

SH7750、SH7750S、SH7750R グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH7750 シリーズ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、変更、複製等しないでください。かかる改造、変更、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

はじめに

本 LSI は、内部 32 ビット構成の SH-4 CPU を核に、システム構成に必要な周辺機能を集積したマイクロプロセッサです。

本 LSI は、キャッシュメモリ、メモリマネジメントユニット (MMU)、割り込みコントローラ、タイマ、2 種類のシリアルコミュニケーションインタフェース (SCI、SCIF)、リアルタイムクロック (RTC)、ユーザブ레이크コントローラ (UBC)、バーステートコントローラ (BSC)、スマートカードインタフェースなどの周辺機能を内蔵しており、マルチメディア機器向け用マイコンとして活用できます。バーステートコントローラは、ROM、SRAM、DRAM、シンクロナス DRAM、PCMCIA に加えて、64 ビットシンクロナス DRAM 4 バンク方式と 64 ビットデータバスに対応しています。

対象者 このマニュアルは、SH7750、SH7750S、SH7750R を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7750、SH7750S、SH7750R のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。なお、実行命令の詳細については、「SH-4 ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
 - ・ 目次に従って読んでください。
 - ・ 本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
 - ・ 別冊の「SH-4 ソフトウェアマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://japan.renesas.com/>)

- SH7750、SH7750S、SH7750Rに関するユーザーズマニュアル

資料名	資料番号
SH7750、SH7750S、SH7750R グループ ハードウェアマニュアル	本マニュアル
SH-4 ソフトウェアマニュアル	RJJ09B0346-0600

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
SuperH™ RISC engine C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10J1885-0100
SuperH™ RISC engine シミュレータ/デバッガ ユーザーズマニュアル	RJJ10B0218-0400
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2060-0100

- アプリケーションノート

資料名	資料番号
SuperH™ RISC engine C/C++ コンパイラパッケージ アプリケーションノート	RJJ05B0557-0700

本版で改訂された箇所

- Rev.7.02で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																															
全体	—	ONPAC-BGA 品を追加 (HD6417750SBA200V、HD6417750RBA240HV)																															
1.1 本 LSI(SH7750、SH7750S、SH7750R グループ) の特長	1-6	製品ラインアップの表に「HD6417750SBA200」、「HD6417750RBA240H」を追加																															
22. 電気的特性	22-1 ~ 22-97	HD6417750RBA240HV、HD6417750SBA200V の記述を追加																															
22.1 絶対最大定格 表 22.1 絶対最大定格	22-1	<p>表および注を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="4">I/O、PLL、RTC、CPG 電源電圧</td> <td>V_{DD0}^*</td> <td>-0.3 ~ 4.2</td> <td rowspan="4">V</td> </tr> <tr> <td>$V_{DD-PLL150}^*$</td> <td>-0.3 ~ 4.6[†]</td> </tr> <tr> <td>V_{DD-RTC}^*</td> <td></td> </tr> <tr> <td>V_{DD-CPG}^*</td> <td></td> </tr> <tr> <td>内部電源電圧</td> <td>V_{DD}</td> <td>-0.3 ~ 2.5、-0.3 ~ 2.1[†]</td> <td>V</td> </tr> <tr> <td>入力電圧</td> <td>V_{in}</td> <td>-0.3 ~ $V_{DD}+0.3$</td> <td>V</td> </tr> <tr> <td rowspan="2">動作温度</td> <td rowspan="2">T_{op}</td> <td>-20 ~ 75</td> <td rowspan="2"></td> </tr> <tr> <td>-40 ~ 85[†]</td> </tr> <tr> <td>保存温度</td> <td>T_{stg}</td> <td>-55 ~ 125</td> <td></td> </tr> </tbody> </table> <p>【注】最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。</p> <p>すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。</p> <p>電源投入遮断手順については、「付録 H. 電源投入遮断手順について」を参照してください。</p> <p>*1 HD6417750R のみ *2 HD6417750RBA240HV のみ</p>	項目	記号	定格値	単位	I/O、PLL、RTC、CPG 電源電圧	V_{DD0}^*	-0.3 ~ 4.2	V	$V_{DD-PLL150}^*$	-0.3 ~ 4.6 [†]	V_{DD-RTC}^*		V_{DD-CPG}^*		内部電源電圧	V_{DD}	-0.3 ~ 2.5、-0.3 ~ 2.1 [†]	V	入力電圧	V_{in}	-0.3 ~ $V_{DD}+0.3$	V	動作温度	T_{op}	-20 ~ 75		-40 ~ 85 [†]	保存温度	T_{stg}	-55 ~ 125	
項目	記号	定格値	単位																														
I/O、PLL、RTC、CPG 電源電圧	V_{DD0}^*	-0.3 ~ 4.2	V																														
	$V_{DD-PLL150}^*$	-0.3 ~ 4.6 [†]																															
	V_{DD-RTC}^*																																
	V_{DD-CPG}^*																																
内部電源電圧	V_{DD}	-0.3 ~ 2.5、-0.3 ~ 2.1 [†]	V																														
入力電圧	V_{in}	-0.3 ~ $V_{DD}+0.3$	V																														
動作温度	T_{op}	-20 ~ 75																															
		-40 ~ 85 [†]																															
保存温度	T_{stg}	-55 ~ 125																															
22.2 DC 特性 表 22.2 HD6417750RBP240(V)、 HD6417750RBG240(V)、 HD6417750RBA240HV DC 特性 ($T_a = -20 \sim 75$ ^{*3})	22-2、22-3	<p>表タイトルを修正、および注*3を追加</p> <p>【注】*3 HD6417750RBA240HV のみ、$T_a = -40 \sim 85$ の範囲になります。</p>																															
表 22.4 HD6417750RBP200(V)、 HD6417750RBG200(V)、 HD6417750RBA240HV ^{*3} DC 特性 ($T_a = -20 \sim 75$ ^{*4})	22-5、22-6	<p>表タイトルを修正、および注*3、*4を追加</p> <p>【注】*3 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。</p> <p>*4 HD6417750RBA240HV のみ、$T_a = -40 \sim 85$ の範囲になります。</p>																															

修正項目	ページ	修正内容（詳細はマニュアル参照）
表 22.6 HD6417750SBP200(V)、 HD6417750SBA200V DC 特性 ($T_a = -20 \sim 75$)	22-8	表タイトルを修正
22.3 AC 特性 表 22.15 クロックタイミング (HD6417750RBP240(V)、 HD6417750RBG240(V)、 HD6417750RBA240HV)	22-17	表タイトルを修正
表 22.17 クロックタイミング (HD6417750BP200M(V)、 HD6417750SBP200(V)、 HD6417750SBA200V* ¹ 、 HD6417750RBP200(V)、 HD6417750RBG200(V)、 HD6417750RBA240HV* ¹)	22-17	表タイトルを修正、および注*1を追加 【注】*1 HD6417750RBA240HV を 200MHz の仕様で使用する場合になり ます。
22.3.1 クロック・制御信号タイ ミング 表 23.23 クロック・制御信号タイ ミング (HD6417750RBP240(V)、 HD6417750RBG240(V)、 HD6417750RBA240HV: $V_{DDQ}=3.0$ $\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a = -20 \sim$ $+75$ * ² 、 $C_L=30pF$)	22-19、 22-20	表タイトルの記述を修正、および注*2を追加 【注】*2 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。
表 22.25 クロック・制御信号タイ ミング (HD6417750RBP200(V)、 HD6417750RBG200(V)、 HD6417750RBA240HV* ² : $V_{DDQ}=3.0 \sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a =$ $-20 \sim +75$ * ³ 、 $C_L=30pF$)	22-21、 22-22	表タイトルの記述を修正、および注*2、*3を追加 【注】*2 HD6417750RBA240HV を 200MHz の仕様で使用する場合になり ます。 *3 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。
表 22.27 クロック・制御信号タイ ミング (HD6417750BP200M(V)、 HD6417750SBP200(V)、 HD6417750SBA200V: $V_{DDQ}=3.0$ $\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a = -20 \sim$ $+75$ 、 $C_L=30pF$)	22-23	表タイトルの記述を修正

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																				
22.3.2 制御信号タイミング 表 22.32 制御信号タイミング	22-36、 22-37	<p>表を修正し、注*5、*6を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 RBP240 (V)</th> <th colspan="2">HD6417750 RBP200 (V)</th> <th colspan="2">HD6417750 RBG240 (V)</th> <th colspan="2">HD6417750 RBG200 (V)</th> <th colspan="2">HD6417750 RF240 (V)</th> <th colspan="2">HD6417750 RF200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 $V_{DD0}=3.0\sim 3.6V$、$V_{D0}=1.5V$、$T_a=-20\sim 75$ °C、$C_L=30pF$、PLL2はon *5 HD6417750RBA240HVを200MHzの仕様で使用する場合があります。 *6 HD6417750RBA240HVのみ、$T_a=-40\sim 85$ の範囲になります。</p>	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																								
項目	略称	HD6417750 RBP240 (V)			HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図																																																																						
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																									
表 22.33 制御信号タイミング	22-37	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 VF128 (V)</th> <th colspan="2">HD6417750 SVF133 (V)</th> <th colspan="2">HD6417750 SVBT133 (V)</th> <th colspan="2">HD6417750 F167 (V)</th> <th colspan="2">HD6417750 SF167 (V)</th> <th colspan="2">HD6417750 SF200 (V)</th> <th colspan="2">HD6417750 BP200M (V)</th> <th colspan="2">HD6417750 SBP200 (V)</th> <th colspan="2">HD6417750 SBA200V</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 $V_{DD0}=3.0\sim 3.6V$、$V_{D0}=1.5V$、$T_a=-20\sim 75$ °C、$C_L=30pF$、PLL2はon *5 HD6417750RBA240HVを200MHzの仕様で使用する場合があります。 *6 HD6417750RBA240HVのみ、$T_a=-40\sim 85$ の範囲になります。</p>	項目	略称	HD6417750 VF128 (V)		HD6417750 SVF133 (V)		HD6417750 SVBT133 (V)		HD6417750 F167 (V)		HD6417750 SF167 (V)		HD6417750 SF200 (V)		HD6417750 BP200M (V)		HD6417750 SBP200 (V)		HD6417750 SBA200V		単位	参照図	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																														
項目	略称	HD6417750 VF128 (V)			HD6417750 SVF133 (V)		HD6417750 SVBT133 (V)		HD6417750 F167 (V)		HD6417750 SF167 (V)		HD6417750 SF200 (V)		HD6417750 BP200M (V)		HD6417750 SBP200 (V)		HD6417750 SBA200V		単位	参照図																																																																
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																					
22.3.3 バスタイミング 表 22.34 バスタイミング(1)	22-40、 22-41	<p>表を修正し、注*2、*3を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 RBP240 (V)</th> <th colspan="2">HD6417750 RBP200 (V)</th> <th colspan="2">HD6417750 RBG240 (V)</th> <th colspan="2">HD6417750 RBG200 (V)</th> <th colspan="2">HD6417750 RF240 (V)</th> <th colspan="2">HD6417750 RF200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 $V_{DD0}=3.0\sim 3.6V$、$V_{D0}=1.5V$、$T_a=-20\sim 75$ °C、$C_L=30pF$、PLL2はon *2 HD6417750RBA240HVを200MHzの仕様で使用する場合があります。 *3 HD6417750RBA240HVのみ、$T_a=-40\sim 85$ の範囲になります。</p>	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	備考	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																								
項目	略称	HD6417750 RBP240 (V)			HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	備考																																																																						
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																									

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																		
表 22.35 バスタイミング(2)	22-42、 22-43	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 SVF133 (V)</th> <th colspan="2">HD6417750 SF167 (V)</th> <th colspan="2">HD6417750 SBP200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td colspan="2">HD6417750 SVBT133 (V)</td> <td colspan="2">HD6417750 SF200 (V)</td> <td colspan="2">HD6417750 SBA200V</td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td></td> <td></td> </tr> </tbody> </table>	項目	略称	HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	備考	Min	Max	Min	Max	Min	Max			HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V						*3		*3		*3																																	
項目	略称	HD6417750 SVF133 (V)			HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	備考																																																										
		Min	Max	Min	Max	Min	Max																																																													
		HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V																																																														
		*3		*3		*3																																																														
22.3.4 周辺モジュール信号タイ ミング 表 22.37 周辺モジュール信号タ イミング (1)	22-93、 22-94	<p>表を修正し、注*3、*4を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">モジュ ール</th> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 RBP240 (V)</th> <th colspan="2">HD6417750 RBP200 (V)</th> <th colspan="2">HD6417750 RBG240 (V)</th> <th colspan="2">HD6417750 RBG200 (V)</th> <th colspan="2">HD6417750 RF240 (V)</th> <th colspan="2">HD6417750 RF200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td colspan="2">HD6417750 RBA240HV</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 P_{ycyc}はPクロックサイクルを意味します。 *2 V_{DD0}=3.0~3.6V、V_{DD}=1.5V、T_a=-20~75 *4、C_L=30pF、PLL2はon *3 HD6417750RBA240HVを200MHzの仕様で使用する場合があります。 *4 HD6417750RBA240HVのみ、T_a=-40~85の範囲になります。</p>	モジュ ール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max				HD6417750 RBA240HV		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3								*3		*3		*3		*3		*3		*3				
モジュ ール	項目	略称				HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)					単位	参照図	備考																																													
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																						
			HD6417750 RBA240HV		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3																																																							
			*3		*3		*3		*3		*3		*3																																																							
表 22.38 周辺モジュール信号タ イミング (2)	22-94、 22-95	<p>表を修正し、注*3、*4を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">モジュ ール</th> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 RBP240 (V)</th> <th colspan="2">HD6417750 RBP200 (V)</th> <th colspan="2">HD6417750 RBG240 (V)</th> <th colspan="2">HD6417750 RBG200 (V)</th> <th colspan="2">HD6417750 RF240 (V)</th> <th colspan="2">HD6417750 RF200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td colspan="2">HD6417750 RBA240HV</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td colspan="2">HD6417750 RBA240HV*3</td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 P_{ycyc}はPクロックサイクルを意味します。 *2 V_{DD0}=3.0~3.6V、V_{DD}=1.5V、T_a=-20~75 *4、C_L=30pF、PLL2はon *3 HD6417750RBA240HVを200MHzの仕様で使用する場合があります。 *4 HD6417750RBA240HVのみ、T_a=-40~85の範囲になります。</p>	モジュ ール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max				HD6417750 RBA240HV		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3								*3		*3		*3		*3		*3		*3						
モジュ ール	項目	略称				HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)					単位	参照図	備考																																													
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																								
			HD6417750 RBA240HV		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3		HD6417750 RBA240HV*3																																																							
			*3		*3		*3		*3		*3		*3																																																							
表 22.39 周辺モジュール信号タ イミング (3)	22-96	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">モジュール</th> <th rowspan="2">項目</th> <th rowspan="2">略称</th> <th colspan="2">HD6417750 SVF133 (V)</th> <th colspan="2">HD6417750 SF167 (V)</th> <th colspan="2">HD6417750 SBP200 (V)</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td colspan="2">HD6417750 SVBT133 (V)</td> <td colspan="2">HD6417750 SF200 (V)</td> <td colspan="2">HD6417750 SBA200V</td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td colspan="2">*3</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	モジュール	項目	略称	HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	参照図	備考	Min	Max	Min	Max	Min	Max				HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V								*3		*3		*3																												
モジュール	項目	略称				HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)					単位	参照図	備考																																																			
			Min	Max	Min	Max	Min	Max																																																												
			HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V																																																													
			*3		*3		*3																																																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																									
表 22.40 周辺モジュール信号タイミング（４）	22-97	<p>表を修正</p> <table border="1"> <tr> <td></td> <td></td> <td></td> <td>HD6417750 SVF133 (V)</td> <td>HD6417750 SF167 (V)</td> <td>HD6417750 SBP200 (V)</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td>HD6417750 SVBT133 (V)</td> <td>HD6417750 SF200 (V)</td> <td>HD6417750 SBA200V</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td>^{a3}</td> <td>^{a3}</td> <td>^{a4}</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>モジュール</td> <td>項目</td> <td>略称</td> <td>Min</td> <td>Max</td> <td>Min</td> <td>Max</td> <td>Min</td> <td>Max</td> <td>単位</td> <td>参照図</td> <td>備考</td> <td></td> <td></td> </tr> </table>				HD6417750 SVF133 (V)	HD6417750 SF167 (V)	HD6417750 SBP200 (V)												HD6417750 SVBT133 (V)	HD6417750 SF200 (V)	HD6417750 SBA200V												^{a3}	^{a3}	^{a4}									モジュール	項目	略称	Min	Max	Min	Max	Min	Max	単位	参照図	備考			
			HD6417750 SVF133 (V)	HD6417750 SF167 (V)	HD6417750 SBP200 (V)																																																						
			HD6417750 SVBT133 (V)	HD6417750 SF200 (V)	HD6417750 SBA200V																																																						
			^{a3}	^{a3}	^{a4}																																																						
モジュール	項目	略称	Min	Max	Min	Max	Min	Max	単位	参照図	備考																																																
B. 外形寸法図 図 B.1 外形寸法図（256 ピン BGA : HD6417750RBA240HV 及び HD6417750SBA200V を除く）	付録-6	図タイトルを修正																																																									
図 B.5 外形寸法図（256 ピン BGA : HD6417750RBA240HV 及び HD6417750SBA200V）	付録-10	図 B.5 を追加																																																									
I. 型名一覧 表 1.1 SH7750/SH7750S/SH7750R 型名一覧	付録-36	<p>2 製品型名を追加、注*1 に説明文を追加</p> <table border="1"> <thead> <tr> <th>製品分類</th> <th>電圧</th> <th>動作周波数</th> <th>動作温度^{a1}</th> <th>製品型名^{a2}</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">SH7750</td> <td>1.95 V</td> <td>200MHz</td> <td rowspan="3">- 20 ~ 75</td> <td>HD6417750BP200M (V)</td> <td>256 ピン BGA</td> </tr> <tr> <td>1.8 V</td> <td>167MHz</td> <td>HD6417750F167 (V)</td> <td>208 ピン QFP</td> </tr> <tr> <td>1.5 V</td> <td>128MHz</td> <td>HD6417750VF128 (V)</td> <td></td> </tr> <tr> <td rowspan="4">SH7750S</td> <td rowspan="2">1.95 V</td> <td rowspan="2">200MHz</td> <td rowspan="4">- 30 ~ 70</td> <td>HD6417750SBP200 (V)</td> <td>256 ピン BGA</td> </tr> <tr> <td>HD6417750SBA200V</td> <td></td> </tr> <tr> <td>1.8 V</td> <td>167MHz</td> <td>HD6417750SF200 (V)</td> <td>208 ピン QFP</td> </tr> <tr> <td>1.5 V</td> <td>133MHz</td> <td>HD6417750SF167 (V)</td> <td></td> </tr> <tr> <td rowspan="6">SH7750R</td> <td rowspan="6">1.5 V</td> <td rowspan="2">240MHz</td> <td rowspan="6">- 20 ~ 75</td> <td>HD6417750SVBT133 (V)</td> <td>264 ピン CSP</td> </tr> <tr> <td>HD6417750RBP240 (V)</td> <td>256 ピン BGA</td> </tr> <tr> <td>HD6417750RBA240HV</td> <td></td> </tr> <tr> <td>HD6417750RF240 (V)</td> <td>208 ピン QFP</td> </tr> <tr> <td>HD6417750RBG240 (V)</td> <td>292 ピン BGA</td> </tr> <tr> <td>200MHz</td> <td>HD6417750RBP200 (V)</td> <td>256 ピン BGA</td> </tr> <tr> <td>HD6417750RF200 (V)</td> <td>208 ピン QFP</td> </tr> <tr> <td>HD6417750RBG200 (V)</td> <td>292 ピン BGA</td> </tr> </tbody> </table> <p>【注】*1 広温度範囲（- 40 ~ + 85 ）仕様製品につきましては、弊社営業窓口へご照会ください。なお、HD6417751RBA240HV につきましては、標準で広温度範囲（- 40 ~ + 85 ）仕様です。</p>	製品分類	電圧	動作周波数	動作温度 ^{a1}	製品型名 ^{a2}	パッケージ	SH7750	1.95 V	200MHz	- 20 ~ 75	HD6417750BP200M (V)	256 ピン BGA	1.8 V	167MHz	HD6417750F167 (V)	208 ピン QFP	1.5 V	128MHz	HD6417750VF128 (V)		SH7750S	1.95 V	200MHz	- 30 ~ 70	HD6417750SBP200 (V)	256 ピン BGA	HD6417750SBA200V		1.8 V	167MHz	HD6417750SF200 (V)	208 ピン QFP	1.5 V	133MHz	HD6417750SF167 (V)		SH7750R	1.5 V	240MHz	- 20 ~ 75	HD6417750SVBT133 (V)	264 ピン CSP	HD6417750RBP240 (V)	256 ピン BGA	HD6417750RBA240HV		HD6417750RF240 (V)	208 ピン QFP	HD6417750RBG240 (V)	292 ピン BGA	200MHz	HD6417750RBP200 (V)	256 ピン BGA	HD6417750RF200 (V)	208 ピン QFP	HD6417750RBG200 (V)	292 ピン BGA
製品分類	電圧	動作周波数	動作温度 ^{a1}	製品型名 ^{a2}	パッケージ																																																						
SH7750	1.95 V	200MHz	- 20 ~ 75	HD6417750BP200M (V)	256 ピン BGA																																																						
	1.8 V	167MHz		HD6417750F167 (V)	208 ピン QFP																																																						
	1.5 V	128MHz		HD6417750VF128 (V)																																																							
SH7750S	1.95 V	200MHz	- 30 ~ 70	HD6417750SBP200 (V)	256 ピン BGA																																																						
				HD6417750SBA200V																																																							
	1.8 V	167MHz		HD6417750SF200 (V)	208 ピン QFP																																																						
	1.5 V	133MHz		HD6417750SF167 (V)																																																							
SH7750R	1.5 V	240MHz	- 20 ~ 75	HD6417750SVBT133 (V)	264 ピン CSP																																																						
				HD6417750RBP240 (V)	256 ピン BGA																																																						
		HD6417750RBA240HV																																																									
		HD6417750RF240 (V)		208 ピン QFP																																																							
		HD6417750RBG240 (V)		292 ピン BGA																																																							
		200MHz		HD6417750RBP200 (V)	256 ピン BGA																																																						
HD6417750RF200 (V)	208 ピン QFP																																																										
HD6417750RBG200 (V)	292 ピン BGA																																																										

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	本LSI (SH7750、SH7750S、SH7750Rグループ)の特長	1-1
1.2	ブロック図	1-7
1.3	ピン配置図	1-8
1.4	端子機能	1-12
1.4.1	端子機能 (256 ピン BGA)	1-12
1.4.2	端子機能 (208 ピン QFP)	1-21
1.4.3	端子機能 (264 ピン CSP)	1-28
1.4.4	端子機能 (292 ピン BGA)	1-37
2.	プログラミングモデル	2-1
2.1	データフォーマット	2-1
2.2	レジスタの構成	2-2
2.2.1	特権モードとバンク	2-2
2.2.2	汎用レジスタ	2-5
2.2.3	浮動小数点レジスタ	2-6
2.2.4	コントロールレジスタ	2-8
2.2.5	システムレジスタ	2-10
2.3	メモリ割り付けレジスタ	2-12
2.4	レジスタのデータ形式	2-12
2.5	メモリ上でのデータ形式	2-13
2.6	処理状態	2-14
2.7	処理モード	2-16
3.	メモリマネジメントユニット (MMU)	3-1
3.1	概要	3-1
3.1.1	特長	3-1
3.1.2	MMUの役割	3-1
3.1.3	レジスタの構成	3-3
3.1.4	注意事項	3-3
3.2	レジスタの説明	3-4
3.3	アドレス空間	3-8
3.3.1	物理アドレス空間	3-8
3.3.2	外部メモリ空間	3-11

3.3.3	仮想アドレス空間	3-12
3.3.4	内蔵 RAM 空間	3-13
3.3.5	アドレス変換	3-13
3.3.6	単一仮想記憶モードと多重仮想記憶モード	3-14
3.3.7	アドレス空間識別子 (ASID)	3-14
3.4	TLBの機能	3-15
3.4.1	共用 TLB (UTLB) の構成	3-15
3.4.2	命令 TLB (ITLB) の構成	3-19
3.4.3	アドレス変換方式	3-20
3.5	MMUの機能	3-22
3.5.1	MMU のハードウェア管理	3-22
3.5.2	MMU のソフトウェア管理	3-22
3.5.3	MMU の命令 (LDTLB)	3-23
3.5.4	ハードウェア ITLB ミスハンドリング	3-23
3.5.5	シノニム問題の回避	3-24
3.6	MMU例外	3-25
3.6.1	命令 TLB 多重ヒット例外	3-25
3.6.2	命令 TLB ミス例外	3-25
3.6.3	命令 TLB 保護違反例外	3-26
3.6.4	データ TLB 多重ヒット例外	3-27
3.6.5	データ TLB ミス例外	3-27
3.6.6	データ TLB 保護違反例外	3-28
3.6.7	初期ページ書き込み例外	3-29
3.7	メモリ割り付けTLBの構成	3-30
3.7.1	ITLB アドレスアレイ	3-30
3.7.2	ITLB データアレイ 1	3-31
3.7.3	ITLB データアレイ 2	3-32
3.7.4	UTLB アドレスアレイ	3-33
3.7.5	UTLB データアレイ 1	3-34
3.7.6	UTLB データアレイ 2	3-35
3.8	使用上の注意事項	3-36
4.	キャッシュ	4-1
4.1	概要	4-1
4.1.1	特長	4-1
4.1.2	レジスタの構成	4-2
4.2	レジスタの説明	4-3
4.3	オペランドキャッシュ (OC)	4-6
4.3.1	構成	4-6
4.3.2	リード動作	4-8

4.3.3	ライト動作	4-9
4.3.4	ライトバックバッファ	4-10
4.3.5	ライトスルーバッファ	4-11
4.3.6	RAM モード	4-11
4.3.7	OC インデックスモード	4-13
4.3.8	キャッシュと外部メモリとのコヒーレンシ	4-13
4.3.9	プリフェッチ動作	4-13
4.3.10	キャッシュ倍増モードを使用する場合の注意事項 (SH7750R のみ)	4-14
4.4	命令キャッシュ (IC)	4-16
4.4.1	構成	4-16
4.4.2	リード動作	4-18
4.4.3	IC インデックスモード	4-18
4.5	メモリ割り付けキャッシュの構成 (SH7750、SH7750S)	4-19
4.5.1	IC アドレスアレイ	4-19
4.5.2	IC データアレイ	4-20
4.5.3	OC アドレスアレイ	4-21
4.5.4	OC データアレイ	4-22
4.6	メモリ割り付けキャッシュの構成 (SH7750R)	4-24
4.6.1	IC アドレスアレイ	4-24
4.6.2	IC データアレイ	4-25
4.6.3	OC アドレスアレイ	4-26
4.6.4	OC データアレイ	4-27
4.6.5	メモリ割り付け OC アドレスのまとめ	4-28
4.7	ストアキュー	4-29
4.7.1	SQ の構成	4-29
4.7.2	SQ への書き込み	4-29
4.7.3	外部メモリへの転送	4-30
4.7.4	SQ アクセスの例外判定	4-31
4.7.5	SQ からの読み出し (SH7750R のみ)	4-31
4.7.6	SQ 使用上の注意事項 (SH7750、SH7750S の場合)	4-32
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	レジスタ構成	5-1
5.2	レジスタの説明	5-2
5.3	例外処理の機能	5-3
5.3.1	例外処理の流れ	5-3
5.3.2	例外処理ベクタアドレス	5-3
5.4	例外の種類と優先順位	5-4

5.5	例外フロー	5-7
5.5.1	例外フロー	5-7
5.5.2	例外要因の受け付け	5-8
5.5.3	例外要求と BL ピット	5-9
5.5.4	例外処理からの復帰	5-9
5.6	各例外の説明	5-10
5.6.1	リセット	5-10
5.6.2	一般例外	5-14
5.6.3	割り込み	5-24
5.6.4	複数回の例外が発生する場合の優先順位	5-26
5.7	注意事項	5-27
5.8	制限事項	5-28
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-4
6.3	レジスタ	6-5
6.3.1	浮動小数点レジスタ	6-5
6.3.2	浮動小数点ステータス / コントロールレジスタ (FPSCR)	6-7
6.3.3	浮動小数点通信レジスタ (FPUL)	6-8
6.4	丸め	6-9
6.5	浮動小数点例外	6-10
6.6	グラフィックサポート機能	6-12
6.6.1	ジオメトリック演算命令	6-12
6.6.2	ペア単精度データ転送	6-13
6.7	使用上の注意	6-14
6.7.1	丸めモードとアンダフローフラグ	6-14
6.7.2	FIPR/FTRV 命令によるオーバフローフラグについて	6-15
6.7.3	FIPR/FTRV 命令による演算結果の符合	6-15
6.7.4	倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項	6-16
6.7.5	FPU 倍精度演算命令使用上の注意 (SH7750 のみ)	6-18
7.	命令セット	7-1
7.1	実行環境	7-1
7.2	アドレッシングモード	7-3
7.3	命令セット	7-6
7.4	使用上の注意	7-17

7.4.1	TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意	7-17
8.	パイプライン動作	8-1
8.1	パイプライン	8-1
8.2	並列実行性	8-7
8.3	実行サイクルとパイプラインストール	8-10
8.4	使用上の注意	8-24
9.	低消費電力モード	9-1
9.1	概要	9-1
9.1.1	低消費電力モードの種類	9-1
9.1.2	レジスタ構成	9-2
9.1.3	端子構成	9-3
9.2	レジスタの説明	9-4
9.2.1	スタンバイコントロールレジスタ (STBCR)	9-4
9.2.2	周辺モジュール端子ハイインピーダンス制御	9-6
9.2.3	周辺モジュール端子プルアップ制御	9-6
9.2.4	スタンバイコントロールレジスタ 2 (STBCR2)	9-7
9.2.5	クロック停止レジスタ 00 (CLKSTP00) : SH7750R のみ	9-9
9.2.6	クロック停止解除レジスタ 00 (CLKSTPCLR00) : SH7750R のみ	9-10
9.3	スリープモード	9-11
9.3.1	スリープモードへの遷移	9-11
9.3.2	スリープモードの解除	9-11
9.4	ディープスリープモード	9-12
9.4.1	ディープスリープモードへの遷移	9-12
9.4.2	ディープスリープモードの解除	9-12
9.5	スタンバイモード	9-13
9.5.1	スタンバイモードへの遷移	9-13
9.5.2	スタンバイモードの解除	9-14
9.5.3	クロックポーズ機能	9-14
9.6	モジュールスタンバイ機能	9-15
9.6.1	モジュールスタンバイ機能への遷移	9-15
9.6.2	モジュールスタンバイ機能の解除	9-16
9.7	ハードウェアスタンバイモード (SH7750S、SH7750Rのみ)	9-17
9.7.1	ハードウェアスタンバイモードへの遷移	9-17
9.7.2	ハードウェアスタンバイモードの解除	9-17
9.7.3	使用上の注意	9-17
9.8	STATUS端子の変化タイミング	9-18
9.8.1	リセットの場合	9-18
9.8.2	スタンバイ解除の場合	9-20

9.8.3	スリープ解除の場合	9-22
9.8.4	ディープスリープ解除の場合	9-24
9.8.5	ハードウェアスタンバイモードのタイミング (SH7750S、SH7750R のみ)	9-26
9.9	使用上の注意	9-29
9.9.1	消費電流に関する注意事項	9-29
10.	クロック発振回路	10-1
10.1	概要	10-1
10.1.1	特長	10-1
10.2	CPGの概要	10-3
10.2.1	CPG のブロック図	10-3
10.2.2	CPG の端子構成	10-6
10.2.3	CPG のレジスタ構成	10-6
10.3	クロック動作モード	10-7
10.4	CPGのレジスタの説明	10-9
10.4.1	周波数制御レジスタ (FRQCR)	10-9
10.5	周波数の変更方法	10-12
10.5.1	PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が停止の場合)	10-12
10.5.2	PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が起動の場合)	10-12
10.5.3	バスクロック分周率の変更 (PLL 回路 2 が起動の場合)	10-13
10.5.4	バスクロック分周率の変更 (PLL 回路 2 が停止の場合)	10-13
10.5.5	CPU、周辺モジュールクロック分周率の変更	10-13
10.6	出力クロックの制御	10-13
10.7	WDTの概要	10-14
10.7.1	WDT のブロック図	10-14
10.7.2	レジスタ構成	10-14
10.8	WDTのレジスタの説明	10-15
10.8.1	ウォッチドッグタイマカウンタ (WTCNT)	10-15
10.8.2	ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)	10-15
10.8.3	レジスタアクセス時の注意	10-18
10.9	WDTの使用方法	10-19
10.9.1	スタンバイ解除の手順	10-19
10.9.2	周波数変更の手順	10-19
10.9.3	ウォッチドッグタイマモードの使用法	10-20
10.9.4	インターバルタイマモードの使用法	10-20
10.10	ボード設計上の注意事項	10-21
10.11	使用上の注意事項	10-23
10.11.1	ウォッチドッグタイマによる不当マニュアルリセット (SH7750、SH7750S)	10-23

11. リアルタイムクロック (RTC)	11-1
11.1 概要.....	11-1
11.1.1 特長.....	11-1
11.1.2 ブロック図.....	11-2
11.1.3 端子構成.....	11-3
11.1.4 レジスタ構成.....	11-4
11.2 レジスタの説明.....	11-5
11.2.1 64Hz カウンタ (R64CNT)	11-5
11.2.2 秒カウンタ (RSECCNT)	11-5
11.2.3 分カウンタ (RMINCNT)	11-6
11.2.4 時カウンタ (RHRCNT)	11-6
11.2.5 曜日カウンタ (RWKCNT)	11-7
11.2.6 日カウンタ (RDAYCNT)	11-7
11.2.7 月カウンタ (RMONCNT)	11-8
11.2.8 年カウンタ (RYRCNT)	11-8
11.2.9 秒アラームレジスタ (RSECAR)	11-9
11.2.10 分アラームレジスタ (RMINAR)	11-9
11.2.11 時アラームレジスタ (RHRAR)	11-10
11.2.12 曜日アラームレジスタ (RWKAR)	11-10
11.2.13 日アラームレジスタ (RDAYAR)	11-11
11.2.14 月アラームレジスタ (RMONAR)	11-11
11.2.15 RTC コントロールレジスタ 1 (RCR1)	11-12
11.2.16 RTC コントロールレジスタ 2 (RCR2)	11-14
11.2.17 RTC コントロールレジスタ 3 (RCR3) : SH7750R のみ 年アラームレジスタ (RYRAR) : SH7750R のみ	11-16
11.3 動作説明.....	11-17
11.3.1 時刻設定手順.....	11-17
11.3.2 時刻読み出し手順.....	11-18
11.3.3 アラーム機能.....	11-19
11.4 割り込み.....	11-20
11.5 使用上の注意.....	11-21
11.5.1 レジスタの初期設定について	11-21
11.5.2 スタンバイ時の桁上げフラグおよび割り込みフラグについて	11-21
11.5.3 水晶発振回路.....	11-21
11.5.4 RTC のレジスタ設定 (SH7750 のみ)	11-22
12. タイマユニット (TMU)	12-1
12.1 概要.....	12-1
12.1.1 特長.....	12-1
12.1.2 ブロック図.....	12-2

12.1.3	端子構成	12-2
12.1.4	レジスタ構成	12-3
12.2	レジスタの説明	12-4
12.2.1	タイマアウトプットコントロールレジスタ (TOCR)	12-4
12.2.2	タイマスタートレジスタ (TSTR)	12-5
12.2.3	タイマスタートレジスタ 2 (TSTR2) : SH7750R のみ	12-6
12.2.4	タイマコンスタントレジスタ (TCOR)	12-7
12.2.5	タイマカウンタ (TCNT)	12-7
12.2.6	タイマコントロールレジスタ (TCR)	12-8
12.2.7	インプットキャプチャレジスタ 2 (TCPR2)	12-12
12.3	動作説明	12-13
12.3.1	カウンタの動作	12-13
12.3.2	インプットキャプチャ機能	12-16
12.4	割り込み	12-17
12.5	使用上の注意	12-18
12.5.1	レジスタの書き込みについて	12-18
12.5.2	アンダフローフラグの書き込み (SH7750 のみ)	12-18
12.5.3	TCNT レジスタの読み出しについて	12-18
12.5.4	RTC 分周器のリセットについて	12-18
12.5.5	外部クロック周波数について	12-18
13.	バスステートコントローラ (BSC)	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-3
13.1.3	端子構成	13-4
13.1.4	レジスタ構成	13-7
13.1.5	エリアの概要	13-8
13.1.6	PCMCIA サポート	13-11
13.2	レジスタの説明	13-14
13.2.1	バスコントロールレジスタ 1 (BCR1)	13-14
13.2.2	バスコントロールレジスタ 2 (BCR2)	13-23
13.2.3	バスコントロールレジスタ 3 (BCR3) (SH7750R のみ)	13-24
13.2.4	バスコントロールレジスタ 4 (BCR4) (SH7750R のみ)	13-26
13.2.5	ウェイトコントロールレジスタ 1 (WCR1)	13-28
13.2.6	ウェイトコントロールレジスタ 2 (WCR2)	13-30
13.2.7	ウェイトコントロールレジスタ 3 (WCR3)	13-37
13.2.8	個別メモリコントロールレジスタ (MCR)	13-39
13.2.9	PCMCIA コントロールレジスタ (PCR)	13-46
13.2.10	シンクロナス DRAM モードレジスタ (SDMR)	13-49

13.2.11	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	13-51
13.2.12	リフレッシュタイムカウンタ (RTCNT)	13-53
13.2.13	リフレッシュタイムコンスタントレジスタ (RTCOR)	13-53
13.2.14	リフレッシュカウンタレジスタ (RFCR)	13-54
13.2.15	リフレッシュコントロール関連レジスタアクセス時の注意	13-54
13.3	動作説明	13-55
13.3.1	エンディアン/アクセスサイズとデータアライメント	13-55
13.3.2	エリアの説明	13-64
13.3.3	SRAM インタフェース	13-68
13.3.4	DRAM インタフェース	13-76
13.3.5	シンクロナス DRAM インタフェース	13-92
13.3.6	パースト ROM インタフェース	13-120
13.3.7	PCMCIA インタフェース	13-123
13.3.8	MPX インタフェース	13-133
13.3.9	バイト制御 SRAM インタフェース	13-146
13.3.10	アクセスサイクル間ウェイト	13-150
13.3.11	バスアービトレーション	13-152
13.3.12	マスタモード	13-155
13.3.13	スレーブモード	13-156
13.3.14	部分共有マスタモード	13-156
13.3.15	マスタとスレーブの協調	13-157
13.3.16	使用上の注意	13-158
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	SH7750/SH7750S の DMAC	14-4
14.2	各レジスタの説明 (SH7750、SH7750S)	14-7
14.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	14-7
14.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	14-8
14.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	14-9
14.2.4	DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)	14-10
14.2.5	DMA オペレーションレジスタ (DMAOR)	14-18
14.3	動作説明	14-21
14.3.1	動作説明	14-21
14.3.2	DMA 転送要求	14-23
14.3.3	チャンネルの優先順位	14-27
14.3.4	DMA 転送の種類	14-30
14.3.5	バスサイクルのサイクル数と \overline{DREQ} 端子のサンプリングタイミング	14-39
14.3.6	DMA 転送終了	14-52

14.4	使用例.....	14-54
14.4.1	外部メモリと DACK 付き外部デバイスとの転送例.....	14-54
14.5	オンデマンドデータ転送モード (DDTモード)	14-55
14.5.1	動作説明.....	14-55
14.5.2	DDT モードにおける端子説明.....	14-57
14.5.3	各チャンネルの転送要求受け付けについて.....	14-60
14.5.4	DDT 使用上の注意.....	14-80
14.6	SH7750R DMACの構成.....	14-83
14.6.1	DMAC ブロック図.....	14-83
14.6.2	端子構成 (SH7750R)	14-84
14.6.3	レジスタ構成 (SH7750R)	14-85
14.7	各レジスタの説明 (SH7750R)	14-87
14.7.1	DMA ソースアドレスレジスタ 0~7 (SAR0~7)	14-87
14.7.2	DMA デスティネーションアドレスレジスタ 0~7 (DAR0~7)	14-87
14.7.3	DMA 転送カウンタレジスタ 0~7 (DMATCR0~7)	14-87
14.7.4	DMA チャンネルコントロールレジスタ 0~7 (CHCR0~7)	14-88
14.7.5	DMA オペレーションレジスタ (DMAOR)	14-91
14.8	動作説明 (SH7750R)	14-93
14.8.1	ノーマル DMA 転送時のチャンネル指定	14-93
14.8.2	DDT モード DMA 転送時のチャンネル指定	14-93
14.8.3	DDT モード時の転送チャンネル通知	14-93
14.8.4	DTR フォーマットによるリクエストキュークリア	14-94
14.8.5	割り込み要求コード	14-95
14.9	使用上の注意.....	14-97
15.	シリアルコミュニケーションインタフェース (SCI)	15-1
15.1	概要.....	15-1
15.1.1	特長.....	15-1
15.1.2	ブロック図.....	15-3
15.1.3	端子構成.....	15-4
15.1.4	レジスタ構成.....	15-4
15.2	レジスタの説明.....	15-5
15.2.1	レシーブシフトレジスタ (SCRSR1)	15-5
15.2.2	レシーブデータレジスタ (SCRDR1)	15-5
15.2.3	トランスミットシフトレジスタ (SCTSR1)	15-5
15.2.4	トランスミットデータレジスタ (SCTDR1)	15-6
15.2.5	シリアルモードレジスタ (SCSMR1)	15-7
15.2.6	シリアルコントロールレジスタ (SCSCR1)	15-10
15.2.7	シリアスステータスレジスタ (SCSSR1)	15-13
15.2.8	シリアルポートレジスタ (SCSPTR1)	15-17

15.2.9	ビットレートレジスタ (SCBRR1)	15-21
15.3	動作説明	15-28
15.3.1	概要	15-28
15.3.2	調歩同期式モード時の動作	15-30
15.3.3	マルチプロセッサ通信機能	15-41
15.3.4	クロック同期式モード時の動作	15-50
15.4	SCIの割り込み要因とDMAC	15-58
15.5	使用上の注意	15-59
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-3
16.1.3	端子構成	16-4
16.1.4	レジスタ構成	16-4
16.2	レジスタの説明	16-5
16.2.1	レシーブシフトレジスタ (SCRSR2)	16-5
16.2.2	レシーブFIFO データレジスタ (SCFRDR2)	16-5
16.2.3	トランスミットシフトレジスタ (SCTSR2)	16-5
16.2.4	トランスミットFIFO データレジスタ (SCFTDR2)	16-6
16.2.5	シリアルモードレジスタ (SCSMR2)	16-7
16.2.6	シリアルコントロールレジスタ (SCSCR2)	16-10
16.2.7	シリアルステータスレジスタ (SCFSR2)	16-13
16.2.8	ビットレートレジスタ (SCBRR2)	16-18
16.2.9	FIFO コントロールレジスタ (SCFCR2)	16-19
16.2.10	FIFO データ数レジスタ (SCFDR2)	16-22
16.2.11	シリアルポートレジスタ (SCSPTR2)	16-23
16.2.12	ラインステータスレジスタ (SCLSR2)	16-28
16.3	動作説明	16-29
16.3.1	概要	16-29
16.3.2	シリアル動作	16-31
16.4	SCIF割り込み要因とDMAC	16-41
16.5	使用上の注意	16-42
17.	スマートカードインタフェース	17-1
17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-2
17.1.3	端子構成	17-3
17.1.4	レジスタ構成	17-3

17.2	各レジスタの説明	17-4
17.2.1	スマートカードモードレジスタ (SCSCMR1)	17-4
17.2.2	シリアルモードレジスタ (SCSMR1)	17-5
17.2.3	シリアルコントロールレジスタ (SCSCR1)	17-6
17.2.4	シリアルステータスレジスタ (SCSSR1)	17-7
17.3	動作説明	17-9
17.3.1	概要	17-9
17.3.2	端子接続	17-9
17.3.3	データフォーマット	17-10
17.3.4	レジスタ設定	17-11
17.3.5	クロック	17-13
17.3.6	データの送信 / 受信動作	17-15
17.4	使用上の注意	17-22
18.	I/O ポート	18-1
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	ブロック図	18-2
18.1.3	端子構成	18-9
18.1.4	レジスタ構成	18-10
18.2	レジスタの説明	18-11
18.2.1	ポートコントロールレジスタ A (PCTRA)	18-11
18.2.2	ポートデータレジスタ A (PDTRA)	18-12
18.2.3	ポートコントロールレジスタ B (PCTRB)	18-13
18.2.4	ポートデータレジスタ B (PDTRB)	18-14
18.2.5	GPIO 割り込みコントロールレジスタ (GPIOIC)	18-14
18.2.6	シリアルポートレジスタ (SCSPTR1)	18-15
18.2.7	シリアルポートレジスタ (SCSPTR2)	18-17
19.	割り込みコントローラ (INTC)	19-1
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	ブロック図	19-2
19.1.3	端子構成	19-3
19.1.4	レジスタ構成	19-3
19.2	割り込み要因	19-4
19.2.1	NMI 割り込み	19-4
19.2.2	IRL 割り込み	19-4
19.2.3	内蔵周辺モジュール割り込み	19-6
19.2.4	割り込み例外処理と優先順位	19-7

19.3	レジスタの説明.....	19-10
19.3.1	割り込み優先レベル設定レジスタ A ~ D (IPRA ~ IPRD)	19-10
19.3.2	割り込みコントロールレジスタ (ICR)	19-11
19.3.3	割り込み優先レベル設定レジスタ 00 (INTPRI00) : SH7750R のみ.....	19-13
19.3.4	割り込み要因レジスタ 00 (INTREQ00) : SH7750R のみ.....	19-14
19.3.5	割り込みマスクレジスタ 00 (INTMSK00) : SH7750R のみ.....	19-15
19.3.6	割り込みマスククリアレジスタ 00 (INTMSKCLR00) : SH7750R のみ.....	19-16
19.3.7	INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け : SH7750R のみ.....	19-16
19.4	動作説明.....	19-17
19.4.1	割り込み動作の流れ.....	19-17
19.4.2	多重割り込み.....	19-19
19.4.3	MAI ビットによる割り込みマスク.....	19-19
19.5	割り込み応答時間.....	19-20
19.6	使用上の注意.....	19-21
19.6.1	NMI 割り込み [SH7750、SH7750S のみ]	19-21
20.	ユーザブレイクコントローラ.....	20-1
20.1	概要.....	20-1
20.1.1	特長.....	20-1
20.1.2	ブロック図.....	20-2
20.2	各レジスタの説明.....	20-4
20.2.1	UBC レジスタへのアクセス.....	20-4
20.2.2	ブレイクアドレスレジスタ A (BARA)	20-4
20.2.3	ブレイク ASID レジスタ A (BASRA)	20-4
20.2.4	ブレイクアドレスマスクレジスタ A (BAMRA)	20-5
20.2.5	ブレイクバスサイクルレジスタ A (BBRA)	20-6
20.2.6	ブレイクアドレスレジスタ B (BARB)	20-7
20.2.7	ブレイク ASID レジスタ B (BASRB)	20-7
20.2.8	ブレイクアドレスマスクレジスタ B (BAMRB)	20-7
20.2.9	ブレイクデータレジスタ B (BDRB)	20-7
20.2.10	ブレイクデータマスクレジスタ B (BDMRB)	20-8
20.2.11	ブレイクバスサイクルレジスタ B (BBRB)	20-8
20.2.12	ブレイクコントロールレジスタ (BR CR)	20-9
20.3	動作説明.....	20-12
20.3.1	アクセスに関する用語の説明.....	20-12
20.3.2	命令間隔に関する用語の説明.....	20-12
20.3.3	ユーザブレイク動作の流れ.....	20-13
20.3.4	命令アクセスサイクルブレイク.....	20-14
20.3.5	オペランドアクセスサイクルブレイク.....	20-15
20.3.6	条件一致フラグの設定.....	20-16

20.3.7	退避したプログラムカウンタ (PC) 値.....	20-16
20.3.8	シーケンシャル条件に対応した隣接 A、B の設定.....	20-17
20.3.9	UBC 使用上の注意.....	20-18
20.4	ユーザブ레이크デバッグサポート機能.....	20-19
20.5	使用例.....	20-20
20.6	ユーザブ레이크コントローラ停止機能.....	20-22
20.6.1	ユーザブ레이크コントローラ停止状態への遷移.....	20-22
20.6.2	ユーザブ레이크コントローラ停止状態の解除.....	20-22
20.6.3	ユーザブ레이크コントローラ停止状態の遷移および解除例.....	20-23
21.	ユーザデバッグインタフェース (H-UDI)	21-1
21.1	概要.....	21-1
21.1.1	特長.....	21-1
21.1.2	ブロック図.....	21-2
21.1.3	端子構成.....	21-3
21.1.4	レジスタ構成.....	21-4
21.2	レジスタの説明.....	21-5
21.2.1	インストラクションレジスタ (SDIR)	21-5
21.2.2	データレジスタ (SDDR)	21-7
21.2.3	バイパスレジスタ (SDBPR)	21-7
21.2.4	割り込み要因レジスタ (SDINT) : SH7750R のみ.....	21-8
21.2.5	バウンダリスキャンレジスタ (SDBSR) : SH7750R のみ.....	21-9
21.3	動作説明.....	21-13
21.3.1	TAP 制御.....	21-13
21.3.2	H-UDI リセット.....	21-14
21.3.3	H-UDI 割り込み.....	21-14
21.3.4	バウンダリスキャン (EXTEST、SAMPLE / PRELOAD、BYPASS)	21-15
21.4	注意事項.....	21-16
22.	電気的特性.....	22-1
22.1	絶対最大定格.....	22-1
22.2	DC特性.....	22-2
22.3	AC特性.....	22-17
22.3.1	クロック・制御信号タイミング.....	22-19
22.3.2	制御信号タイミング.....	22-36
22.3.3	バスタイミング.....	22-40
22.3.4	周辺モジュール信号タイミング.....	22-93
22.3.5	AC 特性測定条件.....	22-104
22.3.6	負荷容量による遅延時間の変化.....	22-105

付録	付録-1
A. アドレス一覧.....	付録-1
B. 外形寸法図.....	付録-6
C. モード端子の設定.....	付録-11
D. <u>CKIO2ENB</u> 端子構成.....	付録-13
E. 端子機能.....	付録-14
E.1 端子の状態.....	付録-14
E.2 未使用端子の処理.....	付録-17
F. シンクロナスDRAMのアドレスマルチプレクス表.....	付録-18
G. 命令のプリフェッチとその副作用について.....	付録-33
H. 電源投入遮断手順について.....	付録-34
H.1 電源投入時の規定.....	付録-34
H.2 電源遮断時の規定.....	付録-34
H.3 電源投入時、遮断時共通の規定.....	付録-35
I. 型名一覧.....	付録-36
J. バージョンレジスタ.....	付録-37

図目次

1. 概要

図 1.1	機能ブロック図	1-7
図 1.2	ピン配置図 (256 ピン BGA)	1-8
図 1.3	ピン配置図 (208 ピン QFP)	1-9
図 1.4	ピン配置図 (264 ピン CSP)	1-10
図 1.5	ピン配置図 (292 ピン BGA)	1-11

2. プログラミングモデル

図 2.1	データフォーマット	2-1
図 2.2	処理モード別の CPU レジスタ構成	2-4
図 2.3	汎用レジスタ	2-5
図 2.4	浮動小数点レジスタ	2-7
図 2.5	メモリ上のデータ形式	2-13
図 2.6	処理状態の状態遷移図	2-15

3. メモリマネジメントユニット (MMU)

図 3.1	MMU の役割	3-2
図 3.2	MMU 関連レジスタ	3-4
図 3.3	物理アドレス空間 (MMUCR.AT = 0)	3-8
図 3.4	P4 領域	3-9
図 3.5	外部メモリ空間	3-11
図 3.6	仮想アドレス空間 (MMUCR.AT = 1)	3-12
図 3.7	UTLB の構成	3-15
図 3.8	ページサイズとアドレスの関係	3-16
図 3.9	ITLB の構成	3-19
図 3.10	UTLB を用いたメモリアクセスフロー	3-20
図 3.11	ITLB を用いたメモリアクセスフロー	3-21
図 3.12	LDTLB 命令の動作	3-23
図 3.13	メモリ割り付け ITLB アドレスアレイ	3-30
図 3.14	メモリ割り付け ITLB データアレイ 1	3-31
図 3.15	メモリ割り付け ITLB データアレイ 2	3-32
図 3.16	メモリ割り付け UTLB アドレスアレイ	3-33
図 3.17	メモリ割り付け UTLB データアレイ 1	3-34
図 3.18	メモリ割り込み UTLB データアレイ 2	3-35

4. キャッシュ

図 4.1	キャッシュ制御レジスタ (CCR)	4-3
図 4.2	オペランドキャッシュの構成 (SH7750、SH7750S)	4-6
図 4.3	オペランドキャッシュの構成 (SH7750R)	4-7
図 4.4	ライトバックバッファの構成	4-10
図 4.5	ライトスルーバッファの構成	4-11
図 4.6	命令キャッシュの構成 (SH7750、SH7750S)	4-16
図 4.7	命令キャッシュの構成 (SH7750R)	4-17
図 4.8	メモリ割り付け IC アドレスアレイ	4-20
図 4.9	メモリ割り付け IC データアレイ	4-20
図 4.10	メモリ割り付け OC アドレスアレイ	4-22
図 4.11	メモリ割り付け OC データアレイ	4-23
図 4.12	メモリ割り付け IC アドレスアレイ	4-25
図 4.13	メモリ割り付け IC データアレイ	4-26
図 4.14	メモリ割り付け OC アドレスアレイ	4-27
図 4.15	メモリ割り付け OC データアレイ	4-28
図 4.16	ストアキューの構成	4-29

5. 例外処理

図 5.1	レジスタのビット構成	5-2
図 5.2	命令実行と例外処理	5-7
図 5.3	一般例外の受け付け順序の例	5-8

6. 浮動小数点ユニット (FPU)

図 6.1	単精度浮動小数点フォーマット	6-2
図 6.2	倍精度浮動小数点フォーマット	6-2
図 6.3	単精度の NaN ビットパターン	6-4
図 6.4	浮動小数点レジスタ	6-6

8. パイプライン動作

図 8.1	基本パイプライン	8-1
図 8.2	命令実行パターン (1)	8-2
図 8.2	命令実行パターン (2)	8-3
図 8.2	命令実行パターン (3)	8-4
図 8.2	命令実行パターン (4)	8-5
図 8.2	命令実行パターン (5)	8-6
図 8.3	パイプライン実行の例 (1)	8-12
図 8.3	パイプライン実行の例 (2)	8-13
図 8.3	パイプライン実行の例 (3)	8-14
図 8.3	パイプライン実行の例 (4)	8-15

9. 低消費電力モード

図 9.1	パワーオンリセットの STATUS 出力.....	9-18
図 9.2	マニュアルリセットの STATUS 出力.....	9-19
図 9.3	スタンバイ 割り込みの STATUS 出力.....	9-20
図 9.4	スタンバイ パワーオンリセットの STATUS 出力.....	9-20
図 9.5	スタンバイ マニュアルリセットの STATUS 出力.....	9-21
図 9.6	スリープ 割り込みの STATUS 出力.....	9-22
図 9.7	スリープ パワーオンリセットの STATUS 出力.....	9-22
図 9.8	スリープ マニュアルリセットの STATUS 出力.....	9-23
図 9.9	ディープスリープ 割り込みの STATUS 出力.....	9-24
図 9.10	ディープスリープ パワーオンリセットの STATUS 出力.....	9-24
図 9.11	ディープスリープ マニュアルリセットの STATUS 出力.....	9-25
図 9.12	ハードウェアスタンバイモードのタイミング (通常動作中に CA=Low レベルとなる場合) ...	9-26
図 9.13	ハードウェアスタンバイモードのタイミング (WDT 動作中に CA=Low レベルとなる場合) ..	9-27
図 9.14	VDD-RTC 以外の電源 OFF 時のタイミング.....	9-27
図 9.15	VDD-RTC 電源 OFF ON 時のタイミング.....	9-28

10. クロック発振回路

図 10.1 (1)	SH7750、SH7750S の CPG のブロック図.....	10-3
図 10.1 (2)	SH7750R の CPG のブロック図.....	10-4
図 10.2	WDT のブロック図.....	10-14
図 10.3	WTCNT、WTCNR への書き込み.....	10-18
図 10.4	水晶発振器使用時の注意.....	10-21
図 10.5	PLL 発振回路使用時の注意.....	10-22

11. リアルタイムクロック (RTC)

図 11.1	RTC のブロック図.....	11-2
図 11.2	時刻設定手順例.....	11-17
図 11.3	時刻読み出し手順例.....	11-18
図 11.4	アラーム機能の使用例.....	11-19
図 11.5	水晶発振回路接続例.....	11-21

12. タイマユニット (TMU)

図 12.1	TMU のブロック図.....	12-2
図 12.2	カウント動作設定手順例.....	12-14
図 12.3	TCNT のオートリロード動作.....	12-14
図 12.4	内部クロック動作時のカウントタイミング.....	12-15
図 12.5	外部クロック動作時のカウントタイミング.....	12-15
図 12.6	内蔵 RTC の出力クロック動作時のカウントタイミング.....	12-15
図 12.7	インプットキャプチャ機能使用時の動作タイミング.....	12-16

13. バスステートコントローラ (BSC)

図 13.1	BSC のブロック図	13-3
図 13.2	仮想アドレス空間と外部メモリ空間の対応	13-8
図 13.3	外部メモリ空間割り付け	13-10
図 13.4	BCR4 の設定による $\overline{\text{RDY}}$ サンプルングタイミング例 (WCR2 により 2 サイクルウェイトが挿入されています)	13-27
図 13.5	RTCSR、RTCNT、RTCOR、RFCR への書き込み	13-54
図 13.6	SRAM インタフェースの基本タイミング	13-69
図 13.7	64 ビットデータ幅 SRAM 接続例	13-70
図 13.8	32 ビットデータ幅 SRAM 接続例	13-71
図 13.9	16 ビットデータ幅 SRAM 接続例	13-72
図 13.10	8 ビットデータ幅 SRAM 接続例	13-72
図 13.11	SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	13-73
図 13.12	SRAM インタフェースのウェイトステートタイミング ($\overline{\text{RDY}}$ 信号によるウェイトステート挿入)	13-74
図 13.13	SRAM インタフェースのリードストロープのネゲートタイミング	13-75
図 13.14	DRAM 接続例 (64 ビットデータ幅、エリア 3)	13-76
図 13.15	DRAM 接続例 (32 ビットデータ幅、エリア 3)	13-77
図 13.16	DRAM 接続例 (16 ビットデータ幅、エリア 2、エリア 3)	13-77
図 13.17	DRAM 基本アクセスタイミング	13-79
図 13.18	DRAM ウェイトステートタイミング	13-80
図 13.19	DRAM バーストアクセスタイミング	13-81
図 13.20	DRAM バスサイクル (EDO モード、RCD=0、AnW=0、TPC=1)	13-82
図 13.21	DRAM EDO モードのバーストアクセスタイミング	13-83
図 13.22 (1)	RAS ダウンモード開始時の DRAM バーストバスサイクル (高速ページモード、RCD=0、AnW=0)	13-84
図 13.22 (2)	RAS ダウンモード継続時の DRAM バーストバスサイクル (高速ページモード、RCD=0、AnW=0)	13-85
図 13.22 (3)	RAS ダウンモード開始時の DRAM バーストバスサイクル (EDO モード、RCD=0、AnW=0)	13-86
図 13.22 (4)	RAS ダウンモード継続時の DRAM バーストバスサイクル (EDO モード、RCD=0、AnW=0)	13-87
図 13.23	CAS ビフォ RAS リフレッシュの動作	13-88
図 13.24	DRAM CAS ビフォ RAS リフレッシュサイクルタイミング (TRAS=0、TRC=1)	13-89
図 13.25	DRAM セルフリフレッシュサイクルタイミング	13-90
図 13.26	64 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)	13-93
図 13.27	32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)	13-94
図 13.28	シンクロナス DRAM バーストリード基本タイミング	13-96
図 13.29	シンクロナス DRAM シングルリード基本タイミング	13-97
図 13.30	シンクロナス DRAM バーストライト基本タイミング	13-98
図 13.31	シンクロナス DRAM シングルライト基本タイミング	13-99

図 13.32	バーストリードタイミング	13-101
図 13.33	バーストリードタイミング (RAS ダウン、同一ロウアドレス)	13-102
図 13.34	バーストリードタイミング (RAS ダウン、異なるロウアドレス)	13-103
図 13.35	バーストライトタイミング	13-104
図 13.36	バーストライトタイミング (同一ロウアドレス)	13-105
図 13.37	バーストライトタイミング (異なるロウアドレス)	13-106
図 13.38	バーストリードサイクル後の異なるバンク、異なるロウアドレスに対する バーストリードサイクル	13-108
図 13.39	オートリフレッシュの動作	13-109
図 13.40	シンクロナス DRAM オートリフレッシュタイミング	13-110
図 13.41	シンクロナス DRAM セルフリフレッシュタイミング	13-111
図 13.42 (1)	シンクロナス DRAM モード書き込みタイミング (PALL)	13-113
図 13.42 (2)	シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)	13-114
図 13.43	シンクロナス DRAM バーストリード基本タイミング (バースト長 4)	13-116
図 13.44	シンクロナス DRAM バーストライト基本タイミング	13-117
図 13.45	64 ビットデータ幅シンクロナス DRAM 接続例 (256M ビット)	13-118
図 13.46	64 ビットのシンクロナス DRAM 接続時のオートリフレッシュタイミング (TRAS[2:0]=001、TRC[2:0]=001)	13-119
図 13.47	バースト ROM 基本アクセスタイミング	13-121
図 13.48	バースト ROM ウェイトアクセスタイミング	13-122
図 13.49	バースト ROM ウェイトアクセスタイミング	13-122
図 13.50	PCMCIA インタフェース例	13-126
図 13.51	PCMCIA メモリカードインタフェース基本タイミング	13-127
図 13.52	PCMCIA メモリカードインタフェースウェイトタイミング	13-128
図 13.53	PCMCIA 空間割り付け	13-129
図 13.54	PCMCIA I/O カードインタフェース基本タイミング	13-130
図 13.55	PCMCIA I/O カードインタフェースウェイトタイミング	13-131
図 13.56	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	13-132
図 13.57	64 ビットデータ幅 MPX の接続例	13-133
図 13.58	MPX インタフェースタイミング 1 (シングルリードサイクル、AnW = 0、 外部ウェイトなし、バス幅 64 ビット)	13-134
図 13.59	MPX インタフェースタイミング 2 (シングルリード、AnW = 0、外部ウェイト 1 挿入、 バス幅 64 ビット)	13-135
図 13.60	MPX インタフェースタイミング 3 (シングルライトサイクル、AnW = 0、ウェイトなし、 バス幅 64 ビット)	13-136
図 13.61	MPX インタフェースタイミング 4 (シングルライト、AnW = 1、外部ウェイト 1 挿入、 バス幅 64 ビット)	13-137
図 13.62	MPX インタフェースタイミング 5 (バーストリードサイクル、AnW = 0、 外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)	13-138
図 13.63	MPX インタフェースタイミング 6 (バーストリードサイクル、AnW = 0、 外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)	13-138

図 13.64	MPX インタフェースタイミング 7 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)	13-139
図 13.65	MPX インタフェースタイミング 8 (バーストライトサイクル、AnW=1、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)	13-139
図 13.66	MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	13-140
図 13.67	MPX インタフェースタイミング 10 (バーストリードサイクル、AnW=0、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	13-141
図 13.68	MPX インタフェースタイミング 11 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	13-142
図 13.69	MPX インタフェースタイミング 12 (バーストライトサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	13-143
図 13.70	MPX インタフェースタイミング 13 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	13-144
図 13.71	MPX インタフェースタイミング 14 (バーストリードサイクル、AnW=0、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	13-144
図 13.72	MPX インタフェースタイミング 15 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	13-145
図 13.73	MPX インタフェースタイミング 16 (バーストライトサイクル、AnW=1、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	13-145
図 13.74	64 ビットデータ幅バイト制御 SRAM の例	13-146
図 13.75	バイト制御 SRAM 基本リードサイクル (ウェイトなし)	13-147
図 13.76	バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)	13-148
図 13.77	バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)	13-149
図 13.78	アクセスサイクル間ウェイト	13-151
図 13.79	アービトレーションシーケンス	13-154

14. ダイレクトメモリアクセスコントローラ (DMAC)

図 14.1	DMAC ブロック図	14-4
図 14.2	DMAC 転送フローチャート	14-22
図 14.3	ラウンドロビンモード	14-28
図 14.4	ラウンドロビンモードでのチャネル優先順位変更例	14-29
図 14.5	シングルアドレスモードでのデータの流れ	14-31
図 14.6	シングルアドレスモードでの DMA 転送タイミング	14-32
図 14.7	デュアルアドレスモードの動作説明	14-33
図 14.8	デュアルアドレスモードの転送タイミング例	14-34
図 14.9	サイクルスチールモードでの DMA 転送例	14-35
図 14.10	バーストモードでの DMA 転送例	14-35
図 14.11	複数チャネルが動作する場合のバス状態	14-38
図 14.12	デュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / DREQ (レベル検出)、DACK (リードサイクル)	14-41

図 14.13	デュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (リードサイクル)	14-42
図 14.14	デュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、DACK (リードサイクル)	14-43
図 14.15	デュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (リードサイクル)	14-44
図 14.16	デュアルアドレスモード / サイクルスチールモード 内蔵 SCI (レベル検出) 外部バス.....	14-45
図 14.17	デュアルアドレスモード / サイクルスチールモード 外部バス 内蔵 SCI (レベル検出)	14-46
図 14.18	シングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	14-47
図 14.19	シングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	14-48
図 14.20	シングルアドレスモード / パーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	14-49
図 14.21	シングルアドレスモード / パーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	14-50
図 14.22	シングルアドレスモード / パーストモード 外部デバイス 外部バス / $\overline{\text{DREQ}}$ (レベル検出) / 32 バイトブロック転送 (バス幅 : 64 ビット、SDRAM : row hit write)	14-51
図 14.23	オンデマンドデータトランスファモードのブロック図	14-55
図 14.24	オンデマンドトランスファモードにおけるシステム構成	14-57
図 14.25	データ転送要求フォーマット	14-58
図 14.26	シングルアドレスモード / シンクロナス DRAM 外部デバイスロングワード転送 SDRAM オートプリチャージリードバスサイクル、 パースト (RCD[1:0]=01, CAS レイテンシ=3, TPC[2:0]=001)	14-61
図 14.27	シングルアドレスモード / 外部デバイス シンクロナス DRAM ロングワード転送 SDRAM オートプリチャージライトバスサイクル、 パースト (RCD[1:0]=01, TRWL[2:0]=010, TPC[2:0]=001)	14-62
図 14.28	デュアルアドレスモード / シンクロナス DRAM SRAM 類ロングワード転送	14-63
図 14.29	シングルアドレスモード / パーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送	14-64
図 14.30	シングルアドレスモード / パーストモード / 外部デバイス 外部バス 32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送	14-64
図 14.31	シングルアドレスモード / パーストモード / 外部バス 外部デバイス 32 ビット転送 / チャンネル 0 オンデマンドデータ転送	14-65
図 14.32	シングルアドレスモード / パーストモード / 外部デバイス 外部バス 32 ビット転送 / チャンネル 0 オンデマンドデータ転送	14-66
図 14.33	データバスを使用したハンドシェイクプロトコル (チャンネル 0 オンデマンドデータ転送) ..	14-67
図 14.34	データバスを使用しないハンドシェイクプロトコル (チャンネル 0 オンデマンドデータ転送)	14-67
図 14.35	シンクロナス DRAM のプリチャージバンクからのリード	14-68
図 14.36	シンクロナス DRAM の非プリチャージバンクからのリード (row ミスの場合)	14-68
図 14.37	シンクロナス DRAM からのリード、row ヒットの場合	14-69

図 14.38	シンクロナス DRAM のプリチャージバンクへのライト	14-69
図 14.39	シンクロナス DRAM の非プリチャージバンクへのライト (row ミスの場合)	14-70
図 14.40	シンクロナス DRAM へのライト (row ヒットの場合)	14-70
図 14.41	シングルアドレスモード / パーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送	14-71
図 14.42	DDT モード設定	14-71
図 14.43	シングルアドレスモード / パーストモード / エッジ検出 / 外部デバイス 外部バスデータ転送	14-72
図 14.44	シングルアドレスモード / パーストモード / レベル検出 / 外部バス 外部デバイスデータ転送	14-72
図 14.45	シングルアドレスモード / パーストモード / エッジ検出 / バイト、ワード、 ロングワード、クワッド / 外部バス 外部デバイスデータ転送	14-73
図 14.46	シングルアドレスモード / パーストモード / エッジ検出 / バイト、ワード、 ロングワード、クワッド / 外部デバイス 外部バスデータ転送	14-73
図 14.47	シングルアドレスモード / パーストモード / 32 バイトブロック転送 / データバスを用いたチャンネル 1 ~ 3 への DMA 転送要求	14-74
図 14.48	シングルアドレスモード / パーストモード / 32 バイトブロック転送 / 外部バス 外部デバイスデータ転送 / データバス未使用チャンネル 2 への ダイレクトデータ転送要求	14-75
図 14.49	シングルアドレスモード / パーストモード / 外部バス 外部デバイスデータ転送 / チャンネル 2 へのダイレクトデータ転送要求	14-76
図 14.50	シングルアドレスモード / パーストモード / 外部デバイス 外部バスデータ転送 / チャンネル 2 へのダイレクトデータ転送要求	14-77
図 14.51	シングルアドレスモード / パーストモード / 外部バス 外部デバイスデータ転送 (アクティブなバンクアドレス) / チャンネル 2 へのダイレクトデータ転送要求	14-78
図 14.52	シングルアドレスモード / パーストモード / 外部デバイス 外部バスデータ転送 (アクティブなバンクアドレス) / チャンネル 2 へのダイレクトデータ転送要求	14-79
図 14.53	DMAC ブロック図	14-83
図 14.54	DTR フォーマット (転送要求フォーマット) (SH7750R)	14-92
図 14.55	シングルアドレスモード / パーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送	14-95
図 14.56	シングルアドレスモード / パーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 4 オンデマンドデータ転送	14-96
15. シリアルコミュニケーションインタフェース (SCI)		
図 15.1	SCI のブロック図	15-3
図 15.2	MD0/SCK 端子	15-19
図 15.3	MD7/TxD 端子	15-20
図 15.4	RxD 端子	15-20
図 15.5	調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)	15-30
図 15.6	出カクロックと通信データの位相関係 (調歩同期式モード)	15-32
図 15.7	SCI の初期化フローチャートの例	15-33

図 15.8	シリアル送信のフローチャートの例.....	15-34
図 15.9	調歩同期モードでの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-36
図 15.10	シリアル受信のフローチャートの例(1)	15-37
図 15.10	シリアル受信のフローチャートの例(2)	15-38
図 15.11	SCI の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-40
図 15.12	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局AへのデータH'AAの送信の例)	15-41
図 15.13	マルチプロセッサシリアル送信のフローチャートの例	15-43
図 15.14	SCI の送信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	15-45
図 15.15	マルチプロセッサシリアル受信のフローチャートの例(1)	15-46
図 15.15	マルチプロセッサシリアル受信のフローチャートの例(2)	15-47
図 15.16	SCI の受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	15-48
図 15.17	クロック同期式通信のデータフォーマット	15-50
図 15.18	SCI の初期化フローチャートの例	15-51
図 15.19	シリアル送信のフローチャートの例.....	15-52
図 15.20	SCI の送信時の動作例	15-53
図 15.21	シリアルデータ受信フローチャートの例(1)	15-54
図 15.21	シリアルデータ受信フローチャートの例(2)	15-55
図 15.22	SCI の受信時の動作例	15-56
図 15.23	シリアルデータ送受信フローチャートの例.....	15-57
図 15.24	調歩同期モードの受信データサンプリングタイミング	15-61
図 15.25	DMAC による同期クロック転送例.....	15-62
図 15.26	SH7750 での対策例.....	15-63
図 15.27	SCK 端子へのクロック入力タイミング.....	15-64

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 16.1	SCIF のブロック図.....	16-3
図 16.2	MD8/RTS2 端子	16-26
図 16.3	CTS2 端子.....	16-26
図 16.4	MD1/TxD2 端子	16-27
図 16.5	MD2/RxD2 端子	16-27
図 16.6	SCIF の初期化フローチャートの例	16-33
図 16.7	シリアル送信のフローチャートの例.....	16-34
図 16.8	送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	16-36
図 16.9	モデムコントロール (CTS2) 時の動作例	16-36
図 16.10	シリアル受信のフローチャートの例(1)	16-37
図 16.10	シリアル受信のフローチャートの例(2)	16-38
図 16.11	SCIF の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	16-40

図 16.12	モデムコントロール ($\overline{\text{RTS2}}$) 時の動作例	16-40
図 16.13	調歩同期式モードの受信データサンプリングタイミング	16-43
図 16.14	フレーミングエラー発生処理フロー	16-45
17.	スマートカードインタフェース	
図 17.1	スマートカードインタフェース.....	17-2
図 17.2	スマートカードインタフェース端子接続概略図.....	17-9
図 17.3	スマートカードインタフェースのデータフォーマット	17-10
図 17.4	TEND 発生タイミング.....	17-11
図 17.5	開始キャラクタの波形例	17-12
図 17.6	GM ビットの設定によるクロック出力の違い	17-15
図 17.7	初期化のフロー例	17-16
図 17.8	送信処理フローの例	17-18
図 17.9	受信処理フローの例	17-20
図 17.10	スマートカードモード時の受信データサンプリングタイミング	17-22
図 17.11	SCI 受信モードの場合の再転送動作	17-23
図 17.12	SCI 送信モードの場合の再転送動作	17-24
図 17.13	クロック停止、再起動手順	17-25
18.	I/O ポート	
図 18.1	16 ビットポート	18-2
図 18.2	4 ビットポート	18-3
図 18.3	MD0/SCK 端子.....	18-4
図 18.4	MD7/TxD 端子	18-5
図 18.5	RxD 端子	18-5
図 18.6	MD1/TxD2 端子	18-6
図 18.7	MD2/RxD2 端子	18-6
図 18.8	$\overline{\text{CTS2}}$ 端子.....	18-7
図 18.9	MD8/RTS2 端子	18-8
19.	割り込みコントローラ (INTC)	
図 19.1	INTC のブロック図.....	19-2
図 19.2	IRL 割り込みの接続例.....	19-4
図 19.3	割り込み動作フロー	19-18
20.	ユーザブ레이크コントローラ	
図 20.1	ユーザブ레이크コントローラブロック図.....	20-2
図 20.2	ユーザブ레이크デバッグサポート機能のフローチャート	20-19

21. ユーザデバッグインタフェース (H-UDI)

図 21.1	H-UDI 回路ブロック図	21-2
図 21.2	TAP 制御状態遷移図	21-13
図 21.3	H-UDI リセット	21-14

22. 電気的特性

図 22.1	EXTAL クロック入力タイミング	22-29
図 22.2 (1)	CKIO クロック出力タイミング	22-30
図 22.2 (2)	CKIO クロック出力タイミング	22-30
図 22.3	パワーオン発振安定時間	22-31
図 22.4	スタンバイ復帰時発振安定時間 ($\overline{\text{RESET}}$ による復帰)	22-31
図 22.5	パワーオン時発振安定時間	22-32
図 22.6	スタンバイ復帰時発振安定時間 ($\overline{\text{RESET}}$ による復帰)	22-33
図 22.7	スタンバイ復帰時発振安定時間 (NMI による復帰)	22-33
図 22.8	スタンバイ復帰時発振安定時間 ($\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ による復帰)	22-33
図 22.9	$\overline{\text{RESET}}$ または NMI 割り込みによる PLL 同期安定化時間	22-34
図 22.10	$\overline{\text{IRL}}$ 割り込みによる PLL 同期安定化時間	22-34
図 22.11	マニュアルリセット入力タイミング	22-35
図 22.12	モード入力タイミング	22-35
図 22.13	制御信号タイミング	22-38
図 22.14 (1)	リセットまたはスリープモード時のピンドライブタイミング	22-38
図 22.14 (2)	ソフトウェアスタンバイモード時のピンドライブタイミング	22-39
図 22.15	SRAM バスサイクル 基本バスサイクル (ノーウェイト)	22-46
図 22.16	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)	22-47
図 22.17	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト+外部 1 ウェイト)	22-48
図 22.18	SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、 ホールドタイム挿入、AnS = 1、AnH = 1)	22-49
図 22.19	バースト ROM バスサイクル (ノーウェイト)	22-50
図 22.20	バースト ROM バスサイクル (1 番目のデータ: 内部 1 ウェイト+外部 1 ウェイト、 2、3、4 番目のデータ: 内部 1 ウェイト)	22-51
図 22.21	バースト ROM バスサイクル (ノーウェイト、アドレスセットアップ/ ホールドタイム挿入、AnS=1、AnH=1)	22-52
図 22.22	バースト ROM バスサイクル (内部 1 ウェイト+外部 1 ウェイト)	22-53
図 22.23	シンクロナス DRAM オートプリチャージリードバスサイクル、シングル (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	22-54
図 22.24	シンクロナス DRAM オートプリチャージリードバスサイクル、バースト (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	22-55
図 22.25	シンクロナス DRAM ノーマルリードバスサイクル: ACT+READ コマンド、バースト (RASD=1、RCD[1:0]=01、CAS レイテンシ=3)	22-56
図 22.26	シンクロナス DRAM ノーマルリードバスサイクル: PRE+ACT+READ コマンド、バースト (RASD=1、RCD[1:0]=01、TPC[2:0]=001、CAS レイテンシ=3)	22-57

☒ 22.27	シンクロナス DRAM ノーマルリードバスサイクル：READ コマンド、バースト (RASD=1、CAS レイテンシ=3)	22-58
☒ 22.28	シンクロナス DRAM オートプリチャージライトバスサイクル、シングル (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	22-59
☒ 22.29	シンクロナス DRAM オートプリチャージライトバスサイクル、バースト (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	22-60
☒ 22.30	シンクロナス DRAM ノーマルライトバスサイクル：ACT+WRITE コマンド、バースト (RASD=1、RCD[1:0]=01、TRWL[2:0]=010)	22-61
☒ 22.31	シンクロナス DRAM ノーマルライトバスサイクル：PRE+ACT+WRITE コマンド、バースト (RASD=1、RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	22-62
☒ 22.32	シンクロナス DRAM ノーマルライトバスサイクル：WRITE コマンド、バースト (RASD=1、TRWL[2:0]=010)	22-63
☒ 22.33	シンクロナス DRAM バスサイクル SDRAM プリチャージコマンド (TPC[2:0]=001)	22-64
☒ 22.34	シンクロナス DRAM バスサイクル SDRAM オートリフレッシュ (TRAS=1、TRC[2:0]=001)	22-65
☒ 22.35	シンクロナス DRAM バスサイクル SDRAM セルフリフレッシュ (TPC[2:0]=001)	22-66
☒ 22.36 (a)	シンクロナス DRAM バスサイクル SDRAM モードレジスタセット (PALL)	22-67
☒ 22.36 (b)	シンクロナス DRAM バスサイクル SDRAM モードレジスタセット (SET)	22-68
☒ 22.37	DRAM バスサイクル	22-69
☒ 22.38	DRAM バスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)	22-70
☒ 22.39	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)	22-71
☒ 22.40	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、 TPC[2:0]=001)	22-72
☒ 22.41	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、 TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル)	22-73
☒ 22.42	DRAM バーストバスサイクル、RAS ダウンモード状態 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)	22-74
☒ 22.43	DRAM バーストバスサイクル、RAS ダウンモード継続 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)	22-75
☒ 22.44	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)	22-76
☒ 22.45	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001)	22-77
☒ 22.46	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、 TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル)	22-78
☒ 22.47	DRAM バーストバスサイクル、RAS ダウンモード状態 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)	22-79
☒ 22.48	DRAM バーストバスサイクル、RAS ダウンモード継続 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)	22-80
☒ 22.49	DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS[2:0]=000、TRC[2:0]=001)	22-81
☒ 22.50	DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS[2:0]=001、TRC[2:0]=001)	22-82

図 22.51	DRAM バスサイクル DRAM セルフリフレッシュ (TRC[2:0]=001)	22-83
図 22.52	PCMCIA メモリバスサイクル	22-84
図 22.53	PCMCIA I/O バスサイクル.....	22-85
図 22.54	PCMCIA I/O バスサイクル (TED[2:0]=001、TEH[2:0]=001、内部 1 ウェイト、 パスサイジング)	22-86
図 22.55	MPX 基本バスサイクル、リード	22-87
図 22.56	MPX 基本バスサイクル、ライト	22-88
図 22.57	MPX バスサイクル、バーストリード	22-89
図 22.58	MPX バスサイクル、バーストライト	22-90
図 22.59	メモリバイト制御 SRAM バスサイクル	22-91
図 22.60	メモリバイト制御 SRAM バスサイクル 基本リードサイクル (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS[0]=1、AnH[1:0]=01)	22-92
図 22.61	TCLK 入力タイミング	22-100
図 22.62	パワーオン RTC 発振安定時間.....	22-100
図 22.63	SCK 入力クロックタイミング.....	22-100
図 22.64	SCI I/O 同期モードクロックタイミング	22-101
図 22.65	I/O ポート入出力タイミング	22-101
図 22.66 (a)	$\overline{\text{DREQ}}/\text{DRAK}$ タイミング	22-101
図 22.66 (b)	$\overline{\text{DBREQ}}/\text{TR}$ 入力タイミング、 $\overline{\text{BAVL}}$ 出力タイミング	22-102
図 22.67	TCK 入力タイミング	22-102
図 22.68	$\overline{\text{RESET}}$ ホールドタイミング	22-102
図 22.69	H-UDI データ転送タイミング	22-103
図 22.70	端子ブレークタイミング	22-103
図 22.71	NMI 入力タイミング.....	22-103
図 22.72	出力付加回路	22-104
図 22.73	負荷容量 - 遅延時間	22-105

付録

図 B.1	外形寸法図 (256 ピン BGA : HD6417750RBA240HV 及び HD6417750SBA200V を除く) .付録-6	
図 B.2	外形寸法図 (208 ピン QFP)	付録-7
図 B.3	外形寸法図 (264 ピン CSP)	付録-8
図 B.4	外形寸法図 (292 ピン BGA)	付録-9
図 B.5	外形寸法図 (256 ピン BGA : HD6417750RBA240HV および HD6417750SBA200V)	付録-10
図 D.1	$\overline{\text{CKIO2ENB}}$ 端子構成.....	付録-13
図 G.1	命令のプリフェッチ	付録-33
図 H.1	電源投入手順 1	付録-35
図 H.2	電源投入手順 2	付録-35

表目次

1. 概要	
表 1.1	特長.....1-2
表 1.2	端子機能.....1-12
表 1.3	端子機能.....1-21
表 1.4	端子機能.....1-28
表 1.5	端子機能.....1-37
2. プログラミングモデル	
表 2.1	レジスタの初期値.....2-3
3. メモリマネジメントユニット (MMU)	
表 3.1	レジスタ構成.....3-3
4. キャッシュ	
表 4.1	キャッシュの特長 (SH7750、SH7750S).....4-1
表 4.2	キャッシュの特長 (SH7750R).....4-1
表 4.3	ストアキューの特長.....4-2
表 4.4	レジスタの構成.....4-2
5. 例外処理	
表 5.1	レジスタ構成 (アドレス).....5-1
表 5.2	例外一覧.....5-4
表 5.3	リセットの種類.....5-11
6. 浮動小数点ユニット (FPU)	
表 6.1	浮動小数点のフォーマットとパラメータ.....6-2
表 6.2	浮動小数点の範囲.....6-3
表 6.3	不正な演算結果.....6-19
表 6.4	FDIV DRm, DRn (DRn/DRm DRn).....6-20
表 6.5	FADD DRm, DRn (DRn + DRm DRn) FSUB DRm, DRn (DRn - DRm DRn).....6-20
表 6.6	FMUL DRm, DRn (DRn*DRm DRn).....6-21
表 6.7	TRAP ルーチンでの処理.....6-22

7. 命令セット

表 7.1	アドレッシングモードと実効アドレス.....	7-3
表 7.2	命令リストの表記.....	7-6
表 7.3	固定小数点転送命令.....	7-7
表 7.4	算術演算命令.....	7-8
表 7.5	論理演算命令.....	7-10
表 7.6	シフト命令.....	7-11
表 7.7	分岐命令.....	7-11
表 7.8	システム制御命令.....	7-12
表 7.9	浮動小数点単精度命令.....	7-14
表 7.10	浮動小数点倍精度命令.....	7-15
表 7.11	浮動小数点制御命令.....	7-15
表 7.12	浮動小数点グラフィック強化命令.....	7-16

8. パイプライン動作

表 8.1	命令グループ.....	8-7
表 8.2	並列実行性.....	8-9
表 8.3	実行サイクル.....	8-16

9. 低消費電力モード

表 9.1	低消費電力モードの状態.....	9-2
表 9.2	レジスタ構成.....	9-2
表 9.3	端子構成.....	9-3
表 9.4	スタンバイモード時のレジスタの状態.....	9-13

10. クロック発振回路

表 10.1	発振回路の端子構成と機能.....	10-6
表 10.2	レジスタ構成.....	10-6
表 10.3 (1)	SH7750、SH7750S のクロック動作モード.....	10-7
表 10.3 (2)	SH7750R のクロック動作モード.....	10-7
表 10.4	FRQCR の設定値と、内部クロックの周波数.....	10-8
表 10.5	レジスタ構成.....	10-14

11. リアルタイムクロック (RTC)

表 11.1	端子構成.....	11-3
表 11.2	レジスタ構成.....	11-4
表 11.3	水晶発振回路の定数 (推奨値).....	11-21

12. タイマユニット (TMU)

表 12.1	端子構成.....	12-2
--------	-----------	------

表 12.2	レジスタ構成	12-3
表 12.3	TMU の割り込み要因	12-17

13. バスステートコントローラ (BSC)

表 13.1	端子構成	13-4
表 13.2	レジスタ構成	13-7
表 13.3	外部メモリ空間マップ	13-9
表 13.4	PCMCIA インタフェースの特長	13-11
表 13.5	PCMCIA サポートインタフェース	13-12
表 13.6	MPX インタフェース設定時 (エリア 0~6)	13-36
表 13.7 (1)	64 ビット外部デバイス / ビッグエンディアン のアクセスとデータアライメント	13-56
表 13.7 (2)	64 ビット外部デバイス / ビッグエンディアン のアクセスとデータアライメント	13-57
表 13.8	32 ビット外部デバイス / ビッグエンディアン のアクセスとデータアライメント	13-58
表 13.9	16 ビット外部デバイス / ビッグエンディアン のアクセスとデータアライメント	13-58
表 13.10	8 ビット外部デバイス / ビッグエンディアン のアクセスとデータアライメント	13-59
表 13.11	64 ビット外部デバイス / リトルエンディアン のアクセスとアライメント	13-60
表 13.12	32 ビット外部デバイス / リトルエンディアン のアクセスとデータアライメント	13-61
表 13.13	16 ビット外部デバイス / リトルエンディアン のアクセスとデータアライメント	13-62
表 13.14	8 ビット外部デバイス / リトルエンディアン のアクセスとデータアライメント	13-63
表 13.15	AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの 関係	13-78
表 13.16	本 LSI とシンクロナス DRAM のアドレス端子 対応例 (バス幅 64 ビット、AMX2~AMX0=011、 AMXEXT=0)	13-95
表 13.17	パイプラインアクセスが可能なサイクル一覧	13-108
表 13.18	PCMCIA インタフェース使用時のアドレスと CE の関係	13-124

14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.1	DMAC 端子構成	14-5
表 14.2	DDT モードにおける DMAC 端子構成	14-5
表 14.3	レジスタ構成	14-6
表 14.4	RS ビットによる外部リクエストモードの 選択	14-23
表 14.5	RS ビットによる内蔵周辺モジュールリクエスト モードの選択	14-25
表 14.6	サポートできる DMA 転送	14-30
表 14.7	DMA 転送区間とリクエストモード、バスモード などの関連一覧	14-36
表 14.8	ノーマル DMA モード時の外部リクエストによる 転送元、転送先一覧	14-37
表 14.9	DDT モード時の外部リクエストによる転送元、 転送先一覧	14-37
表 14.10	外部メモリと DACK 付き外部デバイス間転送 条件とレジスタ設定値	14-54
表 14.11	DMAC 端子構成	14-84
表 14.12	DDT モードにおける DMAC 端子構成	14-84
表 14.13	レジスタ構成	14-85
表 14.14	DTR フォーマットによるチャンネル選択 (DMAOR.DBL = 1)	14-91

表 14.15	DDT モード 8 チャンネル対応時の転送チャンネル通知	14-93
表 14.16	$\overline{\text{BAVL}}$ の機能	14-94
表 14.17	リクエストキュークリアの DTR フォーマット	14-94
表 14.18	DMAC 割り込み要求コード	14-95
15. シリアルコミュニケーションインタフェース (SCI)		
表 15.1	端子構成	15-4
表 15.2	レジスタ構成	15-4
表 15.3	ビットレートに対する SCBRR1 の設定例 [調歩同期式モード]	15-22
表 15.4	ビットレートに対する SCBRR1 の設定例 [クロック同期式モード]	15-25
表 15.5	ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	15-26
表 15.6	外部クロック入力時の最大ビットレート (調歩同期式モード)	15-27
表 15.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	15-27
表 15.8	SCSMR1 の設定値とシリアル送信 / 受信フォーマット	15-29
表 15.9	SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択	15-29
表 15.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	15-31
表 15.11	受信エラーと発生条件	15-39
表 15.12	SCI 割り込み要因	15-58
表 15.13	SCSSR1 のステータスフラグの状態と受信データの転送	15-59
表 15.14	周辺モジュール信号タイミング	15-64
16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)		
表 16.1	端子構成	16-4
表 16.2	レジスタ構成	16-4
表 16.3	SCSMR2 の設定値とシリアル送信 / 受信フォーマット	16-29
表 16.4	SCSCR2 の設定と SCIF のクロックソースの選択	16-30
表 16.5	シリアル送信 / 受信フォーマット	16-31
表 16.6	SCIF 割り込み要因	16-41
17. スマートカードインタフェース		
表 17.1	端子構成	17-3
表 17.2	レジスタ構成	17-3
表 17.3	スマートカードインタフェースでのレジスタ設定	17-11
表 17.4	n と CKS1、CKS0 の対応表	17-13
表 17.5	SCBRR1 の設定に対するビットレート B (bit/s) の例 (ただし、n = 0 のとき)	17-13
表 17.6	ビットレート B (bit/s) に対する SCBRR1 の設定例 (ただし、n = 0 のとき)	17-14
表 17.7	各周波数における最大ビットレート (スマートカードインタフェースモード時)	17-14
表 17.8	レジスタ設定値と SCK 端子	17-14
表 17.9	スマートカードモードの動作状態と割り込み要因	17-21

18. I/Oポート

表 18.1	20 ビット汎用 I/O ポートの端子構成	18-9
表 18.2	SCI I/O ポート端子構成	18-9
表 18.3	SCIF I/O ポート端子構成	18-10
表 18.4	レジスタ構成	18-10

19. 割り込みコントローラ (INTC)

表 19.1	端子構成	19-3
表 19.2	レジスタ構成	19-3
表 19.3	$\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子と割り込みレベル	19-5
表 19.4	SH7750 の $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子と割り込みレベル (IRLM=1 のとき)	19-6
表 19.5	割り込み例外処理要因と優先順位	19-8
表 19.6	割り込み要求元と IPRA ~ IPRD レジスタ	19-10
表 19.7	割り込み要求元と INTPRI00 レジスタ	19-13
表 19.8	ビット割り付け	19-16
表 19.9	割り込み応答時間	19-20

20. ユーザブ레이크コントローラ

表 20.1	ユーザブ레이크コントローラレジスタ構成	20-3
--------	---------------------	------

21. ユーザデバッグインタフェース (H-UDI)

表 21.1	端子構成	21-3
表 21.2	H-UDI レジスタ構成	21-4
表 21.3	パウンドリスキャンレジスタの構成	21-9

22. 電気的特性

表 22.1	絶対最大定格	22-1
表 22.2	HD6417750RBP240 (V)、HD6417750RBG240 (V)、HD6417750RBA240HV DC 特性	22-2
表 22.3	HD6417750RF240 (V) DC 特性 (Ta = -20 ~ 75)	22-4
表 22.4	HD6417750RBP200 (V)、HD6417750RBG200 (V)、HD6417750RBA240HV*3	22-5
表 22.5	HD6417750RF200 (V) DC 特性 (Ta = -20 ~ 75)	22-7
表 22.6	HD6417750SBP200 (V)、HD6417750SBA200V DC 特性 (Ta = -20 ~ 75)	22-8
表 22.7	HD6417750SF200 (V) DC 特性 (Ta = -20 ~ 75)	22-9
表 22.8	HD6417750BP200M (V) DC 特性 (Ta = -20 ~ 75)	22-10
表 22.9	HD6417750SF167 (V) DC 特性 (Ta = -20 ~ 75)	22-11
表 22.10	HD6417750F167 (V) DC 特性 (Ta = -20 ~ 75)	22-12
表 22.11	HD6417750SVF133 (V) DC 特性 (Ta = -20 ~ 75)	22-13
表 22.12	HD6417750SVBT133 (V) DC 特性 (Ta = -30 ~ 70)	22-14
表 22.13	HD6417750VF128 (V) DC 特性 (Ta = -20 ~ 75)	22-15
表 22.14	出力許容電流値 (Ta = -20 ~ 75)	22-16

表 22.15	クロックタイミング (HD6417750RBP240 (V)、HD6417750RBG240 (V)、HD6417750RBA240HV)	22-17
表 22.16	クロックタイミング (HD6417750RF240 (V))	22-17
表 22.17	クロックタイミング (HD6417750BP200M (V)、HD6417750SBP200 (V)、 HD6417750SBA200V、HD6417750RBP200 (V)、HD6417750RBG200 (V)、 HD6417750RBA240HV* ¹)	22-17
表 22.18	クロックタイミング (HD6417750RF200 (V))	22-17
表 22.19	クロックタイミング (HD6417750SF200 (V))	22-17
表 22.20	クロックタイミング (HD6417750F167 (V)、HD6417750SF167 (V))	22-18
表 22.21	クロックタイミング (HD6417750SVF133 (V)、HD6417750SVBT133 (V))	22-18
表 22.22	クロックタイミング (HD6417750VF128 (V))	22-18
表 22.23	クロック・制御信号タイミング HD6417750RBP240 (V)、HD6417750RBG240 (V)、 HD6417750RBA240HV	22-19
表 22.24	HD6417750RF240 (V) クロック・制御信号タイミング	22-20
表 22.25	クロック・制御信号タイミング HD6417750RBP200 (V)、HD6417750RBG200 (V)、 HD6417750RBA240HV* ²	22-21
表 22.26	HD6417750RF200 (V) クロック・制御信号タイミング	22-22
表 22.27	クロック・制御信号タイミング HD6417750BP200M (V)、HD6417750SBP200 (V)、 HD6417750SBA200V	22-23
表 22.28	HD6417750SF200 (V) クロック・制御信号タイミング	22-25
表 22.29	HD6417750F167 (V)、HD6417750SF167 (V) クロック・制御信号タイミング	22-26
表 22.30	HD6417750SVF133 (V)、HD6417750SVBT133 (V) クロック・制御信号タイミング	22-27
表 22.31	HD6417750VF128 (V) クロック・制御信号タイミング	22-28
表 22.32	制御信号タイミング	22-36
表 22.33	制御信号タイミング	22-37
表 22.34	バスタイミング (1)	22-40
表 22.35	バスタイミング (2)	22-42
表 22.36	バスタイミング (3)	22-44
表 22.37	周辺モジュール信号タイミング (1)	22-93
表 22.38	周辺モジュール信号タイミング (2)	22-94
表 22.39	周辺モジュール信号タイミング (3)	22-96
表 22.40	周辺モジュール信号タイミング (4)	22-97
表 22.41	周辺モジュール信号タイミング (5)	22-98
表 22.42	周辺モジュール信号タイミング (6)	22-99

付録

表 A.1	アドレス一覧	付録-1
表 E.1	リセット、低消費電力状態、バス解放状態での端子状態	付録-14
表 I.1	SH7750/SH7750S/SH7750R 型名一覧	付録-36
表 J.1	レジスタ構成	付録-37

1. 概要

1.1 本 LSI (SH7750、SH7750S、SH7750R グループ) の特長

本 LSI (SH7750、SH7750S、SH7750R グループ) は SH-1、SH-2、SH-3 マイクロコンピュータと命令セットレベルでの上位互換性を特長とする SH-4 コア 32 ビット RISC (縮小命令セットコンピュータ) マイクロプロセッサです。本 LSI は命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能なオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリマネジメントユニット) を内蔵しています。SH7750、SH7750S のキャッシュ容量は命令キャッシュ 8KB、データキャッシュ 16KB です。SH7750R のキャッシュ容量は命令キャッシュ 16KB、データキャッシュ 32KB です。

本 LSI は、DRAM、シンクロナス DRAM を接続できるバスステートコントローラ (BSC) を内蔵しています。16 ビット固定長の命令セットにより、32 ビット命令に比較してプログラムコードのサイズをほぼ 50% 縮小することができます。

本 LSI の特長を表 1.1 に示します。

表 1.1 特長

項目	特長
LSI	<ul style="list-style-type: none"> • スーパスカラ：2つの命令の並行実行 • 外部バス： <ul style="list-style-type: none"> - 独立 26 ビットアドレス + 64 ビットデータ - (内部バス周波数に対して) 1/2、1/3、1/4、1/6、1/8 外部バス周波数
CPU	<ul style="list-style-type: none"> • ルネサスオリジナルアーキテクチャ • 32 ビット内部データバス • 汎用レジスタファイル： <ul style="list-style-type: none"> - 16本の 32 ビット汎用レジスタ (および 8本の 32 ビットシャドウレジスタ) - 7本の 32 ビット制御レジスタ - 4本の 32 ビットシステムレジスタ • RISC タイプ命令セット (SH1、SH2、SH3 と上位互換性)： <ul style="list-style-type: none"> - 命令長：コードの効率改善のための 16 ビット固定長 - ロードストアアーキテクチャ - 遅延分岐命令 - 条件付き実行 - C 言語に基づく命令セット • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • 仮想アドレス空間：4G バイト (448M バイト外部メモリ空間) • 空間識別子 ASID：8 ビット、256 仮想アドレス空間 • 乗算器内蔵 • 5 段パイプライン

項目	特長
FPU	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット x16 x2 バンク (単精度 32 ビット x16 または倍精度 64 ビット x8) x2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0 / FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> - レイテンシ (FMAC/FADD/FSUB/FMUL): 3 サイクル (単精度)、8 サイクル (倍精度) - ピッチ (FMAC/FADD/FSUB/FMUL): 1 サイクル (単精度)、6 サイクル (倍精度) 【注】: FMAC は単精度に対してのみサポートしています。 • 3D グラフィック命令 (単精度のみ): <ul style="list-style-type: none"> - 4 次元ベクトル変換および行列演算 (FTRV)、4 サイクル (ピッチ)、7 サイクル (レイテンシ) - 4 次元ベクトルの内積 (FIPR)、1 サイクル (ピッチ)、4 サイクル (レイテンシ)
クロックパルス発生回路 (CPG)	<ul style="list-style-type: none"> • メインクロック選択可能: EXTAL の 1/2、1、3、6 倍: SH7750、SH7750S EXTAL の 1、6、12 倍: SH7750R • クロックモード: <ul style="list-style-type: none"> - CPU 周波数: (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8 - バス周波数: (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8 - 周辺周波数: (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8 【注】最大周波数は各製品 (型名で区別) で異なります。 • 低消費電力モード <ul style="list-style-type: none"> - スリープモード - スタンバイモード - モジュールスタンバイ機能 • 1 チャンネルのウォッチドッグタイマ
メモリマネジメントユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、64K、1M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入れ替え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能

項目	特長
キャッシュ メモリ [SH7750] [SH7750S]	<ul style="list-style-type: none"> • 命令キャッシュ(IC) <ul style="list-style-type: none"> - 8K バイト、ダイレクトマッピング - 256 エントリ、32 バイトブロック長 • オペランドキャッシュ (OC) <ul style="list-style-type: none"> - 16K バイト、ダイレクトマッピング - 512 エントリ、32 バイトブロック長 - 通常モード (8K バイトキャッシュ) - インデックスモード - RAM モード (8K バイトキャッシュ + 8K バイト RAM) - 選択可能な書き込み方式 (コピーバック / ライトスルー) • 1 段コピーバックバッファ、1 段ライトスルーバッファ • キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能) • スタアキュー (32 バイト×2 エントリ)
キャッシュ メモリ [SH7750R]	<ul style="list-style-type: none"> • 命令キャッシュ(IC) <ul style="list-style-type: none"> - 16K バイト、2 ウェイセットアソシアティブ - 256 エントリ / ウェイ、32 バイトブロック長 - キャッシュ倍増モード (16K バイトキャッシュ) - インデックスモード - SH7750、SH7750S 互換モード (8K バイト、ダイレクトマップ) • オペランドキャッシュ (OC) <ul style="list-style-type: none"> - 32K バイト、2 ウェイセットアソシアティブ - 512 エントリ / ウェイ、32 バイトブロック長 - キャッシュ倍増モード (32K バイトキャッシュ) - インデックスモード - RAM モード (16K バイトキャッシュ + 16K バイト RAM) - SH7750、SH7750S 互換モード (16K バイト、ダイレクトマップ) • 1 段コピーバックバッファ、1 段ライトスルーバッファ • キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能) • スタアキュー (32 バイト×2 エントリ)
割り込みコント ローラ (INTC)	<ul style="list-style-type: none"> • 5 本の独立した外部割り込み： NMI、IRL3 ~ IRL0 • 15 レベルの符号化した外部割り込み： IRL3 ~ IRL0 • 内蔵周辺割り込み： モジュールごとに優先レベルを設定

項目	特長
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブ레이크割り込みによるデバッグをサポート • 2本のブ레이크チャンネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • 外部メモリアccessをサポート <ul style="list-style-type: none"> - 64/32/16/8 ビットの外部データバス • それぞれ最大64Mバイトの7つのエリアに分割した外部メモリ空間、各エリアには次の機能を設定可能。 <ul style="list-style-type: none"> - バスサイズ (8、16、32、または 64 ビット) - ウェイトサイクル数 (ハードウェアウェイト機能もサポート) - 空間のタイプを設定することにより、DRAM、シンクロナス DRAM、バースト ROM に対する接続が可能 - 高速ページモードと DRAM 用 EDO をサポート - PCMCIA インタフェースをサポート - 該当エリアに対するチップセレクト信号 (CS0-CS6) を出力 • DRAM / シンクロナス DRAM リフレッシュ機能 <ul style="list-style-type: none"> - プログラマブルなリフレッシュ間隔 - CAS ピフオー-RAS リフレッシュモードおよびセルフリフレッシュモードをサポート • DRAM / シンクロナス DRAM バーストアクセス機能 • ビッグエンディアンまたはリトルエンディアンを設定可能
ダイレクト メモリアccess コントローラ (DMAC)	<ul style="list-style-type: none"> • 物理アドレス DMA コントローラ <ul style="list-style-type: none"> -SH7750、SH7750S : 4チャンネル -SH7750R : 8チャンネル • 転送データサイズ: 8、16、32、64 ビット、または 32 バイト • アドレスモード <ul style="list-style-type: none"> - シングルアドレスモード - デュアルアドレスモード • 転送要求: 外部、内蔵モジュール、またはオートリクエスト • バスモード: サイクルスチール、またはバーストモード • オンデマンドデータ転送をサポート
タイマ (TMU)	<ul style="list-style-type: none"> • オートリロード方式 32 ビットタイマ <ul style="list-style-type: none"> -SH7750、SH7750S : 3チャンネル -SH7750R : 5チャンネル • インพุットキャプチャ機能 • 7種類のカウンタ入力クロックを選択可能
リアルタイム クロック (RTC)	<ul style="list-style-type: none"> • 内蔵クロック、カレンダー機能 • 最大 1/256 秒の分解能 (サイクル割り込み) を持つ内蔵 32kHz 水晶発振回路

項目	特長				
シリアルコミュニケーションインタフェース (SCI、SCIF)	<ul style="list-style-type: none"> • 2本の全二重通信チャネル (SCI、SCIF) • チャネル 1 (SCI) <ul style="list-style-type: none"> - 調歩同期式モードまたはクロック同期式モードの選択可能 - スマートカードインタフェースをサポート • チャネル 2 (SCIF) <ul style="list-style-type: none"> - 調歩同期式モードをサポート - 送信部、受信部それぞれに 16 バイトの FIFO 付き 				
製品ラインアップ	SH7750	1.95V	200MHz	HD6417750BP200M	256 ピン BGA
		1.8V	167MHz	HD6417750F167	208 ピン QFP
		1.5V	128MHz	HD6417750VF128	
	SH7750S	1.95V	200MHz	HD6417750SBP200	256 ピン BGA
				HD6417750SBA200	
				HD6417750SF200	208 ピン QFP
		1.8V	167MHz	HD6417750SF167	208 ピン QFP
		1.5V	133MHz	HD6417750SVF133	264 ピン CSP
	HD6417750SVBT133				
	SH7750R	1.5V	240MHz	HD6417750RBG240	292 ピン BGA
				HD6417750RBP240	256 ピン BGA
				HD6417750RBA240H	
				HD6417750RF240	208 ピン QFP
		200MHz	HD6417750RBG200	292 ピン BGA	
			HD6417750RBP200	256 ピン BGA	
HD6417750RF200			208 ピン QFP		

1.2 ブロック図

図 1.1 に本 LSI の機能ブロック図を示します。

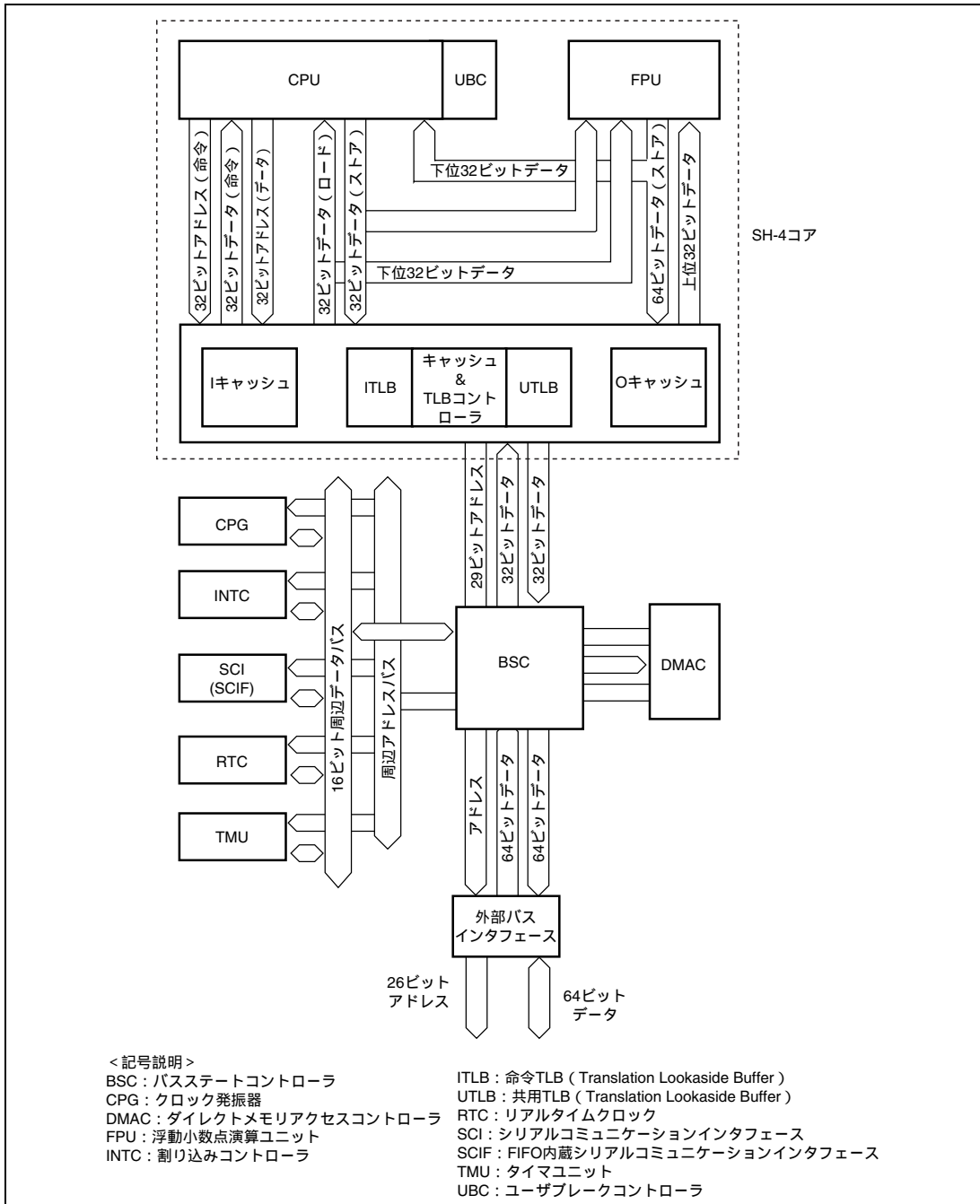
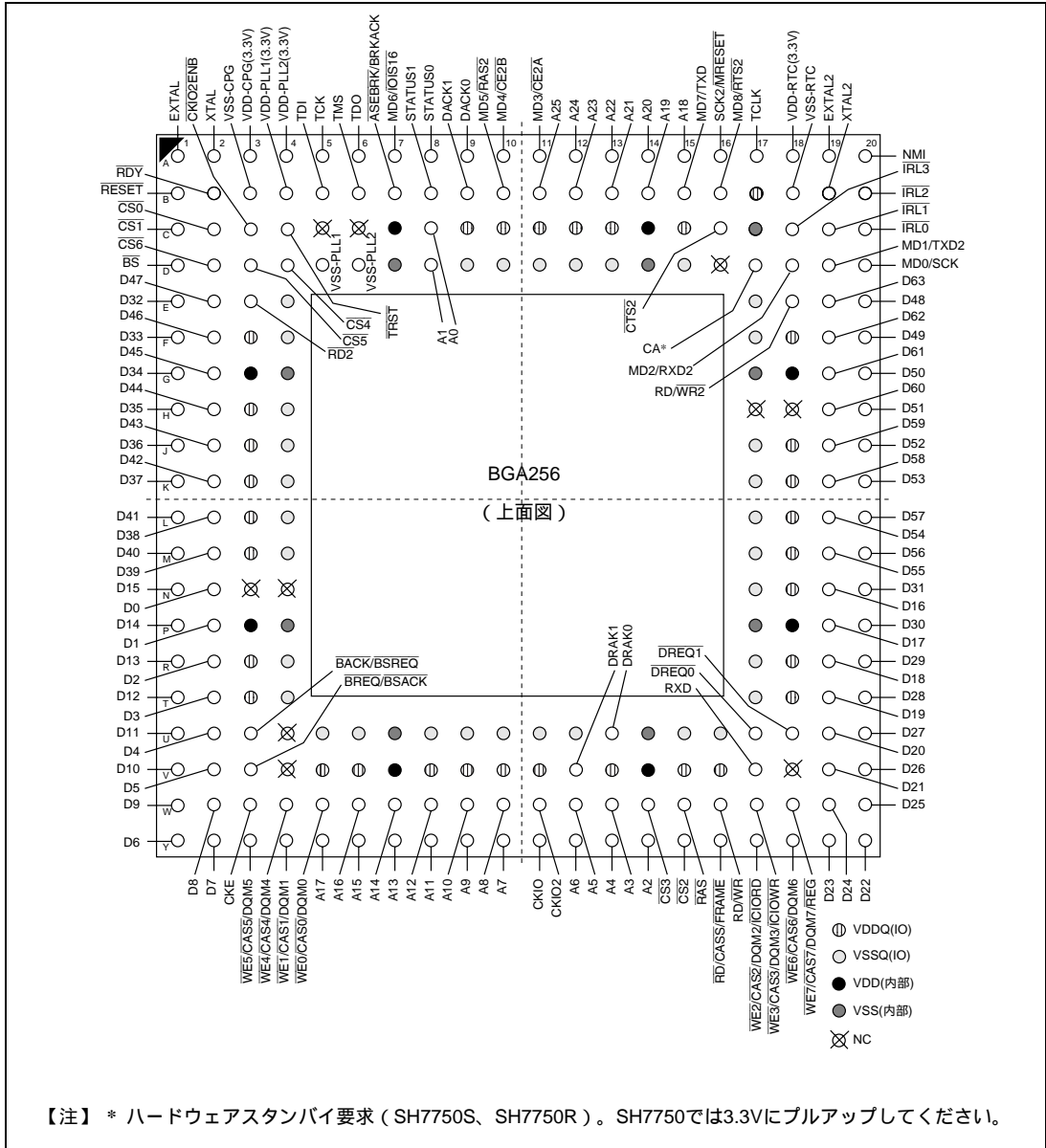


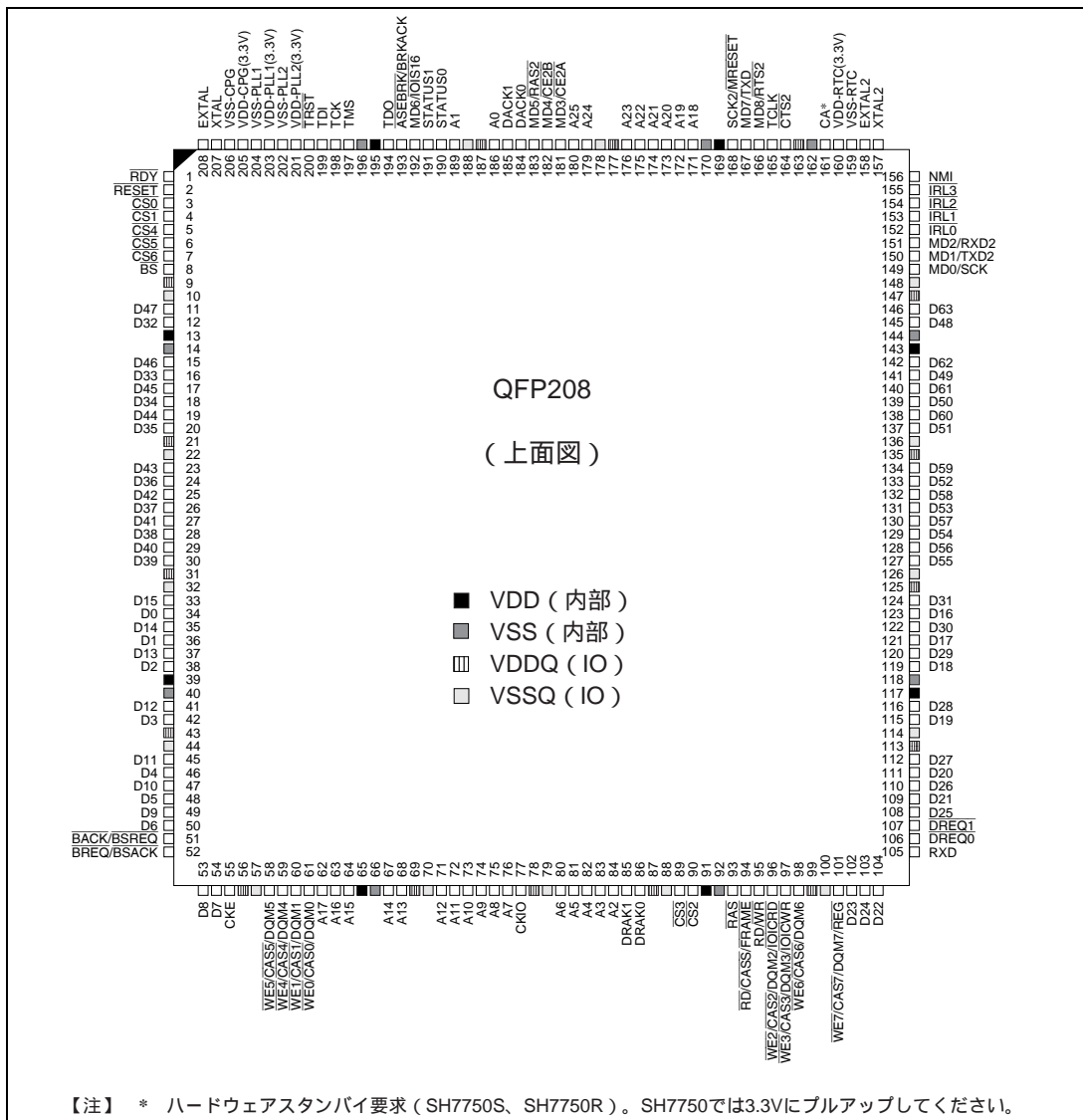
図 1.1 機能ブロック図

1.3 ピン配置図



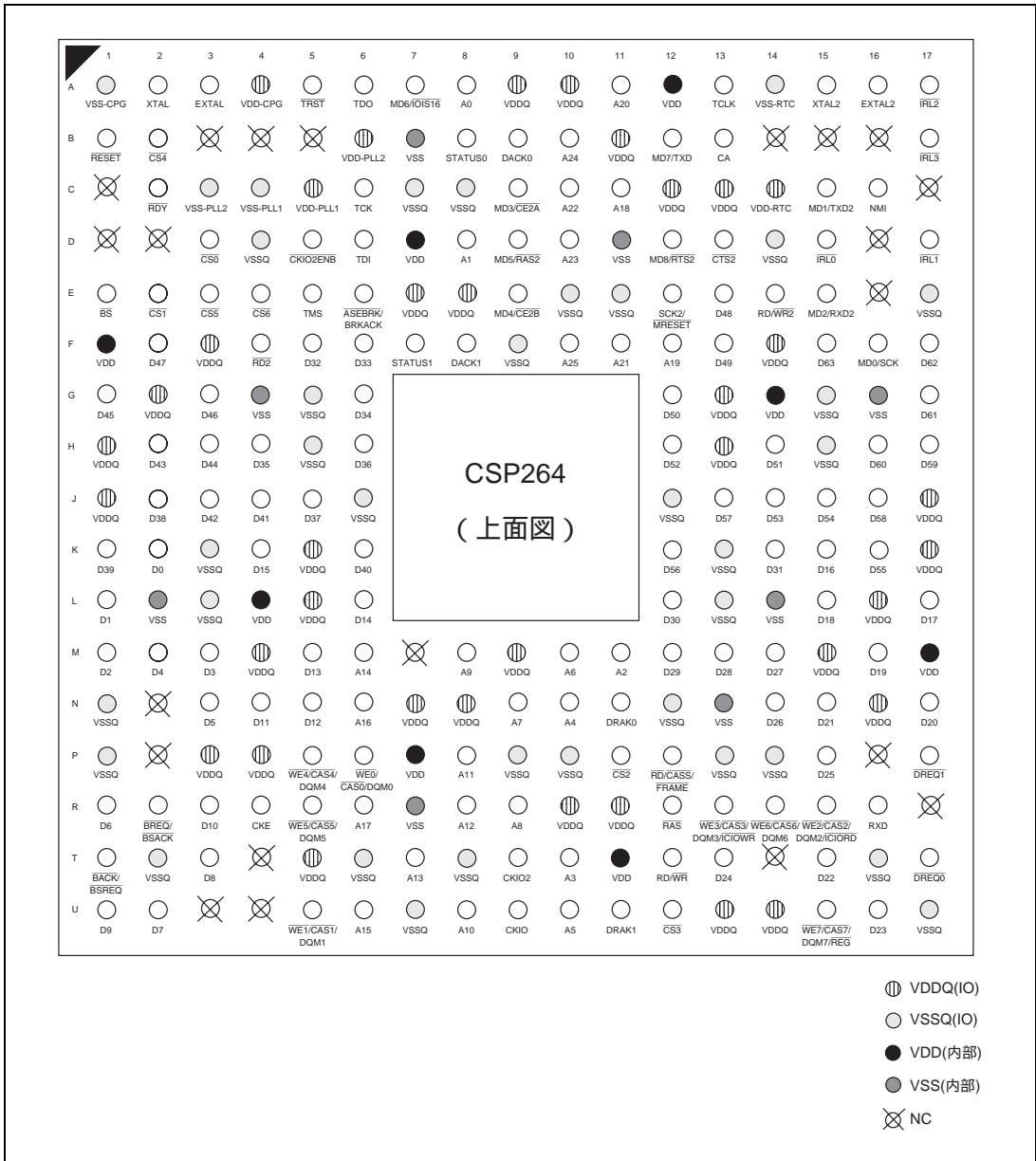
【注】 内蔵 PLL 用電源端子 (VDD-PLL1、VDD-PLL2、VSS-PLL1、VSS-PLL2、VDD-CPG、VSS-CPG、VDD-RTC、VSS-RTC) は、PLL、水晶発振回路、RTC の使用の有無にかかわらず電源を供給してください。

図 1.2 ピン配置図 (256 ピン BGA)



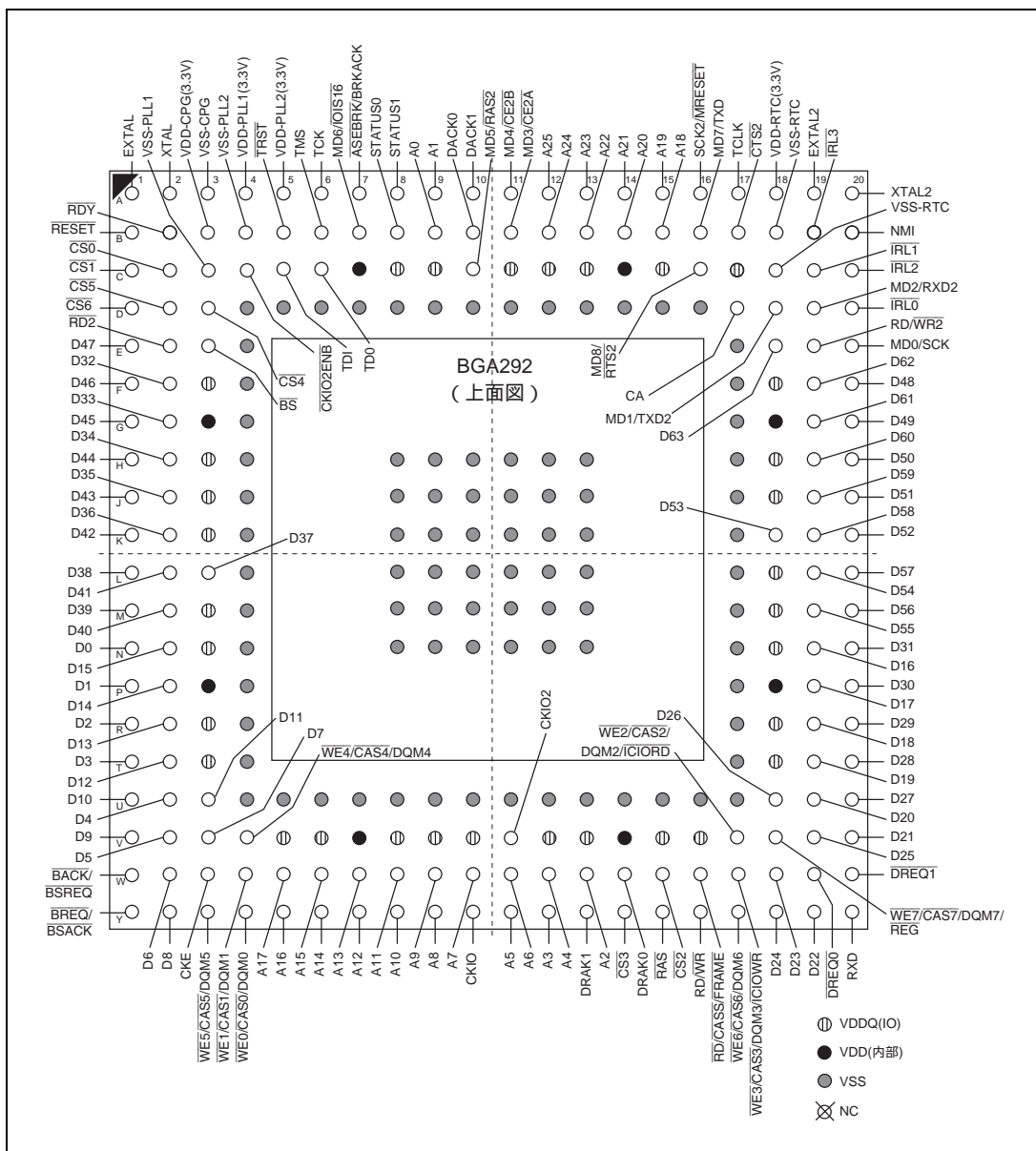
【注】 内蔵 PLL 用電源端子 (VDD-PLL1、VDD-PLL2、VSS-PLL1、VSS-PLL2、VDD-CPG、VSS-CPG、VDD-RTC、VSS-RTC) は、PLL、水晶発振回路、RTC の使用の有無にかかわらず電源を供給してください。

図 1.3 ピン配置図 (208 ピン QFP)



【注】 内蔵 PLL 用電源端子 (VDD-PLL1、VDD-PLL2、VSS-PLL1、VSS-PLL2、VDD-CPG、VSS-CPG、VDD-RTC、VSS-RTC) は、PLL、水晶発振回路、RTC の使用の有無にかかわらず電源を供給してください。

図 1.4 ピン配置図 (264 ピン CSP)



【注】 内蔵 PLL 用電源端子 (VDD-PLL1、VDD-PLL2、VSS-PLL1、VSS-PLL2、VDD-CPG、VSS-CPG、VDD-RTC、VSS-RTC) は、PLL、水晶発振回路、RTC の使用の有無にかかわらず電源を供給してください。

図 1.5 ピン配置図 (292 ピン BGA)

1.4 端子機能

1.4.1 端子機能 (256 ピン BGA)

表 1.2 端子機能

No	端子番号	端子名	I/O	機能	リセ ット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
1	B2	RDY	I	バス準備		RDY			RDY	RDY
2	B1	RESET	I	リセット					RESET	
3	C2	CS0	O	チップ選択 0		CS0				CS0
4	C1	CS1	O	チップ選択 1		CS1				CS1
5	D4	CS4	O	チップ選択 4		CS4				CS4
6	D3	CS5	O	チップ選択 5		CS5			CE1A	CS5
7	D2	CS6	O	チップ選択 6		CS6			CE1B	CS6
8	D1	B \bar{S}	O	バス開始		(B \bar{S})	(B \bar{S})	(B \bar{S})	(B \bar{S})	(B \bar{S})
9	E4	VSSQ	Power	IO GND (0V)						
10	E3	RD2	O	RD/CASS/FRAME		OE		CAS	OE	FRAME
11	F3	VDDQ	Power	IO VDD (3.3V)						
12	F4	VSSQ	Power	IO GND (0V)						
13	E2	D47	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
14	E1	D32	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
15	G3	VDD	Power	内部 VDD						
16	G4	VSS	Power	内部 GND (0V)						
17	F2	D46	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
18	F1	D33	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
19	H3	VDDQ	Power	IO VDD (3.3V)						
20	H4	VSSQ	Power	IO GND (0V)						
21	G2	D45	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
22	G1	D34	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
23	H2	D44	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
24	H1	D35	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
25	J3	VDDQ	Power	IO VDD (3.3V)						
26	J4	VSSQ	Power	IO GND (0V)						
27	J2	D43	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
28	J1	D36	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
29	K2	D42	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
30	K1	D37	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
31	K3	VDDQ	Power	IO VDD (3.3V)						
32	K4	VSSQ	Power	IO GND (0V)						
33	L1	D41	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
34	L2	D38	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
35	M1	D40	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
36	M2	D39	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
37	L3	VDDQ	Power	IO VDD (3.3V)						
38	L4	VSSQ	Power	IO GND (0V)						
39	N1	D15	I/O	データ						A15
40	N2	D0	I/O	データ						A0
41	P1	D14	I/O	データ						A14
42	P2	D1	I/O	データ						A1
43	M3	VDDQ	Power	IO VDD (3.3V)						
44	M4	VSSQ	Power	IO GND (0V)						
45	R1	D13	I/O	データ						A13
46	R2	D2	I/O	データ						A2
47	P3	VDD	Power	内部 VDD						
48	P4	VSS	Power	内部 GND (0V)						
49	T1	D12	I/O	データ						A12
50	T2	D3	I/O	データ						A3
51	R3	VDDQ	Power	IO VDD (3.3V)						
52	R4	VSSQ	Power	IO GND (0V)						
53	U1	D11	I/O	データ						A11
54	U2	D4	I/O	データ						A4
55	V1	D10	I/O	データ						A10
56	V2	D5	I/O	データ						A5
57	T3	VDDQ	Power	IO VDD (3.3V)						
58	T4	VSSQ	Power	IO GND (0V)						
59	W1	D9	I/O	データ						A9
60	Y1	D6	I/O	データ						A6
61	U3	BACK/ BSREQ	O	バス権認識 / バス権要求						
62	V3	BREQ/ BSACK	I	バス権要求 / バス権認識						
63	W2	D8	I/O	データ						A8
64	Y2	D7	I/O	データ						A7
65	W3	CKE	O	クロック出力可能				CKE		
66	V5	VDDQ	Power	IO VDD (3.3V)						
67	U5	VSSQ	Power	IO GND (0V)						

1. 概要

SH7750、SH7750S、SH7750R グループ

No	端子番号	端子名	I/O	機能	リセット	メモリーインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
68	Y3	WE5/CAS5/ DQM5	O	D47-D40 選択信号		WE5	CAS5	DQM5		
69	W4	WE4/CAS4/ DQM4	O	D39-D32 選択信号		WE4	CAS4	DQM4		
70	Y4	WE1/CAS1/ DQM1	O	D15-D8 選択信号		WE1	CAS1	DQM1	WE1	
71	W5	WE0/CAS0/ DQM0	O	D7-D0 選択信号		WE0	CAS0	DQM0		
72	Y5	A17	O	アドレス						
73	V6	VDDQ	Power	IO VDD (3.3V)						
74	U6	VSSQ	Power	IO GND (0V)						
75	W6	A16	O	アドレス						
76	Y6	A15	O	アドレス						
77	V7	VDD	Power	内部 VDD						
78	U7	VSS	Power	内部 GND (0V)						
79	W7	A14	O	アドレス						
80	Y7	A13	O	アドレス						
81	V8	VDDQ	Power	IO VDD (3.3V)						
82	U8	VSSQ	Power	IO GND (0V)						
83	V4	NC								
84	W8	A12	O	アドレス						
85	Y8	A11	O	アドレス						
86	W9	A10	O	アドレス						
87	V9	VDDQ	Power	IO VDD (3.3V)						
88	U9	VSSQ	Power	IO GND (0V)						
89	Y9	A9	O	アドレス						
90	W10	A8	O	アドレス						
91	Y10	A7	O	アドレス						
92	Y11	CKIO	O	クロック出力		CKIO		CKIO		CKIO
93	V10	VDDQ	Power	IO VDD (3.3V)						
94	U10	VSSQ	Power	IO GND (0V)						
95	W11	CKIO2	O	CKIO*		CKIO		CKIO		CKIO
96	Y12	A6	O	アドレス						
97	W12	A5	O	アドレス						
98	Y13	A4	O	アドレス						
99	V11	VDDQ	Power	IO VDD (3.3V)						
100	U11	VSSQ	Power	IO GND (0V)						
101	W13	A3	O	アドレス						

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
102	Y14	A2	O	アドレス						
103	V12	DRAK1	O	DMAC1 要求認識						
104	U13	DRAK0	O	DMAC0 要求認識						
105	V13	VDDQ	Power	IO VDD (3.3V)						
106	U12	VSSQ	Power	IO GND (0V)						
107	W14	$\overline{CS3}$	O	チップ選択 3		$\overline{CS3}$	(CS3)	$\overline{CS3}$		$\overline{CS3}$
108	Y15	$\overline{CS2}$	O	チップ選択 2		$\overline{CS2}$	(CS2)	$\overline{CS2}$		$\overline{CS2}$
109	V14	VDD	Power	内部 VDD						
110	U14	VSS	Power	内部 GND (0V)						
111	W15	\overline{RAS}	O	\overline{RAS}			\overline{RAS}	\overline{RAS}		
112	Y16	$\overline{RD/CASS/}$ \overline{FRAME}	O	リード $\overline{/CAS/FRAME}$		\overline{OE}		\overline{CAS}	\overline{OE}	\overline{FRAME}
113	V15	VDDQ	Power	IO VDD (3.3V)						
114	U15	VSSQ	Power	IO GND (0V)						
115	W16	$\overline{RD/WR}$	O	読み出し/書き込み		$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$
116	Y17	$\overline{WE2/CAS2/}$ $\overline{DQM2/}$ $\overline{ICIOR\overline{D}}$	O	D23-D16 選択信号		$\overline{WE2}$	$\overline{CAS2}$	$\overline{DQM2}$	$\overline{ICIOR\overline{D}}$	
117	W17	$\overline{WE3/CAS3/}$ $\overline{DQM3/}$ $\overline{ICIOR\overline{W}}$	O	D31-D24 選択信号		$\overline{WE3}$	$\overline{CAS3}$	$\overline{DQM3}$	$\overline{ICIOR\overline{W}}$	
118	Y18	$\overline{WE6/CAS6/}$ $\overline{DQM6}$	O	D55-D48 選択信号		$\overline{WE6}$	$\overline{CAS6}$	$\overline{DQM6}$		
119	V16	VDDQ	Power	IO VDD (3.3V)						
120	U16	VSSQ	Power	IO GND (0V)						
121	W18	$\overline{WE7/CAS7/}$ $\overline{DQM7/REG}$	O	D63-D56 選択信号		$\overline{WE7}$	$\overline{CAS7}$	$\overline{DQM7}$	\overline{REG}	
122	Y19	D23	I/O	データ						A23
123	W19	D24	I/O	データ						A24
124	Y20	D22	I/O	データ						A22
125	V17	RXD	I	SCI データ入力						
126	U17	$\overline{DREQ0}$	I	DMAC0 からの要求						
127	U18	$\overline{DREQ1}$	I	DMAC1 からの要求						
128	W20	D25	I/O	データ						A25
129	T18	VDDQ	Power	IO VDD (3.3V)						
130	T17	VSSQ	Power	IO GND (0V)						
131	V19	D21	I/O	データ						A21
132	V20	D26	I/O	データ						

1. 概要

SH7750、SH7750S、SH7750R グループ

No	端子番号	端子名	I/O	機能	リセ ット	メモリーインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
133	U19	D20	I/O	データ						A20
134	U20	D27	I/O	データ						
135	R18	VDDQ	Power	IO VDD (3.3V)						
136	R17	VSSQ	Power	IO GND (0V)						
137	T19	D19	I/O	データ						A19
138	T20	D28	I/O	データ						
139	P18	VDD	Power	内部 VDD						
140	P17	VSS	Power	内部 GND (0V)						
141	R19	D18	I/O	データ						A18
142	R20	D29	I/O	データ						
143	N18	VDDQ	Power	IO VDD (3.3V)						
144	N17	VSSQ	Power	IO GND (0V)						
145	P19	D17	I/O	データ						A17
146	P20	D30	I/O	データ						
147	N19	D16	I/O	データ						A16
148	N20	D31	I/O	データ						
149	M18	VDDQ	Power	IO VDD (3.3V)						
150	M17	VSSQ	Power	IO GND (0V)						
151	M19	D55	I/O	データ						
152	M20	D56	I/O	データ						
153	L19	D54	I/O	データ						
154	L20	D57	I/O	データ						
155	L18	VDDQ	Power	IO VDD (3.3V)						
156	L17	VSSQ	Power	IO GND (0V)						
157	K20	D53	I/O	データ						
158	K19	D58	I/O	データ						
159	J20	D52	I/O	データ						
160	J19	D59	I/O	データ						
161	K18	VDDQ	Power	IO VDD (3.3V)						
162	K17	VSSQ	Power	IO GND (0V)						
163	H20	D51	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
164	H19	D60	I/O	データ						
165	G20	D50	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
166	G19	D61	I/O	データ						ACCSIZE0
167	J18	VDDQ	Power	IO VDD (3.3V)						
168	J17	VSSQ	Power	IO GND (0V)						
169	F20	D49	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

No	端子番号	端子名	I/O	機能	リセ ット	メモリインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
170	F19	D62	I/O	データ						ACCSIZE1
171	G18	VDD	Power	内部 VDD						
172	G17	VSS	Power	内部 GND (0V)						
173	E20	D48	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
174	E19	D63	I/O	データ						ACCSIZE2
175	F18	VDDQ	Power	IO VDD (3.3V)						
176	F17	VSSQ	Power	IO GND (0V)						
177	E17	VSSQ	Power	IO GND (0V)						
178	E18	RD/WR2	O	RD/WR		RD/WR	RD/WR	RD/WR	RD/WR	RD/WR
179	D20	MD0/SCK	I/O	モード/SCIF クロ ック	MD0	SCK	SCK	SCK	SCK	SCK
180	D19	MD1/TXD2	I/O	モード/SCIF データ 出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
181	D18	MD2/RXD2	I	モード/SCIF データ 入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
182	C20	IRL0	I	割り込み 0						
183	C19	IRL1	I	割り込み 1						
184	B20	IRL2	I	割り込み 2						
185	C18	IRL3	I	割り込み 3						
186	A20	NMI	I	ノンマスクブル割り 込み						
187	B19	XTAL2	O	RTC 水晶発振子端 子						
188	A19	EXTAL2	I	RTC 水晶発振子端 子						
189	B18	VSS-RTC	Power	RTC GND (0V)						
190	A18	VDD-RTC	Power	RTC VDD (3.3V)						
191	D17	CA	I	ハードウェアスタン バイ要求 (SH7750S、 SH7750R)、SH7750 では 3.3V にプルア ップしてください						
192	C17	VSS	Power	内部 GND (0V)						
193	B17	VDDQ	Power	IO VDD (3.3V)						
194	C16	CTS2	I/O	SCIF データ制御 (CTS)						
195	A17	TCLK	I/O	RTC/TMU クロック						

1. 概要

SH7750、SH7750S、SH7750R グループ

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
196	B16	MD8/RTS2	I/O	モード/SCIF データ制御 (RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
197	C15	VDDQ	Power	IO VDD (3.3V)						
198	D15	VSSQ	Power	IO GND (0V)						
199	B15	MD7/TXD	I/O	モード/SCI データ出力	MD7	TXD	TXD	TXD	TXD	TXD
200	A16	SCK2/ MRESET	I	SCIF クロック/マニュアルリセット	MRE SET	SCK2	SCK2	SCK2	SCK2	SCK2
201	C14	VDD	Power	内部 VDD						
202	D14	VSS	Power	内部 GND (0V)						
203	A15	A18	O	アドレス						
204	B14	A19	O	アドレス						
205	C13	VDDQ	Power	IO VDD (3.3V)						
206	D13	VSSQ	Power	IO GND (0V)						
207	A14	A20	O	アドレス						
208	B13	A21	O	アドレス						
209	A13	A22	O	アドレス						
210	B12	A23	O	アドレス						
211	C12	VDDQ	Power	IO VDD (3.3V)						
212	D12	VSSQ	Power	IO GND (0V)						
213	A12	A24	O	アドレス						
214	B11	A25	O	アドレス						
215	A11	MD3/CE2A	I/O	モード/PCMCIA-CE	MD3				CE2A	
216	A10	MD4/CE2B	I/O	モード/PCMCIA-CE	MD4				CE2B	
217	C11	VDDQ	Power	IO VDD (3.3V)						
218	D11	VSSQ	Power	IO GND (0V)						
219	B10	MD5/RAS2	I/O	モード/RAS (DRAM)	MD5		RAS2			
220	A9	DACK0	O	DMAC0 バス認識						
221	B9	DACK1	O	DMAC1 バス認識						
222	C8	A0	O	アドレス						
223	C10	VDDQ	Power	IO VDD (3.3V)						
224	D10	VSSQ	Power	IO GND (0V)						
225	D8	A1	O	アドレス						
226	A8	STATUS0	O	ステータス						
227	B8	STATUS1	O	ステータス						
228	A7	MD6/IOIS16	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	

No	端子番号	端子名	I/O	機能	リセ ット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
229	C9	VDDQ	Power	IO VDD (3.3V)						
230	D9	VSSQ	Power	IO GND (0V)						
231	B7	$\overline{\text{ASEBRK}}/$ BRKACK	I/O	端子ブレーク / アク ノリッジ(H-UDI)						
232	A6	TDO	O	データアウト (H-UDI)						
233	C7	VDD	Power	内部 VDD						
234	D7	VSS	Power	内部 GND (0V)						
235	B6	TMS	I	モード (H-UDI)						
236	A5	TCK	I	クロック (H-UDI)						
237	B5	TDI	I	データイン (H-UDI)						
238	C4	$\overline{\text{TRST}}$	I	リセット (H-UDI)						
239	C3	CKIO2ENB	I	CKIO2、RD2、 RD/WR2 イネーブ ル						
240	C6	NC								
241	A4	VDD-PLL2	Power	PLL2 VDD (3.3V)						
242	D6	VSS-PLL2	Power	PLL2 GND (0V)						
243	B4	VDD-PLL1	Power	PLL1 VDD (3.3V)						
244	D5	VSS-PLL1	Power	PLL1 GND (0V)						
245	A3	VDD-CPG	Power	CPG VDD (3.3V)						
246	B3	VSS-CPG	Power	CPG GND (0V)						
247	A2	XTAL	O	水晶発振子						
248	A1	EXTAL	I	外部入力クロック / 水晶発振子						
249	C5	NC								
250	D16	NC								
251	H17	NC								
252	H18	NC								
253	N3	NC								
254	N4	NC								
255	U4	NC								
256	V18	NC								

【凡例】

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. すべての電源端子に給電してください。ただし、SH7750S の場合、ハードウェアスタンバイモードでは、少なくとも RTC 電源に給電してください。
 2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
 3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
 4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
 5. VSSQ、VSS、VSS-RTC、VSS-PLL1/2、VSS-CPG はパッケージの中で接続されています。
 6. NC ピンは、電源、GND 等に接続せず、完全に解放状態にしてください。
- * CKIO2 は PLL2 に接続されません。

1.4.2 端子機能 (208 ピン QFP)

表 1.3 端子機能

端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
1	RDY	I	バス準備		RDY			RDY	RDY
2	RESET	I	リセット					RESET	
3	CS0	O	チップ選択 0		CS0				CS0
4	CS1	O	チップ選択 1		CS1				CS1
5	CS4	O	チップ選択 4		CS4				CS4
6	CS5	O	チップ選択 5		CS5			CE1A	CS5
7	CS6	O	チップ選択 6		CS6			CE1B	CS6
8	BS	O	バス開始		(BS)	(BS)	(BS)	(BS)	(BS)
9	VDDQ	Power	IO VDD (3.3V)						
10	VSSQ	Power	IO GND (0V)						
11	D47	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
12	D32	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
13	VDD	Power	内部 VDD						
14	VSS	Power	内部 GND (0V)						
15	D46	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
16	D33	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
17	D45	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
18	D34	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
19	D44	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
20	D35	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
21	VDDQ	Power	IO VDD (3.3V)						
22	VSSQ	Power	IO GND (0V)						
23	D43	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
24	D36	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
25	D42	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
26	D37	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
27	D41	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
28	D38	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
29	D40	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
30	D39	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
31	VDDQ	Power	I/O VDD (3.3V)						
32	VSSQ	Power	I/O GND (0V)						
33	D15	I/O	データ						A15
34	D0	I/O	データ						A0

端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
35	D14	I/O	データ						A14
36	D1	I/O	データ						A1
37	D13	I/O	データ						A13
38	D2	I/O	データ						A2
39	VDD	Power	内部 VDD						
40	VSS	Power	内部 GND (0V)						
41	D12	I/O	データ						A12
42	D3	I/O	データ						A3
43	VDDQ	Power	IO VDD (3.3V)						
44	VSSQ	Power	IO GND (0V)						
45	D11	I/O	データ						A11
46	D4	I/O	データ						A4
47	D10	I/O	データ						A10
48	D5	I/O	データ						A5
49	D9	I/O	データ						A9
50	D6	I/O	データ						A6
51	BACK/ BSREQ	O	バス権認識 / バス権要求						
52	BREQ/ BSACK	I	バス権要求 / バス権認識						
53	D8	I/O	データ						A8
54	D7	I/O	データ						A7
55	CKE	O	クロック出力可能				CKE		
56	VDDQ	Power	IO VDD (3.3V)						
57	VSSQ	Power	IO GND (0V)						
58	WE5/CAS5/ DQM5	O	D47-D40 選択信号		WE5	CAS5	DQM5		
59	WE4/CAS4/ DQM4	O	D39-D32 選択信号		WE4	CAS4	DQM4		
60	WE1/CAS1/ DQM1	O	D15-D8 選択信号		WE1	CAS1	DQM1	WE1	
61	WE0/CAS0/ DQM0	O	D7-D0 選択信号		WE0	CAS0	DQM0		
62	A17	O	アドレス						
63	A16	O	アドレス						
64	A15	O	アドレス						
65	VDD	Power	内部 VDD						
66	VSS	Power	内部 GND (0V)						

端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
67	A14	O	アドレス						
68	A13	O	アドレス						
69	VDDQ	Power	IO VDD (3.3V)						
70	VSSQ	Power	IO GND (0V)						
71	A12	O	アドレス						
72	A11	O	アドレス						
73	A10	O	アドレス						
74	A9	O	アドレス						
75	A8	O	アドレス						
76	A7	O	アドレス						
77	CKIO	O	クロック出力		CKIO		CKIO		CKIO
78	VDDQ	Power	IO VDD (3.3V)						
79	VSSQ	Power	IO GND (0V)						
80	A6	O	アドレス						
81	A5	O	アドレス						
82	A4	O	アドレス						
83	A3	O	アドレス						
84	A2	O	アドレス						
85	DRAK1	O	DMAC1 要求認識						
86	DRAK0	O	DMAC0 要求認識						
87	VDDQ	Power	IO VDD (3.3V)						
88	VSSQ	Power	IO GND (0V)						
89	$\overline{CS3}$	O	チップ選択 3		$\overline{CS3}$	(CS3)	$\overline{CS3}$		$\overline{CS3}$
90	$\overline{CS2}$	O	チップ選択 2		$\overline{CS2}$	(CS2)	$\overline{CS2}$		$\overline{CS2}$
91	VDD	Power	内部 VDD						
92	VSS	Power	内部 GND (0V)						
93	\overline{RAS}	O	\overline{RAS}			\overline{RAS}	\overline{RAS}		
94	$\overline{RD/CAS/}$ \overline{FRAME}	O	リード/CAS/FRAME		\overline{OE}		\overline{CAS}	\overline{OE}	\overline{FRAME}
95	$\overline{RD/WR}$	O	読み出し/書き込み		$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$
96	$\overline{WE2/CAS2/}$ $\overline{DQM2/}$ $\overline{ICIOR\overline{D}}$	O	D23-D16 選択信号		$\overline{WE2}$	$\overline{CAS2}$	$\overline{DQM2}$	$\overline{ICIOR\overline{D}}$	
97	$\overline{WE3/CAS3/}$ $\overline{DQM3/}$ $\overline{ICIOR\overline{W}}$	O	D31-D24 選択信号		$\overline{WE3}$	$\overline{CAS3}$	$\overline{DQM3}$	$\overline{ICIOR\overline{W}}$	
98	$\overline{WE6/CAS6/}$ $\overline{DQM6}$	O	D55-D48 選択信号		$\overline{WE6}$	$\overline{CAS6}$	$\overline{DQM6}$		

端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
99	VDDQ	Power	IO VDD (3.3V)						
100	VSSQ	Power	IO GND (0V)						
101	$\overline{WE7}/\overline{CAS7}/\overline{DQM7}/\overline{REG}$	O	D63-D56 選択信号		$\overline{WE7}$	$\overline{CAS7}$	DQM7	\overline{REG}	
102	D23	I/O	データ						A23
103	D24	I/O	データ						A24
104	D22	I/O	データ						A22
105	RXD	I	SCI データ入力						
106	$\overline{DREQ0}$	I	DMAC0 からの要求						
107	$\overline{DREQ1}$	I	DMAC1 からの要求						
108	D25	I/O	データ						A25
109	D21	I/O	データ						A21
110	D26	I/O	データ						
111	D20	I/O	データ						A20
112	D27	I/O	データ						
113	VDDQ	Power	IO VDD (3.3V)						
114	VSSQ	Power	IO GND (0V)						
115	D19	I/O	データ						A19
116	D28	I/O	データ						
117	VDD	Power	内部 VDD						
118	VSS	Power	内部 GND (0V)						
119	D18	I/O	データ						A18
120	D29	I/O	データ						
121	D17	I/O	データ						A17
122	D30	I/O	データ						
123	D16	I/O	データ						A16
124	D31	I/O	データ						
125	VDDQ	Power	IO VDD (3.3V)						
126	VSSQ	Power	IO GND (0V)						
127	D55	I/O	データ						
128	D56	I/O	データ						
129	D54	I/O	データ						
130	D57	I/O	データ						
131	D53	I/O	データ						
132	D58	I/O	データ						
133	D52	I/O	データ						
134	D59	I/O	データ						

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
135	VDDQ	Power	IO VDD (3.3V)						
136	VSSQ	Power	IO GND (0V)						
137	D51	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
138	D60	I/O	データ						
139	D50	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
140	D61	I/O	データ						ACCSIZE0
141	D49	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
142	D62	I/O	データ						ACCSIZE1
143	VDD	Power	内部 VDD						
144	VSS	Power	内部 GND (0V)						
145	D48	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
146	D63	I/O	データ						ACCSIZE2
147	VDDQ	Power	IO VDD (3.3V)						
148	VSSQ	Power	IO GND (0V)						
149	MD0/SCK	I/O	モード/SCIF クロック	MD0	SCK	SCK	SCK	SCK	SCK
150	MD1/TXD2	I/O	モード/SCIF データ 出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
151	MD2/RXD2	I	モード/SCIF データ 入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
152	$\overline{\text{IRL0}}$	I	割り込み 0						
153	$\overline{\text{IRL1}}$	I	割り込み 1						
154	$\overline{\text{IRL2}}$	I	割り込み 2						
155	$\overline{\text{IRL3}}$	I	割り込み 3						
156	NMI	I	ノンマスクブル割り 込み						
157	XTAL2	O	RTC 水晶発振端子						
158	EXTAL2	I	RTC 水晶発振端子						
159	VSS-RTC	Power	RTC GND (0V)						
160	VDD-RTC	Power	RTC VDD (3.3V)						
161	CA	I	ハードウェアスタン バイ要求 (SH7750S、 SH7750R)。SH7750 では 3.3V にプルアッ プしてください						
162	VSS	Power	内部 GND (0V)						
163	VDDQ	Power	IO VDD (3.3V)						
164	$\overline{\text{CTS2}}$	I/O	SCIF データ制御 (CTS)						

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
165	TCLK	I/O	RTC/TMU クロック						
166	MD8/RTS2	I/O	モード/SCIF データ 制御 (RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
167	MD7/TXD	I/O	モード/SCI データ出 力	MD7	TXD	TXD	TXD	TXD	TXD
168	SCK2/ MRESET	I	SCIF クロック/マニ ュアルリセット	MRESET	SCK2	SCK2	SCK2	SCK2	SCK2
169	VDD	Power	内部 VDD						
170	VSS	Power	内部 GND (0V)						
171	A18	O	アドレス						
172	A19	O	アドレス						
173	A20	O	アドレス						
174	A21	O	アドレス						
175	A22	O	アドレス						
176	A23	O	アドレス						
177	VDDQ	Power	IO VDD (3.3V)						
178	VSSQ	Power	IO GND (0V)						
179	A24	O	アドレス						
180	A25	O	アドレス						
181	MD3/CE2A	I/O	モード/PCMCIA-CE	MD3				CE2A	
182	MD4/CE2B	I/O	モード/PCMCIA-CE	MD4				CE2B	
183	MD5/RAS2	I/O	モード/RAS (DRAM)	MD5		RAS2			
184	DACK0	O	DMAC0 バス認識						
185	DACK1	O	DMAC1 バス認識						
186	A0	O	アドレス						
187	VDDQ	Power	IO VDD (3.3V)						
188	VSSQ	Power	IO GND (0V)						
189	A1	O	アドレス						
190	STATUS0	O	ステータス						
191	STATUS1	O	ステータス						
192	MD6/IOIS1 6	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	
193	ASEBRK/ BRKACK	I/O	端子ブレーク/アク ノリッジ(H-UDI)						
194	TDO	O	データアウト (H-UDI)						
195	VDD	Power	内部 VDD						
196	VSS	Power	内部 GND (0V)						

端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
197	TMS	I	モード (H-UDI)						
198	TCK	I	クロック (H-UDI)						
199	TDI	I	データイン (H-UDI)						
200	TRST	I	リセット (H-UDI)						
201	VDD-PLL2	Power	PLL2 VDD (3.3V)						
202	VSS-PLL2	Power	PLL2 GND (0V)						
203	VDD-PLL1	Power	PLL1 VDD (3.3V)						
204	VSS-PLL1	Power	PLL1 GND (0V)						
205	VDD-CPG	Power	CPG VDD (3.3V)						
206	VSS-CPG	Power	CPG GND (0V)						
207	XTAL	O	水晶発振子						
208	EXTAL	I	外部入力クロック / 水晶発振子						

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. すべての電源端子に給電してください。ただし、SH7750S の場合、ハードウェアスタンバイモードでは、少なくとも RTC 電源に給電してください。
 2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
 3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
 4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
 5. VSSQ、VSS、VSS-RTC、VSS-PLL1/2、VSS-CPG はパッケージの中で接続されています。
 6. QFP パッケージの場合には、 $\overline{RD2}$ 、 $\overline{RD/WR2}$ 、CKIO2、 $\overline{CKIO2ENB}$ 端子はありません。
 7. QFP パッケージの場合には、外部バスの動作周波数の最大は 84MHz です。

1.4.3 端子機能 (264 ピン CSP)

表 1.4 端子機能

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
1	C2	$\overline{\text{RDY}}$	I	バス準備		$\overline{\text{RDY}}$			$\overline{\text{RDY}}$	$\overline{\text{RDY}}$
2	B1	RESET	I	リセット					RESET	
3	D3	$\overline{\text{CS0}}$	O	チップ選択 0		$\overline{\text{CS0}}$				$\overline{\text{CS0}}$
4	E2	$\overline{\text{CS1}}$	O	チップ選択 1		$\overline{\text{CS1}}$				$\overline{\text{CS1}}$
5	B2	$\overline{\text{CS4}}$	O	チップ選択 4		$\overline{\text{CS4}}$				$\overline{\text{CS4}}$
6	E3	$\overline{\text{CS5}}$	O	チップ選択 5		$\overline{\text{CS5}}$			CE1A	$\overline{\text{CS5}}$
7	E4	$\overline{\text{CS6}}$	O	チップ選択 6		$\overline{\text{CS6}}$			CE1B	$\overline{\text{CS6}}$
8	E1	$\overline{\text{BS}}$	O	バス開始		$\overline{\text{BS}}$	$\overline{\text{BS}}$	$\overline{\text{BS}}$	$\overline{\text{BS}}$	$\overline{\text{BS}}$
9	F4	$\overline{\text{RD2}}$	O	$\overline{\text{RD/CASS/FRAME}}$		$\overline{\text{OE}}$		$\overline{\text{CAS}}$	$\overline{\text{OE}}$	FRAME
10	F3	VDDQ	Power	IO VDD(3.3V)						
11	D4	VSSQ	Power	IO GND(0V)						
12	F2	D47	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
13	F5	D32	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
14	F1	VDD	Power	内部 VDD(3.3V)						
15	G4	VSS	Power	内部 GND(0V)						
16	G3	D46	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
17	F6	D33	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
18	G2	VDDQ	Power	IO VDD(3.3V)						
19	G5	VSSQ	Power	IO GND(0V)						
20	G1	D45	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
21	G6	D34	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
22	H3	D44	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
23	H4	D35	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
24	H1	VDDQ	Power	IO VDD(3.3V)						
25	H5	VSSQ	Power	IO GND(0V)						
26	H2	D43	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
27	H6	D36	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
28	J3	D42	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
29	J5	D37	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
30	J1	VDDQ	Power	IO VDD(3.3V)						
31	J6	VSSQ	Power	IO GND(0V)						
32	J4	D41	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
33	J2	D38	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
34	K6	D40	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
35	K1	D39	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
36	K5	VDDQ	Power	IO VDD(3.3V)						
37	K3	VSSQ	Power	IO GND(0V)						
38	K4	D15	I/O	データ						A15
39	K2	D0	I/O	データ						A0
40	L6	D14	I/O	データ						A14
41	L1	D1	I/O	データ						A1
42	L5	VDDQ	Power	IO VDD(3.3V)						
43	L3	VSSQ	Power	IO GND(0V)						
44	M5	D13	I/O	データ						A13
45	M1	D2	I/O	データ						A2
46	L4	VDD	Power	内部 VDD(1.5V)						
47	L2	VSS	Power	内部 GND(0V)						
48	N5	D12	I/O	データ						A12
49	M3	D3	I/O	データ						A3
50	M4	VDDQ	Power	IO VDD(3.3V)						
51	N1	VSSQ	Power	IO GND(0V)						
52	N4	D11	I/O	データ						A11
53	M2	D4	I/O	データ						A4
54	R3	D10	I/O	データ						A10
55	N3	D5	I/O	データ						A5
56	P3	VDDQ	Power	IO VDD(3.3V)						
57	P1	VSSQ	Power	IO GND(0V)						
58	U1	D9	I/O	データ						A9
59	R1	D6	I/O	データ						A6
60	T1	$\overline{\text{BACK}}/\text{BSREQ}$	O	バス権認識/バス権要求						
61	R2	$\overline{\text{BREQ}}/\text{BSACK}$	I	バス権要求/バス権認識						
62	T3	D8	I/O	データ						A8
63	U2	D7	I/O	データ						A7
64	R4	CKE	O	クロック出力可能				CKE		
65	T5	VDDQ	Power	IO VDD(3.3V)						
66	T2	VSSQ	Power	IO GND(0V)						
67	R5	$\overline{\text{WE5}}/\text{CAS5}/\text{DQM5}$	O	D47-D40 選択信号		$\overline{\text{WE5}}$	$\overline{\text{CAS5}}$	DQM5		
68	P5	$\overline{\text{WE4}}/\text{CAS4}/\text{DQM4}$	O	D39-D32 選択信号		$\overline{\text{WE4}}$	$\overline{\text{CAS4}}$	DQM4		

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
69	U5	WE1/CAS1/ DQM1	O	D15-D8 選択信号		WE1	CAS1	DQM1	WE1	
70	P6	WE0/CAS0/ DQM0	O	D7-D0 選択信号		WE0	CAS0	DQM0		
71	R6	A17	O	アドレス						
72	P4	VDDQ	Power	IO VDD(3.3V)						
73	T6	VSSQ	Power	IO GND(0V)						
74	N6	A16	O	アドレス						
75	U6	A15	O	アドレス						
76	P7	VDD	Power	内部 VDD(1.5V)						
77	R7	VSS	Power	内部 GND(0V)						
78	M6	A14	O	アドレス						
79	T7	A13	O	アドレス						
80	N7	VDDQ	Power	IO VDD(3.3V)						
81	U7	VSSQ	Power	IO GND(0V)						
82	R8	A12	O	アドレス						
83	P8	A11	O	アドレス						
84	U8	A10	O	アドレス						
85	N8	VDDQ	Power	IO VDD(3.3V)						
86	T8	VSSQ	Power	IO GND(0V)						
87	M8	A9	O	アドレス						
88	R9	A8	O	アドレス						
89	N9	A7	O	アドレス						
90	U9	CKIO	O	クロック出力		CKIO		CKIO		CKIO
91	M9	VDDQ	Power	IO VDD(3.3V)						
92	P9	VSSQ	Power	IO GND(0V)						
93	T9	CKIO2	O	CKIO*		CKIO		CKIO		CKIO
94	M10	A6	O	アドレス						
95	U10	A5	O	アドレス						
96	N10	A4	O	アドレス						
97	R10	VDDQ	Power	IO VDD(3.3V)						
98	P10	VSSQ	Power	IO GND(0V)						
99	T10	A3	O	アドレス						
100	M11	A2	O	アドレス						
101	U11	DRAK1	O	DMAC1 要求認識						
102	N11	DRAK0	O	DMAC0 要求認識						
103	R11	VDDQ	Power	IO VDD(3.3V)						

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
104	N12	VSSQ	Power	IO GND(0V)						
105	U12	$\overline{CS3}$	O	チップ選択 3		$\overline{CS3}$	(CS3)	$\overline{CS3}$		$\overline{CS3}$
106	P11	$\overline{CS2}$	O	チップ選択 2		$\overline{CS2}$	(CS2)	$\overline{CS2}$		$\overline{CS2}$
107	T11	VDD	Power	内部 VDD(1.5V)						
108	N13	VSS	Power	内部 GND(0V)						
109	R12	\overline{RAS}	O	\overline{RAS}			\overline{RAS}	\overline{RAS}		
110	P12	$\overline{RD/CASS/}$ \overline{FRAME}	O	リード /CAS/FRAME		OE		\overline{CAS}	OE	FRAME
111	U13	VDDQ	Power	IO VDD(3.3V)						
112	P13	VSSQ	Power	IO GND(0V)						
113	T12	$\overline{RD/WR}$	O	読み出し/書き込み		$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$	$\overline{RD/WR}$
114	R15	$\overline{WE2/CAS2/DQ}$ M2 \overline{ICIOR} D	O	D23-D16 選択信号		$\overline{WE2}$	$\overline{CAS2}$	DQM2	\overline{ICIOR} D	
115	R13	$\overline{WE3/CAS3/}$ DQM3 \overline{ICIOR} WR	O	D31-D24 選択信号		$\overline{WE3}$	$\overline{CAS3}$	DQM3	\overline{ICIOR} WR	
116	R14	$\overline{WE6/CAS6/}$ DQM6	O	D55-D48 選択信号		$\overline{WE6}$	$\overline{CAS6}$	DQM6		
117	U14	VDDQ	Power	IO VDD(3.3V)						
118	U17	VSSQ	Power	IO GND(0V)						
119	U15	$\overline{WE7/CAS7/}$ DQM7 \overline{REG}	O	D63-D56 選択信号		$\overline{WE7}$	$\overline{CAS7}$	DQM7	\overline{REG}	
120	U16	D23	I/O	データ						A23
121	T13	D24	I/O	データ						A24
122	T15	D22	I/O	データ						A22
123	R16	RXD	I	SCI1 データ入力						
124	T17	$\overline{DREQ0}$	I	DMAC0 からの要求						
125	P17	$\overline{DREQ1}$	I	DMAC1 からの要求						
126	P15	D25	I/O	データ						A25
127	N16	VDDQ	Power	IO VDD(3.3V)						
128	T16	VSSQ	Power	IO GND(0V)						
129	N15	D21	I/O	データ						A21
130	N14	D26	I/O	データ						
131	N17	D20	I/O	データ						A20
132	M14	D27	I/O	データ						
133	M15	VDDQ	Power	IO VDD(3.3V)						
134	P14	VSSQ	Power	IO GND(0V)						
135	M16	D19	I/O	データ						A19
136	M13	D28	I/O	データ						

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
137	M17	VDD	Power	内部 VDD(1.5V)						
138	L14	VSS	Power	内部 GND(0V)						
139	L15	D18	I/O	データ						A18
140	M12	D29	I/O	データ						
141	L16	VDDQ	Power	IO VDD(3.3V)						
142	L13	VSSQ	Power	IO GND(0V)						
143	L17	D17	I/O	データ						A17
144	L12	D30	I/O	データ						
145	K15	D16	I/O	データ						A16
146	K14	D31	I/O	データ						
147	K17	VDDQ	Power	IO VDD(3.3V)						
148	K13	VSSQ	Power	IO GND(0V)						
149	K16	D55	I/O	データ						
150	K12	D56	I/O	データ						
151	J15	D54	I/O	データ						
152	J13	D57	I/O	データ						
153	J17	VDDQ	Power	IO VDD(3.3V)						
154	J12	VSSQ	Power	IO GND(0V)						
155	J14	D53	I/O	データ						
156	J16	D58	I/O	データ						
157	H12	D52	I/O	データ						
158	H17	D59	I/O	データ						
159	H13	VDDQ	Power	IO VDD(3.3V)						
160	H15	VSSQ	Power	IO GND(0V)						
161	H14	D51	I/O	データ/ポート	(ポート)	(ポート)	(ポート)	(ポート)	(ポート)	
162	H16	D60	I/O	データ						
163	G12	D50	I/O	データ/ポート	(ポート)	(ポート)	(ポート)	(ポート)	(ポート)	
164	G17	D61	I/O	データ						ACCSIZE 0
165	G13	VDDQ	Power	IO VDD(3.3V)						
166	G15	VSSQ	Power	IO GND(0V)						
167	F13	D49	I/O	データ/ポート	(ポート)	(ポート)	(ポート)	(ポート)	(ポート)	
168	F17	D62	I/O	データ						ACCSIZE 1
169	G14	VDD	Power	内部 VDD(1.5V)						
170	G16	VSS	Power	内部 GND(0V)						
171	E13	D48	I/O	データ/ポート	(ポート)	(ポート)	(ポート)	(ポート)	(ポート)	

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
172	F15	D63	I/O	データ						ACCSIZE 2
173	F14	VDDQ	Power	IO VDD(3.3V)						
174	E17	VSSQ	Power	IO GND(0V)						
175	E14	RD/WR $\bar{2}$	O	RD/WR		RD/WR	RD/WR	RD/WR	RD/WR	RD/WR
176	F16	MD0/SCK	I/O	モード/SC1 クロック	MD0	SCK	SCK	SCK	SCK	SCK
177	C15	MD1/TXD2	I/O	モード/SCIF データ 出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
178	E15	MD2/RXD2	I	モード/SCIF データ 入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
179	D15	$\bar{I}RL0$	I	割り込み 0						
180	D17	$\bar{I}RL1$	I	割り込み 1						
181	A17	$\bar{I}RL2$	I	割り込み 2						
182	B17	$\bar{I}RL3$	I	割り込み 3						
183	C16	NMI	I	ノンマスクブル 割り込み						
184	A15	XTAL2	O	RTC 水晶発振子 端子						
185	A16	EXTAL2	I	RTC 水晶発振子 端子						
186	A14	VSS-RTC	Power	RTC GND(0V)						
187	C14	VDD-RTC	Power	RTC VDD(3.3V)						
188	B13	CA	I	ハードウェアスタンバイ要求						
189	C13	VDDQ	Power	IO VDD(3.3V)						
190	D13	$\bar{C}TS2$	I/O	SCIF データ制御 (CTS)						
191	A13	TCLK	I/O	RTC/TMU クロック						
192	D12	MD8/RTS $\bar{2}$	I/O	モード/SCIF データ 制御(RTS)	MD8	RTS $\bar{2}$	RTS $\bar{2}$	RTS $\bar{2}$	RTS $\bar{2}$	RTS $\bar{2}$
193	C12	VDDQ	Power	IO VDD(3.3V)						
194	D14	VSSQ	Power	IO GND(0V)						
195	B12	MD7/TXD	I/O	モード/SC1 データ 出力	MD7	TXD	TXD	TXD	TXD	TXD
196	E12	SCK2/ $\bar{M}RESET$	I	SCIF クロック/ マニュアル リセット	$\bar{M}RESET$	SCK2	SCK2	SCK2	SCK2	SCK2
197	A12	VDD	Power	内部 VDD(1.5V)						
198	D11	VSS	Power	内部 GND(0V)						

1. 概要

SH7750、SH7750S、SH7750R グループ

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
199	C11	A18	O	アドレス						
200	F12	A19	O	アドレス						
201	B11	VDDQ	Power	IO VDD(3.3V)						
202	E11	VSSQ	Power	IO GND(0V)						
203	A11	A20	O	アドレス						
204	F11	A21	O	アドレス						
205	C10	A22	O	アドレス						
206	D10	A23	O	アドレス						
207	A10	VDDQ	Power	IO VDD(3.3V)						
208	E10	VSSQ	Power	IO GND(0V)						
209	B10	A24	O	アドレス						
210	F10	A25	O	アドレス						
211	C9	MD3/ $\overline{CE2A}$	I/O	モード/PCMCIA-CE	MD3				$\overline{CE2A}$	
212	E9	MD4/ $\overline{CE2B}$	I/O	モード/PCMCIA-CE	MD4				$\overline{CE2B}$	
213	A9	VDDQ	Power	IO VDD(3.3V)						
214	F9	VSSQ	Power	IO GND(0V)						
215	D9	MD5/ $\overline{RAS2}$	I/O	モード / \overline{RAS} (DRAM)	MD5		$\overline{RAS2}$			
216	B9	DACK0	O	DMAC0 バス認識						
217	F8	DACK1	O	DMAC1 バス認識						
218	A8	A0	O	アドレス						
219	E8	VDDQ	Power	IO VDD(3.3V)						
220	C8	VSSQ	Power	IO GND(0V)						
221	D8	A1	O	アドレス						
222	B8	STATUS0	O	ステータス						
223	F7	STATUS1	O	ステータス						
224	A7	MD6/ $\overline{IOIS16}$	I	モード/ $\overline{IOIS16}$ (PCMCIA)	MD6				$\overline{IOIS16}$	
225	E7	VDDQ	Power	IO VDD(3.3V)						
226	C7	VSSQ	Power	IO GND(0V)						
227	E6	$\overline{ASEBRK}/$ BRKACK	I/O	端子ブレイク/アク ノリッジ(H-UDI)						
228	A6	TDO	O	データアウト (H-UDI)						
229	D7	VDD	Power	内部 VDD(1.5V)						
230	B7	VSS	Power	内部 GND(0V)						
231	E5	TMS	I	モード(H-UDI)						
232	C6	TCK	I	クロック(H-UDI)						

No	Pin No.	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
233	D6	TDI	I	データイン(H-UDI)						
234	A5	TRST	I	リセット(H-UDI)						
235	D5	CKIO2ENB	I	CKIO2、RD2、 RD/WR2 イネーブル						
236	B6	VDD-PLL2	Power	PLL2 VDD(3.3V)						
237	C3	VSS-PLL2	Power	PLL2 GND(0V)						
238	C5	VDD-PLL1	Power	PLL1 VDD(3.3V)						
239	C4	VSS-PLL1	Power	PLL1 GND(0V)						
240	A4	VDD-CPG	Power	CPG VDD(3.3V)						
241	A1	VSS-CPG	Power	CPG GND(0V)						
242	A2	XTAL	O	水晶発振子						
243	A3	EXTAL	I	外部クロック/ 水晶発振子						
244	B3	NC-1								
245	B4	NC-2								
246	B5	NC-3								
247	B14	NC-4								
248	B15	NC-5								
249	B16	NC-6								
250	C1	NC-7								
251	C17	NC-8								
252	D1	NC-9								
253	D2	NC-10								
254	D16	NC-11								
255	E16	NC-12								
256	M7	NC-13								
257	N2	NC-14								
258	P2	NC-15								
259	P16	NC-16								
260	R17	NC-17								
261	T4	NC-18								
262	T14	NC-19								
263	U3	NC-20								
264	U4	NC-21								

I : 入力
O : 出力
I/O : 入出力
Power : 電源

- 【注】
1. すべての電源端子に給電してください。ただし、SH7750S の場合、ハードウェアスタンバイモードでは、少なくとも RTC 電源に給電してください。
 2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
 3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
 4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
 5. NC ピンは電源、GND 等に接続せず、完全に解放状態にしてください。
- * CKIO2 は PLL2 に接続されません。

1.4.4 端子機能 (292 ピン BGA)

表 1.5 端子機能

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
1	B2	$\overline{\text{RDY}}$	I	バス準備		$\overline{\text{RDY}}$			$\overline{\text{RDY}}$	$\overline{\text{RDY}}$
2	B1	RESET	I	リセット					RESET	
3	C2	$\overline{\text{CS0}}$	O	チップ選択 0		$\overline{\text{CS0}}$				$\overline{\text{CS0}}$
4	C1	$\overline{\text{CS1}}$	O	チップ選択 1		$\overline{\text{CS1}}$				$\overline{\text{CS1}}$
5	D3	$\overline{\text{CS4}}$	O	チップ選択 4		$\overline{\text{CS4}}$				$\overline{\text{CS4}}$
6	D2	$\overline{\text{CS5}}$	O	チップ選択 5		$\overline{\text{CS5}}$			CE1A	$\overline{\text{CS5}}$
7	D1	$\overline{\text{CS6}}$	O	チップ選択 6		$\overline{\text{CS6}}$			CE1B	$\overline{\text{CS6}}$
8	E3	$\overline{\text{BS}}$	O	バス開始		(BS)	(BS)	(BS)	(BS)	(BS)
9	E4	VSS	Power	GND (0V)						
10	E2	$\overline{\text{RD2}}$	O	RD/CASS/FRAME		OE		CAS	OE	FRAME
11	F3	VDDQ	Power	IO VDD (3.3V)						
12	F4	VSS	Power	GND (0V)						
13	E1	D47	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
14	F2	D32	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
15	G3	VDD	Power	内部 VDD						
16	G4	VSS	Power	GND (0V)						
17	F1	D46	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
18	G2	D33	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
19	H3	VDDQ	Power	IO VDD (3.3V)						
20	H4	VSS	Power	GND (0V)						
21	G1	D45	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
22	H2	D34	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
23	H1	D44	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
24	J2	D35	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
25	J3	VDDQ	Power	IO VDD (3.3V)						
26	J4	VSS	Power	GND (0V)						
27	J1	D43	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
28	K2	D36	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
29	K1	D42	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
30	L3	D37	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
31	K3	VDDQ	Power	IO VDD (3.3V)						
32	K4	VSS	Power	GND (0V)						
33	L2	D41	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
34	L1	D38	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

No	端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
35	M2	D40	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
36	M1	D39	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
37	M3	VDDQ	Power	IO VDD (3.3V)						
38	L4	VSS	Power	GND (0V)						
39	N2	D15	I/O	データ						A15
40	N1	D0	I/O	データ						A0
41	P2	D14	I/O	データ						A14
42	P1	D1	I/O	データ						A1
43	N3	VDDQ	Power	IO VDD (3.3V)						
44	M4	VSS	Power	GND (0V)						
45	R2	D13	I/O	データ						A13
46	R1	D2	I/O	データ						A2
47	P3	VDD	Power	内部 VDD						
48	P4	VSS	Power	GND (0V)						
49	T2	D12	I/O	データ						A12
50	T1	D3	I/O	データ						A3
51	R3	VDDQ	Power	IO VDD (3.3V)						
52	R4	VSS	Power	GND (0V)						
53	U3	D11	I/O	データ						A11
54	U2	D4	I/O	データ						A4
55	U1	D10	I/O	データ						A10
56	V2	D5	I/O	データ						A5
57	T3	VDDQ	Power	IO VDD (3.3V)						
58	T4	VSS	Power	GND (0V)						
59	V1	D9	I/O	データ						A9
60	W2	D6	I/O	データ						A6
61	W1	BACK/ BSREQ	O	バス権認識/ バス権要求						
62	Y1	BREQ/ BSACK	I	バス権要求/ バス権認識						
63	Y2	D8	I/O	データ						A8
64	V3	D7	I/O	データ						A7
65	W3	CKE	O	クロック出力可能				CKE		
66	V5	VDDQ	Power	IO VDD (3.3V)						
67	U5	VSS	Power	GND (0V)						
68	Y3	WE5/CAS5/ DQM5	O	D47-D40 選択信号		WE5	CAS5	DQM5		

No	端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
69	V4	WE4/CAS4/ DQM4	O	D39-D32 選択信号		WE4	CAS4	DQM4		
70	W4	WE1/CAS1/ DQM1	O	D15-D8 選択信号		WE1	CAS1	DQM1	WE1	
71	Y4	WE0/CAS0/ DQM0	O	D7-D0 選択信号		WE0	CAS0	DQM0		
72	W5	A17	O	アドレス						
73	V6	VDDQ	Power	IO VDD (3.3V)						
74	U6	VSS	Power	GND (0V)						
75	Y5	A16	O	アドレス						
76	W6	A15	O	アドレス						
77	V7	VDD	Power	内部 VDD						
78	U7	VSS	Power	GND (0V)						
79	Y6	A14	O	アドレス						
80	W7	A13	O	アドレス						
81	V8	VDDQ	Power	IO VDD (3.3V)						
82	U8	VSS	Power	GND (0V)						
83	U4	VSS	Power	GND (0V)						
84	Y7	A12	O	アドレス						
85	W8	A11	O	アドレス						
86	Y8	A10	O	アドレス						
87	V9	VDDQ	Power	IO VDD (3.3V)						
88	U9	VSS	Power	GND (0V)						
89	W9	A9	O	アドレス						
90	Y9	A8	O	アドレス						
91	W10	A7	O	アドレス						
92	Y10	CKIO	O	クロック出力		CKIO		CKIO		CKIO
93	V10	VDDQ	Power	IO VDD (3.3V)						
94	U10	VSS	Power	GND (0V)						
95	V11	CKIO2	O	CKIO*		CKIO		CKIO		CKIO
96	W11	A6	O	アドレス						
97	Y11	A5	O	アドレス						
98	W12	A4	O	アドレス						
99	V12	VDDQ	Power	IO VDD (3.3V)						
100	U12	VSS	Power	GND (0V)						
101	Y12	A3	O	アドレス						
102	W13	A2	O	アドレス						

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
103	Y13	DRAK1	O	DMAC1 要求認識						
104	W14	DRAK0	O	DMAC0 要求認識						
105	V13	VDDQ	Power	IO VDD (3.3V)						
106	U13	VSS	Power	GND (0V)						
107	Y14	$\overline{CS3}$	O	チップ選択 3	$\overline{CS3}$	$(\overline{CS3})$	$\overline{CS3}$			$\overline{CS3}$
108	W15	$\overline{CS2}$	O	チップ選択 2	$\overline{CS2}$	$(\overline{CS2})$	$\overline{CS2}$			$\overline{CS2}$
109	V14	VDD	Power	内部 VDD						
110	U14	VSS	Power	GND (0V)						
111	Y15	\overline{RAS}	O	RAS		\overline{RAS}	\overline{RAS}			
112	W16	$\overline{RD/CAS/}$ \overline{FRAME}	O	リード /CAS/FRAME	\overline{OE}		\overline{CAS}	\overline{OE}		FRAME
113	V15	VDDQ	Power	IO VDD (3.3V)						
114	U15	VSS	Power	GND (0V)						
115	Y16	$\overline{RD}/\overline{WR}$	O	読み出し/書き込み	$\overline{RD}/\overline{WR}$	$\overline{RD}/\overline{WR}$	$\overline{RD}/\overline{WR}$	$\overline{RD}/\overline{WR}$		$\overline{RD}/\overline{WR}$
116	V17	$\overline{WE2/CAS2/}$ DQM2/ $\overline{ICIOR\overline{D}}$	O	D23-D16 選択信号	$\overline{WE2}$	$\overline{CAS2}$	DQM2	$\overline{ICIOR\overline{D}}$		
117	W17	$\overline{WE3/CAS3/}$ DQM3/ $\overline{ICIOR\overline{W}}$	O	D31-D24 選択信号	$\overline{WE3}$	$\overline{CAS3}$	DQM3	$\overline{ICIOR\overline{W}}$		
118	Y17	$\overline{WE6/CAS6/}$ DQM6	O	D55-D48 選択信号	$\overline{WE6}$	$\overline{CAS6}$	DQM6			
119	V16	VDDQ	Power	IO VDD (3.3V)						
120	U16	VSS	Power	GND (0V)						
121	V18	$\overline{WE7/CAS7/}$ DQM7/ \overline{REG}	O	D63-D56 選択信号	$\overline{WE7}$	$\overline{CAS7}$	DQM7	\overline{REG}		
122	W18	D23	I/O	データ						A23
123	Y18	D24	I/O	データ						A24
124	Y19	D22	I/O	データ						A22
125	Y20	RXD	I	SCI データ入力						
126	W19	$\overline{DREQ0}$	I	DMAC0 からの要求						
127	W20	$\overline{DREQ1}$	I	DMAC1 からの要求						
128	V19	D25	I/O	データ						A25
129	T18	VDDQ	Power	IO VDD (3.3V)						
130	T17	VSS	Power	GND (0V)						
131	V20	D21	I/O	データ						A21
132	U18	D26	I/O	データ						
133	U19	D20	I/O	データ						A20

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
134	U20	D27	I/O	データ						
135	R18	VDDQ	Power	IO VDD (3.3V)						
136	R17	VSS	Power	GND (0V)						
137	T19	D19	I/O	データ						A19
138	T20	D28	I/O	データ						
139	P18	VDD	Power	内部 VDD						
140	P17	VSS	Power	GND (0V)						
141	R19	D18	I/O	データ						A18
142	R20	D29	I/O	データ						
143	N18	VDDQ	Power	IO VDD (3.3V)						
144	N17	VSS	Power	GND (0V)						
145	P19	D17	I/O	データ						A17
146	P20	D30	I/O	データ						
147	N19	D16	I/O	データ						A16
148	N20	D31	I/O	データ						
149	M18	VDDQ	Power	IO VDD (3.3V)						
150	M17	VSS	Power	GND (0V)						
151	M19	D55	I/O	データ						
152	M20	D56	I/O	データ						
153	L19	D54	I/O	データ						
154	L20	D57	I/O	データ						
155	L18	VDDQ	Power	IO VDD (3.3V)						
156	L17	VSS	Power	GND (0V)						
157	K18	D53	I/O	データ						
158	K19	D58	I/O	データ						
159	K20	D52	I/O	データ						
160	J19	D59	I/O	データ						
161	J18	VDDQ	Power	IO VDD (3.3V)						
162	K17	VSS	Power	GND (0V)						
163	J20	D51	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
164	H19	D60	I/O	データ						
165	H20	D50	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
166	G19	D61	I/O	データ						ACCSIZE 0
167	H18	VDDQ	Power	IO VDD (3.3V)						
168	J17	VSS	Power	GND (0V)						
169	G20	D49	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
170	F19	D62	I/O	データ						ACCSIZE 1
171	G18	VDD	Power	内部 VDD						
172	G17	VSS	Power	GND (0V)						
173	F20	D48	I/O	データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
174	E18	D63	I/O	データ						ACCSIZE 2
175	F18	VDDQ	Power	IO VDD (3.3V)						
176	F17	VSS	Power	GND (0V)						
177	E17	VSS	Power	GND (0V)						
178	E19	RD/WR $\bar{2}$	O	RD/WR		RD/WR	RD/WR	RD/WR	RD/WR	RD/WR
179	E20	MD0/SCK	I/O	モード/SCIF クロック	MD0	SCK	SCK	SCK	SCK	SCK
180	D18	MD1/TXD2	I/O	モード/SCIF データ 出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
181	D19	MD2/RXD2	I	モード/SCIF データ 入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
182	D20	$\bar{I}RL0$	I	割り込み 0						
183	C19	$\bar{I}RL1$	I	割り込み 1						
184	C20	$\bar{I}RL2$	I	割り込み 2						
185	B19	$\bar{I}RL3$	I	割り込み 3						
186	B20	NMI	I	ノンマスクابل 割り込み						
187	A20	XTAL2	O	RTC 水晶発振子端子						
188	A19	EXTAL2	I	RTC 水晶発振子端子						
189	B18	VSS-RTC	Power	RTC GND (0V)						
190	A18	VDD-RTC	Power	RTC VDD (3.3V)						
191	D17	CA	I	ハードウェア スタンバイ要求						
192	C17	VDDQ	Power	IO VDD (3.3V)						
193	C18	VSS-RTC	Power	RTC GND (0V)						
194	B17	$\bar{C}TS2$	I/O	SCIF データ制御 (CTS)						
195	A17	TCLK	I/O	RTC/TMU クロック						
196	C16	MD8/RTS2	I/O	モード/SCIF データ 制御 (RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
197	C15	VDDQ	Power	IO VDD (3.3V)						
198	D15	VSS	Power	GND (0V)						

No	端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
199	B16	MD7/TXD	I/O	モード/SCI データ 出力	MD7	TXD	TXD	TXD	TXD	TXD
200	A16	SCK2/ MRESET	I	SCIF クロック/マニ ュアルリセット	MRESET T	SCK2	SCK2	SCK2	SCK2	SCK2
201	C14	VDD	Power	内部 VDD						
202	D14	VSS	Power	GND (0V)						
203	B15	A18	O	アドレス						
204	A15	A19	O	アドレス						
205	C13	VDDQ	Power	IO VDD (3.3V)						
206	D13	VSS	Power	GND (0V)						
207	B14	A20	O	アドレス						
208	A14	A21	O	アドレス						
209	B13	A22	O	アドレス						
210	A13	A23	O	アドレス						
211	C12	VDDQ	Power	IO VDD (3.3V)						
212	D12	VSS	Power	GND (0V)						
213	B12	A24	O	アドレス						
214	A12	A25	O	アドレス						
215	B11	MD3/CE2A	I/O	モード/PCMCIA-CE	MD3				CE2A	
216	A11	MD4/CE2B	I/O	モード/PCMCIA-CE	MD4				CE2B	
217	C11	VDDQ	Power	IO VDD (3.3V)						
218	D11	VSS	Power	GND (0V)						
219	C10	MD5/RAS2	I/O	モード/RAS(DRAM)	MD5		RAS2			
220	B10	DACK0	O	DMAC0 バス認識						
221	A10	DACK1	O	DMAC1 バス認識						
222	B9	A0	O	アドレス						
223	C8	VDDQ	Power	IO VDD (3.3V)						
224	D8	VSS	Power	GND (0V)						
225	A9	A1	O	アドレス						
226	B8	STATUS0	O	ステータス						
227	A8	STATUS1	O	ステータス						
228	B7	MD6/IOIS16	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	
229	C9	VDDQ	Power	IO VDD (3.3V)						
230	D9	VSS	Power	GND (0V)						
231	A7	ASEBRK/ BRKACK	I/O	端子ブレーク/ア クノリッジ(H-UDI)						

1. 概要

SH7750、SH7750S、SH7750R グループ

No	端子 番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
232	C6	TDO	O	データアウト (H-UDI)						
233	C7	VDD	Power	内部 VDD						
234	D7	VSS	Power	GND (0V)						
235	B6	TMS	I	モード (H-UDI)						
236	A6	TCK	I	クロック (H-UDI)						
237	C5	TDI	I	データイン (H-UDI)						
238	B5	TRST	I	リセット (H-UDI)						
239	C4	$\overline{\text{CKIO2ENB}}$	I	$\overline{\text{CKIO2}}, \overline{\text{RD2}}, \overline{\text{RD}}/\overline{\text{WR2}}$ イネーブル						
240	D6	VSS	Power	GND (0V)						
241	A5	VDD-PLL2	Power	PLL2 VDD (3.3V)						
242	B4	VSS-PLL2	Power	PLL2 GND (0V)						
243	A4	VDD-PLL1	Power	PLL1 VDD (3.3V)						
244	C3	VSS-PLL1	Power	PLL1 GND (0V)						
245	B3	VDD-CPG	Power	CPG VDD (3.3V)						
246	A3	VSS-CPG	Power	CPG GND (0V)						
247	A2	XTAL	O	水晶発振子						
248	A1	EXTAL	I	外部入力クロック / 水晶発振子						
249	N4	VSS	Power	GND (0V)						
250	U11	VSS	Power	GND (0V)						
251	U17	VSS	Power	GND (0V)						
252	H17	VSS	Power	GND (0V)						
253	D16	VSS	Power	GND (0V)						
254	D10	VSS	Power	GND (0V)						
255	D5	VSS	Power	GND (0V)						
256	D4	VSS	Power	GND (0V)						
257	H8	VSS	Power	GND (0V)						
258	J8	VSS	Power	GND (0V)						
259	K8	VSS	Power	GND (0V)						
260	L8	VSS	Power	GND (0V)						
261	M8	VSS	Power	GND (0V)						
262	N8	VSS	Power	GND (0V)						
263	N9	VSS	Power	GND (0V)						
264	N10	VSS	Power	GND (0V)						
265	N11	VSS	Power	GND (0V)						

No	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
266	N12	VSS	Power	GND (0V)						
267	N13	VSS	Power	GND (0V)						
268	M13	VSS	Power	GND (0V)						
269	L13	VSS	Power	GND (0V)						
270	K13	VSS	Power	GND (0V)						
271	J13	VSS	Power	GND (0V)						
272	H13	VSS	Power	GND (0V)						
273	H12	VSS	Power	GND (0V)						
274	H11	VSS	Power	GND (0V)						
275	H10	VSS	Power	GND (0V)						
276	H9	VSS	Power	GND (0V)						
277	J9	VSS	Power	GND (0V)						
278	K9	VSS	Power	GND (0V)						
279	L9	VSS	Power	GND (0V)						
280	M9	VSS	Power	GND (0V)						
281	M10	VSS	Power	GND (0V)						
282	M11	VSS	Power	GND (0V)						
283	M12	VSS	Power	GND (0V)						
284	L12	VSS	Power	GND (0V)						
285	K12	VSS	Power	GND (0V)						
286	J12	VSS	Power	GND (0V)						
287	J11	VSS	Power	GND (0V)						
288	J10	VSS	Power	GND (0V)						
289	K10	VSS	Power	GND (0V)						
290	L10	VSS	Power	GND (0V)						
291	L11	VSS	Power	GND (0V)						
292	K11	VSS	Power	GND (0V)						

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. すべての電源端子に給電してください。
 2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
 3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
 4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
 5. NC ピンは電源、GND 等に接続せず、完全に解放状態にしてください。
- * CKIO2 は PLL2 に接続されません。

2. プログラミングモデル

2.1 データフォーマット

SH-4 でサポートしているデータフォーマットを図 2.1 に示します。

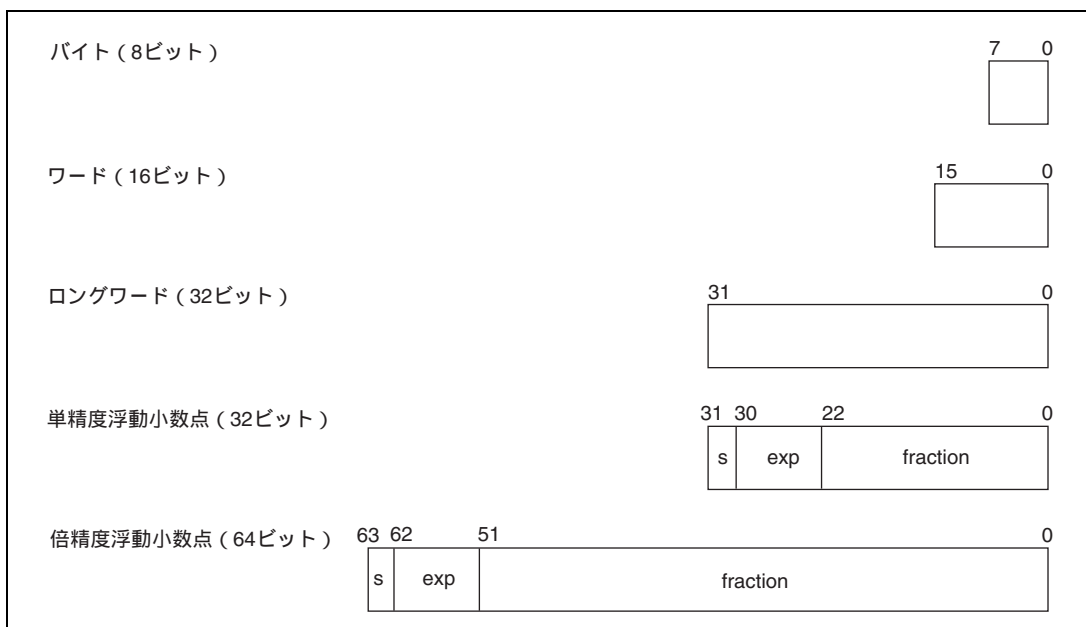


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

特権モードのとき、ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

ユーザモードのときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ(MACH/MACL)、プロシージャレジスタ(PR)、プログラムカウンタ(PC)、浮動小数点ステータス/コントロールレジスタ(FPSCR)、浮動小数点通信レジスタ(FPUL)があり、処理モードに関係しません。

(5) 浮動小数点レジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15の32本のレジスタがあります。FR0～FR15、XF0～XF15を各々FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の8本、FV0/4/8/12(レジスタベクタ)の4本として使用でき、XF0～XF15は、XD0/2/4/6/8/10/12/14(レジスタペア)の8本、XMTRX(レジスタ行列)の1本として使用できます。

リセット後のレジスタの値を表2.1に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MDビットは1、RBビットは1、BLビットは1、 FDビットは0、IMASKは1111('F)、予約ビットは0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR、FPUL	不定
	PC	H'A0000000
	FPSCR	H'00040001
浮動小数点レジスタ	FR0～FR15、XF0～XF15	不定

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別のCPUレジスタ構成を図2.2に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット(MD)で切り替えます。

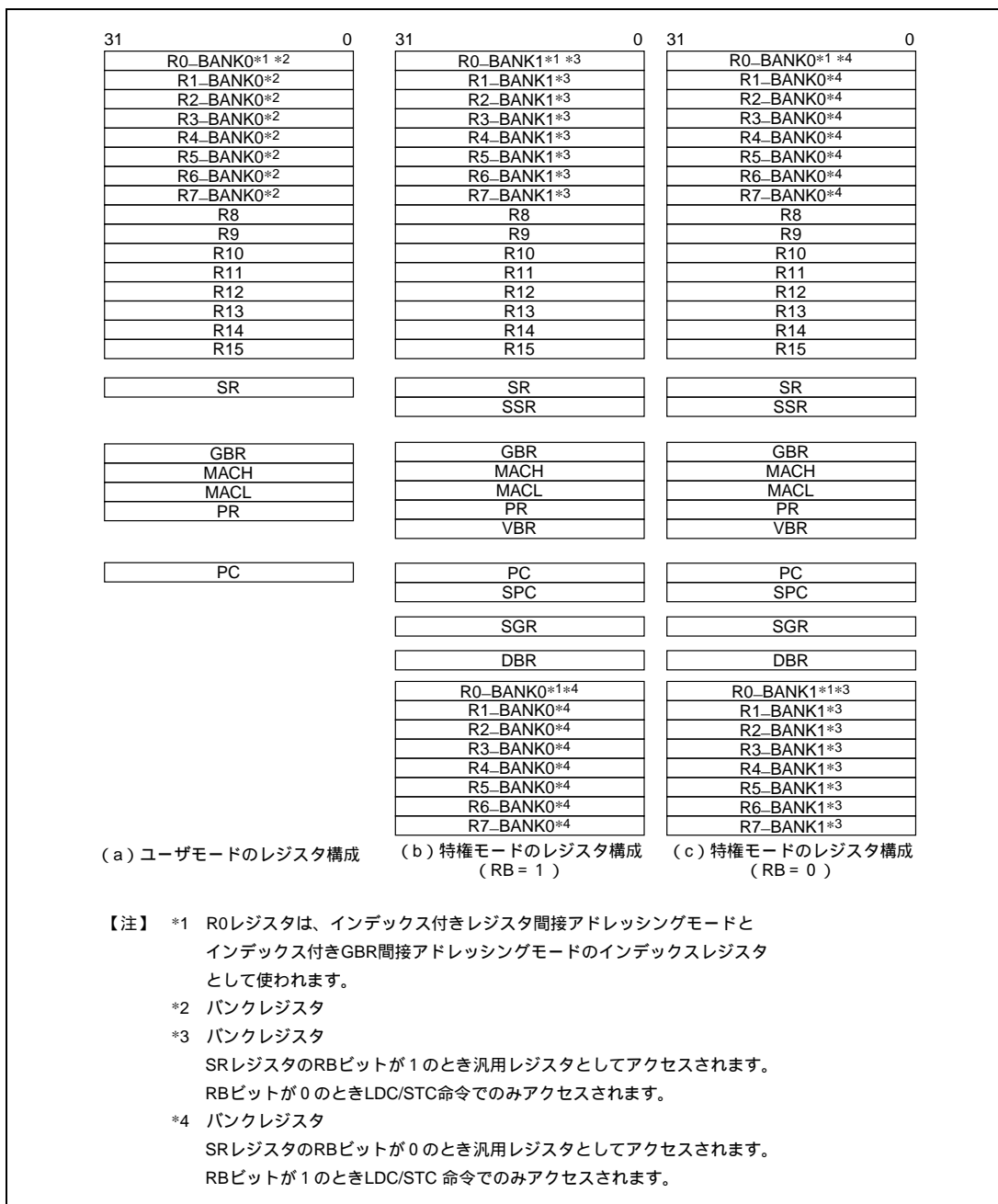


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4 には 24 本の 32 ビット汎用レジスタ (R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4 には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)
R0	R0_BANK0	R0_BANK0
R1	R1_BANK0	R1_BANK0
R2	R2_BANK0	R2_BANK0
R3	R3_BANK0	R3_BANK0
R4	R4_BANK0	R4_BANK0
R5	R5_BANK0	R5_BANK0
R6	R6_BANK0	R6_BANK0
R7	R7_BANK0	R7_BANK0
R0_BANK1	R0_BANK1	R0
R1_BANK1	R1_BANK1	R1
R2_BANK1	R2_BANK1	R2
R3_BANK1	R3_BANK1	R3
R4_BANK1	R4_BANK1	R4
R5_BANK1	R5_BANK1	R5
R6_BANK1	R6_BANK1	R6
R7_BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザの R0 ~ R7 は R0_BANK0 ~ R7_BANK0 に、例外・割り込み後の R0 ~ R7 は R0_BANK1 ~ R7_BANK1 に割り当てられるので、割り込みハンドラはユーザの R0 ~ R7 (R0_BANK0 ~ R7_BANK0) を退避または復帰する必要はありません。

リセット後の R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15 の値は不定です。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0, FPR1_BANK0, FPR2_BANK0, FPR3_BANK0,
FPR4_BANK0, FPR5_BANK0, FPR6_BANK0, FPR7_BANK0,
FPR8_BANK0, FPR9_BANK0, FPR10_BANK0, FPR11_BANK0,
FPR12_BANK0, FPR13_BANK0, FPR14_BANK0, FPR15_BANK0
FPR0_BANK1, FPR1_BANK1, FPR2_BANK1, FPR3_BANK1,
FPR4_BANK1, FPR5_BANK1, FPR6_BANK1, FPR7_BANK1,
FPR8_BANK1, FPR9_BANK1, FPR10_BANK1, FPR11_BANK1,
FPR12_BANK1, FPR13_BANK1, FPR14_BANK1, FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}, DR2 = {FR2, FR3},
DR4 = {FR4, FR5}, DR6 = {FR6, FR7},
DR8 = {FR8, FR9}, DR10 = {FR10, FR11},
DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3},
FV4 = {FR4, FR5, FR6, FR7},
FV8 = {FR8, FR9, FR10, FR11},
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。
FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},
 XD8 = {XF8, XF9}, XD10 = {XF10, XF11},
 XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX =

XF0	XF4	XF8	XF12
XF1	XF5	XF9	XF13
XF2	XF6	XF10	XF14
XF3	XF7	XF11	XF15

FPSCR.FR=0				FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
FV4	DR4	FR4	FPR4_BANK0	XF4	XD4		
		FR5	FPR5_BANK0	XF5			
	DR6	FR6	FPR6_BANK0	XF6	XD6		
		FR7	FPR7_BANK0	XF7			
FV8	DR8	FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
	DR10	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
FV12	DR12	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
	DR14	FR14	FPR14_BANK0	XF14	XD14		
		FR15	FPR15_BANK0	XF15			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
	XD2	XF2	FPR2_BANK1	FR2	DR2		
		XF3	FPR3_BANK1	FR3			
	XD4	XF4	FPR4_BANK1	FR4	DR4	FV4	
		XF5	FPR5_BANK1	FR5			
	XD6	XF6	FPR6_BANK1	FR6	DR6		
		XF7	FPR7_BANK1	FR7			
	XD8	XF8	FPR8_BANK1	FR8	DR8	FV8	
		XF9	FPR9_BANK1	FR9			
	XD10	XF10	FPR10_BANK1	FR10	DR10		
		XF11	FPR11_BANK1	FR11			
	XD12	XF12	FPR12_BANK1	FR12	DR12	FV12	
		XF13	FPR13_BANK1	FR13			
	XD14	XF14	FPR14_BANK1	FR14	DR14		
		XF15	FPR15_BANK1	FR15			

図 2.4 浮動小数点レジスタ

【プログラミング上の注意】

リセット後の FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 の値は不定です。

2.2.4 コントロールレジスタ

(1) ステータスレジスタ SR

(32 ビット、特権保護、初期値 = 0111 0000 0000 0000 0000 00XX 1111 00XX (X = 不定))

31	30	29	28	27					16	15	14					10	9	8	7					4	3	2	1	0
—	MD	RB	BL	—				FD	—				M	Q	IMASK				—		S	T						

【注】 —: 予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- MD: 処理モード

- MD=0:

ユーザモード (命令の中には実行できない命令があり、リソースの中にはアクセスできないリソースがあります。)

- MD=1:

特権モード

- RB:

特権モードでの汎用レジスタバンク指定ビット (リセット、例外または割り込みにより1にセットされます。)

- RB=0:

R0_BANK0 ~ R7_BANK0は、汎用レジスタR0 ~ R7としてアクセスされます (R0_BANK1 ~ R7_BANK1はLDC/STC命令を使用することによってアクセスできます)。

- RB=1:

R0_BANK1 ~ R7_BANK1は、汎用レジスタR0 ~ R7としてアクセスされます (R0_BANK0 ~ R7_BANK0はLDC/STC命令を使用することによってアクセスできます)。

- BL:

例外 / 割り込みブロックビット (リセット、例外または割り込みにより1にセットされます。)

- BL=1:

割り込み要求はマスクされます。(BL=1)のときユーザブレイク以外の一般例外が発生すると、プロセッサは、リセット状態に遷移します。

- FD: FPUディスエーブルビット (リセットにより0にクリアされます。)

- FD=1:

FPU命令は一般FPU抑止例外を発生させ、FPU命令が遅延スロットにある場合、スロットFPU抑止例外が発生します。(FPU命令: HF***命令、FPUL/FPSCRに対するLDS(.L)/STS(.L)命令)

- M、Q: DIV0S、DIV0U、DIV1命令が使用

- IMASK: 割り込みマスクレベル

IMASK以下の割り込みはマスクされます。また、割り込みが発生してもIMASKは変化しません。

- S: MAC命令の飽和動作を指定します。

- T: 真 / 偽条件、またはキャリ / ボロービット

(2) 退避ステータスレジスタ SSR (32 ビット、特権保護、初期値=不定)

SRの内容は例外または割り込みの発生時、SSRに退避されます。

(3) 退避プログラムカウンタ SPC (32 ビット、特権保護、初期値=不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ GBR (32 ビット、初期値=不定)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(5) ベクタベースレジスタ VBR (32 ビット、特権保護、初期値=H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 SGR (32 ビット、特権保護、初期値=不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ DBR (32 ビット、特権保護、初期値=不定)

ユーザブレイクデバッグ機能を有効にする場合 (BRCCR.UBDE=1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

- (1) 積和上位レジスタ MACH (32 ビット、初期値=不定)、
積和下位レジスタ MACL (32 ビット、初期値=不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシジャレジスタ PR (32 ビット、初期値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ PC (32 ビット、初期値=H'A000 0000)

PC は実行中の命令アドレスを示します。

- (4) 浮動小数点ステータス/コントロールレジスタ FPSCR
(32 ビット、初期値=H'0004 0001)

31	22	21	20	19	18	17	12	11	7	6	2	1	0	
-				FR	SZ	PR	DN	Cause			Enable		Flag	RM

【注】 - : 予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- FR : 浮動小数点レジスタバンク
 - FR=0 :
FPR0_BANK0 ~ FPR15_BANK0はFR0 ~ FR15に、FPR0_BANK1 ~ FPR15_BANK1はXF0 ~ XF15に割り当てられます。
 - FR=1 :
FPR0_BANK0 ~ FPR15_BANK0はXF0 ~ XF15に、FPR0_BANK1 ~ FPR15_BANK1 はFR0 ~ FR15に割り当てられます。
- SZ : 転送サイズモード
 - SZ=0 :
FMOV命令のデータサイズは32ビットです。
 - SZ=1 :
FMOV命令のデータサイズは32ビットペア (64ビット) です。
- PR : 精度モード
 - PR=0 :
浮動小数点命令を単精度で実行します。
 - PR=1 :
浮動小数点命令を倍精度で実行します (倍精度がサポートされていない命令の結果は未定義です。)

SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。

[SZ, PR]=11 : 予約 (FPU 命令演算は未定義です。)

- DN : 非正規化モード
 - DN=0 :
非正規化数を非正規化数として扱います。
 - DN=1 :
非正規化数を0として扱います。
- Cause : FPU例外要因フィールド
- Enable : FPU例外イネーブルフィールド
- Flag : FPU例外フラグフィールド

		FPUエラー (E)	無効演算 (V)	0除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフ ィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィー ルド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。

FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。

- RM : 丸めモード
 - RM=00 : 近傍への丸め
 - RM=01 : 0方向への丸め
 - RM=10 : 予約
 - RM=11 : 予約

- ビット22~31 : 予約

(5) 浮動小数点通信レジスタ FPUL (32 ビット、初期値=不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

【プログラミング上の注意】

SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できます。リトルエンディアン方式の場合、倍精度浮動小数点データをロードまたはストアするためには、SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。

2.3 メモリ割り付けレジスタ

メモリに割り付けた制御レジスタについては、「付録 A. アドレス一覧」を参照してください。制御レジスタは次のメモリ領域にダブルマッピングされています。すべてのレジスタには 2 つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上 2 つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。

この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。

この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

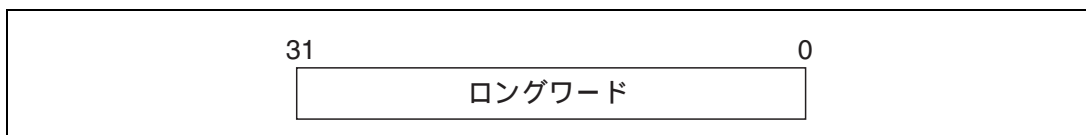
- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピン（MD5 端子）で設定してください。MD5 端子がローレベルの場合ビッグエンディアンに、MD5 端子がハイレベルの場合リトルエンディアンに設定されます。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.5 に示します。

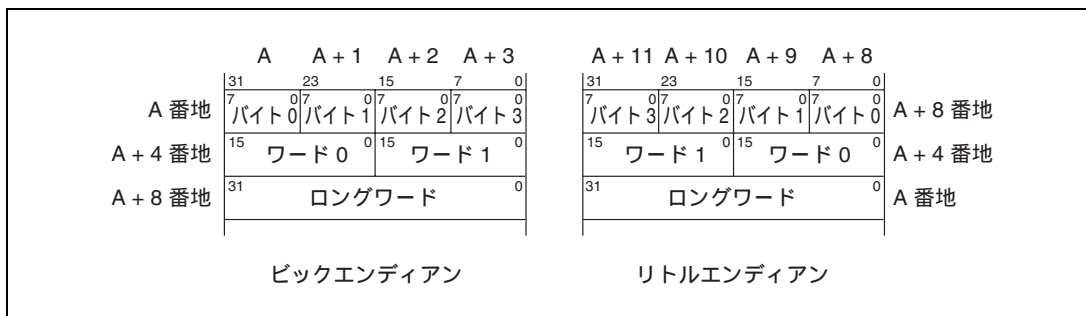


図 2.5 メモリ上のデータ形式

【注】 SH-4 では、64 ビット長データフォーマットのエンディアン変換をサポートしておりません。そのため、リトルエンディアンモード下で倍精度浮動小数点フォーマット（64 ビット長）のアクセスをした場合、上位 32 ビットと下位 32 ビットが逆になります。

2.6 処理状態

処理状態にはリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RESET}}$ 端子がローレベルになるとリセット状態になります。 $\overline{\text{MRESET}}$ 端子がハイレベルのときパワーオンリセット状態になり、 $\overline{\text{MRESET}}$ 端子がローレベルのときマニュアルリセット状態になります。リセットについては、「第5章 例外処理」を参照してください。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。マニュアルリセット状態では、BSC は初期化されませんのでリフレッシュ動作は継続しています。詳細は、各章のレジスタ構成を参照してください。

(2) 例外処理状態

リセット、一般例外、割り込みの例外要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR)、R15 を退避ジェネラルレジスタ 15 (SGR) に退避します。ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外処理ルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第5章 例外処理」を参照してください。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモードとスタンバイモードの2つのモードがあります。低消費電力状態の詳細は「第9章 低消費電力モード」を参照してください。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

状態間の遷移を図 2.6 に示します。

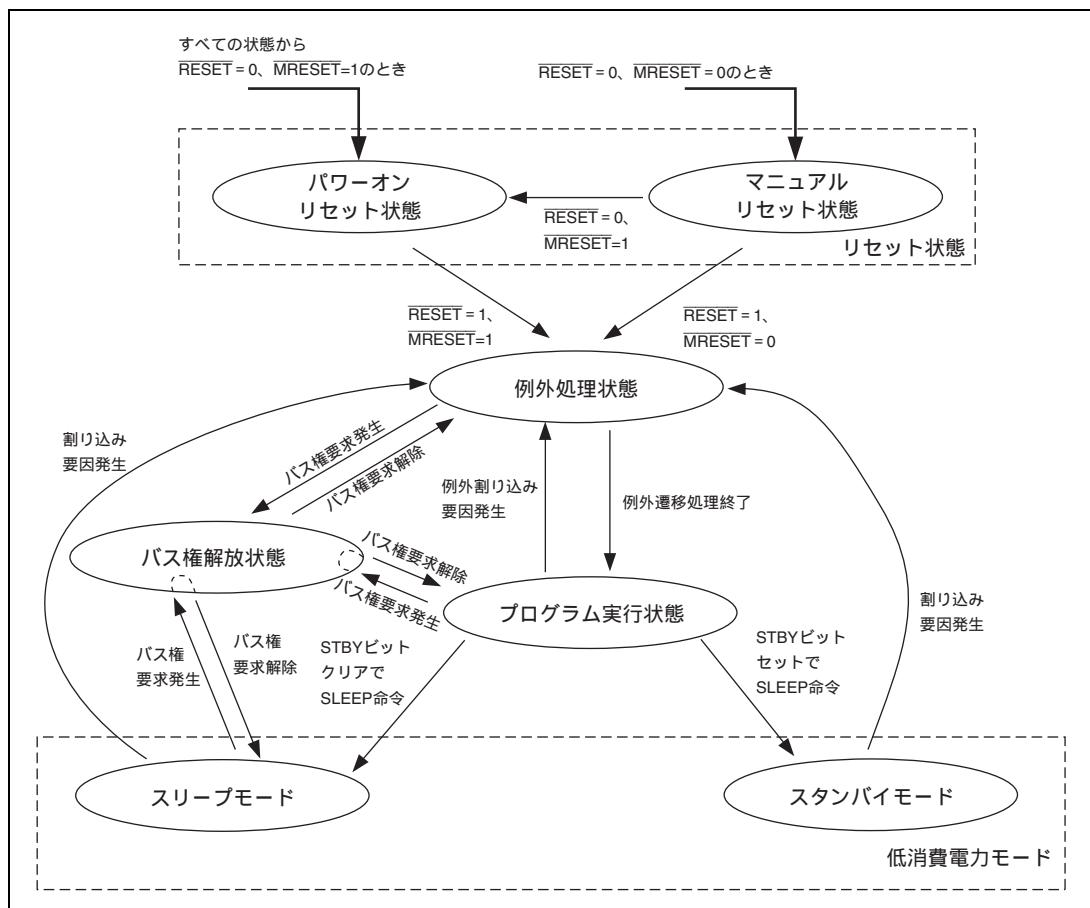


図 2.6 処理状態の状態遷移図

2.7 処理モード

処理モードには特権モードとユーザモードの2種類があります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決まります。MD ビットが0 のときユーザモードになり、1 のとき特権モードになります。リセット状態、例外処理状態になると、MD ビットが1 になります。特権モードでのみアクセスできるレジスタとビットがあります。

3. メモリマネジメントユニット (MMU)

3.1 概要

3.1.1 特長

SH-4 は 8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの外部メモリ空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は SH-4 に内蔵されたメモリマネジメントユニット (MMU:Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB:Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。SH-4 は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

3.1.2 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (1)。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (2)。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (3)。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (4)。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別プロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1K ~ 64K バイト) が変換の単位となります。

以下 SH-4 では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

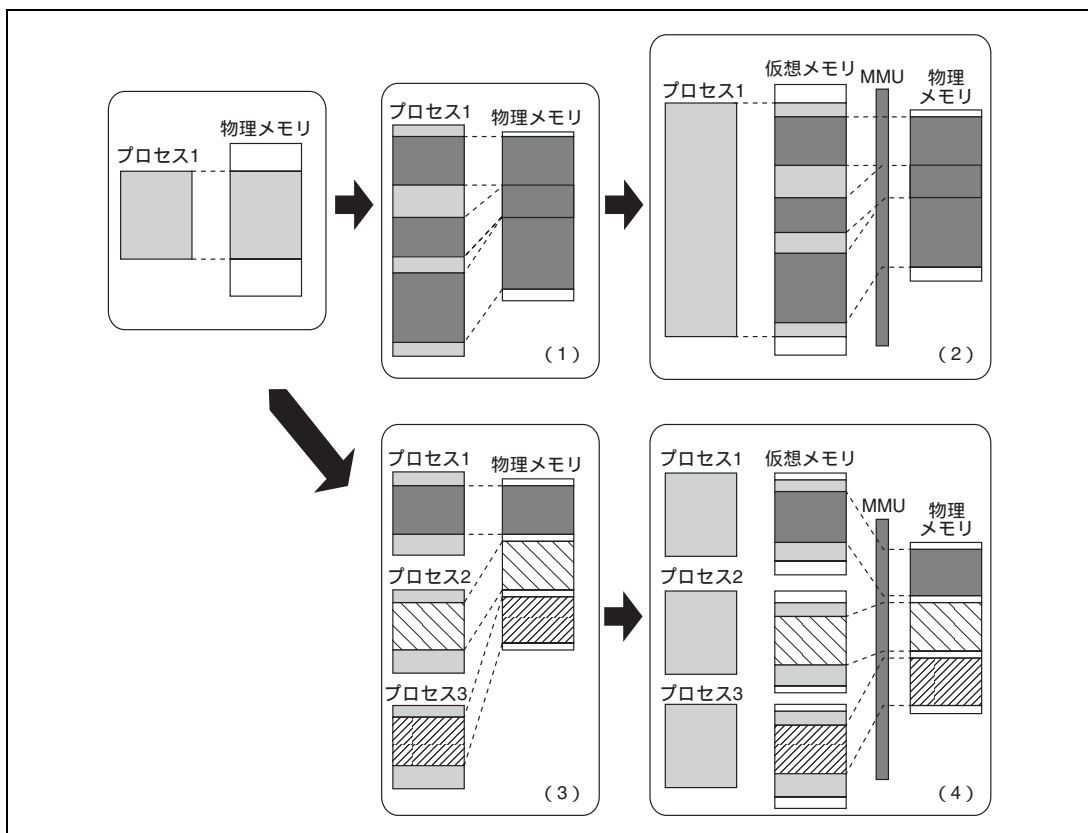


図 3.1 MMU の役割

3.1.3 レジスタの構成

MMU レジスタの構成を表 3.1 に示します。

表 3.1 レジスタ構成

名称	略称	R/W	初期値* ¹	P4 アドレス* ²	エリア 7 アドレス* ²	アクセス サイズ
ページテーブルエントリ 上位レジスタ	PTEH	R/W	不定	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ 下位レジスタ	PTEL	R/W	不定	H'FF00 0004	H'1F00 0004	32
ページテーブルエントリ アシスタンスレジスタ	PTEA	R/W	不定	H'FF00 0034	H'1F00 0034	32
変換テーブルベースレジスタ	TTB	R/W	不定	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	不定	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'0000 0000	H'FF00 0010	H'1F00 0010	32

【注】 *1 初期値とはパワーオンリセット、マニュアルリセット後の値を示します。

*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合のものです。

3.1.4 注意事項

本マニュアル中で予約領域とは、アクセスした場合に動作を保証しない領域を示します。

3.2 レジスタの説明

MMU に関連するレジスタは 6 つあります。

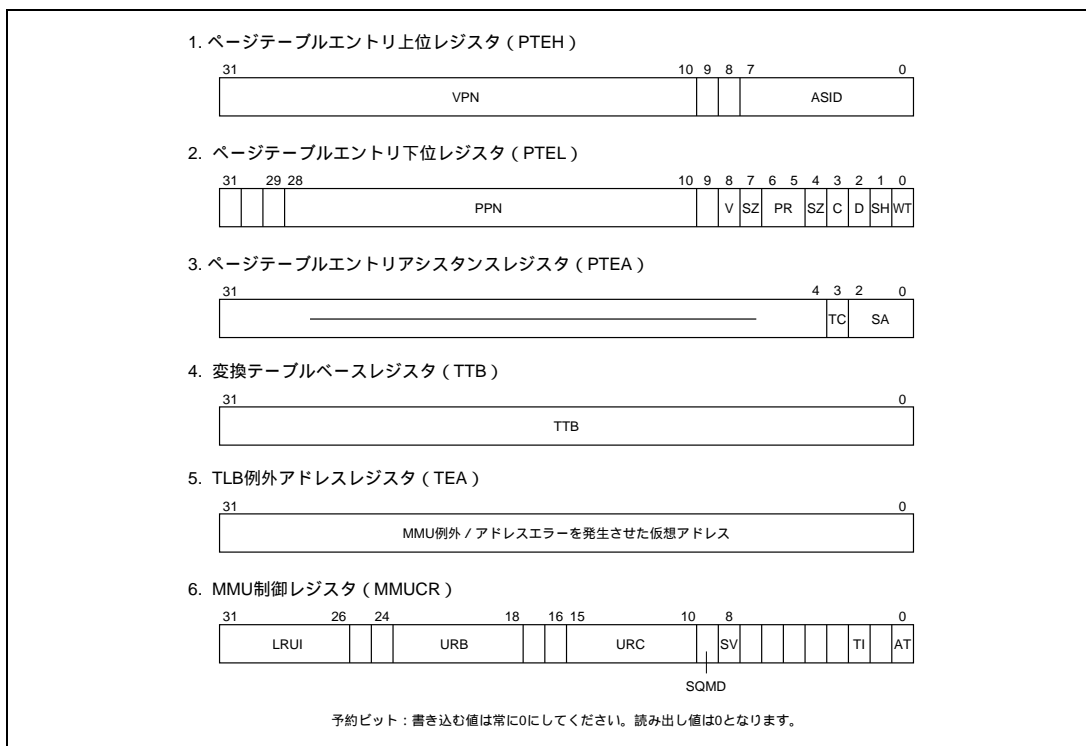


図 3.2 MMU 関連レジスタ

(1) ページテーブルエントリ上位レジスタ (PTEH)

PTEH へは、P4 領域の H'FF00 0000 からとエリア 7 の H'1F00 0000 からロングワードサイズでアクセスすることが可能です。PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズにより異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID が LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを書き換え後に、更新後の ASID 値を使用する P0、P3、U0 領域への分岐命令は、PTEH 更新命令から 6 命令以降に配置してください。

(2) ページテーブルエントリ下位レジスタ (PTEL)

PTEL へは、P4 領域の H'FF00 0004 からとエリア 7 の H'1F00 0004 からロングワードサイズでアクセスすることが可能です。PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

(3) ページテーブルエントリアシスタンスレジスタ (PTEA)

PTEA へは、P4 領域の H'FF00 0034 からとエリア 7 の H'1F00 0034 からロングワードサイズでアクセスすることが可能です。PTEA は LDTLB 命令により UTLB への PCMCIA のアクセスのためのアシスタントビットを格納するために使用されます。SH7750S、SH7750R では、CPU から MMUCR の AT ビットが 0 のときに PCMCIA インタフェースのエリアにアクセスする場合、本レジスタの SA ビット、TC ビットの値で常にアクセスされます。SH7750 では、MMUCR の AT ビットが 0 のときは PCMCIA インタフェースのエリアにアクセスできません。また、本 LSI では DMAC による PCMCIA インタフェースのエリアへのアクセスは、常にダイレクトメモリアクセスコントローラ (DMAC) の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、CHCRn.DTC の値で行われます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

(4) 変換テーブルベースレジスタ (TTB)

TTB へは P4 領域の H'FF00 0008 からとエリア 7 の H'1F00 0008 からロングワードサイズでアクセスすることが可能です。このレジスタは、例えば現在使用しているページテーブルのベースアドレスの格納用に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

(5) TLB 例外アドレスレジスタ (TEA)

TEA へは P4 領域の H'FF00 000C からとエリア 7 の H'1F00 000C からロングワードサイズでアクセスすることが可能です。MMU 例外またはアドレスエラー例外発生後に、このレジスタへは例外を発生させた仮想アドレスがハードウェアにより設定されます。このレジスタはソフトウェアにより変更することは可能です。

(6) MMU 制御レジスタ (MMUCR)

MMUCR には以下のビットがあります。

- LRUI:Least Recently Used ITLB
- URB:UTLB Replace Boundary
- URC:UTLB Replace Counter
- SQMD:Store Queue Mode Bit
- SV:Single Virtual Mode Bit
- TI:TLB Invalidate
- AT:Address Translation Bit

MMUCR へは P4 領域の H'FF00 0010 からとエリア 7 の H'1F00 0010 からロングワードサイズでアクセスすることが可能です。MMUCR の各ビットは以下に示すように、MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。MMUCR 更新後に、P0、P3、U0、ストアキュー領域へのデータアクセス命令は、MMUCR 更新命令から 4 命令以降に配置してください。また P0、P3、U0 領域への分岐命令は、MMUCR 更新命令から 8 命令以降に配置してください。MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

- LRUI：入れ替えを行うITLBエントリを示すLRUビット

ITLBミス発生時に入れ替えるITLBのエントリを決めるため、LRU方式 (Least Recently Used) を用いています。LRUIビットを用いて、ITLBの追い出すエントリを確定することができます。LRUIは以下のアルゴリズムで更新が行われます。この表で “—” は更新を行わないことを意味します。

	LRUI					
	[5]	[4]	[3]	[2]	[1]	[0]
ITLBのエントリ0を用いたとき	0	0	0	—	—	—
ITLBのエントリ1を用いたとき	1	—	—	0	0	—
ITLBのエントリ2を用いたとき	—	1	—	1	—	0
ITLBのエントリ3を用いたとき	—	—	1	—	1	1
上記以外	—	—	—	—	—	—

またLRUIが以下の状態のとき、対応するITLBのエントリがITLBミスにより更新されます。この表で “*” は Don't careを意味します。

	LRUI					
	[5]	[4]	[3]	[2]	[1]	[0]
ITLBのエントリ0が更新される	1	1	1	*	*	*
ITLBのエントリ1が更新される	0	*	*	1	1	*
ITLBのエントリ2が更新される	*	0	*	0	*	1
ITLBのエントリ3が更新される	*	*	0	*	0	0
上記以外	設定禁止					

上記の表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。パワーオン、マニュアルリセット後、LRUIは0に初期化されますので、ハードウェアの更新によりLRUIが上記の表の設定禁止の値になることはありません。

- URB：入れ替えを行うUTLBエントリの境界を示すビット
URB>0のときに有効となります。

- URC : LDTLB命令により入れ替えを行うUTLBエントリを示すためのランダムカウンタ
UTLBへのアクセスが発生する度にインクリメントされます。ただしURB>0の場合、URC = URBの条件が成立するとURCは0にクリアされます。またソフトウェアによりURC>URBとなる値がURCに書き込まれた場合、最初はURC = H'3FになるまでURBを超えてインクリメントが行われますので注意してください。URCはLDTLB命令によってカウントアップされません。
- SQMD : ストアキューモードビット
ストアキューへのアクセス権を指定します。
 - 0 : ユーザ / 特権アクセスが可能
 - 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
- SV : 単一仮想記憶モード / 多重仮想記憶モードの切り替えビット
 - 0 : 多重仮想記憶モード
 - 1 : 単一仮想記憶モードこのビットを変更するときは、必ずTIビットにも1を書き込んでください。
- TI : TLB無効化ビット
このビットに1を書き込むと、UTLB/ITLBの有効ビットをすべて無効化 (0にクリア) します。読み出しは常に0です。
- AT : アドレス変換有効ビット
MMUのイネーブル (有効) とディスエーブル (無効) を指定します。
 - 0 : MMUディスエーブル
 - 1 : MMUイネーブルATビットが0の状態ではMMU例外は発生しません。このためMMUを使用しないソフトウェアではATビットを0の状態で使用してください。

3.3 アドレス空間

3.3.1 物理アドレス空間

SH-4 は 32 ビットの物理アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。MMU 制御レジスタ (MMUCR) の AT ビットを 0 にし、MMU をディスエーブル状態にしたときのアドレス空間がこの物理アドレス空間です。物理アドレス空間は図 3.3 に示すとおり、いくつかの領域に分かれています。物理アドレス空間は固定的に 29 ビットの外部メモリ空間へマッピングされ、その対応は物理アドレス空間のアドレスの上位 3 ビットを無視することで行えます。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセスすることが可能です。ユーザモードで P1 ~ P4 領域 (ストアキュー領域を除く) をアクセスした場合、アドレスエラーとなります。

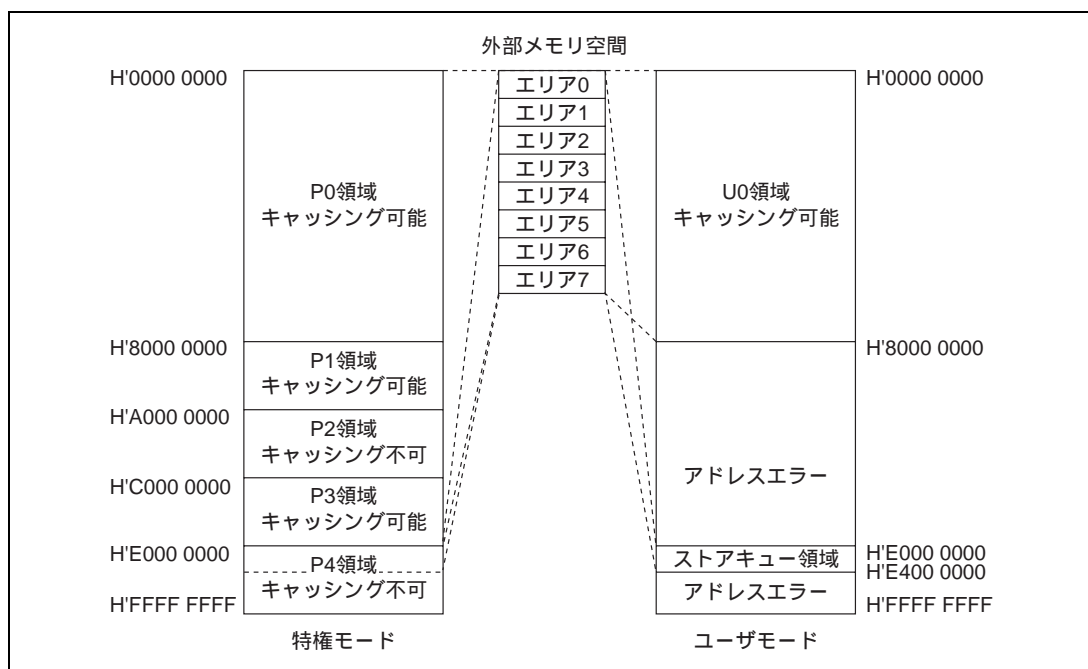


図 3.3 物理アドレス空間 (MMUCR.AT = 0)

SH7750 の場合、CPU から PCMCIA インタフェースのエリアにアクセスすることはできません。SH7750S、SH7750R の場合、CPU から PCMCIA インタフェースのエリアにアクセスを行う場合、常に PTEA レジスタに設定した SA、TC 値でアクセスします。

また、DMAC による PCMCIA インタフェースのエリアへのアクセスは、常にダイレクトメモリアクセスコントローラ (DMAC) の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、および CHCRn.DTC の値で行われます。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

(1) P0、P1、P3、U0 領域

P0、P1、P3、U0 領域はキャッシュを用いたアクセスが可能な領域です。キャッシュを用いるか、用いないかはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、P1 領域を除いて CCR の WT ビットの指定に従います。P1 領域の切り替えは、CCR の CB ビットの指定に従います。これらの領域のアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、これらの領域にも予約領域が現れることになります。

(2) P2 領域

P2 領域はキャッシュを用いたアクセスが行えない領域です。P2 領域ではアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、この領域にも予約領域が現れることになります。

(3) P4 領域

P4 領域は SH-4 の内蔵 I/O にマッピングされる領域です。この領域はキャッシュを用いたアクセスができません。P4 領域の詳細を図 3.4 に示します。

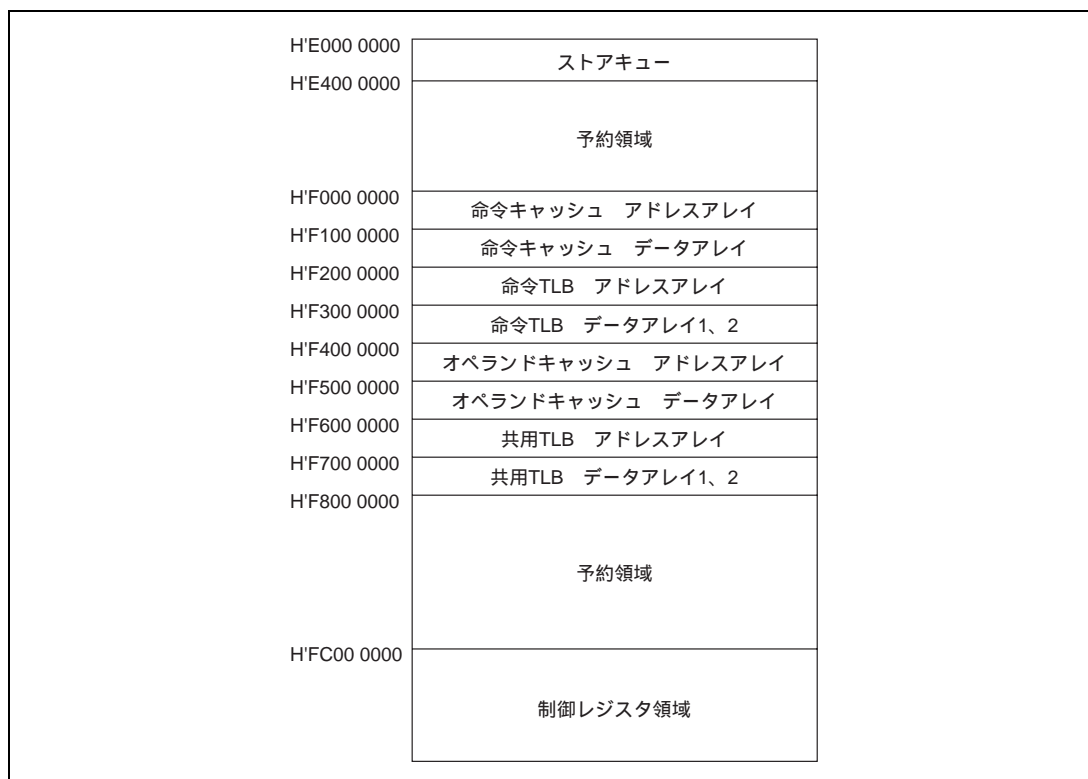


図 3.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするためのアドレスです。MMU が無効な場合 (MMUCR の AT ビット = 0)、SQ のアクセス権は MMUCR の SQMD ビットで指定します。詳細は、「4.7 ストアキュー」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F3FF FFFF までは、命令 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.2 ITLB データアレイ 1」、「3.7.3 ITLB データアレイ 2」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F7FF FFFF までは、共用 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.5 UTLB データアレイ 1」、「3.7.6 UTLB データアレイ 2」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュール制御レジスタの領域です。詳細は、「付録 A アドレス一覧」を参照してください。

3.3.2 外部メモリ空間

SH-4 は 29 ビットの外部メモリ空間をサポートします。外部メモリ空間は図 3.5 に示すとおり 8 つの領域に分かれています。エリア 0 ~ エリア 6 は SRAM、シンクロナス DRAM、DRAM、PCMCIA などのメモリにつながる領域です。エリア 7 は予約領域です。詳細は「第 13 章 パスステートコントローラ (BSC)」を参照してください。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (予約領域)

図 3.5 外部メモリ空間

3.3.3 仮想アドレス空間

MMUCR の AT ビットを 1 にすることにより、SH-4 では物理アドレス空間の P0 領域と P3 領域と U0 領域を任意の外部メモリ空間へ 1K/4K/64K/1M バイトページ単位にマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより P0、U0、P3、ストアキュー領域を 256 個まで増やすことが可能です。これを仮想アドレス空間と呼びます。仮想アドレス空間から 29 ビットの外部メモリ空間へのマッピングには TLB を用います。仮想アドレス空間を用いて外部メモリ空間のエリア 7 をアクセスする場合のみエリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域が予約領域ではなくなり、物理アドレス空間の P4 領域の制御レジスタ領域と等価になります。仮想アドレス空間を図 3.6 に示します。

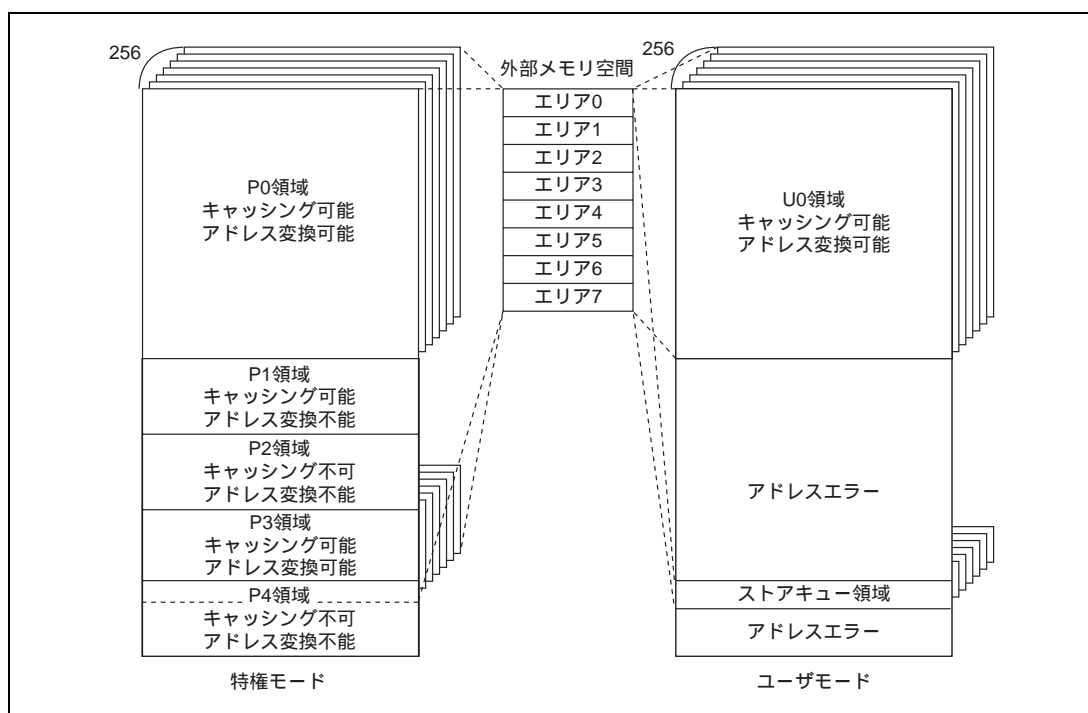


図 3.6 仮想アドレス空間 (MMUCR.AT=1)

キャッシュイネーブルの状態では P0、P3、U0 領域が TLB により PCMCIA インタフェースのエリアにマッピングされる場合、そのページの WT ビットに 1 を指定するか、C ビットに 0 を指定しなければなりません。このとき、TLB の各ページ単位で設定した、SA、TC 値でアクセスします。

なお、CPU から P1、P2、P4 領域へのアクセスによる PCMCIA インタフェースのエリアへのアクセスはできません。

また、DMAC による PCMCIA インタフェースのエリアへのアクセスは、常にダイレクトメモリアクセスコントローラ (DMAC) の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、および CHCRn.DTC の値で行われます。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

(1) P0、P3、U0 領域

P0 (H'7C00 0000 から H'7FFF FFFF を除く)、P3、U0 (H'7C000000 から H'7FFFFFFF を除く) 領域はキャッシュを用いたアクセスと TLB を用いたアドレス変換が可能な領域です。これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位に任意の外部メモリ空間へマッピングできます。CCR がキャッシュイネーブル状態にあり、かつ TLB のキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。また、キャッシュへのライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB のライトスルービット (WT ビット) に従い、ページ単位に指定します。

P0、P3、U0 領域が TLB により外部メモリ空間へマッピングされる時のみ、外部メモリ空間のエリア 7 の H'1C00 0000 ~ H'1FFF FFFF が制御レジスタ領域に割り当てられます。これによりユーザモードでも U0 領域から制御レジスタをアクセスすることが可能となります。この場合、該当するページの C ビットには 0 を指定しなければなりません。

(2) P1、P2、P4 領域

P1、P2、P4 領域 (ストアキュー領域を除く) に対して TLB を用いたアドレス変換は実行できません。これらの領域に対するアクセスは物理アドレス空間に対するアクセスと同じです。ストアキュー領域は MMU によって任意の外部メモリ空間にマッピングすることができます。ただし、例外処理の場合の動作は通常の P0、U0、P3 空間の場合とは異なります。詳細については「4.7 ストアキュー」を参照してください。

3.3.4 内蔵 RAM 空間

SH-4 では、オペランドキャッシュの半分を内蔵 RAM として使用することが可能です。これは CCR の設定を変更することで行えます。

オペランドキャッシュを内蔵 RAM として使用する場合 (CCR の ORA ビット 1)、P0、U0 領域の H'7C00 0000 ~ H'7FFF FFFF が内蔵 RAM 領域となります。この領域へはデータアクセス (バイト/ワード/ロングワード/クワッドワード) が可能です。ただしこの領域は、RAM モード時以外には使用できません。

3.3.5 アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4 では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

3.3.6 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは TLB のアドレス比較の方式(「3.4.3 アドレス変換方式」参照)のみです。

3.3.7 アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によりプロセス切り替えの際に TLB をバージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

3.4 TLB の機能

3.4.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 3.7 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 3.8 にページサイズとアドレスの関係を示します。

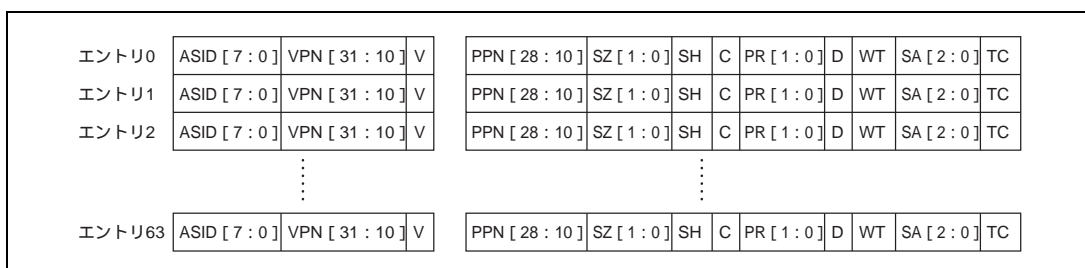


図 3.7 UTLB の構成

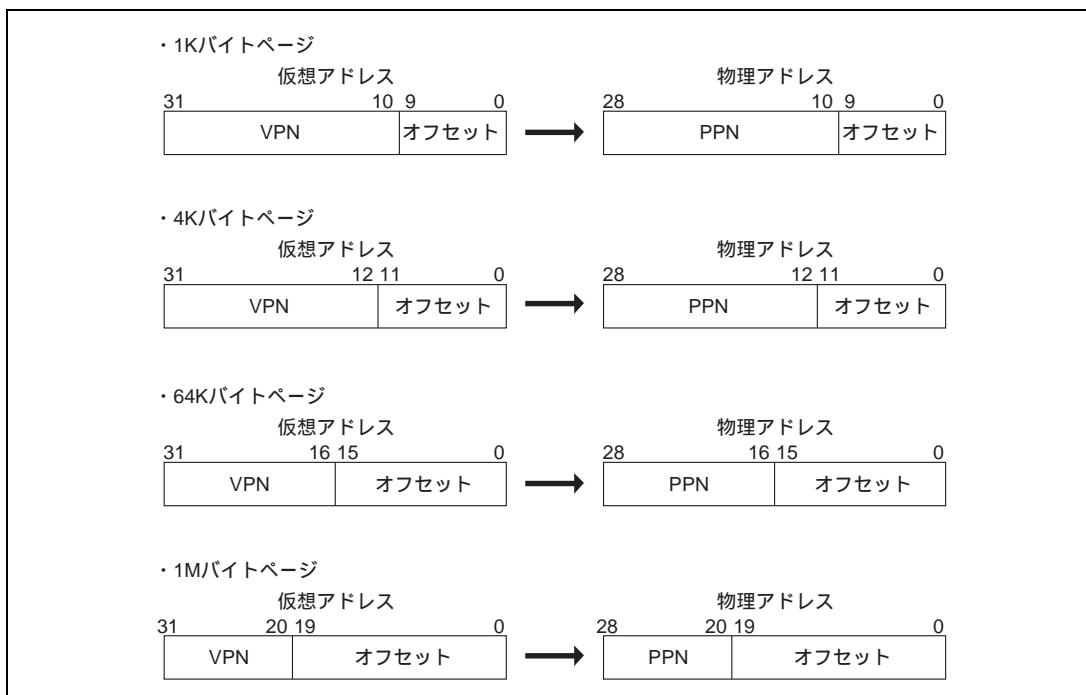


図 3.8 ページサイズとアドレスの関係

- VPN : 仮想ページ番号
 - 1Kバイトページの時、仮想アドレスの上位22ビット
 - 4Kバイトページの時、仮想アドレスの上位20ビット
 - 64Kバイトページの時、仮想アドレスの上位16ビット
 - 1Mバイトページの時、仮想アドレスの上位12ビット

- ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。

単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SHビットが0ならアドレス比較の際にPTEH中のASIDと比較されます。

- SH : 共有状態ビット
 - 0のとき複数のプロセスでページを共有しません。
 - 1のとき複数のプロセスでページを共有します。
- SZ : ページサイズビット

ページサイズを指定します。

 - 00:1Kバイトページ
 - 01:4Kバイトページ
 - 10:64Kバイトページ
 - 11:1Mバイトページ

- V: 有効ビット
エントリが有効かどうかを示します。
 - 0のとき無効
 - 1のとき有効パワーオンリセット時に0にクリアされます。
マニュアルリセット時には変化しません。
- PPN: 物理ページ番号
物理アドレスの上位22ビット
 - 1KバイトページのときはPPN [28 : 10] が有効です。
 - 4KバイトページのときはPPN [28 : 12] が有効です。
 - 64KバイトページのときはPPN [28 : 16] が有効です。
 - 1MバイトページのときはPPN [28 : 20] が有効です。またPPNの設定においてはシノニム問題に注意してください (「3.5.5 シノニム問題の回避」参照)。
- PR: 保護キーデータ
ページのアクセス権をコードで表した2ビットデータ
 - 00: 特権モードで読み出しのみ可能。
 - 01: 特権モードで読み出し / 書き込み可能。
 - 10: 特権 / ユーザモードで読み出しのみ可能。
 - 11: 特権 / ユーザモードで読み出し / 書き込み可能。
- C: キャッシング可能ビット
ページがキャッシング可能かどうか示します。
 - 0のときキャッシング不可能。
 - 1のときキャッシング可能。制御レジスタ空間のマッピングを行う場合、このビットは0にしてください。
キャッシュイネーブルの状態でPCMCIA空間のマッピングを行う場合、このビットを0にするか、WTビットを1にしてください。
- D: ダーティビット
ページに書き込みが行われたかどうかを示します。
 - 0のとき書き込みが行われていない。
 - 1のとき書き込みが行われている。
- WT: ライトスルービット
キャッシュへの書き込みモードを指定します。
 - 0: コピーバックモード
 - 1: ライトスルーモードキャッシュイネーブルの状態でPCMCIA空間のマッピングを行う場合、このビットを1にするか、Cビットを0にしてください。

- SA : 空間属性ビット

エリア5または6に接続するPCMCIAにページをマッピングする場合にのみ有効です。

- 000:不定
- 001:可変サイズのI/O空間 (基本サイズは $\overline{IOIS16}$ 信号に従います)
- 010:8ビットI/O空間
- 011:16ビットI/O空間
- 100:8ビット共用メモリ空間
- 101:16ビット共用メモリ空間
- 110:8ビット属性メモリ空間
- 111:16ビット属性メモリ空間

- TC : タイミングコントロールビット

エリア5、6のバスコントロールユニットに用いられるウェイトコントロールレジスタを選択するために使用します。

- 0 :

WCR2 (A5W2 ~ A5W0) とPCR (A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0) を使用

- 1 :

WCR2 (A6W2 ~ A6W0) とPCR (A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0) を使用

3.4.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 3.9 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

エントリ0	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ1	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ2	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ3	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC

【注】1. D、WTビットをサポートしません。
2. PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 3.9 ITLB の構成

3.4.3 アドレス変換方式

図 3.10、図 3.11 に、UTLB、ITLB を用いたメモリアクセスのフローを示します。

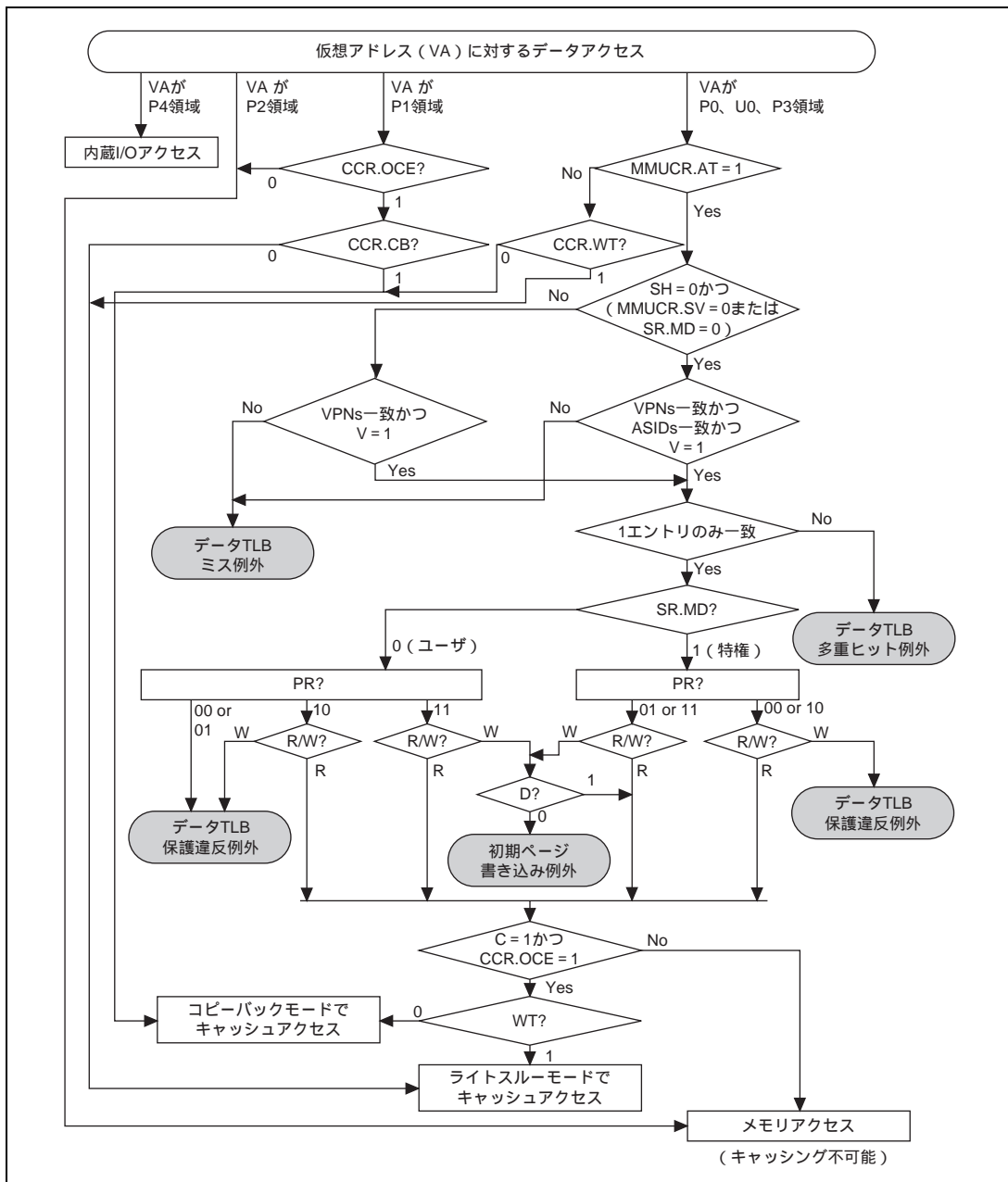


図 3.10 UTLB を用いたメモリアクセスフロー

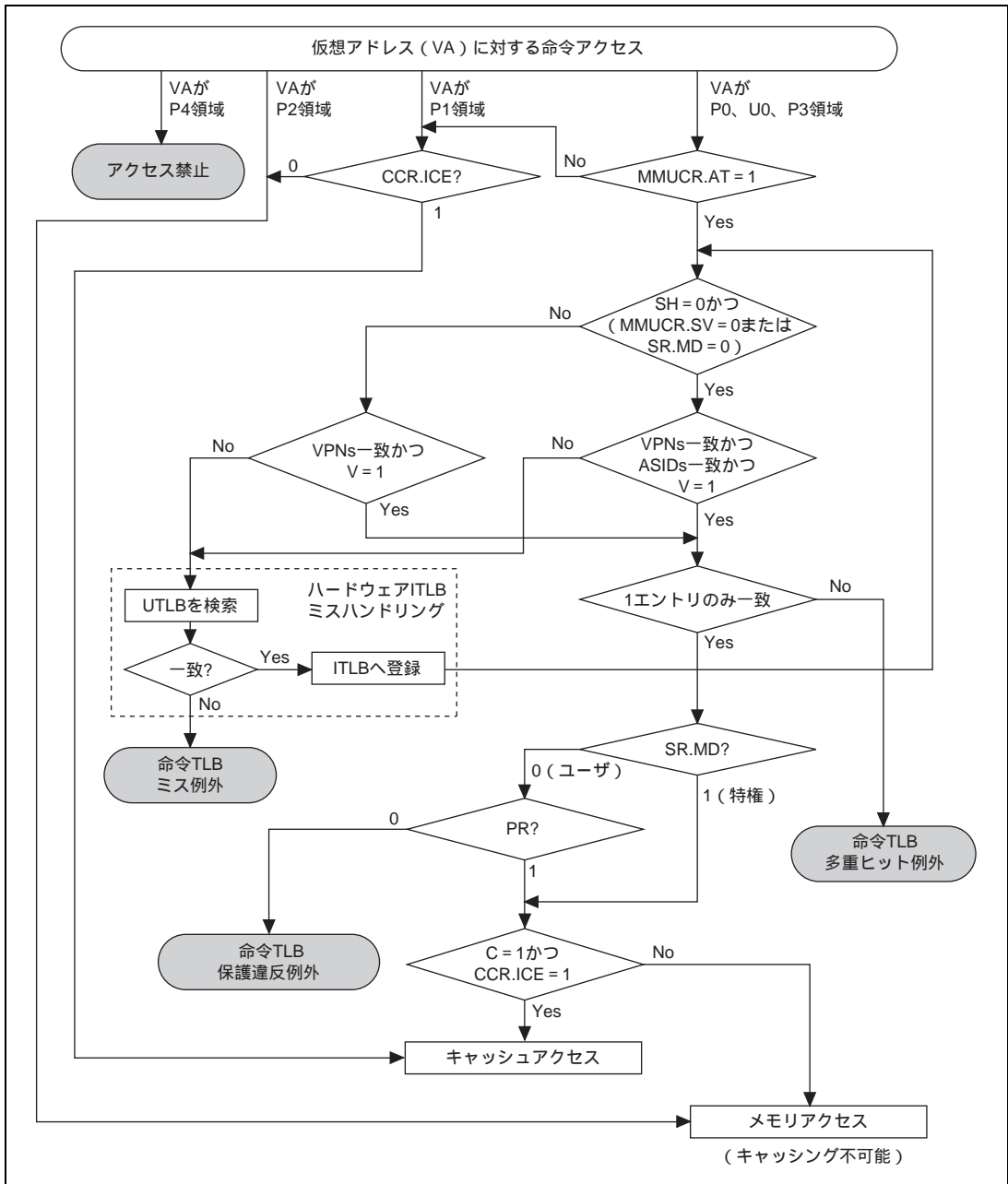


図 3.11 ITLB を用いたメモリアクセスフロー

3.5 MMU の機能

3.5.1 MMU のハードウェア管理

SH-4 がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従いUTLB/ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WT、SA、TCビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生により、ソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索し、UTLBに必要なアドレス変換情報が登録されていた場合、MMUCR.LRUIに従いITLBにそのアドレス変換情報をコピーします。

3.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB/ITLBエントリの削除と読み出しは、メモリ割り付けUTLB/ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

3.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると SH-4 は PTEH と PTEL と PTEA の内容を MMUCR.URC が指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。図 3.12 に LDTLB 命令の動作を示します。

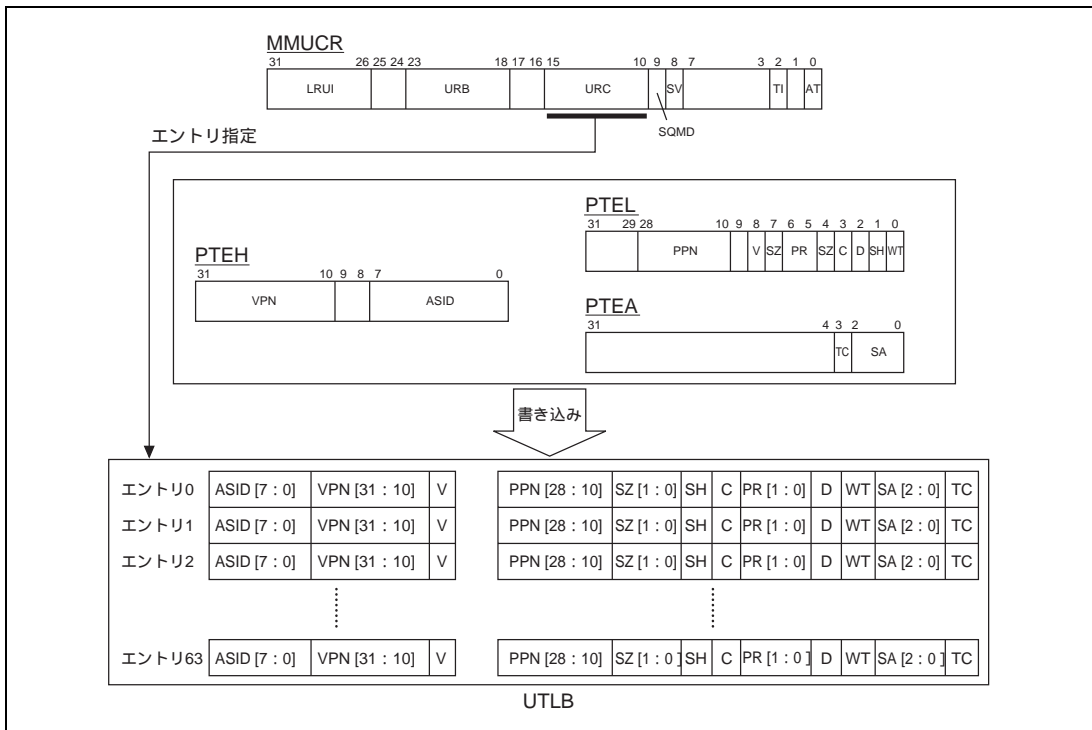


図 3.12 LDTLB 命令の動作

3.5.4 ハードウェア ITLB ミスハンドリング

SH-4 は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索して必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

3.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4 ではオペランドキャッシュの高速動作のために仮想アドレスの [13 : 5] を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの [13 : 10] が、4K バイトページでは仮想アドレスの [13 : 12] がアドレス変換の対象になります。このため変換後の物理アドレスの [13 : 10] と仮想アドレスの [13 : 10] が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [13 : 10] は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [13 : 12] は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。キャッシュインデックスモードを用いた場合、VPN [25] が VPN [13] の代わりにエントリアドレスとして使用されるため、上記制限事項は、VPN [25] に対して有効となります。

【注】 将来の SuperH RISC engine ファミリー拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN [20 : 10] を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

3.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 3.10 と図 3.11 を参照してください。

3.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合は、データ TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンスは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外の発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

3.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
- (2) 例外の発生した仮想アドレスを TEA に設定します。
- (3) 例外コード H'040 を、EXPEVT に設定します。
- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。その時の R15 を SGR に設定します。
- (6) SR の MD ビットを 1 に設定し、特権モードに切り替えます。
- (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
- (8) SR の RB ビットを 1 に設定します。
- (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。必要ならSA、TCの値をPTEAに書き込みます。
- (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (3) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をTLBに書き込みます。
- (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

3.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 例外コードH'0A0をEXPEVTに設定します。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。その時のR15をSGRに退避します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

3.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合にも、データ TLB 多重ヒット例外となります。

データ TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンシは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外の発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

3.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
- (2) 例外の発生した仮想アドレスを TEA に設定します。
- (3) 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB: 読み出し; OCBI、MOVCA.L: 書き込み)。
- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。その時の R15 を SGR に設定します。
- (6) SR の MD ビットを 1 に設定し、特権モードに切り替えます。
- (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
- (8) SR の RB ビットを 1 に設定します。
- (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。また、必要ならSAとTCの値をPTEAに書き込んでください。
- (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (3) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
- (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

3.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。その時のR15をSGRに退避します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

3.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 例外コードH'080をEXPEVTに設定します。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。その時のR15をSGRに設定します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

- (1) 外部メモリから必要なページテーブルエントリを探し出します。
- (2) 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
- (3) 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。また必要ならSAとTCの値をPTEAに書き込んでください。
- (4) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (5) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
- (6) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

3.7 メモリ割り付け TLB の構成

ITLB/UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB/UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。P2 領域以外への分岐は、この MOV 命令の 8 命令以降に行うようにしてください。ITLB/UTLB は物理アドレス空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。予約ビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

3.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の HF200 0000 ~ HF2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31 : 24] が ITLB アドレスアレイを示す HF2 になっており、[9 : 8] でエントリを選択できるようになっています。アドレス部 [1 : 0] はロングワードアクセスのため 0 を指定してください。

データ部は、[31 : 10] が VPN を、[8] が V を、[7 : 0] が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB アドレスアレイ リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

2. ITLB アドレスアレイ ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

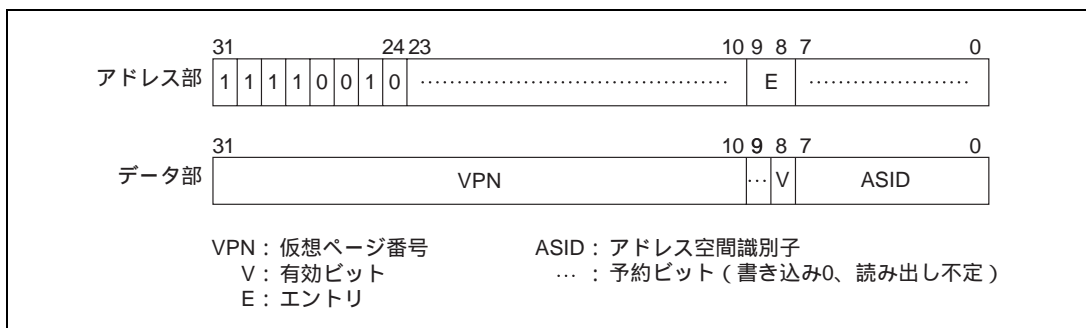


図 3.13 メモリ割り付け ITLB アドレスアレイ

3.7.2 ITLB データアレイ 1

ITLB のデータアレイ 1 は P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31 : 23] が ITLB データアレイ 1 を示す H'F30 になっており、[9 : 8] でエントリを選択するようになっています。

データ部は、[28 : 10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6] が PR を、[3] が C を、[1] が SH を示します。

ITLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

2. ITLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

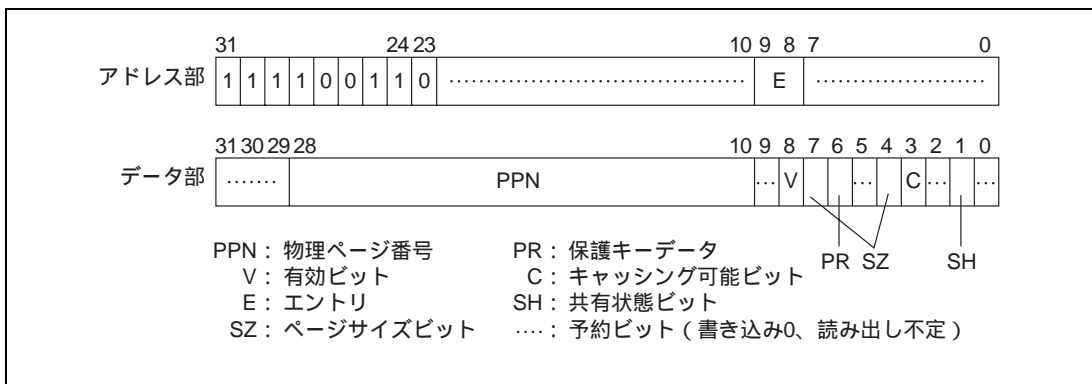


図 3.14 メモリ割り付け ITLB データアレイ 1

3.7.3 ITLB データアレイ 2

ITLB のデータアレイ 2 は P4 領域の HF380 0000 ~ HF3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31 : 23] が ITLB データアレイ 2 を示す HF38 になっており、[9 : 8] でエントリを選択するようになっています。

データ部は、[2 : 0] が SA を、[3] が TC を示します。

ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 2 リード

データ部に設定されたエントリに対応する ITLB エントリから、データ部へ SA と TC を読み出します。

2. ITLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された SA と TC を書き込みます。

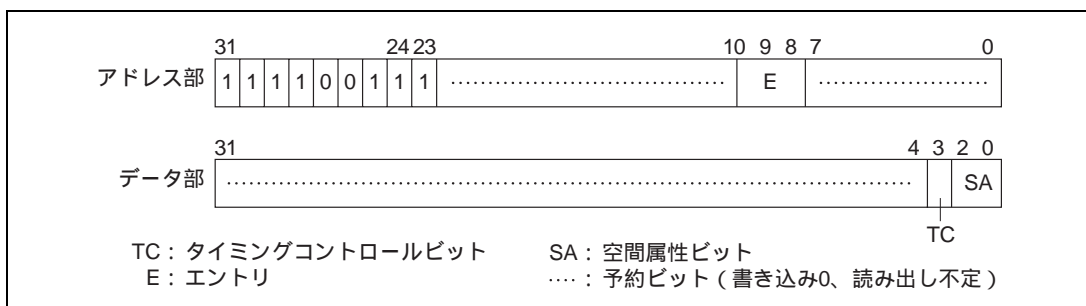


図 3.15 メモリ割り付け ITLB データアレイ 2

3.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF6FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31 : 24] が UTLB アドレスアレイを示す HF6 になっており、[13 : 8] でエントリを選択するようになっています。アドレス部 [7] の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31 : 10] が VPN を、[9] が D を、[8] が V を、[7 : 0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ ライト (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ ライト (連想あり)

アドレス部の A ビットが 1 でライトのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合は例外は発生せず ノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。一致するエントリが複数存在する場合は、データ TLB 多重ヒット例外となります。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側にのみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

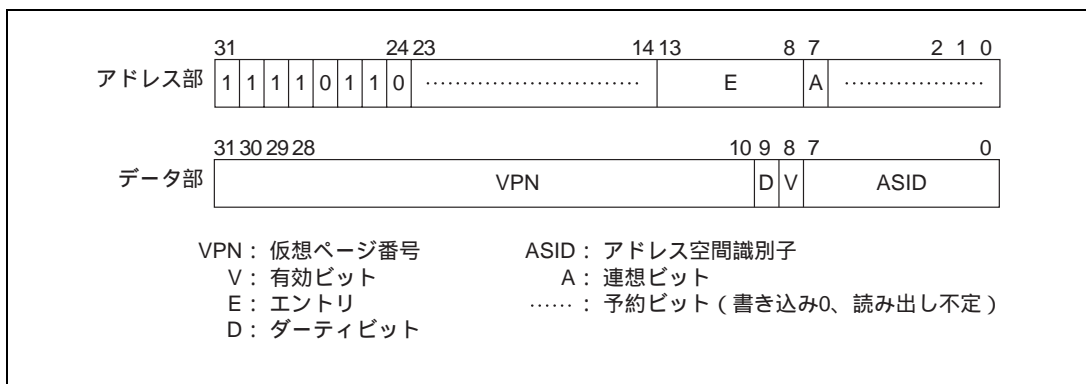


図 3.16 メモリ割り付け UTLB アドレスアレイ

3.7.5 UTLB データアレイ 1

UTLB のデータアレイ 1 は P4 領域の HF700 0000 ~ HF77F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31 : 23] が UTLB データアレイ 1 を示す HF70 になっており、[13 : 8] でエントリを選択するようになっています。

データ部は、[28 : 10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6 : 5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

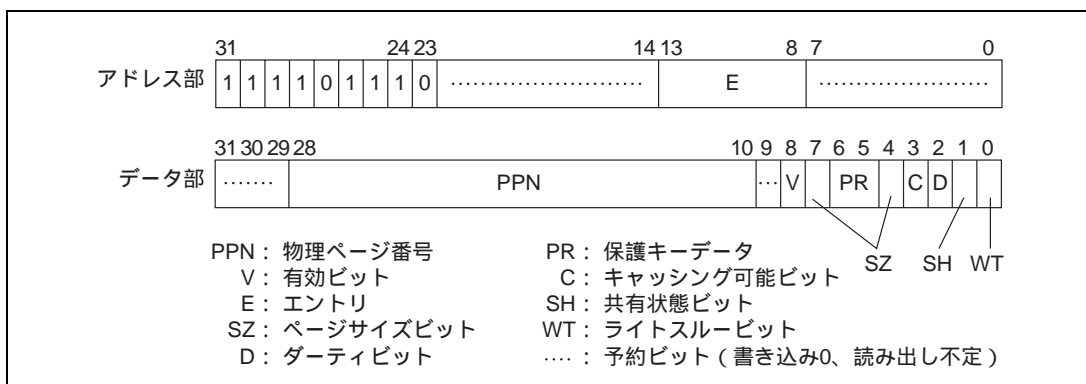


図 3.17 メモリ割り付け UTLB データアレイ 1

3.7.6 UTLB データアレイ 2

UTLB のデータアレイ 2 は P4 領域の HF780 0000 ~ HF7FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31 : 23] が UTLB データアレイ 2 を示す HF78 になっており、[13 : 8] でエントリを選択するようになっています。

データ部は、[3] が TC を、[2 : 0] が SA を示します。

UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ SA と TC を読み出します。

2. UTLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された SA と TC を書き込みます。

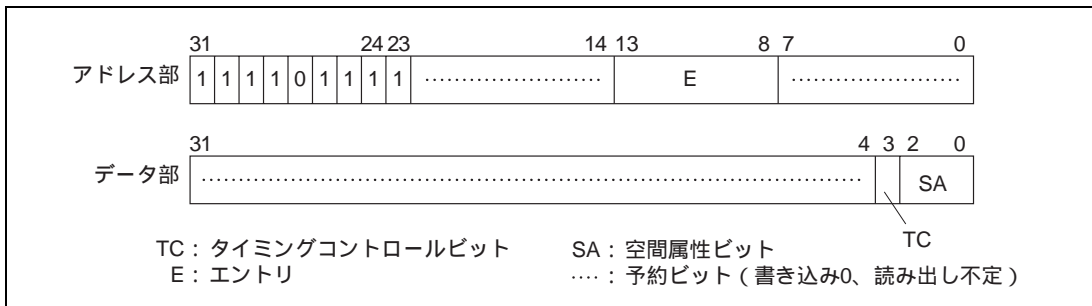


図 3.18 メモリ割り込み UTLB データアレイ 2

3.8 使用上の注意事項

1. 単一仮想記憶モード時のアドレス空間識別子 (ASID)

「3.3.7 アドレス空間識別子 (ASID)」の【注】を参照してください。

4. キャッシュ

4.1 概要

4.1.1 特長

SH7750、SH7750S は命令用に 8K バイトの命令キャッシュ (IC) を、データ用に 16K バイトのオペランドキャッシュ (OC) を内蔵しています。またオペランドキャッシュの半分のメモリ (8K バイト) を内蔵 RAM としても利用できます。SH7750、SH7750S のキャッシュの特長を表 4.1 に示します。

SH7750R は命令用に 16K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC) を内蔵しています。またオペランドキャッシュの半分のメモリ (16K バイト) を内蔵 RAM としても利用できます。SH7750R で CCR レジスタの EMODE ビットが 0 のとき、IC、OC とも SH7750、SH7750S 互換モードの設定となり、表 4.1 に示す動作となります。CCR レジスタの EMODE ビットが 1 のときのキャッシュの特長を表 4.2 に示します。なお、パワーオンリセット、マニュアルリセット後の EMODE ビットの初期値は 0 です。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 4.3 に示します。

表 4.1 キャッシュの特長 (SH7750、SH7750S)

項目	命令キャッシュ	オペランドキャッシュ
容量	8K バイトキャッシュ	16K バイトキャッシュもしくは 8K バイトキャッシュ+8K バイト RAM
方式	ダイレクトマップ	ダイレクトマップ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ	512 エントリ
ライト方式		コピーバック/ライトスルー選択可能

表 4.2 キャッシュの特長 (SH7750R)

項目	命令キャッシュ	オペランドキャッシュ
容量	16K バイトキャッシュ	32K バイトキャッシュもしくは 16K バイトキャッシュ+16K バイト RAM
方式	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	512 エントリ/ウェイ
ライト方式		コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 4.3 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU off : MMUCR.SQMD による MMU on : 個々のページ PR による

4.1.2 レジスタの構成

キャッシュ制御レジスタの構成を表 4.4 に示します。

表 4.4 レジスタの構成

名称	略称	R/W	初期値* ¹	P4 アドレス* ²	エリア7 アドレス* ²	アクセス サイズ
キャッシュ制御レジスタ	CCR	R/W	H'0000 0000	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	不定	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	不定	H'FF00 003C	H'1F00 003C	32

【注】 *1 初期値とはパワーオンリセット、マニュアルリセット後の値を示します。

*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは TLB を用いて物理アドレス空間のエリア7からアクセスする場合のものです。

4.2 レジスタの説明

キャッシュに関連するレジスタとして、キャッシュ制御レジスタ (CCR) があります。

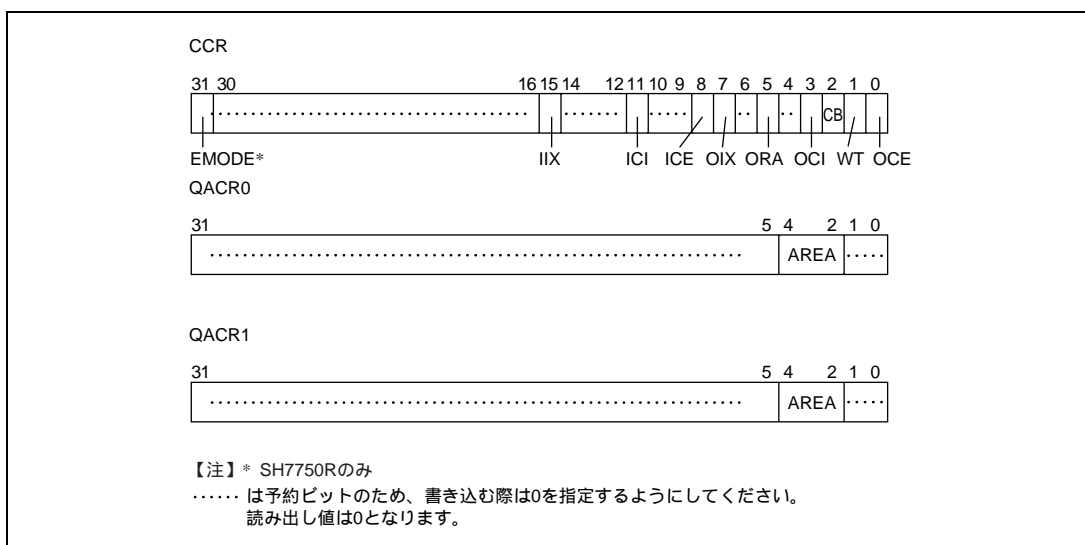


図 4.1 キャッシュ制御レジスタ (CCR)

(1) キャッシュ制御レジスタ (CCR)

CCR には以下のビットがあります。

- EMODE (SH7750Rのみ、SH7750、SH7750Sでは予約ビット) : キャッシュ倍増モード
- IIX: IC index enable
- ICI: IC Invalidation
- ICE: IC Enable
- OIX: OC index enable
- ORA: OC RAM enable
- OCI: OC Invalidation
- CB: Copy-Back enable
- WT: Write-Through enable
- OCE: OC Enable

CCR へは、P4 領域の H'FF00 001C とエリア 7 の H'1F00 001C からロングワードサイズでアクセスすることが可能です。CCR の各ビットは下記に示すようなキャッシュの設定に使われます。したがって、CCR の書き換えは非キャッシュの P2 領域のプログラムのみで行わなければなりません。CCR 更新後に、P0、P1、P3、U0 領域へのデータアクセス命令は、CCR 更新命令から 4 命令以降に配置してください。また、P0、P1、P3、U0 領域への分岐命令は、CCR 更新命令から 8 命令以降に配置してください。

- EMODE：キャッシュ倍増モードビット

SH7750Rでキャッシュ倍増モードを使用するかどうかを示します。SH7750、SH7750Sでは予約ビットです。キャッシュ使用中にEMODEビットを書き換えないでください。

- 0：SH7750、SH7750S互換モード*¹（初期値）
- 1：キャッシュ倍増モード

【注】 *¹ OCインデックスモードかつRAMモードとRAMモードでのアドレス割り付けは互換ではありません。

- IIX：ICインデックス有効ビット

- 0：実効アドレス [12 : 5] がICのエントリ選択に使われる
- 1：実効アドレス [25]、[11 : 5] がICのエントリ選択に使われる

- ICI：IC無効化ビット

このビットに1を書き込むとICの全エントリのVビットを0にします。読み出すと常に0が読めます。

- ICE：IC有効ビット

ICを使用するかどうかを示します。ただし、アドレス変換が行われる場合はページ管理情報のCビットも1でなければICを使用できません。

- 0：ICを使用しない
- 1：ICを使用する

- OIX：OCインデックス有効ビット*²

- 0：実効アドレス [13 : 5] がOCのエントリ選択に使われる
- 1：実効アドレス [25]、[12 : 5] がOCのエントリ選択に使われる

【注】 *² SH7750RでORAビットが1の場合、OIXビットは0にしてください。

- ORA：OC RAMビット*³

OCが有効(OCE = 1)のとき、OCの半分をRAMとして使用するかどうかを指定します。OCが有効でない(OCE = 0)ときは、ORAビットは0に設定してください。

- 0：ノーマルモード（OCのすべてをキャッシュとして使用）
- 1：RAMモード（OCの半分をキャッシュ、半分をRAMとして使用）

【注】 *³ SH7750RでOIXビットが1の場合、ORAビットは0にしてください。

- OCI：OC無効化ビット

このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読めます。

- CB：コピーバックビット

P1領域のキャッシュへの書き込みモードを示します。

- 0：ライトスルーモード
- 1：コピーバックモード

- WT：ライトスルービット

P0、U0、P3領域のキャッシュへの書き込みモードを示します。

ただし、アドレス変換が行われる場合はページ管理情報のWTビットの値を優先します。

- 0：コピーバックモード
- 1：ライトスルーモード

- OCE : OC有効ビット

OCを使用するかどうかを示します。ただしアドレス変換が行われる場合はページ管理情報のCビットも1でなければOCを使用できません。

- 0 : OCを使用しない
- 1 : OCを使用する

(2) キューアドレス制御レジスタ 0 (QACR0)

QACR0 へは P4 領域の H'FF00 0038 からとエリア 7 の H'1F00 0038 からロングワードサイズでアクセスすることが可能です。QACR0 は MMU がオフのとき、ストアキュー-0 (SQ0) がマップされているエリアを設定します。

(3) キューアドレス制御レジスタ 1 (QACR1)

QACR1 へは P4 領域の H'FF00 003C からとエリア 7 の H'1F00 003C からロングワードサイズでアクセスすることが可能です。QACR1 は MMU がオフのとき、ストアキュー-1 (SQ1) がマップされているエリアを設定します。

4.3 オペランドキャッシュ (OC)

4.3.1 構成

SH7750、SH7750S のオペランドキャッシュはダイレクトマッピング方式で、512本のキャッシュラインから構成され、それぞれのラインは19ビットのタグ、Vビット、Uビットおよび32バイトのデータから成ります。SH7750R のオペランドキャッシュは2ウェイセットアソシアティブ方式で、各々のウェイが512本のキャッシュラインから構成されます。

図 4.2 に SH7750、SH7750S のオペランドキャッシュの構成を示します。

図 4.3 に SH7750R のオペランドキャッシュの構成を示します。

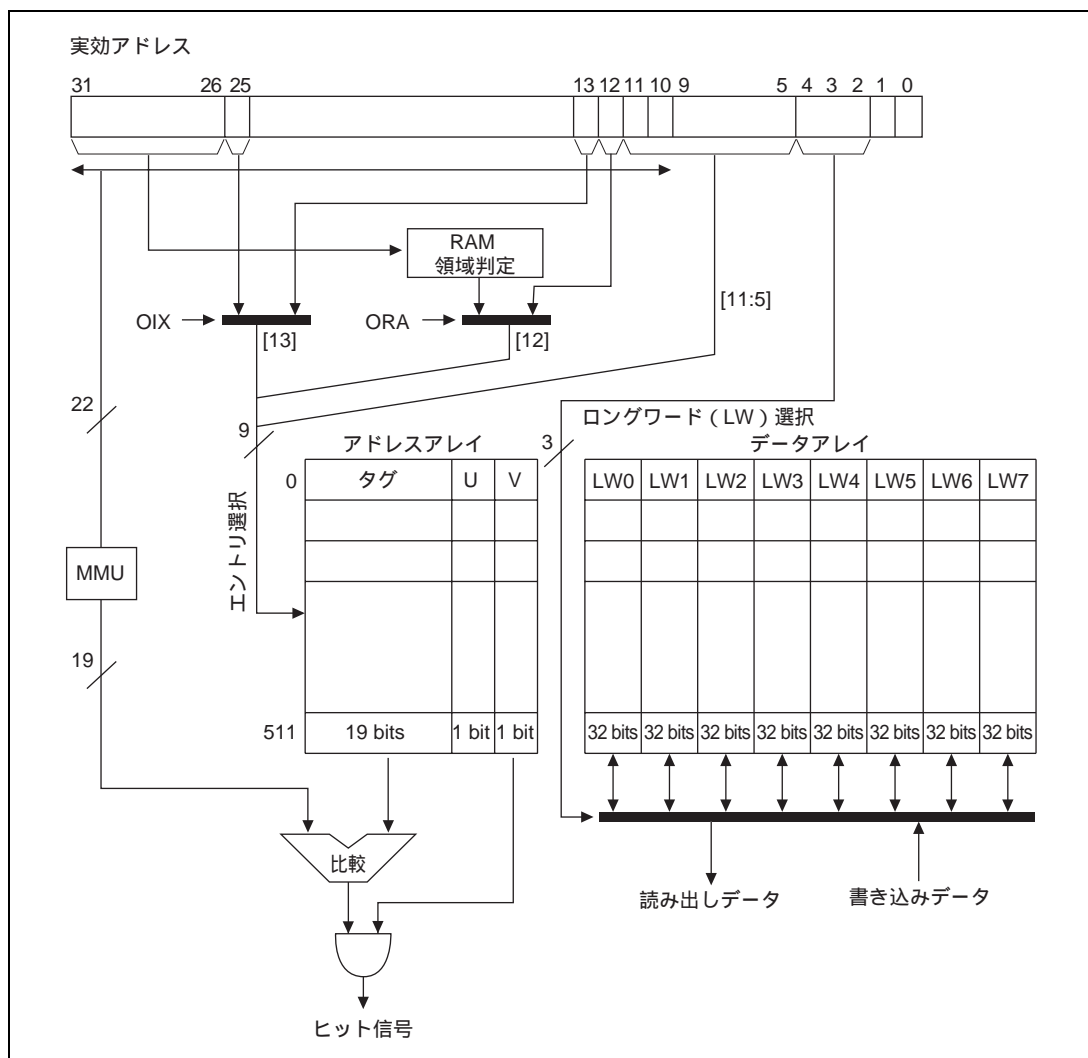


図 4.2 オペランドキャッシュの構成 (SH7750、SH7750S)

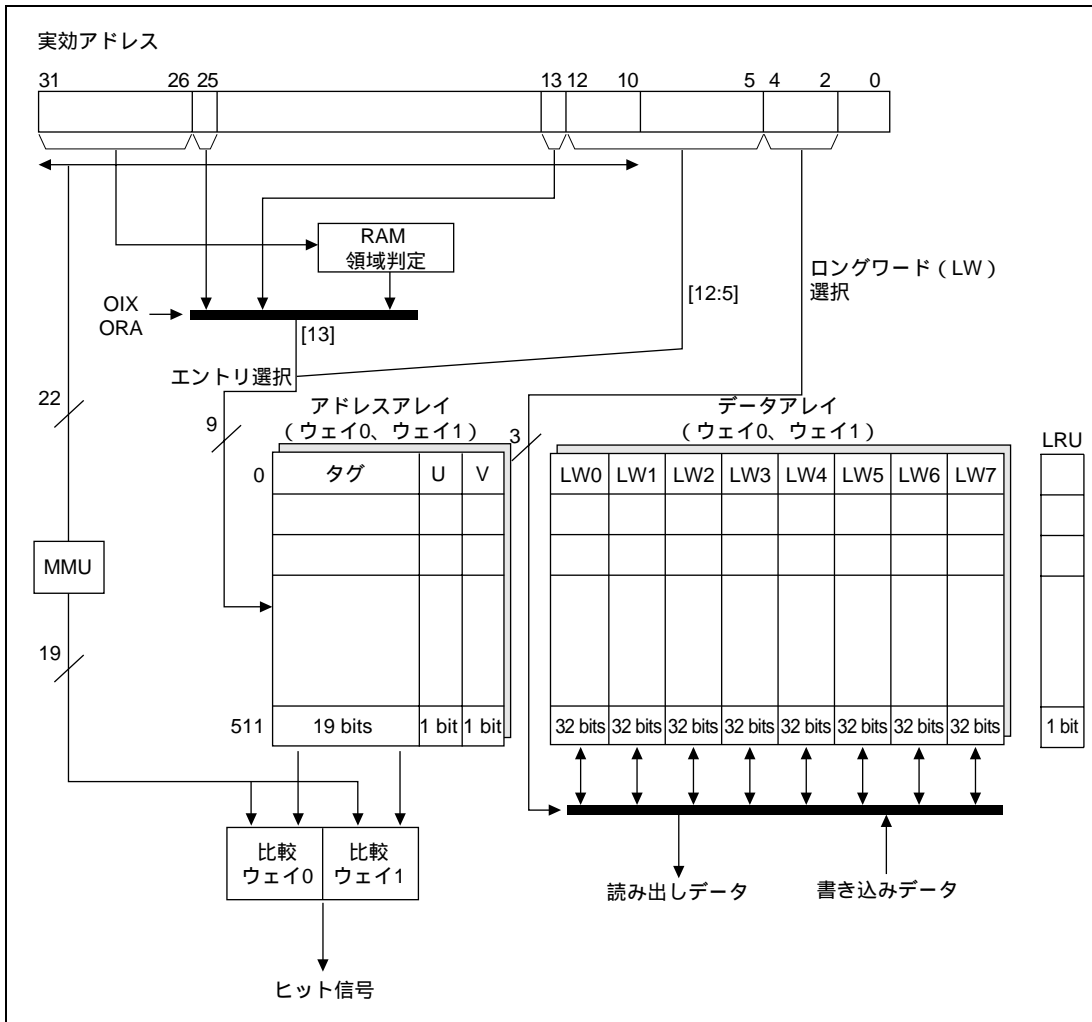


図 4.3 オペランドキャッシュの構成 (SH7750R)

(1) タグ

キャッシュされるデータラインの外部アドレス 29 ビットの上位 19 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) V ビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットで 0 に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット(ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「4.5 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト(256ビット)のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU部(SH7750Rのみ)

2ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを2つまでキャッシュに登録できます。エントリアドレスを登録するとき、2つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス1ビットから成り、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU(Least Recently Used)アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

4.3.2 リード動作

OCが有効(CCR.OCE=1)かつキャッシング可能な領域から実効アドレスによってデータを読み出す場合、キャッシュは以下のように動作します。

- (1) 実効アドレスのビット[13:5]でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。
- (2) 実効アドレスをMMUにより変換したアドレスのビット[28:10]とタグを比較し、
 - ・タグが一致かつVビットが1の場合 (3A)
 - ・タグが一致かつVビットが0の場合 (3B)
 - ・タグが不一致かつVビットが0の場合 (3B)
 - ・タグが不一致かつVビットが1かつUビットが0の場合 (3B)
 - ・タグが不一致かつVビットが1かつUビットが1の場合 (3C)

(3A) キャッシュヒット

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット[4:0]でインデックスされるデータをアクセスサイズ(クワッドワード/ロングワード/ワード/バイト)に応じて読み出します。

(3B) キャッシュミス(書き戻しなし)

実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込み

が完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

(3C) キャッシュミス (書き戻しあり)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避します。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1をUビットに0を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

4.3.3 ライト動作

OC が有効 (CCR.OCE=1) かつキャッシング可能な領域に対し実効アドレスによってデータが書き込まれる場合、キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [13:5] でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。
- (2) 実効アドレスを MMU により変換したアドレスのビット [28:10] とタグを比較し、

	コピーバック	ライトスルー
・タグが一致かつVビットが1の場合	(3A)	(3B)
・タグが一致かつVビットが0の場合	(3C)	(3D)
・タグが不一致かつVビットが0の場合	(3C)	(3D)
・タグが不一致かつVビットが1かつUビットが0の場合	(3C)	(3D)
・タグが不一致かつVビットが1かつUビットが1の場合	(3E)	(3D)

(3A) キャッシュヒット (コピーバック)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。そしてUビットに1を設定します。

(3B) キャッシュヒット (ライトスルー)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。書き込みは指定されたアクセスサイズを用いた外部メモリと対応して実行します。

(3C) キャッシュミス (コピーバック、ライトバックなし)

実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4 : 0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインヘータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。

(3D) キャッシュミス (ライトスルー)

実効アドレスに対応した外部メモリへ、設定されたアクセスサイズのライトを行います。この場合、キャッシュへのライトは行われません。

(3E) キャッシュミス (コピーバック、ライトバックあり)

実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避した後、実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインのデータ部の実効アドレスのビット [4 : 0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインヘータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

4.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

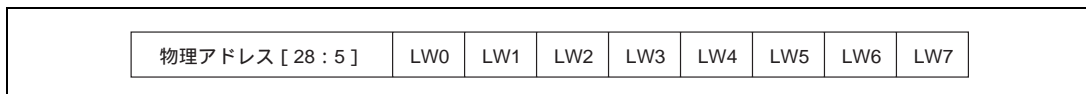


図 4.4 ライトバックバッファの構成

4.3.5 ライトスルーバッファ

本 LSI は、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための 64 ビットのバッファを内蔵しています。これにより CPU はライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

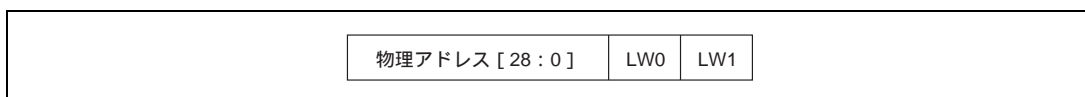


図 4.5 ライトスルーバッファの構成

4.3.6 RAM モード

CCR.ORA を 1 にセットすると、オペランドキャッシュの半分を RAM として使用することができます。RAM となるエンタリは、SH7750、SH7750S ではオペランドキャッシュのエンタリ 128 ~ 255 と 384 ~ 511 までの 8K バイトです。SH7750R の SH7750、SH7750S 互換モードでは、オペランドキャッシュのエンタリ 256 ~ 511 までの 8K バイトが RAM となります。SH7750R のキャッシュ倍増モードでは、オペランドキャッシュの各ウエイのエンタリ 256 ~ 511 までの計 16K バイトが RAM となります。それ以外のエンタリはキャッシュとして利用できます。RAM へはアドレスの H'7C00 0000 ~ H'7FFF FFFF を用いてアクセスができます。オペランドキャッシュの RAM 領域へはバイト / ワード / ロングワード / クワッドワードサイズのデータの読み出し / 書き込みが可能です。この領域に対して命令フェッチは行えません。また、SH7750R では、RAM モード使用時は OC インデックスモードは使用できません。

SH7750、SH7750S での RAM の使用例を以下に示します。ここでは OC エンタリ 128 ~ 255 の 4K バイトを RAM 領域 1 とし、OC エンタリ 384 ~ 511 までの 4K バイトを RAM 領域 2 とします。

- OC インデックスモードがオフの場合 (CCR.OIX = 0)

H'7C00 0000 ~ H'7C00 0FFF (4K バイト) : RAM 領域 1 に対応

H'7C00 1000 ~ H'7C00 1FFF (4K バイト) : RAM 領域 1 に対応

H'7C00 2000 ~ H'7C00 2FFF (4K バイト) : RAM 領域 2 に対応

H'7C00 3000 ~ H'7C00 3FFF (4K バイト) : RAM 領域 2 に対応

H'7C00 4000 ~ H'7C00 4FFF (4K バイト) : RAM 領域 1 に対応

: : :

以下 H'7FFF FFFF までの RAM 領域 1、2 が 8K バイトおきに繰り返し現れます。

このため連続した 8K バイトの RAM 領域を確保する場合、例えば、H'7C00 1000 ~ H'7C00 2FFF の領域を用います。

- OCインデックスモードがオンの場合 (CCR.OIX = 1)

H'7C00 0000 ~ H'7C00 0FFF (4Kバイト) : RAM領域1に対応
 H'7C00 1000 ~ H'7C00 1FFF (4Kバイト) : RAM領域1に対応
 H'7C00 2000 ~ H'7C00 2FFF (4Kバイト) : RAM領域1に対応
 : : :
 H'7DFF F000 ~ H'7DFF FFFF (4Kバイト) : RAM領域1に対応
 H'7E00 0000 ~ H'7E00 0FFF (4Kバイト) : RAM領域2に対応
 H'7E00 1000 ~ H'7E00 1FFF (4Kバイト) : RAM領域2に対応
 : : :
 H'7FFF F000 ~ H'7FFF FFFF (4Kバイト) : RAM領域2に対応

RAM領域1、2の区別はアドレス [25] で行われるため、連続した8KバイトのRAM領域の確保はH'7DFF F000 ~ H'7E00 0FFFの領域で行ってください。

SH7750R での RAM の使用例を以下に示します。

- SH7750、SH7750S互換モードの場合 (CCR.EMODE = 0)

H'7C000000 ~ H'7C001FFF (8Kバイト) : RAM領域 (エントリ256 ~ 511)
 H'7C002000 ~ H'7C003FFF (8Kバイト) : RAM領域 (エントリ256 ~ 511)
 : : :

以下H'7FFFFFFFまで8Kバイト単位でRAM領域のシャドウが発生します。

- キャッシュ倍増モードの場合 (CCR.EMODE = 1)

ここではOCウェイ0のエントリ256 ~ 511の8KバイトをRAM領域1とし、OCウェイ1のエントリ256 ~ 511の8KバイトをRAM領域2とします。

H'7C000000 ~ H'7C001FFF (8Kバイト) : RAM領域1に対応
 H'7C002000 ~ H'7C003FFF (8Kバイト) : RAM領域2に対応
 H'7C004000 ~ H'7C005FFF (8Kバイト) : RAM領域1に対応
 H'7C006000 ~ H'7C007FFF (8Kバイト) : RAM領域2に対応
 : : :

以下H'7FFFFFFFまで16Kバイト単位でRAM領域のシャドウが発生します。

4.3.7 OC インデックスモード

CCR.OIX を 1 にセットすると、実効アドレスの [25] を用いて OC のインデックスを実行することができます。これを OC インデックスモードと呼びます。通常モードでは CCR.OIX が 0 の状態で、実効アドレスの [13 : 5] を用いて OC のインデックスを実行します。インデックスモードを使用すると実効アドレスの [25] により OC を 2 つの領域として処理することができ、キャッシュの効率的な利用が可能です。また、SH7750R では OC インデックスモード使用時は RAM モードは使用できません。

4.3.8 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として新たに次の 4 命令をサポートしています。各命令の詳細はプログラミングマニュアルを参照してください。

- インバリデイト命令 : OCBI @Rn : キャッシュの無効化 (書き戻しなし)
- パージ命令 : OCBP @Rn : キャッシュの無効化 (書き戻しあり)
- ライトバック命令 : OCBWB @Rn : キャッシュの書き戻し
- アロケート命令 : MOVCA.L R0,@Rn : キャッシュの確保

4.3.9 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。リード動作、ライト動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておき、リード動作、ライト動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令 : PREF @Rn

4.3.10 キャッシュ倍増モードを使用する場合の注意事項 (SH7750R のみ)

キャッシュ倍増モード (CCR.EMODE=1) に設定し、オペランドキャッシュの半分を内蔵 RAM として使用する OC RAM モード (CCR.ORA=1) を使用する場合に、RAM 内のデータが不正に書き換えられることがあります。

[発生条件]

以下の 4 つの条件をすべて満たす場合、RAM に誤ったデータを書き込む場合があります。

条件 1 : キャッシュ倍増モードに設定 (CCR.EMODE=1)。

条件 2 : オペランドキャッシュの半分を RAM として使用する RAM モードに設定 (CCR.ORA=1)。

条件 3 : 例外または割り込みが発生。

[注] デバッグツールなどによる命令置換ブレイク (TRAPA 命令または未定義命令コード H'FFFD に命令を置換することで発生させるブレイク) も含みます。

条件 4 : 条件 3 の例外発生命令または割り込み受け付け命令の後続 4 ワード以内に内蔵 RAM にアクセスするアドレス (H'7C000000 ~ H'7FFFFFFF) に対するストア命令 (MOV、FMOV、AND.B、OR、B、XOR.B、MOVCA.L、STC.L、STS.L) が存在。内蔵 RAM へのストア命令自身で例外が発生する場合も含まれません。

[内容]

本現象が発生した場合、条件 4 の内蔵 RAM へのストア命令のアドレスと H'2000 だけアドレスの異なるアドレスを含む 8 バイト境界の 8 バイトのデータに誤ったデータが書き込まれます。例えば、H'7C000204 番地にロングワードをストアしようとした場合に、H'7C002200 ~ H'7C002207 番地にマッピングされる内蔵 RAM 内の 8 バイトが不正に書き換えられます。

[発生例]

例 1 TLB ミス例外発生命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'0C400000, R0	R0 は TLB ミスアドレス
MOV.L #H'7C000204, R1	R1 は内蔵 RAM アドレス
MOV.L @R0, R2	TLB ミス例外が発生
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R3, @R1	内蔵 RAM へのストア命令

例 2 割り込み受け付け命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'7C002000, R1	R1 は内蔵 RAM アドレス
MOV.L #H'12345678, R0	この命令実行後割り込みを受け付け
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R0, @R1	内蔵 RAM へのストア命令

例3 デバッグツールにより命令を置換するブレークを張った場合

元々の命令列	命令置換ブレークを張った状態	
MOV.L #H'C000000, R0	MOV.L #H'7C000000, R0	R0 に該当アドレスが入っている
ADD R0,R0	TRAPA #H'01	R0 は元々の命令列では問題のないアドレス
MOV.L R1,@R0	MOV.L R1,@R0	ADD を実行しないため内蔵 RAM へのストアアクセスが発生し、ストアはキャンセルされるが、H'7C002000 からの 2LW を誤って書き換え

[回避方法]

キャッシュ倍増モードで RAM モードを使用する場合、以下のいずれかの対策で本現象を回避できます。

回避方法 1：内蔵 RAM の 16K バイトのうち 8K バイトのみを使用してください。このときアドレス[12:0]が同一でアドレス[13]のみが異なる RAM 領域を使用しないでください。

例えば、H'7C000000 ~ H'7C001FFF または H'7C001000 ~ H'7C002FFF までの 8K バイトを使用してください。

【注】 デバッグツールなどにより命令を置換するブレークを用いる場合、ブレークを発生させる命令の後続命令が命令を置換したことによりメモリアクセスアドレスが変わってしまうため、使用しない側の 8K バイトの領域をアクセスしてしまうことがあります。この場合にも本現象が発生しますが、これは命令置換ブレークを使用するデバッグ時のみの現象です。また、命令置換を行わないブレークを使用する場合には問題ありません。

回避方法 2：内蔵 RAM へのストア命令の直前 4 命令で割り込みや例外を発生させないでください。

例えば、内蔵 RAM をロード命令でのみアクセスするデータテーブルとして使用し、テーブル作成時以外は RAM への書き込みを行わない場合、テーブル書き込み中に割り込みが発生しないように SR.BL=1 の状態で行ってください。また、テーブルへの書き込み中に TLB ミスなどの例外が発生しないようにしてください。

【注】 デバッグツールなどにより命令を置換するブレークを用いる場合にも本現象が発生することがありますが、これは命令置換ブレークを使用するデバッグ時のみの現象です。また、命令置換を行わないブレークを使用する場合には問題ありません。

4.4 命令キャッシュ (IC)

4.4.1 構成

SH7750、SH7750S の命令キャッシュはダイレクトマッピング方式で 256 本のキャッシュラインから構成され、それぞれのラインは 19 ビットのタグ、V ビット、および 32 バイトのデータ (16 命令) から成ります。SH7750R の命令キャッシュは 2 ウェイセットアソシアティブ方式で、各々のウェイが 256 本のキャッシュラインから構成されます。

図 4.6 に SH7750、SH7750S の命令キャッシュの構成を示します。

図 4.7 に SH7750R の命令キャッシュの構成を示します。

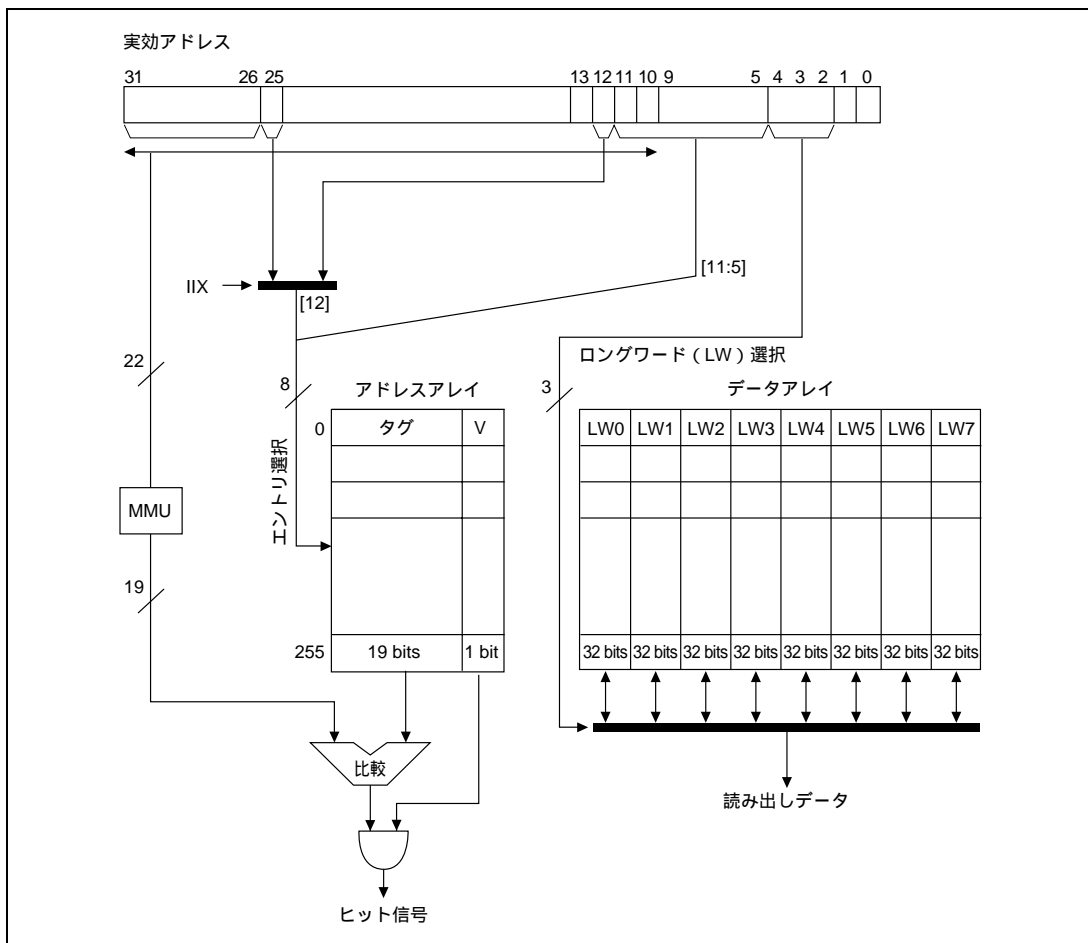


図 4.6 命令キャッシュの構成 (SH7750、SH7750S)

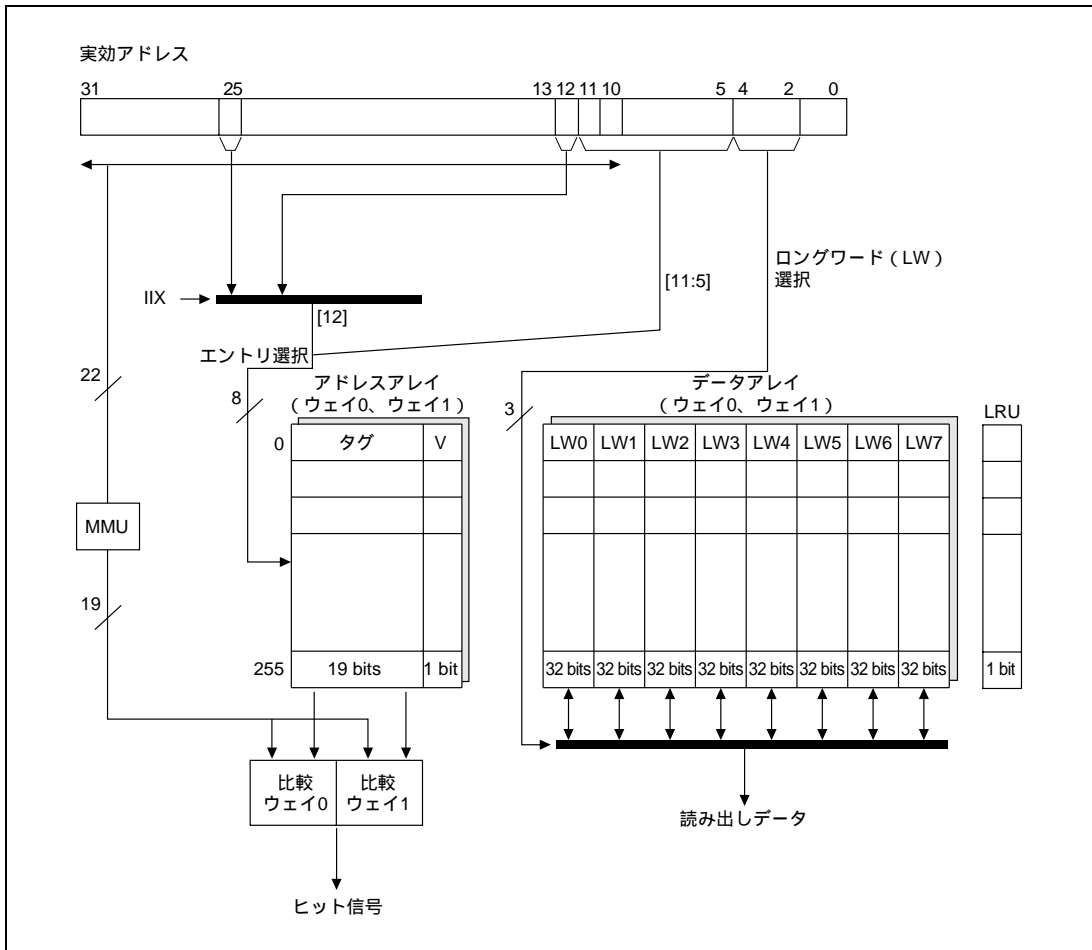


図 4.7 命令キャッシュの構成 (SH7750R)

1. タグ

キャッシュされるデータラインの外部アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

2. Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

3. データアレイ

データ部には1キャッシュラインあたり32バイト (256ビット) のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

4. LRU部 (SH7750Rのみ)

2ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを2つまでキャッシュに登録できます。エントリアドレスを登録するとき、2つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス1ビットから成り、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

4.4.2 リード動作

IC が有効 (CCR.ICE=1) かつキャッシング可能な領域から実効アドレスによって命令フェッチを行う場合、命令キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [12:5] でインデックスされるキャッシュラインからタグとVビットを読み出します。
- (2) 実効アドレスをMMUにより変換したアドレスのビット [28:10] とタグを比較し、
 - タグが一致かつVビットが1の場合 (3A)
 - タグが一致かつVビットが0の場合 (3B)
 - タグが不一致かつVビットが0の場合 (3B)
 - タグが不一致かつVビットが1の場合 (3B)

(3A) キャッシュヒット

実効アドレスのビット [12:5] でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット [4:2] でインデックスされるデータを命令として読み出します。

(3B) キャッシュミス

実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

4.4.3 IC インデックスモード

CCR.IIX を1にセットすると、実効アドレスの [25] を用いてICのインデックスを実行することができます。これをICインデックスモードと呼びます。通常モードではCCR.IIXが0の状態、実効アドレスの [12:5] を用いてICのインデックスを実行します。インデックスモードを使用すると実効アドレスの [25] によりICを2つの領域として処理することができ、キャッシュの効率的な利用が可能です。

4.5 メモリ割り付けキャッシュの構成 (SH7750、SH7750S)

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってIC、OCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、他の領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

4.5.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[12:5]でエントリを指定するようになっています。CCR.IIXはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

1. ICアドレスアレイ リード

アドレス部に設定されたエントリに対応するICエントリから、データ部へタグとVビットを読み出します。リードの場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

2. ICアドレスアレイ ライト(連想なし)

アドレス部に設定されたエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

3. ICアドレスアレイ ライト(連想あり)

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

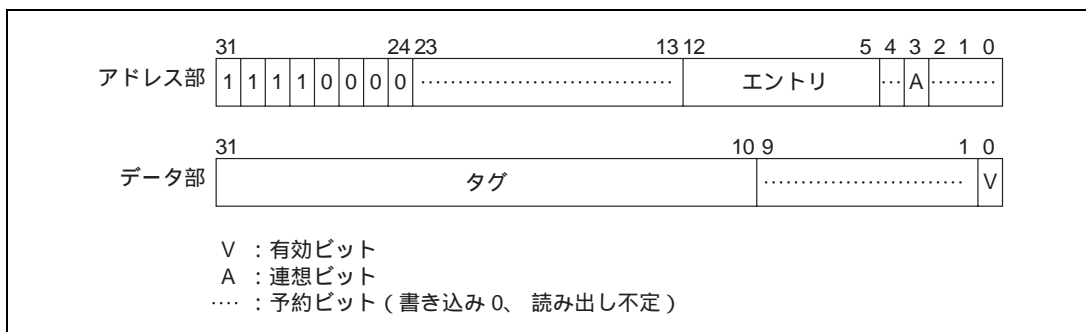


図 4.8 メモリ割り付け IC アドレスアレイ

4.5.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が IC データアレイを示す H'F1 になっており、[12 : 5] でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

1. IC データアレイ リード

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

2. IC データアレイ ライト

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

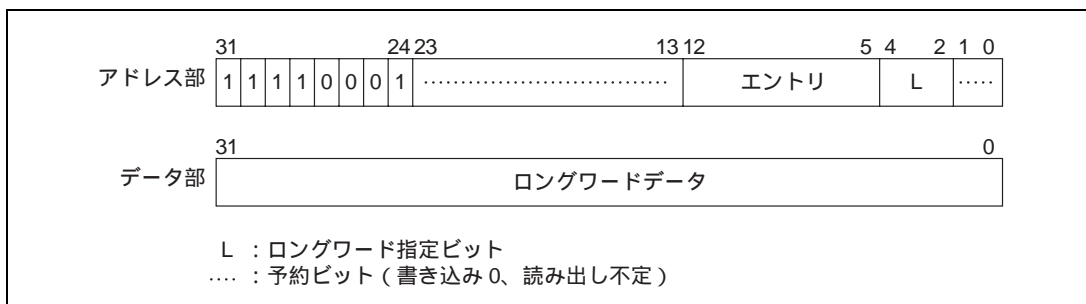


図 4.9 メモリ割り付け IC データアレイ

4.5.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の HF400 0000 ~ HF4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31 : 24] が OC アドレスアレイを示す HF4 になっており、[13 : 5] でエントリを指定するようになっています。CCR.OIX および CCR.ORA はこのエントリ指定に影響を与えません。アドレス部 [3] の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

1. OC アドレスアレイ リード

アドレス部に設定されたエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. OC アドレスアレイ ライト（連想なし）

アドレス部に設定されたエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

3. OC アドレスアレイ ライト（連想あり）

アドレス部の A ビットが 1 でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このとき MMU がイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスを UTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致し V ビットが 1 であったなら、データ部で指定した U ビットと V ビットを OC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は OC の特定のエントリの無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生します。アドレス変換の際に UTLB にミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータ TLB 多重ヒット例外が発生した場合はデータ TLB 多重ヒット例外処理ルーチンへ処理が移ります。

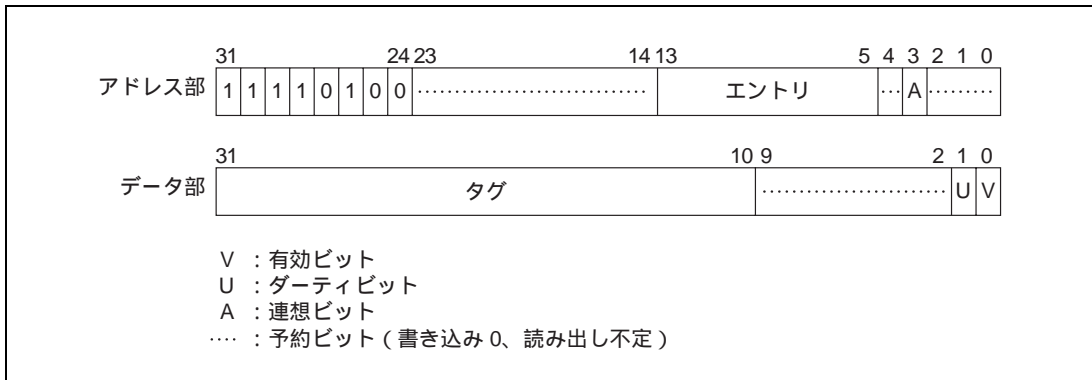


図 4.10 メモリ割り付け OC アドレスアレイ

4.5.4 OC データアレイ

OC のデータアレイは P4 領域の H'F500 0000 ~ H'F5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が OC データアレイを示す H'F5 になっており、[13 : 5] でエントリを指定するようになっています。CCR.OIX および CCR.ORA はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

1. OC データアレイ リード

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

2. OC データアレイ ライト

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

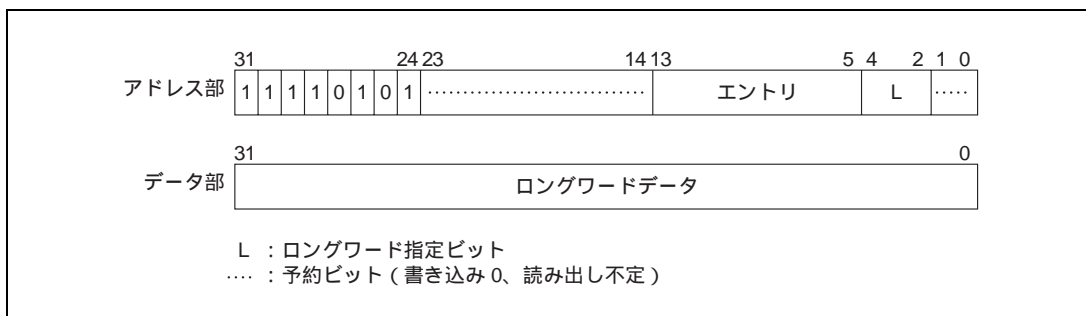


図 4.11 メモリ割り付け OC データアレイ

4.6 メモリ割り付けキャッシュの構成 (SH7750R)

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。なお、SH7750RのSH7750、SH7750S互換モードでのメモリ割り付けキャッシュの構成は、SH7750、SH7750Sのメモリ割り付けキャッシュの構成と同じです。

4.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'FFFF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[13]でウェイ、[12:5]でエントリを指定するようになっています。CCR.IIXはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

1. ICアドレスアレイ リード

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出します。リードの場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

2. ICアドレスアレイ ライト(連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

3. ICアドレスアレイ ライト(連想あり)

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット13のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定

のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

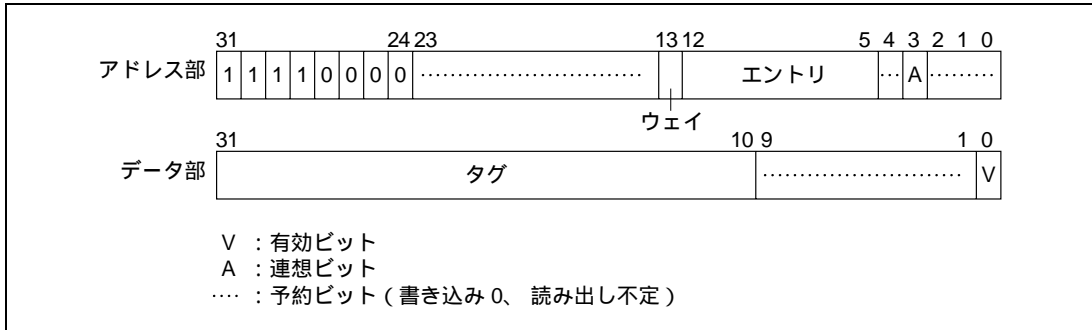


図 4.12 メモリ割り付け IC アドレスアレイ

4.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が IC データアレイを示す H'F1 になっており、[13] でウェイ、[12 : 5] でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

1. IC データアレイ リード

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

2. IC データアレイ ライト

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

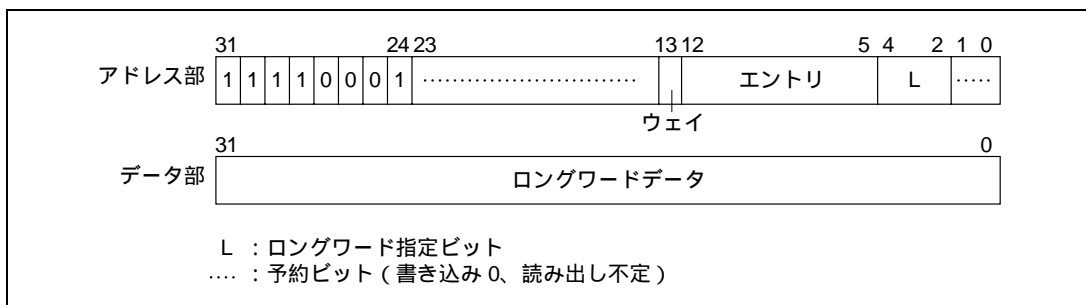


図 4.13 メモリ割り付け IC データアレイ

4.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31 : 24] が OC アドレスアレイを示す H'F4 になっており、[14] でウェイ、[13 : 5] でエントリを指定するようになっていきます。CCR.OIX はこのエントリ指定に影響を与えません。RAM モードのとき (CCR.ORA = 1) の OC アドレスアレイアクセスはキャッシュ部に対してのみ行え、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「4.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部 [3] の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

1. OC アドレスアレイ リード

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. OC アドレスアレイ ライト (連想なし)

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

3. OCアドレスアレイ ライト（連想あり）

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット14のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータTLB多重ヒット例外が発生した場合はデータTLB多重ヒット例外処理ルーチンへ処理が移ります。

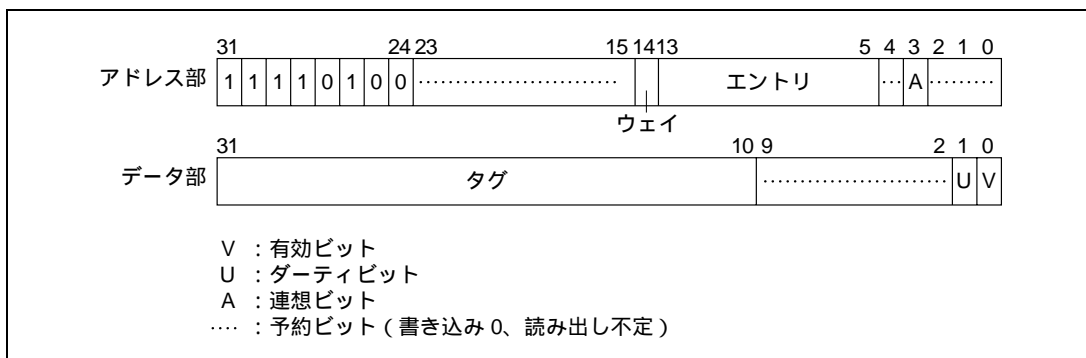


図 4.14 メモリ割り付け OC アドレスアレイ

4.6.4 OC データアレイ

OC のデータアレイは P4 領域の H'F500 0000 ~ H'F5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が OC データアレイを示す H'F5 になっており、[14] でウェイ、[13 : 5] でエントリを指定するようになっています。CCR.OIX はこのエントリ指定に影響を与えません。RAM モードのとき（CCR.ORA = 1）の OC データアレイアクセスはキャッシュ部に対してのみ行え、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「4.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

1. OCデータアレイ リード

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

2. OCデータアレイ ライト

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の0ビットは1になりません。

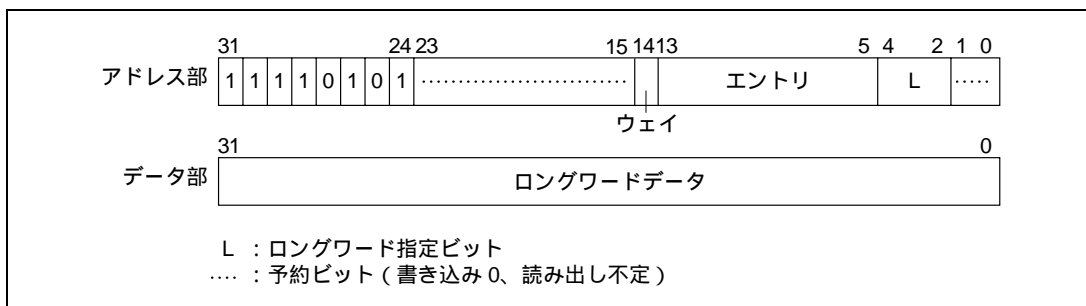


図 4.15 メモリ割り付け OC データアレイ

4.6.5 メモリ割り付け OC アドレスのまとめ

SH7750R のキャッシュ倍増モードでのメモリ割り付け OC アドレスをデータアレイアクセスを例に以下にまとめます。

- ノーマルモード (CCR.ORA = 0) の場合

H'F5000000 ~ H'F5003FFF (16Kバイト) : ウェイ0 (エントリ0 ~ 511)

H'F5004000 ~ H'F5007FFF (16Kバイト) : ウェイ1 (エントリ0 ~ 511)

以下、H'F5FFFFFFFまで32Kバイト単位でキャッシュ領域のシャドウが発生します。

- RAMモード (CCR.ORA = 1) の場合

H'F5000000 ~ H'F5001FFF (8Kバイト) : ウェイ0 (エントリ0 ~ 255)

H'F5002000 ~ H'F5003FFF (8Kバイト) : ウェイ1 (エントリ0 ~ 255)

以下、H'F5FFFFFFFまで16Kバイト単位でキャッシュ領域のシャドウが発生します。

4.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SH7750S、SH7750R では、SQ を使用しない場合、SQ の機能を停止する低消費電力モードを使用することができ、消費電力を低減させることができます。SQ の機能停止中はキューアドレス制御レジスタ (QACR0、QACR1) へのアクセスもできません。SQ の機能停止の手順は「第 9 章 低消費電力モード」を参照してください。

4.7.1 SQ の構成

SQ は図 4.16 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、1 はそれぞれ独立に設定することが可能です。

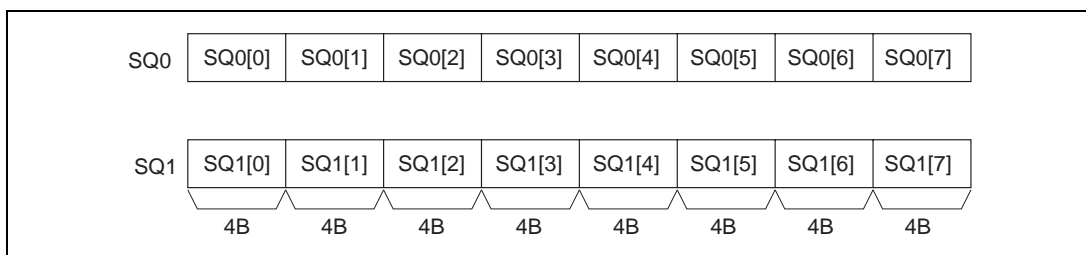


図 4.16 ストアキューの構成

4.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

4.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへのバースト転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の外部アドレス[28:0]は MMU オン / オフにより次のように指定します。

1. MMUオン (MMUCR.AT=1)

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の外部アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。SQを用いてPCMCIAインタフェースのエリアへのデータ転送はできません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い外部アドレス [28:10]を生成します。外部アドレスの[9:5]についてはMMUオフと同様にアドレス変換前のアドレスから生成します。外部アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

2. MMUオフ (MMUCR.AT=0)

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 外部アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 外部アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない外部アドレス[28:26]は、QACR0、1レジスタから生成します。

QACR0[4:2]	: SQ0に対する外部アドレス[28:26]
QACR1[4:2]	: SQ1に対する外部アドレス[28:26]

外部アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

SH7750の場合、SQを用いてPCMCIAインタフェースのエリアへのデータ転送はできません。SH7750S、SH7750Rの場合、常にPTEAのSAビット、TCビットの値を用いて、PCMCIAインタフェースのエリアへのデータ転送を行います。

4.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU オン / オフにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SH7750、SH7750S では SQ の内容は壊れることがあります。SH7750R では SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

1. MMUオンの場合

UTLBに登録されたアドレス変換情報とMMUCR.SQMDに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF 命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外、初期ページ書き込み例外が発生します。ただし、MMUCR.SQMDによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

2. MMUオフの場合

MMUCR.SQMDに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

MMUCR.SQMDが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

4.7.5 SQ からの読み出し (SH7750R のみ)

SH7750R では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF001000 ~ H'FF00103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF001000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定 1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

4.7.6 SQ 使用上の注意事項 (SH7750、SH7750S の場合)

SH7750、SH7750S では SQ への書き込み命令の前の 3 命令以内で例外が発生した場合、例外発生時に本来抑止されるべき SQ への書き込みを実行後、例外処理ルーチンに分岐する場合があります。

このため、下記 (1) や (2) のような不具合が考えられます。

(1) 通常のプログラム内で SQ のデータを外部メモリに転送する場合

SQ へのストア命令の前の 3 命令に SQ から外部メモリへ転送のための PREF 命令が含まれている場合、例外処理ルーチンへの分岐時に本来抑止されるべき SQ への書き込みが実行されるために SQ が更新されて、例外処理ルーチンから復帰後、PREF 命令と SQ へのストア命令の実行順序が逆になってしまい、誤ったデータが外部メモリに転送される場合があります。

(2) 例外処理ルーチンで SQ のデータを外部メモリに転送する場合

例外処理ルーチン内でストアキューの内容を外部メモリに転送した場合、誤ったデータが外部メモリに転送される場合があります。

(例1) SQから外部メモリへ転送のためのPREF命令後に同一SQへのストア命令を実行する場合

PREF命令 ; SQから外部メモリへの転送のためのPREF命令
 ; 例外発生時にSPCにこの命令のアドレスが退避される。
 ; 例外処理ルーチンから復帰した時点で命令1、命令2または命令3が
 ; 実行されている可能性がある。

命令1 ; SQへのストア命令の場合、実行される場合がある。

命令2 ; SQへのストア命令の場合、実行される場合がある。

命令3 ; SQへのストア命令の場合、実行される場合がある。

命令4 ; SQへのストア命令であっても、実行されない

(例2) 例外が発生する命令が分岐命令で分岐する場合

命令1 (分岐命令) ; 例外発生によりSPCにこの命令のアドレスが退避される。

命令2 ; 命令1の遅延スロットでありかつSQへのストア命令の場合、
 実行される場合がある。

命令3

命令4

命令5

命令6

命令7 (命令1の分岐先)

; SQへのストア命令の場合、実行される場合がある。

命令8 ; SQへのストア命令の場合、実行される場合がある。

(例3) 例外が発生する命令が分岐命令で分岐しない場合

命令1 (分岐命令) ; 例外発生によりSPCにこの命令のアドレスが退避される。
命令2 ; SQへのストア命令の場合、実行される場合がある。
命令3 ; SQへのストア命令の場合、実行される場合がある。
命令4 ; SQへのストア命令の場合、実行される場合がある。
命令5

この不具合を回避するには以下の A、B の両方を満たす必要があります。

A : ストアキュー (SQ0、SQ1) から外部メモリへ転送のための PREF 命令の後に同一ストアキューへのストア命令を実行する場合、下記の (1) かつ (2) を満たす必要があります。

(1) 両命令間には NOP 命令*1 を 3 個挿入してください。

(2) 分岐命令の遅延スロットに、ストアキューから外部メモリへ転送のための PREF 命令を配置しないでください。

B : 例外処理ルーチン内で、ストアキューから外部メモリへの転送のための PREF 命令を実行しないでください。実行した場合には、SPC が指す番地の命令を含む 4 命令*2 にストアキューへのストア命令が存在した場合、PREF 命令により外部メモリへ転送される内容は、そのストア命令の実行が完了した状態になっている場合があります。

【注】 *1 他命令が間にある場合、他命令と NOP を合わせて 3 命令以上あれば本不具合を回避できます。

*2 SPC が指す番地の命令が分岐命令の場合、分岐先の 2 命令も対象になります。

5. 例外処理

5.1 概要

5.1.1 特長

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。例えば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4 の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.1.2 レジスタ構成

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成 (アドレス)

名称	略称	R/W	初期値	P4 アドレス*2	エリア 7 アドレス*2	アクセスサイズ
TRAPA 例外レジスタ	TRA	R/W	不定	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'0000 0000/ H'0000 0020*1	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	不定	H'FF00 0028	H'1F00 0028	32

【注】 *1 パワーオンリセット時に H'0000 0000、マニュアルリセット時に H'0000 0020 がセットされます。

*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合のもので。

5.2 レジスタの説明

例外処理に関するレジスタは、3本あります。これらはアドレスが割り付けられており、P4アドレスまたはエリア7アドレスを指定することでアクセスできます。

1. 例外事象レジスタ (EXPEVT) は、P4アドレスH'FF00 0024番地に配置されていて、例外コード12ビットから構成されています。EXPEVTに設定される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVTはソフトウェアからも変更が可能です。
2. 割り込み事象レジスタ (INTEVT) は、P4アドレスH'FF00 0028番地に配置されていて、例外コード12ビットから構成されています。INTEVTに設定される例外コードは、割り込み要求による例外コードです。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVTはソフトウェアからも変更が可能です。
3. TRAPA例外レジスタ (TRA) は、P4アドレスH'FF00 0020番地に配置されていて、TRAPA命令の8ビットイミディエイトデータ (imm) から構成されています。TRAはTRAPA命令実行時にハードウェアにより自動的に設定されます。TRAはソフトウェアからも変更が可能です。

EXPEVT、INTEVT、TRA のビット構成を図 5.1 に示します。

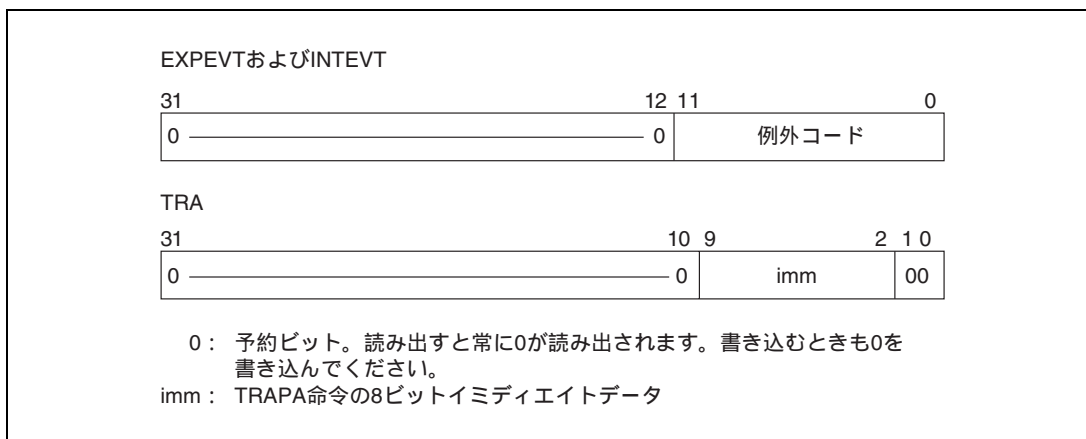


図 5.1 レジスタのビット構成

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC と SR と R15 の内容がそれぞれ SPC と SSR と SGR に退避されます。
2. SR のブロックビット (BL) が 1 に設定されます。
3. SR のモードビット (MD) が 1 に設定されます。
4. SR のレジスタバンクビット (RB) が 1 に設定されます。
5. リセット時、SR の FPU ディスエーブルビット (FD) が 0 に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または、割り込み事象レジスタ (INTEVT) のビット 11 ~ 0 に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。一般例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセットの値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。例えば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、2 重例外となり、回復が困難になりますので、ベクタアドレスは固定物理アドレス (P1、P2) を指定してください。

5.4 例外の種類と優先順位

表 5.2 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.2 例外一覧

例外区分	実行形態	例外	優先 レベル	優先 順位	ベクタベース	オフセット	例外 コード	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブレイク *1	2	0	(VBR/DBR)	H'100/ -	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
		命令実行後ユーザブレイク *1	2	10	(VBR/DBR)	H'100/ -	H'1E0	
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
外部割り込み IRL3 ~ 0			0	4	*2	(VBR)	H'600	H'200
			1					H'220
			2					H'240
			3					H'260
			4					H'280
			5					H'2A0
			6					H'2C0
			7					H'2E0
8							H'300	

例外区分	実行形態	例外		優先 レベル	優先 順位	ベクタベース	オフセット	例外 コード			
割り込み	完了型	外部割り込みIRL3-0		9	4	*2	(VBR)	H'600	H'320		
				A					H'340		
				B					H'360		
				C					H'380		
				D					H'3A0		
				E					H'3C0		
		周辺モジュール 割り込み (モジュール/ 要因)		TMU0	TUNI0	4	*2	(VBR)	H'600	H'400	
				TMU1	TUNI1					H'420	
				TMU2	TUNI2					H'440	
					TICPI2					H'460	
				TMU3	TUNI3					H'B00	
				TMU4	TUNI4					H'B80	
					RTC					ATI	H'480
										PRI	H'4A0
				CUI						H'4C0	
				SCI	ERI					H'4E0	
					RXI					H'500	
					TXI					H'520	
					TEI					H'540	
				WDT	ITI					H'560	
				REF	RCMI					H'580	
					ROVI					H'5A0	
				H-UDI	H-UDI					H'600	
				GPIO	GPIOI					H'620	
				DMAC	DMTE0					H'640	
					DMTE1					H'660	
					DMTE2					H'680	
					DMTE3					H'6A0	
					DMTE4*3					H'780	
					DMTE5*3					H'7A0	
					DMTE6*3					H'7C0	
					DMTE7*3					H'7E0	
					DMAE					H'6C0	
SCIF	ERI	H'700									
	RXI	H'720									
	BRI	H'740									
	TXI	H'760									

優先度： まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします（より小さい数値が優先度が高くなります）。

例外遷移先： リセットでは H'A000 0000、その他では（VBR+オフセット）へ制御が移ります。

例外コード： リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

IRL： 割り込み要求レベル（IRL3～0 端子）

モジュール / 要因： 各周辺モジュールの章を参照してください。

- 【注】
- *1 BRCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100
 - *2 外部割り込みおよび周辺モジュール割り込みの優先順位はソフトウェアによって設定可能です。
 - *3 SH7750R のみ

5.5 例外フロー

5.5.1 例外フロー

図 5.2 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.2 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.2 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこのほかにもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

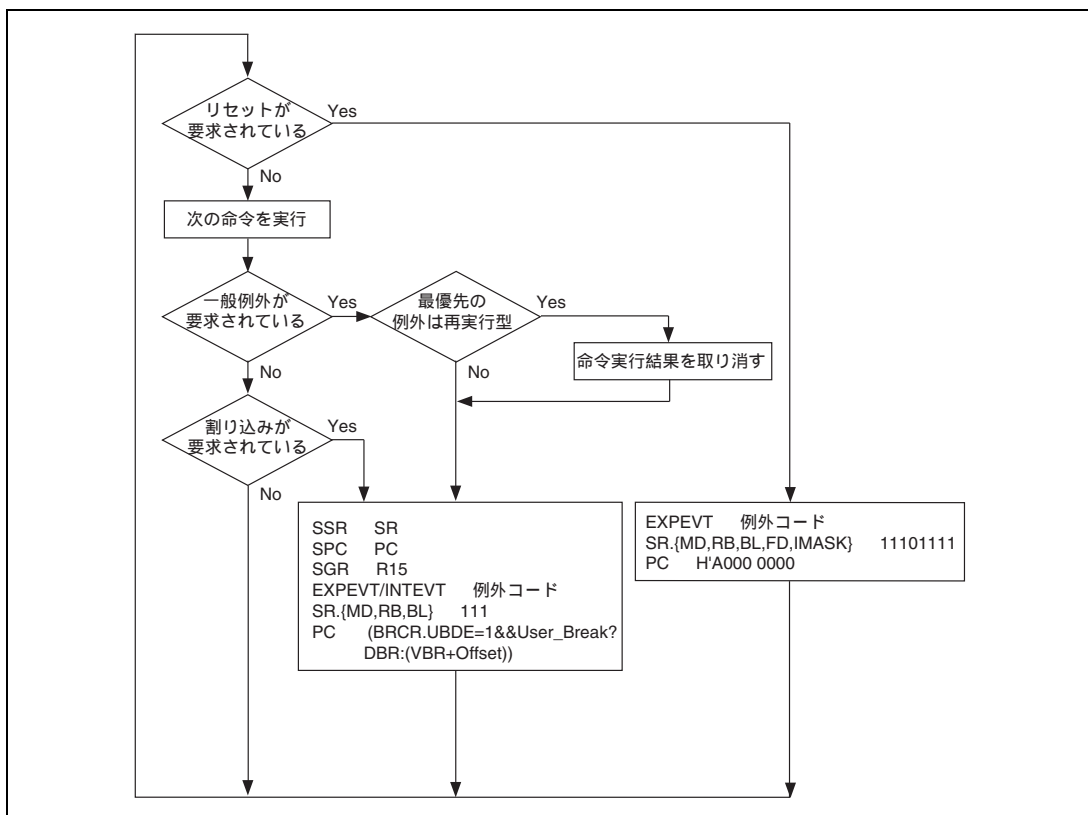


図 5.2 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 5.3 に示します。

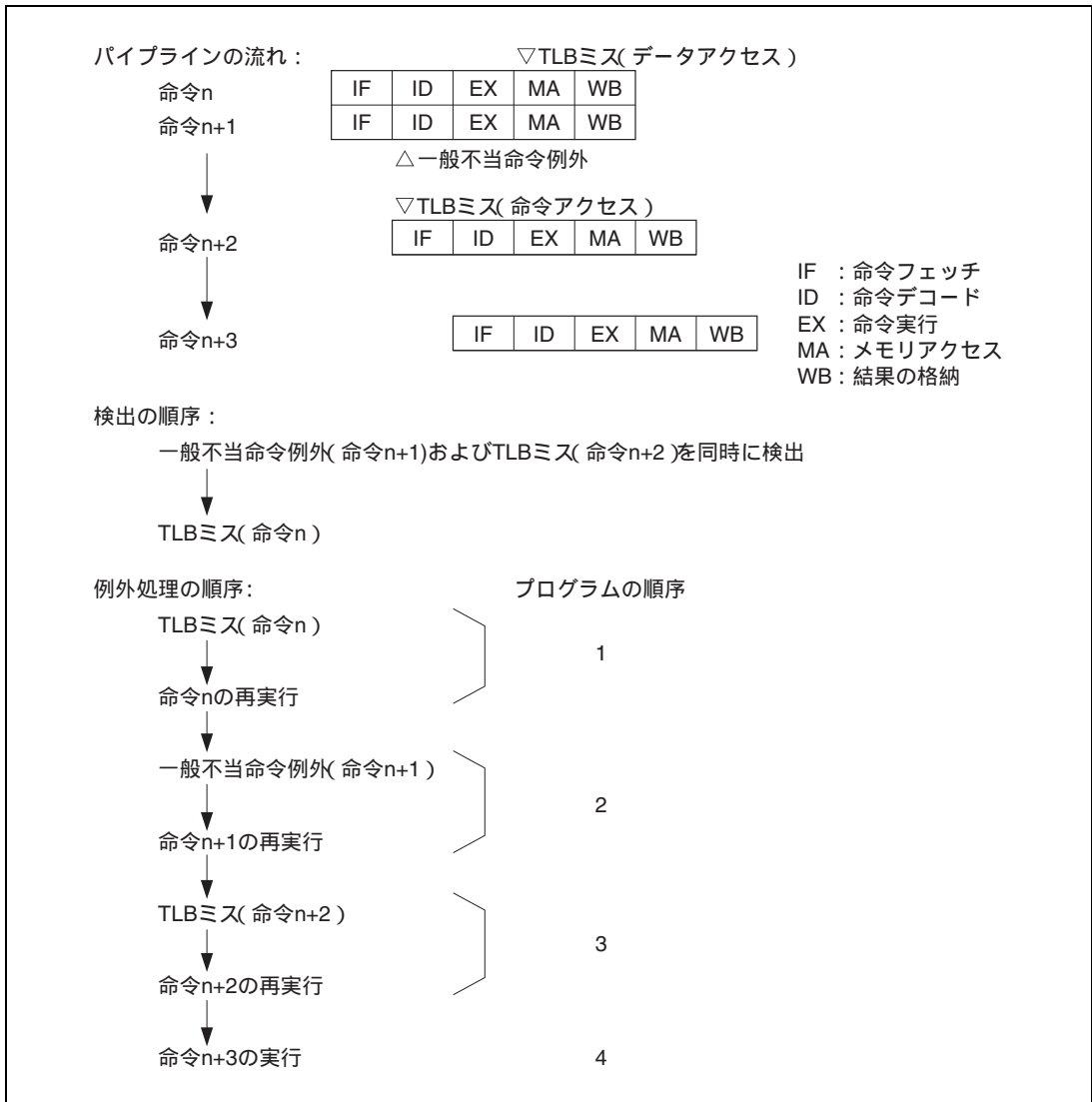


図 5.3 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、一般例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 20 章 ユーザブレイクコントローラ」を参照してください。

また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 要因
 - SCK2 端子ハイレベルおよび $\overline{\text{RESET}}$ 端子ローレベル
 - WTCSR の WT/IT ビットが 1 かつ WTCSR の RSTS ビットが 0 の状態で、ウォッチドッグタイマがオーバーフローした場合。詳細は「第 10 章 クロック発振回路」を参照してください。
- 遷移先アドレス： H'A000 0000
- 遷移時動作：

例外コード H'000 を EXPEVT にセットします。VBR、SR の初期化を行い、PC = H'A000 0000 に分岐します。

初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクビット (IMASK) が B'1111 にセットされます。

CPU および内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

また、CPU の一部の機能については、 $\overline{\text{TRST}}$ 端子ローレベルおよび $\overline{\text{RESET}}$ 端子ローレベルにする必要があります。そのため、電源投入時には必ずパワーオンリセットと、 $\overline{\text{TRST}}$ 端子をローレベルに設定してください。

$\overline{\text{RESET}}$ 端子がローレベルの期間に SCK2 端子をローレベルに遷移させた場合、パワーオンリセット状態に続いてマニュアルリセットが発生する場合があります。SCK2 端子をローレベルにしないでください (図 22.3 参照)。

```
Power_on_reset ()
{
    EXPEVT = H'00000000;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD=0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A0000000;
}
```

(2) マニュアルリセット

- 要因
 - SCK2 端子ローレベルおよび RESET 端子ローレベル
 - SR の BL ビットが 1 のときにユーザブ레이크を除く一般例外が発生した場合
 - WTCSR の WT/IT ビットが 1 かつ WTCSR の RSTS ビットが 1 のとき、ウォッチドッグタイマがオーバフローした場合。詳細は「第 10 章 クロック発振回路」を参照してください。
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット (IMASK) がB'1111にセットされます。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset()
{
    EXPEVT = H'00000020;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}
```

表 5.3 リセットの種類

種類	リセット状態への遷移条件		内部状態	
	SCK2	RESET	CPU	内蔵周辺モジュール
パワーオンリセット	ハイレベル	ローレベル	初期化	各章のレジスタ構成を参照
マニュアルリセット	ローレベル	ローレベル	初期化	

(3) H-UDI リセット

- 要因：SDIR.TI3～0がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット（IMASK）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
H-UDI_reset()
{
    EXPEVT = H'00000000;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A0000000;
}
```

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31：10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット（IMASK）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。


```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}

```

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット(IMASK)がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}

```

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31 : 10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(6) データアドレスエラー

- 要因：
 - (a) ワードデータをワード境界以外(2n+1)からアクセス
 - (b) ロングワードデータをロングワードデータ境界以外(4n+1, 4n+2, 4n+3)からアクセス
 - (c) クワッドワードをクワッドワードデータ境界以外(8n+1, 8n+2, 8n+3, 8n+4, 8n+5, 8n+6, 8n+7)からアクセス
 - (d) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス
- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット(MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;

    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

- 要因：

(a) ワード境界以外(2n+1)から命令フェッチ

(b) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

- 遷移先アドレス： VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;

    SPC = PC;
    SSR = SR;
```

```

    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(8) 無条件トラップ

- 要因：TRAPA命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：
 - 遅延スロット以外にある未定義命令をデコード
 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
 未定義命令：H'FFFD
 - 遅延スロット以外にある特権命令をユーザモードでデコード
 特権命令：LDC、STC、RTE、LDTLB、SLEEP、
 ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```
General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(10) スロット不当命令例外

- 要因：

(a) 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

(b) 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、LDC Rm,SR、LDC.L @Rm+,SR

(c) 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、ただし、LDC、STCでGBRをアクセスする命令を除く

(d) 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
```



```

    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

【注】 * FPU 命令とは命令コードの最初の 4 ビットが H'F である命令（ただし、未定義命令 H'FFFD を除く）と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC =

VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) ユーザブレイクポイントトラップ

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は「第20章 ユーザブレイクコントローラ」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (BRCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

5.6.3 割り込み

(1) NMI

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第19章 割り込みコントローラ (INTC)」を参照してください。

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000600;
}
```

(2) IRL 割り込み

- 要因：
SRの割り込みマスクビットがIRL (3-0) レベルより小さく、かつSRのBLビットが0 (命令の切れ目で受け付けます)。
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。IRL (3-0) レベルに対応したコードをINTEVTにセットします。対応コードは「表19.5 割り込み例外処理要因と優先順位」を参照してください。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。受け付けレベルをSRの割り込みマスクビットにセットしません。SRのBLビットが1のときは、マスクされます。詳細は「第19章 割り込みコントローラ (INTC)」を参照してください。

```
IRL()  
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    INTEVT = H'00000200 ~ H'000003C0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000600;  
}
```

(3) 周辺モジュール割り込み

- 要因：

SRの割り込みマスクビットが周辺モジュール（H-UDI、GPIO、DMAC、TMU、RTC、SCI、SCIF、WDT、REF）割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます。）

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。モジュール割り込みのレベルは、割り込みコントローラ内の割り込み優先レベル設定レジスタ（IRPA～IRPC）にB'0000からB'1111までの値をセットしてください。詳細は「第19章 割り込みコントローラ（INTC）」を参照してください。

```
Module_interruption()  
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    INTEVT = H'00000400 ~ H'00000B80;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000600;  
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

- (a) 1回目のデータ転送のデータアドレスエラー
- (b) 1回目のデータ転送のTLBミス
- (c) 1回目のデータ転送のTLB保護違反
- (d) 1回目のデータ転送の初期ページ書き込み例外
- (e) 2回目のデータ転送のデータアドレスエラー
- (f) 2回目のデータ転送のTLBミス
- (g) 2回目のデータ転送のTLB保護違反
- (h) 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

- (a) 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
- (b) 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
- (c) 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
- (d) 遅延スロット命令における優先レベル2の完了型例外をチェックします。
- (e) 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします
(この2つの間の優先順位はありません)。
- (f) 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします
(この2つの間の優先順位はありません)。

遅延スロット命令が2回目のデータ転送を持つ場合、(b)において、(1)のように2回チェックを行います。

なお、受け付けた例外(最も優先度が高い例外)が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作(BSR、BSRF、JSRのPC PR動作)は抑止されません。

5.7 注意事項

(1) 例外処理からの復帰

- (a) SR の BL ビットをソフトウェアでチェックしてください。メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にしてからそれらを回復してください。
- (b) RTE 命令を発行してください。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに一般例外または割り込みが発生した場合

(a) 一般例外

ユーザブレークを除く一般例外が発生した場合には、マニュアルリセットが発生します。このとき EXPEVT は、H'0000 0020 となり、SPC、SSR の各レジスタは不定値となります。

(b) 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで SR の BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SR の BL ビットが 1 であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

(a) 再実行型の一般例外

一般例外が発生した命令の PC が SPC にセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令の PC が SPC にセットされます。

(b) 完了型の一般例外、割り込み

例外が発生した命令の次の命令の PC が SPC にセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先の PC が SPC にセットされます。

- (4) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作は保証されません。

5.8 制限事項

(1) 例外処理ルーチンの第一命令における制限事項

- VBR+H'100, VBR+H'400, VBR+H'600 番地に BT, BF, BT/S, BF/S, BRA, BSR 命令を配置しないでください。
- 加えて、BRCR レジスタの UBDE ビットを 1 にして、ユーザブレイクデバッグサポート機能*を使用する場合、DBR レジスタの指す番地に BT, BF, BT/S, BF/S, BRA, BSR 命令を配置しないでください。

【注】 * 「20.4 ユーザブレイクデバッグサポート機能」を参照してください。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード : 近傍および0方向への丸め
- 2つの非正規化数処理モード : 0へのフラッシュと非正規化数の扱い
- 6つの例外要因 :

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令 :

単精度、倍精度、グラフィックサポート、システム制御

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとする FPU 抑止例外が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号
- 指数
- 小数部

FPU は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

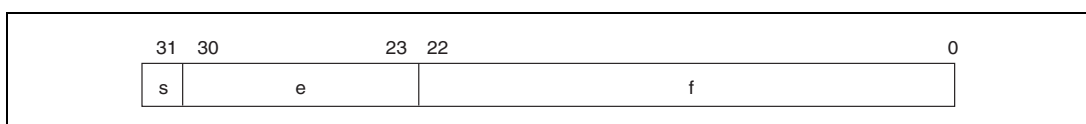


図 6.1 単精度浮動小数点フォーマット

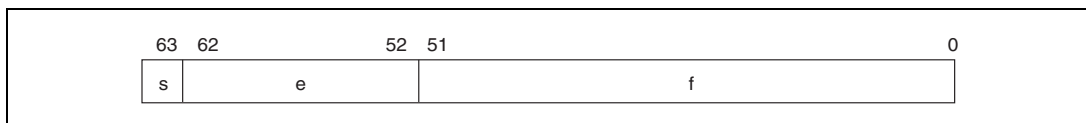


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に E_{\min} と E_{\max} の値を示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{\max}	+127	+1023
E_{\min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

E_{\min} E_{\max} の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。

$E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 6.2 に 16 進数による各数の範囲を示します。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット： Don't care
- 指数フィールド： すべてのビットが1
- 小数フィールド： 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイエット非数 (qNaN) です。

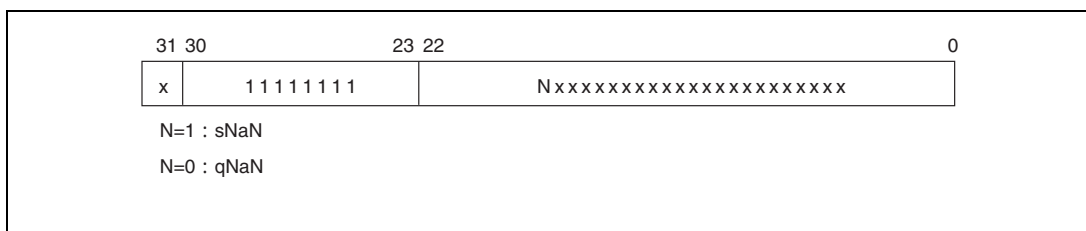


図 6.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として FPU が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが 1 の場合、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

FPSCR の DN ビットが 0 の場合、非正規化数（ソースオペランドまたは演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、または XMTRX を指定することによって参照される 32 本の 32 ビット浮動小数点レジスタがあります。

1. 浮動小数点レジスタ : FPR_i_BANK_j (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

2. 単精度浮動小数点レジスタ : FR_i (16 レジスタ)

FPSCR.FR = 0 のとき FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 を示します。

FPSCR.FR = 1 のとき FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 を示します。

3. 倍精度浮動小数点レジスタ : DR_i (8 レジスタ)

DR レジスタは 2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

4. 単精度浮動小数点ベクトルレジスタ、FV_i (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、FV12 = {FR12, FR13, FR14, FR15}

5. 単精度浮動小数点拡張レジスタ : XF_i (16 レジスタ)

FPSCR.FR = 0 のとき XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 を示します。

FPSCR.FR = 1 のとき XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 を示します。

6. 倍精度浮動小数点拡張レジスタ : XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

7. 単精度浮動小数点拡張レジスタ行列 : XMTRX

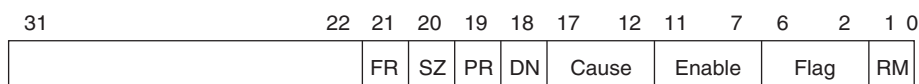
XMTRX は 16 の XF レジスタから構成されます。

XMTRX =	<table style="border-collapse: collapse; width: 100%;"> <tr> <td style="padding: 2px 10px;">XF0</td> <td style="padding: 2px 10px;">XF4</td> <td style="padding: 2px 10px;">XF8</td> <td style="padding: 2px 10px;">XF12</td> </tr> <tr> <td style="padding: 2px 10px;">XF1</td> <td style="padding: 2px 10px;">XF5</td> <td style="padding: 2px 10px;">XF9</td> <td style="padding: 2px 10px;">XF13</td> </tr> <tr> <td style="padding: 2px 10px;">XF2</td> <td style="padding: 2px 10px;">XF6</td> <td style="padding: 2px 10px;">XF10</td> <td style="padding: 2px 10px;">XF14</td> </tr> <tr> <td style="padding: 2px 10px;">XF3</td> <td style="padding: 2px 10px;">XF7</td> <td style="padding: 2px 10px;">XF11</td> <td style="padding: 2px 10px;">XF15</td> </tr> </table>	XF0	XF4	XF8	XF12	XF1	XF5	XF9	XF13	XF2	XF6	XF10	XF14	XF3	XF7	XF11	XF15
XF0	XF4	XF8	XF12														
XF1	XF5	XF9	XF13														
XF2	XF6	XF10	XF14														
XF3	XF7	XF11	XF15														

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX
		FR1	FPR1 BANK0	XF1		
FV4	DR2	FR2	FPR2 BANK0	XF2	XD2	
		FR3	FPR3 BANK0	XF3		
		FR4	FPR4 BANK0	XF4		
FV8	DR6	FR5	FPR5 BANK0	XF5	XD6	
		FR6	FPR6 BANK0	XF6		
FV8	DR8	FR7	FPR7 BANK0	XF7	XD8	
		FR8	FPR8 BANK0	XF8		
		FR9	FPR9 BANK0	XF9		
FV12	DR10	FR10	FPR10 BANK0	XF10	XD10	
		FR11	FPR11 BANK0	XF11		
		FR12	FPR12 BANK0	XF12		
FV12	DR14	FR13	FPR13 BANK0	XF13	XD14	
		FR14	FPR14 BANK0	XF14		
		FR15	FPR15 BANK0	XF15		
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0
		XF1	FPR1 BANK1	FR1		
XMTRX	XD2	XF2	FPR2 BANK1	FR2	DR2	
		XF3	FPR3 BANK1	FR3		
		XF4	FPR4 BANK1	FR4		
XMTRX	XD6	XF5	FPR5 BANK1	FR5	DR6	
		XF6	FPR6 BANK1	FR6		
XMTRX	XD8	XF7	FPR7 BANK1	FR7	DR8	FV8
		XF8	FPR8 BANK1	FR8		
		XF9	FPR9 BANK1	FR9		
XMTRX	XD10	XF10	FPR10 BANK1	FR10	DR10	
		XF11	FPR11 BANK1	FR11		
		XF12	FPR12 BANK1	FR12		
XMTRX	XD14	XF13	FPR13 BANK1	FR13	DR14	
		XF14	FPR14 BANK1	FR14		
		XF15	FPR15 BANK1	FR15		

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)



【注】：予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- 浮動小数点ユニットステータス/コントロールレジスタ、FPSCR (32ビット、初期値 = H'00040001)
 - FR：浮動小数点レジスタバンク
 - FR=0：
 - FPR0_BANK0 ~ FPR15_BANK0はFR0 ~ FR15に、FPR0_BANK1 ~ FPR15_BANK1はXF0 ~ XF15に割り当てられます。
 - FR=1：
 - FPR0_BANK0 ~ FPR15_BANK0はXF0 ~ XF15に、FPR0_BANK1 ~ FPR15_BANK1はFR0 ~ FR15に割り当てられます。
 - SZ：転送サイズモード
 - SZ=0：FMOV命令のデータサイズは32ビットです。
 - SZ=1：FMOV命令のデータサイズは32ビットペア (64ビット) です。
 - PR：精度モード
 - PR=0：
 - 浮動小数点命令を単精度演算として実行します。
 - PR=1：
 - 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。
- SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。
[SZ, PR] = 11：予約 (FPU 演算命令は未定義です)
- DN：非正規化モード
 - DN=0：非正規化数を非正規化数として扱います。
 - DN=1：非正規化数を0として扱います。
 - Cause：FPU例外要因フィールド
 - Enable：FPU例外イネーブルフィールド
 - Flag：FPU例外フラグフィールド

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネー ブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

FPU例外が発生すると、FPU例外要因フィールド / FPU例外フラグフィールドに該当するビットは1にセットされます。FPU演算命令が実行されるたびに、FPU例外要因フィールドはまず0にクリアされます。FPU例外フラグフィールドはソフトウェアによって0にクリアされるまで1の値を保持します。

- RM : 丸めモード
 - RM=00 : 近傍への丸め
 - RM=01 : 0方向への丸め
 - RM=10 : 予約
 - RM=11 : 予約
- ビット22～ビット31 : 予約

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。32 ビットの FPUL レジスタはシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。例えば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{\text{Emax}}(2^{-2^p})$ 以上であれば丸め前と同じ符号の無限となります。ここで Emax、p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止例外 / スロット FPU 抑止例外

SR.FD=1 のときに FPU 命令を実行すると発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) : FPSCR.DN=0かつ非正規化数の入力時
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) : FPSCR.DN=0かつ非正規化数の入力時
- 無効演算 (V) : FPSCR.EN.V=1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z) : FPSCR.EN.Z=1かつ除数0による除算
- オーバフロー (O) : FPSCR.EN.O=1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCR.EN.U=1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCR.EN.I=1かつ演算結果が不正確になる可能性のある命令

各可能性については「SH-4 ソフトウェアマニュアル 第 9 章」各命令の説明を参照してください (命令ごとに異なります)。FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。FPU 例外イネーブルフィールドの O、U、I および V (FTRV の場合のみ) ビットのうち一つまたは複数のビットがセットされている場合、FPSCR の FPU 例外要因フィールド中のビットが一つもセットされていないければ、実際の FPU 例外は発生しないことを示しています。また、いかなる FPU 例外処理動作によっても、ステーションレジスタは変更されません。

上記以外、すべての処理では V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
 - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
 - FPSCR.DN=0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
 - FPSCR.DN=1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

6.6 グラフィックサポート機能

FPU は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の新規命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は近似値演算です。最小のハードウェアで高速演算を可能とするため、FPU は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\begin{aligned} \text{最大誤差} = & \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1) }) + \\ & \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149}) \end{aligned}$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) 将来の SuperH™ ファミリーに関して演算誤差は保証しますが、同一の演算結果は保証しません。

(1) FIPR FVm, FVn(m, n: 0, 4, 8, 12)

この命令の用途の例を以下に示します。

- 内積 (m n) :
一般的に、この演算はポリゴン表面の表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

高速演算を可能とするため近似値演算を行うことから、FIPR 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの対応するビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、FPU は4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

高速演算を可能とするため近似値演算を行うことから、FTRV 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用の方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

ジオメトリック演算命令に加えて、FPU は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、FPU はペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n: 0, 2, 4, 6, 8, 10, 12,14)
- FMOV DRm/XDm, @Rn (m: 0, 2, 4, 6, 8, 10, 12,14, n:0~15)

これらの命令により、2つの単精度 (2×32 ビット) データを転送することができます。つまり、これらの命令の転送性能が 2 倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

【プログラミング上の注意】

FPSCR.SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できません。リトルエンディアン方式の場合、倍精度浮動小数点データをロードまたはストアするためには、FPSCR.SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。

6.7 使用上の注意

6.7.1 丸めモードとアンダフローフラグ

丸めモードが近傍への丸めを使用した場合、IEEE754 規格ではアンダフローと定義されていますが、アンダフローフラグが立たない場合があります。

丸めモードが近傍への丸めであり、かつ無限精度の演算結果 x が下記(i)または(ii)のとき (単精度)、(iii)または(iv)のとき (倍精度) では、IEEE754 規格では「丸めの後では正規化数となるが、アンダフローとなる」ケースがあります。

FPU は上記、「丸めの後では正規化数となるが、アンダフローとなる」ケースでアンダフローフラグを 1 にセットしません。なお、本ケースでも演算結果、つまり FR_n に書かれる値は正しいです。また、FPU 例外を発生させる場合、本ケースではアンダフローフラグを 1 にセットしませんが、不正確フラグは 1 にセットするので、イネーブルフィールドを 1 に設定しておくことで、FPU 例外は発生します。

- (i) $H'007FFFFFF < x < H'00800000$
- (ii) $H'807FFFFFF > x > H'80800000$
- (iii) $H'000FFFFFF FFFFFFFF < x < H'00100000 00000000$
- (iv) $H'800FFFFFF FFFFFFFF > x > H'80100000 00000000$

[発生例]

- 単精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=0 (単精度) で、FMUL 命令 ($H'00FFF000 * H'3F000800$) を実行。

- (a) IEEE754規格に準拠している場合

演算結果: $H'00800000$

FPSCR: $H'0004300C$

- (b) FPUの場合

演算結果: $H'00800000$

FPSCR: $H'00041004$

- 倍精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=1 (倍精度) で、FDIV 命令 ($H'001FFFFFF FFFFFFFF/H'40000000 00000000$) を実行。

- (a) IEEE754規格に準拠している場合

演算結果: $H'00100000 00000000$

FPSCR: $H'000C300C$

- (b) FPUの場合

演算結果: $H'00100000 00000000$

FPSCR: $H'000C1004$

[対応策]

- (1) FPSCR.RM=01 すなわち、近傍への丸めモードではなく、0 方向への丸めモードを用いることで対応できます。
- (2) FPSCR.RM=00 すなわち、近傍への丸めモードを用いる場合、アンダフローが発生したかどうかを確認するには、イネーブルフィールドに 1 を立てて不正確例外を発生させ、例外処理ルーチンにてアンダフローが否かを判定します。

6.7.2 FIPR/FTRV 命令によるオーバフローフラグについて

FIPR/FTRV 命令にて最大誤差が正規化数で表現できる最大数 (H'7F7FFFFF) より大きい時、演算結果が正もしくは負の零 (H'00000000 もしくは H'80000000) にかかわらず、オーバフローフラグが立つ可能性があります。

[発生例]

下記レジスタ値を入力とする FIPR FV4,FV0 命令実行後の演算結果 (FR7) が H'00000000 (正の零) にかかわらず、オーバフローフラグが立つ場合があります。

```
FPSCR = H'00040001
```

```
FR0 = H'FF7EF631, FR1 = H80000000, FR2 = H'8087F451, FR3 = H'7F7EF631
```

```
FR4 = H'7F7EF631, FR5 = H'0087F451, FR6 = H'7F7EF631, FR7 = H'7F7EF631
```

[対応策]

FIPR および FTRV 命令を使用せず、FADD、FMUL、FMAC 命令を用いて演算する。

6.7.3 FIPR/FTRV 命令による演算結果の符合

FIPR 命令/FTRV 命令で演算に使用されるデータの 2 つ以上が無限大であり、乗算した結果の中にある無限大となる項がすべて同符号である場合、演算結果の符号を誤る可能性があります。

[対応策]

- (1) 無限大を扱わない。ここで下記 (a) ~ (c) 条件がすべて成り立つとき、無限大が扱われることはありません。
 - (a) 丸めモードとして 0 方向への丸め (FPSCR.RM=01) を使用する。
 - (b) 0 による除算を行わない。
 - (c) FR0-FR15, XF0-XF15 に正または負の無限大を転送しない。
- (2) FIPR および FTRV 命令を使用せず、FADD、FMUL、FMAC 命令にて演算する。

6.7.4 倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項

[現象]

倍精度の FADD 命令もしくは倍精度の FSUB 命令の入力データが以下の条件をすべて満たす場合、演算結果が不正確であるにもかかわらず不正確ビット (FPSCR.Flag.I、FPSCR.Cause.I) をセットしない場合があります。

条件 1 : 演算命令が倍精度の FADD 命令もしくは倍精度の FSUB 命令

条件 2 : DRn と DRm の指数差が 43 以上かつ 51 未満

条件 3 : DRn と DRm の絶対値の小さい方の仮数部のビット 31 からビット 24 の少なくとも 1 ビットは 1

条件 4 : DRn と DRm の絶対値の小さい方の仮数部のビット 23 からビット 0 がすべて 0

条件 5 : DRn と DRm の絶対値の小さい方の仮数部のビット 40 からビット 32 がすべて 0

さらに本演算の結果、丸めを間違っ場合があります。具体的には、丸めによって丸め前の値より小さい側の最も近い表現可能な数を選択すべきときに、丸め前の値より大きい側の最も近い表現可能な数を選択します。もしくは、丸めによって丸め前の値より大きい側の最も近い表現可能な数を選択すべきときに、丸め前の値より小さい側の最も近い表現可能な数を選択します。

[発生例]

倍精度の FSUB 命令 (FSUB DR0, DR2) において、

(入力データ) DR0 = H'C1F00000 80000000、DR2 = H'C4B250D2 0CC1FB74、FPSCR = H'000C0001

の場合、

(正しい演算結果) DR2 = H'C4B250D2 0CC1F973

となり FPSCR.Flag.I と FPSCR.Cause.I に 1 がセットされなければいけません、実際は

(FPU の演算結果) DR2 = H'C4B250D2 0CC1F974

となり、FPSCR.Flag.I と FPSCR.Cause.I に 1 はセットされません。

[影響度]

本演算結果の数値的大きさは、以上の現象の説明に加え、丸める前の仮数に、仮数の LSB の桁の値の (1/256) の微小な演算誤差を発生し、その後丸める機構で説明できる範囲内に限られます。より厳密には次のようになります。

無限精度の演算結果を	a
値 a より小さい側の最も近い表現可能な数を	b
値 a より大きい側の最も近い表現可能な数を	c
値 a に対する、正しく丸めた場合の丸め後の演算結果を	d
値 a に対する、FPU の演算結果を	e

とするとき、

- 近傍への丸めモードのとき

正しく丸めた場合の丸め誤差の大きさは

$$0 \leq |d - a| \leq (1/2) \times (c-b),$$

ですが、FPUの場合、

$$0 \leq |e - a| < (129/256) \times (c-b),$$

となります ((c - b) を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの (1/256) 分大きくなります)。

- ゼロへの丸めモードのとき

正しく丸めた場合の丸め誤差は

$$(-1) \times (c-b) < |d| - |a| \leq 0$$

ですが、FPUの場合、

$$(-1) \times (c-b) < |e| - |a| < (1/256) \times (c-b)$$

となります ((c - b) を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの (1/256) 分大きくなります)。

6.7.5 FPU 倍精度演算命令使用上の注意 (SH7750 のみ)

倍精度 FDIV、FADD、FSUB、FMUL で非正規化数を入力とし、非正規化数を扱うモードにおいて演算結果が不正となる場合があります。

倍精度浮動小数点命令を使用し、非正規化数を扱う場合に限られます。倍精度浮動小数点命令を使用するが、非正規化数を 0 として扱う場合、あるいは単精度浮動小数点命令しか使用しない場合は対象外です。

[発生例]

現象は 2 種類あり、非正規化数入力時に結果を誤るケース (a、b)、非正規化数と qNaN 入力時に結果を誤るケース (c) があります。

- (a) 倍精度 FDIV で、非正規化数を入力すると結果が誤って 0 または無限大となる場合があります。
- (b) 倍精度 FMUL で、非正規化数を入力すると結果が誤って無限大となる場合があります。
- (c) 倍精度 FDIV、FADD、FSUB、FMUL で、非正規化数と qNaN を入力すると誤って FPU 例外が発生して、結果が不正となる場合があります。

[影響度]

影響度が大きい現象として、倍精度 FDIV、FMUL で非正規化数入力時に誤った値をレジスタに書き込む場合 (a、b) があります。特に、非正規化数 / 非正規化数 = 0、非正規化数 / 0 = 0 は数学的に不適当な値となります。

[対応策]

通常は (1)、非正規化数での厳密解を必要とする場合は (2) で対策してください。

- (1) 倍精度浮動小数点命令は、FPSCR.DN = 1 すなわち非正規化数を 0 として扱うモードで使用します。

本対策による性能低下はありません。

- (2) 非正規化数入力時に結果を誤るケース (a、b) は、ソフトウェアにより回避してください。詳細は、[ソフトウェアの変更] を参照してください。

- (i) ソースかつデスティネーションとなるレジスタ (DR_n) を退避。
- (ii) 倍精度 FDIV で結果が 0 または無限大の場合、ユーザ定義の非正規化数処理用関数をコールする。

非正規化数と qNaN 入力時に結果を誤るケース (c) は、FPU 例外処理ルーチンにより回避してください。詳細は、[FPU 例外処理ルーチンの変更] を参照してください。

- (i) 倍精度 FDIV、FADD、FSUB、FMUL で一方の入力が非正規化数で他方の入力が qNaN の場合、トラップルーチンで qNaN (H'7FF7FFFF_FFFFFFFF) がデスティネーションレジスタに書かれる。

[詳細]

[1. 定義]

不良となるデータパターンを定義します。表中の (A) ~ (D) は下記データパターンに該当します。

倍精度非正規化数 (A)

H'00000000_XXXXXXXX または H'80000000_XXXXXXXX (X : 0 or 1)

ただし、H'XXXXXXXX! = H'00000000

倍精度非正規化数 (B)

H'000YYYYY_XXXXXXXX または H'800YYYYY_XXXXXXXX (X : 0 or 1)

ただし、H'YYYYY! = H'00000

倍精度 qNaN (C)

H'7FF00000_XXXXXXXXX または H'FFF00000_XXXXXXXXX (X : 0 or 1)

ただし、H'XXXXXXXX! = H'00000000

倍精度 qNaN (D) *定義どおり

H'7FFXXXXX_XXXXXXXXX または H'FFFXXXXX_XXXXXXXXX (X : 0 or 1)

ただし、H'XXXXXX_XXXXXXXX! = H'00000_00000000

[2. 不正な演算結果]

FPSCR.DN = 0 (非正規化数をそのまま扱うモード)において、不正な演算結果となる命令およびデータの組み合わせを表 6.3 に示します。

入力の (A) ~ (C) は [1. 定義] で定義されたデータパタン、NG type の (1) ~ (7) は表 6.4 ~ 表 6.6 の不正な演算結果をタイプ別に分類してあります。

(1)、(2)、(3)、(7) は不正な演算結果で 0 または無限大となります。

(4)、(5)、(6) は FPU エラーの例外トラップが発生し、qNaN を出力しません。

現象 (a) は表 6.3 の (1)、(2)、(3) に、(b) は (7) に、(c) は (4)、(5)、(6) に相当します。

表 6.3 不正な演算結果

NG type	命令	入力		FPU 演算結果	期待値
		DRm	DRn		
(1)	FDIV	+ 0/ - 0	(A) DENORM	+ 0/ - 0	DZ
(2)	FDIV	(A) DENORM	+ 0/ - 0	+ 0/ - 0	FPU エラー
		(A) DENORM	(A) DENORM		
(3)	FDIV	(A) DENORM	+ INF/ - INF	+ INF/ - INF	FPU エラー
(4)	FDIV	(C) qNaN	(A) DENORM	FPU エラー	qNaN*
		(C) qNaN	(B) DENORM		
		(B) DENORM	(C) qNaN		
(5)	FADD/FSUB	(C) qNaN	DENORM	FPU エラー	qNaN*
		DENORM	(C) qNaN		
(6)	FMUL	(C) qNaN	(B) DENORM	FPU エラー	qNaN*
		(B) DENORM	(C) qNaN		
(7)	FMUL	(A) DENORM	+ INF/ - INF	+ INF/ - INF	FPU エラー
		+ INF/ - INF	(A) DENORM		

【注】 * qNaN : H'7FF7FFFF_FFFFFFFF

FPSCR.DN = 1 (非正規化数を 0 として扱うモード) の場合はすべて正常に動作します。

倍精度 FDIV、FADD、FSUB、FMUL 命令での特殊ケースをまとめます。



点箱部は正常に動作します。



白箱部は FPU が出力する値であり、不正な演算結果となります。

表 6.4 FDIV DRm, DRn (DRn/DRm DRn)

DRm \ DRn	NORM	+ 0	- 0	+ INF	- INF	(A) positive DENORM	(A) negative DENORM	(B) DENORM	(C) qNaN	(D) qNaN	sNaN	
NORM	DIV	0		INF		Error					qNaN	Invalid
+ 0	DZ	Invalid		+ INF	INF	+ 0 (1)	- 0 (1)	DZ				
- 0				INF	+ INF	- 0 (1)	+ 0 (1)					
+ INF	0	+ 0	- 0	Invalid		Error						
- INF		- 0	+ 0									
(A) positive DENORM		+ 0 (2)	- 0 (2)	(3) + INF	(3) - INF	+ 0 (2)	- 0 (2)					
(A) negative DENORM		- 0 (2)	+ 0 (2)	(3) - INF	(3) + INF	- 0 (2)	+ 0 (2)					
(B) DENORM									Error (4)			
(C) qNaN						Error (4)						
(D) qNaN												
sNaN												

表 6.5 FADD DRm, DRn (DRn + DRm DRn) FSUB DRm, DRn (DRn - DRm DRn)

DRm \ DRn	NORM	+ 0	- 0	+ INF	- INF	(A) positive DENORM	(A) negative DENORM	(B) DENORM	(C) qNaN	(D) qNaN	sNaN	
NORM	ADD			+ INF	- INF	Error					qNaN	Invalid
+ 0		+ 0										
- 0			- 0									
+ INF	-			Invalid								
- INF	INF			Invalid	- INF							
(A) positive DENORM									Error (5)			
(A) negative DENORM												
(B) DENORM												
(C) qNaN						Error (5)						
(D) qNaN												
sNaN												

表 6.6 FMUL DRm, DRn (DRn*DRm DRn)

DRm \ DRn	NORM	+ 0	- 0	+ INF	- INF	(A) positive DENORM	(A) negative DENORM	(B) DENORM	(C) qNaN	(D) qNaN	sNaN	
NORM	MUL	0		INF		Error					Invalid	
+ 0		+ 0	- 0	Invalid								
- 0		- 0	+ 0									
+ INF	INF	Invalid		+ INF	- INF	+ INF (7)	- INF (7)	qNaN				
- INF				- INF	+ INF	- INF (7)	+ INF (7)					
(A) positive DENORM				+ INF (7)	- INF (7)							
(A) negative DENORM				- INF (7)	+ INF (7)							
(B) DENORM									Error (6)			
(C) qNaN									Error (6)			
(D) qNaN												
sNaN												

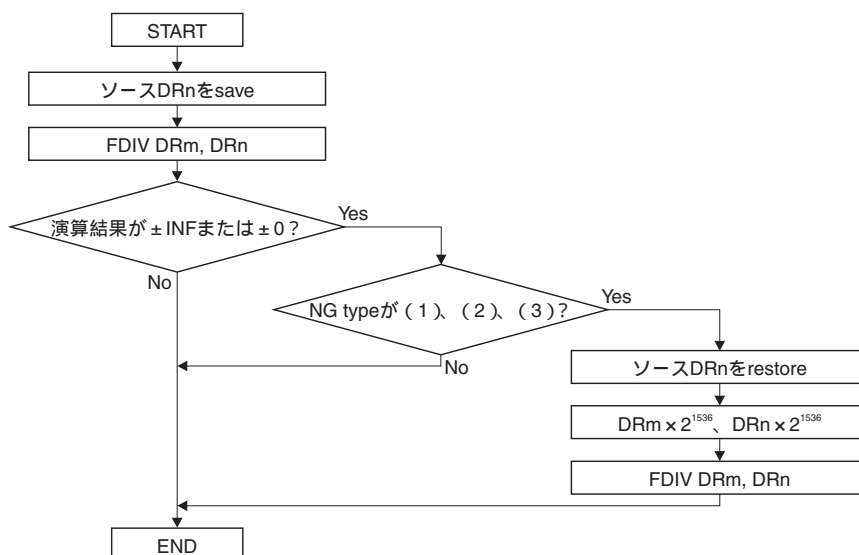
[3. ソフトウェアの変更]

NG type が (1)、(2)、(3) の場合

表 6.3 の NG type (1)、(2)、(3) は以下のフローに従ってソフトウェアにて対策してください。

ソースオペランドに定数 2^{1536} を乗じて補正し、正規化数として演算してください。

NG type が (1) で、ゼロ除算例外イネーブルの場合、ゼロ除算による FPU 例外が発生し、デスティネーションレジスタは変更しません。ゼロ除算例外ディスエーブルの場合、デスティネーションレジスタは入力の符号に基づいた無限大となります。



NG type が (7) の場合

表 6.3 の NG type (7) は FPU エラーは発生しませんが、演算結果は正しく、ソフトウェアによる対策は必要ありません。

[4. FPU 例外処理ルーチンの変更]

表 6.3 の NG type (4)、(5)、(6) の対策として、表 6.7 に示すように FPU 例外処理ルーチンで命令と入力データのチェックを行い、qNaN をデスティネーションレジスタに書き込むように処理を追加してください。

ここで qNaN は常に H'7FF7FFF_FFFFFFFF にしてください。

表 6.7 TRAP ルーチンでの処理

NG type	命令チェック	入力チェック		演算結果
		DRm	DRn	
(4)	FDIV	qNaN	DENORM	qNaN
	FDIV	qNaN	DENORM	qNaN
	FDIV	DENORM	qNaN	qNaN
(5)	FADD/FSUB	qNaN	DENORM	qNaN
	FADD/FSUB	DENORM	qNaN	qNaN
(6)	FMUL	qNaN	DENORM	qNaN
	FMUL	DENORM	qNaN	qNaN

7. 命令セット

7.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

データサイズとデータタイプ：SH-4 の命令セットは固定長 16 ビット命令で実現されます。SH-4 はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、ロングワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点演算を指定すると (FPSCR.PR=1)、クワッドワードアクセスの演算結果は未定義です。SH-4 がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

(2) ロード/ストアアーキテクチャ

SH-4 は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH-4 の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐上で分岐の次の命令は分岐先命令の前に実行されます。遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。例えば、BRA 実行シーケンスは次のとおりです。

静的シーケンス	動的シーケンス	
BRA TARGET	BRA TARGET	
ADD R1, R0 next_2	ADD R1, R0 target_instr	遅延スロットの ADD は TARGET に分岐する前に実行されず

(4) 遅延スロット

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果を示すために使用し、条件付き分岐命令で参照します。例えば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0          ; T ビットは ADD 演算で変更されない。
CMP/EQ R1, R0         ; R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET         ; T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで文字どおりの定数値として定義することができ、PC 相対ロード命令で参照できます。

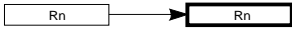
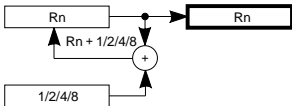
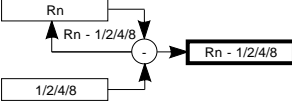
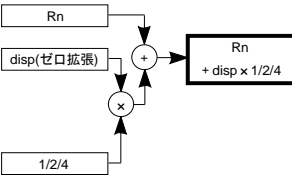
```
MOV.W   @(disp, PC), Rn
MOV.L   @(disp, PC), Rn
```

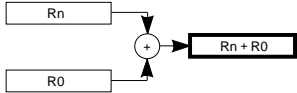
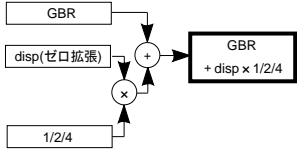
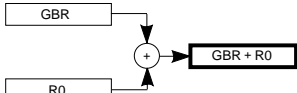
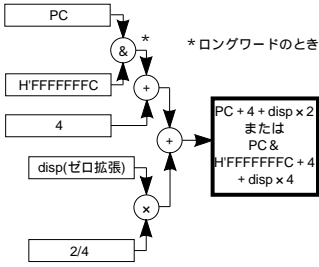
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

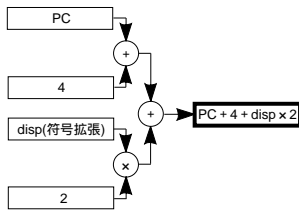
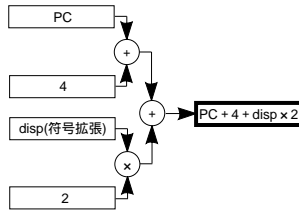
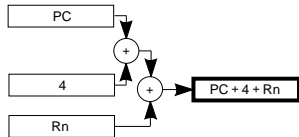
7.2 アドレッシングモード

表 7.1 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想アドレス空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。

表 7.1 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp x 2 EA ロングワード : Rn + disp x 4 EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレイースメント付き GBR 間接	@ (disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレイースメント付き PC 相対	@ (disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>* ロングワードのとき</p>	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4$ EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + 4 + disp × 2 Branch-Target
	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p> 	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

【注】 下記のディスプレイースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイースメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイースメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイースメント付き PC 相対
- disp : 8, disp :12 ;PC 相対

7.3 命令セット

表 7.3～表 7.12 に示す SuperH 命令の次のリストに使用する表記を表 7.2 に示します。

表 7.2 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n, >>n : n ビットシフト
命令コード	MSB LSB	m m m m : レジスタ番号(Rm, FRm) n n n n : レジスタ番号(Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 m m m : レジスタ番号(DRm, XDm, Rm_BANK) n n n : レジスタ番号(DRm, XDm, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK m m : レジスタ番号(FVm) n n : レジスタ番号(FVn) 00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード		「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後の T ビットの値	- : 変更なし

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 7.3 固定小数点転送命令

命令		動作	命令コード	特権	Tビット
MOV	#imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiii		
MOV.W	@(disp,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd		
MOV.L	@(disp,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnnddddddd		
MOV	Rm,Rn	Rm Rn	0110nnnnmmmm0011		
MOV.B	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000		
MOV.W	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001		
MOV.L	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010		
MOV.B	@Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000		
MOV.W	@Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001		
MOV.L	@Rm,Rn	(Rm) Rn	0110nnnnmmmm0010		
MOV.B	Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100		
MOV.W	Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101		
MOV.L	Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110		
MOV.B	@Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100		
MOV.W	@Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101		
MOV.L	@Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110		
MOV.B	R0,@(disp,Rn)	R0 (disp+Rn)	10000000nnnndddd		
MOV.W	R0,@(disp,Rn)	R0 (disp × 2+Rn)	10000001nnnndddd		
MOV.L	Rm,@(disp,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd		
MOV.B	@(disp,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmnmdddd		
MOV.W	@(disp,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmnmdddd		
MOV.L	@(disp,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd		
MOV.B	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100		
MOV.W	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101		
MOV.L	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110		
MOV.B	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100		
MOV.W	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101		
MOV.L	@(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110		
MOV.B	R0,@(disp,GBR)	R0 (disp+GBR)	11000000ddddddd		
MOV.W	R0,@(disp,GBR)	R0 (disp × 2+GBR)	11000001ddddddd		
MOV.L	R0,@(disp,GBR)	R0 (disp × 4+GBR)	11000010ddddddd		
MOV.B	@(disp,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd		
MOV.W	@(disp,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd		
MOV.L	@(disp,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd		
MOVA	@(disp,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd		
MOVT	Rn	T Rn	0000nnnn00101001		

命令	動作	命令コード	特権	Tビット
SWAP.B	Rm,Rn Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000		
SWAP.W	Rm,Rn Rm 上下ワード交換 Rn	0110nnnnmmmm1001		
XTRCT	Rm,Rn Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101		

表 7.4 算術演算命令

命令	動作	命令コード	特権	Tビット
ADD	Rm,Rn Rn+Rm Rn	0011nnnnmmmm1100		
ADD	#imm,Rn Rn+imm Rn	0111nnnniiiiiiii		
ADDC	Rm,Rn Rn+Rm+T Rn, キャリ T	0011nnnnmmmm1110		キャリ
ADDV	Rm,Rn Rn+Rm Rn, オーバフロー T	0011nnnnmmmm1111		オーバ フロー
CMP/EQ	#imm,R0 R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii		比較 結果
CMP/EQ	Rm,Rn Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000		比較 結果
CMP/HS	Rm,Rn 無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010		比較 結果
CMP/GE	Rm,Rn 有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011		比較 結果
CMP/HI	Rm,Rn 無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110		比較 結果
CMP/GT	Rm,Rn 有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111		比較 結果
CMP/PZ	Rn Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001		比較 結果
CMP/PL	Rn Rn>0 のとき 1 T それ以外のとき 0 T	0100nnnn00010101		比較 結果
CMP/STR	Rm,Rn いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	0010nnnnmmmm1100		比較 結果
DIV1	Rm,Rn 1 ステップ除算 (Rn ÷ Rm)	0011nnnnmmmm0100		計算 結果
DIV0S	Rm,Rn Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111		計算 結果
DIV0U	0 M/Q/T	0000000000011001		0
DMULS.L	Rm,Rn 符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101		
DMULU.L	Rm,Rn 符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101		

命令	動作	命令コード	特権	Tビット
DT	Rn Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	0100nnnn00010000		比較 結果
EXTS.B	Rm,Rn Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110		
EXTS.W	Rm,Rn Rm をワードから符号拡張 Rn	0110nnnnmmmm1111		
EXTU.B	Rm,Rn Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100		
EXTU.W	Rm,Rn Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101		
MAC.L	@Rm+,@Rn+ 符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111		
MAC.W	@Rm+,@Rn+ 符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnmmmm1111		
MUL.L	Rm,Rn Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111		
MULS.W	Rm,Rn 符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111		
MULU.W	Rm,Rn 符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110		
NEG	Rm,Rn 0-Rm Rn	0110nnnnmmmm1011		
NEGC	Rm,Rn 0-Rm-T Rn, ボロー T	0110nnnnmmmm1010		ボロー
SUB	Rm,Rn Rn-Rm Rn	0011nnnnmmmm1000		
SUBC	Rm,Rn Rn-Rm-T Rn, ボロー T	0011nnnnmmmm1010		ボロー
SUBV	Rm,Rn Rn-Rm Rn, アンダフロー T	0011nnnnmmmm1011		アンダ フロー

表 7.5 論理演算命令

命令	動作	命令コード	特権	Tビット
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001		
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii		
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii		
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111		
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011		
OR #imm,R0	$R0 imm$ R0	11001011iiiiiii		
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiii		
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)のMSB	0100nnnn00011011		テスト 結果
TST Rm,Rn	$Rn \& Rm$, 結果が0のとき 1 T それ以外とき 0 T	0010nnnnmmmm1000		テスト 結果
TST #imm,R0	$R0 \& imm$, 結果が0のとき 1 T それ以外とき 0 T	11001000iiiiiii		テスト 結果
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外とき 0 T	11001100iiiiiii		テスト 結果
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010		
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii		
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii		

表 7.6 シフト命令

命令	動作	命令コード	特権	Tビット
ROTL Rn	T Rn MSB	0100nnnn00000100		MSB
ROTR Rn	LSB Rn T	0100nnnn00000101		LSB
ROTCL Rn	T Rn T	0100nnnn00100100		MSB
ROTCR Rn	T Rn T	0100nnnn00100101		LSB
SHAD Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100		
SHAL Rn	T Rn 0	0100nnnn00100000		MSB
SHAR Rn	MSB Rn T	0100nnnn00100001		LSB
SHLD Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101		
SHLL Rn	T Rn 0	0100nnnn00000000		MSB
SHLR Rn	0 Rn T	0100nnnn00000001		LSB
SHLL2 Rn	Rn<<2 Rn	0100nnnn00001000		
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001		
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000		
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001		
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000		
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001		

表 7.7 分岐命令

命令	動作	命令コード	特権	Tビット
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001011dddddddd		
BF/S label	遅延分岐, T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001111dddddddd		
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001001dddddddd		
BT/S label	遅延分岐, T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001101dddddddd		
BRA label	遅延分岐, disp × 2+PC+4 PC	1010dddddddddddd		
BRAF Rn	遅延分岐, Rn+PC+4 PC	0000nnnn00100011		
BSR label	遅延分岐, PC+4 PR, disp × 2+PC+4 PC	1011dddddddddddd		
BSRF Rn	遅延分岐, PC+4 PR, Rn+PC+4 PC	0000nnnn00000011		
JMP @Rn	遅延分岐, Rn PC	0100nnnn00101011		
JSR @Rn	遅延分岐, PC+4 PR, Rn PC	0100nnnn00001011		
RTS	遅延分岐, PR PC	0000000000001011		

表 7.8 システム制御命令

命令	動作	命令コード	特権	T ビット
CLRMACH	0 MACH,MACL	000000000101000		
CLRS	0 S	0000000001001000		
CLRT	0 T	0000000000001000		0
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB
LDC Rm,GBR	Rm GBR	0100mmmm00011110		
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	
LDC Rm,DBR	Rm DBR	0100mmmm11110101	特権	
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	
LDC.L @Rm+,SR	(Rm) SR, Rm+4 Rm	0100mmmm00000111	特権	LSB
LDC.L @Rm+,GBR	(Rm) GBR, Rm+4 Rm	0100mmmm00010111		
LDC.L @Rm+,VBR	(Rm) VBR, Rm+4 Rm	0100mmmm00100111	特権	
LDC.L @Rm+,SSR	(Rm) SSR, Rm+4 Rm	0100mmmm00110111	特権	
LDC.L @Rm+,SPC	(Rm) SPC, Rm+4 Rm	0100mmmm01000111	特権	
LDC.L @Rm+,DBR	(Rm) DBR, Rm+4 Rm	0100mmmm11110110	特権	
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK, Rm+4 Rm	0100mmmm1nnn0111	特権	
LDS Rm,MACH	Rm MACH	0100mmmm00001010		
LDS Rm,MACL	Rm MACL	0100mmmm00011010		
LDS Rm,PR	Rm PR	0100mmmm00101010		
LDS.L @Rm+,MACH	(Rm) MACH, Rm+4 Rm	0100mmmm00000110		
LDS.L @Rm+,MACL	(Rm) MACL, Rm+4 Rm	0100mmmm00010110		
LDS.L @Rm+,PR	(Rm) PR, Rm+4 Rm	0100mmmm00100110		
LDTLB	PTEH/PTEL TLB	000000000111000	特権	
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに)R0 (Rn)	0000nnnn11000011		
NOP	無操作	000000000001001		
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011		
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011		
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011		
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011		
RTE	遅延分岐, SSR/SPC SR/PC	000000000101011	特権	
SETS	1 S	0000000001011000		
SETT	1 T	0000000000011000		1

命令	動作	命令コード	特権	Tビット
SLEEP	スリープもしくはスタンバイ	0000000000011011	特権	
STC SR,Rn	SR Rn	0000nnnn00000010	特権	
STC GBR,Rn	GBR Rn	0000nnnn00010010		
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	
STC SSR, Rn	SSR Rn	0000nnnn00110010	特権	
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	
STC Rm_BANK,Rn	Rm_BANK Rn (m=0 ~ 7)	0000nnnn1mmm0010	特権	
STC.L SR,@-Rn	Rn-4 Rn, SR (Rn)	0100nnnn00000011	特権	
STC.L GBR,@-Rn	Rn-4 Rn, GBR (Rn)	0100nnnn00010011		
STC.L VBR,@-Rn	Rn-4 Rn, VBR (Rn)	0100nnnn00100011	特権	
STC.L SSR,@-Rn	Rn-4 Rn, SSR (Rn)	0100nnnn00110011	特権	
STC.L SPC,@-Rn	Rn-4 Rn, SPC (Rn)	0100nnnn01000011	特権	
STC.L SGR,@-Rn	Rn-4 Rn, SGR (Rn)	0100nnnn00110010	特権	
STC.L DBR,@-Rn	Rn-4 Rn, DBR (Rn)	0100nnnn11110010	特権	
STC.L Rm_BANK,@-Rn	Rn-4 Rn, Rm_BANK (Rn) (m=0 ~ 7)	0100nnnn1mmm0011	特権	
STS MACH,Rn	MACH Rn	0000nnnn00001010		
STS MACL,Rn	MACL Rn	0000nnnn00011010		
STS PR,Rn	PR Rn	0000nnnn00101010		
STS.L MACH,@-Rn	Rn-4 Rn, MACH (Rn)	0100nnnn00000010		
STS.L MACL,@-Rn	Rn-4 Rn, MACL (Rn)	0100nnnn00010010		
STS.L PR,@-Rn	Rn-4 Rn, PR (Rn)	0100nnnn00100010		
TRAPA #imm	PC+2 SPC, SR SSR, #imm <<2 TRA, H'160 EXPEVT, VBR+ H'0100 PC	11000011iiiiiiii		

表 7.9 浮動小数点単精度命令

命令	動作	命令コード	特権	Tビット
FLDI0 FRn	H'00000000 FRn	1111nnnn10001101		
FLDI1 FRn	H'3F800000 FRn	1111nnnn10011101		
FMOV FRm ,FRn	FRm FRn	1111nnnnmmmm1100		
FMOV.S @Rm, FRn	(Rm) FRn	1111nnnnmmmm1000		
FMOV.S @(R0,Rm),FRn	(R0 + Rm) FRn	1111nnnnmmmm0110		
FMOV.S @Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001		
FMOV.S FRm ,@Rn	FRm (Rn)	1111nnnnmmmm1010		
FMOV.S FRm ,@-Rn	Rn-4 Rn, FRm (Rn)	1111nnnnmmmm1011		
FMOV.S FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111		
FMOV DRm ,DRn	DRm DRn	1111nnn0mmmm01100		
FMOV @Rm, DRn	(Rm) DRn	1111nnn0mmmm1000		
FMOV @(R0,Rm),DRn	(R0 + Rm) DRn	1111nnn0mmmm0110		
FMOV @Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnn0mmmm1001		
FMOV DRm ,@Rn	DRm (Rn)	1111nnnnmmmm01010		
FMOV DRm ,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011		
FMOV DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111		
FLDS FRm,FPUL	FRm FPUL	1111mmmm00011101		
FSTS FPUL, FRn	FPUL FRn	1111nnnn00001101		
FABS FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101		
FADD FRm ,FRn	FRn + FRm FRn	1111nnnnmmmm0000		
FCMP/EQ FRm ,FRn	FRn = FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100		比較 結果
FCMP/GT FRm ,FRn	FRn > FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101		比較 結果
FDIV FRm ,FRn	FRn /FRm FRn	1111nnnnmmmm0011		
FLOAT FPUL, FRn	(float)FPUL FRn	1111nnnn00101101		
FMAC FR0 ,FRm ,FRn	FR0 * FRm + FRn FRn	1111nnnnmmmm1110		
FMUL FRm ,FRn	FRn * FRm FRn	1111nnnnmmmm0010		
FNEG FRn	FRn ^ H'80000000 FRn	1111nnnn01001101		
FSQRT FRn	\sqrt{FRn} FRn	1111nnnn01101101		
FSUB FRm, FRn	FRn - FRm FRn	1111nnnnmmmm0001		
FTRC FRm, FPUL	(long)FRm FPUL	1111mmmm00111101		

表 7.10 浮動小数点倍精度命令

命令	動作	命令コード	特権	Tビット
FABS DRn	DRn & H'7FFF FFFF FFFF FFFF DRn	1111nnn001011101		
FADD DRm, DRn	DRn + DRm DRn	1111nnn0mmm00000		
FCMP/EQ DRm, DRn	DRn = DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00100		比較結果
FCMP/GT DRm, DRn	DRn > DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00101		比較結果
FDIV DRm, DRn	DRn / DRm DRn	1111nnn0mmm00011		
FCNVDS DRm, FPUL	double_to_float[DRm] FPUL	1111mmm010111101		
FCNVSD FPUL, DRn	float_to_double[FPUL] DRn	1111nnn010101101		
FLOAT FPUL, DRn	(float)FPUL DRn	1111nnn000101101		
FMUL DRm, DRn	DRn * DRm DRn	1111nnn0mmm00010		
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnn001001101		
FSQRT DRn	\sqrt{DRn} DRn	1111nnn001101101		
FSUB DRm, DRn	DRn - DRm DRn	1111nnn0mmm00001		
FTRC DRm, FPUL	(long)DRm FPUL	1111mmm000111101		

表 7.11 浮動小数点制御命令

命令	動作	命令コード	特権	Tビット
LDS Rm, FPSCR	Rm FPSCR	0100mmmm01101010		
LDS Rm, FPUL	Rm FPUL	0100mmmm01011010		
LDS.L @Rm+, FPSCR	(Rm) FPSCR, Rm+4 Rm	0100mmmm01100110		
LDS.L @Rm+, FPUL	(Rm) FPUL, Rm+4 Rm	0100mmmm01010110		
STS FPSCR, Rn	FPSCR Rn	0000nnnn01101010		
STS FPUL, Rn	FPUL Rn	0000nnnn01011010		
STS.L FPSCR, @-Rn	Rn-4 Rn, FPSCR (Rn)	0100nnnn01100010		
STS.L FPUL, @-Rn	Rn-4 Rn, FPUL (Rn)	0100nnnn01010010		

表 7.12 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	Tビット
FMOV DRm ,XDn	DRm XDn	1111nnn1mmm011100		
FMOV XDm ,DRn	XDm DRn	1111nnn0mmm111100		
FMOV XDm ,XDn	XDm XDn	1111nnn1mmm111100		
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000		
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001		
FMOV @(R0,Rm),XDn	(R0 + Rm) XDn	1111nnn1mmmm0110		
FMOV XDm ,@Rn	XDm (Rn)	1111nnnnmmm11010		
FMOV XDm ,@-Rn	Rn-8 Rn,XDm (Rn)	1111nnnnmmm11011		
FMOV XDm ,@(R0,Rn)	XDm (R0+Rn)	1111nnnnmmm10111		
FIPR FVm ,FVn	inner_product[FVm, FVn] FR[n+3]	1111nnmm11101101		
FTRV XMTRX ,FVn	transform_vector[XMTRX, FVn] FVn	1111nn0111111101		
FRCHG	~ FPSCR.FR FPSCR.FR	1111101111111101		
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101		

7.4 使用上の注意

7.4.1 TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意

- TRAPA命令または未定義命令コードH'FFFD実行時にキャッシュに誤ったデータを書き込む可能性があります。
- TRAPA命令または未定義命令コードH'FFFD実行時にITLBヒット判定を誤り、再登録後にITLBマルチヒット例外を発生する可能性があります。
- TRAPA命令、SLEEP命令または未定義命令コードH'FFFD実行時にFPU関係、あるいはMACH,MACLレジスタに誤ったデータを書き込む可能性があります。

[発生条件]

- (1) 下記3条件が同時に成立する場合に命令キャッシュに誤った命令を書き込む可能性があります。
 - (a) 命令キャッシュがオン。(CCR.ICE=1)
 - (b) キャッシュオン領域 (U0/P0/P1/P3領域) にあるTRAPA 命令または未定義命令コードH'FFFDを実行する。
 - (c) 上記(b)のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス (H'F0000000 - H'F7FFFFFF) にアクセスする命令 (リード、ライト共) と解釈されるコードが存在する。
 - (2) 下記3条件が同時に成立する場合にオペランドキャッシュに誤ったデータを書き込む可能性があります。
 - (a) オペランドキャッシュがオン。(CCR.OCE=1)
 - (b) 未定義命令コードH'FFFDを実行する。
 - (c) 上記(b)の未定義命令コードH'FFFDの後続4ワード中に内蔵ストアキューにマッピングされたアドレス (H'E0000000 - H'E3FFFFFF) にアクセスするOCB1/OCBP/OCBWB/TAS.B命令と解釈されるコードが存在する。
 - (3) 下記3条件が同時に成立する場合にITLBヒット判定を誤る可能性があります。ITLBヒットを誤ってミスと判定した場合、ITLBへの再登録が行われ、その後、ITLBマルチヒット例外を発生する可能性があります。
 - (a) MMUがオン。(MMUCR.AT=1)
 - (b) TLB変換領域 (U0/P0/P3 領域) にあるTRAPA 命令または未定義命令コードH'FFFDを実行する。
 - (c) 上記(b)のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス (H'F0000000 - H'F7FFFFFF) にアクセスする命令 (リード、ライト共) と解釈されるコードが存在する。
 - (4) 下記2条件が同時に成立する場合にFPU関連レジスタ (FR0-FR15, XF0-XF15, FPSCR, FPUL) および、MACH,MACLに誤った値を書き込む可能性があります。
 - (a) TRAPAまたはSLEEP命令または未定義命令コードH'FFFDを実行する。
 - (b) 上記(a)のTRAPAまたはSLEEP命令または未定義命令コードH'FFFDの後続8ワード中にH'Fxxx (最初の4ビットがH'Fである命令) の内H'FFFDを除き、その時点のFPSCR.PRとの組み合わせにおいて、未定義命令と解釈されるコードが存在する。
例: 命令H'FxxE (x:任意の16進数) はFPSCR.PR=1では未定義命令であると、ここでは定義します。
- 【注】 後続命令の数に関して、内部的には、(1) ~ (3) の場合、後続 2xclk、(4) の場合、後続 4xclk 以内に実行できる場合に本不具合が発生する可能性があり、2xclk または 4xclk 中に実行できる命令数はそれぞれ最大 4 命令または最大 8 命令であるために、「後続 4 ワードまたは 8 ワード中に存在する」命令と解釈されるコードとしています。

[回避策]

下記の (a) (b) のいずれかの対策を行ってください。

- (a) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続8ワードにNOP命令を置いてください。
- (b) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続5ワードにOR R0,R0命令を置いてください。本回避策では、OR命令同士は2命令同時実行をしないことから、実行には5x1clk以上を要するの
で、[発生条件](4)(b)の発生条件の“後続8ワード中にH'Fxxxが存在する場合”も回避できます。

8. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパスカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。実行サイクルはプロセッサの実装方法によって異なります。本章での定義は本 LSI 以外の SH-4 の他の製品には適用できない場合があります。

8.1 パイプライン

図 8.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I)、デコード・レジスタリード (D)、実行 (EX、SX、F0、F1、F2、または F3)、データアクセス (NA、または MA)、ライトバック (S、または FS) の 5、または 6 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。図 8.2 に命令実行パターンを示します。

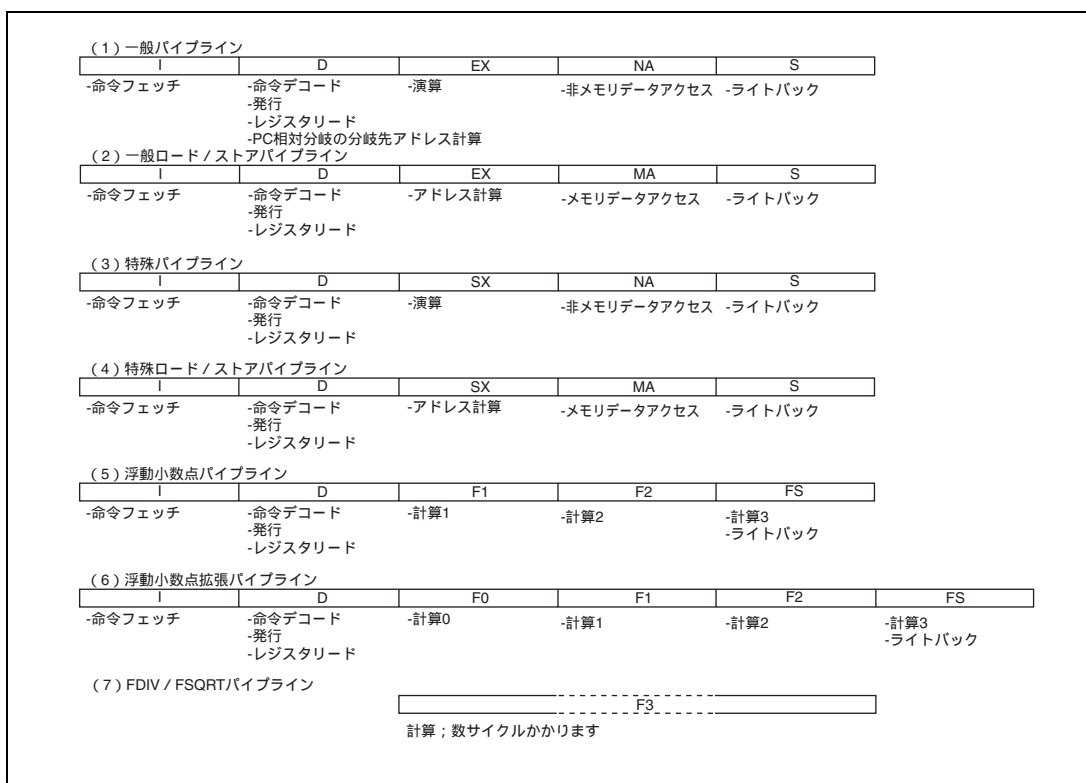


図 8.1 基本パイプライン

- (1) 1ステップ演算；1発行サイクル
 EXT[SU].[BW], MOV, MOV#, MOVA, MOV#T, SWAP.[BW], XTRCT,
 ADD*, CMP*, DIV*, DT, NEG*, SUB*,
 AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#,
 ROT*, SHA*, SHL*, BF*, BT*, BRA,
 NOP, CLRS, CLRT, SETS, SETT,
 FPULへのLDS, FPUL/FPSCRからのSTS,
 FLDI0, FLDI1, FMOV, FLDS, FSTS,
 単精度 / 倍精度 FABS/FNEG

I	D	EX	NA	S
---	---	----	----	---

- (2) ロード/ストア；1発行サイクル
 MOV.[BWL], FMOV*@, FPULへのLDS.L, LDTLB, PREF,
 FPUL/FPSCRからのSTS.L

I	D	EX	MA	S
---	---	----	----	---

- (3) GBRベースロード/ストア；1発行サイクル
 MOV.[BWL]@(d,GBR)

I	D	SX	MA	S
---	---	----	----	---

- (4) JMP, RTS, BRAF；2発行サイクル

I	D	EX	NA	S	
		D	EX	NA	S

- (5) TST.B；3発行サイクル

I	D	SX	MA	S		
		D	SX	NA	S	
			D	SX	NA	S

- (6) AND.B, OR.B, XOR.B；4発行サイクル

I	D	SX	MA	S			
		D	SX	NA	S		
			D	SX	NA	S	
				D	SX	MA	S

- (7) TAS.B；5発行サイクル

I	D	EX	MA	S				
		D	EX	MA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	MA	S

- (8) RTE；5発行サイクル

I	D	EX	NA	S				
		D	EX	NA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	NA	S

- (9) SLEEP；4発行サイクル

I	D	EX	NA	S			
		D	EX	NA	S		
			D	EX	NA	S	
				D	EX	NA	S

図 8.2 命令実行パターン (1)

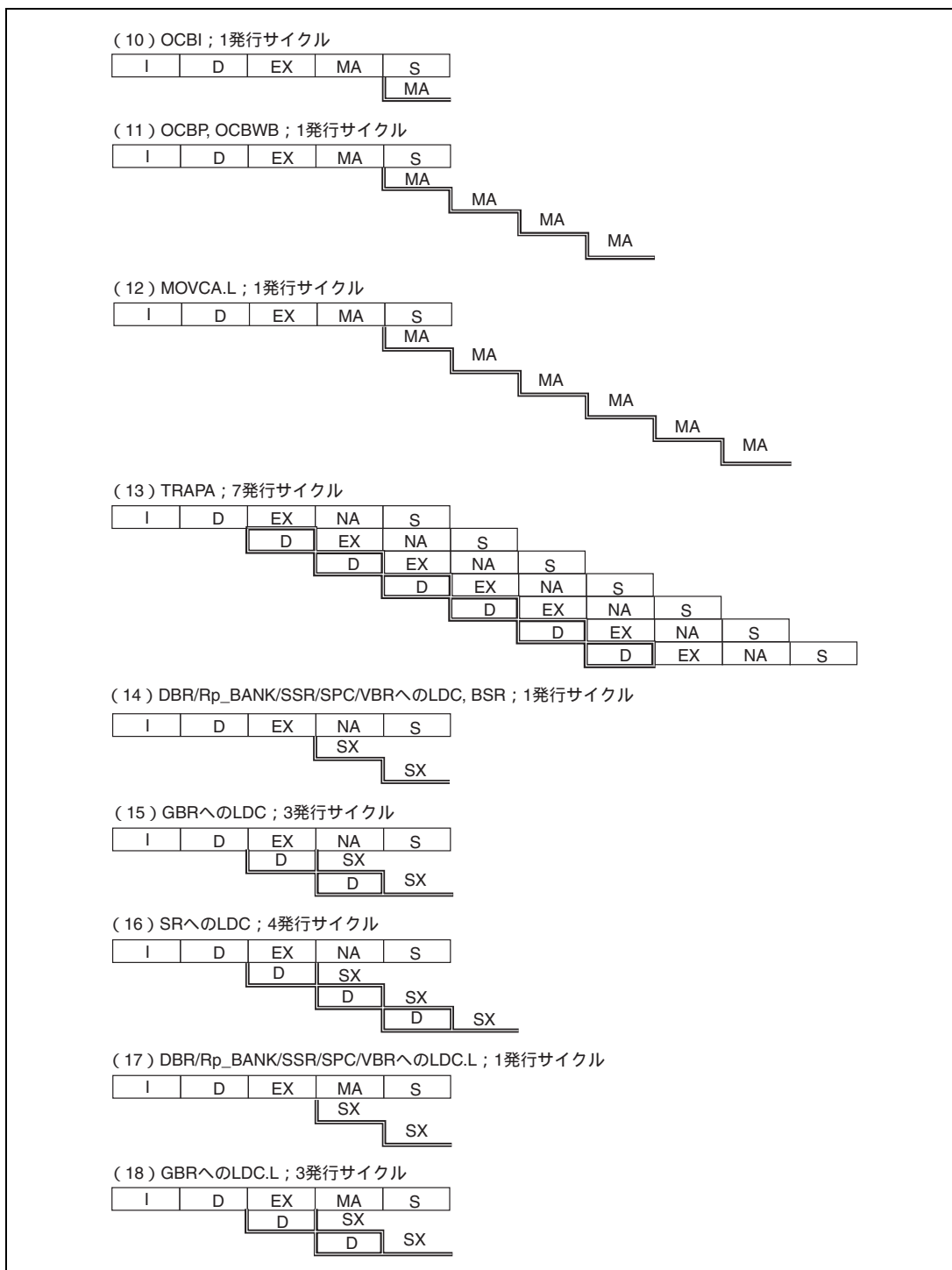


図 8.2 命令実行パターン (2)

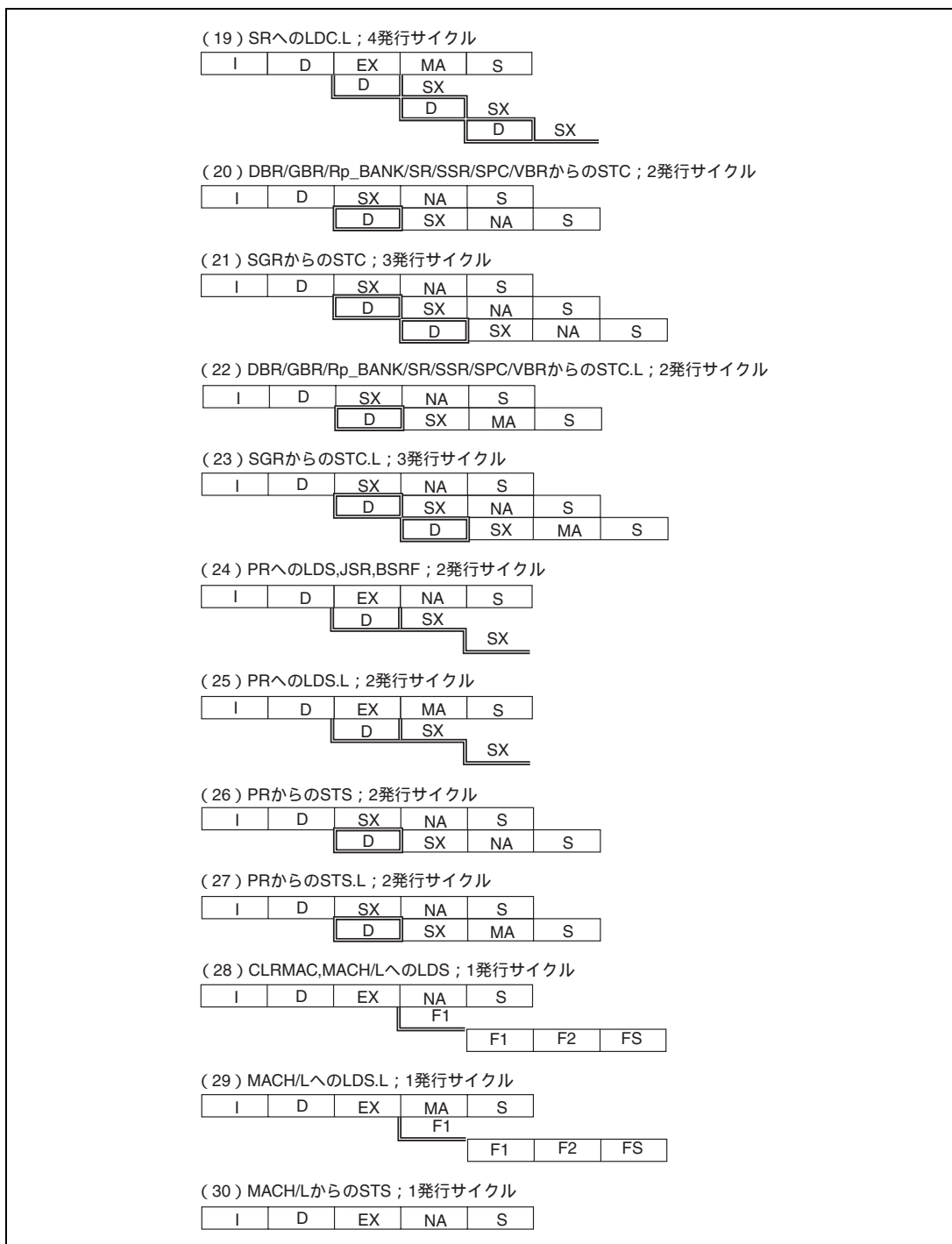


図 8.2 命令実行パターン (3)

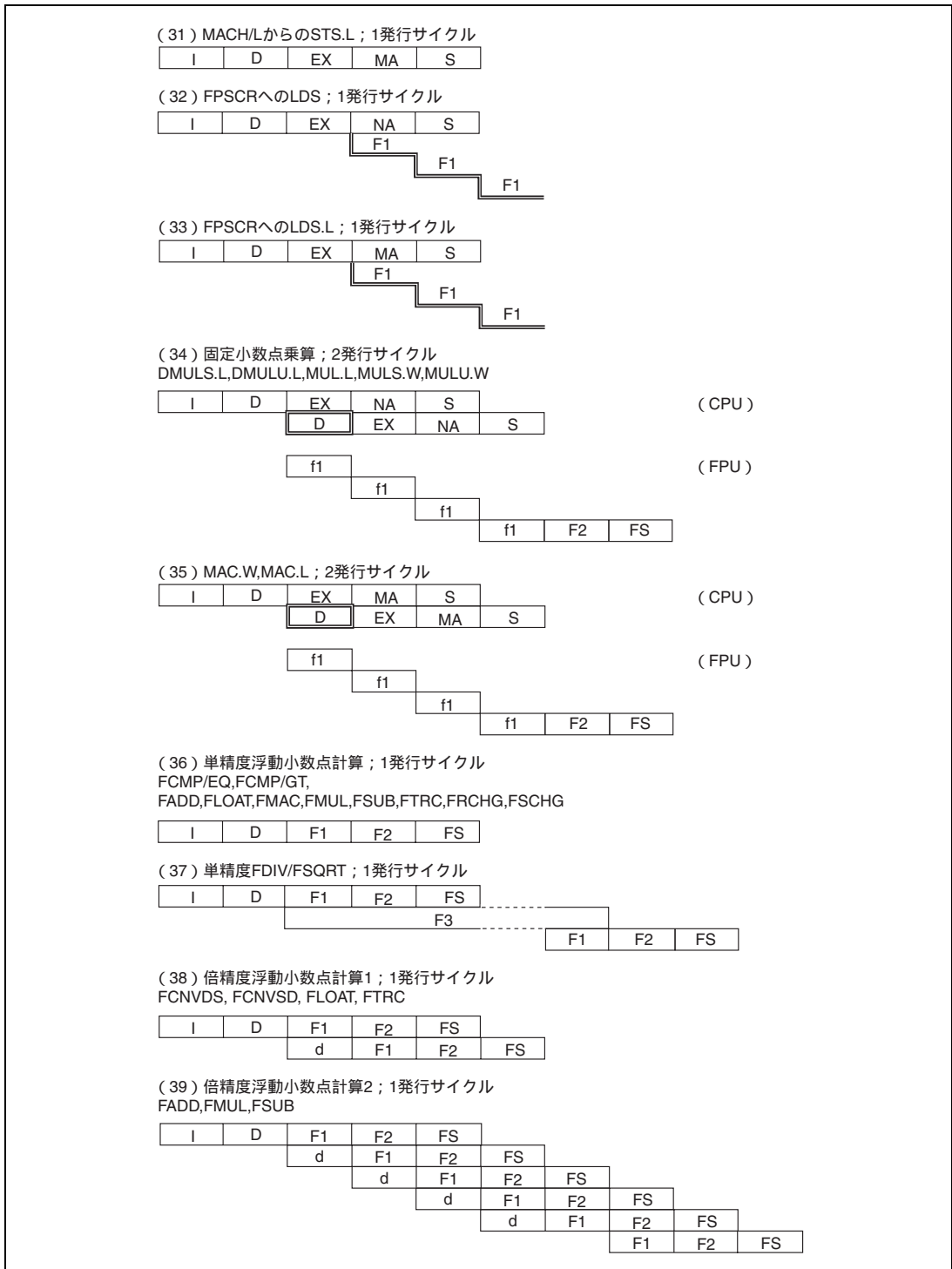


図 8.2 命令実行パターン (4)

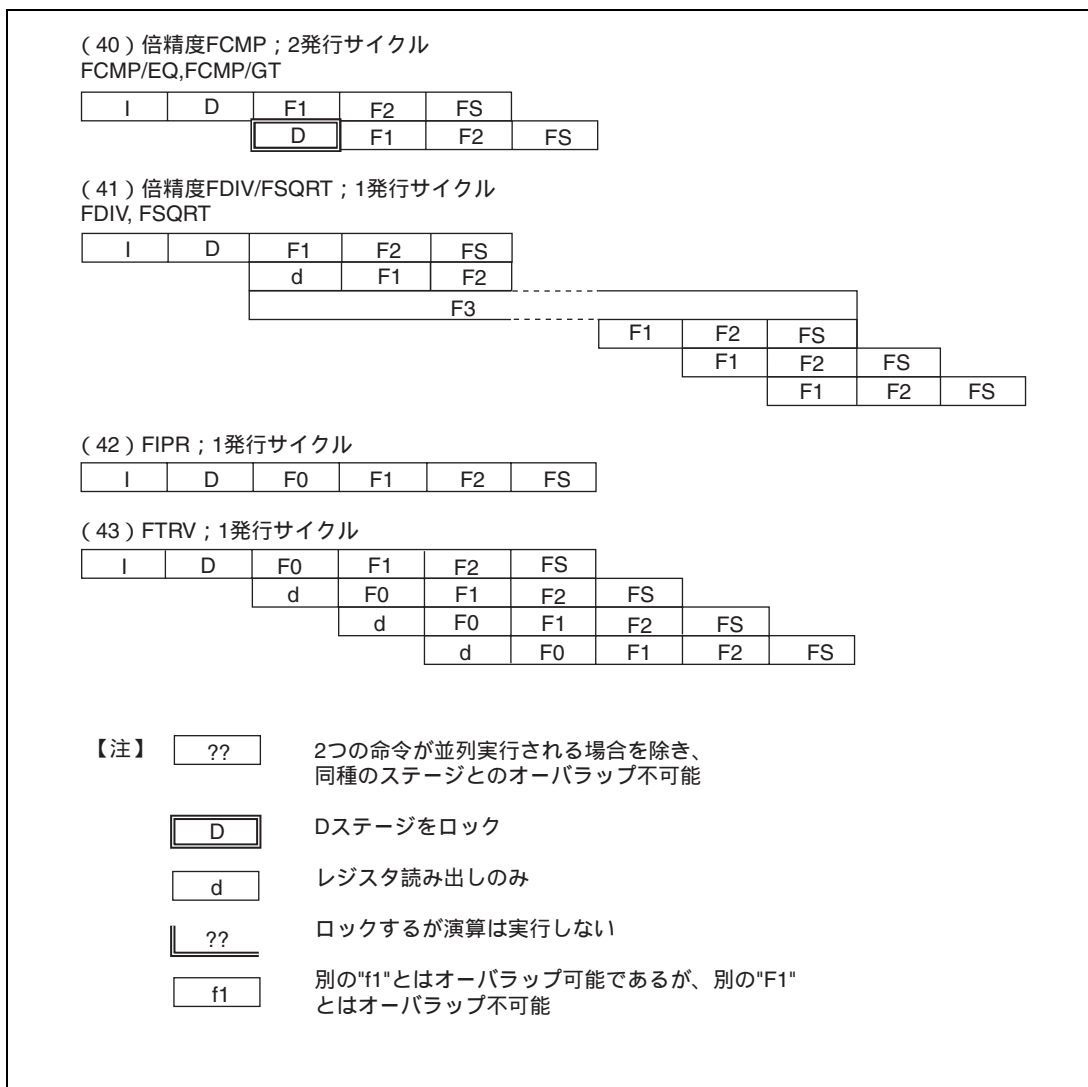


図 8.2 命令実行パターン (5)

8.2 並列実行性

表 8.1 に示すように、命令は利用する内部機能ブロックにより 6 つのグループに分類されます。表 8.2 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。例えば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 8.1 命令グループ

(1) MT グループ

CLRT		CMP/HI	Rm,Rn	MOV	Rm,Rn
CMP/EQ	#imm,R0	CMP/HS	Rm,Rn	NOP	
CMP/EQ	Rm,Rn	CMP/PL	Rn	SETT	
CMP/GE	Rm,Rn	CMP/PZ	Rn	TST	#imm,R0
CMP/GT	Rm,Rn	CMP/STR	Rm,Rn	TST	Rm,Rn

(2) EX グループ

ADD	#imm,Rn	MOVT	Rn	SHLL2	Rn
ADD	Rm,Rn	NEG	Rm,Rn	SHLL8	Rn
ADDC	Rm,Rn	NEGC	Rm,Rn	SHLR	Rn
ADDV	Rm,Rn	NOT	Rm,Rn	SHLR16	Rn
AND	#imm,R0	OR	#imm,R0	SHLR2	Rn
AND	Rm,Rn	OR	Rm,Rn	SHLR8	Rn
DIV0S	Rm,Rn	ROTCL	Rn	SUB	Rm,Rn
DIV0U		ROTCR	Rn	SUBC	Rm,Rn
DIV1	Rm,Rn	ROTL	Rn	SUBV	Rm,Rn
DT	Rn	ROTR	Rn	SWAP.B	Rm,Rn
EXTS.B	Rm,Rn	SHAD	Rm,Rn	SWAP.W	Rm,Rn
EXTS.W	Rm,Rn	SHAL	Rn	XOR	#imm,R0
EXTU.B	Rm,Rn	SHAR	Rn	XOR	Rm,Rn
EXTU.W	Rm,Rn	SHLD	Rm,Rn	XTRCT	Rm,Rn
MOV	#imm,Rn	SHLL	Rn		
MOVA	@(disp,PC),R0	SHLL16	Rn		

(3) BR グループ

BF	disp	BRA	disp	BT	disp
BF/S	disp	BSR	disp	BT/S	disp

(4) LS グループ

FABS	DRn	FMOV.S	@Rm+,FRn	MOV.L	R0,@(disp,GBR)
FABS	FRn	FMOV.S	FRm,@(R0,Rn)	MOV.L	Rm,@(disp,Rn)
FLDI0	FRn	FMOV.S	FRm,@-Rn	MOV.L	Rm,@(R0,Rn)
FLDI1	FRn	FMOV.S	FRm,@Rn	MOV.L	Rm,@-Rn
FLDS	FRm,FPUL	FNEG	DRn	MOV.L	Rm,@Rn
FMOV	@(R0,Rm),DRn	FNEG	FRn	MOV.W	@(disp,GBR),R0
FMOV	@(R0,Rm),XDn	FSTS	FPUL,FRn	MOV.W	@(disp,PC),Rn
FMOV	@Rm,DRn	LDS	Rm,FPUL	MOV.W	@(disp,Rm),R0
FMOV	@Rm,XDn	MOV.B	@(disp,GBR),R0	MOV.W	@(R0,Rm),Rn
FMOV	@Rm+,DRn	MOV.B	@(disp,Rm),R0	MOV.W	@Rm,Rn
FMOV	@Rm+,XDn	MOV.B	@(R0,Rm),Rn	MOV.W	@Rm+,Rn
FMOV	DRm,@(R0,Rn)	MOV.B	@Rm,Rn	MOV.W	R0,@(disp,GBR)
FMOV	DRm,@-Rn	MOV.B	@Rm+,Rn	MOV.W	R0,@(disp,Rn)
FMOV	DRm,@Rn	MOV.B	R0,@(disp,GBR)	MOV.W	Rm,@(R0,Rn)
FMOV	DRm,DRn	MOV.B	R0,@(disp,Rn)	MOV.W	Rm,@-Rn
FMOV	DRm,XDn	MOV.B	Rm,@(R0,Rn)	MOV.W	Rm,@Rn
FMOV	FRm,FRn	MOV.B	Rm,@-Rn	MOVCA.L	R0,@Rn
FMOV	XDm,@(R0,Rn)	MOV.B	Rm,@Rn	OCBI	@Rn
FMOV	XDm,@-Rn	MOV.L	@(disp,GBR),R0	OCBP	@Rn
FMOV	XDm,@Rn	MOV.L	@(disp,PC),Rn	OCBWB	@Rn
FMOV	XDm,DRn	MOV.L	@(disp,Rm),Rn	PREF	@Rn
FMOV	XDm,XDn	MOV.L	@(R0,Rm),Rn	STS	FPUL,Rn
FMOV.S	@(R0,Rm),FRn	MOV.L	@Rm,Rn		
FMOV.S	@Rm,FRn	MOV.L	@Rm+,Rn		

(5) FE グループ

FADD	DRm,DRn	FIPR	FVm,FVn	FSQRT	DRn
FADD	FRm,FRn	FLOAT	FPUL,DRn	FSQRT	FRn
FCMP/EQ	FRm,FRn	FLOAT	FPUL,FRn	FSUB	DRm,DRn
FCMP/GT	FRm,FRn	FMAC	FR0,FRm,FRn	FSUB	FRm,FRn
FCNVDS	DRm,FPUL	FMUL	DRm,DRn	FTRC	DRm,FPUL
FCNVSD	FPUL,DRn	FMUL	FRm,FRn	FTRC	FRm,FPUL
FDIV	DRm,DRn	FRCHG		FTRV	XMTRX,FVn
FDIV	FRm,FRn	FSCHG			

(6) CO グループ

AND.B	#imm,@(R0,GBR)	LDS	Rm,FPSCR	STC	SR,Rn
BRAF	Rm	LDS	Rm,MACH	STC	SSR,Rn
BSRF	Rm	LDS	Rm,MACL	STC	VBR,Rn
CLRMAC		LDS	Rm,PR	STC.L	DBR,@-Rn
CLRS		LDS.L	@Rm+,FPSCR	STC.L	GBR,@-Rn
DMULS.L	Rm,Rn	LDS.L	@Rm+,FPUL	STC.L	Rp_BANK,@-Rn
DMULU.L	Rm,Rn	LDS.L	@Rm+,MACH	STC.L	SGR,@-Rn
FCMP/EQ	DRm,DRn	LDS.L	@Rm+,MACL	STC.L	SPC,@-Rn
FCMP/GT	DRm,DRn	LDS.L	@Rm+,PR	STC.L	SR,@-Rn
JMP	@Rn	LDTLB		STC.L	SSR,@-Rn
JSR	@Rn	MAC.L	@Rm+,@Rn+	STC.L	VBR,@-Rn
LDC	Rm,DBR	MAC.W	@Rm+,@Rn+	STS	FPSCR,Rn
LDC	Rm,GBR	MUL.L	Rm,Rn	STS	MACH,Rn
LDC	Rm,Rp_BANK	MULS.W	Rm,Rn	STS	MACL,Rn
LDC	Rm,SPC	MULU.W	Rm,Rn	STS	PR,Rn
LDC	Rm,SR	OR.B	#imm,@(R0,GBR)	STS.L	FPSCR,@-Rn
LDC	Rm,SSR	RTE		STS.L	FPUL,@-Rn
LDC	Rm,VBR	RTS		STS.L	MACH,@-Rn
LDC.L	@Rm+,DBR	SETS		STS.L	MACL,@-Rn
LDC.L	@Rm+,GBR	SLEEP		STS.L	PR,@-Rn
LDC.L	@Rm+,Rp_BANK	STC	DBR,Rn	TAS.B	@Rn
LDC.L	@Rm+,SPC	STC	GBR,Rn	TRAPA	#imm
LDC.L	@Rm+,SR	STC	Rp_BANK,Rn	TST.B	#imm,@(R0,GBR)
LDC.L	@Rm+,SSR	STC	SGR,Rn	XOR.B	#imm,@(R0,GBR)
LDC.L	@Rm+,VBR	STC	SPC,Rn		

表 8.2 並列実行性

		第 2 命令					
		MT	EX	BR	LS	FE	CO
第 1 命令	MT						x
	EX		x				x
	BR			x			x
	LS				x		x
	FE					x	x
	CO	x	x	x	x	x	x

: 並列実行可能

x : 並列実行不可能

8.3 実行サイクルとパイプラインストール

本プロセッサには、Iクロック、Bクロック、Pクロックの3つの基準クロックがあります。各ハードウェアユニットは次のように3つのクロックのいずれかで動作します。

- Iクロック：CPU、FPU、MMU、キャッシュ
- Bクロック：外部バスコントローラ
- Pクロック：周辺ユニット

3つのクロックの周波数比は、FRQCR（周波数コントロールレジスタ）によって決まります。特別な指定がない限り、この章ではマシンサイクルはIクロックを基準にします。FRQCRの詳細については「第10章 クロック発振回路」を参照してください。

命令の実行サイクルを表8.3に示します。ただし、ここではパイプラインストールによるペナルティサイクルは考慮していません。

- 発行レート： 命令の発行と次の命令の発行の間隔
- レイテンシ： 命令の発行とその結果生成（完了）の間隔
- 命令実行パターン（図8.2を参照）
- ロックステージ： ロックしたパイプラインステージ（表8.3を参照）
- ロック開始： 命令の発行とロック開始の間隔（表8.3を参照）
- ロックサイクル： ロック時間（表8.3を参照）

命令の実行シーケンスは、図8.2に示す実行パターンの組み合わせで表現します。各命令とその次の命令の間は、その発行レートのマシンサイクル数だけ離れます。通常、実行、データアクセス、ライトバックの各ステージは他の命令の同じステージとオーバーラップさせることはできません。並列実行性の条件により2命令が並列実行される場合のみ、例外的にオーバーラップ可能となります。この単純な例として図8.3の(a)~(d)を参照してください。

レイテンシは命令の発行と完了の間隔であり、また相互依存関係を持つ2命令の実行間隔でもあります。同時にフェッチされた2命令間に依存関係が存在する場合、2命令のうち後の命令は次のサイクル数だけストールします。

- フロー依存関係（read-after-write、書き込み後の読み出し）が存在するとき
（レイテンシ）サイクル
- 出力依存関係（write-after-write、書き込み後の書き込み）が存在するとき
（レイテンシ - 1）または（レイテンシ - 2）サイクル
(a) 単/倍精度FDIV、FSQRTが先行するとき （レイテンシ - 1）サイクル
(b) (a)以外のFEグループの命令が先行するとき （レイテンシ - 2）サイクル

- 次のような逆フロー依存関係（write-after-read、読み出し後の書き込み）が存在するとき

5サイクルまたは2サイクル

(a) FTRVが先行するとき5サイクル

(b) 倍精度FADD、FSUB、FMULが先行するとき2サイクル

フロー依存関係が存在する場合、連続した命令の組み合わせによりレイテンシが例外的に増加/減少します（図 8.3 (e)）。

- 浮動小数点計算に浮動小数点レジスタストアが続くと、浮動小数点計算のレイテンシは1サイクル減少する場合があります。
- SHAD、SHLDの直前にシフト量のロードが存在すると、ロードのレイテンシは1サイクル増加します。
- 浮動小数点レジスタに対するライトバックを含み、レイテンシが2サイクル未満の命令の次に倍精度浮動小数点命令、FIPRまたはFTRVが続く場合、最初の命令のレイテンシは2サイクルに増加します。

フロー依存関係によるパイプラインのストールについては、依存性をもつ命令の組み合わせや、フェッチのタイミングによって、そのサイクル数にはバリエーションが生じます。図 8.3 (e)も参照してください。

出力依存関係は、先行する FE グループの命令とそれに続く LS グループの命令でデスティネーションオペランドが一致する場合に発生します。

出力依存関係を持つ命令のストールサイクルについては、「レイテンシ」に代入するものとして、すべてのデスティネーションオペランドのうち、最も遅いライトバックに対する最長のレイテンシを適用しなければなりません（図 8.3 (f)を参照）。ただし、浮動小数点演算の結果を反映する FPSCR に対する出力依存関係によるストールは決して起こりません。例えば、FDIV の次に浮動小数点レジスタ間に依存関係のない FADD が続く場合、2 つの命令が FPSCR の要因（cause）フィールドを更新するにもかかわらず、FADD はストールしません。

逆フロー依存関係は、先行する倍精度 FADD、FMUL、FSUB または FTRV とそれに続く FMOV、FLDI0、FLDI1、FABS、FNEG、または FSTS の間でのみ発生する可能性があります。図 8.3 (g)を参照してください。

実行中の命令がいずれかのリソース、すなわち基本演算を行う機能ブロックをロックする場合、ロックされたリソースを使用しようとしていた後続の命令はストールします（図 8.3 (h)）。このようなストールはロックされたリソースとは無関係な命令を 1 つまたはそれ以上挿入し、干渉する命令を分離することによって補償することができます。例えば、ロード命令とロードした値を参照する ADD 命令が連続している場合、依存性のない 3 つの命令を間に挿入することにより、ADD に対する 2 サイクルのストールが除かれます。このような命令スケジューリングによってソフトウェアの性能を向上させることができます。

その他ストールを発生させる要因として下記があります。

- 命令TLBミス
- 外部メモリに対する命令アクセス（命令キャッシュミス等）
- 外部メモリに対するデータアクセス（オペランドキャッシュミス等）
- メモリ割り付けコントロールレジスタに対するデータアクセス

命令 TLB ミスおよび外部命令アクセスのペナルティサイクル中、命令は発行されませんが、発行済みの命令の実行は継続されます。データアクセスに対するペナルティは、パイプラインのフリーズ、すなわち、未完了の命令の実行は要求したデータが到着するまで中断されます。命令アクセスとデータアクセスに対するペナルティサイクル数は、ユーザのメモリサブシステムに大きく依存します。

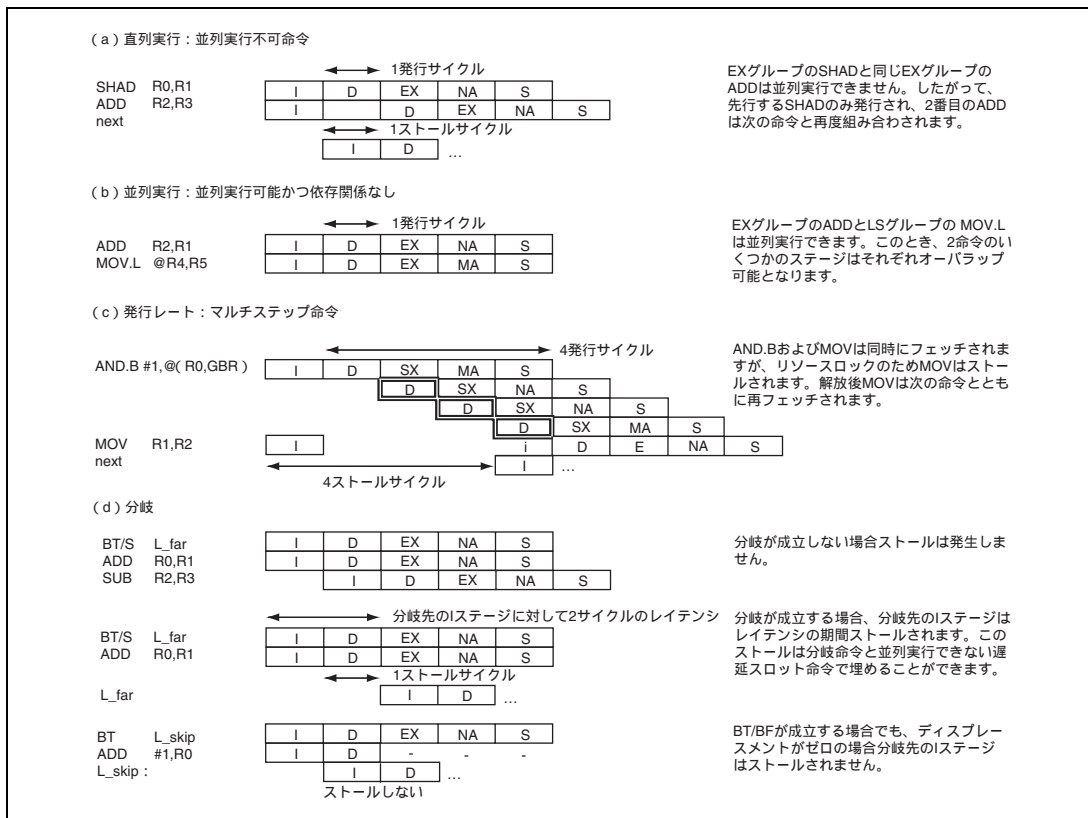


図 8.3 パイプライン実行の例 (1)

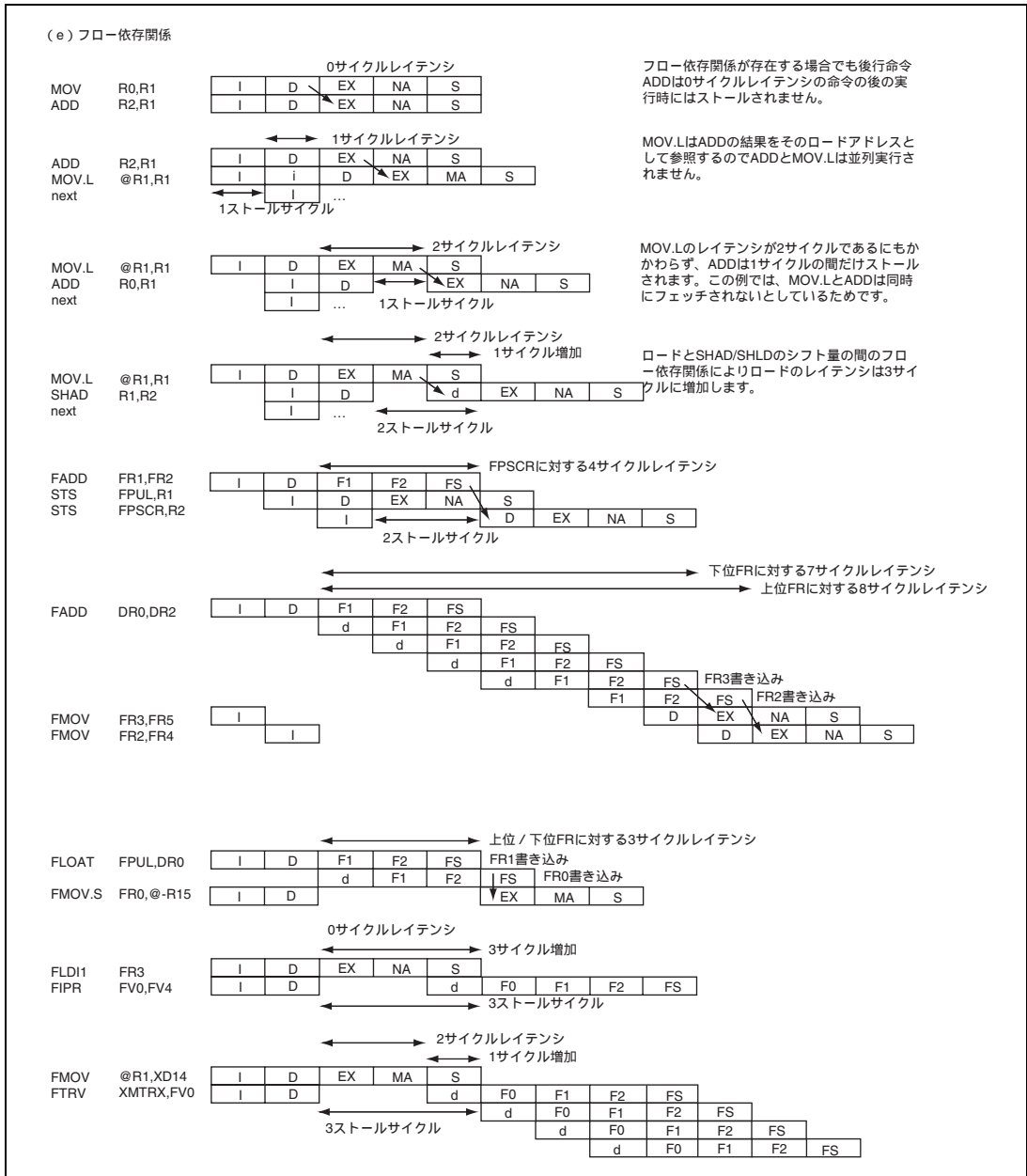


図 8.3 パイプライン実行の例 (2)

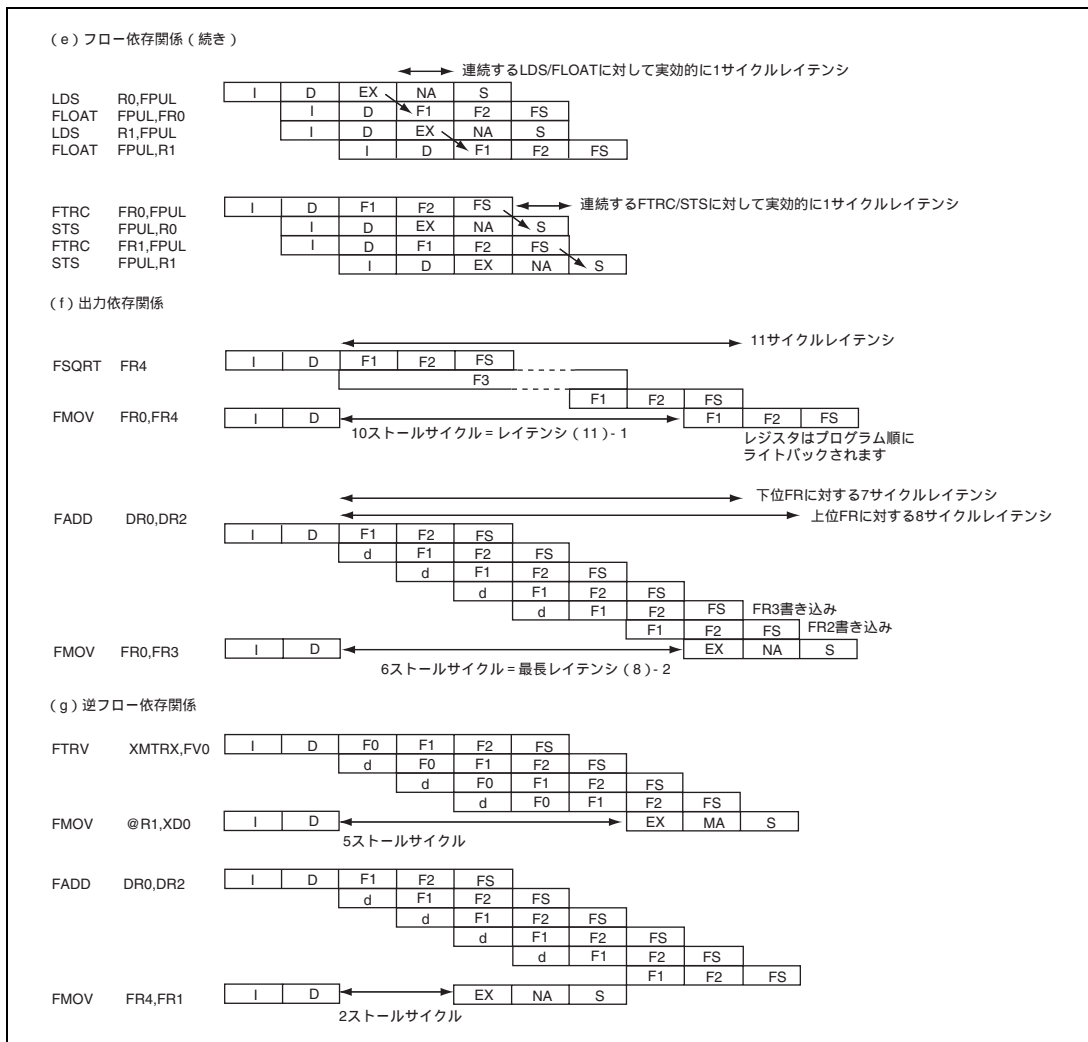


図 8.3 パイプライン実行の例 (3)

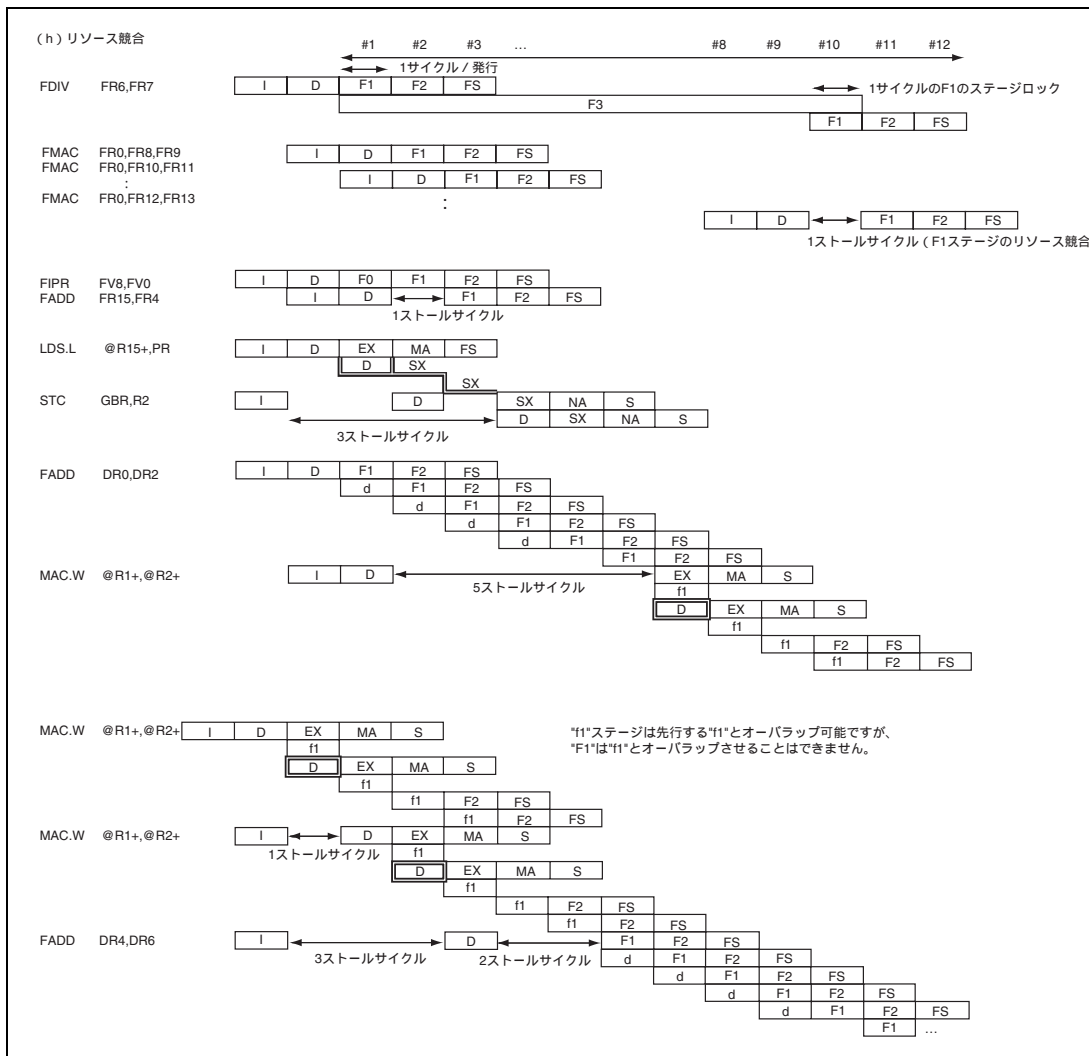


図 8.3 パイプライン実行の例 (4)

表 8.3 実行サイクル

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
データ転送 命令	1	EXTS.B	Rm,Rn	EX	1	1	#1	-	-	-
	2	EXTS.W	Rm,Rn	EX	1	1	#1	-	-	-
	3	EXTU.B	Rm,Rn	EX	1	1	#1	-	-	-
	4	EXTU.W	Rm,Rn	EX	1	1	#1	-	-	-
	5	MOV	Rm,Rn	MT	1	0	#1	-	-	-
	6	MOV	#Imm,Rn	EX	1	1	#1	-	-	-
	7	MOVA	@(disp,PC),R0	EX	1	1	#1	-	-	-
	8	MOV.W	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	9	MOV.L	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	10	MOV.B	@Rm,Rn	LS	1	2	#2	-	-	-
	11	MOV.W	@Rm,Rn	LS	1	2	#2	-	-	-
	12	MOV.L	@Rm,Rn	LS	1	2	#2	-	-	-
	13	MOV.B	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	14	MOV.W	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	15	MOV.L	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	16	MOV.B	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	17	MOV.W	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	18	MOV.L	@(disp,Rm),Rn	LS	1	2	#2	-	-	-
	19	MOV.B	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	20	MOV.W	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	21	MOV.L	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	22	MOV.B	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	23	MOV.W	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	24	MOV.L	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	25	MOV.B	Rm,@Rn	LS	1	1	#2	-	-	-
	26	MOV.W	Rm,@Rn	LS	1	1	#2	-	-	-
	27	MOV.L	Rm,@Rn	LS	1	1	#2	-	-	-
	28	MOV.B	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	29	MOV.W	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	30	MOV.L	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	#2	-	-	-
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
データ転送 命令	37	MOV.B	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	40	MOVCA.L	R0,@Rn	LS	1	3~7	#12	MA	4	3~7
	41	MOVT	Rn	EX	1	1	#1	-	-	-
	42	OCBI	@Rn	LS	1	1~2	#10	MA	4	1~2
	43	OCBP	@Rn	LS	1	1~5	#11	MA	4	1~5
	44	OCBWB	@Rn	LS	1	1~5	#11	MA	4	1~5
	45	PREF	@Rn	LS	1	1	#2	-	-	-
	46	SWAP.B	Rm,Rn	EX	1	1	#1	-	-	-
	47	SWAP.W	Rm,Rn	EX	1	1	#1	-	-	-
	48	XTRCT	Rm,Rn	EX	1	1	#1	-	-	-
固定小数点 算術命令	49	ADD	Rm,Rn	EX	1	1	#1	-	-	-
	50	ADD	#imm,Rn	EX	1	1	#1	-	-	-
	51	ADDC	Rm,Rn	EX	1	1	#1	-	-	-
	52	ADDV	Rm,Rn	EX	1	1	#1	-	-	-
	53	CMP/EQ	#imm,R0	MT	1	1	#1	-	-	-
	54	CMP/EQ	Rm,Rn	MT	1	1	#1	-	-	-
	55	CMP/GE	Rm,Rn	MT	1	1	#1	-	-	-
	56	CMP/GT	Rm,Rn	MT	1	1	#1	-	-	-
	57	CMP/HI	Rm,Rn	MT	1	1	#1	-	-	-
	58	CMP/HS	Rm,Rn	MT	1	1	#1	-	-	-
	59	CMP/PL	Rn	MT	1	1	#1	-	-	-
	60	CMP/PZ	Rn	MT	1	1	#1	-	-	-
	61	CMP/STR	Rm,Rn	MT	1	1	#1	-	-	-
	62	DIV0S	Rm,Rn	EX	1	1	#1	-	-	-
	63	DIV0U		EX	1	1	#1	-	-	-
	64	DIV1	Rm,Rn	EX	1	1	#1	-	-	-
	65	DMULS.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	66	DMULU.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	67	DT	Rn	EX	1	1	#1	-	-	-
	68	MAC.L	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
	69	MAC.W	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
	70	MUL.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	71	MULS.W	Rm,Rn	CO	2	4/4	#34	F1	4	2
	72	MULU.W	Rm,Rn	CO	2	4/4	#34	F1	4	2
	73	NEG	Rm,Rn	EX	1	1	#1	-	-	-

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
固定小数点 算術命令	74	NEGC	Rm,Rn	EX	1	1	#1	-	-	-
	75	SUB	Rm,Rn	EX	1	1	#1	-	-	-
	76	SUBC	Rm,Rn	EX	1	1	#1	-	-	-
	77	SUBV	Rm,Rn	EX	1	1	#1	-	-	-
論理命令	78	AND	Rm,Rn	EX	1	1	#1	-	-	-
	79	AND	#imm,R0	EX	1	1	#1	-	-	-
	80	AND.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	81	NOT	Rm,Rn	EX	1	1	#1	-	-	-
	82	OR	Rm,Rn	EX	1	1	#1	-	-	-
	83	OR	#imm,R0	EX	1	1	#1	-	-	-
	84	OR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	85	TAS.B	@Rn	CO	5	5	#7	-	-	-
	86	TST	Rm,Rn	MT	1	1	#1	-	-	-
	87	TST	#imm,R0	MT	1	1	#1	-	-	-
	88	TST.B	#imm,@(R0,GBR)	CO	3	3	#5	-	-	-
	89	XOR	Rm,Rn	EX	1	1	#1	-	-	-
	90	XOR	#imm,R0	EX	1	1	#1	-	-	-
91	XOR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-	
シフト命令	92	ROTL	Rn	EX	1	1	#1	-	-	-
	93	ROTR	Rn	EX	1	1	#1	-	-	-
	94	ROTCL	Rn	EX	1	1	#1	-	-	-
	95	ROTCR	Rn	EX	1	1	#1	-	-	-
	96	SHAD	Rm,Rn	EX	1	1	#1	-	-	-
	97	SHAL	Rn	EX	1	1	#1	-	-	-
	98	SHAR	Rn	EX	1	1	#1	-	-	-
	99	SHLD	Rm,Rn	EX	1	1	#1	-	-	-
	100	SHLL	Rn	EX	1	1	#1	-	-	-
	101	SHLL2	Rn	EX	1	1	#1	-	-	-
	102	SHLL8	Rn	EX	1	1	#1	-	-	-
	103	SHLL16	Rn	EX	1	1	#1	-	-	-
	104	SHLR	Rn	EX	1	1	#1	-	-	-
	105	SHLR2	Rn	EX	1	1	#1	-	-	-
106	SHLR8	Rn	EX	1	1	#1	-	-	-	
107	SHLR16	Rn	EX	1	1	#1	-	-	-	
分岐命令	108	BF	disp	BR	1	2(or1)	#1	-	-	-
	109	BF/S	disp	BR	1	2(or1)	#1	-	-	-
	110	BT	disp	BR	1	2(or1)	#1	-	-	-

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
分岐命令	111	BT/S	disp	BR	1	2(or1)	#1	-	-	-
	112	BRA	disp	BR	1	2	#1	-	-	-
	113	BRAF	Rm	CO	2	3	#4	-	-	-
	114	BSR	disp	BR	1	2	#14	SX	3	2
	115	BSRF	Rm	CO	2	3	#24	SX	3	2
	116	JMP	@Rn	CO	2	3	#4	-	-	-
	117	JSR	@Rn	CO	2	3	#24	SX	3	2
	118	RTS		CO	2	3	#4	-	-	-
システム制御 命令	119	NOP		MT	1	0	#1	-	-	-
	120	CLRMAC		CO	1	3	#28	F1	3	2
	121	CLRS		CO	1	1	#1	-	-	-
	122	CLRT		MT	1	1	#1	-	-	-
	123	SETS		CO	1	1	#1	-	-	-
	124	SETT		MT	1	1	#1	-	-	-
	125	TRAPA	#imm	CO	7	7	#13	-	-	-
	126	RTE		CO	5	5	#8	-	-	-
	127	SLEEP		CO	4	4	#9	-	-	-
	128	LDTLB		CO	1	1	#2	-	-	-
	129	LDC	Rm,DBR	CO	1	3	#14	SX	3	2
	130	LDC	Rm,GBR	CO	3	3	#15	SX	3	2
	131	LDC	Rm,Rp_BANK	CO	1	3	#14	SX	3	2
	132	LDC	Rm,SR	CO	4	4	#16	SX	3	2
	133	LDC	Rm,SSR	CO	1	3	#14	SX	3	2
	134	LDC	Rm,SPC	CO	1	3	#14	SX	3	2
	136	LDC.L	@Rm+,DBR	CO	1	1/3	#17	SX	3	2
	137	LDC.L	@Rm+,GBR	CO	3	3/3	#18	SX	3	2
	138	LDC.L	@Rm+,Rp_BANK	CO	1	1/3	#17	SX	3	2
	139	LDC.L	@Rm+,SR	CO	4	4/4	#19	SX	3	2
	140	LDC.L	@Rm+,SSR	CO	1	1/3	#17	SX	3	2
	141	LDC.L	@Rm+,SPC	CO	1	1/3	#17	SX	3	2
	142	LDC.L	@Rm+,VBR	CO	1	1/3	#17	SX	3	2
	143	LDS	Rm,MACH	CO	1	3	#28	F1	3	2
	144	LDS	Rm,MACL	CO	1	3	#28	F1	3	2
	145	LDS	Rm,PR	CO	2	3	#24	SX	3	2
	146	LDS.L	@Rm+,MACH	CO	1	1/3	#29	F1	3	2
	147	LDS.L	@Rm+,MACL	CO	1	1/3	#29	F1	3	2

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
システム制御 命令	148	LDS.L	@Rm+,PR	CO	2	2/3	#25	SX	3	2
	149	STC	DBR,Rn	CO	2	2	#20	-	-	-
	150	STC	SGR,Rn	CO	3	3	#21	-	-	-
	151	STC	GBR,Rn	CO	2	2	#20	-	-	-
	152	STC	Rp_BANK,Rn	CO	2	2	#20	-	-	-
	153	STC	SR,Rn	CO	2	2	#20	-	-	-
	154	STC	SSR,Rn	CO	2	2	#20	-	-	-
	155	STC	SPC,Rn	CO	2	2	#20	-	-	-
	156	STC	VBR,Rn	CO	2	2	#20	-	-	-
	157	STC.L	DBR,@-Rn	CO	2	2/2	#22	-	-	-
	158	STC.L	SGR,@-Rn	CO	3	3/3	#23	-	-	-
	159	STC.L	GBR,@-Rn	CO	2	2/2	#22	-	-	-
	160	STC.L	Rp_BANK,@-Rn	CO	2	2/2	#22	-	-	-
	161	STC.L	SR,@-Rn	CO	2	2/2	#22	-	-	-
	162	STC.L	SSR,@-Rn	CO	2	2/2	#22	-	-	-
	163	STC.L	SPC,@-Rn	CO	2	2/2	#22	-	-	-
	164	STC.L	VBR,@-Rn	CO	2	2/2	#22	-	-	-
	165	STS	MACH,Rn	CO	1	3	#30	-	-	-
	166	STS	MACL,Rn	CO	1	3	#30	-	-	-
	167	STS	PR,Rn	CO	2	2	#26	-	-	-
168	STS.L	MACH,@-Rn	CO	1	1/1	#31	-	-	-	
169	STS.L	MACL,@-Rn	CO	1	1/1	#31	-	-	-	
170	STS.L	PR,@-Rn	CO	2	2/2	#27	-	-	-	
単精度浮動 小数点命令	171	FLDI0	FRn	LS	1	0	#1	-	-	-
	172	FLDI1	FRn	LS	1	0	#1	-	-	-
	173	FMOV	FRm,FRn	LS	1	0	#1	-	-	-
	174	FMOV.S	@Rm,FRn	LS	1	2	#2	-	-	-
	175	FMOV.S	@Rm+,FRn	LS	1	1/2	#2	-	-	-
	176	FMOV.S	@(R0,Rm),FRn	LS	1	2	#2	-	-	-
	177	FMOV.S	FRm,@Rn	LS	1	1	#2	-	-	-
	178	FMOV.S	FRm,@-Rn	LS	1	1/1	#2	-	-	-
	179	FMOV.S	FRm,@(R0,Rn)	LS	1	1	#2	-	-	-
	180	FLDS	FRm,FPUL	LS	1	0	#1	-	-	-
	181	FSTS	FPUL,FRn	LS	1	0	#1	-	-	-
	182	FABS	FRn	LS	1	0	#1	-	-	-
	183	FADD	FRm,FRn	FE	1	3/4	#36	-	-	-
	184	FCMP/EQ	FRm,FRn	FE	1	2/4	#36	-	-	-

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
単精度浮動 小数点命令	185	FCMP/GT	FRm,FRn	FE	1	2/4	#36	-	-	-
	186	FDIV	FRm,FRn	FE	1	12/13	#37	F3	2	10
								F1	11	1
	187	FLOAT	FPUL,FRn	FE	1	3/4	#36	-	-	-
	188	FMAC	FR0,FRm,FRn	FE	1	3/4	#36	-	-	-
	189	FMUL	FRm,FRn	FE	1	3/4	#36	-	-	-
	190	FNEG	FRn	LS	1	0	#1	-	-	-
	191	FSQRT	FRn	FE	1	11/12	#37	F3	2	9
								F1	10	1
	192	FSUB	FRm,FRn	FE	1	3/4	#36	-	-	-
	193	FTRC	FRm,FPUL	FE	1	3/4	#36	-	-	-
	194	FMOV	DRm,DRn	LS	1	0	#1	-	-	-
	195	FMOV	@Rm,DRn	LS	1	2	#2	-	-	-
	196	FMOV	@Rm+,DRn	LS	1	1/2	#2	-	-	-
	197	FMOV	@(R0,Rm),DRn	LS	1	2	#2	-	-	-
	198	FMOV	DRm,@Rn	LS	1	1	#2	-	-	-
199	FMOV	DRm,@-Rn	LS	1	1/1	#2	-	-	-	
200	FMOV	DRm,@(R0,Rn)	LS	1	1	#2	-	-	-	
倍精度浮動 小数点命令	201	FABS	DRn	LS	1	0	#1	-	-	-
	202	FADD	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
	203	FCMP/EQ	DRm,DRn	CO	2	3/5	#40	F1	2	2
	204	FCMP/GT	DRm,DRn	CO	2	3/5	#40	F1	2	2
	205	FCNVDS	DRm,FPUL	FE	1	4/5	#38	F1	2	2
	206	FCNVSD	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
	207	FDIV	DRm,DRn	FE	1	(24,25)/26	#41	F3	2	23
								F1	22	3
								F1	2	2
	208	FLOAT	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
	209	FMUL	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
	210	FNEG	DRn	LS	1	0	#1	-	-	-
	211	FSQRT	DRn	FE	1	(23,24)/25	#41	F3	2	22
F1								21	3	
F1								2	2	
212	FSUB	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6	
213	FTRC	DRm,FPUL	FE	1	4/5	#38	F1	2	2	

機能分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
FPU システム 制御命令	214	LDS	Rm,FPUL	LS	1	1	#1	-	-	-
	215	LDS	Rm,FPSCR	CO	1	4	#32	F1	3	3
	216	LDS.L	@Rm+,FPUL	CO	1	1/2	#2	-	-	-
	217	LDS.L	@Rm+,FPSCR	CO	1	1/4	#33	F1	3	3
	218	STS	FPUL,Rn	LS	1	3	#1	-	-	-
	219	STS	FPSCR,Rn	CO	1	3	#1	-	-	-
	220	STS.L	FPUL,@-Rn	CO	1	1/1	#2	-	-	-
	221	STS.L	FPSCR,@-Rn	CO	1	1/1	#2	-	-	-
グラフィクス 強化命令	222	FMOV	DRm,XDn	LS	1	0	#1	-	-	-
	223	FMOV	XDm,DRn	LS	1	0	#1	-	-	-
	224	FMOV	XDm,XDn	LS	1	0	#1	-	-	-
	225	FMOV	@Rm,XDn	LS	1	2	#2	-	-	-
	226	FMOV	@Rm+,XDn	LS	1	1/2	#2	-	-	-
	227	FMOV	@(R0,Rm),XDn	LS	1	2	#2	-	-	-
	228	FMOV	XDm,@Rn	LS	1	1	#2	-	-	-
	229	FMOV	XDm,@-Rn	LS	1	1/1	#2	-	-	-
	230	FMOV	XDm,@(R0,Rn)	LS	1	1	#2	-	-	-
	231	FIPR	FVm,FVn	FE	1	4/5	#42	F1	3	1
	232	FRCHG		FE	1	1/4	#36	-	-	-
	233	FSCHG		FE	1	1/4	#36	-	-	-
	234	FTRV	XMTRX,FVn	FE	1	(5,5,6,7)/8	#43	F0	2	4
								F1	3	4

- 【注】
- 命令グループについては表 8.1 を参照してください。
 - レイテンシ"L1/L2..." : MACH/MACL/FPSCR を含む各レジスタへの書き込みに対応するレイテンシ。
「例」MOV.B @Rm+,Rn "1/2" : Rm に対するレイテンシは 1 サイクルで Rn に対するレイテンシは 2 サイクル
 - 分岐のレイテンシ : 分岐先命令がフェッチされるまでの間隔
 - 条件分岐のレイテンシ"2 (または 1)" : 0 以外のディスプレイメントに対するレイテンシは 2 で、0 ディスプレースメントに対するレイテンシは 1 です。
 - 倍精度浮動小数点命令のレイテンシ"(L1,L2)/L3" : L1 は FR [n+1]、L2 は FR [n]、L3 は FPSCR に対するレイテンシです。
 - FTRV のレイテンシ"(L1,L2,L3,L4)/L5" : L1 は FR [n]、L2 は FR [n+1]、L3 は FR [n+2]、L4 は FR [n+3]、L5 は FPSCR に対するレイテンシです。
 - MAC.L、MAC.W 命令のレイテンシ"L1/L2/L3/L4" : L1 は Rm、L2 は Rn、L3 は MACH、および L4 は MACL に対するレイテンシです。
 - MUL.L、MULS.W、MULU.W、DMULS.L、DMULU.L 命令のレイテンシ"L1/L2" : L1 は MACH、L2 は MACL に対するレイテンシです。
 - 実行パターン : 命令実行のパターン番号 (図 8.2 参照)

10. ロック / ステージ : 命令がロックするステージ
11. ロック / 開始 : ロッキングの開始サイクル ; 1 は命令の最初の D ステージ
12. ロック / サイクル : ロックしたサイクル数

例外 :

1. 浮動小数点演算命令に FMOV によるストア、STS FPUL,Rn,STS.L FPUL,@-Rn が続く場合、浮動小数点演算のレイテンシは 1 サイクル減少します。
2. 先行命令が次の SHAD/SHLD のシフト量をロードする場合、ロードのレイテンシは 1 サイクル増加します。
3. 3 サイクル未満のレイテンシを持つ LS グループ命令に倍精度浮動小数点命令、FIPR または FTRV が続く場合、最初の命令のレイテンシは 3 サイクルに増加します。
「例」"FMOV FR4,FR0"および"FIPR FV0,FV4"の場合、FIPR は 2 サイクルストールされます。
4. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L に"STS.L MACH/MACL, @-Rn"命令が続く場合、MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L のレイテンシは 5 サイクルです。
5. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が連続実行された場合、レイテンシは 2 サイクルに減少します。
6. MACH/MACL への LDS に"STS.L MACH/MACL, @-Rn"命令が続く場合、MACH/MACL への LDS のレイテンシは 4 サイクルです。
7. MACH/MACL への LDS に MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が続く場合、MACH/MACL への LDS のレイテンシは 1 サイクルです。
8. FSCHG または FRCHG 命令に、浮動小数点レジスタを読み出し / 書き込みする LS グループ命令が続く場合、前記 LS グループの命令は並列実行できません。
9. 単精度 FTRC 命令に"STS FPUL, Rn"命令が続く場合、単精度 FTRC 命令のレイテンシは 1 サイクルです。

8.4 使用上の注意

パイプライン動作とクロック数の計算方法に関して以下の注意事項を追加します。

外部バス等へのアクセスが発生したステージの処理に必要なステート数(1クロック数)は、バスステートコントローラ(BSC)等で設定したメモリアクセスのサイクル数に加え、追加サイクルの分が多くなる場合があります。

例えば、

1. 論理アドレスバスから物理アドレスバスへのデータ受け渡し
2. 異なる動作クロックのバス間のデータ受け渡し

があるため、外部バス上でも観測されるアイドルサイクルが発生する可能性があります。

なお、外部メモリアクセスが発生するステージは、一部の命令フェッチ(I)または一部のメモリアクセス(MA)です。

9. 低消費電力モード

9.1 概要

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

9.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ディープスリープモード
3. スタンバイモード
4. ハードウェアスタンバイモード*
5. モジュールスタンバイ機能 (TMU、RTC、SCI/SCIF、DMAC、SQ*、UBC*の内蔵モジュール)

【注】 * SH7750S、SH7750R のみ

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 9.1 に示します。

表 9.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態						解除方法
		CPG	CPU	内蔵メモリ	内蔵周辺モジュール	端子	外部メモリ	
スリープ	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
ディープスリープ	STBCR の STBY ビットが 0、STBCR2 の DSLP ビットが 1 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作 (DMA は停止)	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
スタンバイ	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止 (レジスタは保持)	保持	停止*	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
ハードウェアスタンバイ (SH7750S、SH7750R のみ)	CA 端子をローレベルにする	停止	停止	不定	停止*	ハイインピーダンス状態	不定	(1) パワーオンリセット
モジュールスタンバイ	STBCR/STBCR2 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止*	保持	リフレッシュ	(1) MSTP ビットを 0 とする (2) リセット

【注】 * RTC は、RCR2 の START ビットが 1 のとき、動作します(「第 11 章 リアルタイムクロック (RTC)」参照)。

9.1.2 レジスタ構成

低消費電力モード関連のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFC00004	H'1FC00004	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFC00010	H'1FC00010	8
クロック停止レジスタ 00*	CLKSTP00	R/W	H'00000000	H'FE0A0000	H'1E0A0000	32
クロック停止解除レジスタ 00*	CLKSTPCLR00	W	H'00000000	H'FE0A0008	H'1E0A0008	32

【注】 * SH7750R のみ。

9.1.3 端子構成

低消費電力モード関連の端子構成を表 9.3 に示します。

表 9.3 端子構成

端子名	略称	入出力	機能
処理状態 1 処理状態 0	STATUS1 STATUS0	出力	プロセッサの動作状態を表します (STATUS1、STATUS0) HH: リセット HL: スリープモード LH: スタンバイモード LL: 通常動作
ハードウェアスタンバイ要求 (SH7750S、SH7750R のみ)	CA	入力	端子にローレベルを入力することによりハードウェアスタンバイモードへ遷移します

【注】 H はハイレベルを表します。L はローレベルを表します。

9.2 レジスタの説明

9.2.1 スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタ (STBCR) は、低消費電力モードの状態を指定します。STBCR レジスタは、読み出し/書き込み可能な 8 ビットのレジスタです。RESET 端子およびウォッチドッグタイマのオーバフローによるパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	STBY	PHZ	PPU	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7: スタンバイ (STBY)

スタンバイモードへの遷移を指定します。

ビット 7	説明
STBY	
0	SLEEP 命令の実行で、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行で、スタンバイモードへ遷移

ビット 6: 周辺モジュール端子ハイインピーダンス制御 (PHZ)

スタンバイモード時の、周辺モジュール関連端子の状態を制御します。PHZ を 1 にセットすると、スタンバイモード時に、周辺モジュール関連端子がハイインピーダンス状態になります。

対象端子は「9.2.2 周辺モジュール端子ハイインピーダンス制御」を参照してください。

ビット 6	説明
PHZ	
0	周辺モジュール関連端子を通常状態 (初期値)
1	周辺モジュール関連端子をハイインピーダンス状態

ビット 5: 周辺モジュール端子プルアップ制御 (PPU)

周辺モジュール関連端子の状態を制御します。PPU ビットを 0 にクリアすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときに、プルアップ抵抗がオンになります。

対象端子は「9.2.3 周辺モジュール端子プルアップ制御」を参照してください。

ビット 5	説明
PPU	
0	周辺モジュール関連端子のプルアップ抵抗オン (初期値)
1	周辺モジュール関連端子のプルアップ抵抗オフ

ビット 4 : モジュールストップ 4 (MSTP4)

DMAC へのクロック供給の停止を指定します。

MSTP4 ビットを 1 にセットすると DMAC へのクロック供給を停止します。

DMA 転送時は、転送を停止した後、MSTP4 ビットを 1 に設定してください。

MSTP4 ビットを 0 に設定した後、DMA 転送を行う場合は、DMAC の設定を再度行ってください。

ビット 4	説明
MSTP4	
0	DMAC は動作 (初期値)
1	DMAC へのクロックの供給を停止

ビット 3 : モジュールストップ 3 (MSTP3)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャンネル 2 (SCIF) へのクロック供給の停止を指定します。

MSTP3 ビットを 1 にセットすると SCIF へのクロック供給を停止します。

ビット 3	説明
MSTP3	
0	SCIF は動作 (初期値)
1	SCIF へのクロックの供給を停止

ビット 2 : モジュールストップ 2 (MSTP2)

内蔵周辺モジュールのうち、タイマユニット (TMU) へのクロック供給の停止を指定します。

MSTP2 ビットを 1 にセットすると TMU へのクロック供給を停止します。

ビット 2	説明
MSTP2	
0	TMU は動作 (初期値)
1	TMU へのクロックの供給を停止

ビット 1 : モジュールストップ 1 (MSTP1)

内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。

MSTP1 ビットを 1 にセットすると RTC へのクロック供給を停止します。クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。

ビット 1	説明
MSTP1	
0	RTC は動作 (初期値)
1	RTC へのクロックの供給を停止

ビット 0 : モジュールストップ 0 (MSTP0)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャネル 1 (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットを 1 にセットすると SCI へのクロック供給を停止します。

ビット 0	説明
MSTP0	
0	SCI は動作 (初期値)
1	SCI へのクロックの供給を停止

9.2.2 周辺モジュール端子ハイインピーダンス制御

スタンバイコントロールレジスタ (STBCR) のビット 6 に 1 をセットすると、スタンバイモード時に、周辺モジュール関連端子をハイインピーダンス状態にします。

(1) 対象端子

SCI 関連端子	MD0/SCK	MD1/TXD2
	MD7/TXD	MD8/RTS2
	CTS2	
DMA 関連端子	DACK0	DRAK0
	DACK1	DRAK1

(2) その他

上記端子がポートの出力端子として使用されているときは、本レジスタの設定は無効です。端子状態の詳細は「付録 E. 端子機能」を参照してください。

9.2.3 周辺モジュール端子プルアップ制御

スタンバイコントロールレジスタ (STBCR) のビット 5 に 0 をセットすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときにプルアップされます。

(1) 対象端子

SCI 関連端子	MD0/SCK	MD1/TXD2	MD2/RXD2
	MD7/TXD	MD8/RTS2	SCK2/MRESET
	RXD	CTS2	
DMA 関連端子	DREQ0	DACK0	DRAK0
	DREQ1	DACK1	DRAK1
TMU 関連	TCLK		

(2) その他

ハードウェアスタンバイ時は、本レジスタの設定は無効です。端子状態の詳細は「付録 E. 端子機能」を参照してください。

9.2.4 スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 (STBCR2) は、スリープモードとディープスリープモードの遷移条件を指定します。STBCR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。RESET 端子およびウォッチドッグタイマのオーバフローによるパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	DSLSP	STHZ*2	-	-	-	-	MSTP6*1	MSTP5*1
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W

【注】*1 SH7750では予約ビットとなります。

*2 SH7750、SH7750Sでは予約ビットとなります。

ビット 7: ディープスリープ (DSLSP)

ディープスリープモードへの遷移を指定します。

ビット 7	説明
DSLSP	
0	SLEEP 命令の実行で、STBCR レジスタの STBY ビットの設定に従いスリープモードまたはスタンバイモードへ遷移する (初期値)
1	SLEEP 命令の実行で、ディープスリープモードへ遷移*

【注】 * STBCR レジスタの STBY ビットが 0 の場合

ビット 6: STATUS 端子ハイインピーダンス制御 (STHZ)

ハードウェアスタンバイモード時に STATUS0、1 端子をハイインピーダンスにするかどうかを設定します。

ビット 6	説明
STHZ	
0	ハードウェアスタンバイ時、STATUS0、1 端子はハイインピーダンス (初期値)
1	ハードウェアスタンバイ時、STATUS0、1 端子は LH をドライブ

ビット 5~2: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作は保証できません。

読み出すときは常に 0 です。

ビット 1~0 (SH7750): 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット1 (SH7750S、SH7750R) : モジュールストップ6 (MSTP6)

キャッシュコントローラ (CCN) 内のストアキュー (SQ) へのクロック供給の停止を指定します。MSTP6 ビットを1にセットするとSQへのクロック供給を停止するため、SQの機能は使用できなくなります。

ビット1	説明
MSTP6	
0	SQは動作 (初期値)
1	SQへのクロックの供給を停止

ビット0 (SH7750S、SH7750R) : モジュールストップ5 (MSTP5)

ユーザブ레이크コントローラ (UBC) へのクロック供給の停止を指定します。設定方法は「20.6 ユーザブ레이크コントローラ停止機能」を参照してください。

ビット0	説明
MSTP5	
0	UBCは動作 (初期値)
1	UBCへのクロックの供給を停止

9.2.5 クロック停止レジスタ 00 (CLKSTP00) : SH7750R のみ

クロック停止レジスタ 00 (CLKSTP00) は、周辺モジュールの動作クロックを制御します。

クロック供給を再開するには CLKSTPCLR00 レジスタの対応するビットに 1 を書き込みます。CLKSTP00 に 0 を書き込んで値は変化しません。

CLKSTP00 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。マニュアルリセット、スタンバイモード時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSTP1	CSTP0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 31~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : クロックストップ 1 (CSTP1)

タイマユニット (TMU) チャネル 3、4 への周辺クロック供給の停止を指定します。

ビット 1	説明
CSTP1	
0	TMU チャネル 3、4 へ周辺クロックを供給 (初期値)
1	TMU チャネル 3、4 への周辺クロックの供給を停止

ビット 0 : クロックストップ 0 (CSTP0)

割り込みコントローラ (INTC) への周辺クロック供給の停止を指定します。このビットをセットすると、TMU チャネル 3、4 の割り込みの検出が行われなくなります。

ビット 0	説明
CSTP0	
0	INTC は、TMU チャネル 3、4 の割り込みを検出します。 (初期値)
1	INTC は、TMU チャネル 3、4 の割り込みを検出しません。

9.2.6 クロック停止解除レジスタ 00 (CLKSTPCLR00) : SH7750R のみ

クロック停止解除レジスタ 00 (CLKSTPCLR00) は、CLKSTP00 レジスタの対応するビットをクリアするレジスタです。CLKSTPCLR00 レジスタは 32 ビットの書き込み専用レジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット 31~0 : クロックストップクリア

各ビットに対応するクロックストップをクリアするかどうかを設定します。各ビットと停止するクロックの関係は、「9.2.5 クロック停止レジスタ 00 (CLKSTP00) : SH7750R のみ」を参照してください。

ビット 31~0	説明
0	対応するクロックストップを変更しません。
1	対応するクロックストップをクリアします。

9.3 スリープモード

9.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

9.3.2 スリープモードの解除

スリープモードは、割り込み（NMI、IRL、内蔵周辺）、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

（1）割り込みによる解除

NMI、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

（2）リセットによる解除

$\overline{\text{RESET}}$ 端子によるパワーオンリセット、マニュアルリセット、およびウォッチドッグタイマオーバフロー時に発生するパワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

9.4 ディープスリープモード

9.4.1 ディープスリープモードへの遷移

STBCR レジスタの STBY ビットが 0、STBCR2 レジスタの DSLP ビットが 1 の状態で、SLEEP 命令を実行すると、プログラム実行状態からディープスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。DMAC*を除く内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けますが、すべてのバスアクセス（オートリフレッシュを含む）は停止します。リフレッシュが必要なメモリを使用する場合は、ディープスリープモードへ遷移する前に、セルフリフレッシュに設定してください。

ディープスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

【注】 * ディープスリープモードへ遷移させる場合は、DMA 転送を終了させてください。転送中にディープスリープモードへ遷移させると、転送結果は保証されません。

9.4.2 ディープスリープモードの解除

ディープスリープモードは、スリープモードと同様に、割り込み（NMI、IRL、内蔵周辺モジュール）、リセットにより解除されます。

9.5 スタンバイモード

9.5.1 スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタの状態を表 9.4 に示します。

表 9.4 スタンバイモード時のレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ		全レジスタ
ユーザブ레이크コントローラ		全レジスタ
バスステートコントローラ		全レジスタ
内蔵発振回路		全レジスタ
タイマユニット	TSTR レジスタ*	左記以外のレジスタ
リアルタイムクロック		全レジスタ
ダイレクトメモリアクセスコントローラ		全レジスタ
シリアルコミュニケーションインタフェース	「付録 A. アドレス一覧」参照	「付録 A. アドレス一覧」参照

【注】 * 「第 12 章 タイマユニット (TMU)」を参照してください。

【注】 スタンバイモードへ遷移させる場合は、DMA 転送を終了させてください。

転送中にスタンバイモードへ遷移させると転送結果は保証されません。

スタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
WDTのタイマカウンタ (WTCNT) にカウントアップ時の初期値を、WTCSRレジスタのCKS2~CKS0ビットに、カウントアップに使用するクロックを設定します。
2. STBCRレジスタのSTBYビットに1を設定した後、SLEEP命令を実行させます。
3. スタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0 端子からハイレベルが出力されます。

9.5.2 スタンバイモードの解除

スタンバイモードは、割り込み（NMI、IRL、内蔵周辺）、 $\overline{\text{RESET}}$ 端子によるリセットにより解除されます。

（1）割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRL^{*1}、RTC、GPIO^{*2}の各割り込みが検出されると、WDT がカウントを開始します。カウントオーバフロー後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。またスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

- 【注】 *1 RTC クロック (32.768kHz) が発振しているとき（「19.2.2 IRL 割り込み」参照）、IRL3～IRL0 でスタンバイモードを解除できます（条件は、IRL3～IRL0 レベルが SR レジスタの IMASK のマスクレベルより高い場合）。
- *2 RTC クロック (32.768kHz) が発振しているとき、GPIO でスタンバイモードを解除できます（条件は、GPIO レベルが SR レジスタの IMASK のマスクレベルより高い場合）。

（2）リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセット（パワーオン、マニュアル）により、スタンバイモードは解除されます。 $\overline{\text{RESET}}$ 端子は、クロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

9.5.3 クロックポーズ機能

スタンバイモードでは、EXTAL 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

1. スタンバイモードへの遷移の手順でスタンバイモードに遷移させます。
2. スタンバイモードに入り、LSI 内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。
3. STATUS1 端子がローレベル、STATUS0 端子がハイレベルになってから、入力クロックの停止、または周波数の変更を行います。
4. 周波数変更の場合、変更後にNMIまたはIRLの割り込みを入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
5. WDT で設定した時間後にLSI内部にクロックが印加され始め、STATUS1、STATUS0端子がどちらもローレベルになって割り込み例外処理から動作を再開します。

9.6 モジュールスタンバイ機能

9.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの MSTP6～MSTP0、CSTP1、CSTP0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、スリープ時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、停止前の状態を保持します。レジスタは一部を除いて停止前の状態を保持します。

ビット		説明
CSTP1* ⁶	0	TMU チャンネル 3、4 へ周辺クロックを供給
	1	TMU チャンネル 3、4 への周辺クロックの供給を停止
CSTP0* ⁶	0	INTC は TMU チャンネル 3、4 の割り込みを検出します
	1	INTC は TMU チャンネル 3、4 の割り込みを検出しません
MSTP6* ⁴	0	SQ は動作します
	1	SQ へ供給されるクロックは停止します
MSTP5* ⁴	0	UBC は動作します
	1	UBC へ供給されるクロックは停止します* ⁵
MSTP4	0	DMAC は動作します
	1	DMAC へ供給されるクロックが停止します* ³
MSTP3	0	SCIF は動作します
	1	SCIF へ供給されるクロックが停止します
MSTP2	0	TMU は動作します
	1	TMU へ供給されるクロックが停止し、レジスタが初期化されます* ¹
MSTP1	0	RTC は動作します
	1	RTC へ供給されるクロックが停止します* ²
MSTP0	0	SCI は動作します
	1	SCI へ供給されるクロックが停止します

【注】 *1 初期化されるレジスタはスタンバイモードと同じですが、RTC クロックを使用している場合は初期化されません（「第 12 章 タイマユニット (TMU)」参照）。

*2 RCR2 の START ビットが 1 のとき、カウンタは動作します（「第 11 章 リアルタイムクロック (RTC)」参照）。

*3 DMAC をモジュールスタンバイ状態へ遷移させる場合は DMA 転送を終了させてください。転送中にモジュールスタンバイ状態へ遷移させると、転送結果は保証されません。

*4 SH7750S、SH7750R のみ

*5 詳細な設定手順は、「20.6 ユーザブレイクコントローラ停止機能」を参照してください。

*6 SH7750R のみ

9.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP6～MSTP0、CSTP1、CSTP0 ビットを 0 にするか、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット、またはウォッチドッグタイマオーバーフローにより発生するパワーオンリセットで解除されます。

9.7 ハードウェアスタンバイモード (SH7750S、SH7750R のみ)

9.7.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC 以外のすべてのモジュールが停止します。

ハードウェアスタンバイモードは、スタンバイモードと以下の点で異なります。

1. 割り込み、マニュアルリセットを受け付けません。
2. 出力端子がハイインピーダンス状態となり、プルアップ抵抗もオフとなります。
3. SH7750Sの場合、RTC電源以外の電源端子に給電しなくても、RTCは動作を継続します。

STATUS端子の状態は、STBCR2のSTHZビットに従います。出力端子状態の詳細については、「付録E. 端子機能」を参照してください。

スタンバイモード中に CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

1. スタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

2. スタンバイモードを割り込みで解除する際のWDT動作中

いったんスタンバイモードが解除されてCPUが動作を再開した後、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

9.7.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESET}}$ 端子をローレベル、SCK2 端子をハイレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESET}}$ 端子はクロックの発振が安定するまでローレベルを保持してください。この $\overline{\text{RESET}}$ 端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットでは、ハードウェアスタンバイモードは解除できません。

9.7.3 使用上の注意

1. RTC電源への給電を開始する際には、CA端子をハイレベルに保ってください。(図9.15)
2. SH7750Rでは、ハードウェアスタンバイ時にRTC電源以外の電源端子 (V_{DD} 、 V_{DDQ} 、 V_{DD-CPG} 、 $V_{DD-PLL1}$ 、 $V_{DD-PLL2}$) へも必ず給電してください。

9.8 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

STATUS の意味は次のとおりです。

- reset : HH (STATUS1 がハイレベル、STATUS0 がハイレベル)
- sleep : HL (STATUS1 がハイレベル、STATUS0 がローレベル)
- standby : LH (STATUS1 がローレベル、STATUS0 がハイレベル)
- normal : LL (STATUS1 がローレベル、STATUS0 がローレベル)

クロックの単位の意味は次のとおりです。

- Bcyc : バスクロックの周期
- Pcyc : 周辺クロックの周期

9.8.1 リセットの場合

(1) パワーオンリセット

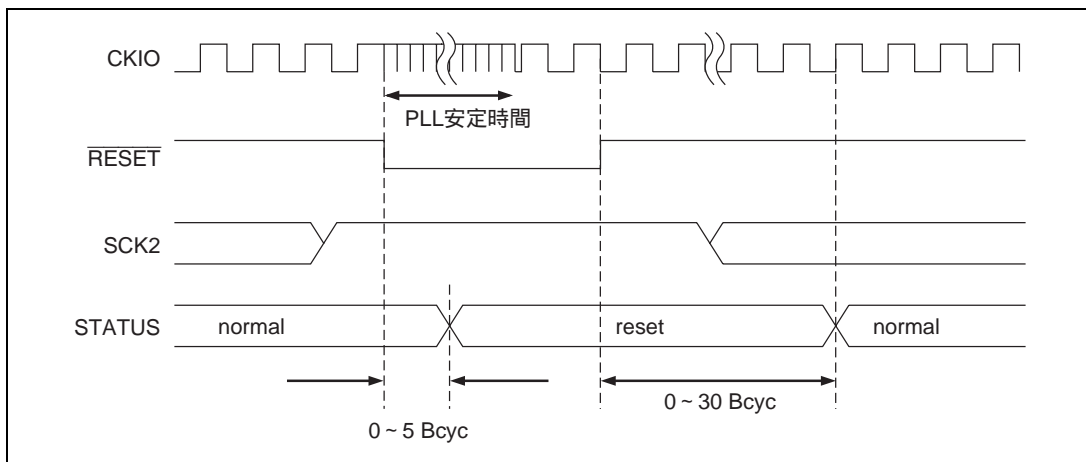


図 9.1 パワーオンリセットの STATUS 出力

(2) マニュアルリセット

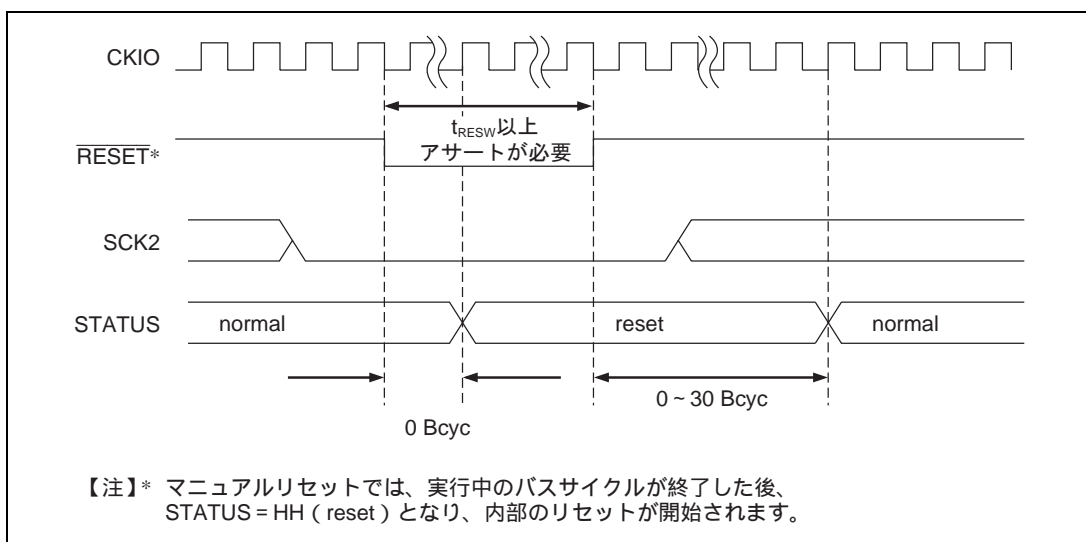


図 9.2 マニュアルリセットの STATUS 出力

9.8.2 スタンバイ解除の場合

(1) スタンバイ 割り込み

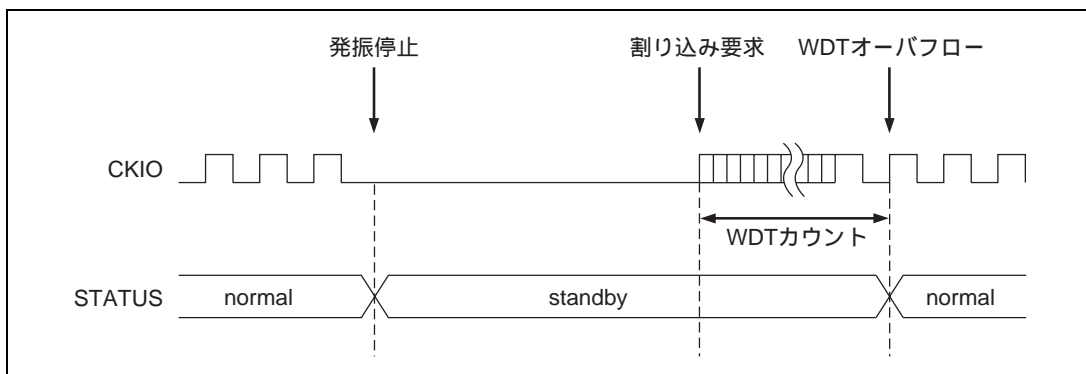


図 9.3 スタンバイ 割り込みの STATUS 出力

(2) スタンバイ パワーオンリセット

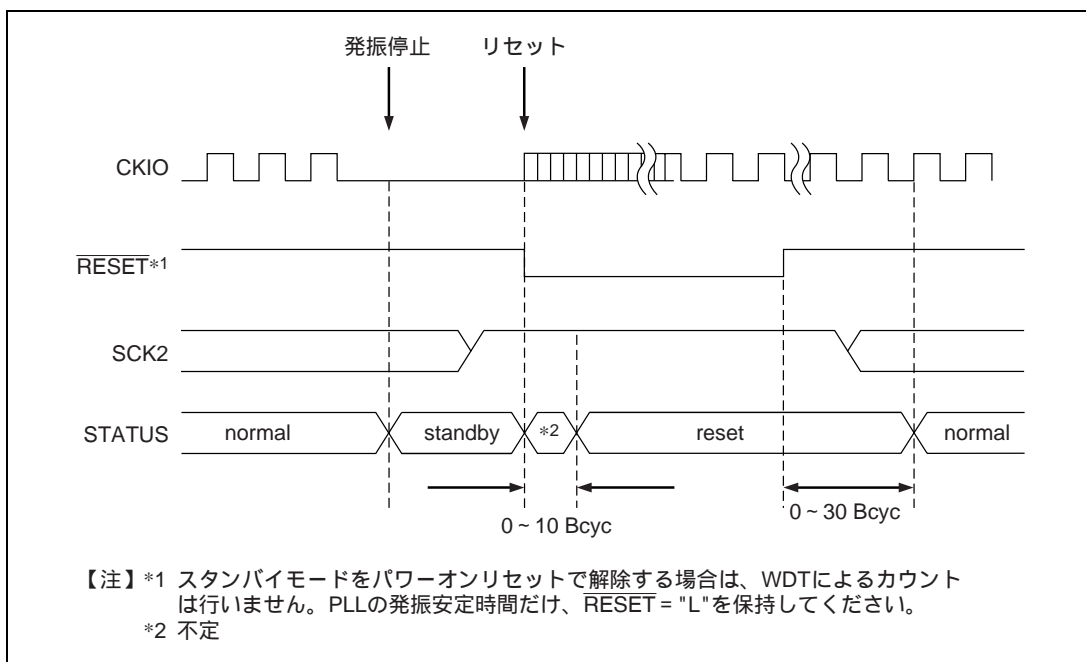


図 9.4 スタンバイ パワーオンリセットの STATUS 出力

(3) スタンバイ マニュアルリセット

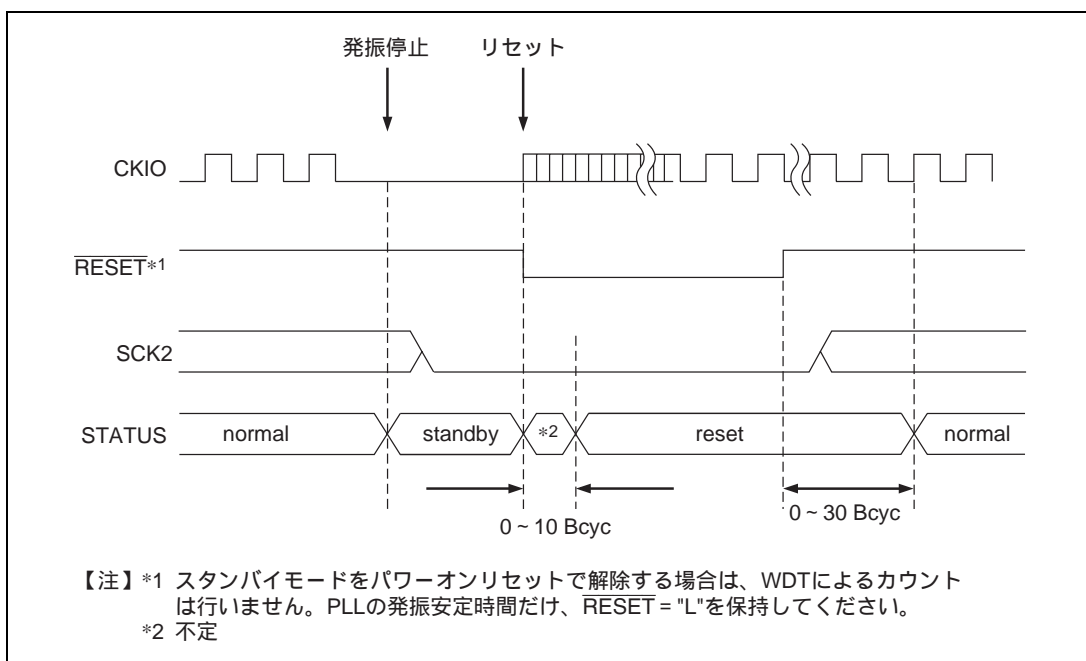


図 9.5 スタンバイ マニュアルリセットの STATUS 出力

9.8.3 スリープ解除の場合

(1) スリープ 割り込み

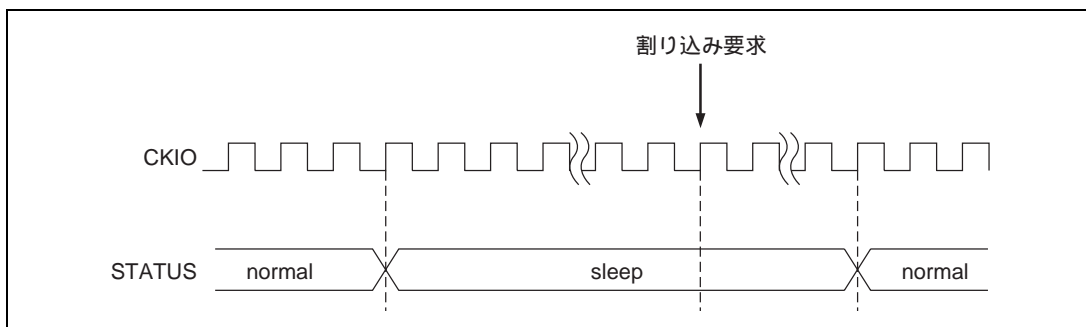


図 9.6 スリープ 割り込みの STATUS 出力

(2) スリープ パワーオンリセット

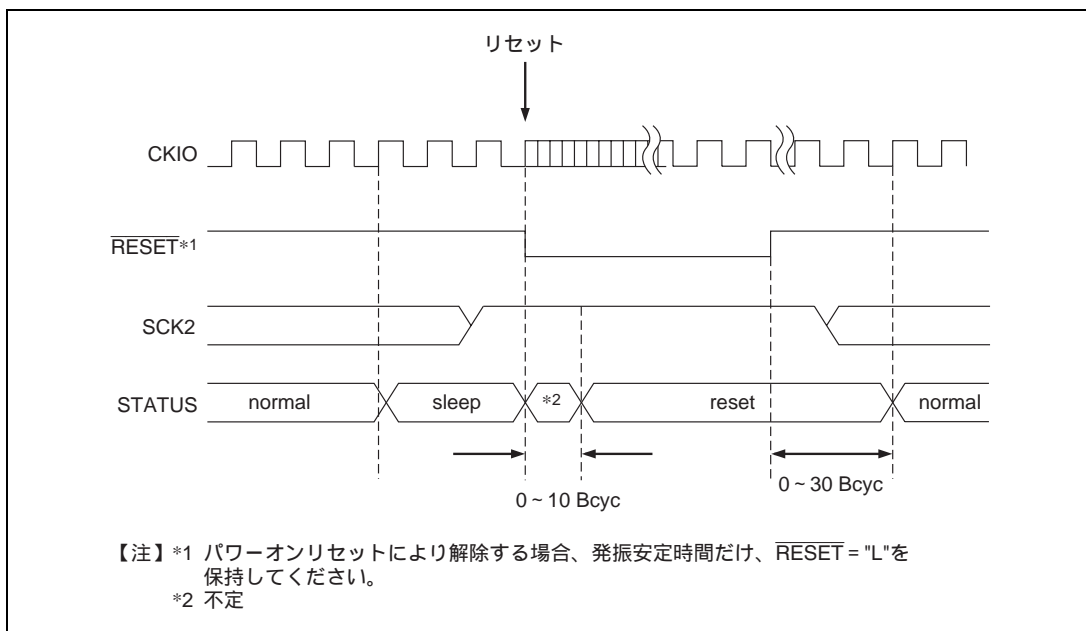


図 9.7 スリープ パワーオンリセットの STATUS 出力

(3) スリープ マニュアルリセット

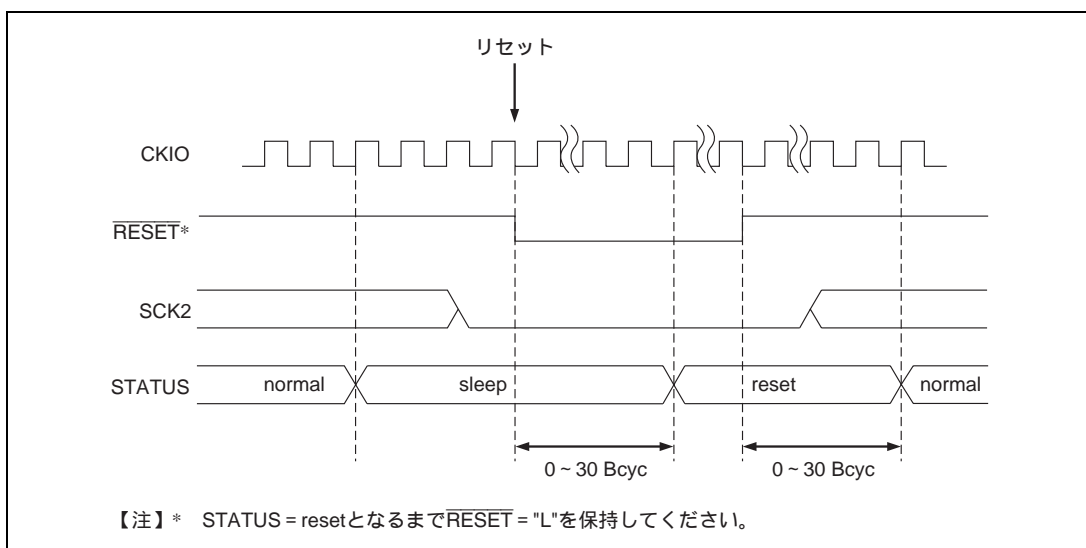


図 9.8 スリープ マニュアルリセットの STATUS 出力

9.8.4 ディープスリープ解除の場合

(1) ディープスリープ 割り込み

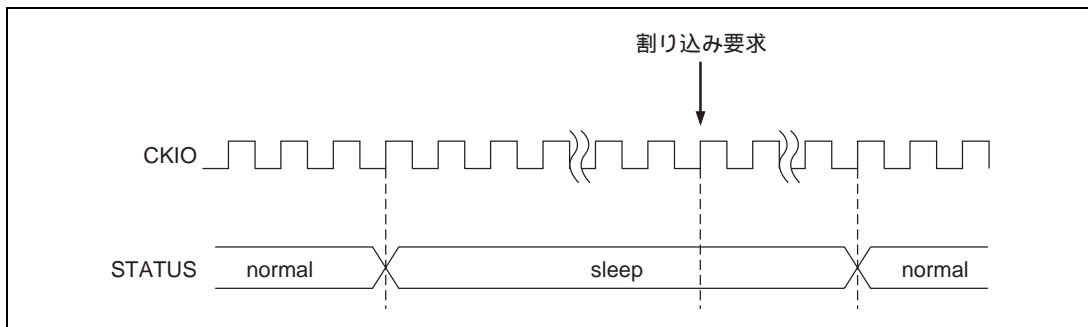


図 9.9 ディープスリープ 割り込みの STATUS 出力

(2) ディープスリープ パワーオンリセット

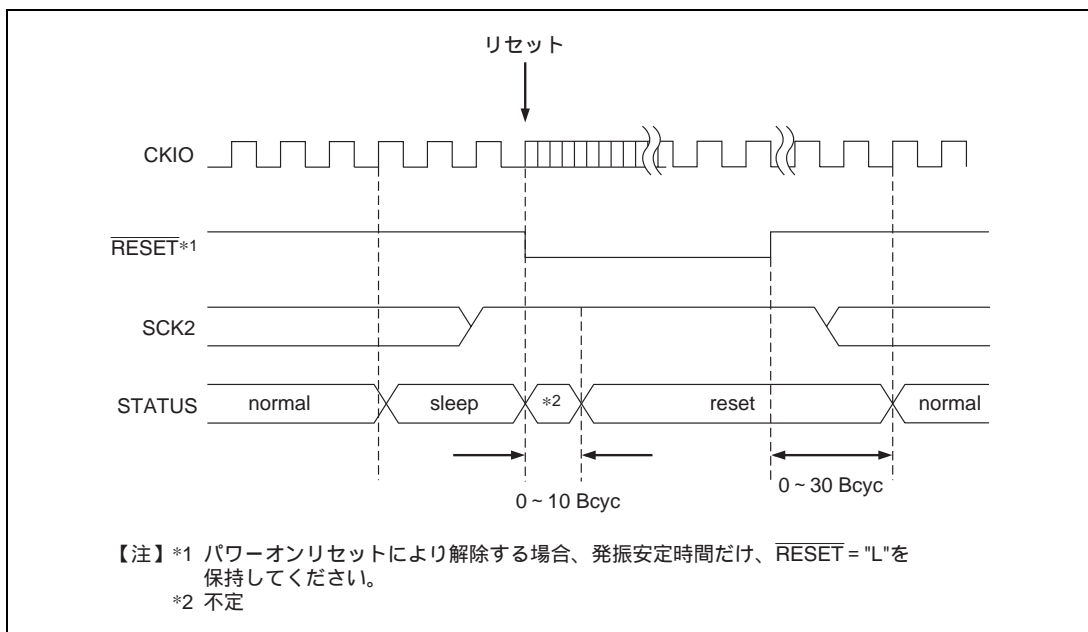


図 9.10 ディープスリープ パワーオンリセットの STATUS 出力

(3) ディープスリープ マニュアルリセット

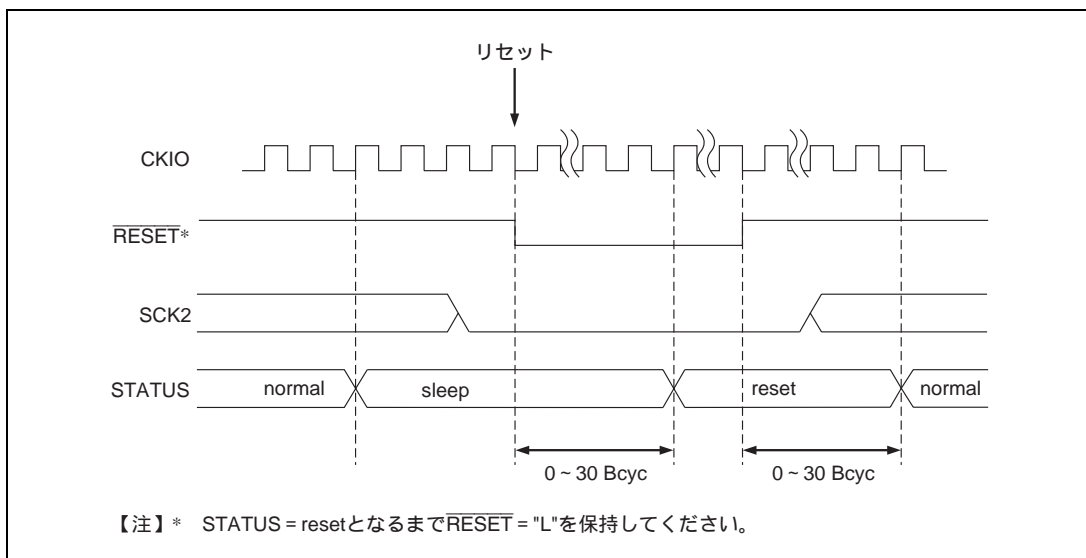


図 9.11 ディープスリープ マニュアルリセットの STATUS 出力

9.8.5 ハードウェアスタンバイモードのタイミング (SH7750S、SH7750R のみ)

ハードウェアスタンバイモードの各端子のタイミング例を図 9.12 に示します。

ハードウェアスタンバイモード中は、必ず CA 端子をローレベルに保持してください。

$\overline{\text{RESET}}$ 端子をローレベルにした後、CA 端子をハイレベルにした時点でクロックが発振を開始します。

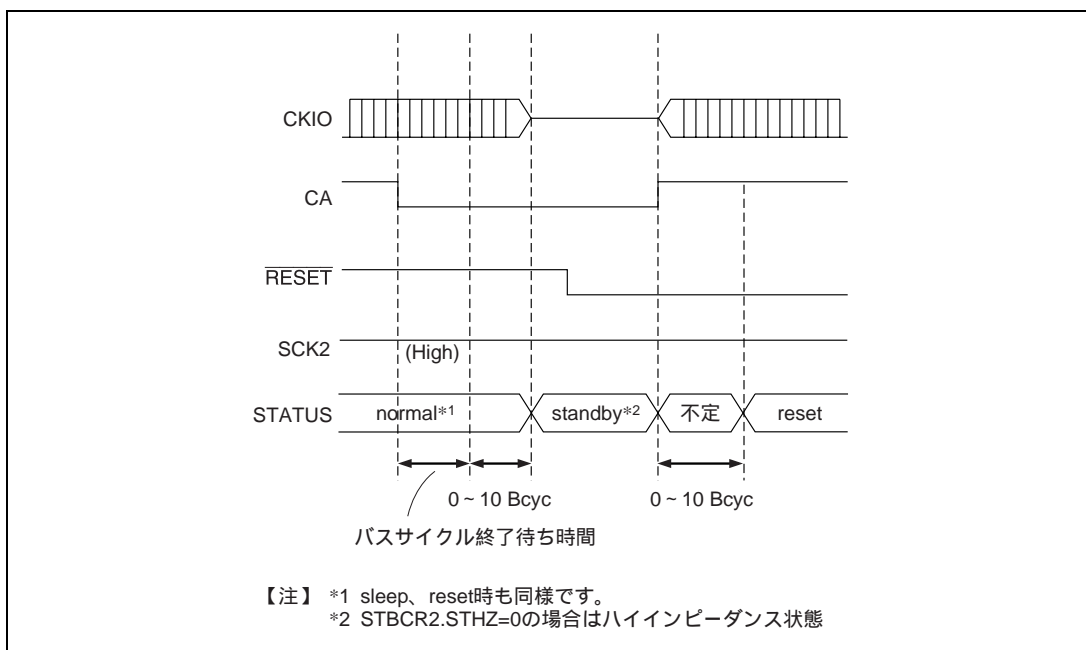


図 9.12 ハードウェアスタンバイモードのタイミング
(通常動作中に CA=Low レベルとなる場合)

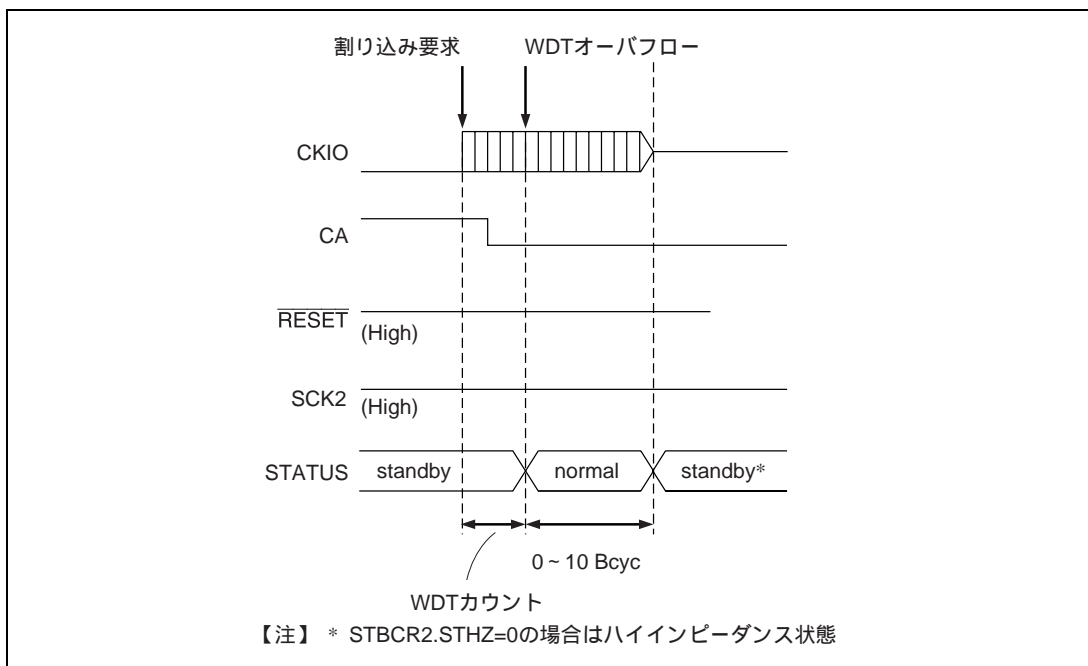


図 9.13 ハードウェアスタンバイモードのタイミング
(WDT 動作中に CA=Low レベルとなる場合)

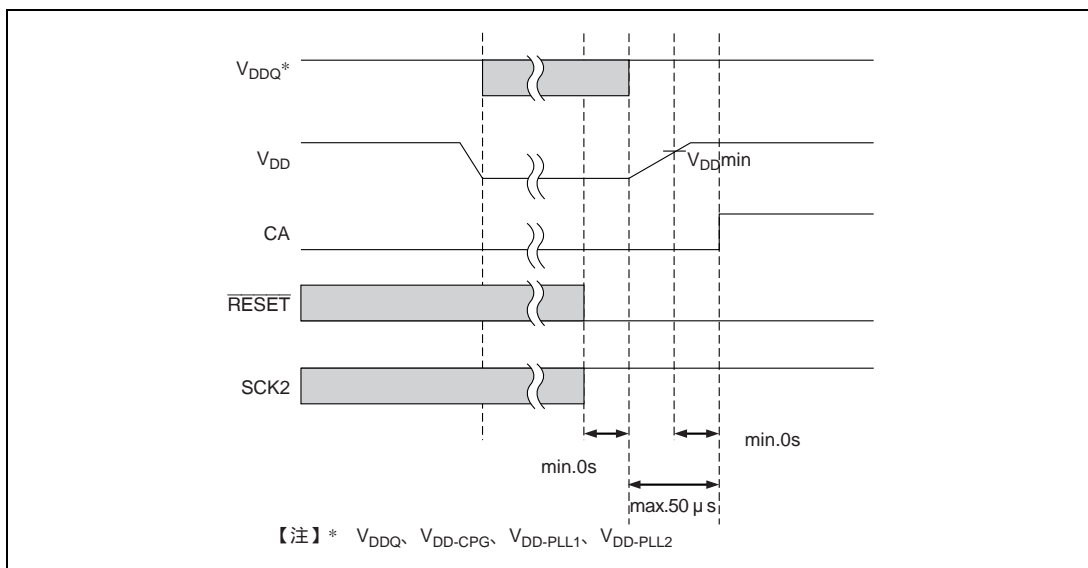


図 9.14 VDD-RTC 以外の電源 OFF 時のタイミング

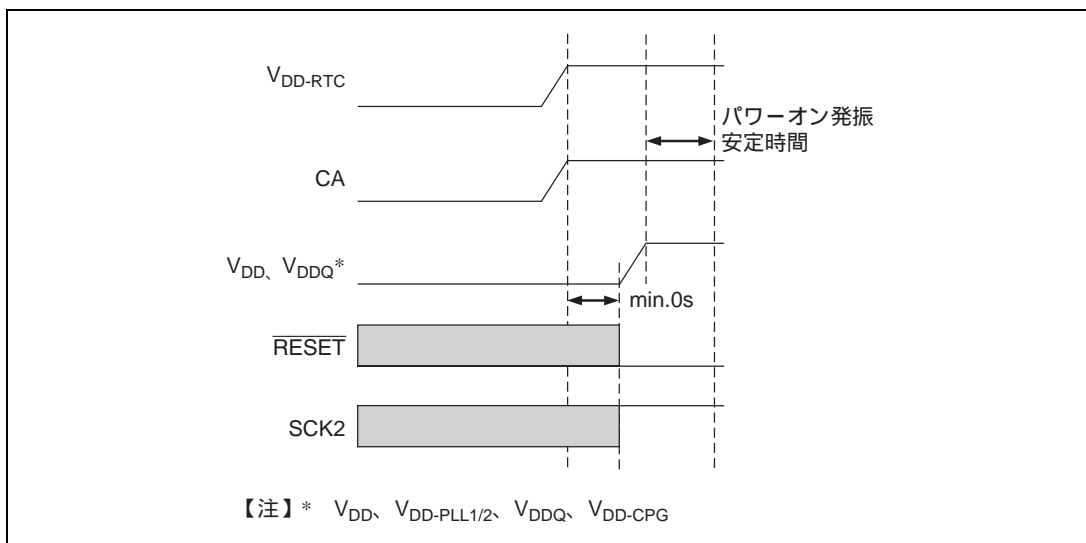


図 9.15 VDD-RTC 電源 OFF ON 時のタイミング

9.9 使用上の注意

9.9.1 消費電流に関する注意事項

パワーオンリセット後、下記の算術演算または浮動小数点演算命令のうち1命令以上を実行するまでの間は、スリープモード時およびスタンバイモード時の消費電流が最大値を超える場合があります。

1. 算術演算命令

MAC.W, MAC.L

2. 浮動小数点演算命令

- FPSCR.PR = 0のとき :

FADD, FSUB, FMUL, FMAC, FLOAT, FTRC, FDIV, FSQRT, FIPR, FTRV

- FPSCR.PR = 1のとき :

FADD, FSUB, FMUL, FLOAT, FTRC, FDIV, FSQRT, FCNVSD, FCNVDS

[回避策]

パワーオンリセット後からスリープモードおよびスタンバイモードへの遷移の前に上記の命令のうち1つ以上を実行してください。

[例]

FPSCR 等への影響を少なくする場合、H'A0000000 から以下の2命令を配置します。

アドレス 命令列

H'A0000000 FLDI1 FR0

H'A0000002 FADD FR0,FR0 ; FLDI1 FR0 により FR0 に1がロードされているために、

: : ; FPSCR の cause / flag ビットに1がセットされません。

10. クロック発振回路

10.1 概要

内蔵発振回路は、クロックパルスジェネレータ(CPG: Clock Pulse Generator)部と、ウォッチドッグタイマ(WDT: Watchdog Timer)部より構成されます。

CPGは、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDTは1チャンネルのタイマであり、スタンバイモードや、周波数変更時に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1.1 特長

CPGには、次の特長があります。

- 3種類のクロック

CPU、FPU、キャッシュ、TLBで使用するCPUクロック(Ick)と、周辺モジュールで使用する周辺モジュールクロック(Pck)、さらに外部バスインタフェースで使用するバスクロック(Bck)を生成できます。

- 6種類のクロックモード

パワーオンリセット後のCPUクロック、バスクロック、周辺モジュールクロックの分周率組み合わせを、6種類のクロック動作モードから選択できます。

- 周波数変更機能

CPG内部のPLL(Phase Locked Loop)回路や分周回路により、CPUクロック、バスクロック、周辺モジュールクロックの周波数を変更できます。周波数変更は、周波数制御レジスタ(FRQCR)の設定により、ソフトウェアで行います。

- PLLのON/OFF

低周波数での動作時にはPLL回路を停止することにより、消費電力が低減できます。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

WDTには、次の特長があります。

- クロック安定時間の確保に使用可能

スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。

リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。

- インターバルタイマモード時、割り込みを発生

カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。

- 8種類のカウンタ入力クロックを選択可能

図10.1に示す分周器2の×1クロックを分周した8種類のクロックから選択できます。

以下、10.2～10.6にCPG、10.7～10.9にWDTについて示します。

10.2 CPG の概要

10.2.1 CPG のブロック図

SH7750/SH7750S/SH7750R の CPG のブロック図を図 10.1 (1)、(2) に示します。

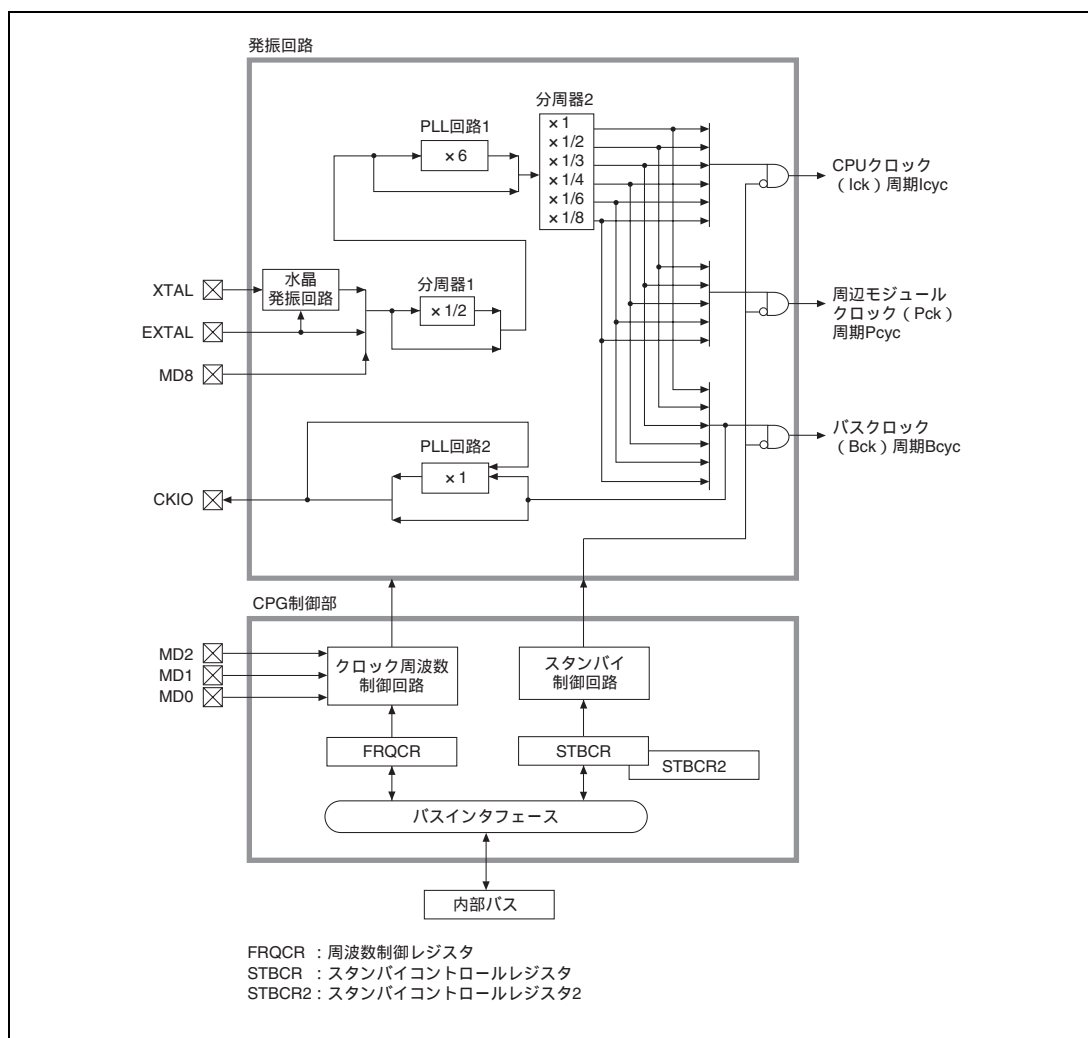


図 10.1 (1) SH7750、SH7750S の CPG のブロック図

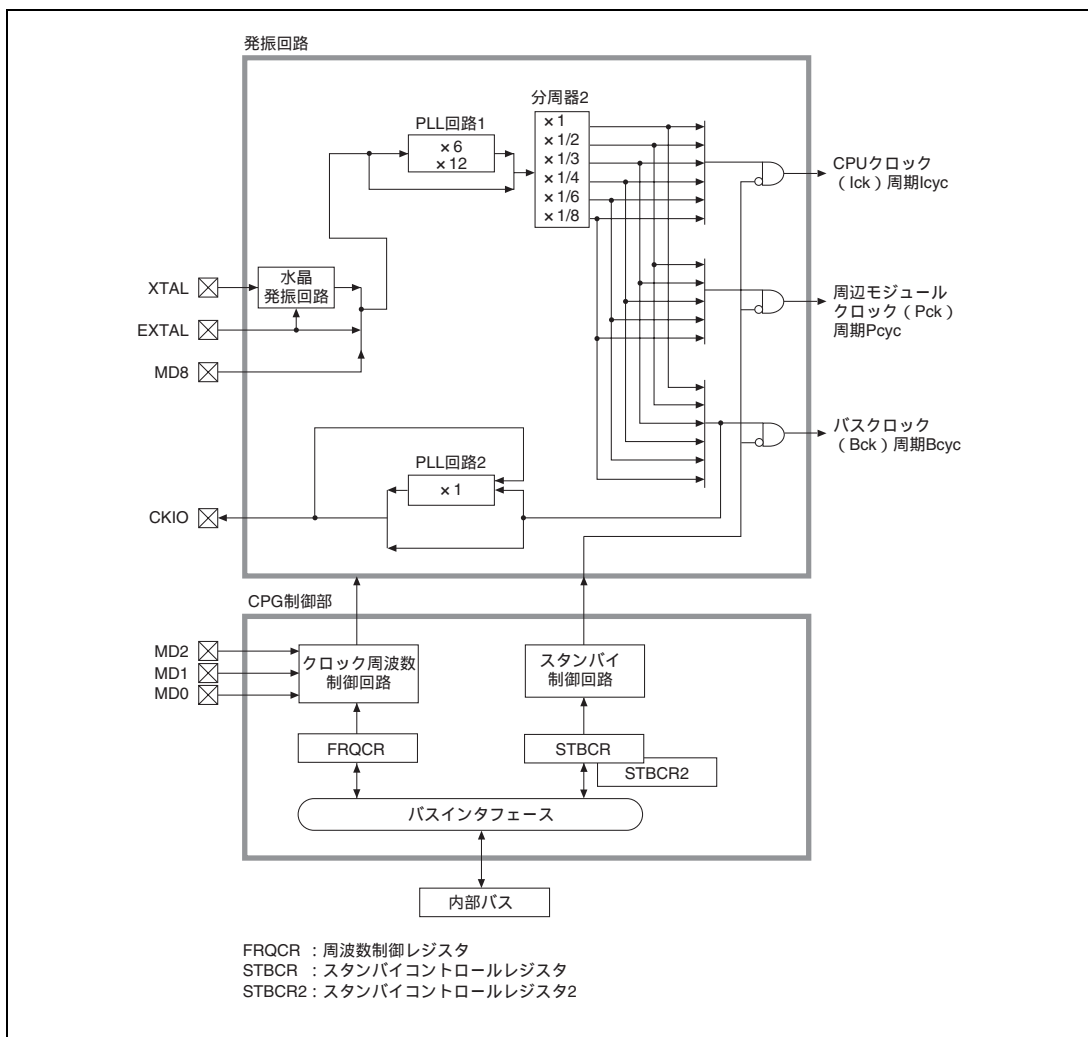


図 10.1 (2) SH7750R の CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、EXTAL 端子または水晶発振回路からのクロック周波数を SH7750、SH7750S では 6 倍、SH7750R では 6 倍および 12 倍に逡倍する機能を持ちます。起動、停止は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は入力クロックの立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、バスクロックと、CKIO 端子からの出カクロックの位相を合わせます。起動、停止は周波数制御レジスタで設定します。

(3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合は発振回路です。水晶発振回路は MD8 端子の設定により使用可能となります。

(4) 分周器 1 (SH7750、SH7750S のみ)

分周器 1 は、EXTAL 端子からのクロック入力を PLL 回路 1 を使用せずに内部に供給する場合に、入力クロック周波数を 1/2 にすることによりクロック波形のデューティを 50% に整える機能を持ちます。

(5) 分周器 2

分周器 2 は、CPU クロック (Ick)、バスクロック (Bck)、周辺モジュールクロック (Pck) を生成します。分周率は、周波数制御レジスタで設定します。

(6) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタによりクロック周波数を制御します。

(7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ/スタンバイモード時の内蔵発振回路およびほかのモジュールの状態を制御します。

(8) 周波数制御レジスタ (FRQCR)

周波数制御レジスタには、CKIO 端子からのクロック出力の有無、PLL 回路 1、2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタには、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 9 章 低消費電力モード」を参照してください。

(10) スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 には、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタ 2 については、「第 9 章 低消費電力モード」を参照してください。

10.2.2 CPG の端子構成

CPG の端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1		
	MD2		
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
	MD8	入力	水晶発振子の使用 / 非使用を設定します。 MD8 = 0 のとき、EXTAL から外部クロックを入力します。 MD8 = 1 のとき、EXTAL、XTAL に直接水晶発振子を接続します。
クロック出力端子	CKIO	出力	外部クロック出力端子として使用します。 レベル固定することもできます。
CKIO イネーブル端子	CKE	出力	CKIO 出力クロックが不安定なときおよびシンクロナス DRAM のセルフリフレッシュ時に 0 になります*。

【注】 * パワーオンリセット時は、1 になります。シンクロナス DRAM のセルフリフレッシュについては「13.3.5 シンクロナス DRAM インタフェース」を参照してください。

10.2.3 CPG のレジスタ構成

CPG のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	不定*	H'FFC00000	H'1FC00000	16

【注】 * MD2 ~ MD0 端子によるクロック動作モードの設定に依存します。

10.3 クロック動作モード

モード制御端子(MD2～MD0)の組み合わせとクロック動作モード(周波数比などの初期設定)の関係を表 10.3 (1)、(2)に示します。

FRQCR の設定値と、内部クロックの周波数を表 10.4 に示します。

表 10.3 (1) SH7750、SH7750S のクロック動作モード

クロック 動作モード	外部端子組み合わせ			1/2 分周器	PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0				CPU クロック	バス クロック	周辺モジュール クロック	
0	0	0	0	Off	On	On	6	3/2	3/2	H'0E1A
1	0	0	1	Off	On	On	6	1	1	H'0E23
2	0	1	0	On	On	On	3	1	1/2	H'0E13
3	0	1	1	Off	On	On	6	2	1	H'0E13
4	1	0	0	On	On	On	3	3/2	3/4	H'0E0A
5	1	0	1	Off	On	On	6	3	3/2	H'0E0A

- 【注】 1. 1/2分周器のON/OFFはクロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「22.3.1 クロック・制御信号タイミング」のEXTALクロック入力周波数(f_{ex})およびCKIOクロック出力(f_{op})を参照してください。

表 10.3 (2) SH7750R のクロック動作モード

クロック 動作モード	外部端子組み合わせ			PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺モジュール クロック	
0	0	0	0	On (×12)	On	12	3	3	H'0E1A
1	0	0	1	On (×12)	On	12	3/2	3/2	H'0E2C
2	0	1	0	On (×6)	On	6	2	1	H'0E13
3	0	1	1	On (×12)	On	12	4	2	H'0E13
4	1	0	0	On (×6)	On	6	3	3/2	H'0E0A
5	1	0	1	On (×12)	On	12	6	3	H'0E0A
6	1	1	0	Off (×6)	Off	1	1/2	1/2	H'0808

- 【注】 1. PLL1の通倍率は、クロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「22.3.1 クロック・制御信号タイミング」のEXTALクロック入力周波数(f_{ex})およびCKIOクロック出力(f_{op})を参照してください。

表 10.4 FRQCR の設定値と、内部クロックの周波数

FRQCR (下位 9 ビット)	分周器 2 の分周率		
	CPU クロック	バスクロック	周辺モジュールクロック
H'008	1	1/2	1/2
H'00A			1/4
H'00C			1/8
H'011		1/3	1/3
H'013			1/6
H'01A		1/4	1/4
H'01C			1/8
H'023		1/6	1/6
H'02C		1/8	1/8
H'05A		1/2	1/4
H'05C	1/8		
H'063	1/6		1/6
H'06C	1/8		1/8
H'0A3	1/3	1/6	1/6
H'0EC	1/4	1/8	1/8

【注】 FRQCR の下位 9 ビットは、上記一覧以外の値は設定しないでください。

10.4 CPG のレジスタの説明

10.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、CKIO 端子からのクロック出力の有無、PLL 回路 1、PLL 回路 2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の指定ができます。FRQCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時のみ初期化され、各ビットの初期値は、クロック動作モードにより決定されます。

ビット:	15	14	13	12	11	10	9	8
	-	-	-	-	CKOEN	PLL1EN	PLL2EN	IFC2
初期値:	0	0	0	0	1	1	1	-
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	IFC1	IFC0	BFC2	BFC1	BFC0	PFC2	PFC1	PFC0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15～12: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11: クロック出力イネーブル (CKOEN)

CKOEN は、CKIO 端子からクロックを出力するか CKIO 端子をハイインピーダンス状態にするかを指定します。ハイインピーダンス状態にした場合でも、ハイインピーダンス状態にする前の動作周波数で動作します。CKIO 端子はハイインピーダンス状態になると、プルアップされます。

ビット 11	
CKOEN	機能
0	CKIO 端子をハイインピーダンス状態にする (プルアップされる*)
1	CKIO 端子からクロックを出力する (初期値)

【注】 * ハードウェアスタンバイモード時はプルアップされません。

ビット 10: PLL 回路 1 イネーブル (PLL1EN)

PLL1EN は、PLL 回路 1 の ON/OFF を指定します。

ビット 10	
PLL1EN	機能
0	PLL 回路 1 を使用しない
1	PLL 回路 1 を使用する (初期値)

ビット 9 : PLL 回路 2 イネーブル (PLL2EN)

PLL2EN は、PLL 回路 2 の ON/OFF を指定します。

ビット 9	機能
PLL2EN	
0	PLL 回路 2 を使用しない
1	PLL 回路 2 を使用する (初期値)

ビット 8、7、6 : CPU クロック周波数分周率 (IFC)

IFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての CPU クロック周波数の分周率を指定します。

ビット 8	ビット 7	ビット 6	機能
IFC2	IFC1	IFC0	
0	0	0	× 1 倍
0	0	1	× 1/2 倍
0	1	0	× 1/3 倍
0	1	1	× 1/4 倍
1	0	0	× 1/6 倍
1	0	1	× 1/8 倍
	上記以外		設定禁止 (設定しないでください)

ビット 5、4、3 : バスクロック周波数の分周率 (BFC)

BFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対してのバスクロック周波数の分周率を指定します。

ビット 5	ビット 4	ビット 3	機能
BFC2	BFC1	BFC0	
0	0	0	× 1 倍
0	0	1	× 1/2 倍
0	1	0	× 1/3 倍
0	1	1	× 1/4 倍
1	0	0	× 1/6 倍
1	0	1	× 1/8 倍
	上記以外		設定禁止 (設定しないでください)

ビット 2、1、0：周辺モジュールクロック周波数の分周率（PFC）

PFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての周辺モジュールクロック周波数の分周率を指定します。

ビット 2	ビット 1	ビット 0	機能
PFC2	PFC1	PFC0	
0	0	0	× 1/2 倍
0	0	1	× 1/3 倍
0	1	0	× 1/4 倍
0	1	1	× 1/6 倍
1	0	0	× 1/8 倍
	上記以外		設定禁止（設定しないでください）

10.5 周波数の変更方法

内部クロックの周波数を変更するためには、PLL 回路 1 の停止、起動を変える方法と、各クロックの分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

10.5.1 PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が停止の場合)

PLL 回路 1 を停止の状態から起動に変更する場合、PLL 回路 1 の発振安定時間が必要になります。内蔵 WDT により発振安定時間のカウントを行います。

1. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止させます。次の設定が必要です。
WTCSCRレジスタTMEビット=0： WDTの停止
WTCSCRレジスタCKS2～CKS0ビット： WDTカウントクロックの分周率
WTCNTカウンタ： カウンタの初期値
2. PLL1ENビットを1に設定します。
3. プロセッサ内部は一時的に停止し、WDTのカウントアップを開始します。
内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。
WDTはオーバーフロー後、停止します。

10.5.2 PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が起動の場合)

PLL 回路 2 が起動している場合、PLL 回路 1 と PLL 回路 2 の発振安定時間が必要になります。

1. 10.5.1同様の、WDTへの設定を行います。
2. PLL1ENビットを1に設定します。
3. プロセッサ内部は一時的に停止し、PLL回路1が発振、WDTがカウントアップを開始します。内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、PLL回路2が発振を開始します。WDTは、上記1.で設定した値からカウントアップを再開します。この間も、内部クロックは停止しており、CKIO端子には不安定なクロックが出力されます。
5. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。
WDTはオーバーフロー後、停止します。

10.5.3 バスクロック分周率の変更（PLL 回路 2 が起動の場合）

バスクロック周波数の分周率変更において、PLL 回路 2 を起動している場合、PLL 回路 2 の発振安定時間が必要です。

1. 10.5.1同様の、WDTへの設定を行います。
2. BFC2～BFC0ビットを目的とする値に設定します。
3. プロセッサ内部は一時的に停止し、WDTのカウントアップを開始します。
内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。
WDTはオーバーフロー後、停止します。

10.5.4 バスクロック分周率の変更（PLL 回路 2 が停止の場合）

バスクロック周波数の分周率変更において、PLL 回路 2 を停止している場合、WDT によるカウントは行いません。

1. BFC2～BFC0ビットを目的とする値に設定します。
2. 直ちに設定されたクロックに切り替わります。

10.5.5 CPU、周辺モジュールクロック分周率の変更

CPU クロック、周辺モジュールクロック周波数の分周率変更の場合、WDT によるカウントは行いません。

1. IFC2～IFC0、PFC2～PFC0ビットを目的とする値に設定します。
2. 直ちに設定されたクロックに切り替わります。

10.6 出力クロックの制御

FRQCR レジスタのCKOEN ビットによって、CKIO 端子へクロック出力するかまたはハイインピーダンス状態にするかどうかを切り替えることができます。CKIO 端子はハイインピーダンス状態になると、プルアップされません。

10.7 WDT の概要

10.7.1 WDT のブロック図

WDT のブロック図を図 10.2 に示します。

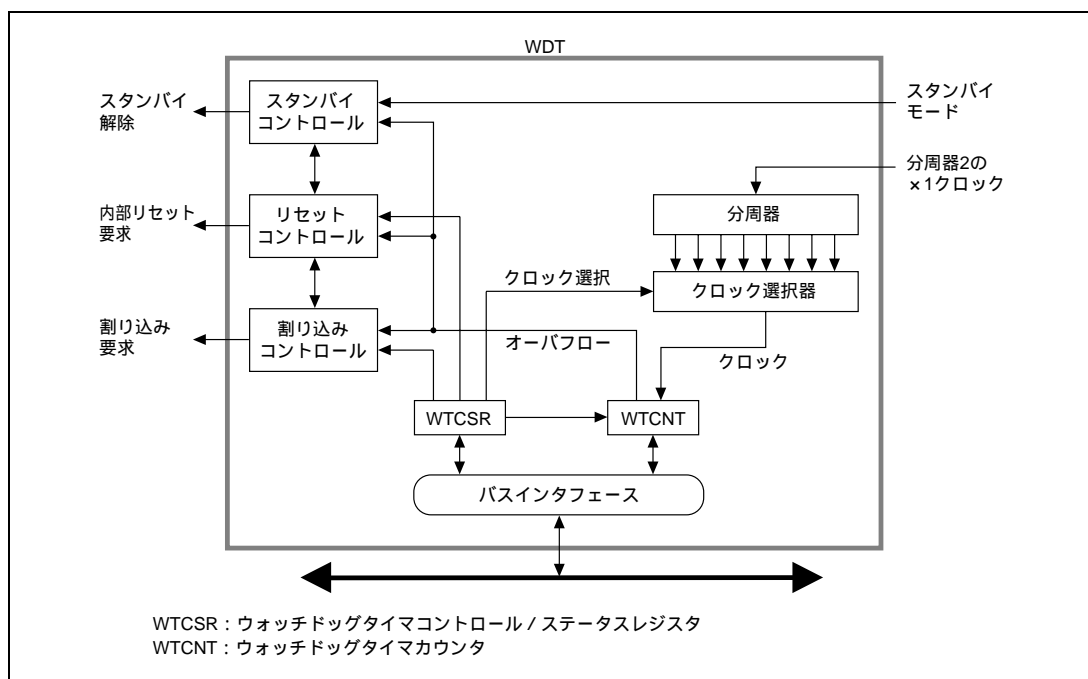


図 10.2 WDT のブロック図

10.7.2 レジスタ構成

WDT には、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替え等を行います。レジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセスサイズ
ウォッチドッグタイムカウンタ	WDCNT	R/W*	H'00	H'FFC00008	H'1FC00008	R は 8、W は 16*
ウォッチドッグタイムコントロール / ステータスレジスタ	WDCSR	R/W*	H'00	H'FFC0000C	H'1FC0000C	R は 8、W は 16*

【注】 * 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。
 読み出しは、バイトサイズで行ってください。

10.8 WDT のレジスタの説明

10.8.1 ウォッチドッグタイマカウンタ (WTCNT)

ウォッチドッグタイマカウンタ (WTCNT) は、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT は読み出し / 書き込み可能な 8 ビットです。WTCNT カウンタは $\overline{\text{RESET}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.8.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)

ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。WTCSR レジスタは $\overline{\text{RESET}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するとき、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
	TME	WT/ $\overline{\text{IT}}$	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。

ビット 7	
TME	機能
0	カウントアップ停止、WTCNT の値は保持する (初期値)
1	カウントアップ開始

ビット6：タイマモードセレクト (WT/ $\bar{I}\bar{T}$)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。

ビット6	機能
WT/ $\bar{I}\bar{I}$	
0	インターバルタイマモード (初期値)
1	ウォッチドッグタイマモード

【注】 WDT の動作中に WT/ $\bar{I}\bar{I}$ を書き換えるとカウントアップが正しく行われない場合があります。

ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。

ビット5	機能
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4：ウォッチドッグタイマオーバーフロー (WOVF)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。

インターバルタイマモードではセットされません。

ビット4	機能
WOVF	
0	オーバーフローなし (初期値)
1	ウォッチドッグタイマモードで WTCNT がオーバーフローした

ビット3：インターバルタイマオーバーフロー (IOVF)

インターバルタイマモードで WTCNT がオーバーフローしたことを示します。

ウォッチドッグタイマモードではセットされません。

ビット3	機能
IOVF	
0	オーバーフローなし (初期値)
1	インターバルタイマモードで WTCNT がオーバーフローした

ビット 2~0 : クロックセレクト 2~0 (CKS2~CKS0)

分周器 2 の入力クロック*を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。表中のオーバフロー周期は、入力クロック=33MHz、分周器 1=OFF、PLL 回路 1=ON (×6) の場合の値です。

ビット 2	ビット 1	ビット 0	機能	
			クロック分周比	オーバフロー周期
0	0	0	1/32 (初期値)	41 μs
0	0	1	1/64	82 μs
0	1	0	1/128	164 μs
0	1	1	1/256	328 μs
1	0	0	1/512	656 μs
1	0	1	1/1024	1.31ms
1	1	0	1/2048	2.62ms
1	1	1	1/4096	5.25ms

【注】 WDT の動作中に CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。

* PLL1 の ON/OFF を切り替える場合、切り替えた後のクロックを使用します。

10.8.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

(1) WTCNT、WTCSR への書き込み

WTCNT、WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

図 10.3 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

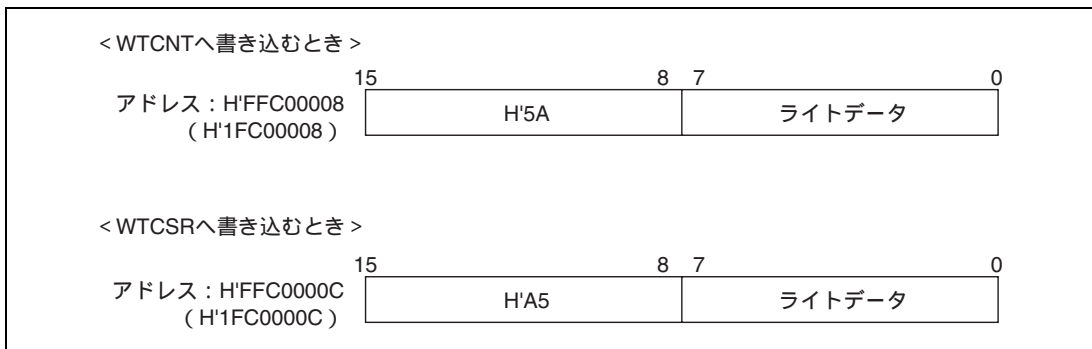


図 10.3 WTCNT、WTCSR への書き込み

10.9 WDT の使用方法

10.9.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI 割り込みまたはその他の割り込みで解除する場合に使用されます。この手順を以下に示します（リセットで解除する場合 WDT は動作しませんので、クロックが安定するまで $\overline{\text{RESET}}$ 端子をローレベルに保ってください）。

1. スタンバイモードへの遷移前に、必ず WTCSCR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。クロック発振安定時間の詳細は「22.3.1 クロック・制御信号タイミング」を参照してください。
3. SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
4. NMI 信号変化のエッジ検出、または割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSCR レジスタの WOVF フラグはセットされません。
6. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。

10.9.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。クロック発振安定時間の詳細は「22.3.1 クロック・制御信号タイミング」を参照してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、クロックが停止します。WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSCR レジスタの WOVF フラグはセットされません。
5. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。
6. 周波数制御レジスタ (FRQCR) を書き換えた直後に WTCNT を再設定する場合は、カウンタを読み出して、上記 5 の状態になっていることを確認してから再設定してください。

10.9.3 ウォッチドッグタイマモードの使用法

1. WTCSRレジスタのWT/ITビットに1を設定し、RSTSビットにリセットのタイプ、CKS2~CKS0にカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRレジスタのWOVFフラグを1にセットし、RSTSビットで指定されたタイプのリセットを発生します。その後カウンタはカウントを続行します。

10.9.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRレジスタのWT/ITビットに0をセットし、CKS2~CKS0ビットにカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRレジスタのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

10.10 ボード設計上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

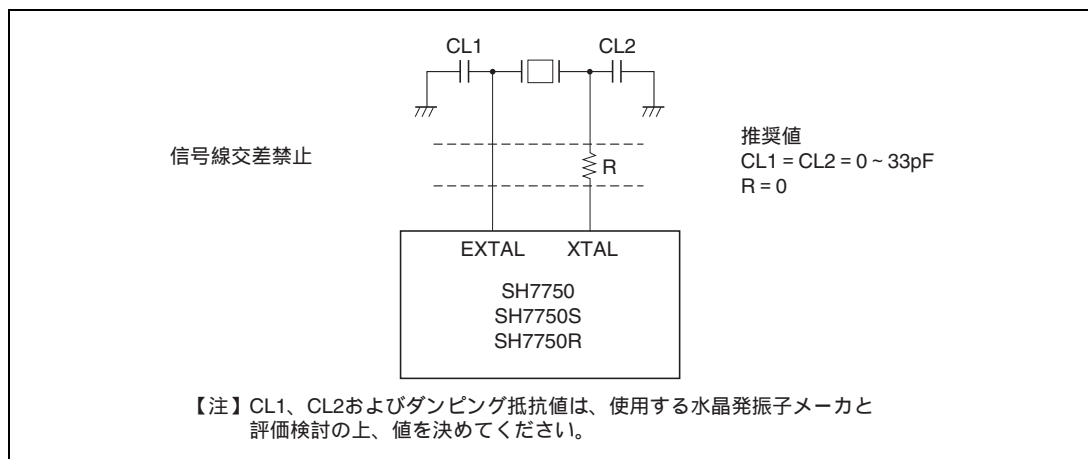


図 10.4 水晶発振器使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL 発振回路使用時の注意

VDD-CPG と VSS-CPG は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、RB およびバイパスコンデンサ CPB、CB を挿入してください。

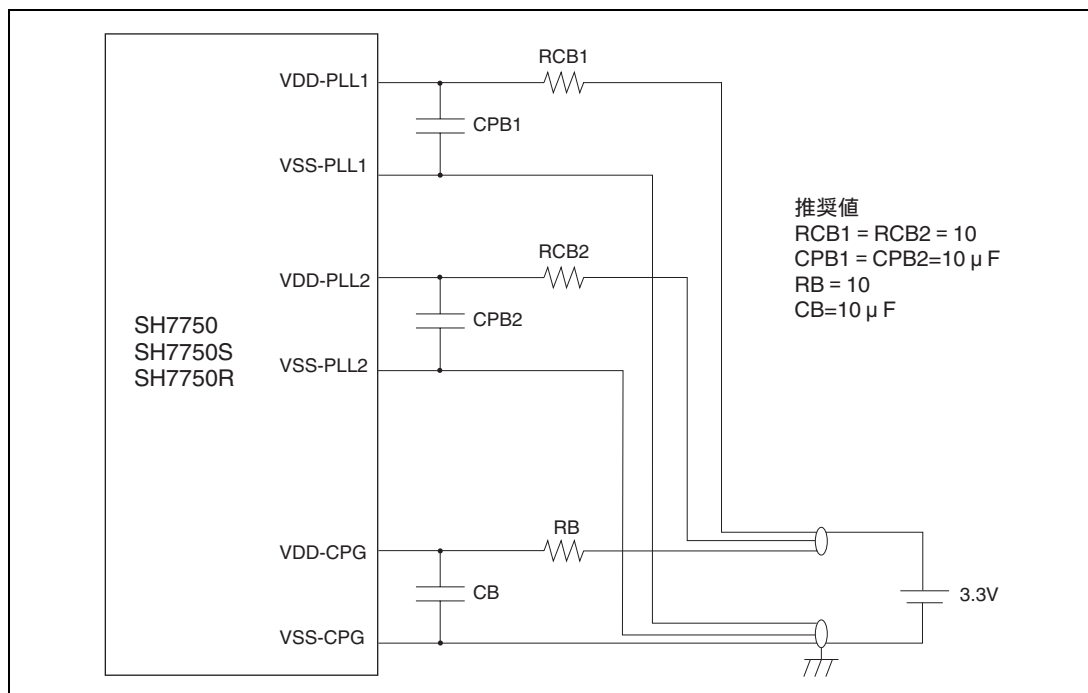


図 10.5 PLL 発振回路使用時の注意

10.11 使用上の注意事項

10.11.1 ウォッチドッグタイマによる不当マニュアルリセット (SH7750、SH7750S)

ウォッチドッグタイマ (以下、WDT) により不当なマニュアルリセットが発生する場合があります。

[発生条件]

内蔵 WDT において下記(1)から(4)の条件がすべてそろった場合、不当なマニュアルリセットが発生します。

- (1) WTCSR の WT/ \overline{IT} 、RSTS ビットの値にかかわらず WDT がオーバーフローした後である。
- (2) WTCSR.CKS ビットで設定したクロックで、カウンタ (WTCNT) がカウントアップする前である。
- (3) WTCSR の TME、WT/ \overline{IT} 、RSTS ビットの少なくとも一つが 0 の状態である。
- (4) WTCSR に TME=1、WT/ \overline{IT} =1、RSTS=1 を書き込む。

[回避方法]

本現象は、WTCSR に TME=1、WT/ \overline{IT} =1、RSTS=1 の書き込みを行う前に、WTCNT をカウントアップさせることでソフトウェア的に回避することができます。具体的な命令列例を以下に示します。

(例) WTCSR に TME=1、WT/ \overline{IT} =1、RSTS=1 を書き込む前に以下の命令列を追加してください。

```
MOV.L  #WTCNT,R7
MOV.W  #H'5A00,R8
MOV.W  R8,@R7
MOV.L  #WTCSR,R9
MOV.W  #H'A580,R10
MOV.W  R10,@R9

LOOP_WDT:
MOV.B  @R7,R0
CMP/EQ #H'00,R0
BT     LOOP_WDT
```

11. リアルタイムクロック (RTC)

11.1 概要

11.1.1 特長

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1 ~ 64Hz タイマ (バイナリ表示) を搭載
64Hz カウンタレジスタが、RTC の分周回路のうち 64Hz ~ 1Hz の状態を示します。
- スタート / ストップ機能
- 30 秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年 (SH7750R のみ) のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256 秒、1/64 秒、1/16 秒、1/4 秒、1/2 秒、1 秒、2 秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

11.1.2 ブロック図

図 11.1 に RTC のブロック図を示します。

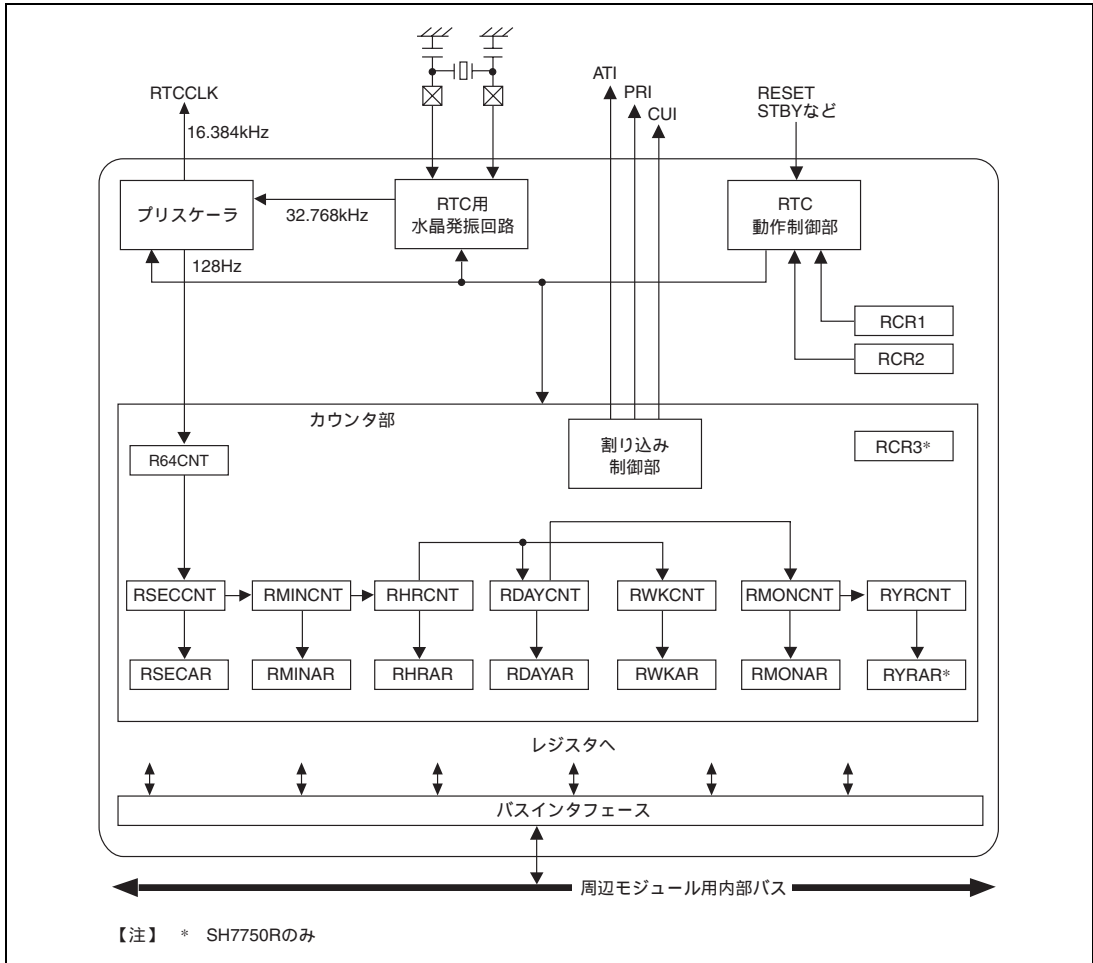


図 11.1 RTC のブロック図

11.1.3 端子構成

表 11.1 に RTC の端子構成を示します。

表 11.1 端子構成

名称	略称	入出力	機能
RTC 用発振回路水晶端子	EXTAL2	入力	RTC 用発振回路に水晶を接続する
RTC 用発振回路水晶端子	XTAL2	出力	RTC 用発振回路に水晶を接続する
クロック入力/ クロック出力	TCLK	入出力	外部クロック入力端子あるいはインプットキャプチャ制御入力端子あるいは RTC 用出力端子 (TMU と兼用)
RTC 専用電源端子	VDD-RTC		RTC 発振回路用電源端子*
RTC 専用 GND 端子	VSS-RTC		RTC 発振回路用 GND 端子*

【注】 * RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。

11.1.4 レジスタ構成

表 11.2 に RTC のレジスタ構成を示します。

表 11.2 レジスタ構成

名称	略称	R/W	パワーオン リセット時	マニュアル リセット時	スタンバイ モード時	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	カウント	カウント	カウント	不定	H'FFC80000	H'1FC80000	8
秒カウンタ	RSECCNT	R/W	カウント	カウント	カウント	不定	H'FFC80004	H'1FC80004	8
分カウンタ	RMINCNT	R/W	カウント	カウント	カウント	不定	H'FFC80008	H'1FC80008	8
時カウンタ	RHRCNT	R/W	カウント	カウント	カウント	不定	H'FFC8000C	H'1FC8000C	8
曜日カウンタ	RWKCNT	R/W	カウント	カウント	カウント	不定	H'FFC80010	H'1FC80010	8
日カウンタ	RDAYCNT	R/W	カウント	カウント	カウント	不定	H'FFC80014	H'1FC80014	8
月カウンタ	RMONCNT	R/W	カウント	カウント	カウント	不定	H'FFC80018	H'1FC80018	8
年カウンタ	RYRCNT	R/W	カウント	カウント	カウント	不定	H'FFC8001C	H'1FC8001C	16
秒アラームレジスタ	RSECAR	R/W	初期化*1	保持	保持	不定*1	H'FFC80020	H'1FC80020	8
分アラームレジスタ	RMINAR	R/W	初期化*1	保持	保持	不定*1	H'FFC80024	H'1FC80024	8
時アラームレジスタ	RHRAR	R/W	初期化*1	保持	保持	不定*1	H'FFC80028	H'1FC80028	8
曜日アラームレジスタ	RWKAR	R/W	初期化*1	保持	保持	不定*1	H'FFC8002C	H'1FC8002C	8
日アラームレジスタ	RDAYAR	R/W	初期化*1	保持	保持	不定*1	H'FFC80030	H'1FC80030	8
月アラームレジスタ	RMONAR	R/W	初期化*1	保持	保持	不定*1	H'FFC80034	H'1FC80034	8
RTC コントロール レジスタ 1	RCR1	R/W	初期化	初期化	保持	H'00*3	H'FFC80038	H'1FC80038	8
RTC コントロール レジスタ 2	RCR2	R/W	初期化	初期化*2	保持	H'09*4	H'FFC8003C	H'1FC8003C	8
RTC コントロール レジスタ 3*5	RCR3	R/W	初期化	保持	保持	H'00	H'FFC80050	H'1FC80050	8
年アラームレジスタ*6	RYRAR	R/W	保持	保持	保持	不定	H'FFC80054	H'1FC80054	16

【注】 *1 各レジスタの ENB ビットが初期化されます。

*2 RTCEN ビットおよび START ビット以外が初期化されます。

*3 CF ビットおよび AF ビットは不定です。

*4 PEF ビットは不定です。

*5 SH7750R のみ。

11.2 レジスタの説明

11.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、読み出しのみ可能な 8 ビットのレジスタです。RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) のビット 7 (CF) が 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効です。

ビット :	7	6	5	4	3	2	1	0
		1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値 :	0	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

11.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリ (R64CNT.1Hz ビットの 0 → 1 への変化) によってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
		10秒			1秒			
初期値 :	0	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
		10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 ~ 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
			10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

11.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7~3 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
						曜日のコード		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

11.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定可能範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット 7~6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
			10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

11.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7~5 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
				10月	1月			
初期値 :	0	0	0	不定	不定	不定	不定	不定
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

11.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、読み出し / 書き込み可能な 16 ビットのレジスタです。RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	15	14	13	12	11	10	9	8
	1000年				100年			
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	10年				1年			
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された時部分のカウント RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB		10 時間		1 時間			
初期値 :	0	0	不定	不定	不定	不定	不定	不定
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

11.2.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された曜日部分のカウント RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットで初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 ~ 3 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB					曜日のコード		
初期値 :	0	0	0	0	0	不定	不定	不定
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

11.2.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された日部分のカウント RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB		10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

11.2.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された月部分のカウント RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6、5 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB			10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

11.2.15 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。

CIE ビットおよび AIE ビットはパワーオンリセットおよびマニュアルリセットで 0 に初期化されます。CIE ビットと AIE ビット以外のビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	CF			CIE	AIE			AF
初期値:	不定	不定	不定	0	0	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット 7: 桁上げフラグ (CF)

このフラグが 1 にセットされた場合、秒カウンタの桁上げまたは、64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。

ビット 7	機能
CF	
0	秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき
1	秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき

ビット 4: 桁上げ割り込みイネーブルフラグ (CIE)

桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 4	機能
CIE	
0	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない (初期値)
1	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる

ビット 3 : アラーム割り込みイネーブルフラグ (AIE)

アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 3	機能
AIE	
0	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない (初期値)
1	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

ビット 0 : アラームフラグ (AF)

アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したときに 1 にセットされるフラグです。

ビット 0	機能
AF	
0	アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき
1	アラームレジスタとカウンタが一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき

【注】 * 1 を書き込むと、元の値が保持されます。

ビット 6、5、2、1 : 予約ビット

初期値は不定です。書き込みは無効ですが、書き込む値は常に 0 にしてください。

11.2.16 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、周期割り込み制御、30 秒調整、分周回路 RESET、RTC カウント制御に関するレジスタです。

パワーオンリセットで H'09 に初期化されますが、PEF ビットは不定です。マニュアルリセット時には、RTCEN ビットおよび START ビット以外が初期化され、PEF ビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START
初期値:	不定	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7: 周期割り込みフラグ (PEF)

PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。

ビット 7	機能
PEF	
0	PES2 ~ PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき
1	PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

ビット 6 ~ 4: 周期割り込みイネーブルフラグ (PES2 ~ PES0)

周期割り込みの周期を設定します。

ビット 6	ビット 5	ビット 4	機能
PES2	PES1	PES0	
0	0	0	周期割り込み発生なし (初期値)
0	0	1	周期割り込み発生周期を 1/256 秒にする
0	1	0	周期割り込み発生周期を 1/64 秒にする
0	1	1	周期割り込み発生周期を 1/16 秒にする
1	0	0	周期割り込み発生周期を 1/4 秒にする
1	0	1	周期割り込み発生周期を 1/2 秒にする
1	1	0	周期割り込み発生周期を 1 秒にする
1	1	1	周期割り込み発生周期を 2 秒にする

ビット 3 : 発振回路有効 (RTCEN)

RTC 用水晶発振回路の動作を制御します。

ビット 3	機能
RTCEN	
0	RTC 用水晶発振回路を停止させる
1	RTC 用水晶発振回路を動作させる (初期値)

ビット 2 : 30 秒調整 (ADJ)

30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。

ビット 2	機能
ADJ	
0	通常の時計動作 (初期値)
1	30 秒の調整を行う

ビット 1 : リセット (RESET)

1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされ、自動的にこの RESET ビットは 0 になりますので、特に 0 を書き込む必要はありません。

ビット 1	機能
RESET	
0	通常の時計動作 (初期値)
1	分周回路をリセット

ビット 0 : START ビット (START)

カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。

ビット 0	機能
START	
0	秒、分、時、日、曜日、月、年カウンタは停止*
1	秒、分、時、日、曜日、月、年カウンタは通常動作* (初期値)

【注】 * 64Hz カウンタは RTCEN ビットで停止させない限り動作します。

11.2.17 RTC コントロールレジスタ 3 (RCR3) : SH7750R のみ 年アラームレジスタ (RYRAR) : SH7750R のみ

RTC コントロールレジスタ 3 (RCR3) と年アラームレジスタ (RYRAR) は、読み出し / 書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。アラームレジスタのうち、ENB ビットおよび YENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

RCR3 はパワーオンリセットで初期化されます。RYRAR はパワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

RCR3 のビット 6 ~ 0 は読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

RCR3

ビット:	7	6	5	4	3	2	1	0
	YENB							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

RYRAR

ビット:	15	14	13	12	11	10	9	8
	1000年				100年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3 動作説明

RTC の使用例を示します。

11.3.1 時刻設定手順

図 11.2 に時刻設定手順例を示します。

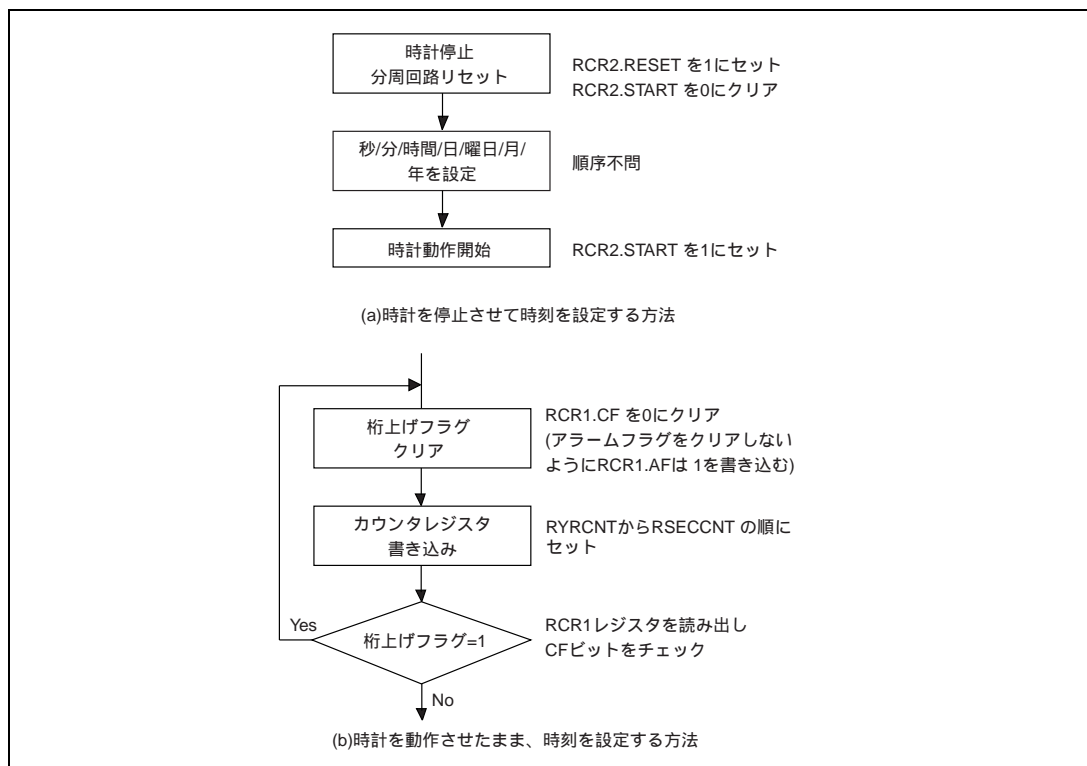


図 11.2 時刻設定手順例

時計を停止させて時刻を設定する方法例を図 11.2 (a) に示します。プログラムが容易であり、秒～年カウンタの全体を設定する場合に有効です。

時計を動作させたまま、時刻を設定する方法例を図 11.2 (b) に示します。秒～年カウンタの一部 (例えば、秒データや時間データのみ) を書き換える場合に有効です。書き込み中に桁上げがあると、書き込みデータが自動的に更新され、設定データに誤差が発生するので、桁上げフラグを使って書き込み状態をチェックします。桁上げフラグ (RCR1.CF) が 1 にセットされている場合は、再度書き込みを行います。

桁上げフラグの判断に割り込み機能を使用することもできます。

11.3.2 時刻読み出し手順

図 11.3 に時刻読み出し手順例を示します。

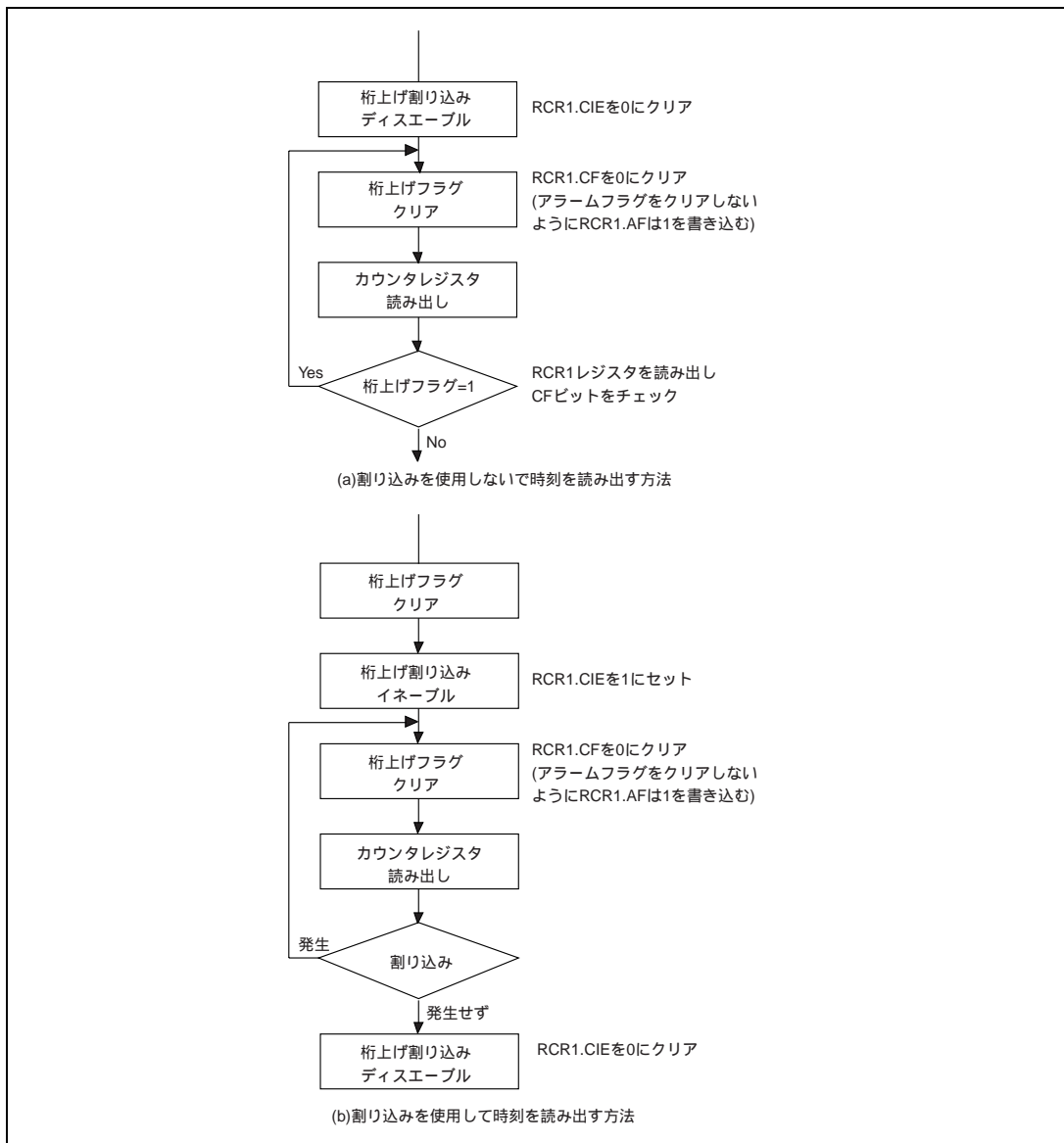


図 11.3 時刻読み出し手順例

時刻読み出し中に桁上げが起こると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法例を図 11.3 (a) に、桁上げ割り込みを使用する方法例を図 11.3 (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

11.3.3 アラーム機能

図 11.4 にアラーム機能の使用例を示します。

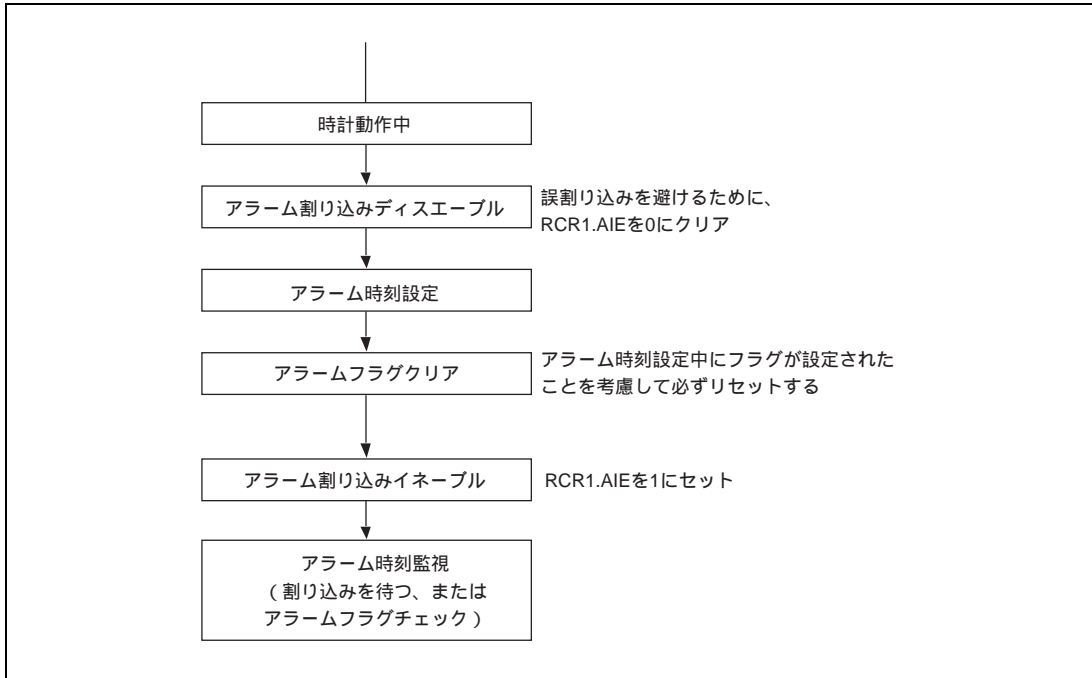


図 11.4 アラーム機能の使用例

アラームは、秒、分、時、曜日、日、月、年 (SH7750R のみ) のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合、RCR1.AF に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIE に 1 が書き込まれている場合、アラーム時にアラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致している期間、常にセットされます。すなわちこの期間中にアラームフラグに 0 を書き込んでクリアしても、その直後再セットされますので、プログラム作成時には注意してください。

11.4 割り込み

RTC の割り込み要因は、アラーム割り込み、周期割り込みおよび桁上げ割り込みです。

RCR1 のアラームフラグビット (AF) が 1 にセットされ、アラーム割り込みイネーブルビット (AIE) が 1 にセットされているとき、アラーム割り込み要求 (ATI) を発生します。

RCR2 の周期割り込みイネーブルビット (PES2 ~ PES0) が 000 以外にセットされ、かつ周期割り込みフラグ (PEF) がセットされた場合、周期割り込み要求 (PRI) を発生します。

RCR1 の桁上げフラグビット (CF) が 1 にセットされ、桁上げ割り込みイネーブルビット (CIE) が 1 にセットされているとき、桁上げ割り込み要求 (CUI) を発生します。

11.5 使用上の注意

11.5.1 レジスタの初期設定について

電源投入後、RCR1 レジスタ設定後、分周回路をリセット (RCR2.RESET に 1 をセット) し、全レジスタを初期設定してください。

11.5.2 スタンバイ時の桁上げフラグおよび割り込みフラグについて

スタンバイモードから通常モードへ、リセットもしくは割り込みで復帰させる際、復帰のタイミングと上記フラグセットのタイミングが重なった場合、フラグがセットされないことがあります。

必要であればスタンバイ復帰後ソフトウェアでカウンタを確認して判定してください。

11.5.3 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 11.3 に、RTC 用水晶発振回路を図 11.5 に示します。

表 11.3 水晶発振回路の定数 (推奨値)

f_{osc}	C_{in}	C_{out}
32.768kHz	10 ~ 22pF	10 ~ 22pF

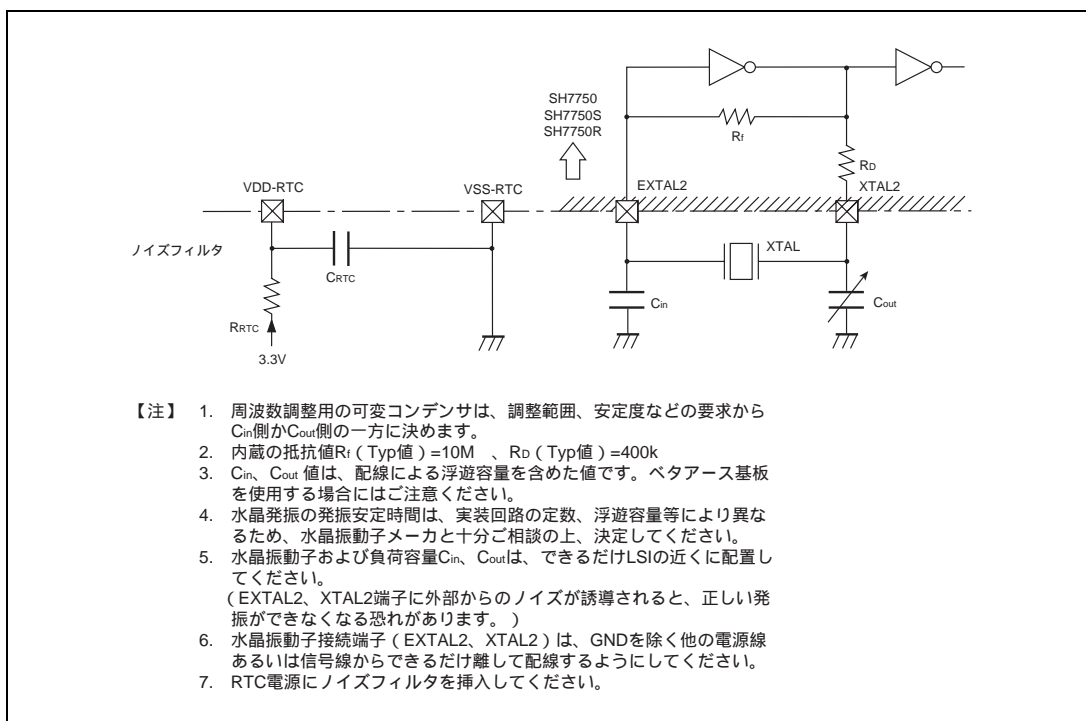


図 11.5 水晶発振回路接続例

11.5.4 RTC のレジスタ設定 (SH7750 のみ)

[内容]

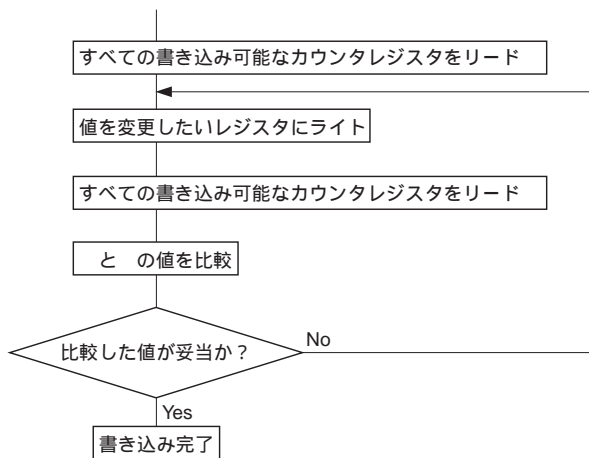
RTC のレジスタを設定した場合、設定したレジスタ以外の RTC の書き込み可能なカウンタレジスタの値が書き変わる可能性があります。

「RTC のレジスタ」とは、「R64CNT、RSECCNT、RMINCNT、RHRCNT、RWKCNT、RDAYCNT、RMONCNT、RYRCNT、RSECAR、RMINAR、RHRAR、RDAYAR、RWKAR、RMONAR、RCRI、RCR2」であり、「書き込み可能なカウンタレジスタ」とは、「RSECCNT、RMINCNT、RHRCNT、RWKCNT、RDAYCNT、RMONCNT、RYRCNT」です。

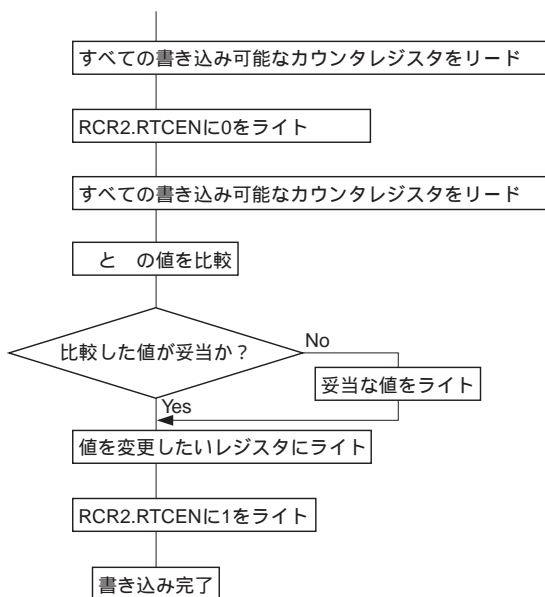
[回避策]

下記の 1.~3.のいずれかの方法で書き込みを行ってください。

1. RTCのレジスタにライトする際は、周辺レジスタへのアクセスを行うDMACのチャンネルの動作を停止させた後、ステータスレジスタの例外 / 割り込みブロックビット (SR.BL) が1の状態、RTCのレジスタにライトを行い、次の命令で同じレジスタのリード命令を実行してください。
2. RTCのレジスタにライトする際は、以下の方法に従ってください。



3. RTCのレジスタにライトする際は、以下の方法に従ってください。



【注】 RCR2.RTCEN = 0の状態では、RTCのカウンタの動作は停止します。したがって本方法を用いた場合、RCR2.RTCEN = 0である時間の分、RTCのカウンタが実時間より遅れ、周期割り込み発生周期が長くなります。

12. タイマユニット (TMU)

12.1 概要

12.1.1 特長

SH7750、SH7750S は 3 チャンネル (チャンネル 0~2)、SH7750R は 5 チャンネル (チャンネル 0~4) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU: TiMer Unit) を内蔵しています。

TMU の特長を以下に示します。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2のみ、インプットキャプチャ機能を搭載
- 外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で書き込み / 読み出し可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、7種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、内蔵RTCの出力クロック、5種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺モジュールクロック)
- チャンネル3~4は、5種類の内部クロックのみ選択可能 (SH7750Rのみ)。
- チャンネル0~2において、カウンタ入力クロックに内蔵RTCの出力クロックを選択した場合、モジュールスタンバイモードでも動作可能。つまり、TMUに対し、クロックが停止されていても、タイマ動作を行います。また、外部クロックおよび内部クロックでタイマカウント動作するのは、タイマユニットにクロックが供給されている場合に限定されます。
- 2種類の割り込み要因
アンドフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。
- DMACに対してデータ転送要求可能
チャンネル2では、インプットキャプチャ割り込み時にDMACに対してデータ転送を要求します。

12.1.2 ブロック図

図 12.1 に TMU のブロック図を示します。

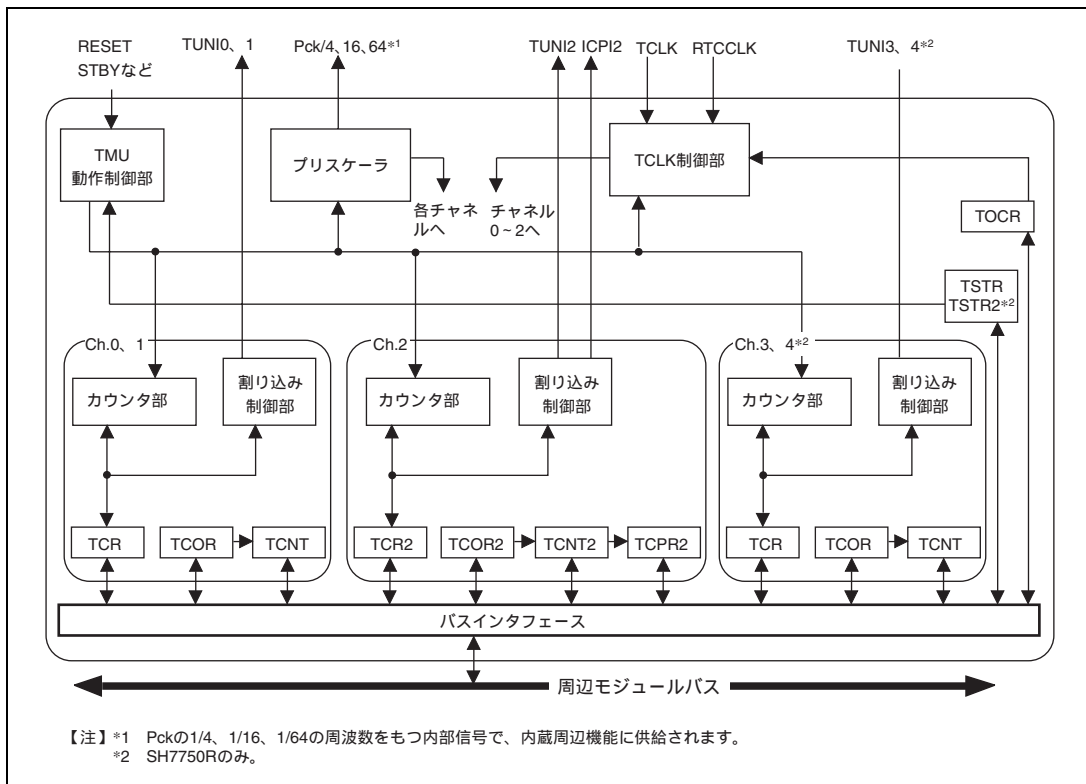


図 12.1 TMU のブロック図

12.1.3 端子構成

表 12.1 に TMU の端子構成を示します。

表 12.1 端子構成

名称	略称	入出力	機能
クロック入力/クロック出力	TCLK	入出力	外部クロック入力端子 / インプットキャプチャ制御入力端子 / RTC 用出力端子 (RTC と兼用)

12.1.4 レジスタ構成

表 12.2 に TMU のレジスタ構成を示します。

表 12.2 レジスタ構成

チャネル	名称	略称	R/W	パワーオン リセット時	マニュアル リセット時	スタンバイ モード時	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
共通	タイマアウトプット コントロールレジスタ	TOCR	R/W	初期化	初期化	保持	H'00	H'FFD80000	H'1FD80000	8
	タイマスタートレジスタ	TSTR	R/W	初期化	初期化	初期化*1	H'00	H'FFD80004	H'1FD80004	8
	タイマスタートレジスタ 2	TSTR2	R/W	初期化	保持	保持	H'00	H'FE100004	H'1E100004	8
0	タイマコンスタント レジスタ 0	TCOR0	R/W	初期化	初期化	保持	H'FFFFFFFF	H'FFD80008	H'1FD80008	32
	タイマカウンタ 0	TCNT0	R/W	初期化	初期化	保持*2	H'FFFFFFFF	H'FFD8000C	H'1FD8000C	32
	タイマコントロール レジスタ 0	TCR0	R/W	初期化	初期化	保持	H'0000	H'FFD80010	H'1FD80010	16
1	タイマコンスタント レジスタ 1	TCOR1	R/W	初期化	初期化	保持	H'FFFFFFFF	H'FFD80014	H'1FD80014	32
	タイマカウンタ 1	TCNT1	R/W	初期化	初期化	保持*2	H'FFFFFFFF	H'FFD80018	H'1FD80018	32
	タイマコントロール レジスタ 1	TCR1	R/W	初期化	初期化	保持	H'0000	H'FFD8001C	H'1FD8001C	16
2	タイマコンスタント レジスタ 2	TCOR2	R/W	初期化	初期化	保持	H'FFFFFFFF	H'FFD80020	H'1FD80020	32
	タイマカウンタ 2	TCNT2	R/W	初期化	初期化	保持*2	H'FFFFFFFF	H'FFD80024	H'1FD80024	32
	タイマコントロール レジスタ 2	TCR2	R/W	初期化	初期化	保持	H'0000	H'FFD80028	H'1FD80028	16
	インプットキャプチャ レジスタ	TCPR2	R	保持	保持	保持	不定	H'FFD8002C	H'1FD8002C	32
3*3	タイマコンスタント レジスタ 3	TCOR3	R/W	初期化	保持	保持	H'FFFFFFFF	H'FE100008	H'1E100008	32
	タイマカウンタ 3	TCNT3	R/W	初期化	保持	保持	H'FFFFFFFF	H'FE10000C	H'1E10000C	32
	タイマコントロール レジスタ 3	TCR3	R/W	初期化	保持	保持	H'0000	H'FE100010	H'1E100010	16
4*3	タイマコンスタント レジスタ 4	TCOR4	R/W	初期化	保持	保持	H'FFFFFFFF	H'FE100014	H'1E100014	32
	タイマカウンタ 4	TCNT4	R/W	初期化	保持	保持	H'FFFFFFFF	H'FE100018	H'1E100018	32
	タイマコントロール レジスタ 4	TCR4	R/W	初期化	保持	保持	H'0000	H'FE10001C	H'1E10001C	16

【注】 *1 モジュールスタンバイモードで入カクロックが内蔵 RTC の出カクロックの場合は初期化されません。

*2 モジュールスタンバイモードで入カクロックが内蔵 RTC の出カクロックの場合はカウント動作します。

*3 SH7750R のみ。

12.2 レジスタの説明

12.2.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。外部端子の TCLK を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されますが、スタンバイモード時には、初期化されません。

ビット :	7	6	5	4	3	2	1	0
								TCOE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット 7~1 : 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 0 : タイマクロック端子制御 (TCOE)

タイマクロック端子 (TCLK) を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

ビット 0	機能
TCOE	
0	タイマクロック端子 (TCLK) を外部クロック入力またはインプットキャプチャ制御用の入力端子とする (初期値)
1	タイマクロック端子 (TCLK) を内蔵 RTC の出力クロック用の出力端子とする*

【注】 * スタンバイモード時はローレベル出力となります。

12.2.2 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されます。また、モジュールスタンバイモード時には、各チャンネルで選択している入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、初期化されず、入力クロックが外部クロック (TCLK) もしくは内部クロック (Pck) の場合のみ、初期化されます。

ビット:	7	6	5	4	3	2	1	0
						STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット 7~3: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 2: カウンタスタート 2 (STR2)

タイマカウンタ 2 (TCNT2) を動作させるか、停止させるかを選択します。

ビット 2	機能	
STR2	機能	
0	TCNT2 のカウント動作は停止	(初期値)
1	TCNT2 はカウント動作する	

ビット 1: カウンタスタート 1 (STR1)

タイマカウンタ 1 (TCNT1) を動作させるか、停止させるかを選択します。

ビット 1	機能	
STR1	機能	
0	TCNT1 のカウント動作は停止	(初期値)
1	TCNT1 はカウント動作する	

ビット 0: カウンタスタート 0 (STR0)

タイマカウンタ 0 (TCNT0) を動作させるか、停止させるかを選択します。

ビット 0	機能	
STR0	機能	
0	TCNT0 のカウント動作は停止	(初期値)
1	TCNT0 はカウント動作する	

12.2.3 タイマスタートレジスタ 2 (TSTR2) : SH7750R のみ

タイマスタートレジスタ 2 (TSTR2) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

チャンネル 3、4 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

パワーオンリセットで H'00 に初期化されます。スタンバイモード時には値が保持されます。

STR3 または STR4 の値が 1 の状態でスタンバイモードに入った場合、周辺モジュールクロックの停止と同時にカウント動作は中断し、クロック供給が再開されるとカウント動作を再開します。

ビット:	7	6	5	4	3	2	1	0
							STR4	STR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット 7~2: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 1: カウンタスタート 4 (STR4)

タイマカウンタ 4 (TCNT4) を動作させるか、停止させるかを選択します。

ビット 1	機能	
STR4	機能	
0	TCNT4 のカウント動作は停止	(初期値)
1	TCNT4 はカウント動作する	

ビット 0: カウンタスタート 3 (STR3)

タイマカウンタ 3 (TCNT3) を動作させるか、停止させるかを選択します。

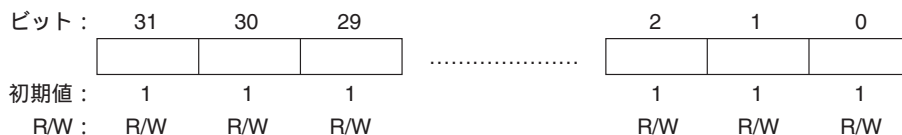
ビット 0	機能	
STR3	機能	
0	TCNT3 のカウント動作は停止	(初期値)
1	TCNT3 はカウント動作する	

12.2.4 タイマコンスタントレジスタ (TCOR)

タイマコンスタントレジスタ (TCOR) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつの TCOR があります。

TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

チャンネル 0~2 の TCOR は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。SH7750R のチャンネル 3~4 の TCOR は、パワーオンリセット時は H'FFFFFFF に初期化されますが、マニュアルリセット時およびスタンバイモード時は、初期化されずに内容が保持されます。



12.2.5 タイマカウンタ (TCNT)

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつの TCNT があります。

TCNT は、タイマコントロールレジスタ (TCR) の TPSC2~TPSC0 により選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

チャンネル 0~2 の TCNT は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。SH7750R のチャンネル 3~4 の TCNT は、パワーオンリセット時は H'FFFFFFF に初期化されますが、マニュアルリセット時およびスタンバイモード時は、初期化されずに内容が保持されます。



チャンネル 0~2 において、入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、モジュールスタンバイモードでも (すなわち TMU に対するクロックが停止していても) カウント動作します。入力クロックが外部クロック (TCLK) および内部クロック (Pck) の場合はスタンバイモード時、内容を保持します。

12.2.6 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は、読み出し / 書き込み可能な 16 ビットレジスタです。各チャンネルに 1 本ずつ、計 5 本の TCR があります。

カウントクロックの選択、チャンネル 0~2 の外部クロック選択時のエッジの選択、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生の制御を行います。また、TCR2 では、チャンネル 2 のインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生の制御を行います。

チャンネル 0~2 の TCR はパワーオンリセットおよびマニュアルリセットで H'0000 に初期化されますが、スタンバイモード時には初期化されません。SH7750R のチャンネル 3、4 の TCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

(1) チャンネル 0、1 の TCR ビット構成

ビット:	15	14	13	12	11	10	9	8
								UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
			UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) チャンネル 2 の TCR ビット構成

ビット:	15	14	13	12	11	10	9	8
							ICPF	UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(3) チャンネル 3、4 の TCR ビット構成 (SH7750R のみ)

ビット:	15	14	13	12	11	10	9	8
								UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
			UNIE			TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W

ビット 15~9、7、6 (チャンネル 0、1)、ビット 15~10 (チャンネル 2) : 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 9 : インพุットキャプチャ割り込みフラグ (ICPF) : チャンネル 2 のみ

チャンネル 2 のみの機能で、インพุットキャプチャレジスタ発生を示すステータスフラグです。

ビット 9	機能	
ICPF		
0	インพุットキャプチャが発生していないことを示します [クリア条件] ICPF に 0 を書き込んだとき	(初期値)
1	インพุットキャプチャが発生したことを示します [セット条件] インพุットキャプチャが発生したとき*	

【注】 * 1 を書き込むと、元の値が保持されます。

ビット 8 : アンダフローフラグ (UNF)

TCNT のアンダフローの発生を示すステータスフラグです。

ビット 8	機能	
UNF		
0	TCNT がアンダフローを起こしていないことを示します [クリア条件] UNF に 0 を書き込んだとき	(初期値)
1	TCNT がアンダフローを起こしたことを示します [セット条件] TCNT がアンダフローを起こしたとき*	

【注】 * 1 を書き込むと、元の値が保持されます。

ビット7、6：インプットキャプチャ制御 (ICPE1、ICPE0)：チャンネル2のみ

チャンネル2のみの機能で、インプットキャプチャ機能を使用するかおよび使用時の割り込み発生を許可するかどうかを制御します。

インプットキャプチャ機能を使用する場合、インプットキャプチャ時に DMAC に対し、データ転送を要求します。

このインプットキャプチャ機能を使う場合は、TOCR レジスタの TCOE ビットにより、TCLK 端子を入力端子に設定する必要があります。また、TCLK 端子の立ち上がりエッジ/立ち下がりエッジのいずれを使ってインプットキャプチャレジスタ (TCPR2) に TCNT2 の値をセットするかは、CKEG ビットで設定します。

TCR2.ICPF ビットが0のときのみ、TCNT2の値がTCPR2にセットされます。TCR2.ICPF ビットが1のときは、インプットキャプチャが発生してもTCPR2はセットされません。また、インプットキャプチャ発生時には、TCR2.ICPF ビットの値にかかわらず DMAC 転送要求を発生します。ただし、DMAC 転送要求は前の要求の処理が終了するまでは次の要求を発生しません。

ビット7	ビット6	機能
ICPE1	ICPE0	
0	0	インプットキャプチャ機能を使用しないことを示します (初期値)
0	1	予約 (設定しないこと)
1	0	インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2) を許可しないことを示します インプットキャプチャ時に DMAC に対してデータ転送を要求します
1	1	インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2) を許可することを示します インプットキャプチャ時に DMAC に対してデータ転送を要求します

ビット5：アンダフロー割り込み制御 (UNIE)

TCNT のアンダフローの発生を示すステータスフラグ UNF が1にセットされたときに割り込み発生を許可するかどうかを制御します。

ビット5	機能
UNIE	
0	アンダフローによる割り込み (TUNI) を許可しません (初期値)
1	アンダフローによる割り込み (TUNI) を許可します

ビット 4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

チャンネル 0~2 において、外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。

ビット 4	ビット 3	機能
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント / インプットキャプチャレジスタセット (初期値)
0	1	立ち下がりエッジでカウント / インプットキャプチャレジスタセット
1	X	立ち上がり / 立ち下がりの両エッジでカウント / インプットキャプチャレジスタセット

【注】 X : 0 または 1、Don't care を表します。

ビット 2~0 : タイマプリスケアラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。チャンネル 0~2 においてカウントクロックに内蔵 RTC の出力クロックを選択した場合、モジュールスタンバイモードでも動作可能です。その他のクロックを選択した場合には、スタンバイモードでは動作しません。

ビット 2	ビット 1	ビット 0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	Pck/4 でカウント (初期値)
0	0	1	Pck/16 でカウント
0	1	0	Pck/64 でカウント
0	1	1	Pck/256 でカウント
1	0	0	Pck/1024 でカウント
1	0	1	予約 (設定しないこと)
1	1	0	内蔵 RTC の出力クロックでカウント (チャンネル 3、4 では設定しないこと)
1	1	1	外部クロックでカウント (チャンネル 3、4 では設定しないこと)

12.2.7 インพุットキャプチャレジスタ 2 (TCPR2)

インพุットキャプチャレジスタ 2 (TCPR2) は、チャンネル 2 のみに内蔵されているインพุットキャプチャ機能用の読み出しのみ可能な 32 ビットレジスタです。

TCR2 のインพุットキャプチャ制御ビット (ICPE) およびクロックエッジビット (CKEG) によって、インพุットキャプチャ機能を制御します。インพุットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

TCPR2 は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれの場合も、初期化されません。



12.3 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能をもち周期カウント動作が可能であり、また外部イベントのカウントを行うこともできます。また、チャンネル2には、インプットキャプチャ機能があります。

12.3.1 カウンタの動作

タイマスタートレジスタ (TSTR、TSTR2) の STR0～STR4 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT がアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 12.2 にカウント動作の設定手順例を示します。

- (1) タイマコントロールレジスタ (TCR) の TPSC2～TPSC0 ビットでカウンタクロックを選択してください。
チャンネル0～2において外部クロックを選択する場合、TOCR の TCOE ビットで TCLK 端子を入力モードに設定し、TCR の CKEG1、CKEG0 ビットで外部クロックのエッジを選択してください。
- (2) TCR の UNIE ビットで TCNT のアンダフロー時に割り込みを発生させるかどうかを設定してください。
- (3) インプットキャプチャ機能を使用する場合、割り込み機能を使うかどうかも含めて、TCR の ICPE ビットをセットしてください。
- (4) タイマコンスタントレジスタ (TCOR) に値をセットしてください。
- (5) タイマカウンタ (TCNT) に初期値を設定してください。
- (6) タイマスタートレジスタ (TSTR、TSTR2) の STR ビットを 1 にセットしてカウント動作を開始してください。

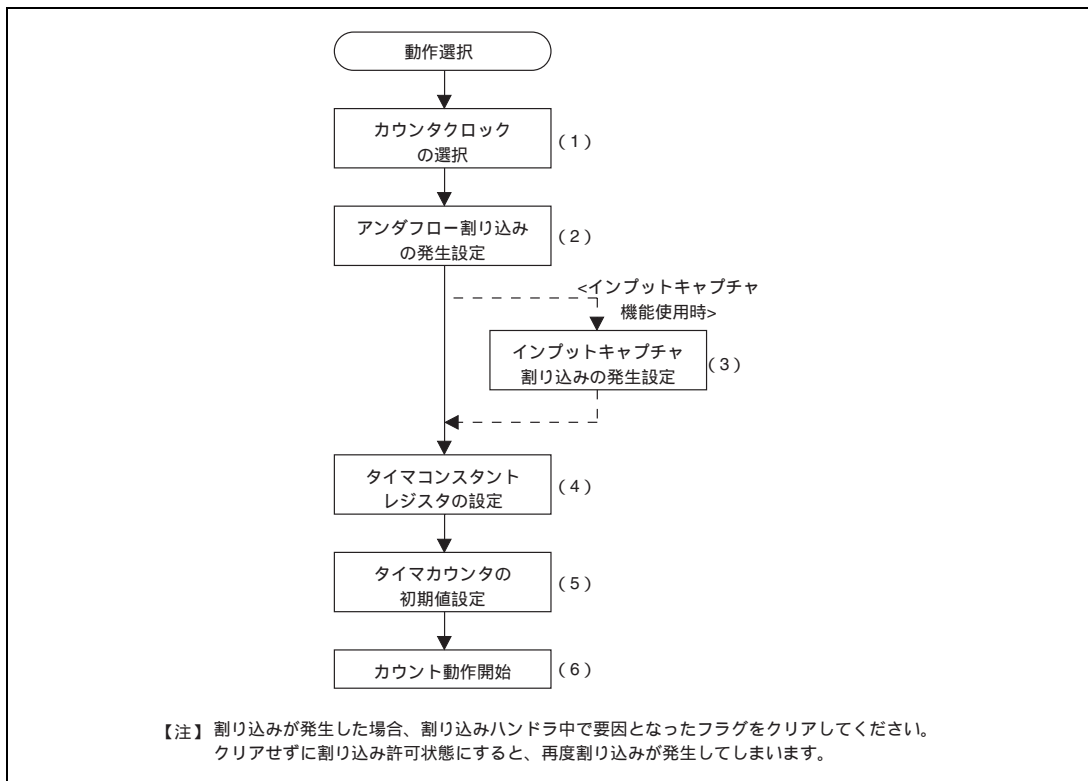


図 12.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 12.3 に TCNT のオートリロード動作を示します。

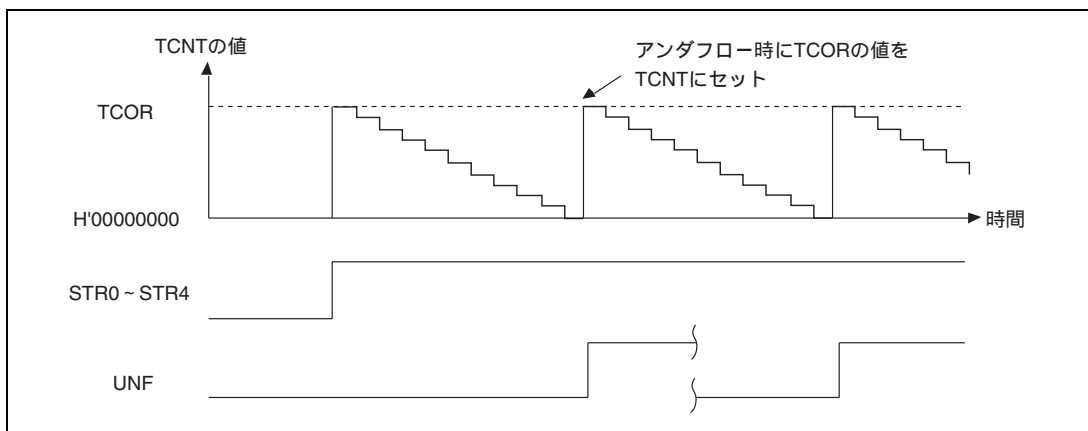


図 12.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

(a) 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺モジュールクロックを分周した 5 種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図 12.4 に示します。

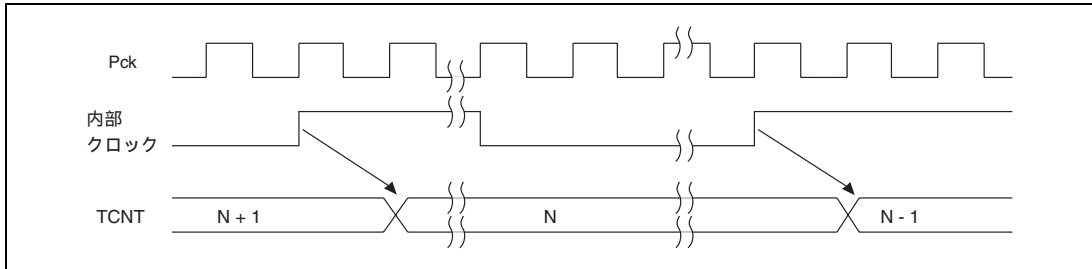


図 12.4 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

チャンネル 0 ~ 2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図 12.5 に両エッジ検出時のタイミングを示します。

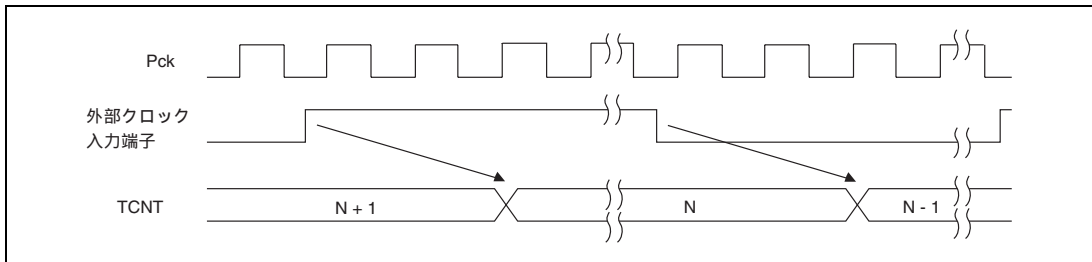


図 12.5 外部クロック動作時のカウントタイミング

(c) 内蔵 RTC の出力クロック動作の場合

チャンネル 0 ~ 2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして内蔵 RTC の出力クロックを選択できます。このときのタイミングを図 12.6 に示します。

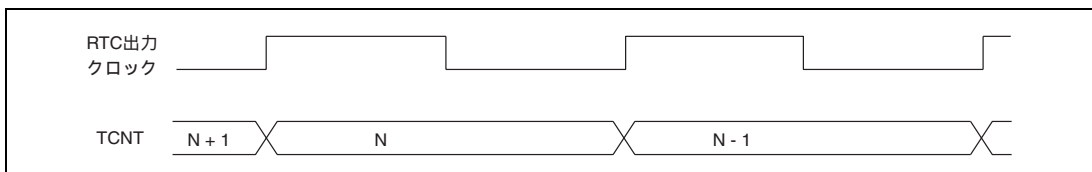


図 12.6 内蔵 RTC の出力クロック動作時のカウントタイミング

12.3.2 インプットキャプチャ機能

チャンネル2には、インプットキャプチャ機能があります。

インプットキャプチャ機能を使用する場合、

1. タイマアウトプットコントロールレジスタ (TOCR) のTCOEビットによりTCLK端子を入力モードに設定します。
2. タイマコントロールレジスタ (TCR) のTPSC2 ~ TPSC0ビットでのタイマの動作クロックを内部クロックか内蔵RTCの出力クロックに設定します。
3. TCRのICPE1、ICPE0ビットでインプットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
4. TCRのCKEG1、CKEG0ビットでTCLK端子の立ち上がり / 立ち下がりなどのエッジを使用してインプットキャプチャレジスタ (TCPR2) にタイマカウンタ (TCNT) の値をセットするかを指定します。

なお、この機能はスタンバイモード時には使用できません。

インプットキャプチャ発生時、TCR2のICPFビットが0のときのみ、TCNT2の値をTCPR2にセットします。

また、DMAC転送要求は、前の要求の処理が終了するまでは次の要求を発生しません。

図12.7にインプットキャプチャ機能使用時の動作タイミングを示します (TCLKの立ち上がりエッジ使用)。

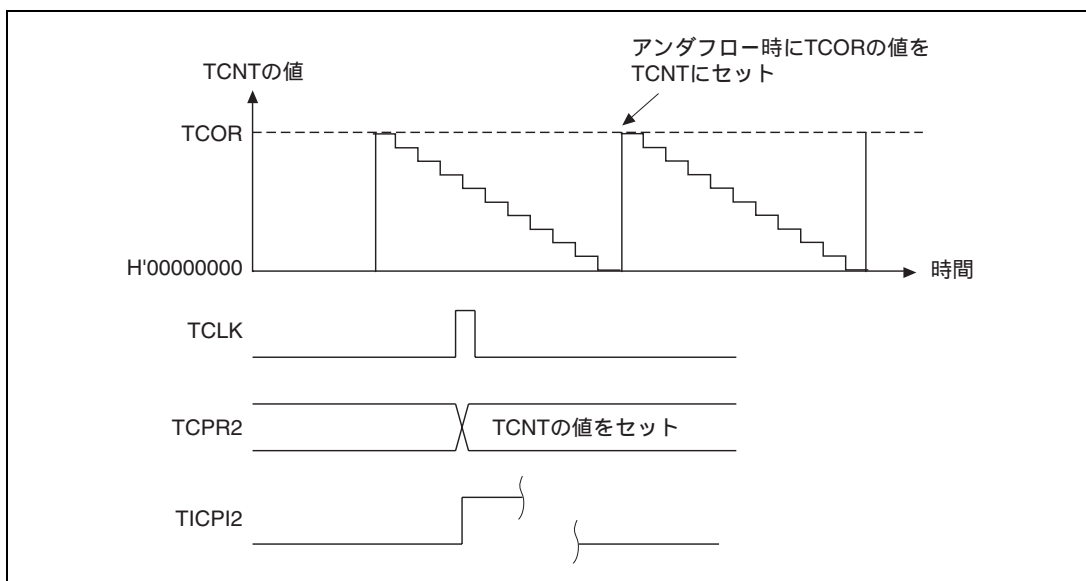


図 12.7 インプットキャプチャ機能使用時の動作タイミング

12.4 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

TCR.UNF = 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 のインプットキャプチャ入力フラグ (ICPF) が 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 12.3 に TMU の割り込み要因を示します。

表 12.3 TMU の割り込み要因

チャンネル	割り込み要因	内容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3*	TUNI3	アンダフロー割り込み 3
4*	TUNI4	アンダフロー割り込み 4

【注】 * SH7750R のみ。

12.5 使用上の注意

12.5.1 レジスタの書き込みについて

TMU のレジスタの書き込みの際には、必ずタイムスタートレジスタ (TSTR、TSTR2) の該当チャンネルのスタートビット (STR0~STR4) をクリアして、タイマのカウント動作を停止させてください。

ただし、タイムスタートレジスタ (TSTR、TSTR2) の書き込み、タイマコントロールレジスタ (TCR0~TCR4) のアンダフローフラグ (UNF)、インプットキャプチャフラグ (ICPF) のクリアは、カウント動作中に行うことができます。カウント動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

12.5.2 アンダフローフラグの書き込み (SH7750 のみ)

TCR の UNF ビットが 1 のときに UNF ビットに 1 を書き込んだ場合、UNF ビットがクリアされることがあります。

これを回避するには、以下のようにしてください。

1. チャンネルのカウント動作を止める場合

下記の (i) - (iii) の手順で UNF に 1 を書き込んでください。

(i) UNF を書き込むチャンネルのカウント動作を停止させる

(ii) 周辺モジュールへのアクセスを行う DMAC のチャンネルの動作を止める

(iii) SR.BL = 1 の状態でアドレス H'FFD80080 への (TCR に書き込む値と同じ値、同じアクセスサイズ (ワード) で) 書き込みを行い、次の命令で UNF ビットに 1 を書き込む。

2. チャンネルのカウント動作を止めない場合

必ず UNF ビットに 0 を書き込むようにしてください。アンダフローが起きたことを知る必要がある場合には、書き込みの前後の TCNT を読み出すことで、アンダフローが起きたかどうかの判定を行うなどのソフトウェア処理を行ってください

12.5.3 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

12.5.4 RTC 分周器のリセットについて

内蔵 RTC の出力クロックがカウントクロックに選択する際には、RTC 分周器をリセットしてください。

12.5.5 外部クロック周波数について

各チャンネルへの外部クロックは Pck/8 を超えないようにしてください。

13. バスステートコントローラ (BSC)

13.1 概要

バスステートコントローラ (BSC) は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。BSC の機能によって、DRAM、シンクロナス DRAM、SRAM、ROMなどを本 LSI に接続することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

13.1.1 特長

BSC には、次のような特長があります。

- 外部メモリ空間を7つに分割して管理
 - エリア0~6までの各エリアは、最大64Mバイト
 - 各エリアのバス幅をレジスタにより設定可能 (エリア0のみ、外部ピンにより設定)
 - $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - エリアごとに接続できるメモリの種類を指定
 - 各エリアに接続するメモリの制御信号を出力
 - 異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - $\overline{\text{RDY}}$ 端子によるウェイトステート挿入
接続可能エリア : 0~6
設定可能バス幅 : 64、32、16、8
- DRAMインタフェース
 - DRAM容量に応じたロウアドレス/カラムアドレスマルチプレクス
 - パースト動作 (高速ページモード、EDO)
 - CASビフォアRASリフレッシュとセルフリフレッシュ
 - 低消費電力に対応したCAS8本方式のバイトコントロール
 - DRAM制御信号のタイミングをレジスタの設定により制御可能
 - 同一ロウアドレス連続アクセス
接続可能エリア : 2、3
設定可能バス幅 : 64、32、16

- シンクロナスDRAMインタフェース
 - シンクロナスDRAM容量に応じたロウアドレス / カラムアドレスマルチプレクス
 - バースト動作
 - オートリフレッシュとセルフリフレッシュ
 - シンクロナスDRAM制御信号のタイミングをレジスタの設定により制御可能
 - 同一ロウアドレス連続アクセス
 - 接続可能エリア : 2、3
 - 設定可能バス幅 : 64、32
- バーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のバースト転送動作
 - 接続可能エリア : 0、5、6
 - 設定可能バス幅 : 64*、32、16、8
- MPXインタフェース
 - アドレス・データマルチプレクス
 - 接続可能エリア : 0~6
 - 設定可能バス幅 : 64、32
- バイト制御SRAMインタフェース
 - バイト制御可能なSRAMインタフェース
 - 接続可能エリア : 1、4
 - 設定可能バス幅 : 64、32、16
- PCMCIAインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - I/Oバス幅のバスサイジング機能
- きめ細かなリフレッシュ制御可能
 - リフレッシュカウンタのオーバーフロー割り込み機能により、ローパワーDRAMにおけるセルフリフレッシュ動作直後のリフレッシュ動作をサポート
- リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバーフローで割り込み要求発生

【注】 * SH7750R のみ設定可。

13.1.2 ブロック図

BSCのブロック図を図 13.1 に示します。

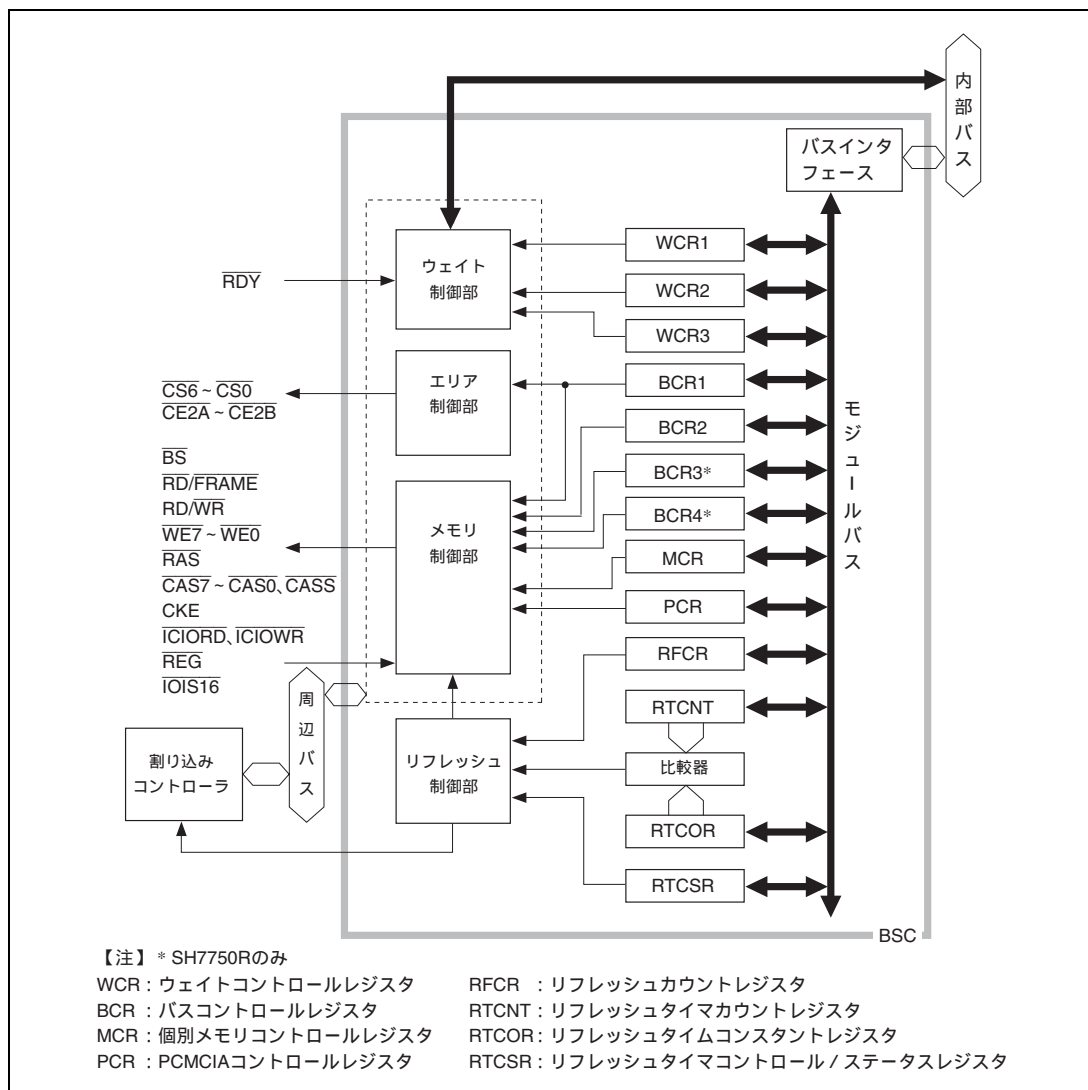


図 13.1 BSCのブロック図

13.1.3 端子構成

BSC の端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D63 ~ D52、 D31 ~ D0	入出力	データ入出力 ポート機能使用時かつ DDT モードのときは、DTR フォーマットを入力してください。その他ポート機能使用時は、D63 ~ D52 は使用できません。OPEN にしてください。
データバス / ポート	D51 ~ D32 / PORT19 ~ PORT0	入出力	ポート機能不使用時、データ入出力 ポート機能使用時、入出力ポート (入出力は、ビットごとにレジスタで設定)
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号 シンクロナス DRAM インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
チップセレクト 6 ~ 0	$\overline{CS6} \sim \overline{CS0}$	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5}$ 、 $\overline{CS6}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号 DRAM / シンクロナス DRAM / PCMCIA インタフェースの書き込み指示信号としても使用
ロウアドレスストロ ープ	RAS	出力	DRAM / シンクロナス DRAM インタフェース設定時、RAS 信号
リード/カラムアドレ スストロープ/サイク ルフレーム	$\overline{RD}/\overline{CASS}/$ \overline{FRAME}	出力	リードサイクルを示すストロープ信号 シンクロナス DRAM インタフェース設定時、 \overline{CAS} 信号 MPX インタフェース設定時、 \overline{FRAME} 信号
データイネーブル 0	$\overline{WE0}/$ $\overline{CAS0}/$ DQM0	出力	シンクロナス DRAM インタフェース設定時、D7 ~ D0 対応の選択信号 DRAM インタフェース設定時、D7 ~ D0 対応の CAS 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D7 ~ D0 対応のライトストロープ信号
データイネーブル 1	$\overline{WE1}/$ $\overline{CAS1}/$ DQM1	出力	シンクロナス DRAM インタフェース設定時、D15 ~ D8 対応の選択信号 DRAM インタフェース設定時、D15 ~ D8 対応の \overline{CAS} 信号 PCMCIA インタフェース設定時、ライトストロープ信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D15 ~ D8 対応ライトストロープ信号
データイネーブル 2	$\overline{WE2}/$ $\overline{CAS2}/$ DQM2/ \overline{ICIORD}	出力	シンクロナス DRAM インタフェース設定時、D23 ~ D16 対応の選択信号 DRAM インタフェース設定時、D23 ~ D16 対応の \overline{CAS} 信号 PCMCIA インタフェース設定時、 \overline{ICIORD} 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D23 ~ D16 対応ライトストロープ信号

名称	信号名	入出力	機能
データイネーブル 3	WE3/ CAS3/ DQM3/ ICLOWR	出力	シンクロナス DRAM インタフェース設定時、D31 ~ D24 対応の選択信号 DRAM インタフェース設定時、D31 ~ D24 対応の CAS 信号 PCMCIA インタフェース設定時、ICLOWR 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D31 ~ D24 対応ライトストロープ信号
データイネーブル 4	WE4/ CAS4/ DQM4	出力	シンクロナス DRAM インタフェース設定時、D39 ~ D32 対応の選択信号 DRAM インタフェース設定時、D39 ~ D32 対応の CAS 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D39 ~ D32 対応のライトストロープ信号
データイネーブル 5	WE5/ CAS5/ DQM5	出力	シンクロナス DRAM インタフェース設定時、D47 ~ D40 対応の選択信号 DRAM インタフェース設定時、D47 ~ D40 対応の CAS 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D47 ~ D40 対応のライトストロープ信号
データイネーブル 6	WE6/ CAS6/ DQM6	出力	シンクロナス DRAM インタフェース設定時、D55 ~ D48 対応の選択信号 DRAM インタフェース設定時、D55 ~ D48 対応の CAS 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D55 ~ D48 対応のライトストロープ信号
データイネーブル 7	WE7/ CAS7/ DQM7/ REG	出力	シンクロナス DRAM インタフェース設定時、D63 ~ D56 対応の選択信号 DRAM インタフェース設定時、D63 ~ D56 対応の CAS 信号 PCMCIA インタフェース設定時、REG 信号 MPX インタフェース設定時、ハイレベル出力 その他の場合、D63 ~ D56 対応のライトストロープ信号
レディ	RDY	入力	ウェイトステート要求信号
エリア 0 の MPX インタフェース指定 / 16 ビット I/O	MD6/ IOIS16	入力	パワーオンリセット時、エリア 0 のバスを MPX インタフェースとする (1: SRAM、0: MPX) PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効
クロックイネーブル	CKE	出力	シンクロナス DRAM のクロックイネーブル制御信号
バス解放要求	BREQ/ BSACK	入力	バス解放の要求信号 / バス権認識
バス使用許可	BACK/ BSREQ	出力	バス使用の許可信号 / バス権要求
エリア 0 バス幅 / PCMCIA カードセレクト	MD3/CE2A* ¹ MD4/CE2B* ²	入力 / 出力	パワーオンリセット時* ⁴ 、外部空間のエリア 0 のバス幅設定信号 PCMCIA インタフェース設定時、CE2A、CE2B
エンディアン切り替え / ロウアドレスストロープ	MD5/RAS2* ³	入力 / 出力	パワーオンリセット時* ⁴ 、エンディアン設定 エリア 2 に DRAM を接続する場合の RAS2
マスタ / スレーブの切り替え	MD7/TXD	入力 / 出力	パワーオンリセット時* ⁴ 、マスタ / スレーブを示す。 シリアルインタフェースの TXD

名称	信号名	入出力	機能
DMAC0 アクノリッジ信号	DACK0	出力	DMAC チャンネル 0 のデータアクノリッジ
DMAC1 アクノリッジ信号	DACK1	出力	DMAC チャンネル 1 のデータアクノリッジ
リード/カラムアドレスストロープ/サイクルフレーム 2	RD2	出力	RD/CASS/FRAME と同一の信号 RD/CASS/FRAME 信号のロードが重いとき使用される信号
リード/ライト 2	RD/WR2	出力	RD/WR と同一の信号 RD/WR 信号のロードが重いとき使用される信号

- 【注】 *1 MD3/ $\overline{CE2A}$ の入出力の切り替えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。
- *2 MD4/ $\overline{CE2B}$ の入出力の切り替えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。
- *3 MD5/ $\overline{RAS2}$ の入出力の切り替えは、BCR1.DRAMTP で行います。BCR1.DRAMTP (2~0) = 101 で出力となります。
- *4 \overline{RESET} 端子によるパワーオンリセット時

13.1.4 レジスタ構成

BSC には表 13.2 に示すように、11 本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7アドレス	アクセスサイズ	
バスコントロールレジスタ 1	BCR1	R/W	H'0000 0000	H'FF80 0000	H'1F80 0000	32	
バスコントロールレジスタ 2	BCR2	R/W	H'3FFC	H'FF80 0004	H'1F80 0004	16	
バスコントロールレジスタ 3*2	BCR3	R/W	H'0000	H'FF80 0050	H'1F80 0050	16	
バスコントロールレジスタ 4*2	BCR4	R/W	H'0000 0000	H'FE0A 00F0	H'1E0A 00F0	32	
ウェイトコントロールレジスタ 1	WCR1	R/W	H'7777 7777	H'FF80 0008	H'1F80 0008	32	
ウェイトコントロールレジスタ 2	WCR2	R/W	H'FFFE EFFF	H'FF80 000C	H'1F80 000C	32	
ウェイトコントロールレジスタ 3	WCR3	R/W	H'0777 7777	H'FF80 0010	H'1F80 0010	32	
個別メモリコントロールレジスタ	MCR	R/W	H'0000 0000	H'FF80 0014	H'1F80 0014	32	
PCMCIA コントロールレジスタ	PCR	R/W	H'0000	H'FF80 0018	H'1F80 0018	16	
リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	R/W	H'0000	H'FF80 001C	H'1F80 001C	16	
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000	H'FF80 0020	H'1F80 0020	16	
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'0000	H'FF80 0024	H'1F80 0024	16	
リフレッシュカウンタレジスタ	RFCR	R/W	H'0000	H'FF80 0028	H'1F80 0028	16	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR2	W	-	H'FF90 xxxx*1	H'1F90 xxxx	8
	エリア 3 用	SDMR3			H'FF94 xxxx*1	H'1F94 xxxx	

【注】 *1 詳細は「13.2.10 シンクロナス DRAM モードレジスタ (SDMR)」を参照してください。

*2 SH7750R のみ。

13.1.5 エリアの概要

(1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、外部メモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、外部アドレスのエリア分割について記述します。

本 LSI は、表 13.3 に示すように外部アドレスの 7 つのエリアに各々各種メモリ / PC カードを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。エリア 2 や 3 に DRAM、シンクロナス DRAM を接続する場合、 \overline{RAS} 、 \overline{CAS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{DQM} などの信号もアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$ に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$ をアサートします。

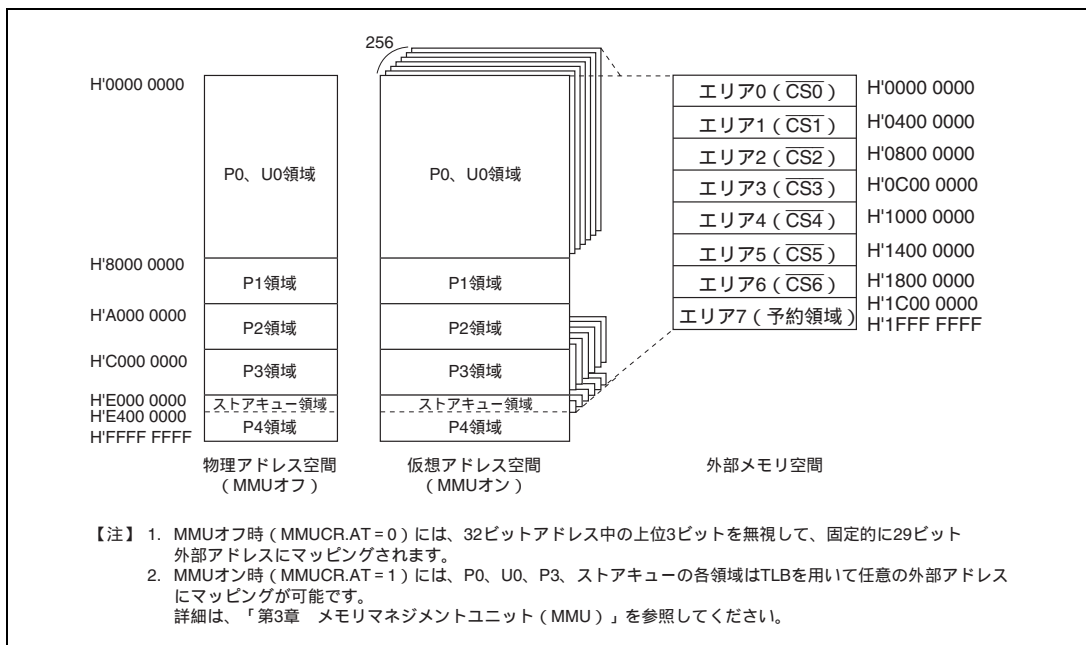


図 13.2 仮想アドレス空間と外部メモリ空間の対応

表 13.3 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能 バス幅	アクセス サイズ
0	H'00000000 ~ H'03FFFFFF	64MB	SRAM	8,16,32,64* ¹	8、16、32、 64* ⁶ ビット
			バースト ROM	8,16,32* ¹ ,64* ⁷	
			MPX	32,64* ¹	32 バイト
1	H'04000000 ~ H'07FFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			MPX	32,64* ²	
			バイト制御 SRAM	16,32,64* ²	32 バイト
2	H'08000000 ~ H'0BFFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			シンクロナス DRAM	32,64* ^{2,3}	
			DRAM	16,32* ^{2,3}	32 バイト
			MPX	32,64* ²	
3	H'0C000000 ~ H'0FFFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			シンクロナス DRAM	32,64* ^{2,3}	
			DRAM	16,32,64* ^{2,3}	32 バイト
			MPX	32,64* ²	
4	H'10000000 ~ H'13FFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			MPX	32,64* ²	
			バイト制御 SRAM	16,32,64* ²	32 バイト
5	H'14000000 ~ H'17FFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			MPX	32,64* ²	
			バースト ROM	8,16,32* ² ,64* ⁷	32 バイト
			PCMCIA	8,16* ^{2,4}	
6	H'18000000 ~ H'1BFFFFFF	64MB	SRAM	8,16,32,64* ²	8、16、32、 64* ⁶ ビット
			MPX	32,64* ²	
			バースト ROM	8,16,32* ² ,64* ⁷	32 バイト
			PCMCIA	8,16* ^{2,4}	
7* ⁵	H'1C000000 ~ H'1FFFFFFF	64MB	-	-	

- 【注】 *1 外部ピンでメモリバス幅を指定
*2 レジスタでメモリバス幅を指定
*3 シンクロナス DRAM インタフェース時は、バス幅は 32、64 ビットのみ。
また、DRAM インタフェース時は、バス幅はエリア 2 では 16、32 ビットのみ、エリア 3 では 16、32、64 ビットのみ。
*4 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ
*5 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。
*6 アクセスサイズが 64 ビットとなるのは DMAC による転送 (CHCRn.TS = 000) の場合のみ。
FMOV (FPSCR.SZ = 1) による外部メモリへのアクセスの場合、アクセスサイズが 32 ビットの転送が 2 回行われます。
*7 SH7750R のみ設定可。

エリア0 : H'00000000	SRAM / パーストROM / MPX	} PCMCIAインタフェースは、 メモリ/I/Oカード兼用
エリア1 : H'04000000	SRAM / MPX / バイト制御SRAM	
エリア2 : H'08000000	SRAM / シンクロナスDRAM / DRAM / MPX	
エリア3 : H'0C000000	SRAM / シンクロナスDRAM / DRAM / MPX	
エリア4 : H'10000000	SRAM / MPX / バイト制御SRAM	
エリア5 : H'14000000	SRAM / パーストROM / PCMCIA / MPX	
エリア6 : H'18000000	SRAM / パーストROM / PCMCIA / MPX	

図 13.3 外部メモリ空間割り付け

(2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビット、64 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

MD4	MD3	バス幅
0	0	64 ビット
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット

エリア 1~6 で SRAM インタフェース、ROM のいずれかを使用する場合は、バスコントロールレジスタ α (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビット、64 ビットから選べます。パーストROM を使用する場合は、バス幅を 8 ビット、16 ビット、32 ビット、64 ビット*から選べます。バイト制御 SRAM インタフェースを使用する場合、バス幅を 16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを使用する場合、バス幅を 32 ビット、64 ビットから選べます。また、DRAM インタフェースを使用するときは、個別メモリコントロールレジスタ (MCR) によってバス幅を 16 ビット、32 ビット、64 ビットから選べます。エリア 2、3 に DRAM インタフェースを使用する場合、バス幅は、16 ビットまたは 32 ビットに設定してください。また、シンクロナス DRAM インタフェースは、MCR レジスタによってバス幅を 32 ビット、64 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

ポート機能を使用する場合、全エリアのバス幅を各々 8 ビットまたは 16 ビットまたは 32 ビットに設定してください。

詳細は、「13.2.2 バスコントロールレジスタ 2 (BCR2)」および「13.2.8 個別メモリコントロールレジスタ (MCR)」を参照してください。

エリア 7 のアドレスの範囲、H'1C000000 ~ H'1FFFFFFF は予約空間ですので、使用しないでください。

【注】 *SH7750R のみ設定可。

13.1.6 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた“IC メモリカードインタフェース”と“I/O カードインタフェース”です。

外部メモリ空間のエリア 5 と 6 では、“IC メモリカードインタフェース”と“I/O カードインタフェース”の両方をサポートします。

PCMCIA インタフェースはリトルエンディアンモードでのみサポートされます。

表 13.4 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、アドレス変換領域からの PCMCIA インタフェースへのアクセス

表 13.5 PCMCIA サポートインタフェース

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI
	信号名	I/O	機能	信号名	I/O	機能	対応ピン
1	GND		グランド	GND		グランド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{\text{CE1}}$	I	カードイネーブル	$\overline{\text{CE1}}$	I	カードイネーブル	CS5 or CS6
8	A10	I	アドレス	A10	I	アドレス	A10
9	$\overline{\text{OE}}$	I	出力イネーブル	$\overline{\text{OE}}$	I	出力イネーブル	RD
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	$\overline{\text{WE/PGM}}$	I	ライトイネーブル	$\overline{\text{WE/PGM}}$	I	ライトイネーブル	$\overline{\text{WE1}}$
16	$\overline{\text{RDY/BSY}}$	O	レディ / ビジー	$\overline{\text{IREQ}}$	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-
18	VPP1		プログラム電源	VPP1		プログラム / ペリフ エラル用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	$\overline{\text{WP}}^{*1}$	O	ライトプロテクト	$\overline{\text{IOIS16}}$	O	16 ビット I/O ポート	$\overline{\text{IOIS16}}$
34	GND		グランド	GND		グランド	-
35	GND		グランド	GND		グランド	-

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI
	信号名	I/O	機能	信号名	I/O	機能	対応ピン
36	CDT	O	カード検出	CDT	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	CE2	I	カードイネーブル	CE2	I	カードイネーブル	CE2A or CE2B
43	RFSH	I	リフレッシュ要求	RFSH	I	リフレッシュ要求	ポートから出力
44	RFU		予約	IOR \bar{D}	I	I/O リード	ICIOR \bar{D}
45	RFU		予約	IOW \bar{R}	I	I/O ライト	ICIOW \bar{R}
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラム電源	VPP2		プログラム/ペリフェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RFU		予約	RFU		予約	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	RDY*2
60	RFU		予約	INPACK	O	入力応答	-
61	REG	I	アトリビュートメモリ空間セレクト	REG	I	アトリビュートメモリ空間セレクト	WE7
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	STSCHG	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	CD2	O	カード検出	CD2	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	-

【注】 *1 WP は、サポートしていません。

*2 外部ウェイトリクエストは正しい極性で入力してください。

13.2 レジスタの説明

13.2.1 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ENDIAN	MAS TER	A0 MPX	—	—	DPUP ^{*2}	IPUP	OPUP	—	—	A1 MBC	A4 MBC	BREQ EN	PSHR	MEM MPX	DMA ^{*2} BST
初期値:	0/1 ^{*1}	0/1 ^{*1}	0/1 ^{*1}	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZ MEM	HIZ CNT	A0 BST2	A0 BST1	A0 BST0	A5 BST2	A5 BST1	A5 BST0	A6 BST2	A6 BST1	A6 BST0	DRAM TP2	DRAM TP1	DRAM TP0	—	A56 PCM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

【注】*1 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時、外部ピンの値をサンプリングします。

*2 SH7750Rのみ

ビット 31 : エンディアンフラグ (ENDIAN)

$\overline{\text{RESET}}$ 端子によるパワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。読み出しのみ可です。

ビット 31	説明
0	パワーオンリセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。
1	パワーオンリセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。

ビット 30 : マスタ/スレーブフラグ (MASTER)

RESET 端子によるパワーオンリセット時に、マスタ/スレーブ指定の外部ピン (MD7) の値をサンプリングします。全空間のマスタ/スレーブはこのビットで決定されます。読み出しのみ可です。

ビット 30	説 明
MASTER	
0	パワーオンリセット時に、マスタ/スレーブ設定外部ピン (MD7) がハイレベルであり、本 LSI がマスタとして設定されたことを示します。
1	パワーオンリセット時に、マスタ/スレーブ設定外部ピン (MD7) がローレベルであり、本 LSI がスレーブとして設定されたことを示します。

ビット 29 : エリア 0 のメモリタイプ (AOMPX)

RESET 端子によるパワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) の値をサンプリングします。エリア 0 のメモリタイプはこのビットで決定されます。読み出しのみ可です。

ビット 29	説 明
AOMPX	
0	パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がハイレベルであり、エリア 0 が SRAM インタフェースとして設定されたことを示します。
1	パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がローレベルであり、エリア 0 が MPX インタフェースとして設定されたことを示します。

ビット 28、27、26*、23、22、16*、1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * SH7750、SH7750S のみ

ビット 26 : データ端子プルアップ抵抗制御 (DPUP) (SH7750R のみ)

データ端子 (D63 ~ D0) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はプルアップされません。

ビット 26	説 明
DPUP	
0	データ端子 (D63 ~ D0) のプルアップ抵抗は、オン。 (初期値)
1	データ端子 (D63 ~ D0) のプルアップ抵抗は、オフ。

ビット 25 : コントロール入力端子プルアップ抵抗制御 (IPUP)

コントロール入力端子 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{RDY}}$) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

ビット 25	説 明
IPUP	
0	コントロール入力端子 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{RDY}}$) のプルアップ抵抗は、オン。 (初期値)
1	コントロール入力端子 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{RDY}}$) のプルアップ抵抗は、オフ。

ビット 24 : コントロール出力端子プルアップ抵抗制御 (OPUP)

コントロール出力端子 ($\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\overline{\text{RD/WR2}}$) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

ビット 24	説 明
OPUP	
0	コントロール出力端子 ($\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\overline{\text{RD/WR2}}$) のプルアップ抵抗はオン。 (初期値)
1	コントロール出力端子 ($\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\overline{\text{RD/WR2}}$) のプルアップ抵抗はオフ。

ビット 21 : エリア 1SRAM バイト制御モード (A1MBC)

MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。

ビット 21	説 明
A1MBC	
0	エリア 1 の SRAM は、通常モード。 (初期値)
1	エリア 1 の SRAM は、バイト制御モード。

ビット 20 : エリア 4SRAM バイト制御モード (A4MBC)

MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。

ビット 20	説 明
A4MBC	
0	エリア 4 の SRAM は、通常モード。 (初期値)
1	エリア 4 の SRAM は、バイト制御モード。

ビット 19 : BREQ イネーブル (BREQEN)

外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けられない状態に初期化されます。このビットは、スレープモード立ち上げ時には無視されます。

ビット 19	説明
BREQEN	
0	外部リクエストを受け付けません。 (初期値)
1	外部リクエストを受け付けます。

ビット 18 : 部分共有モード (PSHR)

部分共有マスタモードの設定を行います。このビットはマスタモードで立ち上げたときのみ有効です。

ビット 18	説明
PSHR	
0	マスタモード (初期値)
1	部分共有マスタモード

ビット 17 : エリア 1~6 の MPX インタフェース指定 (MEMMPX)

エリア 1 から 6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、MPX インタフェースを設定します。このビットは、パワーオンリセット時に初期化されます。

ビット 17	説明
MEMMPX	
0	エリア 1~6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、SRAM インタフェース (またはバースト ROM インタフェース) が選択されます。 (初期値)
1	エリア 1~6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、MPX インタフェースが選択されます。

ビット 16 : DMAC バーストモード転送優先指定 (DMABST) (SH7750R のみ)

DMAC によるバーストモード転送の優先度を指定します。オフの設定の場合の優先度はバス権解放、リフレッシュ、DMAC、CPU となり、オンの設定の場合 DMAC のバースト転送が終了するまでバス権解放、リフレッシュは実行されなくなります。このビットは、パワーオンリセット時に初期化されます。

ビット 16	説明
DMABST	
0	DMAC バーストモード転送優先指定オフ (初期値)
1	DMAC バーストモード転送優先指定オン

ビット 15 : ハイインピーダンス (High-Z) コントロール (HIZMEM)

アドレスなど (A[25:0]、 \overline{BS} 、 \overline{CSn} 、RD/WR、 $\overline{CE2A}$ 、 $\overline{CE2B}$) のソフトウェアスタンバイ時およびバス権解放時の状態を指定します。

ビット 15	機 能
HIZMEM	
0	A[25:0]、 \overline{BS} 、 \overline{CSn} 、RD/WR、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 信号はスタンバイ時およびバス権解放時、ハイインピーダンスになります。 (初期値)
1	A[25:0]、 \overline{BS} 、 \overline{CSn} 、RD/WR、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 信号をスタンバイ時ドライブします。バス権解放時はハイインピーダンスになります。

ビット 14 : ハイインピーダンス (High-Z) コントロール (HIZCNT)

\overline{RAS} 信号、 \overline{CAS} 信号のソフトウェアスタンバイ時およびバス権解放時の状態を指定します。

ビット 14	機 能
HIZCNT	
0	\overline{RAS} 、 $\overline{RAS2}$ 、 $\overline{WEn/CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 、RD2 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (High-Z) になります。 (初期値)
1	\overline{RAS} 、 $\overline{RAS2}$ 、 $\overline{WEn/CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 、RD2 信号をスタンバイ時およびバス権解放時ドライブします。

ビット 13～11：エリア 0 バースト ROM 制御 (A0BST2～A0BST0)

エリア 0 で、バースト ROM インタフェースを使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 0 が MPX インタフェースのときは、これらのビットは無視されます。

ビット 13	ビット 12	ビット 11	機 能
A0BST2	A0BST1	A0BST0	
0	0	0	エリア 0 を SRAM インタフェースとしてアクセス (初期値)
0	0	1	エリア 0 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス。 バス幅 8、16、32、64*ビット時、いずれでも使用可
0	1	0	エリア 0 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス。 バス幅 8、16、32 ビット時のみ使用可
0	1	1	エリア 0 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス。 バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
1	0	0	エリア 0 をバースト ROM インタフェース (32 連続アクセス) としてアクセス。 バス幅 8 ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

【注】 * SH7750R のみ設定可。

ビット 10～8 : エリア 5 バーストイネーブル (A5BST2～A5BST0)

エリア 5 で、バースト ROM インタフェースを使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 5 が MPX インタフェースのときは、これらのビットは無視されます。

ビット 10	ビット 9	ビット 8	機 能
A5BST2	A5BST1	A5BST0	
0	0	0	エリア 5 を SRAM インタフェースとしてアクセス (初期値)
0	0	1	エリア 5 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス。 バス幅 8、16、32、64*ビット時、いずれでも使用可
0	1	0	エリア 5 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス。 バス幅 8、16、32 ビット時のみ使用可
0	1	1	エリア 5 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス。 バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
1	0	0	エリア 5 をバースト ROM インタフェース (32 回連続アクセス) としてアクセス。 バス幅 8 ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

【注】 PCMCIA インタフェース設定時は 0 にクリアしてください。

* SH7750R のみ設定可。

ビット7~5 : エリア6 バーストイネーブル (A6BST2 ~ A6BST0)

エリア6で、バーストROM インタフェースを使うかどうかを指定します。また、バーストROM インタフェースを使用する場合は、バースト回数を指定します。エリア6がMPX インタフェースのときは、これらのビットは無視されます。

ビット7	ビット6	ビット5	機 能
A6BST2	A6BST1	A6BST0	
0	0	0	エリア6をSRAM インタフェースとしてアクセス (初期値)
0	0	1	エリア6をバーストROM インタフェース(4回連続アクセス)としてアクセス。 バス幅8、16、32、64*ビット時、いずれでも使用可
0	1	0	エリア6をバーストROM インタフェース(8回連続アクセス)としてアクセス。 バス幅8、16、32ビット時のみ使用可
0	1	1	エリア6をバーストROM インタフェース(16回連続アクセス)としてアクセス。 バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください
1	0	0	エリア6をバーストROM インタフェース(32回連続アクセス)としてアクセス。 バス幅8ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

【注】 PCMCIA インタフェース設定時は0にクリアしてください。

* SH7750Rのみ設定可。

ビット 4~2 : エリア 2、3 のメモリタイプ (DRAMTP2 ~ DRAMTP0)

エリア 2 と 3 に接続するメモリタイプを指定します。SRAM インタフェースとして ROM、SRAM、フラッシュ ROM 等が接続できます。また、DRAM、シンクロナス DRAM が接続できます。

ビット 4	ビット 3	ビット 2	機 能
DRAMTP2	DRAMTP1	DRAMTP0	
0	0	0	エリア 2、3 を SRAM インタフェースまたは MPX インタフェース* ¹ (初期値)
0	0	1	予約 (設定不可)
0	1	0	エリア 2 を SRAM インタフェースまたは MPX インタフェース* ¹ 、エリア 3 をシンクロナス DRAM インタフェース
0	1	1	エリア 2、3 をシンクロナス DRAM インタフェース
1	0	0	エリア 2 を SRAM インタフェースまたは MPX インタフェース* ¹ 、エリア 3 を DRAM インタフェース
1	0	1	エリア 2、3 を DRAM インタフェース* ²
1	1	0	予約 (設定不可)
1	1	1	予約 (設定不可)

【注】 *¹ SRAM インタフェース、MPX インタフェースのどちらになるかは MEMMPX ビットの設定で決まります。

*² このモードを選ぶ場合は、エリア 2 と 3 のバス幅は 16,32 ビットとしてください。
また、このモードを選ぶと MD5 端子が $\overline{\text{RAS}}_2$ 端子として出力に設定されます。

ビット 0 : エリア 5 およびエリア 6 バスタイプ (A56PCM)

エリア 5 と 6 を PCMCIA インタフェースとしてアクセスするかどうかを指定します。このビットの設定は、MEMMPX ビットの設定に優先します。

ビット 0	機 能
A56PCM	
0	エリア 5 と 6 を SRAM インタフェースとしてアクセスします (初期値)
1	エリア 5 と 6 を PCMCIA インタフェースとしてアクセスします*

【注】 * MD3 端子が CE2A 端子として出力に設定されます。
MD4 端子が CE2B 端子として出力に設定されます。

13.2.2 バスコントロールレジスタ 2 (BCR2)

バスコントロールレジスタ 2 (BCR2) は、各エリアのバス幅および 16 ビットポートを使用するかどうかを指定します。読み出し / 書き込み可能な 16 ビットのレジスタです。

BCR2 レジスタは、パワーオンリセットで H'3FFC に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A0 SZ1	A0 SZ0	A6 SZ1	A6 SZ0	A5 SZ1	A5 SZ0	A4 SZ1	A4 SZ0	A3 SZ1	A3 SZ0	A2 SZ1	A2 SZ0	A1 SZ1	A1 SZ0	—	PORT EN
初期値:	0/1*	0/1*	1	1	1	1	1	1	1	1	1	1	1	1	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

【注】* エリア0のバスサイズを指定する外部ピンの値をサンプリングします。

ビット 15、14 : エリア 0 のバス幅 (A0SZ1、A0SZ0)

RESET 端子によるパワーオンリセット時に、バスサイズを指定する外部ピン (MD4、MD3) をサンプリングします。読み出しのみ可です。

ビット 15	ビット 14	機 能
A0SZ1	A0SZ0	
0	0	バス幅を 64 ビットにします
0	1	バス幅を 8 ビットにします
1	0	バス幅を 16 ビットにします
1	1	バス幅を 32 ビットにします

ビット 2n+1、2n : エリア n (1~6) のバス幅指定 (AnSZ1、AnSZ0)

エリア n (n=1~6) のバス幅を指定します。

(ビット 0)	ビット 2n+1	ビット 2n	機 能
PORTEN	AnSZ1	AnSZ0	
0	0	0	バス幅を 64 ビットにします
	0	1	バス幅を 8 ビットにします
	1	0	バス幅を 16 ビットにします
	1	1	バス幅を 32 ビットにします (初期値)
1	0	0	予約 (設定禁止)
	0	1	バス幅を 8 ビットにします
	1	0	バス幅を 16 ビットにします
	1	1	バス幅を 32 ビットにします

ビット 1: 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: ポート機能イネーブル (PORTEN)

D51 ~ D32 の端子を 20 ビットポートとして使用するかどうか指定します。ただし、この機能を使う場合は、全エリアでバス幅を 8 ビットか 16 ビットか 32 ビットにしてください。

ビット 0	機 能	
PORTEN		
0	D51 ~ D32 をポートとして使用しません	(初期値)
1	D51 ~ D32 をポートとして使用します	

13.2.3 バスコントロールレジスタ 3 (BCR3) (SH7750R のみ)

バスコントロールレジスタ 3 (BCR3) は、読み出し / 書き込み可能な 16 ビットのレジスタで、MPX インタフェースと SRAM インタフェースの切り替え設定および、シンクロナス DRAM インタフェースのバースト長を指定します。

BCR3 レジスタは、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MEM MODE	A1 MPX	A4 MPX	—	—	—	—	—	—	—	—	—	—	—	—	SDBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット 15: A1MPX/A4MPX イネーブル (MEMMODE)

MPX インタフェースと SRAM インタフェースの切り替えを MEMMPX とは別に A1MPX と A4MPX で設定するかを決定します。

ビット 15	機 能	
MEMMODE		
0	MEMMPX で決定します。(初期値)	
1	A1MPX、A4MPX で決定します。	

ビット 14、13：エリア 1、4 の MPX インタフェース指定 (A1MPX、A4MPX)

エリア 1、4 に接続するメモリタイプを指定します。この設定は MEMMODE により有効になります。

ビット 14	
A1MPX	機 能
0	エリア 1 は SRAM / バイト制御 SRAM インタフェースが選択されます (初期値)
1	エリア 1 は MPX インタフェースが選択されます

ビット 13	
A4MPX	機 能
0	エリア 4 は SRAM / バイト制御 SRAM インタフェースが選択されます (初期値)
1	エリア 4 は MPX インタフェースが選択されます

ビット 12～ビット 1：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0：バースト長 (SDBL)

シンクロナス DRAM インタフェースのとき、バースト長を設定します。バースト長の設定はバス幅が 32 ビットのみ有効です。

ビット 0	
SDBL	機 能
0	バースト長 8 (初期値)
1	バースト長 4

13.2.4 バスコントロールレジスタ 4 (BCR4) (SH7750R のみ)

バスコントロールレジスタ 4 (BCR4) は、各ビットに対応する端子の非同期入力を可能にするレジスタです。BCR4 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。マニュアルリセット、スタンバイモード時には初期化されません。

非同期入力設定 (ASYNCn = 1) にした場合、サンプリングタイミングは、同期入力設定 (ASYNCn = 0) * 時の 1 サイクル前となります (図 13.4 参照)。

本章および、「第 22 章 電気的特性」に示されているタイミングはすべて同期入力設定時 (ASYNCn = 0) のものとなっています。

【注】 * 同期入力の設定では、必ずセットアップホールド時間を満たしてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AS YNC 4	AS YNC 3	AS YNC 2	AS YNC 1	AS YNC 0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 31~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4~0 : 非同期入力

対応する端子の非同期入力を可能にします。

ビット 4~0	機 能
0	対応する端子は CKIO に対する同期入力 (初期値)
1	対応する端子は CKIO に対して非同期入力可能

ビット	
4	$\overline{\text{IOIS16}}$
3	$\overline{\text{DREQ1}}$
2	$\overline{\text{DREQ0}}$
1	$\overline{\text{BREQ}}$
0	$\overline{\text{RDY}}$

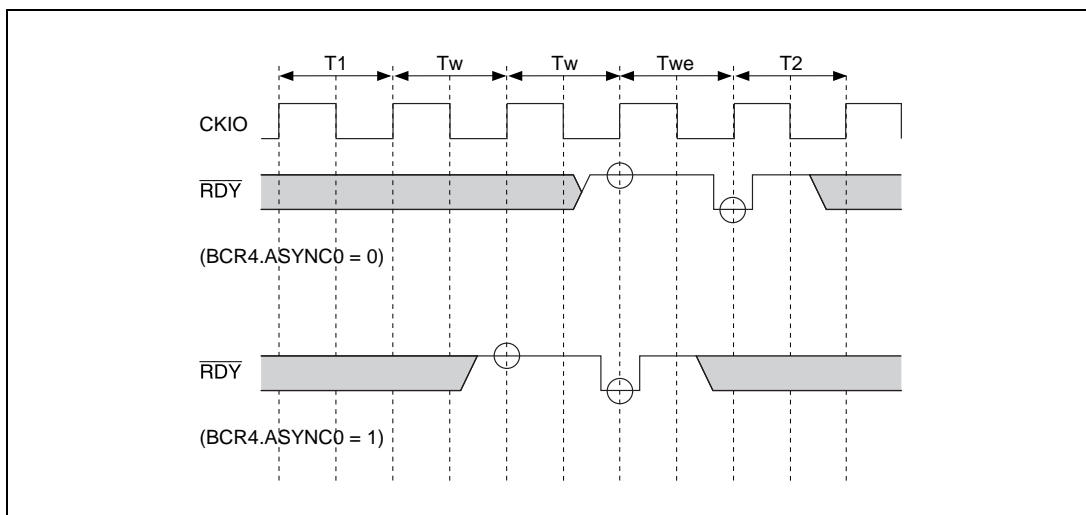


図 13.4 BCR4 の設定による \overline{RDY} サンプルングタイミング例
(WCR2 により 2 サイクルウェイトが挿入されています)

13.2.5 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドルステート挿入サイクル数を指定します。読み出し/書き込み可能な 32 ビットのレジスタです。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、パワーオンリセットで H'77777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DMA IW2	DMA IW1	DMA IW0	—	A6 IW2	A6 IW1	A6 IW0	—	A5 IW2	A5 IW1	A5 IW0	—	A4 IW2	A4 IW1	A4 IW0
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	A3 IW2	A3 IW1	A3 IW0	—	A2 IW2	A2 IW1	A2 IW0	—	A1 IW2	A1 IW1	A1 IW0	—	A0 IW2	A0 IW1	A0 IW0
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット 31、27、23、19、15、11、7、3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 30~28: DMAIW - DACK デバイスのサイクル間アイドル指定 (DMAIW2~DMAIW0)

DACK デバイスから他の空間への切り替え時、あるいは、同一デバイス上でのリードアクセスとライトアクセスの切り替え時に、バスサイクル間に挿入されるアイドルサイクル数を指定します。DMAIW ビットは、DMA シングルアドレス転送時のみ有効です。DMA デュアルアドレス転送時には、エリア間アイドルサイクルが挿入されます。

ビット $4n+2 \sim 4n$: エリア n ($6 \sim 0$) のサイクル間アイドル指定 (AnIW2 ~ AnIW0)

外部メモリ空間のエリア n ($6 \sim 0$) から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。

DMAIW2/AnIW2	DMAIW1/AnIW1	DMAIW0/AnIW0	挿入アイドルサイクル
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15 (初期値)

アクセス間のアイドル挿入

後サイクル 前サイクル	同一エリア				別エリア				同一エリア MPXアドレス 出力	別エリア MPXアドレス 出力
	リード		ライト		リード		ライト			
	CPU	DMA	CPU	DMA	CPU	DMA	CPU	DMA		
リード			M	M	M	M	M	M	M (1)	M (1)
ライト					M	M	M	M	*2	M
DMAリード (メモリ→デバイス)			M	M	M	M	M	M		M (1)
DMAライト (デバイス→メモリ)	D	D	D	D*1	D	D	D	D		D (1)

表中のDMAはDMAシングルアドレス転送を示します。DMAデュアルアドレス転送はCPUに準じます。

M、D : WCR1によるアイドルウェイトが必ず挿入される (M (1) : MPXアクセス時WCR1が0設定でも1サイクルを挿入)

M : AnIW2 ~ AnIW0の設定によるアイドルサイクル (エリア0 ~ エリア6)

D : DMAIW2 ~ DMAIW0の設定によるアイドルサイクル

【注】 シンクロナスDRAMをRASダウンモードで使用する場合、DMAIW2 ~ 0ビット = 000、A3IW2 ~ 0ビット = 000に設定してください。

*1 : デバイス切り替わり時に挿入

*2 : MPXインタフェースでライトアクセス後の同一エリアへのアクセス (リード、ライトとも) の間にもWCR1のアイドルウェイトが挿入される場合があります。以下に同一エリアへのアクセスでアイドルウェイトが挿入される具体的条件を示します。

(a) シンクロナスDRAMをRASダウンモードに設定

(b) 内蔵DMACによりシンクロナスDRAMをアクセス

上記 (a) かつ (b) の使用条件下以外では、MPXインタフェースのライトアクセスと続

く同一エリアアクセスとの間でもアイドルウェイトが挿入されます。また、上記条件下

でもシンクロナスDRAMへのパイプラインアクセス状況により、インタフェースライト

アクセス後の同一エリアアクセスにアイドルウェイトが挿入される場合があります。

WCR1レジスタの設定が0の場合はアイドルウェイトは挿入されません。パワーオンリ

セット後のアイドルステート挿入サイクル数としては、デフォルト値である最大値 (15)

が設定されていますので、必ず最適値を設定するようにしてください。

13.2.6 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し/書き込み可能な 32 ビットのレジスタで、各エリアの挿入ウェイトステート数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも接続できます。

WCR2 は、パワーオンリセットで H'FFFFFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

A6 W2	A6 W1	A6 W0	A6 B2	A6 B1	A6 B0	A5 W2	A5 W1	A5 W0	A5 B2	A5 B1	A5 B0	A4 W2	A4 W1	A4 W0	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

A3 W2	A3 W1	A3 W0	—	A2 W2	A2 W1	A2 W0	A1 W2	A1 W1	A1 W0	A0 W2	A0 W1	A0 W0	A0 B2	A0 B1	A0 B0
初期値:	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31 ~ 29 : エリア 6 のウェイトコントロール (A6W2 ~ A6W0)

エリア 6 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.6 を参照してください。

ビット 31	ビット 30	ビット 29	機 能	
			先頭サイクル	
A6W2	A6W1	A6W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 28～26：エリア 6 のバーストピッチ (A6B2～A6B0)

バースト ROM インタフェース設定時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット 28	ビット 27	ビット 26	機 能	
			バーストサイクル (先頭サイクルを除く)	
A6B2	A6B1	A6B0	第 2 データアクセス以降に挿入される 挿入ウェイトステート数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

ビット 25～23：エリア 5 のウェイトコントロール (A5W2～A5W0)

エリア 5 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.6 を参照してください。

ビット 25	ビット 24	ビット 23	機 能	
			先頭サイクル	
A5W2	A5W1	A5W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 22～20：エリア 5 のバーストピッチ (A5B2～A5B0)

バースト ROM インタフェース設定時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット 22	ビット 21	ビット 20	機 能	
			バーストサイクル (先頭サイクルを除く)	
A5B2	A5B1	A5B0	第 2 データアクセス以降に挿入される 挿入ウェイトステート数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

ビット 19～17：エリア 4 のウェイトコントロール (A4W2～A4W0)

エリア 4 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.6 を参照してください。

ビット 19	ビット 18	ビット 17	機 能	
			挿入ウェイトステート	RDY 端子
A4W2	A4W1	A4W0		
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 16：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 15～13：エリア 3 のウェイトコントロール (A3W2～A3W0)

エリア 3 に対する挿入ウェイトステート数を指定します。外部ウェイト入力は SRAM インタフェース、MPX インタフェース使用時に有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

MPX インタフェース設定時は、表 13.6 を参照してください。

[SRAM インタフェース設定時]

ビット 15	ビット 14	ビット 13	機 能	
A3W2	A3W1	A3W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

[DRAM、シンクロナス DRAM インタフェース設定時*1]

ビット 15	ビット 14	ビット 13	機 能	
A3W2	A3W1	A3W0	DRAM の $\overline{\text{CAS}}$ アサート幅	シンクロナス DRAM の $\overline{\text{CAS}}$ レイテンシサイクル数
0	0	0	1	禁止
0	0	1	2	1* ²
0	1	0	3	2
0	1	1	4	3
1	0	0	7	4* ²
1	0	1	10	5* ²
1	1	0	13	禁止
1	1	1	16	禁止

【注】 *1 外部ウェイト入力は常時無視されます。

*2 RAS ダウンモードでは禁止。

ビット 11～9 : エリア 2 のウェイトコントロール (A2W2～A2W0)

エリア 2 に対する挿入ウェイトステート数を指定します。外部ウェイト入力は SRAM インタフェース、MPX インタフェース使用時に有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

MPX インタフェース設定時は、表 13.6 を参照してください。

[SRAM インタフェース設定時]

ビット 11	ビット 10	ビット 9	機 能	
A2W2	A2W1	A2W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

[DRAM、シンクロナス DRAM インタフェース設定時*1]

ビット 11	ビット 10	ビット 9	機 能	
A2W2	A2W1	A2W0	DRAM の CAS アサート幅	シンクロナス DRAM の CAS レイテンシ
0	0	0	1	禁止
0	0	1	2	1*2
0	1	0	3	2
0	1	1	4	3
1	0	0	7	4*2
1	0	1	10	5*2
1	1	0	13	禁止
1	1	1	16	禁止

【注】 *1 外部ウェイト入力は常時無視されます。

*2 RAS ダウンモード禁止

ビット 8~6 : エリア 1 のウェイトコントロール (A1W2~A1W0)

エリア 1 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.6 を参照してください。

ビット 8	ビット 7	ビット 6	機 能	
A1W2	A1W1	A1W0	挿入ウェイトステート	$\overline{\text{RDY}}$ 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 5~3 : エリア 0 のウェイトコントロール (A0W2~A0W0)

エリア 0 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.6 を参照してください。

ビット 5	ビット 4	ビット 3	機 能	
			先頭サイクル	
A0W2	A0W1	A0W0	挿入ウェイトステート	$\overline{\text{RDY}}$ 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット2~0: エリア0のバーストピッチ (A0B2~A0B0)

バーストROM インタフェース設定時のバースト転送における、第2データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット2	ビット1	ビット0	機 能	
			バーストサイクル (先頭サイクルを除く)	
A0B2	A0B1	A0B0	第2データアクセス以降に挿入される 挿入ウェイトステート数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

表 13.6 MPX インタフェース設定時 (エリア0~6)

AnW2	AnW1	AnW0	機 能			
			挿入ウェイトステート			RDY 端子
			第1データ		第2データ以降	
			リード	ライト		
0	0	0	1	0	0	イネーブル
0	0	1	1	1	0	イネーブル
0	1	0	2	2	0	イネーブル
0	1	1	3	3	0	イネーブル
1	0	0	1	0	1	イネーブル
1	0	1	1	1	1	イネーブル
1	1	0	2	2	1	イネーブル
1	1	1	3	3	1	イネーブル

(nは6~0)

13.2.7 ウェイトコントロールレジスタ 3 (WCR3)

ウェイトコントロールレジスタ 3 (WCR3) は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのアドレスから読み出し / 書き込みストロープのアサートまでのセットアップ時間、書き込みストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。これにより、外付け回路なしに低速メモリも接続できます。

WCR3 は、パワーオンリセットで H'07777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	A6 S0	A6 H1	A6 H0	—	A5 S0	A5 H1	A5 H0	A4 RDH*	A4 S0	A4 H1	A4 H0
初期値 :	0	0	0	0	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	A3 S0	A3 H1	A3 H0	—	A2 S0	A2 H1	A2 H0	A1 RDH*	A1 S0	A1 H1	A1 H0	—	A0 S0	A0 H1	A0 H0
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W*	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 * SH7750Rのみ設定可

ビット 31 ~ 27、23、19*、15、11、7*、3 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * SH7750Rのみ設定可

ビット $4n+2$: エリア n (6~0) ライトストロープセットアップ時間 (AnS0)

アドレスからリード / ライトストロープのアサートまでのセットアップ時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]

ビット $4n+2$	セットアップ時挿入ウェイト数
AnS0	
0	0
1	1 (初期値)

(n は 6~0)

ビット $4n+1$ 、 $4n$: エリア n ($6\sim 0$) データホールド時間 (AnH1、AnH0)

ライト時のライトストロークのネゲートからのホールド時間に挿入されるサイクル数を指定します。リード時はデータのサンプリングタイミングからのホールド時間に挿入されるサイクル数を指定します。[SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]

ビット $4n+1$	ビット $4n$	ホールド時挿入ウェイト数
AnH1	AnH0	
0	0	0
0	1	1
1	0	2
1	1	3 (初期値)

(n は $6\sim 0$)

ビット $4n+3$: エリア n ($4, 1$) リードストロークネゲートタイミング (AnRDH)

(SH7750R のみ設定可)

リード時のリードストロークのネゲートタイミングを設定します。バイト制御 SRAM 設定時は、0 を設定してください。[SRAM インタフェース設定時のみ有効]

ビット $4n+3$	リードストロークネゲートタイミング
AnRDH	
0	WCR3.AnH ビットで指定したホールドウェイトサイクル終了後にネゲート (初期値)
1	データサンプリングのタイミングでネゲート

13.2.8 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DRAM、シンクロナス DRAM (エリア 2, 3) に対する \overline{RAS} 、 \overline{CAS} のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、DRAM、シンクロナス DRAM を外付け回路なしに接続できます。

MCR レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。RASD、MRSET、TRC2~0、TPC2~0、RCD1~0、TRWL2~0、TRAS2~0、BE、SZ1~0、AMXEXT、AMX2~0、EDOMODE の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、ほかのビットは変化させずに同じ値を書き込んでください。DRAM、シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2, 3 をアクセスしないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RASD	MR SET	TRC 2	TRC 1	TRC 0	—	—	—	TCAS	—	TPC2	TPC1	TPC0	—	RCD1	RCD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRWL 2	TRWL 1	TRWL 0	TRAS 2	TRAS 1	TRAS 0	BE	SZ1	SZ0	AMX EXT	AMX2	AMX1	AMX0	RFSH	RMODE	EDO MODE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31 : RAS ダウン (RASD)

RAS ダウンモードを設定します。DRAM/RAS ダウンモード設定時は、BE=1 に設定してください。

スレーブモードまたは部分共有マスタモードでは、RAS ダウンモードに設定しないでください。

また、エリア 2、3 をともにシンクロナス DRAM インタフェースに設定した場合は、RAS ダウンモードに設定しないでください (「13.3.5 (12) バス幅 64 ビットの 128M ビット/256M ビットシンクロナス DRAM の接続 (SH7750R のみ)」を参照)。

ビット 31	
RASD	説 明
0	オートプリチャージモード (初期値)
1	RAS ダウンモード

【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2~0 ビット = 000、A3IW2~0 ビット = 000 に設定してください。

ビット 30 : モードレジスタセット (MRSET)

シンクロナス DRAM のモードレジスタ設定時にセットします。「13.3.5 (10) パワーオンシーケンス」を参照してください。

ビット 30	説 明
MRSET	
0	全バンクプリチャージ (初期値)
1	モードレジスタ設定

ビット 29 ~ 27 : リフレッシュ終了時の RAS プリチャージ期間 (TRC2 ~ TRC0)

(シンクロナス DRAM : オート、セルフ両方有効。DRAM : オート、セルフ両方有効。)

【注】 設定値とコマンドを発行しない期間は、「22.3.3 パスタイミング」も参照してください。

ビット 29	ビット 28	ビット 27	RAS プリチャージ期間
TRC2	TRC1	TRC0	リフレッシュ直後
0	0	0	0 (初期値)
0	0	1	3
0	1	0	6
0	1	1	9
1	0	0	12
1	0	1	15
1	1	0	18
1	1	1	21

ビット 26 ~ 24、22、18 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 23 : CAS ネゲート期間 (TCAS)

このビットは、DRAM インタフェース設定時のみ有効です。

ビット 23	CAS ネゲート期間
TCAS	
0	1 (初期値)
1	2

ビット 21 ~ 19 : RAS プリチャージ期間 (TPC2 ~ TPC0)

DRAM インタフェースを設定した場合、 $\overline{\text{RAS}}$ ネゲート後、次にアサートするまでの最小サイクル数を規定します。シンクロナス DRAM インタフェースを設定した場合、プリチャージ後、次のバンクアクティブコマンドまでの最小サイクル数を規定します。

【注】 設定値とコマンドを発行しない期間は、「22.3.3 バスタイミング」も参照してください。

ビット 21	ビット 20	ビット 19	RAS プリチャージ期間			
			TPC2	TPC1	TPC0	DRAM
0	0	0	0	0	0	1* (初期値)
0	0	1	0	1	1	2
0	1	0	0	1	0	2
0	1	1	0	1	1	3
1	0	0	1	0	0	4
1	0	1	1	0	1	5
1	1	0	1	1	0	6
1	1	1	1	1	1	7

【注】 * RAS ダウンモードでは禁止。

ビット 17、16 : RAS-CAS 遅延 (RCD1、RCD0)

DRAM インタフェースを設定した場合、 $\overline{\text{RAS-CAS}}$ アサート遅延時間を設定します。シンクロナス DRAM インタフェースを設定した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。

ビット 17	ビット 16	機 能			
		RCD1	RCD0	DRAM	シンクロナス DRAM
0	0	0	0	2 サイクル	予約 (設定禁止)
0	1	0	1	3 サイクル	2 サイクル
1	0	1	0	4 サイクル	3 サイクル
1	1	1	1	5 サイクル	4 サイクル*

【注】 * RAS ダウンモードでは禁止。

ビット 15～13：書き込みプリチャージ遅延 (TRWL2～TRWL0)

シンクロナス DRAM の書き込みプリチャージの遅延時間を設定します。オートプリチャージモードの時は書き込みサイクル後、次のバンクアクティブコマンドが起動されるまでの時間を指定します。書き込みサイクル後、TPC+TRWL の期間* (TPC、TRWL に書き込んだ数値の期間)、次のアクティブコマンドを発行しません。RAS ダウンモードのときは次のプリチャージコマンドが発行されるまでの時間を指定します。書き込みサイクル後、TRWL の期間、次のプリチャージコマンドを発行しません。シンクロナス DRAM インタフェース設定時のみ有効です。

【注】 * 設定値とコマンドを発行しない期間は、「22.3.3 バスタイミング」も参照してください。

ビット 15	ビット 14	ビット 13	書き込みプリチャージ ACT 遅延時間
TRWL2	TRWL1	TRWL0	
0	0	0	1 (初期値)
0	0	1	2
0	1	0	3*
0	1	1	4*
1	0	0	5*
1	0	1	予約 (設定禁止)
1	1	0	予約 (設定禁止)
1	1	1	予約 (設定禁止)

【注】 * RAS ダウンモードでは禁止。

ビット 12～10：CAS ビフォ RAS リフレッシュ $\overline{\text{RAS}}$ アサート期間 (TRAS2～TRAS0)

DRAM インタフェースを設定した場合、CAS ビフォ RAS リフレッシュのときの $\overline{\text{RAS}}$ アサート期間を設定します。シンクロナス DRAM インタフェースを設定した場合、オートリフレッシュコマンド発行後、TRC*+TRAS の期間、次のバンクアクティブコマンドを発行しません。

【注】 * 設定値とコマンドを発行しない期間は、「22.3.3 バスタイミング」も参照してください。

ビット 12	ビット 11	ビット 10	RAS/DRAM	シンクロナス DRAM
TRAS2	TRAS1	TRAS0	アサート期間	リフレッシュ 後のコマンド間隔
0	0	0	2	4 + TRC * (初期値)
0	0	1	3	5 + TRC
0	1	0	4	6 + TRC
0	1	1	5	7 + TRC
1	0	0	6	8 + TRC
1	0	1	7	9 + TRC
1	1	0	8	10 + TRC
1	1	1	9	11 + TRC

【注】 * ビット 29～27:リフレッシュ終了時の RAS プリチャージ期間。

ビット 9 : パーストイネーブル (BE)

DRAM インタフェースにおいて、パーストアクセスを行うかどうかを指定します。シンクロナス DRAM のアクセス時は、本ビットの指定によらず、常にパーストアクセスを行います。DRAM 転送モードは EDOMODE によって変わります。

BE	EDOMODE	8/16/32/64 ビット転送	32 バイト転送
0	0	シングル	シングル
0	1	設定禁止	設定禁止
1	0	シングル / 高速ページ*	高速ページ
1	1	EDO	EDO

【注】 * 高速ページモード時は、16 ビットバスによる 32、64 ビット転送、32 ビットバスによる 64 ビット転送。

ビット 8、7 : メモリデータサイズ (SZ1、SZ0)

DRAM、シンクロナス DRAM のバス幅を指定します。BCR2 レジスタの設定に優先します。

ビット 8	ビット 7	機 能	
SZ1	SZ0	DRAM	シンクロナス DRAM
0	0	64 ビット	64 ビット
0	1	予約 (設定禁止)	予約 (設定禁止)
1	0	16 ビット	予約 (設定禁止)
1	1	32 ビット	32 ビット

ビット 6~3 : アドレスマルチプレクス (AMXEXT、AMX2~AMX0)

DRAM、シンクロナス DRAM のアドレスマルチプレクスを指定します。アドレスシフト値は、DRAM インタフェースと、シンクロナス DRAM インタフェースで異なります。

[DRAM インタフェース設定時]

ビット 6	ビット 5	ビット 4	ビット 3	機 能
AMXEXT	AMX2	AMX1	AMX0	DRAM
0*	0	0	0	カラムアドレス 8 ビット品 (初期値)
	0	0	1	カラムアドレス 9 ビット品
	0	1	0	カラムアドレス 10 ビット品
	0	1	1	カラムアドレス 11 ビット品
	1	0	0	カラムアドレス 12 ビット品
	1	0	1	予約 (設定禁止)
	1	1	0	予約 (設定禁止)
	1	1	1	予約 (設定禁止)

【注】 * DRAM インタフェース使用時は、AMXEXT ビットを 0 に設定してください。

[シンクロナス DRAM インタフェース設定時]

AMX	AMXEXT	SZ	シンクロナス DRAM 構成例	BANK ^{*4}
0	0	64	(16M : 512K × 16 ビット × 2) × 4	a[22] ^{*1}
0	0	32	(16M : 512K × 16 ビット × 2) × 2	a[21] ^{*1}
0	1	64	(16M : 512K × 16 ビット × 2) × 4	a[21] ^{*1}
0	1	32	(16M : 512K × 16 ビット × 2) × 2	a[20] ^{*1}
1	0	64	(16M : 1M × 8 ビット × 2) × 8	a[23] ^{*1}
1	0	32	(16M : 1M × 8 ビット × 2) × 4	a[22] ^{*1}
1	1	64	(16M : 1M × 8 ビット × 2) × 8	a[22] ^{*1}
1	1	32	(16M : 1M × 8 ビット × 2) × 4	a[21] ^{*1}
2	–	64	(64M : 1M × 16 ビット × 4) × 4	a[24:23] ^{*1}
2	–	32	(64M : 1M × 16 ビット × 4) × 2	a[23:22] ^{*1}
3	–	64	(64M : 2M × 8 ビット × 4) × 8	a[25:24] ^{*1}
3	–	32	(64M : 2M × 8 ビット × 4) × 4	a[24:23] ^{*1}
4	–	64	(64M : 512K × 32 ビット × 4) × 2	a[23:22] ^{*1}
4	–	32	(64M : 512K × 32 ビット × 4) × 1	a[22:21] ^{*1}
5	–	64	(64M : 1M × 32 ビット × 2) × 2	a[23] ^{*1}
5	–	32	(64M : 1M × 32 ビット × 2) × 1	a[22] ^{*1}

AMX	AMXEXT	SZ	シンクロナス DRAM 構成例	BANK
6	0	64	(128M : 4M × 8 ビット × 4) × 8 ^{*2}	a[26:25] ^{*1}
6	1	64	(256M : 4M × 16 ビット × 4) × 4 ^{*2}	a[26:25] ^{*1}
6	0	32	(128M : 4M × 8 ビット × 4) × 4 ^{*3}	a[25:24] ^{*1}
6	1	32	(256M : 4M × 16 ビット × 4) × 2 ^{*3}	a[25:24] ^{*1}
7	–	64	(16M : 256K × 32 ビット × 2) × 2	a[21] ^{*1}
7	–	32	(16M : 256K × 32 ビット × 2) × 1	a[20] ^{*1}

【注】 *1 a[*]: アドレス端子ではなく、外部アドレス

*2 SH7750R のみ

*3 SH7750S、SH7750R のみ (SH7750 は設定禁止)

*4 アドレスマルチプレックスの詳細は、「付録 F. シンクロナス DRAM のアドレスマルチプレクス表」を参照してください。

ビット 2: リフレッシュ制御 (RFSH)

リフレッシュ制御を指定します。DRAM、シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

ビット 2	機 能	
RFSH		
0	リフレッシュを行いません	(初期値)
1	リフレッシュを行います	

ビット 1: リフレッシュモード (RMODE)

本ビットは、RFSH ビット=1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、DRAM、シンクロナス DRAM に対して、CAS ビフォ RAS リフレッシュもしくはオートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってから DRAM、シンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

ビット 1	機 能	
RMODE		
0	CAS ビフォ RAS リフレッシュを行います (ただし、RFSH=1 の場合)	(初期値)
1	セルフリフレッシュを実行します (ただし、RFSH=1 の場合)	

ビット 0: EDO モード (EDOMODE)

EDO モードの DRAM インタフェースを使用する場合のデータリード時のデータサンプリングタイミングの指定に使用します。本ビットを設定しても DRAM 以外のメモリの動作タイミングは変わりません。なお、DRAM 使用時以外は、本ビットは 1 に設定しないでください。

13.2.9 PCMCIA コントロールレジスタ (PCR)

PCMCIA コントロールレジスタ (PCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、エリア 5、6 に接続する PCMCIA インタフェースに対する \overline{OE} 、 \overline{WE} 信号のアサート / ネゲートタイミングを指定します。なお、 \overline{OE} 、 \overline{WE} 信号のアサート幅は、WCR2 レジスタのウェイトコントロールビットで設定します。PCMCIA へのアクセスの詳細は「13.3.7 PCMCIA インタフェース」を参照してください。

PCR レジスタは、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A5 PCW1	A5 PCW0	A6 PCW1	A6 PCW0	A5 TED2	A5 TED1	A5 TED0	A6 TED2	A6 TED1	A6 TED0	A5 TEH2	A5 TEH1	A5 TEH0	A6 TEH2	A6 TEH1	A6 TEH0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PCMCIA ウェイト (A5PCW1、A5PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 15	ビット 14	挿入ウェイト
A5PCW1	A5PCW0	
0	0	0 (初期値)
0	1	15
1	0	30
1	1	50

ビット 13、12 : PCMCIA ウェイト (A6PCW1、A6PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 13	ビット 12	挿入ウェイト
A6PCW1	A6PCW0	
0	0	0 (初期値)
0	1	15
1	0	30
1	1	50

ビット 11~9 : アドレス $\overline{OE}/\overline{WE}$ アサート遅延 (A5TED2~A5TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。
PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 11	ビット 10	ビット 9	挿入ウェイト数
A5TED2	A5TED1	A5TED0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 8~6 : アドレス $\overline{OE}/\overline{WE}$ アサート遅延 (A6TED2~A6TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。
PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 8	ビット 7	ビット 6	挿入ウェイト数
A6TED2	A6TED1	A6TED0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 5~3 : $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A5TEH2~A5TEH0)

接続された PCMCIA インタフェースにおけるライト時および I/O カードリード時の $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。

PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 5	ビット 4	ビット 3	挿入ウェイト数
A5TEH2	A5TEH1	A5TEH0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 2~0 : $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A6TEH2~A6TEH0)

接続された PCMCIA インタフェースにおけるライト時および I/O カードリード時の $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。メモリカードリード時は、データサンプリングタイミングからのアドレスホールド遅延時間を設定します。

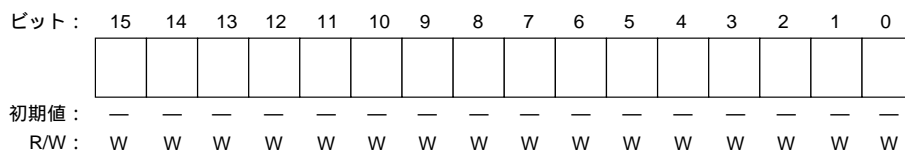
PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 2	ビット 1	ビット 0	挿入ウェイト数
A6TEH2	A6TEH1	A6TEH0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

13.2.10 シンクロナス DRAM モードレジスタ (SDMR)

シンクロナス DRAM モードレジスタ (SDMR) は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 16 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR レジスタに対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。



シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を "X"、SDMR レジスタのアドレスを "Y" とすると、X + Y 番地に書き込みを行うことによって、値 "X" がシンクロナス DRAM のモードレジスタに書き込まれます。なお、シンクロナス DRAM のバス幅が 32 ビットに設定されている場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には "X" を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。

例えば、エリア 2 の SDMR レジスタに H'0230 を書き込む場合は、H'FF900000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF9008C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR レジスタに H'0230 を書き込む場合は、H'FF940000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF9408C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

アドレスの下位 16 ビットが、シンクロナス DRAM モードレジスタにセットされます。

バス幅が 32 ビットのときは、バースト長は 4*、8 です。バス幅が 64 ビットのときは、バースト長は 4 に固定です。SDMR に設定する場合、以下のアドレスに対してバイトサイズで書き込むことになります。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4*	1	H'FF900048	H'FF940048
		2	H'FF900088	H'FF940088
		3	H'FF9000C8	H'FF9400C8
32	8	1	H'FF90004C	H'FF94004C
		2	H'FF90008C	H'FF94008C
		3	H'FF9000CC	H'FF9400CC
64	4	1	H'FF900090	H'FF940090
		2	H'FF900110	H'FF940110
		3	H'FF900190	H'FF940190

32ビットバスの場合



64ビットバスの場合



LMODE : CASレイテンシ
 BL : バースト長
 WT : ラップタイプ (0:シーケンシャル)

BL	LMODE
000: 予約	000: 予約
001: 予約	001: 1
010: 4	010: 2
011: 8	011: 3
100: 予約	100: 予約
101: 予約	101: 予約
110: 予約	110: 予約
111: 予約	111: 予約

【注】 * SH7750R のみ

13.2.11 リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無を指定します。

RTCSR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値については、「13.2.15 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

ビット 7: コンペアマッチフラグ (CMF)

リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。

ビット 7	機能
CMF	
0	RTCNT と RTCOR の値が一致していないことを示します (初期値) [クリア条件] CMF に 0 を書き込んだ場合
1	RTCNT と RTCOR の値が一致したことを示します [セット条件] RTCNT = RTCOR の場合*

【注】 * 1 を書き込むと、元の値が保持されます。

ビット 6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。CAS ビフォ RAS リフレッシュ、もしくはオートリフレッシュを行っている場合は、本ビットを 1 にしないでください。

ビット 6	機能
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

ビット5~3: クロックセレクトビット (CKS2~CKS0)

RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。

ビット5	ビット4	ビット3	機 能
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
0	0	1	バスクロック (CKIO) /4
0	1	0	CKIO/16
0	1	1	CKIO/64
1	0	0	CKIO/256
1	0	1	CKIO/1024
1	1	0	CKIO/2048
1	1	1	CKIO/4096

ビット2: リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたことを示すステータスフラグです。

ビット2	機 能
OVF	
0	LMTS で示すカウントリミット値を、RFCR がオーバーフローしていないことを示します [クリア条件] OVF に 0 を書き込んだとき (初期値)
1	LMTS で示すカウントリミット値を、RFCR がオーバーフローしたことを示します [セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき*

【注】 * 1 を書き込むと、元の値が保持されます。

ビット1: リフレッシュカウントオーバーフローインタラプトイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。

ビット1	機 能
OVIE	
0	OVF による割り込み要求を禁止します (初期値)
1	OVF による割り込み要求を許可します

ビット0：リフレッシュカウンタオーバーフローリミットセレクト (LMTS)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。

ビット0	機能
LMTS	
0	カウントリミット値を 1024 とします (初期値)
1	カウントリミット値を 512 とします

13.2.12 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。読み出し / 書き込み可能な 8 ビットのカウンタです。入力クロックは RTCSR レジスタの CKS (2~0) ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.13 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定する読み出し / 書き込み可能なレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。個別メモリコントロールレジスタのリフレッシュビット (RFSH) が 1 にセットされており、かつリフレッシュモードが CAS ビフォ RAS に設定されていると、この CMF ビットがセットされたときにメモリリフレッシュサイクルが発生します。

RTCOR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.14 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) はリフレッシュ回数をカウントします。読み出し / 書き込み可能な 10 ビットのカウンタです。RTCOR レジスタと RTCNT カウンタの値が一致するたびにカウントアップします。RFCR レジスタが RTCSR レジスタの LMTS ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.15 リフレッシュコントロール関連レジスタアクセス時の注意

リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)、リフレッシュタイマカウンタ (RTCNT)、リフレッシュタイムコンスタントレジスタ (RTCOR)、リフレッシュカウントレジスタ (RFCR) は、プログラムが暴走したときなどに誤って書き換えられないように、書き込み時に特定のコードをデータに付加するようになっています。次の方法で、書き込み / 読み出しを行ってください。

(1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 13.5 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

RTCSR、 RTCNT、 RTCOR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1	0	1	0	0	1	0	1	書き込みデータ							
RFCR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1	0	1	0	0	1	書き込みデータ									

図 13.5 RTCSR、RTCNT、RTCOR、RFCR への書き込み

(2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

13.3 動作説明

13.3.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) で $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット、64 ビット幅の 4 種類から選べ、DRAM も 16 ビット、32 ビット、64 ビット幅の 3 種類から選べます。シンクロナス DRAM は 32 ビット、64 ビット幅から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。例えば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放やリフレッシュ動作は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。クワッドワードアクセスは、DMAC による転送の場合のみです。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 13.7 ~ 表 13.13 に示します。

*データ構造																										
バイト	<table border="1"> <tr> <td style="text-align: center;">MSB</td> <td style="width: 100px;"></td> <td style="text-align: center;">LSB</td> </tr> <tr> <td colspan="3" style="text-align: center;">データ7~0</td> </tr> </table>	MSB		LSB	データ7~0																					
MSB		LSB																								
データ7~0																										
ワード	<table border="1"> <tr> <td style="text-align: center;">MSB</td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="text-align: center;">LSB</td> </tr> <tr> <td colspan="2" style="text-align: center;">データ15~8</td> <td colspan="2" style="text-align: center;">データ7~0</td> </tr> </table>	MSB			LSB	データ15~8		データ7~0																		
MSB			LSB																							
データ15~8		データ7~0																								
ロングワード	<table border="1"> <tr> <td style="text-align: center;">MSB</td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="text-align: center;">LSB</td> </tr> <tr> <td colspan="2" style="text-align: center;">データ31~24</td> <td colspan="2" style="text-align: center;">データ23~16</td> <td colspan="2" style="text-align: center;">データ15~8</td> <td colspan="2" style="text-align: center;">データ7~0</td> </tr> </table>	MSB				LSB	データ31~24		データ23~16		データ15~8		データ7~0													
MSB				LSB																						
データ31~24		データ23~16		データ15~8		データ7~0																				
クワッドワード	<table border="1"> <tr> <td style="text-align: center;">MSB</td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="width: 100px;"></td> <td style="text-align: center;">LSB</td> </tr> <tr> <td colspan="2" style="text-align: center;">データ 63~56</td> <td colspan="2" style="text-align: center;">データ 55~48</td> <td colspan="2" style="text-align: center;">データ 47~40</td> <td colspan="2" style="text-align: center;">データ 39~32</td> <td colspan="2" style="text-align: center;">データ 31~24</td> <td colspan="2" style="text-align: center;">データ 23~16</td> <td colspan="2" style="text-align: center;">データ 15~8</td> <td colspan="2" style="text-align: center;">データ 7~0</td> </tr> </table>	MSB								LSB	データ 63~56		データ 55~48		データ 47~40		データ 39~32		データ 31~24		データ 23~16		データ 15~8		データ 7~0	
MSB								LSB																		
データ 63~56		データ 55~48		データ 47~40		データ 39~32		データ 31~24		データ 23~16		データ 15~8		データ 7~0												

表 13.7 (1) 64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス							
アクセス サイズ	アドレス		D63 ~ 56	D55 ~ 48	D47 ~ 40	D39 ~ 32	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0
バイト	8n	1	データ 7~ 0	-	-	-	-	-	-	-
	8n+1	1	-	データ 7~ 0	-	-	-	-	-	-
	8n+2	1	-	-	データ 7~ 0	-	-	-	-	-
	8n+3	1	-	-	-	データ 7~ 0	-	-	-	-
	8n+4	1	-	-	-	-	データ 7~ 0	-	-	-
	8n+5	1	-	-	-	-	-	データ 7~ 0	-	-
	8n+6	1	-	-	-	-	-	-	データ 7~ 0	-
	8n+7	1	-	-	-	-	-	-	-	データ 7~ 0
ワード	8n	1	データ 15 ~ 8	データ 7 ~ 0	-	-	-	-	-	-
	8n+2	1	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-	-	-
	8n+4	1	-	-	-	-	データ 15 ~ 8	データ 7 ~ 0	-	-
	8n+6	1	-	-	-	-	-	-	データ 15 ~ 8	データ 7 ~ 0
ロング ワード	8n	1	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0	-	-	-	-
	8n+4	1	-	-	-	-	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0
クワッド ワード	8n	1	データ 63 ~ 56	データ 55 ~ 48	データ 47 ~ 40	データ 39 ~ 32	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0

表 13.7 (2) 64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	ストロープ信号							
アクセス サイズ	アドレス		WE7、 CAS7、 DQM7	WE6、 CAS6、 DQM6	WE5、 CAS5、 DQM5	WE4、 CAS4、 DQM4	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	8n	1	アサート							
	8n+1	1		アサート						
	8n+2	1			アサート					
	8n+3	1				アサート				
	8n+4	1					アサート			
	8n+5	1						アサート		
	8n+6	1							アサート	
	8n+7	1								アサート
ワード	8n	1	アサート	アサート						
	8n+2	1			アサート	アサート				
	8n+4	1					アサート	アサート		
	8n+6	1							アサート	アサート
ロング ワード	8n	1	アサート	アサート	アサート	アサート				
クワッド ワード	8n+4	1					アサート	アサート	アサート	アサート
クワッド ワード	8n	1	アサート	アサート	アサート	アサート	アサート	アサート	アサート	アサート

表 13.8 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	4n	1	データ7~0	-	-	-	アサート			
	4n+1	1	-	データ7~0	-	-		アサート		
	4n+2	1	-	-	データ7~0	-			アサート	
	4n+3	1	-	-	-	データ7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
クワッド ワード	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+4	2	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 13.9 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	2n	1	-	-	データ7~0	-			アサート	
	2n+1	1	-	-	-	データ7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート
クワッド ワード	8n	1	-	-	データ 63~56	データ 55~48			アサート	アサート
	8n+2	2	-	-	データ 47~40	データ 39~32			アサート	アサート
	8n+4	3	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+6	4	-	-	データ 15~8	データ 7~0			アサート	アサート

表 13.10 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 $\overline{CAS3}$ 、 DQM3	$\overline{WE2}$ 、 $\overline{CAS2}$ 、 DQM2	$\overline{WE1}$ 、 $\overline{CAS1}$ 、 DQM1	$\overline{WE0}$ 、 $\overline{CAS0}$ 、 DQM0
バイト	n	1	-	-	-	データ7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ7~0				アサート
クワッド ワード	8n	1	-	-	-	データ 63~56				アサート
	8n+1	2	-	-	-	データ 55~48				アサート
	8n+2	3	-	-	-	データ 47~40				アサート
	8n+3	4	-	-	-	データ 39~32				アサート
	8n+4	5	-	-	-	データ 31~24				アサート
	8n+5	6	-	-	-	データ 23~16				アサート
	8n+6	7	-	-	-	データ 15~8				アサート
	8n+7	8	-	-	-	データ7~0				アサート

表 13.11 64 ビット外部デバイス/リトルエンディアンのアクセスとアライメント

動作			データバス							
アクセス サイズ	アドレス	No.	D63~56	D55~48	D47~40	D39~32	D31~24	D23~16	D15~8	D7~0
バイト	8n	1	-	-	-	-	-	-	-	データ7~0
	8n+1	1	-	-	-	-	-	-	データ7~0	-
	8n+2	1	-	-	-	-	-	データ7~0	-	-
	8n+3	1	-	-	-	-	データ7~0	-	-	-
	8n+4	1	-	-	-	データ7~0	-	-	-	-
	8n+5	1	-	-	データ7~0	-	-	-	-	-
	8n+6	1	-	データ7~0	-	-	-	-	-	-
	8n+7	1	データ7~0	-	-	-	-	-	-	-
ワード	8n	1	-	-	-	-	-	-	データ 15~8	データ 7~0
	8n+2	1	-	-	-	-	データ 15~8	データ 7~0	-	-
	8n+4	1	-	-	データ 15~8	データ 7~0	-	-	-	-
	8n+6	1	データ 15~8	データ 7~0	-	-	-	-	-	-
ロング ワード	8n	1	-	-	-	-	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	8n+4	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	-	-	-	-
クワッド ワード	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0

動作		No.	ストローブ信号							
アクセス サイズ	アドレス		WE7、 CAS7、 DQM7	WE6、 CAS6、 DQM6	WE5、 CAS5、 DQM5	WE4、 CAS4、 DQM4	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	8n	1								アサート
	8n+1	1							アサート	
	8n+2	1						アサート		
	8n+3	1					アサート			
	8n+4	1				アサート				
	8n+5	1			アサート					
	8n+6	1		アサート						
	8n+7	1	アサート							
ワード	8n	1							アサート	アサート
	8n+2	1					アサート	アサート		
	8n+4	1			アサート	アサート				
	8n+6	1	アサート	アサート						
ロング ワード	8n	1					アサート	アサート	アサート	アサート
	8n+4	1	アサート	アサート	アサート	アサート				
クワッド ワード	8n	1	アサート	アサート	アサート	アサート	アサート	アサート	アサート	

表 13.12 32ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストローブ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	4n	1	-	-	-	データ7~0				アサート
	4n+1	1	-	-	データ7~0	-			アサート	
	4n+2	1	-	データ7~0	-	-		アサート		
	4n+3	1	データ7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
クワッド ワード	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート

表 13.13 16 ビット外部デバイス / リトルエンディアン のアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 $\overline{CAS3}$ 、 DQM3	$\overline{WE2}$ 、 $\overline{CAS2}$ 、 DQM2	$\overline{WE1}$ 、 $\overline{CAS1}$ 、 DQM1	$\overline{WE0}$ 、 $\overline{CAS0}$ 、 DQM0
バイト	2n	1	-	-	-	データ7~0				アサート
	2n+1	1	-	-	データ7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
クワッド ワード	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート
	8n+6	4	-	-	データ 63~56	データ 55~48			アサート	アサート

表 13.14 8ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	n	1	-	-	-	データ7~0				アサート
ワード	2n	1	-	-	-	データ7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロング ワード	4n	1	-	-	-	データ7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート
クワッド ワード	8n	1	-	-	-	データ7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート
	8n+3	4	-	-	-	データ 31~24				アサート
	8n+4	5	-	-	-	データ 39~32				アサート
	8n+5	6	-	-	-	データ 47~40				アサート
	8n+6	7	-	-	-	データ 55~48				アサート
	8n+7	8	-	-	-	データ 63~56				アサート

13.3.2 エリアの説明

(1) エリア 0

エリア 0 は、外部アドレスの A28 ~ A26 が 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、およびバースト ROM です。

バス幅は、外部ピンの MD4、MD3 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビット、64 ビットから選べます。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 0 をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A0W2 ~ A0W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で選択できます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A0S0、および、A0H1、A0H0 ビットにより、それぞれ 0 ~ 1、0 ~ 3 サイクルに設定することができます。

(2) エリア 1

エリア 1 は、外部アドレスの A28 ~ A26 が 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、およびバイト制御 SRAM です。

バス幅は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビット、64 ビットにしてください。

エリア 1 をアクセスすると $\overline{CS1}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A1W2 ~ A1W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A1S0、および A1H1、A1H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

(3) エリア 2

エリア 2 は、外部アドレスの A28 ~ A26 が 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、DRAM およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A2SZ1、A2SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A2SZ1 ~ A2SZ0 ビットにより、32 ビットまたは 64 ビットに設定してください。また、シンクロナス DRAM インタフェースを設定する場合は、MCR レジスタの SZ ビットにより、32 ビットまたは 64 ビットに設定してください。DRAM をエリア 2 に接続するときは、MCR レジスタの SZ ビットにより、バス幅を 16 ビットまたは 32 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 2 をアクセスすると $\overline{CS2}$ 信号がアサートされます。

SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A2W2 ~ A2W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A2S0、および A2H1、A2H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを設定している場合、 \overline{RAS} 信号や \overline{CAS} 信号、 $\overline{RD}/\overline{WR}$ 信号、バイト制御の DQM0 ~ DQM7 がアサートされ、アドレスマルチプレクスが行われます。 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

また、DRAM を接続している場合、 $\overline{RAS2}$ 信号や $\overline{CAS4} \sim \overline{CAS7}$ 信号、 $\overline{RD}/\overline{WR}$ 信号がアサートされ、アドレスマルチプレクスが行われます。 $\overline{RAS2}$ や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

(4) エリア 3

エリア 3 は、外部アドレスの A28 ~ A26 が 011 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、DRAM、およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A3SZ1、A3SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、DRAM インタフェースを設定する場合、MCR レジスタの SZ ビットにより 16 ビット、32 ビット、64 ビットから選べます。また、シンクロナス DRAM インタフェースを設定する場合、MCR レジスタの SZ ビットにより 32 ビットまたは 64 ビットに設定してください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 3 をアクセスすると $\overline{CS3}$ 信号がアサートされます。

SRAM インタフェースを接続している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、WCR2 レジスタの A3W2 ~ A3W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) によりバスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A3S0、および A3H1、A3H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを接続している場合、 \overline{RAS} 信号や \overline{CAS} 信号、 $\overline{RD}/\overline{WR}$ 信号、バイト制御の DQM0 ~ DQM7 がアサートされ、アドレスマルチプレクスが行われます。DRAM インタフェースを設定している場合、 \overline{RAS} 信号や $\overline{CAS0} \sim \overline{CAS7}$ 信号、 $\overline{RD}/\overline{WR}$ 信号がアサートされ、アドレスマルチプレクスが行われます。これら、 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

(5) エリア 4

エリア 4 は、外部アドレスの A28 ~ A26 が 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、およびバイト制御 SRAM です。

バス幅は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べ

ます。MPX インタフェースを設定する場合は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビット、64 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 4 をアクセスすると $\overline{CS4}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A4S0、および A4H1、A4H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

(6) エリア 5

エリア 5 は、外部アドレスの A28 ~ A26 が 101 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM、および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 5 をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{ICIOR} 、 \overline{ICIORW} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE7}$ 信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A5W2 ~ A5W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A5S0、および A5H1、A5H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合、リード/ライトストロープ信号に対してアドレス/ $\overline{CE1A}$ / $\overline{CE2A}$ のセットアップ、ホールド時間を PCR レジスタの AnTED1、AnTED0 ビット、AnTEH1、AnTEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、AnPCW1、AnPCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

(7) エリア 6

エリア 6 は、外部アドレスの A28 ~ A26 が 110 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM、および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 6 をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIOWR} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE7}$ 信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A6S0、および A6H1、A6H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合リード/ライトストロープ信号に対してアドレス/ $\overline{CE1B}$ / $\overline{CE2B}$ のセットアップ、ホールド時間を PCR レジスタの AnTED1、AnTED0 ビット、AnTEH1、AnTEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、AnPCW1、AnPCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

13.3.3 SRAM インタフェース

(1) 基本タイミング

本 LSI の SRAM インタフェースは、主に SRAM の接続を考慮してストロブ信号を出力します。図 13.6 に SRAM インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 \overline{CSn} 信号は、T1 の立ち上がりでアサートされ T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは読み出し時は指定がありません。アドレス端子 (A [25 : 0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「13.3.1 エンディアン / アクセスサイズとデータアライメント」の項を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

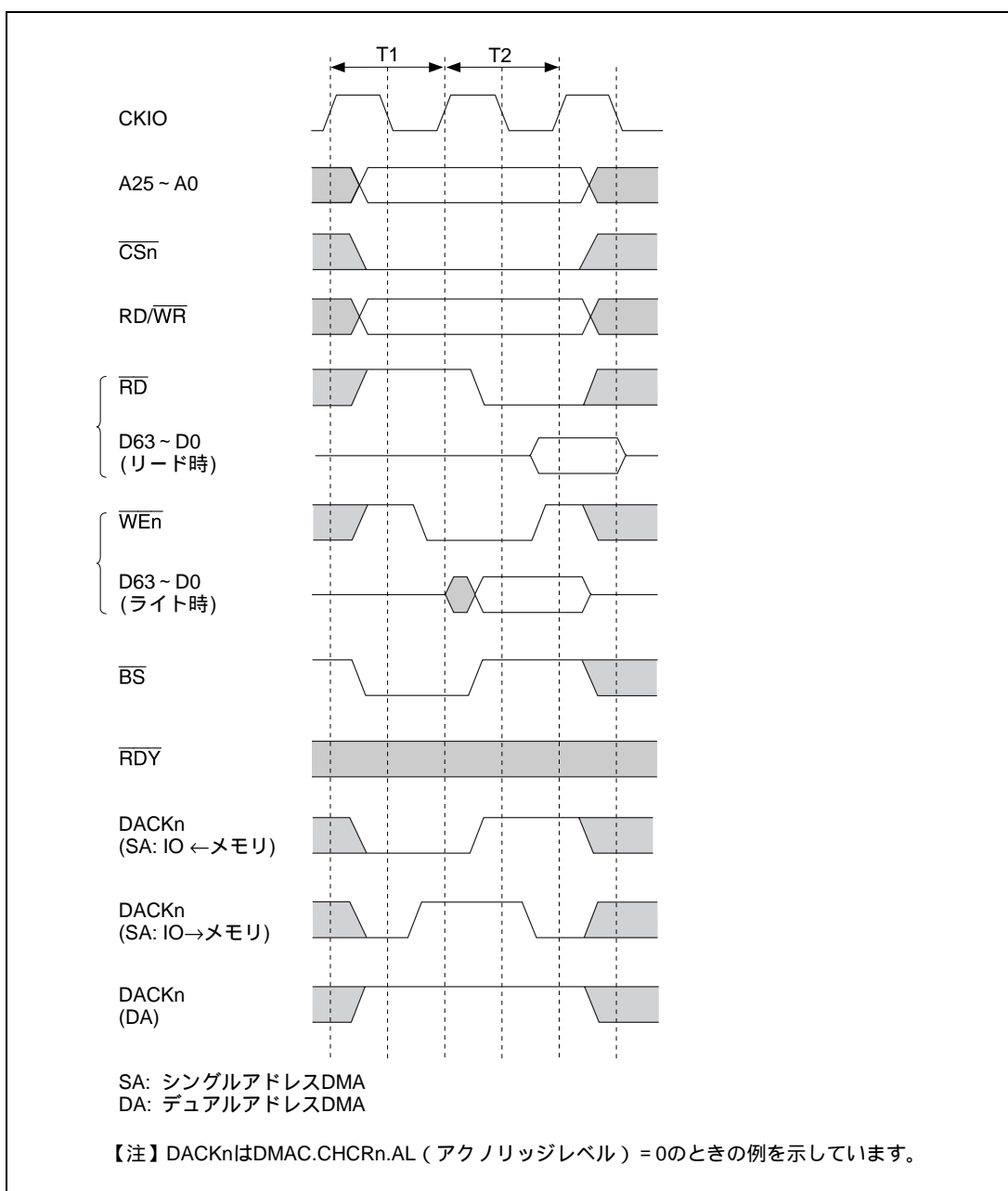


図 13.6 SRAM インタフェースの基本タイミング

図 13.7 に 64 ビットデータ幅の SRAM との接続例を、図 13.8 に 32 ビットデータ幅の SRAM との接続例を、図 13.9 に 16 ビットデータ幅の SRAM との接続例を、図 13.10 に 8 ビットデータ幅の SRAM との接続例を示します。

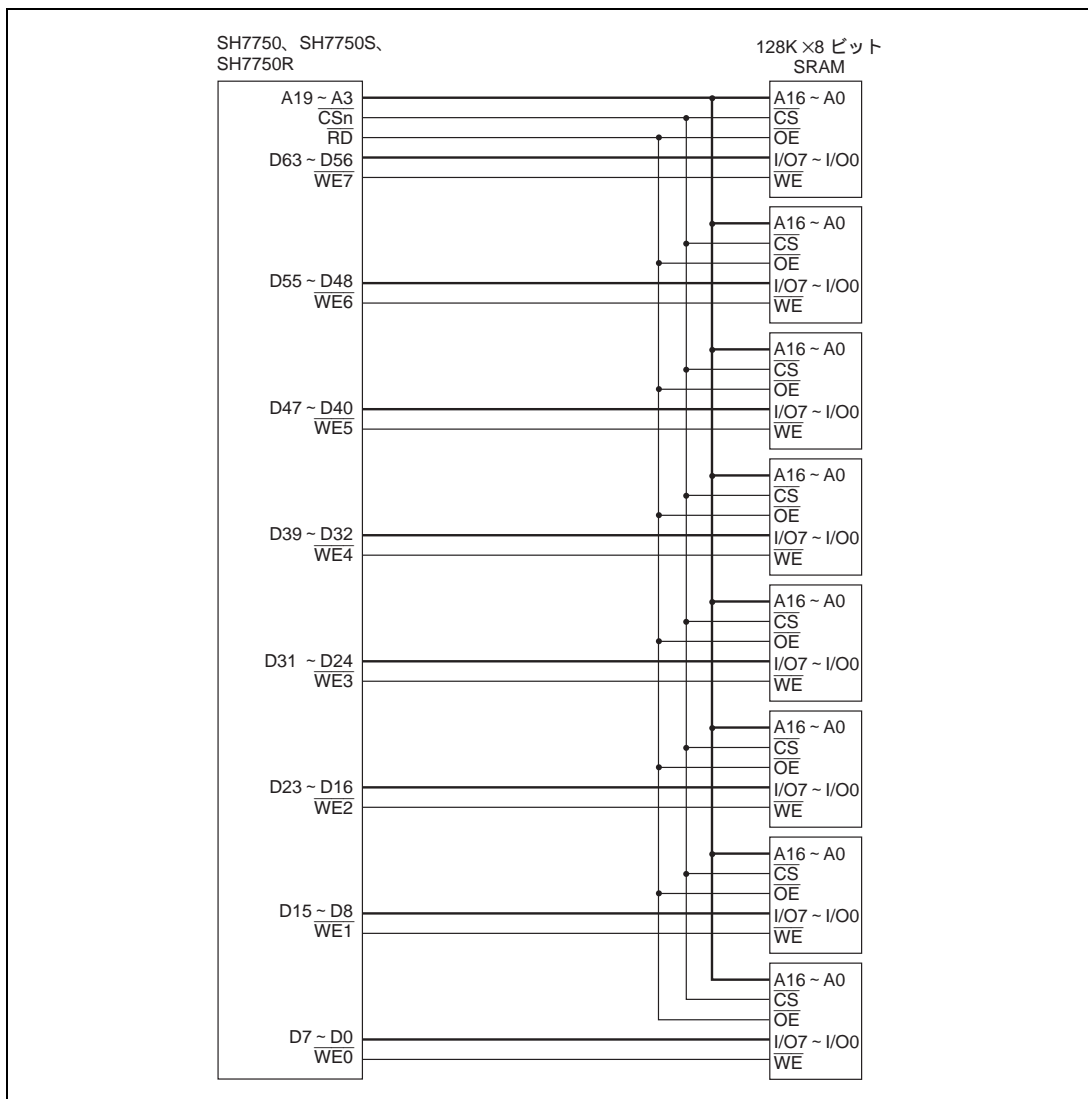


図 13.7 64 ビットデータ幅 SRAM 接続例

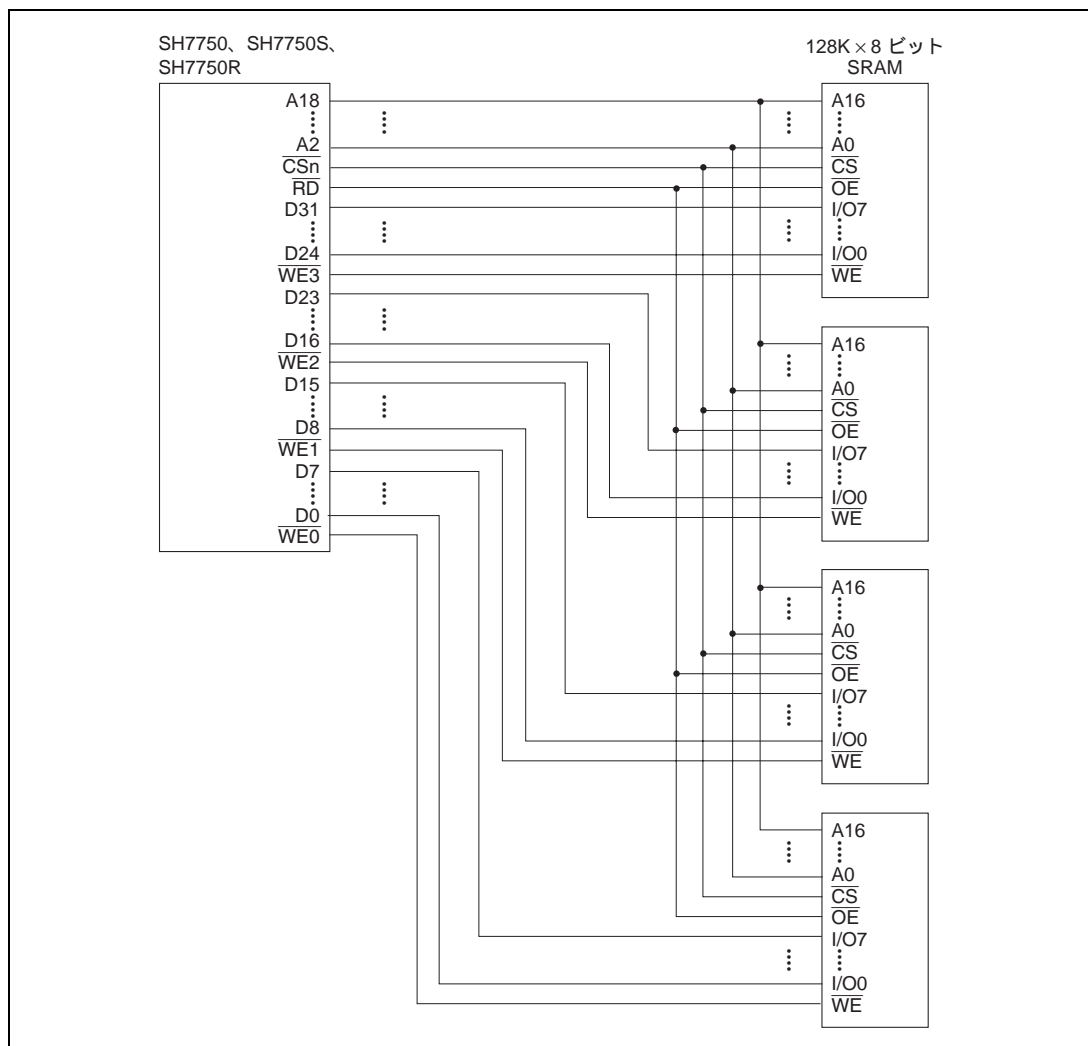


図 13.8 32 ビットデータ幅 SRAM 接続例

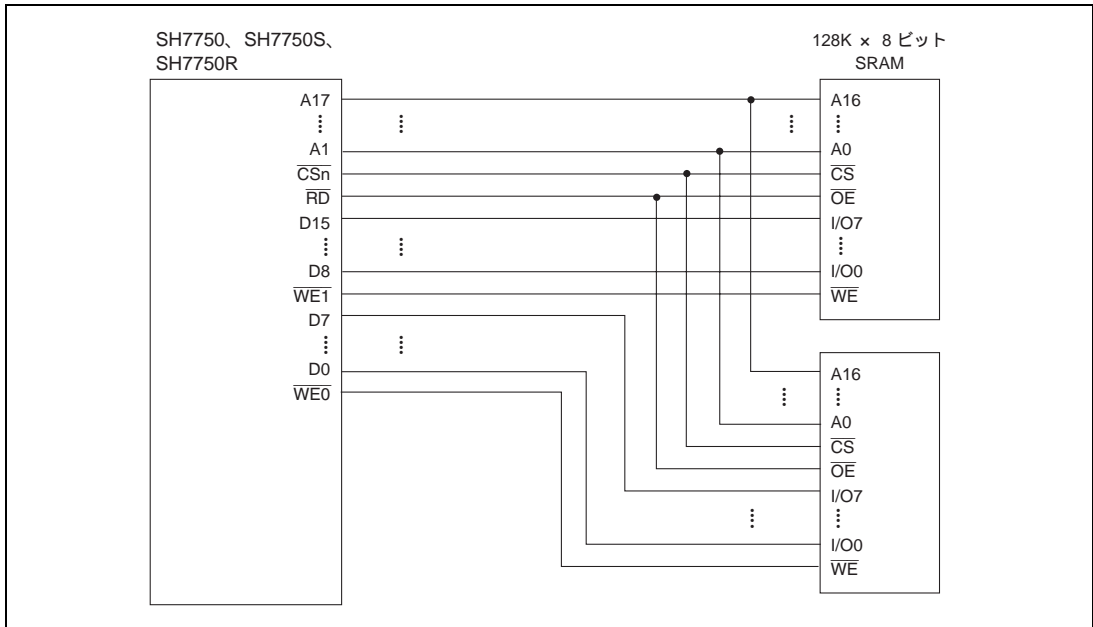


図 13.9 16 ビットデータ幅 SRAM 接続例

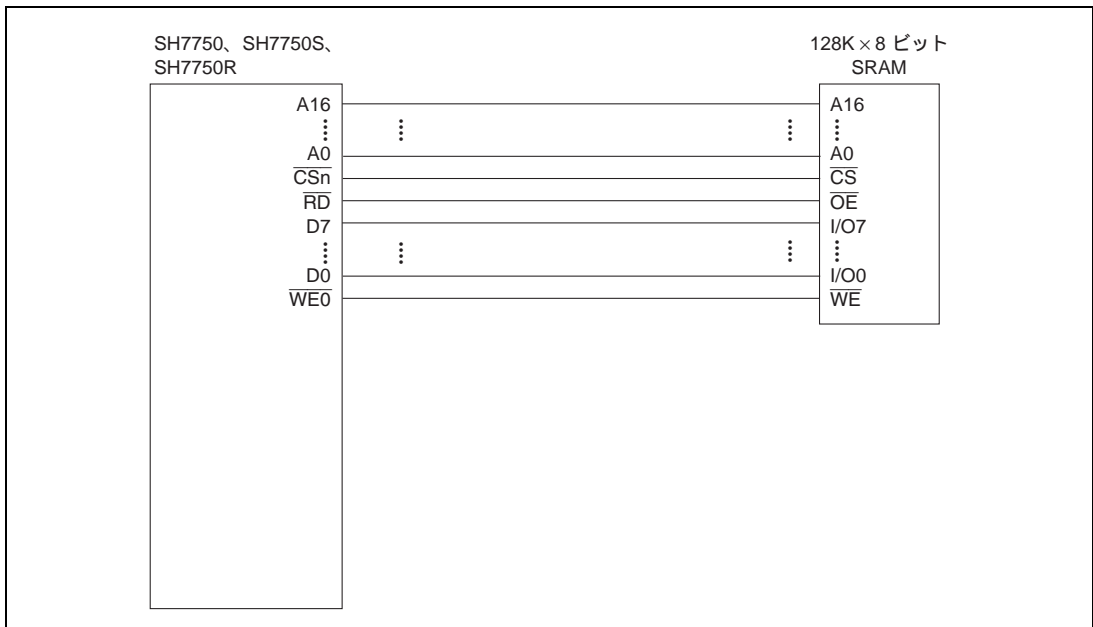


図 13.10 8 ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

WCR2 の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「13.2.6 ウェイトコントロールレジスタ 2 (WCR2)」の項を参照してください。

WCR2 によって、図 13.11 に示す SRAM インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

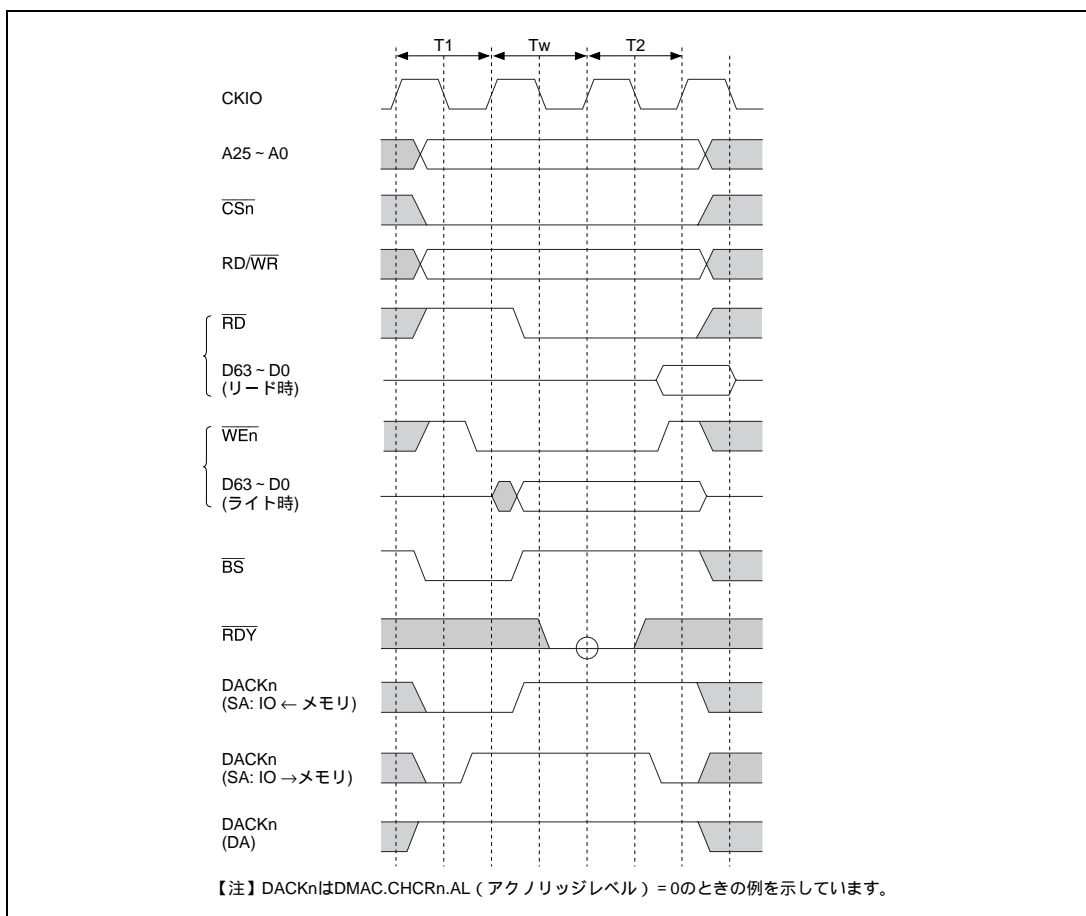


図 13.11 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

WCR2 によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 \overline{RDY} 信号もサンプリングされます。 \overline{RDY} 信号のサンプリングを図 13.12 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで \overline{RDY} 信号をアサートしてもなにも影響を与えません。 \overline{RDY} 信号はクロックの立ち上がりでサンプリングされます。

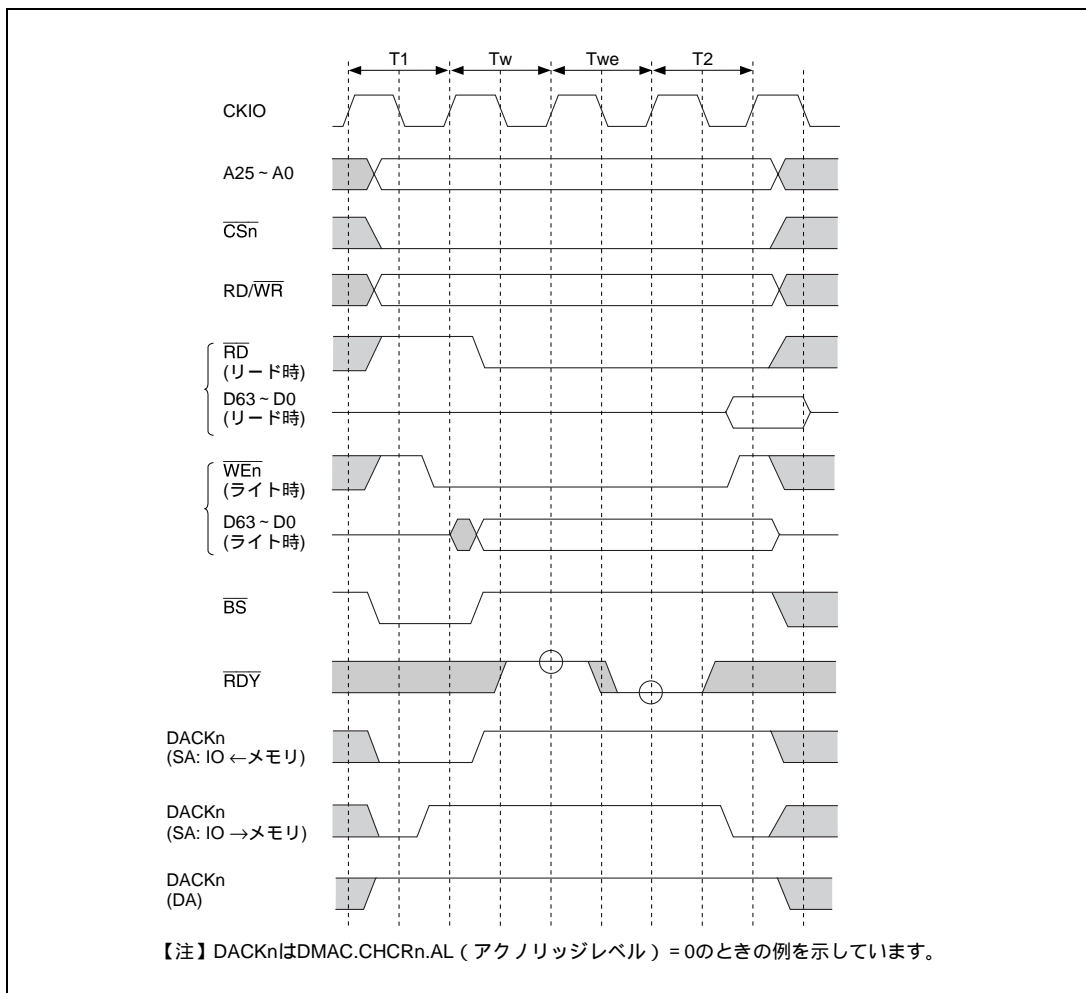


図 13.12 SRAM インタフェースのウェイトステートタイミング
(\overline{RDY} 信号によるウェイトステート挿入)

(3) リードストロブネゲートタイミング (SH7750R のみ設定可)

SRAM インタフェース時、WCR3 レジスタの A1RDH、A4RDH の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については WCR3 のレジスタの説明を参照願います。バイト制御 SRAM 設定時は AnRDH に 0 を設定してください。

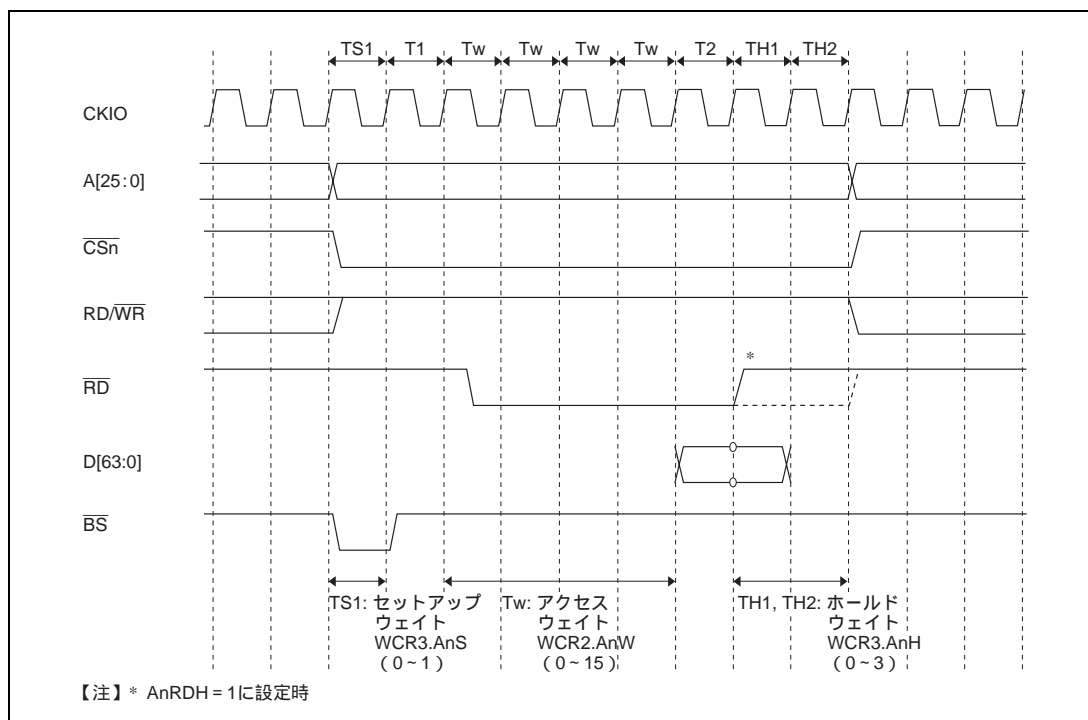


図 13.13 SRAM インタフェースのリードストロブのネゲートタイミング

13.3.4 DRAM インタフェース

(1) DRAM 接続方式

BCR1 のメモリタイプビット (DRAMTP2~0) を 100 に設定するとエリア 3 が DRAM 空間となり、また 101 に設定するとエリア 2 およびエリア 3 が DRAM 空間となり、本 LSI と DRAM を接続させるための DRAM インタフェース機能が使用できるようになります。

インタフェースのデータ幅は、DRAMTP2~0 を 100 に設定した場合、エリア 3 を 16 ビットと 32 ビット、64 ビットから選択でき、また DRAMTP2~0 を 101 に設定した場合、エリア 2 およびエリア 3 とともに 16 ビットまたは 32 ビットとして使用できます。

バイトアクセスのコントロールは $\overline{\text{CAS}}$ を用いるので、16 ビット幅 DRAM で接続可能なものは CAS2 本方式のものであります。

接続に使用する信号はエリア 3 に DRAM を接続する場合、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS0}} \sim \overline{\text{CAS7}}$ 、 $\text{RD}/\overline{\text{WR}}$ です。データ幅が 16 ビットのときには $\overline{\text{CAS2}} \sim \overline{\text{CAS7}}$ は使用しません。また、エリア 2 とエリア 3 に DRAM を接続する場合、エリア 2 の DRAM に接続する信号は $\overline{\text{RAS2}}$ 、 $\overline{\text{CAS4}} \sim \overline{\text{CAS7}}$ 、 $\text{RD}/\overline{\text{WR}}$ で、エリア 3 の DRAM に接続する信号は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS0}} \sim \overline{\text{CAS3}}$ 、 $\text{RD}/\overline{\text{WR}}$ です。

アクセスモードとしては通常のリード、ライトアクセスに加えて、高速ページモードを利用したバーストアクセスをサポートします。また、エリア 2、3 に接続する DRAM に対して、DRAM のアクセスタイムを増やすことができる EDO モードをサポートします。

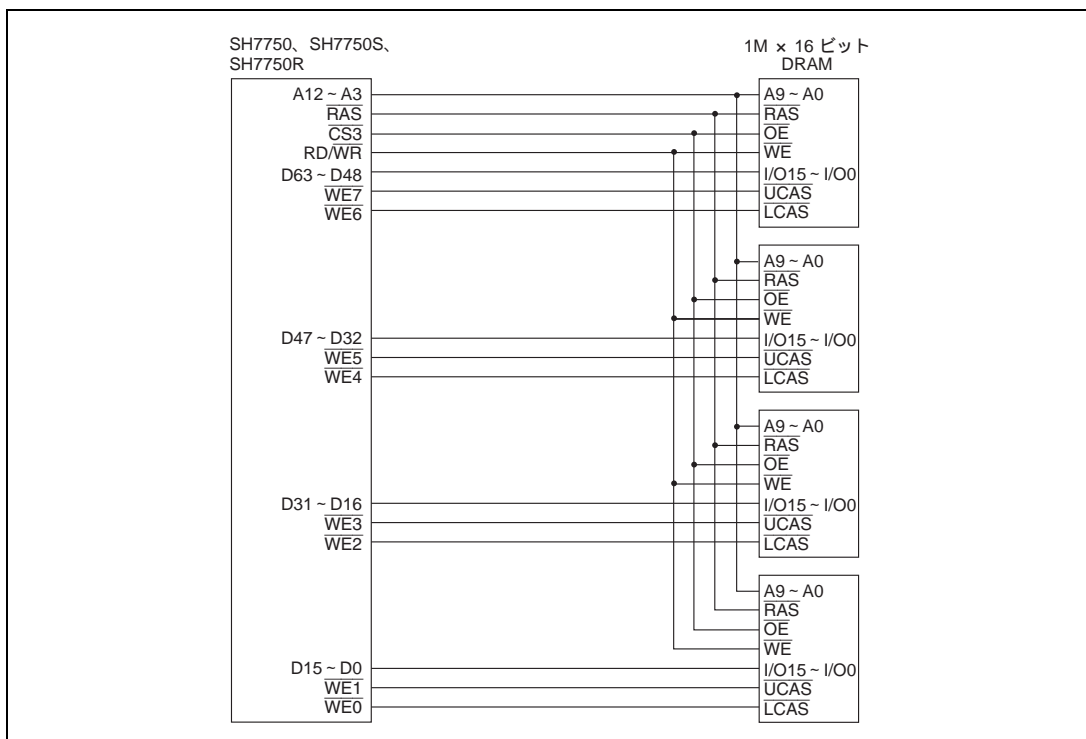


図 13.14 DRAM 接続例 (64 ビットデータ幅、エリア 3)

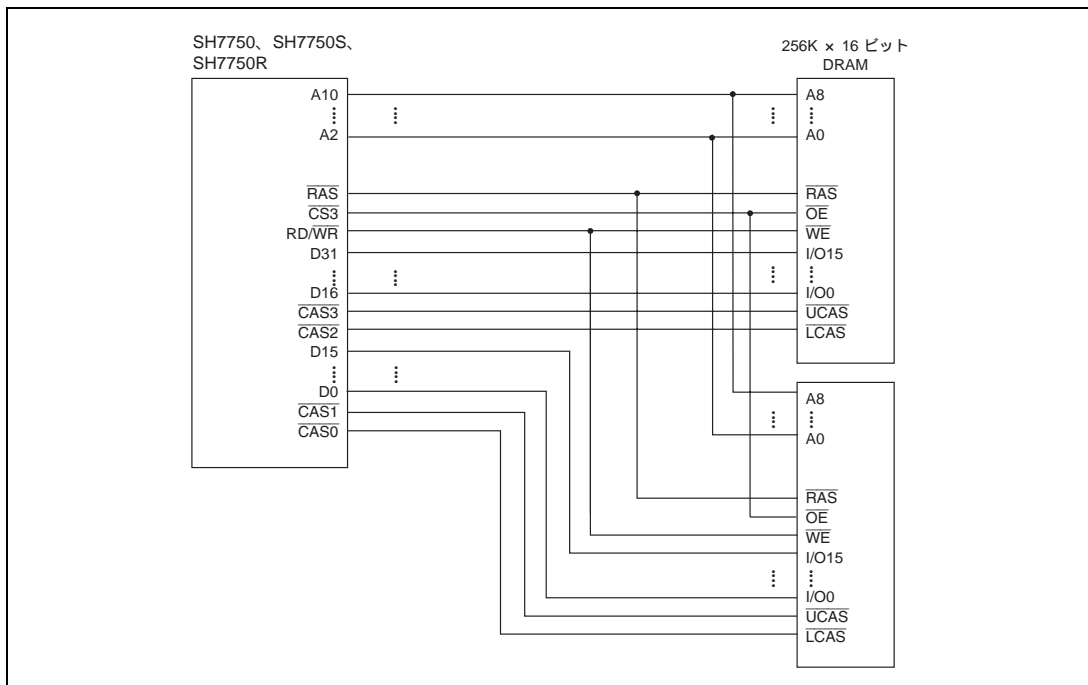


図 13.15 DRAM 接続例 (32 ビットデータ幅、エリア 3)

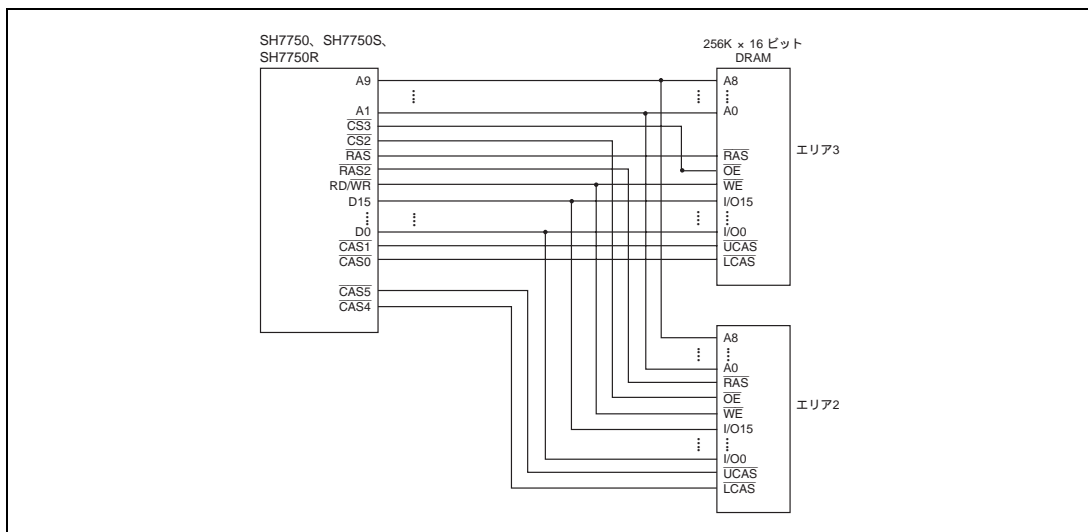


図 13.16 DRAM 接続例 (16 ビットデータ幅、エリア 2、エリア 3)

(2) アドレスマルチプレクス

エリア 2 または、エリア 3 を DRAM 空間に設定すると、DRAM に対するアクセスは常にアドレスのマルチプレクスが行われます。これによって外付けのアドレスマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に接続することができます。マルチプレクスの方法はエリア 2、3 の DRAM に対しては、MCR の AMXEXT、AMX2~0 ビットの設定によって、以下の 5 通りの中から選ぶことができます。AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの関係を表 13.15 に示します。アドレスマルチプレクスの対象となるアドレス出力端子は A17 から A1 です。A25 から A18 へ出力されるアドレスは保証されません。

表 13.15 AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの関係

設定				カラム アドレス ビット数	出力 タイミング	外部アドレス端子				
AMXEXT	AMX2	AMX1	AMX0			A1~A13	A14	A15	A16	A17
0	0	0	0	8ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A9~A21	A22	A23	A24	A25
0	0	0	1	9ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A10~A22	A23	A24	A25	A17
0	0	1	0	10ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A11~A23	A24	A25	A16	A17
0	0	1	1	11ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A12~A24	A25	A15	A16	A17
0	1	0	0	12ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A13~A25	A14	A15	A16	A17
その他				予約	-	-	-	-	-	-

(3) 基本タイミング

DRAMアクセスの基本タイミングは4サイクルです。DRAMアクセスの基本タイミングを図13.17に示します。Tpcはプリチャージサイクル、Trは $\overline{\text{RAS}}$ アサートサイクル、Tc1は $\overline{\text{CAS}}$ アサートサイクル、Tc2は読み出しデータ取り込みサイクルです。

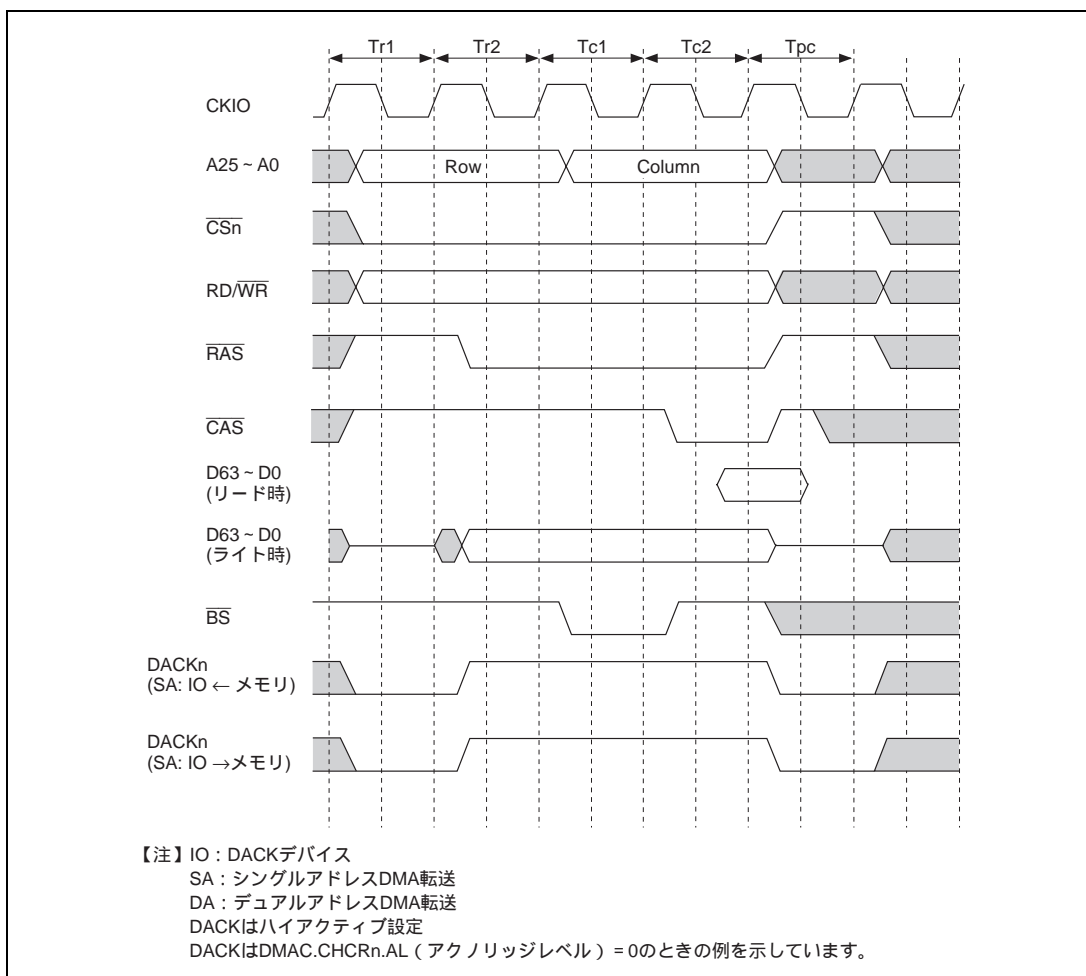


図 13.17 DRAM 基本アクセスタイミング

(4) ウェイトステート制御

クロック周波数を上げていくと、基本アクセスのようにすべてのステートを1サイクルで終わらせることができなくなってきます。そこで、WCR2、MCR にある設定ビットを用いてステートの延長ができるようになっています。レジスタ設定を使ってステートを延長したタイミングを図 13.18 に示します。 $\overline{\text{RAS}}$ のプリチャージ時間を確保するための T_{pc} サイクルは、MCR の TPC ビットによって追加の T_{pc} サイクルを挿入し 1~7 サイクルにすることができます。 $\overline{\text{RAS}}$ アサートから $\overline{\text{CAS}}$ アサートまでのサイクル数は、MCR の RCD ビットによって T_{rw} を挿入し、2~5 サイクルにすることができます。 $\overline{\text{CAS}}$ アサートからアクセス終了までのサイクル数は WCR2 の A2W2 ~ A2W0 ビットもしくは A3W2 ~ A3W0 ビットの設定によって 1 サイクルから 16 サイクルまで変えることができます。

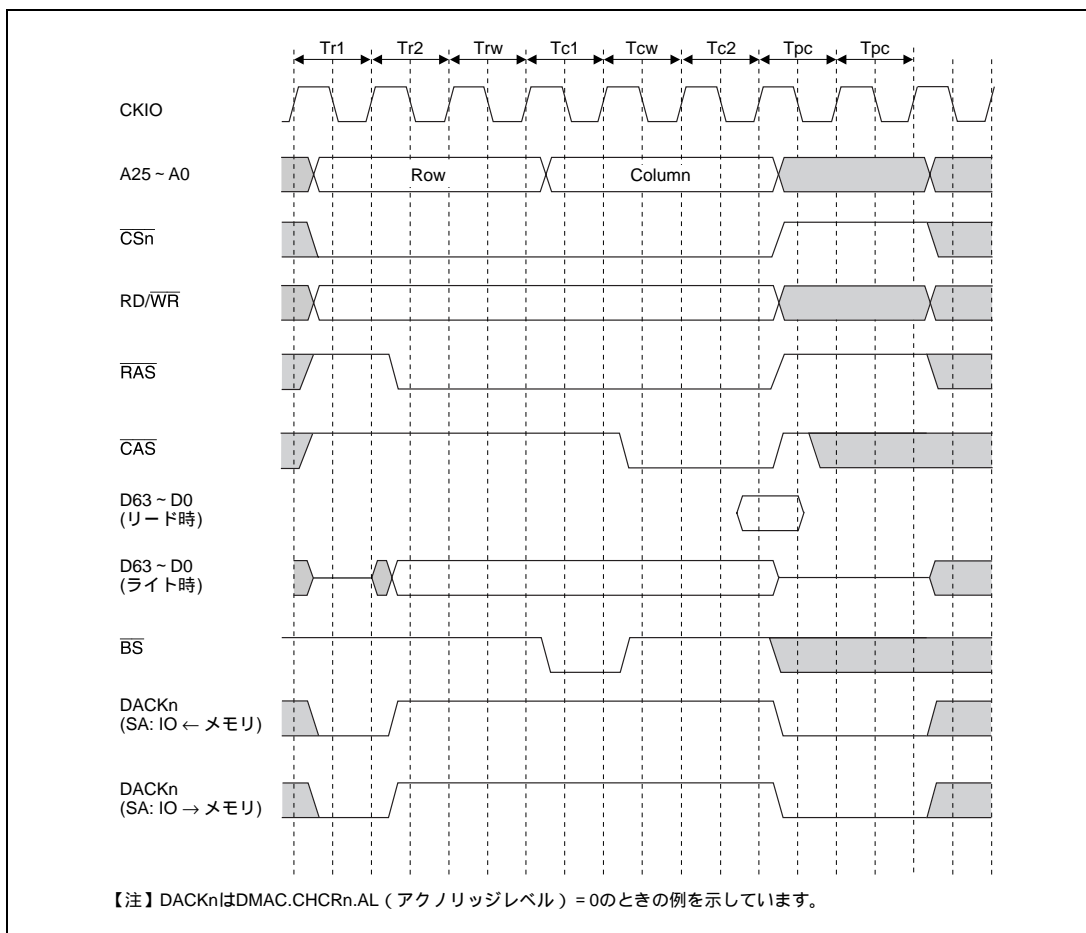


図 13.18 DRAM ウェイトステートタイミング

(5) バーストアクセス

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするノーマルアクセスのほかに、同一のロウに対するアクセスが連続する場合、ロウアドレスを 1 度出力したあとはカラムアドレスを変更するだけでデータに高速にアクセスできる、高速ページモードを備えているものがあります。MCR のバーストイネーブル (BE) の設定によって、ノーマルアクセスと高速ページモードを利用したバーストアクセスを選択することができます。高速ページモードによるバーストアクセスのタイミングを図 13.19 に示します。

アクセスサイズが設定されたバス幅よりも大きい場合、バーストアクセスが行われます。32 バイトバースト転送時 (キャッシュフィル時)、先頭のアクセスはアクセス要求があったデータを含むロングワードとなります。残りのアクセスは当該データを含む 32 バイト境界のデータに対して行われます。バースト転送時 (キャッシュライトバック時) では 32 バイトのデータに対してラップアラウンドで書き込みが行われます。

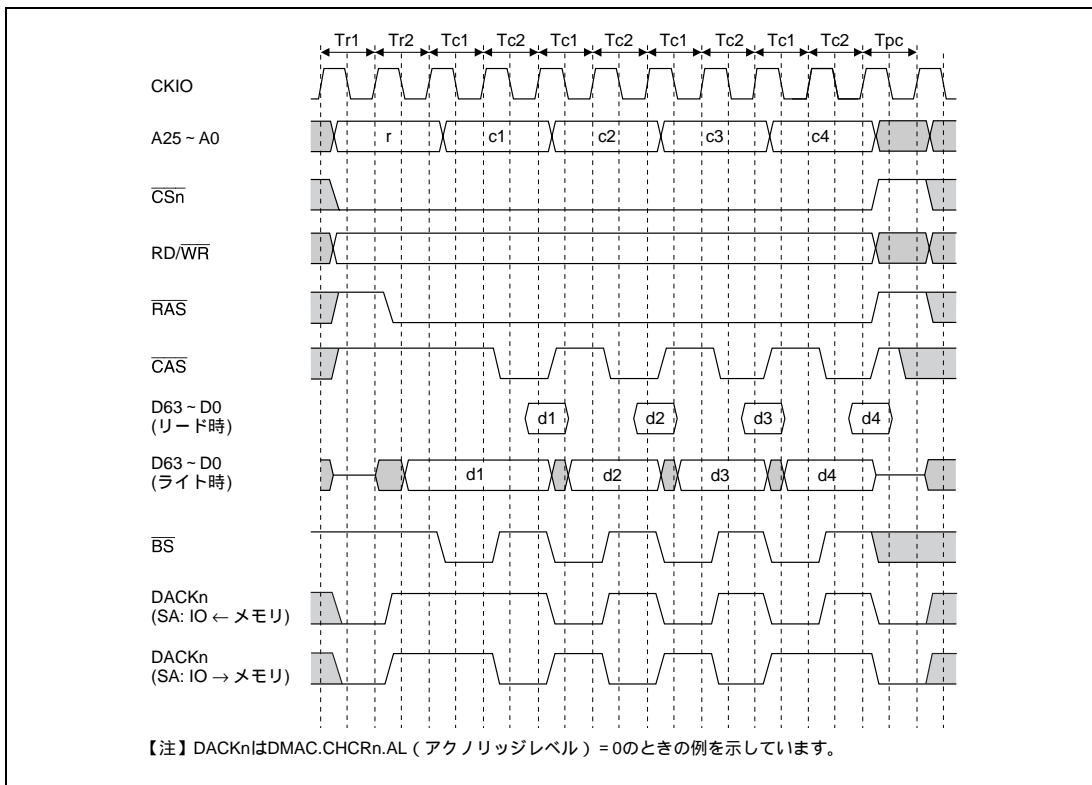


図 13.19 DRAM バーストアクセスタイミング

(6) EDO モード

DRAM には、データリードサイクル時に $\overline{\text{CAS}}$ 信号のアサート中だけデータバスにデータを出力するもののほかに、 $\overline{\text{RAS}}$ 信号アサート中はいったん $\overline{\text{CAS}}$ 信号をアサートすると $\overline{\text{CAS}}$ 信号をネゲートしても次に $\overline{\text{CAS}}$ 信号をアサートするまで、データバスにデータを出力する EDO モードを備えたものがあります。本 LSI では、DRAM に対して MCR の EDO モードビット (EDOMODE) の設定によって、ノーマルアクセス/高速ページモードによるパーストアクセスと、EDO モードによるノーマルアクセス/パーストアクセスを選択することができます。EDO モードに設定されているときは、MCR の BE ビットが 1 にセットされていなければなりません。EDO モードによるノーマルアクセスを図 13.20 に、パーストアクセスを図 13.21 に示します。

(a) CAS ネゲート期間

CAS ネゲート期間は、MCR レジスタの TCAS ビットにより、1 または 2 に設定することができます。

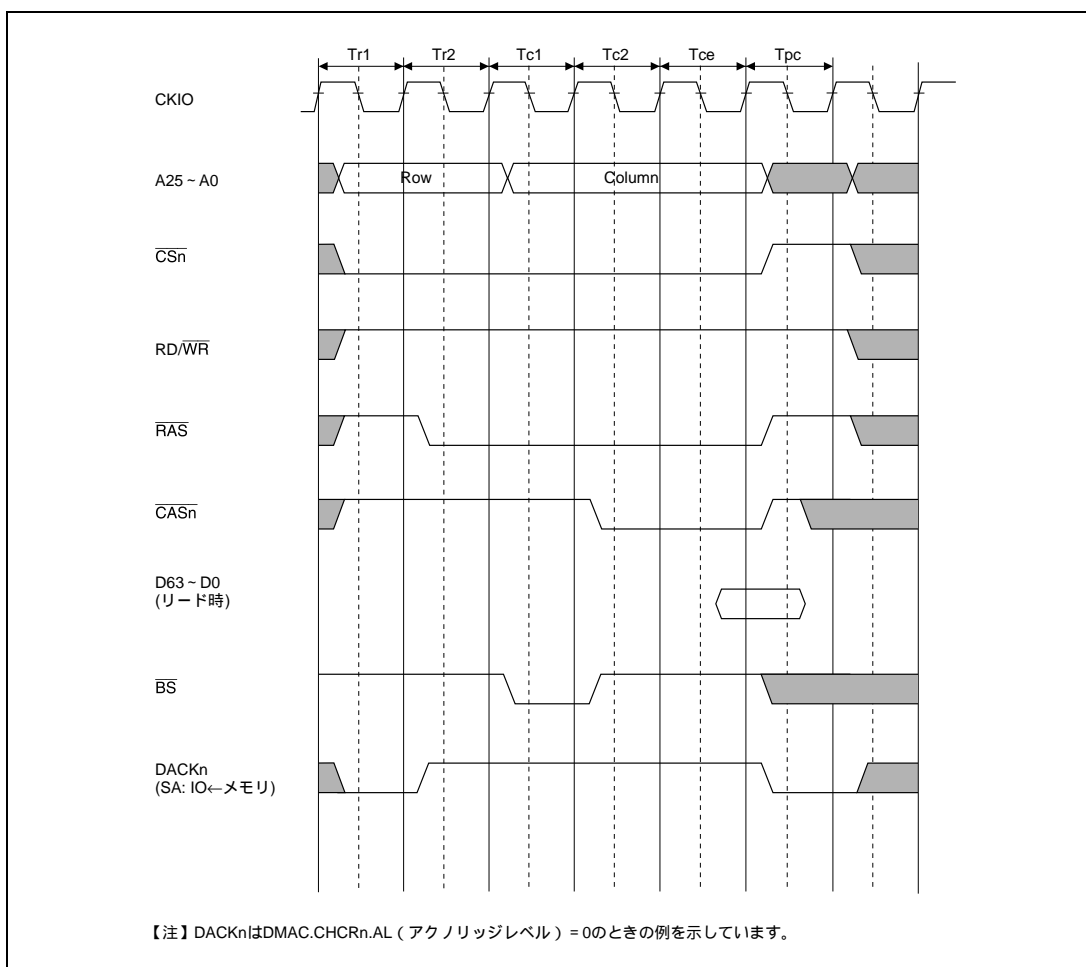


図 13.20 DRAM バスサイクル (EDO モード、RCD = 0、AnW = 0、TPC = 1)

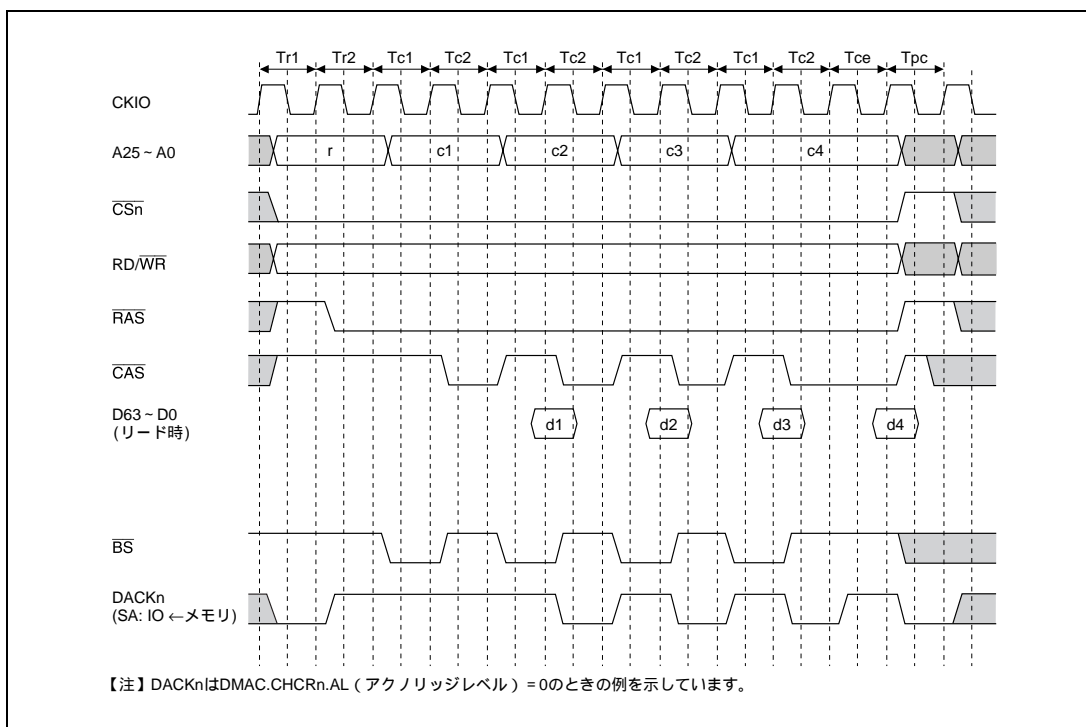


図 13.21 DRAM EDO モードのバーストアクセスタイミング

(7) RAS ダウンモード

本 LSI はバーストモードにおけるロウアドレスの一致を検出するためのアドレス比較器を持っています。これを利用し、RAS ダウンモード指定ビット RASD を 1 にすることによって、アクセス終了後も $\overline{\text{RAS}}$ をアサートしたまま放置する RAS ダウンモードにすることができます。RAS ダウンモードを用いる場合、リフレッシュ周期が DRAM の $\overline{\text{RAS}}$ アサート時間の最大値よりも長い場合には、リフレッシュ周期を t_{RAS} の最大値以下にする必要があります。

RAS ダウンモードは、エリア 3 に接続された DRAM でのみ利用できます。

RAS ダウンモード時は、ロウアドレスが異なるアドレスへのアクセス、別のエリアに対するアクセス、リフレッシュ要求、またはバス要求が入った場合、 $\overline{\text{RAS}}$ をネゲートし、所定の動作を行います。この後、DRAM へのアクセス再開時には、RAS ダウンモードの開始なのでロウアドレスの出力から始まります。

このタイミングチャートを図 13.22 (1)、図 13.22 (2)、図 13.22 (3)、図 13.22 (4) に示します。

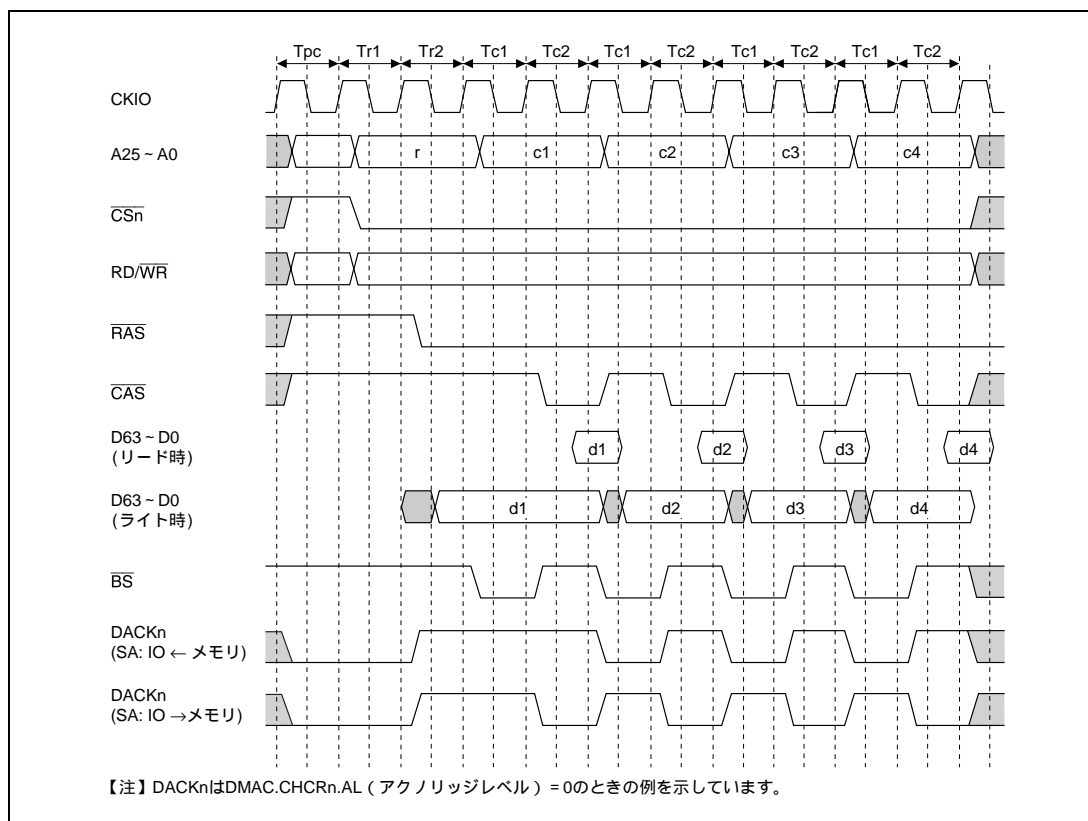


図 13.22 (1) RAS ダウンモード開始時の DRAM バーストバスサイクル
(高速ページモード、RCD = 0、AnW = 0)

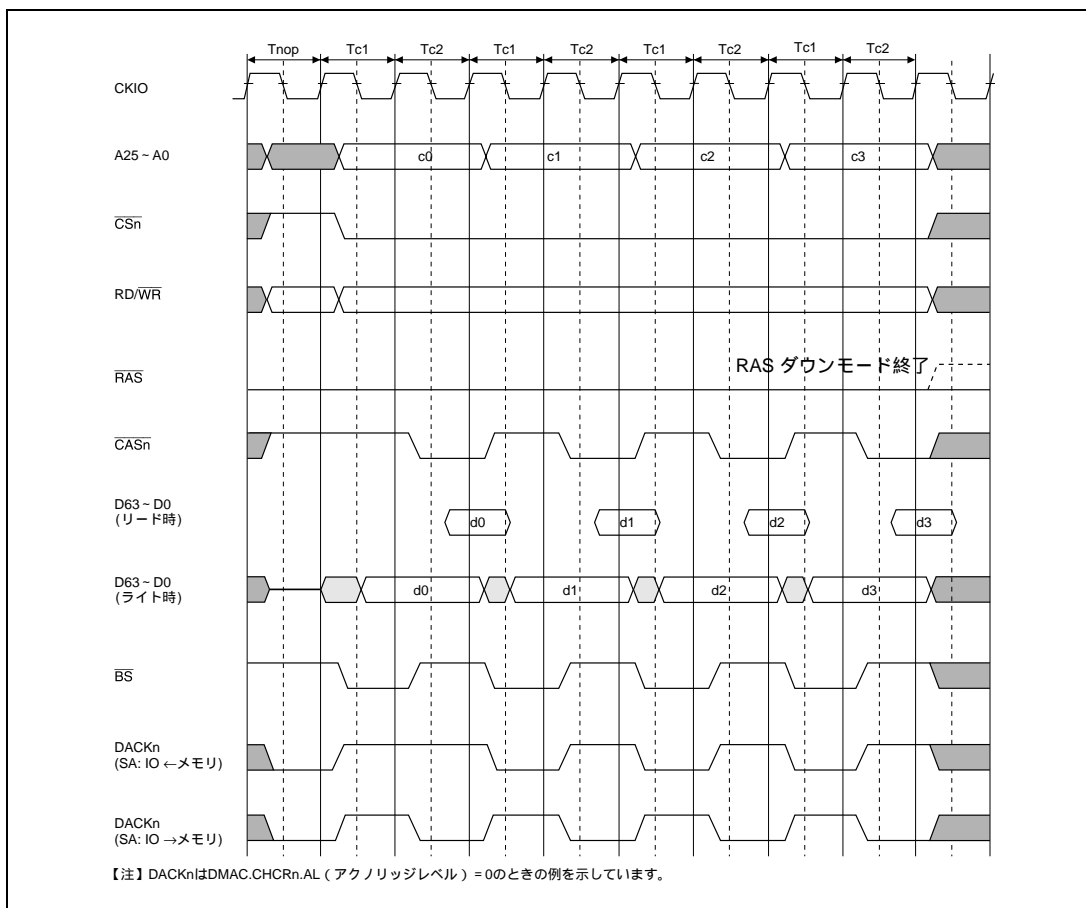


図 13.22 (2) RAS ダウンモード継続時の DRAM バーストバスサイクル
(高速ページモード、RCD = 0、AnW = 0)

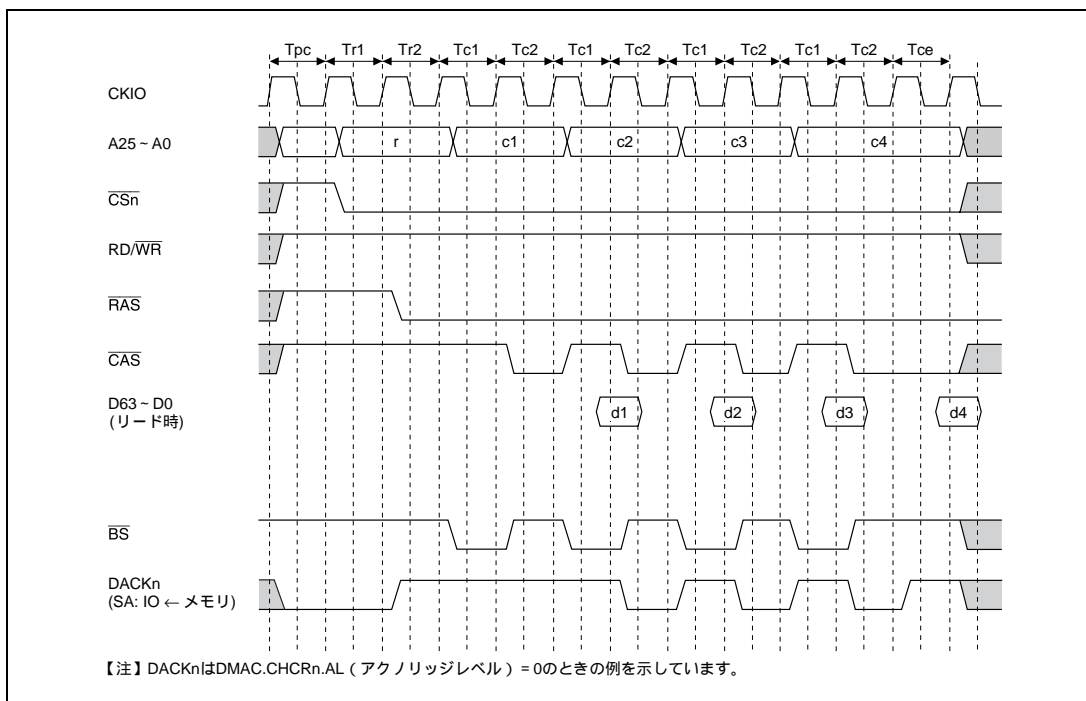


図 13.22 (3) RAS ダウンモード開始時の DRAM バーストバスサイクル
(EDO モード、RCD = 0、AnW = 0)

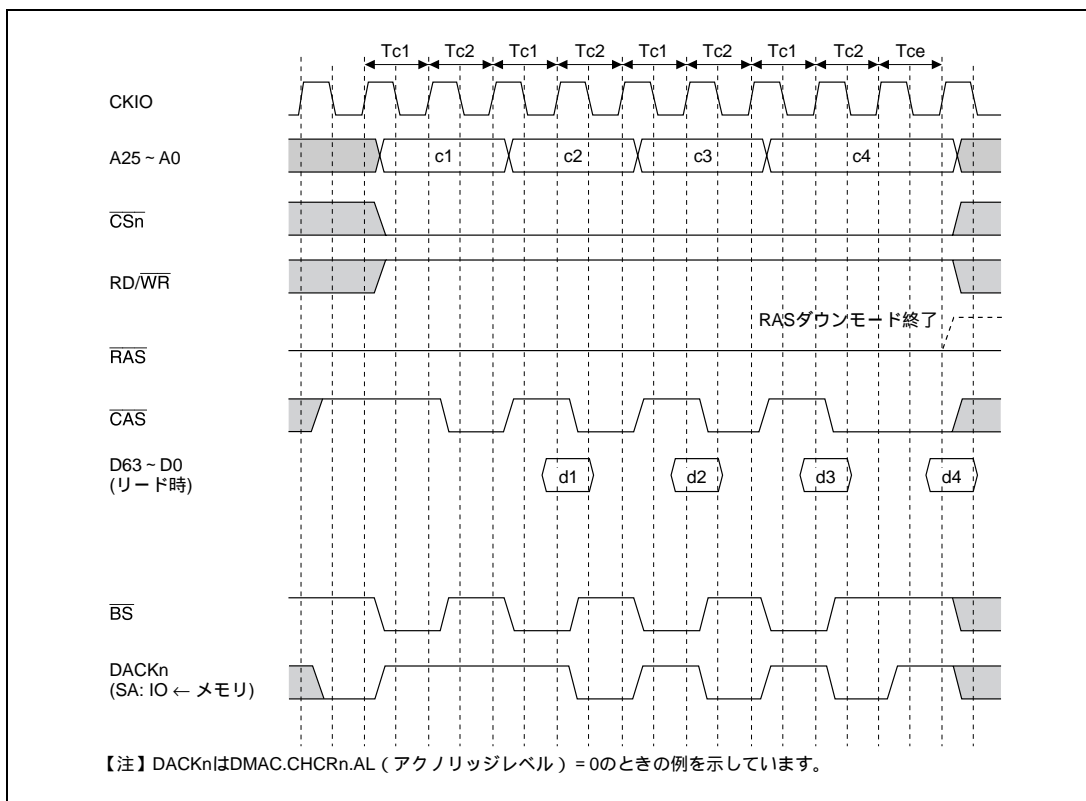


図 13.22 (4) RAS ダウンモード継続時の DRAM バーストバスサイクル
(EDO モード、RCD = 0、AnW = 0)

(8) リフレッシュ

バスステートコントローラは、DRAMのリフレッシュを制御する機能を備えています。DRAMに対してMCRのRMODEビットを0に、RFSHビットを1にセットすることによって、CASピフォRASリフレッシュサイクルによる分散リフレッシュを行うことができます。また、セルフリフレッシュモードをサポートします。

(a) CASピフォRASリフレッシュ

CASピフォRASリフレッシュサイクルを行う場合、RTCSRのCKS2~CKS0ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でリフレッシュが行われます。使用するDRAMのリフレッシュ間隔規定を満たすように、RTCORとCKS2~CKS0ビットの値を設定してください。最初にRTCOR、RTCNTとMCRのRMODEビットおよびRFSHビットの設定を行い、最後に、CKS2~CKS0ビットの設定を行ってください。CKS2~CKS0ビットによってクロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、 $\overline{\text{BACK}}$ 端子がHレベルになります。本LSIの外部バスが使用可能な場合、CASピフォRASリフレッシュが行われます。同時にRTCNTはゼロクリアされ、カウントアップが再開されます。図13.23にCASピフォRASリフレッシュの動作を示します。

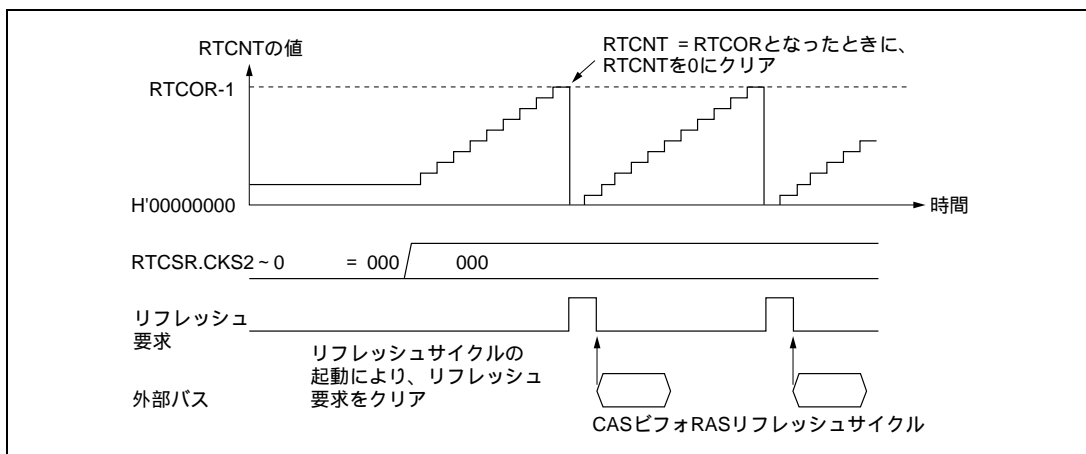


図 13.23 CASピフォRASリフレッシュの動作

図 13.24 に CAS ビフォ RAS リフレッシュサイクルのタイミングを示します。

リフレッシュサイクルでの RAS アサートサイクル数は、MCR の TRAS2 ~ TRAS0 ビットで指定されます。リフレッシュサイクルにおける RAS のプリチャージ時間の指定は、MCR の TRC2 ~ TRC0 ビットの指定に従います。

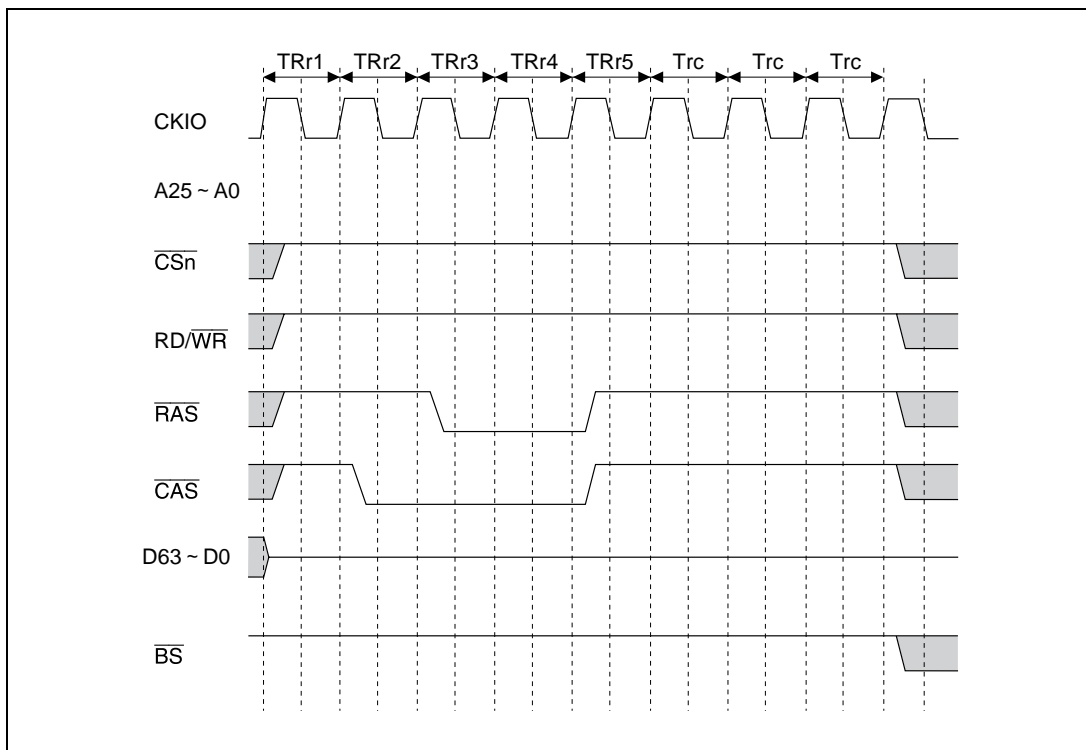


図 13.24 DRAM CAS ビフォ RAS リフレッシュサイクルタイミング (TRAS=0、TRC=1)

(b) セルフリフレッシュ

本 LSI がサポートするセルフリフレッシュは、図 13.25 に示すものです。

セルフリフレッシュ解除後、リフレッシュコントローラは直ちにリフレッシュ要求を行います。ただし、セルフリフレッシュ終了直後の RAS プリチャージ時間は MCR の TRC2 ~ TRC0 ビットで設定できます。

CAS ビフォ RAS リフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

また、セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。

バスアービトレーション要求によりバス権を解放した場合やスタンバイモードに遷移した場合、一般の信号は High-Z 状態になりますが、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 信号については High-Z 状態にするか、出力を保持し続けるかを BCR1 の HIZCNT ビットで制御できます。これにより、DRAM をセルフリフレッシュの状態にしたまま保持することができます。

DRAM の $\overline{\text{CAS}}$ 信号には、通常メモリ (SRAM など) の $\overline{\text{WE}}_n$ 信号がマルチプレクスされているので、セルフリフレッシュ中は、 $\overline{\text{WE}}_n$ 信号を使用するメモリへのアクセスは禁止です。

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中ではリフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間もリフレッシュ動作は待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると $\overline{\text{BACK}}$ 端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で $\overline{\text{BACK}}$ 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

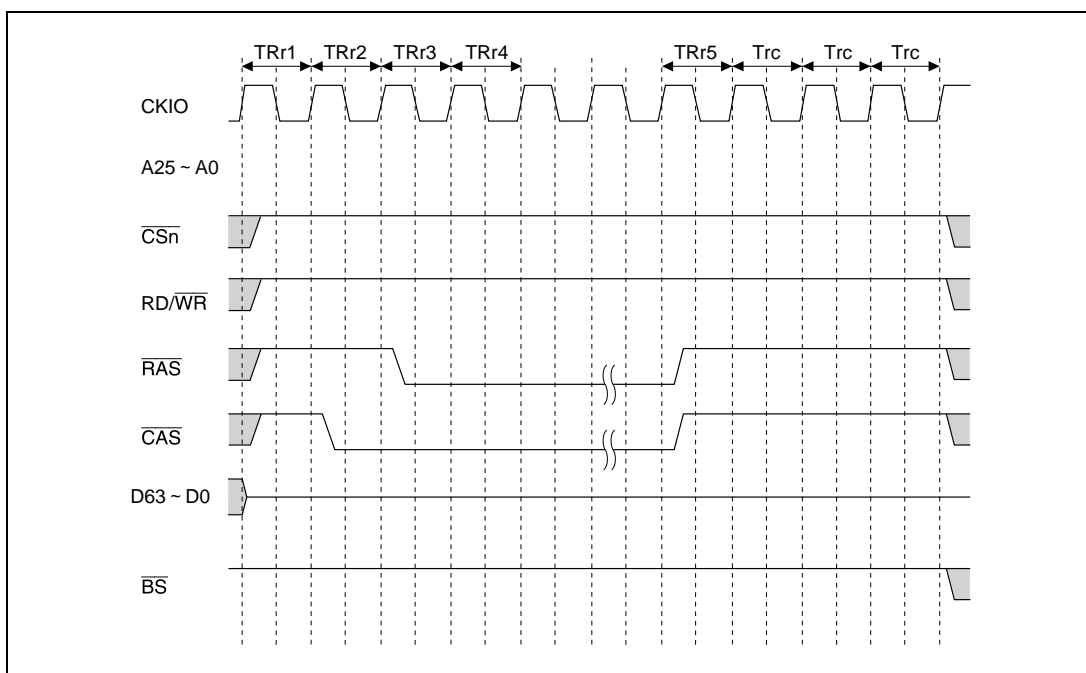


図 13.25 DRAM セルフリフレッシュサイクルタイミング

(9) パワーオンシーケンス

電源投入後の DRAM の使用に関しては、アクセスの行えない待機時間 (100 μ s または 200 μ s 以上) とそれに続く所定回数 (通常 8 回) 以上のダミーの CAS ビフォ RAS リフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対してなにも特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

13.3.5 シンクロナス DRAM インタフェース

(1) シンクロナス DRAM 接続方式

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} 等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バーストリード/ライトのモードをサポートしています。データのバス幅は 32 ビットまたは 64 ビットであり、MCR のサイズビット SZ を必ず 00 または 11 に設定してください。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 32 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みではシンクロナス DRAM に対し、バーストリード/ライトでアクセスするため、シングルリード時でも 32 バイトのデータを読み込みます。またシングルライト時でも 32 バイトのデータ転送を行います。また、不要なデータ転送のときは、DQMn がアサートされません。バースト長に関しては、「13.2.10 シンクロナス DRAM モードレジスタ (SDRAM)」および「13.3.5 (10) パワーオンシーケンス」を参照してください。

また、SH7750R では、シンクロナス DRAM の動作モードとして、データバス幅が 32 ビット時のバースト長 4 のバーストリード/バーストライトのモードをサポートしています。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 32 バイトのバースト転送が行われます。ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みではシンクロナス DRAM に対し、バースト長 4 のバーストリード/ライトでアクセスするため、シングルリード時でも 16 バイトのデータを読み込みます。またシングルライト時でも 16 バイトのデータ転送を行います。また、不要なデータ転送のときは、DQMn がアサートされません。

また、バス幅が 32 ビットの場合のバースト長切り替え (SH7750R のみ) に関しては「13.3.5 (11) バースト長切り替えについて」を参照してください。

シンクロナス DRAM を接続するための制御信号は \overline{RAS} 、 \overline{CASS} 、 RD/\overline{WR} 、 $\overline{CS2}$ または $\overline{CS3}$ 、DQM0~DQM7 および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみに有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE は周波数変更時または、クロック停止、クロック供給再開時のクロックの不安定なときまたは、セルフリフレッシュを行うときネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

\overline{RAS} 、 \overline{CASS} 、 RD/\overline{WR} および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQM0~DQM7 によって行われます。該当する DQM が L のバイトに対して読み出し/書き込みが行われます。バス幅が 64 ビットで、ビッグエンディアンモードの場合、DQM7 は $8n$ 番地のアクセスを、DQM0 は $8n+7$ 番地のアクセスを指定します。またリトルエンディアンモードの場合、DQM7 は $8n+7$ 番地のアクセス

を、DQM0 は 8n 番地のアクセスを指定します。

図 13.26、13.27 に 16M×16 ビットのシンクロナス DRAM を接続する場合の例を示します。

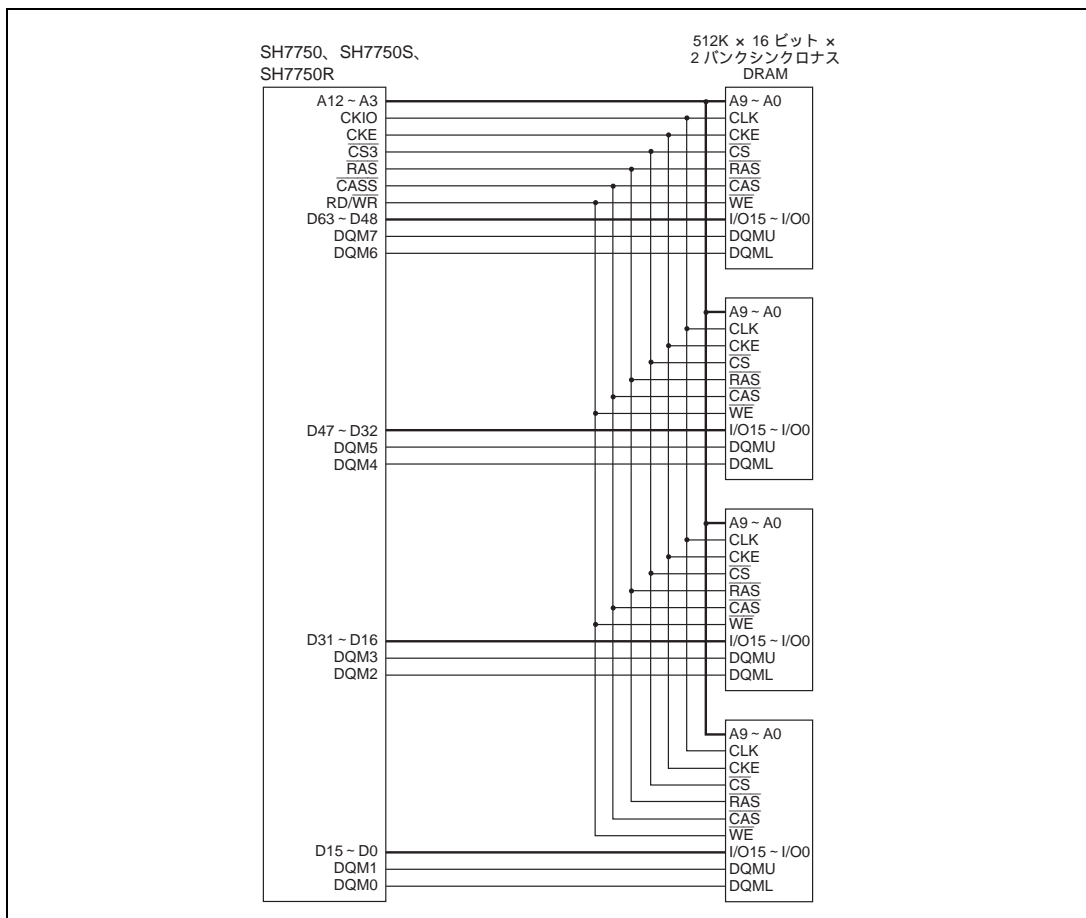


図 13.26 64 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)

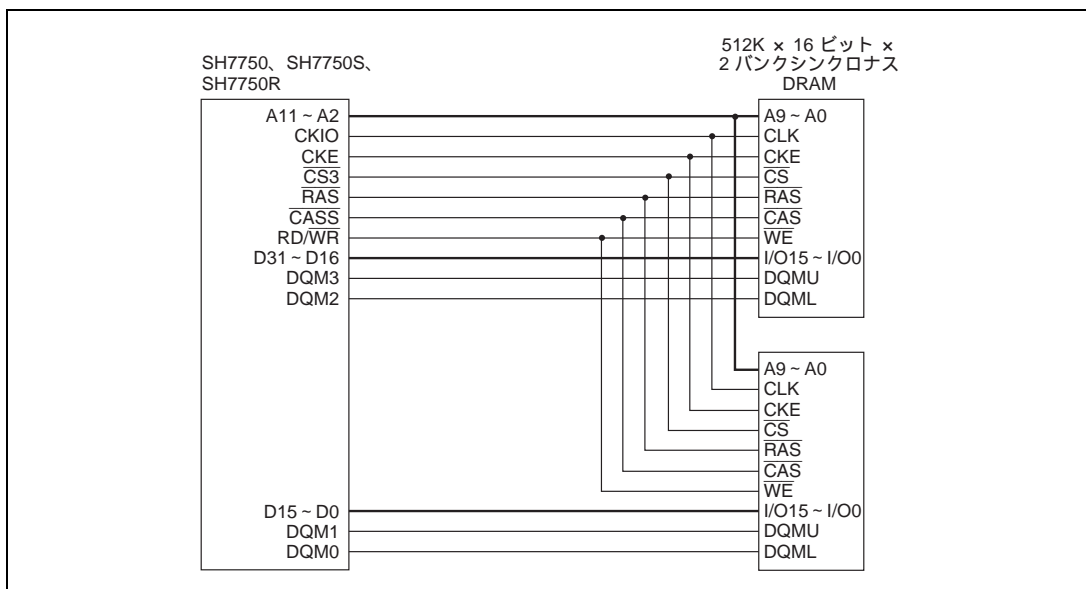


図 13.27 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)

(2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMXEXT、AMX2 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 13.16 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。その他の設定は、「付録 F. シンクロナス DRAM のアドレスマルチプレクス表」を参照してください。

アドレス端子 A25 ~ A18 と A1、A0 に出力されるアドレスは保証されません。

シンクロナス DRAM のアドレス端子の LSB である A0 は、本 LSI に接続するとバス幅 32 ビットの場合、ロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。バス幅 64 ビットの場合、LSB はクワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A3 端子に接続し、以下 A1 端子を A4 端子にという順で接続してください。

表 13.16 本 LSI とシンクロナス DRAM のアドレス端子対応例
(バス幅 64 ビット、AMX2~AMX0=011、AMXEXT=0)

本 LSI のアドレス端子		シンクロナス DRAM のアドレス端子		
	RAS サイクル	CAS サイクル	機能	
A14	A22	A22	A11	BANK セレクトバンクアドレス
A13	A21	H/L	A10	アドレスプリチャージ設定
A12	A20	0	A9	
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	-	A2	未使用	
A1	-	A1	未使用	
A0	-	A0	未使用	

(3) パーストリード

パーストリード時のタイミングチャートを図 13.28 に示します。以下の例では 512K×16 ビット×2 バンクのシンクロナス DRAM を 4 個接続し、データ幅 64 ビットで使用した場合を想定しており、パースト長は 4 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READA コマンドを Tc1 サイクルに発行し、Td1 から Td4 のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。Tpc はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では MCR の TPC2~TPC0 ビットの指定によって Tpc のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

図 13.28 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READA コマンド出力サイクル Tc1 までのサイクル数は、MCR の RCD1、RCD0 ビットによって指定ことができ、0~3 のときそれぞれ 2~4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READA コマンド出力サイクル Tc1 から最初のリードデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W2~A2W0 および A3W2~A3W0 ビットによって、1 サイクルから 5 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

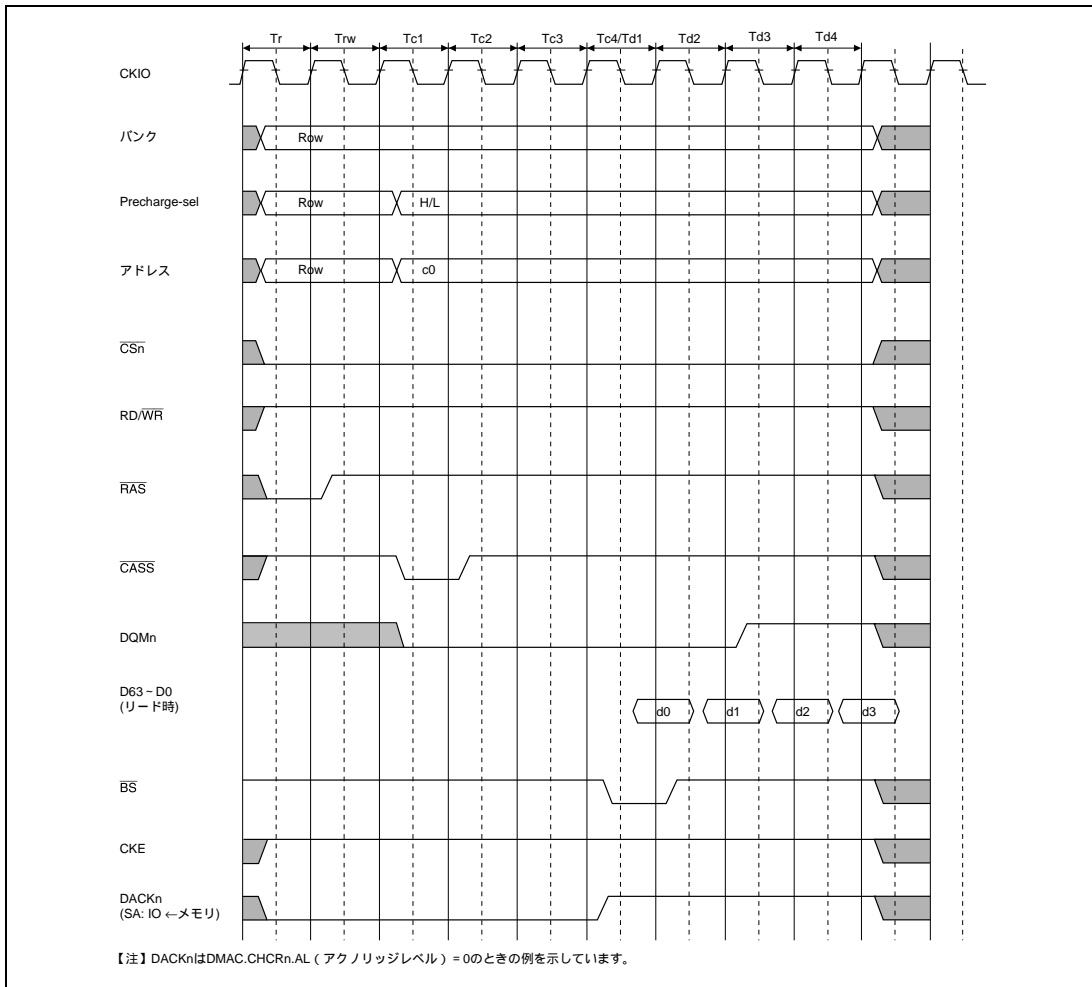


図 13.28 シンクロナス DRAM バーストリード基本タイミング

シンクロナス DRAM サイクルでは、バスサイクル開始時に、 \overline{BS} 信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、ミスしたデータを含む 64 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 32 バイトバウンダリのデータをラップアラウンドに読み込みます。

(4) シングルリード

本 LSI では、シンクロナス DRAM をバーストリード/バーストライトのモードに設定するため、必要なデータを受け取った後も読み出しデータの出力が続けられます。データの衝突を避けるため、Td1 で必要なデータの読み込みを行った後、Td2 から Td4 の空読みサイクルを行い、シンクロナス DRAM の動作終了を待ちます。BS 信号も Td1 でのみアサートされます。

データ幅が 64 ビットの場合、読み出し時のバースト転送数は 4 となります。キャッシュスルーおよびその他の DMA リードサイクルでは Td1 から Td4 の 4 サイクルのうち Td1 サイクルでのみ BS がアサートされ、データが取り込まれます。

空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、不要なキャッシュスルー領域のアクセスを避けるとともに、シンクロナス DRAM をソースに指定した DMA 転送を行う場合、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

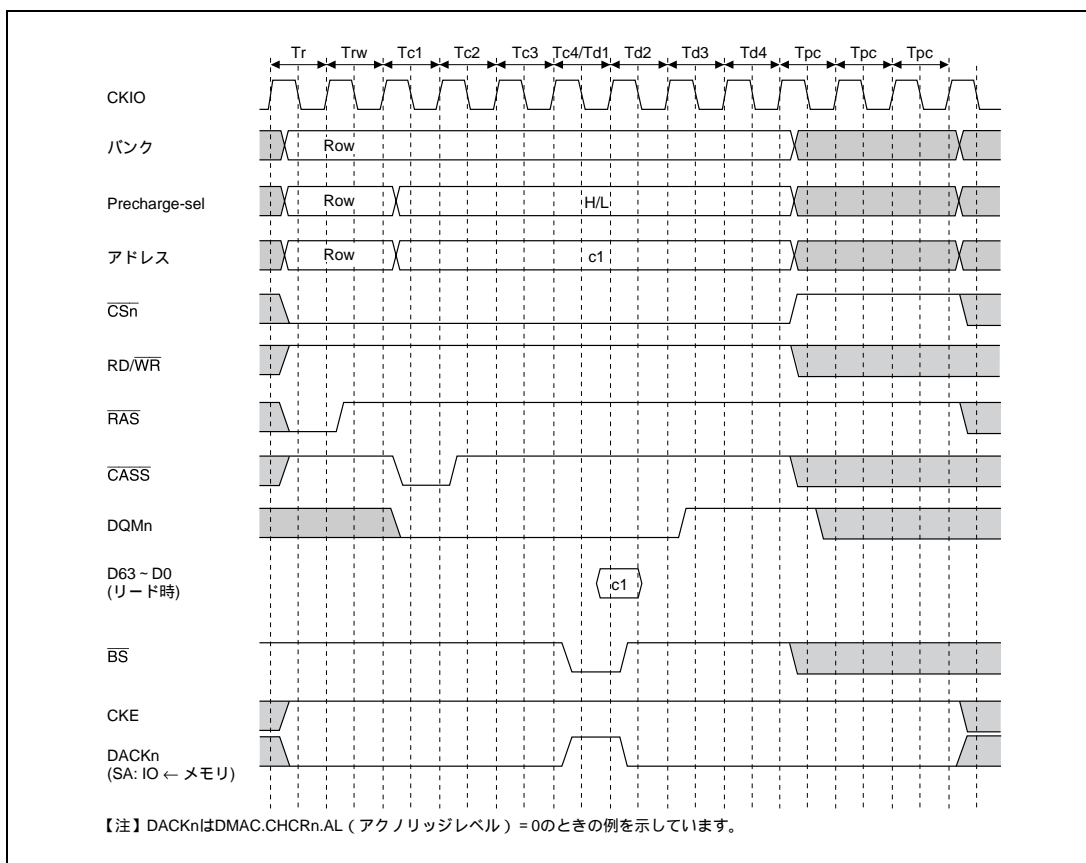


図 13.29 シンクロナス DRAM シングルリード基本タイミング

(5) パーストライト

パーストライト時のタイミングチャートを図 13.30 に示します。本 LSI でパーストライトが発生するのはキャッシュのコピーバック、または DMAC による 32 バイト転送が発生した場合です。パーストライトの動作は ACTV コマンド出力を行う T_r サイクルに続いて、 T_{c1} サイクルに WRITA コマンドを発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ $Trwl$ サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。 $Trwl$ サイクルのサイクル数は MCR の $TRWL2 \sim TRWL0$ ビットによって指定可能です。32 バイトのパウンドリデータをラップアラウンドで書き込みます。

DACK は、データライトサイクルの 2 サイクル前にアサートされます。

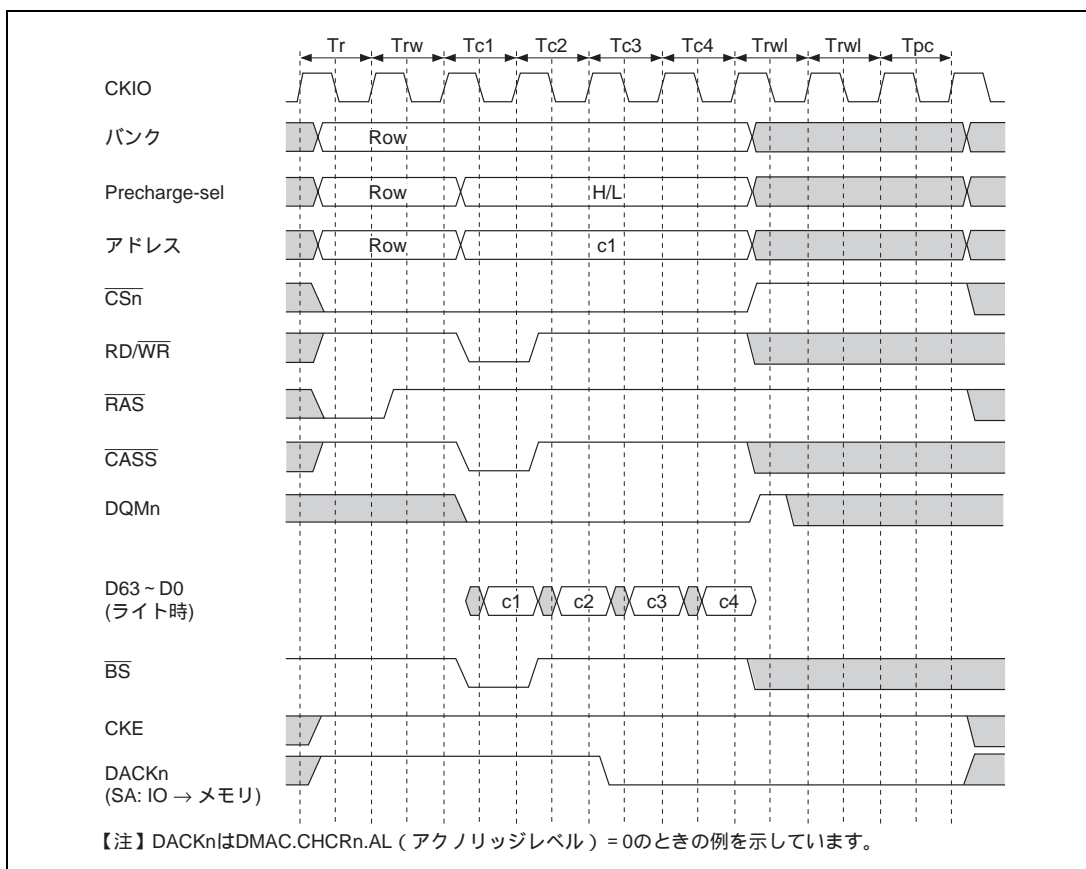


図 13.30 シンクロナス DRAM パーストライト基本タイミング

(6) シングルライト

ライトアクセスの基本タイミングチャートを図 13.31 に示します。シングルライトの動作は、ACTV コマンドを行う T_r サイクルに続いて、オートプリチャージを行う WRITA コマンドを T_{c1} で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。

このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rw1} サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。 T_{rw1} サイクルのサイクル数は MCR の TRWL2 ~ TRWL0 ビットによって指定可能です。

DACK はデータライトサイクル T_{c1} の 2 サイクル前にアサートされます。

本 LSI は、シンクロナス DRAM に対してバーストリード / バーストライトをサポートしていますので、シングルライトであっても、バーストライトと同じサイクルがかかります。

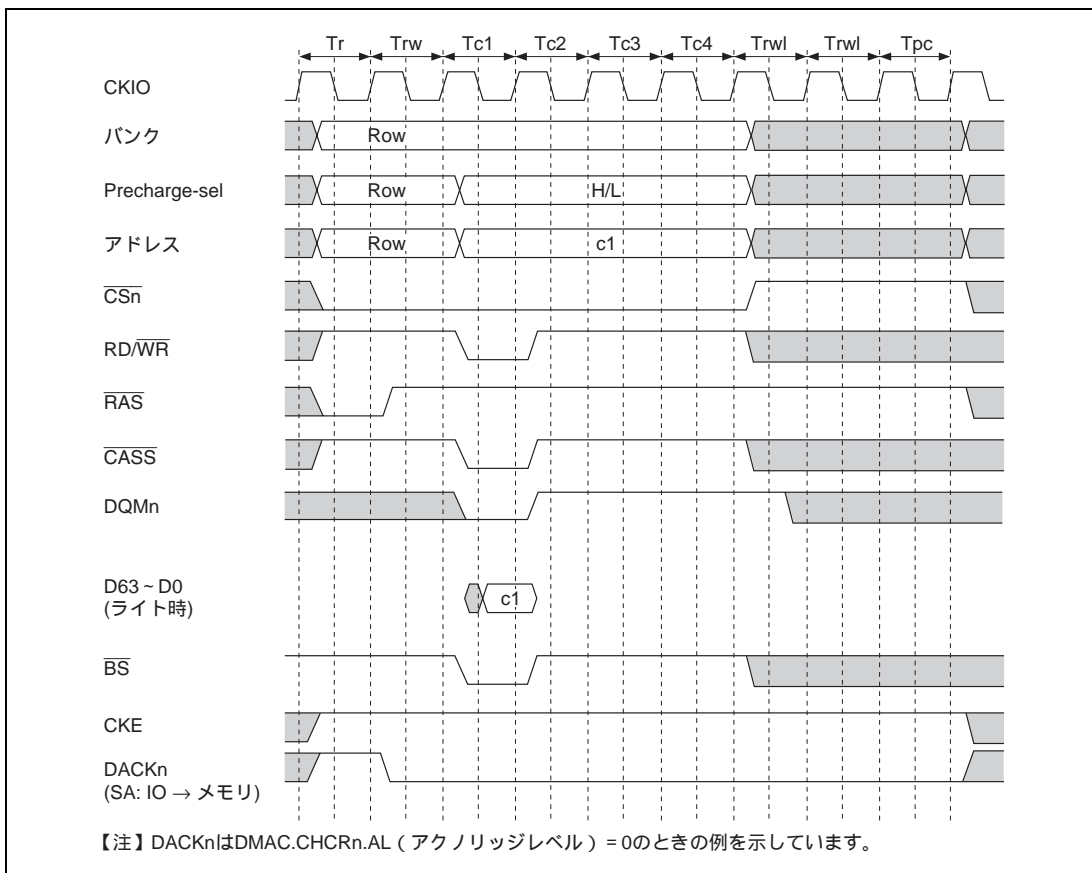


図 13.31 シンクロナス DRAM シングルライト基本タイミング

(7) RAS ダウンモード

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM における RAS ダウン状態と同様に、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれていますので、それぞれのバンクで 1 つのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRIT コマンド発行後 $Trwl+Tpc$ サイクルの間コマンド発行を行えません。RAS ダウンモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに $Trwl+Tpc$ サイクルだけサイクル数を短縮することができます。プリチャージコマンド発行からロウアドレスストロブコマンドまでのサイクル数は MCR の $TPC2 \sim TPC0$ ビットで決まります。

各バンクをアクティブ状態にしておける時間 $tRAS$ には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を $tRAS$ の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムでする必要があります。

図 13.32 にオートプリチャージなしのバーストリードサイクルを、図 13.33 には同一のロウアドレスに対するバーストリードサイクルを、図 13.34 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 13.35 にオートプリチャージなしのライトサイクルを、図 13.36 に同一のロウアドレスに対するライトサイクルを、図 13.37 には異なるロウアドレスに対するライトサイクルを示します。

シンクロナス DRAM は読み出し時に、バイト指定を行う DQM_n 信号について、2 サイクルのレイテンシがあります。このために、図 13.32 において READ コマンドを発行する場合、 Tc サイクルを直ちに行うと、 $Td1$ サイクルのデータ出力に対する DQM_n 信号の指定が行えません。このため CAS レイテンシを 1 に設定しないでください。

RAS ダウンモードに設定すると、エリア 3 のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 13.32 または図 13.35 で始まり、図 13.33 または図 13.36 を繰り返します。間に別のエリアに対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 13.33 または図 13.36 の代わりに図 13.34 または図 13.37 のバスサイクルを行います。RAS ダウンモードでも、リフレッシュサイクルの前またはバスアービトレーションによるバス解放の前に PALL コマンドが発行されます。

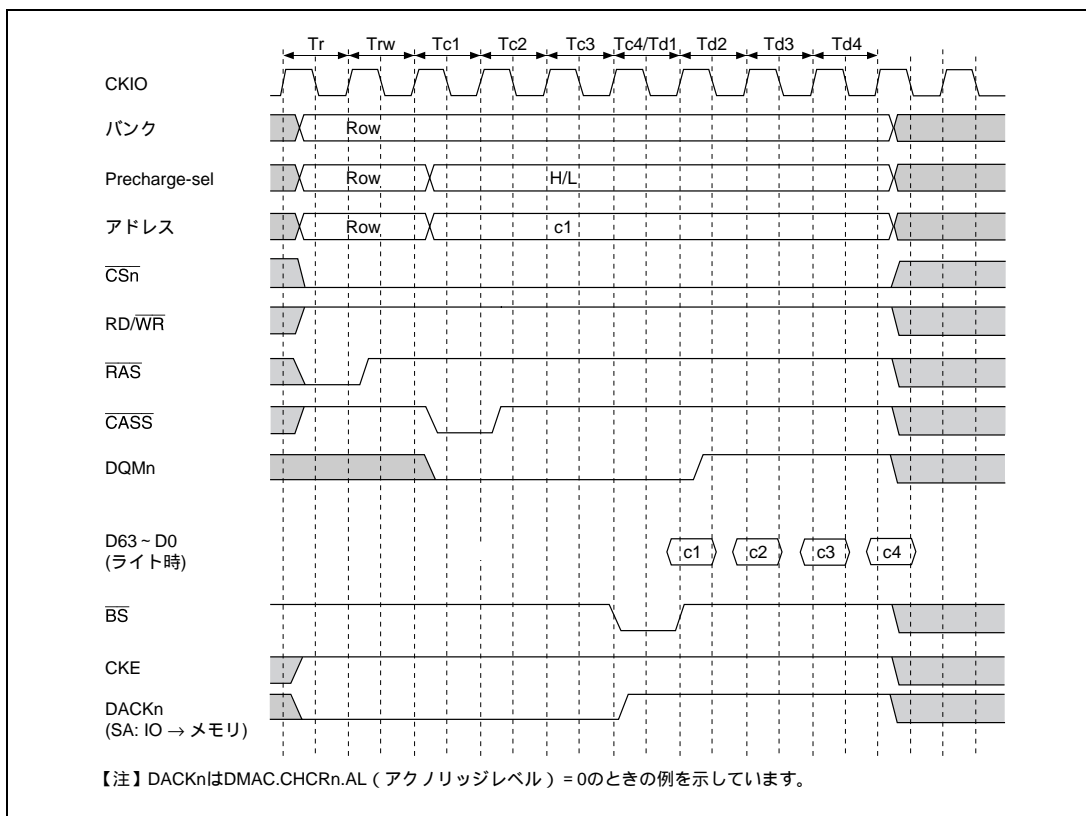


図 13.32 バーストリードタイミング

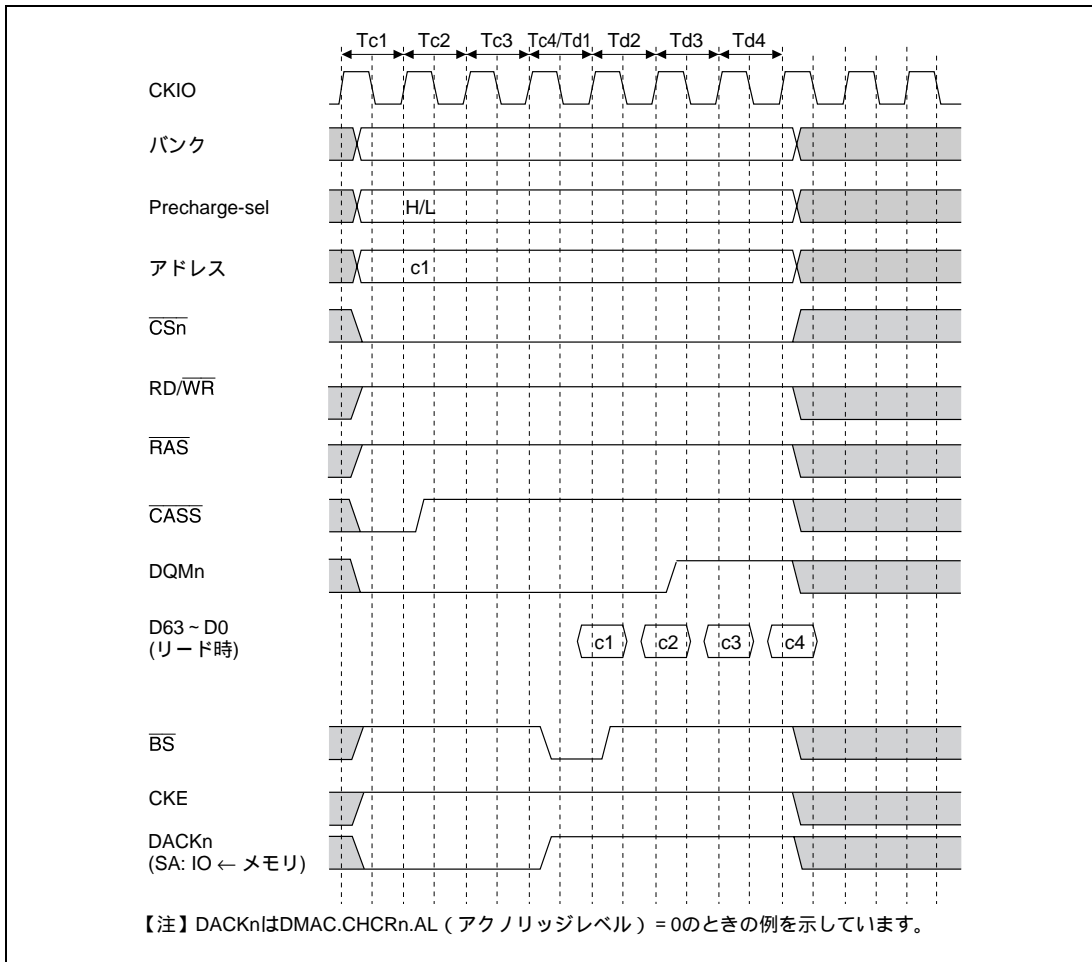


図 13.33 バーストリードタイミング (RAS ダウン、同一rowアドレス)

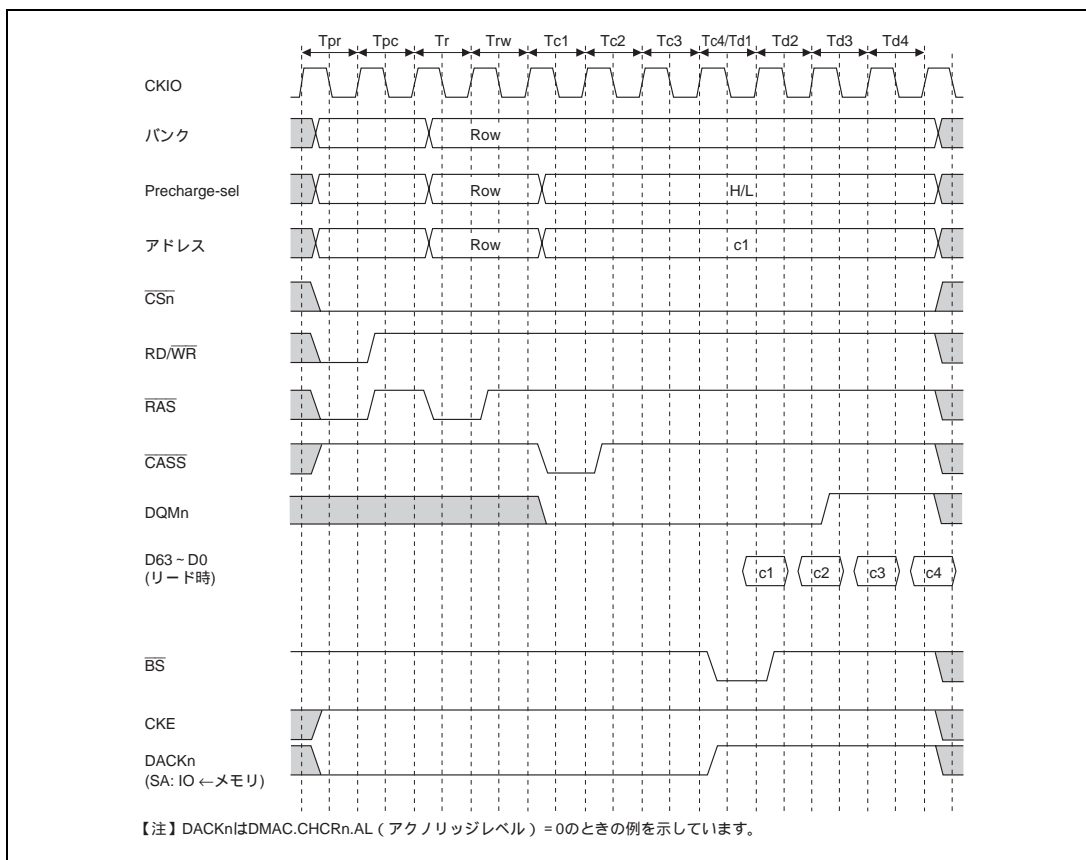


図 13.34 バーストリードタイミング (RAS ダウン、異なるロウアドレス)

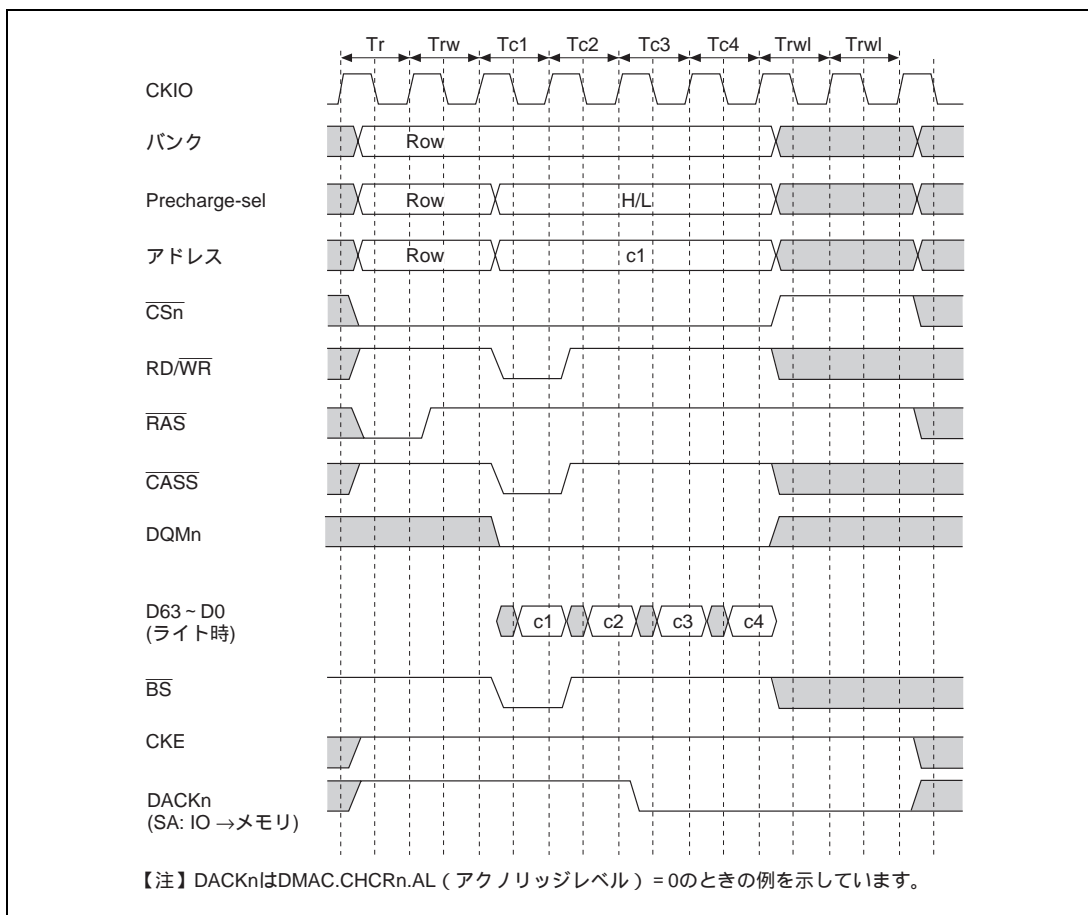


図 13.35 バーストライトタイミング

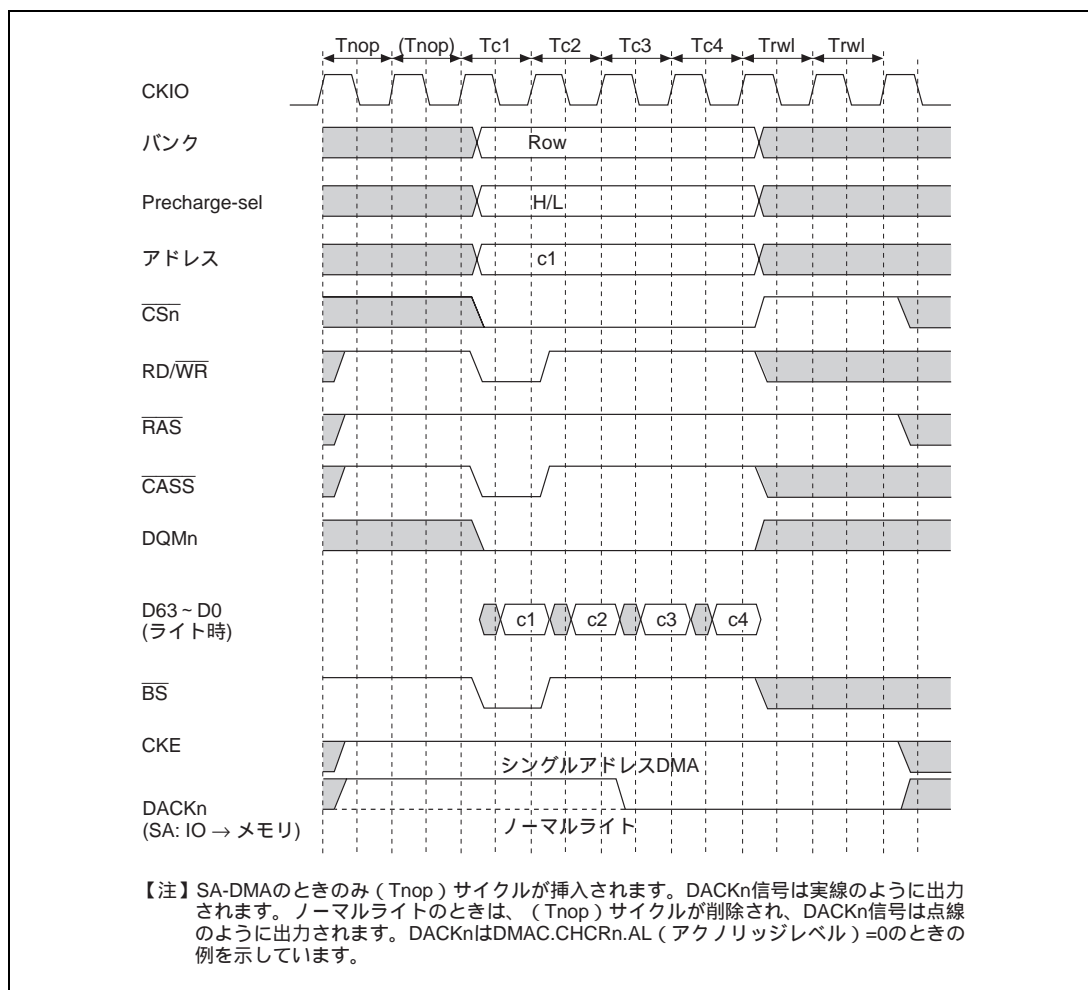


図 13.36 バーストライトタイミング (同一ロウアドレス)

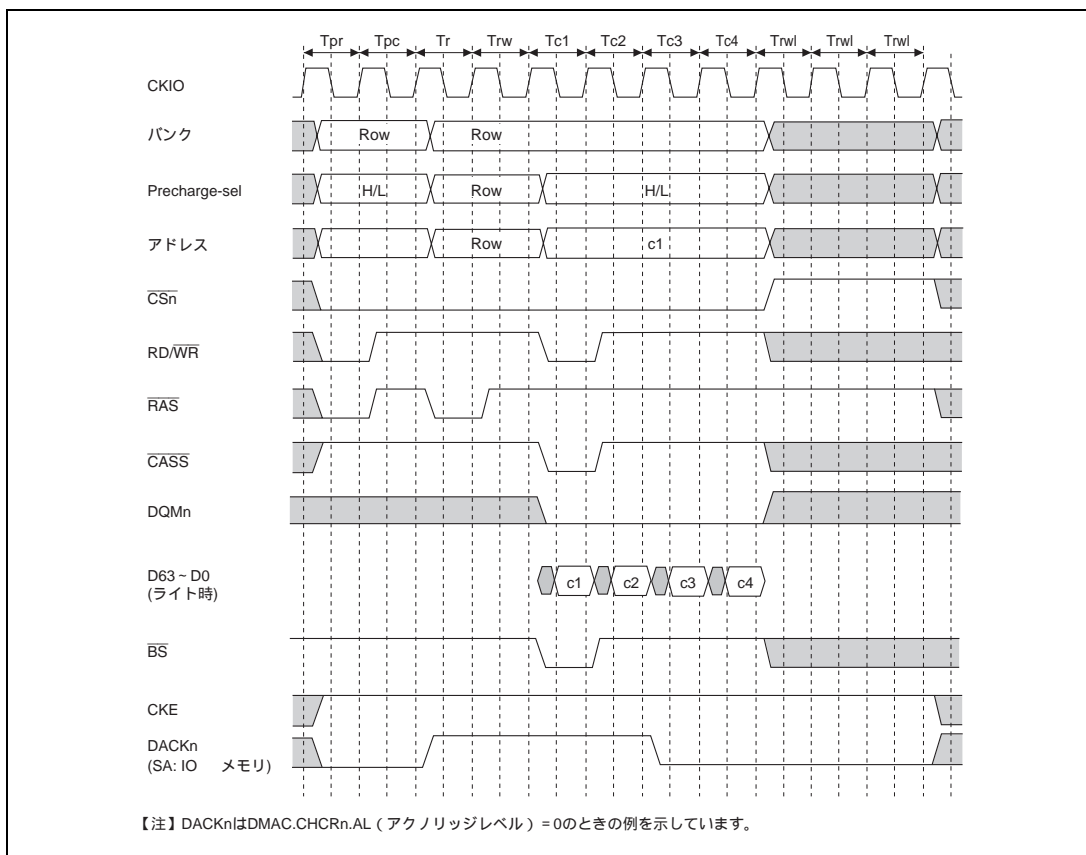


図 13.37 バーストライトタイミング (異なるロウアドレス)

(8) パイプラインアクセス

MCR の RASD ビットが 1 の場合、シンクロナス DRAM に対するアクセスをさらに高速にサポートするため、CPU によるアクセスと DMAC によるアクセスとの間、または DMAC によるアクセスの連続時にパイプラインアクセスを行います。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、1 つのバンクに READ または WRIT コマンドを発行した後、CAS レイテンシサイクルやデータ取り込みサイクル中、もしくはデータ書き込みサイクル中に PRE、ACTV 等のコマンドが発行でき、アクセスサイクルを短縮することができます。

リードアクセスに続くリードアクセスが同一ロウアドレスであれば READ コマンドの発行後、データ取り込みサイクルの終了前に続けて READ コマンドを発行し、データバス上で読み込みデータが連続します。異なるロウアドレスに対するアクセスでかつ異なるバンクの場合には PRE コマンドもしくは ACTV コマンドが、CAS レイテンシサイクルもしくはデータ取り込みサイクル中に発行できます。同一バンクで異なるロウアドレスに対するアクセス要求が続いた場合には最終データ取り込みサイクルの 1 つ前のサイクルまで PRE コマンドは発行できません。リードアクセスの後にライトサイクルが続く場合にはバンク、ロウアドレスによって PRE、ACTV コマンドの発行はできませんが、WRIT コマンドと同時にライトデータが出力されますのでデータバス上で自動的に 1~2 サイクルの空きサイクルがあらわれるように PRE、ACTV、WRIT コマンドを発行します。ライトアクセス後のリードアクセス、ライトアクセス後のライトアクセスも同様に PRE、ACTV、READ コマンドを前のアクセスのデータ書き込みサイクル中に発行しますが、同一バンクで、異なるロウアドレスの場合には PRE を発行できないので、最終データ書き込みサイクル終了後、MCR の TRWL で指定した Trwl サイクル後に PRE コマンドを発行します。

図 13.38 にバーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクルを示します。

パイプラインアクセスはエリア 3 に対するアクセスが続く限り有効であり、間に別のエリアに対するアクセスがあるとパイプラインアクセスは中断されます。またリフレッシュサイクルまたはバスアービトレーションによるバス解放の場合もパイプラインアクセスは中断されます。パイプラインアクセスの可能な場合を表 13.17 に示します。表中 DMAC dual は DMAC のデュアルアドレスモードによる転送、DMAC single は DMAC のシングルアドレスモードによる転送を示します。

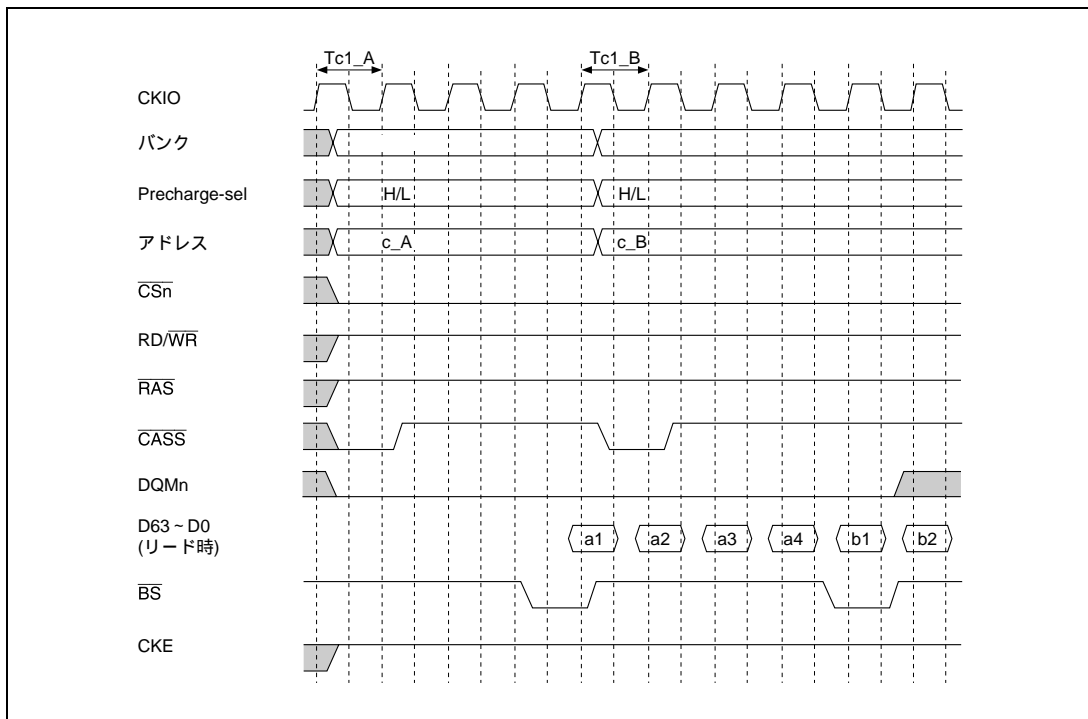


図 13.38 バーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクル

表 13.17 バイプラインアクセスが可能なサイクル一覧

前アクセス		後アクセス					
		CPU		DMAC dual		DMAC single	
		リード	ライト	リード	ライト	リード	ライト
CPU	リード	x	x		x		
	ライト	x	x		x		
DMAC dual	リード	x	x	x	x	x	x
	ライト				x		
DMAC	リード			x	x		
single	ライト				x		

: バイプラインアクセス可能

x : バイプラインアクセス不可能

(9) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(a) オートリフレッシュ

RTCSR の CKS2 ~ CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2 ~ CKS0 の設定を行ってください。CKS2 ~ CKS0 ビットによってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 13.40 にオートリフレッシュサイクルのタイミングを示します。

まず、REF コマンドを TR_r サイクルに発行します。TR_r サイクル後、MCR の TRAS2 ~ TRAS0 ビットで指定されるサイクル数 + MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS2 ~ TRAS0、および TRC2 ~ TRC0 ビットを設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。また、エリア 2、3 がともにシンクロナス DRAM に設定されている場合、エリア 3 につづきエリア 2 のオートリフレッシュが行われます。

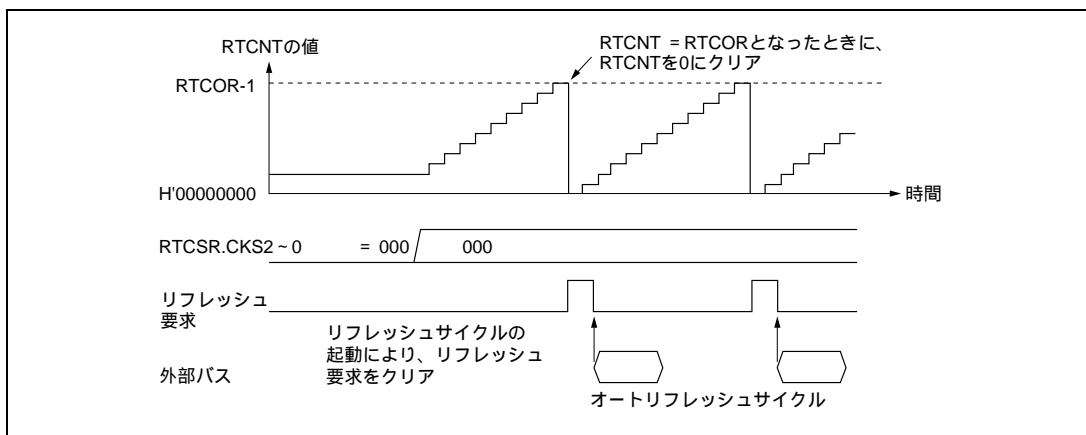


図 13.39 オートリフレッシュの動作

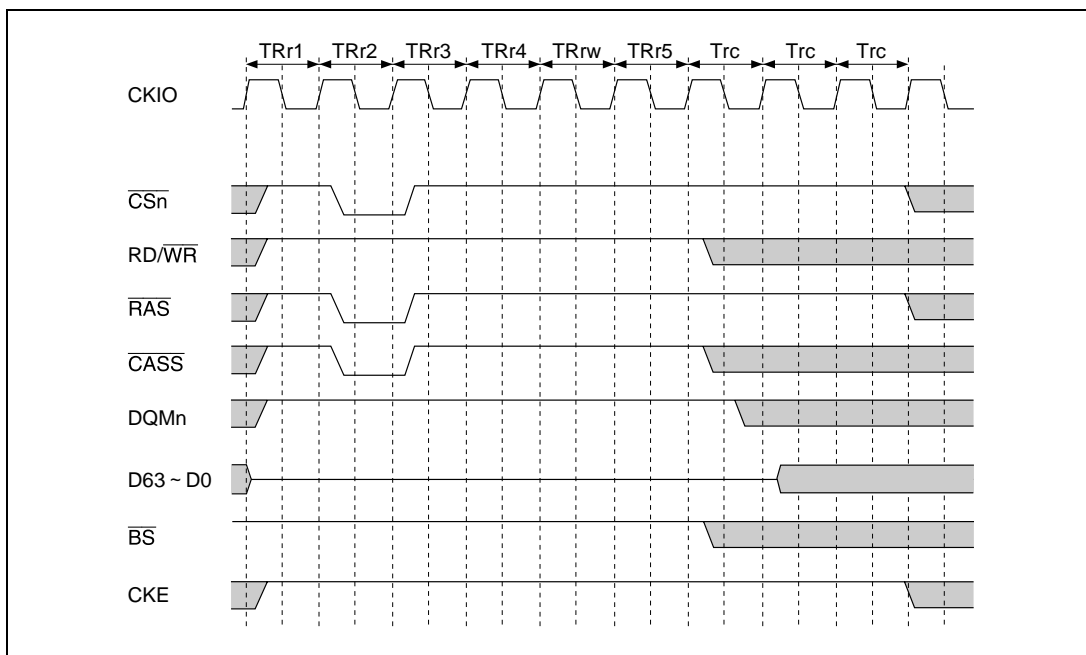


図 13.40 シンクロナス DRAM オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TRC2~TRC0 ビットで指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 13.41 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、また、オートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合には、バスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、スリープモード時、スタンバイモード時およびマニュアルリセットでも継続されます。

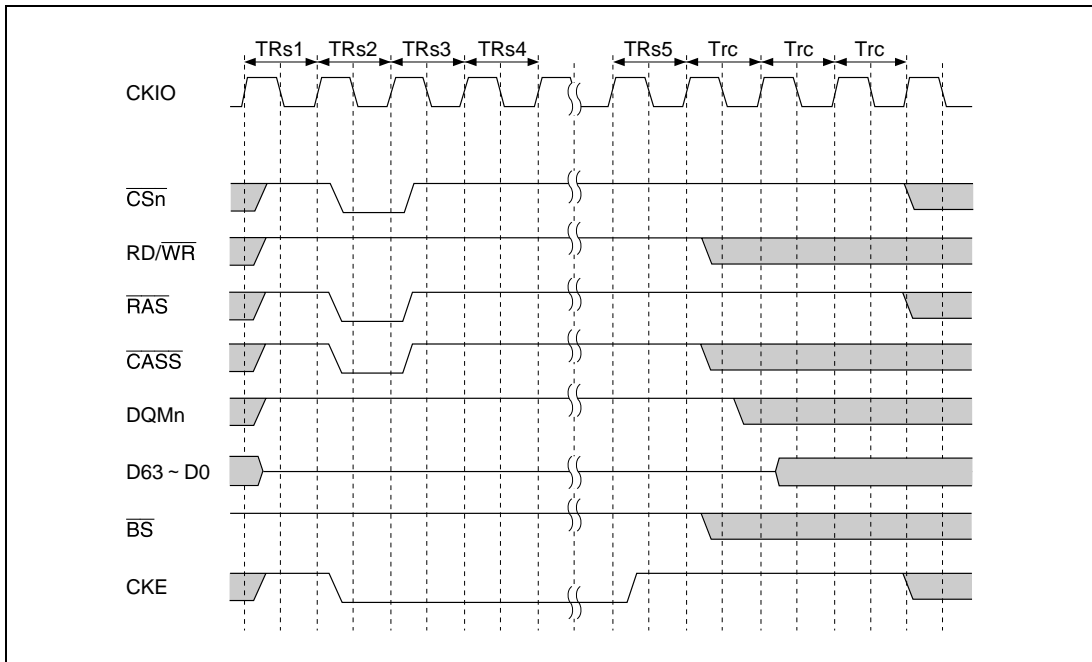


図 13.41 シンクロナス DRAM セルフリフレッシュタイミング

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中ではリフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間もリフレッシュ動作は待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起らないよう注意が必要です。なお、リフレッシュ要求が発生すると $\overline{\text{BACK}}$ 端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で $\overline{\text{BACK}}$ 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

(10) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD/WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては H'FF900000 + X 番地に、またエリア 3 のシンクロナス DRAM に対しては H'FF940000 + X に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/ライト、CAS レイテンシ 1~3、ラップタイプ=シーケンシャル、バースト長 4 または 8 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4*	1	H'FF900048	H'FF940048
		2	H'FF900088	H'FF940088
		3	H'FF9000C8	H'FF9400C8
32	8	1	H'FF90004C	H'FF94004C
		2	H'FF90008C	H'FF94008C
		3	H'FF9000CC	H'FF9400CC
64	4	1	H'FF900090	H'FF940090
		2	H'FF900110	H'FF940110
		3	H'FF900190	H'FF940190

【注】 * SH7750R のみ

MCR.MRSET に設定された値によって全バンクプリチャージコマンドが発行されるかモードレジスタ設定コマンドが発行されるかが選択されます。全バンクプリチャージのタイミングを図 13.42 (1) に、またモードレジスタ設定タイミングを図 13.42 (2) に示します。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 200 μ s のアイドル時間 (メモリメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちに全バンクプリチャージの設定を行っても問題はありません。

まず、MCR.MRSET = 0 の状態で H'FF900000 + X もしくは H'FF940000 + X 番地への書き込みを行うことによって全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行されます。その後、ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されますが、より確実に行うためには、このダミーサイクルを実行する間だけ RTCOR レジスタの値を変更して、リフレッシュ要求の発生する間隔を短かく設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。規定回数以上のオートリフレッシュが実行された後、MCR.MRSET = 1 に設定し、H'FF900000 + X もしくは

H'FF940000 + X 番地への書き込みを行うことによって TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

シンクロナス DRAM のモードレジスタの設定は、パワーオンリセット後、シンクロナス DRAM アクセス前に 1 度だけ実行し、設定した後は変更しないでください。

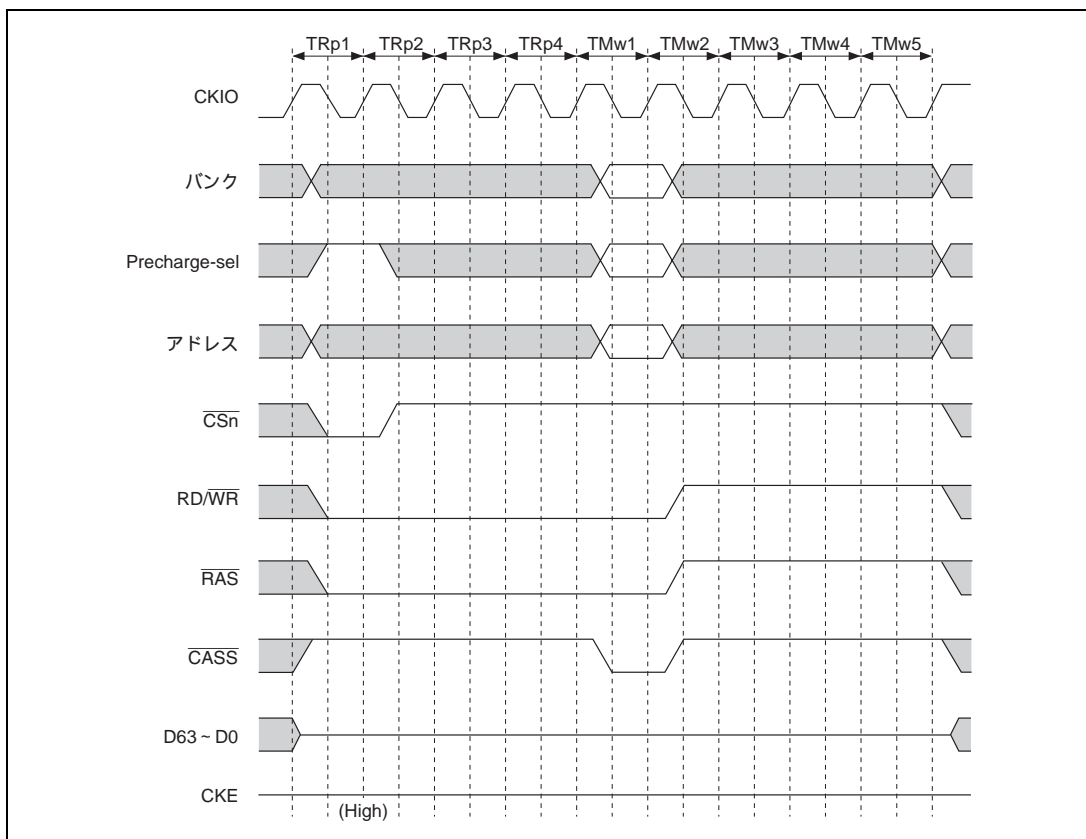


図 13.42 (1) シンクロナス DRAM モード書き込みタイミング (PALL)

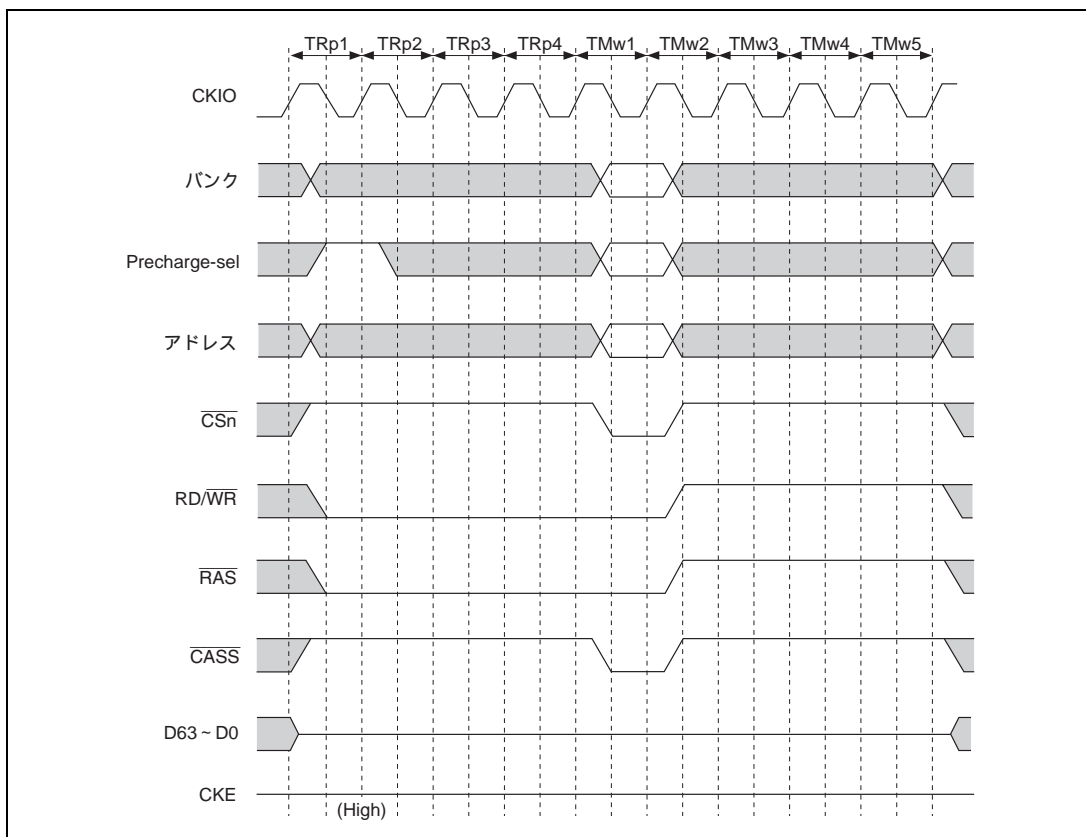


図 13.42 (2) シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)

(11) パースト長切り替えについて (SH7750R のみ)

SH7750R では、メモリバス幅 32 ビットでシンクロナス DRAM を接続したとき、パースト長を 4 または 8 に切り替えることができます。パースト長の切り替えは BCR3 レジスタの SDBL で設定します。詳細はレジスタの説明を参照してください。

(a) パーストリード

パースト長 4 のときのパーストリード時のタイミングチャートを図 13.43 に示します。ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} サイクルに、さらに 4 サイクル後に READA コマンドを発行し、 T_{d1} から T_{d8} のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。 T_{pc} はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。SH7750R では MCR の TPC2 ~ TPC0 ビットの指定によって T_{pc} のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

シンクロナス DRAM サイクルでは、READ もしくは READA コマンドに対応するデータ転送サイクル開始時に、 \overline{BS} 信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、初めに発行される READ コマンドによって、ミスしたデータを含む 64 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 16 バイトバウンダリのデータをラップアラウンドに読み込みます。続けて発行される READA コマンドによって、32 バイトバウンダリの残りの 16 バイトが 16 バイトバウンダリの先頭から読み込まれます。

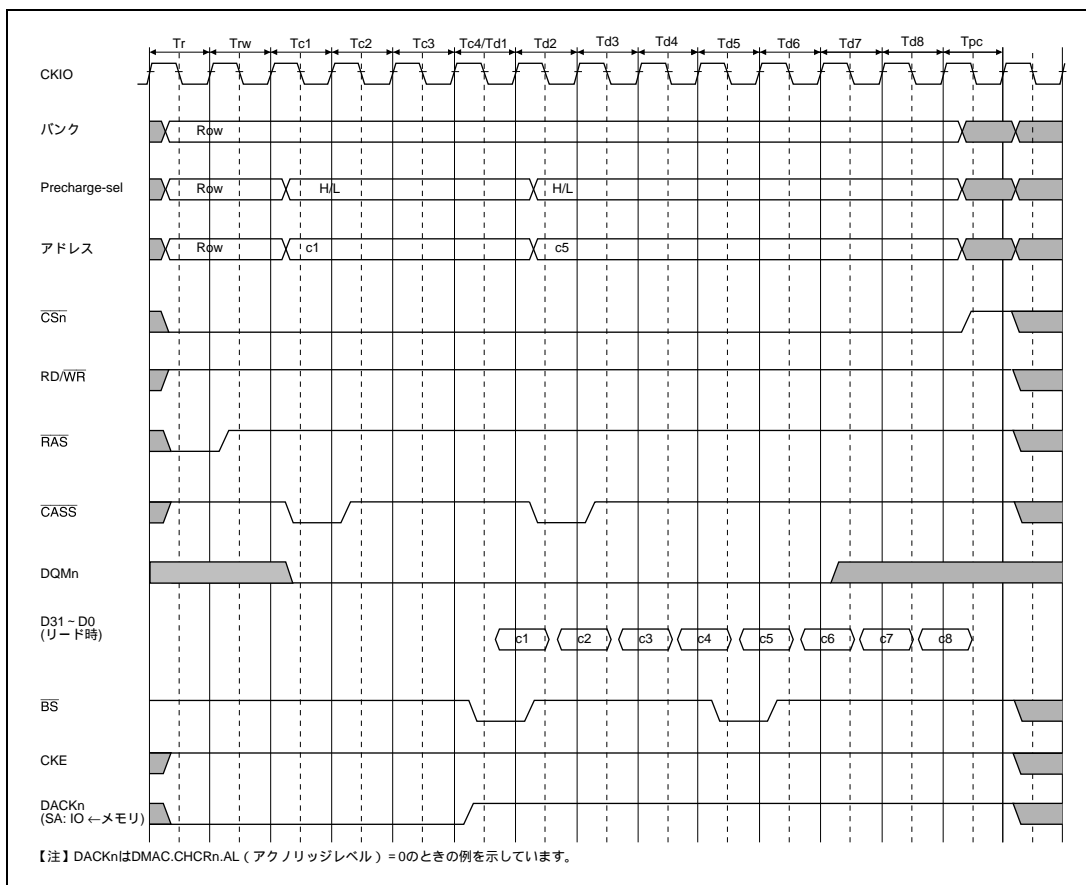


図 13.43 シンクロナス DRAM バーストリード基本タイミング (バースト長 4)

(b) バーストライト

バースト長 4 のときのバーストライト時のタイミングチャートを図 13.44 に示します。本 LSI でバーストライトが発生するのは 32 バイト転送が発生した場合です。バーストライトの動作は ACTV コマンド出力を行う T_r サイクルに続いて、 T_{c1} サイクルに WRIT コマンドを、さらに 4 サイクル後に WRITA コマンドを発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{pc} に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ $Trwl$ サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。 $Trwl$ サイクルのサイクル数は MCR の $TRWL2 \sim TRWL0$ ビットによって指定可能です。16 バイト境界のデータからアクセスを開始し、32 バイトのバウンダリデータをラップアラウンドで書き込みます。

DACK は、データライトサイクルの 2 サイクル前にアサートされます。

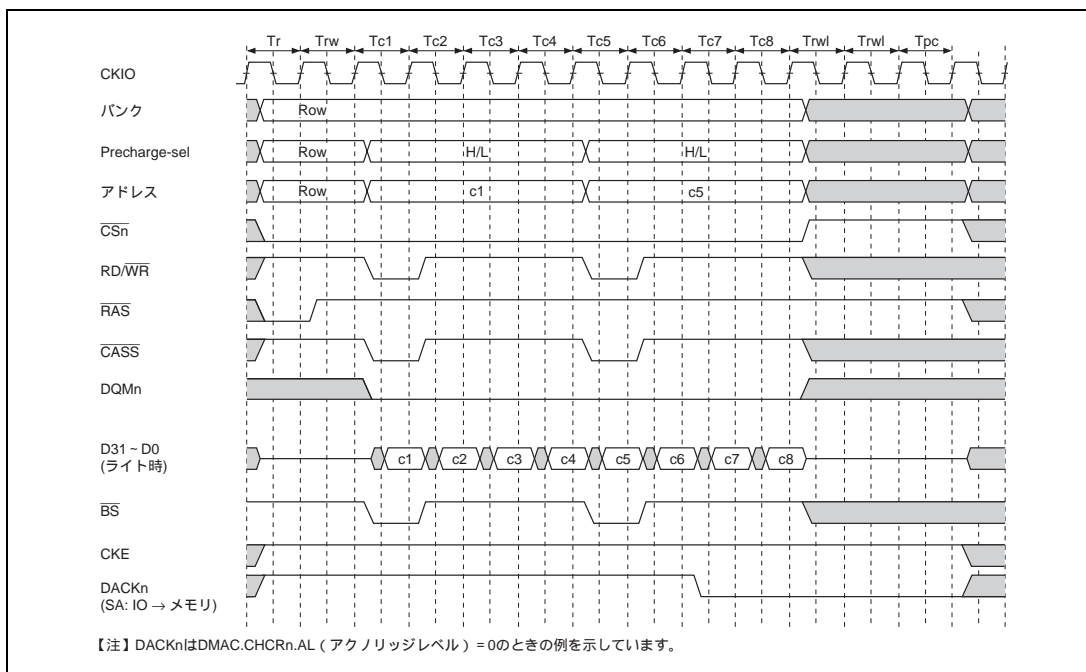


図 13.44 シンクロナス DRAM バーストライト基本タイミング

(12) バス幅 64 ビットの 128M ビット/256M ビットシンクロナス DRAM の接続 (SH7750R のみ)

SH7750R では、バス幅 64 ビットで 128M ビット/256M ビットシンクロナス DRAM の接続が可能です。エリア 2 とエリア 3 の 128M バイトの外部メモリ空間を使用し、RAS ダウンモードも使用できます。接続が可能な構成は、128M ビット (4M×8 ビット×4 バンク) を 8 個または 256M ビット (4M×16 ビット×4 バンク) を 4 個の構成です。

図 13.45 に 256M ビット (4M×16 ビット×4 バンク) を 4 個接続する場合の接続例を示します。

使用上の注意

- BCR1.DRAMTP2 = 011 : エリア 2、3 をシンクロナス DRAM インタフェースに設定してください。
- MCR.SZ = 00 : シンクロナス DRAM のバス幅を 64 ビットに設定してください。
- MCR.AMX = 6 : シンクロナス DRAM のアドレスマルチプレクス設定を 128M ビット/256M ビットに設定してください。
- オートリフレッシュでは 1 回のリフレッシュ要求に対し、2 回続けて REF コマンドを発行します。この場合、1 回目と 2 回目に発行される REF コマンドの間隔は、MCR.TRAS ビットにより、4 ~ 11 CKIO サイクルに設定されます。また、2 回目の REF コマンドと次の ACTV コマンド発行までの間隔は、MCR.TRAS ビットの設定に MCR.TRC ビットの設定が加わり、4 ~ 32 CKIO サイクルに設定されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように RTCOR と CKS2 ~ 0 ビットおよび MCR の値を設定してください。図 13.46 に、バス幅 64 ビットのシンクロナス DRAM 接続時のオートリフレッシュタイミング例を示します。
- シンクロナス DRAM のモードレジスタの設定はエリア 2 用のアドレスから設定してください。
- 接続するための制御信号は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{CS}}_3$ 、 $\text{DQM}_0 \sim 7$ および CKE 信号で、 $\overline{\text{CS}}_2$ は使用しません。
- 部分共有モードは使用しないでください。使用した場合の動作は保証されません。

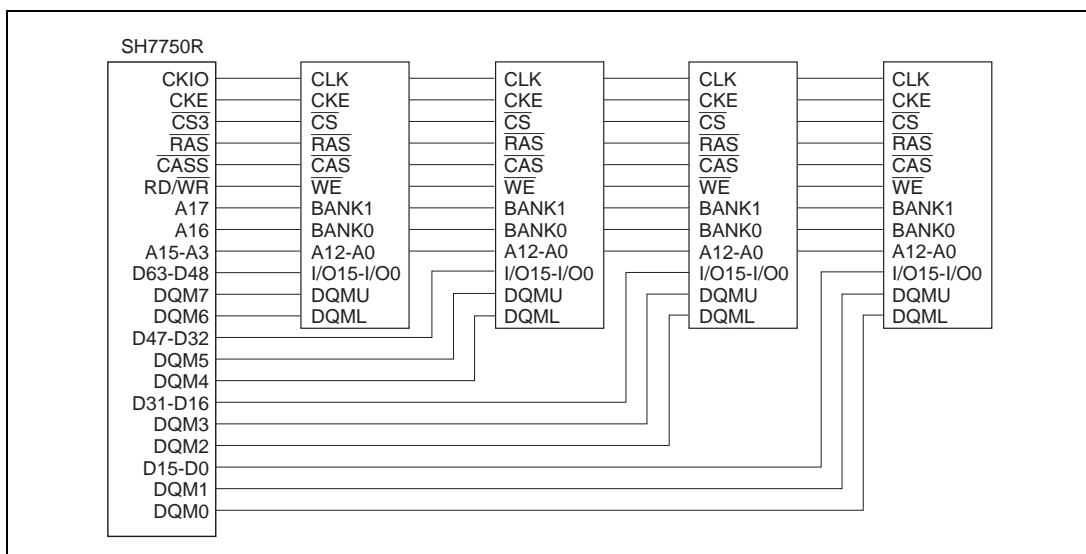


図 13.45 64 ビットデータ幅シンクロナス DRAM 接続例 (256M ビット)

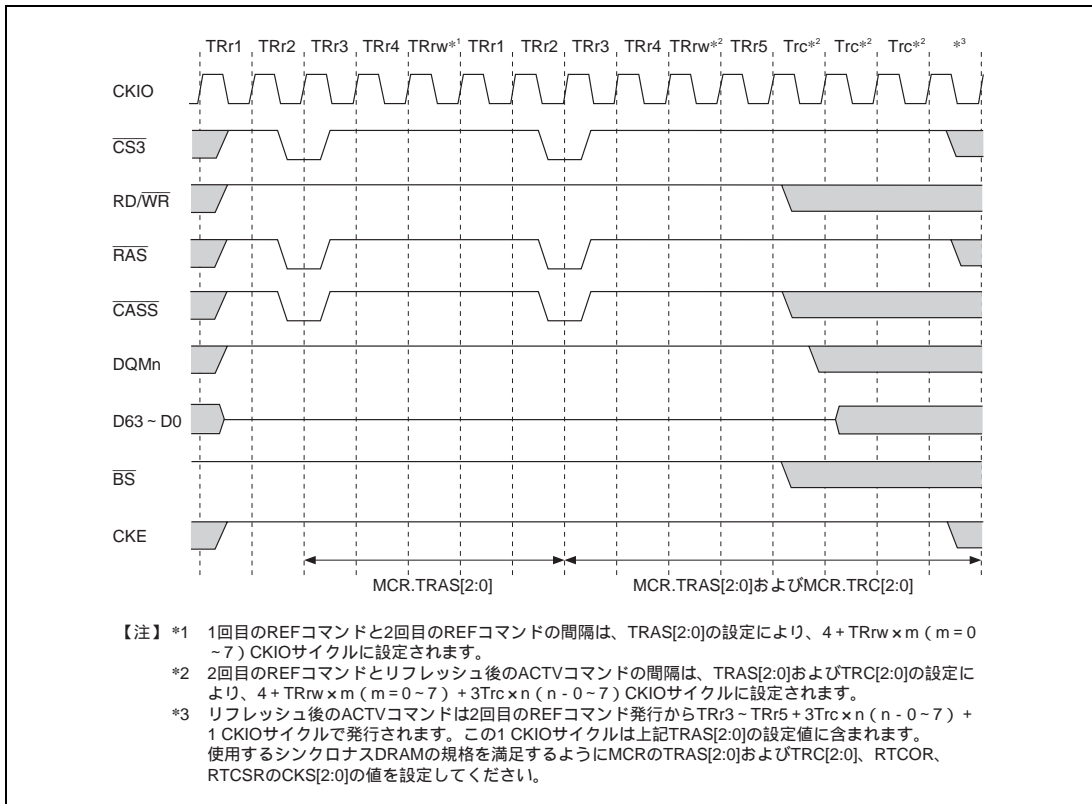


図 13.46 64ビットのシンクロナス DRAM 接続時のオートリフレッシュタイミング
(TRAS[2:0] = 001、TRC[2:0] = 001)

13.3.6 バースト ROM インタフェース

BCR1 の A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットを各々0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 13.47 に示します。ウェイトサイクルは 2 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に $\overline{\text{RDY}}$ 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 13.48 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

バースト ROM の設定を行い、WCR3 でセットアップ / ホールドを指定した場合のタイミングを図 13.49 に示します。

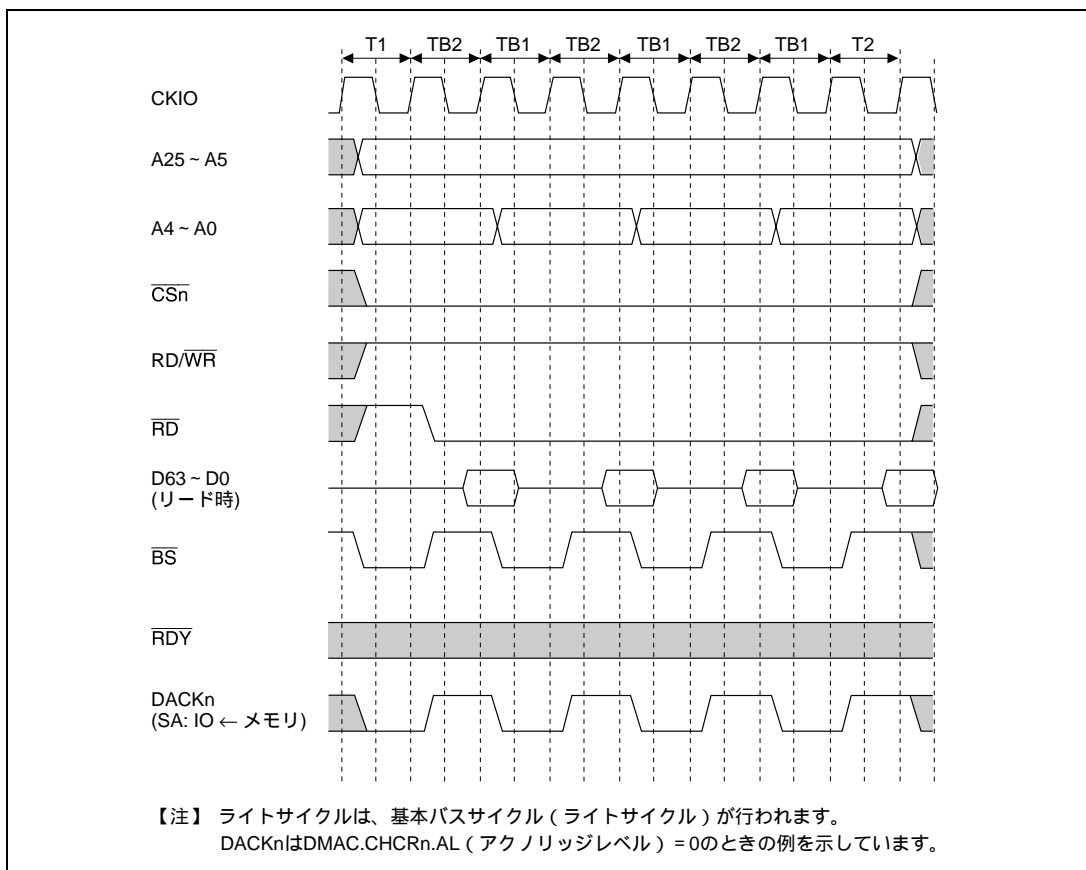


図 13.47 バースト ROM 基本アクセスタイミング

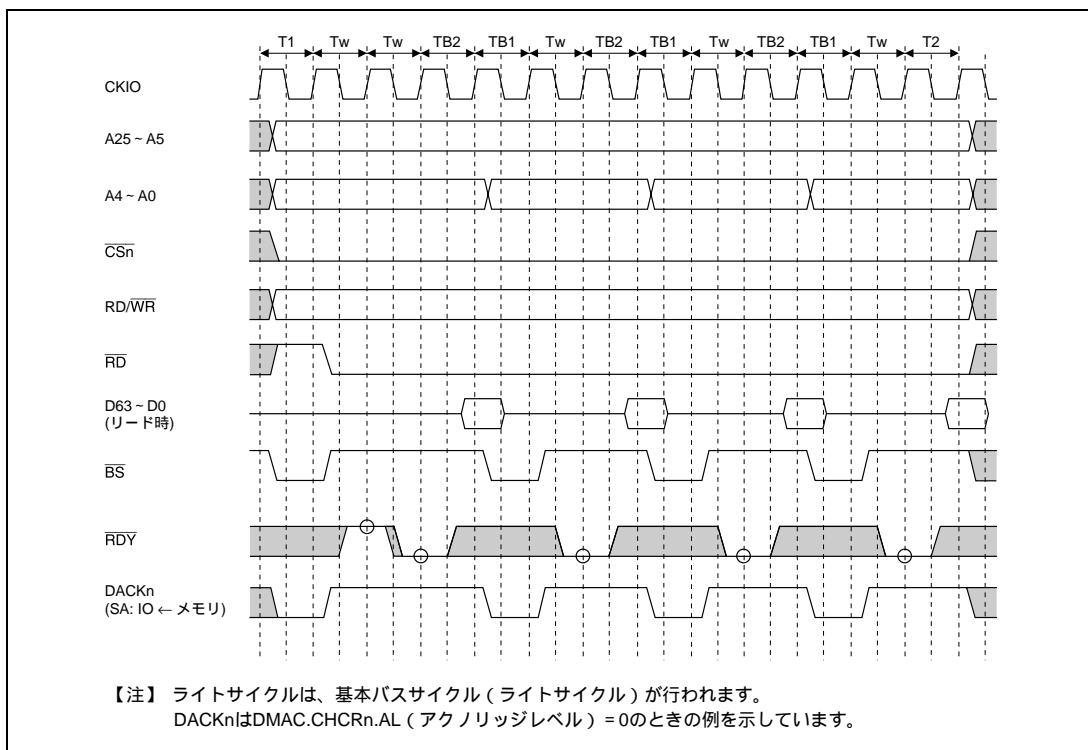


図 13.48 バースト ROM ウェイトアクセスタイミング

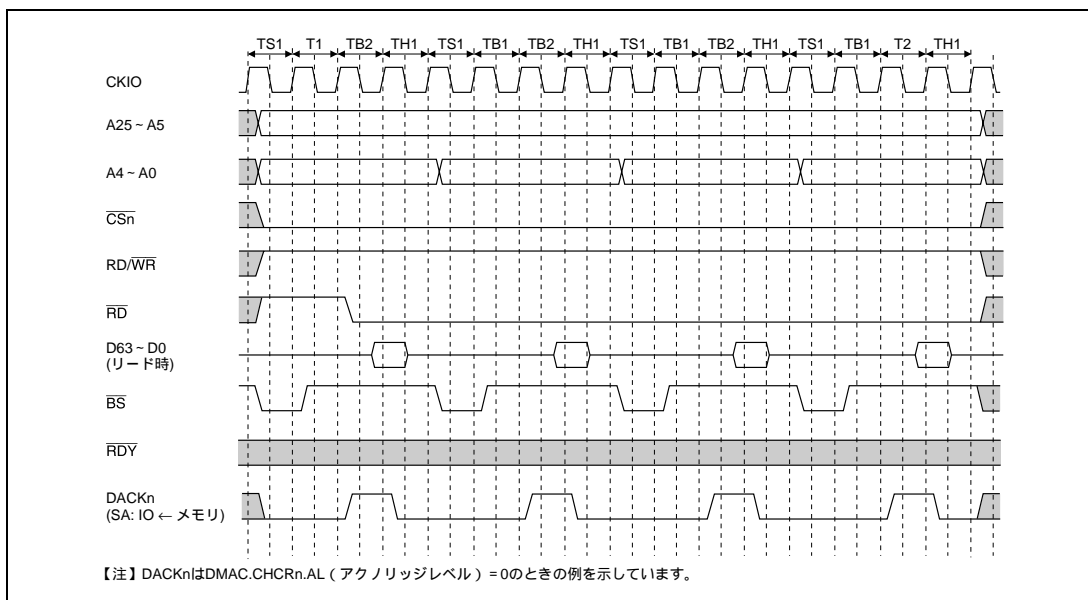


図 13.49 バースト ROM ウェイトアクセスタイミング

13.3.7 PCMCIA インタフェース

本 LSI では BCR1 の A56PCM ビットを 1 に設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める“IC メモリカードインタフェース”または“I/O カードインタフェース”になります。

図 13.50 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの PCMCIA インタフェースのみをサポートしています。

SH7750 では、PCMCIA インタフェースのエリアは、MMU 使用時のみアクセスできます。PCMCIA インタフェースのメモリ空間は、MMU ページ単位で設定でき、アクセスするページの SA2~SA0 ビットにより、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、またはダイナミックバスサイジングが選択できます。

SA2	SA1	SA0	説明
0	0	0	予約 (設定禁止)
		1	ダイナミック I/O バスサイジング
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共有メモリ
		1	16 ビット共有メモリ
	1	0	8 ビットアトリビュートメモリ
		1	16 ビットアトリビュートメモリ

バスアクセス中のウェイトサイクルの設定も MMU ページ単位で設定できます。アクセスするページの TC ビットが 0 のときは、ウェイトコントロールレジスタ 2 (WCR2) の A5W2~A5W0、および PCMCIA コントロールレジスタ (PCR) の A5PCW1~A5PCW0、A5TED2~A5TED0、A5TEH2~A5TEH0 ビットが選択されます。アクセスするページの TC ビットが 1 のときは、ウェイトコントロールレジスタ 2 (WCR2) の A6W2~A6W0、および PCMCIA コントロールレジスタ (PCR) の A6PCW1~A6PCW0、A6TED2~A6TED0、A6TEH2~A6TEH0 ビットが選択されます。アクセスするページの SA2~SA0 ビットおよび TC ビットの設定方法は、「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。

SH7750S、SH7750R では、PCMCIA インタフェースは、MMU 非使用時もアクセスできます。MMU がオフの場合 (MMUCR.AT=0)、ページテーブルエントリアシスタントレジスタ (PTEA) の SA2~SA0 ビットおよび TC ビットで常にアクセスされます。MMU がオンの場合 (MMUCR.AT=1) は、SH7750 と同じです。

本 LSI では、DMAC による PCMCIA インタフェースへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、CHCRn.DTC で行われます。

低速バスサイクルに挿入するウェイトステート数は、AnPCW1、AnPCW0 ビットにより、0、15、30、または 50 に設定できます。この値は、WCR2 で指定された挿入ウェイトステート数に加算されます。 \overline{RD} および $\overline{WE1}$ 信号

のアドレス、 \overline{CS} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} セットアップ時間は、AnTED2 ~ AnTED0 ビット (0 ~ 15 に設定可能) により、保持することができます。また、 \overline{RD} および WEI 信号のアドレス、 \overline{CS} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} ライトデータホールド時間は、AnTEH2 ~ AnTEH0 ビット (0 ~ 15 に設定可能) により、保持することができます。

また、サイクル間ウェイトサイクルは、ウェイトコントロールレジスタ 1 (WCR1) の A5IW2 ~ A5IW0、A6IW2 ~ A6IW0 ビットにより設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、A5IW2 ~ A5IW0 ビットが、エリア 6 のアクセス時には、A6IW2 ~ A6IW0 ビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

表 13.18 PCMCIA インタフェース使用時のアドレスと CE の関係

バス幅 (bit)	リード/ ライト	アクセス サイズ (bit) * ¹	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0
8	リード	8	偶数	*	-	1	0	0	無効	リードデータ
			奇数	*	-	1	0	1	無効	リードデータ
		16	偶数	*	1 回目	1	0	0	無効	下位リードデータ
			偶数	*	2 回目	1	0	1	無効	上位リードデータ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	1	0	0	無効	ライトデータ
			奇数	*	-	1	0	1	無効	ライトデータ
		16	偶数	*	1 回目	1	0	0	無効	下位ライトデータ
			偶数	*	2 回目	1	0	1	無効	上位ライトデータ
			奇数	*	-	-	-	-	-	-
16	リード	8	偶数	*	-	1	0	0	無効	リードデータ
			奇数	*	-	0	1	1	リードデータ	無効
		16	偶数	*	-	0	0	0	上位リードデータ	下位リードデータ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	1	0	0	無効	ライトデータ
			奇数	*	-	0	1	1	ライトデータ	無効
		16	偶数	*	-	0	0	0	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-

バス幅 (bit)	リード/ ライト	アクセス サイズ (bit) * ¹	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0
ダイナミック バスサイジン グ* ²	リード	8	偶数	0	-	1	0	0	無効	リードデータ
			奇数	0	-	0	1	1	リードデータ	無効
		16	偶数	0	-	0	0	0	上位リードデータ	下位リードデータ
			奇数	0	-	-	-	-	-	-
	ライト	8	偶数	0	-	1	0	0	無効	ライトデータ
			奇数	0	-	0	1	1	ライトデータ	無効
		16	偶数	0	-	0	0	0	上位ライトデータ	下位ライトデータ
			奇数	0	-	-	-	-	-	-
	リード	8	偶数	1	-	1	0	0	無効	リードデータ
			奇数	1	1回目	0	1	1	無視	無効
			奇数	1	2回目	1	0	1	無効	リードデータ
		16	偶数	1	1回目	0	0	0	無効	下位リードデータ
			偶数	1	2回目	1	0	1	無効	上位リードデータ
			奇数	1	-	-	-	-	-	-
	ライト	8	偶数	1	-	1	0	0	無効	ライトデータ
			奇数	1	1回目	0	1	1	無効	ライトデータ
			奇数	1	2回目	1	0	1	無効	ライトデータ
		16	偶数	1	1回目	0	0	0	上位ライトデータ	下位ライトデータ
偶数			1	2回目	1	0	1	無効	上位ライトデータ	
奇数			1	-	-	-	-	-	-	

【注】 * Don't care

*1 32ビット/64ビット/32バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

*2 PCMCIA I/O カードインタフェース時のみ

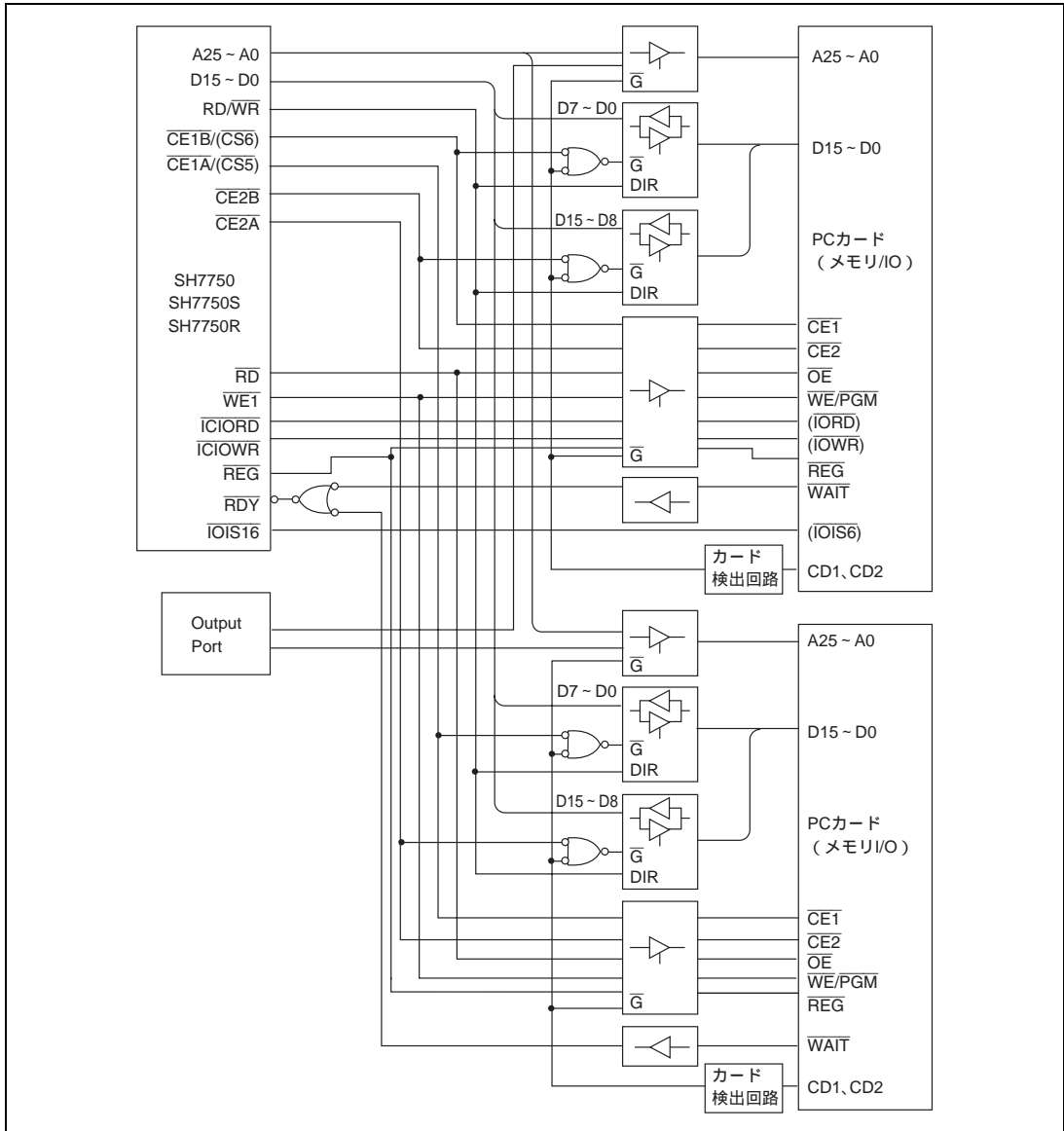


図 13.50 PCMCIA インタフェース例

(1) メモリカードインタフェース基本タイミング

図 13.51 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを、図 13.52 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

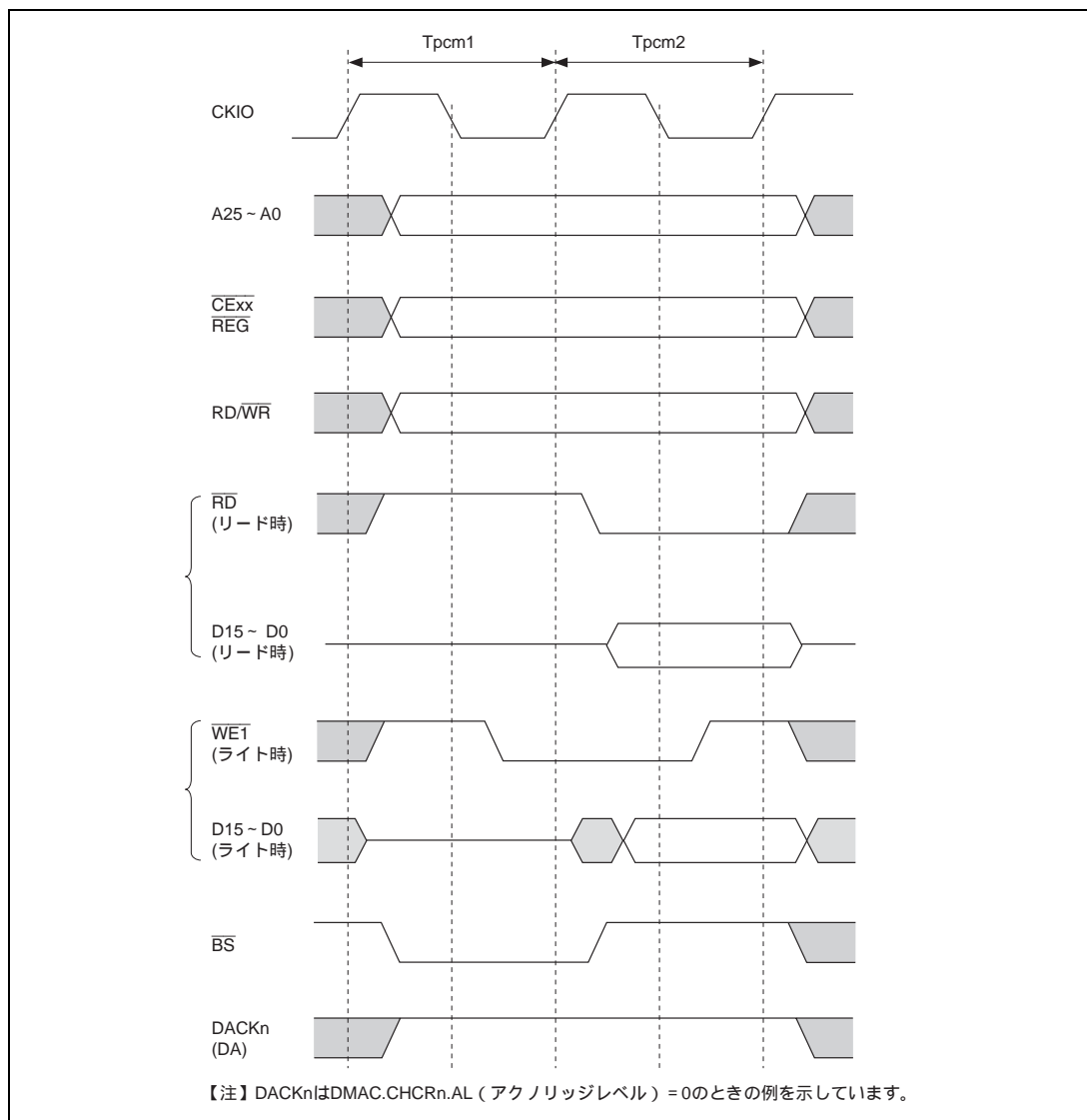


図 13.51 PCMCIA メモリカードインタフェース基本タイミング

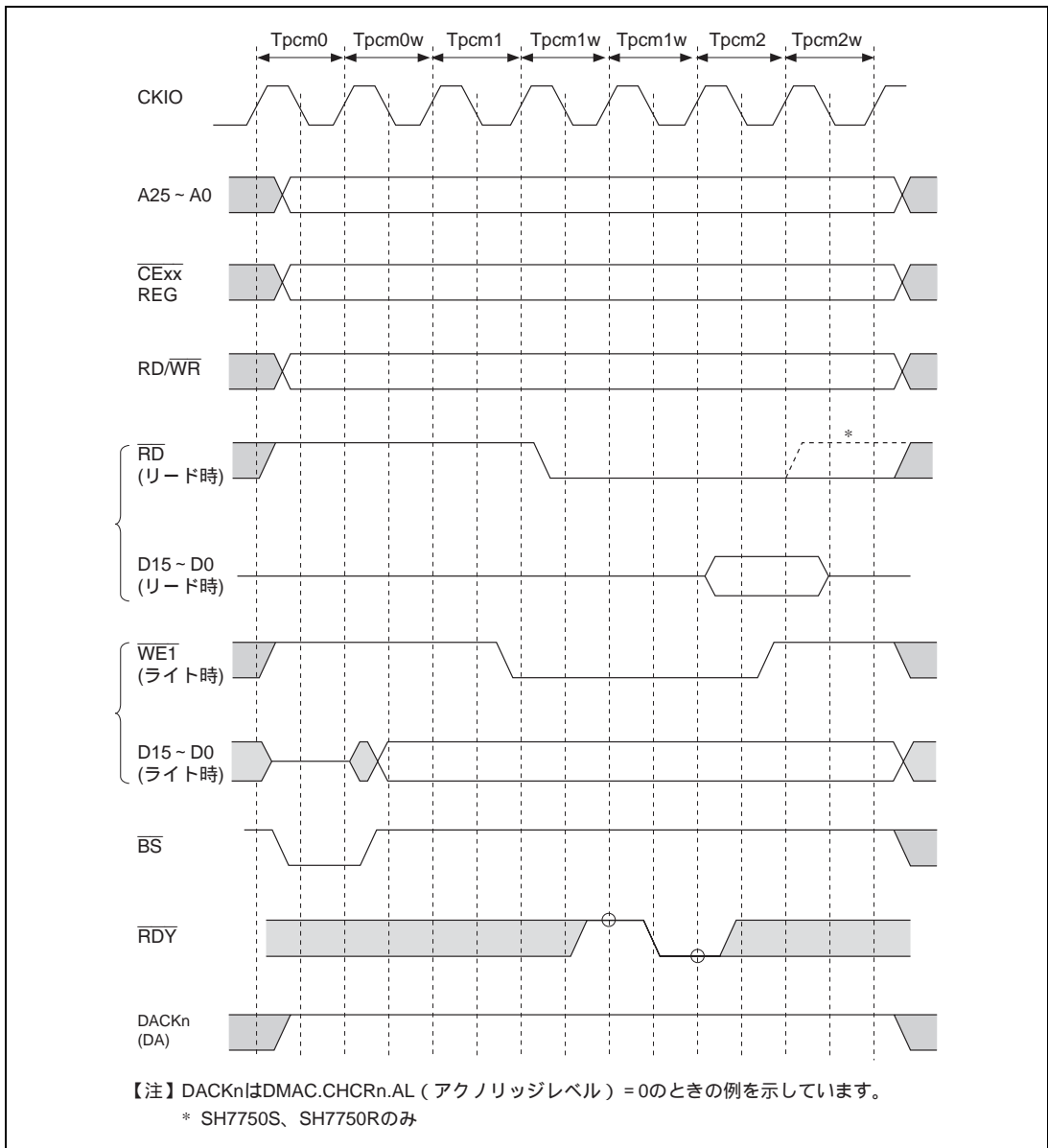


図 13.52 PCMCIA メモリカードインタフェースウェイトタイミング

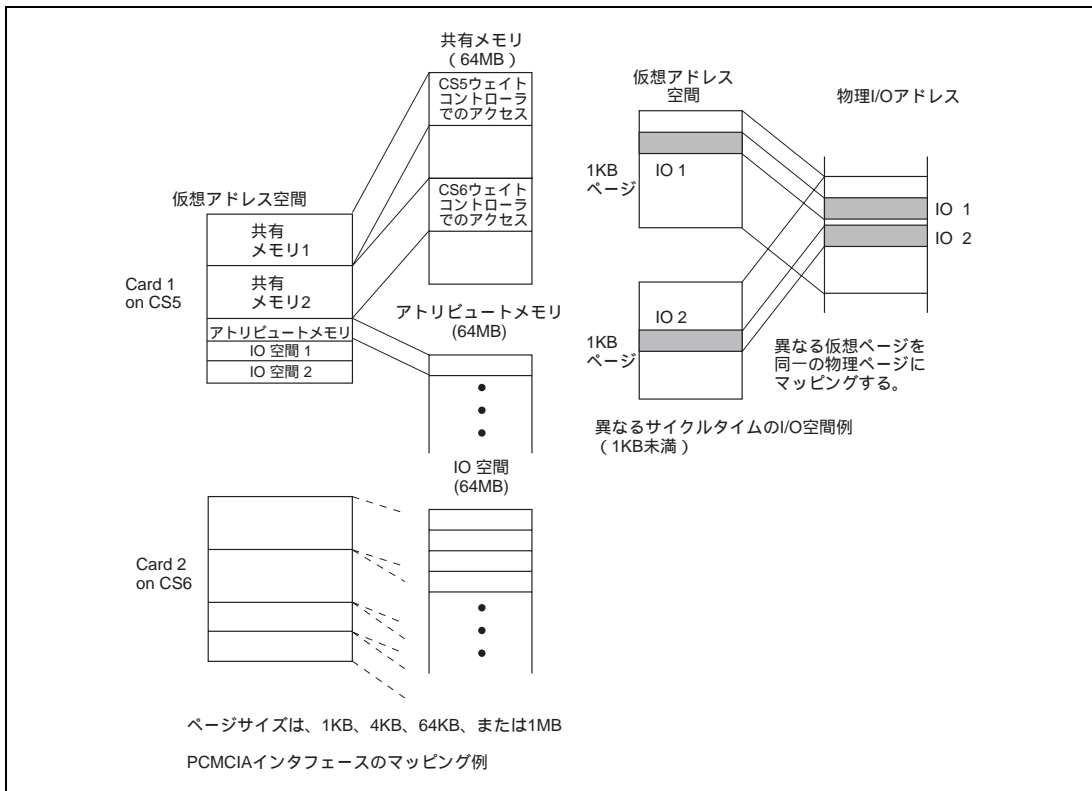


図 13.53 PCMCIA 空間割り付け

(2) I/O カードインタフェースタイミング

図 13.54、図 13.55 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス $2n+1$ に対するバイトサイズアクセスでも、ダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 13.56 に示します。

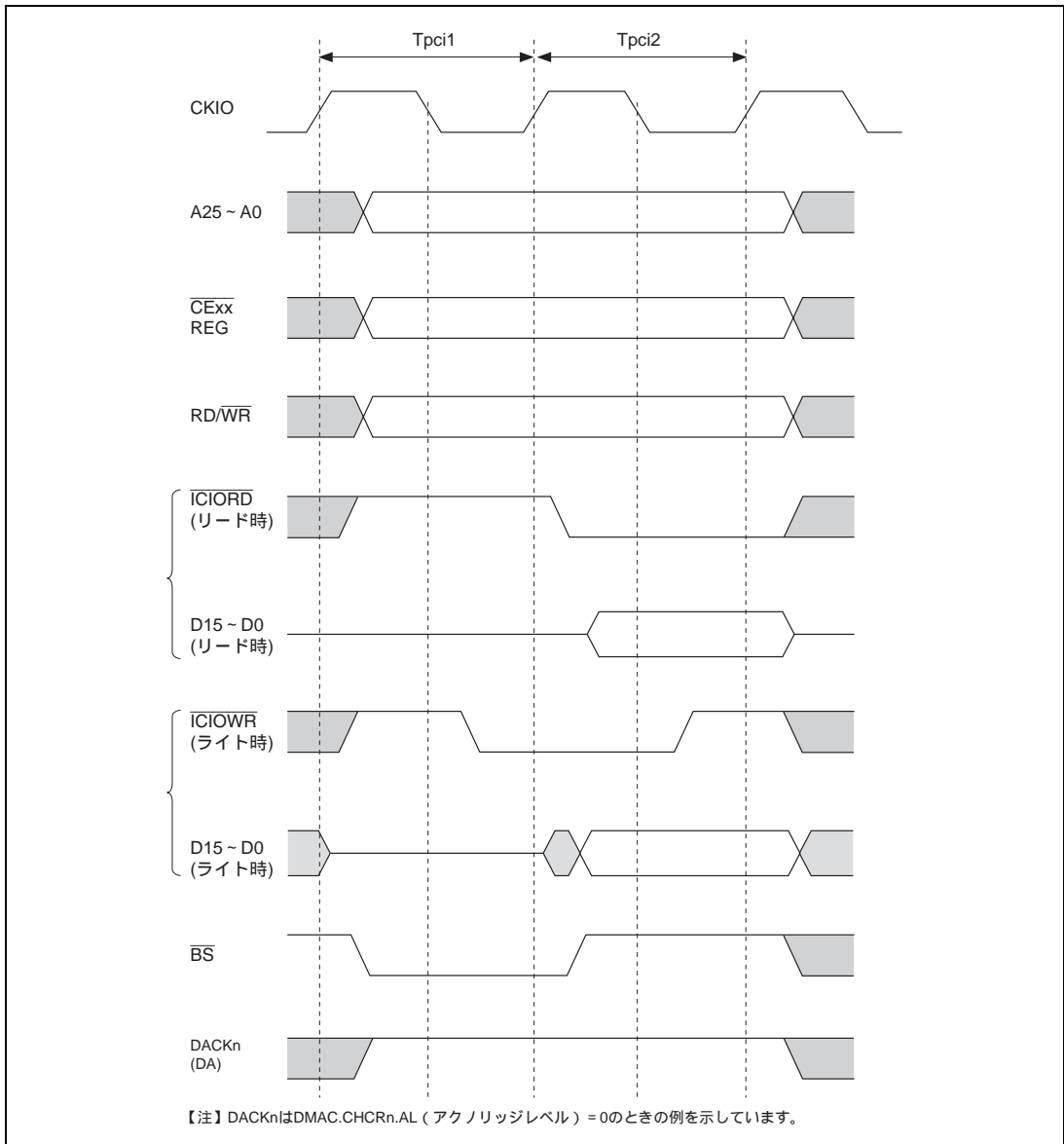


図 13.54 PCMCIA I/O カードインタフェース基本タイミング

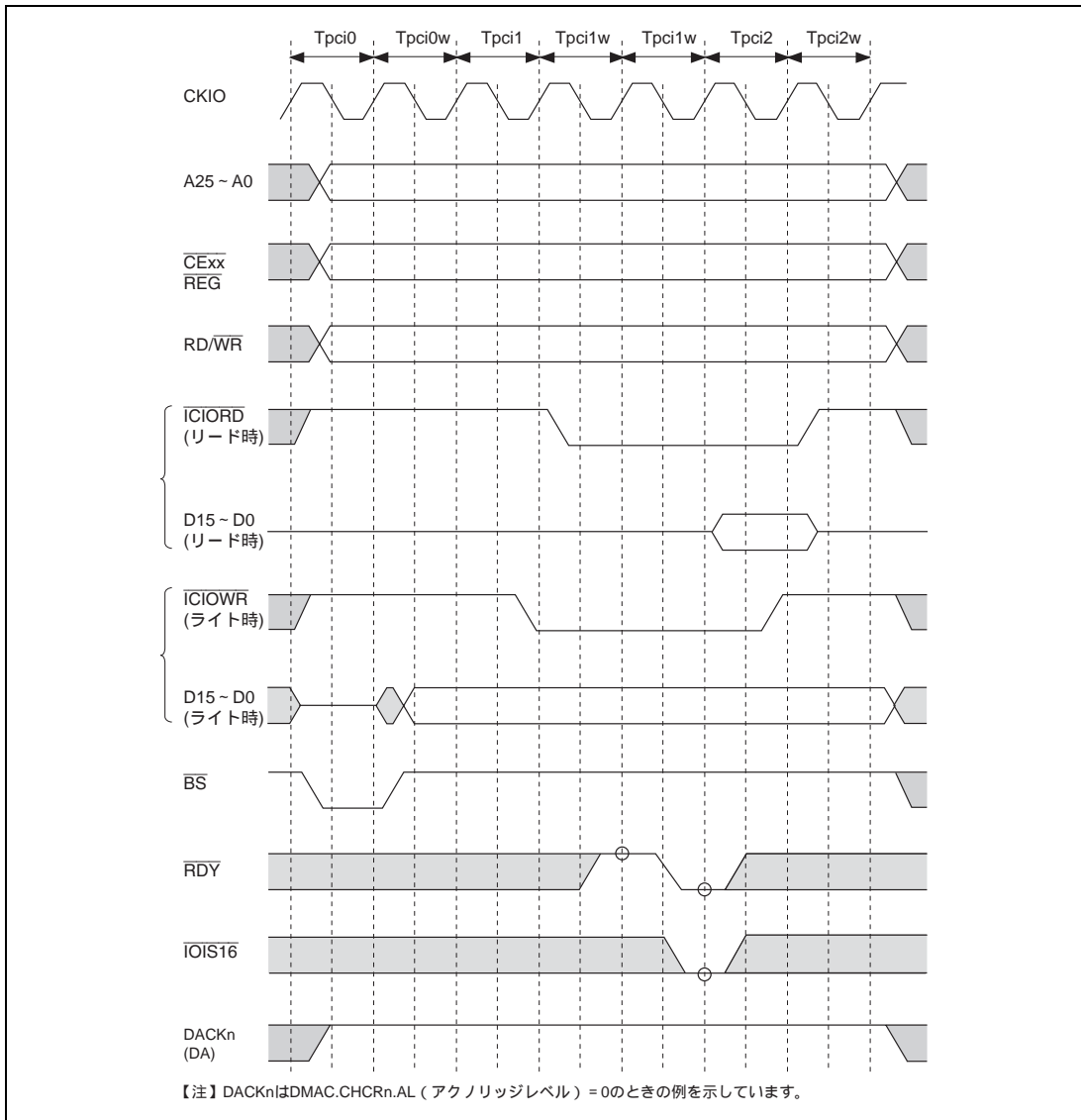


図 13.55 PCMCIA I/O カードインタフェースウェイトタイミング

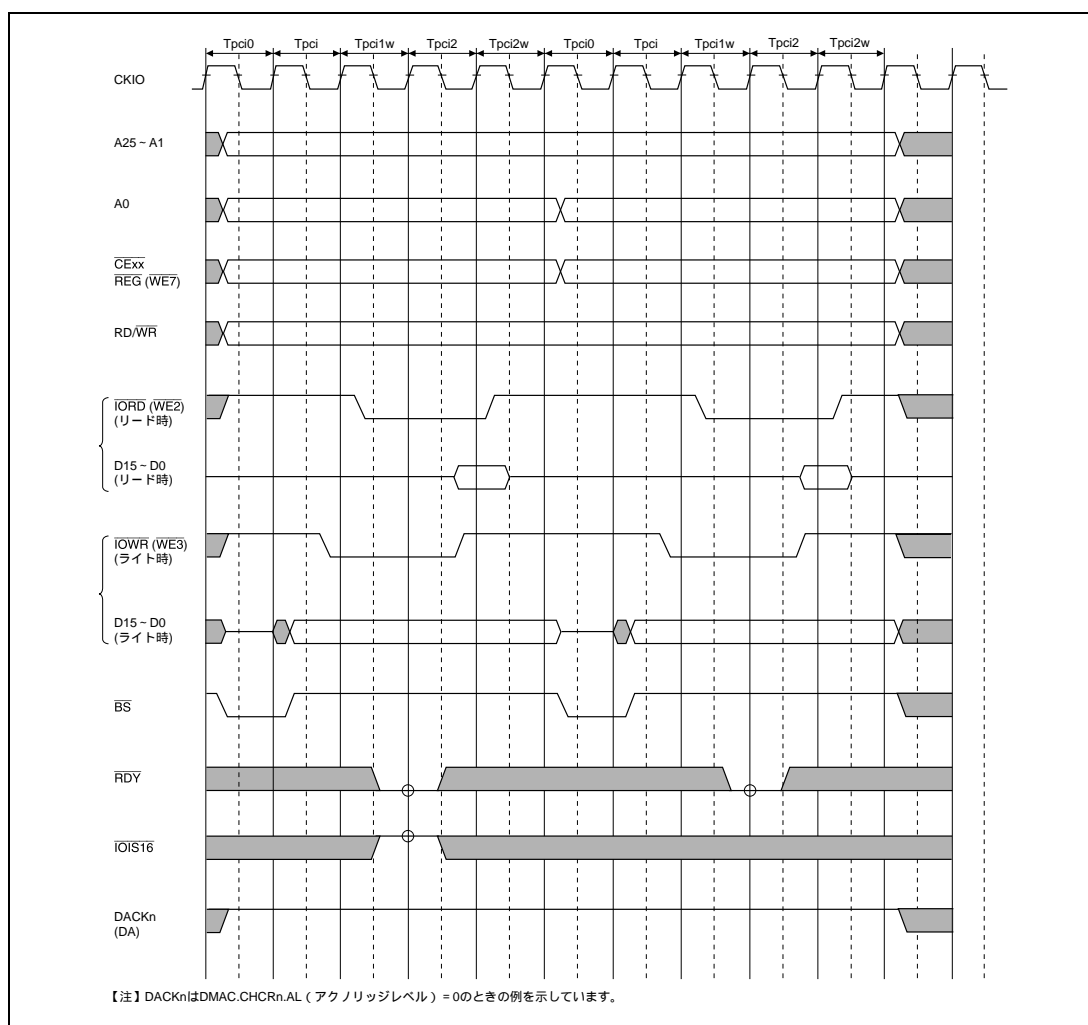


図 13.56 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

13.3.8 MPX インタフェース

$\overline{\text{RESET}}$ 端子によるパワーオンリセット時 MD6 端子を 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。BCR1 の MPX ビットおよび BCR3 の MEMMODE、A4MPX、A1MPX により、エリア 1~6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス/データマルチプレクス形式のバスプロトコルを提供し、アドレス/データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルは、アドレスフェーズとデータフェーズから成り、アドレスフェーズにおいてアドレス情報は D25~D0 に、アクセスサイズは D63~D61、D31~D29*に出力されます。 $\overline{\text{BS}}$ 信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後にネゲートされます。したがって最小ピッチでアクセスする場合はネゲート期間は生まれません。

$\overline{\text{FRAME}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始した時にネゲートされます。そのため、MPX インタフェースに対応する外部デバイスはアドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「13.3.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25~A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

【注】 * SH7750R のみ

D63	D62	D61	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	クワッドワード
1	x	x	32 バイトバースト

X : Don't care

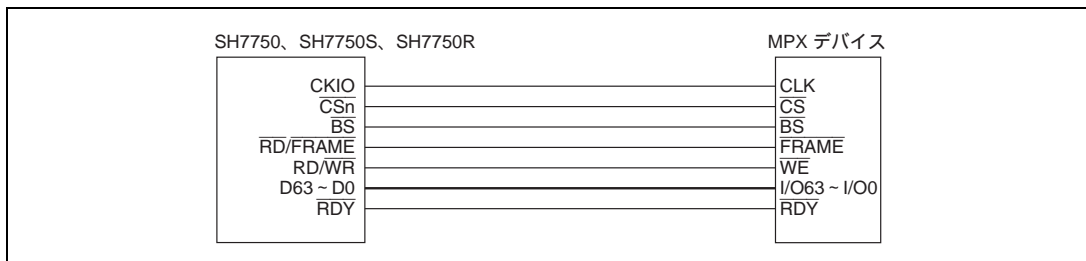


図 13.57 64 ビットデータ幅 MPX の接続例

次に MPX インタフェースタイミングを示します。

エリア 1~6 で MPX インタフェースを使用する場合、BCR2 によるバスサイズ指定は 32 または 64 ビットとしてください。

なお、ウェイト制御は WCR2 によるウェイトと $\overline{\text{RDY}}$ 端子によるウェイト挿入が可能です。

リード時は、WCR2 を 0 に設定していても、アドレス出力の次に自動的に 1 サイクルのウェイトが挿入されます。

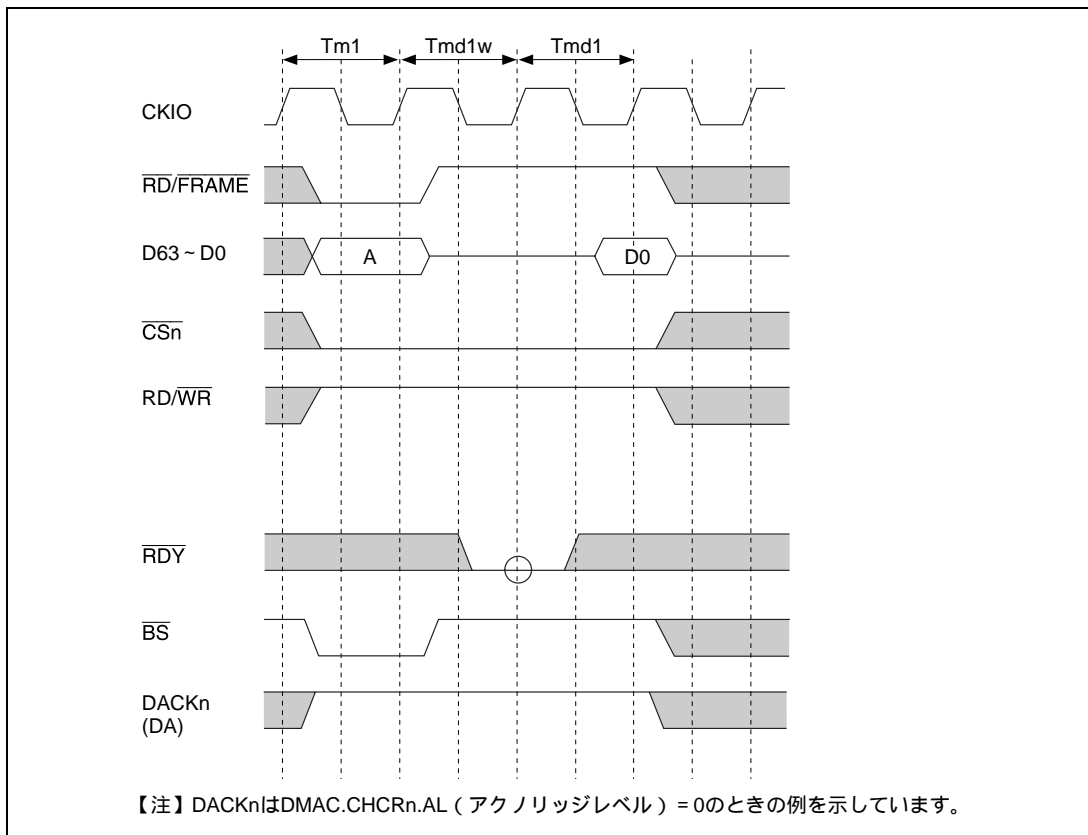


図 13.58 MPX インタフェースタイミング 1 (シングルリードサイクル、AnW = 0、外部ウェイトなし、バス幅 64 ビット)

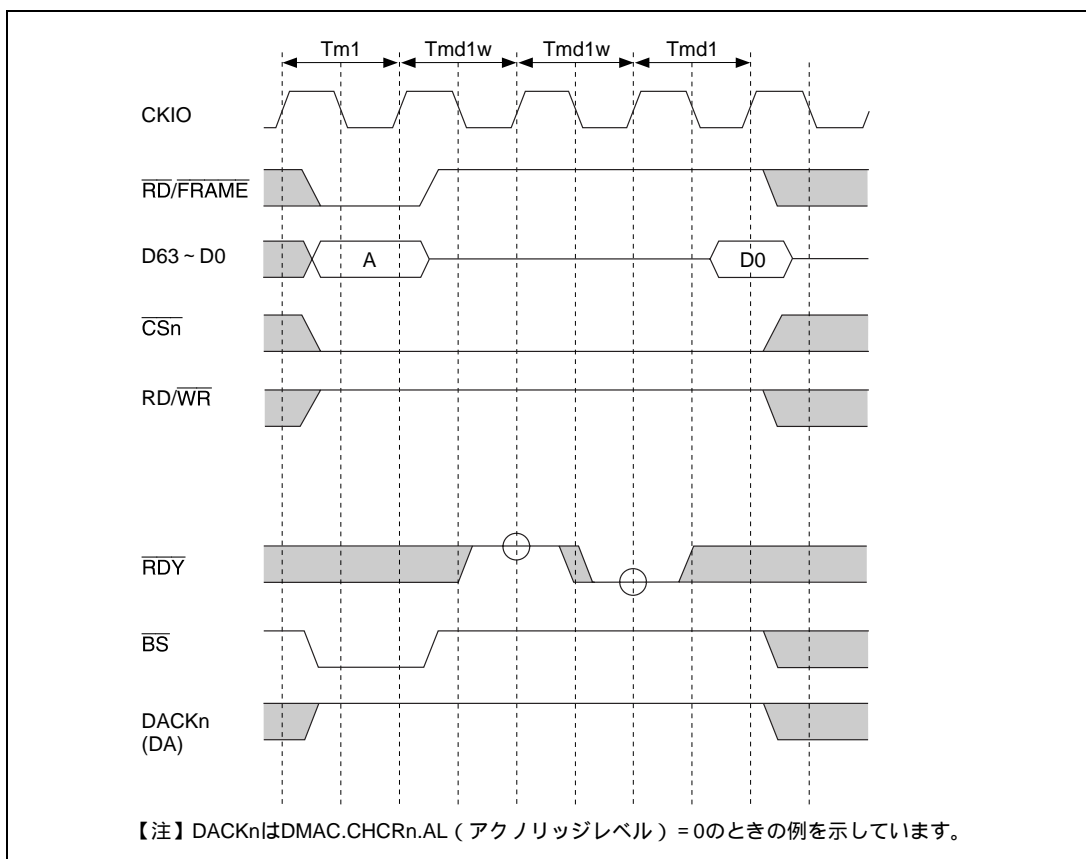


図 13.59 MPX インタフェースタイミング 2 (シングルリード、AnW=0、外部ウェイト 1 挿入、バス幅 64 ビット)

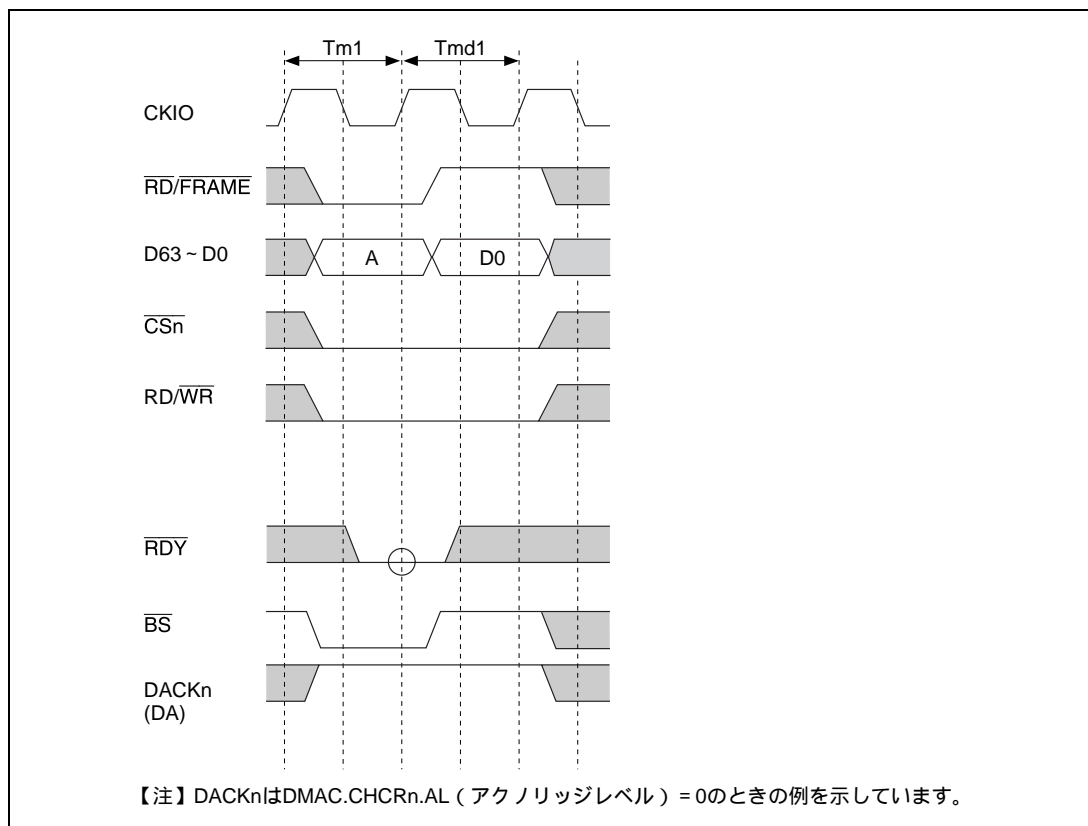


図 13.60 MPX インタフェースタイミング 3 (シングルライトサイクル、AnW=0、ウェイトなし、バス幅 64 ビット)

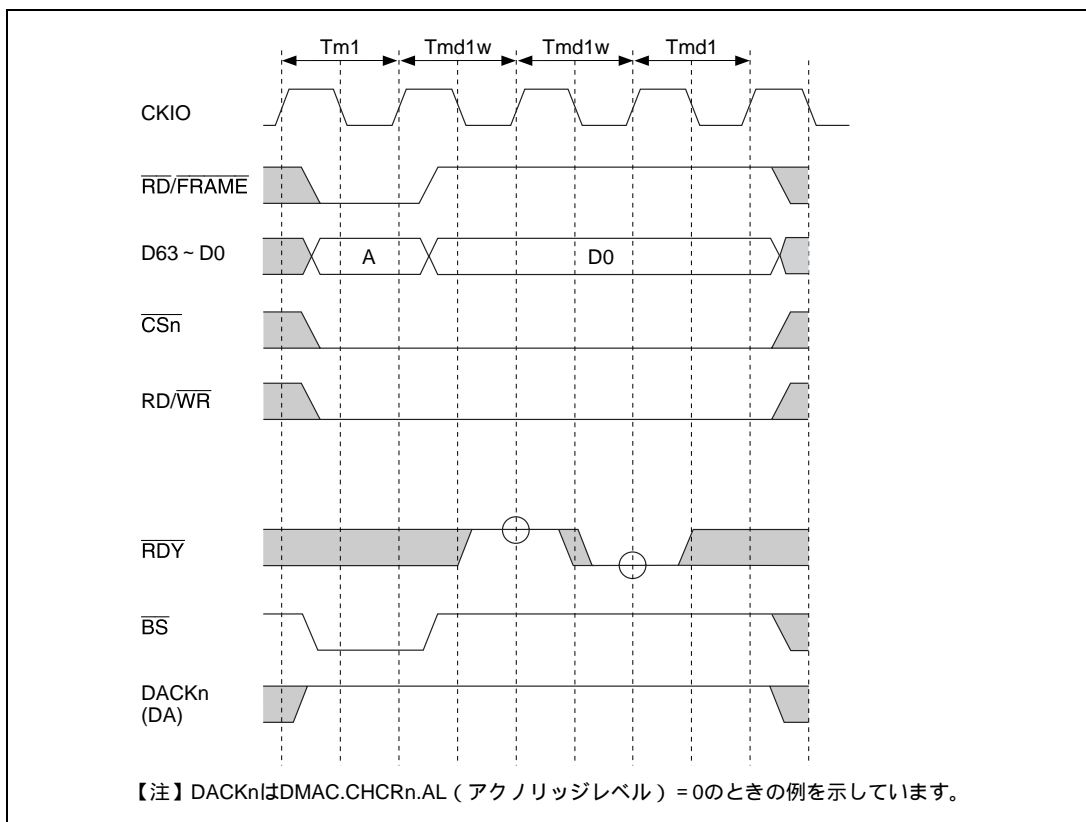


図 13.61 MPX インタフェースタイミング 4 (シングルライト、AnW=1、外部ウェイト1挿入、バス幅 64 ビット)

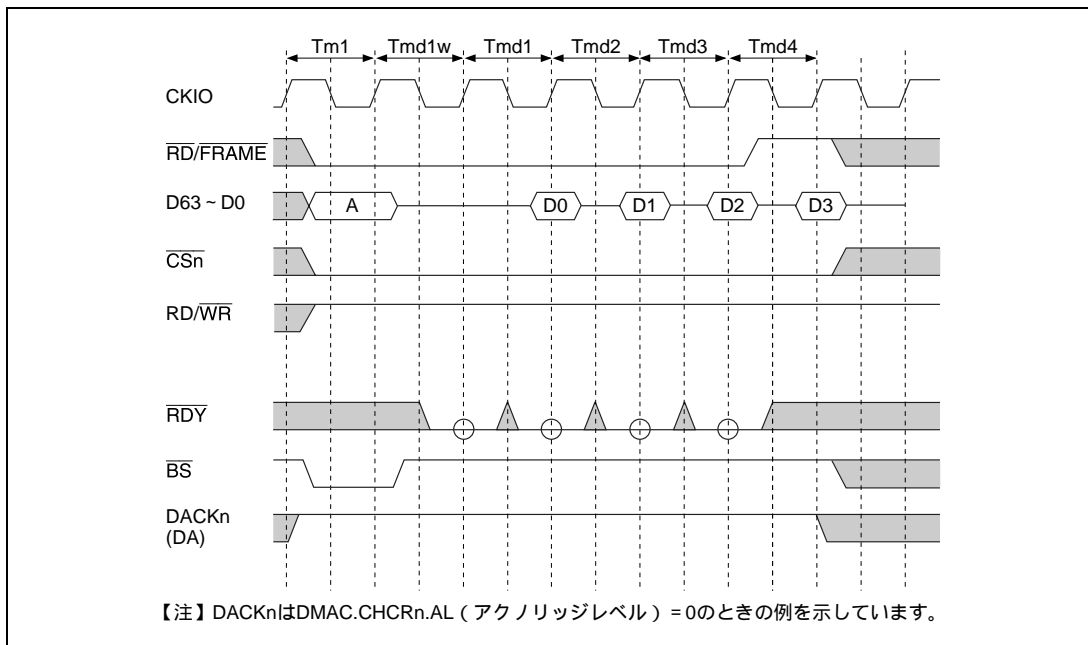


図 13.62 MPX インタフェースタイミング 5 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)

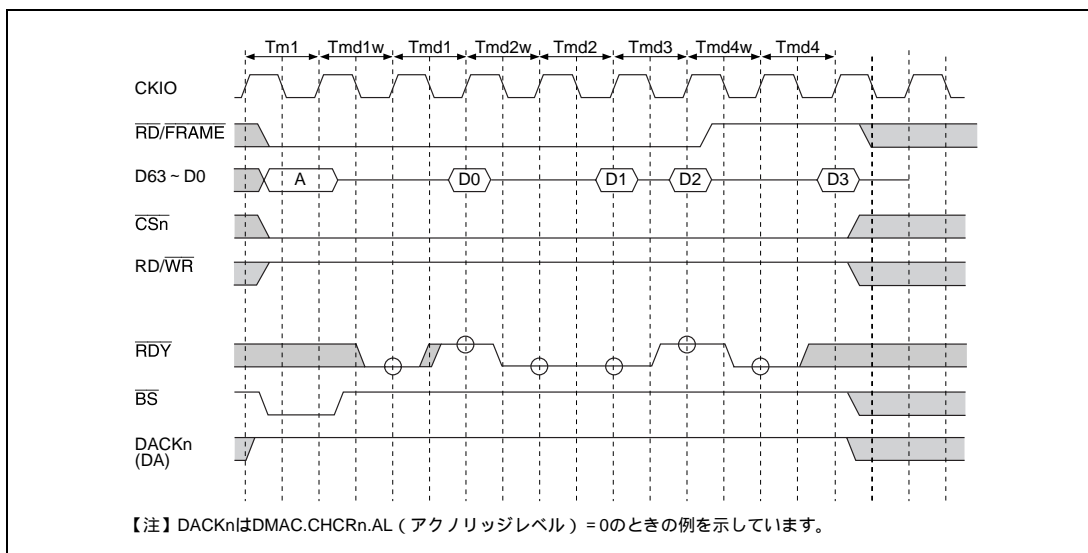


図 13.63 MPX インタフェースタイミング 6 (バーストリードサイクル、AnW=0、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)

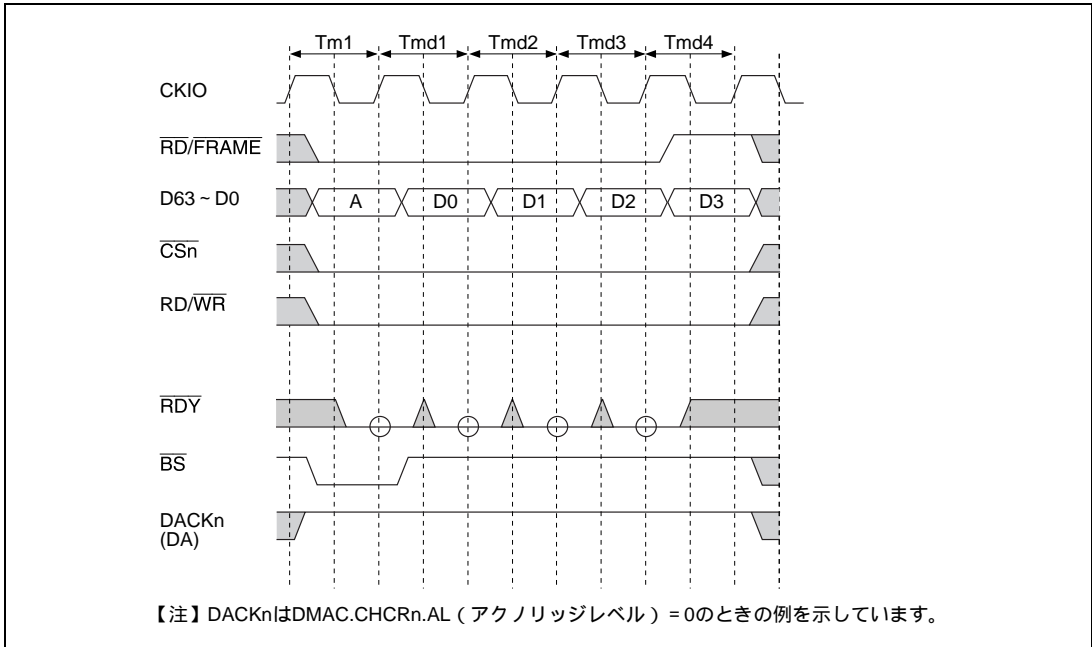


図 13.64 MPX インタフェースタイミング 7 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)

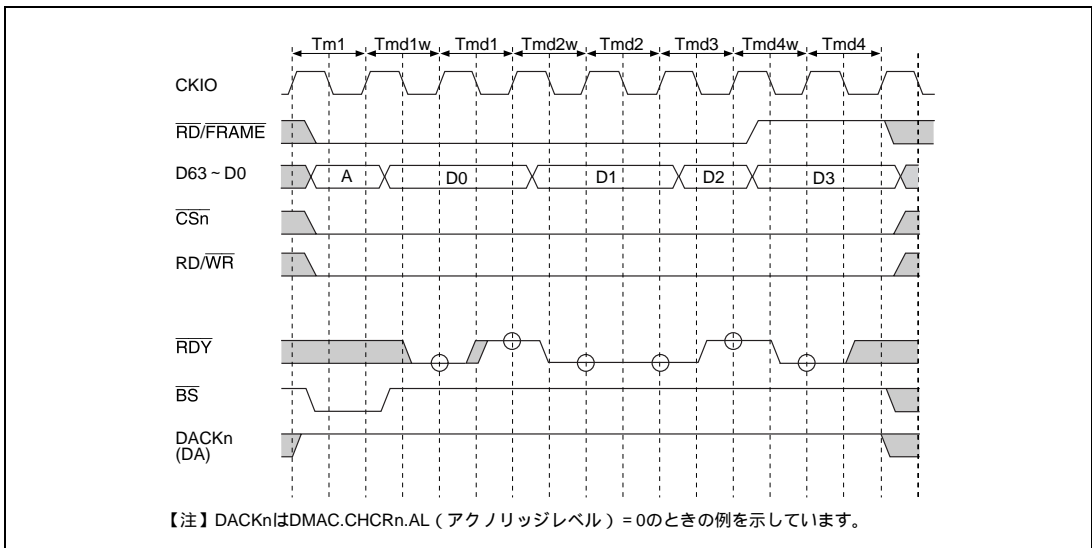


図 13.65 MPX インタフェースタイミング 8 (バーストライトサイクル、AnW=1、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)

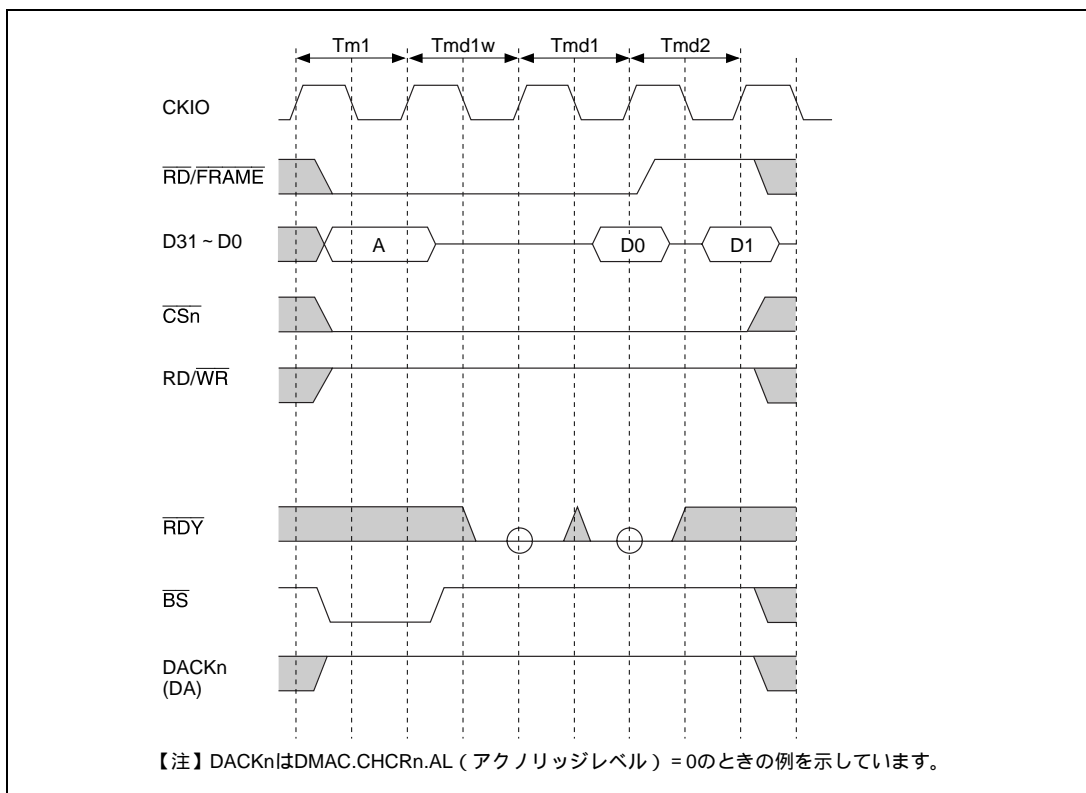


図 13.66 MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

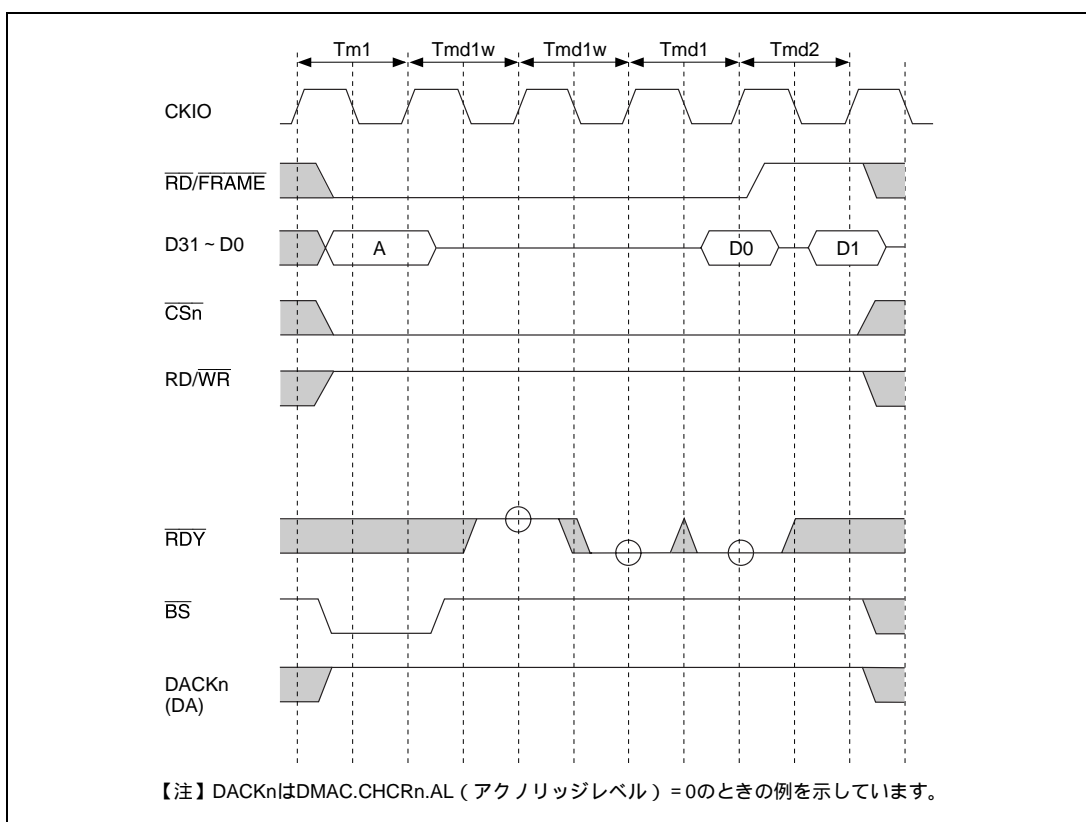


図 13.67 MPX インタフェースタイミング 10 (バーストリードサイクル、AnW=0、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)

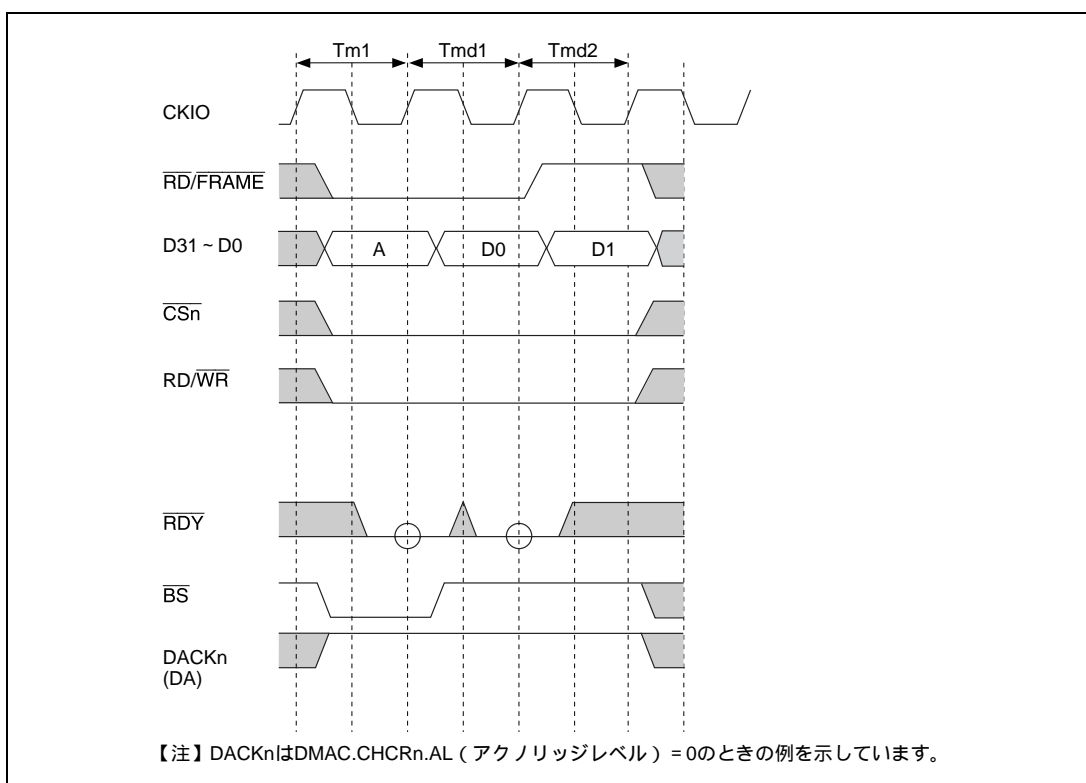


図 13.68 MPX インタフェースタイミング 11 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

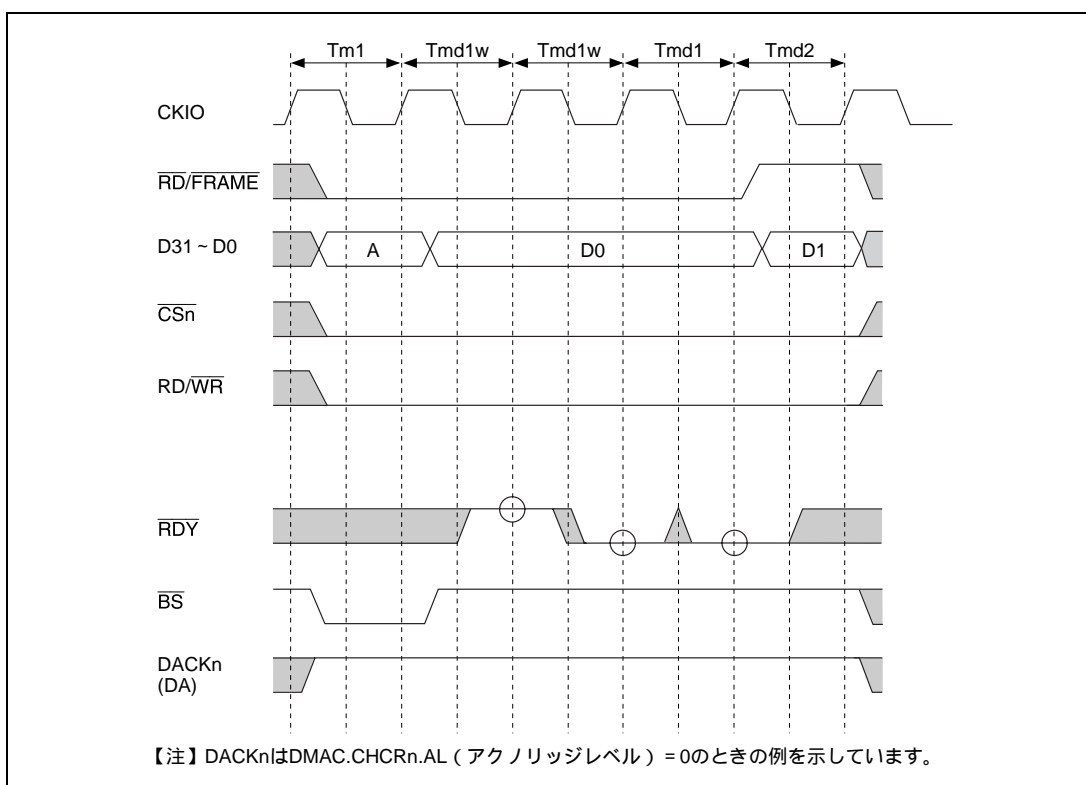


図 13.69 MPX インタフェースタイミング 12 (バーストライトサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)

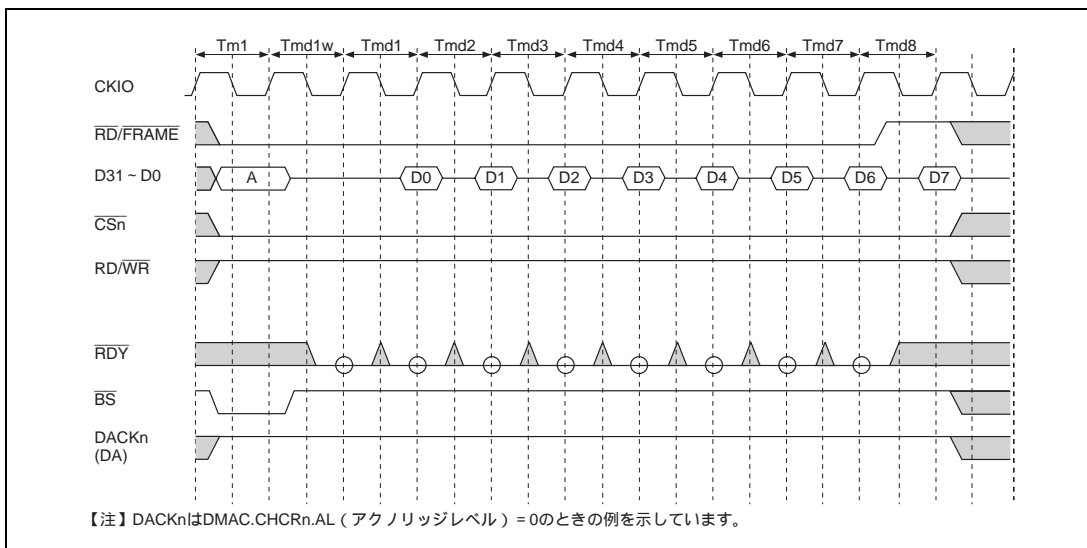


図 13.70 MPX インタフェースタイミング 13 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

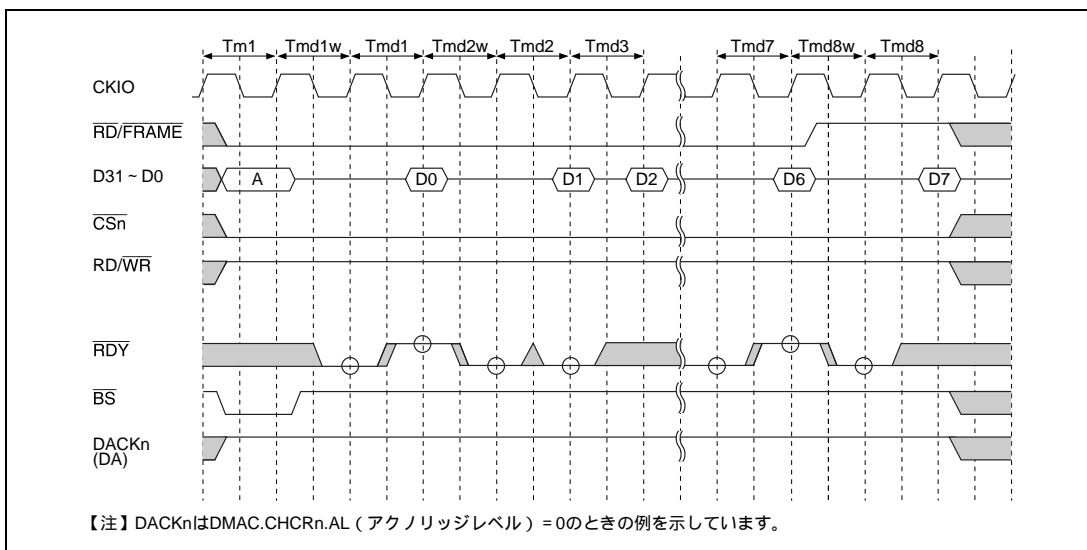


図 13.71 MPX インタフェースタイミング 14 (バーストリードサイクル、AnW=0、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

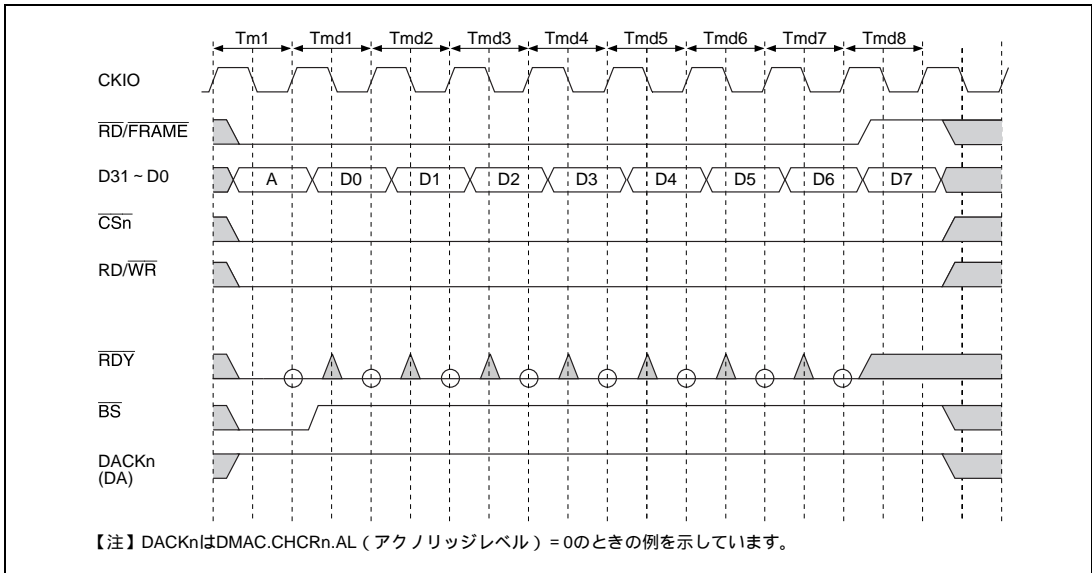


図 13.72 MPX インターフェースタイミング 15 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

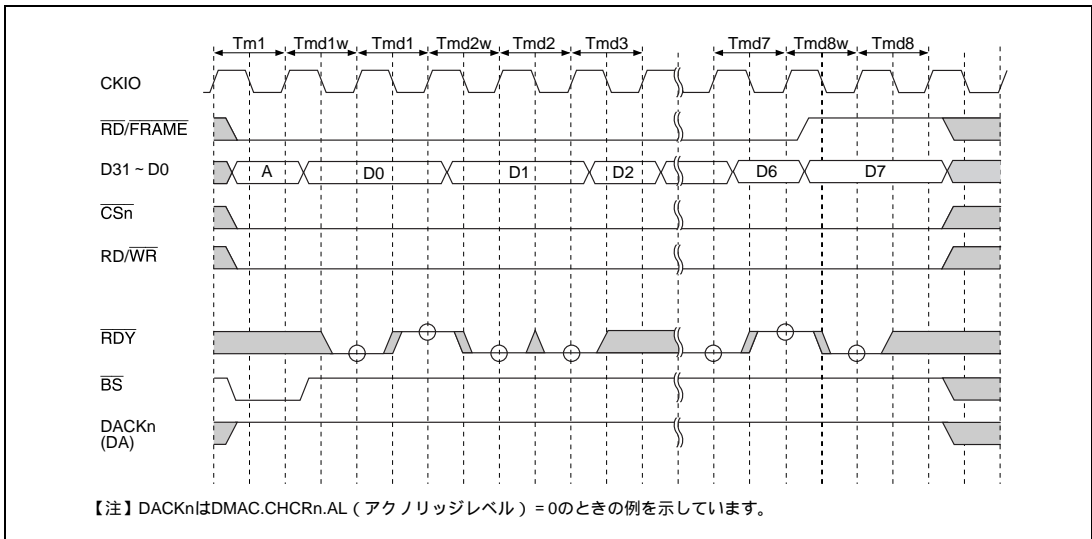


図 13.73 MPX インターフェースタイミング 16 (バーストライトサイクル、AnW=1、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

13.3.9 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロープ ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロープ、下位バイトセレクトストロープ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。ただし、これらのエリアが MPX モードに設定されると、MPX モードに優先権があります。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{WE_n}$ 端子のタイミングが異なります。リードアクセス時、読み込むバイトの \overline{WE} 信号だけがアサートされます。アサートは \overline{WE} 信号と同じく、CKIO クロックの立ち下がりに同期して行われますが、ネゲートは、CKIO クロックの立ち上がりに同期して行われ、これは、 \overline{RD} 信号と同じタイミングになります。

キャッシュフィル/コピーバックなどの 32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続で行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

図 13.74 にバイト制御 SRAM の接続例を、図 13.75 ~ 図 13.77 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

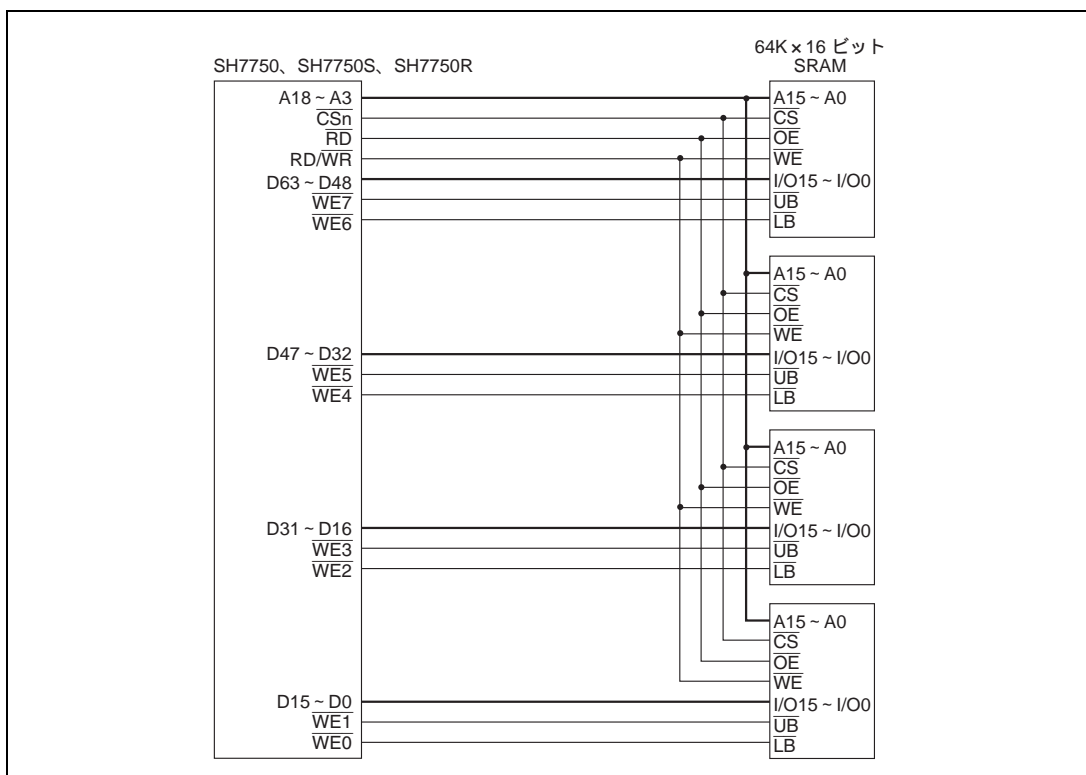


図 13.74 64 ビットデータ幅バイト制御 SRAM の例

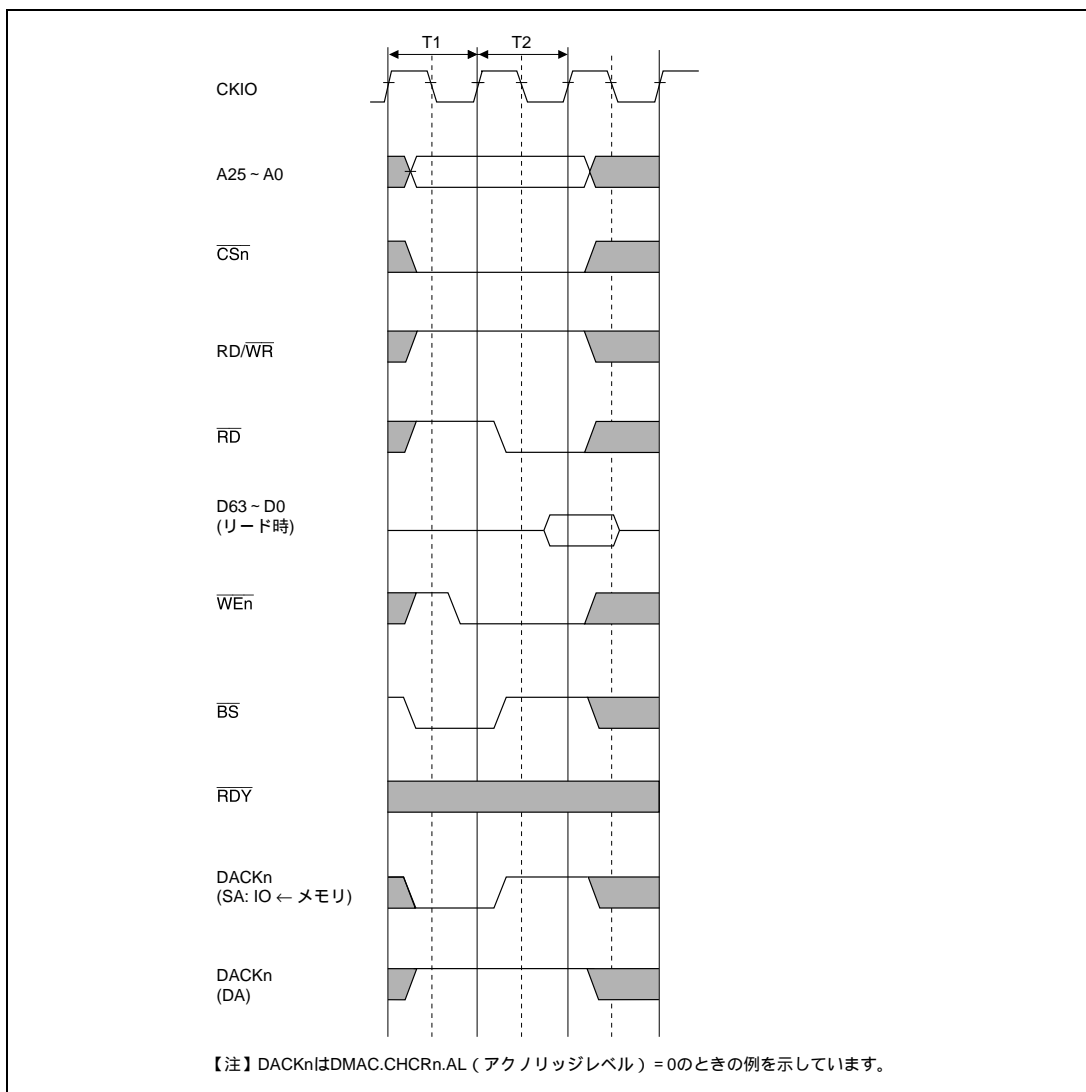


図 13.75 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

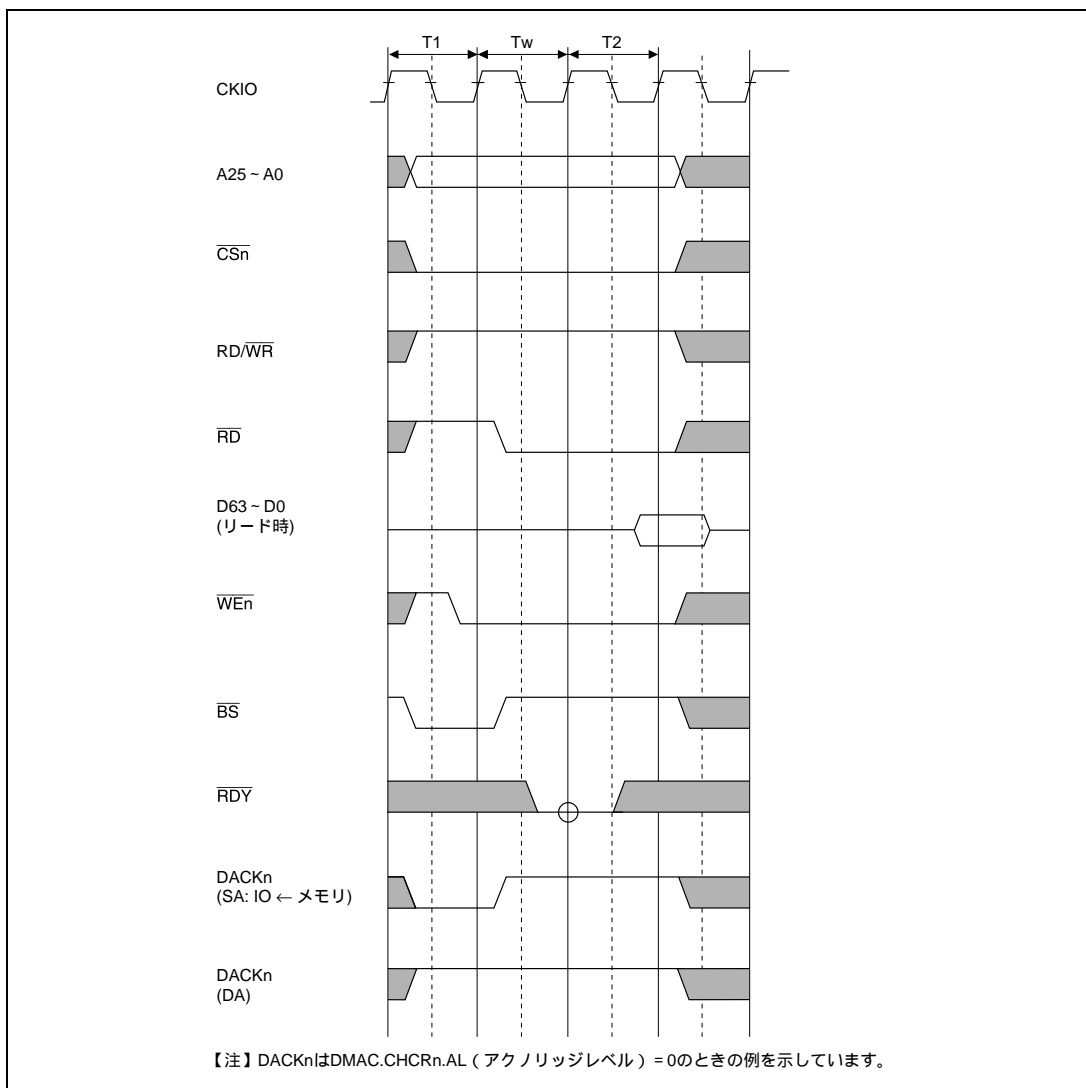


図 13.76 バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)

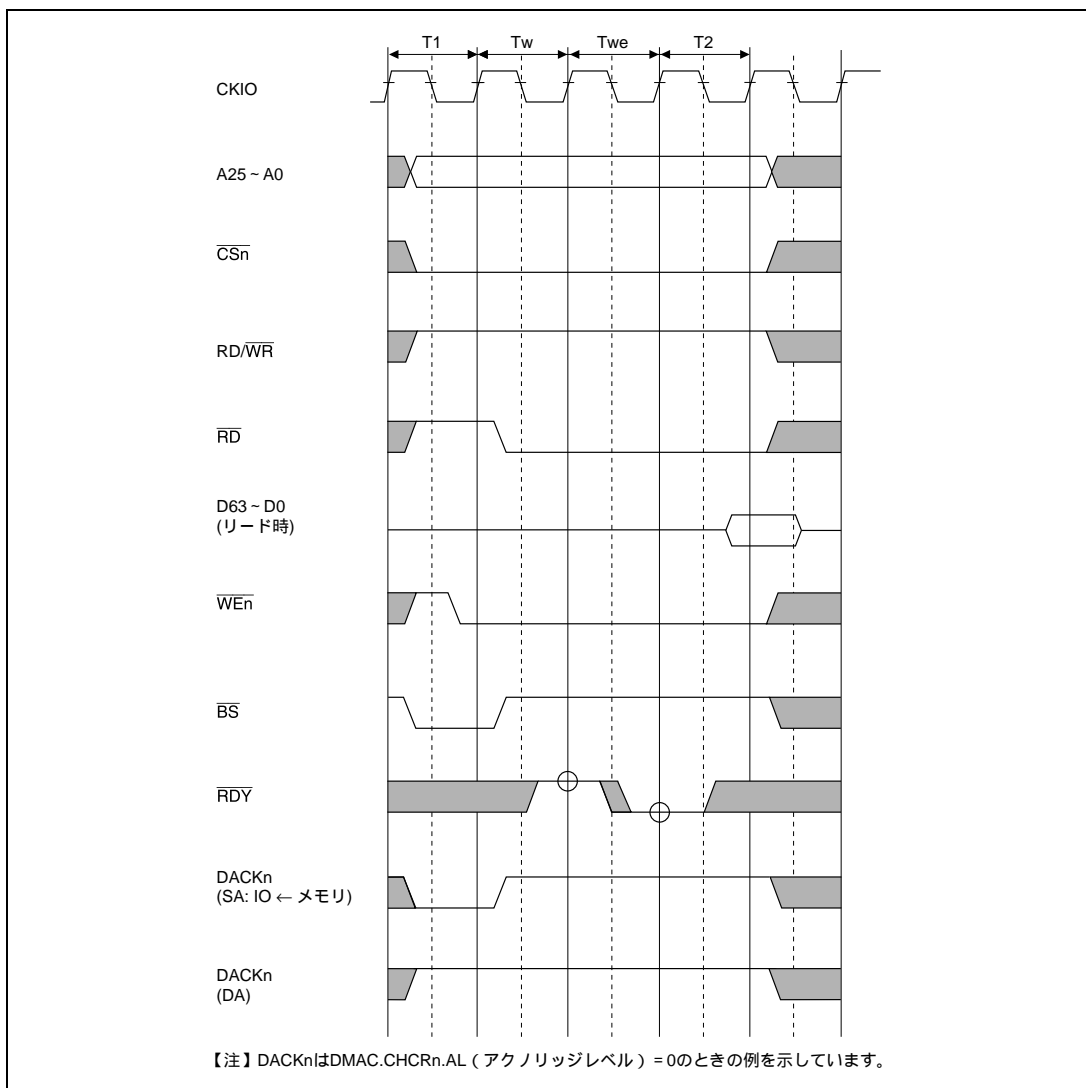


図 13.77 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

13.3.10 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「13.2.5 ウェイトコントロールレジスタ 1 (WCR1)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI からほかのメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出力されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW2 ~ AnIW0 ビット ($n=0\sim 6$) によって、アクセス間に空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、サイクル間ウェイトが挿入された後、バスが解放されます。

シングルアドレスモードの DMA 転送では、I/O デバイスからメモリへの転送時には、バス上のデータは、I/O デバイスのスピードによって決定されます。低速な I/O デバイスを使用する場合、出力バッファのターンオフ時間に相当するサイクル間ウェイトの挿入が必要になることがあります。また、高速なメモリを使用しても、DMA 転送を考慮すると、低速デバイスのスピードに合わせるためにサイクル間、ウェイトの挿入が必要になることがあります。そのメモリ本来のスピードが使用できないこともあります。

ウェイトコントロールレジスタ 1 (WCR1) の DMAIW2 ~ DMAIW0 ビットを使用すると、I/O デバイスからメモリへの DMA 転送をシングルアドレスモードで行うとき、サイクル間ウェイト挿入の設定を行うことができます。挿入できるウェイト数は 0 ~ 15 です。DMAIW2 ~ DMAIW0 ビットで指定されたウェイト数が、全エリアでのシングルアドレスモード DMA 転送時に挿入されます。

なお、デュアルアドレスモードでの DMA 転送の場合には、AnIW2 ~ AnIW0 ビット (n は 0 ~ 6) によって指定された通常のサイクル間ウェイトが挿入されます。

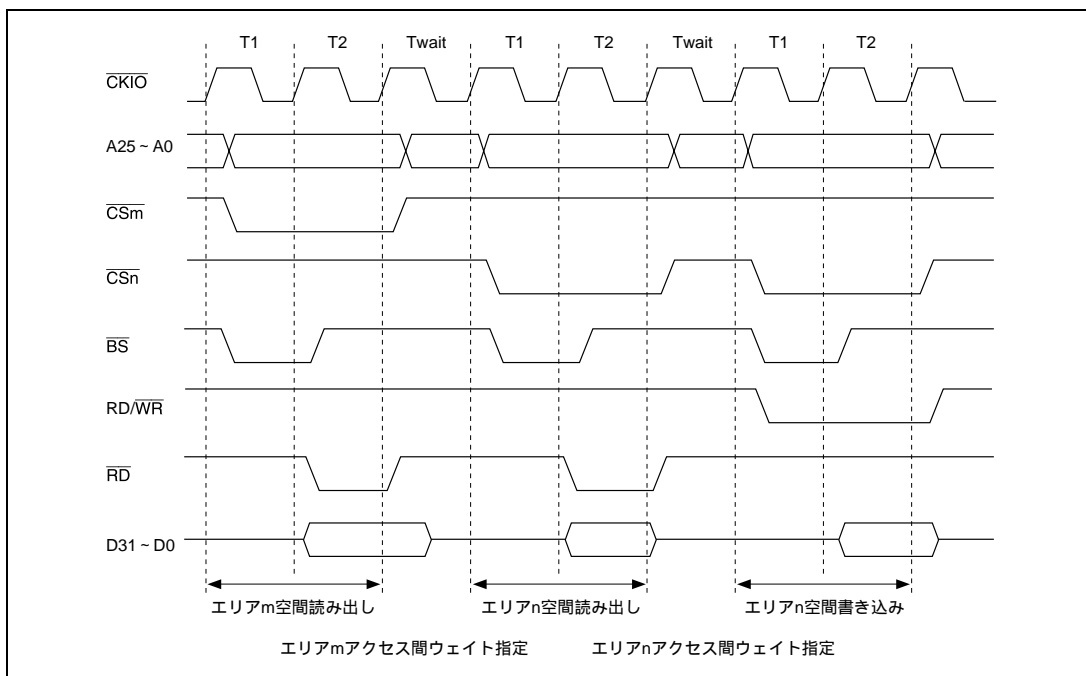


図 13.78 アクセスサイクル間ウェイト

13.3.11 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

バスアービトレーションには、マスタモード、部分共有マスタモード、スレーブモードの 3 つのモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行うモードです。スレーブモードは定常状態でバス権を有しておらず、外部バスアクセスサイクルが発生するごとにバス権の要求を行い、アクセス終了後はバスを再び解放するモードです。部分共有マスタモードは外部デバイスとエリア 2 のみを共有し、エリア 2 に関してはスレーブモード、それ以外の空間に対してはバスアービトレーションを行わず、常にバス権を保持しているモードです。部分共有マスタモードのチップのエリア 2 を、マスタモードのチップのどのエリアに割り当てるかは、外付け回路によって決められます。

マスタモードとスレーブモードは外部モードピンの設定によって指定できます。部分共有マスタモードはマスタモードからソフトウェアの設定で移行します。外部モードピンの設定は「付録 C. モード端子の設定」を参照してください。マスタモードとスレーブモードでは、バス権を所有していないときにはバスをハイインピーダンス状態とします。部分共有マスタモードでは、バスを常にドライブしているため、マスタのバスに接続するためには外付けのバッファが必要です。マスタモードでは、バス権要求を行う外部デバイスを接続することができます。以下の説明ではバス権要求を行う外部デバイスもスレーブと呼びます。

本 LSI の内部には CPU と DMAC という 2 つのバスマスタがあります。また、シンクロナス DRAM、DRAM を接続して、リフレッシュ制御を行わせる場合、リフレッシュ要求は第 3 のバスマスタとなります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関する優先順位は、高い方から順に、外部デバイスによるバス権要求、リフレッシュ要求、DMAC、CPU の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録 E. 端子機能」を参照してください。

また、リフレッシュ要求が発生すると、本 LSI は実行中のバスサイクルが終わり次第、リフレッシュ動作を行います。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中では、リフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間

やDMACのデュアルアドレス転送実行時のリードサイクルとライトサイクルの間も、リフレッシュ動作は待たされず、バス権解放状態でもリフレッシュ動作は待たされず。

シンクロナスDRAMインタフェースがRASダウンモードに設定されている場合、リフレッシュサイクルの前またはバスアービトレーションによるバス解放の前にPALLコマンドが発行されます。

本LSI内部のCPUは、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI内部または外部の他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPUからの書き込みの場合、本LSIのキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

本LSIでは、内部でメモリリフレッシュ要求によりバス権を取り戻したい場合は、本LSIは $\overline{\text{BACK}}$ をネゲートします。外部バス解放要求をアサートしているデバイスは、 $\overline{\text{BACK}}$ のネゲートを受けてバス権を解放するために $\overline{\text{BREQ}}$ をネゲートします。これによりバス権が本LSIに戻り本LSIが処理を行います。

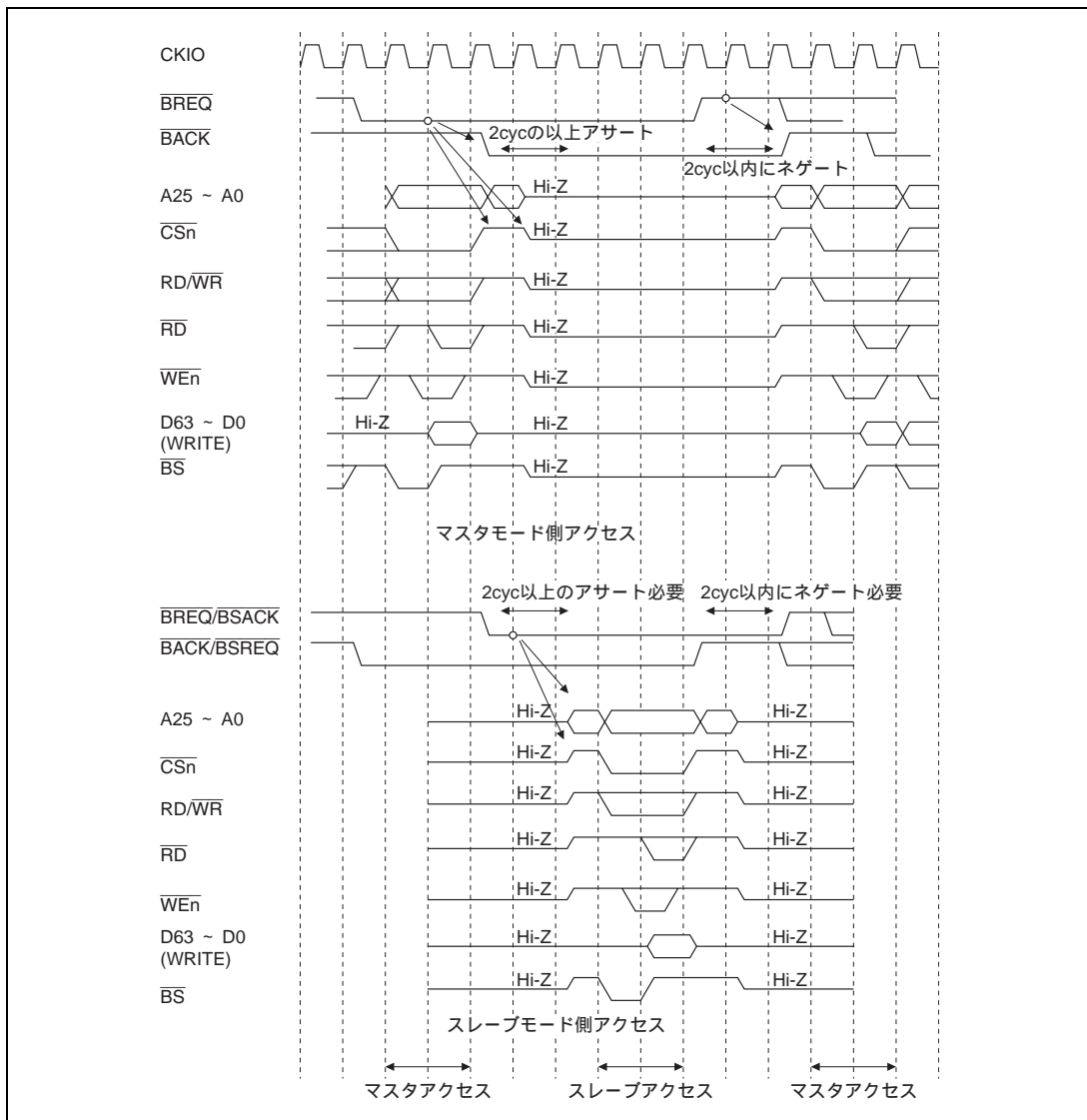


図 13.79 アービトレーションシーケンス

13.3.12 マスタモード

マスタモードのプロセッサはバス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (L レベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (L レベル) にします。リフレッシュ要求によるバス権要求が出ていない場合は、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (H レベル) を受けて $\overline{\text{BACK}}$ をネゲート (H レベル) し、バスの使用を再開します。

バス権解放状態でメモリリフレッシュ要求によるバス権要求が出た場合、バス使用許可 ($\overline{\text{BACK}}$) をネゲートし、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲートを受けて、バスの使用を再開します。

バス解放時はシンクロナス DRAM インタフェースの CKE とバスアービトレーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する DACK0、DACK1 を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

DRAM はプリチャージを完了させてからバスを解放します。シンクロナス DRAM も、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、バス使用許可信号をクロックの立ち上がりに同期してアサートします。この $\overline{\text{BACK}}$ アサートの次のクロックの立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS1}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{WE}}_n$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 、 $\overline{\text{RD2}}$ 、 $\overline{\text{RD}}/\overline{\text{WR2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、直ちに $\overline{\text{BACK}}$ をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してリフレッシュ動作、バスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ 信号のネゲートが必要です。

$\overline{\text{BACK}}$ をアサートしバスを解放している状態でリフレッシュ要求が発生した場合、バス権の放棄をスレーブに要求するために、 $\overline{\text{BREQ}}$ 信号がアサートされている状態でも $\overline{\text{BACK}}$ 信号をネゲートします。本 LSI をマスタモードで使用し、ユーザが個別に設計したスレーブの場合アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。連続した複数回のアクセスの合計時間がリフレッシュ周期を超えるスレーブを接続する場合には、 $\overline{\text{BACK}}$ 信号のネゲートを検出したとき、できるだけ速やかにバス権を解放するように設計を行ってください。

13.3.13 スレーブモード

スレーブモードでは通常、バスは解放状態となっており、バスアービトレーションシーケンスを行ってバス権を獲得しない限り、外部デバイスにアクセスすることはできません。リセット時もバス解放状態であり、リセットベクタのフェッチからバスアービトレーションシーケンスが開始されます。

バス権獲得のためにクロックの立ち上がり同期して \overline{BSREQ} 信号をアサート (L レベルに) します。バス使用許可である \overline{BSACK} 信号のアサート (L レベル) をクロック立ち上がりでサンプリングします。 \overline{BSACK} のアサートを検出すると、直ちにバス制御信号とアドレスをネゲートレベルでドライブします。これに続くクロックの立ち上がりで、バスサイクルを開始します。アクセスサイクルの終了時に最後にネゲートされる信号はクロック立ち上がり同期しています。バスサイクル終了と同時に \overline{BSREQ} 信号をネゲートしバスの解放をマスタに通知します。次のクロックの立ち上がりで、制御信号をハイインピーダンスにします。

スレーブモードのプロセッサがアクセスを開始するためには、2 サイクル以上の \overline{BSACK} 信号のアサートが必要です。

スレーブのアクセスサイクルが DRAM、シンクロナス DRAM の場合、マスタ同様にメモリのプリチャージが完了した時点でバス権の解放を行います。

リフレッシュ制御はマスタモードのデバイスに任せるため、スレーブモードでリフレッシュ制御の設定を行っても無視されます。

スレーブモードでは DRAM/シンクロナス DRAM の RAS ダウンモードは使用しないでください。

シンクロナス DRAM のモードレジスタ設定はマスタモードのデバイスで行ってください。

スレーブモードでは DMAC の DDT モードは使用しないでください。

13.3.14 部分共有マスタモード

部分共有マスタモードでは、エリア 2 のみを他のデバイスと共有しており、それ以外のエリアについては常時アクセス可能となっています。部分共有マスタモードに設定するためには、外部モードピンによってマスタモードに設定を行い、パワーオンリセット時の初期化手順の中で、BCR1 の PSHR ビットを 1 に設定することによって部分共有マスタモードとすることができます。この設定を行うまでエリア 2 をアクセスしないでください。マニュアルリセットの際にはバスステートコントローラの設定レジスタの値は保存されるので、再度設定する必要はありません。

部分共有マスタモードはマスタモードのチップと組み合わせることを前提として設計されています。部分共有マスタはエリア 2 を介してマスタ側のデバイスにアクセスすることができますが、マスタは部分共有マスタ側のデバイスにアクセスすることはできません。

部分共有マスタとマスタの間にはアドレス、制御信号のバッファとデータのバッファを置き、バッファコントロール回路による制御が必要とされます。

部分共有マスタモードのプロセッサがエリア 2 にアクセスを行う場合、次の手順で行います。クロック立ち上がりで \overline{BSREQ} をアサートし、マスタにバス権の要求を行います。クロック立ち上がりごとに \overline{BSACK} をサンプリングし、 \overline{BSACK} のアサートを受けて次のクロック立ち上がりからアクセスサイクルを開始します。アクセス終了後、クロック立ち上がりで \overline{BSREQ} をネゲートします。部分共有マスタからエリア 2 のデバイスをアクセスするときのバッファの制御は、部分共有マスタ側の $\overline{CS2}$ もしくは \overline{BSREQ} 信号と \overline{BSACK} 信号を参照して行います。部分共有マスタに接続される \overline{BSACK} によってバス権の使用許可が通知されますが、バスを使っている最中でもリフ

レッシュなどをサービスするため、マスタがバスを緊急に必要とする場合は \overline{BSACK} 信号はネゲートされることがあります。このため、 \overline{BSACK} のアサートを検出した以降部分共有マスタがバスを使い続けているかどうかは、 \overline{BSREQ} 信号を監視している必要があります。アドレスバッファの場合 \overline{BSACK} のアサート検出によってアドレスバッファをオンにした後は、 \overline{BSREQ} がネゲートになるまでバッファをオンし、 \overline{BSREQ} のネゲートとともにオフにします。使用するバッファのオフが遅くマスタ側のアクセスサイクル開始と衝突する場合には、バッファ制御回路の一部として部分共有マスタから出力される \overline{BSREQ} 信号を遅延回路を介して、マスタの \overline{BREQ} 信号に入力する必要があります。

部分共有マスタモードのプロセッサがエリア 2 のアクセスを開始するためには、2 サイクル以上の \overline{BSACK} 信号のアサートが必要です。

部分共有マスタモードでエリア 2 をアクセスした後バス権を解放する際、エリア 2 が DRAM、シンクロナス DRAM であった場合には、オートプリチャージに必要な時間を待ってからバス権の解放を行います。

部分共有マスタモードはエリア 2 に対するリフレッシュは行いません (無視されます)。

部分共有マスタモードでは DRAM、シンクロナス DRAM の RAS ダウンモードは使用しないでください。

エリア 2 のシンクロナス DRAM のモードレジスタ設定はマスタモードのデバイスで行ってください。エリア 3 のシンクロナス DRAM のモードレジスタ設定が終了してから部分共有マスタモードに設定 (BCR1 の PSHR ビットを 1 に設定) してください。

部分共有マスタモードでは、エリア 2 に対する DMA 転送は使用しないでください。また部分共有マスタモードでは、DMAC の DDT モードは使用しないでください。

13.3.15 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。DRAM、シンクロナス DRAM は使用に先立って初期化動作を行わなければなりません。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、リフレッシュ、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。マスタモードと部分共有マスタモードの組み合わせの場合、部分共有マスタモードのプロセッサはエリア 2 を除く自分に接続されたエリアの初期化、リフレッシュ、スタンバイコントローラの制御を行い、マスタは、マスタ自身に接続されたメモリの初期化を行います。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 \overline{BREQ} イネーブルビット (BCR1.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが DRAM、シンクロナス DRAM のように使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 \overline{BREQ} イネーブルビットに 1 を書き込んでください。

スタンバイモード等でセルフリフレッシュモードにする場合、セルフリフレッシュモードにする前に、 \overline{BREQ} イネーブルビットに 0 を書き込んで、スレーブからの \overline{BREQ} を無効化してください。 \overline{BREQ} イネーブルビットに 1 を書き込むのは、リフレッシュの設定などセルフリフレッシュモードからの解除時に必要な処理をマスタが行ってからにしてください。

13.3.16 使用上の注意

(1) リフレッシュ

スタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移させると、オートリフレッシュは実行されなくなります。リフレッシュが必要なメモリシステムの場合はメモリをセルフリフレッシュ状態にしてからスタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移してください。

(2) バスアービトレーション

スタンバイモード、ディープスリープモードに遷移させると、マスタモードのプロセッサはバス権を解放しなくなります。バスアービトレーションを行うシステムではマスタモードのプロセッサのバス権解放イネーブルビット (BCR1.BREQEN) を 0 に設定してからスタンバイモード、ディープスリープモードに遷移してください。バス権解放イネーブルビットを 1 に設定したままスタンバイ、ディープスリープモードに遷移した場合の動作は保証されません。

(3) シンクロナス DRAM モードレジスタ設定 (SH7750、SH7750S のみ)

シンクロナス DRAM のモードレジスタを設定する場合、次の条件に従ってください。

- シンクロナスDRAMのモードレジスタ設定が終了するまでDMACの起動は行わないでください*¹
- シンクロナスDRAMのモードレジスタ設定が終了するまで内蔵周辺モジュール*²のレジスタ設定は行わないでください*³

【注】 *¹ シンクロナス DRAM のモードレジスタ設定と DMAC によるメモリアクセスが競合する場合、シンクロナス DRAM のモードレジスタ設定と DMAC によるメモリアクセスは保証されません。

*² 該当周辺モジュールは CPG、RTC、INTC、TMU、SCI、SCIF、H-UDI です。

*³ 内蔵周辺モジュール (*²) のレジスタへのライトアクセス直後にシンクロナス DRAM のモードレジスタ設定した場合、内蔵周辺モジュールへのレジスタ値は保証されません。

なお、シンクロナス DRAM のモードレジスタの設定はパワーオン後、シンクロナス DRAM のアクセス前に実行し、設定した後は変更しないでください。

(4) 部分共有マスタモード時の $\overline{\text{BSREQ}}$ 出力

下記 (a) から (d) のすべてを満たす場合にエリア 2 へのアクセス要求がなくてもリフレッシュ動作中に $\overline{\text{BSREQ}}$ 端子がローレベルになり、マスタ側にバス権の開放を要求します。 $\overline{\text{BSREQ}}$ のアサート期間は下記 (d) MCR.TRC の設定に従い、3 から 21CKIO-cycle です。

[発生条件]

- (a) 部分共有モードに設定 (BCR1.PSHR=1)
- (b) エリア3をリフレッシュを行うように設定
(BCR1.DRAMTP[2:0]=010、011または101、MCR.RFSH=1、MCR.RMODE=0)
- (c) エリア2の共有エリアにアクセスした後、リフレッシュ以外の外部メモリに対するアクセス要求 (CPU やDMACによるエリア0~6に対するチップ内部でのアクセス要求) がバスステートコントローラに対して発生していない。
- (d) MCR.TRCに0以外の値を設定 (MCR.TRC[2:0] 000)

[発生例]

リフレッシュを 4096 回 / 64ms 程度で行う場合、15 μ s 程度に 1 回リフレッシュ動作を行うことになります。そのため、バス権要求にマスタ側が応答する場合、15 μ s 程度に 1 回の割合での 3 から 21CKIO-cycle 程度のマスタ側のバス性能劣化が発生する可能性があります。

また、 $\overline{\text{BSREQ}}$ がアサートされた時にマスタ側がバスを使用しているなどの理由で即座に $\overline{\text{BSACK}}$ がアサートされない場合は、本現象によるマスタ側への影響は少なくなります。

• 回避策

本現象によるマスタ側のバス性能劣化が問題になる場合、(a)または(b)の方法で回避することができます。

(a) MCR.TRC[2:0]=000の設定で使用する。

(b) プログラムをエリア2以外に配置して、エリア2のアクセスの命令の直後に外部メモリ空間 (エリア0、1、3-6) にダミーアクセスを行う命令を配置する。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.1 概要

SH7750 および SH7750S は、4 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。SH7750R は、8 チャンネルの DMAC を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (TMU、SCI、SCIF) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。SH7750R を使用する場合は、「14.6 SH7750R DMAC の構成」「14.7 各レジスタの説明 (SH7750R)」「14.8 動作説明 (SH7750R)」を参照してください。

14.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル (SH7750/SH7750S)、8チャンネル (SH7750R)
- アドレス空間：物理アドレス空間
- 転送データ長：8ビット、16ビット、32ビット、64ビット、32バイトの中から選択可能
- 最大転送回数：16M (16,777,216回)
- アドレスモード：デュアルアドレスモード、シングルアドレスモードの選択可能
 - シングルアドレスモード
転送元か転送先の外部デバイスをDACK信号でアクセスし、もう一方をアドレスアクセスします。1回のデータ転送が1バスサイクルで終了します。
 - デュアルアドレスモード
転送元、転送先双方をアドレスアクセスします。
転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1回のデータ転送に2バスサイクルを必要とします。
- バスモード：サイクルスチールモードとバーストモードの選択が可能です。
- 優先順位：DMACのチャンネル優先順位には以下の2つの種類があります。
 - 優先順位固定モード：チャンネル優先順位は常に固定
 - ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最低にします。
- 割り込み要求：指定した転送回数終了後、CPUに割り込み要求発生可能
- 転送要求：DMACの転送起動要求には以下の種類があります。
 - 外部リクエスト
 - (1) ノーマルDMAモード： $\overline{\text{DREQ}}$ 端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能。外部リクエスト要求を受け付けられるのはチャンネル0とチャンネル1の2チャンネルのみ
 - (2) オンデマンドデータ転送モード (DDTモード)：

SH7750、SH7750Sでは、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[1:0]、D[63:0]端子を使用して、外部デバイスとDMAC間のインタフェースを行うものです。4チャンネルとも外部リクエスト受け付け可能です。SH7750Rでは、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[2:0]、D[63:0]端子を使用して外部デバイスとDMAC間のインタフェースを行うものです。8チャンネルとも外部リクエスト受け付け可能です。

チャンネル0については、転送モード、転送回数、転送アドレス (シングルのみ) などを外部デバイス側から指定してデータ転送を行うことができます。チャンネル0はリクエストキューを持っていませんが、SH7750、SH7750Sではチャンネル1～3、SH7750Rではチャンネル1～7に、各4個のリクエストキューを持っています。

SH7750Rは、DDTモード時のリクエストキュークリアをチャンネルごとにできます。チャンネルごとのリクエストキュークリアには、次の2通りがあります。

- DTRフォーマットによるリクエストキュークリア

DTR.SZ = 110、DTR.ID = 00、DTR.MD = 11、DTR.COUNT[7:4]* = [1～8]を受け付けることで当該チャンネルのリクエストキューがクリアされます。

- ソフトウェアチャンネルによるリクエストキュークリア

各チャンネルのCHCRn.QCL (リクエストキュークリアビット) に1を書き込むことで当該チャンネルのリクエストキューがクリアされます。

【注】 * DTR.COUNT[7:4] (DTR[55:52]) : ポート未使用

- 内蔵周辺モジュールリクエスト

SCI、SCIF、TMUからの転送要求です。すべてのチャンネルが受け付け可能です。

- オートリクエスト

転送要求をDMAC内部で自動的に発生させます。

- チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。

(1) ノーマルDMAモード

- チャンネル0

デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

- チャンネル1

デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

- チャンネル2

デュアルアドレスモードのみ対応

- チャンネル3

- デュアルアドレスモードのみ対応

- チャンネル4 (SH7750Rのみ)

デュアルアドレスモードのみ対応

- チャンネル5 (SH7750Rのみ)

デュアルアドレスモードのみ対応

- チャンネル6 (SH7750Rのみ)

デュアルアドレスモードのみ対応

- チャンネル7 (SH7750Rのみ)

デュアルアドレスモードのみ対応

(2) DDTモードチャンネル機能：

- チャンネル0
デュアルアドレスモード (SH7750S、SH7750R)、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル1
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル2
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル3
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル4 (SH7750Rのみ)
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル5 (SH7750Rのみ)
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル6 (SH7750Rのみ)
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル7 (SH7750Rのみ)
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

14.1.2 SH7750/SH7750S の DMAC

(1) DMAC ブロック図 (SH7750、SH7750S)

図 14.1 に DMAC のブロック図を示します。

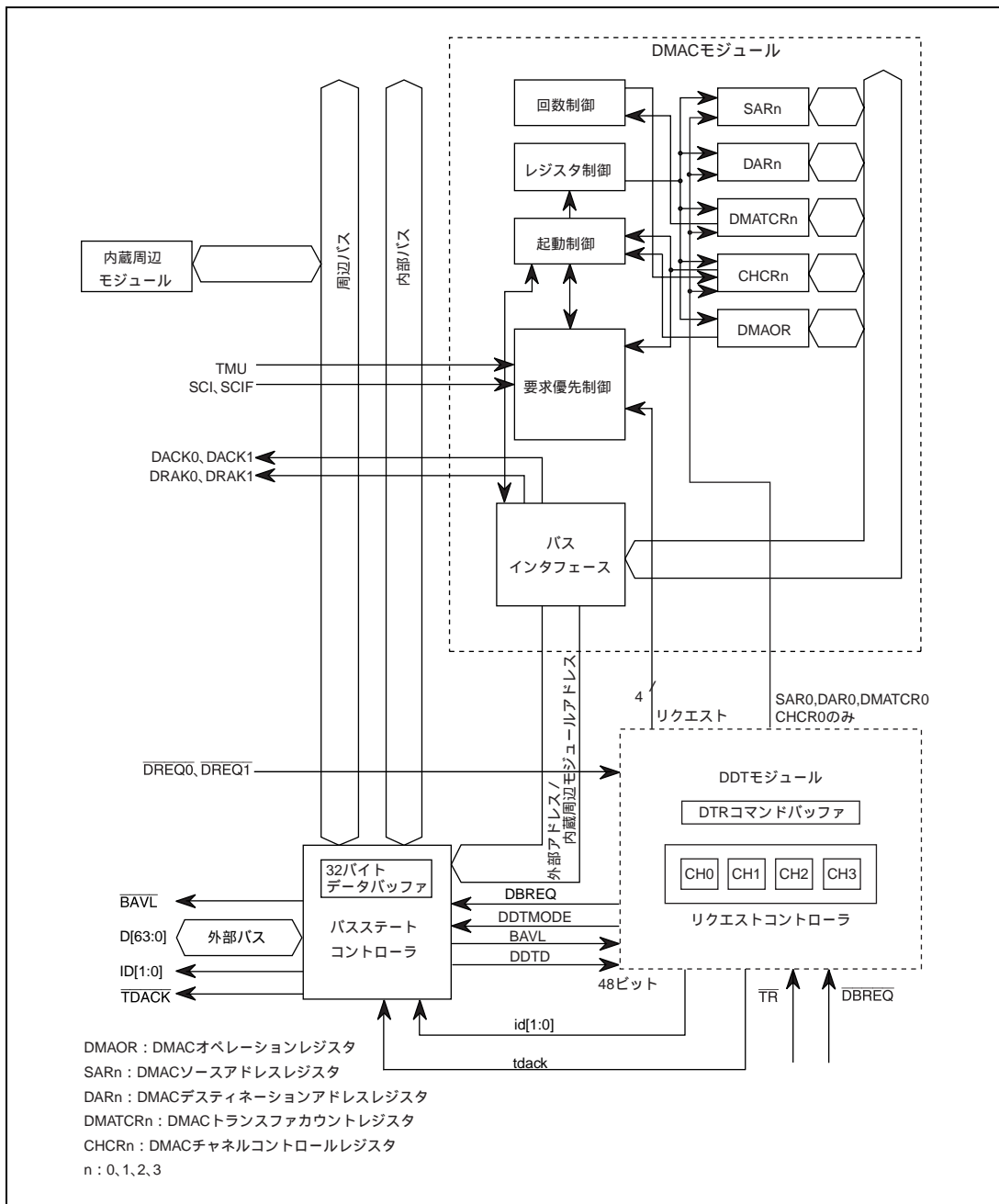


図 14.1 DMAC ブロック図

(2) 端子構成 (SH7750、SH7750S)

DMAC の端子構成を表 14.1、表 14.2 に示します。

表 14.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DREQ 受け付け確認	DRAK0	出力	チャンネル0から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK0	出力	外部デバイスからチャンネル0へのDMA転送要求に対する外部デバイスへのストロープを出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DREQ 受け付け確認	DRAK1	出力	チャンネル1から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK1	出力	外部デバイスからチャンネル1へのDMA転送要求に対する外部デバイスへのストロープを出力

表 14.2 DDT モードにおける DMAC 端子構成

名称	略称	入出力	機能
データバス要求	DBREQ (DREQ0)	入力	外部デバイスからのDTRフォーマット入力のためのデータバス解放要求
データバス使用許可	BAVL (DRAK0)	出力	データバス解放通知。BAVLアサートの2サイクル後にデータバスを使用可能
転送要求信号	TR (DREQ1)	入力	BAVLアサートの2サイクル後アサートの場合、DTRフォーマット送出。TRのみアサートはDMAリクエスト。DBREQ、TR同時アサートの場合はチャンネル2への直接リクエスト
DMAC ストロープ	TDACK (DACK0)	出力	DMAC から外部デバイスに対する応答ストロープ信号
チャンネル番号通知	ID [1:0] (DRAK1, DACK1)	出力	TDACK出力時にチャンネル番号を同時に外部デバイスへ通知 (ID [1] = DRAK1, ID [0] = DACK1)

(3) レジスタ構成 (SH7750、SH7750S)

表 14.3 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本で、計 17 本のレジスタがあります。

表 14.3 レジスタ構成

チャネル	名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
0	DMA ソースアドレス レジスタ 0	SAR0	R/W* ²	不定	H'FFFA00000	H'1FA00000	32
	DMA デスティネーション アドレスレジスタ 0	DAR0	R/W* ²	不定	H'FFFA00004	H'1FA00004	32
	DMA トランスファカウンタ レジスタ 0	DMATCR0	R/W* ²	不定	H'FFFA00008	H'1FA00008	32
	DMA チャンネルコントロール レジスタ 0	CHCR0	R/W* ¹ * ²	H'00000000	H'FFFA0000C	H'1FA0000C	32
1	DMA ソースアドレス レジスタ 1	SAR1	R/W	不定	H'FFFA00010	H'1FA00010	32
	DMA デスティネーション アドレスレジスタ 1	DAR1	R/W	不定	H'FFFA00014	H'1FA00014	32
	DMA トランスファカウンタ レジスタ 1	DMATCR1	R/W	不定	H'FFFA00018	H'1FA00018	32
	DMA チャンネルコントロール レジスタ 1	CHCR1	R/W* ¹	H'00000000	H'FFFA0001C	H'1FA0001C	32
2	DMA ソースアドレス レジスタ 2	SAR2	R/W	不定	H'FFFA00020	H'1FA00020	32
	DMA デスティネーション アドレスレジスタ 2	DAR2	R/W	不定	H'FFFA00024	H'1FA00024	32
	DMA トランスファカウンタ レジスタ 2	DMATCR2	R/W	不定	H'FFFA00028	H'1FA00028	32
	DMA チャンネルコントロール レジスタ 2	CHCR2	R/W* ¹	H'00000000	H'FFFA0002C	H'1FA0002C	32
3	DMA ソースアドレス レジスタ 3	SAR3	R/W	不定	H'FFFA00030	H'1FA00030	32
	DMA デスティネーション アドレスレジスタ 3	DAR3	R/W	不定	H'FFFA00034	H'1FA00034	32
	DMA トランスファカウンタ レジスタ 3	DMATCR3	R/W	不定	H'FFFA00038	H'1FA00038	32
	DMA チャンネルコントロール レジスタ 3	CHCR3	R/W* ¹	H'00000000	H'FFFA0003C	H'1FA0003C	32
共通	DMA オペレーションレジスタ	DMAOR	R/W* ¹	H'00000000	H'FFFA00040	H'1FA00040	32

【注】 各制御レジスタへのアクセスは、すべてロングワードを指定してください。それ以外でアクセスした場合、リード時にはオール 0 が読み出されます。ライト時には書き込み不可になります。

14.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数、ロングワード数、クワッドワード数、32 バイト数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16,777,216 回 (16M 回) 実行されます。DMAC 動作中は、残りの転送回数を示しています。

本レジスタのビット 31~24 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、マニュアルリセット時には、値は不定です。スタンバイモード、ディープスリープモード時には、値は保持されます。

DDT モードの場合、DMATCR0[7:0]へは、DTR フォーマット[55:48]からも設定できます。詳細は、「14.5.2(1) データ転送要求フォーマット」を参照してください。

14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	—	—	—	—	DS	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	(R/W)	R/W	(R/W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	TM	TS2	TS1	TS0	—	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	(R/W)	R/W

【注】 TEビットは、フラグをクリアするための1リード後の0ライトのみ可能です。
RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット 31~28、ビット 27~24 は、それぞれソースアドレス、デスティネーションアドレスが、CS5 または CS6 空間でかつ当該空間が PCMCIA インタフェースに指定されているときのみに有効です。そうでない場合は、書き込む値は 0 にしてください。PCMCIA インタフェースについては、「第 13 章 バスステートコントローラ (BSC)」の「13.3.7 PCMCIA インタフェース」を参照してください。

DDT モードの場合、CHCR0 は DTR フォーマットにより設定可能です。(ただし、CHCR0[31:24]=0、[18:16]=0、[15:14]=01、[13:12]=01、[2]=0、[1]=0、[0]=1)。

ビット 18、16 は CHCR2、3 には存在しません。CHCR2、3 の場合、このビットへの書き込みは無効ですが、書き込む値は常に 0 にしてください。読み出すと常に 0 が読み出されます。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には値は保持されます。

ビット 31~29 : ソースアドレス側空間属性指定 (SSA2~SSA0)

PCMCIA インタフェースのエリアへのアクセス時に空間属性を指定するビットです。

ビット 31	ビット 30	ビット 29	説 明
SSA2	SSA1	SSA0	
0	0	0	PCMCIA アクセス時、リザーブ (初期値)
		1	ダイナミックバスサイジング I/O 空間
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共通メモリ空間
		1	16 ビット共通メモリ空間
	1	0	8 ビットアトリビュートメモリ空間
		1	16 ビットアトリビュートメモリ空間

ビット 28 : ソースアドレス側ウェイト制御セレクト (STC)

PCMCIA インタフェースのエリアへのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

ビット 28	説明
STC	
0	CS5 空間ウェイトサイクルセレクト (初期値) ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します。
1	CS6 空間ウェイトサイクルセレクト ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します。

【注】 詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

ビット 27 ~ 25 : デスティネーションアドレス側空間属性指定 (DSA2 ~ DSA0)

PCMCIA インタフェースのエリアへのアクセス時に空間属性を指定するビットです。

ビット 27	ビット 26	ビット 25	説明
DSA2	DSA1	DSA0	
0	0	0	PCMCIA アクセス時、リザーブ (初期値)
		1	ダイナミックバスサイジング I/O 空間
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共通メモリ空間
		1	16 ビット共通メモリ空間
	1	0	8 ビットアトリビュートメモリ空間
		1	16 ビットアトリビュートメモリ空間

ビット 24 : デスティネーションアドレス側ウェイト制御セレクト (DTC)

PCMCIA インタフェースのエリアへのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

ビット 24	説 明
DTC	
0	CS5 空間ウェイトサイクルセレクト (初期値) ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します。
1	CS6 空間ウェイトサイクルセレクト ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します。

【注】 詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

ビット 23 ~ 20 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 19 : $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは、ノーマル DMA モードでは CHCR0、CHCR 1 でのみ有効です。DDT モードでは、CHCR0 ~ 3 で有効です。

ビット 19	説 明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

【注】 TM = 1、DS = 0 の場合は、レベル検出バーストモード

TM = 1、DS = 1 の場合は、エッジ検出バーストモード

ビット 18：リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。

ビット 18	説 明	
RL		
0	DRAK をハイアクティブで出力	(初期値)
1	DRAK をローアクティブで出力	

ビット 17：アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは、SH7750 は CHCR1 ~ 3 において有効です。SH7750S は CHCR0 ~ 3 において有効です (DDT モード : $\overline{\text{TDACK}}$)。

ビット 17	説 明	
AM		
0	読み出しサイクルで DACK を出力	(初期値)
1	書き込みサイクルで DACK を出力	

ビット 16：アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。

ビット 16	説 明	
AL		
0	ハイアクティブで出力	(初期値)
1	ローアクティブで出力	

ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、このビットの指定は無視されます。チャンネル 0 は、DDT モードで DTR フォーマットで設定した場合 DM1=0、DM0=1 に設定されます。

ビット 15	ビット 14	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時 + 1、16 ビット転送時 + 2、32 ビット転送時 + 4、 64 ビット転送時 + 8、32 バイトバースト転送時 + 32)
1	0	デスティネーションアドレスは減少 (8 ビット転送時 - 1、16 ビット転送時 - 2、32 ビット転送時 - 4、 64 ビット転送時 - 8、32 バイトバースト転送時 - 32)
	1	(設定禁止)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、このビットの指定は無視されます。チャンネル 0 は、DDT モードで DTR フォーマットで設定した場合 SM1=0、SM0=1 に設定されます。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時 + 1、16 ビット転送時 + 2、32 ビット転送時 + 4、 64 ビット転送時 + 8、32 バイトバースト転送時 + 32)
1	0	ソースアドレスは減少 (8 ビット転送時 - 1、16 ビット転送時 - 2、32 ビット転送時 - 4、 64 ビット転送時 - 8、32 バイトバースト転送時 - 32)
	1	(設定禁止)

ビット 11~8 : リソースセレクト 3~0 (RS3~RS0)

転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説明	
RS3	RS2	RS1	RS0		
0	0	0	0	外部リクエスト、デュアルアドレスモード*1*4 (外部アドレス空間同士) (初期値)	
			1	(設定禁止)	
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間 外部デバイス*1*3*4	
			1	外部リクエスト、シングルアドレスモード 外部デバイス 外部アドレス空間*1*3*4	
	1	0	0	オートリクエスト (外部アドレス空間同士) *2	
			1	オートリクエスト (外部アドレス空間 内蔵周辺モジュール) *2	
		1	0	オートリクエスト (内蔵周辺モジュール 外部アドレス空間) *2	
			1	(設定禁止)	
1	0	0	0	SCI の送信データエンプティ割り込み転送要求 (外部アドレス空間 SCTDR1) *2	
			1	SCI の受信データフル割り込み転送要求 (SCRDR1 外部アドレス空間) *2	
		1	0	SCIF の送信データエンプティ割り込み転送要求 (外部アドレス空間 SCFTDR2) *2	
			1	SCIF の受信データフル割り込み転送要求 (SCFRDR2 外部アドレス空間) *2	
		1	0	0	TMU チャンネル 2 (インプットキャプチャ割り込み、 外部アドレス空間同士) *2
				1	TMU チャンネル 2 (インプットキャプチャ割り込み) (外部アドレス空間 内蔵周辺モジュール) *2
			1	0	TMU チャンネル 2 (インプットキャプチャ割り込み) (内蔵周辺モジュール 外部アドレス空間) *2
				1	(設定禁止)

【注】 *1 外部リクエストの指定はチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、ノーマル DMA モード時には要求は受け付けられません。

*2 デュアルアドレスモード

*3 DDT モードの場合、チャンネル 0 のみ DTR フォーマット[60] (R/W ビット)、[57-56] (MD1、MD0 ビット) の指定で選択可能です。

*4 DDT モードの場合、

[SH7750]外部リクエストの指定はチャンネル 1~3 に設定してください。チャンネル 0 へは DTR フォーマットでシングルアドレスモードのみ設定できます。

[SH7750S]外部リクエストの指定はチャンネル 0~3 に設定可能です。

ビット7：トランスミットモード (TM)

転送時のバスモードを指定するビットです。

ビット7	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット6~4：トランスミットサイズ2~0 (TS2~TS0)

転送するデータのサイズを指定するビットです。

外部メモリへのアクセス時は、「13.3 動作説明」のアクセスサイズとして扱われます。

レジスタへのアクセス時は、レジスタへのアクセスサイズとして扱われます。

ビット6	ビット5	ビット4	説明
TS2	TS1	TS0	
0	0	0	クワッドワードサイズ (64 ビット) 指定 (初期値)
		1	バイトサイズ (8 ビット) 指定
	1	0	ワードサイズ (16 ビット) 指定
		1	ロングワードサイズ (32 ビット) 指定
1	0	0	32 バイトブロック転送指定

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：インタラプトイネーブル (IE)

このビットに1をセットしておくこと、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求 (DMTE) を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット 1 : トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット 1	説明
TE	説明
0	DMATCR 指定回数転送未終了 (初期値) [クリア条件] (1) TE=1 のリード後の 0 ライト (2) パワーオンリセット、マニュアルリセット、またはスタンバイモード時
1	DMATCR 指定回数転送終了

ビット 0 : DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット 0	説明
DE	説明
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3 ~ RS0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵周辺モジュールリクエストではこのビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF ビットまたは AE ビットが 1 の場合は転送許可状態には入りません。

チャンネル 0 は DDT モードの場合、DTR フォーマットを受け付けると 1 にセットされます。TE が 1 にセットされても DE は 1 のままです。DDT モードからノーマル DMA モード (DMAOR の DDT ビット=0) に切り替えたときは、必ず DE ビットを 0 にクリアしてください。

14.2.5 DMA オペレーションレジスタ (DMAOR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDT						PR1	PR0				COD		AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R/(W)	R	R/(W)	R/(W)	R/W

【注】 AE、NMIFビットは、フラグクリアのための1リード後の0ライトのみ可能です。
CODビットは、SH7750Sのみライト可能です。

DMAOR は読み出し / 書き込み可能な 32 ビットのレジスタで、DMAC の転送モードを指定します。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には、値は保持されます。

ビット 31 ~ 16 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 15 : オンデマンドデータ転送モード (DDT)

オンデマンドデータ転送モードを指定するビットです。

ビット 15	説明
DDT	
0	ノーマル DMA モード (初期値)
1	オンデマンドデータ転送モード

【注】 BAVL (DRAK0) は、ノーマル DMA モード時はアクティブハイ出力になります。DDT ビットが 1 のとき、BAVL 端子機能が有効となり、本端子はアクティブロー出力になります。

ビット 14 ~ 10 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 9、8 : プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット 9	ビット 8	説 明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 (初期値)
0	1	CH0 > CH2 > CH3 > CH1
1	0	CH2 > CH0 > CH1 > CH3
1	1	ラウンドロビンモード

ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 (SH7750S) : $\overline{\text{DREQ}}$ オーバラン制御 (COD)

本ビットが 1 にセットされている場合に、一度受け付けた $\overline{\text{DREQ}}$ 受け付けフラグのキャンセルを許可します。一度受け付けた $\overline{\text{DREQ}}$ 受け付けフラグをキャンセルする場合、COD=1 の状態で CHCRn.DS=0 に設定後 $\overline{\text{DREQ}}$ をネゲート (ハイレベル) してください。詳細は、「14.3.2 (2) 外部リクエストモード」を参照してください。

ビット 4	説 明
COD	
0	$\overline{\text{DREQ}}$ 受け付けフラグキャンセル不可 (初期値)
1	$\overline{\text{DREQ}}$ 受け付けフラグキャンセル許可

【注】 外部リクエストモードを使用する場合は、常時 COD=1 に設定することを推奨します。

ビット 4 (SH7750) : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から AE に 1 をライトすることはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。

ビット 2	説 明
AE	
0	アドレスエラーなし。DMA 転送許可状態 [クリア条件] AE = 1 リード後の AE = 0 ライト (初期値)
1	アドレスエラーあり。DMA 転送禁止状態 [セット条件] DMAC によるアドレスエラーの発生

ビット 1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアする場合は、一度 NMIF = 1 を読み出した後、NMIF = 0 を書き込んでください。

ビット 1	説 明
NMIF	
0	NMI 入力なし。DMA 転送許可状態 [クリア条件] NMIF = 1 リード後の NMIF = 0 ライト (初期値)
1	NMI 入力あり。DMA 転送禁止状態 [セット条件] NMI 割り込みの発生

ビット 0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

ビット 0	説 明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

14.3 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

14.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると、1転送単位のデータ (TS2 ~ TS0の設定により決定) を転送します。
オートリクエストモードの場合は、DEおよびDMEが1にセットされると自動的に転送を開始します。一回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDMTE割り込みを発生します。
4. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットが0にされても転送を中断します。アドレスエラーの場合は、強制的にCPUにDMAE割り込みを発生します。

図 14.2 に上記のフローチャートを示します。

【注】 転送禁止状態で転送要求が発生すると転送許可待ちの状態 (転送中断状態) になります。この後で転送許可 (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に設定すると転送を開始します。

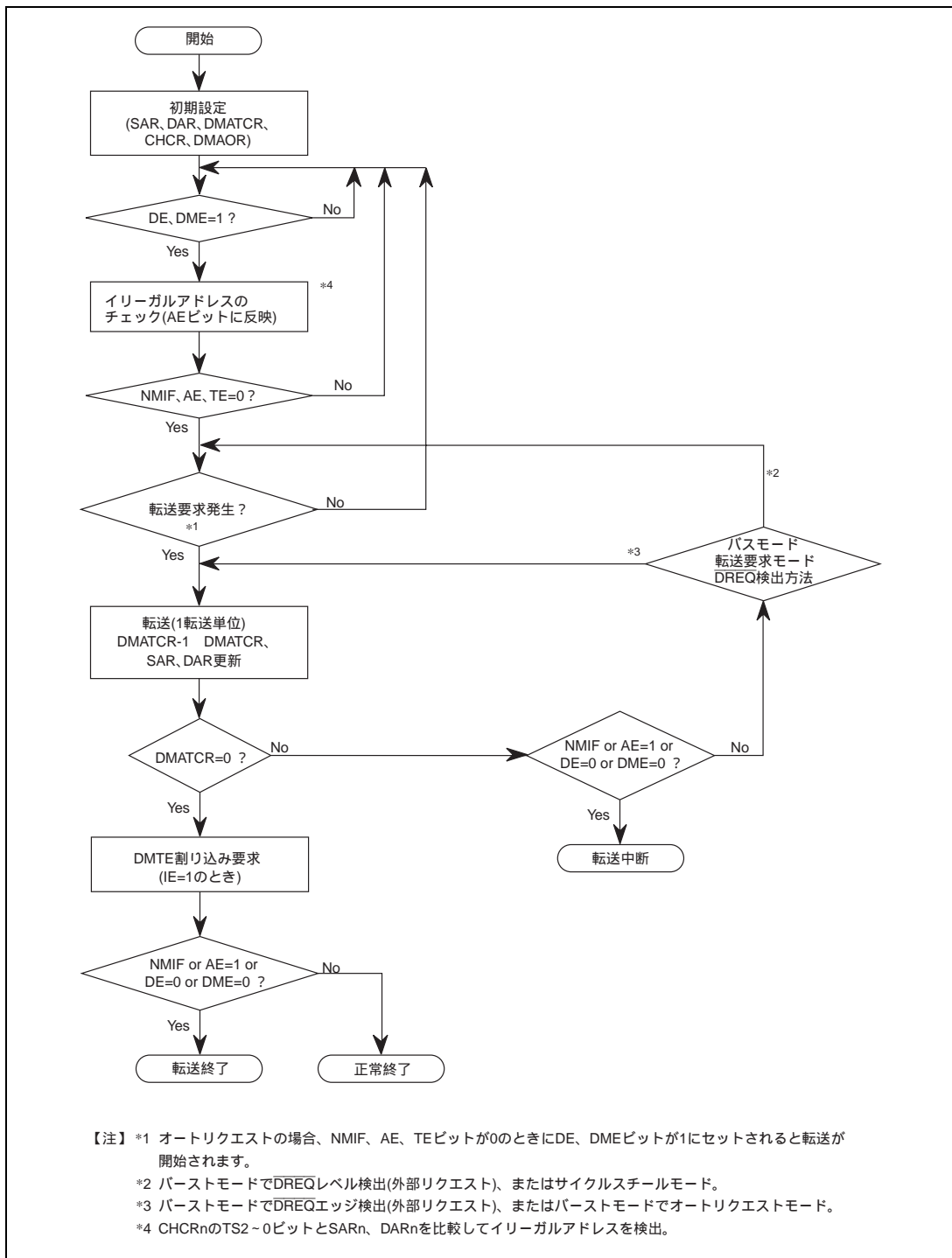


図 14.2 DMAC 転送フローチャート

14.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 ($\overline{\text{DREQ}}$) によって転送を開始させるモードです。応用システムに応じて、表 14.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に $\overline{\text{DREQ}}$ が入力されると DMA 転送が開始されます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0、CHCR1 の DS ビットで選びます (DS = 0 はレベル検出、DS = 1 はエッジ検出)。

$\overline{\text{DREQ}}$ は、パワーオンリセット後 TE = 0、NMIF = 0、AE = 0 であれば受け付けられますが DMA 転送が不許可 (DE = 0 または DME = 0) のときは転送は実行されません。

この場合に、DMA 転送許可 (DE = 1、DME = 1) に設定されると DMA 転送が開始されます。

表 14.4 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	外部メモリまたは、 メモリマップト外部 デバイスまたは、DACK 付 き外部デバイス	外部メモリまたは、 メモリマップト外部 デバイスまたは、DACK 付き外部デバイス
0	0	1	0	シングル アドレスモード	外部メモリまたはメモリマ ップト外部デバイス	DACK 付き外部デバイ ス
0	0	1	1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモ リマップト外部デバイ ス

(a) 外部リクエスト受け付け条件

1. DMAOR.DMEとCHCR.DEのうち少なくとも一方が0でかつDMAOR.NMIFとDMAOR.AEとCHCR.TEがすべて0の状態であっても外部リクエスト ($\overline{\text{DREQ}}$: エッジ検出) が入力された場合は、DMA転送が実行されるかキャンセルされるまでリクエストをDMAC内部に保持します。この場合DMA転送の許可がない (DME=0またはDE=0) ため、DMA転送は起動されません。DMA転送が許可された (DME=1、DE=1、DMAOR.NMIF=0、DMAOR.AE=0、CHCR.TE=0) 後にDMA転送を開始します。
2. DMA転送が許可された (DME=1、DE=1、DMAOR.NMIF=0、DMAOR.AE=0、CHCR.TE=0) 状態の時に、外部リクエスト ($\overline{\text{DREQ}}$) が入力されるとDMA転送が開始されます。
3. CHCR.TE=1、またはDMAOR.NMIF=1、またはDMAOR.AE=1、またはパワーオンリセット、またはマニュアルリセット、またはディープスリープモード、またはスタンバイモード、またはDMACがモジュールスタンバイ状態の期間中に入力された外部リクエスト ($\overline{\text{DREQ}}$) は、無視されます。
4. NMI割り込み (DMAOR.NMIF=1)、またはアドレスエラー (DMAOR.AE=1) が発生した場合、またはパワーオンリセット/マニュアルリセットにより、すでに入力された外部リクエストはキャンセルされます。SH7750Sは、すでに入力された外部リクエスト ($\overline{\text{DREQ}}$) をキャンセルすることができます。DMACR.COD=1にセットした状態で、CHCRn.DS=0に設定した後 $\overline{\text{DREQ}}$ 端子をハイレベルにしてください。
SH7750Rで、外部リクエスト ($\overline{\text{DREQ}}$) エッジ検出の場合に一度受け付けられた外部リクエストをキャンセルするには、まず $\overline{\text{DREQ}}$ をネグートしてCHCR.DS=1からDS=0に設定することにより可能です。その後CHCR.DS=1に再設定してから $\overline{\text{DREQ}}$ をアサートしてください。(SH7750RにDMAOR.CODビットはありませんが、SH7750SでDMAOR.COD=1のときと同様、外部リクエスト ($\overline{\text{DREQ}}$) エッジ検出の場合に一度受け付けられた外部リクエストをキャンセルすることができます。)

(b) 使用上の注意

外部リクエスト ($\overline{\text{DREQ}}$) は、ローレベルまたは立ち下がりエッジで検出されます。パワーオンリセット/マニュアルリセット後は、外部デバイスからDMA転送要求がないときには外部リクエスト ($\overline{\text{DREQ}}$) をハイレベルに保持するよう注意してください。

DMA転送を再開する場合、DMA転送リクエストが保持されているかどうか注意してください。

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 14.5 に示すように、タイマユニット (TMU) からのインプットキャプチャ割り込み、2 つのシリアルコミュニケーションインタフェース (SCI、SCIF) からの受信データフル要求 (RXI)、送信データエンプティ要求 (TXI)、の計 7 本があります。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。しかし転送要求を RXI (SCI、SCIF の受信データフルによる転送要求) に設定した場合は転送元は SCI、SCIF のレシーブデータレジスタ (SCRDR1、SCFRDR2) でなければなりません。転送要求を TXI (SCI、SCIF の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI、SCIF のトランスミットデータレジスタ (SCTDR1、SCFTDR2) でなければなりません。

表 14.5 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	バスモード
1	0	0	0	SCI 送信部	SCTDR1 (SCI 送信データエンプティによる転送要求)	外部*	SCTDR1	サイクルスチールモード
			1	SCI 受信部	SCRDR1 (SCI 受信データフルによる転送要求)	SCRDR1	外部*	サイクルスチールモード
		1	0	SCIF 送信部	SCFTDR2 (SCIF 送信データエンプティによる転送要求)	外部*	SCFTDR2	サイクルスチールモード
			1	SCIF 受信部	SCFRDR2 (SCIF 受信データフルによる転送要求)	SCFRDR2	外部*	サイクルスチールモード
	1	0	0	TMU チャンネル 2	インプットキャプチャ発生	外部*	外部*	バースト/サイクルスチールモード
			1	TMU チャンネル 2	インプットキャプチャ発生	外部*	内蔵周辺	バースト/サイクルスチールモード
1		0	TMU チャンネル 2	インプットキャプチャ発生	内蔵周辺	外部*	バースト/サイクルスチールモード	

TMU : タイマユニット

SCI : シリアルコミュニケーションインタフェース

SCIF : FIFO 内蔵シリアルコミュニケーションインタフェース

【注】 * 外部メモリ、メモリマップト外部デバイス

1. SCI、SCIF バースト転送設定禁止
2. 複数のチャンネルにインプットキャプチャ割り込みの受け付けを設定し各チャンネルの DE = 1 にした場合、1 回のインプットキャプチャ割り込みにより優先順位の最も高いチャンネルが実行されます。
3. インプットキャプチャ割り込みによる DMA 転送要求は、TMU の TCR2.ICPE1 = 0、ICPE0 = 0 に設定するとキャンセルすることができます。

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する DMA 転送要求許可ビットをセットして、転送要求信号を出力させてください。

詳細は、「第 12 章 タイマユニット (TMU)」、「第 15 章 シリアルコミュニケーションインタフェース (SCI)」、「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

表 14.5 に示す内蔵周辺モジュールからの転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

14.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 つのモードから選べます。モードの選択は、DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットによって行います。

(1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、ロングワード、クワッドワード、または 32 バイト) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 14.3 に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

【注】 ラウンドロビンモードでは、DMAC があるチャンネルの DMA 転送の間にどのチャンネルに対しても転送要求を受け付けなかった場合、優先順位は CH0 > CH1 > CH2 > CH3 になります。

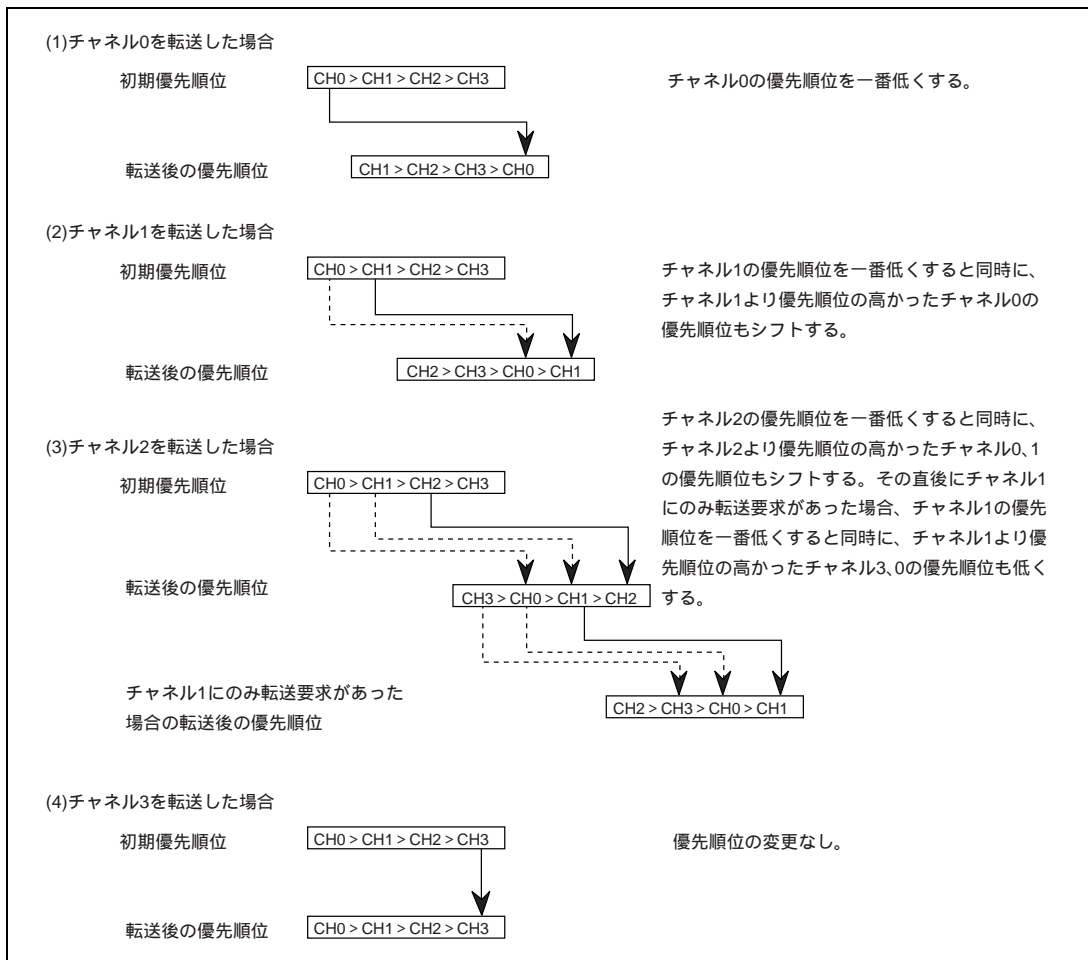


図 14.3 ラウンドロビンモード

図 14.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

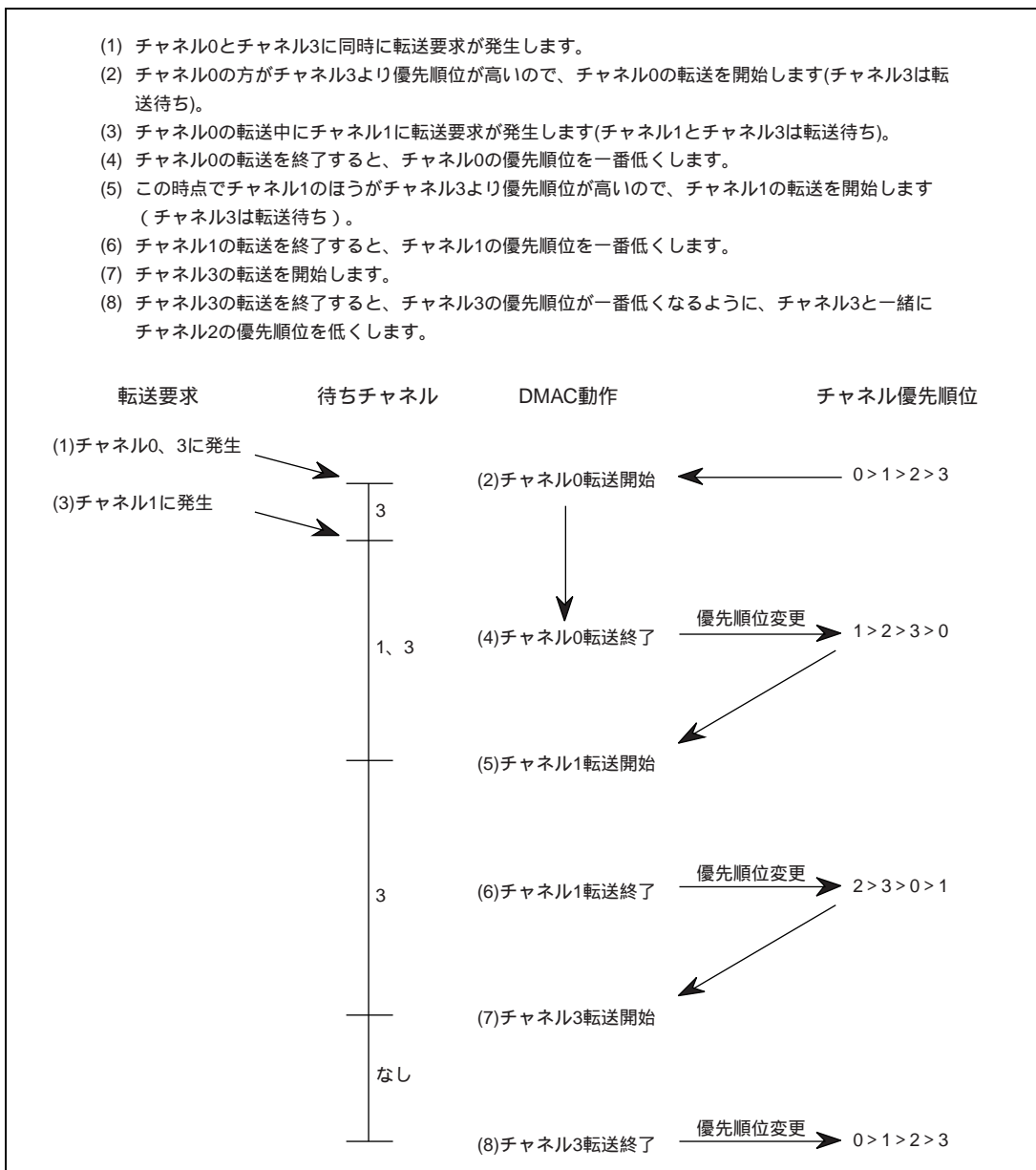


図 14.4 ラウンドロビンモードでのチャンネル優先順位変更例

14.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 14.6 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 14.6 サポートできる DMA 転送

転送元	転送先			
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺 モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	不可

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、外部デバイスへのストロブ信号 (DACK) を、転送元が転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。例えば図 14.5 に示すような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

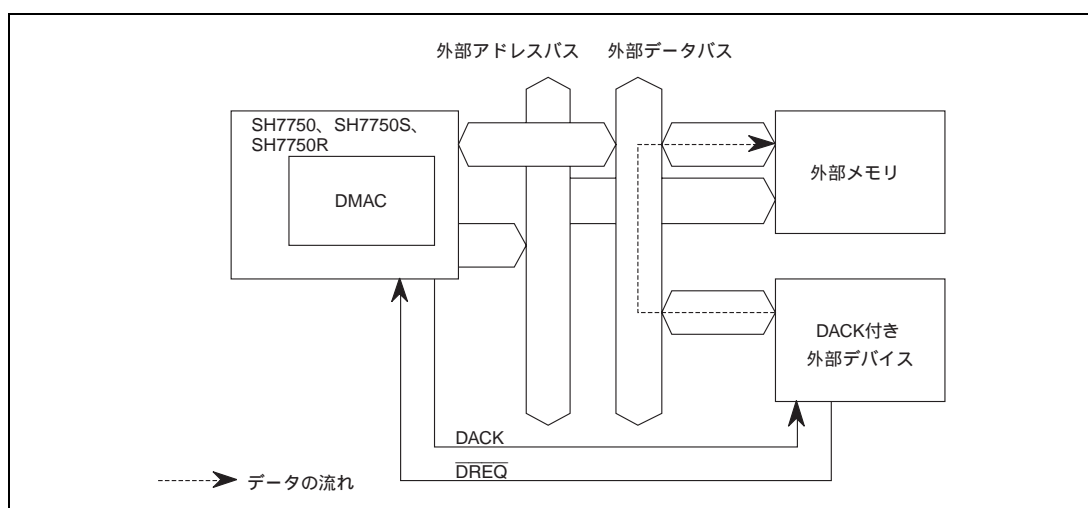


図 14.5 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、

1. DACK付き外部デバイスとメモリマップト外部デバイス間転送
2. DACK付き外部デバイスと外部メモリ間転送

です。いずれの場合も転送要求は、外部リクエスト ($\overline{\text{DREQ}}$) のみです。

図 14.6 にシングルアドレスモードでの DMA 転送タイミングを示します。

各種外部メモリ毎にアクセスタイミングが異なります。詳細は、「第 13 章 バスステートコントローラ (BSC)」の各メモリインタフェースを参照してください。

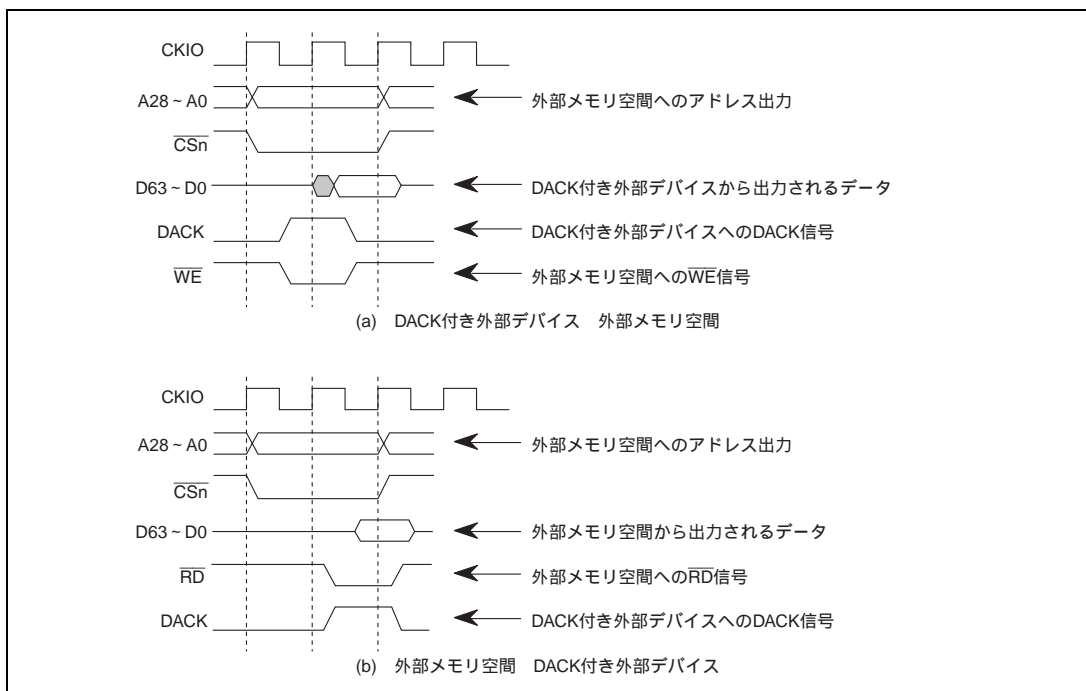


図 14.6 シングルアドレスモードでの DMA 転送タイミング

(b) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内蔵周辺モジュールでも外部アドレスでも構いません。

オペランドキャッシュを RAM モードで使用した場合でも、この RAM を転送元、転送先に設定できません。

デュアルアドレスモードではデータ読み出しサイクルで転送元から CHCRn.TS で指定されたサイズのデータを読み出し、データ書き込みサイクルで転送先に CHCRn.TS で指定されたサイズのデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的に BSC 内のデータバッファに格納されます。

図 14.7 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが BSC 内のデータバッファに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。図 14.8 にこの場合のタイミング例を示します。DACK の出力タイミングは、CHCRn.AM ビットで指定された読み出し、または書き込みサイクルで \overline{CSn} と同じタイミングです。

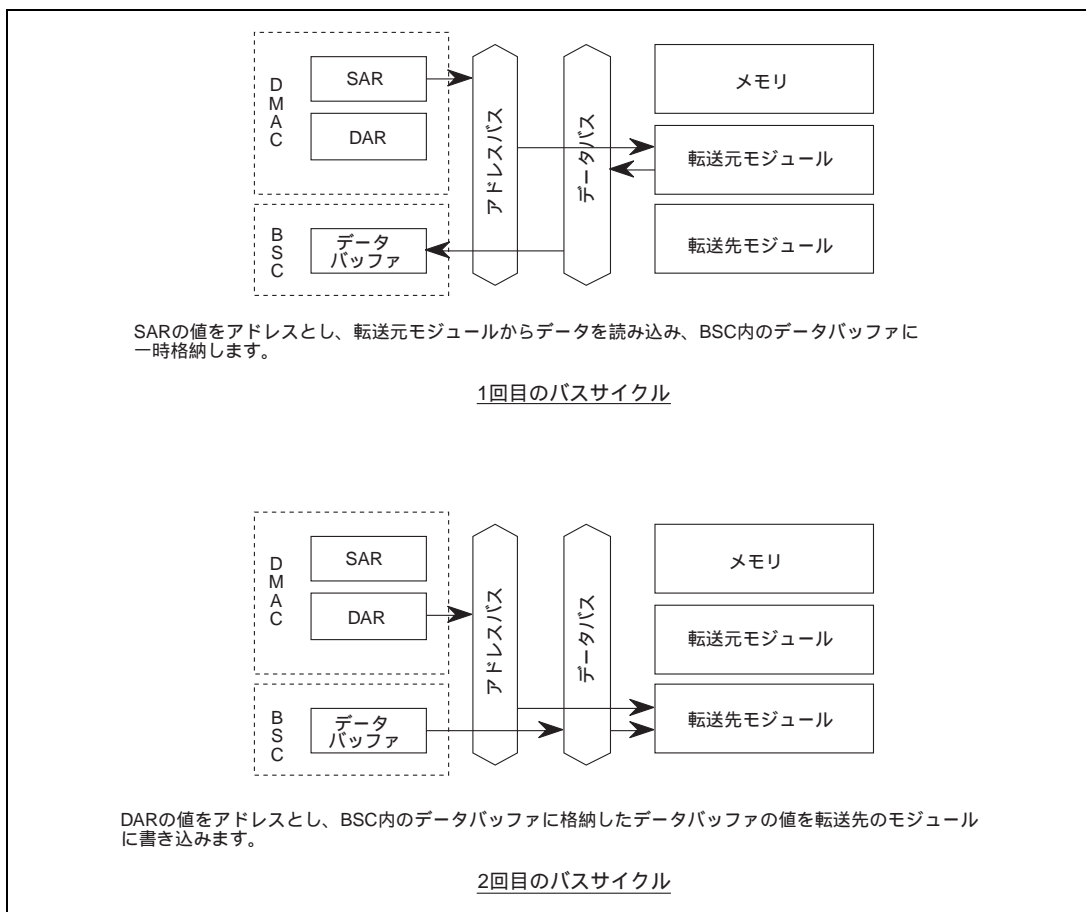


図 14.7 デュアルアドレスモードの動作説明

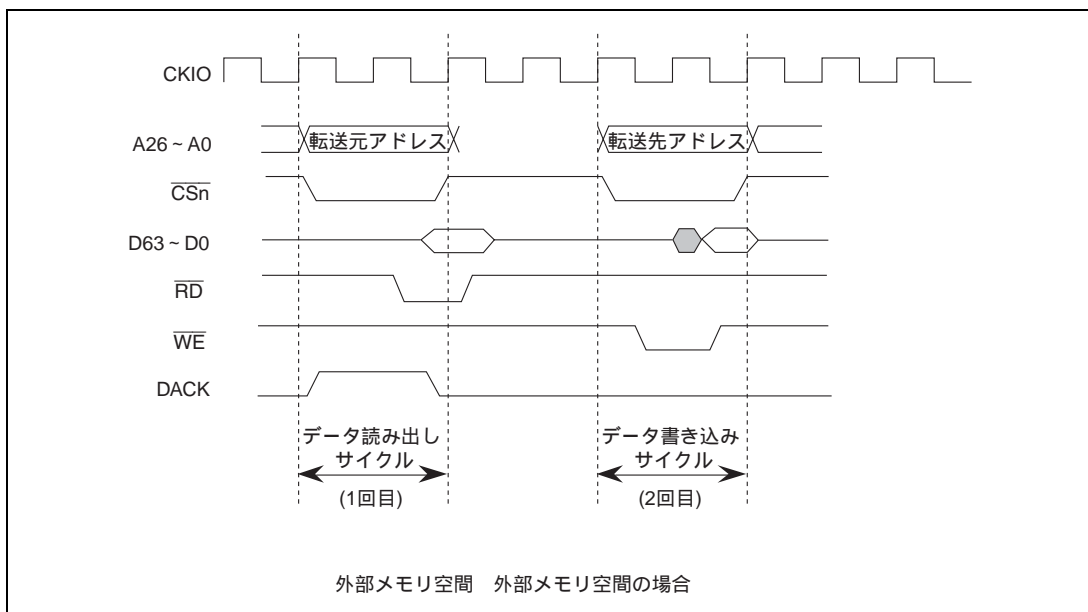


図 14.8 デュアルアドレスモードの転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット、64 ビット、32 バイト) の転送を終了するたびにバス権を CPU に渡します。その後転送要求があれば、CPU からバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を CPU に渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 14.9 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

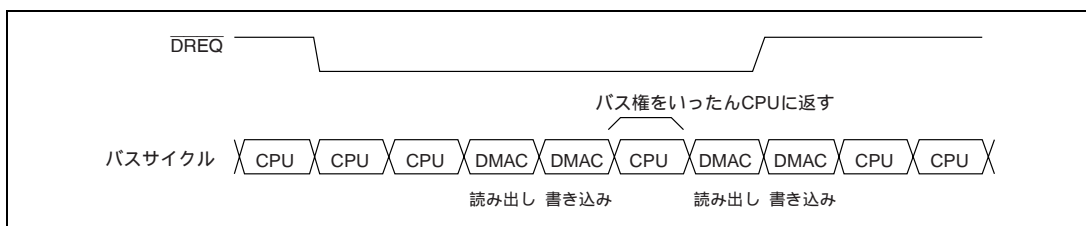


図 14.9 サイクルスチールモードでの DMA 転送例

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまで CPU にバス権を開放せずに転送を続けます。ただし外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていないとしても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 14.10 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出 (CHCRn.DS = 0、CHCRn.TM = 1)

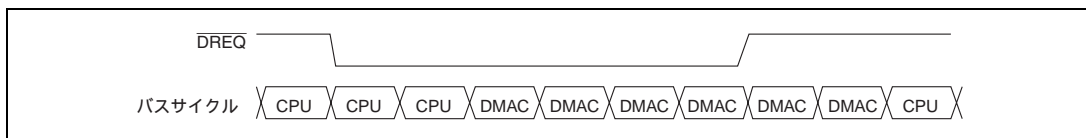


図 14.10 バーストモードでの DMA 転送例

【注】 転送サイズにかかわらず、バーストモードの設定が可能です (32 バイトブロック転送のバーストモードの設定も可能)。

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 14.7 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 14.7 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/64/32B	0, 1 (2, 3) * ⁶
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/64/32B	0, 1 (2, 3) * ⁶
デュアル	外部メモリと外部メモリ	内部* ¹ 、 外部* ⁷	B/C	8/16/32/64/32B	0, 1, 2, 3 * ⁵ * ⁶
	外部メモリとメモリマップト外部デバイス	内部* ¹ 、 外部* ⁷	B/C	8/16/32/64/32B	0, 1, 2, 3 * ⁵ * ⁶
	メモリマップト外部デバイスとメモリマップト外部デバイス	内部* ¹ 、 外部* ⁷	B/C	8/16/32/64/32B	0, 1, 2, 3 * ⁵ * ⁶
	外部メモリと内蔵周辺モジュール	内部* ²	B/C* ³	8/16/32/64* ⁴	0, 1, 2, 3 * ⁵ * ⁶
	メモリマップト外部デバイスと内蔵周辺モジュール	内部* ²	B/C* ³	8/16/32/64* ⁴	0, 1, 2, 3 * ⁵ * ⁶

32B : 32 バイトバースト転送

B : バースト

C : サイクルスチール

外部 : 外部リクエスト

内部 : オートリクエスト、内蔵周辺モジュールリクエスト

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエスト (TMU インプットキャプチャ割り込み要求) のいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI (SCIF) を転送要求元にして外部メモリ間データ転送を指定するのは不可。
- *2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI (SCIF) の場合には、転送元は SCRDR1 (SCFRDR2)、または転送先が SCTDR1 (SCFTDR2) である必要があります。
- *3 転送要求元が SCI (SCIF) の場合にはサイクルスチールのみ
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ
- *5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ
- *6 DDT モードの場合、全チャンネルとも DTR フォーマットを出力可能な外部デバイスからの転送要求を受け付けることが可能です。
- *7 外部リクエストによる DMA 転送の転送元、転送先は表 14.8、表 14.9 を参照してください。

(a) ノーマル DMA モードの場合

ノーマル DMA モード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 14.8 に示します。

表 14.8 ノーマル DMA モード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレス モード	DMAC 使用可能 チャンネル
	転送元	転送先		
1	シンクロナス DRAM	DACK 付き外部デバイス	シングル	0、1
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	0、1
3	SRAM 類、DRAM	DACK 付き外部デバイス	シングル	0、1
4	DACK 付き外部デバイス	SRAM 類、DRAM	シングル	0、1
5	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	0、1
6	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	0、1
7	SRAM 類、DRAM、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	0、1
8	SRAM 類、MPX、PCMCIA	SRAM 類、DRAM、PCMCIA、MPX	デュアル	0、1

: デュアルアドレスモード転送時の DACK 出力設定

表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。

- 【注】 1. シングルアドレスモードでの転送が可能なメモリインタフェースは SRAM、バイト制御 SRAM、バースト ROM、DRAM、シンクロナス DRAM です。
2. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

(b) DDT モードの場合

DDT モード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 14.9 に示します。

表 14.9 DDT モード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレス モード	DMAC 使用可能 チャンネル
	転送元	転送先		
1	シンクロナス DRAM*	DACK 付き外部デバイス	シングル	0、1、2、3
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	0、1、2、3
3	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	0、1、2、3
4	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	0、1、2、3
5	SRAM 類、DRAM、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	0、1、2、3
6	SRAM 類、MPX、PCMCIA	SRAM 類、DRAM、PCMCIA、MPX	デュアル	0、1、2、3

: デュアルアドレスモード転送時の DACK 出力設定

表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。

- 【注】 1. DDT モードでのシングルアドレスモード転送が可能なメモリインタフェースはシンクロナス DRAM です。
2. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

* SH7750 の場合、バス幅 64 ビットのみ

(4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードでも、チャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開します。その後もチャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにチャンネル実行が交互に入れ替わります。

ラウンドロビンモードの場合の例を図 14.11 に示します。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル 1 がバーストモード (エッジセンスの場合) なので、チャンネル 1 の転送が終了するまでの間 CPU にはバス権は渡りません。

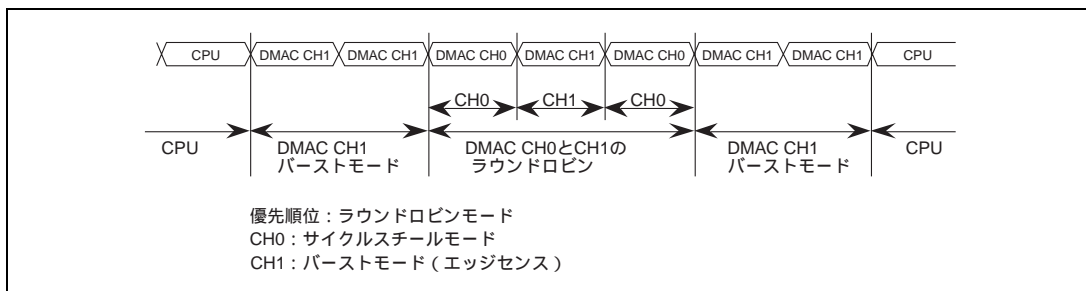


図 14.11 複数チャンネルが動作する場合のバス状態

【注】 図 14.11 の設定において CH1 がレベルセンスバーストモードの場合、リクエストが途切れている間は CPU へバス権を渡します。

14.3.5 バスサイクルのサイクル数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのサイクル数

DMAC がバスマスタのときのバスサイクルのサイクル数は、CPU がバスマスタのときと同様にバステートコントローラ (BSC) で制御されます。詳しくは、「第 13 章 バステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子はクロックパルス (CKIO) の立ち上がりエッジでサンプリングされ、 $\overline{\text{DREQ}}$ 入力を検出されると、最も早い場合で 4 サイクル (CKIO) 後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

$\overline{\text{DREQ}}$ 立ち下がりエッジ検出の場合は、非同同期化回路を経由するため DMAC が $\overline{\text{DREQ}}$ を認識するのは 2 サイクル (CKIO) 後になります。(ローレベル検出の場合は 1 サイクル (CKIO) 後)

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、1 回目の DMAC 転送のバスサイクルが開始された、1 サイクル後に行われます (シングルアドレスモードの場合)。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$ 検出方法によらず、 $\overline{\text{DREQ}}$ をサンプリングして検出 1 回につき、1 サイクルのみ出力されます。バーストモードでエッジ検出の場合は、 $\overline{\text{DREQ}}$ のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

(3) 動作説明

図 14.12 ~ 図 14.22 に各モードのタイミングを示します。

(a) サイクルスチールモード

サイクルスチールモードの場合 $\overline{\text{DREQ}}$ サンプリングタイミングは、デュアルアドレスモード、シングルアドレスモード、また $\overline{\text{DREQ}}$ 検出方法がレベル検出、エッジ検出で異なります。

例えば、図 14.12 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後に行われます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 14.13 (サイクルスチールモード、デュアルアドレス、エッジ検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のリードサイクルが終了するサイクルから始まります。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

各種メモリアクセスの詳細なタイミングは、「第 13 章 バステートコントローラ (BSC)」を参照してください。

図 14.18 はサイクルスチールモード、シングルアドレス、レベル検出の場合です。この場合も 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 4 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後に行われます。

図 14.19 はサイクルスチールモード、シングルアドレス、エッジ検出の場合です。この場合は 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 5 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DRAK がアサートされた 1 サイクル後から始まります。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

(b) パーストモード、デュアルアドレス、レベル検出

パーストモード、デュアルアドレス、レベル検出の場合 $\overline{\text{DREQ}}$ サンプルングタイミングはサイクルスチールモードとほぼ同じです。

例えば図 14.14 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングも、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後から行われます。

外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

(c) パーストモード、シングルアドレス、レベル検出

パーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプルングタイミングを図 14.20 に示します。

例えば図 14.20 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後から行われます。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

図 14.22 は、データサイズ 32 バイト、バス幅 64 ビット、SDRAM : row hit write の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 6 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングは、1 回目の DMAC 転送の DACK がアサートされた 1 サイクル後から行われます。

(d) パーストモード、デュアルアドレス、エッジ検出

パーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプルングは最初の 1 回しか行いません。

例えば図 14.15 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。その後 DMATCR に設定した回数分データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプルングは行われません。したがって DRACK も最初の 1 回出力されるだけで、以後は出力されません。外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

(e) パーストモード、シングルアドレス、エッジ検出

パーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプルングは最初の 1 回しか行いません。

例えば図 14.21 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 5 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプルングは行われません。したがって DRACK も最初の 1 回出力されるだけで以後は出力されません。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

(4) $\overline{\text{DREQ}}$ レベル検出の場合の DMA 転送中断

パーストモードまたはサイクルスチールモード、デュアルアドレスモードまたはシングルアドレスモードで $\overline{\text{DREQ}}$ レベル検出の場合に、DMA 転送中外部デバイスは DRACK がアサートされたことを CKIO の立ち上がりエッジで判定して $\overline{\text{DREQ}}$ をネゲートすることにより DMA 転送を中断することが可能です。この場合には、次の

DRAK は出力されません。

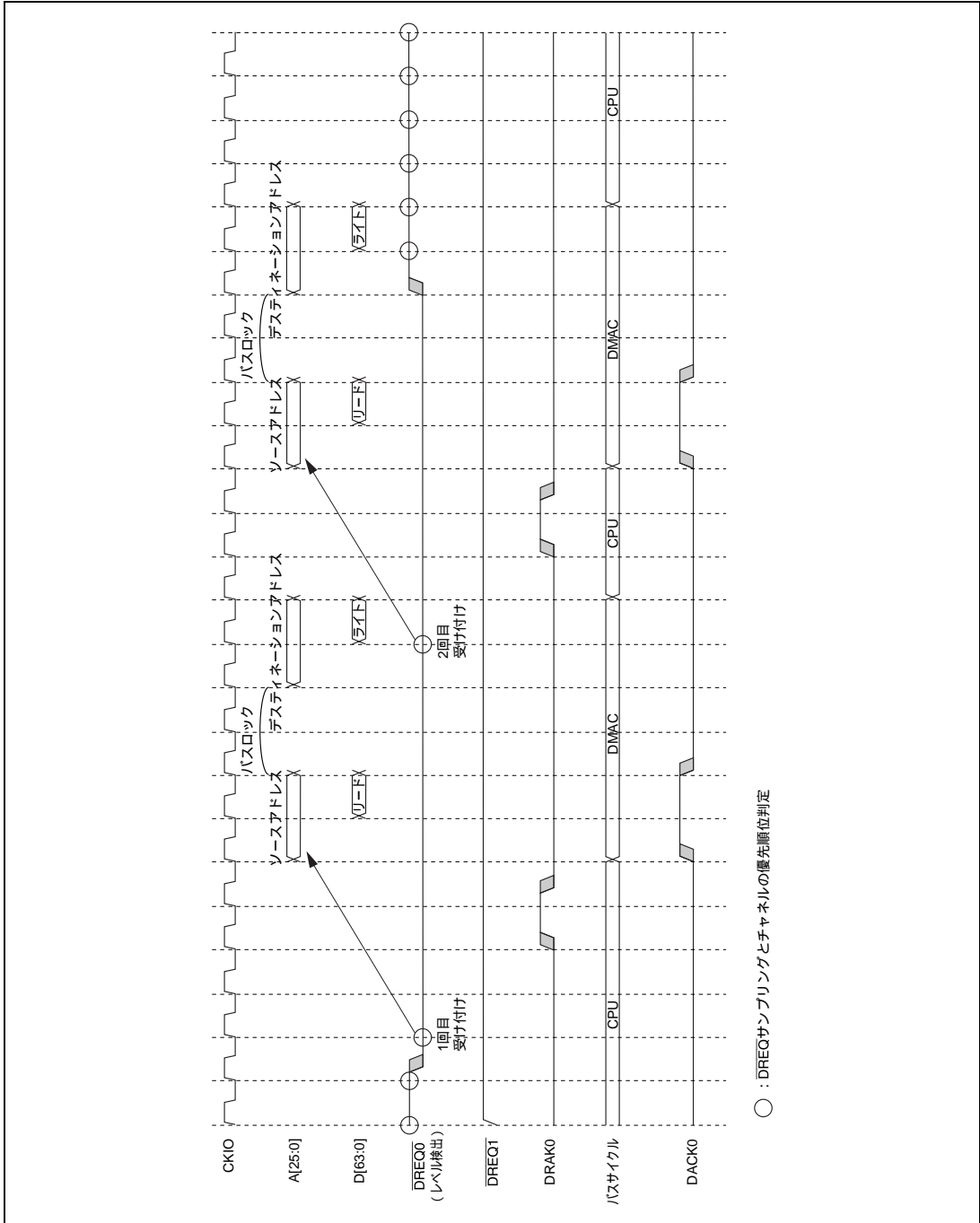


図 14.12 デュアルアドレスモード / サイクルスチールモード
外部バス 外部バス / \overline{DREQ} (レベル検出)、DACK (リードサイクル)

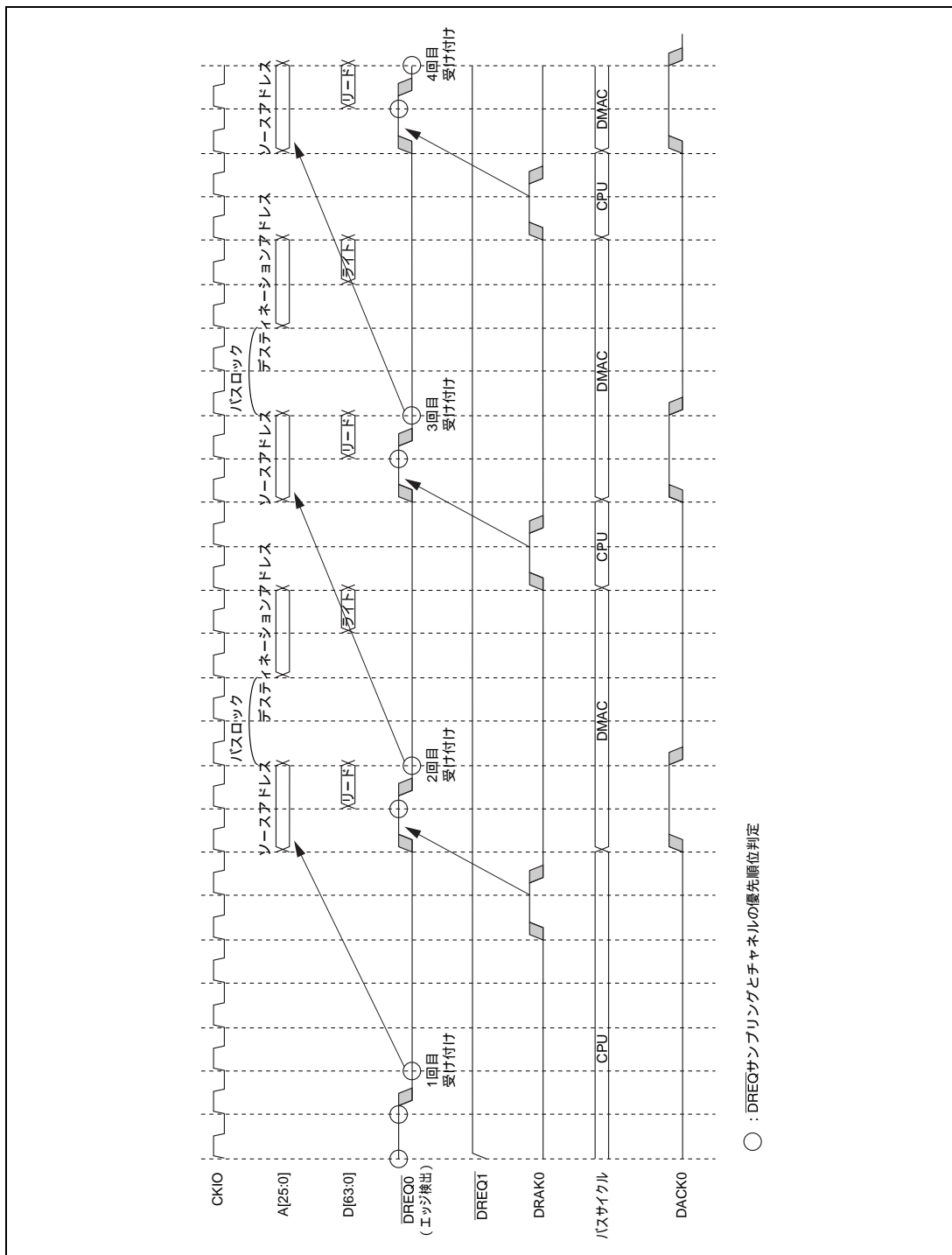


図 14.13 デュアルアドレスモード / サイクルスチールモード
外部バス 外部バス / DREQ (エッジ検出)、DACK (リードサイクル)

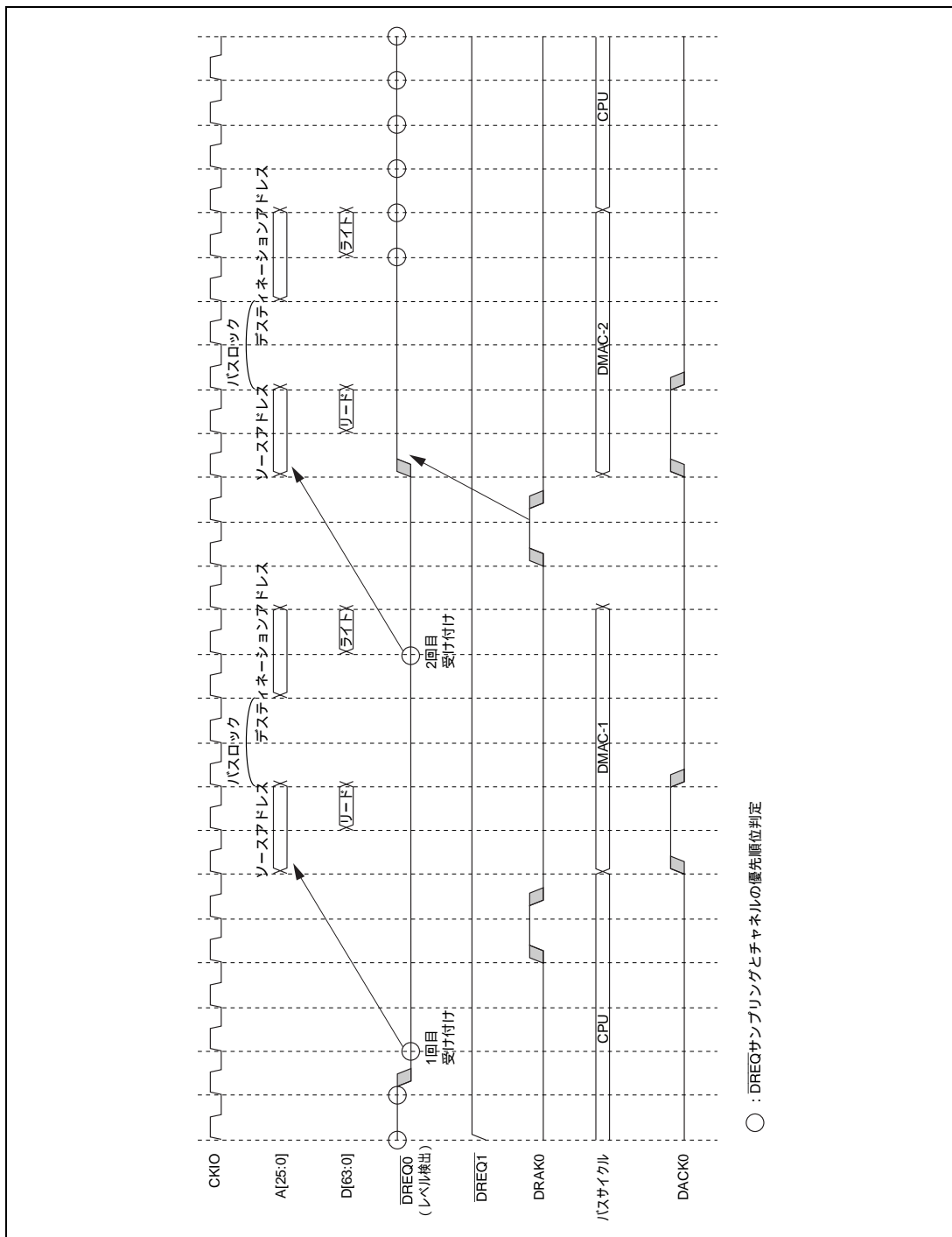


図 14.14 デュアルアドレスモード/バーストモード
外部バス 外部バス/ \overline{DREQ} (レベル検出)、DACK (リードサイクル)

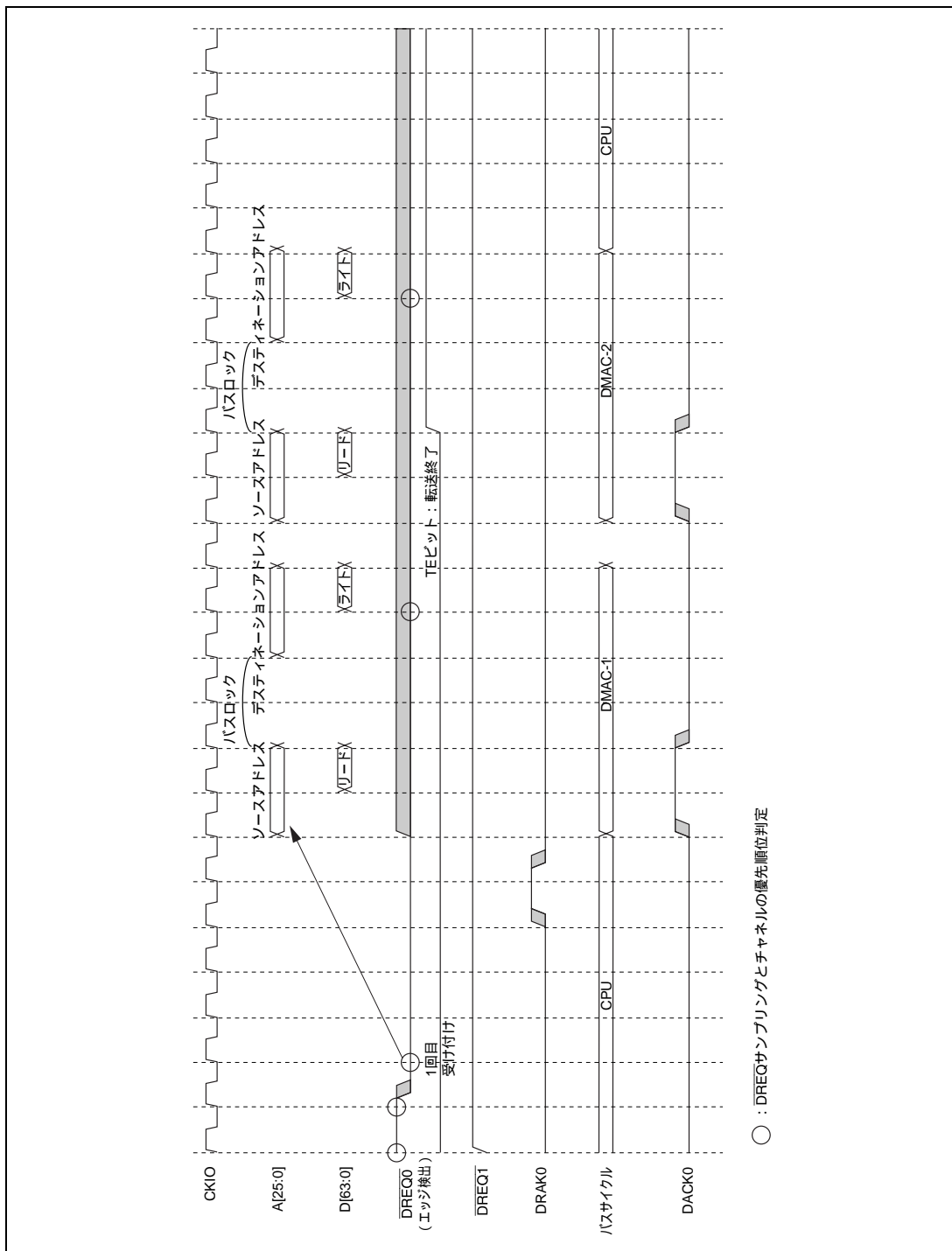


図 14.15 デュアルアドレスモード/バーストモード
外部バス 外部バス/ \overline{DREQ} (エッジ検出)、DACK (リードサイクル)

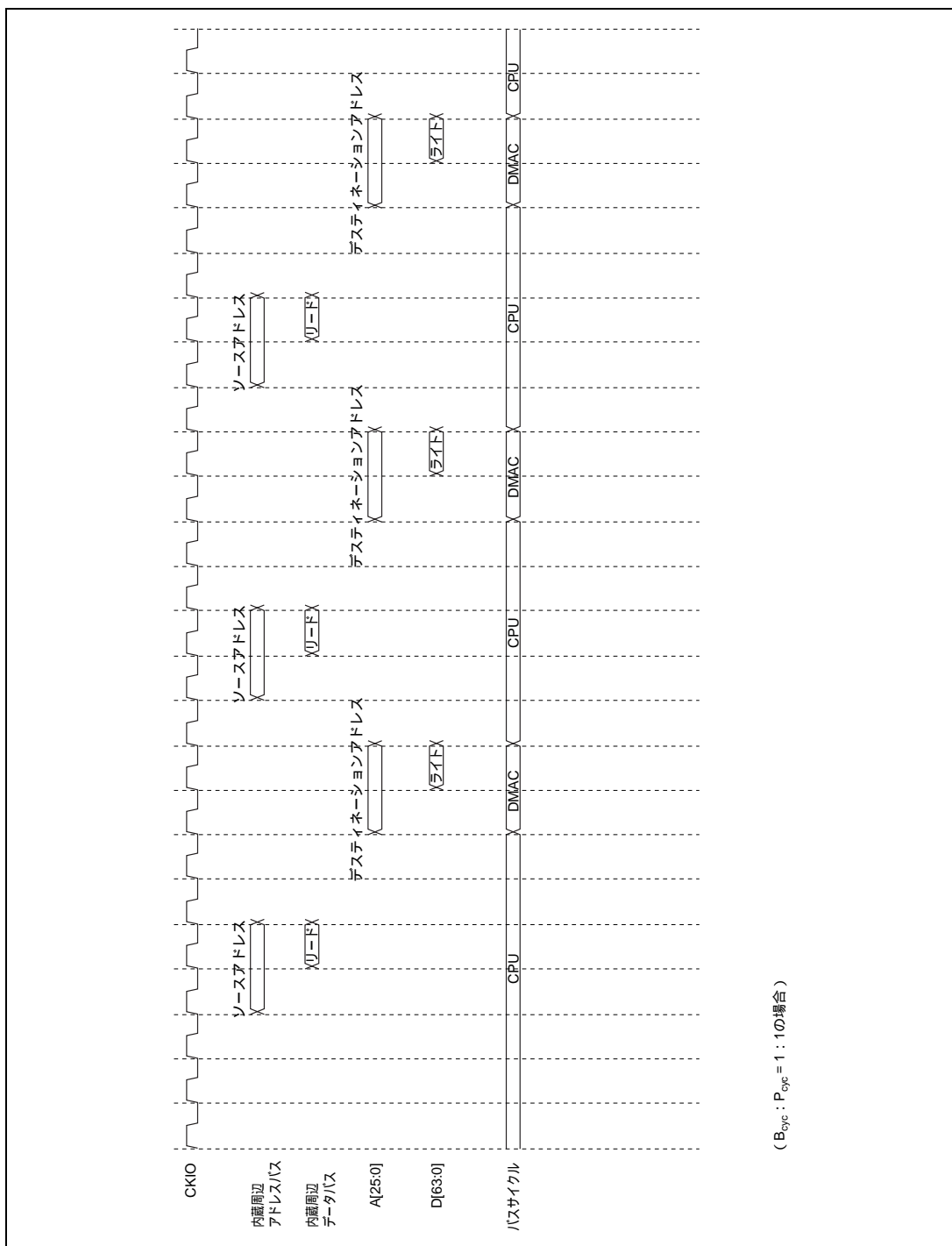


図 14.16 デュアルアドレスモード/サイクルスチールモード
内蔵 SCI (レベル検出) 外部バス

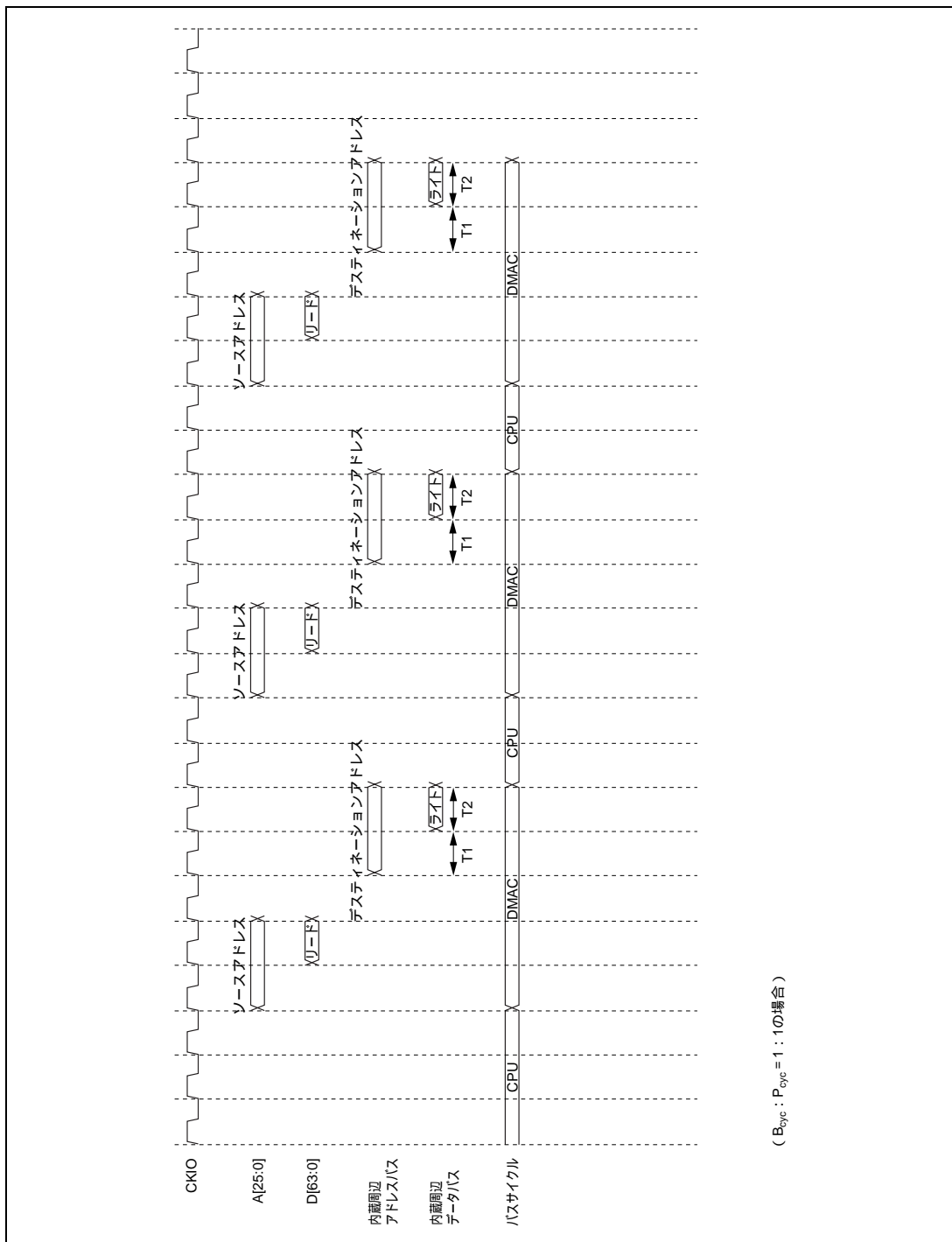


図 14.17 デュアルアドレスモード/サイクルスチールモード
外部バス 内蔵 SCI (レベル検出)

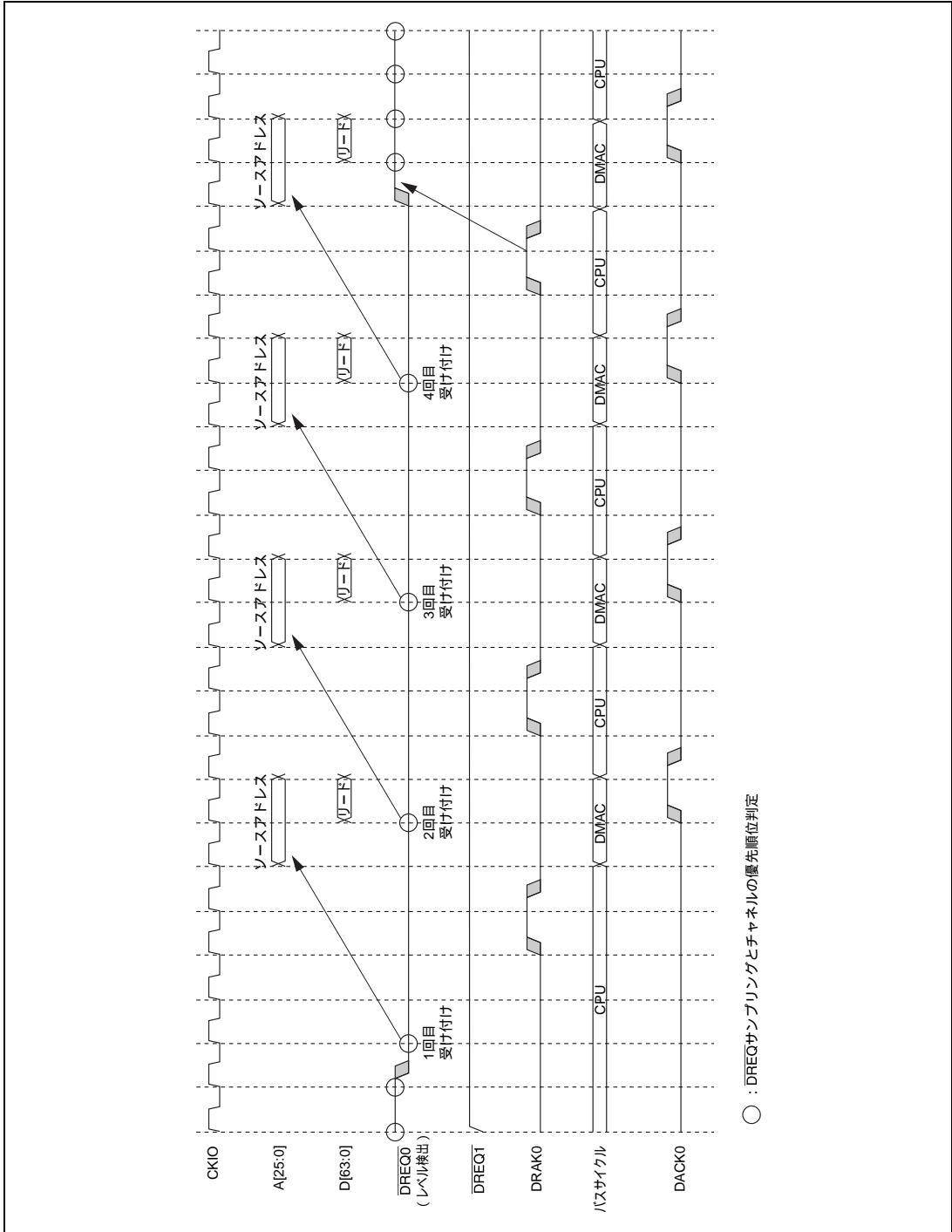


図 14.18 シングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス/ \overline{DREQ} (レベル検出)

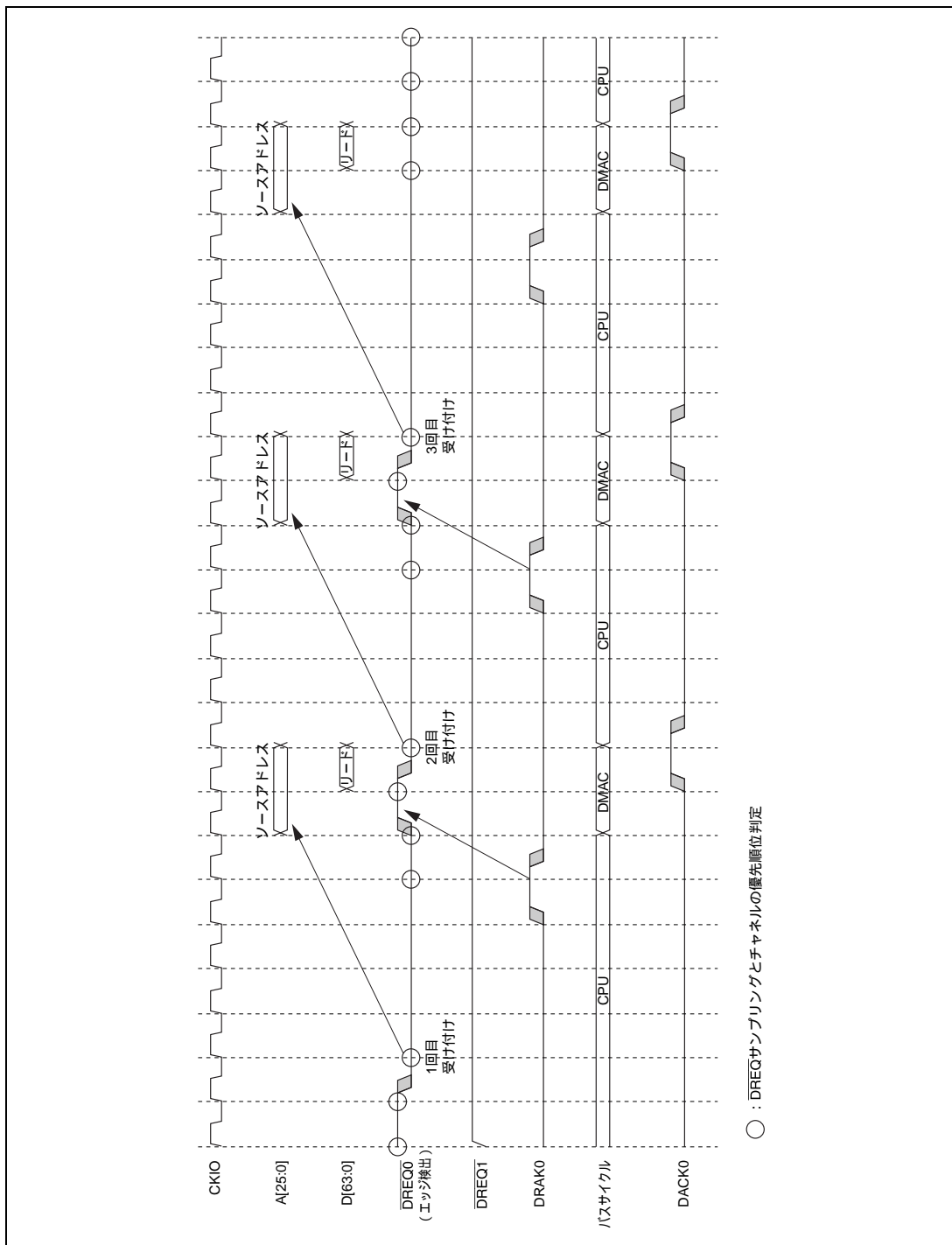


図 14.19 シングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス / DREQ (エッジ検出)

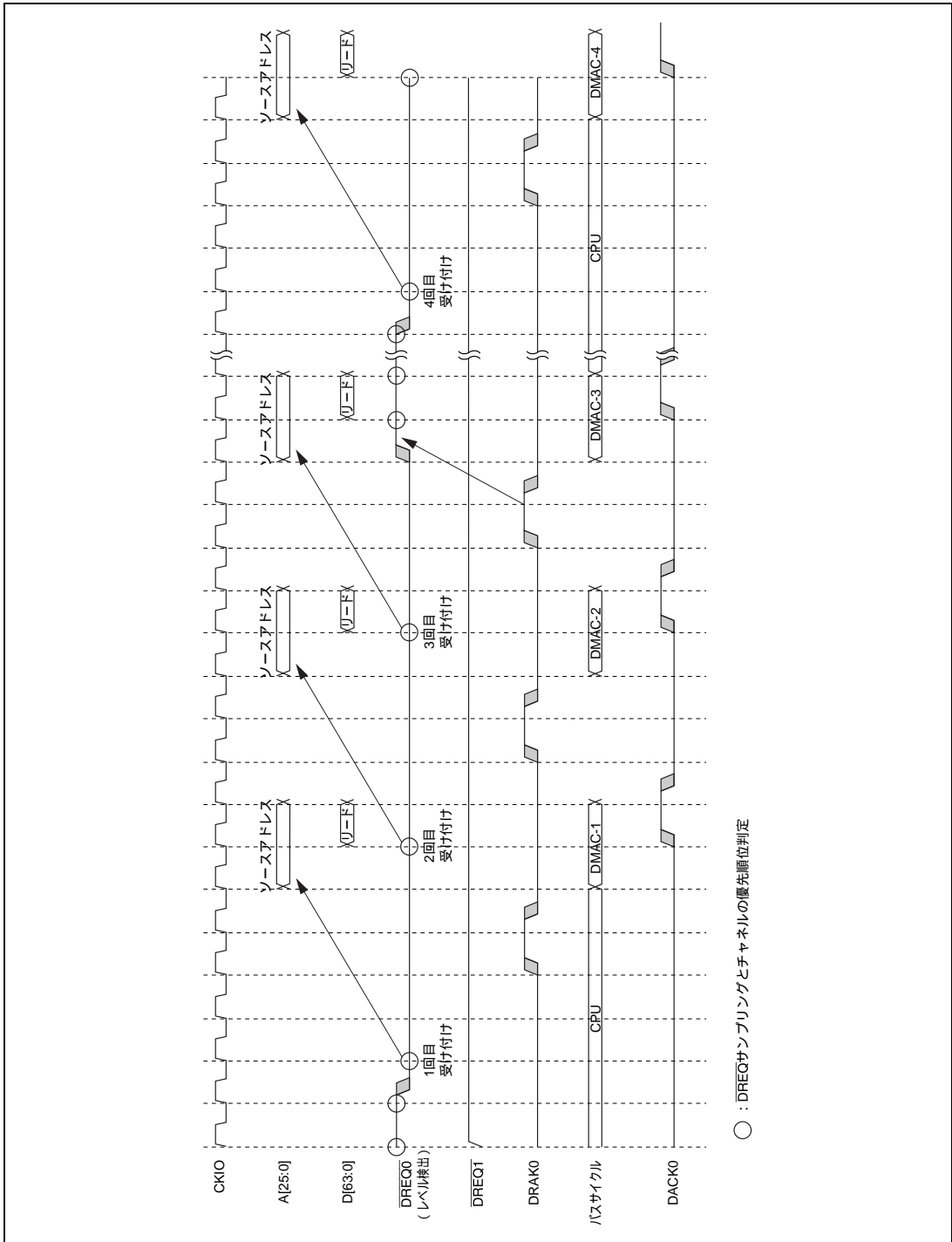


図 14.20 シングルアドレスモード/バーストモード
外部バス 外部デバイス / DREQ (レベル検出)

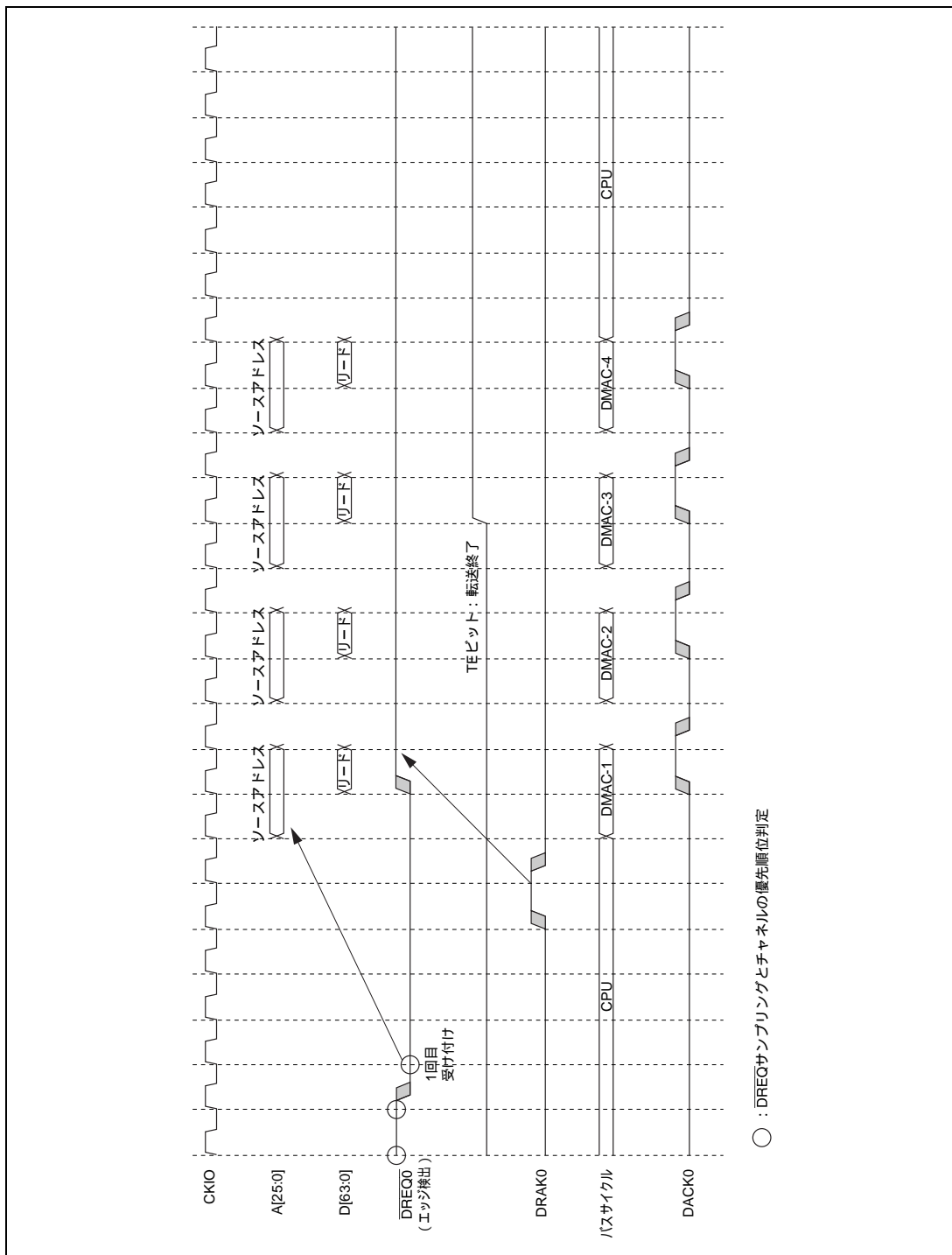


図 14.21 シングルアドレスモード / バーストモード
外部バス 外部デバイス / \overline{DREQ} (エッジ検出)

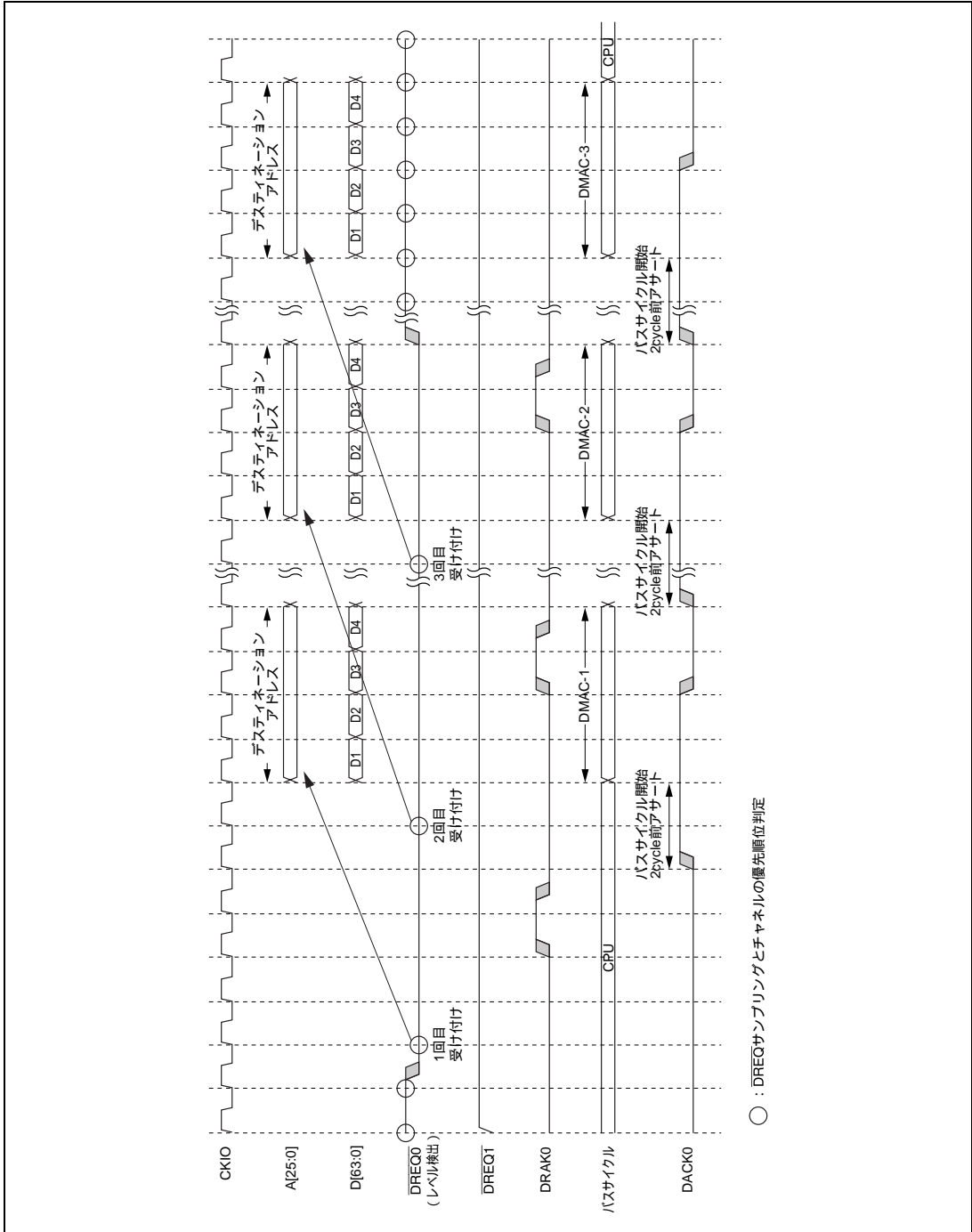


図 14.22 シングルアドレスモード/バーストモード
 外部デバイス 外部バス / DREQ (レベル検出) / 32 バイトブロック転送
 (バス幅 : 64 ビット、SDRAM : row hit write)

14.3.6 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。転送終了においては、DMA トランスファカウントレジスタ (DMATCR) の値が 0 になって終了する場合を除いて、以下の条件が適用されます。

- (A) サイクルスチールモード (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)

転送終了条件が満たされると、DMACの転送要求の受け付けが中断されます。DMACは転送終了条件が満たされるまでに受け付けた分の転送要求分の動作を終了した後、動作を停止します。

サイクルスチールモードの場合、転送要求の検出方法がエッジでもレベルでも、動作は同じです。

- (B) パーストモード、エッジ検出 (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合、DMACに起動をかけるための転送要求は最初の1回だけですが、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを、「14.3.5 (3) 動作説明」の (d)、(e) に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

- (C) パーストモード、レベル検出 (外部リクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合と同様に、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを「14.3.5 (3) 動作説明」の (b)、(c) に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

- (D) 転送中断が行われるバスタイミング

転送の中断は、DMAC転送のバスサイクル単位の処理が終了したところで発生します。デュアルアドレスモード転送の場合、リードサイクル中転送終了条件が満たされても、続くライトサイクル処理は実行されます、また上記 (A)、(B)、(C) にあてはまる分の転送も実行した後動作が中断されます。

- (1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMA トランスファカウントレジスタ (DMATCR) の値が 0 になる。
- DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

1. DMATCR = 0 による転送終了

DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット (TE) がセットされます。このときインターラプトイネーブルビット (IE) がセットされていると、CPU に割り込み (DMTE) が要求されます。

DMATCR = 0 による転送終了の場合は、14.3.6の (A)、(B)、(C)、(D) には従いません。

2. CHCRのDE=0による転送終了

CHCRのDMAイネーブルビット (DE) をクリアすると、対応するチャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。この転送終了の場合は14.3.6の (A)、(B)、(C)、(D) に従います。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAオペレーションレジスタ (DMAOR) のアドレスエラービット (AE) または、NMIフラグビット (NMIF) が1にセットされる。
- DMAORのDMAマスタイネーブルビット (DME) を0にクリアする。

3. DMAORのAE=1による転送終了

アドレスエラーが発生して、DMAORのAEビットが1になると、すべてのチャンネルのDMA転送が14.3.6 (A)、(B)、(C)、(D) の条件に従って中断されバス権をCPUに渡します。したがって、AE=1になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE) ビットはセットされません。転送を再開する前にアドレスエラーの原因となっているチャンネルの再設定を行った後、AE=1をリードして、AE=0をライトする必要があります。AE=1の間は、外部リクエストの受け付けを中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受け付けを中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

4. DMAORのNMIF=1による転送終了

NMI割り込みが発生して、DMAORのNMIFビットが1になると、すべてのチャンネルのDMA転送が14.3.6 (A)、(B)、(C)、(D) の条件に従って中断されバス権をCPUに渡します。したがって、NMIF=1になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE) ビットはセットされません。NMI割り込み例外処理終了後に、転送を再開する場合はNMIF=1をリードして、NMIF=0をライトする必要があります。またAE=1の場合と同様に、NMIF=1の間は、外部リクエストの受け付けを中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受け付けを中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

5. DMAORのDME=0による転送終了

DMAORのDMEビットを0にクリアすると、すべてのチャンネルのDMA転送が14.3.6 (A)、(B)、(C)、(D) の条件に従って中断され、バス権をCPUに渡します。この場合は、(TE) ビットはセットされません。DME=0になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。再開する場合は、DME=1をセットしてください。続きから転送を再開します。

14.4 使用例

14.4.1 外部メモリと DACK 付き外部デバイスとの転送例

外部メモリ上のデータを DMAC のチャンネル 1 を使用して DACK 付き外部デバイスに転送する例を考えます。

表 14.10 に転送条件と、各レジスタの設定値を示します。

表 14.10 外部メモリと DACK 付き外部デバイス間転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR1	H'0C000000
転送先：DACK 付き外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'00000020
転送元アドレス：減少	CHCR1	H'000022A5
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：2 > 0 > 1 > 3	DMAOR	H'00000201

14.5 オンデマンドデータトランスファモード (DDT モード)

14.5.1 動作説明

DMAOR の DDT ビットを 1 に設定することによって、オンデマンドデータトランスファモード (DDT モード) になります。DDT モードでは、外部デバイスと DMAC の間で \overline{DBREQ} 、 \overline{BAVL} 、 \overline{TR} 、 \overline{TDACK} 、ID [1:0] 各信号を使ってデータバス、DDT モジュールを経由し、チャンネル 0~3 に直接シングルアドレスモード転送の設定を行い、同時に転送要求を出すことができます。図 14.23 に DMAC、DDT、BSC と外部デバイス (\overline{DBREQ} 、 \overline{BAVL} 、 \overline{TR} 、 \overline{TDACK} 、ID [1:0]、D[63:0]=DTR 端子付き) のブロック図を示します。

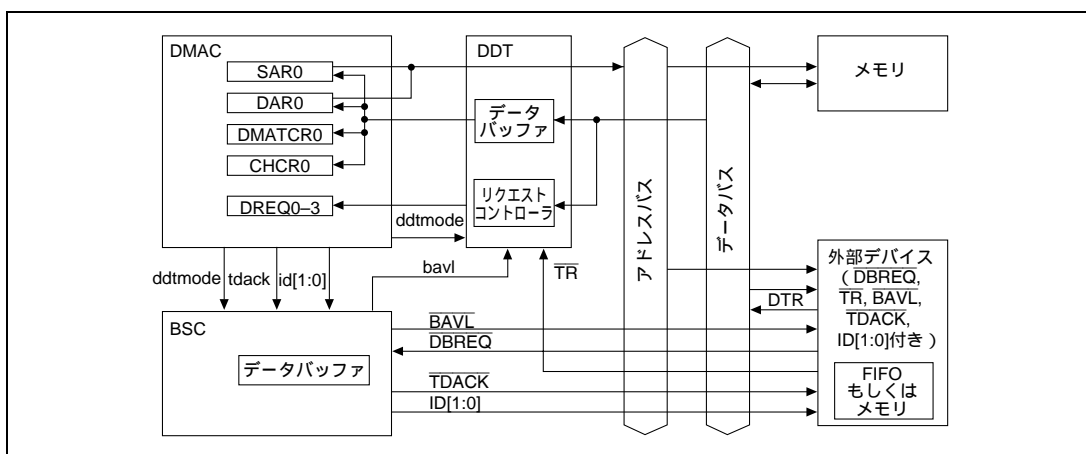


図 14.23 オンデマンドデータトランスファモードのブロック図

最初に DMAC のチャンネル 0~3 に、CPU を使用して通常の DMA 転送の設定を行った後、外部デバイスから、 \overline{DBREQ} 、 \overline{BAVL} 、 \overline{TR} 、 \overline{TDACK} 、ID[1:0]、D[63:0]=DTR の各信号を使用して転送要求を出力します (データバスを使用するハンドシェイクプロトコル)。さらに、外部バスを使用しないで \overline{TR} のみのアサートにより転送要求を出すこともできます (データバス不使用のハンドシェイクプロトコル)。チャンネル 2 に対しては、通常の方法で DMA 転送の設定を行った後、外部デバイス (\overline{DBREQ} 、 \overline{BAVL} 、 \overline{TR} 、 \overline{TDACK} 、ID[1:0]、D[63:0]=DTR 端子付き) から \overline{DBREQ} 、 \overline{TR} を同時にアサートすることによって、直接転送要求を出すことが可能です。

【注】 DTR フォーマット = データ転送要求フォーマット

DDT モードでは、5 種類のモードから選択して DMA 転送を行うことができます。

1. 通常データ転送モード (チャンネル 0)

外部デバイスから \overline{DBREQ} (データバス要求信号) により、 \overline{BAVL} (データバス使用許可信号) がアサートされます。 \overline{BAVL} がアサートされてから、2 サイクル後 (CKIO 同期) に外部デバイスは、 \overline{TR} (転送要求信号) と同期してデータ転送設定コマンド (DTR コマンド) をドライブします。この後、DMAC のチャンネル 0 の制御レジスタへの初期設定を行い DMA 転送を処理します。

2. 通常データ転送モード (チャンネル1~3)

CPUからデータ転送設定をDMACにしており、DMA転送要求のみ外部デバイスから行うモードです。

1.と同様に外部デバイスから $\overline{\text{DBREQ}}$ をアサートし外部バス権を確保した後に、DTRフォーマットをドライブします。

このとき、DTRフォーマットのIDビット (2ビット) により、転送要求チャンネルを指定することができます。

3. データバスを使用するハンドシェイクプロトコル (チャンネル0のみ有効)

このモードは、チャンネル0のみに対して有効なモードです。

SH7750は、通常データ転送モード (チャンネル0) によるDMACのチャンネル0の制御レジスタに初期設定後、SH7750Sは、CPUからDMACのチャンネル0の制御レジスタに初期設定するか、または通常データ転送モード (チャンネル0) によるDMACのチャンネル0の制御レジスタに初期設定後、DTRフォーマットのID=00、MD=00、SZ 101、110に設定してDTRフォーマットをドライブすることにより、DDTがDMACにデータ転送要求をアサートします。

4. データバス不使用のハンドシェイクプロトコル

DDTモジュールには、直前にアサートしたリクエストのチャンネルを記憶している機能があり、これを利用することにより、DMACの制御レジスタに初期設定 (DTRフォーマットおよび、CPUによるデータ転送設定をDMACに設定) をしたチャンネルへ1度転送要求した後に、 $\overline{\text{TR}}$ のみを外部デバイスからアサートして直前にアサートしたリクエストのチャンネルへの転送要求をアサートすることができます。

5. ダイレクトデータ転送モード (チャンネル2のみ有効)

DMACのチャンネル2の制御レジスタに初期設定をした後、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ を同時に外部デバイスからアサートすることにより、チャンネル2へデータ転送要求をアサートすることができます。

14.5.2 DDT モードにおける端子説明

図 14.24 に DDT モードにおけるシステム構成を示します。

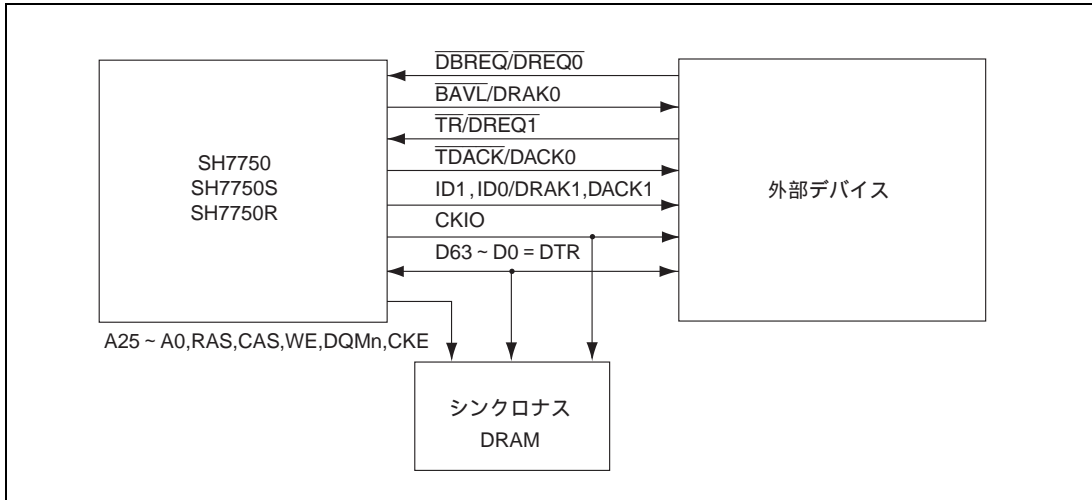


図 14.24 オンデマンドトランスファモードにおけるシステム構成

- $\overline{\text{DBREQ}}$: 外部デバイスからDMACへ、データ転送要求フォーマット (DTRフォーマット) またはDMA要求を送信するためのデータバス解放要求信号。

外部デバイスは、データバス解放待ちがある場合、 $\overline{\text{DBREQ}}$ をアサートすることによりデータバスを解放させることができます。 $\overline{\text{DBREQ}}$ を受け付けた場合、BSCは $\overline{\text{BAVL}}$ をアサートします。

- $\overline{\text{BAVL}}$: データバスD63 ~ D0の解放信号。
 $\overline{\text{BAVL}}$ のアサートは、データバスが2サイクル後に解放されることを意味します。解放される前後1サイクルを含む合計3サイクルは、本LSIはデータ端子を出力状態にしません。
- $\overline{\text{TR}}$: 転送要求信号。
 $\overline{\text{TR}}$ のアサートは次の異なる意味を持ちます。
 - 通常データ転送モード (チャンネル0、チャンネル0以外) の場合は、 $\overline{\text{BAVL}}$ をアサートして、2サイクル後に $\overline{\text{TR}}$ をアサートと同時にDTRフォーマットを出力します。
 - データバス不使用のハンドシェイクプロトコルの場合は、 $\overline{\text{TR}}$ のみをアサートすることにより、直前に転送要求したチャンネルに対して転送要求を出すことができます。2サイクル前に $\overline{\text{BAVL}}$ がアサートされていないときのみ使用可能です。
 - ダイレクトデータ転送モード (チャンネル2のみ有効) の場合は、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ を同時にアサートすることにより、チャンネル2へ直接転送要求を出すことができます。
- $\overline{\text{TDACK}}$: DMACから外部デバイスに対する応答ストロブ信号。
アサートタイミングは、各メモリインタフェースの DACK_n のアサートタイミングと同じです。ただし、本信号は、ローアクティブな信号です。

- ID1、ID0：チャンネル番号通知信号
 - 00：チャンネル0 (デマンドデータ転送を意味します)
 - 01：チャンネル1
 - 10：チャンネル2
 - 11：チャンネル3

(1) データ転送要求フォーマット (DTR)

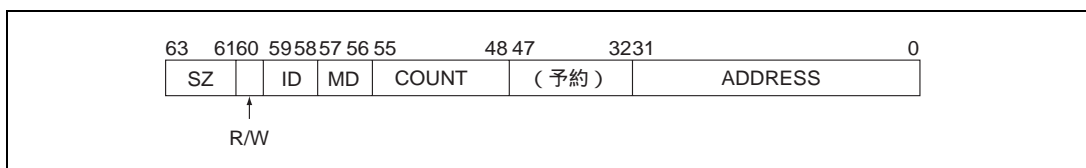


図 14.25 データ転送要求フォーマット

データ転送要求フォーマット (DTR フォーマット) は 64 ビットです。D[63:0]に接続します。通常データ転送モード (チャンネル0、チャンネル0 以外) および、データバスを使用するハンドシェイクプロトコルの場合に、転送データサイズ、リード/ライト、チャンネル番号、転送要求モード、転送回数、転送元または転送先アドレスを指定します。ビット 47~32 への指定は無効です。

SH7750 は、通常データ転送モード (チャンネル0) の場合、シングルアドレスモードのみ設定可能です。DTR フォーマットにより、DMA チャンネルコントロールレジスタ 0 には DS=(0:MD=10、11、1:MD=01)、RL=0、AL=0、DM[1:0]=01、SM[1:0]=01、RS[3:0]=(0010:R/W=0、0011:R/W=1)、TM=(0:MD=11、1:MD=01、10)、TS[2:0]=(SZ)、IE=0、トランスファカウンタレジスタ 0 には COUNT、ソース/デスティネーションアドレスレジスタ 0 には ADDRESS が設定されます。したがって、DDT モード時には、CPU から上記制御レジスタへの書き込みはできませんが、読み出しは可能です。

SH7750S は、通常データ転送モード (チャンネル0) の場合でも DMAC の制御レジスタ CHCR0、SAR0、DAR0、DMATCR0 へ CPU から書き込み、読み出しが可能です。この場合に CPU から DMAC の制御レジスタへ書き込み後、DTR フォーマットによる転送要求 (MD[1:0]=01、10、11) を送った時は、制御レジスタが上書きされますので注意してください。

ビット 63~61：トランスミットサイズ (SZ2~SZ0)

- 000：バイトサイズ (8ビット) 指定
- 001：ワードサイズ (16ビット) 指定
- 010：ロングワードサイズ (32ビット) 指定
- 011：クワッドワードサイズ (64ビット) 指定
- 100：32バイトブロック転送指定
- 101：設定禁止
- 110：リクエストキュークリア指定
- 111：転送終了指定

ビット 60：リード/ライト (R/W)

- 0：メモリアドレス指定
- 1：メモリアドレス指定

ビット 59、58 : チャネル番号 (ID1、ID0)

- 00 : チャネル0 (デマンドデータトランスファ)
- 01 : チャネル1
- 10 : チャネル2
- 11 : チャネル3

ビット 57、56 : 転送要求モード (MD1、MD0)

- 00 : ハンドシェイクプロトコル (データバス使用)
- 01 : パーストモード (エッジ検出) 指定
- 10 : パーストモード (レベル検出) 指定
- 11 : サイクルスチールモード指定

ビット 55~48 : トランスファカウント (COUNT7~COUNT0)

転送回数 : 1~255回

00000000 : 最大転送回数 (16M回)

ビット 47~32 : 予約ビット

ビット 31~0 : アドレス (ADDRESS31~ADDRESS0)

- R/W = 0 : 転送元アドレス設定
- R/W = 1 : 転送先アドレス設定

- 【注】
1. チャネル1~3の場合は、IDフィールドのみ有効です。
 2. チャネル0の場合にデマンドデータトランスファによるDMA転送を開始するには、DTRフォーマット初期値では、MDは01、10または11でなければなりません。
 3. COUNTフィールドは、MD=00のとき無視されます。
 4. エッジセンスパーストモードで、DMA転送を連続して実行します。レベルセンスパーストモードおよびサイクルスチールモードは、各データを転送するためにハンドシェイクプロトコルを使用します。
 5. DTRフォーマットの初期化データでCOUNT=0に設定すると、最大転送回数を指定できます。データ転送量が不明の場合は、DTRフォーマットでCOUNT=0に設定し、DMA転送を開始させ、必要なデータ量の転送が完了したところで、DTRフォーマット(ID=00、MD=00、SZ=111)を転送すれば、チャネル0のDMA転送を終了させることができます。

この場合、DMAチャネルコントロールレジスタ0のTEはセットされませんが、転送を再開させることはできません。
 6. ポート使用時(BCR2.PORTEN=1)かつDDTモード使用時には、D[63:52]、D[31:0]に対してDTRフォーマットを入力してください。この場合、ID[1:0]=00のときは、MD[1:0]=00、SZ=101、110を入力してください。
 7. DTRフォーマット転送時、ID[1:0]=00のときは、MD[1:0]=00、SZ=101、110を入力してください。

14.5.3 各チャンネルの転送要求受け付けについて

チャンネル0は、DTRフォーマットによりDMAデータ転送要求が可能です。DTRフォーマット受け付け後からデータ転送終了までは、次の転送要求は受け付けられません。

チャンネル1~3は、ノーマルDMAモードと同様にDMACの制御レジスタへの設定を行った後、DTRフォーマット(ID=01、10、11)により転送要求を外部デバイスから出力してください。チャンネル1~3は、最大4つまでの転送要求を受け付けるキュー(リクエストキュー)を各チャンネルが持っています。リクエストキューがいっぱいの場合、5つ目以降の転送要求は無視されますので転送要求を出力しないことが必要です。リクエストキューに転送要求が残っている状態で、CHCR.TE=1となり転送終了した場合、リクエストキューは保持されたままです。この時、さらに転送要求があった場合、リクエストキューが空いていれば、転送要求はリクエストキューに追加されます。

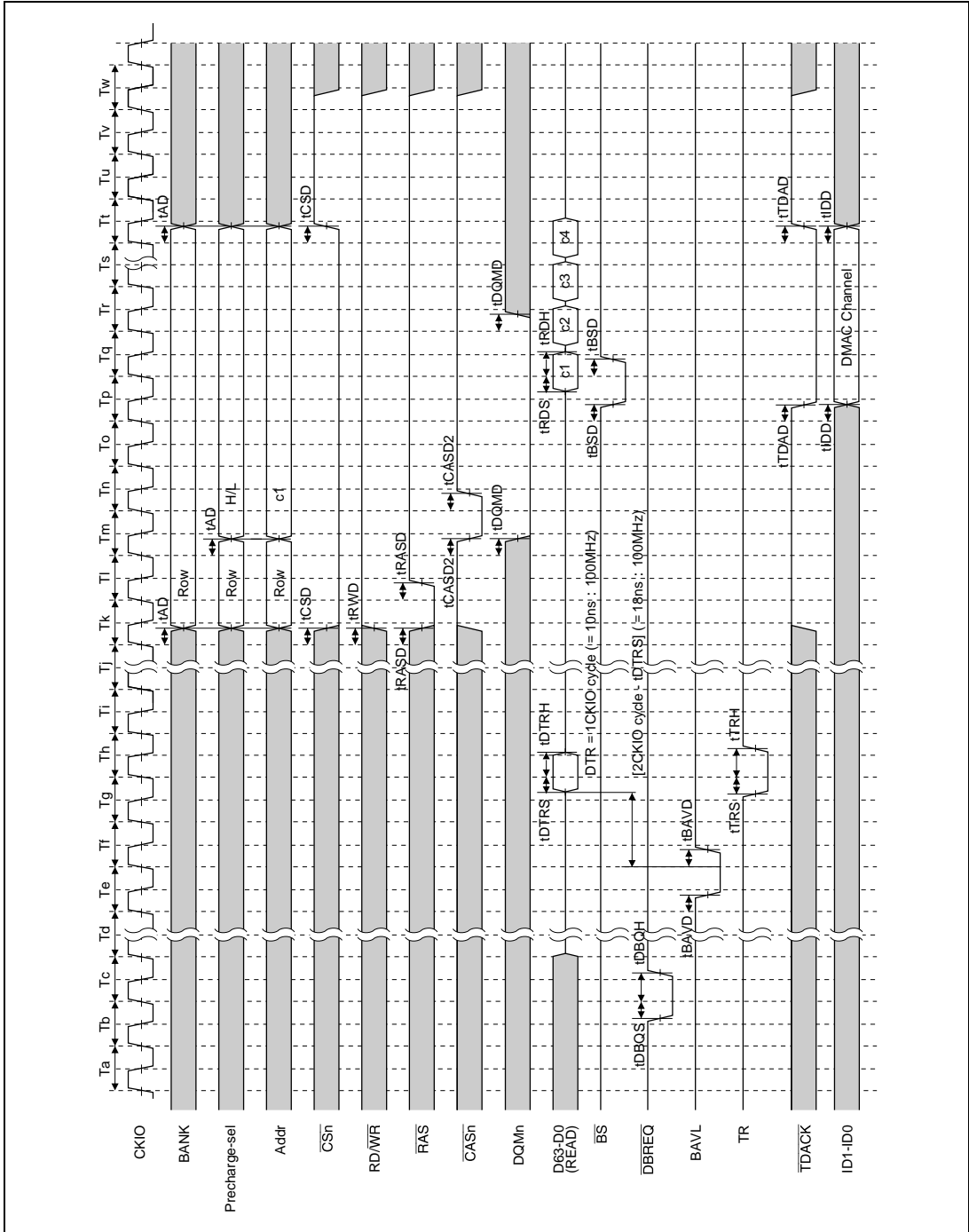


図 14.26 シングルアドレスモード/シンクロナス DRAM 外部デバイスロングワード転送
SDRAM オートプリチャージリードバスサイクル、バースト (RCD[1:0]=01, CAS レイテンシ=3, TPC[2:0]=001)

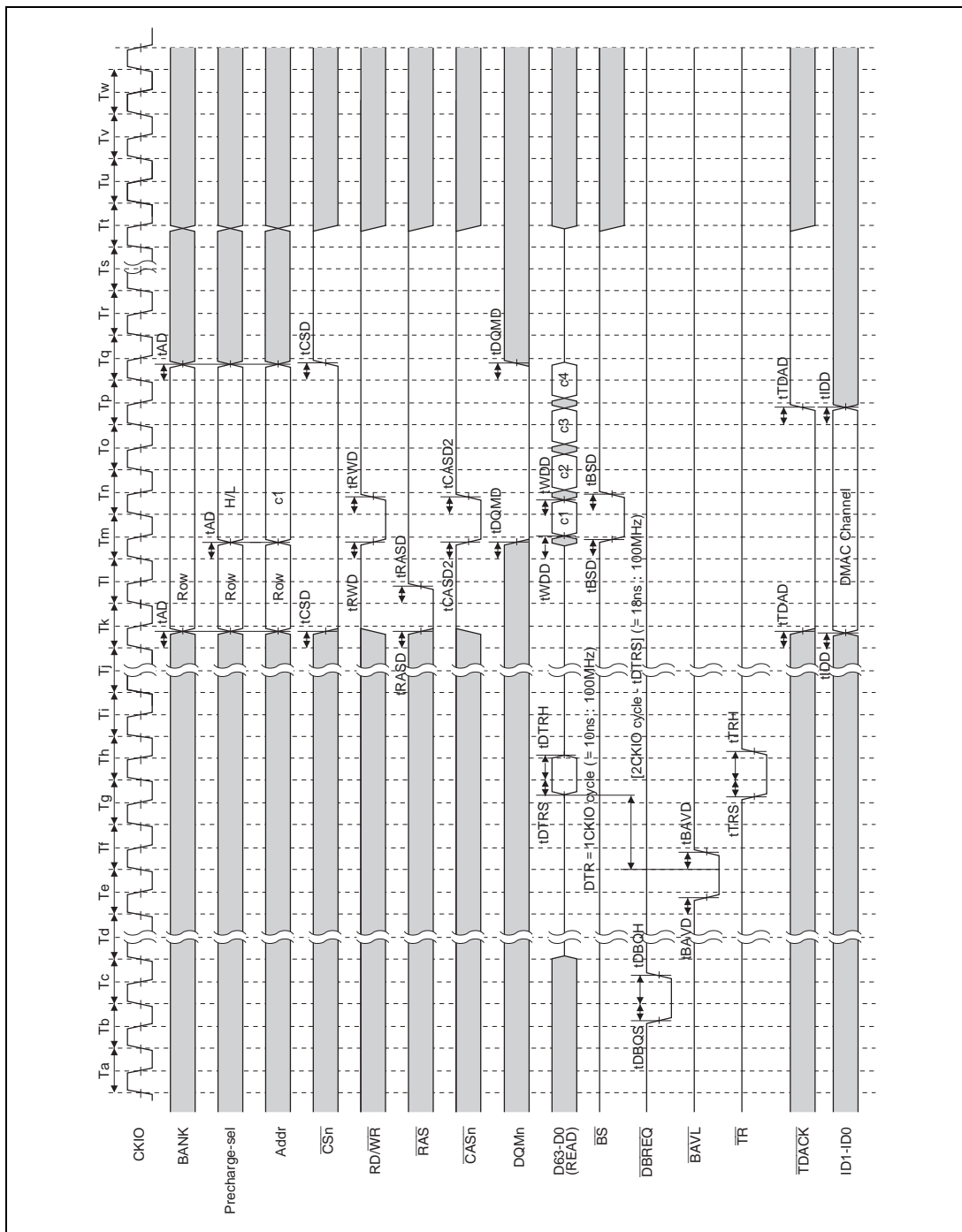


図 14.27 シングルアドレスモード/外部デバイス シンクロナス DRAM ロングワード転送
SDRAM オートプリチャージライトバスサイクル、バースト (RCD[1:0]=01, TRWL[2:0]=010, TPC[2:0]=001)

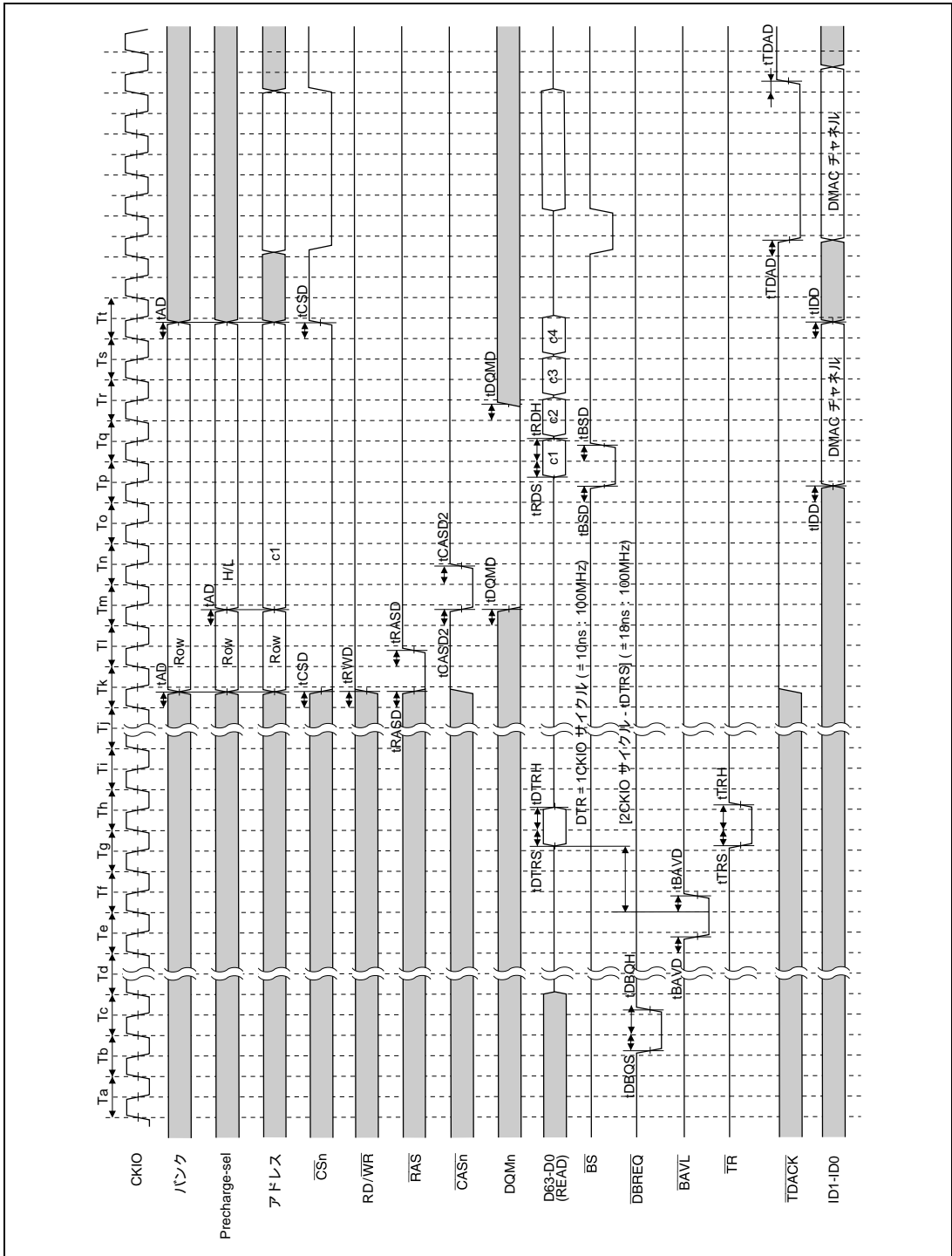


図 14.28 デュアルアドレスモード/シンクロナス DRAM SRAM 類ロングワード転送

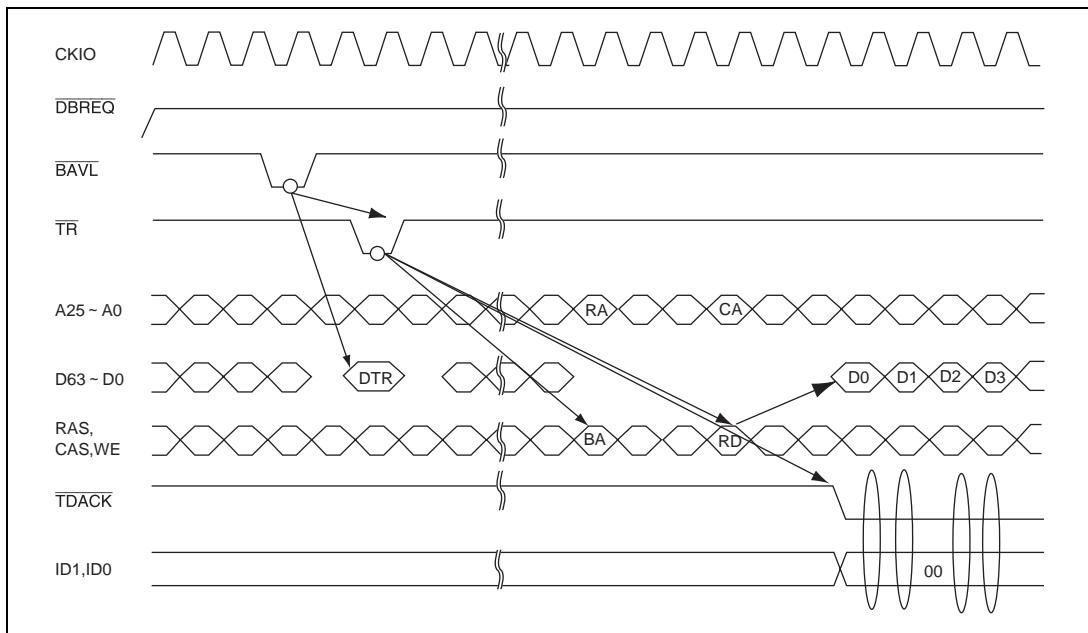


図 14.29 シングルアドレスモード/バーストモード/外部バス 外部デバイス
32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送

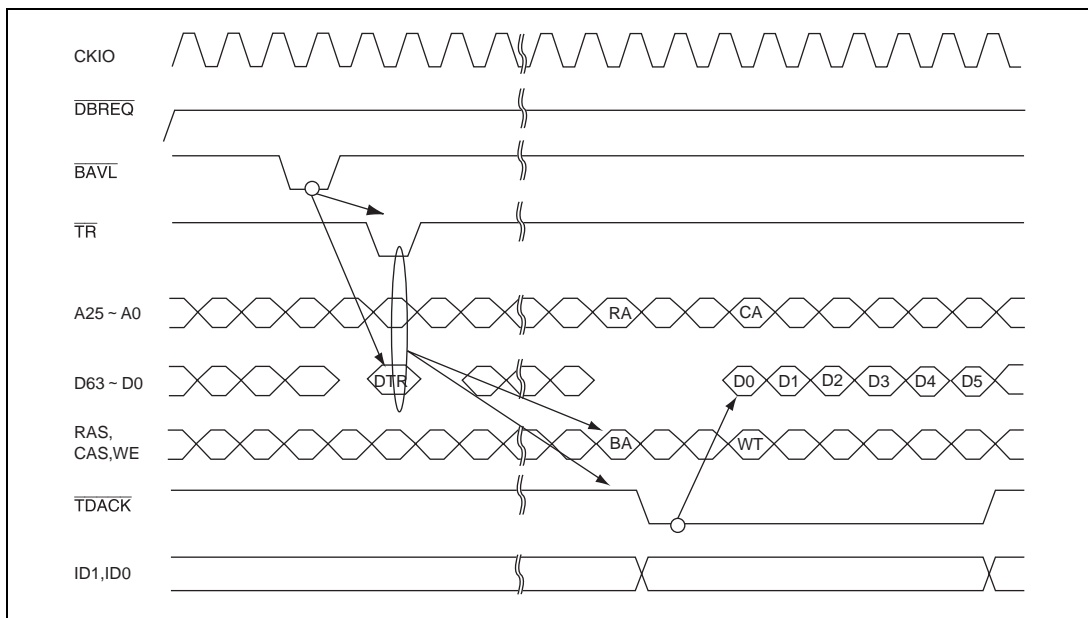


図 14.30 シングルアドレスモード/バーストモード/外部バス 外部バス
32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送

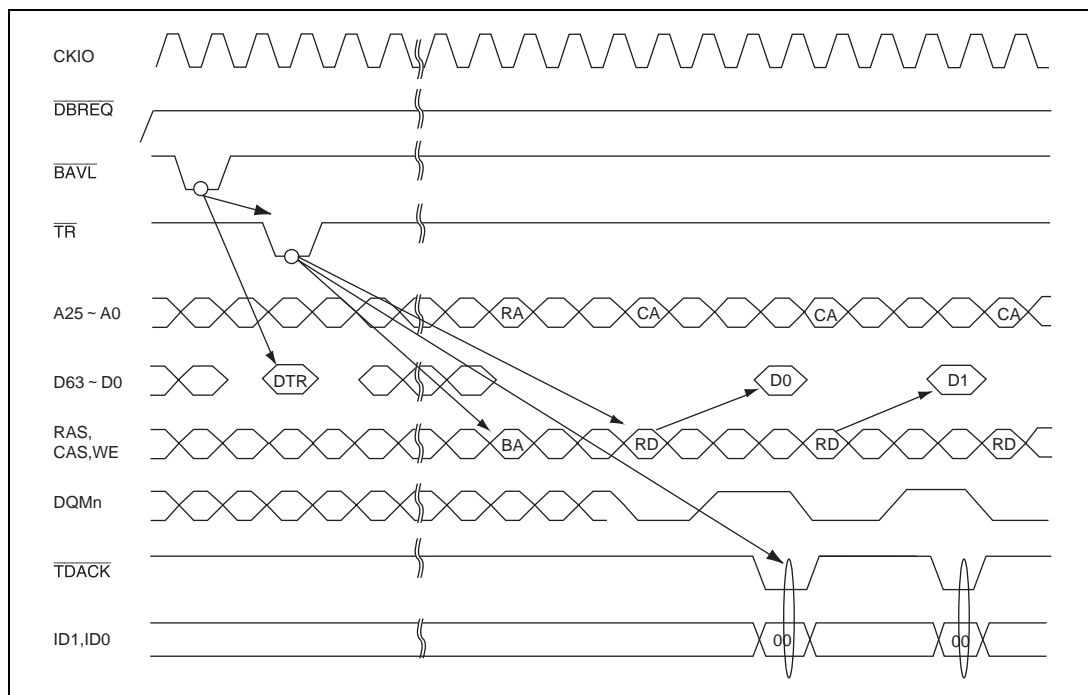


図 14.31 シングルアドレスモード/バーストモード/外部バス 外部デバイス
32 ビット転送/チャンネル 0 オンデマンドデータ転送

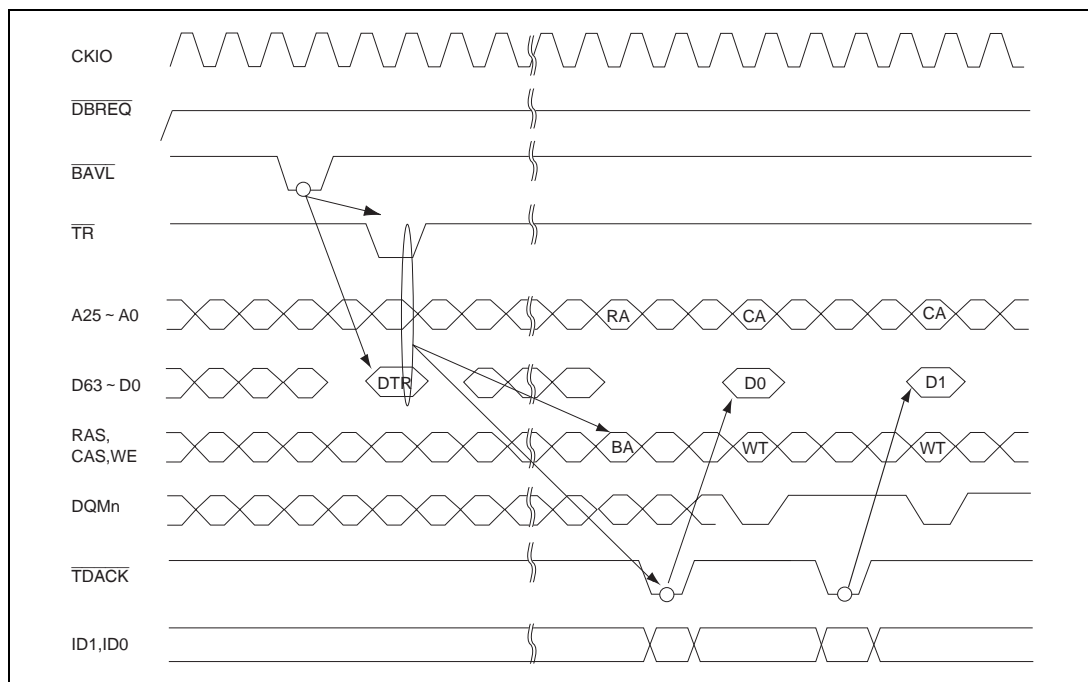


図 14.32 シングルアドレスモード/バーストモード/外部デバイス 外部バス
32 ビット転送/チャンネル0 オンデマンドデータ転送

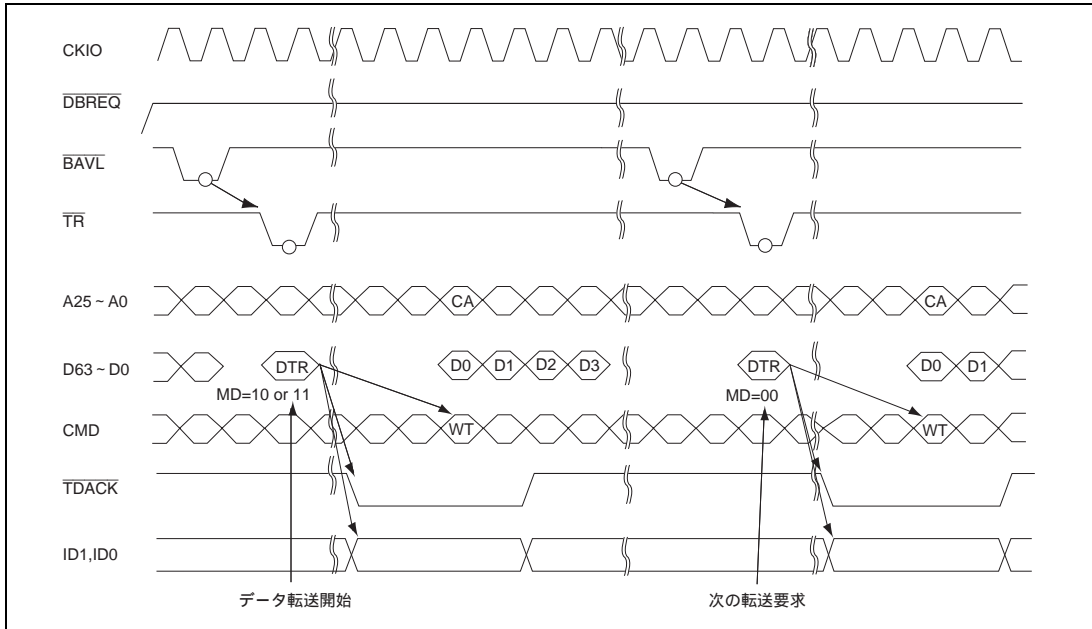


図 14.33 データバスを使用したハンドシェイクプロトコル
(チャンネル0 オンデマンドデータ転送)

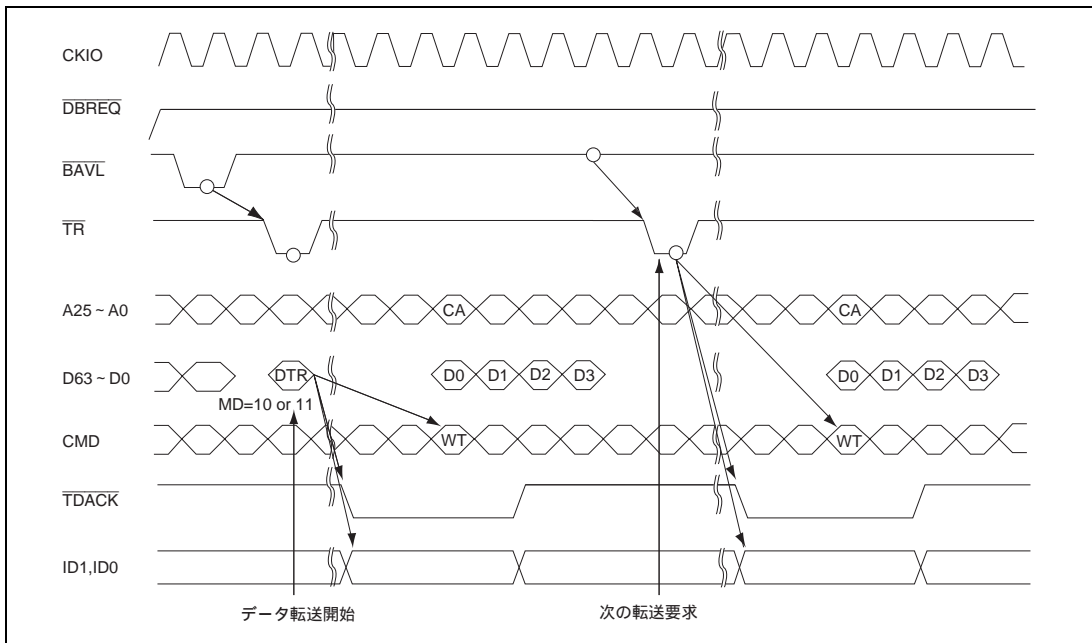


図 14.34 データバスを使用しないハンドシェイクプロトコル
(チャンネル0 オンデマンドデータ転送)

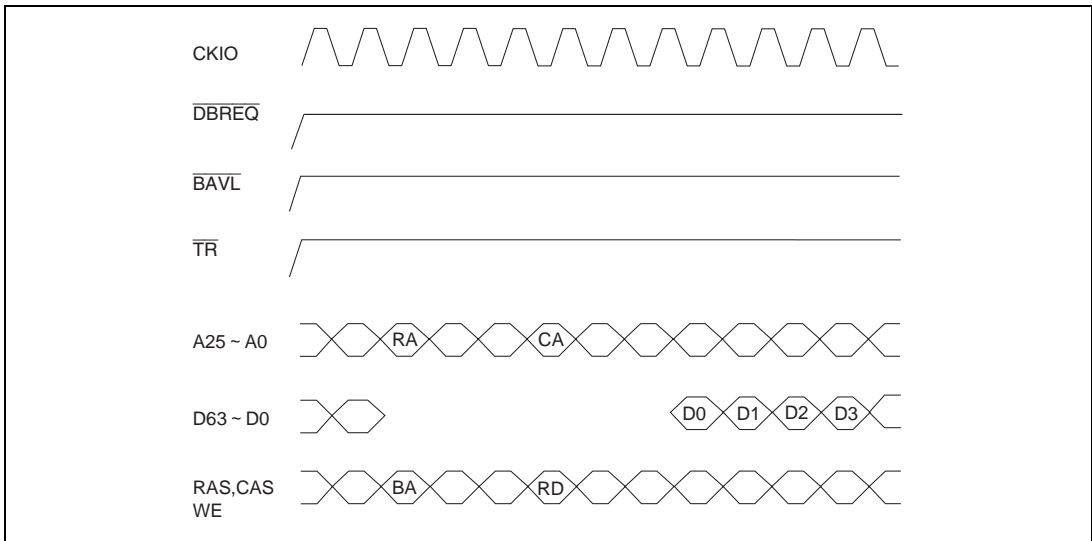


図 14.35 シンクロナス DRAM のプリチャージバンクからのリード

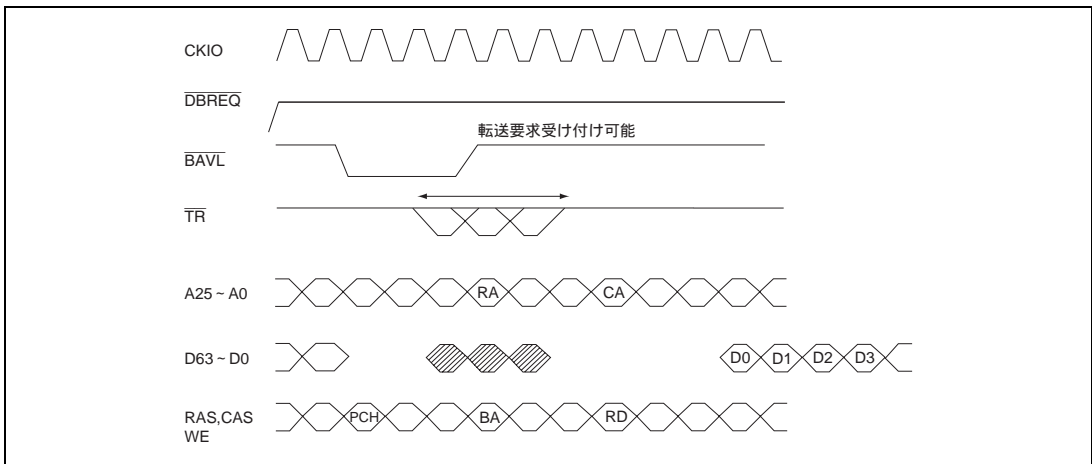


図 14.36 シンクロナス DRAM の非プリチャージバンクからのリード (row ミスの場合)

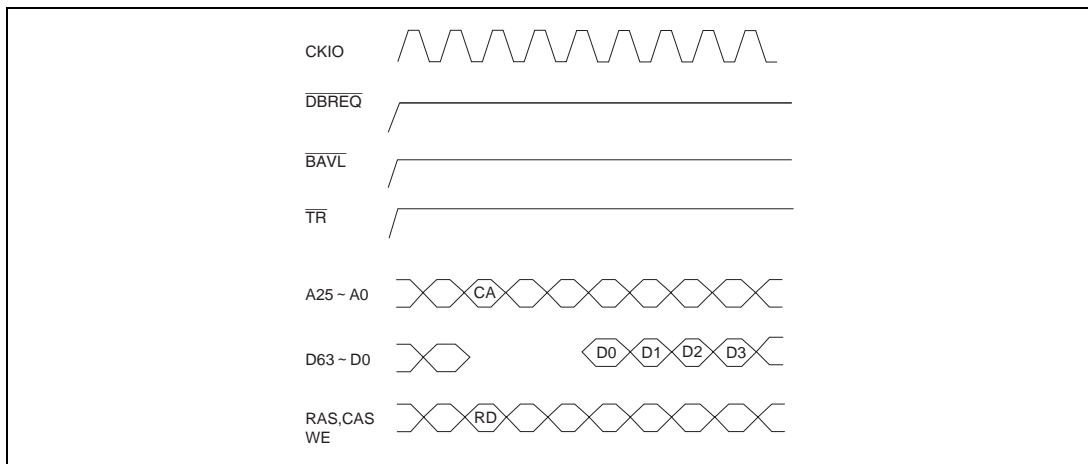


図 14.37 シンクロナス DRAM からのリード、row ヒットの場合

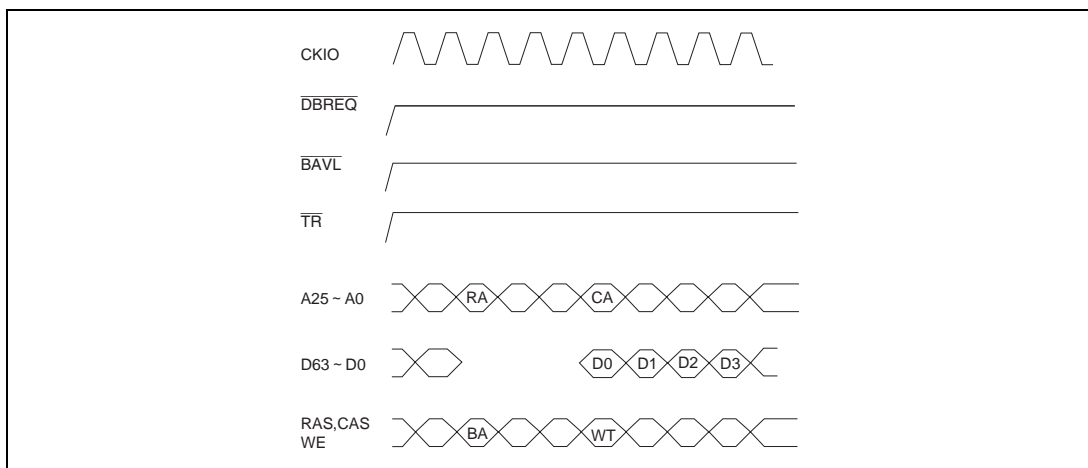


図 14.38 シンクロナス DRAM のプリチャージバンクへのライト

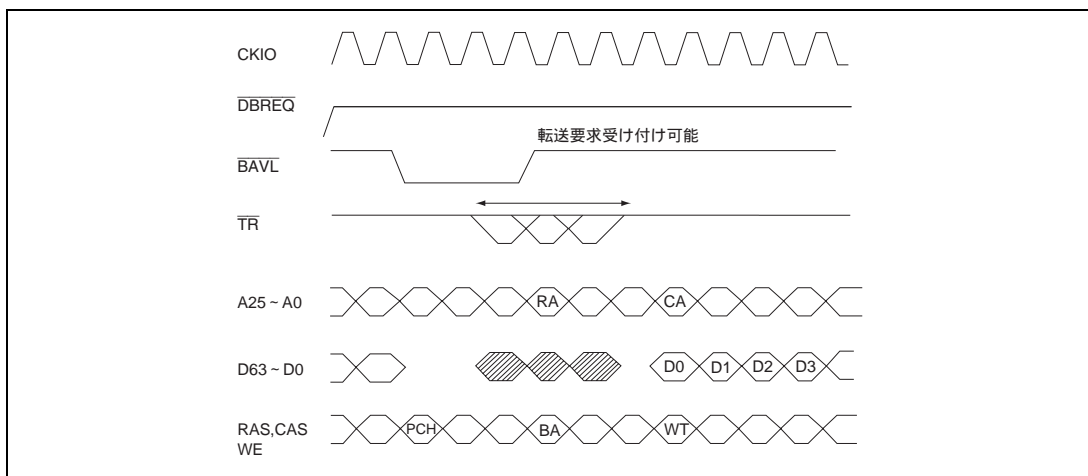


図 14.39 シンクロナス DRAM の非プリチャージバンクへのライト (row ミスの場合)

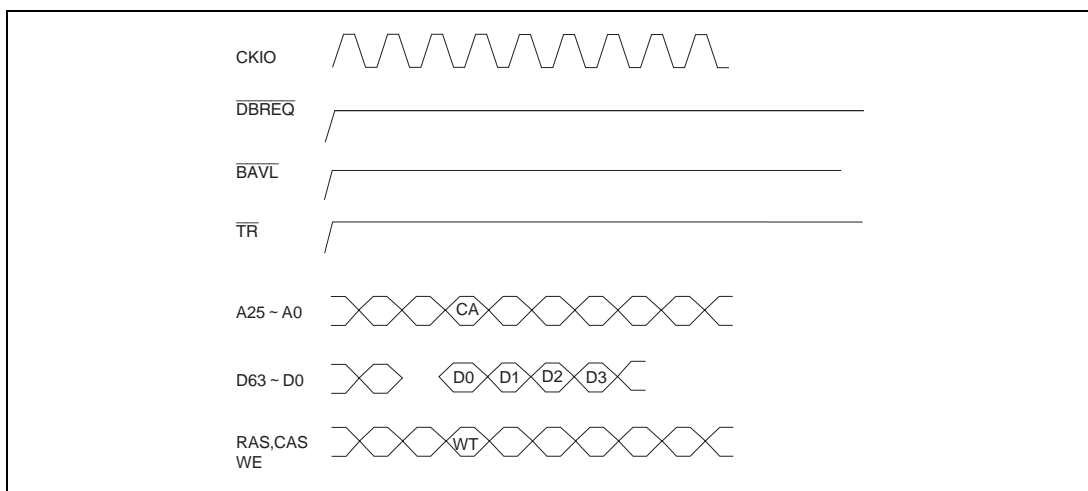


図 14.40 シンクロナス DRAM へのライト (row ヒットの場合)

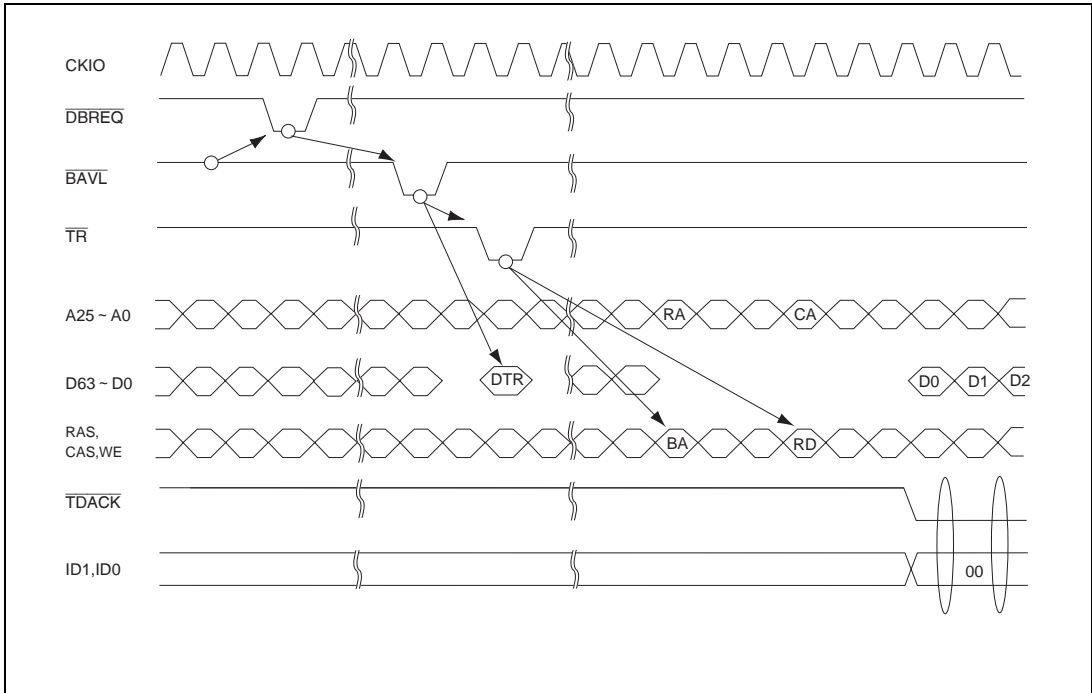


図 14.41 シングルアドレスモード/バーストモード/外部バス 外部デバイス
32バイトブロック転送/チャンネル0 オンデマンドデータ転送

• DMAオペレーションレジスタ (DMAOR)

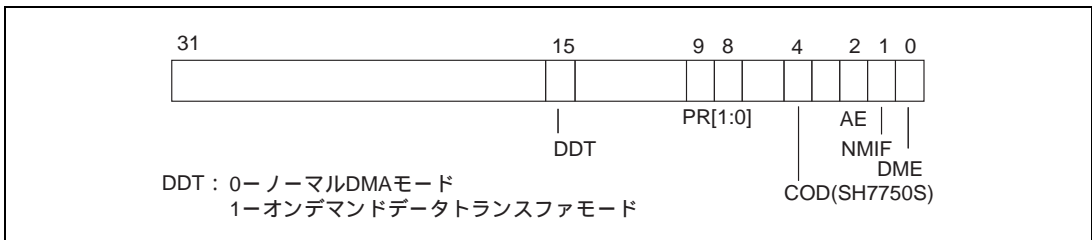


図 14.42 DDT モード設定

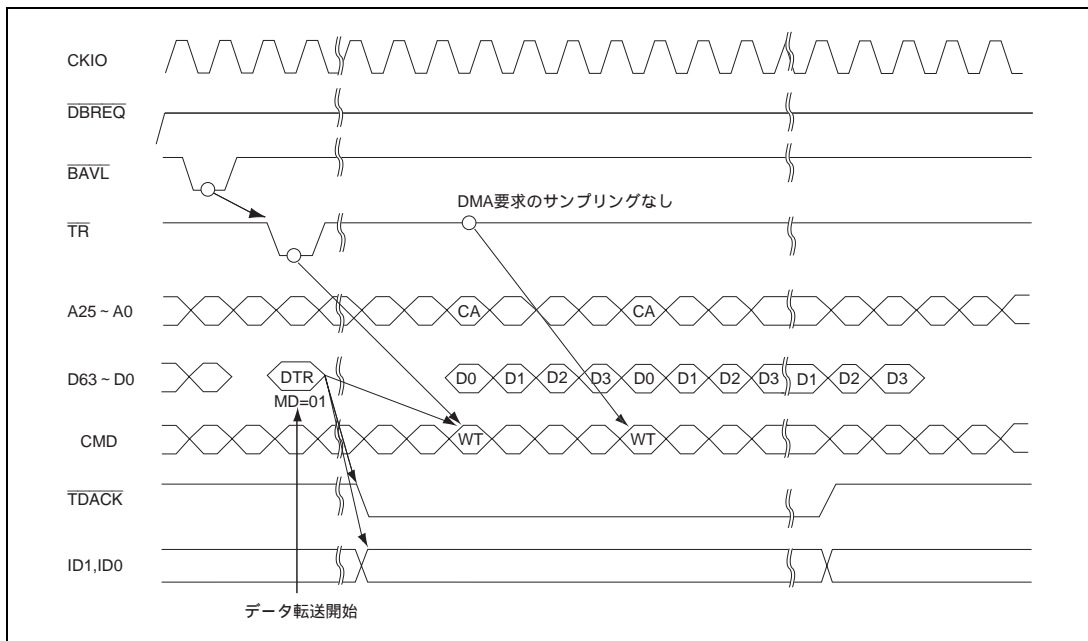


図 14.43 シングルアドレスモード / パーストモード / エッジ検出 / 外部デバイス 外部バスデータ転送

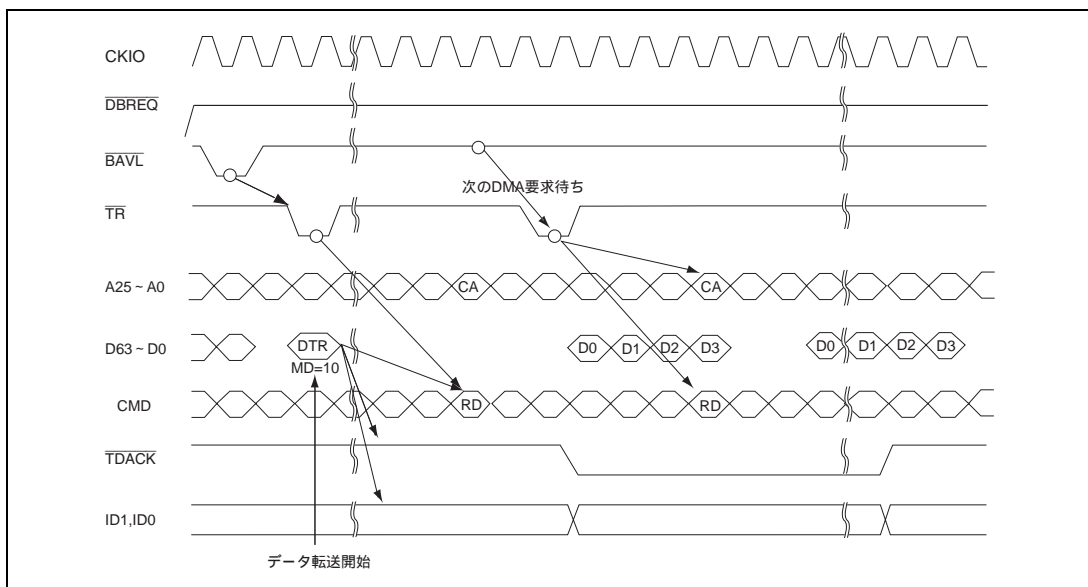


図 14.44 シングルアドレスモード / パーストモード / レベル検出 / 外部バス 外部デバイスデータ転送

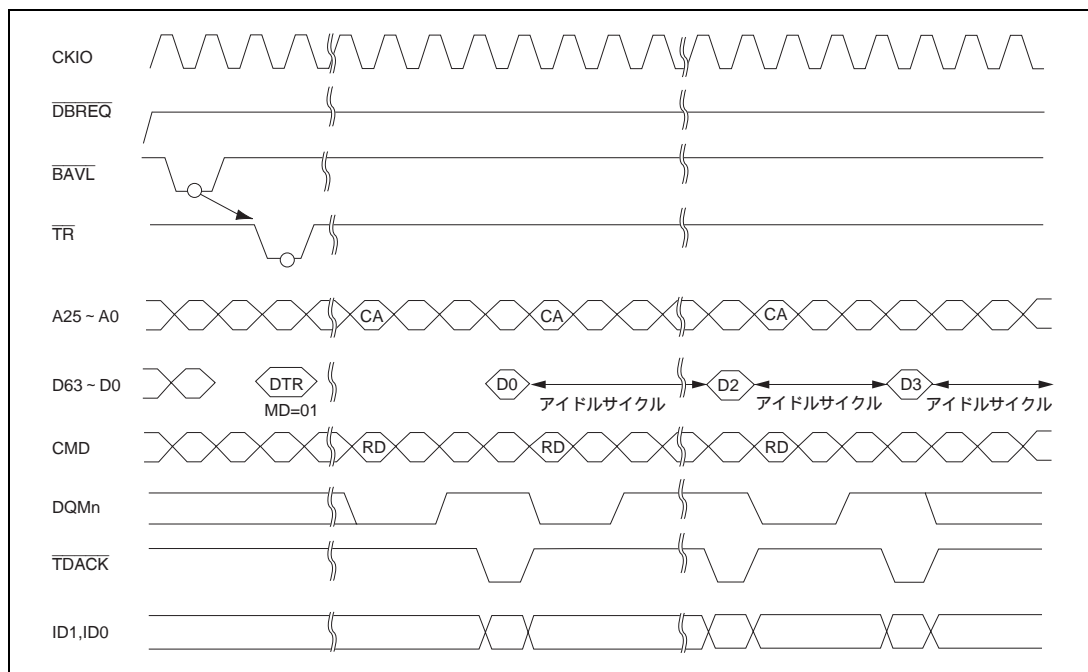


図 14.45 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、ロングワード、クワッド/外部バス 外部デバイスデータ転送

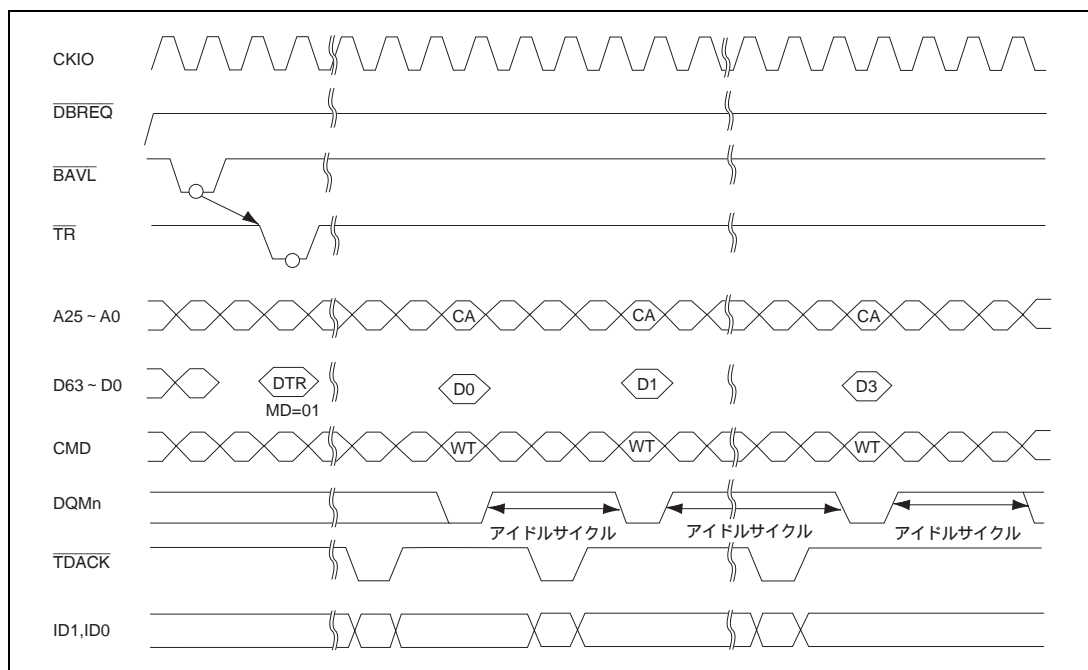


図 14.46 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、ロングワード、クワッド/外部バス 外部バスデータ転送

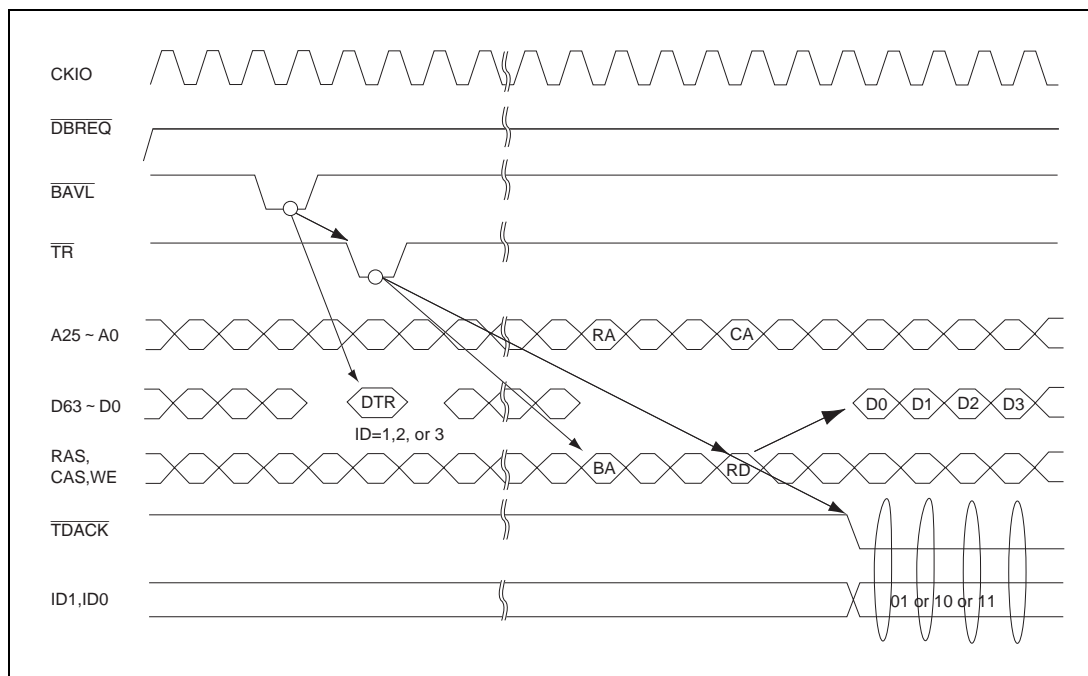


図 14.47 シングルアドレスモード/バーストモード/32 バイトブロック転送/
データバスを用いたチャンネル 1~3 への DMA 転送要求

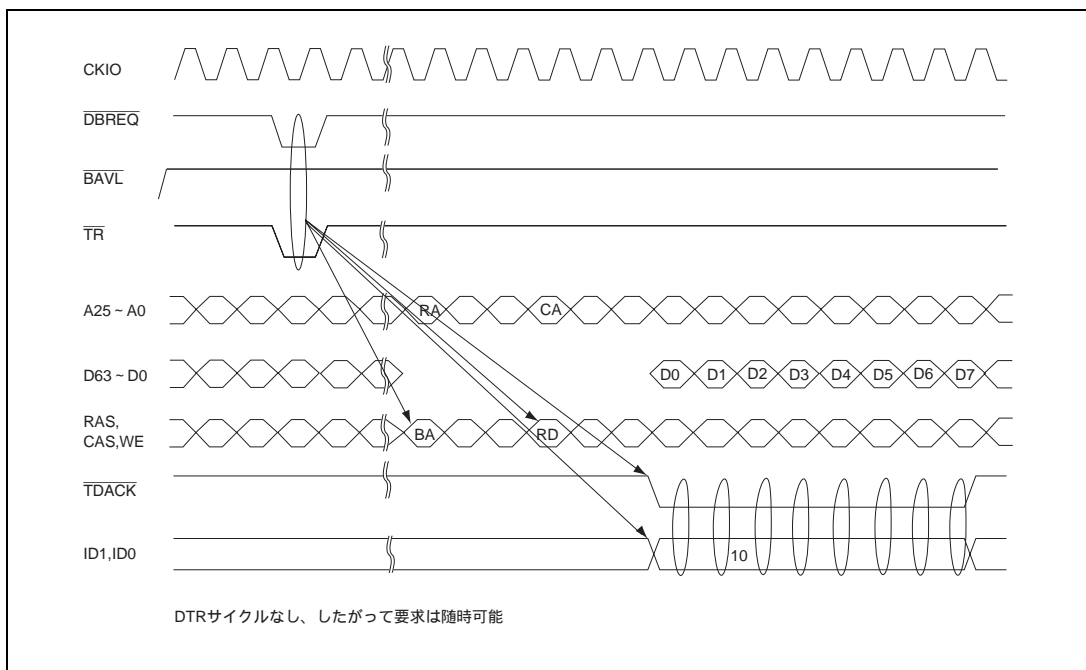


図 14.48 シングルアドレスモード/バーストモード/32 バイトブロック転送/
外部バス 外部デバイスデータ転送/データバス未使用チャネル 2 への
ダイレクトデータ転送要求

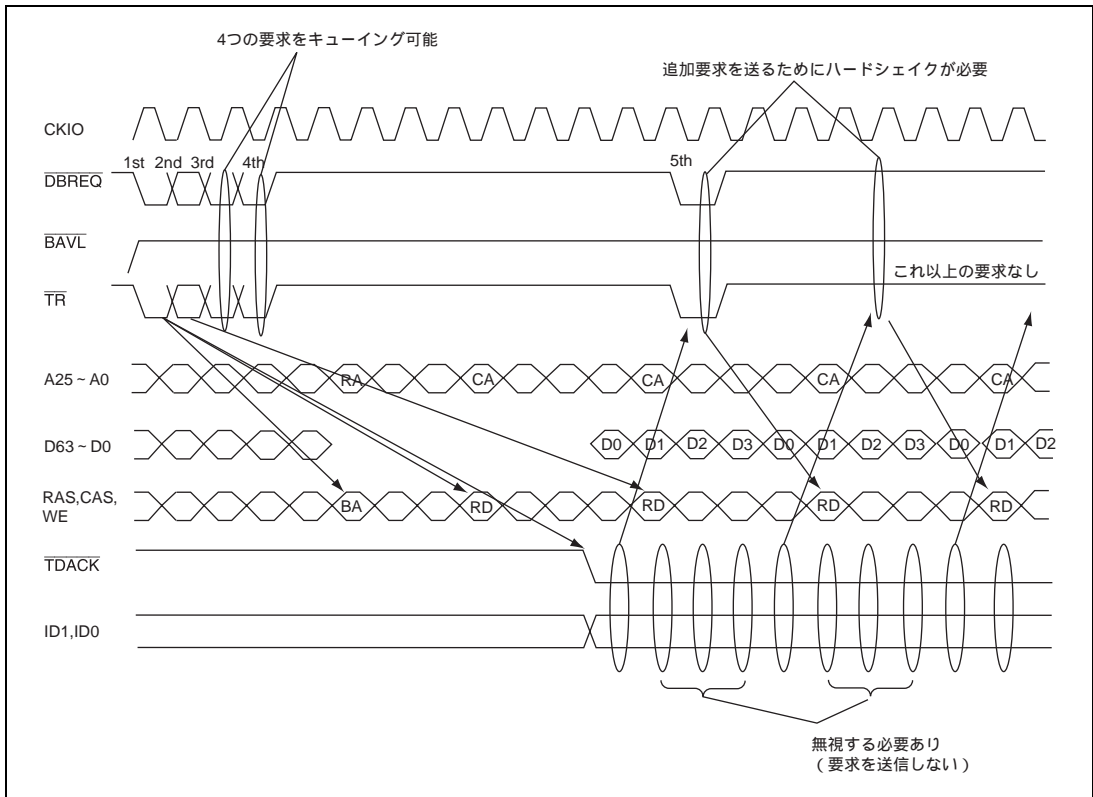


図 14.49 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送/
チャンネル2へのダイレクトデータ転送要求

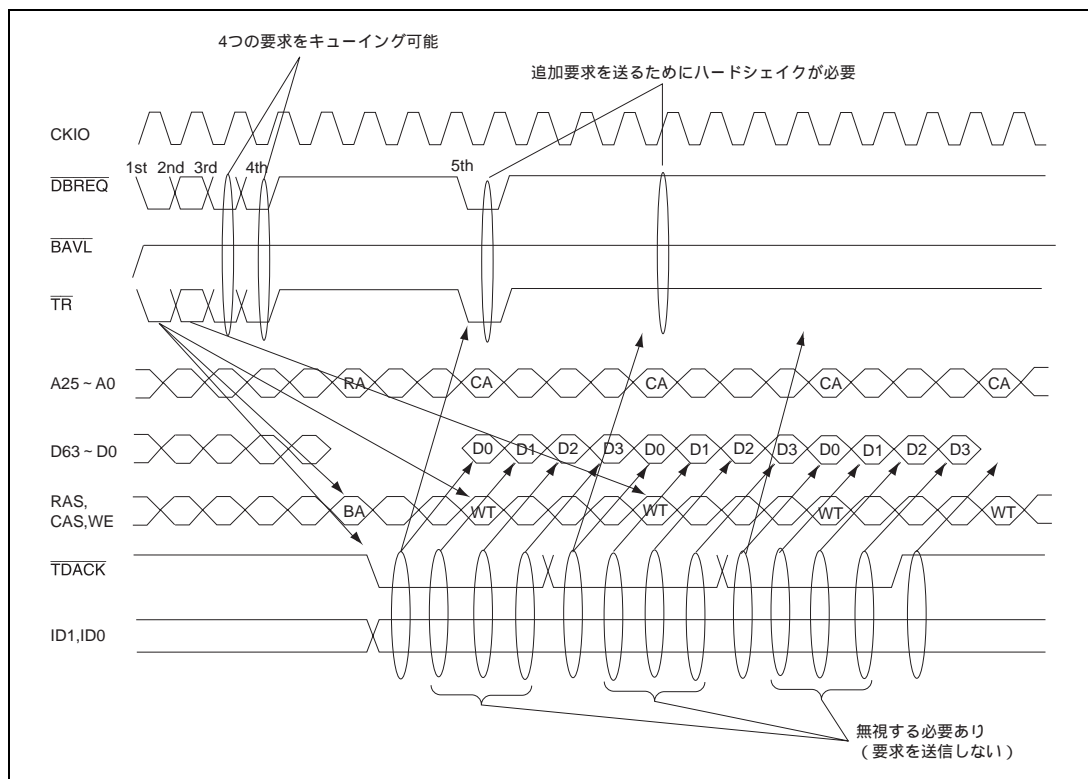


図 14.50 シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送/
チャンネル2へのダイレクトデータ転送要求

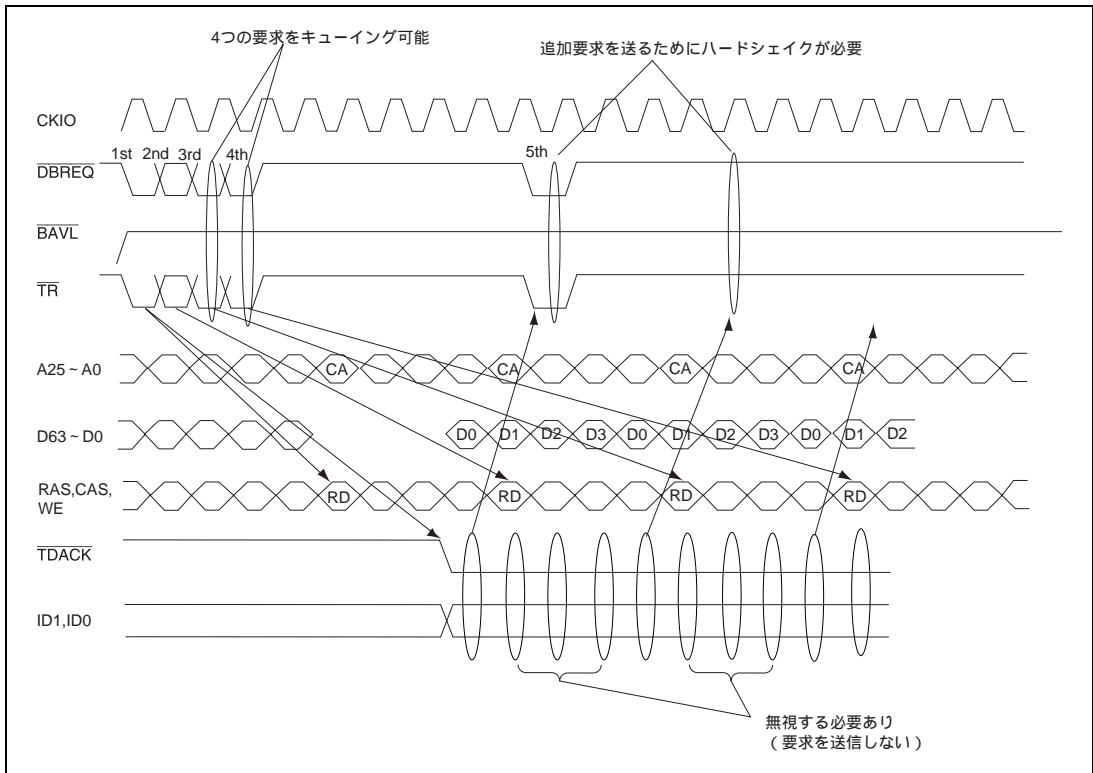


図 14.51 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送 (アクティブなバンクアドレス) /チャンネル2へのダイレクトデータ転送要求

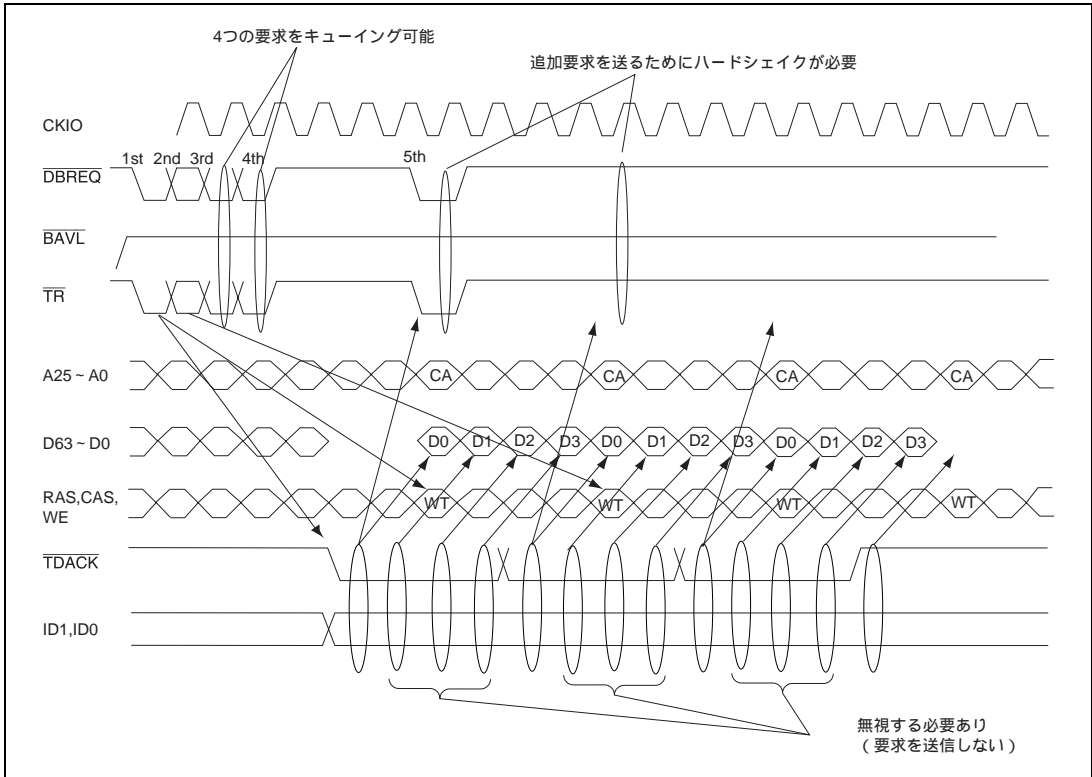


図 14.52 シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送
(アクティブなバンクアドレス) / チャンネル 2 へのダイレクトデータ転送要求

14.5.4 DDT 使用上の注意

(1) 通常データ転送モード (チャンネル0)

チャンネル0へのデマンドトランスファによる初期設定では必ずDTR.ID=00、DTR.MD=01、10、11に設定してください。このときにチャンネル0はシングルアドレスモードのみ設定可能です。

(2) 通常データ転送モード (チャンネル1~3)

DTR.ID=01、10、11に設定した場合は、DTR.MDは無視されます。

(3) データバスを使用するハンドシェイクプロトコル (チャンネル0のみ有効)

(a) データバスを使用するハンドシェイクプロトコルは、チャンネル0のみで実行可能です (DTR.ID=00、DTR.MD=00、DTR.SZ 101、110に設定してください。上記以外に設定した場合の動作は保証しません)。

(b) チャンネル0に対するデータバスを使用するハンドシェイクプロトコル実行中に、チャンネル1~3へのリクエストが入力され、そのDMA転送が実行された後に、データバスを使用するハンドシェイクプロトコルでDTR.ID=00、DTR.MD=00、DTR.SZ 101、110が入力された場合にはチャンネル0への転送要求がアサートされます。

(c) SH7750SおよびSH7750Rでは、CPUからDMACのチャンネル0の制御レジスタへ初期設定が可能です (CHCR0.RS=0000、0010、0011から選択可)。その後DTR.ID=00、DTR.MD=00、DTR.SZ 101、110が入力された場合にはチャンネル0への転送要求がアサートされます。

(4) データバス不使用のハンドシェイクプロトコル

(a) データバス不使用のハンドシェイクプロトコルでは、直前にDMA転送要求されたチャンネルに対して \overline{TR} のみをアサートすることにより、再度DMA転送要求をDMACに対して入力することができます。

(b) データバス不使用のハンドシェイクプロトコルで動作させるときは、DMACの各制御レジスタへの設定後に行ってください。

(c) データバス不使用のハンドシェイクプロトコル以外で動作させるときに、DTRを出力しないで \overline{TR} のみアサートした場合は、直前にDMA転送要求されたチャンネルに対するリクエストになります。またパワーオンリセット後、初めてのDMA転送要求を \overline{TR} のみアサートすることにより入力した場合は、無視されるためDMACは動作しません。

(d) チャンネル0のDMA転送が終了してCHCR0.TE=1の状態、データバス不使用のハンドシェイクプロトコルにより \overline{TR} のみをアサートしてDMA転送要求が入力された場合にDMACはフリーズします。必ずCHCR0.TE=1を読み出した後に、CHCR0.TE=0を書き込んでTEフラグをクリアしてからDMA転送要求を発行してください。

(5) ダイレクトデータ転送モード (チャンネル2のみ有効)

(a) データバス不使用のハンドシェイクプロトコルでDMA転送実行中に、 \overline{DBREQ} 、 \overline{TR} 同時アサートによるチャンネル2へのDMA転送要求が入力された場合は、DDT側のチャンネル2のリクエストキューに空きがある場合は受け付けます。

(b) ダイレクトデータ転送モード (\overline{DBREQ} 、 \overline{TR} 同時アサート) の場合には、 \overline{DBREQ} はバスアービトレーション信号として解釈されないため \overline{BAVL} 信号がアサートされることはありません。

(6) リクエストキューの転送要求受け付けについて

- (a) DDTにはチャンネル1~3ごとにリクエストキューが4つあります。このリクエストキューがいっぱいになるときに、外部デバイスからDMA転送要求がアサートされた場合はその転送要求を無視します。
- (b) チャンネル0に対するDMAバスサイクル実行中は、チャンネル0に対するDMA転送要求が入力されてもDDTは無視します。チャンネル0のDMA転送終了(バーストモード)か、DMAバスサイクル(サイクルスチールモード)中ではないことを確認してください。

(7) DTR フォーマット

- (a) DDTでは、DTR.ID、DTR.MD、DTR.SZを以下のように処理します。

DTR.ID=00のとき

- ・MD=00、SZ = 101、110 : データバスを使用するハンドシェイクプロトコル
- ・MD = 00、SZ=111 : CHCR0.DE = 0設定 (DMA転送終了要求)
- ・MD=10、SZ=110 : DDTリクエストキュークリア

DTR.ID = 00のとき

- ・チャンネル1~3への転送要求 (ID以外は無視されます)

(8) データ転送終了要求

- (a) データ転送終了要求 (DTR.ID = 00、MD = 00、SZ = 111) は、チャンネル0のDMA転送中は受け付けることはできません。したがってチャンネル0をエッジ検出、バーストモードに設定した場合は、途中で終了させることができません。
- (b) データ転送終了要求 (DTR.ID = 00、MD = 00、SZ = 111) を受け付けた場合にCHCR0、SAR0、DAR0、DMATCR0に設定してある値は保持されます。
この場合には、SH7750では外部デバイスからの実行再開はできません。SH7750S、SH7750Rで実行再開する場合は、MOV命令でCHCR0.DE = 1を設定してください。

(9) リクエストキューのクリア方法

- (a) 通常データ転送モードによりDTR.ID = 00、DTR.MD = 10、SZ = 110をDDTが受け付けた場合は、DDT側のチャンネル0のリクエスト、チャンネル1~3のリクエストキューがすべてクリアされます。またDMAC側に保存された外部リクエストもすべてクリアされます。
- (b) (4)-(d)の場合にDMACがフリーズした状態を解除することができます。
- (c) (11)の場合にDMAOR.DDT = 1に設定し、DTR.ID = 00、DTR.MD = 10、SZ = 110をDDTが受け付けることでDMACがフリーズした状態を解除することができます。

(10) \overline{DBREQ} アサートについて

- (a) \overline{DBREQ} アサート後、 \overline{BAVL} がアサートされるまで、次の \overline{DBREQ} はアサートしないでください。アサートした場合は、 \overline{DBREQ} と \overline{BAVL} のアサート回数が食い違ってきます。
- (b) \overline{DBREQ} のアサートによる \overline{BAVL} のアサート期間は1サイクルです。
シンクロナスDRAMアクセス中に非プリチャージバンクからのリード、またはライト時にロウアドレスミスが発生した場合は、BSC.MCR.TCPIに設定されたRASプリチャージ期間にしたがって \overline{BAVL} が複数サイクルアサートされます。
- (c) 外部デバイスが \overline{DBREQ} をアサートした1サイクル後にDMACが \overline{DBREQ} を受け付けます。このときシンクロナスDRAMアクセス中に非プリチャージバンクからのリード、またはライトによるロウアドレスミスが発生して \overline{BAVL} がアサートされていた場合は、外部デバイスがアサートした \overline{DBREQ} は無視され

ます。このためこの \overline{DBREQ} による \overline{BAVL} が再度アサートされることはありません。

(11) DDT モード解除について

DMAOR.DDTビットの設定は、すべてのチャンネルにおいてDMA転送中でないことを確認して行ってください。DDTモードでDMA転送中にDMAOR.DDT = 1から0へ設定を切り替えた場合、DMACはフリーズします。ノーマルDMAモード (DMAOR.DDT = 0) からDDTモードへ切り替えるときも同様です。

(12) DMA 転送要求と転送実行回数の確認方法

各チャンネルへのDMA転送要求に対して、実行中のDMAバスサイクルが、どのチャンネルのものを \overline{TDACK} アサート中に外部端子ID1、ID0をCKIOクロックの立ち上がりエッジで判定することにより確認が可能です。

(ID =00 : チャンネル0、ID =01 : チャンネル1、ID =10 : チャンネル2、ID =11 : チャンネル3)

14.6 SH7750R DMAC の構成

14.6.1 DMAC ブロック図

図 14.53 に DMAC のブロック図を示します。

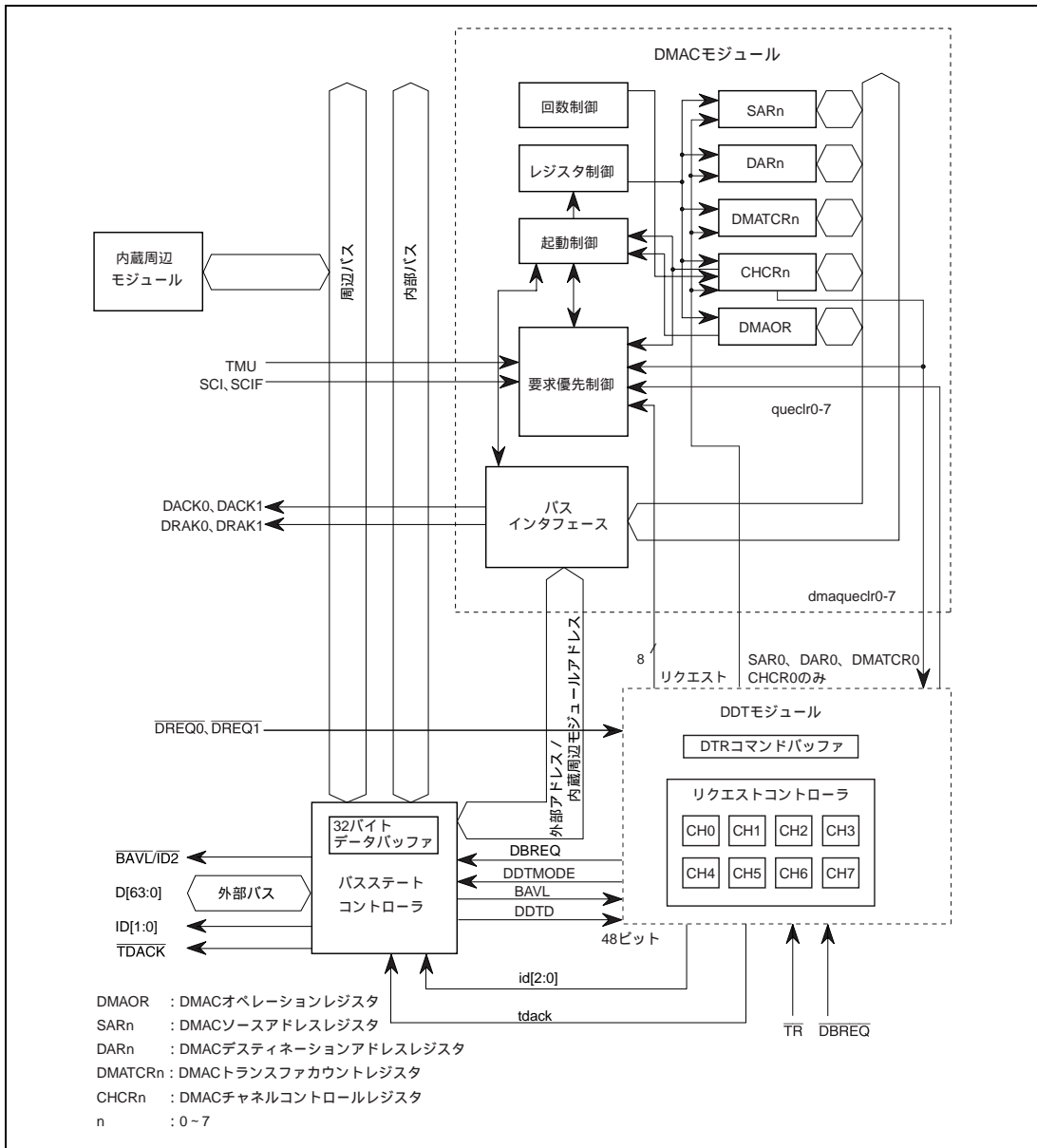


図 14.53 DMAC ブロック図

14.6.2 端子構成 (SH7750R)

SH7750R DMAC の端子構成を表 14.11、表 14.12 に示します。

表 14.11 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}$	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	$\overline{\text{DREQ}}$ 受け付け確認	DRAK0	出力	チャンネル0から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK0	出力	外部デバイスからチャンネル0へのDMA転送要求に対する外部デバイスへのストロープを出力
1	DMA 転送要求	$\overline{\text{DREQ1}}$	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	$\overline{\text{DREQ}}$ 受け付け確認	DRAK1	出力	チャンネル1から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK1	出力	外部デバイスからチャンネル1へのDMA転送要求に対する外部デバイスへのストロープを出力

表 14.12 DDT モードにおける DMAC 端子構成

名称	略称	入出力	機能
データベース要求	$\overline{\text{DBREQ}}$ ($\overline{\text{DREQ0}}$)	入力	外部デバイスからのDTRフォーマット入力のためのデータベース解放要求
データベース使用許可	$\overline{\text{BAVL/ID2}}$ (DRAK0)	出力	データベース解放通知。 $\overline{\text{BAVL}}$ アサートの2サイクル後にデータベースを使用可能 $\overline{\text{TDACK}}$ 出力時にチャンネル番号を同時に外部デバイスへ通知
転送要求信号	$\overline{\text{TR}}$ ($\overline{\text{DREQ1}}$)	入力	$\overline{\text{BAVL}}$ アサートの2サイクル後アサートの場合、DTRフォーマット送出。 $\overline{\text{TR}}$ のみアサートはDMAリクエスト。 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ 同時アサートの場合はチャンネル2への直接リクエスト
DMAC ストロープ	$\overline{\text{TDACK}}$ (DACK0)	出力	DMAC から外部デバイスに対する応答ストロープ信号
チャンネル番号通知	ID [1:0] (DRAK1, DACK1)	出力	$\overline{\text{TDACK}}$ 出力時にチャンネル番号を同時に外部デバイスへ通知 (ID [1] = DRAK1、ID [0] = DACK1)

通常 DMA 転送時の外部リクエスト受け付けはチャンネル0 ($\overline{\text{DREQ0}}$)、チャンネル1 ($\overline{\text{DREQ1}}$) のみです。また DDT モード時の $\overline{\text{BAVL}}$ 端子は、データベース使用許可とチャンネル番号通知 ($\overline{\text{ID2}}$) の2通りの機能を持ちます。

14.6.3 レジスタ構成 (SH7750R)

表 14.13 にレジスタ構成を示します。SH7750R DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本で、計 33 本のレジスタがあります。

表 14.13 レジスタ構成

チャンネル	名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
0	DMA ソースアドレス レジスタ 0	SAR0	R/W* ²	不定	H'FFFA00000	H'1FA00000	32
	DMA デスティネーション アドレスレジスタ 0	DAR0	R/W* ²	不定	H'FFFA00004	H'1FA00004	32
	DMA トランスファカウント レジスタ 0	DMATCR0	R/W* ²	不定	H'FFFA00008	H'1FA00008	32
	DMA チャンネルコントロール レジスタ 0	CHCR0	R/W* ^{1*2}	H'00000000	H'FFFA0000C	H'1FA0000C	32
1	DMA ソースアドレス レジスタ 1	SAR1	R/W	不定	H'FFFA00010	H'1FA00010	32
	DMA デスティネーション アドレスレジスタ 1	DAR1	R/W	不定	H'FFFA00014	H'1FA00014	32
	DMA トランスファカウント レジスタ 1	DMATCR1	R/W	不定	H'FFFA00018	H'1FA00018	32
	DMA チャンネルコントロール レジスタ 1	CHCR1	R/W* ¹	H'00000000	H'FFFA0001C	H'1FA0001C	32
2	DMA ソースアドレス レジスタ 2	SAR2	R/W	不定	H'FFFA00020	H'1FA00020	32
	DMA デスティネーション アドレスレジスタ 2	DAR2	R/W	不定	H'FFFA00024	H'1FA00024	32
	DMA トランスファカウント レジスタ 2	DMATCR2	R/W	不定	H'FFFA00028	H'1FA00028	32
	DMA チャンネルコントロール レジスタ 2	CHCR2	R/W* ¹	H'00000000	H'FFFA0002C	H'1FA0002C	32
3	DMA ソースアドレス レジスタ 3	SAR3	R/W	不定	H'FFFA00030	H'1FA00030	32
	DMA デスティネーション アドレスレジスタ 3	DAR3	R/W	不定	H'FFFA00034	H'1FA00034	32
	DMA トランスファカウント レジスタ 3	DMATCR3	R/W	不定	H'FFFA00038	H'1FA00038	32
	DMA チャンネルコントロール レジスタ 3	CHCR3	R/W* ¹	H'00000000	H'FFFA0003C	H'1FA0003C	32
共通	DMA オペレーション レジスタ	DMAOR	R/W* ¹	H'00000000	H'FFFA00040	H'1FA00040	32

チャネル	名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
4	DMA ソースアドレス レジスタ4	SAR4	R/W	不定	H'FFFA00050	H'1FA00050	32
	DMA デスティネーション アドレスレジスタ4	DAR4	R/W	不定	H'FFFA00054	H'1FA00054	32
	DMA トランスファカウンタ レジスタ4	DMATCR4	R/W	不定	H'FFFA00058	H'1FA00058	32
	DMA チャネルコントロール レジスタ4	CHCR4	R/W*1	H'00000000	H'FFFA0005C	H'1FA0005C	32
5	DMA ソースアドレス レジスタ5	SAR5	R/W	不定	H'FFFA00060	H'1FA00060	32
	DMA デスティネーション アドレスレジスタ5	DAR5	R/W	不定	H'FFFA00064	H'1FA00064	32
	DMA トランスファカウンタ レジスタ5	DMATCR5	R/W	不定	H'FFFA00068	H'1FA00068	32
	DMA チャネルコントロール レジスタ5	CHCR5	R/W*1	H'00000000	H'FFFA0006C	H'1FA0006C	32
6	DMA ソースアドレス レジスタ6	SAR6	R/W	不定	H'FFFA00070	H'1FA00070	32
	DMA デスティネーション アドレスレジスタ6	DAR6	R/W	不定	H'FFFA00074	H'1FA00074	32
	DMA トランスファカウンタ レジスタ6	DMATCR6	R/W	不定	H'FFFA00078	H'1FA00078	32
	DMA チャネルコントロール レジスタ6	CHCR6	R/W*1	H'00000000	H'FFFA0007C	H'1FA0007C	32
7	DMA ソースアドレス レジスタ7	SAR7	R/W	不定	H'FFFA00080	H'1FA00080	32
	DMA デスティネーション アドレスレジスタ7	DAR7	R/W	不定	H'FFFA00084	H'1FA00084	32
	DMA トランスファカウンタ レジスタ7	DMATCR7	R/W	不定	H'FFFA00088	H'1FA00088	32
	DMA チャネルコントロール レジスタ7	CHCR7	R/W*1	H'00000000	H'FFFA0008C	H'1FA0008C	32

【注】 各制御レジスタへのアクセスは、すべてロングワードを指定してください。それ以外でアクセスした場合、リード時にはオール0が読み出されます。ライト時には書き込み不可になります。

*1 CHCR0~7のビット1およびDMAORのビット2、1は、フラグをクリアするための1リード後の0ライトのみ可能です。

*2 SH7750RはDDTモード時、CPUからの書き込み、および外部I/OからのDTRフォーマットによる書き込みが可能です。

14.7.4 DMA チャンネルコントロールレジスタ 0~7 (CHCR0~7)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	—	—	—	—	DS	RL	AM	AL
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	(R/W)	R/W	(R/W)
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	TM	TS2	TS1	TS0	QCL	IE	TE	DE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	(R/W)	R/W

DMA チャンネルコントロールレジスタ 0~7(CHCR0~7)は読み出し / 書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット 31~28、ビット 27~24 は、それぞれソースアドレス、デスティネーションアドレスが、CS5 または CS6 空間でかつ当該空間が PCMCIA インタフェースに指定されているときのみに有効です。そうでない場合は、書き込む値は 0 にしてください。PCMCIA インタフェースについては、「13.3.7 PCMCIA インタフェース」を参照してください。

ビット 18、16 は CHCR2~7 には存在しません。CHCR2~7 の場合、このビットへの書き込みは無効ですが、書き込む値は常に 0 にしてください。読み出すと常に 0 が読み出されます。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、スリープモード、ディープスリープモード時には値は保持されます。

ビット 31~29 : ソースアドレス側空間属性指定 (SSA2~SSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の SSA2~SSA0 を参照してください。

ビット 28 : ソースアドレス側ウェイト制御セレクト (STC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の STC を参照してください。

ビット 27~25 : デスティネーションアドレス側空間属性指定 (DSA2~DSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DSA2~DSA0 を参照してください。

ビット 24 : デスティネーションアドレス側ウェイト制御セレクト (DTC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DTC を参照してください。

ビット 23~20 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 19: $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは、ノーマル DMA モードでは CHCR0、CHCR 1 でのみ有効です。DDT モードでは、CHCR0~7 で有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DS を参照してください。

ビット 18: リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の RL を参照してください。

ビット 17: アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは、CHCR0~7 において有効です (DDT モード: $\overline{\text{TDACK}}$)。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の AM を参照してください。

ビット 16: アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の AL を参照してください。

ビット 15、14: デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、このビットの指定は無視されます。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DM1、DM0 を参照してください。

ビット 13、12: ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、このビットの指定は無視されます。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の SM1、SM0 を参照してください。

ビット 11~8: リソースセレクト 3~0 (RS3~RS0)

転送要求元を指定します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の RS3~RS0 を参照してください。

ビット 7: トランスミットモード (TM)

転送時のバスモードを指定するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TM を参照してください。

ビット 6~4: トランスミットサイズ 2~0 (TS2~TS0)

転送するデータのサイズ (アクセスサイズ) を指定するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TS2~TS0 を参照してください。

ビット 3: リクエストキュークリア (QCL)

本ビットに 1 を書き込むことで該当するチャンネルのリクエストキューおよびすでに受け付けられた外部リクエストをクリアすることができます。本ビットの機能は、DMAOR.DDT = 1 かつ DMAOR.DBL = 1 の場合のみ有効です。

CHCR ビット 3	説明
QCL	
0	本ビットは読み出すと常に 0 が読み出されます。 本ビットに 0 を書き込んででも無効です。 (初期値)
1	DMAOR.DBL = 1 の場合、本ビットに 1 を書き込むことで、DDT 側のリクエストキューおよび DMAC 側に保存された外部リクエストはクリアされます。書き込まれた値は保持しません。

ビット 2: インタラプトイネーブル (IE)

このビットに 1 をセットしておくで、DMATCR に指定した回数のデータ転送が終了したとき (TE = 1 のとき) 割り込み要求 (DMTE) を発生します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の IE を参照してください。

ビット 1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TE を参照してください。

ビット 0: DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DE を参照してください。

14.7.5 DMA オペレーションレジスタ (DMAOR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDT	DBL					PR1	PR0						AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

DMAOR は読み出し / 書き込み可能な 32 ビットのレジスタで、DMAC の転送モードを指定します。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、デュープスリープモード時には、値は保持されます。

ビット 31 ~ 16 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 15 : オンデマンドデータ転送モード (DDT)

オンデマンドデータ転送モードを指定するビットです。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の DDT を参照してください。

ビット 14 : DDT モード対応チャンネル数切り替えビット (DBL)

DDT モード時、外部リクエスト受け付け可能チャンネル数を切り替えます。

ビット 14	説明
DBL	
0	DDT 4ch 対応 (初期値)
1	DDT 8ch 対応

【注】 DMAOR.DBL = 0 時、チャンネル 4 ~ 7 は外部リクエストを受け付けません。

DMAOR.DBL = 1 に設定した場合、DTR フォーマット (図 14.54 参照) の DTR.SZ と DTR.ID の組み合わせでチャンネル 0 ~ 7 を選択できます。表 14.14 に DDT モード時の DTR フォーマットによるチャンネル選択を示します。

表 14.14 DTR フォーマットによるチャンネル選択 (DMAOR.DBL = 1)

DTR.ID[1:0]	DTR.SZ[2:0] 101	DTR.SZ[2:0] = 101
00	CH0	CH4
01	CH1	CH5
10	CH2	CH6
11	CH3	CH7

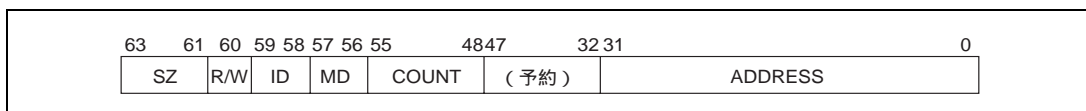


図 14.54 DTR フォーマット (転送要求フォーマット) (SH7750R)

ビット 13～10：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 9、8：プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

DMAOR ビット 9	DMAOR ビット 8	説 明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 (初期値)
0	1	CH0 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 > CH1
1	0	CH2 > CH0 > CH1 > CH3 > CH4 > CH5 > CH6 > CH7
1	1	ラウンドロビンモード

ビット 7～3：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2：アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から AE に 1 をライトすることはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の AE を参照してください。

ビット 1：NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアする場合は、一度 NMIF=1 を読み出した後、NMIF=0 を書き込んでください。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の NMIF を参照してください。

ビット 0：DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の DME を参照してください。

14.8 動作説明 (SH7750R)

SH7750R 特有の動作を説明します。詳細動作は「14.3 動作説明」を参照してください。

14.8.1 ノーマル DMA 転送時のチャンネル指定

ノーマル DMA 転送モード時は、常時 8 チャンネル対応です。外部リクエストの受け付けは、チャンネル 0 ($\overline{\text{DREQ0}}$) とチャンネル 1 ($\overline{\text{DREQ1}}$) のみです。

使用するチャンネルの CHCR、SAR、DAR、DMATCR 等のレジスタ設定後、転送許可状態 ($\text{DE} = 1$ 、 $\text{DME} = 1$ 、 $\text{TE} = 0$ 、 $\text{NMIF} = 0$ 、 $\text{AE} = 0$) で DMA 転送要求があると決められたチャンネルの優先順位に従って DMA 転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

14.8.2 DDT モード DMA 転送時のチャンネル指定

DDT モード DMA 転送時は、DMAOR.DBL により 4 チャンネル対応、8 チャンネル対応の切り替えが可能です。外部リクエストの受け付けは、DMAOR.DBL = 0 のときチャンネル 0~3、DMAOR.DBL = 1 のときチャンネル 0~7 で可能になります。設定についての説明は「14.7.5 DMA オペレーションレジスタ (DMAOR)」の DBL を参照してください。

14.8.3 DDT モード時の転送チャンネル通知

DDT モードで外部リクエスト 4 チャンネル対応時 ($\text{DMAOR.DBL} = 0$) は、ID[1:0]を用いて、DMAC 使用チャンネルを外部デバイスに通知します。詳しい説明は「14.5 オンデマンドデータトランスファモード (DDT モード)」を参照してください。

DDT モードで外部リクエスト 8 チャンネル対応時 ($\text{DMAOR.DBL} = 1$) は、ID[1:0]と同時 ($\overline{\text{TDACK}}$ アサートタイミング) に $\overline{\text{BAVL}}$ (データバス使用許可) 端子から $\overline{\text{ID2}}$ をアサートすることで、外部デバイスに対し DMAC の転送チャンネル通知を行います (表 14.15 参照)。

DDT モード外部リクエスト 8 チャンネル対応時 ($\text{DMAOR.DBL} = 1$) には、 $\overline{\text{BAVL}}$ は表 14.16 に示す 2 通りの意味を持つこととなりますので、注意してください。

表 14.15 DDT モード 8 チャンネル対応時の転送チャンネル通知

BAVL/ID2	ID[1:0]	転送チャンネル
1	00	CH0
	01	CH1
	10	CH2
	11	CH3
0	00	CH4
	01	CH5
	10	CH6
	11	CH7

表 14.16 BAVL の機能

BAVL 機能	
TDACK = High	データバス使用許可
TDACK = Low	チャンネル番号通知 (ID2)

14.8.4 DTR フォーマットによるリクエストキュークリア

DDT モード時、DTR フォーマットの DTR.ID、DTR.MD、DTR.SZ、DTR.COUNT[7:4]を用いて、チャンネルごとのリクエストキュークリアを指定できます。本機能は DMAOR.DBL = 1 の場合のみ可能です。表 14.17 にリクエストキュークリアの DTR フォーマットの設定を示します。

表 14.17 リクエストキュークリアの DTR フォーマット

DMAOR.DBL	DTR.ID	DTR.MD	DTR.SZ	DTR.COUNT[7:4]	説明	
0	00	10	110	*	全チャンネル(1~7)のリクエストキュークリア CH0 リクエスト受け付けフラグクリア	
		11			設定禁止	
1	00	10	110	*	全チャンネル(1~7)のリクエストキュークリア CH0 リクエスト受け付けフラグクリア	
		11			0001	CH0 リクエスト受け付けフラグクリア
					0010	CH1 リクエストキュークリア
					0011	CH2 リクエストキュークリア
					0100	CH3 リクエストキュークリア
					0101	CH4 リクエストキュークリア
					0110	CH5 リクエストキュークリア
					0111	CH6 リクエストキュークリア
					1000	CH7 リクエストキュークリア

【注】 (SH7750R) DTR.SZ = DTR[63:61]、DTR.ID = DTR[59:58]、DTR.MD = DTR[57:56]、DTR.COUNT[7:4] = DTR[55:52]

14.8.5 割り込み要求コード

DMATCR で指定した回数の転送が終了したとき、許可されていれば (CHCR.IE = 1) 転送終了割り込み要求を CPU に対し、各チャンネルごとに発生することができます。発生した転送終了割り込みを示す割り込み要求コードを表 14.18 に示します。

表 14.18 DMAC 割り込み要求コード

割り込み要因	意味	INTEVT コード	優先順位
DMTE0	CH0 転送終了割り込み	H'640	高 ↑ ↓ 低
DMTE1	CH1 転送終了割り込み	H'660	
DMTE2	CH2 転送終了割り込み	H'680	
DMTE3	CH3 転送終了割り込み	H'6A0	
DMTE4	CH4 転送終了割り込み	H'780	
DMTE5	CH5 転送終了割り込み	H'7A0	
DMTE6	CH6 転送終了割り込み	H'7C0	
DMTE7	CH7 転送終了割り込み	H'7E0	
DMAE	アドレスエラー割り込み	H'6C0	

【注】 DMTE4~7 : SH7750、SH7750S では未使用コード

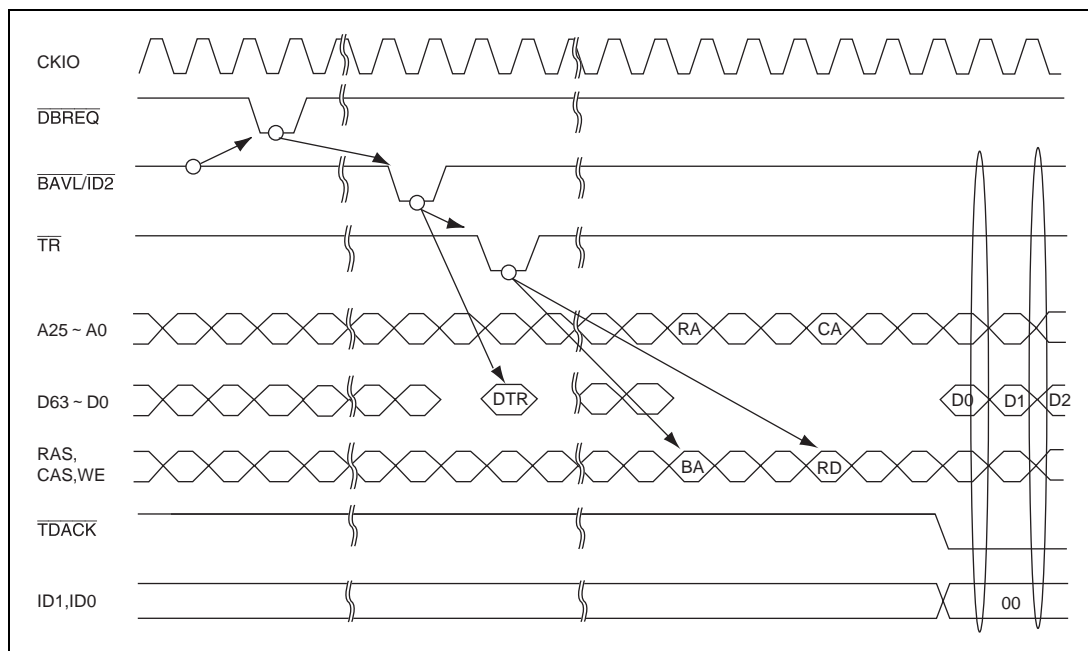


図 14.55 シングルアドレスモード / バーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送

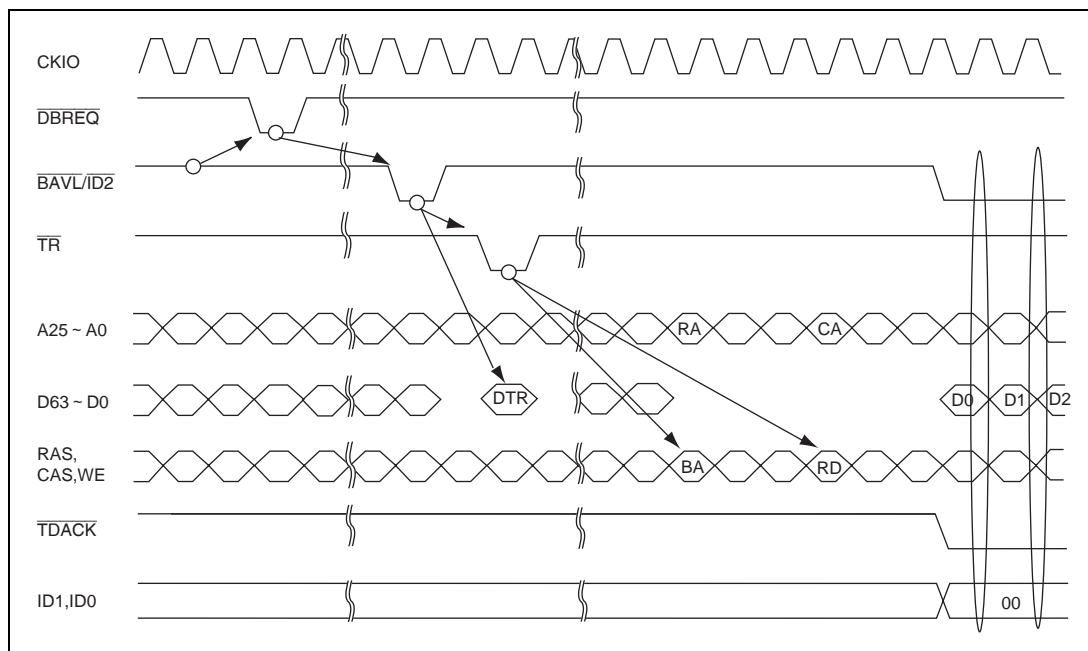


図 14.56 シングルアドレスモード / バーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 4 オンデマンドデータ転送

14.9 使用上の注意

- SH7750、SH7750SでSAR0~3、DAR0~3、DMATCR0~3、CHCR0~3、SH7750RでSAR0~7、DAR0~7、DMATCR0~7、CHCR0~7を書き換える場合は、あらかじめ当該チャンネルのDEビットを0に設定した後、書き換えを行ってください。
- DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
 - DMA転送が正しく実行されない場合の確認方法
SH7750、SH7750SではDMAORのNMIF、AE、DMEビット、CHCR0~3のDE、TEビット、DMATCR0~3をリードしてください。SH7750RではDMAORのNMIF、AE、DMEビット、CHCR0~7のDE、TEビット、DMATCR0~7をリードしてください。転送前にNMIFがセットされた場合は、DMATCRの転送回数は設定値のままになっています。転送中にNMIFがセットされた場合、SH7750、SH7750SではCHCR0~3、SH7750RではCHCR0~7のDEビットが1、TEビットが0のとき、DMATCRの値は残りの転送回数を示します。
さらにSH7750、SH7750SでSAR0~3、DAR0~3、SH7750RでSAR0~7、DAR0~7をリードすると、次にアクセスするアドレスを知ることができます。
AEビットがセットされていた場合は、アドレスエラーが起きています。CHCR、SAR、DARへの設定値を確認してください。
- モジュールスタンバイ、スタンバイモード、ディープスリープモードに遷移させる場合は、DMA転送中でないことを確認してください。

この場合、SH7750、SH7750SではCHCR0~3、SH7750RではCHCR0~7のTE=1を確認するか、DMAORのDME=0をセットしてDMA転送を終了させてください。DMAORのDME=0をセットした場合、現在実行中のDMAバスサイクルが終了して停止します。したがって、転送データサイズによっては直ちに終了しませんので注意してください。DMA転送終了を確認せずに、モジュールスタンバイ、スタンバイモード、ディープスリープモードへ遷移させた場合、DMAの動作は保証されません。
- DMACの転送元、転送先にDMAC、CCN、BSC、UBCの制御レジスタを指定しないでください。
- DMACに起動をかける場合は、当該チャンネルのSAR、DAR、DMATCRの各レジスタの設定後CHCRのDE=1にするか、またはCHCRのDE=0のまま各レジスタの設定を行った後DE=1にしてください。DMAOR (DME=1)の設定は、最初でも最後でも構いません。当該チャンネルを動作させるにはDME=1かつDE=1である必要があります。SAR、DAR、DMATCR未設定の場合、正常に動作しません(シングルアドレスモード時に未使用のレジスタは除く)。
- DMATCRのカウン트가0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。
- 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内蔵周辺モジュールのアドレスを設定するとアドレスエラーで全チャンネル停止します。

9. SH7750Rで、外部リクエスト (\overline{DREQ}) エッジ検出の場合に一度受け付けられた外部リクエストをキャンセルするには、まず \overline{DREQ} をネゲートしてCHCR.DS = 1からDS = 0に設定することにより可能です。その後CHCR.DS = 1に再設定してから \overline{DREQ} をアサートしてください。(SH7750RにDMAOR.CODビットはありませんが、SH7750SでDMAOR.COD = 1の時と同様、外部リクエスト (\overline{DREQ}) エッジ検出の場合に一度受け付けられた外部リクエストをキャンセルすることができます。)

10. [SH7750のみ]

内蔵周辺モジュールと外部メモリの間でのDMA転送において、下記条件を満足する場合、正しくデータが転送されません。これを避けるためには、CPUでデータを転送してください。

• 条件

- a. Big endian
- b. 外部メモリバス幅 32bit
- c. 内蔵周辺モジュール*1から外部メモリへの転送
- d. 転送するデータのトランスミットサイズ*2 32bit

上記、a. ~ d.をすべて満たしている場合

• 現象

内蔵周辺モジュールから転送されたデータについて、

転送されるべきデータ	12 34 56 78
外部メモリに転送されるデータ	12 34 12 78

のように、32bitデータの [15 : 8] 部分がアライメント異常となり、正しくデータが転送されません。

【注】 *1 上記の条件に該当するレジスタは、以下のとおりです。

TMU.TCOR0
 TMU.TCNT0
 TMU.TCOR1
 TMU.TCNT1
 TMU.TCOR2
 TMU.TCNT2
 TMU.TCPR2
 H-UDI.SDDR

*2 DMA チャンネルコントロールレジスタのトランスミットサイズビット

15. シリアルコミュニケーションインタフェース (SCI)

15.1 概要

本 LSI には、シリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) および、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF : SCI with FIFO) が各々1 チャンネル内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の2方式でシリアル通信ができます。

スマートカードインタフェースをサポートしています。これは、"ISO/IEC7816-3 (Identification Card)" のサブセットをサポートしたシリアル通信機能です。詳しくは「第 17 章 スマートカードインタフェース」を参照してください。

SCIF は、送信、受信ともに 16 段の FIFO レジスタを内蔵した調歩同期式通信専用のシリアルインタフェースです。詳しくは「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

15.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。

データ長 : 7ビット、または8ビット

ストップビット長 : 1ビット、または2ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1または0

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時にRx/D端子のレベルをシリアルポートレジスタ (SCSPTR1) から直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つほかの LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

データ長 : 8ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- SCIを使用しないときは、消費電力低減のためSCIに対してクロックの供給を止めて動作を停止させることができます。

15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

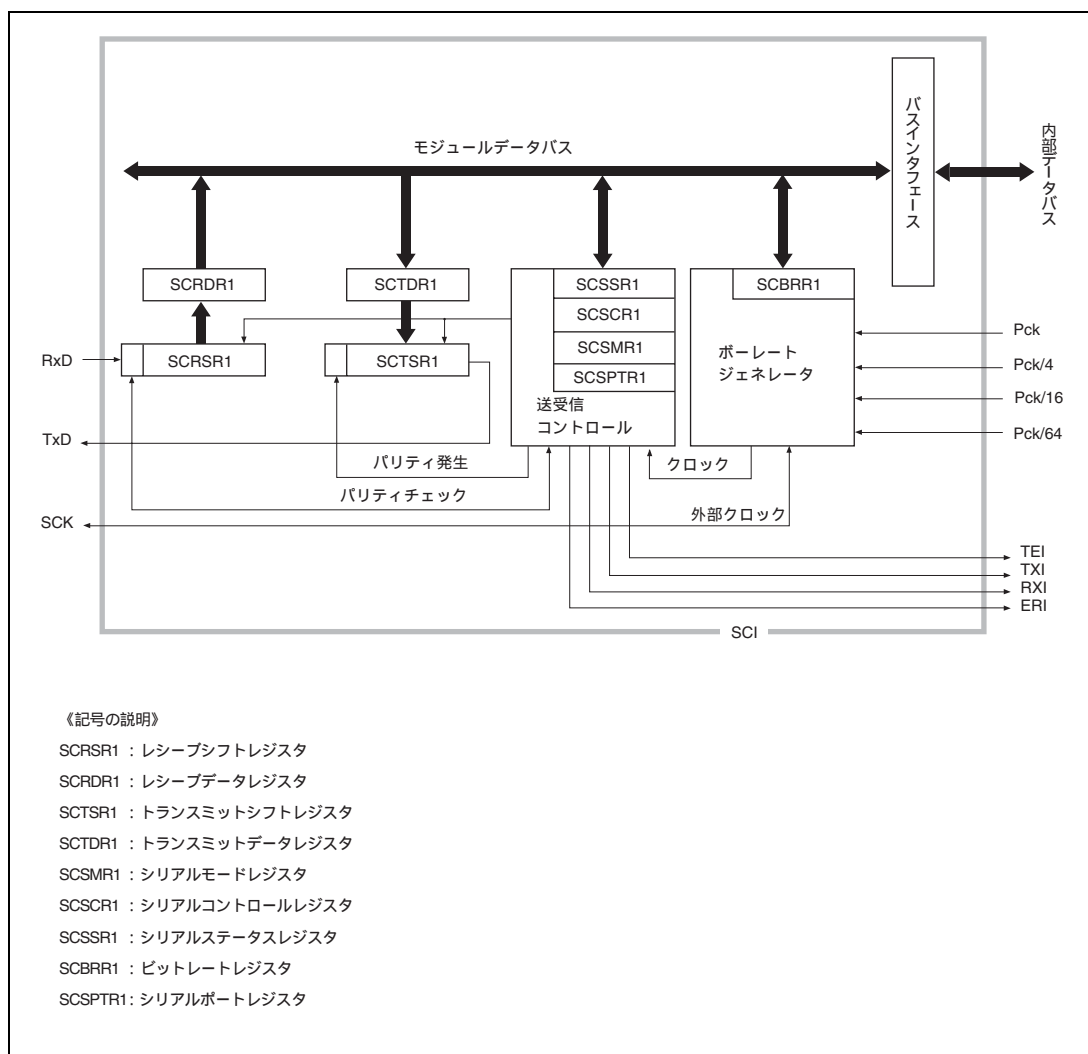


図 15.1 SCI のブロック図

15.1.3 端子構成

SCIの端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	MD0/SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	MD7/TxD	出力	送信データ出力

【注】 パワーオンリセット時には、モード入力端子 MD0、MD7 として機能します。

SCIの動作設定を SCSCR1 の TE、RE、CKEI、CKE0 ビット、および SCSMR1 の C/ \bar{A} ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCI の SCSPTR1 によって行うことができます。

15.1.4 レジスタ構成

SCIには、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

SCIのレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけでなく、スタンバイモード時およびモジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 15.2 レジスタ構成

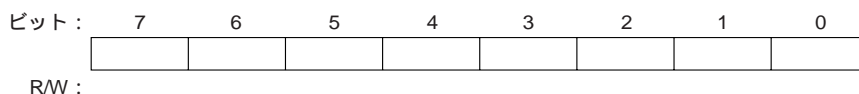
名称	略称	R/W	初期値	P4 アドレス	エリア7アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR1	R/W	H'00	H'FFE00000	H'1FE00000	8
ビットレートレジスタ	SCBRR1	R/W	H'FF	H'FFE00004	H'1FE00004	8
シリアルコントロールレジスタ	SCSCR1	R/W	H'00	H'FFE00008	H'1FE00008	8
トランスミットデータレジスタ	SCTDR1	R/W	H'FF	H'FFE0000C	H'1FE0000C	8
シリアルステータスレジスタ	SCSSR1	R/(W)*1	H'84	H'FFE00010	H'1FE00010	8
レシーブデータレジスタ	SCRDR1	R	H'00	H'FFE00014	H'1FE00014	8
シリアルポートレジスタ	SCSPTR1	R/W	H'00*2	H'FFE0001C	H'1FE0001C	8

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

*2 ビット 2、0 は不定。

15.2 レジスタの説明

15.2.1 レシーブシフトレジスタ (SCRSR1)

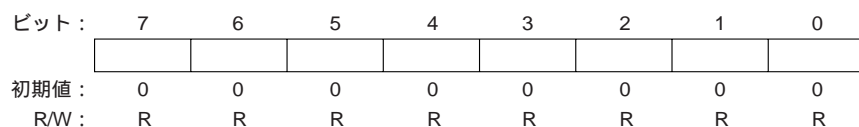


レシーブシフトレジスタ (SCRSR1) は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR1 に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR1 へ転送されます。

CPU から直接 SCRSR1 の読み出し / 書き込みをすることはできません。

15.2.2 レシーブデータレジスタ (SCRDR1)



レシーブデータレジスタ (SCRDR1) は、受信したシリアルデータを格納するレジスタです。

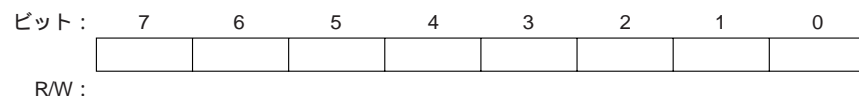
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR1) から SCRDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR1 は受信可能になります。

このように、SCRSR1 と SCRDR1 はダブルバッファになっているため連続した受信動作が可能です。

SCRDR1 は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

15.2.3 トランスミットシフトレジスタ (SCTSR1)



トランスミットシフトレジスタ (SCTSR1) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR1) から送信データをいったん SCTSR1 に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR1 から SCTSR1 へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされている場合には、SCTDR1 から SCTSR1 へのデータ転送は行いません。

CPU から、直接 SCTSR1 の読み出し / 書き込みをすることはできません。

15.2.4 トランスミットデータレジスタ (SCTDR1)

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

トランスミットデータレジスタ (SCTDR1) は、シリアル送信するデータを格納する 8 ビットのレジスタです。SCI は、トランスミットシフトレジスタ (SCTSR1) の空を検出すると、SCTDR1 に書き込まれた送信データを SCTSR1 に転送してシリアル送信を開始します。SCTSR1 のシリアルデータ送信中に SCTDR1 に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR1 は、常に CPU による読み出し / 書き込みが可能です。

SCTDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'FF に初期化されます。

15.2.5 シリアルモードレジスタ (SCSMR1)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SCSMR1) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR1 は、常に CPU による読み出し / 書き込みが可能です。

SCSMR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR1) の MSB (ビット 7) は送信されません。

ビット 5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加

して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4 : パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4	説 明	
O/E		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明	
STOP		
0	1 ストップビット* ¹	(初期値)
1	2 ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、使用上の注意事項を含めて、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.2.9 ビットレートレジスタ (SCBRR1)」を参照してください。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	Pck クロック (初期値)
	1	Pck/4 クロック
1	0	Pck/16 クロック
	1	Pck/64 クロック

【注】 Pck : 周辺クロック

15.2.6 シリアルコントロールレジスタ (SCSCR1)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCSCR1) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR1 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

ビット 7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) ヘシリアル送信データが転送されシリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット 6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRDR1) からレシーブデータレジスタ (SCRSR1) ヘ転送されて SCSSR1 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット 5: トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SCSSR1 の TDRE フラグは 1 に固定されます。

*2 この状態で、SCTDR1 に送信データを書き込んで、SCSSR1 の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR1) の設定を行い送信フォーマットを決定してください。

ビット 4: レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SCSMR1 の設定を行い、受信フォーマットを決定してください。

ビット 3: マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSMR1 の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態*

【注】 * MPB=1 を含む受信データを受信すると、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSCR1 の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット 2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが SCTDR1 がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SCSSR1 の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0: クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SCSMR1 で SCI の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。

SCI のクロックソースの選択についての詳細は「15.3 動作説明」の表 15.9 を参照してください。

ビット 1	ビット 0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視)* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* ¹
0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
1	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

15.2.7 シリアステータスレジスタ (SCSSR1)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1		0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

シリアステータスレジスタ (SCSSR1) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SCSSR1 は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、および MPB フラグは読み出し専用であり、書き込むことはできません。

SCSSR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'84 に初期化されます。

ビット 7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) にデータ転送が行われ SCTDR1 に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	SCTDR1 に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で SCTDR1 へデータを書き込んだとき
1	SCTDR1 に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) SCSSR1 の TE ビットが 0 のとき (3) SCTDR1 から SCTSR1 にデータ転送が行われ SCTDR1 にデータの書き込みが可能になったとき

ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (SCRDR1) に格納されていることを示します。

ビット 6	説明
RDRF	
0	SCRDR1 に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で SCRDR1 のデータを読み出したとき
1	SCRDR1 に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、SCRSR1 から SCRDR1 へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR1) の RE ビットを 0 にクリアしたときには、SCRDR1 および RDRF フラグは影響を受けず、以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバランエラーが発生し、受信データが失われますので注意してください。

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCSCR1 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 SCRDR1 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4: フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) FER=1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCSCR1のREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはSCRDR1に転送されませんが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。

ビット3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) PER=1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR1) のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCSCR1のREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはSCRDR1に転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。

ビット 2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCTDR1 に有効なデータがなく、送信を終了したことを示します。

TEND フラグは読み出し専用ですので、書き込むことはできません。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で SCTDR1 ヘーダを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) SCSCR1 の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

ビット 1: マルチプロセッサビット (MPB) *

本ビットは読み出し専用ですので、書き込むことはできません。読み出した値は不定です。

【注】 * 本ビットは、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納するビットですが、本 LSI では正常に動作しません。本ビットの読み出した値を使用しないでください。

ビット 0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

MPBT ビットは送信データと異なり、ダブルバッファ構造でないため、値を変更する前に送信が完了していることを確認する必要があります。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

15.2.8 シリアルポートレジスタ (SCSPTR1)

ビット:	7	6	5	4	3	2	1	0
	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値:	0	0	0	0	0		0	
R/W:	R/W				R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

ビット 7: エラー割り込みオンリー (EIO)

EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。この設定で DMAC を使用した場合、CPU は ERI 割り込みのみを処理します。DMAC は読み出しデータをメモリまたはほかの周辺モジュールに転送します。このビットは RXI 割り込みの許可 / 禁止を設定します。

ビット 7	説明	
EIO		
0	RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる	(初期値)
1	RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる	

ビット 6~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説明	
SPB1IO		
0	SCK 端子に SPB1DT ビットの値を出力しないことを示します	(初期値)
1	SCK 端子に SPB1DT ビットの値を出力することを示します	

ビット 2 : シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SPB1IO ビットで指定します (詳細はビット 3 : SPB1IO の説明参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説 明
SPB1DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

ビット 1 : シリアルポートブレイク入出力 (SPB0IO)

シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB0IO	
0	TxD 端子に SPB0DT ビットの値を出力しないことを示します (初期値)
1	TxD 端子に SPB0DT ビットの値を出力することを示します

ビット 0 : シリアルポートブレイクデータ (SPB0DT)

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します (詳細はビット 1 : SPB0IO の説明参照)。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB0DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

SCI 用の I/O ポートのブロック図を図 15.2、図 15.3、図 15.4 に示します。

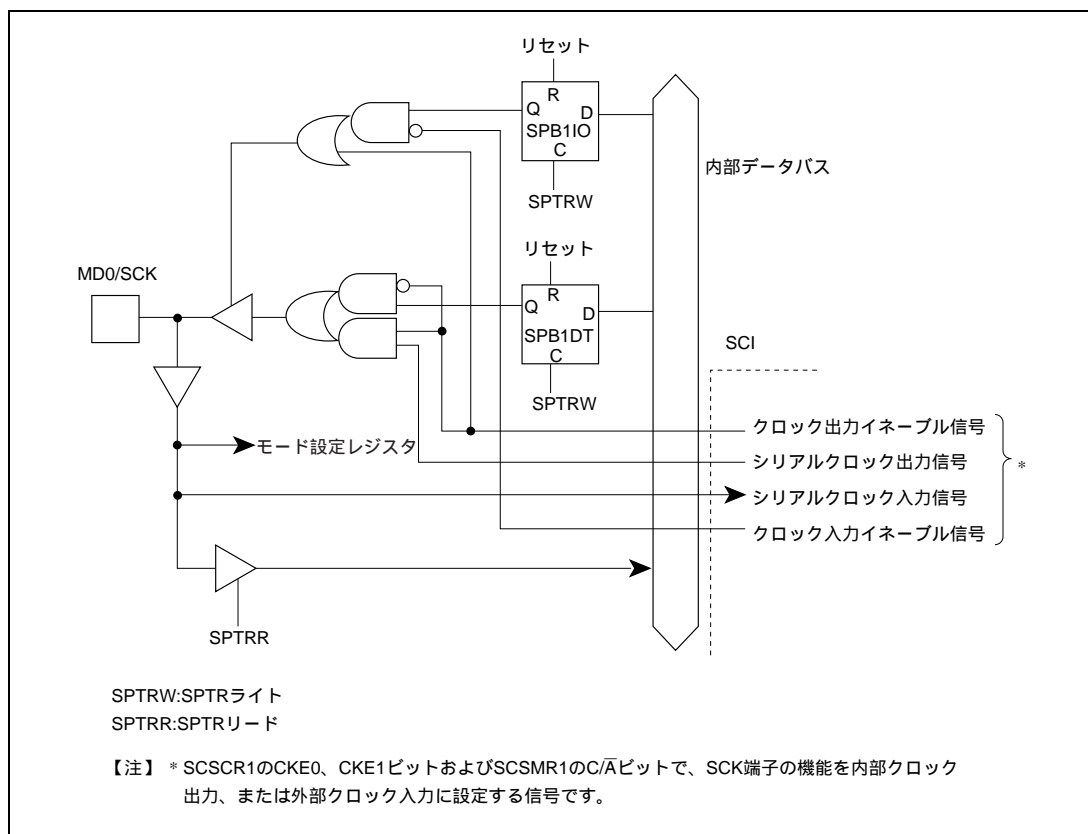


図 15.2 MD0/SCK 端子

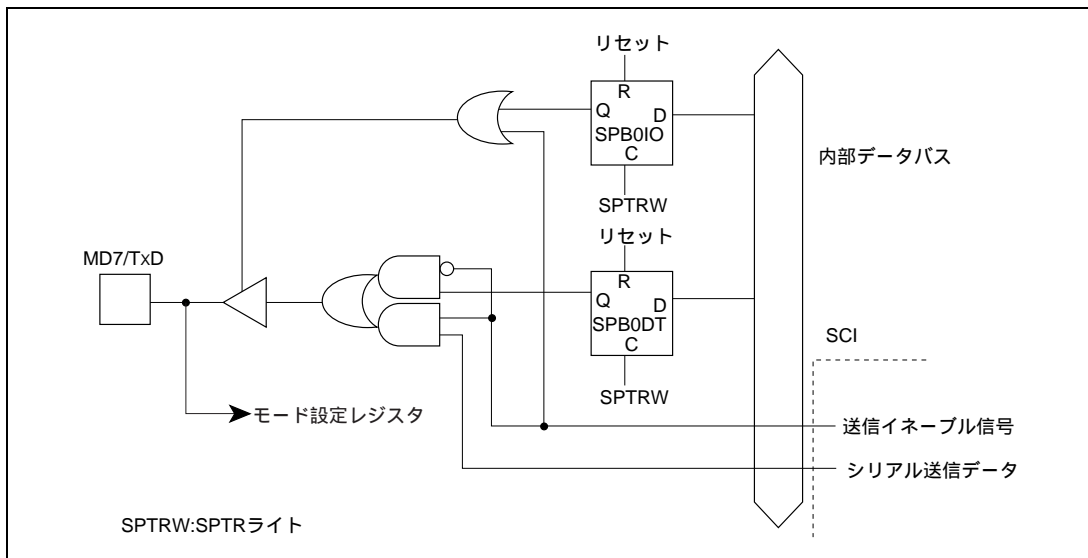


図 15.3 MD7/TxD 端子

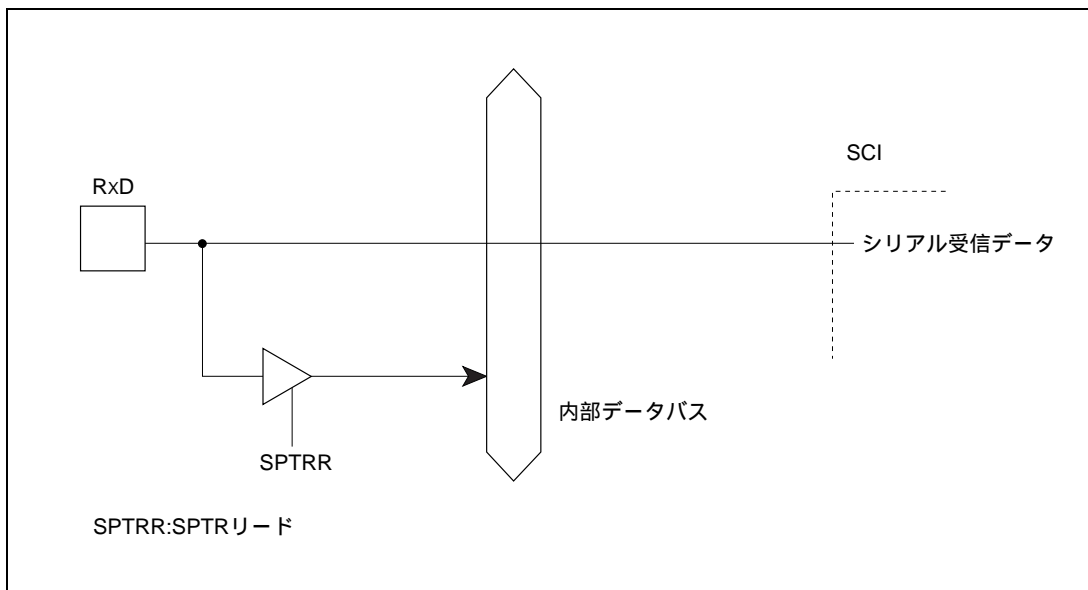
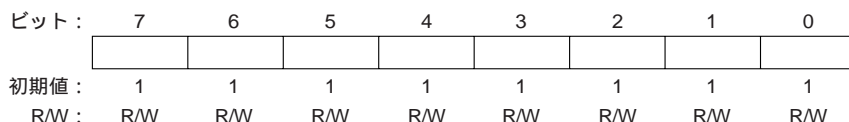


図 15.4 RxD 端子

15.2.9 ビットレートレジスタ (SCBRR1)



ビットレートレジスタ (SCBRR1) は、シリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR1 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'FF に初期化されます。

SCBRR1 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR1 の設定値 (0 ≤ N ≤ 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(nとクロックの関係は、下表を参照してください)

n	クロック	SCSMR1 の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.3 に調歩同期式モードの SCBRR1 の設定例を、表 15.4 にクロック同期式モードの SCBRR1 の設定例を示します。

表 15.3 ビットレートに対する SCBRR1 の設定例 [調歩同期式モード]

ビットレート (bit/s)	Pck (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00			

ビットレート (bit/s)	Pck (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

ビットレート (bit/s)	Pck (MHz)											
	6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ビットレート (bit/s)	Pck (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bit/s)	Pck (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	- 0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
31250	0	14	- 1.70	0	15	0.00	0	19	- 1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

ビットレート (bit/s)	Pck (MHz)											
	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	- 0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	- 0.35
300	2	155	0.16	2	159	0.00	2	186	- 0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	- 0.35
1200	1	155	0.16	1	159	0.00	1	186	- 0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	- 0.35
4800	0	155	0.16	0	159	0.00	0	186	- 0.08	0	194	- 1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	- 0.35
19200	0	38	0.16	0	39	0.00	0	46	- 0.61	0	48	- 0.35
31250	0	23	0.00	0	24	- 1.70	0	28	- 1.03	0	29	0.00
38400	0	19	- 2.34	0	19	0.00	0	22	1.55	0	23	1.73

空欄： 設定できません。

- : 設定可能ですが誤差がです。

表 15.4 ビットレートに対する SCBRR1 の設定例 [クロック同期式モード]

ビットレート (bit/s)	Pck (MHz)										
	4		8		16		28.7		30		
	n	N	n	N	n	N	n	N	n	N	
10	-	-	-	-	-	-	-	-	-	-	-
250	2	249	3	124	3	249	-	-	-	-	
500	2	124	2	249	3	124	3	223	3	233	
1k	1	249	2	124	2	249	3	111	3	116	
2.5k	1	99	1	199	2	99	2	178	2	187	
5k	0	199	1	99	1	199	2	89	2	93	
10k	0	99	0	199	1	99	1	178	1	187	
25k	0	39	0	79	0	159	1	71	1	74	
50k	0	19	0	39	0	79	0	143	0	149	
100k	0	9	0	19	0	39	0	71	0	74	
250k	0	3	0	7	0	15	-	-	0	29	
500k	0	1	0	3	0	7	-	-	0	14	
1M	0	0*	0	1	0	3	-	-	-	-	
2M			0	0*	0	1	-	-	-	-	

【注】 誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 受信はできません。

表 15.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6 と表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

Pck (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pck (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pck (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0

15.3 動作説明

15.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR1)で行います。これを表 15.8 に示します。また、SCIのクロックソースは、SCSMR1の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR1)のCKE1、CKE0ビットの組み合わせで決まります。これを表 15.9 に示します。

- 調歩同期式モード
 - データ長：7ビット/8ビットから選択可能
 - パリティの付加、マルチプロセスビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
 - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
 - SCIのクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）
- クロック同期式モード
 - 送信/受信フォーマット：8ビットデータ固定
 - 受信時にオーバランエラーの検出可能
 - SCIのクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 15.8 SCSMR1 の設定値とシリアル送信 / 受信フォーマット

SCSMR1 の設定値					モード	SCI の送信 / 受信フォーマット							
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長				
C/ \bar{A}	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット				
				1					2ビット				
			1	0					1ビット				
				1					2ビット				
			1	0					0	7ビット データ	なし	1ビット	
				1					0	1	2ビット		
	1	1	0	0		調歩同期式 モード (マルチプロセッサフォーマット)	8ビット データ	あり	なし	1ビット			
				1						2ビット			
	1	1	*	0			7ビット データ			あり	なし	1ビット	
				1			2ビット						
	1	1	*	0			1			あり		なし	1ビット
				1			2ビット						
1	*	*	*	*	8ビット データ		なし	なし	なし				
									1	なし			

【注】 表中の * は Don't care であることを示します。

表 15.9 SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択

SCSMR1	SCSCR1 の設定		モード	SCI の送信 / 受信クロック		
ビット7	ビット1	ビット0		クロック ソース	SCK 端子の機能	
C/ \bar{A}	CKE1	CKE0				
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません	
		1			ビットレートと同じ周波数のクロックを出力	
		1		0	外部	ビットレートの 16 倍の周波数のクロックを入力
				1		
1	0	0	クロック 同期式 モード	内部	同期クロックを出力	
		1				
		1		0	外部	同期クロックを入力
				1		

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

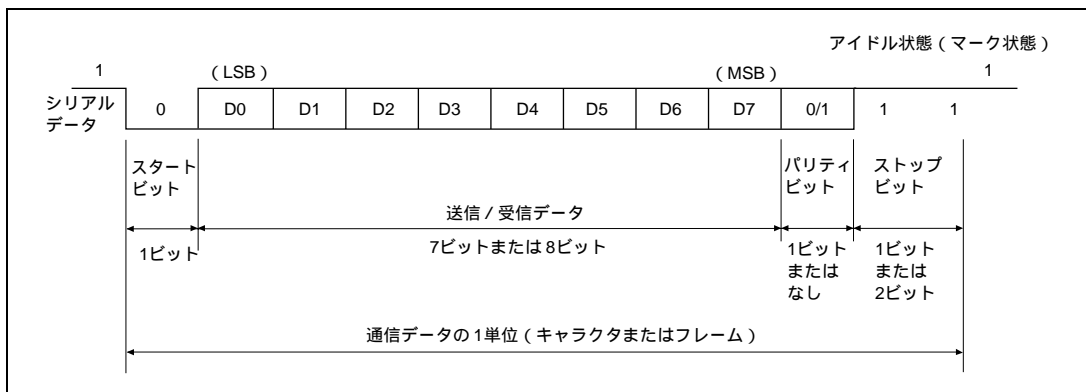


図 15.5 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 15.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR1) の設定により選択できます。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR1の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S [8ビットデータ] STOP												
0	0	0	1	S [8ビットデータ] STOP STOP												
0	1	0	0	S [8ビットデータ]										P	STOP	
0	1	0	1	S [8ビットデータ]										P	STOP	STOP
1	0	0	0	S [7ビットデータ]										STOP		
1	0	0	1	S [7ビットデータ]										STOP	STOP	
1	1	0	0	S [7ビットデータ]									P	STOP		
1	1	0	1	S [7ビットデータ]									P	STOP	STOP	
0	*	1	0	S [8ビットデータ]										MPB	STOP	
0	*	1	1	S [8ビットデータ]										MPB	STOP	STOP
1	*	1	0	S [7ビットデータ]									MPB	STOP		
1	*	1	1	S [7ビットデータ]									MPB	STOP	STOP	

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスサビット

【注】 表中の * はDon't careであることを示します。

(2) クロック

SCIの送受信クロックは、SCSMR1の C/\bar{A} ビットとシリアルコントロールレジスタ(SCSCR1)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図15.6に示すように送信データの中央にクロックの立ち上がりエッジが来るようになります。

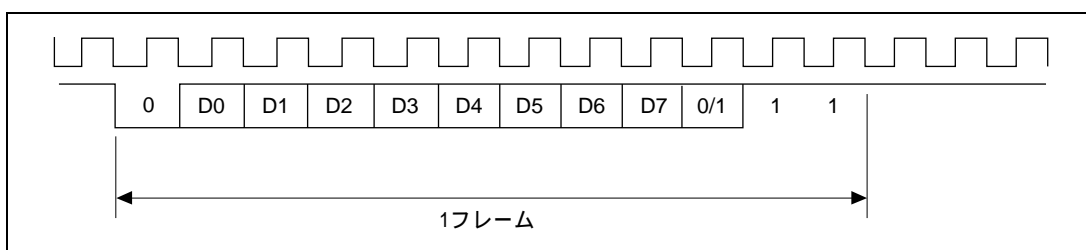


図 15.6 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

• SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCR1のTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図15.7にSCIの初期化フローチャートの例を示します。

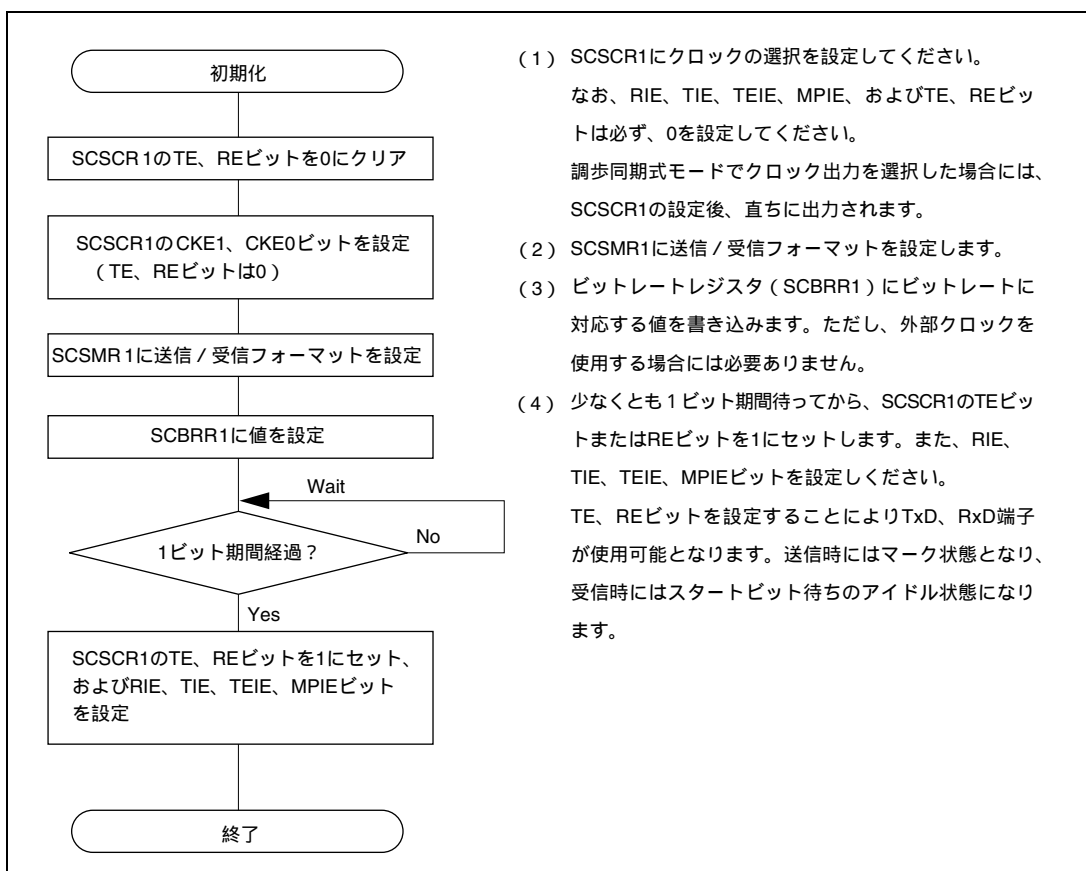


図 15.7 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式)

図15.8にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従い行ってください。

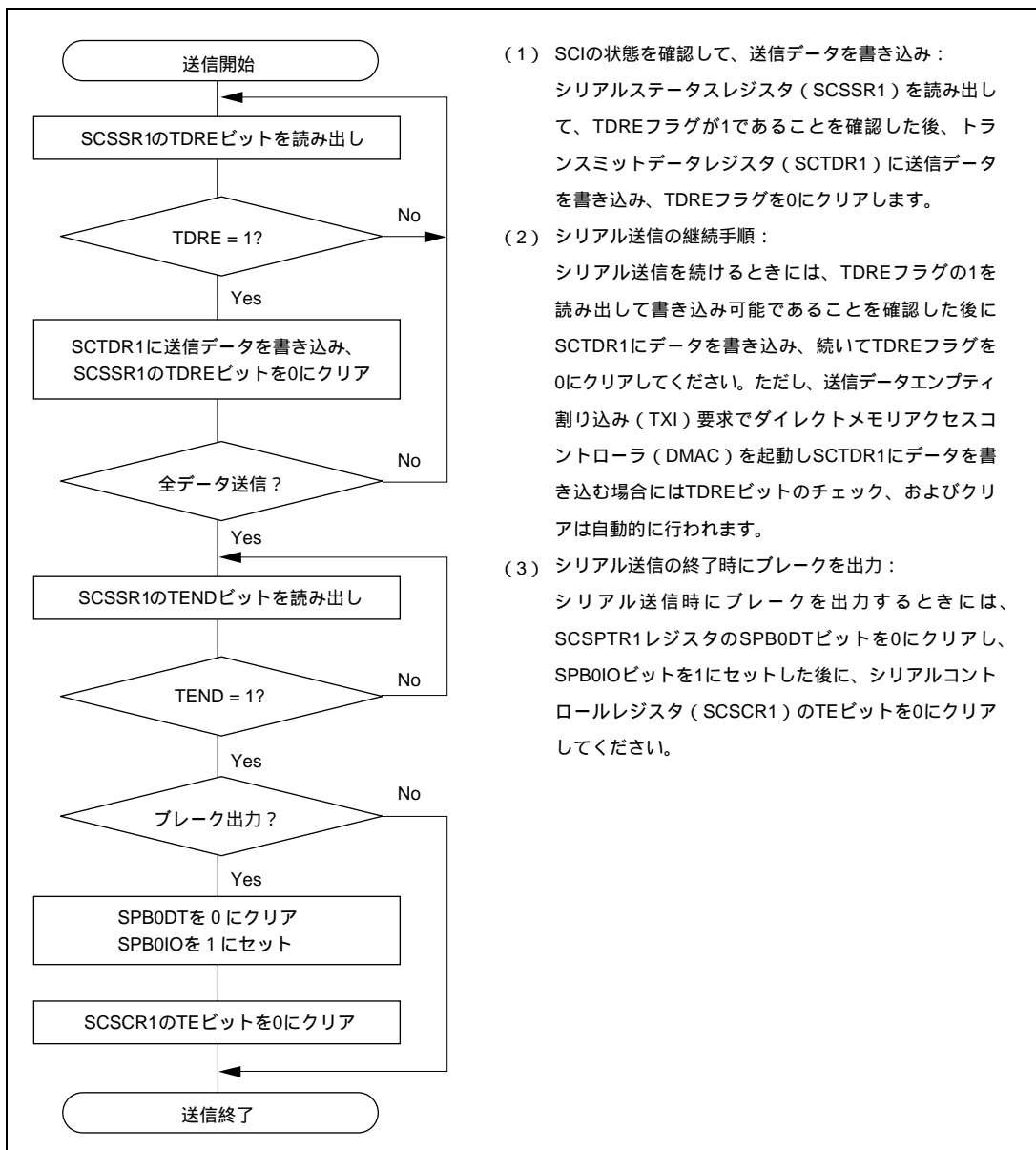


図 15.8 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR1) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR1) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR1) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCR1のTEIEビットが1にセットされているとTEI要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.9 に示します。

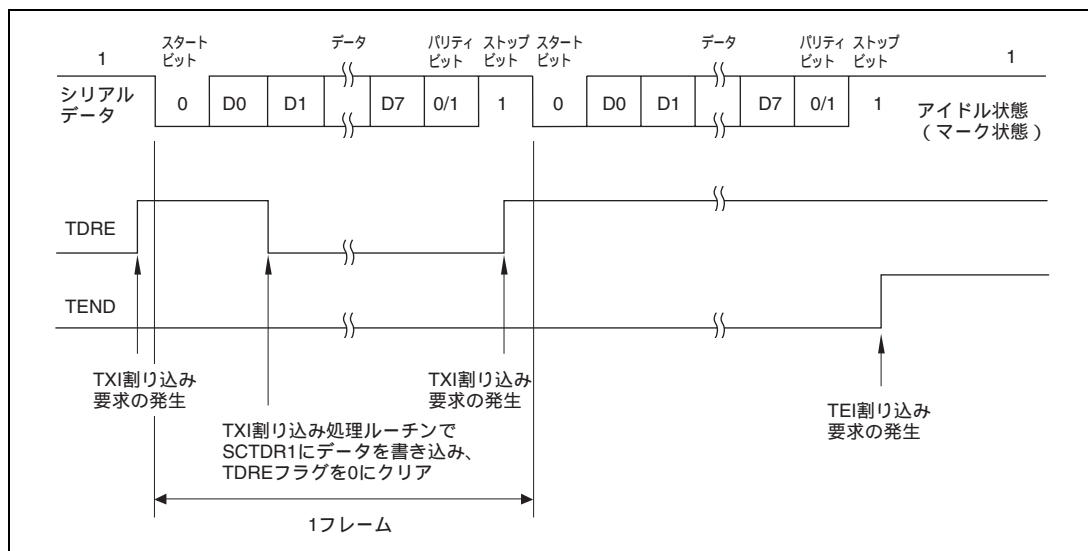


図 15.9 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

- シリアルデータ受信 (調歩同期式)

図15.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従い行ってください。

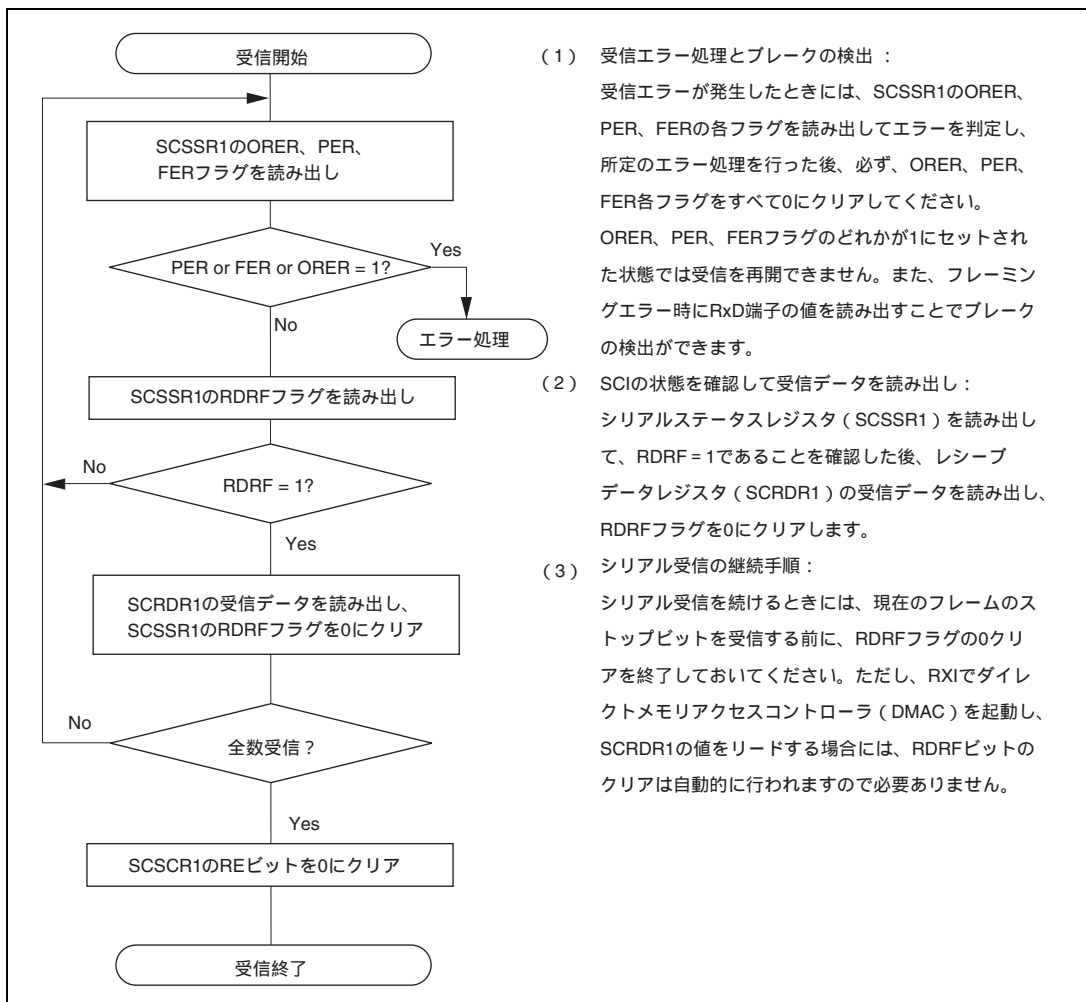


図 15.10 シリアル受信のフローチャートの例 (1)

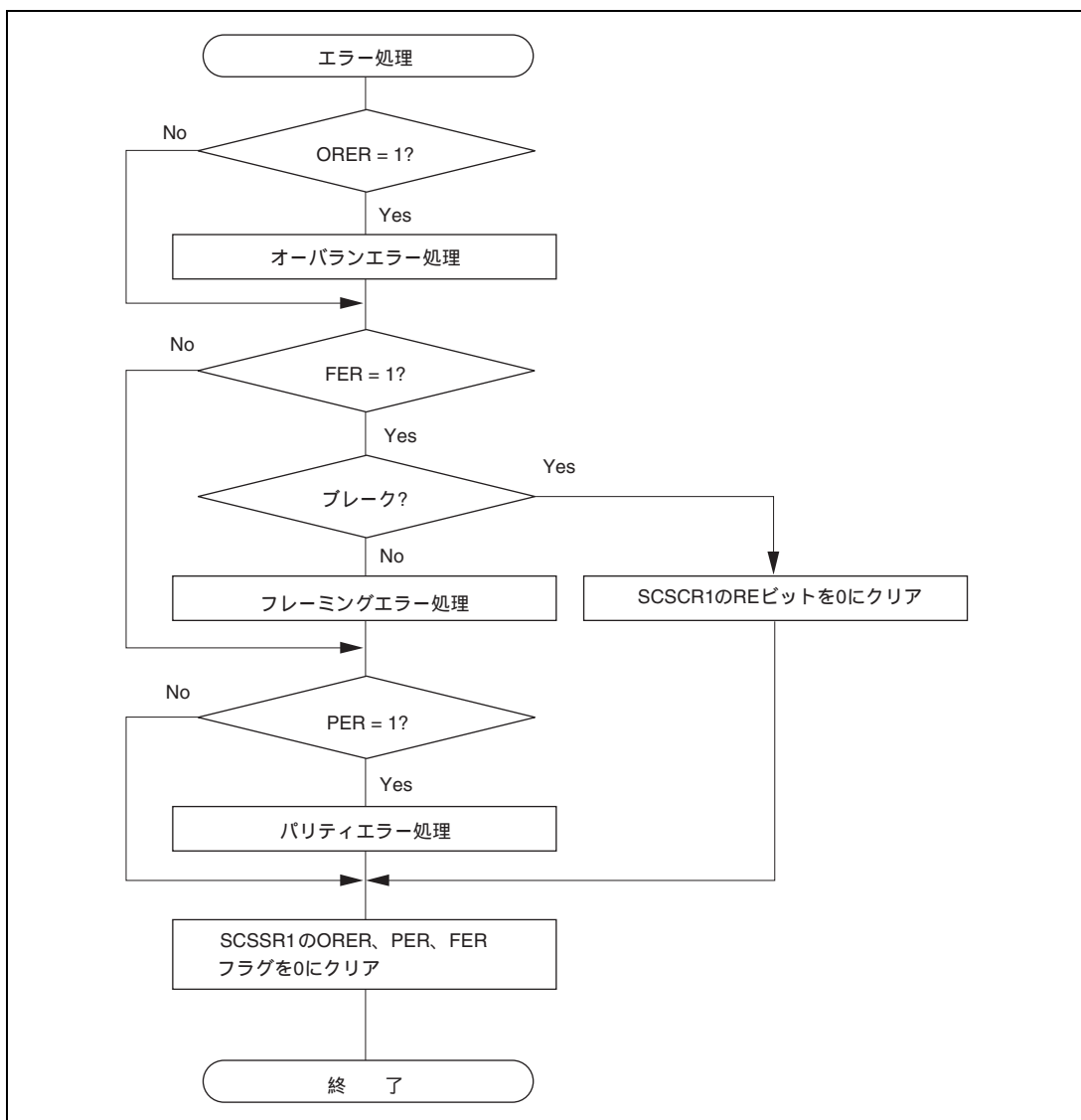


図 15.10 シリアル受信のフローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR1のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR1) の O/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをレシフシフトレジスタ (SCRCSR1) から SCRDR1に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、SCRDR1 に受信データが格納されます。

エラーチェックで受信エラーを発生すると表 15.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

4. RDRFフラグが1になったとき、SCSPTR1のEIOビットが0に、SCSCR1のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。また、RDRFフラグが1になるとき、DMACに対して受信データフル要求が常に出力されます。

表 15.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCCSR1 の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	SCRCSR1 から SCRDR1 に受信データは転送されません
フレーミングエラー	FER	ストップビットが 0 のとき	SCRCSR1 から SCRDR1 に受信データが転送されず
パリティエラー	PER	SCSMR1 で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRCSR1 から SCRDR1 に受信データが転送されず

調歩同期式モード受信時の動作例を図 15.11 に示します。

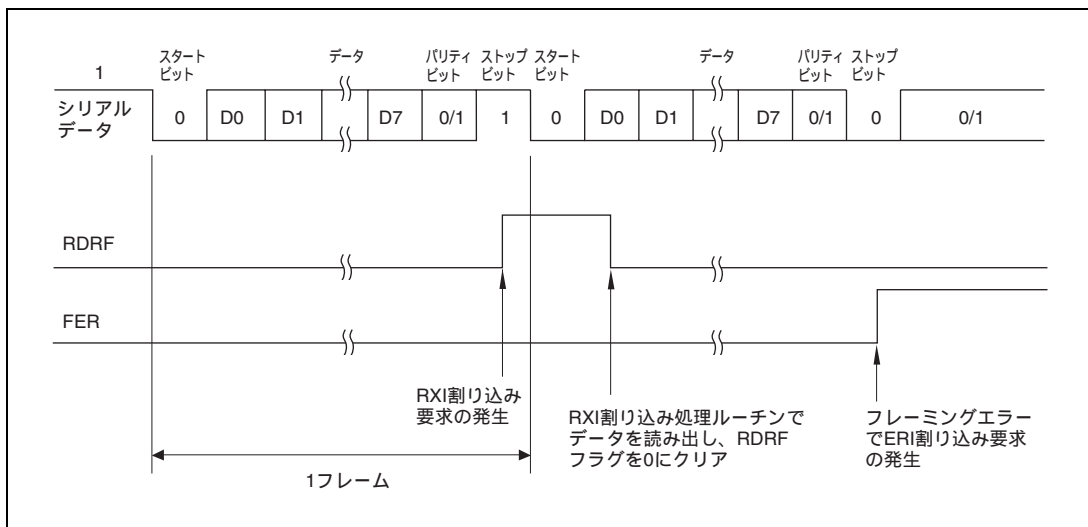


図 15.11 SCI の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします*。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします*。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

【注】 * 本 LSI では、他局宛に送信されたマルチプロセッサビットが 0 のデータを受信した場合も、SCSSR1 の RDRF フラグが 1 にセットされます。SCSSR1 の RDRF フラグが 1 にセットされた時、例外処理ルーチンによって SCSCR1 の MPIE ビットの状態を確認し、MPIE が 1 であればデータを読み飛ばすようにしてください。つまりデータの読み飛ばしは、例外処理ルーチンとの協調動作によって実現されます。

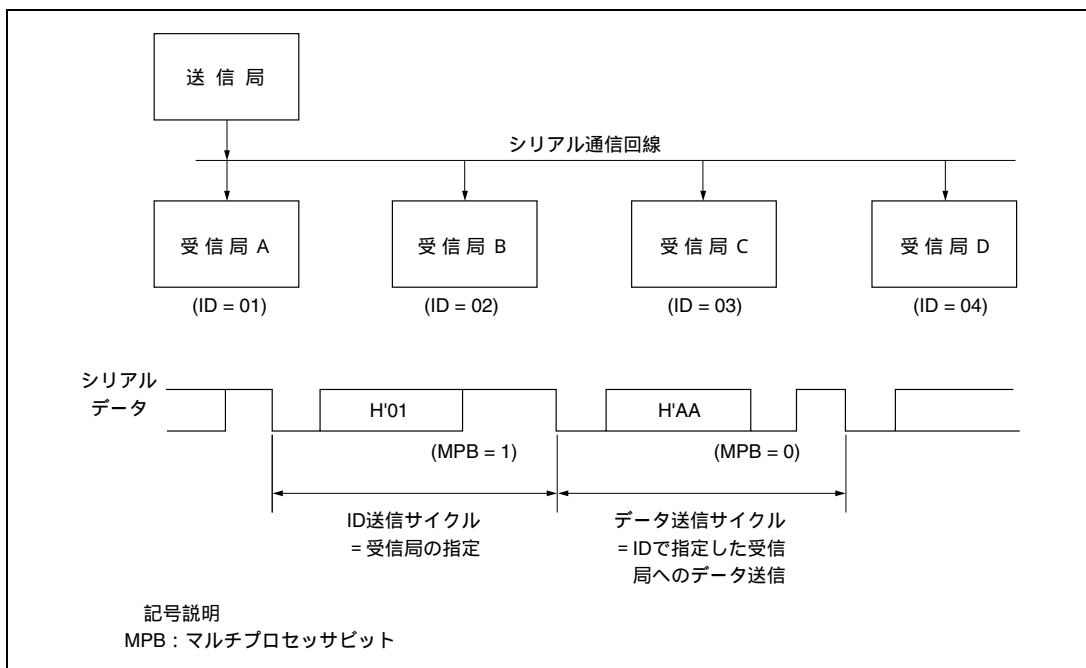


図 15.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.10 を参照してください。

(2) クロック

「15.3.2 (2) クロック」を参照してください。

(3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図15.13にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従って行ってください。

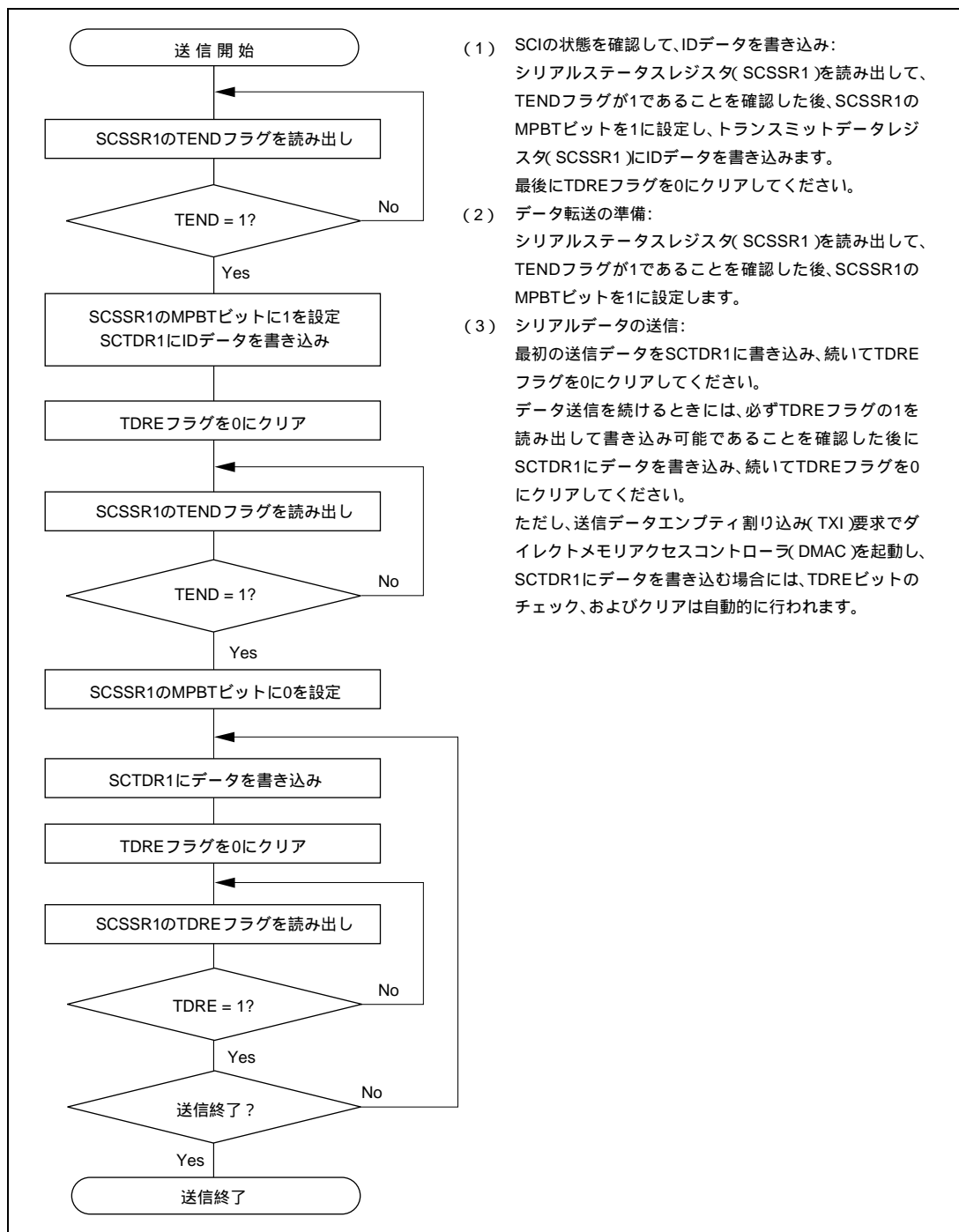


図 15.13 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

1. SCIは、SCSSR1のTDREフラグを監視し、0であるとSCTDR1にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが1であるのでSCSSR1のTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSSR1の送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。
 4. SCIはTDREビットを再び監視し、0であるとSCTDR1にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
 5. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCSSR1の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
送信の順番は2と同様です。

図 15.14 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

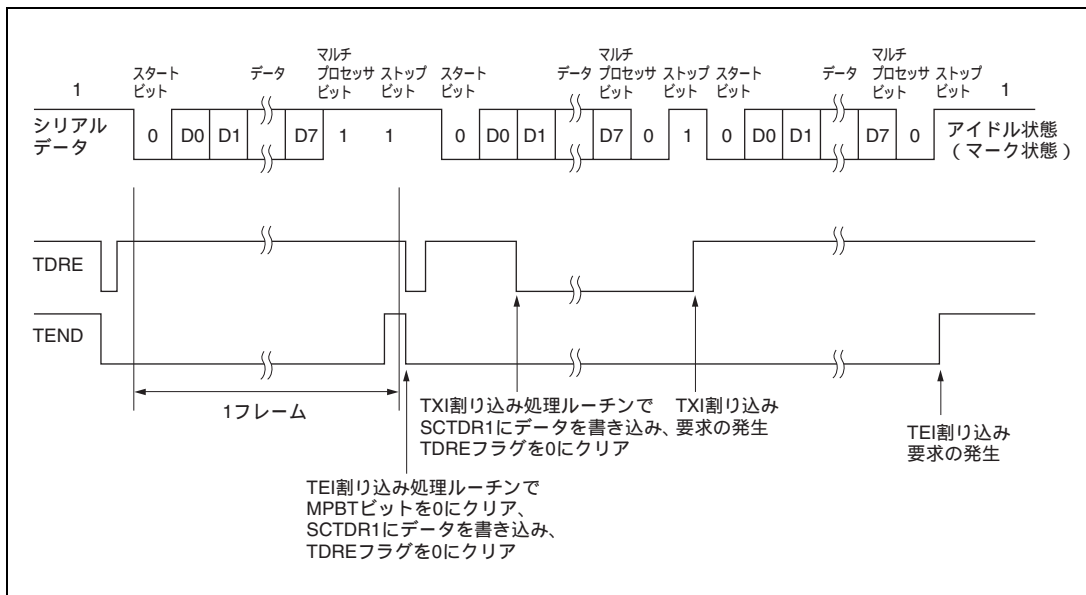


図 15.14 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

- マルチプロセッサシリアルデータ受信

図15.15にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従い行ってください。

1. 受信動作時に発生した割り込みが、マルチプロセッサ割り込みであることを判定する方法

内蔵SCIマルチプロセッサ通信機能を用いた受信動作時にRXI等の割り込みが発生した場合、割り込み処理内でSCSCR1レジスタMPIEビットの状態を確認してください。

[SCSCR1レジスタMPIEビット=1の場合]

受信したデータは無視してください。

他局宛に送信されているマルチプロセッサビットMPB=0のデータを受信してSCSSR1レジスタRDRFビットが1にセットされていますので、SCSSR1レジスタRDRFビットを0にクリアしてください。

[SCSCR1レジスタMPIEビット=0の場合]

マルチプロセッサビットMPB=1のデータ (ID) 受信時のマルチプロセッサ割り込み、もしくは自局宛に送信されたMPB=0のデータ受信時の受信データフル割り込み (RXI) です。

2. 受信したデータがIDであるかデータであるかを判定する方法

ソフトウェアでの処理にSCSSR1レジスタMPBビットを使用しないでください。

受信したデータがID (MPB=1) であるか、データ (MPB=0) であるかのソフトウェア処理には、受信開始を示すユーザ定義フラグをメモリ上に記憶させるなどの処理を行い対応してください。

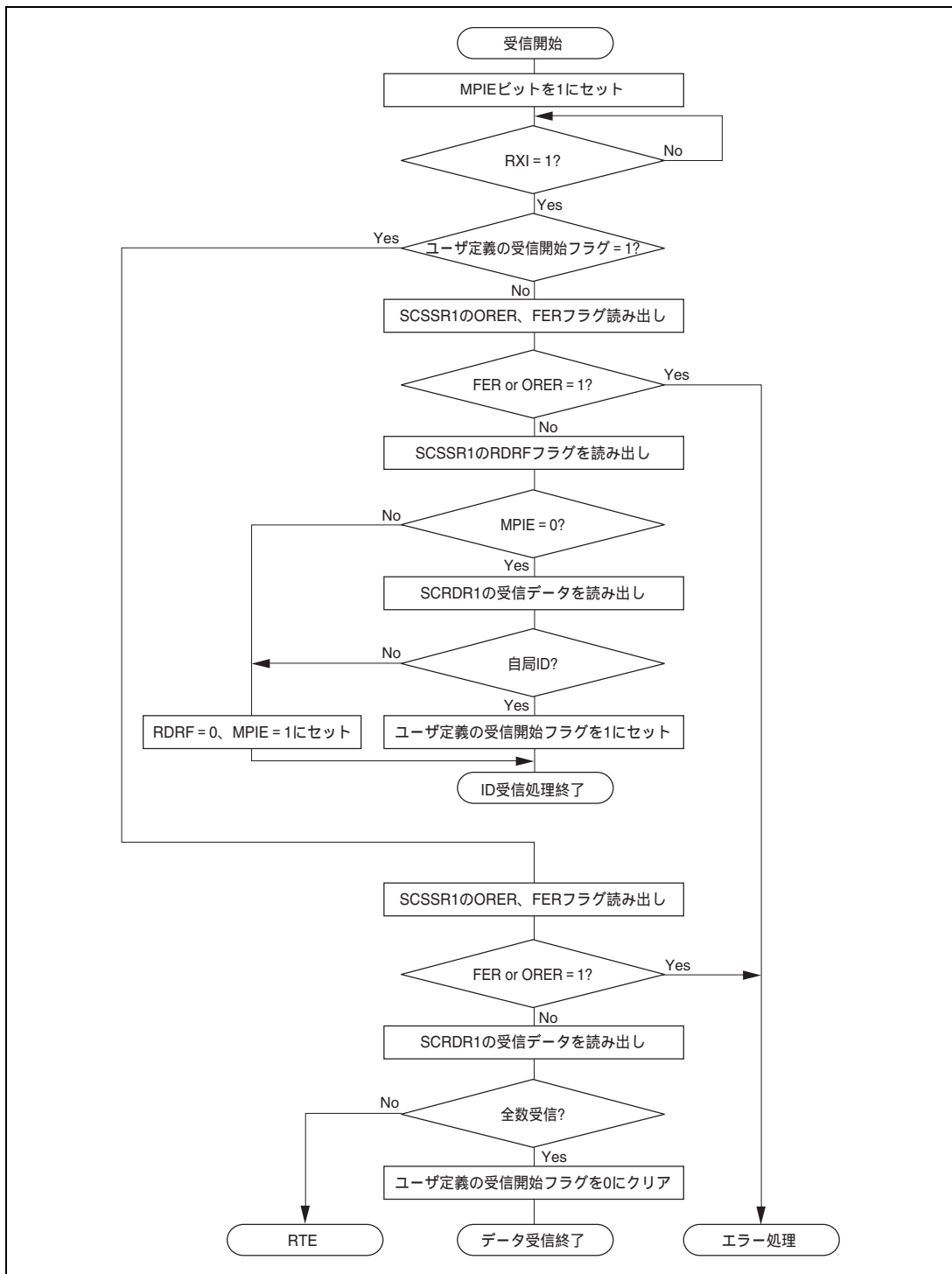


図 15.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

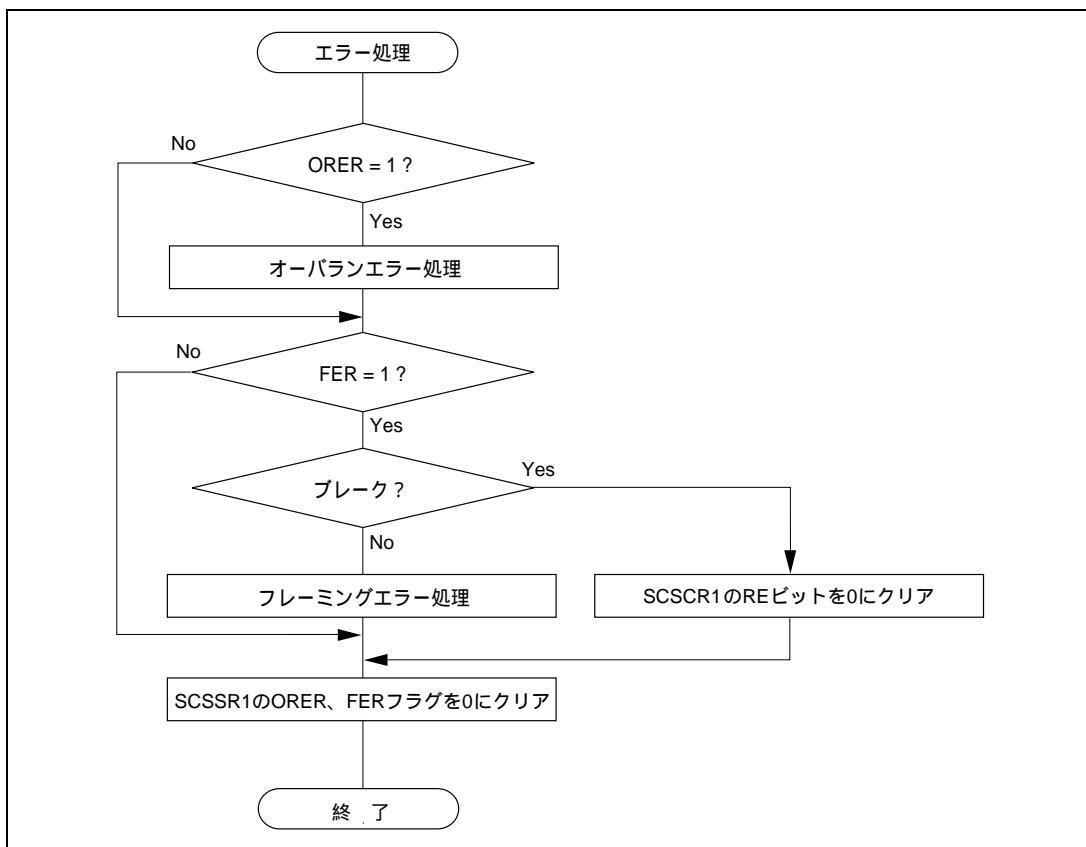


図 15.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.16 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

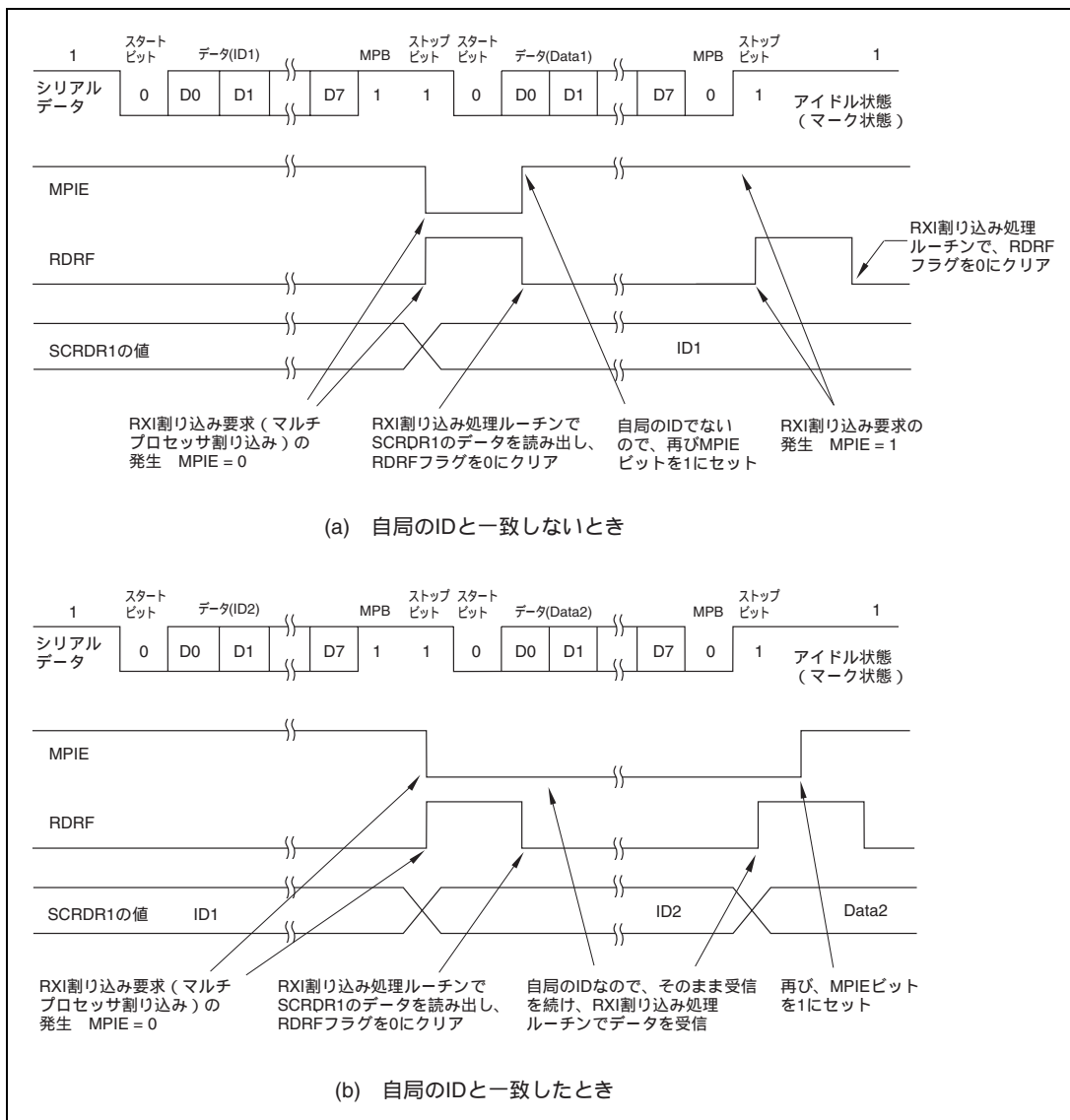


図 15.16 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

SCI はマルチプロセッサモードのシリアル受信時に以下のように動作します。

1. SCIは、通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR1のLSBからMSBの順に格納します。
3. MPIEが1の場合、マルチプロセッサビットの位置で1を受信するとMPIEビットを0にクリアします。マルチプロセッサビットが0の場合にはMPIEビットは変化しません。
4. MPIEが0であれば、ストップビットの位置でRDRFを調べ、RDRFが1であるとオーバランエラーのビットを立てます。ストップビットが0でないとフレーミングエラーのビットを立てます。RDRFが0であればSCRDR1にSCRSR1の値を転送し、ストップビットが0であれば、RDRFを1に設定します。

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.17 に示します。

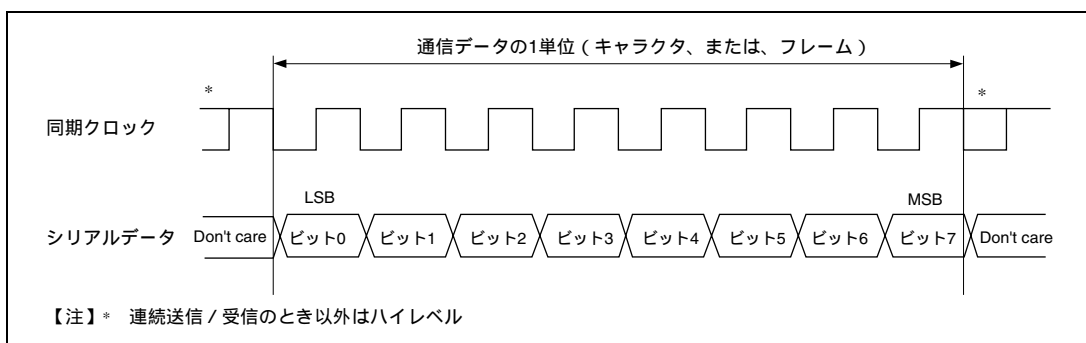


図 15.17 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がり同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセスビットの付加はできません。

(2) クロック

SCSMR1 の C/A ビットと SCSCR1 の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内蔵クロックソースを選択すると RE = 1 の間クロックパルスが出力されます。最後のデータを受信した場合、ビット 7 の終了よりも前に RE を 0 にしてください。

(3) データの送信 / 受信動作

• SCIの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR1) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREフラグは1にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

図 15.18 に SCI の初期化フローチャートの例を示します。

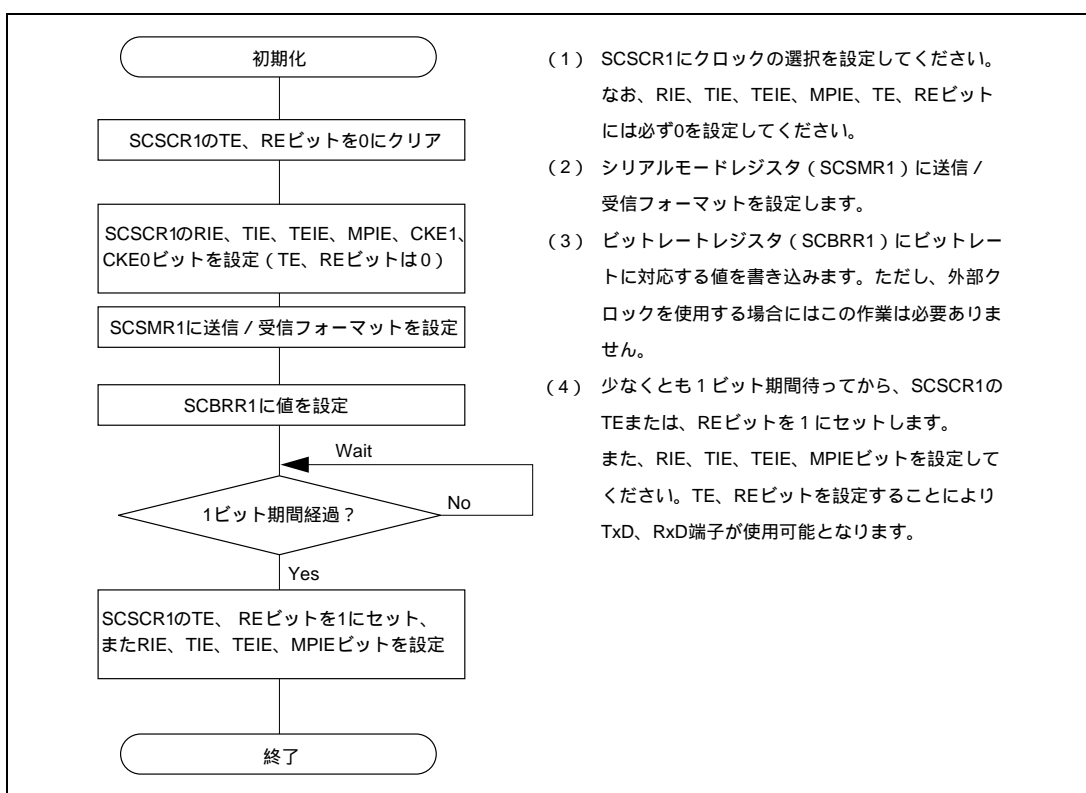


図 15.18 SCI の初期化フローチャートの例

- シリアルデータ送信 (クロック同期式)

図15.19にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順で行ってください。

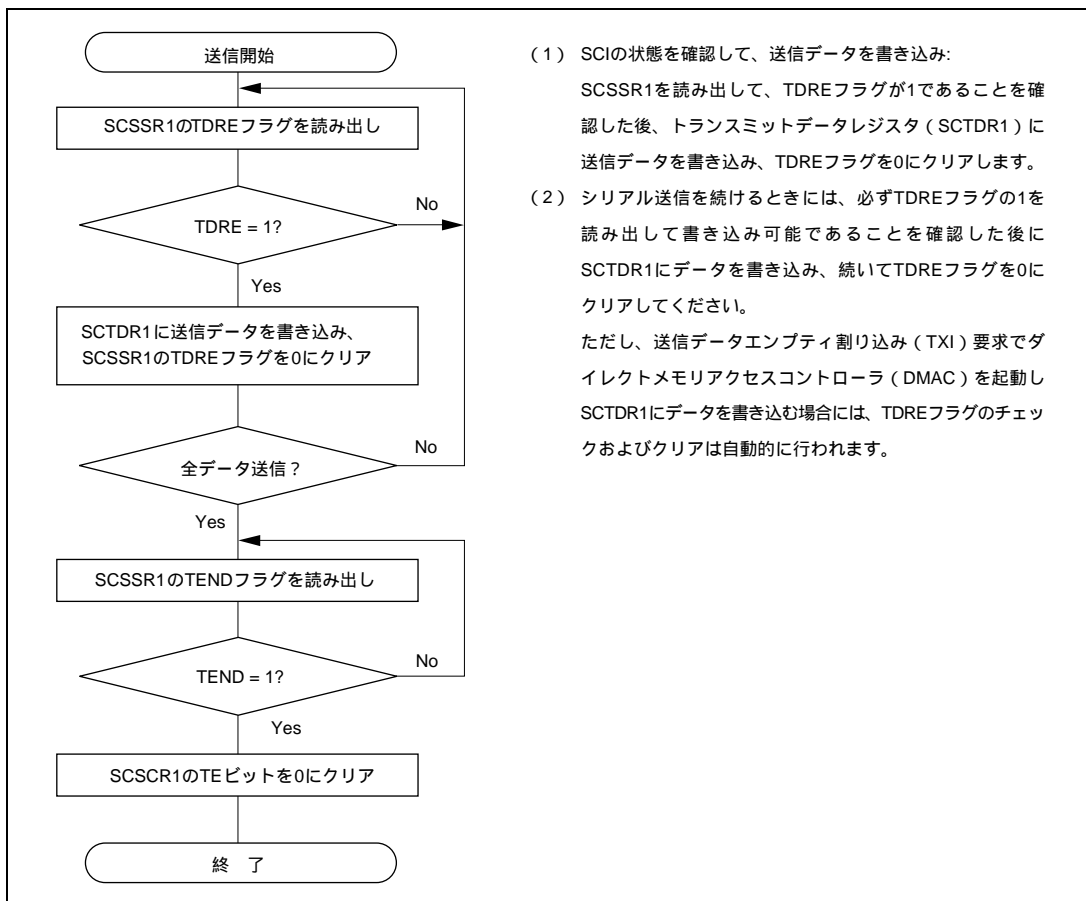


図 15.19 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- SCIは、シリアルステータスレジスタ (SCSSR1) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
- SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCSCR1) の送信データエンpty割り込みイネーブルビット (TIE) が1にセットされていると送信データエンpty割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。

- SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、次フレームのシリアル送信を開始します。

TDREフラグが1であるとシリアルステータスレジスタ (SCSSR1) のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。

このときSCSSR1の送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。

- シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 15.20 に SCI の送信時の動作例を示します。

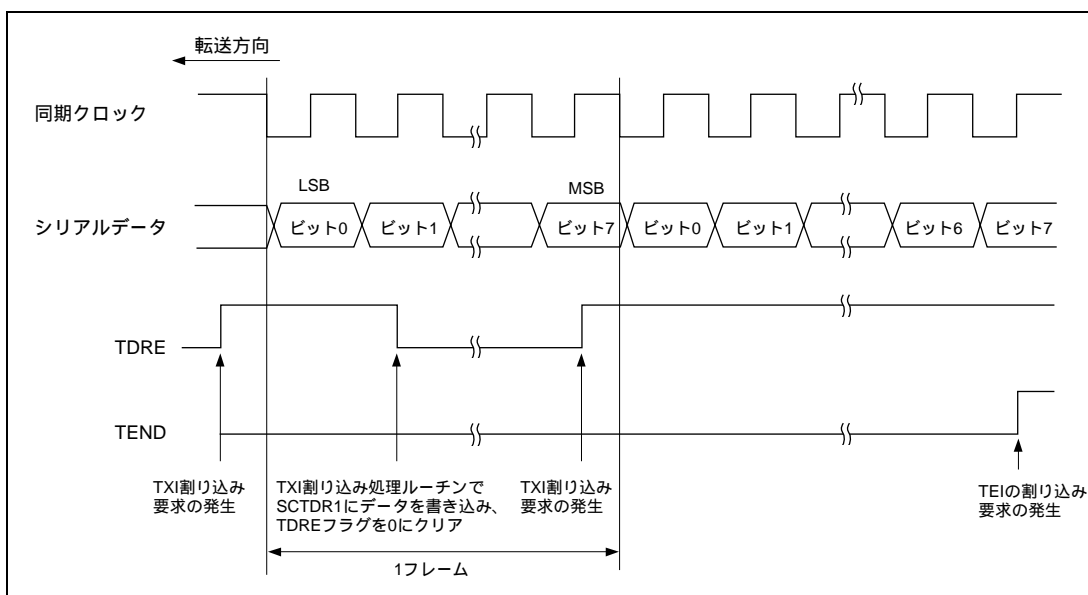


図 15.20 SCI の送信時の動作例

- シリアルデータ受信 (クロック同期式)

図15.21にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信 / 受信動作が行えません。

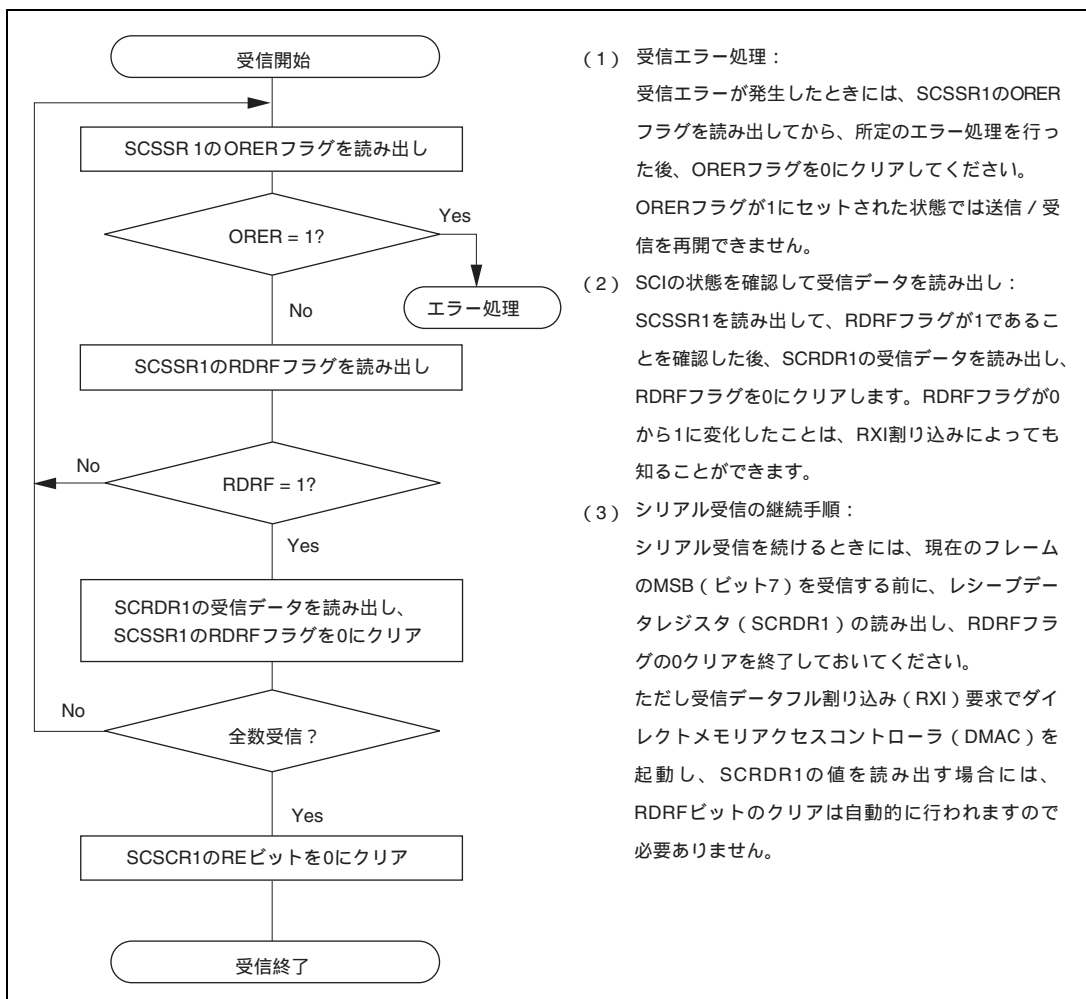


図 15.21 シリアルデータ受信フローチャートの例 (1)

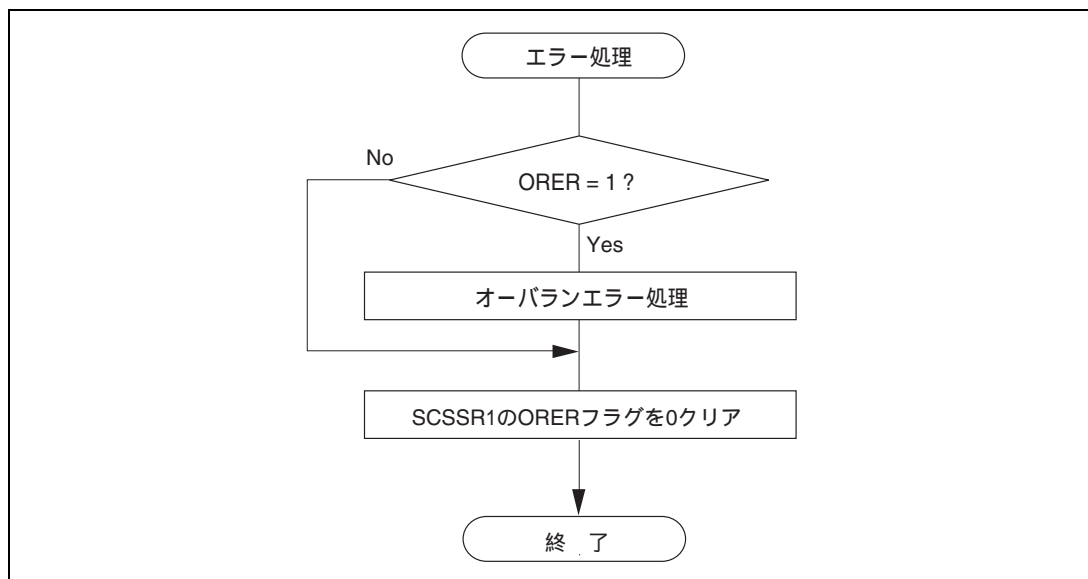


図 15.21 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR1) のLSBからMSBの順に格納します。
受信後、SCIはRDRFフラグが0であり、受信データをSCRSR1からレシーブデータレジスタ (SCRDR1) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDR1に受信データが格納されます。
エラーチェックで受信エラーが発生すると表15.11のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR1) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 15.22 に SCI の受信時の動作例を示します。

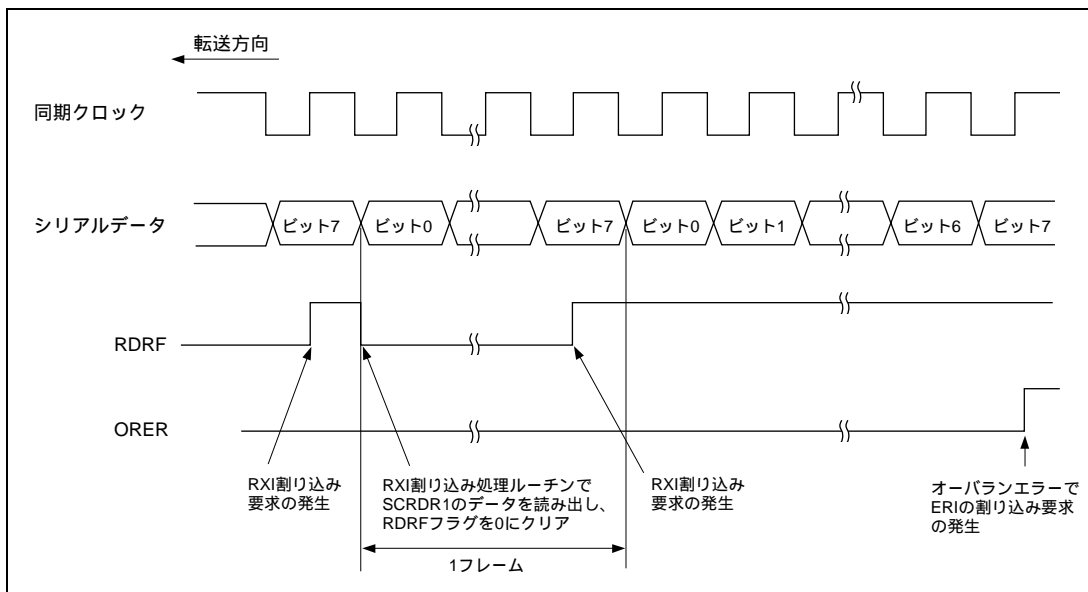


図 15.22 SCI の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式)

図15.23にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCIを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

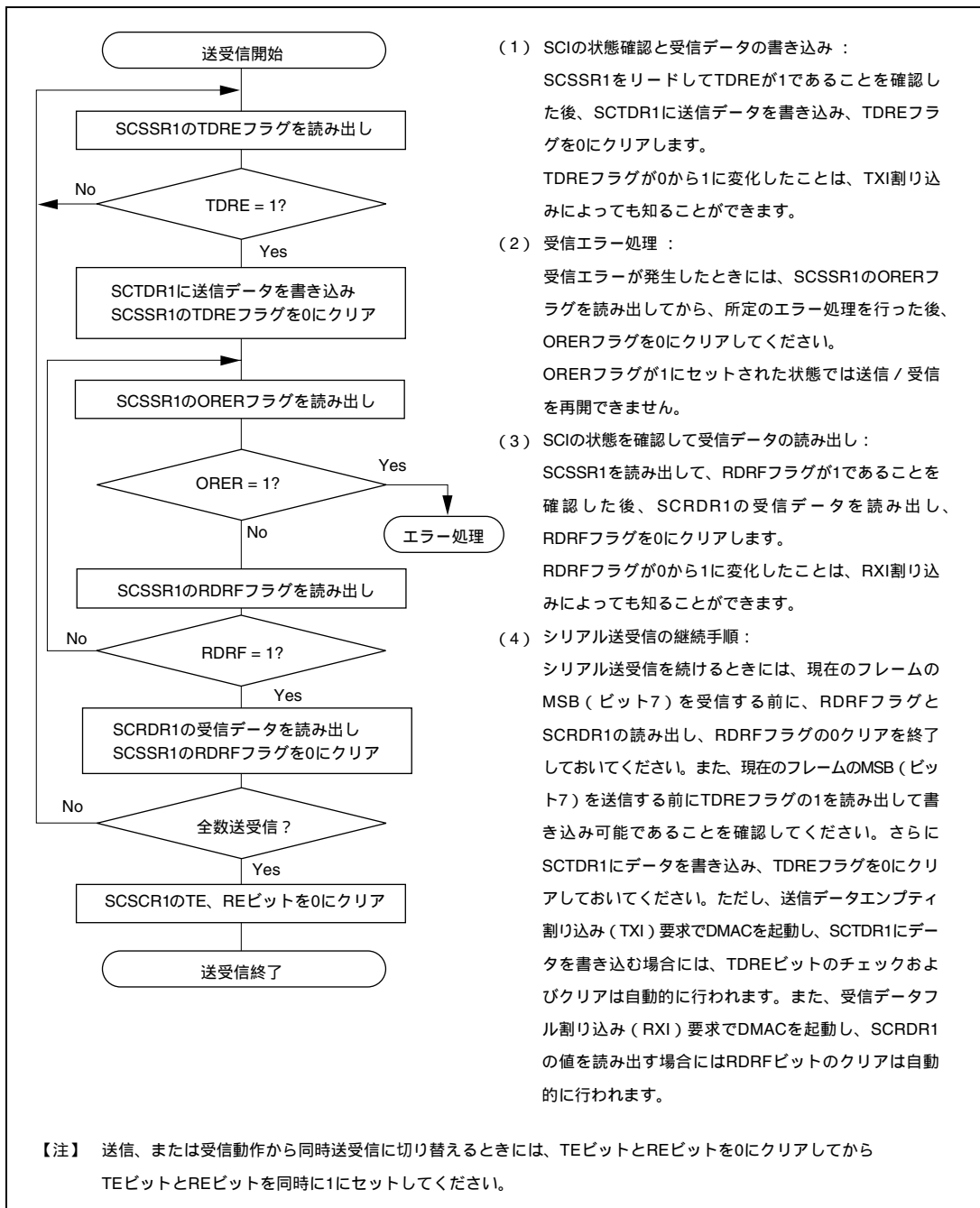


図 15.23 シリアルデータ送受信フローチャートの例

15.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR1 の TIE、RIE、TEIE ビット、および SCSPTR1 の EIO ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされると、割り込み要求とは別に TDR エンプティ要求が発生します。TDR エンプティ要求で、ダイレクトメモリアクセスコントローラ (DMAC) を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるトランスミットデータレジスタ (SCTDR1) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR1 の RDRF フラグが 1 にセットされると、割り込みとは別に RDR フル要求が発生します。RDR フル要求で、DMAC を起動して、データ転送を行うことができます。

RDRF フラグは DMAC によるレシーブデータレジスタ (SCRDR1) の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR1 の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。DMAC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するとともに、SCSPTR1 の EIO ビットを 1 にセットし受信エラーのみで割り込みエラーが発生するようにしてください。EIO ビットを 0 に設定しますと正常なデータ受信時にも CPU への割り込みが発生してしまいます。

さらに、SCSSR1 の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.12 SCI 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TDRE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	低

優先順位、SCI 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

15.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

1. SCTDR1への書き込みとTDREフラグの関係について

シリアルステータスレジスタ (SCSSR1) のTDREフラグはトランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) に送信データの転送が行われたことを示すステータスフラグです。SCIがSCTDR1からSCTSR1にデータを転送すると、TDREフラグが1にセットされます。

SCTDR1へのデータの書き込みは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをSCTDR1に書き込むと、SCTDR1に格納されていたデータは、まだSCTSR1に転送されていないため失われてしまいます。したがってSCTDR1への送信データの書き込みは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

2. 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR1の各ステータスフラグの状態は、表15.13のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRDR1) からレシーブデータレジスタ (SCRDR1) へのデータ転送は行われず、受信データは失われます。

表 15.13 SCSSR1 のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR1 のステータスフラグ				受信データ 転送
	RDRF	ORER	FER	PER	SCRSR1 SCRDR1
オーバランエラー	1	1	0	0	x
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー+フレーミングエラー	1	1	1	0	x
オーバランエラー+パリティエラー	1	1	0	1	x
フレーミングエラー+パリティエラー	0	0	1	1	
オーバランエラー+フレーミングエラー +パリティエラー	1	1	1	1	x

: SCRSR1 SCRDR1 に受信データを転送します。

x : SCRSR1 SCRDR1 に受信データを転送しません。

3. ブレークの検出と処理について

フレーミングエラー (FER) 検出時にRxD端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD端子からの入力値がすべて0になりますのでFERフラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

4. ブレークの送り出し

TxD端子は、シリアルポートレジスタ (SCSPTR1) のSPB0IO、SPB0DTビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化からTEビットを1にセット (送信可能) するまでは、TxD端子として機能しません。この間は、マーク状態はSPB0DTビットの値で代替えされます。このため、最初はSPB0IOとSPB0DTビットを1に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときはSPB0DTビットを0にクリア (ローレベル) した後、TEビットを0にクリア (送信停止) します。TEビットを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子からは0が出力されます。

5. TENDフラグとTEビットの処理

TENDフラグは最終データのストップビット送信時に1にセットされます。TENDフラグのセットを確認した後、直ちにTEビットをクリアした場合、まだストップビットの送信処理を行っており、正常に送信できなくなる可能性があります。したがって、TENDフラグのセット確認後、少なくとも0.5シリアルクロックサイクル (2ストップビットの場合は1.5サイクル) の間は、TEビットをクリアしないでください。

6. 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が1にセットされた状態では、TDREフラグを1にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REビットを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

7. 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。

また、受信データを基本クロックの8クロック目の立ち上がりエッジで内部に取り込みます。

これを図15.24に示します。

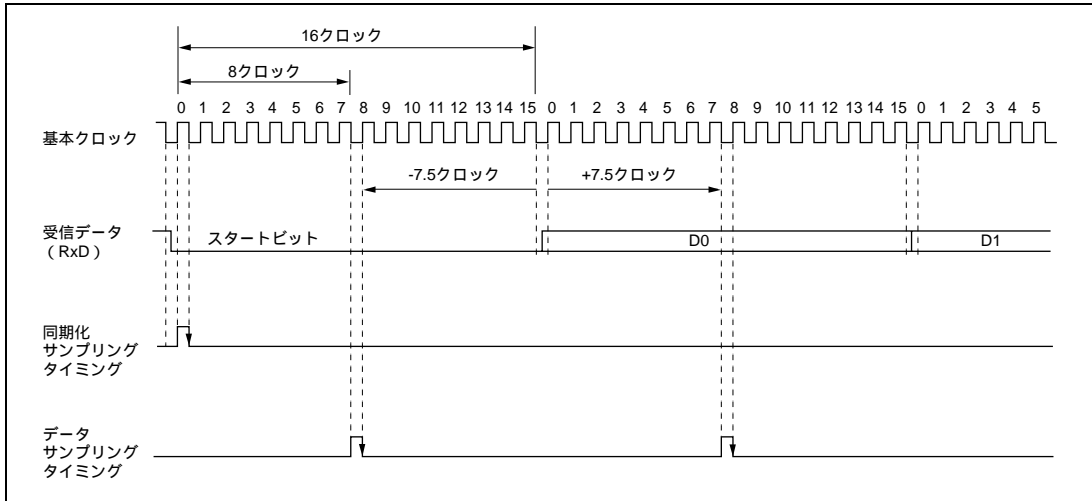


図 15.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

- DMAC使用上の注意事項

- 同期クロックに外部クロックソースを使用する場合、DMACによるSCTDR1の更新後、周辺動作クロックで5サイクル以上経過した後に外部クロックを入力してください。SCTDR1の更新後4サイクル以内に送信クロックを入力すると誤動作することがあります (図15.25参照)。

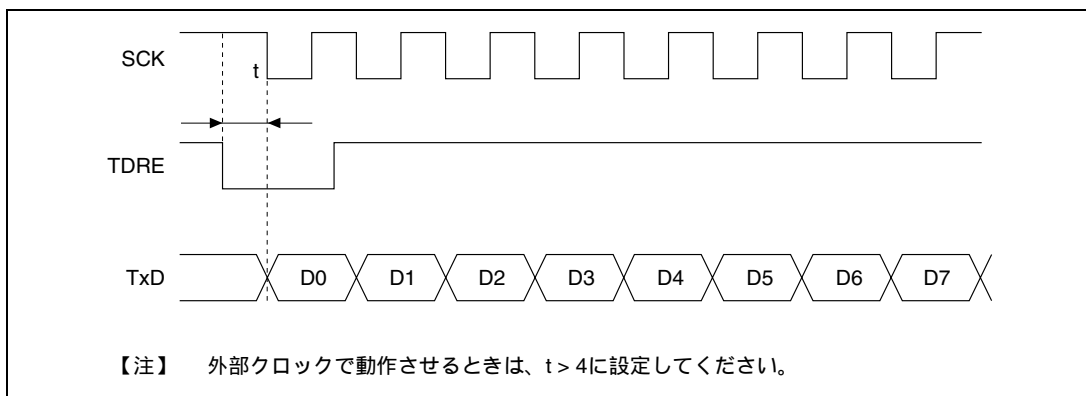


図 15.25 DMAC による同期クロック転送例

- DMACにより、SCRDR1の読み出しを行うときは必ずCHCRのRS3～RS0ビットで起動要因を当該SCIの受信データフル割り込みに設定してください。
 - DMACを使って送受信を行う場合は、割り込みコントローラへRXI、TXI割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合でも、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係にDMACによってクリアされます。
8. クロック同期外部クロックモード時の注意事項
- TE = 1、RE = 1に設定するのは、外部クロックSCKを0 → 1にしてから周辺動作クロック4クロック以上経過してからにしてください。
 - TE = RE = 1に設定するのは、必ず外部クロックSCKが1のときにしてください。
 - 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから周辺動作クロック2.5～3.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDR1へのコピーができませんので注意してください。
9. クロック同期内部クロックモード時の注意事項

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから周辺動作クロック1.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDR1へのコピーができませんので注意してください。

10. DMAC使用時

DMACを使って送受信を行う場合は、割り込みコントローラへRXI、TXI割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合でも、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係にDMACによってクリアされます。

11. [SH7750のみ]

下記条件において、送信時に同じデータを連続して送信することがあります。

[発生条件]

(a) 外部SCKクロック入力モード (SCSCR1.CKE1=1)

(b) クロック同期モード (SCSMR1.C/A=1)

(c) 送信または送受信 (SCSCR1.TE=1)

上記、(a) ~ (c) をすべて満たす場合。

[回避策]

対策1

• PLL2 ONの場合

図15.26のように、非同期入力外部クロックSCKを、CKIOに同期化させた後、SH7750のSCK端子に入力してください。この場合のSCKクロックサイクル最小値は、(周辺クロックサイクル (P_{cyc}) × 8) になります。また、本対策を行うことにより、SCK端子の同期化分TxD端子とRxD端子のタイミングマージンが減少しますので注意してください。

• PLL2 OFFの場合

動作を保証できません (使用禁止)。

対策2

発生条件の (a) かつ (b) かつ (c) の条件に設定しないでください。

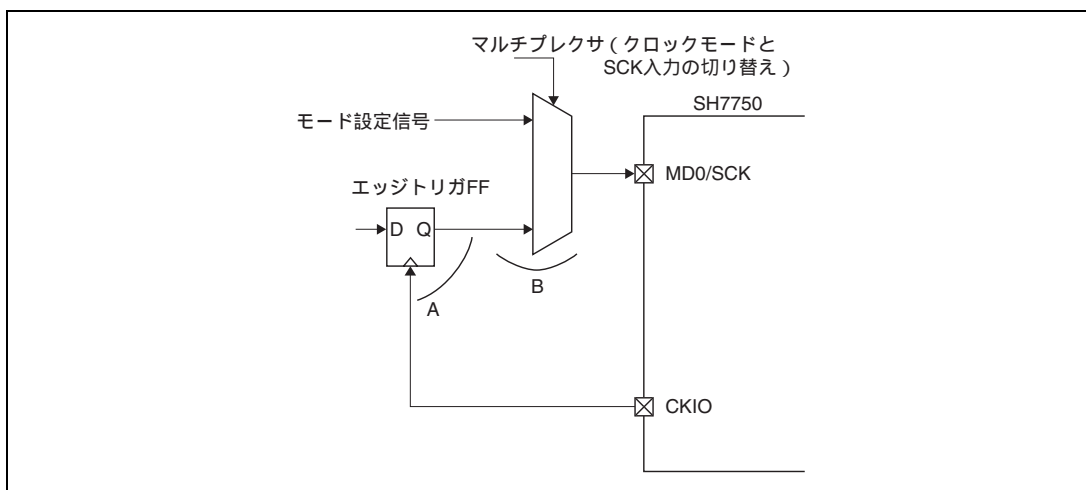


図 15.26 SH7750 での対策例

[クロックタイミング]

SCK端子へのクロック入力タイミングは、図15.26のエッジトリガFFとマルチプレクサの遅延を含めて、下記タイミング規定を満足するようにしてください。

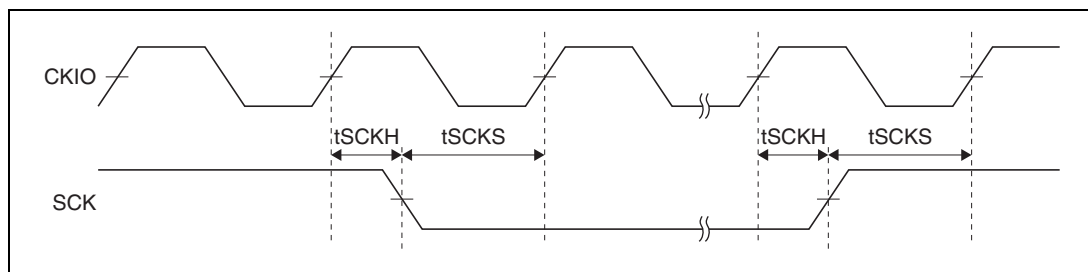


図 15.27 SCK 端子へのクロック入力タイミング

表 15.14 周辺モジュール信号タイミング

製品	tSCKS		tSCKH		単位
	Min.	Max.	Min.	Max.	
HD6417750BP200	5	—	0	—	ns
HD6417750BP200M	5	—	0	—	ns
HD6417750F167	5	—	0	—	ns
HD6417750F167I	5	—	0	—	ns
HD6417750VF128	8	—	0	—	ns

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

16.1 概要

FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) です。SCIF は、調歩同期式通信のシリアル通信ができます。

送受信に FIFO レジスタを各々16 段内蔵しており、効率のよい高速連続通信を行うことができます。

16.1.1 特長

SCIF には次のような特長があります。

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

- データ長 : 7ビット、または8ビット
- ストップビット長 : 1ビット、または2ビット
- パリティ : 偶数パリティ、奇数パリティ、またはパリティなし
- 受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出
- ブレークの検出 :
 - フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時にRx/D2端子のレベルをシリアルポートレジスタ (SCSPTR2) から直接読み出すことによってもブレークを検出できます。

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともに16段のFIFOバッファ構造になっていますのでシリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK2端子からの外部クロックから選択可能
- 4種類の割り込み要因

送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- モデムコントロール機能 ($\overline{\text{RTS2}}$ 、 $\overline{\text{CTS2}}$) を内蔵しています。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 受信時、タイムアウトエラー (DR) を検出できます。

16.1.2 ブロック図

図 16.1 に SCIF のブロック図を示します。

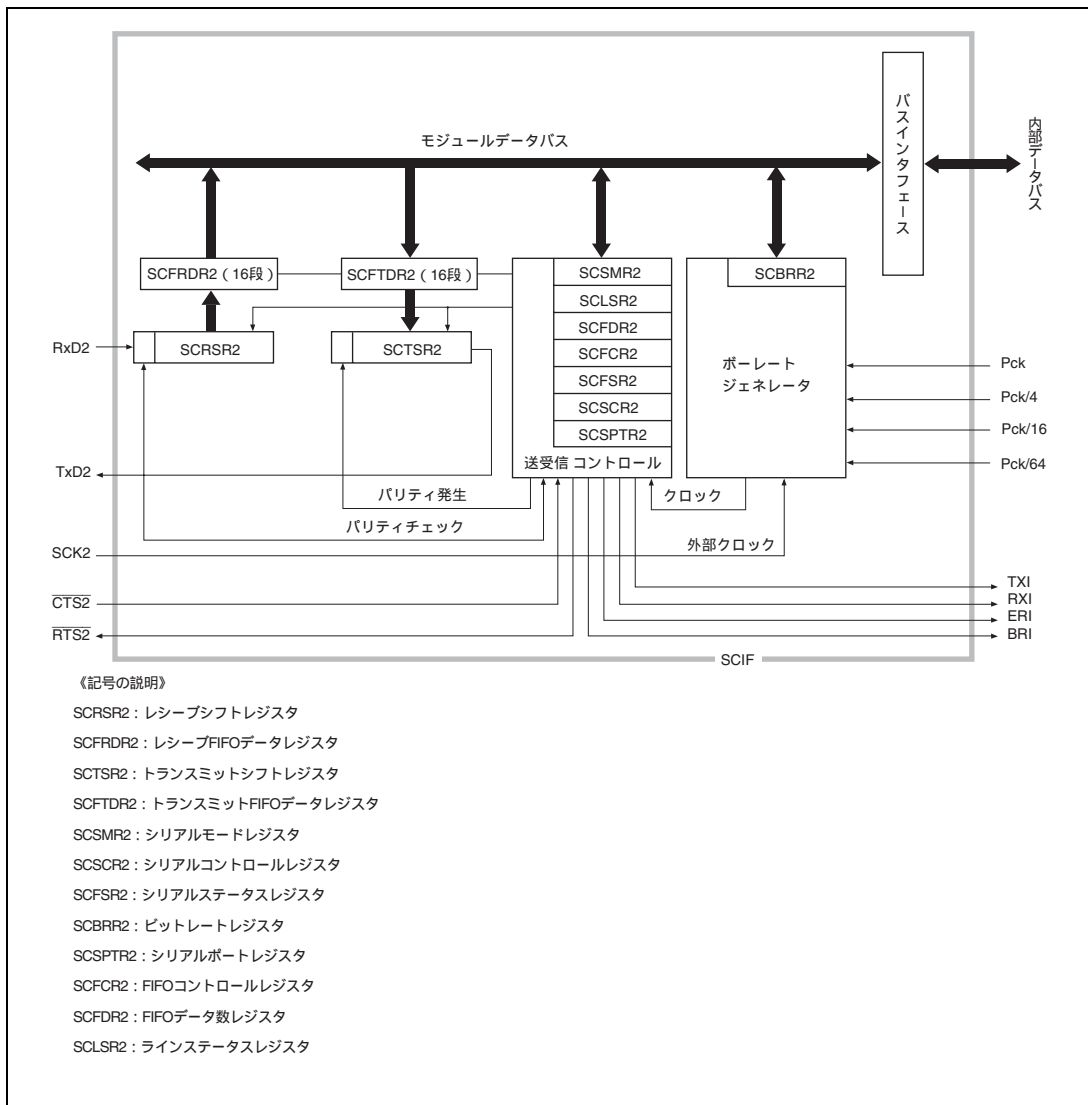


図 16.1 SCIF のブロック図

16.1.3 端子構成

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK2/MRESET	入力	クロック入力
レシーブデータ端子	MD2/RxD2	入力	受信データ入力
トランスミットデータ端子	MD1/TxD2	出力	送信データ出力
モデムコントロール端子	$\overline{\text{CTS2}}$	入出力	送信可
モデムコントロール端子	MD8/RTS2	入出力	送信要求

【注】 パワーオンリセット時には、モード入力端子 MD1、MD2、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE、CKE1 ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送受、検出は、SCIF の SCSPTR2 によって行うことができます。

16.1.4 レジスタ構成

SCIF には、表 16.2 に示す内部レジスタがあります。これらのレジスタによりデータフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR2	R/W	H'0000	H'FFE80000	H'1FE80000	16
ビットレートレジスタ	SCBRR2	R/W	H'FF	H'FFE80004	H'1FE80004	8
シリアルコントロールレジスタ	SCSCR2	R/W	H'0000	H'FFE80008	H'1FE80008	16
トランスミット FIFO データレジスタ	SCFTDR2	W	不定	H'FFE8000C	H'1FE8000C	8
シリアルステータスレジスタ	SCFSR2	R/(W) *1	H'0060	H'FFE80010	H'1FE80010	16
レシーブ FIFO データレジスタ	SCFRDR2	R	不定	H'FFE80014	H'1FE80014	8
FIFO コントロールレジスタ	SCFCR2	R/W	H'0000	H'FFE80018	H'1FE80018	16
FIFO データ数レジスタ	SCFDR2	R	H'0000	H'FFE8001C	H'1FE8001C	16
シリアルポートレジスタ	SCSPTR2	R/W	H'0000*2	H'FFE80020	H'1FE80020	16
ラインステータスレジスタ	SCLSR2	R/(W) *3	H'0000	H'FFE80024	H'1FE80024	16

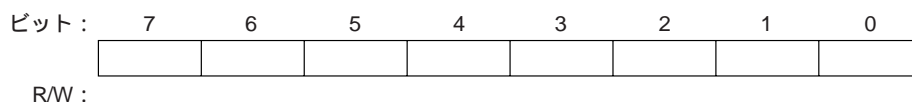
【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

*2 ビット 6、4、0 は不定です。

*3 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

16.2 レジスタの説明

16.2.1 レシーブシフトレジスタ (SCRSR2)

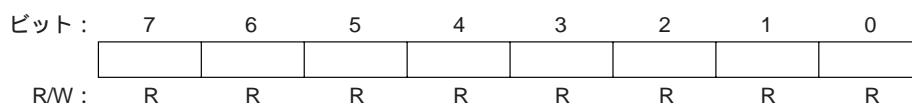


レシーブシフトレジスタ (SCRSR2) は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR2 に RxD2 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO レジスタである SCFRDR2 へ転送されます。

CPU から直接 SCRSR2 の読み出し / 書き込みをすることはできません。

16.2.2 レシーブ FIFO データレジスタ (SCFRDR2)



レシーブ FIFO データレジスタ (SCFRDR2) は、受信したシリアルデータを格納する 16 段の FIFO レジスタです。

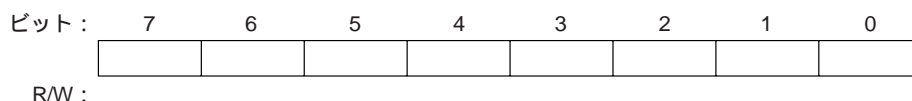
SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR2) から SCFRDR2 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR2 は受信可能になり、レシーブ FIFO レジスタがいっぱいになる 16 データまで連続した受信動作が可能です。

SCFRDR2 は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO レジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO レジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

SCFRDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

16.2.3 トランスミットシフトレジスタ (SCTSR2)



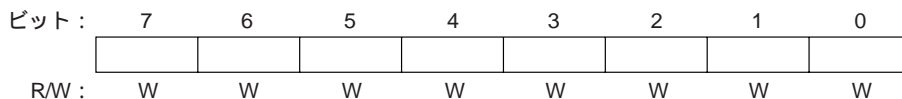
トランスミットシフトレジスタ (SCTSR2) は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR2) から送信データをいったん SCTSR2 に転送し、LSB (ビット 0) から順に TxD2 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR2 から SCTSR2 へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR2 の読み出し / 書き込みをすることはできません。

16.2.4 トランスミット FIFO データレジスタ (SCFTDR2)



トランスミット FIFO データレジスタ (SCFTDR2) は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR2 に書き込まれたとき、トランスミットシフトレジスタ (SCTSR2) が空ならば、SCFTDR2 に書き込まれた送信データを SCTSR2 に転送してシリアル送信を開始します。

SCFTDR2 は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR2 内の送信データが 16 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

SCFTDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

16.2.5 シリアルモードレジスタ (SCSMR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
		CHR	PE	O/E	STOP		CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R/W	R/W

シリアルモードレジスタ (SCSMR2) は、SCIFのシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための16ビットのレジスタです。

SCSMR2は、常にCPUによる読み出し/書き込みが可能です。

SCSMR2は、パワーオンリセット、マニュアルリセット時にH'0000に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット15~7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6: キャラクター長 (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、トランスミットFIFOデータレジスタ (SCFTDR2)のMSB(ビット7)は送信されません。

ビット5: パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4	説 明	
O/E		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3: ストップビットレングス (STOP)

ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。

ビット 3	説 明	
STOP		
0	1 ストップビット* ¹	(初期値)
1	2 ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.2.8 ビットレートレジスタ (SCBRR2)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	Pck クロック (初期値)
	1	Pck/4 クロック
1	0	Pck/16 クロック
	1	Pck/64 クロック

【注】 Pck : 周辺クロック

16.2.6 シリアルコントロールレジスタ (SCSCR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	REIE		CKE1	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R

シリアルコントロールレジスタ (SCSCR2) は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR2 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15~8、2、0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7: トランスミットインタラプトイネーブル (TIE)

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) へシリアル送信データが転送され、送信 FIFO レジスタ内のデータ数が送信トリガ設定数以下になり、シリアルステータスレジスタ (SCFSR2) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説明
TIE	
0	送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信 FIFO データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDFE フラグの 1 を読み出した後、SCFTDR2 に送信トリガ設定数より多い送信データを書き込み、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット 6: レシーブインタラプトイネーブル (RIE)

SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR2 の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。

ビット 6	説 明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可

【注】 * RXI 割り込み要求の解除は、RDF、DR フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット 5: トランスミットイネーブル (TE)

SCIF のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止 (初期値)
1	送信動作を許可*

【注】 * この状態で、SCFTDR2 に送信データを書き込むとシリアル送信を開始します。
 なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

ビット 4: レシーブイネーブル (RE)

SCIF のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態でスタートビットを検出すると、シリアル受信を開始します。
 なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

ビット 3 : レシーブエラーインタラプトイネーブル (REIE)

受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。

ビット 3	説明
REIE	
0	受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止* (初期値)
1	受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可

【注】 * 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。

ビット 1 : クロックイネーブル 1 (CKE1)

SCIF のクロックソースを設定します。

SCSMR2 で SCIF の動作モードを決定する前に、必ず CKE1 ビットの設定をしてください。

ビット 1	説明
CKE1	
0	内部クロック / SCK2 端子はポート (初期値)
1	外部クロック / SCK2 端子はクロック入力*

【注】 * ビットレートの 16 倍の周波数のクロックを入力

16.2.7 シリアルステータスレジスタ (SCFSR2)

ビット:	15	14	13	12	11	10	9	8
	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	1	1	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCFSR2) は 16 ビット長のレジスタです。下位 8 ビットは、SCIF の動作状態を示すステータスフラグを、上位 8 ビットはレシーブ FIFO レジスタ内のデータの受信エラー数を示します。

SCFSR2 は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

SCFSR2 は、パワーオンリセット、マニュアルリセット時に H'0060 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15 ~ 12 : パリティエラー数 (PER3 ~ 0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでパリティエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 15 ~ 12 で示される値がパリティエラー発生データ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがパリティエラーを伴う場合、PER3 ~ PER0 は 0 を表示します。

ビット 11 ~ 8 : フレーミングエラー数 (FER3 ~ 0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 11 ~ 8 で示される値がフレーミングエラーの発生しているデータ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがフレーミングエラーを伴う場合、FER3 ~ FER0 は 0 を表示します。

ビット 7: レシーブエラー (ER)

受信時にフレーミングエラー、パリティエラーが発生したことを示します*¹。

ビット 7	説明
ER	
0	受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) ER=1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] (1) 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ² (2) 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR2) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

【注】 *¹ SCSCR2 の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR2 に転送され、受信動作を続けます。
SCFRDR2 から読み出すデータに受信エラーがあるかどうかは、SCFSR2 の FER、PER ビットで判定できます。

*² 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。

ビット 6: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR2 に有効なデータがなく、送信を終了したことを示します。

ビット 6	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) SCFTDR2 に送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき (2) DMAC で SCFTDR2 ヘータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット時 (2) SCSCR2 の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR2 に送信データがないとき

ビット 5 : トランスミット FIFO データエンプティ (TDFE)

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) にデータ転送が行われ、SCFTDR2 内のデータ数が FIFO コントロールレジスタ (SCFCR2) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR2 に送信データを書き込むことが可能になったことを示します。

ビット 5	説 明
TDFE	
0	SCFTDR2 に送信トリガ設定数より多い送信データが書き込まれていることを表示 [クリア条件] (1) TDFE = 1 の状態を読み出した後、SCFTDR2 に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき (2) DMAC で SCFTDR2 に送信トリガ設定数を超えるデータを書き込んだとき
1	SCFTDR2 の送信データ数が送信トリガ設定数以下であることを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット時 (2) SCFTDR2 の送信データ数が送信動作によって送信トリガ設定数以下になったとき*

【注】 * SCFTDR2 は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR2 内のデータ数は SCFCR2 の上位ビットに示されます。

ビット 4 : ブレーク検出 (BRK)

受信データのブレーク信号を検出して示します。

ビット 4	説 明
BRK	
0	ブレーク信号を受信していないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) BRK = 1 の状態を読み出した後、0 を書き込んだとき
1	ブレーク信号を受信したことを表示* [セット条件] フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

【注】 * ブレーク検出すると受信データ (H'00) の SCFCR2 転送は停止します。
ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

ビット 3 : フレーミングエラー表示 (FER)

次にレシーブ FIFO データレジスタ (SCFRDR2) から読み出すデータにフレーミングエラーがあったかどうかを表示します。

ビット 3	説 明
FER	
0	次に SCFRDR2 から読み出す受信データにフレーミングエラーがないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) SCFRDR2 読み出しデータにフレーミングエラーなし
1	次に SCFRDR2 から読み出す受信データにフレーミングエラーが発生していることを表示 [セット条件] SCFRDR2 読み出しデータにフレーミングエラーあり

ビット 2 : パリティエラー表示 (PER)

次にレシーブ FIFO データレジスタ (SCFRDR2) から読み出すデータにパリティエラーがあったかどうかを表示します。

ビット 2	説 明
PER	
0	次に SCFRDR2 から読み出す受信データにパリティエラーがないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) SCFRDR2 読み出しデータにパリティエラーなし
1	次に SCFRDR2 から読み出す受信データにパリティエラーが発生していることを表示 [セット条件] SCFRDR2 読み出しデータにパリティエラーあり

ビット 1 : レシーブ FIFO データフル (RDF)

受信したデータがレシーブシフトレジスタ (SCRSR2) からレシーブ FIFO データレジスタ (SCFRDR2) に転送され、SCFRDR2 内の受信データ数が、FIFO コントロールレジスタ (SCFCR2) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。

ビット 1	説明
RDF	
0	SCFRDR2 内の受信データ数が受信トリガ設定数より少ないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) RDF=1 を読み出した後、SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出し、0 を書き込んだとき (3) DMAC で SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出したとき
1	SCFRDR2 内の受信データ数が受信トリガ設定数以上であることを表示 [セット条件] SCFRDR2 に受信トリガ設定数以上の受信データが格納されたとき*

【注】 * SCFRDR2 は 16 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR2 が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR2 内の受信データ数は SCFRDR2 の下位ビットに示されます。

ビット 0 : レシーブデータレディ (DR)

レシーブ FIFO データレジスタ (SCFRDR2) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。

ビット 0	説明
DR	
0	受信中または正常に受信完了して SCFRDR2 に受信データが残っていないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) DR=1 を読み出した後、SCFRDR2 内の受信データをすべて読み出し、0 を書き込んだとき (3) DMAC で SCFRDR2 内の受信データをすべて読み出したとき
1	次の受信データが来ないことを表示 [セット条件] SCFRDR2 に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*

【注】 * 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。
etu : Elementary Time Unit (1 ビットの転送期間)

16.2.8 ビットレートレジスタ (SCBRR2)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (SCBRR2) は、シリアルモードレジスタ (SCSMR2) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR2 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR2 は、パワーオンリセット、マニュアルリセット時に HFF に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

SCBRR2 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR2 の設定値 (0 ≤ N ≤ 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、下表を参照してください)

n	クロック	SCSMR2 の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

16.2.9 FIFO コントロールレジスタ (SCFCR2)

ビット:	15	14	13	12	11	10	9	8
						RSTRG2*	RSTRG1*	RSTRG0*
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* SH7750では予約ビットとなります。

FIFO コントロールレジスタ (SCFCR2) は送信、受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR2 は、常に CPU による読み出し / 書き込みが可能です。

SCFCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15 ~ 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 ~ 8 (SH7750) : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 ~ 8 (SH7750S、SH7750R) : $\overline{\text{RTS2}}$ 出力アクティブトリガ (RSTRG2、1、0)

レシーブ FIFO データレジスタ (SCFRDR2) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき $\overline{\text{RTS2}}$ 信号にハイレベルを出力します。

ビット 10	ビット 9	ビット 8	$\overline{\text{RTS2}}$ 出力アクティブトリガ
RSTRG2	RSTRG1	RSTRG0	
0	0	0	15*
0	0	1	1
0	1	0	4
0	1	1	6
1	0	0	8
1	0	1	10
1	1	0	12
1	1	1	14

【注】 * 初期値

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

ビット 7、6 : レシーブ FIFO データ数トリガ (RTRG1、0)

シリアルステータスレジスタ (SCFSR2) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。

レシーブ FIFO データレジスタ (SCFRDR2) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。

ビット 7	ビット 6	受信トリガ数
RTRG1	RTRG0	
0	0	1*
0	1	4
1	0	8
1	1	14

【注】 * 初期値

ビット 5、4 : トランスミット FIFO データ数トリガ (TTRG1、0)

シリアルステータスレジスタ (SCFSR2) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。

送信動作によりトランスミット FIFO データレジスタ (SCFTDR2) 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。

• SH7750の場合

ビット 5	ビット 4	送信トリガ数
TTRG1	TTRG0	
0	0	7 (9) (初期値)
0	1	3 (13)
1	0	1 (15)
1	1	0 (16)

【注】 () 内の値はフラグ発生時の SCFTDR2 の空き数を示します。

• SH7750S/SH7750Rの場合

ビット 5	ビット 4	送信トリガ数
TTRG1	TTRG0	
0	0	8 (8) (初期値)
0	1	4 (12)
1	0	2 (14)
1	1	1 (15)

【注】 () 内の値はフラグ発生時の SCFTDR2 の空き数を示します。

ビット 3: モデムコントロールイネーブル (MCE)

モデムコントロール信号 $\overline{\text{CTS2}}$ 、 $\overline{\text{RTS2}}$ を有効にします。

ビット 3	説 明	
MCE		
0	モデム信号を無効*	(初期値)
1	モデム信号を有効	

【注】 * $\overline{\text{CTS2}}$ は入力値にかかわらず 0 アクティブに、 $\overline{\text{RTS2}}$ 出力も 0 に固定します。

ビット 2: トランスミット FIFO データレジスタリセット (TFRST)

トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。

ビット 2	説 明	
TFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 * パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

ビット 1: レシーブ FIFO データレジスタリセット (RFRST)

レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。

ビット 1	説 明	
RFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 * パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

ビット 0: ループバックテスト (LOOP)

送信出力端子 (TxD2) と受信入力端子 (RxID2)、 $\overline{\text{RTS2}}$ 端子と $\overline{\text{CTS2}}$ 端子を内部で接続し、ループバックテストを可能にします。

ビット 0	説 明	
LOOP		
0	ループバックテストを禁止	(初期値)
1	ループバックテストを許可	

16.2.10 FIFO データ数レジスタ (SCFDR2)

トランスミット FIFO データレジスタ (SCFTDR2) および、レシーブ FIFO データレジスタ (SCFRDR2) 内に格納されているデータ数を示す 16 ビット長のレジスタです。

上位 8 ビットで SCFTDR2 内の送信データ数を、下位 8 ビットで SCFRDR2 内の受信データ数を示します。

SCFDR2 は常に CPU から読み出しができます。

ビット:	15	14	13	12	11	10	9	8
				T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFTDR2 内に格納されている未送信のデータ数を示します。

H'00 は送信データがないことを、H'10 は SCFTDR2 にいっぱい送信データが格納されていることを示します。

ビット:	7	6	5	4	3	2	1	0
				R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFRDR2 内に格納されている受信データ数を示します。

H'00 は受信データがないことを、H'10 は SCFRDR2 にいっぱい受信データが格納されていることを示します。

16.2.11 シリアルポートレジスタ (SCSPTR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	RTSIO	RTSDT	CTSIO	CTSDT			SPB2IO	SPB2DT
初期値:	0		0		0		0	
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

シリアルポートレジスタ (SCSPTR2) は、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって、RxD2 端子から入力データを読み出し、TxD2 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。またビット 5 およびビット 4 で、 $\overline{\text{CTS2}}$ 端子に対してデータの読み込みおよび出力データを書き込むことができます。またビット 7 およびビット 6 で、RTS2 端子に対してデータの読み込みおよび出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15～8：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7：シリアルポート RTS ポート入出力 (RTSIO)

シリアルポートの $\overline{\text{RTS2}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS2}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 7	説明	
RTSIO		
0	RTS2 端子に RTSDT ビットの値を出力しないことを示します	(初期値)
1	RTS2 端子に RTSDT ビットの値を出力することを示します	

ビット 6 : シリアルポート RTS ポートデータ (RTSDT)

シリアルポートの $\overline{\text{RTS2}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します (詳細はビット 7 : RTSIO の説明参照)。出力の場合、RTSDT ビットの値が $\overline{\text{RTS2}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS2}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 6	説明
RTSDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

ビット 5 : シリアルポート CTS ポート入出力 (CTSIO)

シリアルポートの $\overline{\text{CTS2}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS2}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 5	説明
CTSIO	
0	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力しないことを示します (初期値)
1	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力することを示します

ビット 4 : シリアルポート CTS ポートデータ (CTSDT)

シリアルポートの $\overline{\text{CTS2}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します (詳細はビット 5 : CTSIO の説明参照)。出力の場合、CTSDT ビットの値が $\overline{\text{CTS2}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは $\overline{\text{CTS2}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 4	説明
CTSDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : 予約ビット

読み出しは不定です。書き込む値は常に 0 にしてください。

ビット 1 : シリアルポートブレイク入出力 (SPB2IO)

シリアルポートの TxD2 端子の出力条件を指定します。実際に TxD2 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

ビット 1	説 明	
SPB2IO		
0	TxD2 端子に SPB2DT ビットの値を出力しないことを示します	(初期値)
1	TxD2 端子に SPB2DT ビットの値を出力することを示します	

ビット 0 : シリアルポートブレイクデータ (SPB2DT)

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します(詳細はビット 1:SPB2IO の説明参照)。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明	
SPB2DT		
0	入出力データがローレベルであることを示します	
1	入出力データがハイレベルであることを示します	

SCIF の I/O ポートのブロック図を図 16.2 ~ 図 16.4 に示します

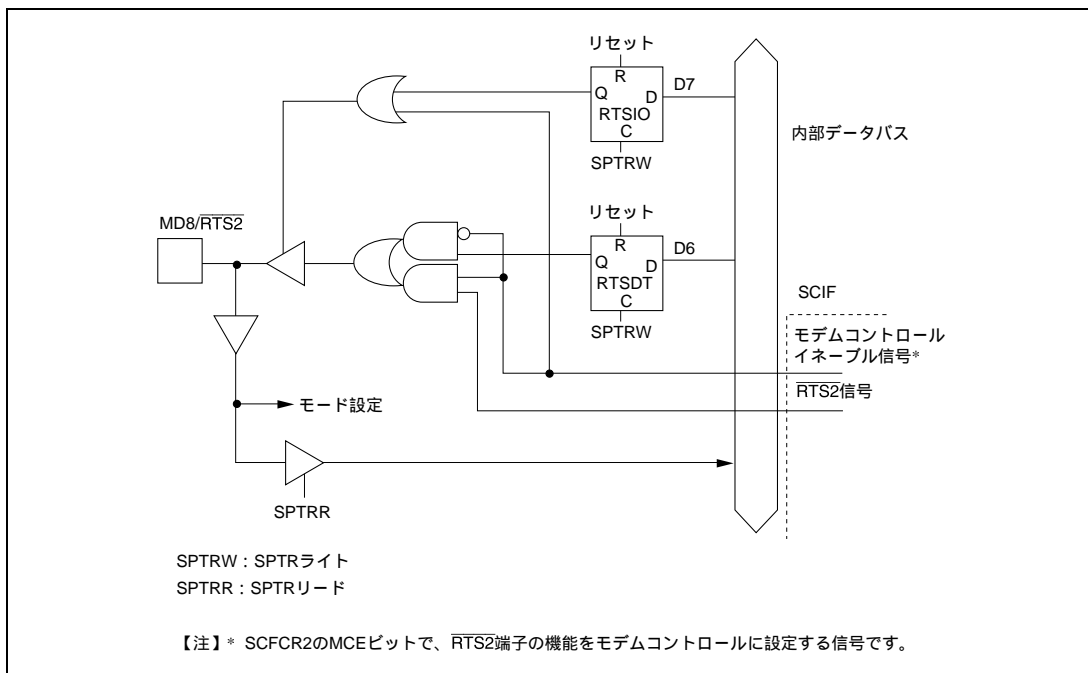


図 16.2 MD8/RTS2 端子

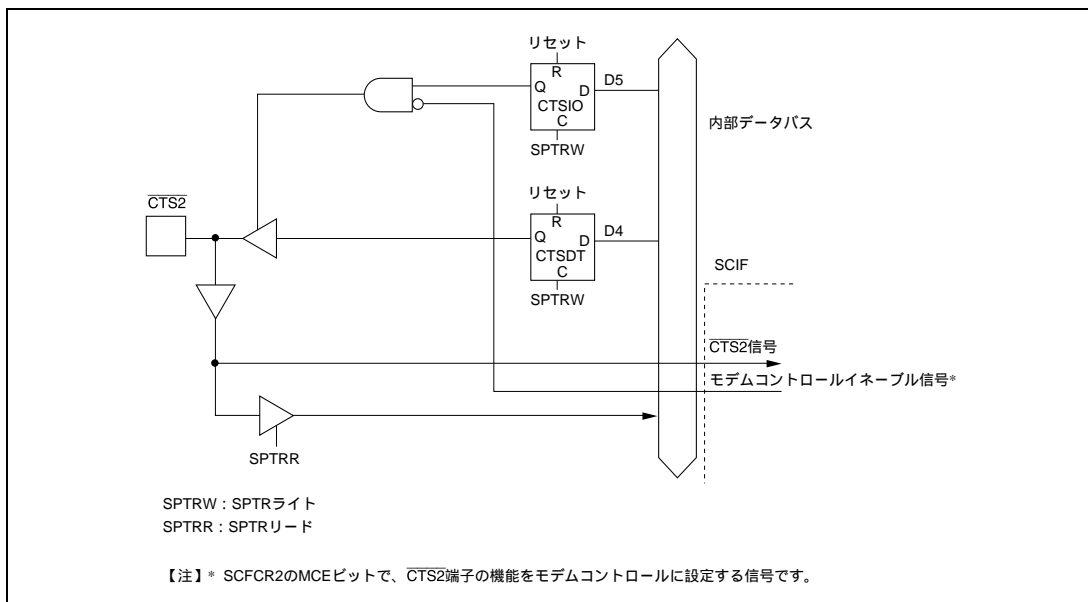


図 16.3 $\overline{\text{CTS2}}$ 端子

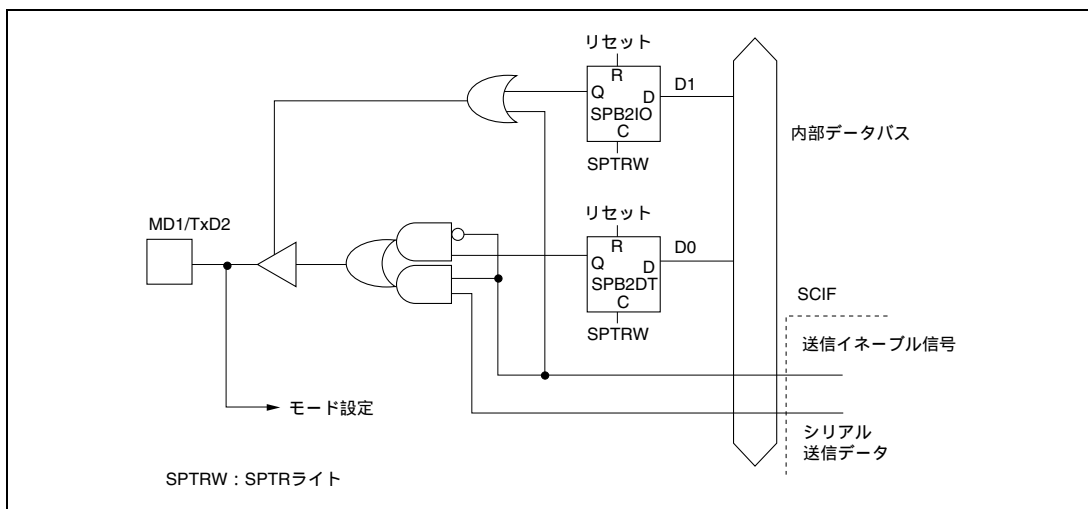


図 16.4 MD1/TxD2 端子

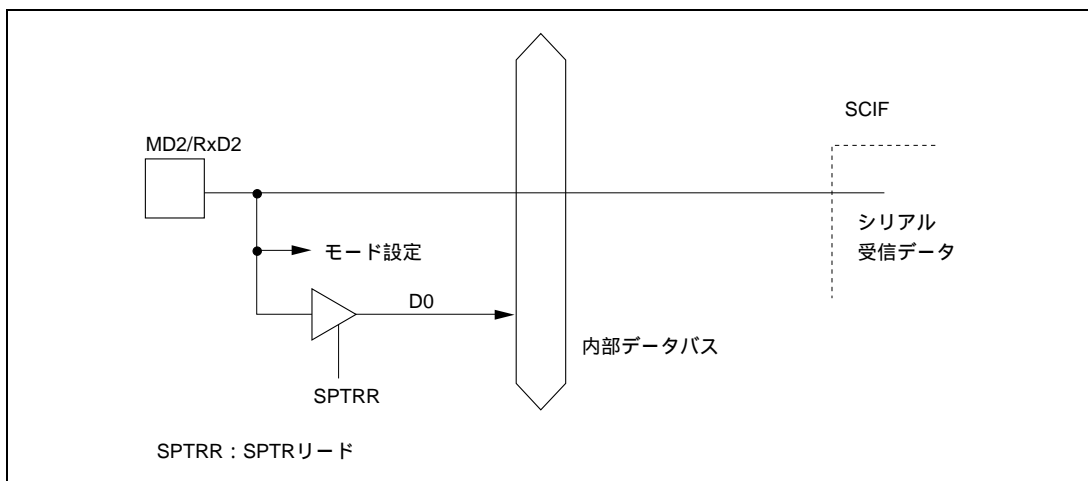


図 16.5 MD2/RxD2 端子

16.2.12 ラインステータスレジスタ (SCLSR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
								ORER
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	(R/W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット 15~1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 0	説 明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] 受信 FIFO フルの状態で次のシリアル受信を完了したとき

【注】 *1 SCSCR2 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 SCFRDR2 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

16.3 動作説明

16.3.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードで、シリアル通信ができます。調歩同期式モードの動作については「15.3.2 調歩同期式モード時の動作」を参照してください。

送受信各々に 16 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{RTS2}$ 、 $\overline{CTS2}$ 信号を内蔵しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR2) で行います。これを表 16.3 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR2) の CKE1 で決まります。これを表 16.4 に示します。

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレイクの検出が可能
- 送受信FIFOレジスタ各々の格納データ数を表示
- SCIFのクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：

SCIFはボーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：

ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

表 16.3 SCSMR2 の設定値とシリアル送信 / 受信フォーマット

SCSMR2 の設定値			モード	SCIF の送信 / 受信フォーマット				
ビット 6	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
CHR	PE	STOP						
0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット	
		1					2ビット	
	1	0				あり	1ビット	
		1				2ビット		
1	0	0		7ビット データ		なし	なし	1ビット
		1						2ビット
	1	0					あり	1ビット
		1					2ビット	

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

表 16.4 SCSCR2 の設定と SCIF のクロックソースの選択

SCSCR2 の設定		SCIF の送信 / 受信クロック	
ビット 1	モード	クロックソース	SCK2 端子の機能
CKE1		内部	外部
0	調歩同期式	内部	SCIF は、SCK2 端子を使用しません
1	モード	外部	ビットレートの 16 倍の周波数のクロックを入力

16.3.2 シリアル動作

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.5 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR2) の設定により選択できます。

表 16.5 シリアル送信 / 受信フォーマット

SCSMR2の設定			シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	S	8ビットデータ								STOP				
0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	S	8ビットデータ								P	STOP			
0	1	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	S	7ビットデータ							STOP					
1	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	S	7ビットデータ							P	STOP				
1	1	1	S	7ビットデータ							P	STOP	STOP			

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、シリアルコントロールレジスタ (SCSCR2) の CKE1 ビットの設定により、内蔵ポレートジェネレータの生成した内部クロックまたは、SCK2 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 16.4 を参照してください。

外部クロックを SCK2 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

(3) データの送信 / 受信動作

- SCIFの初期化

データの送信 / 受信前には、まずSCSCR2のTEビット、およびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ (SCTSR2) が初期化されます。TE、REビットを0にクリアしても、シリアルステータスレジスタ (SCFSR2)、トランスミットFIFOデータレジスタ (SCFTDR2) および、レシーブFIFOデータレジスタ (SCFRDR2) の内容は保持されますので注意してください。TEビットの0クリアは、送信データをすべて送信しSCFSR2のTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCR2のTFRSTビットをいったん1にセットしてSCFTDR2をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図16.6にSCIFの初期化フローチャートの例を示します。

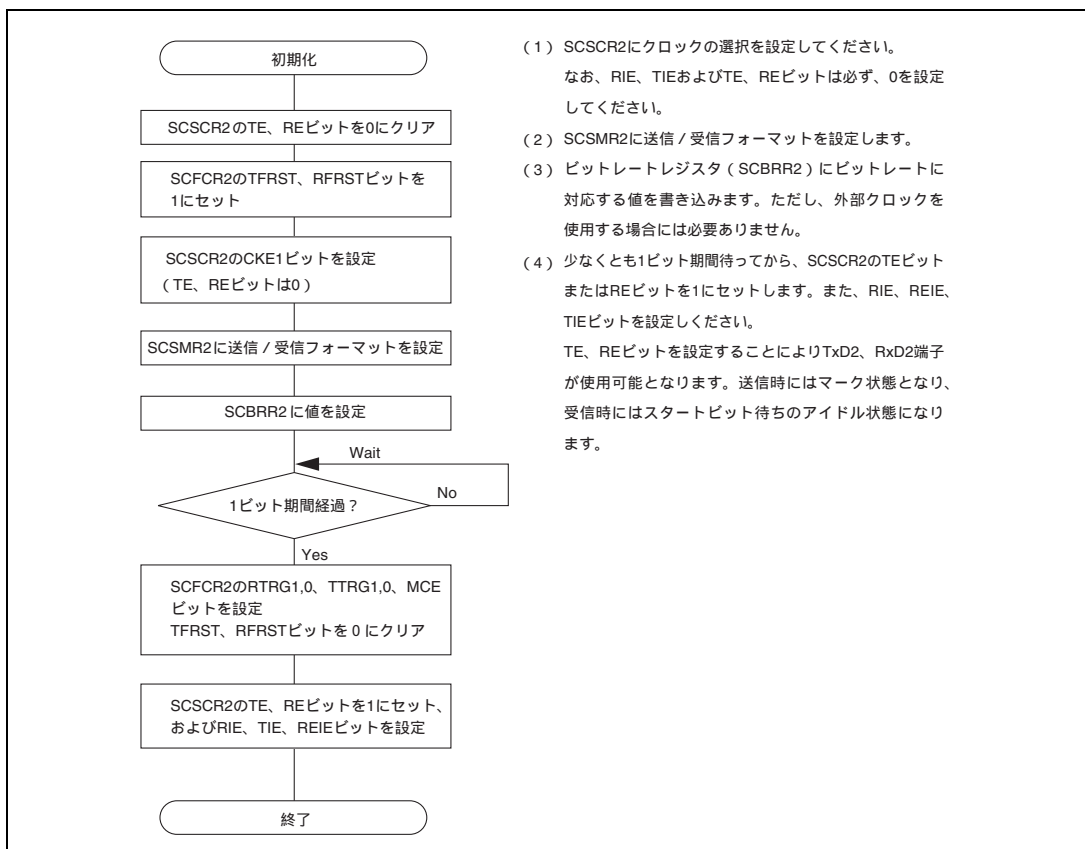
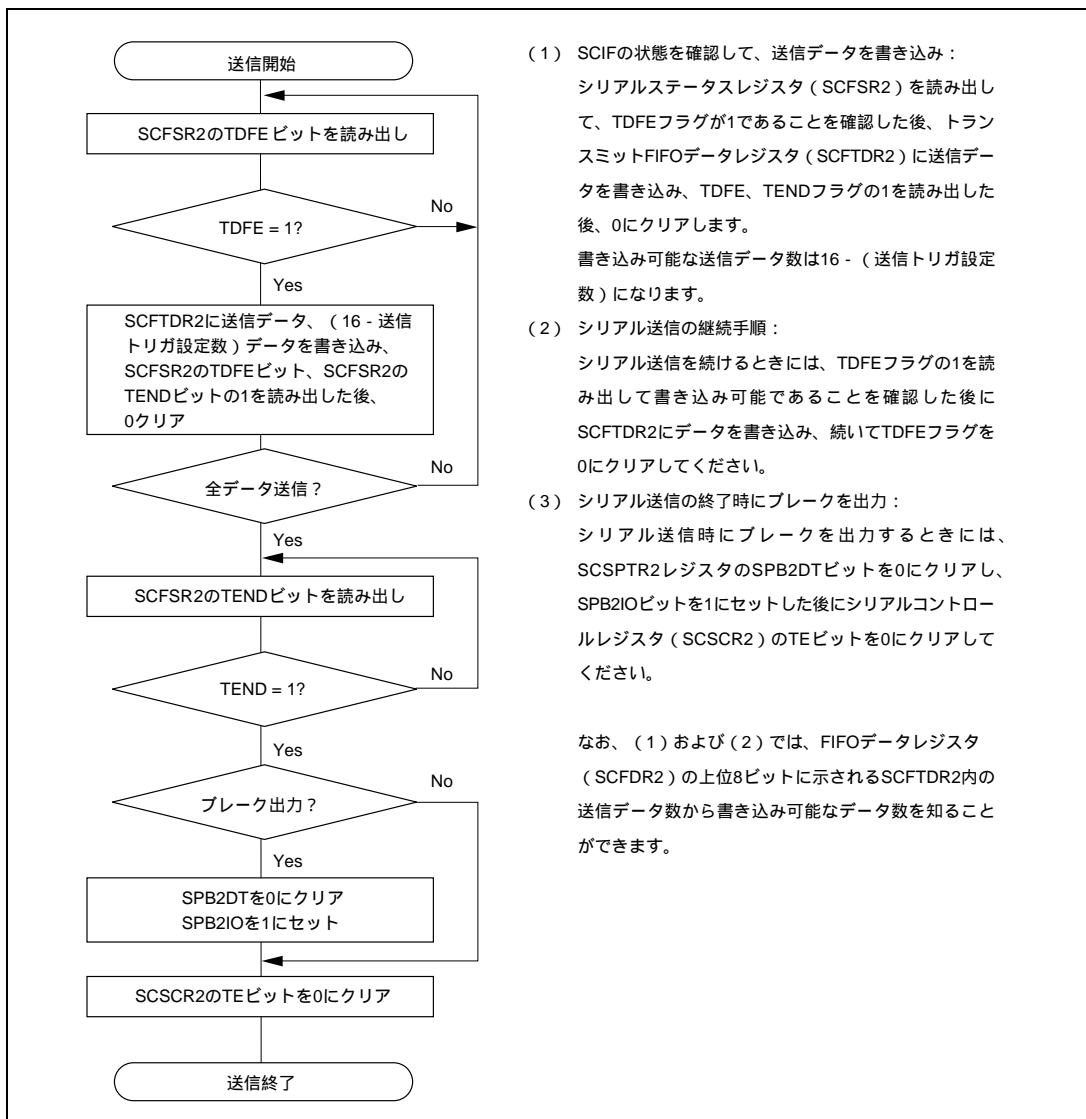


図 16.6 SCIF の初期化フローチャートの例

● シリアルデータ送信

図16.7にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順を参考に行ってください。



- (1) SCIFの状態を確認して、送信データを書き込み：
シリアルステータスレジスタ (SCFSR2) を読み出し、TDFEフラグが1であることを確認した後、トランスミットFIFOデータレジスタ (SCFTDR2) に送信データを書き込み、TDFE、TENDフラグの1を読み出した後、0にクリアします。
書き込み可能な送信データ数は16 - (送信トリガ設定数) になります。
- (2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDFEフラグの1を読み出して書き込み可能であることを確認した後にSCFTDR2にデータを書き込み、続いてTDFEフラグを0にクリアしてください。
- (3) シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SCSPTR2レジスタのSPB2DTビットを0にクリアし、SPB2IOビットを1にセットした後シリアルコントロールレジスタ (SCSCR2) のTEビットを0にクリアしてください。

なお、(1)および(2)では、FIFOデータレジスタ (SCFDR2) の上位8ビットに示されるSCFTDR2内の送信データ数から書き込み可能なデータ数を知ることができます。

図 16.7 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR2) にデータが書き込まれると、SCFTDR2からトランスミットシフトレジスタ (SCTSR2) にデータを転送し、送信を開始します。SCFTDR2にはシリアルステータスレジスタ (SCFSR2) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16- (送信トリガ設定数) です。
2. SCFTDR2からSCTSR2へデータが転送され、送信を開始すると、SCFTDR2に送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR2内の送信データ数がFIFOコントロールレジスタ (SCFCR2) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR2) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD2 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDR2の送信データをチェックします。

データがあるとSCFTDR2からSCTSR2にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

送信データがないとシリアルステータスレジスタ (SCFSR2) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 16.8 に示します。

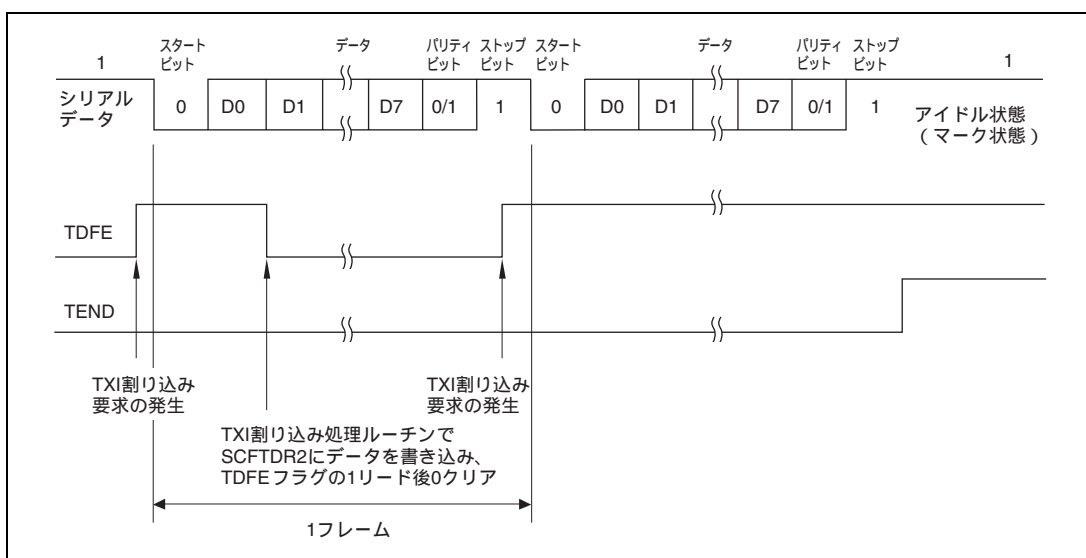


図 16.8 送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

4. モデムコントロールイネーブル時は $\overline{\text{CTS2}}$ 入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{CTS2}}$ が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{CTS2}}$ を 0 にすると再びスタートビットから次の送信データを出力します。

モデムコントロール時の動作例を図 16.9 に示します。

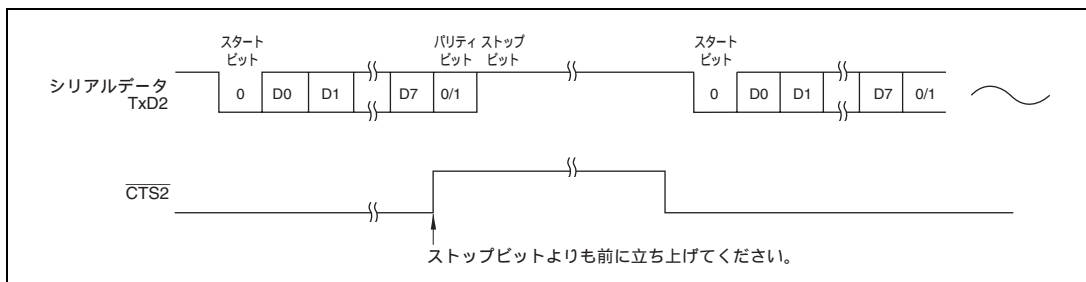


図 16.9 モデムコントロール ($\overline{\text{CTS2}}$) 時の動作例

- シリアルデータ受信

図16.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

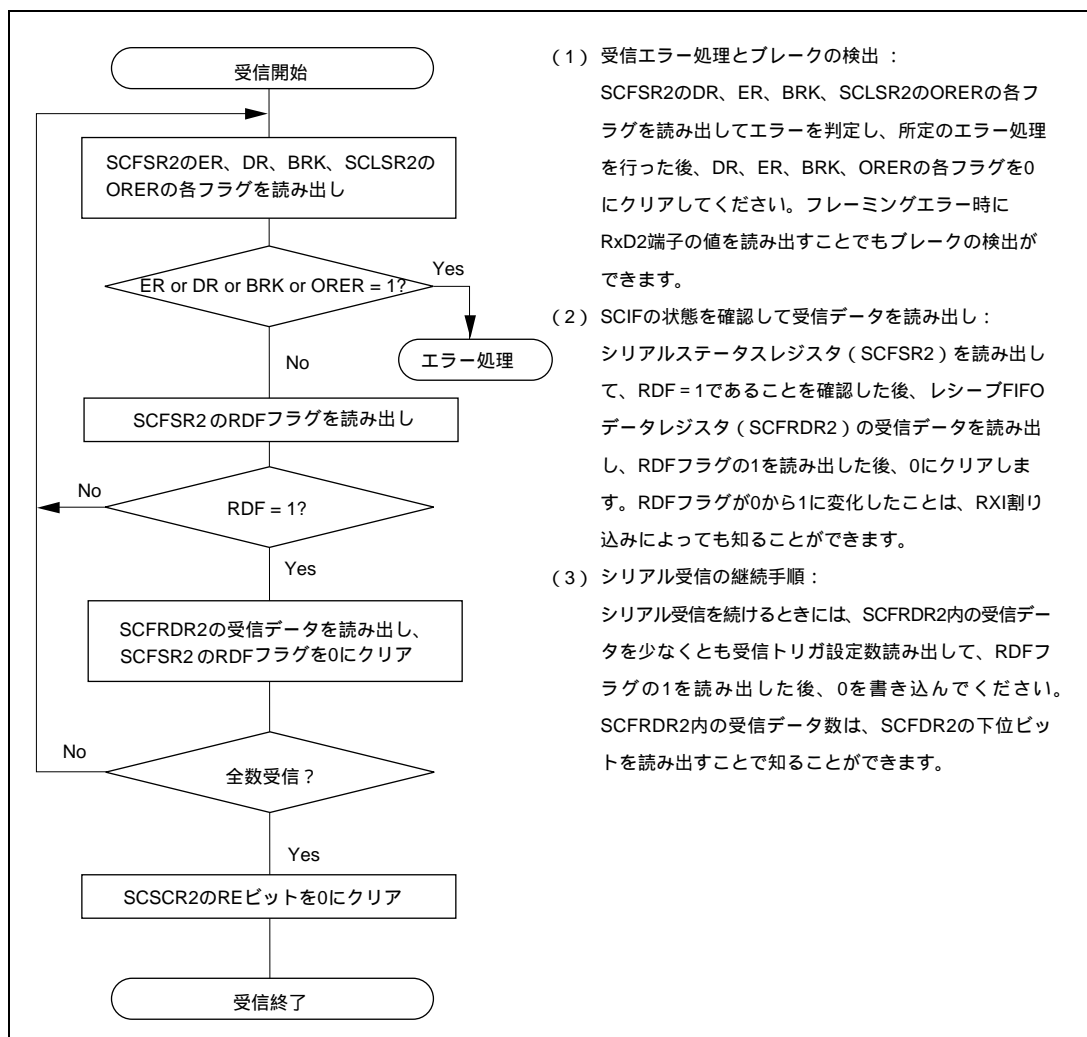


図 16.10 シリアル受信のフローチャートの例 (1)

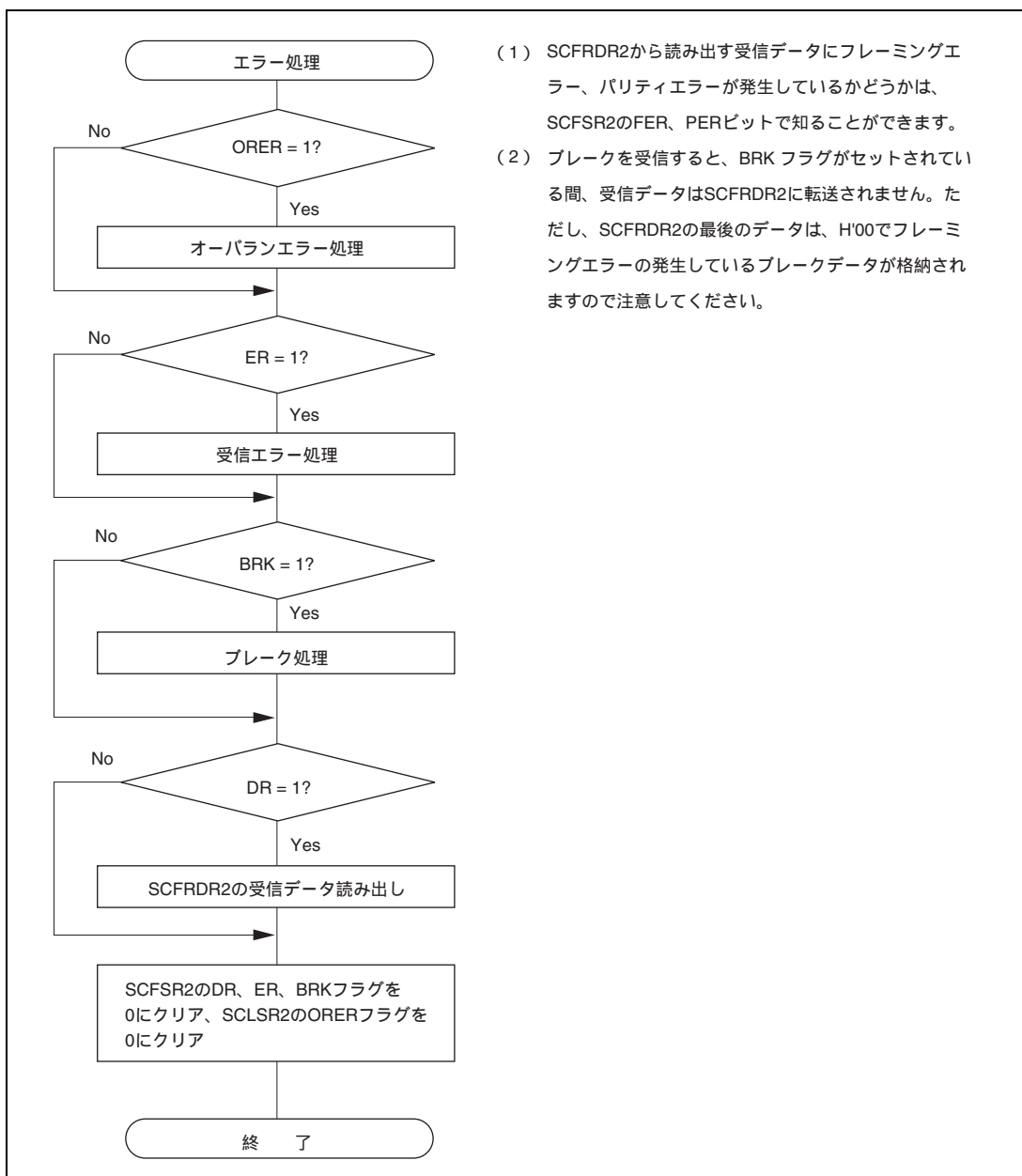


図 16.10 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR2のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシフシフトレジスタ (SCRSR2) からSCFRDR2に転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

(b)(c)(d)のチェックがパスしたとき、SCFRDR2 に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCR2のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ERフラグが1になったとき、SCSCR2のRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCR2のRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

調歩同期式モード受信時の動作例を図 16.11 に示します。

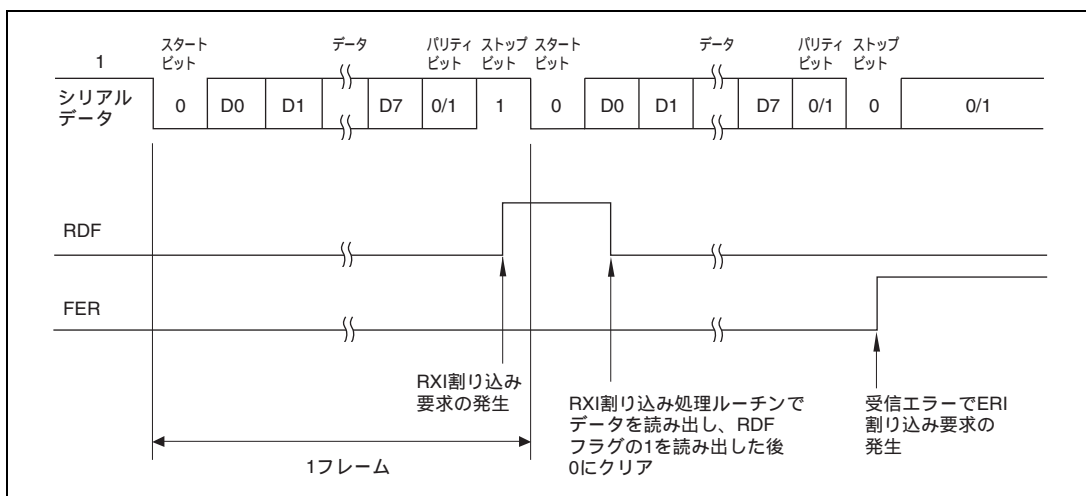


図 16.11 SCIF の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDR2の空き状況によって $\overline{\text{RTS2}}$ 信号を出力します。 $\overline{\text{RTS2}}$ が0のときは受信可能状態です。

【SH7750】

$\overline{\text{RTS2}}$ が1のときはSCFRDR2内のデータが15バイト以上であることを示します。

【SH7750S、SH7750R】

$\overline{\text{RTS2}}$ が1のときはSCFRDR2内のデータ数が、 $\overline{\text{RTS2}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{RTS2}}$ 出力アクティブトリガ値は、「16.2.9 FIFOコントロールレジスタ (SCFCR2)」のビット10~8で指定します。

また、SCSCR2のビット4 (RE) が0のときも $\overline{\text{RTS2}}$ が1になります。

モデムコントロール時の動作例を図16.12に示します。

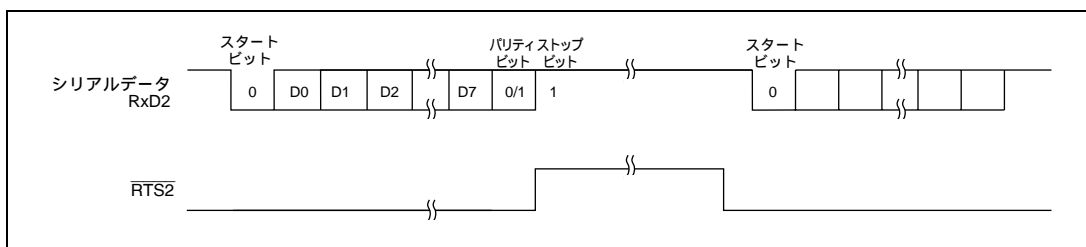


図 16.12 モデムコントロール ($\overline{\text{RTS2}}$) 時の動作例

16.4 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.6 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR2 の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMAC を使って送受信を行う場合は、SCSCR2 の RIE ビットを 0 に設定することにより、割り込みコントローラに割り込み要求を出さない設定にできます。この状態で REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求と BRI 割り込み要求だけを出すことができます。

SCFSR2 の TDFE フラグが 1 にセットされると、割り込み要求とは別に送信 FIFO データエンプティ要求が発生します。送信 FIFO データエンプティ要求で、DMAC を起動してデータ転送を行うことができます。


SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされると、割り込み要求とは別に受信 FIFO データフル要求が発生します。受信 FIFO データフル要求で、DMAC を起動してデータ転送を行うことができます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

さらに、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFRDR2 にあることを示しています。

表 16.6 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高  低
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
BRI	ブレーク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

優先順位、SCIF 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

16.5 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR2 への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCFSR2) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR2) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR2) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR2 の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR2 に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR2 に格納されたときに行ってください。

SCFTDR2 内の送信データ数は FIFO データ数レジスタ (SCFDR2) の上位 8 ビットで知ることができます。

(2) SCFRDR2 の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCFSR2) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR2) 内の受信データ数が FIFO コントロールレジスタ (SCFCR2) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR2 からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR2 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR2 内の受信データ数は FIFO データ数レジスタ (SCFDR2) の下位 8 ビットで知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD2 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD2 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR2 への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

TxD2 端子は、シリアルポートレジスタ (SCSPTR2) の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD2 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD2 端子からは 0 が出力されます。

(5) 受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 16.13 に示します。

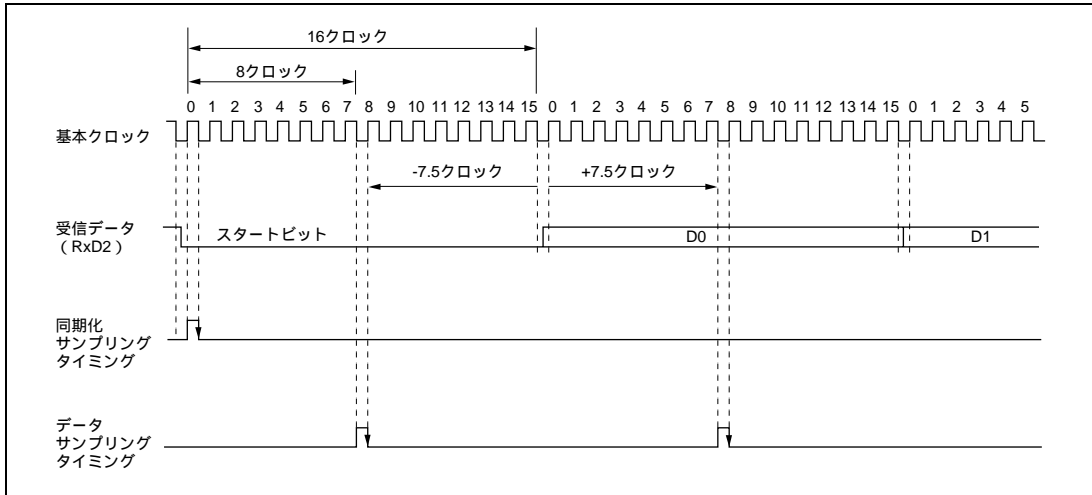


図 16.13 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) SCK2/ $\overline{\text{MRESET}}$

SCK2 端子にマニュアルリセット端子がマルチプレクスされていますので、外部クロックモードで SCIF を動作中、マニュアルリセットを行わないでください。

(7) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合でも、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(8) シリアルポート

シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

(9) オーバランエラーフラグ (SH7750)

データ受信中にオーバランエラーとフレーミングエラーが同時に発生した場合、つまりオーバランした 17 バイト目の受信データがフレーミングエラーを伴う場合、オーバランエラーフラグはセットされません。フレーミングエラーが発生したことを示す SCFSR2.ER フラグだけがセットされます。受信 FIFO は、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。失われたデータについては、SCFSR2.FER に相当するビットの設定はありません。

通常のオーバランエラー処理に加えて、フレーミングエラー発生時にもオーバランエラーが発生したかどうかをチェックし、オーバランエラーが発生した場合はオーバランエラー処理を行ってください (オーバランエラーだけが発生して他の受信エラーが発生していない場合や、オーバランエラーとパリティエラーが同時に発生した場合は問題ありませんので通常のオーバランエラー処理を行ってください。通常のオーバランエラー処理を優先して行ってください)。

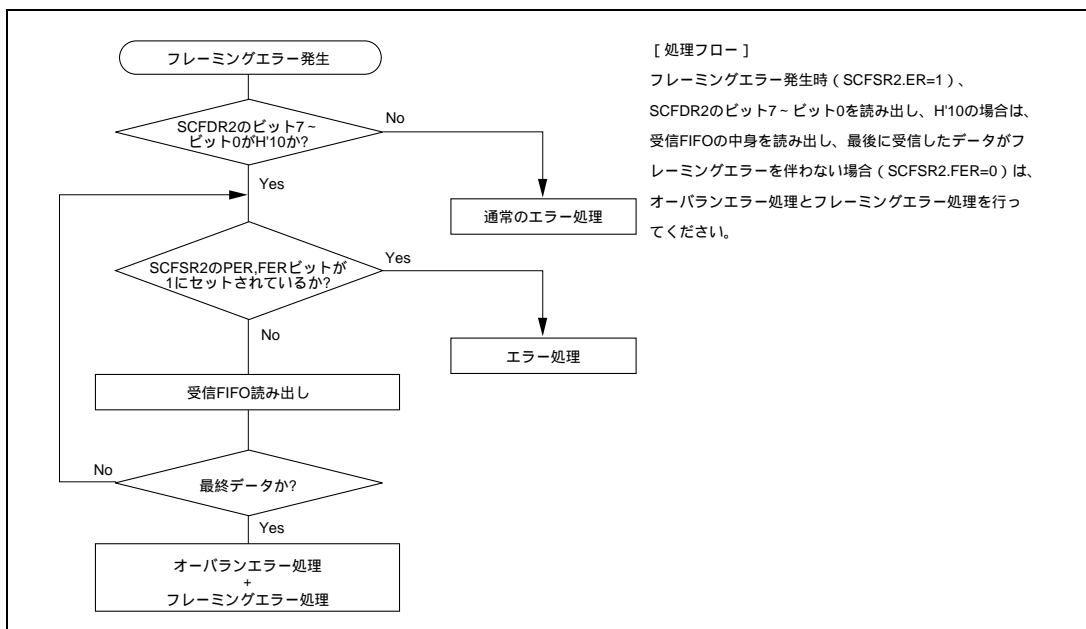


図 16.14 フレーミングエラー発生処理フロー

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) SH7750、SH7750S、SH7750R グループ

17. スマートカードインタフェース

17.1 概要

シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Identification Card) の IC カード (スマートカード) インタフェースのサブセットもサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

17.1.1 特長

スマートカードインタフェースには次の特長があります。

- 調歩同期式モード
 - データ長 : 8ビット
 - パリティビットの生成およびチェック
 - 受信モードにおけるエラーシグナル (パリティエラー) の送出
 - 送信モードにおけるエラーシグナルの検出とデータの自動再送信
 - ダイレクトコンベンション / インバースコンベンションの両方をサポート
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

送信データエンプティ要求と受信データフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

17.1.2 ブロック図

スマートカードインタフェースのブロック図を図 17.1 に示します。

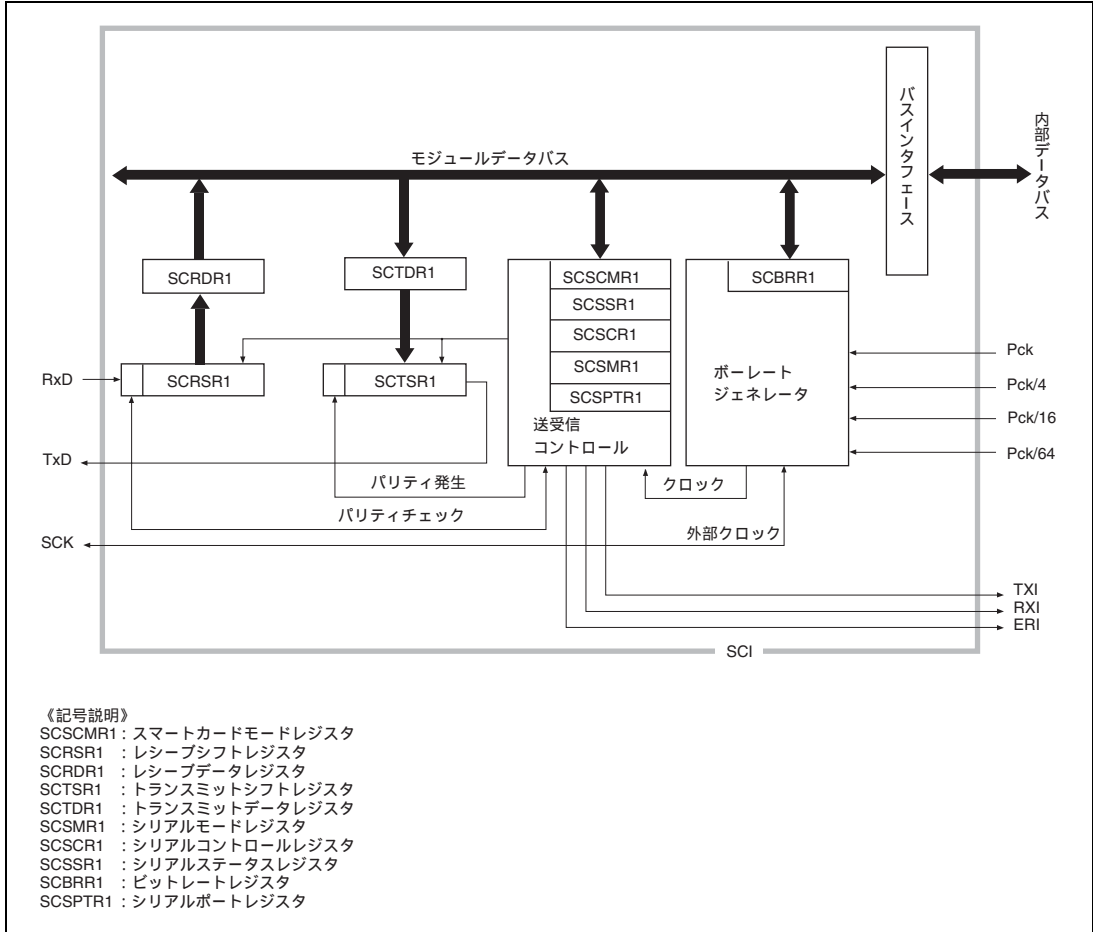


図 17.1 スマートカードインタフェース

17.1.3 端子構成

スマートカードインタフェースの端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	MD0/SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	MD7/TxD	出力	送信データ出力

【注】 パワーオンリセット時には、モード入力端子 MD0、MD7 として機能します。

17.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 17.2 に示します。SCBRR1、SCTDR1、SCRDR1、SCSPTR1 については、通常の SCI の機能と同様ですので、「第 15 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

スマートカードインタフェース用のレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけではなく、スタンバイモード、モジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR1	R/W	H'00	H'FFE00000	H'1FE00000	8
ビットレートレジスタ	SCBRR1	R/W	H'FF	H'FFE00004	H'1FE00004	8
シリアルコントロールレジスタ	SCSCR1	R/W	H'00	H'FFE00008	H'1FE00008	8
トランスミットレジスタ	SCTDR1	R/W	H'FF	H'FFE0000C	H'1FE0000C	8
シリアルステータスレジスタ	SCSSR1	R/(W) *1	H'84	H'FFE00010	H'1FE00010	8
レシーブデータレジスタ	SCRDR1	R	H'00	H'FFE00014	H'1FE00014	8
スマートカードモードレジスタ	SCSCMR1	R/W	H'00	H'FFE00018	H'1FE00018	8
シリアルポートレジスタ	SCSPTR1	R/W	H'00*2	H'FFE0001C	H'1FE0001C	8

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 ビット 2、0 は不定。

17.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

17.2.1 スマートカードモードレジスタ (SCSCMR1)

スマートカードモードレジスタ (SCSCMR1) は、スマートカードインタフェースの機能の選択を行います。8ビットの読み出し/書き込み可能なレジスタです。SCSCMR1 レジスタは、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
					SDIR	SINV		SMIF
初期値:					0	0		0
R/W:					R/W	R/W		R/W

ビット7~4、1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	SCTDR1 の内容を LSB ファーストで送信 (初期値) 受信データを LSB ファーストとして SCRDR1 に格納
1	SCTDR1 の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR1 に格納

ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「17.3.4 レジスタ設定」を参照してください。

ビット2	説明
SINV	
0	SCTDR1 の内容をそのまま送信 (初期値) 受信データをそのまま SCRDR1 に格納
1	SCTDR1 の内容を反転してデータを送信 受信データを反転して SCRDR1 に格納

ビット 0 : スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

ビット 0	説 明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

17.2.2 シリアルモードレジスタ (SCSMR1)

スマートカードインタフェースモードにおいては、SCSMR1 のビット 7 の機能が変更されます。

ビット :	7	6	5	4	3	2	1	0
	GM (C/ \bar{A})	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : GSM モード (GM)

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCSCR1) の CKE1 ビットと CKE0 ビットで指定します。GSM モードでは CKE1、CKE0 による SCK 起動、停止指定時にパルス幅が保証されます。

ビット 7	説 明
GM	
0	通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF のほか、High / Low 固定制御可能 (設定は SCSCR1)

etu : Elementary Time Unit (1 ビットの転送期間)

ビット 6~0 :

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。スマートカードインタフェースでは、CHR=0、PE=1、STOP=1、MP=0 に設定してください。

17.2.3 シリアルコントロールレジスタ (SCSCR1)

スマートカードインタフェースモードにおいては、SCSCR1 のビット 1 とビット 0 の機能が変更されます。

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	—	—	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7～4：

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ビット 3、2：予約ビット

スマートカードインタフェースでは使用しません。

ビット 1、0：クロックイネーブル 1、0 (CKE1、0)

SCK 端子の機能の指定を行います。スマートカードインタフェースモードではクロックソースは常に内部クロックを用います。スマートカードインタフェースモードでは、通常のクロック出力の許可 / 禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を指定することができます。

GM	CKE1	CKE0	SCK 端子の機能
0	0	0	ポート入出力端子として動作する
0	0	1	SCK 出力端子としてクロック出力する
0	1	0	設定無効。設定しないでください
0	1	1	設定無効。設定しないでください
1	0	0	出力端子として Low 出力固定
1	0	1	出力端子としてクロック出力する
1	1	0	出力端子として High 出力固定
1	1	1	出力端子としてクロック出力する

17.2.4 シリアルステータスレジスタ (SCSSR1)

スマートカードインタフェースモードにおいては、SCSSR1 のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	—	—
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ビット 7~5:

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ビット 4: エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時 (2) ERS = 1 の状態を読み出した後、0 を書き込んだとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナルローレベルをサンプリングしたとき

【注】 SCSSR1 の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット 3: パリティエラー (PER)

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ビット 2：トランスミットエンド (TEND)

ビット 2 のトランスミットエンド (TEND) のセット条件は次のようになります。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時 (2) SCSCR1 の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) SCSMR1 の GM ビットが 0 で、1 バイトのシリアルキャラクタ送信後、2.5etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき (4) SCSMR1 の GM ビットが 1 で、1 バイトのシリアルキャラクタ送信後、1.0etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき

etu： Elementary Time Unit (1 ビットの転送期間)

ビット 1、0：予約ビット

スマートカードインタフェースでは使用しません。

17.3 動作説明

17.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- 1 フレームは、8ビットデータとパリティビットで構成されます。
- 2 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムを置きます。
- 3 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルローレベルを1etu期間出力します。
- 4 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- 5 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

17.3.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 17.2 に示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 外部で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{cc} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

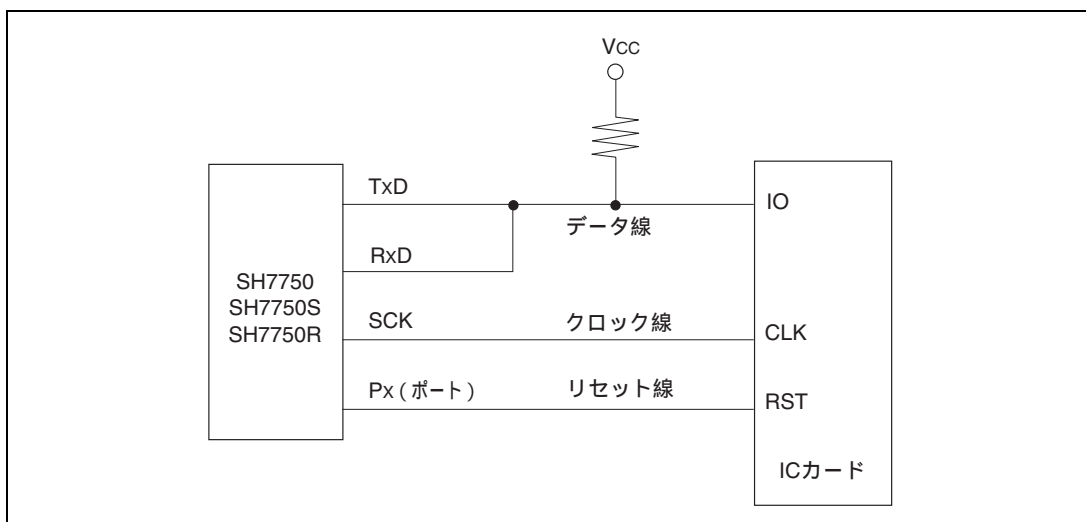


図 17.2 スマートカードインタフェース端子接続概略図

17.3.3 データフォーマット

図 17.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

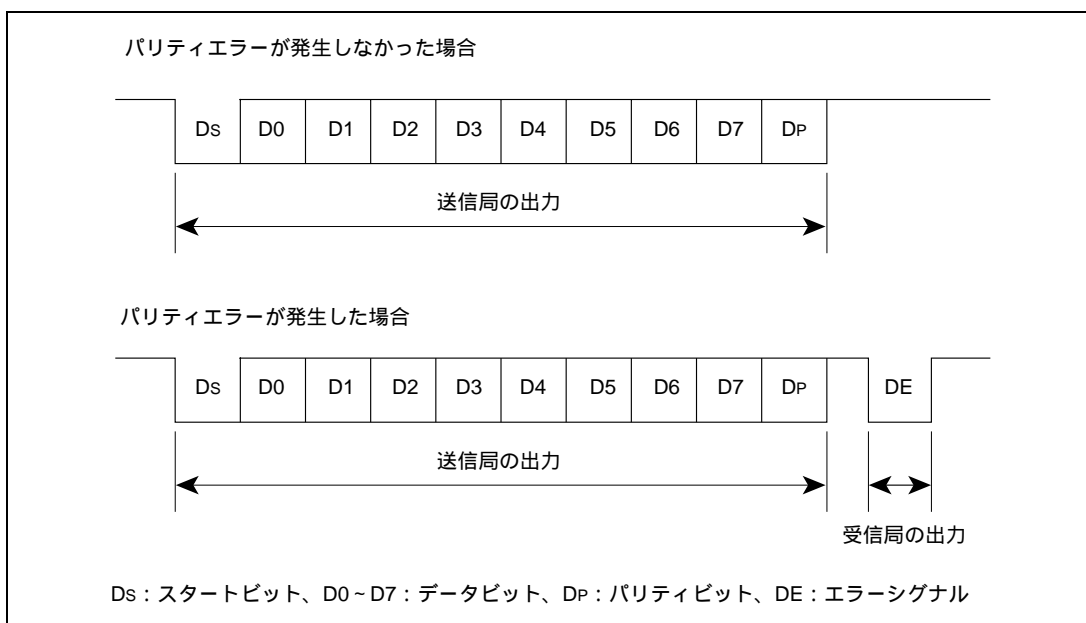


図 17.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されません。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds : ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE : ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、エラーシグナルを受信した場合は、エラーとなったデータを2.に戻り再送信します。

17.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 17.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 17.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR1	GM	0	1	O/E	1	0	CKS1	CKS0
SCBRR1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCSCR1	TIE	RIE	TE	RE	0	0	CKE1	CKE0
SCTDR1	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SCSSR1	TDRE	RDRF	ORER	FER/ERS	PER	TEND	0	0
SCRDR1	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCSCMR1					SDIR	SINV		SMIF
SCSPTR1	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT

: 未使用ビットを示します。

(1) シリアルモードレジスタ (SCSMR1) の設定

GM ビットは TEND フラグのセットタイミングの選択、およびシリアルコントロールレジスタ (SCSCR1) の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O/E ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インパースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「17.3.5 クロック」を参照してください。

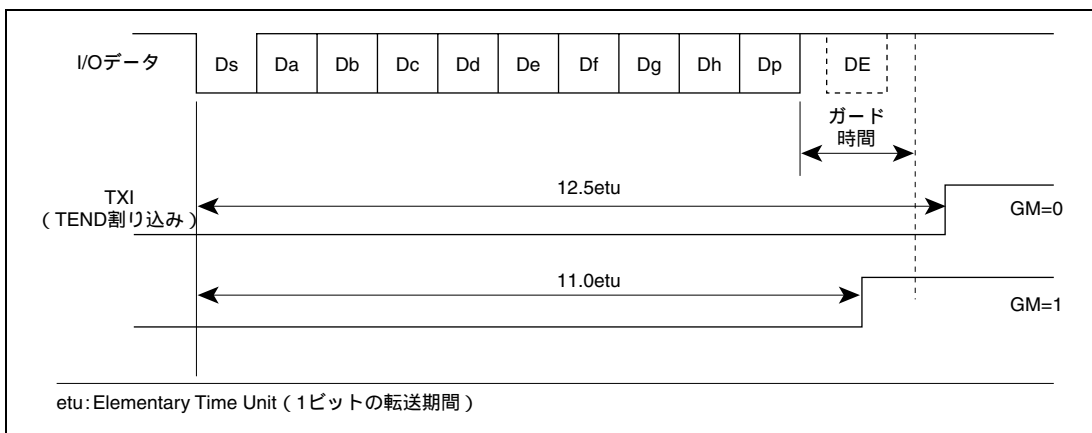


図 17.4 TEND 発生タイミング

(2) ビットレートレジスタ (SCBRR1) の設定

ビットレートを設定します。設定値の算出方法は「17.3.5 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCSCR1) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「17.3.5 クロック」を参照してください。

(4) スマートカードモードレジスタ (SCSCMR1) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 17.5 に示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SCSCMR1 の O/E ビットを奇数パリティモードに設定します。送信、受信とも同様です。

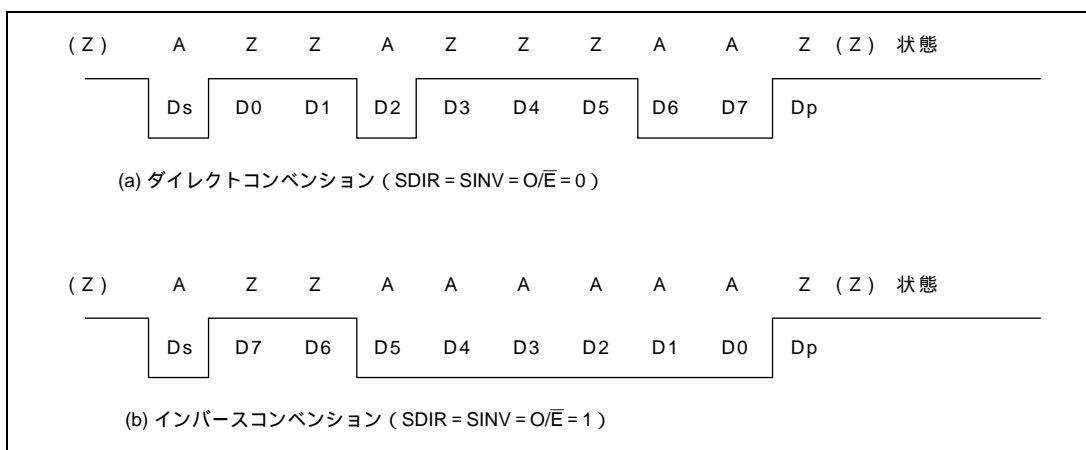


図 17.5 開始キャラクタの波形例

17.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR1) とシリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 17.5 に示します。

このとき CKE0=1 でクロック出力を選択すると SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{Pck}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = SCBRR1 の設定値 (0 ≤ N ≤ 255)

B = ビットレート (bit/s)

Pck = 周辺モジュール用動作周波数 (MHz)

n = 0~3 (表 17.4 を参照)

表 17.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1	0	1
2	1	0
3	1	1

表 17.5 SCBRR1 の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	Pck (MHz)						
	7.1424	10.00	10.7136	14.2848	25.0	33.0	50.0
0	9600.0	13440.9	14400.0	19200.0	33602.2	44354.8	67204.3
1	4800.0	6720.4	7200.0	9600.0	16801.1	22177.4	33602.2
2	3200.0	4480.3	4800.0	6400.0	11200.7	14784.9	22401.4

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、周辺モジュール用動作周波数とビットレートからビットレートレジスタ (SCBRR1) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{Pck}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 17.6 ビットレート B (bit/s) に対する SCBRR1 の設定例 (ただし、n=0 のとき)

bit/s	Pck (MHz)													
	7.1424		10.00		10.7136		14.2848		25.00		33.00		50.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	3	14.27	4	8.22	6	0.01

表 17.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

Pck (MHz)	最大ビットレート (bit/s)	N	n
7.1424	19200	0	0
10.00	26882	0	0
10.7136	28800	0	0
16.00	43010	0	0
20.00	53763	0	0
25.0	67204	0	0
30.0	80645	0	0
33.0	88710	0	0
50.0	67204	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{Pck}}{1488 \times 2^{2n-1} \times B \times (N+1)} \right\} \times 10^6 - 1 \times 100$$

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 17.8 に示します。

表 17.8 レジスタ設定値と SCK 端子

設定	レジスタの値				SCK 端子	
	SMIF	GM	CKE1	CKE0	出力	状態
1*1	1	0	0	0	ポート	SCSPTR1 の SPB1IO、SPB1DT ビットの設定によって決まります。
	1	0	0	1		SCK (シリアルクロック) 出力状態
2*2	1	1	0	0	L 出力	Low レベル出力状態
	1	1	0	1		SCK (シリアルクロック) 出力状態
3*2	1	1	1	0	H 出力	High レベル出力状態
	1	1	1	1		SCK (シリアルクロック) 出力状態

【注】 *1 SCK 出力状態は CKE0 ビットを変更すると直ちに変化します。

CKE1 ビットは 0 を設定してください。

*2 CKE0 ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

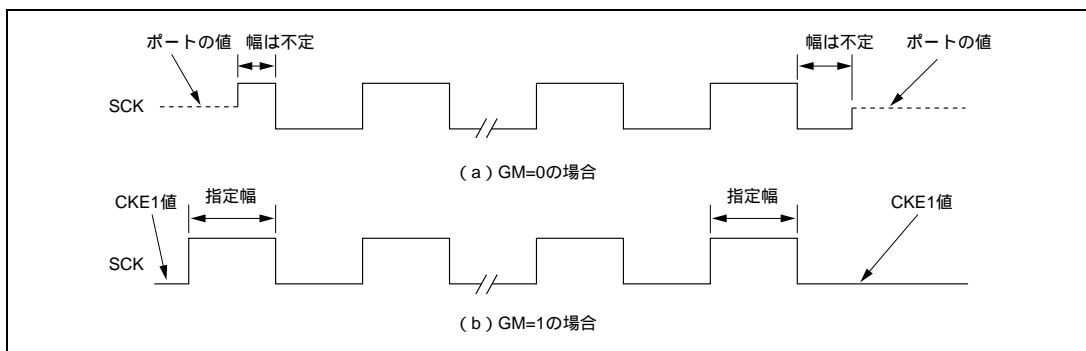


図 17.6 GM ビットの設定によるクロック出力の違い

17.3.6 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 17.7 に示します。

- (a) シリアルコントロールレジスタ (SCSCR1) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR1) のエラーフラグ FER/ERS、PER、ORER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR1) の GM ビット、パリティビット (O/E ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- (d) スマートカードモードレジスタ (SCSCMR1) の SMIF、SDIR、SINV ビットを設定してください。SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子はともにハイインピーダンス状態となります。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR1) に設定します。
- (f) シリアルコントロールレジスタ (SCSCR1) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SCK 端子からクロック出力されます。
- (g) 少なくとも、1 ビット期間待ってから、SCSCR1 の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

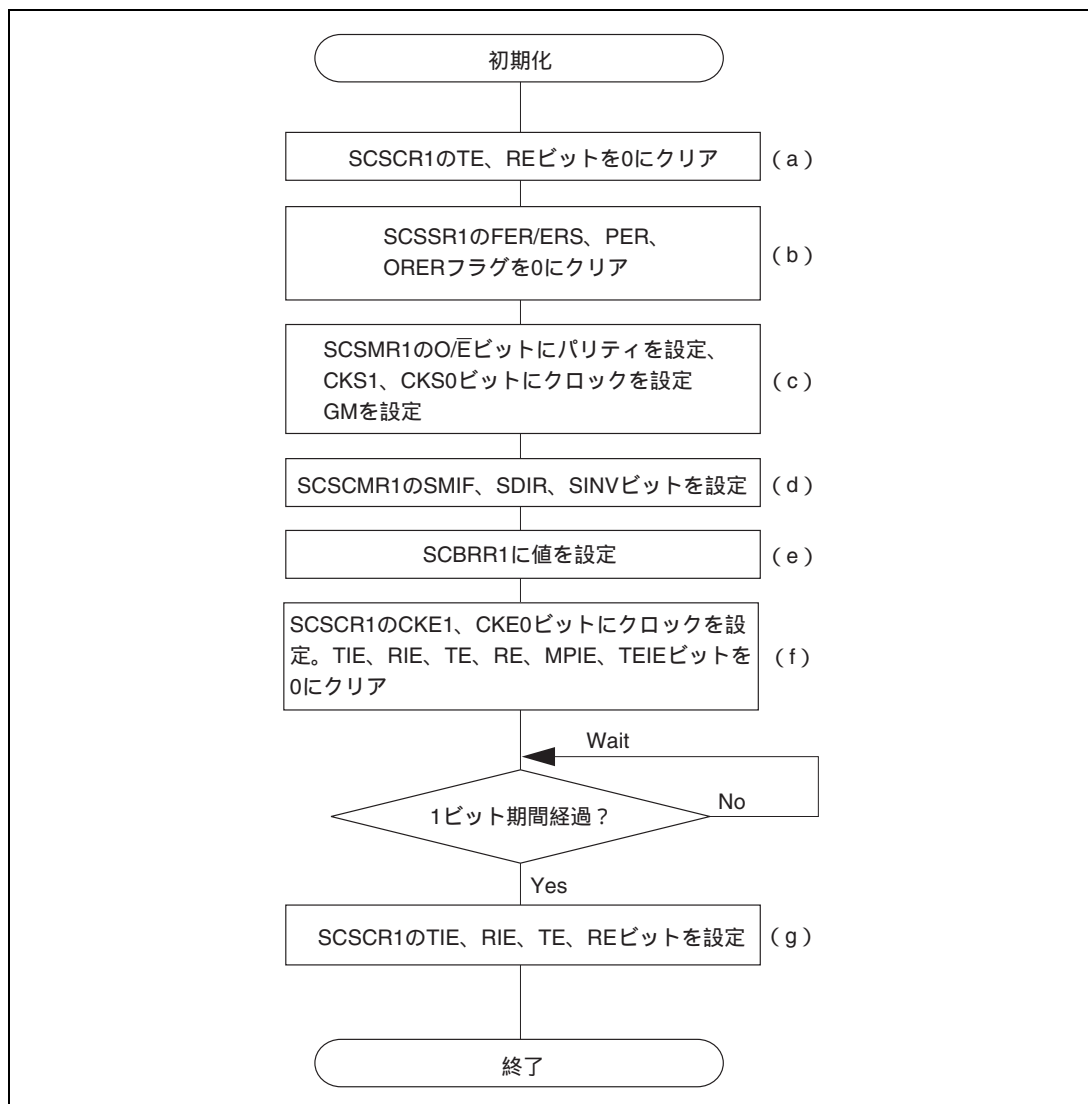


図 17.7 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 17.8 に示します。

- (a) (1) の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1のエラーフラグFER/ERSビットが0にクリアされていることを確認してください。
- (c) SCSSR1のTENDフラグが1にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR1に送信データを書き込んで、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求を発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

詳細は「17.3.6 (5) 割り込み動作」を参照してください。

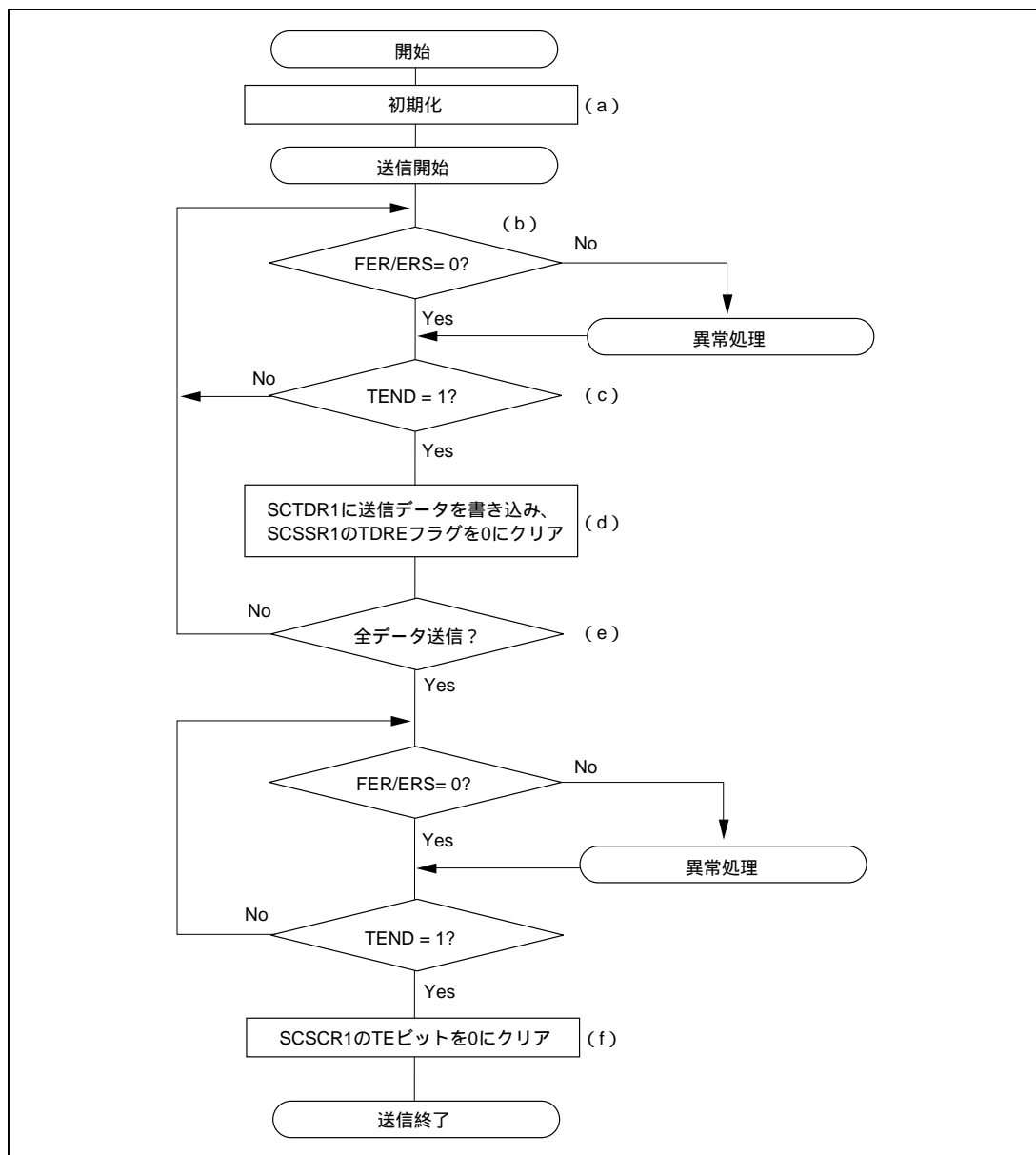


図 17.8 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 17.9 に示します。

- (a) SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1のORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- (c) RDRFフラグが1であることを確認できるまで(b)、(c)を繰り返してください。
- (d) SCRDR1から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、RDRFフラグを0にクリアして(b)の手順に戻ってください。
- (f) 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを1にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが1にセットされると、受信データフル割り込み(RXI)要求が発生します。また、受信時にエラーが発生しORER、PER フラグのいずれかが1にセットされると、送受信エラー割り込み(ERI)要求が発生します。

詳細は「17.3.6(5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生しPER が1にセットされた場合でも、受信したデータはSCRDR1に転送されるのでこのデータを読み出すことは可能です。

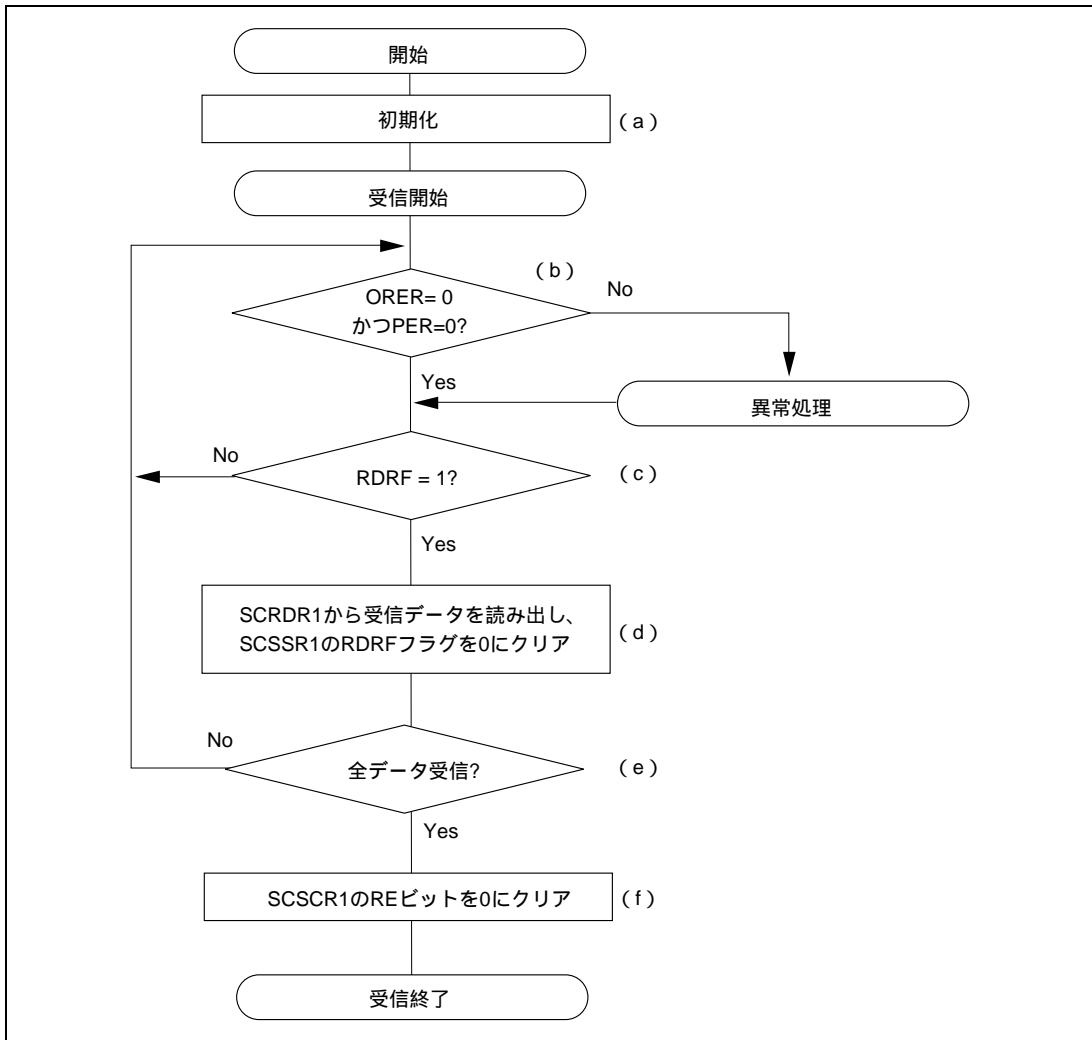


図 17.9 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグあるいはPER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SCSSR1 の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SCSSR1 の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SCSSR1 の ORER、PER、FER/ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 17.9 に示します。

表 17.9 スマートカードモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	FER/ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

(6) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SCSSR1 の TEND フラグが 1 にセットされると、TXI 要求が発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがってエラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時 ERS フラグは、自動的にクリアされませんので RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込みを発生させ、ERS をクリアしてください。

受信動作では、SCSSR1 の RDRF フラグが 1 にセットされると RXI 要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、代わりに CPU に対し ERI 割り込みを発生しますのでエラーフラグをクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

17.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 17.10 に示します。

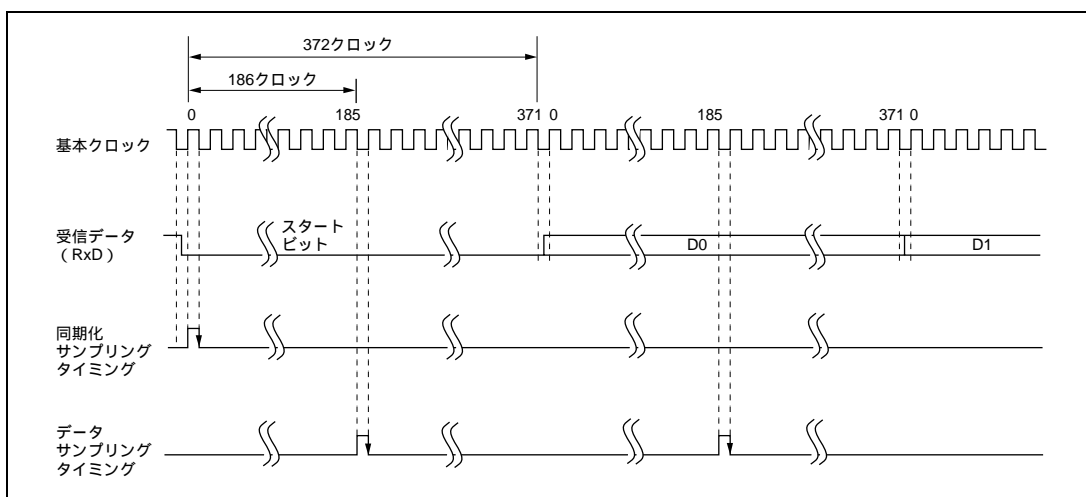


図 17.10 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 372)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

SCIが受信モードの場合の再転送動作

SCI受信モードの場合の再転送動作を図17.11に示します。

- (a) 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR1のPERビットが自動的に1にセットされます。このとき、SCSSR1のRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1のPERビットを0にクリアしてください。
- (b) 異常が発生したフレームでは、SCSSR1のRDRFビットはセットされません。
- (c) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR1のPERビットはセットされません。
- (d) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR1のRDRFビットが自動的に1にセットされます。このときSCSSR1のRIEビットが許可になっていれば、RXI割り込み要求が発生します。
- (e) 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

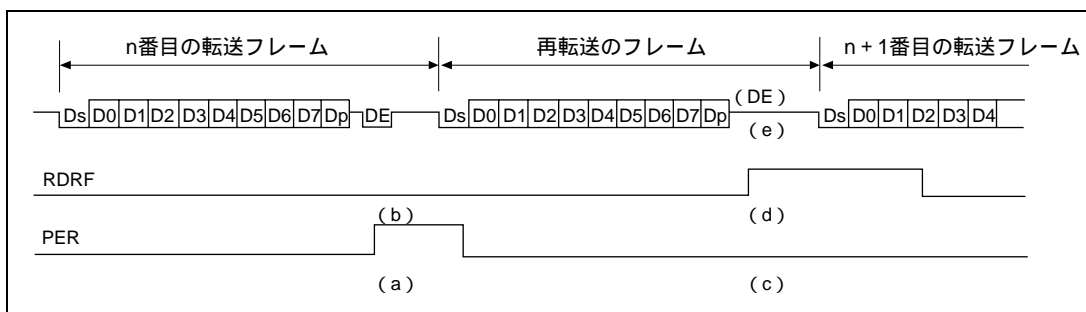


図 17.11 SCI 受信モードの場合の再転送動作

SCIが送信モードの場合の再転送動作

SCI送信モードの場合の再転送動作を図17.12に示します。

- (a) 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSR1のFER/ERSビットが1にセットされます。このとき、SCSSR1のRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1のFER/ERSビットを0にクリアしてください。
- (b) 異常を示すエラーシグナルを受信したフレームでは、SCSSR1のTENDビットはセットされません。
- (c) 受信側からエラーシグナルが返ってこない場合は、SCSSR1のFER/ERSビットはセットされません。
- (d) 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSR1のTENDビットが1にセットされます。このときSCSSR1のTIEビットがイネーブルになっていれば、TXI割り込み要求が発生します。

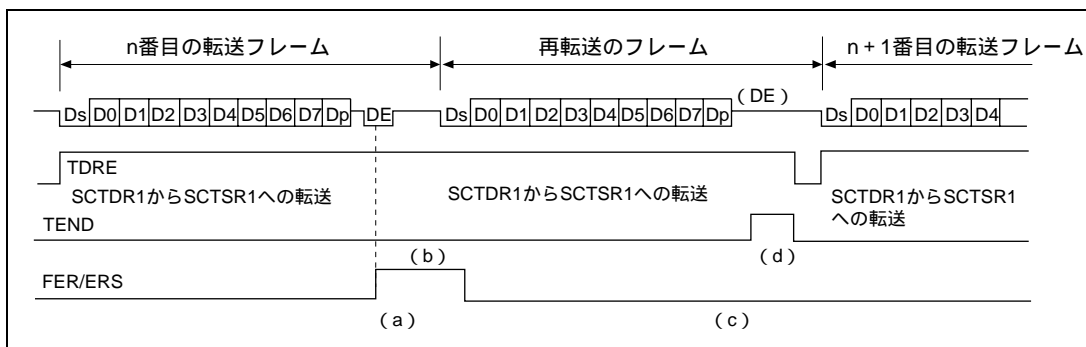


図 17.12 SCI 送信モードの場合の再転送動作

(3) スタンバイモードとクロック

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

スマートカードインタフェースモードからスタンバイモードに遷移するとき

- (a) SCSPTR1のSBP1IOビットとSBPIDTビットをスタンバイ時の出力固定状態の値に設定します。
- (b) シリアルコントロールレジスタ (SCSCR1) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
- (c) SCSCR1のCKE0ビットに0を書き込み、クロックを停止させます。
- (d) シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- (e) シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) にH'00を書き込みます。
- (f) スタンバイ状態に遷移させます。

スタンバイモードからスマートカードインタフェースモードに戻るとき

- (g) スタンバイ状態を解除します。
- (h) シリアルコントロールレジスタ (SCSCR1) のCKE1ビットをスタンバイ開始時の出力固定状態 (現在のSCK端子の状態) の値に設定します。
- (i) スマートカードインタフェースモードに設定し、クロック出力させます。正常なデューティにてクロック信号発生を開始します。

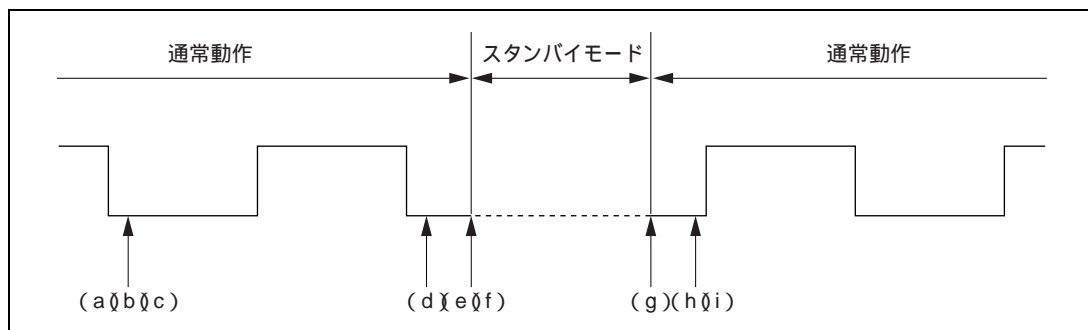


図 17.13 クロック停止、再起動手順

(4) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

- (a) 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
- (b) シリアルコントロールレジスタ (SCSCR1) のCKE1ビットで指定の出力に固定します。
- (c) シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) を設定し、スマートカードモードの動作に切り替えます。
- (d) SCSCR1のCKE0ビットを1に設定して、クロック出力を開始します。

18. I/O ポート

18.1 概要

本 LSI は、20 ビットの汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートを内蔵しています。

18.1.1 特長

汎用 I/O ポートには、次のような特長があります。

- 各ビットとも入出力方向が独立して設定できる20ビットのI/Oポートを搭載
- 各ビットとも独立してプルアップするか、しないか指定可能
- I/Oポート20ビットのうち、16ビットに対して割り込み入力が可能
- バスコントロールレジスタ2 (BCR2) のPORTENビットにより、I/Oポートを使用するか、しないか選択可能

SCI 用の I/O ポートには、次のような特長があります。

- I/Oポートを出力に設定し、SCIのイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出ができます。
- 常時RxD端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/Oポートを出力に設定し、SCIのイネーブルが設定されていないとき、SCK端子の制御ができます。
- 常時SCK端子の値を読むことができます。

SCIF 用の I/O ポートには、次のような特長があります。

- I/Oポートを出力に設定し、SCIFのイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出ができます。
- 常時Rx \overline{D} 2端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/Oポートを出力に設定し、SCIFのイネーブルが設定されていないとき、 \overline{CTS} 2端子および \overline{RTS} 2端子の制御ができます。
- 常時 \overline{CTS} 2端子および \overline{RTS} 2端子の値を読むことができます。

18.1.2 ブロック図

16 ビット汎用 I/O ポートのブロック図を、図 18.1 に示します。

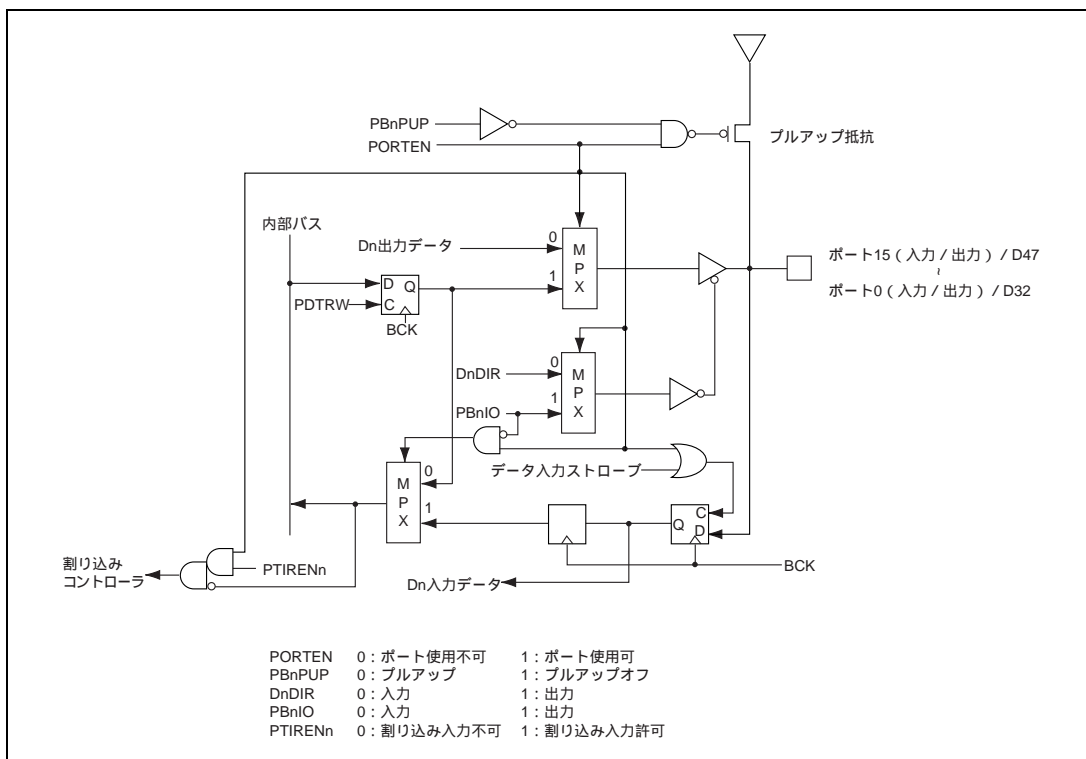


図 18.1 16 ビットポート

4 ビット汎用 I/O ポートのブロック図を、図 18.2 に示します。

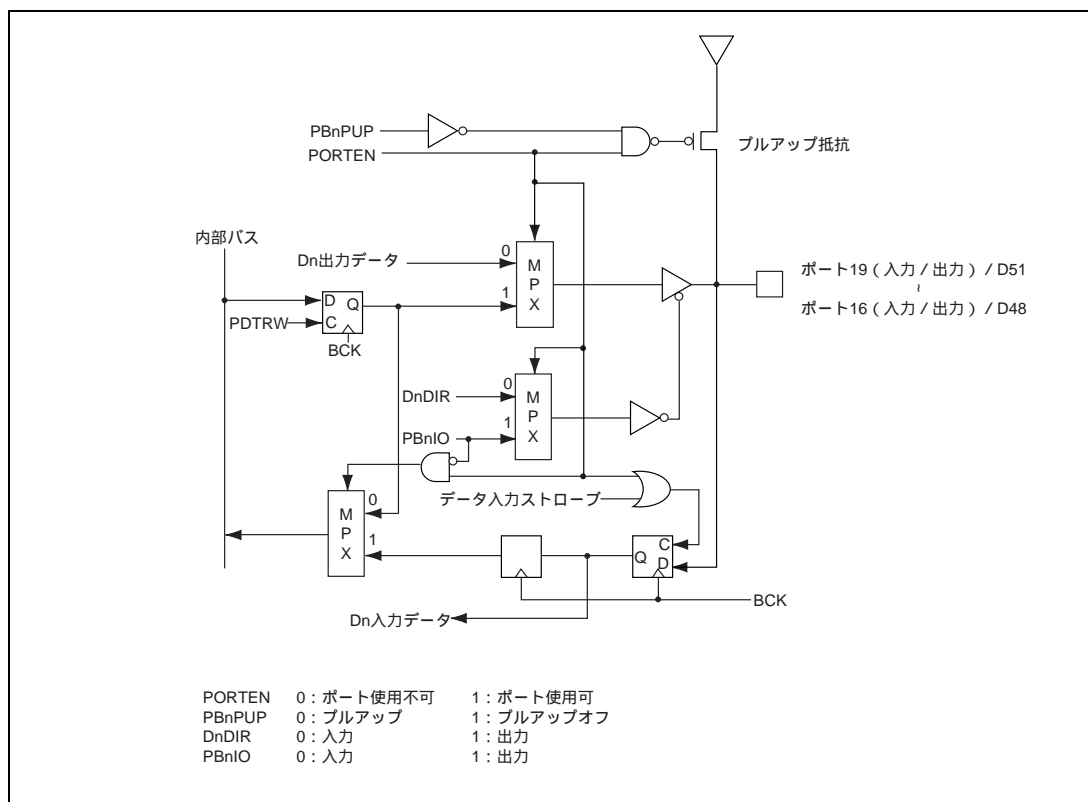


図 18.2 4 ビットポート

SCI I/O ポートのブロック図を図 18.3 ~ 図 18.5 に示します。

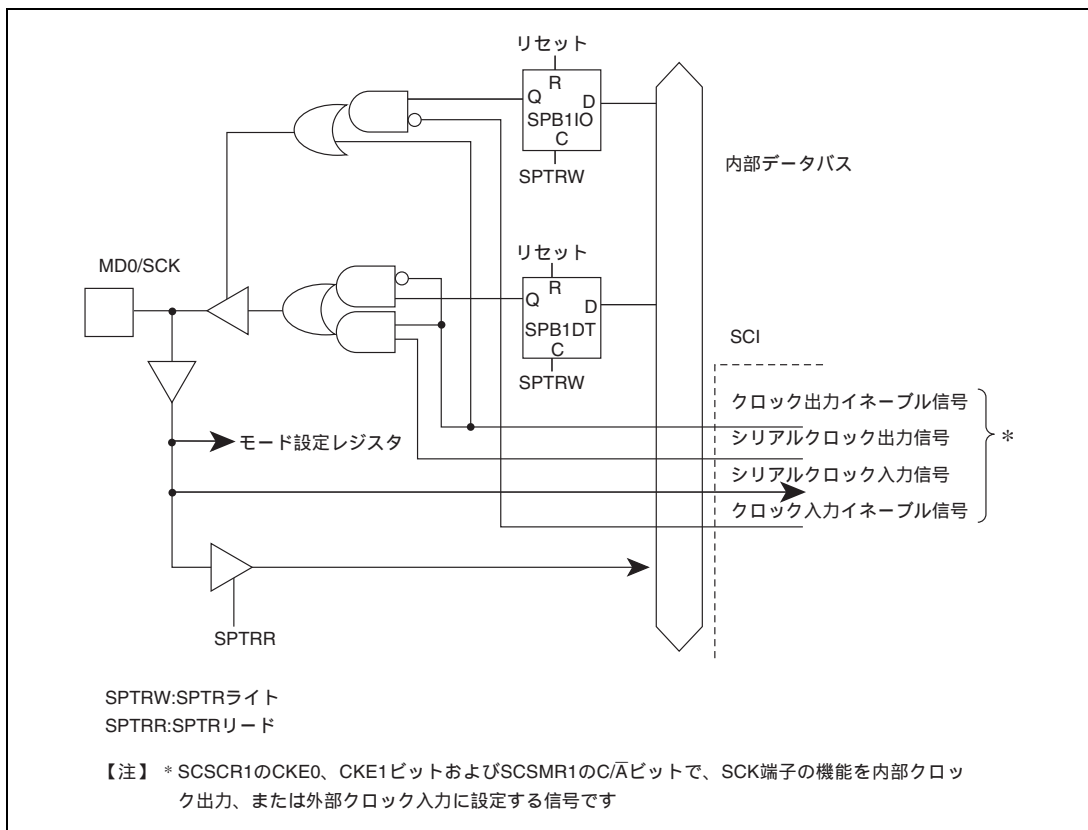


図 18.3 MD0/SCK 端子

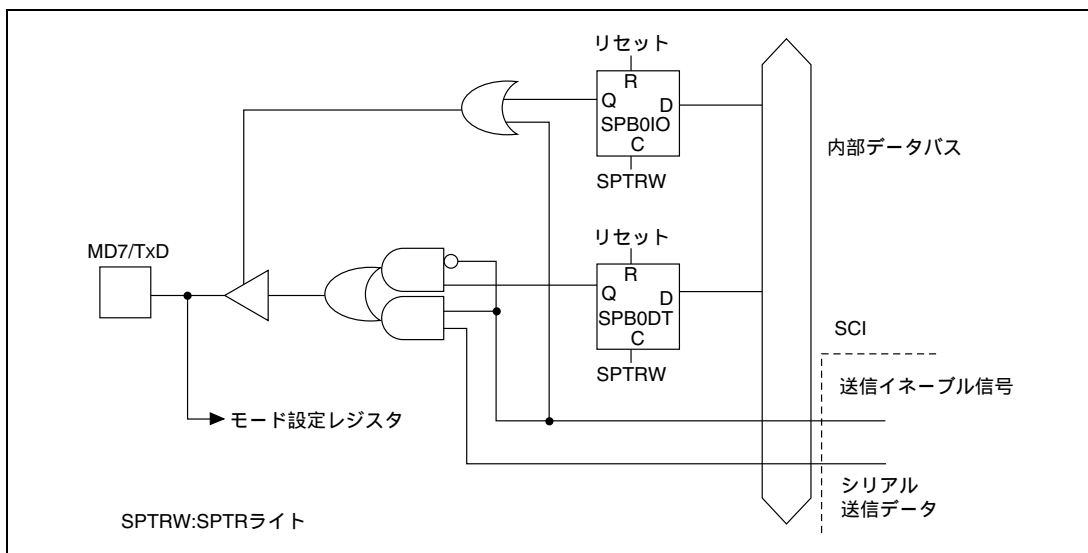


図 18.4 MD7/TxD 端子

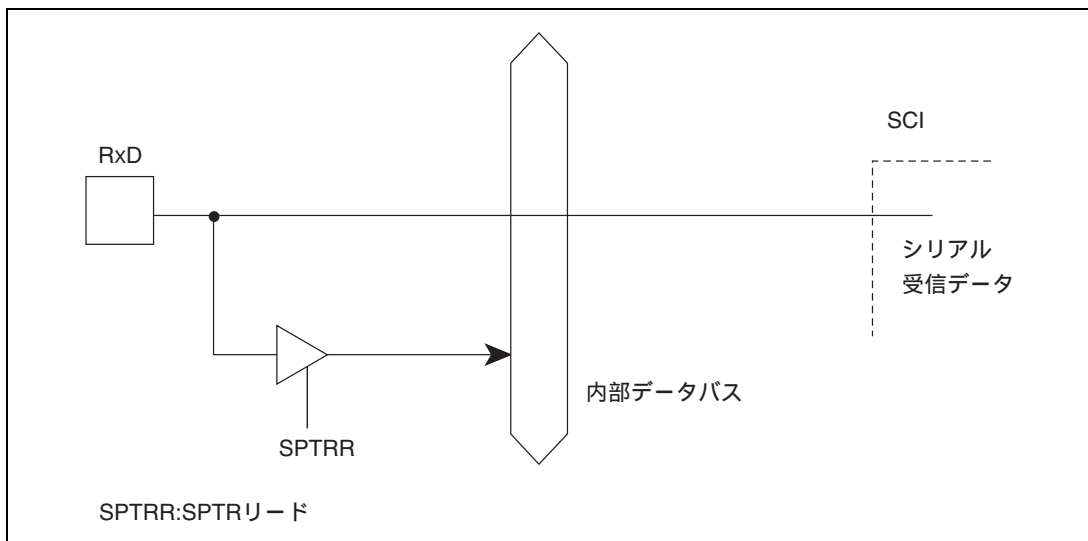


図 18.5 RxD 端子

SCIF I/O ポートのブロック図を図 18.6 ~ 図 18.9 に示します。

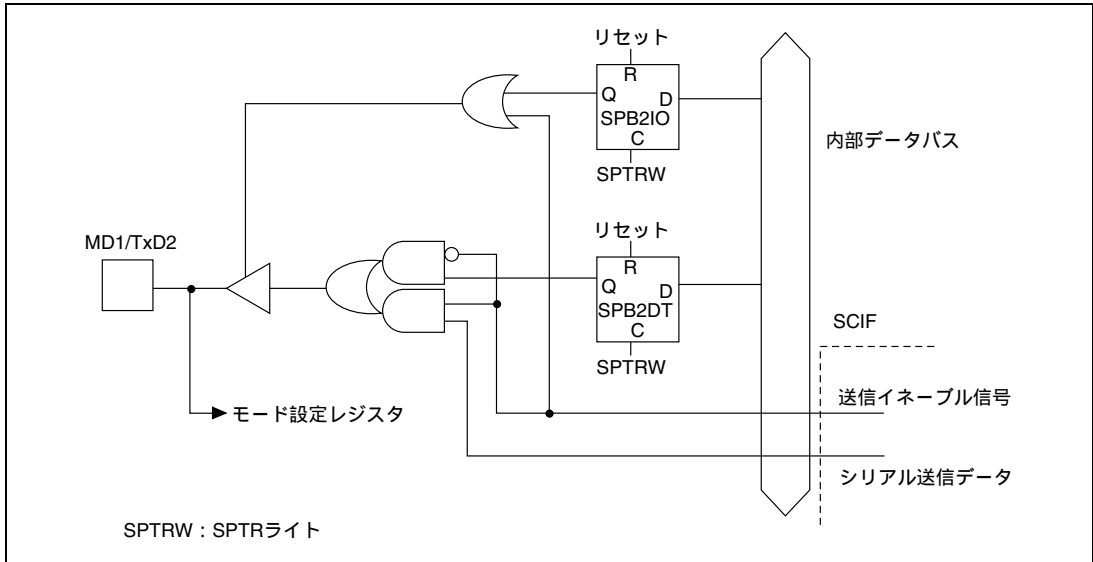


図 18.6 MD1/TxD2 端子

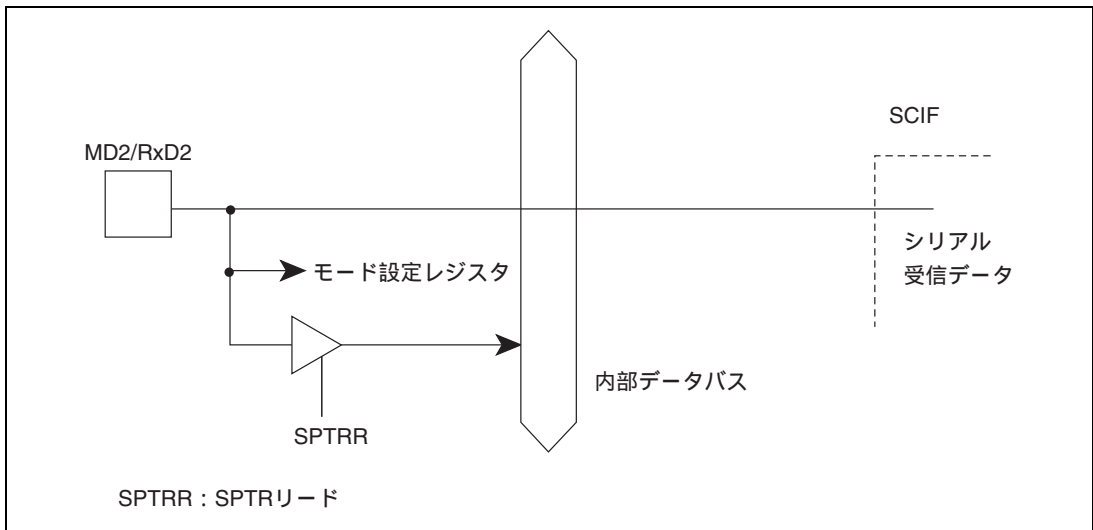
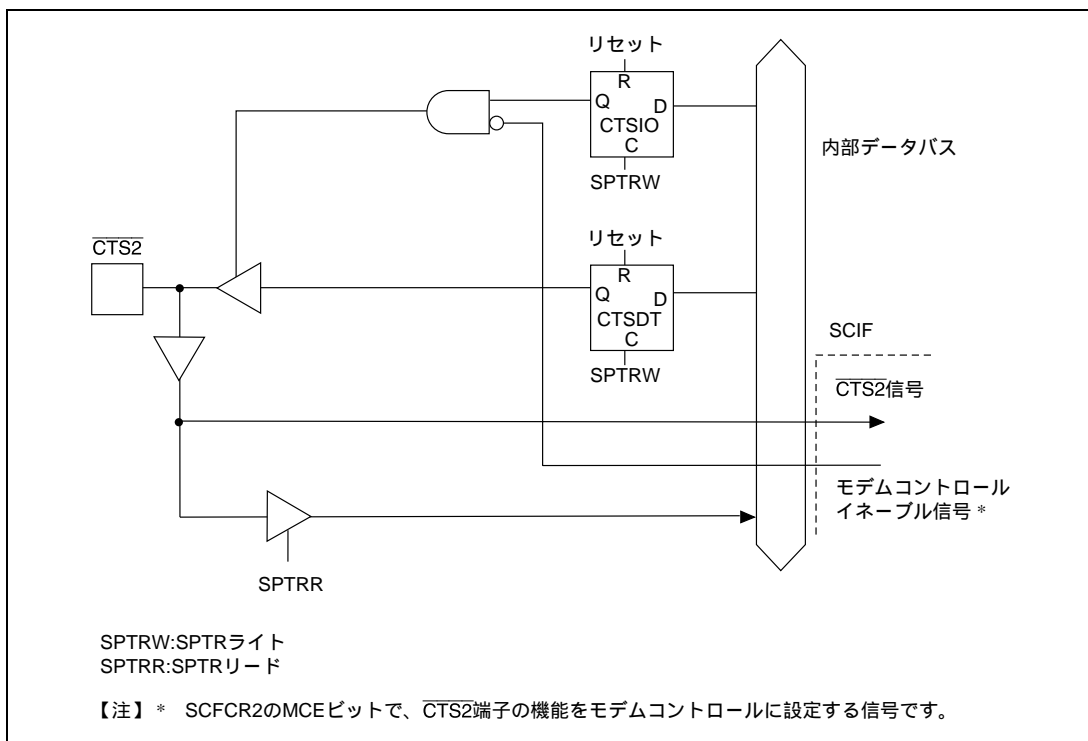


図 18.7 MD2/RxD2 端子

図 18.8 $\overline{\text{CTS2}}$ 端子

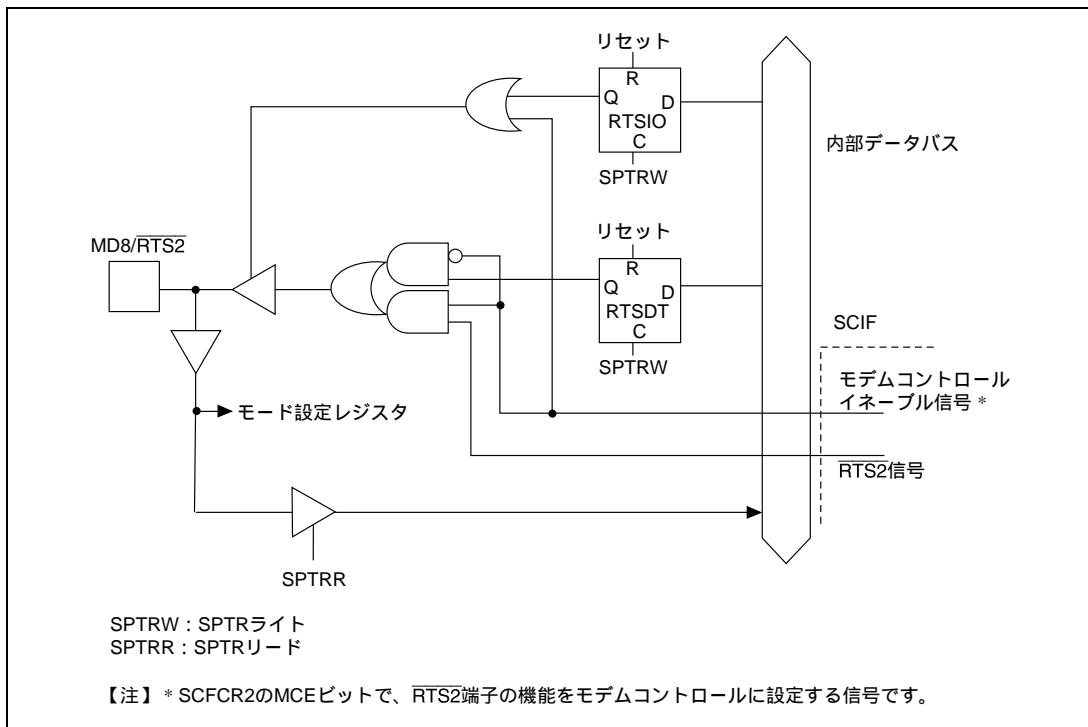


図 18.9 MD8/ $\overline{\text{RTS2}}$ 端子

18.1.3 端子構成

20 ビット汎用 I/O ポートの端子構成を表 18.1 に示します。

表 18.1 20 ビット汎用 I/O ポートの端子構成

名称	信号名	入出力	機能
ポート 19 端子	PORT19/D51	入出力	I/O ポート
ポート 18 端子	PORT18/D50	入出力	I/O ポート
ポート 17 端子	PORT17/D49	入出力	I/O ポート
ポート 16 端子	PORT16/D48	入出力	I/O ポート
ポート 15 端子	PORT15/D47	入出力*	I/O ポート / GPIO 割り込み
ポート 14 端子	PORT14/D46	入出力*	I/O ポート / GPIO 割り込み
ポート 13 端子	PORT13/D45	入出力*	I/O ポート / GPIO 割り込み
ポート 12 端子	PORT12/D44	入出力*	I/O ポート / GPIO 割り込み
ポート 11 端子	PORT11/D43	入出力*	I/O ポート / GPIO 割り込み
ポート 10 端子	PORT10/D42	入出力*	I/O ポート / GPIO 割り込み
ポート 9 端子	PORT9/D41	入出力*	I/O ポート / GPIO 割り込み
ポート 8 端子	PORT8/D40	入出力*	I/O ポート / GPIO 割り込み
ポート 7 端子	PORT7/D39	入出力*	I/O ポート / GPIO 割り込み
ポート 6 端子	PORT6/D38	入出力*	I/O ポート / GPIO 割り込み
ポート 5 端子	PORT5/D37	入出力*	I/O ポート / GPIO 割り込み
ポート 4 端子	PORT4/D36	入出力*	I/O ポート / GPIO 割り込み
ポート 3 端子	PORT3/D35	入出力*	I/O ポート / GPIO 割り込み
ポート 2 端子	PORT2/D34	入出力*	I/O ポート / GPIO 割り込み
ポート 1 端子	PORT1/D33	入出力*	I/O ポート / GPIO 割り込み
ポート 0 端子	PORT0/D32	入出力*	I/O ポート / GPIO 割り込み

【注】 * ポート端子を GPIO 割り込みとして使用する場合は、入力にしてください。入力設定は、PCTRA レジスタによって行うことができます。

SCI I/O ポートの端子構成を表 18.2 に示します。

表 18.2 SCI I/O ポート端子構成

名称	略称	入出力	機能
シリアルクロック端子	MD0/SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	MD7/TxD	出力	送信データ出力

【注】 パワーオンリセット時には、モード入力端子 MD0、MD7 として機能します。

SCI の動作設定を SCSCR1 の TE、RE、CKE1、CKE0 ビット、および SCSMR1 の C/A ビットで行うことにより、シリアル端子として機能します。ブ레이크状態の送付、検出は、SCI の SCSPT1R1 によって行うことができます。

SCIF I/O ポートの端子構成を表 18.3 に示します。

表 18.3 SCIF I/O ポート端子構成

名称	略称	入出力	機能
シリアルクロック端子	MRESET/SCK2	入力	クロック入力
レシーブデータ端子	MD2/RxD2	入力	受信データ入力
トランスミットデータ端子	MD1/TxD2	出力	送信データ出力
モデムコントロール端子	CTS2	入出力	送信可
モデムコントロール端子	MD8/RTS2	入出力	送信要求

【注】 マニュアルリセット時には、マニュアルリセット端子 MRESET として機能します。また、パワーオンリセット時には、モード入力端子 MD1、MD2、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送付、検出は、SCIF の SCSPTR2 によって行うことができます。

18.1.4 レジスタ構成

20 ビット汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートには 7 本のレジスタがあります。レジスタ構成を表 18.4 に示します。

表 18.4 レジスタ構成

名称	略称	R/W	初期値*	P4 アドレス	エリア 7 アドレス	アクセスサイズ
ポートコントロール レジスタ A	PCTRA	R/W	H'00000000	H'FF80002C	H'1F80002C	32
ポートデータレジスタ A	PDTRA	R/W	不定	H'FF800030	H'1F800030	16
ポートコントロール レジスタ B	PCTRB	R/W	H'00000000	H'FF800040	H'1F800040	32
ポートデータレジスタ B	PDTRB	R/W	不定	H'FF800044	H'1F800044	16
GPIO 割り込みコントロール レジスタ	GPIOIC	R/W	H'00000000	H'FF800048	H'1F800048	16
シリアルポートレジスタ	SCSPTR1	R/W	不定	H'FFE0001C	H'1FE0001C	8
シリアルポートレジスタ	SCSPTR2	R/W	不定	H'FF800020	H'1FE80020	16

【注】 * パワーオンリセットで初期化されます。

18.2 レジスタの説明

18.2.1 ポートコントロールレジスタ A (PCTRA)

ポートコントロールレジスタ A (PCTRA) は、16 ビットポート (ポート 15 端子~ポート 0 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ A (PDTRA) の初期値は、不定なので、PDTRA レジスタに値を書き込んでから、PCTRA で 16 ビットポートの各ビットを出力に設定してください。

PCTRA レジスタは、読み出し/書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

PB15 PUP	PB15 IO	PB14 PUP	PB14 IO	PB13 PUP	PB13 IO	PB12 PUP	PB12 IO	PB11 PUP	PB11 IO	PB10 PUP	PB10 IO	PB9 PUP	PB9 IO	PB8 PUP	PB8 IO
-------------	------------	-------------	------------	-------------	------------	-------------	------------	-------------	------------	-------------	------------	------------	-----------	------------	-----------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB7 PUP	PB7 IO	PB6 PUP	PB6 IO	PB5 PUP	PB5 IO	PB4 PUP	PB4 IO	PB3 PUP	PB3 IO	PB2 PUP	PB2 IO	PB1 PUP	PB1 IO	PB0 PUP	PB0 IO
------------	-----------	------------	-----------	------------	-----------	------------	-----------	------------	-----------	------------	-----------	------------	-----------	------------	-----------

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット $2n+1$ ($n=0\sim 15$) : ポートプルアップコントロール (PBnPUP)

16 ビットポートの各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

ビット $2n+1$	機能
PBnPUP	
0	16 ビットポートのポート m ($m=0\sim 15$) をプルアップする (初期値)
1	16 ビットポートのポート m ($m=0\sim 15$) をプルアップしない

ビット $2n$ ($n=0\sim 15$) : ポート入出力コントロール (PBnIO)

16 ビットポートの各ビットを、入力とするか出力とするかを制御します。

ビット $2n$	機能
PBnIO	
0	16 ビットポートのポート m ($m=0\sim 15$) を入力とする (初期値)
1	16 ビットポートのポート m ($m=0\sim 15$) を出力とする

18.2.2 ポートデータレジスタ A (PDTRA)

ポートデータレジスタ A (PDTRA) は、16 ビットポートの各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRA レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRA レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRA レジスタに書き込まれていた値が読み出されます。

PDTRA レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 DT	PB14 DT	PB13 DT	PB12 DT	PB11 DT	PB10 DT	PB9 DT	PB8 DT	PB7 DT	PB6 DT	PB5 DT	PB4 DT	PB3 DT	PB2 DT	PB1 DT	PB0 DT
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

18.2.3 ポートコントロールレジスタ B (PCTRB)

ポートコントロールレジスタ B (PCTRB) は、4 ビットポート (ポート 19 端子 ~ ポート 16 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ B (PDTRB) の初期値は、不定なので、PDTRB レジスタに値を書き込んでから、PCTRB で 4 ビットポートの各ビットを出力に設定してください。

PCTRB レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PB19 PUP	PB19 IO	PB18 PUP	PB18 IO	PB17 PUP	PB17 IO	PB16 PUP	PB16 IO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット $2n+1$ ($n=0\sim3$) : ポートプルアップコントロール (PBnPUP)

4 ビットポートの各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

ビット $2n+1$	
PBnPUP	機 能
0	4 ビットポートのポート m ($m=16\sim19$) をプルアップする (初期値)
1	4 ビットポートのポート m ($m=16\sim19$) をプルアップしない

ビット $2n$ ($n=0\sim3$) : ポート入出力コントロール (PBnIO)

4 ビットポートの各ビットを、入力とするか出力とするかを制御します。

ビット $2n$	
PBnIO	機 能
0	4 ビットポートのポート m ($m=16\sim19$) を入力とする (初期値)
1	4 ビットポートのポート m ($m=16\sim19$) を出力とする

18.2.4 ポートデータレジスタ B (PDTRB)

ポートデータレジスタ B (PDTRB) は、4 ビットポートの各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRB レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRB レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRB レジスタに書き込まれていた値が読み出されます。

PDTRB レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PB19 DT	PB18 DT	PB17 DT	PB16 DT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

18.2.5 GPIO 割り込みコントロールレジスタ (GPIOIC)

GPIO 割り込みコントロールレジスタ (GPIOIC) は、16 ビットの割り込み入力の制御を行います。GPIOIC レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は、H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

GPIO 割り込みは、ローアクティブなレベル割り込みです。また、1 ビットごとにマスク可能で、GPIO 割り込みに設定されたすべてのビットの OR で検出されます。どのビットに割り込みが入力されたかは、PDTRA レジスタをリードすることで識別することができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIR EN15	PTIR EN14	PTIR EN13	PTIR EN12	PTIR EN11	PTIR EN10	PTIR EN9	PTIR EN8	PTIR EN7	PTIR EN6	PTIR EN5	PTIR EN4	PTIR EN3	PTIR EN2	PTIR EN1	PTIR EN0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット n (n=0~15) : ポート割り込みイネーブル (PTIRENn)

各ビットの割り込み入力を行うかどうかを制御します。

ビット n	PTIRENn	説明
0		16 ビットポートのポート m (m=0~15) を通常の入出力ポートとして使用 (初期値)
1		16 ビットポートのポート m (m=0~15) を GPIO 割り込みとして使用*

【注】 * 割り込みを使用する場合は、PCTRA レジスタで該当するポートを入力に設定した後、PTIRENn の設定を行ってください。

18.2.6 シリアルポートレジスタ (SCSPTR1)

ビット:	7	6	5	4	3	2	1	0
	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値:	0	0	0	0	0		0	
R/W:	R/W				R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

ビット 7: エラー割り込みオンリー (EIO)

「15.2.8 シリアルポートレジスタ (SCSPTR1)」を参照してください。

ビット 6~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説明	
SPB1IO		
0	SCK 端子に SPB1DT ビットの値を出力しないことを示します	(初期値)
1	SCK 端子に SPB1DT ビットの値を出力することを示します	

ビット 2: シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力が出力かは SPB1IO ビットで指定します (詳細はビット 3: SPB1IO の説明参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説明	
SPB1DT		
0	入出力データがローレベルであることを示します	
1	入出力データがハイレベルであることを示します	

ビット 1：シリアルポートブレイク入出力（SPB0IO）

シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB0IO	
0	TxD 端子に SPB0DT ビットの値を出力しないことを示します (初期値)
1	TxD 端子に SPB0DT ビットの値を出力することを示します

ビット 0：シリアルポートブレイクデータ（SPB0DT）

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します（詳細はビット 1：SPB0IO の説明参照）。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB0DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

18.2.7 シリアルポートレジスタ (SCSPTR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	RTSIO	RTSDT	CTSIO	CTSDT			SPB2IO	SPB2DT
初期値:	0		0		0	0	0	
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

シリアルポートレジスタ (SCSPTR2) は、シリアルコミュニケーションインタフェース (SCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD2 端子から入力データを読み出し、TxD2 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。また、ビット 5 およびビット 4 で、 $\overline{\text{CTS2}}$ 端子に対してデータの読み込み、および出力データを書き込むことができます。また、ビット 7 およびビット 6 で、 $\overline{\text{RTS2}}$ 端子に対してデータの読み込み、および出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : シリアルポート RTS ポート入出力 (RTSIO)

シリアルポートの $\overline{\text{RTS2}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS2}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 7	
RTSIO	説 明
0	$\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力しないことを示します (初期値)
1	$\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力することを示します

ビット 6 : シリアルポート RTS ポートデータ (RTSDT)

シリアルポートの $\overline{\text{RTS2}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します (詳細はビット 7 : RTSIO の説明参照)。出力の場合、RTSDT ビットの値が $\overline{\text{RTS2}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS2}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 6	
RTSDT	説 明
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

ビット 5 : シリアルポート CTS ポート入出力 (CTSIO)

シリアルポートの $\overline{\text{CTS2}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS2}}$ 端子をポート出力端子として CTS $\overline{\text{SDT}}$ ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 5	説 明	
CTSIO		
0	CTS2 端子に CTS $\overline{\text{SDT}}$ ビットの値を出力しないことを示します	(初期値)
1	CTS2 端子に CTS $\overline{\text{SDT}}$ ビットの値を出力することを示します	

ビット 4 : シリアルポート CTS ポートデータ (CTS $\overline{\text{SDT}}$)

シリアルポートの $\overline{\text{CTS2}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します (詳細はビット 5 : CTSIO の説明参照)。出力の場合、CTS $\overline{\text{SDT}}$ ビットの値が $\overline{\text{CTS2}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTS $\overline{\text{SDT}}$ ビットからは $\overline{\text{CTS2}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 4	説 明	
CTS $\overline{\text{SDT}}$		
0	入出力データがローレベルであることを示します	
1	入出力データがハイレベルであることを示します	

ビット 3、2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : シリアルポートブ레이크入出力 (SPB2IO)

シリアルポートの Tx $\overline{\text{D2}}$ 端子の出力条件を指定します。実際に Tx $\overline{\text{D2}}$ 端子をポート出力端子として SPB2 $\overline{\text{DT}}$ ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

ビット 1	説 明	
SPB2IO		
0	TxD2 端子に SPB2 $\overline{\text{DT}}$ ビットの値を出力しないことを示します	(初期値)
1	TxD2 端子に SPB2 $\overline{\text{DT}}$ ビットの値を出力することを示します	

ビット 0 : シリアルポートブ레이크データ (SPB2DT)

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します(詳細はビット 1:SPB2IO の説明参照)。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB2DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

19. 割り込みコントローラ (INTC)

19.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

19.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を15レベル設定可能

3本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- SR.BLビットが1にセットされたときのNMI要求のマスク

SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

19.1.2 ブロック図

INTC のブロック図を図 19.1 に示します。

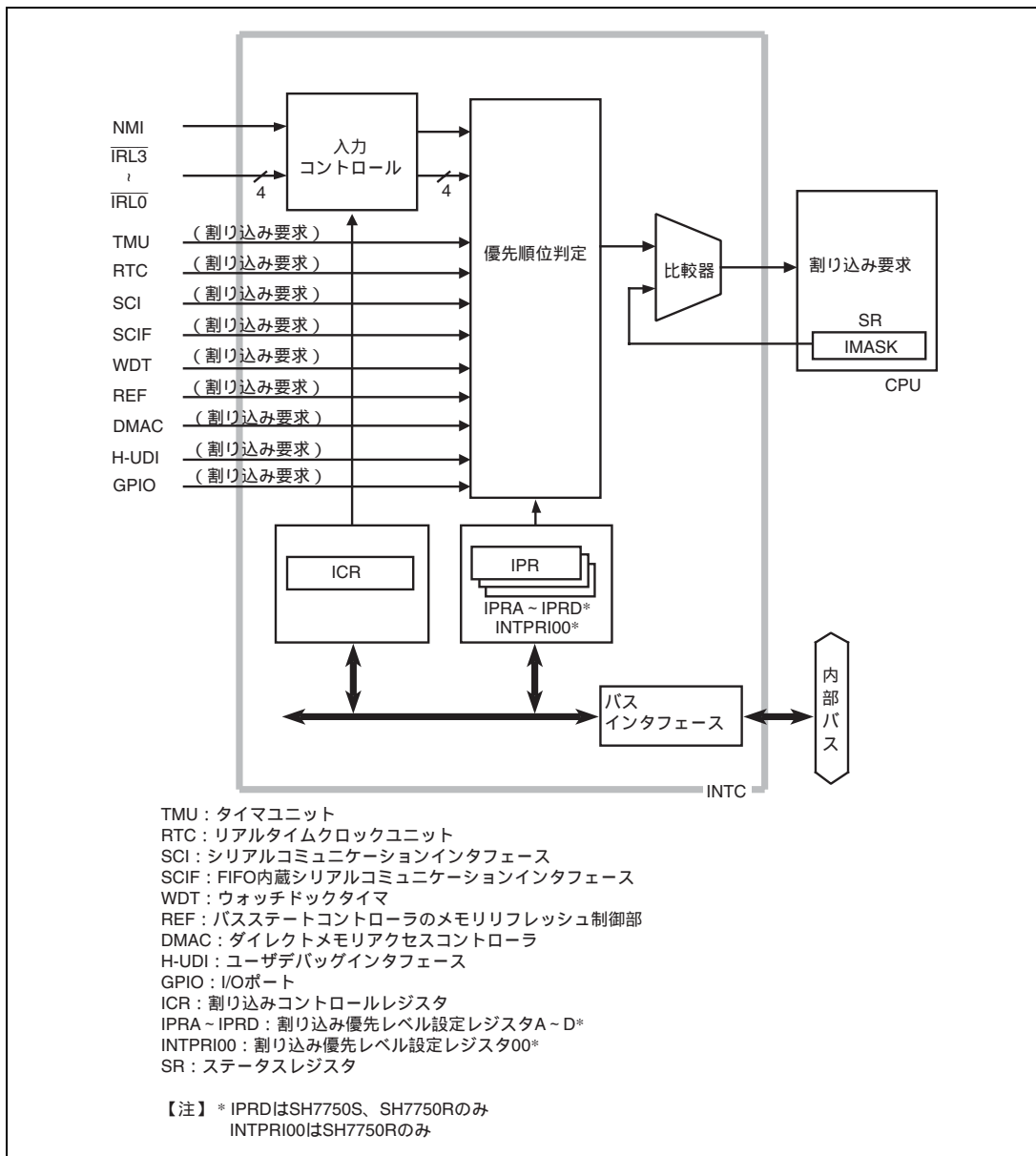


図 19.1 INTC のブロック図

19.1.3 端子構成

INTC の端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み入力端子	$\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$	入力	割り込み要求信号を入力 (SR の IMASK でマスク可能)

19.1.4 レジスタ構成

INTC のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名称	略称	R/W	初期値 ^{*1}	P4 アドレス	エリア7 アドレス	アクセス サイズ
割り込みコントロールレジスタ	ICR	R/W	*2	H'FFD00000	H'1FD00000	16
割り込み優先レベル設定 レジスタ A	IPRA	R/W	H'0000	H'FFD00004	H'1FD00004	16
割り込み優先レベル設定 レジスタ B	IPRB	R/W	H'0000	H'FFD00008	H'1FD00008	16
割り込み優先レベル設定 レジスタ C	IPRC	R/W	H'0000	H'FFD0000C	H'1FD0000C	16
割り込み優先レベル設定 レジスタ D ^{*3}	IPRD	R/W	H'DA74	H'FFD00010	H'1FD00010	16
割り込み優先レベル設定 レジスタ 00 ^{*4}	INTPRI00	R/W	H'00000000	H'FE080000	H'1E080000	32
割り込み要因レジスタ 00 ^{*4}	INTREQ00	R	H'00000000	H'FE080020	H'1E080020	32
割り込みマスクレジスタ 00 ^{*4}	INTMSK00	R/W	H'00000300	H'FE080040	H'1E080040	32
割り込みマスククリアレジスタ 00 ^{*4}	INTMSKCLR00	R	-	H'FE080060	H'1E080060	32

【注】 *1 パワーオンリセット、マニュアルリセットで初期化されます。

*2 NMI 端子がハイレベル : H'8000

NMI 端子がローレベル : H'0000

*3 SH7750S、SH7750R のみ

*4 SH7750R のみ

19.2 割り込み要因

割り込み要因は、NMI、IRL、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

19.2.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のステータスレジスタのBLビットが1にセットされていない限りいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICRレジスタのNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

NMI割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(IMASK)が影響されることはありません。

19.2.2 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子でレベルとして入力される割り込みです。

優先レベルは $\overline{IRL3} \sim \overline{IRL0}$ 端子で示されるレベルです。 $\overline{IRL3} \sim \overline{IRL0}$ が0(0000)のとき、最も高い割り込み要求(割り込み優先レベル15)を示します。15(1111)のとき、割り込み要求なし(割り込み優先レベル0)を示します。

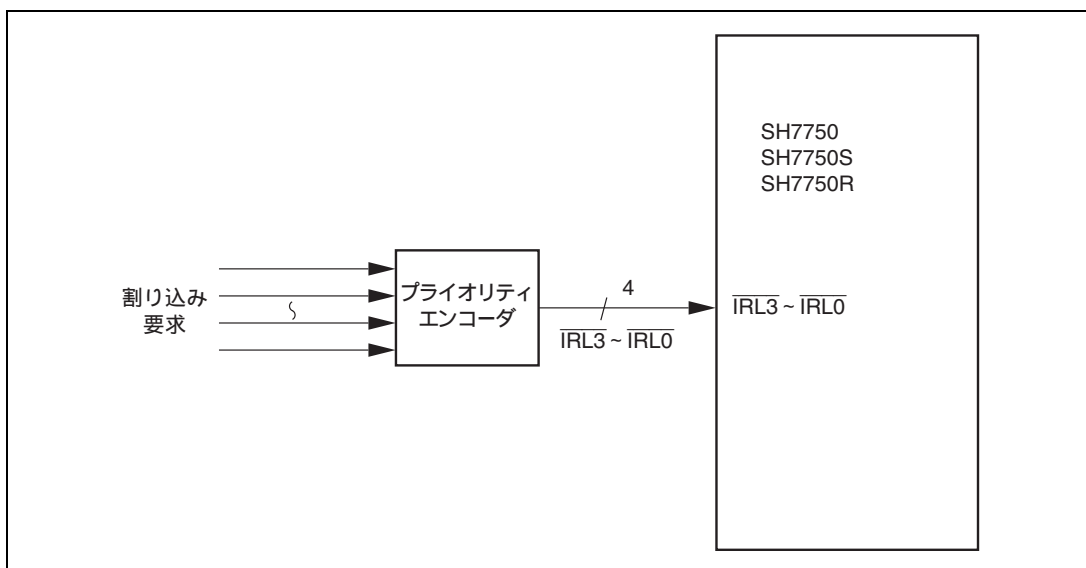


図 19.2 IRL 割り込みの接続例

表 19.3 $\overline{IRL3}$ ~ $\overline{IRL0}$ 端子と割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み優先レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、 \overline{IRL} 端子の変化時の誤ったレベルを取り込むことを防止できます。また、スタンバイモード時はバスクロックが停止しているため、代わりに RTC 用の 32.768KHz のクロックを使用して、ノイズキャンセルの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによる割り込みは行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることは構いません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (IMASK) が影響されることはありません。

ICR レジスタの IRLM ビットを 1 にすることにより、 $\overline{IRL0}$ ~ $\overline{IRL3}$ 端子を 4 つの独立した割り込み要求のために使うことができます。

SH7750 では独立割り込み要求の際の割り込み優先レベルは固定となっています (表 19.4)。

SH7750S、SH7750R では独立割り込み要求の際の割り込み優先レベルは、割り込み優先レベル設定レジスタ (IPRD) により設定できます。

表 19.4 SH7750 の IRL3 ~ IRL0 端子と割り込みレベル (IRLM=1 のとき)

IRL3	IRL2	IRL1	IRL0	割り込み優先レベル	割り込み要求
1/0	1/0	1/0	0	13	IRL0
1/0	1/0	0	1	10	IRL1
1/0	0	1	1	7	IRL2
0	1	1	1	4	IRL3

19.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す 9 つの内蔵周辺モジュールで発生する割り込みです。

- ユーザデバッグインタフェース (H-UDI)
- ダイレクトメモリアクセスコントローラ (DMAC)
- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- I/Oポート (GPIO)

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT レジスタの値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、割り込み優先レベル設定レジスタ A ~ D (IPRA ~ IPRD)、00 (INTPRI00) によって、モジュールごとに優先レベル 15 ~ 0 の範囲で設定できます。

内蔵周辺モジュール割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (IMASK) が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出してから BL ビットを 0 にしてください。さらに TMU のチャンネル 3、4 の割り込みの場合は、割り込み要因レジスタ 00 (INTREQ00) を読み出してください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT レジスタの値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

19.2.4 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 19.5 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT) のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT レジスタの値を使って分岐させます。たとえば INTEVT レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュールの優先順位は、割り込み優先レベル設定レジスタ A~D (IPRA~IPRD) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 19.5 に示す「デフォルト優先順位」に従って処理されます。

割り込み優先レベル設定レジスタ A~D、00 の更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	IPR 設定単位内の 優先順位	デフォルト 優先順位
TMU1	TUNI1	H'420	15~0 (0)	IPRA (11~8)		高 ↑ ↓ 低
TMU2	TUNI2	H'440	15~0 (0)	IPRA (7~4)	高	
	TICPI2	H'460			低	
RTC	ATI	H'480	15~0 (0)	IPRA (3~0)	高	
	PRI	H'4A0			↕	
	CUI	H'4C0			低	
SCI	ERI	H'4E0	15~0 (0)	IPRB (7~4)	高	
	RXI	H'500			↕	
	TXI	H'520			↕	
	TEI	H'540			低	
SCIF	ERI	H'700	15~0 (0)	IPRC (7~4)	高	
	RXI	H'720			↕	
	BRI	H'740			↕	
	TXI	H'760			低	
WDT	ITI	H'560	15~0 (0)	IPRB (15~12)		
REF	RCMI	H'580	15~0 (0)	IPRB (11~8)	高	
	ROVI	H'5A0			低	

【注】 *1 SH7750S、SH7750R のみ割り込み優先順位変更可能。SH7750 では初期値のみ

*2 SH7750R のみ

TUNI0 ~ TUNI4 : アンダフロー割り込み

TICPI2 : インプットキャプチャ割り込み

ATI : アラーム割り込み

PRI : 周期割り込み

CUI : 桁上げ割り込み

ERI : 受信エラー割り込み

RXI : 受信データフル割り込み

TXI : 送信データエンプティ割り込み

TEI : 送信終了割り込み

BRI : ブレーク割り込み要求

ITI : インターバルタイマ割り込み

RCMI : コンペアマッチ割り込み

ROVI : リフレッシュカウンタオーバーフロー割り込み

H-UDI : H-UDI 割り込み

GPIOI : I/O ポート割り込み

DMTE0 ~ DMTE7 : DMAC 転送終了割り込み

DMAE : DMAC アドレスエラー割り込み

19.3 レジスタの説明

19.3.1 割り込み優先レベル設定レジスタ A～D (IPRA～IPRD)

割り込み優先レベル設定レジスタ A～D (IPRA～IPRD) は、内蔵周辺モジュール割り込みの優先順位 (レベル 15～0) を設定します。IPRA～IPRD レジスタは、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。リセット時は IPRA～IPRC は H'0000 に初期化されます。IPRD は H'DA74 に初期化されます。スタンバイモード時は初期化されません。

IPRA～IPRC

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IPRD (SH7750S、SH7750R のみ)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	0	1	1	0	1	0	0	1	1	1	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み要求元と IPRA～IPRD レジスタの各ビットの対応を表 19.6 に示します。

表 19.6 割り込み要求元と IPRA～IPRD レジスタ

レジスタ	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ A	TMU0	TMU1	TMU2	RTC
割り込み優先レベル設定レジスタ B	WDT	REF* ¹	SCI	予約* ²
割り込み優先レベル設定レジスタ C	GPIO	DMAC	SCIF	H-JDI
割り込み優先レベル設定レジスタ D* ³	IRL0	IRL1	IRL2	IRL3

【注】 *1 REF: バスステートコントローラ内のメモリリフレッシュ制御部。

詳細は「第 13 章 バスステートコントローラ (BSC)」を参照。

*2 予約ビット: 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

*3 SH7750S、SH7750R のみ

表 19.6 に示すように、1 本のレジスタに 4 組の内蔵周辺モジュールが割り当てられています。ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

19.3.2 割り込みコントロールレジスタ (ICR)

割り込みコントロールレジスタ (ICR) は、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力信号レベルを示します。ICR レジスタは 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット時は初期化されます。スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI					NMIB	NMIE	IRLM							
初期値:	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W					R/W	R/W	R/W							

【注】 * NMI 端子入力がハイレベルのとき 1、ローレベルのとき 0

ビット 15: NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	機能
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14: NMI 割り込みマスク (MAI)

CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルが Low の期間、すべての割り込みをマスクするかどうかを指定します。

ビット 14	機能
MAI	
0	NMI 端子がローレベルでも、割り込み許可 (初期値)
1	NMI 端子がローレベルの間、割り込み禁止*

【注】 * 通常動作時、および、スリープ時は NMI 割り込みは受け付けられません。
スタンバイ時は NMI 端子が Low の間、すべての割り込みはマスクされ、スタンバイを解除しません。

ビット 9: NMI ブロックモード (NMIB)

SR.BL ビットが 1 の間、NMI 要求を保留するか即時検出するかを選択します。

ビット 9	機能
NMIB	
0	SR.BL ビットが 1 の間、NMI 割り込み要求を保留する (初期値)
1	SR.BL ビットが 1 のとき、NMI 割り込み要求を検出する

【注】 1. SR.BL = 1 の間に割り込み要求が許可されていると、以前の例外情報は失われますので、前もって保存しておく必要があります。
2. 本ビットは NMI の受け付けで自動的にクリアされます。

ビット 8 : NMI エッジセレクト (NMIE)

NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。

ビット 8	機 能
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット 7 : IRL ピンモード (IRLM)

$\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子がレベルエンコード割り込み要求として使われるか、4 つの独立した割り込み要求として使われるかを選択します。

ビット 7	機 能
IRLM	
0	$\overline{\text{IRL}}$ 端子はレベルエンコード割り込み要求として使われる (初期値)
1	$\overline{\text{IRL}}$ 端子は 4 つの独立した割り込み要求 (レベルセンスの IRQ モード) として使われる

ビット 13~10、6~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19.3.3 割り込み優先レベル設定レジスタ 00 (INTPRI00) : SH7750R のみ

割り込み優先レベル設定レジスタ 00 (INTPRI00) は、内蔵周辺モジュール割り込みの優先順位 (レベル 15~0) を設定します。INTPRI00 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。リセットは H'00000000 に初期化されます。スタンバイモード時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

割り込み要求元と INTPRI00 レジスタの各ビットの対応を表 19.7 に示します。

表 19.7 割り込み要求元と INTPRI00 レジスタ

レジスタ	ビット							
	31~28	27~24	23~20	19~16	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ 00	予約	予約	予約	予約	TMU ch4	TMU ch3	予約	予約

【注】 表 19.7 に示すように、1 本のレジスタに 8 組の内蔵周辺モジュールが割り当てられています。各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

予約ビット: 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19.3.4 割り込み要因レジスタ 00 (INTREQ00) : SH7750R のみ

割り込み要因レジスタ 00 (INTREQ00) は、INTC にどの割り込みが要求されているかを示すレジスタです。INTPRI00、INTMSK00 によって割り込みがマスクされても本レジスタのビットは影響を受けません。INTREQ00 レジスタは、32 ビットの読み出し専用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 31~0 : 割り込みリクエスト

各ビットに対応する割り込み要求が存在することを示します。各ビットと割り込み要因の対応は 19.3.7 を参照してください。

ビット 31~0	機 能
0	対応する割り込み要求がないことを示します
1	対応する割り込み要求があることを示します

19.3.5 割り込みマスクレジスタ 00 (INTMSK00) : SH7750R のみ

割り込みマスクレジスタ 00 (INTMSK 00) は、各割り込みが要求毎にマスクするかどうかを設定するレジスタです。INTMSK 00 レジスタは 32 ビットのレジスタです。リセット時に H'000003FF に初期化されます。スタンバイ時には保持されます。

各割り込みマスクを解除するには INTMSKCLR00 レジスタの対応するビットに 1 を書き込みます。INTMSK00 に 0 を書き込んでも値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31~0: 割り込みマスク

各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は 19.3.7 を参照してください。

ビット 31~0	機 能
0	対応する割り込み要求を受け付けます
1	対応する割り込み要求をマスクします (初期値)

19.3.6 割り込みマスククリアレジスタ 00 (INTMSKCLR00) : SH7750R のみ

割り込みマスククリアレジスタ 00 (INTMSKCLR 00) は、各割り込みが要求ごとのマスクをクリアするレジスタです。INTMSKCLR 00 レジスタは 32 ビットの書き込み専用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:																
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:																
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット 31~0 : 割り込みマスククリア

各ビットに対応する割り込み要求マスクをクリアするかどうかを設定します。各ビットと割り込み要因の対応は 19.3.7 を参照してください。

ビット 31~0	機 能
0	対応する割り込みマスクを変更しません
1	対応する割り込みマスクをクリアします

19.3.7 INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け : SH7750R のみ

各レジスタビットと割り込み要因との関係は以下のとおりです。

表 19.8 ビット割り付け

ビット番号	モジュール	割り込み
31~10、7~0	予約	予約
9	TMU	TUNI4
8	TMU	TUNI3

19.4 動作説明

19.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 19.3 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタA～C (IPRA～IPRC) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表19.5に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (IMASK) とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'00000600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、例えば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (IMASK) は変化しません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグをリードし、その後、表 19.9 の優先順位判定および SR のマスクビットとの比較時間で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。
 3. 割り込み要因によっては、INTMSKCLR00 レジスタを使用して、要因ごとの割り込みマスク (INTMSK00) をクリアする必要があります。

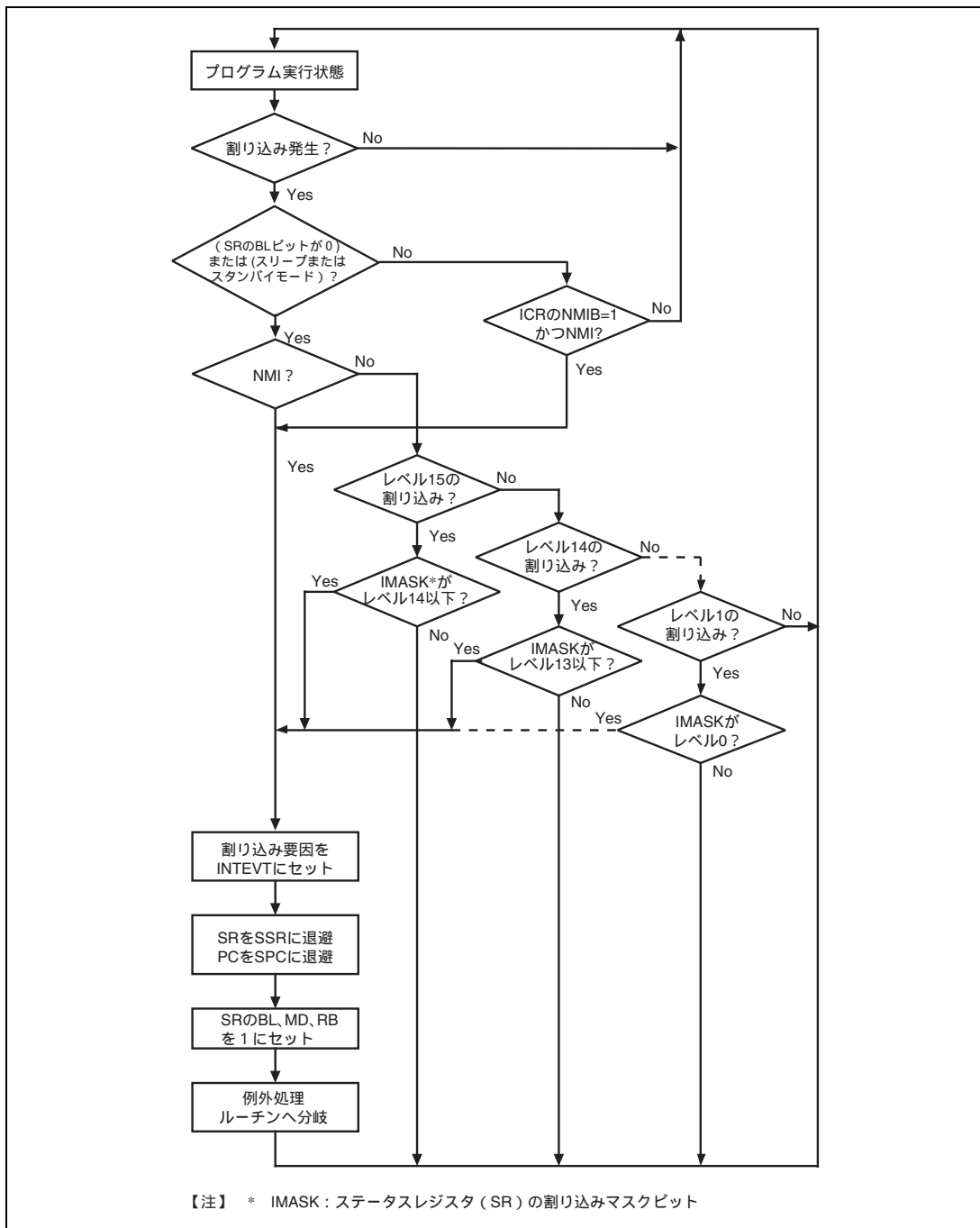


図 19.3 割り込み動作フロー

19.4.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTレジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

19.4.3 MAI ビットによる割り込みマスク

ICR レジスタの MAI ビットを 1 に設定することにより、NMI 端子がローレベルの間、SR レジスタの BL、IMASK ビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みによるスタンバイの解除は行えません。

19.5 割り込み応答時間

割り込み要求が発生してから*、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 19.9 に示します。

【注】 * SH7750、SH7750S では、SR のマスクビット (IMASK) が変化し、新たな割り込みが発生する場合があります。

表 19.9 割り込み応答時間

項目	ステート数			備考	
	NMI	IRL	周辺モジュール		
優先順位判定および SR のマスクビットとの比較時間	1 lcy + 4 Bcyc	1 lcy + 7 Bcyc	1 lcy + 2 Bcyc		
CPU が実行中のシーケンス終了までの待ち時間	S - 1 (0) × lcy				
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチを開始するまでの時間	4 × lcy				
応答時間	合計	5 lcy + 4 Bcyc + (S - 1) lcy	5 lcy + 7 Bcyc + (S - 1) lcy	5 lcy + 2 Bcyc + (S - 1) lcy	
	最小時	13 lcy	19 lcy	9 lcy	lcy : Bcyc = 2 : 1 のとき
	最大時	36 + S lcy	60 + S lcy	20 + S lcy	lcy : Bcyc = 8 : 1 のとき

lcy : CPU 等に供給される内部クロックの 1 サイクル時間

Bcyc : CKIO の 1 サイクル時間

S : 命令実行ステート数

19.6 使用上の注意

19.6.1 NMI 割り込み [SH7750、SH7750S のみ]

NMI 端子から (CPU 内部、および外部バスの状態に依存する) 一定の期間に複数の NMI 割り込みが入った場合、それ以降の割り込みが受け付けられなくなる場合があります。

なお、NMI 割り込み入力の間隔が十分長い*1 場合、および IRL などの NMI 以外の割り込みでは、本現象は発生しません。

【注】 *1 2 つの NMI 割り込み処理間に SR.BL=0 にて 1 命令以上実行可能である場合。

[回避方法]

下記 1、2、または 3.の方法で本現象を回避することができます。

1. NMI割り込みを入力する場合には、上記【注】*1の間隔をあけて入力してください。

また、NMIにハザードがのった場合には上記のNMIの入力間隔が確保されずに、誤動作する場合がありますので、NMIにはハザードが入らないように外部回路での対策をお願いします。*2

【注】 *2 NMI の High/Low のそれぞれの幅が 5CKIO 以上になるようにレベルを変化させ、レベル変化の前後にノイズパルスが入らないようにしてください。

2. NMI割り込みを使用せずに、IRL割り込みを用いる。

3. ソフトウェアによる回避方法

以下の命令列*3*4をNMI例外処理ルーチン内に挿入することで本現象は回避することができます。

【注】 *3 NMI 例外処理ルーチン内で SR.BL ビットを変更するプログラムにおいては、SR.BL ビットを変更する前に下記命令列を実行してください。

*4 下記命令列中で用いているレジスタ R0-R3 は任意の汎用レジスタに変更可能です。また、該当レジスタの退避回復処理が必要な場合、下記命令列の前後にその処理を適宜加えてください。

```

////////////////////////////////////
;; R0 : tmp
;; R1 : Original SR
;; R2 : Original ICR
;; R3 : ICR Address
////////////////////////////////////
NMIH:
; (1) Set SR.IMASK = H'F
        stc      SR, R1          ;          SR 退避
        mov      R1, R0
        or       #H'F0, R0

```

20. ユーザブレイクコントローラ

20.1 概要

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU が発生するバスサイクルの内容に応じてユーザブレイク割り込みを発生します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

20.1.1 特長

ブレイクコントローラは、以下の特長があります。

- ブレイクコンペア条件として以下を設定可能

ブレイクチャンネル数：2チャンネル (チャンネルA、B)

チャンネルAおよびBについて単独条件、またはシーケンシャル条件でユーザブレイク割り込みを要求 (シーケンシャルブレイク設定：チャンネルA チャンネルB)

- (1) アドレス (32ビット仮想アドレスとASIDを比較対象として選択)

アドレス：全ビット比較 / 下位10ビットマスク / 下位12ビットマスク / 下位16ビットマスク / 下位20ビットマスク / 全ビットマスク

ASID：全ビット比較 / 全ビットマスク)

- (2) データ (チャンネルBのみ、32ビットマスク可能)
- (3) バスサイクル：命令アクセス / オペランドアクセス
- (4) リード / ライト
- (5) オペランドサイズ：バイト / ワード / ロングワード / クワッドワード

- 命令アクセスサイクルでのブレイクでは、命令の実行前に停止するか、実行後に停止するか選択できます。

20.1.2 ブロック図

ユーザブレイクコントローラのブロック図を図 20.1 に示します。

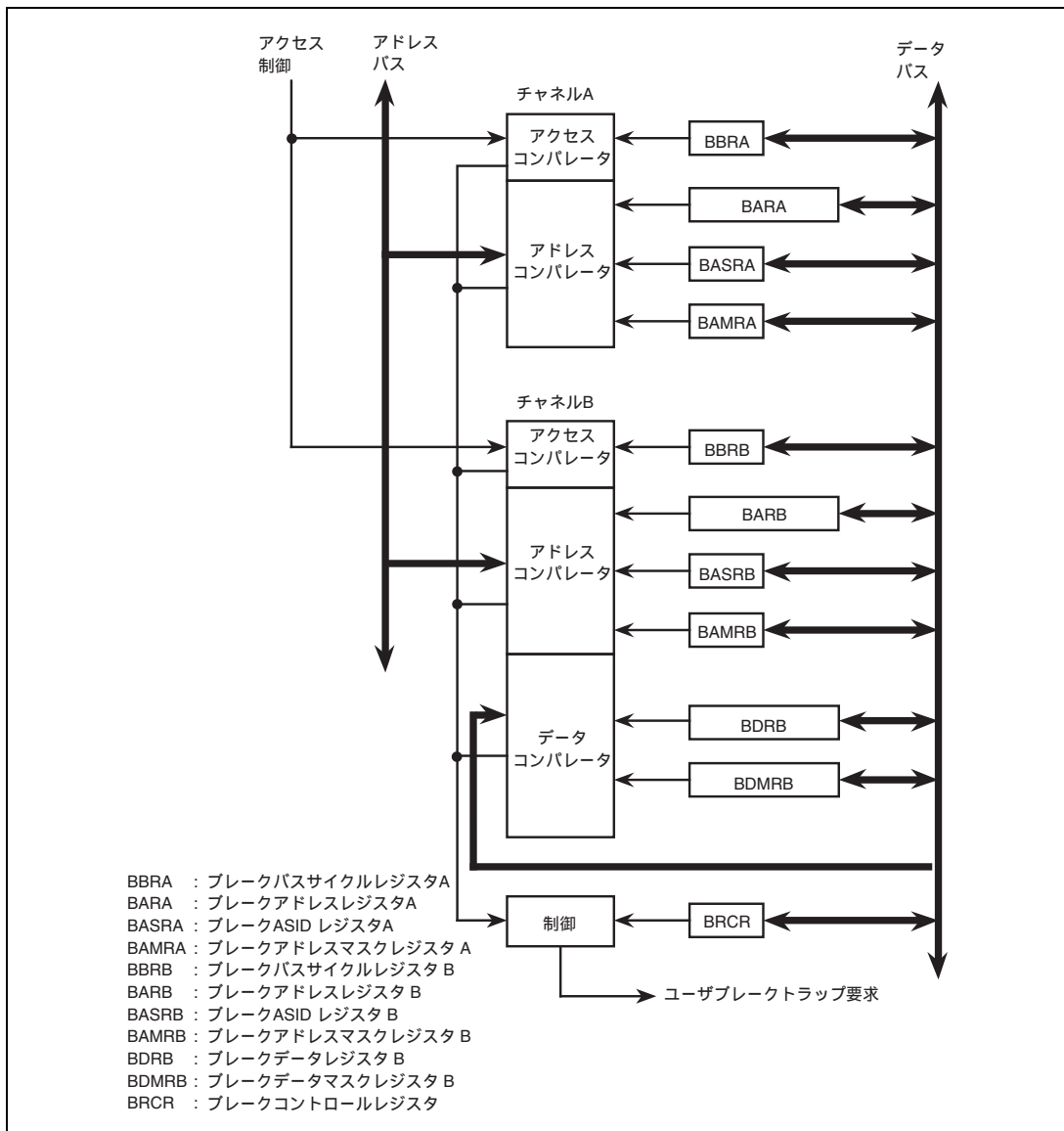


図 20.1 ユーザブレイクコントローラブロック図

表 20.1 にユーザブレイクコントローラのレジスタ構成を示します。

表 20.1 ユーザブレイクコントローラレジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
ブレイクアドレスレジスタ A	BARA	R/W	不定	H'FF200000	H'1F200000	32
ブレイクアドレスマスクレジスタ A	BAMRA	R/W	不定	H'FF200004	H'1F200004	8
ブレイクバスサイクルレジスタ A	BBRA	R/W	H'0000	H'FF200008	H'1F200008	16
ブレイク ASID レジスタ A	BASRA	R/W	不定	H'FF000014	H'1F000014	8
ブレイクアドレスレジスタ B	BARB	R/W	不定	H'FF20000C	H'1F20000C	32
ブレイクアドレスマスクレジスタ B	BAMRB	R/W	不定	H'FF200010	H'1F200010	8
ブレイクバスサイクルレジスタ B	BBRB	R/W	H'0000	H'FF200014	H'1F200014	16
ブレイク ASID レジスタ B	BASRB	R/W	不定	H'FF000018	H'1F000018	8
ブレイクデータレジスタ B	BDRB	R/W	不定	H'FF200018	H'1F200018	32
ブレイクデータマスクレジスタ B	BDMRB	R/W	不定	H'FF20001C	H'1F20001C	32
ブレイクコントロールレジスタ	BRCR	R/W	H'0000*	H'FF200020	H'1F200020	16

【注】 * 一部のビットは初期化されません。詳細は「20.2.12 ブレイクコントロールレジスタ (BRCR)」を参照してください。

20.2 各レジスタの説明

20.2.1 UBC レジスタへのアクセス

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、UBC レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。UBC レジスタの内容は、浮動小数点メモリロード命令で浮動小数点レジスタにアクセスすることはできません。

UBC レジスタを更新する場合、更新データを有効にするために次のいずれかの方法を用いてください。

1. レジスタを更新したメモリストア命令の後でRTE命令を実行します。更新データはRTE命令のジャンプ先以降有効になります。
2. レジスタを更新したメモリストア命令の後、実行に5ステートかかる命令を実行します。CPUは並行して2つの命令を実行し、1つの命令を実行するのに最低0.5ステートかかるので、11命令を挿入しなければなりません。更新データは第6ステート以降有効になります。

20.2.2 ブレークアドレスレジスタ A (BARA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブレークアドレスレジスタ A (BARA) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル A のブレーク条件とする仮想アドレスを指定します。BARA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31~0 : ブレークアドレス A31~0 (BAA31~0)

チャンネル A のブレーク条件とする仮想アドレス (ビット 31~0) を格納します。

20.2.3 ブレーク ASID レジスタ A (BASRA)

ビット:	7	6	5	4	3	2	1	0
	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブレーク ASID レジスタ A (BASRA) は、読み出し / 書き込み可能な 8 ビットのレジスタで、チャンネル A のブレーク条件とする ASID を指定します。BASRA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 7~0 : ブレーク ASID A7~0 (BASA7~0)

チャンネル A のブレーク条件とする ASID (ビット 7~0) を格納します。

20.2.4 ブ레이크アドレスマスクレジスタ A (BAMRA)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	BAMA2	BASMA	BAMA1	BAMA0
初期値:	0	0	0	0	-	-	-	-
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크アドレスマスクレジスタ A (BAMRA) は、読み出し / 書き込み可能な 8 ビットのレジスタです。BAMRA は、BASRA に設定されているブ레이크 ASID と BARA に設定されているブ레이크アドレスのうち、どのビットをマスクするかを指定します。BAMRA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 7~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : ブ레이크 ASID マスク A (BASMA)

BASRA に設定されているチャンネル A のブ레이크 ASID7~0 (BASA7~BASA0) の各ビットをマスクするかどうかを指定します。

ビット 2	説明
BASMA	
0	BASRA の全ビットをブ레이크条件に含める
1	BASRA の全ビットをブ레이크条件に含めない

ビット 3、1、0 : ブ레이크アドレスマスク A2~0 (BAMA2~0)

BARA に設定されているチャンネル A のブ레이크アドレス 31~0 (BAA31~BAA0) の各ビットをマスクするかどうかを指定します。

ビット 3	ビット 1	ビット 0	説明
BAMA2	BAMA1	BAMA0	
0	0	0	BARA の全ビットをブ레이크条件に含める
0	0	1	BARA の下位 10 ビットをマスクし、条件に含めない
0	1	0	BARA の下位 12 ビットをマスクし、条件に含めない
0	1	1	BARA の全ビットをマスクし、条件に含めない
1	0	0	BARA の下位 16 ビットをマスクし、条件に含めない
1	0	1	BARA の下位 20 ビットをマスクし、条件に含めない
1	1	*	予約 (設定しないでください)

* : Don't care

20.2.5 ブレークパスサイクルレジスタ A (BBRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレークパスサイクルレジスタ A (BBRA) は、読み出し/書き込み可能な 16 ビットレジスタで、チャンネル A のブレーク条件のうち (1) 命令アクセス/オペランドアクセス (2) リード/ライト (3) オペランドサイズの 3 条件を設定するレジスタです。

BBRA は、パワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には値は保持されます。

ビット 15~7: リザーブビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5, 4: 命令アクセス/オペランドアクセスセレクト A (IDA1, IDA0)

チャンネル A のブレーク条件にするバスサイクルを命令アクセスサイクルにするかオペランドアクセスサイクルにするかを選択します。

ビット 5	ビット 4	説 明
IDA1	IDA0	
0	0	条件比較を行いません (初期値)
0	1	命令アクセスサイクルをブレーク条件とします
1	0	オペランドアクセスサイクルをブレーク条件とします
1	1	命令アクセスサイクルまたはオペランドアクセスサイクルをブレーク条件とします

ビット 3, 2: リード/ライトセレクト A (RWA1, RWA0)

チャンネル A のブレーク条件にするバスサイクルをリードサイクルにするかライトサイクルにするかを選択します。

ビット 3	ビット 2	説 明
RWA1	RWA0	
0	0	条件比較を行いません (初期値)
0	1	リードサイクルをブレーク条件とします
1	0	ライトサイクルをブレーク条件とします
1	1	リードサイクルまたはライトサイクルをブレーク条件とします

ビット 6、1、0：オペランドサイズセレクト A (SZA2、SZA1、SZA0)

チャンネル A のブレイク条件にするバスサイクルのオペランドサイズを選択します。

ビット 6	ビット 1	ビット 0	説 明
SZA2	SZA1	SZA0	
0	0	0	ブレイク条件にオペランドサイズを含みません (初期値)
0	0	1	バイトアクセスをブレイク条件とします
0	1	0	ワードアクセスをブレイク条件とします
0	1	1	ロングワードアクセスをブレイク条件とします
1	0	0	クワッドワードアクセスをブレイク条件とします
1	0	1	予約 (設定しないでください)
1	1	*	予約 (設定しないでください)

* : Don't care

20.2.6 ブレイクアドレスレジスタ B (BARB)

チャンネル B のブレイクアドレスレジスタです。ビット構成は BARA と同様です。

20.2.7 ブレイク ASID レジスタ B (BASRB)

チャンネル B のブレイク ASID レジスタです。ビット構成は BASRA と同様です。

20.2.8 ブレイクアドレスマスクレジスタ B (BAMRB)

チャンネル B のブレイクアドレスマスクレジスタです。ビット構成は BAMRA と同様です。

20.2.9 ブレイクデータレジスタ B (BDRB)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブレイクデータレジスタ B (BDRB) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル B のブレイク条件とするデータ (ビット 31 ~ 0) を指定します。BDRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31 ~ 0 : ブレイクデータ B31 ~ 0 (BDB31 ~ 0)

ブレイクチャンネル B のブレイク条件とするデータ (ビット 31 ~ 0) を格納します。

20.2.10 ブ레이크データマスクレジスタ B (BDMRB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크データマスクレジスタ B (BDMRB) は、読み出し / 書き込み可能な 32 ビットのレジスタです。BDMRB は BDRB に設定されているブ레이크データのどのビットをマスクするかを指定します。BDMRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31 ~ 0 : ブ레이크データマスク B31 ~ 0 (BDMB31 ~ 0)

BDRB に設定されているチャンネル B のブ레이크データ B31 ~ 0 (BDB31 ~ BDB0) の各ビットをマスクするかどうかを指定します。

ビット 31 ~ 0	説明
BDMBn	
0	チャンネル B のブ레이크アドレス BDB n をブ레이크条件に含める
1	チャンネル B のブ레이크アドレス BDB n をマスクし、条件に含めない

n=31 ~ 0

【注】 データバスの値をブ레이크条件に含めるときはオペランドサイズを指定してください。バイトサイズを指定するときは、BDRB および BDMRB のビット 15 ~ 8、7 ~ 0 に同じデータを設定してください。

20.2.11 ブ레이크バスサイクルレジスタ B (BBRB)

チャンネル B のバスブ레이크レジスタです。ビット構成は BBRA と同様です。

20.2.12 ブ레이크コントロールレジスタ (BRCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMFA	CMFB	-	-	-	PCBA	-	-	DBEB	PCBB	-	-	SEQ	-	-	UBDE
初期値:	0	0	0	0	0	-	0	0	-	-	0	0	-	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R	R	R/W

【注】 - : 不定

ブ레이크コントロールレジスタ (BRCR) は、読み出し / 書き込み可能な 16 ビットのレジスタです。

BRCR は、(1) チャンネル A、B を独立 2 チャンネルまたはシーケンシャル条件のどちらで使用するか、(2) 命令実行前 / 実行後のどちらでブ레이크するか、(3) チャンネル B のブ레이크条件に BDRB レジスタを含めるか、(4) ユーザブ레이크デバッグ機能を使用するかを設定をします。また、条件一致フラグを持っています。BRCR の CMFA、CMFB、および UBDE ビットは、パワーオンリセット時に 0 に初期化されます。スタンバイモード時には、値は保持されます。PCBA、DBEB、PCBB、SEQ ビットは、パワーオンリセット、マニュアルリセット時に不定となりますので、必要に応じてソフトウェアで初期化してください。

ビット 15: コンディションマッチフラグ A (CMFA)

チャンネル A に設定したブ레이크条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

ビット 15	説明	
CMFA		
0	チャンネル A のブ레이크条件は一致していません	(初期値)
1	チャンネル A のブ레이크条件の一致がありました	

ビット 14: コンディションマッチフラグ B (CMFB)

チャンネル B に設定したブ레이크条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

ビット 14	説明	
CMFB		
0	チャンネル B のブ레이크条件は一致していません	(初期値)
1	チャンネル B のブ레이크条件の一致がありました	

ビット 13~11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10：命令アクセスブレイクセレクト A (PCBA)

チャンネル A の命令アクセスサイクルでのブレイクタイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 10	説 明
PCBA	
0	チャンネル A の PC ブレイクを命令実行前にします
1	チャンネル A の PC ブレイクを命令実行後にします

ビット 9、8：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7：データブレイクイネーブル B (DBEB)

チャンネル B のブレイク条件にデータベースの条件を含めるかどうかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 7	説 明
DBEB	
0	チャンネル B の条件にデータベースの条件を含めません
1	チャンネル B の条件にデータベースの条件を含めます

【注】 データバスをブレイク条件に含める場合、ブレイクバスサイクルレジスタ B (BBRB) の IDB1、0 ビットは 10 または 11 としてください。

ビット 6：PC ブレイクセレクト B (PCBB)

チャンネル B の命令アクセスサイクルでのブレイクタイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 6	説 明
PCBB	
0	チャンネル B の PC ブレイクを命令実行前にします
1	チャンネル B の PC ブレイクを命令実行後にします

ビット 5、4：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3：シーケンス条件セレクト (SEQ)

チャンネル A、B の 2 本の条件を、独立かシーケンシャルかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 3	説 明
SEQ	
0	チャンネル A、B を独立条件でコンペアします
1	チャンネル A、B をシーケンシャル条件でコンペアします (チャンネル A チャンネル B)

ビット 2、1：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0：ユーザブ레이크デバッグイネーブル (UBDE)

ユーザブ레이크デバッグ機能 (「20.4 ユーザブ레이크デバッグサポート機能」を参照) を使用するかどうかを選択します。

ビット 0	説 明
UBDE	
0	ユーザブ레이크デバッグ機能を使用しない (初期値)
1	ユーザブ레이크デバッグ機能を使用する

20.3 動作説明

20.3.1 アクセスに関する用語の説明

命令アクセスとは命令を取得するアクセスのことです。例えば、分岐命令の実行時、分岐先からの命令のフェッチは命令アクセスです。オペランドアクセスとは命令実行の目的のための任意のメモリアccessのことです。例えば、命令 MOV.W @(disp,PC),Rn のアドレス (PC+disp×2+4) に対するアクセスはオペランドアクセスです。「データ」という用語はデータとアドレスを区別するために使用するので、本章では「オペランドアクセス」という用語を使用します。

本 LSI では、すべてのオペランドアクセスを読み出しアクセスが書き込みアクセスとして扱います。次の命令は特別の注意が必要です。

- PREF、OCBPおよびOCBWB命令：読み出しアクセスとして扱います。
- MOVCA.LおよびOCBI命令：書き込みアクセスとして扱います。
- TAS.B命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令に対するオペランドアクセスはアクセスデータの無いアクセスです。

本 LSI はすべてのオペランドアクセスをデータサイズを持つアクセスとして扱います。データサイズにはバイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令に対するオペランドデータサイズはロングワードとして扱います。

20.3.2 命令間隔に関する用語の説明

本章では、2つの命令間の距離を表す手段として「...後の1(2、3、...)命令」を次のように定義します。分岐は2つの命令の間隔として計算します。

1. 分岐なしの命令のシーケンス例

- 100 命令A (命令Aの後の0命令)
- 102 命令B (命令Aの後の1命令)
- 104 命令C (命令Aの後の2命令)
- 106 命令D (命令Aの後の3命令)

2. 分岐のある命令のシーケンス例 (ただし、遅延分岐命令の飛び先が自分自身+4のときには、分岐しない命令列の例を適用してください)。

- 100 命令A : BT/S L200 (命令Aの後の0命令)
- 102 命令B : (命令Aの後の1命令、命令Bの後の0命令)
- L200 200 命令C : (命令Aの後の3命令、命令Bの後の2命令)
- 202 命令D : (命令Aの後の4命令、命令Bの後の3命令)

20.3.3 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作シーケンスを次に示します。

1. 命令アクセスの場合、実行前、実行後のブレイクのどちらかを指定し、オペランドアクセスの場合、データバス値をブレイク条件に加えるかどうかを指定し、ブレイクコントロールレジスタ (BRCR) でチャンネルAブレイク条件とチャンネルBブレイク条件を独立して使用するかシーケンシャルで使用するかを指定します。各チャンネルに対するブレイクアドレスレジスタ (BARA、BARB) にブレイクアドレスを設定し、ブレイクASIDレジスタ (BASRA、BASRB) にブレイク空間に対応するASIDを設定し、ブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にアドレスとASIDマスク方法を設定します。ブレイク条件にデータバス値を含める場合は、ブレイクデータレジスタ (BDRB) にブレイクデータを、ブレイクデータマスクレジスタ (BDMRB) にデータマスクも設定します。
2. ブレイクバスサイクルレジスタ (BBRA、BBRB) にブレイクバス条件を設定します。BBRA、BBRBの命令アクセス/オペランドアクセスセレクト (IDビット) およびリード/ライトセレクト (RWビット) グループのいずれかを00に設定すると、該当するチャンネルにユーザブレイク割り込みは発生しません。ほかのすべてのブレイク関連レジスタ設定が終了後、BBRAとBBRB設定を行ってください。リセット後、ブレイクアドレスまたはデータ、マスクレジスタ、またはブレイクコントロールレジスタが初期状態で、BBRA、BBRBでブレイクを有効にする場合、誤ってブレイクを生成してしまう場合があります。
3. ブレイク条件を満足した場合の動作は、(CPUのSRレジスタの) BLビットによって異なります。BLビットが0のとき、例外処理が開始し、該当するチャンネルに対する条件一致フラグ (CMFA、CMFB) が一致条件に対してセットされます。BLビットが1の場合、該当するチャンネルの条件一致フラグ (CMFA、CMFB) は一致条件に対してセットされますが例外処理は開始しません。

条件一致フラグ (CMFA、CMFB) はブレイク条件一致でセットされますが、オートクリアされません。したがって、フラグを0にクリアするためにメモリストア命令をBRCRレジスタに対して使用してください。条件一致フラグの正確な設定条件については、「20.3.6 条件一致フラグの設定」を参照してください。

4. シーケンシャル条件モードを選択し、チャンネルA条件の一致後、チャンネルB条件が一致すると、チャンネルB条件が一致した命令でブレイクが実行されます。チャンネルA条件一致とチャンネルB条件一致が接近して発生する場合の動作については、「20.3.8 シーケンシャル条件に対応した隣接A、Bの設定」を参照してください。シーケンシャル条件では、チャンネルB条件一致フラグのみがセットされます。シーケンシャル条件モードを選択し、チャンネルA条件が一致し、しかもチャンネルB条件がまだ一致していないときにチャンネルA一致をクリアしたい場合、これはBRCRレジスタのSEQビットに0を書き込むことによって行うことができます。

20.3.4 命令アクセスサイクルブレイク

1. ブレイクバスサイクルレジスタ (BBRA、BBRB) で命令アクセス/リード/ワード設定を行うと、命令アクセスサイクルはブレイク条件として使用することができます。この場合、該当する命令の実行の前か後のどちらかでブレイクするかはブレイクコントロールレジスタ (BRCR) のPCBA、PCBBビットで選択できます。ブレイク条件として命令アクセスサイクルを使用する場合、ブレイクアドレスレジスタ (BARA、BARB) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 実行前ブレイクを指定すると、命令をフェッチし実行することが確定した時点でブレイクが実行されます。したがって、オーバランフェッチした命令 (フェッチしても分岐または例外が発生すると実行されない命令) ではブレイクが発生しません。ただし、ブレイク対象の命令のフェッチ時にTLBミスまたはTLB保護違反例外が発生する場合、まずブレイク例外処理が実行されます。命令TLB例外処理は、命令が再実行されるときに実行されます (「5.4 例外の種類と優先順位」を参照)。また、遅延分岐命令と遅延スロット命令は1つの命令として実行されるので、遅延スロット命令に実行前ブレイクが指定される場合、遅延分岐命令の実行前にブレイクが実行されます。ただし、RTE命令の遅延スロット命令には実行前ブレイクを指定することはできません。
3. 実行後ブレイクでは、ブレイク条件として命令が実行された後、次の命令の実行前にブレイク割り込みが発生します。遅延分岐命令に実行後ブレイクを設定すると、遅延スロットが実行され、(分岐を行うとき) 分岐先の命令、または (分岐を行わないとき) 遅延スロット命令の次の命令の実行の前にブレイクが実行されます。
4. チャンネルBに命令アクセスサイクルを設定すると、命令アクセス一致があるかどうかを判断する際、ブレイクデータレジスタB (BDRB) は無視されます。したがって、BRCRのDBEBビットはブレイク条件を実行しません。

20.3.5 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、アドレスバス比較に含まれるビットはブレイクバスサイクルレジスタ (BBRA、BBRB) のデータサイズ指定によって以下のように異なります。

データサイズ	比較アドレスビット
クワッドワード (100)	アドレスビット A31 ~ A3
ロングワード (011)	アドレスビット A31 ~ A2
ワード (010)	アドレスビット A31 ~ A1
バイト (001)	アドレスビット A31 ~ A0
条件には含まれない (000)	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

2. データバスをチャンネルBのブレイク条件に含める場合

ブレイク条件にデータ値が含まれる場合は、ブレイクコントロールレジスタ (BRCR) のDBEBを1にセットします。アドレス条件のほかにブレイクデータレジスタ (BDRB) とブレイクデータマスクレジスタB (BDMRB) の設定が必要になります。アドレス、ASID、データの3つの条件がすべて一致すると、ユーザブレイク割り込みが発生します。クワッドワードアクセスが発生すると、64ビットアクセスデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として解釈されます。32ビットデータ単位のいずれかがデータ一致条件を満足するとブレイクが発生します。

ブレイクバスサイクルレジスタB (BBRB) のIDB1、IDB0ビットを10または11に設定してください。バイトデータを指定するとき、同じデータをブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15~8とビット7~0からなる2つのバイトに設定しなければなりません。ワードまたはバイトを設定する場合、BDRBとBDMRBのビット31~16は無視されます。

3. ブレイクコントロールレジスタ (BRCR) のDBEBビットを1にセットすると、アクセスデータのないオペランドアクセス (PREF、OCBP、OCWB、OCBI命令のオペランドアクセス) ではブレイクは発生しません。

20.3.6 条件一致フラグの設定

(1) 実行後条件付き命令アクセス、またはオペランドアクセス

ブレイクを発生させる命令の実行が完了するとフラグがセットされます。ただし、この例外として複数のオペランドアクセスを持つ命令の場合、命令の実行が完了するまで待つことなく一致条件の検出だけでフラグがセットされることがあります。

- 例1:

100 BT L200 (分岐実行)

102 命令 (チャンネルA上のオペランドアクセスブレイク) フラグはセットされない

- 例2:

110 FADD (FPU例外)

112 命令 (チャンネルA上のオペランドアクセスブレイク) フラグはセットされない

(2) 実行前条件付き命令アクセス

ブレイク一致条件の検出時にフラグはセットされます。

- 例1:

110 命令 (チャンネルA上の実行前ブレイク) フラグはセットされる

112 命令 (チャンネルB上の実行前ブレイク) フラグはセットされない

- 例2:

110 命令 (チャンネルB上の実行前ブレイク、命令アクセスTLBミス) フラグはセットされる

20.3.7 退避したプログラムカウンタ (PC) 値

1. 命令アクセス (実行前) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令のアドレスです。この場合、ユーザブレイク割り込みが発生し、フェッチした命令は実行されません。
2. 命令アクセス (実行後) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令の次に実行される命令のアドレスです。この場合、フェッチした命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
3. 命令アクセス (実行後) ブレイク条件を遅延分岐命令に設定する場合、遅延スロット命令が実行され、(分岐する場合) 分岐先の命令または (分岐しない場合) 遅延スロット命令の次の命令の実行の前にユーザブレイクが実行されます。この場合、SPCに退避するPCの値は、(分岐する場合) 分岐先、または (分岐しない場合) 遅延スロット命令の次の命令のアドレスです。
4. オペランドアクセス (アドレスのみ) をブレイク条件に設定した場合、条件が一致した命令の次に実行される命令のアドレスがSPCに退避されます。条件が一致した命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
5. オペランドアクセス (アドレス+データ) をブレイク条件として設定する場合、条件が一致した命令は実行を完了します。1命令後から4命令後まで命令の実行前にユーザブレイク割り込みが発生します。1命令後から

4命令後までのどの命令で割り込みが発生するかを指定することは不可能です。ユーザブレイク割り込み処理が開始した時点で実行を完了する命令の次の命令の先頭アドレスがSPCに退避されます。1命令後の命令と4命令後の命令の間にある命令が別の例外が発生するときのコントロールは次のように実行されます。ブレイクによって発生する例外を例外1、1命令後の命令と4命令後の命令の間にある命令によって発生する例外を例外2とすると、例外2によって実行できないメモリ更新とレジスタ更新は、例外1の存在には関係なく保証されます。退避したプログラムカウンタの値は、実行を抑制した最初の命令のアドレスです。例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値に例外1、例外2のどちらを使用するかは保証されません。ただし、例外2が命令に同期していないソースからの場合 (外部割り込みまたは周辺モジュール割り込み) 例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値には例外1が使用されます。

20.3.8 シーケンシャル条件に対応した隣接 A、B の設定

チャンネル A とチャンネル B の一致タイミングが接近している場合、シーケンシャルブレイクは保証されない場合があります。保証範囲に関する規約を下に示します。

1. チャンネルA、チャンネルB両方における命令アクセス一致

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

2. チャンネルA上の命令アクセス一致、チャンネルB上のオペランドアクセス一致

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

3. チャンネルA上のオペランドアクセス一致、チャンネルB上の命令アクセス一致

命令 B は命令 A の 0~3 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 4 命令以上後	シーケンシャル動作は保証されます。

4. チャンネルA、チャンネルB両方におけるオペランドアクセス一致

単一オペランドアクセスがチャンネルA、チャンネルB両方のブレイク条件に一致するような設定はしないでください。それ以外の制限はありません。例えば、1つの命令中の2つのアクセスがチャンネルAとチャンネルBの条件に順番に一致したとしてもシーケンシャル動作は保証されます。

20.3.9 UBC 使用上の注意

1. SLEEP命令に対しては、実行後命令アクセスブレイクを実行しないでください。
2. SLEEP命令の1～3命令前では、オペランドアクセスブレイクの設定をしないでください。
3. ユーザブレイク例外で参照するBLビットの値は、ブレイク設定によって異なります。
 - (a) 実行前命令アクセスブレイク： 実行した命令の前のBLビット値を参照します。
 - (b) 実行後命令アクセスブレイク： 実行した命令の前後のBLビットのOR値を参照します。
 - (c) オペランドアクセスブレイク（アドレス/データ）： 実行した命令の後のBLビット値を参照します。
 - (d) BLビットを変更する命令の場合

SL,BL	実行前命令 アクセス	実行後命令 アクセス	実行前命令 アクセス	実行後命令 アクセス	オペランドアクセス (アドレス/データ)
0 0	A	A	A	A	A
1 0	M	M	M	M	A
0 1	A	M	A	M	M
1 1	M	M	M	M	M

(A: 受付け、 M: マスク)

(e) RTEの遅延スロットの場合

遅延スロット命令の実行の前のBLビット値は、RTE命令の実行前のBLビット値と同じです。遅延スロット命令の実行の後のBLビット値は、RTE命令により復帰したときに最初に実行される命令の最初のBLビット値と同じ（RTEの実行の前のSSRのBLビット値と同じ）です。

(f) BLビットが0で割り込みまたは例外を受け付ける場合、例外処理ルーチンの最初の命令の実行前のBLビットの値は1です。

4. チャンネルA、B両方が同時に独立して一致し、またその結果SPC値が両方のユーザブレイク割り込みに対して同じ場合、ユーザブレイク割り込みは一度だけ発生しますが、CMFAビット、CMFBビットはともにセットされます。例えば、

110命令（チャンネルA上の実行後命令ブレイク） SPC=112, CMFA=1

112命令（チャンネルB上の実行前命令ブレイク） SPC=112, CMFB=1
5. BRCCRのPCBAビットまたはPCBBビットは命令アクセスブレイクの設定に対して有効です。
6. BRCCRのSEQビットが1の場合、内部シーケンシャルブレイク状態はチャンネルB条件一致によって初期化されます。例えば、A A B（ユーザブレイクの発生） B（何も発生しない）となります。
7. マルチステップ命令において再実行型例外と実行後ブレイクが競合した場合、再実行型例外が発生します。このとき、ブレイク条件の成立に対して、CMFビットが1になる場合と、ならない場合があります。
8. 実行後ブレイクは完了型例外に分類されています。そのため、同じ命令で完了型例外と実行後ブレイクが競合した場合、それらの優先度により、実行後ブレイクが抑止されます。例えば、TRAPA命令と実行後ブレイクが競合した場合、ユーザブレイクは抑止されます。ただし、このときブレイク条件成立によりCMFビットはセットされます。

20.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、ユーザブレイク例外発生時の処理を変更することができます。ユーザブレイク例外の発生時、BR CR レジスタの UBDE ビットが 1 にセットされている場合、DBR レジスタ値は [VBR+オフセット] の代わりに分岐先アドレスとして使用されます。BR CR レジスタの UBDE の値または例外要因の種類に関係なく R15 の値は SGR レジスタに退避されます。ユーザブレイクデバッグサポート機能のフローチャートを図 20.2 に示します。

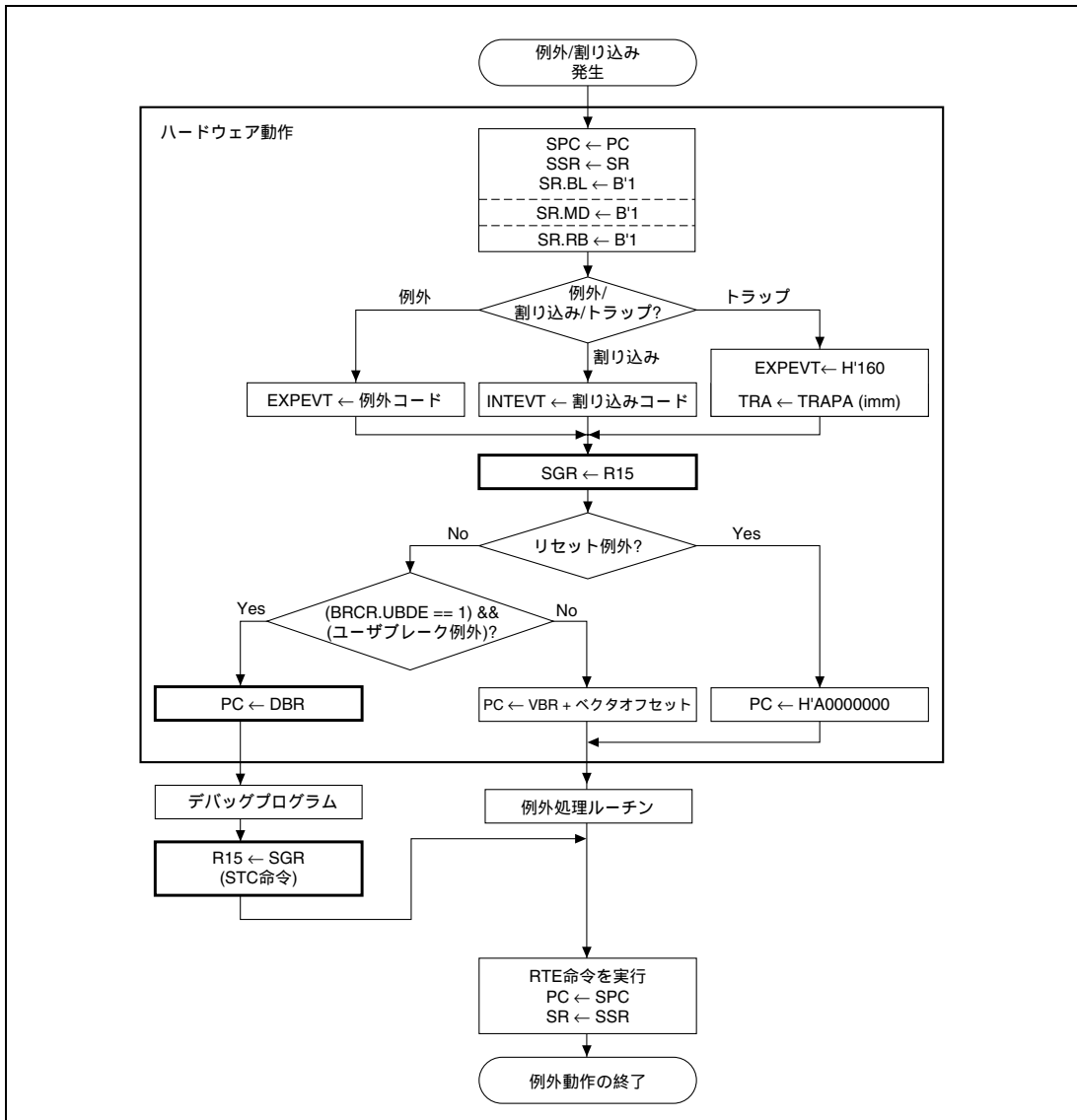


図 20.2 ユーザブレイクデバッグサポート機能のフローチャート

20.5 使用例

(1) 命令アクセスサイクルへのブレイク条件設定

(a) レジスタ設定：

BASRA=H'80/BARA=H'00000404/BAMRA=H'00/BBRA=H'0014

BASRB=H'70/BARB=H'00008010/BAMRB=H'01/BBRB=H'0014

BDRB=H'00000000/BDMRB=H'00000000

BRCR=H'0400

- 設定された条件：Aチャンネル/Bチャンネル独立モード

- Aチャンネル

ASID H'80 / アドレス H'00000404 / アドレスマスク H'00

バスサイクル 命令アクセス (命令実行後)、リード (オペランドサイズは条件に含まれない)

- Bチャンネル

ASID H'70 / アドレス H'00008010 / アドレスマスク H'01

データ H'00000000 / データマスク H'00000000

バスサイクル 命令アクセス (命令実行前)、リード (オペランドサイズは条件に含まれない)

- ASID=H'80でアドレスH'00000404番地の命令の実行後、または、ASID=H'70でアドレスH'00008000～H'000083FE番地の命令の実行前にユーザブレイクが発生します。

(b) レジスタ設定：

BASRA=H'80/BARA=H'00037226/BAMRA=H'00/BBRA=H'0016

BASRB=H'70/BARB=H'0003722E/BAMRB=H'00/BBRB=H'0016

BDRB=H'00000000/BDMRB=H'00000000

BRCR=H'0008

- 設定された条件：Aチャンネル Bチャンネルシーケンシャルモード

- Aチャンネル：

ASID H'80 / アドレス H'00037226 / アドレスマスク H'00

バスサイクル 命令アクセス (命令実行前)、リード、ワード

- Bチャンネル：

ASID H'70 / アドレス H'0003722E / アドレスマスク H'00

データ H'00000000 / データマスク H'00000000

バスサイクル 命令アクセス (命令実行前)、リード、ワード

ASID=H'80 かつアドレス H'00037226 にある命令を実行して、その後 ASID=H'70 かつアドレス H'0003722E にある命令の実行前にユーザブレイクが発生します。

(c) レジスタ設定:

BASRA=H'80/BARA=H'00027128/BAMRA=H'00/BBRA=H'001A

BASRB=H'70/BARB=H'00031415/BAMRB=H'00/BBRB=H'0014

BDRB=H'00000000 / BDMRB=H'00000000

BRCR=H'0000

- 設定された条件: Aチャンネル / Bチャンネル独立モード

- Aチャンネル:

ASID H'80 / アドレス H'00027128 / アドレスマスク H'00

バスサイクル CPU、命令アクセス (命令実行前)、ライト、ワード

- Bチャンネル:

ASID H'70 / アドレス H'00031415 / アドレスマスク H'00

データ H'00000000 / データマスク H'00000000

バスサイクル CPU、命令アクセス (命令実行前)

リード (オペランドサイズは条件に含まれない)

A チャンネルは、命令アクセスはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

B チャンネルは、命令アクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(2) オペランドアクセスサイクルへのブレイク条件設定

- レジスタ設定:

BASRA=H'80/BARA=H'00123456/BAMRA=H'00/BBRA=H'0024

BASRB=H'70/BARB=H'000ABCDE/BAMRB=H'02/BBRB=H'002A

BDRB=H'0000A512/BDMRB=H'00000000

BRCR=H'0080

- 設定された条件: Aチャンネル / Bチャンネル独立モード

- Aチャンネル:

ASID H'80 / アドレス H'00123456 / アドレスマスク H'00

バスサイクル オペランドアクセス、リード (オペランドサイズは条件に含まれない)

- Bチャンネル:

ASID H'70 / アドレス H'000ABCDE / アドレスマスク H'02

データ H'0000A512 / データマスク H'00000000

バスサイクル オペランドアクセス、ライト、ワード、データブレイクイネーブル

A チャンネルは、ASID=H'80 で H'00123454 番地にロングワードでリード / H'00123456 番地にワードでリード / H'00123456 番地にバイトでリードしたときにユーザブレイク割り込みが発生します。

B チャンネルは、ASID=H'70 で H'000AB000 ~ H'000ABFFE 番地のどこかにワードで H'A512 をライトしたときにユーザブレイク割り込みが発生します。

20.6 ユーザブレイクコントローラ停止機能

本機能は、SH7750S においてユーザブレイクコントロール部に供給されるクロックを停止し、チップ動作時の消費電力を低減するために使用します。本機能を用いる場合は、ユーザブレイクコントローラを使用できなくなるため注意が必要です。なお、SH7750 には本機能はありません。

20.6.1 ユーザブレイクコントローラ停止状態への遷移

STBCR2 (CPG 内) の MSTP5 ビットに 1 を設定することで、クロック供給が停止し、ユーザブレイクコントロール部は停止状態へ遷移します。以下の 1.~5. に示す手順に沿って MSTP5 ビットを 1 にして、停止状態へ遷移してください。

1. BBRA、BBRB を 0 で初期化
2. BRRCR を 0 で初期化
3. BRRCR をダミーリード
4. STBCR2 リード後、MSTP5 ビットに 1 をセットして書き戻す。
5. STBCR2 を 2 回ダミーリード

上記 1.~5. の処理を行う間に、例外 / 割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

ユーザブレイクコントローラのクロック停止期間中は、BARA、BAMRA、BBRA、BARB、BAMRB、BBRB、BDRB、BDMRB、BRRCR レジスタを読み書きしないでください。読み書きした場合、その値は保証されません。

20.6.2 ユーザブレイクコントローラ停止状態の解除

STBCR2 (CPG 内) の MSTP5 ビットに 0 を設定することで、クロック供給が再開し、ユーザブレイクコントローラは動作可能になります。以下の 6.~7. に示す手順に沿って MSTP5 ビットを 0 にクリアして、停止状態を解除してください。

6. STBCR2 リード後、MSTP5 ビットを 0 クリアして書き戻す
7. STBCR2 を 2 回ダミーリード

停止状態への遷移と同様、上記 6.~7. の処理を行う間に、例外 / 割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

20.6.3 ユーザブレイクコントローラ停止状態の遷移および解除例

以下に、プログラム例を示します。

; ユーザブレイクコントローラ停止状態への遷移

; (1) BBRA, BBRB を 0 で初期化

```
mov    #0, R0
mov.l  #BBRA, R1
mov.w  R0, @R1
mov.l  #BBRB, R1
mov.w  R0, @R1
```

; (2) BRCCR を 0 で初期化

```
mov.l  #BRCCR, R1
mov.w  R0, @R1
```

; (3) BRCCR をダミーリード

```
mov.w  @R1, R0
```

; (4) STBCR2 リード後、MSTP5 ビットに 1 をセットして書き戻す

```
mov.l  #STBCR2, R1
mov.b  @R1, R0
or     #H'1, R0
mov.b  R0, @R1
```

; (5) STBCR2 を 2 回ダミーリード

```
mov.b  @R1, R0
mov.b  @R1, R0
```

; ユーザブレイクコントローラ停止状態の解除

; (6) STBCR2 リード後、MSTP5 ビットを 0 クリアして書き戻す

```
mov.l  #STBCR2, R1
mov.b  @R1, R0
and    #H'FE, R0
mov.b  R0, @R1
```

; (7) STBCR2 を 2 回ダミーリード

```
mov.b  @R1, R0
mov.b  @R1, R0
```

21. ユーザデバッグインタフェース (H-UDI)

21.1 概要

21.1.1 特長

ユーザデバッグインタフェース(H-UDI)は JTAG, IEEE 1149.1, “IEEE Standard Test Access Port and Boundary-Scan Architecture”のサブセットをサポートしたシリアル入出力インタフェースです。SH7750R の H-UDI はバウンダリスキャンには対応しており、エミュレータの接続にも使用されます。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法はエミュレータのマニュアルを参照してください。H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$) から成ります。端子機能や、シリアル転送プロトコルは JTAG の規格に準拠します。

21.1.2 ブロック図

図 21.1 に H-UDI 部分の構成を示します。このうち TAP (Test Access Port) コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 にし TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間にリセットがかかり初期化されます。H-UDI 回路は内部に SDBPR、SDIR、SDDR (SDDRH、SDDRL) の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

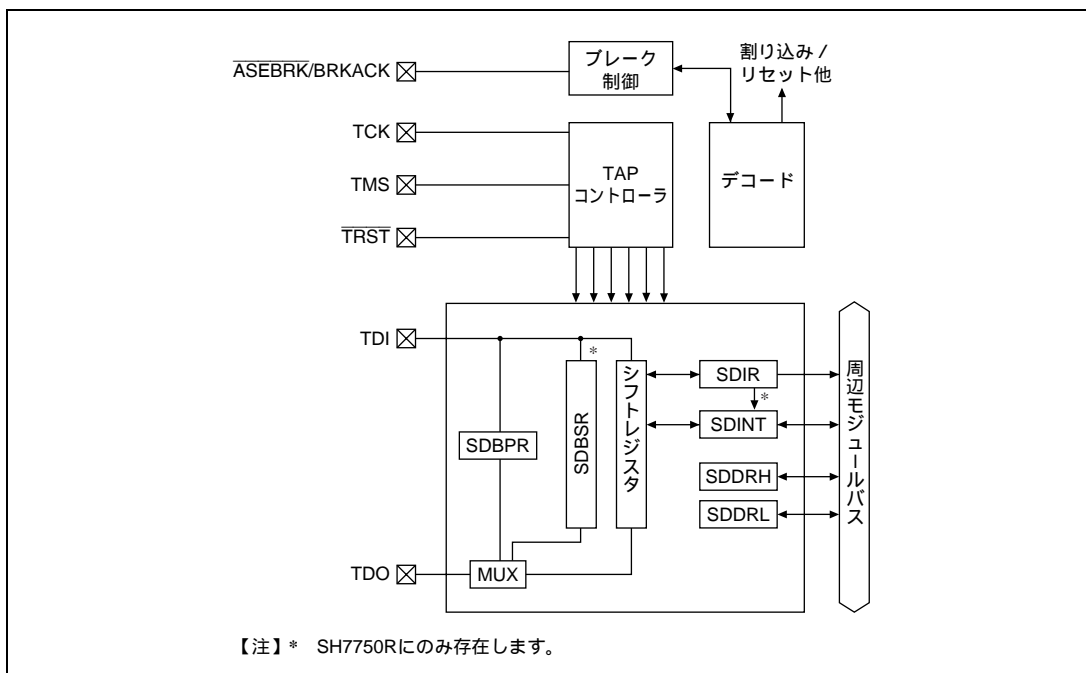


図 21.1 H-UDI 回路ブロック図

21.1.3 端子構成

H-UDI の端子構成を表 21.1 に示します。

表 21.1 端子構成

名称	略称	入出力	機能	未使用時
クロック端子	TCK	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
モード端子	TMS	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	オープン* ¹
リセット端子	TRST	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	* ² 、* ³
データ入力端子	TDI	入力	データ入力端子。TCK に同期してこの信号を変化させることで、H-UDI 回路にデータを送ります。	オープン* ¹
データ出力端子	TDO	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
エミュレータ用端子	ASEBRK/ BRKACK	入出力	エミュレータ専用の端子。	オープン* ¹

【注】 *¹ チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

*² エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合は、電源投入時に RESET と重複する期間 TRST をローレベルにし、なおかつ TRST 単独でも制御可能となるようにしてください。

*³ グランド固定または RESET と同じ信号 (あるいは同じ挙動) と接続します。ただし、グランド固定の場合には下記の問題があります。

TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

なお TCK (TMS、TDI、TDO) の最大周波数は 20MHz です。また、TCK の周波数が本 LSI の周辺モジュールクロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

21.1.4 レジスタ構成

表 21.2 に H-UDI のレジスタ構成を示します。SDBPR 以外は制御レジスタ領域にマッピングされており CPU から参照できます。

表 21.2 H-UDI レジスタ構成

名称	略称	CPU 側					H-UDI 側		
		R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	初期値 (*1)	R/W	アクセス サイズ	初期値 (*1)
インストラクション レジスタ	SDIR	R	H'FFF00000	H'1FF00000	16	H'FFFF	R/W	32	H'FFFFFFFD (固定値*2)
データレジスタ H	SDDR/ SDDRH	R/W	H'FFF00008	H'1FF00008	32/16	不定			
データレジスタ L	SDDRL	R/W	H'FFF0000A	H'1FF0000A	16	不定			
バイパスレジスタ	SDBPR					不定	R/W	1	不定
割り込み要因レジスタ*4	SDINT	R/W	H'FFF00014	H'1FF00014	16	H'0000	W*3	32	H'00000000
バウンダリスキャンレ ジスタ*4	SDBSR					不定	R/W		不定

【注】 *1 TRST 端子がローレベル、または TAP が Test-Logic-Reset state で初期化されます。

*2 H-UDI からの読み出し値は常に固定値 (H'FFFFFFFD) となります。

*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

*4 SH7750R のみ

21.2 レジスタの説明

21.2.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) は、CPU から読み出しのみ可能な 16 ビットのレジスタです。初期状態では BYPASS モードです。シリアル入力(TDI)から値(コマンド)をセットします。 $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。ただし、書き込んでいる途中で CPU からの読み出しを行うと、正しい値が読み出せないことがあります。そのような場合、SDIR を 2 度読み出し、不一致の場合は再度読み出すようにしてください。また予約となっているコマンドをセットした場合の動作は保証しません。

[SH7750、SH7750S]

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI3	TI2	TI1	TI0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 15～12 : テストインストラクションビット (TI3～TI0)

ビット 15	ビット 14	ビット 13	ビット 12	説 明
TI3	TI2	TI1	TI0	
0	0	-	-	予約
0	1	0	-	予約
0	1	1	0	H-UDI リセットネゲート
0	1	1	1	H-UDI リセットアサート
1	0	0	-	予約
1	0	1	-	H-UDI 割り込み
1	1	0	-	予約
1	1	1	0	予約
1	1	1	1	BYPASS モード (初期値)

ビット 11～0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

〔SH7750R〕

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R R R R R R R R R R R R R R R R

ビット 15~8 : テストインストラクションビット (TI7~TI0)

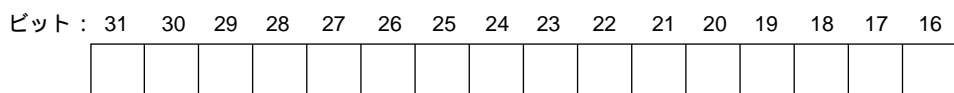
ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	0	0	0	0	0	0	0	EXTEST
0	0	0	0	0	1	0	0	SAMPLE/PRELOAD
0	1	1	0	-	-	-	-	H-UDI・リセット・ネゲート
0	1	1	1	-	-	-	-	H-UDI・リセット・アサート
1	0	1	-	-	-	-	-	H-UDI 割り込み
1	1	1	1	1	1	1	1	BYPASS モード(初期値)
上記以外								予約

ビット 7~0: 予約ビット

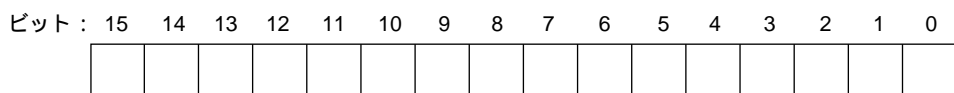
読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

21.2.2 データレジスタ (SDDR)

データレジスタ (SDDR) は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、各々 CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。このレジスタ値は、CPU のリセットでは初期化されませんが、 $\overline{\text{TRST}}$ では初期化されます。



初期値 : - - - - -
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W



初期値 : - - - - -
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】 - : 不定

ビット 31 ~ 0 : DR データ

SDDR の値が格納されます。

21.2.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は、1 ビットのレジスタで CPU からのアクセスはできません。SDIR に BYPASS モードがセットされると、H-UDI の TDI 端子と TDO 端子の間に SDBPR が接続されます。

21.2.4 割り込み要因レジスタ (SDINT) : SH7750R のみ

割り込み要因レジスタはCPUから読み出し/書き込み可能な16ビットのレジスタです。H-UDI端子側からは、SDIRに「H-UDI割り込み」コマンドをセットした(Update-IR)場合に、INTREQビットが1になります。SDIRが「H-UDI割り込み」コマンドの間、H-UDI端子のTDIとTDOの間にSDINTレジスタが接続され、32ビットのレジスタとして読み出しが可能です。その場合上位16ビットが0に、下位16ビットがSDINTになります。

CPU側からはINTREQビットに0を書き込むことしかできません。このビットが1の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず0にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ またはTAPのTest-Logic-Reset状態で初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INTREQ
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット 15~1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 0: 割り込み要求ビット (INTREQ)

「H-UDI割り込み」コマンドによる割り込み要求の有無を示します。CPUからは本ビットに0を書き込むことにより割り込み要求をクリアすることができます。本ビットへ1を書き込んだ場合は直前の値を保持します。

21.2.5 バウンダリスキャンレジスタ (SDBSR) : SH7750R のみ

バウンダリスキャンレジスタ (SDBSR) は、チップの入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタであり、EXTEST と SAMPLE/PRELOAD コマンドを用いて JTAG (IEEE Std 1149.1) 規格相等のバウンダリスキャンテストを行うことができます。表 21.3 に SH7750R のピンとバウンダリスキャンレジスタの対応を示します。

表 21.3 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
to TDO			313	A21	OUT	280	MD0/SCK	OUT
345	CKIO2ENB	IN	312	A20	CTL	279	RD/WR2	CTL
344	MD6/IOIS16	IN	311	A20	OUT	278	RD/WR2	OUT
343	STATUS1	CTL	310	A19	CTL	277	D63	IN
342	STATUS1	OUT	309	A19	OUT	276	D63	CTL
341	STATUS0	CTL	308	A18	CTL	275	D63	OUT
340	STATUS0	OUT	307	A18	OUT	274	D48	IN
339	A1	CTL	306	SCK2/MRESET	IN	273	D48	CTL
338	A1	OUT	305	SCK2/MRESET	CTL	272	D48	OUT
337	A0	CTL	304	SCK2/MRESET	OUT	271	D62	IN
336	A0	OUT	303	MD7/TXD	IN	270	D62	CTL
335	DACK1	CTL	302	MD7/TXD	CTL	269	D62	OUT
334	DACK1	OUT	301	MD7/TXD	OUT	268	D49	IN
333	DACK0	CTL	300	MD8/RTS2	IN	267	D49	CTL
332	DACK0	OUT	299	MD8/RTS2	CTL	266	D49	OUT
331	MD5/RAS2	IN	298	MD8/RTS2	OUT	265	D61	IN
330	MD5/RAS2	CTL	297	TCLK	IN	264	D61	CTL
329	MD5/RAS2	OUT	296	TCLK	CTL	263	D61	OUT
328	MD4/CE2B	IN	295	TCLK	OUT	262	D50	IN
327	MD4/CE2B	CTL	294	CTS2	IN	261	D50	CTL
326	MD4/CE2B	OUT	293	CTS2	CTL	260	D50	OUT
325	MD3/CE2A	IN	292	CTS2	OUT	259	D60	IN
324	MD3/CE2A	CTL	291	NMI	IN	258	D60	CTL
323	MD3/CE2A	OUT	290	IRL3	IN	257	D60	OUT
322	A25	CTL	289	IRL2	IN	256	D51	IN
321	A25	OUT	288	IRL1	IN	255	D51	CTL
320	A24	CTL	287	IRL0	IN	254	D51	OUT
319	A24	OUT	286	MD2/RXD2	IN	253	D59	IN
318	A23	CTL	285	MD1/TXD2	IN	252	D59	CTL
317	A23	OUT	284	MD1/TXD2	CTL	251	D59	OUT
316	A22	CTL	283	MD1/TXD2	OUT	250	D52	IN
315	A22	OUT	282	MD0/SCK	IN	249	D52	CTL
314	A21	CTL	281	MD0/SCK	CTL	248	D52	OUT

番号	ピン名称	タイプ
247	D58	IN
246	D58	CTL
245	D58	OUT
244	D53	IN
243	D53	CTL
242	D53	OUT
241	D57	IN
240	D57	CTL
239	D57	OUT
238	D54	IN
237	D54	CTL
236	D54	OUT
235	D56	IN
234	D56	CTL
233	D56	OUT
232	D55	IN
231	D55	CTL
230	D55	OUT
229	D31	IN
228	D31	CTL
227	D31	OUT
226	D16	IN
225	D16	CTL
224	D16	OUT
223	D30	IN
222	D30	CTL
221	D30	OUT
220	D17	IN
219	D17	CTL
218	D17	OUT
217	D29	IN
216	D29	CTL
215	D29	OUT
214	D18	IN
213	D18	CTL
212	D18	OUT
211	D28	IN
210	D28	CTL
209	D28	OUT

番号	ピン名称	タイプ
208	D19	IN
207	D19	CTL
206	D19	OUT
205	D27	IN
204	D27	CTL
203	D27	OUT
202	D20	IN
201	D20	CTL
200	D20	OUT
199	D26	IN
198	D26	CTL
197	D26	OUT
196	D21	IN
195	D21	CTL
194	D21	OUT
193	D25	IN
192	D25	CTL
191	D25	OUT
190	$\overline{DREQ1}$	IN
189	$\overline{DREQ0}$	IN
188	RXD	IN
187	D22	IN
186	D22	CTL
185	D22	OUT
184	D24	IN
183	D24	CTL
182	D24	OUT
181	D23	IN
180	D23	CTL
179	D23	OUT
178	$\overline{WE7/CAS7/DQM7/REG}$	CTL
177	$\overline{WE7/CAS7/DQM7/REG}$	OUT
176	$\overline{WE6/CAS6/DQM6}$	CTL
175	$\overline{WE6/CAS6/DQM6}$	OUT
174	$\overline{WE3/CAS3/DQM3/CIOWR}$	CTL
173	$\overline{WE3/CAS3/DQM3/CIOWR}$	OUT
172	$\overline{WE2/CAS2/DQM2/CIORD}$	CTL
171	$\overline{WE2/CAS2/DQM2/CIORD}$	OUT
170	RD/WR	CTL

番号	ピン名称	タイプ
169	RD/WR	OUT
168	$\overline{RD/CASS/FRAME}$	CTL
167	$\overline{RD/CASS/FRAME}$	OUT
166	\overline{RAS}	CTL
165	\overline{RAS}	OUT
164	$\overline{CS2}$	CTL
163	$\overline{CS2}$	OUT
162	$\overline{CS3}$	CTL
161	$\overline{CS3}$	OUT
160	DRAK0	CTL
159	DRAK0	OUT
158	DRAK1	CTL
157	DRAK1	OUT
156	A2	CTL
155	A2	OUT
154	A3	CTL
153	A3	OUT
152	A4	CTL
151	A4	OUT
150	A5	CTL
149	A5	OUT
148	A6	CTL
147	A6	OUT
146	A7	CTL
145	A7	OUT
144	A8	CTL
143	A8	OUT
142	A9	CTL
141	A9	OUT
140	A10	CTL
139	A10	OUT
138	A11	CTL
137	A11	OUT
136	A12	CTL
135	A12	OUT
134	A13	CTL
133	A13	OUT
132	A14	CTL
131	A14	OUT

番号	ピン名称	タイプ
130	A15	CTL
129	A15	OUT
128	A16	CTL
127	A16	OUT
126	A17	CTL
125	A17	OUT
124	WE0/CAS0/DQM0	CTL
123	WE0/CAS0/DQM0	OUT
122	WE1/CAS1/DQM1	CTL
121	WE1/CAS1/DQM1	OUT
120	WE4/CAS4/DQM4	CTL
119	WE4/CAS4/DQM4	OUT
118	WE5/CAS5/DQM5	CTL
117	WE5/CAS5/DQM5	OUT
116	CKE	CTL
115	CKE	OUT
114	D7	IN
113	D7	CTL
112	D7	OUT
111	D8	IN
110	D8	CTL
109	D8	OUT
108	BREQ/BSACK	IN
107	BACK/BSREQ	CTL
106	BACK/BSREQ	OUT
105	D6	IN
104	D6	CTL
103	D6	OUT
102	D9	IN
101	D9	CTL
100	D9	OUT
99	D5	IN
98	D5	CTL
97	D5	OUT
96	D10	IN
95	D10	CTL
94	D10	OUT
93	D4	IN

番号	ピン名称	タイプ
92	D4	CTL
91	D4	OUT
90	D11	IN
89	D11	CTL
88	D11	OUT
87	D3	IN
86	D3	CTL
85	D3	OUT
84	D12	IN
83	D12	CTL
82	D12	OUT
81	D2	IN
80	D2	CTL
79	D2	OUT
78	D13	IN
77	D13	CTL
76	D13	OUT
75	D1	IN
74	D1	CTL
73	D1	OUT
72	D14	IN
71	D14	CTL
70	D14	OUT
69	D0	IN
68	D0	CTL
67	D0	OUT
66	D15	IN
65	D15	CTL
64	D15	OUT
63	D39	IN
62	D39	CTL
61	D39	OUT
60	D40	IN
59	D40	CTL
58	D40	OUT
57	D38	IN
56	D38	CTL
55	D38	OUT

番号	ピン名称	タイプ
54	D41	IN
53	D41	CTL
52	D41	OUT
51	D37	IN
50	D37	CTL
49	D37	OUT
48	D42	IN
47	D42	CTL
46	D42	OUT
45	D36	IN
44	D36	CTL
43	D36	OUT
42	D43	IN
41	D43	CTL
40	D43	OUT
39	D35	IN
38	D35	CTL
37	D35	OUT
36	D44	IN
35	D44	CTL
34	D44	OUT
33	D34	IN
32	D34	CTL
31	D34	OUT
30	D45	IN
29	D45	CTL
28	D45	OUT
27	D33	IN
26	D33	CTL
25	D33	OUT
24	D46	IN
23	D46	CTL
22	D46	OUT
21	D32	IN
20	D32	CTL
19	D32	OUT
18	D47	IN
17	D47	CTL

番号	ピン名称	タイプ
16	D47	OUT
15	$\overline{RD2}$	CTL
14	$\overline{RD2}$	OUT
13	\overline{BS}	CTL
12	\overline{BS}	OUT
11	CS6	CTL

番号	ピン名称	タイプ
10	CS6	OUT
9	CS5	CTL
8	CS5	OUT
7	CS4	CTL
6	CS4	OUT
5	CS1	CTL

番号	ピン名称	タイプ
4	CS1	OUT
3	CS0	CTL
2	CS0	OUT
1	\overline{RDY}	IN
From TDI		

【注】 CTL はローアクティブの信号。CTL を LOW にすることで、該当ピンを OUT 値でドライブします。

21.3 動作説明

21.3.1 TAP 制御

図 21.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期でTest-Logic-Reset状態へ遷移します。

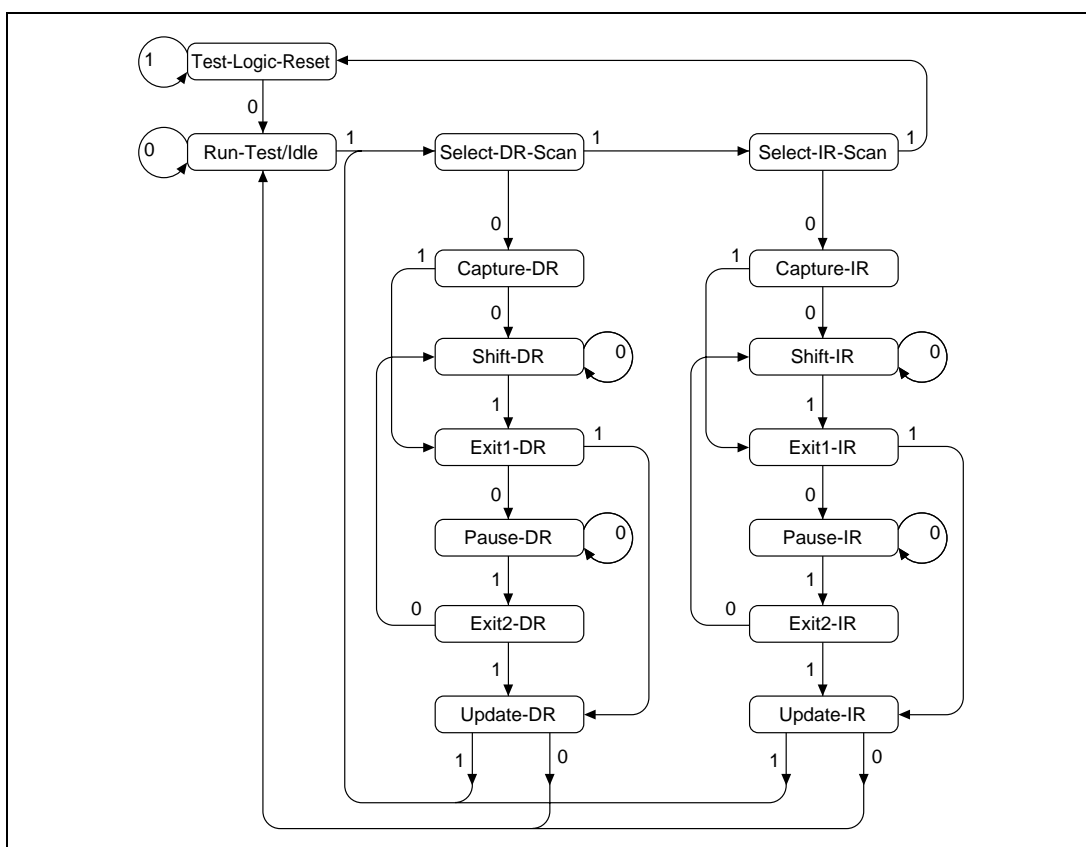


図 21.2 TAP 制御状態遷移図

21.3.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 21.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

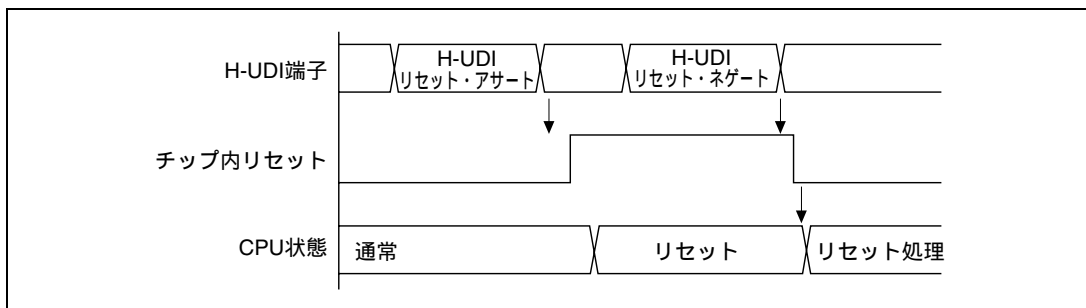


図 21.3 H-UDI リセット

21.3.3 H-UDI 割り込み

H-UDI 割り込み機能は H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割込は一般例外 / 割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ IPRC のビット 3~0 により H-UDI 割り込みの優先度を制御できます。

SH7750/SH7750S では、H-UDI 割り込みの要求信号はコマンドセット後、LSI の内蔵周辺クロックで 8 サイクル程度アサートされます。アサートされるサイクル数は TCK と内蔵周辺クロックの周波数の比により決まります。アサート期間に限られるため、CPU が要求を取りこぼす場合もあります。

SH7750R では、H-UDI 割り込みの要求信号はコマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は TDI と TDO の間に SDINT レジスタが接続されます。

なお、SH7750/SH7750S では、H-UDI 割り込みコマンドはセットされた後、直ちに BYPASS コマンドに自動的に変化します。SH7750R では、Updata-IR ステートでの更新、Test-Logic-Reset ステートによる初期化、 $\overline{\text{TRST}}$ アサートによる初期化以外ではコマンドは変化しません。

21.3.4 バウンダリスキャン (EXTEST、SAMPLE / PRELOAD、BYPASS)

SH7750R ではH-UDI から SDIR にコマンドを設定することにより H-UDI 端子をバウンダリスキャンモードに設定できます。ただし、以下の制限事項が存在します。

1. クロック関連信号 (EXTAL, EXTAL2, XTAL, XTAL2, CKIO) はバウンダリスキャンの対象から外れます
2. リセット関連信号 ($\overline{\text{RESET}}$, CA) はバウンダリスキャンの対象から外れます。
3. H-UDI関連信号 (TCK, TDI, TDO, TMS, $\overline{\text{TRST}}$) はバウンダリスキャンの対象から外れます。
4. EXTEST時には、 $\overline{\text{MRESET}}$ ピンをアサート(Low)、 $\overline{\text{RESET}}$ ピンをアサート(Low)、CAピンをアサート(High)の状態に、SAMPLE/PRELOAD時には、CAピンをアサート(High)の状態にしてください。
5. バウンダリスキャン実行時には、EXTAL端子にクロックを供給し、パワーオン発振安定時間経過後にバウンダリスキャンを行ってください。また、入力クロックの周波数範囲は1~33.3MHzです。

なお、パワーオン発振安定時間経過後は、EXTAL端子へのクロック供給を停止しても構いません。

パワーオン発振安定時間の詳細は「第22章 電気的特性」を参照してください。

21.4 注意事項

1. SDIRコマンド：

一度設定したSDIRコマンドは $\overline{\text{TRST}}$ のアサート、またはTAPをTest-Logic-Reset状態にすることによる初期化以外は、H-UDIからほかのコマンドを書き込まない限り変化しません。

2. スリープモードでのSDIRコマンド：

スリープモードはH-UDI割り込み、H-UDIリセットにより解除され、それらの例外の要求を受け付けます。なお、スタンバイモードではH-UDI割り込み、H-UDIリセットとも受け付けません。

3. スタンバイモード時は、H-UDIの機能を使用できません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモードへ遷移の際、TCKをハイレベルにしておく必要があります。

4. ユーザデバッグインタフェース (H-UDI) は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

5. SH7750/SH7750SのH-UDI端子は、ボード上でバウンダリスキャンの信号ループには接続しないでください。

6. SH7750/SH7750SのBYPASSモードでは、Capture-DRステート時にバイパスレジスタ (SDBPR) は不定となります。なお、SH7750Rの場合は、0になります。

22. 電気的特性

22.1 絶対最大定格

表 22.1 絶対最大定格

項目	記号	定格値	単位
I/O、PLL、RTC、CPG 電源電圧	V_{DDQ^*} $V_{DD-PLL1/2^*}$ V_{DD-RTC^*} V_{DD-CPG}	-0.3 ~ 4.2 -0.3 ~ 4.6* ¹	V
内部電源電圧	V_{DD}	-0.3 ~ 2.5、-0.3 ~ 2.1* ¹	V
入力電圧	V_{in}	-0.3 ~ $V_{DDQ}+0.3$	V
動作温度	T_{opr}	-20 ~ 75 -40 ~ 85* ²	
保存温度	T_{sig}	-55 ~ 125	

【注】 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。

電源投入遮断手順については、「付録 H. 電源投入遮断手順について」を参照してください。

*1 HD6417750R のみ

*2 HD6417750RBA240HV のみ

22.2 DC 特性

表 22.2 HD6417750RBP240 (V)、HD6417750RBG240 (V)、HD6417750RBA240HV DC 特性

(Ta = -20 ~ 75 *³)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.4	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	230	580	mA	Ick=240MHz
	スリープモード時		—	—	120		
	スタンバイモード時		—	—	400	μ A	Ta = 25 * ¹
			—	—	800		Ta > 50 * ¹
消費電流	通常動作	I_{DDQ}	—	170	215	mA	Ick=240MHz、 Bck=120MHz
	スリープモード時		—	35	40		
	スタンバイモード時		—	—	440	μ A	Ta = 25 * ¹
			—	—	880		Ta > 50 * ¹
RTC 消費電流	スタンバイモード時	I_{DD-RTC}	—	15	25	μ A	RTC ON* ²
			—	3	5		RTC OFF
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステ ートリーク 電流	入出力、全出力端子(オ フ状態)	$ I_{sti} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。

2. 消費電流値は $V_{IH} \text{ min} = V_{DDQ} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CFG} の 3.3V 系の電流の合計値です。
- *1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 する必要があります (EXTAL2 からクロックを入力する必要はありません)。
- *2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。
- *3 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。

表 22.3 HD6417750RF240 (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.4	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	230	580	mA	lck=240MHz
	スリープモード時		—	—	120		
	スタンバイモード時		—	—	400	μ A	Ta = 25 * ¹
			—	—	800		Ta > 50 * ¹
消費電流	通常動作	I_{DDQ}	—	140	180	mA	lck=240MHz、 Bck=80MHz
	スリープモード時		—	35	40		
	スタンバイモード時		—	—	440	μ A	Ta = 25 * ¹
			—	—	880		Ta > 50 * ¹
RTC 消費電流	スタンバイモード時	I_{DD-RTC}	—	15	25	μ A	RTC ON* ²
			—	3	5		RTC OFF
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステ ートリーク 電流	入出力、全出力端子(オ フ状態)	$ I_{sti} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。

2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。

*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 にする必要があります (EXTAL2 からクロックを入力する必要はありません)。

*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。

表 22.4 HD6417750RBP200 (V)、HD6417750RBG200 (V)、HD6417750RBA240HV*3

DC 特性 (Ta = -20 ~ 75 *4)

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	V_{DD}	1.35	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	—	190	480	mA	lck=200MHz	
	スリープモード時						100
	スタンバイモード時				400	μA	Ta = 25 *1
	800	Ta > 50 *1					
消費電流	通常動作	—	140	180	mA	lck=200MHz、 Bck=100MHz	
	スリープモード時						30
	スタンバイモード時				440	μA	Ta = 25 *1
	880	Ta > 50 *1					
RTC 消費電流	スタンバイモード時	I_{DD-RTC}	—	15	25	μA	RTC ON*2
			—	3			5
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	—	—	1	μA	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステ ートリーク 電流	入出力、全出力端子(オ フ状態)	$ I_{sti} $	—	—	1	μA	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	kΩ	
端子容量	全端子	C_L	—	—	10	pF	

【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。

2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CFG} の 3.3V 系の電流の合計値です。
- *1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 する必要があります (EXTAL2 からクロックを入力する必要はありません)。
 - *2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。
 - *3 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。
 - *4 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。

表 22.5 HD6417750RF200 (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.35	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	190	480	mA	lck=200MHz
	スリープモード時		—	—	100		
	スタンバイモード時		—	—	400	μ A	Ta = 25 * ¹
			—	—	800		Ta > 50 * ¹
消費電流	通常動作	I_{DDQ}	—	140	180	mA	lck=200MHz、Bck=67MHz
	スリープモード時		—	30	35		
	スタンバイモード時		—	—	440	μ A	Ta = 25 * ¹
			—	—	880		Ta > 50 * ¹
RTC 消費電流	スタンバイモード時	I_{DD-RTC}	—	15	25	μ A	RTC ON* ²
			—	3	5		RTC OFF
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステ ートリーク 電流	入出力、全出力端子(オ フ状態)	$ I_{sti} $	—	—	1	μ A	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。

2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。

*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 にする必要があります (EXTAL2 からクロックを入力する必要はありません)。

*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。

表 22.6 HD6417750SBP200 (V)、HD6417750SBA200V DC 特性 (Ta = -20 ~ 75)

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	V_{DD}	1.8	1.95	2.07		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	I_{DD}	—	410	780	mA	Ick=200MHz
	スリープモード時		—	165	210		
	スタンバイモード時		—	—	2000	μ A	Ta = 25 (RTC on) *
			—	—	5000		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	140	180	mA	Ick=200MHz、 Bck=100MHz
	スリープモード時		—	40	50		
	スタンバイモード時		—	—	2200	μ A	Ta = 25 (RTC on) *
			—	—	5500		Ta > 50 (RTC on) *
RTC 消費電流	RTC 動作時	I_{DD-RTC}	—	15	25	μ A	RTC 入力クロック： 32.768kHz V_{DD-RTC} のみ電源供給
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.7 HD6417750SF200 (V) DC 特性 (Ta = -20 ~ 75)

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	V_{DD}	1.8	1.95	2.07		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	—	410	780	mA	lck=200MHz	
	スリープモード時		165	210			
	スタンバイモード時	—	—	2000	μA	Ta = 25 (RTC on) *	
		—	—	5000		Ta > 50 (RTC on) *	
消費電流	通常動作	—	140	180	mA	lck=200MHz、Bck=67MHz	
	スリープモード時		40	50			
	スタンバイモード時	—	—	2200	μA	Ta = 25 (RTC on) *	
		—	—	5500		Ta > 50 (RTC on) *	
RTC 消費電流	RTC 動作時	I_{DD-RTC}	—	15	25	μA	RTC 入力クロック： 32.768kHz V_{DD-RTC} のみ電源供給
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
プルアップ 抵抗	全プルアップ抵抗	R_{pull}	20	60	180	kΩ	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.8 HD6417750BP200M (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.8	1.95	2.07		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	1000	1200	mA	lck=200MHz
	スリープモード時		—	165	—		
	スタンバイモード時		—	—	2000	μ A	Ta = 25 (RTC on) *
			—	—	5000		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	160	200	mA	lck=200MHz、 Bck=100MHz
	スリープモード時		—	40	—		
	スタンバイモード時		—	—	2200	μ A	Ta = 25 (RTC on) *
			—	—	5500		Ta > 50 (RTC on) *
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.9 HD6417750SF167 (V) DC 特性 (Ta = -20 ~ 75)

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	V_{DD}	1.6	1.8	2.0		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	I_{DD}	—	320	650	mA	lck=167MHz
	スリープモード時		—	120	150		
	スタンバイモード時		—	50	400	μA	Ta = 25 (RTC on) *
			—	100	800		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	140	180	mA	lck=167MHz、Bck=84MHz
	スリープモード時		—	40	50		
	スタンバイモード時		—	110	440	μA	Ta = 25 (RTC on) *
			—	220	880		Ta > 50 (RTC on) *
RTC 消費電流	RTC 動作時	I_{DD-RTC}	—	15	25	μA	RTC 入力クロック : 32.768kHz V_{DD-RTC} のみ電源供給
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
プルアップ 抵抗	全プルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.10 HD6417750F167 (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.6	1.8	2.0		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	630	700	mA	lck=167MHz
	スリープモード時		—	120	—		
	スタンバイモード時		—	—	400	μ A	Ta = 25 (RTC on) *
			—	—	800		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	160	200	mA	lck=167MHz、Bck=84MHz
	スリープモード時		—	40	—		
	スタンバイモード時		—	—	440	μ A	Ta = 25 (RTC on) *
			—	—	880		Ta > 50 (RTC on) *
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \text{ min} = V_{DDQ} - 0.5 \text{ V}$ 、 $V_{IL} \text{ max} = 0.5 \text{ V}$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.11 HD6417750SVF133 (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.4	1.5	1.7		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	210	520	mA	lck=133MHz、Bck=67MHz
	スリープモード時		—	50	60		
	スタンバイモード時		—	—	100	μ A	Ta = 25 (RTC on) *
			—	—	200		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	80	160	mA	lck=133MHz、Bck=67MHz
	スリープモード時		—	35	40		
	スタンバイモード時		—	—	110	μ A	Ta = 25 (RTC on) *
			—	—	220		Ta > 50 (RTC on) *
RTC 消費電流	RTC 動作時	I_{DD-RTC}	—	15	25	μ A	RTC 入力クロック : 32.768kHz V_{DD-RTC} のみ電源供給
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ 抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.12 HD6417750SVBT133 (V) DC 特性 (Ta = -30 ~ 70)

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	V_{DD}	1.4	1.5	1.7		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	I_{DD}	—	210	520	mA	lck=133MHz、Bck=66MHz
	スリープモード時		—	50	60		
	スタンバイモード時		—	—	100	μ A	Ta = 25 (RTC on) *
			—	—	200		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	80	160	mA	lck=133MHz、Bck=67MHz
	スリープモード時		—	35	40		
	スタンバイモード時		—	—	110	μ A	Ta = 25 (RTC on) *
			—	—	220		Ta > 50 (RTC on) *
RTC 消費電流	RTC 動作時	I_{DD-RTC}	—	15	25	μ A	RTC 入力クロック： 32.768kHz V_{DD-RTC} のみ電源供給
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
プルアップ 抵抗	全プルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.13 HD6417750VF128 (V) DC 特性 (Ta = -20 ~ 75)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		V_{DDQ} $V_{DD-PLL1/2}$ V_{DD-CPG} V_{DD-RTC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD}	1.4	1.5	1.7		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	I_{DD}	—	—	520	mA	lck=128MHz、Bck=64MHz
	スリープモード時		—	—	60		
	スタンバイモード時		—	—	100	μ A	Ta = 25 (RTC on) *
			—	—	200		Ta > 50 (RTC on) *
消費電流	通常動作	I_{DDQ}	—	—	160	mA	lck=128MHz、Bck=64MHz
	スリープモード時		—	—	40		
	スタンバイモード時		—	—	110	μ A	Ta = 25 (RTC on) *
			—	—	220		Ta > 50 (RTC on) *
入力電圧	RESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST	V_{IL}	-0.3	—	$V_{DDQ} \times 0.1$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
出力電圧	全出力端子	V_{OH}	2.4	—	—	V	$I_{OH} = -2mA$
		V_{OL}	—	—	0.55		$I_{OL} = 2mA$
ブルアップ抵抗	全ブルアップ抵抗	R_{pull}	20	60	180	k Ω	
端子容量	全端子	C_L	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} を V_{DDQ} に、 V_{SS-CPG} 、 $V_{SS-PLL1/2}$ 、 V_{SS-RTC} は GND に接続してください。
2. 消費電流値は $V_{IH} \text{ min} = V_{DDQ} - 0.5 \text{ V}$ 、 $V_{IL} \text{ max} = 0.5 \text{ V}$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. I_{DDQ} は V_{DDQ} 、 $V_{DD-PLL1/2}$ 、 V_{DD-RTC} 、 V_{DD-CPG} の 3.3V 系の電流の合計値です。
- * スタンバイモード時にリーク電流を下げるためには、RTC をオン (EXTAL2 からクロックを入力し、かつ RCR2.RTCEN=1) にする必要があります。

表 22.14 出力許容電流値 (Ta= -20 ~ 75)

項目	記号	Min	Typ	Max	単位
出力ローレベル許容電流 (1 端子あたり)	I_{OL}	—	—	2	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	—	—	120	
出力ハイレベル許容電流 (1 端子)	$-I_{OH}$	—	—	2	
出力ハイレベル許容電流 (総和)	$\Sigma (-I_{OH})$	—	—	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 22.14 の値を超えないようにしてください。

22.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 22.15 クロックタイミング
(HD6417750RBP240 (V)、HD6417750RBG240 (V)、HD6417750RBA240HV)

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	240	MHz
	外部バス		1	—	120	
	周辺モジュール		1	—	60	

表 22.16 クロックタイミング (HD6417750RF240 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	240	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	60	

表 22.17 クロックタイミング
(HD6417750BP200M (V)、HD6417750SBP200 (V)、HD6417750SBA200V、
HD6417750RBP200 (V)、HD6417750RBG200 (V)、HD6417750RBA240HV*¹)

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	200	MHz
	外部バス		1	—	100	
	周辺モジュール		1	—	50	

【注】*1 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

表 22.18 クロックタイミング (HD6417750RF200 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	200	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	50	

表 22.19 クロックタイミング (HD6417750SF200 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	200	MHz
	外部バス		1	—	67	
	周辺モジュール		1	—	50	

表 22.20 クロックタイミング (HD6417750F167 (V)、HD6417750SF167 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	167	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	42	

表 22.21 クロックタイミング (HD6417750SVF133 (V)、HD6417750SVBT133 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	134	MHz
	外部バス		1	—	67	
	周辺モジュール		1	—	34	

表 22.22 クロックタイミング (HD6417750VF128 (V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	128	MHz
	外部バス		1	—	64	
	周辺モジュール		1	—	32	

22.3.1 クロック・制御信号タイミング

表 22.23 クロック・制御信号タイミング
 HD6417750RBP240 (V)、HD6417750RBG240 (V)、HD6417750RBA240HV

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$ *²、 $C_L=30pF$)

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逡倍動作 / PLL2 動作時	f_{EX}	16	34	MHz	
	PLL1 12 逡倍動作 / PLL2 動作時		14	20		
	PLL1 2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		t_{EXCyc}	30	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL1 2 動作時	f_{OP}	25	120	MHz	
	PLL1 2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		t_{cyc}	8.3	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間		t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定		t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間		t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間		t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間		t_{MDRS}	3	-	t_{cyc}	22.12
MD リセットホールド時間		t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間		t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間		t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1		t_{OSC2}	3	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2		t_{OSC3}	3	-	ms	22.7
スタンバイ復帰発振安定時間 3		t_{OSC4}	3	-	ms	22.8
スタンバイ復帰発振安定時間 1* ¹		t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2* ¹		t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3* ¹		t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間		t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- *1 水晶発振子の発振安定時間が 1ms 以下の場合
- *2 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。

表 22.24 HD6417750RF240 (V) クロック・制御信号タイミング

($V_{DD0} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim +75$ 、 $C_L = 30pF$)

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 通倍動作 / PLL2 動作時	f_{EX}	16	34	MHz	
	PLL1 12 通倍動作 / PLL2 動作時		14	20		
	PLL1 2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		t_{EXCyc}	30	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL1/PLL2 動作時	f_{OP}	25	84	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		t_{Oyc}	11.9	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間		t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定		t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間		t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間		t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間		t_{MDRS}	3	-	t_{Cyc}	22.12
MD リセットホールド時間		t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間		t_{RESW}	20	-	t_{Cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間		t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1		t_{OSC2}	3	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2		t_{OSC3}	3	-	ms	22.7
スタンバイ復帰発振安定時間 3		t_{OSC4}	3	-	ms	22.8

項目	記号	Min	Max	単位	参照図
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
 2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- * 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.25 クロック・制御信号タイミング

HD6417750RBP200 (V)、HD6417750RBG200 (V)、HD6417750RBA240HV*²($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$ *³、 $C_L=30pF$)

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逓倍動作 / PLL2 動作時	f_{EX}	16	34	MHz	
	PLL1 12 逓倍動作 / PLL2 動作時		14	17		
	PLL1 2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		t_{EXCYC}	30	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL1/PLL2 動作時	f_{OP}	25	100	MHz	
	PLL1/PLL2 非動作時		1	34		
CKIO クロック出力サイクルタイム		t_{CYC}	10	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間		t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定		t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間		t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間		t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間		t_{MDRS}	3	-	t_{CYC}	22.12
MD リセットホールド時間		t_{MDRH}	20	-	ns	22.3、22.5、22.12

項目	記号	Min	Max	単位	参照図
RESET アサート時間	t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間	t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1	t_{OSC2}	5	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1* ¹	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2* ¹	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3* ¹	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

*1 水晶発振子の発振安定時間が 1ms 以下の場合

*2 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

*3 HD6417750RBA240HV のみ、 $T_a = -40 \sim 85$ の範囲になります。

表 22.26 HD6417750RF200 (V) クロック・制御信号タイミング

($V_{DD0} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim +75$ 、 $C_L = 30pF$)

項目	記号	Min	Max	単位	参照図	
EXTAL クロック入力周 波数	PLL1 6 逓倍動作 / PLL2 動作時	f_{EX}	16	34	MHz	
	PLL1 12 逓倍動作 / PLL2 動作時		14	17		
	PLL1 2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム	t_{EXcyc}	30	1000	ns	22.1	
EXTAL クロックインプットローレベルパルス幅	t_{EXL}	3.5	-	ns	22.1	
EXTAL クロックインプットハイレベルパルス幅	t_{EXH}	3.5	-	ns	22.1	
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	4	ns	22.1	
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	4	ns	22.1	
CKIO クロック出力	PLL1/PLL2 動作時	f_{OP}	25	84	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム	t_{cyc}	11.9	1000	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅	t_{CKOL1}	1	-	ns	22.2 (1)	
CKIO クロック出力ハイレベルパルス幅	t_{CKOH1}	1	-	ns	22.2 (1)	
CKIO クロック出力立ち上がり時間	t_{CKOr}	-	3	ns	22.2 (1)	
CKIO クロック出力立ち下がり時間	t_{CKOf}	-	3	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅	t_{CKOL2}	3	-	ns	22.2 (2)	

項目	記号	Min	Max	単位	参照図
CKIO クロック出力ハイレベルパルス幅	t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間	t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定	t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間	t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間	t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間	t_{MDRS}	3	-	t_{cyc}	22.12
MD リセットホールド時間	t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間	t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間	t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1	t_{OSC2}	5	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバーターン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。

2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

* 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.27 クロック・制御信号タイミング

HD6417750BP200M (V)、HD6417750SBP200 (V)、HD6417750SBA200V

(V_{DD0}=3.0~3.6V、V_{DD}=1.8V、T_a=-20~+75、C_L=30pF)

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL2 動作時	1/2 div. 動作時	16	67	MHz	
		1/2 div. 非動作時				
	PLL2 非動作時	1/2 div. 動作時	2	67		
		1/2 div. 非動作時				
EXTAL クロックインプットサイクルタイム		t_{EXcyc}	15	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL2 動作時	f_{OP}	25	100	MHz	
	PLL2 非動作時		1	100	MHz	

項目	記号	Min	Max	単位	参照図
CKIO クロック出力サイクルタイム	t_{cyc}	10	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅	t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅	t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間	t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間	t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅	t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅	t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間	t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定	t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間	t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間	t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間	t_{MDRS}	3	-	t_{cyc}	22.12
MD リセットホールド時間	t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間	t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間	t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
 2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- * 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.28 HD6417750SF200 (V) クロック・制御信号タイミング

(V_{DD0}=3.0~3.6V、V_{DD}=1.8V、T_a=-20~+75、C_L=30pF)

項目		記号	Min	Max	単位	参照図	
EXTAL クロック入力周 波数	PLL2 動作時	1/2 div. 動作時	f _{EX}	16	67	MHz	
		1/2 div. 非動作時		8	34		
	PLL2 非動作時	1/2 div. 動作時		2	67		
		1/2 div. 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		t _{EXcyt}	15	1000	ns	22.1	
EXTAL クロックインプットローレベルパルス幅		t _{EXL}	3.5	-	ns	22.1	
EXTAL クロックインプットハイレベルパルス幅		t _{EXH}	3.5	-	ns	22.1	
EXTAL クロック入力立ち上がり時間		t _{EXr}	-	4	ns	22.1	
EXTAL クロック入力立ち下がり時間		t _{EXf}	-	4	ns	22.1	
CKIO クロック出力	PLL2 動作時	f _{OP}	25	67	MHz		
	PLL2 非動作時		1	67	MHz		
CKIO クロック出力サイクルタイム		t _{cyt}	10	1000	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅		t _{CKOL1}	1	-	ns	22.2 (1)	
CKIO クロック出力ハイレベルパルス幅		t _{CKOH1}	1	-	ns	22.2 (1)	
CKIO クロック出力立ち上がり時間		t _{CKOr}	-	3	ns	22.2 (1)	
CKIO クロック出力立ち下がり時間		t _{CKOf}	-	3	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅		t _{CKOL2}	3	-	ns	22.2 (2)	
CKIO クロック出力ハイレベルパルス幅		t _{CKOH2}	3	-	ns	22.2 (2)	
パワーオン発振安定時間		t _{OSC1}	10	-	ms	22.3、22.5	
パワーオン発振安定時間 / モード安定		t _{OSCMD}	10	-	ms	22.3、22.5	
SCK2 リセットセットアップ時間		t _{SCK2RS}	20	-	ns	22.11	
SCK2 リセットホールド時間		t _{SCK2RH}	20	-	ns	22.3、22.5、22.11	
MD リセットセットアップ時間		t _{MDRS}	3	-	t _{cyt}	22.12	
MD リセットホールド時間		t _{MDRH}	20	-	ns	22.3、22.5、22.12	
RESET アサート時間		t _{RESW}	20	-	t _{cyt}	22.3、22.4、22.5、22.6、22.11	
PLL 同期安定化時間		t _{PLL}	200	-	μs	22.9、22.10	
スタンバイ復帰発振安定時間 1		t _{OSC2}	10	-	ms	22.4、22.6	
スタンバイ復帰発振安定時間 2		t _{OSC3}	5	-	ms	22.7	
スタンバイ復帰発振安定時間 3		t _{OSC4}	5	-	ms	22.8	
スタンバイ復帰発振安定時間 1*		t _{OSC2}	2	-	ms		
スタンバイ復帰発振安定時間 2*		t _{OSC3}	2	-	ms		
スタンバイ復帰発振安定時間 3*		t _{OSC4}	2	-	ms		
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		t _{IRLSTB}	-	200	μs	22.10	
TRST リセットホールド時間		t _{TRSTRH}	0	-	ns	22.3、22.5	

【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートー

ン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。

- PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

* 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.29 HD6417750F167 (V)、HD6417750SF167 (V) クロック・制御信号タイミング

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim +75$ 、 $C_L=30pF$)

項目			記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL2 動作時	1/2 div. 動作時	f_{EX}	16	56	MHz	
		1/2 div. 非動作時		8	28		
	PLL2 非動作時	1/2 div. 動作時		2	56		
		1/2 div. 非動作時		1	28		
EXTAL クロックインプットサイクルタイム			t_{EXCYC}	18	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅			t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅			t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間			t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間			t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL2 動作時		f_{OP}	25	84	MHz	
	PLL2 非動作時			1	84	MHz	
CKIO クロック出力サイクルタイム			t_{CYC}	12	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅			t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅			t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間			t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間			t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅			t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅			t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間			t_{OSC1}	10	-	ms	22.3、22.5
パワーオン発振安定時間 / モード安定			t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間			t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間			t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間			t_{MDRS}	3	-	t_{CYC}	22.12
MD リセットホールド時間			t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間			t_{RESW}	20	-	t_{CYC}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間			t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1			t_{OSC2}	10	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2			t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3			t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1*			t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*			t_{OSC3}	2	-	ms	

スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μ s	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバーターン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

* 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.30 HD6417750SVF133 (V)、HD6417750SVBT133 (V) クロック・制御信号タイミング

HD6417750SVBT133 (V) : $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-30\sim +70$ 、 $C_L=30pF$

HD6417750SVF133 (V) : $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$ 、 $C_L=30pF$

項目		記号	Min	Max	単位	参照図	
EXTAL クロック入力周 波数	PLL2 動作時	1/2 div. 動作時	f_{EX}	16	45	MHz	
		1/2 div. 非動作時		8	23		
	PLL2 非動作時	1/2 div. 動作時		2	45		
		1/2 div. 非動作時		1	23		
EXTAL クロックインプットサイクルタイム		t_{EXCyc}	22	1000	ns	22.1	
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1	
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1	
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1	
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1	
CKIO クロック出力	PLL2 動作時	f_{OP}	25	67	MHz		
	PLL2 非動作時		1	67	MHz		
CKIO クロック出力サイクルタイム		t_{cyc}	14	1000	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	22.2 (1)	
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	22.2 (1)	
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	22.2 (1)	
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	22.2 (1)	
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	22.2 (2)	
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	22.2 (2)	
パワーオン発振安定時間		t_{OSC1}	10	-	ms	22.3、22.5	
パワーオン発振安定時間 / モード安定		t_{OSCMD}	10	-	ms	22.3、22.5	
SCK2 リセットセットアップ時間		t_{SCK2RS}	20	-	ns	22.11	
SCK2 リセットホールド時間		t_{SCK2RH}	20	-	ns	22.3、22.5、22.11	
MD リセットセットアップ時間		t_{MDRS}	3	-	t_{cyc}	22.12	
MD リセットホールド時間		t_{MDRH}	20	-	ns	22.3、22.5、22.12	
RESET アサート時間		t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11	

項目	記号	Min	Max	単位	参照図
PLL 同期安定化時間	t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートゥーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- * 水晶発振子の発振安定時間が 1ms 以下の場合

表 22.31 HD6417750VF128 (V) クロック・制御信号タイミング

(V_{DD0}=3.0~3.6V、V_{DD}=1.5V、T_{amb}=-20~+75、C_L=30pF)

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL2 動作時	1/2 div. 動作時	f_{EX}	16	43	MHz
		1/2 div. 非動作時		8	22	
	PLL2 非動作時	1/2 div. 動作時		2	43	
		1/2 div. 非動作時		1	22	
EXTAL クロックインプットサイクルタイム		t_{EXCyc}	23	1000	ns	22.1
EXTAL クロックインプットローレベルパルス幅		t_{EXL}	3.5	-	ns	22.1
EXTAL クロックインプットハイレベルパルス幅		t_{EXH}	3.5	-	ns	22.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	22.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	22.1
CKIO クロック出力	PLL2 動作時	f_{OP}	25	64	MHz	
	PLL2 非動作時		1	64	MHz	
CKIO クロック出力サイクルタイム		t_{cyc}	15	1000	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	22.2 (1)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	22.2 (1)
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	22.2 (1)
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	22.2 (1)
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	22.2 (2)
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	22.2 (2)
パワーオン発振安定時間		t_{OSC1}	10	-	ms	22.3、22.5

項目	記号	Min	Max	単位	参照図
パワーオン発振安定時間 / モード安定	t_{OSCMD}	10	-	ms	22.3、22.5
SCK2 リセットセットアップ時間	t_{SCK2RS}	20	-	ns	22.11
SCK2 リセットホールド時間	t_{SCK2RH}	20	-	ns	22.3、22.5、22.11
MD リセットセットアップ時間	t_{MDRS}	3	-	t_{cyc}	22.12
MD リセットホールド時間	t_{MDRH}	20	-	ns	22.3、22.5、22.12
RESET アサート時間	t_{RESW}	20	-	t_{cyc}	22.3、22.4、22.5、22.6、22.11
PLL 同期安定化時間	t_{PLL}	200	-	μs	22.9、22.10
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	22.4、22.6
スタンバイ復帰発振安定時間 2	t_{OSC3}	5	-	ms	22.7
スタンバイ復帰発振安定時間 3	t_{OSC4}	5	-	ms	22.8
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)	t_{IRLSTB}	-	200	μs	22.10
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	22.3、22.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバーターン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- * 水晶発振子の発振安定時間が 1ms 以下の場合

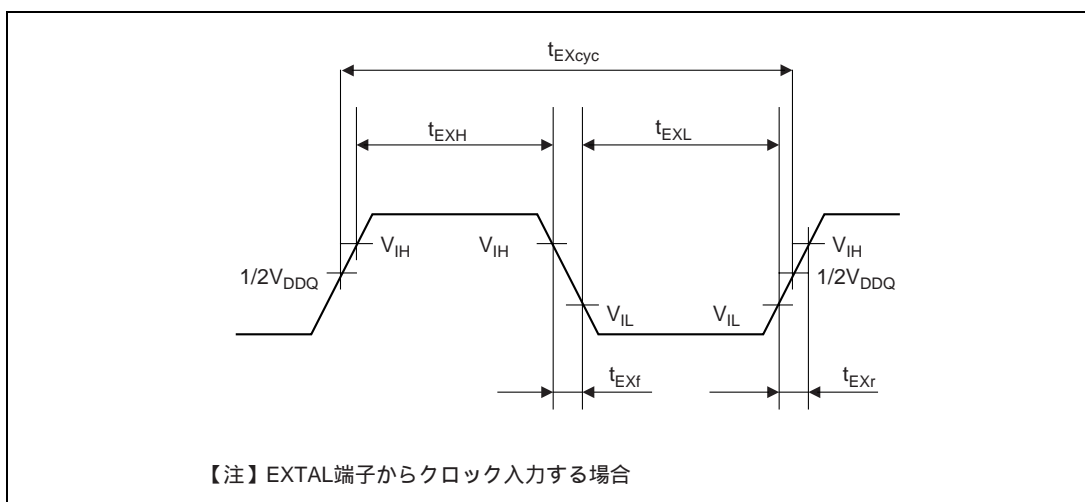


図 22.1 EXTAL クロック入力タイミング

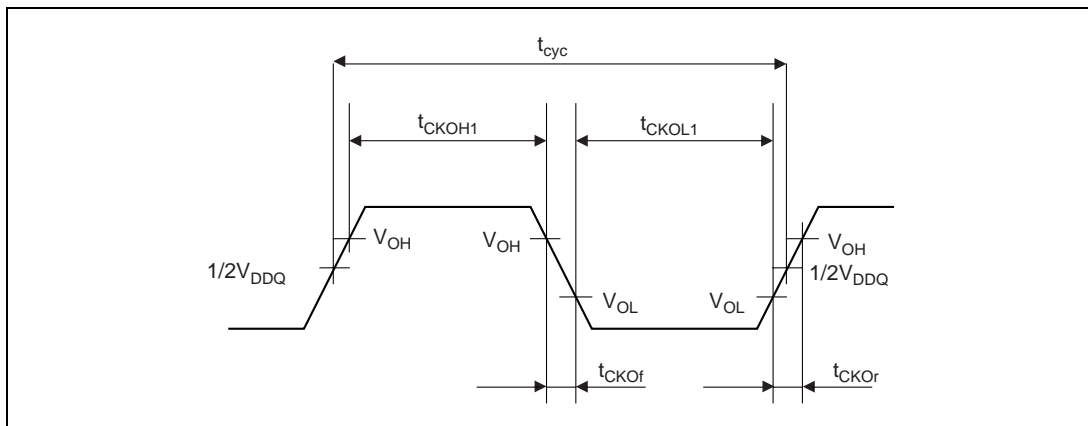


図 22.2 (1) CKIO クロック出力タイミング

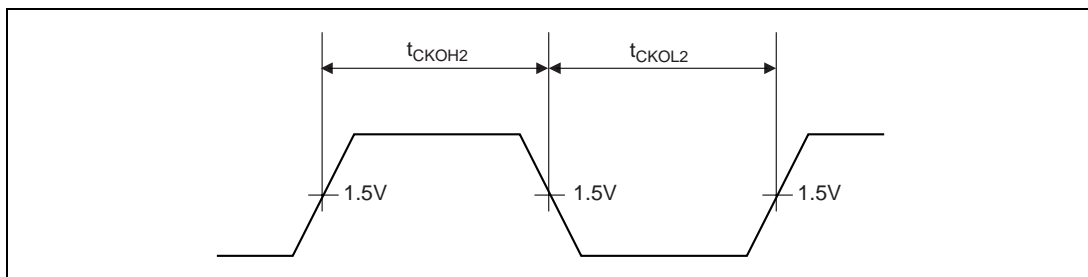


図 22.2 (2) CKIO クロック出力タイミング

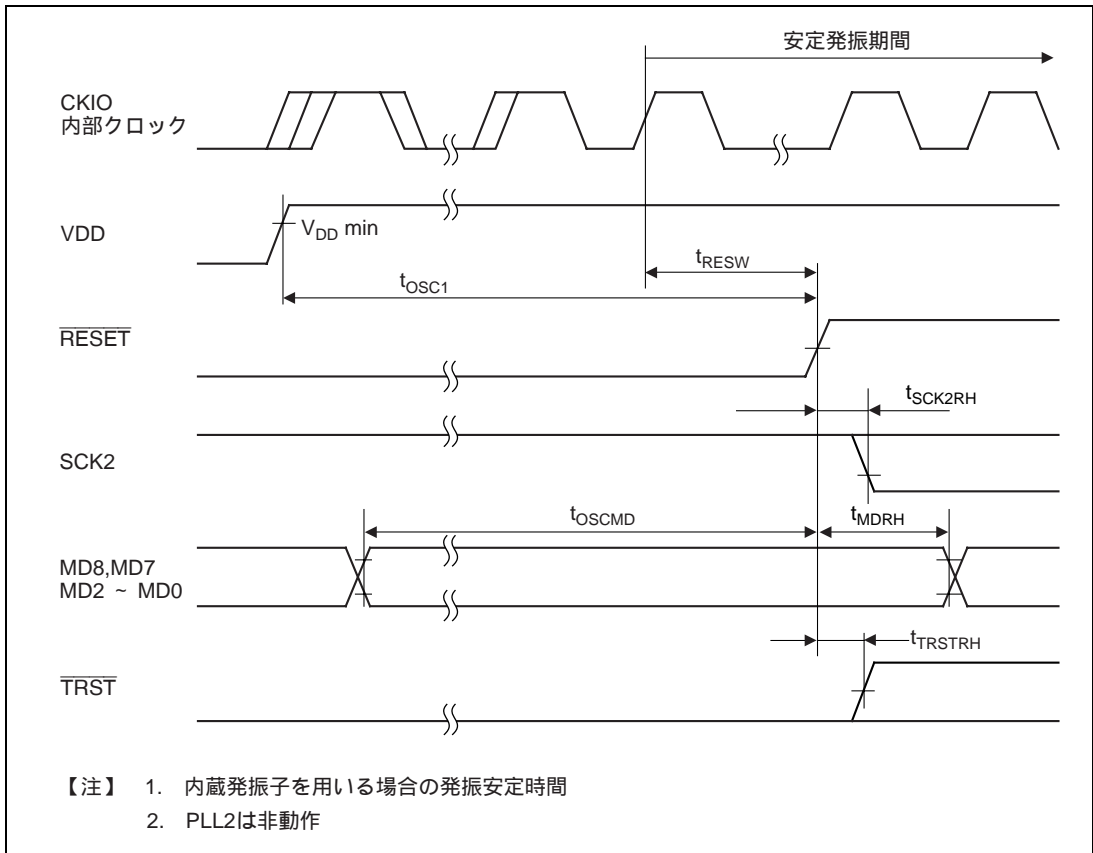


図 22.3 パワーオン発振安定時間

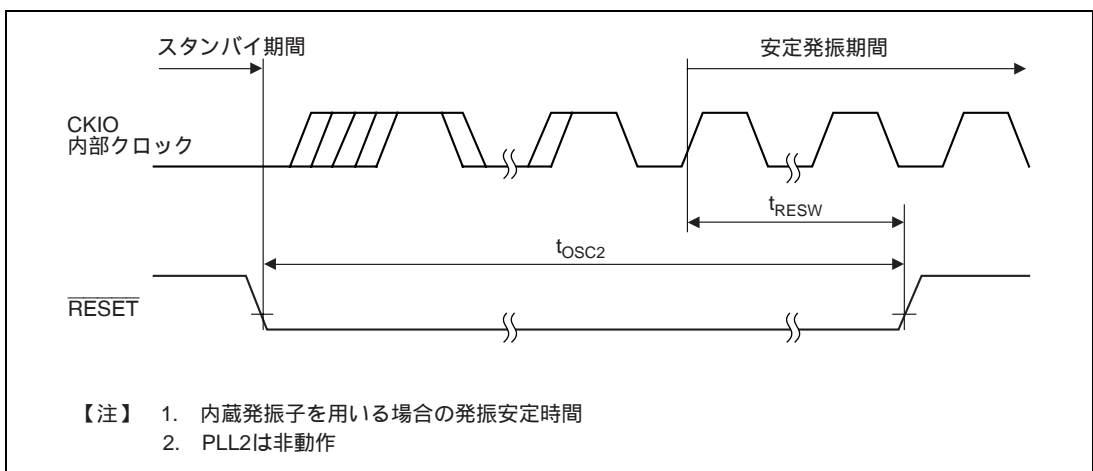


図 22.4 スタンバイ復帰時発振安定時間 (RESET による復帰)

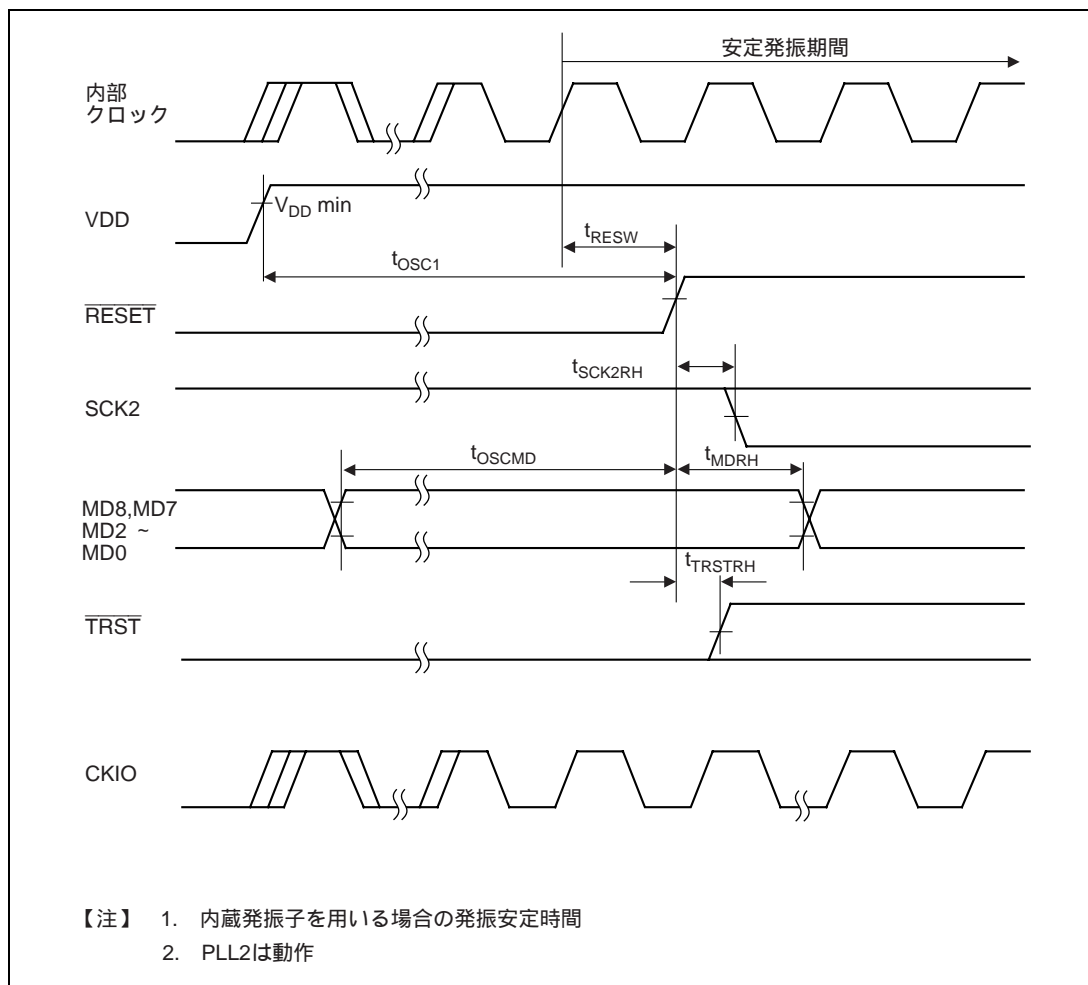


図 22.5 パワーオン時発振安定時間

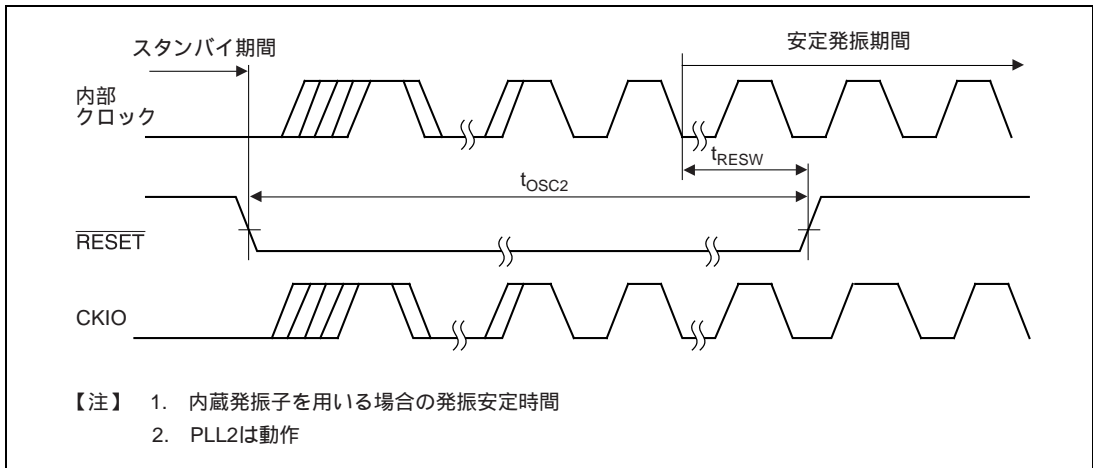


図 22.6 スタンバイ復帰時発振安定時間 (RESET による復帰)

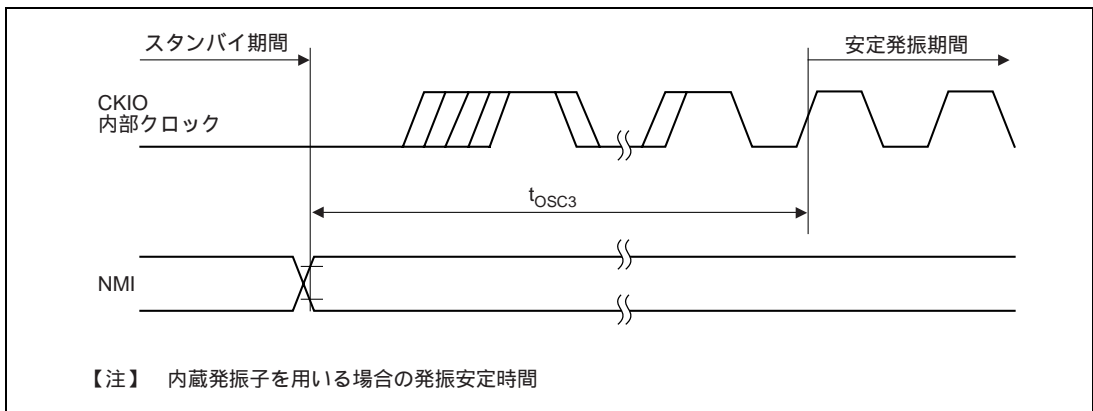


図 22.7 スタンバイ復帰時発振安定時間 (NMI による復帰)

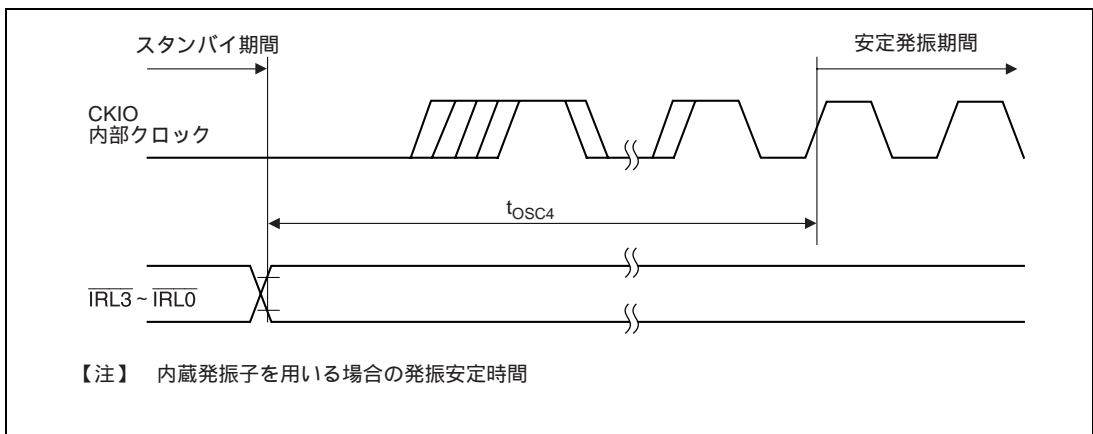


図 22.8 スタンバイ復帰時発振安定時間 (IRL3~IRL0 による復帰)

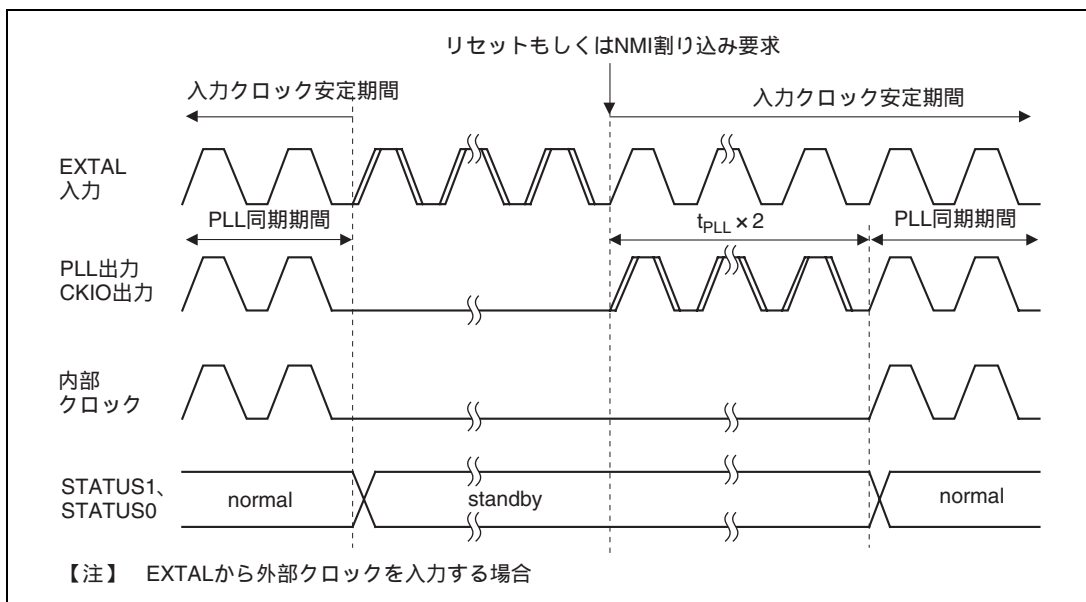
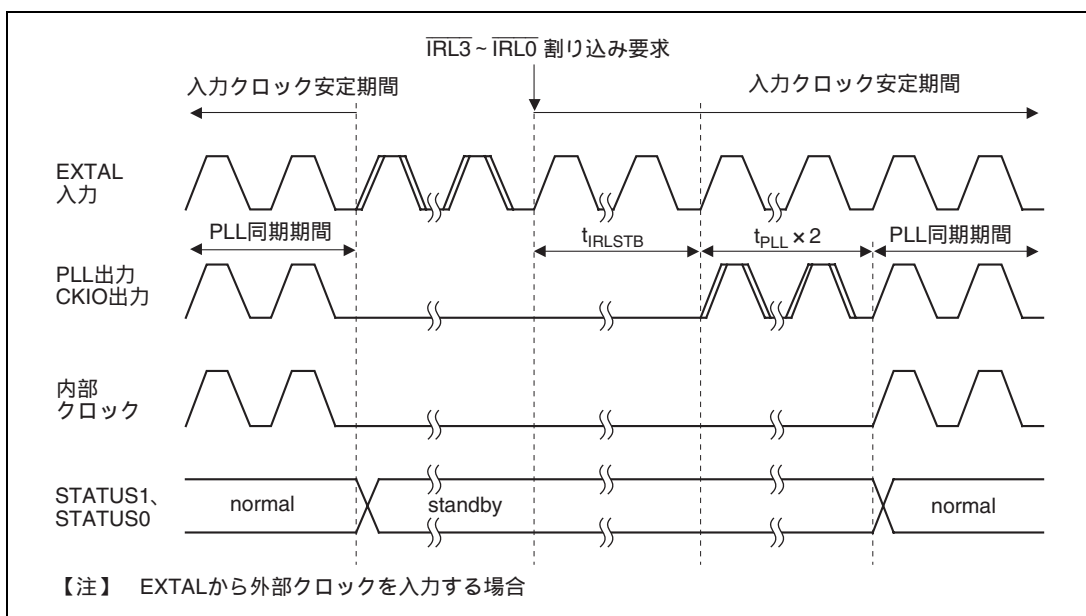


図 22.9 RESET または NMI 割り込みによる PLL 同期安定化時間

図 22.10 \overline{IRL} 割り込みによる PLL 同期安定化時間

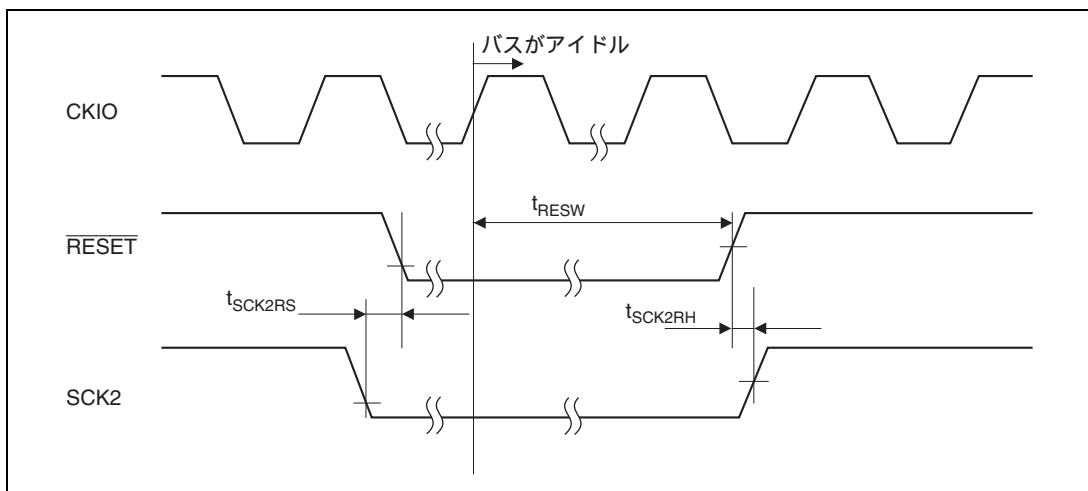


図 22.11 マニュアルリセット入力タイミング

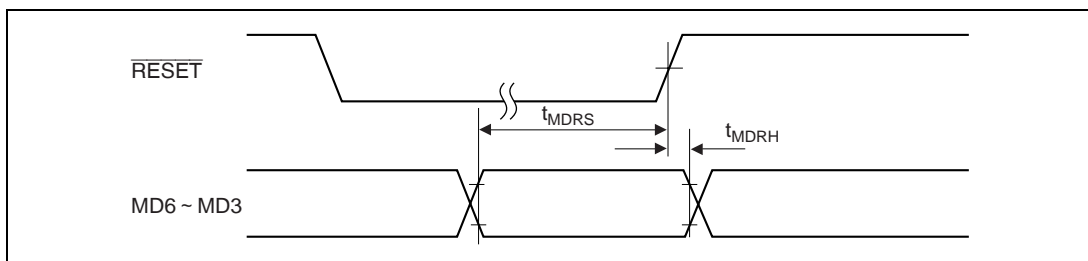


図 22.12 モード入力タイミング

22.3.2 制御信号タイミング

表 22.32 制御信号タイミング

項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RBA240HV		HD6417750 RBA240HV* ⁵		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図
		* ¹		* ¹		* ¹		* ¹		* ¹		* ¹							
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max						
BREQ セットアップ時間	t _{BREQS}	2	-	2.5	-	3.5	-	3.5	-	3.5	-	3.5	-	ns	22.13				
BREQ ホールド時間	t _{BREQH}	1.5	-	1.5	-	1.5	-	1.5	-	1.5	-	1.5	-	ns	22.13				
BACK 遅延時間	t _{BACKD}	-	5.3	-	6	-	6	-	6	-	6	-	6	ns	22.13				
バスタライステート 遅延時間	t _{BOFF1}	-	12	-	12	-	12	-	12	-	12	-	12	ns	22.13				
スタンバイモードへの バスタライステート 遅延時間	t _{BOFF2}	-	2	-	2	-	2	-	2	-	2	-	2	t _{cyt}	22.14 (2)				
バスバッファオンタイム	t _{BON1}	-	12	-	12	-	12	-	12	-	12	-	12	ns	22.13				
スタンバイからのバス バッファオンタイム	t _{BON2}	-	2	-	2	-	2	-	2	-	2	-	2	t _{cyt}	22.14 (2)				
STATUS 0、STATUS 1 遅延時間	t _{STD1}	-	6	-	6	-	6	-	6	-	6	-	6	ns	22.14 (1)				
	t _{STD2}	-	2	-	2	-	2	-	2	-	2	-	2	t _{cyt}	22.14(1)(2)				
	t _{STD3}	-	2	-	2	-	2	-	2	-	2	-	2	t _{cyt}	22.14 (2)				

表 22.33 制御信号タイミング

項目	略称	HD6417750 VF128 (V)		HD6417750 SVF133 (V) HD6417750 SVBT133 (V)		HD6417750 F167 (V) HD6417750 SF167 (V) HD6417750 SF200 (V)		HD6417750 BP200M (V) HD6417750 SBP200 (V) HD6417750 SBA200V		単位	参照図
		*2		*2		*3		*4			
		Min	Max	Min	Max	Min	Max	Min	Max		
BREQ セットアップ時間	t_{BREQS}	3.5	-	3.5	-	3.5	-	3	-	ns	22.13
BREQ ホールド時間	t_{BREQH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	22.13
BACK 遅延時間	t_{BACKD}	-	10	-	10	-	8	-	6	ns	22.13
バストライステート 遅延時間	t_{BOFF1}	-	15	-	15	-	12	-	10	ns	22.13
スタンバイモードへの バストライステート 遅延時間	t_{BOFF2}	-	2	-	2	-	2	-	2	t_{cyc}	22.14 (2)
バスバッファオンタイム	t_{BON1}	-	12	-	12	-	12	-	12	ns	22.13
スタンバイからのバス バッファオンタイム	t_{BON2}	-	2	-	2	-	2	-	2	t_{cyc}	22.14 (2)
STATUS 0、STATUS 1 遅延時間	t_{STD1}	-	6	-	6	-	6	-	6	ns	22.14 (1)
	t_{STD2}	-	2	-	2	-	2	-	2	t_{cyc}	22.14 (1) (2)
	t_{STD3}	-	2	-	2	-	2	-	2	t_{cyc}	22.14 (2)

【注】 *1 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ *6、 $C_L=30pF$ 、PLL2 は on

*2 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*4 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*5 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

*6 HD6417750RBA240HV のみ、 $T_a=-40\sim 85$ の範囲になります。

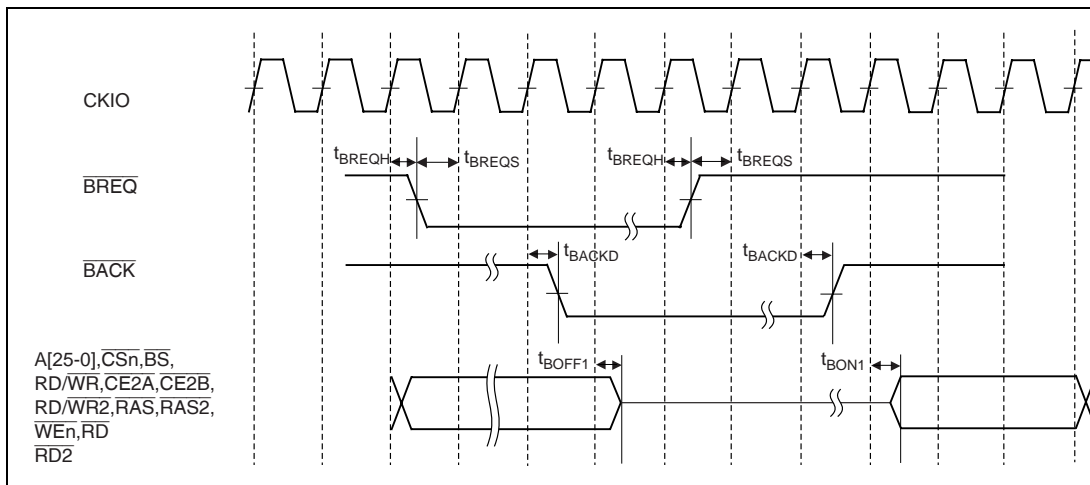


図 22.13 制御信号タイミング

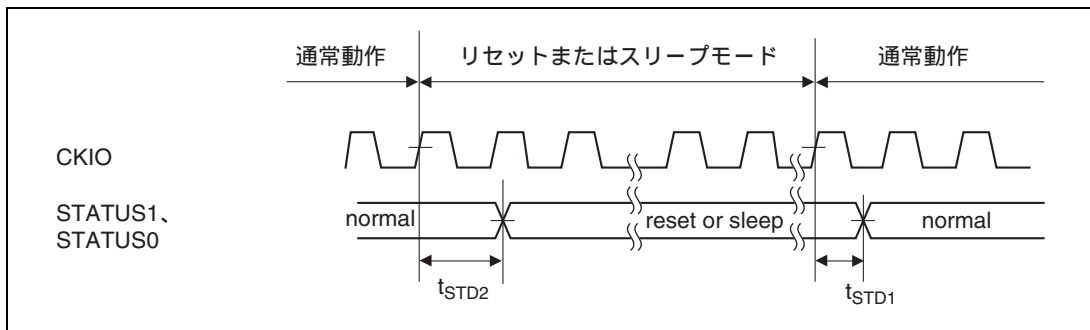


図 22.14 (1) リセットまたはスリープモード時のピンドライブタイミング

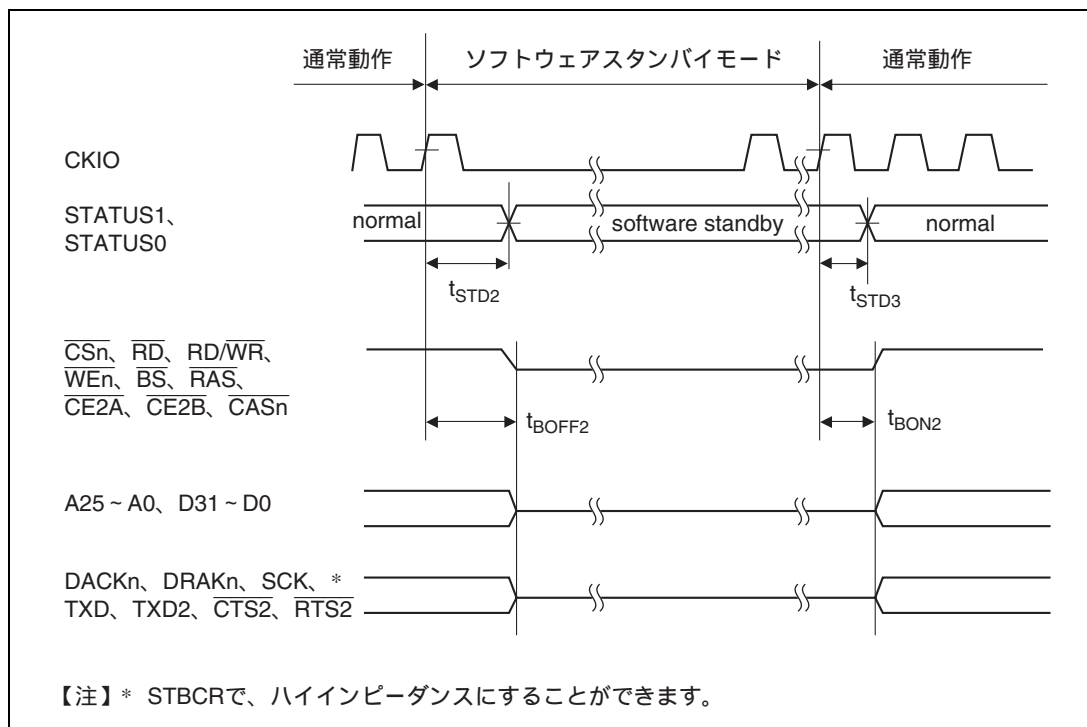


図 22.14 (2) ソフトウェアスタンバイモード時のピンドライブタイミング

22.3.3 バスタイミング

表 22.34 バスタイミング (1)

項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		単位	備考
		HD6417750 RBA240HV		HD6417750 RBA240HV* ²		HD6417750 RF240 (V)		HD6417750 RF200 (V)			
		* ¹		* ¹		* ¹		* ¹			
		Min	Max	Min	Max	Min	Max	Min	Max		
アドレス遅延時間	t_{AD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
BS 遅延時間	t_{BSD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
CS 遅延時間	t_{CSD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
RW 遅延時間	t_{RWD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
RD 遅延時間	t_{RSD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
読み出しデータセットアップ時間	t_{RDS}	2	-	2.5	-	3.5	-	3.5	-	ns	
読み出しデータホールド時間	t_{RDH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	-	5.3	-	6	-	6	-	6	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	t_{WED1}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
書き込みデータ遅延時間	t_{WDD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
RDY セットアップ時間	t_{RDYS}	2	-	2.5	-	3.5	-	3.5	-	ns	
RDY ホールド時間	t_{RDYH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	
RAS 遅延時間	t_{RASD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
CAS 遅延時間 1	t_{CASD1}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	DRAM
CAS 遅延時間 2	t_{CASD2}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	SDRAM
CKE 遅延時間	t_{CKED}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	SDRAM
DQM 遅延時間	t_{DOMD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	SDRAM
FRAME 遅延時間	t_{FMD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	MPX
IOIS16 セットアップ時間	t_{IO16S}	2	-	2.5	-	3.5	-	3.5	-	ns	PCMCIA
IOIS16 ホールド時間	t_{IO16H}	1.5	-	1.5	-	1.5	-	1.5	-	ns	PCMCIA
ICIORW 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	PCMCIA
ICIORD 遅延時間	t_{ICRSDF}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	PCMCIA
DACK 遅延時間	t_{DACD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	

項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		単位	備考
		HD6417750 RBA240HV		HD6417750 RBA240HV*2		HD6417750 RF240 (V)		HD6417750 RF200 (V)			
		*1		*1		*1		*1			
Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACDF}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	CKIO の立ち下がりエッジに対して
DTR セットアップ時間	t_{DTRS}	2.0	-	2.5	-	3.5	-	3.5	-	ns	
DTR ホールド時間	t_{DTRH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	
DBREQ セットアップ時間	t_{DBOS}	2.0	-	2.5	-	3.5	-	3.5	-	ns	
DBREQ ホールド時間	t_{DBQH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	
TR セットアップ時間	t_{TRS}	2.0	-	2.5	-	3.5	-	3.5	-	ns	
TR ホールド時間	t_{TRH}	1.5	-	1.5	-	1.5	-	1.5	-	ns	
BAVL 遅延時間	t_{BAVD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
TDACK 遅延時間	t_{TDAD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	
ID1、ID0 遅延時間	t_{IDD}	1.5	5.3	1.5	6	1.5	6	1.5	6	ns	

【注】 *1 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ *3、 $C_L=30pF$ 、PLL2 は on

*2 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

*3 HD6417750RBA240HV のみ、 $T_a=-40\sim 85$ の範囲になります。

表 22.35 バスタイミング (2)

項目	略称	HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	備考
		HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V			
		*1		*2		*3			
		Min	Max	Min	Max	Min	Max		
アドレス遅延時間	t_{AD}	1.5	10	1.5	8	1.5	6	ns	
BS 遅延時間	t_{BSD}	1.5	10	1.5	8	1.5	6	ns	
CS 遅延時間	t_{CSD}	1.5	10	1.5	8	1.5	6	ns	
RW 遅延時間	t_{RWD}	1.5	10	1.5	8	1.5	6	ns	
RD 遅延時間	t_{RSD}	1.5	10	1.5	8	1.5	6	ns	
読み出しデータセットアップ時間	t_{RDS}	3.5	-	3.5	-	3	-	ns	
読み出しデータホールド時間	t_{RDH}	1.5	-	1.5	-	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	-	10	-	8	-	6	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	t_{WED1}	1.5	10	1.5	8	1.5	6	ns	
書き込みデータ遅延時間	t_{WDD}	1.5	10	1.5	8	1.5	6	ns	
RDY セットアップ時間	t_{RDYS}	3.5	-	3.5	-	3	-	ns	
RDY ホールド時間	t_{RDYH}	1.5	-	1.5	-	1.5	-	ns	
RAS 遅延時間	t_{RASD}	1.5	10	1.5	8	1.5	6	ns	
CAS 遅延時間 1	t_{CASD1}	1.5	10	1.5	8	1.5	6	ns	DRAM
CAS 遅延時間 2	t_{CASD2}	1.5	10	1.5	8	1.5	6	ns	SDRAM
CKE 遅延時間	t_{CKED}	1.5	10	1.5	8	1.5	6	ns	SDRAM
DQM 遅延時間	t_{DQMD}	1.5	10	1.5	8	1.5	6	ns	SDRAM
FRAME 遅延時間	t_{FMD}	1.5	10	1.5	8	1.5	6	ns	MPX
IOIS16 セットアップ時間	t_{IO16S}	3.5	-	3.5	-	3	-	ns	PCMCIA
IOIS16 ホールド時間	t_{IO16H}	1.5	-	1.5	-	1.5	-	ns	PCMCIA
ICIORW 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.5	10	1.5	8	1.5	6	ns	PCMCIA
ICIORD 遅延時間	t_{ICRSO}	1.5	10	1.5	8	1.5	6	ns	PCMCIA
DACK 遅延時間	t_{DACD}	1.5	10	1.5	8	1.5	6	ns	
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACDF}	1.5	10	1.5	8	1.5	6	ns	CKIO の立ち下がりエッジに対して
DTR セットアップ時間	t_{DTRS}	3.5	-	3.5	-	3	-	ns	
DTR ホールド時間	t_{DTRH}	1.5	-	1.5	-	1.5	-	ns	

項目	略称	HD6417750 SVF133 (V) HD6417750 SVBT133 (V)		HD6417750 SF167 (V) HD6417750 SF200 (V)		HD6417750 SBP200 (V) HD6417750 SBA200V		単位	備考
		*1		*2		*3			
		Min	Max	Min	Max	Min	Max		
DBREQ セットアップ時間	t_{DBQS}	3.5	-	3.5	-	3	-	ns	
DBREQ ホールド時間	t_{DBQH}	1.5	-	1.5	-	1.5	-	ns	
TR セットアップ時間	t_{TRS}	3.5	-	3.5	-	3	-	ns	
TR ホールド時間	t_{TRH}	1.5	-	1.5	-	1.5	-	ns	
BAVL 遅延時間	t_{BAVD}	1.5	10	1.5	8	1.5	6	ns	
TDACK 遅延時間	t_{TDAD}	1.5	10	1.5	8	1.5	6	ns	
ID1、ID0 遅延時間	t_{IDD}	1.5	10	1.5	8	1.5	6	ns	

【注】 *1 $V_{DDQ}=3.0 \sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20 \sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*2 $V_{DDQ}=3.0 \sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20 \sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DDQ}=3.0 \sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20 \sim 75$ 、 $C_L=30pF$ 、PLL2 は on

表 22.36 バスタイミング (3)

項目	略称	HD6417750 VF128 (V)		HD6417750 F167 (V)		HD6417750 BP200M (V)		単位	備考
		* ¹		* ²		* ³			
		Min	Max	Min	Max	Min	Max		
アドレス遅延時間	t_{AD}	1.3	10	1.3	8	1.2	6	ns	
BS 遅延時間	t_{BSD}	1.3	10	1.3	8	1.2	6	ns	
CS 遅延時間	t_{CSD}	1.3	10	1.3	8	1.2	6	ns	
RW 遅延時間	t_{RWD}	1.3	10	1.3	8	1.2	6	ns	
RD 遅延時間	t_{RSD}	1.3	10	1.3	8	1.2	6	ns	
読み出しデータセットアップ時間	t_{RDS}	3.5	-	3.5	-	3	-	ns	
読み出しデータホールド時間	t_{RDH}	1.5	-	1.5	-	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	-	10	-	8	-	6	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	t_{WED1}	1.3	10	1.3	8	1.2	6	ns	
書き込みデータ遅延時間	t_{WDD}	1.3	10	1.3	8	1.2	6	ns	
RDY セットアップ時間	t_{RDYS}	3.5	-	3.5	-	3	-	ns	
RDY ホールド時間	t_{RDYH}	1.5	-	1.5	-	1.5	-	ns	
RAS 遅延時間	t_{RASD}	1.3	10	1.3	8	1.2	6	ns	
CAS 遅延時間 1	t_{CASD1}	1.3	10	1.3	8	1.2	6	ns	DRAM
CAS 遅延時間 2	t_{CASD2}	1.3	10	1.3	8	1.2	6	ns	SDRAM
CKE 遅延時間	t_{CKED}	0.5	10	0.5	8	0.5	6	ns	SDRAM
DQM 遅延時間	t_{DOMD}	1.3	10	1.3	8	1.2	6	ns	SDRAM
FRAME 遅延時間	t_{FMD}	1.3	10	1.3	8	1.2	6	ns	MPX
IOIS16 セットアップ時間	t_{IO16S}	3.5	-	3.5	-	3	-	ns	PCMCIA
IOIS16 ホールド時間	t_{IO16H}	1.5	-	1.5	-	1.5	-	ns	PCMCIA
ICIORW 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.3	10	1.3	8	1.2	6	ns	PCMCIA
ICIORD 遅延時間	t_{ICRSD}	1.3	10	1.3	8	1.2	6	ns	PCMCIA
DACK 遅延時間	t_{DACD}	1.3	10	1.3	8	1.2	6	ns	
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACDF}	1.3	10	1.3	8	1.2	6	ns	CKIO の立ち下がりエッジに対して
DTR セットアップ時間	t_{DTRS}	3.5	-	3.5	-	3	-	ns	
DTR ホールド時間	t_{DTRH}	1.5	-	1.5	-	1.5	-	ns	
DBREQ セットアップ時間	t_{DBOS}	3.5	-	3.5	-	3	-	ns	
DBREQ ホールド時間	t_{DBOH}	1.5	-	1.5	-	1.5	-	ns	

項目	略称	HD6417750 VF128 (V)		HD6417750 F167 (V)		HD6417750 BP200M (V)		単位	備考
		*1		*2		*3			
		Min	Max	Min	Max	Min	Max		
TR セットアップ時間	t_{TRS}	3.5	-	3.5	-	3	-	ns	
TR ホールド時間	t_{TRH}	1.5	-	1.5	-	1.5	-	ns	
BAVL 遅延時間	t_{BAVD}	1.3	10	1.3	8	1.2	6	ns	
TDACK 遅延時間	t_{TDAD}	1.3	10	1.3	8	1.2	6	ns	
ID1、ID0 遅延時間	t_{IDD}	1.3	10	1.3	8	1.2	6	ns	

【注】 *1 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*2 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

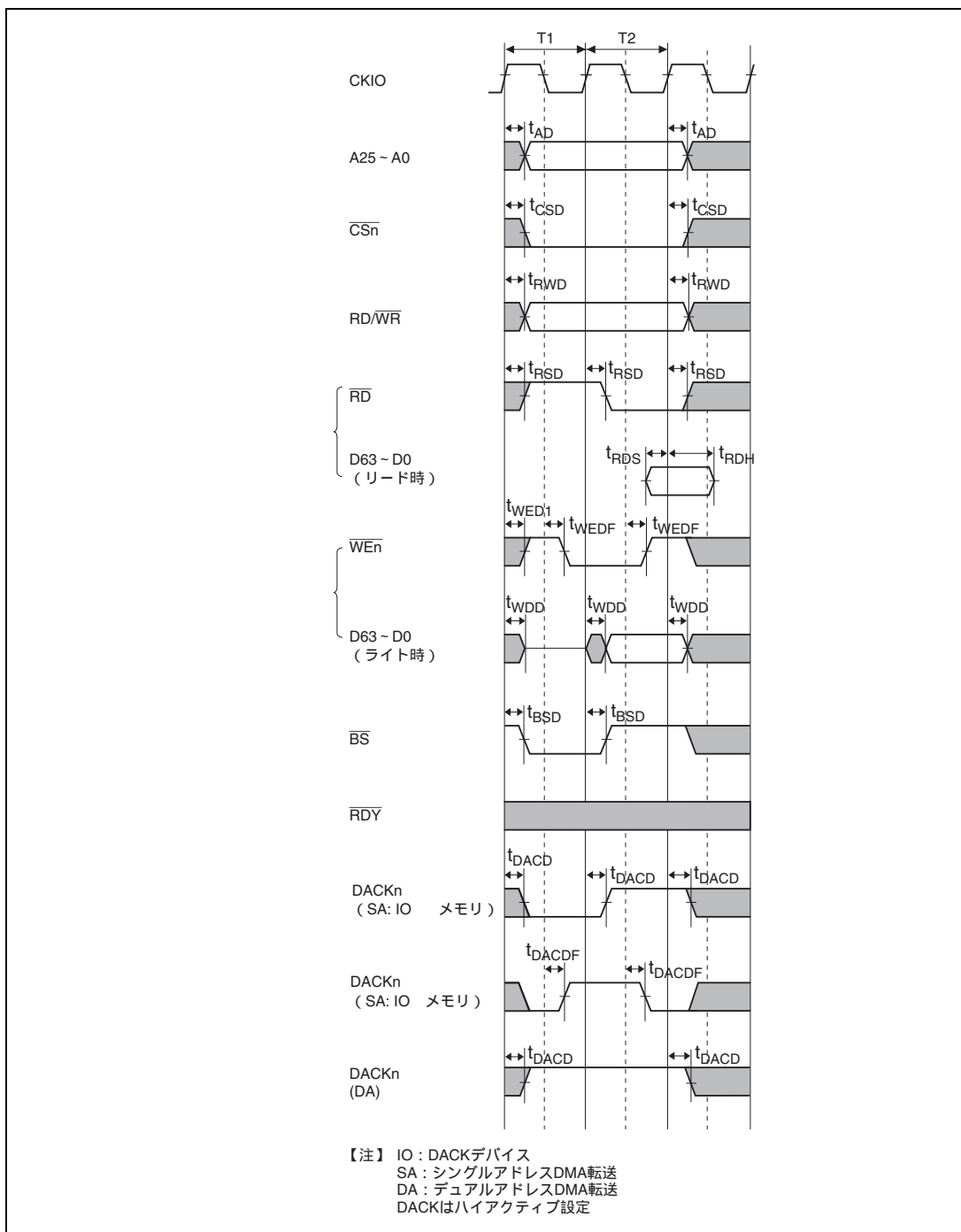


図 22.15 SRAM バスサイクル 基本バスサイクル(ノーウェイト)

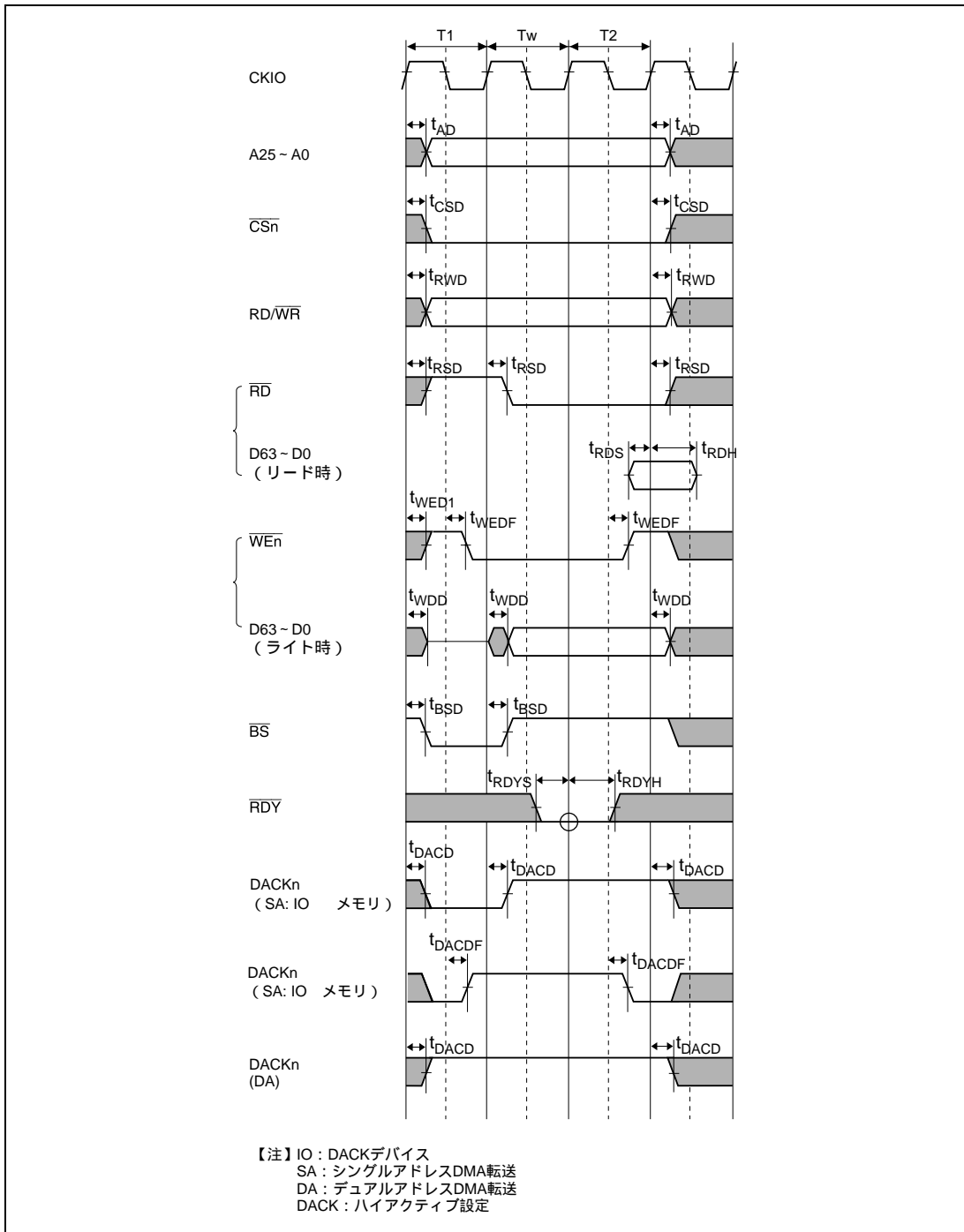


図 22.16 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

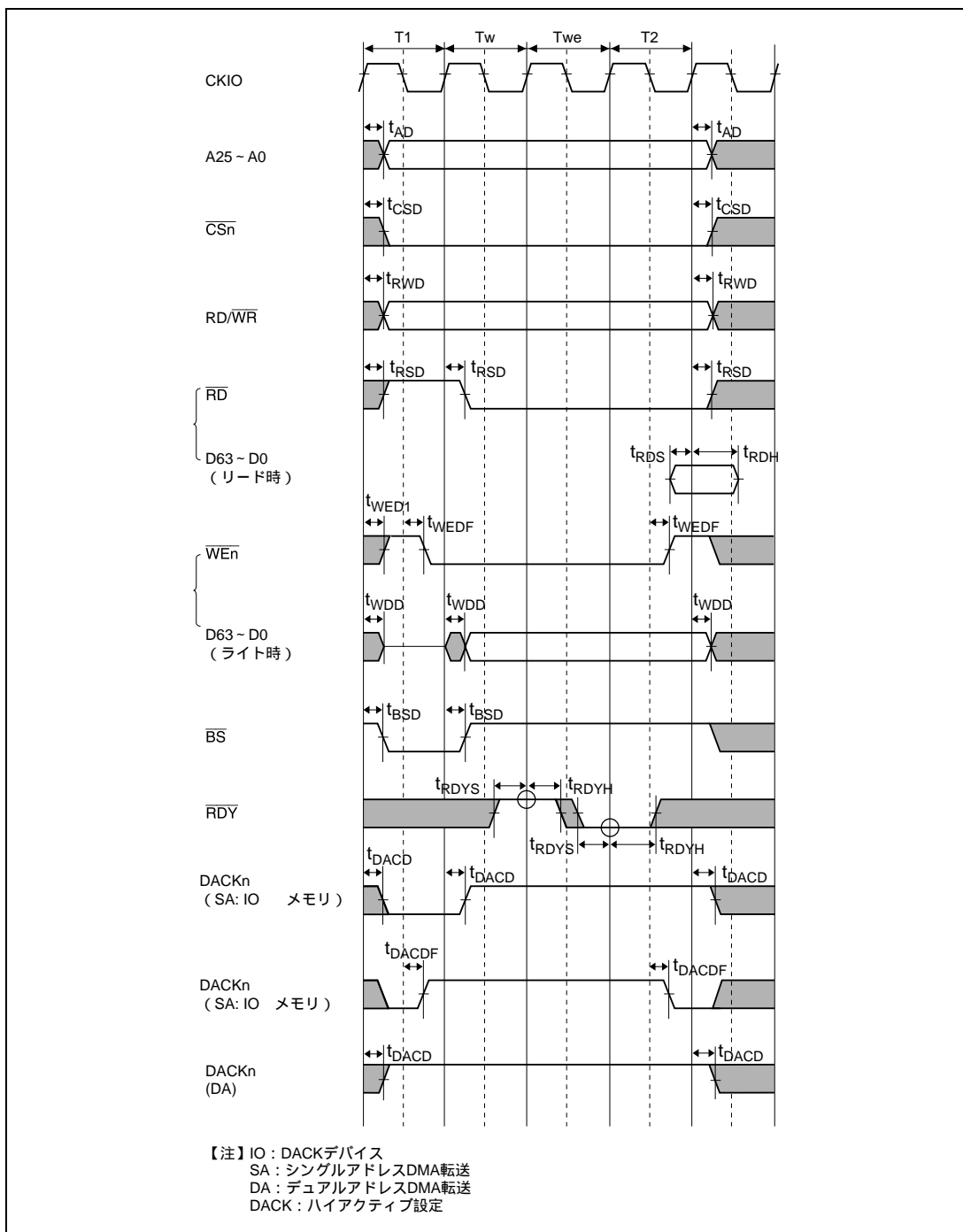


図 22.17 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

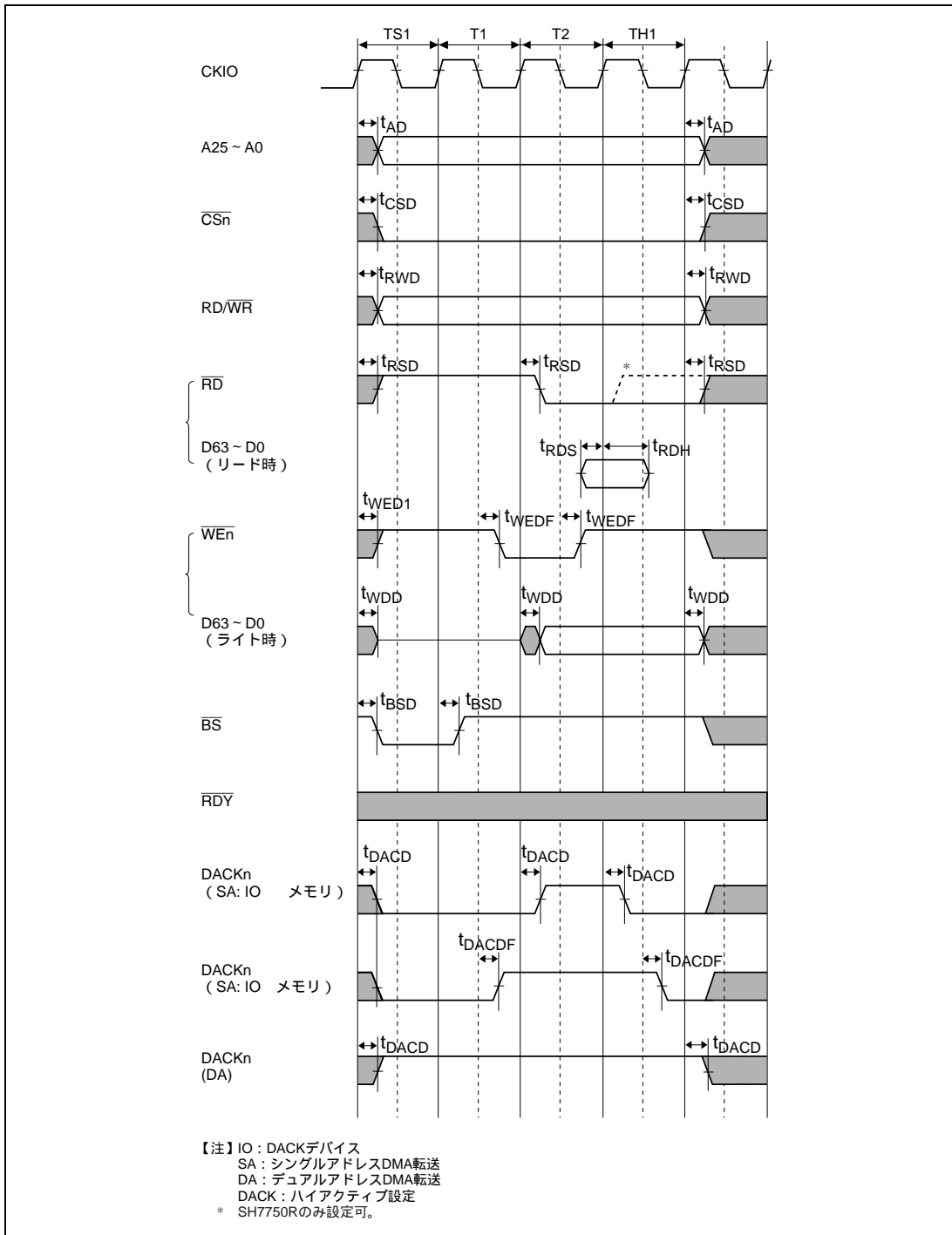


図 22.18 SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、ホールドタイム挿入、AnS = 1、AnH = 1)

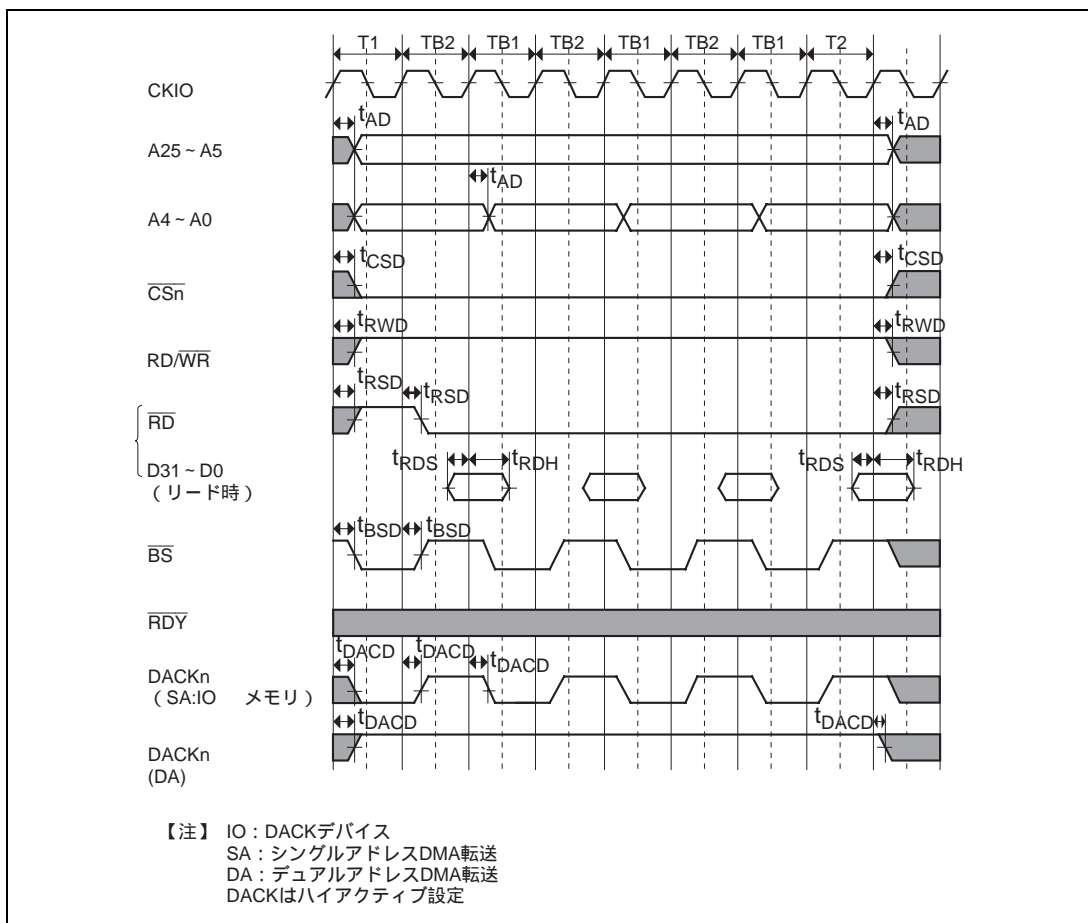


図 22.19 バースト ROM バスサイクル (ノーウェイト)

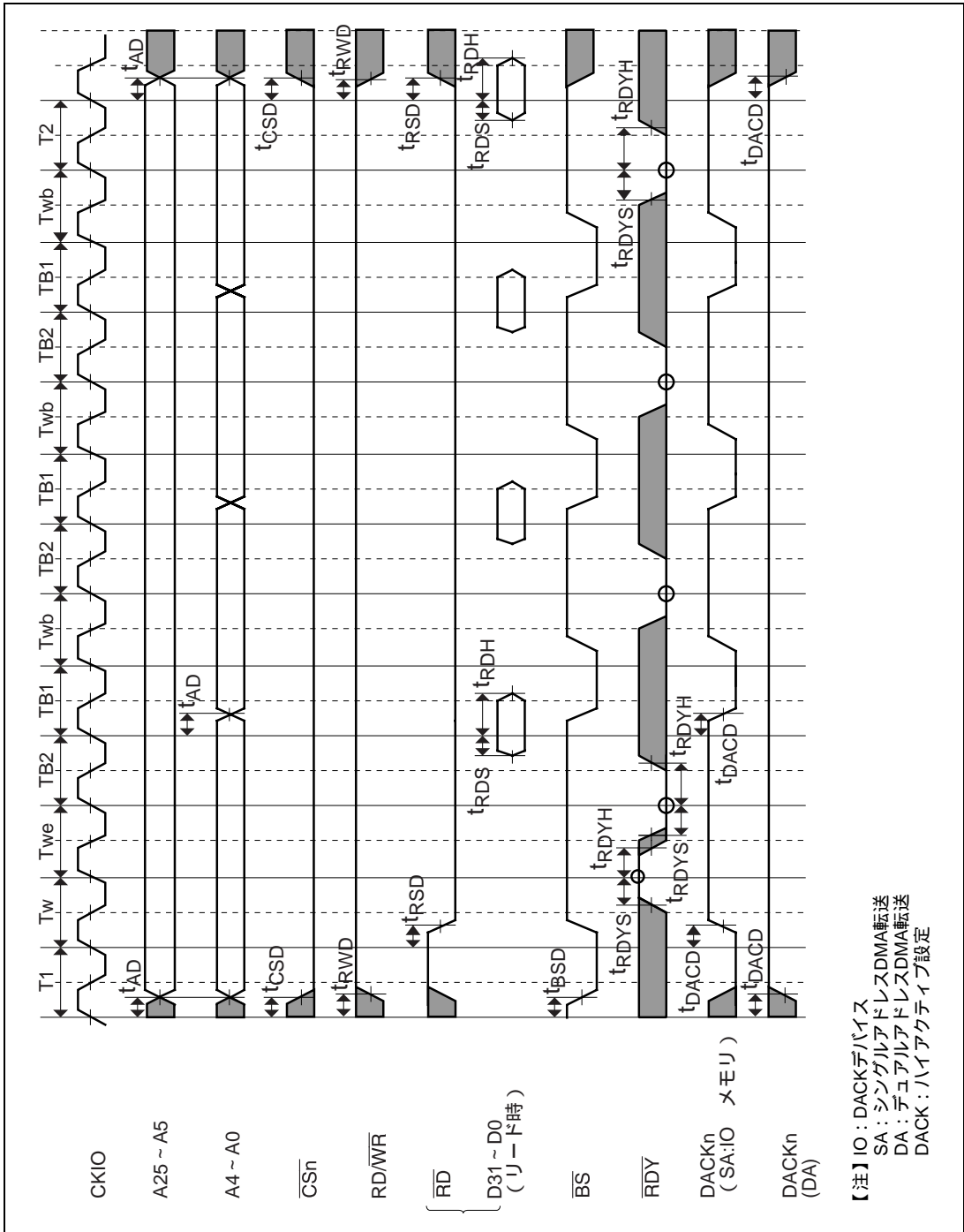


図 22.20 バーストROMバスのサイクル (1番目のデータ: 内部1ウェイト+外部1ウェイト、
 2、3、4番目のデータ: 内部1ウェイト)

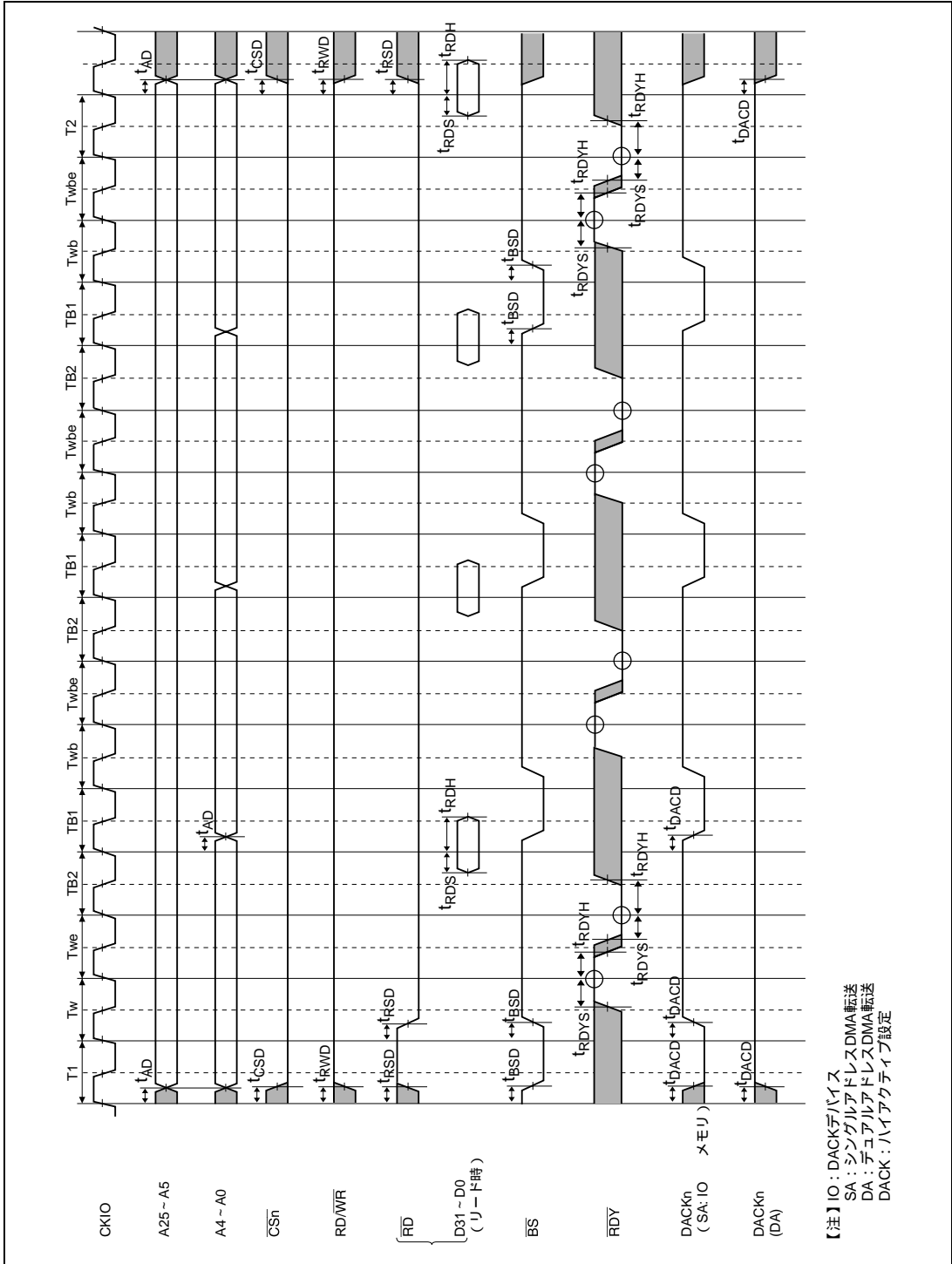


図 22.22 パースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

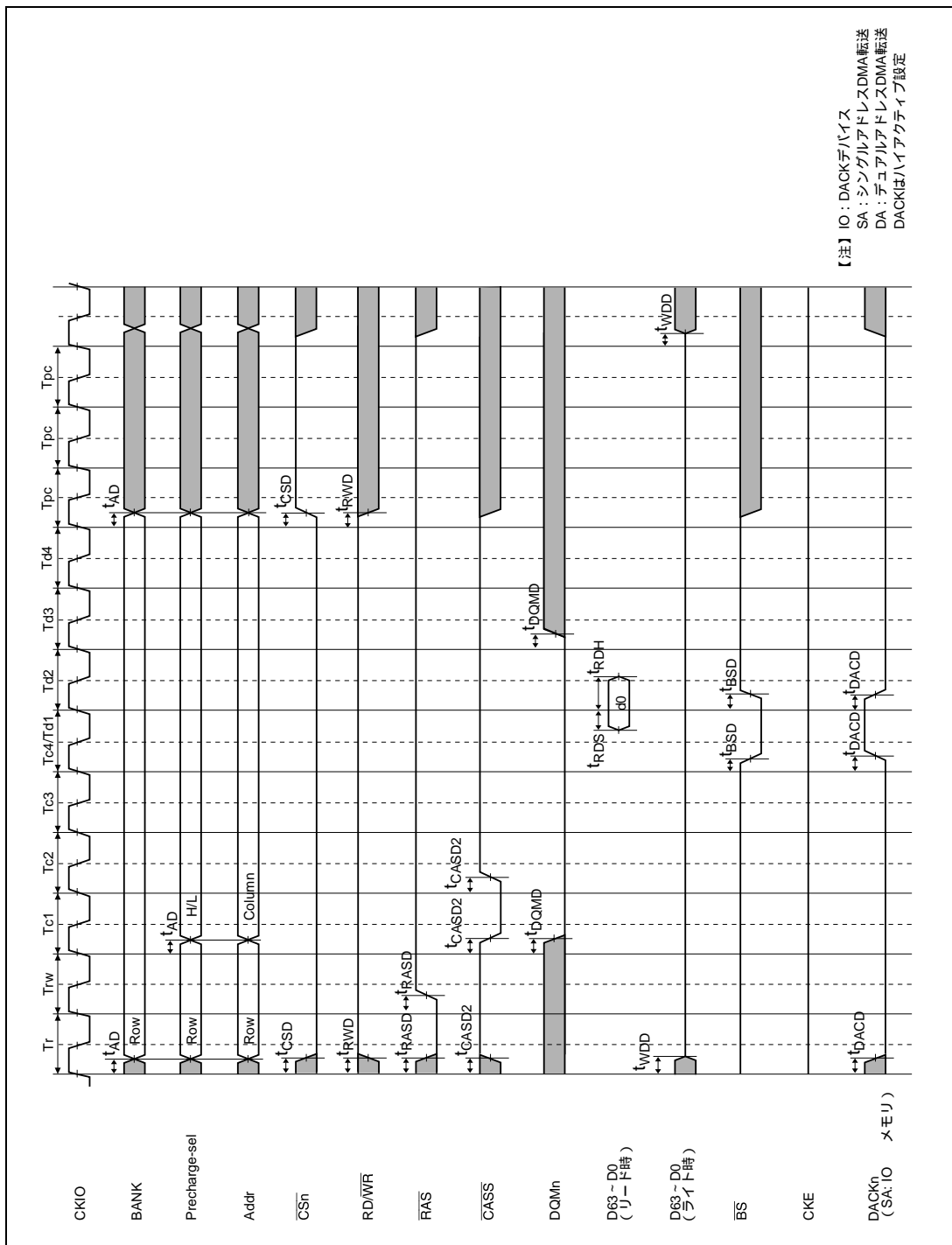


図 22.23 シンクロナス DRAM オートプリチャージリードバスサイクル、シングル (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)

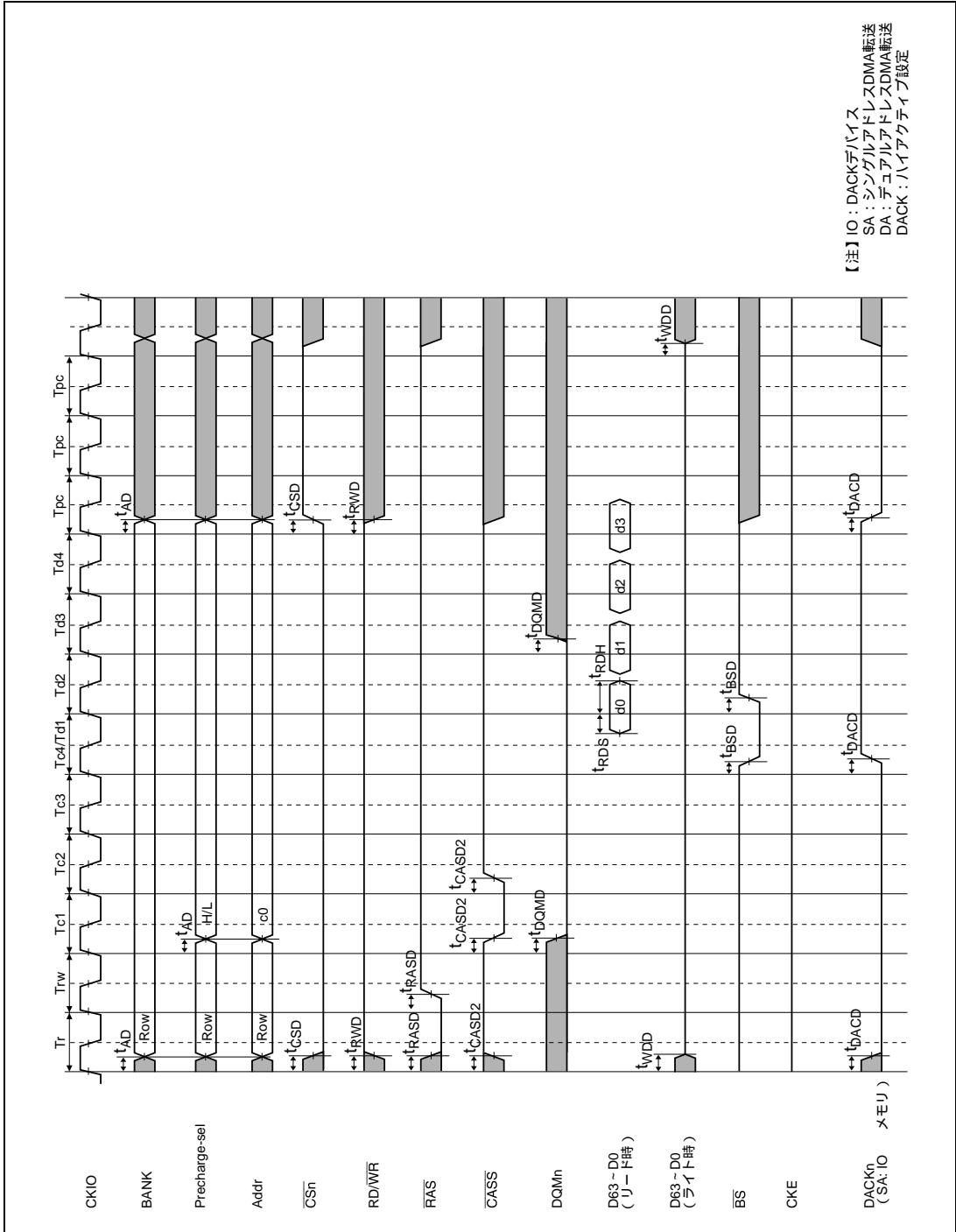


図 22.24 シンクロナス DRAM オートプリチャージリードバスサイクル、バースト (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)

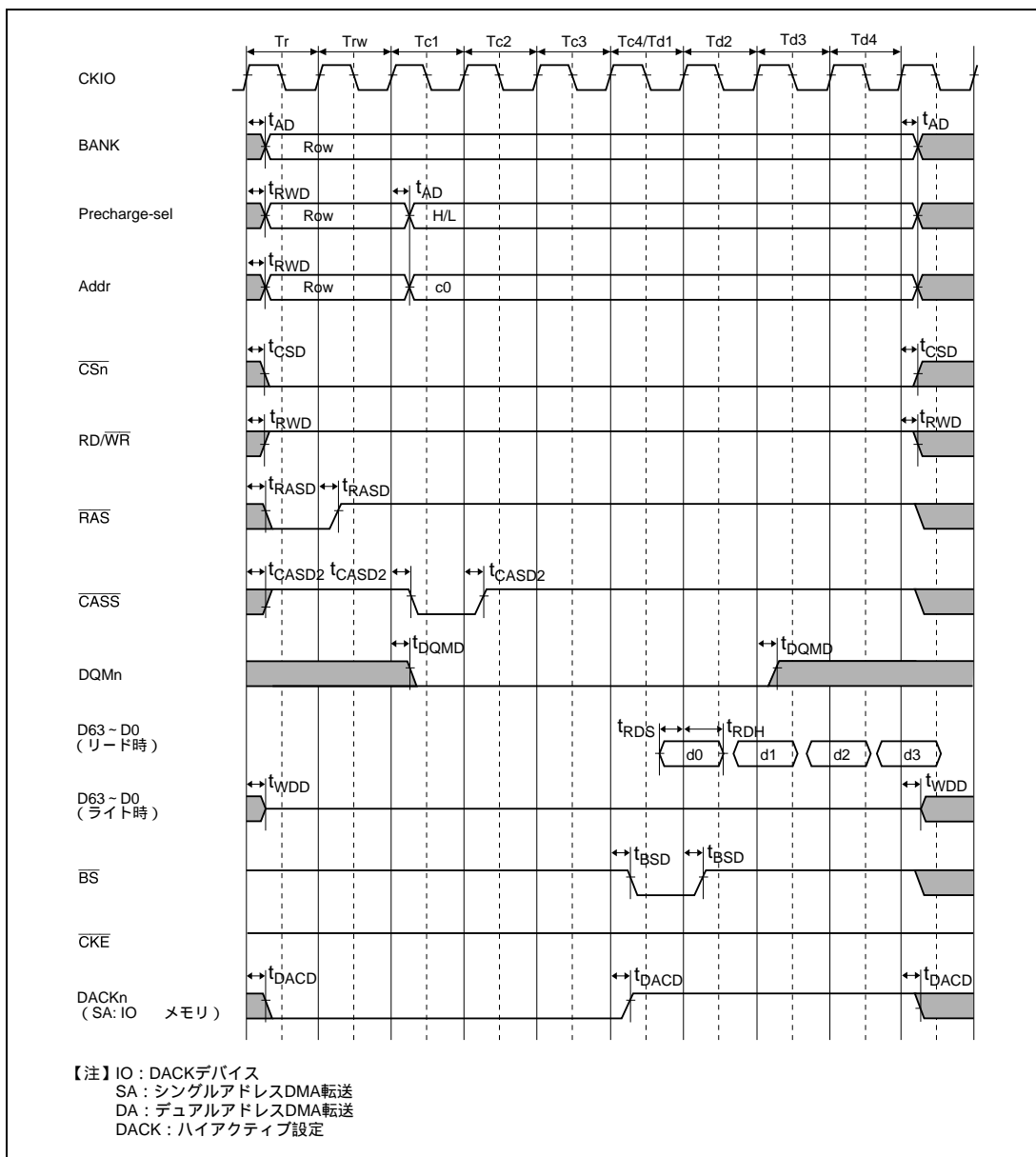


図 22.25 シンクロナス DRAM ノーマルリードバスサイクル : ACT+READ コマンド、バースト
 (RAS=1、RCD[1:0]=01、CAS レイテンシ=3)

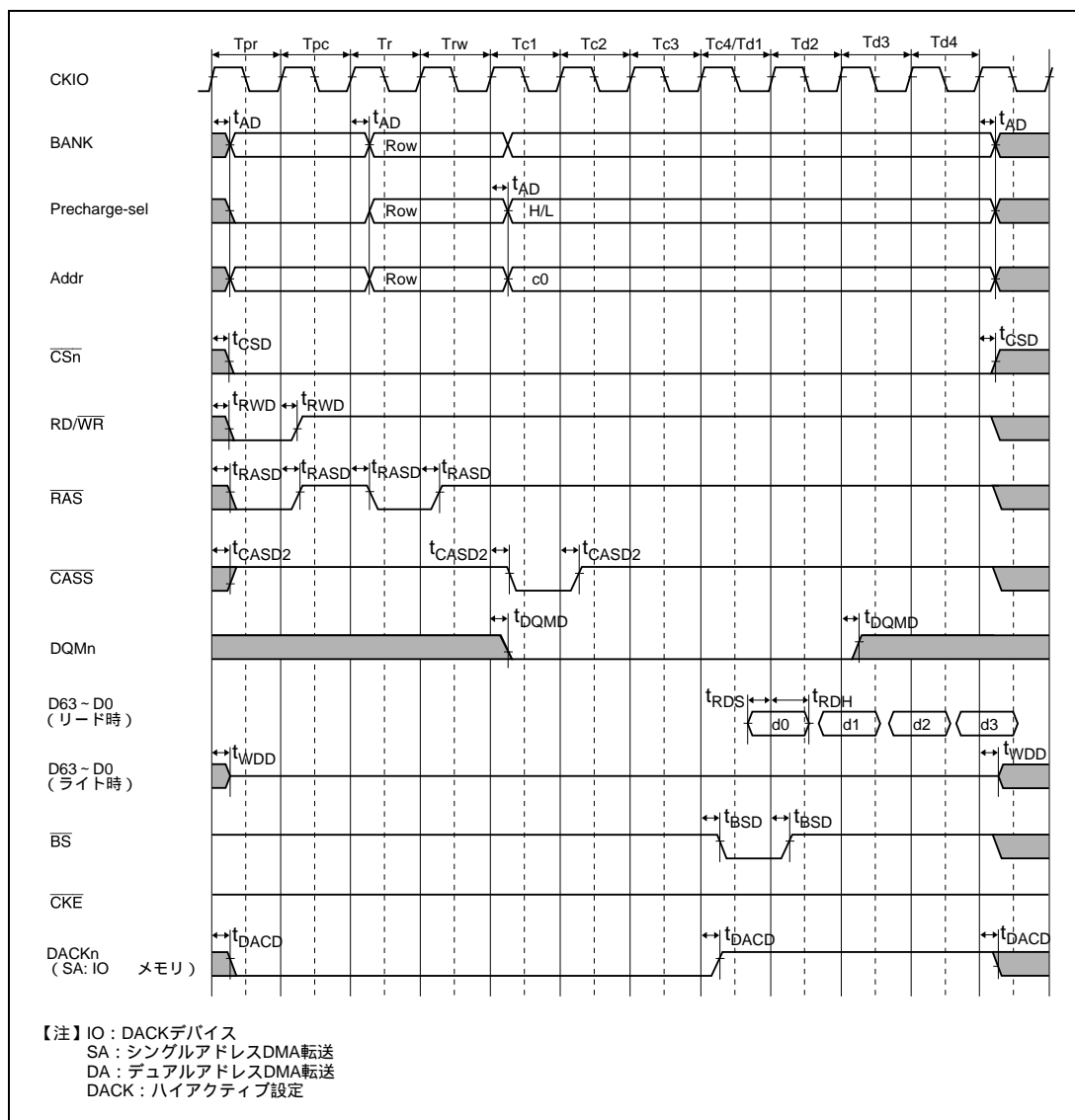


図 22.26 シンクロナス DRAM ノーマルリードバスサイクル : PRE+ACT+READ コマンド、バースト
 (RASD=1、RCD[1:0]=01、TPC[2:0]=001、CAS レイテンシ=3)

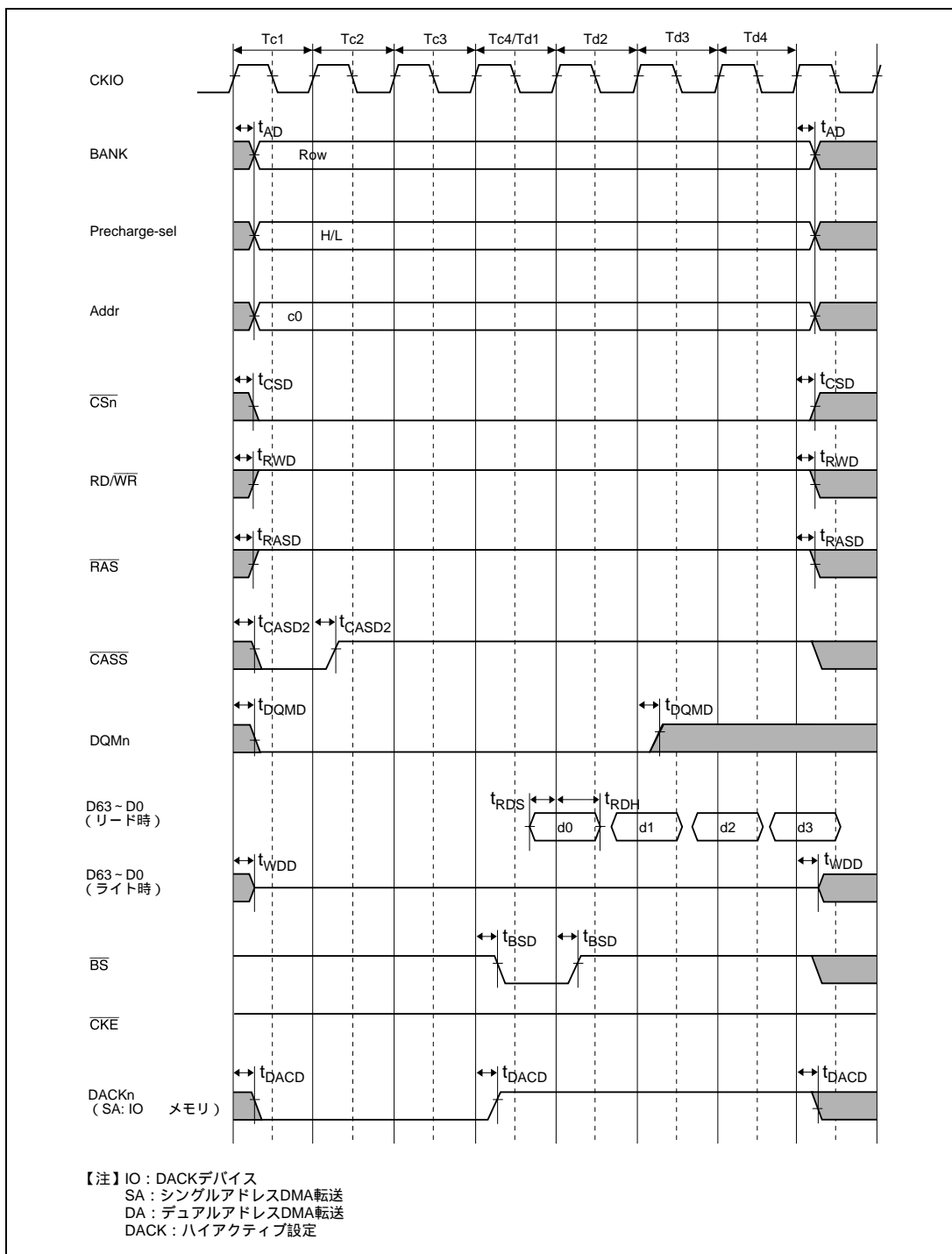


図 22.27 シンクロナス DRAM ノーマルリードバスサイクル : READ コマンド、バースト
 (RASD=1、CAS レイテンシ=3)

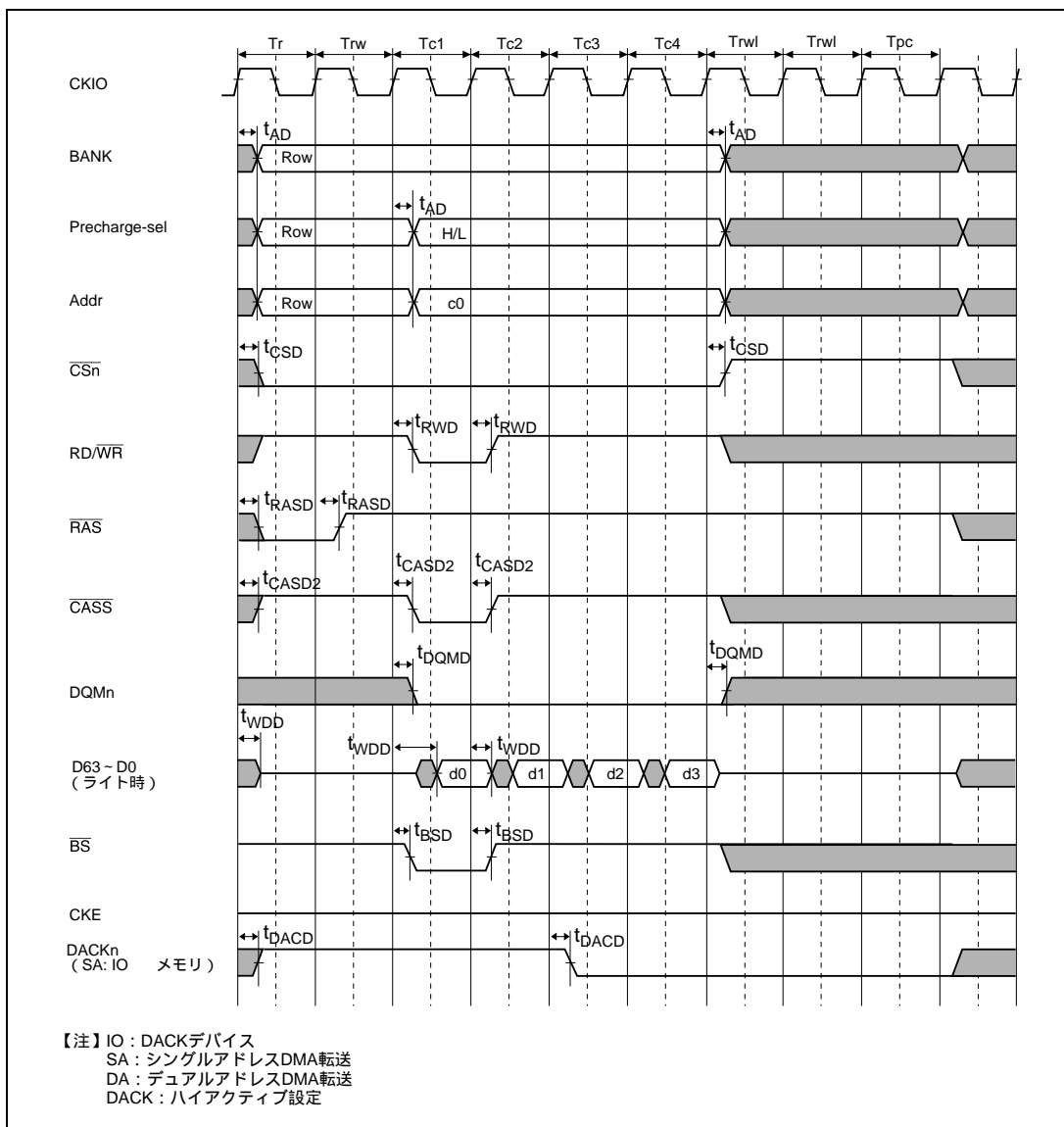


図 22.29 シンクロナス DRAM オートプリチャージライトバスサイクル、バースト
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

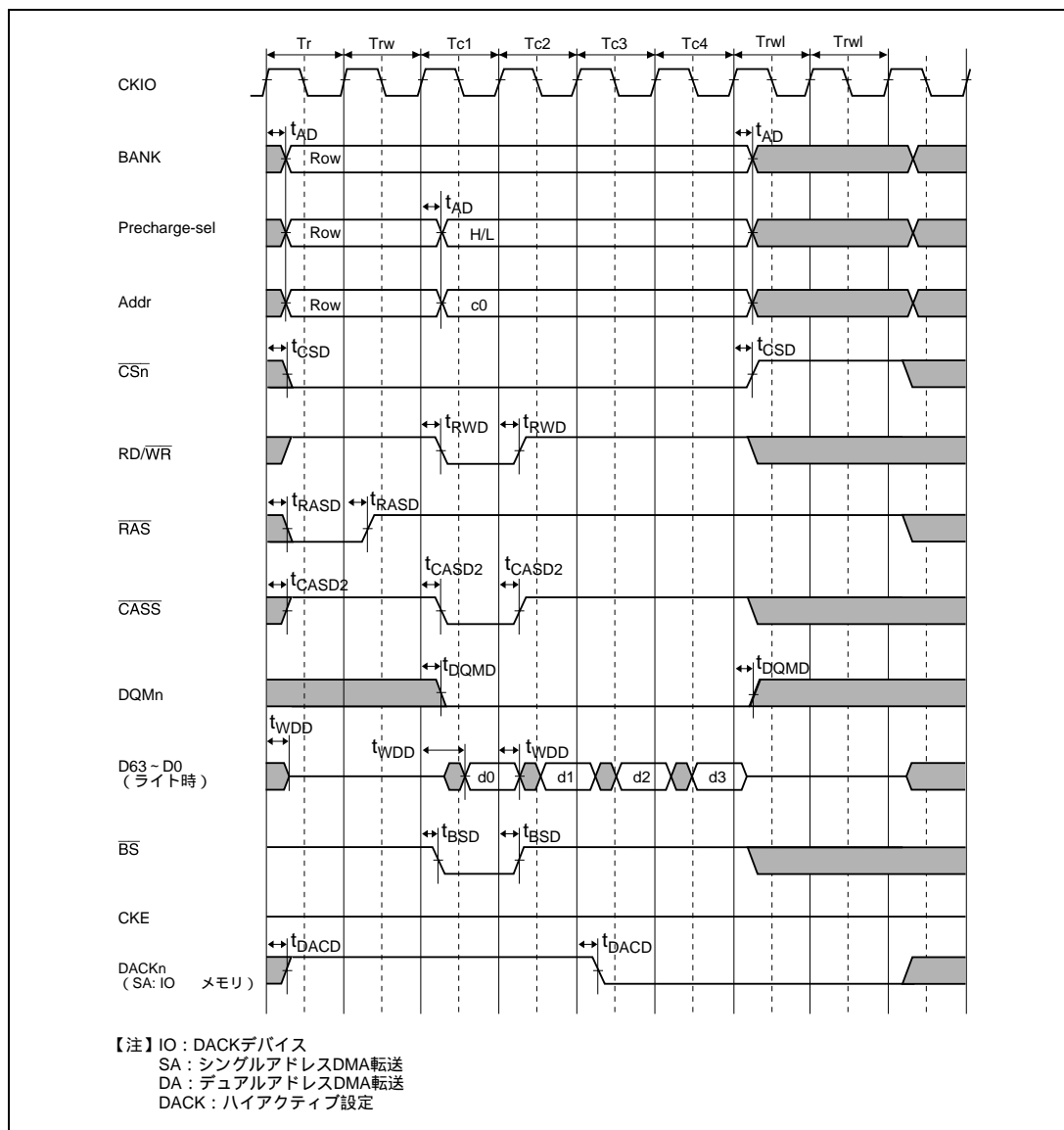


図 22.30 シンクロナス DRAM ノーマルライトバスサイクル : ACT+WRITE コマンド、バースト
 (RASD=1、RCD[1:0]=01、TRWL[2:0]=010)

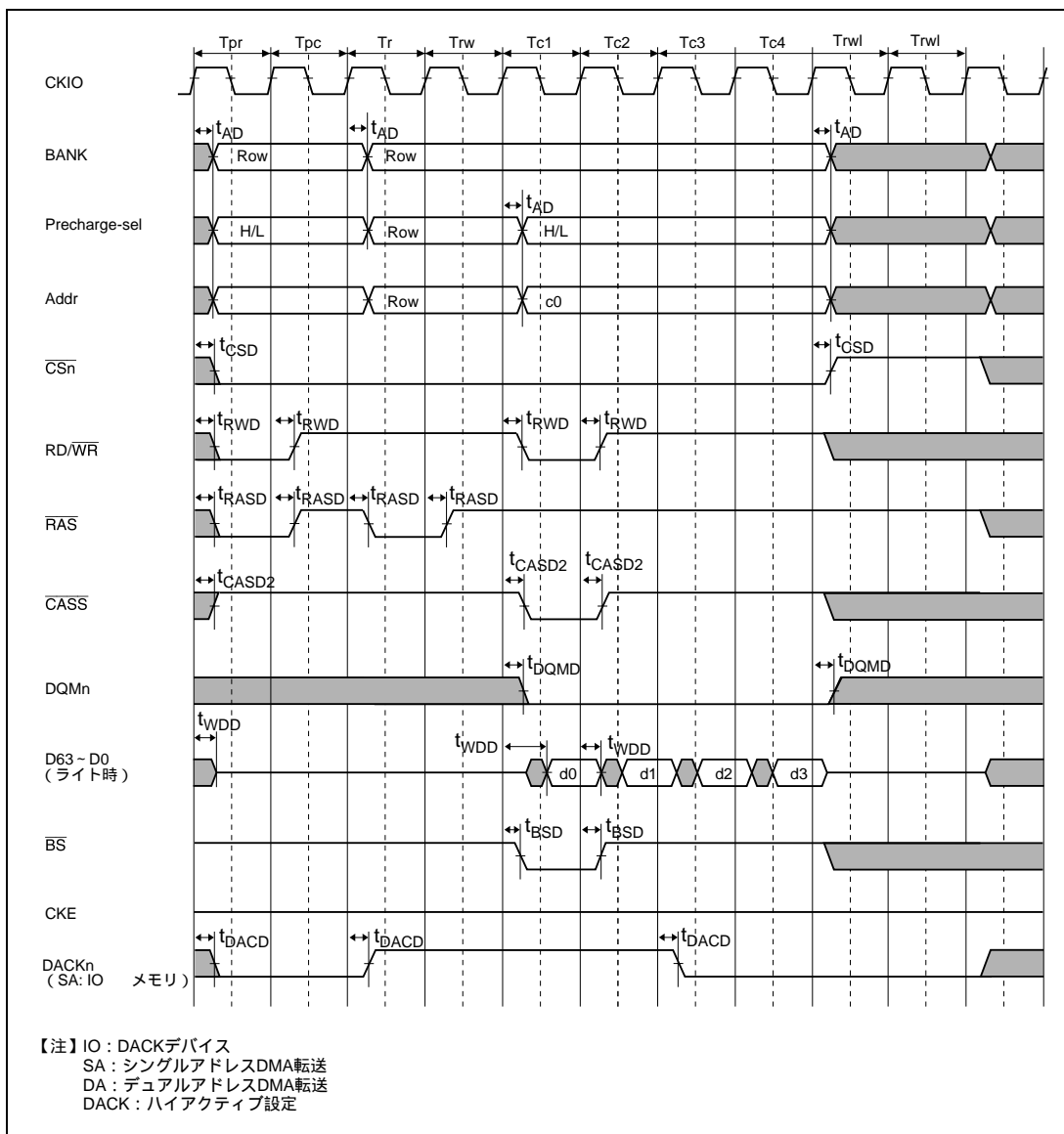


図 22.31 シンクロナス DRAM ノーマルライトバスサイクル : PRE+ACT+WRITE コマンド、バースト (RASD=1、RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

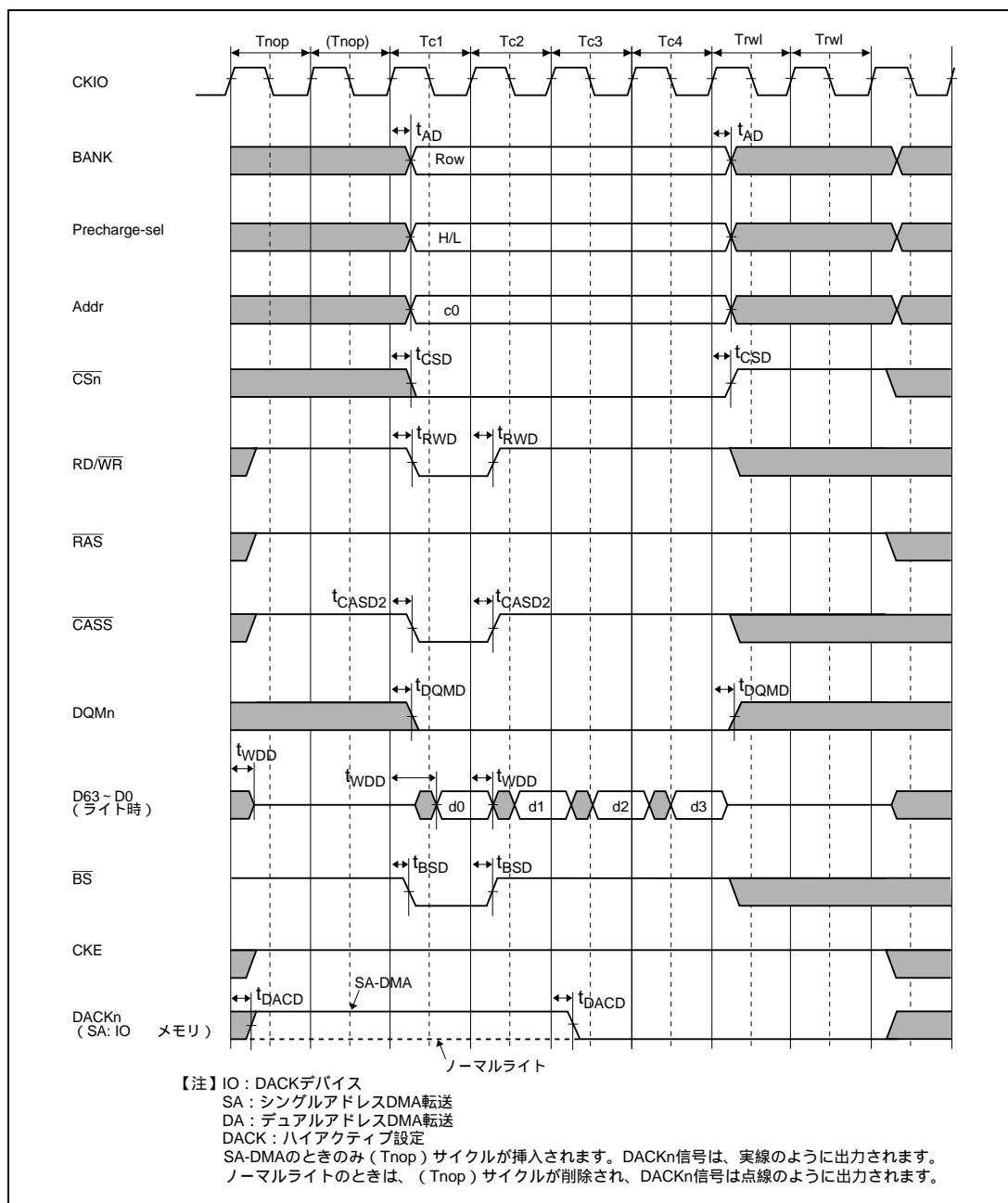


図 22.32 シンクロナス DRAM ノーマルライトバスサイクル : WRITE コマンド、バースト
 (RASD=1、TRWL[2:0]=010)

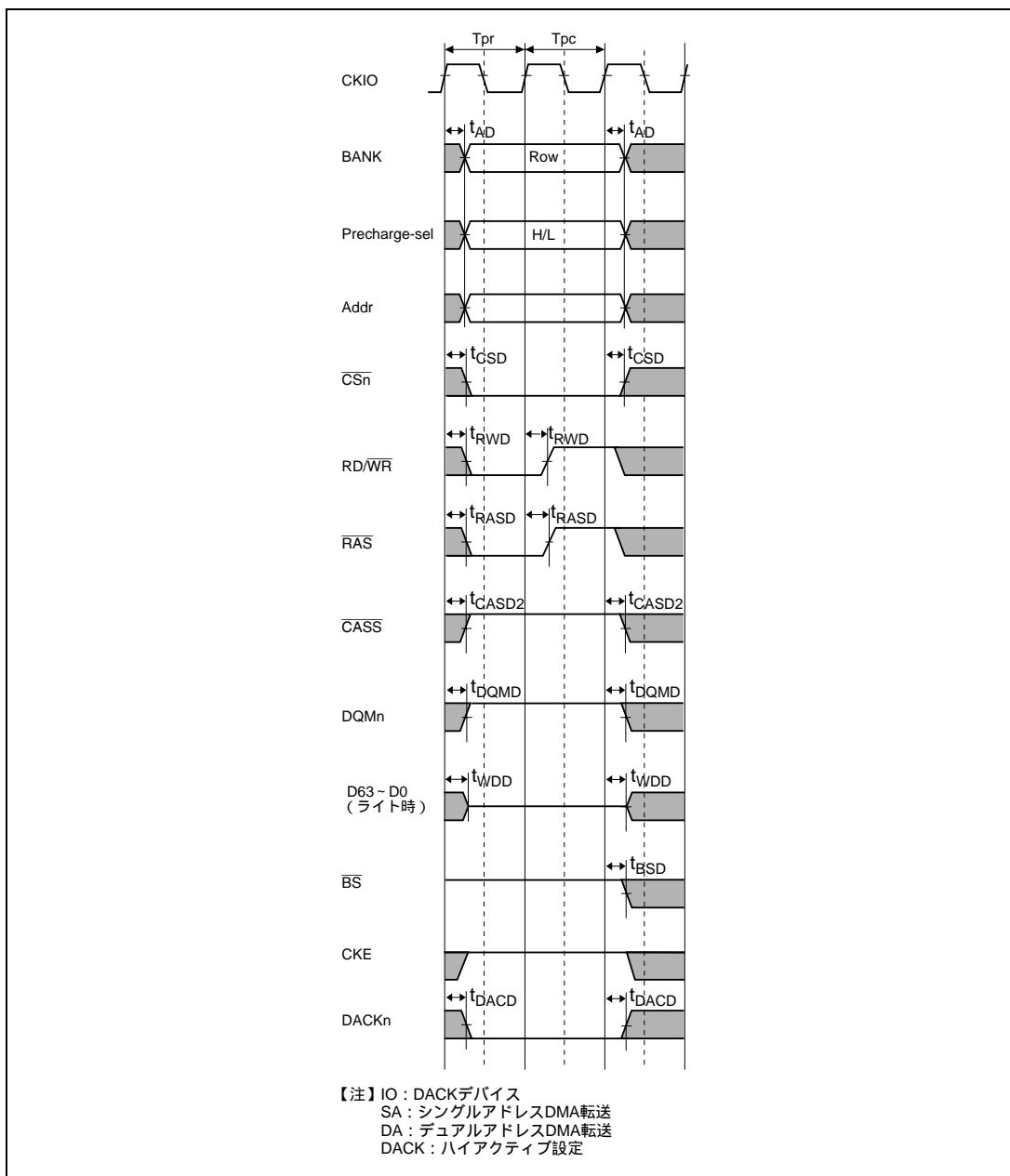


図 22.33 シンクロナス DRAM バスサイクル SDRAM プリチャージコマンド (TPC[2:0]=001)

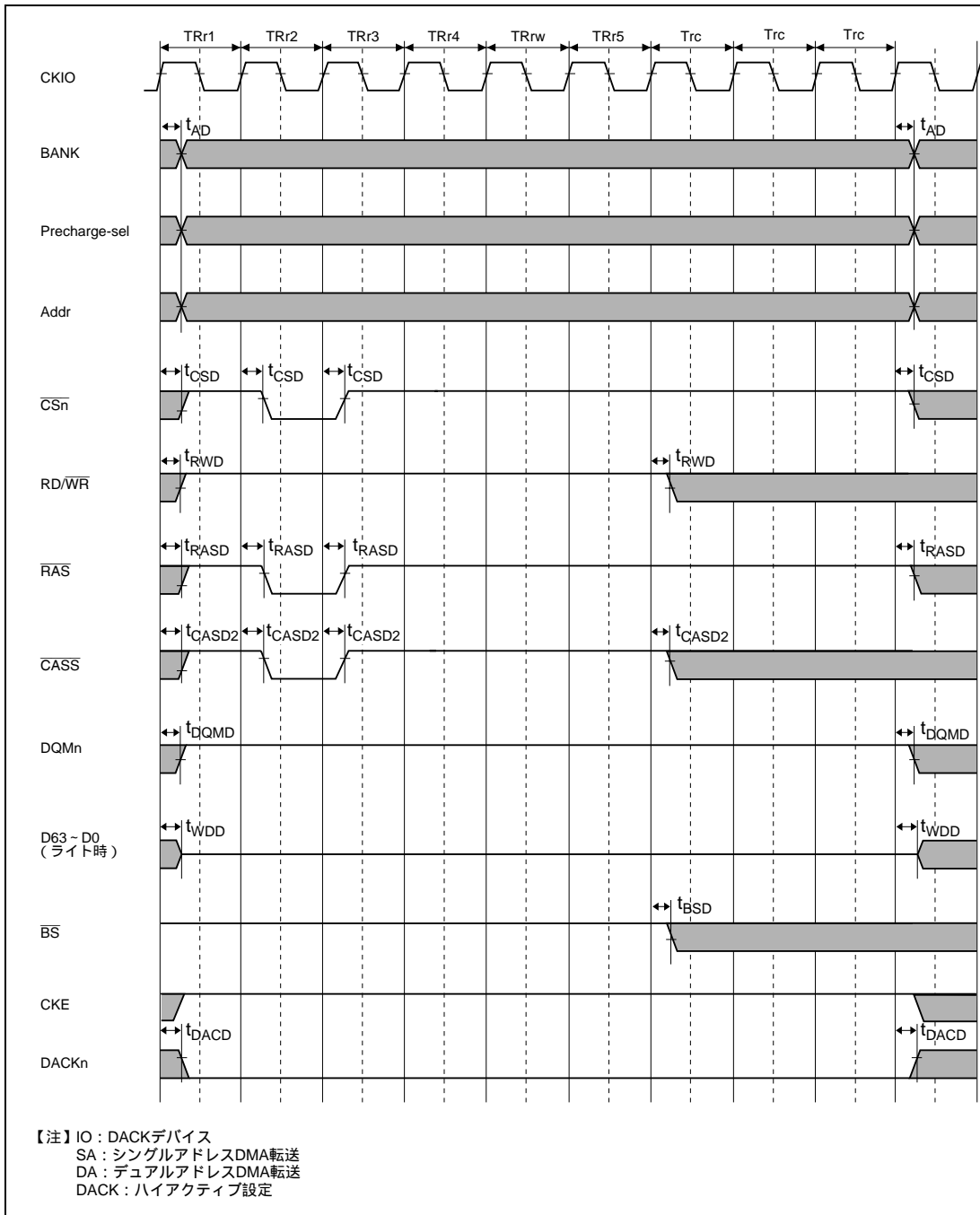


図 22.34 シンクロナス DRAM バスサイクル SDRAM オートリフレッシュ
 (TRAS=1、TRC[2:0]=001)

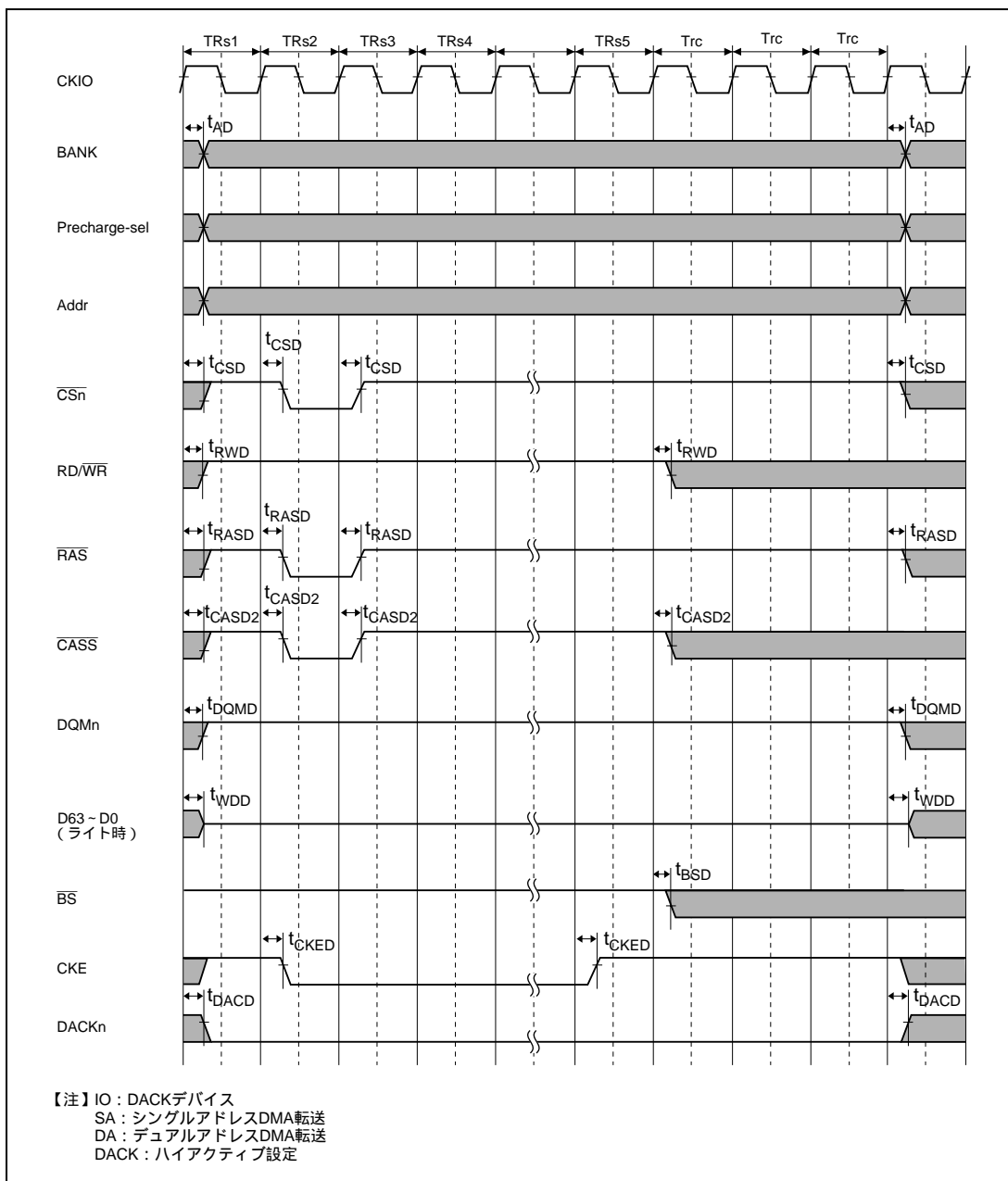


図 22.35 シンクロナス DRAM バスサイクル SDRAM セルフリフレッシュ (TPC[2:0]=001)

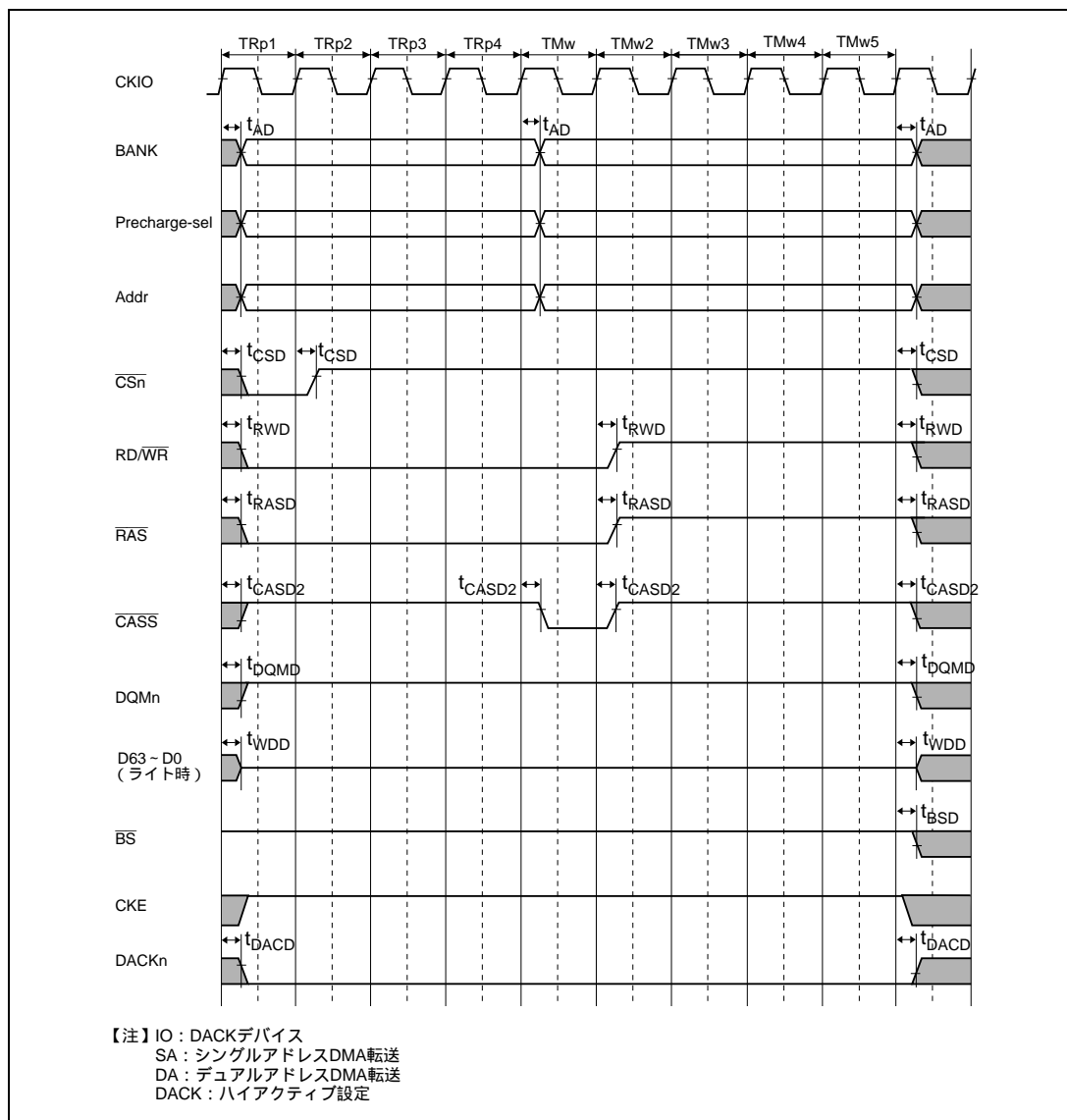


図 22.36 (a) シンクロナス DRAM バスサイクル SDRAM モードレジスタセット (PALL)

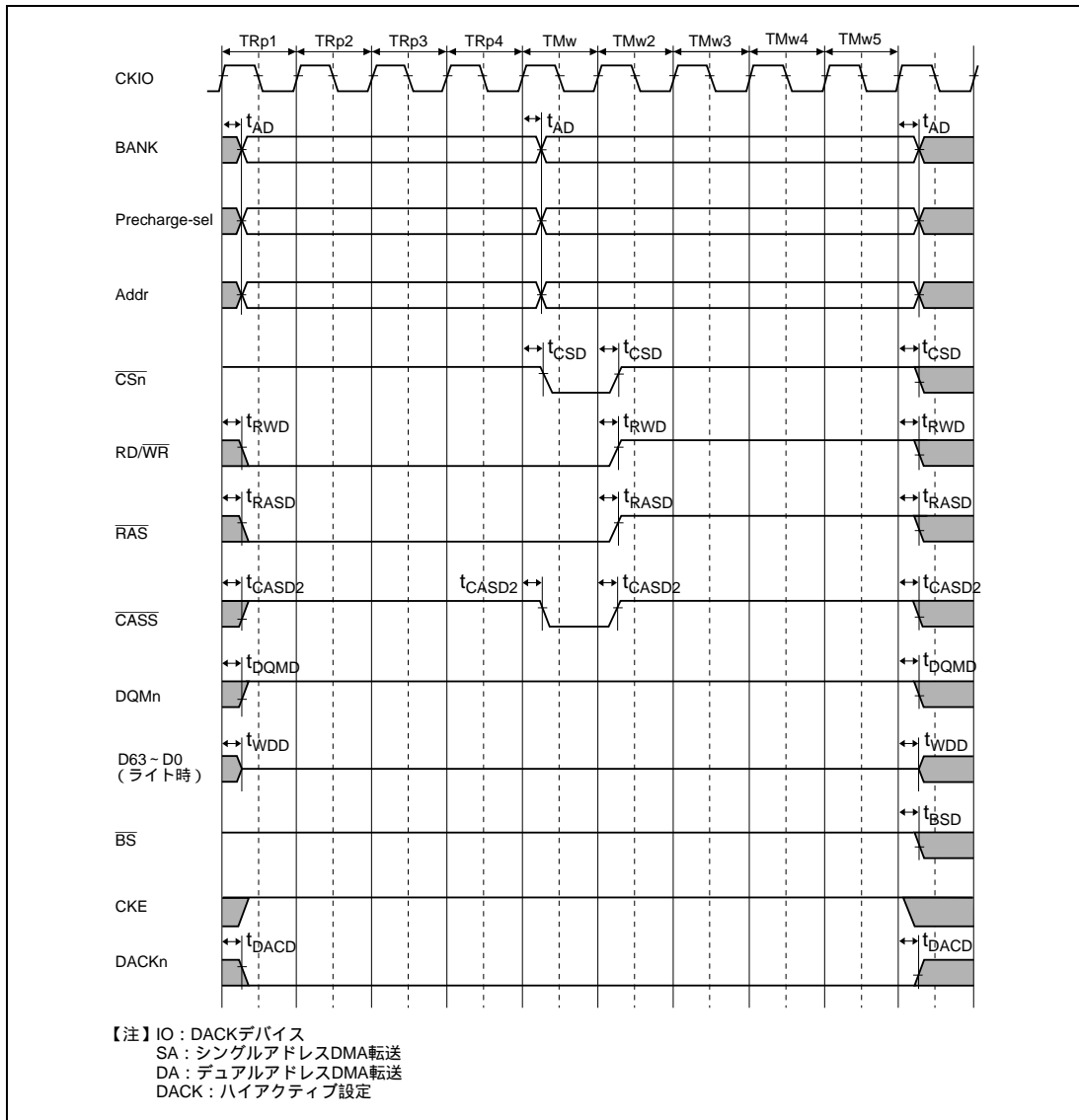


図 22.36 (b) シンクロナス DRAM バスサイクル SDRAM モードレジスタセット (SET)

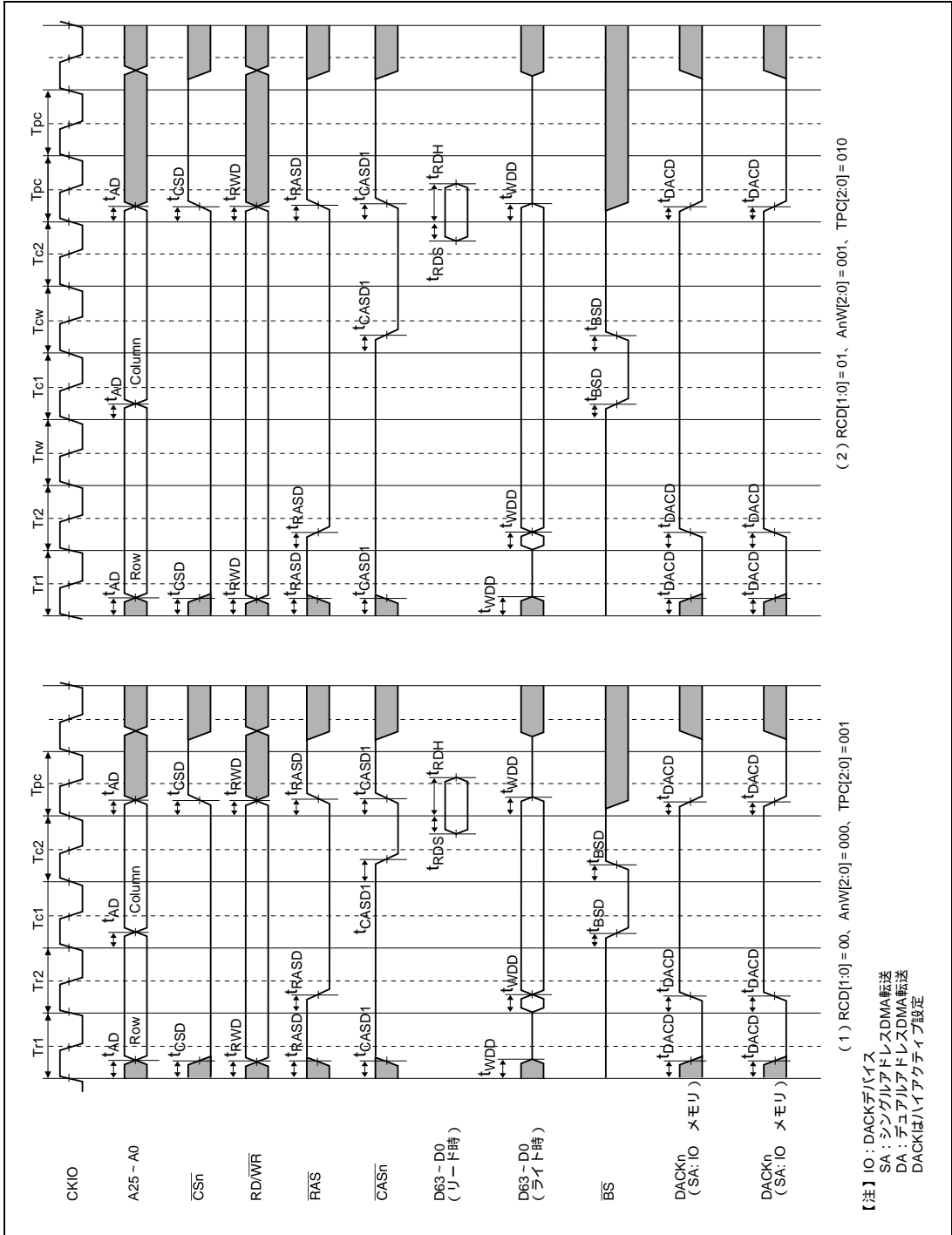


図 22.37 DRAM バスサイクル

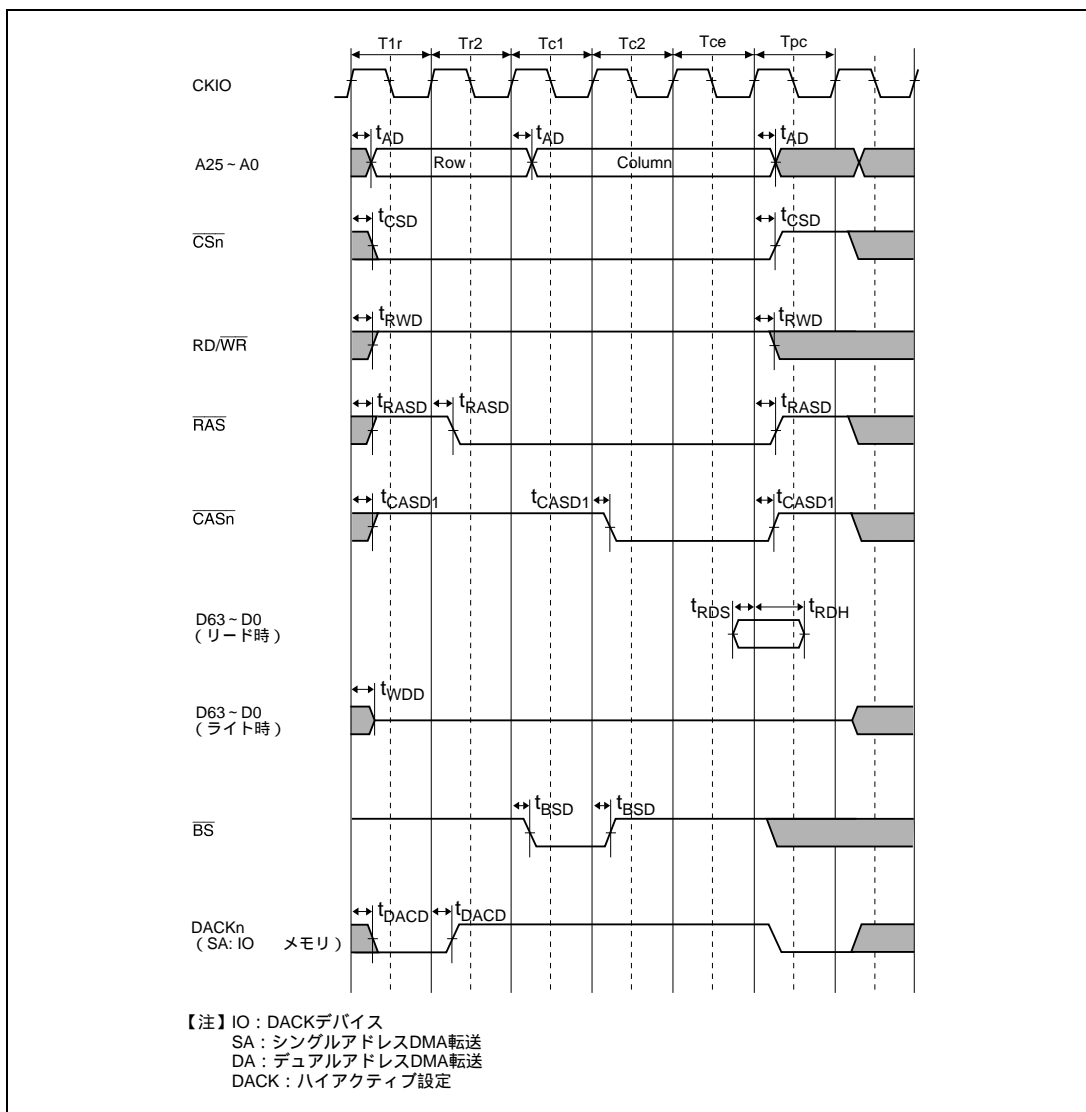


図 22.38 DRAM バスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)

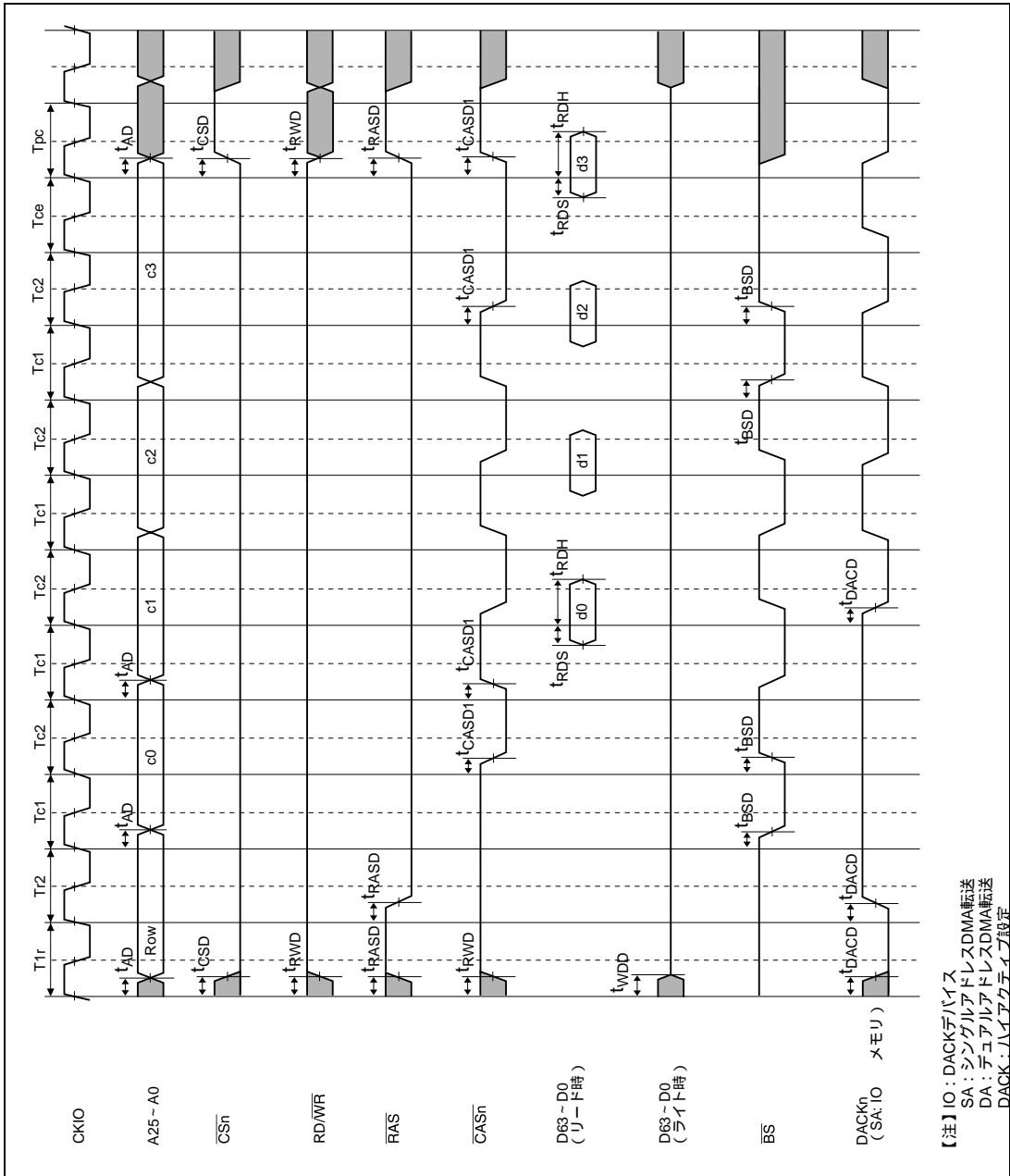


図 22.39 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)

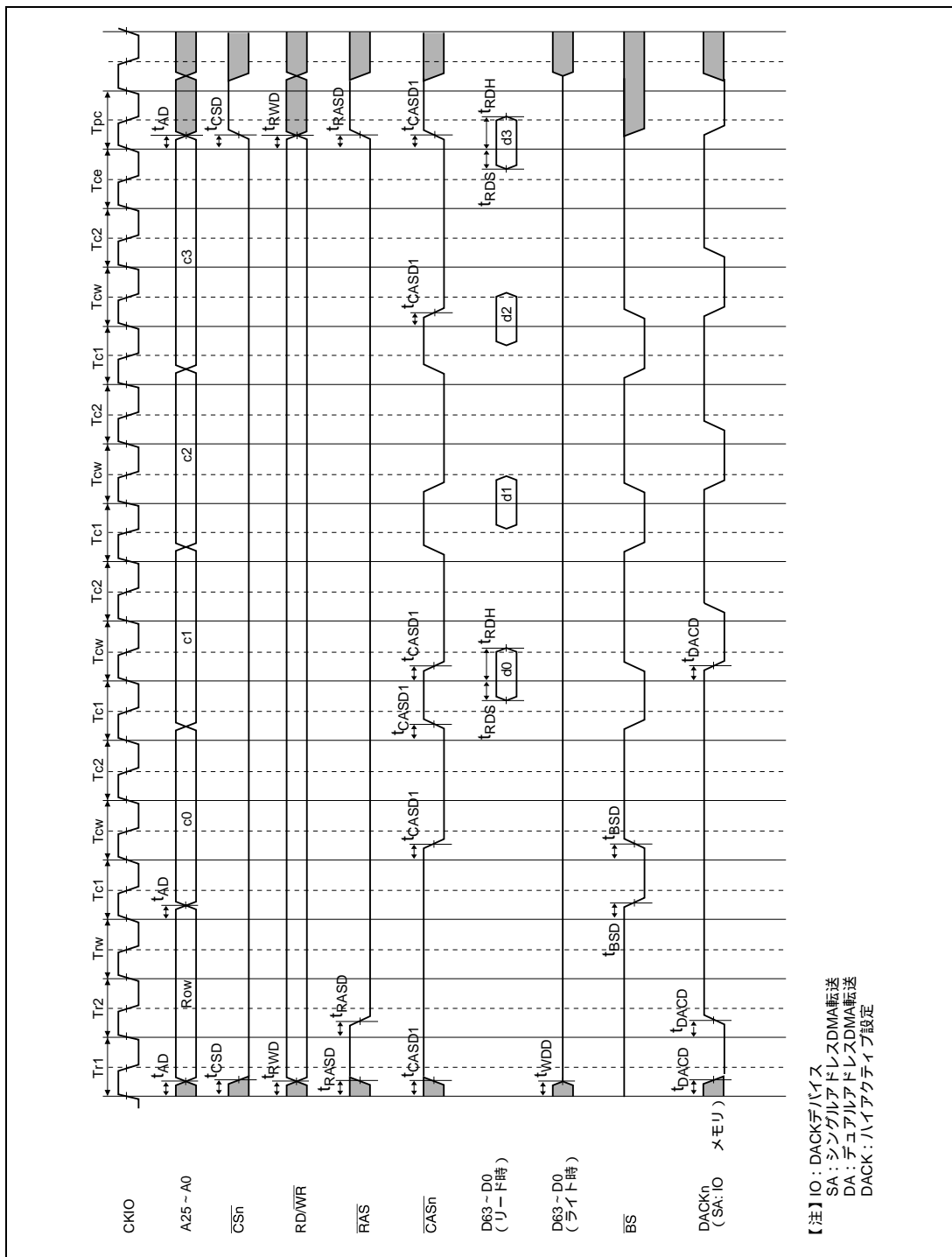


図 22.40 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001)

【注】IO: DACKチバイス
 SA: シンクリアルアドレスDMA転送
 DA: チュリアルアドレスDMA転送
 DACK: ハイアクティブ設定

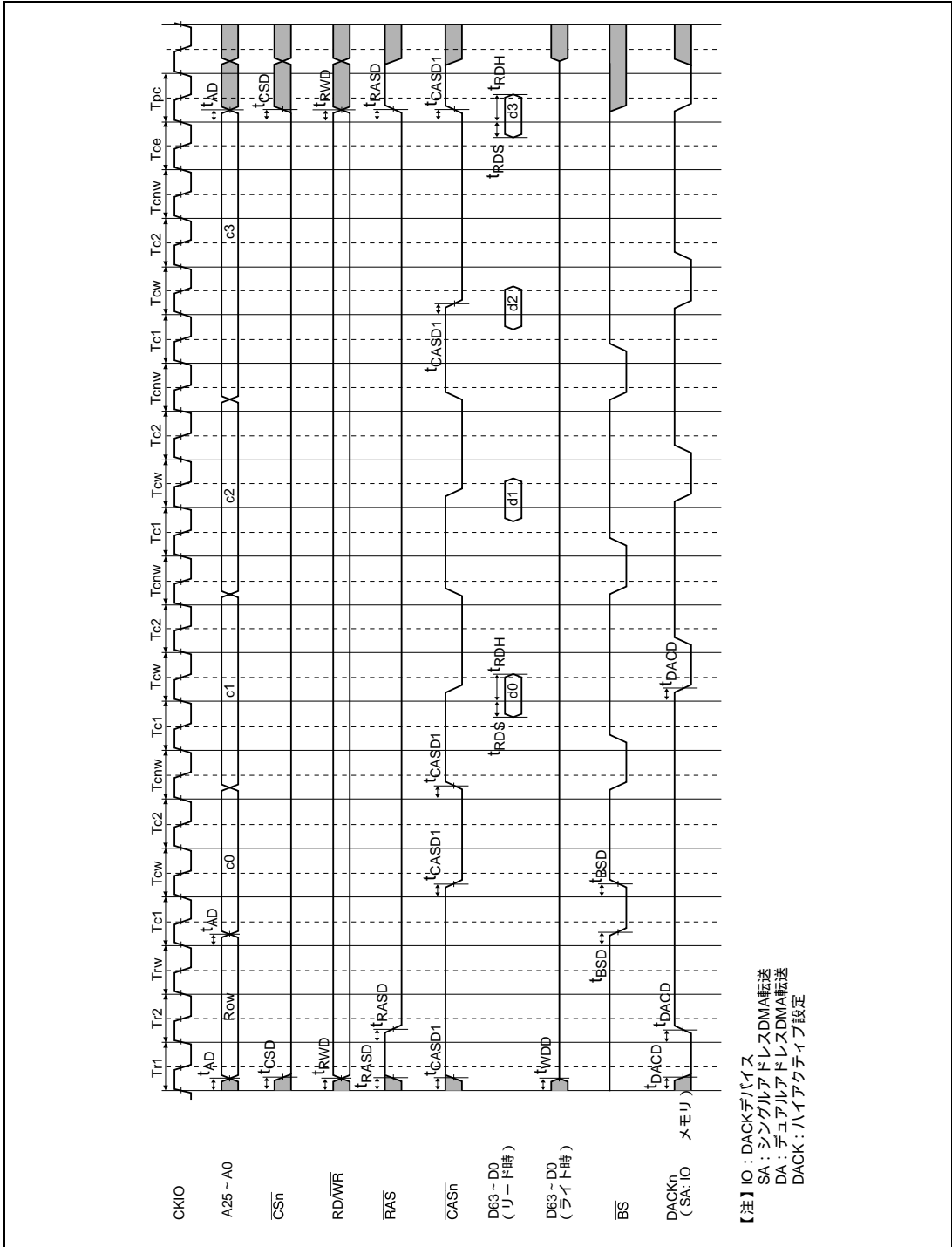


図 22.41 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル)

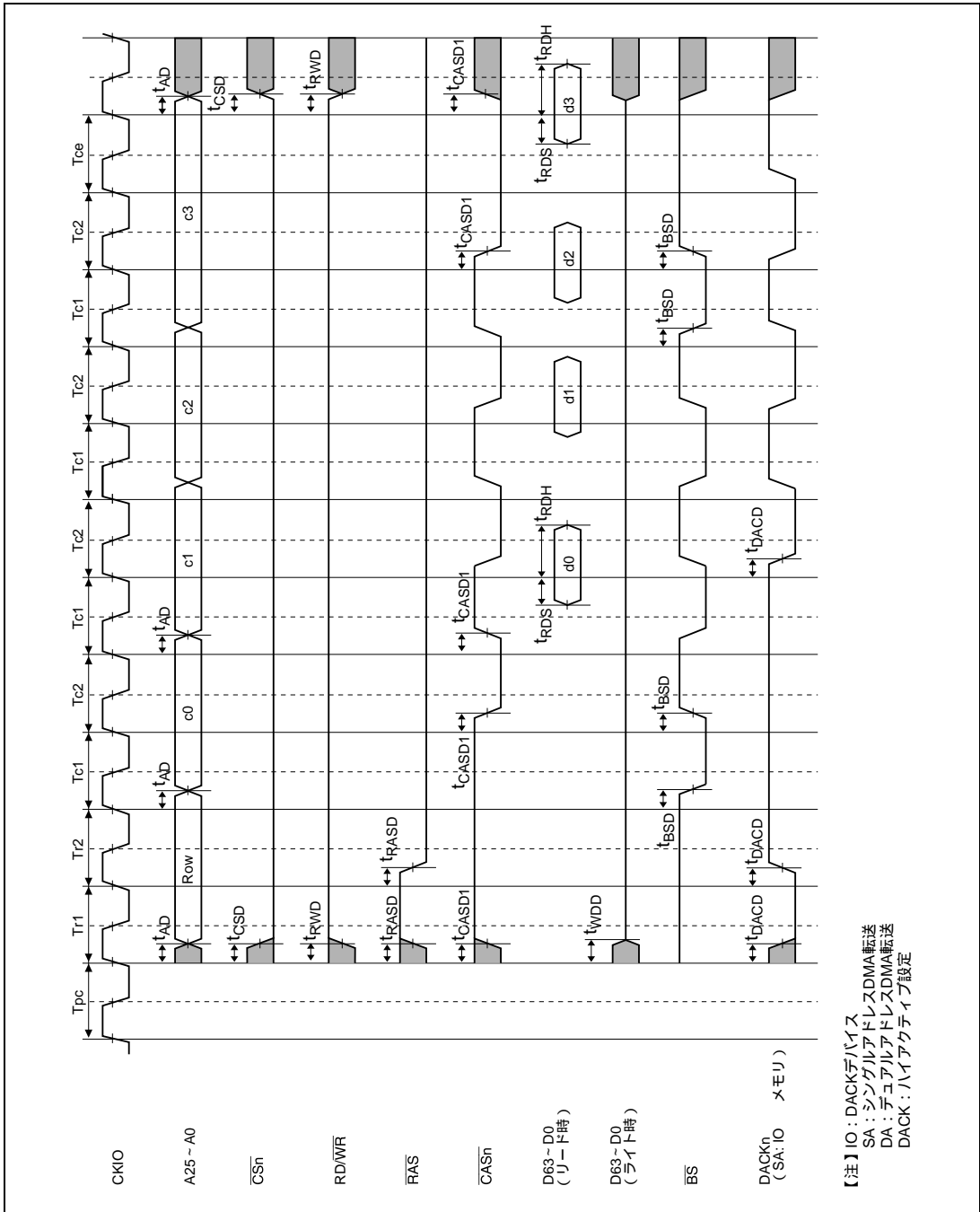


図 22.42 DRAM バーストバスサイクル、RAS ダウンモード状態 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)

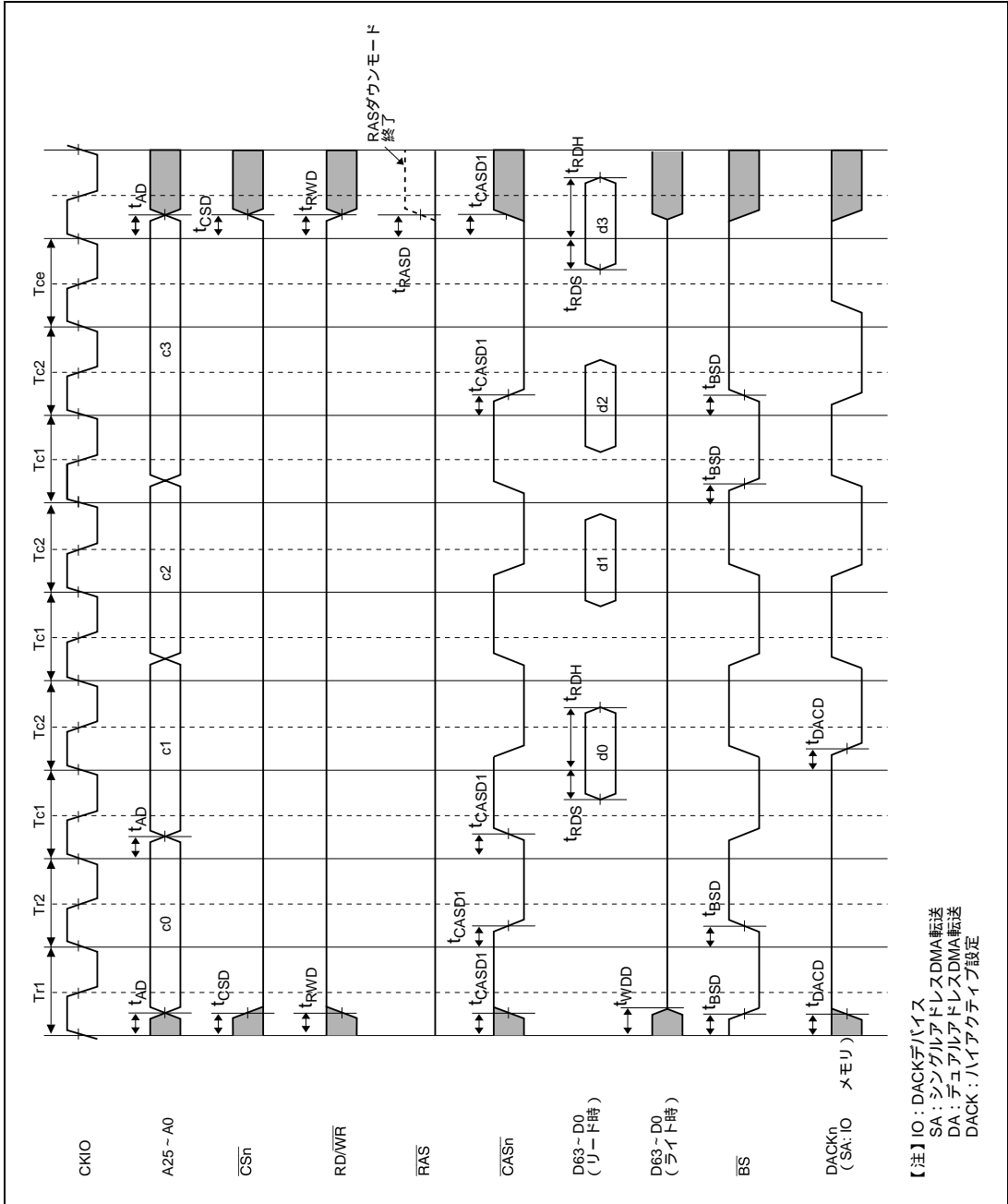


図 22.43 DRAM バーストバスサイクル、RAS ダウンモード継続 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)

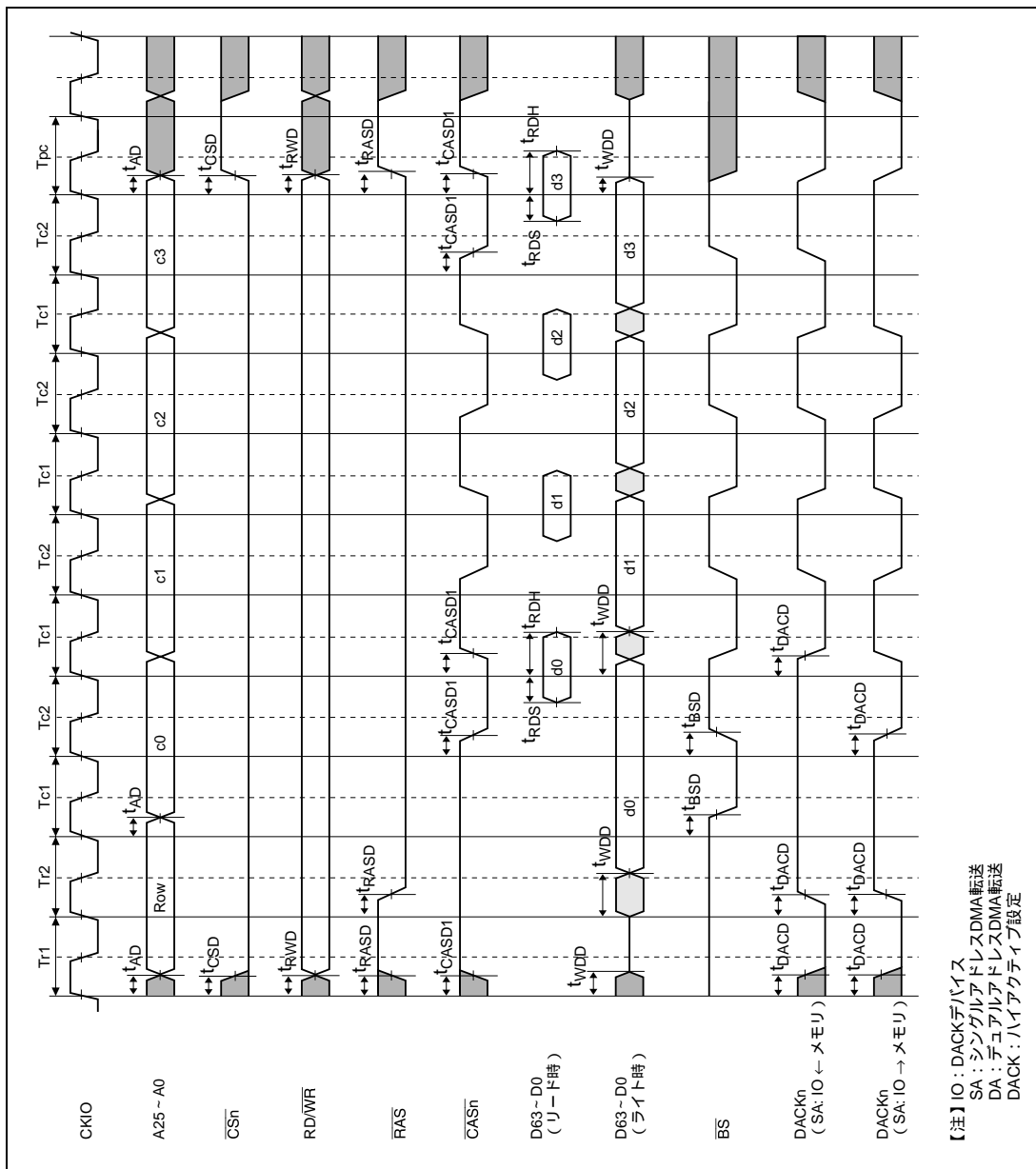


図 22.44 DRAM バーストアクセスサイクル (高速ページモード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)

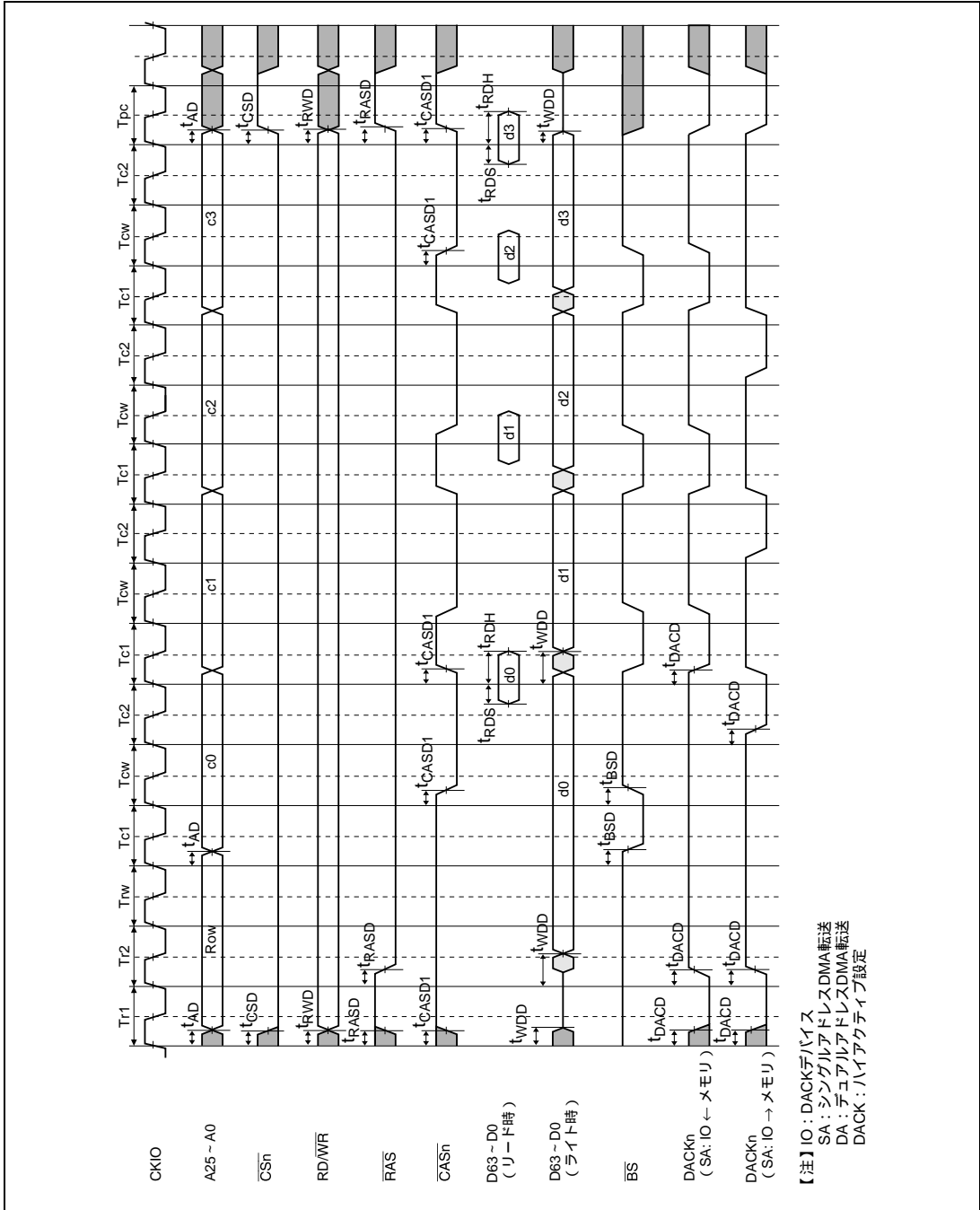


図 22.45 DRAM バーストアクセスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001)

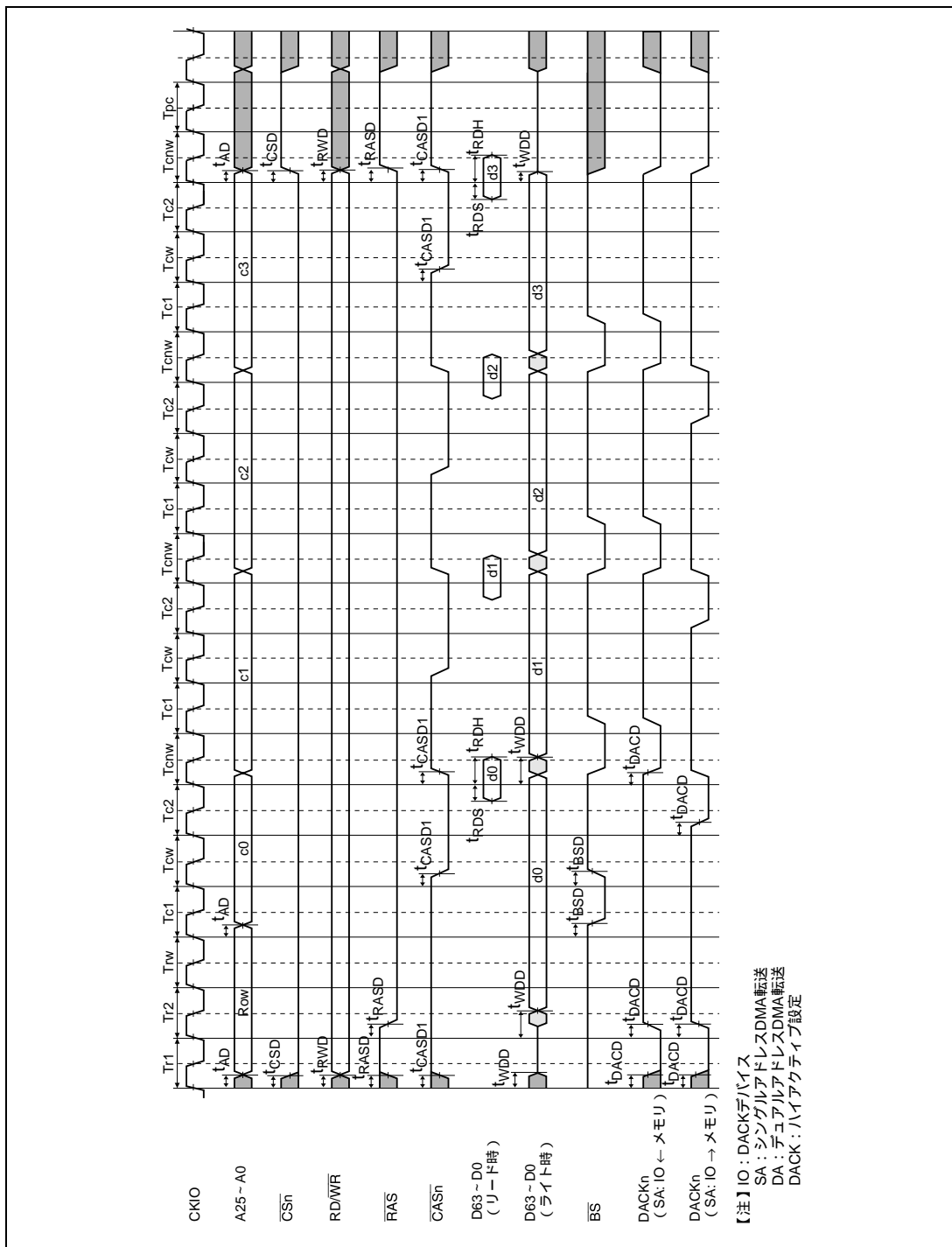


図 22.46 DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CAS
 ネゲートパルス幅 2 サイクル)

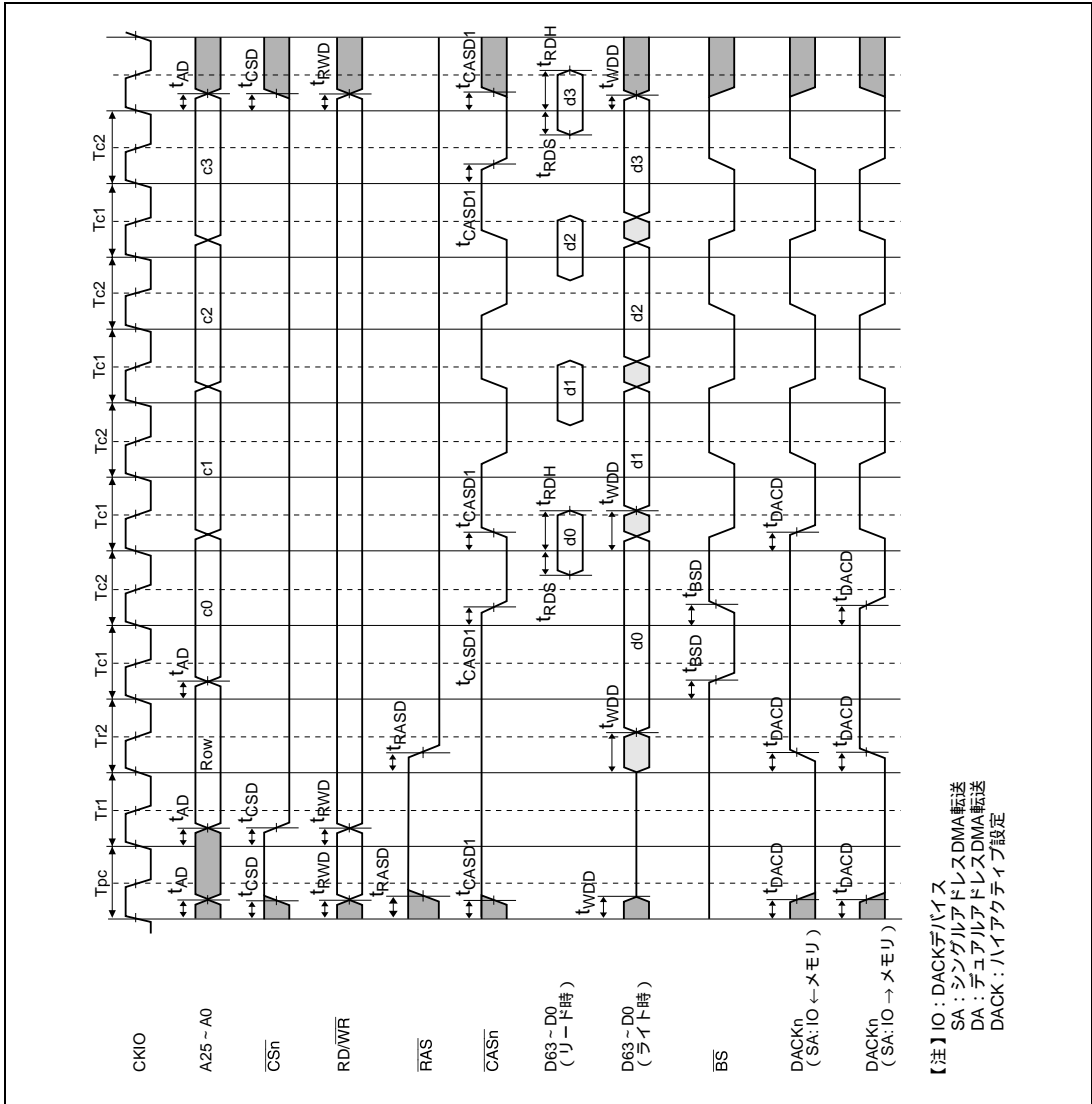


図 22.47 DRAM バーストバスサイクル、RAS ダウンモード状態
 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)

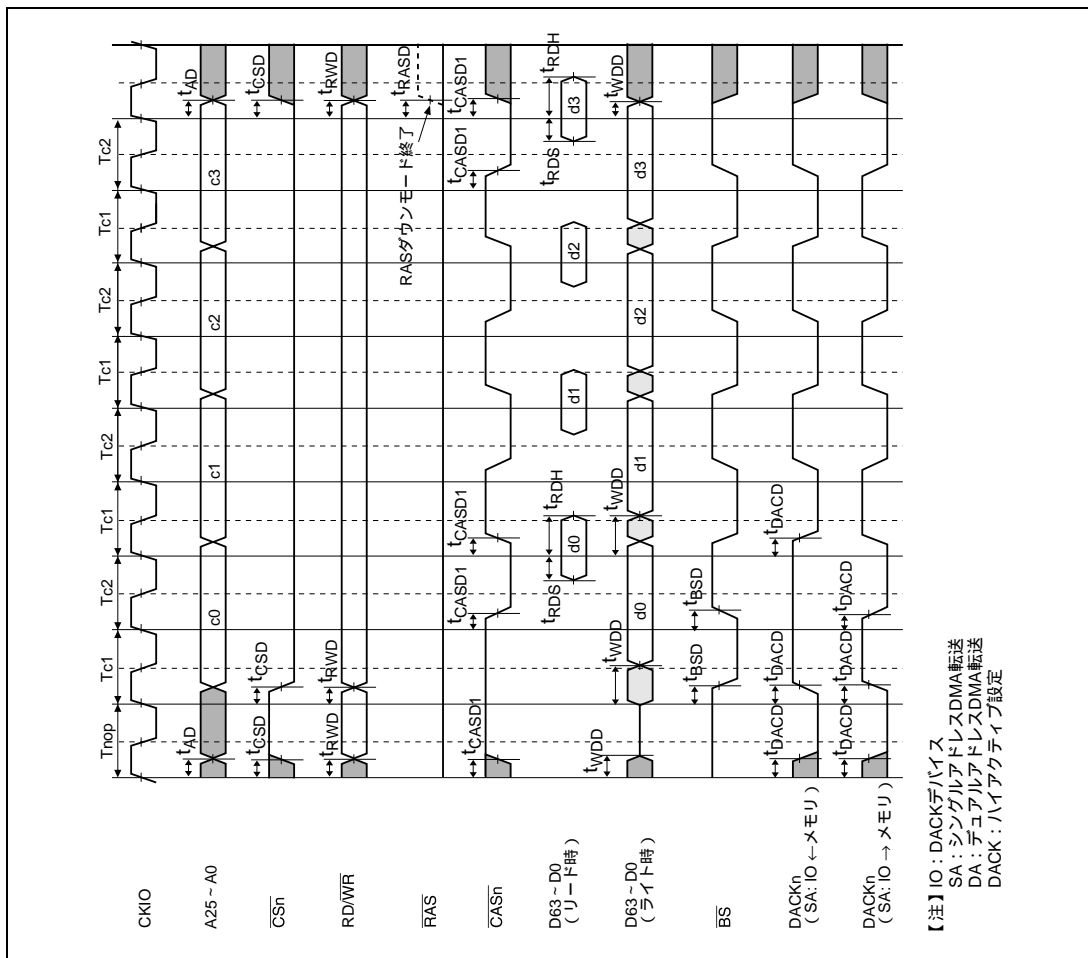


図 22.48 DRAM バーストバスサイクル、RAS ダウンモード継続
 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)

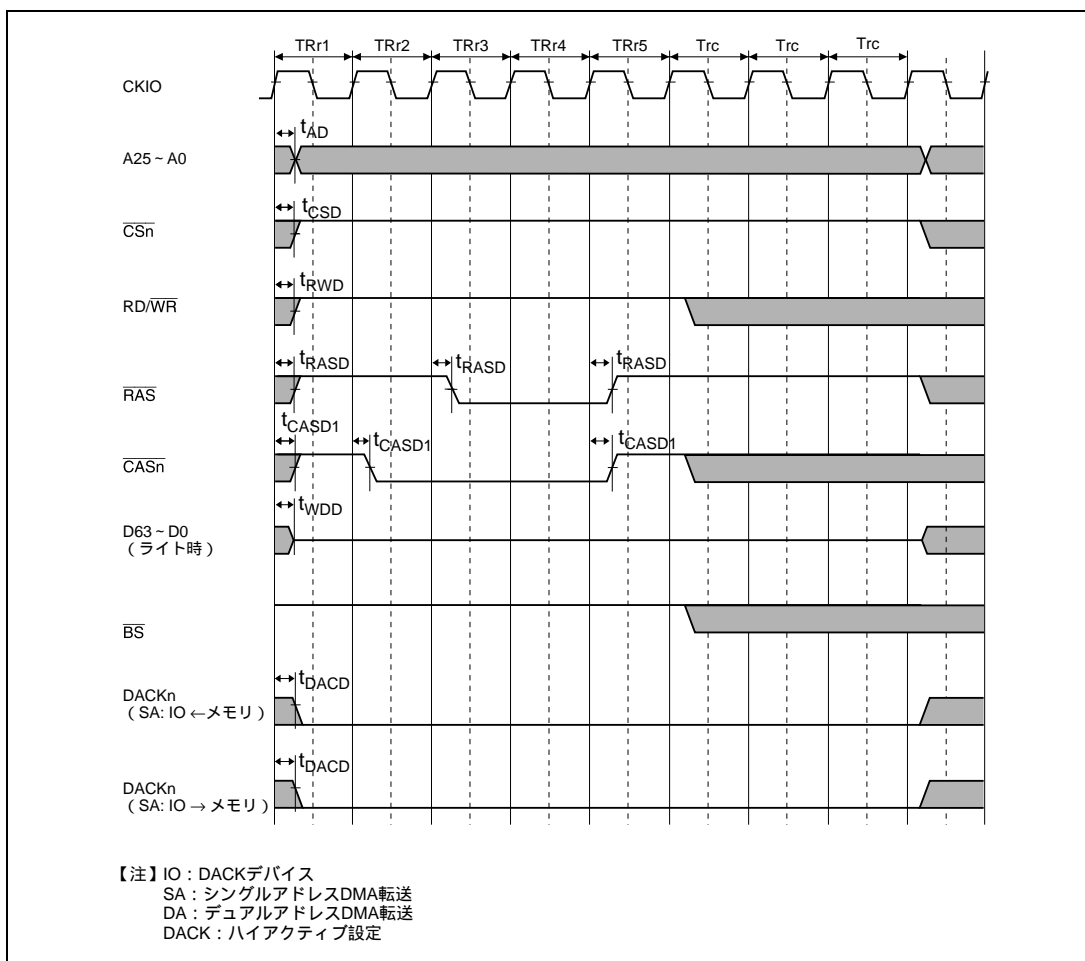


図 22.49 DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS[2:0]=000、TRC[2:0]=001)

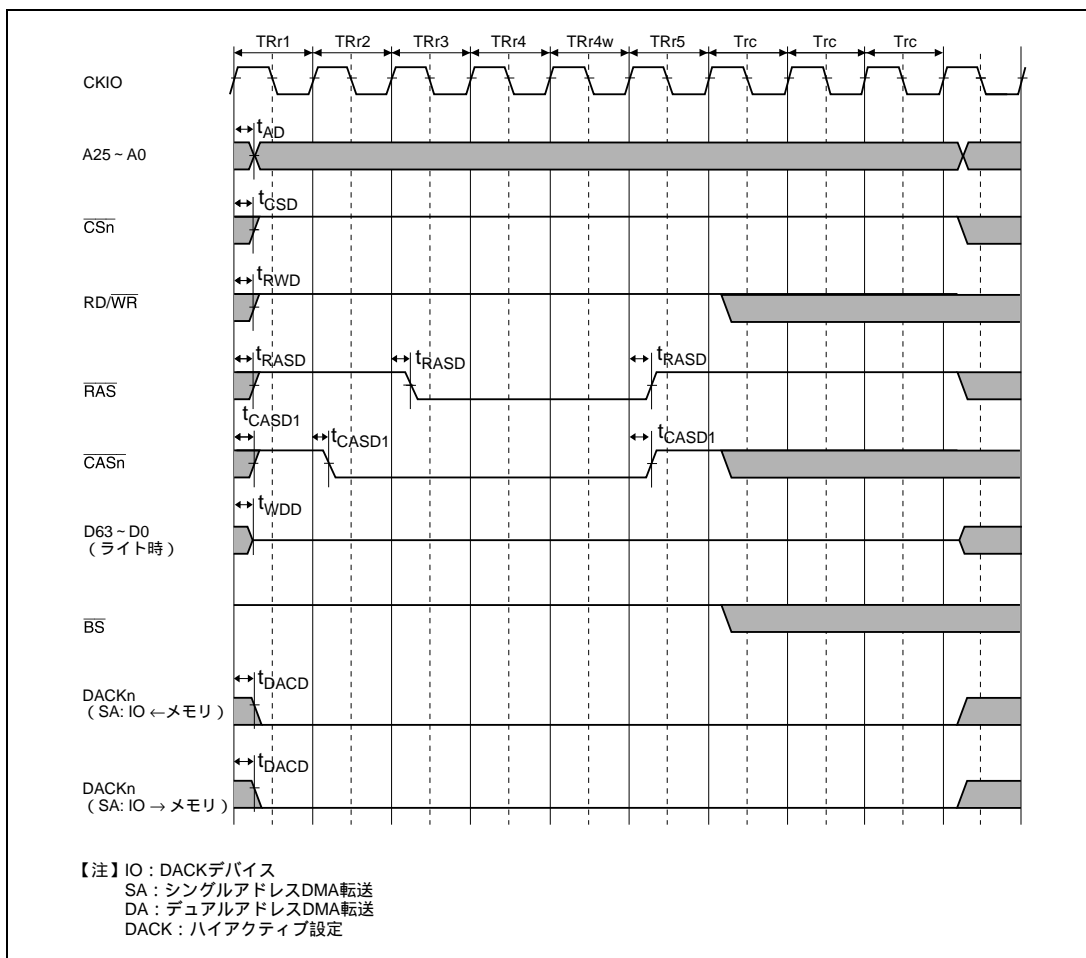


図 22.50 DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS[2:0]=001、TRC[2:0]=001)

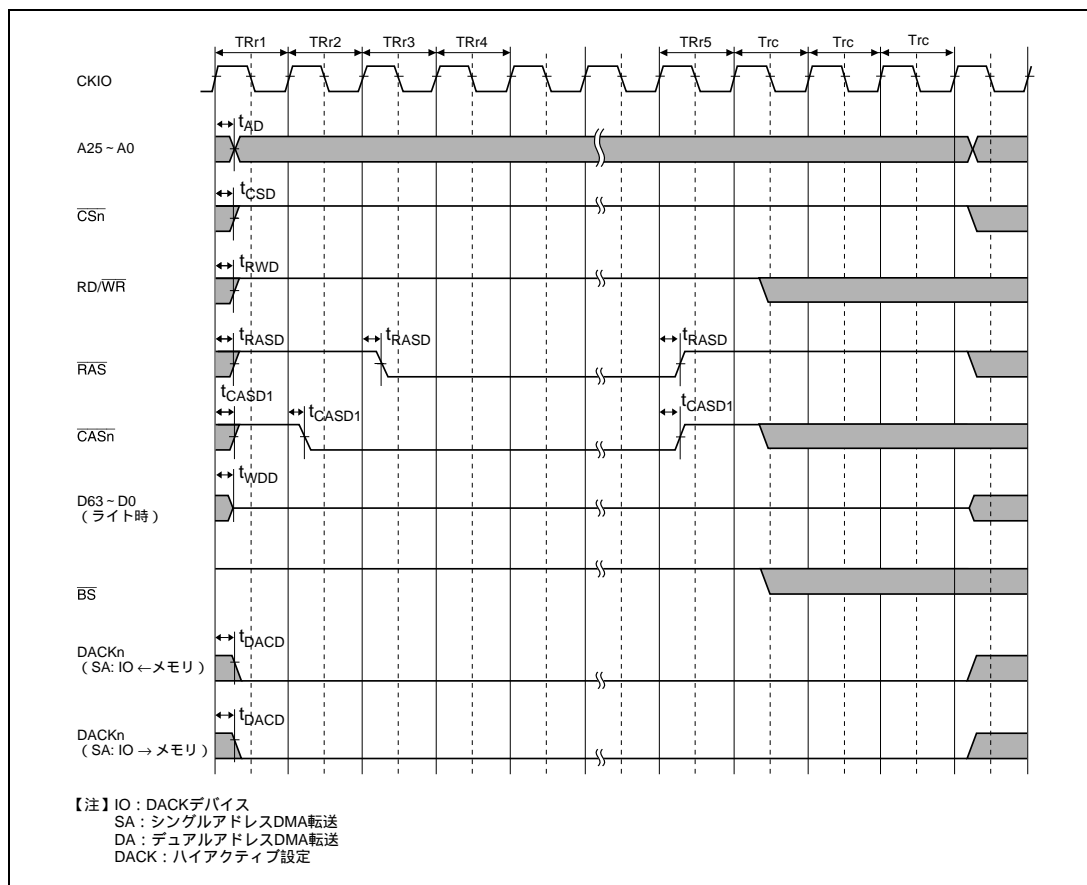


図 22.51 DRAM バスサイクル DRAM セルフリフレッシュ (TRC[2:0]=001)

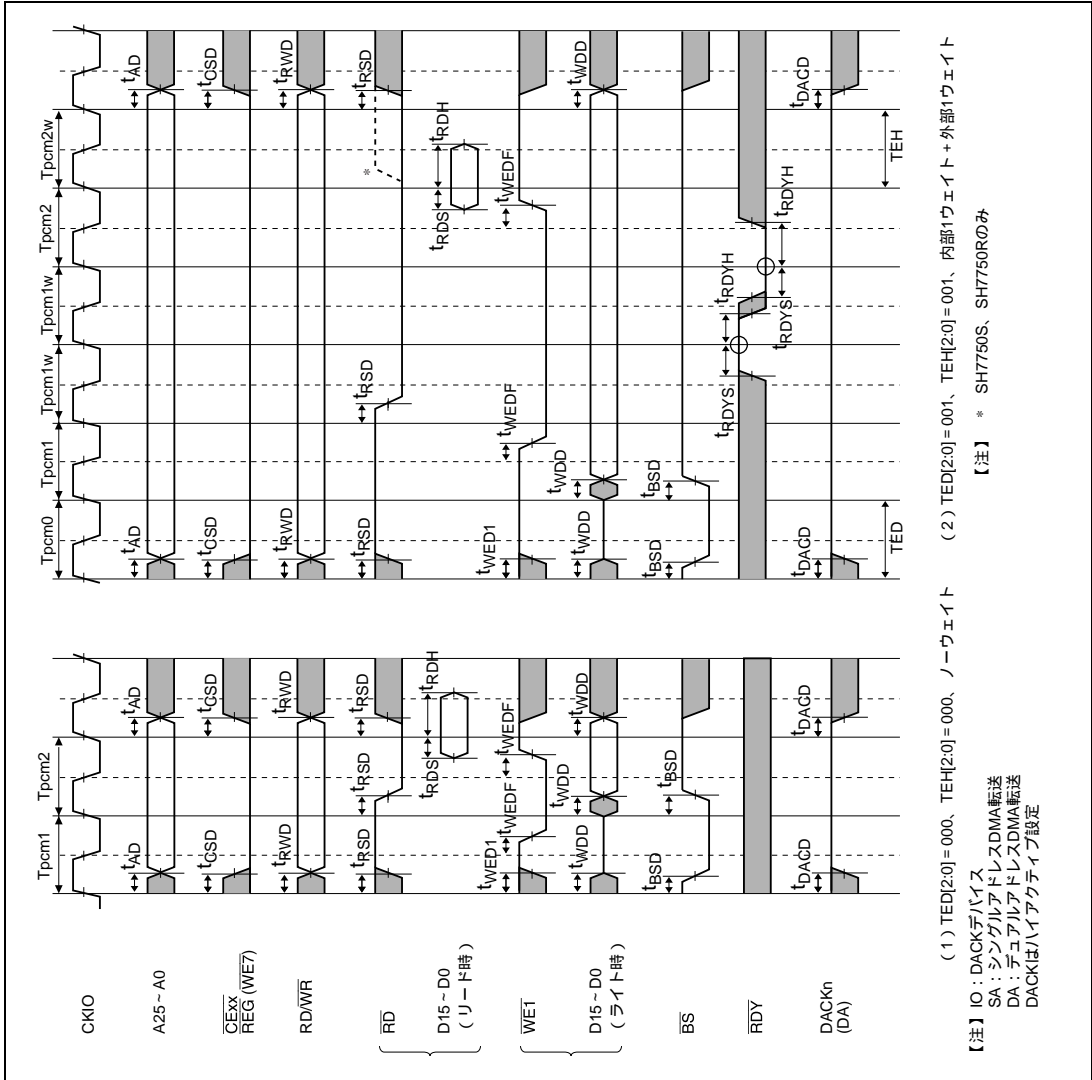


図 22.52 PCMCIA メモリバスサイクル

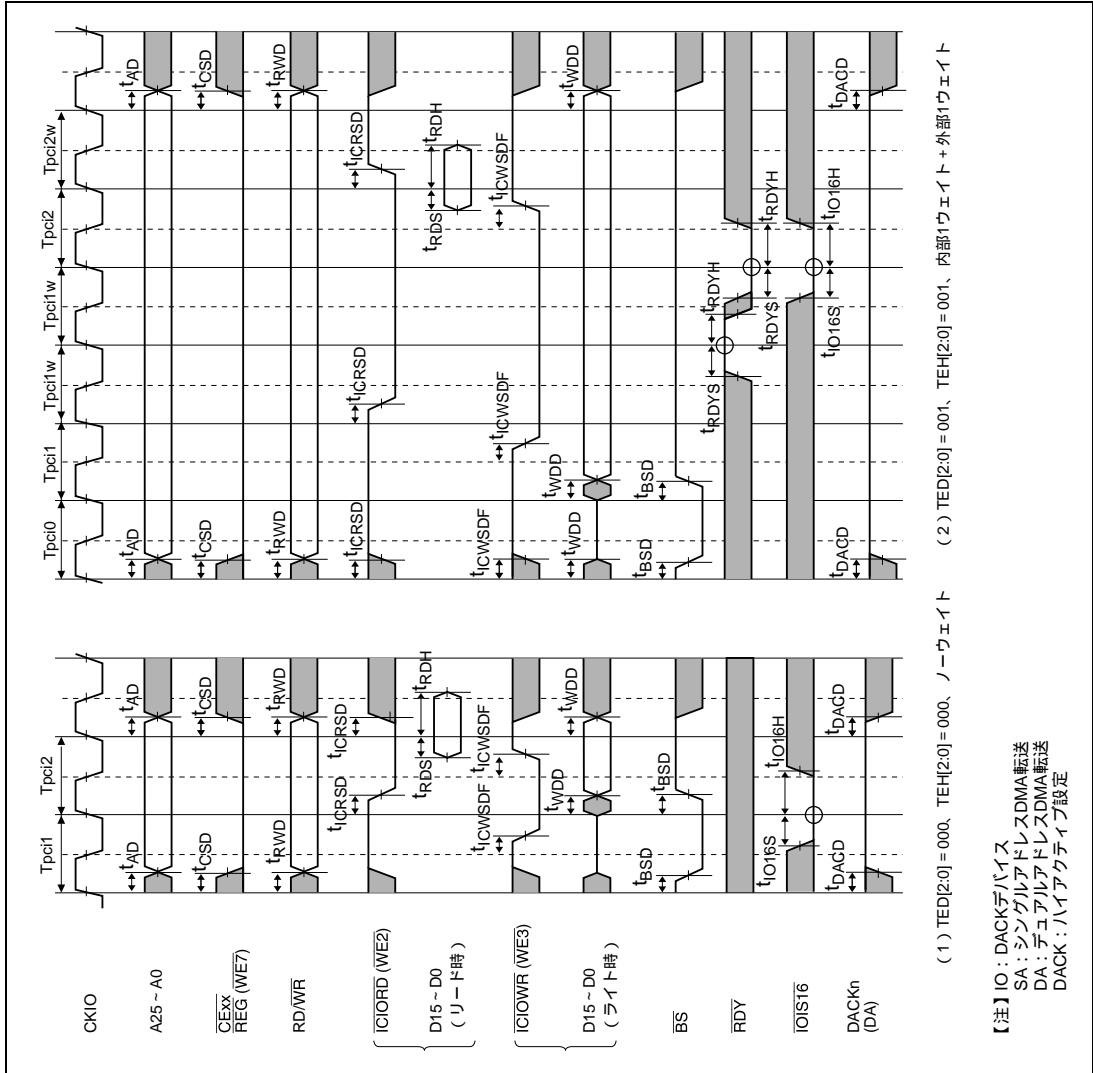
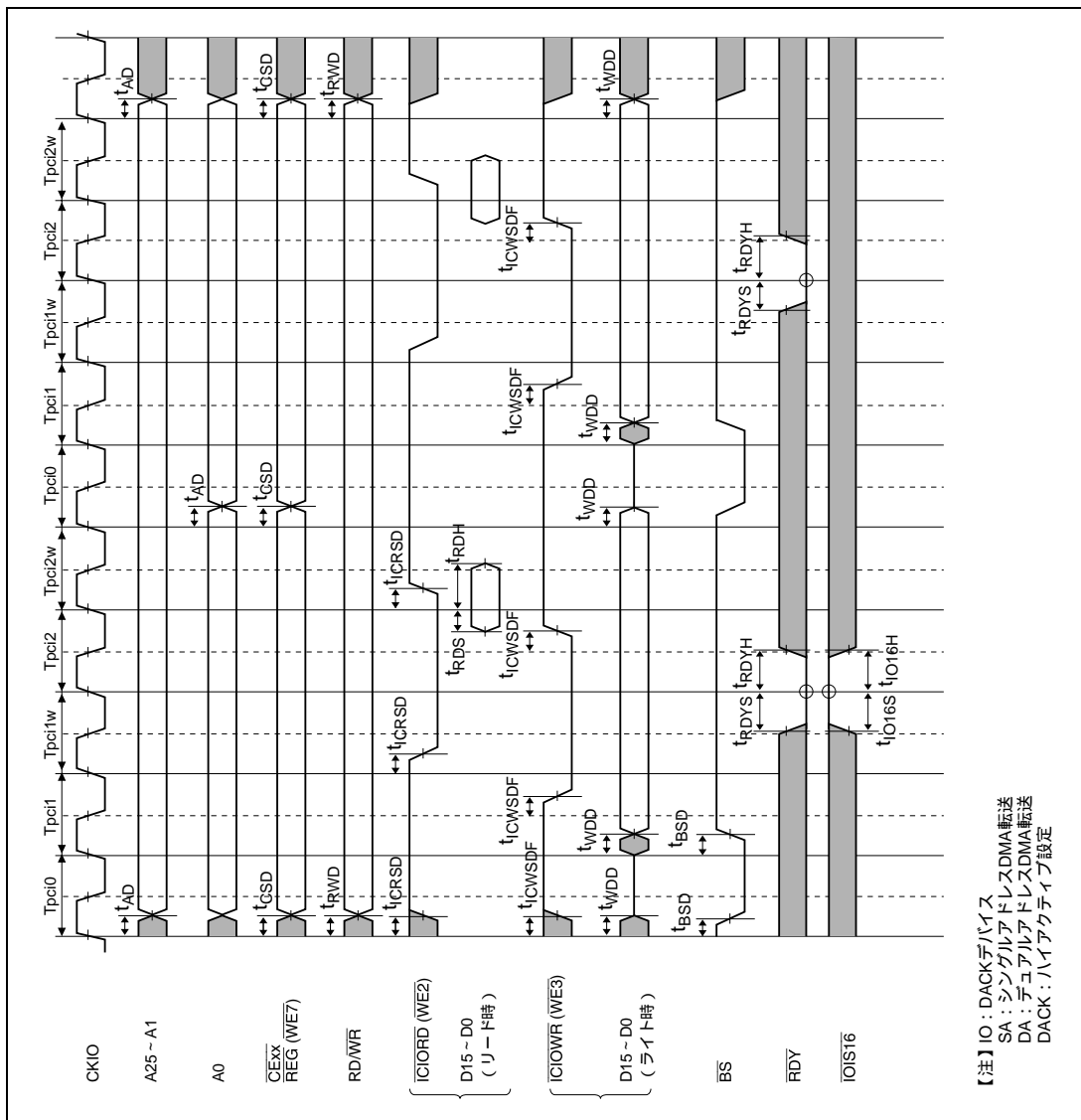


図 22.53 PCMCIA I/O バスサイクル



【注】IO : DACKデバイス
 SA : シンクアルアドレスDMA転送
 DA : デュアルアドレスDMA転送
 DACK : ハイアクティブ設定

図 22.54 PCMCIA I/O バスサイクル (TED[2:0]=001、TEH[2:0]=001、内部 1 ウェイト、バスサイジング)

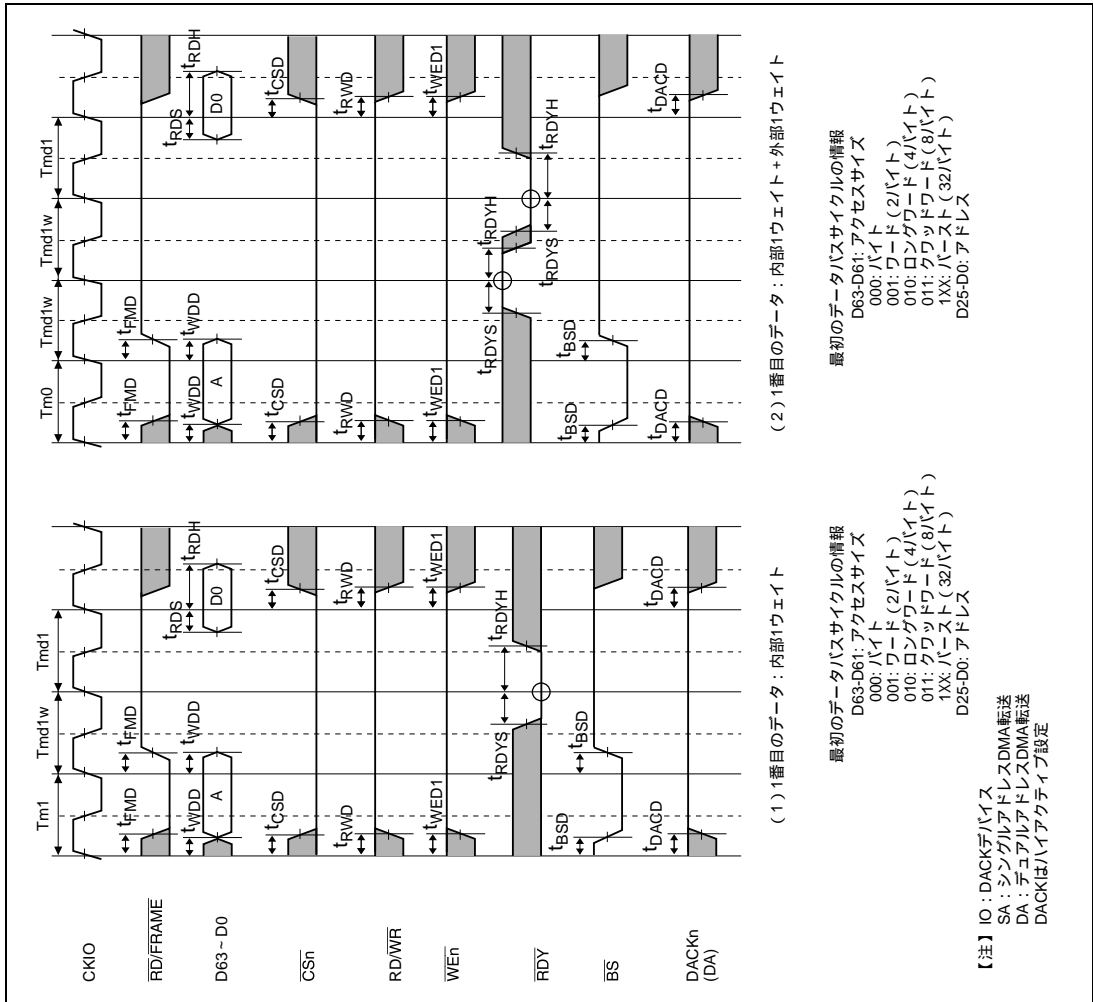


図 22.55 MPX 基本バスサイクル、リード

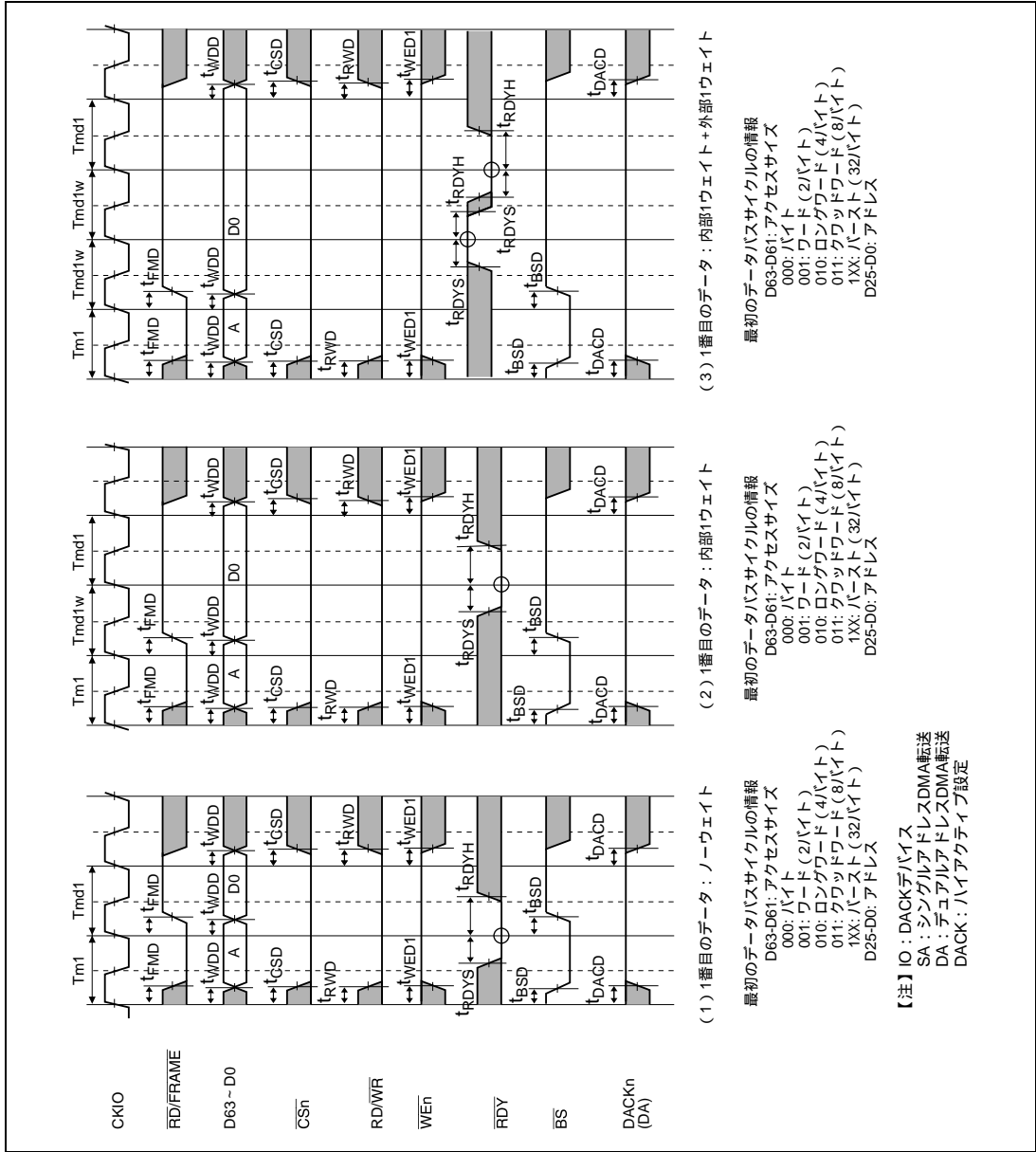


図 22.56 MPX 基本バスサイクル、ライト

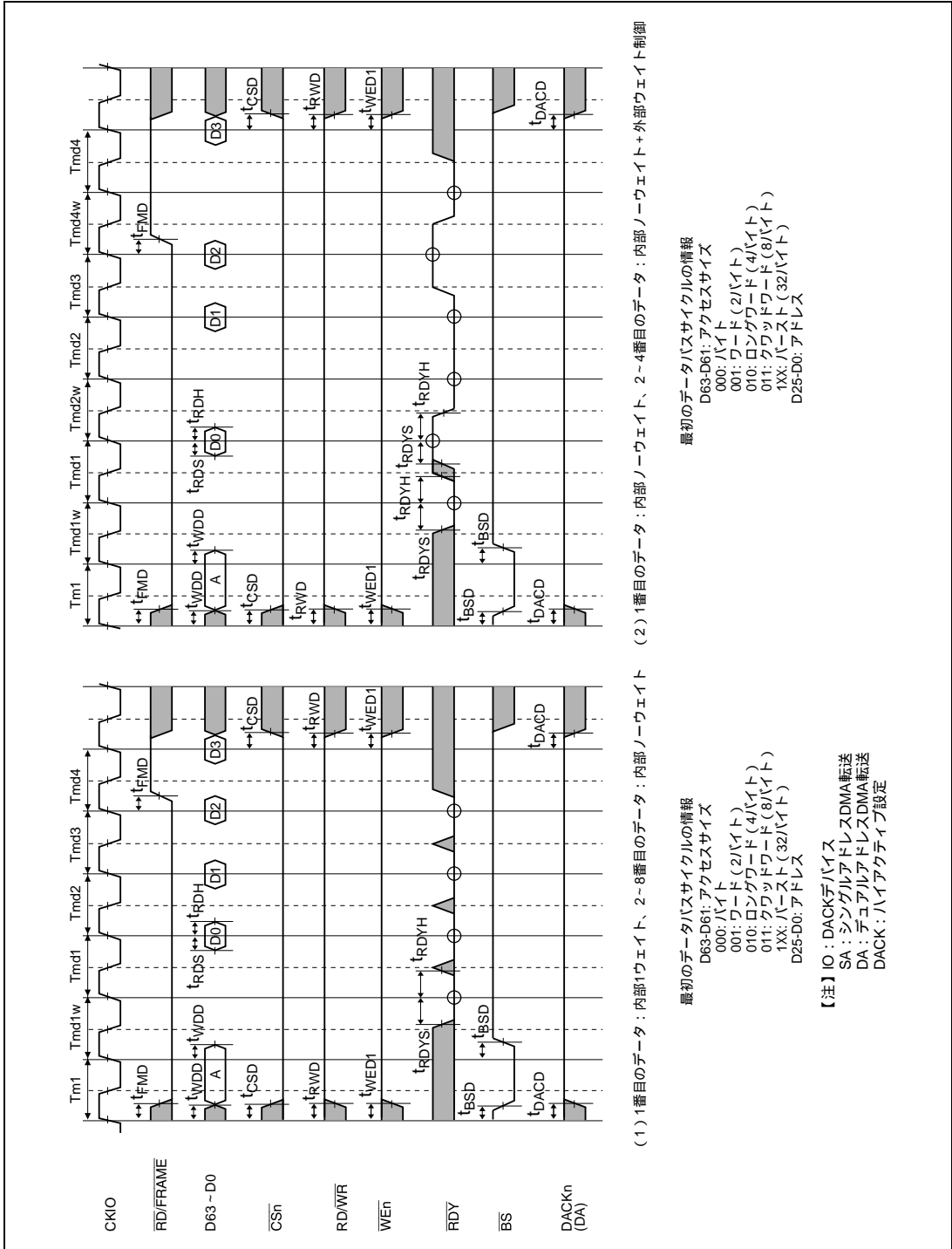


図 22.57 MPX バスサイクル、バーストリード

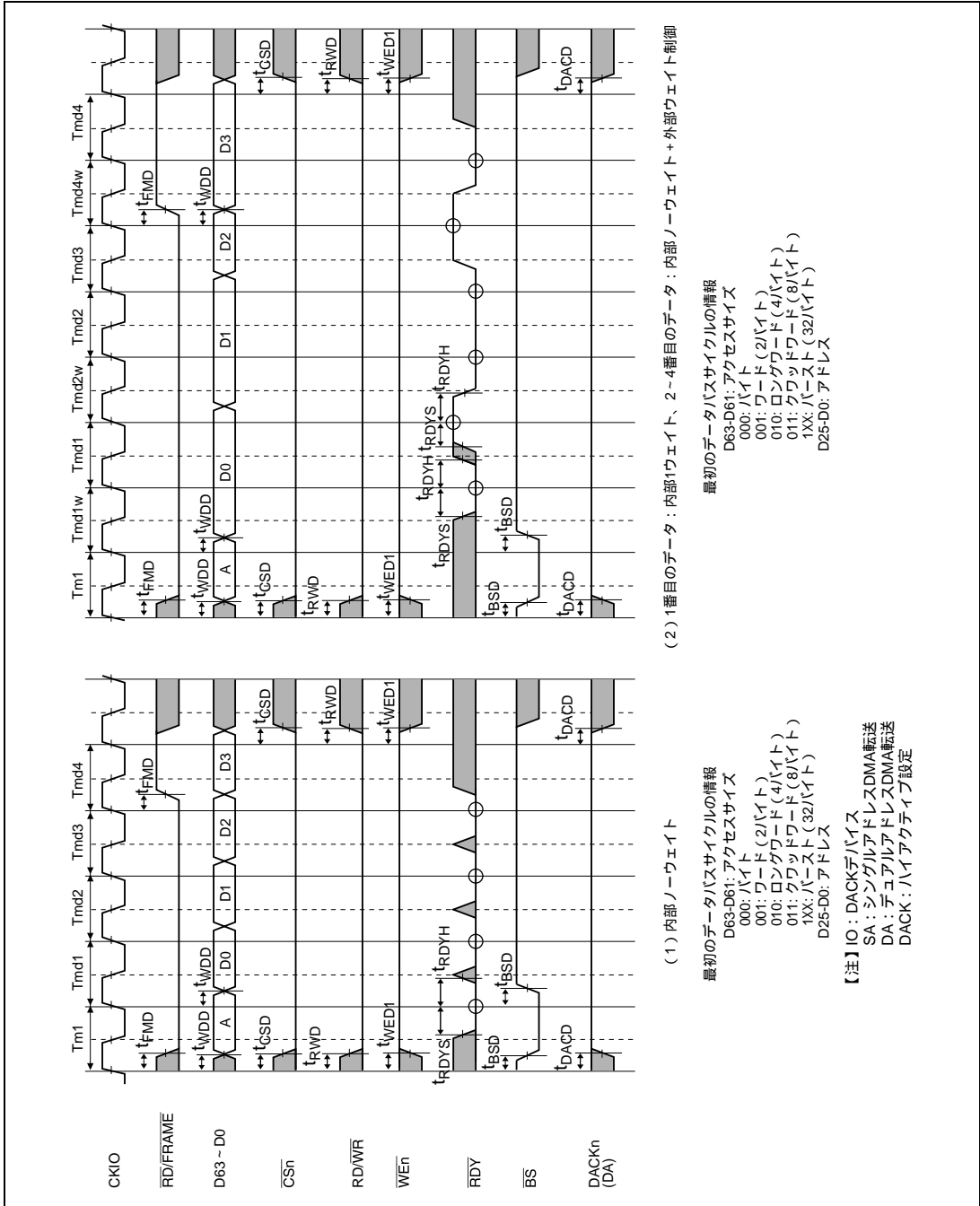


図 22.58 MPX バスサイクル、バーストライト

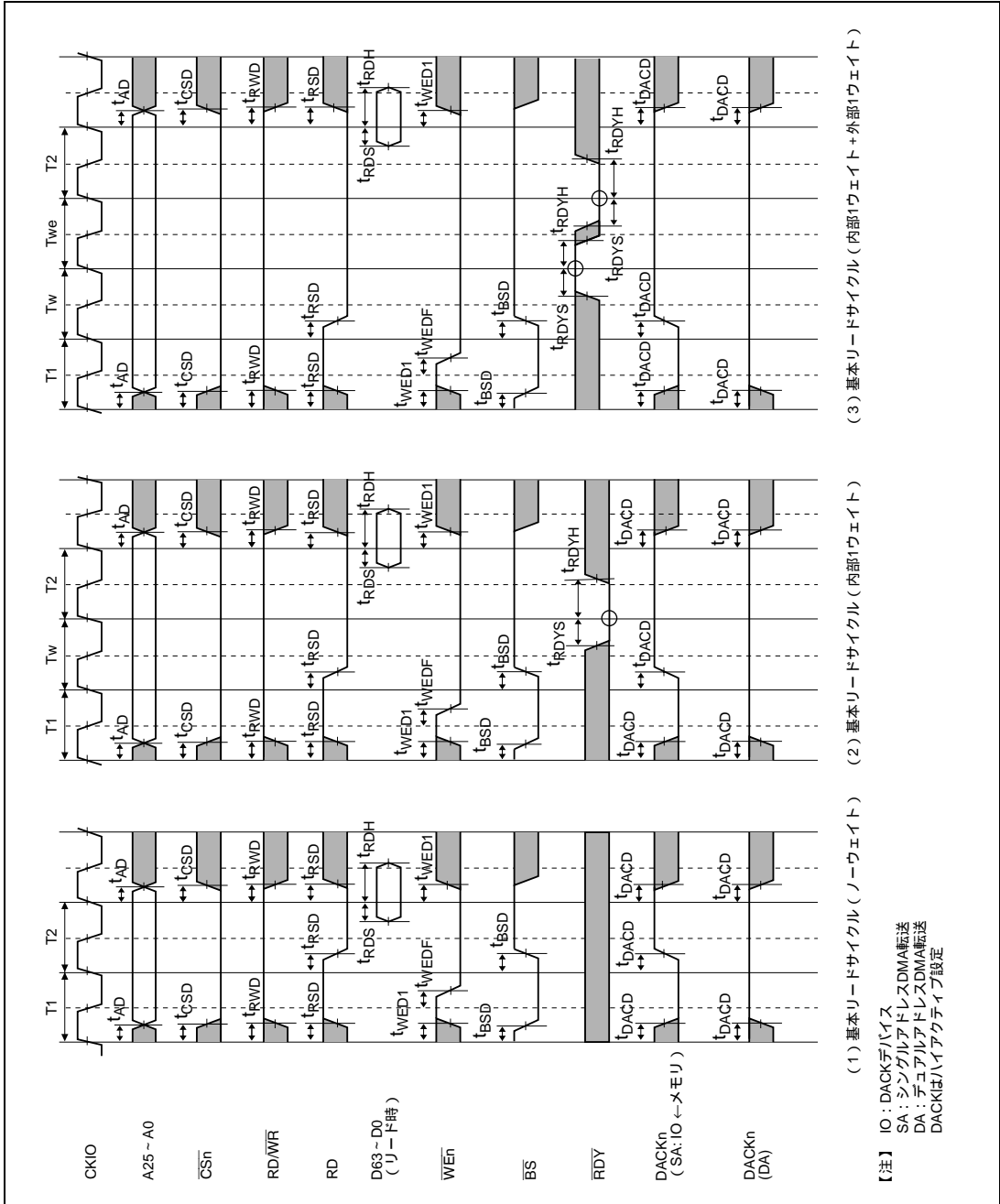


図 22.59 メモリバイト制御 SRAM バスサイクル

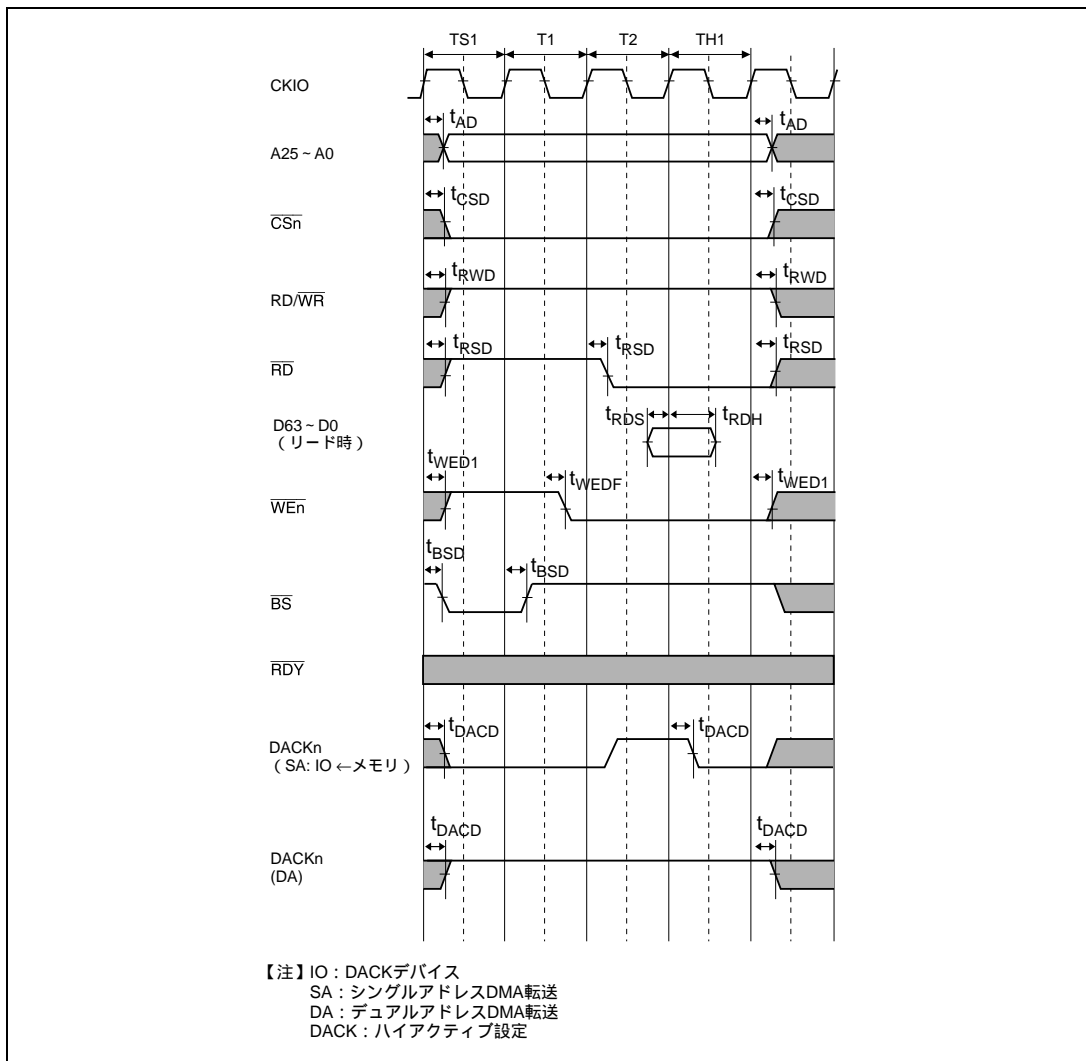


図 22.60 メモリバイト制御 SRAM バスサイクル 基本リードサイクル
 (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS[0]=1、AnH[1:0]=01)

22.3.4 周辺モジュール信号タイミング

表 22.37 周辺モジュール信号タイミング (1)

モジュール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RBA240HV		HD6417750 RBA240HV* ³		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考
			* ²		* ²		* ²		* ²		* ²		* ²		* ²						
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max					
TMU、 RTC	タイマクロック パルス幅 (High 時)	t_{TCLKWH}	4	-	4	-	4	-	4	-	4	-	Pcyc* ¹	22.61							
	タイマクロック パルス幅 (Low 時)	t_{TCLKWL}	4	-	4	-	4	-	4	-	4	-	Pcyc* ¹	22.61							
	タイマクロック 立ち上がり時間	t_{TCLKr}	-	0.8	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.61							
	タイマクロック 立ち下がり時間	t_{TCLKf}	-	0.8	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.61							
	発振安定期間	t_{ROSC}	-	3	-	3	-	3	-	3	-	3	s	22.62							
SCI	入カクロック サイクル (調歩同期)	t_{Scyc}	4	-	4	-	4	-	4	-	4	-	Pcyc* ¹	22.63							
	6		-	6	-	6	-	6	-	6	-	Pcyc* ¹	22.63								
	入カクロック パルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	0.4	0.6	0.4	0.6	t_{Scyc}	22.63							
	入カクロック 立ち上がり時間	t_{SCKr}	-	0.8	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.63							
	入カクロック 立ち下がり時間	t_{SCKf}	-	0.8	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.63							
	転送データ遅延時間	t_{TXD}	1.5	5.3	1.5	6	1.5	6	1.5	6	1.5	6	ns	22.64							
	受信データ セットアップ時間 (クロック同期)	t_{RXS}	16	-	16	-	16	-	16	-	16	-	16	ns	22.64						
	受信データホールド 時間 (クロック同期)	t_{RXH}	16	-	16	-	16	-	16	-	16	-	16	ns	22.64						
I/O ポート	出力データ遅延時間	t_{PORTD}	1.5	5.3	1.5	6	1.5	6	1.5	6	1.5	6	ns	22.65							
	入力データ セットアップ時間	t_{PORTS}	2	-	2.5	-	3.5	-	3.5	-	3.5	-	ns	22.65							
	入力データ ホールド時間	t_{PORTH}	1.5	-	1.5	-	1.5	-	1.5	-	1.5	-	ns	22.65							

モジュール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RBA240HV		HD6417750 RBA240HV* ³		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考
			* ²		* ²		* ²		* ²		* ²		* ²								
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max							
DMAC	DREQn セットアップ時間	t _{DROG}	2	-	2.5	-	3.5	-	3.5	-	3.5	-	ns	22.66							
	DREQn ホールド時間	t _{DRGH}	1.5	-	1.5	-	1.5	-	1.5	-	1.5	-	ns	22.66							
	DRAKn 遅延時間	t _{DRAKD}	1.5	5.3	1.5	6	1.5	6	1.5	6	1.5	6	ns	22.66							

【注】 *1 P_{cyc} は P クロックサイクルを意味します。

*2 V_{DD0}=3.0~3.6V、V_{DD}=1.5V、Ta=-20~75 *⁴、C_L=30pF、PLL2 は on

*3 HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

*4 HD6417750RBA240HV のみ、Ta=-40~85 の範囲になります。

表 22.38 周辺モジュール信号タイミング (2)

モジュール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RBG240 (V)		HD6417750 RBG200 (V)		HD6417750 RBA240HV		HD6417750 RBA240HV* ³		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考
			* ²		* ²		* ²		* ²		* ²		* ²								
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max							
INTC	NMI パルス幅 (High 時)	t _{NMIH}	5	-	5	-	5	-	5	-	5	-	t _{cyc}	22.71	通常 時ス リー プ時						
			30	-	30	-	30	-	30	-	30	-	ns	22.71	スタ ンバ イ時						
	NMI パルス幅 (Low 時)	t _{NMIL}	5	-	5	-	5	-	5	-	5	-	t _{cyc}	22.71	通常 時ス リー プ時						
			30	-	30	-	30	-	30	-	30	-	ns	22.71	スタ ンバ イ時						

モジュール	項目	略称	HD6417750 RBP240 (V)		HD6417750 RBP200 (V)		HD6417750 RF240 (V)		HD6417750 RF200 (V)		単位	参照図	備考
			HD6417750 RBG240 (V)		HD6417750 RBG200 (V)								
			HD6417750 RBA240HV		HD6417750 RBA240HV* ³		Min	Max	Min	Max			
			* ²		* ²		* ²		* ²				
			Min	Max	Min	Max	Min	Max	Min	Max			
H-UDI	入カクロック サイクル	t_{TCKCyc}	50	-	50	-	50	-	50	-	ns	22.67	
	入カクロック パルス幅 (High 時)	t_{TCKH}	15	-	15	-	15	-	15	-	ns	22.67	
	入カクロック パルス幅 (Low 時)	t_{TCKL}	15	-	15	-	15	-	15	-	ns	22.67	
	入カクロック 立ち上がり時間	t_{TCKr}	-	10	-	10	-	10	-	10	ns	22.67	
	入カクロック 立ち下がり時間	t_{TCKf}	-	10	-	10	-	10	-	10	ns	22.67	
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	10	-	10	-	10	-	t_{cyc}	22.68	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	10	-	10	-	10	-	t_{cyc}	22.68	
	TDI/TMS セットアップ時間	t_{TDIS}	15	-	15	-	15	-	15	-	ns	22.69	
	TDI/TMS ホールド時間	t_{TDIH}	15	-	15	-	15	-	15	-	ns	22.69	
	TDO データ遅延時間	t_{TDO}	0	10	0	10	0	10	0	10	ns	22.69	
	ASE-PINBRK パルス幅	t_{PINBRK}	2	-	2	-	2	-	2	-	Pcyc* ¹	22.70	

【注】 *¹ Pcyc は P クロックサイクルを意味します。

*² $V_{DDQ}=3.0 \sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20 \sim 75$ *⁴、 $C_L=30pF$ 、PLL2 は on

*³ HD6417750RBA240HV を 200MHz の仕様で使用する場合になります。

*⁴ HD6417750RBA240HV のみ、 $T_a=-40 \sim 85$ の範囲になります。

表 22.39 周辺モジュール信号タイミング (3)

モジュール	項目	略称	HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	参照図	備考
			HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V				
			*2		*3		*4				
Min	Max	Min	Max	Min	Max						
TMU、RTC	タイマクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	4	-	4	-	Pcyc*1	22.61	
	タイマクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	4	-	4	-	Pcyc*1	22.61	
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	-	0.8	-	0.8	Pcyc*1	22.61	
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	-	0.8	-	0.8	Pcyc*1	22.61	
	発振安定期間	t_{ROSC}	-	3	-	3	-	3	s	22.62	
SCI	入カクロックサイクル (調歩同期)	t_{Scyc}	4	-	4	-	4	-	Pcyc*1	22.63	
	入カクロックサイクル (クロック同期)		6	-	6	-	6	-	Pcyc*1	22.63	
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{Scyc}	22.63	
	入カクロック立ち上がり時間	t_{SCKr}	-	0.8	-	0.8	-	0.8	Pcyc*1	22.63	
	入カクロック立ち下がり時間	t_{SCKf}	-	0.8	-	0.8	-	0.8	Pcyc*1	22.63	
	転送データ遅延時間	t_{TXD}	1.5	10	1.5	8	1.5	6	ns	22.64	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	16	-	16	-	16	-	ns	22.64	
受信データホールド時間 (クロック同期)	t_{RXH}	16	-	16	-	16	-	ns	22.64		
I/O ポート	出力データ遅延時間	t_{PORTD}	1.5	10	1.5	8	1.5	6	ns	22.65	
	入力データセットアップ時間	t_{PORTS}	3.5	-	3.5	-	3	-	ns	22.65	
	入力データホールド時間	t_{PORTH}	1.5	-	1.5	-	1.5	-	ns	22.65	
DMAC	\overline{DREQn} セットアップ時間	t_{DROS}	3.5	-	3.5	-	3	-	ns	22.66	
	\overline{DREQn} ホールド時間	t_{DROH}	1.5	-	1.5	-	1.5	-	ns	22.66	
	\overline{DRAKn} 遅延時間	t_{DRAKD}	1.5	10	1.5	8	1.5	6	ns	22.66	

【注】 *1 Pcyc は P クロックサイクルを意味します。

*2 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*4 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

表 22.40 周辺モジュール信号タイミング (4)

モジュール	項目	略称	HD6417750 SVF133 (V)		HD6417750 SF167 (V)		HD6417750 SBP200 (V)		単位	参照図	備考
			HD6417750 SVBT133 (V)		HD6417750 SF200 (V)		HD6417750 SBA200V				
			*2		*3		*4				
Min	Max	Min	Max	Min	Max						
INTC	NMI パルス幅 (High 時)	t_{NMIH}	5	-	5	-	5	-	t_{cyc}	22.71	通常時 スリープ時
			30	-	30	-	30	-	ns	22.71	スタンバイ時
	NMI パルス幅 (Low 時)	t_{NML}	5	-	5	-	5	-	t_{cyc}	22.71	通常時 スリープ時
			30	-	30	-	30	-	ns	22.71	スタンバイ時
H-UDI	入カクロック サイクル	t_{TCKcyc}	50	-	50	-	50	-	ns	22.67	
	入カクロックパルス幅 (High 時)	t_{TCKH}	15	-	15	-	15	-	ns	22.67	
	入カクロックパルス幅 (Low 時)	t_{TCKL}	15	-	15	-	15	-	ns	22.67	
	入カクロック 立ち上がり時間	t_{TCKr}	-	10	-	10	-	10	ns	22.67	
	入カクロック 立ち下がり時間	t_{TCKf}	-	10	-	10	-	10	ns	22.67	
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	10	-	10	-	t_{cyc}	22.68	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	10	-	10	-	t_{cyc}	22.68	
	TDI/TMS セットアップ時間	t_{TDIS}	15	-	15	-	15	-	ns	22.69	
	TDI/TMS ホールド時間	t_{TDIH}	15	-	15	-	15	-	ns	22.69	
	TDO データ遅延時間	t_{TDO}	0	10	0	10	0	10	ns	22.69	
	ASE-PINBRK パルス幅	t_{PINBRK}	2	-	2	-	2	-	P_{cyc}^{*1}	22.70	

【注】 *1 P_{cyc} は P クロックサイクルを意味します。

*2 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*4 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

表 22.41 周辺モジュール信号タイミング (5)

モジュール	項目	略称	HD6417750 VF128 (V)		HD6417750 F167 (V)		HD6417750 BP200M (V)		単位	参照図	備考
			* ²		* ³		* ⁴				
			Min	Max	Min	Max	Min	Max			
TMU、RTC	タイマクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	4	-	4	-	Pcyc* ¹	22.61	
	タイマクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	4	-	4	-	Pcyc* ¹	22.61	
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.61	
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.61	
	発振安定期間	t_{ROSC}	-	3	-	3	-	3	s	22.62	
SCI	入カクロックサイクル (調歩同期)	t_{SCLC}	4	-	4	-	4	-	Pcyc* ¹	22.63	
	入カクロックサイクル (クロック同期)		6	-	6	-	6	-	Pcyc* ¹	22.63	
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{SCLC}	22.63	
	入カクロック立ち上がり時間	t_{SCKr}	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.63	
	入カクロック立ち下がり時間	t_{SCKf}	-	0.8	-	0.8	-	0.8	Pcyc* ¹	22.63	
	転送データ遅延時間	t_{TXD}	1.3	10	1.3	8	1.2	6	ns	22.64	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	16	-	16	-	16	-	ns	22.64	
I/O ポート	出力データ遅延時間	t_{PORTD}	0.5	10	0.5	8	0.5	6	ns	22.65	
	入力データセットアップ時間	t_{PORTS}	3.5	-	3.5	-	3	-	ns	22.65	
	入力データホールド時間	t_{PORTH}	1.5	-	1.5	-	1.5	-	ns	22.65	
DMAC	\overline{DREQn} セットアップ時間	t_{DROS}	3.5	-	3.5	-	3	-	ns	22.66	
	\overline{DREQn} ホールド時間	t_{DRQH}	1.5	-	1.5	-	1.5	-	ns	22.66	
	\overline{DRAKn} 遅延時間	t_{DRAKD}	1.0	10	1.0	8	1.0	6	ns	22.66	

【注】 *1 Pcyc は P クロックサイクルを意味します。

*2 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*4 $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

表 22.42 周辺モジュール信号タイミング (6)

モジュール	項目	略称	HD6417750 VF128 (V)		HD6417750 F167 (V)		HD6417750 BP200M (V)		単位	参照図	備考
			*2		*3		*4				
			Min	Max	Min	Max	Min	Max			
INTC	NMI パルス幅 (High 時)	t_{NMH}	5	-	5	-	5	-	t_{cyc}	22.71	通常時 スリープ時
			30	-	30	-	30	-	ns	22.71	スタンバイ時
	NMI パルス幅 (Low 時)	t_{NML}	5	-	5	-	5	-	t_{cyc}	22.71	通常時 スリープ時
			30	-	30	-	30	-	ns	22.71	スタンバイ時
H-UDI	入カクロックサイクル	t_{TCKcyc}	50	-	50	-	50	-	ns	22.67	
	入カクロックパルス幅 (High 時)	t_{TCKH}	15	-	15	-	15	-	ns	22.67	
	入カクロックパルス幅 (Low 時)	t_{TCKL}	15	-	15	-	15	-	ns	22.67	
	入カクロック立ち上がり 時間	t_{TCKr}	-	10	-	10	-	10	ns	22.67	
	入カクロック立ち下がり 時間	t_{TCKf}	-	10	-	10	-	10	ns	22.67	
	ASEBRK セットアップ 時間	$t_{ASEBRKS}$	10	-	10	-	10	-	t_{cyc}	22.68	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	10	-	10	-	t_{cyc}	22.68	
	TDI/TMS セットアップ 時間	t_{TDIS}	15	-	15	-	15	-	ns	22.69	
	TDI/TMS ホールド時間	t_{TDIH}	15	-	15	-	15	-	ns	22.69	
	TDO データ遅延時間	t_{TDO}	0	10	0	10	0	10	ns	22.69	
ASE-PINBRK パルス幅	t_{PINBRK}	2	-	2	-	2	-	$Pcyc^{*1}$	22.70		

【注】 *1 $Pcyc$ は P クロックサイクルを意味します。

*2 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*3 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

*4 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は on

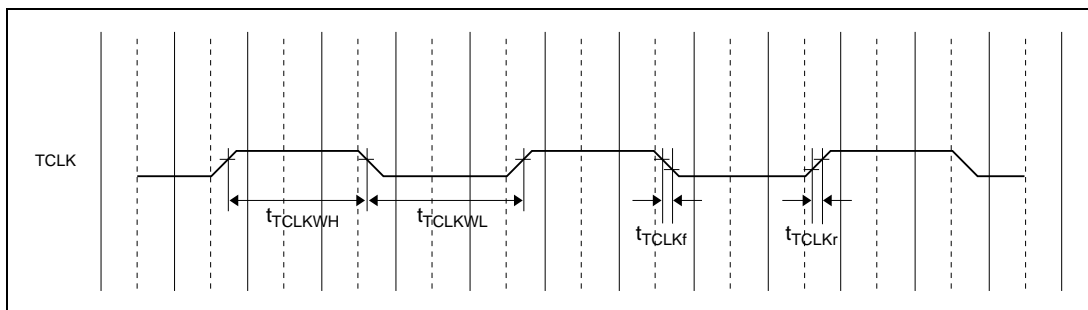


図 22.61 TCLK 入力タイミング

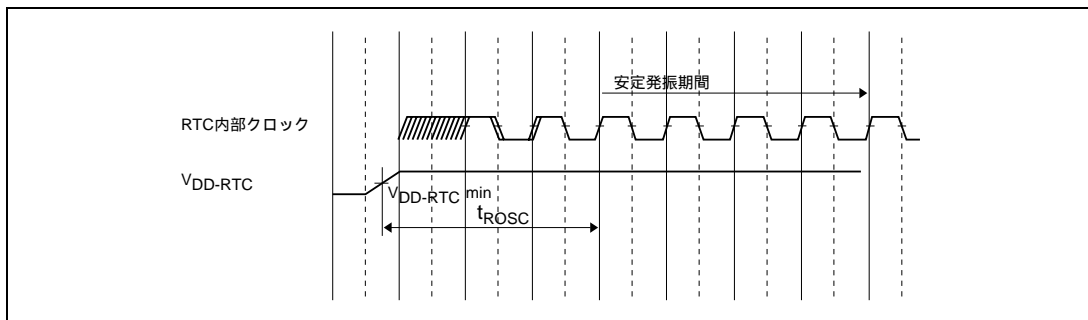


図 22.62 パワーオン RTC 発振安定時間

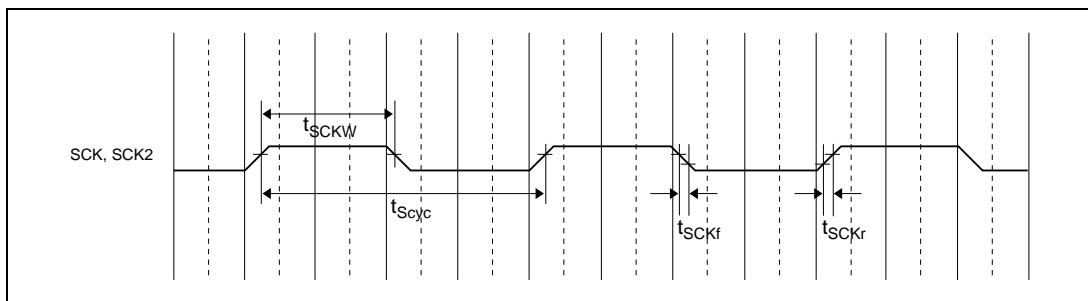


図 22.63 SCK 入力クロックタイミング

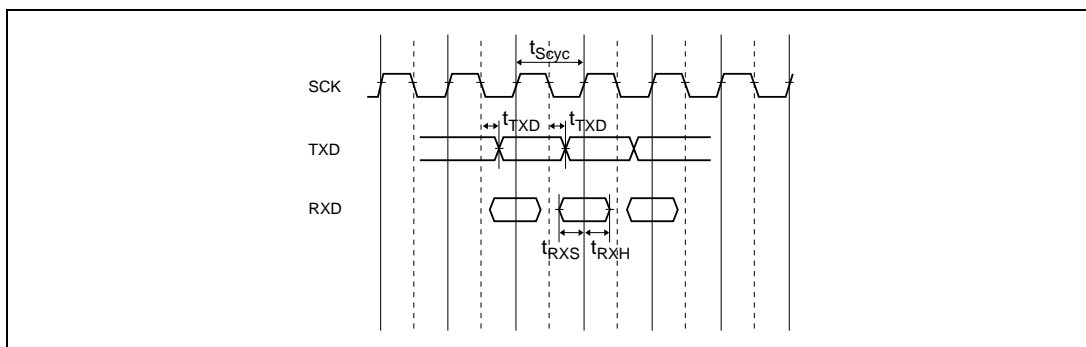


図 22.64 SCI I/O 同期モードクロックタイミング

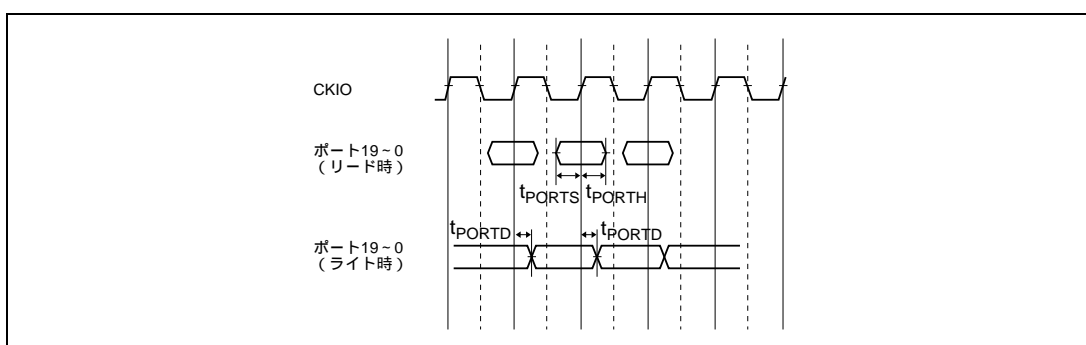


図 22.65 I/O ポート入出力タイミング

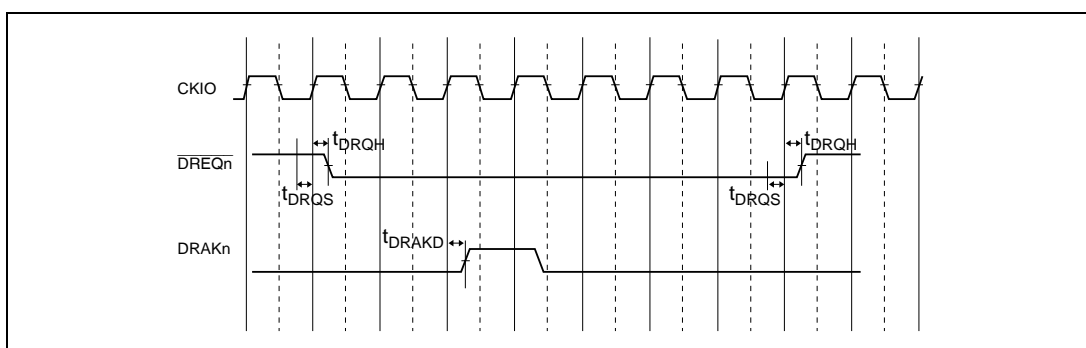


図 22.66 (a) DREQ/DRAK タイミング

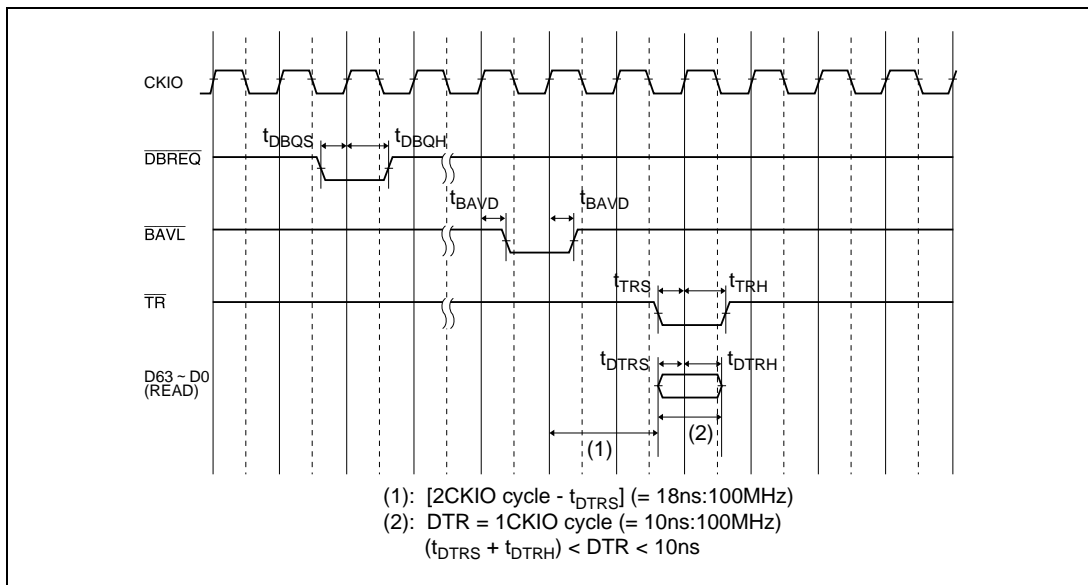


図 22.66 (b) DBREQ/TR 入力タイミング、BAVL 出力タイミング

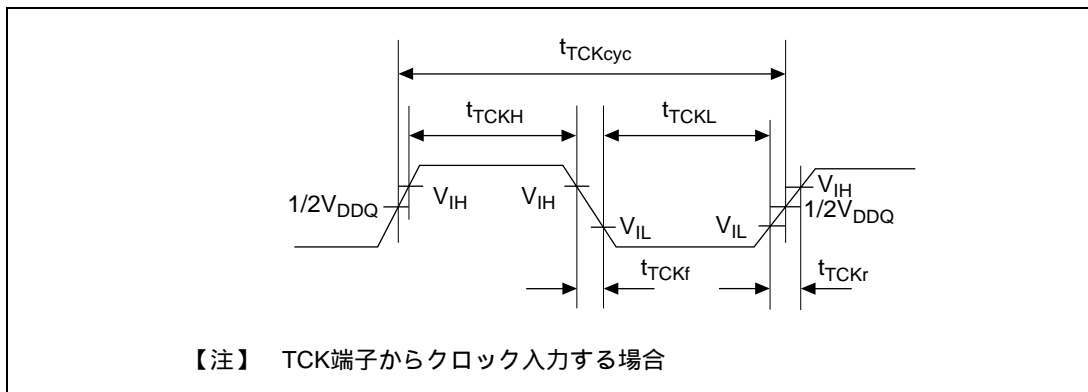


図 22.67 TCK 入力タイミング

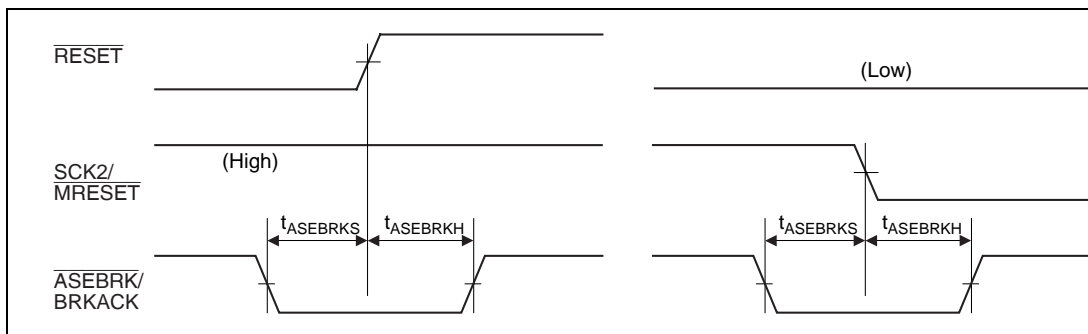


図 22.68 RESET ホールドタイミング

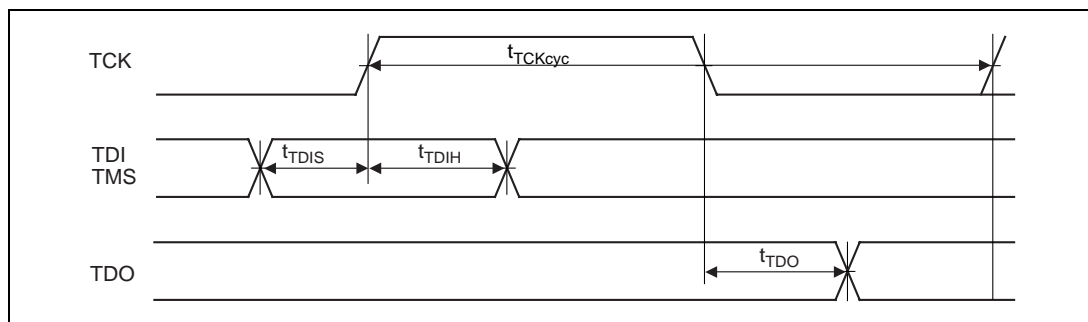


図 22.69 H-UDI データ転送タイミング

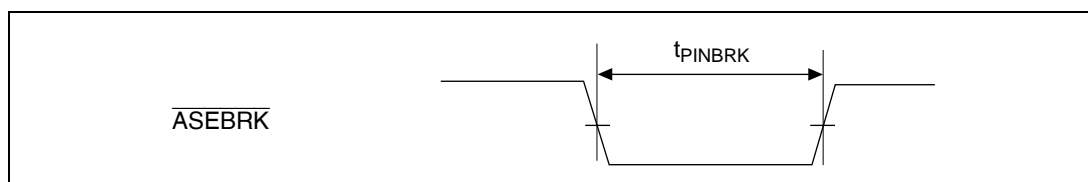


図 22.70 端子ブレークタイミング

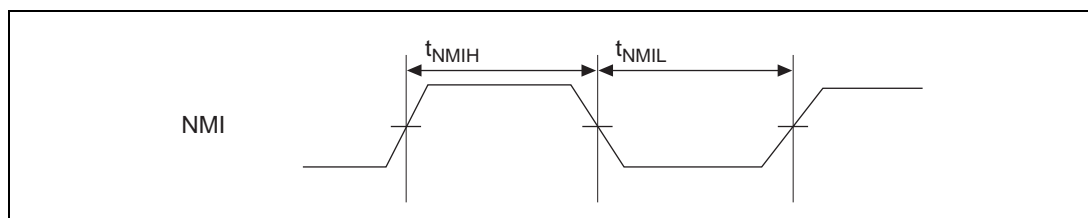


図 22.71 NMI 入力タイミング

22.3.5 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル：1.5V ($V_{DDQ} = 3.3 \pm 0.3V$)
- 入力パルスレベル： $V_{SSQ} \sim 3.0V$
(ただし、 \overline{RESET} 、 \overline{TRST} 、 NMI 、 $\overline{ASEBRK/BRKACK}$ は $V_{SSQ} \sim V_{DDQ}$)
- 入力立ち上がり、立ち下がり時間：1ns

出力付加回路を図 22.72 に示します。

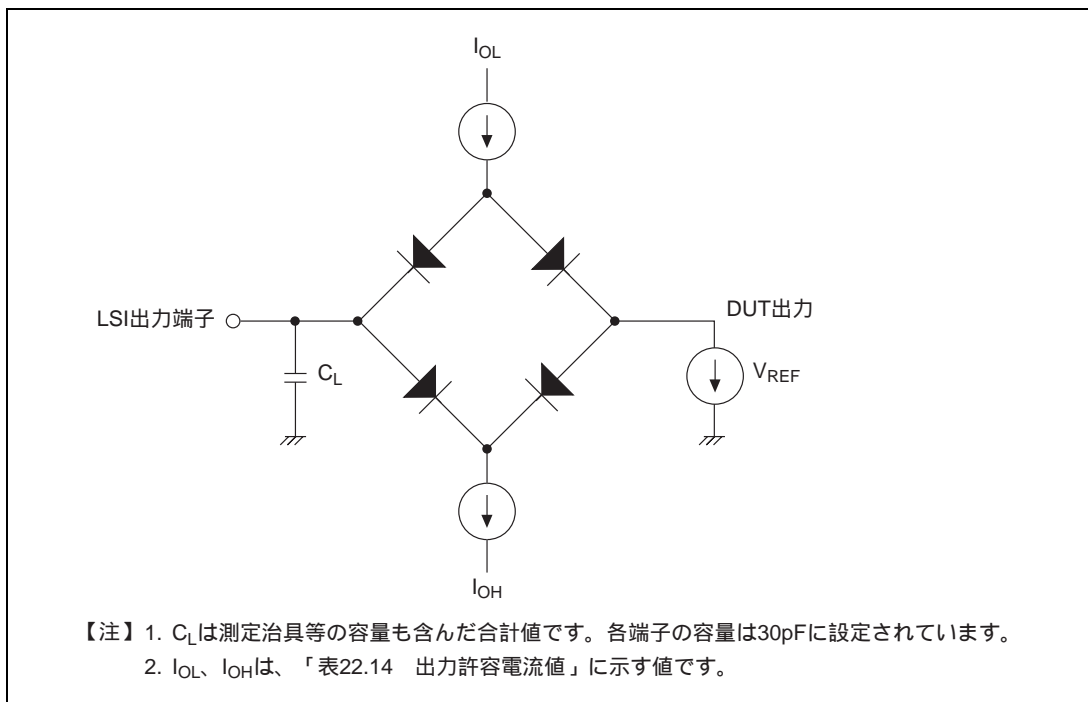


図 22.72 出力付加回路

22.3.6 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の、遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 22.73 のグラフを参考に設計してください。

なお、接続される負荷容量が図 22.73 の範囲を超える場合は、グラフは直線にはなりません。

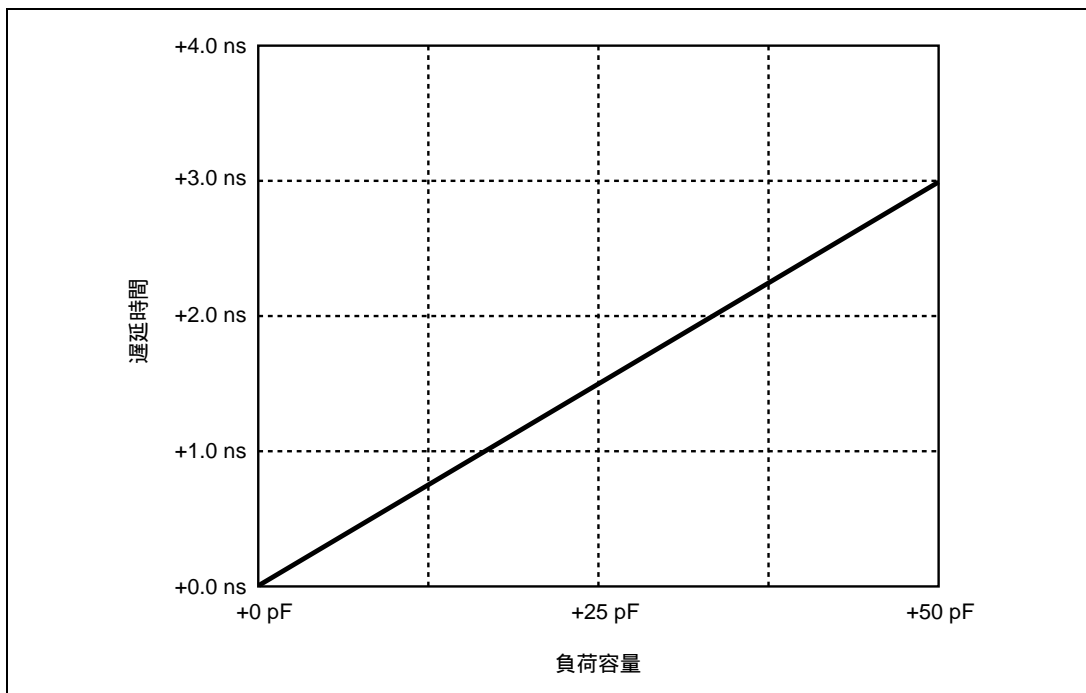


図 22.73 負荷容量 - 遅延時間

付録

A. アドレス一覧

表 A.1 アドレス一覧

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	同期 クロック
CCN	PTEH	H'FF00 0000	H'1F00 0000	32	不定	不定	保持	保持	lck
CCN	PTEL	H'FF00 0004	H'1F00 0004	32	不定	不定	保持	保持	lck
CCN	TTB	H'FF00 0008	H'1F00 0008	32	不定	不定	保持	保持	lck
CCN	TEA	H'FF00 000C	H'1F00 000C	32	不定	保持	保持	保持	lck
CCN	MMUCR	H'FF00 0010	H'1F00 0010	32	H'0000 0000	H'0000 0000	保持	保持	lck
CCN	BASRA	H'FF00 0014	H'1F00 0014	8	不定	保持	保持	保持	lck
CCN	BASRB	H'FF00 0018	H'1F00 0018	8	不定	保持	保持	保持	lck
CCN	CCR	H'FF00 001C	H'1F00 001C	32	H'0000 0000	H'0000 0000	保持	保持	lck
CCN	TRA	H'FF00 0020	H'1F00 0020	32	不定	不定	保持	保持	lck
CCN	EXPEVT	H'FF00 0024	H'1F00 0024	32	H'0000 0000	H'0000 0020	保持	保持	lck
CCN	INTEVT	H'FF00 0028	H'1F00 0028	32	不定	不定	保持	保持	lck
CCN	PTEA	H'FF00 0034	H'1F00 0034	32	不定	不定	保持	保持	lck
CCN	QACR0	H'FF00 0038	H'1F00 0038	32	不定	不定	保持	保持	lck
CCN	QACR1	H'FF00 003C	H'1F00 003C	32	不定	不定	保持	保持	lck
UBC	BARA	H'FF20 0000	H'1F20 0000	32	不定	保持	保持	保持	lck
UBC	BAMRA	H'FF20 0004	H'1F20 0004	8	不定	保持	保持	保持	lck
UBC	BBRA	H'FF20 0008	H'1F20 0008	16	H'0000	保持	保持	保持	lck
UBC	BARB	H'FF20 000C	H'1F20 000C	32	不定	保持	保持	保持	lck
UBC	BAMRB	H'FF20 0010	H'1F20 0010	8	不定	保持	保持	保持	lck
UBC	BBRB	H'FF20 0014	H'1F20 0014	16	H'0000	保持	保持	保持	lck
UBC	BDRB	H'FF20 0018	H'1F20 0018	32	不定	保持	保持	保持	lck
UBC	BDMRB	H'FF20 001C	H'1F20 001C	32	不定	保持	保持	保持	lck
UBC	BRCR	H'FF20 0020	H'1F20 0020	16	H'0000*2	保持	保持	保持	lck
BSC	BCR1	H'FF80 0000	H'1F80 0000	32	H'0000 0000*2	保持	保持	保持	Bck
BSC	BCR2	H'FF80 0004	H'1F80 0004	16	H'3FFC*2	保持	保持	保持	Bck
BSC	BCR3*5	H'FF80 0050	H'1F80 0050	16	H'0000	保持	保持	保持	Bck
BSC	BCR4*5	H'FE0A 00F0	H'1E0A 00F0	32	H'0000 0000	保持	保持	保持	Bck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	同期 クロック
BSC	WCR1	H'FF80 0008	H'1F80 0008	32	H'7777 7777	保持	保持	保持	Bck
BSC	WCR2	H'FF80 000C	H'1F80 000C	32	H'FFFE EFFF	保持	保持	保持	Bck
BSC	WCR3	H'FF80 0010	H'1F80 0010	32	H'0777 7777	保持	保持	保持	Bck
BSC	MCR	H'FF80 0014	H'1F80 0014	32	H'0000 0000	保持	保持	保持	Bck
BSC	PCR	H'FF80 0018	H'1F80 0018	16	H'0000	保持	保持	保持	Bck
BSC	RTCSR	H'FF80 001C	H'1F80 001C	16	H'0000	保持	保持	保持	Bck
BSC	RTCNT	H'FF80 0020	H'1F80 0020	16	H'0000	保持	保持	保持	Bck
BSC	RTCOR	H'FF80 0024	H'1F80 0024	16	H'0000	保持	保持	保持	Bck
BSC	RFCR	H'FF80 0028	H'1F80 0028	16	H'0000	保持	保持	保持	Bck
BSC	PCTRA	H'FF80 002C	H'1F80 002C	32	H'0000 0000	保持	保持	保持	Bck
BSC	PDTRA	H'FF80 0030	H'1F80 0030	16	不定	保持	保持	保持	Bck
BSC	PCTRB	H'FF80 0040	H'1F80 0040	32	H'0000 0000	保持	保持	保持	Bck
BSC	PDTRB	H'FF80 0044	H'1F80 0044	16	不定	保持	保持	保持	Bck
BSC	GPIOIC	H'FF80 0048	H'1F80 0048	16	H'0000 0000	保持	保持	保持	Bck
BSC	SDMR2	H'FF90 xxxx	H'1F90 xxxx	8	ライトオンリー				Bck
BSC	SDMR3	H'FF94 xxxx	H'1F94 xxxx	8					Bck
DMAC	SAR0	H'FFA0 0000	H'1FA0 0000	32	不定	不定	保持	保持	Bck
DMAC	DAR0	H'FFA0 0004	H'1FA0 0004	32	不定	不定	保持	保持	Bck
DMAC	DMATCR0	H'FFA0 0008	H'1FA0 0008	32	不定	不定	保持	保持	Bck
DMAC	CHCR0	H'FFA0 000C	H'1FA0 000C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR1	H'FFA0 0010	H'1FA0 0010	32	不定	不定	保持	保持	Bck
DMAC	DAR1	H'FFA0 0014	H'1FA0 0014	32	不定	不定	保持	保持	Bck
DMAC	DMATCR1	H'FFA0 0018	H'1FA0 0018	32	不定	不定	保持	保持	Bck
DMAC	CHCR1	H'FFA0 001C	H'1FA0 001C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR2	H'FFA0 0020	H'1FA0 0020	32	不定	不定	保持	保持	Bck
DMAC	DAR2	H'FFA0 0024	H'1FA0 0024	32	不定	不定	保持	保持	Bck
DMAC	DMATCR2	H'FFA0 0028	H'1FA0 0028	32	不定	不定	保持	保持	Bck
DMAC	CHCR2	H'FFA0 002C	H'1FA0 002C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR3	H'FFA0 0030	H'1FA0 0030	32	不定	不定	保持	保持	Bck
DMAC	DAR3	H'FFA0 0034	H'1FA0 0034	32	不定	不定	保持	保持	Bck
DMAC	DMATCR3	H'FFA0 0038	H'1FA0 0038	32	不定	不定	保持	保持	Bck
DMAC	CHCR3	H'FFA0 003C	H'1FA0 003C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	DMAOR	H'FFA0 0040	H'1FA0 0040	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR4*5	H'FFA0 0050	H'1FA0 0050	32	不定	不定	保持	保持	Bck
DMAC	DAR4*5	H'FFA0 0054	H'1FA0 0054	32	不定	不定	保持	保持	Bck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	同期 クロック
DMAC	DMATCR4*5	H'FFA0 0058	H'1FA0 0058	32	不定	不定	保持	保持	Bck
DMAC	CHCR4*5	H'FFA0 005C	H'1FA0 005C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR5*5	H'FFA0 0060	H'1FA0 0060	32	不定	不定	保持	保持	Bck
DMAC	DAR5*5	H'FFA0 0064	H'1FA0 0064	32	不定	不定	保持	保持	Bck
DMAC	DMATCR5*5	H'FFA0 0068	H'1FA0 0068	32	不定	不定	保持	保持	Bck
DMAC	CHCR5*5	H'FFA0 006C	H'1FA0 006C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR6*5	H'FFA0 0070	H'1FA0 0070	32	不定	不定	保持	保持	Bck
DMAC	DAR6*5	H'FFA0 0074	H'1FA0 0074	32	不定	不定	保持	保持	Bck
DMAC	DMATCR6*5	H'FFA0 0078	H'1FA0 0078	32	不定	不定	保持	保持	Bck
DMAC	CHCR6*5	H'FFA0 007C	H'1FA0 007C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR7*5	H'FFA0 0080	H'1FA0 0080	32	不定	不定	保持	保持	Bck
DMAC	DAR7*5	H'FFA0 0084	H'1FA0 0084	32	不定	不定	保持	保持	Bck
DMAC	DMATCR7*5	H'FFA0 0088	H'1FA0 0088	32	不定	不定	保持	保持	Bck
DMAC	CHCR7*5	H'FFA0 008C	H'1FA0 008C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
CPG	FRQCR	H'FFC0 0000	H'1FC0 0000	16	*2	保持	保持	保持	Pck
CPG*6	STBCR	H'FFC0 0004	H'1FC0 0004	8	H'00	保持	保持	保持	Pck
CPG*6	WTCNT	H'FFC0 0008	H'1FC0 0008	8/16*3	H'00	保持	保持	保持	Pck
CPG*6	WTCSR	H'FFC0 000C	H'1FC0 000C	8/16*3	H'00	保持	保持	保持	Pck
CPG*6	STBCR2	H'FFC0 0010	H'1FC0 0010	8	H'00	保持	保持	保持	Pck
RTC	R64CNT	H'FFC8 0000	H'1FC8 0000	8	保持	保持	保持	保持	Pck
RTC	RSECCNT	H'FFC8 0004	H'1FC8 0004	8	保持	保持	保持	保持	Pck
RTC	RMINCNT	H'FFC8 0008	H'1FC8 0008	8	保持	保持	保持	保持	Pck
RTC	RHRCNT	H'FFC8 000C	H'1FC8 000C	8	保持	保持	保持	保持	Pck
RTC	RWKCNT	H'FFC8 0010	H'1FC8 0010	8	保持	保持	保持	保持	Pck
RTC	RDAYCNT	H'FFC8 0014	H'1FC8 0014	8	保持	保持	保持	保持	Pck
RTC	RMONCNT	H'FFC8 0018	H'1FC8 0018	8	保持	保持	保持	保持	Pck
RTC	RYRCNT	H'FFC8 001C	H'1FC8 001C	16	保持	保持	保持	保持	Pck
RTC	RSECAR	H'FFC8 0020	H'1FC8 0020	8	保持*2	保持	保持	保持	Pck
RTC	RMINAR	H'FFC8 0024	H'1FC8 0024	8	保持*2	保持	保持	保持	Pck
RTC	RHRAR	H'FFC8 0028	H'1FC8 0028	8	保持*2	保持	保持	保持	Pck
RTC	RWKAR	H'FFC8 002C	H'1FC8 002C	8	保持*2	保持	保持	保持	Pck
RTC	RDAYAR	H'FFC8 0030	H'1FC8 0030	8	保持*2	保持	保持	保持	Pck
RTC	RMONAR	H'FFC8 0034	H'1FC8 0034	8	保持*2	保持	保持	保持	Pck
RTC	RCR1	H'FFC8 0038	H'1FC8 0038	8	H'00*2	H'00*2	保持	保持	Pck
RTC	RCR2	H'FFC8 003C	H'1FC8 003C	8	H'09*2	H'00*2	保持	保持	Pck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	同期 クロック
RTC	RCR3	H'FFC8 0050	H'1FC8 0050	8	H'00	保持	保持	保持	Pck
RTC	RYRAR	H'FFC8 0054	H'1FC8 0054	16	不定	保持	保持	保持	Pck
INTC	ICR	H'FFD0 0000	H'1FD0 0000	16	H'0000*2	H'0000*2	保持	保持	Pck
INTC	IPRA	H'FFD0 0004	H'1FD0 0004	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRB	H'FFD0 0008	H'1FD0 0008	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRC	H'FFD0 000C	H'1FD0 000C	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRD*4	H'FFD0 0010	H'1FD0 0010	16	H'DA74	H'DA74	保持	保持	Pck
INTC	INTPRI00*5	H'FE08 0000	H'1E08 0000	32	H'0000 0000	保持	保持	保持	Pck
INTC	INTREQ00*5	H'FE08 0020	H'1E08 0020	32	H'0000 0000	保持	保持	保持	Pck
INTC	INTMSK00*5	H'FE08 0040	H'1E08 0040	32	H'0000 0300	保持	保持	保持	Pck
INTC	INTMSKCLR00*5	H'FE08 0060	H'1E08 0060	32	ライトオンリー				Pck
CPG*6	CLKSTP00*5	H'FE0A 0000	H'1E0A 0000	32	H'0000 0000	保持	保持	保持	Pck
CPG*6	CLKSTPCLR00*5	H'FE0A 0008	H'1E0A 0008	32	ライトオンリー				Pck
TMU	TSTR2*5	H'FE10 0004	H'1E10 0004	8	H'00	保持	保持	保持	Pck
TMU	TCOR3*5	H'FE10 0008	H'1E10 0008	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCNT3*5	H'FE10 000C	H'1E10 000C	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCR3*5	H'FE10 0010	H'1E10 0010	16	H'0000	保持	保持	保持	Pck
TMU	TCOR4*5	H'FE10 0014	H'1E10 0014	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCNT4*5	H'FE10 0018	H'1E10 0018	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCR4*5	H'FE10 001C	H'1E10 001C	16	H'0000	保持	保持	保持	Pck
TMU	TOCR	H'FFD8 0000	H'1FD8 0000	8	H'00	H'00	保持	保持	Pck
TMU	TSTR	H'FFD8 0004	H'1FD8 0004	8	H'00	H'00	保持	H'00*2	Pck
TMU	TCOR0	H'FFD8 0008	H'1FD8 0008	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCNT0	H'FFD8 000C	H'1FD8 000C	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR0	H'FFD8 0010	H'1FD8 0010	16	H'0000	H'0000	保持	保持	Pck
TMU	TCOR1	H'FFD8 0014	H'1FD8 0014	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCNT1	H'FFD8 0018	H'1FD8 0018	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR1	H'FFD8 001C	H'1FD8 001C	16	H'0000	H'0000	保持	保持	Pck
TMU	TCOR2	H'FFD8 0020	H'1FD8 0020	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCNT2	H'FFD8 0024	H'1FD8 0024	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR2	H'FFD8 0028	H'1FD8 0028	16	H'0000	H'0000	保持	保持	Pck
TMU	TCPR2	H'FFD8 002C	H'1FD8 002C	32	保持	保持	保持	保持	Pck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	同期 クロック
SCI	SCSMR1	H'FFE0 0000	H'1FE0 0000	8	H'00	H'00	保持	H'00	Pck
SCI	SCBRR1	H'FFE0 0004	H'1FE0 0004	8	H'FF	H'FF	保持	H'FF	Pck
SCI	SCSCR1	H'FFE0 0008	H'1FE0 0008	8	H'00	H'00	保持	H'00	Pck
SCI	SCTDR1	H'FFE0 000C	H'1FE0 000C	8	H'FF	H'FF	保持	H'FF	Pck
SCI	SCSSR1	H'FFE0 0010	H'1FE0 0010	8	H'84	H'84	保持	H'84	Pck
SCI	SCRDR1	H'FFE0 0014	H'1FE0 0014	8	H'00	H'00	保持	H'00	Pck
SCI	SCSCMR1	H'FFE0 0018	H'1FE0 0018	8	H'00	H'00	保持	H'00	Pck
SCI	SCSPTR1	H'FFE0 001C	H'1FE0 001C	8	H'00*2	H'00*2	保持	H'00*2	Pck
SCIF	SCSMR2	H'FFE8 0000	H'1FE8 0000	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCBRR2	H'FFE8 0004	H'1FE8 0004	8	H'FF	H'FF	保持	保持	Pck
SCIF	SCSCR2	H'FFE8 0008	H'1FE8 0008	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCFTDR2	H'FFE8 000C	H'1FE8 000C	8	不定	不定	保持	保持	Pck
SCIF	SCFSR2	H'FFE8 0010	H'1FE8 0010	16	H'0060	H'0060	保持	保持	Pck
SCIF	SCFRDR2	H'FFE8 0014	H'1FE8 0014	8	不定	不定	保持	保持	Pck
SCIF	SCFCR2	H'FFE8 0018	H'1FE8 0018	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCFDR2	H'FFE8 001C	H'1FE8 001C	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCSPTR2	H'FFE8 0020	H'1FE8 0020	16	H'0000*2	H'0000*2	保持	保持	Pck
SCIF	SCLSR2	H'FFE8 0024	H'1FE8 0024	16	H'0000	H'0000	保持	保持	Pck
H-UDI	SDIR	H'FFF0 0000	H'1FF0 0000	16	H'FFFF*2	保持	保持	保持	Pck
H-UDI	SDDR	H'FFF0 0008	H'1FF0 0008	32	不定	保持	保持	保持	Pck
H-UDI	SDINT	H'FFF0 0014	H'1FF0 0014	16	H'0000	保持	保持	保持	Pck

【注】 *1 コントロールレジスタは物理ページ番号フィールドにおける上記アドレスを TLB セッティングすることでアクセスできます。これらのアドレスが TLB を使わずに直接参照すると、動作は限定されます。

*2 不定ビットが含まれています。各モジュールの説明を参照してください。

*3 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A 5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。
読み出しは、バイトサイズで行ってください。

*4 SH7750S、SH7750R のみ

*5 SH7750R のみ

*6 低消費電力モードも含む

B. 外形寸法図

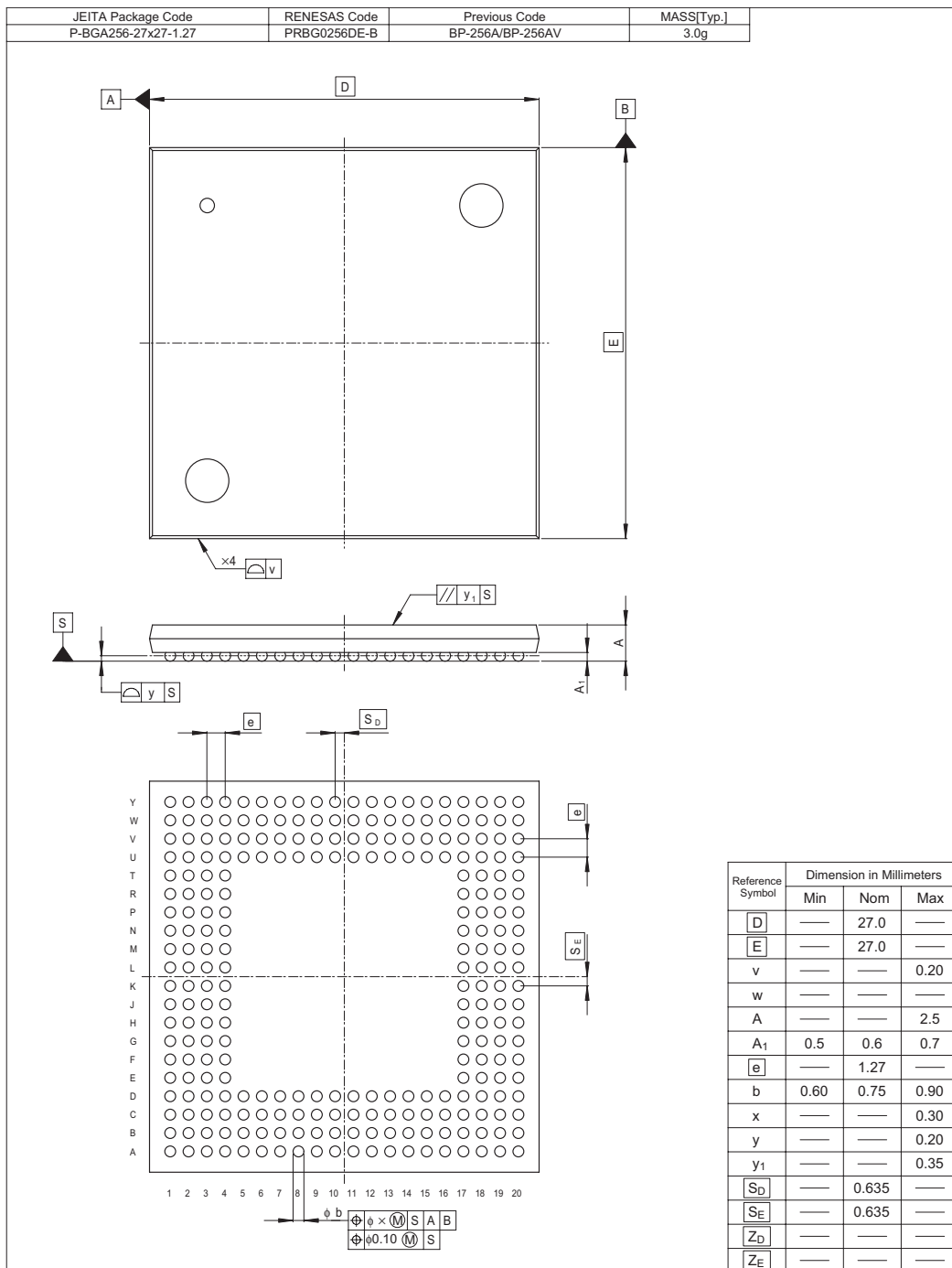


図 B.1 外形寸法図 (256 ピン BGA : HD6417750RBA240HV 及び HD6417750SBA200V を除く)

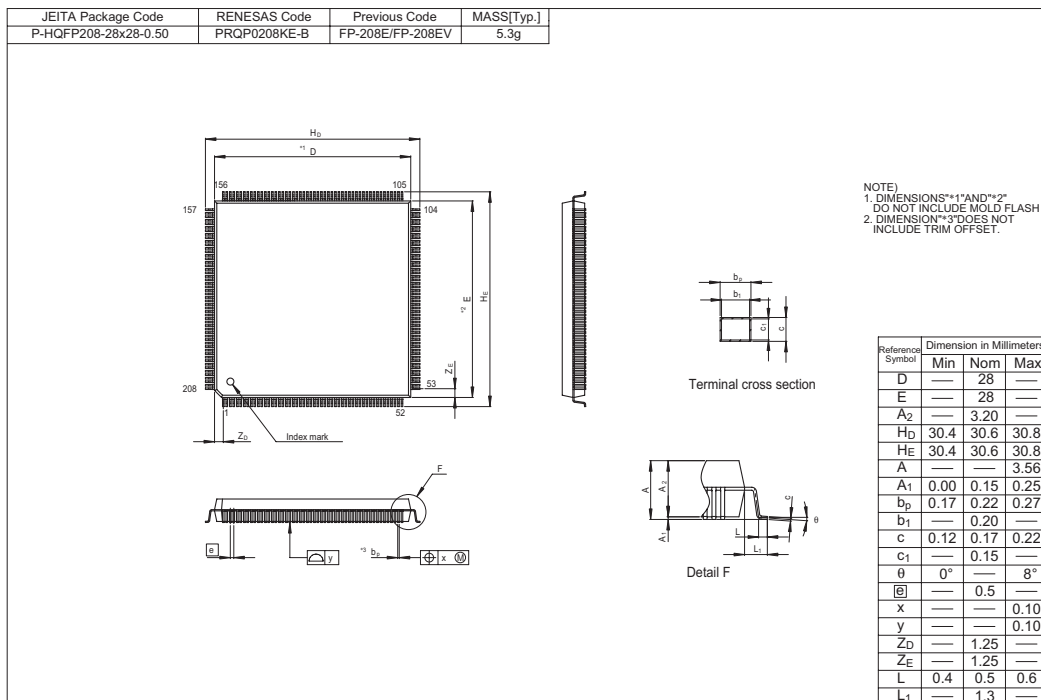


図 B.2 外形寸法図 (208 ピン QFP)

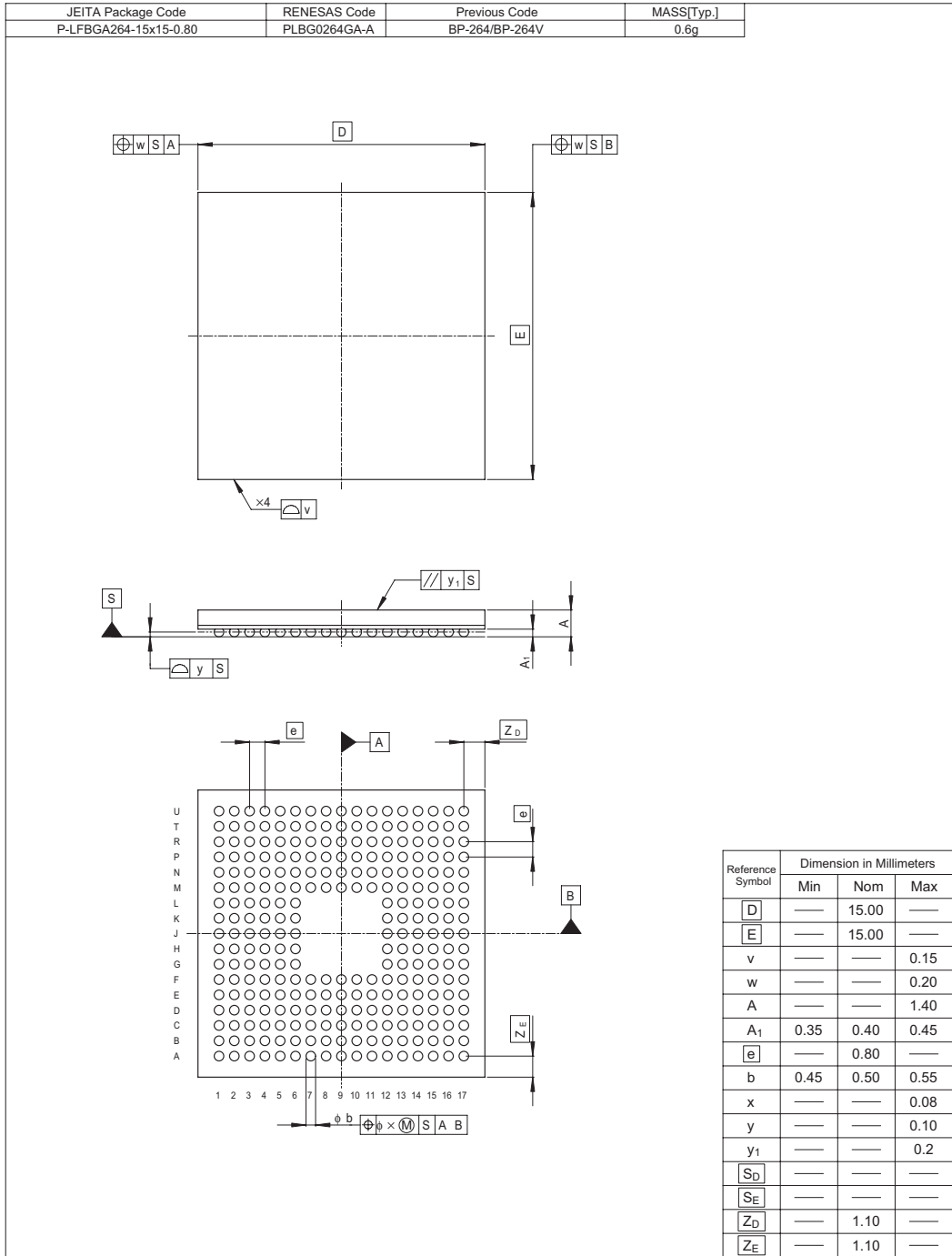


図 B.3 外形寸法図 (264 ピン CSP)

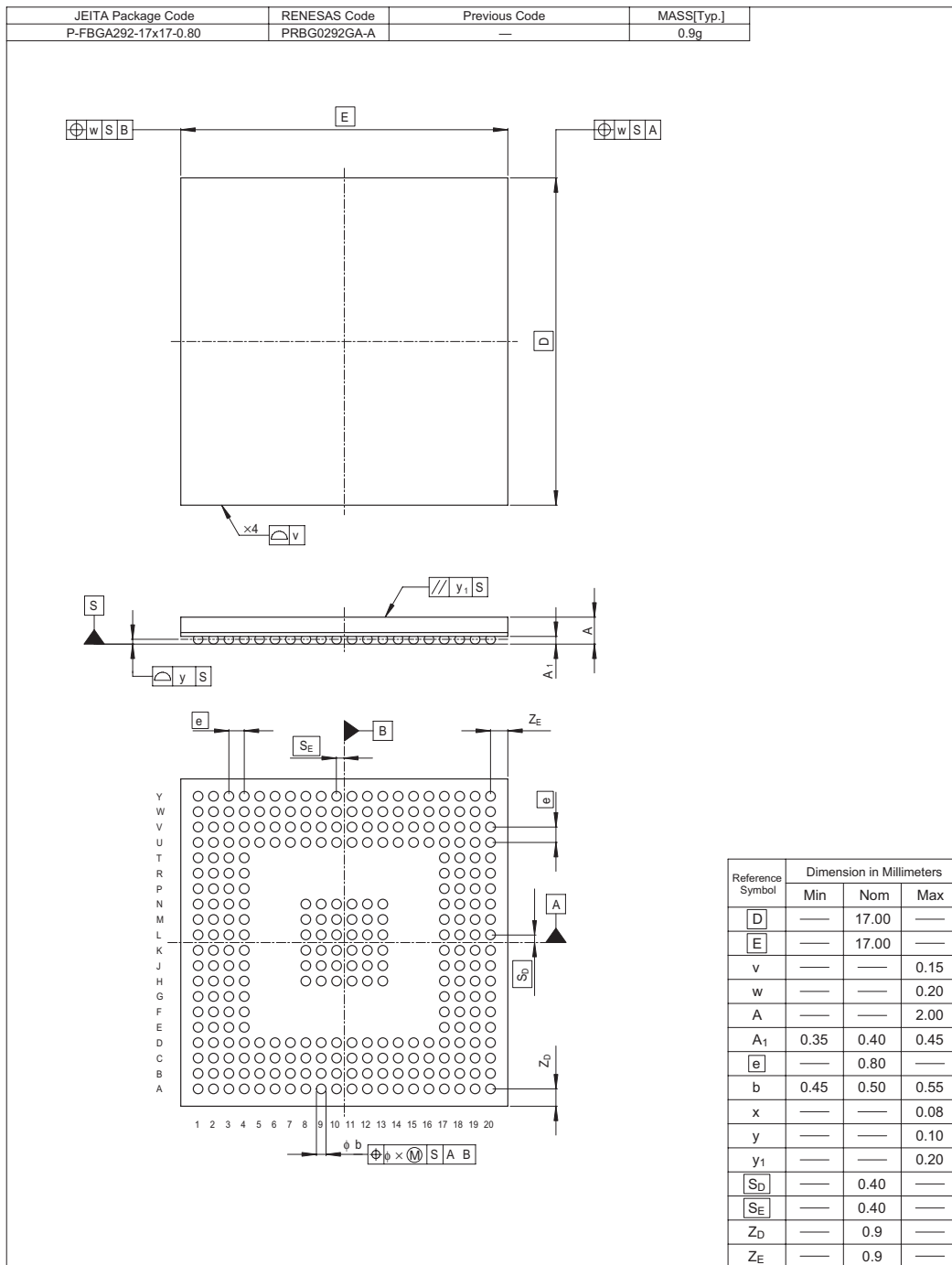


図 B.4 外形寸法図 (292 ピン BGA)

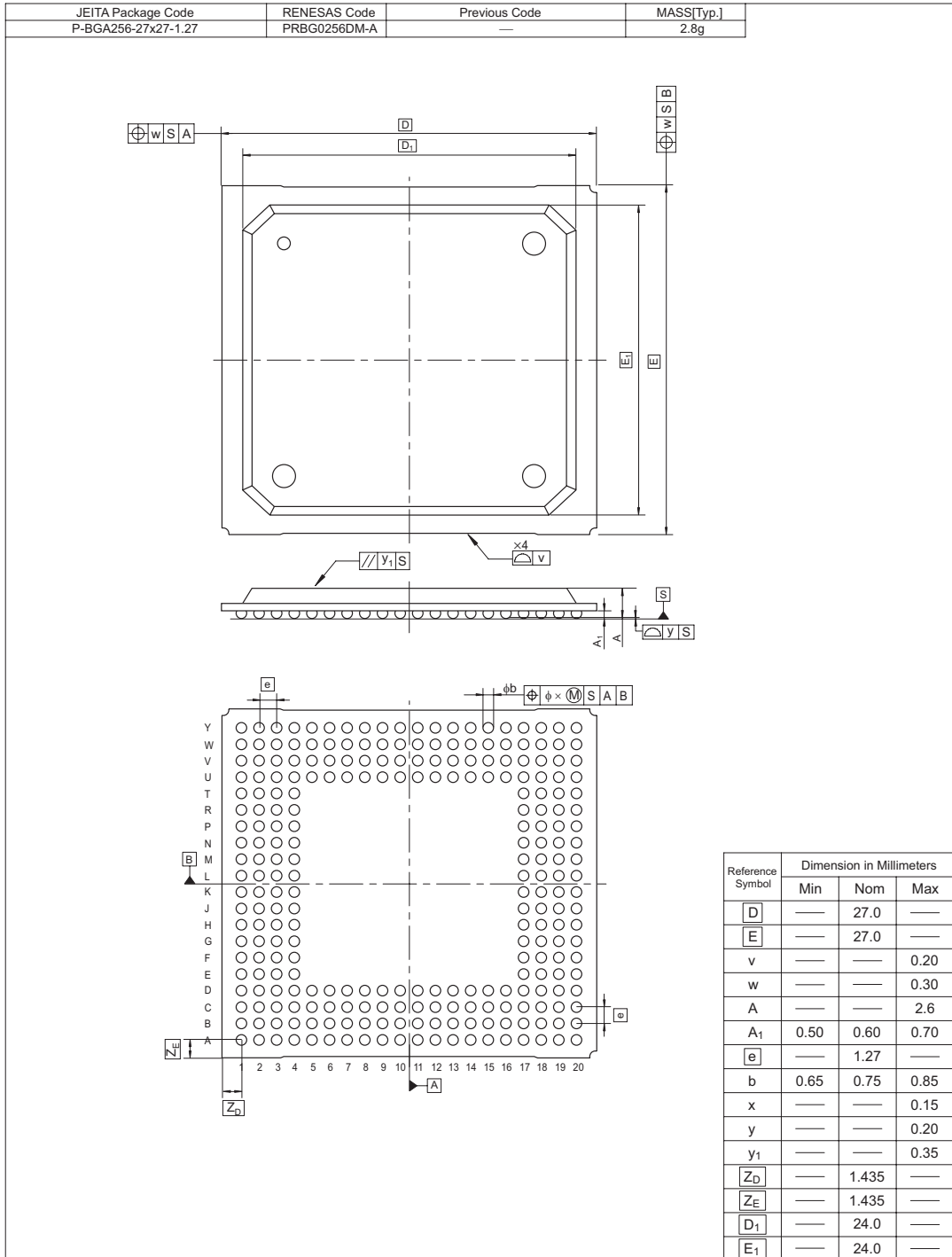


図 B.5 外形寸法図 (256 ピン BGA : HD6417750RBA240HV および HD6417750SBA200V)

C. モード端子の設定

MD8 ~ MD0 端子の値は、RESET および SCK2/MRESET 端子によるパワーオンリセット時に入力されます。

SH7750、SH7750S のクロック動作モード

クロック 動作モード	外部端子組み合わせ			1/2 分周 器	PLL1	PLL2	周波数 (対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0				CPU クロック	バス クロック	周辺 モジュール クロック	
0	0	0	0	Off	On	On	6	3/2	3/2	H'0E1A
1	0	0	1	Off	On	On	6	1	1	H'0E23
2	0	1	0	On	On	On	3	1	1/2	H'0E13
3	0	1	1	Off	On	On	6	2	1	H'0E13
4	1	0	0	On	On	On	3	3/2	3/4	H'0E0A
5	1	0	1	Off	On	On	6	3	3/2	H'0E0A

- 【注】 1. 1/2 分周器の ON/OFF はクロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「22.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 (f_{ex}) および CKIO クロック出力 (f_{op}) を参照してください。

SH7750R のクロック動作モード

クロック 動作モード	外部端子組み合わせ			PLL1	PLL2	周波数 (対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 モジュール クロック	
0	0	0	0	On (× 12)	On	12	3	3	H'0E1A
1	0	0	1	On (× 12)	On	12	3/2	3/2	H'0E2C
2	0	1	0	On (× 6)	On	6	2	1	H'0E13
3	0	1	1	On (× 12)	On	12	4	2	H'0E13
4	1	0	0	On (× 6)	On	6	3	3/2	H'0E0A
5	1	0	1	On (× 12)	On	12	6	3	H'0E0A
6	1	1	0	Off (× 6)	Off	1	1/2	1/2	H'0808

- 【注】 1. PLL1 の通倍率は、クロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「22.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 (f_{ex}) および CKIO クロック出力 (f_{op}) を参照してください。

エリア 0 のバス幅

端子の値			メモリタイプ	バス幅
MD6	MD4	MD3		
0	0	0	MPX インタフェース	64 ビット
0	0	1	予約 (設定禁止)	8 ビット
0	1	0	予約	16 ビット
0	1	1	MPX インタフェース	32 ビット
1	0	0	SRAM インタフェース	64 ビット
1	0	1	SRAM インタフェース	8 ビット
1	1	0	SRAM インタフェース	16 ビット
1	1	1	SRAM インタフェース	32 ビット

エンディアン

端子の値	エンディアン
MD5	
0	ビッグエンディアン
1	リトルエンディアン

マスタ/スレーブ

端子の値	マスタ/スレーブ
MD7	
0	スレーブ
1	マスタ

クロック入力

端子の値	クロック入力
MD8	
0	外部入力クロック
1	水晶発振子

D. CKIO2ENB 端子構成

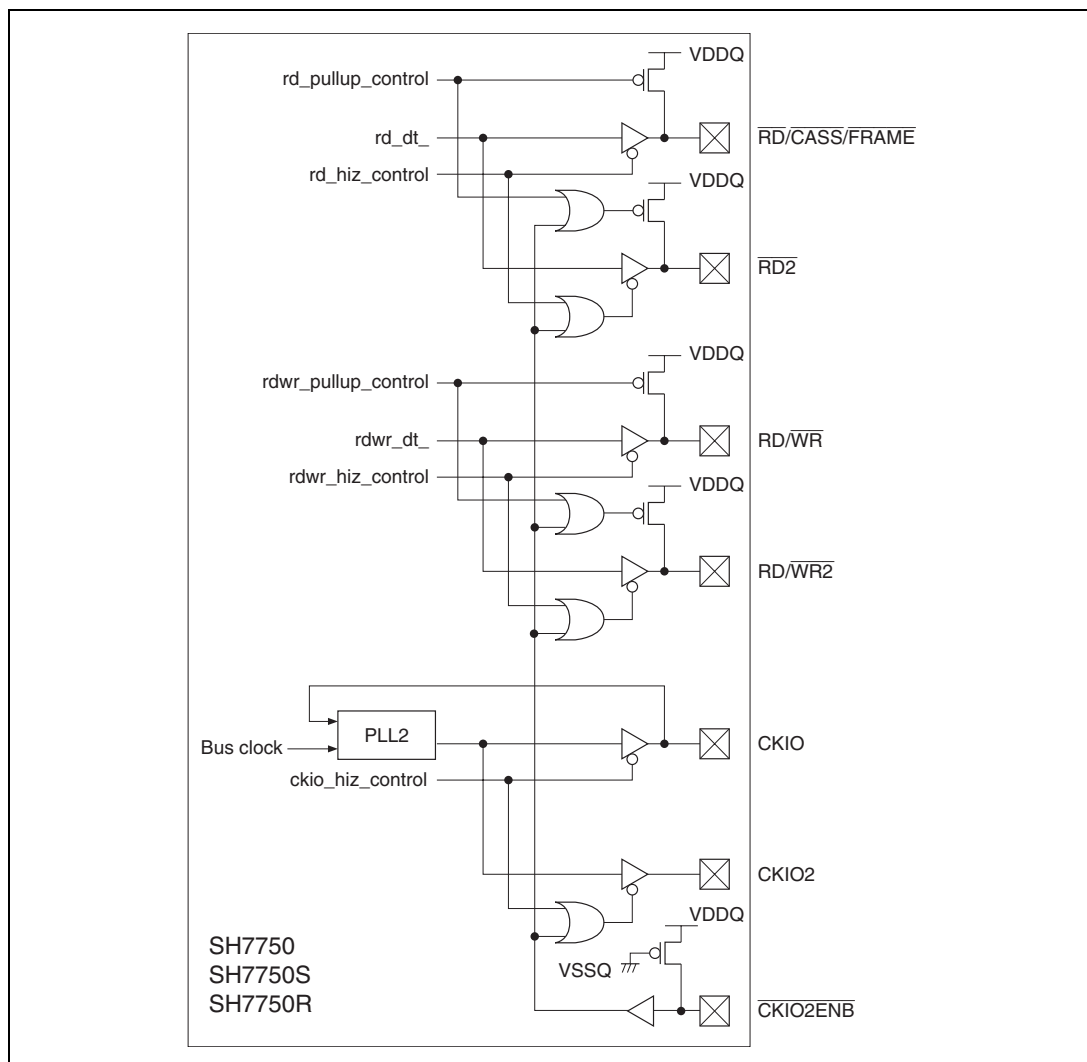


図 D.1 CKIO2ENB 端子構成

CKIO2ENB	説明
0	$\overline{RD2}$ 、 $\overline{RD/WR2}$ 、および CKIO2 は、それぞれ \overline{RD} 、 $\overline{RD/WR}$ 、CKIO と同じ端子状態
1	$\overline{RD2}$ 、 $\overline{RD/WR2}$ 、および CKIO2 はハイインピーダンス状態

【注】 CKIO は外部クロックと内部クロックの位相を合わせるため、PLL2 にフィードバックされます。これに対し CKIO2 はフィードバックされません。

E. 端子機能

E.1 端子の状態

表 E.1 リセット、低消費電力状態、バス解放状態での端子状態

信号名	I/O	RESET パワーオン		RESET マニュアル		スタンバイ	バス権解放	ハードウェア スタンバイ
		マスタ	スレーブ	マスタ	スレーブ			
D0 ~ D7	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
D8 ~ D15	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
D15 ~ D23	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
D24 ~ D31	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
D32 ~ D51	I/O	Z	Z	Z ^{*19} K ^{*18}	Z ^{*19} K ^{*18}	Z ^{*19} K ^{*18}	Z ^{*19} K ^{*18}	Z
D52 ~ D55	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
D56 ~ D63	I/O	Z	Z	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z ^{*19}	Z
A0, A1, A18 ~ A25	O	PZ	PZ	Z ^{*13} O ^{*15}	Z ^{*13}	Z ^{*13} O ^{*6}	Z ^{*13}	Z
A2 ~ A17	O	PZ	PZ	Z ^{*13} O ^{*8}	Z ^{*13}	Z ^{*13} O ^{*6}	Z ^{*13}	Z
RESET	I	I	I	I	I	I	I	I
BACK/BSREQ	O	H	H	H	H	H	O	Z
BREQ/BSACK	I	PI	PI	I ^{*12}	I ^{*12}	I ^{*12}	I ^{*12}	Z
BS	O	H	PZ	H	Z ^{*13}	Z ^{*13} H ^{*6}	Z ^{*13}	Z
CKE	O	H	H	O	O	L	O	Z
CS6 ~ CS0	O	H	PZ	H	Z ^{*13}	Z ^{*13} H ^{*6}	Z ^{*13}	Z
RAS	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
RD/CASS/FRAME	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
RD/WR	O	H	PZ	H	Z ^{*13}	Z ^{*13} H ^{*6}	Z ^{*13}	Z
RDY	I	PI	PI	I ^{*12}	I ^{*12}	Z ^{*12}	I ^{*12}	Z
WE7/CAS7/DQM7	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE6/CAS6/DQM6	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE5/CAS5/DQM5	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE4/CAS4/DQM4	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE3/CAS3/DQM3	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE2/CAS2/DQM2	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE1/CAS1/DQM1	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
WE0/CAS0/DQM0	O	H	PZ	O	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
DACK1 ~ DACK0	O	L	L	L	L	Z ^{*11} O ^{*7}	O	Z
MD7/TXD	I/O	PJ ^{*14}	PI ^{*14}	Z ^{*11}	Z ^{*11}	Z ^{*11} K ^{*18} O ^{*7}	Z ^{*11} K ^{*18} O ^{*7}	Z
MD6/IOIS16	I	PJ ^{*14}	PI ^{*14}	I ^{*12}	I ^{*12}	Z ^{*12}	I ^{*12}	Z
MD5/RAS2	I/O ^{*1}	PJ ^{*14}	PI ^{*14}	Z ^{*13} O ^{*5}	Z ^{*13}	Z ^{*13} O ^{*4}	Z ^{*13} O ^{*4}	Z
MD4/CE2B	I/O ^{*3}	PJ ^{*14}	PI ^{*14}	Z ^{*13} H ^{*6}	Z ^{*13}	Z ^{*13} H ^{*6}	Z ^{*13}	Z

信号名	I/O	RESET パワーオン		RESET マニュアル		スタンバイ	バス権解放	ハードウェア スタンバイ
		マスタ	スレーブ	マスタ	スレーブ			
MD3/CE2A	I/O ^{*2}	PI ^{*14}	PI ^{*14}	Z ^{*13} H ^{*6}	Z ^{*13}	Z ^{*13} H ^{*6}	Z ^{*13}	Z
CKIO	O	O	O	O ^{*10} Z ^{*10}	O ^{*10} Z ^{*10}	PZ	O ^{*10} Z ^{*10}	Z
STATUS0 ~ STATUS1	O	O	O	O	O	O	O	Z O ^{*16}
IRL3 ~ IRL0	I	PI	PI	I ^{*12}	I ^{*12}	I ^{*12}	I ^{*12}	I
NMI	I	PI	PI	I ^{*12}	I ^{*12}	I ^{*12}	I ^{*12}	I
DREQ0 ~ DREQ1	I	PI	PI	I ^{*11}	I ^{*11}	Z ^{*11}	I ^{*11}	Z
DRAK0 ~ DRAK1	O	L	L	L	L	Z ^{*11} O ^{*7}	O	Z
MD0/SCK	I/O	PI ^{*14}	PI ^{*14}	I ^{*11}	I ^{*11}	Z ^{*11} K ^{*16} O ^{*7}	I ^{*11} OK ^{*18}	Z
RXD	I	PI	PI	I ^{*11}	I ^{*11}	Z ^{*11}	I ^{*11}	Z
SCK2/MRESET	I	PI	PI	I ^{*11}	I ^{*11}	I ^{*11}	I ^{*11}	Z
MD1/TXD2	I/O	PI ^{*14}	PI ^{*14}	Z ^{*11}	Z ^{*11}	Z ^{*11} K ^{*16} O ^{*7}	Z ^{*11} K ^{*16} O ^{*7}	Z
MD2/RXD2	I	PI ^{*14}	PI ^{*14}	I ^{*11}	I ^{*11}	Z ^{*11}	I ^{*11}	Z
CTS2	I/O	PI	PI	I ^{*11}	I ^{*11}	Z ^{*11} K ^{*18}	I ^{*11} K ^{*18}	Z
MD8/RTS2	I/O	PI ^{*14}	PI ^{*14}	I ^{*11}	I ^{*11}	Z ^{*11} K ^{*18}	I ^{*11} K ^{*18}	Z
TCLK	I/O	PI	PI	I ^{*11}	I ^{*11}	Z ^{*11} O ^{*17}	I ^{*11} O ^{*17}	Z
TDO	O	O	O	O	O	O	O	Z
TMS	I	PI	PI	PI	PI	PZ	PI	Z
TCK	I	PI	PI	PI	PI	PZ	PI	Z
TDI	I	PI	PI	PI	PI	PZ	PI	Z
TRST	I	PI	PI	PI	PI	PZ	PI	Z
CKIO2 ^{*21}	O	PZ ^{*20} O ^{*9}	PZ ^{*20} O ^{*9}	PZ ^{*20} O ^{*9} *20	PZ ^{*20} O ^{*9} *20	PZ	PZ ^{*20} O ^{*9} *20	Z
RD2 ^{*21}	O	Z ^{*20} H ^{*9} *20	Z ^{*20} PZ ^{*9}	Z ^{*13} *20 O [*] 9	Z ^{*9} *13	Z ^{*9} *13 O ^{*4}	Z ^{*9} *13 O ^{*4}	Z
RD/WR2 ^{*21}	O	Z ^{*20} H ^{*9} *20	Z ^{*20} PZ ^{*9}	Z ^{*13} *20 H [*] 9	Z ^{*9} *13	Z ^{*9} *13 H ^{*4}	Z ^{*9} *13	Z
CKIO2ENB ^{*21}	I	PI	PI	PI	PI	PI	PI	Z
CA	I	I	I	I	I	I	I	I
A5EBRK/BRKACK	I/O	PI ^{*22} O ^{*22}	PI ^{*22} O ^{*22}	PI ^{*22} O ^{*22}	PI ^{*22} O ^{*22}	PI ^{*22} O ^{*22}	PI ^{*22} O ^{*22}	Z

【注】 I: 入力 (プルアップなし)

O: 出力

Z: ハイインピーダンス (プルアップなし)

H: ハイレベル出力

L: ローレベル出力

K: 出力状態 (レベル) 保持

PI: 入力 (プルアップあり)

PZ : ハイインピーダンス (プルアップあり)

- *1 エリア 2 - DRAM 使用時出力
- *2 エリア 5 - PCMCIA 使用時出力
- *3 エリア 6 - PCMCIA 使用時出力
- *4 レジスタ設定 (BCR1.HIZCNT) により出力設定あり
- *5 リフレッシュ動作により変化
- *6 レジスタ設定 (BCR1.HIZMEM) により出力設定あり
- *7 レジスタ設定 (STBCR.PHZ) によりハイインピーダンス設定あり
- *8 リフレッシュ設定時出力
- *9 SH7750/SH7750S では $\overline{\text{CKIO2ENB}}$ 端子が L のとき出力設定 (SH7750R のみハイレベル出力固定)
- *10 レジスタ設定 (FRQCR.CKOEN) によりハイインピーダンス (プルアップあり) 設定あり
- *11 レジスタ設定 (STBCR.PPU) によりプルアップ設定あり
- *12 レジスタ設定 (BCR1.IPUP) によりプルアップ設定あり
- *13 レジスタ設定 (BCR1.OPUP) によりプルアップ設定あり
- *14 内蔵プルアップ抵抗あり、ただしパワーオンリセット時の端子固定として使用しないでください。その場合は本 LSI の外部でプルアップまたはプルダウンしてください。
- *15 リフレッシュ設定時出力 (SH7750R のみ)
- *16 レジスタ設定 (STBCR2.STHZ) により出力設定あり (SH7750R のみ)
- *17 レジスタ設定 (TOCR.TCOE) により出力設定あり
- *18 ポート出力設定時、出力保持
- *19 レジスタ設定 (BCR1.DPUP) によりプルアップ設定 (SH7750R のみ) あり
- *20 $\overline{\text{CKIO2ENB}}$ 端子が H のときハイインピーダンス設定 (BGA 版のみ)
- *21 BGA 版のみの端子 (QFP 版にはなし)
- *22 エミュレータの動作状態による

E.2 未使用端子の処理

- RTCを使用しない場合

EXTAL2 : 3.3Vにプルアップ

XTAL2 : 何も接続しない

VDD-RTC : 電源 (3.3V)

VSS-RTC : 電源 (0V)

- PLL1を使用しない場合

VDD-PLL1 : 電源 (3.3V)

VSS-PLL1 : 電源 (0V)

- PLL2を使用しない場合

VDD-PLL2 : 電源 (3.3V)

VSS-PLL2 : 電源 (0V)

- 内蔵水晶発振器を使用しない場合

XTAL : 何も接続しない

VDD-CPG : 電源 (3.3V)

VSS-CPG : 電源 (0V)

【注】 外部抵抗で端子をプルアップ/プルダウンする場合、他の端子からの影響を避けるために、単独でプルアップ/プルダウンしてください。

F. シンクロナス DRAM のアドレスマルチプレクス表

(1) BUS 64 (16M : 512K × 16b × 2) × 4*

AMX 0 AMXEXT 0 16M、column-addr-8bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14	A22	A22	A11	BANK はバンクアドレスを選択 アドレスプリチャージ設定 アドレス
A13	A21	H/L	A10	
A12	A20	0	A9	
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(2) BUS 32 (16M : 512K × 16b × 2) × 2*

AMX 0 AMXEXT 0 16M、column-addr-8bit 4MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				BANK はバンクアドレスを選択 アドレスプリチャージ設定 アドレス
A13	A21	A21	A11	
A12	A20	H/L	A10	
A11	A19	0	A9	
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(3) BUS 64 (16M : 512K × 16b × 2) × 4*

AMX 0 AMXEXT 1 16M、column-addr-8bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14	A21	A21	A11	BANK はバンクアドレスを選択
A13	A22	H/L	A10	アドレスプリチャージ設定
A12	A20	0	A9	アドレス
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(4) BUS 32 (16M : 512K × 16b × 2) × 2*

AMX 0 AMXEXT 1 16M、column-addr-8bit 4MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A20	A20	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(5) BUS 64 (16M : 1M × 8b × 2) × 8*

AMX 1 AMXEXT 0 16M、column-addr-9bit 16MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14	A23	A23	A11	BANK はバンクアドレスを選択
A13	A22	H/L	A10	アドレスプリチャージ設定
A12	A21	0	A9	アドレス
A11	A20	A11	A8	
A10	A19	A10	A7	
A9	A18	A9	A6	
A8	A17	A8	A5	
A7	A16	A7	A4	
A6	A15	A6	A3	
A5	A14	A5	A2	
A4	A13	A4	A1	
A3	A12	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(6) BUS 32 (16M : 1M × 8b × 2) × 4*

AMX 1 AMXEXT 0 16M、column-addr-9bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A22	A22	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(7) BUS 64 (16M : 1M × 8b × 2) × 8*

AMX 1 AMXEXT 1 16M、column-addr-9bit 16MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14	A22	A22	A11	BANK はバンクアドレスを選択
A13	A23	H/L	A10	アドレスプリチャージ設定
A12	A21	0	A9	アドレス
A11	A20	A11	A8	
A10	A19	A10	A7	
A9	A18	A9	A6	
A8	A17	A8	A5	
A7	A16	A7	A4	
A6	A15	A6	A3	
A5	A14	A5	A2	
A4	A13	A4	A1	
A3	A12	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(8) BUS 32 (16M : 1M × 8b × 2) × 4*

AMX 1 AMXEXT 1 16M、column-addr-9bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A21	A21	A11	BANK はバンクアドレスを選択
A12	A22	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(9) BUS 64 (64M : 1M × 16b × 4) × 4*

AMX 2 64M、column-addr-8bit 32MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16	A24	A24	A13	BANK はバンクアドレスを選択
A15	A23	A23	A12	
A14	A22	0	A11	アドレスプリチャージ設定
A13	A21	H/L	A10	
A12	A20	0	A9	アドレス
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(10) BUS 32 (64M : 1M × 16b × 4) × 2*

AMX 2 64M、column-addr-8bit 16MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16				
A15	A23	A23	A13	BANK はバンクアドレスを選択
A14	A22	A22	A12	
A13	A21	0	A11	アドレスプリチャージ設定
A12	A20	H/L	A10	
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(11) BUS 64 (64M : 2M × 8b × 4) × 8*

(128M : 2M × 16b × 4) × 4

AMX 3 64M、column-addr-9bit 64MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16	A25	A25	A13	BANK はバンクアドレスを選択
A15	A24	A24	A12	
A14	A23	0	A11	アドレスプリチャージ設定
A13	A22	H/L	A10	
A12	A21	0	A9	アドレス
A11	A20	A11	A8	
A10	A19	A10	A7	
A9	A18	A9	A6	
A8	A17	A8	A5	
A7	A16	A7	A4	
A6	A15	A6	A3	
A5	A14	A5	A2	
A4	A13	A4	A1	
A3	A12	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(12) BUS 32 (64M : 2M × 8b × 4) × 4*

(128M : 2M × 16b × 4) × 2

AMX 3 64M、column-addr-9bit 32MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16				
A15	A24	A24	A13	BANK はバンクアドレスを選択
A14	A23	A23	A12	
A13	A22	0	A11	アドレスプリチャージ設定
A12	A21	H/L	A10	アドレス
A11	A20	0	A9	
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(13) BUS 64 (64M : 512K × 32b × 4) × 2*

AMX 4 64M、column-addr-8bit 16MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A15	A23	A23	A12	BANK はバンクアドレスを選択
A14	A22	A22	A11	
A13	A21	H/L	A10	アドレスプリチャージ設定
A12	A20	0	A9	アドレス
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(14) BUS 32 (64M : 512K × 32b × 4) × 1*

AMX 4 64M、column-addr-8bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A15				
A14	A22	A22	A12	BANK はバンクアドレスを選択
A13	A21	A21	A11	
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(15) BUS 64 (64M : 1M × 32b × 2) × 2*

AMX 5 64M、column-addr-8bit 16MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A15	A23	A23	A12	BANK はバンクアドレスを選択 アドレスプリチャージ設定 アドレス
A14	A22	0	A11	
A13	A21	H/L	A10	
A12	A20	0	A9	
A11	A19	0	A8	
A10	A18	A10	A7	
A9	A17	A9	A6	
A8	A16	A8	A5	
A7	A15	A7	A4	
A6	A14	A6	A3	
A5	A13	A5	A2	
A4	A12	A4	A1	
A3	A11	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(16) BUS 32 (64M : 1M × 32b × 2) × 1*

AMX 5 64M、column-addr-8bit 8MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A15				BANK はバンクアドレスを選択 アドレスプリチャージ設定 アドレス
A14	A22	A22	A12	
A13	A21	0	A11	
A12	A20	H/L	A10	
A11	A19	0	A9	
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(17) BUS 64 (128M : 4M×8b×4) × 8* (SH7750R のみ)

AMX 6 AMXEXT0 128M、column-addr-10bit 128MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16	A26	A26	A13	BANK はバンクアドレスを選択
A15	A25	A25	A12	
A14	A24	0	A11	
A13	A23	H/L	A10	アドレスプリチャージ設定
A12	A22	A12	A9	アドレス
A11	A21	A11	A8	
A10	A20	A10	A7	
A9	A19	A9	A6	
A8	A18	A8	A5	
A7	A17	A7	A4	
A6	A16	A6	A3	
A5	A15	A5	A2	
A4	A14	A4	A1	
A3	A13	A3	A0	
A2	未使用			
A1	未使用			
A0	未使用			

(18) BUS 64 (256M : 4M×16b×4) ×4* (SH7750R のみ)

AMX 6 AMXEXT1 256M、column-addr-9bit

128MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能	
	RAS サイクル	CAS サイクル			
A17	A26	A26	A14	BANK はバンクアドレスを選択	
A16	A25	A25	A13		
A15	A24	0	A12	アドレス	
A14	A23	0	A11		
A13	A22	H/L	A10		アドレスプリチャージ設定
A12	A21	0	A9		
A11	A20	A11	A8		
A10	A19	A10	A7		
A9	A18	A9	A6		
A8	A17	A8	A5		
A7	A16	A7	A4		
A6	A15	A6	A3		
A5	A14	A5	A2		
A4	A13	A4	A1		
A3	A12	A3	A0		
A2	未使用				
A1	未使用				
A0	未使用				

(19) BUS 32 (128M : 4M×8b×4) × 4* (SH7750S、SH7750R のみ)

AMX 6 AMXEXT0 column-addr-10bit 64MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A15	A25	A25	A13	BANK はバンクアドレスを選択
A14	A24	A24	A12	
A13	A23	0	A11	アドレスプリチャージ設定
A12	A22	H/L	A10	アドレス
A11	A21	A11	A9	
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	未使用			
A0	未使用			

(20) BUS 32 (256M : 4M×16b×4) ×2* (SH7750S、SH7750R のみ)

AMX 6 AMXEXT1 256M、column-addr-9bit 64MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16	A25	A25	A14	BANK はバンクアドレスを選択
A15	A24	A24	A13	
A14	A23	0	A12	アドレス アドレス
A13	A22	0	A11	
A12	A21	H/L	A10	
A11	A20	0	A9	
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(21) BUS 64 (16M : 256K×32b×2) ×2*

AMX 7 16M、column-addr-8bit 4MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能	
	RAS サイクル	CAS サイクル			
A13	A21	A21	A10	BANK はバンクアドレスを選択	
A12	A20	H/L	A9	アドレスプリチャージ設定	
A11	A19	0	A8	アドレス	
A10	A18	A10	A7		
A9	A17	A9	A6		
A8	A16	A8	A5		
A7	A15	A7	A4		
A6	A14	A6	A3		
A5	A13	A5	A2		
A4	A12	A4	A1		
A3	A11	A3	A0		
A2	未使用				
A1	未使用				
A0	未使用				

(22) BUS 32 (16M : 256K × 32b × 2) × 1*

AMX 7 16M、column-addr-8bit 2MB

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A13				
A12	A20	A20	A10	BANK はバンクアドレスを選択
A11	A19	H/L	A9	アドレスプリチャージ設定
A10	A18	0	A8	アドレス
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

【注】 * シンクロナス DRAM の構成例

G. 命令のプリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 20Byte 領域にプログラムを配置しないでください。もし、その領域にプログラムを配置した場合、メモリアreaを超えて、命令の先読みのためのバスアクセスが発生する場合があります。以下にこれが問題となるケースを示します。

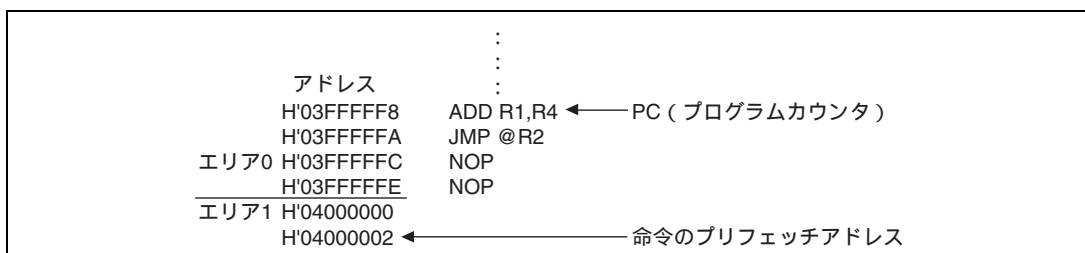


図 G.1 命令のプリフェッチ

図 G.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'04000002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ない、エリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

- (1) 命令のプリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤作動する場合があります。
- (2) 命令のプリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

- (1) MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- (2) 各エリア最終20バイトの領域にプログラムを配置しないことで、回避することが可能です。

H. 電源投入遮断手順について

H.1 電源投入時の規定

- (1) I/O、RTC、CPG、PLL1/2の電源は、電源 V_{DDQ} と同じタイミングで投入してください。
- (2) 電源 V_{DDQ} を投入後または同時に、信号線 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 、MD0～MD10、外部クロックなど)の入力を行ってください。電源 V_{DDQ} を投入する前に信号線に入力を与えると、製品が破壊される可能性があります。
 - 電源 V_{DDQ} の投入時 $\overline{\text{RESET}}$ 信号は、Lowレベルにしてください。
 - 電源 V_{DDQ} の投入時 $\overline{\text{MRESET}}$ 信号は、電源 V_{DDQ} 同じシーケンスでHighレベルを入力してください。
- (3) 電源の投入は、電源 V_{DDQ} を先、電源 V_{DD} を後に行うことを推奨します。
- (4) 上記(1)(2)(3)に加えてH.3の規定に従ってください。さらに
 - 本LSI単体の場合、電源 V_{DDQ} および電源 V_{DD} の電源投入シーケンスに時間的な制約はありません。図H.1を参照ください。なお、電源投入はできるだけ短い時間に行うことを推奨します。
 - 本LSIが実装ボードなどで他の素子と結線されている場合、 $-0.3V < V_{in} < V_{DDQ} + 0.3V$ に従ってください。また、図H.2に示すように、電源 V_{DDQ} および電源 V_{DD} がGND[0V]から本LSIの動作保証電圧範囲の最小電圧値{ $V_{DDQ}(\text{min})$ 、 $V_{DD}(\text{min})$ }以上に上昇するまでの制約時間は100ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短い時間に行うことを推奨します。

H.2 電源遮断時の規定

- (1) I/O、RTC、CPG、PLL1/2の電源は、電源 V_{DDQ} と同じタイミングで遮断してください。
- (2) 信号線 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$) 電源遮断時のタイミング規定はありません。
- (3) 信号線 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$) 以外の入力信号線のレベルは電源 V_{DDQ} と同じシーケンスで遮断してください。
- (4) 電源の遮断は、電源 V_{DD} を先、電源 V_{DDQ} を後に行うことを推奨します。
- (5) 上記(1)(2)(3)(4)に加えてH.3の規定に従ってください。さらに
 - 本LSI単体の場合、電源 V_{DDQ} および電源 V_{DD} の電源遮断シーケンスに時間的な制約はありません。図H.1を参照ください。なお、電源遮断はできるだけ短い時間に行うことを推奨します。
 - 本LSIが実装ボードなどでほかの素子と結線されている場合、 $-0.3V < V_{in} < V_{DDQ} + 0.3V$ に従ってください。また、図H.2に示すように、電源 V_{DDQ} および電源 V_{DD} が本LSIの動作保証電圧範囲の最小電圧値($V_{DDQ}(\text{min})$ 、 $V_{DD}(\text{min})$)からGND[0V]に下降するまでの制約時間は150ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短い時間に行うことを推奨します。

H.3 電源投入時、遮断時共通の規定

(1) 常時 $V_{DDQ} = V_{DD-CPG} = V_{DD-RTC} = V_{DD-PLL1/2}$ としてください。

SH7750SおよびSH7750Rの場合、ハードウェアスタンバイモード時の V_{DD-RTC} は、「9.8.5 ハードウェアスタンバイモードのタイミング (SH7750S、SH7750Rのみ)」を参照してください。

(2) $-0.3V < V_{DD} < V_{DDQ} + 0.3V$ としてください。

(3) $V_{SS} = V_{SSQ} = V_{SS-PLL1/2} = V_{SS-CPG} = V_{SS-RTC} = GND[0V]$ としてください。

以上(1)(2)(3)の条件を満足しない場合、製品が破壊される可能性があります。

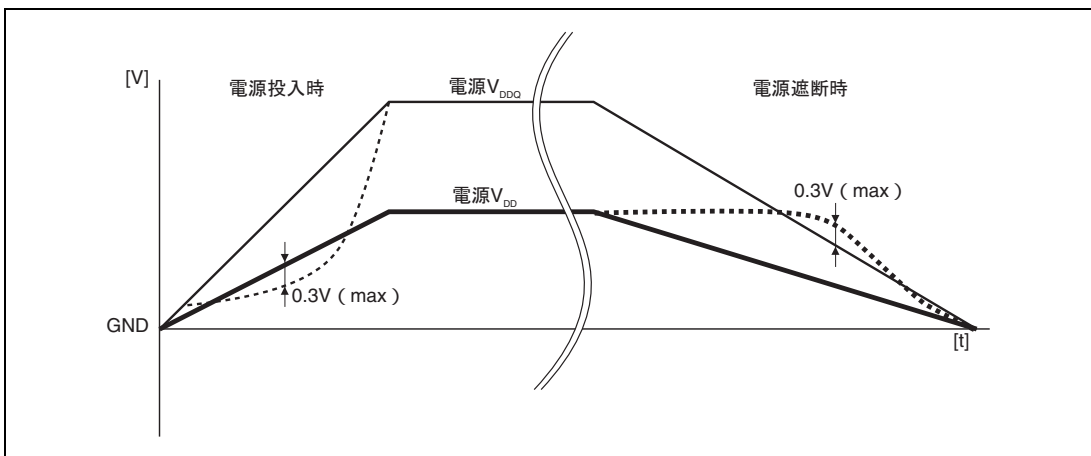


図 H.1 電源投入手順 1

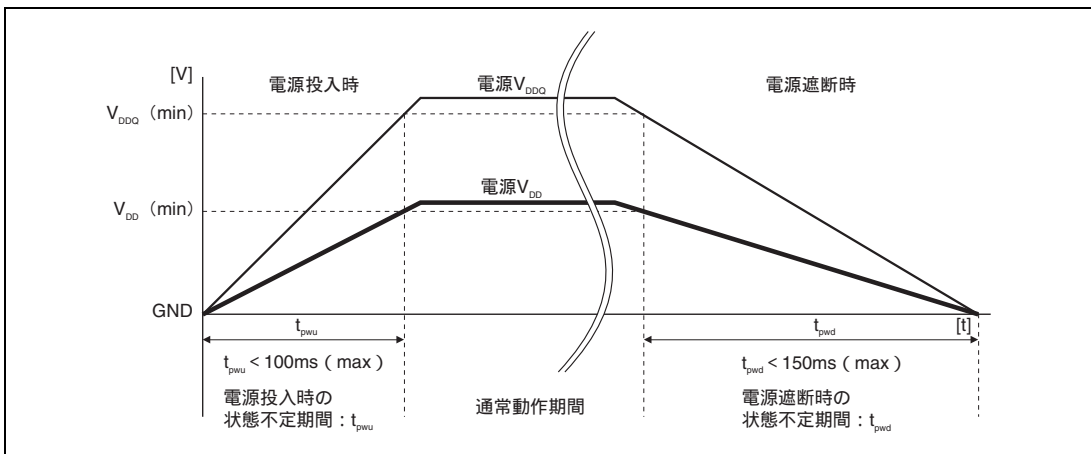


図 H.2 電源投入手順 2

I. 型名一覧

表 I.1 SH7750/SH7750S/ SH7750R 型名一覧

製品分類	電圧	動作周波数	動作温度* ¹	製品型名* ²	パッケージ
SH7750	1.95 V	200MHz	- 20 ~ 75	HD6417750BP200M (V)	256 ピン BGA
	1.8 V	167MHz		HD6417750F167 (V)	208 ピン QFP
	1.5 V	128MHz		HD6417750VF128 (V)	
SH7750S	1.95 V	200MHz	- 30 ~ 70	HD6417750SBP200 (V)	256 ピン BGA
				HD6417750SBA200V	
				HD6417750SF200 (V)	208 ピン QFP
	1.8 V	167MHz		HD6417750SF167 (V)	
	1.5 V	133MHz		HD6417750SVF133 (V)	
	SH7750R	1.5 V		240MHz	- 20 ~ 75
HD6417750RBP240 (V)			256 ピン BGA		
HD6417750RBA240HV					
HD6417750RF240 (V)			208 ピン QFP		
HD6417750RBG240 (V)			292 ピン BGA		
200MHz			HD6417750RBP200 (V)	256 ピン BGA	
			HD6417750RF200 (V)	208 ピン QFP	
	HD6417750RBG200 (V)	292 ピン BGA			

【注】 *1 広温度範囲 (- 40 ~ +85) 仕様製品につきましては、弊社営業窓口へご照会ください。なお、HD6417750RBA240HV につきましては、標準で広温度範囲 (- 40 ~ + 85) 仕様です。

*2 すべて鉛フリー対応可能。鉛フリー対応製品は製品型名の最後に"V"が付きます。
例：HD6417750BP200MV、HD6417750F167V 等

J. バージョンレジスタ

製品バージョンに関するレジスタ構成を下記に示します。

表 J.1 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセスサイズ
プロセッサバージョンレジスタ	PVR	R	*	H'FF000030	H'1F000030	32
プロダクトレジスタ	PRR	R	*	H'FF000044	H'1F000044	32

【注】 * 以下の表を参照してください。

PVR/PRR の初期値

製品分類	PVR	PRR
SH7750	H'0402 05xx	H'xxxx xxxx
SH7750S	H'0402 06xx	H'xxxx xxxx
SH7750R	H'0405 00xx	H'0000 010x

【記号説明】 x : 不定

プロセッサバージョンレジスタ (PVR) 初期値は SH7750R の例

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値 :	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—

プロダクトレジスタ (PRR) 初期値は SH7750R の例

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報												—	—	—	—
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	—	—	—	—

ルネサス32ビットRISCマイクロコンピュータ
SH7750、SH7750S、SH7750Rグループ
ユーザーズマニュアル ハードウェア編

発行年月日 1998年4月 Rev.1.00
2013年9月10日 Rev.7.02

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7750、SH7750S、SH7750R グループ
ユーザーズマニュアル ハードウェア編