

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7760 グループ

ハードウェアマニュアル

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7750 シリーズ

SH7760

HD6417760BL200A
HD6417760BL200AV
HD6417760BL200AD
HD6417760BL200ADV
HD6417760BP200AD
HD6417760BP200ADV

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

SH7760 は、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 このマニュアルは、SH7760 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7760 のハードウェア機能をユーザーに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき。

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。

- 各命令の詳細を理解したいとき。

別冊の「SH-4 ソフトウェアマニュアル」を参照してください。

凡例 ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。


関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

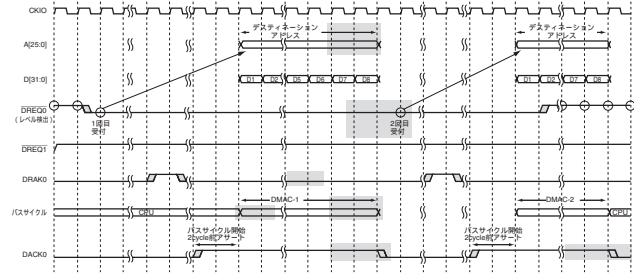
本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																		
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ																		
1.1 SH7760 グループの特長 表 1.1 特長	1-2	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>LSI</td> <td>• パッケージ：256ピンBGA（大きさは17×17mm、ピンピッチ：0.8mm）</td> </tr> <tr> <td>CPU</td> <td>• RISCタイプ命令セット（SH-1、SH-2、SH-3と上位互換）：</td> </tr> </tbody> </table>	項目	特 長	LSI	• パッケージ：256ピンBGA（大きさは17×17mm、ピンピッチ：0.8mm）	CPU	• RISCタイプ命令セット（SH-1、SH-2、SH-3と上位互換）：												
	項目	特 長																		
	LSI	• パッケージ：256ピンBGA（大きさは17×17mm、ピンピッチ：0.8mm）																		
CPU	• RISCタイプ命令セット（SH-1、SH-2、SH-3と上位互換）：																			
1-3	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>FPU</td> <td>• 浮動小数点コプロセッサ内蔵</td> </tr> <tr> <td></td> <td>• 浮動小数点レジスタ：32ビット×16 x2バンク （単精度：32ビット×16または倍精度：64ビット×8）x2バンク</td> </tr> </tbody> </table>	項目	特 長	FPU	• 浮動小数点コプロセッサ内蔵		• 浮動小数点レジスタ：32ビット×16 x2バンク （単精度：32ビット×16または倍精度：64ビット×8）x2バンク													
項目	特 長																			
FPU	• 浮動小数点コプロセッサ内蔵																			
	• 浮動小数点レジスタ：32ビット×16 x2バンク （単精度：32ビット×16または倍精度：64ビット×8）x2バンク																			
1-7	「製品ラインアップ」を追加																			
1.2 ブロック図 図 1.1 SH7760 のブロック図	1-8	図を修正 																		
1.3 ピン配置図 図 1.2 SH7760 のピン配置図 （BP-256F/BP-256FV）	1-9	図を追加																		
1.4 端子説明	1-11	説明を修正 表 1.2 に BP-256F（21mm ^{*1} ）、表 1.3 に BP-256B（17mm ^{*2} ）の端子配置表を示します。																		
		注を追加 【注】*1 HD6417760BP200ADV、HD6417760BP200AD *2 HD6417760BL200A、HD6417760BL200AV、 HD6417760BL200AD、HD6417760BL200ADV																		
表 1.2 端子の配置表（BP-256F：21mm）	1-11～ 1-18	表を追加																		
表 1.3 端子の配置表（BP-256B：17mm）	1-19	タイトルを修正																		
1.5 端子機能 表 1.4 端子機能（MFIモード/LCDモードで端子機能が変化する端子）	1-26	表を修正 <table border="1"> <thead> <tr> <th>端子番号</th> <th>MFIモード (MD7-G)</th> <th>LCDモード (MD7-1)</th> <th>その他</th> <th>レジスタ</th> </tr> </thead> <tbody> <tr> <td>17mm 21mm</td> <td>機能</td> <td>端子名</td> <td>I/O</td> <td>機能</td> <td>端子名</td> <td>I/O</td> <td>機能</td> <td>端子名</td> <td>I/O</td> <td>GPIO</td> <td>GPIO設定</td> <td>IP選択</td> </tr> </tbody> </table>	端子番号	MFIモード (MD7-G)	LCDモード (MD7-1)	その他	レジスタ	17mm 21mm	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	GPIO	GPIO設定	IP選択
端子番号	MFIモード (MD7-G)	LCDモード (MD7-1)	その他	レジスタ																
17mm 21mm	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	GPIO	GPIO設定	IP選択								

修正項目	ページ	修正内容（詳細はマニュアル参照）																							
1.5 端子機能	1-27 ~	表を修正																							
表 1.5 端子機能	1-29	<table border="1"> <tr> <td>端子番号</td> <td colspan="10">レジスタ</td> </tr> <tr> <td>17mm/21mm</td> <td>機能 1</td> <td>端子名</td> <td>IO</td> <td>機能 2</td> <td>端子名</td> <td>IO</td> <td>機能 3</td> <td>端子名</td> <td>IO</td> <td>GPIO</td> <td>GPIO 設定</td> </tr> </table>	端子番号	レジスタ										17mm/21mm	機能 1	端子名	IO	機能 2	端子名	IO	機能 3	端子名	IO	GPIO	GPIO 設定
端子番号	レジスタ																								
17mm/21mm	機能 1	端子名	IO	機能 2	端子名	IO	機能 3	端子名	IO	GPIO	GPIO 設定														
表 1.6 端子機能	1-30	表を修正 <table border="1"> <tr> <th rowspan="2">端子番号</th> <th rowspan="2">機能</th> <th rowspan="2">端子名</th> <th rowspan="2">I/O</th> <th colspan="4">メモリアインタフェース</th> <th rowspan="2">備考</th> </tr> <tr> <th>SRAM</th> <th>SDRAM</th> <th>PCMCIA</th> <th>MPX</th> </tr> <tr> <td>17mm</td> <td>21mm</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table>	端子番号	機能	端子名	I/O	メモリアインタフェース				備考	SRAM	SDRAM	PCMCIA	MPX	17mm	21mm								
端子番号	機能	端子名					I/O	メモリアインタフェース				備考													
			SRAM	SDRAM	PCMCIA	MPX																			
17mm	21mm																								
2.2.1 特権モードとバンク	2-3	表を修正																							
表 2.1 レジスタの初期値		<table border="1"> <tr> <th>区分</th> <th>レジスタ</th> <th>初期値*</th> </tr> <tr> <td>コントロールレジスタ</td> <td>SR</td> <td>MD ビットは 1、RB ビットは 1、BL ビットは 1、FD ビットは 0、IMASK は 1111 (HF)、リザーブ ビットは 0、その他は不定</td> </tr> </table>	区分	レジスタ	初期値*	コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、FD ビットは 0、IMASK は 1111 (HF)、リザーブ ビットは 0、その他は不定																	
区分	レジスタ	初期値*																							
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、FD ビットは 0、IMASK は 1111 (HF)、リザーブ ビットは 0、その他は不定																							
3.7 使用上の注意事項	3-13 ~ 3-16	新規追加																							
4.4 使用上の注意事項	4-17、 4-18	新規追加																							
5.4 使用上の注意事項	5-24	新規追加																							
6.2.3 ページテーブルエントリアシスタンスレジスタ (PTEA)	6-10	説明を修正 SH7760 では、MMUCR の AT ビットが 0 のときに CPU から PCMCIA インタフェースのエリアにアクセスする場合、本レジスタの SA ビット、TC ビットの値で常アクセスされます。																							
7.3.9 キャッシュ倍増モードを使用する場合の注意事項	7-12 ~ 7-14	新規追加																							
8.5.1 リセット (1) パワーオンリセット	8-11	説明を修正 SR.IMASK = B'1111;																							
(2) マニュアルリセット	8-12	説明を修正 SR.IMASK = B'1111;																							
(3) H-UDI リセット	8-13	説明を修正 SR.IMASK = B'1111;																							
(4) 命令 TLB 多重ヒット例外	8-14	説明を修正 SR.IMASK = B'1111;																							
(5) データ TLB 多重ヒット例外		説明を修正 SR.IMASK = B'1111;																							
8.7.1 例外処理ルーチンの第一命令における制限事項	8-30	注を追加 <ul style="list-style-type: none"> 加えて、BRCR の UBDE ビットを 1 にして、ユーザブレイクデバッグサポート機能*を使用する場合、DBR の指す番地に BT、BF、BT/S、BF/S、BRA、BSR 命令を配置しないでください。 【注】*「31.5 ユーザブレイクデバッグサポート機能」を参照してください。																							

修正項目	ページ	修正内容（詳細はマニュアル参照）										
9.1 特長 図 9.1 INTC のブロック図	9-2	図を修正 										
9.2 入出力端子 表 9.1 端子構成	9-3	表を修正 <table border="1" data-bbox="587 614 1204 660"> <thead> <tr> <th>名称</th> <th>略称</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>IRL 割り込み入力端子</td> <td>IRL3 - IRL0</td> <td>入力</td> <td>IRL 割り込み要求信号を入力 (SR の IMASK でマスク可能)</td> </tr> </tbody> </table>	名称	略称	入出力	機能	IRL 割り込み入力端子	IRL3 - IRL0	入力	IRL 割り込み要求信号を入力 (SR の IMASK でマスク可能)		
名称	略称	入出力	機能									
IRL 割り込み入力端子	IRL3 - IRL0	入力	IRL 割り込み要求信号を入力 (SR の IMASK でマスク可能)									
9.4.5 割り込み例外処理と優先順位 表 9.7 割り込み例外処理要因と優先順位	9-17	表を修正 <table border="1" data-bbox="706 710 1090 821"> <thead> <tr> <th colspan="2">割り込み要因</th> <th>INTEVT コード</th> </tr> </thead> <tbody> <tr> <td>MFI</td> <td>MFI</td> <td>H'E80</td> </tr> </tbody> </table>	割り込み要因		INTEVT コード	MFI	MFI	H'E80				
割り込み要因		INTEVT コード										
MFI	MFI	H'E80										
10.5 レジスタの説明 表 10.6 レジスタ構成 (2)	10-13	注を修正 【注】*1 詳細は SDMR を参照してください。										
10.5.5 ウェイトコントロールレジスタ 1 (WCR1) 表 10.7 アクセス間のアイドル挿入	10-25	注を追加 【注】*2 MPX インタフェースで書き込みアクセス後の同一エリアへのアクセス（読み出し、書き込みとも）の間にも WCR1 のアイドルウェイトが挿入される場合があります。以下に同一エリアへのアクセスでアイドルウェイトが挿入される例を示します。 (a) シンクロナス DRAM を RAS ダウンモードに設定 (b) 内蔵 DMAC によりシンクロナス DRAM をアクセス 上記 (a) かつ (b) の使用条件下以外では、MPX インタフェースの書き込みアクセスと続く同一エリアアクセスとの間でもアイドルウェイトが挿入されます。										
10.5.7 ウェイトコントロールレジスタ 3 (WCR3)	10-32	表を修正 <table border="1" data-bbox="587 1290 1204 1400"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4m+3</td> <td>AmRDH*</td> <td>すべて 0</td> <td>R/W</td> <td>読み出しストローブネゲートタイミング 読み出す時の読み出しストローブのネゲートタイミグを設定します。バイト制御 SRAM 設定時は 0 に設定してください。 図 10.12 を参照してください。</td> </tr> </tbody> </table> 注を修正 【注】n=0~6、m=1、4 * エリア 1 に対しては表 10.9 の組み合わせで設定してください。	ビット	ビット名	初期値	R/W	説明	4m+3	AmRDH*	すべて 0	R/W	読み出しストローブネゲートタイミング 読み出す時の読み出しストローブのネゲートタイミグを設定します。バイト制御 SRAM 設定時は 0 に設定してください。 図 10.12 を参照してください。
ビット	ビット名	初期値	R/W	説明								
4m+3	AmRDH*	すべて 0	R/W	読み出しストローブネゲートタイミング 読み出す時の読み出しストローブのネゲートタイミグを設定します。バイト制御 SRAM 設定時は 0 に設定してください。 図 10.12 を参照してください。								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																												
10.5.8 ウェイトコントロールレジスタ4（WCR4）	10-32	<p>説明を修正</p> <p>CSH1、CSH0 ビットを設定することで、0~3 サイクルのネグート期間を挿入できます。CS1 のネグート期間を指定する場合は、WCR3 のデータホールド時間（A1H[1:0]）と一致させてください。CS1 のネグート期間を設定しない場合（CSH[1:0]=00）は、WCR3 のデータホールド時間（A1H[1:0]）と一致させる必要はありません。</p> <p>表を修正、注を追加</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>CSH1*</td> <td>0</td> <td>R/W</td> <td rowspan="2">CS ホールドサイクル設定ビット CS1 をネグートして、データホールド時の挿入ウェイトサイクルを指定します。</td> </tr> <tr> <td>0</td> <td>CSH0*</td> <td>0</td> <td>R/W</td> </tr> <tr> <td colspan="5">挿入ウェイト数</td> </tr> <tr> <td colspan="5">00 : 0</td> </tr> <tr> <td colspan="5">01 : 1</td> </tr> <tr> <td colspan="5">10 : 2</td> </tr> <tr> <td colspan="5">11 : 3</td> </tr> <tr> <td colspan="5">00 以外の値を設定する場合には、WCR3.A1RDH=1 に設定してください。</td> </tr> </tbody> </table> <p>【注】* 表 10.9 の組み合わせで設定してください。</p>	ビット	ビット名	初期値	R/W	説明	1	CSH1*	0	R/W	CS ホールドサイクル設定ビット CS1 をネグートして、データホールド時の挿入ウェイトサイクルを指定します。	0	CSH0*	0	R/W	挿入ウェイト数					00 : 0					01 : 1					10 : 2					11 : 3					00 以外の値を設定する場合には、WCR3.A1RDH=1 に設定してください。				
ビット	ビット名	初期値	R/W	説明																																										
1	CSH1*	0	R/W	CS ホールドサイクル設定ビット CS1 をネグートして、データホールド時の挿入ウェイトサイクルを指定します。																																										
0	CSH0*	0	R/W																																											
挿入ウェイト数																																														
00 : 0																																														
01 : 1																																														
10 : 2																																														
11 : 3																																														
00 以外の値を設定する場合には、WCR3.A1RDH=1 に設定してください。																																														
表 10.9 エリア 1 に対する WCR3、WCR4 の設定	10-33	新規追加																																												
11.3.4 DMA チャンネルコントロールレジスタ（CHCR）	11-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>CHSET</td> <td>0</td> <td>R/W</td> <td>チャンネル設定ビット DMABRG モード時、本ビットに 1 を書き込むことで当該チャンネルの外部リクエストおよび DMABRG リクエスト受付部の内部状態をクリアしますので、当該チャンネル設定時、本ビットに 1 を書き込んでください。ただし本ビットを読み出すと常に 0 が読み出されます。 【注】外部リクエスト 2 チャンネルモードでは無効です。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	CHSET	0	R/W	チャンネル設定ビット DMABRG モード時、本ビットに 1 を書き込むことで当該チャンネルの外部リクエストおよび DMABRG リクエスト受付部の内部状態をクリアしますので、当該チャンネル設定時、本ビットに 1 を書き込んでください。ただし本ビットを読み出すと常に 0 が読み出されます。 【注】外部リクエスト 2 チャンネルモードでは無効です。																																		
ビット	ビット名	初期値	R/W	説明																																										
3	CHSET	0	R/W	チャンネル設定ビット DMABRG モード時、本ビットに 1 を書き込むことで当該チャンネルの外部リクエストおよび DMABRG リクエスト受付部の内部状態をクリアしますので、当該チャンネル設定時、本ビットに 1 を書き込んでください。ただし本ビットを読み出すと常に 0 が読み出されます。 【注】外部リクエスト 2 チャンネルモードでは無効です。																																										
11.4.4 DMA 転送の種類 図 11.6 シングルアドレスモードでのデータの流れ	11-44	<p>図を修正</p> <p>外部アドレスバス 外部データバス</p> <p>SH7760</p> <p>DMAC</p> <p>外部メモリ</p> <p>DACK付き外部デバイス</p> <p>DACK</p> <p>DREQ</p> <p>-----> データの流れ</p>																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>11.4.5 バスサイクルのサイクル数と DREQ$\bar{}$ 端子のサンプリングタイミング</p> <p>図 11.30 DMABRG モード時のシングルアドレスモード / バーストモード 外部デバイス 外部バス / DREQ (レベル検出) / 32 バイトブロック転送 (バス幅 : 32 ビット、SDRAM : row hit write)</p>	11-71	<p>図を修正</p>  <p>○ : DREQサンプリングとチャンネルの優先順位判定</p>
<p>11.4.6 DMA 転送終了 (3) 転送終了時の注意事項</p>	11-74	<p>説明を修正</p> <ul style="list-style-type: none"> 外部リクエスト <ul style="list-style-type: none"> 「11.4.2 DMA 転送要求 (2) 外部リクエストモード」の「外部リクエスト受け付け条件 5.」を参照してください。 周辺モジュールリクエスト <p>保持されたリクエストは、DMA 転送を行うことで処理することができません。DMA 転送終了時 DMARCR.REXn = 1 であれば、リクエストは DMAC に保持されています。処理例を以下に示します。</p> <ol style="list-style-type: none"> DMA 転送終了後、DMARSRA、DMARSRB の当該チャンネルのリソース設定を H'00 にしてください (H'80 を書き込んでください)。 当該チャンネルの DMARCR の REXn ビットを読み出してください。 REXn = 0 : DMAC はリクエストを受け付けて (保持して) いません REXn = 1 : DMAC はリクエストを受け付けて (保持して) います
11.6.2 DMABRG のリセット	11-79	<p>説明を削除</p> <p>BRGRST ビットが 1 の状態では、HAC、SSI、USB、LCDC および DMAC の各レジスタ (DMAPCR を除く) にアクセスしないでください。アクセスした場合の動作は保証しません。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
11.6.5 DMA AUDIO 送信動作 図 11.32 HAC 設定フロー例	11-81	<p>図を修正</p> <pre> graph TD Start([HAC DMA送信設定フロー]) --> Step1[PFC.IPSELRにより HACモジュール選択] Step1 --> Step2[HACリセット、動作モード設定] Step2 --> Decision{コーデックは準備済み?} Decision -- No --> Step2 Decision -- Yes --> Step3[割り込み許可 (必要に応じて)] Step3 --> Step4[HAC DMA許可 (HACACR.*DMA*_EN = 1)] </pre>																																				
11.6.6 オートリロード機能	11-83	<p>説明を修正</p> <p>オートリロード機能が有効のときに DMA 転送を終了する場合、DMAACR の DMA 強制終了ビット (RDS ビットまたは TDS ビット) に 1 を書き込むことで転送を終了することができます。</p>																																				
11.6.9 HAC/SSI のエンディアン変換機能 (2) HAC/SSI において 16 ビットデータを転送する場合	11-87	<p>説明を修正</p> <p>この場合、ビッグエンディアンモード (MD5=0) では、シンクロナス DRAM 上の送受信バッファ上のアドレスの若いワードを下位ワードにアラインする変換 (DMAACR.TAM[1:0]/DMAACR.RAM[1:0] = 10) が必要になります。</p>																																				
11.6.11 LCDC における DMA 転送の動作モード 図 11.38 LCDC データ転送のフローチャート	11-88	<p>図を修正</p> <p>(1) DMAOR、DMARCR、DMARSRA の各レジスタに対し、DMABRG を使用するように設定してください。</p>																																				
12.3 クロック動作モード 表 12.2 クロック動作モード	12-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th colspan="3">端子組み合わせ</th> <th rowspan="2">PLL1</th> <th rowspan="2">PLL2</th> <th colspan="3">周波数(対人カクロック)</th> <th rowspan="2">FROCR 初期値</th> </tr> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>CPU クロック</th> <th>バス クロック</th> <th>周辺 クロック</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>1</td> <td>0</td> <td>0</td> <td>オン (x6)</td> <td>オン</td> <td>6</td> <td>3</td> <td>3/2</td> <td>H0E0A</td> </tr> <tr> <td>6</td> <td>1</td> <td>1</td> <td>0</td> <td>オフ (x6)</td> <td>オフ</td> <td>1</td> <td>1/2</td> <td>1/2</td> <td>H0808</td> </tr> </tbody> </table>	クロック動作モード	端子組み合わせ			PLL1	PLL2	周波数(対人カクロック)			FROCR 初期値	MD2	MD1	MD0	CPU クロック	バス クロック	周辺 クロック	4	1	0	0	オン (x6)	オン	6	3	3/2	H0E0A	6	1	1	0	オフ (x6)	オフ	1	1/2	1/2	H0808
クロック動作モード	端子組み合わせ			PLL1	PLL2	周波数(対人カクロック)			FROCR 初期値																													
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 クロック																														
4	1	0	0	オン (x6)	オン	6	3	3/2	H0E0A																													
6	1	1	0	オフ (x6)	オフ	1	1/2	1/2	H0808																													
14.4 使用上の注意事項	14-17	新規追加																																				
15.3 レジスタの説明 表 15.2 レジスタ構成 (2)	15-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">チャンネル</th> <th rowspan="2">名称</th> <th rowspan="2">略称</th> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>スリープ</th> <th colspan="2">スタンバイ</th> </tr> <tr> <th>RESET 端子/WDT /H0UD による</th> <th>RESET 端子/WDT /多重例外による</th> <th>Sleep 命令による/ディープスリープ</th> <th>ハードによる</th> <th>ソフトによる (モジュール毎による)</th> </tr> </thead> <tbody> <tr> <td>共通</td> <td>タイムスタートレジスタ</td> <td>TSTR</td> <td>H00</td> <td>H00</td> <td>保持</td> <td>*</td> <td>H00</td> </tr> </tbody> </table>	チャンネル	名称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ		RESET 端子/WDT /H0UD による	RESET 端子/WDT /多重例外による	Sleep 命令による/ディープスリープ	ハードによる	ソフトによる (モジュール毎による)	共通	タイムスタートレジスタ	TSTR	H00	H00	保持	*	H00															
チャンネル	名称	略称				パワーオンリセット	マニュアルリセット	スリープ	スタンバイ																													
			RESET 端子/WDT /H0UD による	RESET 端子/WDT /多重例外による	Sleep 命令による/ディープスリープ	ハードによる	ソフトによる (モジュール毎による)																															
共通	タイムスタートレジスタ	TSTR	H00	H00	保持	*	H00																															
15.6.3 外部クロック周波数について	15-11	<p>説明を修正</p> <p>各チャンネルへの外部クロック (TCLK) は Pck/8 を超えないようにしてください。</p>																																				

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																	
16.3.4 IRQ ステータスレジスタ (CMTIRQS)	16-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11</td> <td>IO3</td> <td>0</td> <td>R/W⁰</td> <td>チャンネル3-0 オーバフロー割り込み</td> </tr> <tr> <td>10</td> <td>IO2</td> <td>0</td> <td>R/W⁰</td> <td>アップカウンタあるいはアップダウンカウンタがオーバフロー（H'FFFF H'0000）あるいはアンダフロー（H'0000 H'FFFF）しているかどうかを示します。</td> </tr> <tr> <td>9</td> <td>IO1</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> <tr> <td>8</td> <td>IO0</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> <tr> <td>7</td> <td>IC3</td> <td>0</td> <td>R/W⁰</td> <td>チャンネル3-0 コンペア割り込み</td> </tr> <tr> <td>6</td> <td>IC2</td> <td>0</td> <td>R/W⁰</td> <td>タイムモードのとき、フリーランニングタイムの値がチャンネルタイム値と同じかどうかを示します。</td> </tr> <tr> <td>5</td> <td>IC1</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> <tr> <td>4</td> <td>IC0</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> <tr> <td>3</td> <td>IE3</td> <td>0</td> <td>R/W⁰</td> <td>チャンネル3-0 エッジ割り込み</td> </tr> <tr> <td>2</td> <td>IE2</td> <td>0</td> <td>R/W⁰</td> <td>CMTCFG で指定のエッジ（アクティブエッジ）が検出されたかどうかを示します。</td> </tr> <tr> <td>1</td> <td>IE1</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> <tr> <td>0</td> <td>IE0</td> <td>0</td> <td>R/W⁰</td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* 1 の書き込みは無視されます。0 書き込みによる 0 クリアは可能です。</p>	ビット	ビット名	初期値	R/W	説明	11	IO3	0	R/W ⁰	チャンネル3-0 オーバフロー割り込み	10	IO2	0	R/W ⁰	アップカウンタあるいはアップダウンカウンタがオーバフロー（H'FFFF H'0000）あるいはアンダフロー（H'0000 H'FFFF）しているかどうかを示します。	9	IO1	0	R/W ⁰		8	IO0	0	R/W ⁰		7	IC3	0	R/W ⁰	チャンネル3-0 コンペア割り込み	6	IC2	0	R/W ⁰	タイムモードのとき、フリーランニングタイムの値がチャンネルタイム値と同じかどうかを示します。	5	IC1	0	R/W ⁰		4	IC0	0	R/W ⁰		3	IE3	0	R/W ⁰	チャンネル3-0 エッジ割り込み	2	IE2	0	R/W ⁰	CMTCFG で指定のエッジ（アクティブエッジ）が検出されたかどうかを示します。	1	IE1	0	R/W ⁰		0	IE0	0	R/W ⁰	
ビット	ビット名	初期値	R/W	説明																																																															
11	IO3	0	R/W ⁰	チャンネル3-0 オーバフロー割り込み																																																															
10	IO2	0	R/W ⁰	アップカウンタあるいはアップダウンカウンタがオーバフロー（H'FFFF H'0000）あるいはアンダフロー（H'0000 H'FFFF）しているかどうかを示します。																																																															
9	IO1	0	R/W ⁰																																																																
8	IO0	0	R/W ⁰																																																																
7	IC3	0	R/W ⁰	チャンネル3-0 コンペア割り込み																																																															
6	IC2	0	R/W ⁰	タイムモードのとき、フリーランニングタイムの値がチャンネルタイム値と同じかどうかを示します。																																																															
5	IC1	0	R/W ⁰																																																																
4	IC0	0	R/W ⁰																																																																
3	IE3	0	R/W ⁰	チャンネル3-0 エッジ割り込み																																																															
2	IE2	0	R/W ⁰	CMTCFG で指定のエッジ（アクティブエッジ）が検出されたかどうかを示します。																																																															
1	IE1	0	R/W ⁰																																																																
0	IE0	0	R/W ⁰																																																																
16.4.4 タイマ 16 ビット：インプットキャプチャ	16-16	<p>説明を修正</p> <p>本モードでは、16 ビットタイムはタイマクロックコントロールビットで定義されたクロックを使用したフリーランニングとして動作します。ピンアクティブコントロールビット（CMTCFG.EDn）の設定によってアクティブエッジが検出されると、チャンネル n タイムレジスタ（CMTCHnT）に 16 ビットカウンタ（CMTCHnC）の値がセットされ、エッジ割り込みビット（CMTIRQS.IEn）が 1 にセットされ、16 ビットカウンタ（CMTCHnC）は、H'0000 にリセットされ、そのままカウントを再開します。また、16 ビットカウンタは、タイムイネーブルビットを無効（CMTCTL.TEn=0）にすることにより、H'0000 にセットされます。</p>																																																																	
16.4.5 タイマ 16 ビット：アウトプットコンペア	16-16	<p>説明を修正</p> <p>本モードでは、16 ビットタイムはタイマクロックコントロールビットで定義されたクロックを使用したフリーランニングとして動作します。各チャンネルのタイム CMTCHnC のカウントアップ時に、タイム CMTCHnC の値がタイムレジスタ CMTCHnT の下位 16 ビットと一致していた場合、CMT_CTR 端子出力を現在の状態から反転（トグル）します。この場合、コンペア割り込みビット（CMTIRQS.ICn）が 1 にセットされ、16 ビットカウンタ（CMTCHnC）は、H'0000 にリセットされ、そのままカウントを再開します。また、16 ビットカウンタは、タイムイネーブルビットを無効（CMTCTL.TEn=0）にすることにより、H'0000 にセットされます。</p>																																																																	

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																					
16.4.7 カウンタ:キャプチャ付き アップカウンタ	16-18	<p>説明を修正</p> <p>本モードでは、チャンネル2の16ビットカウンタはFRMCビットの設定により、フリーランニングアップカウンタあるいはインプットキャプチャ付きのアップカウンタとして動作します。ピンアクティブコントロールビット（CMTCFG.EDn）の設定によってアクティブエッジが検出されると、チャンネルnタイムレジスタ（CMTCHnT）に16ビットカウンタ（CMTCHnC）の値がセットされ、エッジ割り込みビット（CMTIRQS.IEn）が1にセットされ、16ビットカウンタ（CMTCHnC）は、H'0000にリセットされ、そのままカウントを再開します。また、16ビットカウンタは、タイムイネーブルビットを無効（CMTCTL.TEn=0）にすることにより、H'0000にセットされます。</p>																																																																																																					
17.3 レジスタの説明 表 17.2 レジスタ構成（1）	17-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>略称</th> <th>R/W</th> <th>P4 アドレス</th> <th>エリア7 アドレス</th> <th>サイズ</th> <th>同期 クロック</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>トランスミットFIFOデータ数レジスタ0</td> <td>SCFDR0</td> <td>R</td> <td>HFE60 001C</td> <td>H'1E60 001C</td> <td>16</td> <td>Pck</td> </tr> <tr> <td>レシーブFIFOデータ数レジスタ0</td> <td>SCFRDR0</td> <td>R</td> <td>HFE60 0020</td> <td>H'1E60 0020</td> <td>16</td> <td>Pck</td> </tr> <tr> <td rowspan="2">1</td> <td>トランスミットFIFOデータ数レジスタ1</td> <td>SCFDR1</td> <td>R</td> <td>HFE61 001C</td> <td>H'1E61 001C</td> <td>16</td> <td>Pck</td> </tr> <tr> <td>レシーブFIFOデータ数レジスタ1</td> <td>SCFRDR1</td> <td>R</td> <td>HFE61 0020</td> <td>H'1E61 0020</td> <td>16</td> <td>Pck</td> </tr> </tbody> </table>	チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック	0	トランスミットFIFOデータ数レジスタ0	SCFDR0	R	HFE60 001C	H'1E60 001C	16	Pck	レシーブFIFOデータ数レジスタ0	SCFRDR0	R	HFE60 0020	H'1E60 0020	16	Pck	1	トランスミットFIFOデータ数レジスタ1	SCFDR1	R	HFE61 001C	H'1E61 001C	16	Pck	レシーブFIFOデータ数レジスタ1	SCFRDR1	R	HFE61 0020	H'1E61 0020	16	Pck																																																															
チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック																																																																																																
0	トランスミットFIFOデータ数レジスタ0	SCFDR0	R	HFE60 001C	H'1E60 001C	16	Pck																																																																																																
	レシーブFIFOデータ数レジスタ0	SCFRDR0	R	HFE60 0020	H'1E60 0020	16	Pck																																																																																																
1	トランスミットFIFOデータ数レジスタ1	SCFDR1	R	HFE61 001C	H'1E61 001C	16	Pck																																																																																																
	レシーブFIFOデータ数レジスタ1	SCFRDR1	R	HFE61 0020	H'1E61 0020	16	Pck																																																																																																
	17-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>略称</th> <th>R/W</th> <th>P4 アドレス</th> <th>エリア7 アドレス</th> <th>サイズ</th> <th>同期 クロック</th> </tr> </thead> <tbody> <tr> <td rowspan="2">2</td> <td>トランスミットFIFOデータ数レジスタ2</td> <td>SCFDR2</td> <td>R</td> <td>HFE62 001C</td> <td>H'1E62 001C</td> <td>16</td> <td>Pck</td> </tr> <tr> <td>レシーブFIFOデータ数レジスタ2</td> <td>SCFRDR2</td> <td>R</td> <td>HFE62 0020</td> <td>H'1E62 0020</td> <td>16</td> <td>Pck</td> </tr> </tbody> </table>	チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック	2	トランスミットFIFOデータ数レジスタ2	SCFDR2	R	HFE62 001C	H'1E62 001C	16	Pck	レシーブFIFOデータ数レジスタ2	SCFRDR2	R	HFE62 0020	H'1E62 0020	16	Pck																																																																														
チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック																																																																																																
2	トランスミットFIFOデータ数レジスタ2	SCFDR2	R	HFE62 001C	H'1E62 001C	16	Pck																																																																																																
	レシーブFIFOデータ数レジスタ2	SCFRDR2	R	HFE62 0020	H'1E62 0020	16	Pck																																																																																																
17.3.14 シリアルエラーレジスタ (SCRER)	17-27	<p>図を修正</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>-</td> <td>PER6</td> <td>PER5</td> <td>PER4</td> <td>PER3</td> <td>PER2</td> <td>PER1</td> <td>PER0</td> <td>-</td> <td>FER6</td> <td>FER5</td> <td>FER4</td> <td>FER3</td> <td>FER2</td> <td>FER1</td> <td>FER0</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R R R R R R R R R R R R R R R R</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>-</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</td> </tr> <tr> <td>14</td> <td>PER6</td> <td>0</td> <td>R</td> <td>パリティエラー数</td> </tr> <tr> <td>13</td> <td>PER5</td> <td>0</td> <td>R</td> <td>SCFDRRに格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSRのERビットがセットされた後、PER6~PER0示される値がパリティエラー発生データ数を表示します。SCFRDRの128バイトの受信データすべてがパリティエラーをとまなう場合、PER6~PER0は0を表示します。</td> </tr> <tr> <td>12</td> <td>PER4</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>11</td> <td>PER3</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>10</td> <td>PER2</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>9</td> <td>PER1</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>8</td> <td>PER0</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>7</td> <td>-</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</td> </tr> <tr> <td>6</td> <td>FER6</td> <td>0</td> <td>R</td> <td>フレーミングエラー数</td> </tr> <tr> <td>5</td> <td>FER5</td> <td>0</td> <td>R</td> <td>SCFDRRに格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</td> </tr> <tr> <td>4</td> <td>FER4</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>3</td> <td>FER3</td> <td>0</td> <td>R</td> <td>SCFSRのERビットがセットされた後、FER6~FER0で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDRの128バイトの受信データすべてがフレーミングエラーをとまなう場合、FER6~FER0は0を表示します。</td> </tr> <tr> <td>2</td> <td>FER2</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>1</td> <td>FER1</td> <td>0</td> <td>R</td> <td></td> </tr> <tr> <td>0</td> <td>FER0</td> <td>0</td> <td>R</td> <td></td> </tr> </tbody> </table>	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	ビット	ビット名	初期値	R/W	説明	15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	14	PER6	0	R	パリティエラー数	13	PER5	0	R	SCFDRRに格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSRのERビットがセットされた後、PER6~PER0示される値がパリティエラー発生データ数を表示します。SCFRDRの128バイトの受信データすべてがパリティエラーをとまなう場合、PER6~PER0は0を表示します。	12	PER4	0	R		11	PER3	0	R		10	PER2	0	R		9	PER1	0	R		8	PER0	0	R		7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	6	FER6	0	R	フレーミングエラー数	5	FER5	0	R	SCFDRRに格納されている受信データでフレーミングエラーの発生しているデータ数を示します。	4	FER4	0	R		3	FER3	0	R	SCFSRのERビットがセットされた後、FER6~FER0で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDRの128バイトの受信データすべてがフレーミングエラーをとまなう場合、FER6~FER0は0を表示します。	2	FER2	0	R		1	FER1	0	R		0	FER0	0	R	
-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0																																																																																								
ビット	ビット名	初期値	R/W	説明																																																																																																			
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																																																																																																			
14	PER6	0	R	パリティエラー数																																																																																																			
13	PER5	0	R	SCFDRRに格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSRのERビットがセットされた後、PER6~PER0示される値がパリティエラー発生データ数を表示します。SCFRDRの128バイトの受信データすべてがパリティエラーをとまなう場合、PER6~PER0は0を表示します。																																																																																																			
12	PER4	0	R																																																																																																				
11	PER3	0	R																																																																																																				
10	PER2	0	R																																																																																																				
9	PER1	0	R																																																																																																				
8	PER0	0	R																																																																																																				
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																																																																																																			
6	FER6	0	R	フレーミングエラー数																																																																																																			
5	FER5	0	R	SCFDRRに格納されている受信データでフレーミングエラーの発生しているデータ数を示します。																																																																																																			
4	FER4	0	R																																																																																																				
3	FER3	0	R	SCFSRのERビットがセットされた後、FER6~FER0で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDRの128バイトの受信データすべてがフレーミングエラーをとまなう場合、FER6~FER0は0を表示します。																																																																																																			
2	FER2	0	R																																																																																																				
1	FER1	0	R																																																																																																				
0	FER0	0	R																																																																																																				
17.6 使用上の注意事項 (7) TENDフラグに関する注意事項	17-51	説明を追加																																																																																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
19.3.1 スレーブコントロールレジスタ (ICSCR)	19-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>SDBS</td> <td>0</td> <td>R/W</td> <td>スレーブデータバッファセレクト データバッファを選択します。データバッファには、FIFO バッファモードとシングルバッファモードの2つのモードがあります。 このビットを0にクリアするとFIFO バッファが選択されます。受信モード時に、FIFO 内に格納された受信データ数がRTRG3～RTRG0で設定した数以上になり、RDFフラグがセットされている間はSCLがローレベルに保持されます。FIFO バッファから受信データを読み出し、RDFフラグをクリアすると、SCLのローレベルが解除されます。 このビットに1をセットするとシングルバッファが選択されます。受信データレジスタがデータバケットを受信してからSDRがクリアされるまでSCLがローレベルに保持されます。 0: FIFO バッファモード 1: シングルバッファモード</td> </tr> <tr> <td>2</td> <td>SIE</td> <td>0</td> <td>R/W</td> <td>スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、FIFO バッファモードとシングルバッファモードの2つのモードがあります。 このビットを0にクリアするとFIFO バッファが選択されます。受信モード時に、FIFO 内に格納された受信データ数がRTRG3～RTRG0で設定した数以上になり、RDFフラグがセットされている間はSCLがローレベルに保持されます。FIFO バッファから受信データを読み出し、RDFフラグをクリアすると、SCLのローレベルが解除されます。 このビットに1をセットするとシングルバッファが選択されます。受信データレジスタがデータバケットを受信してからSDRがクリアされるまでSCLがローレベルに保持されます。 0: FIFO バッファモード 1: シングルバッファモード	2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。					
ビット	ビット名	初期値	R/W	説明																		
3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、FIFO バッファモードとシングルバッファモードの2つのモードがあります。 このビットを0にクリアするとFIFO バッファが選択されます。受信モード時に、FIFO 内に格納された受信データ数がRTRG3～RTRG0で設定した数以上になり、RDFフラグがセットされている間はSCLがローレベルに保持されます。FIFO バッファから受信データを読み出し、RDFフラグをクリアすると、SCLのローレベルが解除されます。 このビットに1をセットするとシングルバッファが選択されます。受信データレジスタがデータバケットを受信してからSDRがクリアされるまでSCLがローレベルに保持されます。 0: FIFO バッファモード 1: シングルバッファモード																		
2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。																		
19.3.5 マスタコントロールレジスタ (ICMCR)	19-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>FSB</td> <td>0</td> <td>R/W</td> <td>バス上への強制ストップ このビットを1にセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESGもセットされた場合、マスタはただちにスタートを発行し新しいデータバケットの送信を開始します。ESGが1にセットされない場合、マスタはアイドル状態になります。 FIFO バッファモード送信時には、TENDフラグが1にセットされたときに、またFIFO バッファモード受信時には、RDFフラグが1にセットされたときに、FSBを設定してください。 シングルバッファモード設定時、ICモジュールは、FSBビット値を1バイトの最後のビットを送信または受信したときに取り込み、STOP動作に移行します。したがって、通信を所定バイト転送後にSTOPさせるためには、最後の1バイトの転送前にFSBを設定してください。 【注】「19.7 使用上の注意事項」を確認してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1	FSB	0	R/W	バス上への強制ストップ このビットを1にセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESGもセットされた場合、マスタはただちにスタートを発行し新しいデータバケットの送信を開始します。ESGが1にセットされない場合、マスタはアイドル状態になります。 FIFO バッファモード送信時には、TENDフラグが1にセットされたときに、またFIFO バッファモード受信時には、RDFフラグが1にセットされたときに、FSBを設定してください。 シングルバッファモード設定時、ICモジュールは、FSBビット値を1バイトの最後のビットを送信または受信したときに取り込み、STOP動作に移行します。したがって、通信を所定バイト転送後にSTOPさせるためには、最後の1バイトの転送前にFSBを設定してください。 【注】「19.7 使用上の注意事項」を確認してください。										
ビット	ビット名	初期値	R/W	説明																		
1	FSB	0	R/W	バス上への強制ストップ このビットを1にセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESGもセットされた場合、マスタはただちにスタートを発行し新しいデータバケットの送信を開始します。ESGが1にセットされない場合、マスタはアイドル状態になります。 FIFO バッファモード送信時には、TENDフラグが1にセットされたときに、またFIFO バッファモード受信時には、RDFフラグが1にセットされたときに、FSBを設定してください。 シングルバッファモード設定時、ICモジュールは、FSBビット値を1バイトの最後のビットを送信または受信したときに取り込み、STOP動作に移行します。したがって、通信を所定バイト転送後にSTOPさせるためには、最後の1バイトの転送前にFSBを設定してください。 【注】「19.7 使用上の注意事項」を確認してください。																		
19.3.6 マスタステータスレジスタ (ICMSR)	19-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>MDT</td> <td>0</td> <td>R/W*</td> <td>マスタデータ送信 バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後1になります。</td> </tr> <tr> <td>1</td> <td>MDR</td> <td>0</td> <td>R/W*</td> <td>マスタデータ受信 バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。FIFO バッファモード時のデータ転送では使用しません。 MDBSが1にセットされている場合、受信データレジスタがデータバケットを受信開始してからMDRがクリアされるまでSCLはローレベルに保持されます。 マスタ受信モードでは、MDRビットは、スレーブアドレスが送信された後にMATビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCRのESGビットがクリアされた後で、MDRとMATビットをクリアしてください。クリアすると、データ受信がスタートされます。</td> </tr> <tr> <td>0</td> <td>MAT</td> <td>0</td> <td>R/W*</td> <td>マスタアドレス送信 スレーブアドレスのバイトデータバケットがマスタによって送信されました。このビットはアドレスのackビット期間中でSCL立ち下がりエッジ後に1になります。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	MDT	0	R/W*	マスタデータ送信 バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後1になります。	1	MDR	0	R/W*	マスタデータ受信 バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。FIFO バッファモード時のデータ転送では使用しません。 MDBSが1にセットされている場合、受信データレジスタがデータバケットを受信開始してからMDRがクリアされるまでSCLはローレベルに保持されます。 マスタ受信モードでは、MDRビットは、スレーブアドレスが送信された後にMATビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCRのESGビットがクリアされた後で、MDRとMATビットをクリアしてください。クリアすると、データ受信がスタートされます。	0	MAT	0	R/W*	マスタアドレス送信 スレーブアドレスのバイトデータバケットがマスタによって送信されました。このビットはアドレスのackビット期間中でSCL立ち下がりエッジ後に1になります。
ビット	ビット名	初期値	R/W	説明																		
2	MDT	0	R/W*	マスタデータ送信 バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後1になります。																		
1	MDR	0	R/W*	マスタデータ受信 バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中にSCLの立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。FIFO バッファモード時のデータ転送では使用しません。 MDBSが1にセットされている場合、受信データレジスタがデータバケットを受信開始してからMDRがクリアされるまでSCLはローレベルに保持されます。 マスタ受信モードでは、MDRビットは、スレーブアドレスが送信された後にMATビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCRのESGビットがクリアされた後で、MDRとMATビットをクリアしてください。クリアすると、データ受信がスタートされます。																		
0	MAT	0	R/W*	マスタアドレス送信 スレーブアドレスのバイトデータバケットがマスタによって送信されました。このビットはアドレスのackビット期間中でSCL立ち下がりエッジ後に1になります。																		
19.3.8 マスタアドレスレジスタ (ICMAR)	19-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>STM1</td> <td>0</td> <td>R/W</td> <td>スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード（送信または受信）を、マスタから送信されたスレーブアドレス（SADD1）と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信したSTM1の値によってハードウェアが自動的に送信/受信を設定します。 このビットが1にセットされると読み出し、0にクリアされると書き込みになります。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード（送信または受信）を、マスタから送信されたスレーブアドレス（SADD1）と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信したSTM1の値によってハードウェアが自動的に送信/受信を設定します。 このビットが1にセットされると読み出し、0にクリアされると書き込みになります。										
ビット	ビット名	初期値	R/W	説明																		
0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード（送信または受信）を、マスタから送信されたスレーブアドレス（SADD1）と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信したSTM1の値によってハードウェアが自動的に送信/受信を設定します。 このビットが1にセットされると読み出し、0にクリアされると書き込みになります。																		

修正項目	ページ	修正内容（詳細はマニュアル参照）
19.3.14 受信 FIFO データ数レジスタ (ICRFDR)	19-22	説明を修正 H'0000 0000 は受信データがないことを、H'0000 0010 は ICRXD に 16 バイトの受信データが格納されていることを示します。
19.3.15 送信 FIFO データ数レジスタ (ICTFDR)	19-22	説明を修正 H'0000 0000 は送信データがないことを、H'0000 0010 は ICTXD に 16 バイトの送信データが格納されていることを示します。
19.4.8 マスタ送信動作(シングルバッファモード)	19-28	説明を修正 マスタコントロールレジスタの MDBS ビットをセットすることにより、 μ Pc はシングルバッファモードで動作します。 1. 初期状態では、スレーブアドレス、送信データ、送信スピードに従ってクロックコントロールレジスタとマスタ割り込みイネーブルレジスタのクロックコントロールビットと割り込み生成ステータスコントロールビットを設定してください。マスタモードが使用されているときでもスレーブモードは要求されるので、スレーブアドレスレジスタにデバイスのアドレスを設定してください。 また、マスタコントロールレジスタの MDBS ビットとスレーブコントロールレジスタの SDBS ビットは動作中では変更しないでください。動作途中でこれらのビットを変更すると誤動作することがあります。
19.5.1 マスタ送信動作 (FIFO バッファモード)	19-31	説明を修正 2. FSB セットは、トランスミット FIFO データエンptyフラグ (TDFE) がセットされてから 1SCL クロック後以降、9SCL クロック以内に行ってください (図 19.15 参照)*。たとえば、3 バイト送信したいときは、3 バイト分のデータを FIFO にライトして送信後、TDFE=1 をポーリングまたは送信 FIFO データエンpty (TXI) 割り込みにより確認し、TDFE=1 から 1SCL クロックから 9SCL の間に FSB をセットしてください。なお、割り込み応答および処理時間を含め、システム上 FSB をセットするタイミングにご注意ください。 【注】* このタイミングで FSB がセットされないと、STOP 条件 (P) が正しく発行されない場合があります。
19.6.1 マスタ送信(シングルバッファモード) (4) データバイトの送信経過を監視	19-33	説明を修正 1. マスタデバイスのイベント (マスタステータスレジスタの MDE ビット) 待ち 2. 送信データレジスタに次のデータバイトを設定* 【注】* 「1 番目のデータバイトを出力し終わるまでに実行してください」の制限事項は必要ありません。
19.6.4 マスタ送信 (FIFO バッファモード)	19-36	説明を修正 7. TDFE を待って、ICTXD に続く送信データをライト ICFSR = H'0000 0000 (フラグをクリア) (繰り返し) 8. TDFE が 1 にセットされた 1SCL クロック後から 9SCL クロックまでの間に FSB を 1 にセット (図 19.15 参照)

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
19.6.5 マスタ受信（FIFO バッファモード）	19-36	<p>説明を修正</p> <p>3. ICFCR に RDF トリガ値をセット</p> <p>RDF が 0 であることを確認</p> <p>（RDF が 1 にセットされている場合は、ICRXD からデータをリードした後に RDF を 0 クリアしてください。）</p> <p>4. ICMCR = H'0000 0009（ESG をセット）</p> <p>（ここで、スレープアドレスが IC バス上に出力されます）</p> <p>5. MAT を待って、ESG を 0 にクリア</p> <p>6. RDF を待って、ICRXD から受信したデータをリード</p> <p>7. RDF を待って、FSB を 1 にセット</p> <p>8. RDF が 1 にセットされた後、1 ビット期間待ってから、ICRXD から受信したデータをリード</p>																								
19.7.1 制限事項 1	19-37	説明を差し替え																								
19.7.2 制限事項 2	19-37、 19-38	説明を差し替え																								
20.3 レジスタの説明 表 20.2 レジスタ構成（1）	20-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>略称</th> <th>R/W</th> <th>P4 アドレス</th> <th>エリア7 アドレス</th> <th>サイズ</th> <th>同期 クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>トランスミットデータレジスタ 0</td> <td>SSITDR0</td> <td>R/W</td> <td>H'FE68 0008</td> <td>H'1E68 0008</td> <td>32</td> <td>Pck</td> </tr> <tr> <td>1</td> <td>トランスミットデータレジスタ 1</td> <td>SSITDR1</td> <td>R/W</td> <td>H'FE69 0008</td> <td>H'1E69 0008</td> <td>32</td> <td>Pck</td> </tr> </tbody> </table>	チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック	0	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FE68 0008	H'1E68 0008	32	Pck	1	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FE69 0008	H'1E69 0008	32	Pck
チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック																			
0	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FE68 0008	H'1E68 0008	32	Pck																			
1	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FE69 0008	H'1E69 0008	32	Pck																			
20.3.1 コントロールレジスタ （SSICR）	20-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>SCKD</td> <td>0</td> <td>R/W</td> <td>シリアルビットクロック方向 0：シリアルビットクロック入力、スレープモード 1：シリアルビットクロック出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。</td> </tr> <tr> <td>14</td> <td>SWSD</td> <td>0</td> <td>R/W</td> <td>シリアル WS 方向 0：シリアルワード選択入力、スレープモード 1：シリアルワード選択出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	SCKD	0	R/W	シリアルビットクロック方向 0：シリアルビットクロック入力、スレープモード 1：シリアルビットクロック出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。	14	SWSD	0	R/W	シリアル WS 方向 0：シリアルワード選択入力、スレープモード 1：シリアルワード選択出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。									
ビット	ビット名	初期値	R/W	説明																						
15	SCKD	0	R/W	シリアルビットクロック方向 0：シリアルビットクロック入力、スレープモード 1：シリアルビットクロック出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。																						
14	SWSD	0	R/W	シリアル WS 方向 0：シリアルワード選択入力、スレープモード 1：シリアルワード選択出力、マスタモード 【注】非圧縮モード（CPEN=0）の場合、（SCKD、SWSD）=（0、0）、（1、1）のみ設定可能です。																						
	20-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11</td> <td>SPDP</td> <td>0</td> <td>R/W</td> <td>シリアルパディング極性 CPEN=1 のとき、このビットは無視されます。 0：パディングビットはローレベル 1：パディングビットはハイレベル 【注】MUEN=1 のとき、パディングビットはローレベルになります。 （MUTE 機能が優先されます）</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	11	SPDP	0	R/W	シリアルパディング極性 CPEN=1 のとき、このビットは無視されます。 0：パディングビットはローレベル 1：パディングビットはハイレベル 【注】MUEN=1 のとき、パディングビットはローレベルになります。 （MUTE 機能が優先されます）														
ビット	ビット名	初期値	R/W	説明																						
11	SPDP	0	R/W	シリアルパディング極性 CPEN=1 のとき、このビットは無視されます。 0：パディングビットはローレベル 1：パディングビットはハイレベル 【注】MUEN=1 のとき、パディングビットはローレベルになります。 （MUTE 機能が優先されます）																						
20.3.1 コントロールレジスタ （SSICR）	20-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>8</td> <td>DEL</td> <td>0</td> <td>R/W</td> <td>シリアルデータディレイ 0：SSI_WS と SSI_SDAT の間で 1 クロックサイクルの遅延 1：SSI_WS と SSI_SDAT の間の遅延なし CPEN=1 のとき、このビットは 1 にセットしてください。SSI モジュールがスレープトランスミッタ（SWSD=0 かつ TRMD=1）として動作する場合、遅延なしのモードはサポートされません。このような場合、このビットを 0 に設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	8	DEL	0	R/W	シリアルデータディレイ 0：SSI_WS と SSI_SDAT の間で 1 クロックサイクルの遅延 1：SSI_WS と SSI_SDAT の間の遅延なし CPEN=1 のとき、このビットは 1 にセットしてください。SSI モジュールがスレープトランスミッタ（SWSD=0 かつ TRMD=1）として動作する場合、遅延なしのモードはサポートされません。このような場合、このビットを 0 に設定してください。														
ビット	ビット名	初期値	R/W	説明																						
8	DEL	0	R/W	シリアルデータディレイ 0：SSI_WS と SSI_SDAT の間で 1 クロックサイクルの遅延 1：SSI_WS と SSI_SDAT の間の遅延なし CPEN=1 のとき、このビットは 1 にセットしてください。SSI モジュールがスレープトランスミッタ（SWSD=0 かつ TRMD=1）として動作する場合、遅延なしのモードはサポートされません。このような場合、このビットを 0 に設定してください。																						

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																																															
20.3.1 コントロールレジスタ (SSICR)	20-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>OPEN</td> <td>0</td> <td>R/W</td> <td> 圧縮モードイネーブル 0：圧縮モードを禁止 1：圧縮モードを許可 【注】圧縮モード（OPEN=1）の場合、スレーブトランスミッタ（SWSD=0 かつ TRMD=1）以外の動作でご使用ください。 </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	OPEN	0	R/W	圧縮モードイネーブル 0：圧縮モードを禁止 1：圧縮モードを許可 【注】圧縮モード（OPEN=1）の場合、スレーブトランスミッタ（SWSD=0 かつ TRMD=1）以外の動作でご使用ください。																																																																																																																																																					
ビット	ビット名	初期値	R/W	説明																																																																																																																																																													
2	OPEN	0	R/W	圧縮モードイネーブル 0：圧縮モードを禁止 1：圧縮モードを許可 【注】圧縮モード（OPEN=1）の場合、スレーブトランスミッタ（SWSD=0 かつ TRMD=1）以外の動作でご使用ください。																																																																																																																																																													
20.3.2 ステータスレジスタ (SSISR)	20-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>IDST</td> <td>1</td> <td>R</td> <td> アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 EN=1かつシリアルバスが動作中のとき、このビットはクリアされます。 このビットは以下の条件のときに自動的に1にセットされます。 【SSIがマスタトランスミッタ（SWSD=1かつTRMD=1）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。また、ENビットがクリアされ、SSIDRに書 き込まれているデータがシリアルデータ入出力端子（SSI_SDATA）から 出力を完了すると（システムワード長出力を完了すると）、このビットは 1にセットされます。 【SSIがマスタレシーバ（SWSD=1かつTRMD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。 【SSIがスレーブトランスミッタ/レシーバ（SWSD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。なお、転送を終了させる場合、SSICREN=0 とした後、SSICR.IDST=1となるまでWS信号を継続して入力してくださ さい。 【注】現在のシステムワードが終了する前に外部デバイスがシリアルバス クロックを停止すると、このビットはセットされません。 </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	IDST	1	R	アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 EN=1かつシリアルバスが動作中のとき、このビットはクリアされます。 このビットは以下の条件のときに自動的に1にセットされます。 【SSIがマスタトランスミッタ（SWSD=1かつTRMD=1）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。また、ENビットがクリアされ、SSIDRに書 き込まれているデータがシリアルデータ入出力端子（SSI_SDATA）から 出力を完了すると（システムワード長出力を完了すると）、このビットは 1にセットされます。 【SSIがマスタレシーバ（SWSD=1かつTRMD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。 【SSIがスレーブトランスミッタ/レシーバ（SWSD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。なお、転送を終了させる場合、SSICREN=0 とした後、SSICR.IDST=1となるまでWS信号を継続して入力してくださ さい。 【注】現在のシステムワードが終了する前に外部デバイスがシリアルバス クロックを停止すると、このビットはセットされません。																																																																																																																																																					
ビット	ビット名	初期値	R/W	説明																																																																																																																																																													
0	IDST	1	R	アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 EN=1かつシリアルバスが動作中のとき、このビットはクリアされます。 このビットは以下の条件のときに自動的に1にセットされます。 【SSIがマスタトランスミッタ（SWSD=1かつTRMD=1）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。また、ENビットがクリアされ、SSIDRに書 き込まれているデータがシリアルデータ入出力端子（SSI_SDATA）から 出力を完了すると（システムワード長出力を完了すると）、このビットは 1にセットされます。 【SSIがマスタレシーバ（SWSD=1かつTRMD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。 【SSIがスレーブトランスミッタ/レシーバ（SWSD=0）のとき】 ENビットがクリアされ、現在のシステムワードが終了すると、このビッ トは1にセットされます。なお、転送を終了させる場合、SSICREN=0 とした後、SSICR.IDST=1となるまでWS信号を継続して入力してくださ さい。 【注】現在のシステムワードが終了する前に外部デバイスがシリアルバス クロックを停止すると、このビットはセットされません。																																																																																																																																																													
20.3.3 トランスミットデータレ ジスタ (SSIDR)	20-13	<p>図を修正</p> <table border="1"> <tr> <td>ビット:</td> <td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> <tr> <td>ビット:</td> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table>	ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																									
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																																																																																	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																																																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																																																																																																	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																																																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																																																																																																	
20.4.1 バスフォーマット 表 20.3 SSI モジュールのバスフ ォーマット	20-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>バスフォーマット</th> <th>TRMD</th> <th>OPEN</th> <th>SCKO</th> <th>SWSD</th> <th>EN</th> <th>MEN</th> <th>DIEN</th> <th>UIEN</th> <th>OIEN</th> <th>DEL</th> <th>SDTA</th> <th>SPDP</th> <th>SWSP</th> <th>SCKP</th> <th>SWL[2:0]</th> <th>DWL[2:0]</th> <th>CHNL[1:0]</th> </tr> </thead> <tbody> <tr> <td>非圧縮スレーブレシーバ</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td></td> <td colspan="4">コントロールビット</td> <td colspan="7">コンフィギュレーションビット</td> </tr> <tr> <td>非圧縮スレーブトランスミッタ</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td></td> <td colspan="4"></td> <td colspan="7"></td> </tr> <tr> <td>非圧縮マスタレシーバ</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td></td> <td colspan="4"></td> <td colspan="7"></td> </tr> <tr> <td>非圧縮マスタトランスミッタ</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td></td> <td colspan="4"></td> <td colspan="7"></td> </tr> <tr> <td>圧縮スレーブレシーバ</td> <td>0</td> <td>1</td> <td>0/1</td> <td>0</td> <td></td> <td colspan="4">コントロールビット</td> <td>1</td> <td>無視されます</td> <td>*</td> <td>無視されます</td> <td colspan="4"></td> </tr> <tr> <td>圧縮スレーブトランスミッタ</td> <td colspan="18">使用禁止</td> </tr> <tr> <td>圧縮マスタレシーバ</td> <td>0</td> <td>1</td> <td>0/1</td> <td>1</td> <td></td> <td colspan="4">コントロールビット</td> <td>1</td> <td>無視されます</td> <td>*</td> <td>無視されます</td> <td colspan="4"></td> </tr> <tr> <td>圧縮マスタトランスミッタ</td> <td>1</td> <td>1</td> <td>0/1</td> <td>1</td> <td></td> <td colspan="4"></td> <td>1</td> <td></td> <td></td> <td></td> <td colspan="4"></td> </tr> </tbody> </table> <p>【注】*: コンフィギュレーションビット</p>	バスフォーマット	TRMD	OPEN	SCKO	SWSD	EN	MEN	DIEN	UIEN	OIEN	DEL	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]	非圧縮スレーブレシーバ	0	0	0	0		コントロールビット				コンフィギュレーションビット							非圧縮スレーブトランスミッタ	1	0	0	0													非圧縮マスタレシーバ	0	0	1	1													非圧縮マスタトランスミッタ	1	0	1	1													圧縮スレーブレシーバ	0	1	0/1	0		コントロールビット				1	無視されます	*	無視されます					圧縮スレーブトランスミッタ	使用禁止																		圧縮マスタレシーバ	0	1	0/1	1		コントロールビット				1	無視されます	*	無視されます					圧縮マスタトランスミッタ	1	1	0/1	1						1							
バスフォーマット	TRMD	OPEN	SCKO	SWSD	EN	MEN	DIEN	UIEN	OIEN	DEL	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]																																																																																																																																																
非圧縮スレーブレシーバ	0	0	0	0		コントロールビット				コンフィギュレーションビット																																																																																																																																																							
非圧縮スレーブトランスミッタ	1	0	0	0																																																																																																																																																													
非圧縮マスタレシーバ	0	0	1	1																																																																																																																																																													
非圧縮マスタトランスミッタ	1	0	1	1																																																																																																																																																													
圧縮スレーブレシーバ	0	1	0/1	0		コントロールビット				1	無視されます	*	無視されます																																																																																																																																																				
圧縮スレーブトランスミッタ	使用禁止																																																																																																																																																																
圧縮マスタレシーバ	0	1	0/1	1		コントロールビット				1	無視されます	*	無視されます																																																																																																																																																				
圧縮マスタトランスミッタ	1	1	0/1	1						1																																																																																																																																																							
20.4.1 バスフォーマット 図 20.6 マルチチャンネルフォー マット(4チャンネル、パディングなし) 図 20.7 マルチチャンネルフォー マット(6チャンネル、Highパディ ング)	20-19	<p>図を修正</p> <p>SCKP=0、SWSP=0、DEL=1、CHNL=01、SPDP=Don't care、SDTA=Don't care システムワード長=データワード長×2のとき</p> <p>図を修正</p> <p>SCKP=0、SWSP=0、DEL=1、CHNL=10、SPDP=1、SDTA=0 システムワード長=データワード長×3のとき</p>																																																																																																																																																															

修正項目	ページ	修正内容（詳細はマニュアル参照）
20.4.1 バスフォーマット 図 20.8 マルチチャネルフォーマット（8チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり）	20-20	図を修正 SCKP=0、SWSP=0、DEL=1、CHNL=11、SPDP=0、SDTA=1 システムワード長 > データワード長 × 4 のとき
20.4.3 圧縮モード 図 20.18 圧縮データフォーマット、マスタトランスミッタ、バーストモード無効 ----- 図 20.19 圧縮データフォーマット、マスタトランスミッタ、バーストモード有効 ----- (2)スレーブトランスミッタ	20-24	図を修正 TRMD = 1、CPEN = 1、SCKD = 1、SWSD = 1、SWSP = 0、BREN = 0 図を修正 TRMD = 1、CPEN = 1、SCKD = 1、SWSD = 1、SWSP = 0、BREN = 1 説明を修正 このモードは、使用しないでください。
20.5.2 SSI モジュールスレーブモード動作を停止するときの注意事項	20-32	新規追加
21. USB ホスト (USB)	21-1	説明を修正 本 USB ホストは、ユニバーサルシリアルバス (Universal Serial Bus) バージョン 1.1* ¹ と OpenHCI をサポート* ² しています。
21.1 特長	21-1	注を追加 <ul style="list-style-type: none"> OpenHCI (Open Host Controller Interface) 1.0 レジスタセットをサポート*² ユニバーサルシリアルバス (Universal Serial Bus) バージョン 1.1*¹をサポート 【注】* ¹ USB の電気的特性は、「第 33 章 電気的特性」を参照してください。 * ² レジスタの機能に一部準拠していない部分があります。詳細は、「21.3 レジスタの説明」、「21.6 HcRhDescriptorA の設定に関する制約」を参照してください。
21.4 メモリ説明	21-33	説明を追加 ただし、USB ホストコントローラが、USB の共有メモリの 4K バイト境界付近である下記アドレスからリードした場合、誤ったデータが読み出されることがあるため、下記アドレスの USB 共有メモリは使用しないでください。 使用禁止の USB 共有メモリ空間 (USB ホストコントローラから見たときのアドレス) <ul style="list-style-type: none"> H'0000 0FFC ~ H'0000 0FFF H'0000 1FFC ~ H'0000 1FFF

修正項目	ページ	修正内容（詳細はマニュアル参照）																									
21.5.1 転送データの格納フォーマット	21-34	<p>説明を修正</p> <p>USB ホストは、CPU のエンディアン設定にかかわらず、リトルエンディアン仕様でアドレスの下位側から上位側に向けてデータが詰まっていることを期待しています。図 21.3 に USB のデータ読み出しの様子を記します。</p> <p>...</p> <p>上記メモリ上のデータと読み出されたデータの関連は常に等しい必要があります。USB ホストはエンディアンの如何にかかわらず、ロングワードリードを行います。その際に読み出したデータはリトルエンディアン仕様で下位アドレスから上位アドレスに向けて、バイト単位に積み上げられていることが前提となります。つまり、本 LSI の動作中のエンディアンがリトルエンディアンであるかビッグエンディアンであるかにかかわらず、リトルエンディアン仕様でロングワード単位でアドレスの下位側から詰めてデータを置いてください。</p> <p>...</p> <p>また、USB ホストは、エンディアンの如何によらず、データの読み出し / 書き込みを双方向に矛盾なく行うために、書き込みの際、リトルエンディアン仕様でメモリの下位ビット側からデータを詰めます。</p>																									
22.5.1 マスタコントロールレジスタ (CANMCR)	22-21	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>TST2</td> <td>0</td> <td>R/W</td> <td> <p>Rx 入力無効</p> <p>CAN インタフェースブロックに供給される Rx を制御します。本ビットが有効 ("0") に設定されると、Rx 端子の値が CAN インタフェースブロックに供給されます。無効に設定されると CAN インタフェースブロックの Rx 値は常にリセット値が保持されるか、または内部ループ有効 = 1 の場合は内部で継続された Tx の値になります。</p> <p>0 : 外部 Rx 端子の値が CAN インタフェースブロックに供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : CAN インタフェースブロックの Rx の値はリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : CAN インタフェースブロックに対して内部で Tx の値を供給します。</p> </td> </tr> <tr> <td>9</td> <td>TST1</td> <td>0</td> <td>R/W</td> <td> <p>Tx 出力無効</p> <p>送信データを出力するかまたはリセットビットを出力するか Tx を制御します。本ビットが有効 ("0") に設定されると、内部の送信出力端子の値が Tx 端子に現れます。無効に設定されると CAN インタフェースブロックの Tx 値は常にリセット値が保持されます。</p> <p>0 : 外部 Tx 端子の値が CAN インタフェースブロックから供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : Tx のリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : Tx の値は内部 Rx から供給されます。</p> </td> </tr> <tr> <td>8</td> <td>TST0</td> <td>0</td> <td>R/W</td> <td> <p>内部ループ有効</p> <p>内部 Tx から内部 Rx へのループバックを有効 ("1") / 無効 ("0") にします。詳細については、動作説明を参照してください。</p> <p>0 : Rx は Rx 端子から供給されます。</p> <p>1 : Rx は内部 Tx から供給されます。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	10	TST2	0	R/W	<p>Rx 入力無効</p> <p>CAN インタフェースブロックに供給される Rx を制御します。本ビットが有効 ("0") に設定されると、Rx 端子の値が CAN インタフェースブロックに供給されます。無効に設定されると CAN インタフェースブロックの Rx 値は常にリセット値が保持されるか、または内部ループ有効 = 1 の場合は内部で継続された Tx の値になります。</p> <p>0 : 外部 Rx 端子の値が CAN インタフェースブロックに供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : CAN インタフェースブロックの Rx の値はリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : CAN インタフェースブロックに対して内部で Tx の値を供給します。</p>	9	TST1	0	R/W	<p>Tx 出力無効</p> <p>送信データを出力するかまたはリセットビットを出力するか Tx を制御します。本ビットが有効 ("0") に設定されると、内部の送信出力端子の値が Tx 端子に現れます。無効に設定されると CAN インタフェースブロックの Tx 値は常にリセット値が保持されます。</p> <p>0 : 外部 Tx 端子の値が CAN インタフェースブロックから供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : Tx のリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : Tx の値は内部 Rx から供給されます。</p>	8	TST0	0	R/W	<p>内部ループ有効</p> <p>内部 Tx から内部 Rx へのループバックを有効 ("1") / 無効 ("0") にします。詳細については、動作説明を参照してください。</p> <p>0 : Rx は Rx 端子から供給されます。</p> <p>1 : Rx は内部 Tx から供給されます。</p>					
ビット	ビット名	初期値	R/W	説明																							
10	TST2	0	R/W	<p>Rx 入力無効</p> <p>CAN インタフェースブロックに供給される Rx を制御します。本ビットが有効 ("0") に設定されると、Rx 端子の値が CAN インタフェースブロックに供給されます。無効に設定されると CAN インタフェースブロックの Rx 値は常にリセット値が保持されるか、または内部ループ有効 = 1 の場合は内部で継続された Tx の値になります。</p> <p>0 : 外部 Rx 端子の値が CAN インタフェースブロックに供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : CAN インタフェースブロックの Rx の値はリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : CAN インタフェースブロックに対して内部で Tx の値を供給します。</p>																							
9	TST1	0	R/W	<p>Tx 出力無効</p> <p>送信データを出力するかまたはリセットビットを出力するか Tx を制御します。本ビットが有効 ("0") に設定されると、内部の送信出力端子の値が Tx 端子に現れます。無効に設定されると CAN インタフェースブロックの Tx 値は常にリセット値が保持されます。</p> <p>0 : 外部 Tx 端子の値が CAN インタフェースブロックから供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : Tx のリセット値を保持します。</p> <p>内部ループ有効 = 1 の場合 : Tx の値は内部 Rx から供給されます。</p>																							
8	TST0	0	R/W	<p>内部ループ有効</p> <p>内部 Tx から内部 Rx へのループバックを有効 ("1") / 無効 ("0") にします。詳細については、動作説明を参照してください。</p> <p>0 : Rx は Rx 端子から供給されます。</p> <p>1 : Rx は内部 Tx から供給されます。</p>																							
22.5.3 ビットコンフィギュレーションレジスタ 1、0 (CANBCR1、CANBCR0)	22-25	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>TSEG1_3</td> <td>0</td> <td>R/W</td> <td>タイムセグメント 1</td> </tr> <tr> <td>14</td> <td>TSEG1_2</td> <td>0</td> <td>R/W</td> <td>出力バッファアプソーピング、CAN バス、インプットバッファディレイのセグメントを設定します。4~16 タイムクオンタムが設定できます。</td> </tr> <tr> <td>13</td> <td>TSEG1_1</td> <td>0</td> <td>R/W</td> <td>0000 : 設定禁止 (本ビットの設定値を必ず初期値から変更してください)</td> </tr> <tr> <td>12</td> <td>TSEG1_0</td> <td>0</td> <td>R/W</td> <td> 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタム 0100 : PRSEG + PHSEG1 = 5 タイムクオンタム : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタム </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	TSEG1_3	0	R/W	タイムセグメント 1	14	TSEG1_2	0	R/W	出力バッファアプソーピング、CAN バス、インプットバッファディレイのセグメントを設定します。4~16 タイムクオンタムが設定できます。	13	TSEG1_1	0	R/W	0000 : 設定禁止 (本ビットの設定値を必ず初期値から変更してください)	12	TSEG1_0	0	R/W	0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタム 0100 : PRSEG + PHSEG1 = 5 タイムクオンタム : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタム
ビット	ビット名	初期値	R/W	説明																							
15	TSEG1_3	0	R/W	タイムセグメント 1																							
14	TSEG1_2	0	R/W	出力バッファアプソーピング、CAN バス、インプットバッファディレイのセグメントを設定します。4~16 タイムクオンタムが設定できます。																							
13	TSEG1_1	0	R/W	0000 : 設定禁止 (本ビットの設定値を必ず初期値から変更してください)																							
12	TSEG1_0	0	R/W	0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタム 0100 : PRSEG + PHSEG1 = 5 タイムクオンタム : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタム																							

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
22.5.3 ビットコンフィギュレーションレジスタ 1、0 (CANBCR1、CANBCR0) ● CANBCR1	22-26	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>TSEG2_2</td> <td>0</td> <td>R/W</td> <td>タイムセグメント 2</td> </tr> <tr> <td>9</td> <td>TSEG2_1</td> <td>0</td> <td>R/W</td> <td>1 ビットタイムエラー訂正のセグメントを設定します。2-8 タイムクオンタムが設定できます。</td> </tr> <tr> <td>8</td> <td>TSEG2_0</td> <td>0</td> <td>R/W</td> <td>000: 設定禁止 (本ビットの設定値を必ず初期値から変更してください) 001: PHSEG2 = 2 タイムクオンタム (条件によっては設定禁止です。表 22.2 を参照してください。) 010: PHSEG2 = 3 タイムクオンタム 011: PHSEG2 = 4 タイムクオンタム 100: PHSEG2 = 5 タイムクオンタム 101: PHSEG2 = 6 タイムクオンタム 110: PHSEG2 = 7 タイムクオンタム 111: PHSEG2 = 8 タイムクオンタム</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	10	TSEG2_2	0	R/W	タイムセグメント 2	9	TSEG2_1	0	R/W	1 ビットタイムエラー訂正のセグメントを設定します。2-8 タイムクオンタムが設定できます。	8	TSEG2_0	0	R/W	000: 設定禁止 (本ビットの設定値を必ず初期値から変更してください) 001: PHSEG2 = 2 タイムクオンタム (条件によっては設定禁止です。表 22.2 を参照してください。) 010: PHSEG2 = 3 タイムクオンタム 011: PHSEG2 = 4 タイムクオンタム 100: PHSEG2 = 5 タイムクオンタム 101: PHSEG2 = 6 タイムクオンタム 110: PHSEG2 = 7 タイムクオンタム 111: PHSEG2 = 8 タイムクオンタム
ビット	ビット名	初期値	R/W	説明																		
10	TSEG2_2	0	R/W	タイムセグメント 2																		
9	TSEG2_1	0	R/W	1 ビットタイムエラー訂正のセグメントを設定します。2-8 タイムクオンタムが設定できます。																		
8	TSEG2_0	0	R/W	000: 設定禁止 (本ビットの設定値を必ず初期値から変更してください) 001: PHSEG2 = 2 タイムクオンタム (条件によっては設定禁止です。表 22.2 を参照してください。) 010: PHSEG2 = 3 タイムクオンタム 011: PHSEG2 = 4 タイムクオンタム 100: PHSEG2 = 5 タイムクオンタム 101: PHSEG2 = 6 タイムクオンタム 110: PHSEG2 = 7 タイムクオンタム 111: PHSEG2 = 8 タイムクオンタム																		
22.5.5 割り込みマスクレジスタ (CANIMR)	22-33	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15、11、10</td> <td>-</td> <td>すべて 1</td> <td>R</td> <td>リザーブビット 書き込む値は常に 1 にしてください。読み出し値は保証されません。</td> </tr> <tr> <td>14-12、9-0</td> <td>IMR14-12、9-0</td> <td>すべて 1</td> <td>R/W</td> <td>対応する CANIRR14-12、9-0 ビットの割り込みをマスクします。このビットがセットされると、CANIRR ビットの設定は保持されますが割り込みはマスクされます。 0: 対応する CANIRR ビットはマスクされません。(IRQ が条件に従って生成されます。) 1: 対応する CANIRR ビットの割り込みがマスクされます。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15、11、10	-	すべて 1	R	リザーブビット 書き込む値は常に 1 にしてください。読み出し値は保証されません。	14-12、9-0	IMR14-12、9-0	すべて 1	R/W	対応する CANIRR14-12、9-0 ビットの割り込みをマスクします。このビットがセットされると、CANIRR ビットの設定は保持されますが割り込みはマスクされます。 0: 対応する CANIRR ビットはマスクされません。(IRQ が条件に従って生成されます。) 1: 対応する CANIRR ビットの割り込みがマスクされます。					
ビット	ビット名	初期値	R/W	説明																		
15、11、10	-	すべて 1	R	リザーブビット 書き込む値は常に 1 にしてください。読み出し値は保証されません。																		
14-12、9-0	IMR14-12、9-0	すべて 1	R/W	対応する CANIRR14-12、9-0 ビットの割り込みをマスクします。このビットがセットされると、CANIRR ビットの設定は保持されますが割り込みはマスクされます。 0: 対応する CANIRR ビットはマスクされません。(IRQ が条件に従って生成されます。) 1: 対応する CANIRR ビットの割り込みがマスクされます。																		
22.6.2 HCAN2 の設定 図 22.5 リセットシーケンス	22-48	<p>図を修正</p>																				
22.7 使用上の注意事項	22-55	新規追加																				
23.3.1 コントロールレジスタ (SPCR)	23-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>IDIV</td> <td>0</td> <td>R/W</td> <td>初期クロック分周比 0: マスタモード時、Pck を 4 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。 1: マスタモード時、Pck を 32 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	IDIV	0	R/W	初期クロック分周比 0: マスタモード時、Pck を 4 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。 1: マスタモード時、Pck を 32 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。										
ビット	ビット名	初期値	R/W	説明																		
5	IDIV	0	R/W	初期クロック分周比 0: マスタモード時、Pck を 4 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。 1: マスタモード時、Pck を 32 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																												
23.4.5 HSPI ソフトリセット	23-14	<p>説明を削除</p> <p>ソフトリセット後のデータ転送は、HSPI のデータ送信、受信プロトコルを守り、初めから行ってください。それ以外は動作保証しません。</p>																																																																																												
24.1 特長	24-1	<p>説明を削除</p> <p>本 LSI のマルチプレクスについては表 1.3、表 1.4 を参照してください。また、ポートの各端子の初期状態はブルアップされています。</p>																																																																																												
表 24.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表	24-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>ポート</th> <th>GPIO</th> <th>MFI モード (MD7 = 0)</th> <th>LCD モード (MD7 = 1)</th> <th>レジスタ設定</th> </tr> </thead> <tbody> <tr> <td>VCPWC/IRQ4</td> <td>E</td> <td>PTE1 入出力</td> <td>IRQ</td> <td>LCDC</td> <td></td> </tr> <tr> <td>VEPWC/IRQ5</td> <td>E</td> <td>PTE0 入出力</td> <td>IRQ</td> <td>LCDC</td> <td></td> </tr> </tbody> </table>	端子名	ポート	GPIO	MFI モード (MD7 = 0)	LCD モード (MD7 = 1)	レジスタ設定	VCPWC/IRQ4	E	PTE1 入出力	IRQ	LCDC		VEPWC/IRQ5	E	PTE0 入出力	IRQ	LCDC																																																																											
端子名	ポート	GPIO	MFI モード (MD7 = 0)	LCD モード (MD7 = 1)	レジスタ設定																																																																																									
VCPWC/IRQ4	E	PTE1 入出力	IRQ	LCDC																																																																																										
VEPWC/IRQ5	E	PTE0 入出力	IRQ	LCDC																																																																																										
24.2.21 GPIO 割り込みコントロールレジスタ (GPIOIC)	24-25	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">ビット名</th> <th colspan="2">ピン</th> <th rowspan="2">端子名</th> <th rowspan="2">ポート</th> <th rowspan="2">割り込みの種類</th> </tr> <tr> <th>17 × 17mm</th> <th>21 × 21mm</th> </tr> </thead> <tbody> <tr> <td>PTIREN15</td> <td>T1</td> <td>T2</td> <td>MFI-RW/LCD_FLM</td> <td>PTE2</td> <td rowspan="10">GPIO 割り込み</td> </tr> <tr> <td>PTIREN14</td> <td>T2</td> <td>T1</td> <td>MFI-RS/LCD_M_DISP</td> <td>PTE3</td> </tr> <tr> <td>PTIREN13</td> <td>T4</td> <td>R2</td> <td>MFI-MD/LCD_CL2</td> <td>PTE4</td> </tr> <tr> <td>PTIREN12</td> <td>R3</td> <td>R1</td> <td>MFI-E/LCD_CL1</td> <td>PTE5</td> </tr> <tr> <td>PTIREN11</td> <td>N3</td> <td>P2</td> <td>MFI-CS/LCD_DON</td> <td>PTE6</td> </tr> <tr> <td>PTIREN10</td> <td>N2</td> <td>P1</td> <td>MFI-INT/LCD_CLK</td> <td>PTE7</td> </tr> <tr> <td>PTIREN9</td> <td>A13</td> <td>A13</td> <td>SCIF2_CTS</td> <td>PTH6</td> </tr> <tr> <td>STBRT8</td> <td>A14</td> <td>A14</td> <td>SCIF2_RTS</td> <td>PTH5</td> </tr> <tr> <td>STBRT7</td> <td>C18</td> <td>C18</td> <td>USB_PENC</td> <td>PTH1</td> </tr> <tr> <td>STBRT6</td> <td>J20</td> <td>J20</td> <td>Reserved/AUDATA[3]</td> <td>PTK7</td> </tr> <tr> <td>STBIRQ5</td> <td>E2</td> <td>E2</td> <td>VEPWC/IRQ5</td> <td>PTE0</td> <td>IRQ 割り込み</td> </tr> <tr> <td>STBIRQ4</td> <td>E1</td> <td>E1</td> <td>VCPWC/IRQ4</td> <td>PTE1</td> <td></td> </tr> <tr> <td>STBIRL3</td> <td>M19</td> <td>M19</td> <td>IRL3</td> <td></td> <td rowspan="4">IRL 割り込み</td> </tr> <tr> <td>STBIRL2</td> <td>M20</td> <td>M20</td> <td>IRL2</td> <td></td> </tr> <tr> <td>STBIRL1</td> <td>N19</td> <td>N19</td> <td>IRL1</td> <td></td> </tr> <tr> <td>STBIRL0</td> <td>N20</td> <td>N20</td> <td>IRL0</td> <td></td> </tr> </tbody> </table>	ビット名	ピン		端子名	ポート	割り込みの種類	17 × 17mm	21 × 21mm	PTIREN15	T1	T2	MFI-RW/LCD_FLM	PTE2	GPIO 割り込み	PTIREN14	T2	T1	MFI-RS/LCD_M_DISP	PTE3	PTIREN13	T4	R2	MFI-MD/LCD_CL2	PTE4	PTIREN12	R3	R1	MFI-E/LCD_CL1	PTE5	PTIREN11	N3	P2	MFI-CS/LCD_DON	PTE6	PTIREN10	N2	P1	MFI-INT/LCD_CLK	PTE7	PTIREN9	A13	A13	SCIF2_CTS	PTH6	STBRT8	A14	A14	SCIF2_RTS	PTH5	STBRT7	C18	C18	USB_PENC	PTH1	STBRT6	J20	J20	Reserved/AUDATA[3]	PTK7	STBIRQ5	E2	E2	VEPWC/IRQ5	PTE0	IRQ 割り込み	STBIRQ4	E1	E1	VCPWC/IRQ4	PTE1		STBIRL3	M19	M19	IRL3		IRL 割り込み	STBIRL2	M20	M20	IRL2		STBIRL1	N19	N19	IRL1		STBIRL0	N20	N20	IRL0	
ビット名	ピン			端子名	ポート				割り込みの種類																																																																																					
	17 × 17mm	21 × 21mm																																																																																												
PTIREN15	T1	T2	MFI-RW/LCD_FLM	PTE2	GPIO 割り込み																																																																																									
PTIREN14	T2	T1	MFI-RS/LCD_M_DISP	PTE3																																																																																										
PTIREN13	T4	R2	MFI-MD/LCD_CL2	PTE4																																																																																										
PTIREN12	R3	R1	MFI-E/LCD_CL1	PTE5																																																																																										
PTIREN11	N3	P2	MFI-CS/LCD_DON	PTE6																																																																																										
PTIREN10	N2	P1	MFI-INT/LCD_CLK	PTE7																																																																																										
PTIREN9	A13	A13	SCIF2_CTS	PTH6																																																																																										
STBRT8	A14	A14	SCIF2_RTS	PTH5																																																																																										
STBRT7	C18	C18	USB_PENC	PTH1																																																																																										
STBRT6	J20	J20	Reserved/AUDATA[3]	PTK7																																																																																										
STBIRQ5	E2	E2	VEPWC/IRQ5	PTE0	IRQ 割り込み																																																																																									
STBIRQ4	E1	E1	VCPWC/IRQ4	PTE1																																																																																										
STBIRL3	M19	M19	IRL3		IRL 割り込み																																																																																									
STBIRL2	M20	M20	IRL2																																																																																											
STBIRL1	N19	N19	IRL1																																																																																											
STBIRL0	N20	N20	IRL0																																																																																											
24.2.35 周辺モジュールセレクトレジスタ (IPSELR)	24-35	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>11</td> <td>IPSELR11</td> <td>0</td> <td>R/W</td> <td rowspan="2">SSI[1][0]、HAC[1][0]のうち端子 SSI0_SCK/HAC_SD_IN0/BS2、SSI0_WS/HAC_SYNC0、SSI0_SDATA/HAC_SD_OUT0、SSI1_SCK/HAC_SD_IN1、SSI1_SDATA/HAC_SD_OUT1、SSI1_WS/HAC_SYNC1、HAC_BIT_CLK0、HAC_BIT_CLK1 を使用するモジュールを選択します。 00 : SSI[0]、SSI[1] 01 : HAC[0]、SSI[1] 10 : 設定禁止 11 : HAC[0]、HAC[1]</td> </tr> <tr> <td>10</td> <td>IPSELR10</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	11	IPSELR11	0	R/W	SSI[1][0]、HAC[1][0]のうち端子 SSI0_SCK/HAC_SD_IN0/BS2、SSI0_WS/HAC_SYNC0、SSI0_SDATA/HAC_SD_OUT0、SSI1_SCK/HAC_SD_IN1、SSI1_SDATA/HAC_SD_OUT1、SSI1_WS/HAC_SYNC1、HAC_BIT_CLK0、HAC_BIT_CLK1 を使用するモジュールを選択します。 00 : SSI[0]、SSI[1] 01 : HAC[0]、SSI[1] 10 : 設定禁止 11 : HAC[0]、HAC[1]	10	IPSELR10	0	R/W																																																																														
ビット	ビット名	初期値	R/W	説明																																																																																										
11	IPSELR11	0	R/W	SSI[1][0]、HAC[1][0]のうち端子 SSI0_SCK/HAC_SD_IN0/BS2、SSI0_WS/HAC_SYNC0、SSI0_SDATA/HAC_SD_OUT0、SSI1_SCK/HAC_SD_IN1、SSI1_SDATA/HAC_SD_OUT1、SSI1_WS/HAC_SYNC1、HAC_BIT_CLK0、HAC_BIT_CLK1 を使用するモジュールを選択します。 00 : SSI[0]、SSI[1] 01 : HAC[0]、SSI[1] 10 : 設定禁止 11 : HAC[0]、HAC[1]																																																																																										
10	IPSELR10	0	R/W																																																																																											
25.5.5 HACTSR.CMDAMT ビットに関する制限事項	-	削除																																																																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）
25.5.5 初期化シーケンス 図 25.4 外部コーデックレジスタ 書き込みフローチャート例	25-22	<p>図を修正</p> <p>必要条件: HACACR.TX12_ATOMIC = 1</p> <p>【注】 E1: ターゲットシステムで必要な数 ($21 < E1 < 1000$)</p> <p>入力: Addr : 書き込みをするコーデックレジスタアドレス Data : 書き込みをするコーデックレジスタデータ</p> <p>RetryCnt : エラー検出用ソフトカウンタ LoopCnt : wait挿入用ソフトカウンタ</p> <p>* コーデックデバイスによっては、コーデックレジスタアクセスが1スロット以内に終了しない場合があります。そのような場合は、リトライフローを実行してください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
25.5.5 初期化シーケンス 図 25.6 外部コーデックレジスタ 読み出しフローチャート例（続き）	25-24	<p>図を修正</p> <p>【注】 E2: ターゲットシステムに必要な数 (13 < E2)</p> <p>LoopCnt2 : Wait挿入用ソフトカウンタ Addr : CSARリード値を記憶する変数 DataT : CSDRリード値を記憶する変数</p> <p>* コーデックデバイスによっては、コーデックレジスタアクセスが1スロット以内に終了しない場合があります。そのような場合は、リトライフローを実行してください。</p>
26.8 使用上の注意事項	26-55	新規追加

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
28. ユーザデバッグインタフェース (H-UDI) 図 28.1 H-UDI のブロック図	28-2	<p>図を修正</p>																				
28.1 入出力端子 表 28.1 H-UDI の端子構成	28-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>入出力</th> <th>機能</th> <th>未使用時</th> </tr> </thead> <tbody> <tr> <td>エミュレータ用端子</td> <td>AUDSYNC AUDCK AUDATA3-0</td> <td>出力</td> <td>エミュレータ用の端子。PFC のレジスタ IPSELR のビット 13 が 1 のとき、以下の端子に出力します。 CAN0_TX/AUDATA[0]、CAN1_TX/AUDATA[1] CAN0_RX/AUDATA[2]、CAN1_RX/AUDATA[3] CAN0_NERR/AUDCK、CAN1_NERR/AUDSYNC また、IPSELR のビット 12 が 1 のとき、以下の端子に出力します。 ADTRG/AUDATA[0]、Reserved/AUDATA[1] Reserved/AUDATA[2]、Reserved/AUDATA[3] Reserved/AUDCK、Reserved/AUDSYNC</td> <td>オープン*</td> </tr> </tbody> </table>	名称	略称	入出力	機能	未使用時	エミュレータ用端子	AUDSYNC AUDCK AUDATA3-0	出力	エミュレータ用の端子。PFC のレジスタ IPSELR のビット 13 が 1 のとき、以下の端子に出力します。 CAN0_TX/AUDATA[0]、CAN1_TX/AUDATA[1] CAN0_RX/AUDATA[2]、CAN1_RX/AUDATA[3] CAN0_NERR/AUDCK、CAN1_NERR/AUDSYNC また、IPSELR のビット 12 が 1 のとき、以下の端子に出力します。 ADTRG/AUDATA[0]、Reserved/AUDATA[1] Reserved/AUDATA[2]、Reserved/AUDATA[3] Reserved/AUDCK、Reserved/AUDSYNC	オープン*										
名称	略称	入出力	機能	未使用時																		
エミュレータ用端子	AUDSYNC AUDCK AUDATA3-0	出力	エミュレータ用の端子。PFC のレジスタ IPSELR のビット 13 が 1 のとき、以下の端子に出力します。 CAN0_TX/AUDATA[0]、CAN1_TX/AUDATA[1] CAN0_RX/AUDATA[2]、CAN1_RX/AUDATA[3] CAN0_NERR/AUDCK、CAN1_NERR/AUDSYNC また、IPSELR のビット 12 が 1 のとき、以下の端子に出力します。 ADTRG/AUDATA[0]、Reserved/AUDATA[1] Reserved/AUDATA[2]、Reserved/AUDATA[3] Reserved/AUDCK、Reserved/AUDSYNC	オープン*																		
29.1 特長	29-1	<p>説明を修正</p> <ul style="list-style-type: none"> 外部トリガによる A/D 変換が可能（マルチモード時を除く） 																				
29.3.2 A/D コントロール / ステータスレジスタ (ADCSR)	29-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>13</td> <td>ADST</td> <td>0</td> <td>R/W</td> <td>A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 ADST ビットは A/D 外部トリガ入力端子 (ADTRG) によっても 1 にセットすることができます (マルチモード時を除く)。 0 : A/D 変換を停止 1 : トリガイネーブル</td> </tr> <tr> <td>11</td> <td>TRGE1</td> <td>0</td> <td>R/W</td> <td>トリガイネーブル</td> </tr> <tr> <td>10</td> <td>TRGE0</td> <td>0</td> <td>R/W</td> <td>外部トリガ入力による A/D 変換の許可または禁止を選択します。 TRGE1(1:0)の設定は、変換停止中に行ってください。 00 : 外部トリガ入力による A/D 変換の開始を禁止 01 : 設定禁止 10 : 設定禁止 11 : A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始 (マルチモード時を除く) 【注】トリガ信号の切り替えを行う場合は、TRGE1 および TRGE0 を 0 にしてから切り替えてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 ADST ビットは A/D 外部トリガ入力端子 (ADTRG) によっても 1 にセットすることができます (マルチモード時を除く)。 0 : A/D 変換を停止 1 : トリガイネーブル	11	TRGE1	0	R/W	トリガイネーブル	10	TRGE0	0	R/W	外部トリガ入力による A/D 変換の許可または禁止を選択します。 TRGE1(1:0)の設定は、変換停止中に行ってください。 00 : 外部トリガ入力による A/D 変換の開始を禁止 01 : 設定禁止 10 : 設定禁止 11 : A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始 (マルチモード時を除く) 【注】トリガ信号の切り替えを行う場合は、TRGE1 および TRGE0 を 0 にしてから切り替えてください。
ビット	ビット名	初期値	R/W	説明																		
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 ADST ビットは A/D 外部トリガ入力端子 (ADTRG) によっても 1 にセットすることができます (マルチモード時を除く)。 0 : A/D 変換を停止 1 : トリガイネーブル																		
11	TRGE1	0	R/W	トリガイネーブル																		
10	TRGE0	0	R/W	外部トリガ入力による A/D 変換の許可または禁止を選択します。 TRGE1(1:0)の設定は、変換停止中に行ってください。 00 : 外部トリガ入力による A/D 変換の開始を禁止 01 : 設定禁止 10 : 設定禁止 11 : A/D 変換トリガ入力端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始 (マルチモード時を除く) 【注】トリガ信号の切り替えを行う場合は、TRGE1 および TRGE0 を 0 にしてから切り替えてください。																		
29.4.2 マルチモード	29-11	<p>説明を修正</p> <ol style="list-style-type: none"> ソフトウェアによって ADCSR の ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から A/D 変換を開始します。 																				
29.4.5 外部トリガ入力タイミング	29-15	<p>説明を修正</p> <p>A/D 変換は、外部トリガ入力により開始することも可能です (マルチモード時を除く)。</p>																				
29.7.5 A/D 変換器 DMA 転送時の使用上の注意事項	29-19	新規追加																				
29.7.6 A/D 変換器スキャンモードおよびマルチモード時の使用上の注意事項	29-19、 29-20	新規追加																				

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																																																
29.7.7 A/D 変換器マルチモード時の使用上の注意事項	29-20	新規追加																																																																																																																																																																
30.1 特長	30-1	説明を修正 <ul style="list-style-type: none"> • 2400 バイトの大きなサイズのラインバッファにより、安定した表示を実現 																																																																																																																																																																
30.3 レジスタの説明 表 30.2 レジスタ構成（1）	30-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>R/W</th> <th>P4 アドレス</th> <th>エリア7 アドレス</th> <th>サイズ</th> <th>同期クロック</th> <th>LCD 表示中の変更可否*</th> </tr> </thead> <tbody> <tr> <td>LCDC インプットクロックレジスタ</td> <td>LDICKR</td> <td>R/W</td> <td>H'FE30 0C00</td> <td>H'1E30 0C00</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC モジュールタイプレジスタ</td> <td>LDMTR</td> <td>R/W</td> <td>H'FE30 0C02</td> <td>H'1E30 0C02</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC データフォーマットレジスタ</td> <td>LDDFR</td> <td>R/W</td> <td>H'FE30 0C04</td> <td>H'1E30 0C04</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC スキャンモードレジスタ</td> <td>LDSMR</td> <td>R/W</td> <td>H'FE30 0C06</td> <td>H'1E30 0C06</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ</td> <td>LDSARU</td> <td>R/W</td> <td>H'FE30 0C08</td> <td>H'1E30 0C08</td> <td>32</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ</td> <td>LDSARL</td> <td>R/W</td> <td>H'FE30 0C0C</td> <td>H'1E30 0C0C</td> <td>32</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ</td> <td>LDLAOR</td> <td>R/W</td> <td>H'FE30 0C10</td> <td>H'1E30 0C10</td> <td>16</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC パレットコントロールレジスタ</td> <td>LDPALCR</td> <td>R/W</td> <td>H'FE30 0C12</td> <td>H'1E30 0C12</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>パレットデータレジスタ 00 - FF</td> <td>LDPR00 - FF¹⁾</td> <td>R/W</td> <td>H'FE30 0800</td> <td>H'1E30 0800</td> <td>32</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC 水平キャラクタナンバーレジスタ</td> <td>LDHCNR</td> <td>R/W</td> <td>H'FE30 0C14</td> <td>H'1E30 0C14</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC 水平同期信号レジスタ</td> <td>LDHSYNR</td> <td>R/W</td> <td>H'FE30 0C16</td> <td>H'1E30 0C16</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC 垂直表示ラインナンバーレジスタ</td> <td>LDVDLNR</td> <td>R/W</td> <td>H'FE30 0C18</td> <td>H'1E30 0C18</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC 垂直総ラインナンバーレジスタ</td> <td>LDVTLNR</td> <td>R/W</td> <td>H'FE30 0C1A</td> <td>H'1E30 0C1A</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC 垂直同期信号レジスタ</td> <td>LDVSYNR</td> <td>R/W</td> <td>H'FE30 0C1C</td> <td>H'1E30 0C1C</td> <td>16</td> <td>Pck</td> <td>×</td> </tr> <tr> <td>LCDC AC モジュレーション信号トグルラインナンバーレジスタ</td> <td>LDACLNR</td> <td>R/W</td> <td>H'FE30 0C1E</td> <td>H'1E30 0C1E</td> <td>16</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC 割り込みコントロールレジスタ</td> <td>LDINTR</td> <td>R/W</td> <td>H'FE30 0C20</td> <td>H'1E30 0C20</td> <td>16</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC パワーマネジメントモードレジスタ</td> <td>LDPMMR</td> <td>R/W</td> <td>H'FE30 0C24</td> <td>H'1E30 0C24</td> <td>16</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC 電源シーケンス期間レジスタ</td> <td>LDPSPR</td> <td>R/W</td> <td>H'FE30 0C26</td> <td>H'1E30 0C26</td> <td>16</td> <td>Pck</td> <td></td> </tr> <tr> <td>LCDC コントロールレジスタ</td> <td>LDCNTR</td> <td>R/W</td> <td>H'FE30 0C28</td> <td>H'1E30 0C28</td> <td>16</td> <td>Pck</td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*1 LDPR00、LDPR01、...LDPRFF の 256 個あります。アドレスは、H'FE30 0800、H'FE30 0804、...H'FE30 0BFC となります。</p> <p>*2 LCD 表示中にレジスタ値変更可否 : 変更可、× : 変更不可</p>	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期クロック	LCD 表示中の変更可否*	LCDC インプットクロックレジスタ	LDICKR	R/W	H'FE30 0C00	H'1E30 0C00	16	Pck	×	LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FE30 0C02	H'1E30 0C02	16	Pck	×	LCDC データフォーマットレジスタ	LDDFR	R/W	H'FE30 0C04	H'1E30 0C04	16	Pck	×	LCDC スキャンモードレジスタ	LDSMR	R/W	H'FE30 0C06	H'1E30 0C06	16	Pck	×	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ	LDSARU	R/W	H'FE30 0C08	H'1E30 0C08	32	Pck		LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ	LDSARL	R/W	H'FE30 0C0C	H'1E30 0C0C	32	Pck		LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ	LDLAOR	R/W	H'FE30 0C10	H'1E30 0C10	16	Pck		LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FE30 0C12	H'1E30 0C12	16	Pck	×	パレットデータレジスタ 00 - FF	LDPR00 - FF ¹⁾	R/W	H'FE30 0800	H'1E30 0800	32	Pck		LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FE30 0C14	H'1E30 0C14	16	Pck	×	LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FE30 0C16	H'1E30 0C16	16	Pck	×	LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FE30 0C18	H'1E30 0C18	16	Pck	×	LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FE30 0C1A	H'1E30 0C1A	16	Pck	×	LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FE30 0C1C	H'1E30 0C1C	16	Pck	×	LCDC AC モジュレーション信号トグルラインナンバーレジスタ	LDACLNR	R/W	H'FE30 0C1E	H'1E30 0C1E	16	Pck		LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FE30 0C20	H'1E30 0C20	16	Pck		LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FE30 0C24	H'1E30 0C24	16	Pck		LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FE30 0C26	H'1E30 0C26	16	Pck		LCDC コントロールレジスタ	LDCNTR	R/W	H'FE30 0C28	H'1E30 0C28	16	Pck	
名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期クロック	LCD 表示中の変更可否*																																																																																																																																																											
LCDC インプットクロックレジスタ	LDICKR	R/W	H'FE30 0C00	H'1E30 0C00	16	Pck	×																																																																																																																																																											
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FE30 0C02	H'1E30 0C02	16	Pck	×																																																																																																																																																											
LCDC データフォーマットレジスタ	LDDFR	R/W	H'FE30 0C04	H'1E30 0C04	16	Pck	×																																																																																																																																																											
LCDC スキャンモードレジスタ	LDSMR	R/W	H'FE30 0C06	H'1E30 0C06	16	Pck	×																																																																																																																																																											
LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ	LDSARU	R/W	H'FE30 0C08	H'1E30 0C08	32	Pck																																																																																																																																																												
LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ	LDSARL	R/W	H'FE30 0C0C	H'1E30 0C0C	32	Pck																																																																																																																																																												
LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ	LDLAOR	R/W	H'FE30 0C10	H'1E30 0C10	16	Pck																																																																																																																																																												
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FE30 0C12	H'1E30 0C12	16	Pck	×																																																																																																																																																											
パレットデータレジスタ 00 - FF	LDPR00 - FF ¹⁾	R/W	H'FE30 0800	H'1E30 0800	32	Pck																																																																																																																																																												
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FE30 0C14	H'1E30 0C14	16	Pck	×																																																																																																																																																											
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FE30 0C16	H'1E30 0C16	16	Pck	×																																																																																																																																																											
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FE30 0C18	H'1E30 0C18	16	Pck	×																																																																																																																																																											
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FE30 0C1A	H'1E30 0C1A	16	Pck	×																																																																																																																																																											
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FE30 0C1C	H'1E30 0C1C	16	Pck	×																																																																																																																																																											
LCDC AC モジュレーション信号トグルラインナンバーレジスタ	LDACLNR	R/W	H'FE30 0C1E	H'1E30 0C1E	16	Pck																																																																																																																																																												
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FE30 0C20	H'1E30 0C20	16	Pck																																																																																																																																																												
LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FE30 0C24	H'1E30 0C24	16	Pck																																																																																																																																																												
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FE30 0C26	H'1E30 0C26	16	Pck																																																																																																																																																												
LCDC コントロールレジスタ	LDCNTR	R/W	H'FE30 0C28	H'1E30 0C28	16	Pck																																																																																																																																																												
30.3.10 LCDC 水平キャラクタナンバーレジスタ（LDHCNR）	30-15	<p>注を修正</p> <p>【注】HDCN、HTCN の設定値は、$HTCN > = HDCN + 3$ の関係を必ず満足してください。また、HTCN は総キャラクタ数を偶数としてください（設定値は -1 値設定のため奇数となります）。</p>																																																																																																																																																																
30.3.17 LCDC パワーマネジメントモードレジスタ（LDPMMR）	30-22	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>DONE</td> <td>1</td> <td>R/W</td> <td>LCDC_DONE 端子インネブル LCDC_DONE 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCDC_DONE 端子出力はマスクされ0-固定 1 : (処理有) LCDC_DONE 端子出力は所定のシーケンスに従いアサート、ネガートする</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4	DONE	1	R/W	LCDC_DONE 端子インネブル LCDC_DONE 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCDC_DONE 端子出力はマスクされ0-固定 1 : (処理有) LCDC_DONE 端子出力は所定のシーケンスに従いアサート、ネガートする																																																																																																																																																						
ビット	ビット名	初期値	R/W	説明																																																																																																																																																														
4	DONE	1	R/W	LCDC_DONE 端子インネブル LCDC_DONE 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCDC_DONE 端子出力はマスクされ0-固定 1 : (処理有) LCDC_DONE 端子出力は所定のシーケンスに従いアサート、ネガートする																																																																																																																																																														
30.4.1 LCDC で表示可能な液晶モジュールのサイズについて	30-25	<p>説明を修正</p> <p>本 LSI では、最大 32 バイトのバーストメモリリードと 2400 バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。</p>																																																																																																																																																																

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																						
30.4.6 電源制御シーケンス処理 図 30.6 電源制御シーケンスと液晶モジュールの動作状態	30-33	<p>図を修正</p> <p>(3) TFT 電源制御</p>																																																																						
30.6 使用上の注意事項	30-48	新規追加																																																																						
32.2 レジスタビット一覧	32-32	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>略称</td> <td>31/23/</td> <td>30/22/</td> <td>29/21/</td> <td>28/20/</td> <td>27/19/</td> <td>26/18</td> <td>25/17/</td> <td>24/16/</td> <td></td> </tr> <tr> <td></td> <td>15/ 7</td> <td>14/ 6</td> <td>13/ 5</td> <td>12/ 4</td> <td>11/ 3</td> <td>/10/ 2</td> <td>9/ 1</td> <td>8/ 0</td> <td></td> </tr> <tr> <td>SCRRER0</td> <td>-</td> <td>PER6</td> <td>PER5</td> <td>PER4</td> <td>PER3</td> <td>PER2</td> <td>PER1</td> <td>PER0</td> <td>SCIF</td> </tr> <tr> <td></td> <td>-</td> <td>FER6</td> <td>FER5</td> <td>FER4</td> <td>FER3</td> <td>FER2</td> <td>FER1</td> <td>FER0</td> <td>チャンネル 0</td> </tr> </tbody> </table>	レジスタ	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール	略称	31/23/	30/22/	29/21/	28/20/	27/19/	26/18	25/17/	24/16/			15/ 7	14/ 6	13/ 5	12/ 4	11/ 3	/10/ 2	9/ 1	8/ 0		SCRRER0	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF		-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 0																				
レジスタ	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール																																																															
略称	31/23/	30/22/	29/21/	28/20/	27/19/	26/18	25/17/	24/16/																																																																
	15/ 7	14/ 6	13/ 5	12/ 4	11/ 3	/10/ 2	9/ 1	8/ 0																																																																
SCRRER0	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF																																																															
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 0																																																															
	32-33	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>略称</td> <td>31/23/</td> <td>30/22/</td> <td>29/21/</td> <td>28/20/</td> <td>27/19/</td> <td>26/18</td> <td>25/17/</td> <td>24/16/</td> <td></td> </tr> <tr> <td></td> <td>15/ 7</td> <td>14/ 6</td> <td>13/ 5</td> <td>12/ 4</td> <td>11/ 3</td> <td>/10/ 2</td> <td>9/ 1</td> <td>8/ 0</td> <td></td> </tr> <tr> <td>SCRRER1</td> <td>-</td> <td>PER6</td> <td>PER5</td> <td>PER4</td> <td>PER3</td> <td>PER2</td> <td>PER1</td> <td>PER0</td> <td>SCIF</td> </tr> <tr> <td></td> <td>-</td> <td>FER6</td> <td>FER5</td> <td>FER4</td> <td>FER3</td> <td>FER2</td> <td>FER1</td> <td>FER0</td> <td>チャンネル 1</td> </tr> <tr> <td>SCRRER2</td> <td>-</td> <td>PER6</td> <td>PER5</td> <td>PER4</td> <td>PER3</td> <td>PER2</td> <td>PER1</td> <td>PER0</td> <td>SCIF</td> </tr> <tr> <td></td> <td>-</td> <td>FER6</td> <td>FER5</td> <td>FER4</td> <td>FER3</td> <td>FER2</td> <td>FER1</td> <td>FER0</td> <td>チャンネル 2</td> </tr> </tbody> </table>	レジスタ	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール	略称	31/23/	30/22/	29/21/	28/20/	27/19/	26/18	25/17/	24/16/			15/ 7	14/ 6	13/ 5	12/ 4	11/ 3	/10/ 2	9/ 1	8/ 0		SCRRER1	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF		-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 1	SCRRER2	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF		-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 2
レジスタ	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	モジュール																																																															
略称	31/23/	30/22/	29/21/	28/20/	27/19/	26/18	25/17/	24/16/																																																																
	15/ 7	14/ 6	13/ 5	12/ 4	11/ 3	/10/ 2	9/ 1	8/ 0																																																																
SCRRER1	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF																																																															
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 1																																																															
SCRRER2	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	SCIF																																																															
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	チャンネル 2																																																															
33.1 絶対最大定格 表 33.1 絶対最大定格	33-1	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="3">I/O、CPG、ADC 電源電圧</td> <td>V_{DD}</td> <td>-0.3 - 4.6</td> <td>V</td> </tr> <tr> <td>V_{DD-CPG}</td> <td></td> <td></td> </tr> <tr> <td>AV_{DD-ADC}</td> <td></td> <td></td> </tr> <tr> <td rowspan="2">内部電源電圧</td> <td>V_{DD}</td> <td>-0.3 - 2.1</td> <td>V</td> </tr> <tr> <td>$V_{DD-P11233}$</td> <td></td> <td></td> </tr> <tr> <td>入力電圧</td> <td>V_{in}</td> <td>-0.3 - $V_{DD} + 0.3$, -0.5 - 5.5¹⁾</td> <td>V</td> </tr> <tr> <td>動作温度²⁾</td> <td>T_{op}</td> <td>-20 - 75 / -40 - 85</td> <td></td> </tr> <tr> <td>保存温度</td> <td>T_{stg}</td> <td>-55 - 125</td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*2 表 G.1 を参照してください。</p>	項目	記号	定格値	単位	I/O、CPG、ADC 電源電圧	V_{DD}	-0.3 - 4.6	V	V_{DD-CPG}			AV_{DD-ADC}			内部電源電圧	V_{DD}	-0.3 - 2.1	V	$V_{DD-P11233}$			入力電圧	V_{in}	-0.3 - $V_{DD} + 0.3$, -0.5 - 5.5 ¹⁾	V	動作温度 ²⁾	T_{op}	-20 - 75 / -40 - 85		保存温度	T_{stg}	-55 - 125																																						
項目	記号	定格値	単位																																																																					
I/O、CPG、ADC 電源電圧	V_{DD}	-0.3 - 4.6	V																																																																					
	V_{DD-CPG}																																																																							
	AV_{DD-ADC}																																																																							
内部電源電圧	V_{DD}	-0.3 - 2.1	V																																																																					
	$V_{DD-P11233}$																																																																							
入力電圧	V_{in}	-0.3 - $V_{DD} + 0.3$, -0.5 - 5.5 ¹⁾	V																																																																					
動作温度 ²⁾	T_{op}	-20 - 75 / -40 - 85																																																																						
保存温度	T_{stg}	-55 - 125																																																																						
33.2 DC 特性 表 33.2 DC 特性($T_a = -20 \sim 75$ / -40 ~ 85)	33-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力電圧</td> <td rowspan="2">I2C1_SCL、I2C1_SDA</td> <td>$V_{DD} \times 0.7$</td> <td>-</td> <td>5.5</td> <td rowspan="2">V</td> <td rowspan="4"></td> </tr> <tr> <td>$V_{DD} \times 0.7$</td> <td>-</td> <td>$V_{DD} + 0.3$</td> </tr> <tr> <td rowspan="2">I2C0_SCL、I2C0_SDA</td> <td>$V_{DD} \times 0.7$</td> <td>-</td> <td>$V_{DD} + 0.3$</td> </tr> <tr> <td>$V_{DD} \times 0.7$</td> <td>-</td> <td>$V_{DD} + 0.3$</td> </tr> <tr> <td>USB_DP、USB_DM</td> <td></td> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> <td></td> </tr> <tr> <td>その他入力端子</td> <td></td> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> <td></td> </tr> <tr> <td>出力電圧</td> <td>全端子³⁾</td> <td>$V_{DD} \times 0.8$</td> <td>-</td> <td>-</td> <td>V</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	入力電圧	I2C1_SCL、I2C1_SDA	$V_{DD} \times 0.7$	-	5.5	V		$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$	I2C0_SCL、I2C0_SDA	$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$	$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$	USB_DP、USB_DM		-0.3	-	$V_{DD} \times 0.2$		その他入力端子		-0.3	-	$V_{DD} \times 0.2$		出力電圧	全端子 ³⁾	$V_{DD} \times 0.8$	-	-	V																												
項目	記号	Min.	Typ.	Max.	単位	測定条件																																																																		
入力電圧	I2C1_SCL、I2C1_SDA	$V_{DD} \times 0.7$	-	5.5	V																																																																			
		$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$																																																																				
	I2C0_SCL、I2C0_SDA	$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$																																																																				
		$V_{DD} \times 0.7$	-	$V_{DD} + 0.3$																																																																				
USB_DP、USB_DM		-0.3	-	$V_{DD} \times 0.2$																																																																				
その他入力端子		-0.3	-	$V_{DD} \times 0.2$																																																																				
出力電圧	全端子 ³⁾	$V_{DD} \times 0.8$	-	-	V																																																																			
	33-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力電圧</td> <td rowspan="2">I2C1_SCL、I2C1_SDA</td> <td>-0.5</td> <td>-</td> <td>$V_{DD} \times 0.3$</td> <td rowspan="2">V</td> <td rowspan="4"></td> </tr> <tr> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> </tr> <tr> <td rowspan="2">I2C0_SCL、I2C0_SDA</td> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> </tr> <tr> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> </tr> <tr> <td>USB_DP、USB_DM</td> <td></td> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> <td></td> </tr> <tr> <td>その他入力端子</td> <td></td> <td>-0.3</td> <td>-</td> <td>$V_{DD} \times 0.2$</td> <td></td> </tr> <tr> <td>出力電圧</td> <td>全端子³⁾</td> <td>V_{DD}</td> <td>-</td> <td>-</td> <td>V</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	入力電圧	I2C1_SCL、I2C1_SDA	-0.5	-	$V_{DD} \times 0.3$	V		-0.3	-	$V_{DD} \times 0.2$	I2C0_SCL、I2C0_SDA	-0.3	-	$V_{DD} \times 0.2$	-0.3	-	$V_{DD} \times 0.2$	USB_DP、USB_DM		-0.3	-	$V_{DD} \times 0.2$		その他入力端子		-0.3	-	$V_{DD} \times 0.2$		出力電圧	全端子 ³⁾	V_{DD}	-	-	V																												
項目	記号	Min.	Typ.	Max.	単位	測定条件																																																																		
入力電圧	I2C1_SCL、I2C1_SDA	-0.5	-	$V_{DD} \times 0.3$	V																																																																			
		-0.3	-	$V_{DD} \times 0.2$																																																																				
	I2C0_SCL、I2C0_SDA	-0.3	-	$V_{DD} \times 0.2$																																																																				
		-0.3	-	$V_{DD} \times 0.2$																																																																				
USB_DP、USB_DM		-0.3	-	$V_{DD} \times 0.2$																																																																				
その他入力端子		-0.3	-	$V_{DD} \times 0.2$																																																																				
出力電圧	全端子 ³⁾	V_{DD}	-	-	V																																																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																										
33.2 DC 特性 表 33.2 DC 特性($T_a = -20 \sim 75$ / $-40 \sim 85$)		注を修正 【注】1. PLL の使用の有無にかかわらず、 V_{DD-CPG} を V_{DDQ} 、 AV_{CC-ADC} と同電位、 $V_{DD-PLL1/2/3}$ を V_{DD} と同電位、 V_{SS} 、 V_{SS-CPG} および $V_{SS-PLL1/2/3}$ を GND に接続してください。これを満たさない場合、本 LSI が破壊される可能性があります。 ... * I2Cn_SCL、I2Cn_SDA を除く。																																										
33.3.1 クロック・制御信号タイミング 表 33.5 クロック・制御信号タイミング	33-5	表条件を修正 ($V_{DDQ} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim 75$ / $-40 \sim 85$ 、 $CL = 30pF$ 、PLL2 は on)																																										
	33-6	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>スタンバイ復帰発振安定時間 1*</td> <td>t_{osc1}</td> <td>2</td> <td>-</td> <td>ms</td> <td>33.7、33.9</td> </tr> <tr> <td>スタンバイ復帰発振安定時間 2*</td> <td>t_{osc2}</td> <td>2</td> <td>-</td> <td>ms</td> <td>33.10</td> </tr> <tr> <td>スタンバイ復帰発振安定時間 3*</td> <td>t_{osc3}</td> <td>2</td> <td>-</td> <td>ms</td> <td>33.11</td> </tr> </tbody> </table> 注を修正 【注】* 水晶発振子の発振安定時間が 1ms 以下の場合	項目	記号	Min.	Max.	単位	参照図	スタンバイ復帰発振安定時間 1*	t_{osc1}	2	-	ms	33.7、33.9	スタンバイ復帰発振安定時間 2*	t_{osc2}	2	-	ms	33.10	スタンバイ復帰発振安定時間 3*	t_{osc3}	2	-	ms	33.11																		
項目	記号	Min.	Max.	単位	参照図																																							
スタンバイ復帰発振安定時間 1*	t_{osc1}	2	-	ms	33.7、33.9																																							
スタンバイ復帰発振安定時間 2*	t_{osc2}	2	-	ms	33.10																																							
スタンバイ復帰発振安定時間 3*	t_{osc3}	2	-	ms	33.11																																							
33.3.2 制御信号タイミング 表 33.6 制御信号タイミング	33-12	表条件を修正 ($V_{DDQ} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim 75$ / $-40 \sim 85$ 、 $CL = 30pF$ 、PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>スタンバイモードへのバスタイムスタート遅延時間</td> <td>t_{bost}</td> <td>-</td> <td>2</td> <td>t_{bost}</td> <td>33.16 (2)</td> </tr> <tr> <td>バスタブファオンタイム</td> <td>t_{bopf}</td> <td>-</td> <td>12</td> <td>ns</td> <td>33.15</td> </tr> <tr> <td>スタンバイからのバスタブファオンタイム</td> <td>t_{bopf}</td> <td>-</td> <td>2</td> <td>t_{bopf}</td> <td>33.16 (2)</td> </tr> <tr> <td>STATUS 0、STATUS1 遅延時間</td> <td>t_{st0}</td> <td>-</td> <td>6</td> <td>ns</td> <td>33.16 (1)</td> </tr> <tr> <td></td> <td>t_{st1}</td> <td>-</td> <td>2</td> <td>t_{st1}</td> <td>33.16 (1) (2)</td> </tr> <tr> <td></td> <td>t_{st2}</td> <td>-</td> <td>2</td> <td>t_{st2}</td> <td>33.16 (2)</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	スタンバイモードへのバスタイムスタート遅延時間	t_{bost}	-	2	t_{bost}	33.16 (2)	バスタブファオンタイム	t_{bopf}	-	12	ns	33.15	スタンバイからのバスタブファオンタイム	t_{bopf}	-	2	t_{bopf}	33.16 (2)	STATUS 0、STATUS1 遅延時間	t_{st0}	-	6	ns	33.16 (1)		t_{st1}	-	2	t_{st1}	33.16 (1) (2)		t_{st2}	-	2	t_{st2}	33.16 (2)
項目	記号	Min.	Max.	単位	参照図																																							
スタンバイモードへのバスタイムスタート遅延時間	t_{bost}	-	2	t_{bost}	33.16 (2)																																							
バスタブファオンタイム	t_{bopf}	-	12	ns	33.15																																							
スタンバイからのバスタブファオンタイム	t_{bopf}	-	2	t_{bopf}	33.16 (2)																																							
STATUS 0、STATUS1 遅延時間	t_{st0}	-	6	ns	33.16 (1)																																							
	t_{st1}	-	2	t_{st1}	33.16 (1) (2)																																							
	t_{st2}	-	2	t_{st2}	33.16 (2)																																							
図 33.16 (1) リセットまたはスリープモード時のピンドライブタイミング 図 33.16 (2) ソフトウェアスタンバイモード時のピンドライブタイミング	33-13	図を差し替え																																										
33.3.3 バスタイミング 表 33.7 バスタイミング	33-14	表条件を修正 ($V_{DDQ} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim 75$ / $-40 \sim 85$ 、 $CL = 30pF$ 、PLL2 は on)																																										
33.3.4 INTC モジュール信号タイミング 表 33.8 INTC モジュール信号タイミング	33-47	表条件を修正 ($V_{DDQ} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim 75$ / $-40 \sim 85$ 、 $CL = 30pF$ 、PLL2 は on)																																										
33.3.5 DMAC モジュール信号タイミング 表 33.9 DMAC モジュール信号タイミング	33-47	表条件を修正 ($V_{DDQ} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim 75$ / $-40 \sim 85$ 、 $CL = 30pF$ 、PLL2 は on)																																										

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
33.3.6 TMU モジュール信号タイミング 表 33.10 TMU モジュール信号タイミング	33-48	表条件を修正 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on)																								
33.3.7 SCIF モジュール信号タイミング 表 33.11 SCIF モジュール信号タイミング	33-48	表条件を修正 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on)																								
33.3.8 H-UDI モジュール信号タイミング 表 33.12 H-UDI モジュール信号タイミング	33-50	表条件を修正 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on)																								
33.3.9 CMT モジュール信号タイミング 表 33.13 CMT モジュール信号タイミング	33-52	表条件を追加 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>CMT_CTR 出力遅延時間</td> <td>t_{LSD}</td> <td>-</td> <td>8</td> <td>ns</td> <td>33.58</td> </tr> <tr> <td>CMT_CTR 入力セットアップ時間</td> <td>t_{HSD}</td> <td>6</td> <td>-</td> <td>ns</td> <td>33.58</td> </tr> <tr> <td>CMT_CTR 入力ホールド時間</td> <td>t_{HSH}</td> <td>2</td> <td>-</td> <td>ns</td> <td>33.58</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	CMT_CTR 出力遅延時間	t_{LSD}	-	8	ns	33.58	CMT_CTR 入力セットアップ時間	t_{HSD}	6	-	ns	33.58	CMT_CTR 入力ホールド時間	t_{HSH}	2	-	ns	33.58
項目	記号	Min.	Max.	単位	参照図																					
CMT_CTR 出力遅延時間	t_{LSD}	-	8	ns	33.58																					
CMT_CTR 入力セットアップ時間	t_{HSD}	6	-	ns	33.58																					
CMT_CTR 入力ホールド時間	t_{HSH}	2	-	ns	33.58																					
33.3.10 HCAN2 モジュール信号タイミング 表 33.14 HCAN2 モジュール信号タイミング	33-53	表条件を追加 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>CAN_TX 出力遅延時間</td> <td>t_{LSD}</td> <td>-</td> <td>6</td> <td>ns</td> <td>33.60</td> </tr> <tr> <td>CAN_RX 入力セットアップ時間</td> <td>t_{HSD}</td> <td>4</td> <td>-</td> <td>ns</td> <td>33.60</td> </tr> <tr> <td>CAN_RX 入力ホールド時間</td> <td>t_{HSH}</td> <td>2.5</td> <td>-</td> <td>ns</td> <td>33.60</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	CAN_TX 出力遅延時間	t_{LSD}	-	6	ns	33.60	CAN_RX 入力セットアップ時間	t_{HSD}	4	-	ns	33.60	CAN_RX 入力ホールド時間	t_{HSH}	2.5	-	ns	33.60
項目	記号	Min.	Max.	単位	参照図																					
CAN_TX 出力遅延時間	t_{LSD}	-	6	ns	33.60																					
CAN_RX 入力セットアップ時間	t_{HSD}	4	-	ns	33.60																					
CAN_RX 入力ホールド時間	t_{HSH}	2.5	-	ns	33.60																					
33.3.11 GPIO 信号タイミング 表 33.15 GPIO 信号タイミング	33-53	表条件を追加 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>GPIO 出力遅延時間</td> <td>t_{LSD}</td> <td>-</td> <td>9</td> <td>ns</td> <td>33.61</td> </tr> <tr> <td>GPIO 入力セットアップ時間</td> <td>t_{HSD}</td> <td>7</td> <td>-</td> <td>ns</td> <td>33.61</td> </tr> <tr> <td>GPIO 入力ホールド時間</td> <td>t_{HSH}</td> <td>5</td> <td>-</td> <td>ns</td> <td>33.61</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	GPIO 出力遅延時間	t_{LSD}	-	9	ns	33.61	GPIO 入力セットアップ時間	t_{HSD}	7	-	ns	33.61	GPIO 入力ホールド時間	t_{HSH}	5	-	ns	33.61
項目	記号	Min.	Max.	単位	参照図																					
GPIO 出力遅延時間	t_{LSD}	-	9	ns	33.61																					
GPIO 入力セットアップ時間	t_{HSD}	7	-	ns	33.61																					
GPIO 入力ホールド時間	t_{HSH}	5	-	ns	33.61																					
33.3.12 I ² C 電気的特性 表 33.17 I ² C DC 特性	33-54	表条件を追加 ($V_{DD0}=3.0\sim 3.6V$, $V_{DD}=1.5V$, $T_a=-20\sim 75$ / $-40\sim 85$ 、 $CL=30pF$, PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2">入力電圧</td> <td>V_{IN}</td> <td>$V_{DD0}\times 0.7$</td> <td>5.5</td> <td>V</td> <td></td> </tr> <tr> <td>V_L</td> <td>-0.5</td> <td>$V_{DD0}\times 0.3$</td> <td>V</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	測定条件	入力電圧	V_{IN}	$V_{DD0}\times 0.7$	5.5	V		V_L	-0.5	$V_{DD0}\times 0.3$	V								
項目	記号	Min.	Max.	単位	測定条件																					
入力電圧	V_{IN}	$V_{DD0}\times 0.7$	5.5	V																						
	V_L	-0.5	$V_{DD0}\times 0.3$	V																						

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
33.3.12 I ² C 電気的特性 表 33.18 I ² C バスインタフェース モジュール信号タイミング	33-55	<p>表条件を追加 ($V_{DD0}=3.0\sim 3.6V$、$V_{DD}=1.5V$、$T_a=-20\sim 75$ / $-40\sim 85$、$CL=30pF$、PLL2 は on)</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>I2Cn_SCL 周波数</td> <td>f_{SCL}</td> <td>-</td> <td>-</td> <td>400</td> <td>kHz</td> </tr> <tr> <td>I2Cn_SCL ロ-レベルパルス幅</td> <td>t_{LOW}</td> <td>1.3</td> <td>-</td> <td>-</td> <td>μs</td> </tr> <tr> <td>I2Cn_SCL ハイレベルパルス幅</td> <td>t_{HIGH}</td> <td>0.6</td> <td>-</td> <td>-</td> <td>μs</td> </tr> <tr> <td>I2Cn_SCL/I2Cn_SDA 立ち上がり時間</td> <td>t_{r}</td> <td>$20+0.1Cb^*$</td> <td>-</td> <td>300</td> <td>ns</td> </tr> <tr> <td>I2Cn_SCL/I2Cn_SDA 立ち下がり時間</td> <td>t_{f}</td> <td>$20+0.1Cb^*$</td> <td>-</td> <td>300</td> <td>ns</td> </tr> </tbody> </table> <p>注を追加 【注】t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。 * Cb は 1 つのバス・ラインのトータル容量 (Max. 400pF)</p> <p>表条件を追加 ($V_{DD0}=3.0\sim 3.6V$、$V_{DD}=1.5V$、$T_a=-20\sim 75$ / $-40\sim 85$、$CL=30pF$、PLL2 は on)</p>	項目	記号	Min.	Typ.	Max.	単位	I2Cn_SCL 周波数	f_{SCL}	-	-	400	kHz	I2Cn_SCL ロ-レベルパルス幅	t_{LOW}	1.3	-	-	μs	I2Cn_SCL ハイレベルパルス幅	t_{HIGH}	0.6	-	-	μs	I2Cn_SCL/I2Cn_SDA 立ち上がり時間	t_{r}	$20+0.1Cb^*$	-	300	ns	I2Cn_SCL/I2Cn_SDA 立ち下がり時間	t_{f}	$20+0.1Cb^*$	-	300	ns
項目	記号	Min.	Typ.	Max.	単位																																	
I2Cn_SCL 周波数	f_{SCL}	-	-	400	kHz																																	
I2Cn_SCL ロ-レベルパルス幅	t_{LOW}	1.3	-	-	μs																																	
I2Cn_SCL ハイレベルパルス幅	t_{HIGH}	0.6	-	-	μs																																	
I2Cn_SCL/I2Cn_SDA 立ち上がり時間	t_{r}	$20+0.1Cb^*$	-	300	ns																																	
I2Cn_SCL/I2Cn_SDA 立ち下がり時間	t_{f}	$20+0.1Cb^*$	-	300	ns																																	
表 33.19 I ² C シュミット特性																																						
33.3.12 I ² C 電気的特性 表 33.19 I ² C シュミット特性	33-55	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="3">スレッシュホールド電圧</td> <td>VTT+</td> <td>$V_{DD0}\times 0.7$</td> <td>-</td> <td>V</td> <td>L H になるスレッシュホールド電圧</td> </tr> <tr> <td>VTT-</td> <td>-</td> <td>$V_{DD0}\times 0.3$</td> <td>V</td> <td>H L になるスレッシュホールド電圧</td> </tr> <tr> <td>ϕVTT</td> <td>$V_{DD0}\times 0.05$</td> <td>-</td> <td>V</td> <td>VTT+と VTT- の間の設定値</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	備考	スレッシュホールド電圧	VTT+	$V_{DD0}\times 0.7$	-	V	L H になるスレッシュホールド電圧	VTT-	-	$V_{DD0}\times 0.3$	V	H L になるスレッシュホールド電圧	ϕVTT	$V_{DD0}\times 0.05$	-	V	VTT+と VTT- の間の設定値														
項目	記号	Min.	Max.	単位	備考																																	
スレッシュホールド電圧	VTT+	$V_{DD0}\times 0.7$	-	V	L H になるスレッシュホールド電圧																																	
	VTT-	-	$V_{DD0}\times 0.3$	V	H L になるスレッシュホールド電圧																																	
	ϕVTT	$V_{DD0}\times 0.05$	-	V	VTT+と VTT- の間の設定値																																	
33.3.13 HSPI モジュール信号タ イミング 表 33.20 HSPI モジュール信号タ イミング	33-56	<p>表条件を追加 ($V_{DD0}=3.0\sim 3.6V$、$V_{DD}=1.5V$、$T_a=-20\sim 75$ / $-40\sim 85$、$CL=30pF$、PLL2 は on)</p>																																				
図 33.64 HSPI データ出力 / 入力 タイミング	33-57	<p>図を修正</p>																																				
33.3.14 USB 電気的特性 表 33.21 USB DC 特性	33-58	<p>表条件を追加 ($V_{DD0}=3.0\sim 3.6V$、$V_{DD}=1.5V$、$T_a=-20\sim 75$ / $-40\sim 85$)</p>																																				

修正項目	ページ	修正内容（詳細はマニュアル参照）																																			
33.3.14 USB 電気的特性 表 33.22 USB AC 特性	33-59	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、PLL2 は on)																																			
33.3.15 MFI 電気的特性 表 33.23 68 系バス AC 特性	33-61	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on)																																			
表 33.24 80 系バス AC 特性	33-62	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on)																																			
33.3.16 SIM モジュール信号タイミング 表 33.25 SIM モジュール信号タイミング	33-64	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on)																																			
33.3.17 MMCIF モジュール信号タイミング 表 33.26 MMCIF モジュール信号タイミング	33-64	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on)																																			
図 33.78 MMCIF 受信タイミング (立ち下がりサンプリング)	-	削除																																			
33.3.18 LCDC モジュール信号タイミング 表 33.27 LCDC モジュール信号タイミング	33-66	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on)																																			
33.3.19 HAC インタフェースモジュール信号タイミング 表 33.28 HAC インタフェースモジュール信号タイミング	33-67	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>HAC_BIT_CLK 入力ハイレベル幅</td> <td>t_{CL_HIGH}</td> <td>$2 \times t_{TRISE}$</td> <td>-</td> <td>ns</td> <td>33.81</td> </tr> <tr> <td>HAC_BIT_CLK 入力ローレベル幅</td> <td>t_{CL_LOW}</td> <td>$2 \times t_{TRISE}$</td> <td>-</td> <td>ns</td> <td>33.81</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	HAC_BIT_CLK 入力ハイレベル幅	t_{CL_HIGH}	$2 \times t_{TRISE}$	-	ns	33.81	HAC_BIT_CLK 入力ローレベル幅	t_{CL_LOW}	$2 \times t_{TRISE}$	-	ns	33.81																	
項目	記号	Min.	Max.	単位	参照図																																
HAC_BIT_CLK 入力ハイレベル幅	t_{CL_HIGH}	$2 \times t_{TRISE}$	-	ns	33.81																																
HAC_BIT_CLK 入力ローレベル幅	t_{CL_LOW}	$2 \times t_{TRISE}$	-	ns	33.81																																
33.3.20 SSI インタフェースモジュール信号タイミング 表 33.29 SSI インタフェースモジュール信号タイミング	33-68	表条件を追加 ($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、CL=30pF、PLL2 は on) 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>備考</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>出力サイクル時間</td> <td>t_{SCLK}</td> <td>40</td> <td>710</td> <td>ns</td> <td>出力</td> <td>33.83</td> </tr> <tr> <td>入力サイクル時間</td> <td>t_{SSCK}</td> <td>80</td> <td>3300</td> <td>ns</td> <td>入力</td> <td>33.83</td> </tr> <tr> <td>入力ハイレベル幅 / 出力ハイレベル幅</td> <td>t_{H}/t_{SCLK}</td> <td>30</td> <td>-</td> <td>ns</td> <td>入出力</td> <td>33.83</td> </tr> <tr> <td>入力ローレベル幅 / 出力ローレベル幅</td> <td>t_{L}/t_{SCLK}</td> <td>20</td> <td>-</td> <td>ns</td> <td>入出力</td> <td>33.83</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	備考	参照図	出力サイクル時間	t_{SCLK}	40	710	ns	出力	33.83	入力サイクル時間	t_{SSCK}	80	3300	ns	入力	33.83	入力ハイレベル幅 / 出力ハイレベル幅	t_{H}/t_{SCLK}	30	-	ns	入出力	33.83	入力ローレベル幅 / 出力ローレベル幅	t_{L}/t_{SCLK}	20	-	ns	入出力	33.83
項目	記号	Min.	Max.	単位	備考	参照図																															
出力サイクル時間	t_{SCLK}	40	710	ns	出力	33.83																															
入力サイクル時間	t_{SSCK}	80	3300	ns	入力	33.83																															
入力ハイレベル幅 / 出力ハイレベル幅	t_{H}/t_{SCLK}	30	-	ns	入出力	33.83																															
入力ローレベル幅 / 出力ローレベル幅	t_{L}/t_{SCLK}	20	-	ns	入出力	33.83																															
33.4 A/D 変換器特性 表 33.30 A/D 変換器特性	33-70	注を修正 【注】2. $AV_{SS_ADC} = GND$																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
33.5 AC 特性測定条件 図 33.88 出力付加回路	33-71	<p>図を修正</p> <p>【注】1. C_Lは測定治具等の容量も含んだ合計値です。各端子の容量は30pFに設定されています。 2. I_{OL}、I_{OH}は、表33.3に示す値です。</p>																																				
A. 外形寸法図 図 A.1 外形寸法図 (BP-256F/BP-256FV)	付録-1	図を差し替え																																				
図 A.2 外形寸法図 (BP-256B/BP-256BV)	付録-2	図を追加																																				
B. モード端子の設定 表 B.1 SH7760 のクロック動作モード	付録-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">クロック 動作 モード</th> <th colspan="3">外部端子組み合わせ</th> <th rowspan="2">PLL1</th> <th rowspan="2">PLL2</th> <th colspan="3">周波数（対入力クロック）</th> <th rowspan="2">FRQCR 初期値</th> </tr> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>CPU クロック</th> <th>バス クロック</th> <th>周辺 モジュール クロック</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>1</td> <td>0</td> <td>0</td> <td>On (×6)</td> <td>On</td> <td>6</td> <td>3</td> <td>3/2</td> <td>H'0E0A</td> </tr> <tr> <td>6</td> <td>1</td> <td>1</td> <td>0</td> <td>Off (×6)</td> <td>Off</td> <td>1</td> <td>1/2</td> <td>1/2</td> <td>H'0808</td> </tr> </tbody> </table>	クロック 動作 モード	外部端子組み合わせ			PLL1	PLL2	周波数（対入力クロック）			FRQCR 初期値	MD2	MD1	MD0	CPU クロック	バス クロック	周辺 モジュール クロック	4	1	0	0	On (×6)	On	6	3	3/2	H'0E0A	6	1	1	0	Off (×6)	Off	1	1/2	1/2	H'0808
クロック 動作 モード	外部端子組み合わせ			PLL1	PLL2	周波数（対入力クロック）			FRQCR 初期値																													
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 モジュール クロック																														
4	1	0	0	On (×6)	On	6	3	3/2	H'0E0A																													
6	1	1	0	Off (×6)	Off	1	1/2	1/2	H'0808																													
C.1 端子の状態 表 C.1 リセット、低消費電力状態、バス解放状態での端子状態	付録-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">信号名</th> <th rowspan="2">端子機能名</th> <th rowspan="2">I/O</th> <th colspan="2">リセット</th> <th rowspan="2">スリープ</th> <th colspan="2">スタンバイ</th> <th rowspan="2">バス権解放</th> </tr> <tr> <th>パワーオン</th> <th>マニュアル</th> <th>ソフトウェア</th> <th>ハードウェア</th> </tr> </thead> <tbody> <tr> <td>MD3/CE2A</td> <td></td> <td>I/O</td> <td>Pr⁺</td> <td>1</td> <td>IO⁺</td> <td>Z^H</td> <td>Z</td> <td>1</td> </tr> <tr> <td>MD4/CE2B</td> <td></td> <td>I/O</td> <td>Pr⁺</td> <td>1</td> <td>IO⁺</td> <td>Z^H</td> <td>Z</td> <td>1</td> </tr> </tbody> </table>	信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス権解放	パワーオン	マニュアル	ソフトウェア	ハードウェア	MD3/CE2A		I/O	Pr ⁺	1	IO ⁺	Z ^H	Z	1	MD4/CE2B		I/O	Pr ⁺	1	IO ⁺	Z ^H	Z	1					
信号名	端子機能名	I/O				リセット			スリープ	スタンバイ		バス権解放																										
			パワーオン	マニュアル	ソフトウェア	ハードウェア																																
MD3/CE2A		I/O	Pr ⁺	1	IO ⁺	Z ^H	Z	1																														
MD4/CE2B		I/O	Pr ⁺	1	IO ⁺	Z ^H	Z	1																														

修正項目	ページ	修正内容（詳細はマニュアル参照）
C.2 未使用端子の処理	付録-13	<p>説明を修正、注を追加</p> <ul style="list-style-type: none"> • USB を使用しない場合 USB_DP : 外部でプルダウンしてください USB_DM : 外部でプルダウンしてください USB_PENC : 外部でプルアップしてください USB_OVC : 外部でプルアップしてください UCLK : 外部でプルアップしてください • ADC を使用しない場合 AV_{CC-ADC} : 電源 AV_{SS-ADC} : 電源 AN0 ~ AN3 : 外部でプルダウンしてください • ハードウェアスタンバイを使用しない場合 CA : 外部でプルアップ*してください。 <p>【注】* 他の信号からの影響を単独で受けまいよう、単独でプルアップしてください。他の未使用端子についても単独に処理することを推奨します。</p>
D. シンクロナス DRAM のアドレスマルチプレクス表 (9) BUS 32 (64M : 4M x 4b x 4) x 8* (128M : 4M x 8b x 4) x 4 AMX 6 AMXEXT 0 64M, column-addr-10bit 64MB	付録-22	タイトルを修正
F. 電源投入遮断手順について	付録-26、 付録-27	説明を差し替え
G. 型名一覧	付録-28	新規追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7760グループの特長	1-1
1.2	ブロック図	1-8
1.3	ピン配置図	1-9
1.4	端子説明	1-11
1.5	端子機能	1-26
2.	プログラミングモデル	2-1
2.1	データフォーマット	2-1
2.2	レジスタの説明	2-2
2.2.1	特権モードとバンク	2-2
2.2.2	汎用レジスタ	2-5
2.2.3	コントロールレジスタ	2-6
2.2.4	システムレジスタ	2-8
2.2.5	浮動小数点レジスタ	2-8
2.3	メモリ割り付けレジスタ	2-8
2.4	データ形式	2-9
2.4.1	レジスタのデータ形式	2-9
2.4.2	メモリ上でのデータ形式	2-9
2.5	処理状態	2-10
2.6	処理モード	2-11
3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-7
3.3.3	浮動小数点通信レジスタ (FPUL)	3-8
3.4	丸め	3-8
3.5	浮動小数点例外	3-9

3.5.1	一般 FPU 抑止例外 / スロット FPU 抑止例外	3-9
3.5.2	FPU 例外要因	3-9
3.5.3	FPU 例外処理	3-9
3.6	グラフィックサポート機能	3-10
3.6.1	ジオメトリック演算命令	3-10
3.6.2	ペア単精度データ転送	3-12
3.7	使用上の注意事項	3-13
3.7.1	丸めモードとアンダフローフラグ	3-13
3.7.2	FIPR/FTRV 命令によるオーバフローフラグについて	3-14
3.7.3	FIPR/FTRV 命令による演算結果の符号について	3-14
3.7.4	倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項	3-15
4.	命令セット	4-1
4.1	実行環境	4-1
4.2	アドレッシングモード	4-3
4.3	命令セット	4-6
4.4	使用上の注意事項	4-17
4.4.1	TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意	4-17
5.	パイプライン動作	5-1
5.1	パイプライン	5-1
5.2	並列実行性	5-7
5.3	実行サイクルとパイプラインストール	5-10
5.4	使用上の注意事項	5-24
6.	メモリマネジメントユニット (MMU)	6-1
6.1	MMUの概要	6-1
6.1.1	アドレス空間	6-3
6.2	レジスタの説明	6-8
6.2.1	ページテーブルエントリ上位レジスタ (PTEH)	6-9
6.2.2	ページテーブルエントリ下位レジスタ (PTEL)	6-9
6.2.3	ページテーブルエントリアシスタンスレジスタ (PTEA)	6-10
6.2.4	変換テーブルベースレジスタ (TTB)	6-11
6.2.5	TLB 例外アドレスレジスタ (TEA)	6-11
6.2.6	MMU 制御レジスタ (MMUCR)	6-12
6.3	TLBの機能	6-14
6.3.1	共用 TLB (UTLB) の構成	6-14
6.3.2	命令 TLB (ITLB) の構成	6-17
6.3.3	アドレス変換方式	6-18
6.4	MMUの機能	6-20

6.4.1	MMU のハードウェア管理.....	6-20
6.4.2	MMU のソフトウェア管理.....	6-20
6.4.3	MMU の命令 (LDTLB)	6-20
6.4.4	ハードウェア ITLB ミスハンドリング	6-21
6.4.5	シノニム問題の回避	6-21
6.5	MMU例外.....	6-22
6.5.1	命令 TLB 多重ヒット例外	6-22
6.5.2	命令 TLB ミス例外.....	6-23
6.5.3	命令 TLB 保護違反例外.....	6-24
6.5.4	データ TLB 多重ヒット例外	6-24
6.5.5	データ TLB ミス例外.....	6-25
6.5.6	データ TLB 保護違反例外	6-26
6.5.7	初期ページ書き込み例外.....	6-27
6.6	メモリ割り付けTLBの構成	6-28
6.6.1	ITLB アドレスアレイ.....	6-28
6.6.2	ITLB データアレイ 1.....	6-29
6.6.3	ITLB データアレイ 2.....	6-30
6.6.4	UTLB アドレスアレイ	6-30
6.6.5	UTLB データアレイ 1.....	6-31
6.6.6	UTLB データアレイ 2.....	6-32
7.	キャッシュ	7-1
7.1	特長.....	7-1
7.2	レジスタの説明	7-4
7.2.1	キャッシュ制御レジスタ (CCR)	7-5
7.2.2	キューアドレス制御レジスタ 0 (QACR0)	7-7
7.2.3	キューアドレス制御レジスタ 1 (QACR1)	7-7
7.3	オペランドキャッシュの動作説明.....	7-8
7.3.1	読み出し動作	7-8
7.3.2	書き込み動作	7-9
7.3.3	ライトバックバッファ.....	7-10
7.3.4	ライトスルーバッファ.....	7-10
7.3.5	RAM モード.....	7-10
7.3.6	OC インデックスモード	7-11
7.3.7	キャッシュと外部メモリとのコヒーレンシ	7-11
7.3.8	プリフェッチ動作	7-12
7.3.9	キャッシュ倍増モードを使用する場合の注意事項.....	7-12
7.4	命令キャッシュの動作説明.....	7-14
7.4.1	読み出し動作	7-14
7.4.2	IC インデックスモード.....	7-14

7.5	メモリ割り付けキャッシュの構成（キャッシュダイレクトマップモード）	7-15
7.5.1	IC アドレスアレイ	7-15
7.5.2	IC データアレイ	7-16
7.5.3	OC アドレスアレイ	7-17
7.5.4	OC データアレイ	7-18
7.6	メモリ割り付けキャッシュの構成（キャッシュ倍増モード）	7-19
7.6.1	IC アドレスアレイ	7-19
7.6.2	IC データアレイ	7-20
7.6.3	OC アドレスアレイ	7-21
7.6.4	OC データアレイ	7-22
7.6.5	メモリ割り付け OC アドレスのまとめ	7-23
7.7	ストアキュー	7-23
7.7.1	SQ の構成	7-23
7.7.2	SQ への書き込み	7-23
7.7.3	外部メモリへの転送	7-24
7.7.4	SQ アクセスの例外判定	7-25
7.7.5	SQ からの読み出し	7-25
8.	例外処理	8-1
8.1	例外処理の機能	8-1
8.1.1	例外処理の流れ	8-1
8.1.2	例外処理ベクタアドレス	8-2
8.2	例外の種類と優先順位	8-2
8.3	例外フロー	8-5
8.3.1	例外フロー	8-5
8.3.2	例外要因の受け付け	8-6
8.3.3	例外要求と BL ビット	8-7
8.3.4	例外処理からの復帰	8-8
8.4	レジスタの説明	8-8
8.4.1	例外事象レジスタ（EXPEVT）	8-9
8.4.2	割り込み事象レジスタ（INTEVT）	8-9
8.4.3	TRAPA 例外レジスタ（TRA）	8-10
8.5	動作説明	8-11
8.5.1	リセット	8-11
8.5.2	一般例外	8-15
8.5.3	割り込み	8-25
8.5.4	複数回の例外が発生する場合の優先順位	8-28
8.6	使用上の注意事項	8-29
8.7	制限事項	8-30
8.7.1	例外処理ルーチンの第一命令における制限事項	8-30

9.	割り込みコントローラ (INTC)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	レジスタの説明	9-3
9.3.1	割り込み優先レベル設定レジスタ A ~ D (IPRA ~ IPRD)	9-5
9.3.2	割り込み優先レベル設定レジスタ 00 ~ 0C (INTPRI00 ~ INTPRI0C)	9-6
9.3.3	割り込みコントロールレジスタ (ICR)	9-7
9.3.4	割り込み要因レジスタ 00, 04 (INTREQ00, INTREQ04)	9-8
9.3.5	割り込みマスクレジスタ 00, 04 (INTMSK00, INTMSK04)	9-10
9.3.6	割り込みマスククリアレジスタ 00, 04 (INTMSKCLR00, INTMSKCLR04)	9-11
9.4	割り込み要因	9-12
9.4.1	NMI 割り込み	9-12
9.4.2	IRQ 割り込み	9-12
9.4.3	IRL 割り込み	9-12
9.4.4	周辺モジュール割り込み	9-14
9.4.5	割り込み例外処理と優先順位	9-14
9.5	動作説明	9-18
9.5.1	割り込み動作の流れ	9-18
9.5.2	多重割り込み	9-20
9.5.3	MAI ビットによる割り込みマスク	9-20
9.6	割り込み応答時間	9-21
10.	バスステートコントローラ (BSC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	エリアの概要	10-5
10.4	PCMCIA サポート	10-9
10.5	レジスタの説明	10-12
10.5.1	バスコントロールレジスタ 1 (BCR1)	10-14
10.5.2	バスコントロールレジスタ 2 (BCR2)	10-20
10.5.3	バスコントロールレジスタ 3 (BCR3)	10-21
10.5.4	バスコントロールレジスタ 4 (BCR4)	10-22
10.5.5	ウェイトコントロールレジスタ 1 (WCR1)	10-24
10.5.6	ウェイトコントロールレジスタ 2 (WCR2)	10-26
10.5.7	ウェイトコントロールレジスタ 3 (WCR3)	10-31
10.5.8	ウェイトコントロールレジスタ 4 (WCR4)	10-32
10.5.9	個別メモリコントロールレジスタ (MCR)	10-33
10.5.10	PCMCIA コントロールレジスタ (PCR)	10-38
10.5.11	シンクロナス DRAM モードレジスタ (SDMR)	10-40
10.5.12	リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)	10-41

10.5.13	リフレッシュタイマカウンタ (RTCNT)	10-43
10.5.14	リフレッシュタイムコンスタントレジスタ (RTCOR)	10-43
10.5.15	リフレッシュカウントレジスタ (RFCR)	10-43
10.5.16	リフレッシュコントロール関連レジスタアクセス方法.....	10-44
10.6	動作説明	10-44
10.6.1	エンディアン / アクセスサイズとデータアライメント.....	10-44
10.6.2	エリアの説明.....	10-51
10.6.3	SRAM インタフェース.....	10-54
10.6.4	シンクロナス DRAM インタフェース.....	10-63
10.6.5	パースト ROM インタフェース.....	10-88
10.6.6	PCMCIA インタフェース.....	10-91
10.6.7	MPX インタフェース.....	10-102
10.6.8	バイト制御 SRAM インタフェース.....	10-113
10.6.9	アクセスサイクル間ウェイト.....	10-117
10.6.10	バスアービトレーション.....	10-119
10.6.11	バス解放・獲得シーケンス.....	10-120
10.7	使用上の注意事項	10-121
10.7.1	リフレッシュ.....	10-121
10.7.2	バスアービトレーション.....	10-121
11.	ダイレクトメモリアクセスコントローラ (DMAC)	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-4
11.3	レジスタの説明.....	11-5
11.3.1	DMA ソースアドレスレジスタ (SAR)	11-9
11.3.2	DMA デスティネーションアドレスレジスタ (DAR)	11-9
11.3.3	DMA トランスファカウントレジスタ (DMATCR)	11-10
11.3.4	DMA チャネルコントロールレジスタ (CHCR)	11-10
11.3.5	DMA オペレーションレジスタ (DMAOR)	11-18
11.3.6	DMA リクエストリソース選択レジスタ A、B (DMARSRA、DMARSRB)	11-20
11.3.7	DMA 端子制御レジスタ (DMAPCR)	11-23
11.3.8	DMA リクエストコントロールレジスタ (DMARCR)	11-23
11.3.9	DMA BRG コントロールレジスタ (DMABRGCR)	11-26
11.3.10	DMA AUDIO ソースアドレスレジスタ (DMAATXSAR)	11-29
11.3.11	DMA AUDIO デスティネーションアドレスレジスタ (DMAARXDAR)	11-29
11.3.12	DMA AUDIO 送信トランスファカウントレジスタ (DMAATXTCR)	11-29
11.3.13	DMA AUDIO 受信トランスファカウントレジスタ (DMAARXTCR)	11-30
11.3.14	DMA AUDIO コントロールレジスタ (DMAACR)	11-30
11.3.15	DMA AUDIO 送信トランスファカウンタ (DMAATXTCNT)	11-33
11.3.16	DMA AUDIO 受信トランスファカウンタ (DMAARXTCNT)	11-33

11.3.17	DMA USB ソースアドレスレジスタ (DMAUSAR)	11-34
11.3.18	DMA USB デスティネーションアドレスレジスタ (DMAUDAR)	11-34
11.3.19	DMA USB R/W サイズレジスタ (DMAURWSZ)	11-35
11.3.20	DMA USB コントロールレジスタ (DMAUCR)	11-36
11.4	動作説明	11-37
11.4.1	転送フロー	11-37
11.4.2	DMA 転送要求	11-39
11.4.3	チャンネルの優先順位	11-40
11.4.4	DMA 転送の種類	11-43
11.4.5	バスサイクルのサイクル数と \overline{DREQ} 端子のサンプリングタイミング	11-51
11.4.6	DMA 転送終了	11-72
11.4.7	割り込み要求コード	11-75
11.5	使用例	11-76
11.5.1	外部メモリと DACK 付外部デバイスとの転送例	11-76
11.6	DMABRG動作説明	11-78
11.6.1	DMABRG リクエスト	11-78
11.6.2	DMABRG のリセット	11-78
11.6.3	HAC および SSI における DMA 転送の動作モード	11-79
11.6.4	DMA AUDIO 受信動作	11-80
11.6.5	DMA AUDIO 送信動作	11-80
11.6.6	オートリロード機能	11-83
11.6.7	DMA AUDIO の強制終了	11-83
11.6.8	音声データのダブルバッファ制御	11-86
11.6.9	HAC/SSI のエンディアン変換機能	11-86
11.6.10	左右チャンネルの入れ替え	11-87
11.6.11	LCDC における DMA 転送の動作モード	11-88
11.6.12	USB における DMA 転送の動作モード	11-88
11.6.13	USB のエンディアン変換機能	11-90
11.6.14	DMABRG 割り込み	11-92
11.7	使用上の注意事項	11-94
12.	クロック発振器 (CPG)	12-1
12.1	特長	12-1
12.2	入出力端子	12-4
12.3	クロック動作モード	12-5
12.4	レジスタの説明	12-6
12.4.1	周波数制御レジスタ (FRQCR)	12-7
12.4.2	クロック分周レジスタ (DCKDR)	12-9
12.4.3	モジュールクロックコントロールレジスタ (MCKCR)	12-10
12.5	周波数の変更方法	12-11

12.5.1	PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が停止の場合)	12-11
12.5.2	PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が起動の場合)	12-11
12.5.3	バスクロック分周率の変更 (PLL 回路 2 が起動の場合)	12-11
12.5.4	バスクロック分周率の変更 (PLL 回路 2 が停止の場合)	12-12
12.5.5	CPU クロック、周辺クロック分周率の変更	12-12
12.5.6	PLL 回路 3 の起動 / 停止の変更	12-12
12.5.7	DCK 出力クロックの分周率の変更	12-13
12.5.8	DCK 出力クロックの制御	12-13
12.5.9	CKIO 出力クロックの制御	12-13
12.6	使用上の注意事項	12-13
13.	ウォッチドッグタイマ (WDT)	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-3
13.2.1	ウォッチドッグタイマカウンタ (WTCNT)	13-3
13.2.2	ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)	13-4
13.2.3	レジスタアクセス方法	13-5
13.3	動作説明	13-6
13.3.1	スタンバイ解除の手順	13-6
13.3.2	周波数変更の手順	13-6
13.3.3	ウォッチドッグタイマモードの使用法	13-7
13.3.4	インターバルタイマモードの方法	13-7
14.	低消費電力モード	14-1
14.1	入出力端子	14-2
14.2	レジスタの説明	14-2
14.2.1	スタンバイコントロールレジスタ (STBCR)	14-3
14.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	14-4
14.2.3	クロック停止レジスタ 00 (CLKSTP00)	14-5
14.2.4	クロック停止解除レジスタ 00 (CLKSTPCLR00)	14-5
14.3	動作説明	14-6
14.3.1	スリープモード	14-6
14.3.2	ディープスリープモード	14-6
14.3.3	ソフトウェアスタンバイモード	14-6
14.3.4	モジュールスタンバイ機能	14-8
14.3.5	ハードウェアスタンバイモード	14-8
14.3.6	STATUS 端子の変化タイミング	14-10
14.3.7	ハードウェアスタンバイモードのタイミング	14-15
14.4	使用上の注意事項	14-17
14.4.1	消費電流に関する注意事項	14-17

15.	タイマユニット (TMU)	15-1
15.1	特長	15-1
15.2	入出力端子	15-2
15.3	レジスタの説明	15-3
15.3.1	タイマスタートレジスタ (TSTR)	15-4
15.3.2	タイマコンスタントレジスタ (TCOR _n) (n=0~2)	15-4
15.3.3	タイマカウンタ (TCNT _n) (n=0~2)	15-5
15.3.4	タイマコントロールレジスタ (TCR _n) (n=0~2)	15-5
15.3.5	インプットキャプチャレジスタ 2 (TCPR2)	15-7
15.4	動作説明	15-8
15.4.1	カウンタの動作	15-8
15.4.2	インプットキャプチャ機能	15-10
15.5	割り込み	15-11
15.6	使用上の注意事項	15-11
15.6.1	レジスタの書き込みについて	15-11
15.6.2	TCNT レジスタの読み出しについて	15-11
15.6.3	外部クロック周波数について	15-11
16.	コンペアマッチタイマ (CMT)	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	レジスタの説明	16-3
16.3.1	コンフィギュレーションレジスタ (CMTCFG)	16-5
16.3.2	フリーランニングタイマ (CMTFRT)	16-8
16.3.3	コントロールレジスタ (CMTCTL)	16-8
16.3.4	IRQ ステータスレジスタ (CMTIRQS)	16-10
16.3.5	チャンネル 0~チャンネル 3 タイムレジスタ (CMTCH0T~CMTCH3T)	16-11
16.3.6	チャンネル 0~チャンネル 3 ストップタイムレジスタ (CMTCH0ST~CMTCH3ST)	16-12
16.3.7	チャンネル 0~チャンネル 3 タイマ/カウンタ (CMTCH0C~CMTCH3C)	16-12
16.4	動作説明	16-13
16.4.1	エッジ検出	16-13
16.4.2	タイマ 32 ビット: インプットキャプチャ	16-14
16.4.3	タイマ 32 ビット: アウトプットコンペア	16-15
16.4.4	タイマ 16 ビット: インプットキャプチャ	16-16
16.4.5	タイマ 16 ビット: アウトプットコンペア	16-16
16.4.6	カウンタ: アップ/アップダウンカウンタ	16-17
16.4.7	カウンタ: キャプチャ付きアップカウンタ	16-18
16.4.8	割り込み	16-18
16.4.9	ロータリーモード	16-19
16.4.10	タイマ周波数	16-19

16.4.11	スタンバイモード	16-19
17.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	17-1
17.1	特長	17-1
17.2	入出力端子	17-6
17.3	レジスタの説明	17-7
17.3.1	レシーブシフトレジスタ (SCRSR)	17-9
17.3.2	レシーブ FIFO データレジスタ (SCFRDR)	17-9
17.3.3	トランスミットシフトレジスタ (SCTSR)	17-10
17.3.4	トランスミット FIFO データレジスタ (SCFTDR)	17-10
17.3.5	シリアルモードレジスタ (SCSMR)	17-11
17.3.6	シリアルコントロールレジスタ (SCSCR)	17-13
17.3.7	シリアルステータスレジスタ (SCFSR)	17-16
17.3.8	ビットレートレジスタ (SCBRR)	17-20
17.3.9	FIFO コントロールレジスタ (SCFCR)	17-21
17.3.10	トランスミット FIFO データ数レジスタ (SCTFDR)	17-23
17.3.11	レシーブ FIFO データ数レジスタ (SCRFDNR)	17-23
17.3.12	シリアルポートレジスタ (SCSPTR)	17-24
17.3.13	ラインステータスレジスタ (SCLSR)	17-26
17.3.14	シリアルエラーレジスタ (SCRER)	17-27
17.4	動作説明	17-27
17.4.1	概要	17-27
17.4.2	調歩同期式モードの動作	17-29
17.4.3	クロック同期式モードの動作	17-39
17.5	SCIF割り込み要因とDMAC	17-48
17.6	使用上の注意事項	17-49
18.	SIM カードモジュール (SIM)	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-3
18.3.1	シリアルモードレジスタ (SISMR)	18-4
18.3.2	ビットレートレジスタ (SIBRR)	18-5
18.3.3	シリアルコントロールレジスタ (SISCR)	18-6
18.3.4	トランスミットシフトレジスタ (SITSR)	18-7
18.3.5	トランスミットデータレジスタ (SITDR)	18-8
18.3.6	シリアルステータスレジスタ (SISSR)	18-8
18.3.7	レシーブシフトレジスタ (SIRSR)	18-13
18.3.8	レシーブデータレジスタ (SIRDR)	18-13
18.3.9	スマートカードモードレジスタ (SISCMR)	18-13

18.3.10	シリアルコントロール2レジスタ (SISC2R)	18-15
18.3.11	ガードエクステンションレジスタ (SIGRD)	18-15
18.3.12	ウェイトタイムレジスタ (SIWAIT)	18-16
18.3.13	サンプルレジスタ (SISMPL)	18-16
18.4	動作説明	18-17
18.4.1	データフォーマット	18-17
18.4.2	レジスタ設定	18-19
18.4.3	クロック	18-20
18.4.4	データの送信 / 受信動作	18-21
18.5	使用上の注意事項	18-26
18.5.1	受信データタイミング	18-26
18.5.2	スマートカードインタフェースが受信モードの場合の再転送動作 (T=0モード)	18-26
18.5.3	スマートカードインタフェースが送信モードの場合の再転送動作 (T=0モード)	18-27
18.5.4	送信終了割り込みについて	18-28
18.5.5	スタンバイモードの切り替え	18-28
18.5.6	電源投入とクロック	18-29
18.5.7	端子接続	18-29
19.	I ² Cバスインタフェース	19-1
19.1	特長	19-1
19.2	入出力端子	19-2
19.3	レジスタの説明	19-2
19.3.1	スレーブコントロールレジスタ (ICSCR)	19-5
19.3.2	スレーブステータスレジスタ (ICSSR)	19-6
19.3.3	スレーブ割り込みイネーブルレジスタ (ICSIER)	19-8
19.3.4	スレーブアドレスレジスタ (ICSAR)	19-9
19.3.5	マスタコントロールレジスタ (ICMCR)	19-9
19.3.6	マスタステータスレジスタ (ICMSR)	19-11
19.3.7	マスタ割り込みイネーブルレジスタ (ICMIER)	19-13
19.3.8	マスタアドレスレジスタ (ICMAR)	19-14
19.3.9	クロックコントロールレジスタ (ICCCR)	19-15
19.3.10	受信 / 送信データレジスタ (ICRXD/ICTXD)	19-16
19.3.11	FIFO コントロールレジスタ (ICFCR)	19-18
19.3.12	FIFO ステータスレジスタ (ICFSR)	19-19
19.3.13	FIFO 割り込みイネーブルレジスタ (ICFIER)	19-21
19.3.14	受信 FIFO データ数レジスタ (ICRFDR)	19-22
19.3.15	送信 FIFO データ数レジスタ (ICTFDR)	19-22
19.4	動作説明	19-22
19.4.1	データとクロックフィルタ	19-22
19.4.2	クロックジェネレータ	19-22

19.4.3	マスタ/スレーブインタフェース.....	19-23
19.4.4	ソフトウェアステータスインターロック.....	19-23
19.4.5	I ² C バスデータフォーマット.....	19-25
19.4.6	7 ビットアドレスフォーマット.....	19-26
19.4.7	10 ビットアドレスフォーマット.....	19-26
19.4.8	マスタ送信動作 (シングルバッファモード).....	19-28
19.4.9	マスタ受信動作 (シングルバッファモード).....	19-30
19.4.10	スタンバイモード.....	19-31
19.5	FIFOモード動作説明.....	19-31
19.5.1	マスタ送信動作 (FIFO バッファモード).....	19-31
19.5.2	マスタ受信動作 (FIFO バッファモード).....	19-32
19.6	プログラム例.....	19-32
19.6.1	マスタ送信 (シングルバッファモード).....	19-32
19.6.2	マスタ受信 (シングルバッファモード).....	19-33
19.6.3	マスタ送信—リスタート—マスタ受信 (シングルバッファモード).....	19-34
19.6.4	マスタ送信 (FIFO バッファモード).....	19-36
19.6.5	マスタ受信 (FIFO バッファモード).....	19-36
19.7	使用上の注意事項.....	19-37
19.7.1	制限事項 1.....	19-37
19.7.2	制限事項 2.....	19-37
20.	シリアルサウンドインタフェース (SSI) モジュール.....	20-1
20.1	特長.....	20-1
20.2	入出力端子.....	20-2
20.3	レジスタの説明.....	20-3
20.3.1	コントロールレジスタ (SSICR).....	20-4
20.3.2	ステータスレジスタ (SSISR).....	20-9
20.3.3	トランスミットデータレジスタ (SSITDR).....	20-13
20.3.4	レシーブデータレジスタ (SSIRDR).....	20-13
20.4	動作説明.....	20-14
20.4.1	バスフォーマット.....	20-14
20.4.2	非圧縮モード.....	20-14
20.4.3	圧縮モード.....	20-23
20.4.4	動作モード.....	20-25
20.4.5	送信動作.....	20-26
20.4.6	受信動作.....	20-28
20.4.7	シリアルビットクロックコントロール.....	20-31
20.5	使用上の注意事項.....	20-31
20.5.1	受信 DMA 動作中にオーバーフローが起こった場合の制限事項.....	20-31
20.5.2	SSI モジュールスレーブモード動作を停止するときの注意事項.....	20-32

21.	USB ホスト (USB)	21-1
21.1	特長	21-1
21.2	入出力端子	21-2
21.3	レジスタの説明	21-3
21.3.1	ホストコントローラインタフェースリビジョンレジスタ (HcRevision)	21-5
21.3.2	コントロールレジスタ (HcControl)	21-5
21.3.3	コマンドステータスレジスタ (HcCommandStatus)	21-8
21.3.4	割り込みステータスレジスタ (HcInterruptStatus)	21-10
21.3.5	割り込みイネーブルレジスタ (HcInterruptEnable)	21-12
21.3.6	割り込みディスエーブルレジスタ (HcInterruptDisable)	21-13
21.3.7	ホストコントローラコミュニケーションエリアポインタレジスタ (HcHCCA)	21-14
21.3.8	ピリオドカレント ED ポインタレジスタ (HcPeriodCurrentED)	21-15
21.3.9	コントロールヘッド ED ポインタレジスタ (HcControlHeadED)	21-15
21.3.10	コントロールカレント ED ポインタレジスタ (HcControlCurrentED)	21-16
21.3.11	バルクヘッド ED ポインタレジスタ (HcBulkHeadED)	21-16
21.3.12	バルクカレント ED ポインタレジスタ (HcBulkCurrentED)	21-17
21.3.13	終了キューヘッドポインタレジスタ (HcDoneHead)	21-17
21.3.14	フレームインターバルレジスタ (HcFmInterval)	21-18
21.3.15	フレームリメイニングレジスタ (HcFmRemaining)	21-19
21.3.16	フレームナンバーレジスタ (HcFmNumber)	21-19
21.3.17	ピリオドデックススタートレジスタ (HcPeriodicStart)	21-20
21.3.18	ロースピードスレッシュホールドレジスタ (HcLSThreshold)	21-21
21.3.19	ルートハブディスクリプタ A レジスタ (HcRhDescriptor A)	21-21
21.3.20	ルートハブディスクリプタ B レジスタ (HcRhDescriptor B)	21-23
21.3.21	ルートハブステータスレジスタ (HcRhStatus)	21-24
21.3.22	ルートハブポートステータス 1 レジスタ (HcRhPortStatus1)	21-27
21.4	メモリ説明	21-33
21.5	USBホストのデータ格納フォーマット	21-34
21.5.1	転送データの格納フォーマット	21-34
21.5.2	ディスクリプタの格納フォーマット	21-35
21.6	HcRhDescriptorAの設定に関する制約	21-35
22.	コントローラエリアネットワーク 2 (HCAN2)	22-1
22.1	特長	22-1
22.2	構成	22-1
22.2.1	ブロック図	22-1
22.2.2	各ブロックの機能	22-3
22.3	入出力端子	22-4
22.4	プログラミングモデル (概要)	22-4
22.4.1	メモリマップ	22-4

22.4.2	メールボックス (MB0 ~ MB31)	22-6
22.5	レジスタの説明	22-12
22.5.1	マスタコントロールレジスタ (CANMCR)	22-20
22.5.2	ジェネラルステータスレジスタ (CANGSR)	22-23
22.5.3	ビットコンフィギュレーションレジスタ 1、0 (CANBCR1、CANBCR0)	22-25
22.5.4	割り込みリクエストレジスタ (CANIRR)	22-29
22.5.5	割り込みマスクレジスタ (CANIMR)	22-33
22.5.6	送信エラーカウンタ / 受信エラーカウンタ (CANTECREC)	22-33
22.5.7	送信待ちレジスタ 1、0 (CANTXPR1、CANTXPR0)	22-34
22.5.8	送信キャンセルレジスタ 1、0 (CANTXCR1、CANTXCR0)	22-36
22.5.9	送信アクノリッジレジスタ 1、0 (CANTXACK1、CANTXACK0)	22-37
22.5.10	アボートアクノリッジレジスタ 1、0 (CANABACK1、CANABACK0)	22-38
22.5.11	データフレーム受信待ちレジスタ 1、0 (CANRXPR1、CANRXPR0)	22-39
22.5.12	リモートフレーム受信待ちレジスタ 1、0 (CANRFPR1、CANRFPR0)	22-41
22.5.13	メールボックス割り込みマスクレジスタ 1、0 (CANMBIMR1、CANMBIMR0)	22-42
22.5.14	未読メッセージステータスレジスタ 1、0 (CANUMSR1、CANUMSR0)	22-43
22.5.15	タイマカウンタレジスタ (CANTCNR)	22-44
22.5.16	タイマコントロールレジスタ (CANTCR)	22-44
22.5.17	タイマコンペアマッチレジスタ (CANTCMR)	22-46
22.6	動作説明	22-47
22.6.1	テストモード設定	22-47
22.6.2	HCAN2 の設定	22-48
22.6.3	メッセージ送信シーケンス	22-49
22.6.4	メッセージ受信シーケンス	22-52
22.6.5	メールボックスの再設定	22-53
22.6.6	スタンバイモード	22-55
22.7	使用上の注意事項	22-55
22.7.1	自動アクノリッジモードの使用上の注意	22-55
22.7.2	HCAN2 スリープ中のメールボックスアクセスについて	22-55
23.	シリアルペリフェラルインタフェース (HSPI)	23-1
23.1	特長	23-1
23.2	入出力端子	23-3
23.3	レジスタの説明	23-3
23.3.1	コントロールレジスタ (SPCR)	23-4
23.3.2	ステータスレジスタ (SPSR)	23-5
23.3.3	システムコントロールレジスタ (SPSCR)	23-8
23.3.4	トランスミットバッファレジスタ (SPTBR)	23-10
23.3.5	レシーブバッファレジスタ (SPRBR)	23-10
23.4	動作説明	23-11

23.4.1	DMA を使用しない場合の動作 (FIFO モード無効時)	23-11
23.4.2	DMA を使用する場合の動作	23-12
23.4.3	FIFO モード有効時の動作	23-12
23.4.4	タイミング図	23-13
23.4.5	HSPI ソフトリセット	23-14
23.4.6	クロック極性と送信制御	23-14
23.4.7	送信と受信ルーチン	23-14
23.5	低消費電力とクロック同期	23-15
24.	ピンファンクションコントローラ (PFC)	24-1
24.1	特長	24-1
24.2	レジスタの説明	24-3
24.2.1	ポート A コントロールレジスタ (PACR)	24-6
24.2.2	ポート B コントロールレジスタ (PBCR)	24-7
24.2.3	ポート C コントロールレジスタ (PCCR)	24-8
24.2.4	ポート D コントロールレジスタ (PDCR)	24-10
24.2.5	ポート E コントロールレジスタ (PECR)	24-11
24.2.6	ポート F コントロールレジスタ (PFCR)	24-12
24.2.7	ポート G コントロールレジスタ (PGCR)	24-13
24.2.8	ポート H コントロールレジスタ (PHCR)	24-15
24.2.9	ポート J コントロールレジスタ (PJCR)	24-16
24.2.10	ポート K コントロールレジスタ (PKCR)	24-17
24.2.11	ポート A データレジスタ (PADR)	24-19
24.2.12	ポート B データレジスタ (PBDR)	24-19
24.2.13	ポート C データレジスタ (PCDR)	24-20
24.2.14	ポート D データレジスタ (PDDR)	24-20
24.2.15	ポート E データレジスタ (PEDR)	24-21
24.2.16	ポート F データレジスタ (PFDR)	24-21
24.2.17	ポート G データレジスタ (PGDR)	24-22
24.2.18	ポート H データレジスタ (PHDR)	24-22
24.2.19	ポート J データレジスタ (PJDR)	24-23
24.2.20	ポート K データレジスタ (PKDR)	24-23
24.2.21	GPIO 割り込みコントロールレジスタ (GPIOIC)	24-24
24.2.22	ポート A ブルアップ制御レジスタ (PAPUPR)	24-26
24.2.23	ポート B ブルアップ制御レジスタ (PBPUPR)	24-26
24.2.24	ポート C ブルアップ制御レジスタ (PCPUPR)	24-27
24.2.25	ポート D ブルアップ制御レジスタ (PDPUPR)	24-27
24.2.26	ポート E ブルアップ制御レジスタ (PEPUPR)	24-28
24.2.27	ポート F ブルアップ制御レジスタ (PFPUPR)	24-28
24.2.28	ポート G ブルアップ制御レジスタ (PGPUPR)	24-29

24.2.29	ポートH プルアップ制御レジスタ (PHPUPR)	24-29
24.2.30	ポートJ プルアップ制御レジスタ (PJPUPR)	24-30
24.2.31	ポートK プルアップ制御レジスタ (PKPUPR)	24-30
24.2.32	モードピンプルアップ制御レジスタ (MDPUPR)	24-31
24.2.33	入力ピンプルアップ制御レジスタ (INPUPA)	24-32
24.2.34	DMA 端子制御レジスタ (DMAPCR)	24-33
24.2.35	周辺モジュールセレクトレジスタ (IPSELR)	24-34
24.2.36	SCIF.Hi-Z 制御レジスタ (SCIHZR)	24-36
24.2.37	モードセレクトレジスタ (MODSELR)	24-37
25.	オーディオコーデックインタフェース (HAC)	25-1
25.1	特長	25-1
25.2	入出力端子	25-2
25.3	レジスタの説明	25-3
25.3.1	コントロールステータスレジスタ (HACCR)	25-5
25.3.2	コマンド / ステータスアドレスレジスタ (HACCSAR)	25-6
25.3.3	コマンド / ステータスデータレジスタ (HACCSDR)	25-8
25.3.4	PCM レフトチャンネルレジスタ (HACPCML)	25-9
25.3.5	PCM ライトチャンネルレジスタ (HACPCMR)	25-10
25.3.6	TX 割り込みイネーブルレジスタ (HACTIER)	25-11
25.3.7	TX ステータスレジスタ (HACTSR)	25-12
25.3.8	RX 割り込みイネーブルレジスタ (HACRIER)	25-13
25.3.9	RX ステータスレジスタ (HACRSR)	25-14
25.3.10	HAC コントロールレジスタ (HACACR)	25-16
25.4	AC97フレームの-slot構成	25-17
25.5	動作説明	25-19
25.5.1	レシーバ	25-19
25.5.2	トランスミッタ	25-19
25.5.3	DMA	25-19
25.5.4	割り込み	25-20
25.5.5	初期化シーケンス	25-20
25.5.6	低消費電力モード	25-26
25.5.7	注意事項	25-26
25.5.8	参考	25-26
26.	マルチメディアカードインタフェース (MMCIF)	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-3
26.3.1	モードレジスタ (MODER)	26-6

26.3.2	コマンドタイプレジスタ (CMDTYR)	26-7
26.3.3	レスポンスタイプレジスタ (RSPTYR)	26-8
26.3.4	転送バイト数カウントレジスタ (TBCR)	26-10
26.3.5	コマンドレジスタ 0~5 (CMDR0~CMDR5)	26-11
26.3.6	レスポンスレジスタ 0~16 (RSPR0~RSPR16)	26-12
26.3.7	コマンドスタートレジスタ (CMDSTRT)	26-13
26.3.8	オペレーションコントロールレジスタ (OPCR)	26-14
26.3.9	コマンドタイムアウトコントロールレジスタ (CTOCR)	26-16
26.3.10	データタイムアウトレジスタ (DTOUTR)	26-17
26.3.11	カードステータスレジスタ (CSTR)	26-18
26.3.12	割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2)	26-19
26.3.13	割り込みステータスレジスタ 0~2 (INTSTR0~INTSTR2)	26-21
26.3.14	転送クロックコントロールレジスタ (CLKON)	26-26
26.3.15	データレジスタ (DR)	26-26
26.3.16	FIFO ポインタクリアレジスタ (FIFOCLR)	26-28
26.3.17	DMA コントロールレジスタ (DMACR)	26-28
26.3.18	受信データタイミング切替レジスタ (RDTIMSEL)	26-29
26.4	動作説明	26-29
26.4.1	MMC モードの動作	26-29
26.5	MMCIF割り込み要因	26-51
26.6	DMA使用時の動作説明	26-51
26.6.1	読み出しシーケンス時の動作	26-51
26.6.2	書き込みシーケンス時の動作	26-52
26.7	リトルエンディアン設定時のレジスタアクセス	26-55
26.8	使用上の注意事項	26-55
26.8.1	マルチブロックリード時の転送データブロックサイズについて	26-55
27.	多機能インタフェース (MFI)	27-1
27.1	特長	27-1
27.2	入出力端子	27-3
27.3	レジスタの説明	27-4
27.3.1	MFI インデックスレジスタ (MFIIDX)	27-5
27.3.2	MFI 汎用ステータスレジスタ (MFIGSR)	27-7
27.3.3	MFI ステータス / コントロールレジスタ (MFISCR)	27-7
27.3.4	MFI メモリ制御レジスタ (MFIMCR)	27-9
27.3.5	MFI 内部割り込み制御レジスタ (MFIICR)	27-11
27.3.6	MFI 外部割り込み制御レジスタ (MFIEICR)	27-11
27.3.7	MFI アドレスレジスタ (MFIADR)	27-12
27.3.8	MFI データレジスタ (MFI DATA)	27-13
27.4	動作説明	27-13

27.4.1	概要	27-13
27.4.2	接続方法	27-14
27.4.3	メモリマップ	27-14
27.5	インタフェース (基本)	27-15
27.5.1	68 系 8 ビットパラレルインタフェース	27-15
27.5.2	80 系 8 ビットパラレルインタフェース	27-16
27.6	インタフェース (詳細)	27-16
27.6.1	MFIIDX 書き込み / MFIGSR 読み出し	27-16
27.6.2	MFI レジスタの読み出し / 書き込み	27-17
27.6.3	MFI から MFRAM への連続データ書き込み	27-17
27.6.4	MFI から MFRAM の連続データ読み出し	27-18
28.	ユーザデバッグインタフェース (H-UDI)	28-1
28.1	入出力端子	28-3
28.2	バウンダリスキャンTAPコントローラ (EXTEST、SAMPLE/PRELOAD、BYPASS)	28-4
28.2.1	バウンダリスキャンレジスタ (SDBSR)	28-5
28.3	レジスタの説明	28-11
28.3.1	インストラクションレジスタ (SDIR)	28-12
28.3.2	データレジスタ H、L (SDDRH、SDDRL)	28-12
28.3.3	割り込み要因レジスタ (SDINT)	28-13
28.4	動作説明	28-14
28.4.1	TAP 制御	28-14
28.4.2	H-UDI リセット	28-15
28.4.3	H-UDI 割り込み	28-15
28.5	注意事項	28-15
29.	A/D 変換器 (ADC)	29-1
29.1	特長	29-1
29.2	入出力端子	29-3
29.3	レジスタの説明	29-4
29.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDRD)	29-5
29.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	29-6
29.4	動作説明	29-9
29.4.1	シングルモード	29-9
29.4.2	マルチモード	29-11
29.4.3	スキャンモード	29-12
29.4.4	A/D 変換時間	29-15
29.4.5	外部トリガ入力タイミング	29-15
29.5	割り込み要求	29-16
29.6	A/D変換精度の定義	29-16

29.7	使用上の注意事項	29-17
29.7.1	アナログ電圧の設定範囲	29-17
29.7.2	アナログ入力端子の取り扱い	29-17
29.7.3	Pck とクロック分周比の設定	29-18
29.7.4	スタンバイ時の注意事項	29-19
29.7.5	A/D 変換器 DMA 転送時の使用上の注意事項	29-19
29.7.6	A/D 変換器スキャンモードおよびマルチモード時の使用上の注意事項	29-19
29.7.7	A/D 変換器マルチモード時の使用上の注意事項	29-20
30.	LCD コントローラ (LCDC)	30-1
30.1	特長	30-1
30.2	入出力端子	30-2
30.3	レジスタの説明	30-3
30.3.1	LCDC インプットクロックレジスタ (LDICKR)	30-5
30.3.2	LCDC モジュールタイプレジスタ (LDMTR)	30-6
30.3.3	LCDC データフォーマットレジスタ (LDDFR)	30-9
30.3.4	LCDC スキャンモードレジスタ (LDSMR)	30-10
30.3.5	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)	30-11
30.3.6	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)	30-12
30.3.7	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)	30-13
30.3.8	LCDC パレットコントロールレジスタ (LDPALCR)	30-14
30.3.9	パレットデータレジスタ 00 ~ FF (LDPR00 ~ FF)	30-14
30.3.10	LCDC 水平キャラクタナンバーレジスタ (LDHCNR)	30-15
30.3.11	LCDC 水平同期信号レジスタ (LDHSYNR)	30-16
30.3.12	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)	30-17
30.3.13	LCDC 垂直縦ラインナンバーレジスタ (LDVTLNR)	30-18
30.3.14	LCDC 垂直同期信号レジスタ (LDVSYNR)	30-19
30.3.15	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)	30-20
30.3.16	LCDC 割り込みコントロールレジスタ (LDINTR)	30-20
30.3.17	LCDC パワーマネジメントモードレジスタ (LDPMMR)	30-21
30.3.18	LCDC 電源シーケンス期間レジスタ (LDPSPR)	30-23
30.3.19	LCDC コントロールレジスタ (LDCNTR)	30-24
30.4	動作説明	30-25
30.4.1	LCDC で表示可能な液晶モジュールのサイズについて	30-25
30.4.2	回転表示の解像度制限	30-26
30.4.3	カラーパレット仕様について	30-26
30.4.4	データフォーマット	30-28
30.4.5	表示解像度の設定	30-31
30.4.6	電源制御シーケンス処理	30-31
30.4.7	ハードウェアローテーション動作説明	30-35

30.5	クロックとLCDデータ信号例.....	30-37
30.6	使用上の注意事項.....	30-48
30.6.1	LCDC で表示可能な液晶モジュールのサイズについて.....	30-48
30.6.2	ハードウェアローテーション機能について.....	30-48
30.6.3	電源遮断時について.....	30-48
31.	ユーザブレイクコントローラ (UBC).....	31-1
31.1	特長.....	31-1
31.2	レジスタの説明.....	31-3
31.2.1	ブレイクアドレスレジスタ A、B (BARA、BARB).....	31-4
31.2.2	ブレイク ASID レジスタ A、B (BASRA、BASRB).....	31-5
31.2.3	ブレイクアドレスマスクレジスタ A (BAMRA).....	31-5
31.2.4	ブレイクアドレスマスクレジスタ B (BAMRB).....	31-6
31.2.5	ブレイクバスサイクルレジスタ A (BBRA).....	31-7
31.2.6	ブレイクバスサイクルレジスタ B (BBRB).....	31-8
31.2.7	ブレイクデータレジスタ B (BDRB).....	31-9
31.2.8	ブレイクデータマスクレジスタ B (BDMRB).....	31-9
31.2.9	ブレイクコントロールレジスタ (BRCR).....	31-10
31.3	動作説明.....	31-11
31.3.1	アクセスに関する用語の説明.....	31-11
31.3.2	命令間隔に関する用語の説明.....	31-12
31.3.3	ユーザブレイク動作の流れ.....	31-12
31.3.4	命令アクセスサイクルブレイク.....	31-13
31.3.5	オペランドアクセスサイクルブレイク.....	31-14
31.3.6	条件一致フラグの設定.....	31-14
31.3.7	退避したプログラムカウンタ (PC) 値.....	31-15
31.3.8	シーケンシャル条件に対応した隣接 A、B の設定.....	31-16
31.4	使用上の注意事項.....	31-17
31.5	ユーザブレイクデバッグサポート機能.....	31-18
31.6	ユーザブレイク使用例.....	31-20
31.7	ユーザブレイクコントローラ停止機能.....	31-22
31.7.1	ユーザブレイクコントローラ停止状態への遷移.....	31-22
31.7.2	ユーザブレイクコントローラ停止状態の解除.....	31-22
31.7.3	ユーザブレイクコントローラ停止状態の遷移および解除例.....	31-23
32.	レジスタ一覧.....	32-1
32.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順).....	32-2
32.2	レジスタビット一覧.....	32-18
32.3	各動作モードにおけるレジスタの状態.....	32-58

33.	電气的特性	33-1
33.1	絶対最大定格	33-1
33.2	DC特性	33-2
33.3	AC特性	33-4
33.3.1	クロック・制御信号タイミング	33-5
33.3.2	制御信号タイミング	33-12
33.3.3	バスタイミング	33-14
33.3.4	INTC モジュール信号タイミング	33-47
33.3.5	DMAC モジュール信号タイミング	33-47
33.3.6	TMU モジュール信号タイミング	33-48
33.3.7	SCIF モジュール信号タイミング	33-48
33.3.8	H-UDI モジュール信号タイミング	33-50
33.3.9	CMT モジュール信号タイミング	33-52
33.3.10	HCAN2 モジュール信号タイミング	33-53
33.3.11	GPIO 信号タイミング	33-53
33.3.12	I ² C 電气的特性	33-54
33.3.13	HSPI モジュール信号タイミング	33-56
33.3.14	USB 電气的特性	33-58
33.3.15	MFI 電气的特性	33-61
33.3.16	SIM モジュール信号タイミング	33-64
33.3.17	MMCIF モジュール信号タイミング	33-64
33.3.18	LCDC モジュール信号タイミング	33-66
33.3.19	HAC インタフェースモジュール信号タイミング	33-67
33.3.20	SSI インタフェースモジュール信号タイミング	33-68
33.4	A/D変換器特性	33-70
33.5	AC特性測定条件	33-71
33.6	負荷容量による遅延時間の変化	33-72
付録	付録-1
A.	外形寸法図	付録-1
B.	モード端子の設定	付録-3
C.	端子機能	付録-5
C.1	端子の状態	付録-5
C.2	未使用端子の処理	付録-13
D.	シンクロナスDRAMのアドレスマルチプレクス表	付録-14
E.	命令のプリフェッチとその副作用について	付録-25
F.	電源投入遮断手順について	付録-26
F.1	電源投入時の規定	付録-26
F.2	電源遮断時の規定	付録-26
F.3	電源投入時、遮断時共通の規定	付録-27

G. 型名一覧.....	付録-28
H. バージョンレジスタ.....	付録-29
索引	索引-1

図目次

1. 概要	1-1
図 1.1 SH7760 のブロック図	1-8
図 1.2 SH7760 のピン配置図 (BP-256F/BP-256FV)	1-9
図 1.3 SH7760 のピン配置図 (BP-256B/BP-256BV)	1-10
2. プログラミングモデル	2-1
図 2.1 データフォーマット	2-1
図 2.2 処理モード別の CPU レジスタ構成	2-4
図 2.3 汎用レジスタの構成	2-5
図 2.4 メモリ上のデータ形式	2-9
図 2.5 処理状態の状態遷移図	2-11
3. 浮動小数点ユニット (FPU)	3-1
図 3.1 単精度浮動小数点フォーマット	3-2
図 3.2 倍精度浮動小数点フォーマット	3-2
図 3.3 単精度の NaN ビットパターン	3-4
図 3.4 浮動小数点レジスタ	3-6
5. パイプライン動作	5-1
図 5.1 基本パイプライン	5-1
図 5.2 命令実行パターン (1)	5-2
図 5.2 命令実行パターン (2)	5-3
図 5.2 命令実行パターン (3)	5-4
図 5.2 命令実行パターン (4)	5-5
図 5.2 命令実行パターン (5)	5-6
図 5.3 パイプライン実行の例 (1)	5-12
図 5.3 パイプライン実行の例 (2)	5-13
図 5.3 パイプライン実行の例 (3)	5-14
図 5.3 パイプライン実行の例 (4)	5-15
6. メモリマネジメントユニット (MMU)	6-1
図 6.1 MMU の役割	6-2
図 6.2 物理アドレス空間 (MMUCR.AT = 0)	6-3
図 6.3 P4 領域	6-4

図 6.4	外部メモリ空間	6-5
図 6.5	仮想アドレス空間 (MMUCR.AT = 1)	6-6
図 6.6	UTLB の構成	6-14
図 6.7	ページサイズとアドレスの関係	6-15
図 6.8	ITLB の構成	6-17
図 6.9	UTLB を用いたメモリアクセスフロー	6-18
図 6.10	ITLB を用いたメモリアクセスフロー	6-19
図 6.11	LDTLB 命令の動作	6-21
図 6.12	メモリ割り付け ITLB アドレスアレイ	6-29
図 6.13	メモリ割り付け ITLB データアレイ 1	6-29
図 6.14	メモリ割り付け ITLB データアレイ 2	6-30
図 6.15	メモリ割り付け UTLB アドレスアレイ	6-31
図 6.16	メモリ割り付け UTLB データアレイ 1	6-32
図 6.17	メモリ割り込み UTLB データアレイ 2	6-33
7.	キャッシュ	7-1
図 7.1	オペランドキャッシュの構成	7-2
図 7.2	命令キャッシュの構成	7-3
図 7.3	ライトバックバッファの構成	7-10
図 7.4	ライトスルーバッファの構成	7-10
図 7.5	メモリ割り付け IC アドレスアレイ	7-16
図 7.6	メモリ割り付け IC データアレイ	7-16
図 7.7	メモリ割り付け OC アドレスアレイ	7-18
図 7.8	メモリ割り付け OC データアレイ	7-18
図 7.9	メモリ割り付け IC アドレスアレイ	7-20
図 7.10	メモリ割り付け IC データアレイ	7-20
図 7.11	メモリ割り付け OC アドレスアレイ	7-22
図 7.12	メモリ割り付け OC データアレイ	7-22
図 7.13	ストアキューの構成	7-23
8.	例外処理	8-1
図 8.1	命令実行と例外処理	8-6
図 8.2	一般例外の受け付け順序の例	8-7
9.	割り込みコントローラ (INTC)	9-1
図 9.1	INTC のブロック図	9-2
図 9.2	IRL 割り込みの接続例	9-13
図 9.3	割り込み動作フロー	9-19

10. バスステートコントローラ (BSC)	10-1
図 10.1 BSC のブロック図.....	10-3
図 10.2 仮想アドレス空間と外部メモリ空間の対応	10-6
図 10.3 外部メモリ空間割り付け.....	10-8
図 10.4 $\overline{\text{RDY}}$ サンプルングタイミング例	10-23
図 10.5 RTCSR、RTCNT、RTCOR、RFCR への書き込み	10-44
図 10.6 SRAM インタフェースの基本タイミング	10-55
図 10.7 32 ビットデータ幅 SRAM 接続例.....	10-56
図 10.8 16 ビットデータ幅 SRAM 接続例.....	10-57
図 10.9 8 ビットデータ幅 SRAM 接続例.....	10-58
図 10.10 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	10-59
図 10.11 SRAM インタフェースのウェイトステートタイミング ($\overline{\text{RDY}}$ 信号によるウェイトステート挿入)	10-60
図 10.12 SRAM インタフェースのウェイトステートタイミング (読み出しストローブネゲートタイミングの設定) (AnS = 1、AnW = 011、AnH = 10)	10-61
図 10.13 SRAM インタフェース読み出し時の DCK、 $\overline{\text{BS2}}$ 、 $\overline{\text{CS1}}$ タイミング (DCKDR=H'0002、WCR3 の A1RDH=1、A1H[1:0]=10、WCR4 の CSH[1:0]=10、 ウェイト 3 サイクル)	10-62
図 10.14 SRAM インタフェース書き込み時の DCK、 $\overline{\text{BS2}}$ 、 $\overline{\text{CS1}}$ タイミング (DCKDR=H'0002、WCR3 の A1RDH=1、A1H[1:0]=10、WCR4 の CSH[1:0]=10、 ウェイト 3 サイクル)	10-62
図 10.15 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)	10-64
図 10.16 シンクロナス DRAM パーストリード基本タイミング	10-66
図 10.17 シンクロナス DRAM シングルリード基本タイミング	10-67
図 10.18 シンクロナス DRAM パーストライト基本タイミング	10-68
図 10.19 シンクロナス DRAM シングルライト基本タイミング	10-70
図 10.20 パーストリードタイミング	10-72
図 10.21 パーストリードタイミング (RAS ダウン、同一ロウアドレス)	10-73
図 10.22 パーストリードタイミング (RAS ダウン、異なるロウアドレス)	10-74
図 10.23 パーストライトタイミング	10-75
図 10.24 パーストライトタイミング (同一ロウアドレス)	10-76
図 10.25 パーストライトタイミング (異なるロウアドレス)	10-77
図 10.26 パーストリードサイクル後の異なるバンク、異なるロウアドレスに対する パーストリードサイクル.....	10-79
図 10.27 オートリフレッシュの動作.....	10-80
図 10.28 シンクロナス DRAM オートリフレッシュタイミング.....	10-81
図 10.29 シンクロナス DRAM セルフリフレッシュタイミング.....	10-82
図 10.30 (1) シンクロナス DRAM モード書き込みタイミング (PALL)	10-84
図 10.30 (2) シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)	10-85
図 10.31 シンクロナス DRAM パーストリード基本タイミング (パースト長 8)	10-86
図 10.32 シンクロナス DRAM パーストライト基本タイミング	10-87

図 10.33	バースト ROM 基本アクセスタイミング	10-89
図 10.34	バースト ROM ウェイトアクセスタイミング	10-90
図 10.35	バースト ROM ウェイトアクセスタイミング	10-91
図 10.36	PCMCIA インタフェース例	10-95
図 10.37	PCMCIA メモリカードインタフェース基本タイミング	10-96
図 10.38	PCMCIA メモリカードインタフェースウェイトタイミング	10-97
図 10.39	PCMCIA 空間割り付け	10-98
図 10.40	PCMCIA I/O カードインタフェース基本タイミング	10-99
図 10.41	PCMCIA I/O カードインタフェースウェイトタイミング	10-100
図 10.42	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	10-101
図 10.43	32 ビットデータ幅 MPX の接続例	10-102
図 10.44	MPX インタフェースタイミング 1 (シングルリードサイクル、AnW=0、外部ウェイトなし)	10-103
図 10.45	MPX インタフェースタイミング 2 (シングルリード、AnW=0、外部ウェイト 1 挿入)	10-104
図 10.46	MPX インタフェースタイミング 3 (シングルライトサイクル、AnW=0、外部ウェイトなし)	10-105
図 10.47	MPX インタフェースタイミング 4 (シングルライト、AnW=1、外部ウェイト 1 挿入)	10-106
図 10.48	MPX インタフェースタイミング 5 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	10-107
図 10.49	MPX インタフェースタイミング 6 (バーストリードサイクル、AnW=0、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	10-107
図 10.50	MPX インタフェースタイミング 7 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	10-108
図 10.51	MPX インタフェースタイミング 8 (バーストライトサイクル、AnW=1、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	10-108
図 10.52	MPX インタフェースタイミング 8 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	10-109
図 10.53	MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	10-110
図 10.54	MPX インタフェースタイミング 10 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	10-111
図 10.55	MPX インタフェースタイミング 11 (バーストライトサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	10-112
図 10.56	32 ビットデータ幅バイト制御 SRAM の例	10-113
図 10.57	バイト制御 SRAM 基本リードサイクル (ウェイトなし)	10-114
図 10.58	バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)	10-115
図 10.59	バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト+外部 1 ウェイト)	10-116
図 10.60	アクセスサイクル間ウェイト	10-118
図 10.61	アービトレーションシーケンス	10-120

11. ダイレクトメモリアクセスコントローラ (DMAC)	11-1
図 11.1 DMAC ブロック図	11-2
図 11.2 DMABRG のブロック図	11-3
図 11.3 DMAC 転送フローチャート	11-38
図 11.4 ラウンドロビンモード	11-41
図 11.5 ラウンドロビンモードでのチャンネル優先順位変更例	11-42
図 11.6 シングルアドレスモードでのデータの流れ	11-44
図 11.7 シングルアドレスモードでの DMA 転送タイミング	11-45
図 11.8 デュアルアドレスモードの動作説明	11-46
図 11.9 デュアルアドレスモードの転送タイミング例	11-47
図 11.10 サイクルスチールモードでの DMA 転送例	11-47
図 11.11 パーストモードでの DMA 転送例	11-48
図 11.12 複数チャンネルが動作する場合のバス状態	11-51
図 11.13 外部リクエスト 2 チャンネルモード時のデュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、DACK (読み出しサイクル)	11-54
図 11.14 DMABRG モード時のデュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、DACK (読み出しサイクル)	11-55
図 11.15 外部リクエスト 2 チャンネルモード時のデュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (読み出しサイクル)	11-56
図 11.16 DMABRG モード時のデュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (読み出しサイクル)	11-57
図 11.17 外部リクエスト 2 チャンネルモード時のデュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、DACK (読み出しサイクル)	11-58
図 11.18 DMABRG モード時のデュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、DACK (読み出しサイクル)	11-59
図 11.19 外部リクエスト 2 チャンネルモード時のデュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (読み出しサイクル)	11-60
図 11.20 DMABRG モード時のデュアルアドレスモード / パーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、DACK (読み出しサイクル)	11-61
図 11.21 外部リクエスト 2 チャンネルモード時のシングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	11-62
図 11.22 DMABRG モード時のシングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	11-63
図 11.23 外部リクエスト 2 チャンネルモード時のシングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	11-64
図 11.24 DMABRG モード時のシングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	11-65
図 11.25 外部リクエスト 2 チャンネルモード時のシングルアドレスモード / パーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	11-66
図 11.26 DMABRG モード時のシングルアドレスモード / パーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	11-67

図 11.27	外部リクエスト 2 チャンネルモード時のシングルアドレスモード / バーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	11-68
図 11.28	DMABRG モード時のシングルアドレスモード / バーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	11-69
図 11.29	外部リクエスト 2 チャンネルモード時のシングルアドレスモード / バーストモード 外部デバイス 外部バス / $\overline{\text{DREQ}}$ (レベル検出) / 32 バイトブロック転送 (バス幅: 32 ビット、 SDRAM: row hit write)	11-70
図 11.30	DMABRG モード時のシングルアドレスモード / バーストモード 外部デバイス 外部バス / $\overline{\text{DREQ}}$ (レベル検出) / 32 バイトブロック転送 (バス幅: 32 ビット、SDRAM: row hit write)	11-71
図 11.31	HAC/SSI DMA の構成	11-80
図 11.32	HAC 設定フロー例	11-81
図 11.33	SSI 設定フロー例	11-82
図 11.34	DMA AUDIO 強制終了および再開手順	11-84
図 11.35	割り込みを使用した HAC/SSI DMA 設定フロー	11-85
図 11.36	SSI において 8 ビットデータを転送する場合	11-87
図 11.37	HAC/SSI において 16 ビットデータを転送する場合	11-87
図 11.38	LCDC データ転送のフローチャート	11-88
図 11.39	共有メモリ ↔ シンクロナス DRAM 間の DMA 転送フロー	11-89
図 11.40	データアライメントを行うバスの位置関係	11-90
12.	クロック発振器 (CPG)	12-1
図 12.1	CPG のブロック図	12-2
図 12.2	水晶発振子使用時の注意	12-14
図 12.3	PLL 発振回路使用時の注意	12-14
13.	ウォッチドッグタイマ (WDT)	13-1
図 13.1	WDT のブロック図	13-2
図 13.2	WTCNT、WTCNR への書き込み	13-5
14.	低消費電力モード	14-1
図 14.1	パワーオンリセットの STATUS 出力	14-10
図 14.2	マニュアルリセットの STATUS 出力	14-10
図 14.3	ソフトウェアスタンバイ 割り込みの STATUS 出力	14-11
図 14.4	ソフトウェアスタンバイ パワーオンリセットの STATUS 出力	14-11
図 14.5	ソフトウェアスタンバイ マニュアルリセットの STATUS 出力	14-12
図 14.6	スリープ 割り込みの STATUS 出力	14-12
図 14.7	スリープ パワーオンリセットの STATUS 出力	14-13
図 14.8	スリープ マニュアルリセットの STATUS 出力	14-13
図 14.9	ディープスリープ 割り込みの STATUS 出力	14-14
図 14.10	ディープスリープ パワーオンリセットの STATUS 出力	14-14

図 14.11	ディープスリープ マニュアルリセットの STATUS 出力.....	14-15
図 14.12	ハードウェアスタンバイモードのタイミング (通常動作中に CA = ローレベルとなる場合).....	14-16
図 14.13	ハードウェアスタンバイモードのタイミング (WDT 動作中に CA = ローレベルとなる場合).....	14-16
図 14.14	電源 OFF 時のタイミング.....	14-17
15.	タイマユニット (TMU)	15-1
図 15.1	TMU のブロック図.....	15-2
図 15.2	カウント動作設定手順例.....	15-8
図 15.3	TCNT のオートリロード動作	15-9
図 15.4	内部クロック動作時のカウントタイミング	15-9
図 15.5	外部クロック動作時のカウントタイミング	15-10
図 15.6	インットキャプチャ機能使用時の動作タイミング	15-10
16.	コンペアマッチタイマ (CMT)	16-1
図 16.1	CMT のブロック図.....	16-2
図 16.2	エッジ検出.....	16-13
図 16.3	32 ビットタイマモード：インプットキャプチャ	16-14
図 16.4	出力端子アサート期間.....	16-15
図 16.5	32 ビットタイマモード：アウトプットコンペア	16-15
図 16.6	16 ビットタイマモード：インプットキャプチャ	16-16
図 16.7	16 ビットタイマモード：アウトプットコンペア	16-17
図 16.8	アップダウンカウンタモード.....	16-17
図 16.9	アップカウンタモード.....	16-18
図 16.10	キャプチャモード時のアップカウンタ	16-18
図 16.11	ロータリーモード	16-19
17.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	17-1
図 17.1	SCIF のブロック図.....	17-3
図 17.2	$\overline{\text{SCIF_RTS}}$ 端子 (チャンネル 1、チャンネル 2 のみ)	17-4
図 17.3	$\overline{\text{SCIF_CTS}}$ 端子 (チャンネル 1、チャンネル 2 のみ)	17-4
図 17.4	SCIF_CLK 端子.....	17-5
図 17.5	SCIF_TXD 端子.....	17-5
図 17.6	SCIF_RXD 端子	17-6
図 17.7	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	17-30
図 17.8	SCIF の初期化フローチャートの例	17-32
図 17.9	シリアル送信のフローチャートの例	17-33
図 17.10	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	17-35
図 17.11	モデムコントロール ($\overline{\text{SCIF_CTS}}$) 時の動作例 (チャンネル 1、チャンネル 2 のみ)	17-35

図 17.12	シリアル受信のフローチャートの例 (1)	17-36
図 17.12	シリアル受信のフローチャートの例 (2)	17-37
図 17.13	SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	17-39
図 17.14	モデムコントロール (SCIF_RTS) 時の動作例 (チャンネル 1、チャンネル 2 のみ)	17-39
図 17.15	クロック同期式通信のデータフォーマット	17-40
図 17.16	SCIF 初期化フローチャートの例	17-41
図 17.17	シリアル送信のフローチャートの例	17-42
図 17.18	SCIF 送信時の動作例	17-43
図 17.19	シリアル受信のフローチャートの例 (1)	17-44
図 17.19	シリアル受信のフローチャートの例 (2)	17-45
図 17.20	SCIF の受信時の動作例	17-46
図 17.21	シリアル送受信のフローチャートの例	17-47
図 17.22	受信データサンプリングタイミング	17-50
図 17.23	DMAC による同期クロック転送例	17-51
18.	SIM カードモジュール (SIM)	18-1
図 18.1	SIM のブロック図	18-2
図 18.2	スマートカードインタフェースのデータフォーマット	18-18
図 18.3	開始キャラクタの波形例	18-20
図 18.4	初期化のフロー例	18-22
図 18.5	送信処理フローの例	18-23
図 18.6	受信処理フローの例	18-24
図 18.7	スマートカードモード時の受信データサンプリングタイミング	18-26
図 18.8	スマートカードインタフェース受信モードの場合の再転送動作	18-27
図 18.9	スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)	18-28
図 18.10	TEIE セットタイミング	18-28
図 18.11	クロック停止、再起動手順	18-29
図 18.12	スマートカードインタフェース端子接続例	18-30
19.	I ² C バスインタフェース	19-1
図 19.1	I ² C バスインタフェースのブロック図	19-2
図 19.2	I ² C バスタイミング	19-25
図 19.3	マスタデータ送信フォーマット	19-26
図 19.4	マスタデータ受信フォーマット	19-26
図 19.5	マスタ転送の複合転送フォーマット	19-26
図 19.6	10 ビットアドレスデータ転送フォーマット	19-27
図 19.7	10 ビットアドレスデータ受信フォーマット	19-27
図 19.8	10 ビットアドレスデータ送信 / 受信複合フォーマット	19-27
図 19.9	データ転送モード動作タイミング	19-29

図 19.10	データ受信モード動作タイミング	19-30
図 19.11	STOP 条件 (P) が正しく発行されるための FSB=1 設定期間	19-38
20.	シリアルサウンドインタフェース (SSI) モジュール	20-1
図 20.1	SSI のブロック図	20-2
図 20.2	Philips フォーマット (パディングなし)	20-15
図 20.3	Philips フォーマット (パディングあり)	20-16
図 20.4	Sony フォーマット (シリアルデータ、パディングビットの順に送受信)	20-16
図 20.5	松下フォーマット (パディングビット、シリアルデータの順に送受信)	20-17
図 20.6	マルチチャネルフォーマット (4 チャネル、パディングなし)	20-19
図 20.7	マルチチャネルフォーマット (6 チャネル、High パディング)	20-19
図 20.8	マルチチャネルフォーマット (8 チャネル、パディングビット、シリアルデータの順に送受信、パディングあり)	20-20
図 20.9	基本フォーマット例 (送信モード、任意のシステム / データワード長)	20-20
図 20.10	反転クロック	20-21
図 20.11	反転ワード選択信号	20-21
図 20.12	反転パディング極性	20-21
図 20.13	パディングビット、シリアルデータの順に送受信、遅延あり	20-22
図 20.14	パディングビット、シリアルデータの順に送受信、遅延なし	20-22
図 20.15	シリアルデータ、パディングビットの順に送受信、遅延なし	20-22
図 20.16	パラレルデータの右詰め、遅延あり	20-23
図 20.17	ミュート有効	20-23
図 20.18	圧縮データフォーマット、マスタトランスミッタ、バーストモード無効	20-24
図 20.19	圧縮データフォーマット、マスタトランスミッタ、バーストモード有効	20-24
図 20.20	動作モード遷移図	20-25
図 20.21	DMA コントローラを使用した送信	20-27
図 20.22	割り込みデータフロー制御を使用した送信	20-28
図 20.23	DMA コントローラを使用した受信	20-29
図 20.24	割り込みデータフロー制御を使用した受信	20-30
図 20.25	スリープモード時 SSI 転送終了 / 再開タイミング例	20-32
21.	USB ホスト (USB)	21-1
図 21.1	USB ホストのブロック図	21-2
図 21.2	共有メモリのメモリマップ	21-33
図 21.3	USB のデータ読み出し	21-34
図 21.4	期待したデータが転送されないときの例	21-34
図 21.5	RHSC 割り込み処理例	21-35
22.	コントローラエリアネットワーク 2 (HCAN2)	22-1
図 22.1	HCAN2 のブロック図	22-2

図 22.2	HCAN2 メモリマップ	22-5
図 22.3	メールボックス n の構造	22-7
図 22.4	アクセプタンスフィルタ	22-11
図 22.5	リセットシーケンス	22-48
図 22.6	送信リクエスト	22-49
図 22.7	送信内部アービトレーション	22-50
図 22.8	メッセージ受信シーケンス	22-52
図 22.9	受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更	22-54
23.	シリアルペリフェラルインタフェース (HSPI)	23-1
図 23.1	HSPI のブロック図	23-2
図 23.2	動作フローチャート	23-11
図 23.3	FBS=0 のときのタイミング	23-13
図 23.4	FBS=1 のときのタイミング	23-14
25.	オーディオコーデックインタフェース (HAC)	25-1
図 25.1	ブロック図	25-2
図 25.2	AC97 フレームの-slot構成	25-17
図 25.3	初期化シーケンス	25-21
図 25.4	外部コーデックレジスタ書き込みフローチャート例	25-22
図 25.5	外部コーデックレジスタ読み出しフローチャート例	25-23
図 25.6	外部コーデックレジスタ読み出しフローチャート例 (続き)	25-24
図 25.7	外部コーデックレジスタ読み出しフローチャート例 (続き)	25-25
26.	マルチメディアカードインタフェース (MMCIF)	26-1
図 26.1	MMCIF のブロック図	26-2
図 26.2	DR アクセスの例	26-27
図 26.3	コマンドレスポンスを要さないコマンドシーケンスの例	26-31
図 26.4	コマンドレスポンスを要さないコマンドの動作フローチャートの例	26-31
図 26.5	データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)	26-32
図 26.6	データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)	26-33
図 26.7	データ転送を伴わないコマンドの動作フローチャート	26-34
図 26.8	読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)	26-36
図 26.9	読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)	26-37
図 26.10	読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送)	26-38
図 26.11	読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送)	26-39
図 26.12	読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)	26-40
図 26.13	読み出しデータを伴うコマンドの動作フローチャートの例 (マルチブロック転送)	26-41
図 26.14	読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)	26-42
図 26.15	書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)	26-44

図 26.16	書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)	26-45
図 26.17	書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)	26-46
図 26.18	書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送)	26-47
図 26.19	書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送)	26-48
図 26.20	書き込みデータを伴うコマンドの動作フローチャートの例 (マルチブロック転送)	26-49
図 26.21	書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)	26-50
図 26.22	読み出しシーケンスフローの例.....	26-53
図 26.23	書き込みシーケンスフローの例.....	26-54
図 26.24	コマンドレスポンスとデータ受信のタイミング	26-55
27.	多機能インタフェース (MFI)	27-1
図 27.1	MFI ブロック図.....	27-2
図 27.2	EDN ビットの指定内容	27-8
図 27.3	MFI 接続参考例.....	27-14
図 27.4	MFI 68 系インタフェース基本タイミング	27-15
図 27.5	MFI 80 系インタフェース基本タイミング	27-16
図 27.6	MFIIDX 書き込みおよび MFIGSR 読み出し	27-16
図 27.7	MFI レジスタ設定	27-17
図 27.8	MFRAM への連続データ書き込み (8 ビットバス幅の場合、MFISCR.SCRMD2 = 0)	27-17
図 27.9	MFRAM への連続データ読み出し (8 ビットバス幅の場合、MFISCR.SCRMD2 = 0)	27-18
28.	ユーザデバッグインタフェース (H-UDI)	28-1
図 28.1	H-UDI のブロック図.....	28-2
図 28.2	TAP 制御状態遷移図.....	28-14
図 28.3	H-UDI リセット	28-15
29.	A/D 変換器 (ADC)	29-1
図 29.1	A/D 変換器のブロック図.....	29-2
図 29.2	A/D 変換器の動作例 (シングルモード チャネル 1 選択時)	29-10
図 29.3	A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャネル選択時)	29-12
図 29.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャネル選択時)	29-13
図 29.5	マルチモード 4 チャネル選択時データ書き込みタイミング.....	29-14
図 29.6	外部トリガ入力タイミング.....	29-15
図 29.7	A/D 変換精度の定義.....	29-17
図 29.8	アナログ入力端子の保護回路例.....	29-18
図 29.9	アナログ入力端子の等価回路.....	29-18
30.	LCD コントローラ (LCDC)	30-1
図 30.1	LCDC のブロック図.....	30-2
図 30.2	有効な表示と帰線期間.....	30-25

図 30.3	カラーパレットデータフォーマット	30-27
図 30.4	電源制御シーケンスと液晶モジュールの動作状態	30-32
図 30.5	電源制御シーケンスと液晶モジュールの動作状態	30-32
図 30.6	電源制御シーケンスと液晶モジュールの動作状態	30-33
図 30.7	電源制御シーケンスと液晶モジュールの動作状態	30-33
図 30.8	クロックと LCD データ信号例	30-37
図 30.9	クロックと LCD データ信号例	30-38
図 30.10	クロックと LCD データ信号例	30-38
図 30.11	クロックと LCD データ信号例	30-39
図 30.12	クロックと LCD データ信号例	30-39
図 30.13	クロックと LCD データ信号例	30-40
図 30.14	クロックと LCD データ信号例	30-40
図 30.15	クロックと LCD データ信号例	30-41
図 30.16	クロックと LCD データ信号例	30-42
図 30.17	クロックと LCD データ信号例	30-42
図 30.18	クロックと LCD データ信号例	30-43
図 30.19	クロックと LCD データ信号例	30-44
図 30.20	クロックと LCD データ信号例	30-45
図 30.21	クロックと LCD データ信号例	30-46
図 30.22	クロックと LCD データ信号例	30-47
31.	ユーザブレイクコントローラ (UBC)	31-1
図 31.1	UBC のブロック図	31-2
図 31.2	ユーザブレイクデバッグサポート機能のフローチャート	31-19
33.	電気的特性	33-1
図 33.1	EXTAL クロック入力タイミング	33-6
図 33.2	CKIO クロック出力タイミング (1)	33-6
図 33.3	CKIO クロック出力タイミング (2)	33-7
図 33.4	DCK クロック出力タイミング (1)	33-7
図 33.5	DCK クロック出力タイミング (2)	33-7
図 33.6	パワーオン時発振安定時間 (1)	33-8
図 33.7	スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰) (1)	33-8
図 33.8	パワーオン時発振安定時間 (2)	33-9
図 33.9	スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰) (2)	33-9
図 33.10	スタンバイ復帰時発振安定時間 (NMI による復帰)	33-10
図 33.11	スタンバイ復帰時発振安定時間 (IRL3 ~ IRL0 による復帰)	33-10
図 33.12	RESET または MRESET または NMI 割り込みによる PLL 同期安定時間	33-10
図 33.13	IRL 割り込みによる PLL 同期安定時間	33-11
図 33.14	MD 端子セットアップ / ホールドタイミング	33-11

図 33.15	制御信号タイミング	33-12
図 33.16 (1)	リセットまたはスリープモード時のビンドライブタイミング	33-13
図 33.16 (2)	ソフトウェアスタンバイモード時のビンドライブタイミング	33-13
図 33.17	SRAM バスサイクル 基本バスサイクル (ノーウェイト)	33-15
図 33.18	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)	33-16
図 33.19	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト+外部 1 ウェイト)	33-17
図 33.20	SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、 ホールドタイム挿入、AnS = 1、AnH=1).....	33-18
図 33.21	バースト ROM バスサイクル (ノーウェイト)	33-19
図 33.22	バースト ROM バスサイクル (1 番目のデータ: 内部 1 ウェイト+外部 1 ウェイト、 2、3、4 番目のデータ: 内部 1 ウェイト)	33-20
図 33.23	バースト ROM バスサイクル (ノーウェイト、アドレスセットアップ/ ホールドタイム挿入、AnS=1、AnH=1)	33-21
図 33.24	バースト ROM バスサイクル (内部 1 ウェイト+外部 1 ウェイト)	33-22
図 33.25	シンクロナス DRAM オートプリチャージリードバスサイクル、シングル (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	33-23
図 33.26	シンクロナス DRAM オートプリチャージリードバスサイクル、バースト (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	33-24
図 33.27	シンクロナス DRAM ノーマルリードバスサイクル: ACT+READ コマンド、バースト (RCD[1:0]=01、CAS レイテンシ=3)	33-25
図 33.28	シンクロナス DRAM ノーマルリードバスサイクル: PRE+ACT+READ コマンド、バースト (RCD[1:0]=01、TPC[2:0]=001、CAS レイテンシ=3)	33-26
図 33.29	シンクロナス DRAM ノーマルリードバスサイクル: READ コマンド、バースト (CAS レイテンシ=3)	33-27
図 33.30	シンクロナス DRAM オートプリチャージライトバスサイクル、シングル (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	33-28
図 33.31	シンクロナス DRAM オートプリチャージライトバスサイクル、バースト (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	33-29
図 33.32	シンクロナス DRAM ノーマルライトバスサイクル: ACT+WRITE コマンド、バースト (RCD[1:0]=01、TRWL[2:0]=010)	33-30
図 33.33	シンクロナス DRAM ノーマルライトバスサイクル: PRE+ACT+WRITE コマンド、バースト (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	33-31
図 33.34	シンクロナス DRAM ノーマルライトバスサイクル: WRITE コマンド、バースト (TRWL[2:0]=010)	33-32
図 33.35	シンクロナス DRAM バスサイクル プリチャージコマンド (TPC[2:0]=001)	33-33
図 33.36	シンクロナス DRAM バスサイクル オートリフレッシュ (TRAS=1、TRC[2:0]=001)	33-34
図 33.37	シンクロナス DRAM バスサイクル セルフリフレッシュ (TRC[2:0]=001)	33-35
図 33.38	シンクロナス DRAM バスサイクル モードレジスタセット (PALL)	33-36
図 33.39	シンクロナス DRAM バスサイクル モードレジスタセット (SET)	33-37
図 33.40	PCMCIA メモリバスサイクル	33-38
図 33.41	PCMCIA I/O バスサイクル	33-39
図 33.42	PCMCIA I/O バスサイクル (TED=1、TEH=1、内部 1 ウェイト、バスサイジング)	33-40

図 33.43	MPX 基本バスサイクル、リード	33-41
図 33.44	MPX 基本バスサイクル、ライト	33-42
図 33.45	MPX バスサイクル、バーストリード	33-43
図 33.46	MPX バスサイクル、バーストライト	33-44
図 33.47	メモリバイト制御 SRAM バスサイクル	33-45
図 33.48	メモリバイト制御 SRAM バスサイクル 基本リードサイクル (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS=1、AnH=1)	33-46
図 33.49	NMI 入力タイミング	33-47
図 33.50	$\overline{\text{DREQ}}/\overline{\text{DRAK}}$ タイミング	33-47
図 33.51	TCLK 入力タイミング	33-48
図 33.52	SCIFn_CLK 入力クロックタイミング	33-49
図 33.53	SCIF I/O 同期モードクロックタイミング	33-49
図 33.54	TCK 入力タイミング	33-50
図 33.55	$\overline{\text{RESET}}$ ホールドタイミング	33-50
図 33.56	H-UDI データ転送タイミング	33-51
図 33.57	端子ブレークタイミング	33-51
図 33.58	CMT タイミング (1)	33-52
図 33.59	CMT タイミング (2)	33-52
図 33.60	HCAN2 タイミング	33-53
図 33.61	GPIO タイミング	33-53
図 33.62	I ² C I/O バッファのブロック図	33-54
図 33.63	I ² C バスインタフェースモジュール信号タイミング	33-56
図 33.64	HSPI データ出力/入力タイミング	33-57
図 33.65	入力電圧 (V_{IH} 、 V_{IL})	33-58
図 33.66	出力電圧 (V_{OH} 、 V_{OL})	33-58
図 33.67	差動入力感度 (VDI)、差動コモンモードレンジ (VCM)	33-58
図 33.68	AC 特性負荷条件 (Full speed)	33-59
図 33.69	AC 特性負荷条件 (Low speed)	33-60
図 33.70	t_s 、 t_r	33-60
図 33.71	V_{CRS}	33-60
図 33.72	68 系バス AC 特性	33-62
図 33.73	80 系バス AC 特性 (リード時)	33-63
図 33.74	80 系バス AC 特性 (ライト時)	33-63
図 33.75	SIM モジュール信号タイミング	33-64
図 33.76	MMCIF 送信タイミング	33-65
図 33.77	MMCIF 受信タイミング	33-65
図 33.78	LCDC モジュール信号タイミング	33-66
図 33.79	HAC コールドリセットタイミング	33-67
図 33.80	HAC コールドリセットタイミング	33-67
図 33.81	HAC クロック入力タイミング	33-67
図 33.82	HAC インタフェースモジュール信号タイミング	33-68

図 33.83	SSI クロック入力、出力タイミング	33-68
図 33.84	SSI 送信タイミング (1)	33-69
図 33.85	SSI 送信タイミング (2)	33-69
図 33.86	SSI 受信タイミング (1)	33-69
図 33.87	SSI 受信タイミング (2)	33-69
図 33.88	出力付加回路	33-71
図 33.89	負荷容量 - 遅延時間	33-72
付録		付録-1
図 A.1	外形寸法図 (BP-256F/BP-256FV)	付録-1
図 A.2	外形寸法図 (BP-256B/BP-256BV)	付録-2
図 E.1	命令のプリフェッチ	付録-25
図 F.1	電源シーケンス (1)	付録-27
図 F.2	電源シーケンス (2)	付録-27

表目次

1. 概要	1-1
表 1.1 特長	1-2
表 1.2 端子の配置表 (BP-256F : 21mm)	1-11
表 1.3 端子の配置表 (BP-256B : 17mm)	1-19
表 1.4 端子機能 (MFI モード / LCD モードで端子機能が変わる端子)	1-26
表 1.5 端子機能	1-27
表 1.6 端子機能	1-30
2. プログラミングモデル	2-1
表 2.1 レジスタの初期値	2-3
3. 浮動小数点ユニット (FPU)	3-1
表 3.1 浮動小数点のフォーマットとパラメータ	3-3
表 3.2 浮動小数点の範囲	3-3
表 3.3 FPU 例外処理に関連するビットの割り付け	3-8
4. 命令セット	4-1
表 4.1 アドレッシングモードと実効アドレス	4-3
表 4.2 命令リストの表記	4-6
表 4.3 固定小数点転送命令	4-7
表 4.4 算術演算命令	4-8
表 4.5 論理演算命令	4-10
表 4.6 シフト命令	4-11
表 4.7 分岐命令	4-11
表 4.8 システム制御命令	4-12
表 4.9 浮動小数点単精度命令	4-14
表 4.10 浮動小数点倍精度命令	4-15
表 4.11 浮動小数点制御命令	4-15
表 4.12 浮動小数点グラフィック強化命令	4-16
5. バイプライン動作	5-1
表 5.1 命令グループ (1)	5-7
表 5.1 命令グループ (2)	5-8
表 5.1 命令グループ (3)	5-9

表 5.2	並列実行性	5-9
表 5.3	実行サイクル	5-16
6.	メモリマネジメントユニット (MMU)	6-1
表 6.1	レジスタ構成 (1)	6-8
表 6.1	レジスタ構成 (2)	6-8
7.	キャッシュ	7-1
表 7.1	キャッシュの特長 (EMODE = 0)	7-1
表 7.2	キャッシュの特長 (EMODE = 1)	7-1
表 7.3	ストアキューの特長	7-2
表 7.4	レジスタ構成 (1)	7-4
表 7.4	レジスタ構成 (2)	7-4
8.	例外処理	8-1
表 8.1	例外要因の種類と優先順位	8-2
表 8.2	レジスタ構成 (1)	8-8
表 8.2	レジスタ構成 (2)	8-8
9.	割り込みコントローラ (INTC)	9-1
表 9.1	端子構成	9-3
表 9.2	レジスタ構成 (1)	9-3
表 9.2	レジスタ構成 (2)	9-4
表 9.3	割り込み要求元と IPRA ~ IPRD	9-5
表 9.4	割り込み要求元と INTPRIO0 ~ INTPRIOC	9-6
表 9.5	割り込み要求元と各レジスタのビットの割り付け (1)	9-9
表 9.5	割り込み要求元と各レジスタのビットの割り付け (2)	9-9
表 9.6	$\overline{IRL3}$ ~ $\overline{IRL0}$ 端子と割り込みレベル	9-13
表 9.7	割り込み例外処理要因と優先順位	9-15
表 9.8	割り込み応答時間	9-21
10.	バスステートコントローラ (BSC)	10-1
表 10.1	端子構成	10-4
表 10.2	外部メモリ空間マップ	10-7
表 10.3	外部端子 (MD4 と MD3) とバス幅の対応	10-9
表 10.4	PCMCIA インタフェースの特長	10-9
表 10.5	PCMCIA サポートインタフェース	10-10
表 10.6	レジスタ構成 (1)	10-12
表 10.6	レジスタ構成 (2)	10-13
表 10.7	アクセス間のアイドル挿入	10-25

表 10.8	MPX インタフェース設定時	10-30
表 10.9	エリア 1 に対する WCR3、WCR4 の設定	10-33
表 10.10	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	10-45
表 10.11	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	10-46
表 10.12	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	10-47
表 10.13	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	10-48
表 10.14	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	10-49
表 10.15	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	10-50
表 10.16	SH7760 とシンクロナス DRAM のアドレス端子対応例 (バス幅 32 ビット、AMX2 ~ AMX0 = 000、AMXEXT=0)	10-65
表 10.17	パイプラインアクセスが可能なサイクル一覧	10-79
表 10.18	PCMCIA インタフェース使用時のアドレスと CE の関係	10-93
11.	ダイレクトメモリアクセスコントローラ (DMAC)	11-1
表 11.1	DMAC の端子構成	11-4
表 11.2	レジスタ構成 (1)	11-5
表 11.2	レジスタ構成 (2)	11-7
表 11.3	外部リクエスト 2 チャンネルモード (DMAOR の DMS[1:0]=00 のとき)	11-16
表 11.4	DMABRG モード (DMAOR の DMS[1:0]=11 のとき)	11-17
表 11.5 (1)	受信スロットデータと外部バス間のデータアライメント	11-32
表 11.5 (2)	送信スロットデータと外部バス間のデータアライメント	11-33
表 11.6	RS ビットによる外部リクエストモードの選択	11-39
表 11.7	サポートできる DMA 転送	11-43
表 11.8	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	11-48
表 11.9 (1)	外部リクエスト 2 チャンネルモード時の外部リクエストによる転送元、転送先一覧	11-49
表 11.9 (2)	DMABRG モード時の外部リクエストによる転送元、転送先一覧	11-50
表 11.10	DMAC 割り込み要求コード	11-75
表 11.11 (1)	外部メモリと DACK 付外部デバイス間転送条件とレジスタ設定値	11-76
表 11.11 (2)	外部メモリと DACK 付外部デバイス間転送条件とレジスタ設定値	11-77
表 11.12	周辺バスと USB ブリッジバス間のデータアライメント	11-91
表 11.13	外部バスと USB ブリッジバス間のデータアライメント	11-92
12.	クロック発振器 (CPG)	12-1
表 12.1	発振回路の端子構成と機能	12-4
表 12.2	クロック動作モード	12-5
表 12.3	FRQCR の設定値と CPU クロックの周波数	12-5
表 12.4	レジスタ構成 (1)	12-6
表 12.4	レジスタ構成 (2)	12-6

13. ウォッチドッグタイマ (WDT)	13-1
表 13.1 レジスタ構成 (1)	13-3
表 13.1 レジスタ構成 (2)	13-3
14. 低消費電力モード	14-1
表 14.1 低消費電力モードの状態	14-1
表 14.2 端子構成	14-2
表 14.3 レジスタ構成 (1)	14-2
表 14.3 レジスタ構成 (2)	14-2
表 14.4 CLKSTP00、CLKSTPCLR00 ビット割り付け	14-5
15. タイマユニット (TMU)	15-1
表 15.1 端子構成	15-2
表 15.2 レジスタ構成 (1)	15-3
表 15.2 レジスタ構成 (2)	15-3
表 15.3 TMU の割り込み要因	15-11
16. コンペアマッチタイマ (CMT)	16-1
表 16.1 端子構成	16-2
表 16.2 レジスタ構成 (1)	16-3
表 16.2 レジスタ構成 (2)	16-4
17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	17-1
表 17.1 SCIF の端子構成	17-6
表 17.2 レジスタ構成 (1)	17-7
表 17.2 レジスタ構成 (2)	17-8
表 17.3 SCSMR の設定値	17-20
表 17.4 SCSMR の設定値とシリアル送信 / 受信フォーマット	17-28
表 17.5 SCSMR、SCSCR の設定と SCIF のクロックソースの選択	17-29
表 17.6 シリアル送信 / 受信フォーマット (調歩同期式モード)	17-30
表 17.7 SCIF 割り込み要因	17-48
18. SIM カードモジュール (SIM)	18-1
表 18.1 端子構成	18-2
表 18.2 レジスタ構成 (1)	18-3
表 18.2 レジスタ構成 (2)	18-3
表 18.3 スマートカードインタフェースでのレジスタ設定	18-19
表 18.4 SIBRR の設定に対するビットレート (bit/s) の例 (Pck = 33[MHz]、SISMPPL = 371)	18-21
表 18.5 スマートカードインタフェース割り込み要因	18-25

19. I ² C バスインタフェース	19-1
表 19.1 I ² C バスインタフェースの端子構成	19-2
表 19.2 レジスタ構成 (1)	19-3
表 19.2 レジスタ構成 (2)	19-4
表 19.3 CDF と SCGD の推奨値	19-16
表 19.4 I ² C バスデータフォーマットの記号説明	19-25
20. シリアルサウンドインタフェース (SSI) モジュール	20-1
表 20.1 端子構成	20-2
表 20.2 レジスタ構成 (1)	20-3
表 20.2 レジスタ構成 (2)	20-3
表 20.3 SSI モジュールのバスフォーマット	20-14
表 20.4 有効な設定とパディングビット数	20-18
21. USB ホスト (USB)	21-1
表 21.1 端子構成	21-2
表 21.2 レジスタ構成 (1)	21-3
表 21.2 レジスタ構成 (2)	21-4
22. コントローラエリアネットワーク 2 (HCAN2)	22-1
表 22.1 端子構成	22-4
表 22.2 メールボックス構成	22-6
表 22.3 メールボックス機能の設定	22-10
表 22.4 レジスタ構成 (1)	22-12
表 22.4 レジスタ構成 (2)	22-16
表 22.5 TSEG1 と TSEG2 の設定値	22-28
表 22.6 テストモード設定	22-47
23. シリアルペリフェラルインタフェース (HSPI)	23-1
表 23.1 端子構成	23-3
表 23.2 レジスタ構成 (1)	23-3
表 23.2 レジスタ構成 (2)	23-3
24. ピンファンクションコントローラ (PFC)	24-1
表 24.1 ポートコントロールレジスタで制御されるマルチプレクスー一覧表	24-1
表 24.2 レジスタ構成 (1)	24-4
表 24.2 レジスタ構成 (2)	24-5

25. オーディオコーデックインタフェース (HAC)	25-1
表 25.1 HAC の端子構成	25-2
表 25.2 レジスタ構成 (1)	25-3
表 25.2 レジスタ構成 (2)	25-4
表 25.3 AC97 送信フレームの説明	25-18
表 25.4 AC97 受信フレームの説明	25-18
26. マルチメディアカードインタフェース (MMCIF)	26-1
表 26.1 端子構成	26-3
表 26.2 レジスタ構成 (1)	26-3
表 26.2 レジスタ構成 (2)	26-4
表 26.3 コマンドと CMDTYR、RSPTYR の設定	26-9
表 26.4 CMDR の構成	26-11
表 26.5 コマンドレスポンスバイト数と RSPR レジスタの対応	26-12
表 26.6 コマンドシーケンスの停止するカードステータス	26-15
表 26.7 MMCIF 割り込み要因	26-51
27. 多機能インタフェース (MFI)	27-1
表 27.1 端子構成	27-3
表 27.2 レジスタ構成 (1)	27-4
表 27.2 レジスタ構成 (2)	27-4
表 27.3 MFI 動作	27-13
表 27.4 MFIIDX、MFIGSR へのアクセス	27-14
表 27.5 メモリマップ	27-14
28. ユーザデバッグインタフェース (H-UDI)	28-1
表 28.1 H-UDI の端子構成	28-3
表 28.2 パウンダリスキャン TAP コントローラのサポートコマンド	28-4
表 28.3 (1) SDBSR の構成	28-6
表 28.3 (2) SDBSR の構成	28-7
表 28.3 (3) SDBSR の構成	28-8
表 28.3 (4) SDBSR の構成	28-9
表 28.3 (5) SDBSR の構成	28-10
表 28.4 レジスタ構成 (1)	28-11
表 28.4 レジスタ構成 (2)	28-11
表 28.4 レジスタ構成 (3)	28-11
29. A/D 変換器 (ADC)	29-1
表 29.1 端子構成	29-3
表 29.2 レジスタ構成 (1)	29-4

表 29.2	レジスタ構成 (2)	29-4
表 29.3	アナログ入力チャネルと A/D データレジスタの対応	29-5
表 29.4	A/D 変換時間	29-15
表 29.5	クロック分周比と使用可能入力クロック周波数関係	29-18
表 29.6	AD 変換時間	29-20
表 29.7	ADST 変更間隔	29-20
表 29.8	Pck とクロック分周比の設定	29-20
30.	LCD コントローラ (LCDC)	30-1
表 30.1	端子構成	30-2
表 30.2	レジスタ構成 (1)	30-3
表 30.2	レジスタ構成 (2)	30-4
表 30.3	入出力クロック周波数と分周比	30-6
表 30.4	回転機能の対応する表示解像度	30-26
表 30.5	代表的なフレームレートにおいて設定可能な電源制御シーケンス期間	30-34
表 30.6	LCDC 動作モード	30-34
表 30.7	液晶モジュール電源状態	30-35
31.	ユーザブレイクコントローラ (UBC)	31-1
表 31.1	レジスタ構成 (1)	31-3
表 31.1	レジスタ構成 (2)	31-3
32.	レジスタ一覧	32-1
33.	電気的特性	33-1
表 33.1	絶対最大定格	33-1
表 33.2	DC 特性 ($T_a = -20 \sim 75$ / $-40 \sim 85$)	33-2
表 33.3	出力許容電流値	33-4
表 33.4	クロックタイミング	33-4
表 33.5	クロック・制御信号タイミング	33-5
表 33.6	制御信号タイミング	33-12
表 33.7	バスタイミング	33-14
表 33.8	INTC モジュール信号タイミング	33-47
表 33.9	DMAC モジュール信号タイミング	33-47
表 33.10	TMU モジュール信号タイミング	33-48
表 33.11	SCIF モジュール信号タイミング	33-48
表 33.12	H-UDI モジュール信号タイミング	33-50
表 33.13	CMT モジュール信号タイミング	33-52
表 33.14	HCAN2 モジュール信号タイミング	33-53
表 33.15	GPIO 信号タイミング	33-53

表 33.16	I ² C I/O バッファの真理値表	33-54
表 33.17	I ² C DC 特性.....	33-54
表 33.18	I ² C パスインタフェースモジュール信号タイミング.....	33-55
表 33.19	I ² C シュミット特性	33-55
表 33.20	HSPI モジュール信号タイミング	33-56
表 33.21	USB DC 特性.....	33-58
表 33.22	USB AC 特性.....	33-59
表 33.23	68 系バス AC 特性.....	33-61
表 33.24	80 系バス AC 特性.....	33-62
表 33.25	SIM モジュール信号タイミング.....	33-64
表 33.26	MMCIF モジュール信号タイミング.....	33-64
表 33.27	LCDC モジュール信号タイミング.....	33-66
表 33.28	HAC インタフェースモジュール信号タイミング.....	33-67
表 33.29	SSI インタフェースモジュール信号タイミング.....	33-68
表 33.30	A/D 変換器特性	33-70
付録	付録-1	
表 B.1	SH7760 のクロック動作モード.....	付録-3
表 B.2	エリア 0 のメモリタイプ・バス幅.....	付録-3
表 B.3	エンディアン	付録-3
表 B.4	MFI モード / LCD モード.....	付録-4
表 B.5	クロック入力	付録-4
表 C.1	リセット、低消費電力状態、バス解放状態での端子状態.....	付録-5
表 G.1	SH7760 型名一覧	付録-28
表 H.1	レジスタ構成	付録-29

1. 概要

1.1 SH7760 グループの特長

本 LSI は、LCD コントローラ、USB ホスト、各種周辺機能を内蔵するマイコンです。SuperH™ RISC engine はルネサス テクノロジオリジナルの 32 ビット RISC (縮小命令セットコンピュータ) マイコンです。SuperH™ RISC engine は 16 ビット固定長の命令セットを採用しており、32 ビット命令に対し、プログラムのサイズを約 50% 縮小することができます。

本 LSI の CPU には SH-1、SH-2、SH-3 マイクロコンピュータとの命令セットレベルでの上位互換性を特長とする SH-4 CPU を採用しています。本 LSI は命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能なオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリマネジメントユニット) を内蔵しています。キャッシュ容量は、命令キャッシュ 16K バイト、データキャッシュ 32K バイトです。

本 LSI は、シンクロナス DRAM に接続可能なバスステートコントローラ (BSC) を内蔵しています。また LCD コントローラ、USB ホスト、タイマ、シリアル通信機能などのマルチメディア、OA 機器に必要とされる機能を内蔵しているため、システムコストを大幅に低減可能です。

本 LSI の特長を表 1.1 に示します。

1. 概要

表 1.1 特長

項目	特長
LSI	<ul style="list-style-type: none">• 周波数：200MHz• 性能：360MIPS、1.4GFLOPS• 電圧：1.5V（内部）、3.3V（I/O）• スーパスカラ：2つの命令の並列実行• パッケージ：256ピン BGA（大きさ：17×17mm、ピンピッチ：0.8mm）• 外部バス： 独立した26ビットアドレスと32ビットデータバス 外部バス周波数：67MHz• MFIモードまたはLCDモードを選択可能： MFIモード：8/16ビットパラレルインタフェース （68/80系インタフェースサポート） LCDモード：LCDコントローラ/データ出力
CPU	<ul style="list-style-type: none">• ルネサスオリジナルアーキテクチャ• 32ビット内部データバス• 汎用レジスタファイル： 16本の32ビット汎用レジスタ（および8本の32ビットシャドウレジスタ） 7本の32ビット制御レジスタ 4本の32ビットシステムレジスタ• RISCタイプ命令セット（SH-1、SH-2、SH-3と上位互換）： 命令長：コードの効率改善のための16ビット固定長 ロードストアアーキテクチャ 遅延分岐命令 条件付き実行 C言語に基づく命令セット• FPUを含む2命令同時実行型スーパスカラ• 命令実行時間：最大2命令/サイクル• 仮想アドレス空間：4Gバイト（448Mバイト外部メモリ空間）• 空間識別子 ASID：8ビット、256仮想アドレス空間• 乗算器内蔵• 5段パイプライン

項目	特長
FPU	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 2 つの丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット × 16 × 2 バンク (単精度: 32 ビット × 16 または倍精度: 64 ビット × 8) × 2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間: レイテンシ (FMAC/FADD/FSUB/FMUL): 3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL): 1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています • 3D グラフィック命令 (単精度のみ): 4 次元ベクトル変換および行列演算 (FTRV): 4 サイクル (ピッチ)、7 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積: 1 サイクル (ピッチ)、4 サイクル (レイテンシ) • 5 段パイプライン
クロック発振器 (CPG)	<ul style="list-style-type: none"> • メインクロック選択回路: EXTAL の 1、6、12 倍 • クロックモード: CPU 周波数: (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8 バス周波数: (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8 周辺周波数: (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8 • 低消費電力モード: スリープモード ディープスリープモード スタンバイモード ハードウェアスタンバイモード モジュールスタンバイモード • 1 チャンネルのウォッチドックタイマ
メモリマネジメントユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、64K、1M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入れ換え方法およびランダムカウンタ方式入れ換えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能

1. 概要

項目	特 長
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC) <ul style="list-style-type: none"> 16K バイト、2 ウェイセットアソシエイティブ (LRU) 256 エントリ、32 バイトブロック長 キャッシュ倍増モード (16K バイトキャッシュ) インデックスモード • オペランドキャッシュ (OC) <ul style="list-style-type: none"> 32K バイト、2 ウェイセットアソシエイティブ (LRU) 512 エントリ、32 バイトブロック長 キャッシュ倍増モード (32K バイトキャッシュ) インデックスモード RAM モード (16K バイトキャッシュ + 16K バイト RAM) 選択可能な書き込み方式 (コピーバック / ライトスルー) • 1 段コピーバックバッファ、1 段ライトスルーバッファ • キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能) • ストアキュー (32 バイト × 2 エントリ)
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> • 9 本の独立した外部割り込み: NMI、IRL3 ~ IRL0、IRQ7 ~ IRQ4 • 15 レベルの符号化した外部割り込み: IRL3 ~ IRL0 • 内蔵周辺割り込み: モジュールごとに優先レベルを設定
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブ레이크割り込みによるデバックをサポート • 2 本のブ레이크チャンネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • 外部メモリアクセスをサポート • それぞれ最大 64M バイトの 7 つのエリアに分割した外部メモリ空間、各エリアには次の機能を設定可能: <ul style="list-style-type: none"> バスサイズ (8、16、32 ビット) ウェイトサイクル数 (ハードウェアウェイト機能もサポート) SRAM、シンクロナス DRAM、バースト ROM 接続可能 PCMCIA インタフェースサポート (リトルエンディアンモード時のみ) • シンクロナス DRAM リフレッシュ機能: <ul style="list-style-type: none"> プログラマブルなりフレッシュ間隔 オートリフレッシュおよびセルフリフレッシュモードをサポート • シンクロナス DRAM バーストアクセス機能 • ビッグエンディアンまたはリトルエンディアンを設定可能

項目	特 長
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 8チャンネル物理アドレス DMA コントローラ • 転送データサイズ：8、16、32、64 ビットまたは 32 バイト • アドレスモード： <ul style="list-style-type: none"> 1 バスサイクルシングルアドレスモード 2 バスサイクルデュアルアドレスモード • 転送要求：外部リクエスト、周辺モジュールリクエスト、またはオートリクエスト • DACK/DRAK 選択可能（4つの外部端子） • バスモード：サイクルスチールモードとバーストモードの選択可能 • HAC/SSI、USB、LCDC データ転送用に FIFO ブリッジ（16 段×32 ビット FIFO×7）を内蔵、高速転送をサポート
タイマ (TMU)	<ul style="list-style-type: none"> • 3チャンネルのオートリロード 32 ビットタイマ • インพุットキャプチャ機能 (ch2のみ) • 6種類（外部クロックおよび周辺クロック）のカウンタ入力クロックを選択可能
コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> • 4チャンネルのオートリロード 32 ビットタイマ • 16 または 32 ビットを選択可能 • ワンショット動作またはフリーランニング動作を選択可能 • 割り込み要因や DMA 転送要求にコンペアマッチまたはオーバフローを選択可能
シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 3本の全二重通信チャンネル • 全チャンネルに 128 バイト FIFO 内蔵 • 調歩同期式モードおよびクロック同期式モードをサポート • 内蔵ボーレートジェネレータにより、任意のビットレートを選択可能 • モデムコントロール機能 (SCIF_RTS、SCIF_CTS) 内蔵 (ch1、2のみ)
オーディオ コーデック インタフェース (HAC)	<ul style="list-style-type: none"> • オーディオコーデック用デジタルインタフェース • スロット 1~4 の送受信に対応 • 送受信 DMA 転送は 16 または 20 ビットを選択可能 • スロットデータの調整により各種サンプリングレートをサポート • データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • 2チャンネルの双方向シリアル転送（最大） • マルチチャンネル転送および圧縮データ転送をサポート • フレームサイズを設定可能
I ² C バスインタフェース (I ² C)	<ul style="list-style-type: none"> • 2チャンネル（最大） • マスタ/スレーブ • 16 バイト FIFO • 400kbits/sec の高速転送モードをサポート • Version 1.0 サポート

1. 概要

項目	特 長
マルチメディア カード インタフェース (MMCIF)	<ul style="list-style-type: none"> • MMC モードをサポート • 最大ビットレート 20Mbps (周辺クロック 20MHz 時) • MCCLK 出力 (転送クロック出力) 端子、MCCMD 入出力 (コマンド出力 / レスポンス入力) 端子、MCDAT 入出力 (データ入出力) 端子によるインタフェース • 割り込み要因 : 4 種類
スマートカード インタフェース (SIM)	<ul style="list-style-type: none"> • ISO/IEC7816-3 (Identification Card) をサポート • 調歩式半二重伝送 (8 ビット) • 内部ボードレートジェネレータで任意のビットレートを選択可能 • パリティビットの生成とチェック • 割り込み要因 : 4 種類
コントローラエリア ネットワーク 2 (HCAN2)	<ul style="list-style-type: none"> • 2 チャンネル (最大) • CAN 規格 2.0A と 2.0B をサポート : 標準データとリモートフレーム (11 ビットの ID) 拡張データとリモートフレーム (29 ビットの ID) • 標準 (11 ビット) や拡張 (29 ビット) の ID フォーマットを用いて独立した 32 個のメッセージバッファ : 送信または受信に設定可能な 31 個のメールボックス 受信のみ可能な 1 個のメールボックス • ID によるメッセージ受付のフィルタリング : 標準メッセージ ID 拡張メッセージ ID • 受信のみ可能なメールボックスのためのローカル受付フィルタマスク (標準と拡張メッセージ ID) を設定可能 • 低消費電力のスリープモード • 最大 1Mbit/s の CAN データ転送レートを設定可能 • リアルタイムアプリケーションの優先順位が反転される問題に対応する内部優先順位ソート機能を使った送信メッセージのキュー • ハンドシェイクを使用しないデータバッファアクセス
シリアルペリフェラ ルインタフェース (HSPI)	<ul style="list-style-type: none"> • 1 チャンネル • マスタ / スリープモード • 内蔵ボーレートジェネレータにより、任意のビットレートを選択可能

項目	特 長																			
マルチファンクション インタフェース (MFI)	<ul style="list-style-type: none"> • 2KB 内蔵メモリに対して、MFI 端子から 32 ビット単位でリード/ライト、内蔵 CPU から 8/16/32 ビット単位でリード/ライト可能 • 8 または 16 ビットパラレルインタフェースを選択可能 • 68/80 系インタフェースをサポート (リセット期間中に切り替え可能) • エンディアン切り替え可能 • 割り込み発生可能 																			
USB ホスト	<ul style="list-style-type: none"> • 1 チャンネル • USB version1.1、OHCI1.0 をサポート • 1.5Mbps と 12Mbps データ転送レートをサポート • OHCI 規格に定義されている共有メモリとして、8K バイトの SRAM 内蔵 																			
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> • 16×1 ~ 1,024×1,024 ドットサポート (8bpp 時 : 最大 640×480、16bpp 時 : 最大 400×240) • 4、8、15、16bpp カラーモードをサポート • 1、2、4、6bpp グレイスケールモードをサポート • TFT/DSTN/STN ディスプレイをサポート • 信号極性を設定可能 • 24 ビットカラーパレットメモリ (24 ビット中 R:5/G:6/B:5 として 16 ビットが有効) • ユニファイドグラフィックメモリアーキテクチャ 																			
AD 変換器 (ADC)	<ul style="list-style-type: none"> • 10 ビット分解能 • 入力 4 チャンネルサポート • 3 種類の変換モード : シングルモード : 1 チャンネルの A/D 変換 マルチモード : 1~4 チャンネルの A/D 変換 スキャンモード : 1~4 チャンネルの連続 A/D 変換 • 変換時間 : 1 チャンネルあたり 8 μs (最高) • 絶対誤差 ±4LSB 																			
汎用 I/O (GPIO)	<ul style="list-style-type: none"> • 汎用 I/O ポート : 70 本 (入出力 : 69 本、出力 : 1 本) 																			
製品ラインアップ	<table border="1"> <thead> <tr> <th>製品分類</th> <th>電圧</th> <th>動作周波数</th> <th>製品型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SH7760</td> <td rowspan="4">1.5V</td> <td rowspan="4">200MHz</td> <td>HD6417760BL200A</td> <td rowspan="4">256 ピン BGA (BP-256B)</td> </tr> <tr> <td>HD6417760BL200AV</td> </tr> <tr> <td>HD6417760BL200AD</td> </tr> <tr> <td>HD6417760BL200ADV</td> </tr> <tr> <td rowspan="2">SH7760</td> <td rowspan="2">1.5V</td> <td rowspan="2">200MHz</td> <td>HD6417760BP200AD</td> <td rowspan="2">256 ピン BGA (BP-256F)</td> </tr> <tr> <td>HD6417760BP200ADV</td> </tr> </tbody> </table>	製品分類	電圧	動作周波数	製品型名	パッケージ	SH7760	1.5V	200MHz	HD6417760BL200A	256 ピン BGA (BP-256B)	HD6417760BL200AV	HD6417760BL200AD	HD6417760BL200ADV	SH7760	1.5V	200MHz	HD6417760BP200AD	256 ピン BGA (BP-256F)	HD6417760BP200ADV
製品分類	電圧	動作周波数	製品型名	パッケージ																
SH7760	1.5V	200MHz	HD6417760BL200A	256 ピン BGA (BP-256B)																
			HD6417760BL200AV																	
			HD6417760BL200AD																	
			HD6417760BL200ADV																	
SH7760	1.5V	200MHz	HD6417760BP200AD	256 ピン BGA (BP-256F)																
			HD6417760BP200ADV																	

1. 概要

1.2 ブロック図

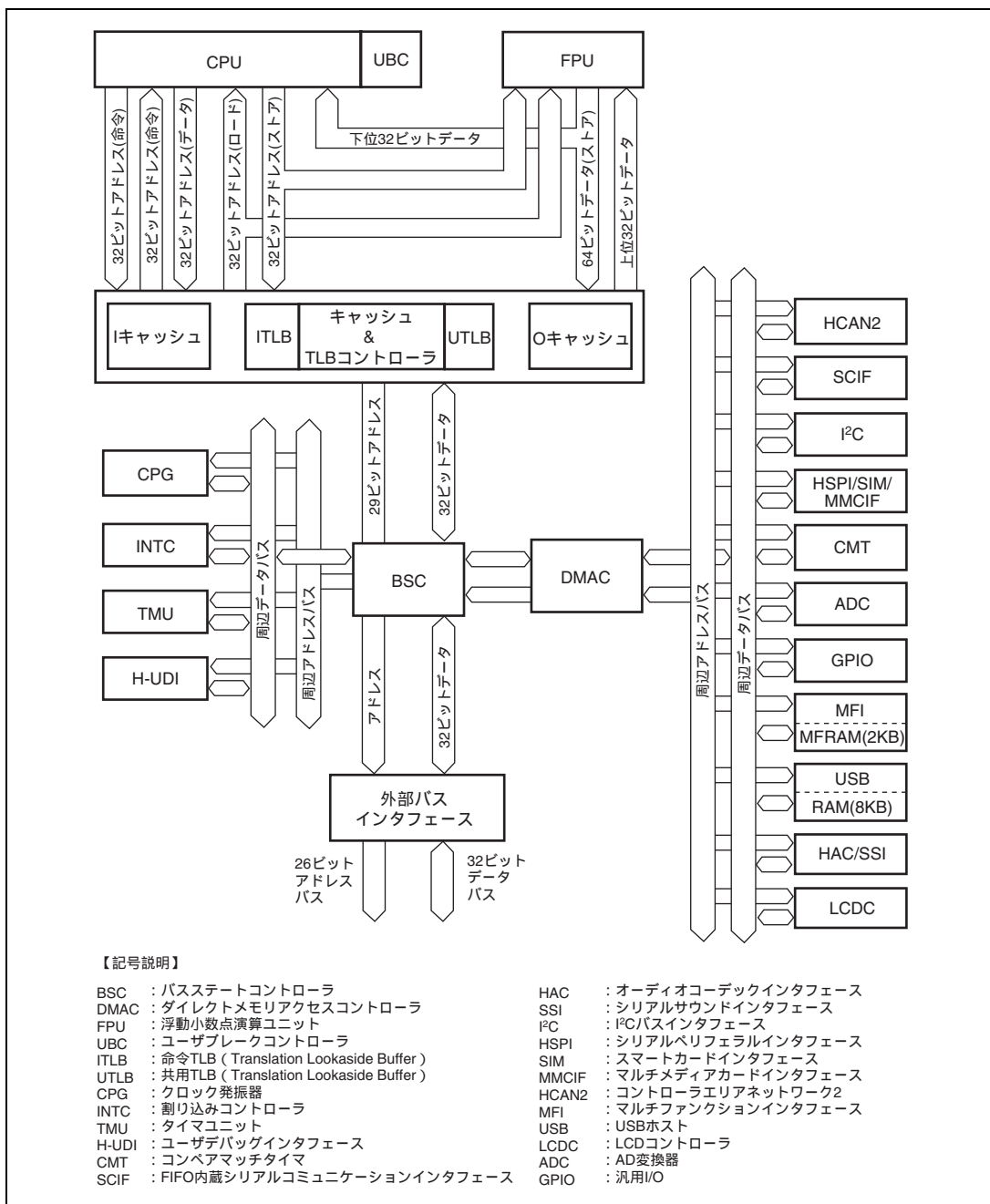


図 1.1 SH7760 のブロック図

1.3 ピン配置図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	EXTAL	XTAL	VDD-CPG	VDD-PLL1	SSI0_SCK/ HAC_SD_IN0	HSP1_TX/ SIM_D/ MCDAT	HSP1_CLK/ SIM_CLK/ MOCCLK	CMT_CTR1	CMT_CTR3	SCIF2_CLK	SCIF2_TXD	SCIF2_RXD	SCIF2_CTS	SCIF2_RTS	SCIF0_CLK	SCIF0_TXD	MD4/ CE2B	DACK0	VDD-PLL3	UCLK	A
B	RESET	VSS-CPG	VDD-PLL2	VSS-PLL1	SSI0_WS/ HAC_SYNC0	HSP1_RX	HSP1_CS/ SIM_RST/ MCCMD	CMT_CTR0/ TCLK	CMT_CTR2	NMI	SCIF1_CLK	SCIF1_TXD	SCIF1_RXD	SCIF1_CTS	SCIF1_RTS	SCIF0_RXD	MD3/ CE2A	VSS-PLL3	USB_DM	VDDQ	B
C	RDY	HAC_BIT_CLK0	VSS-PLL2	HAC_RES	SSI0_SDATA/ HAC_SD_OUT0	SSI1_SDATA/ HAC_SS_OUT1	VDD	ASEBRK/ BRKACK	VDDQ	TMS	VDDQ	TDO	VDDQ	VDD	TCK	MD2	DRAK0	USB_PENC	VSSQ	USB_DP	C
D	DCK	SSI1_SCK/ HAC_SD_IN1	SSI1_WS/ HAC_SYNC1	HAC_BIT_CLK1	MRESET	STATUS0	VSS	STATUS1	VSSQ	TRST	VSSQ	TDI	VSSQ	VSS	VSSQ	MD0	MD1	DRAK1	DACK1	USB_OVC	D
E	VCPWC/ IRQ4	VEPWC/ IRQ5	CA	BREQ													VSSQ	VDDQ	DREQ0	DREQ1	E
F	MF1-D8/ LCD_DATA8	MF1-D9/ LCD_DATA9	CS0	BACK													I2C1_SCL	I2C1_SDA	I2C0_SCL	I2C0_SDA	F
G	MF1-D9/ LCD_DATA9	MF1-D10/ LCD_DATA10	VDD	VSS													VSS	VDD	MD6/ IOIS16	MD5	G
H	MF1-D10/ LCD_DATA10	MF1-D11/ LCD_DATA11	VDDQ	VSSQ													MD7	MD8	Reserved/ AUDCK	Reserved/ AUDSYNC	H
J	MF1-D11/ LCD_DATA11	MF1-D12/ LCD_DATA12	CS1	CS2													VSSQ	VDDQ	Reserved/ AUDATA[2]	Reserved/ AUDATA[3]	J
K	MF1-D12/ LCD_DATA12	MF1-D13/ LCD_DATA13	VDDQ	VSSQ													AVSS_ADC	AVCC_ADC	ADTRQ/ AUDATA[0]	Reserved/ AUDATA[1]	K
L	MF1-D13/ LCD_DATA13	MF1-D14/ LCD_DATA14	CS4	A20													AN3	AN2	AN1	AN0	L
M	MF1-D14/ LCD_DATA14	MF1-D15/ LCD_DATA15	VDDQ	VSSQ													VSSQ	VDDQ	I2L3	I2L2	M
N	MF1-D15/ LCD_DATA15	MF1-D16/ LCD_DATA16	CS5	A21													VSSQ	VDDQ	I2L1	I2L0	N
P	MF1-INT/ LCD_CLK	MF1-CS/ LCD_DON	VDD	VSS													VSS	VDD	CAN0_NERR/ AUDCK	CAN1_NERR/ AUDSYNC	P
R	MF1-E/ LCD_CL1	MF1-MD/ LCD_CL2	CS6	A0													A24	A25	CAN0_RX/ AUDATA[2]	CAN1_RX/ AUDATA[3]	R
T	MF1-RS/ LCD_M_DISP	MF1-FW/ LCD_FLM	BS	A1													A22	A23	CAN0_TX/ AUDATA[0]	CAN1_TX/ AUDATA[1]	T
U	D0	D15	D3	D11	VSSQ	CKE	VSS	VSSQ	A17	VSSQ	VSSQ	A18	VSS	A19	VSSQ	D20	D28	D16	D31	U	
V	D1	D14	VDDQ	D10	VDDQ	A2	VDD	VDDQ	A7	VDDQ	VDDQ	A15	VDD	A16	VDDQ	D21	VDDQ	D17	D30	V	
W	D2	VSSQ	D4	D6	D7	RDWR/ REG	WE0/ DOM0/ REG	A4	A6	A8	A10	A12	A14	WE2/ DOM2/ ICIOR0	RAS	D24	D25	D27	VSSQ	D29	W
Y	D13	D12	D5	D9	D8	RDWR/ REG/ CASS/ FRAME	WE1/ DOM1	A3	A5	CKIO	A9	A11	A13	WE3/ DOM3/ ICIORW	CS3	D22	D26	D19	D18	Y	

図 1.2 SH7760 のピン配置図 (BP-256F/BP-256FV)

1. 概要

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	EXTAL	XTAL	VDD_CPG	VDD_PLL1	SS0_SCK/ HAC_SD_IN0/ BS	HSP1_TX/ SIM_D/ MCDAT	HSP1_CLK/ SIM_CLK/ MCLK	CMT_CTR1	CMT_CTR3	SCIF2_CLK	SCIF2_TXD	SCIF2_RXD	SCIF2_CTS	SCIF2_RTS	SCIF0_CLK	SCIF0_TXD	MD4/ CE2B	DACK0	VDD_PL13	UCLK	A
B	RESET	VSS_CPG	VDD_PLL2	VSS_PLL1	SS0_WS/ HAC_SYNC0	HSP1_RX	HSP1_CS/ SIM_RST/ MCCMD	CMT_CTR0/ TCLK	CMT_CTR2	NMI	SCIF1_CLK	SCIF1_TXD	SCIF1_RXD	SCIF1_CTS	SCIF1_RTS	SCIF0_RXD	MD3/ CE2A	VSS_PL13	USB_DM	VDDQ	B
C	RDY	HAC BIT_CLK0	VSS_PLL2	HAC_RES	SS0_SDATA HAC_SD_OUT0	SS1_SDATA HAC_SD_OUT1	VDD	ASEBRK/ BRKACK	VDDQ	TMS	VDDQ	TDO	VDDQ	VDD	TCK	MD2	DRAK0	USB_PENC	VSSQ	USB_DP	C
D	DCK	SS1_SCK/ HAC SD_IN1	SS1_WS/ HAC SYNC1	HAC BIT_CLK1	MRESET	STATUS0	VSS	STATUS1	VSSQ	TRST	VSSQ	TDI	VSSQ	VSS	VSSQ	MD0	MD1	DRAK1	DACK1	USB_OVC	D
E	MF1-D9/ LCD_DATA8	VEPWC/ IRQ5	CA	BREQ												VSSQ	VDDQ	DREQ0	DREQ1		E
F	MF1-D9/ LCD_DATA9	MF1-D0/ LCD_DATA0	CS0	VCPWC/ IRQ3													I2C1_SCL	I2C1_SDA	I2C0_SCL	I2C0_SDA	F
G	MF1-D10/ LCD_DATA10	MF1-D1/ LCD_DATA1	VDD	VSS													VSS	VDD	IOIST6	MD5	G
H	CS1	MF1-D9/ LCD_DATA2/ IRQ6	VDDQ	VSSQ													MD7	MD8	Reserved/ AUDCK	Reserved/ AUDSYNC	H
J	MF1-D11/ LCD_DATA11	MF1-D3/ LCD_DATA3/ IRQ7	CS2	BACK													VSSQ	VDDQ	Reserved/ AUDATA2	Reserved/ AUDATA3	J
K	MF1-D12/ LCD_DATA12	MF1-D4/ LCD_DATA4/ DREQ2	CS4	VSSQ													AVSS	ADC	ADTRG/ AUDATA0	Reserved/ AUDATA1	K
L	MF1-D13/ LCD_DATA13	MF1-D6/ LCD_DATA6/ DREQ3	MF1-D5/ LCD_DATA5/ DRAK3/DACK3A20														AN3	AN2	AN1	AN0	L
M	MF1-D14/ LCD_DATA14	MF1-D7/ LCD_DATA7/ DRAK3/DACK3A21		VDDQ													VSSQ	VDDQ	IRL3	IRL2	M
N	CS5	MF1-INT7/ LCD_CLK	MF1-CS/ LCD_DON	VSSQ													VSSQ	VDDQ	IRL1	IRL0	N
P	MF1-D15/ LCD_DATA15	CS6	VSS	VDD													VSS	VDD	CAN0_NERR/ AUDCK	CAN1_NERR/ AUDSYNC	P
R	A1	BS	MF1-E/ LCD_CL1	A0													A24	A25	CAN0_RX/ AUDATA2	CAN1_RX/ AUDATA3	R
T	MF1-RW/ LCD_FLM	MF1-RS/ LCD_M_DISPD	D11	MF1-MD/ LCD_CL2													A22	A23	CAN0_TX/ AUDATA0	CAN1_TX/ AUDATA1	T
U	D15	D0	D3	VDDQ	VSSQ	CKE	VSS	VSSQ	A17	VSSQ	VSSQ	VSSQ	A18	VSS	A19	VSSQ	D20	D28	D16	D31	U
V	D14	D1	VDDQ	D10	VDDQ	A2	VDD	VDDQ	A7	VDDQ	VDDQ	VDDQ	A15	VDD	A16	VDDQ	D21	VDDQ	D17	D30	V
W	D2	VSSQ	D4	D6	D7	RDWR	WE0/ DOM0/ REG	A4	A6	A8	A10	A12	A14	WE2/ DOM2/ ICORD	BA5	D24	D25	D27	VSSQ	D29	W
Y	D13	D12	D5	D8	D8	RD/ CASS/ FRAME	WE1/ DOM1	A3	A5	CKIO	A9	A11	A13	WE3/ DOM3/ ICOWR	CS3	D23	D22	D26	D19	D18	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	

図 1.3 SH7760 のピン配置図 (BP-256B/BP-256BV)

1.4 端子説明

表 1.2 に BP-256F (21mm^{*1})、表 1.3 に BP-256B (17mm^{*2}) の端子配置表を示します。

入出力の項目において、I は入力、O は出力、IO は入出力を表しています。GPIO の項目において、印は GPIO (汎用入出力ポート) 端子としても使用可能な端子を示しています。

【注】 *1 HD6417760BP200ADV、HD6417760BP200AD

*2 HD6417760BL200A、HD6417760BL200AV、HD6417760BL200AD、HD6417760BL200ADV

表 1.2 端子の配置表 (BP-256F : 21mm)

端子番号	端子名	入出力	機能	GPIO
A1	EXTAL	I	外部入力クロック / 水晶発振子	
A2	XTAL	O	水晶発振子	
A3	VDD-CPG	-	CPG VDD	
A4	VDD-PLL1	-	PLL1 VDD	
A5	SSIO_SCK/HAC_SD_IN0/BS2	IO/IO	SSI シリアルクロック入力 / HAC シリアルデータ / バス開始 2	
A6	HSPI_TX/SIM_D/MCDAT	O/IO/IO	HSPI 送信データ / SIM データ送受信 / MMCIF データ	
A7	HSPI_CLK/SIM_CLK/MCCLK	IO/O/O	HSPI シリアルクロック / SIM クロック / MMCIF クロック	
A8	CMT_CTR1	IO	CMT カウンタ	
A9	CMT_CTR3	IO	CMT カウンタ	
A10	SCIF2_CLK	IO	SCIF シリアルクロック	
A11	SCIF2_TXD	O	SCIF トランスミットデータ	
A12	SCIF2_RXD	I	SCIF レシーブデータ	
A13	SCIF2_CTS	IO	SCIF モデムコントロール	*1
A14	SCIF2_RTS	IO	SCIF モデムコントロール	*2
A15	SCIF0_CLK	IO	SCIF シリアルクロック	
A16	SCIF0_TXD	O	SCIF トランスミットデータ	
A17	MD4/CE2B	I/O	モード制御 4 / PCMCIA-CE	
A18	DACK0	O	DMA 転送終了通知	
A19	VDD-PLL3	-	PLL3 VDD	
A20	UCLK	I	USB 動作クロック	
B1	RESET	I	リセット	
B2	VSS-CPG	-	CPG GND	
B3	VDD-PLL2	-	PLL2 VDD	
B4	VSS-PLL1	-	PLL1 GND	
B5	SSIO_WS/HAC_SYNC0	IO/O	SSI ワード選択 / HAC フレーム同期出力	
B6	HSPI_RX	I	HSPI 受信データ入力	
B7	HSPI_CS/SIM_RST/MCCMD	IO/O/IO	HSPI チップセレクト / SIM リセット / MMCIF コマンド/レスポンス	
B8	CMT_CTR0/TCLK	IO/I	CMT カウンタ / TMU クロック	
B9	CMT_CTR2	IO	CMT カウンタ	
B10	NMI	I	ノンマスカブル割り込み	

1. 概要

端子番号	端子名	入出力	機能	GPIO
B11	SCIF1_CLK	IO	SCIF シリアルクロック	
B12	SCIF1_TXD	O	SCIF トランスミットデータ	
B13	SCIF1_RXD	I	SCIF レシーブデータ	
B14	SCIF1_CTS	IO	SCIF モデムコントロール	
B15	SCIF1_RTS	IO	SCIF モデムコントロール	
B16	SCIF0_RXD	I	SCIF レシーブデータ	
B17	MD3/CE2A	I/O	モード制御 3 / PCMCIA-CE	
B18	VSS-PLL3	-	PLL3 GND	
B19	USB_DM	IO	USB D-トランシーバ	
B20	VDDQ	-	USB アナログ VDD	
C1	RDY	I	バス準備	
C2	HAC_BIT_CLK0	I	HAC シリアルデータクロック / SSI 分周器入力クロック	
C3	VSS-PLL2	-	PLL2 GND	
C4	HAC_RES	O	HAC リセット	
C5	SSI0_SDATA/HAC_SD_OUT0	IO/O	SSI シリアルデータ / HAC シリアルデータ	
C6	SSI1_SDATA/HAC_SD_OUT1	IO/O	SSI シリアルデータ / HAC シリアルデータ	
C7	VDD	-	内部 VDD	
C8	ASEBRK/BRKACK	I/O	H-UDI エミュレータ用	
C9	VDDQ	-	IO VDD	
C10	TMS	I	H-UDI モード	
C11	VDDQ	-	IO VDD	
C12	TDO	O	H-UDI データ	
C13	VDDQ	-	IO VDD	
C14	VDD	-	内部 VDD	
C15	TCK	I	H-UDI クロック	
C16	MD2	I	モード制御 2	
C17	DRAK0	O	DREQ 受け付け確認	
C18	USB_PENC	O	USB 電源投入許可制御	*2
C19	VSSQ	-	USB アナログ VSS	
C20	USB_DP	IO	USB D+トランシーバ	
D1	DCK	O	クロック	*3
D2	SSI1_SCK/HAC_SD_IN1	IO/I	SSI クロック / HAC シリアルデータ	
D3	SSI1_WS/HAC_SYNC1	IO/O	SSI ワード選択 / HAC フレーム同期出力	
D4	HAC_BIT_CLK1	-	HAC シリアルデータクロック / SSI 分周器入力クロック	
D5	MRESET	I	マニュアルリセット	
D6	STATUS0	O	ステータス 0	
D7	VSS	-	内部 GND	

1. 概要

端子番号	端子名	入出力	機能	GPIO
D8	STATUS1	O	ステータス 1	
D9	VSSQ	-	IO GND	
D10	$\overline{\text{TRST}}$	I	H-UDI リセット	
D11	VSSQ	-	IO GND	
D12	TDI	I	H-UDI データ	
D13	VSSQ	-	IO GND	
D14	VSS	-	内部 GND	
D15	VSSQ	-	IO GND	
D16	MD0	I	モード制御 0	
D17	MD1	I	モード制御 1	
D18	DRAK1	O	$\overline{\text{DREQ}}$ 受け付け確認	
D19	DACK1	O	DMA 転送終了通知	
D20	$\overline{\text{USB_OVC}}$	I	USB オーバカレント検出	
E1	VCPWC/ $\overline{\text{IRQ4}}$	O/I	LCD パネル電源制御 (VCC) / 外部割り込み要求 4	
E2	VEPWC/ $\overline{\text{IRQ5}}$	O/I	LCD パネル電源制御 (VEE) / 外部割り込み要求 5	
E3	CA	I	チップアクティブ	
E4	$\overline{\text{BREQ}}$	I	バス権要求	
E17	VSSQ	-	IO GND	
E18	VDDQ	-	IO VDD	
E19	$\overline{\text{DREQ0}}$	I	DMA 転送要求	
E20	$\overline{\text{DREQ1}}$	I	DMA 転送要求	
F1	MFI-D8/LCD_DATA8	IO/O	MFI データ / LCD パネル用データ	
F2	MFI-D0/LCD_DATA0	IO/O	MFI データ / LCD パネル用データ	
F3	$\overline{\text{CS0}}$	O	チップセレクト 0	
F4	BACK	O	バス権認識	
F17	I2C1_SCL	IO	I ² C シリアルクロック	
F18	I2C1_SDA	IO	I ² C シリアルデータ	
F19	I2C0_SCL	IO	I ² C シリアルクロック	
F20	I2C0_SDA	IO	I ² C シリアルデータ	
G1	MFI-D9/LCD_DATA9	IO/O	MFI データ / LCD パネル用データ	
G2	MFI-D1/LCD_DATA1	IO/O	MFI データ / LCD パネル用データ	
G3	VDD	-	内部 VDD	
G4	VSS	-	内部 GND	
G17	VSS	-	内部 GND	
G18	VDD	-	内部 VDD	
G19	MD6/ $\overline{\text{IOIS16}}$	I/I	モード制御 6 / IOIS16 (PCMCIA)	
G20	MD5	I	モード制御 5	

1. 概要

端子番号	端子名	入出力	機能	GPIO
H1	MFI-D10/LCD_DATA10	IO/O	MFI データ / LCD パネル用データ	
H2	MFI-D2/LCD_DATA2/IRQ6	IO/O/I	MFI データ / LCD パネル用データ / 外部割り込み要求 6	
H3	VDDQ	-	IO VDD	
H4	VSSQ	-	IO GND	
H17	MD7	I	モード制御 7	
H18	MD8	I	モード制御 8	
H19	Reserved/AUDCK	O	Reserved / H-UDI エミュレータ用	
H20	Reserved/AUDSYNC	O	Reserved / H-UDI エミュレータ用	
J1	MFI-D11/LCD_DATA11	IO/O	MFI データ / LCD パネル用データ	
J2	MFI-D3/LCD_DATA3/IRQ7	IO/O/I	MFI データ / LCD パネル用データ / 外部割り込み要求 7	
J3	$\overline{CS1}$	O	チップセレクト 1	
J4	$\overline{CS2}$	O	チップセレクト 2	
J17	VSSQ	-	IO GND	
J18	VDDQ	-	IO VDD	
J19	Reserved/AUDATA[2]	O	Reserved / H-UDI エミュレータ用	
J20	Reserved/AUDATA[3]	O	Reserved / H-UDI エミュレータ用	※2
K1	MFI-D12/LCD_DATA12	IO/O	MFI データ / LCD パネル用データ	
K2	MFI-D4/LCD_DATA4/DREQ2	IO/O/I	MFI データ / LCD パネル用データ / DMA 転送要求	
K3	VDDQ	-	IO VDD	
K4	VSSQ	-	IO GND	
K17	AVss_ADC	-	ADC アナログ GND	
K18	AVcc_ADC	-	ADC アナログ VCC	
K19	\overline{ADTRG} /AUDATA[0]	I/O	ADC 外部トリガ / H-UDI エミュレータ用	
K20	Reserved/AUDATA[1]	O	Reserved / H-UDI エミュレータ用	
L1	MFI-D13/LCD_DATA13	IO/O	MFI データ / LCDC パネル用データ	
L2	MFI-D5/LCD_DATA5/DRAK2/ DACK2	IO/O/O	MFI データ / LCDC パネル用データ / DREQ 受け付け確認 / DMA 転送終了通知	
L3	$\overline{CS4}$	-	チップセレクト 4	
L4	A20	O	アドレスバス	
L17	AN3	I	ADC アナログ入力	
L18	AN2	I	ADC アナログ入力	
L19	AN1	I	ADC アナログ入力	
L20	AN0	I	ADC アナログ入力	
M1	MFI-D14/LCD_DATA14	IO/O	MFI データ / LCDC パネル用データ	
M2	MFI-D6/LCD_DATA6/DREQ3	IO/O/I	MFI データ / LCDC パネル用データ / DMA 転送要求	
M3	VDDQ	-	IO VDD	
M4	VSSQ	-	IO GND	

1. 概要

端子番号	端子名	入出力	機能	GPIO
M17	VSSQ	-	IO GND	
M18	VDDQ	-	IO VDD	
M19	$\overline{\text{IRL3}}$	I	IRL 割り込み要求 3	
M20	$\overline{\text{IRL2}}$	I	IRL 割り込み要求 2	
N1	MFI-D15/LCD_DATA15	IO/O	MFI データ / LCD パネル用データ	
N2	MFI-D7/LCD_DATA7/DRAK3/ DACK3	IO/O/O/O	MFI データ / LCD パネル用データ / DREQ 受け付け確認 / DMA 転送終了通知	
N3	$\overline{\text{CS5}}$	O	チップセレクト 5	
N4	A21	O	アドレスバス	
N17	VSSQ	-	IO GND	
N18	VDDQ	-	IO VDD	
N19	$\overline{\text{IRL1}}$	I	IRL 割り込み要求 0	
N20	$\overline{\text{IRL0}}$	I	IRL 割り込み要求 1	
P1	$\overline{\text{MFI-INT/LCD_CLK}}$	O/I	MFI 割り込み / LCD クロック	*1
P2	$\overline{\text{MFI-CS/LCD_DON}}$	I/O	MFI チップセレクト / LCD 表示開始	*1
P3	VDD	-	内部 VDD	
P4	VSS	-	内部 GND	
P17	VSS	-	内部 GND	
P18	VDD	-	内部 VDD	
P19	CAN0_NERR/AUDCK	I/O	HCAN0 バスエラー信号 / H-UDI エミュレータ用	
P20	CAN1_NERR/AUDSYNC	I/O	HCAN1 バスエラー信号 / H-UDI エミュレータ用	
R1	MFI-E/LCD_CL1	I/O	MFI イネーブル / ライト / LCD シフトクロック 1	*1
R2	MFI-MD/LCD_CL2	I/O	MFI モード / LCD シフトクロック 2	*1
R3	$\overline{\text{CS6}}$	O	チップセレクト 6	
R4	A0	O	アドレスバス	
R17	A24	O	アドレスバス	
R18	A25	O	アドレスバス	
R19	CAN0_RX/AUDATA[2]	I/O	HCAN0 バスデータ受信 / H-UDI エミュレータ用	
R20	CAN1_RX/AUDATA[3]	I/O	HCAN1 バスデータ受信 / H-UDI エミュレータ用	
T1	MFI-RS/LCD_M_DISP	I/O	MFI レジスタセレクト / LCD 液晶交流化信号 / DISP 信号	*1
T2	MFI-RW/LCD_FLM	I/O	MFI リード / ライト / LCD ファーストラインマーカ	*1
T3	$\overline{\text{BS}}$	O	バス開始	
T4	A1	O	アドレスバス	
T17	A22	O	アドレスバス	
T18	A23	O	アドレスバス	
T19	CAN0_TX/AUDATA[0]	O/O	HCAN0 バスデータ送信 / H-UDI エミュレータ用	
T20	CAN1_TX/AUDATA[1]	O/O	HCAN1 バスデータ送信 / H-UDI エミュレータ用	

1. 概要

端子番号	端子名	入出力	機能	GPIO
U1	D0	IO	データバス	
U2	D15	IO	データバス	
U3	D3	IO	データバス	
U4	D11	IO	データバス	
U5	VSSQ	-	IO GND	
U6	CKE	O	クロック出力可能	
U7	VSS	-	内部 GND	
U8	VSSQ	-	IO GND	
U9	A17	O	アドレスバス	
U10	VSSQ	-	IO GND	
U11	VSSQ	-	IO GND	
U12	VSSQ	-	IO GND	
U13	A18	O	アドレスバス	
U14	VSS	-	内部 GND	
U15	A19	O	アドレスバス	
U16	VSSQ	-	IO GND	
U17	D20	IO	データバス	
U18	D28	IO	データバス	
U19	D16	IO	データバス	
U20	D31	IO	データバス	
V1	D1	IO	データバス	
V2	D14	IO	データバス	
V3	VDDQ	-	IO VDD	
V4	D10	IO	データバス	
V5	VDDQ	-	IO VDD	
V6	A2	O	アドレスバス	
V7	VDD	-	内部 VDD	
V8	VDDQ	-	IO VDD	
V9	A7	O	アドレスバス	
V10	VDDQ	-	IO VDD	
V11	VDDQ	-	IO VDD	
V12	VDDQ	-	IO VDD	
V13	A15	O	アドレスバス	
V14	VDD	-	内部 VDD	
V15	A16	O	アドレスバス	
V16	VDDQ	-	IO VDD	

1. 概要

端子番号	端子名	入出力	機能	GPIO
V17	D21	IO	データバス	
V18	VDDQ	-	IO VDD	
V19	D17	IO	データバス	
V20	D30	IO	データバス	
W1	D2	IO	データバス	
W2	VSSQ	-	IO GND	
W3	D4	IO	データバス	
W4	D6	IO	データバス	
W5	D7	IO	データバス	
W6	RD/WR	O	リード/ライト	
W7	$\overline{WE0}/DQM0/\overline{REG}$	O/O	D7-D0 選択信号 / REG	
W8	A4	O	アドレスバス	
W9	A6	O	アドレスバス	
W10	A8	O	アドレスバス	
W11	A10	O	アドレスバス	
W12	A12	O	アドレスバス	
W13	A14	O	アドレスバス	
W14	$\overline{WE2}/DQM2/\overline{ICIOR}$	O/O	D23-D16 選択信号 / \overline{ICIOR}	
W15	\overline{RAS}	O	RAS	
W16	D24	IO	データバス	
W17	D25	IO	データバス	
W18	D27	IO	データバス	
W19	VSSQ	-	IO GND	
W20	D29	IO	データバス	
Y1	D13	IO	データバス	
Y2	D12	IO	データバス	
Y3	D5	IO	データバス	
Y4	D9	IO	データバス	
Y5	D8	IO	データバス	
Y6	RD/CASS/FRAME	O/O/O	リード / CAS / FRAME	
Y7	$\overline{WE1}/DQM1$	O	D15-D8 選択信号	
Y8	A3	O	アドレスバス	
Y9	A5	-	アドレスバス	
Y10	CKIO	O	クロック出力	
Y11	A9	O	アドレスバス	
Y12	A11	O	アドレスバス	
Y13	A13	O	アドレスバス	

1. 概要

端子番号	端子名	入出力	機能	GPIO
Y14	$\overline{WE3}/DQM3/\overline{CIOWR}$	O/O	D31-D24 選択信号 / ICIOWR	
Y15	$\overline{CS3}$	O	チップセレクト3	
Y16	D23	IO	データバス	
Y17	D22	IO	データバス	
Y18	D26	IO	データバス	
Y19	D19	IO	データバス	
Y20	D18	IO	データバス	

【記号説明】 I/O 欄で使用している記号の意味は次のとおりです。I：入力、O：出力、IO：入出力、-：入出力方向と関係なし。

GPIO 欄で使用している記号の意味は次のとおりです。GPIO（汎用入出力ポート）として使用可能です。

- 【注】 *1 GPIO 割り込み端子として使用可能。
*2 GPIO 割り込み端子として使用可能。割り込み発生時スタンバイモードが解除されます。
*3 出力のみ。

表 1.3 端子の配置表 (BP-256B : 17mm)

端子番号	端子名	入出力	機能	GPIO
A1	EXTAL	I	外部入力クロック / 水晶発振子	
A2	XTAL	O	水晶発振子	
A3	VDD-CPG	-	CPG VDD	
A4	VDD-PLL1	-	PLL1 VDD	
A5	SSI0_SCK/HAC_SD_IN0/BS2	IO/I/O	SSI シリアルクロック入力 / HAC シリアルデータ / バス開始 2	
A6	HSPI_TX/SIM_D/MCDAT	O/IO/IO	HSPI 送信データ / SIM データ送受信 / MMCIF データ	
A7	HSPI_CLK/SIM_CLK/MCCLK	IO/O/O	HSPI シリアルクロック / SIM クロック / MMCIF クロック	
A8	CMT_CTR1	IO	CMT カウンタ	
A9	CMT_CTR3	IO	CMT カウンタ	
A10	SCIF2_CLK	IO	SCIF シリアルクロック	
A11	SCIF2_TXD	O	SCIF トランスミットデータ	
A12	SCIF2_RXD	I	SCIF レシーブデータ	
A13	SCIF2_CTS	IO	SCIF モデムコントロール	*1
A14	SCIF2_RTS	IO	SCIF モデムコントロール	*2
A15	SCIF0_CLK	IO	SCIF シリアルクロック	
A16	SCIF0_TXD	O	SCIF トランスミットデータ	
A17	MD4/CE2B	I/O	モード制御 4 / PCMCIA-CE	
A18	DACK0	O	DMA 転送終了通知	
A19	VDD-PLL3	-	PLL3 VDD	
A20	UCLK	I	USB 動作クロック	
B1	RESET	I	リセット	
B2	VSS-CPG	-	CPG GND	
B3	VDD-PLL2	-	PLL2 VDD	
B4	VSS-PLL1	-	PLL1 GND	
B5	SSI0_WS/HAC_SYNC0	IO/O	SSI ワード選択 / HAC フレーム同期出力	
B6	HSPI_RX	I	HSPI 受信データ入力	
B7	HSPI_CS/SIM_RST/MCCMD	IO/O/IO	HSPI チップセレクト / SIM リセット / MMCIF コマンド/レスポンス	
B8	CMT_CTR0/TCLK	IO/I	CMT カウンタ / TMU クロック	
B9	CMT_CTR2	IO	CMT カウンタ	
B10	NMI	I	ノンマスカラブル割り込み	
B11	SCIF1_CLK	IO	SCIF シリアルクロック	
B12	SCIF1_TXD	O	SCIF トランスミットデータ	
B13	SCIF1_RXD	I	SCIF レシーブデータ	
B14	SCIF1_CTS	IO	SCIF モデムコントロール	
B15	SCIF1_RTS	IO	SCIF モデムコントロール	
B16	SCIF0_RXD	I	SCIF レシーブデータ	
B17	MD3/CE2A	I/O	モード制御 3 / PCMCIA-CE	

1. 概要

端子番号	端子名	入出力	機能	GPIO
B18	VSS-PLL3	-	PLL3 GND	
B19	USB_DM	IO	USB D-トランシーバ	
B20	VDDQ	-	USB アナログ VDD	
C1	\overline{RDY}	I	バス準備	
C2	HAC_BIT_CLK0	I	HAC シリアルデータクロック / SSI 分周器入力クロック	
C3	VSS-PLL2	-	PLL2 GND	
C4	HAC_RES	O	HAC リセット	
C5	SSI0_SDATA/HAC_SD_OUT0	IO/O	SSI シリアルデータ / HAC シリアルデータ	
C6	SSI1_SDATA/HAC_SD_OUT1	IO/O	SSI シリアルデータ / HAC シリアルデータ	
C7	VDD	-	内部 VDD	
C8	$\overline{ASEBRK}/BRKACK$	I/O	H-UDI エミュレータ用	
C9	VDDQ	-	IO VDD	
C10	TMS	I	H-UDI モード	
C11	VDDQ	-	IO VDD	
C12	TDO	O	H-UDI データ	
C13	VDDQ	-	IO VDD	
C14	VDD	-	内部 VDD	
C15	TCK	I	H-UDI クロック	
C16	MD2	I	モード制御 2	
C17	DRAK0	O	DREQ 受け付け確認	
C18	USB_PENC	O	USB 電源投入許可制御	*2
C19	VSSQ	-	USB アナログ VSS	
C20	USB_DP	IO	USB D+トランシーバ	
D1	DCK	O	クロック	*3
D2	SSI1_SCK/HAC_SD_IN1	IO/I	SSI クロック / HAC シリアルデータ	
D3	SSI1_WS/HAC_SYNC1	IO/O	SSI ワード選択 / HAC フレーム同期出力	
D4	HAC_BIT_CLK1	-	HAC シリアルデータクロック / SSI 分周器入力クロック	
D5	\overline{MRESET}	I	マニュアルリセット	
D6	STATUS0	O	ステータス 0	
D7	VSS	-	内部 GND	
D8	STATUS1	O	ステータス 1	
D9	VSSQ	-	IO GND	
D10	\overline{TRST}	I	H-UDI リセット	
D11	VSSQ	-	IO GND	
D12	TDI	I	H-UDI データ	
D13	VSSQ	-	IO GND	
D14	VSS	-	内部 GND	
D15	VSSQ	-	IO GND	

1. 概要

端子番号	端子名	入出力	機能	GPIO
D16	MD0	I	モード制御 0	
D17	MD1	I	モード制御 1	
D18	DRAK1	O	$\overline{\text{DREQ}}$ 受け付け確認	
D19	DACK1	O	DMA 転送終了通知	
D20	USB_OVC	I	USB オーバカレント検出	
E1	MFI-D8/LCD_DATA8	IO/O	MFI データ / LCD パネル用データ	
E2	VEPWC/ $\overline{\text{IRQ5}}$	O/I	LCD パネル電源制御 (VEE) / 外部割り込み要求 5	
E3	CA	I	チップアクティブ	
E4	$\overline{\text{BREQ}}$	I	バス権要求	
E17	VSSQ	-	IO GND	
E18	VDDQ	-	IO VDD	
E19	$\overline{\text{DREQ0}}$	I	DMA 転送要求	
E20	$\overline{\text{DREQ1}}$	I	DMA 転送要求	
F1	MFI-D9/LCD_DATA9	IO/O	MFI データ / LCD パネル用データ	
F2	MFI-D0/LCD_DATA0	IO/O	MFI データ / LCD パネル用データ	
F3	$\overline{\text{CS0}}$	O	チップセレクト 0	
F4	VCPWC/ $\overline{\text{IRQ4}}$	O/I	LCD パネル電源制御 (VCC) / 外部割り込み要求 4	
F17	I2C1_SCL	IO	I ² C シリアルクロック	
F18	I2C1_SDA	IO	I ² C シリアルデータ	
F19	I2C0_SCL	IO	I ² C シリアルクロック	
F20	I2C0_SDA	IO	I ² C シリアルデータ	
G1	MFI-D10/LCD_DATA10	IO/O	MFI データ / LCD パネル用データ	
G2	MFI-D1/LCD_DATA1	IO/O	MFI データ / LCD パネル用データ	
G3	VDD	-	内部 VDD	
G4	VSS	-	内部 GND	
G17	VSS	-	内部 GND	
G18	VDD	-	内部 VDD	
G19	MD6/ $\overline{\text{IOIS16}}$	I/I	モード制御 6 / IOIS16 (PCMCIA)	
G20	MD5	I	モード制御 5	
H1	$\overline{\text{CS1}}$	O	チップセレクト 1	
H2	MFI-D2/LCD_DATA2/ $\overline{\text{IRQ6}}$	IO/O/I	MFI データ / LCD パネル用データ / 外部割り込み要求 6	
H3	VDDQ	-	IO VDD	
H4	VSSQ	-	IO GND	
H17	MD7	I	モード制御 7	
H18	MD8	I	モード制御 8	
H19	Reserved/AUDCK	O	Reserved / H-UDI エミュレータ用	
H20	Reserved/AUDSYNC	O	Reserved / H-UDI エミュレータ用	
J1	MFI-D11/LCD_DATA11	IO/O	MFI データ / LCD パネル用データ	

1. 概要

端子番号	端子名	入出力	機能	GPIO
J2	MFI-D3/LCD_DATA3/ $\overline{\text{IRQ7}}$	IO/O/I	MFI データ / LCD パネル用データ / 外部割り込み要求 7	
J3	$\overline{\text{CS2}}$	O	チップセレクト 2	
J4	$\overline{\text{BACK}}$	O	バス権認識	
J17	VSSQ	-	IO GND	
J18	VDDQ	-	IO VDD	
J19	Reserved/AUDATA[2]	O	Reserved / H-UDI エミュレータ用	
J20	Reserved/AUDATA[3]	O	Reserved / H-UDI エミュレータ用	*2
K1	MFI-D12/LCD_DATA12	IO/O	MFI データ / LCD パネル用データ	
K2	$\overline{\text{CS4}}$	-	チップセレクト 4	
K3	MFI-D4/LCD_DATA4/ $\overline{\text{DREQ2}}$	IO/O/I	MFI データ / LCD パネル用データ / DMA 転送要求	
K4	VSSQ	-	IO GND	
K17	AVss_ADC	-	ADC アナログ GND	
K18	AVcc_ADC	-	ADC アナログ VCC	
K19	$\overline{\text{ADTRG}}$ /AUDATA[0]	I/O	ADC 外部トリガ / H-UDI エミュレータ用	
K20	Reserved/AUDATA[1]	O	Reserved / H-UDI エミュレータ用	
L1	MFI-D13/LCD_DATA13	IO/O	MFI データ / LCD パネル用データ	
L2	MFI-D6/LCD_DATA6/ $\overline{\text{DREQ3}}$	IO/O/I	MFI データ / LCD パネル用データ / DMA 転送要求	
L3	MFI-D5/LCD_DATA5/DRAK2/ DACK2	IO/O/O/O	MFI データ / LCD パネル用データ / $\overline{\text{DREQ}}$ 受け付け確認 / DMA 転送終了通知	
L4	A20	O	アドレスバス	
L17	AN3	I	ADC アナログ入力	
L18	AN2	I	ADC アナログ入力	
L19	AN1	I	ADC アナログ入力	
L20	AN0	I	ADC アナログ入力	
M1	MFI-D14/LCD_DATA14	IO/O	MFI データ / LCD パネル用データ	
M2	MFI-D7/LCD_DATA7/DRAK3/ DACK3	IO/O/O/O	MFI データ / LCD パネル用データ / $\overline{\text{DREQ}}$ 受け付け確認 / DMA 転送終了通知	
M3	A21	O	アドレスバス	
M4	VDDQ	-	IO VDD	
M17	VSSQ	-	IO GND	
M18	VDDQ	-	IO VDD	
M19	$\overline{\text{IRL3}}$	I	IRL 割り込み要求 3	
M20	$\overline{\text{IRL2}}$	I	IRL 割り込み要求 2	
N1	$\overline{\text{CS5}}$	O	チップセレクト 5	
N2	MFI-INT/LCD_CLK	O/I	MFI 割り込み / LCD クロック	*1
N3	$\overline{\text{MFI-CS}}$ /LCD_DON	I/O	MFI チップセレクト / LCD 表示開始	*1
N4	VSSQ	-	IO GND	
N17	VSSQ	-	IO GND	

1. 概要

端子番号	端子名	入出力	機能	GPIO
N18	VDDQ	-	IO VDD	
N19	$\overline{\text{IRL}}\overline{\text{T}}$	I	IRL 割り込み要求 0	
N20	$\overline{\text{IRL}}\overline{\text{O}}$	I	IRL 割り込み要求 1	
P1	MFI-D15/LCD_DATA15	IO/O	MFI データ / LCD パネル用データ	
P2	$\overline{\text{CS}}\overline{\text{6}}$	O	チップセレクト 6	
P3	VSS	-	内部 GND	
P4	VDD	-	内部 VDD	
P17	VSS	-	内部 GND	
P18	VDD	-	内部 VDD	
P19	CAN0_NERR/AUDCK	I/O	HCAN0 バスエラー信号 / H-UDI エミュレータ用	
P20	CAN1_NERR/AUDSYNC	I/O	HCAN1 バスエラー信号 / H-UDI エミュレータ用	
R1	A1	O	アドレスバス	
R2	$\overline{\text{BS}}$	O	バス開始	
R3	MFI-E/LCD_CL1	I/O	MFI イネーブル/ライト / LCD シフトクロック 1	*1
R4	A0	O	アドレスバス	
R17	A24	O	アドレスバス	
R18	A25	O	アドレスバス	
R19	CAN0_RX/AUDATA[2]	I/O	HCAN0 バスデータ受信 / H-UDI エミュレータ用	
R20	CAN1_RX/AUDATA[3]	I/O	HCAN1 バスデータ受信 / H-UDI エミュレータ用	
T1	MFI-RW/LCD_FLM	I/O	MFI リード / ライト / LCD ファーストラインマーカ	*1
T2	MFI-RS/LCD_M_DISP	I/O	MFI レジスタセレクト / LCD 液晶交流化信号 / DISP 信号	*1
T3	D11	IO	データバス	
T4	MFI-MD/LCD_CL2	I/O	MFI モード / LCD シフトクロック 2	*1
T17	A22	O	アドレスバス	
T18	A23	O	アドレスバス	
T19	CAN0_TX/AUDATA[0]	O/O	HCAN0 バスデータ送信 / H-UDI エミュレータ用	
T20	CAN1_TX/AUDATA[1]	O/O	HCAN1 バスデータ送信 / H-UDI エミュレータ用	
U1	D15	IO	データバス	
U2	D0	IO	データバス	
U3	D3	IO	データバス	
U4	VDDQ	-	IO VDD	
U5	VSSQ	-	IO GND	
U6	CKE	O	クロック出力可能	
U7	VSS	-	内部 GND	
U8	VSSQ	-	IO GND	
U9	A17	O	アドレスバス	
U10	VSSQ	-	IO GND	
U11	VSSQ	-	IO GND	

1. 概要

端子番号	端子名	入出力	機能	GPIO
U12	VSSQ	-	IO GND	
U13	A18	O	アドレスバス	
U14	VSS	-	内部 GND	
U15	A19	O	アドレスバス	
U16	VSSQ	-	IO GND	
U17	D20	IO	データバス	
U18	D28	IO	データバス	
U19	D16	IO	データバス	
U20	D31	IO	データバス	
V1	D14	IO	データバス	
V2	D1	IO	データバス	
V3	VDDQ	-	IO VDD	
V4	D10	IO	データバス	
V5	VDDQ	-	IO VDD	
V6	A2	O	アドレスバス	
V7	VDD	-	内部 VDD	
V8	VDDQ	-	IO VDD	
V9	A7	O	アドレスバス	
V10	VDDQ	-	IO VDD	
V11	VDDQ	-	IO VDD	
V12	VDDQ	-	IO VDD	
V13	A15	O	アドレスバス	
V14	VDD	-	内部 VDD	
V15	A16	O	アドレスバス	
V16	VDDQ	-	IO VDD	
V17	D21	IO	データバス	
V18	VDDQ	-	IO VDD	
V19	D17	IO	データバス	
V20	D30	IO	データバス	
W1	D2	IO	データバス	
W2	VSSQ	-	IO GND	
W3	D4	IO	データバス	
W4	D6	IO	データバス	
W5	D7	IO	データバス	
W6	RD/WR	O	リード/ライト	
W7	WE0/DQM0/REG	O/O	D7-D0 選択信号 / REG	
W8	A4	O	アドレスバス	
W9	A6	O	アドレスバス	

1. 概要

端子番号	端子名	入出力	機能	GPIO
W10	A8	O	アドレスバス	
W11	A10	O	アドレスバス	
W12	A12	O	アドレスバス	
W13	A14	O	アドレスバス	
W14	WE2/DQM2/ICIOR \bar{D}	O/O	D23-D16 選択信号 / ICIOR \bar{D}	
W15	$\bar{R}AS$	O	RAS	
W16	D24	IO	データバス	
W17	D25	IO	データバス	
W18	D27	IO	データバス	
W19	VSSQ	-	IO GND	
W20	D29	IO	データバス	
Y1	D13	IO	データバス	
Y2	D12	IO	データバス	
Y3	D5	IO	データバス	
Y4	D9	IO	データバス	
Y5	D8	IO	データバス	
Y6	RD/CASS/FRAME	O/O/O	リード / CAS / FRAME	
Y7	WE1/DQM1	O	D15-D8 選択信号	
Y8	A3	O	アドレスバス	
Y9	A5	-	アドレスバス	
Y10	CKIO	O	クロック出力	
Y11	A9	O	アドレスバス	
Y12	A11	O	アドレスバス	
Y13	A13	O	アドレスバス	
Y14	WE3/DQM3/ICIOR \bar{W}	O/O	D31-D24 選択信号 / ICIOR \bar{W}	
Y15	$\bar{C}S3$	O	チップセレクト3	
Y16	D23	IO	データバス	
Y17	D22	IO	データバス	
Y18	D26	IO	データバス	
Y19	D19	IO	データバス	
Y20	D18	IO	データバス	

【記号説明】 I/O 欄で使用している記号の意味は次のとおりです。I：入力、O：出力、IO：入出力、-：入出力方向と関係なし。

GPIO 欄で使用している記号の意味は次のとおりです。：GPIO（汎用入出力ポート）として使用可能です。

【注】 *1 GPIO 割り込み端子として使用可能。

*2 GPIO 割り込み端子として使用可能。割り込み発生時スタンバイモードが解除されます。

*3 出力のみ。

1.5 端子機能

表 1.4 端子機能 (MFI モード / LCD モードで端子機能が変わる端子)

端子番号	MFIモード (MD7=0)			LCDモード (MD7=1)			その他			レジスタ			
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	
N2	P1	MFI	MFI-INT	O	LCDC	LCD_CLK	I			PTC7	PECR[15:14]		
N3	P2		MFI-CS	I		LCD_DON	O			PTC6	PECR[13:12]		
R3	R1		MFI-E	I		LCD_CL1	O			PTC5	PECR[11:10]		
T4	R2		MFI-MD	I		LCD_CL2	O			PTC4	PECR[9:8]		
T2	T1		MFI-RS	I		LCD_M_DISP	O			PTC3	PECR[7:6]		
T1	T2		MFI-RW	I		LCD_FLM	O			PTC2	PECR[5:4]		
F2	F2		MFI-D0	IO		LCD_DATA0	O			PTC7	PCCR[15:14]		
G2	G2		MFI-D1	IO		LCD_DATA1	O			PTC6	PCCR[13:12]		
H2	H2		MFI-D2	IO		LCD_DATA2	O	INTC		PTC5	PCCR[11:10]	MODSELR[7]	
J2	J2		MFI-D3	IO		LCD_DATA3	O			PTC4	PCCR[9:8]	MODSELR[6]	
K3	K2		MFI-D4	IO		LCD_DATA4	O	DMAC		PTC3	PCCR[7:6]	MODSELR[5]	
L3	L2		MFI-D5	IO		LCD_DATA5	O			O/O	PTC2	PCCR[5:4]	MODSELR[4]
L2	M2		MFI-D6	IO		LCD_DATA6	O					DMARCR[22] ^{*3}	
M2	N2		MFI-D7	IO		LCD_DATA7	O			PTC1	PCCR[3:2]	MODSELR[3]	
E1	F1		MFI-D8	IO		LCD_DATA8	O			O/O	PTC0	PCCR[1:0]	MODSELR[2]
F1	G1		MFI-D9	IO		LCD_DATA9	O					DMARCR[23] ^{*4}	
G1	H1		MFI-D10	IO		LCD_DATA10	O			PTD7	PDCR[15:14]	IPSELR[9]	
J1	J1		MFI-D11	IO		LCD_DATA11	O			PTD6	PDCR[13:12]	IPSELR[9]	
K1	K1		MFI-D12	IO		LCD_DATA12	O			PTD5	PDCR[11:10]	IPSELR[9]	
L1	L1		MFI-D13	IO		LCD_DATA13	O			PTD4	PDCR[9:8]	IPSELR[9]	
M1	M1		MFI-D14	IO		LCD_DATA14	O			PTD3	PDCR[7:6]	IPSELR[9]	
P1	N1		MFI-D15	IO		LCD_DATA15	O			PTD2	PDCR[5:4]	IPSELR[9]	
F4	E1	INTC	IRQ4	I		VCPWC	O			PTD1	PDCR[3:2]	IPSELR[9]	
E2	E2		IRQ5	I		VEPWC	O			PTD0	PDCR[1:0]	IPSELR[9]	
										PTC1	PECR[3:2]		
										PTC0	PECR[1:0]		

【注】 *1 HD6417760BL200A、HD6417760BL200AV、HD6417760BL200AD、HD6417760BL200ADV

*2 HD6417760BP200AD、HD6417760BP200ADV

*3 DRACK2/DACK2選択はDMABRGモード時のみ。

*4 DRACK3/DACK3選択はDMABRGモード時のみ。

表 1.5 端子機能

端子番号	機能1		機能2		機能3		端子名		I/O		GPIO設定		レジスタ	
	17 mm*1	21 mm*2	I/O	I/O	I/O	I/O	機能3	端子名	I/O	I/O	GPIO	GPIO設定	IP選択	IP選択
F19	F19	I ² C (0)	I ² C0_SCL	IO										
F20	F20	I ² C (0)	I ² C0_SDA	IO										
F17	F17	I ² C (1)	I ² C1_SCL	IO										
F18	F18	I ² C (1)	I ² C1_SDA	IO										
B6	B6	HSPI	HSPI_RX	I										
A6	A6		HSPI_TX	O	SIM		SIM_D	MCDAT	IO					PTF2 PFCR[5:4]
A7	A7		HSPI_CLK	IO			SIM_CLK	MCCLK	O					PTF3 PFCR[7:6] IPSELR[15:14]
B7	B7		HSPI_CS	IO			SIM_RST	MCCMD	IO					PTF1 PFCR[3:2] IPSELR[15:14]
P19	P19	HCAN2 (0)	CAN0_NERR	I	AUD		AUDCK		O					PTF0 PFCR[1:0] IPSELR[15:14]
R19	R19		CAN0_RX	I			AUDATA[2]		O					PTA7 PACR[15:14] IPSELR[13]
T19	T19		CAN0_TX	O			AUDATA[0]		O					PTA6 PACR[13:12] IPSELR[13]
P20	P20	HCAN2 (1)	CAN1_NERR	I			AUDSYNC		O					PTA5 PACR[11:10] IPSELR[13]
R20	R20		CAN1_RX	I			AUDATA[3]		O					PTA4 PACR[9:8] IPSELR[13]
T20	T20		CAN1_TX	O			AUDATA[1]		O					PTA3 PACR[7:6] IPSELR[13]
J20	J20		Reserved*4				AUDATA[3]		O					PTA2 PACR[5:4] IPSELR[13]
J19	J19		Reserved*4				AUDATA[2]		O					PTK7 PKCR[15:14] IPSELR[12]
K20	K20		Reserved*4				AUDATA[1]		O					PTK6 PKCR[13:12] IPSELR[12]
H19	H19		Reserved*4				AUDATA[0]		O					PTK5 PKCR[11:10] IPSELR[12]
H20	H20		Reserved*4				AUDCK		O					PTK4 PKCR[9:8] IPSELR[12]
K19	K19	ADC	ADTRG	I			AUDSYNC		O					PTK3 PKCR[7:6] IPSELR[12]
L20	L20	ADC (0)	AN0	I			AUDATA[0]		O					PTK2 PKCR[5:4] IPSELR[12]
L19	L19	ADC (1)	AN1	I										
L18	L18	ADC (2)	AN2	I										
L17	L17	ADC (3)	AN3	I										
A5	A5	SSI (0)	SSI_SCK	IO	HAC (0)		HAC_SD_IN0	BS2	O					PTB7 PBGR[15:14] IPSELR[11:10]
B5	B5		SSI0_WS	IO			HAC_SYNC0		O					PTB6 PBGR[13:12] IPSELR[11:10]
C5	C5		SSI0_SDATA	IO			HAC_SD_OUT0		O					PTB5 PBGR[11:10] IPSELR[11:10]

1. 概要

端子番号	機能1		端子名	I/O	機能2		端子名	I/O	機能3	端子名	I/O	レジスタ		
	17 mm*1	21 mm*2			HAC_BIT_CLK0	HAC_RES						HAC (0)	HAC_BIT_CLK0	HAC (1)
C2	C2	SSI (0)	HAC_BIT_CLK0	I	HAC (0)		HAC_BIT_CLK0	I				PTJ7	PJCR[15:14]	
C4	C4	HAC (0/1)	HAC_RES	O								PTJ6	PJCR[13:12]	
D3	D3	SSI (1)	SSI1_WS	IO	HAC (1)		HAC_SYNC1	O				PTJ5	PJCR[11:10]	IPSELR[11:10]
D2	D2		SSI1_SCK	IO			HAC_SD_IN1	I				PTJ4	PJCR[9:8]	IPSELR[11:10]
C6	C6		SSI1_DATA	IO			HAC_SD_OUT	O				PTJ3	PJCR[7:6]	IPSELR[11:10]
D4	D4		HAC_BIT_CLK1	I			HAC_BIT_CLK1	I				PTJ2	PJCR[5:4]	
B8	B8	CMT (0)	CMT_CTR0	IO	TMU		TCLK	I				PTB4	PBCR[9:8]	
A8	A8	CMT (1)	CMT_CTR1	IO								PTB3	PBCR[7:6]	
B9	B9	CMT (2)	CMT_CTR2	IO								PTB2	PBCR[5:4]	
A9	A9	CMT (3)	CMT_CTR3	IO								PTB1	PBCR[3:2]	
A15	A15	SCIF (0)	SCIF0_CLK	IO								PTG7	PGCR[15:14]	
B16	B16		SCIF0_RXD	I								PTG6	PGCR[13:12]	
A16	A16		SCIF0_TXD	O								PTG5	PGCR[11:10]	
B11	B11	SCIF (1)	SCIF1_CLK	IO								PTG4	PGCR[9:8]	
B14	B14		SCIF1_CTS	IO								PTG3	PGCR[7:6]	
B15	B15		SCIF1_RTS	IO								PTG2	PGCR[5:4]	
B13	B13		SCIF1_RXD	I								PTG1	PGCR[3:2]	
B12	B12		SCIF1_TXD	O								PTG0	PGCR[1:0]	
A10	A10	SCIF (2)	SCIF2_CLK	IO								PTH7	PHCR[15:14]	
A13	A13		SCIF2_CTS	IO								PTH6	PFCR[13:12]	
A14	A14		SCIF2_RTS	IO								PTH5	PHCR[11:10]	
A12	A12		SCIF2_RXD	I								PTH4	PHCR[9:8]	
A11	A11		SCIF2_TXD	O								PTH3	PHCR[7:6]	
A20	A20	USB	UCLK	I								PTH2	PHCR[5:4]	
C18	C18		USB_PENC	O								PTH1	PHCR[3:2]	
D20	D20		USB_OVC	I								PTH0	PHCR[1:0]	
C20	C20		USB_DP	IO										
B19	B19		USB_DM	IO										

端子番号	機能1		端子名	I/O	機能2	端子名	I/O	機能3	端子名	I/O	GPIO	GPIO設定	レジスタ IP選択
	17 mm*1	21 mm*2											
C15	C15	H-UDI	TCK	I									
C10	C10		TMS	I									
D12	D12		TDI	I									
C12	C12		TDO	O									
D10	D10		TRST	I									
C8	C8		ASEBRK	I	H-UDI	BRKACK	O						
B10	B10	INTC	NMI	I									
N20	N20		IRL0	I									
N19	N19		IRL1	I									
M20	M20		IRL2	I									
M19	M19		IRL3	I									
A18	A18	DMAC	DACK0	O									
D19	D19		DACK1	O									
C17	C17		DRAK0	O									
D18	D18		DRAK1	O									
E19	E19		DREQ0	I									
E20	E20		DREQ1	I									
D1	D1	CPG	DKK	O							PTJ1	PJCR[3]	

【注】 *1 HD6417760BL200A、HD6417760BL200AV、HD6417760BL200AD、HD6417760BP200ADV

*2 HD6417760BP200AD、HD6417760BP200ADV

*3 BSの設定は、MODESEL[1]を参照してください。

*4 Reserved端子の処理は「第24章 ピンファンクションコントローラ（PFC）」を参照してください。

1. 概要

表 1.6 端子機能

端子番号		機能	端子名	I/O	メモリアンタフェース				備考	
17mm ^{s1}	21mm ^{s2}				SRAM	SDRAM	PCMCIA	MPX		
R4	R4	アドレス	A0	O						
R1	T4		A1	O						
V6	V6		A2	O						
Y8	Y8		A3	O						
W8	W8		A4	O						
Y9	Y9		A5	O						
W9	W9		A6	O						
V9	V9		A7	O						
W10	W10		A8	O						
Y11	Y11		A9	O						
W11	W11		A10	O						
Y12	Y12		A11	O						
W12	W12		A12	O						
Y13	Y13		A13	O						
W13	W13		A14	O						
V13	V13		A15	O						
V15	V15		A16	O						
U9	U9		A17	O						
U13	U13		A18	O						
U15	U15		A19	O						
L4	L4		A20	O						
M3	N4		A21	O						
T17	T17		A22	O						
T18	T18		A23	O						
R17	R17		A24	O						
R18	R18	A25	O							
U2	U1	データ	D0	I/O				A0		
V2	V1		D1	I/O					A1	
W1	W1		D2	I/O					A2	
U3	U3		D3	I/O					A3	
W3	W3		D4	I/O					A4	
Y3	Y3		D5	I/O					A5	
W4	W4		D6	I/O					A6	
W5	W5		D7	I/O					A7	
Y5	Y5		D8	I/O					A8	
Y4	Y4		D9	I/O					A9	

端子番号		機能	端子名	I/O	メモリアンタフェース				備考
17mm ^{s1}	21mm ^{s2}				SRAM	SDRAM	PCMCIA	MPX	
V4	V4	データ	D10	I/O				A10	
T3	U4		D11	I/O				A11	
Y2	Y2		D12	I/O				A12	
Y1	Y1		D13	I/O				A13	
V1	V2		D14	I/O				A14	
U1	U2		D15	I/O				A15	
U19	U19		D16	I/O				A16	
V19	V19		D17	I/O				A17	
Y20	Y20		D18	I/O				A18	
Y19	Y19		D19	I/O				A19	
U17	U17		D20	I/O				A20	
V17	V17		D21	I/O				A21	
Y17	Y17		D22	I/O				A22	
Y16	Y16		D23	I/O				A23	
W16	W16		D24	I/O				A24	
W17	W17		D25	I/O				A25	
Y18	Y18		D26	I/O					
W18	W18		D27	I/O					
U18	U18		D28	I/O					
W20	W20		D29	I/O				ACCSIZE0	
V20	V20		D30	I/O				ACCSIZE1	
U20	U20	D31	I/O				ACCSIZE2		
F3	F3	チップ選択	$\overline{CS0}$	O	$\overline{CS0}$			$\overline{CS0}$	
H1	J3		$\overline{CS1}$	O	$\overline{CS1}$			$\overline{CS1}$	
J3	J4		$\overline{CS2}$	O	$\overline{CS2}$	$\overline{CS2}$		$\overline{CS2}$	
Y15	Y15		$\overline{CS3}$	O	$\overline{CS3}$	$\overline{CS3}$		$\overline{CS3}$	
K2	L3		$\overline{CS4}$	O	$\overline{CS4}$			$\overline{CS4}$	
N1	N3		$\overline{CS5}$	O	$\overline{CS5}$		CE1A	$\overline{CS5}$	
P2	R3		$\overline{CS6}$	O	$\overline{CS6}$		CE1B	$\overline{CS6}$	
W6	W6	リード/ライト	RD/ \overline{WR}	O	RD/ \overline{WR}	RD/ \overline{WR}		RD/ \overline{WR}	
W15	W15	\overline{RAS}	\overline{RAS}	O		\overline{RAS}			
Y6	Y6	リード/CAS/ FRAME	RD/CASS/FRAME	O	\overline{OE}	CAS	\overline{OE}	FRAME	
W7	W7	D7-D0 選択信号/ REG	$\overline{WE0}/DQM0/REG$	O	$\overline{WE0}$	DQM0	REG		
Y7	Y7	D15-D8 選択信号	$\overline{WE1}/DQM1$	O	$\overline{WE1}$	DQM1	$\overline{WE1}$		

1. 概要

端子番号		機能	端子名	I/O	メモリアンタフェース				備考
17mm ^{*1}	21mm ^{*2}				SRAM	SDRAM	PCMCIA	MPX	
W14	W14	D23-D16 選択信号/ iCIORD	WE2/DQM2/iCIORD	O	WE2	DQM2	iCIORD		
Y14	Y14	D31-D24 選択信号/ iCIOWR	WE3/DQM3/iCIOWR	O	WE3	DQM3	iCIOWR		
Y10	Y10	クック出力	CKIO	O		CKIO		CKIO	
U6	U6	クック出力可能	CKE	O		CKE			
D16	D16	モード	MD0	I					リセット; MD0
D17	D17	モード	MD1	I					リセット; MD1
C16	C16	モード	MD2	I					リセット; MD2
B17	B17	モード / PCMCIA-CE	MD3/CE2A	I/O			CE2A		リセット; MD3
A17	A17	モード / PCMCIA-CE	MD4/CE2B	I/O			CE2B		リセット; MD4
G20	G20	モード	MD5	I					リセット; MD5
G19	G19	モード / iOIS16	MD6/iOIS16	I/I			iOIS16		リセット; MD6
H17	H17	モード	MD7	I					リセット; MD7
H18	H18	モード	MD8	I					リセット; MD8
B1	B1	リセット	RESET	I			RESET		
D5	D5	マニュアルリセット	MRESET	I					
C1	C1	バス準備	RDY	I	RDY		RDY	RDY	
R2	T3	バス開始	BS	O	(BS)	(BS)	(BS)	(BS)	
E4	E4	バス権要求	BREQ	I					
J4	F4	バス権認識	BACK	O					
E3	E3	チップアクティブ	CA	I					
D6	D6	STATUS0	ステータス 0	O					
D8	D8	STATUS1	ステータス 1	O					
A1	A1	EXTAL	外部入力クロック / 水晶発振器	I					
A2	A2	XTAL	水晶発振器	O					

【注】 *1 HD6417760BL200A、HD6417760BL200AV、HD6417760BL200AD、HD6417760BL200ADV

*2 HD6417760BP200AD、HD6417760BP200ADV

2. プログラミングモデル

2.1 データフォーマット

SH-4 でサポートしているデータフォーマットを図 2.1 に示します。

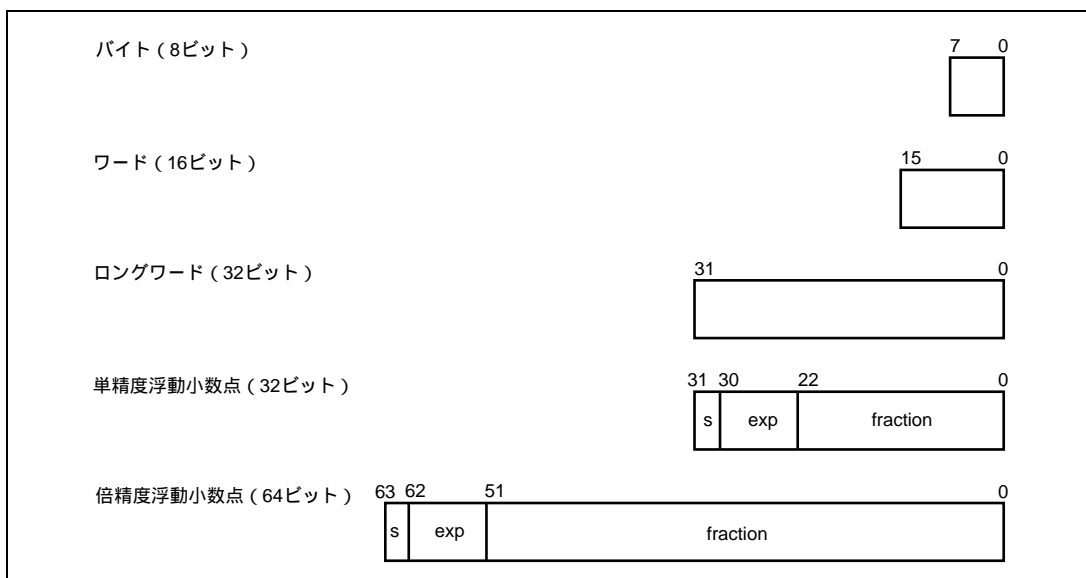


図 2.1 データフォーマット

2.2 レジスタの説明

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタには R0 から R15 までの 16 本のレジスタがあります。汎用レジスタ R0 から R7 は、バンクレジスタで、処理モードで切り換えることができます。

特権モードのとき、ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RB ビットが 1 のとき、つまりバンク 1 が選ばれているときは、バンク 1 の汎用レジスタ R0_BANK1 から R7_BANK1 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 0 の汎用レジスタ R0_BANK0 から R7_BANK0 の 8 本のレジスタは、LDC/STC 命令でアクセスできます。

RB ビットが 0 のとき、つまりバンク 0 が選ばれているときは、バンク 0 の汎用レジスタ R0_BANK0 から R7_BANK0 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 1 の汎用レジスタ R0_BANK1 から R7_BANK1 の 8 本のレジスタは、LDC/STC 命令でアクセスできます。

ユーザモードのときは、バンク 0 の汎用レジスタ R0_BANK0 から R7_BANK0 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 1 の汎用レジスタ R0_BANK1 から R7_BANK1 の 8 本のレジスタは、アクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (たとえば RB ビット) があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシジャレジスタ (PR)、プログラムカウンタ (PC)、浮動小数点ステータス/コントロールレジスタ (FPSCR)、浮動小数点通信レジスタ (FPUL) があり、処理モードに関係しません。

(5) 浮動小数点レジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15の32本のレジスタがあります。FR0～FR15、XF0～XF15をおのおのFPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の8本、FV0/4/8/12(レジスタベクタ)の4本として使用でき、XF0～XF15は、XD0/2/4/6/8/10/12/14(レジスタペア)の8本、XMTRX(レジスタ行列)の1本として使用できます。

リセット後のレジスタの値を表2.1に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MDビットは1、RBビットは1、BLビットは1、 FDビットは0、IMASKは1111(H'F)、リザーブ ビットは0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'0000 0000
システムレジスタ	MACH、MACL、PR、FPUL	不定
	PC	H'A000 0000
	FPSCR	H'0004 0001
浮動小数点レジスタ	FR0～FR15、XF0～XF15	不定

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別のCPUレジスタ構成を図2.2に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット(MD)で切り替えます。

2. プログラミングモデル

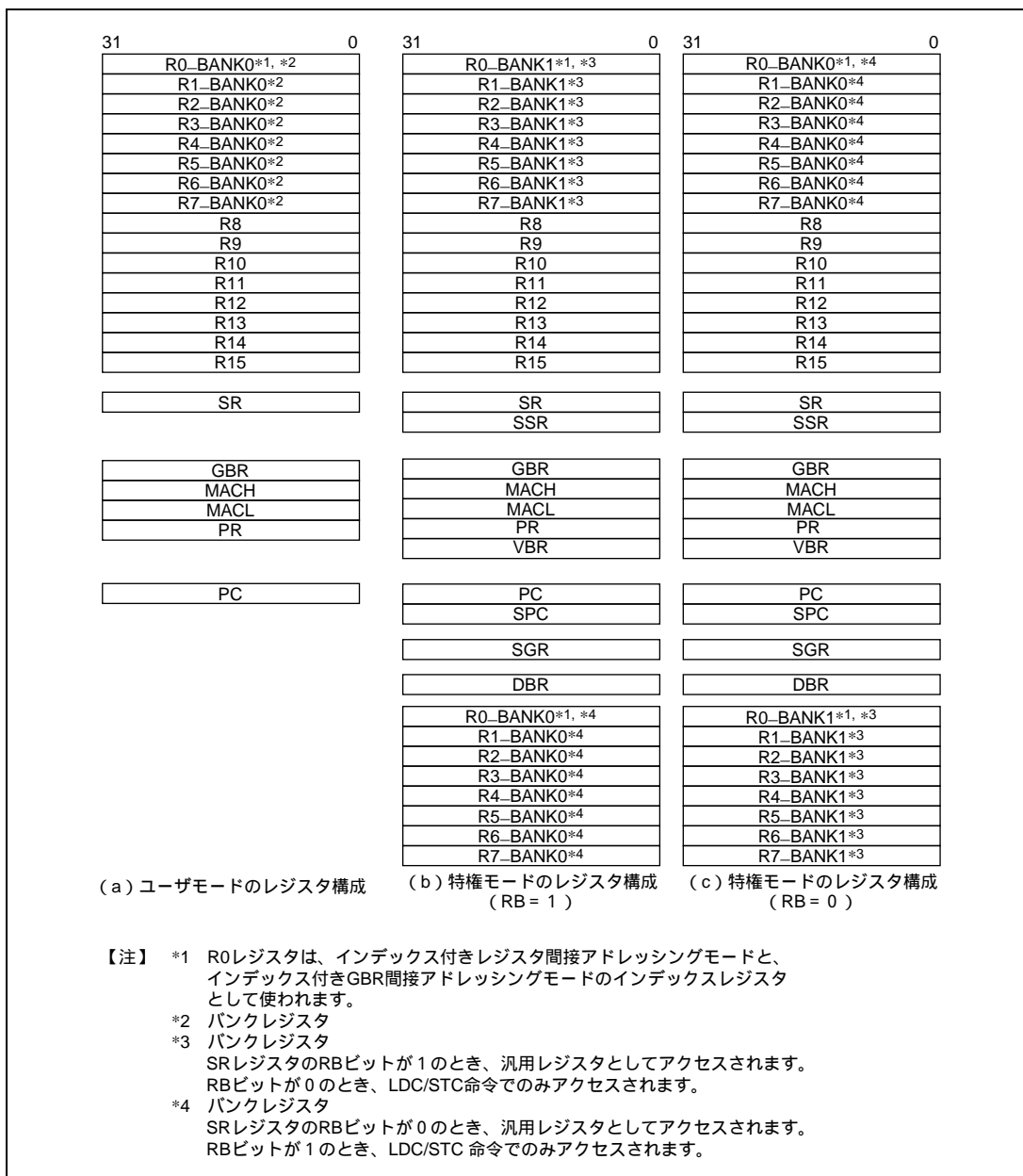


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4 には 24 本の 32 ビット汎用レジスタ (R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4 には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1、SR.RB=0)		(SR.MD=1、SR.RB=1)
R0	R0_BANK0	R0_BANK0
R1	R1_BANK0	R1_BANK0
R2	R2_BANK0	R2_BANK0
R3	R3_BANK0	R3_BANK0
R4	R4_BANK0	R4_BANK0
R5	R5_BANK0	R5_BANK0
R6	R6_BANK0	R6_BANK0
R7	R7_BANK0	R7_BANK0
R0_BANK1	R0_BANK1	R0
R1_BANK1	R1_BANK1	R1
R2_BANK1	R2_BANK1	R2
R3_BANK1	R3_BANK1	R3
R4_BANK1	R4_BANK1	R4
R5_BANK1	R5_BANK1	R5
R6_BANK1	R6_BANK1	R6
R7_BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

【プログラミング上の注意】
 ユーザの R0 ~ R7 は R0_BANK0 ~ R7_BANK0 に、例外・割り込み後の R0 ~ R7 は R0_BANK1 ~ R7_BANK1 に割り当てられるので、割り込みハンドラはユーザの R0 ~ R7 (R0_BANK0 ~ R7_BANK0) を退避または復帰する必要はありません。
 リセット後の R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15 の値は不定です。

図 2.3 汎用レジスタの構成

2. プログラミングモデル

2.2.3 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、退避ステータスレジスタ (SR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。GBR と SR は処理モードで共通のレジスタですが、SSR、SPC、VBR、SGR、DBR は特権モードでのみアクセスできるレジスタです。

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	MD	RB	BL	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	-	-	-	-	-	M	Q	IMASK3	IMASK2	IMASK1	IMASK0	-	-	S	T
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0: ユーザモード (命令の中には実行できない命令があり、リソースの中にはアクセスできないリソースがあります) 1: 特権モード
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット リセット、例外または割り込みにより 1 にセットされます。 0: R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1: R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。
28	BL	1	R/W	例外 / 割り込みブロックビット リセット、例外または割り込みにより 1 にセットされます。 このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。
27 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15	FD	0	R/W	FPU ディスエーブルビット リセットにより 0 にクリアされます。 このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑制例外が発生します (FPU 命令: H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。
14 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	M	-	R/W	M ビット
8	Q	-	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7	IMASK3	1	R/W	割り込みマスクレベル
6	IMASK2	1	R/W	IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生しても IMASK は変化しません。
5	IMASK1	1	R/W	
4	IMASK0	1	R/W	
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件、またはキャリー / ボロービット

(2) 退避ステータスレジスタ (SSR)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(6) 退避ジェネラルレジスタ 15 (SGR)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR)

ユーザブレイクデバッグ機能を有効にする場合 (BRCCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2. プログラミングモデル

2.2.4 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ(MACH、MACLの2本)、プロシジャレジスタ(PR)、プログラムカウンタ(PC)、浮動小数点ステータス/コントロールレジスタ(FPSCR)、浮動小数点通信レジスタ(FPUL)の6本があります。FPSCR、FPULについては「第3章 浮動小数点ユニット(FPU)」を参照してください。

(1) 積和上位レジスタ(MACH)、積和下位レジスタ(MACL)

MACHおよびMACLは、MAC命令の加算値として用いられます。またMAC命令、MUL命令の演算結果を格納するためにも用いられます。

(2) プロシジャレジスタ(PR)

BSR、BSRF、JSR命令を用いたサブルーチンコールの戻りアドレスはPRに格納されます。PRは、サブルーチンからの復帰命令(RTS)によって参照されます。

(3) プログラムカウンタ(PC)

PCは実行中の命令アドレスを示します。

2.2.5 浮動小数点レジスタ

「第3章 浮動小数点ユニット(FPU)」を参照してください。

2.3 メモリ割り付けレジスタ

メモリに割り付けた制御レジスタについては「第32章 レジスタ一覧」を参照してください。制御レジスタは次のメモリ領域にダブルマッピングされています。すべてのレジスタには2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。

この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。

この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

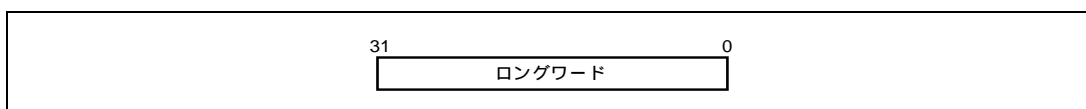
ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタは、アドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 データ形式

2.4.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.4.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピン (MD5 端子) で設定してください。MD5 端子がローレベルの場合ビッグエンディアンに、MD5 端子がハイレベルの場合リトルエンディアンに設定されます。エンディアンは動的には変更できません。ただしビット位置は常に最上位から最下位へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.4 に示します。

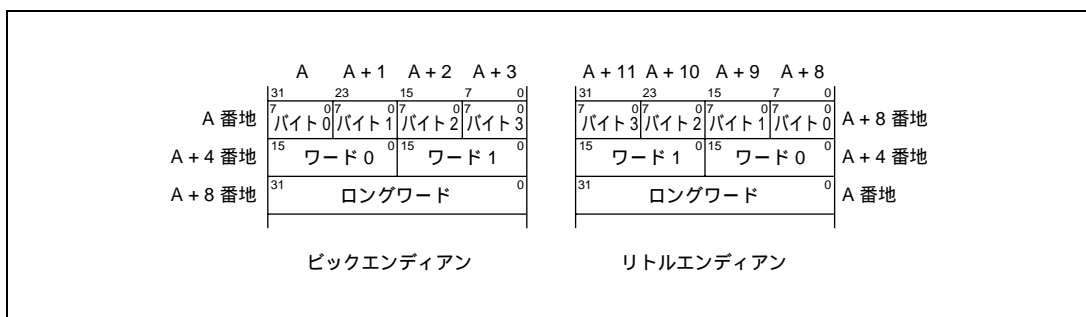


図 2.4 メモリ上のデータ形式

【注】 SH-4 では、64 ビット長データフォーマットのエンディアン変換をサポートしていません。そのため、リトルエンディアンモード下で倍精度浮動小数点フォーマット (64 ビット長) のアクセスをした場合、上位 32 ビットと下位 32 ビットが逆になります。

2.5 処理状態

処理状態にはリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RESET}}$ 端子がローレベルになると、パワーオンリセット状態になります。また、 $\overline{\text{RESET}}$ 端子がハイレベルで $\overline{\text{MRESET}}$ 端子がローレベルのとき、マニュアルリセット状態になります。リセットについては、「第8章 例外処理」を参照してください。

パワーオンリセット状態では、CPU の内部状態と周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) をのぞく周辺モジュールのレジスタと CPU の内部状態とが初期化されます。マニュアルリセット状態では、BSC は初期化されませんのでリフレッシュ動作は継続しています。詳細は、各章のレジスタ構成を参照してください。

(2) 例外処理状態

リセット、一般例外、割り込みの例外要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、PC を SPC に、SR を SSR、R15 を SGR に退避します。ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外処理ルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第8章 例外処理」を参照してください。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、ディープスリープモードおよびスタンバイモードの3つのモードがあります。低消費電力状態の詳細は「第14章 低消費電力モード」を参照してください。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

状態間の遷移を図 2.5 に示します。

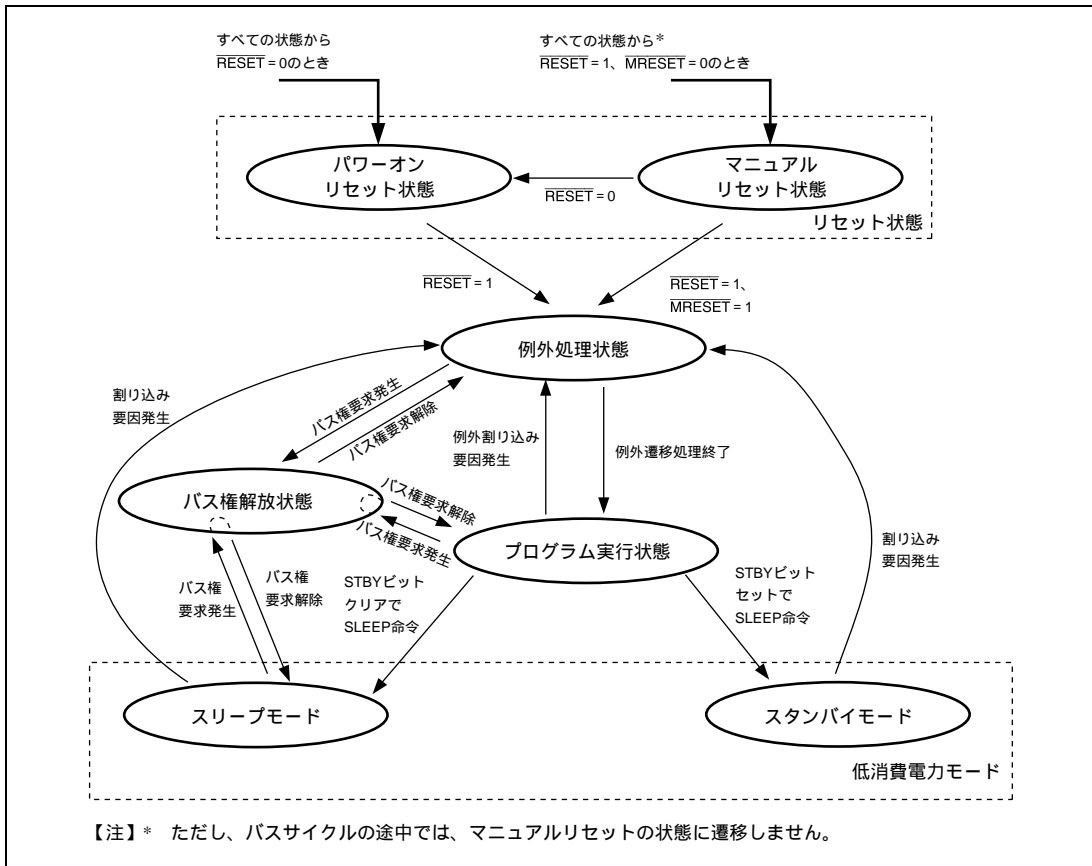


図 2.5 処理状態の状態遷移図

2.6 処理モード

処理モードには特権モードとユーザモードの2種類があります。SRのMDビットで処理モードが決まります。MDビットが0のときユーザモードになり、1のとき特権モードになります。リセット状態、例外処理状態になると、MDビットが1になります。例外処理が終了したときは、MDビットを0にクリアしてユーザモードに切り替えます。特権モードでのみアクセスできるレジスタとビットがあります。

2. プログラミングモデル

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、グラフィックサポート、システム制御

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外が発生します。

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

FPU は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

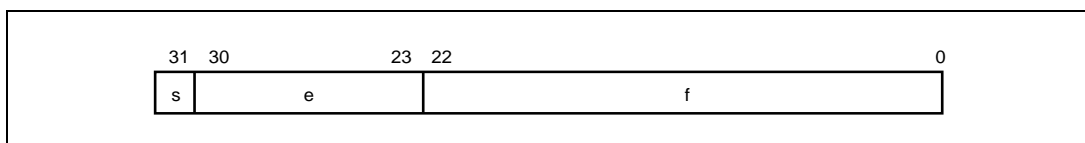


図 3.1 単精度浮動小数点フォーマット

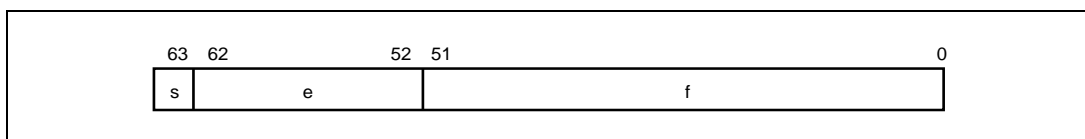


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{\max}	+127	+1023
E_{\min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{\min} \leq E \leq E_{\max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{\min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。

$E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFEF FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

3. 浮動小数点ユニット (FPU)

3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

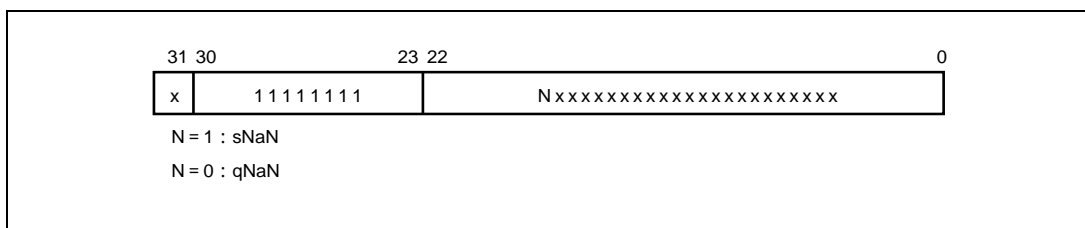


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRのEN.Vビットが0の場合、演算結果(出力)はqNaNです。
- FPSCRのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBF FFFF
- 倍精度qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU の FPSCR の DN ビットが 1 の場合、非正規化数(ソースオペランドまたは演算結果)は、(コピー、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で常に 0 にフラッシュされます。

FPSCR の DN ビットが 0 の場合、非正規化数(ソースオペランドまたは演算結果)はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、または XMTRX を指定することによって参照される 32 本の 32 ビット浮動小数点レジスタがあります。

1. 浮動小数点レジスタ：FPRi_BANKj (32レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

2. 単精度浮動小数点レジスタ：FRi (16レジスタ)

FPSCR.FR = 0のときFR0 ~ FR15はFPR0_BANK0 ~ FPR15_BANK0を示します。

FPSCR.FR = 1のときFR0 ~ FR15はFPR0_BANK1 ~ FPR15_BANK1を示します。

3. 倍精度浮動小数点レジスタ：DRi (8レジスタ)

DRレジスタは2つのFRレジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

4. 単精度浮動小数点ベクトルレジスタ：FVi (4レジスタ)

FVレジスタは4つのFRレジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、FV12 = {FR12, FR13, FR14, FR15}

5. 単精度浮動小数点拡張レジスタ：XF_i (16レジスタ)

FPSCR.FR = 0のときXF0 ~ XF15はFPR0_BANK1 ~ FPR15_BANK1を示します。

FPSCR.FR = 1のとき、XF0 ~ XF15はFPR0_BANK0 ~ FPR15_BANK0を示します。

6. 倍精度浮動小数点拡張レジスタ：XD_i (8レジスタ)

XDレジスタは2つのXFレジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

7. 単精度浮動小数点拡張レジスタ行列：XMTRX

XMTRXは16のXFレジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

3. 浮動小数点ユニット (FPU)

FPSCR.FR = 0			FPSCR.FR = 1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX
		FR1	FPR1 BANK0	XF1		
	DR2	FR2	FPR2 BANK0	XF2	XD2	
		FR3	FPR3 BANK0	XF3		
FV4	DR4	FR4	FPR4 BANK0	XF4	XD4	
		FR5	FPR5 BANK0	XF5		
	DR6	FR6	FPR6 BANK0	XF6	XD6	
		FR7	FPR7 BANK0	XF7		
FV8	DR8	FR8	FPR8 BANK0	XF8	XD8	
		FR9	FPR9 BANK0	XF9		
	DR10	FR10	FPR10 BANK0	XF10	XD10	
		FR11	FPR11 BANK0	XF11		
FV12	DR12	FR12	FPR12 BANK0	XF12	XD12	
		FR13	FPR13 BANK0	XF13		
	DR14	FR14	FPR14 BANK0	XF14	XD14	
		FR15	FPR15 BANK0	XF15		
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0
		XF1	FPR1 BANK1	FR1		
	XD2	XF2	FPR2 BANK1	FR2	DR2	
		XF3	FPR3 BANK1	FR3		
	XD4	XF4	FPR4 BANK1	FR4	DR4	FV4
		XF5	FPR5 BANK1	FR5		
	XD6	XF6	FPR6 BANK1	FR6	DR6	
		XF7	FPR7 BANK1	FR7		
	XD8	XF8	FPR8 BANK1	FR8	DR8	FV8
		XF9	FPR9 BANK1	FR9		
	XD10	XF10	FPR10 BANK1	FR10	DR10	
		XF11	FPR11 BANK1	FR11		
	XD12	XF12	FPR12 BANK1	FR12	DR12	FV12
		XF13	FPR13 BANK1	FR13		
	XD14	XF14	FPR14 BANK1	FR14	DR14	
		XF15	FPR15 BANK1	FR15		

図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用方法を選択します。なお SZ ビットと PR ビットは、同時に 1 にセットしないでください。この設定はリザーブとなっています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。
18	DN	1	R/W	非正規化モード 0: 非正規化数を非正規化数として扱います。 1: 非正規化数を 0 として扱います。
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	FPU 例外フラグフィールド FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 演算命令が実行されるたびに、FPU 例外要因フィールドは 0 にクリアされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。各フィールドのビットの割り付けについては表 3.3 を参照してください。

3. 浮動小数点ユニット (FPU)

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00：近傍への丸め

FPSCR.RM[1:0] = 01：0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2^{-2^p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 浮動小数点例外

3.5.1 一般 FPU 抑止例外 / スロット FPU 抑止例外

FPU に関する例外には、一般 FPU 抑止例外とスロット FPU 抑止例外があります。SR の FD ビットが 1 のときに FPU 命令を実行すると発生します。

3.5.2 FPU 例外要因

例外要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.3 FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ (命令 = FTRV または 無効演算) の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

各可能性については各命令の説明で示します。FPU 演算に起因するすべての例外事象は、同一の例外事象とし

3. 浮動小数点ユニット (FPU)

て割り付けられています。例外の意味内容は、FPSCRを読み出して、保持されている情報を解釈することでソフトウェアにより決定します。FPU 例外イネーブルフィールドの O、U、I および V (FTRV の場合のみ) ビットのうち一つまたは複数のビットがセットされている場合、FPSCR の FPU 例外要因フィールド中のビットが一つもセットされていない場合は、実際の FPU 例外は発生しないことを示しています。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外、すべての処理では V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果として qNaN を生成します。
- 0 による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
 - 0 方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
 - FPSCR の DN ビットが 0 のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き 0 を生成します。
 - FPSCR の DN ビットが 1 のとき、丸め前と同じ符号付き 0 を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

3.6 グラフィックサポート機能

FPU は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

3.6.1 ジオメトリック演算命令

ジオメトリック演算命令は近似値演算です。最小のハードウェアで高速演算を可能とするため、FPU は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1) }) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数)

将来の SuperH™ RISC engine ファミリに関して演算誤差は保証しますが、同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n : 0, 4, 8, 12)

この命令の用途の例を以下に示します。

- 内積 (m n) :
一般的に、この演算はポリゴン表面の表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m = n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

高速演算を可能とするため近似値演算を行うことから、FIPR 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (1) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの対応するビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、FPU は4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

高速演算を可能とするため近似値演算を行うことから、FTRV 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (1) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。たとえば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用の方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4 ~ 5 サイクルを費やします。FRCHG 命令では FPSCR の FR ビットの変更を 1 サイクルで行うことができます。

3. 浮動小数点ユニット (FPU)

3.6.2 ペア単精度データ転送

FPU は高速データ転送命令をサポートしています。

FPSCR の SZ ビットが 1 のとき、FPU はペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0、2、4、6、8、10、12、14)
- FMOV DRm/XDm, @Rn (m : 0、2、4、6、8、10、12、14、n : 0 ~ 15)

これらの命令により、2つの単精度 (2×32 ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り換えることができます。

【プログラミング上の注意】

SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できます。リトルエンディアン方式の場合、倍精度浮動小数点データをロードまたはストアするためには、SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。

3.7 使用上の注意事項

3.7.1 丸めモードとアンダフローフラグ

丸めモードが近傍への丸めを使用した場合、IEEE754 規格ではアンダフローと定義されていますが、アンダフローフラグが立たない場合があります。

丸めモードが近傍への丸めであり、かつ無限精度の演算結果 x が下記 (i) または (ii) のとき (単精度)、(iii) または (iv) のとき (倍精度) では、IEEE754 規格では「丸めの後では正規化数となるが、アンダフローとなる」ケースがあります。

FPU は上記、「丸めの後では正規化数となるが、アンダフローとなる」ケースでアンダフローフラグを 1 にセットしません。なお、本ケースでも演算結果、つまり FR_n に書かれる値は正しいです。また、FPU 例外を発生させる場合、本ケースではアンダフローフラグを 1 にセットしませんが、不正確フラグは 1 にセットするので、インテグリティフィールドを 1 に設定しておくことで、FPU 例外は発生します。

- (i) $H'007FFFFFFF < x < H'00800000$
- (ii) $H'807FFFFFFF > x > H'80800000$
- (iii) $H'000FFFFFFF FFFFFFFF < x < H'00100000 00000000$
- (iv) $H'800FFFFFFF FFFFFFFF > x > H'80100000 00000000$

[発生例]

- 単精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=0 (単精度) で、
FMUL 命令 ($H'00FFF000 * H'3F000800$) を実行。

- (a) IEEE754規格に準拠している場合
演算結果: $H'00800000$
FPSCR: $H'0004300C$

- (b) FPUの場合
演算結果: $H'00800000$
FPSCR: $H'00041004$

- 倍精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=1 (倍精度) で、
FDIV 命令 ($H'001FFFFFFF FFFFFFFF / H'40000000 00000000$) を実行。

- (a) IEEE754規格に準拠している場合
演算結果: $H'00100000 00000000$
FPSCR: $H'000C300C$

- (b) FPUの場合
演算結果: $H'00100000 00000000$
FPSCR: $H'000C1004$

3. 浮動小数点ユニット (FPU)

[対応策]

1. FPSCR.RM=01すなわち、近傍への丸めモードではなく、0方向への丸めモードを用いることで対応できます。
2. FPSCR.RM=00すなわち、近傍への丸めモードを用いる場合、アンダフローが発生したかどうかを確認するには、イネーブルフィールドに1を立てて不正確例外を発生させ、例外処理ルーチンにてアンダフローか否かを判定します。

3.7.2 FIPR/FTRV 命令によるオーバフローフラグについて

FIPR/FTRV 命令にて最大誤差が正規化数で表現できる最大数 (H'7F7FFFFF) より大きいとき、演算結果が正もしくは負の零 (H'00000000 もしくは H'80000000) にもかかわらず、オーバフローフラグが立つ可能性があります。

[発生例]

下記レジスタ値を入力すると FIPR FV4,FV0 命令実行後の演算結果 (FR7) が H'00000000 (正の零) にかかわらず、オーバフローフラグが立つ場合があります。

```
FPSCR= H'00040001
```

```
FR0 = H'FF7EF631, FR1 = H'80000000, FR2 = H'8087F451, FR3 = H'7F7EF631
```

```
FR4 = H'7F7EF631, FR5 = H'0087F451, FR6 = H'7F7EF631, FR7 = H'7F7EF631
```

[対応策]

FIPR および FTRV 命令を使用せず、FADD、FMUL、FMAC 命令を用いて演算する。

3.7.3 FIPR/FTRV 命令による演算結果の符号について

FIPR 命令/FTRV 命令で演算に使用されるデータの2つ以上が無限大であり、乗算した結果の中にある無限大となる項がすべて同符号である場合、演算結果の符号を誤る可能性があります。

[対応策]

1. 無限大を扱わない。ここで下記 (a) ~ (c) 条件がすべて成り立つとき、無限大が扱われることはありません。
 - (a) 丸めモードとして0方向への丸め (FPSCR.RM=01) を使用する。
 - (b) 0による除算を行わない。
 - (c) FR0-FR15, XF0-XF15に正または負の無限大を転送しない。
2. FIPRおよびFTRV命令を使用せず、FADD、FMUL、FMAC命令にて演算する。

3.7.4 倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項

[現象]

倍精度の FADD 命令もしくは倍精度の FSUB 命令の入力データが以下の条件をすべて満たす場合、演算結果が不正確であるにもかかわらず不正確ビット (FPSCR.Flag.I、FPSCR.Cause.I) をセットしない場合があります。

条件 1: 演算命令が倍精度の FADD 命令もしくは倍精度の FSUB 命令

条件 2: DRn と DRm の指数差が 43 以上かつ 51 未満

条件 3: DRn と DRm の絶対値の小さい方の仮数部のビット 31 からビット 24 の少なくとも 1 ビットは 1

条件 4: DRn と DRm の絶対値の小さい方の仮数部のビット 23 からビット 0 がすべて 0

条件 5: DRn と DRm の絶対値の小さい方の仮数部のビット 40 からビット 32 がすべて 0

さらに本演算の結果、丸めを間違う場合があります。具体的には、丸めによって丸め前の値より小さい側の最も近い表現可能な数を選択すべきときに、丸め前の値より大きい側の最も近い表現可能な数を選択します。もしくは、丸めによって丸め前の値より大きい側の最も近い表現可能な数を選択すべきときに、丸め前の値より小さい側の最も近い表現可能な数を選択します。

[発生例]

倍精度の FSUB 命令 (FSUB DR0, DR2) において、

(入力データ) DR0 = H'C1F00000 80000000、DR2 = H'C4B250D2 0CC1FB74、FPSCR = H'000C0001

の場合、

(正しい演算結果) DR2 = H'C4B250D2 0CC1F973

となり FPSCR.Flag.I と FPSCR.Cause.I に 1 がセットされなければいけません、実際は

(FPU の演算結果) DR2 = H'C4B250D2 0CC1F974

となり、FPSCR.Flag.I と FPSCR.Cause.I に 1 はセットされません。

[影響度]

本演算結果の数値の大きさは、以上の現象の説明に加え、丸める前の仮数に、仮数の LSB の桁の値の (1/256) の微小な演算誤差を発生し、その後丸める機構で説明できる範囲内に限られます。より厳密には次のようになります。

無限精度の演算結果を	a
値 a より小さい側の最も近い表現可能な数を	b
値 a より大きい側の最も近い表現可能な数を	c
値 a に対する、正しく丸めた場合の丸め後の演算結果を	d
値 a に対する、FPU の演算結果を	e

とするとき、

3. 浮動小数点ユニット (FPU)

- 近傍への丸めモードのとき

正しく丸めた場合の丸め誤差の大きさは

$$0 \leq |d - a| \leq (1/2) \times (c - b),$$

ですが、FPUの場合

$$0 \leq |e - a| < (129/256) \times (c - b),$$

となります($c - b$) を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの (1/256) 分大きくなります)。

- ゼロへの丸めモードのとき

正しく丸めた場合の丸め誤差は

$$(-1) \times (c - b) < |d| - |a| \leq 0$$

ですが、FPUの場合

$$(-1) \times (c - b) < |e| - |a| < (1/256) \times (c - b)$$

となります($c - b$) を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの (1/256) 分大きくなります)。

4. 命令セット

4.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

データサイズとデータタイプ：SH-4 の命令セットは固定長 16 ビット命令で実現されます。SH-4 はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、ロングワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点演算を指定すると (FPSCR.PR=1)、クワッドワードアクセスの演算結果は未定義です。SH-4 がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

(2) ロード/ストアアーキテクチャ

SH-4 は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算をのぞき、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH-4 の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐上で分岐の次の命令は分岐先命令の前に実行されます。遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

静的シーケンス	動的シーケンス	
BRA TARGET	BRA TARGET	
ADD R1, R0 next_2	ADD R1, R0 target_instr	遅延スロットの ADD は TARGET に分岐する前に実行されます

(4) 遅延スロット

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。詳細については「第 8 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

4. 命令セット

(5) Tビット

SR の T ビットは、比較演算の結果を示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0      ; T ビットは ADD 演算で変更されない。  
CMP/EQ R1, R0     ; R0 = R1 のとき T ビットは 1 にセットされる。  
BT     TARGET     ; T ビット = 1 ( R0 = R1 ) のとき TARGET に分岐する。
```

RTE の遅延スロットで、SR ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで文字どおりの定数値として定義することができ、PC 相対ロード命令で参照できます。

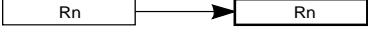
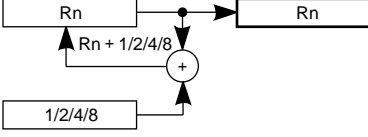
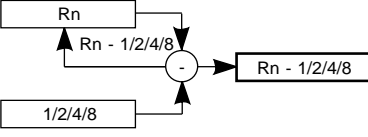
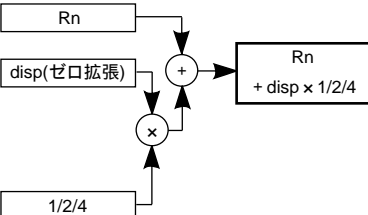
```
MOV.W   @(disp, PC), Rn  
MOV.L   @(disp, PC), Rn
```

浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

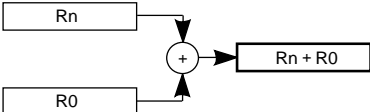
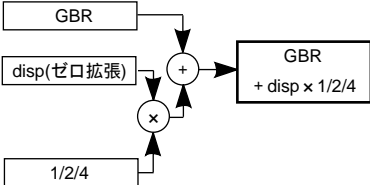
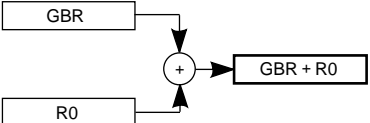
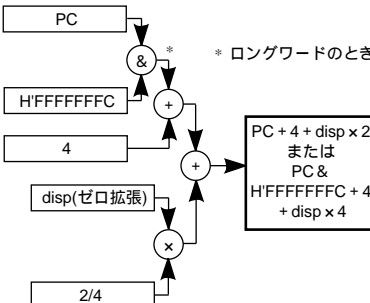
4.2 アドレッシングモード

表 4.1 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想アドレス空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。詳細については「第 6 章 メモリマネジメントユニット (MMU)」を参照してください。

表 4.1 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp × 2 EA ロングワード : Rn + disp × 4 EA

4. 命令セット

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	Rn + R0 EA
ディスプレイースメント付き GBR 間接	@ (disp:8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : GBR + disp EA ワード : GBR + disp × 2 EA ロングワード : GBR + disp × 4 EA
インデックス付き GBR 間接	@ (R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	GBR + R0 EA
ディスプレイースメント付き PC 相対	@ (disp:8, PC)	実効アドレスは PC + 4 に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。 	ワード : PC + 4 + disp × 2 EA ロングワード : PC & H'FFFFFF FFFC + 4 + disp × 4 EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイメント付き PC 相対
- disp : 8, disp :12 ;PC 相対

4. 命令セット

4.3 命令セット

表 4.3 ~ 表 4.12 に示す SuperH™ 命令の次のリストに使用する表記を表 4.2 に示します。

表 4.2 命令リストの表記

項目	フォーマット	説明
命令二ーモニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド
演算の要約		, : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n, >>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号(Rm, FRm) nnnn : レジスタ番号(Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : : 1111 : R15, FR15 mmm : レジスタ番号(DRm, XDm, Rm_BANK) nnn : レジスタ番号(DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn) 00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード		「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後の T ビットの値	- : 変更なし

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 4.3 固定小数点転送命令

命令	動作	命令コード	特権	T ビット
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiii	-	-
MOV.W @(disp,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd	-	-
MOV.L @(disp,PC),Rn	(disp × 4+PC&H'FFFF FFFC+4) Rn	1101nnnnddddddd	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-
MOV.B Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100	-	-
MOV.W Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101	-	-
MOV.L Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101	-	-
MOV.L @Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110	-	-
MOV.B R0,@(disp,Rn)	R0 (disp+Rn)	10000000nnnnddd	-	-
MOV.W R0,@(disp,Rn)	R0 (disp × 2+Rn)	1000001nnnnddd	-	-
MOV.L Rm,@(disp,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-
MOV.B @(disp,Rm),R0	(disp+Rm) 符号拡張 R0	10001010mmmmddd	-	-
MOV.W @(disp,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10001011mmmmddd	-	-
MOV.L @(disp,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-
MOV.B R0,@(disp,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-
MOV.W R0,@(disp,GBR)	R0 (disp × 2+GBR)	11000010ddddddd	-	-
MOV.L R0,@(disp,GBR)	R0 (disp × 4+GBR)	11000100ddddddd	-	-
MOV.B @(disp,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-
MOV.W @(disp,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-
MOV.L @(disp,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-

4. 命令セット

命令	動作	命令コード	特権	T ビット
MOVA @ (disp,PC),R0	disp × 4+PC&H'FFFF FFFC+4 R0	11000111dddddddd	-	-
MOVT Rn	T Rn	0000nnnn00101001	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-

表 4.4 算術演算命令

命令	動作	命令コード	特権	T ビット
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiii	-	-
ADDC Rm,Rn	Rn+Rm+T Rn, キャリ T	0011nnnnmmmm1110	-	キャリ
ADDV Rm,Rn	Rn+Rm Rn, オーバフロー T	0011nnnnmmmm1111	-	オーバ フロー
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiii	-	比較 結果
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000	-	比較 結果
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010	-	比較 結果
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011	-	比較 結果
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110	-	比較 結果
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111	-	比較 結果
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果
CMP/PL Rn	Rn>0 のとき 1 T それ以外のとき 0 T	0100nnnn00010101	-	比較 結果
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	0010nnnnmmmm1100	-	比較 結果
DIV1 Rm,Rn	1 ステップ除算 (Rn ÷ Rm)	0011nnnnmmmm0100	-	計算 結果

4. 命令セット

命令		動作	命令コード	特権	T ビット
DIV0S	Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111	-	計算 結果
DIV0U		0 M/Q/T	0000000000011001	-	0
DMULS.L	Rm,Rn	符号付きで Rn x Rm MAC, 32 x 32 64 ビット	0011nnnnmmmm1101	-	-
DMULU.L	Rm,Rn	符号なしで Rn x Rm MAC, 32 x 32 64 ビット	0011nnnnmmmm0101	-	-
DT	Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外 のとき 0 T	0100nnnn00010000	-	比較 結果
EXTS.B	Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110	-	-
EXTS.W	Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111	-	-
EXTU.B	Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100	-	-
EXTU.W	Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101	-	-
MAC.L	@Rm+,@Rn+	符号付きで (Rn) x (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 x 32 + 64 64 ビット	0000nnnnmmmm1111	-	-
MAC.W	@Rm+,@Rn+	符号付きで (Rn) x (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 x 16 + 64 64 ビット	0100nnnnmmmm1111	-	-
MUL.L	Rm,Rn	Rn x Rm MACL 32 x 32 32 ビット	0000nnnnmmmm0111	-	-
MULS.W	Rm,Rn	符号付きで Rn x Rm MACL 16 x 16 32 ビット	0010nnnnmmmm1111	-	-
MULU.W	Rm,Rn	符号なしで Rn x Rm MACL 16 x 16 32 ビット	0010nnnnmmmm1110	-	-
NEG	Rm,Rn	0-Rm Rn	0110nnnnmmmm1011	-	-
NEGC	Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnmmmm1010	-	ボロー
SUB	Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000	-	-
SUBC	Rm,Rn	Rn-Rm-T Rn, ボロー T	0011nnnnmmmm1010	-	ボロー
SUBV	Rm,Rn	Rn-Rm Rn, アンダフロー T	0011nnnnmmmm1011	-	アンダ フロー

4. 命令セット

表 4.5 論理演算命令

命令	動作	命令コード	特権	T ビット
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiiii	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiiii	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiiii	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiiii	-	-
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)のMSB	0100nnnn00011011	-	テスト 結果
TST Rm,Rn	$Rn \& Rm$, 結果が0のとき 1 T それ以外のとき 0 T	0010nnnnmmmm1000	-	テスト 結果
TST #imm,R0	$R0 \& imm$, 結果が0のとき 1 T それ以外のとき 0 T	11001000iiiiiiii	-	テスト 結果
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外のとき 0 T	11001100iiiiiiii	-	テスト 結果
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiiii	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiiii	-	-

表 4.6 シフト命令

命令	動作	命令コード	特権	T ビット
ROTL Rn	T Rn MSB	0100nnnn00000100	-	MSB
ROTR Rn	LSB Rn T	0100nnnn00000101	-	LSB
ROTCL Rn	T Rn T	0100nnnn00100100	-	MSB
ROTCR Rn	T Rn T	0100nnnn00100101	-	LSB
SHAD Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-
SHAL Rn	T Rn 0	0100nnnn00100000	-	MSB
SHAR Rn	MSB Rn T	0100nnnn00100001	-	LSB
SHLD Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-
SHLL Rn	T Rn 0	0100nnnn00000000	-	MSB
SHLR Rn	0 Rn T	0100nnnn00000001	-	LSB
SHLL2 Rn	Rn<<2 Rn	0100nnnn00001000	-	-
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001	-	-
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000	-	-
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001	-	-
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000	-	-
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001	-	-

表 4.7 分岐命令

命令	動作	命令コード	特権	T ビット
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001011ddddddd	-	-
BF/S label	遅延分岐, T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001111ddddddd	-	-
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001001ddddddd	-	-
BT/S label	遅延分岐, T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001101ddddddd	-	-
BRA label	遅延分岐, disp × 2+PC+4 PC	1010ddddddddddd	-	-
BRAF Rn	遅延分岐, Rn+PC+4 PC	0000nnnn00100011	-	-
BSR label	遅延分岐, PC+4 PR, disp × 2+PC+4 PC	1011ddddddddddd	-	-
BSRF Rn	遅延分岐, PC+4 PR, Rn+PC+4 PC	0000nnnn00000011	-	-

4. 命令セット

命令	動作	命令コード	特権	T ビット
JMP @Rn	遅延分岐, Rn PC	0100nnnn00101011	-	-
JSR @Rn	遅延分岐, PC+4 PR, Rn PC	0100nnnn00001011	-	-
RTS	遅延分岐, PR PC	000000000001011	-	-

表 4.8 システム制御命令

命令	動作	命令コード	特権	T ビット
CLRMACH	0 MACH,MACL	0000000000101000	-	-
CLRS	0 S	0000000001001000	-	-
CLRT	0 T	0000000000001000	-	0
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-
LDC.L @Rm+,SR	(Rm) SR, Rm+4 Rm	0100mmmm00000111	特権	LSB
LDC.L @Rm+,GBR	(Rm) GBR, Rm+4 Rm	0100mmmm00010111	-	-
LDC.L @Rm+,VBR	(Rm) VBR, Rm+4 Rm	0100mmmm00100111	特権	-
LDC.L @Rm+,SSR	(Rm) SSR, Rm+4 Rm	0100mmmm00110111	特権	-
LDC.L @Rm+,SPC	(Rm) SPC, Rm+4 Rm	0100mmmm01000111	特権	-
LDC.L @Rm+,DBR	(Rm) DBR, Rm+4 Rm	0100mmmm11110110	特権	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK, Rm+4 Rm	0100mmmm1nnn0111	特権	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-
LDS.L @Rm+,MACH	(Rm) MACH, Rm+4 Rm	0100mmmm00000110	-	-
LDS.L @Rm+,MACL	(Rm) MACL, Rm+4 Rm	0100mmmm00010110	-	-
LDS.L @Rm+,PR	(Rm) PR, Rm+4 Rm	0100mmmm00100110	-	-
LDTLB	PTEH/PTEL TLB	0000000000111000	特権	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに) R0 (Rn)	0000nnnn11000011	-	-
NOP	無操作	0000000000001001	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	-	-

4. 命令セット

命令	動作	命令コード	特権	T ビット
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nrrrr10100011	-	-
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nrrrr10110011	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nrrrr10000011	-	-
RTE	遅延分岐, SSR/SPC SR/PC	0000000000101011	特権	-
SETS	1 S	0000000001011000	-	-
SETT	1 T	0000000000111000	-	1
SLEEP	スリープもしくはスタンバイ	0000000000011011	特権	-
STC SR,Rn	SR Rn	0000nrrrr00000010	特権	-
STC GBR,Rn	GBR Rn	0000nrrrr00010010	-	-
STC VBR,Rn	VBR Rn	0000nrrrr00100010	特権	-
STC SSR, Rn	SSR Rn	0000nrrrr00110010	特権	-
STC SPC,Rn	SPC Rn	0000nrrrr01000010	特権	-
STC SGR,Rn	SGR Rn	0000nrrrr00111010	特権	-
STC DBR,Rn	DBR Rn	0000nrrrr11111010	特権	-
STC Rm_BANK,Rn	Rm_BANK Rn (m=0 ~ 7)	0000nrrrr1rrrr0010	特権	-
STC.L SR,@-Rn	Rn-4 Rn, SR (Rn)	0100nrrrr00000011	特権	-
STC.L GBR,@-Rn	Rn-4 Rn, GBR (Rn)	0100nrrrr00010011	-	-
STC.L VBR,@-Rn	Rn-4 Rn, VBR (Rn)	0100nrrrr00100011	特権	-
STC.L SSR,@-Rn	Rn-4 Rn, SSR (Rn)	0100nrrrr00110011	特権	-
STC.L SPC,@-Rn	Rn-4 Rn, SPC (Rn)	0100nrrrr01000011	特権	-
STC.L SGR,@-Rn	Rn-4 Rn, SGR (Rn)	0100nrrrr00110010	特権	-
STC.L DBR,@-Rn	Rn-4 Rn, DBR (Rn)	0100nrrrr11110010	特権	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn, Rm_BANK (Rn) (m=0 ~ 7)	0100nrrrr1rrrr0011	特権	-
STS MACH,Rn	MACH Rn	0000nrrrr0001010	-	-
STS MACL,Rn	MACL Rn	0000nrrrr00011010	-	-
STS PR,Rn	PR Rn	0000nrrrr00101010	-	-
STS.L MACH,@-Rn	Rn-4 Rn, MACH (Rn)	0100nrrrr00000010	-	-
STS.L MACL,@-Rn	Rn-4 Rn, MACL (Rn)	0100nrrrr00010010	-	-
STS.L PR,@-Rn	Rn-4 Rn, PR (Rn)	0100nrrrr00100010	-	-
TRAPA #imm	PC+2 SPC, SR SSR, #imm <<2 TRA, H'160 EXPEVT, VBR+ H'0100 PC	11000011iiiiiii	-	-

4. 命令セット

表 4.9 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	
FLDI0	FRn	H'0000 0000 FRn	1111nnnn10001101	-	-
FLDI1	FRn	H'3F80 0000 FRn	1111nnnn10011101	-	-
FMOV	FRm ,FRn	FRm FRn	1111nnnnmmmm1100	-	-
FMOV.S	@Rm, FRn	(Rm) FRn	1111nnnnmmmm1000	-	-
FMOV.S	@(R0,Rm),FRn	(R0 + Rm) FRn	1111nnnnmmmm0110	-	-
FMOV.S	@Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-
FMOV.S	FRm ,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-
FMOV.S	FRm ,@-Rn	Rn-4 Rn, FRm (Rn)	1111nnnnmmmm1011	-	-
FMOV.S	FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-
FMOV	DRm ,DRn	DRm DRn	1111nnn0mmm01100	-	-
FMOV	@Rm, DRn	(Rm) DRn	1111nnn0mmm1000	-	-
FMOV	@(R0,Rm),DRn	(R0 + Rm) DRn	1111nnn0mmm0110	-	-
FMOV	@Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnn0mmm1001	-	-
FMOV	DRm ,@Rn	DRm (Rn)	1111nnnnmm01010	-	-
FMOV	DRm ,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmm01011	-	-
FMOV	DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmm00111	-	-
FLDS	FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-
FSTS	FPUL, FRn	FPUL FRn	1111nnnn00001101	-	-
FABS	FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-
FADD	FRm ,FRn	FRn + FRm FRn	1111nnnnmmmm0000	-	-
FCMP/EQ	FRm ,FRn	FRn = FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果
FCMP/GT	FRm ,FRn	FRn > FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果
FDIV	FRm ,FRn	FRn /FRm FRn	1111nnnnmmmm0011	-	-
FLOAT	FPUL, FRn	(float)FPUL FRn	1111nnnn00101101	-	-
FMAC	FR0 ,FRm ,FRn	FR0* FRm + FRn FRn	1111nnnnmmmm1110	-	-
FMUL	FRm ,FRn	FRn* FRm FRn	1111nnnnmmmm0010	-	-
FNEG	FRn	FRn ^ H'8000 0000 FRn	1111nnnn01001101	-	-
FSQRT	FRn	FRn FRn	1111nnnn01101101	-	-
FSUB	FRm, FRn	$\sqrt{FRn - FRm}$ FRn	1111nnnnmmmm0001	-	-
FTRC	FRm, FPUL	(long)FRm FPUL	1111mmmm00111101	-	-

表 4.10 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット
FABS DRn	DRn & H'7FFF FFFF FFFF FFFF DRn	1111nnn001011101	-	-
FADD DRm, DRn	DRn + DRm DRn	1111nnn0mmm00000	-	-
FCMP/EQ DRm, DRn	DRn = DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00100	-	比較 結果
FCMP/GT DRm, DRn	DRn > DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00101	-	比較 結果
FDIV DRm, DRn	DRn / DRm DRn	1111nnn0mmm00011	-	-
FCNVDS DRm, FPUL	double_to_float[DRm] FPUL	1111mmm010111101	-	-
FCNVSD FPUL, DRn	float_to_double[FPUL] DRn	1111nnn010101101	-	-
FLOAT FPUL, DRn	(float)FPUL DRn	1111nnn000101101	-	-
FMUL DRm, DRn	DRn * DRm DRn	1111nnn0mmm00010	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnn001001101	-	-
FSQRT DRn	$\sqrt{\text{DRn}}$ DRn	1111nnn001010101	-	-
FSUB DRm, DRn	DRn - DRm DRn	1111nnn0mmm00001	-	-
FTRC DRm, FPUL	(long)DRm FPUL	1111mmm000111101	-	-

表 4.11 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット
LDS Rm, FPSCR	Rm FPSCR	0100mmmm01101010	-	-
LDS Rm, FPUL	Rm FPUL	0100mmmm01011010	-	-
LDS.L @Rm+, FPSCR	(Rm) FPSCR, Rm+4 Rm	0100mmmm01100110	-	-
LDS.L @Rm+, FPUL	(Rm) FPUL, Rm+4 Rm	0100mmmm01010110	-	-
STS FPSCR, Rn	FPSCR Rn	0000nnnn01101010	-	-
STS FPUL, Rn	FPUL Rn	0000nnnn01011010	-	-
STS.L FPSCR, @-Rn	Rn-4 Rn, FPSCR (Rn)	0100nnnn01100010	-	-
STS.L FPUL, @-Rn	Rn-4 Rn, FPUL (Rn)	0100nnnn01010010	-	-

4. 命令セット

表 4.12 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット
FMOV DRm ,XDn	DRm XDn	1111nnn1mmm01100	-	-
FMOV XDm ,DRn	XDm DRn	1111nnn0mmm11100	-	-
FMOV XDm ,XDn	XDm XDn	1111nnn1mmm11100	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001	-	-
FMOV @(R0,Rm),XDn	(R0 + Rm) XDn	1111nnn1mmmm0110	-	-
FMOV XDm ,@Rn	XDm (Rn)	1111nnnnmmmm11010	-	-
FMOV XDm ,@-Rn	Rn-8 Rn,XDm (Rn)	1111nnnnmmmm11011	-	-
FMOV XDm ,@(R0,Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-
FIPR FVm ,FVn	inner_product[FVm, FVn] FR[n+3]	1111nnmm11101101	-	-
FTRV XMTRX ,FVn	transform_vector[XMTRX, FVn] FVn	1111nn0111111101	-	-
FRCHG	~ FPSCR.FR FPSCR.FR	1111101111111101	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-

4.4 使用上の注意事項

4.4.1 TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意

- TRAPA命令または未定義命令コードH'FFFD実行時にキャッシュに誤ったデータを書き込む可能性があります。
- TRAPA命令または未定義命令コードH'FFFD実行時にITLBヒット判定を誤り、再登録後にITLBマルチヒット例外を発生する可能性があります。
- TRAPA命令、SLEEP命令または未定義命令コードH'FFFD実行時にFPU関係、あるいはMACH,MACLレジスタに誤ったデータを書き込む可能性があります。

[発生条件]

1. 下記3条件が同時に成立する場合に命令キャッシュに誤った命令を書き込む可能性があります。
 - (a) 命令キャッシュがオン。(CCR.ICE=1)
 - (b) キャッシュオン領域 (U0/P0/P1/P3領域) にあるTRAPA 命令または未定義命令コードH'FFFDを実行する。
 - (c) 上記 (b) のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス (H'F0000000 - H'F7FFFFFF) にアクセスする命令 (リード、ライト共) と解釈されるコードが存在する。
2. 下記3条件が同時に成立する場合にオペランドキャッシュに誤ったデータを書き込む可能性があります。
 - (a) オペランドキャッシュがオン。(CCR.OCE=1)
 - (b) 未定義命令コードH'FFFDを実行する。
 - (c) 上記 (b) の未定義命令コードH'FFFDの後続4ワード中に内蔵ストアキューにマッピングされたアドレス (H'E0000000 - H'E3FFFFFF) にアクセスするOCBI/OCBP/OCBWB/TAS.B命令と解釈されるコードが存在する。
3. 下記3条件が同時に成立する場合にITLBヒット判定を誤る可能性があります。ITLBヒットを誤ってミスと判定した場合、ITLBへの再登録が行われ、その後、ITLBマルチヒット例外を発生する可能性があります。
 - (a) MMUがオン。(MMUCR.AT=1)
 - (b) TLB変換領域 (U0/P0/P3 領域) にあるTRAPA 命令または未定義命令コードH'FFFDを実行する。
 - (c) 上記 (b) のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス (H'F0000000 - H'F7FFFFFF) にアクセスする命令 (リード、ライト共) と解釈されるコードが存在する。
4. 下記2条件が同時に成立する場合にFPU関連レジスタ (FR0-FR15, XF0-XF15, FPSCR, FPUL) および、MACH,MACLに誤った値を書き込む可能性があります。
 - (a) TRAPAまたはSLEEP命令または未定義命令コードH'FFFDを実行する。
 - (b) 上記 (a) のTRAPAまたはSLEEP命令または未定義命令コードH'FFFDの後続8ワード中にH'Fxxx (最初

4. 命令セット

の4ビットがH'Fである命令)の内H'FFFDを除き、その時点のFPSCR.PRとの組み合わせにおいて、未定義命令と解釈されるコードが存在する。

例：命令H'FxxE (x:任意の16進数)はFPSCR.PR=1では未定義命令であると、ここでは定義します。

【注】 後続命令の数に関して、内部的には、1. ~3. の場合、後続 2xIck、4. の場合、後続 4xIck 以内に実行できる場合に本不具合が発生する可能性があり、2xIck または 4xIck 中に実行できる命令数はそれぞれ最大 4 命令または最大 8 命令であるために、「後続 4 ワードまたは 8 ワード中に存在する」命令と解釈されるコードとしています。

[回避策]

下記の (a) (b) のいずれかの対策を行ってください。

(a) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続8ワードにNOP命令を置いてください。

(b) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続5ワードにOR R0,R0命令を置いてください。本回避策では、OR命令同士は2 命令同時実行をしないことから、実行には5xIck以上を要するので、[発生条件] 4. (b) の発生条件の “ 後続8ワード中にH'Fxxxが存在する場合 ” も回避できます。

5. パイプライン動作

SH-4 は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。実行サイクルはプロセッサの実装方法によって異なります。本章での定義は SH7760 以外の SH-4 の他の製品には適用できない場合があります。

5.1 パイプライン

図 5.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I)、デコード・レジスタ読み出し (D)、実行 (EX, SX, F0, F1, F2, または F3)、データアクセス (NA または MA)、ライトバック (S、または FS) の、5 または 6 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。図 5.2 に命令実行パターンを示します。

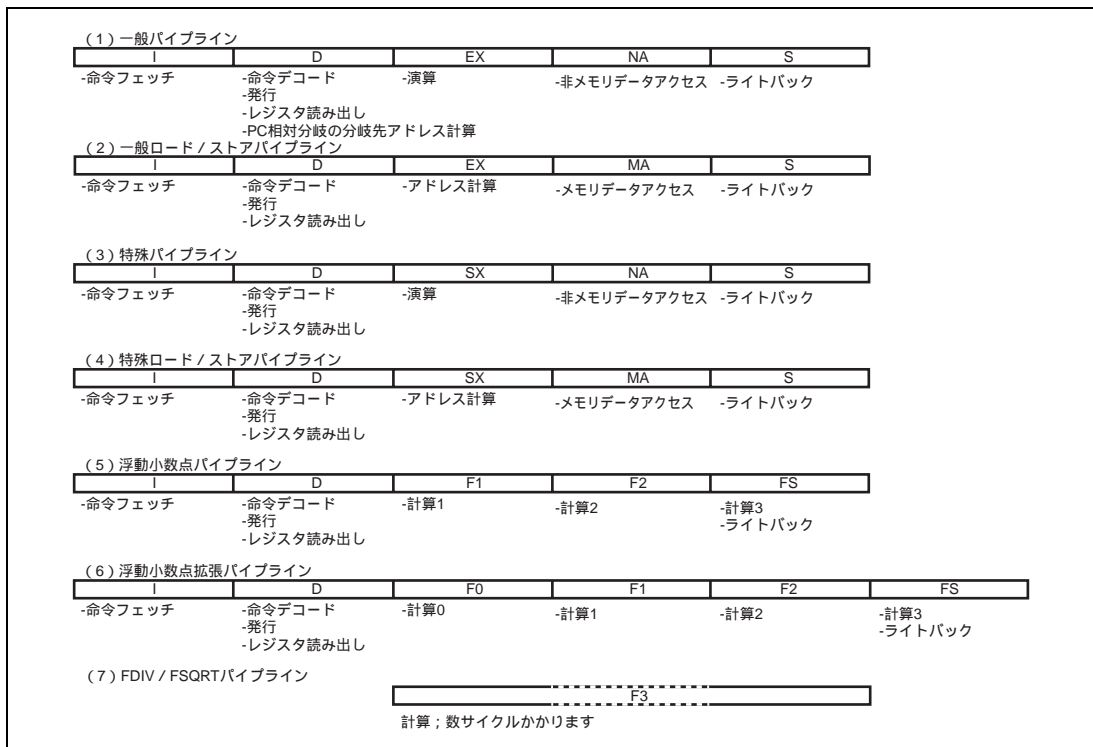


図 5.1 基本パイプライン

5. パイプライン動作

(1) 1ステップ演算 ; 1発行サイクル

EXT[SU].[BW], MOV, MOV#, MOVA, MOV, SWAP.[BW], XTRCT,
 ADD*, CMP*, DIV*, DT, NEG*, SUB*,
 AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#,
 ROT*, SHA*, SHL*, BF*, BT*, BRA,
 NOP, CLRS, CLRT, SETS, SETT,
 FPULへのLDS, FPUL/FPSCRからのSTS,
 FLDI0, FLDI1, FMOV, FLDS, FSTS,
 単精度 / 倍精度 FABS/FNEG

I	D	EX	NA	S
---	---	----	----	---

(2) ロード/ストア ; 1発行サイクル

MOV.[BWL], FMOV*@, FPULへのLDS.L, LDTLB, PREF,
 FPUL/FPSCRからのSTS.L

I	D	EX	MA	S
---	---	----	----	---

(3) GBRベースロード/ストア ; 1発行サイクル

MOV.[BWL]@(d,GBR)

I	D	SX	MA	S
---	---	----	----	---

(4) JMP, RTS, BRAF ; 2発行サイクル

I	D	EX	NA	S	
		D	EX	NA	S

(5) TST.B ; 3発行サイクル

I	D	SX	MA	S		
		D	SX	NA	S	
			D	SX	NA	S

(6) AND.B, OR.B, XOR.B ; 4発行サイクル

I	D	SX	MA	S			
		D	SX	NA	S		
			D	SX	NA	S	
				D	SX	MA	S

(7) TAS.B ; 5発行サイクル

I	D	EX	MA	S				
		D	EX	MA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	MA	S

(8) RTE ; 5発行サイクル

I	D	EX	NA	S				
		D	EX	NA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	NA	S

(9) SLEEP ; 4発行サイクル

I	D	EX	NA	S			
		D	EX	NA	S		
			D	EX	NA	S	
				D	EX	NA	S

図 5.2 命令実行パターン (1)

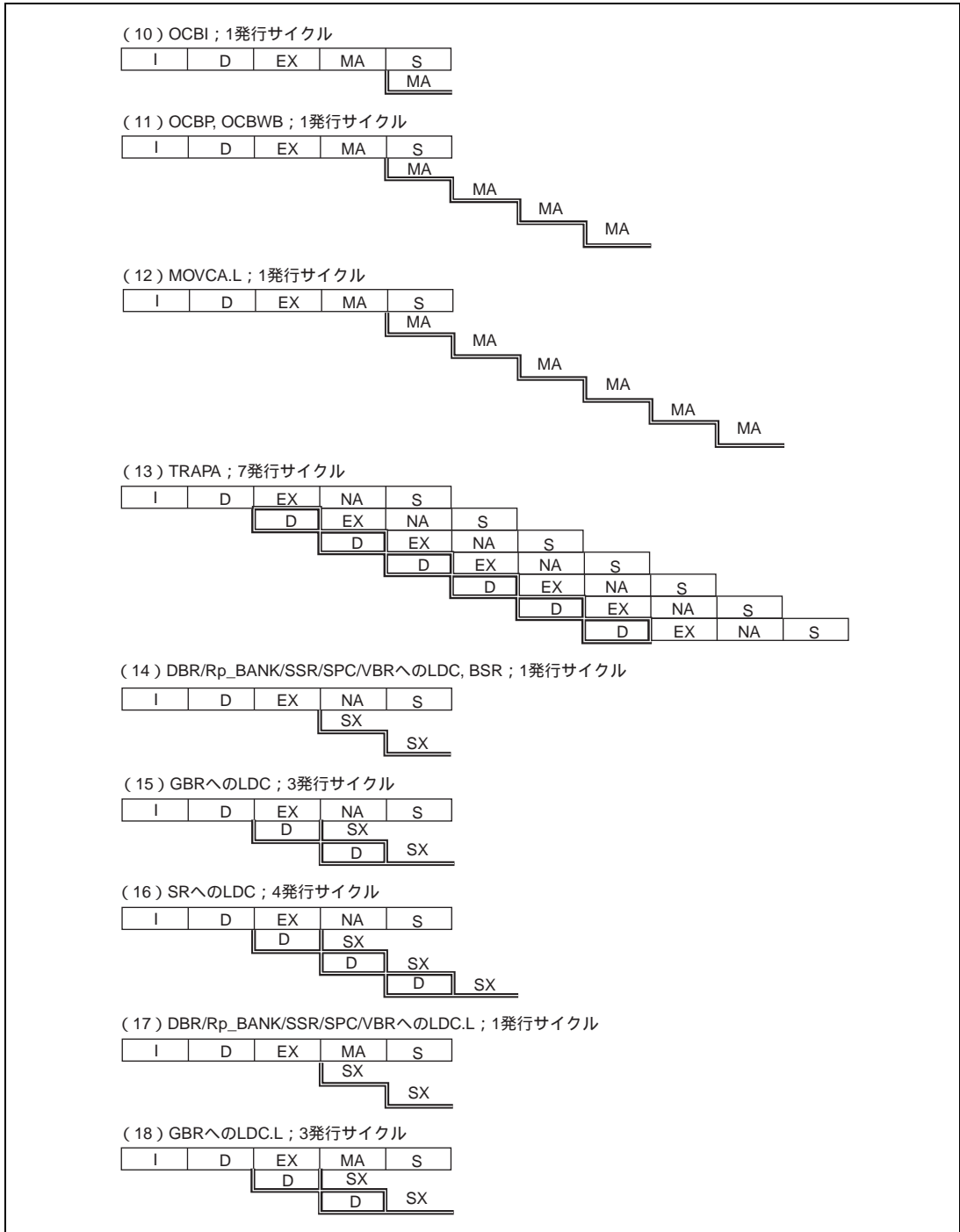


図 5.2 命令実行パターン (2)

5. パイプライン動作

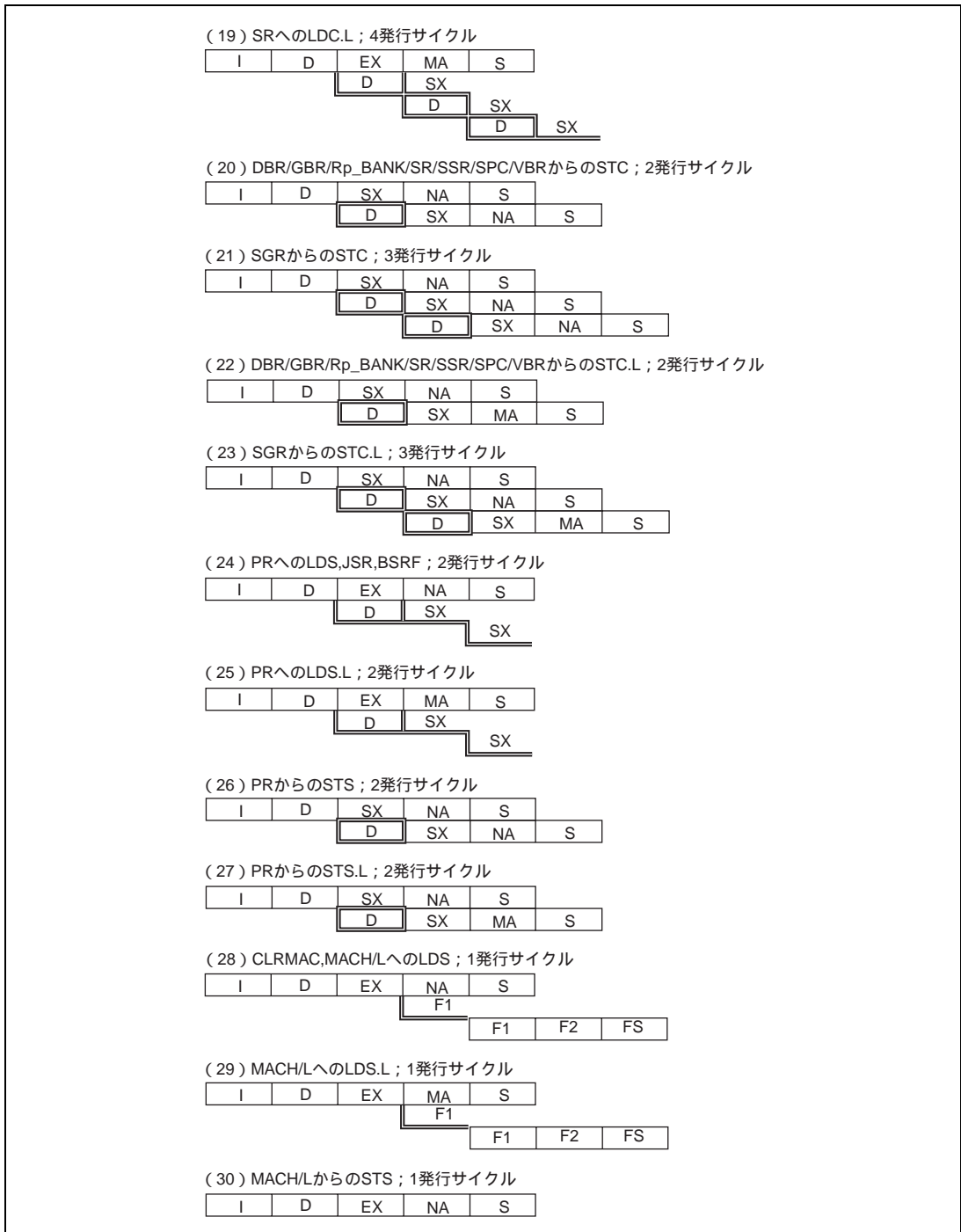


図 5.2 命令実行パターン (3)

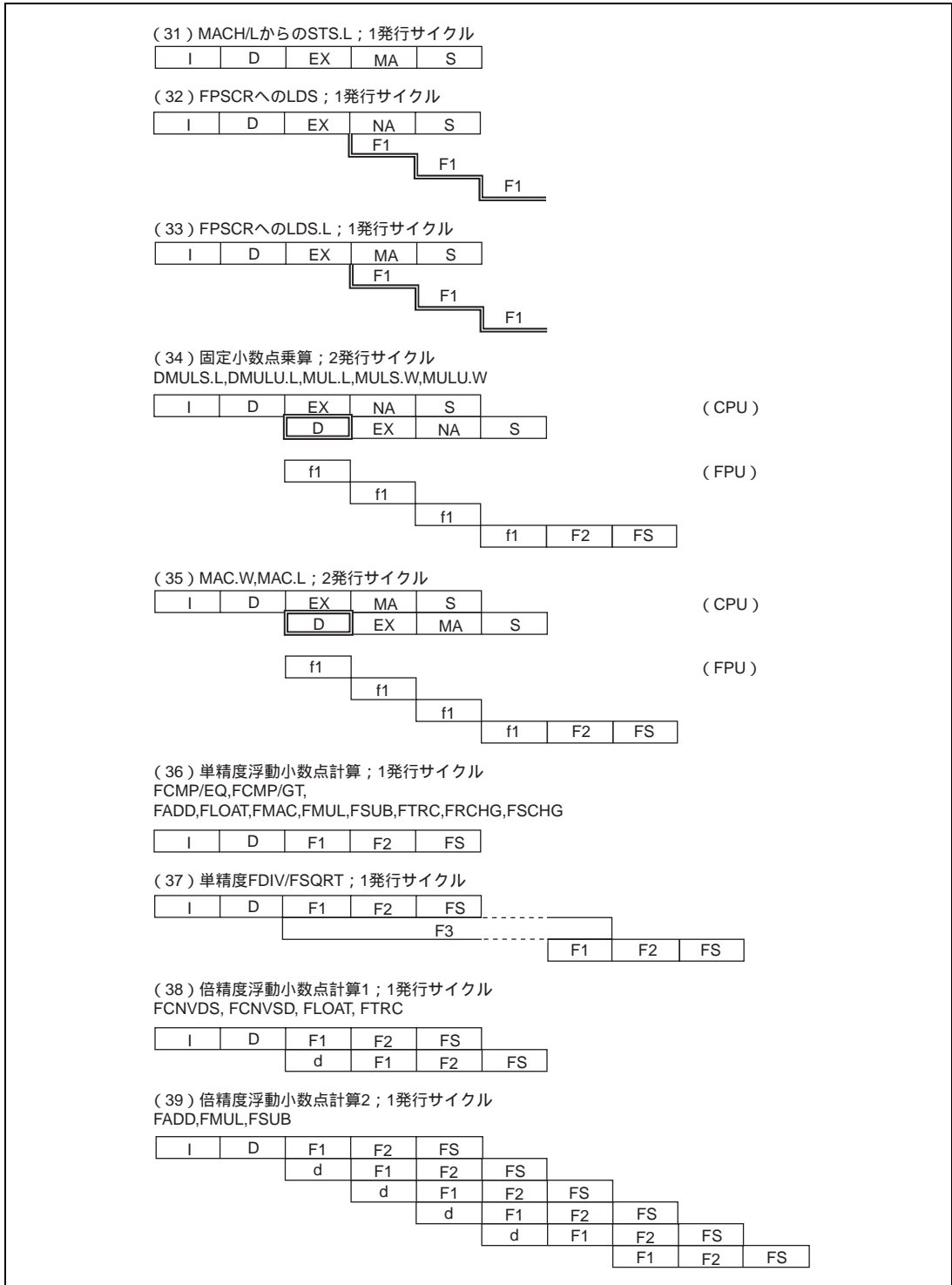


図 5.2 命令実行パターン (4)

5. パイプライン動作

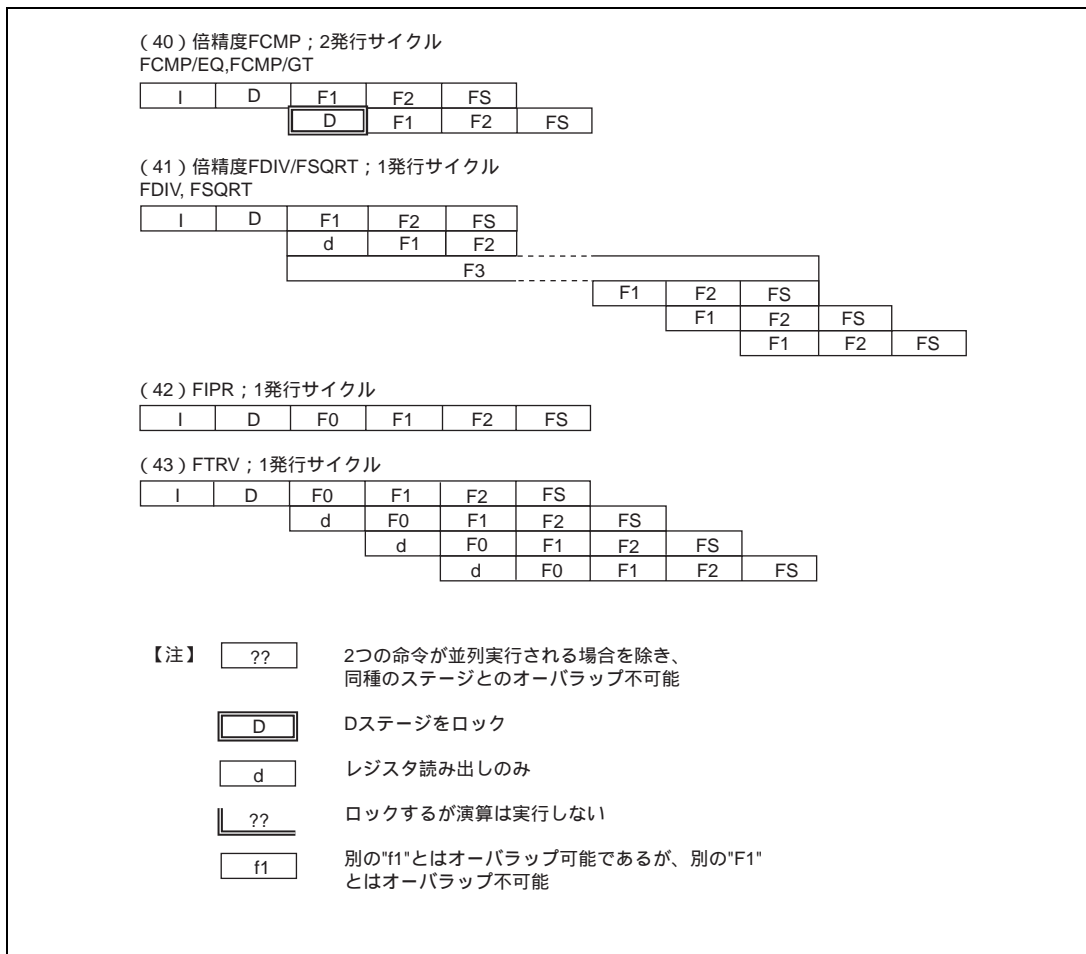


図 5.2 命令実行パターン (5)

5.2 並列実行性

表 5.1 に示すように、命令は利用する内部機能ブロックにより 6 つのグループに分類されます。表 5.2 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 5.1 命令グループ (1)

(1) MT グループ

CLRT		CMP/Hi Rm,Rn	MOV Rm,Rn
CMP/EQ #imm,R0		CMP/HS Rm,Rn	NOP
CMP/EQ Rm,Rn		CMP/PL Rn	SETT
CMP/GE Rm,Rn		CMP/PZ Rn	TST #imm,R0
CMP/GT Rm,Rn		CMP/STR Rm,Rn	TST Rm,Rn

(2) EX グループ

ADD #imm,Rn	MOVT Rn	SHLL2 Rn
ADD Rm,Rn	NEG Rm,Rn	SHLL8 Rn
ADDC Rm,Rn	NEGC Rm,Rn	SHLR Rn
ADDV Rm,Rn	NOT Rm,Rn	SHLR16 Rn
AND #imm,R0	OR #imm,R0	SHLR2 Rn
AND Rm,Rn	OR Rm,Rn	SHLR8 Rn
DIV0S Rm,Rn	ROTCL Rn	SUB Rm,Rn
DIV0U	ROTCR Rn	SUBC Rm,Rn
DIV1 Rm,Rn	ROTL Rn	SUBV Rm,Rn
DT Rn	ROTR Rn	SWAP.B Rm,Rn
EXTS.B Rm,Rn	SHAD Rm,Rn	SWAP.W Rm,Rn
EXTS.W Rm,Rn	SHAL Rn	XOR #imm,R0
EXTU.B Rm,Rn	SHAR Rn	XOR Rm,Rn
EXTU.W Rm,Rn	SHLD Rm,Rn	XTRCT Rm,Rn
MOV #imm,Rn	SHLL Rn	
MOVA @(disp,PC),R0	SHLL16 Rn	

(3) BR グループ

BF disp	BRA disp	BT disp
BF/S disp	BSR disp	BT/S disp

5. パイプライン動作

表 5.1 命令グループ (2)

(4) LS グループ

FABS	DRn	FMOV.S	@Rm+,FRn	MOV.L	R0,@(disp,GBR)
FABS	FRn	FMOV.S	FRm,@(R0,Rn)	MOV.L	Rm,@(disp,Rn)
FLDI0	FRn	FMOV.S	FRm,@-Rn	MOV.L	Rm,@(R0,Rn)
FLDI1	FRn	FMOV.S	FRm,@Rn	MOV.L	Rm,@-Rn
FLDS	FRm,FPUL	FNEG	DRn	MOV.L	Rm,@Rn
FMOV	@(R0,Rm),DRn	FNEG	FRn	MOV.W	@(disp,GBR),R0
FMOV	@(R0,Rm),XDn	FSTS	FPUL,FRn	MOV.W	@(disp,PC),Rn
FMOV	@Rm,DRn	LDS	Rm,FPUL	MOV.W	@(disp,Rm),R0
FMOV	@Rm,XDn	MOV.B	@(disp,GBR),R0	MOV.W	@(R0,Rm),Rn
FMOV	@Rm+,DRn	MOV.B	@(disp,Rm),R0	MOV.W	@Rm,Rn
FMOV	@Rm+,XDn	MOV.B	@(R0,Rm),Rn	MOV.W	@Rm+,Rn
FMOV	DRm,@(R0,Rn)	MOV.B	@Rm,Rn	MOV.W	R0,@(disp,GBR)
FMOV	DRm,@-Rn	MOV.B	@Rm+,Rn	MOV.W	R0,@(disp,Rn)
FMOV	DRm,@Rn	MOV.B	R0,@(disp,GBR)	MOV.W	Rm,@(R0,Rn)
FMOV	DRm,DRn	MOV.B	R0,@(disp,Rn)	MOV.W	Rm,@-Rn
FMOV	DRm,XDn	MOV.B	Rm,@(R0,Rn)	MOV.W	Rm,@Rn
FMOV	FRm,FRn	MOV.B	Rm,@-Rn	MOVCA.L	R0,@Rn
FMOV	XDm,@(R0,Rn)	MOV.B	Rm,@Rn	OCBI	@Rn
FMOV	XDm,@-Rn	MOV.L	@(disp,GBR),R0	OCBP	@Rn
FMOV	XDm,@Rn	MOV.L	@(disp,PC),Rn	OCBWB	@Rn
FMOV	XDm,DRn	MOV.L	@(disp,Rm),Rn	PREF	@Rn
FMOV	XDm,XDn	MOV.L	@(R0,Rm),Rn	STS	FPUL,Rn
FMOV.S	@(R0,Rm),FRn	MOV.L	@Rm,Rn		
FMOV.S	@Rm,FRn	MOV.L	@Rm+,Rn		

(5) FE グループ

FADD	DRm,DRn	FIPR	FVm,FVn	FSQRT	DRn
FADD	FRm,FRn	FLOAT	FPUL,DRn	FSQRT	FRn
FCMP/EQ	FRm,FRn	FLOAT	FPUL,FRn	FSUB	DRm,DRn
FCMP/GT	FRm,FRn	FMAC	FR0,FRm,FRn	FSUB	FRm,FRn
FCNVDS	DRm,FPUL	FMUL	DRm,DRn	FTRC	DRm,FPUL
FCNVSD	FPUL,DRn	FMUL	FRm,FRn	FTRC	FRm,FPUL
FDIV	DRm,DRn	FRCHG		FTRV	XMTRX,FVn
FDIV	FRm,FRn	FSCHG			

表 5.1 命令グループ (3)

(6) CO グループ

AND.B	#imm,@(R0,GBR)	LDS	Rm,FPSCR	STC	SR,Rn
BRAF	Rm	LDS	Rm,MACH	STC	SSR,Rn
BSRF	Rm	LDS	Rm,MACL	STC	VBR,Rn
CLRMAC		LDS	Rm,PR	STC.L	DBR,@-Rn
CLRS		LDS.L	@Rm+,FPSCR	STC.L	GBR,@-Rn
DMULS.L	Rm,Rn	LDS.L	@Rm+,FPUL	STC.L	Rp_BANK,@-Rn
DMULU.L	Rm,Rn	LDS.L	@Rm+,MACH	STC.L	SGR,@-Rn
FCMP/EQ	DRm,DRn	LDS.L	@Rm+,MACL	STC.L	SPC,@-Rn
FCMP/GT	DRm,DRn	LDS.L	@Rm+,PR	STC.L	SR,@-Rn
JMP	@Rn	LDTLB		STC.L	SSR,@-Rn
JSR	@Rn	MAC.L	@Rm+,@Rn+	STC.L	VBR,@-Rn
LDC	Rm,DBR	MAC.W	@Rm+,@Rn+	STS	FPSCR,Rn
LDC	Rm,GBR	MUL.L	Rm,Rn	STS	MACH,Rn
LDC	Rm,Rp_BANK	MULS.W	Rm,Rn	STS	MACL,Rn
LDC	Rm,SPC	MULU.W	Rm,Rn	STS	PR,Rn
LDC	Rm,SR	OR.B	#imm,@(R0,GBR)	STS.L	FPSCR,@-Rn
LDC	Rm,SSR	RTE		STS.L	FPUL,@-Rn
LDC	Rm,VBR	RTS		STS.L	MACH,@-Rn
LDC.L	@Rm+,DBR	SETS		STS.L	MACL,@-Rn
LDC.L	@Rm+,GBR	SLEEP		STS.L	PR,@-Rn
LDC.L	@Rm+,Rp_BANK	STC	DBR,Rn	TAS.B	@Rn
LDC.L	@Rm+,SPC	STC	GBR,Rn	TRAPA	#imm
LDC.L	@Rm+,SR	STC	Rp_BANK,Rn	TST.B	#imm,@(R0,GBR)
LDC.L	@Rm+,SSR	STC	SGR,Rn	XOR.B	#imm,@(R0,GBR)
LDC.L	@Rm+,VBR	STC	SPC,Rn		

表 5.2 並列実行性

		第 2 命令					
		MT	EX	BR	LS	FE	CO
第 1 命令	MT						x
	EX		x				x
	BR			x			x
	LS				x		x
	FE					x	x
	CO	x	x	x	x	x	x

【記号説明】

: 並列実行可能

x : 並列実行不可能

5.3 実行サイクルとパイプラインストール

本 LSI には、CPU クロック (Ick)、バスクロック (Bck)、周辺クロック (Pck) の 3 つの基準クロックがあります。各ハードウェアユニットは次のように 3 つのクロックのいずれかで動作します。

- CPUクロック：CPU、FPU、MMU、キャッシュ
- バスクロック：外部バスコントローラ
- 周辺クロック：周辺ユニット

3 つのクロックの周波数比は、周波数制御レジスタ (FRQCR) によって決まります。特別の指定がない限り、この章ではマシンサイクルは CPU クロックを基準にします。FRQCR の詳細については「第 12 章 クロック発振器 (CPG)」を参照してください。

命令の実行サイクルを表 5.3 に示します。ただし、ここではパイプラインストールによるペナルティサイクルは考慮していません。

- 発行レート： 命令の発行と次の命令の発行の間隔
- レイテンシ： 命令の発行とその結果生成 (完了) の間隔
- 命令実行パターン (図 5.2 を参照)
- ロックステージ： ロックしたパイプラインステージ (表 5.3)
- ロック開始： 命令の発行とロック開始の間隔 (表 5.3)
- ロックサイクル： ロック時間 (表 5.3)

命令の実行シーケンスは、図 5.2 に示す実行パターンの組み合わせで表現します。各命令とその次の命令の間は、その発行レートのマシンサイクル数だけ離れます。通常、実行、データアクセス、ライトバックの各ステージは他の命令の同じステージとオーバーラップさせることはできません。並列実行性の条件により 2 命令が並列実行される場合のみ、例外的にオーバーラップ可能となります。この単純な例として図 5.3 の (a) ~ (d) を参照してください。

レイテンシは命令の発行と完了の間隔であり、また相互依存関係を持つ 2 命令の実行間隔でもあります。同時にフェッチされた 2 命令間に依存関係が存在する場合、2 命令のうち後の命令は次のサイクル数だけストールします。

- フロー依存関係 (read-after-write、書き込み後の読み出し) が存在するとき
(レイテンシ) サイクル
 - 出力依存関係 (write-after-write、書き込み後の書き込み) が存在するとき
(レイテンシ - 1) または (レイテンシ - 2) サイクル
- (a) 単 / 倍精度 FDIV、FSQRT が先行するとき (レイテンシ - 1) サイクル
(b) (a) 以外の FE グループの命令が先行するとき (レイテンシ - 2) サイクル

- 次のような逆フロー依存関係 (write-after-read、読み出し後の書き込み) が存在するとき
5サイクルまたは2サイクル
 - (a) FTRV が先行するとき 5 サイクル
 - (b) 倍精度 FADD、FSUB、FMUL が先行するとき 2 サイクル

フロー依存関係が存在する場合、連続した命令の組み合わせによりレイテンシが例外的に増加/減少します (図 5.3 (e))。

- 浮動小数点計算に浮動小数点レジスタストアが続くと、浮動小数点計算のレイテンシは1サイクル減少する場合があります。
- SHAD、SHLDの直前にシフト量のロードが存在すると、ロードのレイテンシは1サイクル増加します。
- 浮動小数点レジスタに対するライトバックを含み、レイテンシが2サイクル未満の命令の次に倍精度浮動小数点命令、FIPRまたはFTRVが続く場合、最初の命令のレイテンシは2サイクルに増加します。

フロー依存関係によるパイプラインのストールについては、依存性をもつ命令の組み合わせや、フェッチのタイミングによって、そのサイクル数にはバリエーションが生じます。図 5.3 (e)も参照してください。

出力依存関係は、先行する FE グループの命令とそれに続く LS グループの命令でデスティネーションオペランドが一致する場合に発生します。

出力依存関係を持つ命令のストールサイクルについては、「レイテンシ」に代入するものとして、すべてのデスティネーションオペランドのうち、最も遅いライトバックに対する最長のレイテンシを適用しなければなりません (図 5.3 (f)を参照)。ただし、浮動小数点演算の結果を反映する FPSCR に対する出力依存関係によるストールは決して起こりません。たとえば、FDIV の次に浮動小数点レジスタ間に依存関係のない FADD が続く場合、2つの命令が FPSCR の要因 (cause) フィールドを更新するにもかかわらず、FADD はストールしません。

逆フロー依存関係は、先行する倍精度 FADD、FMUL、FSUB または FTRV とそれに続く FMOV、FLDI0、FLDI1、FABS、FNEG、または FSTS の間でのみ発生する可能性があります。図 5.3 (g)を参照してください。

実行中の命令がいずれかのリソース、すなわち基本演算を行う機能ブロックをロックする場合、ロックされたリソースを使用しようとしていた後続の命令はストールします (図 5.3 (h))。このようなストールはロックされたリソースとは無関係な命令を 1 つまたはそれ以上挿入し、干渉する命令を分離することによって補償することができます。たとえば、ロード命令とロードした値を参照する ADD 命令が連続している場合、依存性のない 3 つの命令を間に挿入することにより、ADD に対する 2 サイクルのストールが除かれます。このような命令スケジューリングによってソフトウェアの性能を向上させることができます。

その他ストールを発生させる要因として下記があります。

- 命令TLBミス
- 外部メモリに対する命令アクセス (命令キャッシュミス等)
- 外部メモリに対するデータアクセス (オペランドキャッシュミス等)

5. パイプライン動作

- メモリ割り付けコントロールレジスタに対するデータアクセス

命令 TLB ミスおよび外部命令アクセスのペナルティサイクル中、命令は発行されませんが、発行済みの命令の実行は継続されます。データアクセスに対するペナルティは、パイプラインのフリーズ、すなわち未完了の命令の実行は要求したデータが到着するまで中断されます。命令アクセスとデータアクセスに対するペナルティサイクル数は、ユーザのメモリサブシステムに大きく依存します。

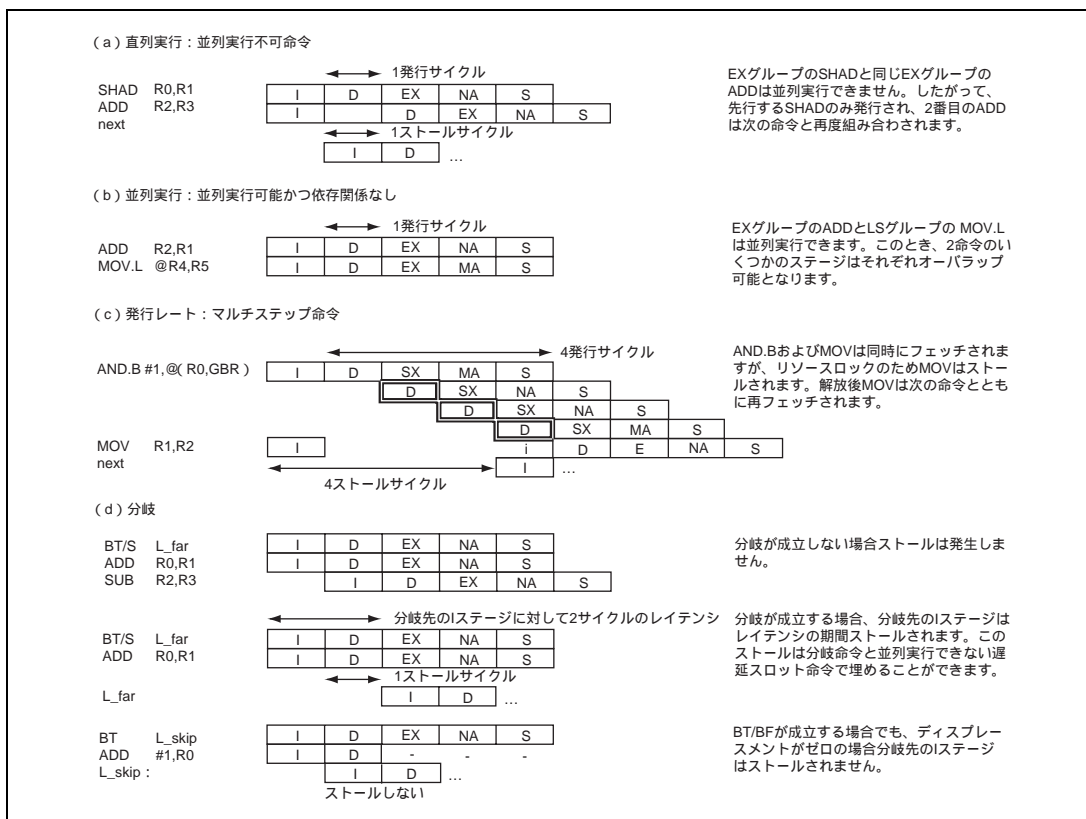


図 5.3 パイプライン実行の例 (1)

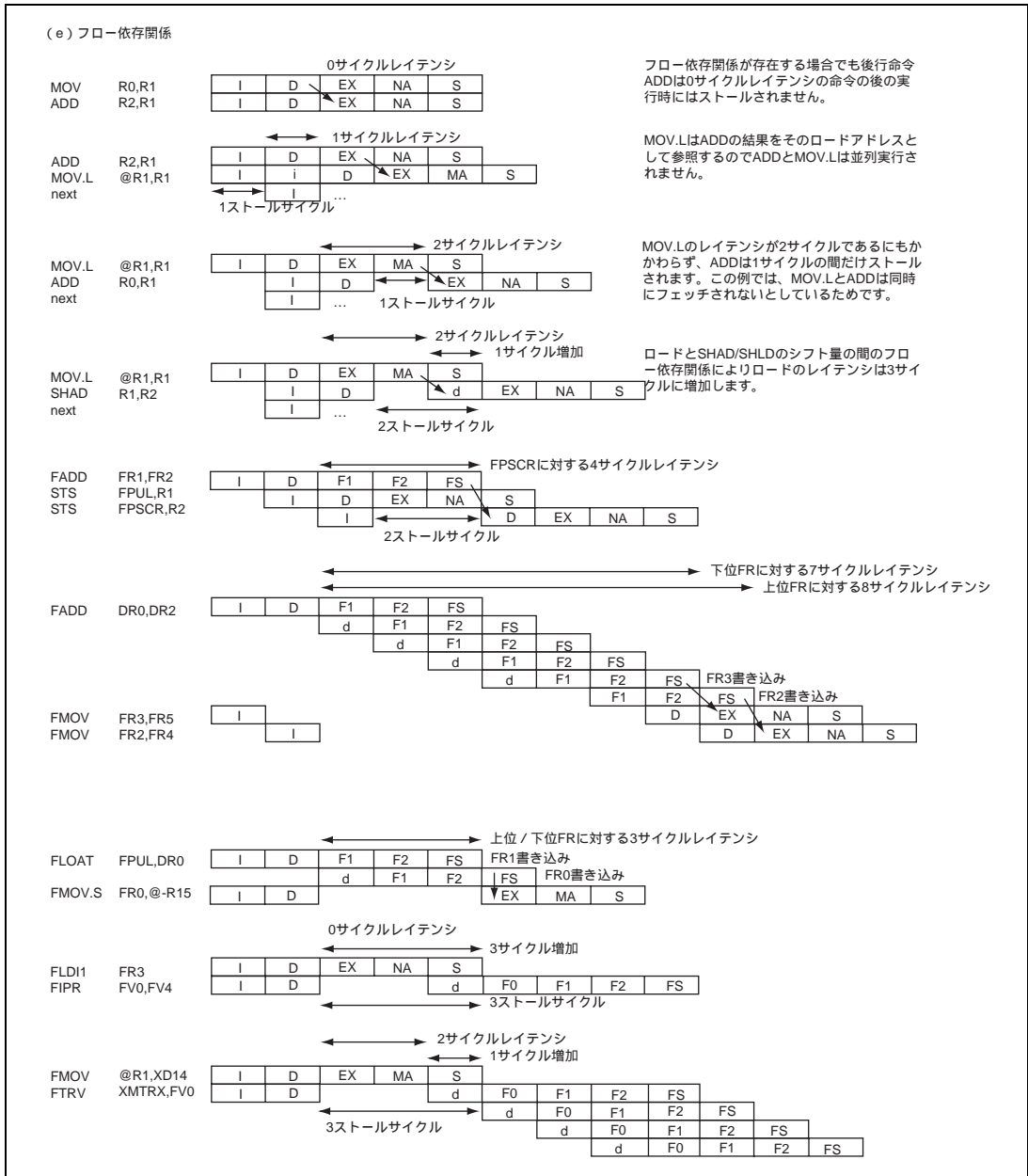


図 5.3 パイプライン実行の例 (2)

5. パイプライン動作

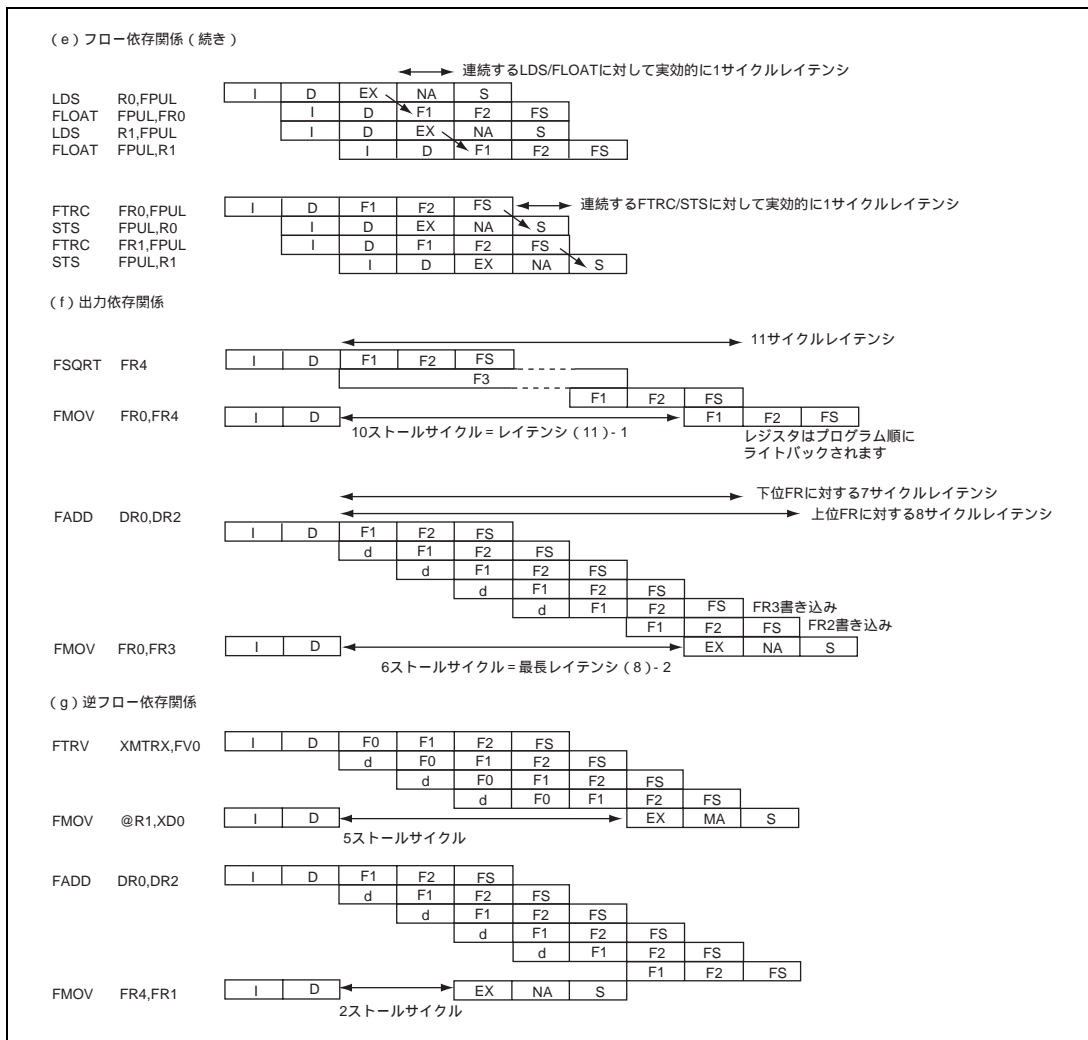


図 5.3 パイプライン実行の例 (3)

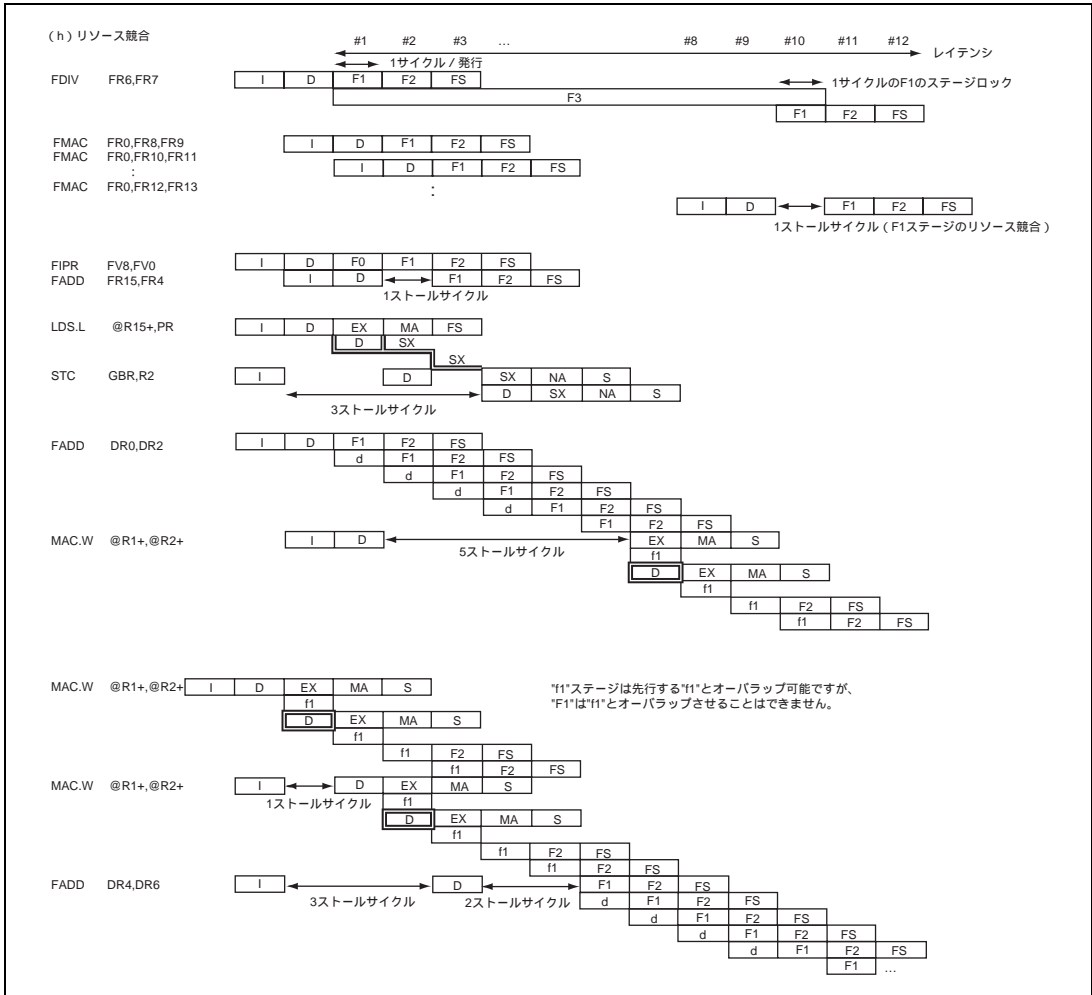


図 5.3 パイプライン実行の例 (4)

5. パイプライン動作

表 5.3 実行サイクル

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
デ タ 転 送 命 令	1	EXTS.B	Rm,Rn	EX	1	1	#1	-	-	-
	2	EXTS.W	Rm,Rn	EX	1	1	#1	-	-	-
	3	EXTU.B	Rm,Rn	EX	1	1	#1	-	-	-
	4	EXTU.W	Rm,Rn	EX	1	1	#1	-	-	-
	5	MOV	Rm,Rn	MT	1	0	#1	-	-	-
	6	MOV	#Imm,Rn	EX	1	1	#1	-	-	-
	7	MOVA	@(disp,PC),R0	EX	1	1	#1	-	-	-
	8	MOV.W	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	9	MOV.L	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	10	MOV.B	@Rm,Rn	LS	1	2	#2	-	-	-
	11	MOV.W	@Rm,Rn	LS	1	2	#2	-	-	-
	12	MOV.L	@Rm,Rn	LS	1	2	#2	-	-	-
	13	MOV.B	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	14	MOV.W	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	15	MOV.L	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	16	MOV.B	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	17	MOV.W	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	18	MOV.L	@(disp,Rm),Rn	LS	1	2	#2	-	-	-
	19	MOV.B	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	20	MOV.W	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	21	MOV.L	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	22	MOV.B	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	23	MOV.W	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	24	MOV.L	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	25	MOV.B	Rm,@Rn	LS	1	1	#2	-	-	-
	26	MOV.W	Rm,@Rn	LS	1	1	#2	-	-	-
	27	MOV.L	Rm,@Rn	LS	1	1	#2	-	-	-
	28	MOV.B	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	29	MOV.W	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	30	MOV.L	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	#2	-	-	-
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
デ タ 転 送 命 令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	40	MOVCA.L	R0,@Rn	LS	1	3~7	#12	MA	4	3~7
	41	MOVT	Rn	EX	1	1	#1	-	-	-
	42	OCBI	@Rn	LS	1	1~2	#10	MA	4	1~2
	43	OCBP	@Rn	LS	1	1~5	#11	MA	4	1~5
	44	OCWB	@Rn	LS	1	1~5	#11	MA	4	1~5
	45	PREF	@Rn	LS	1	1	#2	-	-	-
	46	SWAP.B	Rm,Rn	EX	1	1	#1	-	-	-
	47	SWAP.W	Rm,Rn	EX	1	1	#1	-	-	-
	48	XTRCT	Rm,Rn	EX	1	1	#1	-	-	-
	固 定 小 数 点 算 術 命 令	49	ADD	Rm,Rn	EX	1	1	#1	-	-
50		ADD	#imm,Rn	EX	1	1	#1	-	-	-
51		ADDC	Rm,Rn	EX	1	1	#1	-	-	-
52		ADDV	Rm,Rn	EX	1	1	#1	-	-	-
53		CMP/EQ	#imm,R0	MT	1	1	#1	-	-	-
54		CMP/EQ	Rm,Rn	MT	1	1	#1	-	-	-
55		CMP/GE	Rm,Rn	MT	1	1	#1	-	-	-
56		CMP/GT	Rm,Rn	MT	1	1	#1	-	-	-
57		CMP/HI	Rm,Rn	MT	1	1	#1	-	-	-
58		CMP/HS	Rm,Rn	MT	1	1	#1	-	-	-
59		CMP/PL	Rn	MT	1	1	#1	-	-	-
60		CMP/PZ	Rn	MT	1	1	#1	-	-	-
61		CMP/STR	Rm,Rn	MT	1	1	#1	-	-	-
62		DIV0S	Rm,Rn	EX	1	1	#1	-	-	-
63		DIV0U		EX	1	1	#1	-	-	-
64		DIV1	Rm,Rn	EX	1	1	#1	-	-	-
65		DMULS.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
66		DMULU.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
67		DT	Rn	EX	1	1	#1	-	-	-
68		MAC.L	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
69		MAC.W	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
70		MUL.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
71		MULS.W	Rm,Rn	CO	2	4/4	#34	F1	4	2

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
固 定 小 数 点 算 術 命 令	72	MULU.W	Rm,Rn	CO	2	4/4	#34	F1	4	2
	73	NEG	Rm,Rn	EX	1	1	#1	-	-	-
	74	NEGC	Rm,Rn	EX	1	1	#1	-	-	-
	75	SUB	Rm,Rn	EX	1	1	#1	-	-	-
	76	SUBC	Rm,Rn	EX	1	1	#1	-	-	-
	77	SUBV	Rm,Rn	EX	1	1	#1	-	-	-
論 理 命 令	78	AND	Rm,Rn	EX	1	1	#1	-	-	-
	79	AND	#imm,R0	EX	1	1	#1	-	-	-
	80	AND.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	81	NOT	Rm,Rn	EX	1	1	#1	-	-	-
	82	OR	Rm,Rn	EX	1	1	#1	-	-	-
	83	OR	#imm,R0	EX	1	1	#1	-	-	-
	84	OR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	85	TAS.B	@Rn	CO	5	5	#7	-	-	-
	86	TST	Rm,Rn	MT	1	1	#1	-	-	-
	87	TST	#imm,R0	MT	1	1	#1	-	-	-
	88	TST.B	#imm,@(R0,GBR)	CO	3	3	#5	-	-	-
	89	XOR	Rm,Rn	EX	1	1	#1	-	-	-
	90	XOR	#imm,R0	EX	1	1	#1	-	-	-
	91	XOR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
シ フト 命 令	92	ROTL	Rn	EX	1	1	#1	-	-	-
	93	ROTR	Rn	EX	1	1	#1	-	-	-
	94	ROTCL	Rn	EX	1	1	#1	-	-	-
	95	ROTCR	Rn	EX	1	1	#1	-	-	-
	96	SHAD	Rm,Rn	EX	1	1	#1	-	-	-
	97	SHAL	Rn	EX	1	1	#1	-	-	-
	98	SHAR	Rn	EX	1	1	#1	-	-	-
	99	SHLD	Rm,Rn	EX	1	1	#1	-	-	-
	100	SHLL	Rn	EX	1	1	#1	-	-	-
	101	SHLL2	Rn	EX	1	1	#1	-	-	-
	102	SHLL8	Rn	EX	1	1	#1	-	-	-
	103	SHLL16	Rn	EX	1	1	#1	-	-	-
	104	SHLR	Rn	EX	1	1	#1	-	-	-
	105	SHLR2	Rn	EX	1	1	#1	-	-	-
	106	SHLR8	Rn	EX	1	1	#1	-	-	-
	107	SHLR16	Rn	EX	1	1	#1	-	-	-

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
分 岐 命 令	108	BF	disp	BR	1	2(or1)	#1	-	-	-
	109	BF/S	disp	BR	1	2(or1)	#1	-	-	-
	110	BT	disp	BR	1	2(or1)	#1	-	-	-
	111	BT/S	disp	BR	1	2(or1)	#1	-	-	-
	112	BRA	disp	BR	1	2	#1	-	-	-
	113	BRAF	Rm	CO	2	3	#4	-	-	-
	114	BSR	disp	BR	1	2	#14	SX	3	2
	115	BSRF	Rm	CO	2	3	#24	SX	3	2
	116	JMP	@Rn	CO	2	3	#4	-	-	-
	117	JSR	@Rn	CO	2	3	#24	SX	3	2
118	RTS		CO	2	3	#4	-	-	-	
シ ス テ ム 制 御 命 令	119	NOP		MT	1	0	#1	-	-	-
	120	CLRMAC		CO	1	3	#28	F1	3	2
	121	CLRS		CO	1	1	#1	-	-	-
	122	CLRT		MT	1	1	#1	-	-	-
	123	SETS		CO	1	1	#1	-	-	-
	124	SETT		MT	1	1	#1	-	-	-
	125	TRAPA	#imm	CO	7	7	#13	-	-	-
	126	RTE		CO	5	5	#8	-	-	-
	127	SLEEP		CO	4	4	#9	-	-	-
	128	LDTLB		CO	1	1	#2	-	-	-
	129	LDC	Rm,DBR	CO	1	3	#14	SX	3	2
	130	LDC	Rm,GBR	CO	3	3	#15	SX	3	2
	131	LDC	Rm,Rp_BANK	CO	1	3	#14	SX	3	2
	132	LDC	Rm,SR	CO	4	4	#16	SX	3	2
	133	LDC	Rm,SSR	CO	1	3	#14	SX	3	2
	134	LDC	Rm,SPC	CO	1	3	#14	SX	3	2
	135	LDC	Rm,VBR	CO	1	3	#14	SX	3	2
	136	LDC.L	@Rm+,DBR	CO	1	1/3	#17	SX	3	2
	137	LDC.L	@Rm+,GBR	CO	3	3/3	#18	SX	3	2
	138	LDC.L	@Rm+,Rp_BANK	CO	1	1/3	#17	SX	3	2
	139	LDC.L	@Rm+,SR	CO	4	4/4	#19	SX	3	2
	140	LDC.L	@Rm+,SSR	CO	1	1/3	#17	SX	3	2
	141	LDC.L	@Rm+,SPC	CO	1	1/3	#17	SX	3	2
	142	LDC.L	@Rm+,VBR	CO	1	1/3	#17	SX	3	2
	143	LDS	Rm,MACH	CO	1	3	#28	F1	3	2

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
シ ス テ ム 制 御 命 令	144	LDS	Rm,MACL	CO	1	3	#28	F1	3	2
	145	LDS	Rm,PR	CO	2	3	#24	SX	3	2
	146	LDS.L	@Rm+,MACH	CO	1	1/3	#29	F1	3	2
	147	LDS.L	@Rm+,MACL	CO	1	1/3	#29	F1	3	2
	148	LDS.L	@Rm+,PR	CO	2	2/3	#25	SX	3	2
	149	STC	DBR,Rn	CO	2	2	#20	-	-	-
	150	STC	SGR,Rn	CO	3	3	#21	-	-	-
	151	STC	GBR,Rn	CO	2	2	#20	-	-	-
	152	STC	Rp_BANK,Rn	CO	2	2	#20	-	-	-
	153	STC	SR,Rn	CO	2	2	#20	-	-	-
	154	STC	SSR,Rn	CO	2	2	#20	-	-	-
	155	STC	SPC,Rn	CO	2	2	#20	-	-	-
	156	STC	VBR,Rn	CO	2	2	#20	-	-	-
	157	STC.L	DBR,@-Rn	CO	2	2/2	#22	-	-	-
	158	STC.L	SGR,@-Rn	CO	3	3/3	#23	-	-	-
	159	STC.L	GBR,@-Rn	CO	2	2/2	#22	-	-	-
	160	STC.L	Rp_BANK,@-Rn	CO	2	2/2	#22	-	-	-
	161	STC.L	SR,@-Rn	CO	2	2/2	#22	-	-	-
	162	STC.L	SSR,@-Rn	CO	2	2/2	#22	-	-	-
	163	STC.L	SPC,@-Rn	CO	2	2/2	#22	-	-	-
164	STC.L	VBR,@-Rn	CO	2	2/2	#22	-	-	-	
165	STS	MACH,Rn	CO	1	3	#30	-	-	-	
166	STS	MACL,Rn	CO	1	3	#30	-	-	-	
167	STS	PR,Rn	CO	2	2	#26	-	-	-	
168	STS.L	MACH,@-Rn	CO	1	1/1	#31	-	-	-	
169	STS.L	MACL,@-Rn	CO	1	1/1	#31	-	-	-	
170	STS.L	PR,@-Rn	CO	2	2/2	#27	-	-	-	
単 精 度 浮 動 小 数 点 命 令	171	FLDI0	FRn	LS	1	0	#1	-	-	-
	172	FLDI1	FRn	LS	1	0	#1	-	-	-
	173	FMOV	FRm,FRn	LS	1	0	#1	-	-	-
	174	FMOV.S	@Rm,FRn	LS	1	2	#2	-	-	-
	175	FMOV.S	@Rm+,FRn	LS	1	1/2	#2	-	-	-
	176	FMOV.S	@(R0,Rm),FRn	LS	1	2	#2	-	-	-
	177	FMOV.S	FRm,@Rn	LS	1	1	#2	-	-	-
	178	FMOV.S	FRm,@-Rn	LS	1	1/1	#2	-	-	-
	179	FMOV.S	FRm,@(R0,Rn)	LS	1	1	#2	-	-	-

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
単 精 度 浮 動 小 数 点 命 令	180	FLDS	FRm,FPUL	LS	1	0	#1	-	-	-
	181	FSTS	FPUL,FRn	LS	1	0	#1	-	-	-
	182	FABS	FRn	LS	1	0	#1	-	-	-
	183	FADD	FRm,FRn	FE	1	3/4	#36	-	-	-
	184	FCMP/EQ	FRm,FRn	FE	1	2/4	#36	-	-	-
	185	FCMP/GT	FRm,FRn	FE	1	2/4	#36	-	-	-
	186	FDIV	FRm,FRn	FE	1	12/13	#37	F3	2	10
								F1	11	1
	187	FLOAT	FPUL,FRn	FE	1	3/4	#36	-	-	-
	188	FMAC	FR0,FRm,FRn	FE	1	3/4	#36	-	-	-
	189	FMUL	FRm,FRn	FE	1	3/4	#36	-	-	-
	190	FNEG	FRn	LS	1	0	#1	-	-	-
	191	FSQRT	FRn	FE	1	11/12	#37	F3	2	9
								F1	10	1
	192	FSUB	FRm,FRn	FE	1	3/4	#36	-	-	-
	193	FTRC	FRm,FPUL	FE	1	3/4	#36	-	-	-
	194	FMOV	DRm,DRn	LS	1	0	#1	-	-	-
	195	FMOV	@Rm,DRn	LS	1	2	#2	-	-	-
	196	FMOV	@Rm+,DRn	LS	1	1/2	#2	-	-	-
	197	FMOV	@(R0,Rm),DRn	LS	1	2	#2	-	-	-
198	FMOV	DRm,@Rn	LS	1	1	#2	-	-	-	
199	FMOV	DRm,@-Rn	LS	1	1/1	#2	-	-	-	
200	FMOV	DRm,@(R0,Rn)	LS	1	1	#2	-	-	-	
倍 精 度 浮 動 小 数 点 命 令	201	FABS	DRn	LS	1	0	#1	-	-	-
	202	FADD	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
	203	FCMP/EQ	DRm,DRn	CO	2	3/5	#40	F1	2	2
	204	FCMP/GT	DRm,DRn	CO	2	3/5	#40	F1	2	2
	205	FCNVDS	DRm,FPUL	FE	1	4/5	#38	F1	2	2
	206	FCNVSD	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
	207	FDIV	DRm,DRn	FE	1	(24,25)/26	#41	F3	2	23
								F1	22	3
								F1	2	2
	208	FLOAT	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
209	FMUL	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6	

5. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	レイテ ンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
倍 制 度 浮 動 小 数 点 命 令	210	FNEG	DRn	LS	1	0	#1	-	-	-
	211	FSQRT	DRn	FE	1	(23,24)/25	#41	F3	2	22
								F1	21	3
								F1	2	2
	212	FSUB	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
213	FTRC	DRm,FPUL	FE	1	4/5	#38	F1	2	2	
F P U シ ス テ ム 制 御 命 令	214	LDS	Rm,FPUL	LS	1	1	#1	-	-	-
	215	LDS	Rm,FPSCR	CO	1	4	#32	F1	3	3
	216	LDS.L	@Rm+,FPUL	CO	1	1/2	#2	-	-	-
	217	LDS.L	@Rm+,FPSCR	CO	1	1/4	#33	F1	3	3
	218	STS	FPUL,Rn	LS	1	3	#1	-	-	-
	219	STS	FPSCR,Rn	CO	1	3	#1	-	-	-
	220	STS.L	FPUL,@-Rn	CO	1	1/1	#2	-	-	-
	221	STS.L	FPSCR,@-Rn	CO	1	1/1	#2	-	-	-
グ ラ フ ィ ク ス 強 化 命 令	222	FMOV	DRm,XDn	LS	1	0	#1	-	-	-
	223	FMOV	XDm,DRn	LS	1	0	#1	-	-	-
	224	FMOV	XDm,XDn	LS	1	0	#1	-	-	-
	225	FMOV	@Rm,XDn	LS	1	2	#2	-	-	-
	226	FMOV	@Rm+,XDn	LS	1	1/2	#2	-	-	-
	227	FMOV	@(R0,Rm),XDn	LS	1	2	#2	-	-	-
	228	FMOV	XDm,@Rn	LS	1	1	#2	-	-	-
	229	FMOV	XDm,@-Rn	LS	1	1/1	#2	-	-	-
	230	FMOV	XDm,@(R0,Rn)	LS	1	1	#2	-	-	-
	231	FIPR	FVm,FVn	FE	1	4/5	#42	F1	3	1
	232	FRCHG		FE	1	1/4	#36	-	-	-
	233	FSCHG		FE	1	1/4	#36	-	-	-
	234	FTRV	XMTRX,FVn	FE	1	(5,5,6,7)/8	#43	F0	2	4
								F1	3	4

- 【注】
- 命令グループについては表 5.1 を参照してください。
 - レイテンシ"L1/L2...": MACH/MACL/FPSCR を含む各レジスタへの書き込みに対応するレイテンシ。
「例」MOV.B @Rm+,Rn "1/2" : Rm に対するレイテンシは 1 サイクルで Rn に対するレイテンシは 2 サイクル
 - 分岐のレイテンシ: 分岐先命令がフェッチされるまでの間隔
 - 条件分岐のレイテンシ"2 (または 1)": 0 以外のディスプレイースメントに対するレイテンシは 2 で、0 ディスプレースメントに対するレイテンシは 1 です。
 - 倍精度浮動小数点命令のレイテンシ" (L1,L2)/L3": L1 は FR [n+1]、L2 は FR [n]、L3 は FPSCR に対するレイテンシです。
 - FTRV のレイテンシ" (L1,L2,L3,L4)/L5": L1 は FR [n]、L2 は FR [n+1]、L3 は FR [n+2]、L4 は FR [n+3]、

L5 は FPSCR に対するレイテンシです。

7. MAC.L、MAC.W 命令のレイテンシ"L1/L2/L3/L4" : L1 は Rm、L2 は Rn、L3 は MACH、および L4 は MACL に対するレイテンシです。
8. MUL.L、MULS.W、MULU.W、DMULS.L、DMULU.L 命令のレイテンシ"L1/L2" : L1 は MACH、L2 は MACL に対するレイテンシです。
9. 実行パターン : 命令実行のパターン番号 (図 5.2 参照)
10. ロック / ステージ : 命令がロックするステージ
11. ロック / 開始 : ロッキングの開始サイクル ; 1 は命令の最初の D ステージ
12. ロック / サイクル : ロックしたサイクル数

例外 :

1. 浮動小数点演算命令に FMOV によるストア、STS FPUL,Rn,STS.L FPUL,@-Rn が続く場合、浮動小数点演算のレイテンシは 1 サイクル減少します。
2. 先行命令が次の SHAD/SHLD のシフト量をロードする場合、ロードのレイテンシは1 サイクル増加します。
3. 3 サイクル未満のレイテンシを持つ LS グループ命令に倍精度浮動小数点命令、FIPR または FTRV が続く場合、最初の命令のレイテンシは 3 サイクルに増加します。
「例」"FMOV FR4,FR0"および"FIPR FV0,FV4"の場合、FIPR は 2 サイクルストールされます。
4. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L に"STS.L MACH/MACL, @-Rn"命令が続く場合、MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L のレイテンシは 5 サイクルです。
5. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が連続実行された場合、レイテンシは 2 サイクルに減少します。
6. MACH/MACL への LDS に"STS.L MACH/MACL, @-Rn"命令が続く場合、MACH/MACL への LDS のレイテンシは 4 サイクルです。
7. MACH/MACL への LDS に MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が続く場合、MACH/MACL への LDS のレイテンシは 1 サイクルです。
8. FSCHG または FRCHG 命令に、浮動小数点レジスタを読み出し / 書き込みする LS グループ命令が続く場合、前記 LS グループの命令は並行実行できません。
9. 単精度 FTRC 命令に"STS FPUL, Rn"命令が続く場合、単精度 FTRC 命令のレイテンシは 1 サイクルです。

5.4 使用上の注意事項

パイプライン動作とクロック数の計算方法に関して以下の注意事項を追加します。

外部バス等へのアクセスが発生したステージの処理に必要なステート数（CPU クロック数）は、バスステートコントローラ（BSC）等で設定したメモリアクセスのサイクル数に加え、追加サイクルの分が多くなる場合があります。

例えば、

- （1）論理アドレスバスから物理アドレスバスへのデータ受け渡し
- （2）異なる動作クロックのバス間のデータ受け渡し

があるため、外部バス上でも観測されるアイドルサイクルが発生する可能性があります。

なお、外部メモリアクセスが発生するステージは、一部の命令フェッチ（I）または一部のメモリアクセス（MA）です。

6. メモリマネジメントユニット (MMU)

SH-4 は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの外部メモリ空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、SH-4 に内蔵されたメモリマネジメントユニット (MMU:Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB:Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

SH-4 は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

6.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 6.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 6.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 6.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えればよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 6.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 6.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

6. メモリマネジメントユニット (MMU)

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1K ~ 64K バイト) が変換の単位となります。

以下、SH-4 では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

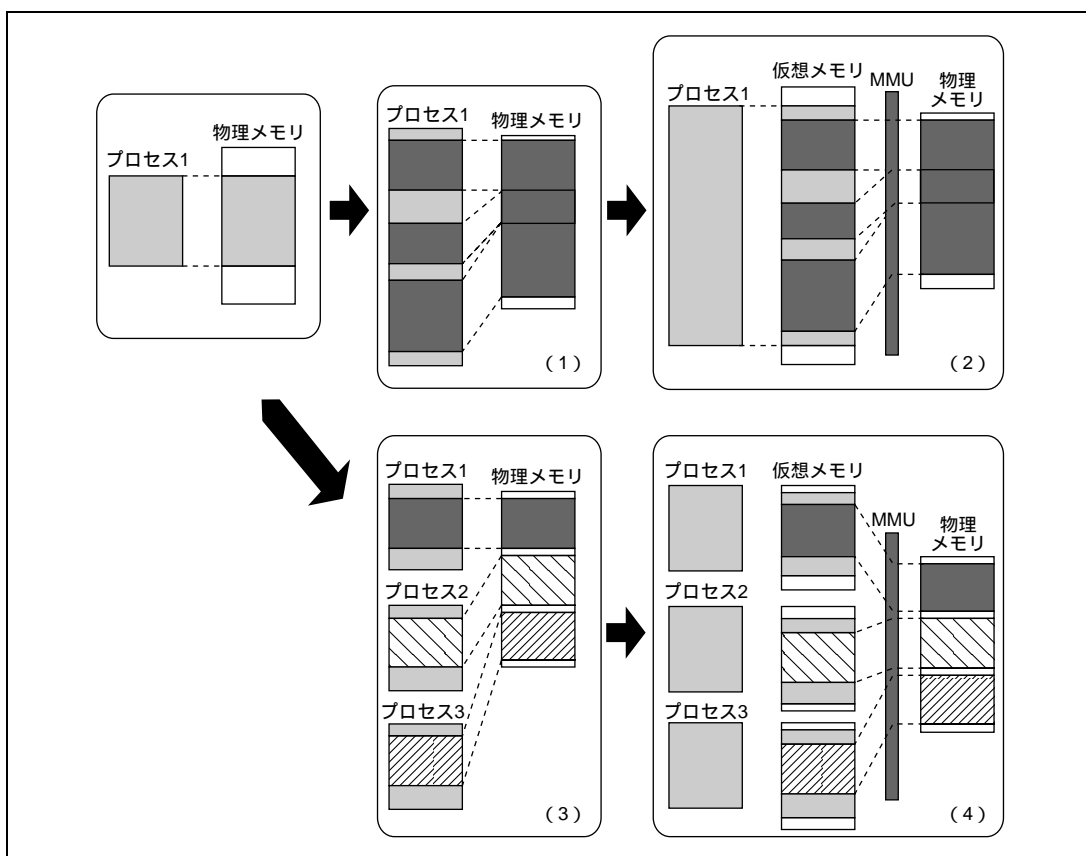


図 6.1 MMU の役割

6.1.1 アドレス空間

(1) 物理アドレス空間

SH-4 は 32 ビットの物理アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。MMUCR の AT ビットを 0 にし、MMU をディスエーブル状態にしたときのアドレス空間が物理アドレス空間です。物理アドレス空間は図 6.2 に示すとおり、いくつかの領域に分かれています。物理アドレス空間は固定的に 29 ビットの外部メモリ空間へマッピングされ、その対応は物理アドレス空間のアドレスの上位 3 ビットを無視することで行えます。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセスすることが可能です。ユーザモードで P1 領域から P4 領域 (ストアキュー領域を除く) をアクセスした場合、アドレスエラーとなります。

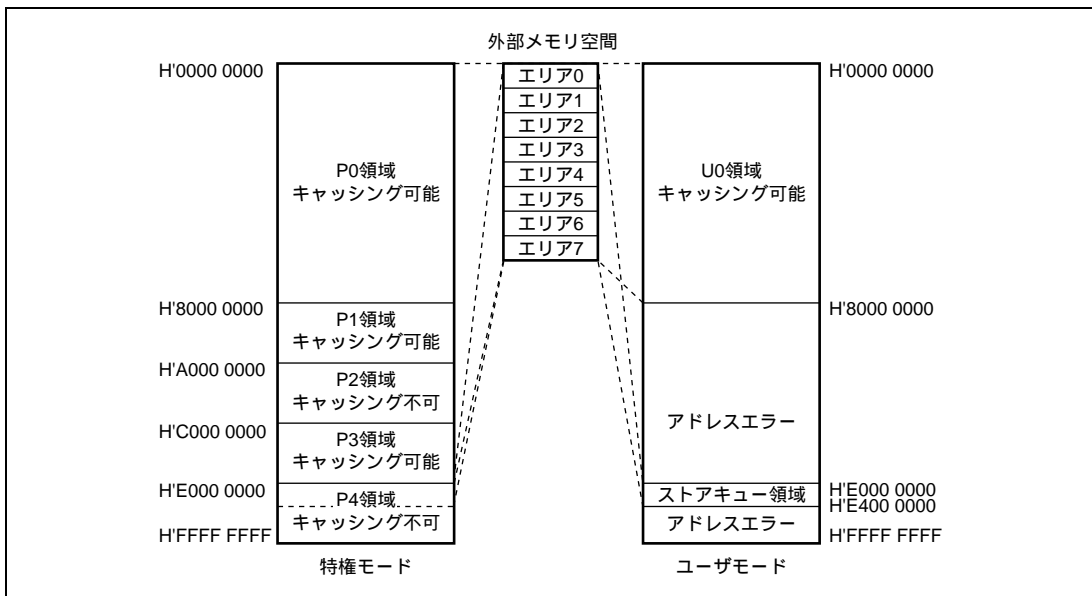


図 6.2 物理アドレス空間 (MMUCR.AT=0)

SH7760 は、CPU から PCMCIA インタフェースのエリアにアクセスを行う場合、常に PTEA レジスタに設定した SA、TC 値でアクセスします。

また、DMAC による PCMCIA インタフェースのエリアへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、および CHCRn.DTC の値で行われます。詳細は「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

(a) P0、P1、P3、U0 領域

P0、P1、P3、U0 領域はキャッシュを用いたアクセスが可能な領域です。キャッシュを用いるか用いないかは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り換えは、P1 領域を除いて CCR の WT ビットの指定に従います。P1 領域の切り替えは、CCR.CB ビットの指定に従います。これらの領域のアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、これらの領域にも予約領域が現れることとなります。

6. メモリマネジメントユニット (MMU)

(b) P2 領域

P2 領域はキャッシュを用いたアクセスができない領域です。P2 領域ではアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、この領域にも予約領域が現れることとなります。

(c) P4 領域

P4 領域は SH-4 の内蔵 I/O にマッピングされる領域です。この領域はキャッシュを用いてアクセスできません。P4 領域の詳細を図 6.3 に示します。

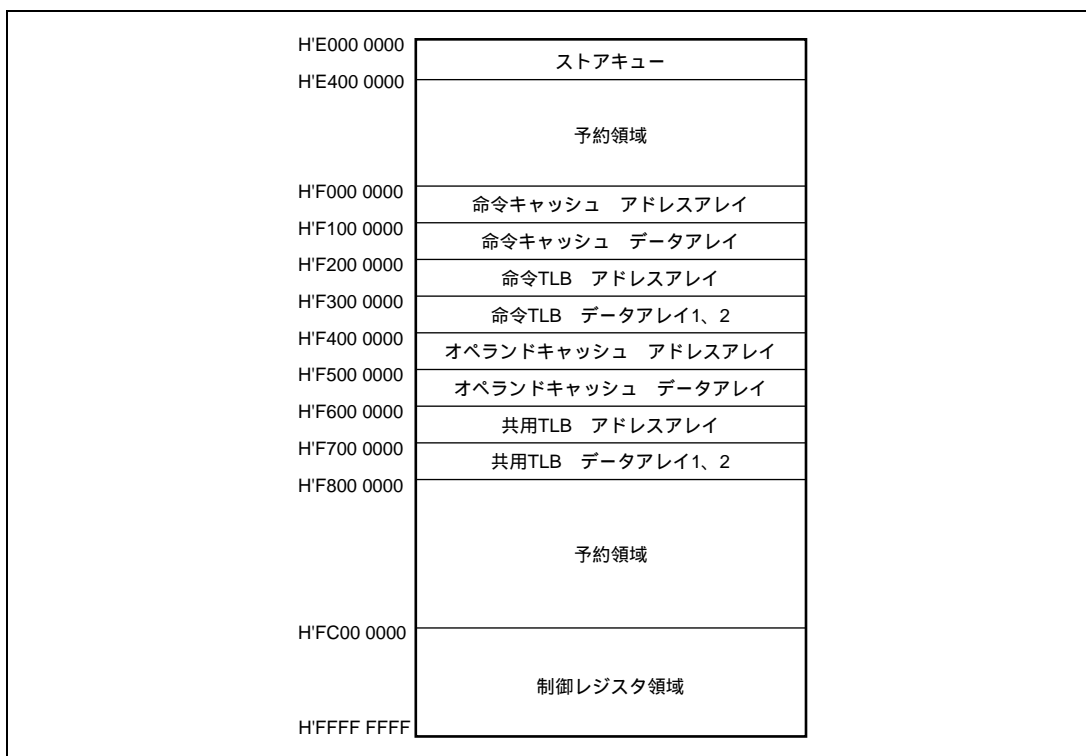


図 6.3 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするためのアドレスです。MMU が無効な場合 (MMUCR の AT ビット = 0)、SQ のアクセス権は MMUCR の SQMD ビットで指定します。詳細は、「7.7 ストアキュー」を参照してください。

H'F000 0000 ~ H'FOFF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「7.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は、「7.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「6.6.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F3FF FFFF までは、命令 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「6.6.2 ITLB データアレイ 1」、「6.6.3 ITLB データアレイ 2」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「7.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は、「7.6.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「6.6.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F7FF FFFF までは、共用 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「6.6.5 UTLB データアレイ 1」、「6.6.6 UTLB データアレイ 2」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは周辺モジュール制御レジスタの領域です。

(2) 外部メモリ空間

SH-4 は 29 ビットの外部メモリ空間をサポートします。外部メモリ空間は図 6.4 に示すとおり 8 つの領域に分かれています。エリア 0 ~ エリア 6 は SRAM、シンクロナス DRAM、PCMCIA などのメモリにつながる領域です。エリア 7 は予約領域です。詳細は「第 10 章 パスステートコントローラ (BSC)」を参照してください。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000	エリア7 (予約領域)
H'1FFF FFFF	

図 6.4 外部メモリ空間

(3) 仮想アドレス空間

MMUCR の AT ビットを 1 にすることにより、SH-4 では物理アドレス空間の P0 領域と P3 領域と U0 領域を任意の外部メモリ空間へ 1K/4K/64K/1M バイトページ単位にマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより P0、U0、P3、ストアキュー領域を 256 個まで増やすことが可能です。これを仮想アドレス空間と呼びます。仮想アドレス空間から 29 ビットの外部メモリ空間へのマッピングには TLB を用います。仮想アドレス空間を用いて外部メモリ空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域が予約領域ではなくなり、物理アドレス空間の P4 領域の制御レジスタ領域と等価になります。仮想アドレス空間を図 6.5 に示します。

6. メモリマネジメントユニット (MMU)

キャッシュイネーブルの状態では P0、P3、U0 領域が TLB により PCMCIA インタフェースのエリアにマッピングされる場合、そのページの CCR.WT ビットに 1 を指定するか、PTEL.C ビットに 0 を指定しなければなりません。このとき、TLB の各ページ単位で設定した、SA、TC 値でアクセスします。

なお、CPU から P1、P2、P4 領域へのアクセスによる PCMCIA インタフェースのエリアへのアクセスはできません。また、DMAC による PCMCIA インタフェースのエリアへのアクセスは常に、DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC および CHCRn.DTC の値で行われます。詳細は、「第 11 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

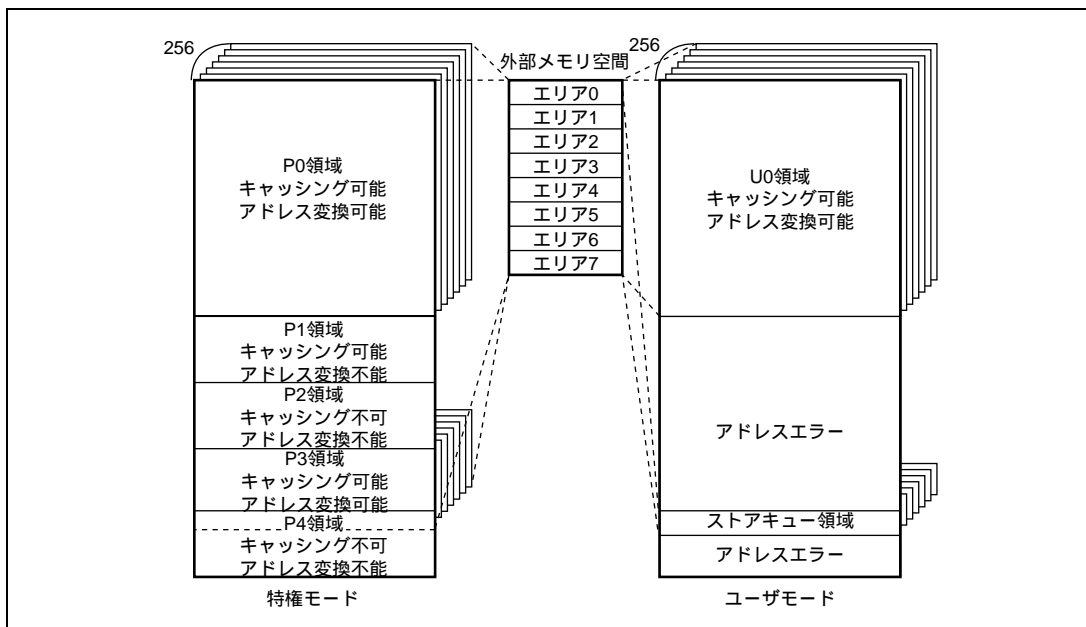


図 6.5 仮想アドレス空間 (MMUCR.AT = 1)

(a) P0、P3、U0 領域

P0 (H'7C00 0000 から H'7FFF FFFF を除く)、P3、U0 (H'7C00 0000 から H'7FFF FFFF を除く) 領域はキャッシュを用いたアクセスと TLB を用いたアドレス変換が可能な領域です。これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位に任意の外部メモリ空間へマッピングできます。CCR がキャッシュイネーブル状態にあり、かつ TLB のキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。また、キャッシュへのライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従い、ページ単位に指定します。

P0、P3、U0 領域が TLB により外部メモリ空間へマッピングされる時のみ、外部メモリ空間のエリア 7 の H'1C00 0000 ~ H'1FFF FFFF が制御レジスタ領域に割り当てられます。これによりユーザモードでも U0 領域から制御レジスタをアクセスすることが可能となります。この場合、該当するページの C ビットには 0 を指定しなければなりません。

(b) P1、P2、P4 領域

P1、P2、P4 領域 (ストアキュー領域を除く) に対して TLB を用いたアドレス変換は実行できません。これらの領域に対するアクセスは物理アドレス空間に対するアクセスと同じです。ストアキュー領域は MMU によって任意の外部メモリ空間にマッピングすることができます。ただし、例外処理の場合の動作は通常の P0、U0、P3 空間の場合とは異なります。詳細については「7.7 ストアキュー」を参照してください。

(4) 内蔵 RAM 空間

SH-4 では、オペランドキャッシュの半分を内蔵 RAM として使用することが可能です。これは CCR の設定を変更することで行えます。

オペランドキャッシュを内蔵 RAM として使用する場合 (CCR の ORA ビット = 1)、P0、U0 領域の H'7C00 0000 ~ H'7FFF FFFF が内蔵 RAM 領域となります。この領域へはデータアクセス (バイト/ワード/ロングワード/クワッドワード) が可能です。ただしこの領域は、RAM モード時以外には使用できません。

(5) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4 では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(6) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「6.3.3 アドレス変換方式」参照)のみです。

(7) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH

6. メモリマネジメントユニット (MMU)

に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

6.2 レジスタの説明

MMU 処理に関するレジスタは以下のとおりです。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 6.1 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32	lck
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32	lck
ページテーブルエントリアシスタンス レジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32	lck
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32	lck
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32	lck
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32	lck

表 6.1 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	*	保持
ページテーブルエントリ下位レジスタ	PTEL	不定	不定	保持		保持
ページテーブルエントリアシスタンス レジスタ	PTEA	不定	不定	保持		保持
変換テーブルベースレジスタ	TTB	不定	不定	保持		保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持		保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

6.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH へは、P4 領域の H'FF00 0000 からとエリア 7 の H'1F00 0000 からロングワードサイズでアクセスすることが可能です。PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを書き換え後に、更新後の ASID 値を使用する P0、P3、U0 領域への分岐命令は、PTEH 更新命令から 6 命令以降に配置してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VPN															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPN						-	-	ASID							
初期値:	-	-	-	-	-	-	0	0	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	VPN	-	R/W	仮想ページ番号
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ASID	-	R/W	アドレス空間識別子

6.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL へは、P4 領域の H'FF00 0004 からとエリア 7 の H'1F00 0004 からロングワードサイズでアクセスすることが可能です。PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PPN												
初期値:	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN						-	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:	-	-	-	-	-	-	0	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	PPN	-	R/W	物理ページ番号
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	V	-	R/W	ページ管理情報 詳細は「6.3 TLBの機能」を参照してください。
7	SZ1	-	R/W	
6	PR1	-	R/W	
5	PR0	-	R/W	
4	SZ0	-	R/W	
3	C	-	R/W	
2	D	-	R/W	
1	SH	-	R/W	
0	WT	-	R/W	

6.2.3 ページテーブルエントリアシスタンスレジスタ (PTEA)

PTEA へは、P4 領域の H'FF00 0034 からとエリア 7 の H'1F00 0034 からロングワードサイズでアクセスすることが可能です。PTEA は LDTLB 命令により UTLB への PCMCIA のアクセスのためのアシスタントビットを格納するために使用されます。SH7760 では、MMUCR の AT ビットが 0 のときに CPU から PCMCIA インタフェースのエリアにアクセスする場合、本レジスタの SA ビット、TC ビットの値で常にアクセスされます。また、DMAC による PCMCIA インタフェースのエリアへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、CHCRn.DTC の値で行われます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TC	SA2	SA1	SA0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TC	-	R/W	PCMCIA アクセスアシスタンスビット 詳細は「6.3 TLBの機能」を参照してください。
2	SA2	-	R/W	
1	SA1	-	R/W	
0	SA0	-	R/W	

6.2.4 変換テーブルベースレジスタ (TTB)

TTB へは P4 領域の H'FF00 0008 からとエリア 7 の H'1F00 0008 からロングワードサイズでアクセスすることが可能です。このレジスタは、たとえば現在使用しているページテーブルのベースアドレスの格納用に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6.2.5 TLB 例外アドレスレジスタ (TEA)

TEA へは P4 領域の H'FF00 000C からとエリア 7 の H'1F00 000C からロングワードサイズでアクセスすることが可能です。MMU 例外またはアドレスエラー例外発生後に、このレジスタへは例外を発生させた仮想アドレスがハードウェアにより設定されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMU以外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MMU以外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6. メモリマネジメントユニット (MMU)

6.2.6 MMU 制御レジスタ (MMUCR)

MMUCR へは P4 領域の H'FF00 0010 からとエリア 7 の H'1F00 0010 からロングワードサイズでアクセスすることが可能です。MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。MMUCR を更新した後に、P0、P3、U0、ストアキュー領域へのデータアクセス命令は、MMUCR 更新命令から 4 命令以降に配置してください。また、P0、P3、U0 領域への分岐命令は、MMUCR 更新命令から 8 命令以降に配置してください。MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	-	-	-	-	-	TI	-	AT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	すべて 0	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25, 24	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

6. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
23~18	URB	すべて0	R/W	入れ換えを行う UTLB エントリの境界を示すビット URB > 0 のときに有効となります。
17, 16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~10	URC	すべて0	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダム カウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は0にクリアされ ます。またソフトウェアにより URC > URB となる値が URC に書き込まれ た場合、最初は URC = H'3F になるまで URB を超えてインクリメントされ ますので注意してください。なお URC は、LDTLB 命令によってカウント アップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0: ユーザ/特権アクセスが可能 1: 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも1を書き込んでください。 0: 多重仮想記憶モード 1: 単一仮想記憶モード
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TI	0	R/W	TLB 無効化ビット このビットに1を書き込むと、UTLB/ITLB の有効ビットをすべて0にク リアします。読み出すと常に0が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0: MMU ディスエーブルにする 1: MMU イネーブルにする AT ビットが0の状態では MMU 例外は発生しません。このため MMU を使 用しないソフトウェアでは AT ビットを0の状態で使用してください。

6.3 TLB の機能

6.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 6.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 6.7 にページサイズとアドレスの関係を示します。

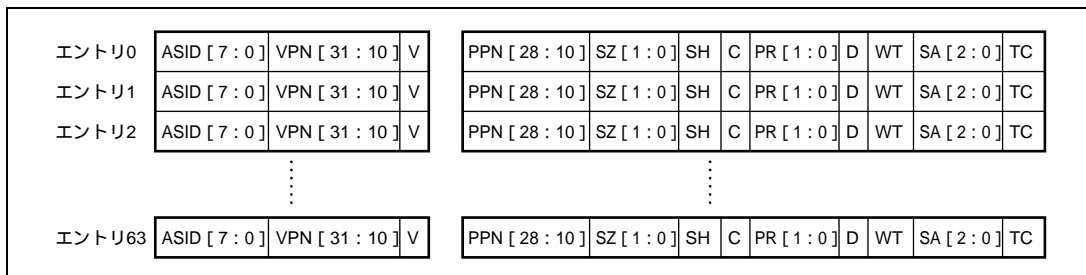


図 6.6 UTLB の構成

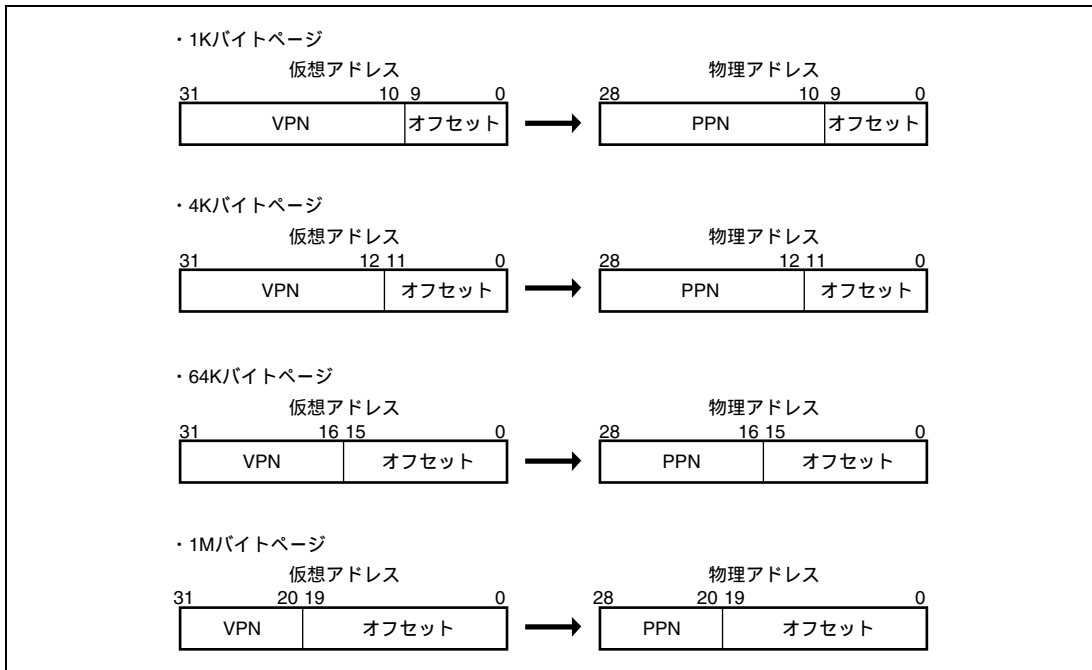


図 6.7 ページサイズとアドレスの関係

<記号説明>

VPN : 仮想ページ番号

1K バイトページのと看、仮想アドレスの上位 22 ビット

4K バイトページのと看、仮想アドレスの上位 20 ビット

64K バイトページのと看、仮想アドレスの上位 16 ビット

1M バイトページのと看、仮想アドレスの上位 12 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。

単一仮想記憶モードかつユザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 のとき複数のプロセスでページを共有しません。

1 のとき複数のプロセスでページを共有します。

SZ[1:0] : ページサイズビット

ページサイズを指定します。

00:1K バイトページ

01:4K バイトページ

10:64K バイトページ

11:1M バイトページ

6. メモリマネジメントユニット (MMU)

V : 有効ビット	エントリが有効かどうかを示します。 0 のとき無効 1 のとき有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN :	物理ページ番号物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「6.4.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能。 01 : 特権モードで読み出し / 書き込み可能。 10 : 特権 / ユーザモードで読み出しのみ可能。 11 : 特権 / ユーザモードで読み出し / 書き込み可能。
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 のときキャッシング不可能。 1 のときキャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。 キャッシュイネーブルの状態では PCMCIA 空間のマッピングを行う場合、このビットを 0 にするか、WT ビットを 1 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 のとき書き込みが行われていない。 1 のとき書き込みが行われている。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード キャッシュイネーブルの状態では PCMCIA 空間のマッピングを行う場合、このビットを 1 にするか、C ビットを 0 にしてください。

- SA[2:0] : 空間属性ビット エリア5または6に接続する PCMCIA にページをマッピングする場合にのみ有効です。
- 000 : 不定
- 001 : 可変サイズの I/O 空間 (基本サイズは $\overline{IOIS16}$ 信号に従います)
- 010 : 8 ビット I/O 空間
- 011 : 16 ビット I/O 空間
- 100 : 8 ビット共用メモリ空間
- 101 : 16 ビット共用メモリ空間
- 110 : 8 ビット属性メモリ空間
- 111 : 16 ビット属性メモリ空間
- TC : タイミングコントロールビット エリア5、6のバスコントロールユニットに用いられるウェイトコントロールレジスタを選択するために使用します。
- 0 : WCR2 (A5W2 ~ A5W0) と PCR (A5PCW1 ~ A5PCW0, A5TED2 ~ A5TED0, A5TEH2 ~ A5TEH0) を使用
- 1 : WCR2 (A6W2 ~ A6W0) と PCR (A6PCW1 ~ A6PCW0, A6TED2 ~ A6TED0, A6TEH2 ~ A6TEH0) を使用

6.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 6.8 に ITLB の構成を示します。ITLB はフルアソシアティブの4エントリで構成されています。

エントリ0	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ1	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ2	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC
エントリ3	ASID [7 : 0]	VPN [31 : 10]	V	PPN [28 : 10]	SZ [1 : 0]	SH	C	PR	SA [2 : 0]	TC

【注】

1. D、WTビットをサポートしません。
2. PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 6.8 ITLB の構成

6.3.3 アドレス変換方式

図 6.9 に、UTLB を用いたメモリアクセスのフローを示します。

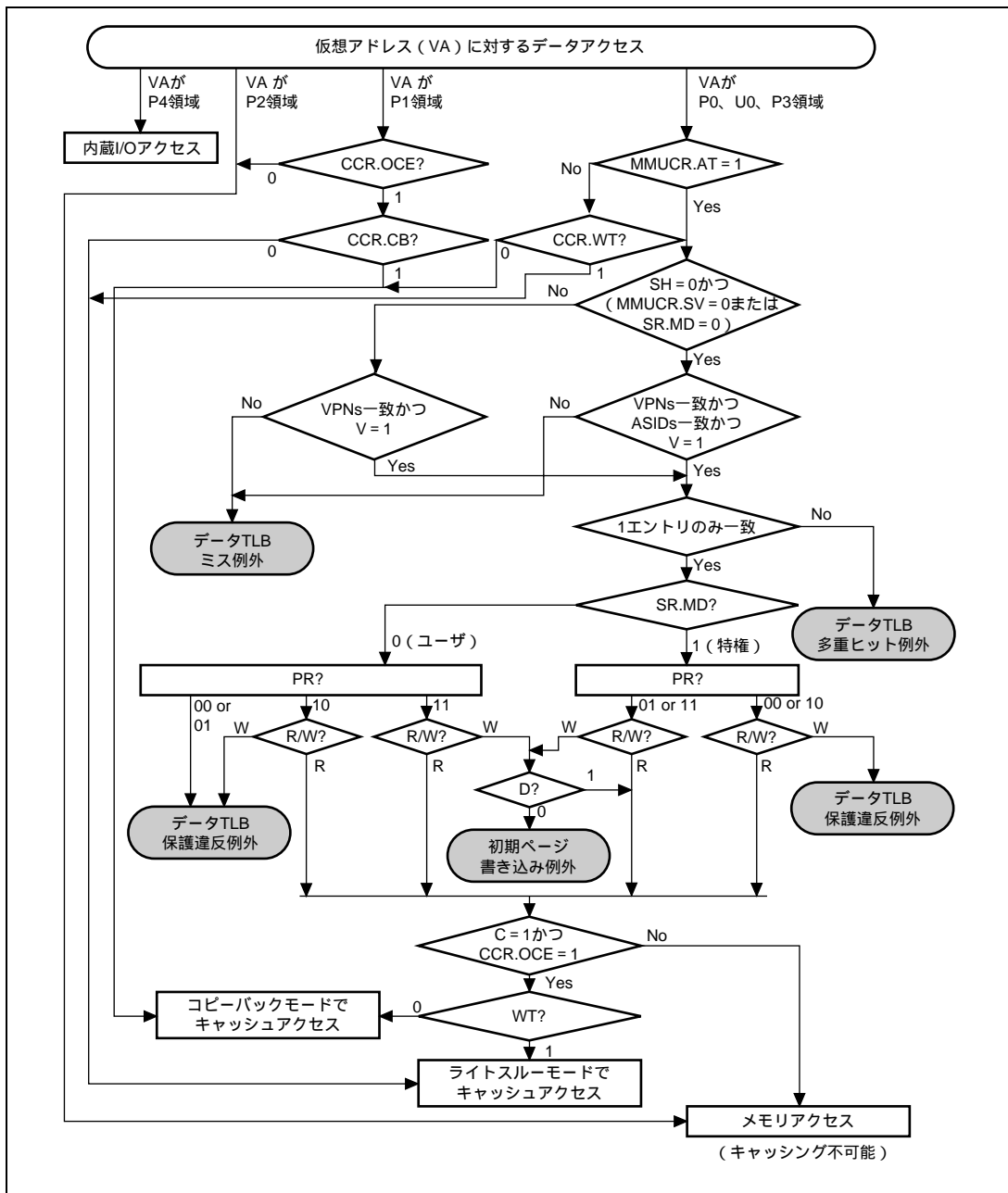


図 6.9 UTLB を用いたメモリアクセスフロー

図 6.10 に ITLB を用いたメモリアクセスのフローを示します。

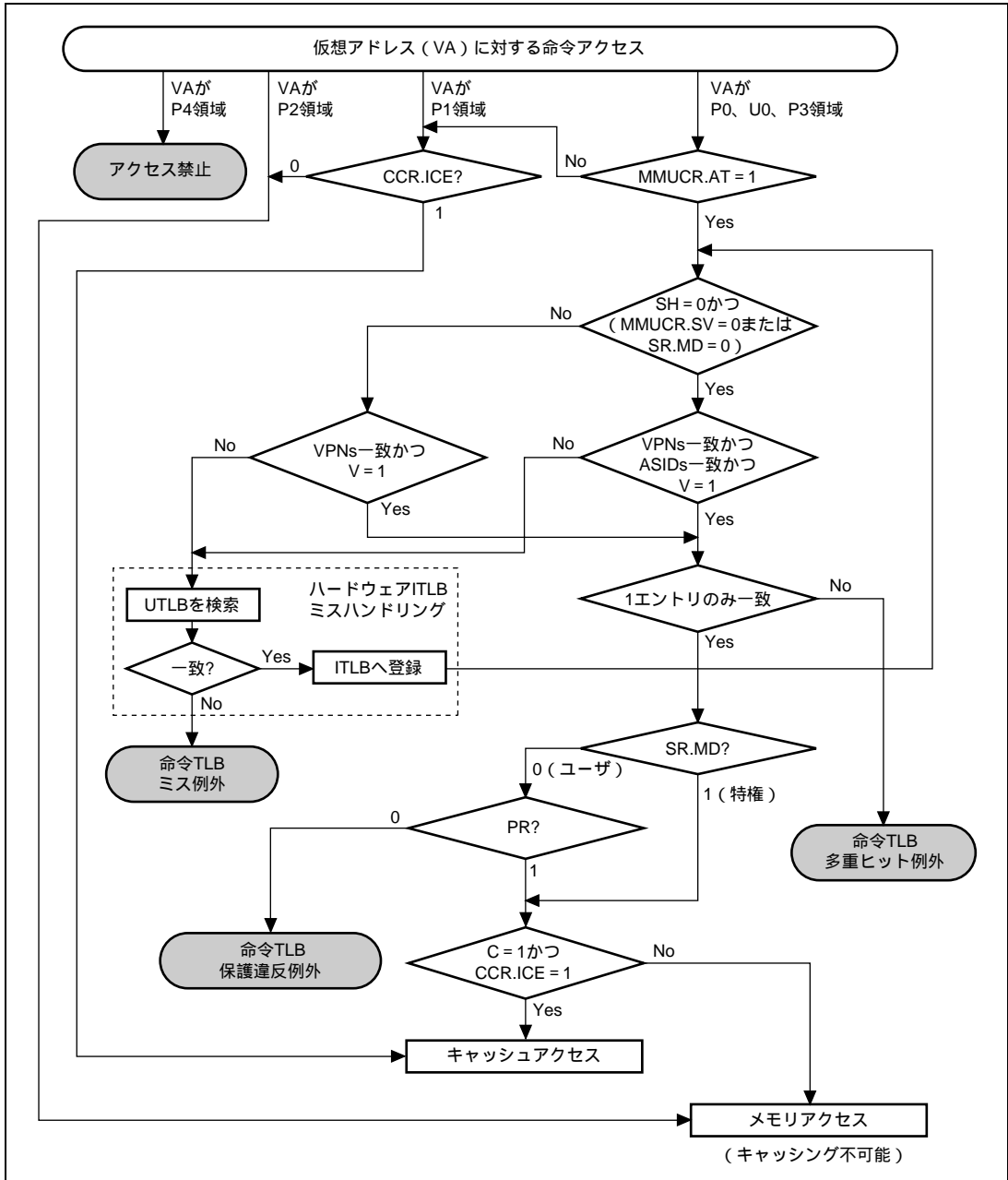


図 6.10 ITLB を用いたメモリアクセスフロー

6.4 MMU の機能

6.4.1 MMU のハードウェア管理

SH-4 がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します(C、WT、SA、TCビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

6.4.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

6.4.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4 は PTEH と PTEL と PTEA の内容を URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。図 6.11 に LDTLB 命令の動作を示します。

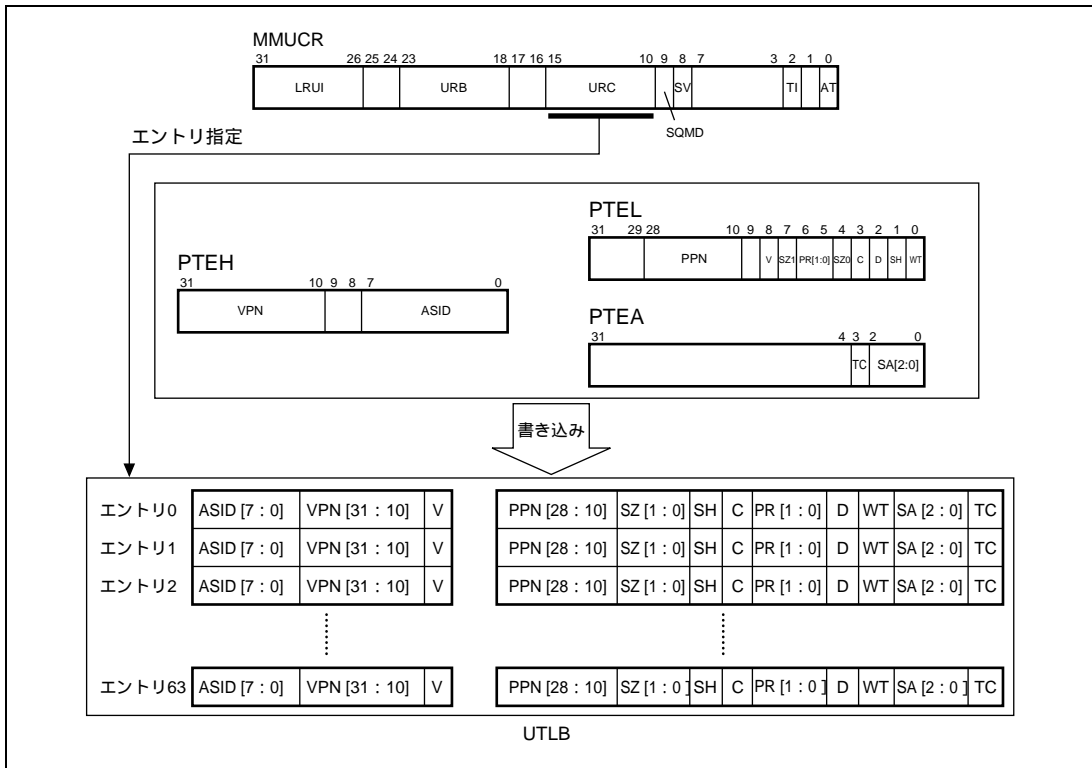


図 6.11 LDTLB 命令の動作

6.4.4 ハードウェア ITLB ミスハンドリング

SH-4 は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

6.4.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4 ではオペランドキャッシュの高速動作のために仮想アドレスの [13:5] を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの [13:10] が、4K バイトページでは仮想アドレスの [13:12] がアドレス変換の対象になります。このため変換後の物理アドレスの [13:10] と仮想アドレスの [13:10] が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

6. メモリマネジメントユニット (MMU)

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[13:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[13:12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。キャッシュインデックスモードを用いた場合、VPN[25]がVPN[13]の代わりにエントリアドレスとして使用されるため、上記制限事項は、VPN[25]に対して有効となります。

【注】 将来の SuperH™ RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

6.5 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 6.9 と図 6.10 を参照してください。

6.5.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合は、データ TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

6.5.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。必要なら SA、TC の値を PTEA に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、PTEH、PTEL、PTEA の内容を TLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

6.5.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'0A0 を EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB 保護違反例外処理ルーチン)

命令 TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

6.5.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合にも、データ TLB 多重ヒット例外となります。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させたUTLBエンTRIESを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

6.5.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエンTRIESを割り当てるのはソフトウェアの責任です。必要なページテーブルエンTRIESを探して割り当てるために、ソフトウェアでは次のように処理してください。

6. メモリマネジメントユニット (MMU)

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。また、必要ならSAとTCの値をPTEAに書き込んでください。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

6.5.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

6.5.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。また必要ならSAとTCの値をPTEAに書き込んでください。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

6.6 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。P2 領域以外への分岐は、この MOV 命令の 8 命令以降に行うようにしてください。ITLB および UTLB は物理アドレス空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

6.6.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の HF200 0000 ~ HF2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す HF2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

2. ITLB アドレスアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

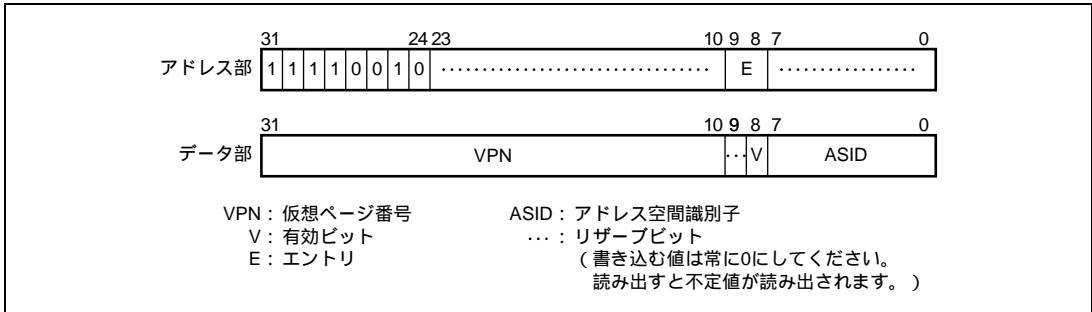


図 6.12 メモリ割り付け ITLB アドレスアレイ

6.6.2 ITLB データアレイ 1

ITLB のデータアレイ 1 は P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイ 1 を示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 1 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

2. ITLB データアレイ 1 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

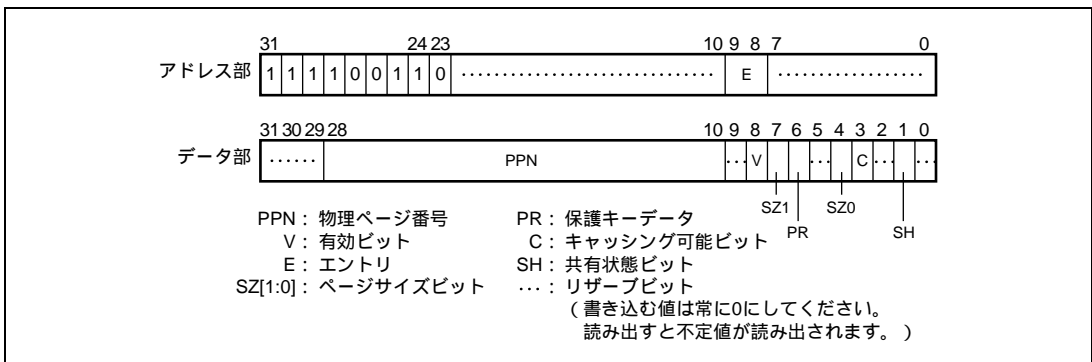


図 6.13 メモリ割り付け ITLB データアレイ 1

6. メモリマネジメントユニット (MMU)

6.6.3 ITLB データアレイ 2

ITLB のデータアレイ 2 は P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[2:0]が SA を、[3]が TC を示します。

ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 2 読み出し

データ部に設定されたエントリに対応する ITLB エントリから、データ部へ SA と TC を読み出します。

2. ITLB データアレイ 2 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された SA と TC を書き込みます。

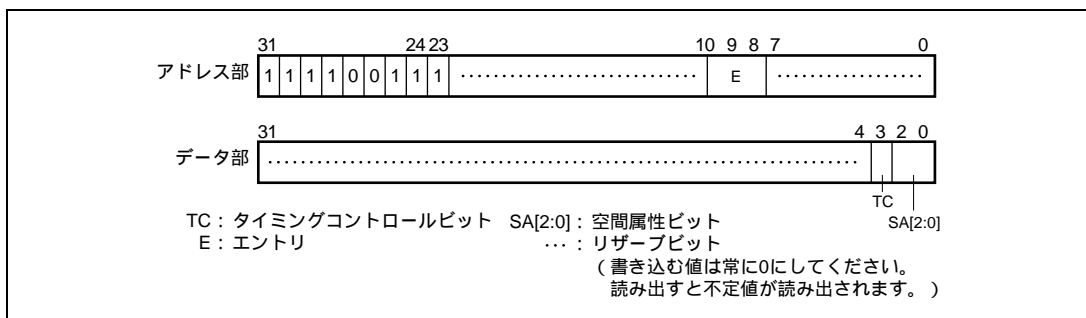


図 6.14 メモリ割り付け ITLB データアレイ 2

6.6.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ~ H'F6FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:24]が UTLB アドレスアレイを示す H'F6 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

2. UTLBアドレスアレイ 書き込み（連想なし）

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

3. UTLBアドレスアレイ 書き込み（連想あり）

アドレス部のAビットが1で書き込みのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。一致するエントリが複数存在する場合は、データTLB多重ヒット例外となります。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側のみ書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

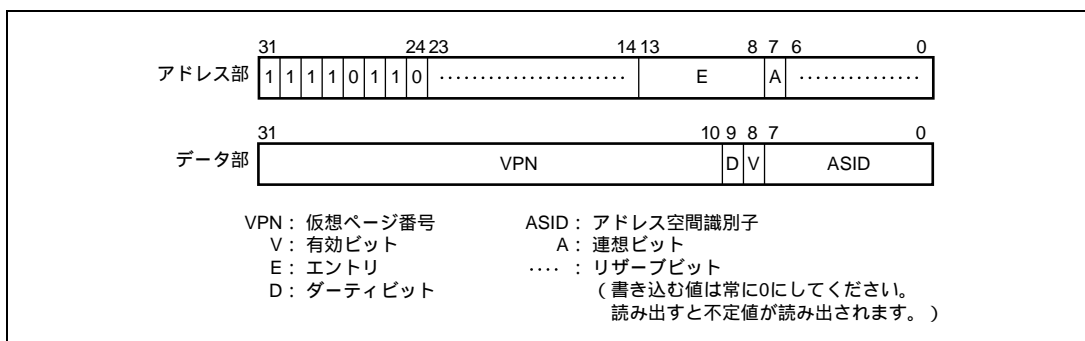


図 6.15 メモリ割り付け UTLB アドレスアレイ

6.6.5 UTLB データアレイ 1

UTLB のデータアレイ 1 は P4 領域の HF700 0000 ~ HF77F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:23]が UTLB データアレイ 1 を示す HF70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

6. メモリマネジメントユニット (MMU)

UTLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

1. UTLBデータアレイ1 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へPPN、V、SZ、PR、C、D、SH、WTを読み出します。

2. UTLBデータアレイ1 書き込み

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、D、SH、WTを書き込みます。

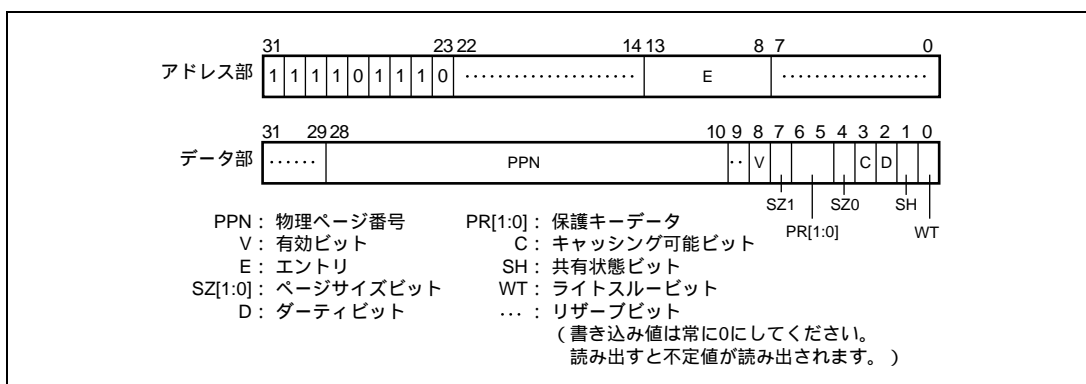


図 6.16 メモリ割り付け UTLB データアレイ 1

6.6.6 UTLB データアレイ 2

UTLB のデータアレイ 2 は P4 領域の H'F780 0000 ~ H'F7FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31:23]が UTLB データアレイ 2 を示す H'F78 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[3]が TC を、[2:0]が SA を示します。

UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLBデータアレイ2 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へSAとTCを読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたSAとTCを書き込みます。

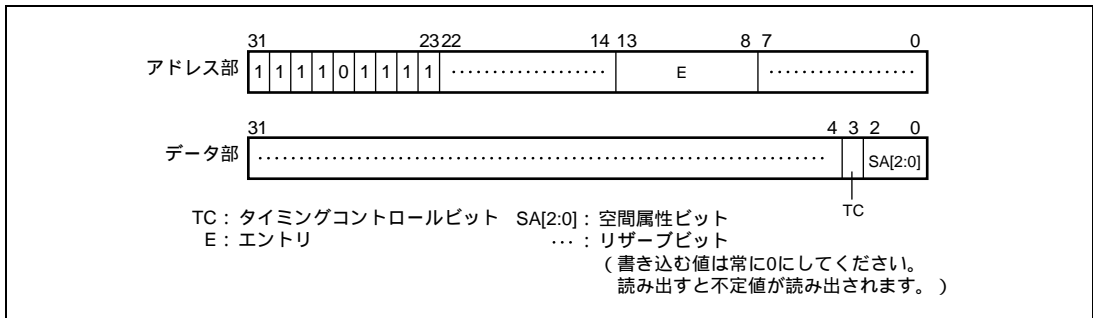


図 6.17 メモリ割り込み UTLB データアレイ 2

7. キャッシュ

7.1 特長

本 LSI は命令用に 16K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。またオペランドキャッシュの半分のメモリ(16K バイト)を内蔵 RAM としても利用できます。

CCR の EMODE ビットが 0 のとき、本 LSI のキャッシュは表 7.1 に示す動作となります。CCR の EMODE ビットが 1 のときのキャッシュの特長を表 7.2 に示します。なお、パワーオンリセット、マニュアルリセット後の EMODE ビットの初期値は 0 です。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 7.3 に示します。

表 7.1 キャッシュの特長 (EMODE = 0)

項目	命令キャッシュ	オペランドキャッシュ
容量	8K バイトキャッシュ	16K バイトキャッシュもしくは 8K バイトキャッシュ+8K バイト RAM
方式	ダイレクトマップ	ダイレクトマップ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ	512 エントリ
書き込み方式	-	コピーバック/ライトスルー 選択可能

表 7.2 キャッシュの特長 (EMODE = 1)

項目	命令キャッシュ	オペランドキャッシュ
容量	16K バイトキャッシュ	32K バイトキャッシュもしくは 16K バイトキャッシュ+16K バイト RAM
方式	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	512 エントリ/ウェイ
書き込み方式	-	コピーバック/ライトスルー 選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

7. キャッシュ

表 7.3 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU オフ: MMUCR.SQMD による MMU オン: 個々のページ PR による

本 LSI のオペランドキャッシュは 2 ウェイセットアソシアティブ方式で、おのおののウェイが 512 本のキャッシュラインから構成されます。図 7.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 2 ウェイセットアソシアティブ方式で、おのおののウェイが 256 本のキャッシュラインから構成されます。図 7.2 に命令キャッシュの構成を示します。

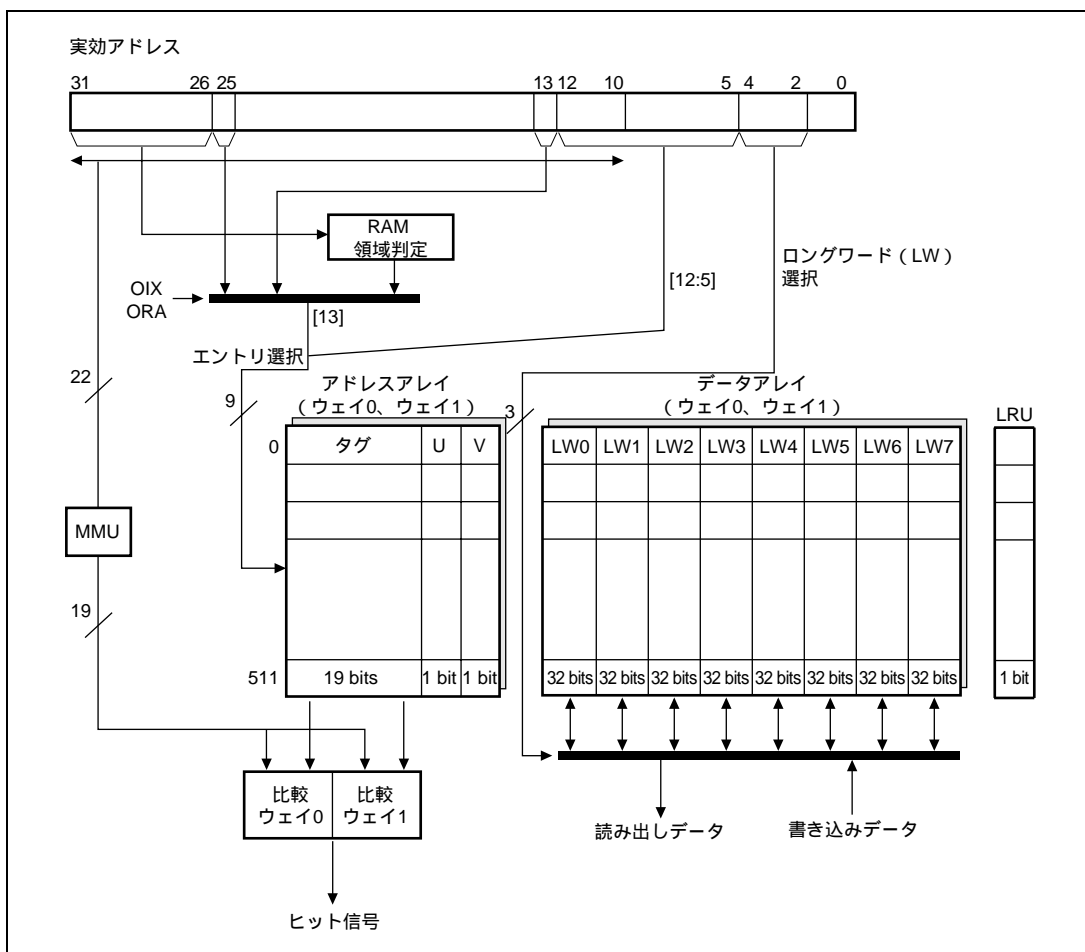


図 7.1 オペランドキャッシュの構成

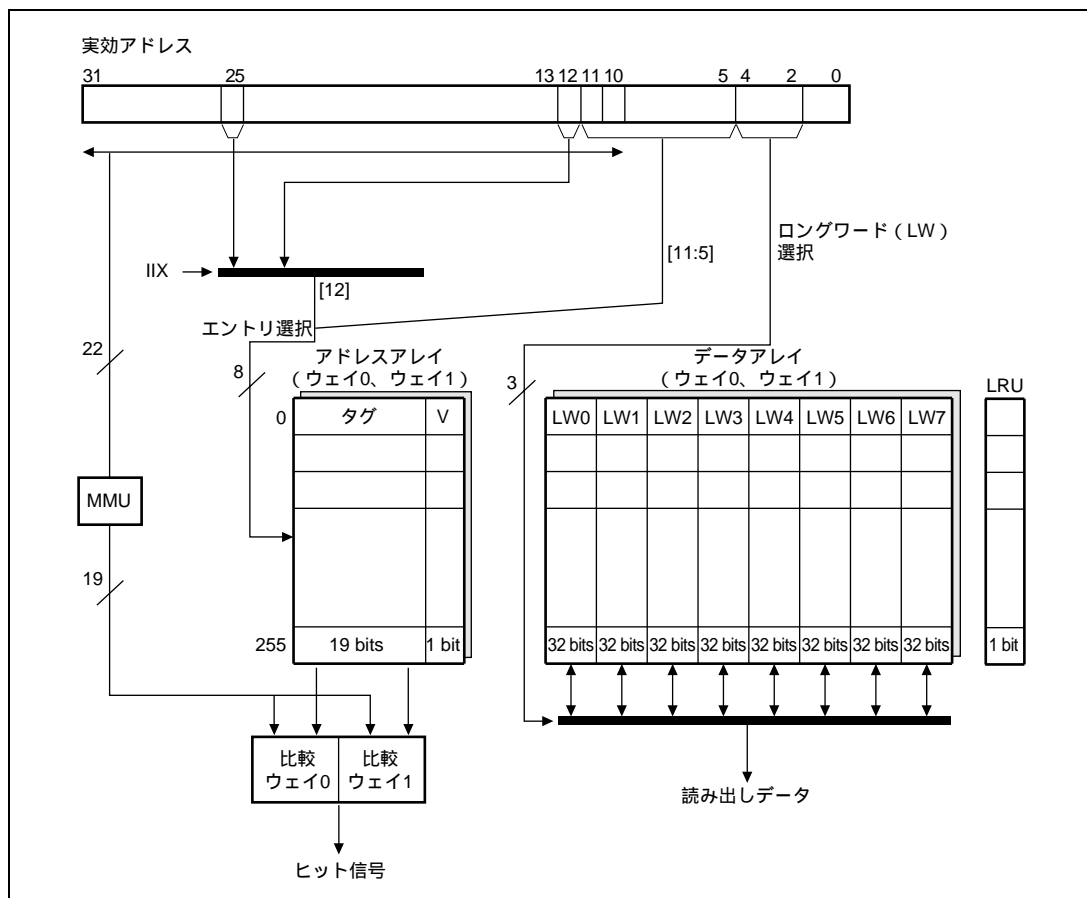


図 7.2 命令キャッシュの構成

(1) タグ

キャッシュされるデータラインの外部アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインヘデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「7.5 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換ええない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

7. キャッシュ

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

2ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを2つまでキャッシュに登録できます。エントリを登録するとき、2つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ1ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

7.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 7.4 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32	lck
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32	lck
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32	lck

表 7.4 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	*	保持
キューアドレス制御レジスタ 0	QACR0	不定	不定	保持		保持
キューアドレス制御レジスタ 1	QACR1	不定	不定	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

7.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR へは、P4 領域の H'FF00 001C とエリア 7 の H'1F00 001C から、ロングワードサイズでアクセスすることが可能です。CCR の書き換えは、非キャッシュの P2 領域のプログラムのみで行わなければなりません。CCR 更新後に、P0、P1、P3、U0 領域へのデータアクセス命令は、CCR 更新命令から 4 命令以降に配置してください。また、P0、P1、P3、U0 領域への分岐命令は、CCR 更新命令から 8 命令以降に配置してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EMODE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IIX	-	-	-	ICI	-	-	ICE	OIX	-	ORA	-	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	EMODE	0	R/W	キャッシュ倍増モードビット キャッシュ倍増モードの使用を選択します。キャッシュ使用中に EMODE ビットを書き換えしないでください。 0 : キャッシュダイレクトマップモード 1 : キャッシュ倍増モード
30~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	IIX	0	R/W	IC インデックス有効ビット 0 : 実効アドレス[12:5]が IC のエントリ選択に使われる 1 : 実効アドレス[25]、[11:5]が IC エントリ選択に使われる
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

7. キャッシュ

ビット	ビット名	初期値	R/W	説明
7	OIX	0	R/W	OC インデックス有効ビット 0: 実効アドレス[13:5]が OC のエントリ選択に使われる 1: 実効アドレス[25]、[12:5]が OC エントリ選択に使われる ORA ビットが 1 の場合、このビットの設定値は 0 にしてください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ORA	0	R/W	OCRAM ビット OC が有効 (OCE=1) のとき、OC の半分を RAM として使用するかどうかを指定します。OC が無効 (OCE=0) のときは、このビットを 0 に設定してください。 0: ノーマルモード (OC のすべてをキャッシュとして使用) 1: RAM モード (OC の半分をキャッシュ、半分を RAM として使用) OIX ビットが 1 の場合、このビットの設定値は 0 にしてください。
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V、U ビットを 0 にします。読み出すと常に 0 が読み出されます。
2	CB	0	R/W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0: ライトスルーモード 1: コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報の WT ビットの値を優先します。 0: コピーバックモード 1: ライトスルーモード
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。 0: OC を使用しない 1: OC を使用する

7.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 へは、P4 領域の H'FF00 0038 からエリア 7 の H'1F00 0038 から、ロングワードサイズでアクセスすることが可能です。QACR0 は、MMU がオフのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA0	-	R/W	MMU がオフのとき、SQ0 に対する外部アドレス 28~26 を生成します。
1、0	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 へは、P4 領域の H'FF00 003C からエリア 7 の H'1F00 003C から、ロングワードサイズでアクセスすることが可能です。QACR1 は、MMU がオフのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA1	-	R/W	MMU がオフのとき、SQ1 に対する外部アドレス 28~26 を生成します。
1、0	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.3 オペランドキャッシュの動作説明

7.3.1 読み出し動作

OC が有効 (CCR.OCE = 1) かつキャッシング可能な領域から実効アドレスによってデータを読み出す場合、キャッシュは以下のように動作します。

1. 実効アドレスのビット[13:5]でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。
2. 実効アドレスをMMUにより変換したアドレスのビット[28:10]とタグを比較し、
 - タグが一致かつVビットが1の場合 3.
 - タグが一致かつVビットが0の場合 4.
 - タグが不一致かつVビットが0の場合 4.
 - タグが不一致かつVビットが1かつUビットが0の場合 4.
 - タグが不一致かつVビットが1かつUビットが1の場合 5.
3. キャッシュヒット

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット[4:0]でインデックスされるデータをアクセスサイズ (クワッドワード / ロングワード / ワード / バイト) に応じて読み出します。

4. キャッシュミス (書き戻しなし)

実効アドレスに対応する外部メモリ空間から、キャッシュラインヘデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

5. キャッシュミス (書き戻しあり)

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避します。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインヘデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1をUビットに0を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

7.3.2 書き込み動作

OC が有効 (CCR.OCE = 1) かつキャッシング可能な領域に対し実効アドレスによってデータが書き込まれる場合、キャッシュは以下のように動作します。

1. 実効アドレスのビット[13:5]でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。

2. 実効アドレスをMMUにより変換したアドレスのビット[28:10]とタグを比較し、

コピーバック ライトスルー

- | | | |
|-----------------------------|----|----|
| • タグが一致かつVビットが1の場合 | 3. | 4. |
| • タグが一致かつVビットが0の場合 | 5. | 6. |
| • タグが不一致かつVビットが0の場合 | 5. | 6. |
| • タグが不一致かつVビットが1かつUビットが0の場合 | 5. | 6. |
| • タグが不一致かつVビットが1かつUビットが1の場合 | 7. | 6. |

3. キャッシュヒット (コピーバック)

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ (クワッドワード/ロングワード/ワード/バイト) によりデータの書き込みを行います。そしてUビットに1を設定します。

4. キャッシュヒット (ライトスルー)

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ (クワッドワード/ロングワード/ワード/バイト) によりデータの書き込みを行います。書き込みは指定されたアクセスサイズを用いた外部メモリと対応して実行します。

5. キャッシュミス (コピーバック、ライトバックなし)

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ (クワッドワード/ロングワード/ワード/バイト) によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。

6. キャッシュミス (ライトスルー)

実効アドレスに対応した外部メモリへ、設定されたアクセスサイズの書き込みを行います。この場合、キャッシュへの書き込みは行われません。

7. キャッシュミス (コピーバック、ライトバックあり)

7. キャッシュ

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避した後、実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ（クワッドワード / ロングワード / ワード / バイト）によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュ1ライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

7.3.3 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

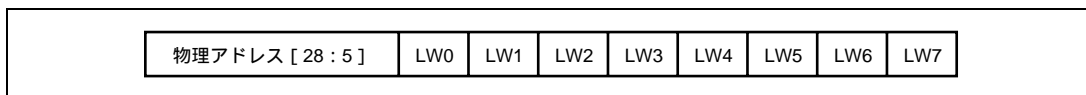


図 7.3 ライトバックバッファの構成

7.3.4 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

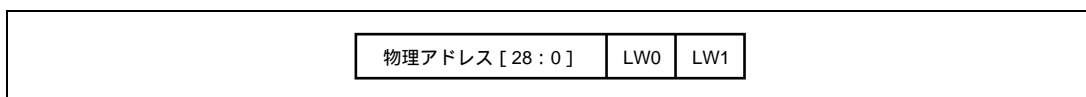


図 7.4 ライトスルーバッファの構成

7.3.5 RAM モード

CCRのORAを1にセットすると、オペランドキャッシュの半分をRAMとして使用することができます。キャッシュダイレクトマップモードでは、オペランドキャッシュのエントリ256～511までの8KバイトがRAMとなります。キャッシュ倍増モードでは、オペランドキャッシュの各ウェイのエントリ256～511までの計16KバイトがRAMとなります。それ以外のエントリはキャッシュとして利用できます。RAMへはアドレスのH7C00 0000～H7FFF FFFFを用いてアクセスができます。オペランドキャッシュのRAM領域へはバイト / ワード / ロングワード / クワッドワードサイズのデータの読み出し / 書き込みが可能です。この領域に対して命令フェッチは行いません。また、RAMモード使用時はOCインデックスモードは使用できません。

RAM の使用例を以下に示します。

- キャッシュダイレクトマップモードの場合 (CCRのEMODEビットが0のとき)

H'7C00 0000 ~ H'7C00 1FFF (8Kバイト) : RAM領域 (エン트리256 ~ 511)

H'7C00 2000 ~ H'7C00 3FFF (8Kバイト) : RAM領域 (エン트리256 ~ 511)

: : :

以下H'7FFF FFFFまで8kバイト単位でRAM領域のシャドウが発生します。

- キャッシュ倍増モードの場合 (CCRのEMODEビットが1のとき)

ここではOCウェイ0のエン트리256 ~ 511の8KバイトをRAM領域1とし、OCウェイ1のエン트리256 ~ 511の8KバイトをRAM領域2とします。

H'7C00 0000 ~ H'7C00 1FFF (8Kバイト) : RAM領域1に対応

H'7C00 2000 ~ H'7C00 3FFF (8Kバイト) : RAM領域2に対応

H'7C00 4000 ~ H'7C00 5FFF (8Kバイト) : RAM領域1に対応

H'7C00 6000 ~ H'7C00 7FFF (8Kバイト) : RAM領域2に対応

: : :

以下H'7FFF FFFFまで16Kバイト単位でRAM領域のシャドウが発生します。

7.3.6 OC インデックスモード

CCR の OIX ビットを 1 にセットすると、実効アドレスの[25]を用いて OC のインデックスを実行することができます。これを OC インデックスモードと呼びます。通常モードでは CCR の OIX ビットが 0 の状態で、実効アドレスの[13:5]を用いて OC のインデックスを実行します。インデックスモードを使用すると実効アドレスの[25]により OC を 2 つの領域として処理することができ、キャッシュの効率的な利用が可能です。また、本 LSI では OC インデックスモード使用時は RAM モードは使用できません。

7.3.7 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として新たに次の 4 命令をサポートしています。各命令の詳細はプログラミングマニュアルを参照してください。

- インバリデイト命令 : OCBI @Rn : キャッシュの無効化 (書き戻しなし)
- パージ命令 : OCBP @Rn : キャッシュの無効化 (書き戻しあり)
- ライトバック命令 : OCBWB @Rn : キャッシュの書き戻し
- アロケート命令 : MOVCA.L R0,@Rn : キャッシュの確保

7.3.8 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外が発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令 : PREF @Rn

7.3.9 キャッシュ倍増モードを使用する場合の注意事項

キャッシュ倍増モード (CCR.EMODE=1) に設定し、オペランドキャッシュの半分を内蔵 RAM として使用する OC RAM モード (CCR.ORA=1) を使用する場合に、RAM 内のデータが不正に書き換えられることがあります。

[発生条件]

以下の 4 つの条件をすべて満たす場合、RAM に誤ったデータを書き込む場合があります。

条件 1 : キャッシュ倍増モードに設定 (CCR.EMODE=1)。

条件 2 : オペランドキャッシュの半分を RAM として使用する RAM モードに設定 (CCR.ORA=1)。

条件 3 : 例外または割り込みが発生。

【注】 デバッグツールなどによる命令置換ブレーク (TRAPA 命令または未定義命令コード H'FFFF に命令を置換することで発生させるブレーク) も含みます。

条件 4 : 条件 3 の例外発生命令または割り込み受け付け命令の後続 4 ワード以内に内蔵 RAM にアクセスするアドレス (H'7C000000 ~ H'7FFFFFFF) に対するストア命令 (MOV、FMOV、AND.B、OR、B、XOR.B、MOVCA.L、STC.L、STS.L) が存在。内蔵 RAM へのストア命令自身で例外が発生する場合も含みます。

[内容]

本現象が発生した場合、条件 4 の内蔵 RAM へのストア命令のアドレスと H'2000 だけアドレスの異なるアドレスを含む 8 バイト境界の 8 バイトのデータに誤ったデータが書き込まれます。例えば、H'7C000204 番地にロングワードをストアしようとした場合に、H'7C002200 ~ H'7C002207 番地にマッピングされる内蔵 RAM 内の 8 バイトが不正に書き換えられます。

[発生例]

例 1 TLB ミス例外発生命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'0C400000, R0	R0 は TLB ミスアドレス
MOV.L #H'7C000204, R1	R1 は内蔵 RAM アドレス
MOV.L @R0, R2	TLB ミス例外が発生
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R3, @R1	内蔵 RAM へのストア命令

例 2 割り込み受け付け命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'7C002000, R1	R1 は内蔵 RAM アドレス
MOV.L #H'12345678, R0	この命令実行後割り込みを受け付け
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R0, @R1	内蔵 RAM へのストア命令

例 3 デバッグツールにより命令を置換するブレークを張った場合

元々の命令列	命令置換ブレークを張った状態	
MOV.L #H'C000000, R0	MOV.L #H'7C000000, R0	R0 に該当アドレスが入っている
ADD R0, R0	TRAPA #H'01	R0 は元々の命令列では問題のないアドレス
MOV.L R1, @R0	MOV.L R1, @R0	ADD を実行しないため内蔵 RAM へのストアアクセスが発生し、ストアはキャンセルされるが、H'7C002000 からの 2LW を誤って書き換え

[回避方法]

キャッシュ倍増モードで RAM モードを使用する場合、以下のいずれかの対策で本現象を回避できます。

回避方法 1 : 内蔵 RAM の 16K バイトのうち 8K バイトのみを使用してください。このときアドレス[12:0]が同一でアドレス[13]のみが異なる RAM 領域を使用しないでください。

例えば、H'7C000000 ~ H'7C001FFF または H'7C001000 ~ H'7C002FFF までの 8K バイトを使用してください。

【注】 デバッグツールなどにより命令を置換するブレークを用いる場合、ブレークを発生させる命令の後続命令が命令を置換したことによりメモリアクセスアドレスが変わってしまうため、使用しない側の 8K バイトの領域をアクセスしてしまうことがあります。この場合にも本現象が発生しますが、これは命令置換ブレークを使用するデバッグ時のみの現象です。また、命令置換を行わないブレークを使用する場合には問題ありません。

7. キャッシュ

回避方法 2：内蔵 RAM へのストア命令の直前 4 命令で割り込みや例外を発生させないでください。

例えば、内蔵 RAM をロード命令でのみアクセスするデータテーブルとして使用し、テーブル作成時以外は RAM への書き込みを行わない場合、テーブル書き込み中に割り込みが発生しないように SR.BL=1 の状態で行ってください。また、テーブルへの書き込み中に TLB ミスなどの例外が発生しないようにしてください。

【注】 デバッグツールなどにより命令を置換するブレイクを用いる場合にも本現象が発生することがありますが、これは命令置換ブレイクを使用するデバッグ時のみの現象です。また、命令置換を行わないブレイクを使用する場合には問題ありません。

7.4 命令キャッシュの動作説明

7.4.1 読み出し動作

IC が有効 (CCR の ICE ビットが 1 のとき) かつキャッシング可能な領域から実効アドレスによって命令フェッチを行う場合、命令キャッシュは以下のように動作します。

1. 実効アドレスのビット[12:5]でインデックスされるキャッシュラインからタグとVビットを読み出します。
2. 実効アドレスをMMUにより変換したアドレスのビット[28:10]とタグを比較し、

タグが一致かつVビットが1の場合	3.
タグが一致かつVビットが0の場合	4.
タグが不一致かつVビットが0の場合	4.
タグが不一致かつVビットが1の場合	4.

3. キャッシュヒット

実効アドレスのビット[12:5]でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット[4:2]でインデックスされるデータを命令として読み出します。

4. キャッシュミス

実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

7.4.2 IC インデックスモード

CCR の IIX ビットを 1 にセットすると、実効アドレスの[25]を用いて IC のインデックスを実行することができます。これを IC インデックスモードと呼びます。通常モードでは CCR の IIX ビットが 0 の状態で、実効アドレスの[12:5]を用いて IC のインデックスを実行します。インデックスモードを使用すると実効アドレスの[25]により IC を 2 つの領域として処理することができ、キャッシュの効率的な利用が可能です。

7.5 メモリ割り付けキャッシュの構成 (キャッシュダイレクトマップモード)

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P3領域への分岐命令は、このMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。リザーブビットには0を設定するようにしてください。リザーブビットを読み出したときの値は不定です。

7.5.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'FOFF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[12:5]でエントリを指定するようになっています。CCRのIXビットはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するICエントリから、データ部へタグとVビットを読み出します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み(連想なし)

アドレス部に設定されたエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み(連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミス

7. キャッシュ

した場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

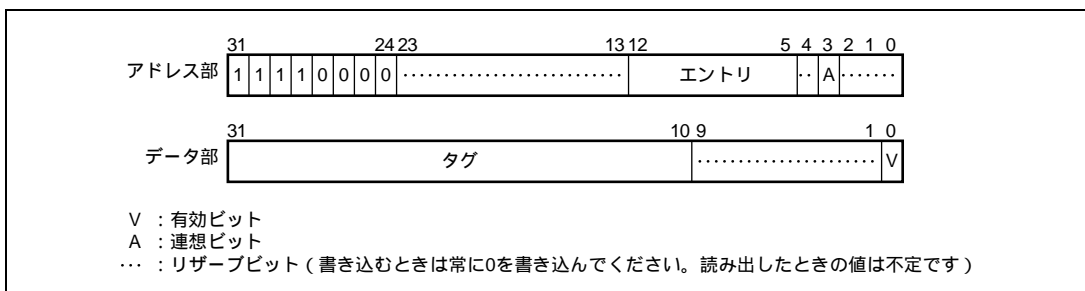


図 7.5 メモリ割り付け IC アドレスアレイ

7.5.2 IC データアレイ

IC のデータアレイは P4 領域の HF100 0000 ~ HF1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す HF1 になっており、[12:5]でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

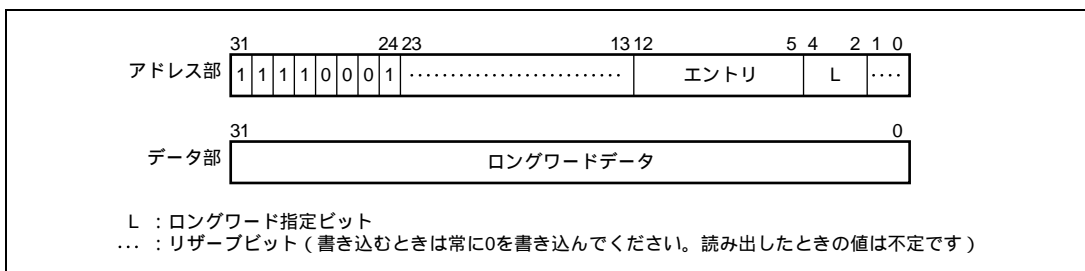


図 7.6 メモリ割り付け IC データアレイ

7.5.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の HF400 0000 ~ HF4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す HF4 になっており、[13:5]でエントリを指定するようになっています。CCR の OIX ビットおよび CCR の ORA ビットはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み（連想なし）

アドレス部に設定されたエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

(3) OC アドレスアレイ 書き込み（連想あり）

アドレス部の A ビットが 1 で書き込みのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このとき MMU がイネーブルなら、データ部[31:10]で指定した仮想アドレスを UTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致し V ビットが 1 であったなら、データ部で指定した U ビットと V ビットを OC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は OC の特定のエントリの無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生します。アドレス変換の際に UTLB にミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータ TLB 多重ヒット例外が発生した場合はデータ TLB 多重ヒット例外処理ルーチンへ処理が移ります。

7. キャッシュ

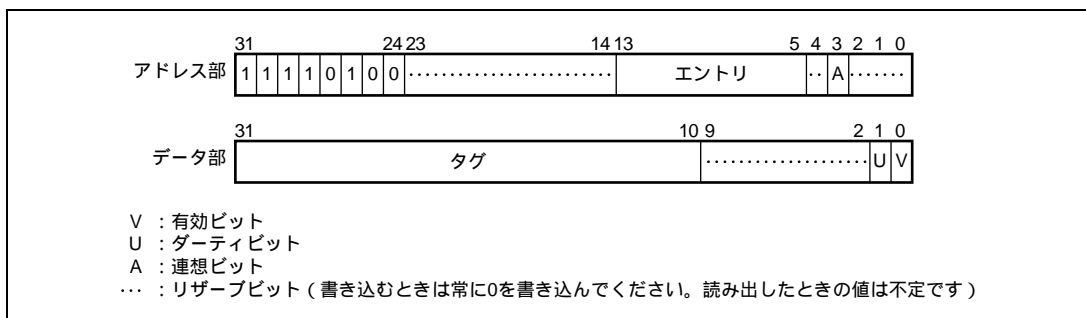


図 7.7 メモリ割り付け OC アドレスアレイ

7.5.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[13:5]でエントリを指定するようになっています。CCR の OIX ビットおよび CCR の ORA ビットはこのエントリ指定に影響を与えません。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

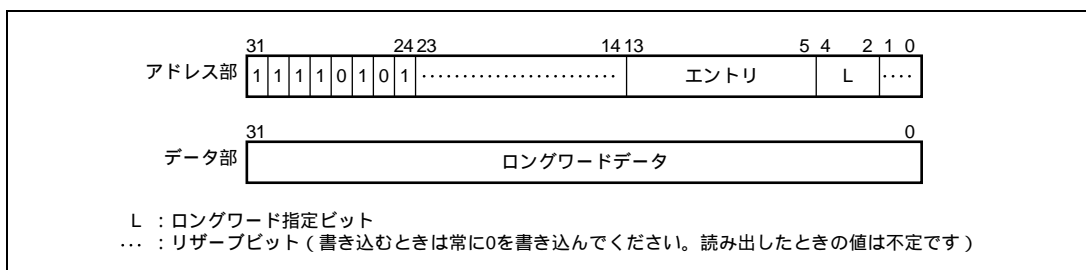


図 7.8 メモリ割り付け OC データアレイ

7.6 メモリ割り付けキャッシュの構成（キャッシュ倍増モード）

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。リザーブビットには0を設定するようにしてください。リザーブビットの読み出し値は不定です。

7.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定（読み出し/書き込み時）と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[13]でウェイ、[12:5]でエントリを指定するようになっています。CCRのIIXビットはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット（Aビット）はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) ICアドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) ICアドレスアレイ 書き込み（連想なし）

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) ICアドレスアレイ 書き込み（連想あり）

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット13のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場

7. キャッシュ

合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

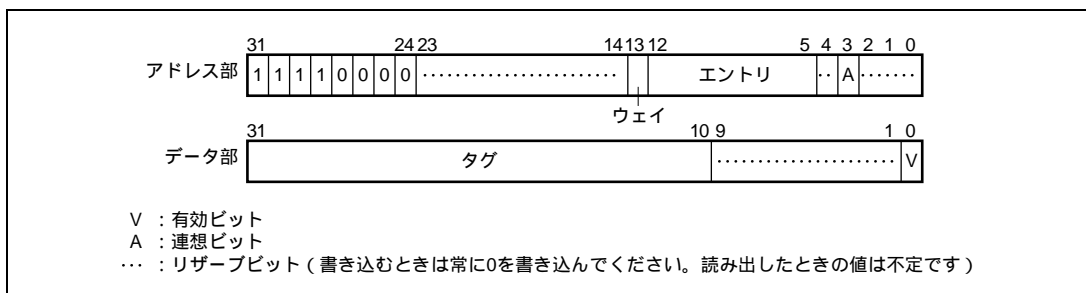


図 7.9 メモリ割り付け IC アドレスアレイ

7.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[13]でウェイ、[12:5]でエントリを指定するようになっています。CCR の IIX ビットはこのエントリ指定に影響を与えません。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

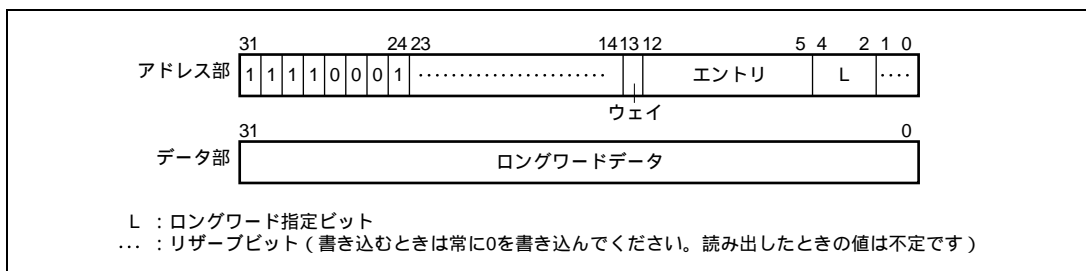


図 7.10 メモリ割り付け IC データアレイ

7.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の HF400 0000 ~ HF4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す HF4 になっており、[14]でウェイ、[13:5]でエントリを指定するようになっています。CCR の OIX ビットはこのエントリ指定に影響を与えません。RAM モードのとき（CCR の ORA ビットが 1 のとき）の OC アドレスアレイアクセスはキャッシュ部に対してのみ行うことができ、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「7.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み（連想なし）

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

(3) OC アドレスアレイ 書き込み（連想あり）

アドレス部の A ビットが 1 で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット 14 のウェイ番号は使用されません。このとき MMU がイネーブルなら、データ部[31:10]で指定した仮想アドレスを UTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイの V ビットが 1 であったなら、データ部で指定した U ビットと V ビットを OC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は OC の特定のエントリの無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生します。アドレス変換の際に UTLB にミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータ TLB 多重ヒット例外が発生した場合はデータ TLB 多重ヒット例外処理ルーチンへ処理が移ります。

7. キャッシュ

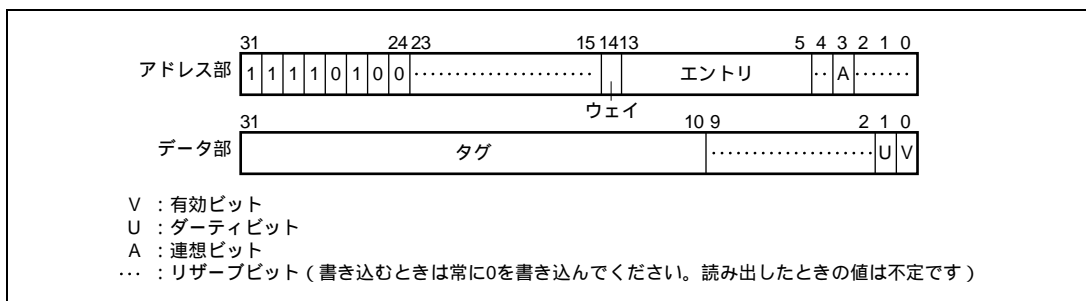


図 7.11 メモリ割り付け OC アドレスアレイ

7.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31:24] が OC データアレイを示す HF5 になっており、[14] でウェイ、[13:5] でエントリを指定するようになっています。CCR の OIX ビットはこのエントリ指定に影響を与えません。RAM モードのとき (ORA ビットが 1 のとき) の OC データアレイアクセスはキャッシュ部に対してのみ行うことができ、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「7.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部 [4:2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1:0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

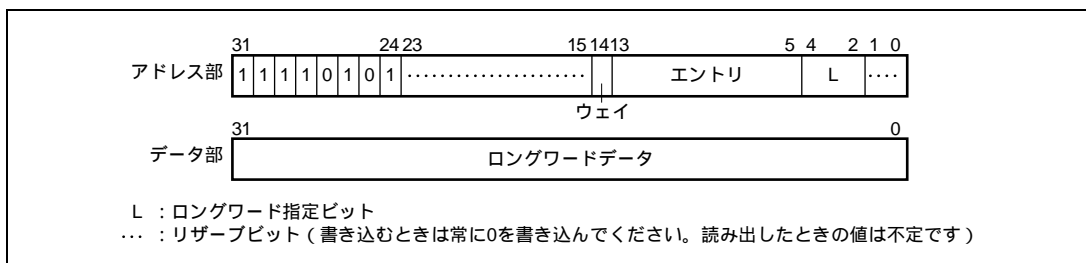


図 7.12 メモリ割り付け OC データアレイ

7.6.5 メモリ割り付け OC アドレスのまとめ

本 LSI のキャッシュ倍増モードでのメモリ割り付け OC アドレスを、データレイアクセスを例にまとめます。

- ノーマルモード (CCR.ORA = 0) の場合

H'F500 0000 ~ H'F500 3FFF (16Kバイト) : ウェイ0 (エントリ0 ~ 511)

H'F500 4000 ~ H'F500 7FFF (16Kバイト) : ウェイ1 (エントリ0 ~ 511)

以下、H'F5FF FFFFまで32Kバイト単位でキャッシュ領域のシャドウが発生します。

- RAMモード (CCR.ORA = 1) の場合

H'F500 0000 ~ H'F500 1FFF (8Kバイト) : ウェイ0 (エントリ0 ~ 255)

H'F500 2000 ~ H'F500 3FFF (8Kバイト) : ウェイ1 (エントリ0 ~ 255)

以下、H'F5FF FFFFまで16Kバイト単位でキャッシュ領域のシャドウが発生します。

7.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ を使用しない場合、SQ の機能を停止する低消費電力モードを使用することができ、消費電力を低減させることができます。SQ の機能停止中はキューアドレス制御レジスタ (QACR0、QACR1) へのアクセスもできません。SQ の機能停止の手順は「第 14 章 低消費電力モード」を参照してください。

7.7.1 SQ の構成

SQ は図 7.13 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

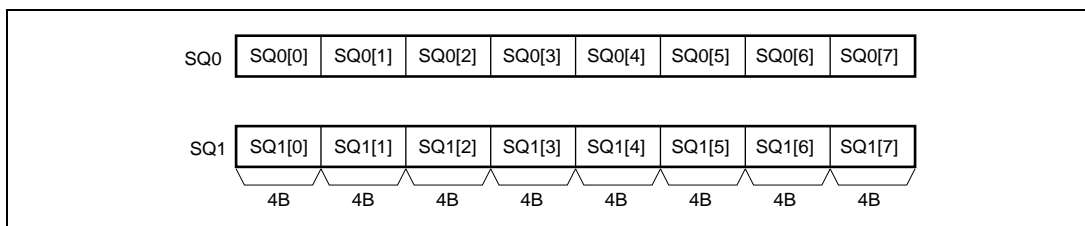


図 7.13 ストアキューの構成

7.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

7.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の外部アドレス[28:0]は MMU オン / オフにより次のように指定します。

(1) MMU オン (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の外部アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。SQを用いてPCMCIAインタフェースのエリアへのデータ転送はできません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い外部アドレス [28:10]を生成します。外部アドレスの[9:5]についてはMMUオフと同様にアドレス変換前のアドレスから生成します。外部アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU オフ (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 外部アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 外部アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない外部アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2]	: SQ0に対する外部アドレス[28:26]
QACR1[4:2]	: SQ1に対する外部アドレス[28:26]

外部アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

本LSIでは、常にPTEA.SA、PTEA.TCの値を用いて、PCMCIAインタフェースのエリアへのデータ転送を行います。

7.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU オン / オフにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU オン (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外、初期ページ書き込み例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU オフ (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

7.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

7. キャッシュ

8. 例外処理

8.1 例外処理の機能

例外処理とは、通常のプログラム処理から離れて、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するという制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4の例外処理は、リセット、一般例外、割り込みの3つに分類されます。

8.1.1 例外処理の流れ

例外処理では、プログラムカウンタ(PC)、ステータスレジスタ(SR)、R15の内容がそれぞれ退避プログラムカウンタ(SPC)、退避ステータスレジスタ(SSR)、退避ジェネラルレジスタ15(SGR)に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令(RTE)を実行します。本命令によって、PCとSRの内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGRの内容はRTE命令ではR15に書き戻されません。

基本的な例外処理の流れは次のようになります。

1. PCとSRとR15の内容がそれぞれSPCとSSRとSGRに退避されます。
2. SRのブロックビット(BL)が1に設定されます。
3. SRのモードビット(MD)が1に設定されます。
4. SRのレジスタバンクビット(RB)が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット(FD)が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ(EXPEVT)または割り込み事象レジスタ(INTEVT)のビット11~0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

8. 例外処理

8.1.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセットの値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておく、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、2 重例外となり、回復が困難になりますので、ベクタアドレスは固定物理アドレス (P1、P2) を指定してください。

8.2 例外の種類と優先順位

表 8.1 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 8.1 例外要因の種類と優先順位

例外区分	実行形態	例外	優先 レベル	優先 順位	ベクタベース	オフセット	例外コード
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000
		マニュアルリセット	1	2	H'A000 0000	-	H'020
		H-UDI リセット	1	1	H'A000 0000	-	H'000
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140
一般例外	再実行型	命令実行前ユーザブレイク* ¹	2	0	(VBR/DBR)	H'100/ -	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0

8. 例外処理

例外区分	実行形態	例外		優先 レベル	優先 順位	ベクタベース	オフセット	例外コード	
一般例外	再実行型	データ TLB 保護違反例外 (書き込み)		2	7	(VBR)	H'100	H'0C0	
		FPU 例外		2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外		2	9	(VBR)	H'100	H'080	
	完了型	無条件トラップ (TRAPA)		2	4	(VBR)	H'100	H'160	
		命令実行後ユーザブレイク * ¹		2	10	(VBR/DBR)	H'100/ -	H'1E0	
割り込み	完了型	NMI		3	-	(VBR)	H'600	H'1C0	
		外部割り込み	IRL3~0	0	4	* ²	(VBR)	H'600	H'200
				1					H'220
				2					H'240
				3					H'260
				4					H'280
				5					H'2A0
				6					H'2C0
				7					H'2E0
				8					H'300
				9					H'320
				A					H'340
				B					H'360
				C					H'380
			D	H'3A0					
			E	H'3C0					
			IRL	IRL0	H'240				
				IRL1	H'2A0				
				IRL2	H'300				
				IRL3	H'360				
		周辺モジュール 割り込み (モジュール / 要因)	DMAC	DMTE0	4	* ²	(VBR)	H'600	H'640
				DMTE1					H'660
				DMTE2					H'680
				DMTE3					H'6A0
				DMTE4					H'780
				DMTE5					H'7A0
				DMTE6					H'7C0
DMTE7	H'7E0								
DMAE	H'6C0								
IRQ* ³	IRQ4		H'800						
	IRQ5		H'820						

8. 例外処理

例外区分	実行形態	例外		優先 レベル	優先 順位	ベクタベース	オフセット	例外コード		
割り込み	完了型	周辺モジュール割り込み (モジュール /要因)	IRQ* ³	IRQ6	4	* ²	(VBR)	H'600	H'840	
				IRQ7					H'860	
			HCAN2	CANI0					H'900	
				CANI1					H'920	
			SSI	SSI0					H'940	
				SSI1					H'960	
			HAC	HACI0					H'980	
				HACI1					H'9A0	
			IIC	IICI0					H'9C0	
				IICI1					H'9E0	
			USB	USBI					H'A00	
			LCDC	VINT					H'A20	
			DMABRG	DMABRG10					H'A80	
				DMABRG11					H'AA0	
				DMABRG12					H'AC0	
			SCIF	ERI0					H'880	
				RX10					H'8A0	
				BRI0					H'8C0	
				TX10					H'8E0	
				ERI1					H'B00	
				RX11					H'B20	
				BRI1					H'B40	
				TX11					H'B60	
				ERI2					H'B80	
				RX12					H'BA0	
				BRI2					H'BC0	
				TX12					H'BE0	
				SIM					SIMERI	H'C00
									SIMRXI	H'C20
			SIMTXI						H'C40	
			SIMTEI						H'C60	
			HSPI	SPII					H'C80	
			MMCIF	MMC10					H'D00	
				MMC11					H'D20	
				MMC12					H'D40	
				MMC13					H'D60	
			MFI	MFI1					H'E80	

例外区分	実行形態	例外		優先 レベル	優先 順位	ベクタベース	オフセット	例外コード	
割り込み	完了型	周辺モジュール 割り込み (モジュール /要因)			4	* ²	(VBR)	H'600	H'F00
									H'F20
									H'F40
									H'F60
			H-UDI	H-UDI					H'600
			GPIO	GPIOI					H'620
			ADC	ADI					H'F80
			CMT	CMT1					H'FA0
			TMU	TUNI0					H'400
				TUNI1					H'420
				TUNI2					H'440
				TICPI2					H'460
			WDT	ITI					H'560
			REF	RCMI					H'580
ROVI	H'5A0								

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします(より小さい数値が優先度が高くなります)。割り込みの優先順位については「第9章 割り込みコントローラ(INTC)」を参照してください。

例外遷移先 : リセットではH'A000 0000、その他では(VBR + オフセット)へ制御が移ります。

例外コード : リセット、一般例外ではEXPEVT、割り込みではINTEVTに格納されます。

IRL : 割り込み要求レベル(IRL3~0端子)

モジュール/要因 : 各周辺モジュールの章を参照してください。

【注】 *1 BRCR.UBDE = 1 のとき PC = DBR。その他は PC = VBR + H'100

*2 外部割り込みおよび周辺モジュール割り込みの優先順位はソフトウェアによって設定可能です。

*3 IRQ は外部割り込みです。

8.3 例外フロー

8.3.1 例外フロー

図 8.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 8.1 には、例外種別(リセット、一般例外、割り込み)間の優先順位が表されています。なお図 8.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「8.5 動作説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「8.5.4 複数回の例外が発生する場合の優先順位」を参照してください。

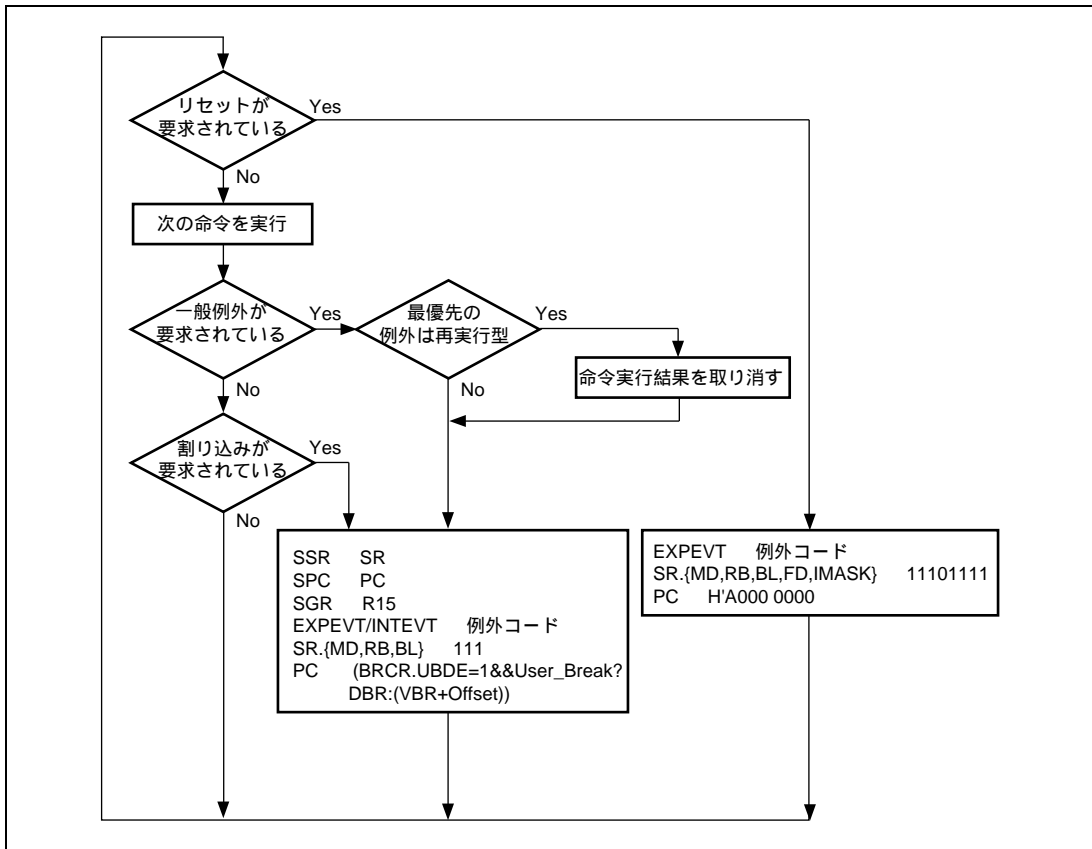


図 8.1 命令実行と例外処理

8.3.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 8.2 に示します。

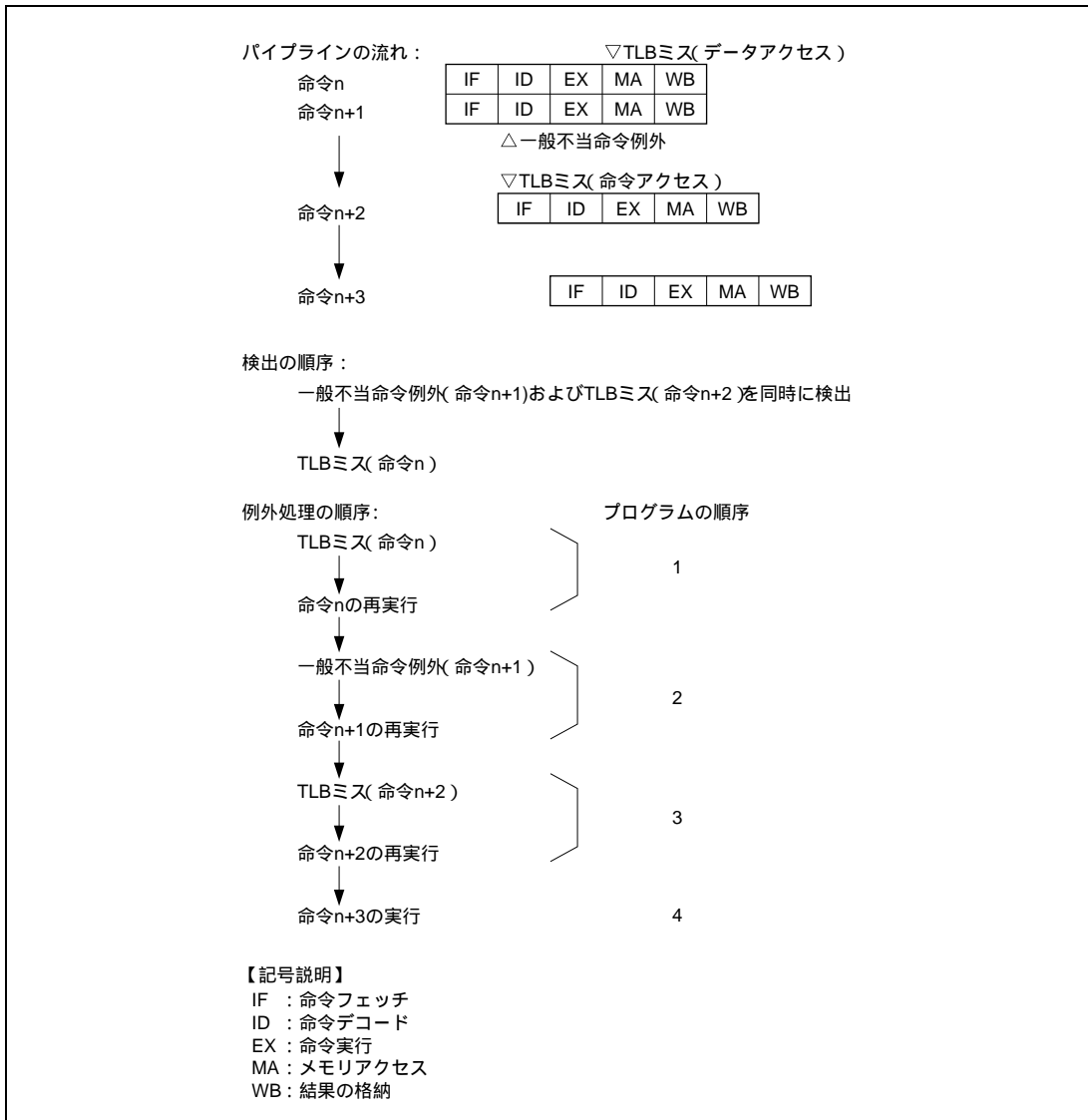


図 8.2 一般例外の受け付け順序の例

8.3.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 31 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留する

8. 例外処理

か、受け付けるかをソフトウェアによって設定可能です。

例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

8.3.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに岐分して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

8.4 レジスタの説明

例外処理に関するレジスタは以下の 3 つです。これらはアドレスが割り付けられており、P4 アドレスまたはエリア 7 アドレスを指定することでアクセスできます。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 8.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期クロック
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32	lck
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32	lck
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32	lck

表 8.2 レジスタ構成 (2)

名称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハードによる	ソフトによる /モジュール毎による
TRAPA 例外レジスタ	TRA	不定	不定	保持	*	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持		保持
割り込み事象レジスタ	INTEVT	不定	不定	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

8.4.1 例外事象レジスタ (EXPEVT)

EXPEVT は、例外コード 12 ビットから構成されています。EXPEVT に設定される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外発生時にハードウェアによって自動的に設定されます。EXPEVT はソフトウェアからも変更できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-												
初期値:	0	0	0	0	*											
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0		*	R/W	12ビットの例外コード

【注】 * パワーオンリセット時に H'000、マニュアルリセット時に H'020 がリセットされます。

8.4.2 割り込み事象レジスタ (INTEVT)

INTEVT は、割り込み例外コード 14 ビットから構成されています。割り込み例外コードは、例外発生時にハードウェアによって自動的に設定されます。INTEVT はソフトウェアからも変更できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-														
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~0		-	R/W	14ビットの割り込み例外コード

8. 例外処理

8.4.3 TRAPA 例外レジスタ (TRA)

TRA は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は TRAPA 命令実行時にハードウェアによって自動的に設定されます。TRA はソフトウェアからも変更できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	imm								-	-
初期値:	0	0	0	0	0	0	-	-	-	-	-	-	-	-	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~2	imm	-	R/W	8 ビットイミディエイトデータ
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.5 動作説明

8.5.1 リセット

(1) パワーオンリセット

- 要因：
 - $\overline{\text{RESET}}$ 端子ローレベル
 - WTC SRの $\overline{\text{WT/IT}}$ ビットが1かつWTC SRのRSTSビットが0の状態、ウォッチドッグタイマがオーバフローした場合。詳細は「第13章 ウォッチドッグタイマ (WDT)」を参照してください。
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。また、CPUの一部の機能については、 $\overline{\text{TRST}}$ 端子ローレベルおよび $\overline{\text{RESET}}$ 端子ローレベルにする必要があります。そのため、電源投入時には必ずパワーオンリセットと、 $\overline{\text{TRST}}$ 端子をローレベルに設定してください。 $\overline{\text{RESET}}$ 端子および $\overline{\text{MRESET}}$ 端子がいずれもローレベルの状態から、 $\overline{\text{RESET}}$ 端子を $\overline{\text{MRESET}}$ 端子より先にハイレベルに遷移させた場合、パワーオンリセット動作に続いてマニュアルリセットが発生する場合があります。 $\overline{\text{RESET}}$ 端子を $\overline{\text{MRESET}}$ 端子と同時または $\overline{\text{MRESET}}$ 端子より後にハイレベルにしてください。

```
Power_on_reset ()
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD=0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A000 0000;
}
```

8. 例外処理

(2) マニュアルリセット

- 要因：

- $\overline{\text{MRESET}}$ 端子ローレベルおよび $\overline{\text{RESET}}$ 端子ハイレベル
- SRのBLビットが1のときにユーザブレイクを除く一般例外が発生した場合
- WTCSRのRSTSビットが1のとき、ウォッチドッグタイマがオーパフローした場合。詳細は「第13章 ウォッチドッグタイマ (WDT)」を参照してください。

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset()
{
    EXPEVT = H'0000 0020;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A000 0000;
}
```

(3) H-UDI リセット

- 要因：SDIR.TI7~4がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル（IMASK3～IMASK0）がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
H-UDI_reset()
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A000 0000;
}
```

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル（IMASK3～IMASK0）がB'1111にセットされます。CPUおよび周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

8. 例外処理

```
TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'0000 0140;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A000 0000;
}
```

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル(IMASK3～IMASK0)がB'1111にセットされます。

CPUおよび周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```
TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'0000 0140;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A000 0000;
}
```

8.5.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'0000 0040 : H'0000 0060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0400;
}

```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

8. 例外処理

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 0040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0400;
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 0080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```


(4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'0000 00A0 : H'0000 00C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}

```

8. 例外処理

(5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 00A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```

(6) データアドレスエラー

• 要因：

- (a) ワードデータをワード境界以外 ($2n+1$) からアクセス
- (b) ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- (c) クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- (d) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第6章 メモリマネジメントユニット (MMU)」を参照してください。

```

Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'0000 00E0: H'0000 0100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}

```

8. 例外処理

(7) 命令アドレスエラー

- 要因：

- (a) ワード境界以外 ($2n+1$) から命令フェッチ

- (b) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第6章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 00E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```

(8) 無条件トラップ

- 要因：TRAPA命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'0000 0160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```

(9) 一般不当命令例外

- 要因：
 - (a) 遅延スロット以外にある未定義命令をデコード
 - 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
 - 未定義命令：H'FFFD
 - (b) 遅延スロット以外にある特権命令をユーザモードでデコード
 - 特権命令：LDC、STC、RTE、LDTLB、SLEEP、
 - ただし、LDC、STCでGBRをアクセスする命令を除く。
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

8. 例外処理

```
General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 0180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```

(10) スロット不当命令例外

- 要因:

- (a) 遅延スロットにある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令: H'FFFD

- (b) 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、LDC Rm,SR、LDC.L @Rm+、SR

- (c) 遅延スロット内の特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP、ただしLDC、STCでGBRをアクセスする命令を除く。

- (d) 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- 遷移先アドレス: VBR + H'0000 0100

- 遷移時動作:

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 01A0;
    SR.MD = 1;
    SR.RB = 1;
}
```

```

        SR.BL = 1;
        PC = VBR + H'0000 0100;
    }

```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*1をSR.FD = 1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

【注】*1 FPU 命令とは命令コードの最初の4ビットがFである命令（ただし、未定義命令 H'FFFD を除く）と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

```

    General_fpu_disable_exception()
    {
        SPC = PC;
        SSR = SR;
        SGR = R15;
        EXPEVT = H'0000 0800;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0100;
    }

```

8. 例外処理

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 0820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}
```

(13) ユーザブレイクポイントトラップ

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC = DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は「第31章 ユーザブレイクコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 01E0;
```



```

SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = (BRCR.UBDE==1 ? DBR : VBR + H'0000 0100);
}

```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'0000 0120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0100;
}

```

8.5.3 割り込み

(1) NMI

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第9章 割り込みコントローラ (INTC)」を参照してください。

8. 例外処理

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'0000 01C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0600;
}
```

(2) IRL 割り込み

- 要因：

SRの割り込みマスクレベル (IMASK3 ~ IMASK0) の設定がIRL (3 ~ 0) 割り込み優先レベルより小さく、かつSRのBLビットが0 (命令の切れ目で受け付けます)。

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。IRL (3 ~ 0) レベルに対応したコードをINTEVTにセットします。対応コードは表9.7を参照してください。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。受け付けレベルをSRの割り込みマスクレベル (IMASK3 ~ IMASK0) にセットしません。SRのBLビットが1のときは、マスクされます。詳細は「第9章 割り込みコントローラ (INTC)」を参照してください。

```
IRL ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'0000 0200 ~ H'0000 03C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0600;
}
```

(3) 周辺モジュール割り込み

• 要因：

SRの割り込みマスクレベル (IMASK3 ~ IMASK0) の設定が周辺モジュール (DMAC、IRQ、HCAN2、SSI、HAC、I²C、USB、LCDC、DMABRG、SCIF、SIM、HSPI、MMCIF、MFI、H-UDI、ADC、CMT、TMU、WDT、REF) 割り込み優先レベルより小さく、かつSRのBLが0 (命令の切れ目で受け付けます)。

• 遷移先アドレス：VBR + H'0000 0600

• 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。モジュール割り込みのレベルは、割り込みコントローラ内の割り込み優先レベル設定レジスタ (IRPA ~ IRPC) にB'0000からB'1111までの値をセットしてください。詳細は「第9章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'0000 0400 ~ H'0000 0FA0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'0000 0600;
}
```

8. 例外処理

(4) IRQ 割り込み

- 要因：

SRの割り込みマスクレベル (IMASK3 ~ IMASK0) の設定がIRQ (7 ~ 4) 割り込み優先レベルより小さく、かつSRのBLビットが0 (命令の切れ目で受け付けられます)。

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSRをSSRに、R15をSGRにセットします。

各割り込み要因に対応したコードをINTEVTにセットします。SRのMDビット、RBビット、BLビットを1にセットし、VBR + H'0600に分岐します。IRQ割り込みの優先レベルは、INTCのINTPRI00の当該ビットにB'0000からB'1111までの値をセットしてください。

```
    IRQ ()
    {
        SPC = PC;
        SSR = SR;
        SGR = R15;
        INTEVT = H'0000 0800 ~ H'0000 0860;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0600;
    }
```

8.5.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意してください。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー

6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)の様に2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。

8.6 使用上の注意事項

(1) 例外処理からの復帰

- ソフトウェアでSRのBLビットをチェックしてください。外部メモリにSPCおよびSSRを退避していた場合には、SRのBLビットを1にしてから、それらを回復してください。
- RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して例外処理から復帰します。

(2) SRのBLビットが1のときに例外または割り込みが発生した場合の動作

- 例外
ユーザブレークを除く例外が発生した場合には、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。
- 割り込み
通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリア

8. 例外処理

されてから受け付けられます。NMIが発生した場合は、保留するか受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

- 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、成立しないに関係なく、遅延分岐命令のPCがSPCにセットされます。

- 完了型の例外と割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作は保証されません。

8.7 制限事項

8.7.1 例外処理ルーチンの第一命令における制限事項

- VBR + H'100、VBR + H'400、VBR + H'600番地にBT、BF、BT/S、BF/S、BRA、BSR命令を配置しないでください。
- 加えて、BRCRのUBDEビットを1にして、ユーザブレイクデバッグサポート機能*を使用する場合、DBRの指す番地にBT、BF、BT/S、BF/S、BRA、BSR命令を配置しないでください。

【注】 * 「31.5 ユーザブレイクデバッグサポート機能」を参照してください。

9. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

9.1 特長

INTC には次のような特長があります。

- 割り込み優先順位を15レベル設定可能

8本の割り込み優先レベル設定レジスタにより、周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- SR.BLビットが1にセットされたときのNMI要求のマスク

SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

図 9.1 に INTC のブロック図を示します。

9. 割り込みコントローラ (INTC)

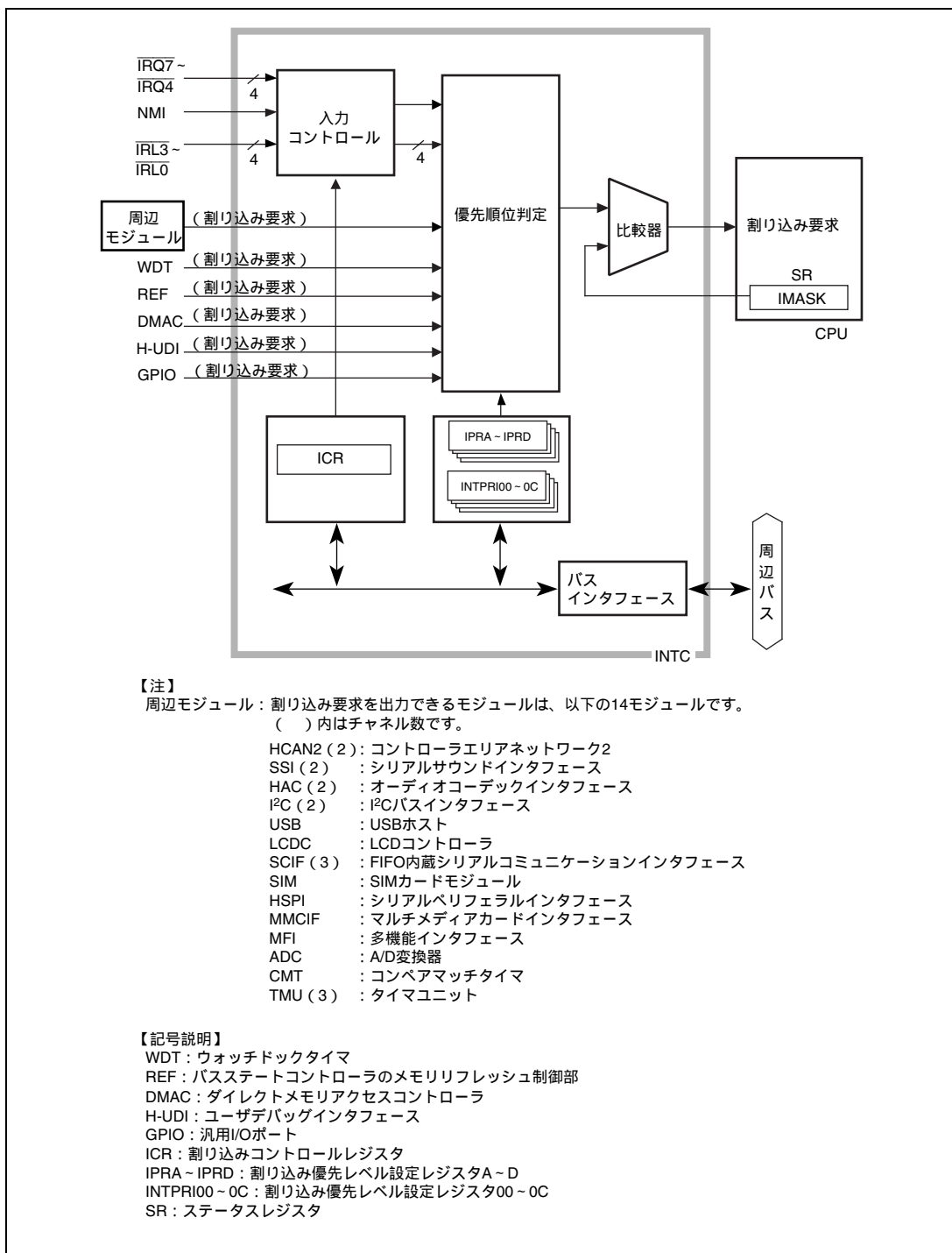


図 9.1 INTC のブロック図

9.2 入出力端子

INTC の端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
IRL 割り込み入力端子	$\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$	入力	IRL 割り込み要求信号を入力 (SR の IMASK でマスク可能)
IRQ 割り込み入力端子	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ4}}$	入力	IRQ 割り込み要求信号を入力

9.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 9.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期クロック
割り込みコントロールレジスタ	ICR	R/W	H'FFD0 0000	H'1FD0 0000	16	Pck
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'FFD0 0004	H'1FD0 0004	16	Pck
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'FFD0 0008	H'1FD0 0008	16	Pck
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'FFD0 000C	H'1FD0 000C	16	Pck
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'FFD0 0010	H'1FD0 0010	16	Pck
割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'FE08 0000	H'1E08 0000	32	Pck
割り込み優先レベル設定レジスタ 04	INTPRI04	R/W	H'FE08 0004	H'1E08 0004	32	Pck
割り込み優先レベル設定レジスタ 08	INTPRI08	R/W	H'FE08 0008	H'1E08 0008	32	Pck
割り込み優先レベル設定レジスタ 0C	INTPRI0C	R/W	H'FE08 000C	H'1E08 000C	32	Pck
割り込み要因レジスタ 00	INTREQ00	R	H'FE08 0020	H'1E08 0020	32	Pck
割り込み要因レジスタ 04	INTREQ04	R	H'FE08 0024	H'1E08 0024	32	Pck
割り込みマスクレジスタ 00	INTMSK00	R/W	H'FE08 0040	H'1E08 0040	32	Pck
割り込みマスクレジスタ 04	INTMSK04	R/W	H'FE08 0044	H'1E08 0044	32	Pck
割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'FE08 0060	H'1E08 0060	32	Pck
割り込みマスククリアレジスタ 04	INTMSKCLR04	W	H'FE08 0064	H'1E08 0064	32	Pck

9. 割り込みコントローラ (INTC)

表 9.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
割り込みコントロールレジスタ	ICR	H'0000*1	H'0000*1	保持	*	保持
		H'8000*2	H'8000*2	保持		保持
割り込み優先レベル設定レジスタ A	IPRA	H'0000	H'0000	保持		保持
割り込み優先レベル設定レジスタ B	IPRB	H'0000	H'0000	保持		保持
割り込み優先レベル設定レジスタ C	IPRC	H'0000	H'0000	保持		保持
割り込み優先レベル設定レジスタ D	IPRD	H'DA74	H'DA74	保持		保持
割り込み優先レベル設定レジスタ 00	INTPRI00	H'0000 0000	保持	保持		保持
割り込み優先レベル設定レジスタ 04	INTPRI04	H'0000 0000	保持	保持		保持
割り込み優先レベル設定レジスタ 08	INTPRI08	H'0000 0000	保持	保持		保持
割り込み優先レベル設定レジスタ 0C	INTPRI0C	H'0000 0000	保持	保持		保持
割り込み要因レジスタ 00	INTREQ00	H'0000 0000	保持	保持		保持
割り込み要因レジスタ 04	INTREQ04	H'0000 0000	保持	保持		保持
割り込みマスクレジスタ 00	INTMSK00	H'F3FF 7FFF	保持	保持		保持
割り込みマスクレジスタ 04	INTMSK04	H'00FF FFFF	保持	保持		保持
割り込みマスククリアレジスタ 00	INTMSKCLR00	-	-	-		-
割り込みマスククリアレジスタ 04	INTMSKCLR04	-	-	-		-

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

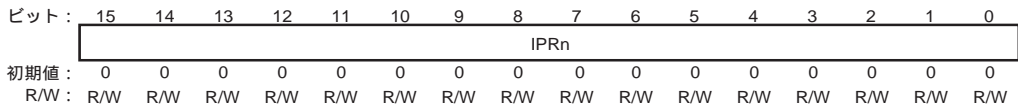
*1 NMI 端子がローレベル

*2 NMI 端子がハイレベル

9.3.1 割り込み優先レベル設定レジスタ A～D (IPRA～IPRD)

IPRA～IPRD は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、周辺モジュール割り込みの優先順位 (レベル 15～0) を設定します。

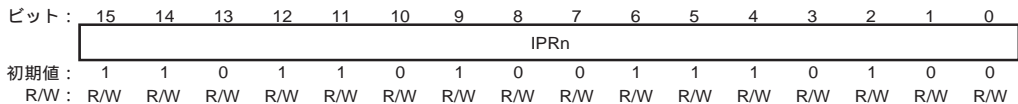
• IPRA～IPRC



ビット	ビット名	初期値	R/W	説明
15～0	IPRn	すべて0	R/W	4ビット単位で各割り込み要因の割り込み優先レベルを設定します。詳細は「表 9.3 割り込み要求元と IPRA～IPRD」を参照してください。

【注】n = 15～0

• IPRD



ビット	ビット名	初期値	R/W	説明
15～0	IPRn	H'DA74	R/W	4ビット単位で各割り込み要因の割り込み優先レベルを設定します。詳細は「表 9.3 割り込み要求元と IPRA～IPRD」を参照してください。

【注】n = 15～0

表 9.3 割り込み要求元と IPRA～IPRD

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ A (IPRA)	TMU0	TMU1	TMU2	リザーブ*2
割り込み優先レベル設定レジスタ B (IPRB)	WDT	REF*1	リザーブ*2	リザーブ*2
割り込み優先レベル設定レジスタ C (IPRC)	GPIO (IRL, IRQ)*3	DMAC	リザーブ*2	H-UDI
割り込み優先レベル設定レジスタ D (IPRD)	IRL0	IRL1	IRL2	IRL3

【注】 *1 REF: バスステートコントローラ内のメモリリフレッシュ制御部。詳細については「第 10 章 バスステートコントローラ (BSC)」を参照してください。

*2 リザーブビット: 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

*3 通常時 GPIO、ソフトウェアスタンバイモード時、GPIO および IRL、IRQ4、IRQ5 の割り込み優先レベルを設定します。IRQ4、IRQ5 の割り込みでソフトウェアスタンバイモードから復帰する場合、INTPRI00 の設定も必要です。両レジスタへは同じ値を設定してください。なお、IRQ6、IRQ7 の割り込みでは、ソフトウェアスタンバイモードから復帰することはできません。

9. 割り込みコントローラ (INTC)

表 9.3 に示すように、1 本のレジスタに 4 組の周辺モジュールが割り当てられています。ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

9.3.2 割り込み優先レベル設定レジスタ 00～0C (INTPRI00～INTPRI0C)

INTPRI00～INTPRI0C は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタで、周辺モジュール割り込みの優先順位 (レベル 15～0) を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0		すべて 0	R/W	4 ビット単位で各割り込み要因の割り込み優先レベルを設定します。詳細は「表 9.4 割り込み要求元と INTPRI00～INTPRI0C」を参照してください。

表 9.4 割り込み要求元と INTPRI00～INTPRI0C*¹

レジスタ	ビット							
	31～28	27～24	23～20	19～16	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 00	IRQ4* ³	IRQ5* ³	IRQ6	IRQ7	リザーブ* ²	リザーブ* ²	リザーブ* ²	リザーブ* ²
割り込み優先レベル設定レジスタ 04	HCAN2(0)	HCAN2(1)	SSI(0)	SSI(1)	HAC(0)	HAC(1)	I ² C(0)	I ² C(1)
割り込み優先レベル設定レジスタ 08	USB	LCDC	DMABRG	SCIF(0)	SCIF(1)	SCIF(2)	SIM	HSPI
割り込み優先レベル設定レジスタ 0C	リザーブ* ²	リザーブ* ²	MMCIF	リザーブ* ²	MFI	リザーブ* ²	ADC	CMT

【注】 *¹ 表 9.4 に示すように、1 本のレジスタに 8 組の周辺モジュールが割り当てられています。各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

*² リザーブビット: 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

*³ ソフトウェアスタンバイモード時、IRQ4、IRQ5 の割り込みを許可する場合、本レジスタへの設定とともに IPRC への設定が必要です。両レジスタへは同じ値を設定してください (IRQ6、IRQ7 の割り込みではソフトウェアスタンバイモードから復帰することはできません)。

9.3.3 割り込みコントロールレジスタ (ICR)

ICRは、外部割り込み入力端子NMIの入力信号検出モードを設定し、NMI端子への入力信号レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI	-	-	-	-	NMIB	NMIE	IRLM	-	-	-	-	-	-	-
初期値:	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	-	-	-	-	R/W	R/W	R/W	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI入力レベル NMI端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI端子のレベルを知ることができます。書き込みは無効です。 0: NMI端子にローレベルが入力されている 1: NMI端子にハイレベルが入力されている
14	MAI	0	R/W	NMI割り込みマスク CPUのSRのBLビットにかかわらず、NMI端子の入力レベルがローの期間、すべての割り込みをマスクするかどうかを指定します。通常動作時およびスリープ時はNMI割り込みは受け付けられません。スタンバイ時はNMI端子がローの間、すべての割り込みはマスクされ、スタンバイを解除しません。 0: NMI端子がローレベルでも、割り込み許可 1: NMI端子がローレベルの間、割り込み禁止
13~10	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	NMIB	0	R/W	NMIブロックモード CPUのSRのBLビットが1の間、NMI要求を保留するか即時検出するかを選択します。 BLビットが1の間に割り込み要求が許可されていると、以前の例外情報は失われますので、前もって保存しておく必要があります。なお本ビットはNMIの受け付けで自動的にクリアされます。 0: SRのBLビットが1の間、NMI割り込み要求を保留する 1: SRのBLビットが1の間、NMI割り込み要求を検出する
8	NMIE	0	R/W	NMIエッジセレクト NMI端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0: NMI入力の立ち下がりエッジで割り込み要求を検出 1: NMI入力の立ち上がりエッジで割り込み要求を検出

9. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
7	IRLM	0	R/W	IRL ビンモード IRL3～IRL0 端子がレベルエンコード割り込み要求として使われるか、4つの独立した割り込み要求として使われるかを選択します。 0: IRL 端子はレベルエンコード割り込み要求として使われる 1: IRL 端子は4つの独立した割り込み要求(レベルセンスのIRQモード)として使われる
6～0	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * NMI 端子入力がハイレベルのとき 1、ローレベルのとき 0

9.3.4 割り込み要因レジスタ 00、04 (INTREQ00、INTREQ04)

INTREQ00、INTREQ04 は、それぞれ 32 ビットの読み出し専用レジスタで、INTC にどの割り込みが要求されているかを示すレジスタです。INTPRI00、04 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0		すべて0	R	割り込みリクエスト 31～0 各ビットに対応する割り込み要求が存在することを、それぞれ示します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求がないことを示します。 1: 対応する割り込み要求があることを示します。

表 9.5 割り込み要求元と各レジスタのビットの割り付け (1)

- INTREQ00、INTMSK00、INTMSKCLR00

ビット番号	モジュール	割り込み	ビット番号	モジュール	割り込み
31	IRQ	IRQ4	15	-	-
30	IRQ	IRQ5	14	DMABRG	DMABRG10
29	IRQ	IRQ6	13	DMABRG	DMABRG11
28	IRQ	IRQ7	12	DMABRG	DMABRG12
27	-	-	11	SCIF(0)	ERI0
26	-	-	10	SCIF(0)	RX10
25	HCAN2(0)	HCAN10	9	SCIF(0)	BRI0
24	HCAN2(1)	HCAN11	8	SCIF(0)	TX10
23	SSI(0)	SS10	7	SCIF(1)	ERI1
22	SSI(1)	SS11	6	SCIF(1)	RX11
21	HAC(0)	HAC10	5	SCIF(1)	BRI1
20	HAC(1)	HAC11	4	SCIF(1)	TX11
19	I ² C(0)	IIC10	3	SCIF(2)	ERI2
18	I ² C(1)	IIC11	2	SCIF(2)	RX12
17	USB	USBI	1	SCIF(2)	BRI2
16	LCDC	VINT	0	SCIF(2)	TX12

表 9.5 割り込み要求元と各レジスタのビットの割り付け (2)

- INTREQ04、INTMSK04、INTMSKCLR04

ビット番号	モジュール	割り込み	ビット番号	モジュール	割り込み
31	-	-	15	MMCIF	MMCI3
30	-	-	14	-	-
29	-	-	13	-	-
28	-	-	12	-	-
27	-	-	11	-	-
26	-	-	10	-	-
25	-	-	9	-	-
24	-	-	8	-	-
23	SIM	SIMERI	7	-	-
22	SIM	SIMRXI	6	MFI	MFI1
21	SIM	SIMTXI	5	-	-
20	SIM	SIMTEI	4	-	-
19	HSPI	HSPI1	3	-	-
18	MMCIF	MMCI0	2	-	-
17	MMCIF	MMCI1	1	ADC	ADI
16	MMCIF	MMCI2	0	CMT	CMT1

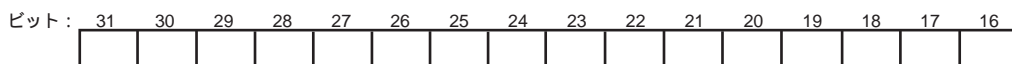
9. 割り込みコントローラ (INTC)

9.3.5 割り込みマスクレジスタ 00、04 (INTMSK00、INTMSK04)

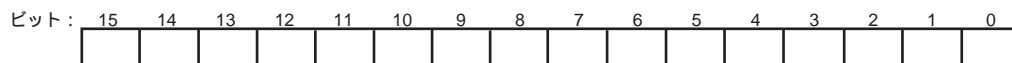
INTMSK00、INTMSK04 は、それぞれ 32 ビットのレジスタで、各割り込みが要求ごとにマスクするかどうかを設定します。INTMSK00、INTMSK04 の対応するビットに 1 を書き込むことで、割り込み要求をマスクできます。

各割り込みマスクを解除するには INTMSKCLR00、INTMSKCLR04 の対応するビットに 1 を書き込みます。INTMSK00、INTMSK04 に 0 を書き込んで値は変化しません。

• INTMSK00



初期値: 1 1 1 1 0 0 1 1 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R R R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W



初期値: 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W: R R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~28		すべて 1	R/W	割り込みマスク 31~28 各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求を受け付けます。 1: 対応する割り込み要求をマスクします。
27、26		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16		すべて 1	R/W	割り込みマスク 25~16 各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求を受け付けます。 1: 対応する割り込み要求をマスクします。
15		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~0		すべて 1	R/W	割り込みマスク 14~0 各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求を受け付けます。 1: 対応する割り込み要求をマスクします。

• INTMSK04

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~15		すべて1	R/W	割り込みマスク 23~15 各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求を受け付けます。 1: 対応する割り込み要求をマスクします。
14~7		すべて1	R	リザーブビット 初回読み出すときは1が読み出されます。2回目以降は0が読み出されます。書き込む値は常に0にしてください。
6~0		すべて1	R/W	割り込みマスク 6~0 各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0: 対応する割り込み要求を受け付けます。 1: 対応する割り込み要求をマスクします。

9.3.6 割り込みマスククリアレジスタ 00、04 (INTMSKCLR00、INTMSKCLR04)

INTMSKCLR00、INTMSKCLR04 は、32 ビットの読み出し専用レジスタで、各割り込みが要求ごとのマスクをクリアするレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

9. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
31~0	-	-	W	割り込みマスククリア 31~0 各ビットに対応する割り込み要求マスクをクリアするかどうかを設定します。各ビットと割り込み要因の対応は、表 9.5 を参照してください。 0 : 対応する割り込みマスクを変更しません。 1 : 対応する割り込みマスクをクリアします。

9.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、周辺モジュールの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

9.4.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。CPU 内の SR の BL ビットが 1 にセットされていないかぎりいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中は BL ビットが 1 でも受け付けられません。

また、設定により BL ビットが 1 でも NMI を受け付けることができます。

NMI 端子からの入力はエッジで検出されます。検出エッジは ICR の NMI エッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR の NMIE ビットを書き換えた場合、書き換えてから最大 6 バスクロック期間、NMI 割り込みを検出しません。

NMI 割り込み例外処理によって、SR の割り込みマスクレベル (IMASK3~IMASK0) が影響されることはありません。

9.4.2 IRQ 割り込み

IRQ 割り込みは、 $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ4}}$ 端子でレベルとして入力される割り込みです。IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

9.4.3 IRL 割り込み

IRL 割り込みは、 $\overline{\text{IRL3}}$ ~ $\overline{\text{IRL0}}$ 端子でレベルとして入力される割り込みです。

優先レベルは $\overline{\text{IRL3}}$ ~ $\overline{\text{IRL0}}$ 端子で示されるレベルです。 $\overline{\text{IRL3}}$ ~ $\overline{\text{IRL0}}$ が 0 (0000) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。15 (1111) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。図 9.2 に IRL 割り込みの接続例を、表 9.6 に $\overline{\text{IRL}}$ 端子と割り込みレベルの対応を示します。

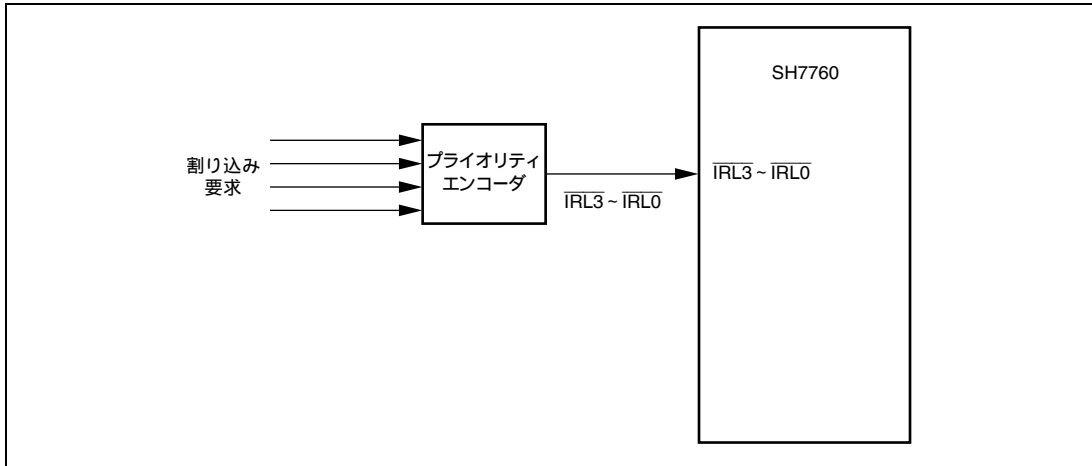


図 9.2 IRL 割り込みの接続例

表 9.6 $\overline{IRL3} \sim \overline{IRL0}$ 端子と割り込みレベル

$\overline{IRL3}$	$\overline{IRL2}$	$\overline{IRL1}$	$\overline{IRL0}$	割り込み優先レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、 \overline{IRL} 端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、SR の割り込みマスクレベル ($IMASK3 \sim IMASK0$) が影響されることはありません。

9. 割り込みコントローラ (INTC)

ん。ICR の IRLM ビットを 1 にすることにより、 $\overline{IRL0} \sim \overline{IRL3}$ 端子を 4 つの独立した割り込み要求のために使うことができます。

独立割り込み要求の際の割り込み優先レベルは、割り込み優先レベル設定レジスタ (IPRD) により設定できません。

9.4.4 周辺モジュール割り込み

周辺モジュール割り込みは、周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、IPRA ~ IPRD、INTPRI00 ~ INTPRI0C によって、モジュールごとに優先レベル 15 ~ 0 の範囲で設定できます。

周辺モジュール割り込み処理によって、SR の割り込みマスクビット (IMASK3 ~ IMASK0) が影響されることはありません。

周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出してから BL ビットを 0 にしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

9.4.5 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 9.7 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

周辺モジュールの優先順位は、IPRA ~ IPRD、INTPRI00 ~ INTPRI0C によって、優先レベル 15 ~ 0 の範囲で任意に設定できます。リセットによって、周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 9.7 に示すデフォルト優先順位に従って処理されます。

IPRA ~ IPRD、INTPRI00 ~ INTPRI0C の更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

表 9.7 割り込み例外処理要因と優先順位

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	IPR 設定単位内 の優先順位	デフォルト 優先順位		
NMI		H'1C0	16	-	-	高		
IRL3 ~ 0	IRL3 - IRL0 = 0	H'200	15	-	-	↑		
	IRL3 - IRL0 = 1	H'220	14	-	-			
	IRL3 - IRL0 = 2	H'240	13	-	-			
	IRL3 - IRL0 = 3	H'260	12	-	-			
	IRL3 - IRL0 = 4	H'280	11	-	-			
	IRL3 - IRL0 = 5	H'2A0	10	-	-			
	IRL3 - IRL0 = 6	H'2C0	9	-	-			
	IRL3 - IRL0 = 7	H'2E0	8	-	-			
	IRL3 - IRL0 = 8	H'300	7	-	-			
	IRL3 - IRL0 = 9	H'320	6	-	-			
	IRL3 - IRL0 = A	H'340	5	-	-			
	IRL3 - IRL0 = B	H'360	4	-	-			
	IRL3 - IRL0 = C	H'380	3	-	-			
	IRL3 - IRL0 = D	H'3A0	2	-	-			
IRL3 - IRL0 = E	H'3C0	1	-	-				
IRL	IRL0	H'240	15 ~ 0 (13)	IPRD (15 ~ 12)	-	↑		
	IRL1	H'2A0	15 ~ 0 (10)	IPRD (11 ~ 8)	-			
	IRL2	H'300	15 ~ 0 (7)	IPRD (7 ~ 4)	-			
	IRL3	H'360	15 ~ 0 (4)	IPRD (3 ~ 0)	-			
H-UDI	H-UDI	H'600	15 ~ 0 (0)	IPRC (3 ~ 0)	-		↑	
GPIO	GPIOI	H'620	15 ~ 0 (0)	IPRC (15 ~ 12)	-			
DMAC	DMTE0	H'640	15 ~ 0 (0)	IPRC (11 ~ 8)	高 ↑ ↓ 低			↑
	DMTE1	H'660						
	DMTE2	H'680						
	DMTE3	H'6A0						
	DMTE4	H'780						
	DMTE5	H'7A0						
	DMTE6	H'7C0						
	DMTE7	H'7E0						
	DMAE	H'6C0						
IRQ	IRQ4	H'800	15 ~ 0 (0)	INTPRI00 (31 ~ 28)	高 ↑ ↓ 低	↑		
	IRQ5	H'820	15 ~ 0 (0)	INTPRI00 (27 ~ 24)				
	IRQ6	H'840	15 ~ 0 (0)	INTPRI00 (23 ~ 20)				
	IRQ7	H'860	15 ~ 0 (0)	INTPRI00 (19 ~ 16)				

9. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	IPR 設定単位内 の優先順位	デフォルト 優先順位
HCAN2(0)	CANI0	H'900	15 ~ 0 (0)	INTPRI04 (31 ~ 28)		
HCAN2(1)	CANI1	H'920	15 ~ 0 (0)	INTPRI04 (27 ~ 24)		
SSI(0)	SSII0	H'940	15 ~ 0 (0)	INTPRI04 (23 ~ 20)		
SSI(1)	SSII1	H'960	15 ~ 0 (0)	INTPRI04 (19 ~ 16)		
HAC(0)	HACI0	H'980	15 ~ 0 (0)	INTPRI04 (15 ~ 12)		
HAC(1)	HACI1	H'9A0	15 ~ 0 (0)	INTPRI04 (11 ~ 8)		
I ² C(0)	IICI0	H'9C0	15 ~ 0 (0)	INTPRI04 (7 ~ 4)		
I ² C(1)	IICI1	H'9E0	15 ~ 0 (0)	INTPRI04 (3 ~ 0)		
USB	USBI	H'A00	15 ~ 0 (0)	INTPRI08 (31 ~ 28)		
LCDC	VINT	H'A20	15 ~ 0 (0)	INTPRI08 (27 ~ 24)		
DMABRG	DMABRG10	H'A80	15 ~ 0 (0)	INTPRI08 (23 ~ 20)	高	
	DMABRG11	H'AA0			▲	
	DMABRG12	H'AC0			低	
SCIF(0)	ERI0	H'880	15 ~ 0 (0)	INTPRI08 (19 ~ 16)	高	
	RXI0	H'8A0			▲	
	BRI0	H'8C0			▼	
	TXI0	H'8E0			低	
SCIF(1)	ERI1	H'B00	15 ~ 0 (0)	INTPRI08 (15 ~ 12)	高	
	RXI1	H'B20			▲	
	BRI1	H'B40			▼	
	TXI1	H'B60			低	
SCIF(2)	ERI2	H'B80	15 ~ 0 (0)	INTPRI08 (11 ~ 8)	高	
	RXI2	H'BA0			▲	
	BRI2	H'BC0			▼	
	TXI2	H'BE0			低	
SIM	SIMERI	H'C00	15 ~ 0 (0)	INTPRI08 (7 ~ 4)	高	
	SIMRXI	H'C20			▲	
	SIMTXI	H'C40			▼	
	SIMTEI	H'C60			低	
HSPI	HSPII	H'C80	15 ~ 0 (0)	INTPRI08 (3 ~ 0)		
MMCIF	MMC10	H'D00	15 ~ 0 (0)	INTPRI0C (23 ~ 20)	高	
	MMC11	H'D20			▲	
	MMC12	H'D40			▼	
	MMC13	H'D60			低	

9. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	IPR 設定単位内 の優先順位	デフォルト 優先順位
MF1	MF1I	H'E80	15~0(0)	INTPRI0C(15~12)		高 ↑ ↓ 低
-	-	H'F00	15~0(0)	INTPRI0C(11~8)	高	
	-	H'F20			↑	
	-	H'F40			↓	
	-	H'F60			低	
ADC	ADI	H'F80	15~0(0)	INTPRI0C(7~4)		
CMT	CMTI	H'FA0	15~0(0)	INTPRI0C(3~0)		
TMU0	TUNI0	H'400	15~0(0)	IPRA(15~12)	-	
TMU1	TUNI1	H'420	15~0(0)	IPRA(11~8)	-	
TMU2	TUNI2	H'440	15~0(0)	IPRA(7~4)	高	
	TICPI2	H'460			低	
WDT	ITI	H'560	15~0(0)	IPRB(15~12)	-	
REF	RCMI	H'580	15~0(0)	IPRB(11~8)	高	
	ROVI	H'5A0			低	

- 【注】 TUNI0~TUNI2: アンダフロー割り込み
TICPI2: インพุットキャプチャ割り込み
ERI: 受信エラー割り込み
RXI: 受信データフル割り込み
TXI: 送信データエンブティ割り込み
SIMTEI: 送信終了割り込み
BRI: ブレーク割り込み要求
ITI: インターバルタイマ割り込み
RCMI: コンペアマッチ割り込み
ROVI: リフレッシュカウンタオーバーフロー割り込み
H-UDI: ユーザデバッグインタフェース
DMTE0~DMTE7: DMAC 転送終了割り込み
DMAE: DMAC アドレスエラー割り込み
VINT: 垂直同期割り込み

9.5 動作説明

9.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 9.3 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から IPRA ~ IPRD、INTPRI00 ~ INTPRI0C に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 9.4 に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU の SR の割り込みマスクレベル (IMASK3 ~ IMASK0) とが比較されます。IMASK3 ~ IMASK0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。そのときの R15 を SGR に退避します。
7. SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'0000 0600 の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクレベル (IMASK3 ~ IMASK0) は変化しません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 9.8 で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。
 3. 割り込み要因によっては、INTMSKCLR00、04 レジスタを使用して、要因ごとの割り込みマスク (INTMSK00、04) をクリアする必要があります。

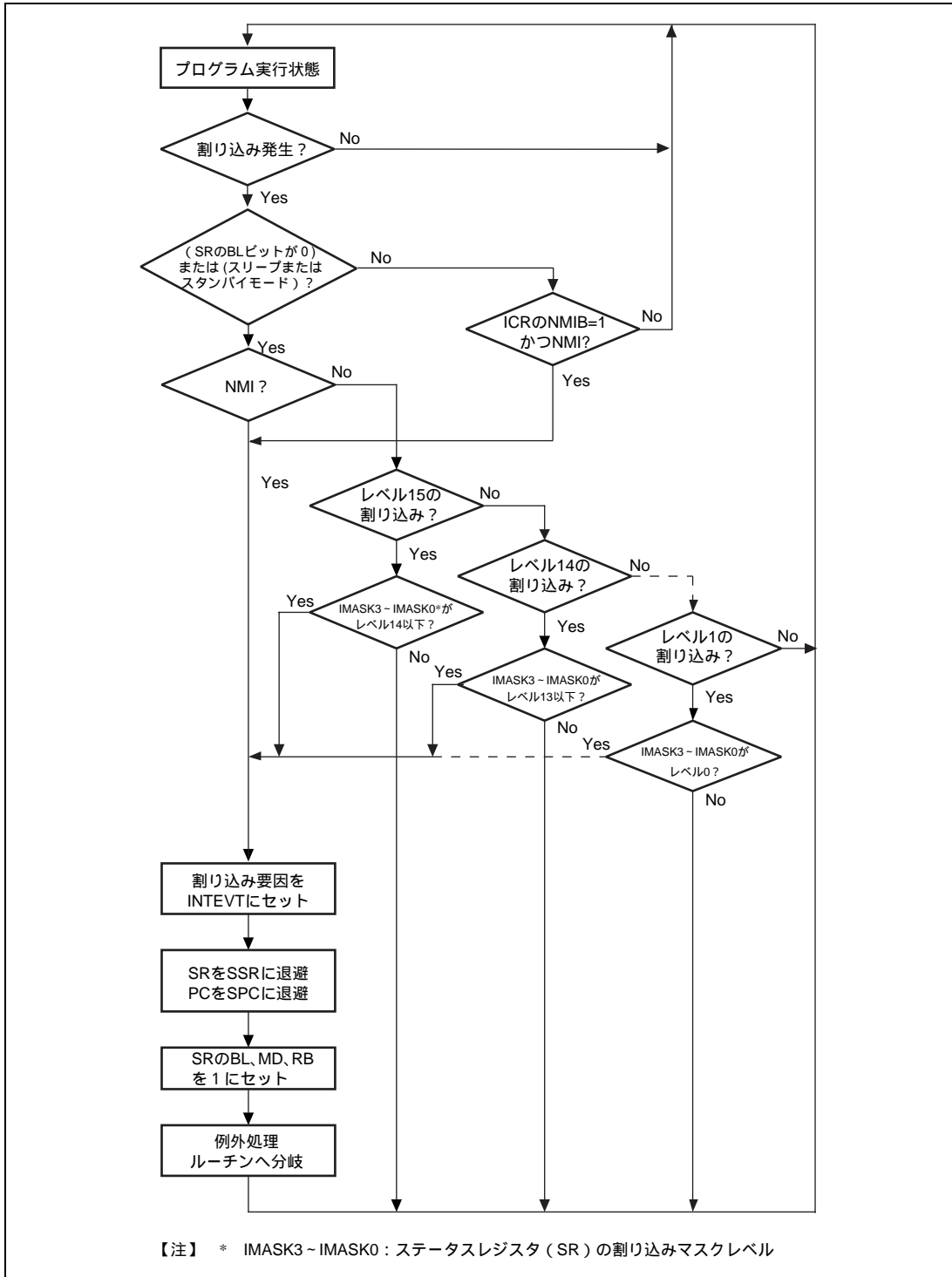


図 9.3 割り込み動作フロー

9.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクレベル (IMASK3 ~ IMASK0) も受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

9.5.3 MAI ビットによる割り込みマスク

ICRのMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みでスタンバイの解除を行えません。

9.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 9.8 に示します。

表 9.8 割り込み応答時間

項目		ステート数			備考
		NMI	IRL	IRQ 周辺 モジュール	
優先順位判定および SR のマスクビットとの比較時間		1lcyc + 4Bcyc	1lcyc + 7Bcyc	1lcyc + 2Bcyc	
CPU が実行中のシーケンス終了までの待ち時間		S - 1 (0) × lcyc			
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチを開始するまでの時間		4 × lcyc			
応答時間	合計	5 lcyc + 4 Bcyc+ (S-1) lcyc	5 lcyc + 7 Bcyc+ (S-1) lcyc	5 lcyc + 2 Bcyc+ (S-1) lcyc	
	最小時	13 lcyc	19 lcyc	9 lcyc	lcyc : Bcyc = 2 : 1 のとき
	最大時	36 + S lcyc	60 + S lcyc	20 + S lcyc	lcyc : Bcyc = 8 : 1 のとき

lcyc : CPU 等に供給される内部クロックの 1 サイクル時間

Bcyc : CKIO の 1 サイクル時間

S : 命令実行ステート数

9. 割り込みコントローラ (INTC)

10. バスステートコントローラ (BSC)

BSC は、外部メモリ空間の分割、各種のメモリやバスインタフェース仕様に応じた制御信号を出力します。BSC の機能によって、シンクロナス DRAM、SRAM、ROM など本 LSI に接続できます。また PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

10.1 特長

BSC には、次のような特長があります。

- 外部メモリ空間を7つに分割して管理
 - エリア0～6までの各エリアは、最大64Mバイト
 - 各エリアのバス幅をレジスタにより設定可能 (エリア0のみ外部ピンにより設定)
 - $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - エリアごとに接続できるメモリの種類を指定
 - 各エリアに接続するメモリの制御信号を出力
 - 異なったエリアに対する連続したメモリアクセスや同一エリアに対する読み出しアクセス直後の書き込みアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - $\overline{\text{RDY}}$ 端子によるウェイトステート挿入
 - 接続可能エリア：0～6
 - 設定可能バス幅：32、16、8
- シンクロナスDRAMインタフェース
 - シンクロナスDRAM容量に応じたロウアドレス / カラムアドレスマルチプレクス
 - パースト動作
 - オートリフレッシュとセルフリフレッシュ
 - シンクロナスDRAM制御信号のタイミングをレジスタの設定により制御可能
 - 同一ロウアドレス連続アクセス
 - 接続可能エリア：2、3

10. バスステートコントローラ (BSC)

- 設定可能バス幅 : 32
- バーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のバースト転送動作
 - 接続可能エリア : 0、5、6
 - 設定可能バス幅 : 32、16、8
- MPXインタフェース
 - アドレス/データマルチプレクス
 - アドレス/データマルチプレクスが必要な周辺LSIを接続可能
 - 接続可能エリア : 0~6
 - 設定可能バス幅 : 32
- バイト制御SRAMインタフェース
 - バイト制御可能なSRAMインタフェース
 - 接続可能エリア : 1、4
 - 設定可能バス幅 : 32、16
- PCMCIAインタフェース (リトルエンディアンモード時のみ)
 - ウェイトステート挿入をプログラムで制御可能
 - I/Oバス幅のバスサイジング機能
 - 接続可能エリア : 5、6
 - 設定可能バス幅 : 16、8
- リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生
 - リフレッシュカウンタのオーバフローで割り込み要求発生

BSCのブロックを図 10.1 に示します。

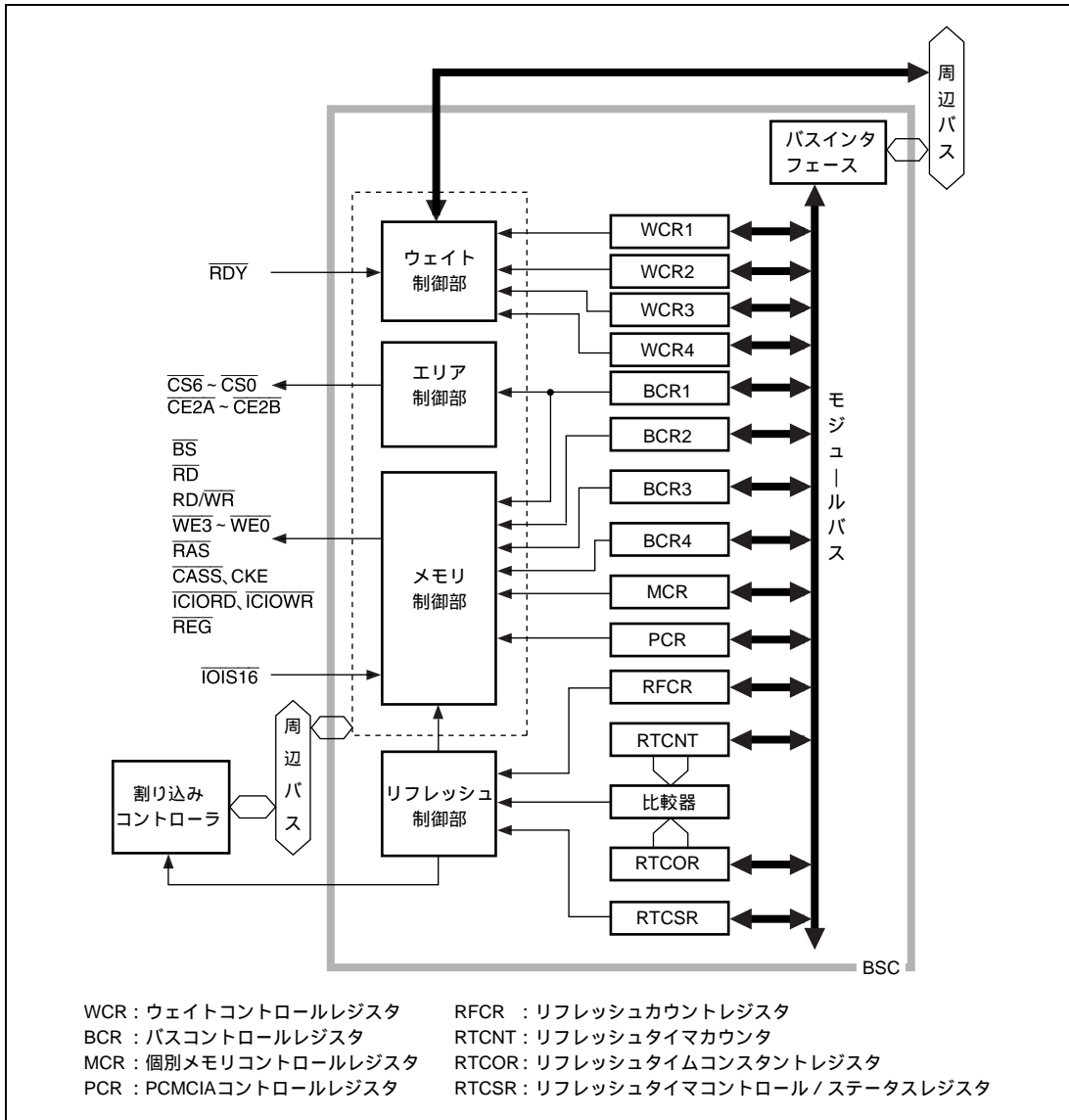


図 10.1 BSCのブロック図

10. バスステートコントローラ (BSC)

10.2 入出力端子

BSC の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D31 ~ D0	入出力	データ入出力
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号 シンクロナス DRAM または MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
チップセレクト 6 ~ 0	$\overline{CS6} \sim \overline{CS0}$	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5}$ 、 $\overline{CS6}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用
リード/ライト	$\overline{RD}/\overline{WR}$	出力	データバスの入出力方向指示信号 シンクロナス DRAM / PCMCIA インタフェースの書き込み指示信号としても使用
ロウアドレスストロ ープ	\overline{RAS}	出力	シンクロナス DRAM インタフェース設定時、 \overline{RAS} 信号
リード/カラムアド レスストロープ/サイ クルフレーム	$\overline{RD}/\overline{CASS}/$ \overline{FRAME}	出力	読み出しサイクルを示すストロープ信号 シンクロナス DRAM インタフェース設定時、 \overline{CAS} 信号 MPX バス使用時、 \overline{FRAME} 信号
データイネーブル 0	$\overline{WE0}/$ $\overline{DQM0}/$ \overline{REG}	出力	PCMCIA インタフェース設定時、 \overline{REG} 信号 SRAM インタフェース設定時、D7 ~ D0 対応のライトストロープ信号 シンクロナス DRAM インタフェース設定時、D7 ~ D0 対応の選択信号
データイネーブル 1	$\overline{WE1}/$ $\overline{DQM1}$	出力	PCMCIA インタフェース設定時、ライトストロープ信号 SRAM インタフェース設定時、D15 ~ D8 対応のライトストロープ信号 シンクロナス DRAM インタフェース設定時、D15 ~ D8 対応の選択信号
データイネーブル 2	$\overline{WE2}/$ $\overline{DQM2}/$ $\overline{ICIOR\overline{D}}$	出力	PCMCIA インタフェース設定時、 $\overline{ICIOR\overline{D}}$ 信号 SRAM インタフェース設定時、D23 ~ D16 対応のライトストロープ信号 シンクロナス DRAM インタフェース設定時、D23 ~ D16 対応の選択信号
データイネーブル 3	$\overline{WE3}/$ $\overline{DQM3}/$ $\overline{ICIOR\overline{W}}$	出力	PCMCIA インタフェース設定時、 $\overline{ICIOR\overline{W}}$ 信号 SRAM インタフェース設定時、D31 ~ D24 対応のライトストロープ信号 シンクロナス DRAM インタフェース設定時、D31 ~ D24 対応の選択信号
レディ	\overline{RDY}	入力	ウェイトステート要求信号
エリア 0 の MPX イン タフェース指定 / 16 ビット I/O	MD6/IOIS16	入力	パワーオンリセット時、エリア 0 のバスを MPX インタフェースとする (1 : SRAM、0 : MPX) PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効
クロックイネーブル	CKE	出力	シンクロナス DRAM のクロックイネーブル制御信号

名称	信号名	入出力	機能
バス解放要求	BREQ	入力	バス解放の要求信号
バス使用許可	BACK	出力	バス使用の許可信号
エリア 0 バス幅 / PCMCIA カードセレクト	MD3/CE2A* MD4/CE2B*	入力/ 出力	パワーオンリセット時、エリア 0 のバス幅設定信号 PCMCIA 使用時、 $\overline{CE2A}$ 、 $\overline{CE2B}$
エンディアン切り替え	MD5	入力	パワーオンリセット時、エンディアン設定

【注】 * 入出力の切り替えは、バスコントロールレジスタ 1 (BCR1) の A56PCM ビットで行います。

10.3 エリアの概要

(1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレス空間は、上位側アドレスの値によって 5 領域に分割されています。また、外部メモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレス空間は、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 6 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、外部アドレスのエリア分割について記述します。

本 LSI は、表 10.2 に示すように外部アドレスの 7 つのエリアにおおの各種メモリ / PC カードを接続でき、おおのに対応してチップセレクト信号 ($\overline{CS0} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。エリア 2 や 3 に、シンクロナス DRAM を接続する場合、 \overline{RAS} 、 \overline{CASS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{DQM} などの信号もアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$ に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$ をアサートします。

10. バスステートコントローラ (BSC)

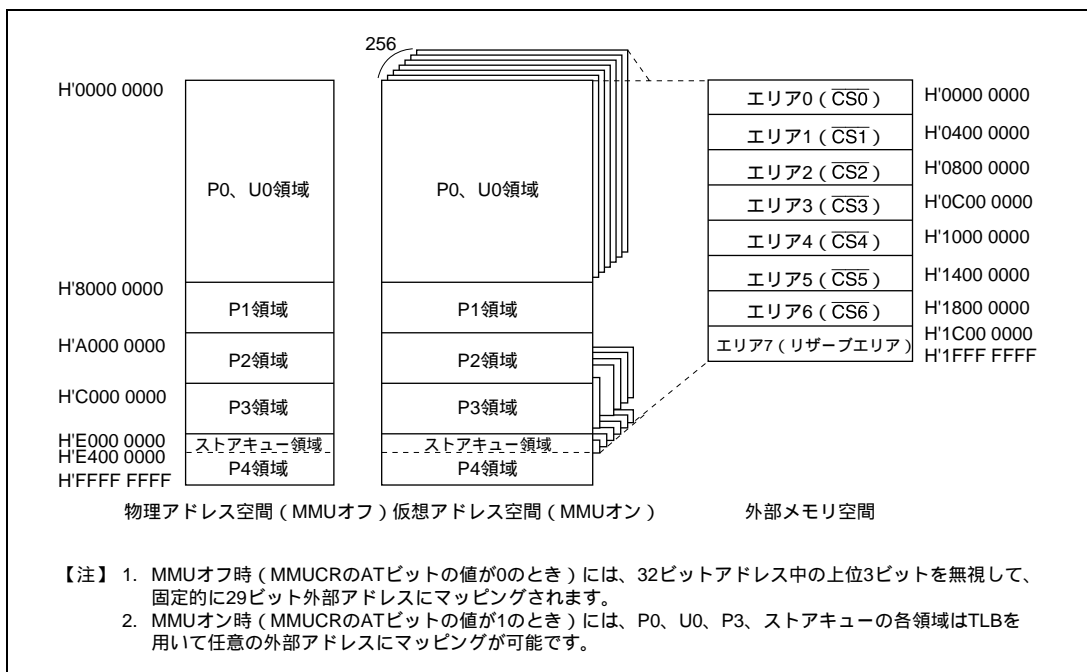


図 10.2 仮想アドレス空間と外部メモリ空間の対応

表 10.2 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能バス幅 ^{*1*} ^{*2}	アクセスサイズ
0	H'0000 0000 ~ H'03FF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			バースト ROM	8、16、32	
			MPX	32	
1	H'0400 0000 ~ H'07FF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			MPX	32	
			バイト制御 SRAM	16、32	
2	H'0800 0000 ~ H'0BFF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			シンクロナス DRAM	32 ^{*3}	
			MPX	32	
3	H'0C00 0000 ~ H'0FFF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			シンクロナス DRAM	32 ^{*3}	
			MPX	32	
4	H'1000 0000 ~ H'13FF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			MPX	32	
			バイト制御 SRAM	16、32	
5	H'1400 0000 ~ H'17FF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			MPX	32	
			バースト ROM	8、16、32	
			PCMCIA	8、16 ^{*4}	
6	H'1800 0000 ~ H'1BFF FFFF	64MB	SRAM	8、16、32	8、16、32、 64 ^{*6} ビット、 32 バイト
			MPX	32	
			バースト ROM	8、16、32	
			PCMCIA	8、16 ^{*4}	
7 ^{*5}	H'1C00 0000 ~ H'1FFF FFFF	64MB	-	-	

【注】 *1 エリア 0 は、外部ピンでメモリバス幅を指定

*2 エリア 0 以外はレジスタでメモリバス幅を指定

*3 シンクロナス DRAM インタフェース時は、バス幅は 32 ビットのみ

*4 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ

*5 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

*6 アクセスサイズが 64 ビットとなるのは DMAC による転送 (CHCRn.TS=000) の場合のみ。

FM0V (FPSCR.SZ=1) による外部メモリへのアクセスの場合、アクセスサイズが 32 ビットの転送が、2 回行われます。

10. バスステートコントローラ (BSC)

エリア0 : H'0000 0000	SRAM / バーストROM / MPX
エリア1 : H'0400 0000	SRAM / MPX / バイト制御SRAM
エリア2 : H'0800 0000	SRAM / シンクロナスDRAM / MPX
エリア3 : H'0C00 0000	SRAM / シンクロナスDRAM / MPX
エリア4 : H'1000 0000	SRAM / MPX / バイト制御SRAM
エリア5 : H'1400 0000	SRAM / バーストROM / PCMCIA / MPX
エリア6 : H'1800 0000	SRAM / バーストROM / PCMCIA / MPX

PCMCIAインターフェースは、メモリ/I/Oカード兼用

図 10.3 外部メモリ空間割り付け

(2) メモリバス幅

本 LSI のメモリバス幅は、エリアごとに設定できます。エリア 0 では、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に外部ピンを用いてバス幅を 8 ビット、16 ビット、32 ビットから選べます。 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時の外部ピン (MD4、MD3) とバス幅の関係は表 10.3 のようになります。

表 10.3 外部端子 (MD4 と MD3) とバス幅の対応

MD4	MD3	バス幅
0	0	リザーブ (設定不可)
	1	8 ビット
1	0	16 ビット
	1	32 ビット

エリア 1~6 で SRAM インタフェースを使用する場合は、BCR2 によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを使用する場合は、バス幅を 8 ビット、16 ビット、32 ビットから選べます。バイト制御 SRAM インタフェースを使用する場合は、バス幅を 16 ビット、32 ビットから選べます。MPX インタフェースを使用する場合は、バス幅を 32 ビットに設定してください。シンクロナス DRAM インタフェースを使用する場合は、MCR によってバス幅を 32 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。

エリア 7 のアドレス範囲、H'1C00 0000 ~ H'1FFF FFFF は予約空間ですので、使用しないでください。

10.4 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた IC メモリカードインタフェースと I/O カードインタフェースです。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 10.4 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリアイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、アドレス変換領域からの PCMCIA インタフェースへのアクセス

10. バスステートコントローラ (BSC)

表 10.5 PCMCIA サポートインタフェース

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	CS5 または CS6
8	A10	I	アドレス	A10	I	アドレス	A10
9	\overline{OE}	I	出力イネーブル	\overline{OE}	I	出力イネーブル	RD
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	WE/PGM	I	書き込みイネーブル	$\overline{WE/PGM}$	I	書き込みイネーブル	$\overline{WE1}$
16	$\overline{RDY/BSY}$	O	レディ / ビジー	\overline{IREQ}	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-
18	VPP1		プログラム電源	VPP1		プログラム / 周辺用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	\overline{WP}^{*1}	O	書き込みプロテクト	$\overline{IOIS16}$	O	16 ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-

10. バスステートコントローラ (BSC)

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
36	$\overline{CD1}$	O	カード検出	$\overline{CD1}$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2A}$ または $\overline{CE2B}$
43	RFSH	I	リフレッシュ要求	RFSH	I	リフレッシュ要求	ポートから出力
44	RFU		リザーブ	\overline{IORD}	I	I/O 読み出し	\overline{ICIORD}
45	RFU		リザーブ	\overline{IOWR}	I	I/O 書き込み	\overline{ICIOWR}
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラム電源	VPP2		プログラム/周辺用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RFU		リザーブ	RFU		リザーブ	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	\overline{WAIT}	O	ウェイト要求	\overline{WAIT}	O	ウェイト要求	\overline{RDY}^{*2}
60	RFU		リザーブ	\overline{INPACK}	O	入力応答	-
61	\overline{REG}	I	アトリビュートメモリ 空間セレクト	\overline{REG}	I	アトリビュートメモ リ空間セレクト	\overline{REG}
62	BVD2	O	電池電圧検出	\overline{SPKR}	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	\overline{STSCHG}	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{CD2}$	O	カード検出	$\overline{CD2}$	O	カード検出	ポートでセンス
68	GND		グランド	GND		グランド	-

【注】 *1 WP はサポートしていません。

*2 極性に注意してください。

10.5 レジスタの説明

BSC には以下のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 10.6 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
バスコントロールレジスタ 1	BCR1	R/W	H'FF80 0000	H'1F80 0000	32	Bck
バスコントロールレジスタ 2	BCR2	R/W	H'FF80 0004	H'1F80 0004	16	Bck
バスコントロールレジスタ 3	BCR3	R/W	H'FF80 0050	H'1F80 0050	16	Bck
バスコントロールレジスタ 4	BCR4	R/W	H'FE0A 00F0	H'1E0A 00F0	32	Bck
ウェイトコントロールレジスタ 1	WCR1	R/W	H'FF80 0008	H'1F80 0008	32	Bck
ウェイトコントロールレジスタ 2	WCR2	R/W	H'FF80 000C	H'1F80 000C	32	Bck
ウェイトコントロールレジスタ 3	WCR3	R/W	H'FF80 0010	H'1F80 0010	32	Bck
ウェイトコントロールレジスタ 4	WCR4	R/W	H'FE0A 0028	H'1E0A 0028	32	Bck
個別メモリコントロールレジスタ	MCR	R/W	H'FF80 0014	H'1F80 0014	32	Bck
PCMCIA コントロールレジスタ	PCR	R/W	H'FF80 0018	H'1F80 0018	16	Bck
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'FF80 001C	H'1F80 001C	16	Bck
リフレッシュタイムカウンタ	RTCNT	R/W	H'FF80 0020	H'1F80 0020	16	Bck
リフレッシュタイムコンスタント レジスタ	RTCOR	R/W	H'FF80 0024	H'1F80 0024	16	Bck
リフレッシュカウンタレジスタ	RFCR	R/W	H'FF80 0028	H'1F80 0028	16	Bck
シンクロナス DRAM モードレジスタ (エリア 2 用)	SDMR2	W	H'FF90 xxxx* ¹	H'1F90 xxxx	8	Bck
シンクロナス DRAM モードレジスタ (エリア 3 用)	SDMR3	W	H'FF94 xxxx* ¹	H'1F94 xxxx	8	Bck

表 10.6 レジスタ構成 (2)

名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
					ハード による	ソフトによる /モジュール毎 による
バスコントロールレジスタ 1	BCR1	H'0000 0000	保持	保持	*2	保持
バスコントロールレジスタ 2	BCR2	H'3FFC	保持	保持		保持
バスコントロールレジスタ 3	BCR3	H'0001	保持	保持		保持
バスコントロールレジスタ 4	BCR4	H'0000 0000	保持	保持		保持
ウェイトコントロールレジスタ 1	WCR1	H'7777 7777	保持	保持		保持
ウェイトコントロールレジスタ 2	WCR2	H'FFFE EFFF	保持	保持		保持
ウェイトコントロールレジスタ 3	WCR3	H'0777 7777	保持	保持		保持
ウェイトコントロールレジスタ 4	WCR4	H'0000 0000	保持	保持		保持
個別メモリコントロールレジスタ	MCR	H'0000 0000	保持	保持		保持
PCMCIA コントロールレジスタ	PCR	H'0000	保持	保持		保持
リフレッシュタイマコントロール/ ステータスレジスタ	RTCSR	H'0000	保持	保持		保持
リフレッシュタイマカウンタ	RTCNT	H'0000	保持	保持		保持
リフレッシュタイマコンスタント レジスタ	RTCOR	H'0000	保持	保持		保持
リフレッシュカウンタレジスタ	RFCR	H'0000	保持	保持		保持
シンクロナス DRAM モードレジスタ (エリア 2 用)	SDMR2	ライトオンリー				
シンクロナス DRAM モードレジスタ (エリア 3 用)	SDMR3					

【注】 *1 詳細は SDMR を参照してください。

*2 ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

10. バスステートコントローラ (BSC)

10.5.1 バスコントロールレジスタ 1 (BCR1)

BCR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアの機能、バスサイクルの状態を指定します。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ENDIAN	-	A0MPX	-	-	DPUP	-	OPUP	-	-	A1MBC	A4MBC	BREQEN	-	MEMMPX	DMA BST
初期値:	0/1	0	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZMEM	HIZCNT	A0BST2	A0BST1	A0BST0	A5BST2	A5BST1	A5BST0	A6BST2	A6BST1	A6BST0	DRA MTP2	DRA MTP1	DRA MTP0	-	A56PCM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31	ENDIAN	0/1	R	エンディアンフラグ RESET 端子によるパワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。 0: パワーオンリセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します 1: パワーオンリセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します
30	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	A0MPX	0/1	R	エリア 0 のメモリタイプ RESET 端子によるパワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) の値をサンプリングします。エリア 0 のメモリタイプはこのビットで決定されます。 0: パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がハイレベルであり、エリア 0 が SRAM インタフェースとして設定されたことを示します 1: パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がローレベルであり、エリア 0 が MPX インタフェースとして設定されたことを示します
28, 27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
26	DPUP	0	R/W	<p>データ端子プルアップ抵抗制御</p> <p>データ端子 (D31~D0) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はプルアップされません。</p> <p>0: データ端子 (D31~D0) のプルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。*</p> <p>1: データ端子 (D31~D0) のプルアップ抵抗は、オフ。</p> <p>【注】 * データ端子のプルアップが必要な場合、プルアップ抵抗を外付けすることを推奨します。</p>
25	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
24	OPUP	0	R/W	<p>コントロール出力端子プルアップ抵抗制御</p> <p>コントロール出力端子 (A[25:0]、\overline{BS}、\overline{CSn}、\overline{RD}、\overline{WEn}、$\overline{RD}/\overline{WR}$、$\overline{RAS}$、$\overline{CE2A}$、$\overline{CE2B}$) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: コントロール出力端子 (A[25:0]、\overline{BS}、\overline{CSn}、\overline{RD}、\overline{WEn}、$\overline{RD}/\overline{WR}$、$\overline{RAS}$、$\overline{CE2A}$、$\overline{CE2B}$) のプルアップ抵抗はオン</p> <p>1: コントロール出力端子 (A[25:0]、\overline{BS}、\overline{CSn}、\overline{RD}、\overline{WEn}、$\overline{RD}/\overline{WR}$、$\overline{RAS}$、$\overline{CE2A}$、$\overline{CE2B}$) のプルアップ抵抗はオフ</p>
23, 22	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
21	A1MBC	0	R/W	<p>エリア1SRAMバイト制御モード</p> <p>MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: エリア1のSRAMは、通常モード</p> <p>1: エリア1のSRAMは、バイト制御モード</p>
20	A4MBC	0	R/W	<p>エリア4SRAMバイト制御モード</p> <p>MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: エリア4のSRAMは、通常モード</p> <p>1: エリア4のSRAMは、バイト制御モード</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
19	BREQEN	0	R/W	<p>BREQ イネーブル</p> <p>外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けられない状態に初期化されます。</p> <p>0: 外部リクエストを受け付けません 1: 外部リクエストを受け付けます</p>
18	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
17	MEMMPX	0	R/W	<p>エリア1~6のMPXバス指定</p> <p>エリア1から6がSRAMインタフェース(またはバーストROMインタフェース)設定のとき、MPXインタフェースを設定します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: エリア1~6がSRAMインタフェース(またはバーストROMインタフェース)設定のとき、SRAMインタフェース(またはバーストROMインタフェース)を選択 1: エリア1~6がSRAMインタフェース(またはバーストROMインタフェース)設定のとき、MPXインタフェースを選択</p>
16	DMABST	0	R/W	<p>DMAC バーストモード転送優先指定</p> <p>DMACによるバーストモード転送の優先度を指定します。オフの設定の場合の優先度はバス権解放、リフレッシュ、DMAC、CPUとなり、オンの設定の場合DMACのバースト転送が終了するまでバス権の解放、リフレッシュは実行されなくなります。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: DMAC バーストモード転送優先指定オフ 1: DMAC バーストモード転送優先指定オン</p>
15	HIZMEM	0	R/W	<p>ハイインピーダンス (High-Z) コントロール</p> <p>アドレスなど (A[25:0]、\overline{BS}、\overline{CSn}、RD/WR、$\overline{CE2A}$、$\overline{CE2B}$) のソフトウェアスタンバイ時およびバス権解放時の状態を指定します。</p> <p>0: A[25:0]、\overline{BS}、\overline{CSn}、RD/WR、$\overline{CE2A}$、$\overline{CE2B}$ 信号はソフトウェアスタンバイ時およびバス権解放時、ハイインピーダンス 1: A[25:0]、\overline{BS}、\overline{CSn}、RD/WR、$\overline{CE2A}$、$\overline{CE2B}$ 信号をソフトウェアスタンバイ時ドライブ。バス権解放時、ハイインピーダンス</p>
14	HIZCNT	0	R/W	<p>ハイインピーダンス (High-Z) コントロール</p> <p>RAS 信号、CAS 信号のソフトウェアスタンバイ時およびバス権解放時の状態を指定します。</p> <p>0: RAS、$\overline{WEn/DQMn}$、RD/CASS/FRAME 信号はソフトウェアスタンバイ時およびバス権解放時、ハイインピーダンス 1: RAS、$\overline{WEn/DQMn}$、RD/CASS/FRAME 信号をソフトウェアスタンバイ時およびバス権解放時ドライブ</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
13	A0BST2	0	R/W	エリア0 バースト ROM 制御
12	A0BST1	0	R/W	<p>エリア0で、バーストROM インタフェースを使うかどうかを指定します。また、バーストROM インタフェースを使用する場合は、バースト回数を指定します。エリア0がMPX インタフェースのときは、これらのビットは無視されます。</p> <p>000: エリア0をSRAM インタフェースとしてアクセス</p> <p>001: エリア0をバーストROM インタフェース(4回連続アクセス)としてアクセス バス幅8、16、32ビット時、いずれでも使用可</p> <p>010: エリア0をバーストROM インタフェース(8回連続アクセス)としてアクセス バス幅8、16、32ビット時、いずれでも使用可</p> <p>011: エリア0をバーストROM インタフェース(16回連続アクセス)としてアクセス バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください</p> <p>100: エリア0をバーストROM インタフェース(32回連続アクセス)としてアクセス バス幅8ビット時のみ使用可</p> <p>101: 設定禁止</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
11	A0BST0	0	R/W	

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10	A5BST2	0	R/W	エリア 5 バースト ROM 制御
9	A5BST1	0	R/W	<p>エリア 5 で、バースト ROM インタフェースを使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 5 が MPX インタフェースのときは、これらのビットは無視されます。PCMCIA インタフェース設定時は 0 にクリアしてください。</p> <p>000 : エリア 5 を SRAM インタフェースとしてアクセス</p> <p>001 : エリア 5 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可</p> <p>010 : エリア 5 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可</p> <p>011 : エリア 5 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください</p> <p>100 : エリア 5 をバースト ROM インタフェース (32 回連続アクセス) としてアクセス バス幅 8 ビット時のみ使用可</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
8	A5BST0	0	R/W	

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
7 6 5	A6BST2 A6BST1 A6BST0	0 0 0	R/W R/W R/W	<p>エリア 6 バースト ROM 制御</p> <p>エリア 6 で、バースト ROM を使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 6 が MPX インタフェースのときは、これらのビットは無視されます。PCMCIA 使用時は 0 にクリアしてください。</p> <p>000: エリア 6 を SRAM インタフェースとしてアクセス 001: エリア 6 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可 010: エリア 6 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可 011: エリア 6 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください 100: エリア 6 をバースト ROM インタフェース (32 回連続アクセス) としてアクセス バス幅 8 ビット時のみ使用可 101: 設定禁止 110: 設定禁止 111: 設定禁止</p>
4 3 2	DRAMTP2 DRAMTP1 DRAMTP0	0 0 0	R/W R/W R/W	<p>エリア 2、3 のメモリタイプ</p> <p>エリア 2 と 3 に接続するメモリタイプを指定します。SRAM インタフェースとして ROM、SRAM、フラッシュ ROM 等が接続できます。また、シンクロナス DRAM が接続できます。</p> <p>000: エリア 2、3 を SRAM インタフェースまたは MPX インタフェース*としてアクセス 001: 設定禁止 010: エリア 2 を SRAM インタフェースまたは MPX インタフェース*、エリア 3 をシンクロナス DRAM インタフェースとしてアクセス 011: エリア 2、3 をシンクロナス DRAM インタフェースとしてアクセス 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止</p> <p>【注】 *SRAM インタフェース、MPX インタフェースのどちらになるかは MEMMPX ビットの設定で決まります。</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	A56PCM	0	R/W	エリア5およびエリア6バスタイプ エリア5と6をPCMCIA インタフェースとしてアクセスするかどうかを指定します。このビットの設定は、MEMMPX ビットの設定に優先します。また、このビットが1のとき、MD3 端子は $\overline{CE2A}$ 端子として出力に設定され、MD4 端子は $\overline{CE2B}$ 端子として出力に設定されます。 0: エリア5と6をSRAM インタフェースとしてアクセス 1: エリア5と6をPCMCIA インタフェースとしてアクセス

10.5.2 バスコントロールレジスタ 2 (BCR2)

BCR2は、読み出し/書き込み可能な16ビットのレジスタで、各エリアのバス幅およびGPIO割り込みを使用するかどうかを指定します。

レジスタの初期設定が終了するまでは、エリア0以外の外部メモリ空間をアクセスしないでください。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

A0SZ1	A0SZ0	A6SZ1	A6SZ0	A5SZ1	A5SZ0	A4SZ1	A4SZ0	A3SZ1	A3SZ0	A2SZ1	A2SZ0	A1SZ1	A1SZ0	-	STBI RLEN
初期値: 0/1	0/1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
R/W: R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W

ビット	ビット名	初期値	R/W	説明
15	A0SZ1	0/1	R	エリア0のバス幅
14	A0SZ0	0/1	R	RESET 端子によるパワーオンリセット時に、バス幅を指定する外部ピン (MD4、MD3)をサンプリングします。 00: 設定禁止 01: 8ビット 10: 16ビット 11: 32ビット
2n+1	AnSZ1	すべて1	R/W	バス幅指定ビット
2n	AnSZ0	すべて1	R/W	エリアnのバス幅を指定します。 00: 設定禁止 01: バス幅を8ビットにします 10: バス幅を16ビットにします 11: バス幅を32ビットにします
1	-	0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	STBIRLEN	0	R/W	GPIO 割り込み機能イネーブル 0 : GPIO 割り込みを使用しません 1 : GPIO 割り込みを使用します

【注】n = 1~6

10.5.3 バスコントロールレジスタ 3 (BCR3)

BCR3 は、読み出し / 書き込み可能な 16 ビットのレジスタで、MPX インタフェースと SRAM インタフェースの切り替え設定、およびシンクロナス DRAM インタフェースのバースト長を指定します。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MEM MODE	A1 MPX	A4 MPX	-	-	-	-	-	-	-	-	-	-	-	-	SDBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MEMMODE	0	R/W	A1MPX/A4MPX イネーブル MPX インタフェースと SRAM インタフェースの切り替えを MEMMPX とは別に A1MPX と A4MPX で設定するかを決定します。 0 : MEMMPX で決定します 1 : A1MPX、A4MPX で決定します
14	A1MPX	0	R/W	エリア 1 の MPX インタフェース指定 エリア 1 に接続するメモリタイプを指定します。この設定は MEMMODE ビットにより有効になります。 0 : エリア 1 は SRAM/バイト制御 SRAM インタフェースが選択されます 1 : エリア 1 は MPX インタフェースが選択されます
13	A4MPX	0	R/W	エリア 4 の MPX インタフェース指定 エリア 4 に接続するメモリタイプを指定します。この設定は MEMMODE ビットにより有効になります。 0 : エリア 4 は SRAM/バイト制御 SRAM インタフェースが選択されます 1 : エリア 4 は MPX インタフェースが選択されます
12~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
0	SDBL	1	R/W	バースト長 シンクロナス DRAM インタフェースのとき、バースト長を設定します。バースト長の設定はバス幅が 32 ビットのみ有効です。 0 : バースト長 8 1 : バースト長 4

10.5.4 バスコントロールレジスタ 4 (BCR4)

BCR4 は、読み出す / 書き込み可能な 32 ビットのレジスタで、各ビットに対応する端子の非同期入力を可能にします。非同期入力設定 (ASYNCn=1) にした場合、サンプリングタイミングは、同期入力設定 (ASYNCn=0) 時の 1 サイクル前となります (図 10.4 参照)。同期入力の設定では、必ずセットアップホールド時間を満たしてください。

なお本章および「第 33 章 電気的特性」に示されているタイミングは、すべて同期入力設定時 (ASYNCn=0) のものとなっています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	ASYN C6	ASYN C5	ASYN C4	ASYN C3	ASYN C2	ASYN C1	ASYN C0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	ASYNC6	0	R/W	非同期入力 6 0 : $\overline{DREQ3}$ は CKIO に対して同期入力可能 1 : $\overline{DREQ3}$ は CKIO に対して非同期入力可能
5	ASYNC5	0	R/W	非同期入力 5 0 : $\overline{DREQ2}$ は CKIO に対して同期入力可能 1 : $\overline{DREQ2}$ は CKIO に対して非同期入力可能
4	ASYNC4	0	R/W	非同期入力 4 0 : $\overline{IOIS16}$ は CKIO に対して同期入力可能 1 : $\overline{IOIS16}$ は CKIO に対して非同期入力可能
3	ASYNC3	0	R/W	非同期入力 3 0 : $\overline{DREQ1}$ は CKIO に対して同期入力可能 1 : $\overline{DREQ1}$ は CKIO に対して非同期入力可能

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	ASYNC2	0	R/W	非同期入力 2 0 : $\overline{DREQ0}$ は CKIO に対して同期入力可能 1 : $\overline{DREQ0}$ は CKIO に対して非同期入力可能
1	ASYNC1	0	R/W	非同期入力 1 0 : \overline{BREQ} は CKIO に対して同期入力可能 1 : \overline{BREQ} は CKIO に対して非同期入力可能
0	ASYNC0	0	R/W	非同期入力 0 0 : \overline{RDY} は CKIO に対して同期入力可能 1 : \overline{RDY} は CKIO に対して非同期入力可能

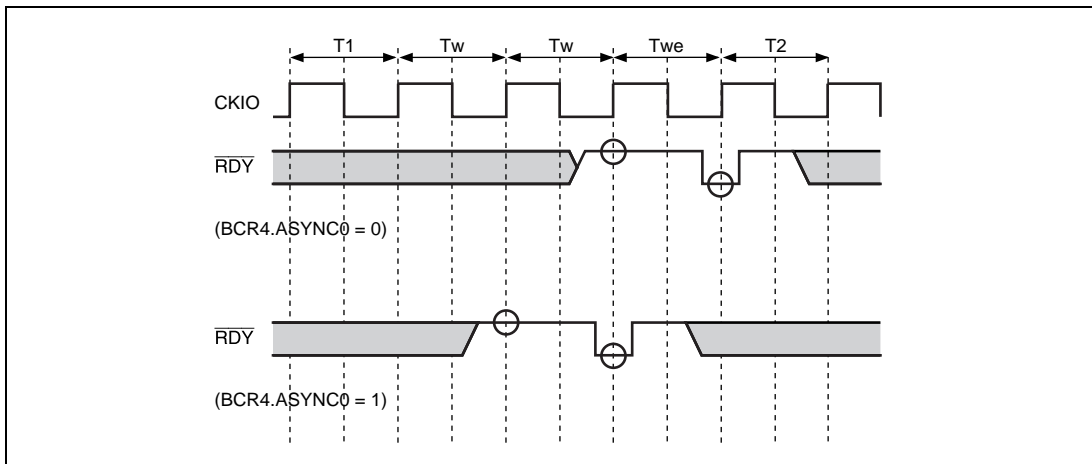


図 10.4 \overline{RDY} サンプルングタイミング例

10. バスステートコントローラ (BSC)

10.5.5 ウェイトコントロールレジスタ 1 (WCR1)

WCR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのアイドルステート挿入サイクル数を指定します。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 で設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	DMA IW2	DMA IW1	DMA IW0	-	A6 IW2	A6 IW1	A6 IW0	-	A5 IW2	A5 IW1	A5 IW0	-	A4 IW2	A4 IW1	A4 IW0
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	A3 IW2	A3 IW1	A3 IW0	-	A2 IW2	A2 IW1	A2 IW0	-	A1 IW2	A1 IW1	A1 IW0	-	A0 IW2	A0 IW1	A0 IW0
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																			
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																			
30	DMAIW2	1	R/W	DMAIW - DACK デバイスのサイクル間アイドル指定 DACK デバイスから他の空間の切り替え時、あるいは同一デバイス上での読み出しアクセスと書き込みアクセスの切り替え時に、バスサイクル間に導入されるアイドルサイクル数を指定します。DMAIW ビットは DMA シングルアドレス転送時のみ有効です。DMA デュアルアドレス転送時は、サイクル間アイドル指定ビットによるアイドルサイクルが挿入されます。																			
29	DMAIW1	1	R/W																				
28	DMAIW0	1	R/W																				
4n+3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																			
4n+2	AnIW2	1	R/W	エリア n のサイクル間アイドル指定 外部メモリ空間のエリア n から他の空間もしくは同一空間で読み出しアクセスから書き込みアクセスに切り換わった場合に挿入するバスサイクル間アイドル数を指定します。挿入アイドルサイクルについては表 10.7 を参照してください。																			
4n+1	AnIW1	1	R/W																				
4n	AnIW0	1	R/W																				
				<table border="0"> <tr> <td style="text-align: center;">挿入アイドルサイクル</td> <td></td> <td style="text-align: center;">挿入アイドルサイクル</td> </tr> <tr> <td>000 :</td> <td style="text-align: center;">0</td> <td>100 :</td> <td style="text-align: center;">6</td> </tr> <tr> <td>001 :</td> <td style="text-align: center;">1</td> <td>101 :</td> <td style="text-align: center;">9</td> </tr> <tr> <td>010 :</td> <td style="text-align: center;">2</td> <td>110 :</td> <td style="text-align: center;">12</td> </tr> <tr> <td>011 :</td> <td style="text-align: center;">3</td> <td>111 :</td> <td style="text-align: center;">15</td> </tr> </table>	挿入アイドルサイクル		挿入アイドルサイクル	000 :	0	100 :	6	001 :	1	101 :	9	010 :	2	110 :	12	011 :	3	111 :	15
挿入アイドルサイクル		挿入アイドルサイクル																					
000 :	0	100 :	6																				
001 :	1	101 :	9																				
010 :	2	110 :	12																				
011 :	3	111 :	15																				

【注】 n=0~6

表 10.7 アクセス間アイドル挿入

後アクセス 前アクセス	同一エリア				別エリア				同一エリア	別エリア
	読み出し		書き込み		読み出し		書き込み		MPX	MPX
	CPU	DMA	CPU	DMA	CPU	DMA	CPU	DMA	アドレス出力	アドレス出力
読み出し			M	M	M	M	M	M	M (1)	M (1)
書き込み					M	M	M	M	*2	M
DMA 読み出し (メモリ デバイス)			M	M	M	M	M	M		M (1)
DMA 書き込み (デバイス メモリ)	D	D	D	D*1	D	D	D	D		D (1)

表中の DMA は DMA シングルスアドレス転送を示します。DMA デュアルアドレス転送は CPU に準じます。

M、D : WCR1 によるアイドルウェイトが必ず挿入される (M (1) : MPX アクセス時 WCR1 が 0 設定でも 1 サイクルを挿入)。

M : AnIW2~0 の設定によるアイドルサイクル (エリア 0~6)

D : DMAIW2~0 の設定によるアイドルサイクル

【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2~0 ビット = 000、A3IW2~0 ビット = 000 に設定してください。

*1 デバイス切り替わり時に挿入

*2 MPX インタフェースで書き込みアクセス後の同一エリアへのアクセス (読み出し、書き込みとも) の間にも WCR1 のアイドルウェイトが挿入される場合があります。以下に同一エリアへのアクセスでアイドルウェイトが挿入される例を示します。

(a) シンクロナス DRAM を RAS ダウンモードに設定

(b) 内蔵 DMAC によりシンクロナス DRAM をアクセス

上記 (a) かつ (b) の使用条件下以外では、MPX インタフェースの書き込みアクセスと続く同一エリアアクセスとの間でもアイドルウェイトが挿入されます。

上記 (a) かつ (b) の使用条件下では、シンクロナス DRAM へのパイプラインアクセス状況により、MPX インタフェース書き込みアクセス後の同一エリアアクセスアイドルウェイトが挿入される場合があります。WCR1 レジスタの設定が 0 の場合はアイドルウェイトは挿入されません。パワーオンリセット後のアイドルステート挿入サイクル数としてはデフォルト値である最大値 (15) が設定されていますので、必ず最適値を設定するようにしてください。

10. バスステートコントローラ (BSC)

10.5.6 ウェイトコントロールレジスタ 2 (WCR2)

WCR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアの挿入ウェイトステート数を指定します。また、バースト ROM アクセスを行う場合のデータアクセスのピッチ数も指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	A6W2	A6W1	A6W0	A6B2	A6B1	A6B0	A5W2	A5W1	A5W0	A5B2	A5B1	A5B0	A4W2	A4W1	A4W0	-
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A3W2	A3W1	A3W0	-	A2W2	A2W1	A2W0	A1W2	A1W1	A1W0	A0W2	A0W1	A0W0	A0B2	A0B1	A0B0
初期値:	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																										
31	A6W2	1	R/W	エリア 6 のウェイトコントロール このビットは、エリア 6 に対する挿入ウェイトステート数を指定します。MPX インタフェース設定時については表 10.7 を参照してください。 <table border="0" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: right;">挿入ウェイトステート数</td> <td style="text-align: center;">$\overline{\text{RDY}}$</td> </tr> <tr> <td>000:</td> <td>0</td> <td>無視</td> </tr> <tr> <td>001:</td> <td>1</td> <td>イネーブル</td> </tr> <tr> <td>010:</td> <td>2</td> <td>イネーブル</td> </tr> <tr> <td>011:</td> <td>3</td> <td>イネーブル</td> </tr> <tr> <td>100:</td> <td>6</td> <td>イネーブル</td> </tr> <tr> <td>101:</td> <td>9</td> <td>イネーブル</td> </tr> <tr> <td>110:</td> <td>12</td> <td>イネーブル</td> </tr> <tr> <td>111:</td> <td>15</td> <td>イネーブル</td> </tr> </table>	挿入ウェイトステート数	$\overline{\text{RDY}}$	000:	0	無視	001:	1	イネーブル	010:	2	イネーブル	011:	3	イネーブル	100:	6	イネーブル	101:	9	イネーブル	110:	12	イネーブル	111:	15	イネーブル
挿入ウェイトステート数	$\overline{\text{RDY}}$																													
000:	0	無視																												
001:	1	イネーブル																												
010:	2	イネーブル																												
011:	3	イネーブル																												
100:	6	イネーブル																												
101:	9	イネーブル																												
110:	12	イネーブル																												
111:	15	イネーブル																												
30	A6W1	1	R/W																											
29	A6W0	1	R/W																											
28	A6B2	1	RW	エリア 6 のバーストピッチ バースト ROM 設定時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を表します。 <table border="0" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: right;">挿入ウェイトステート数</td> <td style="text-align: center;">$\overline{\text{RDY}}$</td> </tr> <tr> <td>000:</td> <td>0</td> <td>無視</td> </tr> <tr> <td>001:</td> <td>1</td> <td>イネーブル</td> </tr> <tr> <td>010:</td> <td>2</td> <td>イネーブル</td> </tr> <tr> <td>011:</td> <td>3</td> <td>イネーブル</td> </tr> <tr> <td>100:</td> <td>4</td> <td>イネーブル</td> </tr> <tr> <td>101:</td> <td>5</td> <td>イネーブル</td> </tr> <tr> <td>110:</td> <td>6</td> <td>イネーブル</td> </tr> <tr> <td>111:</td> <td>7</td> <td>イネーブル</td> </tr> </table>	挿入ウェイトステート数	$\overline{\text{RDY}}$	000:	0	無視	001:	1	イネーブル	010:	2	イネーブル	011:	3	イネーブル	100:	4	イネーブル	101:	5	イネーブル	110:	6	イネーブル	111:	7	イネーブル
挿入ウェイトステート数	$\overline{\text{RDY}}$																													
000:	0	無視																												
001:	1	イネーブル																												
010:	2	イネーブル																												
011:	3	イネーブル																												
100:	4	イネーブル																												
101:	5	イネーブル																												
110:	6	イネーブル																												
111:	7	イネーブル																												
27	A6B1	1	R/W																											
26	A6B0	1	R/W																											

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
25	A5W2	1	R/W	エリア5のウェイトコントロール エリア5に対する挿入ウェイトステート数を指定します。MPX インタフェース設定時については表 10.7 を参照してください。 挿入ウェイトステート数 RDY 000 : 0 無視 001 : 1 イネーブル 010 : 2 イネーブル 011 : 3 イネーブル 100 : 6 イネーブル 101 : 9 イネーブル 110 : 12 イネーブル 111 : 15 イネーブル
24	A5W1	1	R/W	
23	A5W0	1	R/W	
22	A5B2	1	R/W	エリア5のバーストピッチ バースト ROM 設定時のバースト転送における第2 データアクセス以降に挿入される挿入ウェイトステート数を示します。 挿入ウェイトステート数 RDY 000 : 0 無視 001 : 1 イネーブル 010 : 2 イネーブル 011 : 3 イネーブル 100 : 4 イネーブル 101 : 5 イネーブル 110 : 6 イネーブル 111 : 7 イネーブル
21	A5B1	1	R/W	
20	A5B0	1	R/W	
19	A4W2	1	R/W	エリア4のウェイトコントロール エリア4に対する挿入ウェイトステート数を指定します。MPX インタフェース設定時については表 10.7 を参照してください。 挿入ウェイトステート数 RDY 000 : 0 無視 001 : 1 イネーブル 010 : 2 イネーブル 011 : 3 イネーブル 100 : 6 イネーブル 101 : 9 イネーブル 110 : 12 イネーブル 111 : 15 イネーブル
18	A4W1	1	R/W	
17	A4W0	1	R/W	
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明																										
15	A3W2	1	R/W	エリア3のウェイトコントロール エリア3に対する挿入ウェイトステート数を指定します。外部ウェイト入力はSRAMインタフェースおよびMPXインタフェース使用時に有効で、シンクロナスDRAM使用時は無視されます。MPXインタフェース設定時については表10.7を参照してください。 [SRAMインタフェース設定時] <table style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th style="text-align: left;">挿入ウェイトステート数</th> <th style="text-align: left;">$\overline{\text{RDY}}$</th> </tr> </thead> <tbody> <tr> <td>000 :</td> <td>0</td> <td>無視</td> </tr> <tr> <td>001 :</td> <td>1</td> <td>イネーブル</td> </tr> <tr> <td>010 :</td> <td>2</td> <td>イネーブル</td> </tr> <tr> <td>011 :</td> <td>3</td> <td>イネーブル</td> </tr> <tr> <td>100 :</td> <td>6</td> <td>イネーブル</td> </tr> <tr> <td>101 :</td> <td>9</td> <td>イネーブル</td> </tr> <tr> <td>110 :</td> <td>12</td> <td>イネーブル</td> </tr> <tr> <td>111 :</td> <td>15</td> <td>イネーブル</td> </tr> </tbody> </table> [シンクロナスDRAM使用時*1] 000 : 設定禁止 001 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシサイクル数は1*2 010 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシサイクル数は2 011 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシサイクル数は3 100 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシサイクル数は4*2 101 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシサイクル数は5*2 110 : 設定禁止 111 : 設定禁止	挿入ウェイトステート数	$\overline{\text{RDY}}$	000 :	0	無視	001 :	1	イネーブル	010 :	2	イネーブル	011 :	3	イネーブル	100 :	6	イネーブル	101 :	9	イネーブル	110 :	12	イネーブル	111 :	15	イネーブル
挿入ウェイトステート数	$\overline{\text{RDY}}$																													
000 :	0	無視																												
001 :	1	イネーブル																												
010 :	2	イネーブル																												
011 :	3	イネーブル																												
100 :	6	イネーブル																												
101 :	9	イネーブル																												
110 :	12	イネーブル																												
111 :	15	イネーブル																												
14	A3W1	1	R/W																											
13	A3W0	1	R/W																											
12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																										

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明																										
11	A2W2	1	R/W	エリア2のウェイトコントロール エリア2に対する挿入ウェイトステート数を指定します。外部ウェイト入力はSRAMインタフェースおよびMPXインタフェース使用時に有効で、シンクロナスDRAM使用時は無視されます。 [SRAMインタフェース設定時] <table style="margin-left: 40px;"> <thead> <tr> <th>挿入ウェイトステート数</th> <th>$\overline{\text{RDY}}$</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>0</td><td>無視</td></tr> <tr><td>001 :</td><td>1</td><td>イネーブル</td></tr> <tr><td>010 :</td><td>2</td><td>イネーブル</td></tr> <tr><td>011 :</td><td>3</td><td>イネーブル</td></tr> <tr><td>100 :</td><td>6</td><td>イネーブル</td></tr> <tr><td>101 :</td><td>9</td><td>イネーブル</td></tr> <tr><td>110 :</td><td>12</td><td>イネーブル</td></tr> <tr><td>111 :</td><td>15</td><td>イネーブル</td></tr> </tbody> </table> [シンクロナスDRAM使用時*1] 000 : 設定禁止 001 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシは1*2 010 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシは2*2 011 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシは3*2 100 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシは4*2 101 : シンクロナスDRAMの $\overline{\text{CAS}}$ レイテンシは5*2 110 : 設定禁止 111 : 設定禁止	挿入ウェイトステート数	$\overline{\text{RDY}}$	000 :	0	無視	001 :	1	イネーブル	010 :	2	イネーブル	011 :	3	イネーブル	100 :	6	イネーブル	101 :	9	イネーブル	110 :	12	イネーブル	111 :	15	イネーブル
挿入ウェイトステート数	$\overline{\text{RDY}}$																													
000 :	0	無視																												
001 :	1	イネーブル																												
010 :	2	イネーブル																												
011 :	3	イネーブル																												
100 :	6	イネーブル																												
101 :	9	イネーブル																												
110 :	12	イネーブル																												
111 :	15	イネーブル																												
10	A2W1	1	R/W																											
9	A2W0	1	R/W																											
8	A1W2	1	R/W	エリア1のウェイトコントロール エリア1に対する挿入ウェイトステート数を指定します。MPXインタフェース設定時には表 10.8 を参照してください。 <table style="margin-left: 40px;"> <thead> <tr> <th>挿入ウェイトステート数</th> <th>$\overline{\text{RDY}}$</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>0</td><td>無視</td></tr> <tr><td>001 :</td><td>1</td><td>イネーブル</td></tr> <tr><td>010 :</td><td>2</td><td>イネーブル</td></tr> <tr><td>011 :</td><td>3</td><td>イネーブル</td></tr> <tr><td>100 :</td><td>6</td><td>イネーブル</td></tr> <tr><td>101 :</td><td>9</td><td>イネーブル</td></tr> <tr><td>110 :</td><td>12</td><td>イネーブル</td></tr> <tr><td>111 :</td><td>15</td><td>イネーブル</td></tr> </tbody> </table>	挿入ウェイトステート数	$\overline{\text{RDY}}$	000 :	0	無視	001 :	1	イネーブル	010 :	2	イネーブル	011 :	3	イネーブル	100 :	6	イネーブル	101 :	9	イネーブル	110 :	12	イネーブル	111 :	15	イネーブル
挿入ウェイトステート数	$\overline{\text{RDY}}$																													
000 :	0	無視																												
001 :	1	イネーブル																												
010 :	2	イネーブル																												
011 :	3	イネーブル																												
100 :	6	イネーブル																												
101 :	9	イネーブル																												
110 :	12	イネーブル																												
111 :	15	イネーブル																												
7	A1W1	1	R/W																											
6	A1W0	1	R/W																											

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
5	A0W2	1	R/W	エリア0のウェイトコントロール エリア0に対する挿入ウェイトステート数を指定します。MPX インタフェース設定時については表 10.8 を参照してください。 挿入ウェイトステート数 RDY 000 : 0 無視 001 : 1 イネーブル 010 : 2 イネーブル 011 : 3 イネーブル 100 : 6 イネーブル 101 : 9 イネーブル 110 : 12 イネーブル 111 : 15 イネーブル
4	A0W1	1	R/W	
3	A0W0	1	R/W	
2	A0B2	1	R/W	エリア0のバーストピッチ バースト ROM 設定時のバースト転送における第2データアクセス以降に挿入される挿入ウェイトステート数を指定します。 挿入ウェイトステート数 RDY 000 : 0 無視 001 : 1 イネーブル 010 : 2 イネーブル 011 : 3 イネーブル 100 : 4 イネーブル 101 : 5 イネーブル 110 : 6 イネーブル 111 : 7 イネーブル
1	A0B1	1	R/W	
0	A0B0	1	R/W	

【注】 *1 外部ウェイト入力には常に無視されます。

*2 RAS ダウンモードは禁止。

表 10.8 MPX インタフェース設定時

AnW2	AnW1	AnW0	説明			
			挿入ウェイトステート			RDY 端子
			第1データ		第2データ以降	
			読み出し	書き込み		
0	0	0	1	0	0	イネーブル
0	0	1	1	1	0	イネーブル
0	1	0	2	2	0	イネーブル
0	1	1	3	3	0	イネーブル
1	0	0	1	0	1	イネーブル
1	0	1	1	1	1	イネーブル
1	1	0	2	2	1	イネーブル
1	1	1	3	3	1	イネーブル

【注】 n=0-6

10.5.7 ウェイトコントロールレジスタ 3 (WCR3)

WCR3 は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのアドレスからリード / ライトストロープのアサートまでのセットアップ時間、ライトストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	A6S0	A6H1	A6H0	-	A5S0	A5H1	A5H0	A4 RDH	A4S0	A4H1	A4H0
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	A3S0	A3H1	A3H0	-	A2S0	A2H1	A2H0	A1 RDH	A1S0	A1H1	A1H0	-	A0S0	A0H1	A0H0
初期値:	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	-	0	R	
15	-	0	R	
11	-	0	R	
3	-	0	R	
4n+2	AnS0	すべて 1	R/W	<p>エリア n ライトストロープセットアップ時間</p> <p>アドレスからリード / ライトストロープのアサートまでのセットアップ時間に挿入されるサイクル数を指定します。SRAM インタフェース、バイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効です。</p> <p>セットアップ時に挿入されるサイクル数</p> <p>0: 0 1: 1</p>
4n+1 4n	AnH1* AnH0*	すべて 1 すべて 1	R/W R/W	<p>エリア n データホールド時間</p> <p>書き込む時の書き込みストロープのネゲートからのホールド時間に挿入されるサイクル数を指定します。読み出す時はデータのサンプリングタイミングからのホールド時間に挿入されるサイクル数を指定します。SRAM インタフェースバイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効です。</p> <p>ホールド時の挿入ウェイト数</p> <p>00: 0 01: 1 10: 2 11: 3</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
4m+3	AmRDH*	すべて0	R/W	読み出しストロブネゲートタイミング 読み出す時の読み出しストロブのネゲートタイミングを設定します。バイト制御SRAM設定時は0に設定してください。 図 10.12 を参照してください。

【注】 n=0~6、m=1、4

* エリア 1 に対しては表 10.9 の組み合わせで設定してください。

10.5.8 ウェイトコントロールレジスタ 4 (WCR4)

WCR4 は、読み出し/書き込み可能な 32 ビットのレジスタで、 $\overline{CS1}$ ネゲート期間を指定します。CSH1、CSH0 ビットを設定することで、0~3 サイクルのネゲート期間を挿入できます。 $\overline{CS1}$ のネゲート期間を指定する場合は、WCR3 のデータホールド時間 (A1H[1:0]) と一致させてください。 $\overline{CS1}$ のネゲート期間を設定しない場合 (CSH[1:0]=00) は、WCR3 のデータホールド時間 (A1H[1:0]) と一致させる必要はありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CSH1	CSH0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CSH1*	0	R/W	CS ホールドサイクル設定ビット $\overline{CS1}$ をネゲートして、データホールド時の挿入ウェイトサイクルを指定します。 挿入ウェイト数 00 : 0 01 : 1 10 : 2 11 : 3 00 以外の値を設定する場合には、WCR3.A1RDH=1 に設定してください。
0	CSH0*	0	R/W	

【注】 * 表 10.9 の組み合わせで設定してください。

表 10.9 エリア 1 に対する WCR3、WCR4 の設定

WCR3			WCR4			
A1RDH	A1H1	A1H0	CSH1	CSH0		
0	0	0	0	0		
	0	1				
	1	0				
	1	1				
1	0	0	0	0		
	0	1				
	1	0				
	1	1				
	0	1			0	1
	1	0			1	0
	1	1			1	1

【注】 上記組み合わせ以外は、設定禁止です。

10.5.9 個別メモリコントロールレジスタ (MCR)

MCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、シンクロナス DRAM(エリア 2、3)に対する $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。

ビット 31~3 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2、3 をアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RASD	MR SET	TRC2	TRC1	TRC0	-	-	-	-	-	TPC2	TPC1	TPC0	-	RCD1	RCD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRWL 2	TRWL 1	TRWL 0	TRAS 2	TRAS 1	TRAS 0	-	SZ1	SZ0	AMX EXT	AMX2	AMX1	AMX0	RFSH	RM ODE	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
31	RASD	0	R/W	<p>RAS ダウン</p> <p>RAS ダウンモードを設定します。エリア 2、3 を共にシンクロナス DRAM インタフェースに設定した場合は、RAS ダウンモードに設定しないでください。</p> <p>0 : 通常モード 1 : RAS ダウンモード</p> <p>【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2~0 ビット=000、A3IW2~0 ビット=000 に設定してください。</p>
30	MRSET	0	R/W	<p>モードレジスタセット</p> <p>シンクロナス DRAM のモードレジスタ設定時にセットします。「10.6.4 (10) パワーオンシーケンス」を参照してください。</p> <p>0 : 全バンクプリチャージ 1 : モードレジスタ設定</p>
29 28 27	TRC2 TRC1 TRC0	0 0 0	R/W R/W R/W	<p>リフレッシュ終了時の RAS プリチャージ期間 (シンクロナス DRAM : オート、セルフ両方有効)</p> <p>RAS プリチャージ期間リフレッシュ直後</p> <p>000 : 0 001 : 3 010 : 6 011 : 9 100 : 12 101 : 15 110 : 18 111 : 21</p>
26~22	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
21	TPC2	0	R/W	RAS プリチャージ期間 シンクロナス DRAM インタフェースを設定した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。 RAS プリチャージ期間シンクロナス DRAM 000 : 1* ¹ 001 : 2 010 : 3 011 : 4* ¹ 100 : 5* ¹ 101 : 6* ¹ 110 : 7* ¹ 111 : 8* ¹
20	TPC1	0	R/W	
19	TPC0	0	R/W	
18		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	RCD1	0	R/W	RAS-CAS 遅延 シンクロナス DRAM インタフェースを設定した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。 00 : 設定禁止 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル* ¹
16	RCD0	0	R/W	

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
15	TRWL2	0	R/W	<p>書き込みプリチャージ遅延</p> <p>シンクロナス DRAM の書き込みプリチャージの遅延時間を設定します。オートプリチャージモードのときは書き込みサイクル後、次のバンクアクティブコマンドが起動されるまでの時間を指定します。書き込みサイクル後、(TPC + TRWL) 相当の期間、次のアクティブコマンドを発行しません。RAS ダウンモードのときは次のプリチャージコマンドが発行されるまでの時間を指定します。書き込みサイクル後、TRWL の期間、次のプリチャージコマンドを発行しません。シンクロナス DRAM インタフェース設定時のみ有効です。設定値とコマンドを発行しない期間は、「33.3.3 バスタイミング」を参照してください。</p> <p style="text-align: center;">書き込みプリチャージ ACT 遅延時間</p> <p>000 : 1</p> <p>001 : 2</p> <p>010 : 3*¹</p> <p>011 : 4*¹</p> <p>100 : 5*¹</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
14	TRWL1	0	R/W	
13	TRWL0	0	R/W	
12	TRAS2	0	R/W	<p>リフレッシュ期間</p> <p>シンクロナス DRAM インタフェースを設定した場合、オートリフレッシュコマンド発行後、TRC*² + TRAS の期間バンクアクティブコマンドを発行しません。</p> <p style="text-align: center;">シンクロナス DRAM リフレッシュ後のコマンド間隔</p> <p>000 : 4 + TRC</p> <p>001 : 5 + TRC</p> <p>010 : 6 + TRC</p> <p>011 : 7 + TRC</p> <p>100 : 8 + TRC</p> <p>101 : 9 + TRC</p> <p>110 : 10 + TRC</p> <p>111 : 11 + TRC</p>
11	TRAS1	0	R/W	
10	TRAS0	0	R/W	
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8	SZ1	0	R/W	メモリデータサイズ
7	SZ0	0	R/W	シンクロナス DRAM のバス幅を指定します。BCR2 の設定に優先します。 シンクロナス DRAM 00 : 設定禁止 01 : 設定禁止 10 : 設定禁止 11 : 32 ビット
6	AMXEXT	0	R/W	アドレスマルチプレクス
5	AMX2	0	R/W	シンクロナス DRAM のアドレスマルチプレクスを指定します。
4	AMX1	0	R/W	詳細は、「付録 D. シンクロナス DRAM のアドレスマルチプレクス表」を参照してください。
3	AMX0	0	R/W	シンクロナス DRAM 構成例 BANK 0000 : (512k × 16 ビット × 2) × 2 a[21] ^{*3} 1000 : (512k × 16 ビット × 2) × 2 a[20] ^{*3} 0001 : (1M × 8 ビット × 2) × 4 a[22] ^{*3} 1001 : (1M × 8 ビット × 2) × 4 a[21] ^{*3} 0010 : (1M × 16 ビット × 4) × 2 a[23 : 22] ^{*3} 0011 : (2M × 8 ビット × 4) × 4 a[24 : 23] ^{*3} 0100 : (512k × 32 ビット × 4) × 1 a[22 : 21] ^{*3} 0101 : (1M × 32 ビット × 2) × 1 a[22] ^{*3} 0110 : (4M × 4 ビット × 4) × 8 a[25 : 24] ^{*3} 1110 : (4M × 16 ビット × 4) × 2 a[25 : 24] ^{*3} 0111 : (256k × 32 ビット × 2) × 1 a[20] ^{*3} 上記以外 : 設定禁止
2	RFSH	0	R/W	リフレッシュ制御 リフレッシュ制御を指定します。シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。 0 : リフレッシュを行いません 1 : リフレッシュを行います

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1	RMODE	0	R/W	リフレッシュモード このビットは、RFSH ビット=1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ RMODE ビット=0 とすると、シンクロナス DRAM に対して、オートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ、RMODE ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってからシンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。 0 : オートリフレッシュを行います (ただし、RFSH=1 の場合) 1 : セルフリフレッシュを実行します (ただし、RFSH=1 の場合)
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】 *1 RAS ダウンモードでは禁止
*2 ビット 29~27。リフレッシュ終了時の RAS プリチャージ期間
*3 a[x] : アドレス端子でなく、外部アドレス

10.5.10 PCMCIA コントロールレジスタ (PCR)

PCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、エリア 5、6 に接続する PCMCIA インタフェースに対する \overline{OE} 、 \overline{WE} 信号のアサート / ネゲートタイミングを指定します。なお、 \overline{OE} 、 \overline{WE} 信号のアサート幅は、WCR2 のウェイトコントロールビットで設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A5 PCW1	A5 PCW0	A6 PCW1	A6 PCW0	A5 TED2	A5 TED1	A5 TED0	A6 TED2	A6 TED1	A6 TED0	A5 TEH2	A5 TEH1	A5 TEH0	A6 TEH2	A6 TEH1	A6 TEH0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	A5PCW1	0	R/W	PCMCIA ウェイト A5
14	A5PCW0	0	R/W	低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。 挿入ウェイト数 00 : 0 01 : 15 10 : 30 11 : 50

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明																		
13 12	A6PCW1 A6PCW0	0 0	R/W R/W	<p>PCMCIA ウェイト A6</p> <p>低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。</p> <p>挿入ウェイト数</p> <table> <tr><td>00 :</td><td>0</td></tr> <tr><td>01 :</td><td>15</td></tr> <tr><td>10 :</td><td>30</td></tr> <tr><td>11 :</td><td>50</td></tr> </table>	00 :	0	01 :	15	10 :	30	11 :	50										
00 :	0																					
01 :	15																					
10 :	30																					
11 :	50																					
11 10 9	A5TED2 A5TED1 A5TED0	0 0 0	R/W R/W R/W	<p>アドレス - $\overline{OE}/\overline{WE}$ アサート遅延 A5</p> <p>接続された PCMCIA インタフェースにおけるアドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。</p> <table> <thead> <tr> <th>挿入ウェイト数</th> <th>挿入ウェイト数</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>0</td><td>100 :</td><td>6</td></tr> <tr><td>001 :</td><td>1</td><td>101 :</td><td>9</td></tr> <tr><td>010 :</td><td>2</td><td>110 :</td><td>12</td></tr> <tr><td>011 :</td><td>3</td><td>111 :</td><td>15</td></tr> </tbody> </table>	挿入ウェイト数	挿入ウェイト数	000 :	0	100 :	6	001 :	1	101 :	9	010 :	2	110 :	12	011 :	3	111 :	15
挿入ウェイト数	挿入ウェイト数																					
000 :	0	100 :	6																			
001 :	1	101 :	9																			
010 :	2	110 :	12																			
011 :	3	111 :	15																			
8 7 6	A6TED2 A6TED1 A6TED0	0 0 0	R/W R/W R/W	<p>アドレス - $\overline{OE}/\overline{WE}$ アサート遅延 A6</p> <p>接続された PCMCIA インタフェースにおけるアドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。</p> <table> <thead> <tr> <th>挿入ウェイト数</th> <th>挿入ウェイト数</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>0</td><td>100 :</td><td>6</td></tr> <tr><td>001 :</td><td>1</td><td>101 :</td><td>9</td></tr> <tr><td>010 :</td><td>2</td><td>110 :</td><td>12</td></tr> <tr><td>011 :</td><td>3</td><td>111 :</td><td>15</td></tr> </tbody> </table>	挿入ウェイト数	挿入ウェイト数	000 :	0	100 :	6	001 :	1	101 :	9	010 :	2	110 :	12	011 :	3	111 :	15
挿入ウェイト数	挿入ウェイト数																					
000 :	0	100 :	6																			
001 :	1	101 :	9																			
010 :	2	110 :	12																			
011 :	3	111 :	15																			
5 4 3	A5TEH2 A5TEH1 A5TEH0	0 0 0	R/W R/W R/W	<p>$\overline{OE}/\overline{WE}$ ネゲート - アドレス遅延 A5</p> <p>接続された PCMCIA インタフェースにおける $\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。</p> <table> <thead> <tr> <th>挿入ウェイト数</th> <th>挿入ウェイト数</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>0</td><td>100 :</td><td>6</td></tr> <tr><td>001 :</td><td>1</td><td>101 :</td><td>9</td></tr> <tr><td>010 :</td><td>2</td><td>110 :</td><td>12</td></tr> <tr><td>011 :</td><td>3</td><td>111 :</td><td>15</td></tr> </tbody> </table>	挿入ウェイト数	挿入ウェイト数	000 :	0	100 :	6	001 :	1	101 :	9	010 :	2	110 :	12	011 :	3	111 :	15
挿入ウェイト数	挿入ウェイト数																					
000 :	0	100 :	6																			
001 :	1	101 :	9																			
010 :	2	110 :	12																			
011 :	3	111 :	15																			

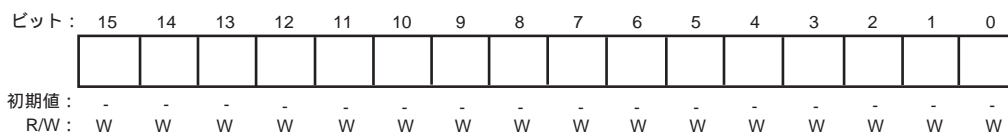
10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明																			
2	A6TEH2	0	R/W	OE/WE ネゲート - アドレス遅延 A6 接続された PCMCIA インタフェースにおける OE/WE ネゲートからのアドレスホールド遅延時間を設定します。PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。																			
1	A6TEH1	0	R/W																				
0	A6TEH0	0	R/W																				
<table style="width: 100%; border: none;"> <thead> <tr> <th colspan="2" style="text-align: left;">挿入ウェイト数</th> <th colspan="2" style="text-align: right;">挿入ウェイト数</th> </tr> </thead> <tbody> <tr> <td>000 :</td> <td style="text-align: center;">0</td> <td>100 :</td> <td style="text-align: center;">6</td> </tr> <tr> <td>001 :</td> <td style="text-align: center;">1</td> <td>101 :</td> <td style="text-align: center;">9</td> </tr> <tr> <td>010 :</td> <td style="text-align: center;">2</td> <td>110 :</td> <td style="text-align: center;">12</td> </tr> <tr> <td>011 :</td> <td style="text-align: center;">3</td> <td>111 :</td> <td style="text-align: center;">15</td> </tr> </tbody> </table>					挿入ウェイト数		挿入ウェイト数		000 :	0	100 :	6	001 :	1	101 :	9	010 :	2	110 :	12	011 :	3	111 :
挿入ウェイト数		挿入ウェイト数																					
000 :	0	100 :	6																				
001 :	1	101 :	9																				
010 :	2	110 :	12																				
011 :	3	111 :	15																				

10.5.11 シンクロナス DRAM モードレジスタ (SDMR)

SDMR は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 16 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR に対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。



SDMR に対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を "X"、SDMR のアドレスを "Y" とすると、X + Y 番地に書き込みを行うことによって、値 "X" が SDMR に書き込まれます。なお、シンクロナス DRAM のバス幅が 32 ビットに設定されている場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には "X" を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。

たとえば、エリア 2 の SDMR に H'0230 を書き込む場合は、H'FF90 0000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF90 08C0) 番地に任意のデータを書き込みます。この結果、SDMR に H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR に H'0230 を書き込む場合は、H'FF94 0000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF94 08C0) 番地に任意のデータを書き込みます。この結果、SDMR に H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

アドレスの低位 16 ビットが、SDMR にセットされます。バースト長は 4、8 です。SDMR に設定する場合、以下のアドレスに対してバイトサイズで書き込むことになります。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4	1	H'FF90 0048	H'FF94 0048
		2	H'FF90 0088	H'FF94 0088
		3	H'FF90 00C8	H'FF94 00C8

10. バスステートコントローラ (BSC)

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	8	1	H'FF90 004C	H'FF94 004C
		2	H'FF90 008C	H'FF94 008C
		3	H'FF90 00CC	H'FF94 00CC

32ビットバスの場合



LMODE : RAS-CASレイテンシ
 BL : バースト長
 WT : ラップタイプ (0: シーケンシャル)

BL	LMODE
000: 設定禁止	000: 設定禁止
001: 設定禁止	001: 1
010: 4	010: 2
011: 8	011: 3
100: 設定禁止	100: 設定禁止
101: 設定禁止	101: 設定禁止
110: 設定禁止	110: 設定禁止
111: 設定禁止	111: 設定禁止

10.5.12 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

RTCSR は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ RTCNT と RTCOR の値が一致したことを示すステータスフラグです。 0: RTCNT と RTCOR の値が一致していないことを示します。 [クリア条件]: CMF に 0 を書き込んだ場合 1: RTCNT と RTCOR の値が一致したことを示します。 [セット条件]: RTCNT = RTCOR の場合*

10. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	CMIE	0	R/W	<p>コンペアマッチインタラプトイネーブル</p> <p>RTCSR の CMF ビットが 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。オートリフレッシュを行っている場合は、CMIE ビットを 1 にしないでください。</p> <p>0 : CMF による割り込み要求を禁止する 1 : CMF による割り込み要求を許可する</p>
5	CKS2	0	R/W	<p>クロックセレクトビット</p> <p>RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが RTCNT のカウントクロックとなります。</p> <p>000 : クロック入力禁止 001 : CKIO/4 010 : CKIO/16 011 : CKIO/64 100 : CKIO/256 101 : CKIO/1024 110 : CKIO/2048 111 : CKIO/4096</p>
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	OVF	0	R/W	
1	OVIE	0	R/W	<p>リフレッシュカウントオーバーフローインタラプトイネーブル</p> <p>OVF ビットが 1 にセットされたときに、OVF ビットによる割り込み要求を発生させるか抑止するかを制御します。</p> <p>0 : OVF による割り込み要求を禁止します 1 : OVF による割り込み要求を許可します</p>
0	LMTS	0	R/W	<p>リフレッシュカウントオーバーフローリミットセレクト</p> <p>RFCR で示されるリフレッシュ回数と比較するカウントリミット値を制御します。RFCR が LMTS ビットで指定される値をオーバーフローすると OVF フラグがセットされます。</p> <p>0 : カウントリミット値を 1024 とします 1 : カウントリミット値を 512 とします</p>

【注】 * 1 を書き込むと元の値が保持されます。

10.5.13 リフレッシュタイムカウンタ (RTCNT)

RTCNT は、読み出し / 書き込み可能な 8 ビットのカウンタで、入力したクロックによりカウントアップします。入力クロックは RTCSR の CKS2~0 ビットで選択します。RTCNT が RTCOR と一致すると、RTCSR の CMF ビットをセットした後、RTCNT はクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.5.14 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、RTCNT の上限値を指定する読み出し / 書き込み可能なレジスタです。RTCOR と RTCNT の値 (下位 8 ビット) は常に比較され、一致すると RTCSR の CMF ビットをセットして、RTCNT を 0 にクリアします。MCR の RFSH ビットが 1 にセットかつリフレッシュモードがオートリフレッシュに設定されているときに、CMF ビットがセットされると、メモリリフレッシュサイクルが発生します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.5.15 リフレッシュカウントレジスタ (RFCR)

RFCR は、読み出し / 書き込み可能な 10 ビットのカウンタで、リフレッシュ回数をカウントします。RTCOR と RTCNT の値が一致する度にカウントアップします。RFCR が RTCSR の LMTS ビットで指定したカウントリミット値を超えると、RTCSR の OVF フラグをセットして、RFCR はクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.5.16 リフレッシュコントロール関連レジスタアクセス方法

RTCSR、RTCNT、RTCOR、RFCR は、プログラムが暴走したときなどに誤って書き替えられないように、書き込み時に特定のコードをデータに付加するようになっています。次の方法で、書き込み / 読み出しを行ってください。

(1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 10.5 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

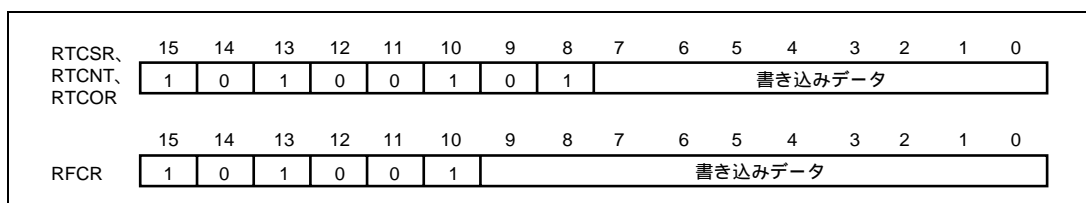


図 10.5 RTCSR、RTCNT、RTCOR、RFCR への書き込み

(2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

10.6 動作説明

10.6.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイトが 0 番地側になるビッグエンディアン、下位バイトが 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) で $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。シンクロナス DRAM は 32 ビット幅です。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。たとえば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残り

10. バスステートコントローラ (BSC)

のアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放やリフレッシュ動作は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。クワッドワードアクセスは、DMAC による転送の場合のみです。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 10.10 ~ 表 10.15 に示します。

*データ構造

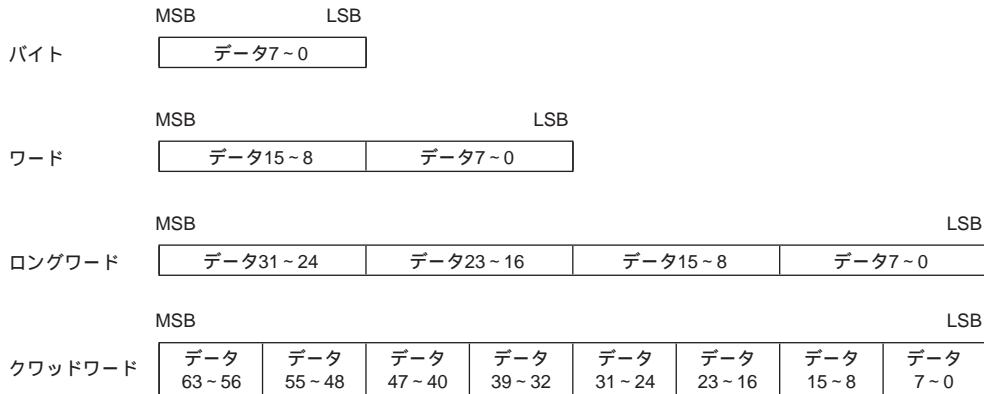


表 10.10 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		番号	データバス				ストロープ信号			
			D31~24	D23~16	D15~8	D7~0	WE3, DQM3	WE2, DQM2	WE1, DQM1	WE0, DQM0
バイト	4n	1	データ7~0	-	-	-	アサート			
	4n+1	1	-	データ7~0	-	-		アサート		
	4n+2	1	-	-	データ7~0	-			アサート	
	4n+3	1	-	-	-	データ7~0				アサート
ワード	4n	1	データ 15~8	データ7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ7~0			アサート	アサート
ロングワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ7~0	アサート	アサート	アサート	アサート
クワッドワード	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+4	2	データ 31~24	データ 23~16	データ 15~8	データ7~0	アサート	アサート	アサート	アサート

10. バスステートコントローラ (BSC)

表 10.11 16 ビット外部デバイス / ビッグエンディアンへのアクセスとデータアライメント

動作		番号	データバス				ストロープ信号			
アクセスサイズ	アドレス		D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 DQM3	WE2、 DQM2	WE1、 DQM1	WE0、 DQM0
バイト	2n	1	-	-	データ 7 ~ 0	-			アサート	
	2n+1	1	-	-	-	データ 7 ~ 0				アサート
ワード	2n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31 ~ 24	データ 23 ~ 16			アサート	アサート
	4n+2	2	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
クワッド ワード	8n	1	-	-	データ 63 ~ 56	データ 55 ~ 48			アサート	アサート
	8n+2	2	-	-	データ 47 ~ 40	データ 39 ~ 32			アサート	アサート
	8n+4	3	-	-	データ 31 ~ 24	データ 23 ~ 16			アサート	アサート
	8n+6	4	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート

表 10.12 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		番号	データバス				ストローブ信号			
アクセスサイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQM3	$\overline{WE2}$ 、 DQM2	$\overline{WE1}$ 、 DQM1	$\overline{WE0}$ 、 DQM0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロングワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート
クワッドワード	8n	1	-	-	-	データ 63~56				アサート
	8n+1	2	-	-	-	データ 55~48				アサート
	8n+2	3	-	-	-	データ 47~40				アサート
	8n+3	4	-	-	-	データ 39~32				アサート
	8n+4	5	-	-	-	データ 31~24				アサート
	8n+5	6	-	-	-	データ 23~16				アサート
	8n+6	7	-	-	-	データ 15~8				アサート
	8n+7	8	-	-	-	データ 7~0				アサート

10. バスステートコントローラ (BSC)

表 10.13 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

動作		番号	データバス				ストロープ信号			
アクセスサイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQM3	$\overline{WE2}$ 、 DQM2	$\overline{WE1}$ 、 DQM1	$\overline{WE0}$ 、 DQM0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロングワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
クワッドワード	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート

表 10.14 16 ビット外部デバイス / リトルエンディアン のアクセスとデータアライメント

動作		番号	データバス				ストロブ信号			
アクセスサイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 DQM3	$\overline{WE2}$ 、 DQM2	$\overline{WE1}$ 、 DQM1	$\overline{WE0}$ 、 DQM0
バイト	2n	1	-	-	-	データ 7~0				アサート
	2n+1	1	-	-	データ 7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロングワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
クワッドワード	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート
	8n+6	4	-	-	データ 63~56	データ 55~48			アサート	アサート

10. バスステートコントローラ (BSC)

表 10.15 8ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		番号	データバス				ストロープ信号			
アクセスサイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、DQM3	WE2、DQM2	WE1、DQM1	WE0、DQM0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロングワード	4n	1	-	-	-	データ 7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート
クワッドワード	8n	1	-	-	-	データ 7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート
	8n+3	4	-	-	-	データ 31~24				アサート
	8n+4	5	-	-	-	データ 39~32				アサート
	8n+5	6	-	-	-	データ 47~40				アサート
	8n+6	7	-	-	-	データ 55~48				アサート
	8n+7	8	-	-	-	データ 63~56				アサート

10.6.2 エリアの説明

(1) エリア 0

エリア 0 は、外部アドレスの A28 ~ A26 が 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX と、バースト ROM です。

バス幅は、外部ピンの MD4、MD3 により $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。

エリア 0 をアクセスすると $\overline{\text{CS0}}$ 信号がアサートされます。また、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号や書き込み制御の $\overline{\text{WE0}} \sim \overline{\text{WE3}}$ がアサートされます。

バスサイクル数は、WCR2 の A0W2 ~ A0W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ($\overline{\text{RDY}}$) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で選択できます。

リード/ライトストロープ信号のアドレスおよび $\overline{\text{CS}}$ セットアップ/ホールド時間は、WCR3 レジスタの A0S0 および A0H1、A0H0 ビットにより、それぞれ 0 ~ 1、0 ~ 3 サイクルに設定することができます。

(2) エリア 1

エリア 1 は、外部アドレスの A28 ~ A26 が 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX およびバイト制御 SRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A1SZ1、A1SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 の A1SZ1、A1SZ0 ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると $\overline{\text{CS1}}$ 信号がアサートされます。また、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号や書き込み制御の $\overline{\text{WE0}} \sim \overline{\text{WE3}}$ がアサートされます。

バスサイクル数は、WCR2 の A1W2 ~ A1W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ($\overline{\text{RDY}}$) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および $\overline{\text{CS}}$ セットアップ/ホールド時間は、WCR3 の A1S0、および A1H1、A1H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

(3) エリア 2

エリア 2 は、外部アドレスの A28 ~ A26 が 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A2SZ1、A2SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 の A2SZ1 ~ A2SZ0 ビットにより、32 ビットに設定してください。また、シンクロナス DRAM インタフェースを設定する場合は、MCR の SZ ビットにより、32 ビットに設定してください。

エリア 2 をアクセスすると $\overline{\text{CS2}}$ 信号がアサートされます。

10. バスステートコントローラ (BSC)

SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A2W2 ~ A2W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 の A2S0、および A2H1、A2H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを設定している場合、 \overline{RAS} 信号や \overline{CAS} 信号、RD/ \overline{WR} 信号、バイト制御の DQM0 ~ DQM3 がアサートされ、アドレスマルチプレクスが行われます。 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR によって設定できます。

(4) エリア 3

エリア 3 は、外部アドレスの A28 ~ A26 が 011 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 の A3SZ1、A3SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、シンクロナス DRAM を設定する場合、MCR の SZ ビットにより 32 ビットに設定してください。

エリア 3 をアクセスすると $\overline{CS3}$ 信号がアサートされます。

SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、WCR2 の A3W2 ~ A3W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 (\overline{RDY}) によりバスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 の A3S0、および A3H1、A3H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを設定している場合、 \overline{RAS} 信号や \overline{CAS} 信号、RD/ \overline{WR} 信号、バイト制御の DQM0 ~ DQM3 がアサートされ、アドレスマルチプレクスが行われます。これら、 \overline{RAS} や \overline{CAS} 、データのタイミング制御やアドレスマルチプレクス制御は、MCR によって設定できます。

(5) エリア 4

エリア 4 は、外部アドレスの A28 ~ A26 が 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御 SRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A4SZ1、A4SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビットに設定してください。

エリア 4 をアクセスすると $\overline{CS4}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入す

ることができます。リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 の A4S0、および A4H1、A4H0 ビットにより、それぞれ 0~1、0~3 サイクルに設定することができます。

(6) エリア 5

エリア 5 は、外部アドレスの A28~A26 が 101 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 の A5SZ1、A5SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 の A5SZ1、A5SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、BCR2 の A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

SRAM インタフェースを設定している場合、エリア 5 をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIOWR} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、WCR2 の A5W2~A5W0 ビットによってウェイト数を 0~15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2~9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 レジスタの A5S0、および A5H1、A5H0 ビットにより、それぞれ、0~1、0~3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合、読み出し/書き込みストロープ信号に対してアドレス $\overline{CE1A}$ 、 $\overline{CE2A}$ のセットアップ、ホールド時間を PCR レジスタの A5TED1、A5TED0 ビット、A5TEH1、A5TEH0 ビットによって、0~15 サイクルの範囲で設定できます。さらに、A5PCW1、A5PCW0 ビットによりウェイトサイクルを 0~50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

(7) エリア 6

エリア 6 は、外部アドレスの A28~A26 が 110 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 の A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 の A6SZ1、A6SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、BCR2 の A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。

SRAM インタフェースを設定している場合、エリア 6 をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを設定する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{ICIORD} 、 \overline{ICIOWR} 、

10. バスステートコントローラ (BSC)

\overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、WCR2 の A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および \overline{CS} セットアップ/ホールド時間は、WCR3 の A6S0、および A6H1、A6H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合読み出し/書き込みストロープ信号に対してアドレス $\overline{CE1B}$ 、 $\overline{CE2B}$ のセットアップ、ホールド時間を PCR の A6TED1、A6TED0 ビット、A6TEH1、A6TEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、A6PCW1、A6PCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

10.6.3 SRAM インタフェース

(1) 基本タイミング

本 LSI の SRAM インタフェースは、主に SRAM の接続を考慮してストロープ信号を出力します。図 10.6 に SRAM インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 \overline{CSn} 信号は、T1 の立ち上がりでアサートされ、T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは読み出し時は指定がありません。アドレス端子 (A [25 : 0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「10.6.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

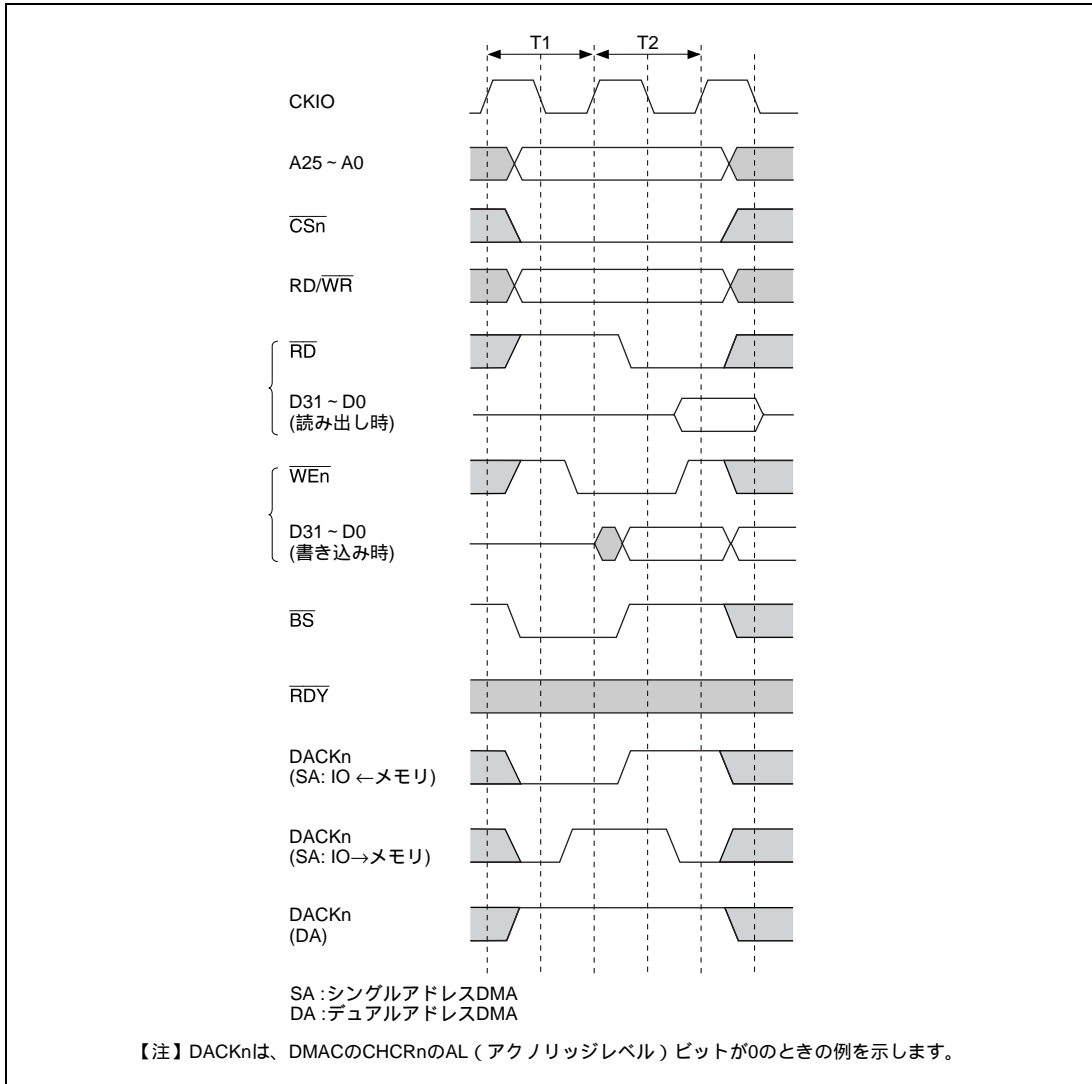


図 10.6 SRAM インタフェースの基本タイミング

10. バスステートコントローラ (BSC)

図 10.7 に 32 ビットデータ幅の SRAM との接続例を、図 10.8 に 16 ビットデータ幅の SRAM との接続例を、図 10.9 に 8 ビットデータ幅の SRAM との接続例を示します。

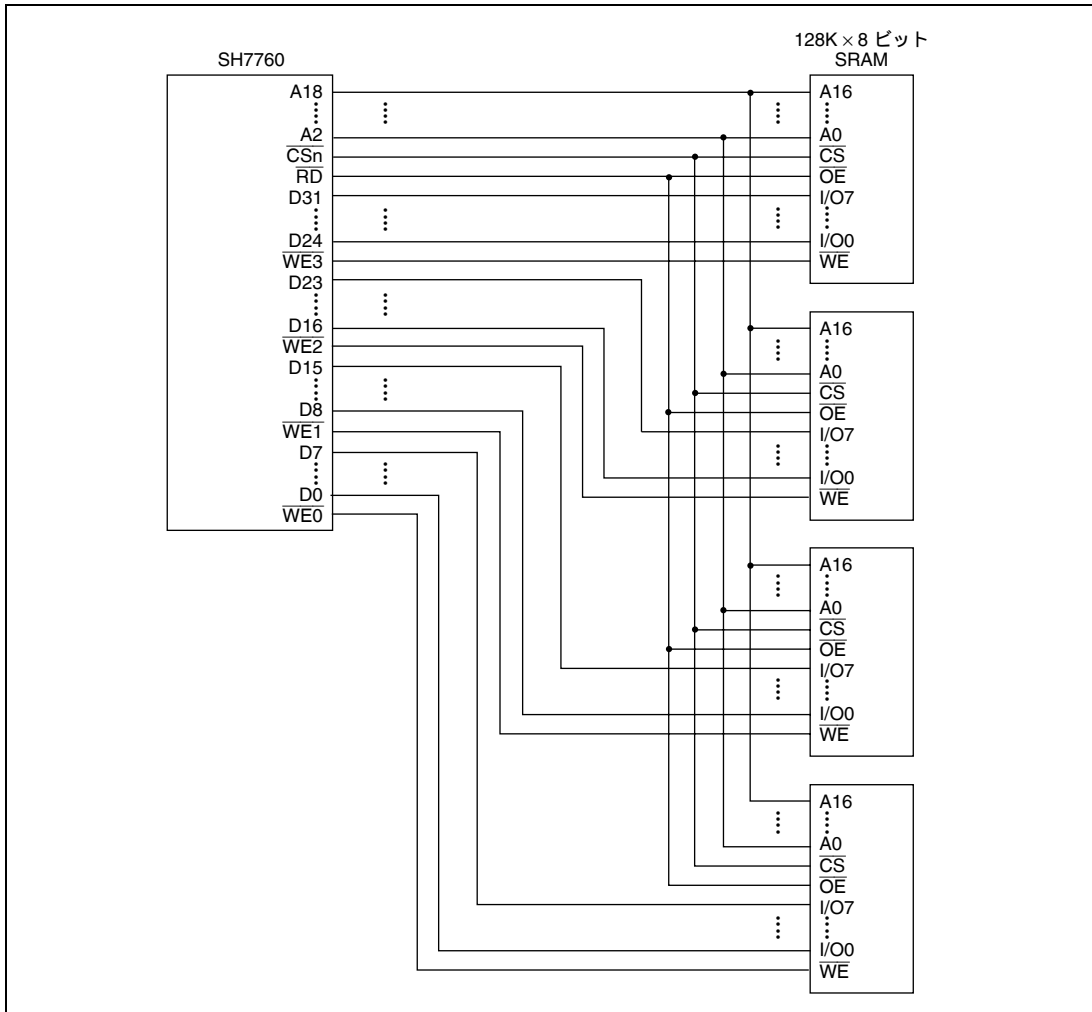


図 10.7 32 ビットデータ幅 SRAM 接続例

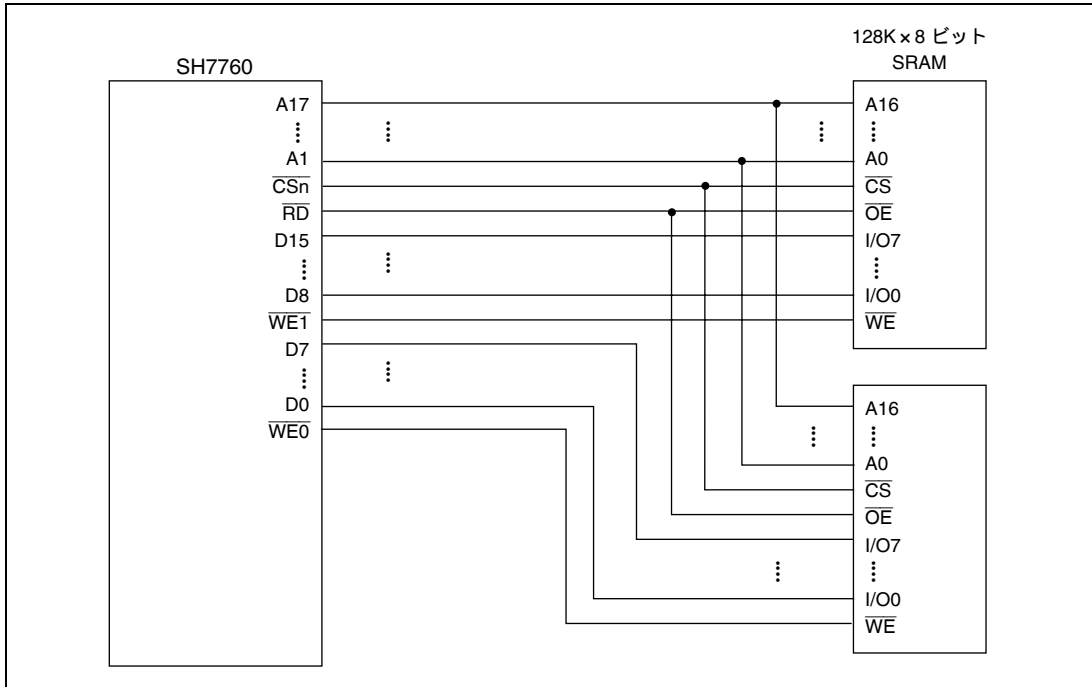


図 10.8 16 ビットデータ幅 SRAM 接続例

10. バスステートコントローラ (BSC)

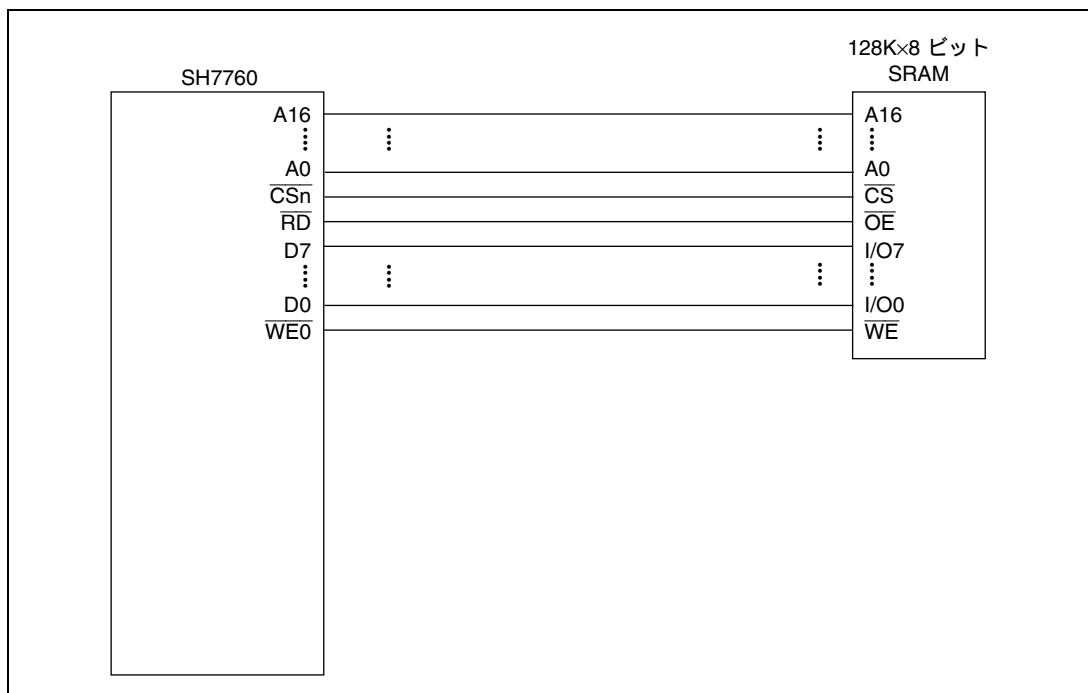


図 10.9 8ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

WCR2 の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェアウェイトが挿入されます。詳細は「10.5.6 ウェイトコントロールレジスタ 2 (WCR2)」の項を参照してください。

WCR2 によって、図 10.10 に示す SRAM インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

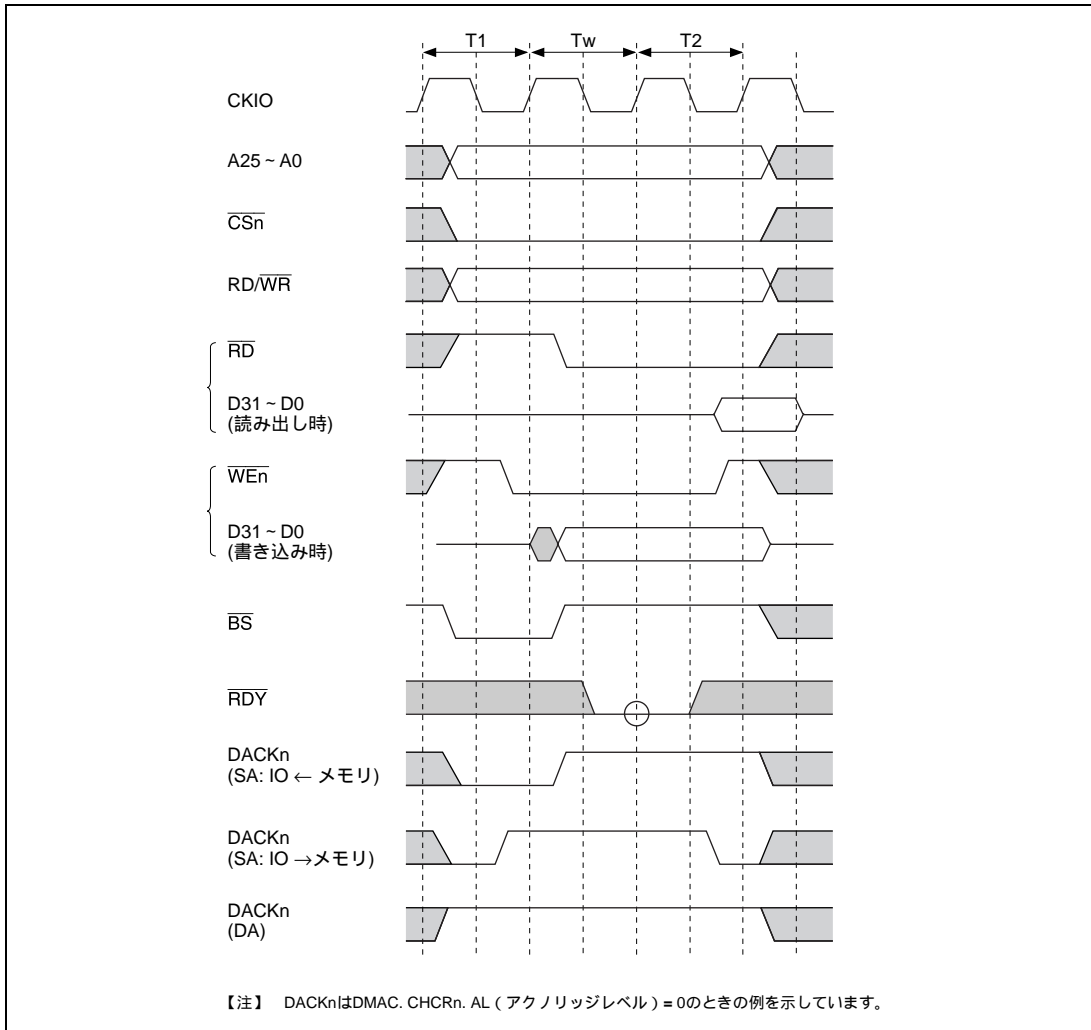


図 10.10 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

10. バスステートコントローラ (BSC)

WCR2によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 $\overline{\text{RDY}}$ 信号もサンプリングされます。 $\overline{\text{RDY}}$ 信号のサンプリングを図10.11に示します。ソフトウェアウェイトとして1サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび1回目の T_w サイクルで $\overline{\text{RDY}}$ 信号をアサートしてもなにも影響を与えません。 $\overline{\text{RDY}}$ 信号はクロックの立ち上がりでサンプリングされます。

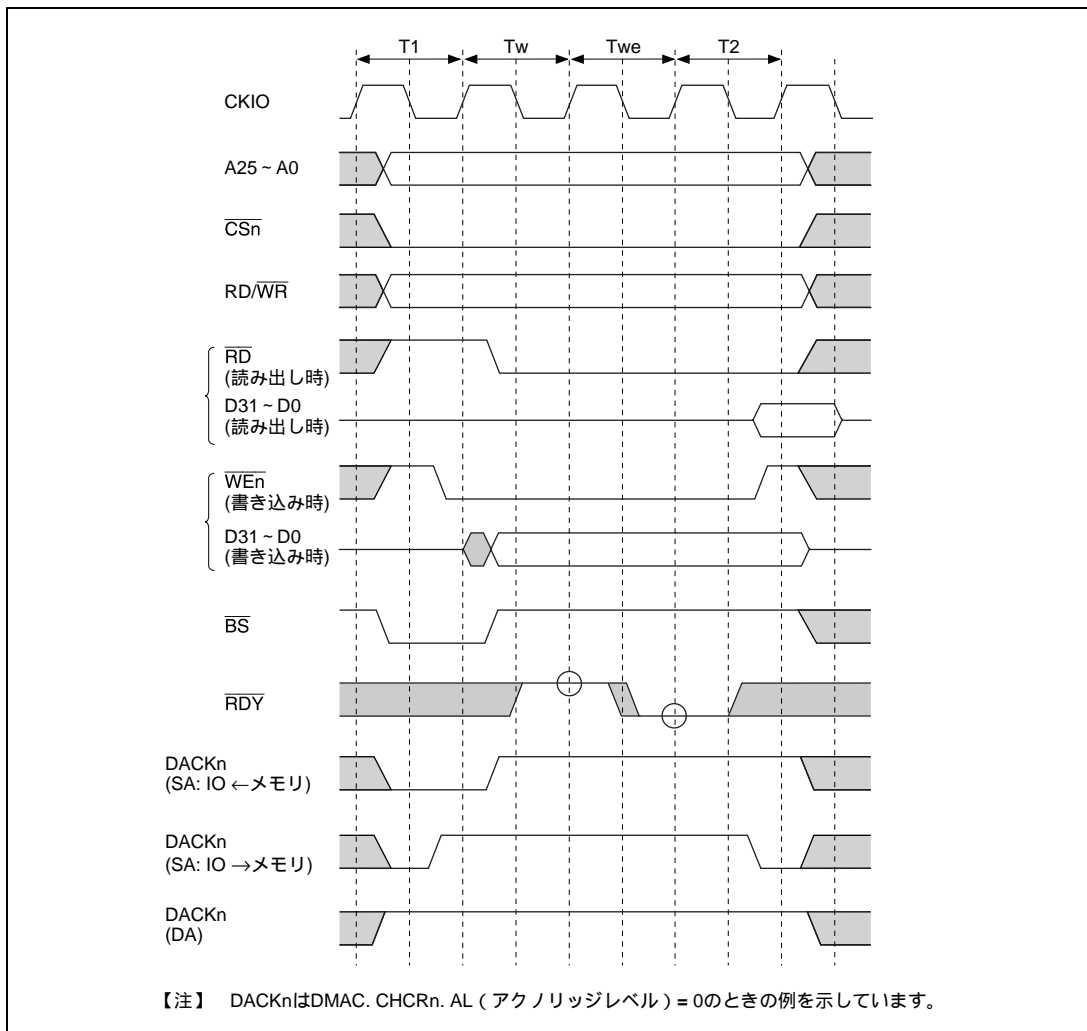


図 10.11 SRAM インタフェースのウェイトステートタイミング
($\overline{\text{RDY}}$ 信号によるウェイトステート挿入)

(3) 読み出しストローブネゲートタイミング

SRAM インタフェース時、WCR3 の A1RDH、A4RDH の設定により、読み出す時のストローブのネゲートタイミングを設定することができます。バイト制御 SRAM 設定時は AnRDH に 0 を設定してください。

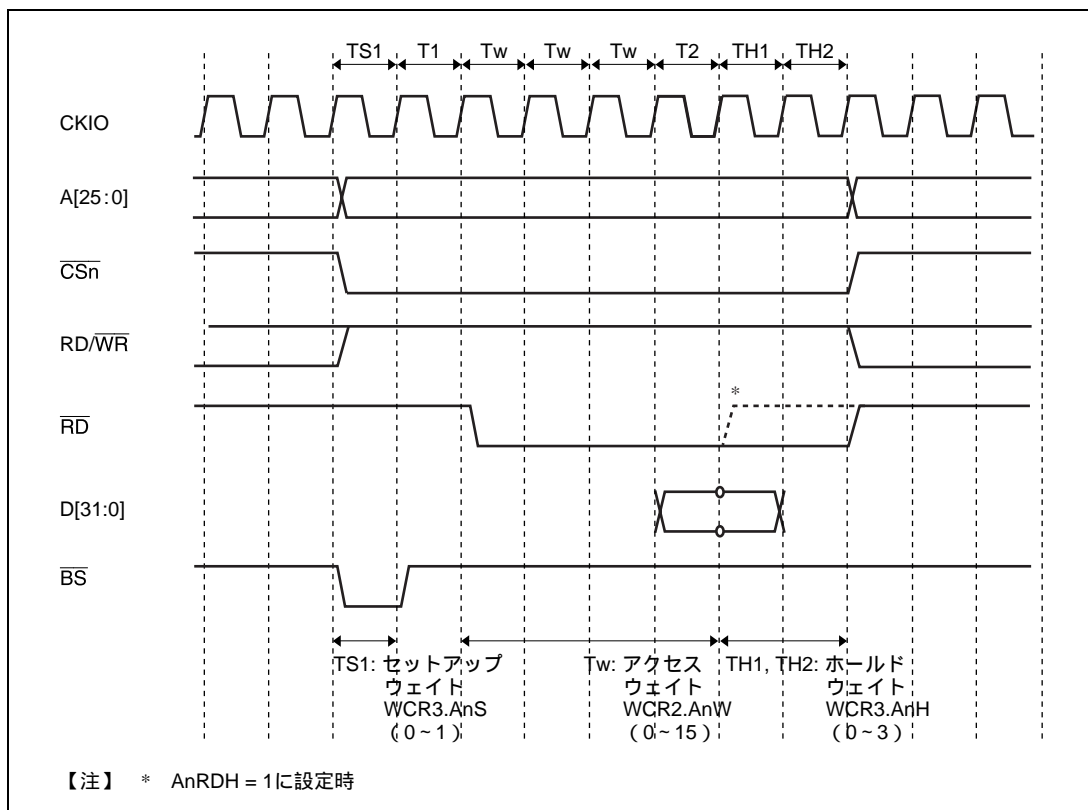


図 10.12 SRAM インタフェースのウェイトステートタイミング
(読み出しストローブネゲートタイミングの設定)
(AnS = 1、AnW = 011、AnH = 10)

10. バスステートコントローラ (BSC)

(4) クロック分周レジスタ設定時の DCK、 $\overline{BS2}$ 、 $\overline{CS1}$ のタイミング

DCKDR.DIV[1:0]により分周比を CKIO/2 に設定したときの SRAM 読み出しタイミングを図 10.13 に示します。

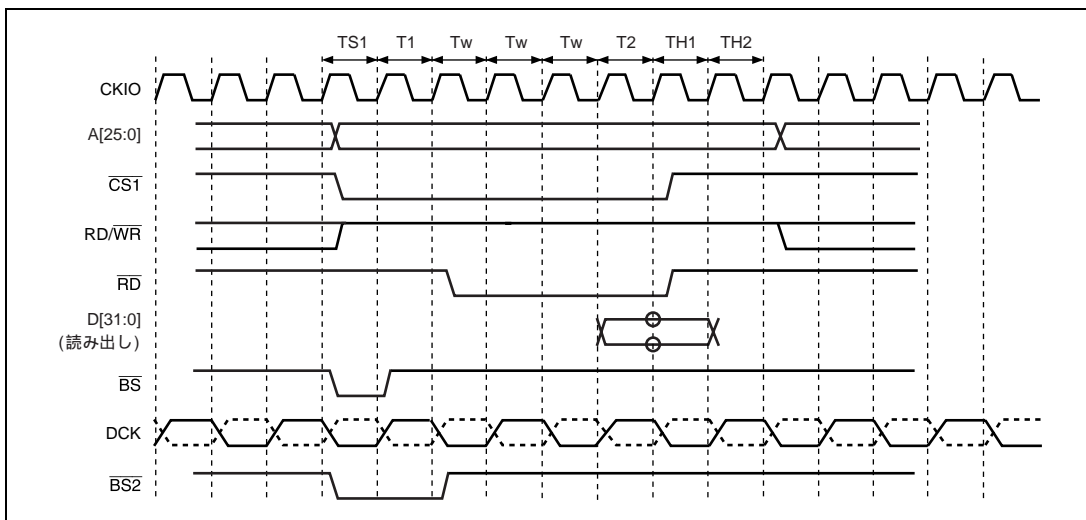


図 10.13 SRAM インタフェース読み出し時の DCK、 $\overline{BS2}$ 、 $\overline{CS1}$ タイミング
(DCKDR=H'0002、WCR3 の A1RDH=1、A1H[1:0]=10、WCR4 の CSH[1:0]=10、ウェイト 3 サイクル)

DCKDR を 1/2 に設定したときの SRAM 書き込みタイミングを図 10.14 に示します。

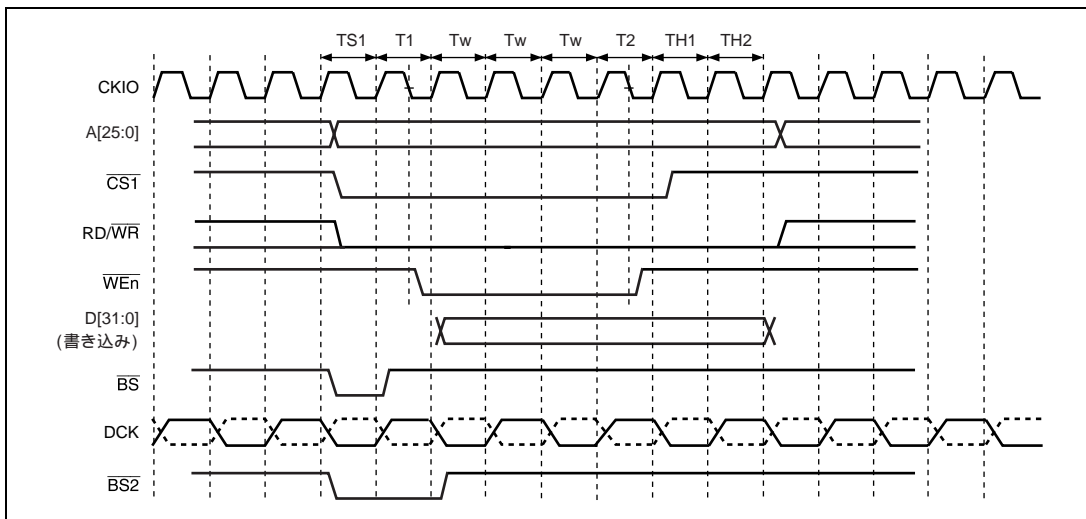


図 10.14 SRAM インタフェース書き込み時の DCK、 $\overline{BS2}$ 、 $\overline{CS1}$ タイミング
(DCKDR=H'0002、WCR3 の A1RDH=1、A1H[1:0]=10、WCR4 の CSH[1:0]=10、ウェイト 3 サイクル)

$\overline{CS1}$ と \overline{RD} のネゲートタイミングは以下のように設定してください。

ホールド時挿入ウェイト数	A1H[1:0]		CSH[1:0]	
0	0	0	0	0
1	0	1	0	1
2	1	0	1	0
3	1	1	1	1

10.6.4 シンクロナス DRAM インタフェース

(1) シンクロナス DRAM 接続方式

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} 等の制御信号を共通に使用して外部メモリ空間のエリア 2 とエリア 3 に接続が可能です。BCR1 の DRAMTP2 ~ 0 ビットを 010 に設定すると、エリア 3 がシンクロナス DRAM インタフェースになり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM インタフェースとなります。

本 LSI では、シンクロナス DRAM の動作モードとして、バースト長 4 のバーストリード / バーストライトのモードをサポートしています。データのバス幅は 32 ビットであり、MCR の SZ ビットを必ず 11 に設定してください。キャッシュのフィル / コピーバックサイクルでは 32 バイトのバースト転送が行われます。ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し / 書き込みではシンクロナス DRAM に対し、バースト長 4 のバーストリード / ライトでアクセスするため、シングルリード時でも 16 バイトのデータを読み込みます。またシングルライト時でも 16 バイトのデータ転送を行います。不必要なデータ転送のときは、DQMn がアサートされません。

さらに、本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 8 のバーストリード / バーストライトのモードもサポートしています。データのバス幅は 32 ビットであり、MCR の SZ ビットを必ず 11 に設定してください。キャッシュのフィル / コピーバックサイクルでは 32 バイトのバースト転送が行われます。ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し / 書き込みではシンクロナス DRAM に対し、バースト長 8 のバーストリード / ライトでアクセスするため、シングルリード時でも 32 バイトのデータを読み込みます。またシングルライト時でも 32 バイトのデータ転送を行います。不必要なデータ転送のときは、DQMn がアサートされません。バースト長 8 の設定時は「10.6.4 (11) バースト長切り替えについて」を参照してください。バースト長については「10.5.11 シンクロナス DRAM モードレジスタ (SDMR)」および「10.6.4 (10) パワーオンシーケンス」を参照してください。

シンクロナス DRAM を接続するための制御信号は \overline{RAS} 、 \overline{CASS} 、 $\overline{RD}/\overline{WR}$ 、 $\overline{CS2}$ または $\overline{CS3}$ 、DQM0 ~ DQM3 および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみに有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE は周波数変更または、クロック停止、クロック供給再開時のクロックの不安定なときまたは、セルフリフレッシュを行うときネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

\overline{RAS} 、 \overline{CASS} 、 $\overline{RD}/\overline{WR}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャー

10. バスステートコントローラ (BSC)

ジ (PALL)、指定バンクプリチャージ (PRE)、ロウアドレスストローブ・バンクアクティブ (ACTV)、読み出し (READ)、プリチャージ付き読み出し (READA)、書き込み (WRIT)、プリチャージ付き書き込み (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQM0 ~ DQM3 によって行われます。該当する DQM が L のバイトに対して読み出し / 書き込みが行われます。バス幅が 32 ビットで、ビッグエンディアンモードの場合、DQM3 は 4n 番地のアクセスを、DQM0 は 4n+3 番地のアクセスを指定します。またリトルエンディアンモードの場合、DQM3 は 4n+3 番地のアクセスを、DQM0 は 4n 番地のアクセスを指定します。

図 10.15 に 16M×16 ビットのシンクロナス DRAM を接続する場合の例を示します。

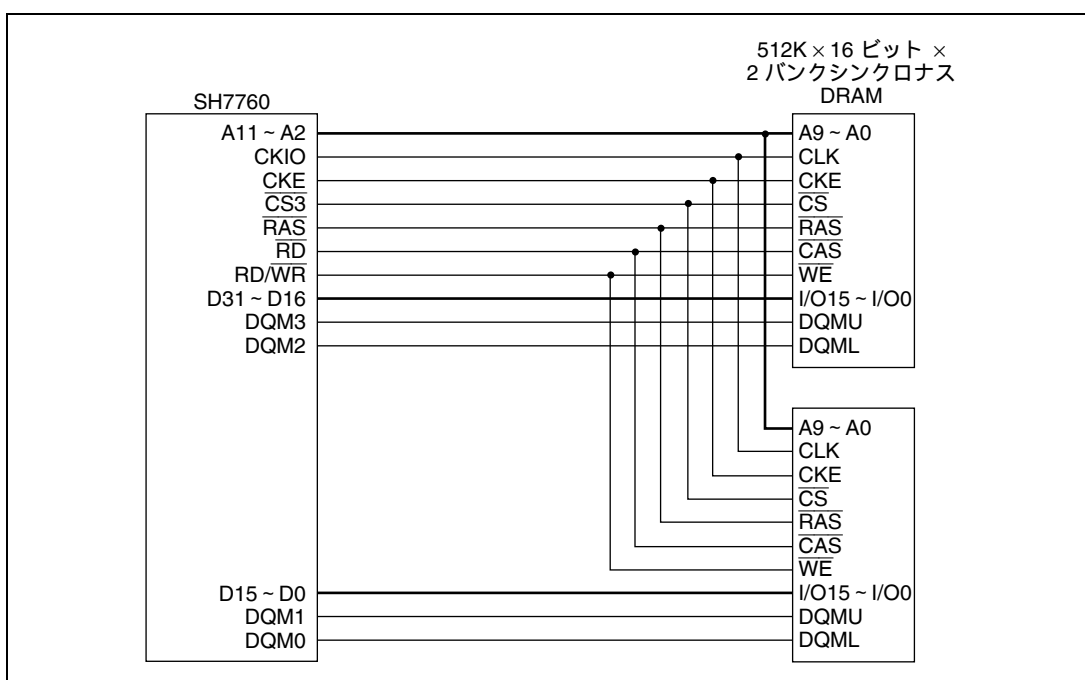


図 10.15 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)

(2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMXEXT、AMX2 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 10.16 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。アドレス端子 A25 ~ A18 と A1、A0 に出力されるアドレスは保証されません。

シンクロナス DRAM のアドレス端子の LSB である A0 は、本 LSI に接続するロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 10.16 SH7760 とシンクロナス DRAM のアドレス端子対応例
(バス幅 32 ビット、AMX2 ~ AMX0 = 000、AMXEXT=0)

	SH7760 のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A13	A21	A21	A11	BANK バンクアドレスを選択
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(3) バーストリード

バーストリード時のタイミングチャートを図 10.16 に示します。以下の例では、512K×16 ビット×2 バンクのシンクロナス DRAM を 2 個接続し、データ幅 32 ビットで使用した場合を想定しており、バースト長は 4 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1 サイクルに、さらに 4 サイクル後に READA コマンドを発行し、Td1 から Td8 のサイクルに外部コマンドクロック (CKIO) の立ち上がりで読み出しデータを受け取ります。Tpc は、シンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では、MCR の TPC2 ~ TPC0 ビットの指定によって Tpc のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

図 10.16 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、MCR の RCD1、RCD0 ビットによって指定することができます。0 ~ 3 のときそれぞれ 2 ~ 4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READ コマンド出力サイクル Tc1 から最初の読み出しデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W2 ~ A2W0 および A3W2 ~ A3W0 ビットによって、1 サイクルから 5 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

10. バスステートコントローラ (BSC)

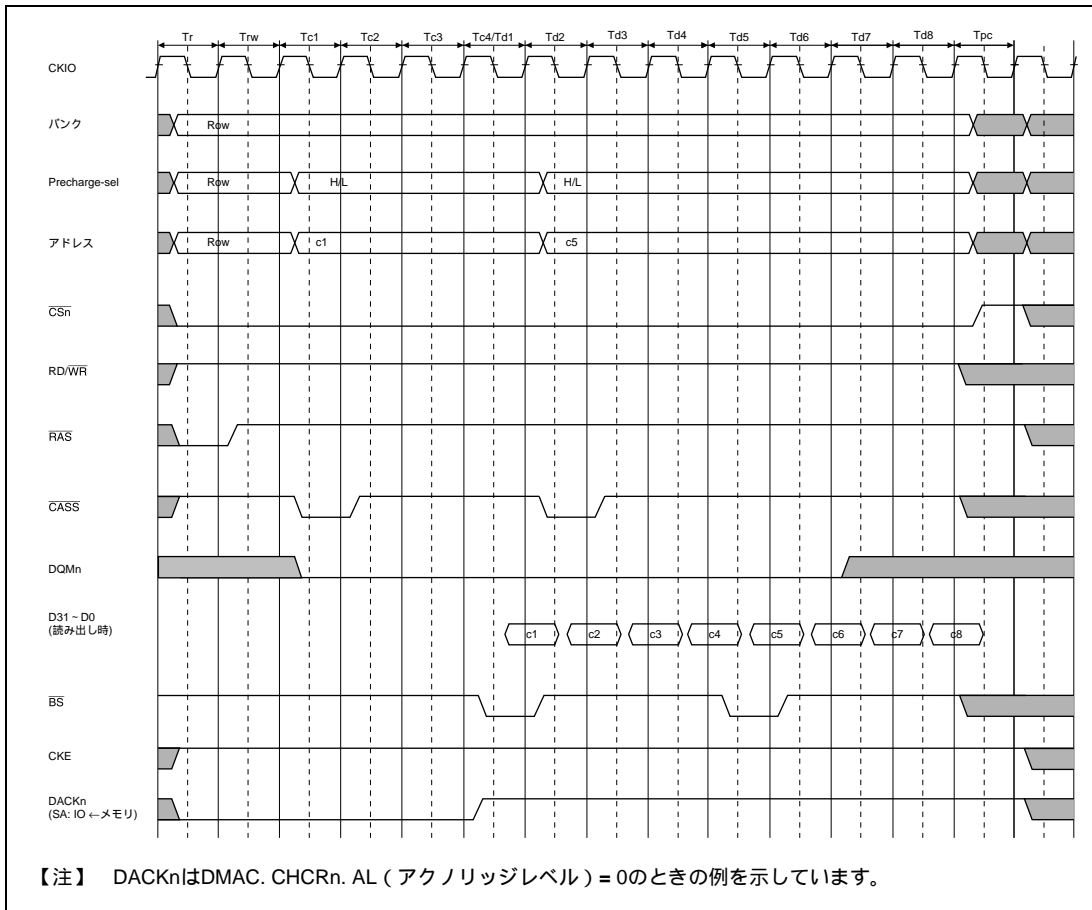


図 10.16 シンクロナス DRAM バーストリード基本タイミング

シンクロナス DRAM サイクルでは、READ もしくは READA コマンドに対応するデータ転送サイクル開始時に、 \overline{BS} 信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、初めに発行される READ コマンドによって、ミスしたデータを含む 64 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 16 バイトバウンダリのデータをラップアラウンドに読み込みます。続けて発行される READA コマンドによって、32 バイトバウンダリの残りの 16 バイトが読み込まれます。

(4) シングルリード

シングルリード時のタイミングチャートを図 10.17 に示します。

本 LSI では、シンクロナス DRAM をバーストリード/バーストライトのモードに設定するため、必要なデータを受け取った後も読み出しデータの出力が続けられます。データの衝突を避けるため、Td1 で必要なデータの読み込みを行った後、Td2 から Td4 の空読みサイクルを行い、シンクロナス DRAM の動作終了を待ちます。

読み出し時のバースト転送数は 4 となります。キャッシュルーおよびその他の DMA 読み出しサイクルでは、Td1 から Td4 の 4 サイクルのうち Td1 サイクルでのみ \overline{BS} がアサートされ、データが取り込まれます。

空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、不要なキャッシュルー領域のアクセスを避けるとともに、シンクロナス DRAM をソースに指定した DMA 転送を行う場合、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

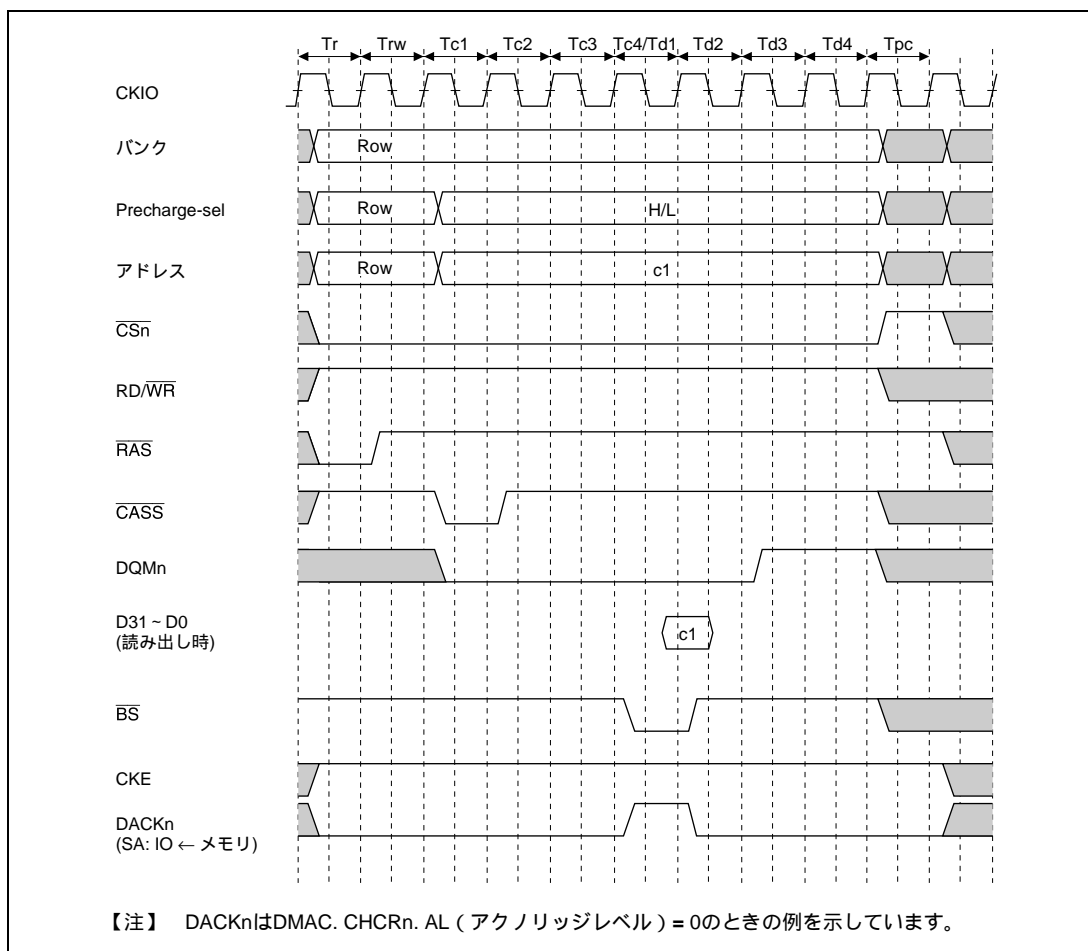


図 10.17 シンクロナス DRAM シングルリード基本タイミング

10. バスステートコントローラ (BSC)

(5) パーストライト

パーストライト時のタイミングチャートを図 10.18 に示します。本 LSI でパーストライトが発生するのは 32 バイト転送が発生した場合です。パーストライトの動作は ACTV コマンド出力を行う Tr サイクルに続いて、Tc1 サイクルに WRIT コマンドを、さらに 4 サイクル後に WRITA コマンドを発行します。書き込みサイクルでは、書き込みデータは書き込みコマンドと同時に出力します。オートプリチャージ付き書き込みコマンドの場合、シンクロナス DRAM の内部では、書き込みコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、読み出しアクセス時のプリチャージ待ちサイクル Tpc に加え、書き込みコマンド後、プリチャージが起動されるまでの時間を待つ Trw1 サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。Trw1 サイクルのサイクル数は MCR の TRWL2~TRWL0 ビットによって指定可能です。16 バイト境界のデータからアクセスを開始し、32 バイトのパウダリデータをラップアラウンドで書き込みます。

DACK は、データ書き込みサイクルの 2 サイクル前にアサートされます。

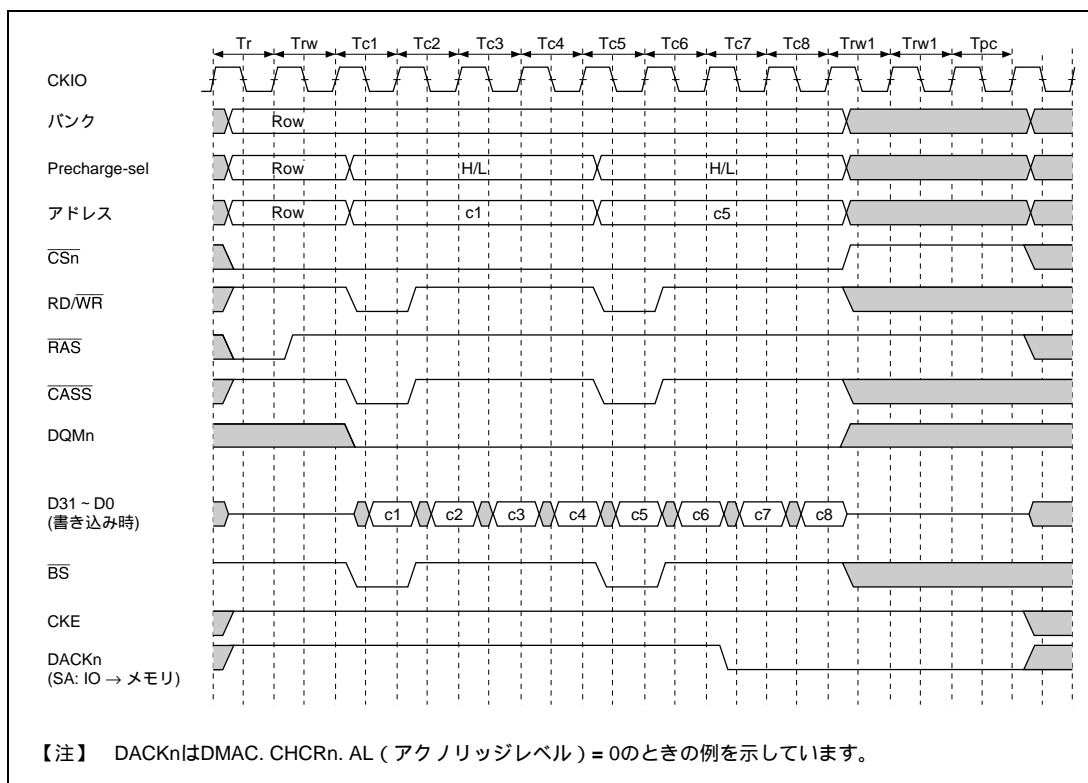


図 10.18 シンクロナス DRAM パーストライト基本タイミング

(6) シングルライト

シングルアクセスの基本タイミングチャートを図 10.19 に示します。シングルライトの動作は、ACTV コマンドを行う Tr サイクルに続いて、オートプリチャージを行う WRITA コマンドを Tc1 で発行します。書き込みサイクルでは、書き込みデータは書き込みコマンドと同時に出力します。オートプリチャージ付き書き込みの場合、シンクロナス DRAM の内部では、書き込みコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了までシンクロナス DRAM に対するコマンド発行は行えません。

このため、読み出しアクセス時のプリチャージ待ちサイクル Tpc に加え、書き込みコマンド後、プリチャージが起動されるまでの時間を待つ Trwl サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。Trwl サイクルのサイクル数は MCR の TRWL2 ~ TRWL0 ビットによって指定可能です。

DACK は、データ書き込みサイクルの 2 サイクル前にアサートされます。

本 LSI は、シンクロナス DRAM に対してバースト長 4 または 8 のバーストリード / バーストライトをサポートしていますので、シングルライトであっても、空サイクルが発生します。

10. バスステートコントローラ (BSC)

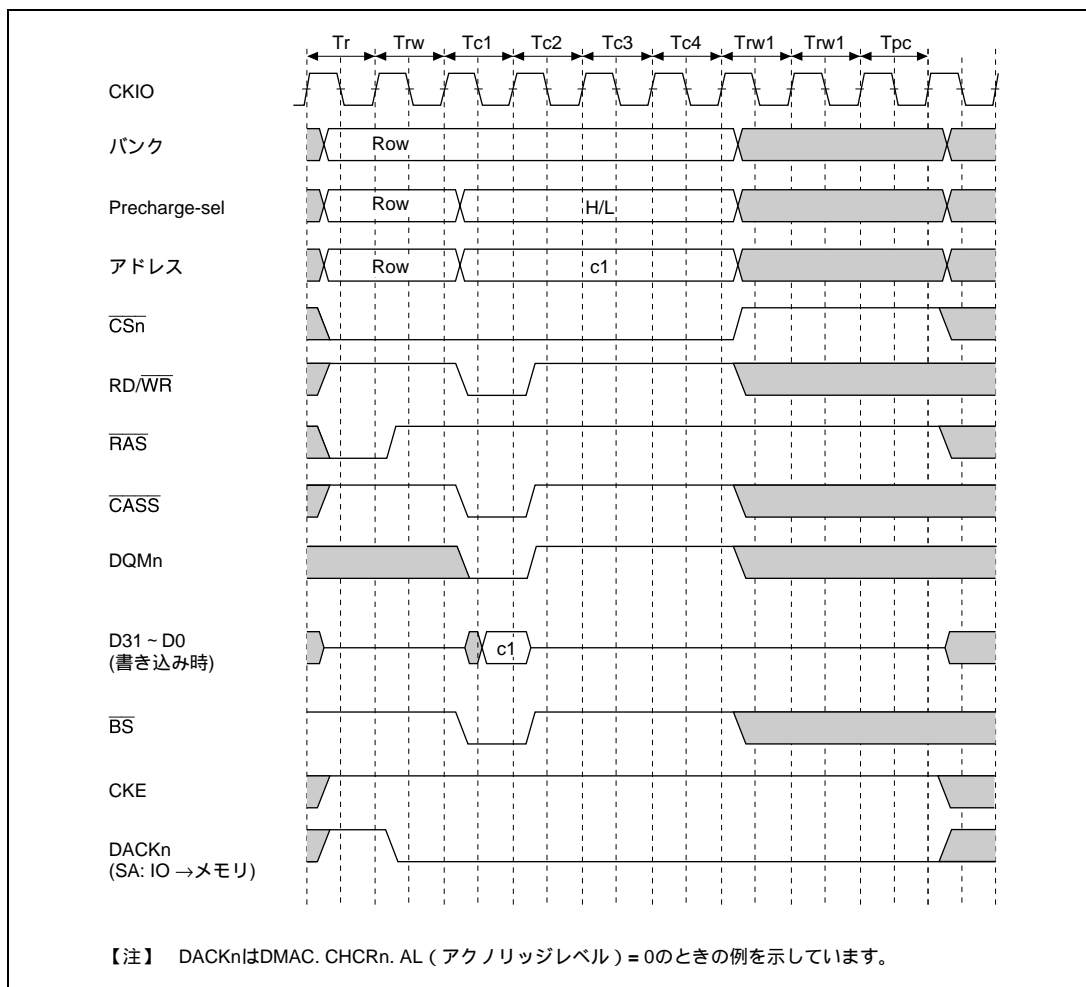


図 10.19 シンクロナス DRAM シングルライト基本タイミング

(7) RAS ダウンモード

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、読み出し / 書き込みコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM における RAS ダウン状態と同様に、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれていますので、それぞれのバンクで 1 つのロウアドレスをアクティブ状態とすることができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があつてからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 $Trw1+Tpc$ サイクルの間コマンド発行を行えません。RAS ダウンモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、一つの書き込みごとに $Trw1+Tpc$ サイクルだけサイクル数を短縮することができます。PRE コマンド発行から ACTV コマンドまでのサイクル数は MCR の TPC2 ~ TPC0 ビットで決まります。

各バンクをアクティブ状態にしておける時間 t_{RAS} には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を t_{RAS} の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムする必要があります。

図 10.20 にオートプリチャージなしのバーストリードサイクルを、図 10.21 には同一のロウアドレスに対するバーストリードサイクルを、図 10.22 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 10.23 にオートプリチャージなしの書き込みサイクルを、図 10.24 に同一のロウアドレスに対する書き込みサイクルを、図 10.25 には異なるロウアドレスに対する書き込みサイクルを示します。

シンクロナス DRAM は読み出し時に、バイト指定を行う $DQMn$ 信号について、2 サイクルのレイテンシがあります。このために、図 10.20 において READ コマンドを発行する場合、 Tc サイクルをただちに行うと、 $Td1$ サイクルのデータ出力に対する $DQMn$ 信号の指定が行えません。このため CAS レイテンシを 1 に設定しないでください。

RAS ダウンモードに設定すると、エリア 3 のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 10.20 または図 10.23 で始まり、図 10.21 または図 10.24 を繰り返します。間に別のエリアに対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 10.21 または図 10.24 の代わりに図 10.22 または図 10.25 のバスサイクルを行います。RAS ダウンモードでも、リフレッシュサイクルの前またはバスアービトレーションによるバス解放の前に PALL コマンドが発行されます。

10. バスステートコントローラ (BSC)

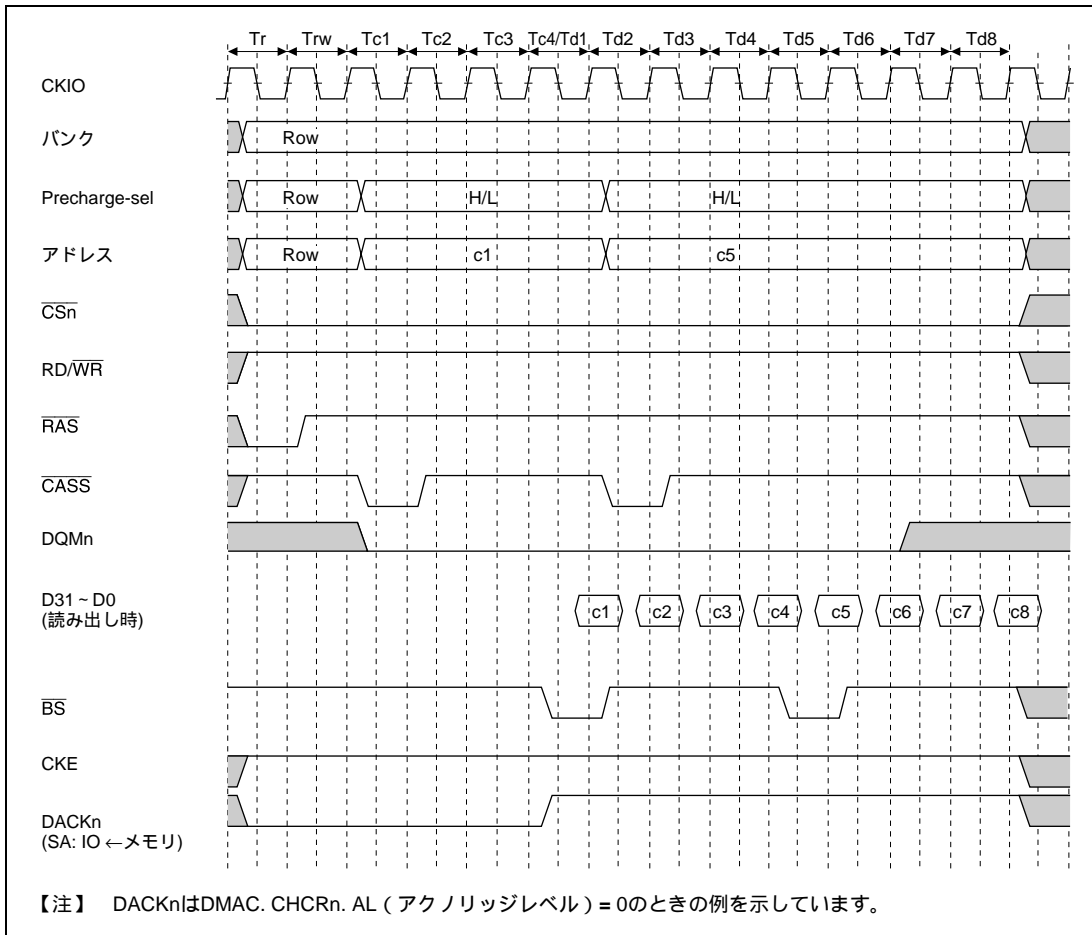


図 10.20 バーストリードタイミング

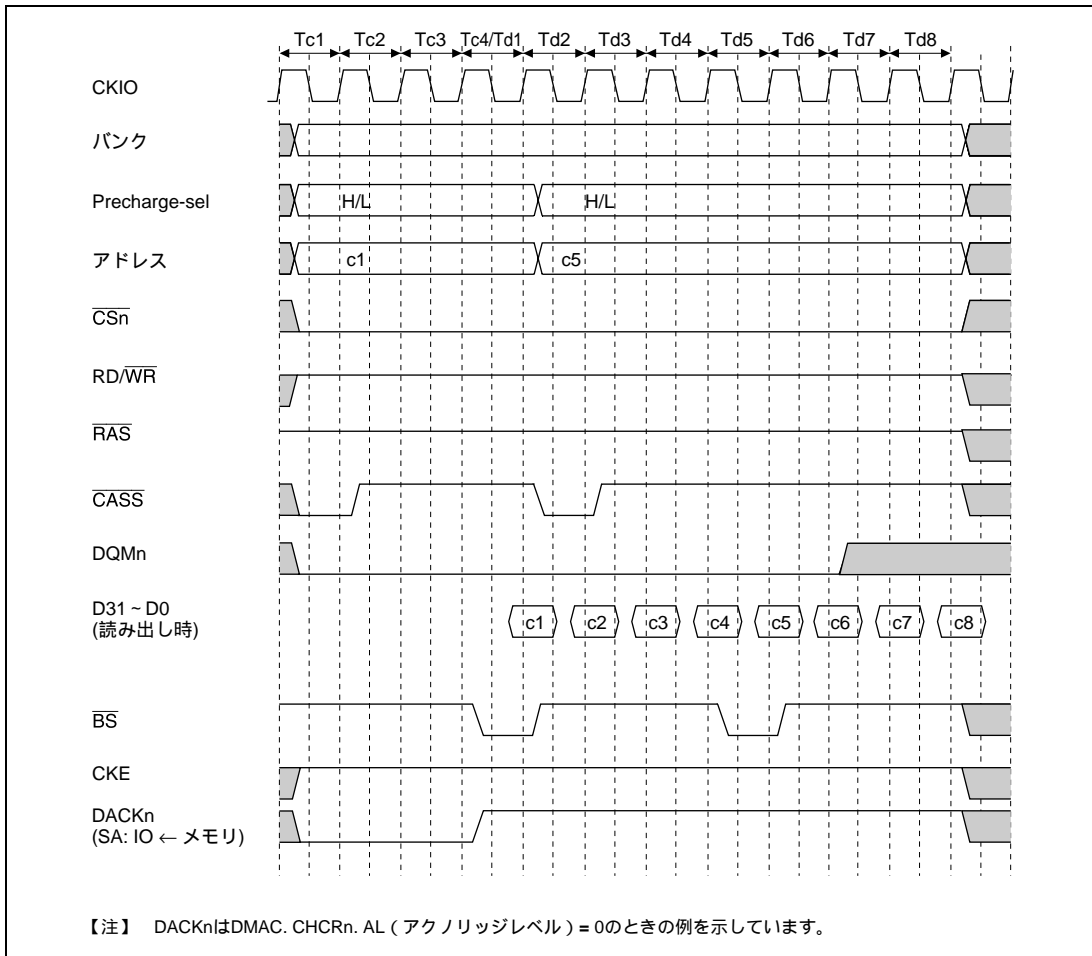


図 10.21 バーストリードタイミング (RAS ダウン、同一ロウアドレス)

10. バスステートコントローラ (BSC)

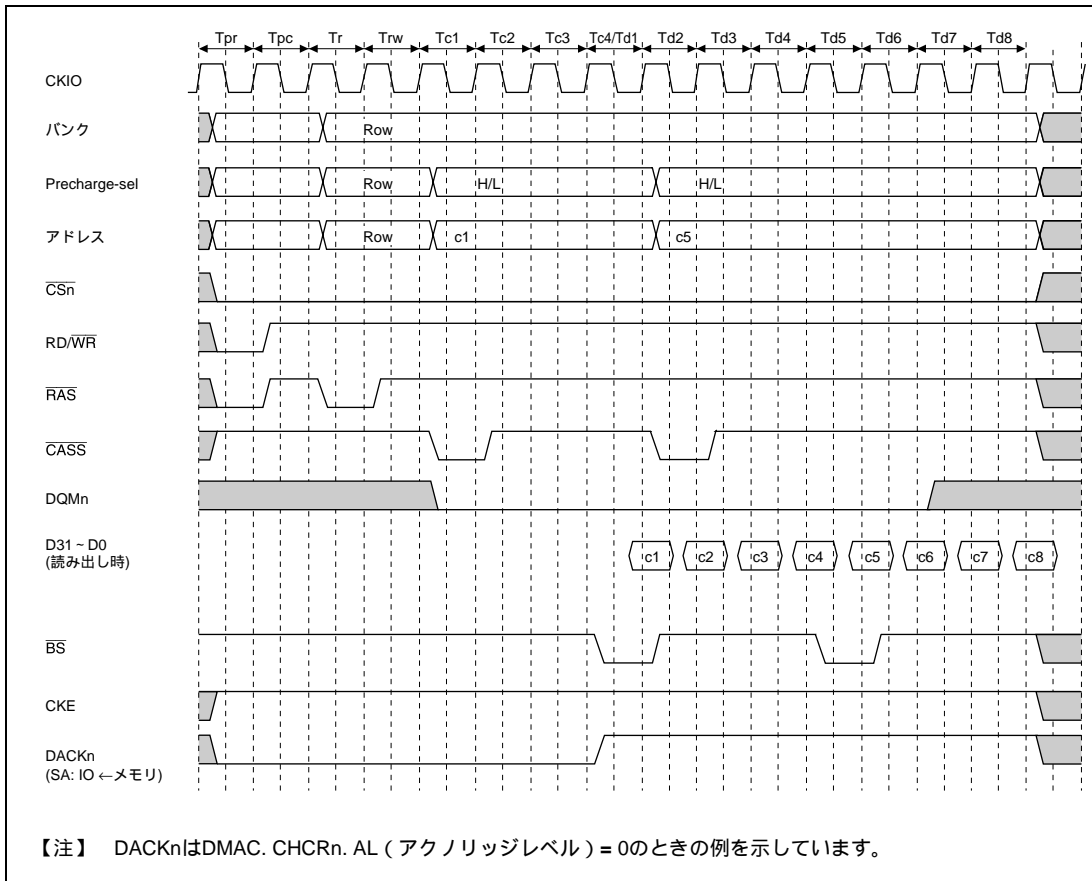


図 10.22 バーストリードタイミング (RAS ダウン、異なるロウアドレス)

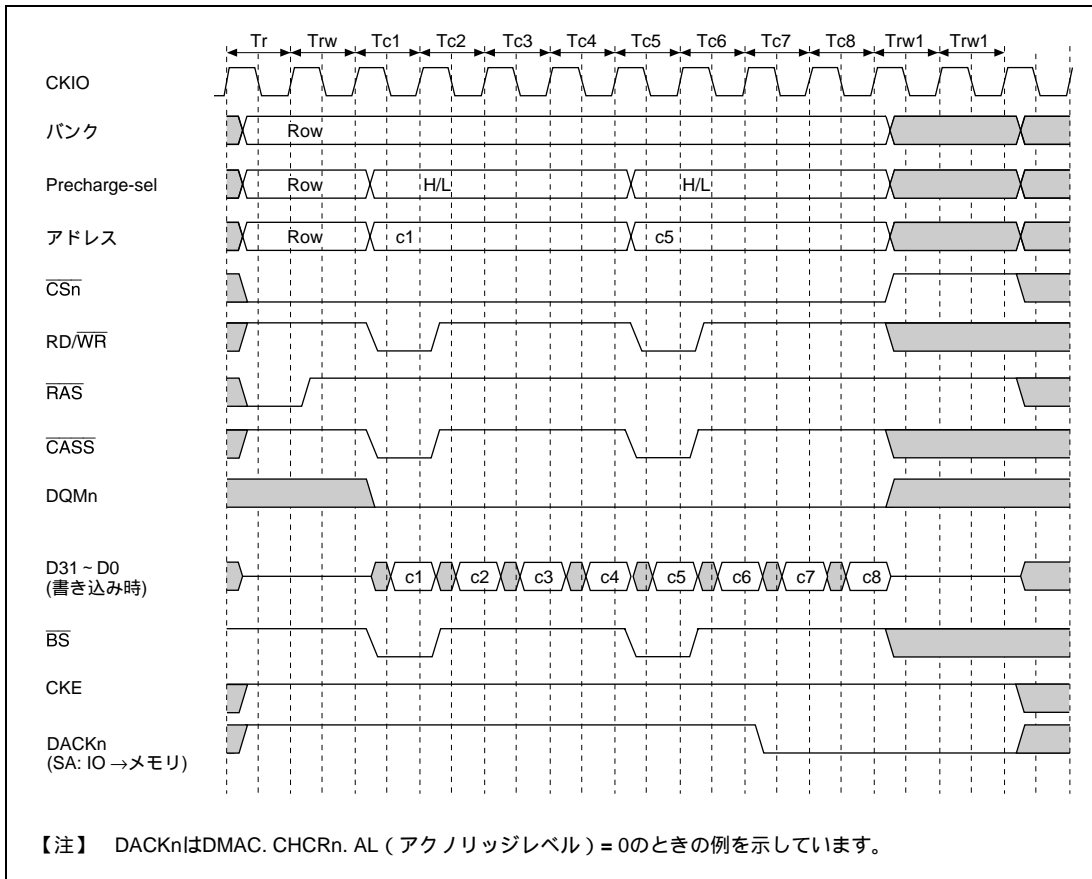


図 10.23 バーストライトタイミング

10. バスステートコントローラ (BSC)

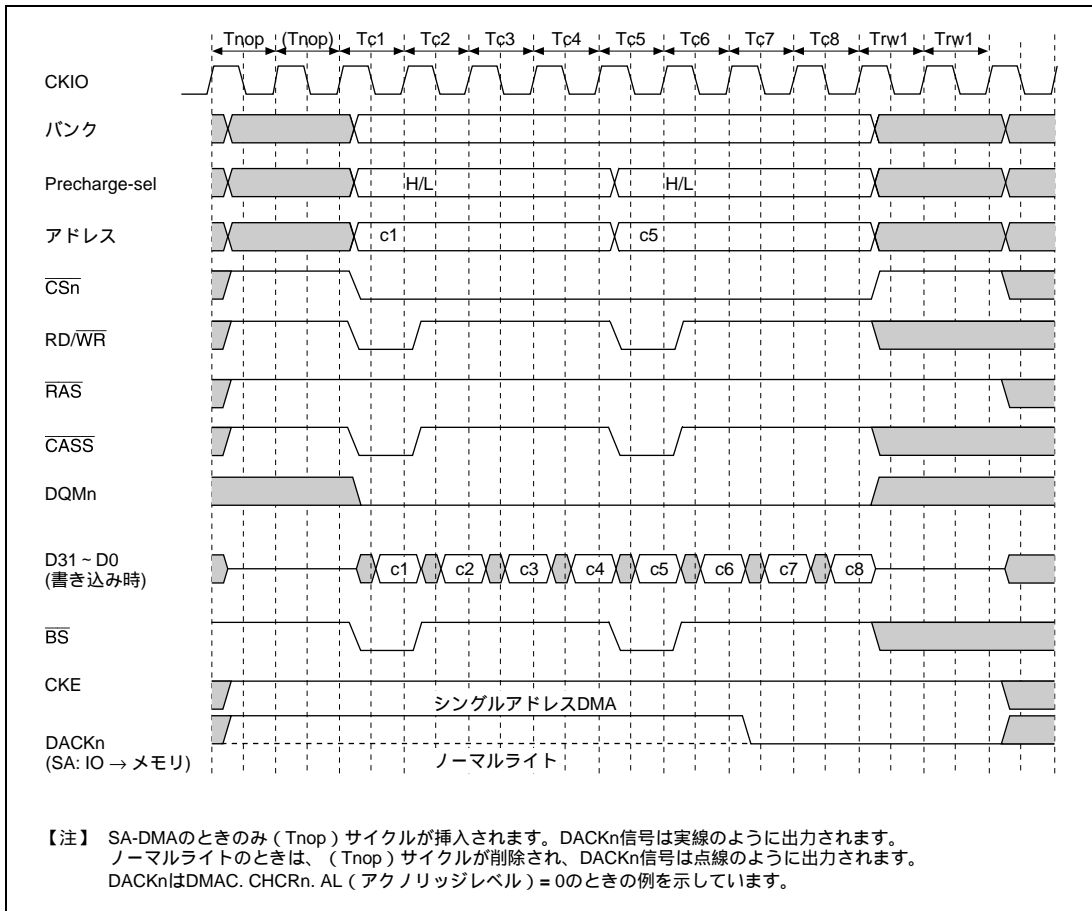


図 10.24 バーストライトタイミング (同一ロウアドレス)

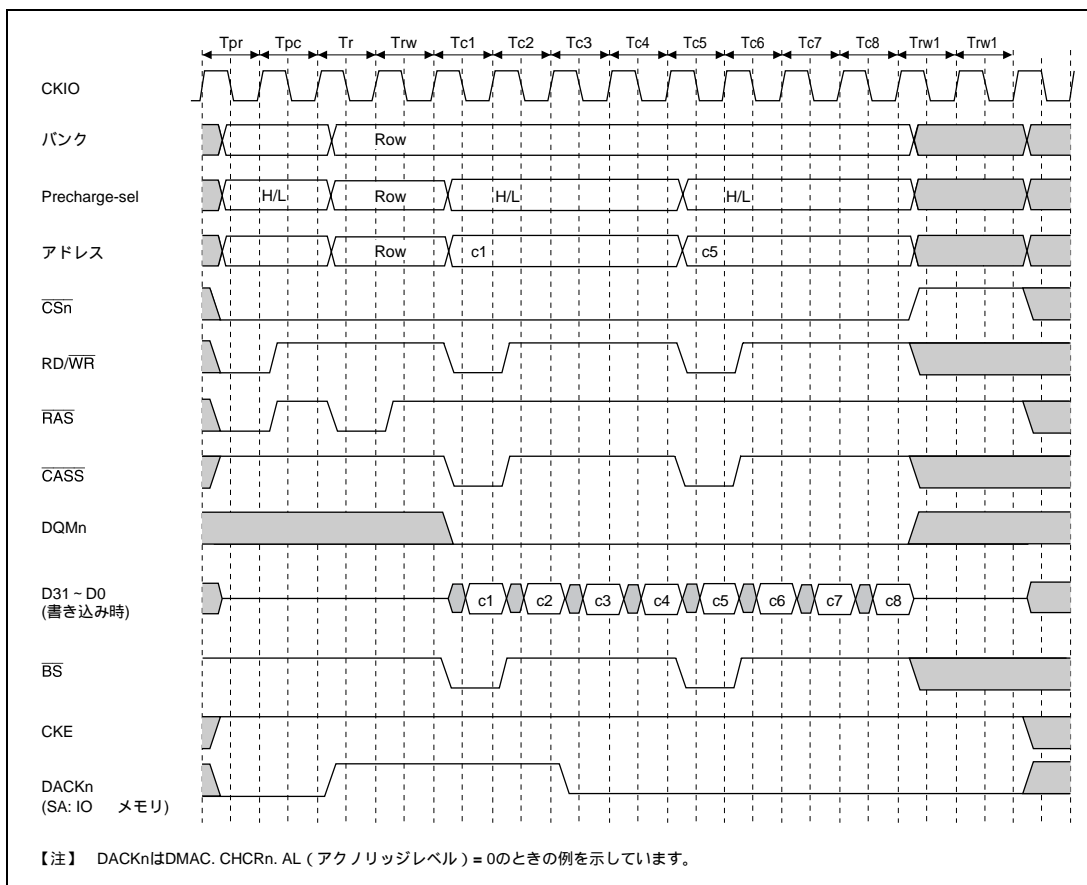


図 10.25 バーストライトタイミング (異なるロウアドレス)

(8) パイプラインアクセス

MCR の RASD ビットが 1 の場合、シンクロナス DRAM に対するアクセスをさらに高速にサポートするため、CPU によるアクセスと DMAC によるアクセスとの間、または DMAC によるアクセスの連続時にパイプラインアクセスを行います。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、1 つのバンクに READ または WRIT コマンドを発行した後、CAS レイテンシサイクルやデータ取り込みサイクル中、もしくはデータ書き込みサイクル中に PRE、ACTV 等のコマンドが発行でき、アクセスサイクルを短縮することができます。

読み出しアクセスに続く読み出しアクセスが同一ロウアドレスであれば READ コマンドの発行後、データ取り込みサイクルの終了前に続けて READ コマンドを発行し、データバス上で読み込みデータが連続します。異なるロウアドレスに対するアクセスでかつ異なるバンクの場合には、PRE コマンドもしくは ACTV コマンドが CAS レイテンシサイクルもしくはデータ取り込みサイクル中に発行できます。同一バンクで異なるロウアドレスに対するアクセス要求が続いた場合には、最終データ取り込みサイクルの 1 つ前のサイクルまで PRE コマンドは発行できません。読み出しアクセスの後に書き込みサイクルが続く場合にはバンク、ロウアドレスによって PRE、ACTV コマンドの発行はできませんが、WRIT コマンドと同時に書き込みデータが出力されますのでデータバス上で自動的に 1 ~ 2 サイクルの空きサイクルが現れるように PRE、ACTV、WRIT コマンドを発行します。書き込みアクセス後の読み出しアクセス、書き込みアクセス後の書き込みアクセスも同様に PRE、ACTV、READ コマンドを前のアクセスのデータ書き込みサイクル中に発行しますが、同一バンクで異なるロウアドレスの場合には PRE を発行できないので、最終データ書き込みサイクル終了後、MCR の TRWL で指定した Trwl サイクル後に PRE コマンドを発行します。

図 10.26 にバーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクルを示します。

パイプラインアクセスはエリア 3 に対するアクセスが続く限り有効であり、間に別のエリアに対するアクセスがあるとパイプラインアクセスは中断されます。またリフレッシュサイクルまたはバスアービトレーションによるバス解放の場合もパイプラインアクセスは中断されます。パイプラインアクセスの可能な場合を表 10.17 に示します。表中 DMAC dual は DMAC のデュアルアドレスモードによる転送、DMAC single は DMAC のシングルアドレスモードによる転送を示します。

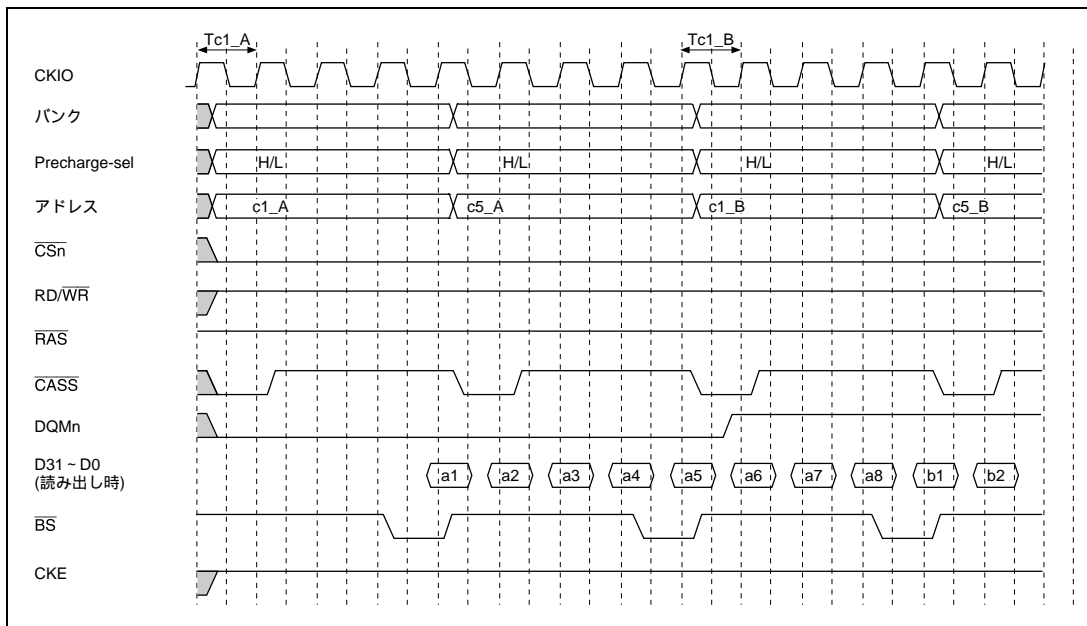


図 10.26 バーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクル

表 10.17 バイプラインアクセスが可能なサイクル一覧

前アクセス		後アクセス					
		CPU		DMAC デュアル		DMAC シングル	
		読み出し	書き込み	読み出し	書き込み	読み出し	書き込み
CPU	読み出し	x	x		x		
	書き込み	x	x		x		
DMAC dual	読み出し	x	x	x	x	x	x
	書き込み				x		
DMAC Single	読み出し				x		
	書き込み				x		

【記号説明】 : バイプラインアクセス可能
 x : バイプラインアクセス不可能

10. バスステートコントローラ (BSC)

(9) リフレッシュ

BSCは、シンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットを共に 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(a) オートリフレッシュ

RTCSR の CKS2 ~ CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2 ~ CKS0 ビットの設定を行ってください。CKS2 ~ CKS0 ビットによってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 10.27 にオートリフレッシュ動作、図 10.29 にシンクロナス DRAM オートリフレッシュのタイミングを示します。

まず、REF コマンドを TRr2 サイクルに発行します。(TRr サイクル) + (MCR の TRAS2 ~ TRAS0 ビットで指定されるサイクル数) + (MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数) の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS2 ~ TRAS0、および TRC2 ~ TRC0 ビットを設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。また、エリア 2、3 が共にシンクロナス DRAM に設定されている場合、エリア 3 に続きエリア 2 のオートリフレッシュが行われます。

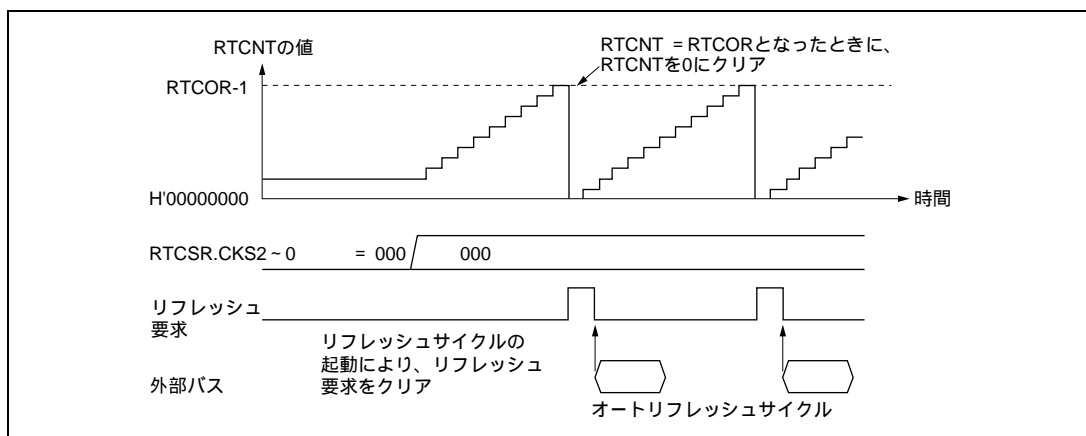


図 10.27 オートリフレッシュの動作

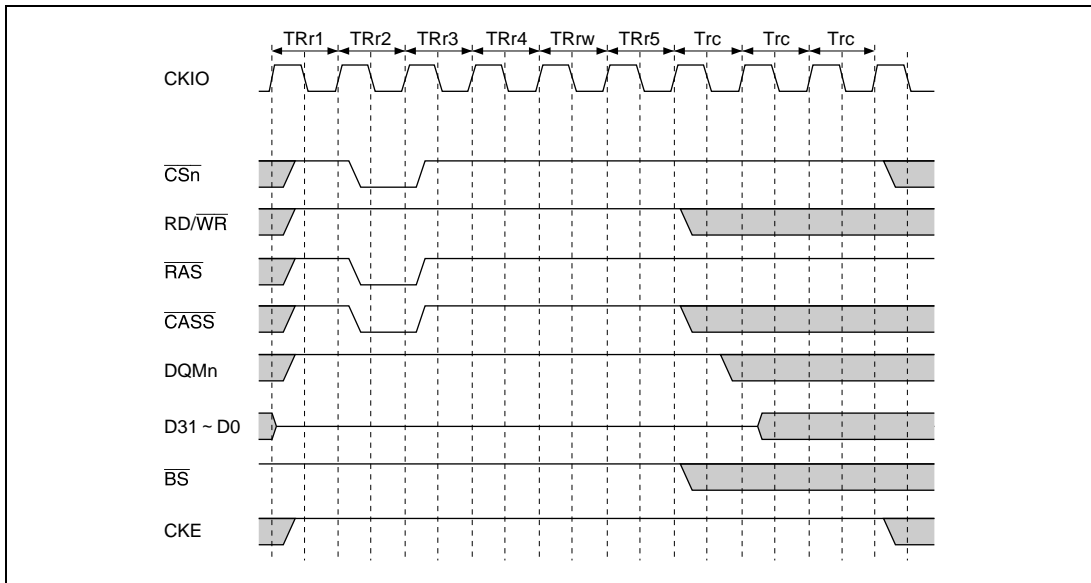


図 10.28 シンクロナス DRAM オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のソフトウェアスタンバイモードです。RMODE ビットと RFSH ビットをともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 10.29 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、また、オートリフレッシュが正しい間隔で行われるように設定してください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でソフトウェアスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値を設定してください。RTCNT の値を RTCOR の値 - 1 に設定するとただちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のソフトウェアスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でソフトウェアスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。セルフリフレッシュは、スリープモード時、ソフトウェアスタンバイモード時およびマニュアルリセットでも継続されます。

10. バスステートコントローラ (BSC)

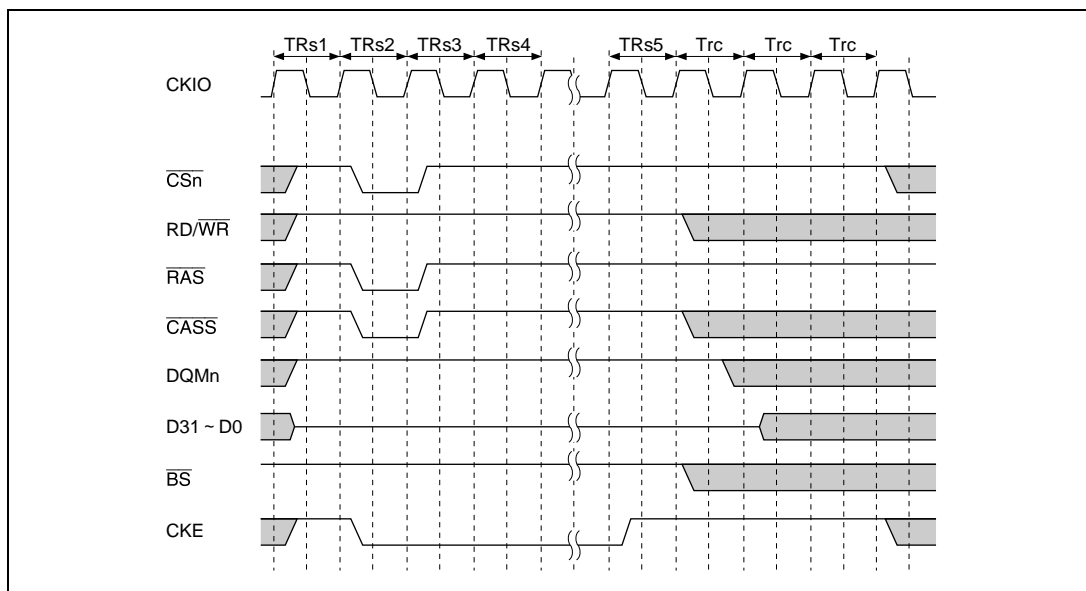


図 10.29 シンクロナス DRAM セルフリフレッシュタイミング

(c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば 8 ビットバス幅のメモリにロングワードアクセスを行う場合や、キャッシュフィルやライトバックなどの 32 バイト転送の途中では、リフレッシュ動作は待たされます。また、TAS 命令実行中の読み出しサイクルと書き込みサイクルの間や、DMAC のデュアルアドレス転送実行時の読み出しサイクルと書き込みサイクルの間も、リフレッシュ動作は待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると $\overline{\text{BACK}}$ 端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で、 $\overline{\text{BACK}}$ 端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

(10) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初に BSC のレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては $\text{H'FF90 0000} + \text{X}$ 番地に、またエリア 3 のシンクロナス DRAM に対しては $\text{H'FF94 0000} + \text{X}$ に書き込みを行うことによって、値 X がシンクロ

ナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/バーストライト、CAS レイテンシ 1~3、ラップタイプ=シーケンシャル、バースト長 4 または 8 を設定するには、以下のアドレスにバイトサイズで任意のデータを書き込みます。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4	1	H'FF90 0048	H'FF94 0048
		2	H'FF90 0088	H'FF94 0088
		3	H'FF90 00C8	H'FF94 00C8
32	8	1	H'FF90 004C	H'FF94 004C
		2	H'FF90 008C	H'FF94 008C
		3	H'FF90 00CC	H'FF94 00CC

MCR.MRSET に設定された値によって、全バンクプリチャージコマンドが発行されるか、モードレジスタ設定コマンドが発行されるかが、選択されます。全バンクプリチャージのタイミングを図 10.30 (1) に、またモードレジスタ設定タイミングを図 10.30 (2) に示します。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 200 μ s のアイドル時間 (メモリメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちに全バンクプリチャージの設定を行っても問題はありません。

まず、MRSET ビットが 0 の状態で H'FF90 0000 + X もしくは H'FF94 0000 + X 番地への書き込みを行うことによって全バンクプリチャージコマンド (PALL) が TR_{p1} サイクルに発行されます。その後、ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されますが、より確実に行うためには、このダミーサイクルを実行する間だけ RTCOR の値を変更して、リフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なる読み出しまたは書き込みアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。規定回数以上のオートリフレッシュが実行された後、MCR.MRSET = 1 に設定し、H'FF90 0000 + X もしくは H'FF94 0000 + X 番地への書き込みを行うことによって、TM_{w1} サイクルにモードレジスタ書き込みコマンドが発行されます。

シンクロナス DRAM のモードレジスタの設定はパワーオンリセット後、シンクロナス DRAM アクセス前に一度だけ実行し、設定した後は変更しないでください。

10. バスステートコントローラ (BSC)

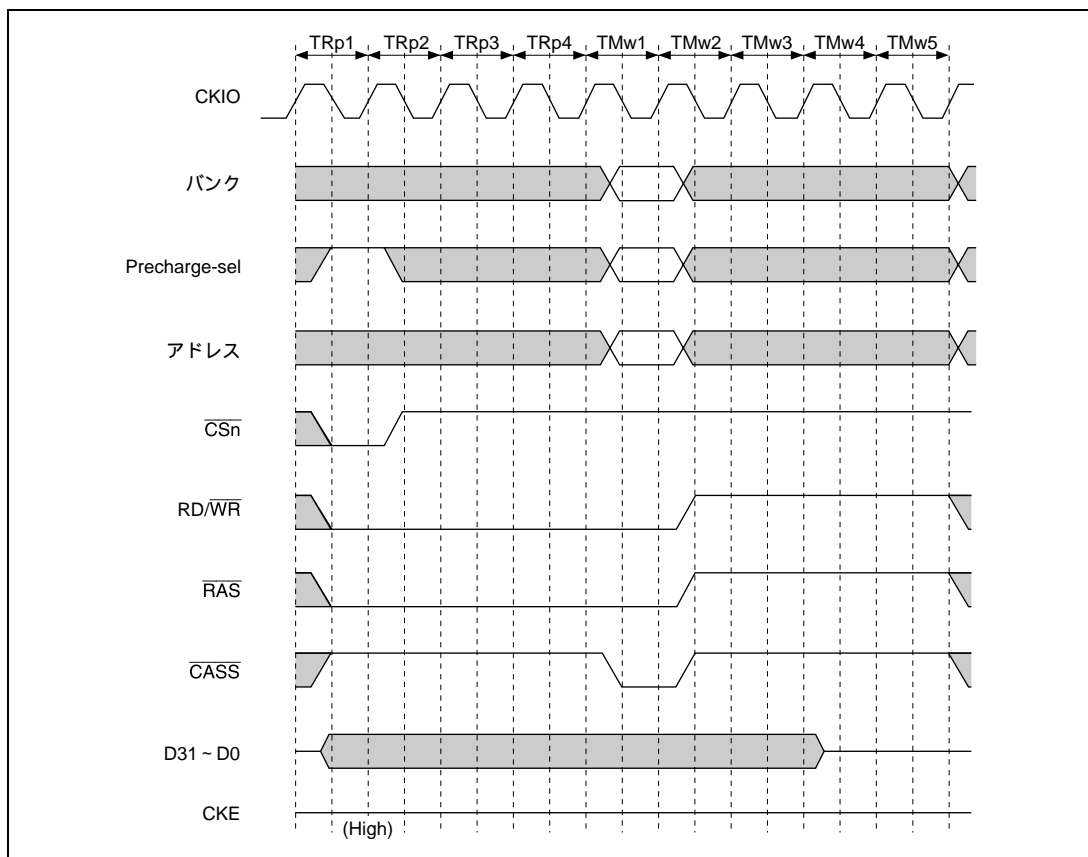


図 10.30 (1) シンクロナス DRAM モード書き込みタイミング (PALL)

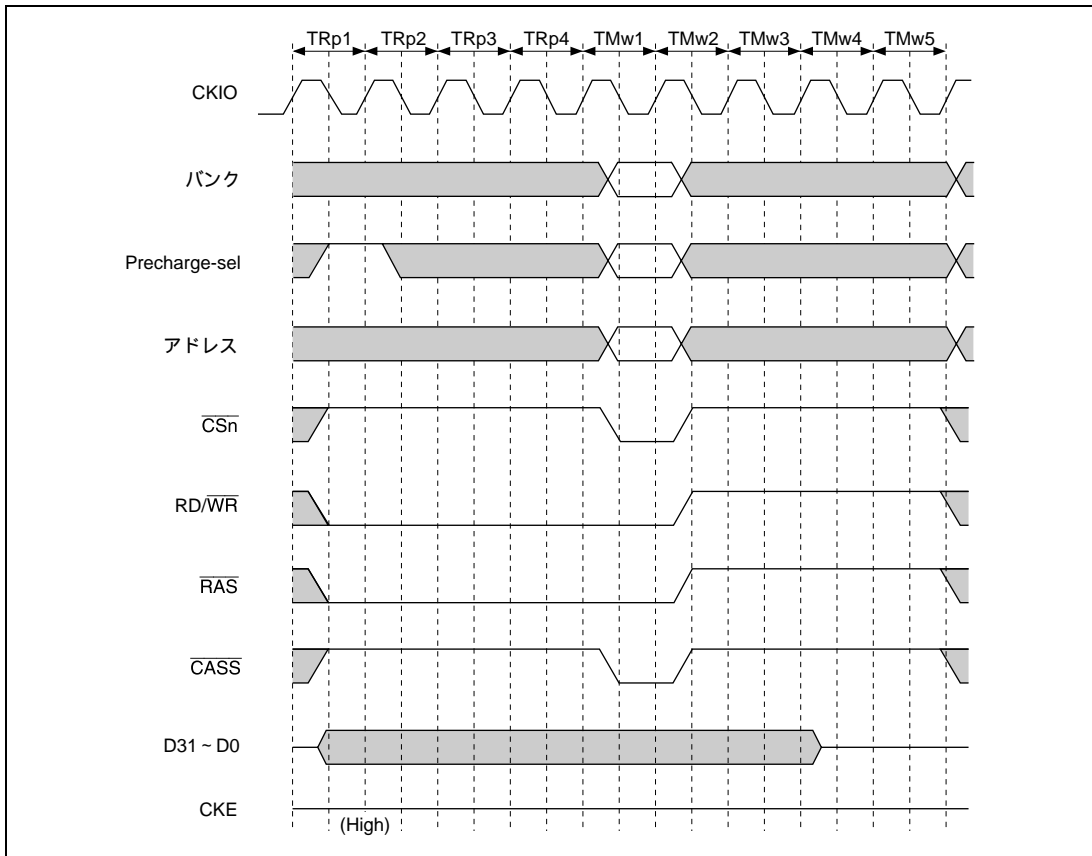


図 10.30 (2) シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)

(11) バースト長切り替えについて

本 LSI では、メモリバス幅 32 ビットでシンクロナス DRAM を接続したとき、バースト長を 4 または 8 に切り替えることができます。バースト長の切り替えは BCR3 の SDBL ビットで設定します。詳細はレジスタの説明を参照してください。

(a) バーストリード

バーストリード時のタイミングチャートを図 10.31 に示します。以下の例では 512k x 16 ビット x 2 バンクのシンクロナス DRAM を 2 個接続し、データ幅 32 ビットで使用した場合を想定しており、バースト長は 8 となっています。ACTV コマンド出力を行う T_r サイクルに続いて、READA コマンドを T_{c1} サイクルに発行し、 T_{d1} から T_{d8} のサイクルに外部コマンドクロック (CKIO) の立ち上がりで読み出しデータを受け取ります。 T_{pc} はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では MCR の TPC2 ~ TPC0 ビットの指定によって T_{pc} のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

図 10.31 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 およ

10. バスステートコントローラ (BSC)

びMCRのビットを設定することによってサイクルを延ばすことができます。ACTVコマンド出力サイクル T_r からREADAコマンド出力サイクル T_{c1} までのサイクル数は、MCRのRCD1、RCD0ビットによって指定することができます。0~3のときそれぞれ2~4サイクルとなります。2サイクル以上の場合、 T_r サイクルと T_c サイクルの間にシンクロナスDRAMに対するNOPコマンド発行サイクル T_{rw} が挿入されます。READAコマンド出力サイクル T_{c1} から最初の読み出しデータ取り込みサイクル T_{d1} までのサイクル数は、WCR2のA2W2~A2W0およびA3W2~A3W0ビットによって、1サイクルから5サイクルまでエリア2、エリア3それぞれ独立に指定することができます。

このサイクル数はシンクロナスDRAMのCASレイテンシサイクル数に相当します。

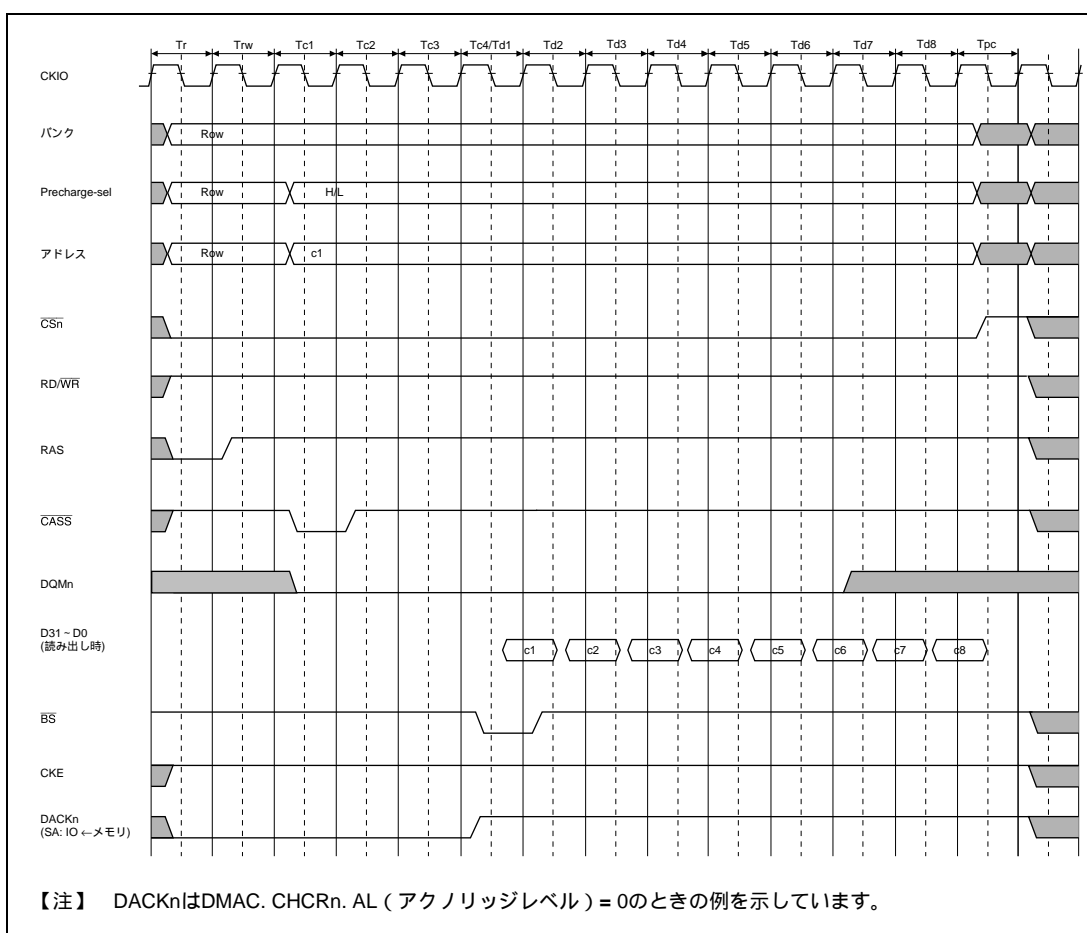


図 10.31 シンクロナスDRAMバーストリード基本タイミング (バースト長8)

シンクロナスDRAMサイクルでは、バスサイクル開始時に、 \overline{BS} 信号が1サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、ミスしたデータを含む32ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む32バイトバウンダリのデータをアップアラウンドに読み込みます。

(b) パーストライト

パースト長 8 のときのパーストライト時のタイミングチャートを図 10.32 に示します。本 LSI でパーストライトが発生するのは、キャッシュのコピーバック、または DMAC による 32 バイト転送が発生した場合です。パーストライトの動作は、ACTV コマンド出力を行う T_r サイクルに続いて、オートプリチャージを行う WRITA コマンドを T_{c1} サイクルに発行します。書き込みサイクルでは、書き込みデータは書き込みコマンドと同時に出力します。オートプリチャージ付き書き込みコマンドの場合、シンクロナス DRAM の内部では、書き込みコマンドの完了後、該当バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、読み出しアクセス時のプリチャージ待ちサイクル T_{pc} に加え、書き込みコマンド後、プリチャージが起動されるまでの時間を持つ $Trw1$ サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $Trw1$ サイクルのサイクル数は MCR の $TRWL2 \sim TRWL0$ ビットによって指定可能です。32 バイトのパウンドリデータをラップアラウンドで書き込みます。

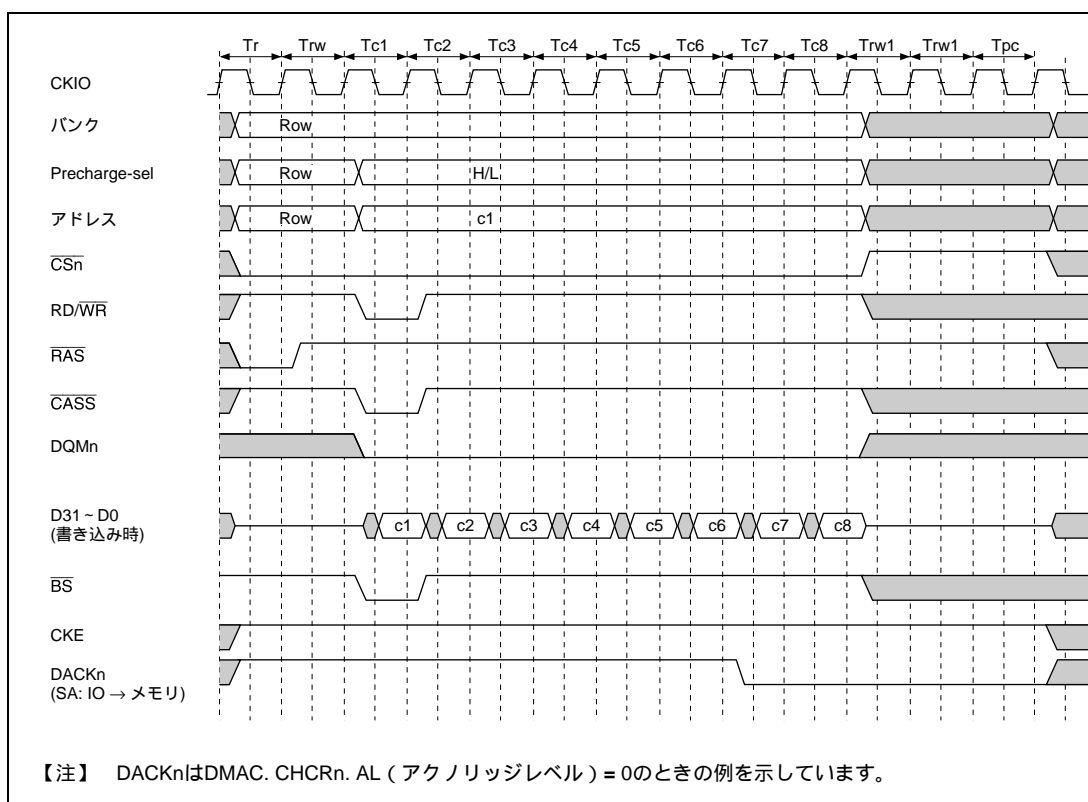


図 10.32 シンクロナス DRAM パーストライト基本タイミング

10.6.5 バースト ROM インタフェース

BCR1 の A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットをおのおの 0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 10.33 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に \overline{RDY} 端子のサンプリングを行います。この場合のタイミングを図 10.34 に示します。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。

バースト ROM インタフェースに対する書き込み動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

バースト ROM の設定を行い、WCR3 でセットアップ / ホールドを指定した場合のタイミングを図 10.35 に示します。

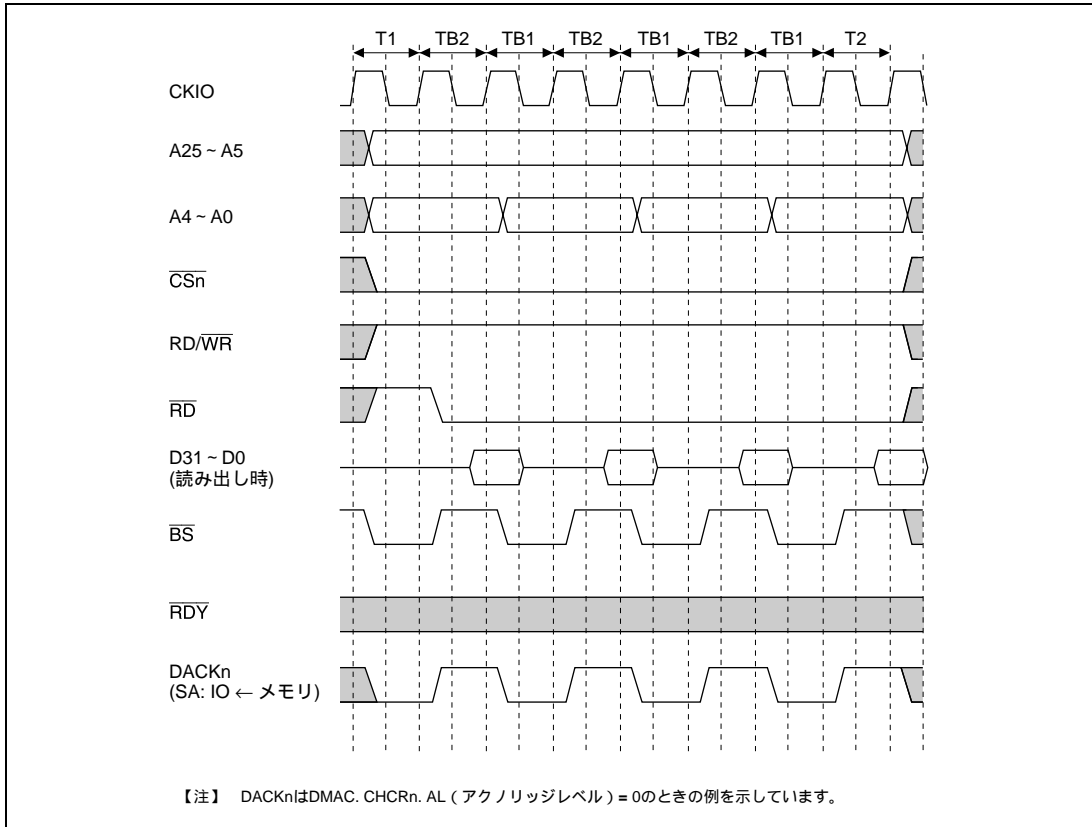


図 10.33 バースト ROM 基本アクセスタイミング

10. バスステートコントローラ (BSC)

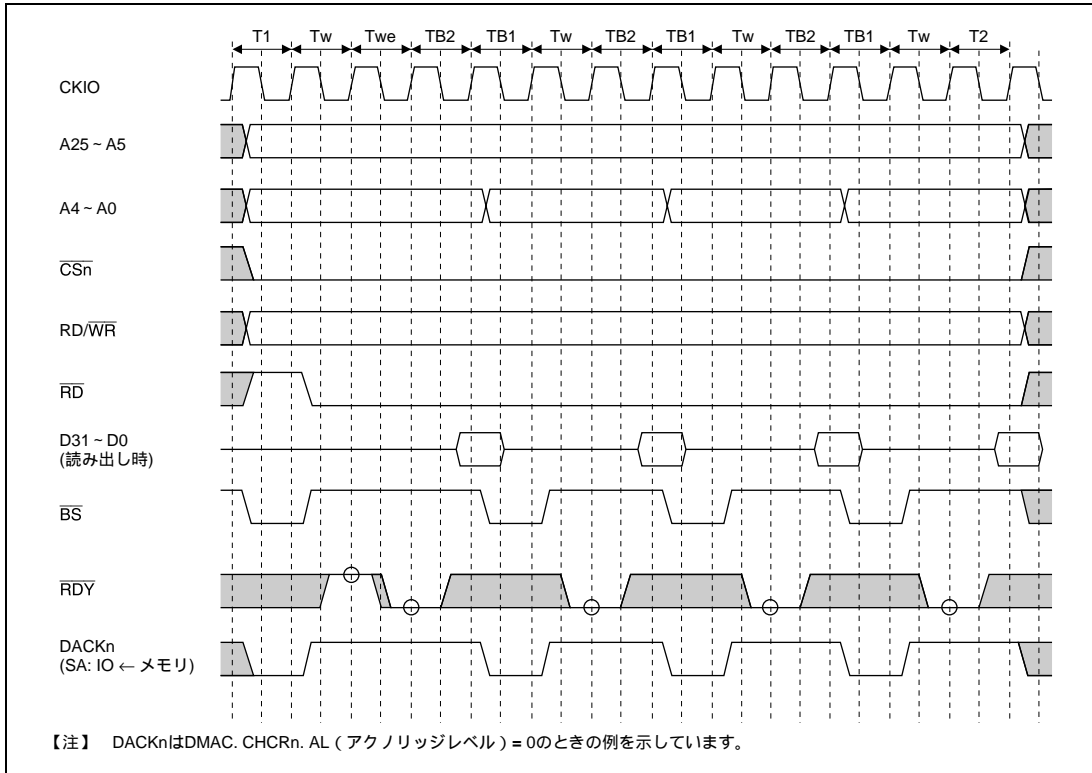


図 10.34 バースト ROM ウェイトアクセスタイミング

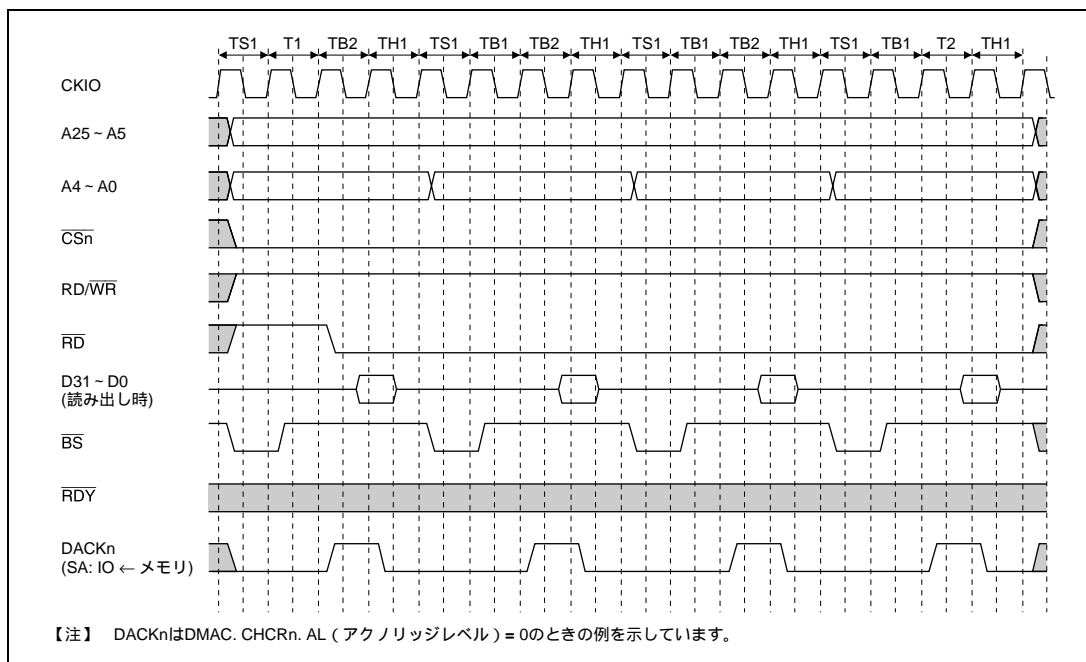


図 10.35 バーストROM ウェイトアクセスタイミング

10.6.6 PCMCIA インタフェース

本 LSI では BCR1 の A56PCMC ビットを 1 に設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める“IC メモリカードインタフェース”または“I/O カードインタフェース”になります。

図 10.36 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入(システムの電源を供給中にカードの抜き差しを行うこと)を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースのメモリ空間は、MMU がオンの場合は MMU ページ単位で設定でき、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、またはダイナミックバスサイジングが選択できます。設定方法の詳細は、MMU の章を参照してください。MMU がオフの場合、PTEA の SA2 ~ SA0 ビットの設定で常にアクセスされます。

10. バスステートコントローラ (BSC)

SA2	SA1	SA0	説 明
0	0	0	リザーブ (設定禁止)
		1	ダイナミック I/O バスサイジング
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共有メモリ
		1	16 ビット共有メモリ
	1	0	8 ビットアトリビュートメモリ
		1	16 ビットアトリビュートメモリ

バスアクセス中のウェイトサイクルの設定は、MMU がオンの場合は MMU ページ単位で設定できます。設定方法の詳細は「第 6 章 メモリマネジメントユニット (MMU)」の章を参照してください。MMU がオフの場合 (MMUCR.AT=0) は PTEA の TC ビットの設定で常にアクセスされます。TC ビットが 0 のときは、WCR2 の A5W2 ~ A5W0、および PCR の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットが選択されます。TC が 1 にセットされると、WCR2 の A6W2 ~ A6W0、および PCR の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットが選択されます。

DMAC による PCMCIA インタフェースのエリアへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、および CHCRn.DTC で行われます。

低速バスサイクルに挿入するウェイトステート数は、PCR の AnPCW1、AnPCW0 ビットにより、0、15、30、または 50 に設定できます。この値は、WCR2 で指定された挿入ウェイトステート数に加算されます。 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CS} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} セットアップ時間は、PCR の AnTED2 ~ AnTED0 ビット (0 ~ 15 に設定可能) により、保持することができます。また、 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CS} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} データホールド時間は、PCR の AnTEH2 ~ AnTEH0 ビット (0 ~ 15 に設定可能) により、保持することができます。

また、サイクル間ウェイトサイクルは、WCR1 の A5IW2 ~ A5IW0、A6IW2 ~ A6IW0 ビットにより設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、A5IW2 ~ A5IW0 ビットが、エリア 6 のアクセス時には、A6IW2 ~ A6IW0 ビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

10. バスステートコントローラ (BSC)

表 10.18 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	読み出し/ 書き込み	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0			
8	読み出し	8	偶数	*	-	1	0	0	無効	読み出しデータ			
			奇数	*	-	1	0	1	無効	読み出しデータ			
		16	偶数	*	1 回目	1	0	0	無効	下位読み出しデータ			
			偶数	*	2 回目	1	0	1	無効	上位読み出しデータ			
			奇数	*	-	-	-	-	-	-			
	書き込み	8	偶数	*	-	1	0	0	無効	書き込みデータ			
			奇数	*	-	1	0	1	無効	書き込みデータ			
		16	偶数	*	1 回目	1	0	0	無効	下位書き込みデータ			
			偶数	*	2 回目	1	0	1	無効	上位書き込みデータ			
			奇数	*	-	-	-	-	-	-			
16	読み出し	8	偶数	*	-	1	0	0	無効	読み出しデータ			
			奇数	*	-	0	1	1	読み出しデータ	無効			
		16	偶数	*	-	0	0	0	上位読み出しデータ	下位読み出しデータ			
			奇数	*	-	-	-	-	-	-			
	書き込み	8	偶数	*	-	1	0	0	無効	書き込みデータ			
			奇数	*	-	0	1	1	書き込みデータ	無効			
		16	偶数	*	-	0	0	0	上位書き込みデータ	下位書き込みデータ			
			奇数	*	-	-	-	-	-	-			
			ダイナミック バスサイ ジング*2	読み出し	8	偶数	0	-	1	0	0	無効	読み出しデータ
						奇数	0	-	0	1	1	読み出しデータ	無効
16	偶数	0			-	0	0	0	上位読み出しデータ	下位読み出しデータ			
	奇数	0			-	-	-	-	-	-			
書き込み	8	偶数		0	-	1	0	0	無効	書き込みデータ			
		奇数		0	-	0	1	1	書き込みデータ	無効			
	16	偶数	0	-	0	0	0	上位書き込みデータ	下位書き込みデータ				
		奇数	0	-	-	-	-	-	-				
		読み出し	8	偶数	1	-	1	0	0	無効	読み出しデータ		
				奇数	1	1 回目	0	1	1	無視	無効		
奇数	1			2 回目	1	0	1	無効	読み出しデータ				
16	偶数		1	1 回目	0	0	0	無効	下位読み出しデータ				
	偶数		1	2 回目	1	0	1	無効	上位読み出しデータ				
	奇数		1	-	-	-	-	-	-				

10. バスステートコントローラ (BSC)

バス (ビット)	読み出し/ 書き込み	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0
ダイナ ミック バスサ イジン グ*2	書き込み	8	偶数	1	-	1	0	0	無効	書き込みデータ
			奇数	1	1回目	0	1	1	無効	書き込みデータ
			奇数	1	2回目	1	0	1	無効	書き込みデータ
		16	偶数	1	1回目	0	0	0	上位書き込みデータ	下位書き込みデータ
			偶数	1	2回目	1	0	1	無効	上位書き込みデータ
			奇数	1	-	-	-	-	-	-

【注】 * Don't care

*1 32ビット/64ビット/32バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

*2 PCMCIA I/O カードインタフェース時のみ

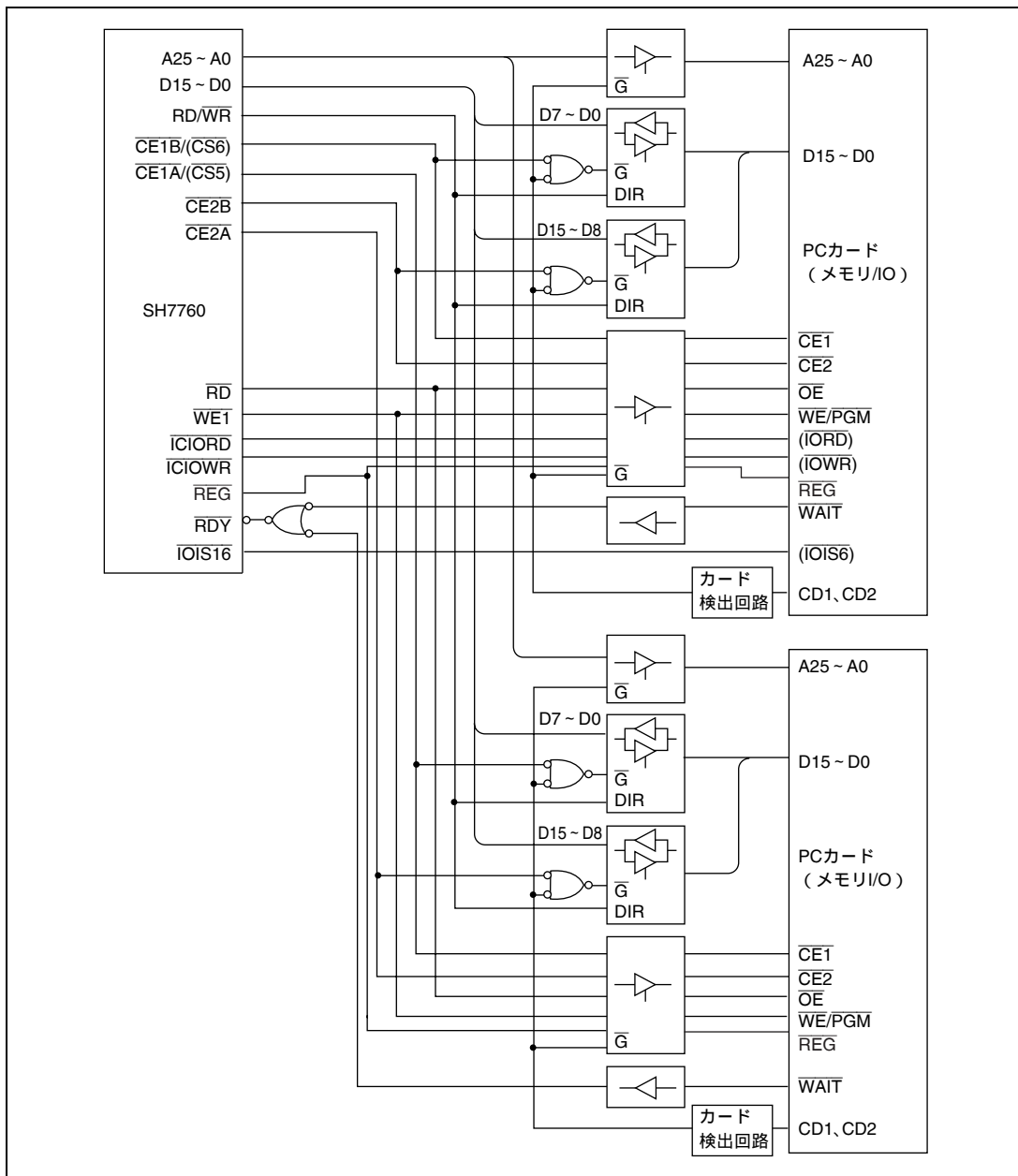


図 10.36 PCMCIA インタフェース例

10. バスステートコントローラ (BSC)

(1) メモリカードインタフェース基本タイミング

図 10.37 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを、図 10.38 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

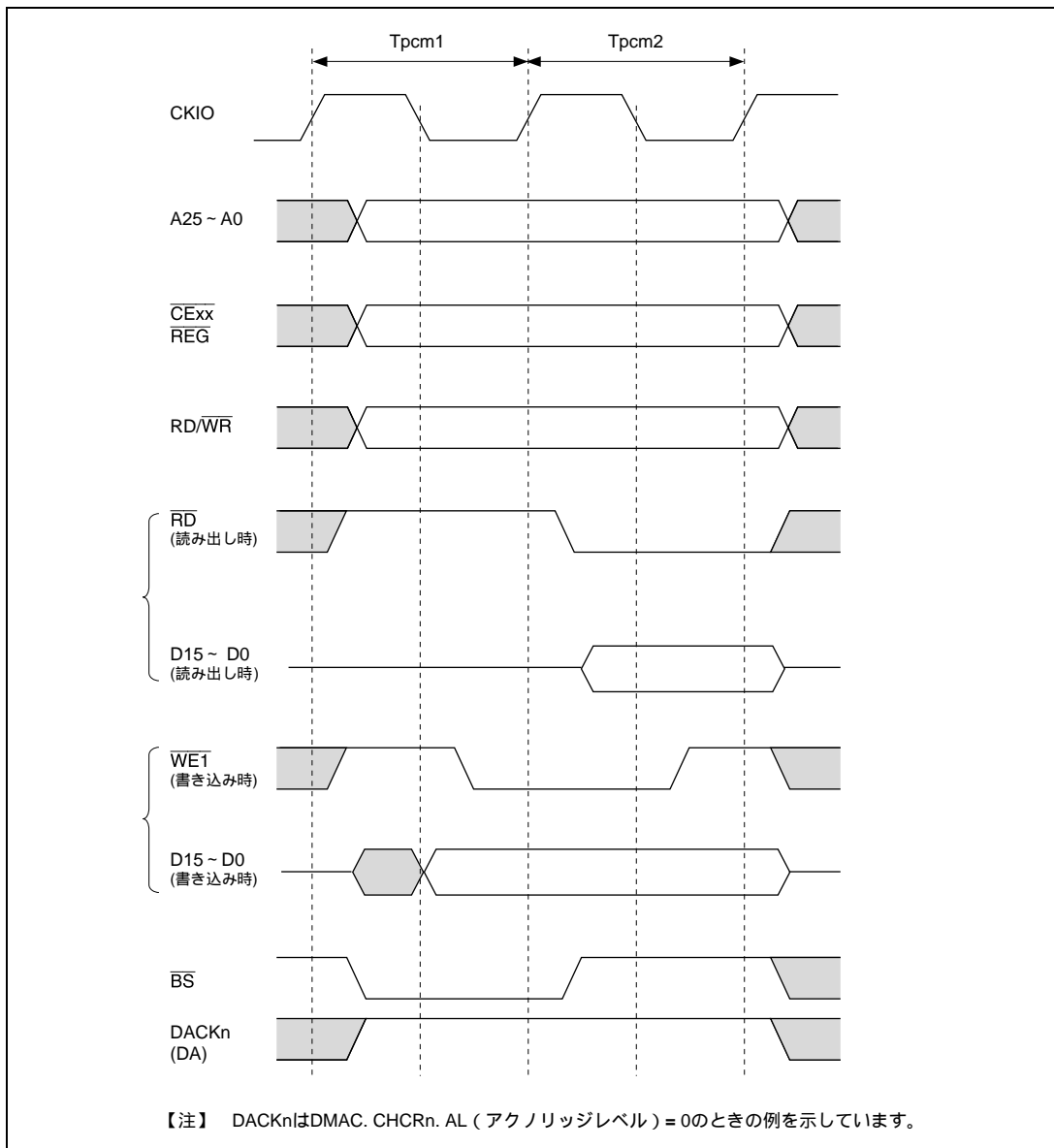


図 10.37 PCMCIA メモリカードインタフェース基本タイミング

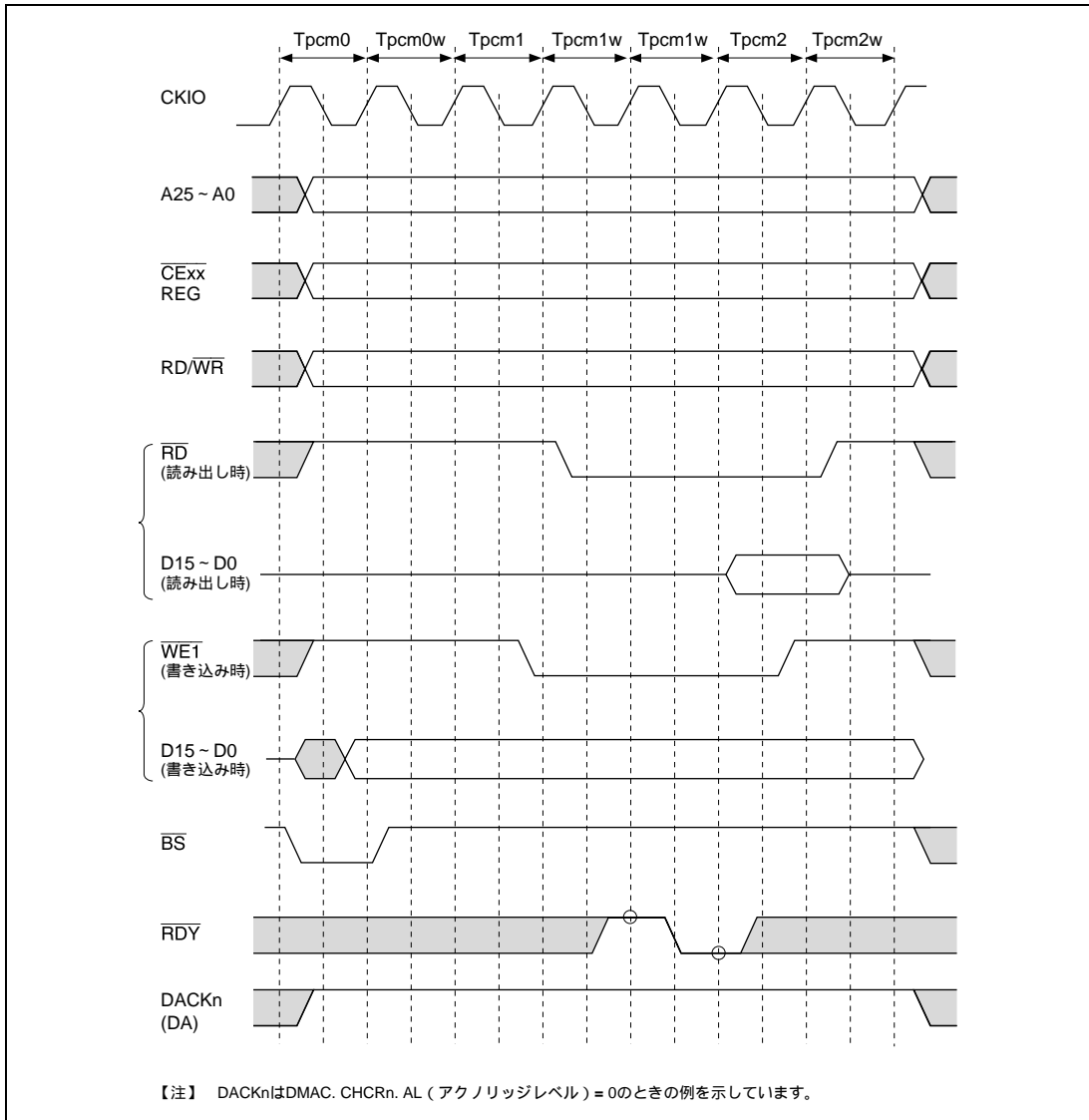


図 10.38 PCMCIA メモリカードインタフェースウェイトタイミング

10. バスステートコントローラ (BSC)

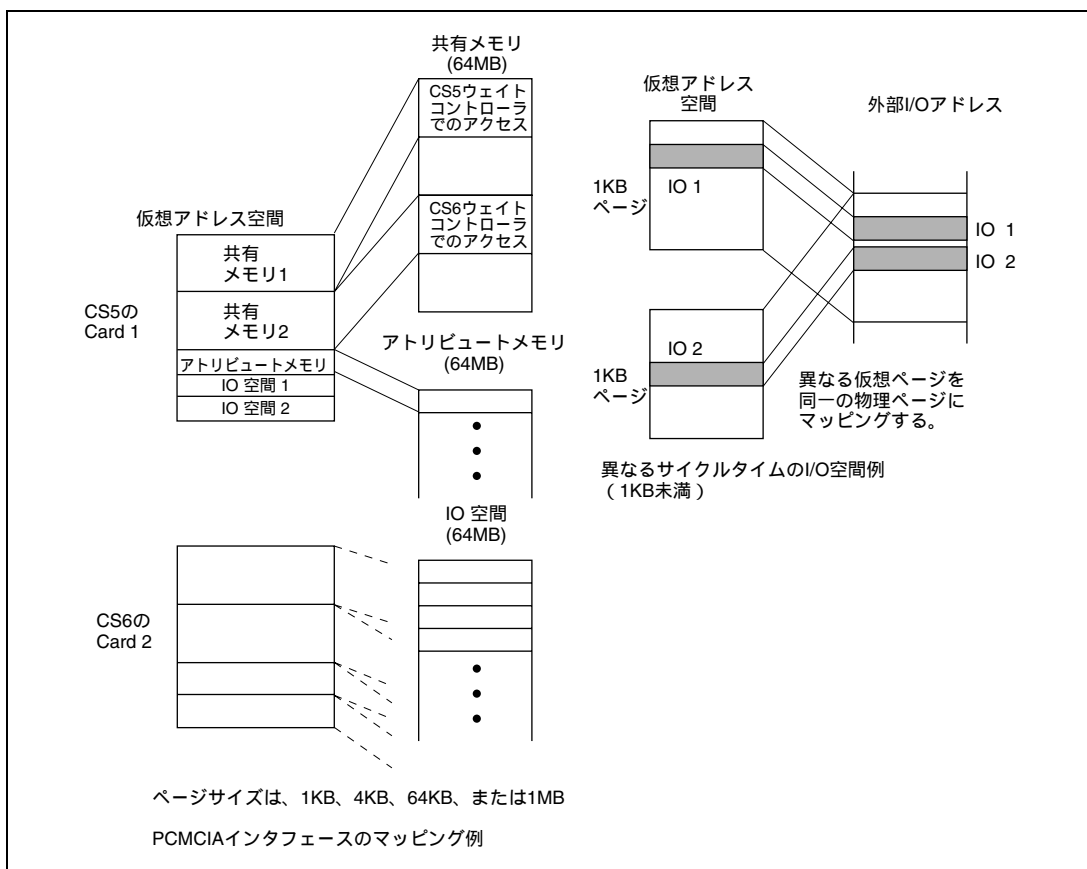


図 10.39 PCMCIA 空間割り付け

(2) I/O カードインタフェースタイミング

図 10.40、図 10.41 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス $2n+1$ に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 10.42 に示します。

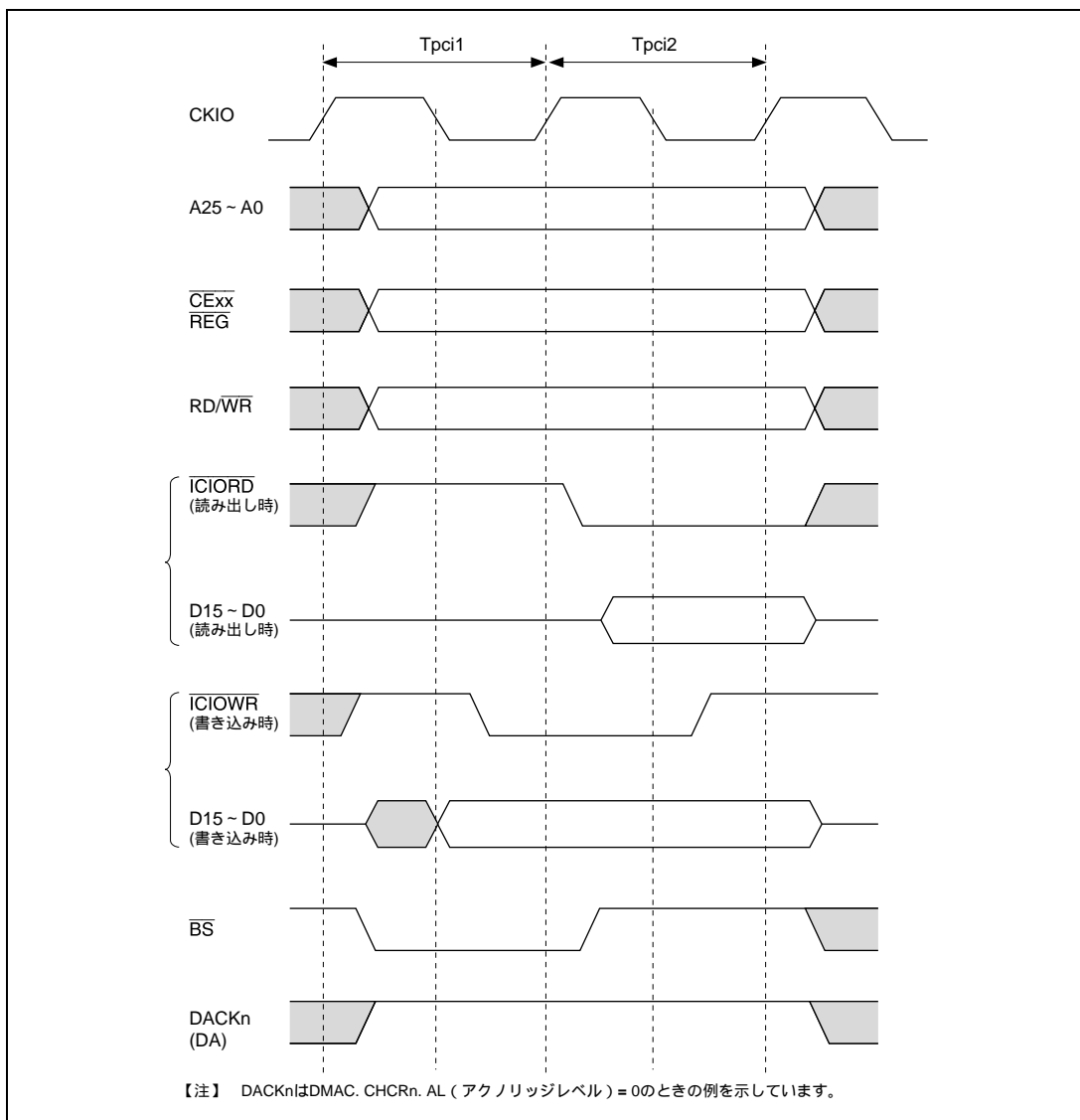


図 10.40 PCMCIA I/O カードインタフェース基本タイミング

10. バスステートコントローラ (BSC)

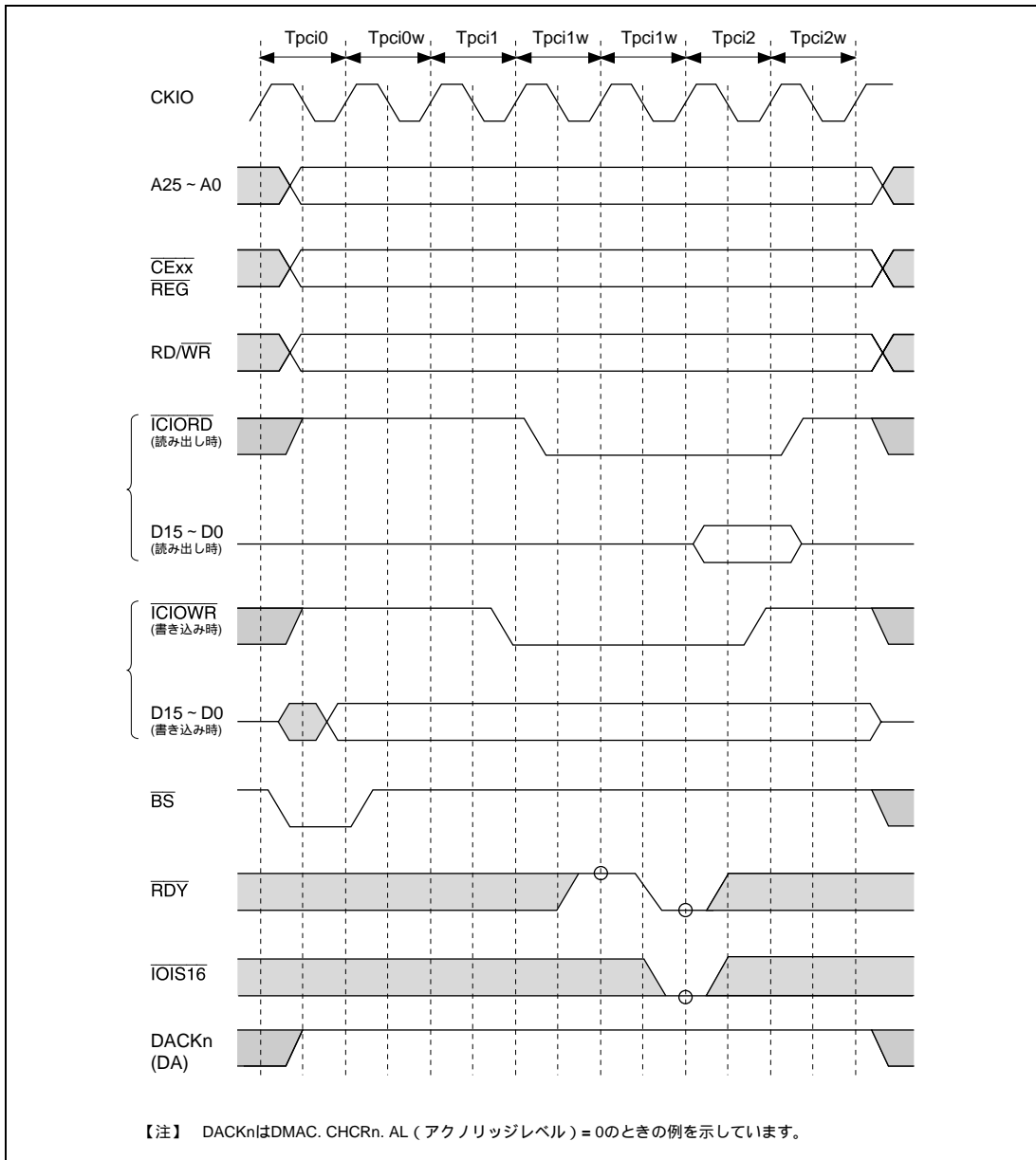


図 10.41 PCMCIA I/O カードインタフェースウェイトタイミング

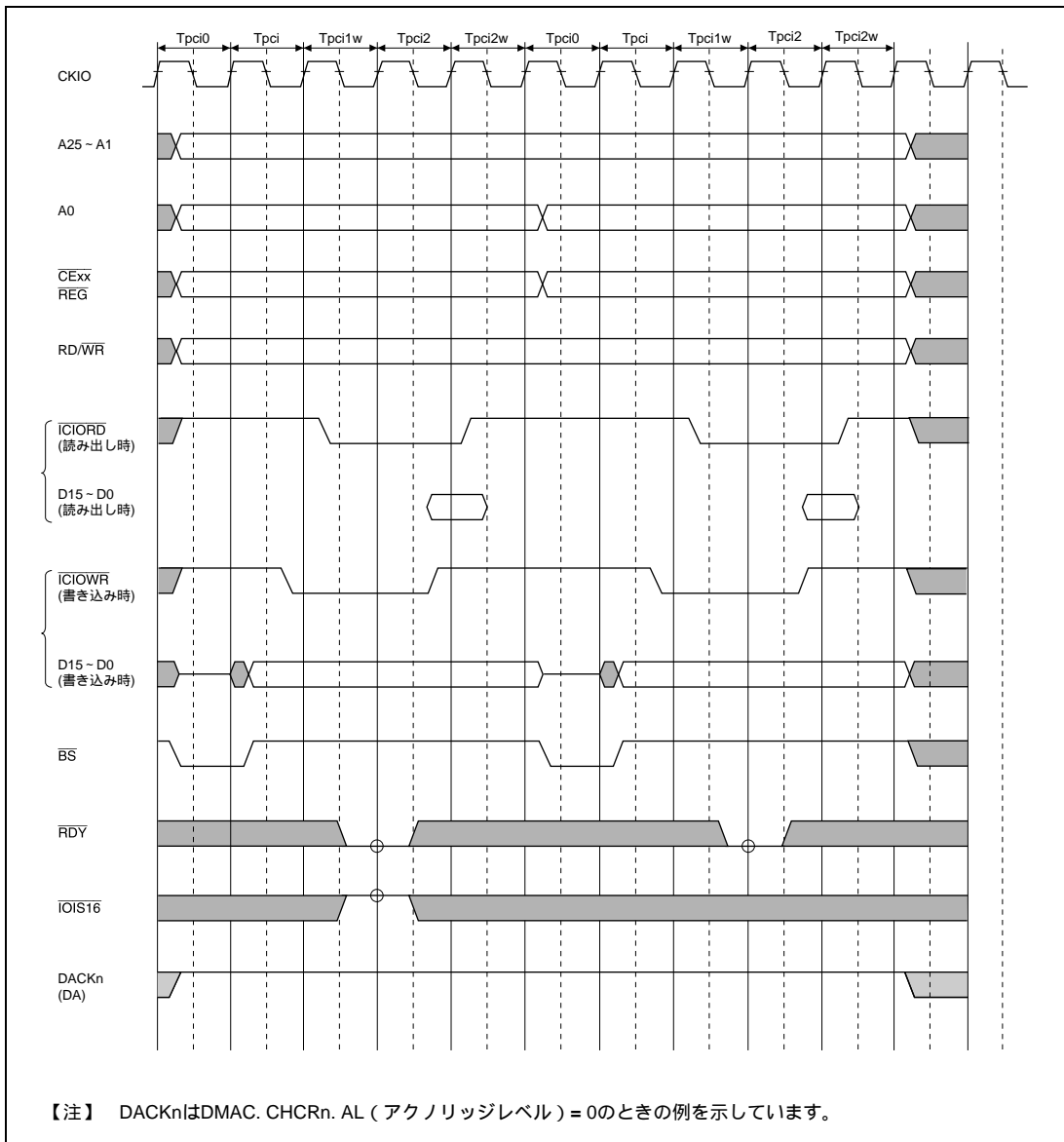


図 10.42 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

10.6.7 MPX インタフェース

$\overline{\text{RESET}}$ 端子によるパワーオンリセット時、MD6 端子を 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。BCR1 の MPX ビットおよび BCR3 の MEMMODE、A4MPX、A1MPX により、エリア 1~6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス/データマルチプレクス形式のバスプロトコルを提供し、アドレス/データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25~D0 に、アクセスサイズは D31~D29 に出力されます。 $\overline{\text{BS}}$ 信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合はネゲート期間は生まれません。 $\overline{\text{FRAME}}$ 信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始したときにネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「10.6.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25~A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

D31	D30	D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	クワッドワード
1	x	x	32 バイトバースト

【記号説明】

x : Don't care

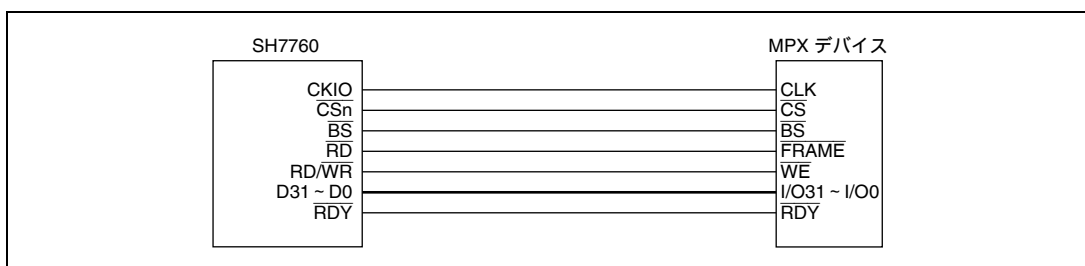


図 10.43 32 ビットデータ幅 MPX の接続例

次に MPX インタフェースタイミングを示します。

エリア1~6でMPXインタフェースを使用する場合、BCR2によるバスサイズ指定は32ビットとしてください。

なお、ウェイト制御はWCR2によるウェイトと \overline{RDY} 端子によるウェイト挿入が可能です。

読み出す時はWCR2を0に設定していても、アドレス出力の次に自動的に1サイクルのウェイトが挿入されます。

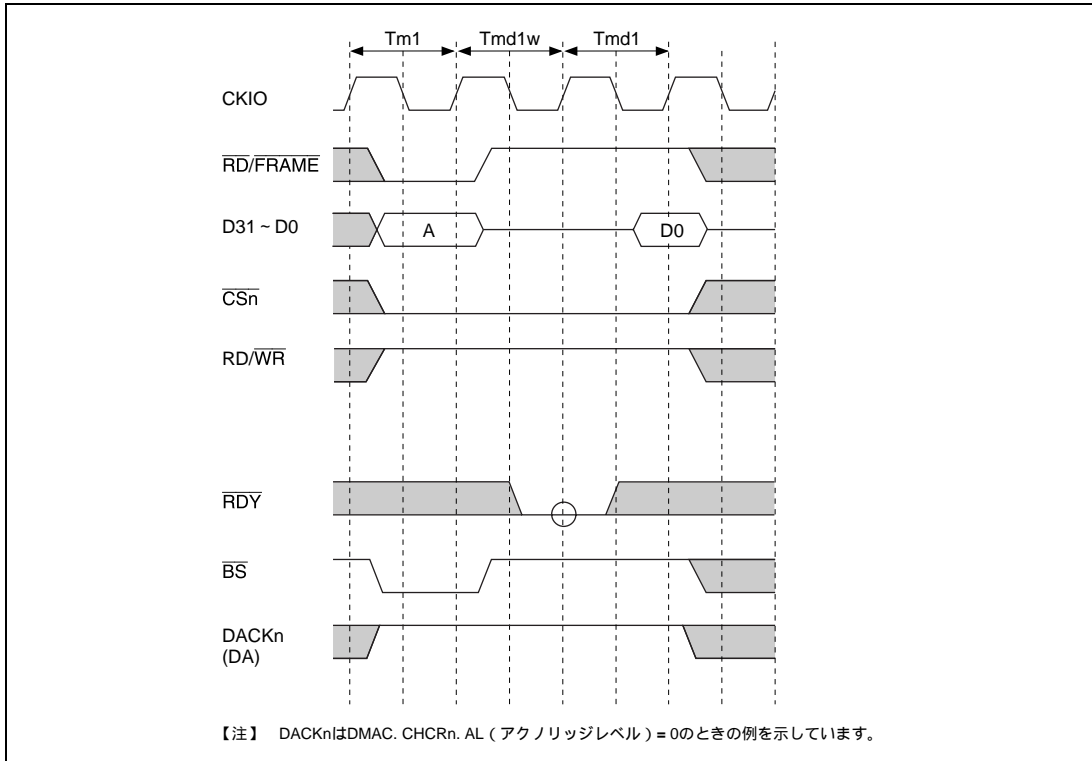


図 10.44 MPX インタフェースタイミング 1 (シングルリードサイクル、AnW=0、外部ウェイトなし)

10. バスステートコントローラ (BSC)

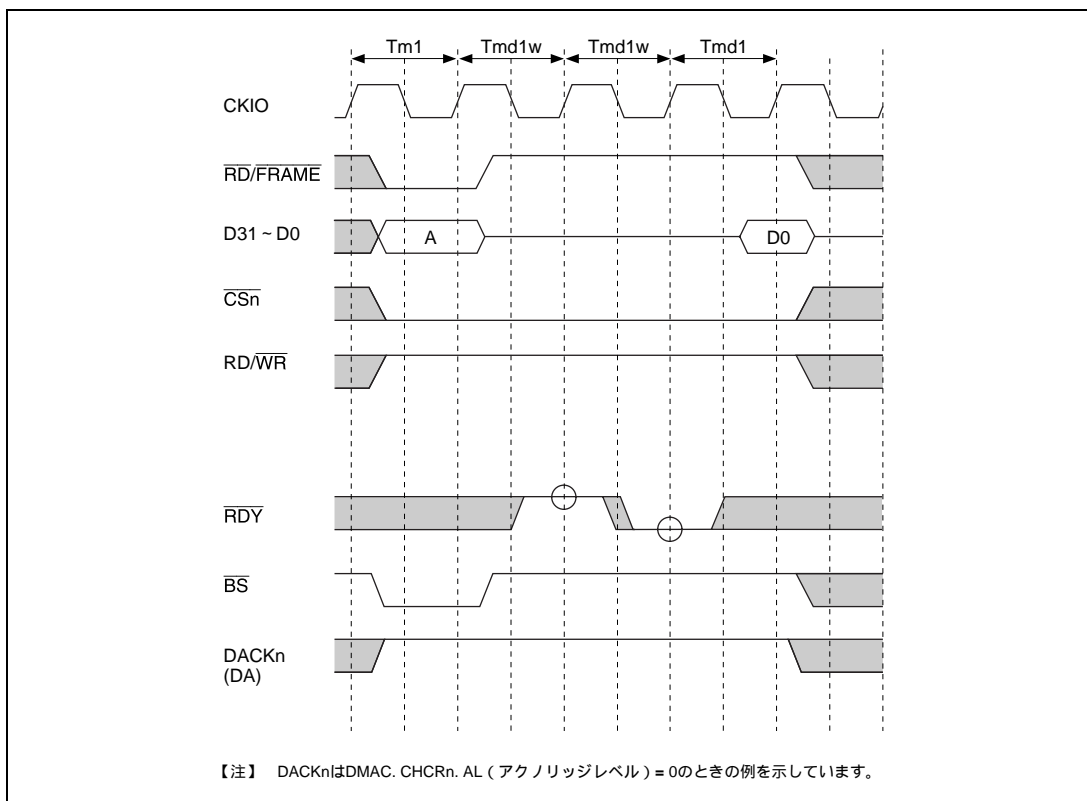


図 10.45 MPX インタフェースタイミング 2 (シングルリード、AnW = 0、外部ウェイト 1 挿入)

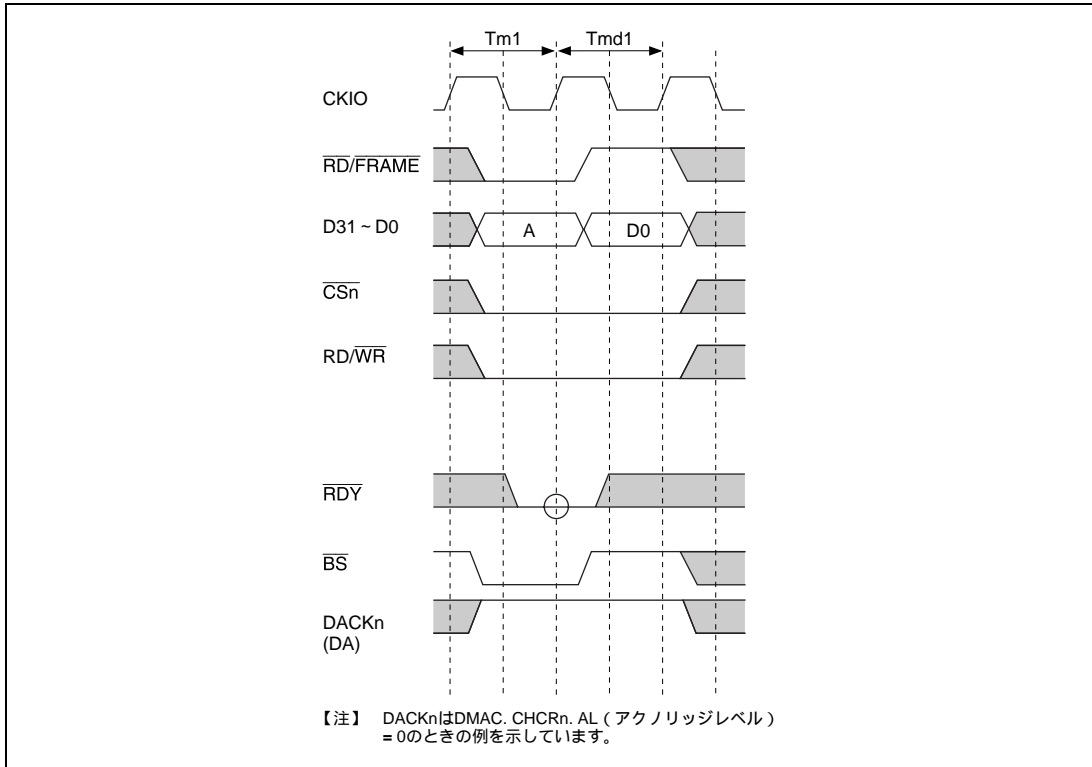


図 10.46 MPX インタフェースタイミング 3 (シングルライトサイクル、AnW = 0、外部ウェイトなし)

10. バスステートコントローラ (BSC)

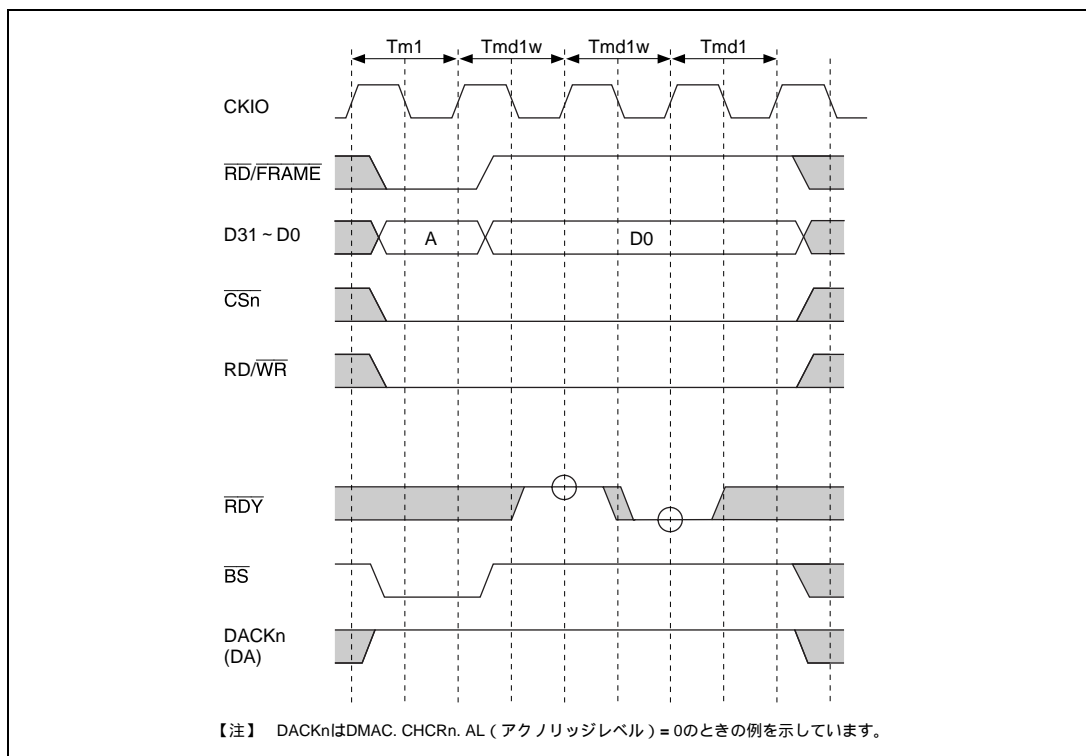


図 10.47 MPX インタフェースタイミング 4 (シングルライト、AnW = 1、外部ウェイト 1 挿入)

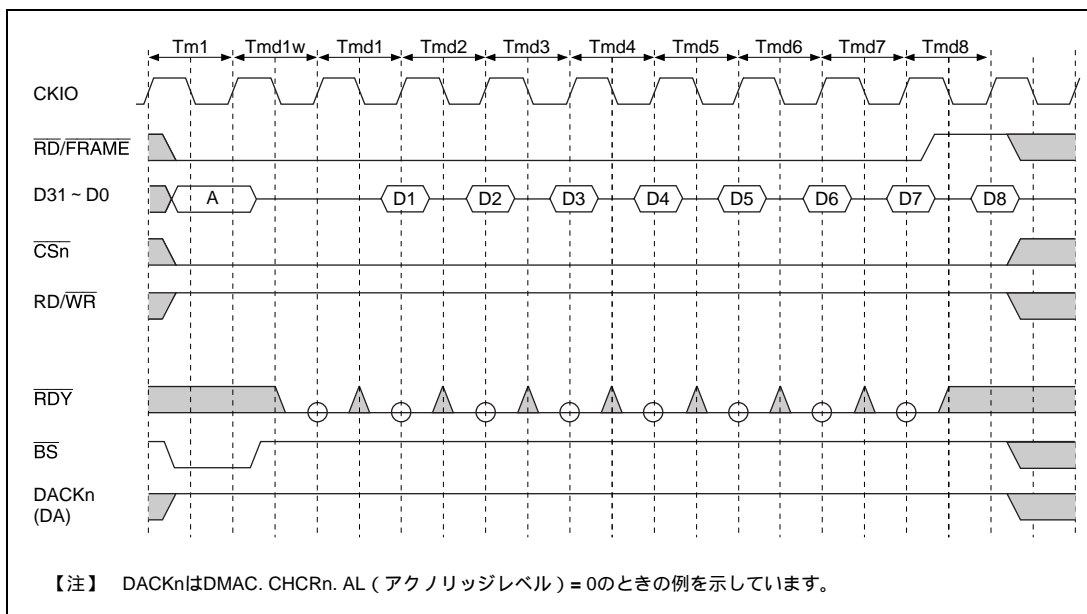


図 10.48 MPX インタフェースタイミング 5 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

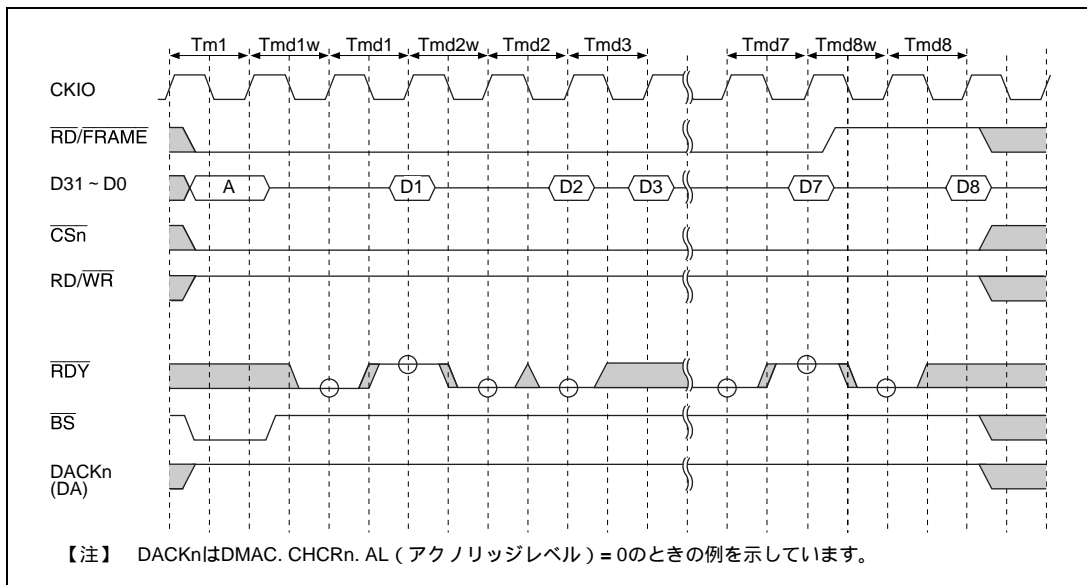


図 10.49 MPX インタフェースタイミング 6 (バーストリードサイクル、AnW=0、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

10. バスステートコントローラ (BSC)

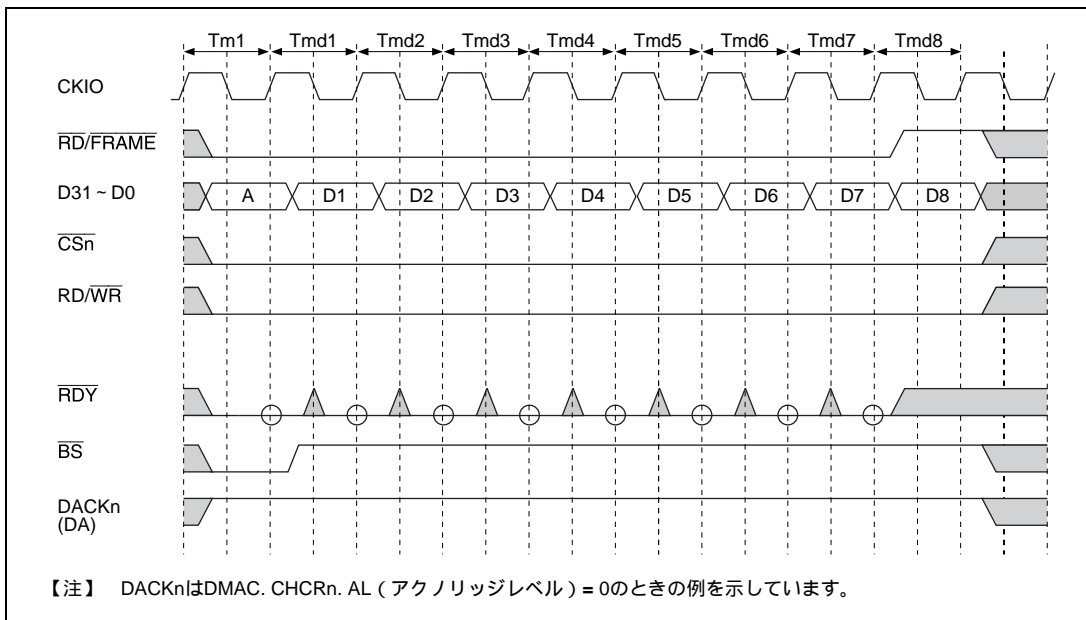


図 10.50 MPX インタフェースタイミング 7 (パストライトサイクル、AnW = 0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

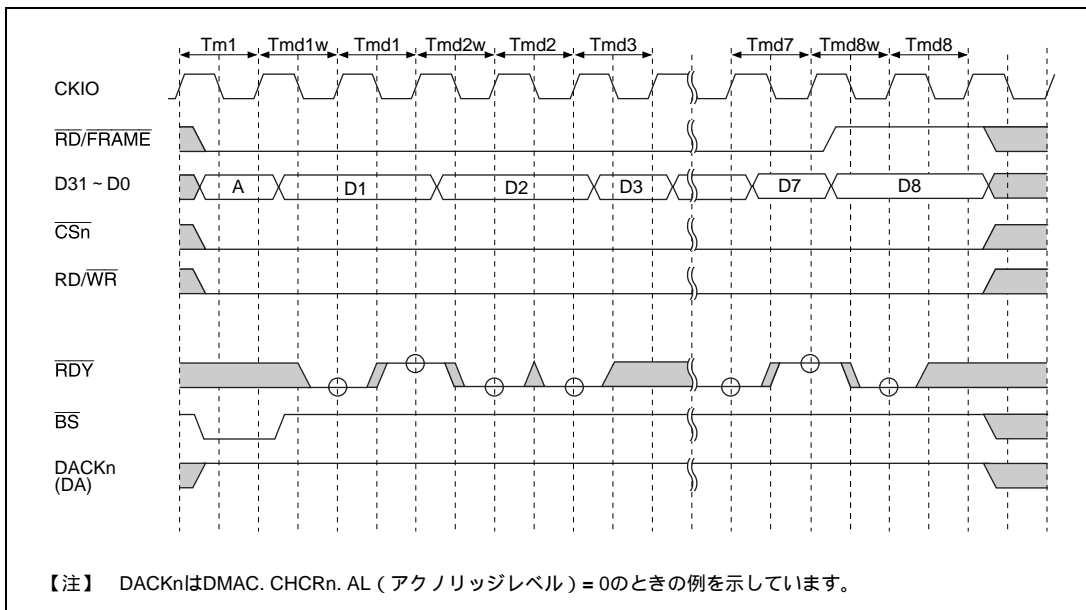


図 10.51 MPX インタフェースタイミング 8 (パストライトサイクル、AnW = 1、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

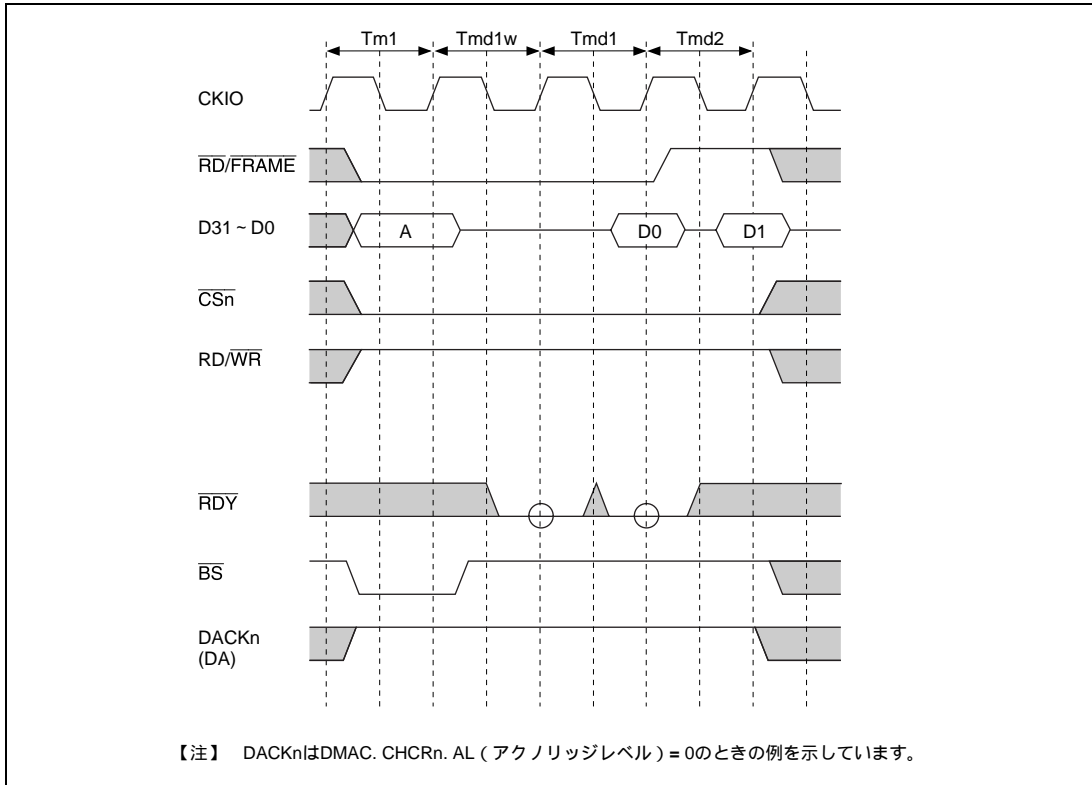


図 10.52 MPX インタフェースタイミング 8 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

10. バスステートコントローラ (BSC)

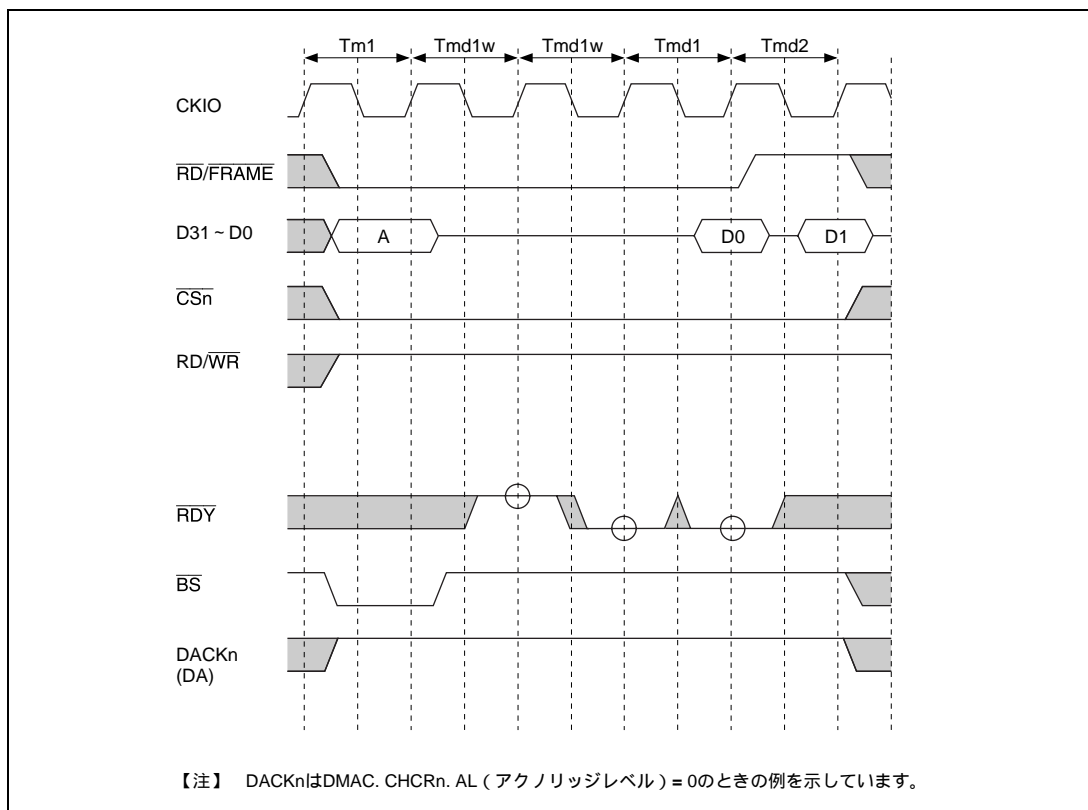


図 10.53 MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)

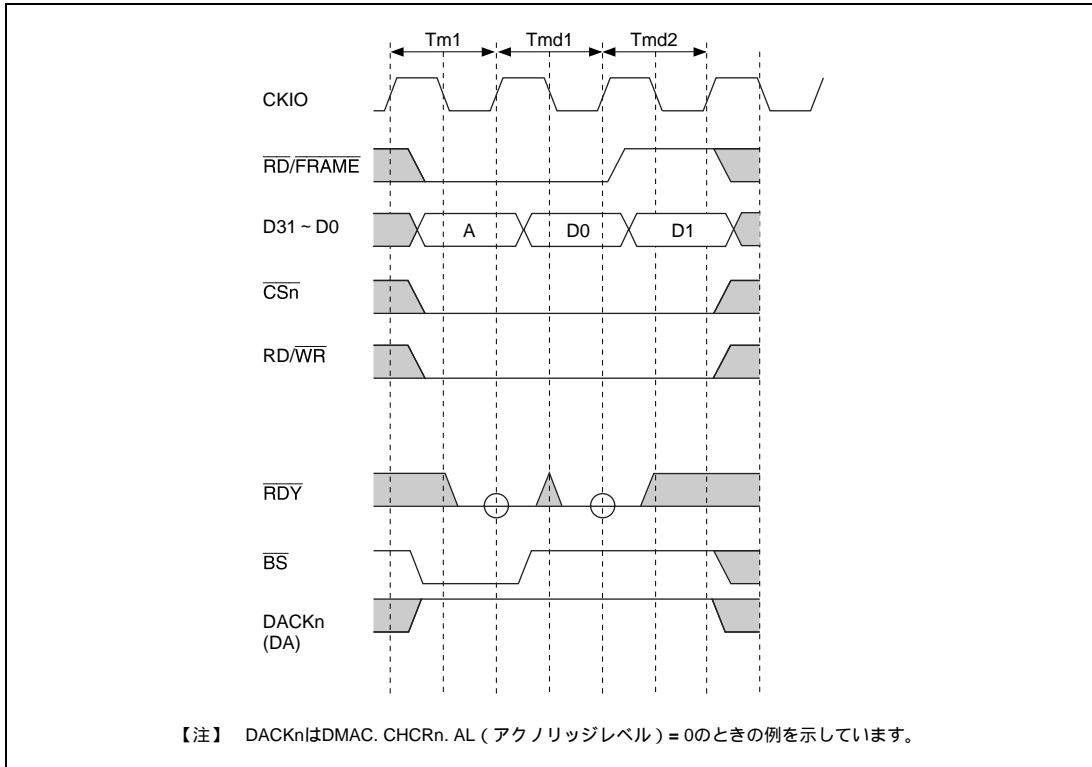


図 10.54 MPX インタフェースタイミング 10 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

10. バスステートコントローラ (BSC)

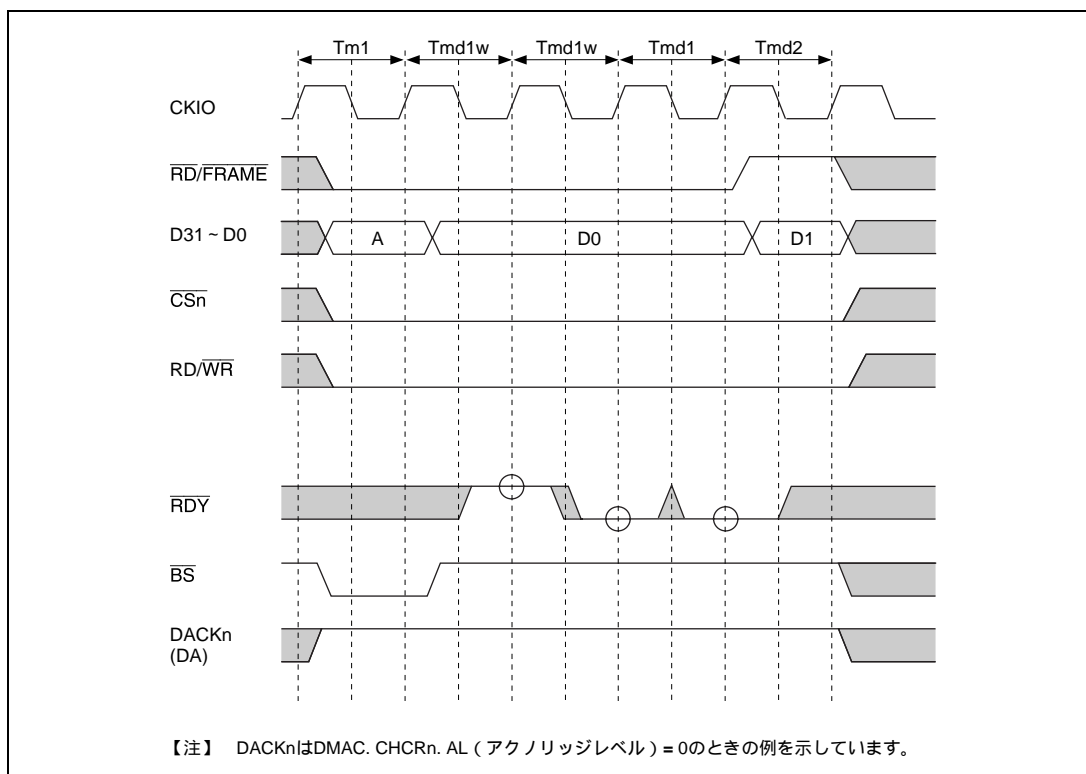


図 10.55 MPX インタフェースタイミング 11 (バーストライクサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)

10.6.8 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、読み出し / 書き込みいずれのバスサイクルでもバイトセレクトストロブ ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロブ、下位バイトセレクトストロブ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。ただし、これらのエリアが MPX モードに設定されると、MPX モードに優先権があります。

バイト制御 SRAM インタフェースの書き込みタイミングは、通常の SRAM インタフェースと同じです。

一方、読み出し動作では、 $\overline{WE_n}$ 端子のタイミングが異なります。読み出しアクセス時、読み込むバイトの \overline{WE} 信号だけがアサートされます。アサートは \overline{WE} 信号と同じく、CKIO クロックの立ち下がりに同期して行われますが、ネゲートは、CKIO クロックの立ち上がりに同期して行われ、これは、 \overline{RD} 信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われません。この途中ではバス権を解放しません。

図 10.56 にバイト制御 SRAM の接続例を、図 10.57 ~ 図 10.59 にバイト制御 SRAM の読み出しサイクル例をそれぞれ示します。

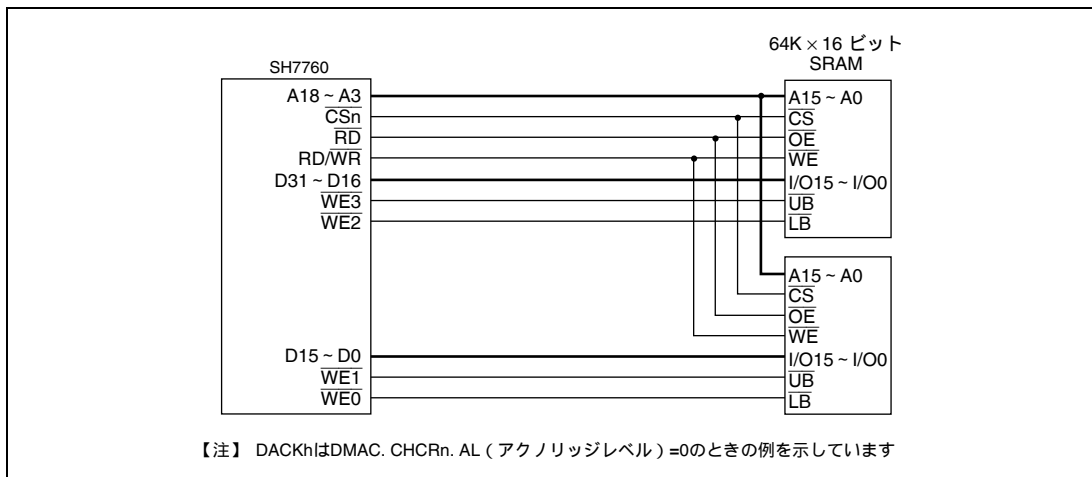


図 10.56 32 ビットデータ幅バイト制御 SRAM の例

10. バスステートコントローラ (BSC)

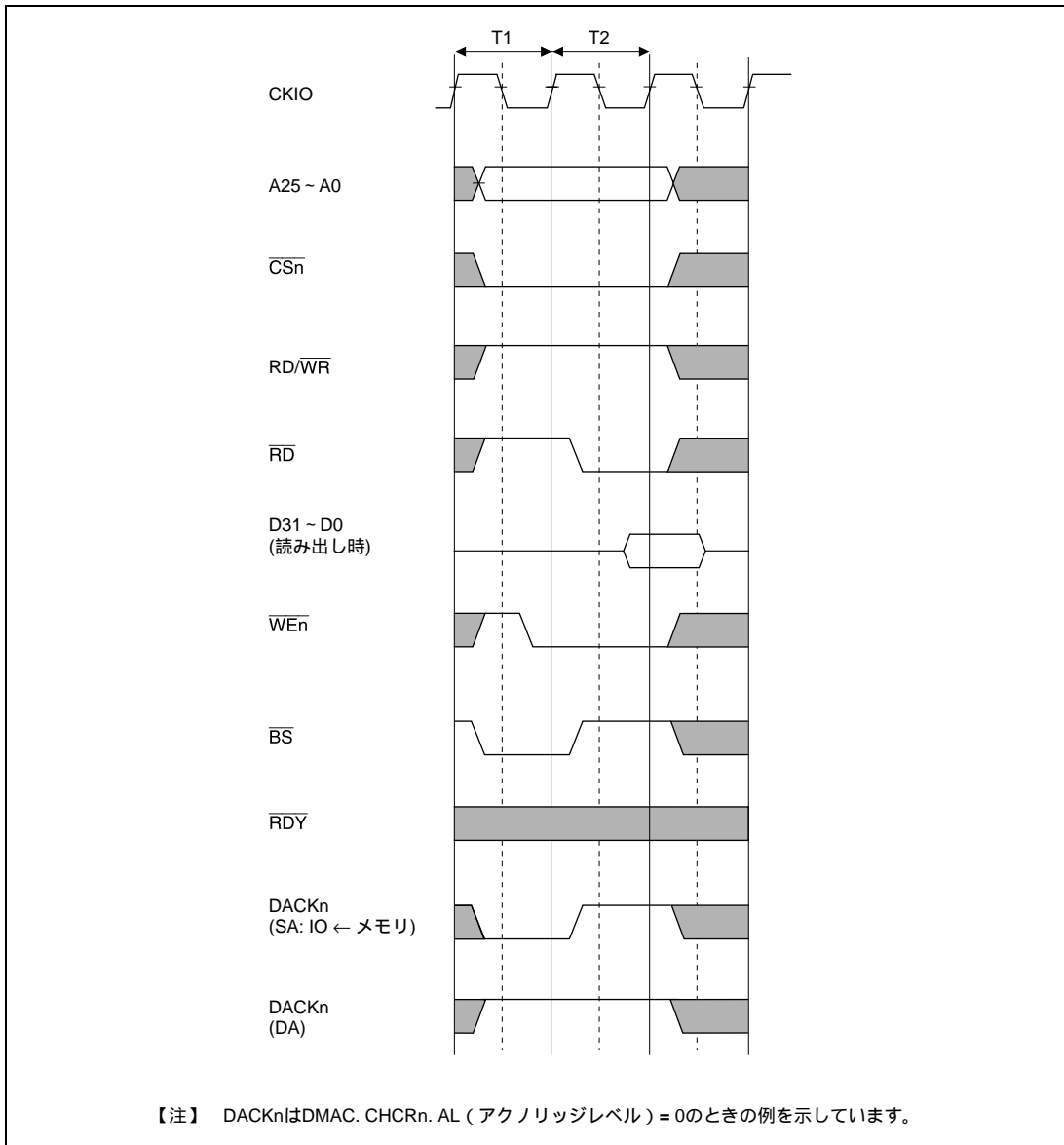


図 10.57 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

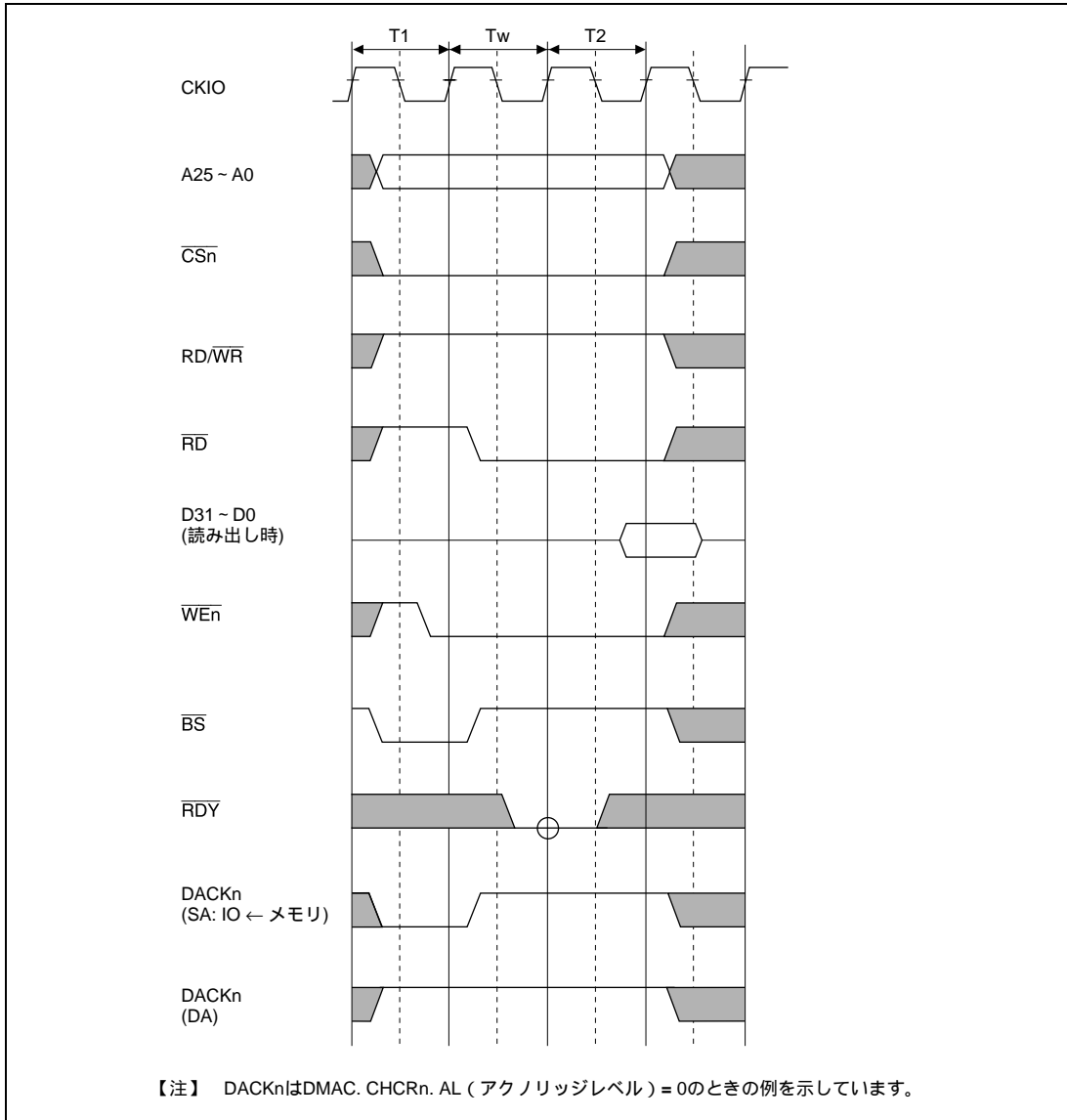


図 10.58 バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)

10. バスステートコントローラ (BSC)

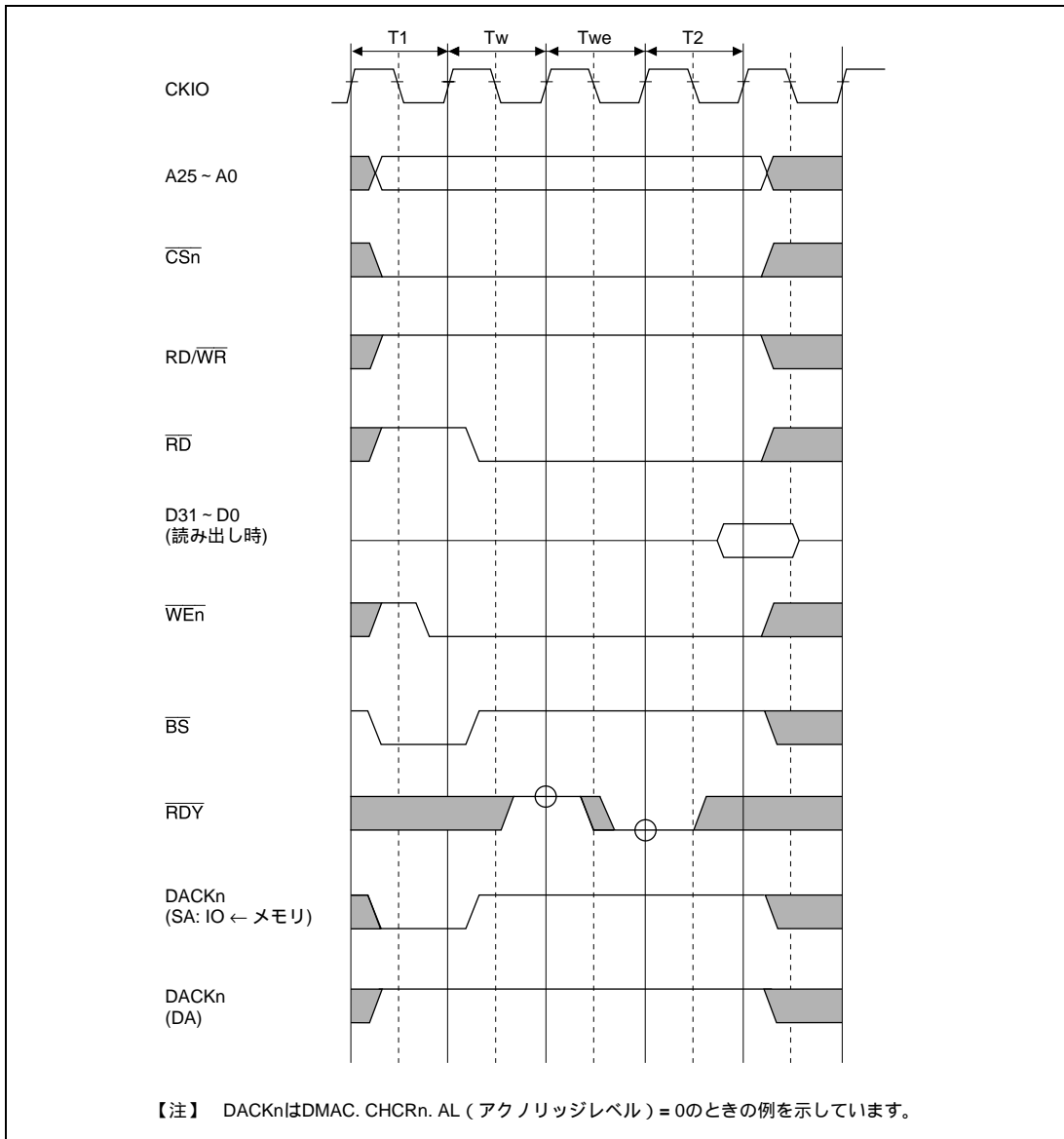


図 10.59 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

10.6.9 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「10.5.5 ウェイトコントロールレジスタ1 (WCR1)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。本 LSI が書き込みサイクルを連続している場合には、データの転送方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対する読み出しアクセスも、原則として同一のデータバッファからデータが出力されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW2 ~ AnIW0 ビット (n=0~6) によって、アクセス間に空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、サイクル間ウェイトが挿入された後、バスが解放されます。

シングルアドレスモードの DMA 転送では、I/O デバイスからメモリへの転送時には、バス上のデータは、I/O デバイスのスピードによって決定されます。低速な I/O デバイスを使用する場合、出力バッファのターンオフ時間に相当するサイクル間ウェイトの挿入が必要になることがあります。また、高速なメモリを使用しても、DMA 転送を考慮すると、低速デバイスのスピードに合わせるためにサイクル間、ウェイトの挿入が必要になることがあり、そのメモリ本来のスピードが使用できないこともあります。

ウェイトコントロールレジスタ1 (WCR1) の DMAIW2 ~ DMAIW0 ビットを使用すると、I/O デバイスからメモリへの DMA 転送をシングルアドレスモードで行うとき、サイクル間ウェイト挿入の設定を行うことができます。挿入できるウェイト数は 0 ~ 15 です。DMAIW2 ~ DMAIW0 ビットで指定されたウェイト数が、全エリアでのシングルアドレスモード DMA 転送時に挿入されます。

なお、デュアルアドレスモードでの DMA 転送の場合には、AnIW2 ~ AnIW0 ビット (n は 0 ~ 6) によって指定された通常のサイクル間ウェイトが挿入されます。

10. バスステートコントローラ (BSC)

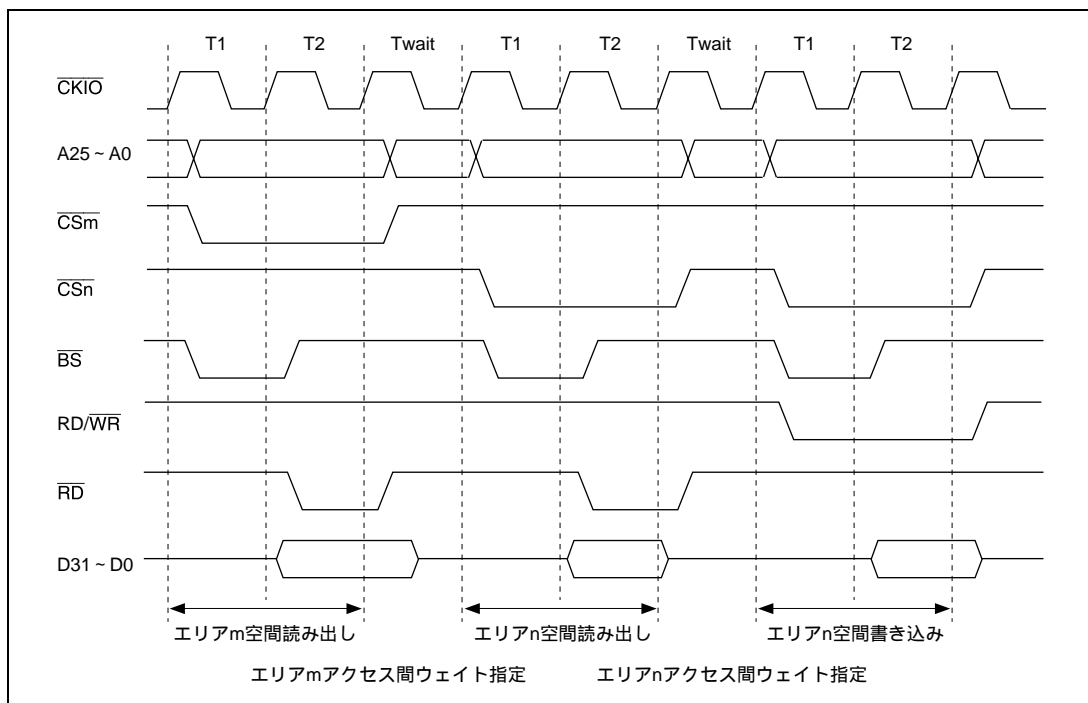


図 10.60 アクセスサイクル間ウェイト

10.6.10 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

本 LSI は定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行います。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には CPU、DMAC の 2 つのバスマスタがあります。また、シンクロナス DRAM を接続して、リフレッシュ制御を行わせる場合、リフレッシュ要求は第 3 のバスマスタとなります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関する優先順位は、高い方から順に、外部デバイスによるバス権要求、リフレッシュ要求、DMAC、CPU の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネグート状態とします。バス権を受け取る場合にも、バス制御信号はネグート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中の読み出しサイクルと書き込みサイクルの間や DMAC のデュアルアドレス転送実行時の読み出しサイクルと書き込みサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$ がネグートされると $\overline{\text{BACK}}$ をネグートし、バスの使用を再開します。

また、リフレッシュ要求が発生すると本 LSI は実行中のバスサイクルが終わり次第リフレッシュ動作を行います。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中ではリフレッシュ動作は待たされます。また、TAS 命令実行中の読み出しサイクルと書き込みサイクルの間や DMAC のデュアルアドレス転送実行時の読み出しサイクルと書き込みサイクルの間もリフレッシュ動作は待たされます。バス権解放状態でもリフレッシュ動作は待たされます。

本 LSI 内部の CPU は、キャッシュメモリとの間を専用の周辺バスで接続されているため、LSI 内部または外部の他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

内部でメモリリフレッシュ要求によりバス権を取り戻したい場合、本 LSI は $\overline{\text{BACK}}$ をネグートします。外部バス解放要求をアサートしているデバイスは、 $\overline{\text{BACK}}$ のネグートを受けてバス権を解放するために $\overline{\text{BREQ}}$ をネグートします。これによりバス権の戻った本 LSI が処理を行います。

10. バスステートコントローラ (BSC)

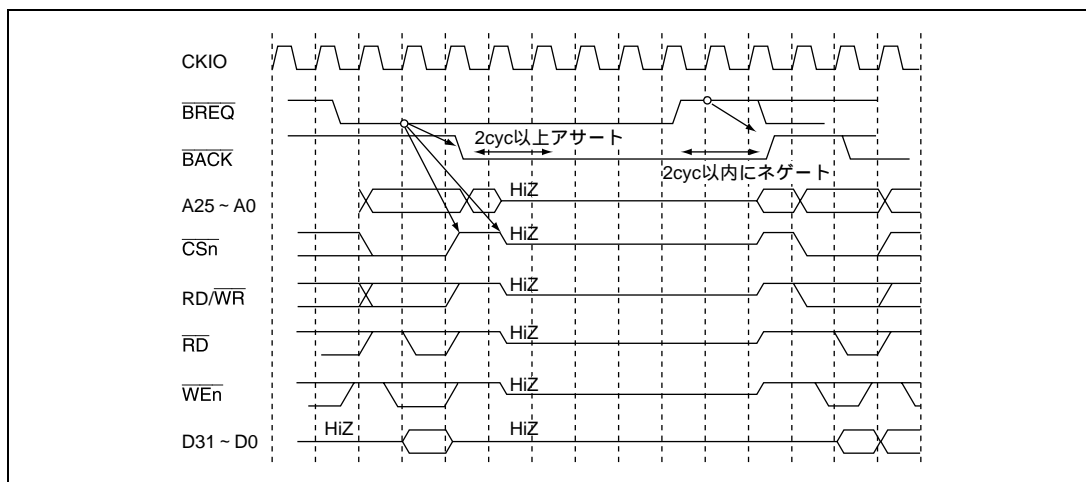


図 10.61 アービトレーションシーケンス

10.6.11 バス解放・獲得シーケンス

本 LSI は、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (L レベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (L レベル) にします。リフレッシュ要求によるバス権要求が出ていない場合は、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (H レベル) を受けて $\overline{\text{BACK}}$ をネゲート (H レベル) し、バスの使用を再開します。

バス権解放状態でメモリリフレッシュ要求によるバス権要求が出た場合、バス使用許可 ($\overline{\text{BACK}}$) をネゲートし、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲートを受けて、バスの使用を再開します。

バス解放時はシンクロナス DRAM インタフェースの CKE とバスアービトレーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する DACK0、DACK1 を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

シンクロナス DRAM も、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、バス使用許可信号をクロックの立ち上がりで同期してアサートします。この $\overline{\text{BACK}}$ アサートに同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{RD}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、ただちに $\overline{\text{BACK}}$ をネゲートし、次のクロックの立ち上がりから、バス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してリフレッシュ動作、バスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ 信号のネゲートが必要です。

$\overline{\text{BACK}}$ をアサートしバスを解放している状態でリフレッシュ要求が発生した場合、バス権の放棄をスレーブに要求するために、 $\overline{\text{BREQ}}$ 信号がアサートされている状態でも $\overline{\text{BACK}}$ 信号をネゲートします。本 LSI をマスタモードで使用し、ユーザが個別に設計したスレーブの場合、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。連続した複数回のアクセスの合計時間がリフレッシュ周期を超えるスレーブを接続する場合には、 $\overline{\text{BACK}}$ 信号のネゲートを検出したとき、できるだけ速やかにバス権を解放するように設計を行ってください。

10.7 使用上の注意事項

10.7.1 リフレッシュ

ソフトウェアスタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移させると、オートリフレッシュは実行されなくなります。リフレッシュが必要なメモリシステムの場合はメモリをセルフリフレッシュ状態にしてからソフトウェアスタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移してください。

10.7.2 バスアービトレーション

ソフトウェアスタンバイモード、ディープスリープモードに遷移させると、バス権を解放しなくなります。バスアービトレーションを行うシステムではマスタモードのプロセッサのバス権解放イネーブルビット (BCR1.BREQEN) を 0 に設定してからソフトウェアスタンバイモード、ディープスリープモードに遷移してください。バス権解放イネーブルビットを 1 に設定したままでソフトウェアスタンバイ、ディープスリープモードに遷移した場合の動作は保証されません。

10. バスステートコントローラ (BSC)

11. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、8 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

11.1 特長

DMAC には次のような特長があります。

- チャンネル数：8チャンネル
- アドレス空間：物理アドレス空間
- 転送データ長：8ビット、16ビット、32ビット、64ビット、32バイトから選択可能
- 最大転送回数：16M回 (16,777,216回)
- DMAモード：外部リクエスト2チャンネルモード、DMABRGモードの2種類から選択可能
- アドレスモード：シングルアドレスモード*¹とデュアルアドレスモードから選択可能
- 転送要求：外部リクエスト*²、周辺モジュールリクエスト*³、オートリクエストから選択可能
- バスモード：サイクルスチールモードとバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- チャンネル機能：各チャンネルごとに異なる転送モード(アドレスモード、バスモード、転送要求)を設定可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能

【注】 *1 DMABRG モード時は、シンクロナス DRAM のみ設定可能

*2 外部リクエスト 2 チャンネルモード：DREQ0、DREQ1 (それぞれチャンネル 0,1 に対応)
DMABRG モード：DREQ0～DREQ3 (全チャンネル設定可能)

*3 外部リクエスト 2 チャンネルモード：LCD、HAC、SSI、USB からの転送要求は受付不可
DMABRG モード：DMA 転送要求を持つすべての周辺モジュールからの転送要求受付可能
(ただし LCD、HAC、SSI、USB からの転送要求はチャンネル 0 のみ受付可能)

11. ダイレクトメモリアクセスコントローラ (DMAC)

図 11.1 に DMAC のブロック図を示します。

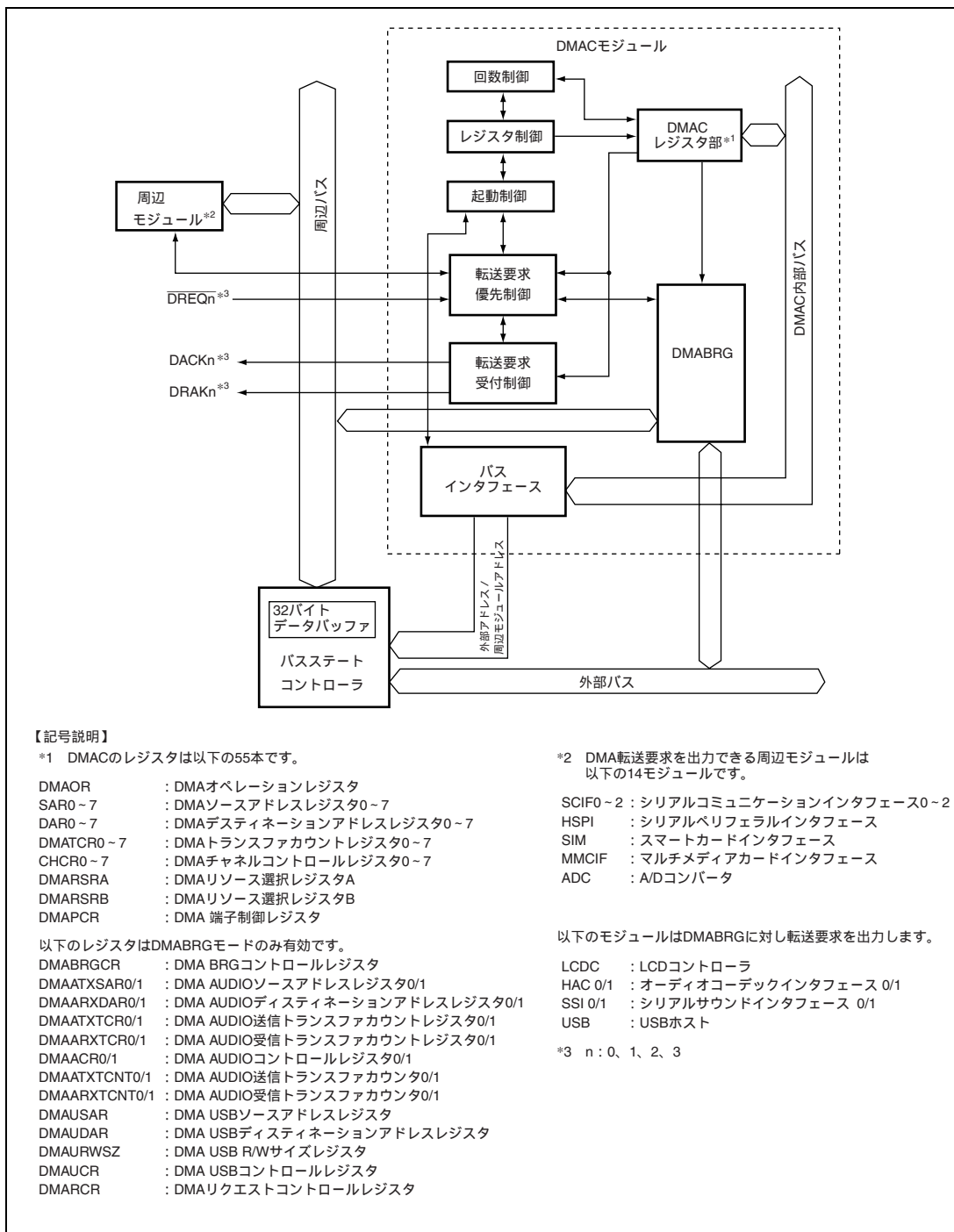


図 11.1 DMAC ブロック図

図 11.2 に DMABRG のブロック図を示します。

DMABRG は、DMABRG モードで LCDC、HAC、SSI、USB とシンクロナス DRAM 間のデータ転送を行う場合、DMABRG 内蔵 FIFO (32 ビット 16 段) を介し、DMAC のチャンネル 0 を用いて高速に行います。DMABRG が行う 1 回の DMA の最大データ転送サイズは 32 バイトです。

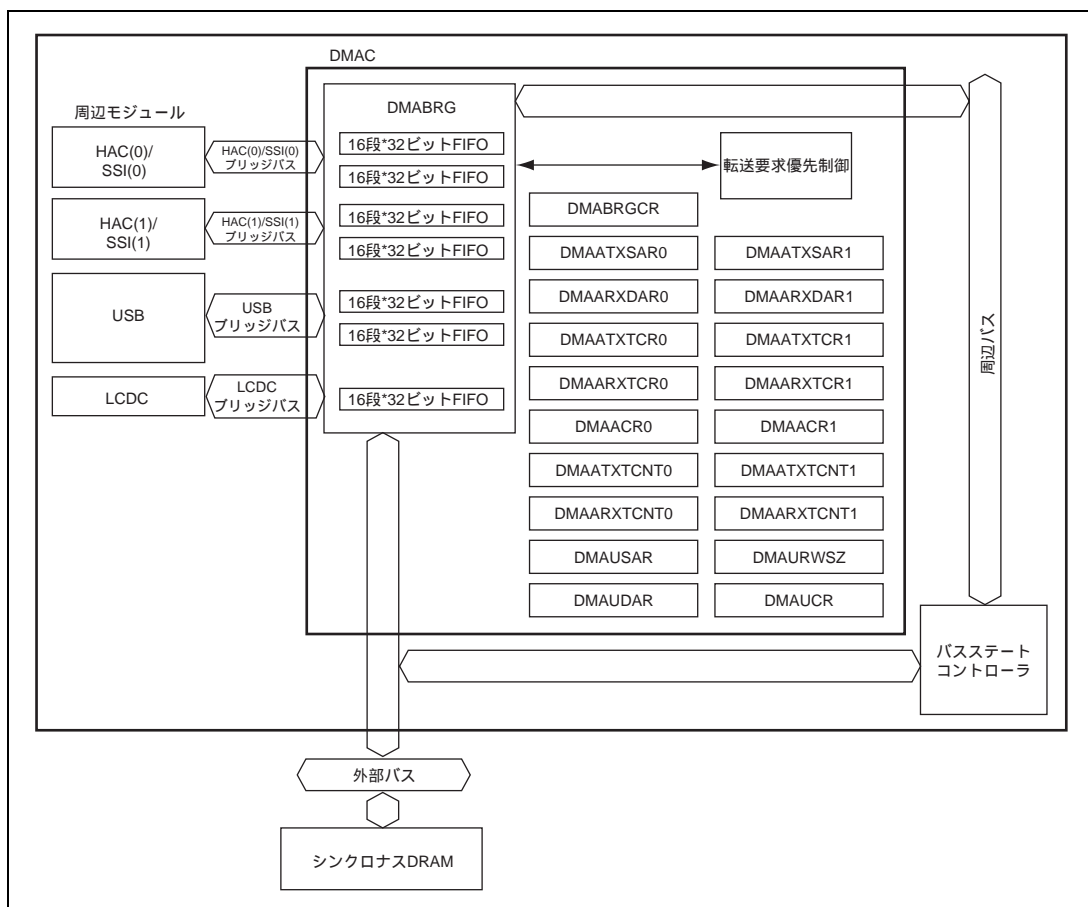


図 11.2 DMABRG のブロック図

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.2 入出力端子

DMACの端子構成を表 11.1 に示します。

表 11.1 DMACの端子構成

名称	端子名	略称	入出力	機能
DMA 転送要求	$\overline{\text{DREQ0}}$	$\overline{\text{DREQ0}}$	入力	外部デバイスからの DMA 転送要求入力
$\overline{\text{DREQ}}$ 受け付け確認	DRAK0	DRAK0	出力	$\overline{\text{DREQ0}}$ を出力した外部デバイスへの DMA 転送要求受付、実行開始を外部デバイスへ通知* ¹
DMA 転送終了通知	DACK0	DACK0	出力	$\overline{\text{DREQ0}}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロープを出力
DMA 転送要求	$\overline{\text{DREQ1}}$	$\overline{\text{DREQ1}}$	入力	外部デバイスからの DMA 転送要求入力
$\overline{\text{DREQ}}$ 受け付け確認	DRAK1	DRAK1	出力	$\overline{\text{DREQ1}}$ を出力した外部デバイスへの DMA 転送要求受付、実行開始を外部デバイスへ通知* ¹
DMA 転送終了通知	DACK1	DACK1	出力	$\overline{\text{DREQ1}}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロープを出力
DMA 転送要求	$\overline{\text{DREQ2}}$	$\overline{\text{DREQ2}}$	入力	外部デバイスからの DMA 転送要求
$\overline{\text{DREQ}}$ 受け付け確認	DRAK2/	DRAK2	出力	$\overline{\text{DREQ2}}$ を出力した外部デバイスへの DMA 転送要求受付* ²
DMA 転送終了通知	DACK2	DACK2	出力	$\overline{\text{DREQ2}}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロープを出力* ²
DMA 転送要求	$\overline{\text{DREQ3}}$	$\overline{\text{DREQ3}}$	入力	外部デバイスからの DMA 転送要求
$\overline{\text{DREQ}}$ 受け付け確認	DRAK3/	DRAK3	出力	$\overline{\text{DREQ3}}$ を出力した外部デバイスへの DMA 転送要求受付* ³
DMA 転送終了通知	DACK3	DACK3	出力	$\overline{\text{DREQ3}}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロープを出力* ³

【注】 *1 DRAK0、1 が実行開始を示すのは外部リクエスト 2 チャンネルモードのときです。

*2 DRAK2/DACK2 はピン・マルチプレクス

*3 DRAK3/DACK3 はピン・マルチプレクス

11.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態については「第 32 章 レジスタ一覧」を参照してください。DMA 端子制御レジスタ (DMAPCR) については「第 24 章 ピンファンクションコントローラ (PFC)」の「24.2.34 DMA 端子制御レジスタ (DMAPCR)」を参照してください。なおレジスタの説明では、チャンネルを省略して説明しています。

表 11.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FFFA0 0000	H'1FA0 0000	32	Bck
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'FFFA0 0004	H'1FA0 0004	32	Bck
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	H'FFFA0 0008	H'1FA0 0008	32	Bck
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W	H'FFFA0 000C	H'1FA0 000C	32	Bck
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FFFA0 0010	H'1FA0 0010	32	Bck
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FFFA0 0014	H'1FA0 0014	32	Bck
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	H'FFFA0 0018	H'1FA0 0018	32	Bck
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W	H'FFFA0 001C	H'1FA0 001C	32	Bck
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FFFA0 0020	H'1FA0 0020	32	Bck
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FFFA0 0024	H'1FA0 0024	32	Bck
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	H'FFFA0 0028	H'1FA0 0028	32	Bck
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W	H'FFFA0 002C	H'1FA0 002C	32	Bck
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FFFA0 0030	H'1FA0 0030	32	Bck
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FFFA0 0034	H'1FA0 0034	32	Bck
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	H'FFFA0 0038	H'1FA0 0038	32	Bck
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W	H'FFFA0 003C	H'1FA0 003C	32	Bck
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FFFA0 0050	H'1FA0 0050	32	Bck
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FFFA0 0054	H'1FA0 0054	32	Bck
	DMA トランスファカウントレジスタ 4	DMATCR4	R/W	H'FFFA0 0058	H'1FA0 0058	32	Bck
	DMA チャンネルコントロールレジスタ 4	CHCR4	R/W	H'FFFA0 005C	H'1FA0 005C	32	Bck
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FFFA0 0060	H'1FA0 0060	32	Bck
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FFFA0 0064	H'1FA0 0064	32	Bck
	DMA トランスファカウントレジスタ 5	DMATCR5	R/W	H'FFFA0 0068	H'1FA0 0068	32	Bck
	DMA チャンネルコントロールレジスタ 5	CHCR5	R/W	H'FFFA0 006C	H'1FA0 006C	32	Bck
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'FFFA0 0070	H'1FA0 0070	32	Bck
	DMA デスティネーションアドレスレジスタ 6	DAR6	R/W	H'FFFA0 0074	H'1FA0 0074	32	Bck
	DMA トランスファカウントレジスタ 6	DMATCR6	R/W	H'FFFA0 0078	H'1FA0 0078	32	Bck
	DMA チャンネルコントロールレジスタ 6	CHCR6	R/W	H'FFFA0 007C	H'1FA0 007C	32	Bck

11. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
7	DMA ソースアドレスレジスタ7	SAR7	R/W	H'FFA0 0080	H'1FA0 0080	32	Bck
	DMA デスティネーションアドレスレジスタ7	DAR7	R/W	H'FFA0 0084	H'1FA0 0084	32	Bck
	DMA トランスファカウンタレジスタ7	DMATCR7	R/W	H'FFA0 0088	H'1FA0 0088	32	Bck
	DMA チャネルコントロールレジスタ7	CHCR7	R/W	H'FFA0 008C	H'1FA0 008C	32	Bck
共通	DMA オペレーションレジスタ	DMAOR	R/W	H'FFA0 0040	H'1FA0 0040	32	Bck
	DMA リクエストリソース選択レジスタ A	DMARSRA	R/W	H'FE09 0000	H'1E09 0000	32	Pck
	DMA リクエストリソース選択レジスタ B	DMARSRB	R/W	H'FE09 0004	H'1E09 0004	32	Pck
	DMA リクエストコントロールレジスタ	DMARCR	R/W	H'FE09 0008	H'1E09 0008	32	Pck
DMABRG	DMA BRG コントロールレジスタ	DMABRGCR	R/W	H'FE3C 0000	H'1E3C 0000	32	Pck
	DMA AUDIO ソースアドレスレジスタ 0	DMAATXSAR0	R/W	H'FE3C 0040	H'1E3C 0040	32	Pck
	DMA AUDIO デスティネーションアドレス レジスタ 0	DMAARXDAR0	R/W	H'FE3C 0044	H'1E3C 0044	32	Pck
	DMA AUDIO 送信トランスファカウンタ レジスタ 0	DMAATXTCR0	R/W	H'FE3C 0048	H'1E3C 0048	32	Pck
	DMA AUDIO 受信トランスファカウンタ レジスタ 0	DMAARXTCR0	R/W	H'FE3C 004C	H'1E3C 004C	32	Pck
	DMA AUDIO コントロールレジスタ 0	DMAACR0	R/W	H'FE3C 0050	H'1E3C 0050	32	Pck
	DMA AUDIO 送信トランスファカウンタ 0	DMAATXTCNT0	R	H'FE3C 0054	H'1E3C 0054	32	Pck
	DMA AUDIO 受信トランスファカウンタ 0	DMAARXTCNT0	R	H'FE3C 0058	H'1E3C 0058	32	Pck
	DMA AUDIO ソースアドレスレジスタ 1	DMAATXSAR1	R/W	H'FE3C 0060	H'1E3C 0060	32	Pck
	DMA AUDIO デスティネーションアドレス レジスタ 1	DMAARXDAR1	R/W	H'FE3C 0064	H'1E3C 0064	32	Pck
	DMA AUDIO 送信トランスファカウンタ レジスタ 1	DMAATXTCR1	R/W	H'FE3C 0068	H'1E3C 0068	32	Pck
	DMA AUDIO 受信トランスファカウンタ レジスタ 1	DMAARXTCR1	R/W	H'FE3C 006C	H'1E3C 006C	32	Pck
	DMA AUDIO コントロールレジスタ 1	DMAACR1	R/W	H'FE3C 0070	H'1E3C 0070	32	Pck
	DMA AUDIO 送信トランスファカウンタ 1	DMAATXTCNT1	R	H'FE3C 0074	H'1E3C 0074	32	Pck
	DMA AUDIO 受信トランスファカウンタ 1	DMAARXTCNT1	R	H'FE3C 0078	H'1E3C 0078	32	Pck
	DMA USB ソースアドレスレジスタ	DMAUSAR	R/W	H'FE3C 0080	H'1E3C 0080	32	Pck
	DMA USB デスティネーションアドレス レジスタ	DMAUDAR	R/W	H'FE3C 0084	H'1E3C 0084	32	Pck
	DMA USB R/W サイズレジスタ	DMAURWSZ	R/W	H'FE3C 0088	H'1E3C 0088	32	Pck
	DMA USB コントロールレジスタ	DMAUCR	R/W	H'FE3C 008C	H'1E3C 008C	32	Pck

11. ダイレクトメモリアクセスコントローラ (DMAC)

表 11.2 レジスタ構成 (2)

チャネル	名称	略称	パワーオン リセット RESET 端子/ WDT/H-UDI による	マニュアル リセット RESET 端子/ WDT/多重例外 による	スリープ Sleep 命令に よる/ディープ スリープ	スタンバイ	
						ハード による	ソフトによる /モジュール 毎による
0	DMA ソースアドレスレジスタ 0	SAR0	不定	不定	保持	*	保持
	DMA デスティネーションアドレスレジスタ 0	DAR0	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 0	DMATCR0	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 0	CHCR0	H'0000 0000	H'0000 0000	保持		保持
1	DMA ソースアドレスレジスタ 1	SAR1	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 1	DAR1	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 1	DMATCR1	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 1	CHCR1	H'0000 0000	H'0000 0000	保持		保持
2	DMA ソースアドレスレジスタ 2	SAR2	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 2	DAR2	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 2	DMATCR2	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 2	CHCR2	H'0000 0000	H'0000 0000	保持		保持
3	DMA ソースアドレスレジスタ 3	SAR3	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 3	DAR3	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 3	DMATCR3	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 3	CHCR3	H'0000 0000	H'0000 0000	保持		保持
4	DMA ソースアドレスレジスタ 4	SAR4	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 4	DAR4	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 4	DMATCR4	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 4	CHCR4	H'0000 0000	H'0000 0000	保持		保持
5	DMA ソースアドレスレジスタ 5	SAR5	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 5	DAR5	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 5	DMATCR5	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 5	CHCR5	H'0000 0000	H'0000 0000	保持		保持
6	DMA ソースアドレスレジスタ 6	SAR6	不定	不定	保持		保持
	DMA デスティネーションアドレスレジスタ 6	DAR6	不定	不定	保持		保持
	DMA トランスファカウンタレジスタ 6	DMATCR6	不定	不定	保持		保持
	DMA チャネルコントロールレジスタ 6	CHCR6	H'0000 0000	H'0000 0000	保持		保持
7	DMA ソースアドレスレジスタ 7	SAR7	不定	不定	保持	保持	
	DMA デスティネーションアドレスレジスタ 7	DAR7	不定	不定	保持	保持	
	DMA トランスファカウンタレジスタ 7	DMATCR7	不定	不定	保持	保持	
	DMA チャネルコントロールレジスタ 7	CHCR7	H'0000 0000	H'0000 0000	保持	保持	

11. ダイレクトメモリアクセスコントローラ (DMAC)

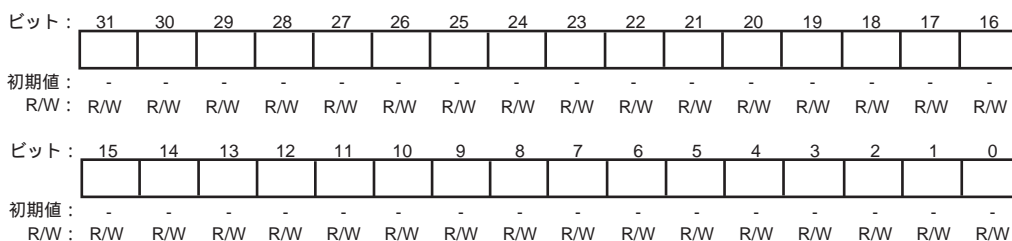
チャンネル	名称	略称	パワーオン リセット RESET 端子/ WDT/H-UDI による	マニュアル リセット RESET 端子/ WDT/多重例外 による	スリープ Sleep 命令に よる/ディープ スリープ	スタンバイ	
						ハード による	ソフトによる /モジュール 毎による
共通	DMA オペレーションレジスタ	DMAOR	H'0000 0000	H'0000 0000	保持	*	保持
	DMA リクエストリソース選択レジスタ A	DMARSRA	H'0000 0000	H'0000 0000	保持		保持
	DMA リクエストリソース選択レジスタ B	DMARSRB	H'0000 0000	H'0000 0000	保持		保持
	DMA リクエストコントロールレジスタ	DMARCR	H'0000 0000	H'0000 0000	保持		保持
DMABRG	DMA BRG コントロールレジスタ	DMABRGCR	H'0000 0000	H'0000 0000	保持		保持
	DMA AUDIO ソースアドレスレジスタ 0	DMAATXSAR0	不定	不定	保持		保持
	DMA AUDIO デスティネーションアドレス レジスタ 0	DMAARXDAR0	不定	不定	保持		保持
	DMA AUDIO 送信トランスファカウン ト レジスタ 0	DMAATXTCR0	不定	不定	保持		保持
	DMA AUDIO 受信トランスファカウン ト レジスタ 0	DMAARXTCR0	不定	不定	保持		保持
	DMA AUDIO コントロールレジスタ 0	DMAACR0	H'0000 0000	H'0000 0000	保持		保持
	DMA AUDIO 送信トランスファカウン タ 0	DMAATXTCNT0	不定	不定	保持		保持
	DMA AUDIO 受信トランスファカウン タ 0	DMAARXTCNT0	不定	不定	保持		保持
	DMA AUDIO ソースアドレスレジスタ 1	DMAATXSAR1	不定	不定	保持		保持
	DMA AUDIO デスティネーションアドレ ス レジスタ 1	DMAARXDAR1	不定	不定	保持		保持
	DMA AUDIO 送信トランスファカウン ト レジスタ 1	DMAATXTCR1	不定	不定	保持		保持
	DMA AUDIO 受信トランスファカウン ト レジスタ 1	DMAARXTCR1	不定	不定	保持		保持
	DMA AUDIO コントロールレジスタ 1	DMAACR1	H'0000 0000	H'0000 0000	保持		保持
	DMA AUDIO 送信トランスファカウン タ 1	DMAATXTCNT1	不定	不定	保持		保持
	DMA AUDIO 受信トランスファカウン タ 1	DMAARXTCNT1	不定	不定	保持		保持
	DMA USB ソースアドレスレジスタ	DMAUSAR	H'0000 0000	H'0000 0000	保持		保持
	DMA USB デスティネーションアドレ ス レジスタ	DMAUDAR	H'0000 0000	H'0000 0000	保持	保持	
	DMA USB R/W サイズレジスタ	DMAURWSZ	H'0000 0000	H'0000 0000	保持	保持	
	DMA USB コントロールレジスタ	DMAUCR	H'0000 0000	H'0000 0000	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

11.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスを転送する場合には SAR の値は無視されます。

16 ビット、32 ビット、64 ビット、32 バイト幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレスを指定してください。それ以外のアドレスを設定した場合は、アドレスエラーを検出して DMAC は停止します。

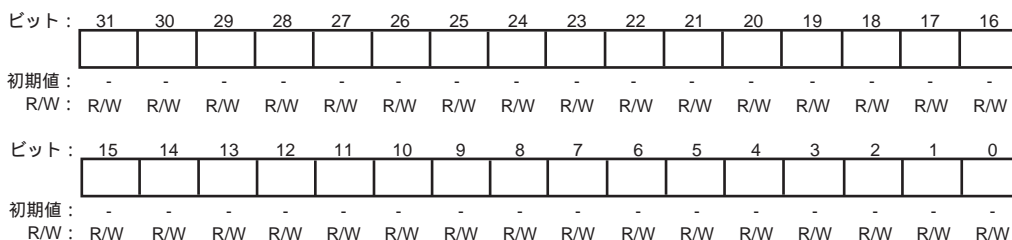


- 【注】 1. 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレス指定時には、おののビット 0、ビット 1~0、ビット 2~0、ビット 4~0 の設定に注意してください。境界を無視したアドレス指定を行うと、DMAC はアドレスエラーを検出して全チャンネル停止します (DMAOR : アドレスエラーフラグ AE = 1)。この他に、外部バスを用いたデータ転送時にエリア 7 アドレスを指定した場合、存在しない周辺モジュールのアドレスを指定した場合にも DMAC はアドレスエラーを検出して停止します。
2. 外部アドレスは 29 ビットです。SAR[31:29]、DAR[31:29]は DMA 転送では使用されません。したがって、SAR[31:29] = 000、DAR[31:29] = 000 を設定することを推奨します。

11.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。DMA 転送中は次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイス転送する場合には DAR の値は無視されます。

16 ビット、32 ビット、64 ビット、32 バイト幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレスを指定してください。それ以外のアドレスを設定した場合は、アドレスエラーを検出して DMAC は停止します。



11. ダイレクトメモリアクセスコントローラ (DMAC)

- 【注】 1. 16ビット、32ビット、64ビット、32バイト境界のアドレス指定時には、おののビット0、ビット1~0、ビット2~0、ビット4~0の設定に注意してください。境界を無視したアドレス指定を行うと、DMACはアドレスエラーを検出して全チャンネル停止します (DMAOR: アドレスエラーフラグ AE=1)。この他に、外部バスを用いたデータ転送時にエリア7アドレスを指定した場合、存在しない周辺モジュールのアドレスを指定した場合にもDMACはアドレスエラーを検出して停止します。
2. 外部アドレスは29ビットです。SAR[31:29]、DAR[31:29]はDMA転送では使用されません。したがって、SAR[31:29]=000、DAR[31:29]=000を設定することを推奨します。

11.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCRは、読み出し/書き込み可能な32ビットのレジスタで、そのチャンネルの転送回数を指定します。転送回数は、設定値がH'0000 0001のときは1回ですが、H'0000 0000のときは最大転送回数(16,777,216回)になります。DMAC動作中は、残りの転送回数を示しています。

DMATCRの上位8ビットはリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCRは、読み出し/書き込み可能な32ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット31~28、ビット27~24は、それぞれソースアドレス、デスティネーションアドレスが、CS5またはCS6空間でかつ当該空間がPCMCIAインタフェースに指定されているときのみ有効です。そうでない場合は、書き込む値は0にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
31	SSA2	0	R/W	ソースアドレス側空間属性指定 PCMCIA インタフェースのエリアにアクセスするときにソースアドレス側の空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。 000 : PCMCIA アクセス時、リザーブ 001 : ダイナミックバスサイジング I/O 空間 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共通メモリ空間 101 : 16 ビット共通メモリ空間 110 : 8 ビットアトリビュートメモリ空間 111 : 16 ビットアトリビュートメモリ空間
30	SSA1	0	R/W	
29	SSA0	0	R/W	
28	STC	0	R/W	ソースアドレス側ウェイト制御セレクト PCMCIA インタフェースのエリアにアクセスするときにソースアドレス側の CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。 0 : CS5 空間ウェイトサイクルセレクト WCR2 の A5W2 ~ A5W0 ビット、および PCR の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します。 1 : CS6 空間ウェイトサイクルセレクト WCR2 の A6W2 ~ A6W0 ビット、および PCR の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します。
27	DSA2	0	R/W	デスティネーションアドレス側空間属性指定 PCMCIA インタフェースのエリアにアクセスするときにデスティネーションアドレス側の空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。 000 : PCMCIA アクセス時、リザーブ 001 : ダイナミックバスサイジング I/O 空間 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共通メモリ空間 101 : 16 ビット共通メモリ空間 110 : 8 ビットアトリビュートメモリ空間 111 : 16 ビットアトリビュートメモリ空間
26	DSA1	0	R/W	
25	DSA0	0	R/W	

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
24	DTC	0	R/W	<p>デスティネーションアドレス側ウェイト制御セレクト</p> <p>PCMCIA インタフェースのエリアにアクセスするときにデスティネーションアドレス側の CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。</p> <p>0 : CS5 空間ウェイトサイクルセレクト WCR2 の A5W2 ~ A5W0 ビット、および PCR の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します。</p> <p>1 : CS6 空間ウェイトサイクルセレクト WCR2 の A6W2 ~ A6W0 ビット、および PCR の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します。</p>
23 ~ 20	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
19	DS	0	R/W	<p>DREQ セレクト</p> <p>DREQ 端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。</p> <p>本ビットは、外部リクエスト 2 チャンネルモードでは CHCR0、1 でのみ有効です。</p> <p>DMABRG モードでは、CHCR0 ~ 7 で有効です。また DMABRG モードでは、DMARCR の DS3 ~ 0 ビットも本ビットの設定に合わせてください。</p> <p>0 : ローレベル検出 1 : 立ち下がりエッジ検出</p> <p>TM = 1、DS = 0 の場合は、レベル検出バーストモード TM = 1、DS = 1 の場合は、エッジ検出バーストモード</p>
18	RL	0	R/W	<p>リクエストチェックレベルビット</p> <p>DREQ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択するビットです。</p> <p>本ビットは、外部リクエスト 2 チャンネルモードでは、CHCR0、1 で有効です。</p> <p>DMABRG モードでは無効です。DMABRG モードでは、DMARCR の RL3 ~ 0 ビットの設定で DRAK のレベルを制御します。</p> <p>0 : DRAK をハイアクティブで出力 1 : DRAK をローアクティブで出力</p>

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	AM	0	R/W	<p>アクノリッジモードビット</p> <p>デュアルアドレスモードで、DACK をデータの読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモードでは、本ビットの指定に関係なく、DACK は常に出力されます。</p> <p>本ビットは、外部リクエスト 2 チャンネルモードでは CHCR0、1 でのみ有効です。DMABRG モードでは、CHCR0~7 で有効です。</p> <p>0: 読み出しサイクルで DACK を出力 1: 書き込みサイクルで DACK を出力</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは、外部リクエスト 2 チャンネルモードでは CHCR0、1 でのみ有効です。</p> <p>DMABRG モードでは無効です。DMABRG モードでは、DMARCR の AL3~0 ビットの設定で DACK のレベルを制御します。</p> <p>0: ハイアクティブで出力 1: ローアクティブで出力</p>
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード 1、0</p> <p>DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、本ビットの指定は無視されます。</p> <p>00: デスティネーションアドレスは固定 01: デスティネーションアドレスは増加 (8 ビット転送時は +1、16 ビット転送時は +2、32 ビット転送時は +4、64 ビット転送時は +8、32 バイトバースト転送時は +32) 10: デスティネーションアドレスは減少 (8 ビット転送時は -1、16 ビット転送時は -2、32 ビット転送時は -4、64 ビット転送時は -8、32 バイトバースト転送時は -32) 11: 設定禁止</p>

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13	SM1	0	R/W	ソースアドレスモード 1、0
12	SM0	0	R/W	<p>DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、本ビットの指定は無視されます。</p> <p>00 : ソースアドレスは固定</p> <p>01 : ソースアドレスは増加</p> <p>(8 ビット転送時は +1、16 ビット転送時は +2、32 ビット転送時は +4、64 ビット転送時は +8、32 バイトバースト転送時は +32)</p> <p>10 : ソースアドレスは減少</p> <p>(8 ビット転送時は -1、16 ビット転送時は -2、32 ビット転送時は -4、64 ビット転送時は -8、32 バイトバースト転送時は -32)</p> <p>11 : 設定禁止</p>
11	RS3	0	R/W	リソースセレクト 3~0
10	RS2	0	R/W	<p>転送要求元を指定します。DMAOR の DMS1 ビットと DMS0 ビットの設定によって、外部リクエスト 2 チャネルモードまたは DMABRG モードで、転送要求元を指定します。</p> <p>RS3 ~ RS0 の設定については表 11.3 と表 11.4 を参照してください。</p>
9	RS1	0	R/W	
8	RS0	0	R/W	
7	TM	0	R/W	
6	TS2	0	R/W	<p>トランスミットサイズ 2~0</p> <p>転送するデータのサイズ (アクセスサイズ) を指定するビットです。</p> <p>000 : クワッドワードサイズ (64 ビット) 指定</p> <p>001 : バイトサイズ (8 ビット) 指定</p> <p>010 : ワードサイズ (16 バイト) 指定</p> <p>011 : ロングワードサイズ (32 ビット) 指定</p> <p>100 : 32 バイトブロック転送指定</p> <p>上記以外 : 設定禁止</p>
5	TS1	0	R/W	
4	TS0	0	R/W	

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	CHSET	0	R/W	<p>チャンネル設定ビット</p> <p>DMABRG モード時、本ビットに 1 を書き込むことで当該チャンネルの外部リクエストおよび DMABRG リクエスト受付部の内部状態をクリアしますので、当該チャンネル設定時、本ビットに 1 を書き込んでください。ただし本ビットを読み出すと常に 0 が読み出されます。</p> <p>【注】外部リクエスト 2 チャンネルモードでは無効です。</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>本ビットに 1 をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE = 1 のとき) 割り込み要求 (DMTE) を発生します。DMABRG モードにおいて DMABRG リクエストの DMA 転送を実行する場合、DMTE0 を発生させることはできません。</p> <p>0 : DMATCR 指定転送回数終了時、割り込み要求を発生しない 1 : DMATCR 指定転送回数終了時、割り込み要求を発生する</p>
1	TE	0	R/W	<p>トランスファエンド</p> <p>DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。</p> <p>本ビットが 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、本ビットは 1 にセットされません。本ビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。</p> <p>0 : DMATCR 指定回数転送未終了</p> <p>[クリア条件]</p> <p>TE = 1 の状態を読み出した後、TE に 0 を書き込んだとき 1 : DMATCR 指定回数転送終了</p>
0	DE	0	R/W	<p>DMAC イネーブル</p> <p>対応するチャンネルの動作を許可するビットです。オートリクエストを指定 (RS3 ~ RS0 で指定) した場合、本ビットに 1 をセットすると転送に入ります。外部リクエスト、周辺モジュールリクエストでは本ビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。</p> <p>本ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF ビットまたは AE ビットが 1 の場合は転送許可状態には入りません。</p> <p>0 : 対応チャンネルの動作禁止 1 : 対応チャンネルの動作許可</p>

11. ダイレクトメモリアクセスコントローラ (DMAC)

表 11.3 外部リクエスト2チャンネルモード (DMAOR の DMS[1:0]=00 のとき)

ビット11	ビット10	ビット9	ビット8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト*1 デュアルアドレスモード、外部アドレス空間同士
			1	設定禁止
		1	0	外部リクエスト*1 シングルアドレスモード、外部アドレス空間 外部デバイス
			1	外部リクエスト*1 シングルアドレスモード、外部デバイス 外部アドレス空間
	1	0	0	オートリクエスト (外部アドレス空間同士)
			1	オートリクエスト (外部アドレス空間 周辺モジュール)
		1	0	オートリクエスト (周辺モジュール 外部アドレス空間)
			1	周辺モジュールリクエスト** ³ 外部アドレス空間 周辺モジュール
1	0	0	0	設定禁止
			1	設定禁止
		1	0	設定禁止
			1	設定禁止
	1	0	0	TMU チャンネル2 (インプットキャプチャ割り込み) 外部アドレス空間同士
			1	TMU チャンネル2 (インプットキャプチャ割り込み) 外部アドレス空間 周辺モジュール
		1	0	TMU チャンネル2 (インプットキャプチャ割り込み) 周辺モジュール 外部アドレス空間
			1	周辺モジュールリクエスト** ³ 周辺モジュール 外部アドレス空間

【注】 *1 チャンネル0、1のみ。DREQ0、DREQ1がそれぞれチャンネル0、1に対応しています。

*2 本ビットの設定とともに DMARSRA、DMARSRB の設定が必要です。

*3 LCDC、HAC、SSI、USB、TMUを除く周辺モジュール

11. ダイレクトメモリアクセスコントローラ (DMAC)

表 11.4 DMABRG モード (DMAOR の DMS[1:0]=11 のとき)

ビット 11	ビット 10	ビット 9	ビット 8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト*1*2 デュアルアドレスモード、外部アドレス空間同士
			1	設定禁止
		1	0	外部リクエスト*1*2、DMABRG リクエスト*2*3 シングルアドレスモード*4、外部アドレス空間 外部デバイス
			1	外部リクエスト*1*2、DMABRG リクエスト*2*3 シングルアドレスモード*4、外部デバイス 外部アドレス空間
	1	0	0	オートリクエスト (外部アドレス空間同士)
			1	オートリクエスト (外部アドレス空間 周辺モジュール)
		1	0	オートリクエスト (周辺モジュール 外部アドレス空間)
			1	周辺モジュールリクエスト*2*5 外部アドレス空間 周辺モジュール
1	0	0	0	設定禁止
			1	設定禁止
		1	0	設定禁止
			1	設定禁止
	1	0	0	TMU チャンネル 2 (インプットキャプチャ割り込み) 外部アドレス空間同士
			1	TMU チャンネル 2 (インプットキャプチャ割り込み) 外部アドレス空間 周辺モジュール
		1	0	TMU チャンネル 2 (インプットキャプチャ割り込み) 周辺モジュール 外部アドレス空間
			1	周辺モジュールリクエスト*2*5 周辺モジュール 外部アドレス空間

【注】 *1 全チャンネル外部リクエスト受付可能です。DREQ0 ~ DREQ3 が利用できます。DREQ の番号とチャンネル番号は一致しません。

*2 本ビットの設定とともに DMARSRA、DMARSRB の設定が必要です。

*3 DMABRG リクエストはチャンネル 0 のみ対応しています。DMABRG リクエストは、LCDC、HAC(0)/(1)、SSI(0)/(1)、USB からのリクエストです。DMABRG リクエストを使用するとき、本ビットは自動的に設定されます。

*4 シンクロナス DRAM のシングルアドレス転送のみ設定可能です。

*5 LCDC、HAC、SSI、USB、TMU を除く周辺モジュール

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA モード、チャンネル優先順位および DMA 転送の許可 / 禁止を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMS1	DMS0	-	-	-	-	PR1	PR0	-	-	-	-	-	AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 14	DMS1 DMS0	0 0	R/W R/W	DMA モード選択ビット 1、0 転送モードを選択します。本ビットの設定は DMAOR.DME = 0 のときに行ってください。 00 : 外部リクエスト 2 チャンネルモード 11 : DMABRG モード* 上記以外 : 設定禁止 【注】* CHCR0 が初期値 H'0000 0000 のときに設定してください。
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	PR1 PR0	0 0	R/W R/W	プライオリティモード 1、0 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 01 : CH0 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 > CH1 10 : CH2 > CH0 > CH1 > CH3 > CH4 > CH5 > CH6 > CH7 11 : ラウンドロビンモード
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
2	AE	0	R/W	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラーが発生したことを示すフラグです。</p> <p>転送途中にこのビットがセットされると、すべてのチャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から本ビットに 1 を書き込むことはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。</p> <p>0 : アドレスエラーなし。DMA 転送許可状態 [クリア条件] AE = 1 の状態を読み出した後、AE に 0 を書き込んだとき</p> <p>1 : アドレスエラーあり。DMA 転送禁止状態 [セット条件] DMAC によるアドレスエラーの発生</p>
1	NMIF	0	R/W	<p>NMI フラグ</p> <p>NMI が入力されたことを示すフラグです。本ビットのセットは DMAC 動作中または停止中を問わず行われます。転送途中に本ビットがセットされると、すべてのチャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。クリアする場合は、一度 NMIF = 1 を読み出した後、NMIF = 0 を書き込んでください。</p> <p>0 : NMI 入力なし。DMA 転送許可状態 [クリア条件] NMIF = 1 の状態を読み出した後、NMIF に 0 を書き込んだとき</p> <p>1 : NMI 入力あり。DMA 転送禁止状態 [セット条件] NMI 割り込みの発生</p>
0	DME	0	R/W	<p>DMAC マスタイネーブル</p> <p>DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中で本ビットをクリアすると、すべてのチャンネルの転送を中断できます。</p> <p>DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。</p> <p>0 : 全チャンネルの動作禁止 1 : 全チャンネルの動作許可</p>

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.3.6 DMA リクエストリソース選択レジスタ A、B (DMARSRA、DMARSRB)

DMARSRA と DMARSRB は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタで、CHCR_n の RS ビットとあわせて、各チャンネルへの転送要求元を設定するレジスタです。チャンネル未使用またはオートリクエスト、TMU インพุットキャブチャ割り込みによる DMA 転送を使用するときは、当該チャンネルを H'00 に設定してください。

DMA 転送中にアドレスエラー (DMAOR.AE = 1) または NMI 割り込み (DMAOR.NMIF = 1) により、DMA 転送が中断した後、DMA 転送を再開する場合、各チャンネルへの転送要求元の変更の有無にかかわらず、DMAOR.AE = 0 または DMAOR.NMIF = 0 にする前に本レジスタの再設定を必ず行ってください。

• DMARSRA

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

CH0 WEN	CH0 RS6	CH0 RS5	CH0 RS4	CH0 RS3	CH0 RS2	CH0 RS1	CH0 RS0	CH1 WEN	CH1 RS6	CH1 RS5	CH1 RS4	CH1 RS3	CH1 RS2	CH1 RS1	CH1 RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH2 WEN	CH2 RS6	CH2 RS5	CH2 RS4	CH2 RS3	CH2 RS2	CH2 RS1	CH2 RS0	CH3 WEN	CH3 RS6	CH3 RS5	CH3 RS4	CH3 RS3	CH3 RS2	CH3 RS1	CH3 RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARSRB

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

CH4 WEN	CH4 RS6	CH4 RS5	CH4 RS4	CH4 RS3	CH4 RS2	CH4 RS1	CH4 RS0	CH5 WEN	CH5 RS6	CH5 RS5	CH5 RS4	CH5 RS3	CH5 RS2	CH5 RS1	CH5 RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CH6 WEN	CH6 RS6	CH6 RS5	CH6 RS4	CH6 RS3	CH6 RS2	CH6 RS1	CH6 RS0	CH7 WEN	CH7 RS6	CH7 RS5	CH7 RS4	CH7 RS3	CH7 RS2	CH7 RS1	CH7 RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARSRA

ビット	ビット名	初期値	R/W	説明
31	CH0WEN	0	R/W	CHnRS6~0 ビットの設定によって、各チャンネルへの転送要求元を選択します。DMARSRA のビットの割りあては、チャンネル 0~3 です。 各チャンネルの CHnRS6~0 ビットを書き換えるときは、同時に CHnWEN ビットに 1 を書き込んでください。CHnWEN ビットを 0 で設定しても各チャンネルの CHnRS6~0 ビットの値は書き換えず、前のデータを保持します。CHnWEN ビットは書き込み可能ですが、書いた値は保持されず、読み出すと常に 0 を読み出します。
30	CH0RS6	0	R/W	
29	CH0RS5	0	R/W	
28	CH0RS4	0	R/W	
27	CH0RS3	0	R/W	
26	CH0RS2	0	R/W	
25	CH0RS1	0	R/W	

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
24	CH0RS0	0	R/W	CHnRS[6:0]
23	CH1WEN	0	R/W	H'00 : 未使用またはオートリクエスト、TMU インプットキャプチャ割り込み
22	CH1RS6	0	R/W	H'10 : DREQ0 ^{*1}
21	CH1RS5	0	R/W	H'11 : DREQ1 ^{*1}
20	CH1RS4	0	R/W	H'12 : DREQ2 ^{*1}
19	CH1RS3	0	R/W	H'13 : DREQ3 ^{*1}
18	CH1RS2	0	R/W	H'14 : DMABRG (LCDC 受信、USB 送受信、HAC 送受信、SSI 送受信) ^{*1,*2}
16	CH1RS0	0	R/W	H'20 : SCIF(0)送信データエンプティ
15	CH2WEN	0	R/W	H'21 : SCIF(0)受信データフル
14	CH2RS6	0	R/W	H'22 : SCIF(1)送信データエンプティ
13	CH2RS5	0	R/W	H'23 : SCIF(1)受信データフル
12	CH2RS4	0	R/W	H'24 : SCIF(2)送信データエンプティ
11	CH2RS3	0	R/W	H'25 : SCIF(2)受信データフル
10	CH2RS2	0	R/W	H'26 : HSPI 送信データ
9	CH2RS1	0	R/W	H'27 : HSPI 受信データ
8	CH2RS0	0	R/W	H'28 : SIM 送信データエンプティ
7	CH3WEN	0	R/W	H'29 : SIM 受信データフル
6	CH3RS6	0	R/W	H'2B : MMC FIFO 準備完了
5	CH3RS5	0	R/W	H'2C : ADC AD 変換終了後データ転送
4	CH3RS4	0	R/W	H'2D : 設定禁止
3	CH3RS3	0	R/W	H'2E : 設定禁止
2	CH3RS2	0	R/W	H'7F : ^{*3}
1	CH3RS1	0	R/W	上記以外 : 設定禁止
0	CH3RS0	0	R/W	<p>【注】*1 DMABRG モードのとき有効です。外部リクエスト 2 チャンネルモードでは、本ビットの設定にかかわらず DREQ0 および DREQ1 は受け付け可能です (チャンネル 0、1 のみ)。</p> <p>*2 DMABRG の設定はチャンネル 0 のみ有効です。DMABRG モードでチャンネル 0 の転送要求元を DMABRG に選択した場合、DMABRG の DMA 転送実行開始後は、チャンネル 0 の転送要求元の変更は行わないでください。転送要求元の変更を行った場合の動作は保証しません。</p> <p>*3 DMAC にリクエストが保持された状態 (DMARCR.REXn = 1) で、DMA 転送が終了した場合、本設定にしてください。詳細については「11.4.6 DMA 転送終了 (3) 転送終了時の注意事項」を参照してください。</p>

【注】 n=0~3

11. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARSRB

ビット	ビット名	初期値	R/W	説明
31	CH4WEN	0	R/W	CHnRS6~0ビットの設定によって、各チャンネルへの転送要求元を選択します。DMARSRBのビットの割りあては、チャンネル4~7です。 各チャンネルのCHnRS6~0ビットを書き換えるときは、同時にCHnWENビットに1を書き込んでください。CHnWENビットを0で設定しても各チャンネルのCHnRS6~0ビットの値は書き換えず、前のデータを保持します。CHnWENビットは書き込み可能ですが、書いた値は保持されず、読み出すと常に0を読み出します。
30	CH4RS6	0	R/W	
29	CH4RS5	0	R/W	
28	CH4RS4	0	R/W	
27	CH4RS3	0	R/W	
26	CH4RS2	0	R/W	
25	CH4RS1	0	R/W	
24	CH4RS0	0	R/W	
23	CH5WEN	0	R/W	CHnRS[6:0] H'00 : 未使用またはオートリクエスト、TMUインプットキャプチャ割り込み
22	CH5RS6	0	R/W	H'10 : DREQ0* ¹
21	CH5RS5	0	R/W	H'11 : DREQ1* ¹
20	CH5RS4	0	R/W	H'12 : DREQ2* ¹
19	CH5RS3	0	R/W	H'13 : DREQ3* ¹
18	CH5RS2	0	R/W	H'20 : SCIF(0)送信データエンプティ
17	CH5RS1	0	R/W	H'21 : SCIF(0)受信データフル
16	CH5RS0	0	R/W	H'22 : SCIF(1)送信データエンプティ
15	CH6WEN	0	R/W	H'23 : SCIF(1)受信データフル
14	CH6RS6	0	R/W	H'24 : SCIF(2)送信データエンプティ
13	CH6RS5	0	R/W	H'25 : SCIF(2)受信データフル
12	CH6RS4	0	R/W	H'26 : HSPI 送信データ
11	CH6RS3	0	R/W	H'27 : HSPI 受信データ
10	CH6RS2	0	R/W	H'28 : SIM 送信データエンプティ
9	CH6RS1	0	R/W	H'29 : SIM 受信データフル
8	CH6RS0	0	R/W	H'2B : MMC FIFO 準備完了
7	CH7WEN	0	R/W	H'2C : ADC AD 変換終了後データ転送
6	CH7RS6	0	R/W	H'2D : 設定禁止
5	CH7RS5	0	R/W	H'2E : 設定禁止
4	CH7RS4	0	R/W	H'7F : * ²
3	CH7RS3	0	R/W	上記以外 : 設定禁止
2	CH7RS2	0	R/W	【注】* ¹ DMABRGモードのとき有効です。外部リクエスト2チャンネルモードでは無効です(チャンネル2~7は外部リクエスト受付不可)。
1	CH7RS1	0	R/W	* ² DMACにリクエストが保持された状態(DMARCR.REXn=1)で、DMA転送が終了した場合、本設定にしてください。詳細については「11.4.6 DMA転送終了(3)転送終了時の注意事項」を参照してください。
0	CH7RS0	0	R/W	

【注】n=4~7

11.3.7 DMA 端子制御レジスタ (DMAPCR)

DMAPCR は、「第 24 章 ピンファンクションコントローラ (PFC)」の「24.2.34 DMA 端子制御レジスタ (DMAPCR)」を参照してください。

11.3.8 DMA リクエストコントロールレジスタ (DMARCR)

DMARCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMABRG モードにおける DRAK2/DACK2、DRAK3/DACK3 の切り替え、DRAK および DACK のレベル選択、 $\overline{DREQ0} \sim \overline{DREQ3}$ の検出方法、 $\overline{DREQ0} \sim \overline{DREQ3}$ および DMABRG からのリクエスト受付優先順位の選択を設定できます。なお、DS、RL、AL ビットの 0~3 はそれぞれ $\overline{DREQ0} \sim \overline{DREQ3}$ に対応しています (チャンネル番号は示していません)。本レジスタの設定は、外部リクエスト 2 チャンネルモードでは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	REX7	REX6	REX5	REX4	REX3	REX2	REX1	REX0	R/A3	R/A2	-	-	-	-	RPR1	RPR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	DS3	RL3	AL3	-	DS2	RL2	AL2	-	DS1	RL1	AL1	-	DS0	RL0	AL0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	REX7	0	R	チャンネル 7 リクエスト受付ビット ^{*4*7} 0: チャンネル 7 は転送要求を受け付けていません 1: チャンネル 7 は転送要求を受け付けています
30	REX6	0	R	チャンネル 6 リクエスト受付ビット ^{*4*7} 0: チャンネル 6 は転送要求を受け付けていません 1: チャンネル 6 は転送要求を受け付けています
29	REX5	0	R	チャンネル 5 リクエスト受付ビット ^{*4*7} 0: チャンネル 5 は転送要求を受け付けていません 1: チャンネル 5 は転送要求を受け付けています
28	REX4	0	R	チャンネル 4 リクエスト受付ビット ^{*4*7} 0: チャンネル 4 は転送要求を受け付けていません 1: チャンネル 4 は転送要求を受け付けています
27	REX3	0	R	チャンネル 3 リクエスト受付ビット ^{*4*7} 0: チャンネル 3 は転送要求を受け付けていません 1: チャンネル 3 は転送要求を受け付けています
26	REX2	0	R	チャンネル 2 リクエスト受付ビット ^{*4*7} 0: チャンネル 2 は転送要求を受け付けていません 1: チャンネル 2 は転送要求を受け付けています

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
25	REX1	0	R	チャンネル1 リクエスト受付ビット ^{*4*5*7} 0: チャンネル1 は転送要求を受け付けていません 1: チャンネル1 は転送要求を受け付けています
24	REX0	0	R	チャンネル0 リクエスト受付ビット ^{*4*5*7} 0: チャンネル0 は転送要求を受け付けていません 1: チャンネル0 は転送要求を受け付けています
23	R/A3	0	R/W	DRAK3/DACK3 セレクト 0: DRAK3 を出力 1: DACK3 を出力
22	R/A2	0	R/W	DRAK2/DACK2 セレクト 0: DRAK2 を出力 1: DACK2 を出力
21 ~ 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17 16	RPR1 RPR0	0 0	R/W R/W	リクエストプライオリティ 1、0 リクエスト受付優先順位を選択します。 00: DMABRG ^{*1} > DREQ0 > DREQ1 > DREQ2 > DREQ3 01: DMABRG ^{*1} > DREQ0 > DREQ1 > DREQ2 > DREQ3 10: DREQ0 > DMABRG ^{*1} > DREQ1 > DREQ2 > DREQ3 11: ラウンドロビン (初期設定 DMABRG ^{*1} > DREQ0 > DREQ1 > DREQ2 > DREQ3) 【注】RPR[1:0] = 01 に設定した場合、DMABRG リクエストを受け付けた (REX0 = 1) 後、DMABRG リクエストがなくなる (REX0=0) まで LCDC、HAC、SSI、USB、TMU を除く周辺モジュールリクエスト、外部リクエスト(DREQ)からの転送要求を、どのチャンネルも受け付けなくなります。
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	DS3	0	R/W	DREQ3 セレクト 0: ローレベル検出 1: 立ち下がりエッジ検出
13	RL3	0	R/W	リクエストチェックレベル3 0: DRAK3 はハイアクティブ 1: DRAK3 はローアクティブ

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
12	AL3	0	R/W	アクノリッジレベル3 0: DACK3 はハイアクティブ 1: DACK3 はローアクティブ
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	DS2	0	R/W	DREQ2 セレクト 0: ローレベル検出 1: 立ち下がりエッジ検出
9	RL2	0	R/W	リクエストチェックレベル2 0: DRAK2 はハイアクティブ 1: DRAK2 はローアクティブ
8	AL2	0	R/W	アクノリッジレベル2 0: DACK2 はハイアクティブ 1: DACK2 はローアクティブ
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	DS1	0	R/W	DREQ1 セレクト 0: ローレベル検出 1: 立ち下がりエッジ検出
5	RL1	0	R/W	リクエストチェックレベル1 0: DRAK1 はハイアクティブ 1: DRAK1 はローアクティブ
4	AL1	0	R/W	アクノリッジレベル1 0: DACK1 はハイアクティブ 1: DACK1 はローアクティブ
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	DS0	0	R/W	DREQ0 セレクト 0: ローレベル検出 1: 立ち下がりエッジ検出
1	RL0	0	R/W	リクエストチェックレベル0 0: DRAK0 はハイアクティブ 1: DRAK0 はローアクティブ
0	AL0	0	R/W	アクノリッジレベル0 0: DACK0 はハイアクティブ 1: DACK0 はローアクティブ

11. ダイレクトメモリアクセスコントローラ (DMAC)

- 【注】
- *1 DMABRG 内の優先順位は、LCDC > A-B-C-D*^{2,3} > USB
 - *2 A=HAC(0)/SSI(0)の送信、B=HAC(0)/SSI(0)の受信、C=HAC(1)/SSI(1)の送信、D=HAC(1)/SSI(1)の受信
 - *3 A-B-C-D はラウンドロビン
 - *4 TMU チャンネル 2 (インプットキャプチャ割り込み) およびオートリクエストを受け付けているときはセットされません。
 - *5 外部リクエスト 2 チャンネルモードで $\overline{DREQ1}$ を受け付けているときはセットされません。
 - *6 外部リクエスト 2 チャンネルモードで $\overline{DREQ0}$ を受け付けているときはセットされません。
 - *7 アドエスエラー (DMAOR.AE = 1) や NMI 割り込み (DMAOR.NMIF = 1) が発生した場合、DMA 転送要求を受け付けていないときも REXn = 1 になることがあります。アドエスエラーや NMI 割り込みが発生した場合は「11.4.6 DMA 転送終了 (2) 全チャンネル同時の転送終了」を参照してください。

11.3.9 DMA BRG コントロールレジスタ (DMABRGCR)

DMABRGCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC、SSI、USB の割り込みを発生させるイネーブルビットと割り込み発生を示すフラグを内蔵しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	A1R XHE	A1R XEE	A1T XHE	A1T XEE	A0R XHE	A0R XEE	A0T XHE	A0T XEE	A1R XHF	A1R XEF	A1T XHF	A1T XEF	A0R XHF	A0R XEF	A0T XHF	A0T XEF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	UAE	UTE	-	-	-	-	-	-	UAF	UTF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	A1RXHE	0	R/W	HAC(1)/SSI(1)受信側半数データ転送終了割り込みイネーブル 0: HAC(1)/SSI(1)受信側半数データ転送終了割り込みを発生させない 1: HAC(1)/SSI(1)受信側半数データ転送終了割り込みを発生させる
30	A1RXEE	0	R/W	HAC(1)/SSI(1)受信側全数データ転送終了割り込みイネーブル 0: HAC(1)/SSI(1)受信側全数データ転送終了割り込みを発生させない 1: HAC(1)/SSI(1)受信側全数データ転送終了割り込みを発生させる
29	A1TXHE	0	R/W	HAC(1)/SSI(1)送信側半数データ転送終了割り込みイネーブル 0: HAC(1)/SSI(1)送信側半数データ転送終了割り込みを発生させない 1: HAC(1)/SSI(1)送信側半数データ転送終了割り込みを発生させる
28	A1TXEE	0	R/W	HAC(1)/SSI(1)送信側全数データ転送終了割り込みイネーブル 0: HAC(1)/SSI(1)送信側全数データ転送終了割り込みを発生させない 1: HAC(1)/SSI(1)送信側全数データ転送終了割り込みを発生させる
27	A0RXHE	0	R/W	HAC(0)/SSI(0)受信側半数データ転送終了割り込みイネーブル 0: HAC(0)/SSI(0)受信側半数データ転送終了割り込みを発生させない 1: HAC(0)/SSI(0)受信側半数データ転送終了割り込みを発生させる

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	A0RXEE	0	R/W	HAC(0)/SSI(0)受信側全数データ転送終了割り込みイネーブル 0 : HAC(0)/SSI(0)受信側全数データ転送終了割り込みを発生させない 1 : HAC(0)/SSI(0)受信側全数データ転送終了割り込みを発生させる
25	A0TXHE	0	R/W	HAC(0)/SSI(0)送信側半数データ転送終了割り込みイネーブル 0 : HAC(0)/SSI(0)送信側半数データ転送終了割り込みを発生させない 1 : HAC(0)/SSI(0)送信側半数データ転送終了割り込みを発生させる
24	A0TXEE	0	R/W	HAC(0)/SSI(0)送信側全数データ転送終了割り込みイネーブル 0 : HAC(0)/SSI(0)送信側全数データ転送終了割り込みを発生させない 1 : HAC(0)/SSI(0)送信側全数データ転送終了割り込みを発生させる
23	A1RXHF	0	R/W	HAC(1)/SSI(1)受信側半数データ転送終了割り込みフラグ 0 : HAC(1)/SSI(1)受信側半数データ転送終了割り込みは発生していない [クリア条件] A1RXHF = 1 の状態を読み出した後、A1RXHF に 0 を書き込んだとき 1 : HAC(1)/SSI(1)受信側半数データ転送終了割り込みが発生した
22	A1RXEF	0	R/W	HAC(1)/SSI(1)受信側全数データ転送終了割り込みフラグ 0 : HAC(1)/SSI(1)受信側全数データ転送終了割り込みは発生していない [クリア条件] A1RXEF = 1 の状態を読み出した後、A1RXEF に 0 を書き込んだとき 1 : HAC(1)/SSI(1)受信側全数データ転送終了割り込みが発生した
21	A1TXHF	0	R/W	HAC(1)/SSI(1)送信側半数データ転送終了割り込みフラグ 0 : HAC(1)/SSI(1)送信側半数データ転送終了割り込みは発生していない [クリア条件] A1TXHF = 1 の状態を読み出した後、A1TXHF に 0 を書き込んだとき 1 : HAC(1)/SSI(1)送信側半数データ転送終了割り込みが発生した
20	A1TXEF	0	R/W	HAC(1)/SSI(1)送信側全数データ転送終了割り込みフラグ 0 : HAC(1)/SSI(1)送信側全数データ転送終了割り込みは発生していない [クリア条件] A1TXEF = 1 の状態を読み出した後、A1TXEF に 0 を書き込んだとき 1 : HAC(1)/SSI(1)送信側全数データ転送終了割り込みが発生した
19	A0RXHF	0	R/W	HAC(0)/SSI(0)受信側半数データ転送終了割り込みフラグ 0 : HAC(0)/SSI(0)受信側半数データ転送終了割り込みは発生していない [クリア条件] A0RXHF = 1 の状態を読み出した後、A0RXHF に 0 を書き込んだとき 1 : HAC(0)/SSI(0)受信側半数データ転送終了割り込みが発生した

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
18	A0RXEF	0	R/W	HAC(0)/SSI(0)受信側全数データ転送終了割り込みフラグ 0: HAC(0)/SSI(0)受信側全数データ転送終了割り込みは発生していない [クリア条件] A0RXEF = 1 の状態を読み出した後、A0RXEF に 0 を書き込んだとき 1: HAC(0)/SSI(0)受信側全数データ転送終了割り込みが発生した
17	A0TXHF	0	R/W	HAC(0)/SSI(0)送信側半数データ転送終了割り込みフラグ 0: HAC(0)/SSI(0)送信側半数データ転送終了割り込みは発生していない [クリア条件] A0TXHF = 1 の状態を読み出した後、A0TXHF に 0 を書き込んだとき 1: HAC(0)/SSI(0)送信側半数データ転送終了割り込みが発生した
16	A0TXEF	0	R/W	HAC(0)/SSI(0)送信側全数データ転送終了割り込みフラグ 0: HAC(0)/SSI(0)送信側全数データ転送終了割り込みは発生していない [クリア条件] A0TXEF = 1 の状態を読み出した後、A0TXEF に 0 を書き込んだとき 1: HAC(0)/SSI(0)送信側全数データ転送終了割り込みが発生した
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	UAE	0	R/W	USB アドレスエラー割り込みイネーブル 0: USB アドレスエラー割り込みを発生させない 1: USB アドレスエラー割り込みを発生させる
8	UTE	0	R/W	USB 転送終了割り込みイネーブル 0: USB 転送終了割り込みを発生させない 1: USB 転送終了割り込みを発生させる
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	UAF	0	R/W	USB アドレスエラー割り込みフラグ 0: USB アドレスエラー割り込みは発生していない [クリア条件] UAF = 1 の状態を読み出した後、UAF に 0 を書き込んだとき 1: USB アドレスエラー割り込みが発生した
0	UTF	0	R/W	USB 転送終了割り込みフラグ 0: USB 転送終了割り込みは発生していない [クリア条件] UTF = 1 の状態を読み出した後、UTF に 0 を書き込んだとき 1: USB 転送終了割り込みが発生した

11.3.10 DMA AUDIO ソースアドレスレジスタ (DMAATXSAR)

DMAATXSAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC または SSI のコーデックに対する送信元シンクロナス DRAM の DMA 転送開始アドレスを指定します。DMAATXSAR0 は HAC(0) または SSI(0) に、DMAATXSAR1 は HAC(1) または SSI(1) にそれぞれ対応します。DMA 転送中も変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

11.3.11 DMA AUDIO デスティネーションアドレスレジスタ (DMAARXDAR)

DMAARXDAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC または SSI のコーデックから受信した音声データ送信先シンクロナス DRAM の DMA 転送開始アドレスを指定します。DMAARXDAR0 は HAC(0) または SSI(0) に、DMAARXDAR1 は HAC(1) または SSI(1) にそれぞれ対応します。DMA 転送中も変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

11.3.12 DMA AUDIO 送信トランスファカウントレジスタ (DMAATXTCR)

DMAATXTCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC または SSI のコーデックに対する送信元の音声データの転送バイト数を指定します。DMAATXTCR0 は HAC(0) または SSI(0) に、DMAATXTCR1 は HAC(1) または SSI(1) にそれぞれ対応します。DMA 転送中も変化しません。H'0000 0004 ~ H'03FF FFFC (ビット 31 ~ 26、ビット 1、0 は 0 固定) に設定してください。H'0000 0000 の設定はしないでください。H'0000 0000 に設定した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.3.13 DMA AUDIO 受信トランスファカウントレジスタ (DMAARXTCR)

DMAARXTCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC または SSI のコーデックから受信した音声データの転送バイト数を指定します。DMAARXTCR0 は HAC(0) または SSI(0) に、DMAARXTCR1 は HAC(1) または SSI(1) にそれぞれ対応します。DMA 転送中も変化しません。H'0000 0004 ~ H'03FF FFFC (ビット 31 ~ 26、ビット 1、0 は 0 固定) に設定してください。H'0000 0000 の設定はしないでください。H'0000 0000 に設定した場合の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

11.3.14 DMA AUDIO コントロールレジスタ (DMAACR)

DMAACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC または SSI の DMA の動作モードを指定します。DMAACR0 は HAC(0) または SSI(0) に、DMAACR1 は HAC(1) または SSI(1) にそれぞれ対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	RAM1	RAM0	-	-	-	-	-	RAR	RDS	RDE
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	TAM1	TAM0	-	-	-	-	-	TAR	TDS	TDE
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	RAM1	0	R/W	受信データアライメント指定ビット 外部メモリへ受信データを書き込むときにデータのアライメントを指定します。受信スロットデータと外部バス間のデータアライメントについては表 11.5 (1) を参照してください。 00: アライメント制御を行わない 01: ロングワードデータをバイト×4 とみなして転送する 10: ロングワードデータをワード×2 とみなして転送する 11: 設定禁止
24	RAM0	0	R/W	

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
23~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18	RAR	0	R/W	DMA オートリロード指定ビット 受信 DMA が DMAARXTCRn で指定した転送バイト数に達したとき、アドレスを設定値に戻して DMA を継続するかどうかを指定します。 0: 受信 DMA のアドレスオートリロードを行わない 1: 受信 DMA のアドレスオートリロードを行う
17	RDS	0	R/W	HAC/SSI 受信 DMA 強制終了ビット このビットに1を書き込むことにより受信 DMA を強制終了させます。 [書き込み時] 0: 書き込みは無視されます 1: 受信 DMA 強制終了 [読み出し時] 0: 転送終了 1: 転送中
16	RDE	0	R/W	HAC/SSI 受信 DMA 転送起動制御ビット 受信 DMA 転送の起動制御を行います。転送中の書き込みは無視されません。再起動のときは、0が読み込まれることを確認してから1を書き込んでください。 [書き込み時] 0: 書き込みは無視されます 1: DMA 起動 [読み出し時] 0: 転送終了 1: 転送中
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	TAM1	0	R/W	送信データアライメント指定ビット
8	TAM0	0	R/W	送信データを外部メモリから読み込むときにデータのアライメントを指定します。送信スロットデータと外部バス間のデータアライメントについては表 11.5 (2) を参照してください。 00: アライメント制御を行わない 01: ロングワードデータをバイト×4 とみなして転送する 10: ロングワードデータをワード×2 とみなして転送する 11: 設定禁止

11. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TAR	0	R/W	HAC/SSI 送信 DMA オートリロード指定ビット 送信 DMA が DMAATXTCRn で指定した転送バイト数に達したとき、アドレスを設定値に戻して DMA を継続するかどうかを指定します。 0: 送信 DMA のアドレスオートリロードを行わない 1: 送信 DMA のアドレスオートリロードを行う
1	TDS	0	R/W	HAC/SSI 送信 DMA 強制終了ビット このビットに1を書き込むことによって送信 DMA を強制終了させます。 [書き込み時] 0: 書き込みは無視されます 1: 送信 DMA 強制終了 [読み出し時] 0: 転送終了 1: 転送中
0	TDE	0	R/W	HAC/SSI 送信 DMA 転送起動制御ビット 送信 DMA 転送の起動制御を行います。転送中の書き込みは無視されません。再起動の際は、0が読み込まれることを確認してから1を書き込んでください。 [書き込み時] 0: 書き込みは無視されます 1: DMA 起動 [読み出し時] 0: 転送終了 1: 転送中

表 11.5 (1) 受信スロットデータと外部バス間のデータアライメント

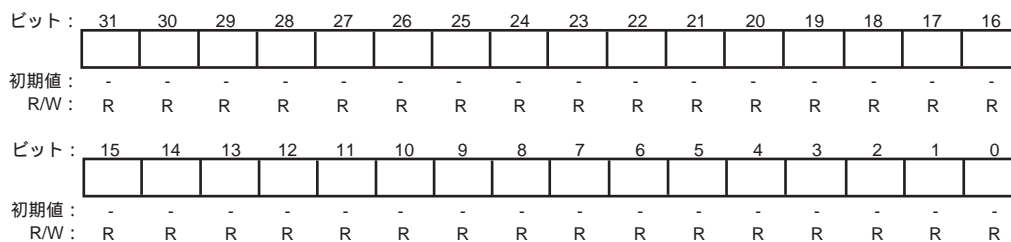
RAM1	RAM0	サイズ	データバス				スロットデータ			
			31~24	23~16	15~8	7~0	31~24	23~16	15~8	7~0
0	0	アライメントなし (ロングワード×1)	D3	D2	D1	D0	D3	D2	D1	D0
0	1	ロングワード (バイト×4)	D0	D1	D2	D3	D3	D2	D1	D0
1	0	ロングワード (ワード×2)	D1	D0	D3	D2	D3	D2	D1	D0

表 11.5 (2) 送信スロットデータと外部バス間のデータアライメント

TAM1	TAM0	サイズ	データバス				スロットデータ			
			31~24	23~16	15~8	7~0	31~24	23~16	15~8	7~0
0	0	アライメントなし (ロングワード×1)	D3	D2	D1	D0	D3	D2	D1	D0
0	1	ロングワード (バイト×4)	D3	D2	D1	D0	D0	D1	D2	D3
1	0	ロングワード (ワード×2)	D3	D2	D1	D0	D1	D0	D3	D2

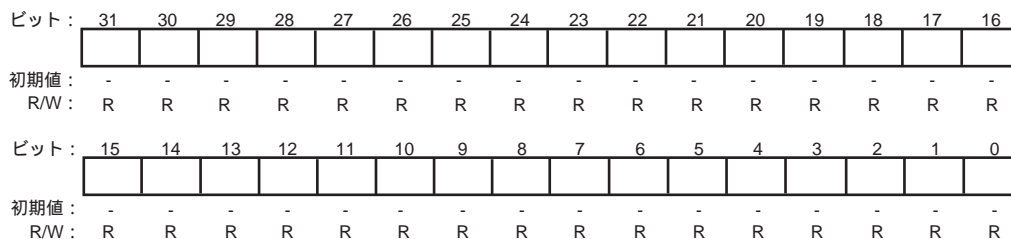
11.3.15 DMA AUDIO 送信トランスファカウンタ (DMAATXTCNT)

DMAATXTCNT は、読み出し可能な 32 ビットのレジスタで、DMAATXTCR に設定された転送バイト数の残りのバイト数を示します。本レジスタへの書き込みは無効です。DMAATXTCNT0 は HAC(0)または SSI(0)に、DMAATXTCNT1 は HAC(1)または SSI(1)にそれぞれ対応します。DMAACR の TDE ビットに 1 を書き込んだ時点で DMAATXTCR の値が設定されます。強制終了時、その時点での残りの転送バイト数が分かります。



11.3.16 DMA AUDIO 受信トランスファカウンタ (DMAARXTCNT)

DMAARXTCNT は、読み出し可能な 32 ビットのレジスタで、DMAARXTCR に設定された転送バイト数の残りのバイト数を示します。本レジスタへの書き込みは無効です。DMAARXTCNT0 は HAC(0)または SSI(0)に、DMAARXTCNT1 は HAC(1)または SSI(1)にそれぞれ対応します。DMAACR の RDE ビットに 1 を書き込んだ時点で DMAARXTCR の値が設定されます。強制終了時、その時点での残りの転送バイト数が分かります。

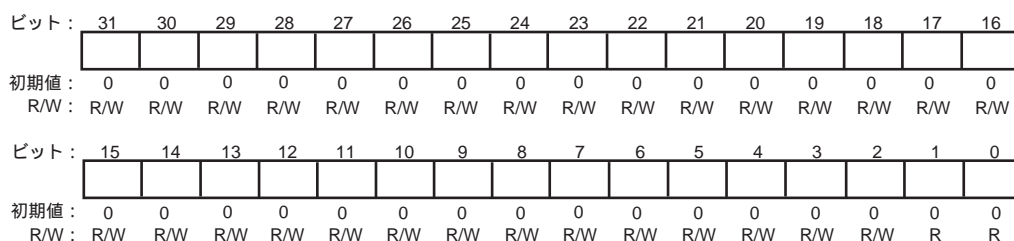


11. ダイレクトメモリアクセスコントローラ (DMAC)

11.3.17 DMA USB ソースアドレスレジスタ (DMAUSAR)

DMAUSAR は読み出し / 書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。本レジスタへの指定は USB 内蔵共有メモリ (以下、共有メモリ) とシンクロナス DRAM 間の DMA 転送に限定されます。USB の DMA 転送中は本レジスタへの書き込みは無効になります。読み出しは可能です。指定アドレスは 32 ビット境界を指定してください。

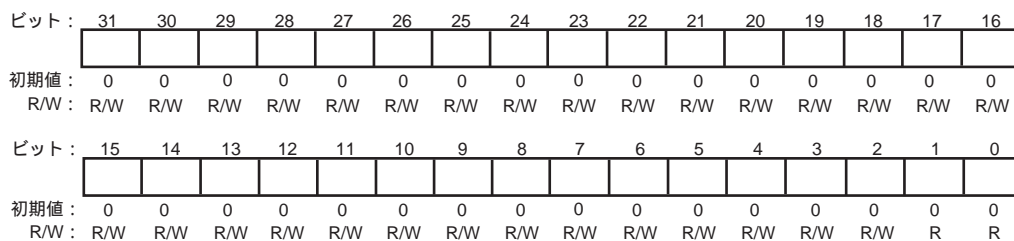
シンクロナス DRAM から共有メモリへの DMA 転送を行う場合はシンクロナス DRAM のアドレスを、共有メモリからシンクロナス DRAM への DMA 転送を行う場合は共有メモリのアドレスを指定してください。共有メモリからシンクロナス DRAM への転送を行う場合は、転送元である共有メモリのエリア (H'FE34 1000 ~ H'FE34 2FFC) に設定する必要があります。本エリア以外のアドレスを指定した場合は、USB アドレスエラーを検出して USB の DMA 転送を終了します。



11.3.18 DMA USB デスティネーションアドレスレジスタ (DMAUDAR)

DMAUDAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。本レジスタへの指定は共有メモリとシンクロナス DRAM 間の DMA 転送に限定されます。USB の DMA 転送中は本レジスタへの書き込みは無効になります。読み出しは可能です。指定アドレスは 32 ビット境界を指定してください。

シンクロナス DRAM から共有メモリへの DMA 転送を行う場合は共有メモリのアドレスを、共有メモリからシンクロナス DRAM への DMA 転送を行う場合はシンクロナス DRAM のアドレスを指定してください。シンクロナス DRAM から共有メモリへの転送を行う場合は、転送先である共有メモリのエリア (H'FE34 1000 ~ H'FE34 2FFC) に設定する必要があります。本エリア以外のアドレスを指定した場合は、USB アドレスエラーを検出して USB の DMA 転送を終了します。



11.3.19 DMA USB R/W サイズレジスタ (DMAURWSZ)

DMAURWSZ は、読み出し / 書き込み可能な 32 ビットのレジスタで、転送方向と転送データサイズを設定します。USB の DMA 転送中は、本レジスタへの書き込みは無効になります。読み出しは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RW
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SZ12	SZ11	SZ10	SZ9	SZ8	SZ7	SZ6	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	RW	0	R/W	転送方向 0: シンクロナス DRAM から共有メモリへの DMA 転送を指定します 1: 共有メモリからシンクロナス DRAM への DMA 転送を指定します
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~0	SZ12~0	すべて 0	R/W	転送バイト数 USB の DMA 転送されるデータバイト数を設定します。最大 8191 バイトまで指定可能です。SZ[12:0]=H'0000 に設定した場合、転送は実行されませんが、DMAUCR の START ビットを 1 にセットすると、DMABRGCR の UTF ビットは 1 にセットされます。

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.3.20 DMA USB コントロールレジスタ (DMAUCR)

DMAUCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、共有メモリとシンクロナス DRAM 間における USB の DMA 転送開始、データのアライメントモードの選択を指定します。データのアライメントモードは USB に対する CPU アクセスにおいても有効になります。データのアライメントモードについては「11.6.13 USB のエンディアン変換機能」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CVRT1	CVRT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	START	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	CVRT1	0	R/W	アライメントモード 00: アライメントを行いません 01: バイト境界モード 10: ロングワード / ワード境界モード 11: 設定禁止
16	CVRT0	0	R/W	
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	START	0	R/W	DMA 転送開始ビット このビットを 1 にセットすると USB の DMA 転送を開始します。USB の DMA 転送を終了すると自動的に 0 にクリアされます。 [書き込み時] 0: 無効です 1: DMA 転送を開始します [読み出し時] 0: USB の DMA 転送は停止しています 1: USB の DMA 転送は行われています
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

11.4.1 転送フロー

SAR、DAR、DMATCR、CHCR、DMAOR、DMARCR、DMARSRA、DMARSRB に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると、1 転送単位のデータ (TS2 ~ TS0 の設定により決定) を転送します。オートリクエストモードの場合は、DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットが 1 にセットしてあれば、CPU に DMTE 割り込みを発生します。
4. DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 の場合でも転送を中断します。アドレスエラーの場合は、強制的に CPU に DMAE 割り込みを発生します。

DMA 転送終了および中断に関しては「11.4.6 DMA 転送終了」を参照してください。

図 11.3 に上記のフローチャートを示します。

11. ダイレクトメモリアクセスコントローラ (DMAC)

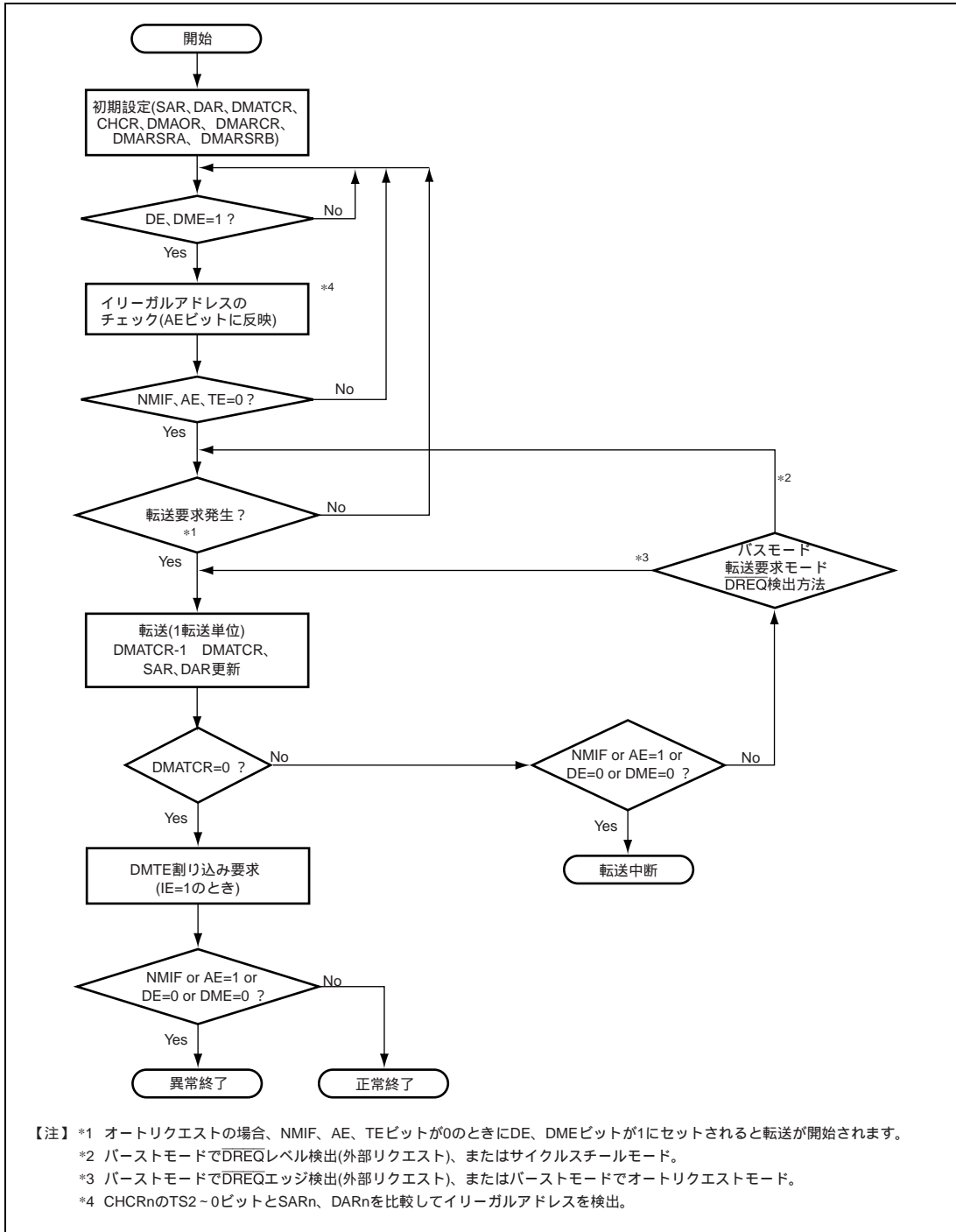


図 11.3 DMAC 転送フローチャート

11.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、周辺モジュールリクエストの3種類があります。転送要求の選択はCHCR0～CHCR7のRS3～RS0ビットおよびDMARSRA、DMARSRBによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない周辺モジュールとメモリとの転送のように、転送要求信号が外部からこない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。使用するチャンネルのCHCRのDEビットおよびDMAORのDMEビットを1にセットすると転送が開始されます。ただし使用するチャンネルのCHCRのTEビット、DMAORのNMIFビットとAEビットがすべて0である必要があります。

(2) 外部リクエストモード

外部リクエストモードは本LSIの外部デバイスからの転送要求信号($\overline{\text{DREQ}}$)によって転送を開始させるモードです。応用システムに応じて、表11.6に示すモードの中から1つを選んで使います。DMA転送が許可されているとき(DE=1、DME=1、TE=0、NMIF=0、AE=0)に $\overline{\text{DREQ}}$ が入力されるとDMA転送が開始されます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0～CHCR7のDSビットおよびDMARCRのDS3～0で選びます(DS=0はレベル検出、DS=1はエッジ検出)。

転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 11.6 RSビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	外部メモリ、 メモリマップト外部デバイス 周辺モジュール	外部メモリ、 メモリマップト外部デバイス 周辺モジュール
			1	シングル アドレスモード	外部メモリ、 メモリマップト外部デバイス	DACK 付き外部デバイス
		1		DACK 付き外部デバイス	外部メモリ、 メモリマップト外部デバイス	

• 外部リクエスト受け付け条件

- DMAORのDMEビットとCHCRのDEビットのうち少なくとも一方が0かつDMAORのNMIFビットとAEビット、CHCRのTEビットがすべて0の状態であっても外部リクエスト($\overline{\text{DREQ}}$:エッジ検出)が入力された場合は、DMA転送が実行されるかキャンセルされるまでリクエストをDMAC内部に保持します。この場合DMA転送の許可がない(DME=0またはDE=0)ため、DMA転送は起動されません。DMA転送が許可された(DME=1、DE=1、NMIF=0、AE=0、TE=0)後にDMA転送を開始します。
- DMA転送が許可された(DME=1、DE=1、NMIF=0、AE=0、TE=0)状態のときに、外部リクエスト($\overline{\text{DREQ}}$)が入力されるとDMA転送が開始されます。

11. ダイレクトメモリアクセスコントローラ (DMAC)

3. TE=1、NMIF=1、またはAE=1のとき、パワーオンリセット、マニュアルリセット、ディープスリープモード、スタンバイモード、またはDMACがモジュールスタンバイ状態の期間中に入力された外部リクエスト ($\overline{\text{DREQ}}$) は、無視されます。DMABRGモードでDMA転送を再開する場合、DMACを転送許可状態にする前にDMARSRAまたはDMARSRBの当該チャンネルのリソース再設定およびCHCRnのCHSETビットに1を書き込んでください。
4. NMI割り込み (NMIF=1) またはアドレスエラー (AE=1) が発生した場合、またはパワーオンリセット/マニュアルリセットにより、すでに入力された外部リクエストはキャンセルされます。
5. 本LSIは、すでに入力された外部リクエスト ($\overline{\text{DREQ}}$) をキャンセルすることができます。外部リクエスト2チャンネルモードでは、CHCRnのDS=0に設定した後 $\overline{\text{DREQ}}$ 端子をハイレベルにしてください。DMABRGモードでは、DMARSRAまたはDMARSRBの当該チャンネルのリソース再設定およびCHCRnのCHSETビットに1を書き込んでください。

- 使用上の注意

外部リクエスト ($\overline{\text{DREQ}}$) は、ローレベルまたは立ち下がりエッジで検出されます。パワーオンリセット/マニュアルリセット後は、外部デバイスからDMA転送要求がないときには外部リクエスト ($\overline{\text{DREQ}}$) をハイレベルに保持するようお願いします。

DMA転送を再開する場合、DMA転送リクエストが保持されているかどうかをお願いします。

(3) 周辺モジュールリクエストモード

周辺モジュールリクエストモードは、本LSIの周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。

周辺モジュールから転送要求を出力させるためには、その各モジュールの該当するDMA転送要求許可ビットをセットして、転送要求信号を出力させてください。

11.4.3 チャンネルの優先順位

DMACは、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2つのモードから選べます。モードの選択は、DMAORのPR1、PR0ビットによって行います。

(1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。固定モードには以下に示す3種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7
- CH0 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 > CH1
- CH2 > CH0 > CH1 > CH3 > CH4 > CH5 > CH6 > CH7

これらの選択はDMAORのPR1、PR0ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、クワッドワード、または32バイト)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図11.4に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7です。また、DMACがあるチャンネルのDMA転送の間にどのチャンネルに対しても転送要求を受け付けなかった場合、優先順位はCH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7になります。

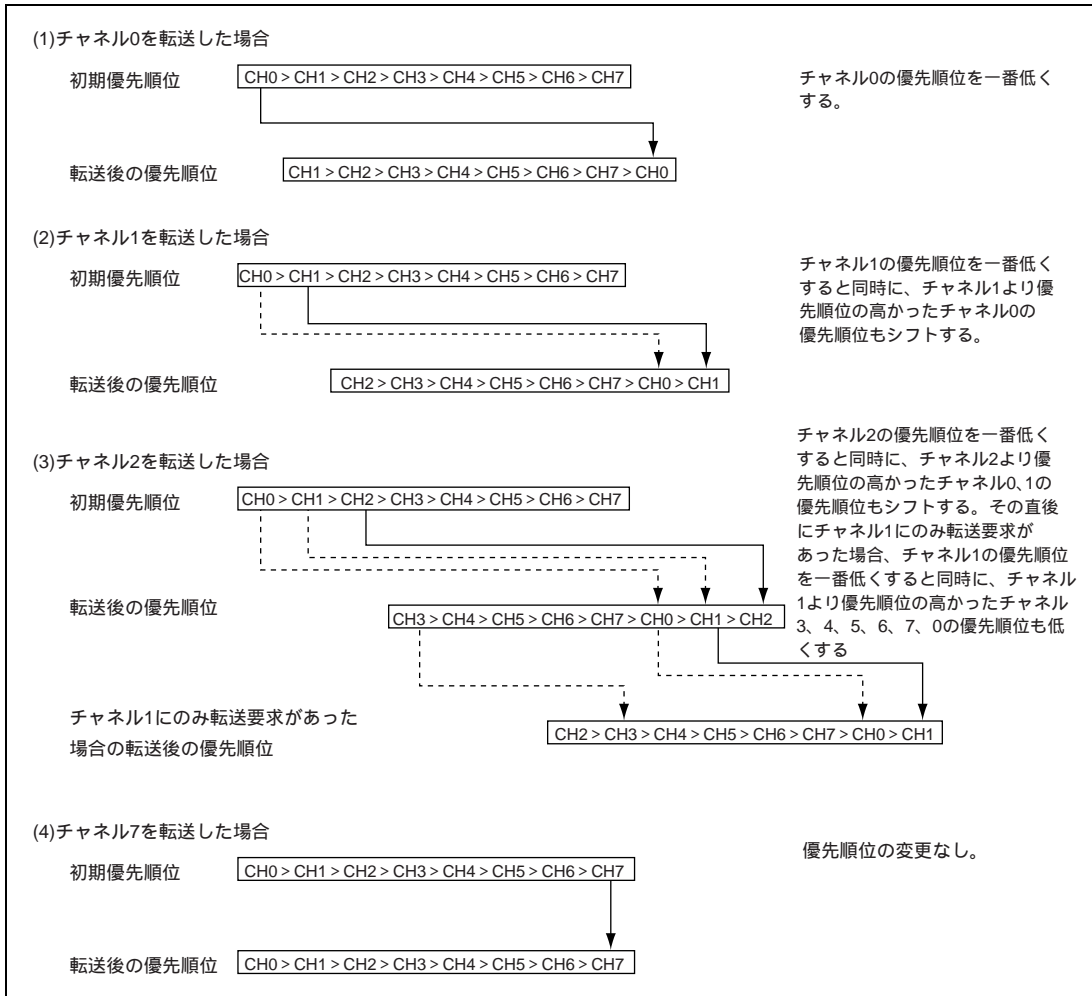


図 11.4 ラウンドロビンモード

11. ダイレクトメモリアクセスコントローラ (DMAC)

図 11.5 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します (チャンネル3は転送待ち)。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します (チャンネル1とチャンネル3は転送待ち)。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します (チャンネル3は転送待ち)。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

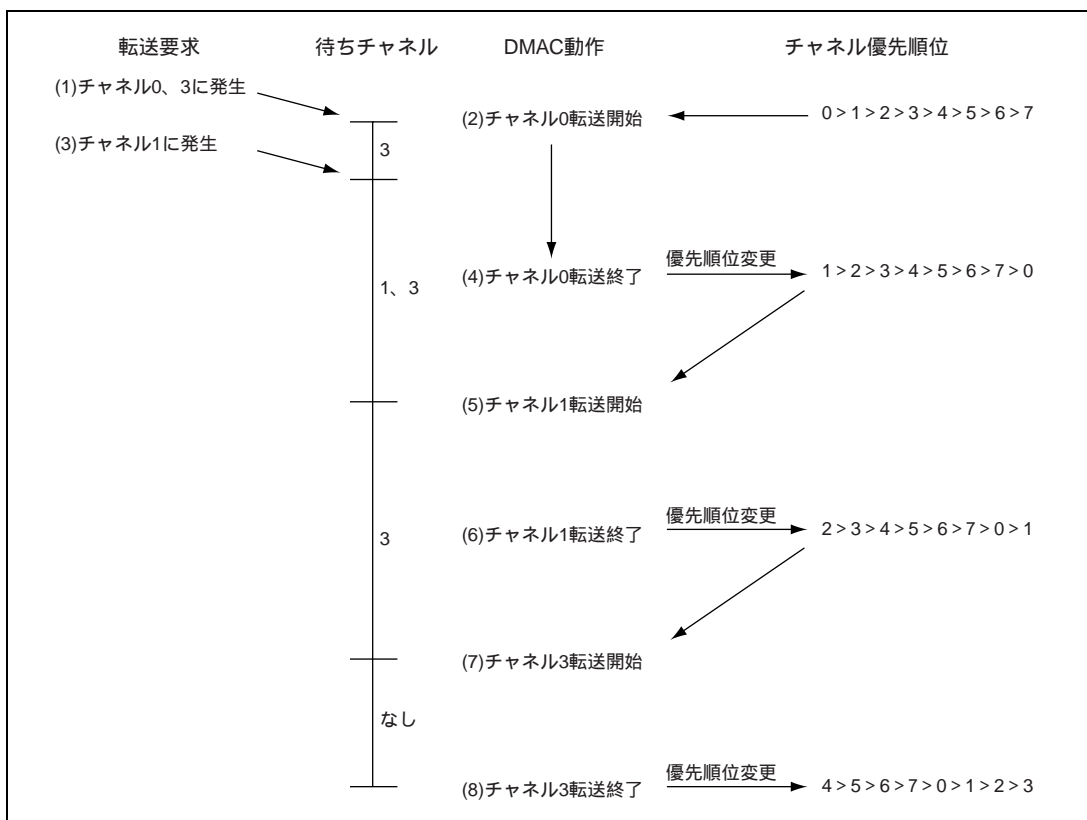


図 11.5 ラウンドロビンモードでのチャンネル優先順位変更例

11.4.4 DMA 転送の種類

DMAC がサポートできる転送を表 11.7 に示します。転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 11.7 サポートできる DMA 転送

転送元	転送先			
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	周辺 モジュール
DACK 付外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
周辺モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	不可

(1) アドレスモード

• シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は外部デバイスへのストロープ信号(DACK)を転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。たとえば図 11.6 に示すような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

11. ダイレクトメモリアクセスコントローラ (DMAC)

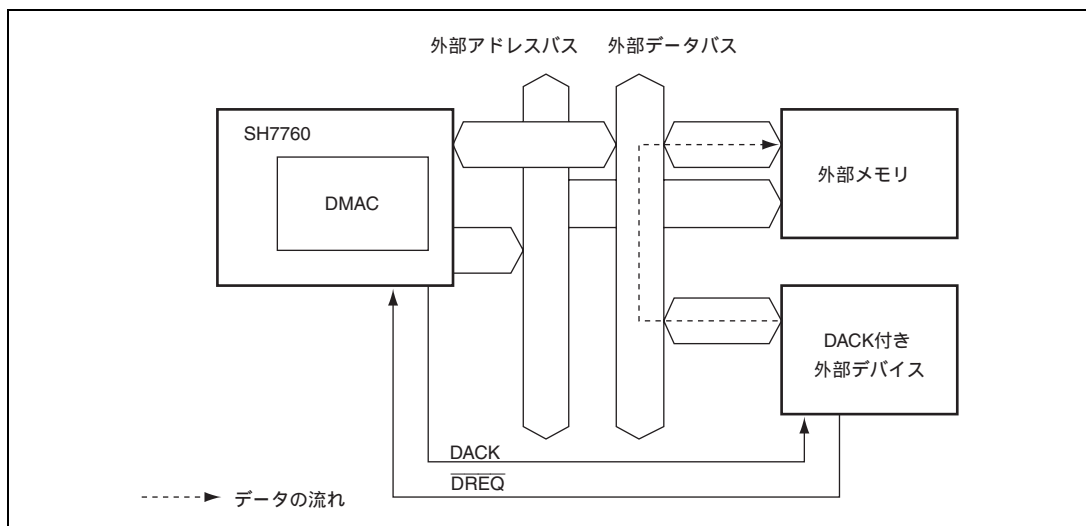


図 11.6 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、

1. DACK付き外部デバイスとメモリマップト外部デバイス間転送
2. DACK付き外部デバイスと外部メモリ間転送

です。いずれの場合も転送要求は、外部リクエスト (\overline{DREQ}) のみです。

図 11.7 にシングルアドレスモードでの DMA 転送タイミングを示します。

各種外部メモリごとにアクセスタイミングが異なります。詳細は、「第 10 章 バスステートコントローラ (BSC)」の各メモリインタフェースを参照してください。

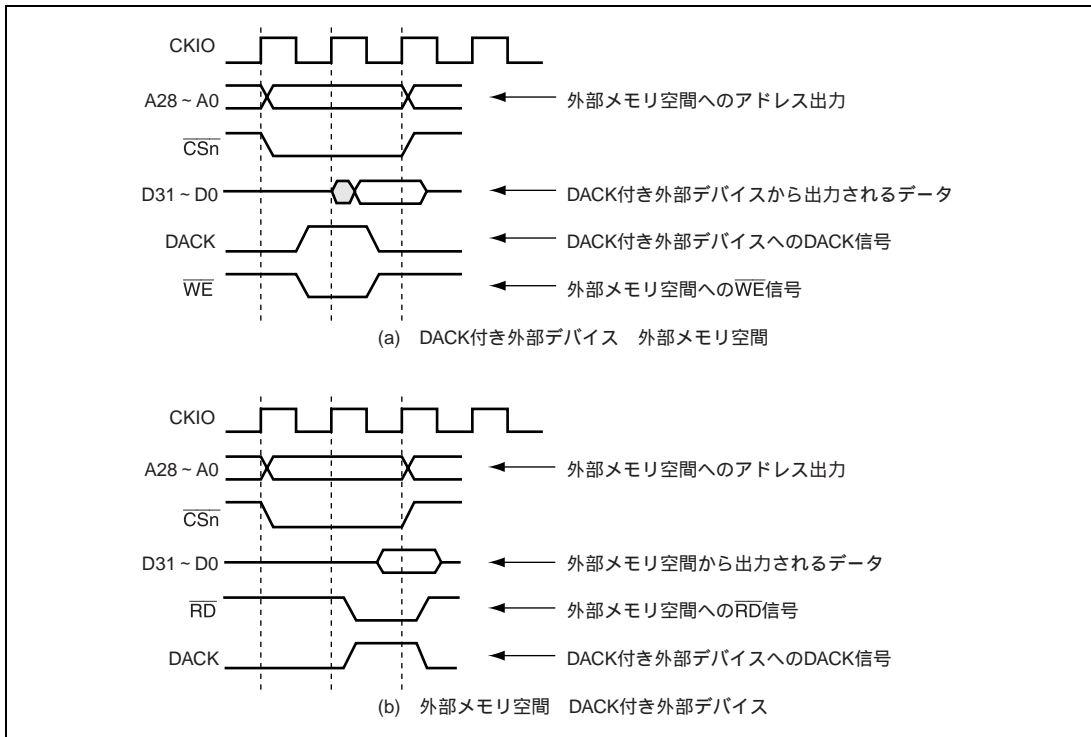


図 11.7 シングルアドレスモードでの DMA 転送タイミング

- デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は周辺モジュールでも外部アドレスでもかまいません。

オペランドキャッシュを RAM モードで使用した場合でも、この RAM を転送元、転送先に設定できません。

デュアルアドレスモードではデータ読み出しサイクルで転送元から CHCRn の TS ビットで指定されたサイズのデータを読み出し、データ書き込みサイクルで転送先に CHCRn の TS ビットで指定されたサイズのデータを書き込むため、2 つのバスサイクルで転送を行います。このとき転送データは一時的に BSC 内のデータバッファに格納されます。

図 11.8 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが BSC 内のデータバッファに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。図 11.9 にこの場合のタイミング例を示します。DACK の出力タイミングは、CHCRn の AM ビットで指定された読み出し、または書き込みサイクルで \overline{CSn} と同じタイミングです。

11. ダイレクトメモリアクセスコントローラ (DMAC)

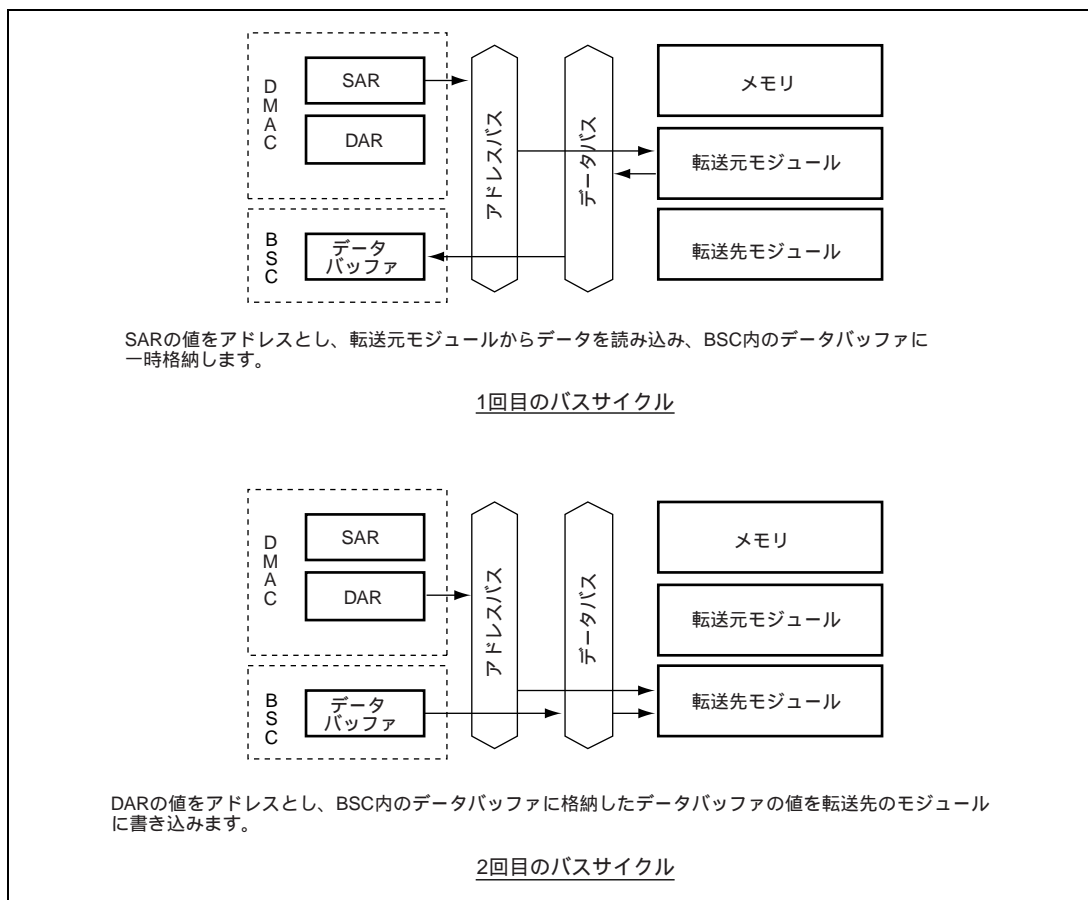


図 11.8 デュアルアドレスモードの動作説明

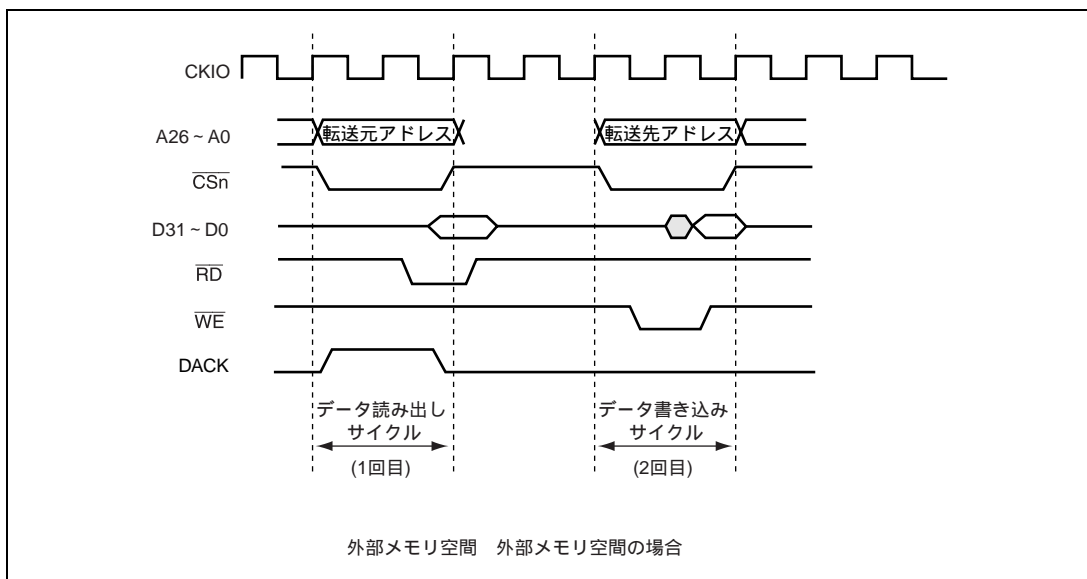


図 11.9 デュアルアドレスモードの転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は各チャネルごとに設定でき CHCR0 ~ CHCR7 の TM ビットによって行います。

- サイクルスチールモード

サイクルスチールモードでは、DMAC は一回の転送単位 (8 ビット、16 ビット、32 ビット、64 ビット、32 バイト) の転送を終了するたびにバス権を CPU に渡します。その後転送要求があれば、CPU からバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を CPU に渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 11.10 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出

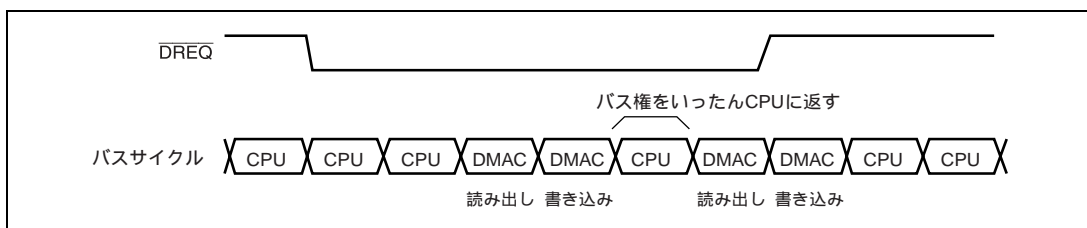


図 11.10 サイクルスチールモードでの DMA 転送例

11. ダイレクトメモリアクセスコントローラ (DMAC)

- バーストモード

バーストモードではDMACは一度バス権を取ると、転送終了条件が満たされるまでCPUにバス権を開放せずに転送を続けます。ただし外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けたDMAC転送要求を終了後に他のバスマスタにバス権を渡します。

図 11.11 にバーストモードでのDMA転送タイミングを示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$ レベル検出 (CHCRn.DS = 0、CHCRn.TM = 1、外部リクエスト2チャンネルモード)

【注】 DMABRGモードでバースト転送を行う場合、 $\overline{\text{DREQ}}$ エッジ検出に設定してください。DMABRGモードでの $\overline{\text{DREQ}}$ レベル検出バーストではサイクルスチールと同様の動作になります。

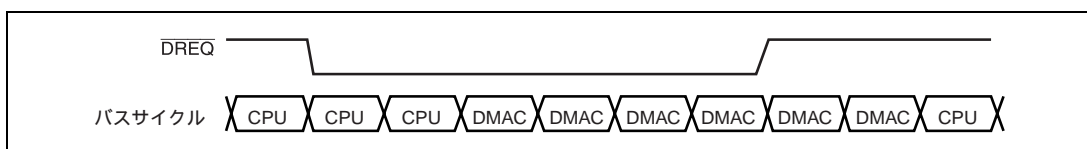


図 11.11 バーストモードでのDMA転送例

(3) DMA転送区間とリクエストモード、バースモードの関係

表 11.8 にDMA転送区間とリクエストモード、バースモードなどの関連事項を示します。

表 11.8 DMA転送区間とリクエストモード、バースモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バースモード	転送サイズ(ビット)
シングル	DACK付き外部デバイスと外部メモリ	外部	B/C	8/16/32/64/32B
	DACK付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/64/32B
デュアル	外部メモリと外部メモリ	内部* ¹ 、 外部* ⁵	B/C	8/16/32/64/32B
	外部メモリとメモリマップト外部デバイス	内部* ¹ 、 外部* ⁵	B/C	8/16/32/64/32B
	メモリマップト外部デバイスとメモリマップト外部デバイス	内部* ¹ 、 外部* ⁵	B/C	8/16/32/64/32B
	外部メモリと周辺モジュール	内部* ²	B/C* ³	8/16/32/64* ⁴
	メモリマップト外部デバイスと周辺モジュール	内部* ²	B/C* ³	8/16/32/64* ⁴

【注】 32B : 32バイトバースト転送

B : バースト

C : サイクルスチール

外部 : 外部リクエスト

内部 : オートリクエスト、周辺モジュールリクエスト

11. ダイレクトメモリアクセスコントローラ (DMAC)

- *1 外部リクエスト、オートリクエスト、周辺モジュールリクエストのいずれでも可能。
- *2 オートリクエスト、周辺モジュールリクエストのいずれでも可能。
- *3 転送要求元が DMABRG を除く周辺モジュールの場合にはサイクルスチールのみ
- *4 転送元または転送先である周辺モジュールのレジスタで許されるアクセスサイズ
- *5 外部リクエストによる DMA 転送の転送元および転送先は、表 11.9 (1) および表 11.9 (2) を参照してください。

● 外部リクエスト2チャンネルモードの場合

外部リクエスト2チャンネルモード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 11.9 (1) に示します。

表 11.9 (1) 外部リクエスト2チャンネルモード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレスモード	DMAC 使用可能チャンネル
	転送元	転送先		
1	シンクロナス DRAM	DACK 付き外部デバイス	シングル	0、1
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	0、1
3	SRAM 類	DACK 付き外部デバイス	シングル	0、1
4	DACK 付き外部デバイス	SRAM 類	シングル	0、1
5	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	0、1
6	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	0、1
7	SRAM 類、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	0、1
8	SRAM 類、MPX、PCMCIA	SRAM 類、PCMCIA、MPX	デュアル	0、1

【記号説明】 : デュアルアドレスモード転送時の DACK 出力設定

- 【注】
1. 表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。
 2. シングルアドレスモードでの転送が可能なメモリインタフェースは SRAM、バイト制御 SRAM、バースト ROM、シンクロナス DRAM です。
 3. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

11. ダイレクトメモリアクセスコントローラ (DMAC)

• DMABRGモードの場合

DMABRG モード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 11.9 (2) に示します。

表 11.9 (2) DMABRG モード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレスモード	DMAC 使用可能チャンネル
	転送元	転送先		
1	シンクロナス DRAM	DACK 付き外部デバイス	シングル	全チャンネル
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	全チャンネル
3	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	全チャンネル
4	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	全チャンネル
5	SRAM 類、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	全チャンネル
6	SRAM 類、MPX、PCMCIA	SRAM 類、PCMCIA、MPX	デュアル	全チャンネル

【記号説明】 : デュアルアドレスモード転送時の DACK 出力設定

- 【注】
1. 表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。
 2. DMABRG モードでのシングルアドレスモード転送が可能なメモリインタフェースはシンクロナス DRAM です。
 3. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

(4) バスモードとチャンネルの優先順位

たとえばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードでも、チャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開します。その後もチャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにチャンネル実行が交互に入れ替わります。

ラウンドロビンモードの場合の例を図 11.12 に示します。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル 1 がバーストモード (エッジセンスの場合) なので、チャンネル 1 の転送が終了するまでの間 CPU にはバス権は渡りません。

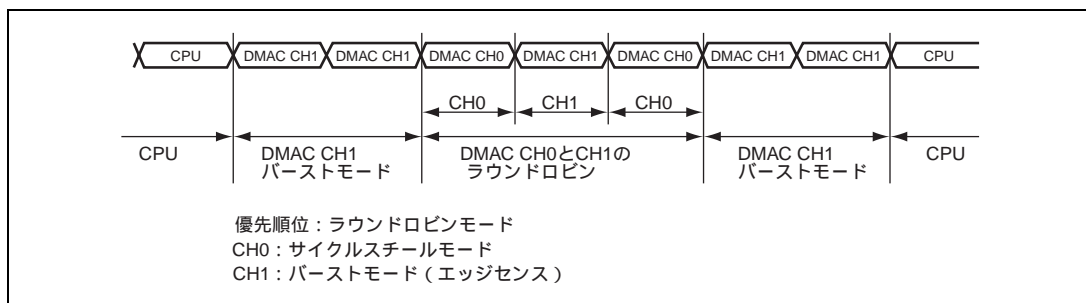


図 11.12 複数チャンネルが動作する場合のバス状態

11.4.5 バスサイクルのサイクル数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのサイクル数

DMAC がバスマスタのときのバスサイクルのサイクル数は、CPU がバスマスタのときと同様に BSC で制御されます。詳しくは、「第 10 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$ 端子はクロックパルス (CKIO) の立ち上がりエッジでサンプリングされ、 $\overline{\text{DREQ}}$ 入力が発出されると、最も早い場合で 4 サイクル (CKIO) 後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

$\overline{\text{DREQ}}$ 立ち下がりエッジ検出の場合は、非同期化回路を経由するため DMAC が $\overline{\text{DREQ}}$ を認識するのは 2 サイクル (CKIO) 後になります。(ローレベル検出の場合は 1 サイクル (CKIO) 後)

2 回目以後の $\overline{\text{DREQ}}$ サンプリングは、1 回目の DMAC 転送のバスサイクルが開始された、1 サイクル後に行われます (外部リクエスト 2 チャンネルモード、シングルアドレスモードの場合)。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$ 検出方法によらず、 $\overline{\text{DREQ}}$ をサンプリングして検出 1 回につき、1 サイクルのみ出力されます。バーストモードでエッジ検出の場合は、 $\overline{\text{DREQ}}$ のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

(3) 動作説明

• サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$ サンプリングタイミングはデュアルアドレスモード、シングルアドレスモード、また $\overline{\text{DREQ}}$ 検出方法がレベル検出、エッジ検出で違います。

たとえば、図 11.13 (外部リクエスト 2 チャンネルモード、サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の書き込みサイクルが開始された 1 サイクル後に行われます。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 11.15 (外部リクエスト 2 チャンネルモード、サイクルスチールモード、デュアルアドレス、エッジ検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の読み出しサイクルが終了するサイクルから始ま

11. ダイレクトメモリアクセスコントローラ (DMAC)

ります。このとき $\overline{\text{DREQ}}$ が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

各種メモリアクセスの詳細なタイミングは、「第 10 章 パスステートコントローラ (BSC)」を参照してください。

図 11.21 は外部リクエスト 2 チャンネルモード、サイクルスチールモード、シングルアドレス、レベル検出の場合です。この場合も 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 4 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後に行われます。

図 11.23 は外部リクエスト 2 チャンネルモード、サイクルスチールモード、シングルアドレス、エッジ検出の場合です。この場合は 1 回目の $\overline{\text{DREQ}}$ サンプリングから、最も早い場合で 5 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DRAK がアサートされた 1 サイクル後から始まります。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

- バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合 $\overline{\text{DREQ}}$ サンプリングタイミングはサイクルスチールモードとほぼ同じです。

たとえば図 11.17 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングも、1 回目の DMAC 転送の書き込みサイクルが開始された 1 サイクル後から行われます。

外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送の読み出しサイクルに出力したり、書き込みサイクルに出力させることができます。

- バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図 11.20 に示します。

たとえば図 11.25 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後から行われます。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

図 11.29 は、データサイズ 32 バイト、バス幅 32 ビット、SDRAM : row hit write の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 6 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の DACK がアサートされた 1 サイクル後から行われます。

- バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。

たとえば図 11.19 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。その後 DMATCR に設定した回数分データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで、以後は出力されません。外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送の読み出しサイクルに出力したり、書き込みサイクルに出力

させることができます。

- バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の 1 回しか行いません。たとえば図 11.27 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで以後は出力されません。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます

(4) $\overline{\text{DREQ}}$ レベル検出の場合の DMA 転送中断

バーストモードまたはサイクルスチールモード、デュアルアドレスモードまたはシングルアドレスモードで $\overline{\text{DREQ}}$ レベル検出の場合に、DMA 転送中外部デバイスは DRAK がアサートされたことを CKIO の立ち上がりエッジで判定して $\overline{\text{DREQ}}$ をネゲートすることにより DMA 転送を中断することが可能です。この場合には、次の DRAK は出力されません。

11. ダイレクトメモリアクセスコントローラ (DMAC)

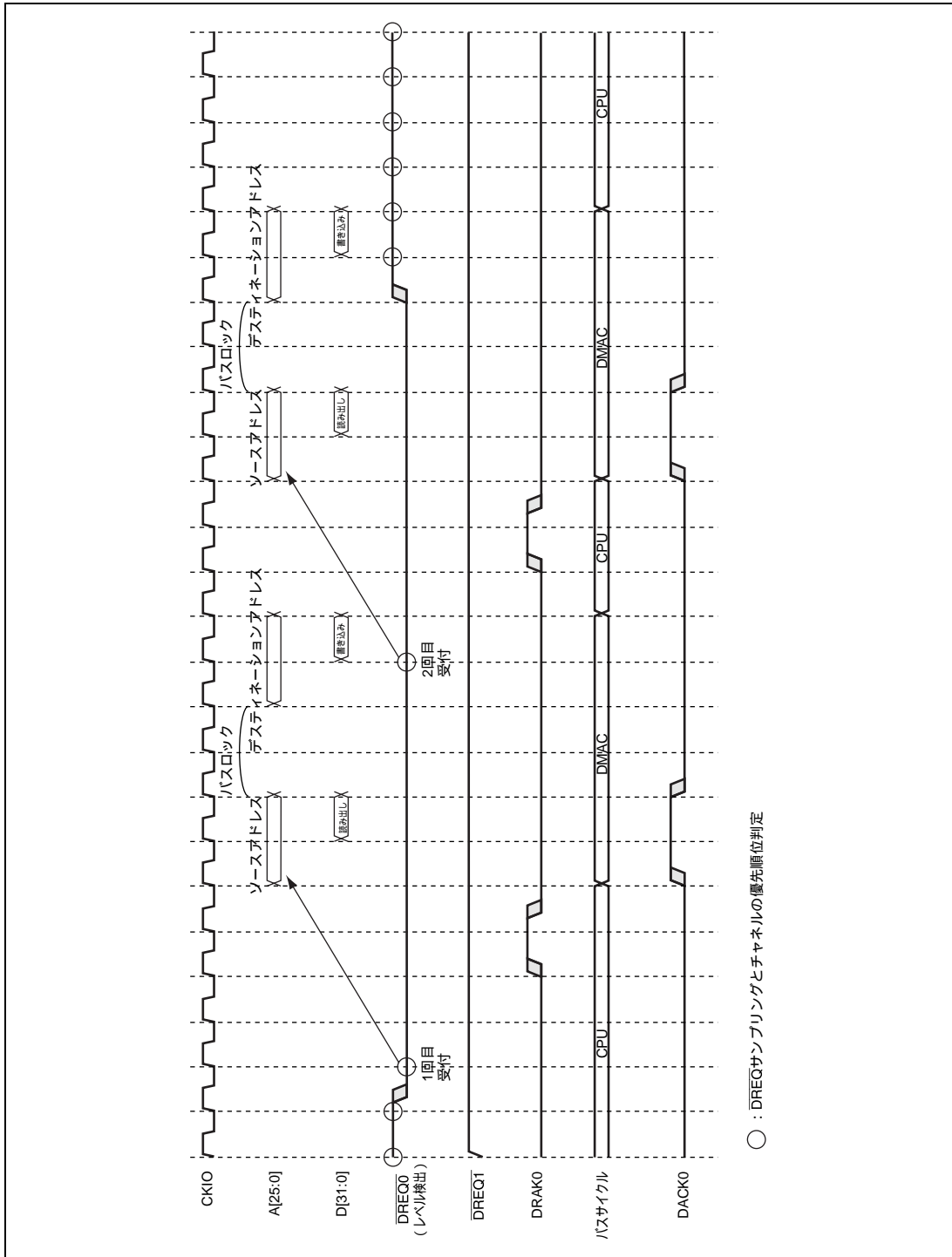


図 11.13 外部リクエスト2チャンネルモード時のデュアルアドレスモード/サイクルスチールモード
外部バス 外部バス/DREQ (レベル検出)、DACK (読み出しサイクル)

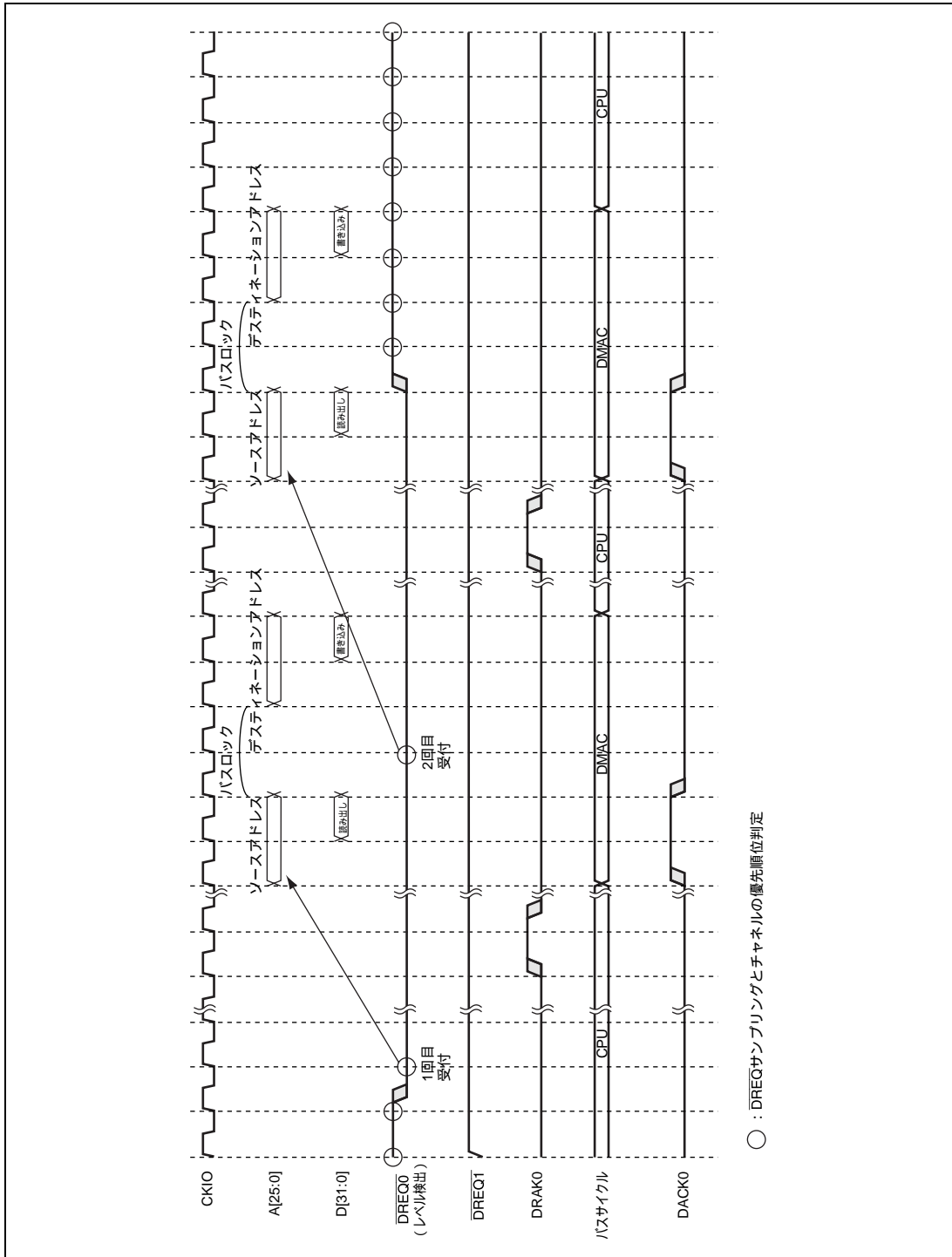


図 11.14 DMABRG モード時のデュアルアドレスモード / サイクルスチールモード
外部バス 外部バス / DREQ (レベル検出)、DACK (読み出しサイクル)

11. ダイレクトメモリアクセスコントローラ (DMAC)

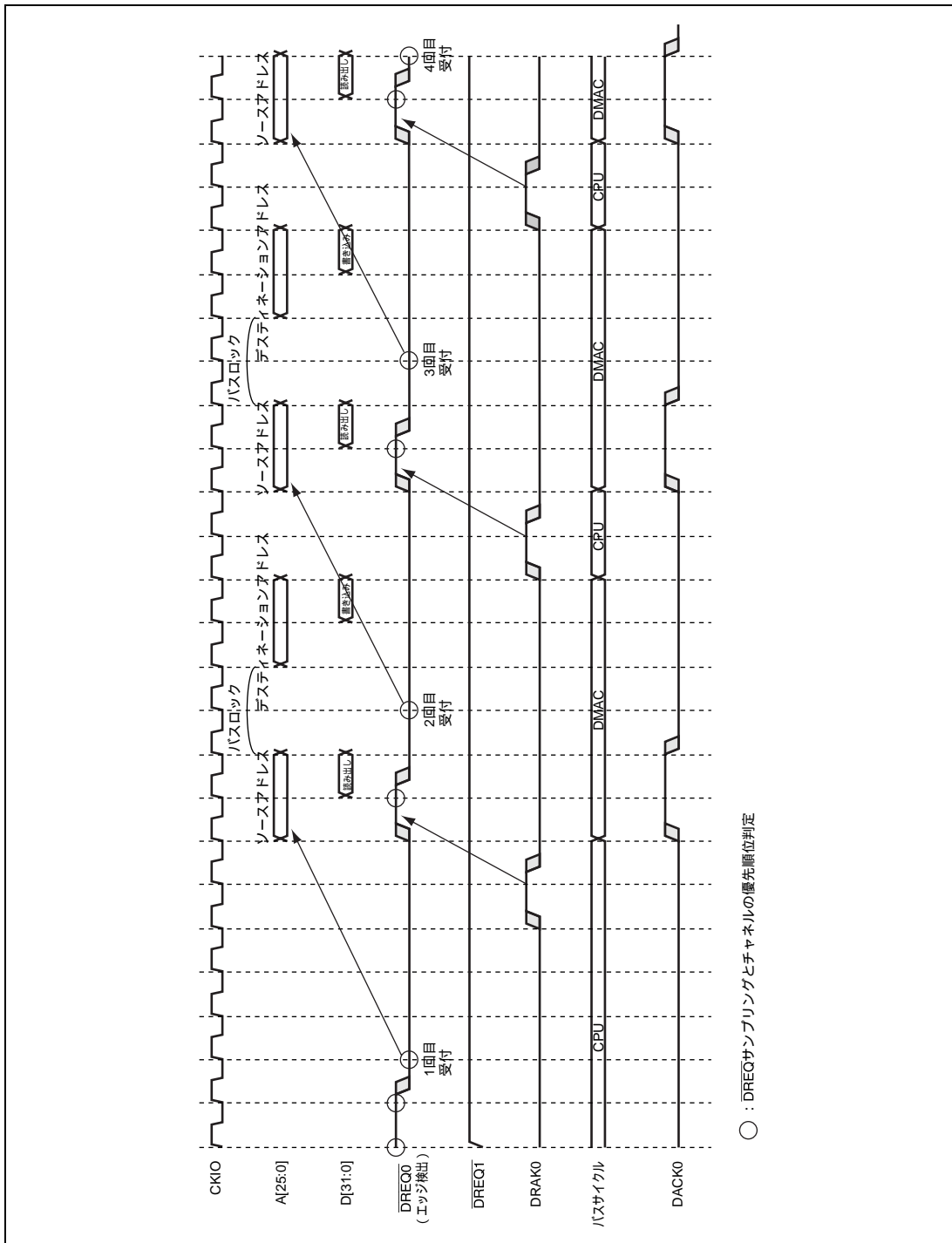


図 11.15 外部リクエスト2チャンネルモード時のデュアルアドレスモード/サイクルスチールモード
外部バス 外部バス / DREQ (エッジ検出)、DACK (読み出しサイクル)

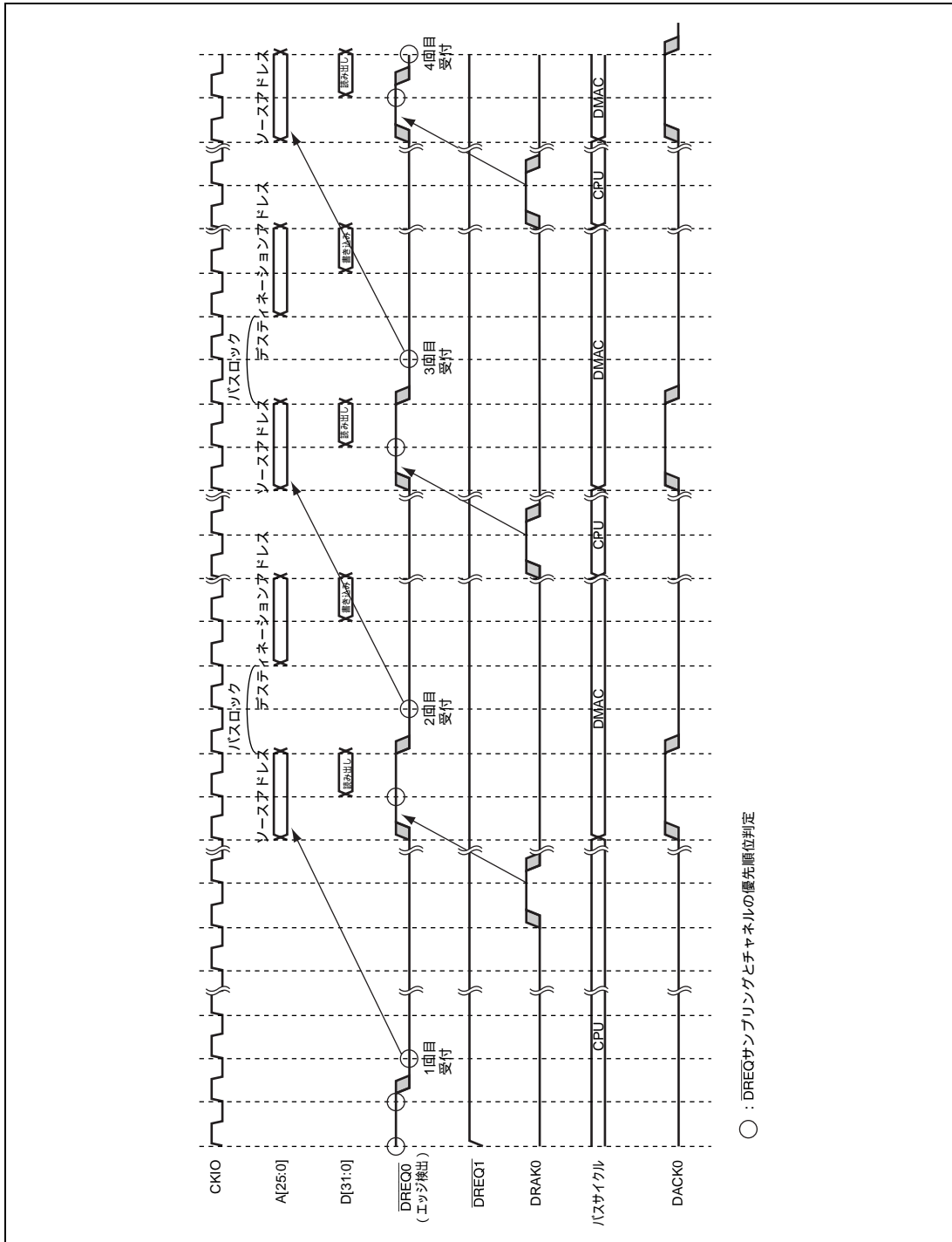


図 11.16 DMABRG モード時のデュアルアドレスモード / サイクルスチールモード
外部バス 外部バス / DREQ (エッジ検出)、DACK (読み出しサイクル)

11. ダイレクトメモリアクセスコントローラ (DMAC)

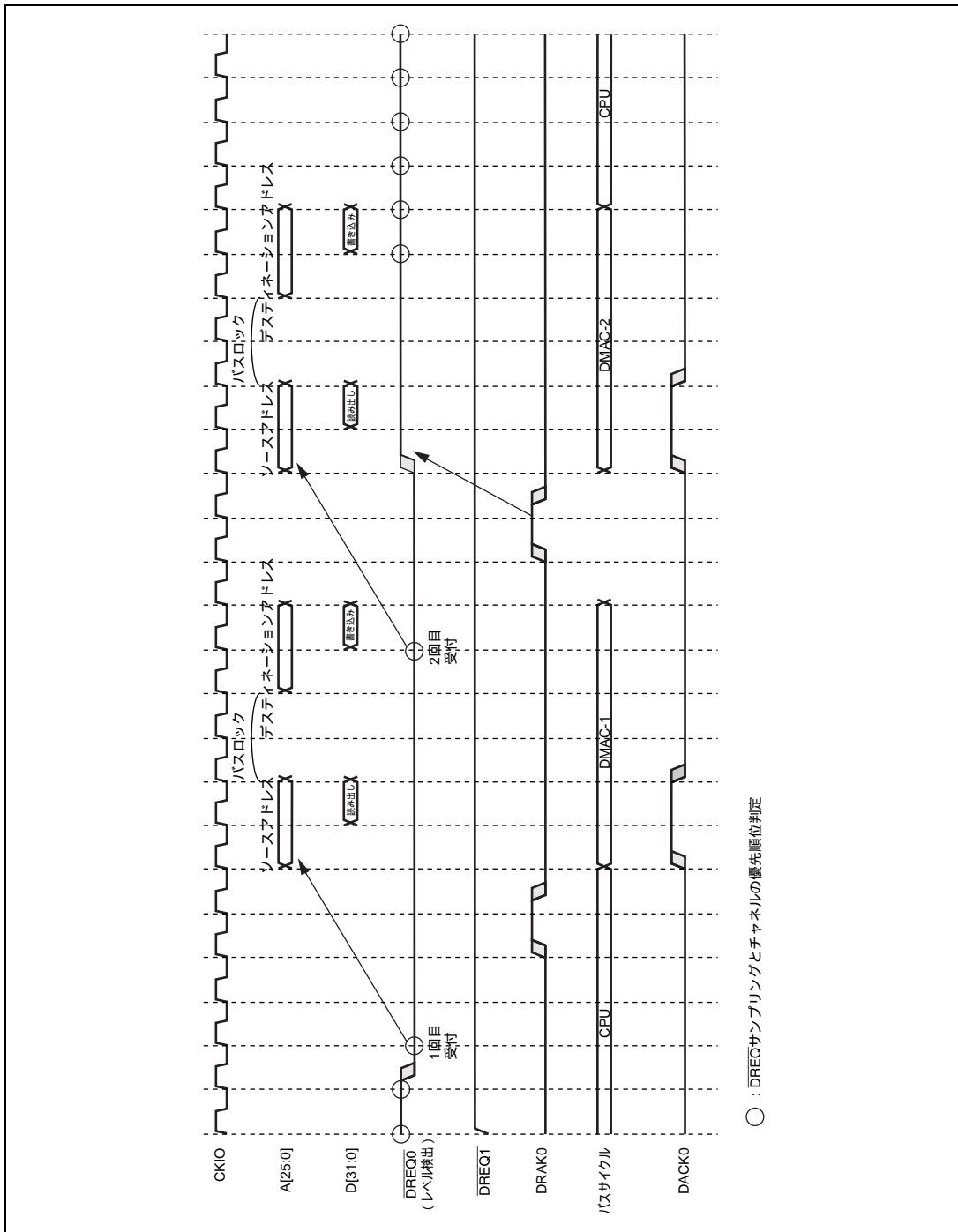


図 11.17 外部リクエスト2チャンネルモード時のデュアルアドレスモード/バーストモード
外部バス 外部バス/DREQ (レベル検出)、DACK (読み出しサイクル)

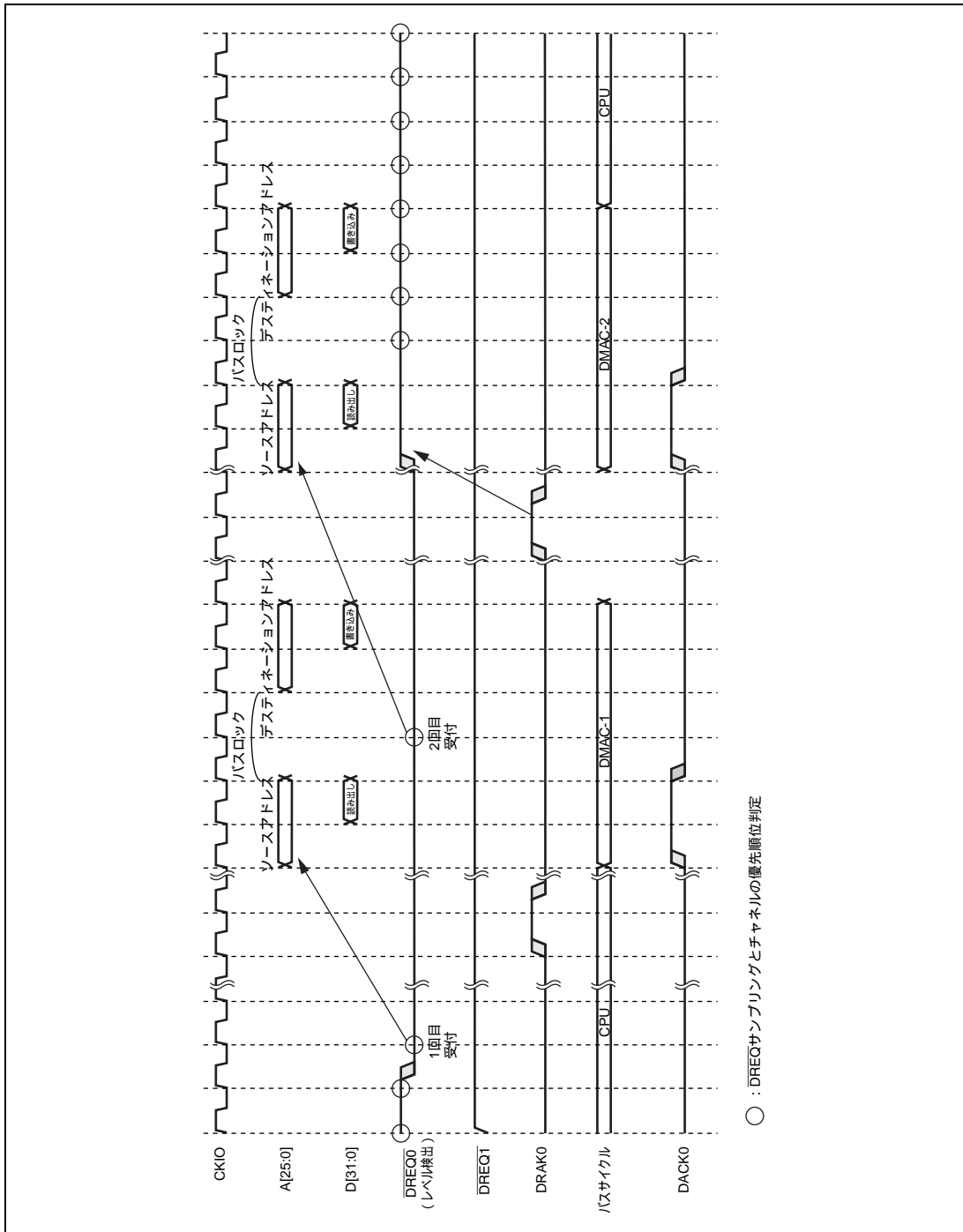


図 11.18 DMABRG モード時のデュアルアドレスモード/バーストモード
外部バス 外部バス/DREQ (レベル検出)、DACK (読み出しサイクル)

11. ダイレクトメモリアクセスコントローラ (DMAC)

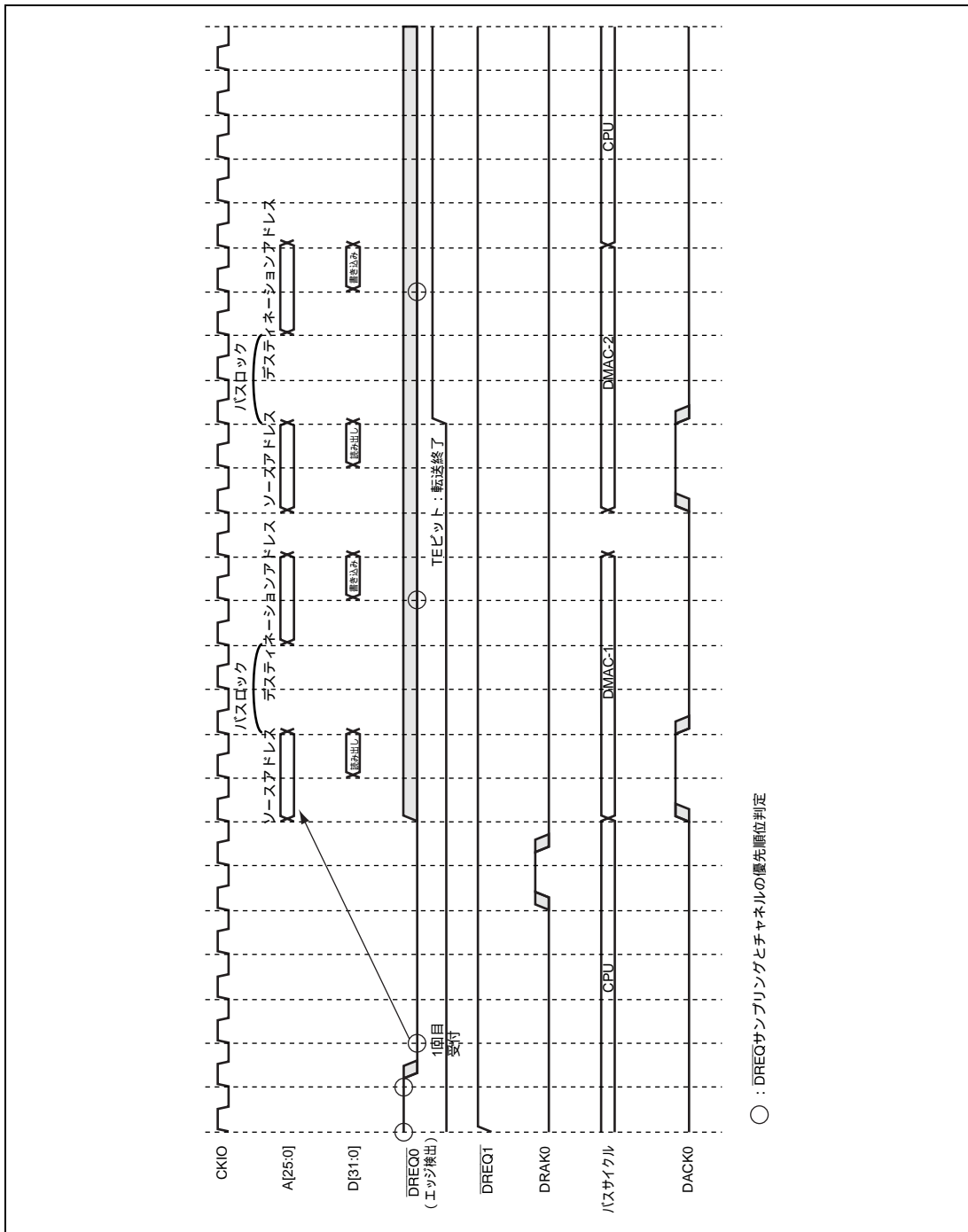


図 11.19 外部リクエスト2チャンネルモード時のデュアルアドレスモード/パーストモード
外部バス 外部バス/DREQ (エッジ検出)、DACK (読み出しサイクル)

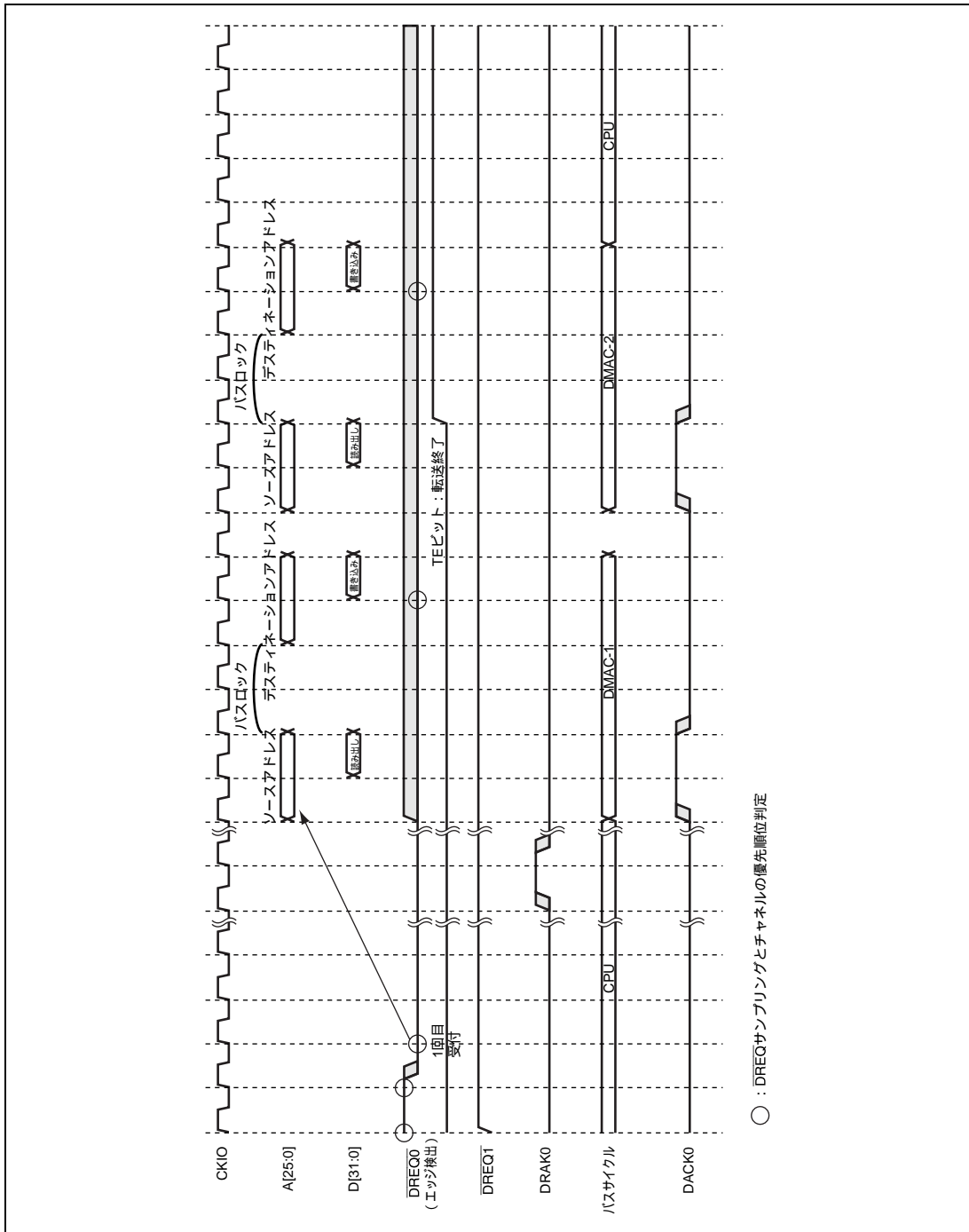


図 11.20 DMABRG モード時のデュアルアドレスモード/バーストモード
外部バス 外部バス / DREQ (エッジ検出)、DACK (読み出しサイクル)

11. ダイレクトメモリアクセスコントローラ (DMAC)

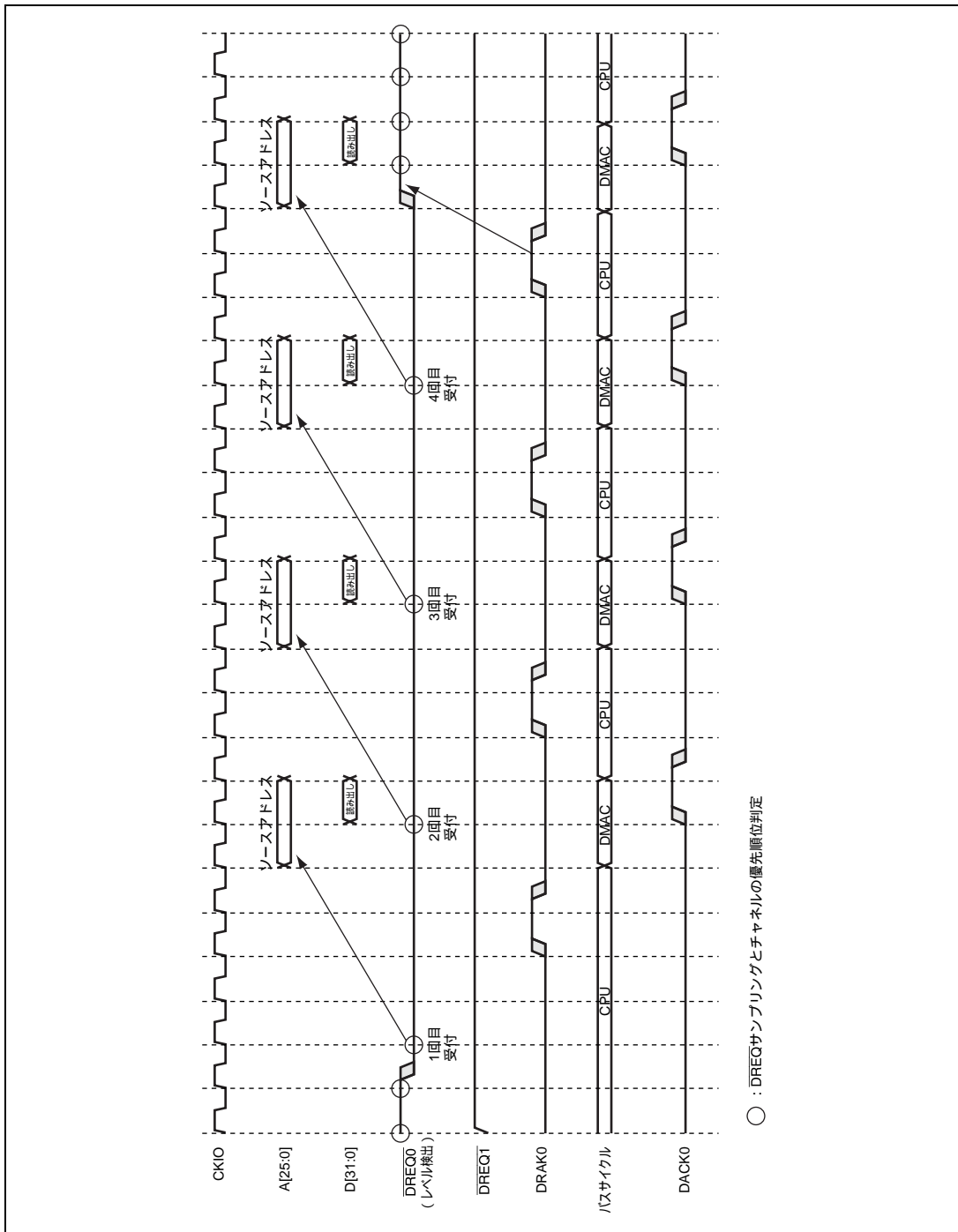


図 11.21 外部リクエスト2チャンネルモード時のシングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス / \overline{DREQ} (レベル検出)

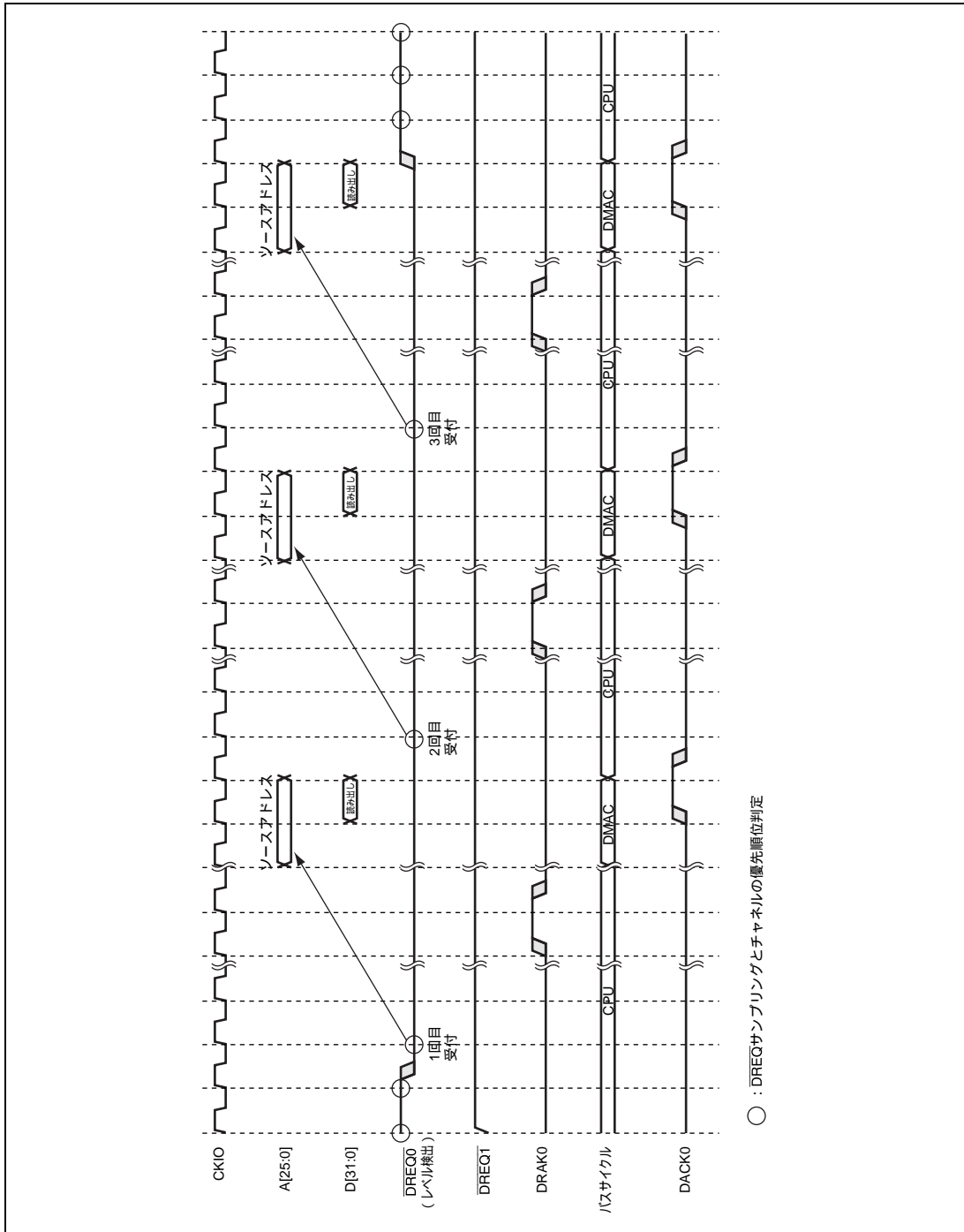


図 11.22 DMABRG モード時のシングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス / \overline{DREQ} (レベル検出)

11. ダイレクトメモリアクセスコントローラ (DMAC)

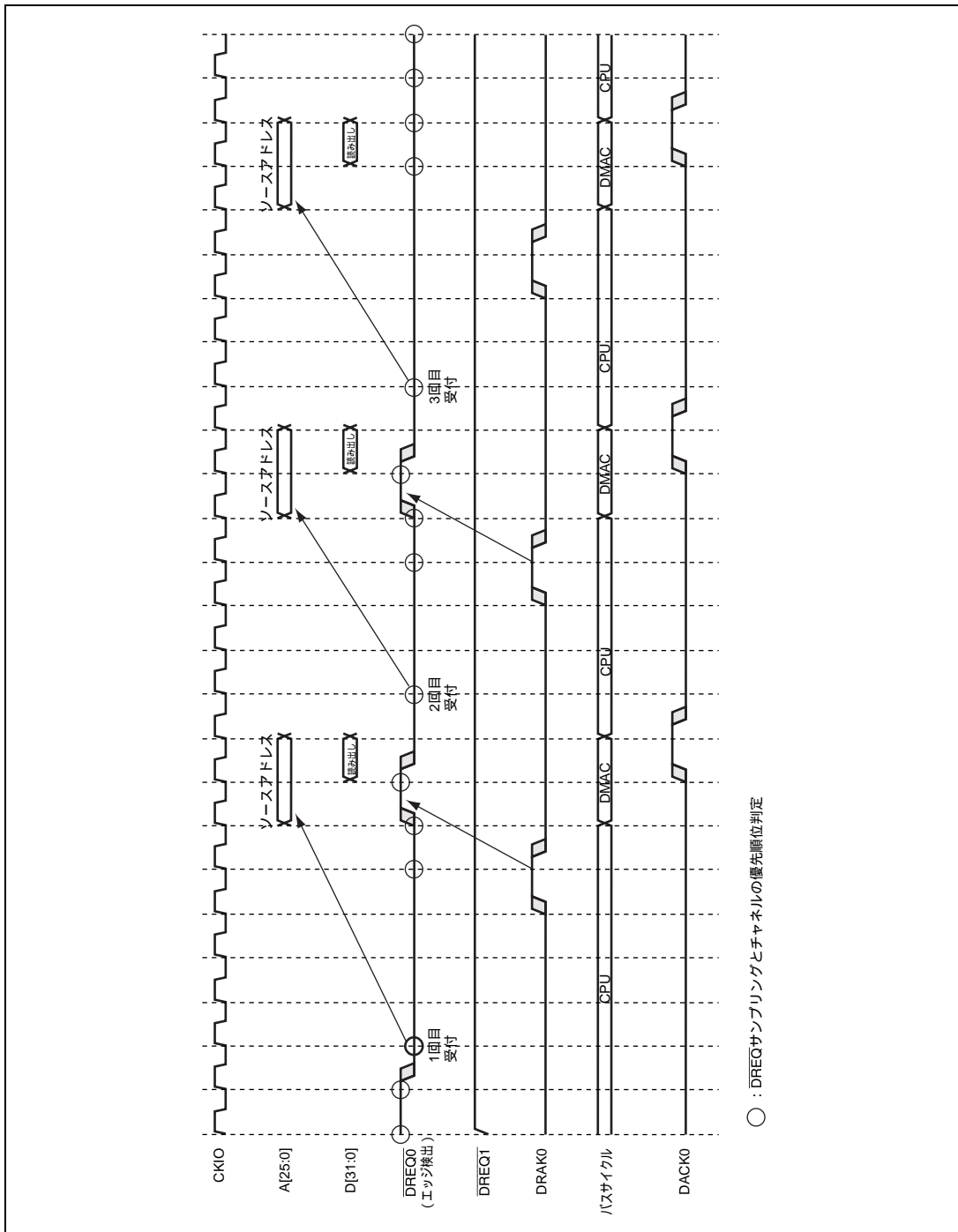


図 11.23 外部リクエスト2チャンネルモード時のシングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス / \overline{DREQ} (エッジ検出)

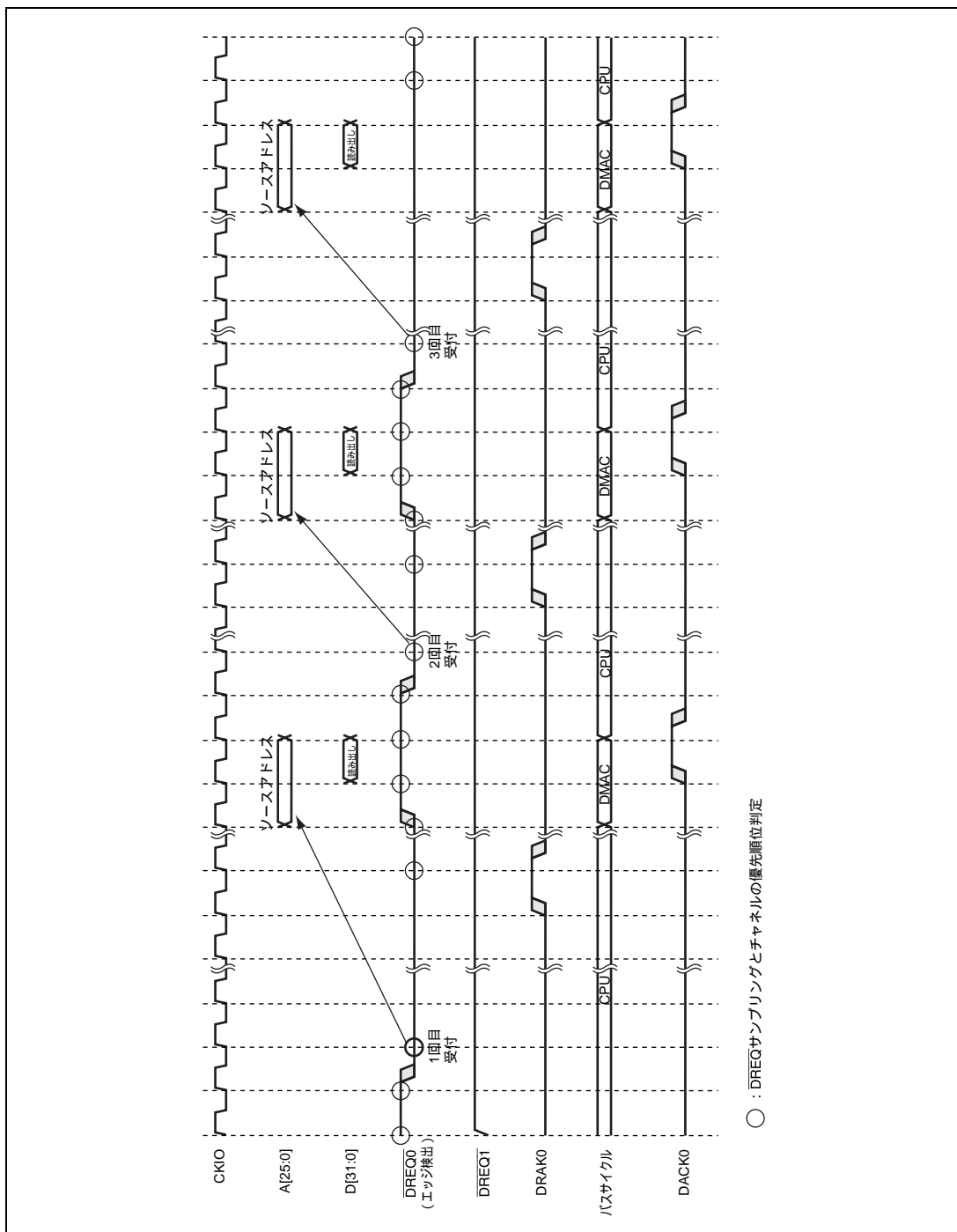


図 11.24 DMABRG モード時のシングルアドレスモード/サイクルスチールモード
外部バス 外部デバイス / \overline{DREQ} (エッジ検出)

11. ダイレクトメモリアクセスコントローラ (DMAC)

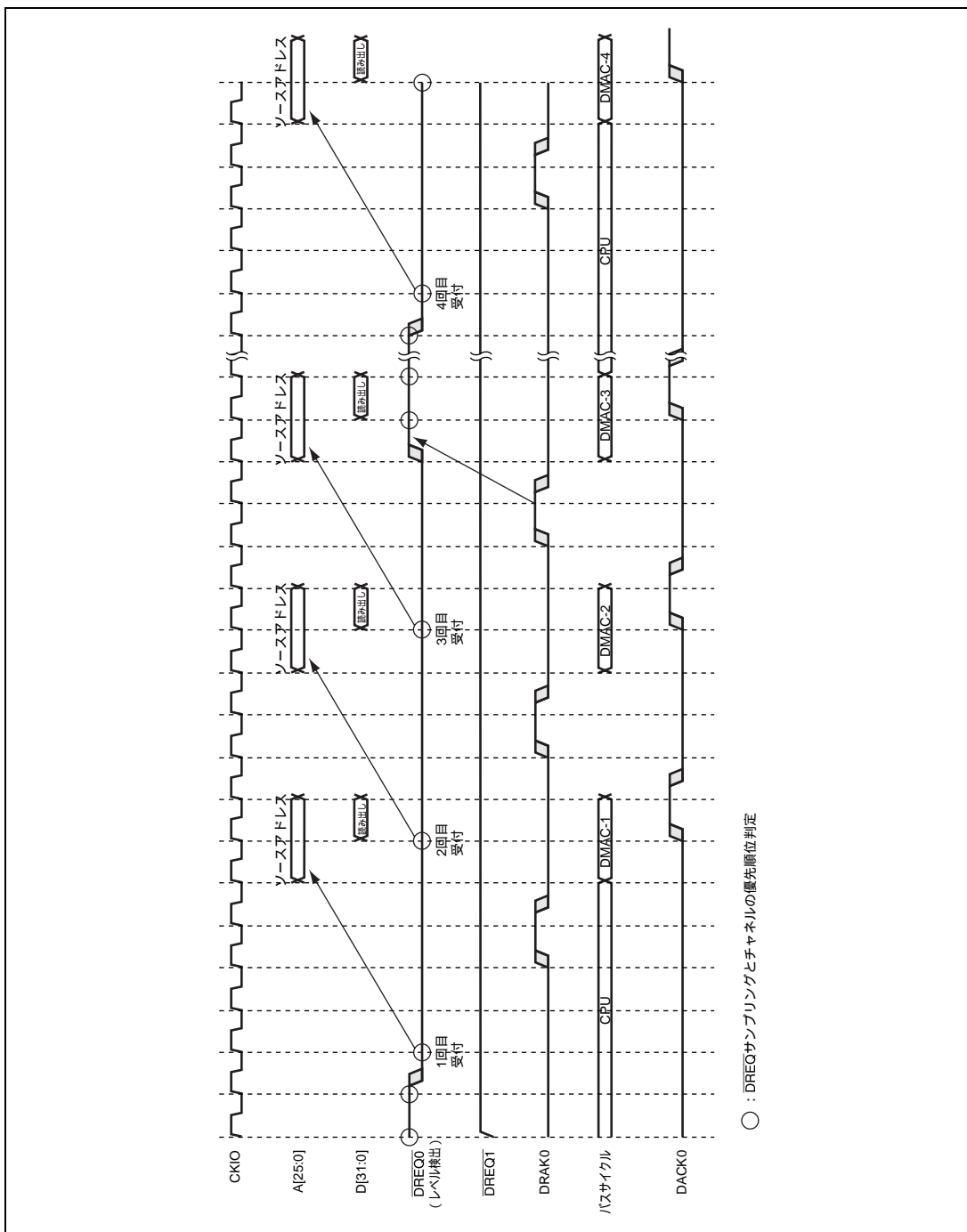


図 11.25 外部リクエスト2チャンネルモード時のシングルアドレスモード/バーストモード
外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)

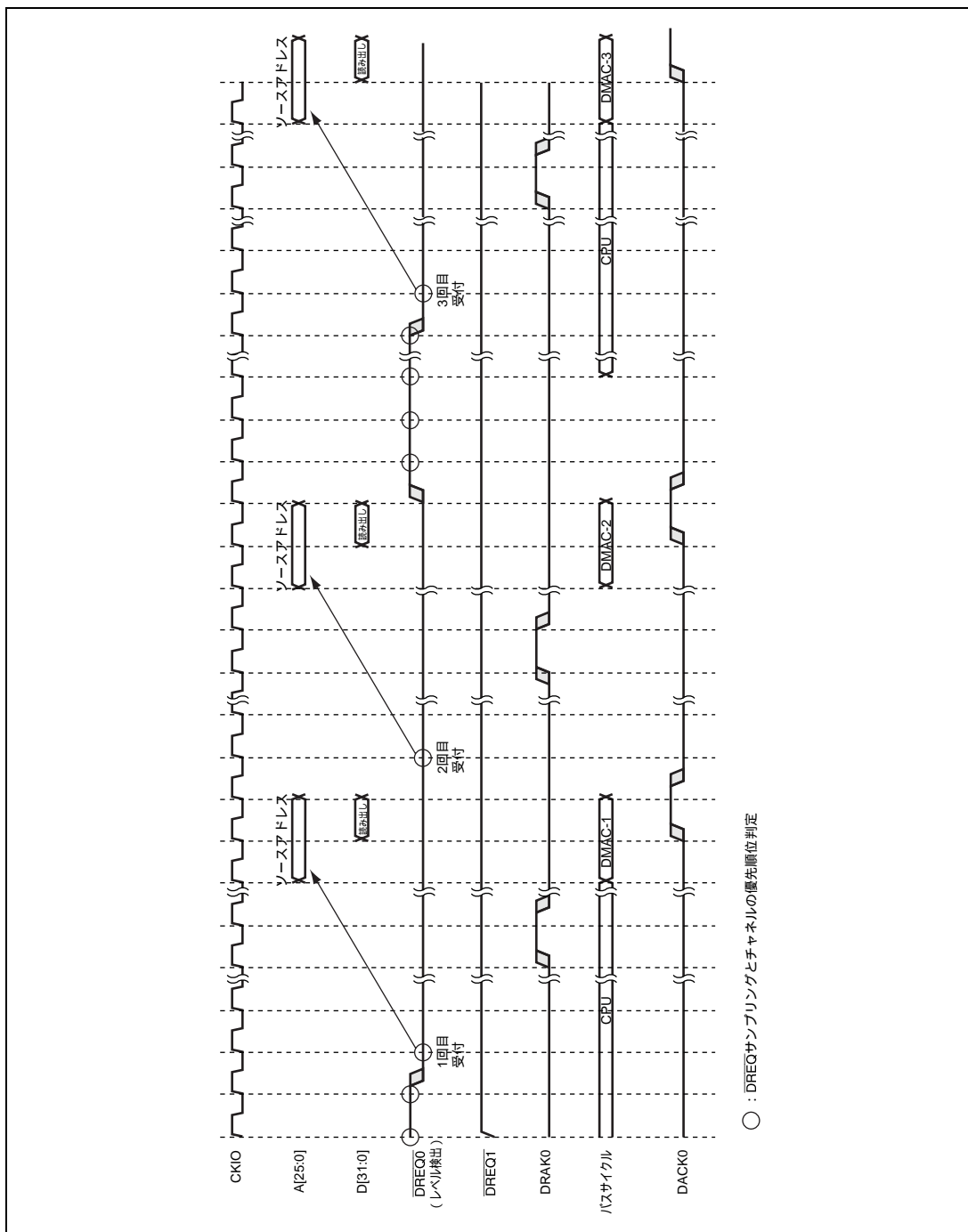


図 11.26 DMABRG モード時のシングルアドレスモード/バーストモード
外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)

11. ダイレクトメモリアクセスコントローラ (DMAC)

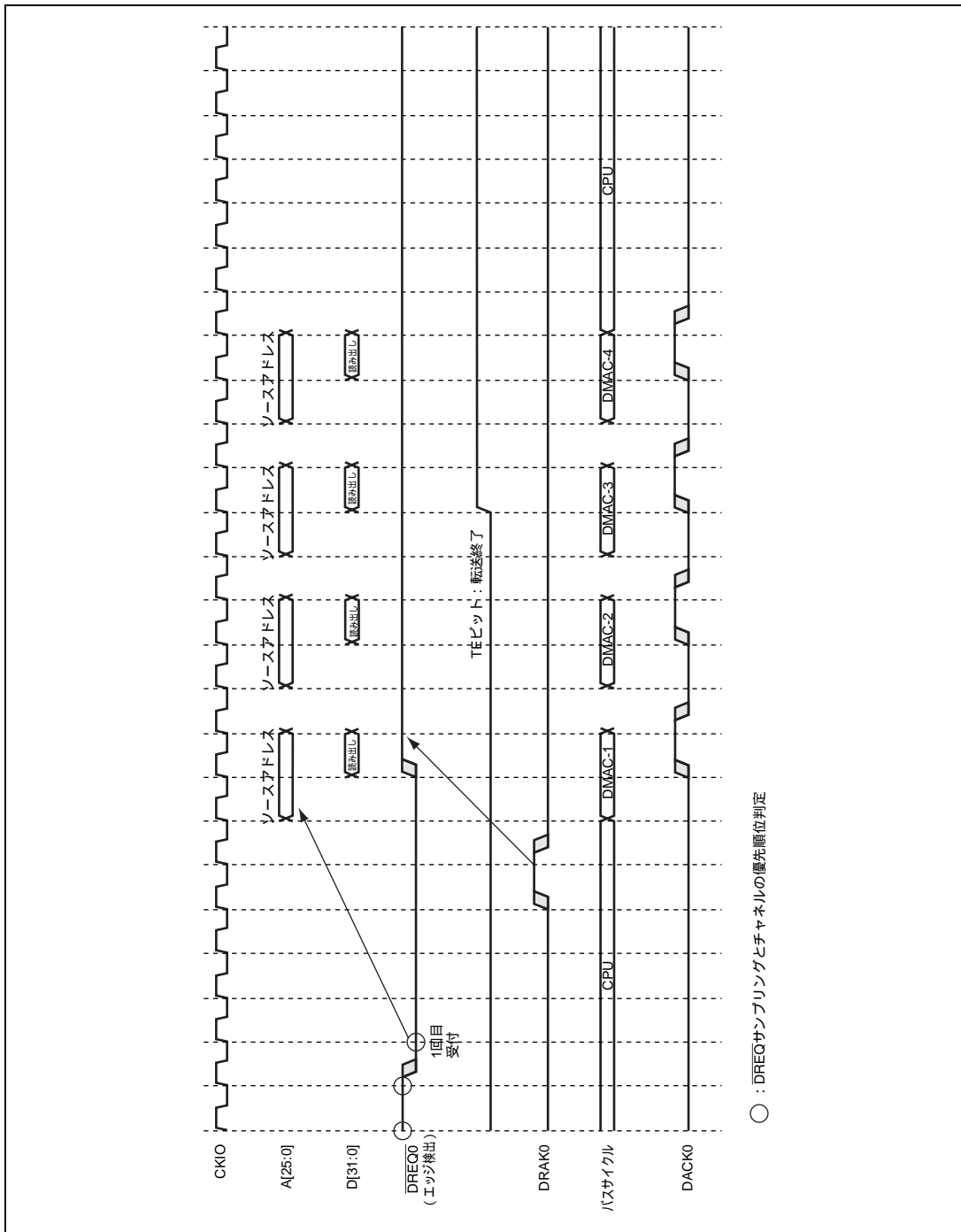


図 11.27 外部リクエスト2チャンネルモード時のシングルアドレスモード/パルスモード
外部バス 外部デバイス / DREQ (エッジ検出)

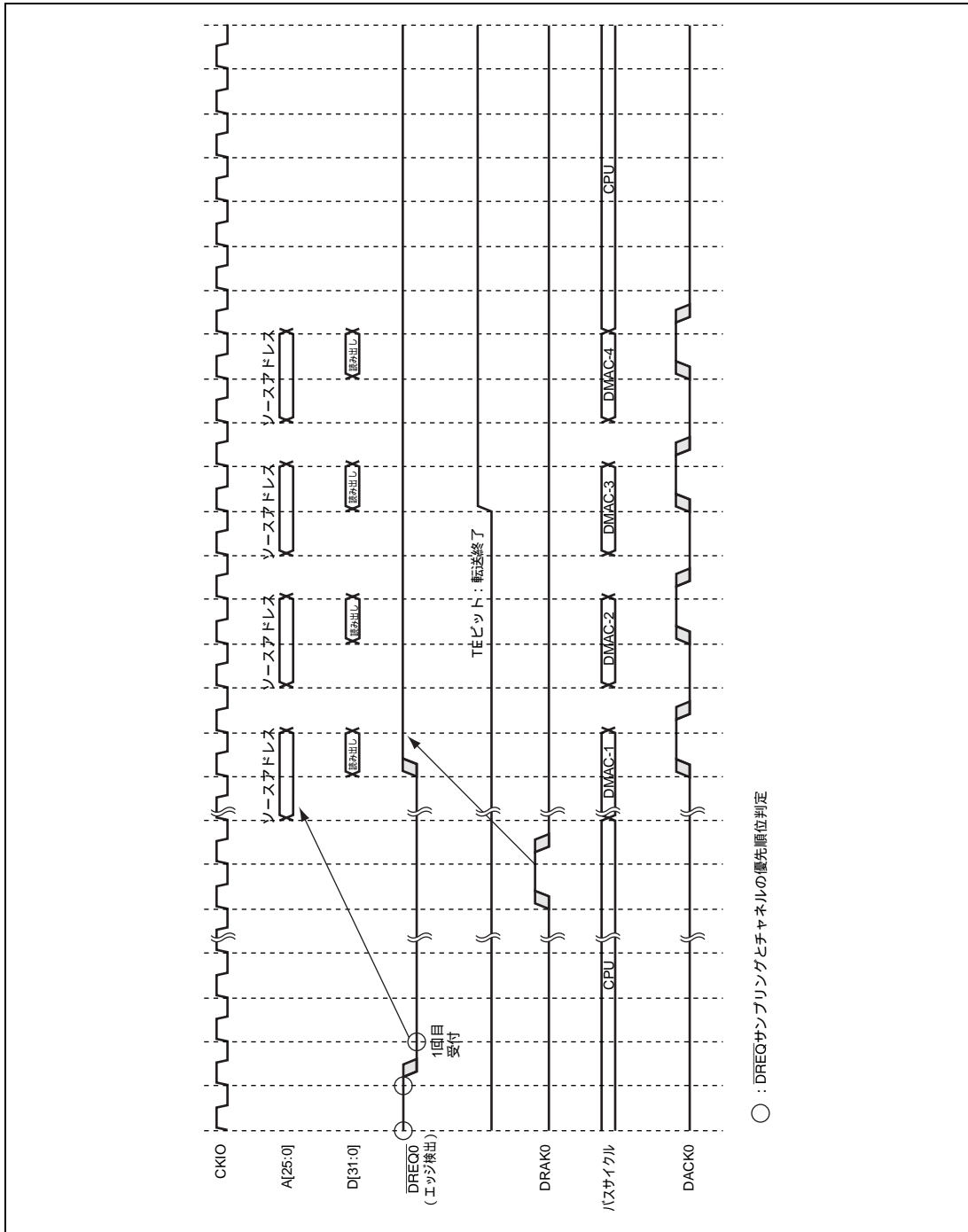


図 11.28 DMABRG モード時のシングルアドレスモード/バーストモード
外部バス 外部デバイス / DREQ (エッジ検出)

11. ダイレクトメモリアクセスコントローラ (DMAC)

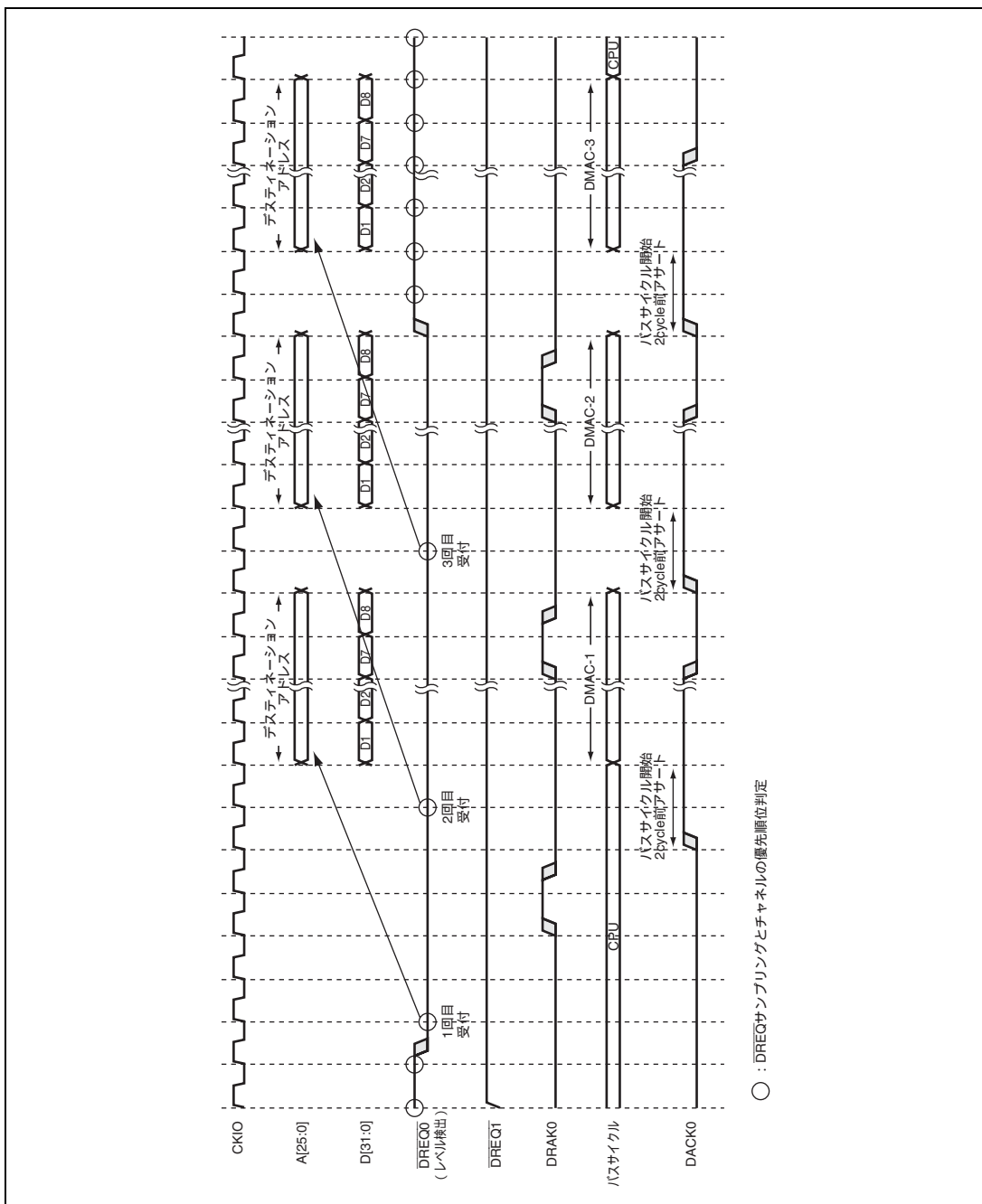


図 11.29 外部リクエスト2チャネルモード時のシングルアドレスモード / パーストモード
外部デバイス 外部バス / DREQ (レベル検出) / 32 バイトブロック転送
(バス幅 : 32 ビット、SDRAM : row hit write)

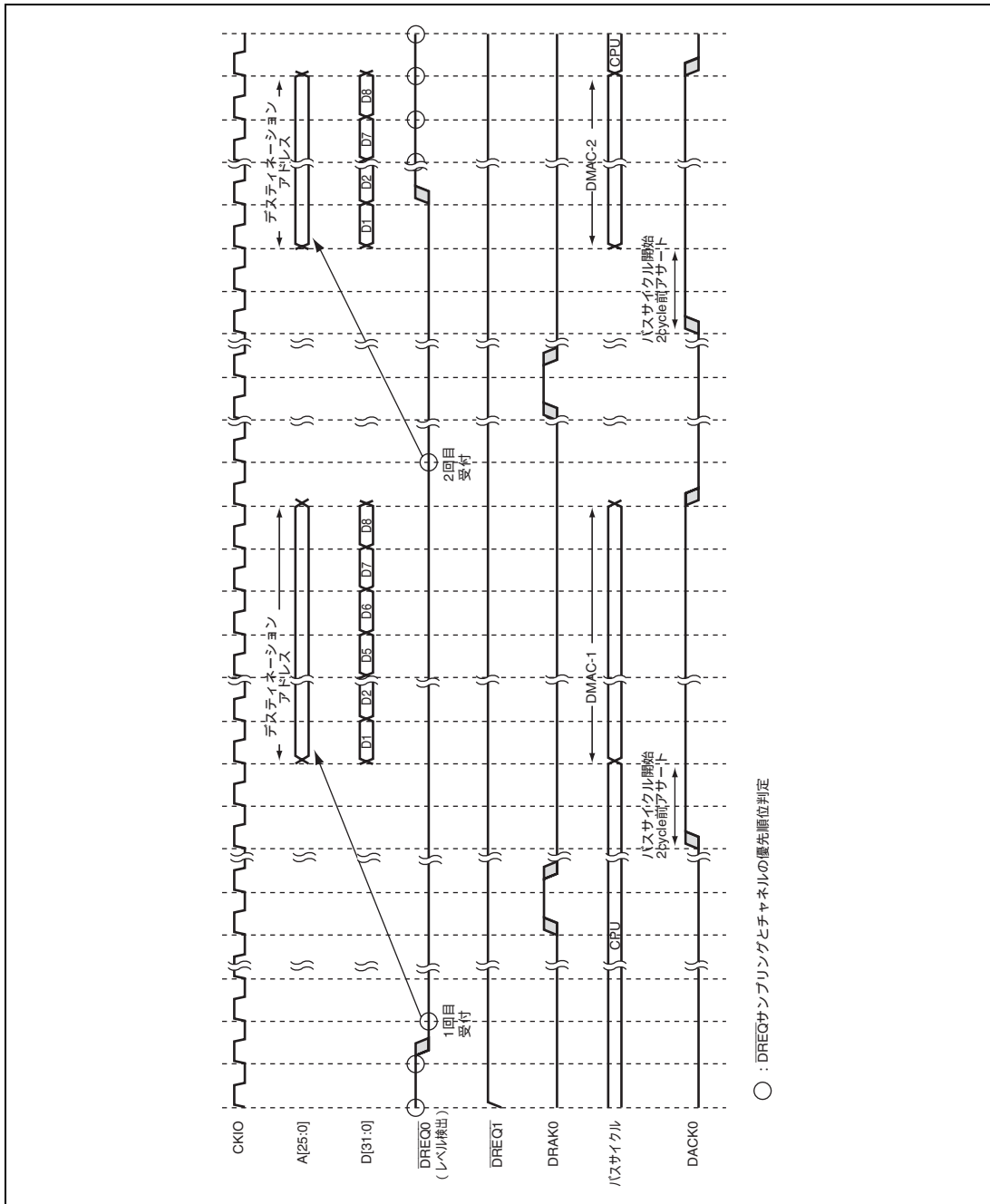


図 11.30 DMABRG モード時のシングルアドレスモード / バーストモード
外部デバイス 外部バス / DREQ (レベル検出) / 32 バイトブロック転送
(バス幅 : 32 ビット、SDRAM : row hit write)

11.4.6 DMA 転送終了

DMA 転送終了条件は、1 チャンルずつの終了と全チャンネルの同時終了とで異なります。転送終了においては、DMATCR の値が 0 になって終了する場合を除いて、以下の条件が適用されます。

1. サイクルスチールモード (外部リクエスト、周辺モジュールリクエスト、オートリクエスト)

DMACは転送終了条件が満たされると、転送終了条件が満たされるまでに受け付けたDMA転送要求のうち動作を開始したDMA転送が終了した後、動作を停止します。

サイクルスチールモードの場合、転送要求の検出方法がエッジでもレベルでも、動作は同じです。

2. パーストモード、エッジ検出 (外部リクエスト、DMABRGリクエスト、周辺モジュールリクエスト、オートリクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合、DMACに起動をかけるための転送要求は最初の1回だけですが、停止要求 (CHCR.DE=0、DMAOR.DME=0) のサンプリングを、「11.4.5 (3) 動作説明」の「パーストモード、シングルアドレス、エッジ検出」、「 $\overline{\text{DREQ}}$ レベル検出の場合のDMA転送中断」に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

3. パーストモード、レベル検出 (外部リクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合と同様に、停止要求 (CHCR.DE=0、DMAOR.DME=0) のサンプリングを「11.4.5 (3) 動作説明」の「パーストモード、シングルアドレス、エッジ検出」、「 $\overline{\text{DREQ}}$ レベル検出の場合のDMA転送中断」に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

4. 転送が中断されるバスタイミング

転送の中断は、DMA転送のバスサイクル単位の処理が終了したところで発生します。デュアルアドレスモード転送の場合、読み出しサイクル中転送終了条件が満たされても、続く書き込みサイクル処理は実行されます。また上記1、2、3.にあてはまる分の転送も実行した後動作が中断されます。

(1) チャンルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMATCRの値が0になる。
- CHCRのDEビットを0にクリアする。

1. DMATCR = 0による転送終了

DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCR.TEビットがセットされます。

このときIEビットがセットされていると、CPUに割り込み (DMTE) が要求されます (DMABRGリクエストのDMATCR = 0でのDMA転送終了時はCPUに割り込み (DMTE0) を要求できません)。

DMATCR = 0による転送終了の場合は、11.4.6の1、2、3、4.には従いません。

2. CHCRのDE=0による転送終了

CHCRのDEビットを0にクリアすると、対応するチャンネルのDMA転送が中断されます (DMABRGリクエストのDMA転送中は、CPUアクセスによるDEビットの0クリアは行わないでください)。この場合、TEビットは1にセットされません。この転送終了の場合は11.4.6の1、2、3、4に従います。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAORのAEビットまたはNMIFビットが1にセットされる。
- DMAORのDMEビットを0にクリアする。

1. DMAOR.AE = 1による転送終了

アドレスエラーが発生して、DMAORのAEビットが1になると、すべてのチャンネルのDMA転送が11.4.6の1、2、3、4の条件に従って中断されバス権をCPUに渡します。したがって、AE=1になったときには、SAR、DAR、DMATCRの値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、TEビットは1にセットされません。DMA転送を再開する場合は、まずアドレスエラーの原因となっているチャンネルの再設定を行ってください。次にリソースの変更がない場合もDMARSRA/DMARSRBの再設定が必要です。その後AE=1を読み出して、AE=0を書き込む必要があります。

AE=1の間は、外部リクエストの受付を中断しますので、再開する場合は、DMA転送要求を再度出してください。周辺モジュールリクエストの場合も受付を中断しますので、再開する場合は各周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。DMABRGリクエストの場合、DMABRGリセットが必要です。「11.6.2 DMABRGのリセット」の手順を参照してください。

2. DMAOR.NMIF = 1による転送終了

NMI割り込みが発生して、DMAORのNMIFビットが1になると、すべてのチャンネルのDMA転送が11.4.6の1、2、3、4の条件に従って中断されバス権をCPUに渡します。したがって、NMIF=1になったときには、SAR、DAR、DMATCRの値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、TEビットは1にセットされません。NMI割り込み例外処理終了後に、DMA転送を再開する場合は、まずAE=1の場合と同様に、リソースの変更がない場合もDMARSRA/DMARSRBの再設定を行った後、NMIF=1を読み出して、NMIF=0を書き込む必要があります。NMIF=1の間は、外部リクエストの受付を中断しますので、再開する場合は、DMA転送要求を再度出してください。周辺モジュールリクエストの場合も受付を中断しますので、再開する場合は各周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。DMABRGリクエストの場合、DMABRGリセットが必要です。「11.6.2 DMABRGのリセット」の手順を参照してください。

3. DMAOR.DME = 0による転送終了

DMAORのDMEビットを0にクリアすると、すべてのチャンネルのDMA転送が11.4.6の1、2、3、4の条件に従って中断されバス権をCPUに渡します。この場合は、TEビットは1にセットされません。DME=0になったときには、SAR、DAR、DMATCRの値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。再開する場合は、DME=1をセットしてください。続きから転送を再開します。

11. ダイレクトメモリアクセスコントローラ (DMAC)

(3) 転送終了時の注意事項

DMA 転送が終了したとき、リクエストが DMAC に保持されていることがあります。DMAC に保持されたリクエストをキャンセルする場合の例を以下に示します。

- 外部リクエスト

「11.4.2 DMA転送要求(2)外部リクエストモード」の「・外部リクエスト受け付け条件 5.」を参照してください。

- 周辺モジュールリクエスト

保持されたリクエストは、DMA転送を行うことで処理することができます。DMA転送終了時DMARCR.REX_n = 1であればリクエストはDMACに保持されています。処理例を以下に示します。

1. DMA転送終了後、DMARSRA、DMARSRBの当該チャンネルのリソース設定をH'00にしてください (H'80を書き込んでください)。
2. 当該チャンネルのDMARCRのREX_nビットを読み出してください。
REX_n = 0 : DMACはリクエストを受け付けて (保持して) いません
REX_n = 1 : DMACはリクエストを受け付けて (保持して) います 3.へ
3. DMARSRA、DMARSRBの当該チャンネルのリソース設定をH'7Fにしてください (H'FFを書き込んでください)。
4. 当該チャンネルのSAR_nに外部アドレス空間 (下位6ビットは32ビット境界)、DAR_nにP4アドレスH'FE090020を設定してください。
5. 当該チャンネルのDMATCR_nにH'0000 0001を設定してください。
6. 当該チャンネルのCHCR_n.DM[1:0]およびSM[1:0] = 00、CHCR_n.RS[3:0] = 0111に設定してください。
7. 当該チャンネルのCHCR_n.TE = 0にすることでDMACに保持されていたリクエストによりDMA転送が行われます。
8. 当該チャンネルのDMARCR.REX_n = 0を確認してください。

【注】 DMAOR.AE = 1またはDMAOR.NMIF = 1でDMA転送が終了した場合、DMARCR.REX_n = 1であってもリクエストがクリアされていることがあります。この場合は(2)全チャンネル同時の転送終了の説明「2. DMAOR.NMIF = 1による転送終了」、および「3. DMAOR.AE = 1による転送終了」を参照してください。

11.4.7 割り込み要求コード

DMATCR で指定した回数の転送が終了したとき、CHCR の IE ビットが 1 ならば、転送終了割り込み要求を CPU に対し、各チャンネルごとに発生することができます。発生した DMAC の割り込みを示す割り込み要求コードを表 11.10 に示します。

表 11.10 DMAC 割り込み要求コード

割り込み要因	意味	INTEVT コード	優先順位
DMTE0	CH0 転送終了割り込み*	H'640	高  低
DMTE1	CH1 転送終了割り込み	H'660	
DMTE2	CH2 転送終了割り込み	H'680	
DMTE3	CH3 転送終了割り込み	H'6A0	
DMTE4	CH4 転送終了割り込み	H'780	
DMTE5	CH5 転送終了割り込み	H'7A0	
DMTE6	CH6 転送終了割り込み	H'7C0	
DMTE7	CH7 転送終了割り込み	H'7E0	
DMAE	アドレスエラー割り込み	H'6C0	
DMABRG10	USB アドレスエラー割り込み	H'A80	
DMABRG11	全数データ転送終了割り込み	H'AA0	
DMABRG12	半数データ転送終了割り込み	H'AC0	

【注】 * DMABRG モードで DMABRG を使用しているときは、CH0 転送終了割り込みを発生させることができません。

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.5 使用例

11.5.1 外部メモリと DACK 付外部デバイスとの転送例

(1) 外部リクエスト 2 チャンネルモードの場合

外部リクエスト 2 チャンネルモードで、外部メモリ上のデータを DMAC のチャンネル 1 を使用して DMAC 付外部デバイスに転送する例を考えます。

表 11.11 (1) に、転送条件と各レジスタの設定値を示します。

表 11.11 (1) 外部メモリと DACK 付外部デバイス間転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR1	H'0C00 0000
転送先：DACK 付外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'0000 0020
転送元アドレス：減少	CHCR1	H'0000 22A5*
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
外部リクエスト 2 チャンネルモード	DMAOR	H'0000 0201
チャンネル優先順位：2>0>1>3>4>5>6>7		

【注】 * 外部リクエスト 2 チャンネルモードで DMA 転送要求元が $\overline{\text{DREQ1}}$ の場合、DMA 転送要求を受け付けるのは、チャンネル 1 に限られます ($\overline{\text{DREQ0}}$ を受け付けるのはチャンネル 0 に限られます)。

11. ダイレクトメモリアクセスコントローラ (DMAC)

(2) DMABRG モードの場合

DMABRG モードで、外部メモリ上のデータを DMAC のチャンネル 1 を使用して DACK 付外部デバイスに転送する例を考えます。

表 11.11 (2) に、転送条件と各レジスタの設定値を示します。

表 11.11 (2) 外部メモリと DACK 付外部デバイス間転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR1	H'0C00 0000
転送先：DACK 付外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'0000 0020
転送元アドレス：減少	CHCR1	H'0000 22A5*1 (書き込み時、H'0000 22AD*2)
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出	DMARCR	H'0003 0040
バスモード：バースト	DMARSRA	H'0011 0000 (書き込み時、H'0091 0000*3)
転送単位：ワード		
リクエスト受付優先順位：ラウンドロビン		
転送終了時に割り込み要求なし		
DMABRG モード	DMAOR	H'0000 C201
チャンネル優先順位：2 > 0 > 1 > 3 > 4 > 5 > 6 > 7		

【注】 *1 DMABRG モードで、転送要求元が DREQ0 ~ DREQ3 の場合、任意のチャンネルで DMA 転送を受け付けることができます (DMABRG モードで DMA 転送実行チャンネルに制限があるのは、DMABRG リクエストのみです)。

*2 DMABRG モードで、CHCRn を設定する場合、必ず CHSET ビットに 1 を書き込むようにしてください。

*3 DMARSRA、DMARSRB を設定する場合、必ず当該チャンネルの CHnWEN ビットに 1 を書き込むようにしてください。

11.6 DMABRG 動作説明

DMABRG は、LCDC、HAC、SSI、USB のそれぞれに独立した FIFO (32 ビット 16 段) を内蔵しており、LCDC、HAC、SSI、USB とシンクロナス DRAM 間の DMA 転送を行います。DMABRG が行う 1 回の DMA の最大データ転送サイズは 32 バイトです。

11.6.1 DMABRG リクエスト

DMABRG を用いた DMA 転送は、チャンネル 0 を用いて行います。DMABRG リクエストは LCDC、HAC、SSI、USB のそれぞれ独立した FIFO (32 ビット 16 段) から発生します。DMABRG に接続された LCDC、HAC、SSI、USB は同時に動作させることができます。

LCDC または DMABRG レジスタの設定に従って、CHCR0*、SAR0、DAR0 が自動的に設定されます。CHCR0、SAR0、DAR0 の CPU による設定 (書き換え) は必要ありません。

【注】 * CPU から CHCR0.DE=1 の設定を行うとアドレスエラー (DMAOR.AE=1) が発生し DMAC が停止することがあります。DMABRG リクエストを使用するとき、CHCR0.DE=1 の設定は CPU では行わないでください。

11.6.2 DMABRG のリセット

本 LSI の DMAC は、以下の状況が起こった場合、DMA 転送を中断します。

- (1) NMI 割り込みが発生したとき
- (2) DMA アドレスエラーが起こったとき

DMABRG (LCDC、HAC、SSI、USB) を使用中、上記により DMA 転送の中断が発生した場合、DMABRG をリセット (CHCR.CHSET=1) し、DMAC レジスタを再設定*の上、再起動する必要があります。

DMABRG のリセットは、DMAPCR の BRGRST ビットに 1 を書き込むことで行われます。リセットを解除するときは、再び BRGRST ビットに 0 を書き込んでください。DMABRG をリセットすることにより、HAC、SSI、USB、LCDC の DMA 転送を強制的に終了します。このとき、転送終了割り込みは発生しません。

DMABRG リセットを行うと、以下のレジスタがパワーオンリセット後の状態に初期化されます。

- DMABRGCR
- DMAACR
- DMAUSAR
- DMAUDAR
- DMAURWSZ
- DMAUCR

DMABRG リセットを行うと、以下のレジスタの値は不定となります。

- DMAATXSAR (0/1)
- DMAARXDAR (0/1)
- DMAATXTCR (0/1)
- DMAARXTCR (0/1)
- DMAATXTCNT (0/1)

- DMAARXCNT (0/1)

BRGRST ビットが1の状態では、HAC、SSI、USB、LCDC および DMAC の各レジスタ (DMAPCR を除く) にアクセスしないでください。アクセスした場合の動作は保証しません。

【注】 * DMAC を再起動 (DMA 転送を再開) する場合の DMAC レジスタ再設定の前に、必ず CHCR0.CHSET=1 を書き込んでください。

11.6.3 HAC および SSI における DMA 転送の動作モード

本 LSI は、音声コーデックのインタフェースを 2 系統搭載しています。音声コーデックのインタフェースには、HAC と SSI から選択して割り当てることが可能です。PFC の、IPSELR の IPSELR11 および IPSELR10 ビットの組み合わせにより決定されます。詳細については「24.2.35 周辺モジュールセレクトレジスタ (IPSELR)」を参照してください。

HAC および SSI の DMA の構成を図 11.31 に示します。本 LSI は、音声コーデックからの DMA 転送要求に対して、DMAC のチャンネル 0 を用いてデータを転送します。それぞれの入出力に 32 バイト 2 面の FIFO を備え、シンクロナス DRAM と音声コーデックとの間で転送を行います。

送受信される音声データはシンクロナス DRAM の送受信バッファに格納されます。送受信バッファは、先頭アドレスを DMAARXDAR または DMAATXSAR に、転送バイト数を DMAARXTCR または DMAATXTCR に設定することで構成されます。

転送サイズの半分が終了した時点 (A0TXH/A0RXH/A1TXH/A1RXH 割り込み)、またはすべて終了した時点 (A0TXE/A0RXE/A1TXE/A1RXE 割り込み) で割り込みを発生させることができます。送受信バッファの半分ずつを切り替えて使用することで音声データのダブルバッファ制御が可能です。

DMAARXDAR、DMAATXSAR、DMAARXTCR、DMAATXTCR はオートリロード機能を備えています。オートリロード機能により同一バッファを繰り返し使用するとき、レジスタの再設定を省略することができます。

11. ダイレクトメモリアクセスコントローラ (DMAC)

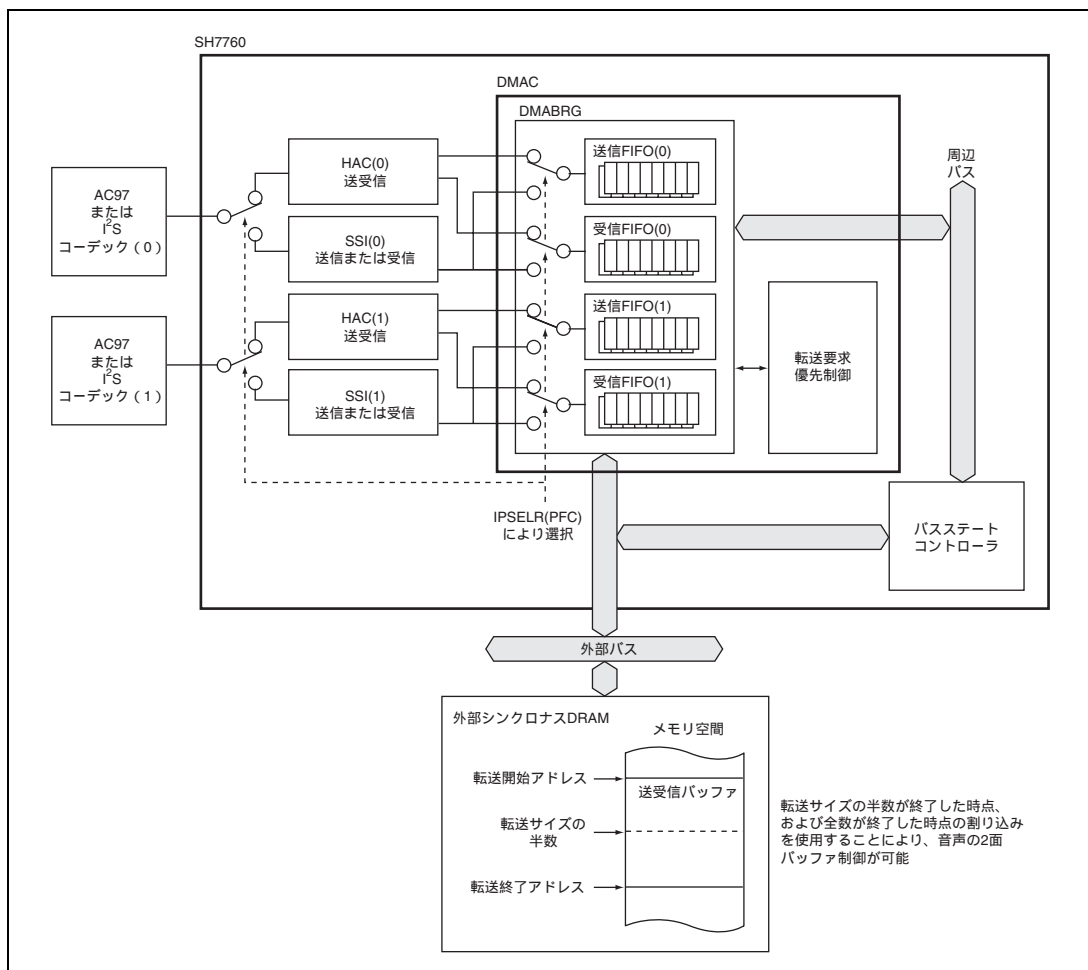


図 11.31 HAC/SSI DMA の構成

11.6.4 DMA AUDIO 受信動作

DMA 転送により音声データを受信する場合、DMAOR の DMS1 および DMS0 ビットを使用して DMABRG モードに設定し、DMARSRA、DMARCR によって転送要求元およびリクエスト受付優先順位を設定する必要があります。その後、DMAARXDAR に受信する音声データを格納する受信バッファの先頭番地を、DMAARXTCR に転送バイト数を設定し、DMAACR の RDE ビットに 1 を書き込むことにより起動します。

11.6.5 DMA AUDIO 送信動作

DMA 転送により音声データを送信する場合、DMAOR の DMS1 および DMS0 ビットを DMABRG モードに設定し、DMARSRA、DMARCR によって転送要求元およびリクエスト受付優先順位を設定する必要があります。その後、DMATXSAR に送信する音声データが格納されている送信バッファの先頭番地を、DMAATXTCR に転送バイト数を設定し、DMAACR の TDE ビットに 1 を書き込むことにより起動します。

11. ダイレクトメモリアクセスコントローラ (DMAC)

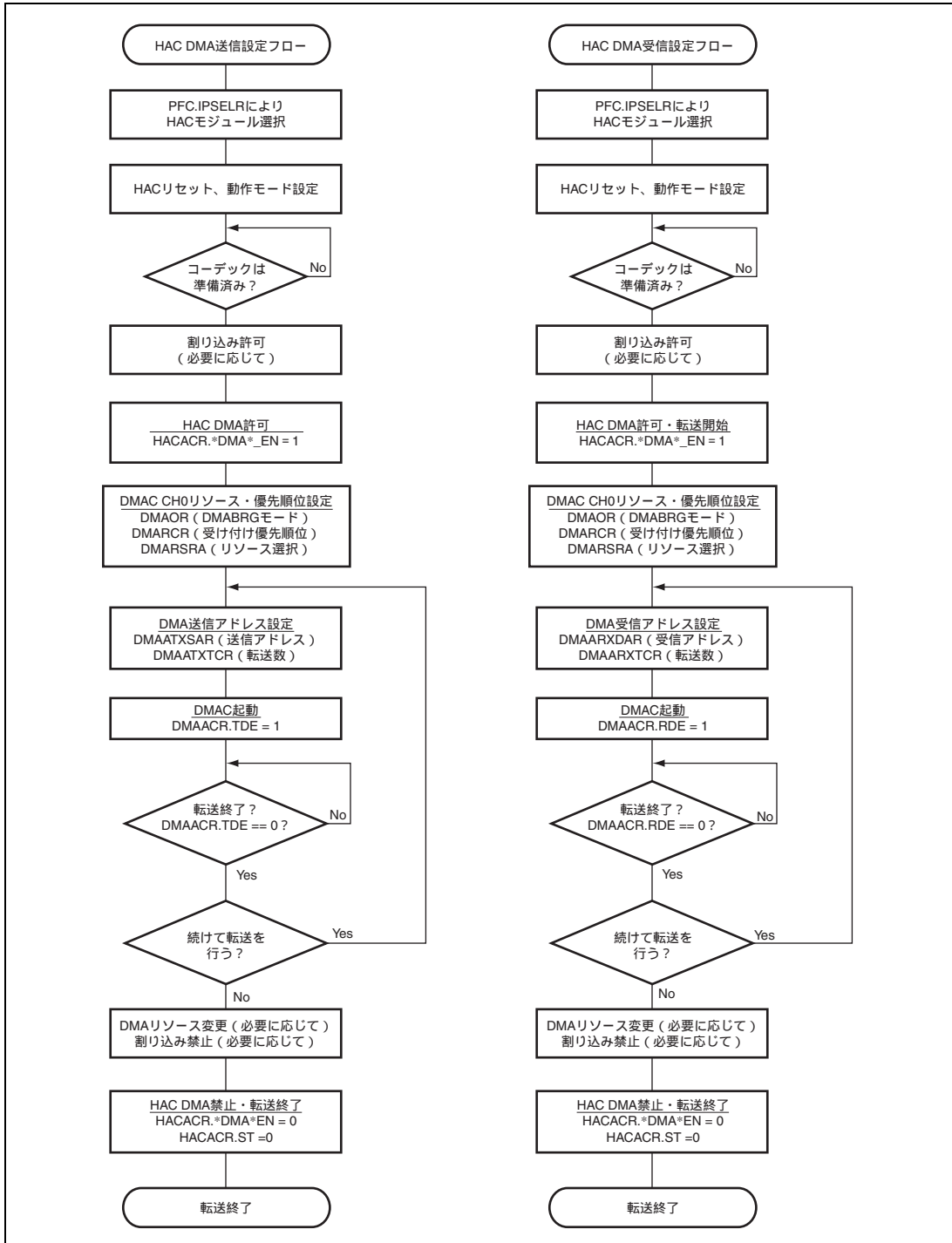


図 11.32 HAC 設定フロー例

11. ダイレクトメモリアクセスコントローラ (DMAC)

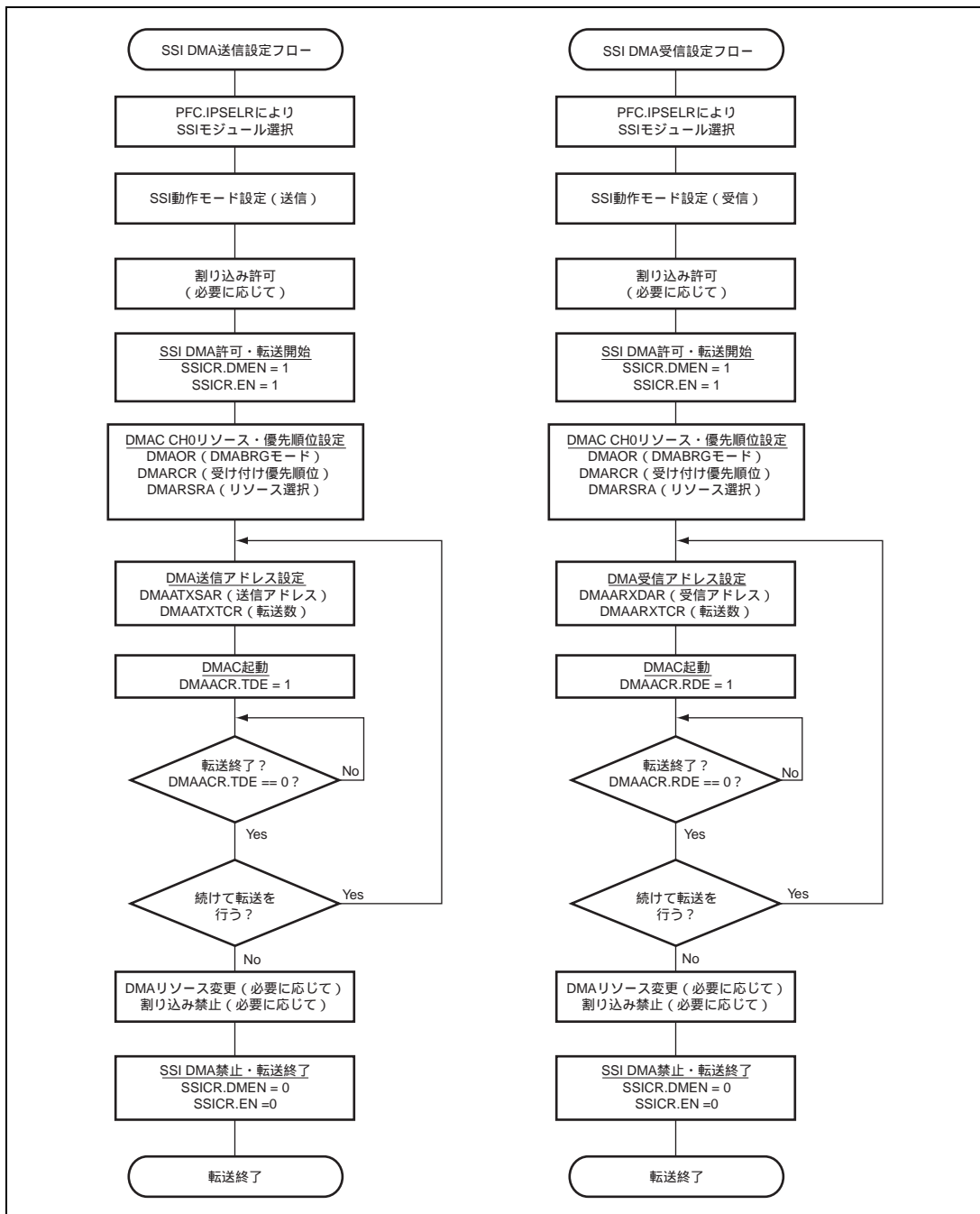


図 11.33 SSI 設定フロー例

11.6.6 オートリロード機能

HAC および SSI の DMA 転送は、DMAATXTCR または DMAARXTCR に設定されたバイト数の DMA 転送が完了した時点で停止します。DMA 転送が完了した時、DMAARXDAR または DMAATXSAR からは最初に設定した値が読み出されます。再び同一アドレスから同一の転送バイト数で転送を開始する場合は、DMAACR の起動ビット (RDE ビットまたは TDE ビット) に 1 を書き込むことで再起動できます。DMAARXDAR または DMAATXSAR の再設定は必要ありません。

DMAACR のオートリロード設定 (RAR ビットまたは TAR ビット) を 1 に設定していると、自動的に再起動が行われ、送受信バッファと音声コーデックとの間で繰り返し転送が行われます。

オートリロード機能が有効のときに DMA 転送を終了する場合、DMAACR の DMA 強制終了ビット (RDS ビットまたは TDS ビット) に 1 を書き込むことで転送を終了することができます。

11.6.7 DMA AUDIO の強制終了

DMA 転送中、DMAATXTCR または DMAARXTCR に設定されたバイト数の DMA 転送が完了していない段階で DMA 転送を終了したい場合、DMAACR の DMA 強制終了ビット (RDS ビットまたは TDS ビット) に 1 を書き込んでください。強制終了の場合でも転送終了割り込みは発生します。

強制終了した場合、DMA 転送の残りのバイト数は、DMAATXTCNT または DMAARXTCNT を読むことで知ることができます。DMA AUDIO 転送カウンタは、DMA 起動時 (DMAACR の RDE ビットまたは TDE ビットに 1 を書き込んだとき) に DMAATXTCR または DMAARXTCR の値がロードされ、DMA 転送が行われる度にデクリメントされます。強制終了後に DMA 転送を再開する際には、転送カウンタにより進捗を確認し、スタートアドレスおよび転送バイト数を再設定して再起動してください。

DMA AUDIO は FIFO を備えるため、強制終了時、これまで受信したデータがすべて受信バッファに書き込まれているとは限りません。書き込みの完了は、DMAACR の強制終了ビット (RDS ビット) を読み出した値が 0 になったことで確認できます。

RDS または TDS ビットが 1 の状態でレジスタを再設定しても DMA は再起動されません。強制終了させる場合、対応する SSI または HAC の DMA 許可ビットを 0 にしてから行ってください。

図 11.34 に強制終了の手順を示します。

11. ダイレクトメモリアクセスコントローラ (DMAC)

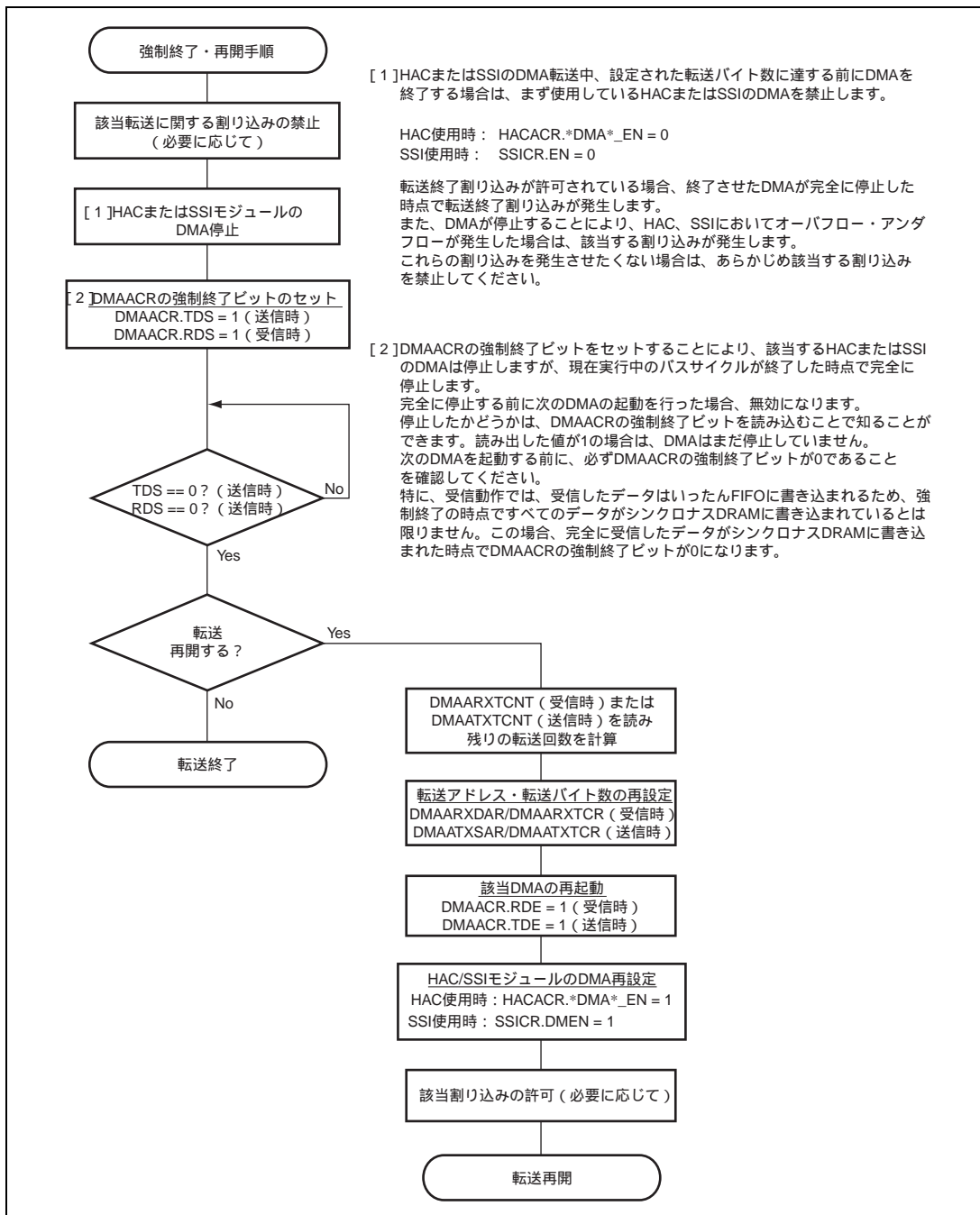


図 11.34 DMA AUDIO 強制終了および再開手順

11. ダイレクトメモリアクセスコントローラ (DMAC)

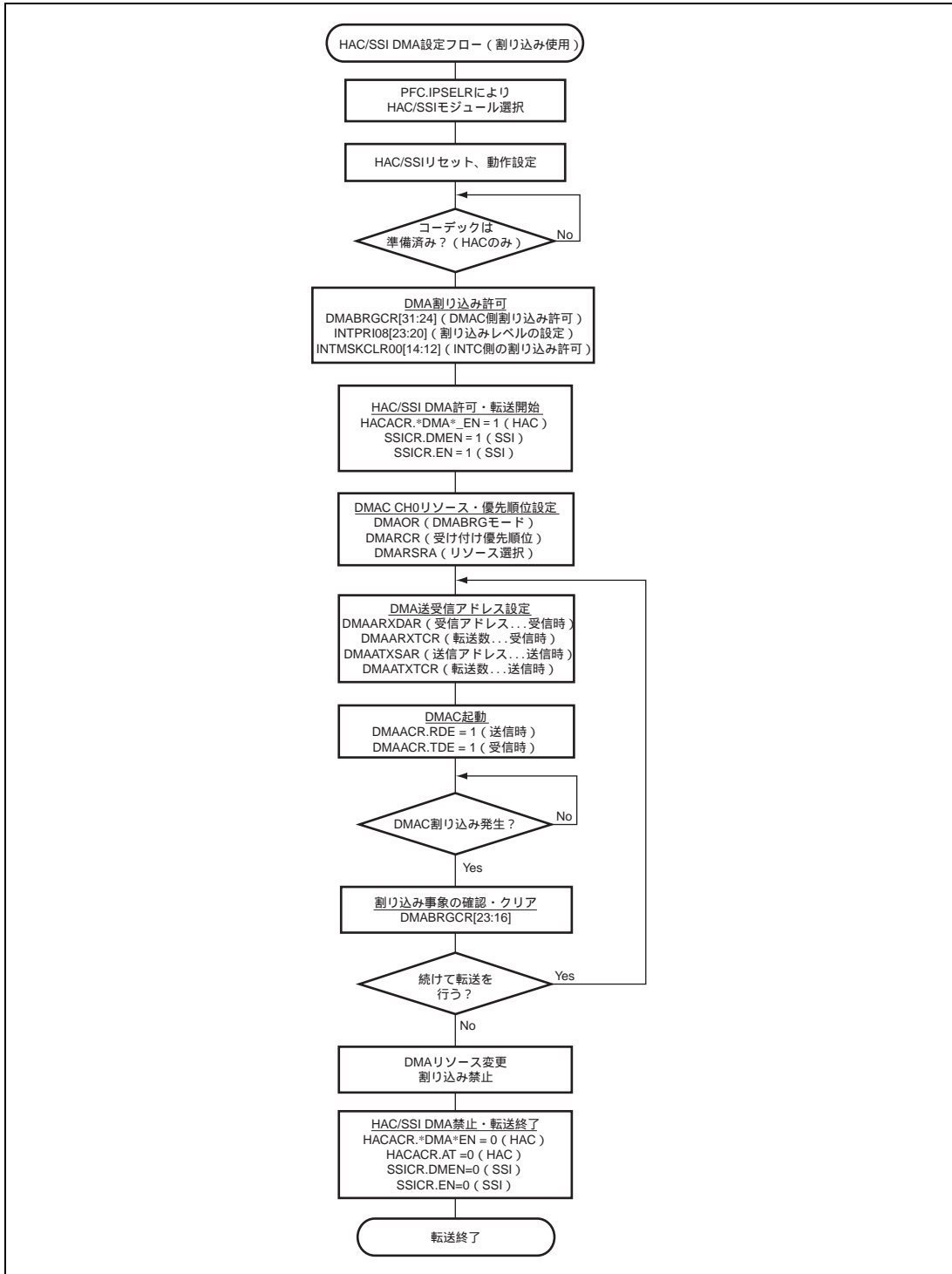


図 11.35 割り込みを使用した HAC/SSI DMA 設定フロー

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.6.8 音声データのダブルバッファ制御

転送終了割り込みには以下の 2 種類があります。

- A0TXH/A0RXH/A1TXH/A1RXH (半数データ転送終了割り込み)
DMAARXTCR/DMAATXTCRに設定された転送バイト数の半数のDMA転送が終了した時点で割り込みが発生します。*1*2
- A0TXE/A0RXE/A1TXE/A1RXE (全数データ転送終了割り込み)
DMAARXTCR/DMAATXTCRに設定された転送バイト数のDMA転送が終了した時点で割り込みが発生します。

半数データ割り込みおよび全数データ割り込みを使用することにより、送受信バッファの半数のDMA転送を行っている間に、残り半分の送受信バッファはCPUによりアクセス可能であるため、連続する音声データを効率よく転送できます。*3

また、オートリロード機能 (DMAACR.TAR/DMAACR.RAR) を有効にすることにより、2 回目以降のレジスタ設定を省略できます。

- 【注】
- *1 DMAARXTCR/DMAATXTCR に設定された転送バイト数が 4 バイトの場合は、半数データ転送終了割り込みは発生しません。
 - *2 DMAARXTCR/DMAATXTCR に設定された転送バイト数が $8n+4$ バイト (n は 1 以上の整数) の場合 (転送回数は奇数) に、 $n+1$ 回の転送が終了した時点で半数データ転送終了割り込みが発生します。
 - *3 HAC/SSI の DMABRG は FIFO を備えており、送信時最大 64 バイト分のデータを先読みします。音声データ送信時、転送バイト数の半数が、64 バイト未満の場合、半数割り込みが発生した時点で、残り半数のバッファを FIFO にすでに読み込んでいることがあります。半数割り込みによるダブルバッファ制御を行う場合は、シンクロナス DRAM 上の送受信バッファサイズを 128 バイト以上の十分大きな領域に設定してください。

11.6.9 HAC/SSI のエンディアン変換機能

HAC または SSI は、送受信バッファとの間で 32 ビットのロングワード単位でデータをやり取りします。32 ビットに満たないデータの DMA 転送では、MD5 端子で設定されたエンディアンによってはシンクロナス DRAM 上の送受信バッファに格納された音声データの並びと DMA 転送順が異なるエンディアン問題が発生することがあります。

(1) SSI において 8 ビットデータを転送する場合

SSI で 8 ビットのバイトサイズの音声データを扱う場合、図 11.36 のように最初に送受信される左チャンネルのデータが[7:0]、右チャンネルのデータが[15:8]、その次の左チャンネルのデータが[23:16]というように、下位バイトから順番に入出力されます。この場合、ビッグエンディアンモード (MD5=0) では、シンクロナス DRAM 上の送受信バッファ上のアドレスの若いバイトを下位バイトにアラインする変換 (DMAACR.TAM[1:0]/DMAACR.RAM[1:0] = 01) が必要になります。

11. ダイレクトメモリアクセスコントローラ (DMAC)

スロットデータ	[31:24]	[23:16]	[15:8]	[7:0]	スロットデータ	[31:24]	[23:16]	[15:8]	[7:0]
送受信データ	R1	L1	R0	L0	送受信データ	R1	L1	R0	L0
外部バス	[31:24]	[23:16]	[15:8]	[7:0]	外部バス	[31:24]	[23:16]	[15:8]	[7:0]
メモリ上のアドレス	+0	+1	+2	+3	メモリ上のアドレス	+3	+2	+1	+0
TAM[1:0]/RAM[1:0] = 01	L0	R0	L1	R1	TAM[1:0]/RAM[1:0] = 00	R1	L1	R0	L0

ビッグエンディアン時 (変換必要) リトルエンディアン時 (変換不要)

図 11.36 SSI において 8 ビットデータを転送する場合

(2) HAC/SSI において 16 ビットデータを転送する場合

HAC/SSI で 16 ビットのワードサイズの音声データを扱う場合、以下のように最初に送受信される左チャンネルのデータが[15:0]、右チャンネルのデータが[31:16]というように、下位ワードから順番に入出力されます。この場合、ビッグエンディアンモード (MD5 = 0) では、シンクロナス DRAM 上の送受信バッファ上のアドレスの若いワードを下位ワードにアラインする変換 (DMAACR.TAM[1:0]/DMAACR.RAM[1:0] = 10) が必要になります。

スロットデータ	[31:24]	[23:16]	[15:8]	[7:0]	スロットデータ	[31:24]	[23:16]	[15:8]	[7:0]		
送受信データ	R			L		送受信データ	R			L	
外部バス	[31:24]	[23:16]	[15:8]	[7:0]	外部バス	[31:24]	[23:16]	[15:8]	[7:0]		
メモリ上のアドレス	+0		+2		メモリ上のアドレス	+2		+0			
TAM[1:0]/RAM[1:0] = 10	L		R		TAM[1:0]/RAM[1:0] = 00	R		L			

ビッグエンディアン時 (変換必要) リトルエンディアン時 (変換不要)

図 11.37 HAC/SSI において 16 ビットデータを転送する場合

11.6.10 左右チャンネルの入れ替え

HAC で 16 ビットのワードサイズの音声データを扱う場合、上位ワードに左チャンネル、下位ワードに右チャンネルにデータがアラインされて転送されます。

しかし SSI で 16 ビットの音声データを扱う場合は上位ワードに右チャンネル、下位ワードに左チャンネルのデータがアラインされ、相互にデータを転送する際には注意が必要です。DMA 転送において音声データを送受信する場合には、片方のチャンネルの DMAACR.TAM[1:0]/DMAACR.RAM[1:0] = 10 に設定することにより、アラインを調節することが可能です。

11. ダイレクトメモリアクセスコントローラ (DMAC)

11.6.11 LCDC における DMA 転送の動作モード

図 11.38 に LCDC の DMA 転送フローを示します。

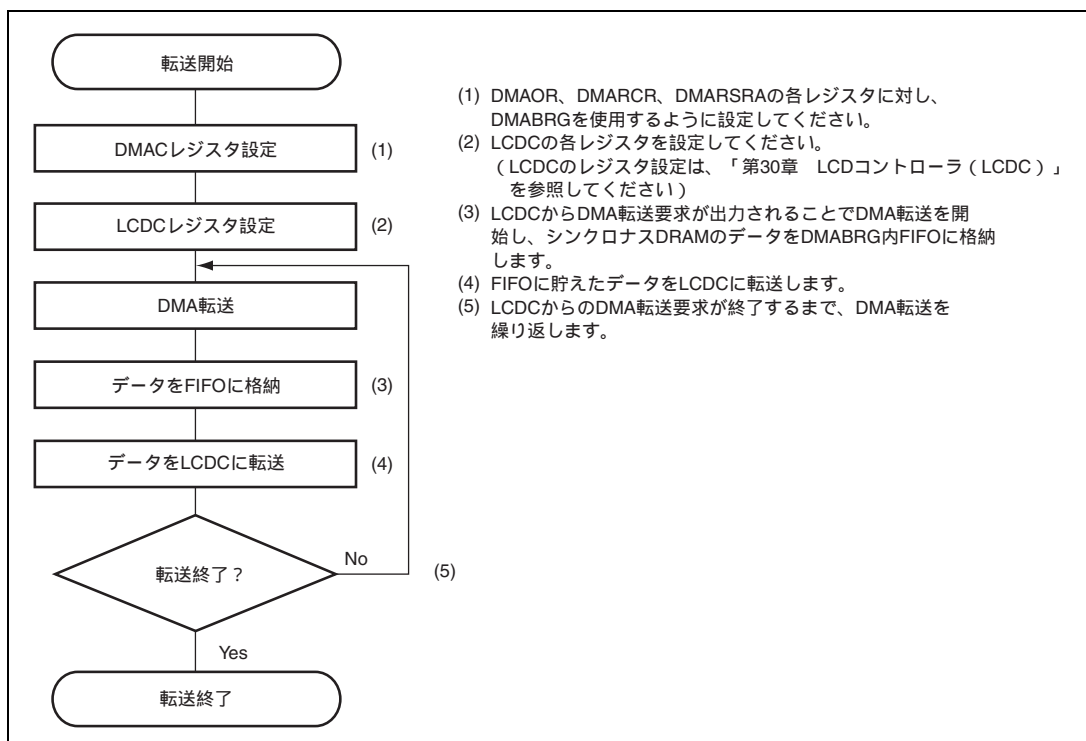


図 11.38 LCDC データ転送のフローチャート

11.6.12 USB における DMA 転送の動作モード

USB は 8K バイトの共有メモリを内蔵しています。DMABRG を使用することで USB 内蔵の共有メモリとシンクロナス DRAM 間のデータ転送を DMA 転送を用いて行うことができます。

共有メモリとシンクロナス DRAM 間の DMA 転送フローを図 11.39 に示します。本 DMA 転送では、転送サイズ、転送回数を指定する必要はありません。転送データバイト数を DMAURWSZ の SZ ビットに設定すると DMABRG が適切な転送サイズと転送回数の組み合わせに分割して DMA 転送を行います。SZ ビットに設定された転送データバイト数の DMA 転送がすべて終了すると、DMABRGCR の UTF ビットに 1 がセットされ正常終了します。

共有メモリのエリア(H'FE34 1000 ~ H'FE34 2FFF)を越えて転送を継続しようとした場合、USB アドレスエラーが発生します。USB アドレスエラーを検出すると、DMABRGCR の UAF ビットに 1 がセットされ異常終了します。

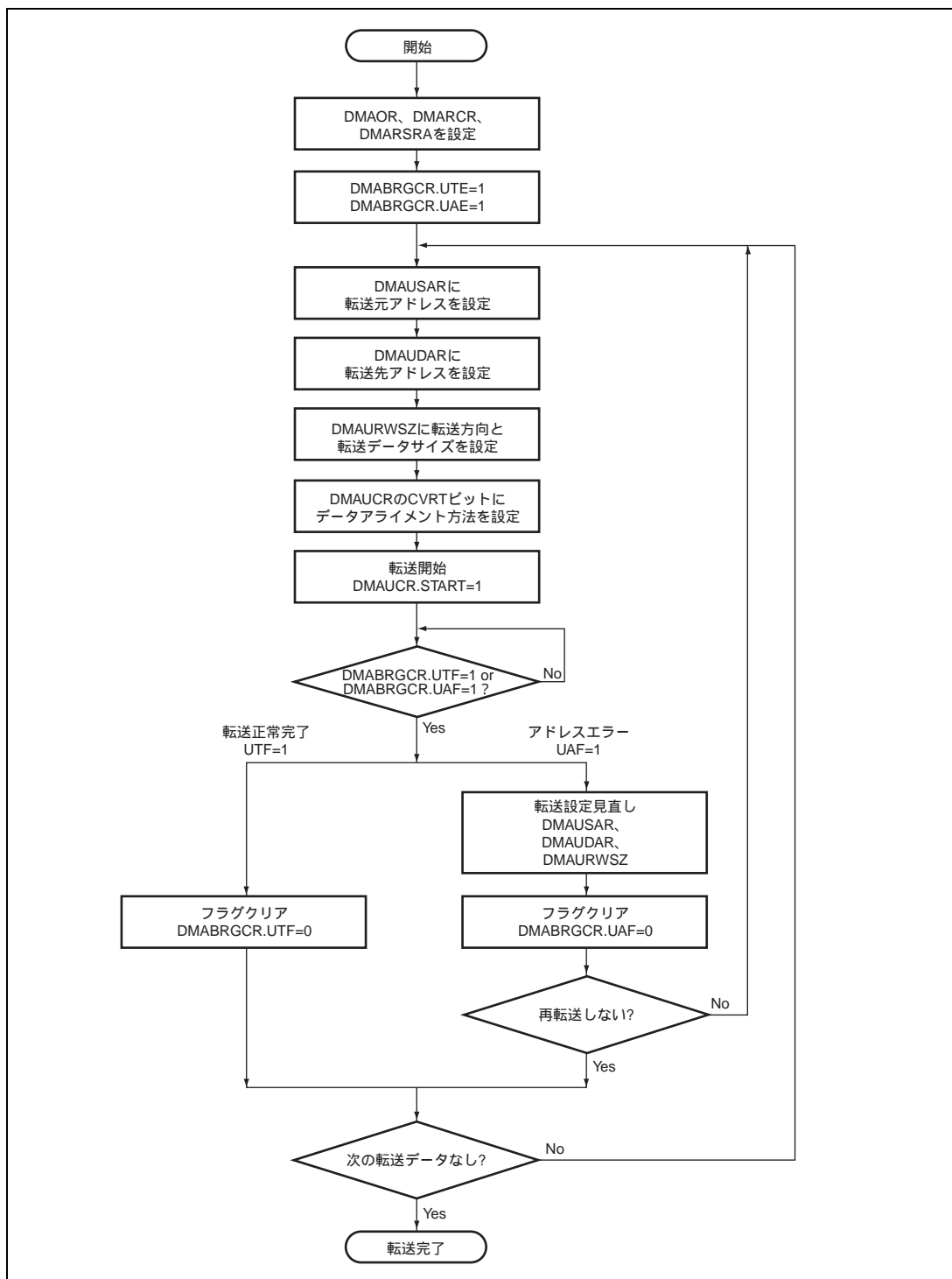


図 11.39 共有メモリ↔シンクロナス DRAM 間の DMA 転送フロー

11.6.13 USB のエンディアン変換機能

DMABRG は、図 11.40 に示す周辺バスと USB ブリッジバスならびに外部バスと USB ブリッジバス間におけるエンディアン変換機能をサポートしています。エンディアン変換におけるデータアライメントの切り替えは、DMAUCR の CVRT ビットの設定によって行います。データのアライメント方法は、周辺バスと USB ブリッジバス間、外部バスと USB ブリッジバス間で異なります。表 11.12 に周辺バスと USB ブリッジバス間のデータアライメント、表 11.13 に外部バスと USB ブリッジバス間のデータアライメントを示します。

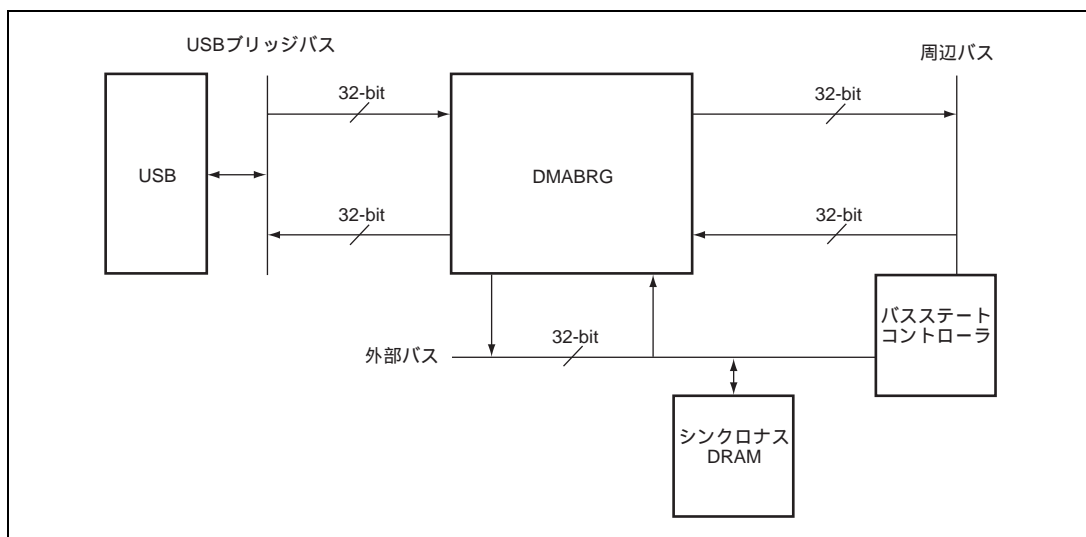


図 11.40 データアライメントを行うバスの位置関係

11. ダイレクトメモリアクセスコントローラ (DMAC)

表 11.12 周辺バスと USB ブリッジバス間のデータアライメント

転送モード	アクセスサイズ	アドレス	周辺バス	USBブリッジバス
バイト境界 モード	バイト	4n+0	31 0 B0	31 0 B0
		4n+1	31 0 B1	31 0 B1
		4n+2	31 0 B2	31 0 B2
		4n+3	31 0 B3	31 0 B3
	ワード	4n+0	31 0 B0 B1	31 0 B1 B0
		4n+2	31 0 B2 B3	31 0 B3 B2
	ロングワード	4n+0	31 0 B0 B1 B2 B3	31 0 B3 B2 B1 B0
	ワード/ロング ワード境界 モード	バイト	4n+0	31 0 B0
4n+1			31 0 B1	31 0 B1
4n+2			31 0 B2	31 0 B2
4n+3			31 0 B3	31 0 B3
ワード		4n+0	31 0 B0 B1	31 0 B0 B1
		4n+2	31 0 B2 B3	31 0 B2 B3
ロングワード		4n+0	31 0 B0 B1 B2 B3	31 0 B0 B1 B2 B3

11. ダイレクトメモリアクセスコントローラ (DMAC)

表 11.13 外部バスと USB ブリッジバス間のデータアライメント

転送モード	アクセスサイズ	アドレス	外部バス	USBブリッジバス	
バイト境界 モード	バイト	4n+0	31 _____ 0 B0 [] [] [] []	31 _____ 0 [] [] [] [] B0	
		4n+1	31 _____ 0 [] B1 [] [] []	31 _____ 0 [] [] [] B1 []	
		4n+2	31 _____ 0 [] [] B2 [] []	31 _____ 0 [] B2 [] [] []	
		4n+3	31 _____ 0 [] [] [] [] B3	31 _____ 0 B3 [] [] [] []	
	ロング ワード	4n+0	31 _____ 0 B0 B1 B2 B3	31 _____ 0 B3 B2 B1 B0	
	ワード/ロング ワード境界 モード	バイト	4n+0	31 _____ 0 B0 [] [] [] []	31 _____ 0 [] [] [] B0 []
			4n+1	31 _____ 0 [] B1 [] [] []	31 _____ 0 [] [] [] [] B1
			4n+2	31 _____ 0 [] [] [] B2 []	31 _____ 0 B2 [] [] [] []
4n+3			31 _____ 0 [] [] [] [] B3	31 _____ 0 [] [] B3 [] [] []	
ロング ワード		4n+0	31 _____ 0 B0 B1 B2 B3	31 _____ 0 B2 B3 B0 B1	

11.6.14 DMABRG 割り込み

DMABRG は、USB アドレスエラー割り込み要求、全数データ転送終了割り込み要求、半数データ転送終了割り込み要求の 3 種類を持っています。USB アドレスエラー割り込み要求は USB からの DMA 転送リクエストに対して発生します。全数データ転送終了割り込み要求は HAC、SSI、USB からの DMA 転送リクエストに対して発生します。半数データ転送終了割り込み要求は HAC、SSI からの DMA 転送リクエストに対して発生します。LCDC の DMA 転送リクエストに対する DMABRG 割り込み要求はありません。リセット解除時の割り込みの優先順位は、USB アドレスエラー割り込み要求、全数データ転送終了割り込み要求、半数データ転送終了割り込み要求の順になっています。

(1) USB アドレスエラー割り込み要求 (DMABRG10)

DMABRGCR の UAE ビットを 1 にセットしているときに USB アドレスエラーが発生すると、DMABRGCR の UAF ビットが 1 になり、INTC に対して割り込み要求を出力します。

(2) 全数データ転送終了割り込み要求 (DMABRG11)

- DMABRGCR の AIRXEE ビットを 1 にセットしているときに HAC/SSI チャンネル1 受信側のデータ転送が終了した場合に、DMABRGCR の AIRXEF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の AITXEE ビットを 1 にセットしているときに HAC/SSI チャンネル1 送信側のデータ転送が終了した場合に、DMABRGCR の AITXEF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の A0RXEE ビットを 1 にセットしているときに HAC/SSI チャンネル0 受信側のデータ転送が終了した場合に、DMABRGCR の A0RXEF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の A0TXEE ビットを 1 にセットしているときに HAC/SSI チャンネル0 送信側のデータ転送が終了した場合に、DMABRGCR の A0TXEF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の UTE ビットを 1 にセットしているときに、USB のデータ転送が終了した場合に、DMABRGCR の UTF ビットが 1 になり、INTC に対して割り込み要求を出力する場合

(3) 半数データ転送終了割り込み要求 (DMABRG12)

- DMABRGCR の AIRXHE ビットを 1 にセットしているときに HAC/SSI チャンネル1 受信側のデータ転送が DMAARXTCR に設定されたバイト数の半分終了した場合に、DMABRGCR の AIRXHF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の AITXHE ビットを 1 にセットしているときに HAC/SSI チャンネル1 送信側のデータ転送が DMAATXTCR0 に設定されたバイト数の半分終了した場合に、DMABRGCR の AITXHF が 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の A0RXHE ビットを 1 にセットしているときに HAC/SSI チャンネル0 受信側のデータ転送が DMAARXTCR1 に設定されたバイト数の半分終了した場合に、DMABRGCR の A0RXHF ビットが 1 になり、INTC に対して割り込み要求を出力する場合
- DMABRGCR の A0TXHE ビットを 1 にセットしているときに HAC/SSI チャンネル0 送信側のデータ転送が DMAATXTCR0 に設定されたバイト数の半分終了した場合に、DMABRGCR の A0TXHF ビットが 1 になり、INTC に対して割り込み要求を出力する場合

INTC に対しての割り込み要求は、全数データ転送終了割り込み、半数データ転送終了割り込み、USB アドレスエラー割り込みの 3 種類です。どの割り込みが発生したかを確認するためには、DMABRGCR の各割り込みフラグが 1 になっていることで確認してください。

11.7 使用上の注意事項

1. 本LSIでSAR、DAR、DMATCR、CHCRを書き換える場合は、あらかじめ当該チャンネルのDEビットを0に設定した後、書き換えてください。
2. DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
 - DMA転送が正しく実行されない場合の確認方法
本LSIではDMAORのNMIF、AE、DMEビット、CHCRのDE、TEビット、DMATCRを読み出してください。転送前にNMIFがセットされた場合は、DMATCRの転送回数は設定値のままになっています。転送中にNMIFがセットされた場合、CHCRのDEビットが1、TEビットが0のとき、DMATCRの値は残りの転送回数を示します。
さらに本LSIでSAR、DARを読み出すと、次にアクセスするアドレスを知ることができます。
AEビットがセットされていた場合は、アドレスエラーが起きています。CHCR、SAR、DARへの設定値を確認してください。
3. モジュールスタンバイ、スタンバイモード、ディープスリープモードに遷移させる場合は、DMA転送中ではないことを確認してください。
この場合、CHCRのTE = 1を確認するか、DMAORのDME = 0をセットしてDMA転送を終了させてください。DMAORのDME = 0をセットした場合、現在実行中のDMAバスサイクルが終了して停止します。したがって、転送データサイズによってはただちに終了しませんので注意願います。DMA転送終了を確認せずに、モジュールスタンバイ、スタンバイモード、ディープスリープモードへ遷移させた場合、DMAの動作は保証されません。
4. DMACの転送元、転送先にDMAC、キャッシュ、BSC、UBCの制御レジスタを指定しないでください。
5. DMACに起動をかける場合は、当該チャンネルのSAR、DAR、DMATCRの各レジスタを設定した後、CHCRのDEビットを1にセットするか、またはCHCRのDEビットが0のまま各レジスタの設定を行った後、DEビットを1にセットしてください。DMAOR (DME = 1) の設定は、最初でも最後でも構いません。当該チャンネルを動作させるにはDME = 1かつDE = 1である必要があります。SAR、DAR、DMATCRが未設定の場合、正常に動作しません (シングルアドレスモード時に未使用のレジスタは除く)。
6. DMATCRのカウン트가0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。
7. 外部リクエストを立ち上がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
8. シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。周辺モジュールのアドレスを設定するとアドレスエラーで全チャンネル停止します。

12. クロック発振器 (CPG)

本 LSI は、クロック発振器 (CPG) を内蔵しており、CPU クロック (Ick)、周辺クロック (Pck)、バスクロック (Bck)、モジュールクロック (Fck) を生成します。CPG は、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

12.1 特長

CPG には次のような特長があります。

- 6種類のクロックモード

パワーオンリセット後のCPUクロック、バスクロック、周辺クロックの分周率組み合わせを、6種類のクロックモードから選択できます。

- 5種類のクロック

CPU、FPU、キャッシュ、TLBで使用するCPUクロック (Ick) と、周辺モジュールで使用する周辺クロック (Pck)、さらに外部バスインタフェースで使用するバスクロック (Bck)、モジュールクロック (Fck)、DCKクロック (DCK) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL回路や分周回路により、CPUクロック、バスクロック、周辺クロック、モジュールクロック、DCKクロックの周波数を独立に変更できます。周波数変更は、FRQCR、MCKCR、DCKDRの設定により、ソフトウェアで行います。

- PLLのオン/オフ

低周波数での動作時にはPLL回路を停止することにより、消費電力が低減できます。

- 低消費電力モードの制御

スリープモード、ディープスリープモード、ハードウェアスタンバイモード、ソフトウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

図 12.1 に CPG のブロック図を示します。

12. クロック発振器 (CPG)

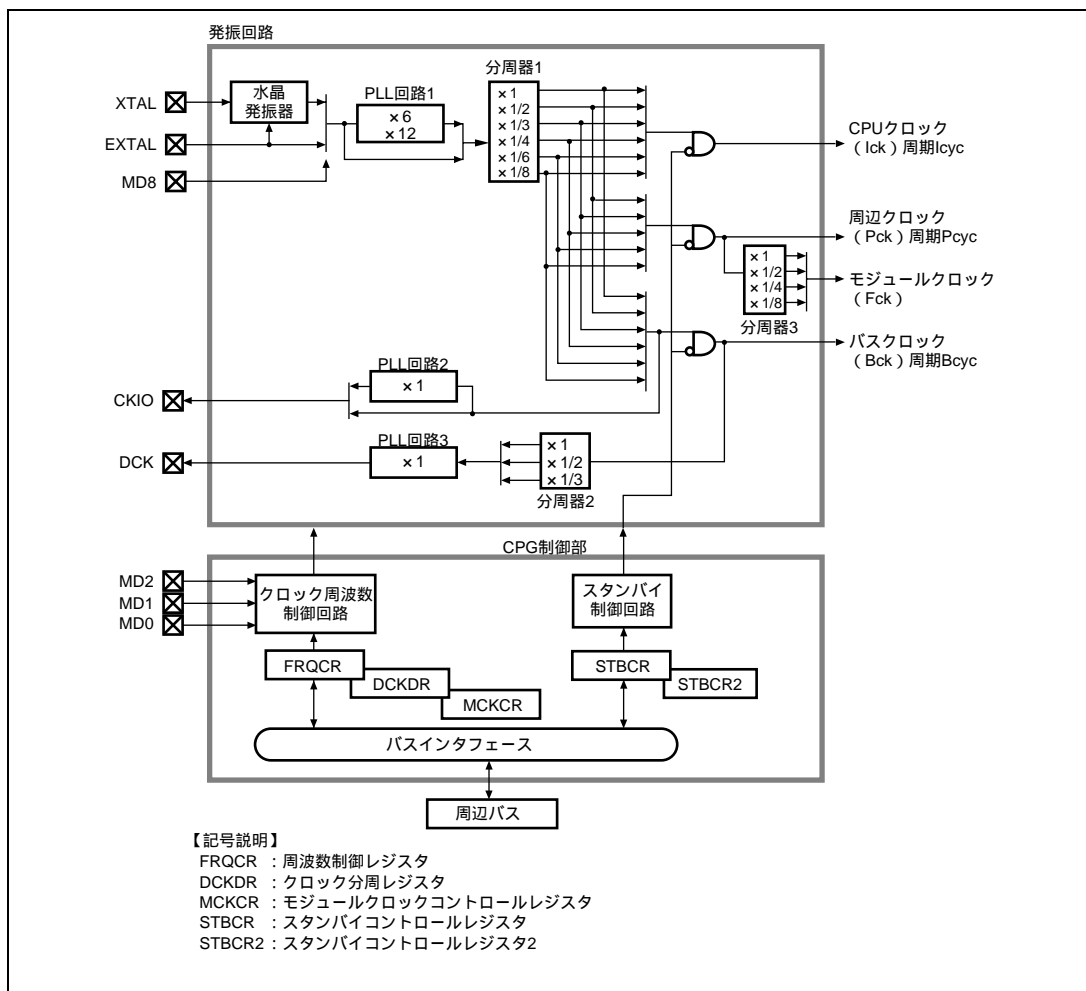


図 12.1 CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、EXTAL 端子または水晶発振器からのクロック周波数を 6 倍および 12 倍に逡倍する機能を持ちます。起動、停止は周波数制御レジスタで設定します。

(2) PLL 回路 2

PLL 回路 2 は、バスクロックと、CKIO 端子からの出力クロックの位相を合わせます。起動、停止は周波数制御レジスタで設定します。

(3) PLL 回路 3

PLL 回路 3 は、バスクロックと DCK 端子からの出力クロックの位相を合わせます。起動、停止はクロック分周レジスタで設定します。

(4) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は MD8 端子の設定により使用可能となります。

(5) 分周器 1

分周器 1 は、CPU クロック (Ick)、バスクロック (Bck)、周辺クロック (Pck) を生成します。分周率は、周波数制御レジスタで設定します。

(6) 分周器 2

分周器 2 は、DCK 端子からの出力クロックを生成します。分周率は、クロック分周レジスタで設定します。

(7) 分周器 3

分周器 3 は、モジュールクロック (Fck) を生成します。分周率は、モジュールクロックコントロールレジスタで設定します。

(8) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタ、クロック分周レジスタ、モジュールクロックコントロールレジスタにより、クロック周波数を制御します。

(9) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ / スタンバイモード時の内蔵発振回路、および他のモジュールの状態を制御します。

(10) 周波数制御レジスタ (FRQCR)

FRQCR には、CKIO 端子からのクロック出力の有無、PLL 回路 1、2 のオン / オフ、CPU クロック、バスクロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(11) クロック分周レジスタ (DCKDR)

DCKDR には、DCK 端子からのクロック出力の有無、PLL 回路 3 のオン / オフ、DCK 出力クロックの分周率、DCK 出力クロックの使用可能 / 不可能の各制御ビットが割り当てられます。

(12) モジュールクロックコントロールレジスタ (MCKCR)

MCKCR には、モジュールクロックの分周率制御ビットが割り当てられます。

(13) スタンバイコントロールレジスタ (STBCR)

STBCR には、パワーセーブモードの各制御ビットが割り当てられています。STBCR については、「第 14 章 低消費電力モード」を参照してください。

12. クロック発振器 (CPG)

(14) スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 には、パワーセーブモードの各制御ビットが割り当てられています。STBCR2 については、「第 14 章 低消費電力モード」を参照してください。

12.2 入出力端子

CPG の端子構成と機能を表 12.1 に示します。

表 12.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1		
	MD2		
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
	MD8	入力	水晶発振子の使用 / 非使用を設定します。 MD8 = 0 のとき、EXTAL から外部クロックを入力します。 MD8 = 1 のとき、EXTAL、XTAL に直接水晶発振子を接続します。
クロック出力端子	CKIO	出力	外部クロック出力端子として使用します。
	DCK	出力	レベル固定することもできます。
CKIO イネーブル端子	CKE	出力	CKIO 出力クロックが不安定なとき 0 になります。*

【注】 * パワーオンリセット時は 1 になります。

12.3 クロック動作モード

モード制御端子 (MD2 ~ MD0) の組み合わせとクロック動作モードの関係を表 12.2 に示します。

FRQCR の設定値と、内部クロックの周波数を表 12.3 に示します。

表 12.2 クロック動作モード

クロック 動作 モード	端子組み合わせ			PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 クロック	
0	0	0	0	オン (×12)	オン	12	3	3	H'0E1A
1	0	0	1	オン (×12)	オン	12	3/2	3/2	H'0E2C
2	0	1	0	オン (×6)	オン	6	2	1	H'0E13
3	0	1	1	オン (×12)	オン	12	4	2	H'0E13
4	1	0	0	オン (×6)	オン	6	3	3/2	H'0E0A
6	1	1	0	オフ (×6)	オフ	1	1/2	1/2	H'0808

- 【注】
- PLL1 の通倍率は、クロック動作モードのみで決まります。
 - 入力クロックの周波数範囲は、「33.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 (f_{ex}) および CKIO クロック出力 (f_{op}) を参照してください。

表 12.3 FRQCR の設定値と CPU クロックの周波数

FRQCR (下位 9 ビット)	分周率		
	CPU クロック	バスクロック	周辺クロック
H'000	1	1	1/2
H'002			1/4
H'004			1/8
H'008		1/2	1/2
H'00A			1/4
H'00C			1/8
H'011		1/3	1/3
H'013			1/6
H'01A			1/4
H'01C		1/6	1/8
H'023			1/6
H'02C			1/8
H'048	1/2	1/2	1/2
H'04A			1/4
H'04C		1/8	
H'05A		1/4	

12. クロック発振器 (CPG)

FRQCR (下位 9 ビット)	分周率		
	CPU クロック	バスクロック	周辺クロック
H'05C	1/2	1/4	1/8
H'063		1/6	1/6
H'06C		1/8	1/8
H'091	1/3	1/3	1/3
H'093			1/6
H'0A3			1/6
H'0DA	1/4	1/4	1/4
H'0DC			1/8
H'0EC			
H'123	1/6	1/6	1/6
H'16C	1/8	1/8	1/8

【注】 FRQCR の下位 9 ビットは、上記一覧以外の値は設定しないでください。

12.4 レジスタの説明

CPG には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 12.4 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
周波数制御レジスタ	FRQCR	R/W	H'FFC0 0000	H'1FC0 0000	16	Pck
クロック分周レジスタ	DCKDR	R/W	H'FE0A 0020	H'1E0A 0020	32	Pck
モジュールクロックコントロールレジスタ	MCKCR	R/W	H'FE0A 0024	H'1E0A 0024	32	Pck

表 12.4 レジスタ構成 (2)

名称	略称	パワーオン リセット		マニュアル リセット	スリープ	スタンバイ	
		RESET 端 子による	WDT/ H-UDI に よる	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール 毎による
周波数制御レジスタ	FRQCR	*1	保持	保持	保持	*2	保持
クロック分周レジスタ	DCKDR	H'0000 0001	保持	保持	保持		保持
モジュールクロックコントロールレジスタ	MCKCR	H'0000 0000	保持	保持	保持		保持

【注】 *1 ビット 11~9 は初期値 1、ビット 8~0 は不定。

*2 ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

12.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、CKIO 端子からのクロック出力の有無、PLL 回路 1、PLL 回路 2 のオン / オフ、CPU クロック、バスクロック、周辺クロックの周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

FRQCR は、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時のみ初期化され、各ビットの初期値は、クロック動作モードにより決定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CKO EN	PLL1 EN	PLL2 EN	IFC2	IFC1	IFC0	BFC2	BFC1	BFC0	PFC2	PFC1	PFC0
初期値:	0	0	0	0	1	1	1	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	CKOEN	1	R/W	クロック出力イネーブル CKIO 端子からクロックを出力するか CKIO 端子をハイインピーダンス状態にするかを指定します。ハイインピーダンス状態にした場合でも、ハイインピーダンス状態にする前の動作周波数で動作します。CKIO 端子はハイインピーダンス状態になると、プルアップされます。なおハードウェアスタンバイモード時は、プルアップされません。 0: CKIO 端子をハイインピーダンス状態にする 1: CKIO 端子からクロックを出力する
10	PLL1EN	1	R/W	PLL 回路 1 イネーブル PLL 回路 1 のオン / オフを指定します。 0: PLL 回路 1 を使用しない 1: PLL 回路 1 を使用する
9	PLL2EN	1	R/W	PLL 回路 2 イネーブル PLL 回路 2 のオン / オフを指定します。 0: PLL 回路 2 を使用しない 1: PLL 回路 2 を使用する

12. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
8	IFC2	-	R/W	CPU クロック周波数分周率 入力クロック、または PLL 回路 1 の出力周波数に対しての CPU クロック周波数の分周率を指定します。 000 : × 1 倍 001 : × 1/2 倍 010 : × 1/3 倍 011 : × 1/4 倍 100 : × 1/6 倍 101 : × 1/8 倍 上記以外 : 設定禁止
7	IFC1	-	R/W	
6	IFC0	-	R/W	
5	BFC2	-	R/W	バスクロック周波数の分周率 入力クロック、または PLL 回路 1 の出力周波数に対してのバスクロック周波数の分周率を指定します。 000 : × 1 倍 001 : × 1/2 倍 010 : × 1/3 倍 011 : × 1/4 倍 100 : × 1/6 倍 101 : × 1/8 倍 上記以外 : 設定禁止
4	BFC1	-	R/W	
3	BFC0	-	R/W	
2	PFC2	-	R/W	周辺クロック周波数の分周率 入力クロック、または PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。 000 : × 1/2 倍 001 : × 1/3 倍 010 : × 1/4 倍 011 : × 1/6 倍 100 : × 1/8 倍 上記以外 : 設定禁止
1	PFC1	-	R/W	
0	PFC0	-	R/W	

12.4.2 クロック分周レジスタ (DCKDR)

DCKDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DCK より出力するクロックの分周比と出力制御を指定します。

DIV1、DIV0 ビットを設定することで、DCK より供給するクロックを CKIO の 1/1、1/2、1/3 から選択して、出力できます。また、この分周比設定により $\overline{BS2}$ アサート期間も 1CKIO サイクル ~ 3CKIO サイクルに延長されません。なお、 \overline{CS} ネグート時間の調整に関しては、WCR4 を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	DCK EN	-	-	-	PLL3 EN	DCK OUT	DIV1	DIV0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DCKEN	0	R	DCK 出力クロックが安定 (使用可能) 状態であることを示します。 0: 不安定 (使用不可能) 1: 安定 (使用可能)
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PLL3EN	0	R/W	PLL3 制御ビット PLL3 の制御を行います。このビットに 1 を書き込むとチップに内蔵された PLL3 がオンになります。 0: PLL をオフにします。このとき DCK 出力を 1 に固定します。 1: PLL をオンにします。
2	DCKOUT	0	R/W	DCK 出力制御ビット DCK のピン状態の制御を行います。このビットに 1 を書き込むと DCK 端子は出力状態となります。 0: DCK 端子をハイインピーダンス状態にします。 1: DCK 端子を出力状態にします。

12. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
1	DIV1	0	R/W	分周比設定ビット
0	DIV0	1	R/W	CKIO に対する DCK の分周比を指定します。 00 : 設定禁止 01 : CKIO × 1/1 10 : CKIO × 1/2 11 : CKIO × 1/3

12.4.3 モジュールクロックコントロールレジスタ (MCKCR)

MCKCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、モジュールクロック (F_{ck}) の分周率を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	FLM CK3	FLM CK2	FLM CK1	FLM CK0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	FLMCK3	0	R/W	モジュールクロック分周比設定ビット
2	FLMCK2	0	R/W	周辺クロックに対する F _{ck} の分周比を指定します。
1	FLMCK1	0	R/W	0000 : 周辺クロック × 1/1
0	FLMCK0	0	R/W	0001 : 設定禁止 0010 : 設定禁止 0011 : 設定禁止 上記以外 : 設定禁止

12.5 周波数の変更方法

内部のクロックの周波数を変更するためには、PLL 回路 1 の停止、起動を変える方法と、各クロックの分周率を変える方法があります。これらはいずれも FRQCR、MCKCR、DCKDR によってソフトウェアで制御します。以下にこれらの方法について示します。

12.5.1 PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が停止の場合)

PLL 回路 1 を停止の状態から起動する場合、PLL 回路 1 の発振安定時間が必要になります。内蔵 WDT により発振安定時間のカウントを行います。

1. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止させます。次の設定が必要です。
WTCSRのTMEビット = 0 : WDTの停止
WTCSRのCKS2 ~ CKS0ビット : WDTカウントクロックの分周率
WTCNTのカウンタの初期値
2. PLLIENビットを1に設定します。
3. 本LSIは一時的に停止し、WDTのカウントアップを開始します。
内部のクロックは停止し、CKIO端子には不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、本LSIは動作を再開します。WDTは、オーバーフロー後に停止します。

12.5.2 PLL 回路 1 の起動 / 停止の変更 (PLL 回路 2 が起動の場合)

PLL 回路 2 が起動している場合、PLL 回路 1 と PLL 回路 2 の発振安定時間が必要になります。

1. 「12.5.1 PLL回路1の起動 / 停止の変更 (PLL回路2が停止の場合)」の1と同様の設定をWDTに行います。
2. PLLIENビットを1に設定します。
3. 本LSIは一時的に停止し、PLL回路1が発振、WDTがカウントアップを開始します。内部のクロックは停止し、CKIO端子には不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、PLL回路2が発振を開始します。WDTは、上記1.で設定した値からカウントアップを再開します。この間も内部のクロックは停止しており、CKIO端子には不安定なクロックが出力されます。
5. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、本LSIは動作を再開します。WDTは、オーバーフロー後に停止します。

12.5.3 バスクロック分周率の変更 (PLL 回路 2 が起動の場合)

バスクロック周波数の分周率変更において、PLL 回路 2 を起動している場合、PLL 回路 2 の発振安定時間が必要です。

1. 「12.5.1 PLL回路1の起動 / 停止の変更 (PLL回路2が停止の場合)」の1と同様の設定をWDTに行います。

12. クロック発振器 (CPG)

2. BFC2 ~ BFC0ビットを目的とする値に設定します。
3. 本LSIは一時的に停止し、WDTのカウンタアップを開始します。
内部のクロックは停止し、CKIO端子には不安定なクロックが出力されます。
4. WDTのカウンタオーバーフローの後、チップ内部にクロックが供給され始め、本LSIは動作を再開します。WDTは、オーバーフロー後に停止します。

12.5.4 バスクロック分周率の変更 (PLL 回路 2 が停止の場合)

バスクロック周波数の分周率変更において、PLL 回路 2 を停止している場合、WDT によるカウントは行いません。

1. BFC2 ~ BFC0ビットを目的とする値に設定します。
2. ただちに設定されたクロックに切り替わります。

12.5.5 CPU クロック、周辺クロック分周率の変更

CPU クロック、周辺クロック周波数の分周率変更の場合、WDT によるカウントは行いません。

1. IFC2 ~ IFC0、PFC2 ~ PFC0ビットを目的とする値に設定します。
2. ただちに設定されたクロックに切り替わります。

12.5.6 PLL 回路 3 の起動 / 停止の変更

PLL 回路 3 を停止状態から起動する場合、PLL 回路 3 の発振安定時間が必要になります。内蔵された固定タイムによって発振安定時間のカウントを行います。カウント終了 (発振安定) 後に、DCKDR の DCKEN ビットが 1 に設定されます。DCKEN ビットの値を GPIO を利用して出力することで外部デバイスに対して DCK 発振安定を通知することができます。

PLL 回路 1、2 の起動 / 停止、バスクロックの分周率変更、スタンバイを行うには、PLL 回路 3 を停止させた後 (DCKEN ビットが 0 に設定された後) に行ってください。実行後、PLL 回路 3 を起動してください。

- PLL回路3の起動

1. DCKDRのPLL3ENビットを1に設定します。
2. 内蔵固定タイムがカウントを開始します。このとき、DCK端子には不安定なクロックが出力されます。
DCKENビットは0に設定され、DCKの使用が不可能状態であることを示します。
3. 内蔵固定タイムのカウントが終了後、DCKENビットは1に設定され、DCKの発振が安定したことを示します。なお、内蔵固定タイムのカウント終了時間 (発振安定時間) については「第33章 電気的特性」を参照してください。

- PLL回路3の停止

1. DCKDRのPLL3ENビットを0に設定します。

12.5.7 DCK 出力クロックの分周率の変更

DCK の分周率を変更する場合、PLL 回路 3 の発振を停止させてから分周率の変更を指定してください。

1. DCKDRのPLL3ENビットを0に設定します。設定後、DCKDRのDIV0、DIV1ビットで分周率を設定します。
2. PLL3ENビットを1に設定します。
3. 内蔵固定タイマがカウントを開始します。このとき、DCK端子には不安定なクロックが出力されます。DCKENビットは0に設定され、DCKの使用が不可能状態であることを示します。
4. 内蔵固定タイマのカウントが終了後、DCKENビットは1に設定され、DCKの発振が安定したことを示します。

12.5.8 DCK 出力クロックの制御

DCKDR の DCKOUT ビットによって、DCK 端子へクロックを出力するか、またはハイインピーダンス状態にするかどうかを切り換えることができます。DCK 端子は、ハイインピーダンス状態になるとプルアップされます。なお DCKOUT ビットは、PLL 回路 3 を停止後に設定してください。

1. DCKDRのPLL3ENビットを0に設定します。設定後、DCKOUTビットで出力クロックの制御を設定します。

12.5.9 CKIO 出力クロックの制御

FRQCR の CKOEN ビットによって、CKIO 端子へクロック出力するかまたはハイインピーダンス状態にするかどうかを切り替えることができます。CKIO 端子はハイインピーダンス状態になると、プルアップされます。

12.6 使用上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量 CL1 と CL2 はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。電磁誘導のために正しい発振ができなくなることがあります。

12. クロック発振器 (CPG)

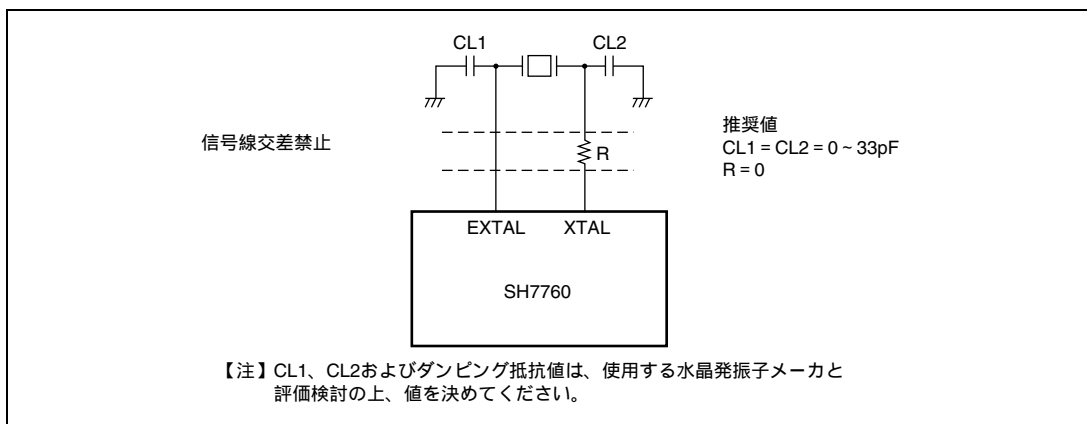


図 12.2 水晶発振子使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL 発振回路使用時の注意

VDD-CPG と VSS-CPG は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、RB およびバイパスコンデンサ CPB、CB を挿入してください。

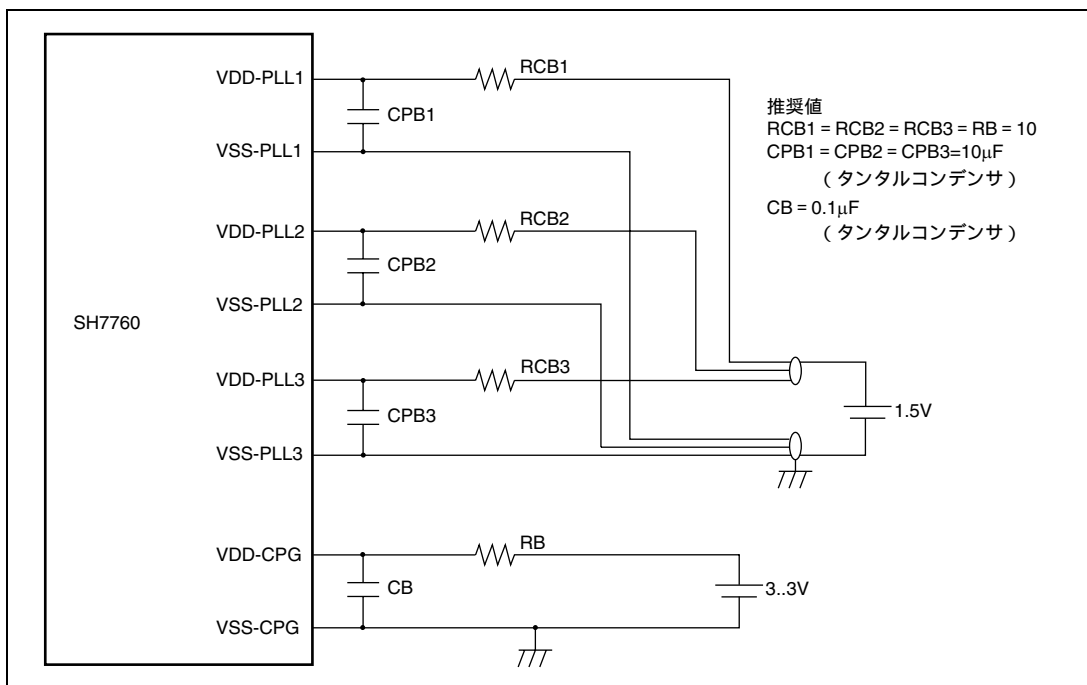


図 12.3 PLL 発振回路使用時の注意

13. ウォッチドッグタイマ (WDT)

WDT は 1 チャンネルのタイマであり、スタンバイモードや周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウンタ用として使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

13.1 特長

WDT には次のような特長があります。

- クロック安定時間の確保に使用可能
スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
「第12章 クロック発振器 (CPG)」の図12.1に示す分周器1の $\times 1$ クロックを分周した8種類のクロックから選択できます。
- リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。

13. ウォッチドッグタイマ (WDT)

図 13.1 に WDT のブロック図を示します。

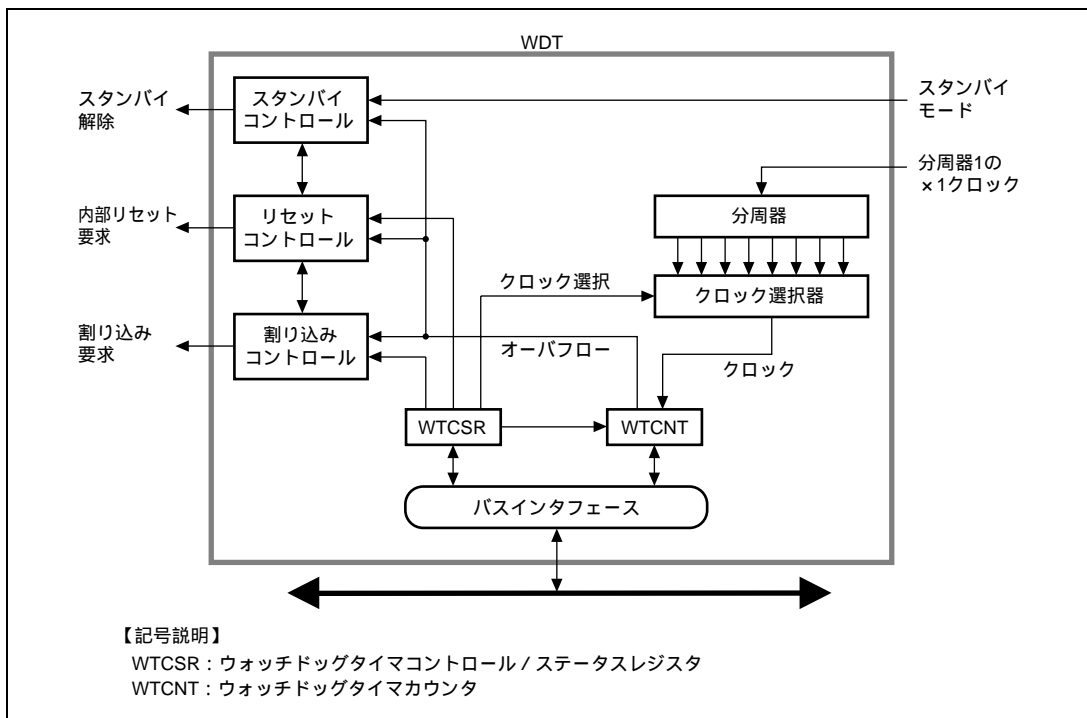


図 13.1 WDT のブロック図

13.2 レジスタの説明

WDT には以下のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替えを行います。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 13.1 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期クロック
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'FFC0 0008	H'1FC0 0008	8/16 ^{*1}	Pck
ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	R/W	H'FFC0 000C	H'1FC0 000C	8/16 ^{*1}	Pck

表 13.1 レジスタ構成 (2)

名称	略称	パワーオンリセット		マニュアルリセット	スリープ	スタンバイ	
		RESET 端子による	WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハードによる	ソフトによる /モジュール毎による
ウォッチドッグタイマカウンタ	WTCNT	H'00	保持	保持	保持	*2	保持
ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	H'00	保持	保持	保持		保持

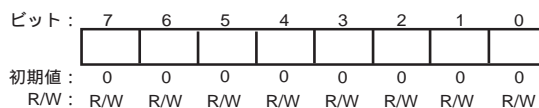
【注】 *1 読み出し：バイトアクセス、書き込み：ワードアクセス

*2 ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

13.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し / 書き込み可能な 8 ビットのカウンタで、選択されたクロックでカウントアップします。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT カウンタは $\overline{\text{RESET}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されません。

WTCNT への書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

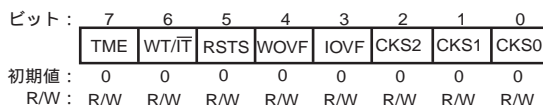


13. ウォッチドッグタイマ (WDT)

13.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR への書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。



ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0: カウントアップ停止、WTCNT の値は保持する 1: カウントアップ開始</p>
6	WT/IT	0	R/W	<p>タイマモード選択</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p>
5	RSTS	0	R/W	<p>リセット選択</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。</p> <p>0: パワーオンリセット 1: マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたことを示します。インターバルタイマモードではセットされません。</p> <p>0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバフロー</p> <p>インターバルタイマモードで WTCNT がオーバフローしたことを示します。</p> <p>ウォッチドッグタイマモードではセットされません。</p> <p>0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバフローした</p>

ビット	ビット名	初期値	R/W	説明																											
2	CKS2	0	R/W	クロックセレクト 2~0 分周器 1 の×1 クロックの入力クロックを分周して得られる 8 種類 のクロックから、WTCNT のカウントに使用するクロックを選択し ます。PLL1 のオン/オフを切り替える場合、切り替えた後のクロ ックを使用します。表中のオーバフロー周期は、入力クロック = 33MHz、PLL 回路 1 = ON (× 6) の場合の値です。 <table style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th></th> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr><td>000 :</td><td>1/32</td><td>41μs</td></tr> <tr><td>001 :</td><td>1/64</td><td>82μs</td></tr> <tr><td>010 :</td><td>1/128</td><td>164μs</td></tr> <tr><td>011 :</td><td>1/256</td><td>328μs</td></tr> <tr><td>100 :</td><td>1/512</td><td>656μs</td></tr> <tr><td>101 :</td><td>1/1024</td><td>1.31ms</td></tr> <tr><td>110 :</td><td>1/2048</td><td>2.62ms</td></tr> <tr><td>111 :</td><td>1/4096</td><td>5.25ms</td></tr> </tbody> </table> WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントア ヅプが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書 き換える場合は必ず WDT を停止させてから書き換えてください。		クロック分周比	オーバフロー周期	000 :	1/32	41μs	001 :	1/64	82μs	010 :	1/128	164μs	011 :	1/256	328μs	100 :	1/512	656μs	101 :	1/1024	1.31ms	110 :	1/2048	2.62ms	111 :	1/4096	5.25ms
	クロック分周比	オーバフロー周期																													
000 :	1/32	41μs																													
001 :	1/64	82μs																													
010 :	1/128	164μs																													
011 :	1/256	328μs																													
100 :	1/512	656μs																													
101 :	1/1024	1.31ms																													
110 :	1/2048	2.62ms																													
111 :	1/4096	5.25ms																													
1	CKS1	0	R/W																												
0	CKS0	0	R/W																												

13.2.3 レジスタアクセス方法

WTCNT、WTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

(1) WTCNT、WTCSR への書き込み

WTCNT、WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込みません。

図 13.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

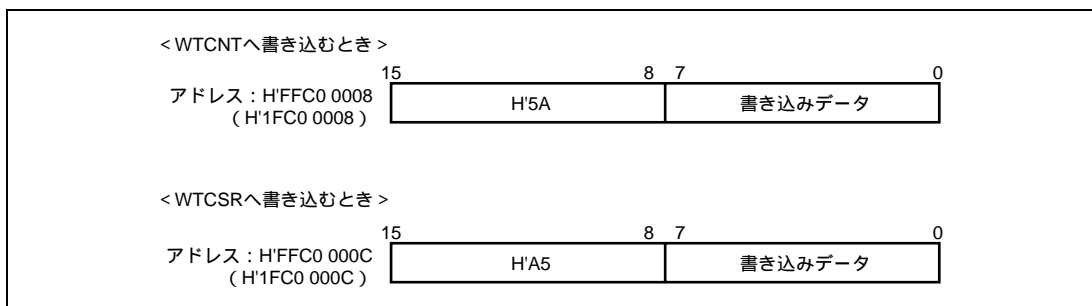


図 13.2 WTCNT、WTCSR への書き込み

13.3 動作説明

13.3.1 スタンバイ解除の手順

WDTは、ソフトウェアスタンバイモードをNMI割り込みまたはその他の割り込みで解除する場合に使用されます。この手順を以下に示します（リセットで解除する場合WDTは動作しませんので、クロックが安定するまでRESET端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ずWTCSRのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのCKS2～CKS0ビットに使用するカウントクロックの種類、WTCNTにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。SLEEP命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。
3. NMI信号変化のエッジ検出、または割り込み検出により、WDTがカウントを開始します。
4. WDTがカウントオーバーフローすると、CPGがクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSRのWOVFフラグはセットされません。
5. カウンタはH'00～H'01の値で停止します。停止時の値はクロック比によって変わります。

13.3.2 周波数変更の手順

PLLを使用した周波数変更時に、WDTを使用します。分周器の切り替えのみによる周波数変更の場合は、WDTは使用しません。

1. 周波数変更前に、必ずWTCSRのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのCKS2～CKS0ビットに使用するカウントクロックの種類、WTCNTにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. FRQCRを書き換えると、クロックが停止します。WDTはカウントを開始します。FRQCRに関しては、「12.4.1 周波数制御レジスタ (FRQCR)」を参照してください。
4. WDTはカウントオーバーフローすると、CPGがクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSRのWOVFフラグはセットされません。

5. カウンタはH'00 ~ H'01の値で停止します。停止時の値はクロック比によって変わります。
6. FRQCRを書き換えた直後にWTCNTを再設定する場合は、カウンタを読み出して、上記5.の状態になっていることを確認してから再設定してください。

13.3.3 ウォッチドッグタイマモードの使用方法

1. WTCSRのWT/ITビットに1を設定し、RSTSビットにリセットのタイプ、CKS2 ~ CKS0にカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き替えてください。
4. WDTは、カウンタがオーバーフローすると、WTCSRのWOVFフラグを1にセットし、RSTSビットで指定されたタイプのリセットを発生します。その後カウンタはカウントを続行します。

13.3.4 インターバルタイマモードの方法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットし、CKS2 ~ CKS0ビットにカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

13. ウォッチドッグタイマ (WDT)

14. 低消費電力モード

低消費電力モードでは、周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

低消費電力モードには、次のようなモード、機能があります。

- スリープモード
- ディープスリープモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード
- モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 14.1 に示します。

表 14.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	内蔵メモリ	周辺モジュール	端子	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作	保持	リフレッシュ	割り込み、リセット
ディープスリープモード	STBCR の STBY ビットが 0、STBCR2 の DSLP ビットが 1 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作 (DMA は停止)	保持	セルフリフレッシュ	割り込み、リセット
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止 (レジスタは保持)	保持	停止	保持	セルフリフレッシュ	割り込み、リセット
ハードウェアスタンバイモード	CA 端子をローレベルにする	停止	停止	不定	停止	ハイインピーダンス状態	不定	パワーオンリセット
モジュールスタンバイ機能	STBCR の MSTP ビットを 1 とする CLKSTP00 の CSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止	保持	リフレッシュ	MSTP、CSTP ビットを 0 とする、リセット

14. 低消費電力モード

14.1 入出力端子

低消費電力モードに関連する端子を表 14.2 に示します。

表 14.2 端子構成

端子名	略称	入出力	機能
処理状態 1	STATUS1	出力	本 LSI の動作状態を表します。 STATUS1 STATUS0 動作状態 H H :リセット H L :スリープモード L H :スタンバイモード L L :通常動作
処理状態 0	STATUS0		
ハードウェアスタンバイ要求	CA	入力	端子にローレベルを入力することにより、ハードウェアスタンバイモードへ遷移します。

14.2 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 14.3 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
スタンバイコントロールレジスタ	STBCR	R/W	H'FFC0 0004	H'1FC0 0004	8	Pck
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'FFC0 0010	H'1FC0 0010	8	Pck
クロック停止レジスタ 00	CLKSTP00	R/W	H'FE0A 0000	H'1E0A 0000	32	Pck
クロック停止解除レジスタ 00	CLKSTPCLR00	W	H'FE0A 0010	H'1E0A 0010	32	Pck

表 14.3 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
スタンバイコントロールレジスタ	STBCR	H'00	保持	保持	*	保持
スタンバイコントロールレジスタ 2	STBCR2	H'00	保持	保持		保持
クロック停止レジスタ 00	CLKSTP00	H'0000 0000	保持	保持		保持
クロック停止解除レジスタ 00	CLKSTPCLR00	-	-	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

14.2.1 スタンバイコントロールレジスタ (STBCR)

STBCRは、読み出し/書き込み可能な8ビットのレジスタで、低消費電力モードの状態を指定します。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	MSTP4	-	MSTP2	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	スタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6、5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	MSTP4	0	R/W	モジュールストップ4 周辺モジュールのうち、DMAC へのクロック供給の停止を指定します。DMA 転送時は、転送を停止した後、本ビットを1に設定してください。本ビットを0に設定した後、DMA 転送を行う場合は、DMAC の設定を再度行ってください。 0: DMAC は動作 1: DMAC へのクロックの供給を停止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	MSTP2	0	R/W	モジュールストップ2 周辺モジュールのうち、TMU へのクロックの供給の停止を指定します。 0: TMU は動作 1: TMU へのクロックの供給を停止
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

14. 低消費電力モード

14.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、スリープモードとディープスリープモードの遷移条件を指定します。

ビット:	7	6	5	4	3	2	1	0
	DSLPL	STHZ	-	-	-	-	MSTP6	MSTP5
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	DSLPL	0	R/W	ディープスリープ ディープスリープモードへの遷移を指定します。 0: SLEEP 命令の実行で、STBCR の STBY ビットの設定に従ってスリープモードまたはスタンバイモードへ遷移する 1: SLEEP 命令の実行で、STBCR の STBY ビットが 0 のとき、ディープスリープモードへ遷移
6	STHZ	0	R/W	STATUS 端子ハイインピーダンス制御 ハードウェアスタンバイモード時に STATUS0 端子、STATUS1 端子をハイインピーダンスにするかどうかを設定します。 0: ハードウェアスタンバイ時、STATUS0 端子、STATUS1 端子はハイインピーダンス 1: ハードウェアスタンバイ時、STATUS0 端子はローレベル、STATUS1 端子はハイレベルをドライブ
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP6	0	R/W	モジュールストップ 6 キャッシュコントローラ (CCN) 内のストアキュー (SQ) へのクロック供給の停止を指定します。本ビットを 1 にセットすると SQ へのクロック供給を停止するため、SQ の機能は使用できなくなります。 0: SQ は動作 1: SQ へのクロックの供給を停止
0	MSTP5	0	R/W	モジュールストップ 5 周辺モジュールのうち、UBC へのクロック供給の停止を指定します。 0: UBC は動作 1: UBC へのクロックの供給を停止

14.2.3 クロック停止レジスタ 00 (CLKSTP00)

CLKSTP00 は、読み出し / 書き込み可能な 32 ビットのレジスタで、周辺モジュールの動作クロックを制御します。クロックの供給を停止させるときは、CLKSTP00 の対応するビットに 1 を書き込んでください。

クロック供給を再開するには CLKSTPCLR00 の対応するビットに 1 を書き込みます。CLKSTP00 に 0 を書き込んで値は変化しません。

各ビットの割り付けについては表 14.4 を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSTP 31	CSTP 30	CSTP 29	CSTP 28	CSTP 27	CSTP 26	CSTP 25	CSTP 24	CSTP 23	-	CSTP 22	CSTP 21	CSTP 20	-	CSTP 17	CSTP 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSTP 15	CSTP 14	CSTP 13	CSTP 12	CSTP 11	CSTP 10	CSTP 9	CSTP 8	-	-	-	-	-	-	-	CSTP 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.4 CLKSTP00、CLKSTPCLR00 ビット割り付け

ビット 番号	ビット名	モジュール	ビット 番号	ビット名	モジュール	ビット 番号	ビット名	モジュール	ビット 番号	ビット名	モジュール
31	CSTP31	SSI(1)	23	CSTP23	MFI	15	CSTP15	HAC(0)	7	-	-
30	CSTP30	SSI(0)	22	CSTP22	HSPI	14	CSTP14	ADC	6	-	-
29	CSTP29	SCIF(2)	21	-	-	13	CSTP13	HCAN2(1)	5	-	-
28	CSTP28	SCIF(1)	20	CSTP20	LCDC	12	CSTP12	HCAN2(0)	4	-	-
27	CSTP27	SCIF(0)	19	CSTP19	USB	11	CSTP11	DMABRG	3	-	-
26	CSTP26	I ² C(1)	18	-	-	10	CSTP10	GPIO	2	-	-
25	CSTP25	I ² C(0)	17	CSTP17	CMT	9	CSTP9	MMCIF	1	-	-
24	CSTP24	SIM	16	CSTP16	HAC(1)	8	CSTP8	DMAC	0	CSTP0	INTC

14.2.4 クロック停止解除レジスタ 00 (CLKSTPCLR00)

CLKSTPCLR00 は、書き込み専用の 32 ビットのレジスタで、CLKSTP00 の対応するビットをクリアするレジスタです。クロック供給を再開するには CLKSTPCLR00 の対応するビットに 1 を書き込みます。各ビットの割り付けについては表 14.4 を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

14.3 動作説明

14.3.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRL、IRQ、GPIO、周辺) またはリセットにより解除されます。

スリープモード中は、SR の BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

- 割り込みによる解除

NMI、IRL、IRQ、GPIO、周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT には、割り込み要因に対応したコードがセットされます。

- リセットによる解除

パワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

14.3.2 ディープスリープモード

(1) ディープスリープモードへの遷移

STBCR の STBY ビットが 0、STBCR2 の DSLP ビットが 1 の状態で、SLEEP 命令を実行すると、プログラム実行状態からディープスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。DMAC を除く周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けますが、すべてのバスアクセス (オートリフレッシュを含む) は停止します。リフレッシュが必要なメモリを使用する場合は、ディープスリープモードへ遷移する前に、セルフリフレッシュに設定してください。なお、ディープスリープモードへ遷移させる場合は、DMA 転送を終了させてください。転送中にディープスリープモードへ遷移させると、転送結果は保証されません。

ディープスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

(2) ディープスリープモードの解除

ディープスリープモードは、スリープモードと同様に、割り込み (NMI、IRL、IRQ、GPIO、周辺)、リセットにより解除されます。

14.3.3 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタン

バイモードに遷移します。ソフトウェアスタンバイモードでは、CPUだけでなくクロックや周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。周辺モジュールのレジスタに関しては初期化されるものがあります。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのWTCSRのTMEビットを0にし、WDTを停止させます。
WDTのWTCNTにカウントアップ時の初期値を、WTCSRのCKS2～CKS0ビットに、カウントアップに使用するクロックを設定します。
2. STBCRのSTBYビットに1を設定した後、SLEEP命令を実行させます。
3. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0 端子からハイレベルが出力されます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRL、IRQ*、GPIO)、 $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 端子によるリセットにより解除されます。

【注】* IRQ4、IRQ5 によりソフトウェアスタンバイモードが解除できます。IRQ6、IRQ7 では、ソフトウェアスタンバイモードを解除できません。

• 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRL、IRQ、GPIO の各割り込みが検出されると、WDT がカウントを開始します。カウントオーバーフロー後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されて、STATUS1 端子、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。またスタンバイモード中は、SR の BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

• リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセット (パワーオン、マニュアル) により、ソフトウェアスタンバイモードは解除されます。 $\overline{\text{RESET}}$ 端子は、クロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

(3) クロックポーズ機能

ソフトウェアスタンバイモードでは、EXTAL 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

1. ソフトウェアスタンバイモードへの遷移の手順でソフトウェアスタンバイモードに遷移させます。

14. 低消費電力モード

2. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。
3. STATUS1端子がローレベル、STATUS0端子がハイレベルになってから、入力クロックの停止、または周波数の変更を行います。
4. 周波数変更の場合、変更後にNMIの割り込みを入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
5. WDTで設定した時間後にLSI内部にクロックが印加され始め、STATUS1端子、STATUS0端子がどちらもローレベルになって割り込み例外処理から動作を再開します。

14.3.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

STBCRとSTBCR2のMSTP6~MSTP4、MSTP2ビット、CLKSTP00のCSTP31~0ビットに1をセットすることで、それぞれ対応した周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、スリープ時の消費電力を低減させることができます。

モジュールスタンバイ状態では、周辺モジュールの外部端子は、停止前の状態を保持します。レジスタは一部を除いて停止前の状態を保持します。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能を解除するには、STBCRとSTBCR2の場合、MSTP6~MSTP4、MSTP2ビットに0を書き込むことにより解除します。CLKSTP00の場合は、CLKSTPCLR00の対応するビットに1を書き込むことにより解除します。

また、RESET端子によるパワーオンリセット、またはウォッチドッグタイマーオーバーフローにより発生するパワーオンリセットで解除されます。

14.3.5 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

CA端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモード中は、CA端子をローレベルに保ってください。ハードウェアスタンバイモードでは、SLEEP命令によって遷移するソフトウェアスタンバイモードと同様に、すべてのモジュールが停止します。

ハードウェアスタンバイモードは、ソフトウェアスタンバイモードと以下の点で異なります。

- 割り込み、マニュアルリセットを受け付けません。
- STATUS端子以外の出力端子がハイインピーダンス状態となり、ブルアップ抵抗もオフとなります。

ソフトウェアスタンバイモード中にCA端子にローレベルが入力されたときの動作は、CPGの状態によって次のようになります。

- ソフトウェアスタンバイモード中
クロックは停止したまま、ハードウェアスタンバイ状態になります。
- ソフトウェアスタンバイモードを割り込みで解除する際のWDT動作中
いったんソフトウェアスタンバイモードが解除されてCPUが動作を再開した後、ハードウェアスタンバイモードになります。

(2) ハードウェアスタンバイモードの解除

RESET 端子によるパワーオンリセットにより発生するパワーオンリセットで解除されます。

14.3.6 STATUS 端子の変化タイミング

STATUS1 端子、STATUS0 端子の変化タイミングを図 14.1～図 14.11 に示します。

- (1) リセットの場合
- (a) パワーオンリセット

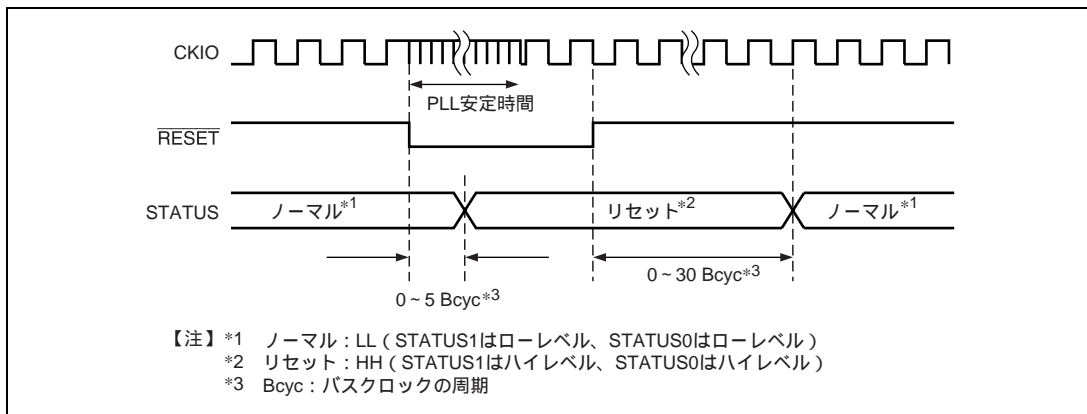


図 14.1 パワーオンリセットの STATUS 出力

- (b) マニュアルリセット

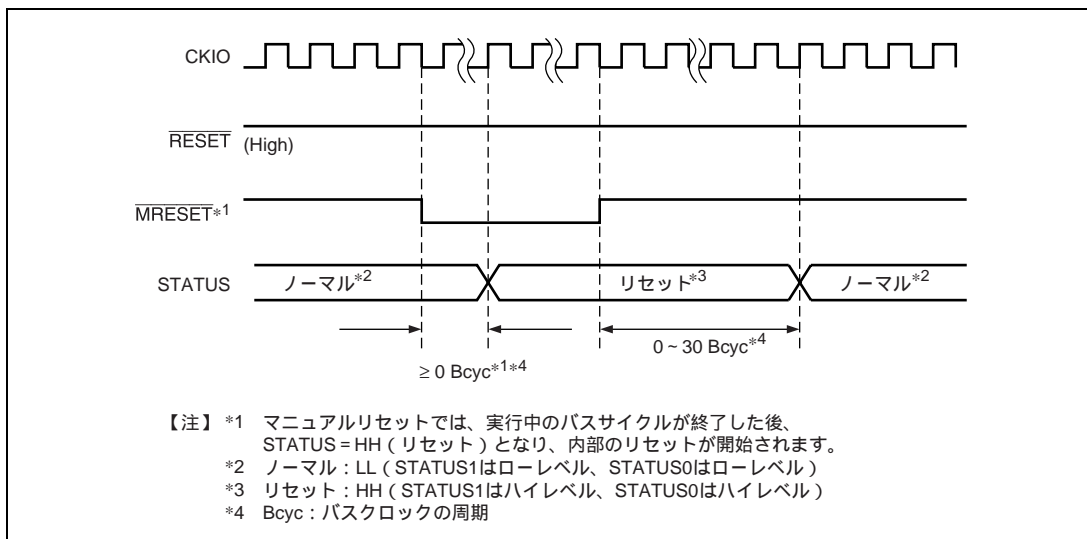


図 14.2 マニュアルリセットの STATUS 出力

(2) ソフトウェアスタンバイ解除の場合

(a) ソフトウェアスタンバイ 割り込み

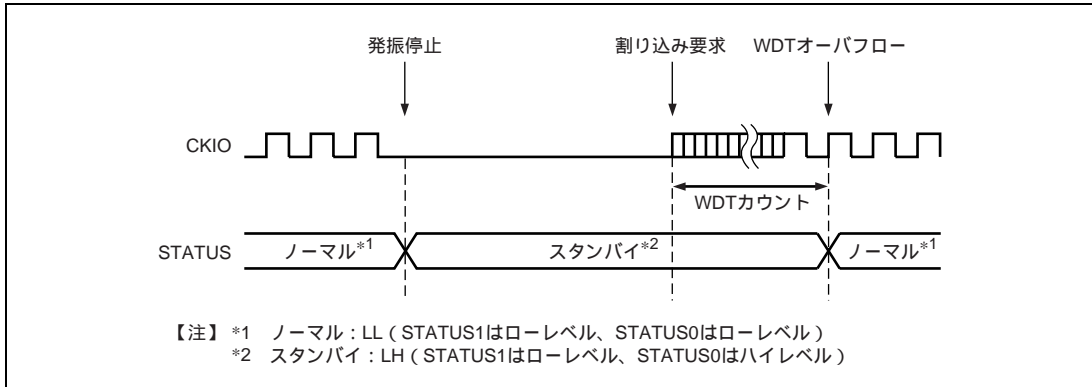


図 14.3 ソフトウェアスタンバイ 割り込みの STATUS 出力

(b) ソフトウェアスタンバイ パワーオンリセット

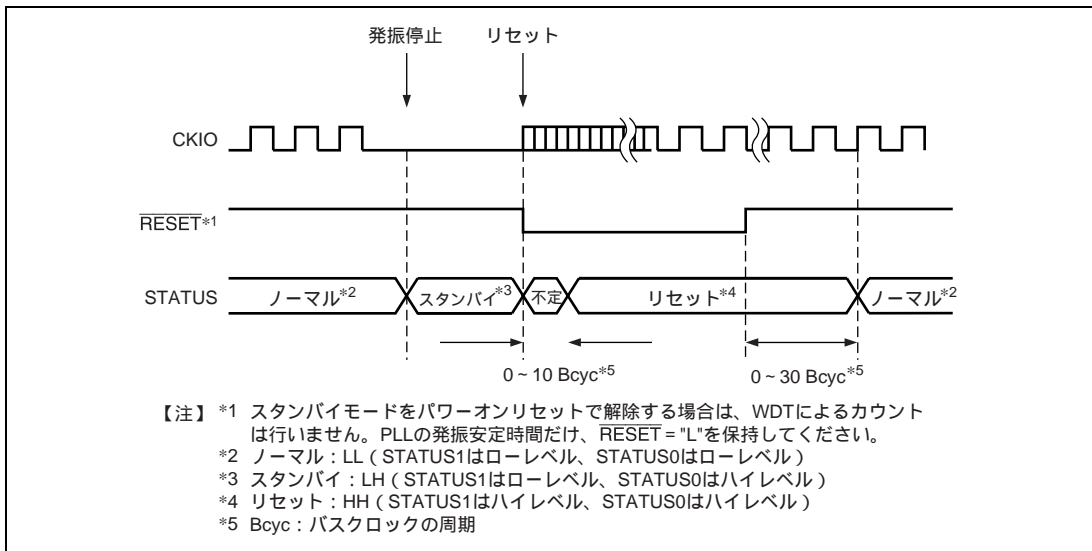


図 14.4 ソフトウェアスタンバイ パワーオンリセットの STATUS 出力

14. 低消費電力モード

(c) ソフトウェアスタンバイ マニュアルリセット

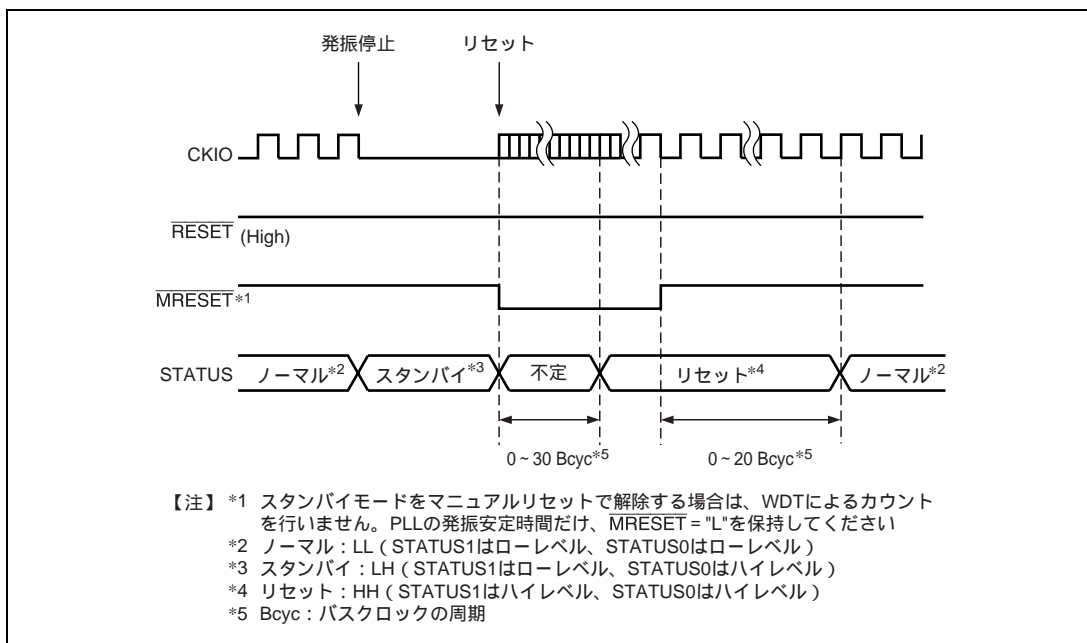


図 14.5 ソフトウェアスタンバイ マニュアルリセットの STATUS 出力

(3) スリープ解除の場合

(a) スリープ 割り込み

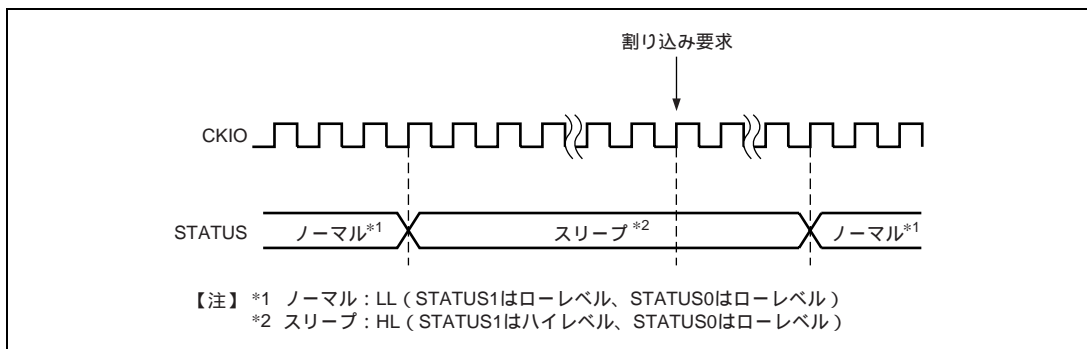


図 14.6 スリープ 割り込みの STATUS 出力

(b) スリープ パワーオンリセット

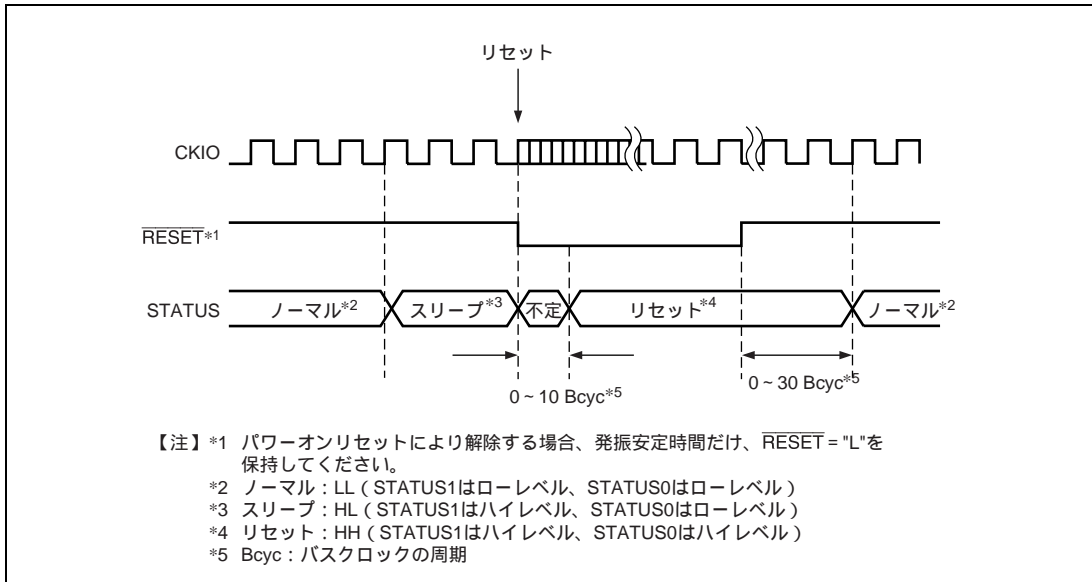


図 14.7 スリープ パワーオンリセットの STATUS 出力

(c) スリープ マニュアルリセット

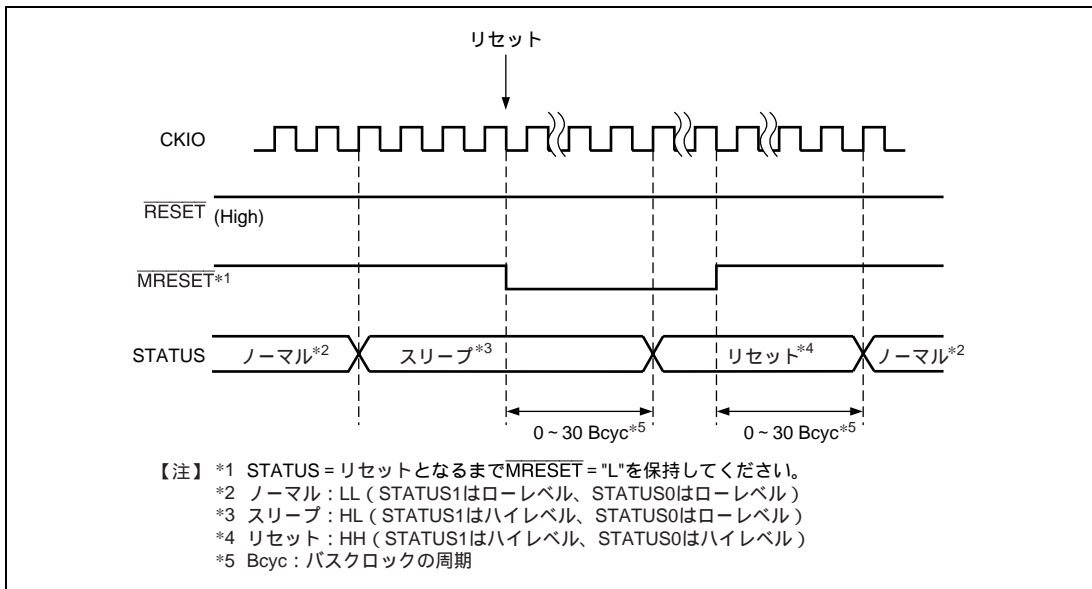


図 14.8 スリープ マニュアルリセットの STATUS 出力

14. 低消費電力モード

(4) ディープスリープ解除の場合

(a) ディープスリープ 割り込み

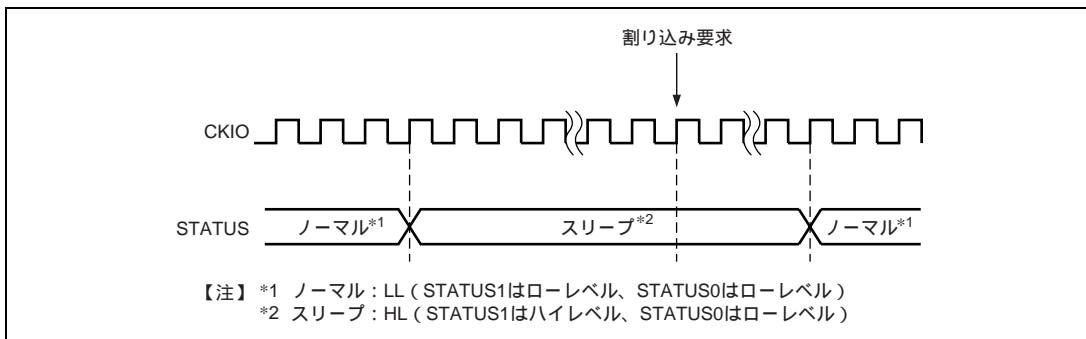


図 14.9 ディープスリープ 割り込みの STATUS 出力

(b) ディープスリープ パワーオンリセット

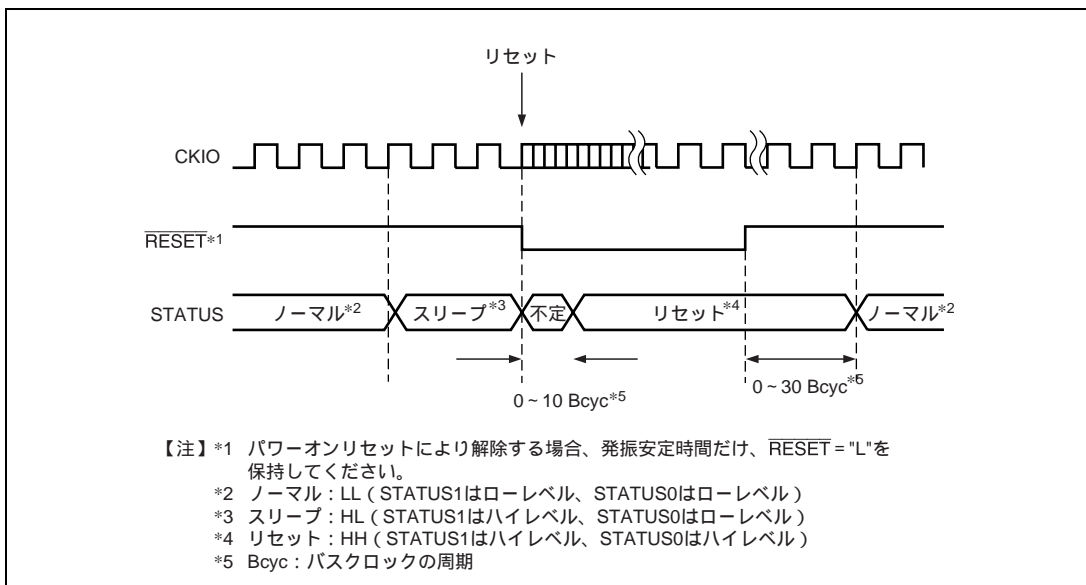


図 14.10 ディープスリープ パワーオンリセットの STATUS 出力

(c) ディープスリープ マニュアルリセット

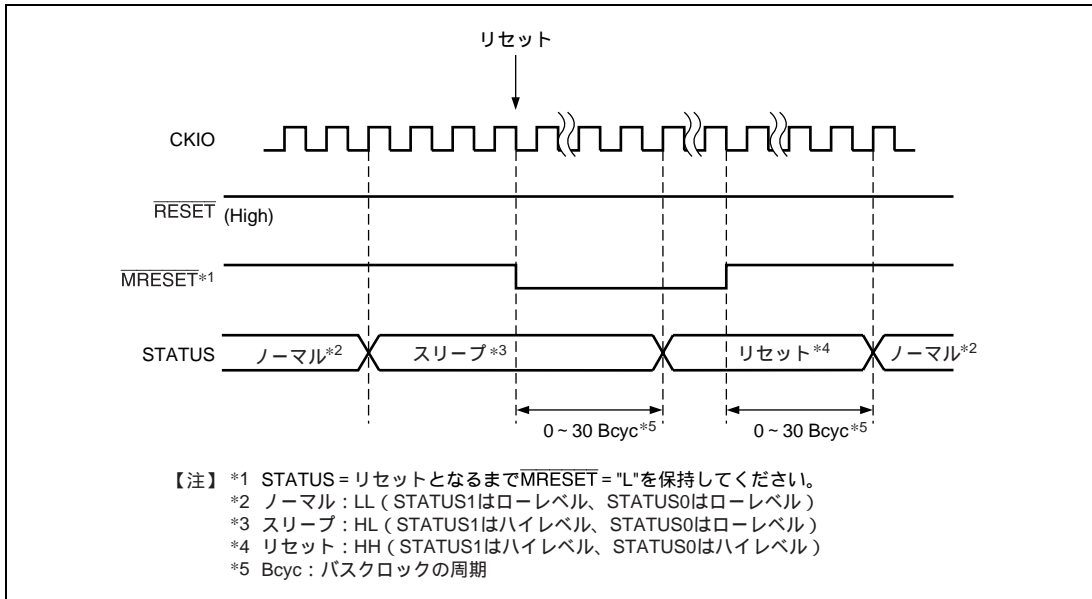


図 14.11 ディープスリープ マニュアルリセットのSTATUS出力

14.3.7 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 14.12 に示します。

ハードウェアスタンバイモード中は、必ずCA端子をローレベルに保持してください。

RESET端子をローレベルにした後、CA端子をハイレベルにした時点でクロックが発振を開始します。

14. 低消費電力モード

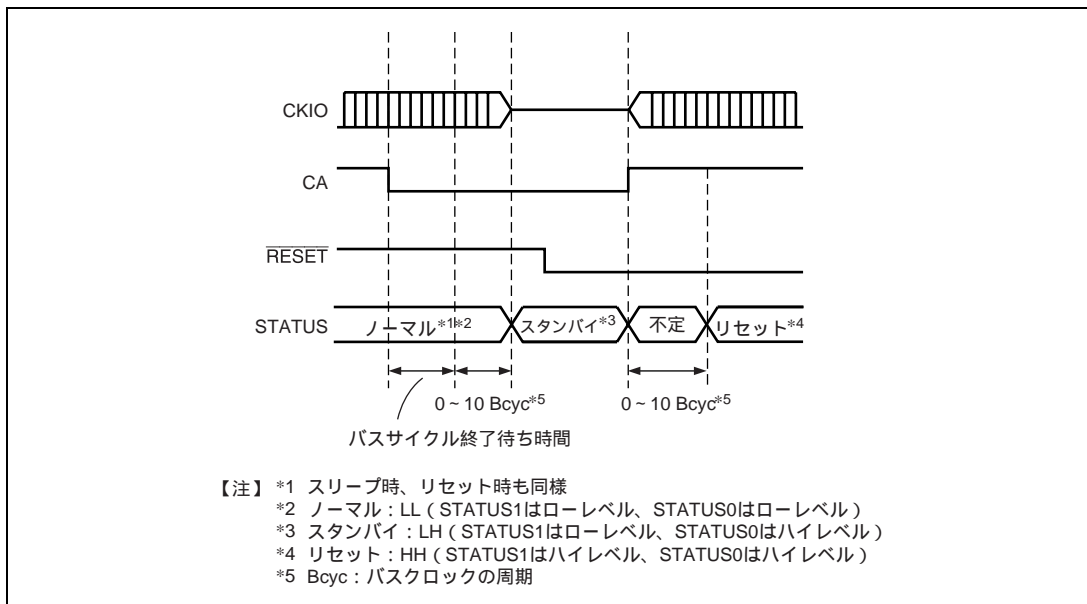


図 14.12 ハードウェアスタンバイモードのタイミング
(通常動作中に CA = ローレベルとなる場合)

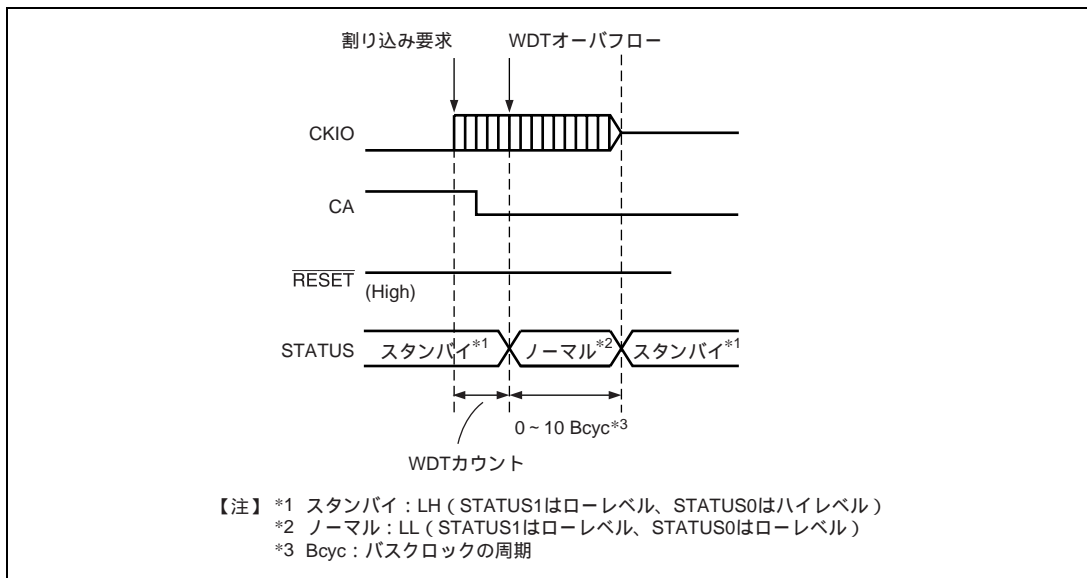


図 14.13 ハードウェアスタンバイモードのタイミング
(WDT 動作中に CA = ローレベルとなる場合)

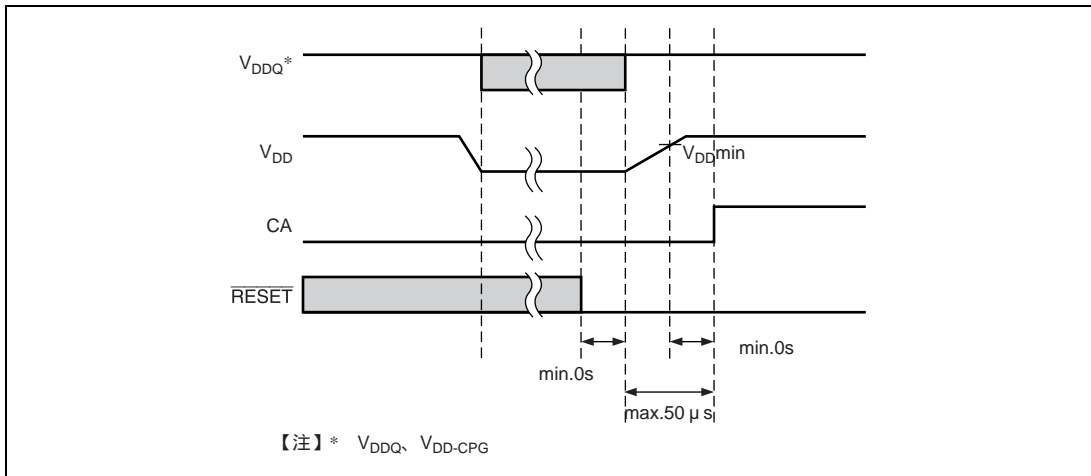


図 14.14 電源 OFF 時のタイミング

14.4 使用上の注意事項

14.4.1 消費電流に関する注意事項

パワーオンリセット後、下記の算術演算または浮動小数点演算命令のうち 1 命令以上を実行するまでの間は、スリープモード時およびスタンバイモード時の消費電流が最大値を超える場合があります。

1. 算術演算命令

MAC.W, MAC.L

2. 浮動小数点演算命令

- FPSCR.PR = 0 のとき :

FADD, FSUB, FMUL, FMAC, FLOAT, FTRC, FDIV, FSQRT, FIPR, FTRV

- FPSCR.PR = 1 のとき :

FADD, FSUB, FMUL, FLOAT, FTRC, FDIV, FSQRT, FCNVSD, FCNVDS

[回避策]

パワーオンリセット後からスリープモードおよびスタンバイモードへの遷移の前に上記の命令のうち 1 つ以上を実行してください。

[例]

FPSCR 等への影響を少なくする場合、H'A0000000 から以下の 2 命令を配置します。

アドレス 命令列

H'A0000000 FLDI1 FR0

H'A0000002 FADD FR0,FR0 ; FLDI1 FR0 により FR0 に 1 がロードされているために、

: : ; FPSCR の cause / flag ビットに 1 がセットされません。

15. タイマユニット (TMU)

本 LSI は 3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : TiMer Unit) を内蔵しています。

15.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2のみ、インプットキャプチャ機能を搭載
- 各チャンネルとも外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し / 書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 各チャンネルとも、6種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pck は周辺クロック)
- 2種類の割り込み要因
アンダフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。
- DMACに対してデータ転送要求可能
チャンネル2では、インプットキャプチャ割り込み時にDMACに対してデータ転送を要求します。

15. タイマユニット (TMU)

図 15.1 に TMU のブロック図を示します。

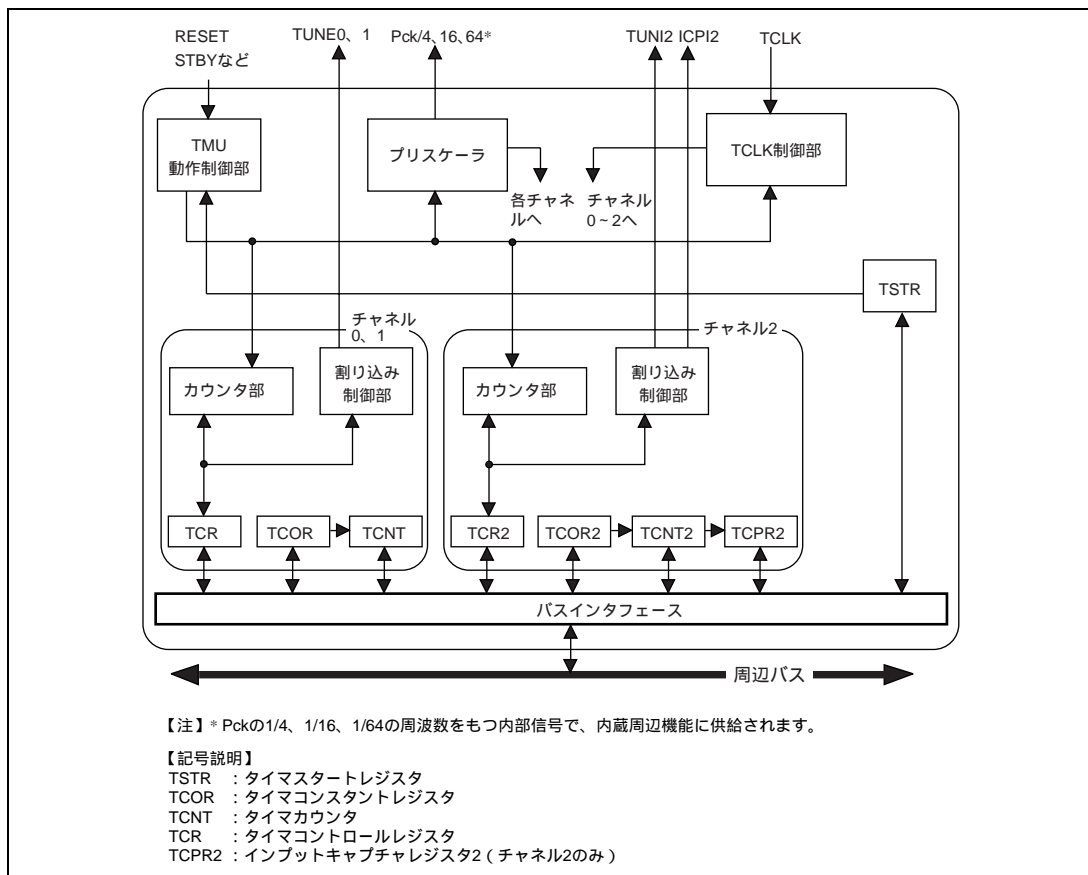


図 15.1 TMU のブロック図

15.2 入出力端子

表 15.1 に TMU の端子構成を示します。

表 15.1 端子構成

名称	略称	入出力	機能
クロック入力	TCLK	入力	外部クロック入力端子 / インพุットキャプチャ制御入力端子

15.3 レジスタの説明

TMU には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 15.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
共通	タイムスタートレジスタ	TSTR	R/W	H'FFD8 0004	H'1FD8 0004	8	Pck
0	タイムコンスタントレジスタ 0	TCOR0	R/W	H'FFD8 0008	H'1FD8 0008	32	Pck
	タイムカウンタ 0	TCNT0	R/W	H'FFD8 000C	H'1FD8 000C	32	Pck
	タイムコントロールレジスタ 0	TCR0	R/W	H'FFD8 0010	H'1FD8 0010	16	Pck
1	タイムコンスタントレジスタ 1	TCOR1	R/W	H'FFD8 0014	H'1FD8 0014	32	Pck
	タイムカウンタ 1	TCNT1	R/W	H'FFD8 0018	H'1FD8 0018	32	Pck
	タイムコントロールレジスタ 1	TCR1	R/W	H'FFD8 001C	H'1FD8 001C	16	Pck
2	タイムコンスタントレジスタ 2	TCOR2	R/W	H'FFD8 0020	H'1FD8 0020	32	Pck
	タイムカウンタ 2	TCNT2	R/W	H'FFD8 0024	H'1FD8 0024	32	Pck
	タイムコントロールレジスタ 2	TCR2	R/W	H'FFD8 0028	H'1FD8 0028	16	Pck
	インプットキャプチャレジスタ 2	TCPR2	R	H'FFD8 002C	H'1FD8 002C	32	Pck

表 15.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
			RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		Sleep 命令による/ ディープスリープ	ハード による
共通	タイムスタートレジスタ	TSTR	H'00	H'00	保持	*	H'00
0	タイムコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムカウンタ 0	TCNT0	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムコントロールレジスタ 0	TCR0	H'0000	H'0000	保持		保持
1	タイムコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムカウンタ 1	TCNT1	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムコントロールレジスタ 1	TCR1	H'0000	H'0000	保持		保持
2	タイムコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムカウンタ 2	TCNT2	H'FFFF FFFF	H'FFFF FFFF	保持		保持
	タイムコントロールレジスタ 2	TCR2	H'0000	H'0000	保持		保持
	インプットキャプチャレジスタ 2	TCPR2	保持	保持	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

15. タイムユニット (TMU)

15.3.1 タイムスタートレジスタ (TSTR)

TSTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0: TCNT2 のカウンタ動作は停止 1: TCNT2 はカウンタ動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0: TCNT1 のカウンタ動作は停止 1: TCNT1 はカウンタ動作する
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0: TCNT0 のカウンタ動作は停止 1: TCNT0 はカウンタ動作する

15.3.2 タイムコンスタントレジスタ (TCORn) (n=0~2)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT のカウンタダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウンタダウンを続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.3 タイマカウンタ (TCNTn) (n=0~2)

TCNTは、読み出し/書き込み可能な32ビットレジスタです。TCNTは、TCRのTPSC2~TPSC0ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNTのカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルのTCRのUNFがセットされます。また、同時にTCNTには、TCORの値がセットされ、セットされた値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.4 タイマコントロールレジスタ (TCRn) (n=0~2)

TCRは、読み出し/書き込み可能な16ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNTのアンダフロー発生を示すフラグが1にセットされたときの割り込み発生を制御を行います。また、チャンネル2のTCRはインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生を制御を行います。

• TCR0、TCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UNF	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

• TCR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

15. タイムユニット (TMU)

ビット	ビット名	初期値	R/W	説明
9	ICPF* ¹	0	R/W	<p>インプットキャプチャ割り込みフラグ</p> <p>チャンネル2のみの機能で、インプットキャプチャレジスタ発生を示すステータスフラグです。</p> <p>0：インプットキャプチャが発生していないことを示します [クリア条件] ICPFに0を書き込んだとき</p> <p>1：インプットキャプチャが発生したことを示します [セット条件] インプットキャプチャが発生したとき*²</p>
8	UNF	0	R/W	<p>アンダフローフラグ</p> <p>TCNTのアンダフローの発生を示すステータスフラグです。</p> <p>0：TCNTがアンダフローを起こしていないことを示します [クリア条件] UNFに0を書き込んだとき</p> <p>1：TCNTがアンダフローを起こしたことを示します [セット条件] TCNTがアンダフローを起こしたとき*²</p>
7 6	ICPE1* ¹ ICPE0* ¹	0 0	R/W R/W	<p>インプットキャプチャ制御</p> <p>チャンネル2のみの機能で、インプットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。</p> <p>インプットキャプチャ機能を使用する場合、インプットキャプチャ時にDMACに対し、データ転送を要求します。</p> <p>TCLK端子の立ち上がりエッジ/立ち下がりエッジのいずれかを使ってTCPR2にTCNT2の値をセットするかは、CKEGビットで設定します。</p> <p>TCR2のICPFビットが0のときのみ、TCNT2の値がTCPR2にセットされます。ICPFビットが1のときは、インプットキャプチャが発生してもTCPR2はセットされません。また、インプットキャプチャ発生時には、ICPFビットの値にかかわらずDMAC転送要求が発生します。ただし、DMAC転送要求は前の要求の処理が終了するまでは次の要求が発生しません。</p> <p>00：インプットキャプチャ機能を使用しないことを示します</p> <p>01：設定禁止</p> <p>10：インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み(TICPI2)を許可しないことを示します。インプットキャプチャ時にDMACに対してデータ転送を要求します。</p> <p>11：インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み(TICPI2)を許可することを示します。インプットキャプチャ時にDMACに対してデータ転送を要求します。</p>

ビット	ビット名	初期値	R/W	説明
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNTのアンダフローの発生を示すステータスフラグ UNF が1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: アンダフローによる割り込み (TUNI) を許可しない 1: アンダフローによる割り込み (TUNI) を許可する
4	CKEG1	0	R/W	クロックエッジ 1、0 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00: 立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01: 立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X: 立ち上がり/立ち下がりの両エッジでカウント/インプットキャプチャレジスタセット
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイムプリスケアラ 2~0 TCNTのカウントクロックを選択します。 000: Pck/4 でカウント 001: Pck/16 でカウント 010: Pck/64 でカウント 011: Pck/256 でカウント 100: Pck/1024 でカウント 101: 設定禁止 110: 設定禁止 111: 外部クロック (TCLK) でカウント
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

【注】 X: Don't care

- *1 チャンネル 0、1 ではリザーブビットです (初期値 0、リードのみ)。
- *2 1 を書き込むと元の値が保持されます。
- *3 チャンネル 0、1 ではリザーブビットです (初期値は 0、リードのみ) にはありません。

15.3.5 インプットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15.4 動作説明

各チャンネルには、32ビットのタイムカウンタ (TCNT) と 32ビットのタイムコンスタントレジスタ (TCOR) があります。TCNT は、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

15.4.1 カウンタの動作

TSTR の STR2 ~ STR0 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR の UNF フラグがセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 15.2 にカウント動作の設定手順例を示します。

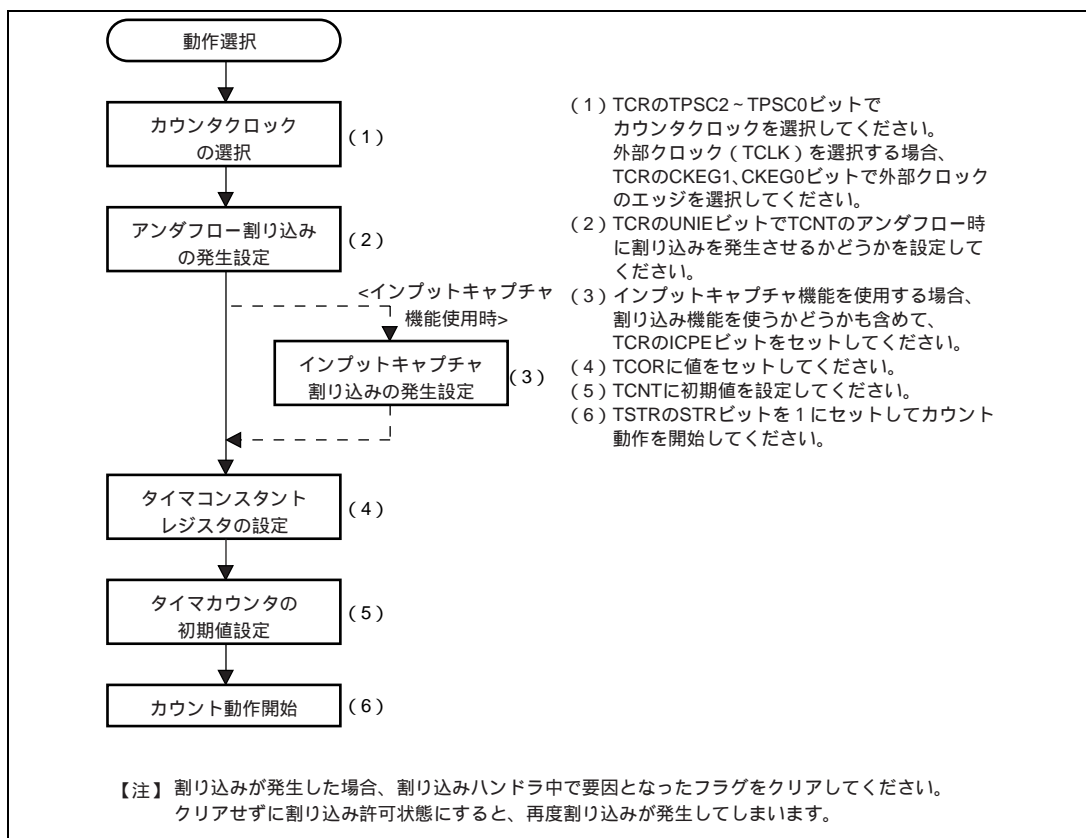


図 15.2 カウント動作設定手順例

(2) オートリロード動作

図 15.3 に TCNT のオートリロード動作を示します。

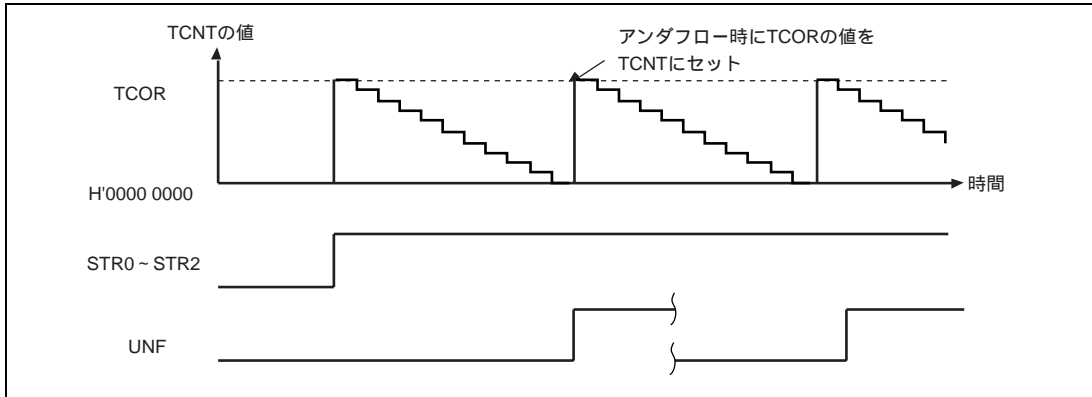


図 15.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺クロックを分周した 5 種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図 15.4 に示します。

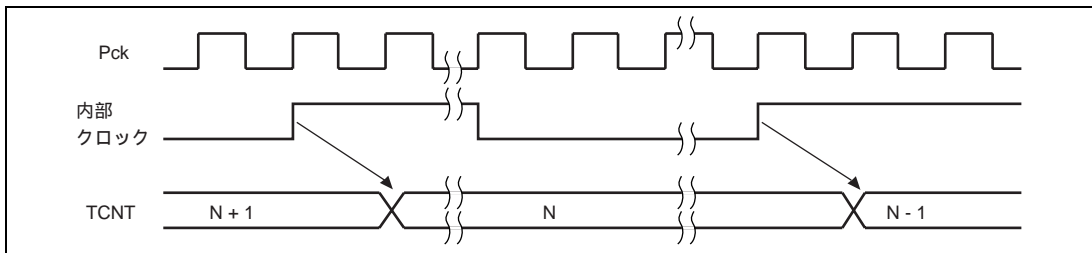


図 15.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図 15.5 に両エッジ検出時のタイミングを示します。

15. タイマユニット (TMU)

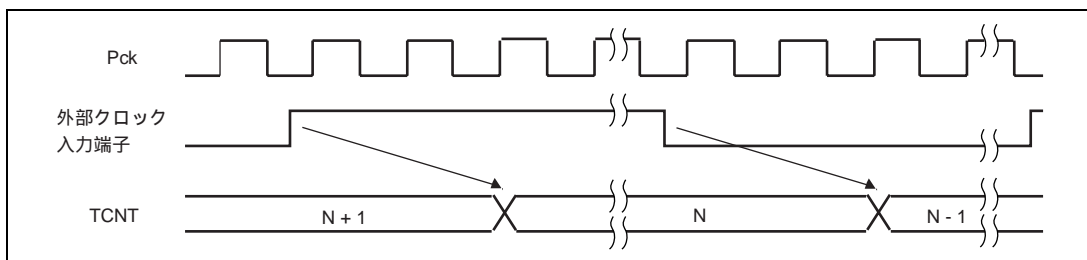


図 15.5 外部クロック動作時のカウントタイミング

15.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCRのTPSC2～TPSC 0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE1、ICPE 0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG1、CKEG 0ビットでTCLK端子の立ち上がり / 立ち下がりのどのエッジを使用してTCPR2に TCNTの値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。また、DMAC 転送要求は、前の要求の処理が終了するまでは次の要求を発生しません。

図 15.6 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

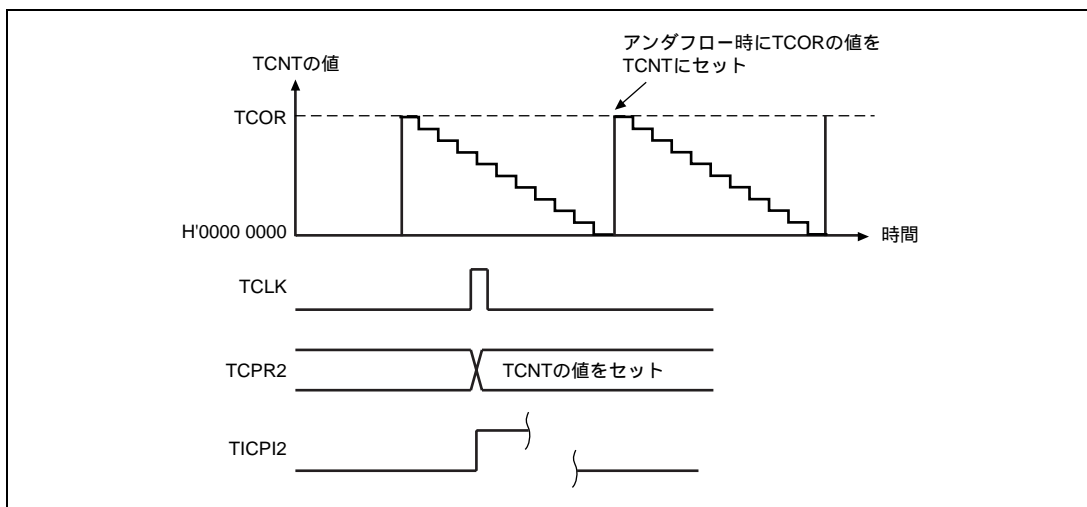


図 15.6 インットキャプチャ機能使用時の動作タイミング

15.5 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 15.3 に TMU の割り込み要因を示します。

表 15.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	High ↑ ↓ Low
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	
	TICPI2	インプットキャプチャ割り込み 2	

15.6 使用上の注意事項

15.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR2 ~ STR0) をクリアして、タイマのカウント動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウント動作中に行うことができます。カウント動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

15.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

15.6.3 外部クロック周波数について

各チャンネルへの外部クロック (TCLK) は $Pck/8$ を超えないようにしてください。

15. タイムユニット (TMU)

16. コンペアマッチタイマ (CMT)

CMTには、2つの動作モードがあります。1つは、32ビットのフリーランニングタイマ (FRT) モードで、32ビットのフリーランニングタイマが4本の32ビットのキャプチャ/コンペアレジスタに共通なタイムスタンプになります。

もう1つのモードは、カウント動作の可能な16ビットのタイマ/カウンタモードです。このモードには、4つの独立したインクリメント/デクリメントブロックがあります。各チャンネルでは、コンペアタイムに到達すると信号を出力するように、または入力エッジを受信するとタイマの値を格納するように設定可能です。入力エッジを受信し、タイマの値を格納する設定の場合、複数チャンネルのカウントアップ/カウントダウンもサポートしています。

16.1 特長

- 32ビットフリーランニングタイマ
- 4チャンネルのアウトプットコンペアまたはインプットキャプチャ
- 4チャンネルの16ビットタイマ/カウンタ
- キャプチャ割り込み、コンペア割り込み、オーバフロー割り込み
- プログラム可能な端子/エッジ極性
- プログラム可能なタイマクロック
- 16ビットタイマの独立したクロック
- ロータリースイッチをサポート

16. コンペアマッチタイマ (CMT)

図 16.1 に CMT のブロック図を示します。

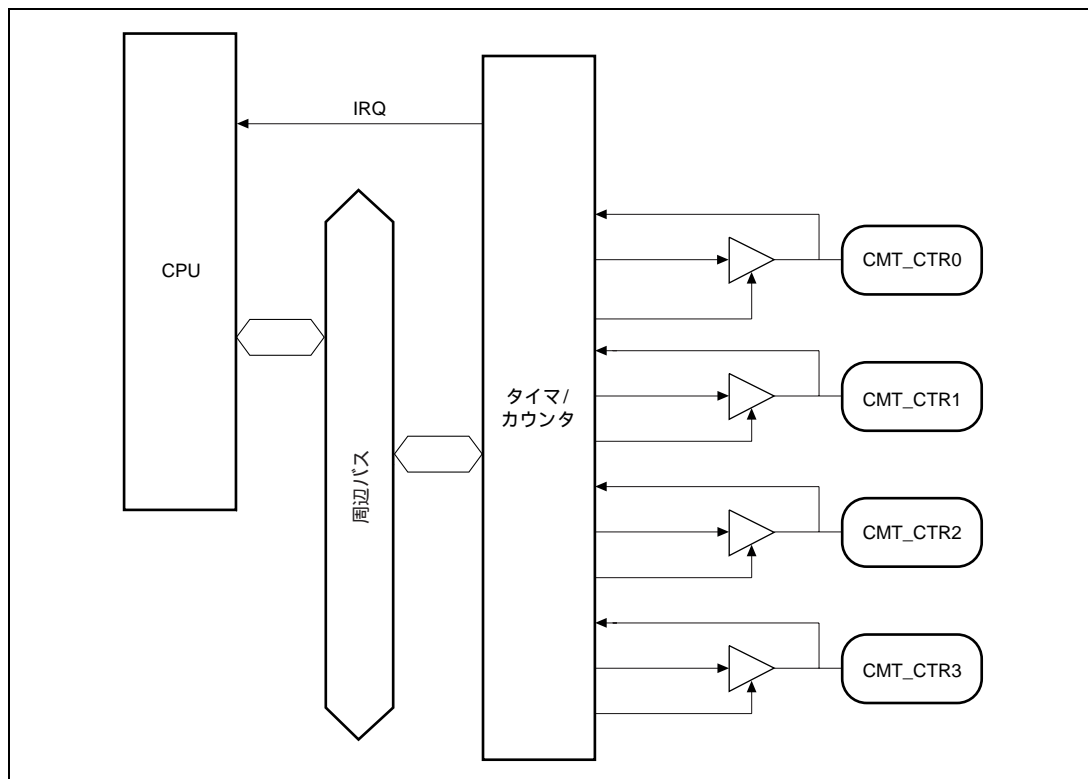


図 16.1 CMT のブロック図

16.2 入出力端子

CMT に関する端子構成を示します。

表 16.1 端子構成

名称	端子数	入出力	機能
CMT_CTRL0~3	4	入出力	マルチファンクションタイマ/カウンタ入出力端子

16.3 レジスタの説明

CMT には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 16.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
共通	コンフィギュレーションレジスタ	CMTCFG	R/W	H'FE1C 0000	H'1E1C 0000	32	Pck
	フリーランニングタイマ	CMTFRT	R	H'FE1C 0004	H'1E1C 0004	32	Pck
	コントロールレジスタ	CMTCTL	R/W	H'FE1C 0008	H'1E1C 0008	32	Pck
	IRQ ステータスレジスタ	CMTIRQS	R/W	H'FE1C 000C	H'1E1C 000C	32	Pck
0	チャンネル0 タイムレジスタ	CMTCH0T	R/W	H'FE1C 0010	H'1E1C 0010	32	Pck
	チャンネル0 ストップタイムレジスタ	CMTCH0ST	R/W	H'FE1C 0020	H'1E1C 0020	32	Pck
	チャンネル0 タイマ / カウンタ	CMTCH0C	R/W	H'FE1C 0030	H'1E1C 0030	32	Pck
1	チャンネル1 タイムレジスタ	CMTCH1T	R/W	H'FE1C 0014	H'1E1C 0014	32	Pck
	チャンネル1 ストップタイムレジスタ	CMTCH1ST	R/W	H'FE1C 0024	H'1E1C 0024	32	Pck
	チャンネル1 タイマ / カウンタ	CMTCH1C	R/W	H'FE1C 0034	H'1E1C 0034	32	Pck
2	チャンネル2 タイムレジスタ	CMTCH2T	R/W	H'FE1C 0018	H'1E1C 0018	32	Pck
	チャンネル2 ストップタイムレジスタ	CMTCH2ST	R/W	H'FE1C 0028	H'1E1C 0028	32	Pck
	チャンネル2 タイマ / カウンタ	CMTCH2C	R/W	H'FE1C 0038	H'1E1C 0038	32	Pck
3	チャンネル3 タイムレジスタ	CMTCH3T	R/W	H'FE1C 001C	H'1E1C 001C	32	Pck
	チャンネル3 ストップタイムレジスタ	CMTCH3ST	R/W	H'FE1C 002C	H'1E1C 002C	32	Pck
	チャンネル3 タイマ / カウンタ	CMTCH3C	R/W	H'FE1C 003C	H'1E1C 003C	32	Pck

16. コンペアマッチタイマ (CMT)

表 16.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
			RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎に よる
共通	コンフィギュレーションレジスタ	CMTCFG	H'0000 0000	H'0000 0000	保持	*	保持
	フリーランニングタイマ	CMTFRFT	H'0000 0000	H'0000 0000	保持		保持
	コントロールレジスタ	CMTCTL	H'0000 0000	H'0000 0000	保持		保持
	IRQ ステータスレジスタ	CMTIRQS	H'0000 0000	H'0000 0000	保持		保持
0	チャンネル 0 タイムレジスタ	CMTCH0T	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 0 ストップタイムレジスタ	CMTCH0ST	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 0 タイマ / カウンタ	CMTCH0C	H'0000 0000	H'0000 0000	保持		保持
1	チャンネル 1 タイムレジスタ	CMTCH1T	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 1 ストップタイムレジスタ	CMTCH1ST	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 1 タイマ / カウンタ	CMTCH1C	H'0000 0000	H'0000 0000	保持		保持
2	チャンネル 2 タイムレジスタ	CMTCH2T	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 2 ストップタイムレジスタ	CMTCH2ST	H'0000 0000	H'0000 0000	保持		保持
	チャンネル 2 タイマ / カウンタ	CMTCH2C	H'0000 0000	H'0000 0000	保持		保持
3	チャンネル 3 タイムレジスタ	CMTCH3T	H'0000 0000	H'0000 0000	保持	保持	
	チャンネル 3 ストップタイムレジスタ	CMTCH3ST	H'0000 0000	H'0000 0000	保持	保持	
	チャンネル 3 タイマ / カウンタ	CMTCH3C	H'0000 0000	H'0000 0000	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

16.3.1 コンフィギュレーションレジスタ (CMTCFG)

CMTCFG は、読み出し / 書き込み可能な 32 ビットレジスタです。端子の設定により、タイマコンペア、タイムインプットキャプチャ、カウントアップ、カウントダウン、キャプチャ入力といった動作が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ROT2	ROT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ED3		ED2		ED1		ED0		-	FRCM	FRTM	T23			T01	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
17	ROT2	0	R/W	チャンネル 2、3 ローテーションイネーブル アップダウンカウンタモード (T01=11、T23=011) で動作しているとき、このビットを 1 に設定してください。アップダウンカウンタモード以外では、必ず 0 を設定してください。 このビットを設定すると、チャンネル 2、3 の端子はロータリーモードで動作します。CMT_CTR2 および CMT_CTR 3 の端子状態により、カウンタをアップダウンさせる信号を発生します。このとき、CMTCTL の TE3 ビットを 0 にして、カウンタ 3 を無効にしてください。
16	ROT0	0	R/W	チャンネル 0、1 ローテーションイネーブル アップダウンカウンタモード (T01=11、T23=011) で動作しているとき、このビットを 1 に設定してください。アップダウンカウンタモード以外では、必ず 0 を設定してください。 このビットを設定すると、チャンネル 0、1 の端子はロータリーモードで動作します。CMT_CTR0 および CMT_CTR 1 の端子状態により、カウンタをアップダウンさせる信号を発生します。このとき、CMTCTL の TE1 ビットを 0 にして、カウンタ 1 を無効にしてください。
15、14	ED3	すべて 0	R/W	チャンネル 3 ピンアクティブコントロール [インプットキャプチャモードのとき] 00 : CMT_CTR3 端子のエッジ検出は無効 01 : CMT_CTR3 端子入力の立ち上がりエッジでエッジ検出 10 : CMT_CTR3 端子入力の立ち下がりエッジでエッジ検出 11 : CMT_CTR3 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出 [アウトプットコンペアモードのとき] 00 : 設定禁止* 01 : アクティブ期間中に CMT_CTR3 端子へ 1 を出力 10 : アクティブ期間中に CMT_CTR3 端子へ 0 を出力 11 : 設定禁止

16. コンペアマッチタイム (CMT)

ビット	ビット名	初期値	R/W	説明
13、12	ED2	すべて0	R/W	チャンネル2 ピンアクティブコントロール [インプットキャプチャモードのとき] 00 : CMT_CTR2 端子のエッジ検出は無効 01 : CMT_CTR2 端子入力の立ち上がりエッジでエッジ検出 10 : CMT_CTR2 端子入力の立ち下がりエッジでエッジ検出 11 : CMT_CTR2 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出 [アウトプットコンペアモードのとき] 00 : 設定禁止* 01 : アクティブ期間中に CMT_CTR2 端子へ1 を出力 10 : アクティブ期間中に CMT_CTR2 端子へ0 を出力 11 : 設定禁止
11、10	ED1	すべて0	R/W	チャンネル1 ピンアクティブコントロール [インプットキャプチャモードのとき] 00 : CMT_CTR1 端子のエッジ検出は無効 01 : CMT_CTR1 端子入力の立ち上がりエッジでエッジ検出 10 : CMT_CTR1 端子入力の立ち下がりエッジでエッジ検出 11 : CMT_CTR1 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出 [アウトプットコンペアモードのとき] 00 : 設定禁止* 01 : アクティブ期間中に CMT_CTR1 端子へ1 を出力 10 : アクティブ期間中に CMT_CTR1 端子へ0 を出力 11 : 設定禁止
9、8	ED0	すべて0	R/W	チャンネル0 ピンアクティブコントロール [インプットキャプチャモードのとき] 00 : CMT_CTR0 端子のエッジ検出は無効 01 : CMT_CTR0 端子入力の立ち上がりエッジでエッジ検出 10 : CMT_CTR0 端子入力の立ち下がりエッジでエッジ検出 11 : CMT_CTR0 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出 [アウトプットコンペアモードのとき] 00 : 設定禁止* 01 : アクティブ期間中に CMT_CTR0 端子へ1 を出力 10 : アクティブ期間中に CMT_CTR0 端子へ0 を出力 11 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * 当該チャネルを使用する場合は、必ず設定禁止以外の値を設定してください。

16. コンペアマッチタイマ (CMT)

ビット	ビット名	初期値	R/W	説明
6	FRCM	0	R/W	<p>フリーランニングコントロールモード</p> <p>16 ビットタイマ / カウンタモードのときに T23 ビットが 100 に設定(アップカウンタでキャプチャ入力)されていると、このビットはアップカウンタがフリーランニングカウンタを使用するのか、またはチャンネル 3 の入力キャプチャを使用するのかを決定します。</p> <p>0 : 外部クロック (インプットキャプチャ付きでアップカウンタ)</p> <p>1 : 内部クロック (フリーランニングアップカウンタ)</p>
5	FRTM	0	R/W	<p>フリーランニングタイマモード</p> <p>共通の 32 ビットフリーランニングタイマとして動作するかあるいは、4 本の独立した 16 ビットタイマ / カウンタとして動作するかを設定します。このビットを 1 に設定すると CMTCFG のビット 4~0 の設定が無効になります。</p> <p>0 : 16 ビットタイマ / カウンタモード</p> <p>1 : 32 ビットフリーランニングタイマ (FRT) モード</p>
4~2	T23	すべて 0	R/W	<p>タイマ 2、3 コンフィギュレーション</p> <p>このビットは 16 ビットタイマ / カウンタモードのときのみ使用され、CMT_CTR2、3 端子の使用を制御します。CMT_CTR2 はタイマ 2 / カウンタ 2 にマッピングされ、CMT_CTR3 はタイマ 3 / カウンタ 3 にマッピングされます。</p> <p>チャンネル 2、3 のコンフィギュレーションモード</p> <p>000 : タイマ 2、3</p> <p>001 : アップカウンタ 2、タイマ 3</p> <p>010 : アップカウンタ 2、3</p> <p>011 : アップダウンカウンタ 2</p> <p>100 : アップカウンタでキャプチャ入力</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p> <p>【注】 アップカウンタ 2 はアップダウンカウンタ 2 のサブセットです。</p>
1、0	T01	すべて 0	R/W	<p>タイマ 0、1 コンフィギュレーション</p> <p>このビットは 16 ビットタイマ / カウンタモードのときのみ使用され、CMT_CTR0、1 端子の使用を制御します。CMT_CTR 0 はタイマ 0 / カウンタ 0 にマッピングされ、CMT_CTR 1 はタイマ 1 / カウンタ 1 にマッピングされます。</p> <p>チャンネル 0、1 のコンフィギュレーションモード</p> <p>00 : タイマ 0、1</p> <p>01 : アップカウンタ 0、タイマ 1</p> <p>10 : アップカウンタ 0、1</p> <p>11 : アップダウンカウンタ 0</p> <p>【注】 アップカウンタ 0 はアップダウンカウンタ 0 のサブセットです。</p>

16. コンペアマッチタイム (CMT)

16.3.2 フリーランニングタイム (CMTFRT)

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

FRT															
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

FRT															
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
31~0	FRT	すべて0	R	フリーランニングタイム フリーランニングタイム (FRT) の現在値を示します。

16.3.3 コントロールレジスタ (CMTCTL)

CMTCTL は、読み出し / 書き込み可能な 32 ビットレジスタです。各ビットで割り込みの制御、クロックの設定、動作モードの選択を行います。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

TE3	TE2	TE1	TE0	IOE3	IOE2	IOE1	IOE0	ICE3	ICE2	ICE1	ICE0	IEE3	IEE2	IEE1	IEE0
-----	-----	-----	-----	------	------	------	------	------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CC3	CC2	CC1	CC0	SI3	SI2	SI1	SI0	OP3	OP2	OP1	OP0
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31	TE3	0	R/W	チャンネル 3~0 タイマイネーブル TE _n はチャンネル <i>n</i> の 16 ビットタイム / カウンタのカウンタ動作を許可します。このビットが 0 で、タイムモードあるいはカウンタモードで動作しているとき、カウンタは 0 にリセットされます。 アップダウンカウンタモードでは、各組 1 つのタイム / カウンタ (タイム / カウンタ 1、タイム / カウンタ 3) を禁止する必要があります (TE1=0、TE3=0)。 0: カウンタ禁止。カウンタは H'000 にリセットされます。 1: カウンタ動作許可
30	TE2	0	R/W	
29	TE1	0	R/W	
28	TE0	0	R/W	
27	IOE3	0	R/W	チャンネル 3~0 オーバフロー割り込みイネーブル IOE _n はチャンネル <i>n</i> に対応する CMTIRQS レジスタの IO _n ビットが設定されているとき、割り込みが発生するのを許可します。 0: 割り込みの発生を禁止 1: 割り込みの発生を許可
26	IOE2	0	R/W	
25	IOE1	0	R/W	
24	IOE0	0	R/W	

【注】 *n* = 3~0

16. コンペアマッチタイマ (CMT)

ビット	ビット名	初期値	R/W	説明
23 22 21 20	ICE3 ICE2 ICE1 ICE0	0 0 0 0	R/W R/W R/W R/W	<p>チャンネル3~0 コンペアマッチ割り込みイネーブル</p> <p>ICE nはチャンネルnに対応するCMTIRQSレジスタのICnビットが設定されているとき、割り込みが発生するのを許可します。</p> <p>0：割り込みの発生を禁止 1：割り込みの発生を許可</p>
19 18 17 16	IEE3 IEE2 IEE1 IEE0	0 0 0 0	R/W R/W R/W R/W	<p>チャンネル3~0 エッジ割り込みイネーブル</p> <p>IEE nはチャンネルnに対応するCMTIRQSレジスタのIEEnビットが設定されているとき、割り込みが発生するのを許可します。</p> <p>0：割り込みの発生を禁止 1：割り込みの発生を許可</p> <p>【注】チャンネルnが出力モードに設定されているときは、対応するIEEnビットは0に設定してください。</p>
15、14	CC3	すべて0	R/W	<p>タイマクロックコントロールチャンネル3</p> <p>このビットはチャンネル3の16ビットタイマ/カウンタのクロック入力を指定します。*</p> <p>00：タイマ3のクロックは、ソースクロックの1/32 01：タイマ3のクロックは、ソースクロックの1/128 10：タイマ3のクロックは、ソースクロックの1/512 11：タイマ3のクロックは、ソースクロックの1/1024</p> <p>【注】16ビットインプットキャプチャモードを使用するときは、CC0と同じ値を設定してください。</p>
13、12	CC2	すべて0	R/W	<p>タイマクロックコントロールチャンネル2</p> <p>このビットはチャンネル2の16ビットタイマ/カウンタのクロック入力を指定します。*</p> <p>00：タイマ2のクロックは、ソースクロックの1/32 01：タイマ2のクロックは、ソースクロックの1/128 10：タイマ2のクロックは、ソースクロックの1/512 11：タイマ2のクロックは、ソースクロックの1/1024</p> <p>【注】16ビットインプットキャプチャモードを使用するときは、CC0と同じ値を設定してください。</p>
11、10	CC1	すべて0	R/W	<p>タイマクロックコントロールチャンネル1</p> <p>このビットはチャンネル1の16ビットタイマ/カウンタのクロック入力を指定します。*</p> <p>00：タイマ1のクロックは、ソースクロックの1/32 01：タイマ1のクロックは、ソースクロックの1/128 10：タイマ1のクロックは、ソースクロックの1/512 11：タイマ1のクロックは、ソースクロックの1/1024</p> <p>【注】16ビットインプットキャプチャモードを使用するときは、CC0と同じ値を設定してください。</p>

【注】n=3~0

16. コンペアマッチタイム (CMT)

ビット	ビット名	初期値	R/W	説明
9, 8	CC0	すべて0	R/W	フリーランニングタイムクロックコントロール このクロックは32ビットフリーランニングタイム (FRT) およびチャンネル0の16ビットタイム/カウンタに使用されます。 00: FRTのクロックおよびタイム0はソースクロックの1/32 01: FRTのクロックおよびタイム0はソースクロックの1/128 10: FRTのクロックおよびタイム0はソースクロックの1/512 11: FRTのクロックおよびタイム0はソースクロックの1/1024
7 6 5 4	SI3 SI2 SI1 SI0	0 0 0 0	R/W R/W R/W R/W	チャンネル3~0ストップイグノア SI _n ビットは、チャンネルnにおいて、32ビットフリーランニングタイム (FRT) モードでアウトプットコンペアモードのとき、出力が最大時間の半分まであるいは停止値に到達するまでアクティブを保持するかを決定します。 0: チャンネルnストップタイムレジスタ値に到達するまで出力はアクティブを保持 1: FRTの総時間の半分まで出力はアクティブを保持
3 2 1 0	OP3 OP2 OP1 OP0	0 0 0 0	R/W R/W R/W R/W	チャンネル3~0オペレーション OP _n ビットは、チャンネルnにおいて、タイマモードのとき、アウトプットコンペアモードあるいはインプットキャプチャモードのどちらでタイマを使用するかを決定します。 0: インプットキャプチャモード 1: アウトプットコンペアモード 【注】チャンネルが出力モードに設定されているときは、対応するIE _n ビットは0に設定してください。

【注】 n=3~0

- * ソースクロックとは周辺クロック (Pck) です。ソースクロックを分周したクロックがそのチャンネルのタイム/カウンタの分解能です。

16.3.4 IRQ ステータスレジスタ (CMTIRQS)

CMTIRQS は、読み出し/書き込み可能な32ビットレジスタです。割り込み要因により1に設定されると、書き込みでしか0にクリアされません。各ビットに0を書き込むことにより、各割り込みステータスビットは0にクリアすることができます。該当する割り込みイネーブルビットが設定されていると、本レジスタの割り込みフラグにより割り込みを発生させることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	IO3	IO2	IO1	IO0	IC3	IC2	IC1	IC0	IE3	IE2	IE1	IE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16. コンペアマッチタイマ (CMT)

ビット	ビット名	初期値	R/W	説明
31~12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 10 9 8	IO3 IO2 IO1 IO0	0 0 0 0	R/W* R/W* R/W* R/W*	チャンネル3~0 オーバフロー割り込み アップカウンタあるいはアップダウンカウンタがオーバフロー (H'FFFF H'0000) あるいはアンダフロー (H'0000 H'FFFF) しているかどうかを示します。 0: カウントはオーバフローあるいはアンダフローしていない。 1: カウントはオーバフローあるいはアンダフローしている。
7 6 5 4	IC3 IC2 IC1 IC0	0 0 0 0	R/W* R/W* R/W* R/W*	チャンネル3~0 コンペア割り込み タイマモードのとき、フリーランニングタイマの値がチャンネルタイム値と同じかどうかを示します。 0: タイマはチャンネルタイム値と異なる。 1: タイマはチャンネルタイム値と同じ。
3 2 1 0	IE3 IE2 IE1 IE0	0 0 0 0	R/W* R/W* R/W* R/W*	チャンネル3~0 エッジ割り込み CMTCFGで指定のエッジ (アクティブエッジ) が検出されたかどうかを示します。 0: チャンネル3~0はアクティブエッジ検出していない。 1: チャンネル3~0はアクティブエッジ検出している。

【注】 * 1の書き込みは無視されます。0書き込みによる0クリアは可能です。

16.3.5 チャンネル0~チャンネル3 タイムレジスタ (CMTCH0T~CMTCH3T)

アウトプットコンペアモードのとき、本レジスタはフリーランニングタイマと比較する値を指定します。インプットキャプチャモードのとき、このレジスタは入力のアクティブエッジにおける、フリーランニングタイマ値 (CMTFRT) あるいは16ビットタイマ値 (CMTCHnC) を格納します。エッジが検出されるとレジスタは更新され、新しくキャプチャされた値が格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	チャンネルnタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n=3~0

16. コンペアマッチタイム (CMT)

16.3.6 チャンネル0~チャンネル3 ストップタイムレジスタ (CMTCH0ST~CMTCH3ST)

アウトプットコンペアモードのとき、本レジスタはフリーランニングタイムと比較する値を指定します。この値に到達すると、タイマの出力はインアクティブ状態にリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	チャンネルnストップタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnストップタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】n=3~0

16.3.7 チャンネル0~チャンネル3 タイマ/カウンタ (CMTCH0C~CMTCH3C)

各チャンネルのレジスタはタイマ/カウンタの現在値を示します。本レジスタに書き込むことにより、タイマ/カウンタの値を設定できます。このレジスタを読み出しても、タイマ/カウント値には影響しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnカウンタ															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】n=3~0

16.4 動作説明

タイマは2つのセクションで構成されています。1つめのセクションは、クロックがおよそ1MHz ~ 30kHzの間で動作する32ビットのフリーランニングタイマ(FRT)です。2つめのセクションは、カウントアップ可能で、カウントダウンもできる4本の16ビットタイマ/カウンタから構成されています。カウントは、入力端子のエッジ検出を通して制御されます。タイマやカウンタは、入力をもとにしてカウントを行うカウンタとして、またはインプットキャプチャ/アウトプットコンペアを行うタイマとして動作することができます。キャプチャやコンペアがそのチャンネルで発生したときにH'0000にリセットされるという点で、FRTの32ビットタイマと異なります。

4チャンネルのタイマ/カウンタは、それぞれタイマやカウンタとして構成されています。タイマモードでは、4チャンネルそれぞれにインプットキャプチャモードとアウトプットコンペアモードの2つの動作モードがあります。

16.4.1 エッジ検出

タイマとカウンタは入力端子のエッジ検出を基にしています。アクティブエッジは、立ち上がりエッジまたは立ち下がりエッジ、両エッジのいずれかになるように設定できます。ロータリースイッチモードでは、2つの入力の組み合わせでスイッチが右回転か、あるいは左回転かを検出し、アップダウンカウンタのインクリメントやデクリメント動作を行います。2つの入力で動作するエッジ検出は組になっています。出力は、タイマやアップカウンタに向けて独立して動作したり、アップダウンカウンタのカウントアップやカウントダウンを示すために1つの組になって動作します。

エッジが検出されるには、図16.2で示すように、入力パルスがチャンネルに対して少なくともソースクロックを分周したクロックの2サイクルの間続くようにしてください。

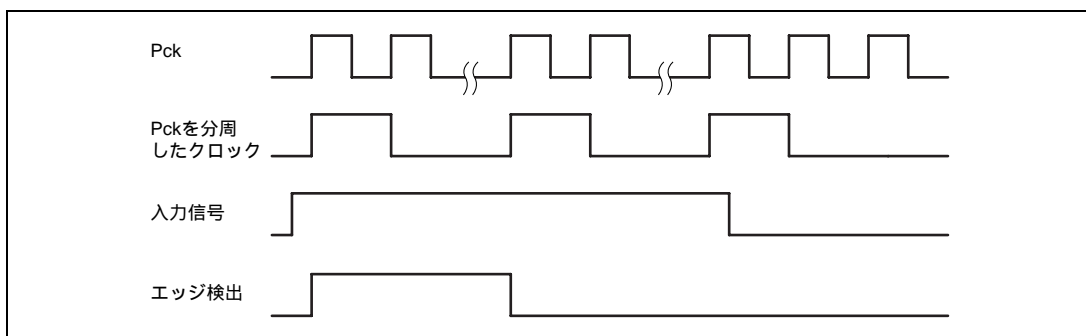


図 16.2 エッジ検出

図16.2は、エッジ検出(立ち上がりエッジ)を表しています。入力端子は少なくとも2クロック分解能サイクルの間、アサートされなければなりません。

16.4.2 タイマ 32 ビット：インプットキャプチャ

インプットキャプチャモードで動作しているとき、チャンネルは入力信号のエッジを検出します。エッジは立ち上がりあるいは立ち下がりから選択できます。このエッジが検出されると、フリーランニングタイム (FRT) の現在値がそのチャンネルのチャンネルタイムレジスタにキャプチャされます。また、そのチャンネルのエッジ割り込みビットが設定されます。エッジ割り込みイネーブルビットが設定されていると割り込みが発生します。

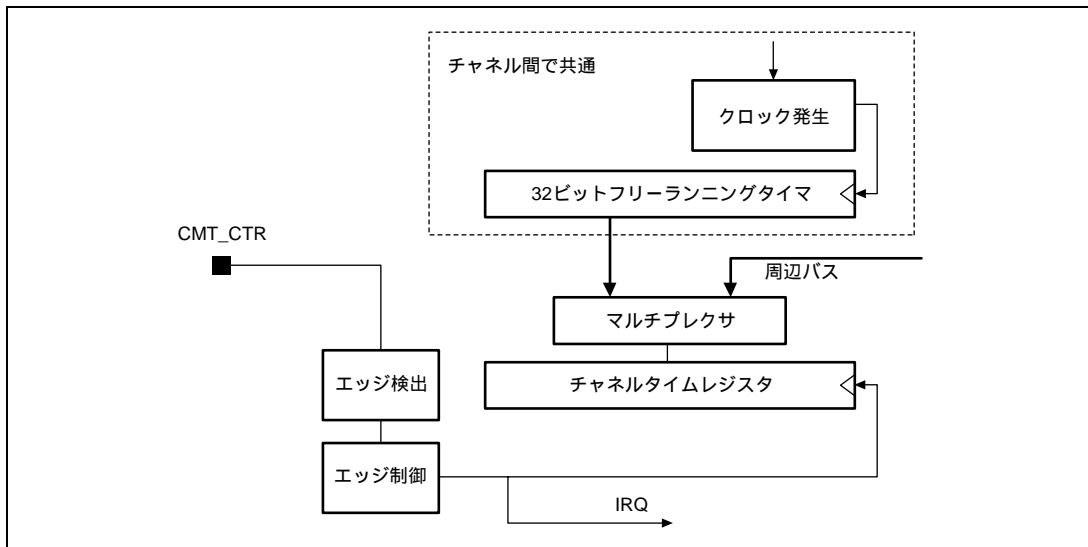


図 16.3 32 ビットタイマモード：インプットキャプチャ

16.4.3 タイマ 32 ビット : アウトプットコンペア

アウトプットコンペアモードで動作しているとき、チャンネルタイムレジスタの値はフリーランニングタイマの値と比較されます。フリーランニングタイマの値がチャンネルタイムレジスタの値と同じになったとき、出力はピンアクティブコントロールビットで定義されているアクティブ状態に設定されます。図 16.4 で表すように、出力は時間がチャンネルタイムの最大値の半分になるまであるいはコントロールレジスタのストップイグノアビットの設定により、チャンネルストップタイムレジスタの値に到達するまで、この状態を保持します。チャンネルタイムレジスタの値とフリーランニングタイマの値が同じになると、コンペア割り込みビットが設定され、エッジ割り込みイネーブルビットが設定されていれば割り込みが発生します。

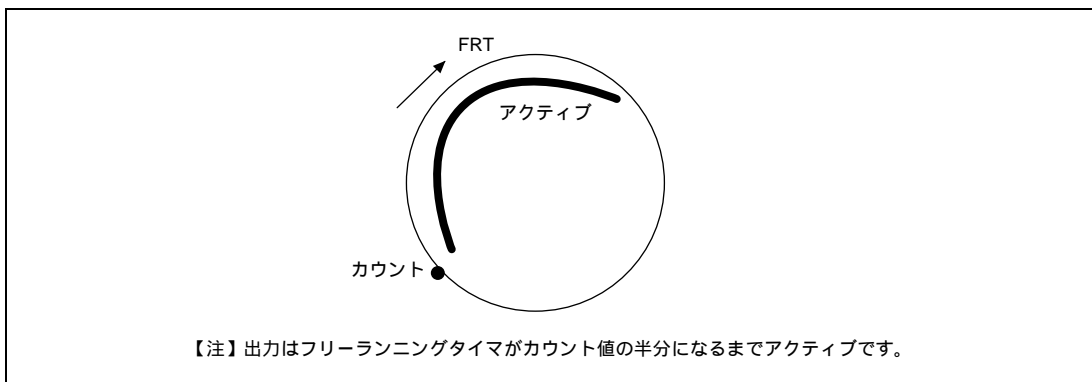


図 16.4 出力端子アサート期間

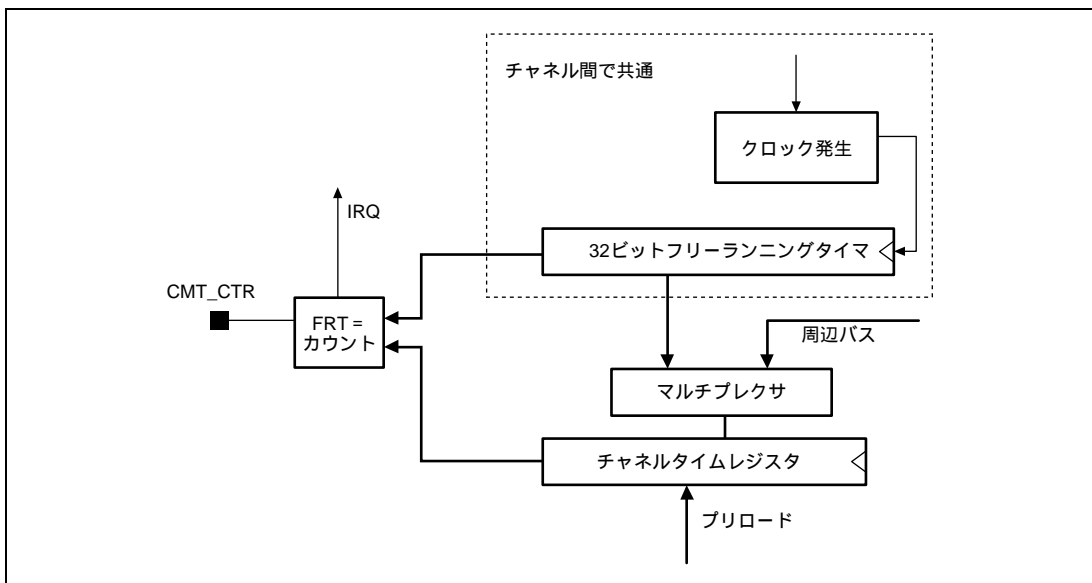


図 16.5 32 ビットタイマモード : アウトプットコンペア

16.4.4 タイマ 16 ビット：インプットキャプチャ

本モードでは、16 ビットタイマはタイマクロックコントロールビットで定義されたクロックを使用したフリーランニングとして動作します。ピンアクティブコントロールビット (CMTCFG.EDn) の設定によってアクティブエッジが検出されると、チャンネル n タイムレジスタ (CMTCHnT) に 16 ビットカウンタ (CMTCHnC) の値がセットされ、エッジ割り込みビット (CMTIRQS.IEn) が 1 にセットされ、16 ビットカウンタ (CMTCHnC) は、H'0000 にリセットされ、そのままカウントを再開します。また、16 ビットカウンタは、タイマイネーブルビットを無効 (CMTCTL.TEn=0) にすることにより、H'0000 にセットされます。本モードでは、少なくとも 1 チャンネル (チャンネル 0) が有効です。その他の 3 チャンネルは、チャンネル 0 と同様のソースクロックを使用していた場合有効です。

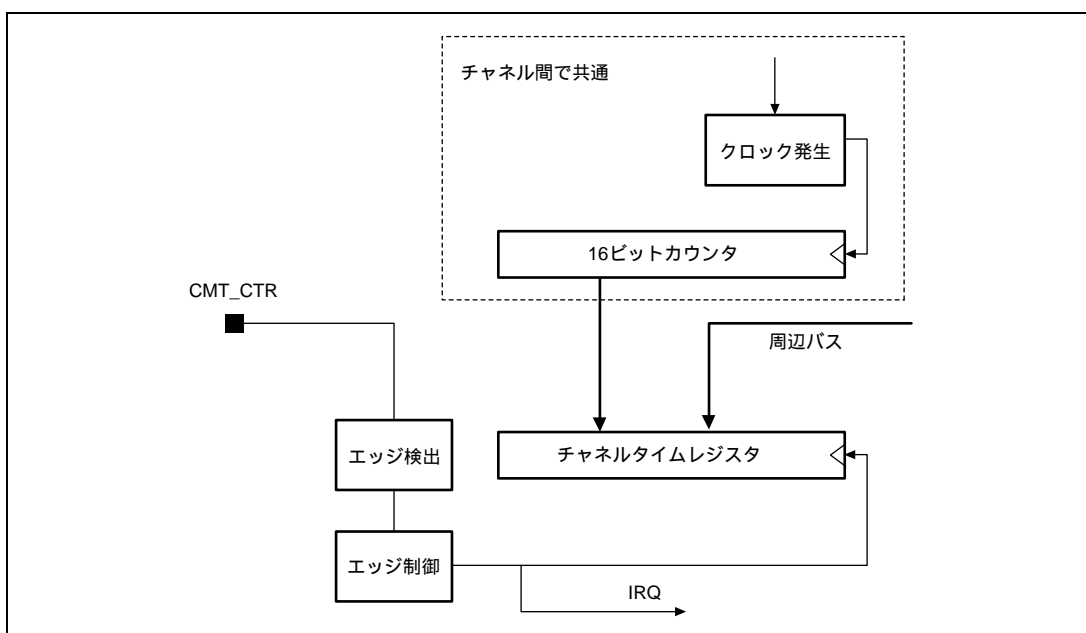


図 16.6 16 ビットタイマモード：インプットキャプチャ

16.4.5 タイマ 16 ビット：アウトプットコンペア

本モードでは、16 ビットタイマはタイマクロックコントロールビットで定義されたクロックを使用したフリーランニングとして動作します。各チャンネルのタイマ (CMTCHnC) のカウントアップ時に、タイマ (CMTCHnC) の値がタイムレジスタ (CMTCHnT) の下位 16 ビットと一致していた場合、CMT_CTRL 端子出力を現在の状態から反転 (トグル) します。この場合、コンペア割り込みビット (CMTIRQS.ICn) が 1 にセットされ、16 ビットカウンタ (CMTCHnC) は、H'0000 にリセットされ、そのままカウントを再開します。また、16 ビットカウンタは、タイマイネーブルビットを無効 (CMTCTL.TEn=0) にすることにより、H'0000 にセットされます。

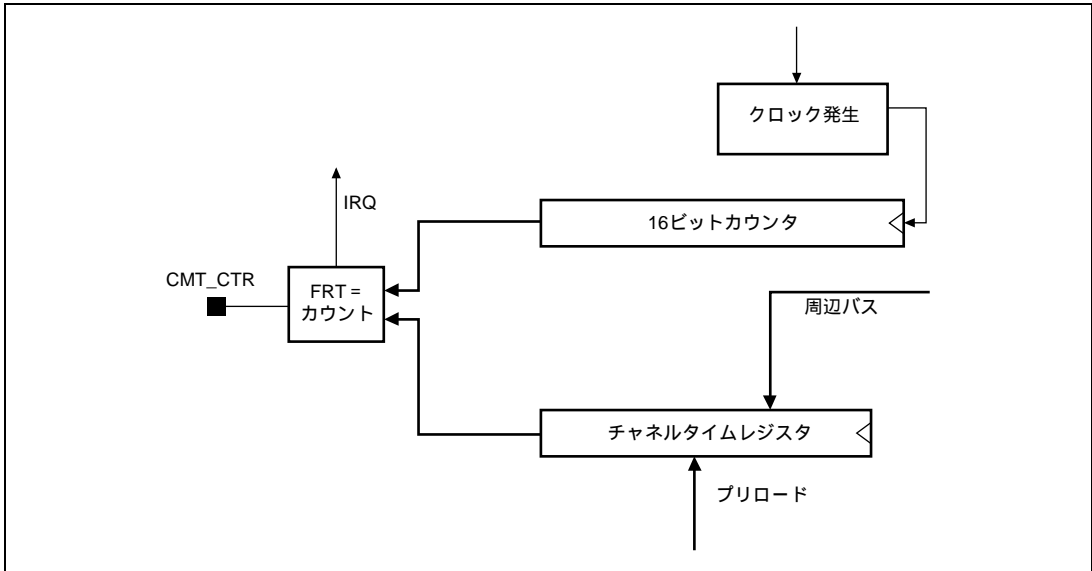


図 16.7 16 ビットタイマモード：アウトプットコンペア

16.4.6 カウンタ：アップ / アップダウンカウンタ

各端子は、4つのアップカウンタにそれぞれ接続されます。カウンタは入力端子でアクティブエッジが検出されたとき、カウントアップします。カウンタはプリロード用に、ソフトウェアによって書き込むことができます。また、現在の値も読み出すことができます。2つのアップカウンタでカウントアップ、カウントダウン両方するように構成することもできます。このため2本の端子が必要なため、1つのアップカウンタは使用できなくなります。端子は、アップ用（端子0、2）およびダウン用（端子1、3）として使用されます。これらの端子のアクティブエッジがカウンタをアップあるいはダウンします。また、両方のエッジがアクティブならカウントは変化しません。アップカウンタあるいはアップダウンカウンタモードのとき、エッジが検出された場合またはカウントがオーバーフローあるいはアンダフローした場合に、カウンタは割り込みを発生します。

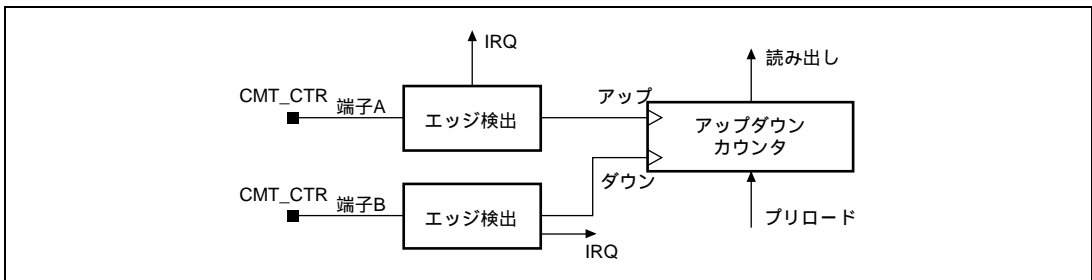


図 16.8 アップダウンカウンタモード

16. コンペアマッチタイム (CMT)

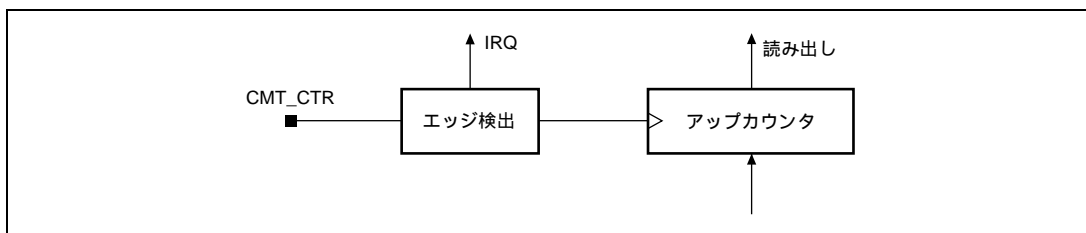


図 16.9 アップカウンタモード

16.4.7 カウンタ：キャプチャ付きアップカウンタ

本モードでは、チャンネル 2 の 16 ビットカウンタは FRCM ビットの設定により、フリーランニングアップカウンタあるいはインプットキャプチャ付きのアップカウンタとして動作します。ピンアクティブコントロールビット (CMTCFG.EDn) の設定によってアクティブエッジが検出されると、チャンネル n タイムレジスタ (CMTCHnT) に 16 ビットカウンタ (CMTCHnC) の値がセットされ、エッジ割り込みビット (CMTIRQS.IEn) が 1 にセットされ、16 ビットカウンタ (CMTCHnC) は、H'0000 にリセットされ、そのままカウントを再開します。また、16 ビットカウンタは、タイマイネーブルビットを無効 (CMTCTL.TEn=0) にすることにより、H'0000 にセットされません。

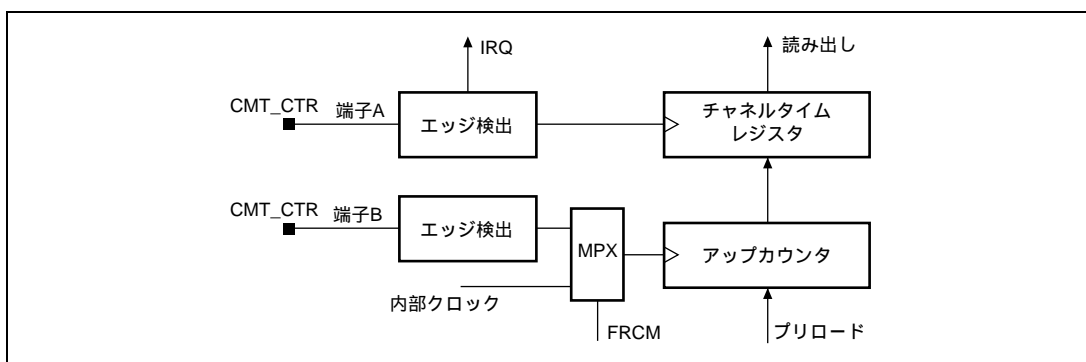


図 16.10 キャプチャモード時のアップカウンタ

16.4.8 割り込み

IRQ ステータスレジスタには割り込みステータスビットがあります。これらのビットは、タイマ動作でインプットキャプチャあるいはアウトプットコンペアが生じると、割り込みイネーブルビットの状態にかかわらずセットされます。カウンタは、カウント値が変化したとき、あるいはオーバーフロー/アンダフローが発生したときに、割り込みステータスビットをセットします。ある割り込みの割り込みイネーブルビット、およびそれと同じチャンネルの同じ割り込みの割り込みステータスビットがセットされると、対応する割り込みが発生します。

16.4.9 ロータリーモード

2つのアップダウンカウンタはそれぞれロータリーモードで動作します。図 16.11 に表すように、2本の入力信号をエンコードします。ロータリースイッチは方向によって以下の波形を生成します。このように立ち下がりエッジが B 入力で検出されると、方向は A の値で決まります。つまり、A の値が 1 なら左方向（ダウンが 1）になり、A の値が 0 なら右方向（アップが 1）になります。A は端子 0 および端子 2 です。B は端子 1 および端子 3 です。カウンタ値に変化があったときはエッジ割り込みビットがセットされます。カウンタのオーバーフローあるいはアンダフローが起こったときは、オーバーフロー割り込みビットが同様にセットされます。

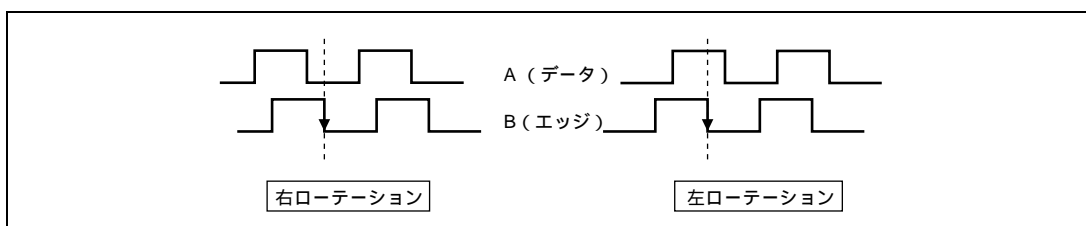


図 16.11 ロータリーモード

16.4.10 タイマ周波数

フリーラングタイマと 16 ビットタイマの周波数は 4 種類あり、そのうち 1 つの周波数を選択できます。16 ビットタイマは独立したクロックで動作させることができます。

16.4.11 スタンバイモード

CMT は、クロックのゲーティングによって消費電力を低減することができます。モジュールスタンバイモードはクロック停止レジスタ 00 (CLKSTP00) のビット 17 を使って設定できます。

モジュールスタンバイモードを解除するには、クロック停止解除レジスタ (CLKSTPCLR00) のビット 17 を有効にします。これにより、CMT に対するすべてのアクセスができるようになります。

モジュールスタンバイモードの設定は、下記の方法で行ってください。

1. すべてのチャンネルをインプットキャプチャモードにする (CMTCTL.OP3 ~ OP0=0000)
2. 各チャンネルのアクティブエッジ検出を無効にする (CMTCFG.ED3 ~ ED0=00)
3. クロック停止レジスタ 00 (CLKSTP00) のビット 17 を無効にする

16. コンペアマッチタイム (CMT)

17. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、3 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 128 段内蔵しており、効率の良い高速連続通信を行うことができます。チャンネル 1 およびチャンネル 2 は、モデムコントロール機能 ($\overline{\text{SCIF1_RTS}}$ 、 $\overline{\text{SCIF2_RTS}}$ 、 $\overline{\text{SCIF1_CTS}}$ 、 $\overline{\text{SCIF2_CTS}}$) を内蔵しています。

17.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に SCIF_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

信部ともに128段のFIFOバッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、またはSCIF_CLK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ($\overline{\text{SCIF_RTS}}$ 、 $\overline{\text{SCIF_CTS}}$) を内蔵しています。(チャンネル1、チャンネル2のみ)
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 17.1 に SCIF のブロック図を、図 17.2 ~ 図 17.6 に I/O ポートのブロック図を示します。本 LSI は 3 チャンネルあります。図 17.1 ~ 図 17.6 では、チャンネルを省略して説明しています。なお、 $\overline{\text{SCIF_CTS}}$ 端子と $\overline{\text{SCIF_RTS}}$ 端子はチャンネル 1 とチャンネル 2 にあります。チャンネル 0 にはありません。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

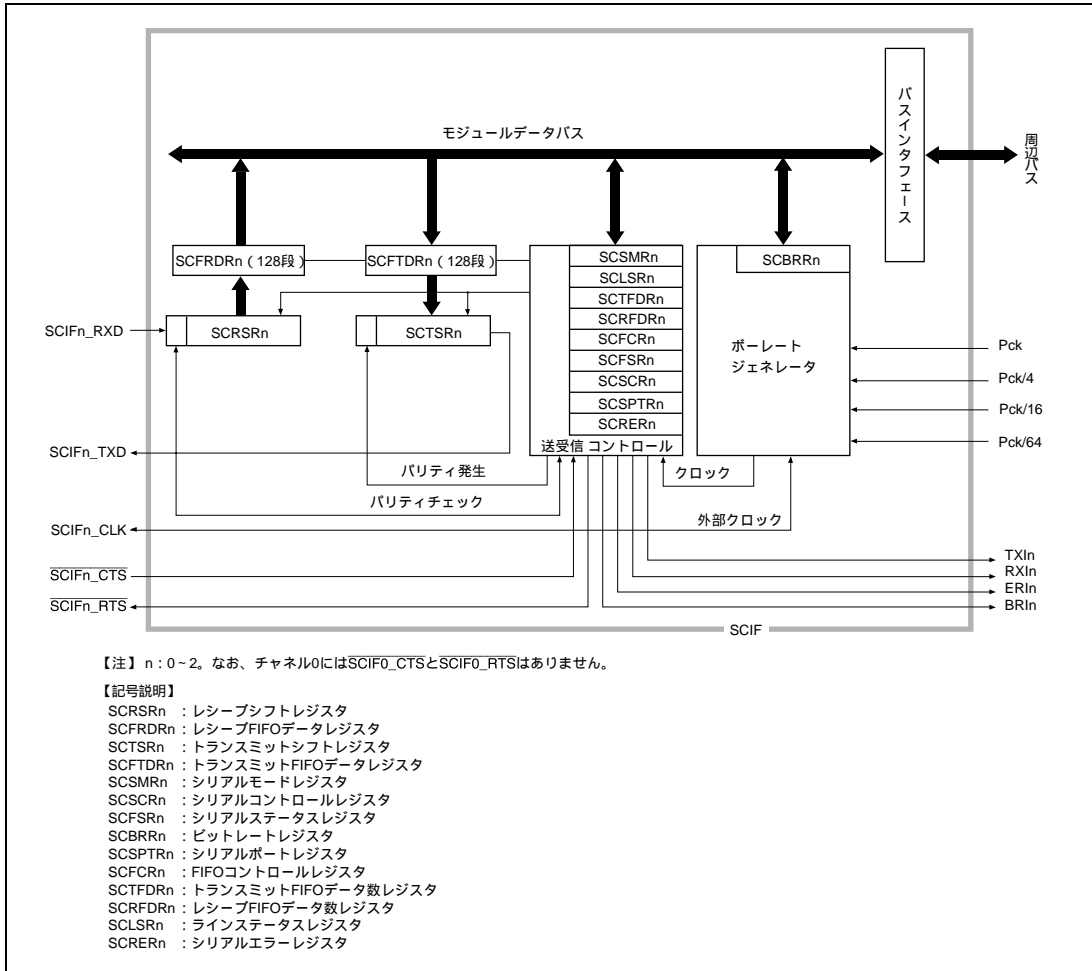


図 17.1 SCIF のブロック図

SCIF の I/O ポートのブロック図を図 17.2 ~ 図 17.6 に示します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

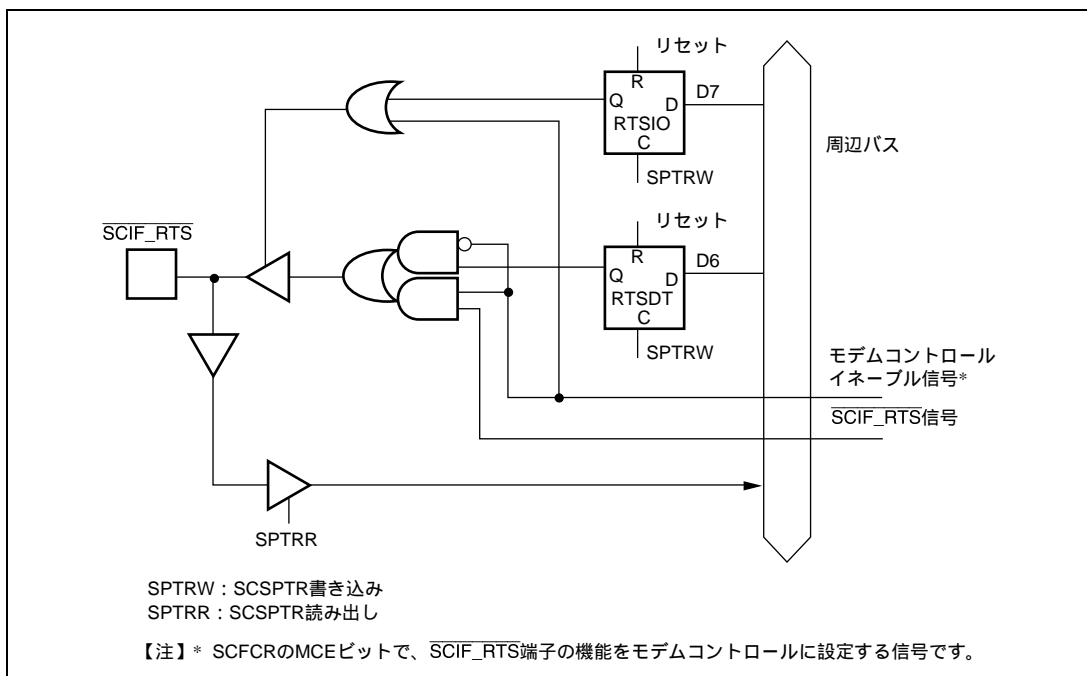


図 17.2 $\overline{\text{SCIF_RTS}}$ 端子 (チャンネル1、チャンネル2のみ)

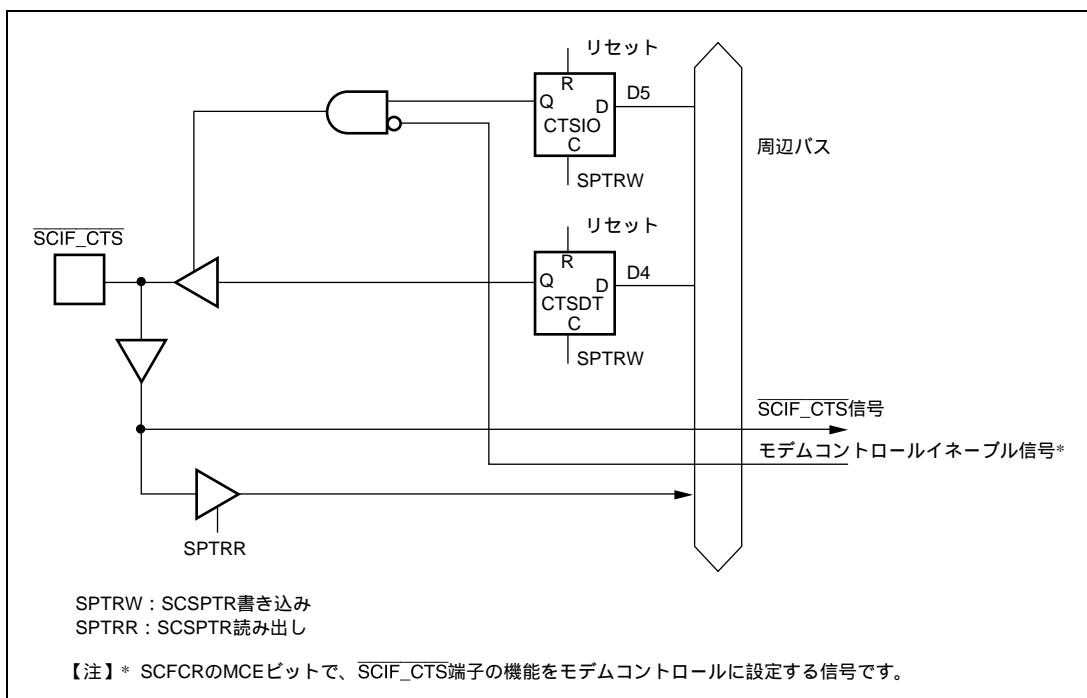


図 17.3 $\overline{\text{SCIF_CTS}}$ 端子 (チャンネル1、チャンネル2のみ)

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

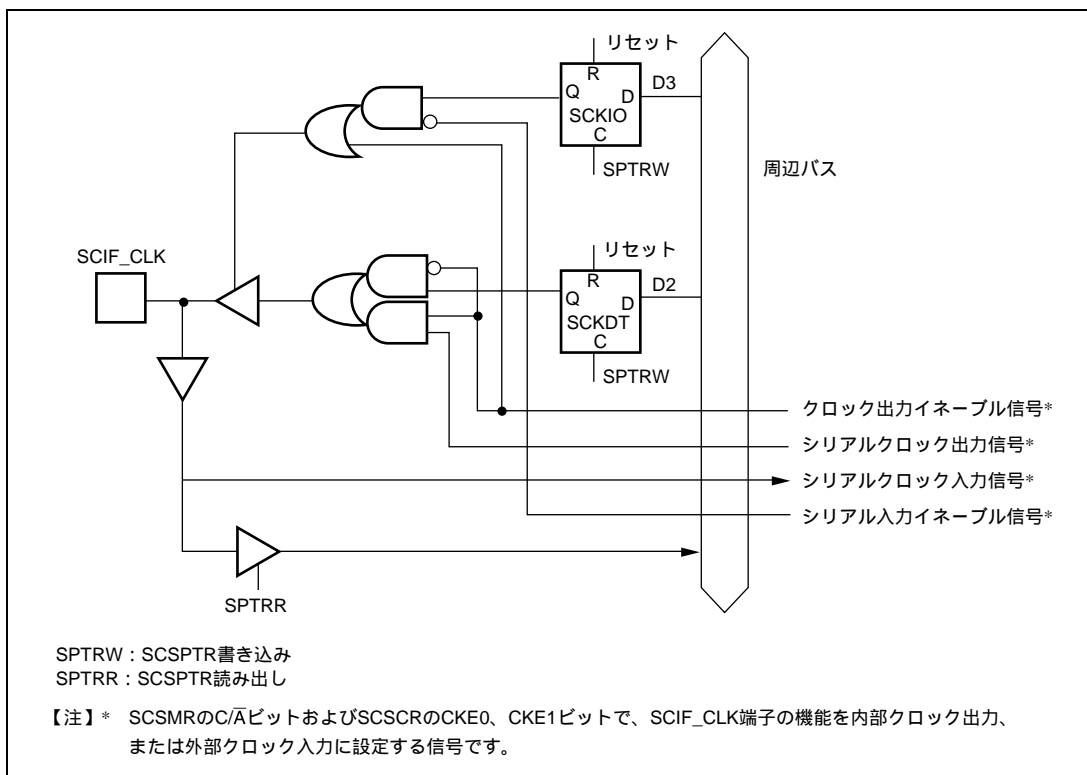


図 17.4 SCIF_CLK 端子

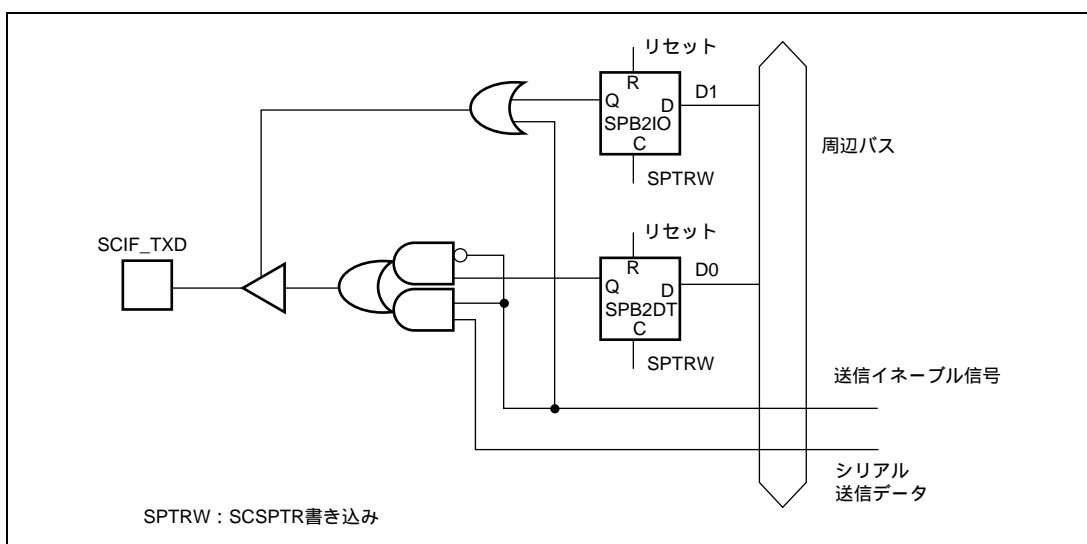


図 17.5 SCIF_TXD 端子

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

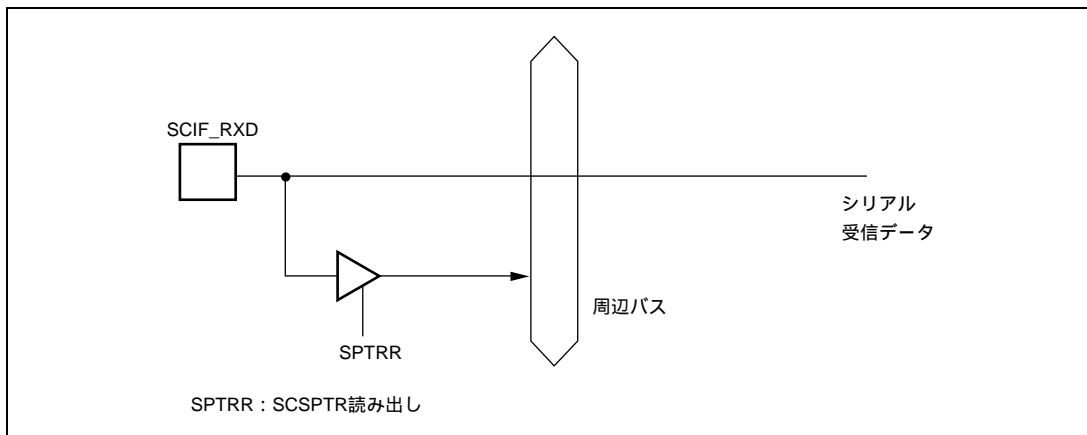


図 17.6 SCIF_RXD 端子

17.2 入出力端子

SCIFの端子構成を表 17.1 に示します。各チャンネルとも端子の機能は同じですので、本文中ではチャンネルを省略して説明しています。なお、モデムコントロール端子はチャンネル1とチャンネル2にあります。チャンネル0にはありません。

表 17.1 SCIFの端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCIF0_CLK ~ SCIF2_CLK	入出力	クロック入出力
レシーブデータ端子	SCIF0_RXD ~ SCIF2_RXD	入出力	受信データ入力
トランスミットデータ端子	SCIF0_TXD ~ SCIF2_TXD	入出力	送信データ出力
モデムコントロール端子	$\overline{\text{SCIF1_CTS}}$ 、 $\overline{\text{SCIF2_CTS}}$	入出力	送信可
モデムコントロール端子	$\overline{\text{SCIF1_RTS}}$ 、 $\overline{\text{SCIF2_RTS}}$	入出力	送信要求

【注】 SCIFの動作設定を SCSMR の C/ \bar{A} ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送付、検出は、SCIF の SCSPTR によって行うことができます。

17.3 レジスタの説明

SCIF には以下のレジスタがあります。各チャンネルともレジスタの構成は同じですので、本文中ではチャンネルを省略して説明しています。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 17.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
0	シリアルモードレジスタ 0	SCSMR0	R/W	H'FE60 0000	H'1E60 0000	16	Pck
	ビットレートレジスタ 0	SCBRR0	R/W	H'FE60 0004	H'1E60 0004	8	Pck
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FE60 0008	H'1E60 0008	16	Pck
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FE60 000C	H'1E60 000C	8	Pck
	シリアルステータスレジスタ 0	SCFSR0	R/W* ¹	H'FE60 0010	H'1E60 0010	16	Pck
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FE60 0014	H'1E60 0014	8	Pck
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FE60 0018	H'1E60 0018	16	Pck
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FE60 001C	H'1E60 001C	16	Pck
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FE60 0020	H'1E60 0020	16	Pck
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FE60 0024	H'1E60 0024	16	Pck
	ラインステータスレジスタ 0	SCLSR0	R/W* ⁴	H'FE60 0028	H'1E60 0028	16	Pck
	シリアルエラーレジスタ 0	SCRER0	R	H'FE60 002C	H'1E60 002C	16	Pck
1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FE61 0000	H'1E61 0000	16	Pck
	ビットレートレジスタ 1	SCBRR1	R/W	H'FE61 0004	H'1E61 0004	8	Pck
	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FE61 0008	H'1E61 0008	16	Pck
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FE61 000C	H'1E61 000C	8	Pck
	シリアルステータスレジスタ 1	SCFSR1	R/W* ¹	H'FE61 0010	H'1E61 0010	16	Pck
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FE61 0014	H'1E61 0014	8	Pck
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FE61 0018	H'1E61 0018	16	Pck
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FE61 001C	H'1E61 001C	16	Pck
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	R	H'FE61 0020	H'1E61 0020	16	Pck
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FE61 0024	H'1E61 0024	16	Pck
	ラインステータスレジスタ 1	SCLSR1	R/W* ⁴	H'FE61 0028	H'1E61 0028	16	Pck
	シリアルエラーレジスタ 1	SCRER1	R	H'FE61 002C	H'1E61 002C	16	Pck
2	シリアルモードレジスタ 2	SCSMR2	R/W	H'FE62 0000	H'1E62 0000	16	Pck
	ビットレートレジスタ 2	SCBRR2	R/W	H'FE62 0004	H'1E62 0004	8	Pck
	シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FE62 0008	H'1E62 0008	16	Pck
	トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FE62 000C	H'1E62 000C	8	Pck
	シリアルステータスレジスタ 2	SCFSR2	R/W* ¹	H'FE62 0010	H'1E62 0010	16	Pck

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
2	レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FE62 0014	H'1E62 0014	8	Pck
	FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FE62 0018	H'1E62 0018	16	Pck
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	R	H'FE62 001C	H'1E62 001C	16	Pck
	レシーブ FIFO データ数レジスタ 2	SCRFDR2	R	H'FE62 0020	H'1E62 0020	16	Pck
	シリアルポートレジスタ 2	SCSPTR2	R/W	H'FE62 0024	H'1E62 0024	16	Pck
	ラインステータスレジスタ 2	SCLSR2	R/W*4	H'FE62 0028	H'1E62 0028	16	Pck
	シリアルエラーレジスタ 2	SCRER2	R	H'FE62 002C	H'1E62 002C	16	Pck

表 17.2 レジスタ構成 (2)

チャネル	名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
						ハード による	ソフトによる /モジュール毎に よる
0	シリアルモードレジスタ 0	SCSMR0	H'0000	H'0000	保持	*	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	H'FF	保持		保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	H'0000	保持		保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持		保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	H'0060	保持		保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持		保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	H'0000	保持		保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	H'0000	保持		保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	H'0000	保持		保持
	シリアルポートレジスタ 0	SCSPTR0	H'0000*2	H'0000*2	保持		保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	H'0000	保持		保持
	シリアルエラーレジスタ 0	SCRER0	H'0000	H'0000	保持		保持
1	シリアルモードレジスタ 1	SCSMR1	H'0000	H'0000	保持	*	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	H'FF	保持		保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	H'0000	保持		保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持		保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	H'0060	保持		保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持		保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	H'0000	保持		保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	H'0000	保持		保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	H'0000	保持		保持
	シリアルポートレジスタ 1	SCSPTR1	H'0000*3	H'0000*3	保持		保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	H'0000	保持		保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	H'0000	保持		保持

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャネル	名称	略称	パワーオンリセット RESET 端子/WDT /H-UDI による	マニュアルリセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
						ハードによる	ソフトによる /モジュール毎による
2	シリアルモードレジスタ 2	SCSMR2	H'0000	H'0000	保持	*	保持
	ビットレートレジスタ 2	SCBRR2	H'FF	H'FF	保持		保持
	シリアルコントロールレジスタ 2	SCSCR2	H'0000	H'0000	保持		保持
	トランスミット FIFO データレジスタ 2	SCFTDR2	不定	不定	保持		保持
	シリアルステータスレジスタ 2	SCFSR2	H'0060	H'0060	保持		保持
	レシーブ FIFO データレジスタ 2	SCFRDR2	不定	不定	保持		保持
	FIFO コントロールレジスタ 2	SCFCR2	H'0000	H'0000	保持		保持
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	H'0000	H'0000	保持		保持
	レシーブ FIFO データ数レジスタ 2	SCRFDR2	H'0000	H'0000	保持		保持
	シリアルポートレジスタ 2	SCSPTR2	H'0000*3	H'0000*3	保持		保持
	ラインステータスレジスタ 2	SCLSR2	H'0000	H'0000	保持		保持
	シリアルエラーレジスタ 2	SCRER2	H'0000	H'0000	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 2、0 は不定です。

*3 ビット 6、4、2、0 は不定です。

*4 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

17.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に SCIF_RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

17.3.2 レシーブ FIFO データレジスタ (SCFRDR)

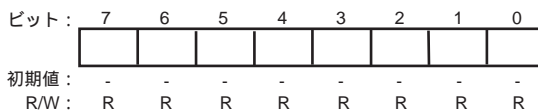
SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 128 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 128 バイトデータまで連続した受信動作が可能です。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

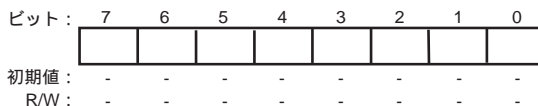


17.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に SCIF_TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

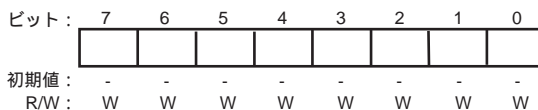


17.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 128 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 128 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。



17.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0: 8 ビットデータ 1: 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ 1: 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0: 1 ストップビット*¹ 1: 2 ストップビット*²</p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類からクロックソ ースを選択できます。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの 関係については、「17.3.8 ビットレートレジスタ」を参照してください。 00 : Pck クロック 01 : Pck/4 クロック 10 : Pck/16 クロック 11 : Pck/64 クロック
0	CKS0	0	R/W	

【注】Pck : 周辺クロック

17.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信
 クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR へシリアル送信データが転送され、SCFTDR 内のデ ータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセッ トされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生 を許可 / 禁止します。 TXI の解除は、TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ 設定数より多い送信データを書き込み、TDFE を 0 にクリアするか、また は TIE を 0 にクリアすることで行うことができます。 0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可</p> <p>【注】 RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0 : 受信動作を禁止</p> <p>1 : 受信動作を許可*</p> <p>【注】* なお、RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>SCIF のクロックソースの選択、および SCIF_CLK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_CLK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときにのみ有効です。外部クロック動作 (CKE1=1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00 : 内部クロック / SCIF_CLK 端子はポート 01 : 内部クロック / SCIF_CLK 端子はクロック出力*1 1x : 外部クロック / SCIF_CLK 端子はクロック入力*2 クロック同期式 <ul style="list-style-type: none"> 0x : 内部クロック / SCIF_CLK 端子は同期クロック出力 1x : 外部クロック / SCIF_CLK 端子は同期クロック入力

【記号説明】 x : Don't care

【注】 *1 ビットレートの 16 倍の周波数のクロックを出力

*2 ビットレートの 16 倍の周波数のクロックを入力

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

17.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、SCIF の動作状態を示すステータスフラグです。

SCFSR は常に CPU から読み出し / 書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R	R	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ER	0	R/W*1	レシーブエラー 受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。 0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示 [クリア条件] <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*2 • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*1	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき • DMAC で SCFTDR ヘデータを書き込んだとき <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき
5	TDFE	1	R/W*1	<p>トランスミット FIFO データエンpty</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0：SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき • DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1：SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*3

【注】 *1 フラグをクリアするために 0 を書き込むことのみ可能です。

*2 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。

*3 SCFTDR は 128 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、128 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR の上位ビットに示されます。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/W* ¹	<p>ブ레이크検出</p> <p>受信データのブ레이크信号を検出して示します。</p> <p>0: ブ레이크信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブ레이크信号を受信したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム以上スペース 0 (ローレベル) の場合
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*1	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*3
0	DR	0	R/W*1	<p>レシーブデータレディ</p> <p>調歩同期モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*4

【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

【注】 *1 フラグをクリアするために 0 を書き込むことのみ可能です。

*2 ブレーク検出すると受信データ (H'00) の SCFRDR 転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。

*3 SCFRDR は 128 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態データを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFRDR に示されます。

*4 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

17.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 17.3 を参照してください)

表 17.3 SCSMR の設定値

n	クロックソース	SCSMR の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

【注】調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

17.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信の各 FIFO レジスタのリセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RST RG2*1	RST RG1*1	RST RG0*1	RTRG1	RTRG0	TTRG1	TTRG0	MCE*1	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	RSTRG2*1	0	R/W	SCIF_RTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、SCIF_RTS 信号はハイレベルになります。 000 : 127 001 : 1 010 : 16 011 : 32 100 : 64 101 : 96 110 : 108 111 : 120
9	RSTRG1*1	0	R/W	
8	RSTRG0*1	0	R/W	
7	RTRG1	0	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 64 11 : 96
6	RTRG0	0	R/W	

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	トランスミット FIFO データ数トリガ SCFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。 送信動作により SCFTDR 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。 00 : 64 (64) *2 01 : 32 (96) 10 : 4 (124) 11 : 0 (128)
3	MCE*1	0	R/W	モデムコントロールラインエナブル モデムコントロール信号 SCIF_CTS、SCIF_RTS を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。 0 : モデム信号を無効*3 1 : モデム信号を有効
2	TFRST	0	R/W	トランスミット FIFO データレジスタリセット トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止*4 1 : リセット動作を許可
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止*4 1 : リセット動作を許可
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (SCIF_TXD) と受信入力端子 (SCIF_RXD)、SCIF_RTS 端子と SCIF_CTS 端子を内部で接続し、ループバックテストを可能にします。 0 : ループバックテストを禁止 1 : ループバックテストを許可

【注】 *1 チャンネル 1 と 2 にのみあります。チャンネル 0 ではリザーブビットです。

*2 () 内の値はフラグ発生時の SCFTDR の空き数を示します。

*3 SCIF_CTS は入力値にかかわらず 0 アクティブに、SCIF_RTS 出力も 0 に固定します。

*4 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

17.3.10 トランスミット FIFO データ数レジスタ (SCTFDR)

SCTFDR は、SCFTDR 内に格納されている送信データ数を示す 16 ビット長のレジスタです。

SCTFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	T7	T6	T5	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	T7~T0	すべて0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'0000 は送信データがないことを、H'0080 は SCFTDR にいっぱいの送信データが格納されていることを示します。

17.3.11 レシーブ FIFO データ数レジスタ (SCRFDR)

SCRFDR は、SCFRDR 内に格納されている受信データ数を示す 16 ビット長のレジスタです。SCRFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	R7	R6	R5	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	R7~R0	すべて0	R	SCFRDR 内に格納されている受信データ数を示します。H'0000 は受信データがないことを、H'0080 は SCFRDR にいっぱいの受信データが格納されていることを示します。

17.3.12 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって SCIF_RXD 端子から入力データを読み出し、SCIF_TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されません。ビット 6、4、2、0 は不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RT SIO*	RT SDT*	CT SIO*	CT SDT*	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値:	0	0	0	0	0	0	0	0	0	-	0	-	0	-	0	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO*	0	R/W	シリアルポート SCIF_RTS ポート入出力 シリアルポートの SCIF_RTS 端子の入出力を指定します。実際に SCIF_RTS 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: SCIF_RTS 端子に RTSDT ビットの値を出力しないことを示します 1: SCIF_RTS 端子に RTSDT ビットの値を出力することを示します
6	RTSDT*	-	R/W	シリアルポート SCIF_RTS ポートデータ シリアルポートの SCIF_RTS 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が SCIF_RTS 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは SCIF_RTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
5	CTSIO*	0	R/W	シリアルポート SCIF_CTS ポート入出力 シリアルポートの SCIF_CTS 端子の入出力を指定します。実際に SCIF_CTS 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: SCIF_CTS 端子に CTSDT ビットの値を出力しないことを示します 1: SCIF_CTS 端子に CTSDT ビットの値を出力することを示します

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	CTS _{DT} *	-	R/W	シリアルポート SCIF_CTS ポートデータ シリアルポートの SCIF_CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS _{DT} ビットの値が SCIF_CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS _{DT} ビットからは SCIF_CTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_CLK 端子の入出力を指定します。実際に SCIF_CLK 端子をポート出力端子として SCK _{DT} ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCIF_CLK 端子に SCK _{DT} ビットの値を出力しないことを示します 1: SCIF_CLK 端子に SCK _{DT} ビットの値を出力することを示します
2	SCK _{DT}	-	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_CLK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCK _{DT} ビットの値が SCIF_CLK 端子に出力されます。SCKIO ビットの値にかかわらず、SCK _{DT} ビットからは SCIF_CLK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2 _{DT} ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0: SCIF_TXD 端子に SPB2 _{DT} ビットの値を出力しないことを示します 1: SCIF_TXD 端子に SPB2 _{DT} ビットの値を出力することを示します
0	SPB2 _{DT}	-	R/W	シリアルポートブレイクデータ シリアルポートの SCIF_RXD 端子の入力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2 _{DT} ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2 _{DT} ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

【注】 * チャネル 1 と 2 のみです。チャネル 0 ではリザーブビットです。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

17.3.13 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*1

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/W*1	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示*2 [クリア条件] • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にオーバランエラーが発生したことを表示*3 [セット条件] • SCFRDR がいっぱいになる 128 バイトのデータを受信した状態で次のシリアル受信を完了したとき

【注】 *1 フラグをクリアするために0を書き込むことのみ可能です。

*2 SCSCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*3 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

17.3.14 シリアルエラーレジスタ (SCRER)

SCRER は 16 ビットのレジスタで、SCFRDR 内のデータの受信エラー数を示します。SCRER は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PER6	0	R	パリティエラー数 SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PER6 ~ PER0 示される値がパリティエラー発生データ数を表示します。SCFRDR の 128 バイトの受信データすべてがパリティエラーをとまなう場合、PER6 ~ PER0 は 0 を表示します。
13	PER5	0	R	
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	FER6	0	R	フレーミングエラー数 SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、FER6 ~ FER0 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 128 バイトの受信データすべてがフレーミングエラーをとまなう場合、FER6 ~ FER0 は 0 を表示します。
5	FER5	0	R	
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

17.4 動作説明

17.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。調歩同期式モードの動作については、「17.4.2 調歩同期式モードの動作」を参照してください。

送受信おののちに 128 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{SCIF_RTS}}$ 、 $\overline{\text{SCIF_CTS}}$ 信号を内蔵しています。

送受信フォーマットの選択は、SCSMR で行います。これを表 17.4 に示します。また、SCIF のクロックソースは、SCSMR の $\overline{\text{C/A}}$ ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 17.5 に示します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタのおおのの格納データ数を表示
- SCIFのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要(内蔵ポーレートジェネレータを使用しない)

クロック同期式モード

- データ長：8ビットに固定
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内蔵ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 17.4 SCSMR の設定値とシリアル送信/受信フォーマット

SCSMR の設定値				モード	SCIF の送信/受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
C/A	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	*	*	*	クロック同期式モード	8ビットデータ	なし	なし

【注】 * Don't care

表 17.5 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定		モード	クロック ソース	SCIF_CLK 端子の機能	
	ビット7	ビット1				ビット0
	C/ \bar{A}	CKE1				CKE0
0	0	0	調歩同期式モード	内部	SCIF は SCIF_CLK 端子を使用しません	
		1			ビットレートの 16 倍の周波数のクロックを出力	
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力	
		1				
1	0	0	クロック同期式モード	内部	同期クロックを出力	
		1				
	1	0		外部	同期クロックを入力	
		1				

17.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 128 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 17.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

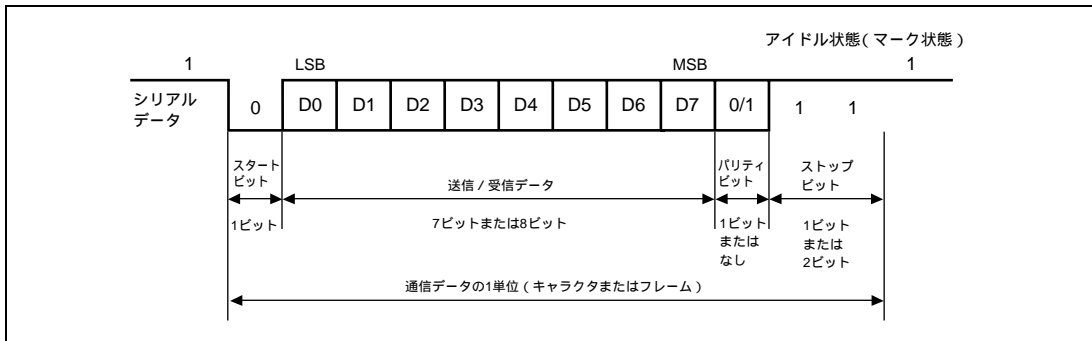


図 17.7 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

設定可能な送信/受信フォーマットを、表 17.6 に示します。

送信/受信フォーマットは8種類あり、SCSMR の設定により選択できます。

表 17.6 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット
STOP : ストップビット
P : パリティビット

(2) クロック

SCIFの送受信クロックは、SCSMRの C/\bar{A} ビットおよびSCSCRのCKE1、CKE0ビットの設定により、内蔵ボートレートジェネレータの生成した内部クロックまたはSCIF_CLK端子から入力された外部クロックの2種類から選択できます。SCIFのクロックソースの選択については表17.5を参照してください。

外部クロックをSCIF_CLK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCIF_CLK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍です。

(3) SCIFの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCRのTEビット、およびREビットを0にクリアした後、以下の順でSCIFを初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。

1. TEビットを0にクリアすると、SCTSRが初期化されます。TE、REビットを0にクリアしても、SCFSR、SCFTDRおよび、SCFRDRの内容は保持されますので注意してください。
2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図17.8にSCIFの初期化フローチャートの例を示します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

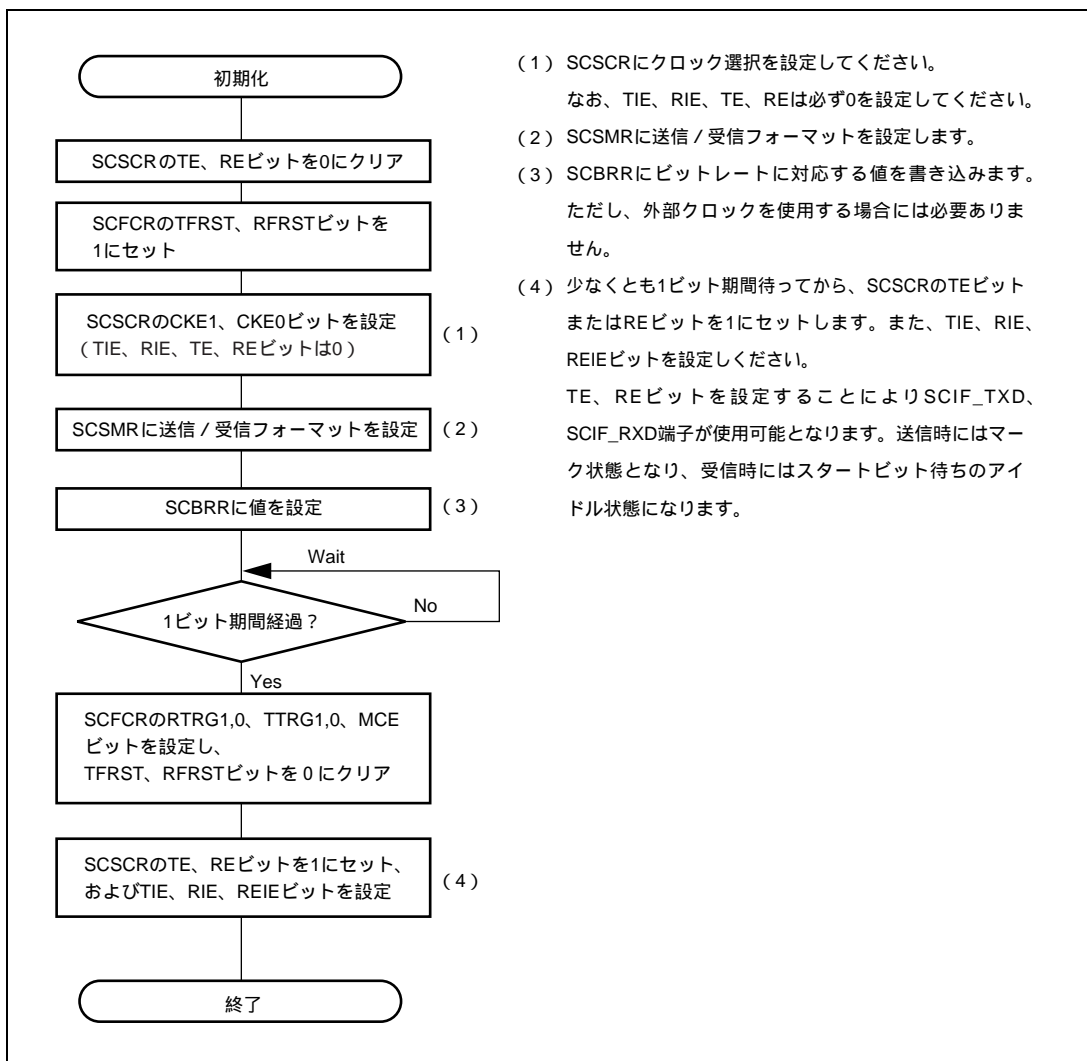
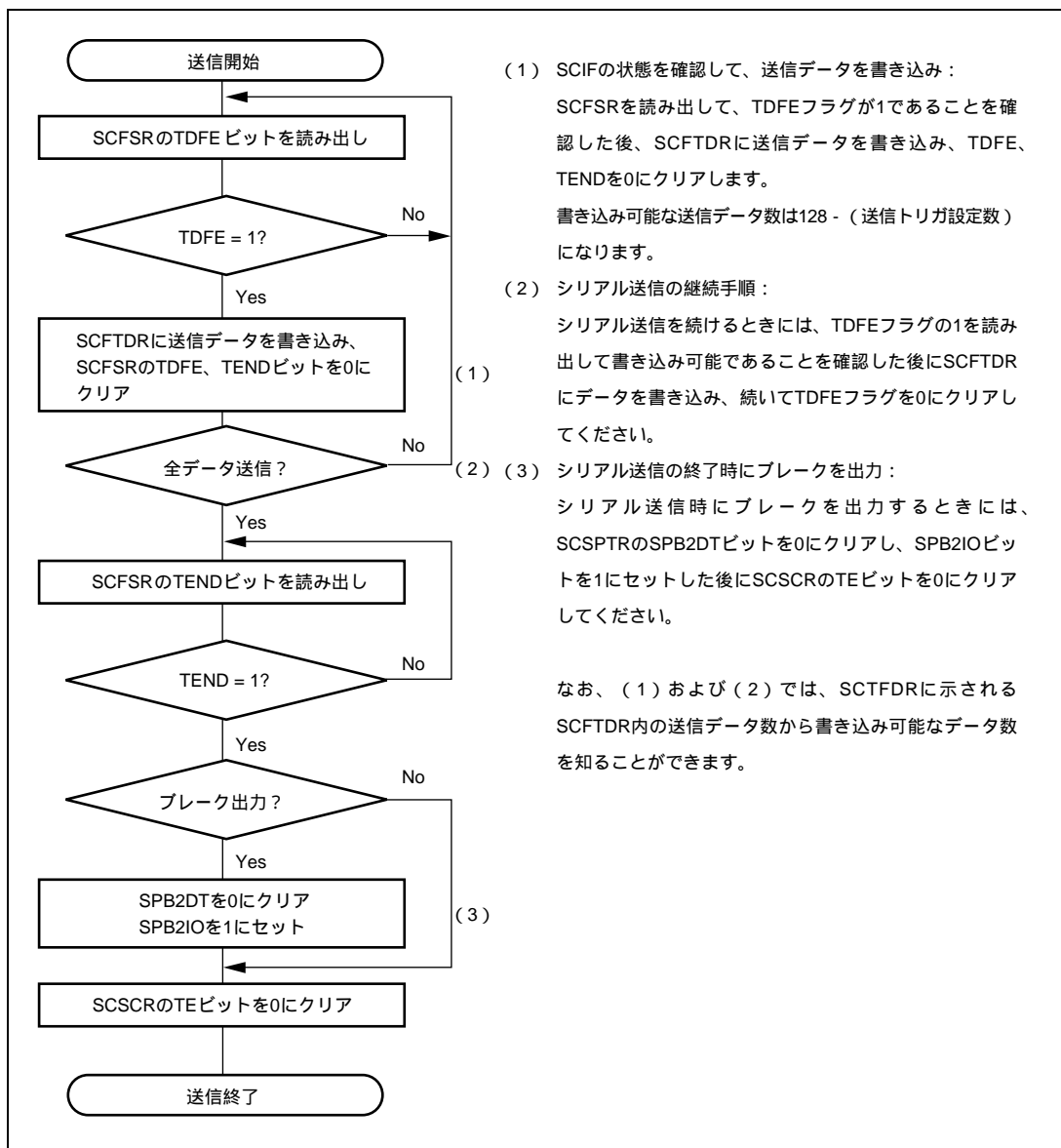


図 17.8 SCIF の初期化フローチャートの例

(4) シリアルデータ送信 (調歩同期式)

図 17.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。



(1) SCIFの状態を確認して、送信データを書き込み：
SCFSRを読み出して、TDFEフラグが1であることを確認した後、SCFTDRに送信データを書き込み、TDFE、TENDを0にクリアします。

書き込み可能な送信データ数は128 - (送信トリガ設定数) になります。

(2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDFEフラグの1を読み出して書き込み可能であることを確認した後にSCFTDRにデータを書き込み、続いてTDFEフラグを0にクリアしてください。

(2) (3) シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SCSPTRのSPB2DTビットを0にクリアし、SPB2IOビットを1にセットした後にSCSCRのTEビットを0にクリアしてください。

なお、(1)および(2)では、SCTFDRに示されるSCFTDR内の送信データ数から書き込み可能なデータ数を知ることができます。

図 17.9 シリアル送信のフローチャートの例

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも128 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIF_TXD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
- (b) 送信データ：8 ビットまたは 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。

データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF_TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 17.10 に示します。

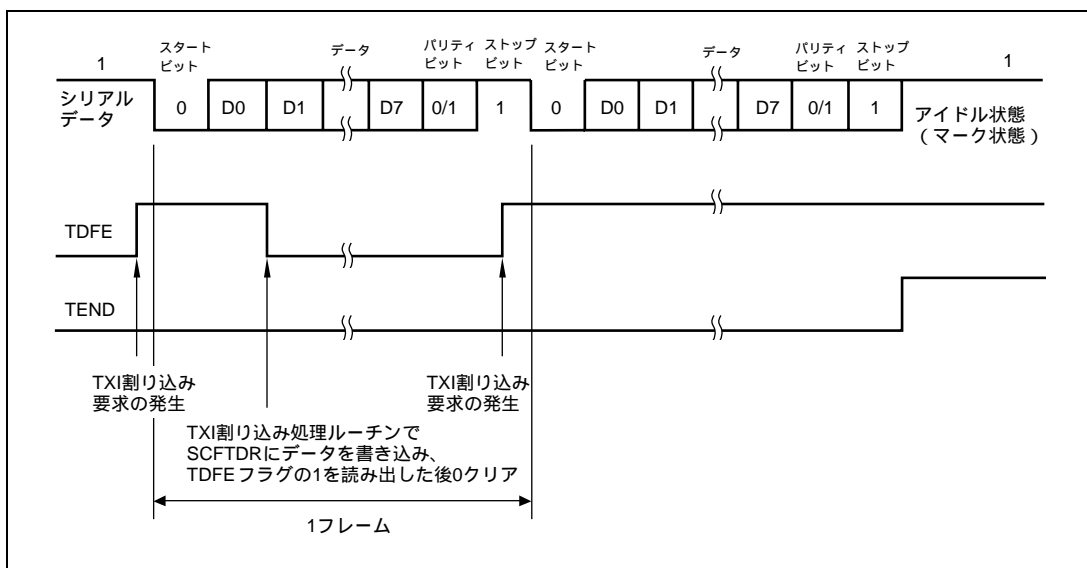


図 17.10 送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

4. モデムコントロールラインネーブル時はSCIF_CTS入力値によって送信動作を停止/再開することができます。SCIF_CTSが1になると現在送信中のときは1フレーム送信終了後マーク状態になります。SCIF_CTSを0にすると再びスタートビットから次の送信データを出します。

モデムコントロール時の動作例を図17.11に示します。

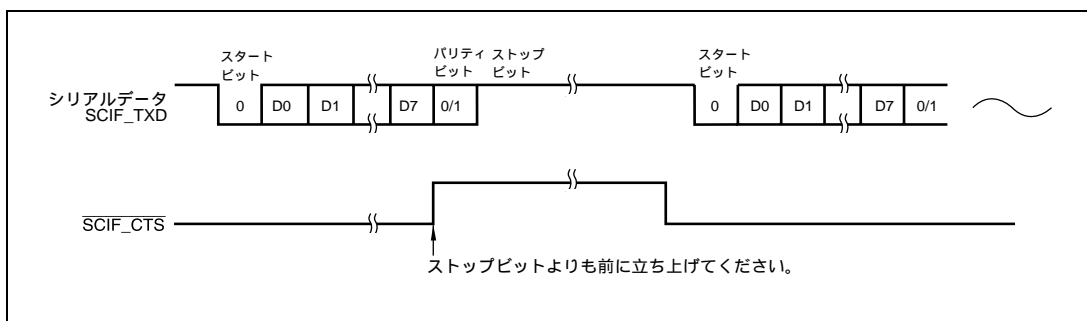


図 17.11 モデムコントロール (SCIF_CTS) 時の動作例 (チャンネル1、チャンネル2のみ)

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) シリアルデータ受信 (調歩同期式)

図17.12にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図17.12の手順で行ってください。

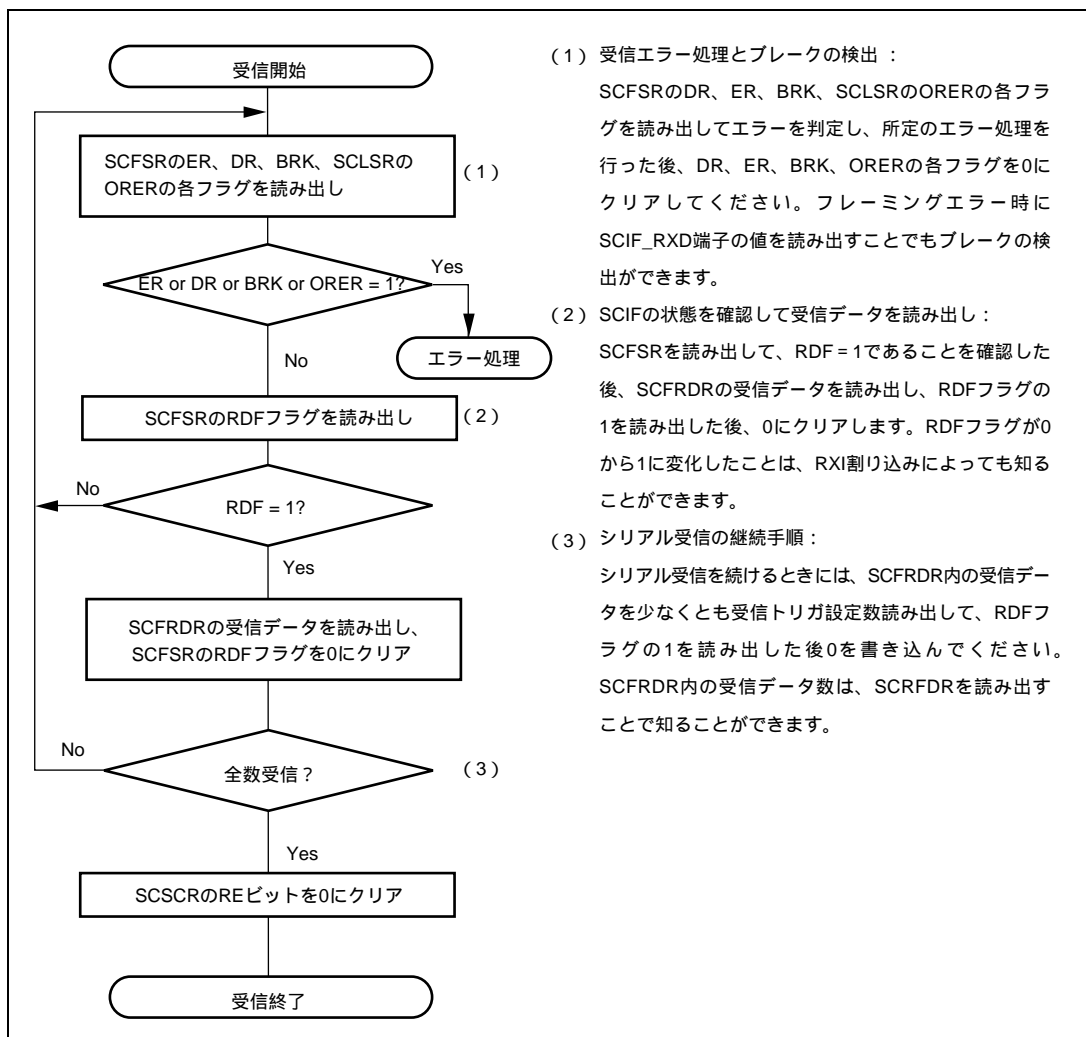
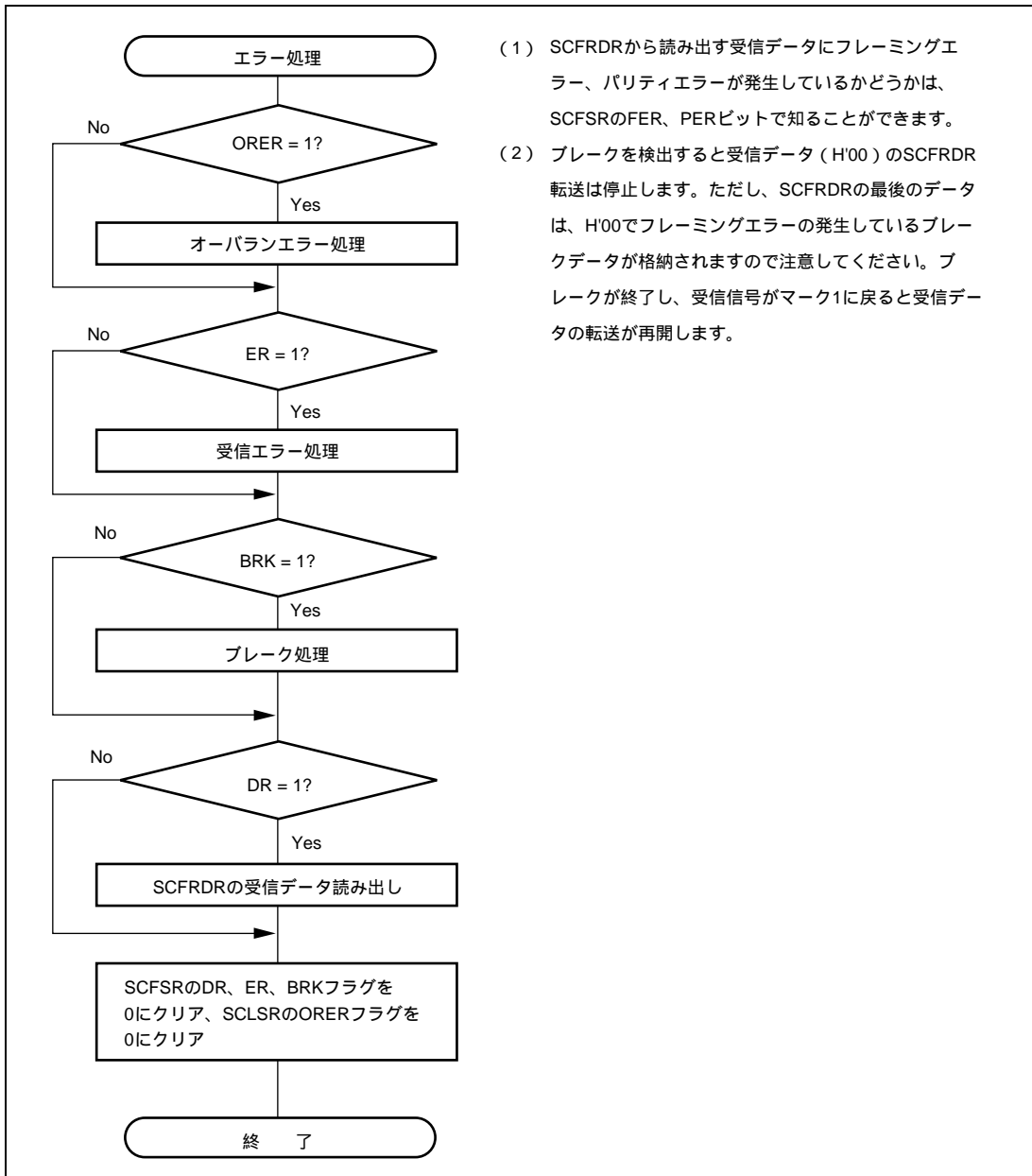


図 17.12 シリアル受信のフローチャートの例 (1)



- (1) SCFRDRから読み出す受信データにフレーミングエラー、パリティエラーが発生しているかどうかは、SCFSRのFER、PERビットで知ることができます。
- (2) ブレークを検出すると受信データ (H'00) のSCFRDR転送は停止します。ただし、SCFRDRの最後のデータは、H'00でフレーミングエラーの発生しているブレークデータが格納されますので注意してください。ブレークが終了し、受信信号がマーク1に戻ると受信データの転送が再開します。

図 17.12 シリアル受信のフローチャートの例 (2)

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - (b) 受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。*
 - (c) オーバランエラーチェック：ORER フラグが0であり、オーバランエラーが発生していないことをチェックします。*
 - (d) ブレークチェック：BRK フラグが0であり、ブレーク状態でないことをチェックします。*
- (b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。
また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。
さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 17.13 に示します。

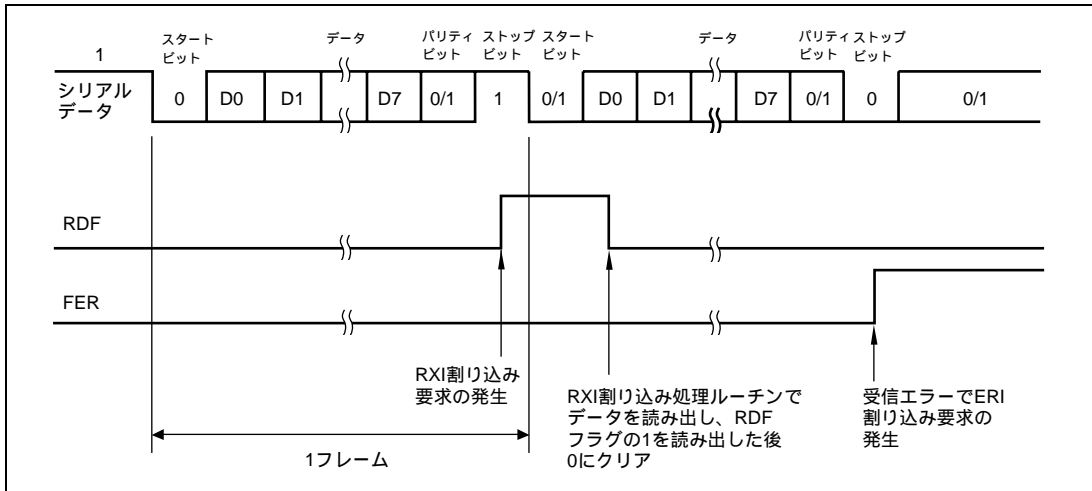


図 17.13 SCIF の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{SCIF_RTS}}$ 信号を出力します。 $\overline{\text{SCIF_RTS}}$ が0のときは受信可能状態です。 $\overline{\text{SCIF_RTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ値は、「17.3.9 FIFOコントロールレジスタ (SCFCR)」のビット10～8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{SCIF_RTS}}$ が1になります。モデムコントロール時の動作例を図17.14に示します。

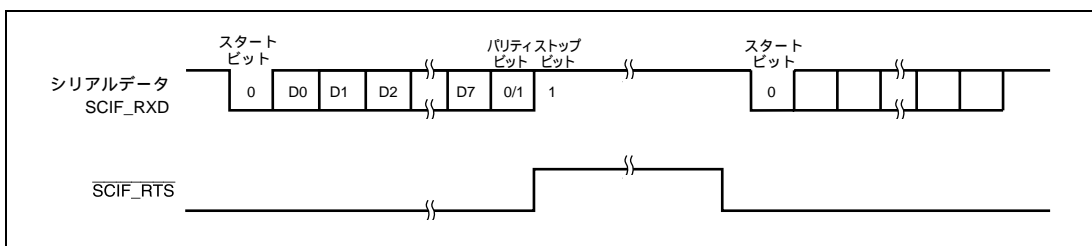


図 17.14 モデムコントロール ($\overline{\text{SCIF_RTS}}$) 時の動作例 (チャンネル1、チャンネル2のみ)

17.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 128 段の FIFO バッファ構造になっていますので送信/受信中にデータの読み出し/書き込みができ連続送信/受信が可能です。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

クロック同期式シリアル通信の一般的なフォーマットを図 17.15 に示します。

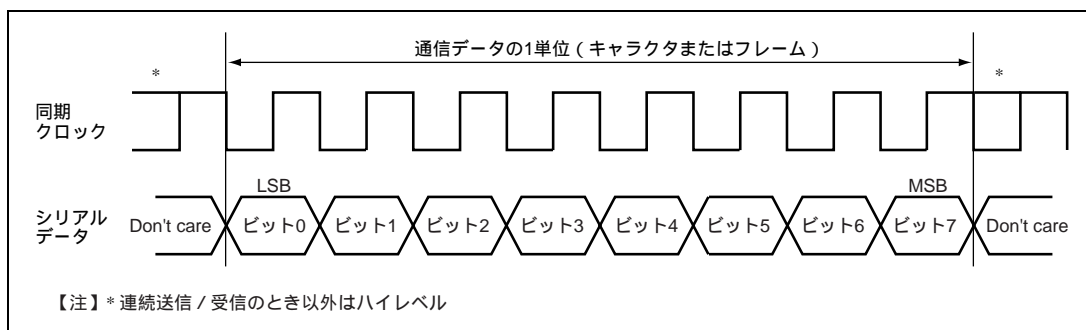


図 17.15 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち上がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF_CLK 端子から入力された外部同期クロックの2種類から選択できます。SCIF のクロックソース選択については、表 17.5 を参照してください。

内部クロックで動作させるとき、SCIF_CLK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが1の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを0にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを0にクリアしてから下記手順で変更してください。TE ビットを0にクリアすると SCTSR が初期化されます。RE ビットを0にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 17.16 に SCIF の初期化フローチャート例を示します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

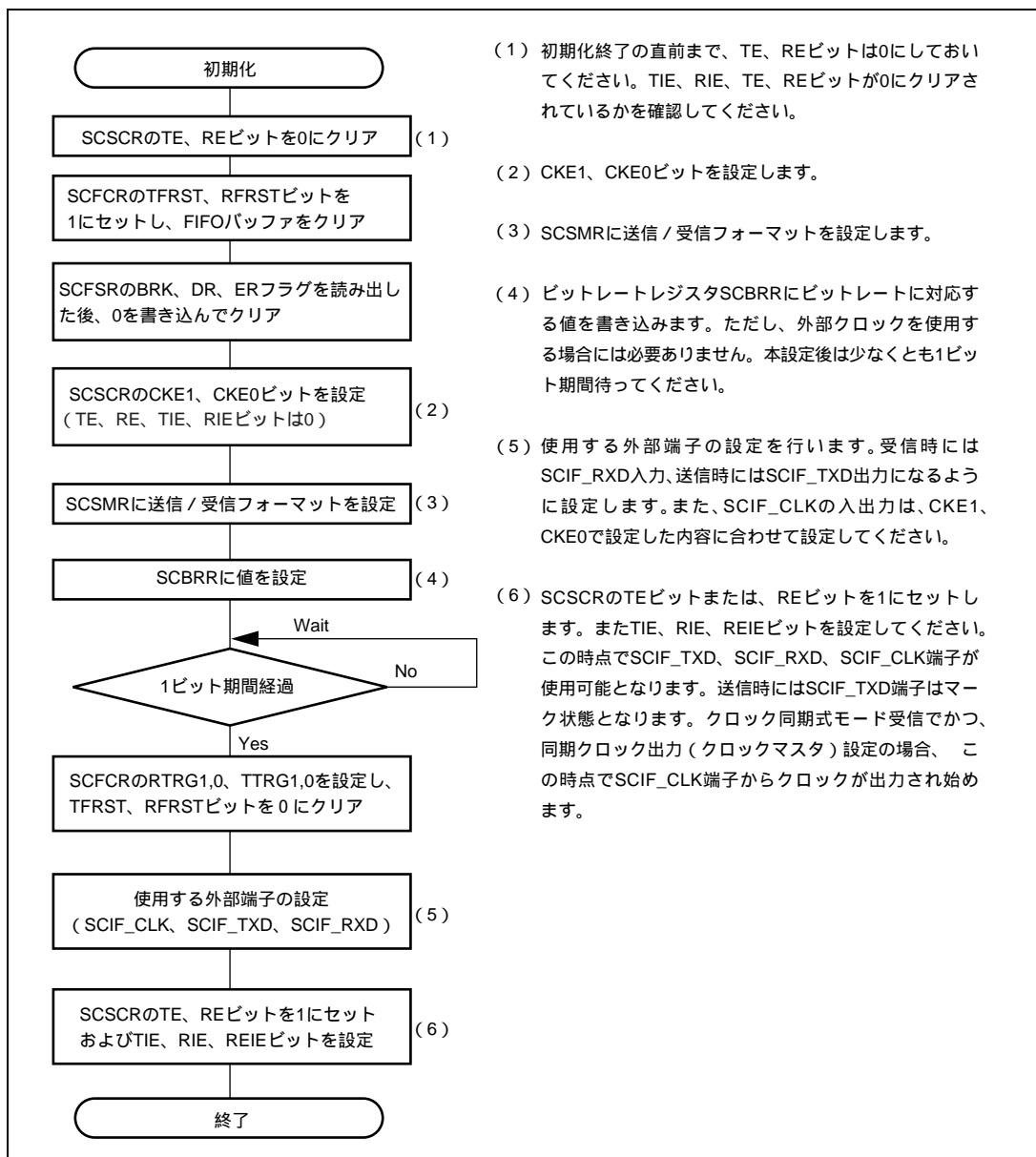


図 17.16 SCIF 初期化フローチャートの例

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(4) シリアルデータ送信 (クロック同期式)

図 17.17 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

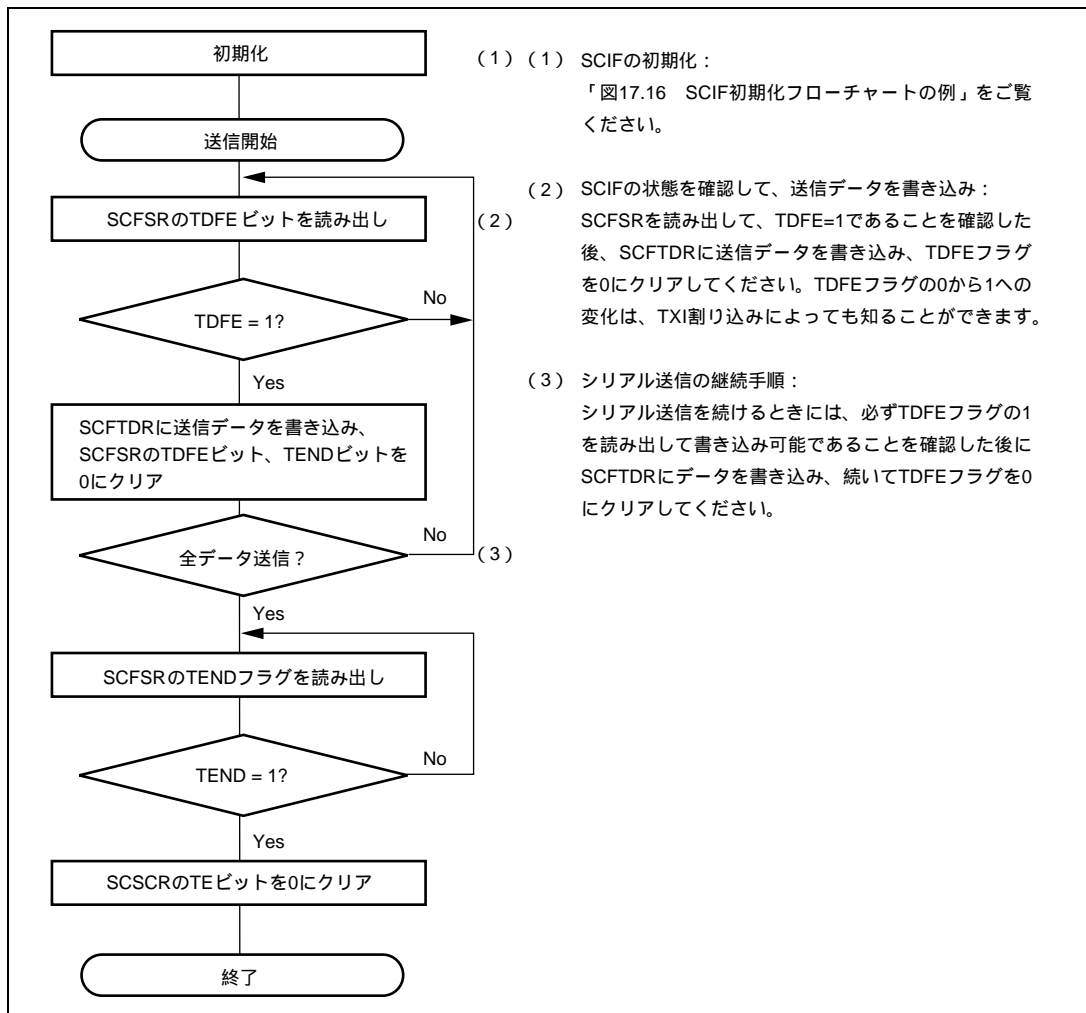


図 17.17 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも128 - (送信トリガ設定数)です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSBから順にSCIF_TXD端子から送り出されます。

3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIF_TXD 端子) は状態を保持します。
4. シリアル送信終了後、SCIF_CLK端子はハイレベル固定になります。

図 17.18 に SCIF の送信時の動作例を示します。

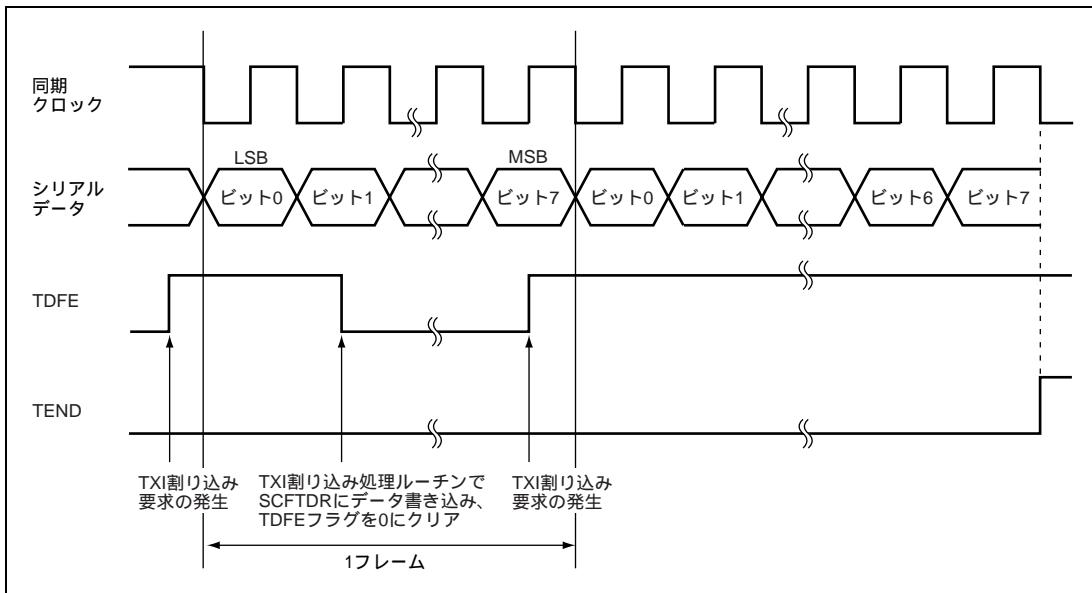


図 17.18 SCIF 送信時の動作例

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) シリアルデータ受信 (クロック同期式)

図 17.19 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER7~0、FER7~0 の各フラグが 0 にクリアされていることを確認してください。

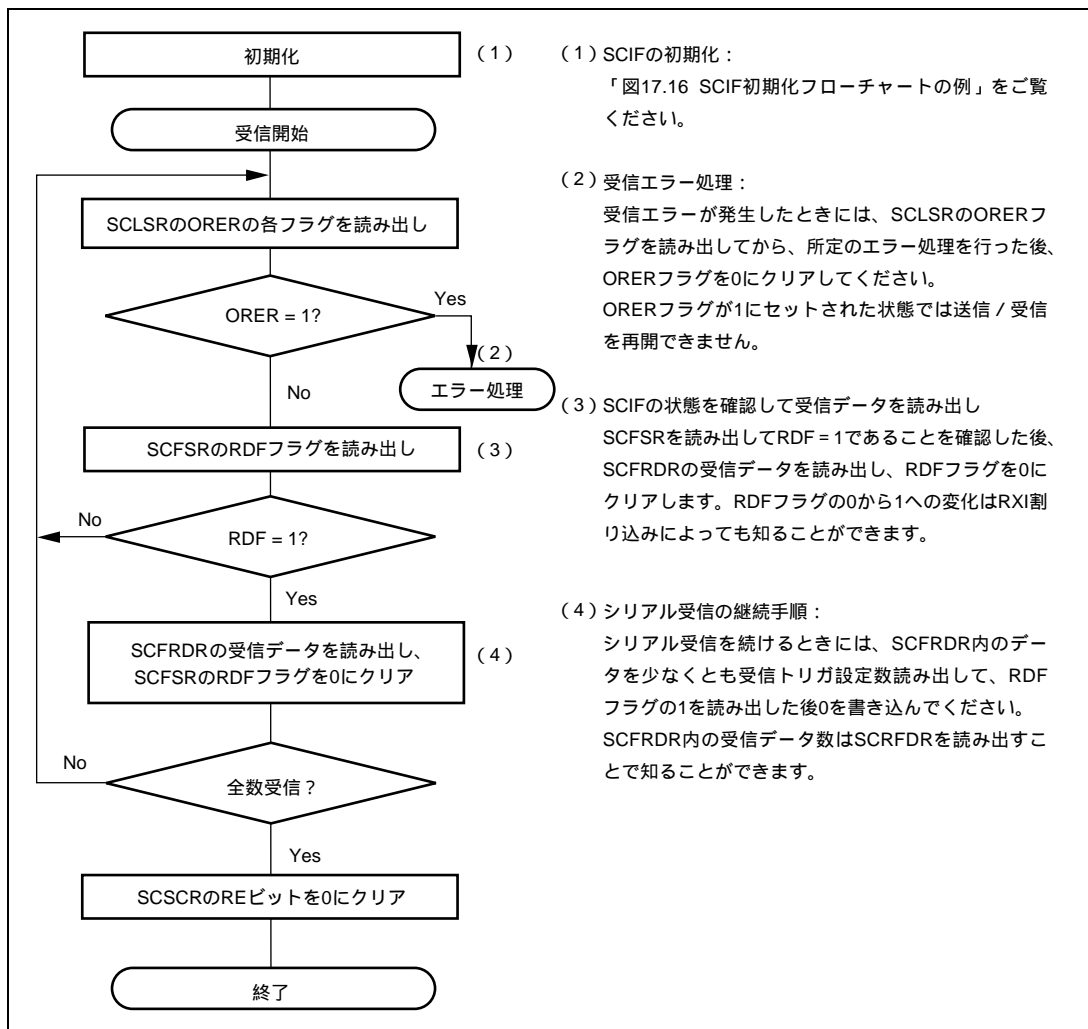


図 17.19 シリアル受信のフローチャートの例 (1)

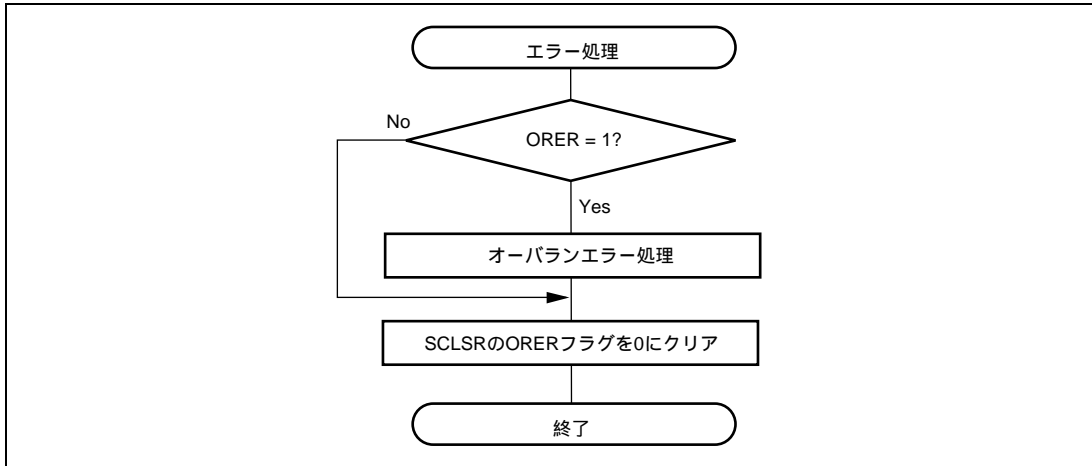


図 17.19 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブ레이크割り込み (BRI) 要求を発生します。

図 17.20 に SCIF の受信時の動作例を示します。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

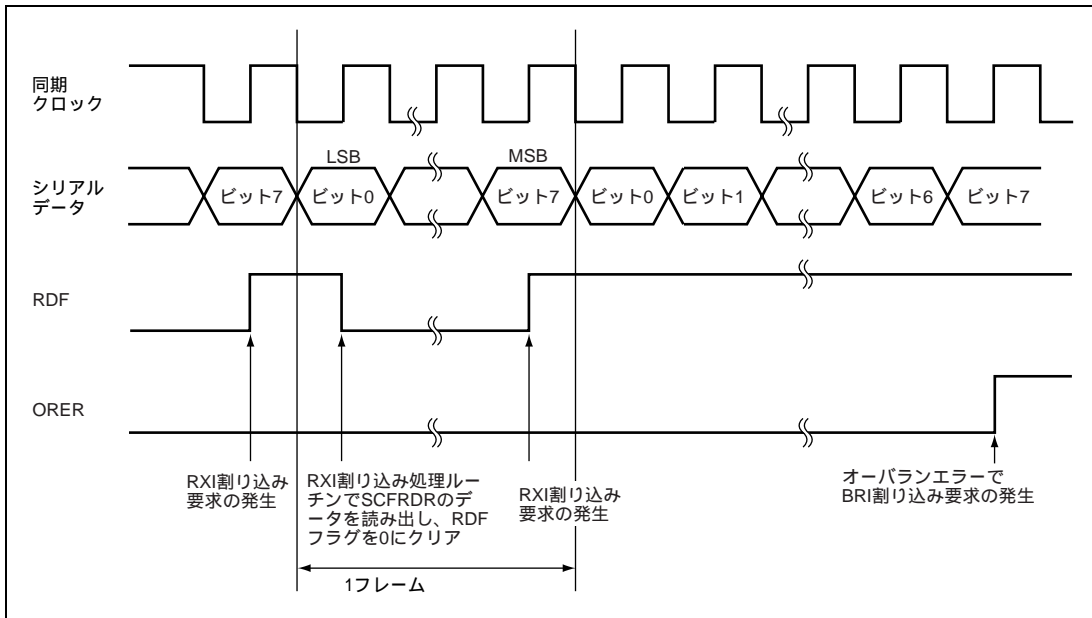


図 17.20 SCIF の受信時の動作例

(6) シリアルデータ送受信同時動作 (クロック同期式)

図 17.21 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

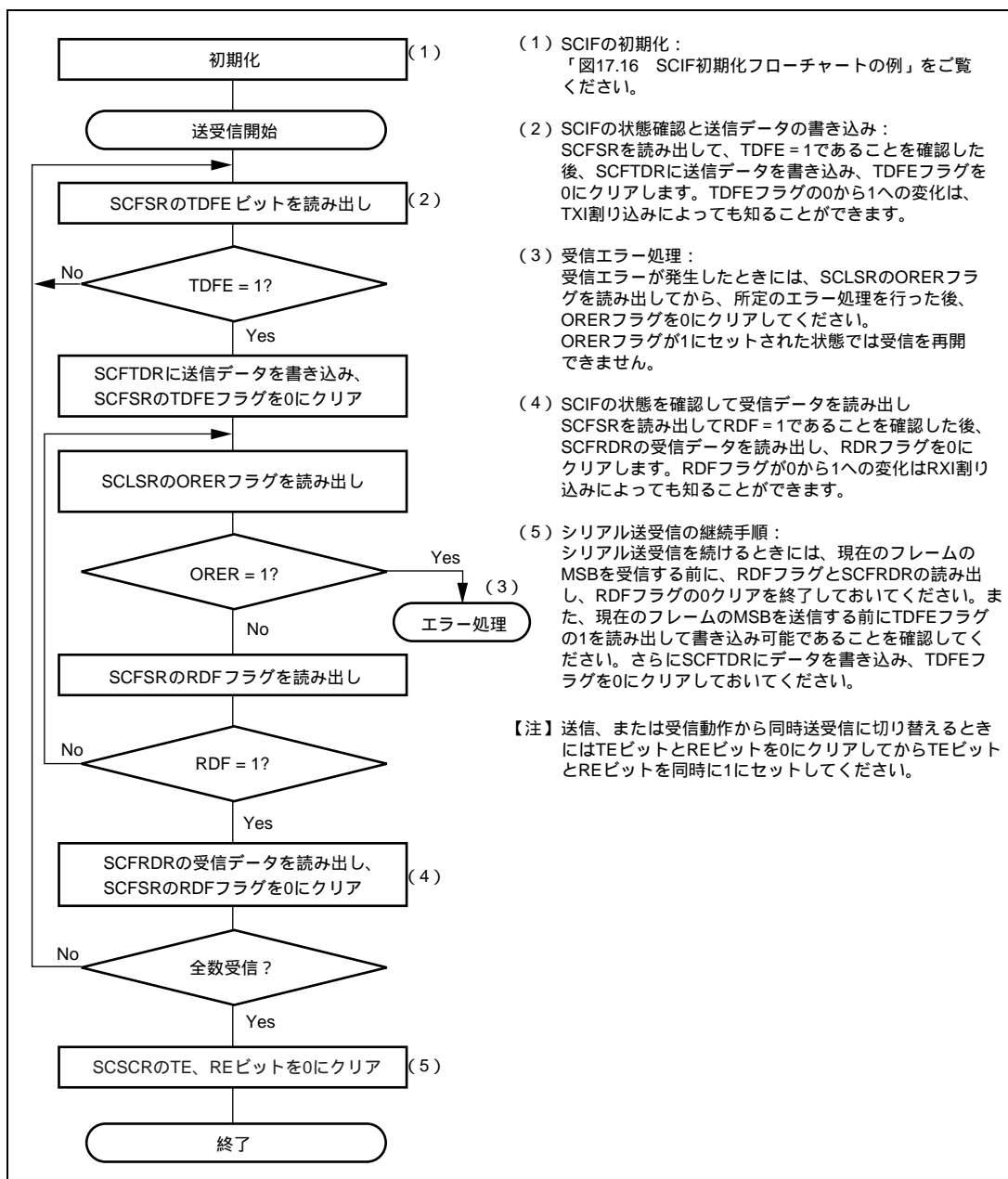


図 17.21 シリアル送受信のフローチャートの例

17.5 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 17.7 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 17.7 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の 優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR)*による割り込み	可	
BRI	ブ레이크 (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR による RXI 割り込みは、調歩同期モード時のみ可能です。

17.6 使用上の注意事項

SCIFを使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCFTDR で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCFRDR で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF_RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

SCIF_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SCIF_TXD 端子からは 0 が出力されます。

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 17.22 に示します。

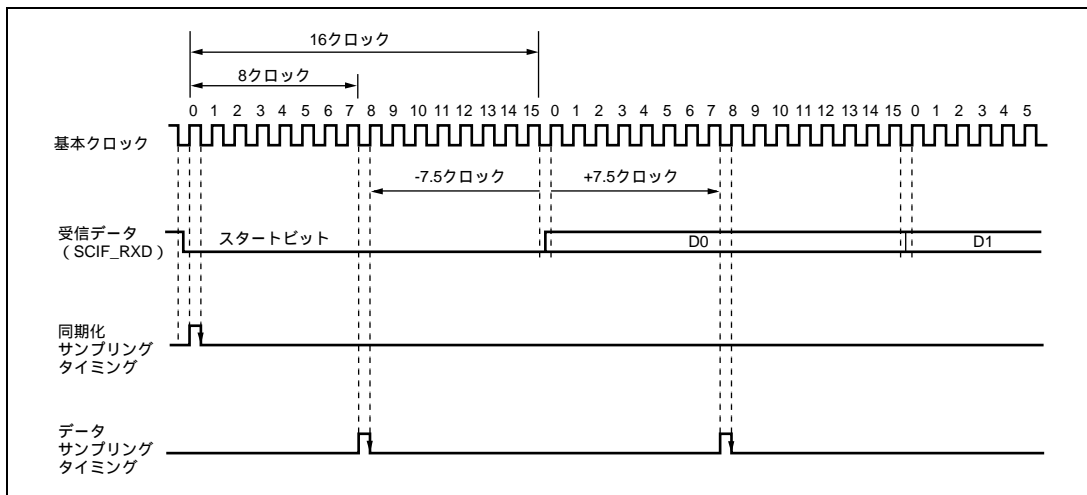


図 17.22 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$M = \left(0.5 - 1/(2 \times 16) \right) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) DMAC 使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMAC による SCFTDR の更新後、周辺クロック (Pck) で 5 サイクル以上経過した後に外部クロックを入力してください。SCFTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 17.23)。

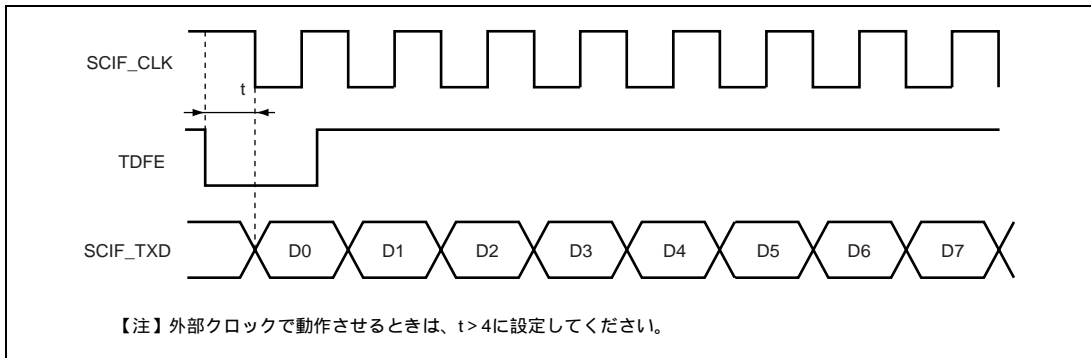


図 17.23 DMAC による同期クロック転送例

(7) TEND フラグに関する注意事項

クロック同期モードにおいて、DMAC を使用しトランスミット FIFO データレジスタ (SCFTDR) へデータを書き込んだ場合、トランスミットエンドフラグ (SCFSR.TEND) がクリアされない場合があります。

[回避策]

下記手順により SCFSR.TEND を読み出してください。

1. DMACにてデータ転送終了 (CHCR.TE=1) を確認
2. TENDフラグを読み出す
3. TENDフラグが1の場合、0にクリアした後、再度TENDフラグを読み出す
4. 2度目に読み出したTENDフラグを使用

17. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

18. SIM カードモジュール (SIM)

スマートカードインタフェース (SIM) は、ISO/IEC7816-3 (Identification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。

18.1 特長

SIM には次のような特長があります。

- 通信機能

調歩式半二重伝送

プロトコル形式 T=0 モードと T=1 モードの選択可能

データ長 : 8 ビット

パリティビットの生成およびチェック

キャラクタ保護追加時間を選択可能

1 etu 当たりの出力クロック数を選択可能

T=0 モードで受信モードにおけるエラーシグナル (パリティエラー) の送出

T=0 モードで送信モードにおけるエラーシグナルの検出とキャラクタの自動再送信

T=1 モードで最小キャラクタ間隔 1 etu 選択可能

ダイレクトコンベンション / インバースコンベンションの選択可能

出力クロックをハイまたはローの状態に固定可能

- 内蔵ポーレートジェネレータによる任意のビットレートの選択可能

- 4 種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラー、送信完了

- DMA 転送

送信データエンプティ DMA 転送要求と受信データフル DMA 転送要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- 受信時に 2 つの連続したキャラクタの先端間隔を観測可能

【記号説明】 etu (Elementary Time Unit) : 1 ビット分の幅

18. SIM カードモジュール (SIM)

図 18.1 に SIM のブロック図を示します。

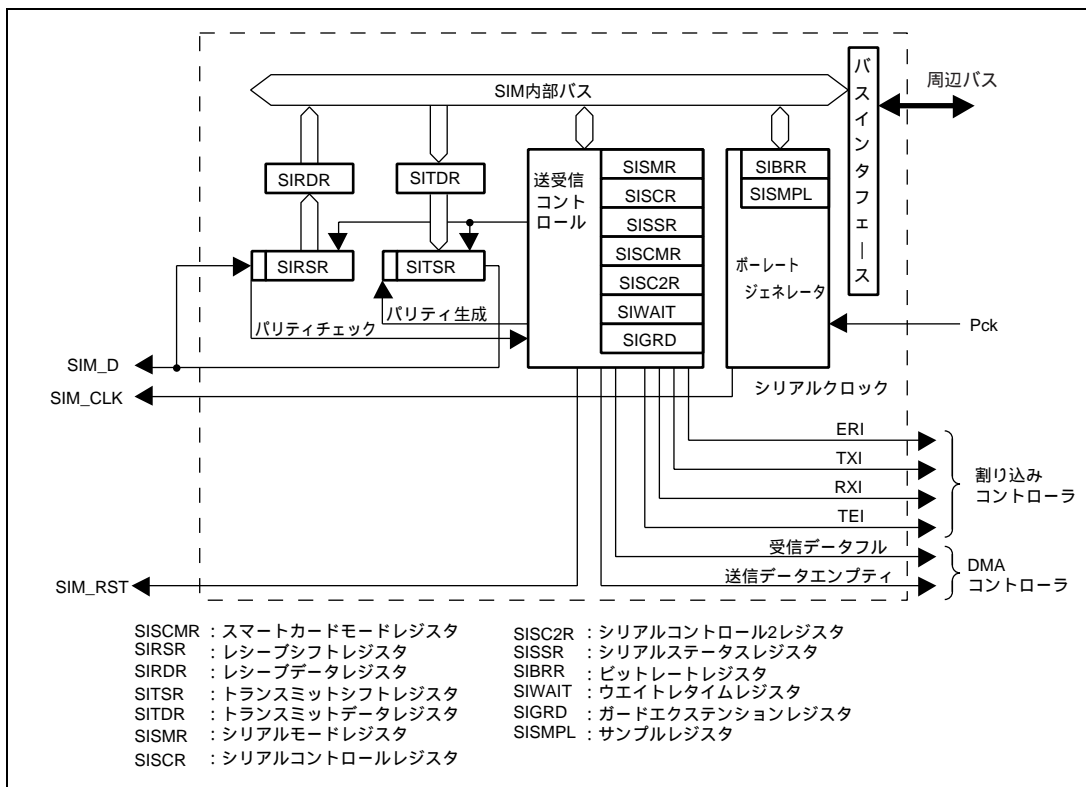


図 18.1 SIM のブロック図

18.2 入出力端子

SIM の端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	略称	入出力	機能
トランスミット/レシーブデータ	SIM_D	入出力	送受信データ入出力
クロック出力	SIM_CLK	出力	クロック出力
スマートカードリセット	SIM_RST	出力	スマートカードリセット出力

18.3 レジスタの説明

SIM には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 18.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
シリアルモードレジスタ	SISMR	R/W	H'FE48 0000	H'1E48 0000	8	Pck
ビットレートレジスタ	SIBRR	R/W	H'FE48 0002	H'1E48 0002	8	Pck
シリアルコントロールレジスタ	SISCR	R/W	H'FE48 0004	H'1E48 0004	8	Pck
トランスミットデータレジスタ	SITDR	R/W	H'FE48 0006	H'1E48 0006	8	Pck
シリアルステータスレジスタ	SISSR	R/W	H'FE48 0008	H'1E48 0008	8	Pck
レシーブデータレジスタ	SIRDR	R	H'FE48 000A	H'1E48 000A	8	Pck
スマートカードモードレジスタ	SISCMR	R/W	H'FE48 000C	H'1E48 000C	8	Pck
シリアルコントロール 2 レジスタ	SISC2R	R/W	H'FE48 000E	H'1E48 000E	8	Pck
ウェイトタイムレジスタ	SIWAIT	R/W	H'FE48 0010	H'1E48 0010	16	Pck
ガードエクステンションレジスタ	SIGRD	R/W	H'FE48 0012	H'1E48 0012	8	Pck
サンプルレジスタ	SIS MPL	R/W	H'FE48 0014	H'1E48 0014	16	Pck

表 18.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
シリアルモードレジスタ	SISMR	H'20	H'20	保持	*	保持
ビットレートレジスタ	SIBRR	H'07	H'07	保持		保持
シリアルコントロールレジスタ	SISCR	H'00	H'00	保持		保持
トランスミットデータレジスタ	SITDR	H'FF	H'FF	保持		保持
シリアルステータスレジスタ	SISSR	H'84	H'84	保持		保持
レシーブデータレジスタ	SIRDR	H'00	H'00	保持		保持
スマートカードモードレジスタ	SISCMR	H'01	H'01	保持		保持
シリアルコントロール 2 レジスタ	SISC2R	H'00	H'00	保持		保持
ウェイトタイムレジスタ	SIWAIT	H'0000	H'0000	保持		保持
ガードエクステンションレジスタ	SIGRD	H'00	H'00	保持		保持
サンプルレジスタ	SIS MPL	H'0173	H'0173	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

18. SIM カードモジュール (SIM)

18.3.1 シリアルモードレジスタ (SISMR)

SISMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット :	7	6	5	4	3	2	1	0
	-	-	PE	O/E	-	-	-	-
初期値 :	0	0	1	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE	1	R	パリティイネーブル 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	O/E	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。 0 : 偶数パリティ* ¹ 1 : 奇数パリティ* ² 【注】* ¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 * ² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.2 ビットレートレジスタ (SIBRR)

SIBRR は、読み出し/書き込み可能な 8 ビットのレジスタで、送信/受信のビットレートを設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	BRR2	BRR1	BRR0
初期値:	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BRR2	1	R/W	送信/受信のビットレート 2~0 を設定します。
1	BRR1	1	R/W	
0	BRR0	1	R/W	

SIBRR の設定値は以下の計算式で求められます。

$$\text{SIM_CLK} = \frac{\text{Pck}}{2^{(\text{brr} + 1)}}$$

Pck (周辺クロック) と SIM_CLK 出力クロックの単位は MHz です。

brr は、BRR[2:0] に設定された値です。

18. SIM カードモジュール (SIM)

18.3.3 シリアルコントロールレジスタ (SISCR)

SISCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	WAIT _IE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SITDR から SITSR へシリアル送信データが転送され SISSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (SIMTXI) 要求の発生を許可 / 禁止します。</p> <p>0: 送信データエンプティ割り込み (SIMTXI) 要求を禁止*</p> <p>1: 送信データエンプティ割り込み (SIMTXI) 要求を許可</p> <p>【注】* SIMTXI の解除は、TDRE フラグをクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データが SIRSR から SIRDR へ転送されて SISSR の RDRF フラグが 1 にセットされたときの受信データフル割り込み (SIMRXI) 要求、およびパリティエラー、オーバランエラー、エラーシグナルステータスによる送受信エラー割り込み (SIMERI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (SIMRXI) 要求、および送受信エラー割り込み (SIMERI) 要求を禁止*¹*²</p> <p>1: 受信データフル割り込み (SIMRXI) 要求、および送受信エラー割り込み (SIMERI) 要求を許可*²</p> <p>【注】*1 SIMRXI、および SIMERI 割り込み要求の解除は、RDRF フラグ、または PER、ORER、ERS フラグをクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>*2 ウェイトエラーによる割り込み (SIMERI) 要求の許可 / 禁止は、SISCR の WAIT_IE ビットで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作を許可 / 禁止します。</p> <p>0: 送信動作を禁止*¹</p> <p>1: 送信動作を許可*²</p> <p>【注】*1 SISSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SITDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを 1 にセットする前に必ず SISMR、SISCMR の設定を行い、送信フォーマットを決定してください。</p>

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	レシーブイネーブル シリアル受信動作を許可 / 禁止します。 0 : 受信動作を禁止* ¹ 1 : 受信動作を許可* ² 【注】*1 RE ビットを 0 にクリアしても RDRF、PER、ERS、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。 *2 この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SISR、SISCMR の設定を行い、受信フォーマットを決定してください。
3	WAIT_IE	0	R/W	ウェイトイネーブル ウェイトエラーによる割り込み要求を許可 / 禁止します。 0 : ウェイトエラーによる割り込み (SIMERI) 要求を禁止 1 : ウェイトエラーによる割り込み (SIMERI) 要求を許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了して TEND フラグが 1 にセットされたときの、送信終了割り込み (SIMTEI) 要求の発生を許可 / 禁止します。 0 : 送信終了割り込み (SIMTEI) 要求を禁止* 1 : 送信終了割り込み (SIMTEI) 要求を許可* 【注】* SIMTEI の解除は、SISR の TDRE フラグの 1 を読み出した後、SITDR に送信データを書き込んで TEND ビットをクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	スマートカードインタフェースの SIM_CLK 端子からのクロック出力の許可 / 禁止を設定します。 00 : 出力端子としてローレベル出力固定 01 : 出力端子としてクロック出力 10 : 出力端子としてハイレベル出力固定 11 : 出力端子としてクロック出力

18.3.4 トランスミットシフトレジスタ (SITSR)

SITSR は、シリアルデータを送信するためのシフトレジスタです。

スマートカードインタフェースは、SITDR から送信データをいったん SITSR に転送し、LSB または MSB から順に SIM_D 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SITDR から SITSR へ次の送信データを転送し、送信を開始します。SISR の TDRE フラグが 1 にセットされている場合には、SITDR から SITSR へのデータ転送を行いません。

CPU や DMAC から、直接 SITSR を読み出し / 書き込みできません。

18. SIM カードモジュール (SIM)

18.3.5 トランスミットデータレジスタ (SITDR)

SITDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアル送信するデータを格納します。

スマートカードインタフェースは、SITSR のエンプティを検出すると、SITDR に書き込まれた送信データを SITSR に転送してシリアル送信を開始します。SITSR のシリアルデータ送信中に SITDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

ビット:	7	6	5	4	3	2	1	0
	SITD7	SITD6	SITD5	SITD4	SITD3	SITD2	SITD1	SITD0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	SITD 7~0	すべて 1	R/W	トランスミットデータ シリアル送信するデータを格納します。

18.3.6 シリアルステータスレジスタ (SISSR)

SISSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	-
初期値:	1	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ SITDR から SITSR にデータ転送が行われ SITDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0 : SITDR に有効な送信データが書き込まれていることを表示 [クリア条件] • SISCR の TE ビットが 1 のときに SITDR ヘータを書き込んだとき • TDRE に 0 を書き込んだとき 1 : SITDR に有効な送信データがないことを表示 [セット条件]* • リセット時 • SISCR の TE ビットが 0 のとき • SITDR から SITSR にデータ転送が行われ SITDR にデータの書き込みが可能になったとき 【注】* 1 を書き込むと元の値が保持されます。

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>受信したデータが SIRDR に格納されていることを示します。*¹</p> <p>0 : SIRDR に有効な受信データが格納されていないことを表示 [クリア条件]</p> <ul style="list-style-type: none"> リセット時 SIRDR のデータを読み出したとき RDRF に 0 を書き込んだとき <p>1 : SIRDR に有効な受信データが格納されていることを表示 [セット条件]*²</p> <ul style="list-style-type: none"> シリアル受信が正常終了し、SIRSR から SIRDR へ受信データが転送されたとき <p>【注】*¹ T=0 モードでは、受信時パリティエラーを検出したとき、SIRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。一方、T=1 モードでは、受信時パリティエラーを検出したとき受信データが SIRDR に転送され RDRF フラグは 1 にセットされます。</p> <p>なお、T=0 モードと T=1 モードの両モードともに、SISCR の RE ビットを 0 にクリアしても、SIRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>*² 1 を書き込むと元の値が保持されます。</p>
5	ORER	0	R/W	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示*¹ [クリア条件]</p> <ul style="list-style-type: none"> リセット時 ORER に 0 を書き込んだとき <p>1 : 受信時にオーバランエラーが発生したことを表示*² [セット条件]*³</p> <ul style="list-style-type: none"> RDRF = 1 の状態で次のシリアル受信を完了したとき <p>【注】*¹ SISCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² SIRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p> <p>*³ 1 を書き込むと元の値が保持されます。</p>

18. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/W	<p>エラーシグナルステータス</p> <p>このフラグは送信時に受信側から送り返されるエラーシグナルのステータスを示します。T=1 モードのときはセットされません。</p> <p>0: 受信側からパリティエラーの検出を示すエラーシグナルが送出されなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> リセット時 ERS に 0 を書き込んだとき <p>1: 受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナルをサンプリングしたとき <p>【注】 SISCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/W	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> リセット時 PER に 0 を書き込んだとき <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信時の受信データとパリティビットを合わせた論理 1 の数が、シリアルモードレジスタ (SISMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SISCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*² T=0 モードでは、パリティエラーが発生したときの受信データは SIRDR に転送されず、RDRF フラグはセットされません。一方、T=1 モードでは、パリティエラーが発生したときの受信データは SIRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを 0 にクリアしてください。PER が 1 にセットされている状態でも、それ以降の受信動作を続けることはできますが、正常に受信を完了しても、PER フラグはクリアされません。</p>

18. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説 明
2	TEND	1	R	<p>トランスミットエンド 送信を終了したことを表示します。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示 [クリア条件]</p> <ul style="list-style-type: none"> • SITDR から SITSR に送信データが転送され、シリアル送信が開始したとき <p>1 : 送信を終了したことを表示 [セット条件]</p> <ul style="list-style-type: none"> • リセット時 • 1バイトのシリアルキャラクタおよびパリティビット送信後に ERS = α (正常送信) のとき <p>【注】* TEND フラグはキャラクタ保護時間が終了する 1etu 前にセットされます。</p>

18. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
1	WAIT_ER	0	R/W	<p>ウェイトエラー</p> <p>このフラグはウェイトタイムのエラーステータスを示します。</p> <p>0 : 2つの連続するキャラクタの先端間隔が、SIWAIT で設定した etu を超過していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> リセット時 WAIT_ER が 1 の場合に 0 を書き込んだとき <p>1 : 2つの連続するキャラクタの先端間隔が、SIWAIT で設定した etu を超過していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> T=0 モードの場合、受信するキャラクタと、その直前に送信または受信したキャラクタの先端間隔が (60 × SIWAIT の値 : 作業待ち時間) etu を超過したとき T=1 モードの場合、2つの連続する受信キャラクタの先端間隔が (SIWAIT の値 : キャラクタ保護時間) etu を超過したとき <p>【注】*1 SISCR の RE ビットを 0 にクリアしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 T=0 モードの場合は、RE ビットを 0 から 1 にセットしたときに WAIT_ER フラグのセット条件が満たされても WAIT_ER フラグはセットされない場合がありますのでご注意ください。このとき、RE ビットを 1 にセットした後、最後の送信または受信から 60 × (SIWAIT+n) etu (n は 0 以上の整数 : RE ビットを 1 にセットするタイミングに依存)後に WAIT_ER フラグがセットされます。</p> <p>*3 T=0 モードの場合は、最後の送信または受信から 60 × (SIWAIT+n) etu 後に WAIT_ER フラグをセットしたくないとき、スマートカードモードレジスタ (SISCMR) のプロトコルビット (PB) にて、T=0 モードから T=1 モードに設定し、再び T=0 モードに戻してください。また T=1 モードの場合は、最後の受信から (SIWAIT) etu 後に WAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ (SISCMR) のプロトコルビット (PB) にて、T=1 モードから T=0 モードに設定し、再び T=1 モードに戻してください。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【記号説明】 etu : Elementary Time Unit

18.3.7 レシーブシフトレジスタ (SIRSR)

SIRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SIRSR に SIM_D 端子から入力されたシリアルデータを LSB または MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SIRDR へ転送されます。CPU から直接 SIRSR を読み出し / 書き込みできません。

18.3.8 レシーブデータレジスタ (SIRDR)

SIRDR は、読み出し専用の 8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、SIRSR から SIRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SIRSR は受信可能になります。このように、SIRSR と SIRDR はダブルバッファになっているため連続した受信動作が可能です。SIRDR は CPU から書き込みはできません。

ビット :	7	6	5	4	3	2	1	0
	SIRD7	SIRD6	SIRD5	SIRD4	SIRD3	SIRD2	SIRD1	SIRD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SIRD7~0	すべて 0	R	レシーブデータ 受信したシリアルデータを格納します。

18.3.9 スマートカードモードレジスタ (SISCMR)

SISCMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの機能の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	-	LCB	PB	-	SDIR	SINV	RST	SMIF
初期値 :	0	0	0	0	0	0	0	1
R/W :	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	LCB	0	R/W	ラストキャラクタ このビットが 1 に設定されるとキャラクタ保護時間は 2etu になり、ガードエクステンションレジスタの設定は無効になります。 0 : キャラクタ保護時間はガードレジスタの値によって決まります 1 : キャラクタ保護時間は 2etu になります

18. SIM カードモジュール (SIM)

ビット	ビット名	初期値	R/W	説明
5	PB	0	R/W	<p>プロトコル</p> <p>プロトコル形式 T=0 モードまたは T=1 モードを選択します。</p> <p>0 : スマートカードインタフェースは T=0 モードで動作</p> <p>1 : スマートカードインタフェースは T=1 モードで動作</p>
4	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	SDIR	0	R/W	<p>スマートカードデータトランスファディレクション</p> <p>シリアル/パラレル変換のフォーマットを選択します。</p> <p>0 : SITDR の内容を LSB ファーストで送信</p> <p>受信データを LSB ファーストとして SIRDR に格納</p> <p>1 : SITDR の内容を MSB ファーストで送信</p> <p>受信データを MSB ファーストとして SIRDR に格納</p>
2	SINV	0	R/W	<p>スマートカードデータインバート</p> <p>データのビット反転を指定します。ビット 3 の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットの値には影響しません。</p> <p>0 : SITDR の内容をそのまま送信</p> <p>受信データをそのまま SIRDR に格納</p> <p>1 : SITDR の内容をビット反転してデータを送信</p> <p>受信データをビット反転して SIRDR に格納</p>
1	RST	0	R/W	<p>スマートカードリセット</p> <p>スマートカードインタフェースの SIM_RST 端子の出力を制御します。</p> <p>0 : スマートカードインタフェースの SIM_RST 端子はローレベルを出力</p> <p>1 : スマートカードインタフェースの SIM_RST 端子はハイレベルを出力</p>
0	SMIF	1	R/W	<p>スマートカードインタフェースモードセレクト</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>

【記号説明】 etu : Elementary Time Unit

18.3.10 シリアルコントロール2 レジスタ (SISC2R)

SISC2R は、読み出し / 書き込み可能な 8 ビットのレジスタで、受信データフル割り込み (SIMRXI) 要求の許可 / 禁止の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	EIO	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ受信データフル割り込み (SIMRXI) を要求しません。この設定で DMAC を使用した場合、CPU は SIMERI 要求のみを処理します。 受信データフル割り込み (SIMRXI) 要求は RIE ビットの設定によって決まります。
6~0	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.11 ガードエクステンションレジスタ (SIGRD)

SIGRD は、読み出し / 書き込み可能な 8 ビットのレジスタで、キャラクタ保護追加時間を設定します。

ビット :	7	6	5	4	3	2	1	0
	SIG RD7	SIG RD6	SIG RD5	SIG RD4	SIG RD3	SIG RD2	SIG RD1	SIG RD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	SIGRD7~0	すべて 0	R/W	ガードエクステンション スマートカードへ送信されたキャラクタのうち、キャラクタ保護追加時間を示します。2 つの連続したキャラクタの先端の間隔は、このレジスタの値が H'00 のとき 12 etu(追加なし)を示し H'01 のとき 13 etu、H'FE のとき 266 etu になります。また、このレジスタの値が H'FF の場合 2 つの連続したキャラクタ先端間隔は、T=1 モードで 11etu、T=0 モードでは 12etu になります。

【記号説明】 etu : Elementary Time Unit

18. SIM カードモジュール (SIM)

18.3.12 ウェイトタイムレジスタ (SIWAIT)

SIWAIT は、読み出し / 書き込み可能な 16 ビットのレジスタです。2 つの連続したキャラクタの先端の間隔が、設定した値 (単位 : etu) を超過するとウェイトタイムエラーを発生します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIWA IT15	SIWA IT14	SIWA IT13	SIWA IT12	SIWA IT11	SIWA IT10	SIWA IT9	SIWA IT8	SIWA IT7	SIWA IT6	SIWA IT5	SIWA IT4	SIWA IT3	SIWA IT2	SIWA IT1	SIWA IT0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	SIWAIT15~0	すべて 0	R/W	<p>ウェイトタイムレジスタ</p> <p>T=0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信または受信したキャラクタの先端の間隔が (60×このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SIWAIT = H'0000 を設定した場合 60etu 後に WAIT_ER フラグがセットされます。</p> <p>T=1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する 2 つの連続したキャラクタの先端の間隔が、(このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SIWAIT = H'0000 を設定した場合 1etu 後に WAIT_ER フラグがセットされます。</p>

【記号説明】 etu : Elementary Time Unit

18.3.13 サンプルレジスタ (SISMPL)

SISMPL は、読み出し / 書き込み可能な 16 ビットのレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SISM PL10	SISM PL9	SISM PL8	SISM PL7	SISM PL6	SISM PL5	SISM PL4	SISM PL3	SISM PL2	SISM PL1	SISM PL0
初期値 :	0	0	0	0	0	0	0	1	0	1	1	1	0	0	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	SISMPL 10~0	H'173	R/W	<p>1etu あたりのシリアルクロックサイクル数設定値</p> <p>1etu あたりのシリアルクロックサイクル数は (SISMPL の値 + 1) です。SISMPL に書き込む値は、必ず H'0007 以上にしてください。</p>

【記号説明】 etu : Elementary Time Unit

18.4 動作説明

SIM の主な機能は次のとおりです。

1. 1フレームは、8ビットデータとパリティビットで構成されます。
2. 送信時は、パリティビットの終了から次のフレーム開始まで、SIGRD、およびSISCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
3. T=0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルとしてローレベルを1etu期間出力します。
4. T=0モードの送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
5. 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

18.4.1 データフォーマット

図 18.2 にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に1フレームごとにパリティチェックを行います。

T=0 モードで受信時にパリティエラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルのサンプリングとデータの再送信を行います。

T=1 モードで受信時にパリティエラーが検出された場合、エラーシグナルを送り返しません。送信時はエラーシグナルのサンプリングとデータの再送信を行いません。

18. SIM カードモジュール (SIM)

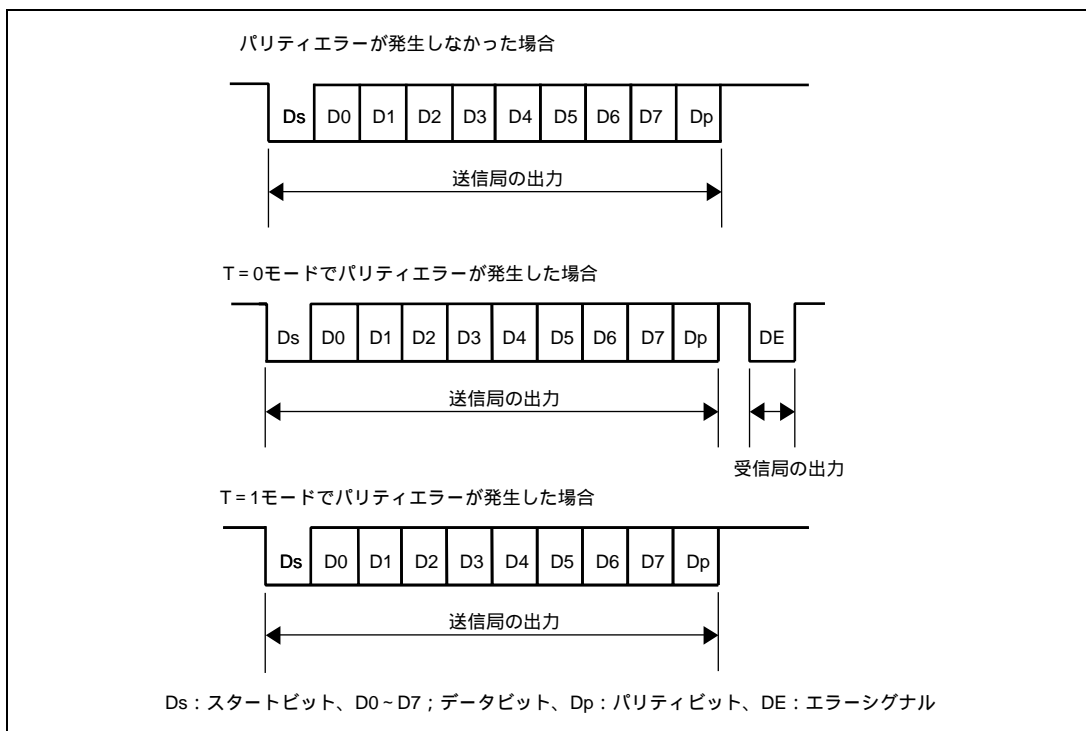


図 18.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、外部プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds : ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線は外部プルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、T=0モードのとき、エラーシグナル (DE : ローレベル) を出力し、データの再送信を要求します。受信側は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線は外部プルアップ抵抗によりハイレベルに戻ります。T=1モードのときは、パリティエラーが発生してもエラーシグナルを出力しません。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、T=0モードでエラーシグナルを受信した場合は、エラーとなったデータを2.の動作に戻って再送信します。T=1モードではエラーシグナルの受信、および再送信をしません。

18.4.2 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 18.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 18.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SISMR	0	0	PE	O/E	0	0	0	0
SIBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SISCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0
SITDR	SITD[7:0]							
SISSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SIRDR	SIRD[7:0]							
SISCMR	0	LCB	PB	0	SDIR	SINV	RST	SMIF
SISC2R	EIO	0	0	0	0	0	0	0
SIWAIT	SIWAIT[15:0] (16 ビットレジスタ)							
SIGRD	SIGRD[7:0]							
SISMPL	SISMPL[10:0] (16 ビットレジスタ、ただしビット 15~11 は 0)							

(1) シリアルモードレジスタ (SISMR) の設定

O/EビットはICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。

(2) ビットレートレジスタ (SIBRR) の設定

ビットレートを設定します。設定値の算出方法は「18.4.3 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SISCR) の設定

TIE、RIE、TEIE、WAIT_IEビットで各種割り込みの許可/禁止を選択します。

TE、REビットのどちらかを1にセットすることで、送信/受信を選択します。

CKE1、CKE0ビットはクロック出力状態を選択します。詳細は「18.4.3 クロック」を参照してください。

(4) スマートカードモードレジスタ (SISCMR) の設定

SDIRビットおよびSINVビットは、ICカードがダイレクトコンベンション時はどちらも0を設定し、インバースコンベンション時はどちらも1を設定します。

SMIFビットは必ず1を書き込みます。

図 18.3 に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマー

18. SIM カードモジュール (SIM)

トカードの規程により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規定により偶数パリティで論理 0 となり、状態 Z で対応します。

なお、SINV ビットによる反転はデータビット D7~0 のみとなっています。パリティビットの反転のために SISMR.O/E を奇数パリティモードに設定します。送信、受信とも同様です。

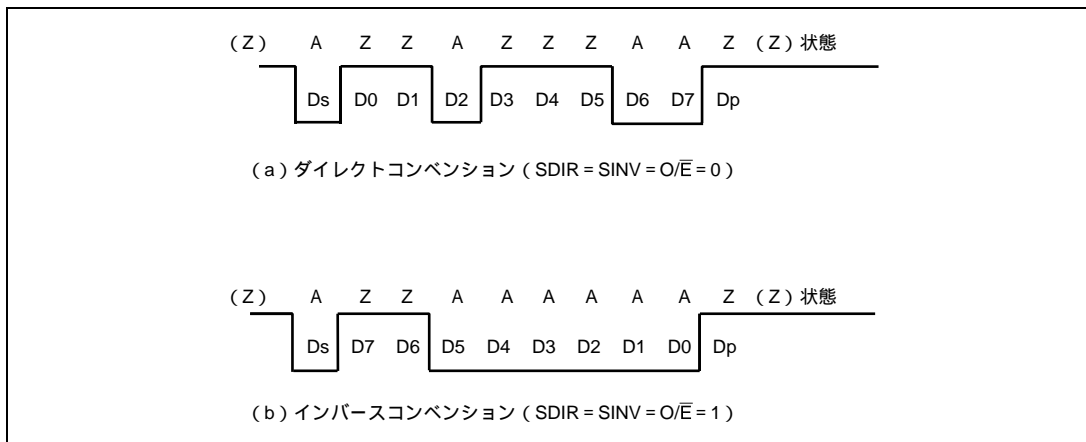


図 18.3 開始キャラクタの波形例

18.4.3 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは SIBRR と SISMPL で設定され、以下に示す計算式になります。ビットレートの例を表 18.4 に示します。

このとき CKE0 = 1 でクロック出力を選択すると、SIM_CLK 端子からはビットレートを (SISMPL + 1) 倍した周波数のクロックが出力されます。

$$B = Pck \times 10^6 / \{ (S+1) \times 2 \times (N+1) \}$$

B = ビットレート (bit/s)

Pck = 周辺モジュール用動作周波数 [MHz]

S = SISMPL 設定値 (0 ≤ S ≤ 2047)

N = SIBRR 設定値 (0 ≤ N ≤ 7)

表 18.4 SIBRR の設定に対するビットレート (bit/s) の例 (Pck = 33[MHz]、SISMP L = 371)

SIBRR 設定値	SIM_CLK 周波数 (MHz)	ビットレート (bit/s)
7	2.06	5544
6	2.36	6336
5	2.75	7392
4	3.30	8871
3	4.13	11089
2	5.50	14785
1	8.25	22177
0	16.50	44355

18.4.4 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、図 18.4 の初期化フローの手順に従ってスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 18.4 に示します。

18. SIM カードモジュール (SIM)

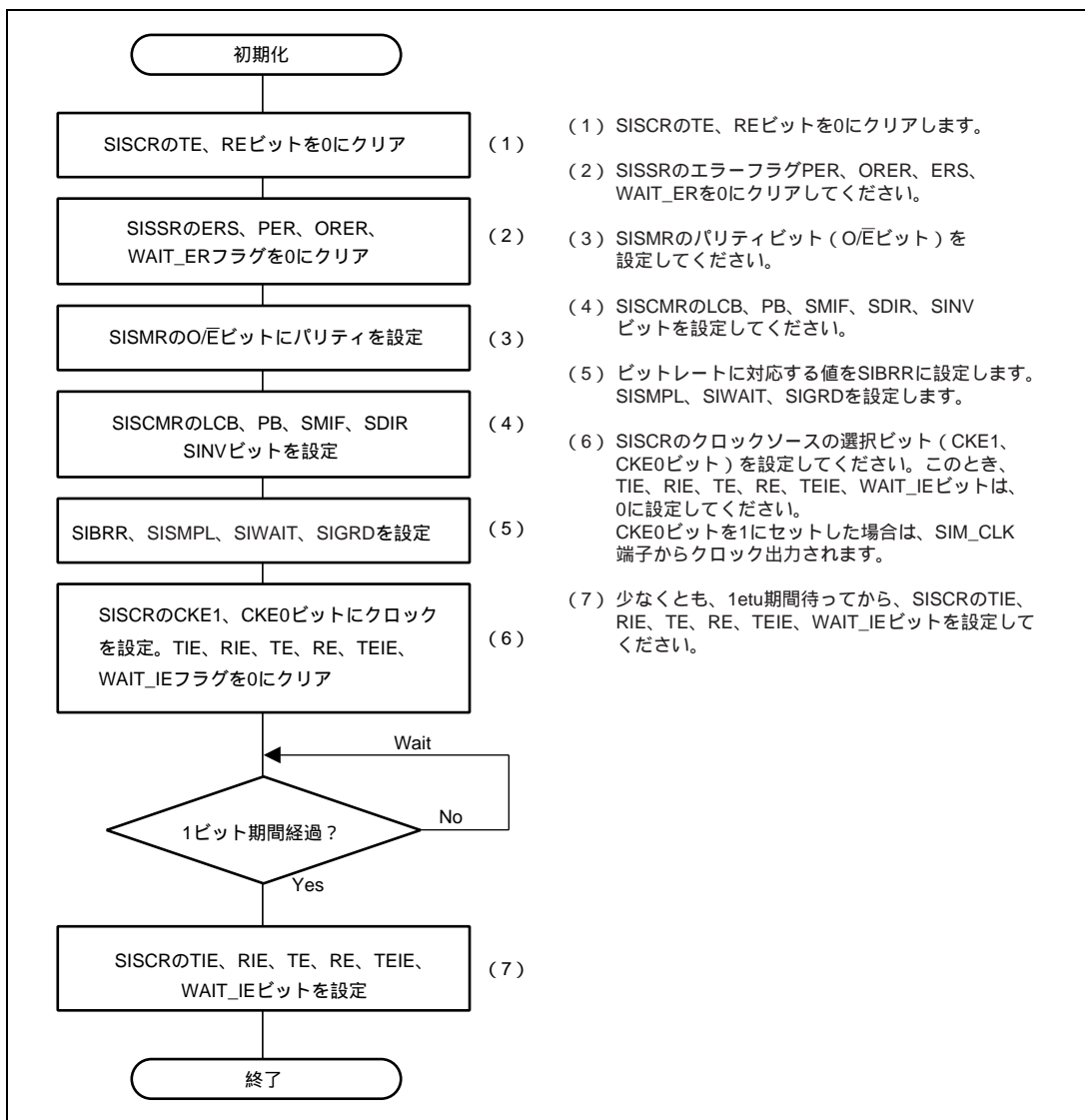


図 18.4 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があります。送信処理フローの例を図 18.5 に示します。

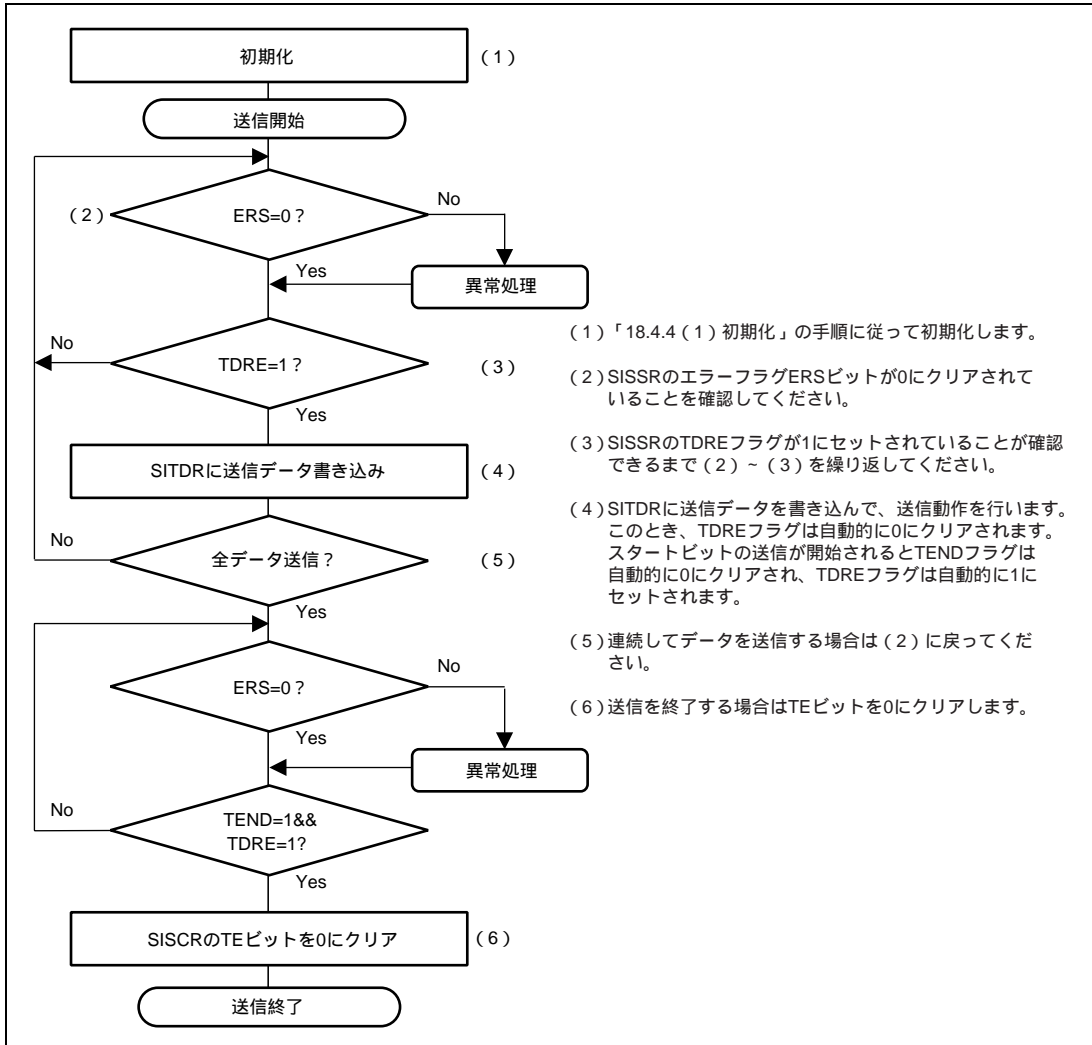


図 18.5 送信処理フローの例

18. SIM カードモジュール (SIM)

(3) シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図 18.6 に示します。

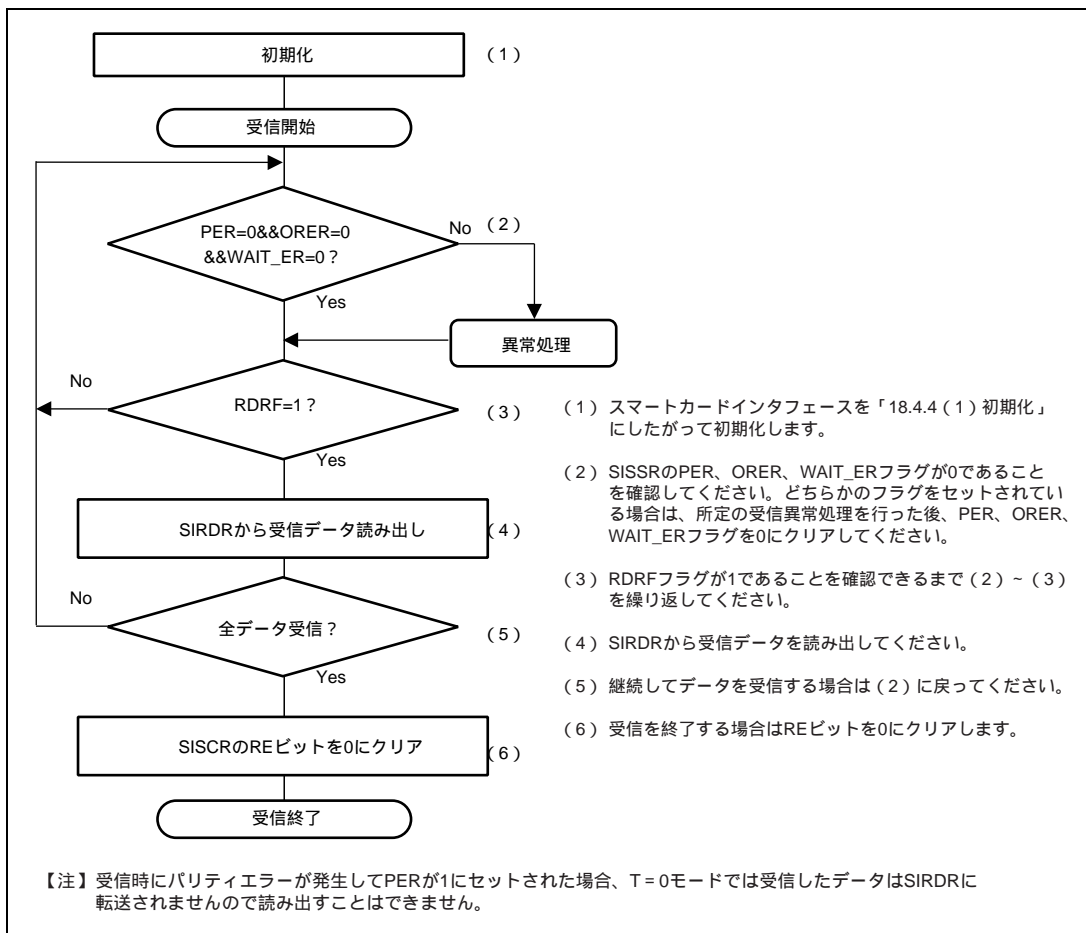


図 18.6 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、RE=0、TE=1に設定してください。受信動作の完了はRDRFフラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、TE=0、RE=1に設定してください。送信動作の完了はTDRE、TENDフラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースでは、送信データエンプティ割り込み (SIMTXI) 要求、送受信エラー割り込み (SIMERI) 要求、受信データフル割り込み (SIMRXI) 要求、送信終了割り込み (SIMTEI) 要求の4種類の割り

込み要因があります。

表 18.5 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求は SISCR の TIE、RIE、TEIE、WAIT_IE および SISCR2R の EIO ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表 18.5 スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	SIMTXI
		TEND	TEIE	SIMTEI
	エラー	ERS	RIE	SIMERI
受信モード	正常動作	RDRF	RIE、EIO	SIMRXI
	エラー	ORER、PER	RIE	SIMERI
		WAIT_ER	WAIT_IE	SIMERI

(6) DMAC によるデータ転送動作

スマートカードインタフェースは、T=0、T=1 のモードで DMAC を使って送受信を行うことができます。

送信動作では、SISSR の TDRE フラグが 1 にセットされると、送信データエンプティーマ転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンプティーマ転送要求を設定しておけば、送信データエンプティーマ転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、送信時にエラーシグナルを受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、TIE ビットを 0 にセットし SIMTXI 要求が発生しないようにして、RIE ビットを 1 にセットして SIMERI 要求が発生するようにしてください。エラーシグナルを受信したときにセットされる ERS フラグは、自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

受信動作では、SISSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビットを 1 にセットして、SIMRXI 要求が発生せず SIMERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT_ER フラグは自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

18.5 使用上の注意事項

スマートカードインタフェースを使用するときは、以下のことに注意してください。

18.5.1 受信データタイミング

SISMPL が初期値の場合、スマートカードインタフェースは転送レートの 372 倍の周波数のシリアルクロック (SIM_CLK) で動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりをもとに SIM_CLK でサンプリングして、内部を同期化します。また、受信データを etu の中央で ($1etu$ の SIM_CLK が 372 クロックの場合、186 クロック目の立ち上がりエッジ) 内部に取り込みます。これを図 18.7 に示します。

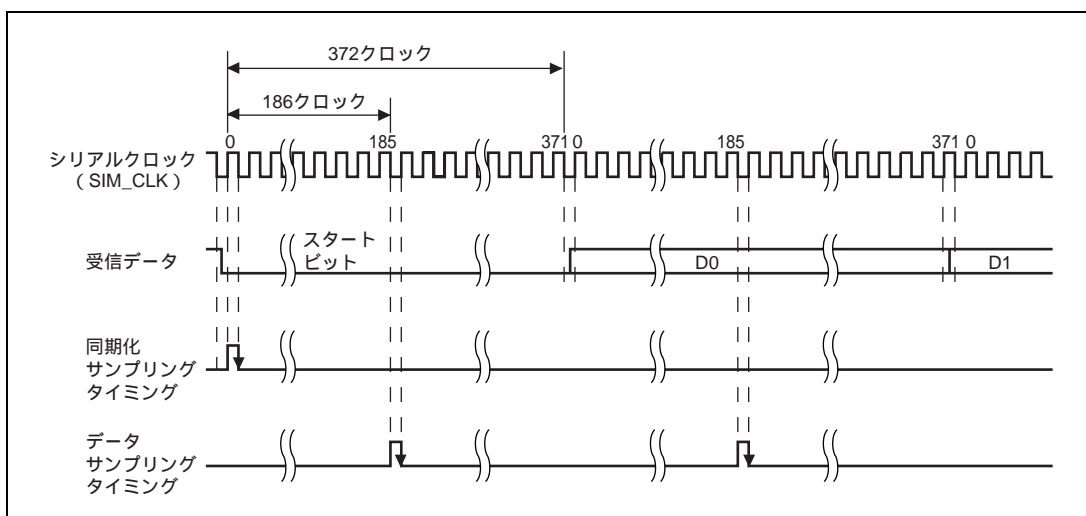


図 18.7 スマートカードモード時の受信データサンプリングタイミング

18.5.2 スマートカードインタフェースが受信モードの場合の再転送動作 (T=0 モード)

スマートカードインタフェースが受信モードの場合の再転送動作を図 18.8 に示します。図 18.8 の (1) ~ (5) は、以下の動作に対応します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、SISSRのPERビットが自動的に1にセットされます。このとき、SISCRのRIEビットがイネーブルになっていれば、SIMERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SISSRのPERビットを0にクリアしてください。
2. パリティエラーが発生したフレームでは、SISSRのRDRFビットはセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SISSRのPERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと

判断して、SISSRのRDRFビットが自動的に1にセットされます。このときSISCRのRIEビットが1、EIOビットが0になっていれば、SIMRXI要求が発生します。

5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

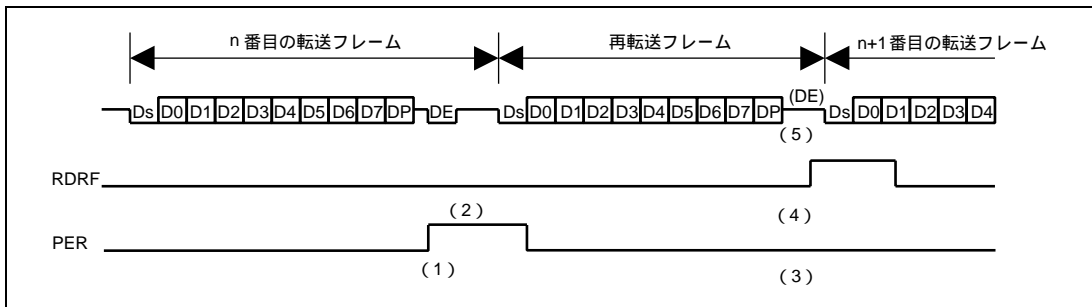


図 18.8 スマートカードインタフェース受信モードの場合の再転送動作

18.5.3 スマートカードインタフェースが送信モードの場合の再転送動作 (T=0 モード)

スマートカードインタフェースが送信モードの場合の再転送動作を図 18.9 に示します。図 18.9 の (1) ~ (4) は、以下の動作に対応します。

1. 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SISSRのERSビットが1にセットされます。このとき、SISCRのRIEビットが許可になっていれば、SIMERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SISSRのERSビットを0にクリアしてください。
2. T=0モードのとき異常を示すエラーシグナルを受信したフレームでは、SISSRのTENDビットはセットされません。
3. 受信側からエラーシグナルが返ってこない場合は、SISSRのERSビットはセットされません。
4. 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SISSRのTENDビットが1にセットされます。このときSISCRのTIEビットがイネールになっていれば、TEI割り込み要求が発生します。

18. SIM カードモジュール (SIM)

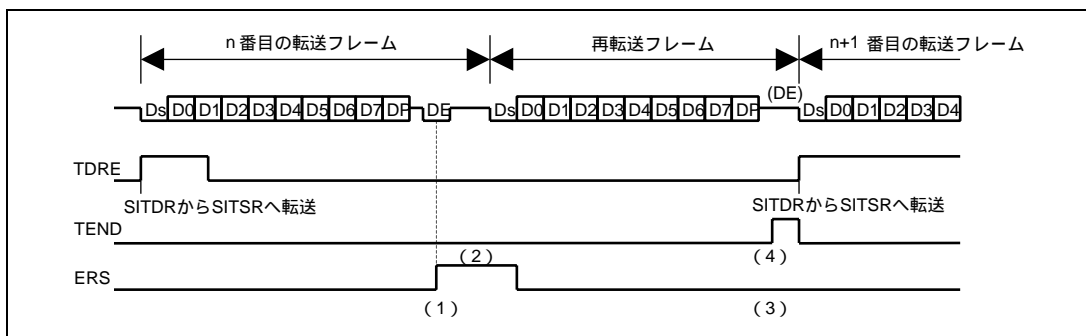


図 18.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)

18.5.4 送信終了割り込みについて

連続送信時、TEIE が常に 1 にセットされていると TEND ビットは送信終了時に毎回 1 にセットされるため、必要のない送信終了割り込み (SIMTEI) 要求が発生します。

最後の送信データを SITDR に書き込んで SITSR が送信を開始してから、SISCR の TEIE ビットを 1 にセットすることで、不要な SIMTEI 割り込み要求の発生を回避することができます。

図 18.10 に TEIE を 1 にセットするタイミングの波形を示します。

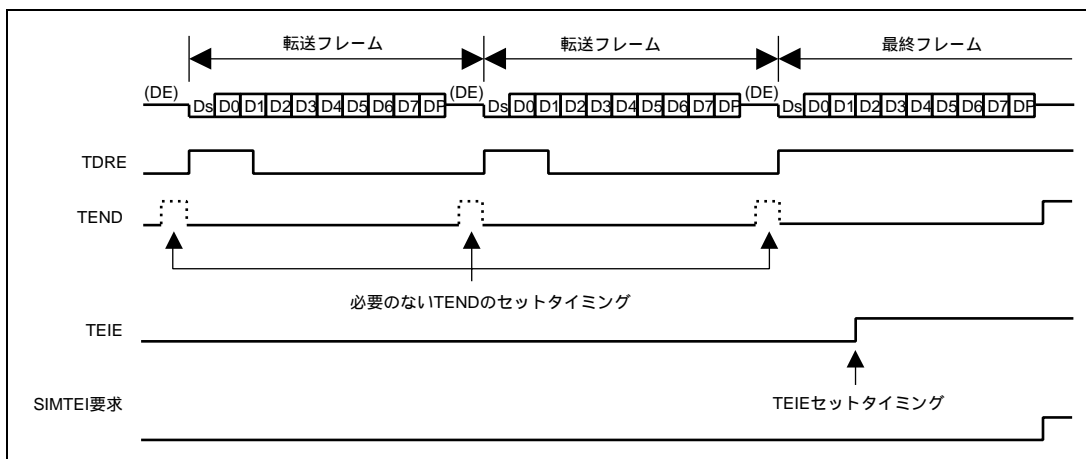


図 18.10 TEIE セットタイミング

18.5.5 スタンバイモードの切り替え

通常モードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 18.11 に示します。図 18.11 の (1) ~ (7) は、以下の操作に対応します。

- 通常モードからスタンバイモードに移るとき
 1. SISCRCのTEビットとREビットに0を書き込み、送信 / 受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
 2. SISCRCのCKE0ビットに0を書き込み、クロックを停止させます。
 3. シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
 4. スタンバイ状態に移させます。
- スタンバイモードから通常モードに戻るとき
 5. スタンバイ状態を解除します。
 6. SISCRCのCKE1ビットをスタンバイ開始時の出力固定状態 (現在のSIM_CLK端子の状態) の値に設定します。
 7. SISCRCのCKE0ビットに1を書き込みクロックを出力させます。正常なデューティにてクロック信号発生を開始します。

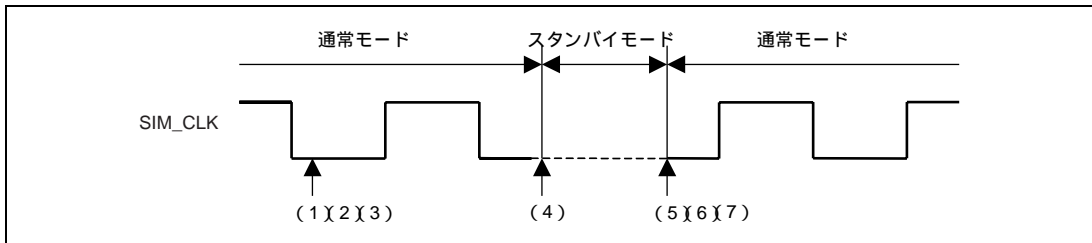


図 18.11 クロック停止、再起動手順

18.5.6 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り換え手順で処理をしてください。

1. 初期状態は、ポート入力で、チップ内部でプルアップされています。
2. PFCのIPSELRでSIMを選択します。
3. SISCRCのCKE1ビットで指定の出力に固定します。
4. SISCRCのCKE0ビットを1に設定して、クロック出力を開始します。

18.5.7 端子接続

スマートカードインタフェースに関する端子接続例を図 18.12 に示します。

スマートカードとの通信においては、1本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源 V_{DDQ} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックをICカードで使用する場合は、SIM_CLK端子出力をICカードのCLK端子に入力します。ICカードで、内部クロックを使用する場合は接続不要です。

18. SIM カードモジュール (SIM)

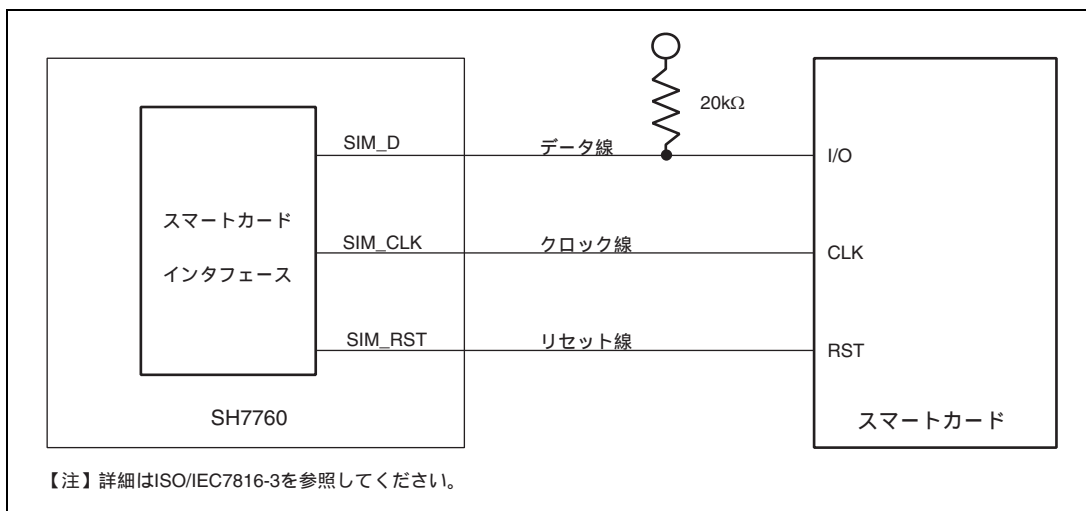


図 18.12 スマートカードインタフェース端子接続例

19. I²C バスインタフェース

本 LSI は Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に対応した I²C バスインタフェースを 2 チャンネル搭載しています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

19.1 特長

I²C バスインタフェースには次のような特長があります。

- Philips社提唱I²Cバスインタフェース方式に対応
- マルチマスタ対応
- 7ビット / 10ビットアドレス互換マスタ
- 7ビットのスレーブアドレス
- ファースト・モード対応
- クロック周波数可変
- 16段FIFOバッファモード

図 19.1 に I²C バスインタフェースのブロック図を示します。

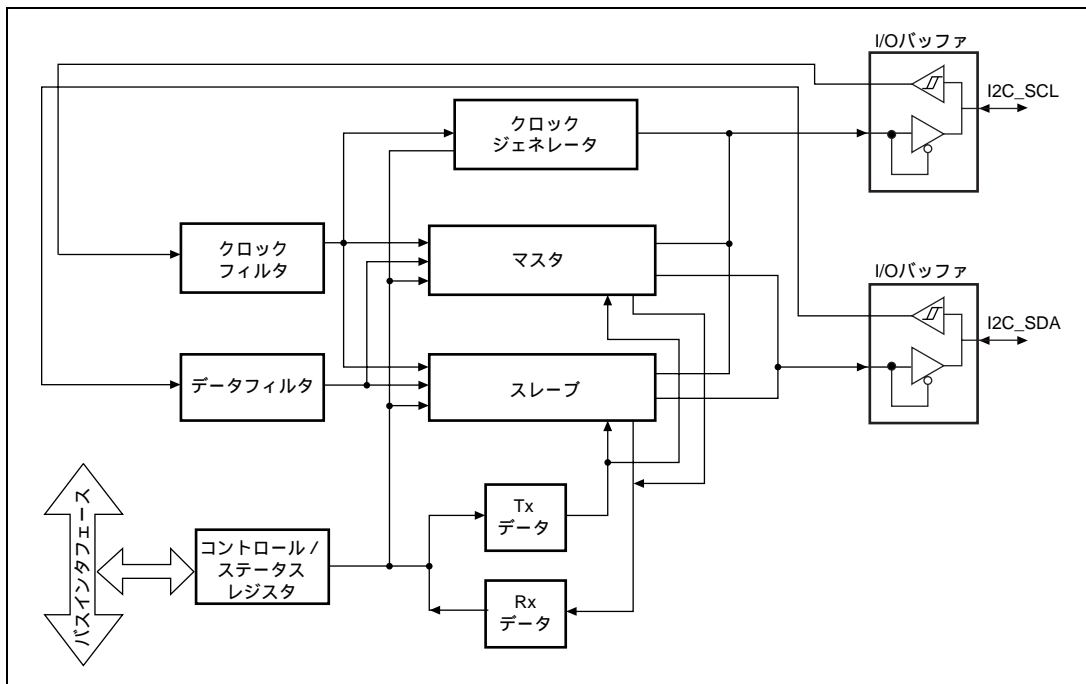


図 19.1 I²C バスインタフェースのブロック図

19.2 入出力端子

表 19.1 に I²C バスインタフェースで使用する端子を示します。

表 19.1 I²C バスインタフェースの端子構成

チャンネル	名称	入出力	機能
0	I2C0_SCL	入出力	I2C0 シリアルクロック入出力端子*
	I2C0_SDA	入出力	I2C0 シリアルデータ入出力端子*
1	I2C1_SCL	入出力	I2C1 シリアルクロック入出力端子*
	I2C1_SDA	入出力	I2C1 シリアルデータ入出力端子*

【注】* I²C バス上の SCL/SDA 出力端子はオープンドレインです。

19.3 レジスタの説明

I²C バスインタフェースには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。なお、本文中ではチャンネルを省略して説明しています。

表 19.2 レジスタ構成 (1)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
0	スレーブコントロールレジスタ 0	ICSCR0	R/W	H'FE14 0000	H'1E14 0000	32	Pck
	マスタコントロールレジスタ 0	ICMCR0	R/W	H'FE14 0004	H'1E14 0004	32	Pck
	スレーブステータスレジスタ 0	ICSSR0	R/(W) ^{*1}	H'FE14 0008	H'1E14 0008	32	Pck
	マスタステータスレジスタ 0	ICMSR0	R/(W) ^{*2}	H'FE14 000C	H'1E14 000C	32	Pck
	スレーブ割り込みイネーブルレジスタ 0	ICSIER0	R/W	H'FE14 0010	H'1E14 0010	32	Pck
	マスタ割り込みイネーブルレジスタ 0	ICMIER0	R/W	H'FE14 0014	H'1E14 0014	32	Pck
	クロックコントロールレジスタ 0	ICCCR0	R/W	H'FE14 0018	H'1E14 0018	32	Pck
	スレーブアドレスイネーブルレジスタ 0	ICSAR0	R/W	H'FE14 001C	H'1E14 001C	32	Pck
	マスタアドレスイネーブルレジスタ 0	ICMAR0	R/W	H'FE14 0020	H'1E14 0020	32	Pck
	受信データレジスタ 0	ICRXD0	R/W	H'FE14 0024	H'1E14 0024	32	Pck
	送信データレジスタ 0	ICTXD0	R/W	H'FE14 0024	H'1E14 0024	32	Pck
	FIFO コントロールレジスタ 0	ICFCR0	R/W	H'FE14 0028	H'1E14 0028	32	Pck
	FIFO ステータスレジスタ 0	ICFSR0	R/W	H'FE14 002C	H'1E14 002C	32	Pck
	FIFO 割り込みイネーブルレジスタ 0	ICFIER0	R/W	H'FE14 0030	H'1E14 0030	32	Pck
	受信 FIFO データ数レジスタ 0	ICRFDR0	R	H'FE14 0034	H'1E14 0034	32	Pck
	送信 FIFO データ数レジスタ 0	ICTFDR0	R	H'FE14 0038	H'1E14 0038	32	Pck
1	スレーブコントロールレジスタ 1	ICSCR1	R/W	H'FE15 0000	H'1E15 0000	32	Pck
	マスタコントロールレジスタ 1	ICMCR1	R/W	H'FE15 0004	H'1E15 0004	32	Pck
	スレーブステータスレジスタ 1	ICSSR1	R/(W) ^{*1}	H'FE15 0008	H'1E15 0008	32	Pck
	マスタステータスレジスタ 1	ICMSR1	R/(W) ^{*2}	H'FE15 000C	H'1E15 000C	32	Pck
	スレーブ割り込みイネーブルレジスタ 1	ICSIER1	R/W	H'FE15 0010	H'1E15 0010	32	Pck
	マスタ割り込みイネーブルレジスタ 1	ICMIER1	R/W	H'FE15 0014	H'1E15 0014	32	Pck
	クロックコントロールレジスタ 1	ICCCR1	R/W	H'FE15 0018	H'1E15 0018	32	Pck
	スレーブアドレスイネーブルレジスタ 1	ICSAR1	R/W	H'FE15 001C	H'1E15 001C	32	Pck
	マスタアドレスイネーブルレジスタ 1	ICMAR1	R/W	H'FE15 0020	H'1E15 0020	32	Pck
	受信データレジスタ 1	ICRXD1	R/W	H'FE15 0024	H'1E15 0024	32	Pck
	送信データレジスタ 1	ICTXD1	R/W	H'FE15 0024	H'1E15 0024	32	Pck
	FIFO コントロールレジスタ 1	ICFCR1	R/W	H'FE15 0028	H'1E15 0028	32	Pck
	FIFO ステータスレジスタ 1	ICFSR1	R/W	H'FE15 002C	H'1E15 002C	32	Pck
	FIFO 割り込みイネーブルレジスタ 1	ICFIER1	R/W	H'FE15 0030	H'1E15 0030	32	Pck
	受信 FIFO データ数レジスタ 1	ICRFDR1	R	H'FE15 0034	H'1E15 0034	32	Pck
	送信 FIFO データ数レジスタ 1	ICTFDR1	R	H'FE15 0038	H'1E15 0038	32	Pck

19. I²C バスインタフェース

表 19.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
			RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎 による
0	スリープコントロールレジスタ 0	ICSCR0	H'0000 0000	H'0000 0000	保持	*	保持
	マスタコントロールレジスタ 0	ICMCR0	H'0000 0000 ^{*3}	H'0000 0000 ^{*3}	保持		保持
	スリープステータスレジスタ 0	ICSSR0	H'0000 0000	H'0000 0000	保持		保持
	マスタステータスレジスタ 0	ICMSR0	H'0000 0000	H'0000 0000	保持		保持
	スリープ割り込みイネーブルレジスタ 0	ICSIER0	H'0000 0000	H'0000 0000	保持		保持
	マスタ割り込みイネーブルレジスタ 0	ICMIER0	H'0000 0000	H'0000 0000	保持		保持
	クロックコントロールレジスタ 0	ICCCR0	H'0000 0000	H'0000 0000	保持		保持
	スリープアドレスイネーブルレジスタ 0	ICSAR0	H'0000 0000	H'0000 0000	保持		保持
	マスタアドレスイネーブルレジスタ 0	ICMAR0	H'0000 0000	H'0000 0000	保持		保持
	受信データレジスタ 0	ICRXD0	不定	不定	保持		保持
	送信データレジスタ 0	ICTXD0	不定	不定	保持		保持
	FIFO コントロールレジスタ 0	ICFCR0	H'0000 0000	H'0000 0000	保持		保持
	FIFO ステータスレジスタ 0	ICFSR0	H'0000 0001	H'0000 0001	保持		保持
	FIFO 割り込みイネーブルレジスタ 0	ICFIER0	H'0000 0000	H'0000 0000	保持		保持
	受信 FIFO データ数レジスタ 0	ICRFDR0	H'0000 0000	H'0000 0000	保持		保持
	送信 FIFO データ数レジスタ 0	ICTFDR0	H'0000 0000	H'0000 0000	保持		保持
1	スリープコントロールレジスタ 1	ICSCR1	H'0000 0000	H'0000 0000	保持	保持	
	マスタコントロールレジスタ 1	ICMCR1	H'0000 0000 ^{*3}	H'0000 0000 ^{*3}	保持	保持	
	スリープステータスレジスタ 1	ICSSR1	H'0000 0000	H'0000 0000	保持	保持	
	マスタステータスレジスタ 1	ICMSR1	H'0000 0000	H'0000 0000	保持	保持	
	スリープ割り込みイネーブルレジスタ 1	ICSIER1	H'0000 0000	H'0000 0000	保持	保持	
	マスタ割り込みイネーブルレジスタ 1	ICMIER1	H'0000 0000	H'0000 0000	保持	保持	
	クロックコントロールレジスタ 1	ICCCR1	H'0000 0000	H'0000 0000	保持	保持	
	スリープアドレスイネーブルレジスタ 1	ICSAR1	H'0000 0000	H'0000 0000	保持	保持	
	マスタアドレスイネーブルレジスタ 1	ICMAR1	H'0000 0000	H'0000 0000	保持	保持	
	受信データレジスタ 1	ICRXD1	不定	不定	保持	保持	
	送信データレジスタ 1	ICTXD1	不定	不定	保持	保持	
	FIFO コントロールレジスタ 1	ICFCR1	H'0000 0000	H'0000 0000	保持	保持	
	FIFO ステータスレジスタ 1	ICFSR1	H'0000 0001	H'0000 0001	保持	保持	
	FIFO 割り込みイネーブルレジスタ 1	ICFIER1	H'0000 0000	H'0000 0000	保持	保持	
	受信 FIFO データ数レジスタ 1	ICRFDR1	H'0000 0000	H'0000 0000	保持	保持	
	送信 FIFO データ数レジスタ 1	ICTFDR1	H'0000 0000	H'0000 0000	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

- *1 ビット4~0はフラグをクリアするための0書き込みのみ可能です。
- *2 ビット6~0はフラグをクリアするための0書き込みのみ可能です。
- *3 ビット6、5は不定です。

19.3.1 スレーブコントロールレジスタ (ICSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SDBS	SIE	GCAE	FNA
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、FIFO バッファモードとシングルバッファモードの2つのモードがあります。 このビットを0にクリアするとFIFO バッファが選択されます。受信モード時に、FIFO 内に格納された受信データ数がRTRG3~RTRG0で設定した数以上になり、RDF フラグがセットされている間はSCLがローレベルに保持されます。FIFO バッファから受信データを読み出し、RDF フラグをクリアすると、SCLのローレベルが解除されます。 このビットに1をセットするとシングルバッファが選択されます。 受信データレジスタがデータパケットを受信してからSDRがクリアされるまでSCLがローレベルに保持されます。 0 : FIFO バッファモード 1 : シングルバッファモード
2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。
1	GCAE	0	R/W	ジェネラルコールアクノリッジイネーブル スレーブがマスタからのジェネラルコールアドレスの送信に対しアクノリッジを求められた場合、このビットを1にセットする必要があります。

19. I²C バスインタフェース

ビット	ビット名	初期値	R/W	説明
0	FNA	0	R/W	<p>強制非アクノリッジ</p> <p>スレーブ受信モードでこのビットのレベルがアクノリッジ信号として送信デバイスに送られます。このビットはデータパケットが受信されている間はクリアされ、データ受信が終了するとセットされます。</p> <p>強制非アクノリッジはスレーブ受信中にマスタに送信されます。</p> <p>スレーブがデータパケットの最後のバイトデータを受信し終わるとアクノリッジをドライブしないこと (NACK) でマスタと通信を行います。NACKを受け取ったあとマスタはバス上にストップを発行します。このビットを設定してもスレーブアドレスのアクノリッジには影響を与えません。</p> <p>本 I²C モジュールでは、スレーブ受信モードにおいて FNA ビットを設定し NACK 応答するケースは、システム起因の不具合によるエラーに対応するためと考えています。このため、NACK 応答する場合の SCL の引き延ばし機能がありません。スレーブ受信モードでの NACK 応答は、1 バイトの最後のビットを受信したときの FNA ビットの値によって決定されます。つまり、所定の 1 バイト転送で NACK 応答させたい場合は、1 バイト前の転送終了時のタイミングで FNA ビットを設定する必要があります。</p>

19.3.2 スレーブステータスレジスタ (ICSSR)

スレーブステータスレジスタのステータスビット (ビット 0~6) は、受信ステータス状態のとき 0 を書き込むとクリアされます。各ビットは GCAR ビットと STM ビットを除き、0 を書き込むことによるリセットまで 1 に保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	GCAR	STM	SSR	SDE	SDT	SDR	SAR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6	GCAR	0	R	<p>ジェネラルコールアドレス受信</p> <p>バスから受信したアドレスがジェネラルコールアドレス (00H) であることを示します。このステータスビットは割り込みを発生させません。</p> <p>SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。</p>

ビット	ビット名	初期値	R/W	説明
5	STM	0	R	スレーブ送信モード 現在のスレーブ送信モードが読み出しか書き込みかを示します。1 のとき書き込みで 0 のとき読み出しです。このステータスビットは割り込みを発生させません。 SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。
4	SSR	0	R/W*	スレーブストップ受信 ストップがバス上に出力されました。ストップビットの期間中で SDA の立ち上がりエッジのあとこのステータスビットがアクティブになります。
3	SDE	0	R/W*	スレーブデータエンプティ 送信データがシフトレジスタにロードされました。データバイト送信の開始時、ICTXD レジスタの内容は、バスヘデータ送信可能状態のシフトレジスタにロードされます。本ステータスビットは、このロードが行われ ICTXD レジスタが再びレディ状態になったことを示します。また、このステータスビットは最初のデータビットの前に SCL の立ち下がりエッジでアクティブになります。シングルバッファモード時には、このビットは ICTXD レジスタに新しいデータを書き込むごとにリセットする必要があります。スレーブ送信サイクルのスタートになってもこのビットがセットされたままの場合スレーブはバスを停止するために SCL をローレベルに保持するからです。FIFO モード時のデータ転送では使用しません。
2	SDT	0	R/W*	スレーブデータ送信 バイトデータがバス上に送信されました。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。
1	SDR	0	R/W*	スレーブデータ受信 バイトデータをバスから受信しました。データは受信データレジスタ内にありレディ状態です。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。シングルバッファモード時には、データが ICRXD レジスタから読み出されたあと、このビットをリセットする必要があります。FIFO モード時のデータ転送では使用しません。 SDBS がセットされると、受信データレジスタがデータパケットを受信開始してから SDR がクリアされるまで SCL はローレベルに保持されます。
0	SAR	0	R/W*	スレーブアドレス受信 スレーブがバス上に自分のアドレスを認識したことを示します(このアドレスはスレーブアドレスレジスタで定義されます)。スレーブコントロールレジスタのジェネラルコールアクノリッジイネーブルビットが有効な場合、本ステータスビットはバス上のアドレスがジェネラルコールアドレスの場合もセットされます。この場合、このレジスタの GCAR ビットでゼネラルコールアドレスが区別できます。STM ビットはアクセスが読み出し(ハイレベル)か書き込み(ローレベル)かを示します。このステータスビットは、最後のアドレスビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。ソフトウェアがこのステータスビットをリセットするまで、ACK の開始時にスレーブは SCL をローレベルに保持します。

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.3 スレーブ割り込みイネーブルレジスタ (ICSIER)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	SSRE	SDEE	SDTE	SDRE	SARE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SSRE	0	R/W	スレーブストップ受信割り込みイネーブル 0: SSR 割り込みの発生を禁止 1: SSR 割り込みの発生を許可
3	SDEE	0	R/W	スレーブデータエンプティ割り込みイネーブル 0: SDE 割り込みの発生を禁止 1: SDE 割り込みの発生を許可
2	SDTE	0	R/W	スレーブデータ送信割り込みイネーブル 0: SDT 割り込みの発生を禁止 1: SDT 割り込みの発生を許可
1	SDRE	0	R/W	スレーブデータ受信割り込みイネーブル 0: SDR 割り込みの発生を禁止 1: SDR 割り込みの発生を許可
0	SARE	0	R/W	スレーブアドレス受信割り込みイネーブル 0: SAR 割り込みの発生を禁止 1: SAR 割り込みの発生を許可

19.3.4 スレーブアドレスレジスタ (ICSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SADD0_6	SADD0_5	SADD0_4	SADD0_3	SADD0_2	SADD0_1	SADD0_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	SADD0_6 ~ SADD0_0	すべて0	R/W	スレーブアドレス I ² Cバス上でスレーブに割り付けられた固有の7ビットアドレスです。スレーブインタフェースは、データパケット送信の始めにスレーブアドレスとして送信される最初の7ビットと、このアドレスが一致するかどうかを確認します。

19.3.5 マスタコントロールレジスタ (ICMCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG
初期値:	0	0	0	0	0	0	0	0	0	0	-	-	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

19. I²C バスインタフェース

ビット	ビット名	初期値	R/W	説明
7	MDBS	0	R/W	<p>マスタデータバッファセレクト</p> <p>データバッファを選択します。データバッファには、FIFO バッファモードとシングルバッファモードの2つのモードがあります。</p> <p>このビットをクリアするとFIFO バッファが選択されます。受信モード時に、FIFO バッファ内に格納された受信データ数がRTRG3～RTRG0で設定した数以上になり、RDF フラグがセットされている間はSCL がローレベルに保持されます。FIFO バッファから受信データを読み出し、RDF フラグをクリアすると、SCL のローレベルが解除されます。</p> <p>このビットをセットするとシングルバッファが選択されます。</p> <p>受信データレジスタがデータパケットを受信してからMDR がクリアされるまでSCL がローレベルに保持されます。</p>
6	FSCL		R/W	<p>強制 SCL</p> <p>強制 SCL は I2C_SCL 端子の状態を制御します（読み出しは I2C_SCL 端子の状態を反映します）。OBPC がセットされるとこのビットが直接バス上のSCL を制御します。</p> <p>I2C_SCL 端子の値をそのまま反映しているため、読み出しサイクル中のこのビットのレベル（リセットレベルも含む）も I2C_SCL のレベルによって変化します。</p>
5	FSDA		R/W	<p>強制 SDA</p> <p>強制 SDA は I2C_SDA 端子の状態を制御します（読み出しは I²C バスのビジー状態を反映します）。OBPC がセットされるとこのビットが直接バス上のSDA を制御します。</p> <p>読み出しサイクル中のこのビットのレベル（リセットレベルも含む）は、I²C バスのビジー状態を示します。1 は I²C バスがビジーであることを、0 はビジーでないことを示します。</p>
4	OBPC	0	R/W	<p>オーバライドバス端子コントロール</p> <p>このビットをセットするとこのレジスタのFSDA とFSCL が直接SDA とSCL を制御します。テスト用です。</p>
3	MIE	0	R/W	<p>マスタインタフェースイネーブル</p> <p>このビットをセットするとマスタインタフェースが有効になります。</p>
2	TSBE	0	R/W	<p>スタートバイト送信イネーブル</p> <p>このビットをセットすると各スタート、リスタート発行後、バス上にスタートバイト（01H）をマスタが送信します。スタートバイトは I²C バスインタフェース対応の動作周波数の低いマイコンとインタフェースをとるために使用されます。</p>

ビット	ビット名	初期値	R/W	説明
1	FSB	0	R/W	<p>バス上への強制ストップ</p> <p>このビットを1セットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESGもセットされた場合、マスタはただちにスタートを発行し新しいデータパケットの送信を開始します。ESGが1にセットされない場合、マスタはアイドル状態になります。</p> <p>FIFOバッファモード送信時には、TENDフラグが1にセットされたときに、またFIFOバッファモード受信時には、RDFフラグが1にセットされたときに、FSBを設定してください。</p> <p>シングルバッファモード設定時、I²Cモジュールは、FSBビット値を1バイトの最後のビットを送信または受信したときに取り込み、STOP動作に移行します。したがって、通信を所定バイト転送後にSTOPさせるためには、最後の1バイトの転送前にFSBを設定してください。</p> <p>【注】「19.7 使用上の注意事項」を確認してください。</p>
0	ESG	0	R/W	<p>イネーブルスタート生成</p> <p>このビットをセットすると、マスタはデータパケットの送信を開始します。ESGがセットされたときにバスがアイドル状態だった場合、マスタはスタートをバス上に発行し、その後スレーブアドレスを発行します。マスタが転送中にESGがセットされた場合、マスタは転送中のデータバイトの終了時にスレーブアドレスを発行する前にリスタートを発行します。データパケットを送信する場合、ソフトウェアはスレーブアドレスが送信されてからこのビットをリセットする必要があります。リセットしない場合、各送信終了後にリスタートが発行されます。</p>

19.3.6 マスタステータスレジスタ (ICMSR)

マスタステータスレジスタのステータスビット(ビット0~6)は、受信ステータス状態のとき、0を書き込むことでクリアされます。各ビットは0を書き込んでリセットされるまで1に保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MNR	MAL	MST	MDE	MDT	MDR	MAT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
6	MNR	0	R/W*	<p>マスタNACK受信</p> <p>このビットがセットされると、マスタがアドレスまたはデータ送信に対するNACKを受信したことを示します(NACKはアクノリッジサイクル中にバス上のSDAがハイレベルであることです)。</p>

19. I²C バスインタフェース

ビット	ビット名	初期値	R/W	説明
5	MAL	0	R/W*	<p>マスタアービトレーションロスト</p> <p>マルチマスタシステムではこのビットがセットされるとマスタはバス上の他のマスタに対するアービトレーションを失ったことを示します。</p> <p>このとき MIE はリセットされマスタインタフェースは無効になります。</p>
4	MST	0	R/W*	<p>マスタストップ送信</p> <p>このビットがセットされるとマスタがバス上にストップを送信したことを示します。ストップはコントロールレジスタの強制ストップビットを設定した結果またはスレーブ受信データパケット期間中のスレーブから受信している NACK で送信することができます。</p>
3	MDE	0	R/W*	<p>マスタデータエンプティ</p> <p>データバイト送信開始時、送信データレジスタの内容はバスに送信可能状態のシフトレジスタにロードされます。</p> <p>このビットがセットされるとこのロードが行われ送信データレジスタが再びレディ状態になったことを示します。</p> <p>マスタ送信モードでは、MDE ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき ICMCR の ESG ビットがクリアされた後で MDE と MAT ビットをクリアしてください。クリアするとデータ送信が再開されます。</p>
2	MDT	0	R/W*	<p>マスタデータ送信</p> <p>バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後 1 になります。</p>
1	MDR	0	R/W*	<p>マスタデータ受信</p> <p>バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。FIFO バッファモード時のデータ転送では使用しません。</p> <p>MDBS が 1 にセットされている場合、受信データレジスタがデータパケットを受信開始してから MDR がクリアされるまで SCL はローレベルに保持されます。</p> <p>マスタ受信モードでは、MDR ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCR の ESG ビットがクリアされた後で、MDR と MAT ビットをクリアしてください。クリアすると、データ受信がスタートされます。</p>
0	MAT	0	R/W*	<p>マスタアドレス送信</p> <p>スレーブアドレスのバイトデータパケットがマスタによって送信されました。このビットはアドレスの ack ビット期間中で SCL 立ち下がりエッジ後に 1 になります。</p>

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.7 マスタ割り込みイネーブルレジスタ (ICMIER)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	MNRE	0	R/W	マスタ NACK 受信割り込みイネーブル 0 : MNR 割り込みの発生を禁止 1 : MNR 割り込みの発生を許可
5	MALE	0	R/W	マスタアービトラージョンロスト割り込みイネーブル 0 : MAL 割り込みの発生を禁止 1 : MAL 割り込みの発生を許可
4	MSTE	0	R/W	マスタストップ送信割り込みイネーブル 0 : MST 割り込みの発生を禁止 1 : MST 割り込みの発生を許可
3	MDEE	0	R/W	マスタデータエンプティ割り込みイネーブル 0 : MDE 割り込みの発生を禁止 1 : MDE 割り込みの発生を許可
2	MDTE	0	R/W	マスタデータ送信割り込みイネーブル 0 : MDT 割り込みの発生を禁止 1 : MDT 割り込みの発生を許可
1	MDRE	0	R/W	マスタデータ受信割り込みイネーブル 0 : MDR 割り込みの発生を禁止 1 : MDR 割り込みの発生を許可
0	MATE	0	R/W	マスタアドレス送信割り込みイネーブル 0 : MAT 割り込みの発生を禁止 1 : MAT 割り込みの発生を許可

19. I²C バスインタフェース

19.3.8 マスタアドレスレジスタ (ICMAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	SADD1	SADD1	SADD1	SADD1	SADD1	SADD1	SADD1	STM1
									_6	_5	_4	_3	_2	_1	_0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~1	SADD1_6 ~ SADD1_0	すべて0	R/W	スレーブアドレス このビットはマスタが通信しようとするスレーブのアドレスです。
0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード（送信または受信）を、マスタから送信されたスレーブアドレス（SADD1）と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信した STM1 の値によってハードウェアが自動的に送信 / 受信を設定します。 このビットが1にセットされると読み出し、0にクリアされると書き込みになります。

19.3.9 クロックコントロールレジスタ (ICCCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	SCGD						CDF	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~2	SCGD	すべて0	R/W	SCL クロック生成分周 マスタモードで動作しているときは、SCGD を分周比として内部クロック周波数から SCL クロックが生成されます。スレーブモードにおいても、データオーバーフローでバスを停止させるため SCL をローレベルに保持しているときは内部クロックからのクロック生成により動作します。このため SCGD はマスタとスレーブのいずれのモードにおいてもプログラムする必要があります。周波数の関係を以下に示します。 式2 SCL レート計算 $\text{SCL freq} = \text{IICck} / (20 + \text{SCGD} * 8)$ CPU のレートと 2 種類の I ² C バスのスピードに対して推奨する CDF と SCGD の値を表 19.3 に示します。
1、0	CDF	すべて0	R/W	クロック分周要素 I ² C バスインタフェースモジュール内のほとんどのブロックで使用される内部クロックは周辺バスのクロックを分周したものです。I ² C の内部クロックは CDF を分周比として周辺クロックから生成されます。 式1 I ² C 内部クロック周波数計算 $\text{IICck} = \text{Pck} / (1 + \text{CDF})$ バス上の SCL に対する SDA のセットアップとホールドタイムの最小値を満たすようにしてください。 クロック周波数は、グリッチフィルタが I ² C ファーストモード仕様に述べられているとおり 50ns までのグリッチに対して動作するようにしてください。 【注】 CDF はクロック周波数 (IICck) が 20MHz 未満になるような値にしてください。

19. I²C バスインタフェース

表 19.3 CDF と SCGD の推奨値

Pck	100 kHz		400 kHz	
	CDF	SCGD	CDF	SCGD
33 MHz	3	8	2	1
誤差	-1.79%		-1.79%	
25 MHz	2	8	0	6
誤差	0.97%		-8.08824%	

19.3.10 受信 / 送信データレジスタ (ICRXD/ICTXD)

本レジスタを読み出したときと書き込みしたときは、物理的には別のレジスタにアクセスしています。データが送信されるときは TXD を使用して、シフトレジスタのデータがロードされます。I²C バスからシフトレジスタにデータを受信したときは、データは RXD にロードされます。

● 受信データレジスタ (ICRXD) (シングルバッファモード)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RXD							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	RXD	すべて 0	R/W	読み出し受信データ マスタまたはスレーブによって受信されるデータ

● 送信データレジスタ (ICTXD) (シングルバッファモード)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TXD							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	TXD	すべて0	R/W	書き込み送信データ マスタまたはスレーブによって送信されるデータ

ICSCR の SDBS ビットあるいは ICMCR の MDBS ビットで FIFO バッファを選択した場合、以下の動作となります。

- 受信データレジスタ (ICRXD) (FIFOバッファモード)

ICRXD は、受信したデータを格納する 16 段の FIFO レジスタです。

1 バイトのデータの受信が終了すると、シフトレジスタから ICRXD へ受信したデータを転送して格納し、受信動作を完了します。この後、ICRXD は受信可能になり、受信 FIFO レジスタがいっぱいになる 16 データまで連続した受信動作が可能です。

ICRXD は、読み出し専用レジスタですので CPU から書き込むことはできません。また、受信 FIFO レジスタに受信データがない状態で読み出した値は不定値になります。受信 FIFO レジスタ内の受信データがいっぱいになると、以降のデータは失われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	RXD								-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

- 送信データレジスタ (ICTXD) (FIFOバッファモード)

ICTXD は、送信するデータを格納する 16 段 FIFO レジスタです。

送信データが ICTXD に書き込まれたとき、シフトレジスタが空ならば、ICTXD に書き込まれた送信データをシフトレジスタに転送して送信を開始します。

ICTXD は、書き込み専用レジスタですので CPU から読み出すことはできません。FIFO 内の送信データが 16 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	TXD								-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

19.3.11 FIFO コントロールレジスタ (ICFCR)

ICFCR は送信、受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。

ICFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTRG3	RTRG2	RTRG1	RTRG0	TTRG1	TTRG0	RFRST	TFRST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6 5 4	RTRG3 RTRG2 RTRG1 RTRG0	0 0 0 0	R/W R/W R/W R/W	レシーブ FIFO データ数トリガ ICFSR の RDF フラグをセットする受信データ数を設定するビットです。ICRXD 内に格納された受信データ数が以下に示すトリガ設定数以上になったときフラグをセットします。 0000 : 1 0110 : 7 1100 : 13 0001 : 2 0111 : 8 1101 : 14 0010 : 3 1000 : 9 1110 : 15 0011 : 4 1001 : 10 1111 : 16 0100 : 5 1010 : 11 0101 : 6 1011 : 12
3 2	TTRG1 TTRG0	0 0	R/W R/W	トランスミット FIFO データ数トリガ ICFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。送信動作により ICTXD 内の送信データ数が以下に示すトリガ設定数以下になったときフラグをセットします。 00 : 8 (8) * ¹ 01 : 4 (12) 10 : 2 (14) 11 : 0 (16)
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット ICRXD 内の受信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止* ² 1 : リセット動作を許可

ビット	ビット名	初期値	R/W	説 明
0	TFRST	0	R/W	トランスミット FIFO データレジスタリセット ICTXD 内の送信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可

【注】 *1 () 内の値はフラグ発生時のトランスミット FIFO データレジスタ (ICTXD) の空き数を示します。

*2 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

19.3.12 FIFO ステータスレジスタ (ICFSR)

ICFSR は、32 ビット長のレジスタで、I²C の動作状態を示します。ICFSR は常に CPU から読み出し/書き込みができます。ただし、TEND、RDF、TDFE の各フラグへ 1 を書き込むことはできません。フラグをクリアするために 0 を書き込むことのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	TEND	RDF	TDFE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TEND	0	R/W	トランスミットエンド 送信キャラクタの最後尾ビットの送信時に、ICTXD に有効なデータがなく、送信を終了したことを示します。 0 : 送信中であることを表示 [クリア条件] <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 ICTXD に送信データを書き込み、TEND フラグに 0 を書き込んだとき 1 : 送信を終了したことを表示 [セット条件] <ul style="list-style-type: none"> 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に、ICTXD に送信データがないとき

19. I²C バスインタフェース

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W	<p>レシーブ FIFO データフル</p> <p>受信したデータがシフトレジスタから ICRXD に転送され、ICRXD 内の受信データ数が、ICFCR の RTRG3 ~ RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>RDF がセットされた状態で受信動作または停止します。ICRXD 内に格納された受信データを読み出した後、RDF をクリアすることにより、受信動作を再開します。</p> <p>0: ICRXD の受信データ数が受信トリガ設定数よりも少ないことを示します</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ICRXD 内の受信データ数が受信トリガ設定数より少なくなるまで ICRXD を読み出し、RDF に 0 を書き込んだとき <p>1: ICRXD の受信データ数が受信トリガ設定数以上であることを示します</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ICRXD に受信トリガ設定数以上の受信データが格納されたとき^{*1}
0	TDFE	1	R/W	<p>トランスミット FIFO データエンプティ</p> <p>ICTXD からシフトレジスタにデータ転送が行われ、ICTXD 内のデータ数が ICFCR の TTRG1 および TTRG0 ビットで設定したトリガデータ数以下になり、ICTXD に送信データを書き込むことが可能となったことを示します。</p> <p>0: ICTXD に送信トリガ設定数より多い送信データが書き込まれていることを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ICTXD に送信トリガ設定数を超える送信データを書き込み、TDFE ビットに 0 を書き込んだとき <p>1: ICTXD の送信データ数が送信トリガ設定数以下であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ICTXD の送信データ数が送信動作によって送信トリガ設定数以下になったとき^{*2}

【注】 *1 ICRXD は 16 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。ICRXD が空の状態ではデータを読み出すと不定値が読み出されます。なお ICRXD 内の受信データ数は ICRFDR に示されます。

*2 ICTXD は 16 バイトの FIFO レジスタなので、TDFE = 1 で書き込むことができる最大データ数は 16 - (送信トリガ設定数) になります。これにより多くデータを書き込んだ場合は無視されます。また、ICTXD 内のデータ数は ICTFDR に示されます。

19.3.13 FIFO 割り込みイネーブルレジスタ (ICFIER)

ICFIER は、FIFO 動作要因の割り込み要求の許可 / 禁止を行うレジスタです。ICFIER は、常に CPU による読み出し / 書き込みが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	TEIE	RXIE	TXIE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル ICFSR の TEND フラグが 1 にセットされたときのトランスミットエンド割り込み (TEI) 要求の発生を許可 / 禁止します。 0 : トランスミットエンド割り込み (TEI) 要求を禁止 1 : トランスミットエンド割り込み (TEI) 要求を許可
1	RXIE	0	R/W	レシーブインタラプトイネーブル ICFSR の RDF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求の発生を許可 / 禁止します。 0 : 受信データフル割り込み (RXI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求を許可
0	TXIE	0	R/W	トランスミットインタラプトイネーブル ICTXD からシフトレジスタへシリアル送信データが転送され、ICTXD 内のデータ数が送信トリガ設定数以下になり、ICFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。 0 : 送信 FIFO データエンpty割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンpty割り込み (TXI) 要求を許可

19.3.14 受信 FIFO データ数レジスタ (ICRFDR)

ICRFDR は、ICRXD 内に格納されているデータ数を示す 32 ビット長のレジスタです。下位 5 ビットで ICRXD 内の受信データ数を示します。ICRFDR は常に CPU から読み出しができます。H'0000 0000 は受信データがないことを、H'0000 0010 は ICRXD に 16 バイトの受信データが格納されていることを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.3.15 送信 FIFO データ数レジスタ (ICTFDR)

ICTFDR は、ICTXD 内に格納されているデータ数を示す 32 ビット長のレジスタです。下位 5 ビットで ICTXD 内の送信データ数を示します。ICTFDR は常に CPU から読み出しができます。H'0000 0000 は送信データがないことを、H'0000 0010 は ICTXD に 16 バイトの送信データが格納されていることを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.4 動作説明

19.4.1 データとクロックフィルタ

これらのブロックは I²C バスから入力される信号のグリッチを取り除きます。取り除くグリッチの幅は 1 クロックまでです (内部クロックの詳細はクロックコントロールレジスタを参照してください)。これはファーストモード I²C バスレート (400 kHz) の仕様ですが低速モードの仕様に違反するものではありません。

また、これらのブロックは内部クロックに対してバス信号の再同期も行います。

19.4.2 クロックジェネレータ

クロックジェネレータは 2 つの機能を持ちます。ひとつめは、マスタまたはスレーブインタフェースのコマンドに従って SCL I²C バスクロックを生成をすることです。ふたつめは、フィルタやマスタ、スレーブインタフェースで使用される内部クロックを制御することです。このクロックはフィルタやマスタ、スレーブインタフェースのレジスタのクロックイネーブル信号として動作します。

19.4.3 マスタ/スレーブインタフェース

これらのインタフェースは独立で並行に動作します。マスタインタフェースは I²C バス上のアドレスとデータの転送を制御します。スレーブインタフェースは I²C バスを監視し、設定されたアドレスがバス上に出力されると転送に参加します。どちらのインタフェースも独立にコントロール/ステータスレジスタと通信します。割り込みは 1 本のみで、I²C バスインタフェースモジュールから出力されます。発生源はマスタかスレーブのどちらかになります。

19.4.4 ソフトウェアステータスインターロック

I²C バスインタフェースモジュールへのソフトウェアインタフェースをできるだけ強固でシンプルにするため、いくつかの連動させたステータスをマスタインタフェースとスレーブインタフェースの動作に作りこんでいます。このステータスピットを以下に示します。

(1) MDR と SDR (シングルバッファモード)

データを受信すると MDR と SDR はセットされます。受信データレジスタを読み出したあとはステータスをクリアしてください。MDR と SDR がセットされているときにデータを受信すると、ハードウェアは受信データレジスタにまだ読み出されていないデータがあることを認識して自動的に SCL をローレベルに保持し、データ転送を一時停止します。この場合、受信データを読み出した後にステータスをクリアすることで転送は再開されます。

データを連続して受信するときは、受信データレジスタを読み出したあと必ず MDR と SDR のステータスをクリアしてください。

(2) MDE と SDE (シングルバッファモード)

スレーブまたはマスタが、データ(送信データレジスタのデータ)を I²C バス上に送信する段階になっても MDE と SDE ステータスピットがセットされている場合、MDE と SDE がリセットされるまで SCL はローレベルに保持される必要があります。MDE と SDE がセットされることで、現在送信データレジスタに保持されているデータはすでに I²C バスに送信されたことを示します。

次のデータバイトの送信が可能な状態になった送信データレジスタに書き込むとき、ソフトウェアはこのステータスピットをクリアする必要があります。ただし、この操作はバス上に送信される最初のバイトデータには必要ありません。

(3) MAL

マスタがアービトレーションを失ったとき、マスタステータスレジスタの MAL ビットがセットされマスタコントロールレジスタの MIE ビットがリセットされます。このときマスタモードは無効になり I²C バスインタフェースはスレーブモードになります。マスタの動作を再開する場合、マスタからのデータ転送は MAL ビットがクリアされてから開始されます。

(4) SAR

SAR ステータスピットは、スレーブが、自分のアドレスが I²C バス上に出力されたことを認識したときにセットされます。このときスレーブインタフェースは、SAR ステータスピットがリセットされるまで SCL をローレベ

ルに保持します。

これはスレーブの送信がバスに対して行われようとしているときは特に重要です。スレーブは送信データレジスタからデータを送信します。ソフトウェアは SAR ステータスに対して、送信データレジスタに要求されるデータを書き込み、その後 SAR ビットをリセットするという応答を行います。これによりスレーブインタフェースはアクセスを続けることができます。

スレーブがデータを受信しようとしている場合、ソフトウェアが受信データレジスタから前のアクセスでロードされたデータをまだ読み出していることがあります。新しいアクセスがまだ受信データレジスタにある有効なデータを上書きしてしまう可能性があります。しかし、SAR ステータスビットを使うことでこれを回避することができます。ソフトウェアが受信データレジスタのすべてのデータの読み出しを終了してから SAR ビットをリセット (SAR がセットされていた場合) すると、受信データレジスタの上書きを避けられます。

(5) ICTXD への書き込みと TDFE フラグ (FIFO バッファモード)

ICFSR の TDFE フラグは、ICTXD 内に書き込んだ送信データ数が、ICFCR の TTRG1 および TTRG0 ビットで設定した送信トリガ数以下になったときにセットされます。TDFE がセットされた後、ICTXD の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

TDFE フラグは、ICTXD に書き込まれているデータ数が送信トリガ数以下の場合には、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが ICTXD に格納されたときに行ってください。ICTXD 内の送信データ数は、ICTFDR で知ることができます。

(6) ICRXD の読み出しと RDF フラグについて (FIFO バッファモード)

ICFSR の RDF フラグは、ICRXD 内の受信データ数が ICFCR の RTRG3 ~ RTRG0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、ICRXD からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

読み出し後も ICRXD 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出して 0 にクリアしてください。ICRXD 内の受信データ数は、ICRFDR で知ることができます。

19.4.5 I²C バスデータフォーマット

図 19.2 に I²C バスインタフェースのバスタイミングを示します。また、表 19.4 に図 19.2 の記号の意味を示します。

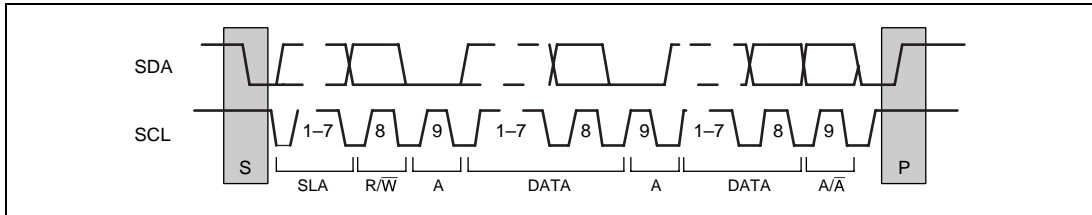


図 19.2 I²C バスタイミング

表 19.4 I²C バスデータフォーマットの記号説明

記号	説明
S	開始条件を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを転送します。
A	データアックノリッジを示します。受信デバイスが SDA をローレベルにします。スレーブデバイスはマスタ送信モードではデータアックノリッジを返します。
DATA	送受信データを示します。データ長は 8 ビットで MSB から転送されます。
P	停止状態を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をローレベルからハイレベルに変化させます。

19.4.6 7ビットアドレスフォーマット

図 19.3 にマスタからスレーブデバイスへのデータ転送フォーマット (マスタデータ送信フォーマット) を示します。図 19.4 にマスタデバイスがスレーブデバイスからの 2 番目とそれ以降のバイトデータを読み出すデータ転送フォーマット (マスタデータ受信フォーマット) を示します。

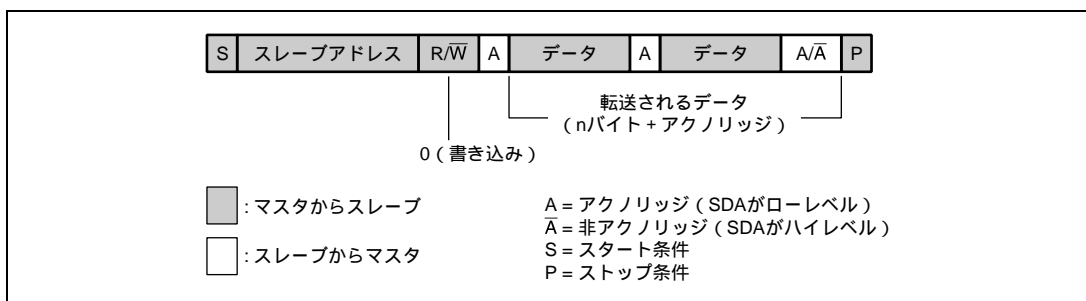


図 19.3 マスタデータ送信フォーマット

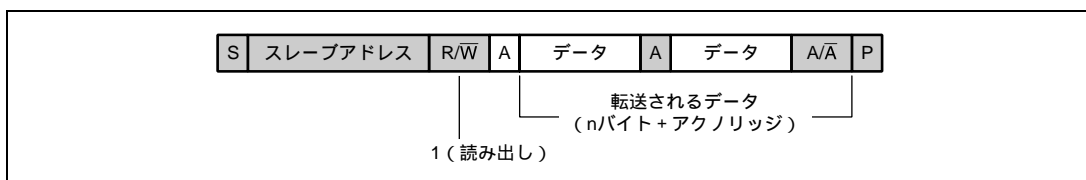


図 19.4 マスタデータ受信フォーマット

図 19.5 に、1 回の転送中にデータ転送の方向が変わる複合転送フォーマットを示します。1 回目の転送で方向が変わるときは再送コマンド (S_r)、スレーブアドレス、 R/\bar{W} が送信されます。この場合 R/\bar{W} は 1 回目の転送方向と逆の方向が設定されています。

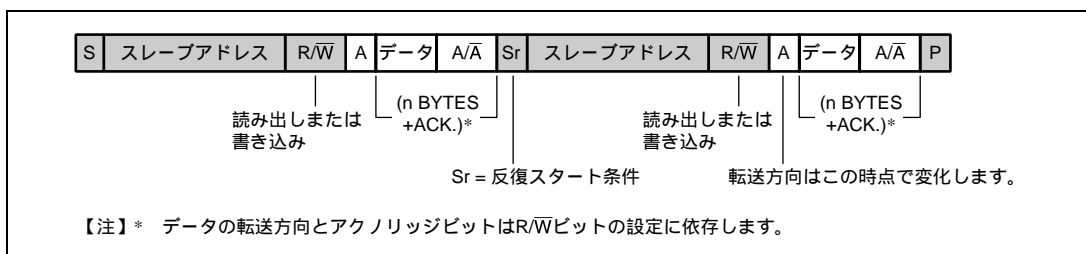


図 19.5 マスタ転送の複合転送フォーマット

19.4.7 10ビットアドレスフォーマット

マスタモードでサポートする 10 ビットアドレス転送フォーマットについて説明します。

このフォーマットは 7 ビットアドレス転送フォーマット同様に 3 種類の転送方法があります。

図 19.6 にデータ転送フォーマットを示します。マスタアドレスレジスタに設定された値は 1 回目の転送条件 (S) の後に 1 バイトで出力されます。送信データレジスタ (ICTXD) に設定された値は 2 番目のバイトでスレーブア

ドレスとして転送されます。3 バイト目とそれ以降のデータ転送は 7 ビットアドレスデータ送信と同じ方法で行われます。



図 19.6 10 ビットアドレスデータ転送フォーマット

図 19.7 にデータ受信フォーマットを示します。

データ受信フォーマットで 2 バイトのアドレスの送信は前述のデータ転送と同様に行われます。その後、再送条件 (Sr) が送信され、アドレスレジスタに設定された値が送信されます。このとき、STM1 は 1 (受信モード) である必要があります。データ転送は 7 ビットアドレス受信フォーマットと同様に行われます。

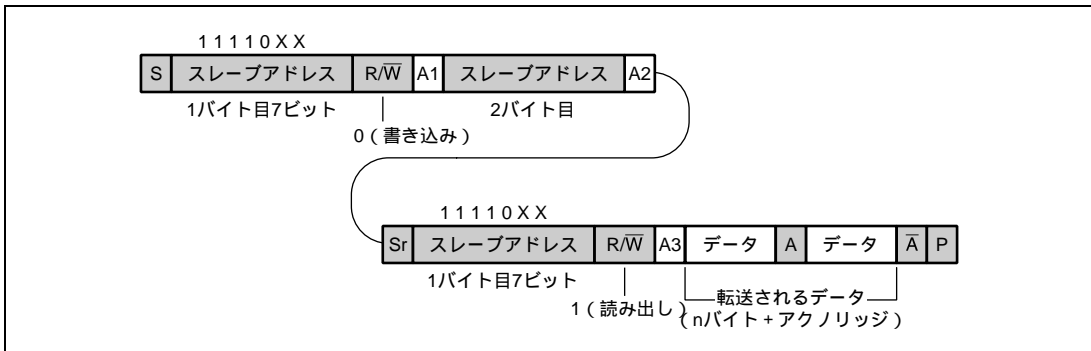


図 19.7 10 ビットアドレスデータ受信フォーマット

図 19.8 にデータ送信 / 受信複合フォーマットを示します。

データ送信 / 受信複合フォーマットでは、データは最初の 2 バイトでアドレスが送信された後データが送信されます。その後、再送条件 (Sr) がストップ条件 (P) の代わりに送信されます。Sr 送信後の手順は通常データ受信フォーマットと同様に行われます。

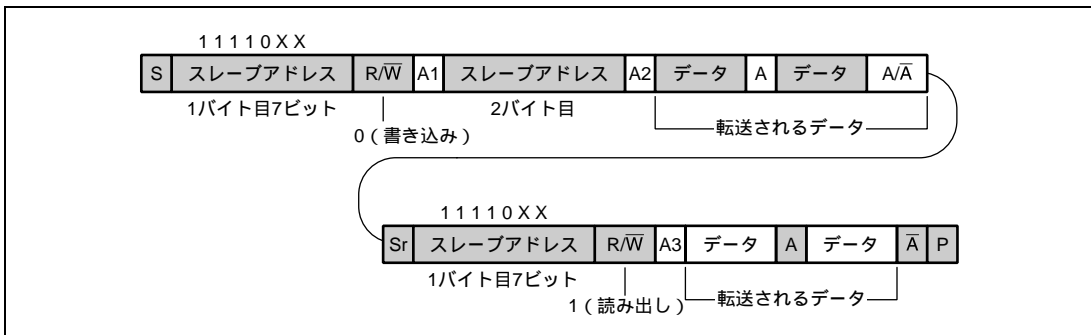


図 19.8 10 ビットアドレスデータ送信 / 受信複合フォーマット

19.4.8 マスタ送信動作（シングルバッファモード）

マスタ送信モードでの送信手順と動作を以下に示します。図 19.9～図 19.11 にマスタ送信モードのタイミングチャートを示します。マスタコントロールレジスタの MDBS ビットをセットすることにより、I²C はシングルバッファモードで動作します。

1. 初期状態では、スレーブアドレス、送信データ、送信スピードに従ってクロックコントロールレジスタとマスタ割り込みイネーブルレジスタのクロックコントロールビットと割り込み生成ステータスコントロールビットを設定してください。マスタモードが使用されているときでもスレーブモードは要求されるので、スレーブアドレスレジスタにデバイスのアドレスを設定してください。

また、マスタコントロールレジスタの MDBS ビットとスレーブコントロールレジスタの SDBS ビットは動作中では変更しないでください。動作途中でこれらのビットを変更すると誤動作することがあります。

2. マスタコントロールレジスタの FSDA ビットを監視してください。このビットがローレベルであることを確認してください。これは他の I²C デバイスがバスを使用していないことを意味します。確認後、マスタコントロールレジスタの MIE ビットと ESG ビットをセットしてマスタ送信を開始します。
3. 送信開始条件、スレーブアドレス、データ送信方向を示す信号が送信された後、マスタステータスレジスタの MAT ビットと MDE ビットによる割り込みが図 19.9 の (1) に示されるタイミングで生成されます。このとき ESG をクリアしてください。マスタデバイスは、データ送信を一時停止するために、MDE ビットがクリアされるまで SCL をローレベルにします。
4. SAR による割り込みが図 19.9 の (3) に示されるタイミングで生成されます。スレーブデバイスの IRQ 処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を伸ばします (図 19.9 の (7) に示されるタイミング)。スレーブデバイスは 9 番目のクロックで SDA をローレベルにして ACK を返します。
5. データ転送は 8 ビットに ACK の 1 ビットを加えたもの、つまり 9 ビットを単位として行います。MDE (ビット 3) による割り込みは、データ転送前の 9 番目のクロック (図 19.9 の (2) に示されるタイミング) のときに生成されます。MDT (ビット 2) による割り込みは、1 バイトのデータ転送後の 8 番目のクロック (図 19.9 の (4) に示されるタイミング) のときに生成されます。転送データを設定したあと MDE をクリアしてください。スレーブデバイスの SDR (スレーブデータ受信) による割り込みは、8 番目のクロック (図 19.9 の (6) に示されるタイミング) のときに生成されます。スレーブデバイスが受信データをリードしたあと SDR をクリアしてください。この処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を伸ばします (図 19.9 の (8) に示されるタイミング)。
6. データ転送を終了させるために、マスタステータスレジスタの MNR (ビット 6) による割り込みが、スレーブデバイスからの ACK が 1 (NACK) のとき 9 番目のクロックで生成されます (図 19.9 の (5) に示されるタイミング)。マスタデバイスはこの NACK を受信し、データ転送終了条件を出力します。マスタデバイスでデータ送信が終了したとき、マスタコントロールレジスタの FSB (ビット 1) をセットして一時停止条件を出力してください。I²C モジュールはバイトデータの最終ビットの送信または受信が完了すると FSB の値を取り込み、ストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前に FSB が設定されている必要があります。

7. FSBは最終バイトデータが転送される前に設定される必要があります。そこでマスタ送信モード時には、最終バイトデータが設定されたあとMST（マスタストップ送信）を割り込みまたはポーリングでチェックします。また同時にMNR（マスタNACK受信）をチェックし、NACKが返された場合は最終バイトデータを再送信するためにエラールーチンに進みます。

図 19.9 のタイミング (1) ~ (6) は、クロックの立ち下がりエッジ後に生成されます。

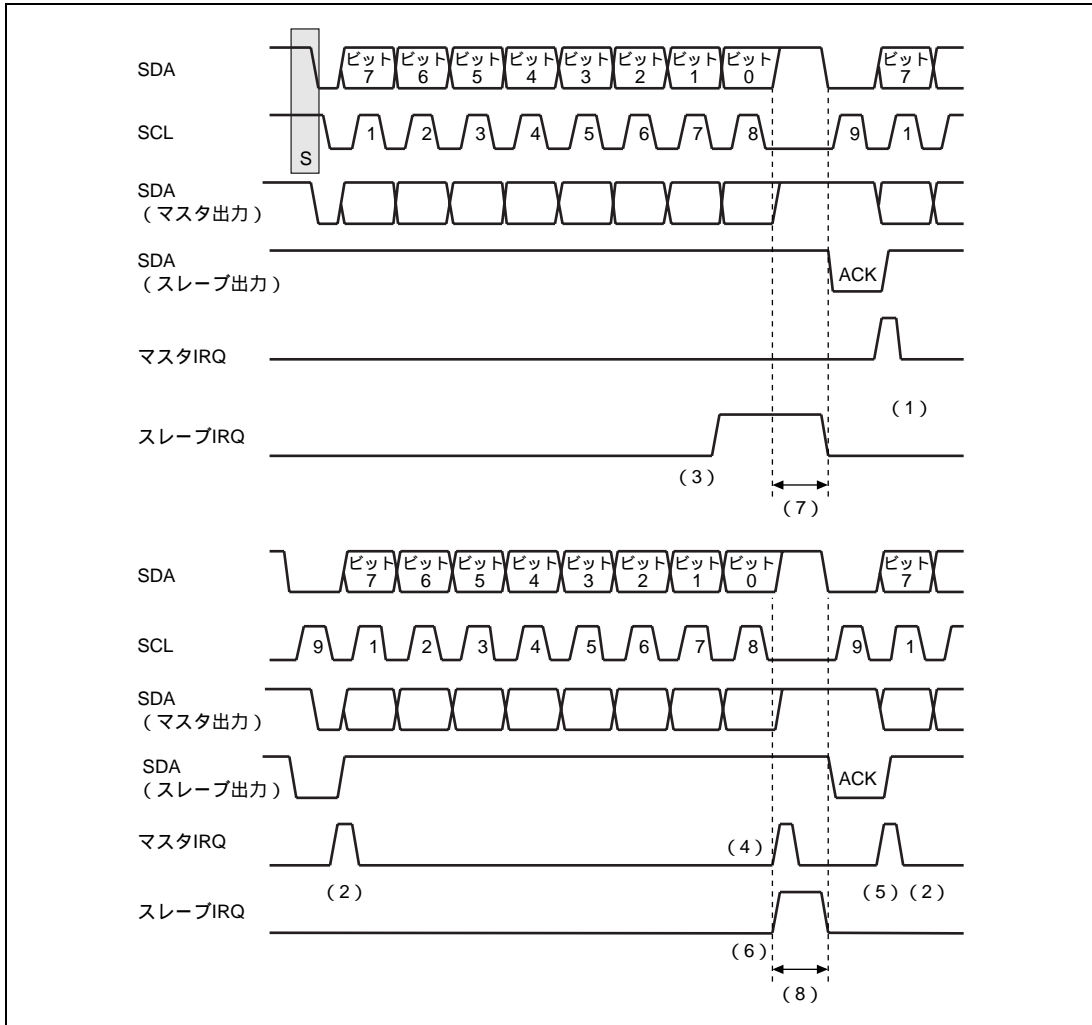


図 19.9 データ転送モード動作タイミング

19.4.9 マスタ受信動作（シングルバッファモード）

マスタ受信モードでのデータ受信手順と動作を以下に示します。図 19.10 にマスタデータ受信モードのタイミングチャートを示します。マスタコントロールレジスタの MDBS ビットをセットすることにより、I²C はシングルバッファモードで動作します。

1. マスタデータ受信モードでは、スレーブアドレスとデータ転送方向を示す1バイトの信号については、動作はマスタデータ転送モードと同様です。しかし、このときデータ転送方向は1（受信）を選択してください。
2. スレーブデバイスは、データ転送方向を示す信号によって自動的にデータ転送モードになり、マスタデバイスからのSCLクロックに同期して、1バイトデータの送信を行います。マスタデバイスは8番目のクロック（図 19.10の（2））に示されるタイミング）でMDR（ビット1）の割り込みを生成します。マスタデバイスが受信データを読み出した後、MDRビットをクリアしてください。この割り込み処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします（図19.10の（3））に示されるタイミング）。
3. スレーブデバイスは、8番目のクロック（図19.10の（2））に示されるタイミング）で1バイトのデータ転送の最後を示すSDT（ビット2）による割り込みを生成します。また、9番目のクロック（図19.10の（1））に示されるタイミング）でデータエンプティを示すSDE（ビット3）による割り込みを生成します。スレーブ送信データをTXDに書き込んだ後、SDEをクリアしてください。
4. 転送を終了するために、マスタデバイスのマスタコントロールレジスタのFSB（ビット1）をセットして出力一時停止を出力してください。I²Cモジュールはバイトデータの最終ビットの送信または受信が完了すると、FSBの値を取り込んでストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。もし最終バイトデータが正しくないとき、プロトコルレイヤはスレーブ送信側に再送信が必要なことを通知します。

図 19.10 のタイミング（1）～（3）は、クロックの立ち下がりエッジ後に生成されます。

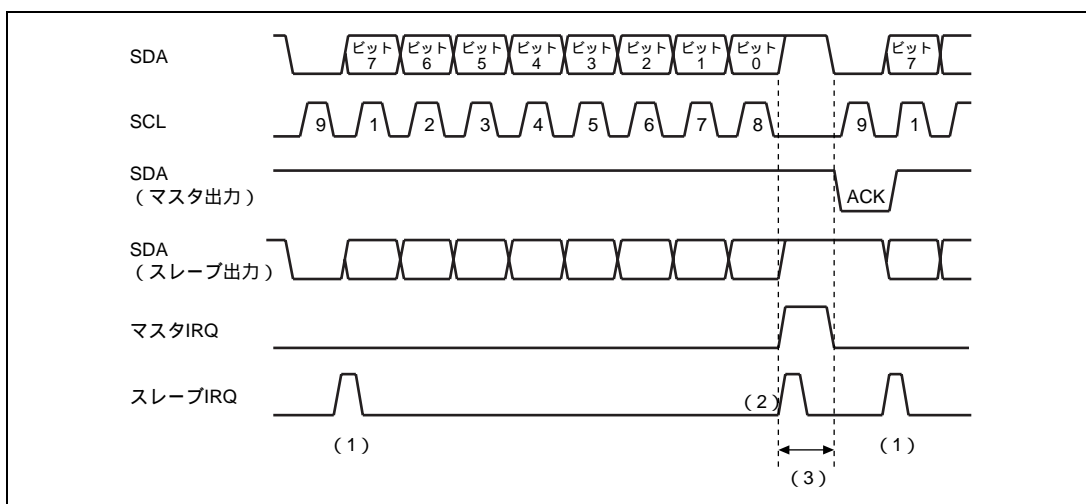


図 19.10 データ受信モード動作タイミング

19.4.10 スタンバイモード

クロックの供給が停止するためスタンバイモードでは通信を行えません。スタンバイモードに遷移するときは通信を終了し、以下に示すとおりレジスタの状態を確認してください。

通信が行われているときは以下の手順に従ってください。

1. I²C マスタモードでの通信を終了するときは、ICMSR の MST ビットが 1 であることを確認し、ICMCR の MIE ビットをクリアしてください。
2. I²C スレーブモードでの通信を終了するときは、ICSSR の SSR ビットが 1 であることを確認し、ICSCR の SIE ビットをクリアしてください。

通信が行われていないときは以下の手順に従ってください。

3. ICMCR の MIE ビットが 0 であることを確認してください。
4. ICSCR の SIE ビットが 0 であることを確認してください。
5. ICMCR の FSCL ビットと FSDA ビットを監視し、FSCL が 1、FSDA が 0 であることを確認してください。（監視のタイミングは、使用している SCL の周波数に従って決定してください。）MIE ビットと SIE ビットが 1 のとき通信が行われていないことを確認し、これらのビットをクリアしてください。

19.5 FIFO モード動作説明

FIFO モードに設定すると、16 段の FIFO バッファが使用できます。FIFO モードに関連するレジスタには、ICFCR、ICFSR、ICFIER、ICRFDR、ICTFDR があります。詳細については、各レジスタの説明を参照してください。

FIFO モードに設定すると、ICFCR で指定したバイト数単位で転送を行うことができ、割り込みによるオーバーヘッドを低減できます。

19.5.1 マスタ送信動作（FIFO バッファモード）

1. シングルバッファモード動作時と同様、MAT セットと同じタイミングで MDE がセットされます。ここで、ESG ビットをクリアします。マスタデバイスは、データ送信を一時停止するために、MDE ビットがクリアされるまで SCL をローレベルにします。
2. FSB セットは、トランスミット FIFO データエンプティフラグ (TDFE) がセットされてから 1SCL クロック後以降、9SCL クロック以内に行ってください (図 19.15 参照)*。たとえば、3 バイト送信したいときは、3 バイト分のデータを FIFO にライトして送信後、TDFE=1 をポーリングまたは送信 FIFO データエンプティ (TXI) 割り込みにより確認し、TDFE=1 から 1SCL クロックから 9SCL の間に FSB をセットしてください。なお、割り込み応答および処理時間を含め、システム上 FSB をセットするタイミングにご注意ください。

【注】 * このタイミングで FSB がセットされないと、STOP 条件 (P) が正しく発行されない場合があります。

19.5.2 マスタ受信動作 (FIFO バッファモード)

1. ESGビットのクリアは、レジスタで指定されたバイト数のデータを受信時にRDFがセットされたときに行います。
2. ICFCRのRTRGで設定する受信バイト数は、1~16バイトから1バイト単位で選べます。
3. 受信データ数がこの設定値に達すると、RDF割り込みが発生し (RXIE = 1の場合)、後続の受信動作は停止します。RDFがセットされるまでの間は、自動的にACKが返されます。
4. RDF割り込みが発生した段階で、CPUから受信FIFO内のすべての受信データを読み出してください (空読み出し、およびRDF割り込み発生前の先行読み出しはできません)。ただし、STOP条件を発行する場合は、6.の手順に従ってください。
5. 受信を再開する場合は、(FSB = 0のまま)受信FIFO内のすべての受信データを読み出した後、ICFSRのRDFフラグを0にクリアしてください (RTRG設定数を変更する場合は、このRDFフラグの0クリア前に行ってください)。
6. STOP条件を発行する場合は、FSBビットを1にセットし、少なくとも1ビット期間の経過を待ってから、受信FIFO内のすべての受信データを読み出した後、RDFフラグを0にクリアしてください (これ以外のタイミングではFSBをセットしないでください)。
7. 受信データ数がRTRG設定値に満たない時点で強制的に停止させる場合は、ICMCRのFSCl、FSDAをマニュアル制御 (START/STOP) し、ICRFDRレジスタ値が示す数のデータを受信FIFOから読み出してください。

19.6 プログラム例

19.6.1 マスタ送信 (シングルバッファモード)

I²C バスにデータパケットを送信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) に01hを設定
(SCL周波数が400kHz)
2. クロック分周比に2hを設定
(周辺クロックが33MHz、I²C内部クロックIICckが11MHz)

(2) マスタコントロールレジスタ、1番目のデータバイトとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (書き込みモードは0) を設定
2. 送信データレジスタに送信される1番目のデータバイトを設定
3. マスタコントロールレジスタに89hを設定

(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDEビットによる割り込み) 待ち。
2. マスタコントロールレジスタに88hを設定 (マスタデバイスは、データ送信を一時停止するために、MDEビットがクリアされるまでSCLをローレベルにします。)

1バイトのみ送信する場合はマスタコントロールレジスタに8Ahを設定 (ストップの生成が有効)

これにより1バイト送信したらすぐにストップを生成
3. MATビット、MDEビットをリセット

(4) データバイトの送信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDEビット) 待ち
2. 送信データレジスタに次のデータバイトを設定*

【注】 * 「1 番目のデータバイトを出力し終わるまでに実行してください」の制限事項は必要ありません。

3. MDEビットをリセット

最終送信バイトの設定後MDEをクリアします。最終送信バイト送信開始後、MDEが発生します。そのMDEをクリアする前に、マスタコントロールレジスタに8Ahを設定 (最終送信バイトを出力し終わるまでに実行してください) してください。

(強制ストップビットをセット)

(5) 送信終了待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
2. MNR (マスタNACK受信) を確認後、MSTをリセット

19.6.2 マスタ受信 (シングルバッファモード)

I²C バスのデータパケットを受信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) に01hを設定

(SCL周波数が400kHz)
2. クロック分周比 (CDF) に2hを設定

(外部クロックsysclockfreqが33MHz、内部クロックclockfreqが11MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (読み出しモードは1) を設定

19. I²C バスインタフェース

2. マスタコントロールレジスタに89hを設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDRビットによる割り込み) 待ち。
2. マスタコントロールレジスタに88hを設定 (マスタデバイスは、データ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。)
1バイトのみ送信する場合はマスタコントロールレジスタに8Ahを設定 (ストップの生成が有効)
これにより1バイト受信したらすぐにストップを生成する。

3. MATビットをリセット

(4) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
2. 受信データレジスタからデータ読み出し
次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわち MDR 割り込みに対して
3. マスタコントロールレジスタに8Ahを設定
(強制ストップビットを設定)
4. MDRビットをリセット

(5) 送信終了待ち

1. 最終バイトの受信割り込み (MDR) の処理、すなわちデータを引き抜きMDRをクリア
2. マスタデバイスのイベント (マスタステータスレジスタのMST) 待ち
3. MSTをリセット

19.6.3 マスタ送信—リスタート—マスタ受信 (シングルバッファモード)

I²C バスにデータパケットを送信し、リスタートを発行し、スレーブからデータを読み出すマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) に01hを設定
(SCL周波数が400kHz)
2. クロック分周比 (CDF) に2hを設定
(外部クロックsysclockfreqが33MHz、内部クロックclockfreqが11MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット（書き込みモードは0）を設定
2. マスタコントロールレジスタに89hを設定
（MDBS = 1、MIE = 1、ESG = 1）

(3) アドレスの出力待ち

1. マスタデバイスのイベント（マスタステータスレジスタのMATビットとMDEビットによる割り込み）待ち。
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット（読み出しモードは1）を設定

マスタコントロールレジスタのイネーブルスタート生成ビットがまだセットされているときは送信の最後でマスタはリスタートを発行します。新しいアドレスが上述のとおりロードされているので、バスの方向が変えられます。

3. MATビットをリセット

(4) アドレスの出力待ち

1. マスタデバイスのイベント（マスタステータスレジスタのMATビットとMDRビットによる割り込み）待ち。
2. マスタコントロールレジスタに88hを設定
（マスタデバイスはデータ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。）
3. MATビットをリセット

(5) データバイトの受信経過を監視

1. マスタデバイスのイベント（マスタステータスレジスタのMDRビット）待ち
受信データレジスタからデータ読み出し

次のデータバイトがスレーブデバイスによって送信される（最終-1）バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわち MDR 割り込みに対して

2. マスタコントロールレジスタに8Ahを設定
（強制ストップビットを設定）
3. MDRビットをリセット

(6) 送信終了待ち

1. 最終バイトの受信割り込み（MDR）の処理、すなわちデータを引き抜きMDRをクリアする
2. マスタデバイスのイベント（マスタステータスレジスタのMSTビット）待ち
3. MSTビットをリセット

19.6.4 マスタ送信 (FIFO バッファモード)

動作例を示します。

1. ICCCRにクロックレートを設定
2. ICMARにスレーブアドレス等を設定
3. ICTXDに送信データをライト (計16個までデータライト可能です)
4. TDFEフラグをクリア
5. ICMCR = H'0000 0009 (ESGをセット) //ESG = 1、MIE = 1、MDBS = 0
(ここで、スレーブアドレスがI²Cバス上に出力されます)
6. MATを待って、ESG、MAT、MDEをクリア
(FIFOが空になるまで送信データがI²Cバス上に出力されます)
7. TDFEを待って、ICTXDに続く送信データをライト
ICFSR = H'0000 0000 (フラグをクリア)
(繰り返し)
8. TDFEが1にセットされた1SCLクロック後から9SCLクロックまでの間にFSBを1にセット (図19.15参照)
9. TENDフラグを0にクリア

19.6.5 マスタ受信 (FIFO バッファモード)

動作例を示します。

1. ICCCRにクロックレートを設定
2. ICMARにスレーブアドレス等を設定
3. ICFCRにRDFトリガ値をセット
RDFが0であることを確認
(RDFが1にセットされている場合は、ICRXDからデータをリードした後にRDFを0クリアしてください。)
4. ICMCR = H'0000 0009 (ESGをセット)
(ここで、スレーブアドレスがI²Cバス上に出力されます)
5. MATを待って、ESGを0にクリア
6. RDFを待って、ICRXDから受信したデータをリード
ICFSR = H'0000 0000 (フラグをクリア)
(繰り返し)
7. RDFを待って、FSBを1にセット
8. RDFが1にセットされた後、1ビット期間待ってから、ICRXDから受信したデータをリード
9. ICFSR = H'0000 0000 (フラグをクリア)

19.7 使用上の注意事項

19.7.1 制限事項 1

I²C マスタモードにおける STOP 時の FSB 設定タイミングに制約があります。

シングルバッファモード設定時は、あらかじめ決められた転送数の通信を行うことを想定しています。現状の回路は、FSB ビットの値を 1 バイトの最後のビットを送信または受信したときに取り込み、STOP 動作に移行します。したがって、通信を所定バイト転送後に STOP させるためには、最後の 1 バイトの転送前に FSB を設定してください。

この設定タイミングで問題になるのが、送信モードにてデータの最終バイトの正しい ACK/NACK の確認の前に FSB を設定することです。そのため、以下のソフトウェア対策が必要となります。

- ソフトウェア対策

FSB は、上記のように最後の 8 ビットの送出 / 受信前に設定します。送信の場合、最終バイトに対する ACK/NACK 応答を確認する必要があります。たとえば、以下の対応となります。

マスタ送信モードでは、最終バイトを設定後、MST (送信終了) ビットを割り込みまたはポーリングにて確認します。そのとき同時にマスタ NACK 受信 (MNR) もチェックします。ここで NACK が返っていれば、最終バイトの再送を行うエラールーチンへ分岐します。マスタ受信モードでは、最終バイトを受信確認の後、いったん受信は終了しますが、もし最終バイトに不具合があれば、上位プロトコルによりあらためて再送通知を行います。

19.7.2 制限事項 2

I²C バスインタフェース FIFO バッファモードマスタ送信時の FSB 設定タイミングに制約があります。

FIFO バッファモードで STOP 条件 (P) を発行する場合、FSB=1 の設定タイミングが下記条件では STOP 条件 (P) が正しく発行されない場合があります。

FSB=1 の設定タイミングが下記 1. または 2. どちらかであった場合。

1. 最終データの一つ前のデータ ((n-1)データ) の最終ビット (8ビット目) 送信中もしくはそれ以前であった場合
2. 最終データ (nデータ) の最終ビット送信中もしくはそれ以後であった場合

上記タイミングで FSB=1 とした場合、1. の場合には STOP 条件 (P) が n-1 データ送信後に発行され、n データが送信されない場合があります。また、2. の場合には n データ送信後に STOP 条件 (P) が発行されない場合があります。

- ソフトウェア対策

FSB=1 の設定タイミングを (n-1) データの最終ビット送信後から n データの最終ビットを送信する前に行ってください。具体的には、下図で TDFE=1 の 1SCL クロック後(下図)以降、9SCL クロック後(下図)以内の 8SCL クロックサイクル期間内のタイミングで FSB をセットしてください。

19. I²C バスインタフェース

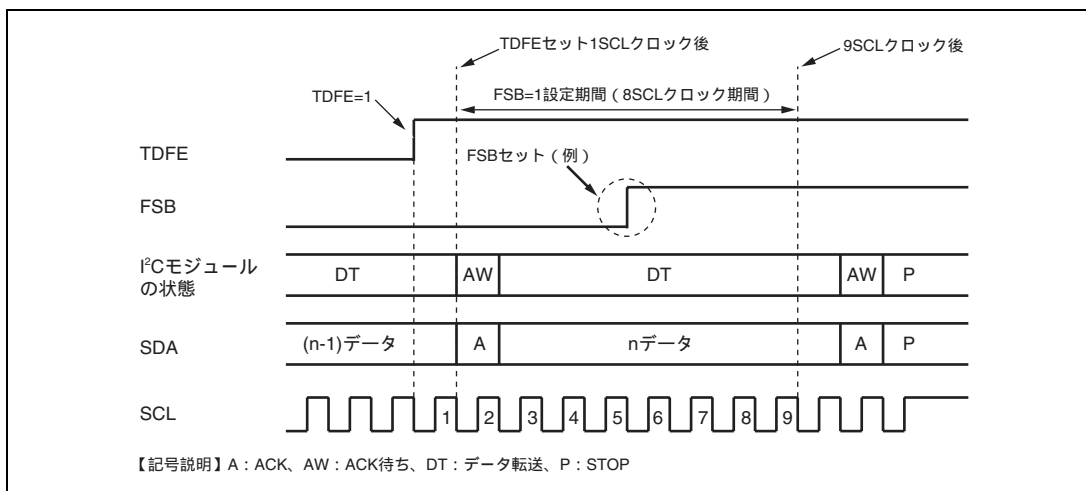


図 19.11 STOP 条件 (P) が正しく発行されるための FSB=1 設定期間

20. シリアルサウンドインタフェース (SSI) モジュール

シリアルサウンドインタフェース (SSI) モジュールは、 Philips 方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、バーストとマルチチャンネルモードにも対応しています。

20.1 特長

SSI には次のような特長があります。

- チャンネル数：2チャンネル (最大)
- 動作モード：圧縮モード、非圧縮モード
圧縮モードは、連続ビットストリームの転送に使用されます。
非圧縮モードは、チャンネルに分割されるすべてのシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、圧縮モードと非圧縮モードのどちらでもシリアルバスフォーマットを使用できます。
- バッファとシフトレジスタの間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比を選択可能です。
- DMACまたは割り込みで、データ送受信を制御できます。

図 20.1 に SSI モジュールのブロック図を示します。

20. シリアルサウンドインタフェース (SSI) モジュール

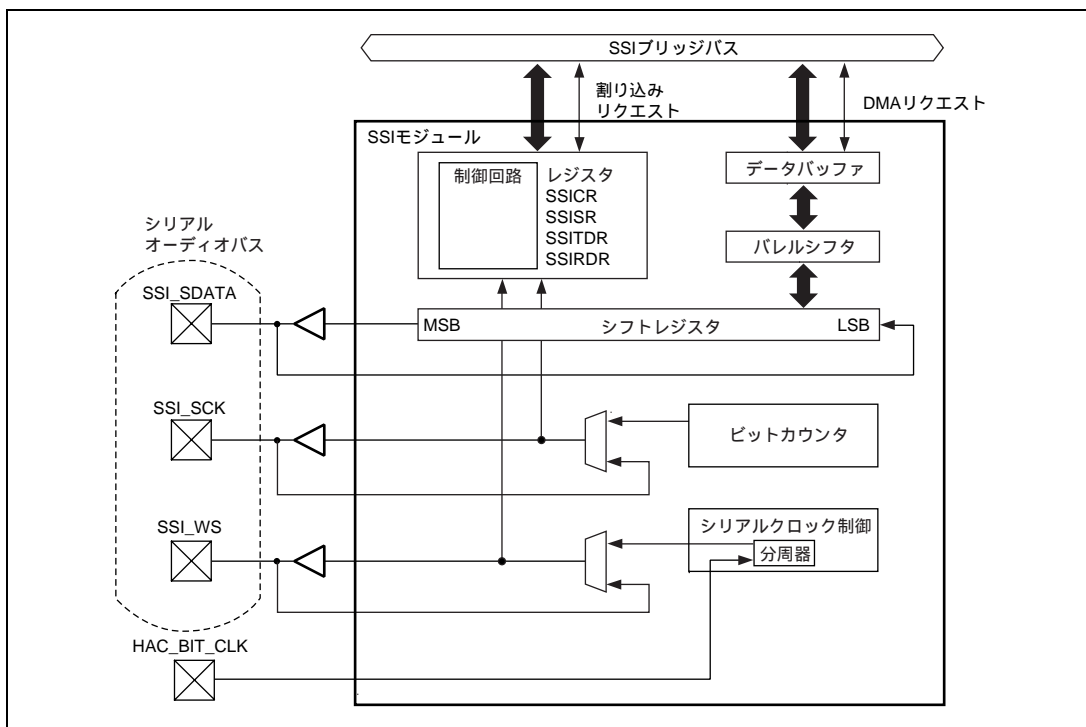


図 20.1 SSI のブロック図

20.2 入出力端子

SSI モジュールに関する端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	本数	入出力	機能
SSI_SCK0	1	入出力	シリアルビットクロック
SSI_WS0	1	入出力	ワード選択
SSI_SDATA0	1	入出力	シリアルデータ入出力
HAC_BIT_CLK0	1	入力	分周器入力クロック (オーバーサンブルクロック)
SSI_SCK1	1	入出力	シリアルビットクロック
SSI_WS1	1	入出力	ワード選択
SSI_SDATA1	1	入出力	シリアルデータ入出力
HAC_BIT_CLK1	1	入力	分周器入力クロック (オーバーサンブルクロック)

20.3 レジスタの説明

SSIには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第32章 レジスタ一覧」を参照してください。なお、SSISRの初期値はSSICRのSCKDビットおよびCKDVビットの設定により、クロックが供給された後に確定します。また本文中では、チャンネルによる区別を省略して説明します。

表 20.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
0	コントロールレジスタ0	SSICR0	R/W	H'FE68 0000	H'1E68 0000	32	Pck
	ステータスレジスタ0	SSISR0	R/W*1	H'FE68 0004	H'1E68 0004	32	Pck
	トランスミットデータレジスタ0	SSITDR0	R/W	H'FE68 0008	H'1E68 0008	32	Pck
	レシーブデータレジスタ0	SSIHDR0	R	H'FE68 000C	H'1E68 000C	32	Pck
1	コントロールレジスタ1	SSICR1	R/W	H'FE69 0000	H'1E69 0000	32	Pck
	ステータスレジスタ1	SSISR1	R/W*1	H'FE69 0004	H'1E69 0004	32	Pck
	トランスミットデータレジスタ1	SSITDR1	R/W	H'FE69 0008	H'1E69 0008	32	Pck
	レシーブデータレジスタ1	SSIHDR1	R	H'FE69 000C	H'1E69 000C	32	Pck

表 20.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
			RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		Sleep 命令による/ ディープスリープ	ハード による
0	コントロールレジスタ0	SSICR0	H'0000 0000	H'0000 0000	保持	*2	保持
	ステータスレジスタ0	SSISR0	H'0200 0003	H'0200 0003	保持		保持
	トランスミットデータレジスタ0	SSITDR0	H'0000 0000	H'0000 0000	保持		保持
	レシーブデータレジスタ0	SSIHDR0	H'0000 0000	H'0000 0000	保持		保持
1	コントロールレジスタ1	SSICR1	H'0000 0000	H'0000 0000	保持		保持
	ステータスレジスタ1	SSISR1	H'0200 0003	H'0200 0003	保持		保持
	トランスミットデータレジスタ1	SSITDR1	H'0000 0000	H'0000 0000	保持		保持
	レシーブデータレジスタ1	SSIHDR1	H'0000 0000	H'0000 0000	保持		保持

【注】 *1 ビット27、26はフラグをクリアするための0書き込みのみ可能です。

*2 ハードウェアスタンバイからの復帰後はRESET端子によるパワーオンリセットの状態となります。

20. シリアルサウンドインタフェース (SSI) モジュール

20.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
初期値 :	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	BREN	CKDV		MUEN	CPEN	TRMD	EN	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 29	-	-	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23 22	CHNL1 CHNL0	0 0	R/W R/W	チャンネル 各システムワードのチャンネル数を示します。CPEN = 1 のとき、これらのビットは無視されます。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説 明
21 20 19	DWL2 DWL1 DWL0	0 0 0	R/W R/W R/W	データワード長 データワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18 17 16	SWL2 SWL1 SWL0	0 0 0	R/W R/W R/W	システムワード長 システムワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスターモード 【注】非圧縮モード (CPEN=0) の場合、(SCKD、SWSD) = (0、0)、(1、1) のみ設定可能です。
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスターモード 【注】非圧縮モード (CPEN=0) の場合、(SCKD、SWSD) = (0、0)、(1、1) のみ設定可能です。

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化(SCK 立ち上がりエッジでサンプリング)</p> <p>1: SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化(SCK 立ち下がりエッジでサンプリング)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スレープモード時 (SWSD = 0) SSI_WS 入力サンプリング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スレープモード時 (SWSD = 0) SSI_WS 入力サンプリング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スレープモード時 (SWSD = 0) SSI_WS 入力サンプリング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>このビットの機能は SSI モジュールが非圧縮モードか圧縮モードであるかによって異なります。</p> <p>[CPEN = 0 (非圧縮モード) のとき]</p> <p>0: SSI_WS は第 1 チャネルではローレベル、第 2 チャネルではハイレベル</p> <p>1: SSI_WS は第 1 チャネルではハイレベル、第 2 チャネルではローレベル</p> <p>[CPEN = 1 (圧縮モード) のとき]</p> <p>0: SSI_WS はアクティブハイフロー制御。つまり、WS がハイレベルのときデータは転送され、WS がローレベルのときデータは転送されません。</p> <p>1: SSI_WS はアクティブローフロー制御。つまり、WS がローレベルのときデータは転送され、WS がハイレベルのときデータは転送されません。</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>CPEN = 1 のとき、このビットは無視されます。</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>【注】 MUEN=1 のとき、パディングビットはローレベルになります。(MUTE 機能が優先されます)</p>															
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>CPEN = 1 のとき、このビットは無視されます。</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>															

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアライメント</p> <p>CPEN=1 のとき、このビットは無視されます。データワード長が 32、16、8 ビットのとき、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め 1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL = 000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL = 001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数) つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるカリザープビットになります。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるカリザープビットになります。 • DWL = 110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0 : SSI_WS と SSI_SDATA の間で 1 クロックサイクルの遅延 1 : SSI_WS と SSI_SDATA の間の遅延なし</p> <p>CPEN=1 のとき、このビットは 1 にセットしてください。SSI モジュールがスレーブトランスミッタ (SWSD=0 かつ TRMD=1) として動作する場合、遅延なしのモードはサポートされません。このような場合、このビットを 0 に設定してください。</p>

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明
7	BREN	0	R/W	<p>バーストモードイネーブル</p> <p>0: バーストモードを禁止 1: バーストモードを許可</p> <p>バーストモードは圧縮モード (CPEN = 1) でのみ使用可能です。バーストモードが許可されているとき、SSI_SCK 信号は出力制御されます。SSI_SDATA に有効なシリアルデータが出力されている期間中のみクロックパルスを出します。</p>
6~4	CKDV	すべて 0	R/W	<p>シリアルオーバーサンプルクロック分周比</p> <p>オーバーサンプルクロック HAC_BIT_CLK とシリアルビットクロックの分周比を設定します。SCKD = 0 のとき、このビットは無視されます。シリアルビットクロックはソフトレジスタで使われ、SSI_SCK 端子から供給されます。</p> <p>000: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1 001: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2 010: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 011: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 100: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 101: 設定禁止 110: 設定禁止 111: 設定禁止</p>
3	MUEN	0	R/W	<p>ミュートイネーブル</p> <p>送信モード (TRMD = 1) のとき、MUEN = 1 にすることで SSI_SDATA の出力をローレベルにします。</p> <p>0: SSI モジュールはミュート状態でない 1: SSI モジュールはミュート状態</p>
2	CPEN	0	R/W	<p>圧縮モードイネーブル</p> <p>0: 圧縮モードを禁止 1: 圧縮モードを許可</p> <p>【注】圧縮モード (CPEN=1) の場合、スレーブトランスミッタ (SWSD=0 かつ TRMD=1) 以外の動作でご使用ください。</p>
1	TRMD	0	R/W	<p>送信 / 受信モード選択</p> <p>0: SSI モジュールは受信モード 1: SSI モジュールは送信モード</p>
0	EN	0	R/W	<p>SSI モジュールイネーブル</p> <p>0: SSI モジュール動作を禁止 1: SSI モジュール動作を許可</p>

20.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値 :	-	-	-	0	0	0	1	0	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO1	CHNOq	SWNO	IDST
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	0	0	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	-	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD = 0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の未読データがくるまで DMRQ = 0 になります。 [TRMD = 1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされません。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>I IRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しが書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>DIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	-	-	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3	CHNO1	0	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
2	CHNO0	0	R	

20. シリアルサウンドインタフェース (SSI) モジュール

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。EN=1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD=1 かつ TRMD=1) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。また、EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアルデータ入出力端子 (SSI_SDATA) から出力を完了すると (システムワード長出力を完了すると)、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD=1 かつ TRMD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ/レシーバ (SWSD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。なお、転送を終了させる場合、SSICR.EN=0 とした後、SSICR.IDST=1 となるまで WS 信号を継続して入力してください。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

20.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

20.4 動作説明

20.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 20.3 に示す 8 つの主要なモードから選択できます。

表 20.3 SSI モジュールのバスフォーマット

バスフォーマット	TRMD	OPEN	SCXD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]	
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット						コンフィギュレーションビット									
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮マスタレシーバ	0	0	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット						1	無視されます	*	無視されます						
圧縮スレーブトランスミッタ	使用禁止																			
圧縮マスタレシーバ	0	1	0/1	1	コントロールビット						1	無視されます	*	無視されます						
圧縮マスタトランスミッタ	1	1	0/1	1							1									

【注】*: コンフィギュレーションビット

20.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるすべてのシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は HAC_BIT_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は HAC_BIT_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

1. Philipsフォーマット

図 20.2 と図 20.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

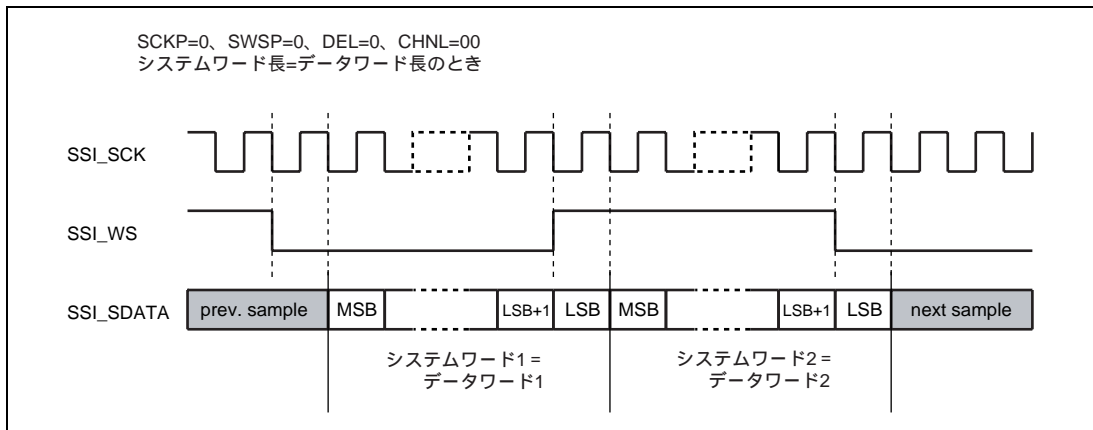


図 20.2 Philips フォーマット (パディングなし)

20. シリアルサウンドインタフェース (SSI) モジュール

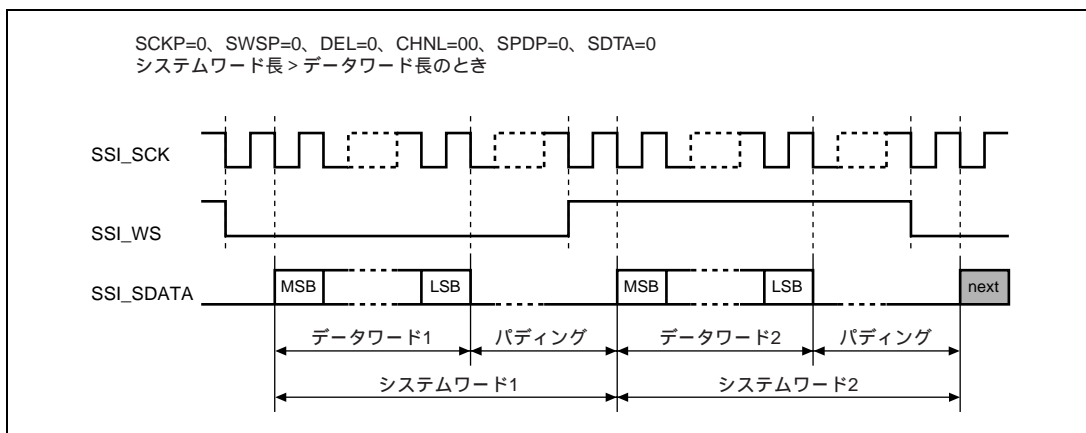


図 20.3 Philips フォーマット (パディングあり)

図 20.4 に Sony フォーマットを、図 20.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

2. Sony フォーマット

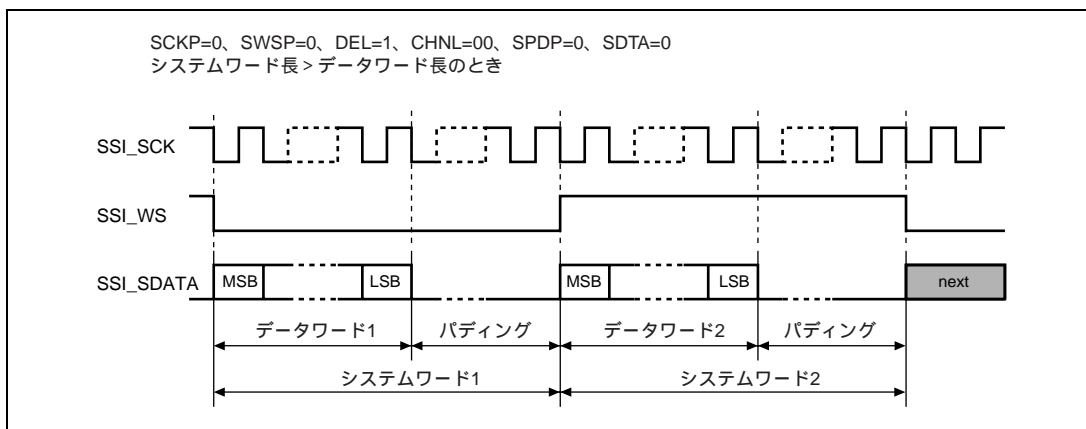


図 20.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

3. 松下フォーマット

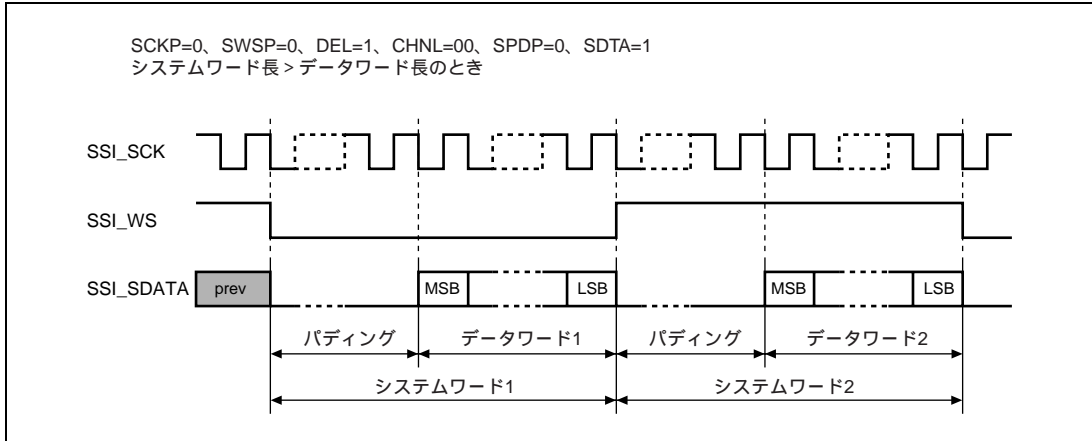


図 20.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

Philips仕様の定義を拡張し、2システムワード中に2より多いチャンネルの転送を行うデバイスタイプもあります。SSIモジュールは、CHNL、SWLおよびDWLビットを使って、4、6、および8チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 20.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

20. シリアルサウンドインタフェース (SSI) モジュール

表 20.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2 : 0]	000	001	010	011	100	101	110
CHNL [1 : 0]	システムワードごとに デコードされるチャンネル	SWL [2 : 0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 20.6～図 20.8 に、4、6 および 8 チャンネルのデータがどのようにシリアルオーディオバスに転送されるかを示します。第 1 の例にはパディングビットがなく、第 2 の例はシリアルデータ、パディングビットの順に送受信、そして第 3 の例はパディングビット、シリアルデータの順に送受信です。これらの例は、すべて任意の例です。

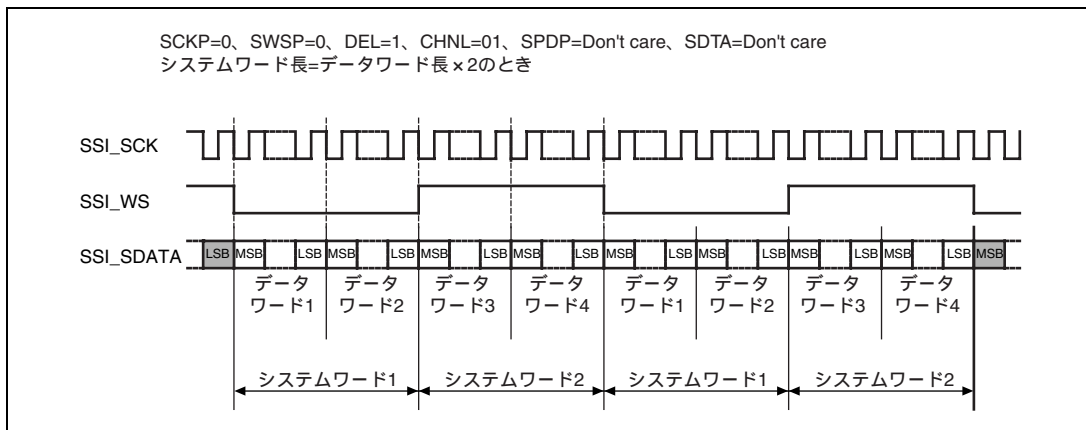


図 20.6 マルチチャンネルフォーマット (4 チャンネル、パディングなし)

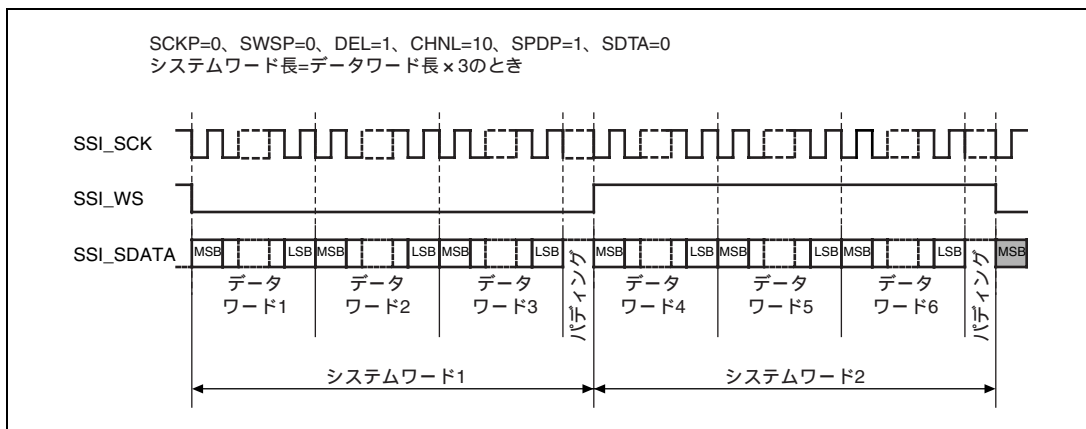


図 20.7 マルチチャンネルフォーマット (6 チャンネル、High パディング)

20. シリアルサウンドインタフェース (SSI) モジュール

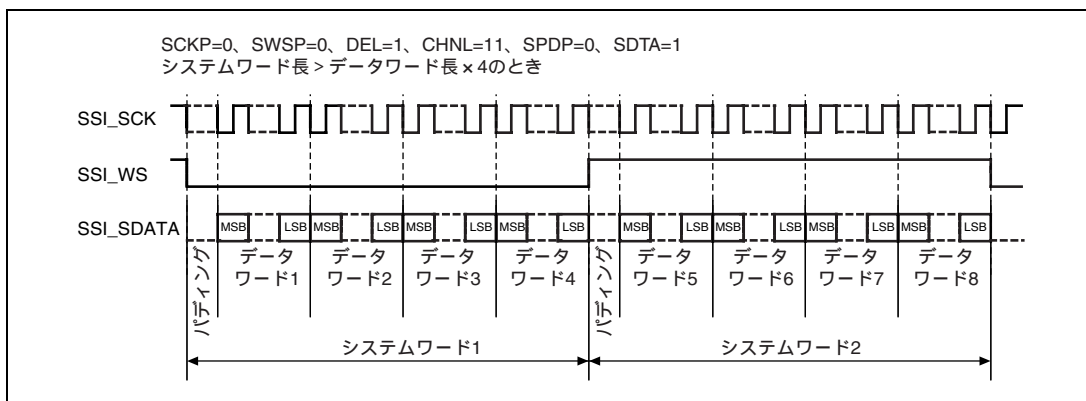


図 20.8 マルチチャネルフォーマット
 (8 チャネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 20.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

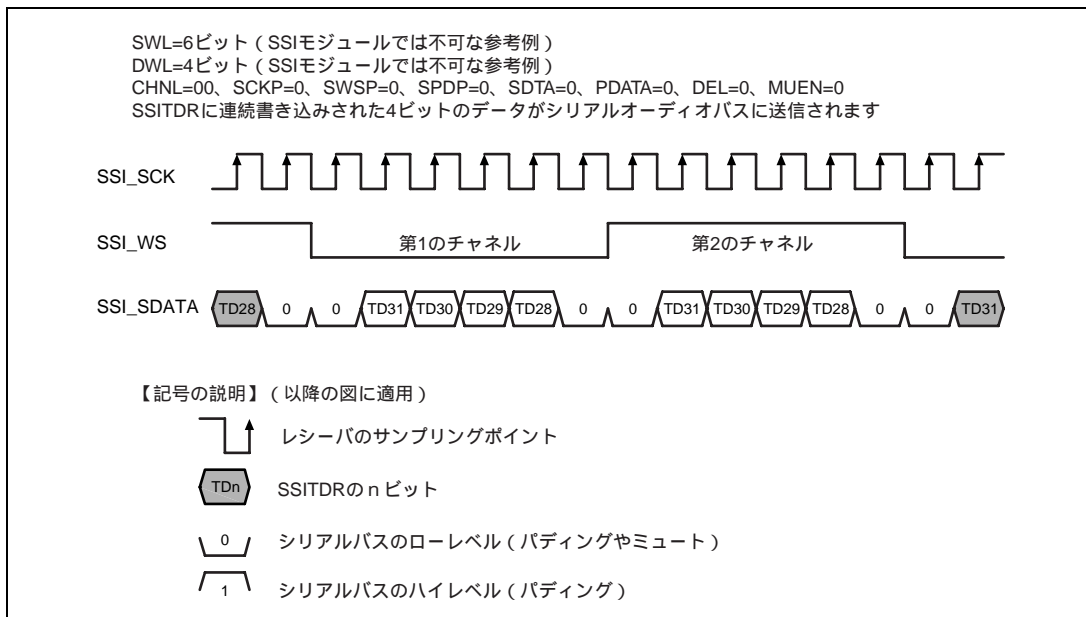


図 20.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 20.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

1. 反転クロック

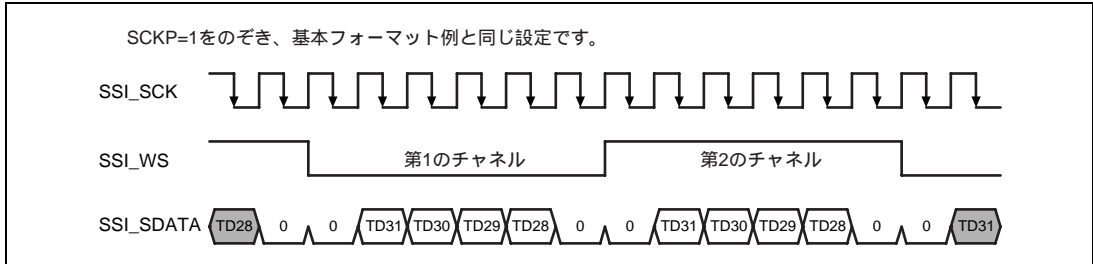


図 20.10 反転クロック

2. 反転ワード選択信号

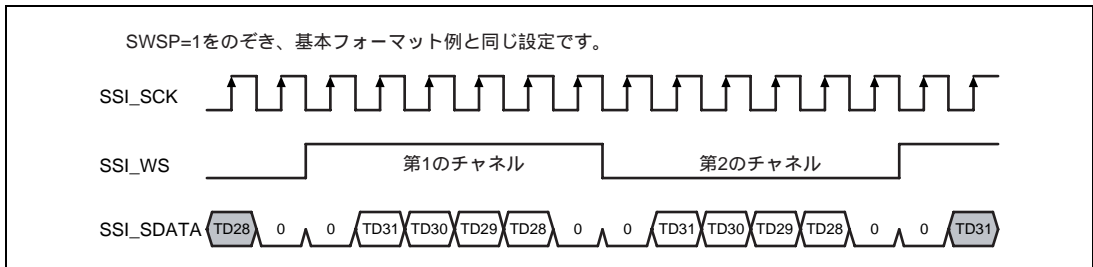


図 20.11 反転ワード選択信号

3. 反転パディング極性

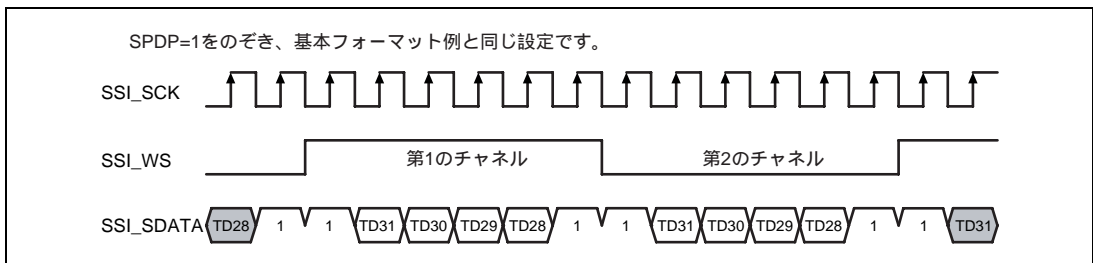


図 20.12 反転パディング極性

20. シリアルサウンドインタフェース (SSI) モジュール

4. パディングビット、シリアルデータの順に送受信、遅延あり

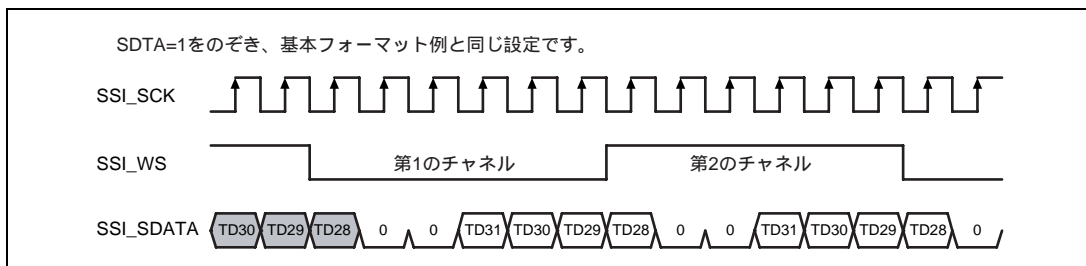


図 20.13 パディングビット、シリアルデータの順に送受信、遅延あり

5. パディングビット、シリアルデータの順に送受信、遅延なし

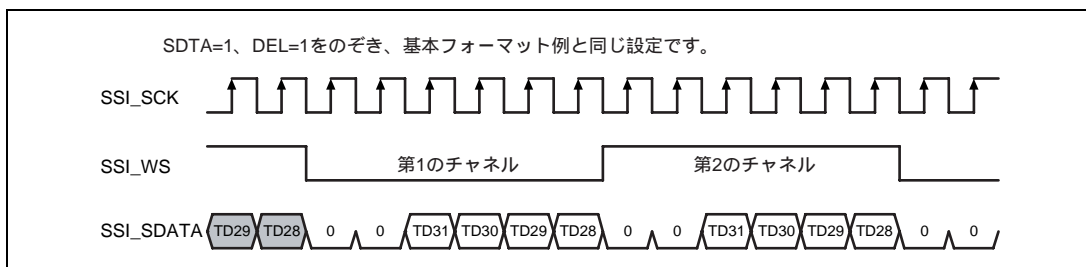


図 20.14 パディングビット、シリアルデータの順に送受信、遅延なし

6. シリアルデータ、パディングビットの順に送受信、遅延なし

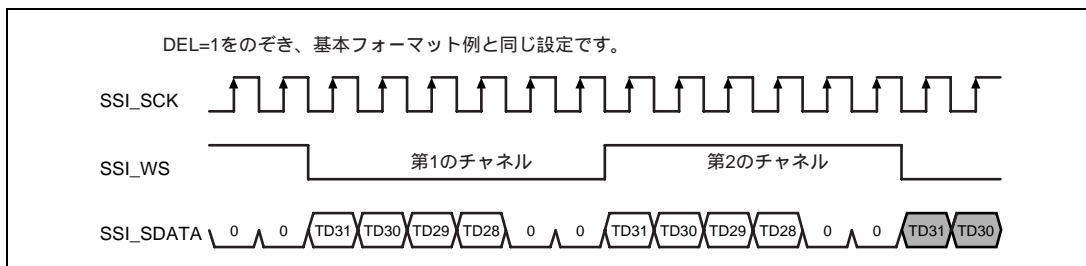


図 20.15 シリアルデータ、パディングビットの順に送受信、遅延なし

7. パラレルデータの右詰め、遅延あり

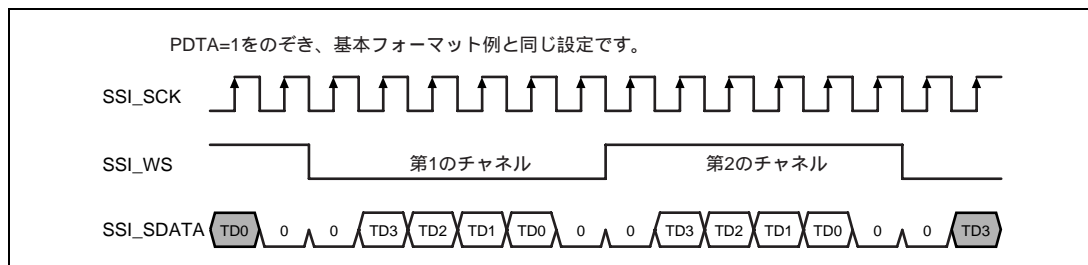


図 20.16 パラレルデータの右詰め、遅延あり

8. ミュート有効

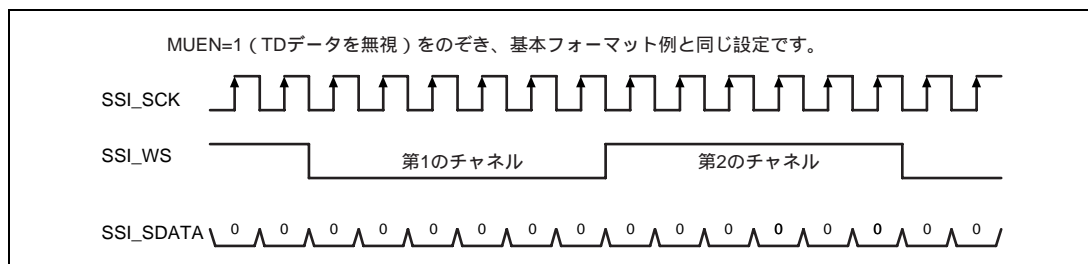


図 20.17 ミュート有効

20.4.3 圧縮モード

圧縮モードは、連続ビットストリームの転送に使用されます。このモードでは、受信側で圧縮されたビットストリームからデータを抽出する操作を必要とします。

ストリームモード (バーストモード無効) のとき、データワードという概念は存在しません。しかし、送信と受信を行うには、シリアルバスとメモリの間の転送が必要です。送信 / 受信時のワードバウンダリ設定は任意なので、別の手段で処理しなくてはなりません。バーストモード有効時、送信されているデータビットは、出力するワードが存在するときのみシリアルビットクロック出力が有効であり、各 32 ビットワードを出力するのに必要なクロックパルス数しか生成されないことで認識されます。シリアルビットクロックは、SSICR.SCKP=0 のときローレベル、SSICR.SCKP=1 のときハイレベルで停止します。SSI モジュールがトランスミッタの場合にのみバーストモードは有効になるのでご注意ください。このモジュールはバーストモードデータを受信できません。

データの送信と受信は 32 ビットのブロック単位で行われ、メモリに保存する際には、最初に送信された / 受信したビットがビット 31 になります。

非圧縮モードと違って、このモードでのワード選択端子からの出力はシステムワード開始信号ではなく、レシーバが次のデータバーストを受信できる状態にあることやトランスミッタが次のデータバーストを送信できる状態にあることを示すのに使用されます。

図 20.18 と図 20.19 では、バーストモード無効時と有効時の圧縮モードデータ転送をそれぞれ示します。

20. シリアルサウンドインタフェース (SSI) モジュール

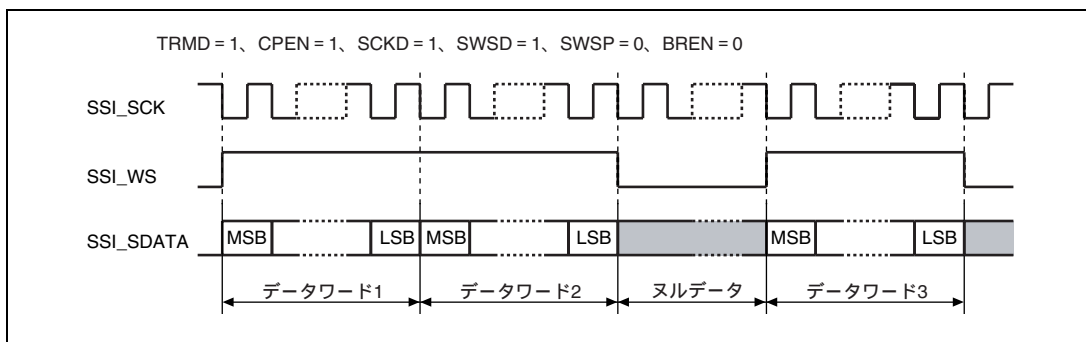


図 20.18 圧縮データフォーマット、マスタトランスミッタ、バーストモード無効

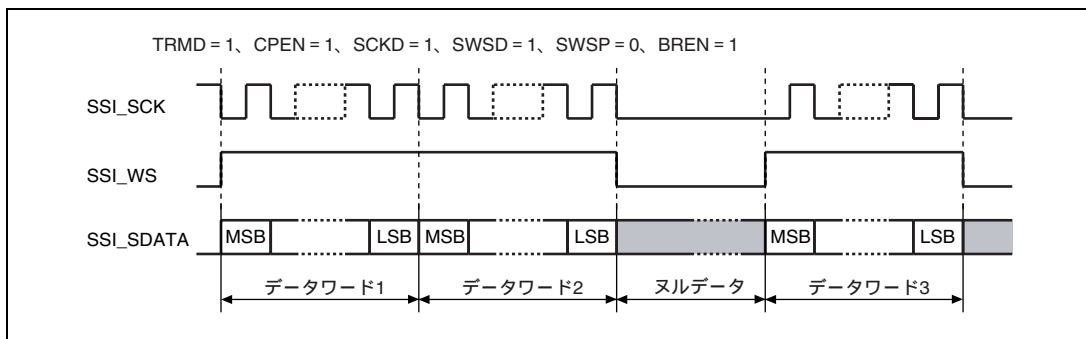


図 20.19 圧縮データフォーマット、マスタトランスミッタ、バーストモード有効

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は入力フロー制御に使われます。SWSP = 0 のとき、SSI_WS がハイレベルなら、1 クロックサイクルに 1 データビットのタイミングで、32 ビットのブロック単位でビットストリームを受信します。SSI_WS がローレベルになった場合、現在の 32 ビットブロックが終了した時点で受信を停止します。SSI_WS が再びハイレベルになったときに受信を再開します。

(2) スレーブトランスミッタ

このモードは、使用しないでください。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて受信できることを示すために、ワード選択端子は常にアサートされています。データの損失が起きないタイミングで SSI モジュールにデータを送信するのは送信デバイスの責任です。

(4) マスタトランスミッタ

このモードでは、メモリから別のデバイスにシリアルビットストリームを転送できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて送信することを示すために、ワード選択端子は常にアサートされています。ただし、ワード選択端子は最初のワードの転送準備ができるまではアサートされません。データの損失が起きないタイミングでシリアルデータを受信するのは受信デバイスの責任です。

データ転送用にコンフィギュレーションが終了したら、SSI モジュールは最小限の CPU とのやりとりで動作できます。CPU は、SSI モジュールと DMAC の設定をし、必要に応じてオーパフローやアンダフロー割り込みを処理します。

20.4.4 動作モード

コンフィギュレーション、有効および無効の 3 つの動作モードがあります。図 20.20 に動作モードの遷移図を示します。

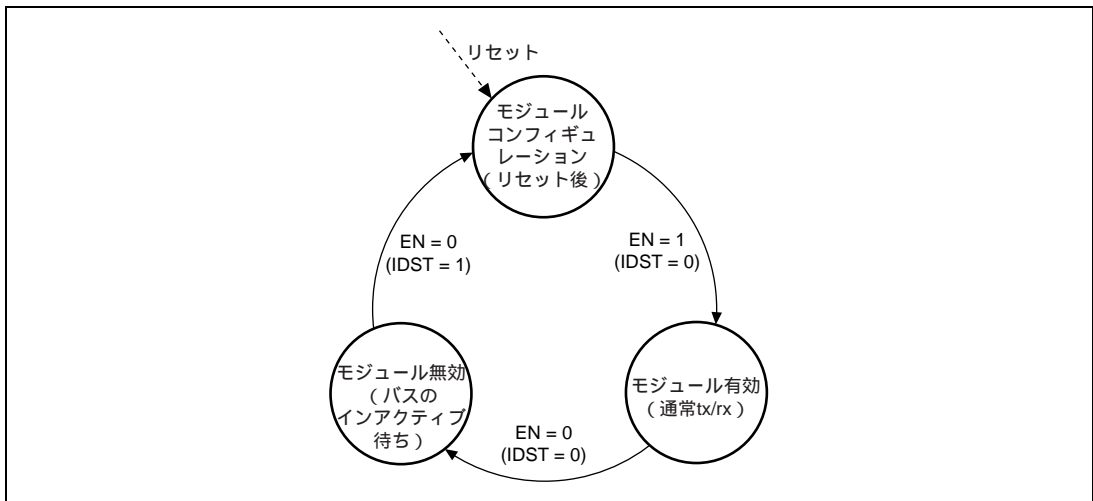


図 20.20 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタの必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードでの動作は選択された動作モードに依存しています。詳細については「20.4.5 送信動作」と「20.4.6 受信動作」を参照してください。

20.4.5 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールの送信を可能にした後、トランスミッタを無効にする前に少なくとも 1 ロングワードをトランスミットレジスタに書き込む必要があります。(16 ビットモードでは 2 ワードが、8 ビットモードでは 4 バイトが送信されます。他のデータサイズに関しては、1 データワードが送信されます。つまり、18 ビットモードでは 18 ビットが送信されます。)

これを行わないと、ロックされ、パワーオンリセットまたはマニュアルリセットが必要になります。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 20.21 に DMA 制御モードの送信動作を、図 20.22 に割り込み制御モードの送信動作を示します。

【注】* SCKD=0 のとき SSI_SCK 端子からの入力クロック

SCKD=1 のとき HAC_BIT_CLK 端子からの入力クロック

(1) DMA コントローラを使用した送信

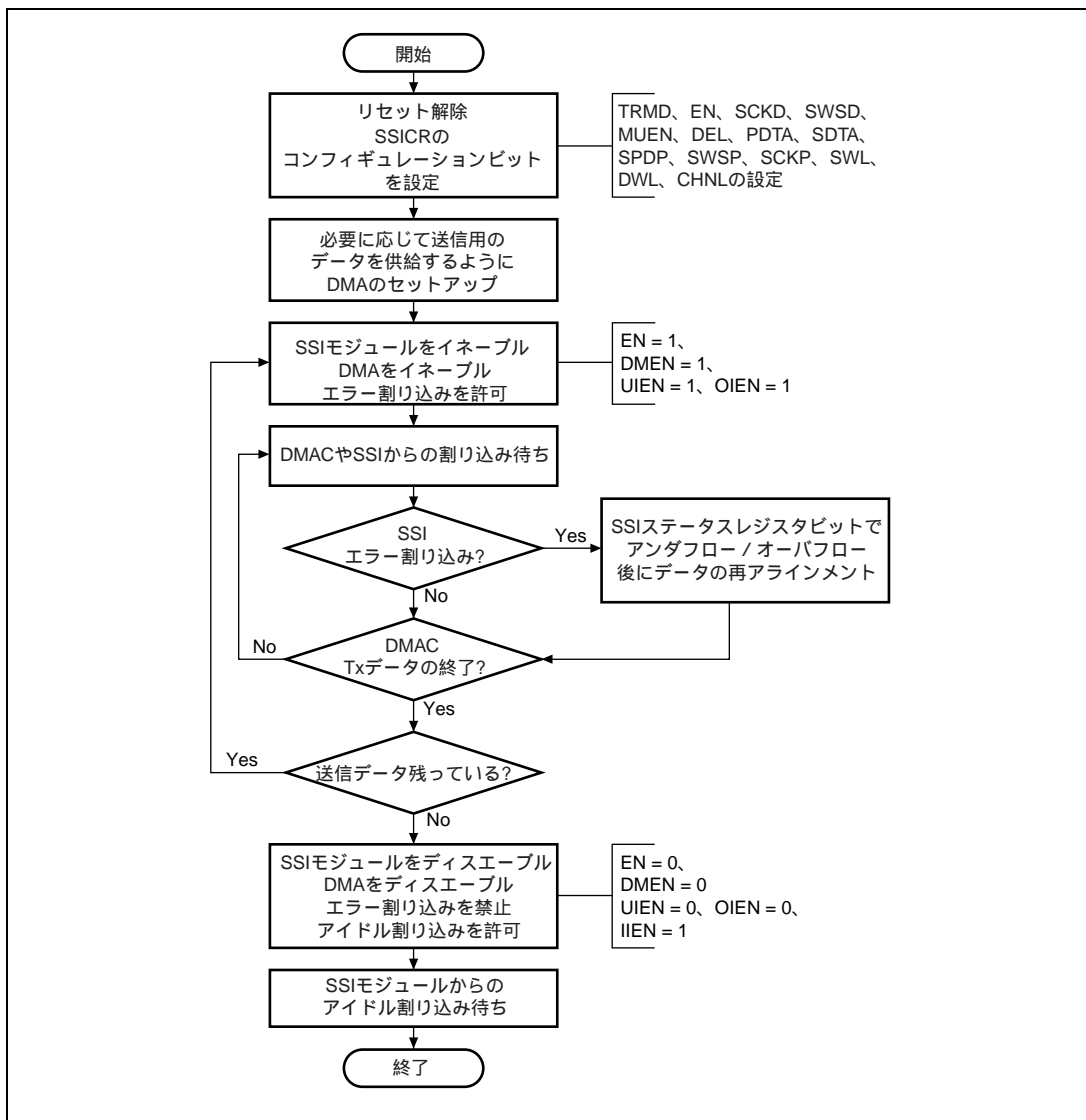


図 20.21 DMA コントローラを使用した送信

20. シリアルサウンドインタフェース (SSI) モジュール

(2) 割り込みデータフロー制御を使用した送信

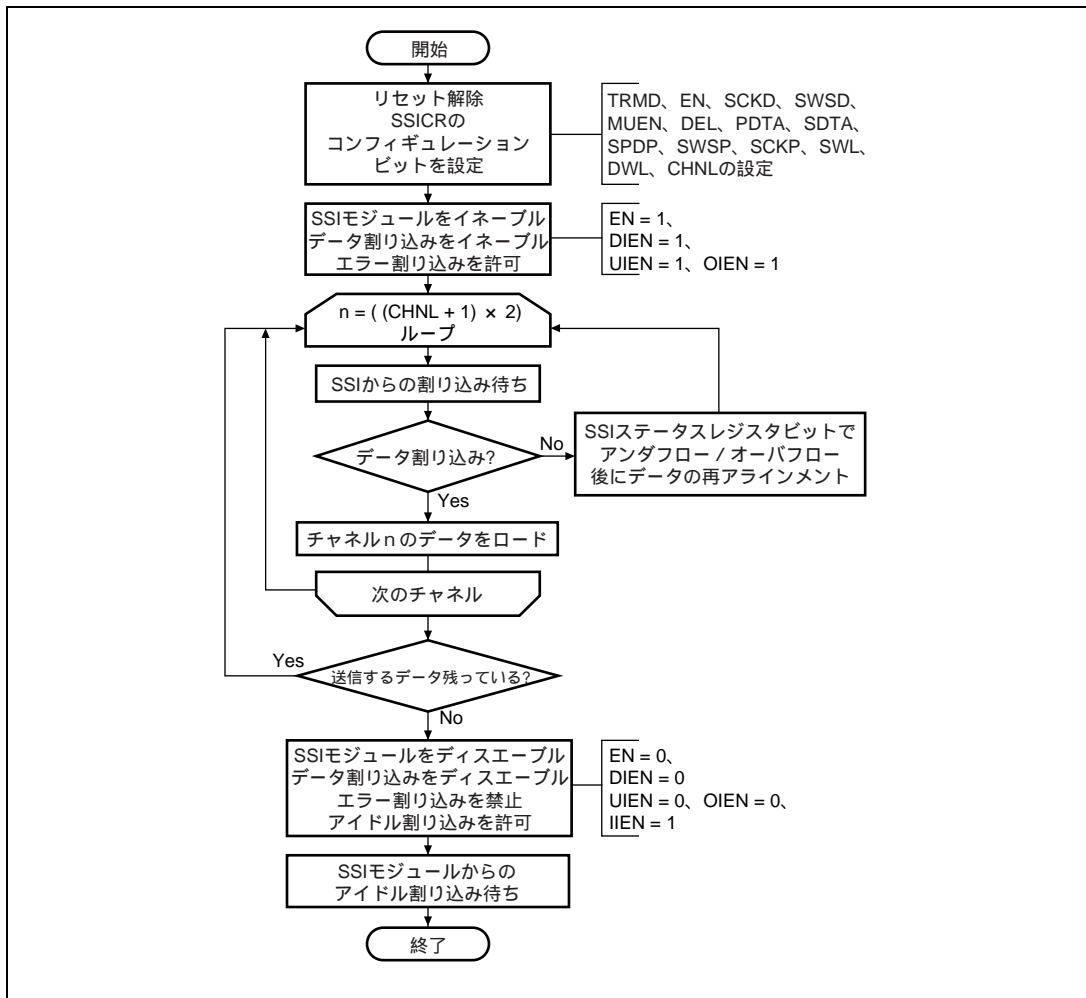


図 20.22 割り込みデータフロー制御を使用した送信

20.4.6 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 20.23 と図 20.24 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】* SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき HAC_BIT_CLK 端子からの入力クロック

(1) DMA コントローラを使用した受信

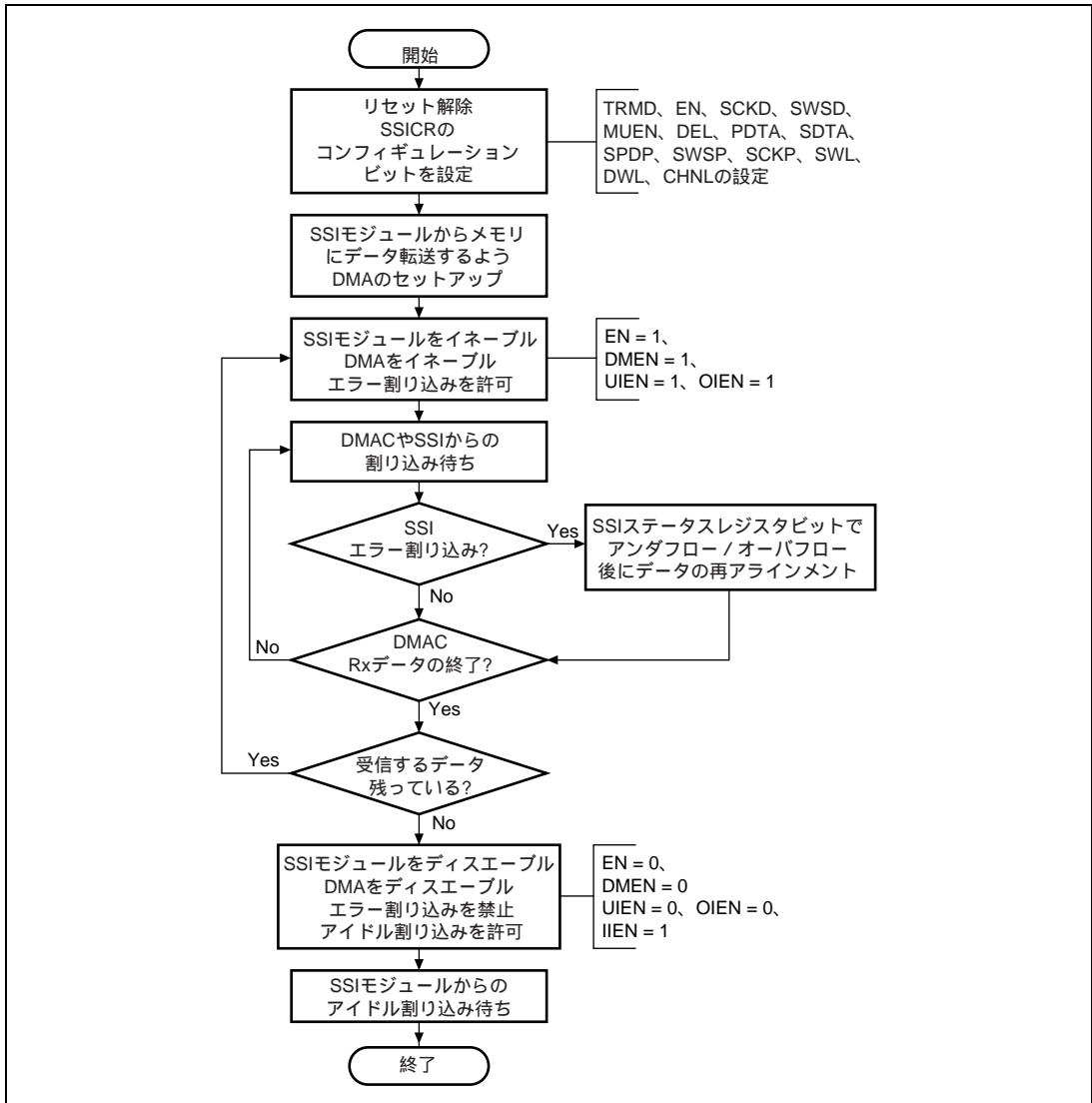


図 20.23 DMA コントローラを使用した受信

20. シリアルサウンドインタフェース (SSI) モジュール

(2) 割り込みデータフロー制御を使用した受信

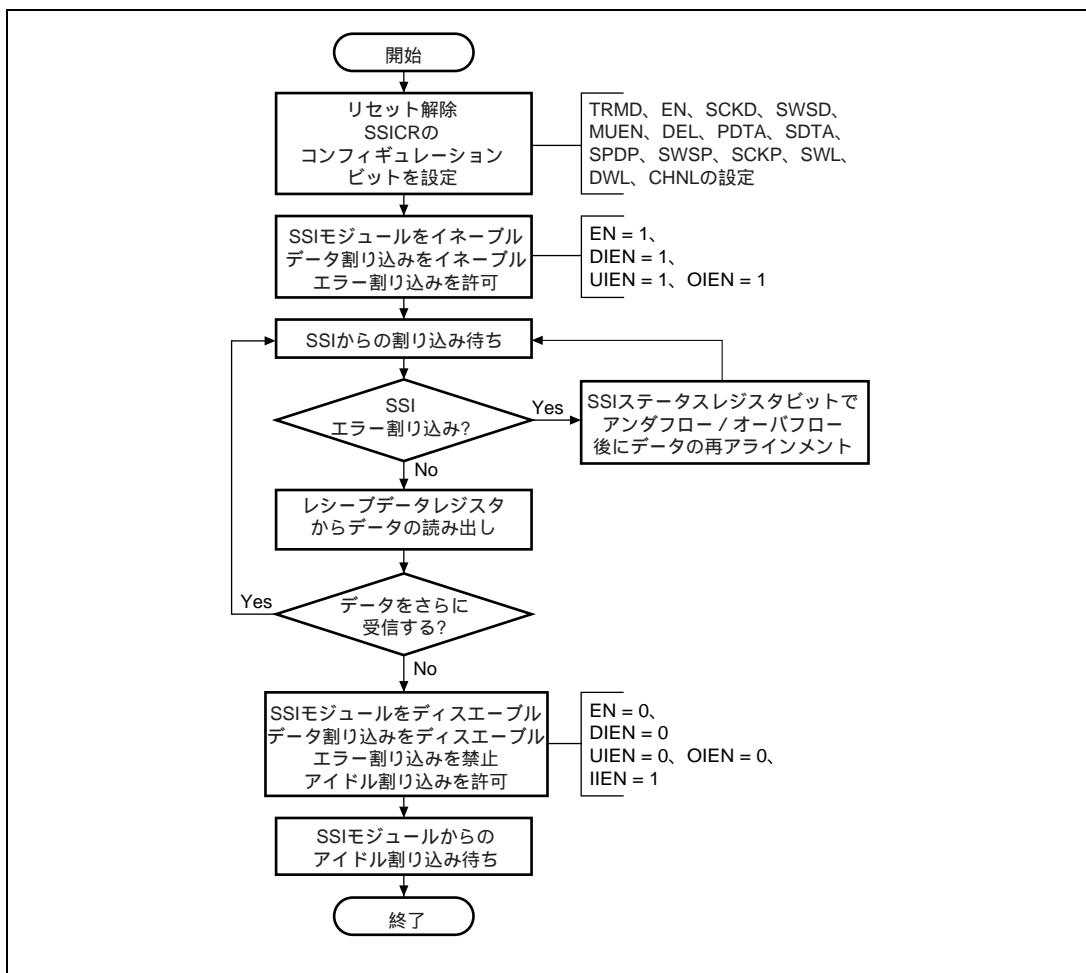


図 20.24 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、CHNO[1:0]ビットとSWNOビットを使って SSI モジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホスト CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSI モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データを飛ばすことが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSI モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

20.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSL_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD=1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックは HAC_BIT_CLK 入力端子から入力されたクロックまたはそれを分周したクロックです。HAC_BIT_CLK 端子に入力されたクロックは、SSICR のシリアルオーバーサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSI_SCK 端子の出力はビットクロックと同じになります。

20.5 使用上の注意事項

20.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。オーバーフローが起こった場合は以下の手順で復旧してください。

1. オーバフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISRのOIRQビット) によりオーバーフローを確認する。
2. DMAACRのRDSビットに1を書き込むことによりDMAを終了させる。この際、RDSビットを読み込んで終了したこと (0が読める) を確認する。
3. SSICRのENビットおよびDMENビットに0を書き込むことにより、SSIモジュールのDMAを禁止して動作を停止する。
4. DMAARXTCNTを読むことによりDMAの残数を確認して、DMAのスタートアドレス、転送数 (DMAARXDAR/DMAARXTCR) を再設定する。
5. OIRQビットに0を書き込み、オーバーフローステータスをクリアする。
6. DMAACRのRDEビットに1を書き込み、DMACを再起動する。
7. 再度、SSIのモジュール、DMAを有効にして再起動する。

20.5.2 SSI モジュールスレープモード動作を停止するときの注意事項

スレープモードでデータ転送を終了させる場合、SSICR.EN=0 とした後、SSICR.IDST=1 となるまで SSL_WS 信号をアクティブ状態で供給 (システムワード長のハイレベルまたはローレベルを交互継続入力) してください (5 システムワード以上)。IDST=1 となる前に SSL_WS 信号を停止すると、SSI は正常に転送を終了することができなくなり、転送中断状態で停止します。この状態から SSICR.EN=1 とした場合、中断された状態から再開するため不正なデータが転送される可能性があります。なお、データ転送の再開は、IDST=1 の状態であれば EN=1 から最初または次の WS エッジから再開されます。

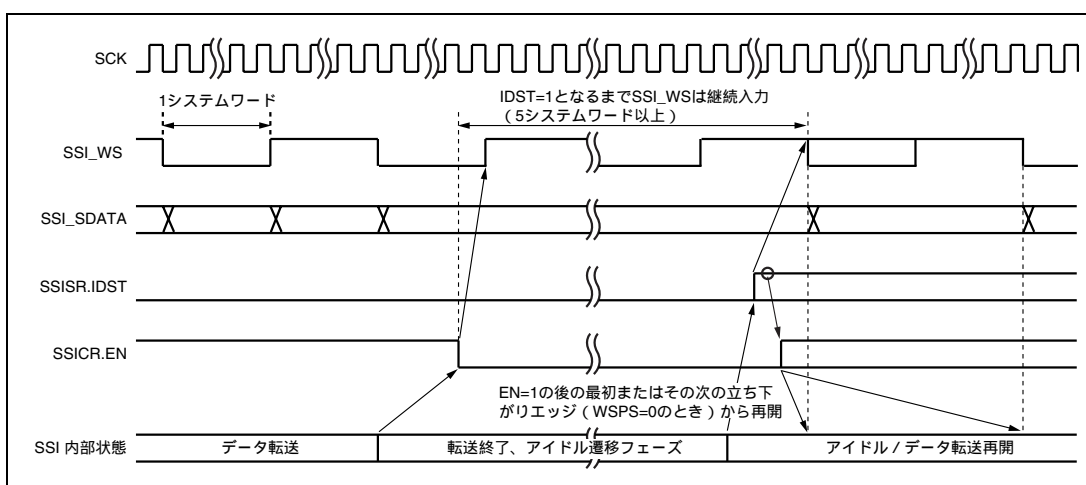


図 20.25 スレープモード時 SSI 転送終了 / 再開タイミング例

21. USB ホスト (USB)

本 USB ホストは、ユニバーサルシリアルバス (Universal Serial Bus) バージョン 1.1*¹ と OpenHCI をサポート*² しています。

USB の OpenHCI 仕様は、USB ホストのレジスタ仕様の詳細を規定しています。この USB ホストのデバイスドライバおよびハードウェアの開発にあたっては、OpenHCI の仕様書に従って開発を行ってください。

以下に、本章の説明に記載されている略称を示します。

HC : ホストコントローラ

HCD : ホストコントローラドライバ

21.1 特長

USB ホストには次のような特長があります。

- OpenHCI (Open Host Controller Interface) 1.0レジスタセットをサポート*²
- ユニバーサルシリアルバス (Universal Serial Bus) バージョン1.1*¹をサポート
- 転送スピード：フルスピード (12Mbps) とロースピード (1.5Mbps) をサポート
- 4種類の転送モードをサポート (コントロール転送、バルク転送、インタラプト転送、アイソクロナス転送)
- 過電流検出機構をサポート
- 最大127エンドポイントをサポート
- USBポートの数：1ポート
- OpenHCI規格に定義されている共有メモリ (Shared Memory) として、8KバイトのSRAMを内蔵

【注】 *1 USB の電気的特性は、「第 33 章 電気的特性」を参照してください。

*2 レジスタの機能に一部準拠していない部分があります。詳細は、「21.3 レジスタの説明」、「21.6 HcRhDescriptorA の設定に関する制約」を参照してください。

図 21.1 に USB ホストのブロック図を示します。

21. USB ホスト (USB)

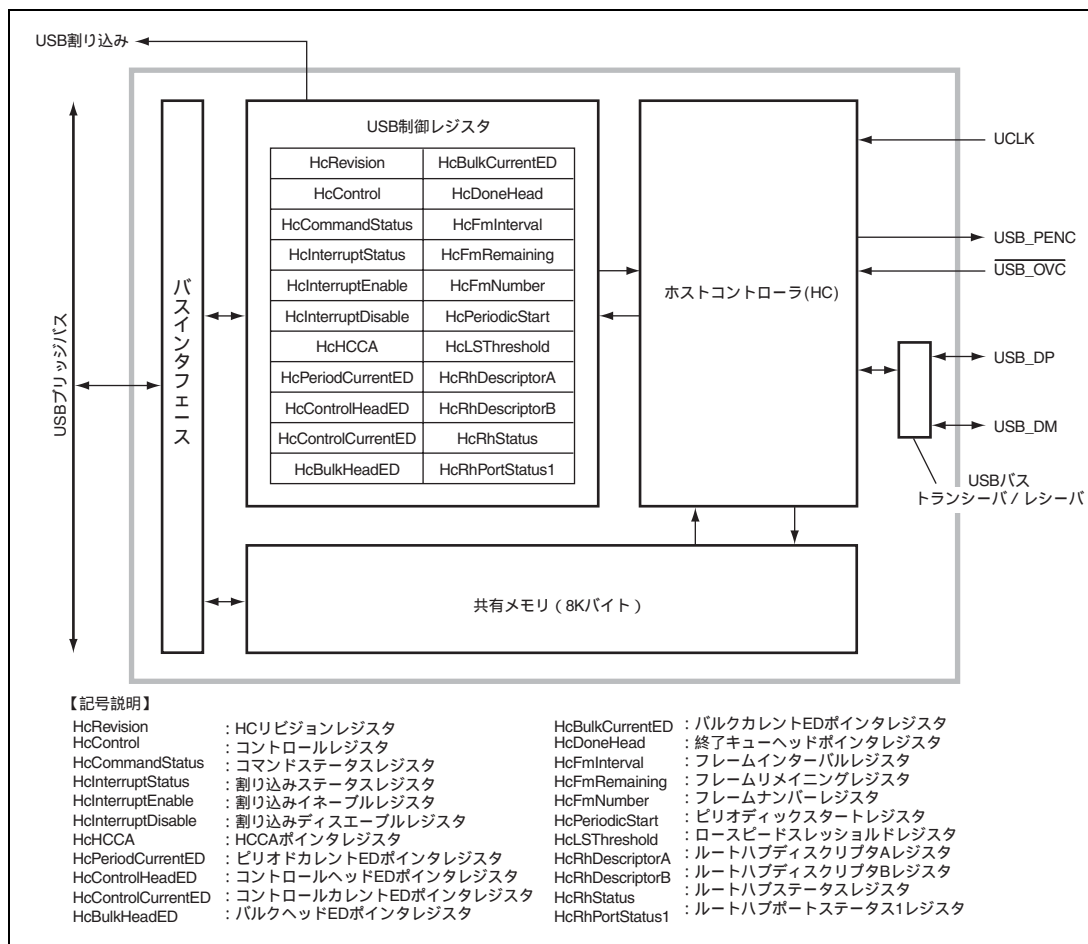


図 21.1 USB ホストのブロック図

21.2 入出力端子

USB ホストの端子構成を表 21.1 に示します。

表 21.1 端子構成

名称	略称	入出力	機能
D+	USB_DP	入出力	ルートハブポート D+ トランシーバ端子
D-	USB_DM	入出力	ルートハブポート D- トランシーバ端子
パワーイネーブル端子	USB_PENC	出力	ルートハブポート電源投入許可制御端子
オーバカレント端子	USB_OVC	入力	ルートハブポートオーバカレント検出端子
UCLK 端子	UCLK	入力	USB の動作クロック (48.0000MHz ± 0.05% のクロックを入力してください)

21.3 レジスタの説明

USB モジュールには以下に示すレジスタがあります。これらのレジスタはロングワードアクセスのみ可能です。バイトアクセスおよびワードアクセスは禁止です。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。なお、UCLK 端子からクロックを入力していない状態で、これらのレジスタにアクセスすることはできません。

表 21.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
ホストコントローラインタフェース リビジョンレジスタ	HcRevision	R	H'FE34 0000	H'1E34 0000	32	Pck
コントロールレジスタ	HcControl	R/W	H'FE34 0004	H'1E34 0004	32	Pck
コマンドステータスレジスタ	HcCommandStatus	R/W	H'FE34 0008	H'1E34 0008	32	Pck
割り込みステータスレジスタ	HcInterruptStatus	R/W	H'FE34 000C	H'1E34 000C	32	Pck
割り込みイネーブルレジスタ	HcInterruptEnable	R/W	H'FE34 0010	H'1E34 0010	32	Pck
割り込みディスエーブルレジスタ	HcInterruptDisable	R/W	H'FE34 0014	H'1E34 0014	32	Pck
ホストコントローラコミュニケーション エリアポインタレジスタ	HcHCCA	R/W	H'FE34 0018	H'1E34 0018	32	Pck
ピリオドカレント ED ポインタレジスタ	HcPeriodCurrentED	R	H'FE34 001C	H'1E34 001C	32	Pck
コントロールヘッド ED ポインタレジスタ	HcControlHeadED	R/W	H'FE34 0020	H'1E34 0020	32	Pck
コントロールカレント ED ポインタレジスタ	HcControlCurrentED	R/W	H'FE34 0024	H'1E34 0024	32	Pck
バルクヘッド ED ポインタレジスタ	HcBulkHeadED	R/W	H'FE34 0028	H'1E34 0028	32	Pck
バルクカレント ED ポインタレジスタ	HcBulkCurrentED	R/W	H'FE34 002C	H'1E34 002C	32	Pck
終了キューヘッドポインタレジスタ	HcDoneHead	R	H'FE34 0030	H'1E34 0030	32	Pck
フレームインターバルレジスタ	HcFmInterval	R/W	H'FE34 0034	H'1E34 0034	32	Pck
フレームリメイニングレジスタ	HcFmRemaining	R	H'FE34 0038	H'1E34 0038	32	Pck
フレームナンバーレジスタ	HcFmNumber	R	H'FE34 003C	H'1E34 003C	32	Pck
ピリオディックスタートレジスタ	HcPeriodicStart	R/W	H'FE34 0040	H'1E34 0040	32	Pck
ロースピードスレッシュホールドレジスタ	HcLSThreshold	R/W	H'FE34 0044	H'1E34 0044	32	Pck
ルートハブディスクリプタ A レジスタ	HcRhDescriptorA	R/W	H'FE34 0048	H'1E34 0048	32	Pck
ルートハブディスクリプタ B レジスタ	HcRhDescriptorB	R/W	H'FE34 004C	H'1E34 004C	32	Pck
ルートハブステータスレジスタ	HcRhStatus	R/W	H'FE34 0050	H'1E34 0050	32	Pck
ルートハブポートステータス 1 レジスタ	HcRhPortStatus1	R/W	H'FE34 0054	H'1E34 0054	32	Pck
	共有メモリアリア先頭	R/W	H'FE34 1000	H'1E34 1000	32	Pck
	共有メモリアリア最後	R/W	H'FE34 2FFF	H'1E34 2FFF	32	Pck

21. USB ホスト (USB)

表 21.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎 による
ホストコントローラインタフェース リビジョンレジスタ	HcRevision	H'0000 0010	H'0000 0010	保持	*	保持
コントロールレジスタ	HcControl	H'0000 0000	H'0000 0000	保持		保持
コマンドステータスレジスタ	HcCommandStatus	H'0000 0000	H'0000 0000	保持		保持
割り込みステータスレジスタ	HcInterruptStatus	H'0000 0000	H'0000 0000	保持		保持
割り込みイネーブルレジスタ	HcInterruptEnable	H'0000 0000	H'0000 0000	保持		保持
割り込みディスエーブルレジスタ	HcInterruptDisable	H'0000 0000	H'0000 0000	保持		保持
ホストコントローラコミュニケーション エリアポインタレジスタ	HcHCCA	H'0000 0000	H'0000 0000	保持		保持
ピリオドカレント ED ポインタレジスタ	HcPeriodCurrentED	H'0000 0000	H'0000 0000	保持		保持
コントロールヘッド ED ポインタレジスタ	HcControlHeadED	H'0000 0000	H'0000 0000	保持		保持
コントロールカレント ED ポインタレジスタ	HcControlCurrentED	H'0000 0000	H'0000 0000	保持		保持
バルクヘッド ED ポインタレジスタ	HcBulkHeadED	H'0000 0000	H'0000 0000	保持		保持
バルクカレント ED ポインタレジスタ	HcBulkCurrentED	H'0000 0000	H'0000 0000	保持		保持
終了キューヘッドポインタレジスタ	HcDoneHead	H'0000 0000	H'0000 0000	保持		保持
フレームインターバルレジスタ	HcFmInterval	H'0000 2EDF	H'0000 2EDF	保持		保持
フレームリメイニングレジスタ	HcFmRemaining	H'0000 0000	H'0000 0000	保持		保持
フレームナンバーレジスタ	HcFmNumber	H'0000 0000	H'0000 0000	保持		保持
ピリオディックスタートレジスタ	HcPeriodicStart	H'0000 0000	H'0000 0000	保持		保持
ロースピードスレッシュホールドレジスタ	HcLSThreshold	H'0000 0628	H'0000 0628	保持		保持
ルートハブディスクリプタ A レジスタ	HcRhDescriptorA	H'0200 1202	H'0200 1202	保持		保持
ルートハブディスクリプタ B レジスタ	HcRhDescriptorB	H'0000 0000	H'0000 0000	保持		保持
ルートハブステータスレジスタ	HcRhStatus	H'0000 0000	H'0000 0000	保持		保持
ルートハブポートステータス 1 レジスタ	HcRhPortStatus1	H'0000 0100	H'0000 0100	保持		保持
	共有メモリアリア先頭	不定	不定	保持		保持
	共有メモリアリア最後	不定	不定	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

21.3.1 ホストコントローラインタフェースリビジョンレジスタ (HcRevision)

HcRevision は、ホストコントローラインタフェース仕様のバージョンを格納しています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	REV							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	REV	H'10	R	OpenHCI リビジョン H'10 : OpenHCI 規格バージョン 1.0 を表します。

21.3.2 コントロールレジスタ (HcControl)

HcControl は、HC の操作モードを定義します。このレジスタのビットは、HCFS と RWC を除いて、HCD だけにより修正されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RWE	RWC	IR	HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	RWE	0	R/W	リモートウェイクアップイネーブル 本ビットは、HCD により設定され、上流のレジューム信号の検出と同時にリモート起動機能を可能にするかを示します。 0 : リモート起動を許可しない 1 : リモート起動を許可する 本機能はサポートしていません。必ず0を書き込みください。

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
9	RWC	0	R/W	<p>リモートウェイクアップコネクテッド</p> <p>本ビットは HC が、リモート起動信号をサポートするかしないかを示します。リモート起動機能がサポートされて、システムにより使用されるとき、HC はシステムファームウェアにこのビットを POST の間にセットする必要があります。HC はハードウェアリセットと同時にビットをクリアしますが、ソフトウェアリセットと同時に変更しません。</p> <p>0 : リモート起動信号をサポートしない 1 : リモート起動信号をサポートする</p> <p>本機能はサポートしていません。必ず 0 を書き込みください。</p>
8	IR	0	R/W	<p>インタラプトルーティング</p> <p>本ビットは、HcInterruptStatus において登録されたイベントによって発生する割り込みの発送を決定します。HCD は、ハードウェアリセットと同時にこのビットクリアしますが、ソフトウェアリセットと同時に変更しません。HCD は、HC の所有権を示すために、タグとしてこのビットを用います。</p> <p>0 : 割り込みの発生は通常のメカニズムで決定 1 : 設定禁止</p>
7 6	HCFS1 HCFS0	0 0	R/W R/W	<p>ホストコントローラ機能状態</p> <p>HCD は、HC が HcInterruptStatus の SF ビットをリードして SOF を送り始めたかどうかを決定します。このビットは USB サスペンド状態のときだけ、HC によって変更できます。HC は、下流ポートからレジューム信号を検出した後に、USB サスペンド状態から USB レジューム状態に動くことができます。HC は、ハードウェアリセットの後に USB リセット状態に入るように、ソフトウェアリセットの後に、USB サスペンドが入ります。前者はルートのハブもリセットします。</p> <p>00 : USB リセット状態 01 : USB レジューム状態 10 : USB オペレーション状態 11 : USB サスペンド状態</p>
5	BLE	0	R/W	<p>バルクリストイネーブル</p> <p>本ビットは、次のフレームでバルクリストの処理を可能にするためにセットされます。HC は、リストの処理が決まった場合、このビットをチェックします。ディスエーブルのときには、HCD はリストを修正できます。HcBulkCurrentED が削除される ED を指し示している場合、HCD はリスト処理の再可能化の前に HcBulkCurrentED を更新してポインタを早めてください。</p> <p>0 : 次のフレームでバルクリスト処理を許可しない 1 : 次のフレームでバルクリスト処理を許可する</p>

ビット	ビット名	初期値	R/W	説明
4	CLE	0	R/W	<p>コントロールリストイネーブル</p> <p>次のフレームでコントロールリストの処理を可能にするためにセットされます。もしHCDによりクリアする場合、次のSOFの後にコントロールリストの処理をしません。HCは、リストを処理すると決めるときには常にこのビットをチェックしなければなりません。ディスエーブルのときには、HCDはリストを修正できます。もしHcControlCurrentEDが削除されるEDを指し示している場合、HCDは、リスト処理の再可能化の前にHcControlCurrentEDを更新してポインタを早めなければなりません</p> <p>0: 次のフレームでコントロールリスト処理を許可しない 1: 次のフレームでコントロールリスト処理を許可する</p>
3	IE	0	R/W	<p>アイソクロナスイネーブル</p> <p>本ビットは、isochronous EDの処理をイネーブル/ディセーブルにするために、HCDにより用いられます。フレームにおいて周期的なリストを処理する間、HCは、isochronous EDを見つげるとき(F=1)には、このビットのステータスをチェックします。もしセット(イネーブル)されている場合は、HCはEDを処理し続けます。もしクリア(ディスエーブル)されている場合は、HCは、周期的なリスト(現在はisochronous EDのみ含んでいます)の処理を停止させて、バルク/コントロールリストを処理し始めます。このビットをセットすることは、次のフレームにおいて有効であると保証されています(現在のフレームではありません)。</p> <p>0: 次のフレームの周期リストでアイソクロナスリスト処理を許可しない 1: 次のフレームの周期リストでアイソクロナスリスト処理を許可する</p>
2	PLE	0	R/W	<p>ピリオディックリストイネーブル</p> <p>本ビットは、次のフレームの周期的なリストの処理を可能にするためにセットされます。もしHCDによってクリアする場合、周期的なリストの処理は次のSOFの後では起こりません。HCがリストを処理し始める前に、HCはこのビットをチェックしなければなりません。</p> <p>0: 次のフレームで周期リスト処理を許可しない 1: 次のフレームで周期リスト処理を許可する</p>
1 0	CBSR1 CBSR0	0 0	R/W R/W	<p>コントロールバルクサービス比</p> <p>本ビットは、コントロールとバルクEDのサービス比率を指定します。非周期的なリストのうちのいずれかを処理する前に、HCは別のコントロールEDを供給し続けるか、またはバルクEDに切り替えるかの決定において、いくつかの空のコントロールEDを処理したかを内部計算によって指定した比率を比較しなければなりません。内部計算は、フレーム境界を越えるときに保持されます。リセットの場合には、HCDは、この値を復元する責任があります。</p> <p>00: 処理するコントロールEDとバルクEDの比は、1:1 01: 処理するコントロールEDとバルクEDの比は、2:1 10: 処理するコントロールEDとバルクEDの比は、3:1 11: 処理するコントロールEDとバルクEDの比は、4:1</p>

21. USB ホスト (USB)

21.3.3 コマンドステータスレジスタ (HcCommandStatus)

HcCommandStatus は、HC の現在のステータスを示します。HCD から発行されたコマンドを受け取るために、HC により読み出されます。HCD が 1 を書き込むことでセットし、HC が 0 を書き込むことでクリアします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SOC1	SOC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	OCR	BLF	CLF	HCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17 16	SOC1 SOC0	0 0	R R	スケジュールオーバランカウンタ 本ビットは各スケジューリングオーバランエラーにおいてインクリメントされます。B'00 と初期設定され、B'11 に戻ります。HcInterruptStatus の SO ビットがセットされていても、スケジューリングオーバランが検出されるときには、これはインクリメントされます。これは、どのような持続的なスケジューリング問題でも監視するために、HCD によって使用されます。
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OCR	0	R/W	オーナーシップ変更要求 本ビットは、HC の制御の変化を要求するために、OS HCD によりセットされます。セットされたとき、HC が HcInterruptStatus の OC ビットをセットします。チェンジ後に、このビットがクリアされ、OS HCD からの次の要求までクリア状態となります。 0 : HC 制御の変更を要求しない 1 : HC 制御の変更を要求する

ビット	ビット名	初期値	R/W	説明
2	BLF	0	R/W	<p>バルクリストフィールド</p> <p>本ビットは、リストに TD が存在しているかを示すために用いられます。TD を ED に付加するとき、HCD により、リストに設定されます。</p> <p>HC がリストのヘッドを処理しはじめるときには、BF をチェックします。BLF が 0 である限り、HC はリストを処理し始めません。BLF が 1 のとき、HC はリストを処理し始めて、BF から 0 までを設定します。HC が TD をリストに見つけると、HC は、BLF を 1 に設定します。TD がリストに存在せず、HCD が BLF を設定しないとき、HC がリスト処理を完成します。バルクリスト処理を停止すると BLF は 0 のままです。</p> <p>0 : バルクリスト内に TD なし 1 : バルクリスト内に TD あり</p>
1	CLF	0	R/W	<p>コントロールリストフィールド</p> <p>本ビットは、コントロールリストにいくらかの TD があるかを示すために用いられます。HCD が TD をコントロールリストの ED に付加すると、HCD により設定されます。</p> <p>HC がコントロールリストのヘッドを処理しはじめると、HC は CLF をチェックします。CLF が 0 である限り、HC はコントロールリスト処理を開始しません。もし CLF が 1 であるならば、HC はコントロールリスト処理を開始し、CLF を 0 にセットします。HC が TD をリストに見つけると、HC は CLF を 1 にセットします。もし TD をコントロールリストに全然見つけられず、HCD が CLF をセットしない場合、HC がコントロールリストの処理を完了します。コントロールリスト処理を停止すると、CLF は 0 のままです。</p> <p>0 : コントロールリスト内に TD なし 1 : コントロールリスト内に TD あり</p>
0	HCR	0	R/W	<p>ホストコントローラリセット</p> <p>本ビットは、HC のソフトウェアリセットを開始するために、HCD によりセットされます。HC の機能上の状態を問わず、次の状態を除いて、operational レジスタのほとんどがリセットされる USB サスペンド状態に遷移します。たとえば、HcControl の InterruptRouting フィールドおよびホストバスのないアクセスは許されます。このビット はリセット操作の完了と同時に HC によりクリアされます。リセット操作は 10μs 内で完了されなければなりません。このビットは、セットされるときに、ルートハブをリセットせずに、次のリセット信号はダウンストリームポートに出されません</p> <p>0 : HC のソフトウェアリセットを解除する 1 : HC のソフトウェアリセットを開始する</p>

21. USB ホスト (USB)

21.3.4 割り込みステータスレジスタ (HcInterruptStatus)

HcInterruptStatus は、ハードウェア割り込みを起こす様々なイベントに関するステータスを表示します。割り込みを発生させるとき、HcInterruptEnable が割り込みを許可しており、HcInterruptEnable の MIE ビットが 1 にセットされている場合に、HC は本レジスタの該当ビットを 1 にセットして割り込みを発生させます。HCD は、該当ビットに 1 を書きこむことによってそのビットを 0 にクリアし、割り込み状態を解除します。なお、HCD は、いずれのビットも 1 にセットすることはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	OC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	OC	0	R/W	オーナーシップ変更 HCD が HcCommandStatus の OCR ビットをセットするときに、このビットは HC によりセットされます。このイベントは、マスクされないときに、ただちにシステム管理割り込み (SMI) を生成します。 SMI ピンがないときには、このビットは 0 になります 0 : 変更要求なし 1 : HC 制御の変更要求あり
29~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	ルートハブステータス変更 HcRhStatus の内容、または HcRhPortStatus1 のうち、いずれかの内容が変わったときには、このビットがセットされます。 0 : HcRhStatus や HcRhPortStatus1 の値に変化なし 1 : HcRhStatus や HcRhPortStatus1 の値に変化あり
5	FNO	0	R/W	フレーム数オーバーフロー HcFmNumber の MSB が、0 から 1 まで、または 1 から 0 まで値が変化し、HccaFrameNumber が更新された後に、このビットがセットされます。 0 : 変化なし 1 : HcFmNumber の MSB ビットが変化し、HccaFrameNumber が更新された

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
4	UE	0	R/W	<p>修復不能エラー</p> <p>HC が、USB と関連しないシステムエラーを検出したとき、このビットがセットされます。HC がリセットされた後に、HCD はこのビットをクリアします。</p> <p>0 : USB に無関係なシステムエラー未発生</p> <p>1 : USB に無関係なシステムエラーを検出</p>
3	RD	0	R/W	<p>レジューム信号検出</p> <p>USB のデバイスがレジューム信号を出していることを HC が検出したとき、このビットがセットされます。HCD が USB レジューム状態をセットするときには、このビットはセットされません。</p> <p>0 : USB デバイスがレジューム信号をアサートしていない</p> <p>1 : USB デバイスがレジューム信号をアサート</p>
2	SF	0	R/W	<p>フレームの開始</p> <p>本ビットは、各フレームの開始時、および HccaFrameNumber の更新後に、HC によりセットされます。HC は、SOF トークンも生成します。</p> <p>0 : 各フレームが開始されていない、または HccaFrameNumber が更新されていない</p> <p>1 : 各フレームを開始、および HccaFrameNumber の更新</p>
1	WDH	0	R/W	<p>ライトバック終了ヘッド</p> <p>HC が HcDoneHead を HccaDoneHead にライトしたすぐ後に、このビットがセットされます。このビットがクリアされるまで、HccaDoneHead は更新されません。HCD は、HccaDoneHead の内容を保存した後にだけ、このビットをクリアしてください。</p> <p>0 : HccaDoneHead の内容を保持</p> <p>1 : HccaDoneHead に HcDoneHead の値の書き込み終了</p>
0	SO	0	R/W	<p>スケジューリングオーバーラン</p> <p>現在のフレームにおいて、HccaFrameNumber の更新の後、USB スケジュールがオーバーランしたとき、このビットはセットされます。スケジューリングオーバーランはまた、HcCommandStatus の SOC ビットをインクリメントします。</p> <p>0 : 現行フレームでスケジュールオーバーランエラーが発生していない</p> <p>1 : 現行フレームでスケジュールオーバーランエラーが発生した</p>

21. USB ホスト (USB)

21.3.5 割り込みイネーブルレジスタ (HcInterruptEnable)

HcInterruptEnable の各ビットには、ハードウェア割り込み発生許可を指定します。HcInterruptStatus と対応しています。HcInterruptStatus の各ビットが 1 にセットされ、かつ HcInterruptEnable の対応するビットが 1 にセットされ、HcInterruptEnable の MIE ビットが 1 にセットされたときに割り込みが発生します。

このレジスタに 1 を書き込むことによって、相当するビットはセットされますが、0 を書き込んでも変化しません。リード時、このレジスタの現在の値が戻ります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MIE	0	R/W	マスタインタラプトイネーブル 本ビットに 1 をセットすると、このレジスタの他のビットにおいて指定されたイベントによる割り込み生成を可能にします。これはマスタ割り込み可能化として HCD により使用されます。HCD で割り込み検出する場合、割り込みコントローラ INTC の USB ビットを利用してください。 0 : 動作に影響しない 1 : 割り込み生成を許可する
30	OC	0	R/W	オーナシップ変更 0 : 動作に影響しない 1 : HC 制御の変更のための割り込み生成を許可する
29~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RHSC	0	R/W	ルートハブステータス変更 0 : 動作に影響しない 1 : ルートハブ状態変更のための割り込み生成を許可する
5	FNO	0	R/W	フレーム数オーバーフロー 0 : 動作に影響しない 1 : フレーム数オーバーフローのための割り込み生成を許可する
4	UE	0	R/W	修復不能エラー 0 : 動作に影響しない 1 : 修復不能エラーのための割り込み生成を許可する

ビット	ビット名	初期値	R/W	説明
3	RD	0	R/W	レジューム信号検出 0:動作に影響しない 1:レジューム信号検出のための割り込み生成を許可する
2	SF	0	R/W	フレームの開始 0:動作に影響しない 1:フレーム開始のための割り込み生成を許可する
1	WDH	0	R/W	ライトバック終了ヘッド 0:動作に影響しない 1:HcDoneHeadのライトバックのための割り込み生成を許可する
0	SO	0	R/W	スケジューリングオーバーラン 0:動作に影響しない 1:スケジュールオーバーランのための割り込み生成を許可する

21.3.6 割り込みディスエーブルレジスタ (HcInterruptDisable)

HcInterruptDisable の各ビットには、HcInterruptStatus の対応した割り込みの禁止を指定します。HcInterruptDisable の各ビットに 1 を書き込むことによって HcInterruptEnable の対応するビットは 0 にクリアされます。このレジスタに 0 を書き込むことにより HcInterruptEnable の対応するビットは変化しません。読み出すときは HcInterruptEnable の値を読み出します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	RHSC	FNO	UE	RD	SF	WDH	SO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MIE	0	R/W	マスタインタラプトイネーブル 0:動作に影響しない 1:その他のイベントのため割り込み生成を無効にする
30	OC	0	R/W	オーナシップ変更 0:動作に影響しない 1:HC制御の変更のための割り込み生成を無効にする
29~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RHSC	0	R/W	ルートハブステータス変更 0:動作に影響しない 1:ルートハブ状態変更のための割り込み生成を無効にする

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
5	FNO	0	R/W	フレーム数オーバーフロー 0:動作に影響しない 1:フレーム数オーバーフローのため割り込み生成を無効にする
4	UE	0	R/W	修復不能エラー 0:動作に影響しない 1:修復不能エラーのための割り込み生成を無効にする
3	RD	0	R/W	レジューム信号検出 0:動作に影響しない 1:レジューム信号検出のための割り込み生成を無効にする
2	SF	0	R/W	フレームの開始 0:動作に影響しない 1:フレーム開始のための割り込み生成を無効にする
1	WDH	0	R/W	ライトバック終了ヘッド 0:動作に影響しない 1:HcDoneHeadのライトバックのための割り込み生成を無効にする
0	SO	0	R/W	スケジューリングオーバーラン 0:動作に影響しない 1:スケジュールオーバーランのための割り込み生成を無効にする

21.3.7 ホストコントローラコミュニケーションエリアポインタレジスタ (HcHCCA)

HcHCCAには、ホストコントローラコミュニケーションエリア(HCCA)のアドレスを格納します。HCDは、HcHCCAレジスタにすべて1を書き込むことと、HcHCCAレジスタの内容を読み出すことによって、アラインメント制限を決定します。アラインメントは、下位ビットの0の数を調べることで評価されます。最小のアラインメントは256バイトです。したがって、0から7までのビットは、リードされたときに、常に0にしておかなければなりません。このエリアは、HCとHCDによりアクセスされる、コントロール構造と割り込みテーブルを保持するために使用されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCCA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCCA								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	HCCA	すべて0	R/W	ホストコントローラコミュニケーションエリアアドレス HCCA のベースアドレスを格納します。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

21.3.8 ピリオドカレント ED ポインタレジスタ (HcPeriodCurrentED)

HcPeriodCurrentED は、現行フレームで処理するアイソクロナス ED あるいはインタラプト ED のアドレスを格納しています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PCED															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCED												-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	PCED	すべて0	R	ピリオドカレント ED アドレス 現行フレームで処理する周期リストの先頭アドレスを格納します。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

21.3.9 コントロールヘッド ED ポインタレジスタ (HcControlHeadED)

HcControlHeadED は、コントロールリスト内の最初に処理する ED のアドレスを格納しています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHED															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHED												-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	CHED	すべて0	R/W	コントロールヘッド ED アドレス コントロールリストの先頭アドレスを格納します。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

21. USB ホスト (USB)

21.3.10 コントロールカレント ED ポインタレジスタ (HcControlCurrentED)

HcControlCurrentED は、コントロールリスト内の現行フレームで処理する ED のアドレスを格納しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCED															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCED												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	CCED	すべて 0	R/W	コントロールカレント ED アドレス 現行フレームで処理するコントロールリストの先頭アドレスを格納します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.11 バルクヘッド ED ポインタレジスタ (HcBulkHeadED)

HcBulkHeadED は、バルクリスト内の最初に処理する ED のアドレスを格納しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BHED															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BHED												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	BHED	すべて 0	R/W	バルクヘッド ED アドレス バルクリストの先頭アドレスを格納します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.12 バルクカレント ED ポインタレジスタ (HcBulkCurrentED)

HcBulkCurrentED は、バルクリスト内の現行フレームで処理する ED のアドレスを格納しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BCED															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCED												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	BCED	すべて 0	R/W	バルクカレント ED アドレス 現行フレームで処理するバルクリストの先頭アドレスを格納します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.13 終了キューヘッドポインタレジスタ (HcDoneHead)

HcDoneHead は、終了キューに加えられた最後に処理が完了した TD のアドレスを格納しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DH												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	DH	すべて 0	R	終了キューポインタアドレス 最後に処理が完了した TD のアドレスを格納します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

21. USB ホスト (USB)

21.3.14 フレームインターバルレジスタ (HcFmInterval)

HcFmInterval は、フレームのビットタイム間隔 (2 つの連続した SOF の間隔) を示す 14 ビットからなる FI の値と、スケジューリングオーバーランを起こさずに HC が送受信するフルスピードでの最大パケットサイズを示す 15 ビットからなる FSMPS があります。HCD は、各 SOF において値を更新し、フレーム間隔の微調整を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIT		FSMPS													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-		FI													
初期値 :	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIT	0	R/W	フレームインターバルトグル HCD は FI に新しい値がロードされるとトグルします。
30~16	FSMPS	すべて 0	R/W	最大パケットサイズ 本ビットは、各フレームの最初に Largest Data Packet Counter にロードされる値を指定します。カウンタ値は、スケジューリングオーバーランを起こさずに、与えられた如何なる時間に、HC により一つのトランザクションに送受信され得るビットの最も大きいデータ量を表しています。フィールド値は HCD により計算されます。
15~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	FI	H'2EDF	R/W	フレーム間隔 本ビットは、ビット倍の 2 つの連続的な SOF 間の間隔を指定します。名目値は、11999 にセットされます。 HCD は、HC をリセットする前に、このフィールドの現在値を保存しなくてはなりません。これにより、HcCommandStatus の HCR ビットをセットすることによって、HC にこのビットをその名目値にリセットさせます。HCD は、リセットシーケンスの完了と同時に、保存された値を復元することを選ぶことができます。

21.3.15 フレームリメイニングレジスタ (HcFmRemaining)

HcFmRemaining は、現行フレームの残りビットタイムを示す 14 ビットからなる減算カウンタです。

本レジスタは、読み出しのみ有効です。書き込み時の動作は保証されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRT	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	FR													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	FRT	0	R	フレームリメイニングトグル FR が H'0000 になったとき、HcFmInterval の FIT 値が格納されます。 本ビットは FI ビットと FR ビットの間との同期のために HCD により使われます。
30~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
13~0	FR	すべて 0	R	残りフレームのビットタイム このカウンタは各ビットタイムでデクリメントされます。0 に達するとき、次のビットタイム境界において、HcFmInterval において指定された FI ビットの値をロードすることによってリセットされます。USB オペレーション状態を入るときに、HC は HcFmInterval の FI ビットを再度読み込み、次の SOF から更新された値を使います。

21.3.16 フレームナンバーレジスタ (HcFmNumber)

HcFmNumber は、16 ビットのカウンタです。このレジスタは、HC と HCD において起こるイベントの間のタイミングとして参照されます。HCD は、このレジスタにおいて指定された 16 ビットからなる値を使い、レジスタへの頻繁なアクセスを必要とせずに 32 ビットのフレーム数を生成します。

本レジスタは、読み出しのみ有効です。書き込み時の動作は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FN															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
15~0	FN	すべて 0	R	フレーム数 HcFmRemaining が再ロードされるときにインクリメントされます。 H'FFFF の後 H'0 に戻ります。USB オペレーション状態に入るときに、自動的にインクリメントされます。HC が各フレーム境界において、FN ビットをインクリメントし、SOF を送った後、HC がそのフレームの中で最初の ED を読む前に、内容が HCCA に書かれます。HCCA に書いた後、HC は HcInterruptStatus の SF ビットをセットします。

21.3.17 ピリオドデックスタートレジスタ (HcPeriodicStart)

HcPeriodicStart は、HC が周期リストを処理し始めるべき最も早い時間を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PS													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	PS	すべて 0	R/W	ピリオドデックスタート ハードウェアがリセットした後、このフィールドはクリアされます。その後 HC の初期設定間に、HCD によりセットされます。値は、HcFmInterval レジスタ値から 10% 差し引いた値として大まかに計算されます。 HcFmRemaining レジスタが、指定された値に達するときに、周期的なリストの処理は、コントロール/バルク処理よりプライオリティを持ちます。したがって、HC は、現在のコントロール/バルクトランザクションを完了後に、割り込みリストを処理し始めます。

21.3.18 ロースピードスレッシュホールドレジスタ (HcLSThreshold)

HcLSThreshold は、EOF の前に最大 8 バイトの LS パケットの転送をするかどうかを決めるため、HC により用いられる 11 ビットからなる LST を格納します。HC と HDC はこの値を変更することはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	LST											
初期値:	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	LST	H'628	R/W	LS スレッシュホールド このフィールドは、ロースピードトランザクションの開始に先がけて FR ビットと比較される値を含んでいます。FR ビットの値がこのビットの値以上である場合のみトランザクションは始められます。値はトランスミッションとセットアップオーバーヘッドを考慮して HCD により計算されます。

21.3.19 ルートハブディスクリプタ A レジスタ (HcRhDescriptor A)

HcRhDescriptorA は、ルートハブの特徴を説明する 2 つのレジスタの中の 1 つ目のレジスタです。ディスクリプタ長 (11)、ディスクリプタタイプ (TBD)、ハブの Class Descriptor の hub controller current ビット (0) は、HCD によりエミュレートされます。すべての他のビットは HcRhDescriptorA レジスタと HcRhDescriptorB レジスタに置かれます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POTPGT								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	NOCP	OCPM	DT	NPS	PSM	NDP							
初期値:	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	POTPGT	H'02	R/W	パワー安定時間 このビットは、HCD が、ルートハブのパワーオンポートにアクセスするまでの待ち時間を指定します。 インプリメンテーション特定です。時間の単位は 2ms です。時間は POTPGT × 2 ms として計算されます。

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	NOCP	1	R/W	過電流保護 本ビットは、ルートハブポートの過電流ステータスの通知方法を選択します。このビットがクリアされるときには、OCPM ビットは、グローバル報告 / ポートごと報告を指定します。 0 : 過電流状態の情報収集をサポートする 1 : 過電流状態からの保護をサポートしない 【注】本ビットに制約事項があります。詳細は、「21.6 HcRhDescriptorA の設定に関する制約」を参照してください。
11	OCPM	0	R/W	過電流保護モード 本ビットは、ルートハブポートの過電流ステータスの通知方法を選択します。リセット時に、このビットは PSM ビットと同じモードを反映します。NOCP ビットがクリアされた場合、このビットは有効です。 0 : すべてのポートの過電流状態の情報収集をサポートする 1 : ポート別に過電流状態の情報収集をサポートする 【注】本ビットに制約事項があります。詳細は、「21.6 HcRhDescriptorA の設定に関する制約」を参照してください。
10	DT	0	R	デバイスタイプ 本ビットは、ルートハブがコンパウンドデバイスではないことを示します。このビットは常に 0 をセットしてください。 0 : ルートハブがコンパウンドデバイスではない 1 : 設定禁止
9	NPS	1	R/W	パワースイッチの有無 本ビットは電源切り替えがサポートされる、またはポートが常に電力を供給されるかを選択します。インプリメンテーション特定です。このビットがクリアされる時、PSM ビットはグローバル / ポート切り替えを指定します 0 : ポートは電源切り替え可能 1 : HC がパワーオン時には、ポートは常にパワーオン 【注】初期値が 1 であるため、ポートを電源切り替え可能にする場合は、あらかじめクリア (HCD で 0 ライト) してください。

ビット	ビット名	初期値	R/W	説明
8	PSM	0	R/W	<p>パワースイッチングモード</p> <p>本ビットは、ルートハブポートのパワー切り替えの制御方法を指定します。インプリメンテーション特定です。NPS ビットがクリアされる場合のみ、このビットは有効です</p> <p>0: すべてのポートは同時に電力を供給されます</p> <p>1: 個々のポートは個々に電力を供給されます。このモードでは、ポートパワーは、グローバルスイッチまたはポートごとスイッチのいずれかにより制御されます。PPCM ビットがセットされると、ポートはポートパワーコマンドにだけ反応します(セット/クリアポートパワー)。ポートマスクがクリアされるならば、そのとき、ポートはグローバルな電源スイッチだけにより制御されます(セット/クリアグローバルパワー)。</p>
7~0	NDP	H'02	R	<p>ダウンストリームポート数</p> <p>これらのビットは、ルートハブによってサポートされたダウンストリームポートの数を示します。インプリメンテーション特定です。なお、このビット値は H'2 ですが、本 LSI ではダウンストリームポートは 1 ポートのみサポートしています。</p>

21.3.20 ルートハブディスクリプタ B レジスタ (HcRhDescriptor B)

HcRhDescriptorB は、ルートハブの特徴を説明する 2 つのレジスタの中の 2 つ目のレジスタです。このレジスタのビットは、システムインプリメンテーションに対応するように、初期設定の際に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPCM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
31~16	PPCM	すべて 0	R/W	<p>ポートパワーコントロールマスク</p> <p>本ビットは、ポートが、PSM ビットがセットされるとき、グローバルなパワーコントロールコマンドにより影響されるかどうかを示します。セット時は、ポートのパワー状態は、ポートごとのパワーコントロールにより影響されます (セット/クリアポートパワー)。クリア時は、ポートはグローバルな電源スイッチにより制御されます (セット/クリアグローバルパワー)。もしデバイスがグローバルな切り替えモード (PSM=0) に配置されている場合、このビットは有効ではありません。</p> <p>H'0000 : ポート 1 がグローバルな電源制御を受ける H'0002 : ポート 1 がグローバルな電源制御からマスクされる 上記以外 : 設定禁止</p> <p>ビット 16 : 確保されます。 ビット 17 : ポート#1 のパワーマスク ビット 18 : ポート#2 のパワーマスク : ビット 31 : ポート#15 のパワーマスク</p> <p>【注】 HcRhDescriptorA レジスタの NoPowerSwitching をクリアし、全ポートをパワーオフ (PortPowerStatus = 0) としてから、本ビットをセットしてください。</p>
15~0	DR	すべて 0	R/W	<p>デバイスリムーバブル</p> <p>本ビットは、ルートハブのポート専用のビットです。クリアされるときに、取り付けられたデバイスが取り外し可能になります。セットされるときには、取り付けられたデバイスは取り外さないでください。</p> <p>H'0000 : ポート 1 に接続しているデバイスは取り外し可能 H'0002 : ポート 1 に接続しているデバイスは取り外し不可 上記以外 : 設定禁止</p> <p>ビット 0 : 確保されます。 ビット 1 : ポート#1 に付属しているデバイス ビット 2 : ポート#2 に付属しているデバイス : ビット 15 : ポート#15 に付属しているデバイス</p>

21.3.21 ルートハブステータスレジスタ (HcRhStatus)

HcRhStatus は 2 つのパーツに分割されます。ロングワードの上位ワードは、ハブの状態変化を表し、下位ワードは、ハブの状態を表します。

このレジスタは、読み出し時と書き込み時では機能が異なるので、読み出し時の機能と書き込み時の機能とに分けて説明します。また、ビットの名称も読み出し時と書き込み時では異なり、機能に合う名称となっています。ビット名は、読み出し時のビット名を使います。たとえば、ビット 0 については、ビット名が LPS であり、読み出し時の名称がローカルパワーステータス、書き込み時の名称がクリアグローバルパワーとなります。

● 読み出し時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCIC	LPSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCI	LPS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CRWE	0	R	リザーブビット 読み出すと常に0が読み出されます。
30~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
17	OCIC	0	R	過電流表示変更 変化が本レジスタのOCIフィールドに起こったときに、このビットはハードウェアによりセットされます。 0: 動作に影響しない 1: 過電流表示に変化あり
16	LPSC	0	R	ローカルパワーステータス変更 ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットはいつも0として読まれます。
15	DRWE	0	R	デバイスリモートウェイクアップイネーブル このビットはレジュームイベントとしてCSCビットをイネーブルし、USBサスペンドからUSBレジュームへの状態変遷、およびRD割り込みをセットします。 0: デバイスリモート起動イベントの発生なし 1: デバイスリモート起動イベントの発生あり
14~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
1	OCI	0	R	過電流表示 本ビットは、グローバルな報告がされると、過電流条件を報告します。セット時は、過電流条件が存在します。クリア時は、すべてのパワーオペレーションが正常です。ポートごとの過電流保護が実行されている場合、このビットは常に0です。 0: ポートが過電流状態でない 1: ポートが過電流状態である
0	LPS	0	R	ローカルパワーステータス ルートハブはローカルなパワーステータス機能をサポートしません。したがって、このビットは常に0として読まれます。

21. USB ホスト (USB)

● 書き込み時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCIC	LPSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRWE	-	-	-	-	-	-	-	-	-	-	-	-	-	OCI	LPS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

ビット	ビット名	初期値	R/W	説明
31	CRWE	0	W	クリアリモートウェイクアップイネーブル 本ビットに1を書くことにより DRWE ビットはクリアされます。0 をセットした場合、クリアされません。 0: 動作に影響しない 1: DRWE を0にクリア
30~18	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください
17	OCIC	0	W	過電流表示変更 HCD は、1 を書いてこのビットをクリアします。0 をセットした場合、クリアされません。 0: 動作に影響しない 1: OCIC を0にクリア
16	LPSC	0	W	セットグローバルパワー グローバルなパワーモード (PSM=0) において、このビットは、すべてのポートをパワーオンするために、1 をライトします (PPS ビットをクリア)。ポートごとにパワーモードにおいて、PPCM ビットがセットされていないポートにだけ PPS ビットをセットします。0 をライトした場合、クリアされません。 0: 動作に影響しない 1: すべてのポートの電源をオン
15	DRWE	0	W	セットリモートウェイクアップイネーブル 1 をライトすることにより DRWE ビットがセットされます。0 をライトした場合、セットされません 0: 動作に影響しない 1: デバイスリモート起動を許可
14~2	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください
1	OCI	0	R	リザーブビット 書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	LPS	0	W	<p>クリアグローバルパワー</p> <p>グローバルなパワーモード (PSM=0) において、このビットは、すべてのポートをパワーオフするために、1 をライトします (PPS ビットをクリア)。ポートごとのパワーモードにおいては、PPS ビットを、PPCM ビットがセットされていないポートにだけクリアします。0 をライトした場合、効果がありません。</p> <p>0: 動作に影響しない 1: すべてのポートの電源をオフ</p>

21.3.22 ルートハブポートステータス 1 レジスタ (HcRhPortStatus1)

HcRhPortStatus1 は、ポートごとのポートイベントの制御と報告に使われます。上位のワードがステータス変化を反映するのに対して、下位ワードはポートステータスを反映するように用いられます。

いくつかのステータスビットには、特別な書き込みがあります (下記参照)。change port status への書き込みが起こるときにトランザクション (ハンドシェイクを通るトークン) が進行中ならば、結果として生じているポートステータス変化は、トランザクションが完了するまで延期されなければなりません。リザーブビットには、常に 0 をライトしてください。

このレジスタは、読み出し時と書き込み時では機能が異なるので、読み出し時の機能と書き込み時の機能とに分けて説明します。また、ビットの名称も読み出し時と書き込み時では異なり、機能に合う名称となっています。ビット名は、読み出し時のビット名を使います。たとえば、ビット 0 については、ビット記号が CCS であり、読み出し時の名称がカレントコネクタステータス、書き込み時の名称がクリアポートイネーブルとなります。

• 読み出し時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	PRSC	OCIC	PSSC	PESC	CSC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	LSDA	PPS	-	-	-	PRS	POCI	PSS	PES	CCS
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。</p>
20	PRSC	0	R	<p>ポートリセットステータス変更</p> <p>このビットは、10 ms のポートリセット信号の終わりにおいてセットされます。</p> <p>0: ポートリセットが未完了 1: ポートリセットが完了</p>

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
19	OCIC	0	R	<p>過電流表示変更</p> <p>ポートごとのベースにおいて過電流条件が報告されるとき、このビットは有効です。ルートハブが POCI ビットを変更するときには、このビットがセットされます。</p> <p>0: POCI の変化なし 1: POCI の変化あり</p>
18	PSSC	0	R	<p>ポートサスペンドステータス変更</p> <p>すべてのレジュームシーケンスが完了したとき、このビットがセットされます。このシーケンスは、20 ms のレジュームパルス、LS EOP、および 3 ms resynchronization 遅延を含みます。</p> <p>0: レジュームが未完了、または PRSC ビットが設定された 1: レジュームが完了</p>
17	PESC	0	R	<p>ポートイネーブルステータス変更</p> <p>ハードウェアイベントにより、PES ビットがクリア時に、このビットがセットされます。HCD の書き込みからの変化からはセットされません。</p> <p>0: PES の変化なし 1: PES の変化あり</p>
16	CSC	0	R	<p>コネクタステータス変更</p> <p>接続または切断イベントが起こると、このビットがセットされます。PPS、PES、または PPS をライトするときに CCS がクリアされた場合、ポートの電源切断時の書き込みは起こらないので、接続ステータスを再評価することをドライバに強制するためにセットされます。</p> <p>0: CCS の変化なし 1: CCS の変化あり</p> <p>【注】もし DR ビットがセットされている場合、このビットは、システムに、デバイスが取り付けられることを知らせるために、ルートハブリセットの後にだけセットされます。</p>
15~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。</p>
9	LSDA	0	R	<p>ロースピードデバイス接続</p> <p>本ビットは、このポートに取り付けられたデバイスの速度を示します。セット時は、ロースピードデバイスがこのポートに取り付けられています。クリア時は、フルスピードデバイスがこのポートに取り付けられています。CCS ビットがセットされるときのみ、このビットが有効です。</p> <p>0: フルスピードデバイスが接続 1: ロースピードデバイスが接続</p>

ビット	ビット名	初期値	R/W	説明
8	PPS	1	R	<p>ポートパワーステータス</p> <p>このビットは、実行されるパワー切り替えのタイプを問わずポートのパワーステータスを反映します。ただし、HcRhDescriptorA の NPS ビットの初期値が 1 であるため、初め本ビットは 1 固定となっています。以下のようにパワー切り替えを行う場合は、あらかじめ NPS ビットをクリアする必要があります。</p> <p>過電流条件が検出されると、このビットはクリアされます。HCD は、PPS または LPSC をライトしてこのビットをセットします。HCD は、LSDA または OCI をライトしてこのビットをクリアします。PSM と PPCM によって、どのパワーコントロールスイッチが使用可能であるかが決定されます。グローバルな切り替えモード (PSM=0) において、セット/クリアグローバルパワーだけが、このビットを制御します。ポートごとのパワー切り替えモード (PSM=1) のときに、そのポートの PPCM ビットがセットされるならば、セット/クリアポートパワーコマンドだけが可能です。もしマスクがセットされないならば、セット/クリアグローバルパワーコマンドだけが可能です。ポートパワーがディスエーブル時には、CCS、PES、PSS、および PRS がリセットされます。</p> <p>0: ポートが電源オフ状態 1: ポートが電源オン状態</p> <p>【注】もしパワー切り替えがサポートされない場合、このビットは常に 1 がリードされます。</p>
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。</p>
4	PRS	0	R	<p>ポートリセットステータス</p> <p>本ビットへの書き込みによりこのビットがセットされるとき、ポートリセット信号が出されます。リセット完了時は、PRSC がセットされるときに、このビットがクリアされます。CCS がクリアされる場合、このビットはセットされません</p> <p>0: ポートがリセット状態でない 1: ポートがリセット状態である</p>
3	POCI	0	R	<p>ポート過電流表示</p> <p>ポートごとのベースにおいて過電流条件が報告されるような方法で、ルートハブが配置されているときのみ、このビットは有効です。もしポートごとの過電流報告がサポートされない場合、このビットは 0 にセットされません。もしクリアされるならば、すべてのパワー操作はこのポートにおいて正常です。セットされた場合、このポートにおいて過電流状態が存在します。このビットは常に過電流の入力信号を反映します</p> <p>0: ポートが過電流状態でない 1: ポートが過電流状態である</p>

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
2	PSS	0	R	<p>ポートサスペンドステータス</p> <p>このビットは、ポートがサスペンドされた、またはレジュームシーケンス中であることを示します。SetSuspendState の書き込みによりセットされて、レジューム間隔の終わりにおいて PSSC がセットされるときにクリアされます。CCS がクリアされると、このビットはセットできません。ポートリセットの終わりにおいて PRSC がセットされる時、または HC が USB レジューム状態に置かれるときにも、このビットはクリアされます。アップストリームのレジュームが行われている場合、HC に伝わります。</p> <p>0 : ポートがサスペンド状態でない 1 : ポートがサスペンド状態である</p>
1	PES	0	R	<p>ポートイネーブルステータス</p> <p>このビットは、ポートがイネーブルか、ディスエーブルかどうかを示します。過電流条件およびディスコネクティブイベント、パワーオフスイッチ、または babble のような操作上のバスエラーが検出されると、ルートハブはこのビットをクリアできます。この変化により、PESC がセットされます。HCD は、本ビットを書いてこのビットをセットし、CSS を書いてクリアします。CCS をクリアすると、このビットはセットできません。また、PRSC ビットがセットされるポートリセットの完了時、または PSSC ビットがセットされるポートサスペンドの完了時に、このビットはセットされます。</p> <p>0 : ポートがディスエーブル状態である 1 : ポートがイネーブル状態である</p>
0	CCS	0	R	<p>カレントコネクタステータス</p> <p>このビットはダウンストリームポートの現状を反映します。</p> <p>0 : ポートにデバイスが接続されていない 1 : ポートにデバイスが接続されている</p> <p>【注】 取り付けられたデバイスが取り外し可能ではないときには (DR = H'0002)、このビットは常に 1 が読まれます。</p>

• 書き込み時

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	PRSC	OCIC	PSSC	PESC	CSC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	LSDA	PPS	-	-	-	PRS	POCI	PSS	PES	CCS
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	W	W	R	R	R	W	W	W	W	W

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください
20	PRSC	0	W	ポートリセットステータス変更 HCD は、このビットをクリアするために 1 をライトします。0 をライトした場合はクリアされません。 0: 動作に影響しない 1: PRSC を 0 にクリア
19	OCIC	0	W	過電流表示変更 HCD は、このビットをクリアするために 1 をライトします。0 をライトした場合はクリアされません。 0: 動作に影響しない 1: OCIC を 0 にクリア
18	PSSC	0	W	ポートサスペンドステータス変更 HCD は、このビットをクリアするために 1 をライトします。0 をライトした場合はクリアされません。PRSC が設定されているときも、このビットがクリアされます。 0: 動作に影響しない 1: PSSC を 0 にクリア
17	PESC	0	W	ポートイネーブルステータス変更 HCD は、このビットをクリアするために 1 をライトします。0 をライトした場合はクリアされません。 0: 動作に影響しない 1: PESC を 0 にクリア
16	CSC	0	W	コネクトステータス変更 HCD は、このビットをクリアするために 1 をライトします。0 をライトした場合はクリアされません。 0: 動作に影響しない 1: CSC を 0 にクリア
15~10	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください
9	LSDA	0	W	クリアポートパワー HCD は、このビットに 1 をライトすることによって、PPS ビットをクリアします。0 をライトした場合はクリアされません。 0: 動作に影響しない 1: PPS を 0 にクリア、ポートの電源をオフ
8	PPS	1	W	セットポートパワー HCD は、このビットをセットするために 1 をライトします。0 をライトした場合はセットされません。 0: 動作に影響しない 1: PPS を 1 にセット、ポートの電源をオン

21. USB ホスト (USB)

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 書き込み値は常に 0 にしてください
4	PRS	0	W	セットポート解除 HCD は、このビットに 1 をライトして、ポートリセット信号をセットします。0 をライトした場合はセットされません。CCS がクリアされると、この書き込みはこのビットをセットしませんが、代わりに、CSC をセットします。これにより電源切断ポートのリセットをドライバに知らせます。 0: 動作に影響しない 1: PRS を 1 にセット
3	POCI	0	W	クリアサスペンドステータス HCD は、レジュームを開始するために 1 をライトします。0 をライトした場合は効果がありません。PSS がセットされているときにこのビットがセットされると、レジュームが開始されます。 0: 動作に影響しない 1: レジュームを開始
2	PSS	0	W	セットポートサスペンド HCD は、このビットに 1 をライトしてこのビットをセットします。0 をライトした場合はセットされません。また、CCS がクリアされると、この書き込みにより PSS をセットせずに CSC をセットします。これは、電源切断ポートのサスペンドをドライバに知らせます。 0: 動作に影響しない 1: PSS を 1 にセット、ポートをサスペンド
1	PES	0	W	セットポートイネーブル HCD は、1 をライトしてこのビットをセットします。0 をライトした場合、セットされません。CCS がクリアされた場合、この書き込みにより PES はセットされず、代わりに、CSC をセットします。これは、電源切断ポートをイネーブルにする試みをしたことをドライバに知らせます 0: 動作に影響しない 1: PES を 1 にセット、ポートをイネーブル
0	CCS	0	W	クリアポートイネーブル HCD は、PES ビットをクリアするために、1 をライトします。0 をライトした場合、クリアされません。CCS はどのような書き込みによっても影響されません 0: 動作に影響しない 1: PES を 0 にクリア、ポートをディスイネーブル

21.4 メモリ説明

USB ホストは、OHCI 規格に定義されている共有メモリとして 8K バイトの SRAM を内蔵しています。共有メモリへのアクセスは、8 ビットのバイトアクセス、16 ビットのワードアクセス、32 ビットのロングワードアクセスが可能です。データ形式はリトルエンディアンです。MSB がビット 31、LSB がビット 0 となっています。ユーザは、DMAUCR の CVRT ビットを書き換えることにより、バイト単位またはワード単位のエンディアン変換が可能です。共有メモリのメモリマップを図 21.2 に示します。

レジスタ領域に P4 領域を選択した場合、CPU からみると共有メモリのアドレスは H'FE34 1000 から H'FE34 2FFF に割り当てられていますが、HC からみると H'0000 0000 から H'0000 1FFF に割り当てられているように見えます。したがって、HC から共有メモリにアクセスする場合、H'0000 0000 から H'0000 1FFF の領域を指定する必要があります。

ただし、USB ホストコントローラが、USB の共有メモリの 4K バイト境界付近である下記アドレスからリードした場合、誤ったデータが読み出されることがあるため、下記アドレスの USB 共有メモリは使用しないでください。

使用禁止の USB 共有メモリ空間 (USB ホストコントローラから見たときのアドレス)

- H'0000 0FFC ~ H'0000 0FFF
- H'0000 1FFC ~ H'0000 1FFF

共有メモリのアドレスは、P4 領域では H'FE34 1000 から H'FE34 2FFF、エリア 7 では H'1E34 1000 から H'1E34 2FFF に割り当てられます。詳細は「第 32 章 レジスタ一覧」を参照してください。

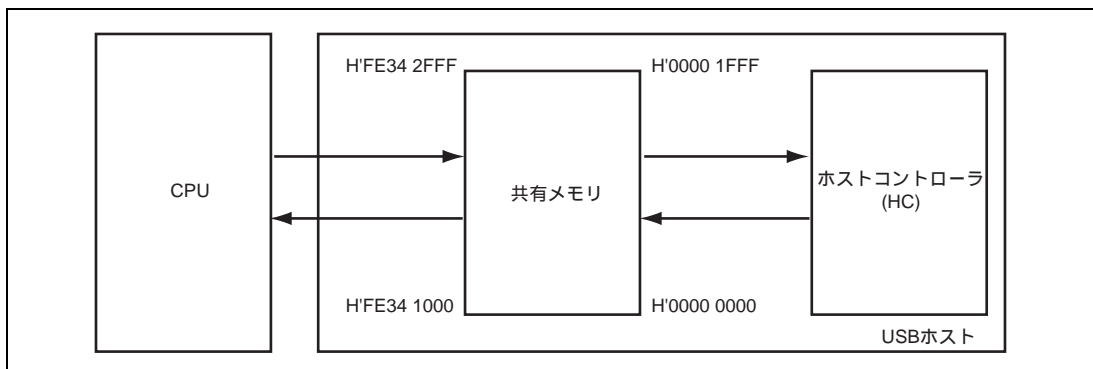


図 21.2 共有メモリのメモリマップ

21.5 USB ホストのデータ格納フォーマット

21.5.1 転送データの格納フォーマット

USB ホストは、CPU のエンディアン設定にかかわらず、リトルエンディアン仕様でアドレスの下位側から上位側に向けてデータが詰まっていることを期待しています。図 21.3 に USB のデータ読み出しの様子を記します。

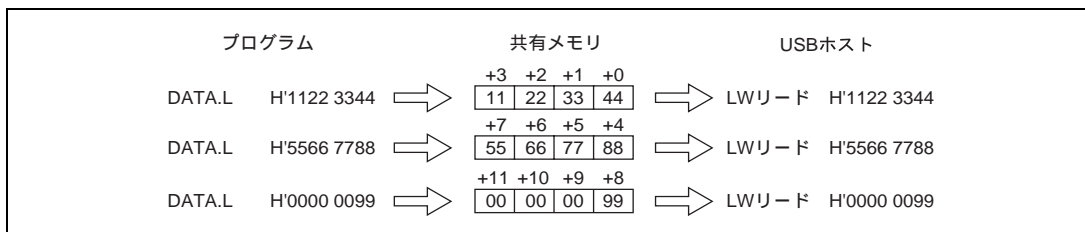


図 21.3 USB のデータ読み出し

上記メモリ上のデータと読み出されたデータの関連は常に等しい必要があります。USB ホストはエンディアンの如何にかかわらず、ロングワードリードを行います。その際に読み出したデータはリトルエンディアン仕様で下位アドレスから上位アドレスに向けて、バイト単位に積み上げられていることが前提となります。つまり、本 LSI の動作中のエンディアンがリトルエンディアンであるかビッグエンディアンであるかにかかわらず、リトルエンディアン仕様でロングワード単位でアドレスの下位側から詰めてデータを置いてください。

問題のある例を示します

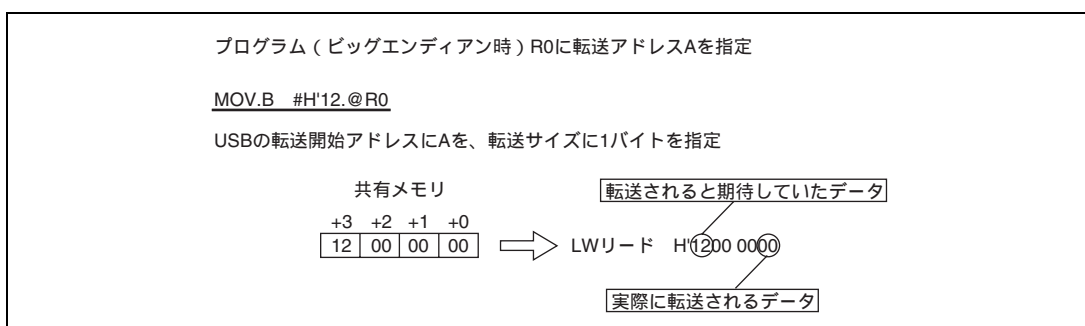


図 21.4 期待したデータが転送されないときの例

この例では、期待したデータ #H'12 は転送されません。

また、USB ホストは、エンディアンの如何によらず、データの読み出し / 書き込みを双方向に矛盾なく行うために、書き込みの際、リトルエンディアン仕様でメモリの下位ビット側からデータを詰めます。すなわち、常にリトルエンディアン仕様のデータ配置となります。

21.5.2 ディスクリプタの格納フォーマット

USB ホストの各転送トランザクションを定義する ED (EndPoint Descriptor) および TD (TransferDescriptor) は、各 Dword がメモリのロングワード境界 (アドレス $4n \sim 4n + 3$) と符号するように配置してください。また、ディスクリプタは、OpenHCI バージョン 1.0 に準拠したメモリアドレス境界に配置してください。

21.6 HcRhDescriptorA の設定に関する制約

HcRhDescriptorA の NOCP、OCPM ビットの値をリセット後の初期値から変更する場合は、以下の点に注意してください。

1. NOCPとOCPMビットの初期値はNOCP = 1、OCPM = 0であり、USBホストは過電流検出を行いません。過電流検出を行う場合は、NOCP = 0、OCPM = 1に同時に設定してください。また、本設定変更は、USBホストの初期設定中に 1 回行い、2回以上の設定変更は行わないでください。
2. 1.の設定により、HcRhStatusのOCIビットとOCICビットには、過電流情報が反映されません。よって、これらのビットは無視してください。
3. 1.で説明した設定変更を行った場合、ポートが過電流状態でない場合でもHcRhInterruptStatusのRHSCビットが 1 に設定されます。したがって、図21.5に示すフロー例を参考に割り込み処理を行ってください。

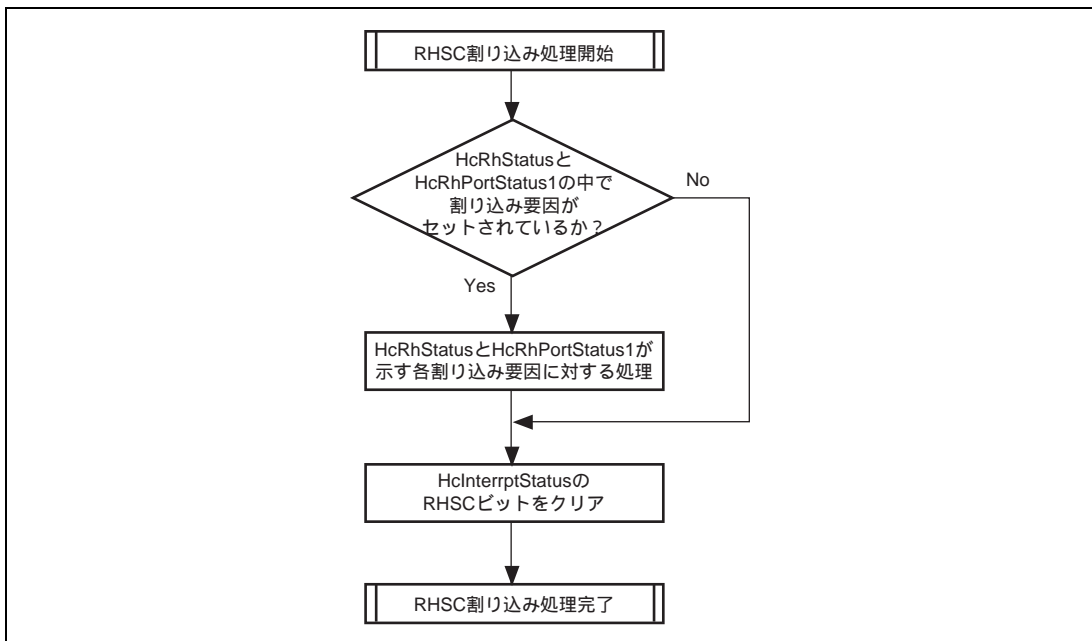


図 21.5 RHSC 割り込み処理例

22. コントローラエリアネットワーク 2 (HCAN2)

コントローラエリアネットワーク 2 (HCAN2) は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。CAN の仕様については「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」を参照してください。

本章は、HCAN2 モジュールを使用して CAN アプリケーションを作成するソフトウェア設計者のデザインリファレンスです。

また本章はプロセス、パッケージング、電源供給などの基準に関する HCAN2 の実現に制限を加えるものではありません。これらはそれぞれの実現仕様において適切に決定されます。

22.1 特長

- CAN仕様2.0A/2.0BおよびISO-11898をサポート
- 31個の送信 / 受信プログラマブルメールボックス、1個の受信専用メールボックス
- 低消費電力のスリープモード、CANバスアクティブを検出して自動でスリープモード解除
- すべてのメールボックスでプログラマブルな受信フィルタマスク (スタンダードID、拡張ID)
- 1Mbit/sまでのプログラマブルなCANデータレート
- リアルタイムアプリケーションの優先順位反転問題に対して内部優先順位ソート機能を使った送信メッセージのキュー
- ハンドシェイクを使用しないデータバッファアクセス
- 柔軟なCPUインタフェース
- 柔軟な割り込み構造
- 柔軟なクロックソースとプリスケアラ付き16ビットフリーランニングタイマ、タイマコンペアマッチレジスタ
- 柔軟な送受信タイムスタンプサポート (スタンプタイミングはプログラマブル)

22.2 構成

22.2.1 ブロック図

HCAN2 は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する柔軟で洗練された方法を提供します。HCAN2 モジュールは機能的に 5 種類のブロックからなります。これは、CPU インタフェース (MPI: Micro Processor Interface) および、メールボックス、メールボックスコントロール、タイマ、CAN インタフェースです。図 22.1 に、HCAN2 モジュールのブロック図を示します。バスインタフェースタイミングは SuperH™ 周辺バスインタフェースに従っています。

22. コントローラエリアネットワーク 2 (HCAN2)

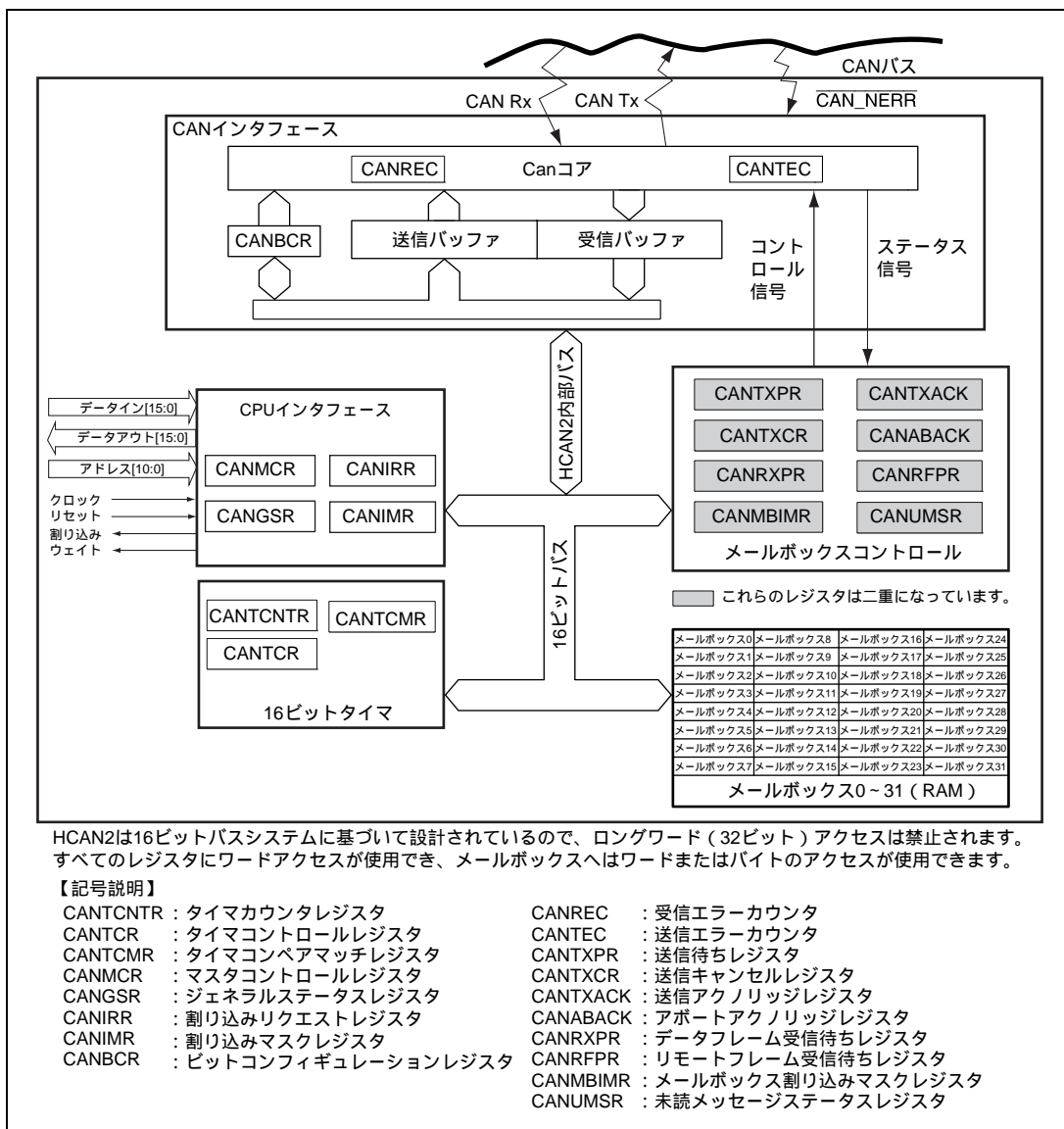


図 22.1 HCAN2 のブロック図

22.2.2 各ブロックの機能

(1) CPU インタフェース (MPI)

MPI によって CPU と HCAN2 のレジスタやメールボックスと通信し、タイマやメモリインタフェース、データコントローラなどを制御することができます。また、MPI は CAN バスのアクティブを検出し、MPI や HCAN2 のほかのモジュールにも CAN バスのアクティブを通知する起動コントロールロジックを持っているので、HCAN2 は自動的にスリープモードを解除することができます。レジスタは、CANMCR、CANIRR、CANGSR、CANIMR があります。

(2) メールボックス

メールボックスはメッセージバッファとして構成された RAM です。32 個のメールボックスがあり各メールボックスは以下の情報を格納します。

- CANメッセージコントロール (ID、dlc、rtr、ideなど)
- CANメッセージデータ (CANデータフレーム用)
- メッセージの送受信タイムスタンプ
- 受信時のローカルアクセプタンスフィルタマスク
- 3ビットのメールボックスコンフィギュレーション、自動再送無効ビット、リモートリクエスト用自動送信ビット、新着メッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

メッセージ受信時は、ID を比較し CAN インタフェースからのメッセージをメールボックスに格納するための RAM アドレスを生成し対応するレジスタをセット/クリアします。

メッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスから CAN インタフェースの Tx バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。

ホスト CPU とメールボックスコントロール間のメールボックスのアービトレーションを行います。

レジスタは、CANTXPR、CANTXCR、CANTXACK、CANABACK、CANRXPR、CANRFPR、CANMBIMR があります。

(4) タイマ

タイマは、特定のタイムフレームでメッセージを送受信し、その結果を記録する機能を持つ HCAN2 のブロックです。タイマはホスト CPU に制御される 16 ビットのフリーランニングカウンタです。参照する値を保持する 1 本の 16 ビットコンペアマッチレジスタがあり、タイマの値がその値に合致すると割り込みを発生します。

タイマのクロック周期は周辺クロックから生成され、幅広い選択肢があります。

レジスタは、CANTCNTR、CANTCR、CANTCMR があります。

22. コントローラエリアネットワーク 2 (HCAN2)

(5) CAN インタフェース

CAN インタフェースは、「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」の CAN バスデータリンクコントローラ仕様をサポートしています。これは、OSI 参照モデルで規定される DLC の全機能を満たします。また、与えられた CAN バスに特化したレジスタやロジックも提供します。それは、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラを送受信データを格納する機能もあります。

22.3 入出力端子

HCAN2 の端子構成を表 22.1 に示します。

表 22.1 端子構成

名称	入出力	機能
CAN0_RX	入力	CAN バスチャネル 0 受信信号
CAN0_TX	出力	CAN バスチャネル 0 送信信号
CAN0_NERR	入力	CAN バスチャネル 0 エラー信号
CAN1_RX	入力	CAN バスチャネル 1 受信信号
CAN1_TX	出力	CAN バスチャネル 1 送信信号
CAN1_NERR	入力	CAN バスチャネル 1 エラー信号

22.4 プログラミングモデル (概要)

22.4.1 メモリマップ

ソフトウェアからアクセスできるレジスタのメモリマップを図 22.2 に示します。

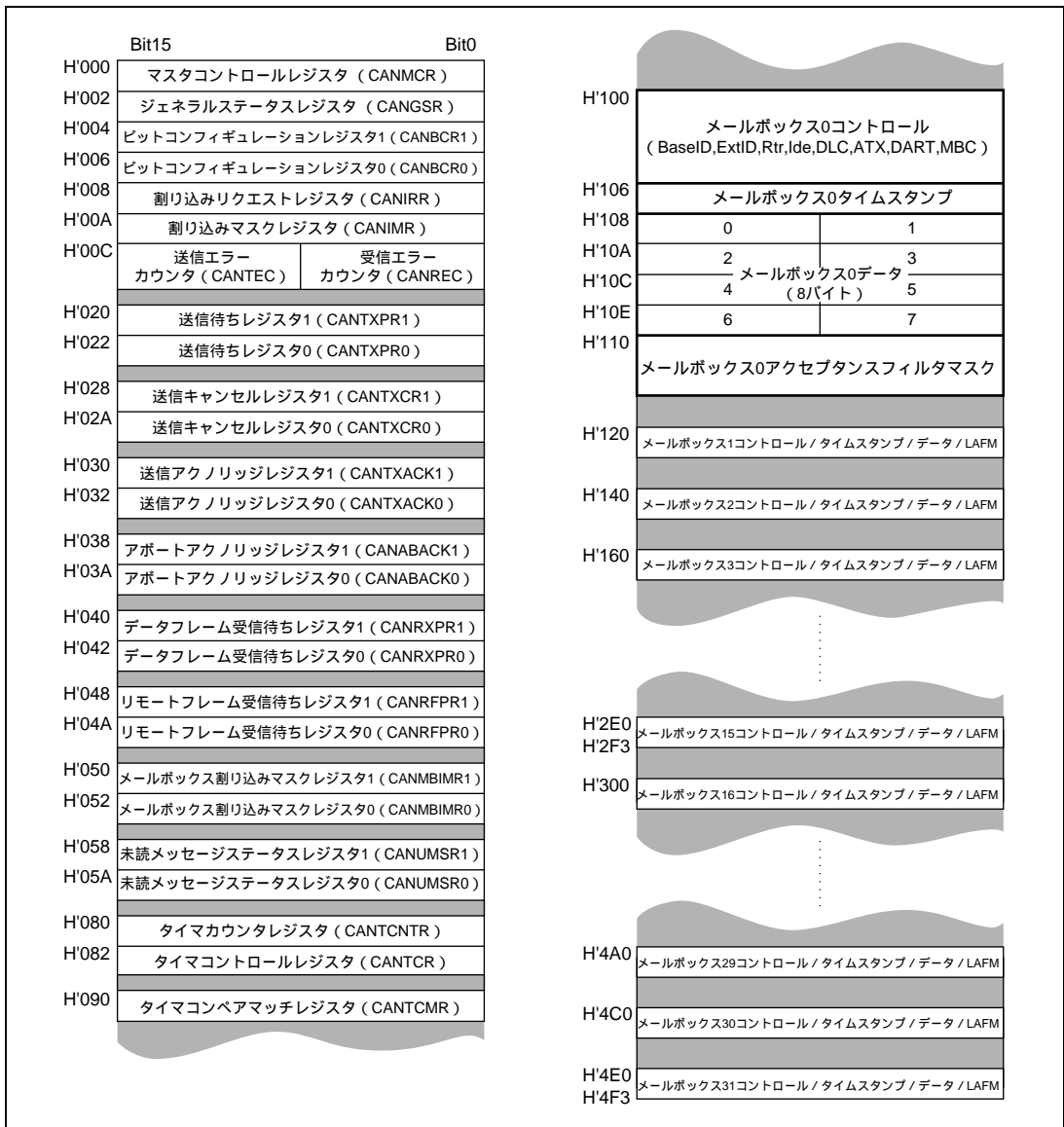


図 22.2 HCAN2 メモリマップ

22. コントローラエリアネットワーク 2 (HCAN2)

22.4.2 メールボックス (MB0 ~ MB31)

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは 4 個のストレージフィールドからなります。これは、メッセージコントロール、メッセージデータ、タイムスタンプ、ローカルアクセプタンスフィルタマスクの 4 個です。表 22.2 に各メールボックスに対するメモリマップを示します。

- 【注】
1. メッセージコントロール、メッセージデータ、タイムスタンプ、LAFM フィールドは 16 ビットサイズでのみアクセスできます。メッセージデータエリアは 16 ビットまたは 8 ビットでアクセスできます。未使用のメールボックスは、RAM で構成されているためインアクティブの状態初期化する必要があります。LAFM がメッセージを受信するために使用されないときはクリアする必要があります。
 2. 未使用のメールボックスはメモリとして使用できます。しかしながら、メッセージ受信中にそれらのメールボックスが ID の検索に参加するのを防いだり、最悪の場合、誤ったメッセージを格納してしまうことを避けるために MBC を B'111 としてメールボックスを無効にしてください。

表 22.2 メールボックス構成

メールボックス	アドレス			
	コントロール	タイムスタンプ	データ	LAFM
	6 バイト	2 バイト	8 バイト	4 バイト
0 (受信のみ)	100 – 105	106 – 107	108 – 10F	110 – 113
1	120 – 125	126 – 127	128 – 12F	130 – 133
2	140 – 145	146 – 147	148 – 14F	150 – 153
3	160 – 165	166 – 167	168 – 16F	170 – 173
4	180 – 185	186 – 187	188 – 18F	190 – 193
5	1A0 – 1A5	1A6 – 1A7	1A8 – 1AF	1B0 – 1B3
6	1C0 – 1C5	1C6 – 1C7	1C8 – 1CF	1D0 – 1D3
7	1E0 – 1E5	1E6 – 1E7	1E8 – 1EF	1F0 – 1F3
8	200 – 205	206 – 207	208 – 20F	210 – 213
9	220 – 225	226 – 227	228 – 22F	230 – 233
10	240 – 245	246 – 247	248 – 24F	250 – 253
11	260 – 265	266 – 267	268 – 26F	270 – 273
12	280 – 285	286 – 287	288 – 28F	290 – 293
13	2A0 – 2A5	2A6 – 2A7	2A8 – 2AF	2B0 – 2B3
14	2C0 – 2C5	2C6 – 2C7	2C8 – 2CF	2D0 – 2D3
15	2E0 – 2E5	2E6 – 2E7	2E8 – 2EF	2F0 – 2F3
16	300 – 305	306 – 307	308 – 30F	310 – 313
17	320 – 325	326 – 327	328 – 32F	330 – 333
18	340 – 345	346 – 347	348 – 34F	350 – 353
19	360 – 365	366 – 367	368 – 36F	370 – 373
20	380 – 385	386 – 387	388 – 38F	390 – 393

22. コントローラエリアネットワーク 2 (HCAN2)

メールボックス	アドレス			
	コントロール	タイムスタンプ	データ	LAFM/トリガタイム
	6 バイト	2 バイト	8 バイト	4 バイト
21	3A0 – 3A5	3A6 – 3A7	3A8 – 3AF	3B0 – 3B3
22	3C0 – 3C5	3C6 – 3C7	3C8 – 3CF	3D0 – 3D3
23	3E0 – 3E5	3E6 – 3E7	3E8 – 3EF	3F0 – 3F3
24	400 – 405	406 – 407	408 – 40F	410 – 413
25	420 – 425	426 – 427	428 – 42F	430 – 433
26	440 – 445	446 – 447	448 – 44F	450 – 453
27	460 – 465	466 – 467	468 – 46F	470 – 473
28	480 – 485	486 – 487	488 – 48F	490 – 493
29	4A0 – 4A5	4A6 – 4A7	4A8 – 4AF	4B0 – 4B3
30	4C0 – 4C5	4C6 – 4C7	4C8 – 4CF	4D0 – 4D3
31	4E0 – 4E5	4E6 – 4E7	4E8 – 4EF	4F0 – 4F3

メールボックス 0 は受信専用です。他のメールボックス 1~31 はメッセージコントロールの MBC の設定により送信受信ともに動作可能です。メールボックスの詳細を図 22.3 に示します。

アドレス	データバス														アクセス サイズ	フィールド ネーム
	15	14	13	12	11	10	9	8	7	6	5	4	3	2		
H*100 + N*32	0	STDID[10:0]										RTR	IDE	EXTID [17:16]	16ビット	コントロール
H*102 + N*32	EXTID[15:0]														16ビット	
H*104 + N*32			NMC	ATX	DART	MBC[2:0]		0		CBE		DLC[3:0]			8/16ビット	
H*106 + N*32	タイムスタンプ[15:0]														16ビット	タイムスタンプ
H*108 + N*32	MSG_DATA_0 (最初のRx/Txバイト)							MSG_DATA_1							8/16ビット	データ
H*10A + N*32	MSG_DATA_2							MSG_DATA_3							8/16ビット	
H*10C + N*32	MSG_DATA_4							MSG_DATA_5							8/16ビット	
H*10E + N*32	MSG_DATA_6							MSG_DATA_7							8/16ビット	
H*110 + N*32	ローカルアクセプタンスフィルタマスク0 (LAFM0)														16ビット	
H*112 + N*32	ローカルアクセプタンスフィルタマスク1 (LAFM1)														16ビット	LAFM

【注】1. グレー表示のビットはリザーブビットで書き込む値は0にしてください。読み出した値は保証されません。
2. ATXとDARTはメールボックス0ではサポートされていません。また、メールボックス0のMBC設定値は限られています。

図 22.3 メールボックス n の構造

22. コントローラエリアネットワーク 2 (HCAN2)

(1) メッセージコントロールフィールド

アドレス	ビット	ビット名	説明
H'100 + N*32	15	-	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。
	14 ~ 4	STDID 10 ~ 0	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定します。
	3	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】 MBC = 001 で ATX をセットすると RTR はセットできません。リモートフレームを受信するとホスト CPU は CAMRFPR または IRR2 (リモートフレームリクエスト割り込み) によって通知されますが、HCAN2 は現在のメッセージをデータフレームとして送信する必要があるため RTR は 0 に保持されます。 0 : データフレーム 1 : リモートフレーム
	2	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダード形式か拡張形式かを区別します。 0 : スタンダード形式 1 : 拡張形式
	1 0	EXTID17 EXTID16	拡張 ID データフレームとリモートフレームの ID (拡張 ID) を設定します。
H'102 + N*32	15 ~ 0	EXTID 15 ~ 0	
H'104 + N*32	15, 14	-	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。
	13	NMC	ニューメッセージコントロール このビットがクリアされると、CANRXPR/CANRFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し CANUMSR を設定します。このビットがセットされると CANRXPR/CANRFPR がすでにセットされているメールボックスは新しいメッセージを格納し CANUMSR を設定します。 書き換えモード (NMC = 1) でメールボックスがメッセージを受信すると、ホスト CPU はメールボックスからのデータ読み出しの最後に追加チェックを実施しなければなりません。これは、別の受信メッセージによってメールボックスが破壊されなかったことを保証するためです。この、メールボックスへのアクセスの最後に実施される追加チェックでは、CANUMSR の関連ビットがセットされていないことをチェックして書き換えが行われなかったことを確認します。もし、CANUMSR の関連ビットがセットされていれば、データは壊れているため、メッセージを破棄しなければなりません。

22. コントローラエリアネットワーク 2 (HCAN2)

アドレス	ビット	ビット名	説 明
H'104 + N*32	12	ATX	<p>データフレーム自動送信</p> <p>このビットがセットされリモートフレームがメッセージボックスで受信されると、CANTXPR をセットすることで現在のメッセージデータを使って同じメッセージボックスからデータフレームが自動的に送信されます。送信のスケジューリングは CAN-ID によって制御されます。本機能を使用するには MBC[2:0] を B'001 に設定してください。</p> <p>【重要】本機能を使用する場合、リモートフレームを受信するにもかかわらず RTR をセットすることはできません。リモートフレームを受信するとホスト CPU は CANRFPR によって通知されますが、HCAN2 は現在のメッセージをデータフレームとして送信する必要があるため RTR は 0 に保持されます。メールボックスがリモートフレーム受信に設定されている場合は、受信した CAN フレームによって RTR ビットが設定されます。</p>
	11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CAN バスエラーのイベントが発生した場合や、または CAN バスのアービトレーションでロストした場合、メッセージ自動再送信を無効にします。本機能が使用されるときは、対応する CANTXCR ビットが送信の最初に自動的にセットされます。このビットがクリアされると、HCAN2 は送信が正常終了されるまで、または CANTXCR でキャンセルされるまでメッセージを送ります。</p>
	10 9 8	MBC2 MBC1 MBC0	<p>メールボックスコンフィグレーション</p> <p>メールボックスの機能を設定します。MBC = B'111 はメールボックスがインアクティブ (CANTXPR などの設定にかかわらず受受信しない) を示します。MBC = B'110 は設定禁止です。MBC がどの値でも LAFM フィールドは使用可能です。詳細については表 22.3 を参照してください。</p>
	7, 6	-	<p>リザーブビット</p> <p>読み出し値は保証されません。書き込む値は常に 0 にしてください。</p>
	5	CBE	<p>CAN バスエラー</p> <p>フォールトトレラントな CAN トランシーバを HCAN2 モジュールに接続して使うことが出来ます。そのエラー出力端子 (通常はローアクティブ) は本 LSI の CAN_NERR 端子に接続してください。CAN_NERR 端子の値は各送受信の最後で、このビットに格納されます (メッセージが格納される場合)。CBE のビットは、CAN_NERR の反転値が設定されます。接続されたトランシーバのエラー出力端子がローアクティブの場合、このビットがセットされると CAN バスに物理エラーがある可能性を示します。エラー出力端子がハイアクティブの場合、クリアされたときに CAN バスに物理エラーがある可能性を示します。CAN_NERR は対応するメールボックスの送受信後に更新されるので、この機能は割り込みなし専用です。送信正常終了割り込み (IRR6)、受信正常終了割り込み (IRR2) に代わる手段を検討してください。</p>
	4	-	<p>リザーブビット</p>

22. コントローラエリアネットワーク 2 (HCAN2)

アドレス	ビット	ビット名	説明
H'104 + N*32	3	DLC3	データ長コード
	2	DLC2	データフレームで送信されるデータのバイト数を示します
	1	DLC1	0000 : 0 バイト
	0	DLC0	0001 : 1 バイト 0010 : 2 バイト 0011 : 3 バイト 0100 : 4 バイト 0101 : 5 バイト 0110 : 6 バイト 0111 : 7 バイト 1xxx : 8 バイト

表 22.3 メールボックス機能の設定

MBC2	MBC1	MBC0	データ フレーム 送信	リモート フレーム 送信	データ フレーム 受信	リモート フレーム 受信	説明	
0	0	0	可	可	不可	不可	メールボックス 0 は使用禁止	
0	0	1	可	可	不可	可	ATX で使用可能 メールボックス 0 は使用禁止 LAFM は使用可能	
0	1	0	不可	不可	可	可	メールボックス 0 使用可能 LAFM 使用可能	
0	1	1	不可	不可	可	不可	メールボックス 0 使用可能 LAFM 使用可能	
1	0	0	不可	可	可	可	メールボックス 0 は使用禁止 LAFM 使用可能	
1	0	1	不可	可	可	不可	メールボックス 0 は使用禁止 LAFM 使用可能	
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ					

(2) (メールボックス) タイムスタンプフィールド

タイムスタンプは送受信のメッセージ上に記録されます。タイムスタンプ機能は、期待するスケジュールでメッセージが送受信されているか、適切な順序で送信するメッセージをスケジューリングしているかどうかなどをモニタするのに便利です。

(3) メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信される最初のデータバイトに対応します。バス上ではビット 7 からビット 0 の順番で転送されます。

(4) ローカルアクセプタンスフィルタマスク (LAFM)

このエリアは受信ボックスのローカルアクセプタンスフィルタマスク (LAFM) として使用されます。

- LAFM

LAFM は 2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。これはメールボックスが複数の受信 ID を受け入れることを許可します。

H'110 + N*32	0	STDID_LAFM[10:0]	0	0	EXTID_LAFM [17:16]	16ビット	LAFM フィールド
H'112 + N*32		EXTID_LAFM[15:0]				16ビット	

図 22.4 アクセプタンスフィルタ

ビットが LAFM にセットされている場合、HCAN2 が一致する CAN-ID でメールボックスを検索するとき受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STD_ID/EXT_ID と一致していなければなりません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. HCAN2 はメールボックス 31 からメールボックス 0 まで一致する ID の検索を開始します。HCAN2 は ID を見つけるとすぐに検索を終了しメッセージをメールボックスに格納します。これは、受信されたメッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. メッセージが受信され一致するメールボックスが見つかるメッセージ全体がメールボックスに格納されます。LAFM が使用されている場合、STD_ID、RTR、IDE、EXT_ID は受信されたメッセージの STD_ID、RTR、IDE、EXT_ID で更新されるので、受信前に設定されていたものとは異なります。

アドレス	ビット	ビット名	説明
H'110 + N*32	15	-	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。
	14 ~ 4	STDID_LAF M10 ~ 0	CAN ベース ID[10:0]のフィルタマスクビット[10:0] 0 : メールボックス 0 に設定されている CAN ベース ID が有効です。 1 : メールボックス 0 に設定されている CAN ベース ID が無効です。
	3	-	リザーブビット
	2	-	読み出し値は保証されません。書き込む値は常に 0 にしてください。
H'112 + N*32	1	EXTID_LAF M17、16	CAN 拡張 ID[17:16]のフィルタマスクビット[17:16] 0 : 拡張 CAN ベース ID が有効です。 1 : 拡張 CAN ベース ID が無効です。
	0		
H'112 + N*32	15 ~ 0	EXTID_LAF M15 ~ 0	CAN 拡張 ID[15:0]のフィルタマスクビット[15:0] 0 : 拡張 CAN ベース ID が有効です。 1 : 拡張 CAN ベース ID が無効です。

22.5 レジスタの説明

HCAN2 には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。なお、本文ではチャンネルを省略して説明していません。

表 22.4 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
0	マスタコントロールレジスタ	CAN0MCR	R/W	H'FE38 0000	H'1E38 0000	16	Pck
	ジェネラルステータスレジスタ	CAN0GSR	R	H'FE38 0002	H'1E38 0002	16	Pck
	ビットコンフィギュレーションレジスタ 1	CAN0BCR1	R/W	H'FE38 0004	H'1E38 0004	16	Pck
	ビットコンフィギュレーションレジスタ 0	CAN0BCR0	R/W	H'FE38 0006	H'1E38 0006	16	Pck
	割り込みリクエストレジスタ	CAN0IRR	R/W	H'FE38 0008	H'1E38 0008	16	Pck
	割り込みマスクレジスタ	CAN0IMR	R/W	H'FE38 000A	H'1E38 000A	16	Pck
	エラーカウンタ	CAN0TECREC	R/W ^{*1}	H'FE38 000C	H'1E38 000C	16	Pck
	送信待ちレジスタ 1	CAN0TXPR1	R/W ^{*2}	H'FE38 0020	H'1E38 0020	16	Pck
	送信待ちレジスタ 0	CAN0TXPR0	R/W ^{*2}	H'FE38 0022	H'1E38 0022	16	Pck
	送信キャンセルレジスタ 1	CAN0TXCR1	R/W ^{*2}	H'FE38 0028	H'1E38 0028	16	Pck
	送信キャンセルレジスタ 0	CAN0TXCR0	R/W ^{*2}	H'FE38 002A	H'1E38 002A	16	Pck
	送信アクノリッジレジスタ 1	CAN0TXACK1	R/W	H'FE38 0030	H'1E38 0030	16	Pck
	送信アクノリッジレジスタ 0	CAN0TXACK0	R/W	H'FE38 0032	H'1E38 0032	16	Pck
	アボードアクノリッジレジスタ 1	CAN0ABACK1	R/W	H'FE38 0038	H'1E38 0038	16	Pck
	アボードアクノリッジレジスタ 0	CAN0ABACK0	R/W	H'FE38 003A	H'1E38 003A	16	Pck
	データフレーム受信待ちレジスタ 1	CAN0RXPR1	R/W	H'FE38 0040	H'1E38 0040	16	Pck
	データフレーム受信待ちレジスタ 0	CAN0RXPR0	R/W	H'FE38 0042	H'1E38 0042	16	Pck
	リモートフレーム受信待ちレジスタ 1	CAN0RFPR1	R/W	H'FE38 0048	H'1E38 0048	16	Pck
	リモートフレーム受信待ちレジスタ 0	CAN0RFPR0	R/W	H'FE38 004A	H'1E38 004A	16	Pck
	メールボックス割り込みマスクレジスタ 1	CAN0MBIMR1	R/W	H'FE38 0050	H'1E38 0050	16	Pck
	メールボックス割り込みマスクレジスタ 0	CAN0MBIMR0	R/W	H'FE38 0052	H'1E38 0052	16	Pck
	未読メッセージステータスレジスタ 1	CAN0UMSR1	R/W	H'FE38 0058	H'1E38 0058	16	Pck
	未読メッセージステータスレジスタ 0	CAN0UMSR0	R/W	H'FE38 005A	H'1E38 005A	16	Pck
	タイマカウンタレジスタ	CAN0TCNTR	R/W	H'FE38 0080	H'1E38 0080	16	Pck
	タイマコントロールレジスタ	CAN0TCR	R/W	H'FE38 0082	H'1E38 0082	16	Pck
	タイマコンペアマッチレジスタ	CAN0TCMR	R/W	H'FE38 0090	H'1E38 0090	16	Pck
	メールボックス 0	CAN0MB0	R/W ^{*4*5}	H'FE38 0100	H'1E38 0100	16	Pck
メールボックス 1	CAN0MB1	R/W ^{*4*5}	H'FE38 0120	H'1E38 0120	16	Pck	

22. コントローラエリアネットワーク 2 (HCAN2)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
0	メールボックス 2	CAN0MB2	R/W*4*5	H'FE38 0140	H'1E38 0140	16	Pck
	メールボックス 3	CAN0MB3	R/W*4*5	H'FE38 0160	H'1E38 0160	16	Pck
	メールボックス 4	CAN0MB4	R/W*4*5	H'FE38 0180	H'1E38 0180	16	Pck
	メールボックス 5	CAN0MB5	R/W*4*5	H'FE38 01A0	H'1E38 01A0	16	Pck
	メールボックス 6	CAN0MB6	R/W*4*5	H'FE38 01C0	H'1E38 01C0	16	Pck
	メールボックス 7	CAN0MB7	R/W*4*5	H'FE38 01E0	H'1E38 01E0	16	Pck
	メールボックス 8	CAN0MB8	R/W*4*5	H'FE38 0200	H'1E38 0200	16	Pck
	メールボックス 9	CAN0MB9	R/W*4*5	H'FE38 0220	H'1E38 0220	16	Pck
	メールボックス 10	CAN0MB10	R/W*4*5	H'FE38 0240	H'1E38 0240	16	Pck
	メールボックス 11	CAN0MB11	R/W*4*5	H'FE38 0260	H'1E38 0260	16	Pck
	メールボックス 12	CAN0MB12	R/W*4*5	H'FE38 0280	H'1E38 0280	16	Pck
	メールボックス 13	CAN0MB13	R/W*4*5	H'FE38 02A0	H'1E38 02A0	16	Pck
	メールボックス 14	CAN0MB14	R/W*4*5	H'FE38 02C0	H'1E38 02C0	16	Pck
	メールボックス 15	CAN0MB15	R/W*4*5	H'FE38 02E0	H'1E38 02E0	16	Pck
	メールボックス 16	CAN0MB16	R/W*4*5	H'FE38 0300	H'1E38 0300	16	Pck
	メールボックス 17	CAN0MB17	R/W*4*5	H'FE38 0320	H'1E38 0320	16	Pck
	メールボックス 18	CAN0MB18	R/W*4*5	H'FE38 0340	H'1E38 0340	16	Pck
	メールボックス 19	CAN0MB19	R/W*4*5	H'FE38 0360	H'1E38 0360	16	Pck
	メールボックス 20	CAN0MB20	R/W*4*5	H'FE38 0380	H'1E38 0380	16	Pck
	メールボックス 21	CAN0MB21	R/W*4*5	H'FE38 03A0	H'1E38 03A0	16	Pck
	メールボックス 22	CAN0MB22	R/W*4*5	H'FE38 03C0	H'1E38 03C0	16	Pck
	メールボックス 23	CAN0MB23	R/W*4*5	H'FE38 03E0	H'1E38 03E0	16	Pck
	メールボックス 24	CAN0MB24	R/W*4*5	H'FE38 0400	H'1E38 0400	16	Pck
	メールボックス 25	CAN0MB25	R/W*4*5	H'FE38 0420	H'1E38 0420	16	Pck
	メールボックス 26	CAN0MB26	R/W*4*5	H'FE38 0440	H'1E38 0440	16	Pck
	メールボックス 27	CAN0MB27	R/W*4*5	H'FE38 0460	H'1E38 0460	16	Pck
	メールボックス 28	CAN0MB28	R/W*4*5	H'FE38 0480	H'1E38 0480	16	Pck
	メールボックス 29	CAN0MB29	R/W*4*5	H'FE38 04A0	H'1E38 04A0	16	Pck
	メールボックス 30	CAN0MB30	R/W*4*5	H'FE38 04C0	H'1E38 04C0	16	Pck
	メールボックス 31	CAN0MB31	R/W*4*5	H'FE38 04E0	H'1E38 04E0	16	Pck
	1	マスタコントロールレジスタ	CAN1MCR	R/W	H'FE39 0000	H'1E39 0000	16
ジェネラルステータスレジスタ		CAN1GSR	R	H'FE39 0002	H'1E39 0002	16	Pck
ビットコンフィギュレーションレジスタ 1		CAN1BCR1	R/W	H'FE39 0004	H'1E39 0004	16	Pck
ビットコンフィギュレーションレジスタ 0		CAN1BCR0	R/W	H'FE39 0006	H'1E39 0006	16	Pck
割り込みリクエストレジスタ		CAN1IRR	R/W	H'FE39 0008	H'1E39 0008	16	Pck
割り込みマスクレジスタ		CAN1IMR	R/W	H'FE39 000A	H'1E39 000A	16	Pck

22. コントローラエリアネットワーク 2 (HCAN2)

チャネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
1	エラーカウンタ	CAN1TECREC	R/W* ¹	H'FE39 000C	H'1E39 000C	16	Pck
	送信待ちレジスタ 1	CAN1TXPR1	R/W* ²	H'FE39 0020	H'1E39 0020	16	Pck
	送信待ちレジスタ 0	CAN1TXPR0	R/W* ²	H'FE39 0022	H'1E39 0022	16	Pck
	送信キャンセルレジスタ 1	CAN1TXCR1	R/W* ²	H'FE39 0028	H'1E39 0028	16	Pck
	送信キャンセルレジスタ 0	CAN1TXCR0	R/W* ²	H'FE39 002A	H'1E39 002A	16	Pck
	送信アクノリッジレジスタ 1	CAN1TXACK1	R/W	H'FE39 0030	H'1E39 0030	16	Pck
	送信アクノリッジレジスタ 0	CAN1TXACK0	R/W	H'FE39 0032	H'1E39 0032	16	Pck
	アボードアクノリッジレジスタ 1	CAN1ABACK1	R/W	H'FE39 0038	H'1E39 0038	16	Pck
	アボードアクノリッジレジスタ 0	CAN1ABACK0	R/W	H'FE39 003A	H'1E39 003A	16	Pck
	データフレーム受信待ちレジスタ 1	CAN1RXPR1	R/W	H'FE39 0040	H'1E39 0040	16	Pck
	データフレーム受信待ちレジスタ 0	CAN1RXPR0	R/W	H'FE39 0042	H'1E39 0042	16	Pck
	リモートフレーム受信待ちレジスタ 1	CAN1RFPR1	R/W	H'FE39 0048	H'1E39 0048	16	Pck
	リモートフレーム受信待ちレジスタ 0	CAN1RFPR0	R/W	H'FE39 004A	H'1E39 004A	16	Pck
	メールボックス割り込みマスクレジスタ 1	CAN1MBIMR1	R/W	H'FE39 0050	H'1E39 0050	16	Pck
	メールボックス割り込みマスクレジスタ 0	CAN1MBIMR0	R/W	H'FE39 0052	H'1E39 0052	16	Pck
	未読メッセージステータスレジスタ 1	CAN1UMSR1	R/W	H'FE39 0058	H'1E39 0058	16	Pck
	未読メッセージステータスレジスタ 0	CAN1UMSR0	R/W	H'FE39 005A	H'1E39 005A	16	Pck
	タイマカウンタレジスタ	CAN1TCNTR	R/W	H'FE39 0080	H'1E39 0080	16	Pck
	タイマコントロールレジスタ	CAN1TCR	R/W	H'FE39 0082	H'1E39 0082	16	Pck
	タイマコンペアマッチレジスタ	CAN1TCMR	R/W	H'FE39 0090	H'1E39 0090	16	Pck
	メールボックス 0	CAN1MB0	R/W* ^{4,5}	H'FE39 0100	H'1E39 0100	16	Pck
	メールボックス 1	CAN1MB1	R/W* ^{4,5}	H'FE39 0120	H'1E39 0120	16	Pck
	メールボックス 2	CAN1MB2	R/W* ^{4,5}	H'FE39 0140	H'1E39 0140	16	Pck
	メールボックス 3	CAN1MB3	R/W* ^{4,5}	H'FE39 0160	H'1E39 0160	16	Pck
	メールボックス 4	CAN1MB4	R/W* ^{4,5}	H'FE39 0180	H'1E39 0180	16	Pck
	メールボックス 5	CAN1MB5	R/W* ^{4,5}	H'FE39 01A0	H'1E39 01A0	16	Pck
	メールボックス 6	CAN1MB6	R/W* ^{4,5}	H'FE39 01C0	H'1E39 01C0	16	Pck
	メールボックス 7	CAN1MB7	R/W* ^{4,5}	H'FE39 01E0	H'1E39 01E0	16	Pck
	メールボックス 8	CAN1MB8	R/W* ^{4,5}	H'FE39 0200	H'1E39 0200	16	Pck
	メールボックス 9	CAN1MB9	R/W* ^{4,5}	H'FE39 0220	H'1E39 0220	16	Pck
メールボックス 10	CAN1MB10	R/W* ^{4,5}	H'FE39 0240	H'1E39 0240	16	Pck	
メールボックス 11	CAN1MB11	R/W* ^{4,5}	H'FE39 0260	H'1E39 0260	16	Pck	
メールボックス 12	CAN1MB12	R/W* ^{4,5}	H'FE39 0280	H'1E39 0280	16	Pck	
メールボックス 13	CAN1MB13	R/W* ^{4,5}	H'FE39 02A0	H'1E39 02A0	16	Pck	
メールボックス 14	CAN1MB14	R/W* ^{4,5}	H'FE39 02C0	H'1E39 02C0	16	Pck	

22. コントローラエリアネットワーク 2 (HCAN2)

チャネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
1	メールボックス 15	CAN1MB15	R/W*4*5	H'FE39 02E0	H'1E39 02E0	16	Pck
	メールボックス 16	CAN1MB16	R/W*4*5	H'FE39 0300	H'1E39 0300	16	Pck
	メールボックス 17	CAN1MB17	R/W*4*5	H'FE39 0320	H'1E39 0320	16	Pck
	メールボックス 18	CAN1MB18	R/W*4*5	H'FE39 0340	H'1E39 0340	16	Pck
	メールボックス 19	CAN1MB19	R/W*4*5	H'FE39 0360	H'1E39 0360	16	Pck
	メールボックス 20	CAN1MB20	R/W*4*5	H'FE39 0380	H'1E39 0380	16	Pck
	メールボックス 21	CAN1MB21	R/W*4*5	H'FE39 03A0	H'1E39 03A0	16	Pck
	メールボックス 22	CAN1MB22	R/W*4*5	H'FE39 03C0	H'1E39 03C0	16	Pck
	メールボックス 23	CAN1MB23	R/W*4*5	H'FE39 03E0	H'1E39 03E0	16	Pck
	メールボックス 24	CAN1MB24	R/W*4*5	H'FE39 0400	H'1E39 0400	16	Pck
	メールボックス 25	CAN1MB25	R/W*4*5	H'FE39 0420	H'1E39 0420	16	Pck
	メールボックス 26	CAN1MB26	R/W*4*5	H'FE39 0440	H'1E39 0440	16	Pck
	メールボックス 27	CAN1MB27	R/W*4*5	H'FE39 0460	H'1E39 0460	16	Pck
	メールボックス 28	CAN1MB28	R/W*4*5	H'FE39 0480	H'1E39 0480	16	Pck
	メールボックス 29	CAN1MB29	R/W*4*5	H'FE39 04A0	H'1E39 04A0	16	Pck
	メールボックス 30	CAN1MB30	R/W*4*5	H'FE39 04C0	H'1E39 04C0	16	Pck
メールボックス 31	CAN1MB31	R/W*4*5	H'FE39 04E0	H'1E39 04E0	16	Pck	

22. コントローラエリアネットワーク 2 (HCAN2)

表 22.4 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
			RESET 端子/WDT /H-JDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎に よる
0	マスタコントロールレジスタ	CAN0MCR	H'0001	H'0001	保持	*	保持
	ジェネラルステータスレジスタ	CAN0GSR	H'000C	H'000C	保持		保持
	ビットコンフィギュレーションレジスタ 1	CAN0BCR1	H'0000	H'0000	保持		保持
	ビットコンフィギュレーションレジスタ 0	CAN0BCR0	H'0000	H'0000	保持		保持
	割り込みリクエストレジスタ	CAN0IRR	H'0001	H'0001	保持		保持
	割り込みマスクレジスタ	CAN0IMR	H'FFFF	H'FFFF	保持		保持
	エラーカウンタ	CAN0TECREC	H'0000	H'0000	保持		保持
	送信待ちレジスタ 1	CAN0TXPR1	H'0000	H'0000	保持		保持
	送信待ちレジスタ 0	CAN0TXPR0	H'0000	H'0000	保持		保持
	送信キャンセルレジスタ 1	CAN0TXCR1	H'0000	H'0000	保持		保持
	送信キャンセルレジスタ 0	CAN0TXCR0	H'0000	H'0000	保持		保持
	送信アクノリッジレジスタ 1	CAN0TXACK1	H'0000	H'0000	保持		保持
	送信アクノリッジレジスタ 0	CAN0TXACK0	H'0000	H'0000	保持		保持
	アボードアクノリッジレジスタ 1	CAN0ABACK1	H'0000	H'0000	保持		保持
	アボードアクノリッジレジスタ 0	CAN0ABACK0	H'0000	H'0000	保持		保持
	データフレーム受信待ちレジスタ 1	CAN0RXPR1	H'0000	H'0000	保持		保持
	データフレーム受信待ちレジスタ 0	CAN0RXPR0	H'0000	H'0000	保持		保持
	リモートフレーム受信待ちレジスタ 1	CAN0RFPR1	H'0000	H'0000	保持		保持
	リモートフレーム受信待ちレジスタ 0	CAN0RFPR0	H'0000	H'0000	保持		保持
	メールボックス割り込みマスクレジスタ 1	CAN0MBIMR1	H'FFFF	H'FFFF	保持		保持
	メールボックス割り込みマスクレジスタ 0	CAN0MBIMR0	H'FFFF	H'FFFF	保持		保持
	未読メッセージステータスレジスタ 1	CAN0UMSR1	H'0000	H'0000	保持		保持
	未読メッセージステータスレジスタ 0	CAN0UMSR0	H'0000	H'0000	保持		保持
	タイマカウンタレジスタ	CAN0TCNTR	H'0000	H'0000	保持		保持
	タイマコントロールレジスタ	CAN0TCR	H'0000	H'0000	保持		保持
	タイマコンペアマッチレジスタ	CAN0TCMR	H'0000	H'0000	保持		保持

22. コントローラエリアネットワーク 2 (HCAN2)

チャンネル	名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
						ハード による	ソフトによる /モジュール毎に よる
0	メールボックス 12	CAN0MB12	不定	不定	保持	*	保持
	メールボックス 13	CAN0MB13	不定	不定	保持		保持
	メールボックス 14	CAN0MB14	不定	不定	保持		保持
	メールボックス 15	CAN0MB15	不定	不定	保持		保持
	メールボックス 16	CAN0MB16	不定	不定	保持		保持
	メールボックス 17	CAN0MB17	不定	不定	保持		保持
	メールボックス 18	CAN0MB18	不定	不定	保持		保持
	メールボックス 19	CAN0MB19	不定	不定	保持		保持
	メールボックス 20	CAN0MB20	不定	不定	保持		保持
	メールボックス 21	CAN0MB21	不定	不定	保持		保持
	メールボックス 22	CAN0MB22	不定	不定	保持		保持
	メールボックス 23	CAN0MB23	不定	不定	保持		保持
	メールボックス 24	CAN0MB24	不定	不定	保持		保持
	メールボックス 25	CAN0MB25	不定	不定	保持		保持
	メールボックス 26	CAN0MB26	不定	不定	保持		保持
	メールボックス 27	CAN0MB27	不定	不定	保持		保持
	メールボックス 28	CAN0MB28	不定	不定	保持		保持
	メールボックス 29	CAN0MB29	不定	不定	保持		保持
	メールボックス 30	CAN0MB30	不定	不定	保持		保持
メールボックス 31	CAN0MB31	不定	不定	保持	保持		
1	マスタコントロールレジスタ	CAN1MCR	H'0001	H'0001	保持	保持	
	ジェネラルステータスレジスタ	CAN1GSR	H'000C	H'000C	保持	保持	
	ビットコンフィギュレーションレジスタ 1	CAN1BCR1	H'0000	H'0000	保持	保持	
	ビットコンフィギュレーションレジスタ 0	CAN1BCR0	H'0000	H'0000	保持	保持	
	割り込みリクエストレジスタ	CAN1IRR	H'0001	H'0001	保持	保持	
	割り込みマスクレジスタ	CAN1IMR	H'FFFF	H'FFFF	保持	保持	
	エラーカウンタ	CAN1TECREC	H'0000	H'0000	保持	保持	
	送信待ちレジスタ 1	CAN1TXPR1	H'0000	H'0000	保持	保持	
	送信待ちレジスタ 0	CAN1TXPR0	H'0000	H'0000	保持	保持	
	送信キャンセルレジスタ 1	CAN1TXCR1	H'0000	H'0000	保持	保持	
	送信キャンセルレジスタ 0	CAN1TXCR0	H'0000	H'0000	保持	保持	
	送信アクノリッジレジスタ 1	CAN1TXACK1	H'0000	H'0000	保持	保持	
	送信アクノリッジレジスタ 0	CAN1TXACK0	H'0000	H'0000	保持	保持	

22. コントローラエリアネットワーク 2 (HCAN2)

チャンネル	名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
						ハード による	ソフトによる /モジュール毎に よる
1	アボードアクノリッジレジスタ 1	CAN1ABACK1	H'0000	H'0000	保持	*	保持
	アボードアクノリッジレジスタ 0	CAN1ABACK0	H'0000	H'0000	保持		保持
	データフレーム受信待ちレジスタ 1	CAN1RXPR1	H'0000	H'0000	保持		保持
	データフレーム受信待ちレジスタ 0	CAN1RXPR0	H'0000	H'0000	保持		保持
	リモートフレーム受信待ちレジスタ 1	CAN1RFPR1	H'0000	H'0000	保持		保持
	リモートフレーム受信待ちレジスタ 0	CAN1RFPR0	H'0000	H'0000	保持		保持
	メールボックス割り込みマスクレジスタ 1	CAN1MBIMR1	H'FFFF	H'FFFF	保持		保持
	メールボックス割り込みマスクレジスタ 0	CAN1MBIMR0	H'FFFF	H'FFFF	保持		保持
	未読メッセージステータスレジスタ 1	CAN1UMSR1	H'0000	H'0000	保持		保持
	未読メッセージステータスレジスタ 0	CAN1UMSR0	H'0000	H'0000	保持		保持
	タイマカウンタレジスタ	CAN1TCNTR	H'0000	H'0000	保持		保持
	タイマコントロールレジスタ	CAN1TCR	H'0000	H'0000	保持		保持
	タイマコンペアマッチレジスタ	CAN1TCMR	H'0000	H'0000	保持		保持
	メールボックス 0	CAN1MB0	不定	不定	保持		保持
	メールボックス 1	CAN1MB1	不定	不定	保持		保持
	メールボックス 2	CAN1MB2	不定	不定	保持		保持
	メールボックス 3	CAN1MB3	不定	不定	保持		保持
	メールボックス 4	CAN1MB4	不定	不定	保持		保持
	メールボックス 5	CAN1MB5	不定	不定	保持		保持
	メールボックス 6	CAN1MB6	不定	不定	保持		保持
	メールボックス 7	CAN1MB7	不定	不定	保持		保持
	メールボックス 8	CAN1MB8	不定	不定	保持		保持
	メールボックス 9	CAN1MB9	不定	不定	保持		保持
	メールボックス 10	CAN1MB10	不定	不定	保持		保持
	メールボックス 11	CAN1MB11	不定	不定	保持		保持
	メールボックス 12	CAN1MB12	不定	不定	保持		保持
	メールボックス 13	CAN1MB13	不定	不定	保持		保持
	メールボックス 14	CAN1MB14	不定	不定	保持		保持
メールボックス 15	CAN1MB15	不定	不定	保持	保持		
メールボックス 16	CAN1MB16	不定	不定	保持	保持		
メールボックス 17	CAN1MB17	不定	不定	保持	保持		

22. コントローラエリアネットワーク 2 (HCAN2)

チャネル	名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
						ハード による	ソフトによる /モジュール毎に よる
1	メールボックス 18	CAN1MB18	不定	不定	保持	*	保持
	メールボックス 19	CAN1MB19	不定	不定	保持		保持
	メールボックス 20	CAN1MB20	不定	不定	保持		保持
	メールボックス 21	CAN1MB21	不定	不定	保持		保持
	メールボックス 22	CAN1MB22	不定	不定	保持		保持
	メールボックス 23	CAN1MB23	不定	不定	保持		保持
	メールボックス 24	CAN1MB24	不定	不定	保持		保持
	メールボックス 25	CAN1MB25	不定	不定	保持		保持
	メールボックス 26	CAN1MB26	不定	不定	保持		保持
	メールボックス 27	CAN1MB27	不定	不定	保持		保持
	メールボックス 28	CAN1MB28	不定	不定	保持		保持
	メールボックス 29	CAN1MB29	不定	不定	保持		保持
	メールボックス 30	CAN1MB30	不定	不定	保持		保持
	メールボックス 31	CAN1MB31	不定	不定	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

- *1 MCR15 = MCR = 1 でテストモードのときのみ書き込むことができます。
- *2 書き込みは、送信に設定されたメールボックスに対して 1 のみを書き込むことができます。
- *3 書き込み可能ですが無視されます。
- *4 メッセージコントロール、メッセージデータ、タイムスタンプ、LAFM は 16 ビットサイズでのみアクセスできます。メッセージデータエリアは 16 ビットまたは 8 ビットでアクセスできます。未使用のメールボックスは、RAM で構成されているためインアクティブ状態で初期化する必要があります。
- *5 未使用のメールボックスはメモリとして使用できます。しかしながら、メッセージ受信中にそれらメールボックスが ID の検索に参加するのを防いだり、最悪の場合、誤ったメッセージを格納してしまうことを避けるために MBC を B'111 としてメールボックスを無効にしてください。

22. コントローラエリアネットワーク 2 (HCAN2)

22.5.1 マスタコントロールレジスタ (CANMCR)

CANMCR は 16 ビットの読み出し / 書き込み可能なレジスタで、HCAN2 を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TST7	0	R/W	<p>テストモード</p> <p>このビットは、TST6~0 ビットによって設定されるテストモードを有効 / 無効にします。</p> <p>0 : HCAN2 はノーマルモード</p> <p>1 : HCAN2 はテストモード</p>
14	TST6	0	R/W	<p>ライト CAN エラーカウンタ</p> <p>このビットは TEC (送信エラーカウンタ)、REC (受信エラーカウンタ) を書き込み可能にします。TEC に書き込まれた値が、REC にも書き込まれます。TEC/REC に書き込むことができる最大値は D'255(H'FF)です。これは HCAN2 を強制的にバスオフ状態にできないことを示しています。TEC/REC に書き込む前に HCAN2 をホルトモードにする必要があります。また、TEC/REC に書き込むときは、TST7 ビットを 1 にセットしてください。</p> <p>0 : TEC/REC に書き込むことができません。読み出しのみ可能です。</p> <p>1 : TEC/REC に同じデータを書き込むことができます。</p>
13	TST5	0	R/W	<p>強制エラーパッシブ</p> <p>このビットは、エラーカウンタの値にかかわらず HCAN2 を強制的にエラーパッシブモードにします。</p> <p>0 : HCAN2 の状態はエラーカウンタによります。</p> <p>1 : HCAN2 はエラーカウンタにかかわらずエラーパッシブとなります。</p>
12	TST4	0	R/W	<p>自動アクノリッジモード</p> <p>セルフテストを有効にするために HCAN2 が自分自身のアクノリッジビットを生成することを許可します。セルフテストモードを行うために、送信されたメッセージはリードバックされる必要があります。リードバックには次の 2 つの設定があります。1 つ目は (内部ループ有効 = 1 & Tx 出力無効 = 1 & Rx 入力無効 = 1) を設定し、Tx の値が内部で Rx に供給されます。2 つ目は (内部ループ有効 = 0 & Tx 出力無効 = 0 & Rx 入力無効 = 0) を設定して CAN バス上で Tx と Rx を接続し、送信されたデータは CAN バスを利用して受信することができます。</p> <p>0 : HCAN2 は自分自身のアクノリッジを生成しません。</p> <p>1 : HCAN2 は自分自身のアクノリッジを生成します。</p>

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
11	TST3	0	R/W	<p>エラーカウンタ無効</p> <p>エラーカウンタ (TEC/REC) を有効 / 無効にします。このビットが無効に設定されるとエラーカウンタ (TEC/REC) は変化せずそのときの値を保持します。有効に設定されるとエラーカウンタ (TEC/REC) は CAN 仕様に従って動作します。</p> <p>0 : エラーカウンタ (TEC/REC) は CAN 仕様に従って動作します。</p> <p>1 : エラーカウンタ (TEC/REC) は変化せずそのときの値を保持します。</p>
10	TST2	0	R/W	<p>Rx 入力無効</p> <p>CAN インタフェースブロックに供給される Rx を制御します。本ビットが有効 ("0") に設定されると、Rx 端子の値が CAN インタフェースブロックに供給されます。無効に設定されると CAN インタフェースブロックの Rx 値は常にリセッピ値が保持されるか、または内部ループ有効 = 1 の場合は内部で接続された Tx の値になります。</p> <p>0 : 外部 Rx 端子の値が CAN インタフェースブロックに供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : CAN インタフェースブロックの Rx の値はリセッピ値を保持します。</p> <p>内部ループ有効 = 1 の場合 : CAN インタフェースブロックに対して内部で Tx の値を供給します。</p>
9	TST1	0	R/W	<p>Tx 出力無効</p> <p>送信データを出力するかまたはリセッピビットを出力するか Tx を制御します。本ビットが有効 ("0") に設定されると、内部の送信出力端子の値が Tx 端子に現れます。無効に設定されると CAN インタフェースブロックの Tx 値は常にリセッピ値が保持されます。</p> <p>0 : 外部 Tx 端子の値が CAN インタフェースブロックから供給されます。</p> <p>1 : 内部ループ有効 = 0 の場合 : Tx のリセッピ値を保持します。</p> <p>内部ループ有効 = 1 の場合 : Tx の値は内部 Rx から供給されます。</p>
8	TST0	0	R/W	<p>内部ループ有効</p> <p>内部 Tx から内部 Rx へのループバックを有効 ("1") / 無効 ("0") にします。詳細については、動作説明を参照してください。</p> <p>0 : Rx は Rx 端子から供給されます。</p> <p>1 : Rx は内部 Tx から供給されます。</p>
7	MCR7	0	R/W	<p>自動解除モード</p> <p>このビットはスリープモードの自動解除モードを有効 / 無効にします。本ビットが設定されると、HCAN2 は CAN バスのアクティブ状態 (ドミナントビット) を検出して自動的にスリープモード (MCR5) を解除します。MCR7 がセットされていないとき HCAN2 は自動的にスリープモードを解除しません。</p> <p>0 : CAN バスのアクティブの検出により自動的にスリープモードを解除しない</p> <p>1 : CAN バスのアクティブの検出により自動的にスリープモードを解除する</p>

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
6	-	0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に0にしてください。
5	MCR5	0	R/W	スリープモード スリープモードへの遷移を有効/無効にします。本ビットがセットされるとスリープモードが有効になります。HCAN2は、スリープモードになる前に現在のバスアクセスの終了を待ちます。このモードが終了するまでHCAN2はCANバスの動作を無視します。2つのエラーカウンタ(TEC/REC)はスリープモード中、値を保持します。スリープモードを解除するには2つの方法があります。 <ul style="list-style-type: none"> • このビットに0を書き込む • (MCR7が有効の場合) CANバス上のドミナントビットを検出 スリープモードを解除するときHCAN2は再起動前に11のリセッショビットをチェックすることでCANバスと同期を取ります。これは2番目の方法が使用されているときにHCAN2が最初メッセージを受信できないことを意味しますが、CANトランシーバも同じ特徴を持っているため、ソフトウェア設計の際にはこれを考慮する必要があります。 【注】 このモードはモジュールをホルトモードにしたリクロックを停止するのと同じです。これは、スリープモードに遷移するときに割り込みはIRR0から生成されることを意味します。スリープモード中はMPIブロック、すなわち、CANMCR/CANGSR/CANIRR/CANIMRだけがアクセス可能です。しかし、IRR1はスリープモード中にクリアすることができない信号とORをとっているからです。したがって、最初にホルトモードを設定してからスリープモードに遷移することを推奨します。 0: HCAN2スリープモードが解除されています。 1: HCAN2スリープモードへの遷移が有効です。
4、3	-	すべて0	R	リザーブビット 初期値を保持してください。初期値を変更した場合の動作は保証されません。
2	MCR2	0	R/W	メッセージ送信プライオリティ このビットは送信待ちデータの送信順序を選択します。このビットをセットした場合、送信データは送信待ちレジスタ(CANTXPR)のビット順で送信されます。送信はメールボックス31を最優先で開始し、メールボックス1まで続けます(メールボックスが送信用に設定されている場合)。このビットがクリアされると、すべての送信メッセージは優先順位どおりキューに入ります。最優先のメッセージは、アービトレーションフィールドの値が最小であり、最初に送信されます。内部アービトレーションは、RTRビットとIDEビットを含みます。 0: メッセージID優先順に送信 1: メールボックス番号順(メールボックス31 メールボックス1)に送信

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>このビットをセットすると CAN コントローラは現在の動作を終了し CAN バスを切り離します。HCAN2 は、このビットがクリアされるまでホルトモードのままになります。ホルトモード中、CAN インタフェースは CAN バス動作に関係せず、メッセージの受信や送信を行いません。すべてのレジスタとメールボックスの内容は保持されます。HCAN2 が送信や受信を行っている場合、その動作を終了した後ホルトモードに入ります。CAN バスがアイドルかインターミッション状態の場合、HCAN2 はただちにホルトモードになります。ホルトモードになると IRR0 と GSR4 によって通知されます。バスオフ中にホルトリクエストされると HCAN2 は 11 のリセッピットを 128 回検出した後もバスオフのまま保持します。この状態を解除するにはホルト状態がソフトウェアによって解除される必要があります。</p> <p>ホルトモード中はバス動作に関係しないため、HCAN2 の設定を変えられません。CAN バス動作に再び参加するには、このビットが 0 にクリアされる必要があります。クリア後、CAN インタフェースは 11 のリセッピットが検出されるまで待ち、CAN バスに参加します。</p> <p>0 : 通常動作 1 : ホルトモード遷移リクエスト</p>
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>HCAN2 モジュールのリセットを制御します。リセットリクエストを検出後、HCAN2 コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードに入ったことを通知するため GSR3 と IRR0 をセットします。再初期化中、すべてのレジスタがクリアされます。</p> <p>このビットは CAN バスに参加するためには、0 を書き込んでクリアされなければなりません。クリア後、HCAN2 を再設定し、11 のリセッピットの検出を待たねばなりません。それから CAN バスに参加できます。</p> <p>パワーオンリセット後、このビットと GSR3 は常にセットされます。これは、リセットリクエストが設定され、HCAN2 がコンフィグレーションモードに入っていることを示します。</p> <p>0 : CAN インタフェースノーマルモード (MCR0=0 かつ GSR3=0) 設定条件 : HCAN2 リセット後 0 が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

22.5.2 ジェネラルステータスレジスタ (CANGSR)

CANGSR は 16 ビットの読み出し専用レジスタで、HCAN2 のステータスを表示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
15-6	-	すべて 0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。
5	GSR5	0	R/W	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。このビットは HCAN2 がエラーパッシブ状態になるとすぐにセットされ、エラーアクティブ状態になるとクリアされます。これは、このビットがエラーパッシブ中とバスオフ中は、ハイレベルを保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0 : HCAN2 はエラーパッシブではありません。 設定条件 : HCAN2 がエラーアクティブ状態の間 1 : HCAN2 がエラーパッシブです。(ただし、GSR0 = 0 の場合) 設定条件 : TEC ≥ 128 または REC ≥ 128 のとき
4	GSR4	0	R/W	ホルト / スリープステータス CAN インタフェースがホルト / スリープ状態かどうかを示します。 0 : HCAN2 はホルトモードでもスリープモードでもありません。 1 : ホルトモード (MCR1 = 1 の場合) またはスリープモード (MCR5 = 1 の場合) です。 設定条件 : MCR1 がセットされ、CAN バスがインタミッションまたはアイドルの場合
3	GSR3	1	R/W	リセットステータス CAN インタフェースがリセット状態 (コンフィギュレーションモード) かどうかを示します。 0 : 通常動作 設定条件 : HCAN2 内部リセット完了後 1 : リセット状態 (コンフィギュレーションモード)
2	GSR2	1	R/W	メッセージ送信終了フラグ HCAN2 が送信リクエスト処理中か終了しているかを CPU に示します。本ビットは CANTXPR のすべてのビットを論理和 (OR) した値です。スロットエンプティ (IRR8) との違い (IRR8 は CANTXACK/CANABACK のすべてのビットの論理和 (OR) です) にご注意ください。 0 : 送信処理中です。 1 : 送信リクエスト中のメッセージはありません。
1	GSR1	0	R/W	送信 / 受信ウォーニングフラグ エラーウォーニングを示します。 0 : リセット条件 : TEC < 96 または REC < 96 または TEC ≥ 256 のとき 1 : 96 ≤ TEC < 256 または 96 ≤ REC < 256 のとき
0	GSR0	0	R/W	バスオフフラグ HCAN2 がバスオフ状態であることを示します。 0 : リセット条件 : バスオフ状態からの復帰 1 : TEC ≥ 256 (バスオフ状態)

22.5.3 ビットコンフィギュレーションレジスタ 1、0 (CANBCR1、CANBCR0)

CANBCR は 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのポーレートプリスケアラを設定します。

以下、タイムクオンタムを以下のとおり定義します。

$$\text{タイムクオンタ} = \text{BRP} / \text{fclk}$$

ここで、BRP (ポーレートプリデバイダ) は CANBCR0 に格納されている値、fclk は周辺クロックの周波数とします。

- CANBCR1

TSEG1 と TSEG2 の設定については、表 22.5 を参照してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSEG1_3	TSEG1_2	TSEG1_1	TSEG1_0	-	TSEG2_2	TSEG2_1	TSEG2_0	-	-	SJW1	SJW0	-	-	EG	BSP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TSEG1_3	0	R/W	タイムセグメント 1
14	TSEG1_2	0	R/W	出力バッファアプソーピング、CAN バス、インプットバッファディレイのセグメントを設定します。4~16 タイムクオンタムが設定できます。
13	TSEG1_1	0	R/W	
12	TSEG1_0	0	R/W	0000 : 設定禁止 (本ビットの設定値を必ず初期値から変更してください) 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタム 0100 : PRSEG + PHSEG1 = 5 タイムクオンタム : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタム
11	-	0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。

22. コントローラエリアネットワーク 2 (HCAN2)

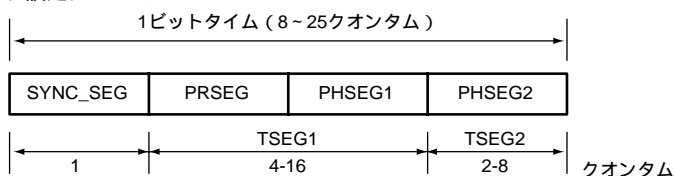
ビット	ビット名	初期値	R/W	説明
10 9 8	TSEG2_2 TSEG2_1 TSEG2_0	0 0 0	R/W R/W R/W	<p>タイムセグメント 2</p> <p>1 ビットタイムエラー訂正のセグメントを設定します。2~8 タイムクオンタムが設定できます。</p> <p>000 : 設定禁止 (本ビットの設定値を必ず初期値から変更してください)</p> <p>001 : PHSEG2 = 2 タイムクオンタム (条件によっては設定禁止です。表 22.2 を参照してください。)</p> <p>010 : PHSEG2 = 3 タイムクオンタム</p> <p>011 : PHSEG2 = 4 タイムクオンタム</p> <p>100 : PHSEG2 = 5 タイムクオンタム</p> <p>101 : PHSEG2 = 6 タイムクオンタム</p> <p>110 : PHSEG2 = 7 タイムクオンタム</p> <p>111 : PHSEG2 = 8 タイムクオンタム</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は保証されません。書き込む値は常に 0 にしてください。</p>
5 4	SJW1 SJW0	0 0	R/W R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 1 タイムクオンタム</p> <p>01 : 2 タイムクオンタム</p> <p>10 : 3 タイムクオンタム</p> <p>11 : 4 タイムクオンタム</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は保証されません。書き込む値は常に 0 にしてください。</p>
1	EG	0	R/W	<p>エッジ選択</p> <p>再同期に使用するエッジを選択します。標準の CAN 仕様に従う場合 0 を選択してください。</p> <p>0 : 再同期は Rx の立ち下がりがエッジで行われます。</p> <p>1 : 再同期は Rx の立ち下がりと立ち上がりの両エッジで行われます。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。BRP が 4 未満の場合にのみ、3 回のサンプリングが可能です。</p> <p>0 : 1 か所でビットサンプリングが行われます。(タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます。(タイムセグメント 1 の最後とその前後 1 タイムクオンタム)</p>

• CANBCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に0にしてください。
7~0	BRP7~0	すべて0	R/W	ポーレートプリスケール 1 タイムクオンタムを設定します。 00000000 : 1 × 周辺クロック 00000001 : 2 × 周辺クロック 00000010 : 3 × 周辺クロック : (BRP + 1) × 周辺クロック 11111111 : 256 × 周辺クロック

• ビットタイミング設定について



SYNC_SEG : CAN バス上のノードの同期を確立するセグメント(通常のビットエッジ遷移がこのセグメントで発生します。)

PRSEG : ネットワーク間での物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト(正方向)のバッファセグメント(同期または再同期の際、拡張されます。)

PHSEG2 : フェーズドリフト(負方向)のバッファセグメント(同期または再同期の際、拡張されます。)

HCAN2 ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = \text{fclk} / \{\text{BRP} \times (\text{TSEG1} + \text{TSEG2} + 1)\}$$

ここで、BRP、TSEG1、TSEG2 は上述の表で述べられている値です(設定値ではありません)。1 は SYNC_SEG で、1 タイムクオンタムに固定されています。

$$\text{fclk} = \text{Pck} (\text{周辺クロック} (\text{Pck}/2 \text{または} \text{Pck}/3))$$

BCR 設定は以下を満足するように設定してください。

$$\text{TSEG1} > \text{TSEG2} \geq \text{SJW} \quad (\text{SJW} = 1 \sim 4)$$

$$\text{TSEG1} + \text{TSEG2} + 1 = 8 \sim 25 \text{ タイムクオンタム}$$

22. コントローラエリアネットワーク 2 (HCAN2)

CANBCR1 で TSEG1 と TSEG2 は表 22.5 に示される設定値が上述の設定を満足します。

表 22.5 TSEG1 と TSEG2 の設定値

			TSEG2 (CANBCR1 のビット 10 - 8)							
			001	010	011	100	101	110	111	
			2	3	4	5	6	7	8	
TSEG1 (CANBCR1 のビット 15 ~ 12)	0011	4	No	Yes	No	No	No	No	No	No
	0100	5	Yes	Yes	Yes	No	No	No	No	No
	0101	6	Yes	Yes	Yes	Yes	No	No	No	No
	0110	7	Yes	Yes	Yes	Yes	Yes	No	No	No
	0111	8	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
	1000	9	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1001	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1010	11	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1011	12	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1100	13	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1101	14	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1110	15	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
1111	16	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	

例：

1. クロック周波数fclkが40MHzでビットレートを1Mbpsの場合、BRP = 4、TSEG1 = 6、TSEG2 = 3が条件を満たします。この場合、CANBCR1にはH'5200、CANBCR0にはH'0003を書き込むことになります。
2. クロック周波数fclkが35MHzでビットレートを500kbpsの場合、BRP = 5、TSEG1 = 8、TSEG2 = 5が条件を満たします。この場合、CANBCR1にはH'7400、CANBCR0にはH'0004を書き込むことになります。

22.5.4 割り込みリクエストレジスタ (CANIRR)

CANIRR は 16 ビットの読み出し / 書き込み可能なレジスタで、割り込みのステータスフラグです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IRR14	IRR13	IRR12	-	-	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。
14	IRR14	0	R/W	タイマコンペアマッチ割り込み CANTCMR のコンペアマッチ条件が発生したことを示します。CANTCMR が H'0000 のときこのビットはセットされません。 0: タイマコンペアマッチが CANTCMR に発生していません。 クリア条件: 1 を書き込む 1: タイマコンペアマッチが CANTCMR に発生しています。 セット条件: CANTCMR がタイマ値に一致 (CANTCMR = CANTCNR)
13	IRR13	0	R/W	タイマオーバラン割り込み タイマがオーバランし、0 にリセットされたことを示します。 0: タイマはオーバランしていません。 クリア条件: 1 を書き込む 1: タイマがオーバランしています。 セット条件: CANTCNR が H'FFFF から H'0000 に変化
12	IRR12	0	R/W	バスアクティビティ起動 CAN バスアクティビティの存在を示します。HCAN2 がスリープモードで、リセッシブからドミナントへのビット遷移が CAN バス上で行われると、本ビットはセットされます。本割り込み動作の設定はマスタコントロールレジスタ (CANMCR) で設定します (MCR 7: 自動解除モード)。このビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。 0: バスアイドル状態 クリア条件: 1 を書き込む 1: CAN バスアクティビティが HCAN2 スリープモードで検出 セット条件: スリープモード中にリセッシブからドミナントへのビット遷移を検出
11, 10	-	すべて 0	R	リザーブビット 読み出し値は保証されません。書き込む値は常に 0 にしてください。

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R/W	<p>メッセージオーバーラン / オーバライト 割り込みフラグ</p> <p>メッセージが受信されましたが、CANRXPR または CANRFPR が 1 にセットされているためメールボックス内にあるメッセージが読み出されていないことを示します。新しく受信されたメッセージは NMC (ニューメッセンジコントロール) の設定によって捨てられる (オーバーラン) が、上書きされます。このビットは CANUMSR (未読メッセージステータスレジスタ) の対応するビットに 1 を書き込むことでクリアされます。0 を書き込むと無視されます。</p> <p>0 : オーバラン / オーバライトのメッセージはありません。</p> <p>クリア条件 : CANUMSR のすべてのビットをクリア</p> <p>1 : 受信メッセージがオーバーランし格納が拒否されたかメッセージが上書きされました。</p> <p>セット条件 : CANPXPR か CANRFPR が 1 にセットされ CANMBIMR = 0 のときにメッセージを受信</p>
8	IRR8	0	R/W	<p>メールボックスエンプティ 割り込みフラグ</p> <p>メッセージの送信または送信キャンセルが正常終了し、メールボックスが次の送信用メッセージデータを受け入れる準備ができていないことを示します。このビットは CANTXPR のうち少なくとも 1 ビットがクリアされるとセットされます。このビットは CANTXACK と CANABACK ビットの論理和 (OR) の値がセットされます。したがって CANTXACK と CANABACK のすべてのビットがクリアされると自動的にこのビットもクリアされます。0 を書き込むと無視されます。このビットは GSR2 と異なり、すべての CANTXPR ビットがリセットされることを意味しないことに注意してください。</p> <p>0 : メッセージの送信または送信キャンセルの処理中ではありません。</p> <p>クリア条件 : CANTXACK と CANABACK ビットのすべてがクリア</p> <p>1 : メッセージが送信またはアボートされ新しいメッセージが格納可能です。</p> <p>セット条件 : 送信完了または送信アボート完了 (CANMBIMR = 0 の場合 CANTXACK または CANABACK のビットがセット) により CANTXPR の 1 つのビットがクリアされたとき。</p>
7	IRR7	0	R/W	<p>オーバロードフレーム</p> <p>HCAN2 がオーバロードフレームを送信したことを示します。このビットに 1 を書き込むことでリセットされるまでラッチされた状態を保持します。0 を書き込むと無視されます。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : セット条件 : オーバロードフレームが送信</p>

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>HCAN2 がバスオフ状態になったときまたは、バスオフ状態を解除しエラーアクティブに戻ったとき、このビットはセットされます。これはノードの $TEC \geq 256$ またはバスオフの状態でのリセッスビットを 128 回受信したという条件が存在しているためです。このビットは HCAN2 ノードがバスオフを解除してもラッチされ続けるので、ソフトウェアでクリアする必要があります。HCAN2 がバスオフかエラーアクティブかを判定するには GSR0 を読み出してください。ノードがバスオフ状態だとしても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : 送信エラーによるバスオフ状態またはバスオフから復帰したエラーアクティブ状態</p> <p>セット条件 : $TEC \geq 256$ またはバスオフ状態で 11 のリセッスビットを 128 回受信したとき</p>
5	IRR5	0	R/W	<p>エラーバッシブ割り込みフラグ</p> <p>送信または受信エラーカウンタによるエラーバッシブ状態を示します。1 を書き込むとクリアされます。0 を書き込むと無視されます。このビットをクリアしてもノードはエラーバッシブのままになります。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : 送受信エラーによるエラーバッシブ状態</p> <p>セット条件 : $TEC \geq 128$ または $REC \geq 128$ のとき</p>
4	IRR4	0	R/W	<p>受信オーバーロードウォーニング割り込みフラグ</p> <p>受信エラーカウンタ (REC) が 96 を超えた場合、このビットはセットされラッチされます。1 を書き込むとクリアされます。0 を書き込むと無視されます。割り込みがクリアされても REC は元の 96 より大きい値を保持します。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : 受信エラーによるエラーウォーニング状態</p> <p>セット条件 : $REC \geq 96$ のとき</p>
3	IRR3	0	R/W	<p>送信オーバーロードウォーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 96 を超えた場合、このビットはセットされラッチされます。1 を書き込むとクリアされます。0 を書き込むと無視されます。割り込みがクリアされても TEC は元の (96 より大きい) 値を保持します。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : 送信エラーによるエラーウォーニング状態</p> <p>セット条件 : $TEC \geq 96$ のとき</p>

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>リモートフレームがメールボックスに受信されたことを示します。本ビットは少なくともひとつの受信メールボックスにリモートフレームリクエストが格納された場合にセットされます。リモートフレーム受信待ちレジスタ (CANRFPR) のすべてのビットがクリアされることによってこのビットもクリアされます。書き込むと無視されます。</p> <p>0 : クリア条件 : CANRFPR のすべてのビットをクリア 1 : 少なくともひとつのリモートリクエストを受信しました セット条件 : リモートフレームが受信され対応する CANMBIMR が 0</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>データフレームがメールボックスに受信されたことを示します。本ビットは少なくともひとつの受信メールボックスに受信したデータフレームが格納された場合にセットされます。データフレーム受信待ちレジスタ (CANRXPR) のすべてのビットがクリアされると (どの受信メールボックスにも受信したデータフレームがない)、このビットもクリアされます。書き込むと無視されます。</p> <p>0 : クリア条件 : CANRXPR のすべてのビットをクリア 1 : データフレームが受信されメールボックスに格納 セット条件 : データが受信され対応する CANMBIMR が 0</p>
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ</p> <p>CAN インタフェースがリセットまたはホルトされていて、現在 HCAN2 がコンフィギュレーションモードがスリープモードであることを示します。MCR0 (ソフトウェアリセット) または、MCR1 (ホルト)、MCR5 (スリープ) リクエストが発生する場合 CPU に HCAN2 の状態の変化を通知するため割り込みが本ビットを使用して生成されます。HCAN2 の状態を知るためにこのビットがセットされた後に GSR を読み出すこともできます。</p> <p>【重要】スリープモードリクエストが必要な場合、あらかじめホルトモードを使用してください。詳細は MCR5 を参照してください。</p> <p>0 : クリア条件 ; 1 を書き込む 1 : ソフトウェアリセットモード、ホルトモード、スリープモードへの遷移 セット条件 : MCR0、MCR1、または MCR5 ビットがリクエストされてから、リセット/ホルト処理が終了したとき</p>

22.5.5 割り込みマスクレジスタ (CANIMR)

CANIMR は 16 ビットのレジスタで CANIRR の対応する割り込みが IRQ 上に発生するのをマスクします。対応するビットが 1 に設定されていると割り込みリクエストはマスクされます。本レジスタはいつでも読み出し / 書き込みできます。CANIMR は直接割り込みの生成を制御しますが CANIRR の対応するビットの設定を制御するわけではありません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IMR14	IMR13	IMR12	-	-	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、11、10	-	すべて 1	R	リザーブビット 書き込む値は常に 1 にしてください。読み出し値は保証されません。
14~12、9~0	IMR14~12、9~0	すべて 1	R/W	対応する CANIRR14~12、9~0 ビットの割り込みをマスクします。このビットがセットされると、CANIRR ビットの設定は保持されますが割り込みはマスクされます。 0: 対応する CANIRR ビットはマスクされません。(IRQ が条件に従って生成されます。) 1: 対応する CANIRR ビットの割り込みがマスクされます。

22.5.6 送信エラーカウンタ / 受信エラーカウンタ (CANTECREC)

CANTECREC は、16 ビットの読み出し (書き込み) レジスタで CAN インタフェース上の送受信メッセージエラー数を示す、送信エラーカウンタ (TEC) と受信エラーカウンタ (REC) です。カウント値は CAN 仕様 (CAN Specification Version 2.0, Robert Bosch GmbH, 1991 および Implementation Guide for the CAN protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany) に規定されています。通常モードでは、本レジスタは読み出し専用で CAN インタフェースによってのみ書き換えられます。また、MCR0 ビットまたはバスオフによってクリアできます。

テストモード (MCR[15]=MCR[14]=1) では、このレジスタに書き込むことができます。TEC と REC には同じ値しか書き込むことができません。TEC に設定した値が TEC と REC に書き込まれます。このレジスタに書き込むとき、HCAN2 はホルトモードでなければなりません。この機能はテスト用に限定されます。

22. コントローラエリアネットワーク 2 (HCAN2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	TEC7~0	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタ値がインクリメントされます。
7~0	REC7~0	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタ値がインクリメントされます。

【注】 MCR15 = MCR14 = 1 でテストモードのときのみ書き込むことができます。

22.5.7 送信待ちレジスタ 1、0 (CANTXPR1、CANTXPR0)

CANTXPR は 16 ビットの読み出し / 条件付き書き込みレジスタで CAN モジュールの送信待ちフラグを示します。CANTXPR1 はメールボックス 31 ~ 16 を制御し、CANTXPR0 はメールボックス 15 ~ 1 を制御します。ホスト CPU は対応するビットに 1 を書き込むことでメールボックスに格納した送信メッセージを送信待ち状態にします。送信をするメッセージを有効にするため CANTXPR を設定することができます。0 を書き込むと無視されます。CANTXPR は 0 を書き込んででもクリアされません。対応する CANTXCR を設定してクリアしてください。送信待ち状態かどうかを CPU が判断するために CANTXPR を読み出すこともあります。メールボックス 0 以外のすべてのメールボックスに対して送信待ちビットがあります。メールボックスが受信に設定されているとき 1 を書き込んででも無視されます。送信のための内部アービトレーションが行われるときに自動的にクリアされます。

対応するメッセージの送信が正常終了後または、送信アボートが CANTXCR から正常にリクエストされる時、HCAN2 が送信待ちフラグをクリアします。CAN ノードがアービトレーション処理をロストするか、または CAN バス上のエラーによってメッセージが送信されない場合 CANTXPR はクリアされず、対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ HCAN2 は自動的に再送信を試みます。DART ビットがセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (CANABACK) の対応するビットを使用して通知されます。

CANTXPR が変化する場合、バスアービトレーションをロストしたり CAN バス上にエラーがあっても、ID の優先順位 (MCR2 = 0) で設定されたとおりに最優先のメッセージが一番先に送信されるよう常に正しい処理を HCAN2 は確実に行います。詳細については「22.6 動作説明」を参照してください。

HCAN2 が TXPR を 0 にする場合、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージ送信が正常終了した場合は、CANTXACK に示され、メッセージ送信がアボートされた場合は CANABACK に示されます。これらのレジスタを確認することによって対応するメールボックスのメッセージデータフィールドの内容が次の送信用の準備のために書き換えられます。

• CANTXPR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TXPR1 _15	TXPR1 _14	TXPR1 _13	TXPR1 _12	TXPR1 _11	TXPR1 _10	TXPR1 _9	TXPR1 _8	TXPR1 _7	TXPR1 _6	TXPR1 _5	TXPR1 _4	TXPR1 _3	TXPR1 _2	TXPR1 _1	TXPR1 _0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1 [15:0]	すべて0	R/W*	<p>対応するメールボックスへCANフレームを送信するようにリクエストを出します。ビット15~0がメールボックス31~16にそれぞれ対応します。複数のビットをセットすると、送信順はMCR2 (IDまたはメールボックス番号順) によって決まります。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 クリア条件: メッセージ送信またはメッセージ送信アポートが完了したとき (自動クリア)</p> <p>1: 対応するメールボックスに送信リクエストをする</p>

【注】 * 送信用に設定されたメールボックスに対して1のみを書き込むことができます。

• CANTXPRO

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TXPRO _15	TXPRO _14	TXPRO _13	TXPRO _12	TXPRO _11	TXPRO _10	TXPRO _9	TXPRO _8	TXPRO _7	TXPRO _6	TXPRO _5	TXPRO _4	TXPRO _3	TXPRO _2	TXPRO _1	-
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

ビット	ビット名	初期値	R/W	説明
15~1	TXPRO [15:1]	すべて0	R/W*	<p>CANフレームを送信するように対応するメールボックスへリクエストを出します。ビット15~1がメールボックス15~1にそれぞれ対応します。複数のビットをセットすると、送信順はMCR2 (IDまたはメールボックス番号順) によって決まります。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 クリア条件: メッセージ送信またはメッセージ送信アポートが完了したとき (自動クリア)</p> <p>1: 対応するメールボックスへ送信リクエストする</p>
0	-	0	R	<p>リザーブビット</p> <p>メールボックスが受信のみなので、このビットは常に0です。0を書き込んでも無視されます。読み出し値は保証されません。</p>

【注】 * 送信用に設定されたメールボックスに対して1のみを書き込むことができます。

22.5.8 送信キャンセルレジスタ 1、0 (CANTXCR1、CANTXCR0)

CANTXCR は 16 ビットの読み出し / 条件付き書き込みレジスタです。CANTXCR1 はメールボックス 31 ~ 16 を制御し、CANTXCR0 はメールボックス 15 ~ 1 を制御します。このレジスタは、ホスト CPU が CANTXPR に設定されている送信リクエストをキャンセルするために使用されます。CANTXPR の対応するビットをクリアするためには、CPU から対応する CANTXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アポートが正常に行われると、CAN コントローラは対応する CANTXPR と CANTXCR のビットをクリアし、CANABACK のビットをセットします。しかし、いったん、メールボックスが送信を開始すると、このビットでキャンセルすることはできません。この場合、送信が正常終了すると CAN コントローラは CANTXPR と CANTXCR のビットをクリアし、CANTXACK のビットを設定します。アービトレーションロストやバス上のエラーによって送信が失敗すると、CAN コントローラは対応する CANTXPR と CANTXCR のビットをクリアし、CANABACK のビットをセットします。ホスト CPU によって送信待ち状態ではないメールボックス送信をクリアしようとしても無視され、送信のための内部アービトレーションが動作するとき自動的にクリアされます。

- CANTXCR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TXCR1 _15	TXCR1 _14	TXCR1 _13	TXCR1 _12	TXCR1 _11	TXCR1 _10	TXCR1 _9	TXCR1 _8	TXCR1 _7	TXCR1 _6	TXCR1 _5	TXCR1 _4	TXCR1 _3	TXCR1 _2	TXCR1 _1	TXCR1 _0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1 [15:0]	すべて 0	R/W*	送信キューにあるメールボックスの送信キャンセルをリクエストします。ビット 15~0 がメールボックス 31~16、TXPR1[15:0]にそれぞれ対応します。 0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 クリア条件: 送信メッセージキャンセルが完了したとき (自動クリア) 1: 対応するメールボックスの送信キャンセルをリクエスト

【注】 * 送信用に設定されたメールボックスが送信待ち状態のとき、1 のみを書き込むことができます。

- CANTXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0 _15	TXCR0 _14	TXCR0 _13	TXCR0 _12	TXCR0 _11	TXCR0 _10	TXCR0 _9	TXCR0 _8	TXCR0 _7	TXCR0 _6	TXCR0 _5	TXCR0 _4	TXCR0 _3	TXCR0 _2	TXCR0 _1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0 [15:1]	すべて 0	R/W*	送信キューにあるメールボックスの送信キャンセルをリクエストします。ビット 15~1 がメールボックス 15~1、TXPR0[15:1]にそれぞれ対応します。 0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 クリア条件: 送信メッセージキャンセルが完了したとき (自動クリア) 1: 対応するメールボックスの送信キャンセルをリクエスト
0	-	0	R	リザーブビット メールボックスが受信のみなので、このビットは常に 0 です。0 を書き込んでも無視されます。読み出し値は常に 0 です。

【注】 * 送信に設定されたメールボックスが送信待ち状態のとき、1 のみを書き込むことができます。

22.5.9 送信アクノリッジレジスタ 1、0 (CANTXACK1、CANTXACK0)

CANTXACK は 16 ビットの読み出し / 条件付き書き込みレジスタです。このレジスタはメールボックスの送信が正常に行われたことを CPU に通知します。送信が正常終了したときに HCAN2 が CANTXACK の対応するビットをセットします。ホスト CPU は 1 を書き込むことで CANTXACK のビットをクリアすることができます。0 を書き込むと無視されます。

- CANTXACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1 _15	TXACK1 _14	TXACK1 _13	TXACK1 _12	TXACK1 _11	TXACK1 _10	TXACK1 _9	TXACK1 _8	TXACK1 _7	TXACK1 _6	TXACK1 _5	TXACK1 _4	TXACK1 _3	TXACK1 _2	TXACK1 _1	TXACK1 _0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TXACK1 [15:0]	すべて 0	R/W*	対応するメールボックスのリクエストされた送信が正常に終了したことを通知します。ビット 15~0 がメールボックス 31~16 にそれぞれ対応します。 0: クリア条件: 1 を書き込む 1: 対応するメールボックスがメッセージ (データまたはリモートフレーム) を正常送信しました。 セット条件: 対応するメールボックスのメッセージ送信終了

【注】 * クリアする場合に、1 のみを書き込むことができます。

22. コントローラエリアネットワーク 2 (HCAN2)

• CANTXACK0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	TXACK0	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0 [15:1]	すべて 0	R/W*	対応するメールボックスのリクエストされた送信が正常に終了したことを通知します。ビット 15~1 がメールボックス 15~0 にそれぞれ対応します。 0 : クリア条件 : 1 を書き込む 1 : 対応するメールボックスがメッセージ (データまたはリモートフレーム) を正常送信しました。 セット条件 : 対応するメールボックスのメッセージ送信終了
0	-	0	R	リザーブビット メールボックスが受信のみなので、このビットは常に 0 です。0 を書き込んでも無視されます。読み出し値は常に 0 です。

【注】 * クリアする場合に、1 のみを書き込むことができます。

22.5.10 アポートアクノリッジレジスタ 1、0 (CANABACK1、CANABACK0)

CANABACK は 16 ビットの読み出し / 条件付き書き込みレジスタです。このレジスタはメールボックスの送信がアポートされたことを、そのリクエストごとに CPU に通知します。アポートが正常終了したときに HCAN2 が CANABACK の対応するビットをセットします。ホスト CPU は 1 を対応するビットに書き込むことで CANABACK のビットをクリアすることができます。0 を書き込むと無視されます。対応する CANTXCR のビットによって CANTXPR のビットがクリアされたことを HCAN2 が CANABACK のビットをセットすることにより通知します。

• CANABACK1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1	ABACK1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	ABACK1 [15:0]	すべて 0	R/W*	対応するメールボックスのリクエストされた送信キャンセルが正常に終了したことを通知します。ビット 15~0 がメールボックス 31~16 にそれぞれ対応します。 0 : クリア条件 : 1 を書き込む 1 : 対応するメールボックスのメッセージ (データまたはリモートフレーム) が正常にキャンセルされました。 セット条件 : 対応するメールボックスの送信キャンセル終了

【注】 * クリアする場合に、1 のみを書き込むことができます。

- CANABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0 _15	ABACK0 _14	ABACK0 _13	ABACK0 _12	ABACK0 _11	ABACK0 _10	ABACK0 _9	ABACK0 _8	ABACK0 _7	ABACK0 _6	ABACK0 _5	ABACK0 _4	ABACK0 _3	ABACK0 _2	ABACK0 _1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0 [15:1]	すべて 0	R/W*	<p>対応するメールボックスのリクエストされた送信キャンセルが正常に終了したことを通知します。ビット 15~1 がメールボックス 15~1 にそれぞれ対応します。</p> <p>0 : クリア条件 : 1 を書き込む</p> <p>1 : 対応するメールボックスのメッセージ (データまたはリモートフレーム) が正常にキャンセルされました。</p> <p>セット条件 : 対応するメールボックスの送信キャンセル終了</p>
0	-	0	R	<p>リザーブビット</p> <p>メールボックスが受信のみなので、このビットは常に 0 です。0 を書き込んでも無視されます。読み出し値は常に 0 です。</p>

【注】 * クリアする場合に、1 のみを書き込むことができます。

22.5.11 データフレーム受信待ちレジスタ 1、0 (CANRXPR1、CANRXPR0)

CANRXPR は 16 ビットの読み出し / 条件付き書き込みレジスタです。CANRXPR は受信用に設定されたメールボックスにデータフレームを受信したことを示すフラグです。CAN データフレームが正常に受信メールボックスに格納されると、CANRXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無視されます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によって受信データフレームに設定されている場合のみこのビットはセットされます。CANRXPR がセットされると、CANMBIMR がセットされていない場合 IRR1 (データフレーム受信割り込みフラグ) もセットされ IMR1 がセットされていなければ割り込み信号が生成されます。これらのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。もし、あるデータフレームがリモートフレームによりオーバーラン / オーバライトされたときまたその逆のときには、CANUMSR、CANRXPR、CANRFPR は同一のメールボックスに対してセットされます。この場合、アプリケーションはメールボックスの性能を理解するためにメールボックスコントロールフィールド内の RTR ビットをチェックする必要があります。結果として CANUMSR がセットされたときは CANRXPR と CANRFPR もチェックされなければならず、必要であればクリアされなければなりません。

22. コントローラエリアネットワーク 2 (HCAN2)

• CANRXPR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR1 _15	RXPR1 _14	RXPR1 _13	RXPR1 _12	RXPR1 _11	RXPR1 _10	RXPR1 _9	RXPR1 _8	RXPR1 _7	RXPR1 _6	RXPR1 _5	RXPR1 _4	RXPR1 _3	RXPR1 _2	RXPR1 _1	RXPR1 _0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	RXPR1 [15:0]	すべて0	R/W*	メールボックス 31~16 に対応する受信メールボックスを設定できます。 0: クリア条件: 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信しました。 セット条件: 対応するメールボックスにデータフレームを受信終了

【注】 * クリアする場合に、1のみを書き込むことができます。

• CANRXPR0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR0 _15	RXPR0 _14	RXPR0 _13	RXPR0 _12	RXPR0 _11	RXPR0 _10	RXPR0 _9	RXPR0 _8	RXPR0 _7	RXPR0 _6	RXPR0 _5	RXPR0 _4	RXPR0 _3	RXPR0 _2	RXPR0 _1	RXPR0 _0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0 [15:0]	すべて0	R/W*	メールボックス 15~0 に対応する受信メールボックスを設定できます。 0: クリア条件: 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信しました。 セット条件: 対応するメールボックスにデータフレームを受信終了

【注】 * クリアする場合に、1のみを書き込むことができます。

22.5.12 リモートフレーム受信待ちレジスタ 1、0 (CANRFPR1、CANRFPR0)

CANRFPR は 16 ビットの読み出し / 条件付き書き込みレジスタです。CANRFPR は受信用に設定されたメールボックスにリモートフレームを受信したことを示すフラグです。CAN リモートフレームが正常に受信メールボックスに格納されると、CANRFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無視されます。すべてのメールボックスに対応してビットがあります。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によって受信リモートフレームに設定されている場合のみこのビットはセットされます。CANRFPR がセットされると、CANMBIMR がセットされていない場合 IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、IMR2 がセットされていない場合割り込み信号が生成されます。これらのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。もし、あるデータフレームがリモートフレームによりオーバーラン / オーバライトされたときまたその逆のときには、CANUMSR、CANRXPR、CANRFPR は同一のメールボックスに対してセットされます。この場合、アプリケーションはメールボックスの性能を理解するためにメールボックスコントロールフィールド内の RTR ビットをチェックする必要があります。結果として CANUMSR がセットされたときは CANRXPR と CANRFPR もチェックされなければならず、必要であればクリアされなければなりません。

• CANRFPR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1 _15	RFPR1 _14	RFPR1 _13	RFPR1 _12	RFPR1 _11	RFPR1 _10	RFPR1 _9	RFPR1 _8	RFPR1 _7	RFPR1 _6	RFPR1 _5	RFPR1 _4	RFPR1 _3	RFPR1 _2	RFPR1 _1	RFPR1 _0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15-0	RFPR1 [15:0]	すべて 0	R/W*	メールボックス 31-16 に対応するリモートリクエスト受信フラグ 0 : クリア条件 : 1 を書き込む 1 : 対応するメールボックスがリモートフレームを受信しました。 セット条件 : 対応するメールボックスにリモートフレームを受信終了

【注】 * クリアする場合に、1 のみを書き込むことができます。

• CANRFPR0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0 _15	RFPR0 _14	RFPR0 _13	RFPR0 _12	RFPR0 _11	RFPR0 _10	RFPR0 _9	RFPR0 _8	RFPR0 _7	RFPR0 _6	RFPR0 _5	RFPR0 _4	RFPR0 _3	RFPR0 _2	RFPR0 _1	RFPR0 _0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15-0	RFPR0 [15:0]	すべて 0	R/W*	メールボックス 15-0 に対応するリモートリクエスト受信フラグ 0 : クリア条件 : 1 を書き込む 1 : 対応するメールボックスがリモートフレームを受信しました。 セット条件 : 対応するメールボックスにリモートフレームを受信終了

【注】 * クリアする場合に、1 のみを書き込むことができます。

22.5.13 メールボックス割り込みマスクレジスタ 1、0 (CANMBIMR1、CANMBIMR0)

CANMBIMR は 16 ビットの読み出し / 書き込み可能なレジスタです。CANMBIMR はメールボックスの動作に関連する IRR のみ (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレームリクエスト割り込み、IRR8 : メールボックスエンプティ割り込み、IRR9 : メッセージオーバーラン割り込み) をマスクします。メールボックスが受信に設定されている場合、受信割り込み (IRR1、IRR2、IRR9) の生成をマスクしますが、CANRXPR、CANRFPR、CANUMSR の設定値を書き換えるわけではありません。同様に、メールボックスが送信に設定されている場合、送信や送信アボート (IRR8) の正常終了による割り込み信号やメールボックスエンプティ割り込みの設定をマスクします。ただし正常送信による CANTXPR/CANTXCR のビットのクリアと CANTXACK ビットのセット、正常送信アボートによる CANTXPR/CANTXCR のビットクリアと CANABACK ビットのセットをマスクするものではありません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクがセットされます。リセット時はすべてのメールボックス割り込みがマスクされます。

• CANMBIMR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1	MBIMR1
	_15	_14	_13	_12	_11	_10	_9	_8	_7	_6	_5	_4	_3	_2	_1	_0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1 [15:0]	すべて 1	R/W	メールボックス 31 ~ 16 の各割り込みリクエストを有効 / 無効にします。 0 : IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを有効にします。 1 : IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを無効にします。

• CANMBIMR0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0	MBIMR0
	_15	_14	_13	_12	_11	_10	_9	_8	_7	_6	_5	_4	_3	_2	_1	_0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0 [15:0]	すべて 1	R/W	メールボックス 15 ~ 0 の各割り込みリクエストを有効 / 無効にします。 0 : IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを有効にします。 1 : IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを無効にします。

22.5.14 未読メッセージステータスレジスタ 1、0 (CANUMSR1、CANUMSR0)

CANUMSR は 16 ビットの読み出し / 書き込み可能なレジスタで新しいメッセージを受信する際にホスト CPU によって内容がアクセスされていなかった受信メールボックスを記録します。新しいメッセージを受信するときホスト CPU が CANRXPR/CANRFPR の対応するビットをクリアしていない場合、CANUMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無視されます。

メールボックスが送信ボックスに設定されている場合、対応する CANBUMSR のビットはセットできません。

• CANUMSR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1 _15	UMSR1 _14	UMSR1 _13	UMSR1 _12	UMSR1 _11	UMSR1 _10	UMSR1 _9	UMSR1 _8	UMSR1 _7	UMSR1 _6	UMSR1 _5	UMSR1 _4	UMSR1 _3	UMSR1 _2	UMSR1 _1	UMSR1 _0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1 [15:0]	すべて 0	R/W	メールボックス 31 ~ 16 の未読メッセージが上書きまたはオーバーランされたことを示します。 0 : クリア条件 : 1 を書き込む 1 : 未読メッセージが新しいメッセージに上書きまたはオーバーランされました。 セット条件 : CANRXPR/CANRFPR をクリアする前に新しいメッセージを受信

• CANUMSR0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0 _15	UMSR0 _14	UMSR0 _13	UMSR0 _12	UMSR0 _11	UMSR0 _10	UMSR0 _9	UMSR0 _8	UMSR0 _7	UMSR0 _6	UMSR0 _5	UMSR0 _4	UMSR0 _3	UMSR0 _2	UMSR0 _1	UMSR0 _0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0 [15:0]	すべて 0	R/W	メールボックス 15 ~ 0 の未読メッセージが上書きまたはオーバーランされたことを示します。 0 : クリア条件 : 1 を書き込む 1 : 未読メッセージが新しいメッセージに上書きまたはオーバーランされました。 セット条件 : CANRXPR/CANRFPR をクリアする前に新しいメッセージを受信

22. コントローラエリアネットワーク 2 (HCAN2)

22.5.15 タイマカウンタレジスタ (CANTCNTR)

CANTCNTR は、16 ビットの読み出し / 書き込み可能なレジスタでフリーランニングタイマカウンタの値をモニタしたり書き換えたりすることができます。TCR11 がセットされているときタイマの値が CANTCMR と一致すると、CANTCNTR が 0 に設定され再びカウントを開始します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR	TCNTR
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR [15:0]	0	R/W*	フリーランニングタイマの値を示します。

【注】 * 本レジスタはコンペアマッチ条件によってクリアされます。

22.5.16 タイマコントロールレジスタ (CANTCR)

CANTCR は、16 ビットの読み出し / 書き込み可能なレジスタでタイマの動作を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	-	TCR13	TCR12	TCR11	-	-	-	-	-	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>タイマイネーブル</p> <p>本ビットがセットされるとタイマが動作します。本ビットがクリアされると、タイマは現在のサイクルを終了し (タイマオーバーランまたは TCMR のコンペアマッチによって通知されます)、タイマ値を 0 にクリアします。</p> <p>0 : タイマが動作を停止し、現在のサイクルの最後でクリアされます。</p> <p>1 : タイマが動作中です。</p>
14	-	0	R	<p>リザーブビット</p> <p>読み出し値は保証されません。0 を書き込んでも無視されます。</p>
13	TCR13	0	R/W	<p>受信タイムスタンプコントロール</p> <p>メッセージが受信されるたびに、各メールボックスのメッセージコントロール内のタイムスタンプが Start Of Frame (SOF) で記録されるか End Of Frame (EOF) で記録されるかを設定します。</p> <p>0 : SOF 受信ごとにタイムスタンプが記録されます。</p> <p>1 : EOF 受信ごとにタイムスタンプが記録されます。</p>

22. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
12	TCR12	0	R/W	<p>送信タイムスタンプコントロール</p> <p>各送信メールボックスのタイムスタンプが記録されるのが、送信リクエストが生成され、CANTXPR のビットがセットされたときか CANTXACK がセットされたときかを設定します。</p> <p>0: メッセージ送信の CANTXPR ビットがセットされるときタイムスタンプが記録されます。</p> <p>1: メッセージ送信の CANTXACK ビットがセットされるときタイムスタンプが記録されます。</p>
11	TCR11	0	R/W	<p>CANTCMR によるタイマクリア / セットコントロール</p> <p>CANTCMR が CANTCNTR に一致したときタイマがクリアされ、0 に設定されるかどうかを指定します。CANTCMR は IRR15 を使用して、ホスト CPU に対し割り込みを発生することもできます。</p> <p>0: タイマは CANTCMR でクリアされません。</p> <p>1: タイマは CANTCMR でクリアされます。</p>
10~6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は保証されません。0 を書き込んでも無視されます。</p>
5	TPSC5	0	R/W	<p>HCAN2 タイマプリスケアラ</p> <p>タイマで使用される前にソースクロック (2×周辺クロック) を分周します。ソースクロックとタイマの関係は以下のとおりです。</p> <p>000000: 1× ソースクロック</p> <p>000001: 2× ソースクロック</p> <p>000010: 4× ソースクロック</p> <p>000011: 6× ソースクロック</p> <p>000100: 8× ソースクロック</p> <p style="text-align: center;">:</p> <p>111111: 126× ソースクロック</p>
4	TPSC4	0	R/W	
3	TPSC3	0	R/W	
2	TPSC2	0	R/W	
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

22.5.17 タイマコンペアマッチレジスタ (CANTCMR)

CANTCMR は、16 ビットの読み出し / 書き込み可能なレジスタで、割り込み信号の生成または、タイマ値をクリア / セットする機能を持っています。

コンペアマッチが発生すると CANIRR のビット 14 に割り込みのフラグが立ちます。これらのビットは CANTCMR が H'0000 を除き、CANIRR に設定されるのをマスクすることはできません。割り込み信号自身の生成は、CANIMR のビット 14 によってマスクすることができます。CANTCR のビット 11 がイネーブルに設定されている場合、CANTCMR にコンペアマッチが発生するとタイマがクリアされ 0 が設定されます (タイマクリア / セット機能)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR	TCMR
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TCMR[15:0]	0	R/W*	フリーランニングタイマの値を示します。

【注】 * 本レジスタはコンペアマッチ条件によってクリアされます。

22.6 動作説明

22.6.1 テストモード設定

HCAN2 は種々のテストモードを持っています。CANMCR の TST7~0 ビットで HCAN2 テストモードを選択します。初期値は HCAN2 が通常動作 (ノーマルモード) をするようになっています。テストモードの例を下表に示します。

表 22.6 テストモード設定

ビット 15 TST7	ビット 14 TST6	ビット 13 TST5	ビット 12 TST4	ビット 11 TST3	ビット 10 TST2	ビット 9 TST1	ビット 8 TST0	説 明
0	0	0	0	0	0	0	0	ノーマルモード (初期値)
1	0	0	0	1	0	1	0	リスンオンリモード (受信のみ)
1	0	0	1	-	0	0	0	セルフテストモード 1 (外部)
1	0	0	1	-	1	1	1	セルフテストモード 2 (内部)
1	1	0	-	-	-	-	-	エラーパッシブモード 1
1	-	1	-	-	-	-	-	エラーパッシブモード 2

- ノーマルモード

HCAN2 が通常の動作をします。

- リスンオンリモード

ポーレート検出用など ISO-11898 で要求されています。エラーカウンタが無効とされ TEC/REC がインクリメントしないようになっています。また、Tx 出力が無効とされ HCAN2 がエラーフレームを生成しないようになっています。

- セルフテストモード 1

HCAN2 が自分自身のアクノリッジビットを生成します。Rx/Tx 端子は CAN バスに接続してください。

- セルフテストモード 2

HCAN2 が自分自身のアクノリッジビットを生成します。Rx/Tx 端子は CAN バスや外部デバイスに接続する必要はありません。内部の Tx がループバックされて内部の Rx に接続されています。

- エラーパッシブモード 1

エラーカウンタに 127 より大きい値を書き込むことにより強制的に HCAN2 をエラーパッシブノードにすることができます。エラーカウンタ書き込み時、MCR1 は 1 にしてください。TEC に書き込まれた値は REC に書き込むために使用されます。したがって、同じ値だけがこれらのレジスタに設定されます。また、TEC/REC に書き込むときは HCAN2 はホルトモードである必要があります。

- エラーパッシブモード 2

TST5 ビットをセットすることにより強制的に HCAN2 をエラーパッシブノードにすることができます。

22.6.2 HCAN2 の設定

• リセットシーケンス

図 22.5 にソフトウェアまたはハードウェアリセット後の HCAN2 の設定例を示します。リセット後すべてのレジスタは初期化されます。したがって、HCAN2 は CAN バスアクティビティに参加する前に設定される必要があります。【注】がありますのでそちらを参照してください。

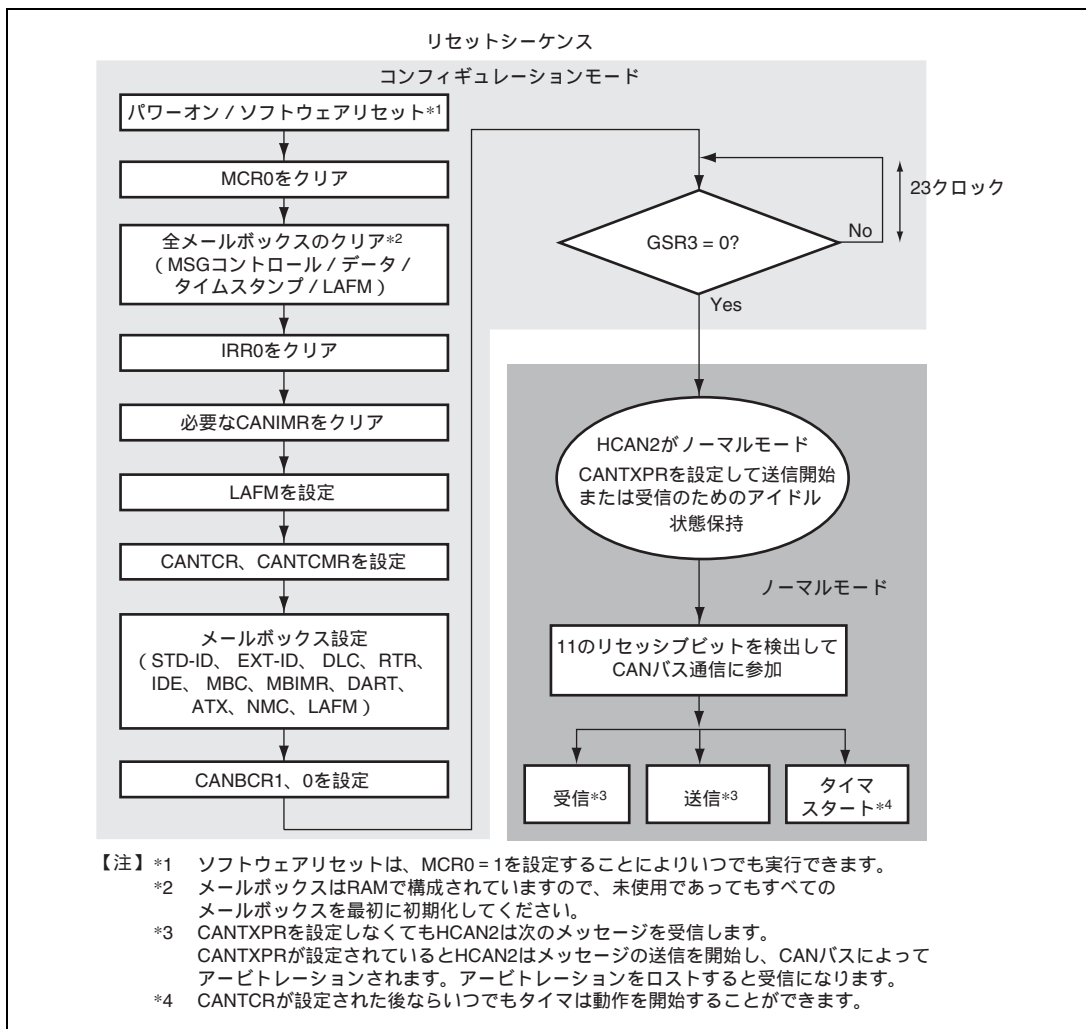


図 22.5 リセットシーケンス

22.6.3 メッセージ送信シーケンス

(1) イベントトリガ送信

- メッセージ送信リクエスト

図 22.6 は CAN フレームをバス上に送信する例です。CANTXACK または CANABACK のビットが設定されるときに IRR8 がセットされることに留意してください。これは、ひとつのメールボックスが送信または送信アポートを終了し、現在は次の送信のために更新されるのを待っている状態であることを意味しています。一方、GSR3 は現在送信リクエストが発生していないこと (CANTXPR = H'0000) を意味しています。

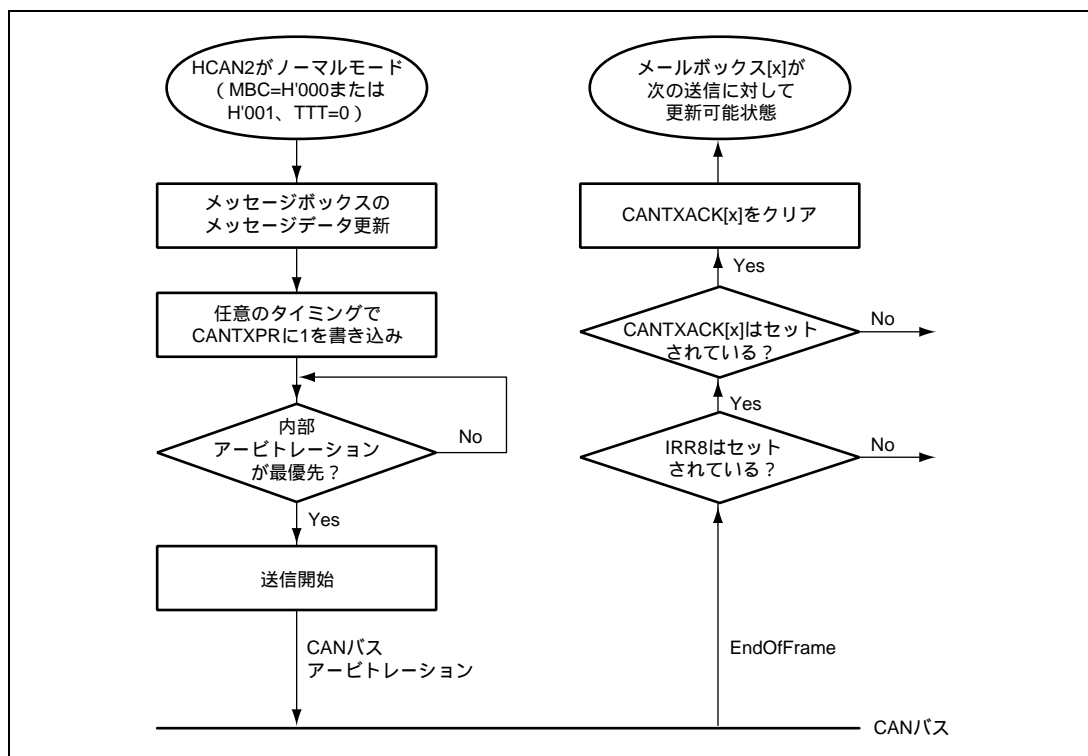


図 22.6 送信リクエスト

22. コントローラエリアネットワーク 2 (HCAN2)

• 送信内部アービトレーション

HCAN2 が、CAN-ID に従った正しい順序でどのように送信リクエストされたメッセージをスケジューリングするかを図 22.7 に示します。「内部アービトレーション」は、送信リクエストされたメッセージ中で最優先のメッセージを取り出します。

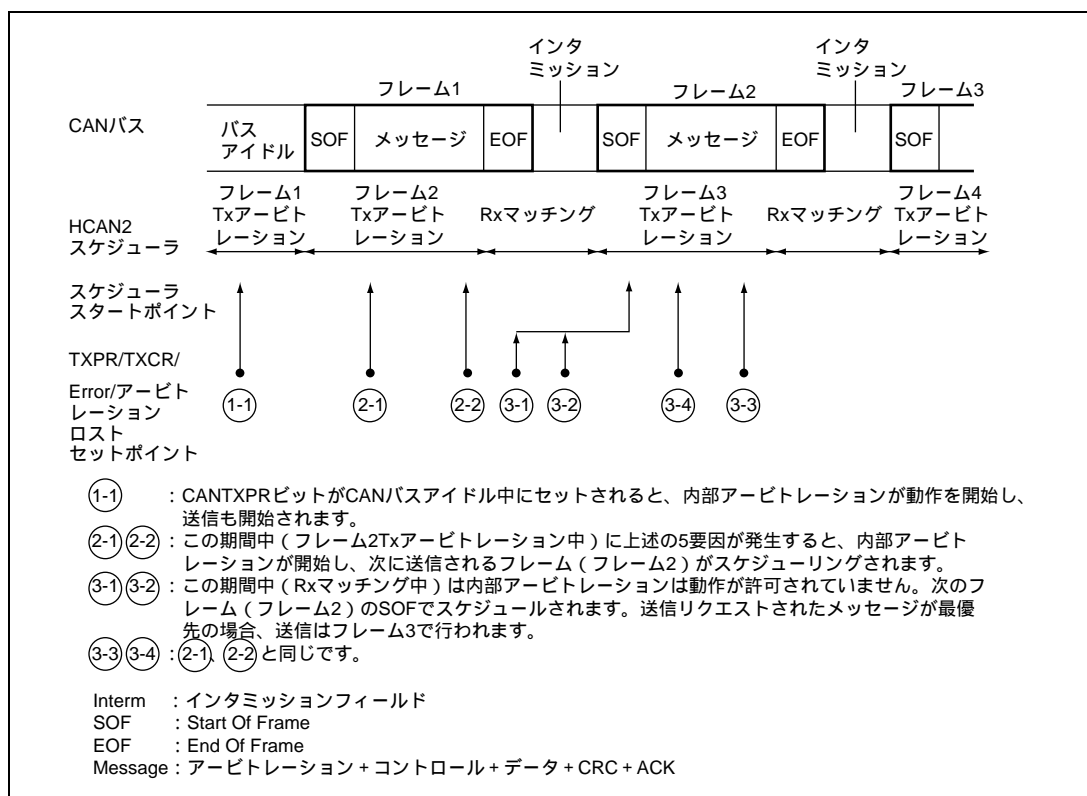


図 22.7 送信内部アービトレーション

内部アービトレーションを行う HCAN2 スケジューラには、Tx アービトレーション状態と Rx マッチング状態の 2 つの状態があります。CAN バスが EOF がインタミッションサイクルなら、HCAN2 スケジューラは Rx マッチング状態で、それ以外は Tx アービトレーション状態です。送信または送信アポートリクエストが Tx アービトレーション状態で発生すると、内部アービトレーションをすぐ開始します。送信または送信アポートリクエストが Rx マッチング状態で発生すると、内部アービトレーションは Rx マッチング状態（インタミッションフィールドなど）が終了するまで待ち状態になります。その後、HCAN2 スケジューラが Tx アービトレーション状態になるとすぐに内部アービトレーションを開始します。

内部アービトレーションが動作する 5 種類の要因を以下に示します。

- CANTXPRが設定された。
- CANTXCRが設定された。(送信中のメッセージにCANTXCRを設定すると、HCAN2は送信を停止せずに送信を完了させます。メッセージがバスアービトレーションをロストしたりバス上にエラーを発生させると、HCAN2は送信リクエストをキャンセルします。)
- CANバスにエラーが発生した。
- 送信中のメッセージがCANバス上のアービトレーションをロストした。
- MBC = B'001のメールボックスがリモートフレームを受信した。

これらの要因が発生すると、内部アービトレーションは動作を開始し、最優先のメッセージが常に最初に送信されるようにします。図 22.7 の説明を以下に示します。

- 1-1 : CANTXPR のビットが CAN バスアイドル中にセットされると、内部アービトレーションが動作を開始し、送信も開始されます。
- 2-1、2-2 : この期間中 (フレーム 2 Tx アービトレーション中) に上述の 5 要因が発生すると、内部アービトレーションが開始し、次に送信されるフレーム (フレーム 2) がスケジューリングされます。
- 3-1、3-2 : この期間中 (Rx マッチング中) 内部アービトレーションは動作が許可されていません。次のフレーム (フレーム 2) の SOF でスケジュールされます。送信リクエストされたメッセージが最優先の場合、送信はフレーム 3 で行われます。
- 3-3、3-4 : 2-1、2-2 と同じです。

22.6.4 メッセージ受信シーケンス

図 22.8 にメッセージ受信シーケンスを示します。

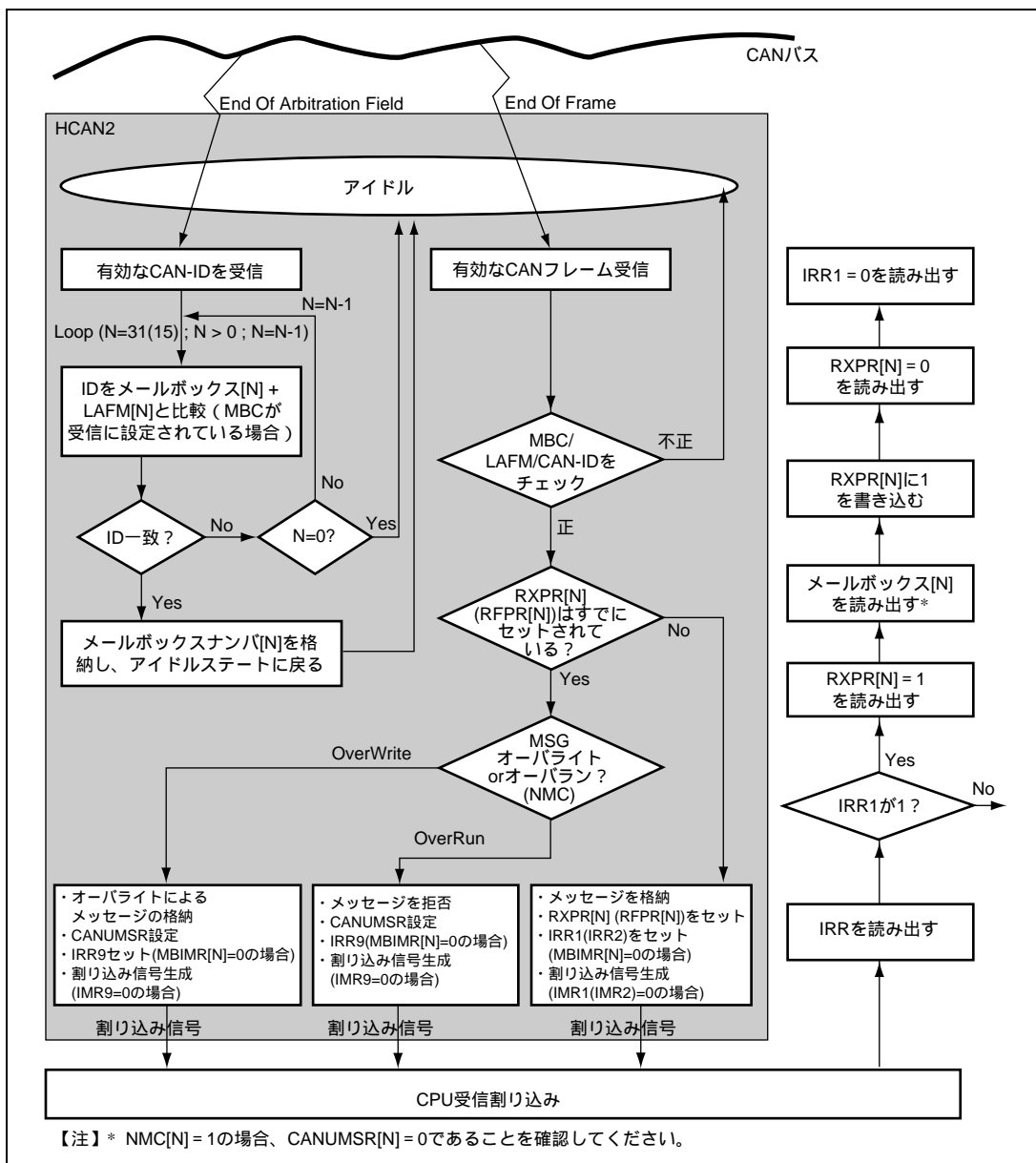


図 22.8 メッセージ受信シーケンス

メッセージ受信中にアービトラーションの最後を認識すると、HCAN2 はメールボックス 31 から始めてメールボックス 1 まで受信した ID とメールボックスに設定された ID をコンペアします。受信用に設定されているか否かを確認するため最初にメールボックス 31 の MBC をチェックし、受信ボックスに設定されていたら LAFM、CAN-ID を読み出し、そして最後に受信した ID とそれらをコンペアします。一致しなかった場合、メールボックス 30 に対して同じチェックをします (受信ボックスに設定されている場合)。ID が一致するとメールボックスの番号を内部バッファに格納し検索を終了します。そして、アイドル状態に戻り End Of Frame (EOF) がくるのを待ちます。EOF が CAN インタフェースによって通知されると、HCAN2 は今度はメールボックス n の MBC、LAFM、CAN-ID を読み出して一致条件を再度確認します (メールボックス n の設定は変わっていません)。この再確認によって、メッセージ受信中にメールボックスが再設定されてもデータの一貫性 (整合性) が保たれることを保証します。一致が確認されると、メッセージは NMC ビットの値により書き込みまたは読み捨てられます。書き込む場合は、CAN-ID も含めて対応するメールボックスに書き込まれるので、使われている LAFM の値によってはもとの CAN-ID が受信したメッセージの異なる CAN-ID によって上書きされる可能性があります。これは、受信したメッセージの ID が複数の ID + LAFM に一致する場合、常にメールボックス番号の大きい方がメッセージを格納し、メールボックス番号の小さい方はメッセージを受信できないことを意味します。したがって、ID と LAFM の設定は注意して選択することが必要です。

22.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は以下の手順に従ってください。

(1) 送信ボックスの ID を変更または送信ボックスを受信ボックスに変更する場合

対応する CANTXPR ビットがセットされていないことを確認してください。ID、対応する MBC ビットはいつでも変更することができます。両方変更する場合は、ID を変更してから MBCR ビットを変更してください。

(2) 受信ボックスの ID を変更または受信ボックスを送信ボックスに変更する場合

- 方法 1: ホルトモードを使用する

この方法の利点は、メッセージが CAN バス上にあり HCAN2 が受信状態でもメッセージを失わないことです。HCAN2 は受信が終了した後でホルトモードになります。欠点は、HCAN2 がメッセージを受信するのに時間がかかること (受信が終了するまでホルトモードへの遷移は遅延します)、ホルトモード中はメッセージを送受信できないことです。

- 方法 2: ホルトモードを使用しない

この方法の利点は、再設定がすぐに行われ、割り込みがないのでソフトウェアのオーバーヘッドがより少ないことです。CANRXPR (CANRFPR) ビットが再設定の前で読み出される必要があるのは、この期間中にメッセージが受信されるかどうかをチェックするためです。CANMBIMR は CANRXPR (CANRFPR) ビットや IRR1 (IRR2) がセットされるのをマスクするのではなく、割り込みの生成をマスクするだけであることに注意してください。メッセージが受信される場合、受信されたメッセージはもとの ID のものか新しい ID のものかわかりません。したがって、この期間中にメッセージを受信する場合はメッセージを読み捨てるのが良いでしょう。これが、この方法の欠点です。

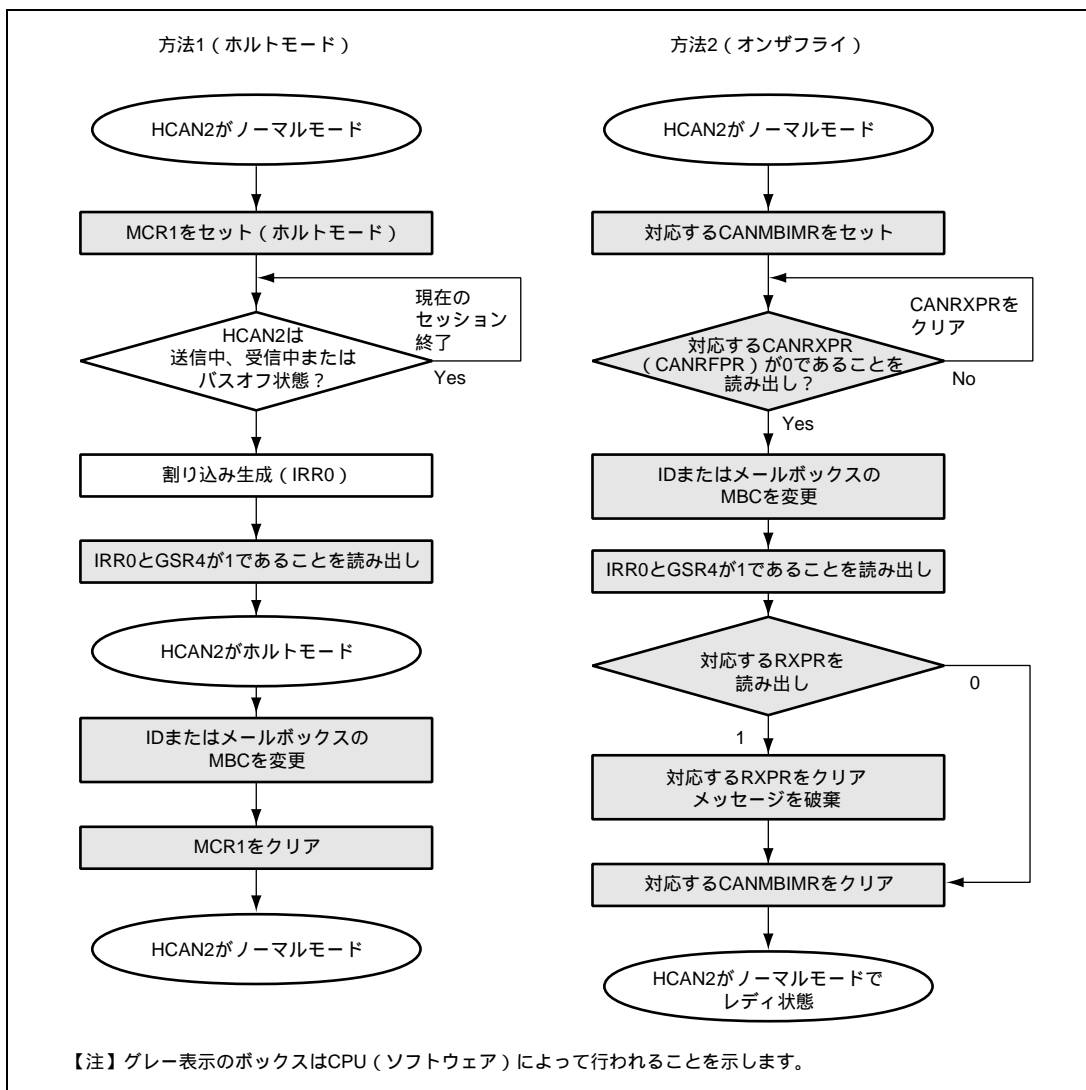


図 22.9 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

22.6.6 スタンバイモード

HCAN2は低消費電力のためクロックゲーティングをしています。低消費電力モジュールのCLKSTP00(チャンネル0用がビット12、チャンネル1用がビット13)によってモジュールスタンバイモードは制御されます。

HCAN2の1チャンネルをスタンバイモードにするには、以下の手順に従ってください。

1. HCAN2をホルトモードにします。(MCR1=1)
2. ホルトモード割り込みを待ちます。(IRR0)
3. すべてのペンディング割り込みリクエストをクリアします
4. 低消費電力モジュールのCLKSTP00をコントロールして関連ビットをクリアしリクエストされたチャンネルを無効にします。(ビット12 and/orビット13をクリア)

スタンバイモードを解除するには以下の手順に従ってください。

1. 低消費電力モジュールのCLKSTP00をコントロールして関連ビットをセットしリクエストされたチャンネルを有効にします。(ビット12またはビット13をセット)
2. 必要ならばHCAN2の設定を修正します。
3. MCR1をクリアしてHCAN2のホルトモードを解除します。
4. 11のリセツピットをCANバス上で検出後、HCAN2は通信に参加できます。

22.7 使用上の注意事項

22.7.1 自動アクノリッジモードの使用上の注意

マスタコントロールレジスタ(MCR)、TST4=1(自動アクノリッジモード)でのセルフテストで、送信はできませんが、送信したデータを受信することはできません。

22.7.2 HCAN2 スリープ中のメールボックスアクセスについて

HCAN2 スリープ中にメールボックスにアクセスしないでください。HCAN2 スリープ中にメールボックスをアクセスするとCPUが停止する場合があります。HCAN2 スリープ中のメールボックス以外のレジスタアクセスではCPUは停止しません。また、HCAN2 スリープ以外でメールボックスをアクセスしてもCPUは停止しません。

23. シリアルペリフェラルインタフェース (HSPI)

本 LSI は、シリアルペリフェラルインタフェース (HSPI) を 1 チャンネル内蔵しています。

23.1 特長

HSPI には次のような特長があります。

- 動作モード：マスタモード、スレーブモード
- 送信部と受信部はダブルバッファ構造で、全二重通信が可能
- 周辺クロック分周機能により、広範囲のビットレートをサポート
- クロックのレジスタ設定により、2種類の送信プロトコルを設定でき、シリアルビットクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかと同期した送信 / 受信機能を実現しています。
- 受信エラーに関しては、レシーブバッファのオーバフローを検出できます。
- マスタモードのとき、データ転送中に自動的に、または手動でコントロールすることにより、スレーブモジュールに対するチップセレクト信号を生成できます。
- 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

23. シリアルペリフェラルインタフェース (HSPI)

図 23.1 に HSPI のブロック図を示します。

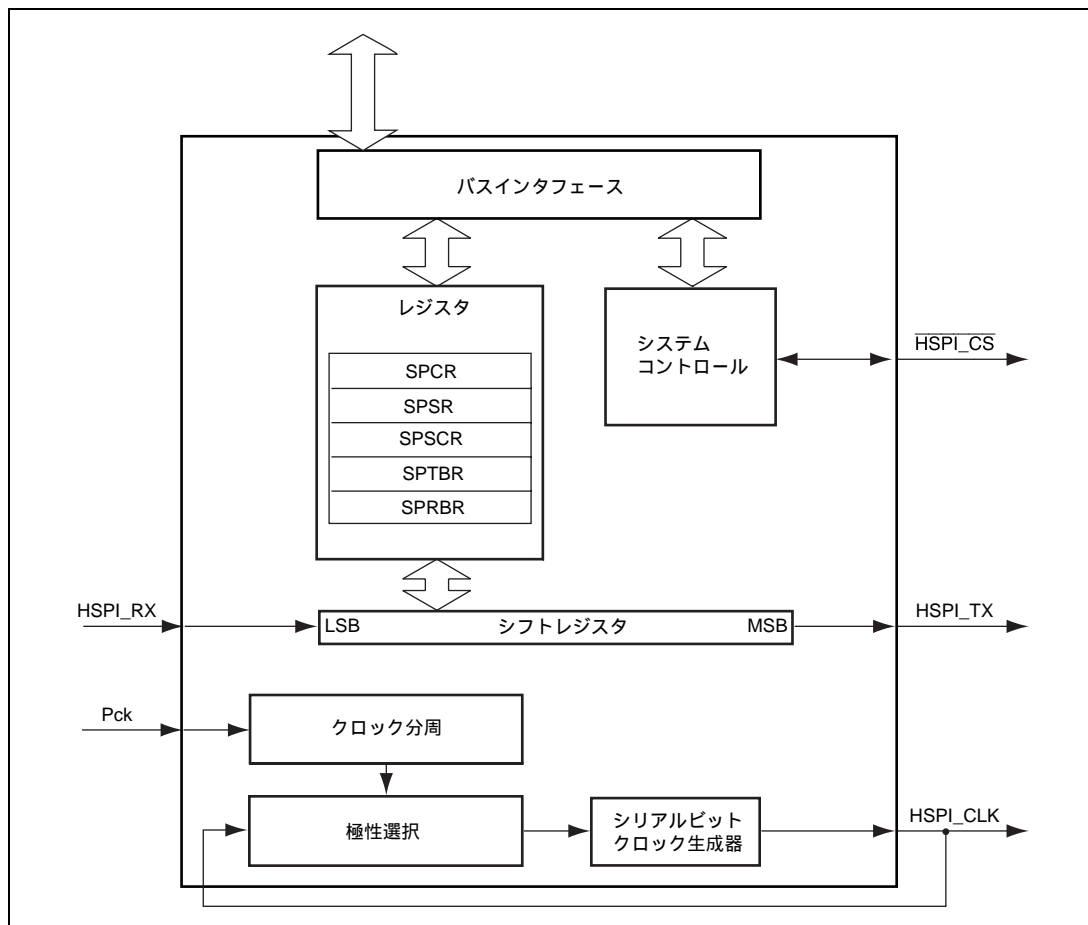


図 23.1 HSPI のブロック図

23.2 入出力端子

表 23.1 に HSPI の端子構成を示します。

表 23.1 端子構成

名称	略称	入出力	機能
シリアルビットクロック端子	HSPI_CLK	入出力	クロック入出力
送信データ端子	HSPI_TX	出力	送信データ出力
受信データ端子	HSPI_RX	入力	受信データ入力
チップセレクト端子	HSPI_CS	入出力	チップセレクト

23.3 レジスタの説明

HSPI には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 23.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期クロック
コントロールレジスタ	SPCR	R/W	H'FE18 0000	H'1E18 0000	32	Pck
ステータスレジスタ	SPSR	R*2	H'FE18 0004	H'1E18 0004	32	Pck
システムコントロールレジスタ	SPSCR	R/W	H'FE18 0008	H'1E18 0008	32	Pck
トランスミットバッファレジスタ	SPTBR	R/W	H'FE18 000C	H'1E18 000C	32	Pck
レシーブバッファレジスタ	SPRBR	R	H'FE18 0010	H'1E18 0010	32	Pck

表 23.2 レジスタ構成 (2)

名称	略称	パワーオンリセット RESET 端子/WDT /H-UDI による	マニュアルリセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
					ハードによる	ソフトによる /モジュール毎による
コントロールレジスタ	SPCR	H'0000 0000*1	H'0000 0000*1	保持	*	保持
ステータスレジスタ	SPSR	H'0000 0120*1	H'0000 0120*1	保持		保持
システムコントロールレジスタ	SPSCR	H'0000 0040*1	H'0000 0040*1	保持		保持
トランスミットバッファレジスタ	SPTBR	H'0000 0000*1	H'0000 0000*1	保持		保持
レシーブバッファレジスタ	SPRBR	H'0000 0000*1	H'0000 0000*1	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*1 リザーブビットは不定です。

*2 ビット 4、3 はフラグをクリアするための 0 書き込みが可能です。

23. シリアルペリフェラルインタフェース (HSPI)

23.3.1 コントロールレジスタ (SPCR)

SPCR は、32 ビットの読み出し / 書き込み可能なレジスタで、転送データのシフトタイミングの制御、クロック極性、およびクロック周波数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	FBS	CLKP	IDIV	CLKC4	CLKC3	CLKC2	CLKC1	CLKC0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7	FBS	0	R/W	ファーストビットスタート 転送データの各ビットとシリアルビットクロックとの間のタイミングを制御します。 0 : HSPI_CS 端子がローレベルになった後、最初の HSPI_CLK エッジで HSPI からの最初の送信ビットが受信デバイスによりサンプリングされます。同様に、HSPI_CS 端子がローレベルになった後、最初の HSPI_CLK エッジで最初の受信ビットがサンプリングされます。 1 : HSPI_CS 端子がローレベルになった後、2 番目の HSPI_CLK エッジで HSPI からの最初の送信ビットが受信デバイスによりサンプリングされます。同様に、HSPI_CS 端子がローレベルになった後、2 番目の HSPI_CLK エッジで最初の受信ビットがサンプリングされます。
6	CLKP	0	R/W	シリアルクロック極性 0 : HSPI_CLK 信号は反転せず、インアクティブ期間中はローレベル 1 : HSPI_CLK 信号は反転し、インアクティブ期間中はハイレベル
5	IDIV	0	R/W	初期クロック分周比 0 : マスタモード時、Pck を 4 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。 1 : マスタモード時、Pck を 32 分周して中間周波数を生成し、さらにこの中間周波数を分周してシリアルビットクロックを生成します。

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
4	CLKC4	0	R/W	クロック分周カウント
3	CLKC3	0	R/W	中間周波数で分周して得られるシリアルビットクロックの分周比を設定します。 00000 : 1 中間周波数サイクル。 シリアルビットクロック周波数は、中間周波数/2 00001 : 2 中間周波数サイクル。 シリアルビットクロック周波数は、中間周波数/4 00010 : 3 中間周波数サイクル。 シリアルビットクロック周波数は、中間周波数/6 : : 11111 : 32 中間周波数サイクル。 シリアルビットクロック周波数は、中間周波数/64
2	CLKC2	0	R/W	
1	CLKC1	0	R/W	
0	CLKC0	0	R/W	

シリアルビットクロック周波数は以下の計算式で求められます。

$$\text{シリアルビットクロック周波数} = \frac{\text{Pck}}{(\text{初期クロック分周比} \times (\text{クロック分周カウント} + 1) \times 2)}$$

HSPI がスレーブとして動作する場合、IDIV と CLKC ビットは無視され、HSPI は外部から供給されたシリアルビットクロックと同期します。動作可能な外部シリアルビットクロックの最大値は、Pck/8 です。

FBS、CLKP、IDIV、CLKC ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

23.3.2 ステータスレジスタ (SPSR)

SPSR は、32 ビットの読み出し/書き込み可能なレジスタで、各ステータスフラグにより、システムが正しく動作しているかどうかを確認できます。

SPSCR の ROIE ビットが 1 に設定されている場合、受信バッファオーバーラン発生や受信バッファオーバーラン警告により割り込み要求を発生します。SPSCR の TFIE ビットが 1 に設定されている場合、送信完了フラグにより割り込み要求を発生します。SPSCR の該当イネーブルビットが 1 に設定されている場合、受信 FIFO ハーフウェイや受信 FIFO フル、送信 FIFO エンプティ、送信 FIFO ハーフウェイフラグにより割り込み要求を発生します。SPSCR の RNIE ビットが 1 に設定されていると、受信 FIFO が空ではない場合に割り込み要求を発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	0	0	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R	R	R

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
31~11	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に0にしてください。
10	TXFU	0	R	送信 FIFO フルフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。送信 FIFO が送信データでいっぱいになり、次の送信データを受け付けなくなったときにこのフラグは1にセットされます。送信 FIFO からデータが転送されたときにこのフラグは0にクリアされます。
9	TXHA	0	R	送信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。送信 FIFO が中間点に到達したとき、つまり、4 バイトに送信データを格納し、4 バイトが空いている状態のときにこのフラグは1にセットされます。送信 FIFO にさらにデータが書き込まれたときにこのフラグは0にクリアされます。次に続く FIFO レベルにかかわらず、このフラグは0にクリアされるまでは1にセットされたままです。 TXHA=1 かつ THIE=1 のとき、割り込みが発生します。
8	TXEM	1	R	送信 FIFO エンプティフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。送信 FIFO に送信データが入ってないときにこのフラグは1にセットされます。送信 FIFO にデータが書き込まれたときにこのフラグは0にクリアされます。 TXEM=1 かつ TEIE=1 のとき、割り込みが発生します。
7	RXFU	0	R	受信 FIFO フルフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。受信 FIFO が受信データでいっぱいになり、次の受信データを受け付けなくなったときにこのフラグは1にセットされます。受信 FIFO からデータが読み出されたときにこのフラグは0にクリアされます。 RXFU=1 かつ RFIE=1 のとき、割り込みが発生します。
6	RXHA	0	R	受信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。受信 FIFO が中間点に到達したとき、つまり、4 バイトに受信データを格納し、4 バイトが空いている状態のときにこのフラグは1にセットされます。受信 FIFO からさらにデータが読み出されたときにこのフラグは0にクリアされます。次に続く FIFO レベルにかかわらず、このフラグは0にクリアされるまでは1にセットされたままです。 RXHA=1 かつ RHIE=1 のとき、割り込みが発生します。
5	RXEM	1	R	受信 FIFO エンプティフラグ 本ステータスフラグは FIFO モードの場合のみ有効です。受信 FIFO に受信データが入ってないときにこのフラグは1にセットされます。受信 FIFO にデータが書き込まれたときにこのフラグは0にクリアされます。 RXEM=0 かつ RNIE=1 のとき、割り込みが発生します。

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
4	RXOO	0	R/W*	<p>受信バッファオーバーラン発生フラグ</p> <p>本ステータスフラグは、新しいデータを受信したとき、SPRBR に未読データがある場合、1 にセットされます。未読データは新しいデータによって書き換えられることはありません。RXOO フラグは、0 が書き込まれて初期化されるまで 1 のままです。</p> <p>RXOO=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
3	RXOW	0	R/W*	<p>受信バッファオーバーラン警告フラグ</p> <p>本ステータスフラグは、新しいシリアルデータ転送が開始されたとき、SPRBR に未読データがある場合、1 にセットされます。RXOW フラグは、0 が書き込まれて初期化されるまで 1 のままです。</p> <p>RXOW=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
2	RXFL	0	R	<p>受信バッファフルステータスフラグ</p> <p>本ステータスフラグは、SPRBR に未読データが格納されていることを示します。シフトレジスタの内容が SPRBR にロードされた時点でこのフラグは 1 にセットされます。SPRBR を読み出すことで、このビットを 0 にクリアできます。</p> <p>RXFL=1 かつ RXDE=1 のとき、DMA 転送要求を許可します。</p>
1	TXFN	0	R	<p>送信完了ステータスフラグ</p> <p>本ステータスフラグは、最後の送信が完了したことを示します。SPTBR が周辺バスからデータを書き込めるようになったときにこのフラグは 1 にセットされます。SPTBR にデータを書き込むことで、このビットを 0 にクリアできます。</p> <p>TXFN=1 かつ TFIE=1 のとき、割り込みが発生します。</p>
0	TXFL	0	R	<p>送信バッファフルステータスフラグ</p> <p>本ステータスフラグは、SPTBR に未送信データがあることを示します。周辺バスからデータが SPTBR に書き込まれたときにこのフラグは 1 にセットされます。SPTBR が周辺バスからのデータを受信できるようになったときにこのビットは 0 にクリアされます。</p> <p>TXFL=0 (すなわち、SPTBR が空のとき) かつ TXDE=1 のとき、DMA 転送要求を許可します。</p>

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

23. シリアルペリフェラルインタフェース (HSPI)

23.3.3 システムコントロールレジスタ (SPSCR)

SPSCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みまたは FIFO モードの制御、データを送受信するときの LSB / MSB ファーストの選択、マスタ / スレーブモードの設定を行うことができます。

FFEN、LMSB、CSA、MASL ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL
初期値 :	-	-	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 14	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
13	TEIE	0	R/W	送信 FIFO エンプティ割り込みイネーブル 0 : 送信 FIFO エンプティ割り込みを禁止 1 : 送信 FIFO エンプティ割り込みを許可
12	THIE	0	R/W	送信 FIFO ハーフウェイ割り込みイネーブル 0 : 送信 FIFO ハーフウェイ割り込みを禁止 1 : 送信 FIFO ハーフウェイ割り込みを許可
11	RNIE	0	R/W	受信 FIFO ノットエンプティ割り込みイネーブル 0 : 受信 FIFO ノットエンプティ割り込みを禁止 1 : 受信 FIFO ノットエンプティ割り込みを許可
10	RHIE	0	R/W	受信 FIFO ハーフウェイ割り込みイネーブル 0 : 受信 FIFO ハーフウェイ割り込みを禁止 1 : 受信 FIFO ハーフウェイ割り込みを許可
9	RFIE	0	R/W	受信 FIFO フル割り込みイネーブル 0 : 受信 FIFO フル割り込みを禁止 1 : 受信 FIFO フル割り込みを許可

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
8	FFEN	0	R/W	<p>FIFO モードイネーブル</p> <p>FIFO モードの有効 / 無効を設定します。FIFO モードを有効にすると、2 つの 8 段 FIFO (送信用と受信用 1 つずつ) が使用可能になります。これらの FIFO は、SPTBR と SPRBR 経由で書き込みと読み出しができます。FIFO モードを無効にすると、SPTBR と SPRBR が直接使われるため、転送ごとに新しいデータを SPTBR に書き込んだり、SPRBR から読み出したたりする必要があります。SPTBR と SPRBR のデータを DMA 転送する場合、FIFO モードを無効にしてください。</p> <p>0 : FIFO モードは無効 1 : FIFO モードは有効</p>
7	LMSB	0	R/W	<p>LSB / MSB ファーストコントロール</p> <p>0 : データの送受信は最上位ビット (MSB) から行われます 1 : データの送受信は最下位ビット (LSB) から行われます</p>
6	CSV	1	R/W	<p>チップセレクト値</p> <p>マスタモード時にチップセレクト信号の手動生成を選択した場合、チップセレクト信号出力値を制御します。</p> <p>0 : チップセレクト信号出力はローレベル 1 : チップセレクト信号出力はハイレベル</p>
5	CSA	0	R/W	<p>自動 / 手動チップセレクト信号</p> <p>0 : チップセレクト信号出力をデータ転送中に自動生成 1 : チップセレクト信号出力を手動でコントロールし、CSV 値を設定</p>
4	TFIE	0	R/W	<p>送信完了割り込みイネーブル</p> <p>0 : 送信完了割り込みを禁止 1 : 送信完了割り込みを許可</p>
3	ROIE	0	R/W	<p>受信オーバラン発生 / 警告割り込みイネーブル</p> <p>0 : 受信オーバラン発生 / 警告割り込みを禁止 1 : 受信オーバラン発生 / 警告割り込みを許可</p>
2	RXDE	0	R/W	<p>受信 DMA イネーブル</p> <p>0 : 受信 DMA の転送要求を禁止 1 : 受信 DMA の転送要求を許可</p>
1	TXDE	0	R/W	<p>送信 DMA イネーブル</p> <p>0 : 送信 DMA の転送要求を禁止 1 : 送信 DMA の転送要求を許可</p>
0	MASL	0	R/W	<p>マスタ / スレーブセレクト</p> <p>0 : スレーブモードとして動作 1 : マスタモードとして動作</p>

23. シリアルペリフェラルインタフェース (HSPI)

23.3.4 トランスミットバッファレジスタ (SPTBR)

SPTBR は、読み出し/書き込み可能な 32 ビットのレジスタで、送信するデータを格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TD							
初期値:	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	TD	すべて 0	R/W	送信データ これらのビットに書き込まれたデータは送信要求があるとシフトレジスタに転送されます。 読み出し時には、送信バッファに格納されているデータが読み出されます。

23.3.5 レシーブバッファレジスタ (SPRBR)

SPRBR は、読み出し専用の 32 ビットのレジスタで、受信したデータを格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RD							
初期値:	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	-	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	RD	すべて 0	R	受信データ バイトデータが受信されるごとにシフトレジスタから転送されます。ただし、未読の受信データがない場合に限りです。

23.4 動作説明

23.4.1 DMA を使用しない場合の動作 (FIFO モード無効時)

図 23.2 に送信 / 受信動作の手順フローを示します。

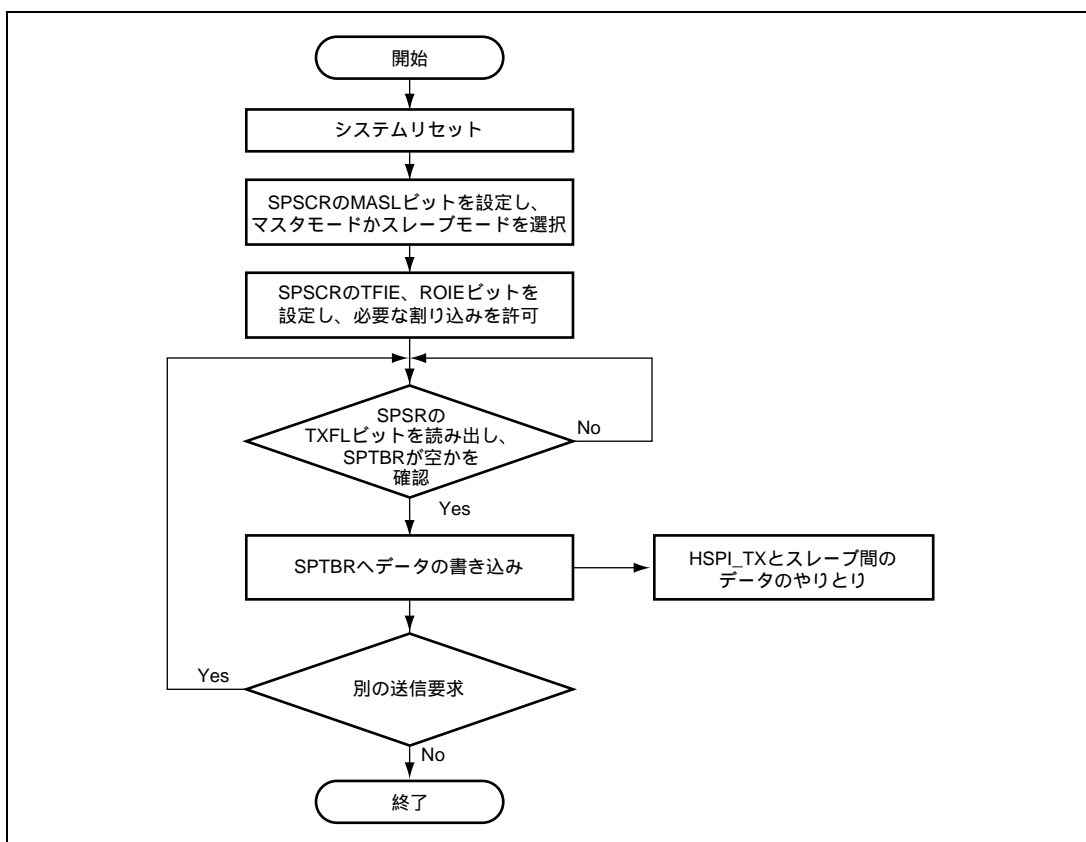


図 23.2 動作フローチャート

SPSCR の設定により、HSPI_CLK 信号の立ち上がりまたは立ち下がりエッジでマスタはスレーブに対してデータを送信します。送信時とは反対のエッジでスレーブからのデータをサンプリングします。マスタとスレーブ間のデータ転送は、SPSCR の TXFL ビット (送信完了ステータスフラグ) が 1 にセットされたときに終了します。HSPI が受信するだけの場合 (この場合、ヌルデータを送信)、TXFL ビットによって、HSPI 転送イベント (バイト送信とバイト受信) がいつ発生したかを調べることができます。データ送信方式のデフォルトは MSB ファーストですが、SPSCR の LMSB ビットの設定によっては、LSB ファーストも可能です。

送信動作中のスレーブは、マスタからの HSPI_CLK 信号と同期して、マスタにデータを送信します。スレーブから送信されたデータはサンプリングされたあとでシフトレジスタに転送され、送信完了時には SPRBR に転送されます。

23. シリアルペリフェラルインタフェース (HSPI)

HSPI がスレーブとして動作する場合、 $\overline{\text{HSPI_CS}}$ 端子を用いて HSPI を選択し、外部マスタからのデータを受信できるようにします。SPCR の FBS ビットが 0 のとき、連続するバイト転送間では $\overline{\text{HSPI_CS}}$ 端子をハイレベルに保持してください。FBS=1 のとき、複数のバイト転送の間、 $\overline{\text{HSPI_CS}}$ 端子がローレベルでも問題ありません。この場合、FBS=1 となるようにシステムが構成されていると、 $\overline{\text{HSPI_CS}}$ 端子をグランドに固定できます（ただし、HSPI がスレーブとして動作する場合にのみ限られます）。

23.4.2 DMA を使用する場合の動作

DMA を使用しない場合（「23.4.1 DMA を使用しない場合の動作」）と同様に設定し、FIFO モードは無効にしてください。次に、要求されたデータを転送するように DMA コントローラ (DMAC) を設定します。その後、DMA 要求を許可します。以降は CPU の介入なしにデータ転送が実行されます。

DMAC がすべての転送が終了したことを通知してきたら、残っている DMA 要求をクリアするために HSPI の DMA 要求信号を無効にしてください。これを行わないと、HSPI は常に送信するデータを要求し続けます。

23.4.3 FIFO モード有効時の動作

DMA モードを使用しない場合、CPU への割り込みオーバーヘッドを低減するために FIFO モードが用意されています。FIFO モード有効時、送信前に最大 8 バイトのデータが書き込みができ、また受信 FIFO からの読み出し前に最大 8 バイトのデータを受信できます。HSPI と外部デバイス間で、決められたデータ量を転送する場合、以下の手順に従ってください。

1. 転送の仕様（マスタ/スレーブ、クロック極性等）にあわせて各レジスタを設定し、FIFO モードを有効にします。
2. SPTBR 経由で送信 FIFO にバイトデータを書き込みます。8 バイトより多いデータを送信する場合は、送信 FIFO ハーフウェイ割り込みを許可して、データ送信中に FIFO レベルをモニタできるようにします。
3. 送信 FIFO ハーフウェイ割り込みが発生したら、送信 FIFO にデータを書き込み、SPRBR 経由で受信 FIFO からデータを読み出します。
4. すべての送信データを送信 FIFO に書き込んだら、送信 FIFO ハーフウェイ割り込みを禁止し、受信 FIFO が空になるまでデータを読み出します。受信 FIFO ノットエンプティ割り込みを許可して、最後に受信した転送バイトデータを分かるようにします。
5. 受信 FIFO ノットエンプティ割り込みが発生したら、所定数のバイトデータを受信するまで読み出します。
6. 次に使うときまでモジュールを無効にします。

アプリケーションによっては、外部の HSPI デバイスから未定量のデータを受信することもあります。この場合は、以下の手順に従ってください。

1. 要求された転送の仕様（マスタ/スレーブ、クロック極性等）にあわせて各レジスタを設定し、FIFOモードを有効にします。
2. 送信するデータを送信FIFOに書き込みます。受信FIFOノットエンプティ割り込みを許可します。
3. 受信FIFOノットエンプティ割り込みが発生したら、受信FIFOが空になるまでデータを読み出します。必要に応じて、さらにデータを送信FIFOに書き込みます。
4. 送信が停止するときにモジュールを無効にします。

23.4.4 タイミング図

HSPI のシフトとサンプリング処理におけるタイミング関係を以下の図で示します。図 23.3 に SPCR の FBS ビットが 0 のときの状態、図 23.4 に SPCR の FBS ビットが 1 のときの状態を示します。これらの図からも分かるように、SPCR の CLKP ビットが 0 のとき、送信データは HSPI_CLK の立ち下がりエッジでシフトされ、受信データは立ち上がりエッジでサンプリングされます。SPCR の CLKP ビットが 1 のとき、送信データは HSPI_CLK の立ち上がりエッジでシフトされ、受信データは立ち下がりエッジでサンプリングされます。

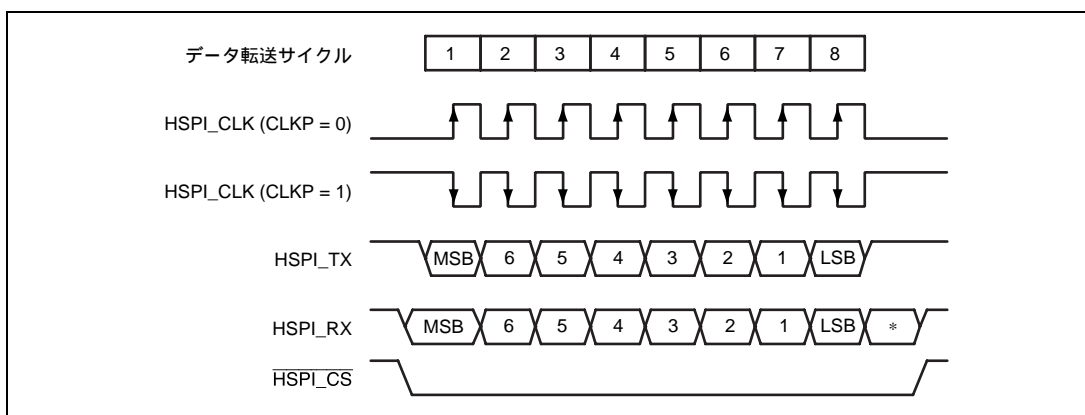


図 23.3 FBS=0 のときのタイミング

23. シリアルペリフェラルインタフェース (HSPI)

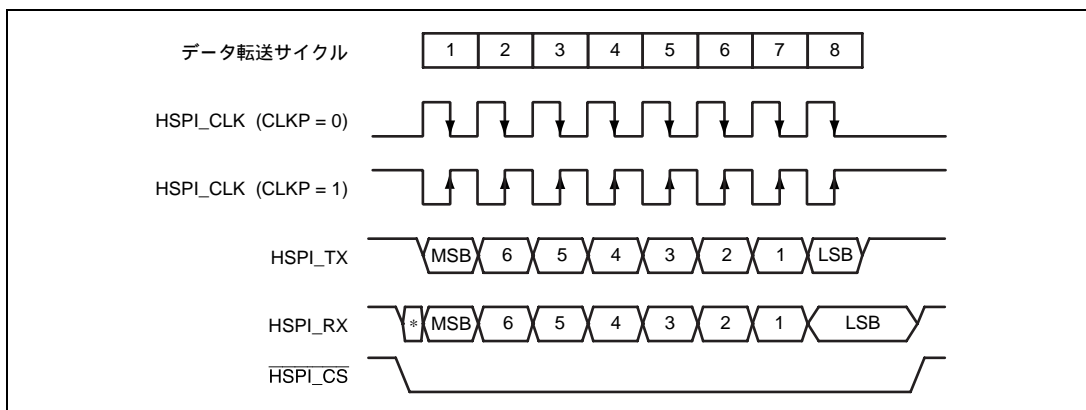


図 23.4 FBS=1 のときのタイミング

23.4.5 HSPI ソフトリセット

SPCR レジスタの FBS、CLKP、IDIV、CLKC ビットのいずれかが変更されたときに HSPI ソフトリセットは発生します。HSPI ソフトリセットにより、受信と送信 FIFO ポインタを初期化することができます。ソフトリセット後のデータ転送は、HSPI のデータ送信、受信プロトコルを守り、初めから行ってください。それ以外は動作保証しません。

23.4.6 クロック極性と送信制御

SPCR を使って、転送データのシフトタイミングと極性を設定できます。SPCR の FBS ビットで異なる 2 つの転送方式から選択できます。MSB または LSB は、 $\overline{\text{HSPI_CS}}$ の立ち下がりエッジで有効になります。SPCR の CLKP ビットを使って、マスタとスレーブの両モードにおいて HSPI_CLK の立ち上がりエッジと立ち下がりエッジのどちらでデータをシフトしてサンプリングするか制御できます。

23.4.7 送信と受信ルーチン

接続されたマスタとスレーブは、HSPI_CLK に同期した巡回シフトレジスタとして機能します。マスタからの送信バイトは、HSPI_CLK の 8 サイクル期間でスレーブからの受信バイトと置き換わります。送信部、および受信部ともにダブルバッファ構造になっていますので、読み出し / 書き込みを連続して行うことができます。FIFO モード有効時、送信データ用と受信データ用それぞれに 8 段 FIFO が使用できます。

23.5 低消費電力とクロック同期

HSPI はバスクロックに同期して動作します。

CPG モジュールのクロック停止レジスタ (CLKSTP00) の CSTP22 ビットでモジュールスタンバイモードを許可/禁止します。

モジュールスタンバイに入れるには以下の手順に従ってください。

1. すべてのデータ転送が行われたかを確認します。すなわち、トランスミットバッファ (またはFIFO) が空で、レシーブバッファ (またはFIFO) が空になるまで読み出されている必要があります。
2. すべてのDMA要求と割り込み要求を禁止します。FIFOモードも無効にします。
3. クロック停止レジスタ (CLKSTP00) のCSTP22ビットを1にセットします。

HSPI を起動するには、クロック停止解除レジスタ (CLKSTPCLR00) の CSTP22 ビットに 1 を書き込んでください。

24. ピンファンクションコントローラ (PFC)

24.1 特長

PFC には次のような特長があります。

- ポートに接続された端子を周辺モジュールが使用しているとき、端子ごとにプルアップ制御が可能
- SCIFで使用する端子は、ソフトウェアスタンバイ時、個別にHi-z制御が可能
- MFIモード/LCDモードでは、使用するモジュールの選択が可能

本 LSI は 10 組 (入出力 : 69 本、出力 : 1 本) の汎用ポート (ポート A ~ H、J、K) があります。

GPIO (汎用入出力ポート) には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり

表 24.1 にポートコントロールレジスタで制御されるマルチプレクス端子を示します。

本 LSI のマルチプレクスについては表 1.3、表 1.4 を参照してください。また、ポートの各端子の初期状態はプルアップされています。

表 24.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

端子名	ポート	GPIO	MFI モード (MD7 = 0)	LCD モード (MD7 = 1)	レジスタ設定
CAN0_NERR/AUDCK* ¹	A	PTA7 入出力	HCAN2[0]/AUD		AUD
CAN0_RX/AUDATA[2]* ¹	A	PTA6 入出力	HCAN2[0]/AUD		AUD
CAN0_TX/AUDATA[0]* ¹	A	PTA5 入出力	HCAN2[0]/AUD		AUD
CAN1_NERR/AUDSYNC* ¹	A	PTA4 入出力	HCAN2[1]/AUD		AUD
CAN1_RX/AUDATA[3]* ¹	A	PTA3 入出力	HCAN2[1]/AUD		AUD
CAN1_TX/AUDATA[1]* ¹	A	PTA2 入出力	HCAN2[1]/AUD		AUD
SSI0_SCK/HAC_SD_IN0/BS2* ^{1*2}	B	PTB7 入出力	SSI[0]/HAC[0]		BS2
SSI0_WS/HAC_SYNC0* ¹	B	PTB6 入出力	SSI[0]/HAC[0]		
SSI0_SDATA/HAC_SD_OUT0* ¹	B	PTB5 入出力	SSI[0]/HAC[0]		
CMT_CTR0/TCLK	B	PTB4 入出力	CMT		
CMT_CTR1	B	PTB3 入出力	CMT		
CMT_CTR2	B	PTB2 入出力	CMT		

24. ピンファンクションコントローラ (PFC)

端子名	ポート	GPIO	MFI モード (MD7 = 0)	LCD モード (MD7 = 1)	レジスタ設定
CMT_CTR3	B	PTB1 入出力	CMT		
MFI-D0/LCD_DATA0	C	PTC7 入出力	MFI	LCDC	
MFI-D1/LCD_DATA1	C	PTC6 入出力	MFI	LCDC	
MFI-D2/LCD_DATA2/ $\overline{\text{IRQ6}}^{*2}$	C	PTC5 入出力	MFI	LCDC	IRQ
MFI-D3/LCD_DATA3/ $\overline{\text{IRQ7}}^{*2}$	C	PTC4 入出力	MFI	LCDC	IRQ
MFI-D4/LCD_DATA4/ $\overline{\text{DREQ2}}^{*2}$	C	PTC3 入出力	MFI	LCDC	DMAC
MFI-D5/LCD_DATA5/DRAK2 /DACK2 ^{*2}	C	PTC2 入出力	MFI	LCDC	DMAC
MFI-D6/LCD_DATA6/ $\overline{\text{DREQ3}}^{*2}$	C	PTC1 入出力	MFI	LCDC	DMAC
MFI-D7/LCD_DATA7/DRAK3 /DACK3 ^{*2}	C	PTC0 入出力	MFI	LCDC	DMAC
MFI-D8/LCD_DATA8 ^{*1}	D	PTD7 入出力	MFI	LCDC	
MFI-D9/LCD_DATA9 ^{*1}	D	PTD6 入出力	MFI	LCDC	
MFI-D10/LCD_DATA10 ^{*1}	D	PTD5 入出力	MFI	LCDC	
MFI-D11/LCD_DATA11 ^{*1}	D	PTD4 入出力	MFI	LCDC	
MFI-D12/LCD_DATA12 ^{*1}	D	PTD3 入出力	MFI	LCDC	
MFI-D13/LCD_DATA13 ^{*1}	D	PTD2 入出力	MFI	LCDC	
MFI-D14/LCD_DATA14 ^{*1}	D	PTD1 入出力	MFI	LCDC	
MFI-D15/LCD_DATA15 ^{*1}	D	PTD0 入出力	MFI	LCDC	
$\overline{\text{MFI-INT}}/\text{LCD_CLK}^{*3}$	E	PTE7 入出力	MFI	LCDC	
$\overline{\text{MFI-CS}}/\text{LCD_DON}^{*3}$	E	PTE6 入出力	MFI	LCDC	
MFI-E/LCD_CL1 ^{*3}	E	PTE5 入出力	MFI	LCDC	
MFI-MD/LCD_CL2 ^{*3}	E	PTE4 入出力	MFI	LCDC	
MFI-RS/LCD_M_DISP ^{*3}	E	PTE3 入出力	MFI	LCDC	
MFI-RW/LCD_FLM ^{*3}	E	PTE2 入出力	MFI	LCDC	
VCPWC/ $\overline{\text{IRQ4}}$	E	PTE1 入出力	IRQ	LCDC	
VEPWC/ $\overline{\text{IRQ5}}$	E	PTE0 入出力	IRQ	LCDC	
HSPI_TX/SIM_D/MCDAT ^{*1}	F	PTF3 入出力	HSPI/MMCIF/SIM		
HSPI_RX ^{*1}	F	PTF2 入出力	HSPI/MMCIF/SIM		
HSPI_CLK/SIM_CLK/MCCLK ^{*1}	F	PTF1 入出力	HSPI/MMCIF/SIM		
$\overline{\text{HSPI-CS}}/\text{SIM_RST}/\text{MCCMD}^{*1}$	F	PTF0 入出力	HSPI/MMCIF/SIM		
SCIF0_CLK	G	PTG7 入出力	SCIF[0]		
SCIF0_RXD	G	PTG6 入出力	SCIF[0]		
SCIF0_TXD	G	PTG5 入出力	SCIF[0]		
SCIF1_CLK	G	PTG4 入出力	SCIF[1]		
$\overline{\text{SCIF1_CTS}}$	G	PTG3 入出力	SCIF[1]		
SCIF1_RTS	G	PTG2 入出力	SCIF[1]		

24. ピンファンクションコントローラ (PFC)

端子名	ポート	GPIO	MFI モード (MD7 = 0)	LCD モード (MD7 = 1)	レジスタ設定
SCIF1_RXD	G	PTG1 入出力	SCIF[1]		
SCIF1_TXD	G	PTG0 入出力	SCIF[1]		
SCIF2_CLK	H	PTH7 入出力	SCIF[2]		
SCIF2_CTS* ³	H	PTH6 入出力	SCIF[2]		
SCIF2_RTS* ³	H	PTH5 入出力	SCIF[2]		
SCIF2_RXD	H	PTH4 入出力	SCIF[2]		
SCIF2_TXD	H	PTH3 入出力	SCIF[2]		
UCLK	H	PTH2 入出力	USB		
USB_PENC* ³	H	PTH1 入出力	USB		
USB_OVC	H	PTH0 入出力	USB		
HAC_BIT_CLK0	J	PTJ7 入出力	HAC[0]/SSI[0]		
HAC_RES	J	PTJ6 入出力	HAC[1][0]		
SSI1_WS/HAC_SYNC1* ¹	J	PTJ5 入出力	HAC[1]/SSI[1]		
SSI1_SCK/HAC_SD_IN1	J	PTJ4 入出力	HAC[1]/SSI[1]		
SSI1_SDATA/HAC_SD_OUT1* ¹	J	PTJ3 入出力	HAC[1]/SSI[1]		
HAC_BIT_CLK1	J	PTJ2 入出力	HAC[1]/SSI[1]		
DCK	J	PTJ1 出力	DCK		
Reserved/AUDATA[3]* ¹ * ³	K	PTK7 入出力	Reserved/AUD		AUD
Reserved/AUDATA[2]* ¹	K	PTK6 入出力	Reserved/AUD		AUD
Reserved/AUDATA[1]* ¹	K	PTK5 入出力	Reserved/AUD		AUD
Reserved/AUDCK* ¹	K	PTK4 入出力	Reserved/AUD		AUD
Reserved/AUDSYNC* ¹	K	PTK3 入出力	Reserved/AUD		AUD
ADTRG/AUDATA[0]* ¹	K	PTK2 入出力	ADC/AUD		AUD

【注】 *1 PFC の IPSELR により、これらの端子を使用するモジュールを選択できます。

*2 PFC の MODSELR により、これらの端子を使用するモジュールを選択できます。

*3 GPIO 割り込みあり。

24.2 レジスタの説明

PFC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

24. ピンファンクションコントローラ (PFC)

表 24.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
入力ピンブルアップ制御レジスタ	INPUPA	R/W	H'FE40 0028	H'1E40 0028	16	Pck
DMA 端子制御レジスタ	DMAPCR	R/W	H'FE40 002C	H'1E40 002C	16	Pck
SCIF.Hi-z 制御レジスタ	SCIHZR	R/W	H'FE40 0030	H'1E40 0030	16	Pck
周辺モジュールセレクトレジスタ	IPSELR	R/W	H'FE40 0034	H'1E40 0034	16	Pck
ポート A ブルアップ制御レジスタ	PAPUPR	R/W	H'FE40 0080	H'1E40 0080	8	Pck
ポート B ブルアップ制御レジスタ	PBPUPR	R/W	H'FE40 0084	H'1E40 0084	8	Pck
ポート C ブルアップ制御レジスタ	PCPUPR	R/W	H'FE40 0088	H'1E40 0088	8	Pck
ポート D ブルアップ制御レジスタ	PDPUPR	R/W	H'FE40 008C	H'1E40 008C	8	Pck
ポート E ブルアップ制御レジスタ	PEPUPR	R/W	H'FE40 0090	H'1E40 0090	8	Pck
ポート F ブルアップ制御レジスタ	PFPUPT	R/W	H'FE40 0094	H'1E40 0094	8	Pck
ポート G ブルアップ制御レジスタ	PGPUPR	R/W	H'FE40 0098	H'1E40 0098	8	Pck
ポート H ブルアップ制御レジスタ	PHPUPR	R/W	H'FE40 009C	H'1E40 009C	8	Pck
ポート J ブルアップ制御レジスタ	PJPUPR	R/W	H'FE40 00A0	H'1E40 00A0	8	Pck
ポート K ブルアップ制御レジスタ	PKPUPR	R/W	H'FE40 00A4	H'1E40 00A4	8	Pck
モードピンブルアップ制御レジスタ	MDPUPR	R/W	H'FE40 00A8	H'1E40 00A8	8	Pck
モードセレクトレジスタ	MODESELR	R/W	H'FE40 00AC	H'1E40 00AC	8	Pck
ポート A コントロールレジスタ	PACR	R/W	H'FE40 0000	H'1E40 0000	16	Pck
ポート B コントロールレジスタ	PBCR	R/W	H'FE40 0004	H'1E40 0004	16	Pck
ポート C コントロールレジスタ	PCCR	R/W	H'FE40 0008	H'1E40 0008	16	Pck
ポート D コントロールレジスタ	PDCR	R/W	H'FE40 000C	H'1E40 000C	16	Pck
ポート E コントロールレジスタ	PECR	R/W	H'FE40 0010	H'1E40 0010	16	Pck
ポート F コントロールレジスタ	PFCR	R/W	H'FE40 0014	H'1E40 0014	16	Pck
ポート G コントロールレジスタ	PGCR	R/W	H'FE40 0018	H'1E40 0018	16	Pck
ポート H コントロールレジスタ	PHCR	R/W	H'FE40 001C	H'1E40 001C	16	Pck
ポート J コントロールレジスタ	PJCR	R/W	H'FE40 0020	H'1E40 0020	16	Pck
ポート K コントロールレジスタ	PKCR	R/W	H'FE40 0024	H'1E40 0024	16	Pck
ポート A データレジスタ	PADR	R/W	H'FE40 0040	H'1E40 0040	8	Pck
ポート B データレジスタ	PBDR	R/W	H'FE40 0044	H'1E40 0044	8	Pck
ポート C データレジスタ	PCDR	R/W	H'FE40 0048	H'1E40 0048	8	Pck
ポート D データレジスタ	PDDR	R/W	H'FE40 004C	H'1E40 004C	8	Pck
ポート E データレジスタ	PEDR	R/W	H'FE40 0050	H'1E40 0050	8	Pck
ポート F データレジスタ	PFDR	R/W	H'FE40 0054	H'1E40 0054	8	Pck
ポート G データレジスタ	PGDR	R/W	H'FE40 0058	H'1E40 0058	8	Pck
ポート H データレジスタ	PHDR	R/W	H'FE40 005C	H'1E40 005C	8	Pck
ポート J データレジスタ	PJDR	R/W	H'FE40 0060	H'1E40 0060	8	Pck
ポート K データレジスタ	PKDR	R/W	H'FE40 0064	H'1E40 0064	8	Pck
GPIO 割り込みコントロールレジスタ	GPIOIC	R/W	H'FF80 0048	H'1F80 0048	16	Bck

24. ピンファンクションコントローラ (PFC)

表 24.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎 による
入力ピンブルアップ制御レジスタ	INPUPA	H'FF00	保持	保持	*	保持
DMA 端子制御レジスタ	DMAPCR	H'A550	保持	保持		保持
SCIF.Hi-z 制御レジスタ	SCIHZR	H'0000	保持	保持		保持
周辺モジュールセレクトレジスタ	IPSELR	H'0003	保持	保持		保持
ポート A ブルアップ制御レジスタ	PAPUPR	H'FC	保持	保持		保持
ポート B ブルアップ制御レジスタ	PBPUPR	H'FE	保持	保持		保持
ポート C ブルアップ制御レジスタ	PCPUPR	H'FF	保持	保持		保持
ポート D ブルアップ制御レジスタ	PDPUPR	H'FF	保持	保持		保持
ポート E ブルアップ制御レジスタ	PEPUPR	H'FF	保持	保持		保持
ポート F ブルアップ制御レジスタ	PFPUPR	H'0F	保持	保持		保持
ポート G ブルアップ制御レジスタ	PGPUPR	H'FF	保持	保持		保持
ポート H ブルアップ制御レジスタ	PHPUPR	H'FF	保持	保持		保持
ポート J ブルアップ制御レジスタ	PJPUPR	H'FC	保持	保持		保持
ポート K ブルアップ制御レジスタ	PKPUPR	H'FC	保持	保持		保持
モードピンブルアップ制御レジスタ	MDPUPR	H'38	保持	保持		保持
モードセレクトレジスタ	MODSELR	H'00	保持	保持		保持
ポート A コントロールレジスタ	PACR	H'0000	保持	保持		保持
ポート B コントロールレジスタ	PBCR	H'0000	保持	保持		保持
ポート C コントロールレジスタ	PCCR	H'FFFF	保持	保持		保持
ポート D コントロールレジスタ	PDCR	H'FFFF	保持	保持		保持
ポート E コントロールレジスタ	PECR	H'0000	保持	保持		保持
ポート F コントロールレジスタ	PFCR	H'0000	保持	保持		保持
ポート G コントロールレジスタ	PGCR	H'0000	保持	保持		保持
ポート H コントロールレジスタ	PHCR	H'003C	保持	保持		保持
ポート J コントロールレジスタ	PJCR	H'0000	保持	保持		保持
ポート K コントロールレジスタ	PKCR	H'0000	保持	保持		保持
ポート A データレジスタ	PADR	H'00	保持	保持		保持
ポート B データレジスタ	PBDR	H'00	保持	保持		保持
ポート C データレジスタ	PCDR	H'00	保持	保持		保持
ポート D データレジスタ	PDDR	H'00	保持	保持		保持
ポート E データレジスタ	PEDR	H'00	保持	保持		保持
ポート F データレジスタ	PFDR	H'00	保持	保持		保持
ポート G データレジスタ	PGDR	H'00	保持	保持	保持	

24. ピンファンクションコントローラ (PFC)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
ポート H データレジスタ	PHDR	H'00	保持	保持	*	保持
ポート J データレジスタ	PJDR	H'00	保持	保持		保持
ポート K データレジスタ	PKDR	H'00	保持	保持		保持
GPIO 割り込みコントロールレジスタ	GPIOIC	H'0000	保持	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

24.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0	PA4 MD1	PA4 MD0	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	0	R/W	PTA7 モード 00: 周辺モジュール (HCAN2[0]/AUD) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
14	PA7MD0	0	R/W	
13	PA6MD1	0	R/W	
12	PA6MD0	0	R/W	
11	PA5MD1	0	R/W	PTA5 モード 00: 周辺モジュール (HCAN2[0]/AUD) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
10	PA5MD0	0	R/W	
9	PA4MD1	0	R/W	
8	PA4MD0	0	R/W	
				PTA4 モード 00: 周辺モジュール (HCAN2[1]/AUD) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7 6	PA3MD1 PA3MD0	0 0	R/W R/W	PTA3 モード 00 : 周辺モジュール (HCAN2[1]/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PA2MD1 PA2MD0	0 0	R/W R/W	PTA2 モード 00 : 周辺モジュール (HCAN2[1]/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15 14	PB7MD1 PB7MD0	0 0	R/W R/W	PTB7 モード 00 : 周辺モジュール (SSI[0]/HAC[0]/BS2) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13 12	PB6MD1 PB6MD0	0 0	R/W R/W	PTB6 モード 00 : 周辺モジュール (SSI[0]/HAC[0]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11 10	PB5MD1 PB5MD0	0 0	R/W R/W	PTB5 モード 00 : 周辺モジュール (SSI[0]/HAC[0]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PB4MD1	0	R/W	PTB4 モード 00 : 周辺モジュール (CMT) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PB4MD0	0	R/W	
7	PB3MD1	0	R/W	PTB3 モード 00 : 周辺モジュール (CMT) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PB3MD0	0	R/W	
5	PB2MD1	0	R/W	PTB2 モード 00 : 周辺モジュール (CMT) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
4	PB2MD0	0	R/W	
3	PB1MD1	0	R/W	PTB1 モード 00 : 周辺モジュール (CMT) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PB1MD0	0	R/W	
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	PC5 MD1	PC5 MD0	PC4 MD1	PC4 MD0	PC3 MD1	PC3 MD0	PC2 MD1	PC2 MD0	PC1 MD1	PC1 MD0	PC0 MD1	PC0 MD0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	1	R/W	PTC7 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PC7MD0	1	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13 12	PC6MD1 PC6MD0	1 1	R/W R/W	PTC6 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11 10	PC5MD1 PC5MD0	1 1	R/W R/W	PTC5 モード 00 : 周辺モジュール (MFI/LCDC/IRQ) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9 8	PC4MD1 PC4MD0	1 1	R/W R/W	PTC4 モード 00 : 周辺モジュール (MFI/LCDC/IRQ) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7 6	PC3MD1 PC3MD0	1 1	R/W R/W	PTC3 モード 00 : 周辺モジュール (MFI/LCDC/DMAC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PC2MD1 PC2MD0	1 1	R/W R/W	PTC2 モード 00 : 周辺モジュール (MFI/LCDC/DMAC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PC1MD1 PC1MD0	1 1	R/W R/W	PTC1 モード 00 : 周辺モジュール (MFI/LCDC/DMAC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PC0MD1 PC0MD0	1 1	R/W R/W	PTC0 モード 00 : 周辺モジュール (MFI/LCDC/DMAC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

24. ピンファンクションコントローラ (PFC)

24.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	1	R/W	PTD7 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
14	PD7MD0	1	R/W	
13	PD6MD1	1	R/W	PTD6 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
12	PD6MD0	1	R/W	
11	PD5MD1	1	R/W	PTD5 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
10	PD5MD0	1	R/W	
9	PD4MD1	1	R/W	PTD4 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
8	PD4MD0	1	R/W	
7	PD3MD1	1	R/W	PTD3 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
6	PD3MD0	1	R/W	
5	PD2MD1	1	R/W	PTD2 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
4	PD2MD0	1	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PD1MD1	1	R/W	PTD1 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PD1MD0	1	R/W	
1	PD0MD1	1	R/W	PTD0 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
0	PD0MD0	1	R/W	

24.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7 MD1	PE7 MD0	PE6 MD1	PE6 MD0	PE5 MD1	PE5 MD0	PE4 MD1	PE4 MD0	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE7MD1	0	R/W	PTE7 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PE7MD0	0	R/W	
13	PE6MD1	0	R/W	PTE6 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PE6MD0	0	R/W	
11	PE5MD1	0	R/W	PTE5 モード 00 : 周辺モジュール (MFI/LCDC) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PE5MD0	0	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PE4MD1	0	R/W	PTE4 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
8	PE4MD0	0	R/W	
7	PE3MD1	0	R/W	PTE3 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
6	PE3MD0	0	R/W	
5	PE2MD1	0	R/W	PTE2 モード 00: 周辺モジュール (MFI/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
4	PE2MD0	0	R/W	
3	PE1MD1	0	R/W	PTE1 モード 00: 周辺モジュール (IRQ/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
2	PE1MD0	0	R/W	
1	PE0MD1	0	R/W	PTE0 モード 00: 周辺モジュール (IRQ/LCDC) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
0	PE0MD0	0	R/W	

24.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PF3 MD1	PF3 MD0	PF2 MD1	PF2 MD0	PF1 MD1	PF1 MD0	PF0 MD1	PF0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
7 6	PF3MD1 PF3MD0	0 0	R/W R/W	PTF3 モード 00: 周辺モジュール (HSPI/MMCIF/SIM) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
5 4	PF2MD1 PF2MD0	0 0	R/W R/W	PTF2 モード 00: 周辺モジュール (HSPI/MMCIF/SIM) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
3 2	PF1MD1 PF1MD0	0 0	R/W R/W	PTF1 モード 00: 周辺モジュール (HSPI/MMCIF/SIM) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)
1 0	PF0MD1 PF0MD0	0 0	R/W R/W	PTF0 モード 00: 周辺モジュール (HSPI/MMCIF/SIM) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)

24.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG7 MD1	PG7 MD0	PG6 MD1	PG6 MD0	PG5 MD1	PG5 MD0	PG4 MD1	PG4 MD0	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	PG1 MD1	PG1 MD0	PG0 MD1	PG0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 14	PG7MD1 PG7MD0	0 0	R/W R/W	PTG7 モード 00: 周辺モジュール (SCIF[0]) 01: ポート出力 10: ポート入力 (プルアップ MOS : オフ) 11: ポート入力 (プルアップ MOS : オン)

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13 12	PG6MD1 PG6MD0	0 0	R/W R/W	PTG6 モード 00 : 周辺モジュール (SCIF[0]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11 10	PG5MD1 PG5MD0	0 0	R/W R/W	PTG5 モード 00 : 周辺モジュール (SCIF[0]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9 8	PG4MD1 PG4MD0	0 0	R/W R/W	PTG4 モード 00 : 周辺モジュール (SCIF[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7 6	PG3MD1 PG3MD0	0 0	R/W R/W	PTG3 モード 00 : 周辺モジュール (SCIF[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PG2MD1 PG2MD0	0 0	R/W R/W	PTG2 モード 00 : 周辺モジュール (SCIF[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PG1MD1 PG1MD0	0 0	R/W R/W	PTG1 モード 00 : 周辺モジュール (SCIF[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PG0MD1 PG0MD0	0 0	R/W R/W	PTG0 モード 00 : 周辺モジュール (SCIF[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

24.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7 MD1	PH7 MD0	PH6 MD1	PH6 MD0	PH5 MD1	PH5 MD0	PH4 MD1	PH4 MD0	PH3 MD1	PH3 MD0	PH2 MD1	PH2 MD0	PH1 MD1	PH1 MD0	PH0 MD1	PH0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PH7MD1	0	R/W	PTH7 モード 00: 周辺モジュール (SCIF[2]) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
14	PH7MD0	0	R/W	
13	PH6MD1	0	R/W	PTH6 モード 00: 周辺モジュール (SCIF[2]) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
12	PH6MD0	0	R/W	
11	PH5MD1	0	R/W	PTH5 モード 00: 周辺モジュール (SCIF[2]) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
10	PH5MD0	0	R/W	
9	PH4MD1	0	R/W	PTH4 モード 00: 周辺モジュール (SCIF[2]) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
8	PH4MD0	0	R/W	
7	PH3MD1	0	R/W	PTH3 モード 00: 周辺モジュール (SCIF[2]) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
6	PH3MD0	0	R/W	
5	PH2MD1	1	R/W	PTH2 モード 00: 周辺モジュール (USB) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
4	PH2MD0	1	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
3	PH1MD1	1	R/W	PTH1 モード 00 : 周辺モジュール (USB) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PH1MD0	1	R/W	
1	PH0MD1	0	R/W	PTH0 モード 00 : 周辺モジュール (USB) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
0	PH0MD0	0	R/W	

24.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PJ7 MD1	PJ7 MD0	PJ6 MD1	PJ6 MD0	PJ5 MD1	PJ5 MD0	PJ4 MD1	PJ4 MD0	PJ3 MD1	PJ3 MD0	PJ2 MD1	PJ2 MD0	PJ1 MD1	PJ1 MD0	-	-

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R R R

ビット	ビット名	初期値	R/W	説明
15	PJ7MD1	0	R/W	PTJ7 モード 00 : 周辺モジュール (HAC[0]/SS[0]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PJ7MD0	0	R/W	
13	PJ6MD1	0	R/W	PTJ6 モード 00 : 周辺モジュール (HAC[0][1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PJ6MD0	0	R/W	
11	PJ5MD1	0	R/W	PTJ5 モード 00 : 周辺モジュール (SS[1]/HAC[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PJ5MD0	0	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
9	PJ4MD1	0	R/W	PTJ4 モード* 00 : 周辺モジュール (SSI[1]/HAC[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PJ4MD0	0	R/W	
7	PJ3MD1	0	R/W	PTJ3 モード* 00 : 周辺モジュール (SSI[1]/HAC[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PJ3MD0	0	R/W	
5	PJ2MD1	0	R/W	PTJ2 モード 00 : 周辺モジュール (HAC[1]/SSI[1]) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
4	PJ2MD0	0	R/W	
3	PJ1MD1	0	R/W	PTJ1 モード 00 : 周辺モジュール (DCK) 01 : ポート出力 上記以外 : 設定禁止
2	PJ1MD0	0	R/W	
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * ポート3を出力/ポート4を入力、ポート3を入力/ポート4を出力の組み合わせは設定しないでください。

24.2.10 ポートKコントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7 MD1	PK7 MD0	PK6 MD1	PK6 MD0	PK5 MD1	PK5 MD0	PK4 MD1	PK4 MD0	PK3 MD1	PK3 MD0	PK2 MD1	PK2 MD0	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PK7MD1	0	R/W	PTK7 モード 00 : 周辺モジュール (Reserved/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PK7MD0	0	R/W	

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13 12	PK6MD1 PK6MD0	0 0	R/W R/W	PTK6 モード 00 : 周辺モジュール (Reserved/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11 10	PK5MD1 PK5MD0	0 0	R/W R/W	PTK5 モード 00 : 周辺モジュール (Reserved/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9 8	PK4MD1 PK4MD0	0 0	R/W R/W	PTK4 モード 00 : 周辺モジュール (Reserved/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7 6	PK3MD1 PK3MD0	0 0	R/W R/W	PTK3 モード 00 : 周辺モジュール (Reserved/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PK2MD1 PK2MD0	0 0	R/W R/W	PTK2 モード 00 : 周辺モジュール (ADC/AUD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.2.11 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート A のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	PA7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.12 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート B のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24. ピンファンクションコントローラ (PFC)

24.2.13 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート C のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PC7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

24.2.14 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート D のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

24.2.15 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート E のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PE7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

24.2.16 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート F のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PF3DT	PF2DT	PF1DT	PF0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PF3DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

24. ピンファンクションコントローラ (PFC)

24.2.17 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート G のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PG7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PG6DT	0	R/W	
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

24.2.18 ポート H データレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート H のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PH6DT	0	R/W	
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

24.2.19 ポート J データレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート J のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	PJ7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。 ただし、ビット 1 は出力ポート専用です。 【注】ポート 3、4 が汎用入力ポートの場合、PJ4DT ビットからはポート 3 の状態が、PJ3DT ビットからはポート 4 の状態が読み出されます。
6	PJ6DT	0	R/W	
5	PJ5DT	0	R/W	
4	PJ4DT	0	R/W	
3	PJ3DT	0	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.20 ポート K データレジスタ (PKDR)

PKDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート K のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	PK7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PK6DT	0	R/W	
5	PK5DT	0	R/W	
4	PK4DT	0	R/W	
3	PK3DT	0	R/W	
2	PK2DT	0	R/W	
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24. ピンファンクションコントローラ (PFC)

24.2.21 GPIO 割り込みコントロールレジスタ (GPIOIC)

GPIOIC は、読み出し / 書き込み可能な 16 ビットのレジスタで、割り込み入力の制御を行います。

ソフトウェアスタンバイモードからの解除に IRQ 割り込み、または IRL 割り込みを使用するときは、「10.5.2 バスコントロールレジスタ 2 (BCR2)」のスタンバイ解除 IRL イネーブルビット (STBIRLEN) を 1 に設定しておく必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIR EN15	PTIR EN14	PTIR EN13	PTIR EN12	PTIR EN11	PTIR EN10	PTIR EN9	STB RT8	STB RT7	STB RT6	STB IRQ5	STB IRQ4	STB IRL3	STB IRL2	STB IRL1	STB IRL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PTIREN15	0	R/W	ポート割り込みイネーブル ポートを GPIO 割り込みとして使用するかどうかの設定を、ビットごとに設定できます。 0: ポートを通常の入出力ポートとして使用 1: ポートを GPIO 割り込みとして使用
14	PTIREN14	0	R/W	
13	PTIREN13	0	R/W	
12	PTIREN12	0	R/W	
11	PTIREN11	0	R/W	
10	PTIREN10	0	R/W	
9	PTIREN9	0	R/W	
8	STBRT8	0	R/W	スタンバイ解除設定ビット スタンバイモード時において、該当する STBRT ビットに 1 がセットされた状態でスタンバイ復帰の割り込みを検出すると、スタンバイモードが解除されます。 0: 割り込みを検出することでスタンバイモードを解除することを許可しない 1: 割り込みを検出することでスタンバイモードを解除することを許可する
7	STBRT7	0	R/W	
6	STBRT6	0	R/W	
5	STBIRQ5	0	R/W	スタンバイ解除 IRQ 設定ビット スタンバイモード時において、該当する STBIRQ ビットに 1 がセットされた状態で IRQ 割り込み (IRQ がローレベル) を検出すると、スタンバイモードが解除されます。 0: IRQ 割り込みを検出することでスタンバイモードを解除することを許可しない 1: IRQ 割り込みを検出することでスタンバイモードを解除することを許可する
4	STBIRQ4	0	R/W	
3	STBIRL3	0	R/W	スタンバイ解除 IRL 設定ビット スタンバイモード時において、該当する STBIRL ビットに 1 がセットされた状態で IRL 割り込み (IRL がローレベル) を検出すると、スタンバイモードが解除されます。 0: IRL 割り込みを検出することでスタンバイモードを解除することを許可しない 1: IRL 割り込みを検出することでスタンバイモードを解除することを許可する
2	STBIRL2	0	R/W	
1	STBIRL1	0	R/W	
0	STBIRL0	0	R/W	

24. ピンファンクションコントローラ (PFC)

GPIOIC の各ビットとそれらのビットで割り込みを発生させることができる端子を以下に示します。

ビット名	ピン		端子名	ポート	割り込みの種類
	17×17mm	21×21mm			
PTIREN15	T1	T2	MFI-RW/LCD_FLM	PTE2	GPIO 割り込み
PTIREN14	T2	T1	MFI-RS/LCD_M_DISP	PTE3	
PTIREN13	T4	R2	MFI-MD/LCD_CL2	PTE4	
PTIREN12	R3	R1	MFI-E/LCD_CL1	PTE5	
PTIREN11	N3	P2	MFI-CS/LCD_DON	PTE6	
PTIREN10	N2	P1	MFI-INT/LCD_CLK	PTE7	
PTIREN9	A13	A13	SCIF2_CTS	PTH6	
STBRT8	A14	A14	SCIF2_RTS	PTH5	
STBRT7	C18	C18	USB_PENC	PTH1	
STBRT6	J20	J20	Reserved/AUDATA[3]	PTK7	
STBIRQ5	E2	E2	VEPWC/ $\overline{\text{IRQ5}}$	PTE0	IRQ 割り込み
STBIRQ4	E1	E1	VCPWC/ $\overline{\text{IRQ4}}$	PTE1	
STBIRL3	M19	M19	$\overline{\text{IRL3}}$		IRL 割り込み
STBIRL2	M20	M20	$\overline{\text{IRL2}}$		
STBIRL1	N19	N19	$\overline{\text{IRL1}}$		
STBIRL0	N20	N20	$\overline{\text{IRL0}}$		

ポート端子を GPIO 割り込みとして使用する場合は、入力にしてください。入力設定は、各ポートのコントロールレジスタによって行うことができます。GPIO 割り込みは、ローアクティブのレベル割り込みです。GPIO 割り込みの端子状態は、割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

割り込みは、GPIO 割り込みに設定されたすべてのビットの OR で検出されます。どのビットに割り込みが入力されたかは、各ポートのデータレジスタをリードすることで識別できます。

IRL、IRQ 以外の割り込み要求コードはすべて H'600 です。IRL、IRQ の割り込み要求コード、GPIO 割り込みの優先順位は「第 9 章 割り込みコントローラ (INTC)」を参照してください。

24. ピンファンクションコントローラ (PFC)

24.2.22 ポート A プルアップ制御レジスタ (PAPUPR)

PAPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTA7 ~ PTA2 に相当し、ポート A の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PACR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PA7 PUPR	PA6 PUPR	PA5 PUPR	PA4 PUPR	PA3 PUPR	PA2 PUPR	-	-
初期値:	1	1	1	1	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	PA7PUPR	1	R/W	ポート A の各端子のプルアップ制御を個別に設定できます。 0: PTA _n プルアップオフ 1: PTA _n プルアップオン
6	PA6PUPR	1	R/W	
5	PA5PUPR	1	R/W	
4	PA4PUPR	1	R/W	
3	PA3PUPR	1	R/W	
2	PA2PUPR	1	R/W	
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】n=7~2

24.2.23 ポート B プルアップ制御レジスタ (PBPUPR)

PBPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTB7 ~ PTB1 に相当し、ポート B の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PBCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PB7 PUPR	PB6 PUPR	PB5 PUPR	PB4 PUPR	PB3 PUPR	PB2 PUPR	PB1 PUPR	-
初期値:	1	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	PB7PUPR	1	R/W	ポート B の各端子のプルアップ制御を個別に設定できます。 0: PTB _n プルアップオフ 1: PTB _n プルアップオン
6	PB6PUPR	1	R/W	
5	PB5PUPR	1	R/W	
4	PB4PUPR	1	R/W	
3	PB3PUPR	1	R/W	
2	PB2PUPR	1	R/W	
1	PB1PUPR	1	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】n=7~1

24.2.24 ポート C プルアップ制御レジスタ (PCPUPR)

PCPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTC7 ~ PTC0 に相当し、ポート C の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PCCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PC7 PUPR	PC6 PUPR	PC5 PUPR	PC4 PUPR	PC3 PUPR	PC2 PUPR	PC1 PUPR	PC0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PC7PUPR	1	R/W	ポート C の各端子のプルアップ制御を個別に設定できます。 0: PTCn プルアップオフ 1: PTCn プルアップオン
6	PC6PUPR	1	R/W	
5	PC5PUPR	1	R/W	
4	PC4PUPR	1	R/W	
3	PC3PUPR	1	R/W	
2	PC2PUPR	1	R/W	
1	PC1PUPR	1	R/W	
0	PC0PUPR	1	R/W	

【注】n = 7 - 0

24.2.25 ポート D プルアップ制御レジスタ (PDPUPR)

PDPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTD7 ~ PTD0 に相当し、ポート D の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PDCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PD7 PUPR	PD6 PUPR	PD5 PUPR	PD4 PUPR	PD3 PUPR	PD2 PUPR	PD1 PUPR	PD0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PD7PUPR	1	R/W	ポート D の各端子のプルアップ制御を個別に設定できます。 0: PTDn プルアップオフ 1: PTDn プルアップオン
6	PD6PUPR	1	R/W	
5	PD5PUPR	1	R/W	
4	PD4PUPR	1	R/W	
3	PD3PUPR	1	R/W	
2	PD2PUPR	1	R/W	
1	PD1PUPR	1	R/W	
0	PD0PUPR	1	R/W	

【注】n = 7 - 0

24. ピンファンクションコントローラ (PFC)

24.2.26 ポート E プルアップ制御レジスタ (PEPUPR)

PEPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTE7 ~ PTE0 に相当し、ポート E の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PECR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PE7 PUPR	PE6 PUPR	PE5 PUPR	PE4 PUPR	PE3 PUPR	PE2 PUPR	PE1 PUPR	PE0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PE7PUPR	1	R/W	ポート E の各端子のプルアップ制御を個別に設定できます。 0 : PTE _n プルアップオフ 1 : PTE _n プルアップオン
6	PE6PUPR	1	R/W	
5	PE5PUPR	1	R/W	
4	PE4PUPR	1	R/W	
3	PE3PUPR	1	R/W	
2	PE2PUPR	1	R/W	
1	PE1PUPR	1	R/W	
0	PE0PUPR	1	R/W	

【注】 n = 7 - 0

24.2.27 ポート F プルアップ制御レジスタ (FPUPR)

FPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTF3 ~ PTF0 に相当し、ポート F の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PFCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PF3 PUPR	PF2 PUPR	PF1 PUPR	PF0 PUPR
初期値:	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PF3PUPR	1	R/W	ポート F の各端子のプルアップ制御を個別に設定できます。 0 : PTF _n プルアップオフ 1 : PTF _n プルアップオン
2	PF2PUPR	1	R/W	
1	PF1PUPR	1	R/W	
0	PF0PUPR	1	R/W	

【注】 n = 3 - 0

24.2.28 ポート G プルアップ制御レジスタ (PGPUPR)

PGPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTG7 ~ PTG0 に相当し、ポート G の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PGCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PG7 PUPR	PG6 PUPR	PG5 PUPR	PG4 PUPR	PG3 PUPR	PG2 PUPR	PG1 PUPR	PG0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PG7PUPR	1	R/W	ポート G の各端子のプルアップ制御を個別に設定できます。 0 : PTGn プルアップオフ 1 : PTGn プルアップオン
6	PG6PUPR	1	R/W	
5	PG5PUPR	1	R/W	
4	PG4PUPR	1	R/W	
3	PG3PUPR	1	R/W	
2	PG2PUPR	1	R/W	
1	PG1PUPR	1	R/W	
0	PG0PUPR	1	R/W	

【注】n=7-0

24.2.29 ポート H プルアップ制御レジスタ (PHPUPR)

PHPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTH7 ~ PTH0 に相当し、ポート H の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PHCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	PH7 PUPR	PH6 PUPR	PH5 PUPR	PH4 PUPR	PH3 PUPR	PH2 PUPR	PH1 PUPR	PH0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH7PUPR	1	R/W	ポート H の各端子のプルアップ制御を個別に設定できます。 0 : PTHn プルアップオフ 1 : PTHn プルアップオン
6	PH6PUPR	1	R/W	
5	PH5PUPR	1	R/W	
4	PH4PUPR	1	R/W	
3	PH3PUPR	1	R/W	
2	PH2PUPR	1	R/W	
1	PH1PUPR	1	R/W	
0	PH0PUPR	1	R/W	

【注】n=7-0

24. ピンファンクションコントローラ (PFC)

24.2.30 ポート J プルアップ制御レジスタ (PJPUPR)

PJPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTJ7 ~ PTJ2 に相当し、ポート J の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PJCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット :	7	6	5	4	3	2	1	0
	PJ7 PUPR	PJ6 PUPR	PJ5 PUPR	PJ4 PUPR	PJ3 PUPR	PJ2 PUPR	-	-
初期値 :	1	1	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	PJ7PUPR	1	R/W	ポート J の各端子のプルアップ制御を個別に設定できます。 0 : PTJn プルアップオフ 1 : PTJn プルアップオン
6	PJ6PUPR	1	R/W	
5	PJ5PUPR	1	R/W	
4	PJ4PUPR	1	R/W	
3	PJ3PUPR	1	R/W	
2	PJ2PUPR	1	R/W	
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 n = 7 - 2

24.2.31 ポート K プルアップ制御レジスタ (PKPUPR)

PKPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットは PTK7 ~ PTK2 に相当し、ポート K の端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、PKCR で GPIO に設定されている端子には、本レジスタの設定は無効になります。

ビット :	7	6	5	4	3	2	1	0
	PK7 PUPR	PK6 PUPR	PK5 PUPR	PK4 PUPR	PK3 PUPR	PK2 PUPR	-	-
初期値 :	1	1	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	PK7PUPR	1	R/W	ポート K の各端子のプルアップ制御を個別に設定できます。 0 : PTKn プルアップオフ 1 : PTKn プルアップオン
6	PK6PUPR	1	R/W	
5	PK5PUPR	1	R/W	
4	PK4PUPR	1	R/W	
3	PK3PUPR	1	R/W	
2	PK2PUPR	1	R/W	
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 n = 7 - 2

24.2.32 モードピンプルアップ制御レジスタ (MDPUPR)

MDPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット :	7	6	5	4	3	2	1	0
	MD PUPR7	MD PUPR6	MD PUPR5	MD PUPR4	MD PUPR3	MD PUPR2	MD PUPR1	MD PUPR0
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MDPUPR7	0	R/W	MD8 のプルアップの制御 0 : MD8 プルアップオフ 1 : MD8 プルアップオン
6	MDPUPR6	0	R/W	MD7 のプルアップの制御 0 : MD7 プルアップオフ 1 : MD7 プルアップオン
5	MDPUPR5	1	R/W	MD5 のプルアップの制御 0 : MD5 プルアップオフ 1 : MD5 プルアップオン
4	MDPUPR4	1	R/W	MD4/ $\overline{\text{CE2B}}$ のプルアップの制御 0 : MD4/ $\overline{\text{CE2B}}$ プルアップオフ 1 : MD4/ $\overline{\text{CE2B}}$ プルアップオン
3	MDPUPR3	1	R/W	MD3/ $\overline{\text{CE2A}}$ のプルアップの制御 0 : MD3/ $\overline{\text{CE2A}}$ プルアップオフ 1 : MD3/ $\overline{\text{CE2A}}$ プルアップオン
2	MDPUPR2	0	R/W	MD2 のプルアップの制御 0 : MD2 プルアップオフ 1 : MD2 プルアップオン
1	MDPUPR1	0	R/W	MD1 のプルアップの制御 0 : MD1 プルアップオフ 1 : MD1 プルアップオン
0	MDPUPR0	0	R/W	MD0 のプルアップの制御 0 : MD0 プルアップオフ 1 : MD0 プルアップオン

24. ピンファンクションコントローラ (PFC)

24.2.33 入力ピンプルアップ制御レジスタ (INPUPA)

INPUPA は、読み出し / 書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD6 PUP	RDY PUP	BREQ PUP	IRL0 PUP	IRL1 PUP	IRL2 PUP	IRL3 PUP	NMI PUP	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	MD6PUP	1	R/W	MD6/ $\overline{\text{IOIS16}}$ のプルアップの制御を行います。 0: MD6/ $\overline{\text{IOIS16}}$ プルアップオフ 1: MD6/ $\overline{\text{IOIS16}}$ プルアップオン
14	RDYPUP	1	R/W	$\overline{\text{RDY}}$ のプルアップの制御を行います。 0: $\overline{\text{RDY}}$ プルアップオフ 1: $\overline{\text{RDY}}$ プルアップオン
13	BREQPUP	1	R/W	$\overline{\text{BREQ}}$ のプルアップの制御を行います。 0: $\overline{\text{BREQ}}$ プルアップオフ 1: $\overline{\text{BREQ}}$ プルアップオン
12	IRL0PUP	1	R/W	$\overline{\text{IRL0}}$ のプルアップの制御を行います。 0: $\overline{\text{IRL0}}$ プルアップオフ 1: $\overline{\text{IRL0}}$ プルアップオン
11	IRL1PUP	1	R/W	$\overline{\text{IRL1}}$ のプルアップの制御を行います。 0: $\overline{\text{IRL1}}$ プルアップオフ 1: $\overline{\text{IRL1}}$ プルアップオン
10	IRL2PUP	1	R/W	$\overline{\text{IRL2}}$ のプルアップの制御を行います。 0: $\overline{\text{IRL2}}$ プルアップオフ 1: $\overline{\text{IRL2}}$ プルアップオン
9	IRL3PUP	1	R/W	$\overline{\text{IRL3}}$ のプルアップの制御を行います。 0: $\overline{\text{IRL3}}$ プルアップオフ 1: $\overline{\text{IRL3}}$ プルアップオン
8	NMIPUP	1	R/W	NMI のプルアップの制御を行います。 0: NMI プルアップオフ 1: NMI プルアップオン
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.34 DMA 端子制御レジスタ (DMAPCR)

DMAPCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、DMAC の端子 ($\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ 、DRAK0、DRAK1、DACK0、DACK1) の状態制御と DMABRG のリセット制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DREQ P0	-	DREQ P1	-	DACK P0	DACK D0	DACK P1	DACK D1	DRAK P0	DRAK D0	DRAK P1	DRAK D1	-	-	-	BRG RST
初期値:	1	0	1	0	0	1	0	1	0	1	0	1	0	0	0	0
R/W:	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	DREQP0	1	R/W	$\overline{\text{DREQ0}}$ のプルアップの制御を行います。 0: $\overline{\text{DREQ0}}$ のプルアップオフ 1: $\overline{\text{DREQ0}}$ のプルアップオン
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	DREQP1	1	R/W	$\overline{\text{DREQ1}}$ のプルアップの制御を行います。 0: $\overline{\text{DREQ1}}$ のプルアップオフ 1: $\overline{\text{DREQ1}}$ のプルアップオン
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 10	DACKP0 DACKD0	0 1	R/W R/W	DACK0 のソフトウェアスタンバイ時の端子状態を制御します。 00: DACK0 はソフトウェアスタンバイ時、ハイインピーダンス 01: DACK0 はソフトウェアスタンバイ時、出力 10: DACK0 はソフトウェアスタンバイ時、プルアップオンでハイインピーダンス 11: 設定禁止
9 8	DACKP1 DACKD1	0 1	R/W R/W	DACK1 のソフトウェアスタンバイ時の端子状態を制御します。 00: DACK1 はソフトウェアスタンバイ時、ハイインピーダンス 01: DACK1 はソフトウェアスタンバイ時、出力 10: DACK1 はソフトウェアスタンバイ時、プルアップオンでハイインピーダンス 11: 設定禁止
7 6	DRAKP0 DRAKD0	0 1	R/W R/W	DRAK0 のソフトウェアスタンバイ時の端子状態を制御します。 00: DRAK0 はソフトウェアスタンバイ時、ハイインピーダンス 01: DRAK0 はソフトウェアスタンバイ時、出力 10: DRAK0 はソフトウェアスタンバイ時、プルアップオンでハイインピーダンス 11: 設定禁止

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
5 4	DRAKP1 DRAKD1	0 1	R/W R/W	DRAK1 のソフトウェアスタンバイ時の端子状態を制御します。 00 : DRAK1 はソフトウェアスタンバイ時、ハイインピーダンス 01 : DRAK1 はソフトウェアスタンバイ時、出力 10 : DRAK1 はソフトウェアスタンバイ時、プルアップオンでハイインピーダンス 11 : 設定禁止
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BRGRST	0	R/W	DMABRG のリセット制御を行います。 0 : DMABRG のリセットを解除する 1 : DMABRG をリセットする 【注】 BRGRST の使用方法は「11.6.2 DMABRG のリセット」を参照してください。

24.2.35 周辺モジュールセレクトレジスタ (IPSELR)

IPSELR は、読み出し / 書き込み可能な 16 ビットのレジスタです。MFI モードおよび LCD モードにおいてモードに依存しないモジュールは、本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 24.1 を参照してください。

なお、本レジスタは、GPIO の PACR、PBCR (PTB7 ~ PTB5)、PDCR、PFCR、PJCR (PJT5 ~ PJT3) で周辺モジュールを選択しているときにのみ有効になります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPSELR 15	IPSELR 14	IPSELR 13	IPSELR 12	IPSELR 11	IPSELR 10	IPSELR 9	-	-	-	-	-	-	-	LCD MD1	LCD MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 14	IPSELR15 IPSELR14	0 0	R/W R/W	HSPI、MMCIF、SIM のうち、端子 HSPI_TX/SIM_D/MCDAT、HSPI_RX、HSPI_CLK/SIM_CLK/MCCLK、HSPI_CS/SIM_RST/MCCMD を使用するモジュールを選択します。 00 : HSPI 01 : MMCIF 10 : 設定禁止 11 : SIM

24. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
13	IPSELR13	0	R/W	HCAN2、AUD のうち端子 CAN0_NERR/AUDCK、CAN0_RX/AUDATA[2]、CAN0_TX/AUDATA[0]、CAN1_NERR/AUDSYNC、CAN1_RX/AUDATA[3]、CAN1_TX/AUDATA[1]を使用するモジュールを選択します。 0 : HCAN2 1 : AUD
12	IPSELR12	0	R/W	ADC、AUD のうち端子 Reserved/AUDATA[3]、Reserved/AUDATA[2]、Reserved/AUDATA[1]、Reserved/AUDCK、Reserved/AUDSYNC、ADTRG/AUDATA[0]を使用するモジュールを選択します。 0 : Reserved/ADC* 1 : AUD 【注】 * Reserved 端子は PKCR レジスタ設定にて、内部プルアップしてください。
11 10	IPSELR11 IPSELR10	0 0	R/W R/W	SSI[1]/[0]、HAC[1]/[0]のうち端子 SSI0_SCK/HAC_SD_IN0/BS2、SSI0_WS/HAC_SYNC0、SSI0_SDATA/HAC_SD_OUT0、SSI1_SCK/HAC_SD_IN1、SSI1_SDATA/HAC_SD_OUT1、SSI1_WS/HAC_SYNC1、HAC_BIT_CLK0、HAC_BIT_CLK1 を使用するモジュールを選択します。 00 : SSI[0]、SSI[1] 01 : HAC[0]、SSI[1] 10 : 設定禁止 11 : HAC[0]、HAC[1]
9	IPSELR9	0	R/W	MFI/LCDC の端子 MFI-D8/LCD_DATA8 ~ MFI-D15/LCD_DATA15 を選択します。 0 : MFI/LCDC 1 : 設定禁止
8~2	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	LCDMD1 LCDMD0	1 1	R/W R/W	LCDC モード設定 00 : Mode 1 LCD_CL1、LCD_FLM 出力 LCD_CL2 出力 01 : Mode 2 LCD_CL1、LCD_FLM 出力 LCD_CL2 Hiz 上記以外 : 設定禁止 【注】 LCDC を使用する場合は必ず B'00 または B'01 を設定してください。

24. ピンファンクションコントローラ (PFC)

24.2.36 SCIF.Hi-Z 制御レジスタ (SCIHZR)

SCIHZR は、読み出し/書き込み可能な 16 ビットのレジスタで、PGCR、PHCR を周辺モジュール (SCIF0~2) に設定したとき、端子ごとにソフトウェアスタンバイ時の端子状態の制御を行います。0 に設定している場合、各端子状態はソフトウェアスタンバイ遷移前の状態を保ちます。PGCR と PHCR で GPIO に設定しているとき、本レジスタの設定は無効になります。SCIF で端子制御を行っている場合も、本レジスタの設定は無効になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCI CLK0	SCI RXD0	SCI TXD0	SCI CLK1	SCI CTS1	SCI RTS1	SCI RXD1	SCI TXD1	SCI CLK2	SCI CTS2	SCI RTS2	SCI RXD2	SCI TXD2	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15	SCICLK0	0	R/W	0: SCIF0_CLK hiz オフ 1: SCIF0_CLK hiz オン
14	SCIRXD0	0	R/W	0: SCIF0_RXD hiz オフ 1: SCIF0_RXD hiz オン
13	SCITXD0	0	R/W	0: SCIF0_TXD hiz オフ 1: SCIF0_TXD hiz オン
12	SCICLK1	0	R/W	0: SCIF1_CLK hiz オフ 1: SCIF1_CLK hiz オン
11	SCICTS1	0	R/W	0: $\overline{\text{SCIF1_CTS}}$ hiz オフ 1: $\overline{\text{SCIF1_CTS}}$ hiz オン
10	SCIRTS1	0	R/W	0: SCIF1_RTS hiz オフ 1: $\overline{\text{SCIF1_RTS}}$ hiz オン
9	SCIRXD1	0	R/W	0: SCIF1_RXD hiz オフ 1: SCIF1_RXD hiz オン
8	SCITXD1	0	R/W	0: SCIF1_TXD hiz オフ 1: SCIF1_TXD hiz オン
7	SCICLK2	0	R/W	0: SCIF2_CLK hiz オフ 1: SCIF2_CLK hiz オン
6	SCICTS2	0	R/W	0: SCIF2_CTS hiz オフ 1: $\overline{\text{SCIF2_CTS}}$ hiz オン
5	SCIRTS2	0	R/W	0: $\overline{\text{SCIF2_RTS}}$ hiz オフ 1: $\overline{\text{SCIF2_RTS}}$ hiz オン
4	SCIRXD2	0	R/W	0: SCIF2_RXD hiz オフ 1: SCIF2_RXD hiz オン
3	SCITXD2	0	R/W	0: SCIF2_TXD hiz オフ 1: SCIF2_TXD hiz オン
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.2.37 モードセレクトレジスタ (MODSELR)

MODSELR は、読み出し/書き込み可能な 8 ビットのレジスタで、端子 MFI-D2~MFI-D7、SSIO_SCK 機能を個別に設定します。MFI モード/LCD モードにおけるモジュールの選択は IPSELR で行ってください。ただし、これらの端子を GPIO として使用する場合、本レジスタの設定は無効になります。

ビット:	7	6	5	4	3	2	1	0
	MOD SELR7	MOD SELR6	MOD SELR5	MOD SELR4	MOD SELR3	MOD SELR2	MOD SELR1	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	MODSELR7	0	R/W	端子 MFI-D2/LCD_DATA2/iRQ6 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: $\overline{iRQ6}$
6	MODSELR6	0	R/W	端子 MFI-D3/LCD_DATA3/iRQ7 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: $\overline{iRQ7}$
5	MODSELR5	0	R/W	端子 MFI-D4/LCD_DATA4/DREQ2 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: $\overline{DREQ2}$
4	MODSELR4	0	R/W	端子 MFI-D5/LCD_DATA5/DRAK2/DACK2 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: DRAK2/DACK2
3	MODSELR3	0	R/W	端子 MFI-D6/LCD_DATA6/DREQ3 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: $\overline{DREQ3}$
2	MODSELR2	0	R/W	端子 MFI-D7/LCD_DATA7/DRAK3/DACK3 の選択 0: MFI モード / LCD モード (MFI/LCDC) 1: DRAK3/DACK3
1	MODSELR1	0	R/W	端子 SSIO_SCK/HAC_SD_IN0/BS2 の選択 0: MFI モード / LCD モード (SSI/HAC) 1: $\overline{BS2}$
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24. ピンファンクションコントローラ (PFC)

25. オーディオコーデックインタフェース (HAC)

オーディオコーデックデジタルコントローラインタフェースは Audio Codec 97 (AC'97) Version 2.1 の双方向データ転送をサポートしています。データは、シリアルで AC97 コーデックに対して送受信されます。ただし、2 つ以上のオーディオコーデックを接続することはできません。

HAC は、オーディオフレームに対してデータを抽出 / 挿入します。受信フレーム、送信フレームともにフレーム内のデータスロットは CPU による PIO 転送または DMAC による DMA 転送が可能です。

25.1 特長

HAC には次のような特長があります。

- シングル Audio Codec 97 (AC'97) Version 2.1 デジタルインタフェース
- Rx フレームでステータススロット 1 と 2 の PIO 転送
- Tx フレームでコマンドスロット 1 と 2 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の PIO 転送
- Tx フレームでデータスロット 3 と 4 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- Tx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- タグビットによってスロットを選択すること、また Rx フレームの Tx フレーム要求ビットを監視することにより、様々なサンプリングレートをサポート
- データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
- コールドリセット、ウォームリセット、低消費電力モードをサポート

25. オーディオコーデックインタフェース (HAC)

図 25.1 に HAC のブロック図を示します。

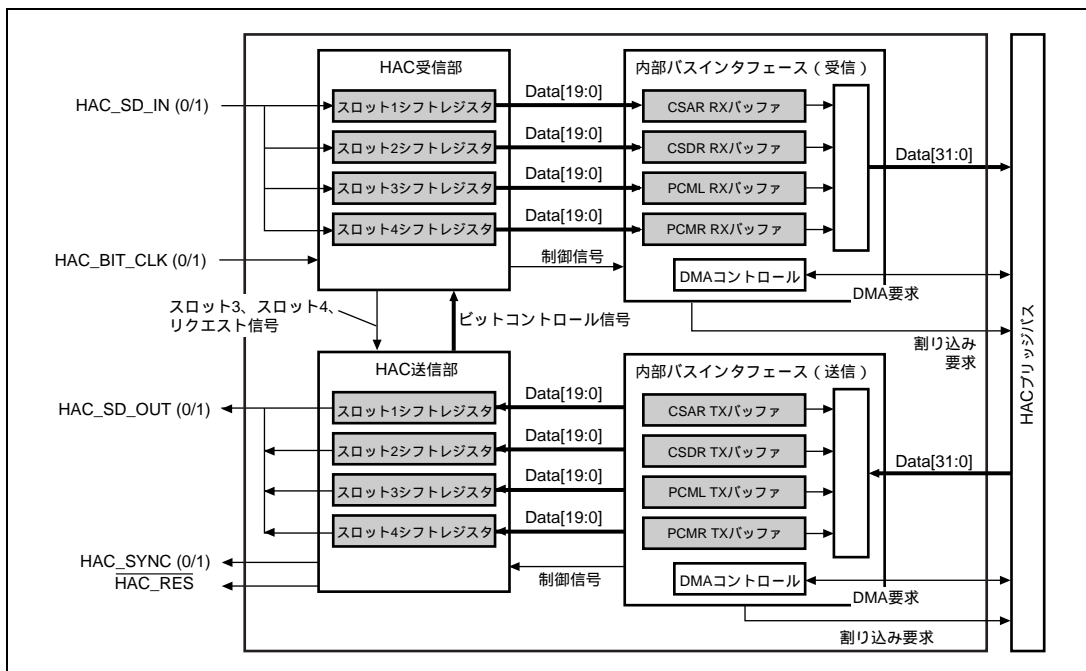


図 25.1 ブロック図

25.2 入出力端子

HAC の端子構成を表 25.1 に示します。

表 25.1 HAC の端子構成

名称	本数	入出力	機能
HAC_BIT_CLK (0/1)	1	入力	HAC シリアルデータクロック
HAC_SD_IN (0/1)	1	入力	Rx フレーム HAC シリアル入力データ
HAC_SD_OUT (0/1)	1	出力	Tx フレーム HAC シリアル出力データ
HAC_SYNC (0/1)	1	出力	HAC フレーム同期
HAC_RES	1	出力	HAC リセット (負論理信号) (チャンネル 0、1 で共通)

25.3 レジスタの説明

HAC で使用するレジスタを以下に示します。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。各レジスタの機能はどのチャンネルでも同じなので、本文中ではチャンネルによるレジスタの区別を省略します。

表 25.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
0	コントロールステータスレジスタ 0	HACCR0	R/W	H'FE24 0008	H'1E24 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	R/W	H'FE24 0020	H'1E24 0020	32	Pck
	コマンド / ステータスデータレジスタ 0	HACCSDR0	R/W	H'FE24 0024	H'1E24 0024	32	Pck
	PCM レフトチャンネルレジスタ 0	HACPCML0	R/W	H'FE24 0028	H'1E24 0028	32	Pck
	PCM ライトチャンネルレジスタ 0	HACPCMR0	R/W	H'FE24 002C	H'1E24 002C	32	Pck
	TX 割り込みイネーブルレジスタ 0	HACTIER0	R/W	H'FE24 0050	H'1E24 0050	32	Pck
	TX ステータスレジスタ 0	HACTSR0	R/W	H'FE24 0054	H'1E24 0054	32	Pck
	RX 割り込みイネーブルレジスタ 0	HACRIER0	R/W	H'FE24 0058	H'1E24 0058	32	Pck
	RX ステータスレジスタ 0	HACRSR0	R/W	H'FE24 005C	H'1E24 005C	32	Pck
	HAC コントロールレジスタ 0	HACACR0	R/W	H'FE24 0060	H'1E24 0060	32	Pck
1	コントロールステータスレジスタ 1	HACCR1	R/W	H'FE25 0008	H'1E25 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	R/W	H'FE25 0020	H'1E25 0020	32	Pck
	コマンド / ステータスデータレジスタ 1	HACCSDR1	R/W	H'FE25 0024	H'1E25 0024	32	Pck
	PCM レフトチャンネルレジスタ 1	HACPCML1	R/W	H'FE25 0028	H'1E25 0028	32	Pck
	PCM ライトチャンネルレジスタ 1	HACPCMR1	R/W	H'FE25 002C	H'1E25 002C	32	Pck
	TX 割り込みイネーブルレジスタ 1	HACTIER1	R/W	H'FE25 0050	H'1E25 0050	32	Pck
	TX ステータスレジスタ 1	HACTSR1	R/W	H'FE25 0054	H'1E25 0054	32	Pck
	RX 割り込みイネーブルレジスタ 1	HACRIER1	R/W	H'FE25 0058	H'1E25 0058	32	Pck
	RX ステータスレジスタ 1	HACRSR1	R/W	H'FE25 005C	H'1E25 005C	32	Pck
	HAC コントロールレジスタ 1	HACACR1	R/W	H'FE25 0060	H'1E25 0060	32	Pck

25. オーディオコーデックインタフェース (HAC)

表 25.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット	マニュアル リセット	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
			RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハード による	ソフトによる /モジュール毎に よる
0	コントロールステータスレジスタ 0	HACCR0	H'0000 0200	H'0000 0200	保持	*	保持
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	H'0000 0000	H'0000 0000	保持		保持
	コマンド / ステータスデータレジスタ 0	HACCSDR0	H'0000 0000	H'0000 0000	保持		保持
	PCM レフトチャンネルレジスタ 0	HACPCML0	H'0000 0000	H'0000 0000	保持		保持
	PCM ライトチャンネルレジスタ 0	HACPCMR0	H'0000 0000	H'0000 0000	保持		保持
	TX 割り込みイネーブルレジスタ 0	HACTIER0	H'0000 0000	H'0000 0000	保持		保持
	TX ステータスレジスタ 0	HACTSR0	H'0000 0000	H'0000 0000	保持		保持
	RX 割り込みイネーブルレジスタ 0	HACRIER0	H'0000 0000	H'0000 0000	保持		保持
	RX ステータスレジスタ 0	HACRSR0	H'0000 0000	H'0000 0000	保持		保持
	HAC コントロールレジスタ 0	HACACR0	H'8400 0000	H'8400 0000	保持		保持
1	コントロールステータスレジスタ 1	HACCR1	H'0000 0200	H'0000 0200	保持	*	保持
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	H'0000 0000	H'0000 0000	保持		保持
	コマンド / ステータスデータレジスタ 1	HACCSDR1	H'0000 0000	H'0000 0000	保持		保持
	PCM レフトチャンネルレジスタ 1	HACPCML1	H'0000 0000	H'0000 0000	保持		保持
	PCM ライトチャンネルレジスタ 1	HACPCMR1	H'0000 0000	H'0000 0000	保持		保持
	TX 割り込みイネーブルレジスタ 1	HACTIER1	H'0000 0000	H'0000 0000	保持		保持
	TX ステータスレジスタ 1	HACTSR1	H'0000 0000	H'0000 0000	保持		保持
	RX 割り込みイネーブルレジスタ 1	HACRIER1	H'0000 0000	H'0000 0000	保持		保持
	RX ステータスレジスタ 1	HACRSR1	H'0000 0000	H'0000 0000	保持		保持
	HAC コントロールレジスタ 1	HACACR1	H'8400 0000	H'8400 0000	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

25.3.1 コントロールステータスレジスタ (HACCR)

HACCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、入出力の制御と状態のモニタを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CR	-	-	-	CDRT	WMRT	-	-	-	-	ST	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	W	W	R	R	R	R	W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	CR	0	R	コーデックレディ 0: HAC に接続されたコーデックがレディ状態ではありません。 1: HAC に接続されたコーデックがレディ状態です。
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みできません。
11	CDRT	0	W	HAC コールドリセット コールドリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC はコールドリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
10	WMRT	0	W	HAC ウォームリセット ウォームリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC はウォームリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
9	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
5	ST	0	W	転送開始 [書き込み時] 1: データの送受信を開始します。 0: フレームの終わりで送受信を終了します。通常動作で送受信を終了させるためには、この方法を使用しないでください。 [読み出し時] 読み出すと常に0が読み出されます。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

HAC は、外部コーデックデバイスのレジスタインデックス 26 のビット 12 に 1 を書き込むことで低消費電力モードにすることができます。外部コーデックデバイスは低消費電力モードになると HAC_BIT_CLK を停止し、通常動作を一時停止します。これはパワーオンのときも同じです。動作を再開するためには、外部コーデックデバイスに対してコールドリセットかウォームリセットを行わなければなりません。

25.3.2 コマンド/ステータスアドレスレジスタ (HACCSAR)

HACCSAR は、読み出し/書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のアドレスを指定します。コーデックのレジスタに書き込みまたは読み出しを要求する場合、レジスタアドレスを HACCSAR に書き込むとコマンドアドレスとしてスロット 1 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STARY = 1) HACCSAR を読み出すことで、スロット 1 で受信したステータスアドレスを得ることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RW	CA6/ SA6	CA5/ SA5	CA4/ SA4
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA3/ SA3	CA2/ SA2	CA1/ SA1	CA0/ SA0	SLR EQ3	SLR EQ4	SLR EQ5	SLR EQ6	SLR EQ7	SLR EQ8	SLR EQ9	SLR EQ10	SLR EQ11	SLR EQ12	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
19	RW	0	R/W	<p>コーデック読み出し/書き込みコマンド</p> <p>0: アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを書き込むことを外部コーデックデバイスに通知します。HACCSDR にあらかじめデータを書き込んでおいてください。</p> <p>HACACR.TX12_ATOMIC が 1 のとき、HACCSAR と HACCSDR は同じ Tx フレームで送信されます。</p> <p>HACACR.TX12_ATOMIC が 0 のとき、HACCSAR と HACCSDR が同じ Tx フレームで送信されることは保証できません。</p> <p>1: アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを読み出すことを外部コーデックデバイスに通知します。</p>
18	CA6/SA6	0	R/W	<p>コーデックコントロールレジスタアドレス 6~0 / コーデックステータスレジスタアドレス 6~0</p> <p>[書き込み時]</p> <p>書き込んだ値はアクセスするコーデックレジスタのアドレスを示します。</p> <p>[読み出し時]</p> <p>読み出した値はスロット 1 で受信したステータスアドレスを示します。HACCSDR で受信される外部コーデックのレジスタに対応しています。</p>
17	CA5/SA5	0	R/W	
16	CA4/SA4	0	R/W	
15	CA3/SA3	0	R/W	
14	CA2/SA2	0	R/W	
13	CA1/SA1	0	R/W	
12	CA0/SA0	0	R/W	
11	SLREQ3	0	R	<p>スロットリクエスト 3~12</p> <p>Rx フレーム内でのみ有効です。スロットデータが次の Tx フレームでコーデックから要求されるかどうかを示します。</p> <p>これらのビットはハードウェアによって自動的に扱われます。Rx フレームのスロット 1 のビット 11~2 と同じです。</p> <p>0: スロットデータが要求されています。</p> <p>1: スロットデータが要求されていません。</p>
10	SLREQ4	0	R	
9	SLREQ5	0	R	
8	SLREQ6	0	R	
7	SLREQ7	0	R	
6	SLREQ8	0	R	
5	SLREQ9	0	R	
4	SLREQ10	0	R	
3	SLREQ11	0	R	
2	SLREQ12	0	R	
1、0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

25. オーディオコーデックインタフェース (HAC)

25.3.3 コマンド / ステータスデータレジスタ (HACCSDR)

HACCSDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のデータレジスタです。コーデックのレジスタに書き込む場合に HACCSDR へ書き込みを行うと、コマンドデータとしてスロット 2 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STDRY = 1) HACCSDR を読み出すことで、スロット 2 で受信したステータスデータを得ることができます。どちらの場合も対応するコーデックレジスタのアドレスは HACC SAR に格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	CD15/ SD15	CD14/ SD14	CD13/ SD13	CD12/ SD12
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD11/ SD11	CD10/ SD10	CD9/ SD9	CD8/ SD8	CD7/ SD7	CD6/ SD6	CD5/ SD5	CD4/ SD4	CD3/ SD3	CD2/ SD2	CD1/ SD1	CD0/ SD0	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	CD15/SD15	0	R/W	コマンドデータ 15 ~ 0 / ステータスデータ 15 ~ 0 これらのビットに値を設定した後、コーデックレジスタのアドレスを HACC SAR に書き込むと、データがコーデックに送信されます。 これらのビットを読み出すと、HACC SAR で示されるアドレスのコーデックレジスタの内容を示します。
18	CD14/SD14	0	R/W	
17	CD13/SD13	0	R/W	
16	CD12/SD12	0	R/W	
15	CD11/SD11	0	R/W	
14	CD10/SD10	0	R/W	
13	CD9/SD9	0	R/W	
12	CD8/SD8	0	R/W	
11	CD7/SD7	0	R/W	
10	CD6/SD6	0	R/W	
9	CD5/SD5	0	R/W	
8	CD4/SD4	0	R/W	
7	CD3/SD3	0	R/W	
6	CD2/SD2	0	R/W	
5	CD1/SD1	0	R/W	
4	CD0/SD0	0	R/W	
3 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.4 PCM レフトチャンネルレジスタ (HACPCML)

HACPCML は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のレフトチャンネルにアクセスします。HACPCML に書き込むと PCM 再生レフトチャンネルデータをコーデックに送信します。HACPCML を読み出すとコーデックからの PCM 録音レフトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	D19	D18	D17	D16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

16 ビットパケット DMA モードでは以下ようになります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	LD15~LD0	すべて 0	R/W	レフトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説 明
15~0	RD15~RD0	すべて0	R/W	ライトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

25.3.5 PCM ライトチャンネルレジスタ (HACPCMR)

HACPCMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のライトチャンネルにアクセスします。HACPCMR に書き込むと PCM 再生ライトチャンネルデータをコーデックに送信します。HACPCMR を読み出すとコーデックからの PCM 録音ライトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	D19	D18	D17	D16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~20	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D19~D0	すべて0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

25.3.6 TX 割り込みイネーブルレジスタ (HACTIER)

HACTIER は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	PLTF RQIE	PRTF RQIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PLTF UNIE	PRTF UNIE	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PLTFRQIE	0	R/W	PCML TX リクエスト割り込みイネーブル 0 : PCML TX リクエスト割り込みを禁止します。 1 : PCML TX リクエスト割り込みを許可します。
28	PRTFRQIE	0	R/W	PCMR TX リクエスト割り込みイネーブル 0 : PCMR TX リクエスト割り込みを禁止します。 1 : PCMR TX リクエスト割り込みを許可します。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUNIE	0	R/W	PCML TX アンダフロー割り込みイネーブル 0 : PCML TX アンダフロー割り込みを禁止します。 1 : PCML TX アンダフロー割り込みを許可します。
8	PRTFUNIE	0	R/W	PCMR TX アンダフロー割り込みイネーブル 0 : PCMR TX アンダフロー割り込みを禁止します。 1 : PCMR TX アンダフロー割り込みを許可します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25. オーディオコーデックインタフェース (HAC)

25.3.7 TX ステータスレジスタ (HACTSR)

HACTSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX コントローラの状態を示します。各ビットは 0 を書き込むと初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD AMT	CMD DMT	PLT FRQ	PRT FRQ	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PLT FUN	PRT FUN	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W ^{*2}	説明
31	CMDAMT	1	R/W	コマンドアドレスエンブティ 0 : CSAR Tx バッファに未送信のデータがあります。 1 : CSAR Tx バッファが空で、データを格納することができます ^{*1} 。 HAC 初期化の手順は 25.5.5 のフローを参照してください。
30	CMDDMT	1	R/W	コマンドデータエンブティ 0 : CSDR Tx バッファに未送信のデータがあります。 1 : CSDR Tx バッファが空で、データを格納することができます ^{*1}
29	PLTFRQ	1	R/W	PCML TX リクエスト 0 : PCML TX バッファに未送信のデータがあります。 1 : PCML TX バッファが空で、データを格納する必要があります。 このビットは DMA モードでは HACPCML が書き込まれると自動的に 0 にクリアされます。
28	PRTFRQ	1	R/W	PCMR TX リクエスト 0 : PCMR TX バッファに未送信のデータがあります。 1 : PCMR TX バッファが空でデータを格納する必要があります。このビットは DMA モードでは HACPCMR が書き込まれると自動的に 0 にクリアされます。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUN	0	R/W	PCML TX アンダフロー 0 : PCML TX のアンダフローが発生していません。 1 : PCML TX のアンダフローが発生したことを示します。PLTFRQ が 1 の状態で、コーデックがスロット 3 のデータを要求したときに発生します。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W*2	説明
8	PRTFUN	0	R/W	PCMR TX アンダフロー 0: PCMR TX のアンダフローが発生していません。 1: PCMR TX のアンダフローが発生したことを示します。PRTFRQ が 1 の状態で、コーデックがスロット 4 を要求したときに発生します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 CMDAMT と CMDDMT には、対応する割り込みがありません。新しいコマンドを HACCSAR または HACCSSDR に書き込む前に、これらのビットをポーリングして 1 を読み出してください。HACCSAR のビット 19 (RW) が 0 で TX12_ATOMIC が 1 のときは以下の手順に従ってください。

1. 初期化後、最初に外部コーデックデバイスのレジスタにアクセスする前に CMDDMT と CMDAMT を初期化してください。
2. HACCSSDR と HACCSAR の設定後、CMDAMT と CMDDMT が 1 になるまでポーリングし、1 になったら初期化してください。
3. 次のレジスタの書き込みが行えます。

*2 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

25.3.8 RX 割り込みイネーブルレジスタ (HACRIER)

HACRIER は読み出し / 書き込み可能な 32 ビットのレジスタで、HAC RX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	STAR YIE	STDR YIE	PLRF RQIE	PRRF RQIE	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PLRF OVIE	PRRF OVIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	STARYIE	0	R/W	ステータスアドレスレディ割り込みイネーブル 0: ステータスアドレスレディ割り込みを禁止します。 1: ステータスアドレスレディ割り込みを許可します。
21	STDRYIE	0	R/W	ステータスデータレディ割り込みイネーブル 0: ステータスデータレディ割り込みを禁止します。 1: ステータスデータレディ割り込みを許可します。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
20	PLRFRQIE	0	R/W	PCML RX リクエスト割り込みイネーブル 0: PCML RX リクエスト割り込みを禁止します。 1: PCML RX リクエスト割り込みを許可します。
19	PRRFRQIE	0	R/W	PCMR RX リクエスト割り込みイネーブル 0: PCMR RX リクエスト割り込みを禁止します。 1: PCMR RX リクエスト割り込みを許可します。
18~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	PLRFOVIE	0	R/W	PCML RX オーバフロー割り込みイネーブル 0: PCML RX オーバフロー割り込みを禁止します。 1: PCML RX オーバフロー割り込みを許可します。
12	PRRFOVIE	0	R/W	PCMR RX オーバフロー割り込みイネーブル 0: PCMR RX オーバフロー割り込みを禁止します。 1: PCMR RX オーバフロー割り込みを許可します。
11~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

25.3.9 RX ステータスレジスタ (HACRSR)

HACRSR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC の RX コントローラの状態を示します。各ビットは0を書き込むと初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	STARY	STDRY	PLR FRQ	PRR FRQ	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PLR FOV	PRR FOV	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W*	説明
31~23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	STARY	0	R/W	ステータスアドレスレディ 0: HACCSAR(ステータスアドレス)がレディ状態ではありません。 1: HACCSAR(ステータスアドレス)がレディ状態です。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W*	説明
21	STDRY	0	R/W	ステータスデータレディ 0: HACCSDR (ステータスデータ) がレディ状態ではありません。 1: HACCSDR (ステータスデータ) がレディ状態です。
20	PLRFRQ	0	R/W	PCML RX リクエスト 0: PCML RX データがレディ状態ではありません。 1: PCML RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCML が読み出されると自動的に 0 にクリアされます。
19	PRRFRQ	0	R/W	PCMR RX リクエスト 0: PCMR RX データがレディ状態ではありません。 1: PCMR RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCMR が読み出されると自動的に 0 にクリアされます。
18~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PLRFOV	0	R/W	PCML RX オーバフロー 0: PCML RX データのオーバーフローが発生していません。 1: PCML RX データのオーバーフローが発生したことを示します。 PLRFRQ が 1 の状態で新しいデータをスロット 3 から受信したときに発生します。
12	PRRFOV	0	R/W	PCMR RX オーバフロー 0: PCMR RX データのオーバーフローが発生していません。 1: PCMR RX データのオーバーフローが発生したことを示します。 PRRFRQ が 1 の状態で新しいデータをスロット 4 から受信したときに発生します。
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

25. オーディオコーデックインタフェース (HAC)

25.3.10 HAC コントロールレジスタ (HACACR)

HACACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC のインタフェースを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	DMA RX16	DMA TX16	-	-	TX12_ ATOMIC	-	RXDMAL_ _EN	TXDMAL_ _EN	RXDMAR_ _EN	TXDMAR_ _EN	-	-	-	-	-
初期値 :	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
30	DMARX16	0	R/W	16 ビット RX DMA イネーブル 0 : 16 ビットパケット RXDMA モードを無効にします。 このビットを 0 に設定すると RXDMAL_EN、RXDMAR_EN 設定を許可します。 1 : 16 ビットパケット RX DMA モードを有効にします。 このビットを 1 に設定すると RXDMAL_EN、RXDMAR_EN 設定は無視されます。
29	DMATX16	0	R/W	16 ビット TX DMA イネーブル 0 : 16 ビットパケット TXDMA モードを無効にします。 このビットを 0 に設定すると TXDMAL_EN、TXDMAR_EN 設定を許可します。 1 : 16 ビットパケット TXDMA モードを有効にします。 このビットを 1 に設定すると TXDMAL_EN、TXDMAR_EN 設定は無視されます。
28、27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	TX12_ATOMIC	1	R/W	TX スロット 1、2 アトミックコントロール 0 : HACCSAR と HACCSSDR の TX データが独立して送信されます (設定禁止)。 1 : HACCSAR のビット 19 が書き込みに設定されているとき HACCSAR と HACCSSDR の TX データが同じフレームで送信されます。(HACCSAR は最後に書き込む必要があります。)
25	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
24	RXDMAL_EN	0	R/W	RX DMA レフトイネーブル 0 : 20 ビット RX DMA が HACPCML で無効です。 1 : 20 ビット RX DMA が HACPCML で有効です。
23	TXDMAL_EN	0	R/W	TX DMA レフトイネーブル 0 : 20 ビット TX DMA が HACPCML で無効です。 1 : 20 ビット TX DMA が HACPCML で有効です。
22	RXDMAR_EN	0	R/W	RX DMA ライトイネーブル 0 : 20 ビット RX DMA が HACPCMR で無効です。 1 : 20 ビット RX DMA が HACPCMR で有効です。
21	TXDMAR_EN	0	R/W	TX DMA ライトイネーブル 0 : 20 ビット TX DMA が HACPCMR で無効です。 1 : 20 ビット TX DMA が HACPCMR で有効です。
20-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.4 AC97 フレームの-slot構成

図 25.2 に AC97 フレームの-slot構成を示します。本 LSI は、slot 0~4 をサポートし、slot 5~12 はサポートしません。

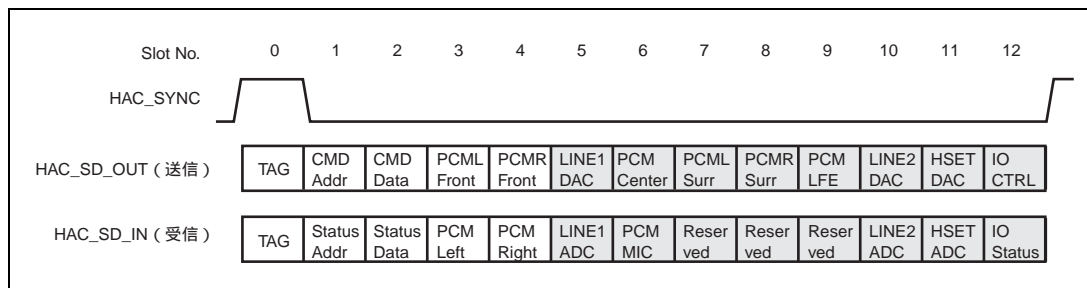


図 25.2 AC97 フレームの-slot構成

25. オーディオコーデックインタフェース (HAC)

表 25.3 AC97 送信フレームの説明

スロット	名称	説明
0	SDATA_OUT TAG	有効データを示す TAG および Code ID
1	Control CMD Addr write port	Read/Write コマンドおよびレジスタアドレス
2	Control DATA write port	レジスタライト時のデータ
3	PCM L DAC playback	左チャンネル PCM 出力データ
4	PCM R DAC playback	右チャンネル PCM 出力データ
5	Modem Line 1 DAC	モデム 1 出力データ (未サポート)
6	PCM Center	中央チャンネル PCM データ (未サポート)
7	PCM Surround L	サラウンド左チャンネル PCM データ (未サポート)
8	PCM Surround R	サラウンド右チャンネル PCM データ (未サポート)
9	PCM LFE	LFE チャンネル PCM データ (未サポート)
10	Modem Line 2 DAC	モデム 2 出力データ (未サポート)
11	Modem handset DAC	モデム handset 出力データ (未サポート)
12	Modem IO control	モデム制御用 IO 出力 (未サポート)

表 25.4 AC97 受信フレームの説明

スロット	名称	説明
0	SDATA_IN TAG	有効データを示す TAG
1	Status ADDR read port	レジスタアドレスおよびスロットリクエスト
2	Status DATA read port	レジスタリードデータ
3	PCM L ADC record	左チャンネル PCM 入力データ
4	PCM R ADC record	右チャンネル PCM 入力データ
5	Modem Line 1 ADC	モデム 1 入力データ (未サポート)
6	Dedicated Microphone ADC	オプション PCM 入力データ (未サポート)
7、8、9	Reserved	予約
10	Modem Line 2 ADC	モデム 2 入力データ (未サポート)
11	Modem handset input DAC	モデム handset 入力データ (未サポート)
12	Modem IO status	モデム制御用 IO 入力 (未サポート)

25.5 動作説明

25.5.1 レシーバ

シリアルオーディオデータは、HAC_BIT_CLK を基準とする HAC_SD_IN 信号でモジュールに入力されます。タグビットはスロット 0 から抽出され、対応する他のスロットの有効・無効を示します。タグビットによって有効なスロットを受信しないかぎり、受信データは更新されません。

サポートするのはスロット 1~4 のデータで、他のスロットに対応するタグビットやデータは無視されます。有効なスロットデータはシフトレジスタにロードされ、PIO 転送または DMA 転送のために保持されます。対応するステータスビットも生成されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で読み出し可能です。

RX オーバフローが起きたときは、HAC の現在の RX バッファデータが新しいデータで上書きされます。

25.5.2 トランスミッタ

シリアルオーディオデータは、HAC_BIT_CLK を基準とする HAC_SD_OUT 信号でモジュールから出力されます。タグビットはスロット 0 に設定され、現在のフレーム内のどのスロットにあるデータが有効であるかを示します。データスロットは前の RX フレームのスロット要求の該当するビットに対応して現在の TX フレームにロードされます。

サポートするのはスロット 1~4 のデータです。PIO 転送または DMA 転送により転送されたデータは、Tx バッファに保持されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で書き込み可能です。対応するステータスビットも生成されます。

TX アンダフローが起きたときは、次のデータが埋まるまで HAC の現在の TX バッファデータが送信されます。

25.5.3 DMA

DMA 転送は、RX フレームと TX フレームの両方のスロット 3 とスロット 4 でサポートされます。HACACR の DMARX16、DMATX16 ビットで DMA 転送のスロットデータサイズが 16 ビットか 20 ビットかを決定します。

データサイズが 20 ビットの場合、スロット 3 と 4 の両方のデータスロットを転送するのに 2 回のローカルバスアクセスが必要です。また、レシーバとトランスミッタのそれぞれに 1 つの DMA リクエストがあるので、ステレオモードで DMA リクエストはスロット 3 と 4 それぞれ別に発生します。モノラルモードでは DMA は 1 つのスロットに対してのみ発生します。

データサイズが 16 ビットの場合、スロット 3 と 4 からのデータはシングル 32 ビットのバケット形式 (レフトデータとライトデータが PCML に入れられる) になります。このとき必要なローカルバスアクセスは 1 サイクルのみです。

システムによっては終了カウントに達する前に DMA を停止させる必要があります。これは HACACR の該当する DMA ビットを無効にすることで行います。DMAC をプログラムし直したあと、再度該当する DMA ビットを有効にすると次の転送を行うことができます。

25.5.4 割り込み

レシーバとトランスミッタからのフラグイベントに対して割り込みが使用できます。各割り込みは割り込みイネーブルレジスタで設定されます。割り込みにはスロットデータの読み出し/書き込みの CPU への要求やオーバーフローやアンダフローなどがあります。割り込み要因はステータスレジスタを読み出すことで把握できます。対応するビットに 0 を書き込むことで割り込みをクリアできます。

25.5.5 初期化シーケンス

図 25.3 に初期化シーケンスの例を示します。

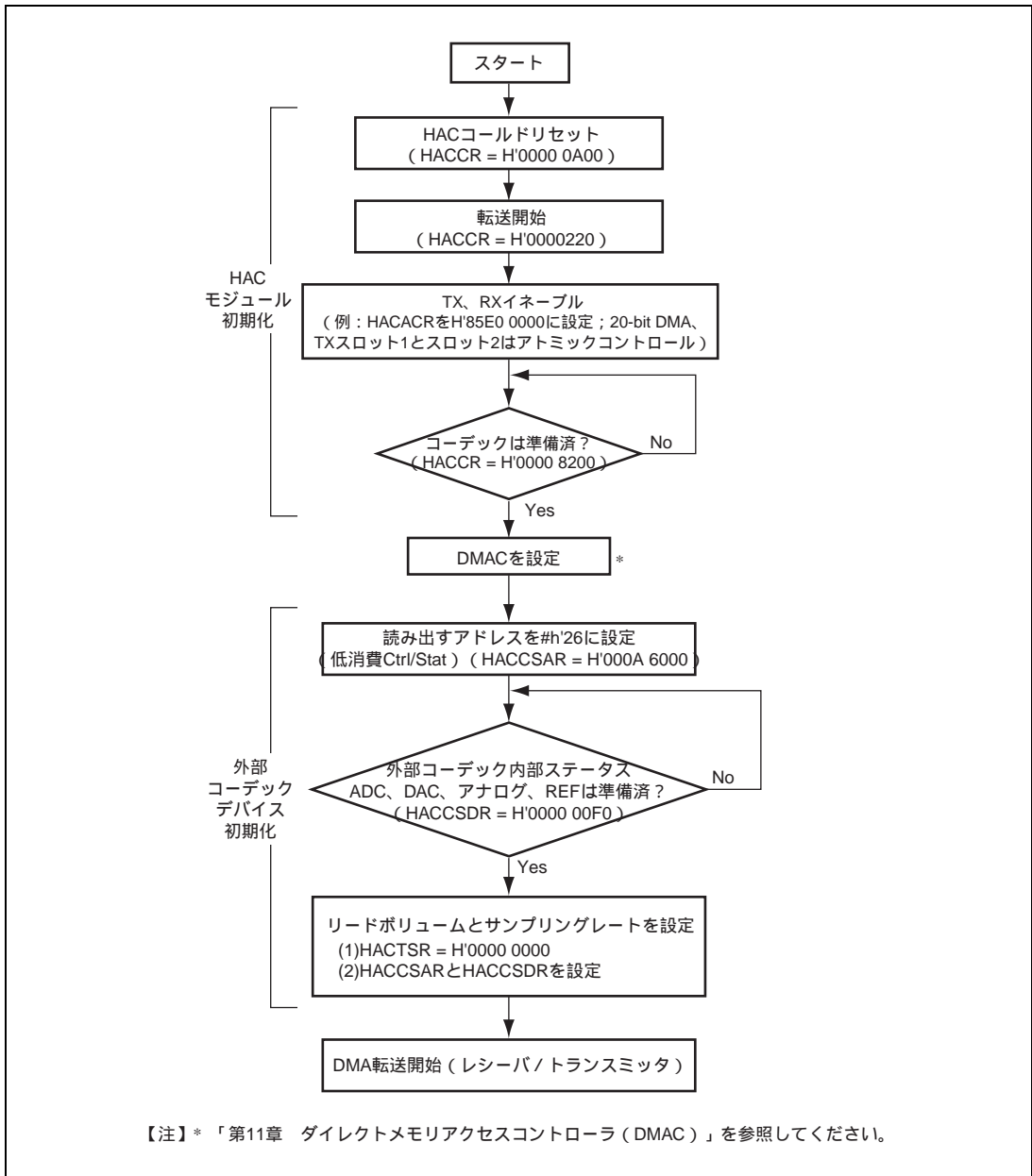


図 25.3 初期化シーケンス

25. オーディオコーデックインタフェース (HAC)

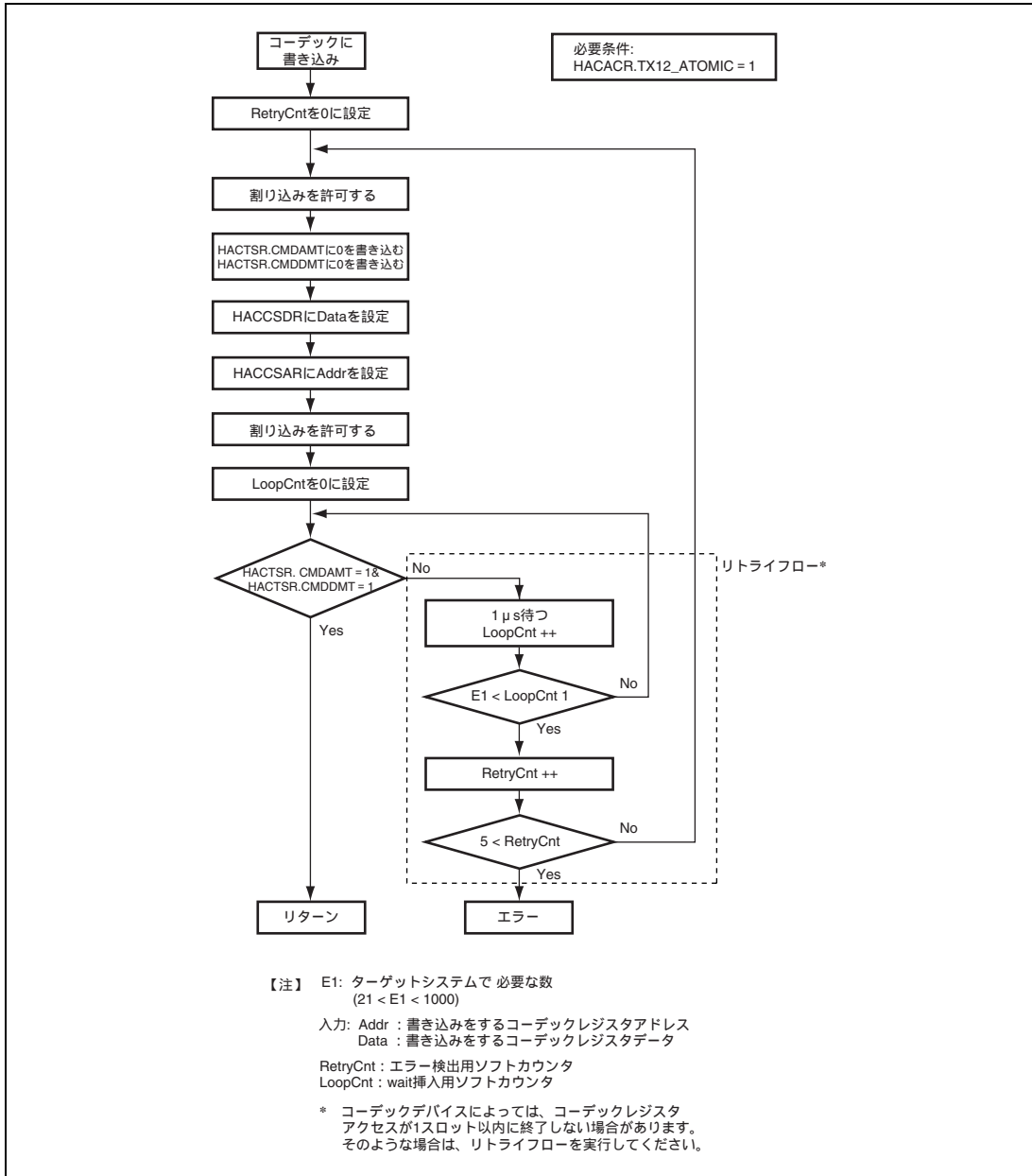


図 25.4 外部コーデックレジスタ書き込みフローチャート例

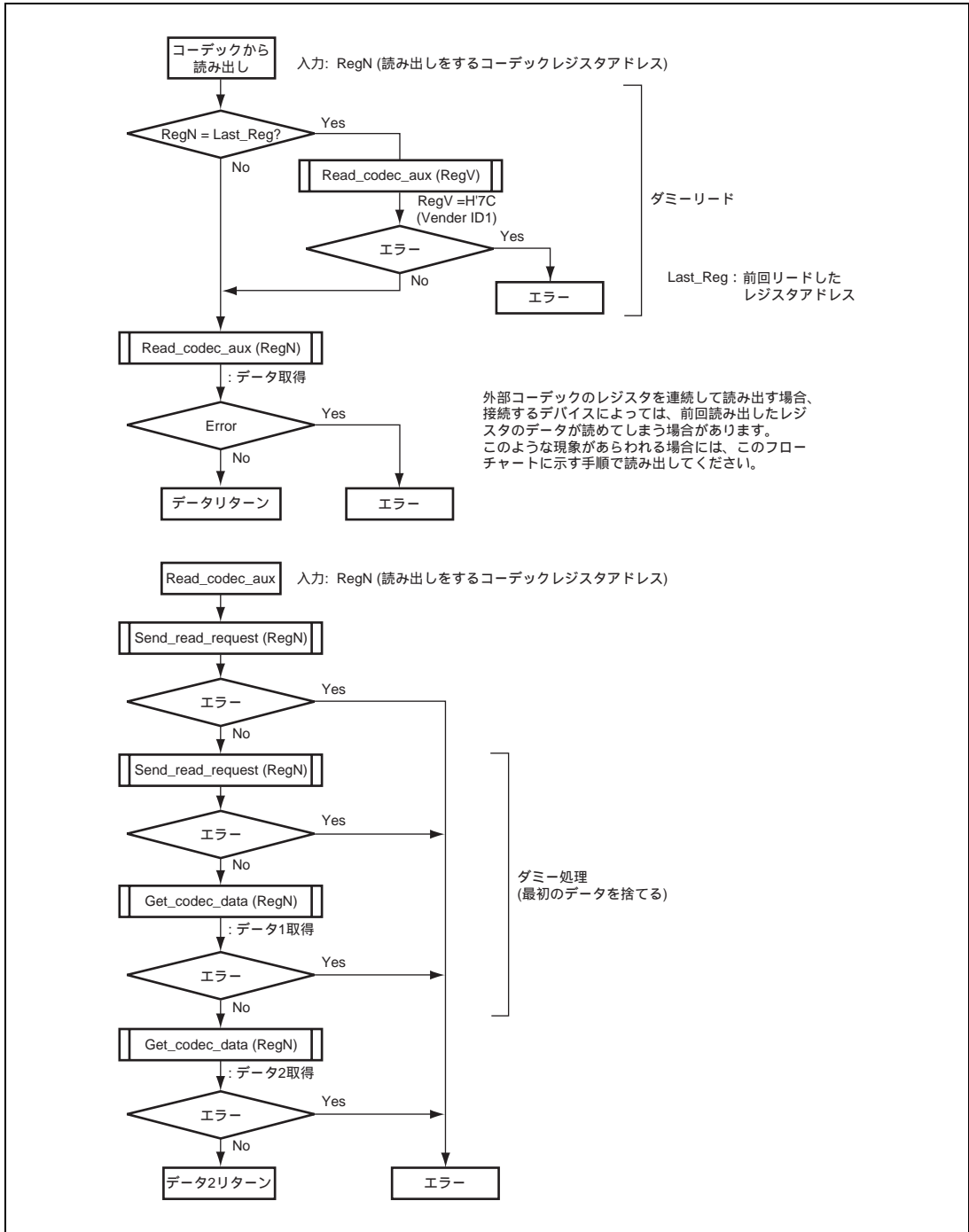


図 25.5 外部コーデックレジスタ読み出しフローチャート例

25. オーディオコーデックインタフェース (HAC)

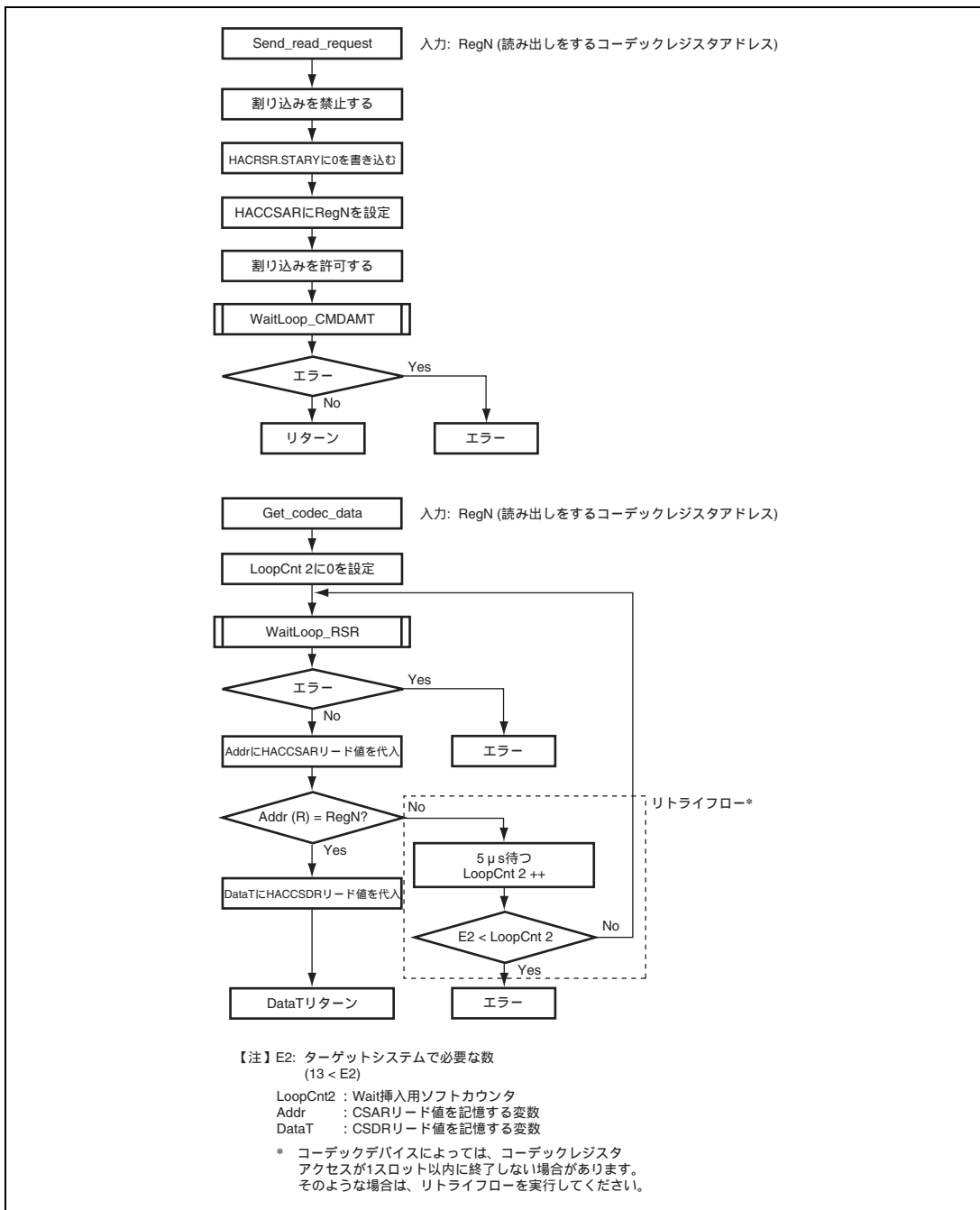


図 25.6 外部コーデックレジスタ読み出しフローチャート例 (続き)

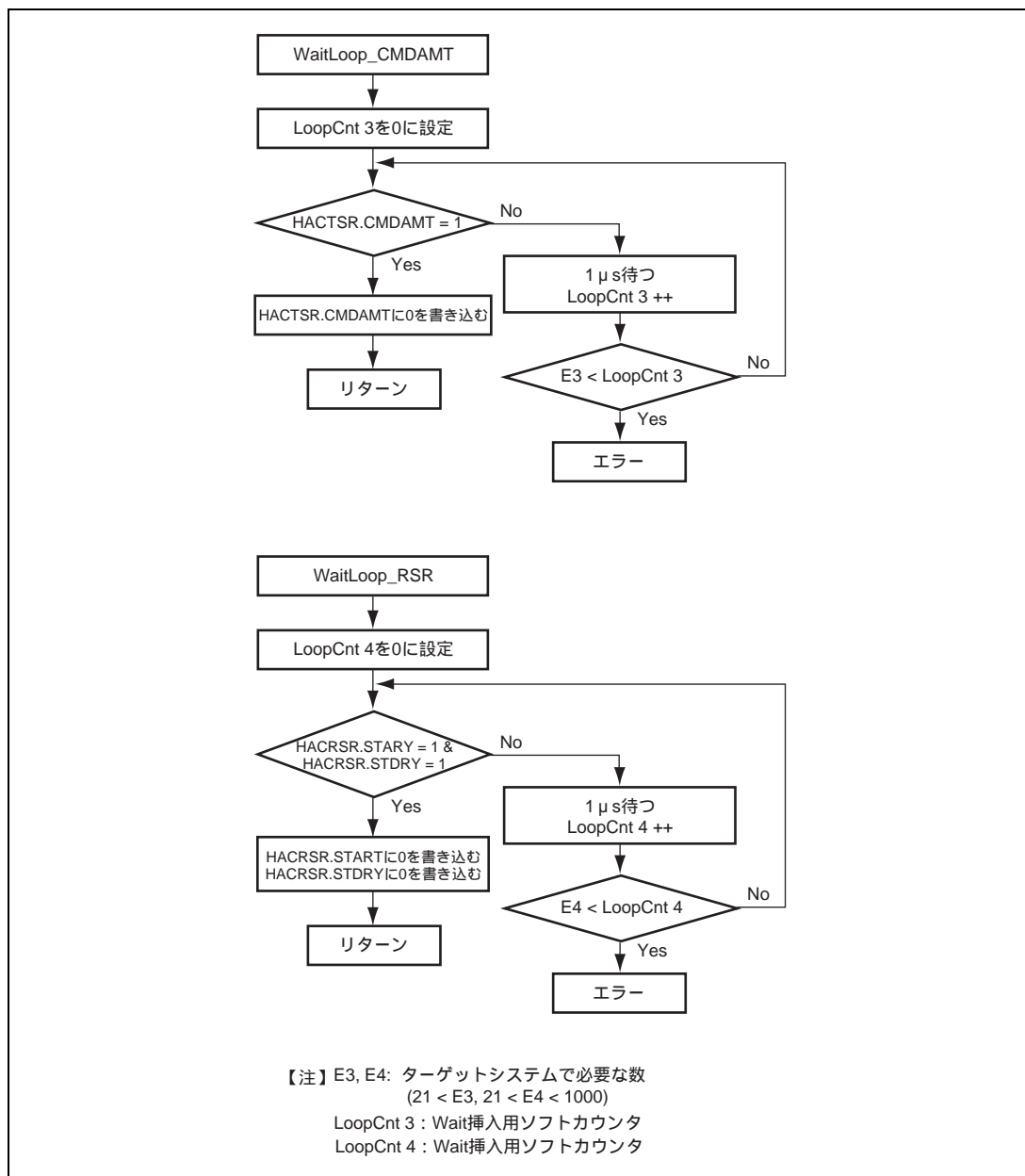


図 25.7 外部コーデックレジスタ読み出しフローチャート例 (続き)

25. オーディオコーデックインタフェース (HAC)

25.5.6 低消費電力モード

低消費電力モードの CLKSTP00 の CSTP15 と CSTP16 ビットで HAC に対するクロックの供給および停止を設定できます。

モジュールスタンバイ機能を解除してクロックを供給するには CLKSTPCLR00 の該当ビットに 1 を書き込みます。その後、HAC へのすべてのアクセスが可能になります。

モジュールを低消費電力モードにするには以下の手順に従ってください。

1. すべてのデータ転送が終了していることを確認します。送信バッファが空で受信バッファが空になるまで読み出されていることを確認します。
2. すべてのDMAリクエストと割り込み要求を無効にします。
3. コーデックを低消費電力モードにします。
4. CLKSTP00のCSTP15とCSTP16ビットに1を書き込みます。

25.5.7 注意事項

モジュールが生成する HAC_SYNC 信号は、フレーム内のスロット 0 の位置を示すために使用されます。

HAC を 2 チャンネル同時に使用する場合は、 $\overline{\text{HAC_RES}}$ 端子を 2 つのコーデック両方のリセット端子に接続してください。

25.5.8 参考

AC'97 Component Specification, Revision 2.1

26. マルチメディアカードインタフェース (MMCIF)

本 LSI は、マルチメディアカードインタフェース (MMCIF) を内蔵しており、カードインタフェースとして、MMC モードのインタフェースが使用可能です。MMCIF は、クロック同期のシリアルインタフェースで、コマンド/レスポンスとデータを区別して通信します。マルチメディアカードでは、いくつかのコマンド/レスポンスのタイプが定義されています。MMCIF は、コマンド発行時に、コマンドコードとコマンドタイプ/レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ/レスポンスタイプの組み合わせの範囲内なら、セキュアマルチメディアカード (Secure-MMC) で拡張されたコマンドや将来のコマンドの追加にも対応が可能です。

26.1 特長

MMCIF には次のような特長があります。

- The MultiMediaCard System Specification Version2.11に対応したインタフェース
- MMCモードに対応
- カードインタフェースは最大20Mbpsのビットレート (周辺動作クロック20MHz時)
- データ転送用FIFOを16ビット64段搭載
- DMA転送に対応
- 割り込み要因：4種類

FIFOエンプティ/フル、コマンド/レスポンス/データ転送完了、転送エラー、FIFOレディ

- MCCLK出力 (転送クロック出力) 端子、MCCMD入出力 (コマンド出力/レスポンス入力) 端子、MCDAT入出力 (データ入出力) 端子によるインタフェース

26. マルチメディアカードインタフェース (MMCIF)

図 26.1 に MMCIF のブロック図を示します。

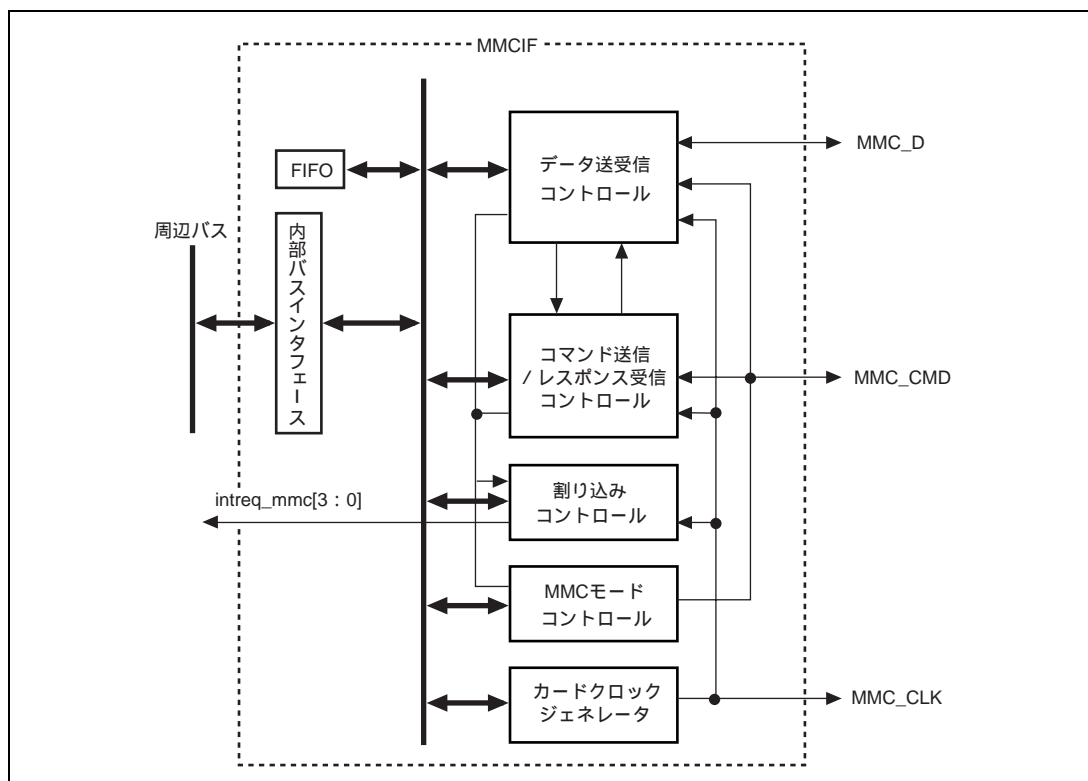


図 26.1 MMCIF のブロック図

26.2 入出力端子

MMCIF の端子構成を表 26.1 に示します。

表 26.1 端子構成

名称	入出力	機能
MCCLK	出力	カードクロック出力
MCCMD	入出力	コマンド出力 / レスポンス入力
MCDAT	入出力	データ入出力

【注】 カードの挿抜、オープンドレイン / CMOS モードの切り替え信号等は、本 LSI のポートをご利用ください。

26.3 レジスタの説明

MMCIF のレジスタ構成を以下に示します。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 26.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
コマンドレジスタ 0	CMDR0	R/W	H'FE50 0000	H'1E50 0000	8	Pck
コマンドレジスタ 1	CMDR1	R/W	H'FE50 0001	H'1E50 0001	8	Pck
コマンドレジスタ 2	CMDR2	R/W	H'FE50 0002	H'1E50 0002	8	Pck
コマンドレジスタ 3	CMDR3	R/W	H'FE50 0003	H'1E50 0003	8	Pck
コマンドレジスタ 4	CMDR4	R/W	H'FE50 0004	H'1E50 0004	8	Pck
コマンドレジスタ 5	CMDR5	-	H'FE50 0005	H'1E50 0005	8	Pck
コマンドスタートレジスタ	CMDSTRT	R/W	H'FE50 0006	H'1E50 0006	8	Pck
オペレーションコントロールレジスタ	OPCR	R/W	H'FE50 000A	H'1E50 000A	8	Pck
カードステータスレジスタ	CSTR	R	H'FE50 000B	H'1E50 000B	8	Pck
割り込みコントロールレジスタ 0	INTCR0	R/W	H'FE50 000C	H'1E50 000C	8	Pck
割り込みコントロールレジスタ 1	INTCR1	R/W	H'FE50 000D	H'1E50 000D	8	Pck
割り込みステータスレジスタ 0	INTSTR0	R/W	H'FE50 000E	H'1E50 000E	8	Pck
割り込みステータスレジスタ 1	INTSTR1	R/W	H'FE50 000F	H'1E50 000F	8	Pck
転送クロックコントロールレジスタ	CLKON	R/W	H'FE50 0010	H'1E50 0010	8	Pck
コマンドタイムアウトコントロールレジスタ	CTOCR	R/W	H'FE50 0011	H'1E50 0011	8	Pck
転送バイト数カウントレジスタ	TBCR	R/W	H'FE50 0014	H'1E50 0014	8	Pck
モードレジスタ	MODER	R/W	H'FE50 0016	H'1E50 0016	8	Pck
コマンドタイプレジスタ	CMDTYR	R/W	H'FE50 0018	H'1E50 0018	8	Pck
レスポンスタイプレジスタ	RSPTYR	R/W	H'FE50 0019	H'1E50 0019	8	Pck
レスポンスレジスタ 0	RSPR0	R/W	H'FE50 0020	H'1E50 0020	8	Pck
レスポンスレジスタ 1	RSPR1	R/W	H'FE50 0021	H'1E50 0021	8	Pck
レスポンスレジスタ 2	RSPR2	R/W	H'FE50 0022	H'1E50 0022	8	Pck

26. マルチメディアカードインタフェース (MMCIF)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
レスポンスレジスタ 3	RSPR3	R/W	H'FE50 0023	H'1E50 0023	8	Pck
レスポンスレジスタ 4	RSPR4	R/W	H'FE50 0024	H'1E50 0024	8	Pck
レスポンスレジスタ 5	RSPR5	R/W	H'FE50 0025	H'1E50 0025	8	Pck
レスポンスレジスタ 6	RSPR6	R/W	H'FE50 0026	H'1E50 0026	8	Pck
レスポンスレジスタ 7	RSPR7	R/W	H'FE50 0027	H'1E50 0027	8	Pck
レスポンスレジスタ 8	RSPR8	R/W	H'FE50 0028	H'1E50 0028	8	Pck
レスポンスレジスタ 9	RSPR9	R/W	H'FE50 0029	H'1E50 0029	8	Pck
レスポンスレジスタ 10	RSPR10	R/W	H'FE50 002A	H'1E50 002A	8	Pck
レスポンスレジスタ 11	RSPR11	R/W	H'FE50 002B	H'1E50 002B	8	Pck
レスポンスレジスタ 12	RSPR12	R/W	H'FE50 002C	H'1E50 002C	8	Pck
レスポンスレジスタ 13	RSPR13	R/W	H'FE50 002D	H'1E50 002D	8	Pck
レスポンスレジスタ 14	RSPR14	R/W	H'FE50 002E	H'1E50 002E	8	Pck
レスポンスレジスタ 15	RSPR15	R/W	H'FE50 002F	H'1E50 002F	8	Pck
レスポンスレジスタ 16	RSPR16	R/W	H'FE50 0030	H'1E50 0030	8	Pck
データタイムアウトレジスタ	DTOUTR	R/W	H'FE50 0032	H'1E50 0032	16	Pck
データレジスタ	DR	R/W	H'FE50 0040	H'1E50 0040	16	Pck
FIFO ボイntagクリアレジスタ	FIFOCLR	W	H'FE50 0042	H'1E50 0042	8	Pck
DMA コントロールレジスタ	DMACR	R/W	H'FE50 0044	H'1E50 0044	8	Pck
割り込みコントロールレジスタ 2	INTCR2	R/W	H'FE50 0046	H'1E50 0046	8	Pck
割り込みステータスレジスタ 2	INTSTR2	R/W	H'FE50 0048	H'1E50 0048	8	Pck
受信データタイミング切替レジスタ	RDTIMSEL	R/W	H'FE50 004A	H'1E50 004A	8	Pck

表 26.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
コマンドレジスタ 0	CMDR0	H'00	H'00	保持	*	保持
コマンドレジスタ 1	CMDR1	H'00	H'00	保持		保持
コマンドレジスタ 2	CMDR2	H'00	H'00	保持		保持
コマンドレジスタ 3	CMDR3	H'00	H'00	保持		保持
コマンドレジスタ 4	CMDR4	H'00	H'00	保持		保持
コマンドレジスタ 5	CMDR5	H'00	H'00	保持		保持
コマンドスタートレジスタ	CMDSTRT	H'00	H'00	保持		保持
オペレーションコントロールレジスタ	OPCR	H'00	H'00	保持		保持
カードステータスレジスタ	CSTR	H'0x	H'0x	保持		保持

26. マルチメディアカードインタフェース (MMCIF)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
割り込みコントロールレジスタ 0	INTCR0	H'00	H'00	保持	*	保持
割り込みコントロールレジスタ 1	INTCR1	H'00	H'00	保持		保持
割り込みステータスレジスタ 0	INTSTR0	H'00	H'00	保持		保持
割り込みステータスレジスタ 1	INTSTR1	H'00	H'00	保持		保持
転送クロックコントロールレジスタ	CLKON	H'00	H'00	保持		保持
コマンドタイムアウトコントロールレジスタ	CTOCR	H'00	H'00	保持		保持
転送バイト数カウンタレジスタ	TBCR	H'00	H'00	保持		保持
モードレジスタ	MODER	H'00	H'00	保持		保持
コマンドタイプレジスタ	CMDTYR	H'00	H'00	保持		保持
レスポンスタイプレジスタ	RSPTYR	H'00	H'00	保持		保持
レスポンスレジスタ 0	RSPR0	H'00	H'00	保持		保持
レスポンスレジスタ 1	RSPR1	H'00	H'00	保持		保持
レスポンスレジスタ 2	RSPR2	H'00	H'00	保持		保持
レスポンスレジスタ 3	RSPR3	H'00	H'00	保持		保持
レスポンスレジスタ 4	RSPR4	H'00	H'00	保持		保持
レスポンスレジスタ 5	RSPR5	H'00	H'00	保持		保持
レスポンスレジスタ 6	RSPR6	H'00	H'00	保持		保持
レスポンスレジスタ 7	RSPR7	H'00	H'00	保持		保持
レスポンスレジスタ 8	RSPR8	H'00	H'00	保持		保持
レスポンスレジスタ 9	RSPR9	H'00	H'00	保持		保持
レスポンスレジスタ 10	RSPR10	H'00	H'00	保持		保持
レスポンスレジスタ 11	RSPR11	H'00	H'00	保持		保持
レスポンスレジスタ 12	RSPR12	H'00	H'00	保持		保持
レスポンスレジスタ 13	RSPR13	H'00	H'00	保持		保持
レスポンスレジスタ 14	RSPR14	H'00	H'00	保持		保持
レスポンスレジスタ 15	RSPR15	H'00	H'00	保持		保持
レスポンスレジスタ 16	RSPR16	H'00	H'00	保持		保持
データタイムアウトレジスタ	DTOUTR	H'FFFF	H'FFFF	保持		保持
データレジスタ	DR	H'xxxx	H'xxxx	保持		保持
FIFO ボイタクリアレジスタ	FIFOCLR	H'00	H'00	保持		保持
DMA コントロールレジスタ	DMACR	H'00	H'00	保持	保持	
割り込みコントロールレジスタ 2	INTCR2	H'00	H'00	保持	保持	
割り込みステータスレジスタ 2	INTSTR2	H'0x	H'0x	保持	保持	
受信データタイミング切替レジスタ	RDTIMSEL	H'00	H'00	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

26.3.1 モードレジスタ (MODER)

MODER は、読み出し / 書き込み可能な 8 ビットのレジスタで、MMCIF の動作モードを設定します。MMCIF でマルチメディアカードを操作する場合は、コマンドを送出し、コマンドシーケンスの終了およびデータビジー状態の終了を待ち、次のコマンドを送出する繰り返しとなります。

コマンド送出から、コマンドレスポンス受信、データ送信 / 受信、データレスポンス受信などの一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の START ビットを 1 にセットすることによってコマンドが送出されることから始まり、必要なデータ送信 / 受信やレスポンス受信がすべて完了したときに終了します。コマンドシーケンス実行中および終了後に、マルチメディアカードには、カード内のフラッシュメモリの書き込み / 消去のためにある特定のコマンドしか受け付けないデータビジー状態があります。データビジー状態は、MCDAT 端子に、カード側からのローレベル出力で表示されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MODE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MODE	0	R/W	モード動作 MMCIF の動作モードを設定します。 0 : MMC モードで動作します。 1 : 設定禁止

26.3.2 コマンドタイプレジスタ (CMDTYR)

CMDTYR は、読み出し / 書き込み可能な 8 ビットのレジスタで、RSPTYR とともにコマンドの形式を設定します。TY1、TY0 ビットで転送データの有無および方向を設定し、TY4 ~ TY2 で付加的な設定をします。TY4 ~ TY2 は、すべて 0 にクリアするか、いずれかひとつだけを 1 にセットしてください。TY4 ~ TY2 ビットを 1 にセットする場合は、TY1、TY0 ビットを TY4 ~ TY2 のビットの意味に対応した設定にする必要があります。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TY4	TY3	TY2	TY1	TY0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TY4	0	R/W	タイプ 4 CMD12 を設定する際、1 にセットします。TY[1:0] を 00 に設定する必要があります。
3	TY3	0	R/W	タイプ 3 ストリーム転送を設定する際、1 にします。TY[1:0] を 01 または 10 に設定する必要があります。 本ビットで設定されたストリーム転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
2	TY2	0	R/W	タイプ 2 マルチブロック転送を設定する際、1 にします。TY[1:0] を 01 または 10 に設定する必要があります。 本ビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
1 0	TY1 TY0	0 0	R/W R/W	タイプ 1、0 転送データの有無および方向を設定します。 00 : データ転送を伴わないコマンド 01 : 読み出しデータの受信を伴うコマンド 10 : 書き込みデータの送信を伴うコマンド 11 : 設定禁止

26. マルチメディアカードインタフェース (MMCIF)

26.3.3 レスポンスタイプレジスタ (RSPTYR)

RSPTYR は、読み出し/書き込み可能な 8 ビットのレジスタで、CMDTYR とともにコマンドの形式を設定します。RTY2~RTY0 でレスポンスバイト数を設定し、RTY5~RTY4 で付加的な設定をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	RTY5	RTY4	-	RTY2	RTY1	RTY0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	RTY5	0	R/W	レスポンスタイプ 5 MMC カードからのデータビジー状態有無を設定します。 0: データビジーのないコマンド 1: データビジーのあるコマンド
4	RTY4	0	R/W	レスポンスタイプ 4 コマンドレスポンスの CRC を CRC7 でチェックする設定にします。 RTY[2:0]を、100、101 のいずれかに設定する必要があります。 0: CRC を CRC7 でチェックしない 1: CRC を CRC7 でチェックする
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1 0	RTY2 RTY1 RTY0	0 0 0	R/W R/W R/W	レスポンスタイプ 2~0 コマンドレスポンスバイト数を設定します。 000: コマンドレスポンスを要しないコマンド 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: コマンドレスポンス 6 バイトを要するコマンド R1、R1b、R3、R4、R5 レスポンスで設定します。 101: コマンドレスポンス 17 バイトを要するコマンド R2 レスポンスで設定します。 110: 設定禁止 111: 設定禁止

26. マルチメディアカードインタフェース (MMCIF)

表 26.3 に、「The MultiMediaCard System Specification Version2.11」記載のコマンドと、CMDTYR、RSPTYR の設定の対応を示します。

表 26.3 コマンドと CMDTYR、RSPTYR の設定

CMD INDEX	略称	resp	CMDTYR				RSPTYR		
			1、0	2	3	4	2-0	4	5
CMD0	GO_IDLE_STATE	-	00				000		
CMD1	SEND_OP_COND	R3	00				100		
CMD2	ALL_SEND_CID	R2	00				101		
CMD3	SET_RELATIVE_ADDR	R1	00				100	*	
CMD4	SET_DSR	-	00				000		
CMD7	SELECT/DESELECT_CARD	R1b	00				100	*	1
CMD9	SEND_CSD	R2	00				101		
CMD10	SEND_CID	R2	00				101		
CMD11	READ_DAT_UNTIL_STOP	R1	01		1		100	*	
CMD12	STOP_TRANSMISSION	R1b	00			1	100	*	1
CMD13	SEND_STATUS	R1	00				100	*	
CMD15	GO_INACTIVE_STATE	-	00				000		
CMD16	SET_BLOCKLEN	R1	00				100	*	
CMD17	READ_SINGLE_BLOCK	R1	01				100	*	
CMD18	READ_MULTIPLE_BLOCK	R1	01	1			100	*	
CMD20	WRITE_DAT_UNTIL_STOP	R1	10		1		100	*	
CMD24	WRITE_BLOCK	R1	10				100	*	
CMD25	WRITE_MULTIPLE_BLOCK	R1	10	1			100	*	
CMD26	PROGRAM_CID	R1	10				100	*	
CMD27	PROGRAM_CSD	R1	10				100	*	
CMD28	SET_WRITE_PROT	R1b	00				100	*	1
CMD29	CLR_WRITE_PROT	R1b	00				100	*	1
CMD30	SEND_WRITE_PROT	R1	01				100	*	
CMD32	TAG_SECTOR_START	R1	00				100	*	
CMD33	TAG_SECTOR_END	R1	00				100	*	
CMD34	UNTAG_SECTOR	R1	00				100	*	
CMD35	TAG_ERASE_GROUP_START	R1	00				100	*	
CMD36	TAG_ERASE_GROUP_END	R1	00				100	*	
CMD37	UNTAG_ERASE_GROUP	R1	00				100	*	
CMD38	ERASE	R1b	00				100	*	1
CMD39	FAST_IO	R4	00				100	*	
CMD40	GO_IRQ_STATE	R5	00				100	*	
CMD42	LOCK_UNLOCK	R1b	10				100	*	1

26. マルチメディアカードインタフェース (MMCIF)

CMD INDEX	略称	resp	CMDTYR				RSPTYR		
			1, 0	2	3	4	2~0	4	5
CMD55	APP_CMD	R1	00				100	*	
CMD56	GEN_CMD	R1b	10 または 01				100	*	1

【注】 * コマンドレスポンスの CRC のチェックが可能です。

1. 空欄は 0 です。

26.3.4 転送バイト数カウントレジスタ (TBCR)

TBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ひとつのシングルブロック転送コマンドあたりの転送バイト数 (ブロックサイズ) を設定します。スタートビット、エンドビット、CRC を含まない、データブロックバイト数を設定します。

マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。ストリーム転送コマンドでは、本設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	C3	C2	C1	C0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	C3	0	R/W	転送データブロックサイズ データ転送を伴うコマンドの実行前に 4 バイト以上を設定してください。 0000 : 1 バイト (Forced Erase 時) 0001 : 設定禁止 0010 : 4 バイト 0011 : 8 バイト 0100 : 16 バイト 0101 : 32 バイト 0110 : 64 バイト 0111 : 128 バイト 1000 : 256 バイト 1001 : 512 バイト 1010 : 1024 バイト 1011 : 2048 バイト 1100 ~ 1111 : 設定禁止
2	C2	0	R/W	
1	C1	0	R/W	
0	C0	0	R/W	

26.3.5 コマンドレジスタ 0~5 (CMDR0~CMDR5)

CMDR は、6個の8ビットレジスタです。CMDR には表 26.4 のようにコマンドを書き込み、CMDSTRT の START ビットを 1 にセットすることによりコマンドを送出します。

表 26.4 CMDR の構成

レジスタ	内容	操作
CMDR0	Start ビット、Host ビット、 コマンドインデックス	コマンドインデックス書き込み Start ビットは 0、Host ビットは 1 にセットする
CMDR1~CMDR4	コマンド引数	コマンド引数書き込み
CMDR5	CRC、End ビット	CRC は自動計算のため設定不要 End ビットは 1 固定のため設定不要

• CMDR0

ビット:	7	6	5	4	3	2	1	0
	Start	Host	INDEX					
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	Start	0	R/W	スタートビット (0 にクリアする)
6	Host	0	R/W	トランスミッションビット (1 にセットする)
5~0	INDEX	すべて 0	R/W	コマンドインデックス

• CMDR1~CMDR4

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R/W	コマンド引数 MMC カード側の仕様をご参照ください。

• CMDR5

ビット:	7	6	5	4	3	2	1	0
	CRC							End
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~1	CRC	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	End	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26. マルチメディアカードインタフェース (MMCIF)

26.3.6 レスポンスレジスタ 0 ~ 16 (RSPR0 ~ RSPR16)

RSPR0 ~ RSPR16 はコマンドレスポンスレジスタで、17 個の 8 ビットレジスタです。

コマンドレスポンスバイト数は、コマンドにより異なります。MMCIF では、コマンドレスポンスバイト数を、RSPTYR で指定することができます。コマンドレスポンスは、RSPR16 のビット 0 からシフトインされ、コマンドレスポンスバイト数 × 8 ビットまでシフトされます。表 26.5 にコマンドレスポンスバイト数と有効な RSPR の対応を示します。

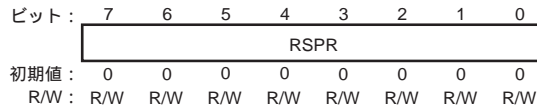
表 26.5 コマンドレスポンスバイト数と RSPR レジスタの対応

RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1, R1b, R3, R4, R5)	17 バイト (R2)
RSPR0	-	1 バイト目
RSPR1	-	2 バイト目
RSPR2	-	3 バイト目
RSPR3	-	4 バイト目
RSPR4	-	5 バイト目
RSPR5	-	6 バイト目
RSPR6	-	7 バイト目
RSPR7	-	8 バイト目
RSPR8	-	9 バイト目
RSPR9	-	10 バイト目
RSPR10	-	11 バイト目
RSPR11	1 バイト目	12 バイト目
RSPR12	2 バイト目	13 バイト目
RSPR13	3 バイト目	14 バイト目
RSPR14	4 バイト目	15 バイト目
RSPR15	5 バイト目	16 バイト目
RSPR16	6 バイト目	17 バイト目

RSPR0 ~ 16 は、単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にクリアされず、RSPR0 のビット 7 からシフトアウトされるまでシフトされ続けます。不要なバイトを H'00 にクリアするためには、各 RSPR に任意の値を書き込んでください。

RSPR のクリア完了は、任意の値の書き込みから 2 転送クロックサイクル後となります。

- RSPR0 ~ RSPR16



ビット	ビット名	初期値	R/W	説明
7~0	RSPR	すべて0	R/W	任意の値の書き込みでH'00にクリアされます。 RSPR0~16は連結された17バイトのシフトレジスタです。

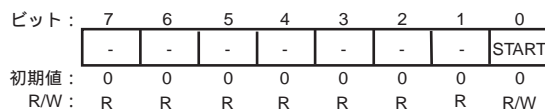
26.3.7 コマンドスタートレジスタ (CMDSTRT)

CMDSTRTは、読み出し/書き込み可能な8ビットのレジスタで、コマンド送出の開始をトリガします。コマンド送出開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

- 前コマンドのレスポンスの解析、必要ならばコマンドレスポンスレジスタの書き込みクリア
- 必要ならば前コマンドの受信データの解析/転送
- 必要ならば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCRの設定
- CMDR0~CMDR4の設定

CMDR0~CMDR4、CMDTYR、RSPTYR、TBCRは、コマンド送出が終了する(CSTRのCWREフラグが1にセットされる)まで変更しないでください。

コマンドシーケンスは、MMCIF側とMMCカード側それぞれのシーケンサで管理されています。これらは、通常は同期して動作していますが、エラーの発生やコマンドの中止などが発生すると一時的に同期できない場合があります。OPCRのCMDOFFビットのセット、CMD12コマンドの発行や、エラー処理の場合は注意が必要です。MMCIF側、カード側両方のコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。



ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	START	0	R/W	1の書き込みでコマンド送出を開始します。このビットはその後自動的にクリアされます。0を書き込むと元の値が保存されます。

26. マルチメディアカードインタフェース (MMCIF)

26.3.8 オペレーションコントロールレジスタ (OPCR)

OPCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、コマンドの動作中止、データ転送の中断 / 継続を制御します。

ビット :	7	6	5	4	3	2	1	0
	CMD OFF	-	RD_ CONTI	DATAEN	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	CMDOFF	0	R/W	<p>コマンドオフ</p> <p>コマンド送出後に 1 を書き込むことで、そのコマンドに関する動作 (MMCIF のコマンドシーケンス) をすべて中止します。その後自動的にクリアされます。</p> <p>書き込み有効期間 : コマンド送出完了からコマンドシーケンス終了まで</p> <p>0 を書き込んだとき : 動作に影響ありません。</p> <p>1 を書き込んだとき : コマンドシーケンスを強制的に中止します。*</p> <p>* コマンドシーケンス中に転送クロックを停止していた場合は、転送クロックの出力を再開します。</p>
6	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	RD_ CONTI	0	R/W	<p>読み出しコンティニュー</p> <p>1 の書き込みにより、FIFO フルやマルチブロック読み出しのブロック読み出し終了による転送クロックの停止状態で、転送クロック出力および読み出しデータの受信を再開します。</p> <p>1 を書き込んだ後、読み出しを再開したときに自動的にクリアされます。</p> <p>書き込み有効期間 : 読み出しデータ受信の MCCLK 停止中</p> <p>0 を書き込んだとき : 動作に影響ありません。</p> <p>1 を書き込んだとき : MCCLK 出力および読み出しデータ受信を再開します。</p>
4	DATAEN	0	R/W	<p>データイネーブル</p> <p>書き込みデータを伴うコマンドで、書き込みデータの送信を開始します。1 を書き込んだ後自動的にクリアされます。FIFO エンプティによる転送クロック停止状態や、マルチブロック書き込みの 1 ブロック書き込み終了では、転送クロック出力および書き込みデータの送信を再開します。</p> <p>書き込み有効期間 :</p> <p>(1) 書き込みデータを伴うコマンドレスポンス受信後、(2) FIFO エンプティによる転送クロック停止状態、(3) マルチブロック書き込みの 1 ブロック書き込み終了時</p> <p>0 を書き込んだとき : 動作に影響ありません</p> <p>1 を書き込んだとき : 転送クロック出力、および、書き込みデータ送信を開始または再開します。</p>

ビット	ビット名	初期値	R/W	説明
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

マルチメディアカードのステータスによっては、マルチメディアカード側がみずからコマンドシーケンスを停止する場合があります。これを表 26.6 に示します。この場合は、MMCIF 側も CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止する必要があります。

表 26.6 コマンドシーケンスの停止するカードステータス

カード動作モード		エラーステータス
MMC モード	コマンドレスポンス	カードが送信したコマンドレスポンスデータ内のカードステータス (32 ビット) のエラー検出ビットがセットされているとき
	データステータス	カードヘブロックデータ送信時、カードより送信される CRC ステータスのエラーにより、CRCERI ビットがセットされているとき

書き込みデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行う必要があります。また、転送クロック (MCCLK) 出力は、FIFO のフル/エンプティにより一時的に停止し、準備が整ったところで転送クロックの出力を再開する必要があります。

マルチブロック転送の場合は、ブロックの区切りごとに一時的に停止し、次のブロックに進むか、CMD12 コマンドを発行してマルチブロック転送コマンドを中止するかを選択して、転送クロックの出力を再開する必要があります。次のブロックに進むときは、RD_CONTI ビットや DATAEN ビットを 1 にセットします。CMD12 を発行する場合は、CMDOFF ビットを 1 にセットして MMCIF 側のコマンドシーケンスを中止します。

【注】 FIFO フル割り込み要因は、割り込み発生後、転送クロックの 5 クロック分の時間が経過してから要因をクリア (FIFO データリード) してください。

26.3.9 コマンドタイムアウトコントロールレジスタ (CTOCR)

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドタイムアウトを監視するために、周辺バスからはアクセスできないカウンタ (CTOUTC) があり、転送クロックをカウントしています。CTOUTC は、初期値が 0 で、コマンド送出開始から転送クロックのカウントを開始します。CTOUTC は、コマンドレスポンス受信を完了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされ転送クロックのカウントを停止します。

コマンドレスポンスが受信できない場合は、CTOUTC は転送クロックのカウントを続け、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが 1 にセットされていると、INTSTR1 の CTERI フラグがセットされます。CTOUTC は、その後も転送クロックのカウントを継続するため、繰り返し CTERI フラグのセット条件が発生します。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CTSEL1	CTSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CTSEL1	0	R/W	コマンドタイムアウトセレクト
0	CTSEL0	0	R/W	00: コマンド送信完了からレスポンス受信完了まで 128 転送クロック 01: コマンド送信完了からレスポンス受信完了まで 256 転送クロック 10: 設定禁止 11: 設定禁止

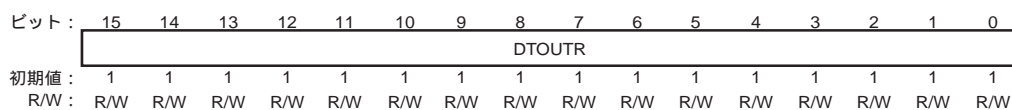
【注】 R2 レスポンス (17 バイトのコマンドレスポンス) を要求するときには、CTSEL0 を 0 にクリアすると、レスポンス受信中に、タイムアウトを発生するため、CTSEL0 を 1 に設定してください。

26.3.10 データタイムアウトレジスタ (DTOUTR)

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、周辺バスからはアクセスできない 16 ビットカウンタ (DTOUTC) とプリスケアラがあり、周辺クロックをカウントします。プリスケアラは、常に周辺クロックをカウントしており、10,000 周辺クロックごとにカウントパルスを出力します。DTOUTC は、初期値が 0 で、コマンドシーケンスの開始からプリスケアラ出力のカウントを開始します。DTOUTC は、コマンドシーケンスが終了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされプリスケアラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケアラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCRI の DTERIE ビットが 1 にセットされていると、INTSTRI の DTERI フラグがセットされます。DTOUTC は、その後もプリスケアラ出力のカウントを継続するため、繰り返し DTERI フラグのセット条件が発生します。データタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。



ビット	ビット名	初期値	R/W	説明
15~0	DTOUTR	すべて 1	R/W	データタイムアウト時間 / 10,000 データタイムアウト時間は、周辺クロック周期 × DTOUTR 設定値 × 10,000 となります。

26. マルチメディアカードインタフェース (MMCIF)

26.3.11 カードステータスレジスタ (CSTR)

CSTR は、コマンドシーケンス実行中の MMCIF のステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	BUSY	FIFO_ FULL	FIFO_ EMPTY	CWRE	DTBUSY	DTBUSY _TU	-	REQ
初期値:	0	0	0	0	0	-	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUSY	0	R	コマンドビジー コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MMCIF のコマンドシーケンスが中止されるため、0 にクリアされます。 0 : コマンド待ちのアイドル状態、またはデータビジー状態です。 1 : コマンドシーケンス実行中です。
6	FIFO_ FULL	0	R	FIFO フル カードよりデータを受信する際に、FIFO がフルになると 1 にセットされます。RD_CONTI を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。 FIFO の空きの有無を示します。 0 : FIFO に空きがあります。 1 : FIFO がフル状態です。
5	FIFO_ EMPTY	0	R	FIFO エンプティ カードにデータを送信する際に、FIFO がエンプティになると 1 にセットされます。DATA_EN を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。 FIFO のデータの有無を示します。 0 : FIFO にデータがあります。 1 : FIFO がエンプティ状態です。
4	CWRE	0	R	コマンドレジスタ書き込みイネーブル CMDR のコマンドが送信中か送信済みかを示します。 0 : CMDR のコマンドが送信済み、または CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。 1 : CMDR のコマンドを送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作します。

26. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
3	DTBUSY	0	R	データビジー コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、または書き込みデータを伴うコマンドのシーケンス終了後、カードがビジーである状態を表示します。 0: コマンド待ちのアイドル状態、またはコマンドシーケンス実行中です。 1: コマンドシーケンスの終了後、カード側がデータビジー表示をしています。
2	DTBUSY_TU	-	R	データビジー端子状態 MCDAT 端子のレベルが設定されます。このビットを読むことによって MCDAT 端子のレベルを知ることができます。 0: MCDAT 端子にローレベルが入力されている。 1: MCDAT 端子にハイレベルが入力されている。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	REQ	0	R	割り込み要求 割り込み処理要求の有無を示します。割り込み要求は、INTSTR0、INTSTR1 のフラグの論理和です。INTSTR0、INTSTR1 のフラグのセットは、INTCR0、INTCR1 のイネーブルビットによって制御されます。 0: 割り込み要求がない。 1: 割り込み要求がある。

26.3.12 割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2)

INTCR は、割り込みの許可 / 禁止を制御します。

- INTCR0

ビット:	7	6	5	4	3	2	1	0
	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBS YIE	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	FEIE	0	R/W	FIFO エンプティ割り込みイネーブル 0: FIFO エンプティ割り込み禁止 (FEI フラグのセットを禁止) 1: FIFO エンプティ割り込み許可 (FEI フラグのセットを許可)
6	FFIE	0	R/W	FIFO フル割り込みイネーブル 0: FIFO フル割り込み禁止 (FFI フラグのセットを禁止) 1: FIFO フル割り込み許可 (FFI フラグのセットを許可)
5	DRPIE	0	R/W	データレスポンス割り込みイネーブル 0: データレスポンス割り込み禁止 (DRPI フラグのセットを禁止) 1: データレスポンス割り込み許可 (DRPI フラグのセットを許可)

26. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
4	DTIE	0	R/W	データ転送終了割り込みイネーブル 0: データ転送終了割り込み禁止 (DTI フラグのセットを禁止) 1: データ転送終了割り込み許可 (DTI フラグのセットを許可)
3	CRPIE	0	R/W	コマンドレスポンス受信終了割り込みイネーブル 0: コマンドレスポンス受信終了割り込み禁止 (CRPI フラグのセットを禁止) 1: コマンドレスポンス受信終了割り込み許可 (CRPI フラグのセットを許可)
2	CMDIE	0	R/W	コマンド送信終了割り込みイネーブル 0: コマンド送信終了割り込み禁止 (CMDI フラグのセットを禁止) 1: コマンド送信終了割り込み許可 (CMDI フラグのセットを許可)
1	DBSYIE	0	R/W	データビジー終了割り込みイネーブル 0: データビジー終了割り込み禁止 (DBSYI フラグのセットを禁止) 1: データビジー終了割り込み許可 (DBSYI フラグのセットを許可)
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

• INTCR1

ビット:	7	6	5	4	3	2	1	0
	INTR Q2E	INTR Q1E	INTR Q0E	-	-	CRCE RIE	DTE RIE	CTE RIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ2E	0	R/W	MMC12 割り込みイネーブル 0: MMC12 の割り込み禁止 1: MMC12 の割り込み許可
6	INTRQ1E	0	R/W	MMC11 割り込みイネーブル 0: MMC11 の割り込み禁止 1: MMC11 の割り込み許可
5	INTRQ0E	0	R/W	MMC10 割り込みイネーブル 0: MMC10 の割り込み禁止 1: MMC10 の割り込み許可
4, 3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CRCE RIE	0	R/W	CRC エラー割り込みイネーブル 0: CRC エラー割り込み禁止 (CRCE RIE フラグのセットを禁止) 1: CRC エラー割り込み許可 (CRCE RIE フラグのセットを許可)
1	DTERIE	0	R/W	データタイムアウトエラー割り込みイネーブル 0: データタイムアウトエラー割り込み禁止 (DTERIE フラグのセットを禁止) 1: データタイムアウトエラー割り込み許可 (DTERIE フラグのセットを許可)

26. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
0	CTERIE	0	R/W	コマンドタイムアウトエラー割り込みイネーブル 0: コマンドタイムアウトエラー割り込み禁止 (CTERI フラグのセットを禁止) 1: コマンドタイムアウトエラー割り込み許可 (CTERI フラグのセットを許可)

• INTCR2

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FRDYIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FRDYIE	0	R/W	FIFO 準備完了割り込みイネーブル 0: FIFO 準備完了割り込み禁止 (フラグのセットを禁止) 1: FIFO 準備完了割り込み許可 (フラグのセットを許可)

26.3.13 割り込みステータスレジスタ 0~2 (INTSTR0 ~ INTSTR2)

INTSTR は、MMCIF の割り込み MMCI3~0 を制御します。

• INTSTR0

ビット:	7	6	5	4	3	2	1	0
	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明	割り込み出力
7	FEI	0	R/W	FIFO エンプティ割り込み 0: 割り込み要求なし [クリア条件] FEI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] FEIE = 1 の状態で、データ送信中に FIFO がエンプティとなったとき (CSTR の FIFO_EMPTY ビットがセットされたとき)	MMCI0

26. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
6	FFI	0	R/W	FIFO フル割り込み 0: 割り込み要求なし [クリア条件] FFI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] FFIE = 1 の状態で、データ受信中に FIFO がフルとなったとき (CSTR の FIFO_FULL ビットがセットされたとき)	MMCI0
5	DRPI	0	R/W	データレスポンス割り込み 0: 割り込み要求なし [クリア条件] DRPI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] DRPIE = 1 の状態で CRC ステータスを受信したとき	MMCI1
4	DTI	0	R/W	データ転送終了割り込み 0: 割り込み要求なし [クリア条件] DTI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] DTIE = 1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき	MMCI1
3	CRPI	0	R/W	コマンドレスポンス受信終了割り込み 0: 割り込み要求なし [クリア条件] CRPI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] CRPIE = 1 の状態で、コマンドレスポンスの受信が終了したとき	MMCI1

26. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説 明	割り込み出力
2	CMDI	0	R/W	コマンド送信終了割り込み 0 : 割り込み要求なし [クリア条件] CMDI = 1 を読み出した後に 0 を書き込んだとき 1 : 割り込み要求あり [セット条件] CMDIE = 1 の状態で、コマンドの送信が終了したとき (CSTR の CWRE ビットがクリアされたとき)	MMCI1
1	DBSYI	0	R/W	データビジー終了割り込み 0 : 割り込み要求なし [クリア条件] DBSYI = 1 を読み出した後に 0 を書き込んだとき 1 : 割り込み要求あり [セット条件] DBSYIE = 1 の状態で、データビジーの状態が解消したとき (CSTR の DTBUSY ビットがクリアされたとき)	MMCI1
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	-

26. マルチメディアカードインタフェース (MMCIF)

• INTSTR1

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CRC ERI	DTERI	CTERI
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	-
2	CRCERI	0	R/W	CRC エラー割り込み 0: 割り込み要求なし [クリア条件] CRCERI = 1 を読み出した後に0を書き込んだとき 1: 割り込み要求あり [セット条件] CRCERIE = 1 の状態で、コマンドレスポンスまたは受信データのCRCエラーおよび、送信データレスポンスでCRCステータスのエラーを検出したとき コマンドレスポンスに対してはRSPTYRのRTY4をイネーブル時CRCをチェックします。	MMC12
1	DTERI	0	R/W	データタイムアウトエラー割り込み 0: 割り込み要求なし [クリア条件] DTERI = 1 を読み出した後に0を書き込んだとき 1: 割り込み要求あり [セット条件] DTERIE = 1 の状態で、DTOUTRに設定したデータタイムアウトエラーが発生したとき	MMC12
0	CTERI	0	R/W	コマンドタイムアウトエラー割り込み 0: 割り込み要求なし [クリア条件] CTERI = 1 を読み出した後に0を書き込んだとき 1: 割り込み要求あり [セット条件] CTERIE = 1 の状態で、TOCRに設定したコマンドタイムアウトエラーが発生したとき	MMC12

• INTSTR2

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	FRDY TU	FRDYI
初期値:	0	0	0	0	0	0	-	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	-
1	FRDY_TU	-	R	FIFO 準備完了フラグ DMAEN、FRDYIE のセット値に関わらず、FIFO のデータ量が DMACR[2:0] に設定した条件であれば 0、条件以外であれば 1 が読み出されます。	-
0	FRDYI	0	R/W	FIFO 準備完了割り込み 0: 割り込み要求なし [クリア条件] FRDYI = 1 を読み出した後に 0 を書き込んだとき 1: 割り込み要求あり [セット条件] FRDYIE = 1 かつ DMAEN = 1 の状態で、FIFO の残データが DMACR で設定したアサート条件以外のとき 【注】FRDYI は、クリア後もセット条件であればセットされます。クリアするときは、INTCR2 の FRDYIE によりフラグのセットを禁止にしてクリアしてください。	MMCI3

26. マルチメディアカードインタフェース (MMCIF)

26.3.14 転送クロックコントロールレジスタ (CLKON)

CLKON は、転送クロックの周波数およびオン/オフを制御します。

MMCIF おいて、20Mbps の転送クロックを実現するためには、周辺クロックを 20MHz とし CSEL2～CSEL0 ビットを 100 に設定する必要があります。このとき、MMC モードでの Card Identification Mode では、CSEL2～CSEL0 ビットを 000 に設定して転送クロックを 200kbps とします。

コマンドシーケンス中は、クロックのオン/オフ、周波数の変更は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	CLKON	-	-	-	-	CSEL2	CSEL1	CSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CLKON	0	R/W	クロックオン 0: MCCLK 端子からの転送クロック出力をローレベルに固定します。 1: MCCLK 端子から転送クロックを出力します。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CSEL2	0	R/W	転送クロック周波数セレクト 000: 周辺クロックを 100 分周して転送クロックとします。 001: 周辺クロックを 8 分周して転送クロックとします。 010: 周辺クロックを 4 分周して転送クロックとします。 011: 周辺クロックを 2 分周して転送クロックとします。 100: 周辺クロックをそのまま転送クロックとします。 101~111: 設定禁止
1	CSEL1	0	R/W	
0	CSEL0	0	R/W	

26.3.15 データレジスタ (DR)

DR は、FIFO のデータを読み出し/書き込みするためのレジスタです。

本レジスタのアドレスに対しワード、バイトアクセス可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	DR	-	R/W	FIFO のデータを読み出し/書き込みするためのレジスタです。 ワード、バイトアクセス可能です。 DR にワードサイズでアクセスするときには、送信および受信順序は上位バイト、下位バイトとなります。ワードアクセスとバイトアクセスが順不同で行われても問題ありません。また、(DR のアドレス+1) 番地にバイトサイズでアクセスすることはできません。

以下に、DR にアクセスするときの例を示します。

FIFO がエンプティの状態、DR に対して下記の 1. ~ 4. に示すようなデータの書き込みをしたとき、送信データは図 26.2 に示すように FIFO へ格納されます。

1. DRにワードアクセスでH'0123を書き込み
2. DRにバイトアクセスでH'45を書き込み
3. DRにワードアクセスでH'6789を書き込み
4. DRにバイトアクセスでH'ABを書き込み

また図 26.2 のように、受信データが FIFO へ格納されているとき（例えば、FIFO がエンプティの状態データの受信を開始し、データ H'01、H'23、.....、H'AB を順番で受信した後）には、DR から下記の 5. ~ 8. に示す例のようにデータを読み出すことができます。

5. DRからバイトアクセスでH'01を読み出し
6. DRからワードアクセスでH'2345を読み出し
7. DRからバイトアクセスでH'67を読み出し
8. DRからワードアクセスでH'89ABを読み出し

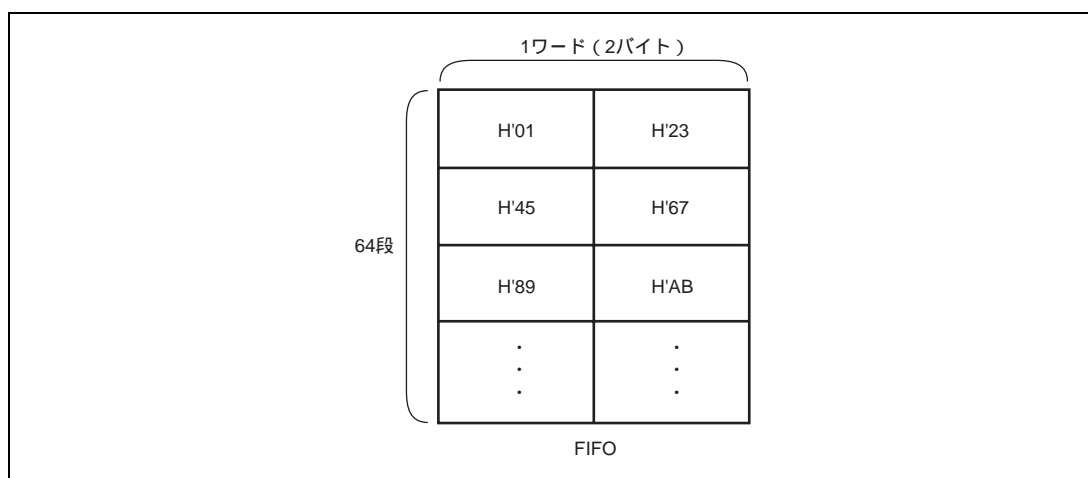
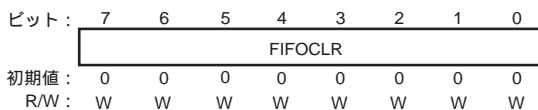


図 26.2 DR アクセスの例

26. マルチメディアカードインタフェース (MMCIF)

26.3.16 FIFO ポインタクリアレジスタ (FIFOCLR)

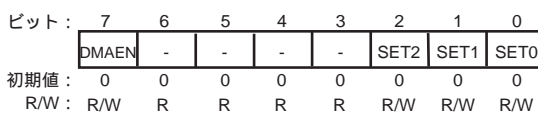
FIFOCLR に任意の値を書き込むことによって、FIFO の書き込みポインタ、読み出しポインタがクリアされます。



ビット	ビット名	初期値	R/W	説明
7~0	FIFOCLR	H'00	W	任意の値を書き込むことで、FIFO ポインタがクリアされます。

26.3.17 DMA コントロールレジスタ (DMACR)

DMACR は、DMA 要求信号出力を設定します。DMAEN で DMA 要求信号の許可、禁止を設定し、SET2~SET0 で設定した値により DMA 要求信号を出力します。



ビット	ビット名	初期値	R/W	説明
7	DMAEN	0	R/W	DMA イネーブル 0 : DMA 要求信号の出力禁止 1 : DMA 要求信号の出力許可
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SET2	0	R/W	DMA 要求信号アサート条件 DMA 要求信号アサート条件を設定します。 000 : 出力しません 001 : FIFO 残データが FIFO 容量の 1/4 以下 010 : FIFO 残データが FIFO 容量の 1/2 以下 011 : FIFO 残データが FIFO 容量の 3/4 以下 100 : FIFO 残データが 1 バイト以上 101 : FIFO 残データが FIFO 容量の 1/4 以上 110 : FIFO 残データが FIFO 容量の 1/2 以上 111 : FIFO 残データが FIFO 容量の 3/4 以上
1	SET1	0	R/W	
0	SET0	0	R/W	

26.3.18 受信データタイミング切替レジスタ (RDTIMSEL)

RDTIMSEL は、カードからの受信レスポンスおよび受信データの取り込みタイミングを切り替えます。マルチメディアカードの規格書に基づいてタイミングの検討を行い、設定してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RTSEL
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RTSEL	0	R/W	受信データタイミング切り替え 0 : MCCLK の立ち下がりでデータ受信 1 : MCCLK の立ち上がりでデータ受信

26.4 動作説明

マルチメディアカードは、着脱可能な外部記憶メディアです。MMCIF は MMC モードでの動作が可能です。

MMCIF は、カードが接続されカードの電源が ON されている状態で、適切な転送クロックの周波数を設定後、転送クロックを印可し動作開始してください。

コマンドシーケンス中、データビジー中のカードの挿抜は行わないでください。

26.4.1 MMC モードの動作

MMC モードは、転送クロックを出力する MCCLK 端子、コマンドを送信しレスポンスを受信する MCCMD 端子、データを送受信する MCDAT 端子からなる動作モードです。この端子構成により、データ送受信中でも次のコマンドを発行できることが特長になっています。この特長は、マルチブロック転送やストリーム転送にかかれています。例えば、現在のコマンドシーケンスを中止させる CMD12 が挙げられます。

また、MMC モードでは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されているカードの情報を認識した後、個々のカードに相対アドレスを与えます。相対アドレスによって 1 枚のカードを選択し、他のカードを非選択にした後、選択したカードに対して種々のコマンドを発行します。

MMC モードでのコマンドは、大別するとブロードキャスト型、相対アドレス型、フラッシュメモリ操作型の 3 種類に分けることができます。これらのコマンドをカードの状態に合わせ、適切に与えることによってカードを操作することができます。

26. マルチメディアカードインタフェース (MMCIF)

(1) ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2、CMD4はブロードキャスト型のコマンドです。これにCMD3を加えて、個々のカードに相対アドレスを与えるシーケンスを構成します。本シーケンスの間は、CMD出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード-オアされます。このとき、CLKONレジスタのCSEL2~0ビットを000に設定し、転送クロックの周波数は充分遅くしておく必要があります。

- CMD0で、すべてのカードをアイドル状態に初期化します。
- CMD1で、すべてのカードのオペレーションコンディションレジスタ(OCR)をワイヤード-オアで読み出し、動作できないカードを不活性化します。
不活性化されなかったカードはレディ状態になります。
- CMD2で、すべてのレディ状態のカードのカードアイデンティフィケーション(CID)をワイヤード-オアで読み出します。
個々のカードは、自身のCIDとMCCMD上のデータを比較し、異なっていればただちにCID出力を中止します。CIDを最後まで出力できた1枚のカードは認識状態になります。
R2レスポンスを必要とする時はCTOCRをH'01に設定してください。
- CMD3で、認識状態のカードに相対アドレス(RCA)を与えます。
RCAを得たカードはスタンバイ状態になります。
- CMD2、CMD3を繰り返し、すべてのレディ状態のカードにRCAを与え、スタンバイ状態にします。

(2) 相対アドレス型コマンドの動作

CMD7、CMD9、CMD10、CMD13、CMD15、CMD39、CMD55は、RCAでカードをアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは、カードの管理情報や固有情報を読み取るほか、特定のカードの状態を変更するために用います。

CMD7は、アドレスした1枚のカードを転送状態に設定し、それ以外のカードをスタンバイ状態にします。転送状態のカードのみが、ブロードキャスト型、相対アドレス型以外の、フラッシュメモリ操作型コマンドを実行することができます。

(3) コマンドレスポンスを要しないコマンドの動作

ブロードキャスト型コマンドの中には、コマンドレスポンスを要しないコマンドがあります。

図 26.3 に、コマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。

図 26.4 に、コマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了までMCCMDをドライブします。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングかコマンド送信終了割り込み(CMDI)で検出します。

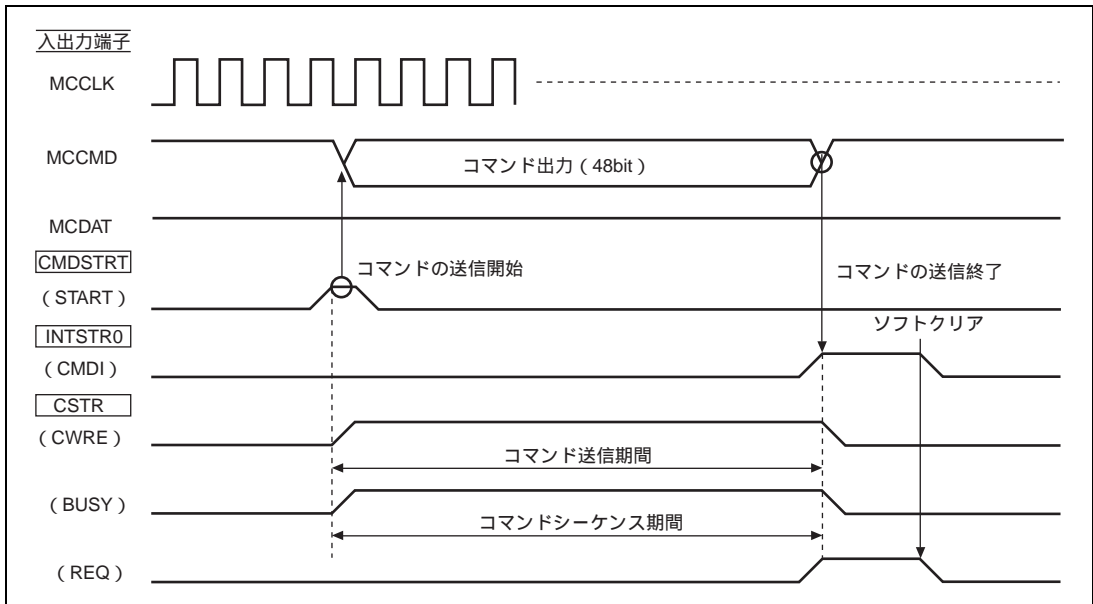


図 26.3 コマンドレスポンスを要さないコマンドシーケンスの例

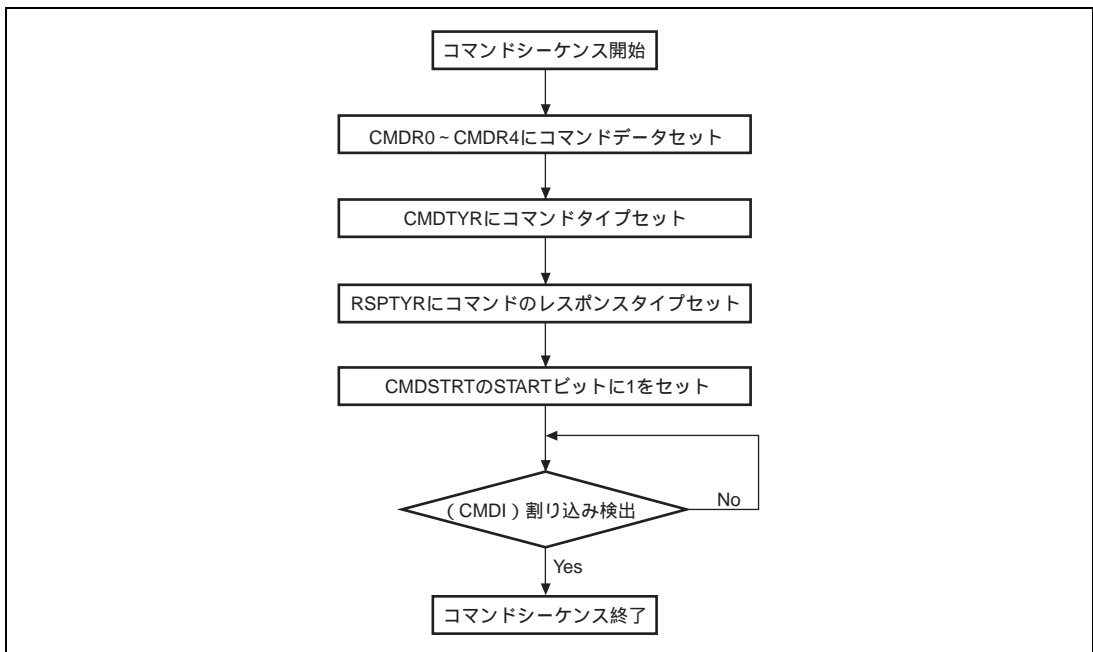


図 26.4 コマンドレスポンスを要さないコマンドの動作フローチャートの例

26. マルチメディアカードインタフェース (MMCIF)

(4) データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型、フラッシュメモリ操作型のすべてにデータ転送を伴わないコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスで、所望のデータ転送を実行します。フラッシュメモリの書き込み/消去など時間を要する処理に関するコマンドでは、カードはMCDATにデータビジー状態を表示します。

図 26.5 と図 26.6 に、データ転送を伴わないコマンドのコマンドシーケンスの例を示します。

図 26.7 に、データ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了までMCCMDをドライブします。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス受信終了割り込み (CRPI) で検出します。
- データビジー状態終了は、データビジー終了割り込み (DBSYI) で検出します。

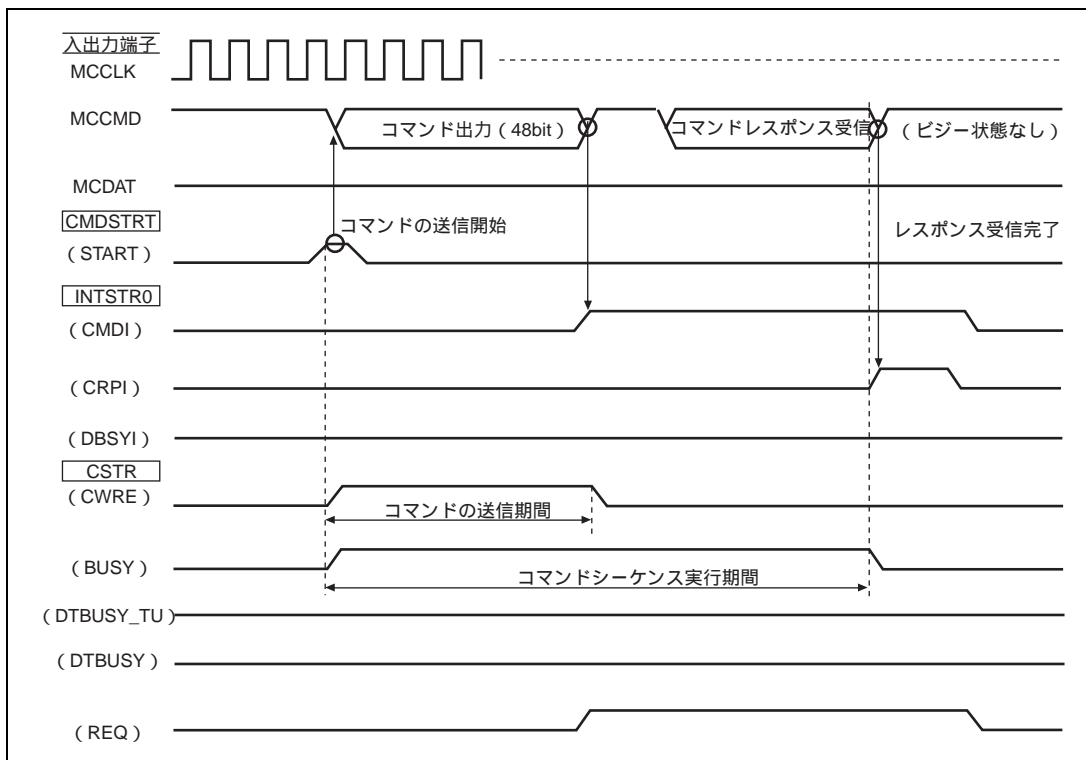


図 26.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)

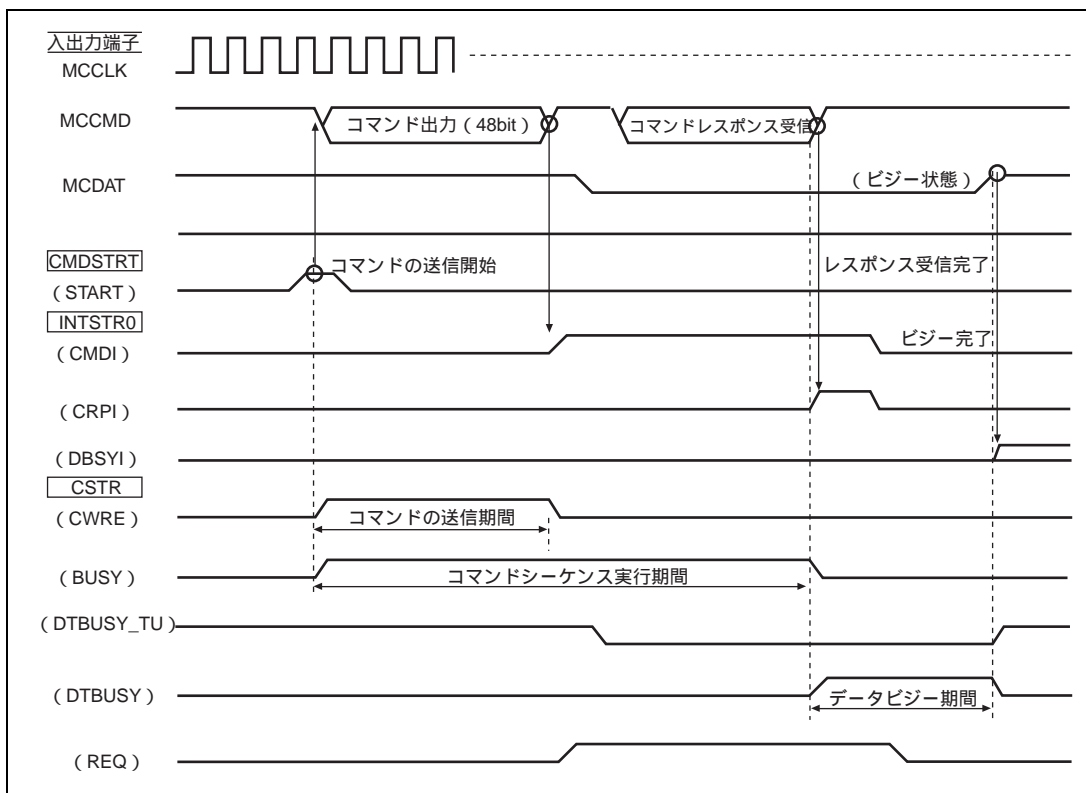


図 26.6 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)

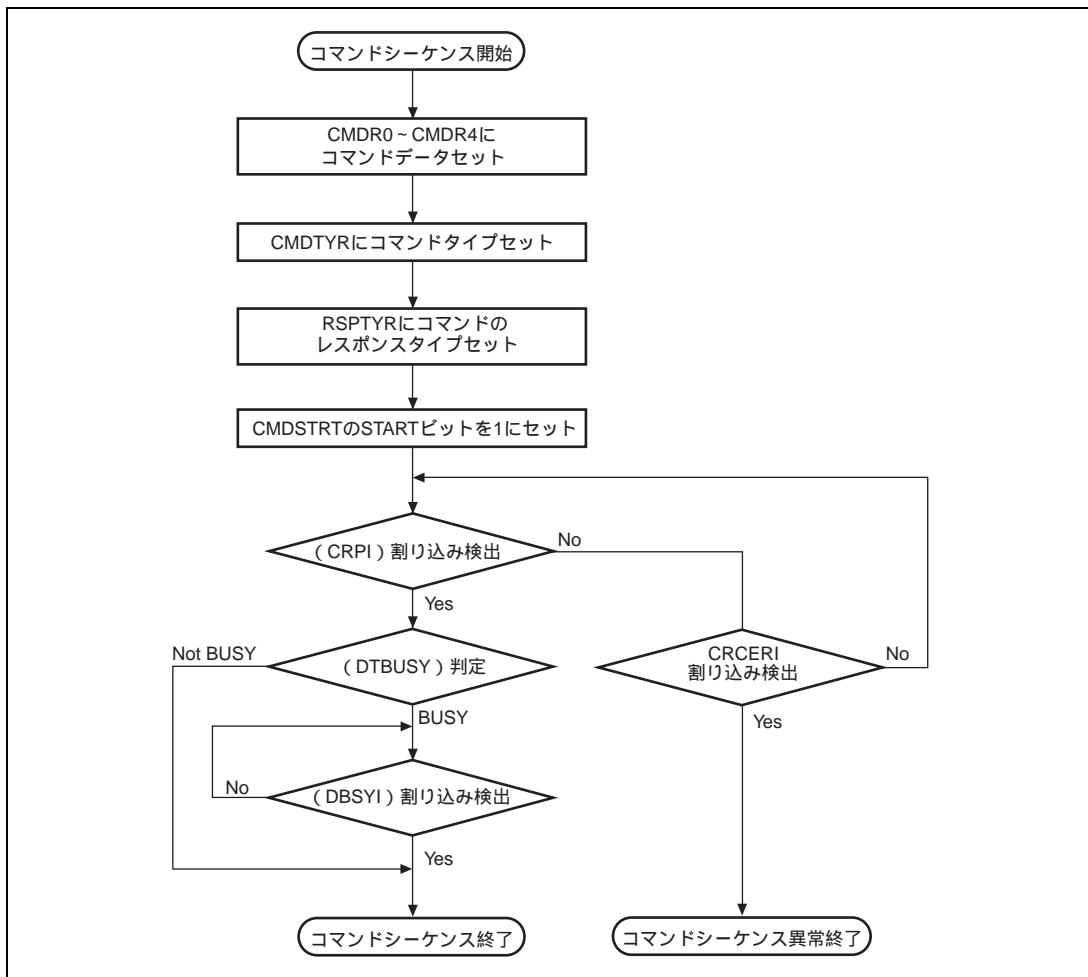


図 26.7 データ転送を伴わないコマンドの動作フローチャート

(5) 読み出しデータを伴うコマンド

フラッシュメモリ操作型の中に、読み出しデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MCDAT から受信します。

読み出すフラッシュメモリのバイト数は、CMD16 で設定したブロックサイズが、あらかじめ設定されずマルチブロック転送およびストリーム転送において CMD12 で中止されるまでとなります。マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待ちます。

ブロックサイズと FIFO のサイズの大小関係によって、コマンドシーケンスの中断があるか否かが異なります。ブロックサイズ ≤ FIFO サイズの場合は、データ転送の終了まで中断なくコマンドシーケンスを終了します。ブロックサイズ > FIFO サイズの場合は、FIFO フルでコマンドシーケンスが中断します。中断した場合は、FIFO 中のデータを処理した後、コマンドシーケンスを継続します。さらに、マルチブロック転送では、ブロックごとに中断します。

なおマルチブロック転送において、ブロックサイズを 4 バイトまたは 8 バイトに設定し、1 ブロックのみで OPCR の CMDOFF ビットを 1 にセットすると、コマンドレスポンスを正常に受信できない可能性があります。よって、ブロックサイズを 4 バイトまたは 8 バイトに設定した場合は、2 ブロック以上を読み出した後に、コマンドシーケンスを終了してください。

図 26.8 ~ 図 26.11 に、読み出しデータを伴うコマンドのコマンドシーケンスの例を示します。

図 26.12 ~ 図 26.14 に、読み出しデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の START ビットを 1 にセットして、コマンド送出を開始します。エンドビットの送出完了まで MCCMD をドライブします。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- カードから読み出しデータを受信します。
- マルチブロック転送でのブロック間中断および FIFO フルによる中断を、それぞれデータ転送終了割り込み (DTI) および FIFO フル割り込み (FFI) で検出します。
コマンドシーケンスを継続する場合は、OPCR の RD_CONTI ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了割り込み (DTI) で検出します。

26. マルチメディアカードインタフェース (MMCIF)

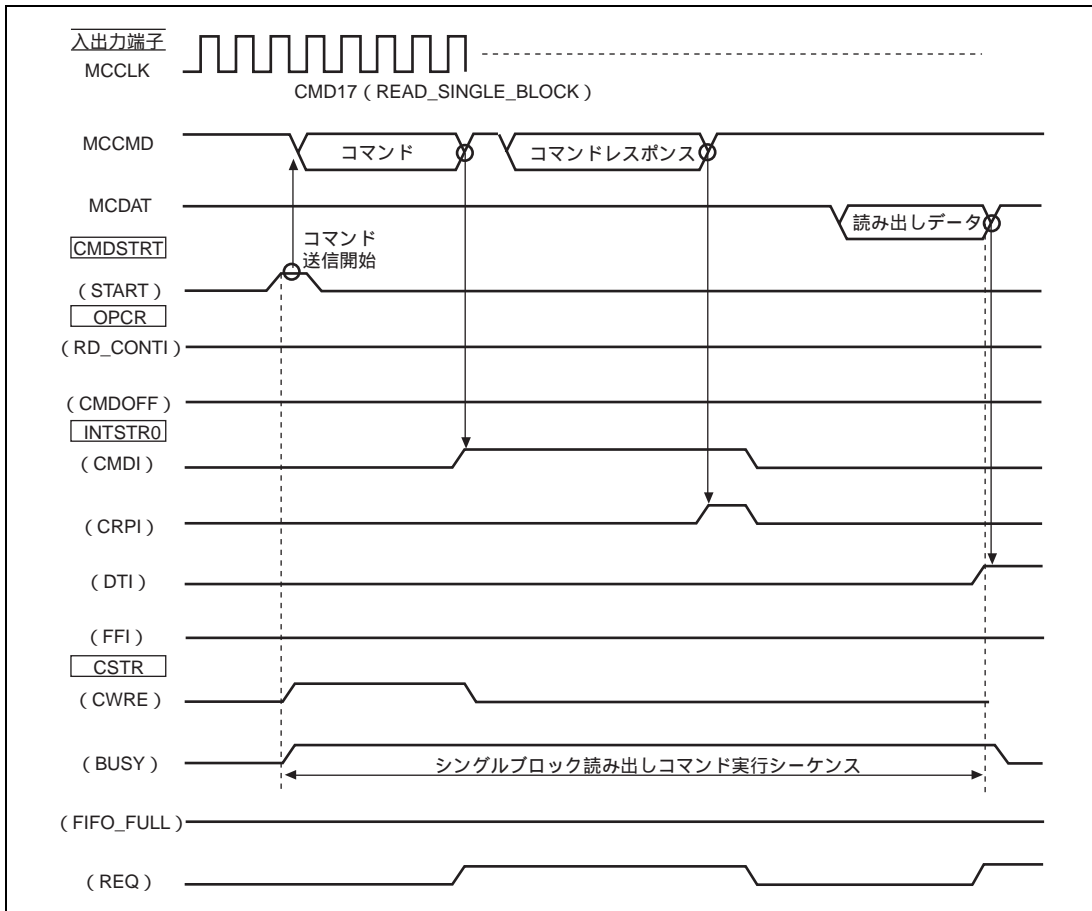


図 26.8 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

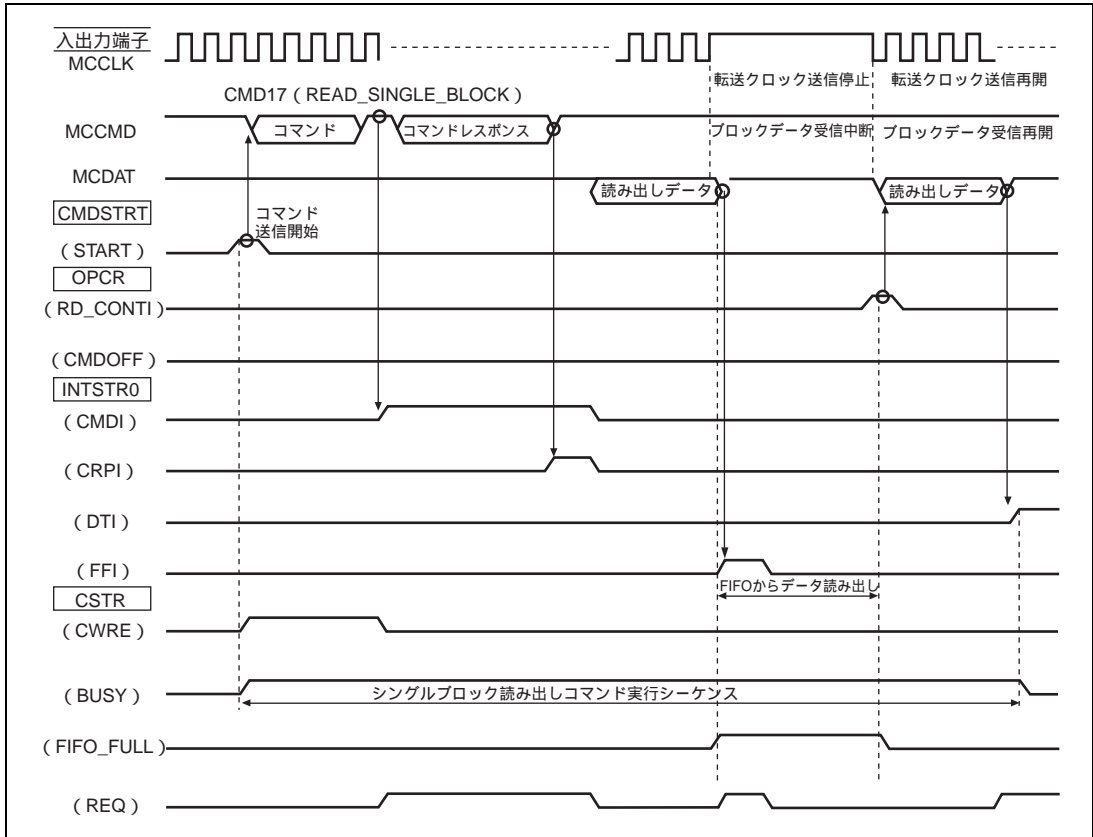


図 26.9 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

26. マルチメディアカードインタフェース (MMCIF)

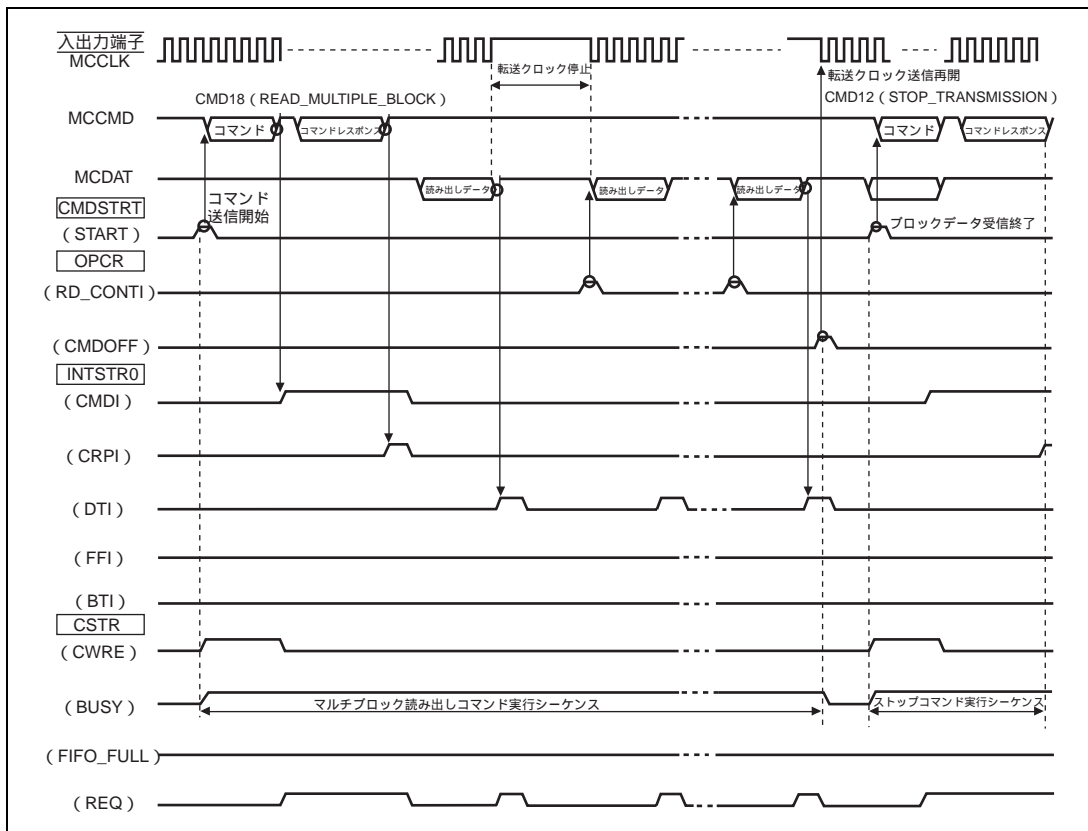


図 26.10 読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送)

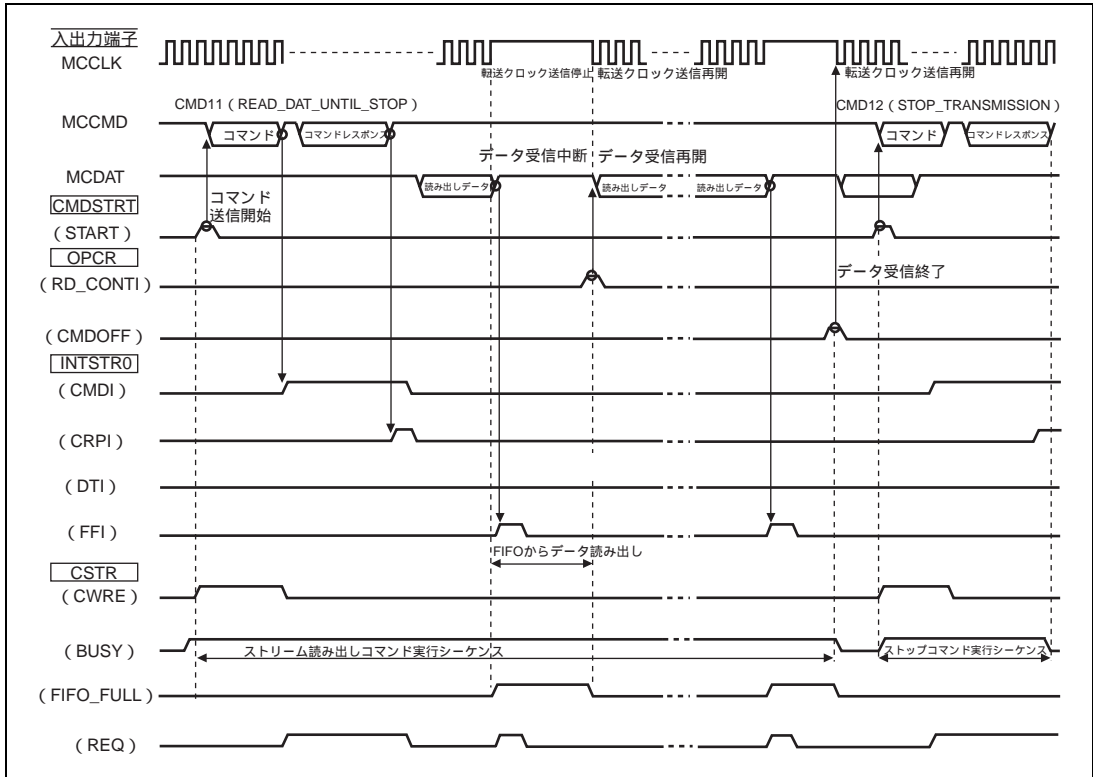


図 26.11 読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送)

26. マルチメディアカードインタフェース (MMCIF)

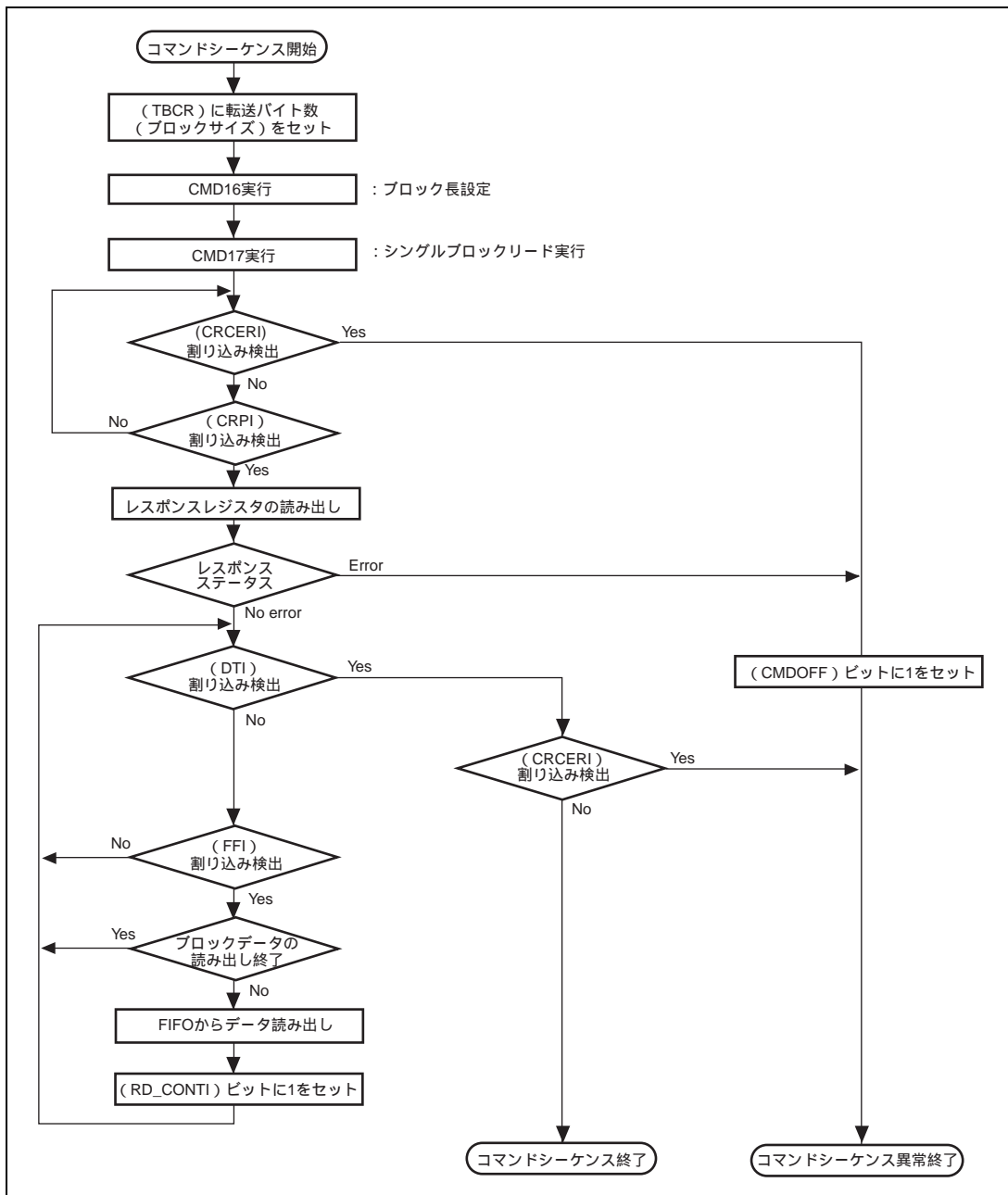


図 26.12 読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

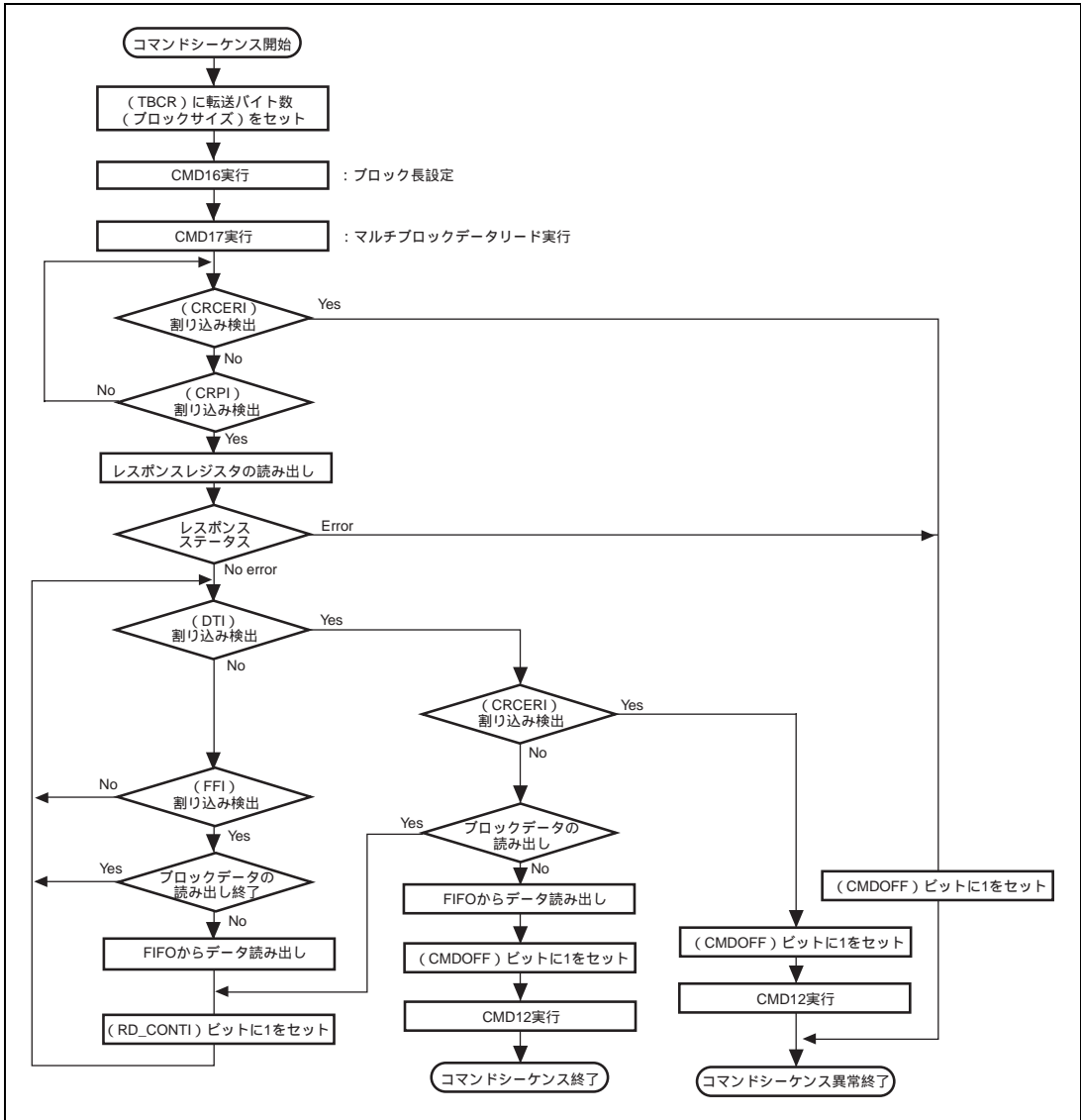


図 26.13 読み出しデータを伴うコマンドの動作フローチャートの例 (マルチブロック転送)

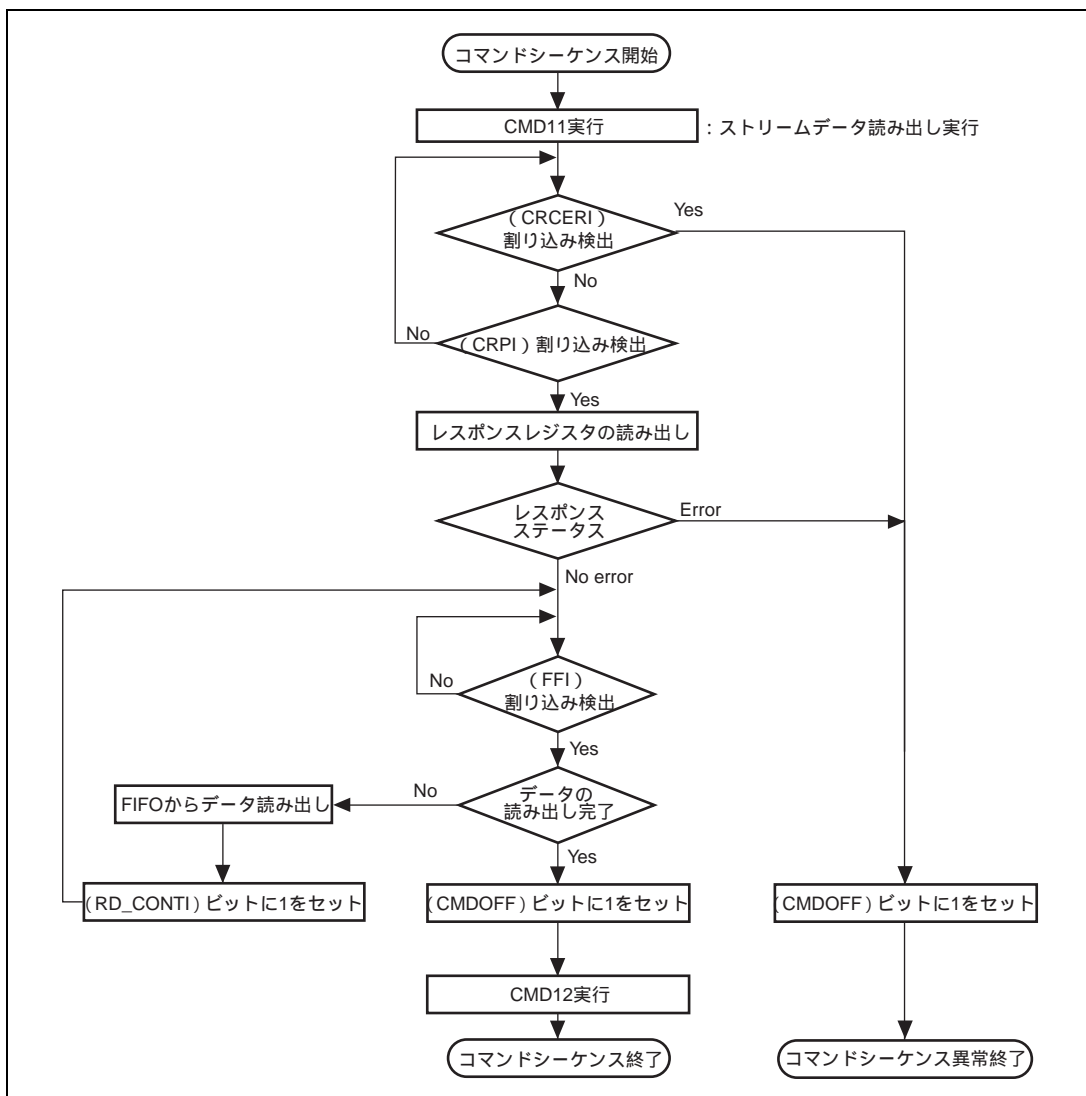


図 26.14 読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

(6) 書き込みデータを伴うコマンド

フラッシュメモリ操作型の中に、書き込みデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MCDAT から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、カードは MCDAT にデータビジー状態を表示します。

書き込むフラッシュメモリのバイト数は、CMD16 で設定したブロックサイズか、あらかじめ設定されずマルチブロック転送およびストリーム転送において CMD12 で終了されるまでとなります。マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待ちます。

ブロックサイズと FIFO のサイズの大小関係によって、コマンドシーケンスの中断があるか否かが異なります。ブロックサイズ ≤ FIFO サイズの場合は、データ転送の終了まで中断なくコマンドシーケンスが終了します。ブロックサイズ > FIFO サイズの場合は、FIFO エンプティでコマンドシーケンスが中断します。中断した場合は、FIFO に次のデータを補充した後、コマンドシーケンスを継続します。さらに、マルチブロック転送は、ブロックごとに中断します。

図 26.15 ~ 図 26.18 に、書き込みデータを伴うコマンドのコマンドシーケンスの例を示します。

図 26.19 ~ 図 26.21 に、書き込みデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFOに書き込みデータをセットします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了まで MCCMDをドライブします。
- コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- OPCRのDATAENビットを1にセットして、書き込みデータの送信を開始します。エンドビットの送出完了までMCDATをドライブします。
- マルチブロック転送でのブロック間中断およびFIFOエンプティによる中断を、それぞれデータ転送終了割り込み (DTI)、データレスポンス割り込み (DRPI) およびFIFOエンプティ割り込み (FEI) で検出します。さらに、データ転送終了後 (DRPI検出後)、CSTRのDTBUSYにより、データビジーであることを確認し、データビジーであればデータビジー状態の解除をデータビジー終了割り込み (DBSYI) で検出します。コマンドシーケンスを継続する場合は、FIFOに書き込みデータを補充し、OPCRのDATAENビットを1にセットします。終了する場合は、OPCRのCMDOFFビットを1にセットして、CMD12を発行します。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、データ転送終了割り込み (DTI) データレスポンス割り込み (DRPI) で検出します。
- CSTRのDTBUSYにより、データビジーであることを確認し、データビジーであればデータビジー状態の終了をデータビジー終了割り込み (DBSYI) で検出します。

【注】 ストリーム転送によって、カードへ書き込むときには、FIFO エンプティ割り込み確認後も MMCIF はカードへのデータ転送を継続しています。その場合、通信クロックの 24 クロック分以上経過してから、コマンドシーケンスを終了してください。

26. マルチメディアカードインタフェース (MMCIF)

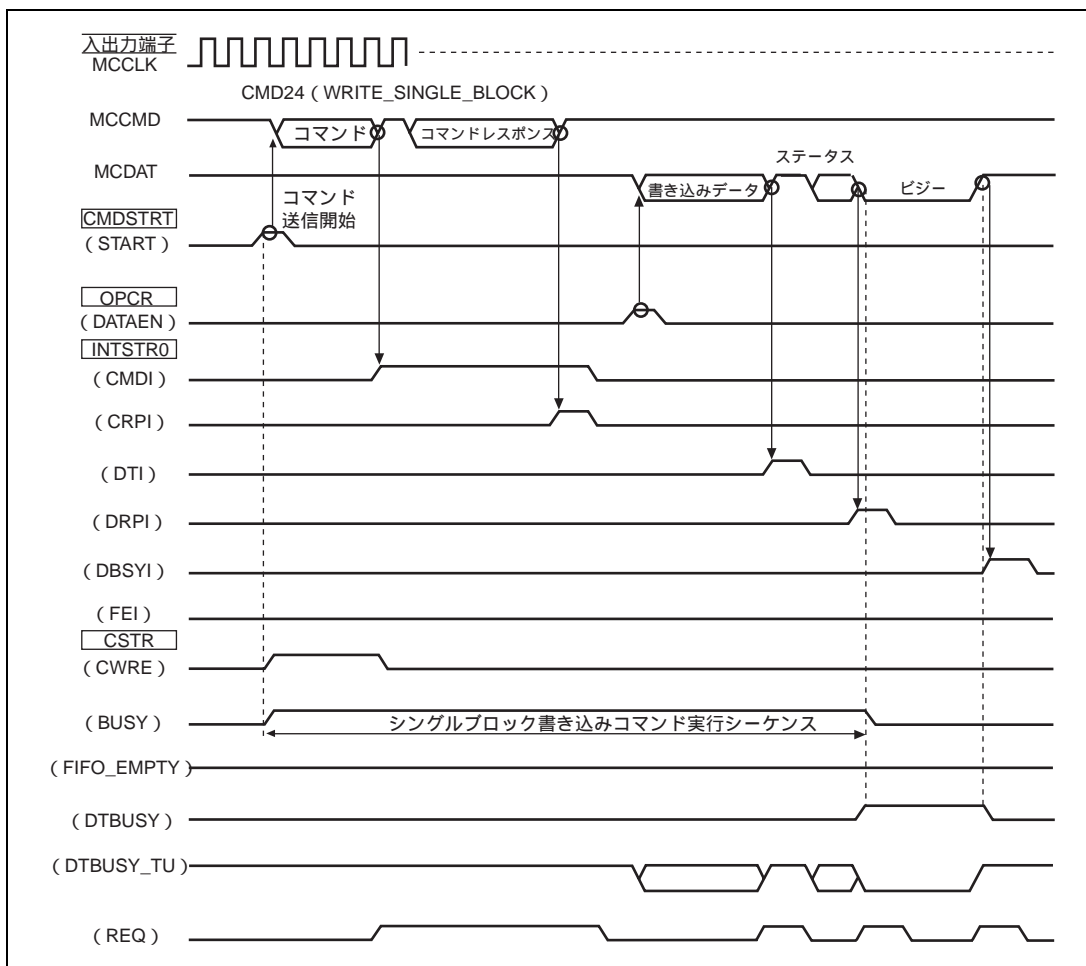


図 26.15 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

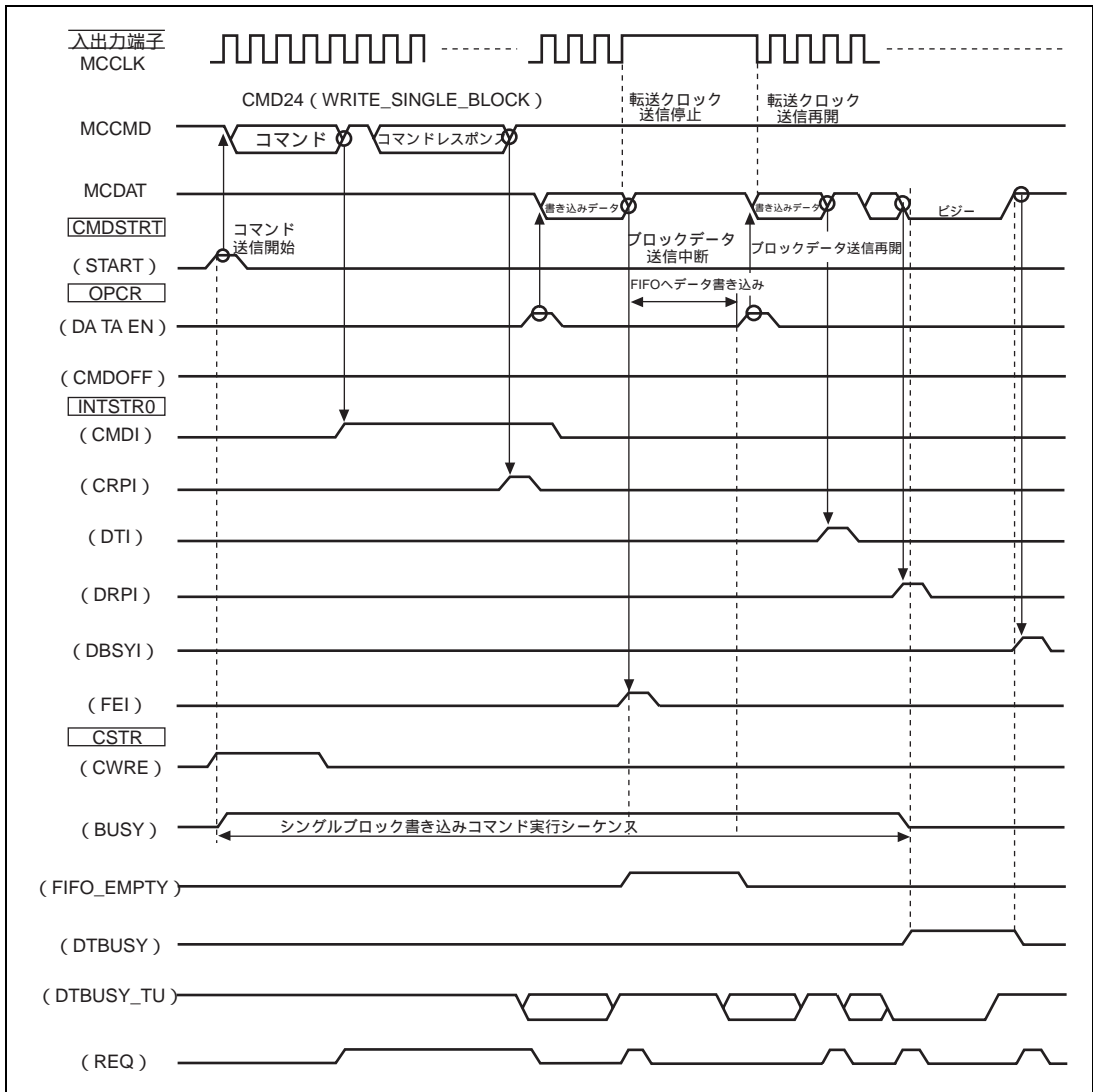


図 26.16 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

26. マルチメディアカードインタフェース (MMCIF)

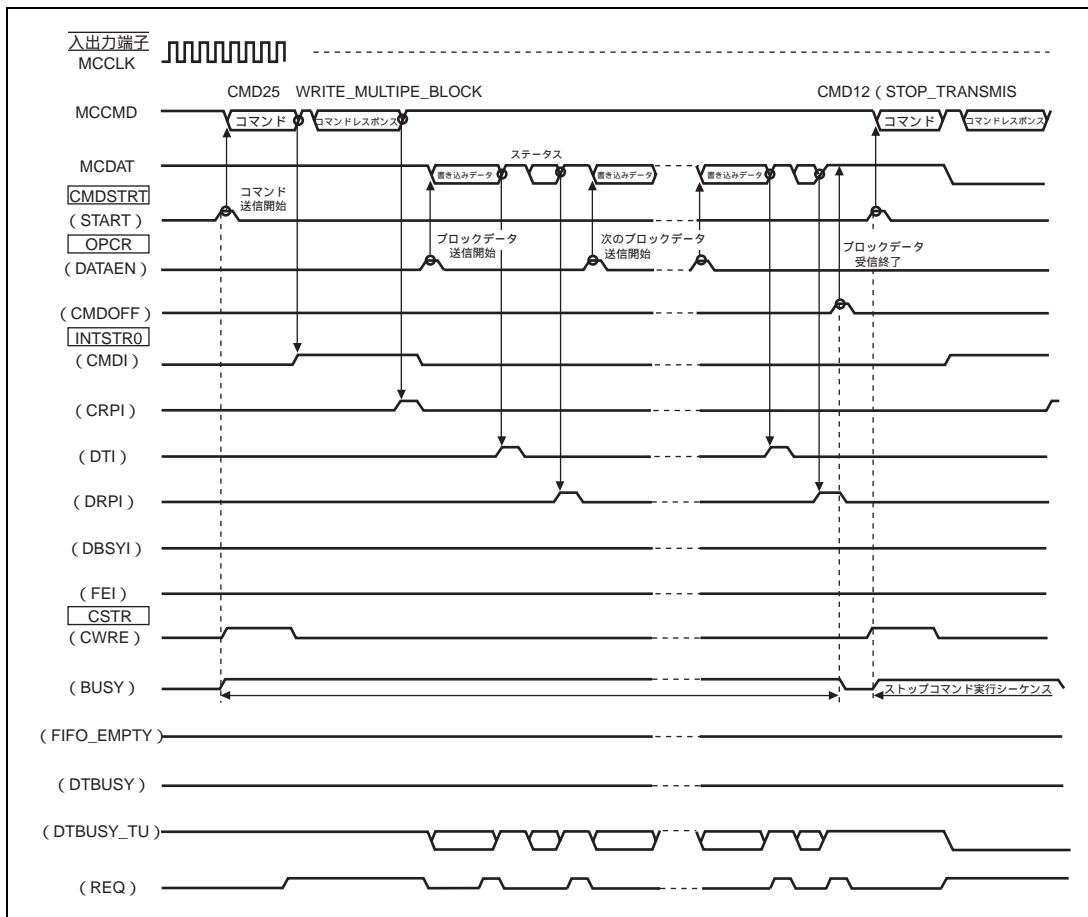


図 26.17 書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)

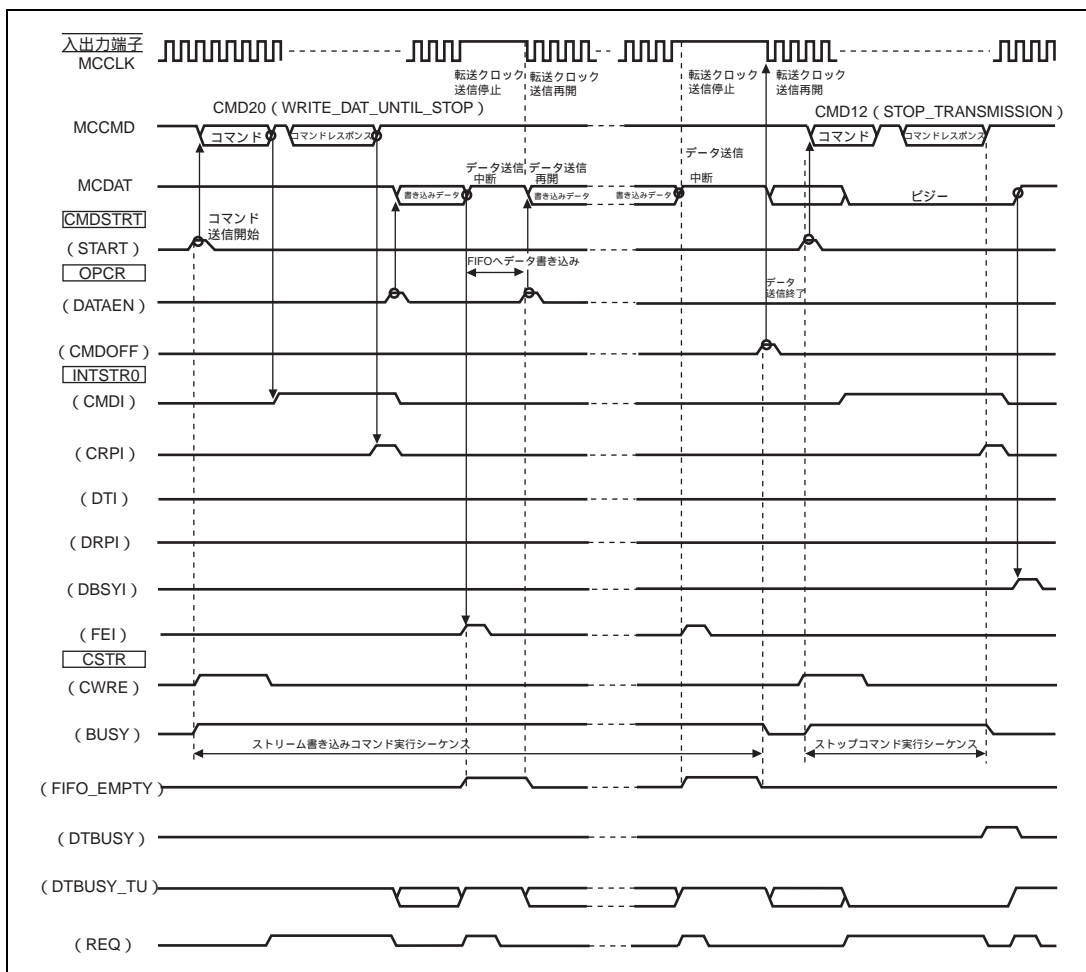


図 26.18 書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送)

26. マルチメディアカードインタフェース (MMCIF)

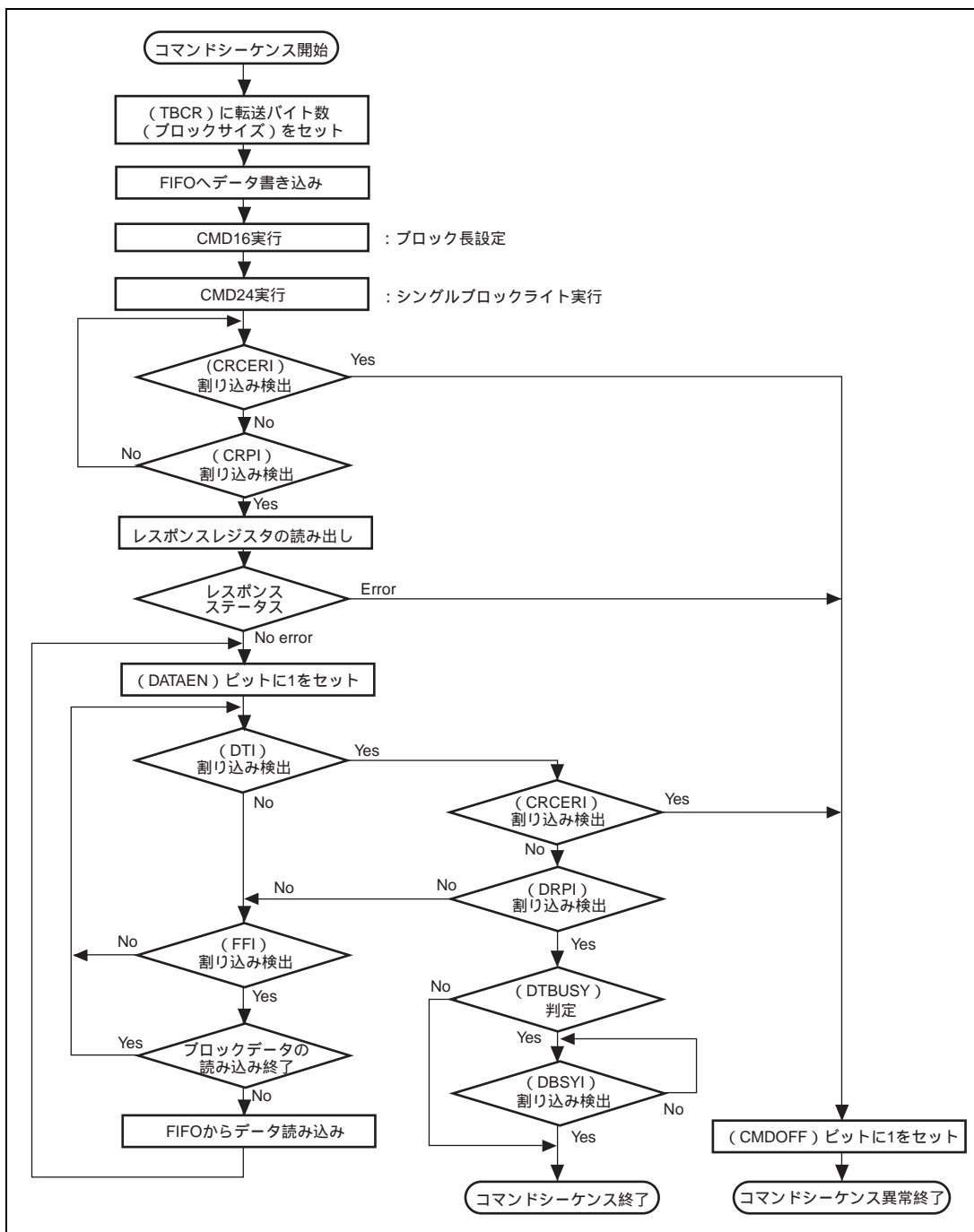


図 26.19 書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送)

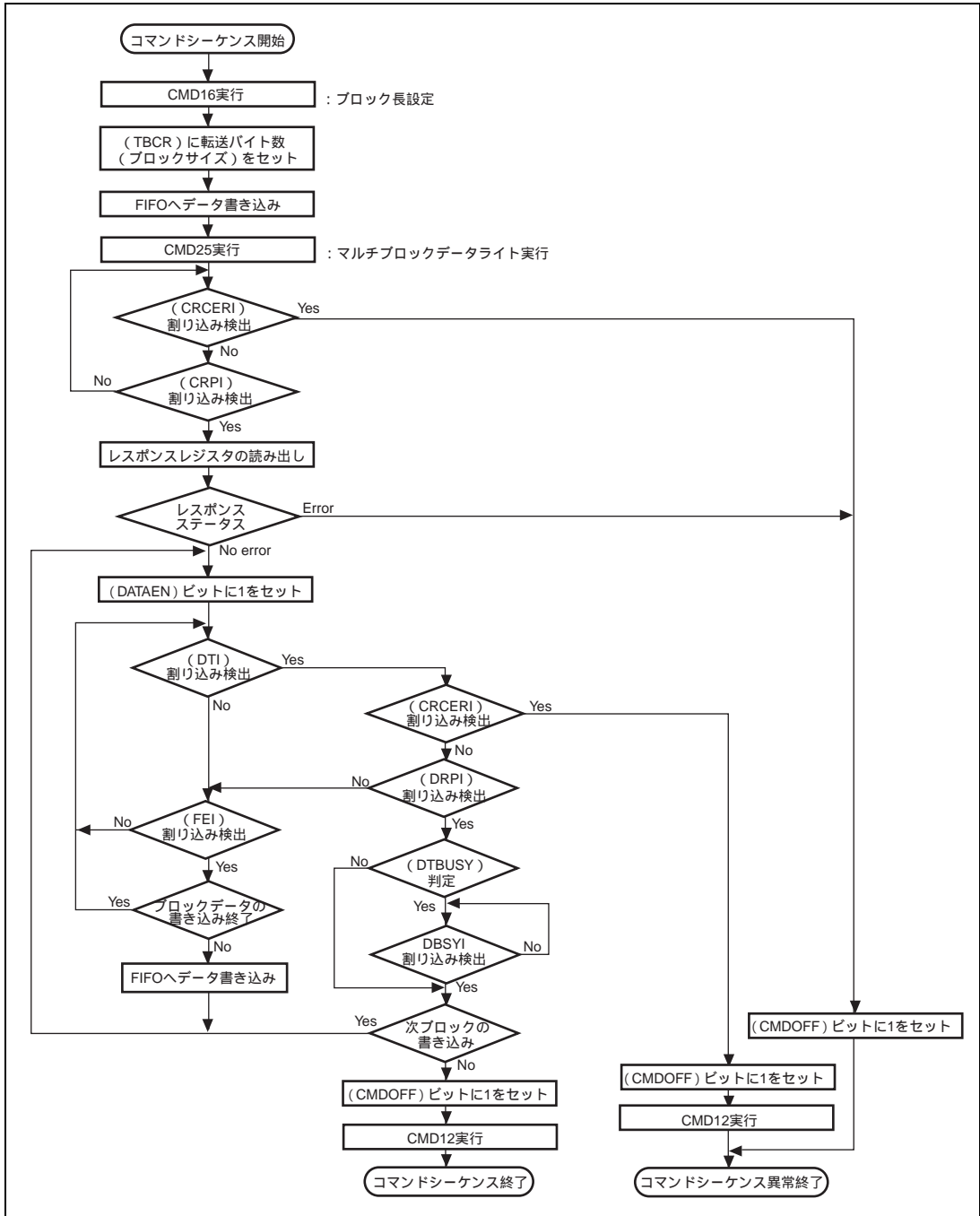


図 26.20 書き込みデータを伴うコマンドの動作フローチャートの例 (マルチブロック転送)

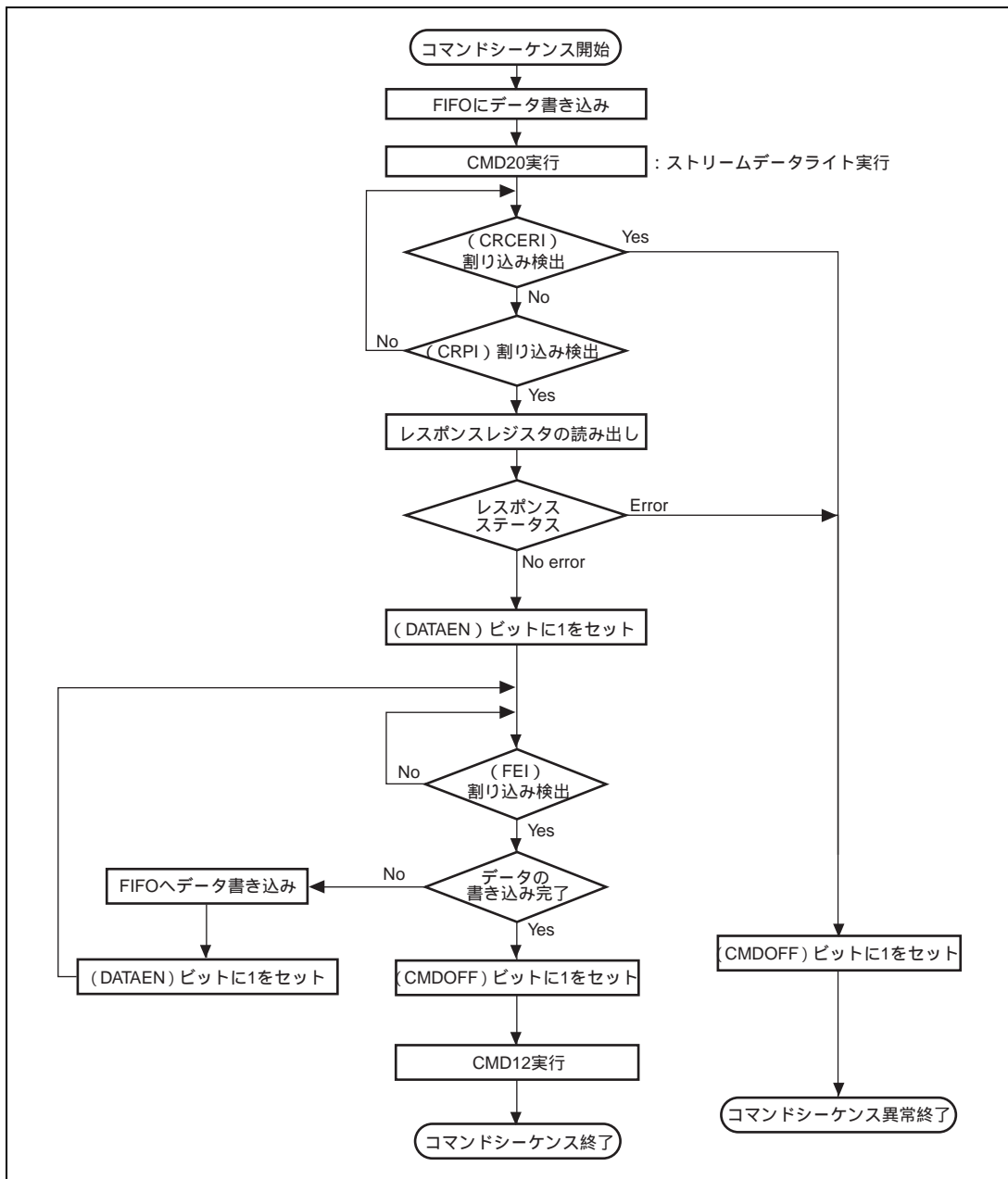


図 26.21 書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

26.5 MMCIF 割り込み要因

表 26.7 に MMCIF の割り込み要因を示します。割り込み要因は 4 グループに分類されており、4 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0~2 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因は、フラグをセットしません。

表 26.7 MMCIF 割り込み要因

名称	割り込み要因	割り込みフラグ
MMCIO	FIFO エンプティ	FEI
	FIFO フル	FFI
MMC11	データレスポンス	DPRI
	データ転送終了	DTI
	コマンドレスポンス受信終了	CRPI
	コマンド送信終了	CMDI
	データビジー終了	DBSYI
MMC12	CRC エラー	CRCERI
	データタイムアウトエラー	DTERI
	コマンドタイムアウトエラー	CTERI
MMC13	FIFO 準備完了	FRDYI

26.6 DMA 使用時の動作説明

26.6.1 読み出しシーケンス時の動作

DMAC を用いて FIFO 内データの転送を行うときは、DMAC の各設定後*、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、読み出しコマンドを送信してください。

図 26.22 に読み出しシーケンスフローを示します。

- FIFOをクリアし、DMACRを設定します。
- 読み出しコマンド送出を開始します。
- カードから読み出しデータを受信します。
- 読み出しシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータをすべてを読み出すことができるようにDMACRのSET[2:0]に100を書き込みます。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットしてください。
- DMACRのDMAENビットを1にセットしているとき、CSTRのFIFO_FULLビットおよびINTSTR0のFFIビットはセットされません。

【注意事項】* DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

26.6.2 書き込みシーケンス時の動作

DMAC を用いて FIFO ヘデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、FIFO 準備完了割り込み後にカードへの転送を開始してください。図 26.23 に書き込みシーケンスフローを示します。

- DMACR の設定を行い、FIFO に書き込みデータをセットします。
- 書き込みコマンドのレスポンス受信後は、DMACR 設定条件以上のデータが FIFO に書き込まれているかを FIFO 準備完了割り込み (FRDYI) により確認後、OPCR の DATAEN ビットに 1 をセットし、書き込みデータの送信を開始します。

ストリーム転送によって、カードへ書き込むときには、FIFO エンプティ割り込み確認後も MMCIF はカードへのデータ転送を継続しています。よってカードクロックの 24 クロック分以上経過して、書き込みシーケンスを終了してください。

- DMAC によるすべての転送完了を確認し、必ず DMACR の DMAEN ビットに 0 をセットしてください。
- DMACR の DMAEN ビットを 1 にセットしているとき、CSTR の FIFO_EMPTY ビットおよび INTSTR0 の FEI ビットはセットされません。
- DMACR の設定値とデータ転送数によっては、FIFO 準備完了割り込み (FRDYI) がアサートされず、FIFO にデータが残ってしまうことがあります。この場合、OPCR の DATAEN ビットを 1 にセットし、書き込みデータの送信を開始します。

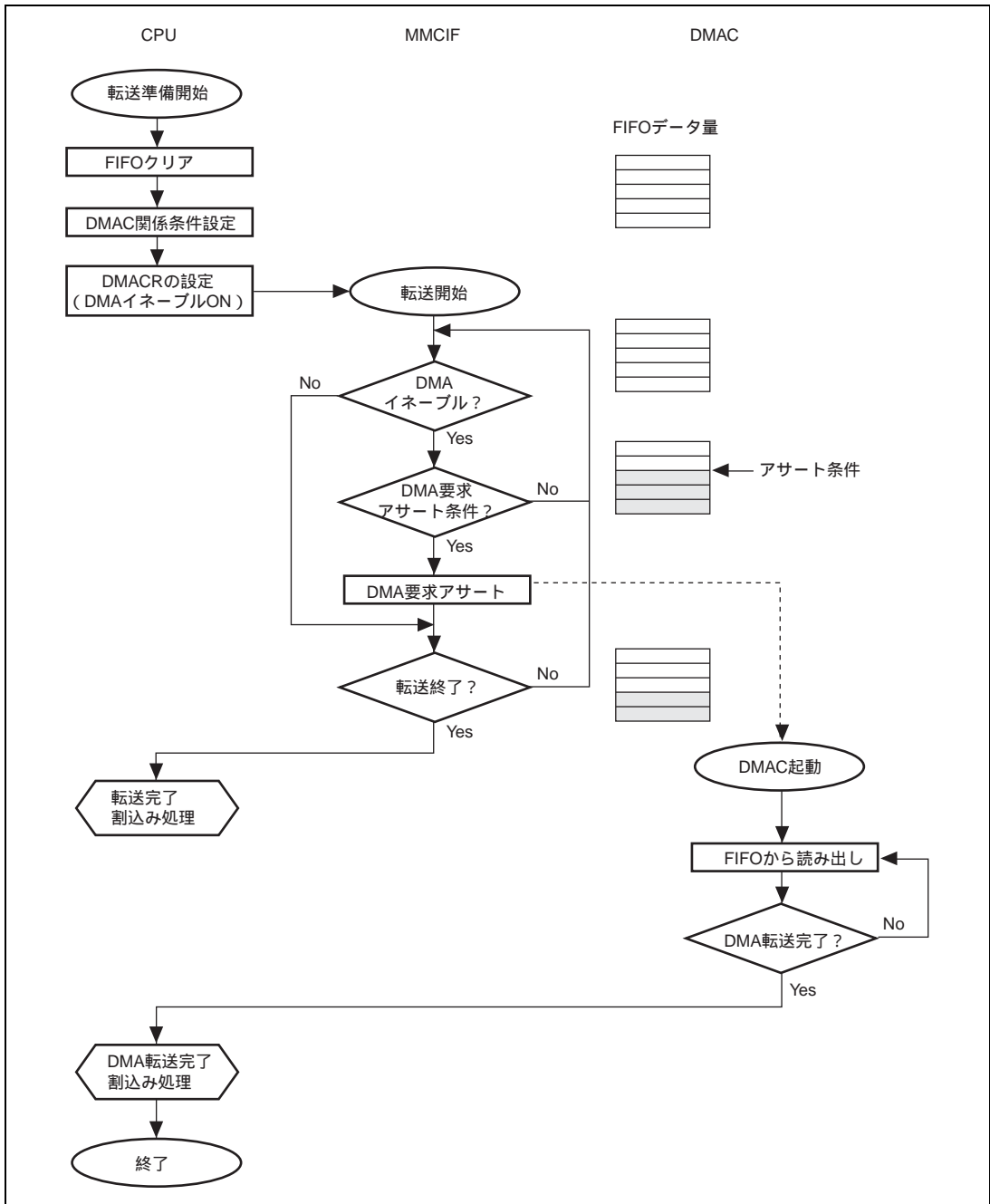


図 26.22 読み出しシーケンスフローの例

26. マルチメディアカードインタフェース (MMCIF)

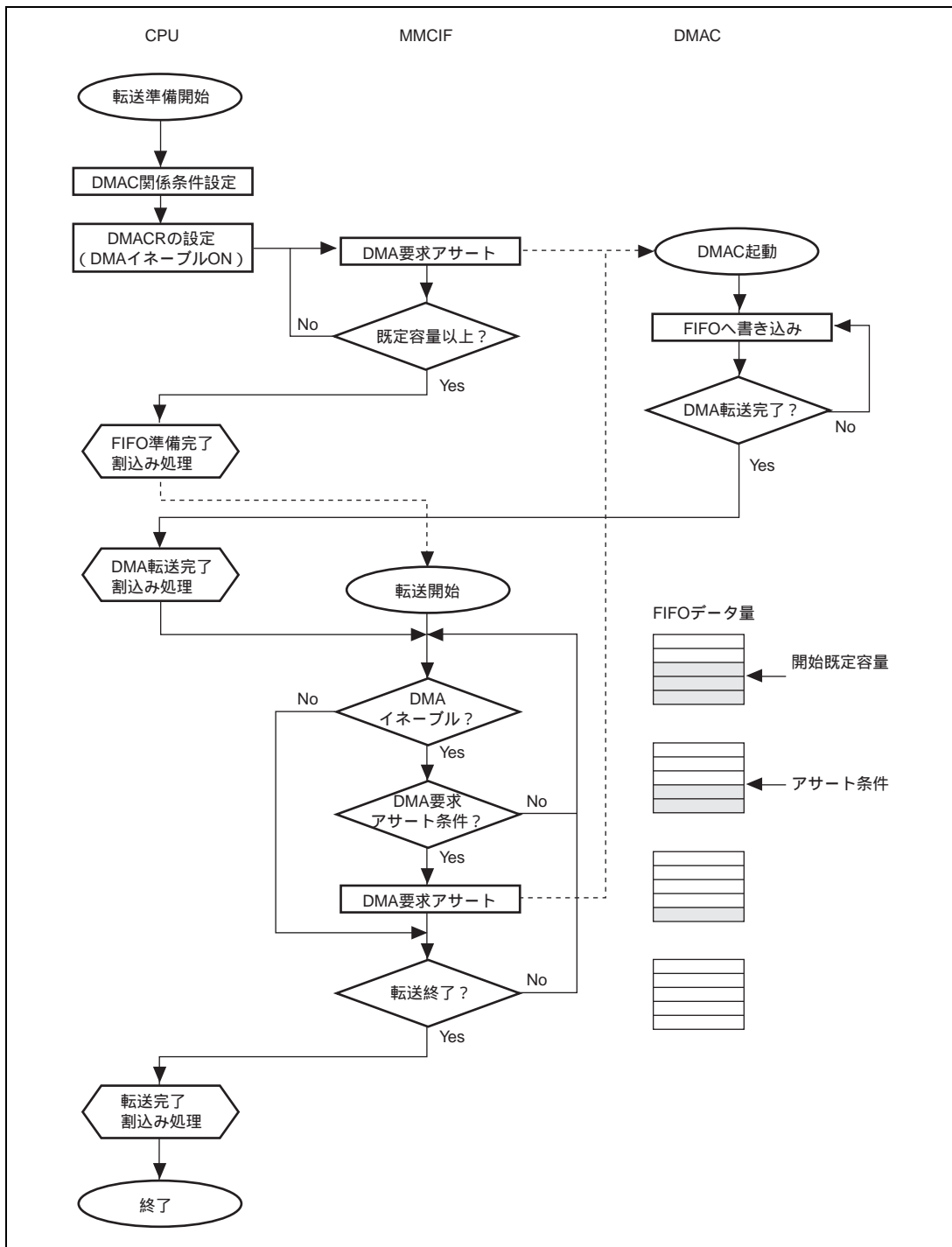


図 26.23 書き込みシーケンスフローの例

26.7 リトルエンディアン設定時のレジスタアクセス

リトルエンディアン設定時は、レジスタアクセスサイズおよび該当するデータが格納されているメモリ上へのアクセスサイズを固定してください。例えば、MMCIF からワードサイズで読み込んだデータをメモリに書き込んだ後にバイトサイズでメモリから読み込むと、データアライメントの不一致が起きます。

26.8 使用上の注意事項

26.8.1 マルチブロックリード時の転送データブロックサイズについて

(1) 概要

MMCIF が通信先に対してマルチブロックリードコマンド (CMD18) を送信後に、コマンドレスポンス受信完了よりも、最初のデータブロック受信完了が早いとき、コマンドレスポンスを正常に受信できないことがあります。

(2) 発生条件

以下の 3 つの条件をすべて満たしたときに、本現象が発生します。

- マルチブロックリードコマンド (CMD18) 送信
- 転送データブロックサイズを、1、2、4、8 バイトに設定
- データブロック受信完了 (データブロックのエンドビット受信) 以降に、コマンドレスポンスを受信完了 (コマンドレスポンスのエンドビット受信)

(3) 回避策

1. CMD18 送信時に、転送バイト数カウントレジスタ (TBCR) において、転送データブロックサイズが 16 バイト以上に設定されていれば回避できます。
2. CMD18 送信時に、転送データブロックサイズを 1、2、4、8 バイトに設定することが必要なときは、最初のデータブロック受信完了までに、コマンドレスポンス受信を必ず完了できることを確認してください。最初のデータブロック受信完了までに、コマンドレスポンス受信を完了するには、図 26.24 のように、コマンドレスポンスとデータ受信のタイミングにおいて、

$$(\text{NAC cycles} + \text{Read Data cycles}) > (\text{NCR cycles} + \text{Response cycles})$$

にする必要があります。NAC、NCR については通信先の仕様を確認してください。

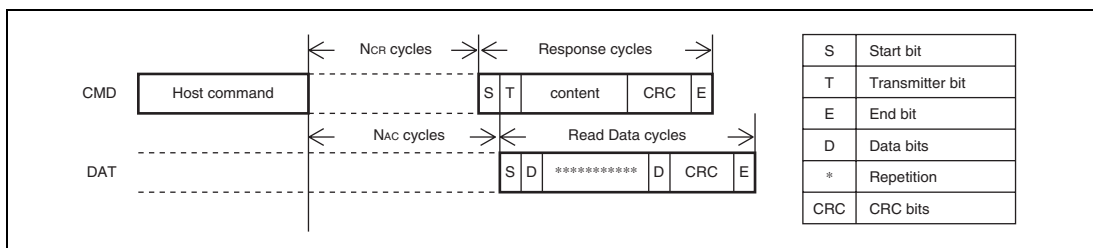


図 26.24 コマンドレスポンスとデータ受信のタイミング

27. 多機能インタフェース (MFI)

本 LSI は外部バスを共用できない外部デバイスと高速にデータ転送を行うための多機能インタフェース (MFI : Multi Functional Interface) を内蔵しています。MFI はバス幅を 8 ビット / 16 ビット切り替え可能なパラレルインタフェースで、68 系 / 80 系のシステムインタフェースに接続可能です。

外部デバイスは、MFI 経由で本 LSI に内蔵された 2KB の MFI 用内蔵 RAM (MFRAM) に対して 32 ビット単位の読み出し / 書き込みが可能です。この MFRAM に対しては MFI と本 LSI 上の CPU の両方からアクセス可能です。また外部デバイスから本 LSI への割り込みおよび本 LSI から外部デバイスへの割り込みをサポートします。この MFRAM と割り込み機能を用いることにより、ソフトウェア的に外部デバイスと内蔵 CPU 間のデータ転送が可能となり、バス権を開放しない外部デバイスとの接続が可能となります。

27.1 特長

- 2KBの内蔵MFRAMに対して、MFIの端子から32ビット単位で読み出し / 書き込みが可能、内蔵CPUから 8/16/32ビット単位で読み出し / 書き込み可能
- 8ビット / 16ビット切り替え可能な非同期のインタフェースをサポートし、68系 / 80系の選択をリセット期間中に行うことが可能
- アドレスの自動インクリメントやエンディアンの設定が可能
- 外部デバイスからMFI内部レジスタの特定ビットへ書き込むことで割り込みをかけることが可能
また逆に内蔵CPUから外部デバイスに対して割り込みをかけることも可能
- 割り込み要因ビットを内部割り込み / 外部割り込み用にそれぞれ7ビットサポートします。これにより128とおりの割り込みの制御がソフトウェアから可能となり、割り込みを用いたデータ転送を高速に行うことが可能

27. 多機能インタフェース (MFI)

図 27.1 に MFI のブロック図を示します。

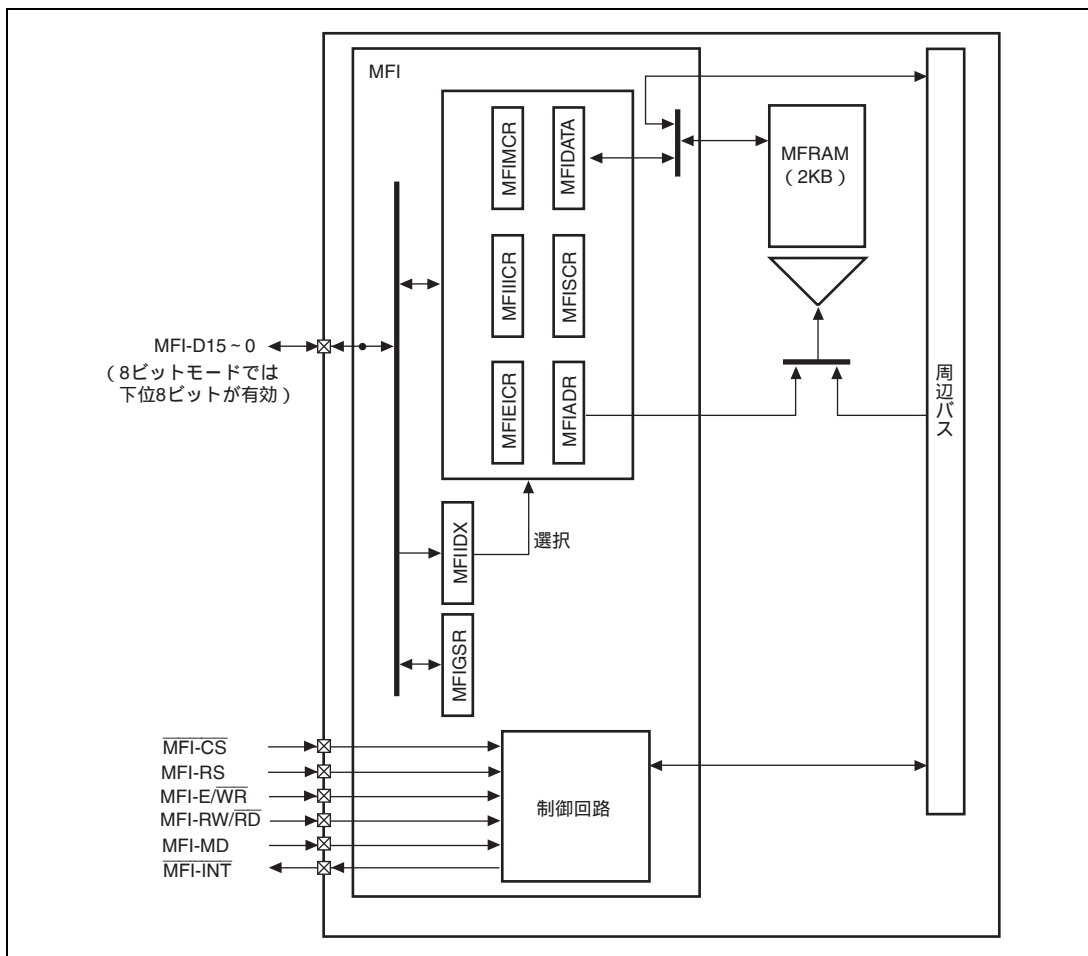


図 27.1 MFI ブロック図

27.2 入出力端子

MFI の端子構成を表 27.1 に示します。MFI を使用する際は、MD7 端子の設定を MFI モード (MD7=0) としてください。

表 27.1 端子構成

名称	端子名	入出力	機能
MFI データ端子	MFI-D15 ~ MFI-D0	入出力	MFI へのアドレス / データ / コマンド入出力 8 ビットモード時は、MFI-D7 ~ MFI-D0 が有効
MFI チップセレクト	MFI-CS	入力	MFI へのチップセレクト入力
MFI レジスタセレクト	MFI-RS	入力	MFI へのアクセス種別切り替え 0 : 通常アクセス 1 : インデックス / ステータスレジスタアクセス
MFI イネーブル / ライト	MFI-E/ \overline{WR}	入力	68 系インタフェースのとき、データの書き込み、読み出しの起動をかけるイネーブル信号。 80 系インタフェースのとき、ライトストロープ信号となり、ローレベル時にデータ書き込み。
MFI リードライト / リード	MFI-RW/ \overline{RD}	入力	68 系インタフェースのとき、データの書き込みと、読み出しを選択する信号。 80 系インタフェースのとき、リードストロープ信号となり、ローレベル時にデータ読み出し。
MFI モード	MFI-MD	入力	MFI の 68 / 80 系インタフェースモードを指定します。 0 : 80 系インタフェース 1 : 68 系インタフェース \overline{RESET} 端子によるパワーオンリセット時にサンプリングされます。パワーオンリセット後は変更しないでください。
MFI 割り込み	MFI-INT	出力	MFI から外部デバイスへの割り込み要求

27.3 レジスタの説明

MFI には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 27.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期クロック
MFI インデックスレジスタ	MFIDX	R/W* ¹	H'FE2C 0000	H'1E2C 0000	32	Pck
MFI 汎用ステータスレジスタ	MFIGSR	R/W	H'FE2C 0004	H'1E2C 0004	32	Pck
MFI ステータス / コントロールレジスタ	MFISCR	R/W* ²	H'FE2C 0008	H'1E2C 0008	32	Pck
MFI メモリ制御レジスタ	MFIMCR	R/W* ⁴	H'FE2C 000C	H'1E2C 000C	32	Pck
MFI 内部割り込み制御レジスタ	MFIICR	R/W	H'FE2C 0010	H'1E2C 0010	32	Pck
MFI 外部割り込み制御レジスタ	MFIEICR	R/W	H'FE2C 0014	H'1E2C 0014	32	Pck
MFI アドレスレジスタ	MFIADR	R/W* ⁵	H'FE2C 0018	H'1E2C 0018	32	Pck
MFI データレジスタ	MFIDATA	R/W	H'FE2C 001C	H'1E2C 001C	32	Pck
	MFRAM 先頭	R/W	H'FE2E 0000	H'1E2E 0000	32	Pck
	MFRAM 最後	R/W	H'FE2E 07FF	H'1E2E 07FF	32	Pck

表 27.2 レジスタ構成 (2)

名称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		Sleep 命令による/ ディープスリープ	ハード による
MFI インデックスレジスタ	MFIDX	H'0000	H'0000	保持	*	保持
MFI 汎用ステータスレジスタ	MFIGSR	H'0000	H'0000	保持		保持
MFI ステータス / コントロールレジスタ	MFISCR	H'0040/H'0050* ³	H'0040/H'0050* ³	保持		保持
MFI メモリ制御レジスタ	MFIMCR	H'0000	H'0000	保持		保持
MFI 内部割り込み制御レジスタ	MFIICR	H'0000	H'0000	保持		保持
MFI 外部割り込み制御レジスタ	MFIEICR	H'0000	H'0000	保持		保持
MFI アドレスレジスタ	MFIADR	H'0000	H'0000	保持		保持
MFI データレジスタ	MFIDATA	H'0000	H'0000	保持		保持
	MFRAM 先頭	不定	不定	保持		保持
	MFRAM 最後	不定	不定	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*¹ 外部デバイスが、MFI-RS 端子をハイレベルにした状態で書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。

*² ビット 6 は外部デバイスが MFI 経由の書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。変更後は誤動作を防止するため、一度 MFISCR の読み出しを行ってください。

- *3 80系 I/F 時 : 0040、68系 I/F 時 0050。
- *4 ビット7、5、3、0は外部デバイスがMFI経由の書き込みのみ可能です。内蔵CPUからの書き込みは行えません。
- *5 ビット10~2は外部デバイスがMFI経由の書き込みのみ可能です。内蔵CPUからの書き込みは行えません。

27.3.1 MFI インデックスレジスタ (MFIIDX)

MFIIDX は、32 ビットのレジスタで、MFI-RS 端子をローレベルにした状態で MFI から読み出し / 書き込みをするレジスタを指定するために使用します。外部デバイスからは MFI-RS 端子をハイレベルにした状態で書き込みのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	REG5	REG4	REG3	REG2	REG1	REG0	BYTE1	BYTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~2	REG5~0	すべて0	R/W*	MFI 内蔵レジスタ選択 5~0 000000 : MFIGSR 000001 : MFISCR 000010 : MFIMCR 000011 : MFIICR 000100 : MFIEICR 000101 : MFIADR 000110 : MFIIDATA 上記以外 : 設定禁止

27. 多機能インタフェース (MFI)

ビット	ビット名	初期値	R/W	説明
1	BYTE1	0	R/W*	内蔵レジスタ内バイト指定 32ビットレジスタのどの8/16ビットをアクセスするかを指定します。 • MFISCR.BO = 0 の場合 8ビットバス 16ビットバス 00 : レジスタのビット[31:24] レジスタのビット[31:16] 01 : レジスタのビット[23:16] 設定禁止 10 : レジスタのビット[15:8] レジスタのビット[15:0] 11 : レジスタのビット[7:0] 設定禁止 • MFISCR.BO = 1 の場合 8ビットバス 16ビットバス 00 : レジスタのビット[7:0] レジスタのビット[15:0] 01 : レジスタのビット[15:8] 設定禁止 10 : レジスタのビット[23:16] レジスタのビット[31:16] 11 : レジスタのビット[31:24] 設定禁止 ただし REG5 ~ REG0 で MFIDATA が選択された場合には、外部デバイスから MFIDATA への読み出し / 書き込みが発生するたびごとに BYTE1、BYTE0 が以下の規則で変化します。 8ビットバス時 : 00 01 10 11 00 01 繰り返し 16ビットバス時 : 00 10 00 10 繰り返し
0	BYTE0	0	R/W*	

【注】 * 外部デバイスが MFI 経由では、MFI-RS 端子を 1 にした状態で書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。

27.3.2 MFI 汎用ステータスレジスタ (MFIGSR)

MFIGSR は、32 ビットのレジスタで、MFI に接続される外部デバイスと内蔵 CPU 間で相互の状態を示すために自由に用いることができるレジスタです。MFI からは MFI-RS 端子をハイレベルにした状態で読み出しのみ可能です。MFI 経由で MFIGSR へ書き込む場合は、REG5~0 ビットで MFIGSR を指定し、MFI-RS 端子をローレベルにした状態で書き込んでください。この状態で MFIGSR の読み出しも可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	STA TUS7	STA TUS6	STA TUS5	STA TUS4	STA TUS3	STA TUS2	STA TUS1	STA TUS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	STATUS7~0	すべて 0	R/W	汎用ステータス MFI に接続された外部デバイス上のソフトウェアもしくは内蔵 CPU から読み出し / 書き込み可能なレジスタです。パワーオンリセット時以外はハードウェアにより書き換えられることはありません。

27.3.3 MFI ステータス / コントロールレジスタ (MFISCR)

MFISCR は、32 ビットの読み出し / 書き込み可能なレジスタで、MFI のモードや状態の制御を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SCR MD2	-	SCR MD0	-	-	EDN	BO
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W*	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27. 多機能インタフェース (MFI)

ビット	ビット名	初期値	R/W	説明
6	SCRMD2	1	R/W*	MFI モード 2 MFI のバス幅を指定します。このビットの変更を行った直後から、バス幅は変更となります。 0 : 8 ビットモード 1 : 16 ビットモード 【注】本ビットを変更後は誤動作を防止するため、一度 MFISCR のダミーの読み出しを行ってください。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SCRMD0	0	R	MFI モード 0 RESET 端子によるパワーオンリセット時に、MFI-MD 端子の値をサンプリングします。 MFI が 68 系 / 80 系のどちらのインタフェースであるかを示します。MFI-MD 端子信号の値を示します。 0 : 80 系インタフェース 1 : 68 系インタフェース
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	EDN	0	R/W	エンディアン (MFRAM アクセス) 内蔵 CPU から MFRAM をアクセスした場合のバイト位置を指定します。図 27.2 を参照してください。(本 LSI の MD5 端子によるエンディアン設定とは独立に設定可能です。) 0 : ビッグエンディアン 1 : リトルエンディアン
0	BO	0	R/W	バイトオーダー MFIADR に対応する MFIDATA のバイト位置を指定します。 0 : ビッグエンディアン 1 : リトルエンディアン

【注】 * このビットは外部デバイスが MFI 経由の書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。

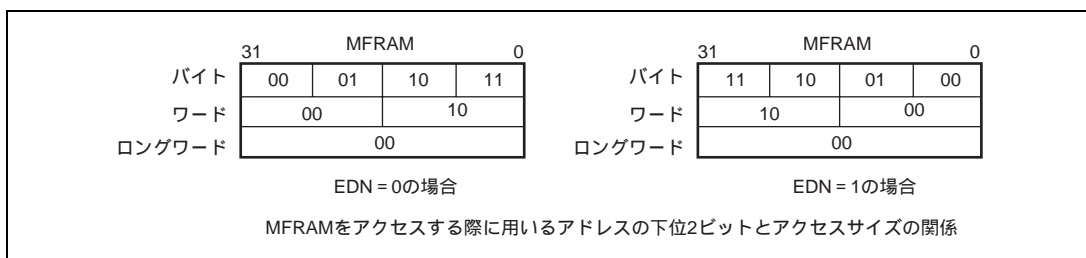


図 27.2 EDN ビットの指定内容

27.3.4 MFI メモリ制御レジスタ (MFIMCR)

MFIMCR は、32 ビットのレジスタで、外部デバイスが MFI 経由で MFRAM の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LOCK	-	WT*3	-	RD*3	-	-	AI/AD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1	R	R/W*1	R	R/W*1	R	R	R/W*1

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	LOCK	0	R/W*1	ロック 連続アクセスのために、読み出し動作 / 書き込み動作をロックするためのビットです。LOCK ビットへ 1 を書き込むと同時に設定した RD ビット、WT ビットの値が次に LOCK ビットを 0 クリアするまで保持されます。RD ビットと LOCK ビットに同時に 1 を書き込んだ場合は連続読み出しモード、WT ビットと LOCK ビットに同時に 1 を書き込んだ場合は連続書き込みモードとなります。RD ビットと WT ビットは同時に 1 にしないでください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	WT*3	0	R/W*1	書き込み このビットに 1 を書き込むと MFIDATA の値が、MFIADR に対応する MFRAM の位置へ書き込まれます。*2 <ul style="list-style-type: none"> WT ビットへ 1 を書き込むのと同時に LOCK ビットに対して 1 を書き込むと MFI への連続書き込み状態となり、高速なデータ転送が可能となります。*4WT ビットの値は、次に 0 を書き込むか、LOCK ビットを 0 にするまで 1 の状態が保持されます。 LOCK ビットに対して同時に 1 を書き込まない場合は、MFRAM に対して 1 度だけ書き込みが発生します。WT ビットへの値は自動的に 0 にクリアされます。
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27. 多機能インタフェース (MFI)

ビット	ビット名	初期値	R/W	説明
3	RD* ³	0	R/W* ¹	読み出し このビットに 1 を書き込むと MFIADR に対応する MFRAM のデータが MFIDATA に読み出されます。* ² <ul style="list-style-type: none"> RD ビットへ 1 を書き込むのと同時に LOCK ビットに対して 1 を書き込むと MFI への連続読み出し状態となり、高速なデータ転送が可能となります。RD ビットの値は、次に 0 を書き込むか、LOCK ビットを 0 にするまで 1 の状態が保持されます。 LOCK ビットに対して同時に 1 を書き込まない場合は、MFRAM に対して 1 度だけ読み出しが発生します。RD ビットへの値は自動的に 0 にクリアされます。
2、1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AI/AD	0	R/W* ¹	アドレスオートインクリメント/デクリメント LOCK ビットが 1 のときのみ有効なビットです。MFRAM への読み出しもしくは書き込みが発生するたびに、MFIADR の値が自動的に +4 もしくは -4 します。 0 : オートインクリメントモード (+4) 1 : オートデクリメントモード (-4)

- 【注】 *1 このビットは、外部デバイスが MFI 経由の書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。
- *2 内蔵 CPU からの MFRAM へのアクセスと、外部デバイスが MFI 経由の MFRAM アクセスが同時に発生した場合は、MFI 経由のアクセスを先に実行します。
- *3 WT ビットと RD ビットは同時に 1 にしないでください。
- *4 MFRAM への連続書き込みは 32 ビット単位で行われます。32 ビットに満たないデータは MFRAM へ書き込まれません。

27.3.5 MFI 内部割り込み制御レジスタ (MFIICR)

MFIICR は、32 ビットのレジスタで、MFI に接続された外部デバイスから内蔵 CPU に対して割り込みを発生させるためのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IIC6	IIC5	IIC4	IIC3	IIC2	IIC1	IIC0	IIR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IIC6	0	R/W	内部割り込み要因 IIR で発生する割り込みの要因を指定するためのビットです。このビットは MFI に接続された外部デバイスからも内蔵 CPU 側からも書き込みが可能です。このビットを用いることにより割り込みハンドラの処理を高速行うことが可能となります。このビットは完全にソフトウェア制御であり、このビットの値が本 LSI の動作に影響を与えることはありません。
6	IIC5	0	R/W	
5	IIC4	0	R/W	
4	IIC3	0	R/W	
3	IIC2	0	R/W	
2	IIC1	0	R/W	
1	IIC0	0	R/W	
0	IIR	0	R/W	内部割り込みリクエスト このビットが 1 の期間、内蔵 CPU に対して割り込み要求が発生します。

27.3.6 MFI 外部割り込み制御レジスタ (MFIEICR)

MFIEICR は、32 ビットのレジスタで、内蔵 CPU から MFI に接続された外部デバイスに対して割り込みを発生させるためのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EIC6	EIC5	EIC4	EIC3	EIC2	EIC1	EIC0	EIR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

27. 多機能インタフェース (MFI)

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	EIC6	0	R/W	外部割り込み要因 EIR で発生する割り込みの要因を指定するためのビットです。このビットは MFI に接続された外部デバイスからも内蔵 CPU 側からも書き込みが可能です。このビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、このビットの値が本 LSI の動作に影響を与えることはありません。
6	EIC5	0	R/W	
5	EIC4	0	R/W	
4	EIC3	0	R/W	
3	EIC2	0	R/W	
2	EIC1	0	R/W	
1	EIC0	0	R/W	
0	EIR	0	R/W	外部割り込みリクエスト このビットが1の期間、本 LSI から外部デバイスに対して MFI-INT 端子をローレベルにアサートして割り込み要求を発生します。

27.3.7 MFI アドレスレジスタ (MFIADR)

MFIADR は、32 ビットのレジスタで、外部デバイスが MFI 経由でアクセスする MFRAM のアドレスを示すレジスタです。

MFIMCR の LOCK ビットの設定により MFRAM への連続アクセスが指定されているときは、MFIMCR の AI/AD ビットの設定に従い、アドレスのオートインクリメント (+4) もしくはオートデクリメント (-4) が MFRAM へのアクセスの度に自動的に行われ、MFIADR が更新されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	A10	A9	A8	A7	A6	A5	A4	A3	A2	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~2	A10~A2	すべて0	R/W*	アドレス 外部デバイスが MFI 経由でアクセスする MFRAM の 2KB のメモリ空間を 32 ビット境界で指定します。
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * このビットは、外部デバイスが MFI 経由の書き込みのみ可能です。内蔵 CPU からの書き込みは行えません。

27.3.8 MFI データレジスタ (MFIDATA)

MFIDATA は、32 ビットのレジスタで、MFRAM への書き込みデータや MFRAM からの読み出しデータを保持するレジスタです。MFRAM へのアクセスで MFIDATA を用いない場合は、MFI に接続されている外部デバイスと、本 LSI 上のソフトウェアのデータ転送に用いることが可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFI DATA31	MFI DATA30	MFI DATA29	MFI DATA28	MFI DATA27	MFI DATA26	MFI DATA25	MFI DATA24	MFI DATA23	MFI DATA22	MFI DATA21	MFI DATA20	MFI DATA19	MFI DATA18	MFI DATA17	MFI DATA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFI DATA15	MFI DATA14	MFI DATA13	MFI DATA12	MFI DATA11	MFI DATA10	MFI DATA9	MFI DATA8	MFI DATA7	MFI DATA6	MFI DATA5	MFI DATA4	MFI DATA3	MFI DATA2	MFI DATA1	MFI DATA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MFIDATA 31~0	すべて 0	R/W	32 ビットデータ。

27.4 動作説明

27.4.1 概要

MFI へのアクセスは $\overline{\text{MFI-CS}}$ 、 MFI-RS 、 $\text{MFI-E}/\overline{\text{WR}}$ 、 $\text{MFI-RW}/\overline{\text{RD}}$ ピンを組み合わせることで行います。表 27.3 にこれらの信号の組み合わせと動作との対応を示します。また、MFIIDX、MFIGSR へのアクセスは、表 27.4 を参照してください。

表 27.3 MFI 動作

MFI-C $\overline{\text{S}}$	MFI-R S	68 系		80 系		動作
		MFI-E/ $\overline{\text{W}}$ $\overline{\text{R}}$	MFI-RW/ $\overline{\text{R}}$ $\overline{\text{D}}$	MFI-E/ $\overline{\text{W}}$ $\overline{\text{R}}$	MFI-RW/ $\overline{\text{R}}$ $\overline{\text{D}}$	
1	x	x	x	x	x	ノーオペレーション (NOP)
0	0	1	1	1	0	MFIIDX[7:0]で指定されるレジスタの読み出し
0	0	1	0	0	1	MFIIDX[7:0]で指定されるレジスタへの書き込み
0	1	1	1	1	0	MFIGSR[7:0]の読み出し*
0	1	1	0	0	1	MFIIDX[7:0]への書き込み*
0	x	0	x	1	1	ノーオペレーション (NOP)
0	x		-	0	0	設定禁止

【注】 * MFI を 16 ビット幅で用いた場合は MFI-D7~0 で読み出し / 書き込みを行います。

x : Don't care

27. 多機能インタフェース (MFI)

表 27.4 MFIIDX、MFIGSR へのアクセス

	CPU	外部デバイス*	
		8ビット	16ビット
MFIIDX	[31:0]	[7:0]	[15:0]
MFIGSR	[31:0]	[7:0]	[15:0]

【注】 * MFI-RS 端子がハイレベルのとき

27.4.2 接続方法

MFI を外部デバイスに接続する場合は、たとえば図 27.3 に示すような方法で接続してください。

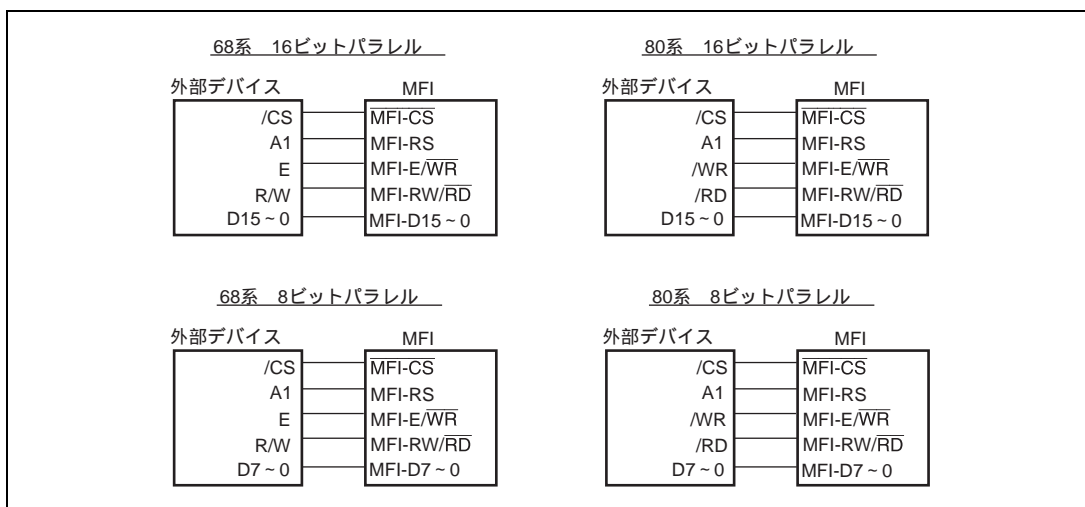


図 27.3 MFI 接続参考例

27.4.3 メモリマップ

表 27.5 に内蔵 MFRAM のメモリ空間を示します。

表 27.5 メモリマップ

	開始アドレス	終了アドレス	サイズ
外部デバイスが MFI 経由	H'0000	H'07FF	2KB
内蔵 CPU 経由	H'FE2E 0000	H'FE2E 07FF	2KB

27.5 インタフェース (基本)

MFI を用いた 8 ビットパラレルのインタフェースについて説明します。MFI のインタフェースでは 68 系と 80 系のアクセスが可能です。MFI 経由のアクセスは固定時間で完了します。

27.5.1 68 系 8 ビットパラレルインタフェース

図 27.4 に 68 系 8 ビットパラレルインタフェースの基本読み出し / 書き込みシーケンスを示します。MFI へのアクセスは MFI-E $\overline{\text{WR}}$ 信号のハイレベル期間と、 $\overline{\text{MFI-CS}}$ 信号のロー期間のオーバーラップ期間で規定します。その期間の MFI-RW $\overline{\text{RD}}$ 信号がローレベルならば書き込み、ハイレベルならば読み出し動作を行います。また MFI-RS 信号は、当該アクセスが通常アクセスなのか、インデックス / ステータスレジスタアクセスなのかを示し、ローレベルならば通常アクセス、ハイレベルであればインデックス / ステータスレジスタアクセスとなります。

詳細なタイミングは「第 33 章 電気的特性」を参照してください。

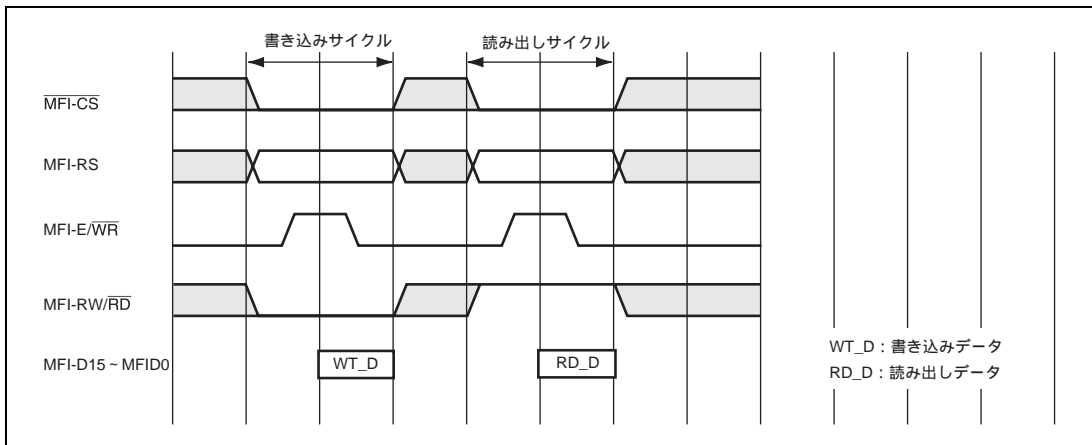


図 27.4 MFI 68 系インタフェース基本タイミング

27.5.2 80系8ビットパラレルインタフェース

図 27.5 に 80 系 8 ビットパラレルインタフェースの基本読み出し / 書き込みシーケンスを示します。80 系のインタフェースでは MFI-RW/RD 信号のロー期間と MFI-CS 信号のロー期間のオーバーラップ期間で読み出しを規定し、MFI-E/WR 信号のロー期間と MFI-CS 信号のロー期間のオーバーラップ期間で書き込みを規定します。

MFI-RS 信号は 68 系インタフェースと同じ意味を持ちます。

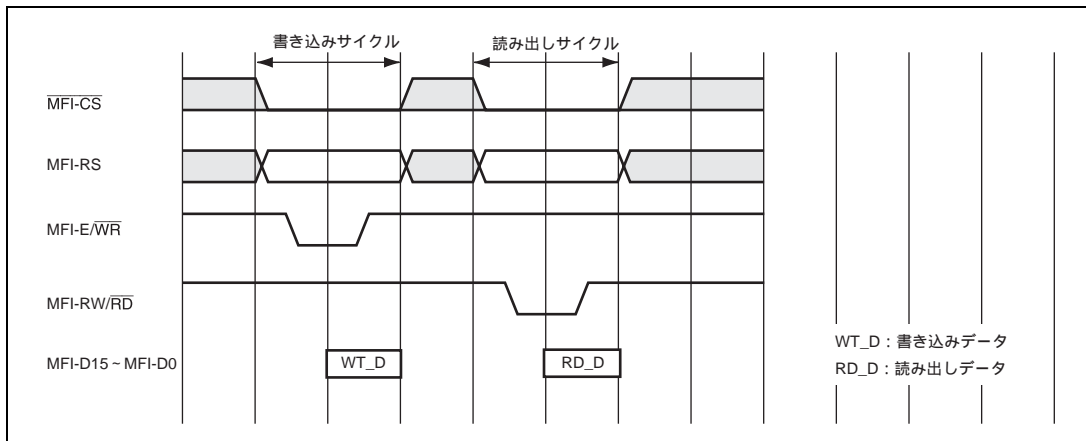


図 27.5 MFI 80系インタフェース基本タイミング

27.6 インタフェース (詳細)

ここではインタフェースの詳細を 68 系インタフェースを用いて説明します。

27.6.1 MFIIDX 書き込み / MFIGSR 読み出し

MFIIDX への書き込みおよび MFIGSR の読み出しは図 27.6 のように行います。

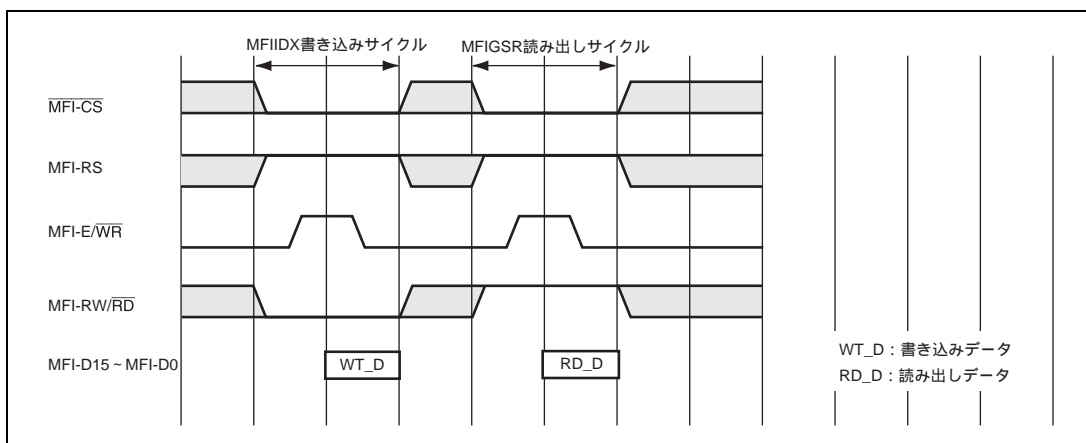


図 27.6 MFIIDX 書き込みおよび MFIGSR 読み出し

27.6.2 MFI レジスタの読み出し / 書き込み

図 27.7 に示すように、MFI 内蔵レジスタへの読み出し / 書き込みは最初 MFI-RS をハイにした状態で MFIIDX に書き込みを行うことでアクセスするレジスタとバイト位置を選びます。その後 MFI-RS をローにして MFIIDX で選択したレジスタに読み出し / 書き込みを行ってください。

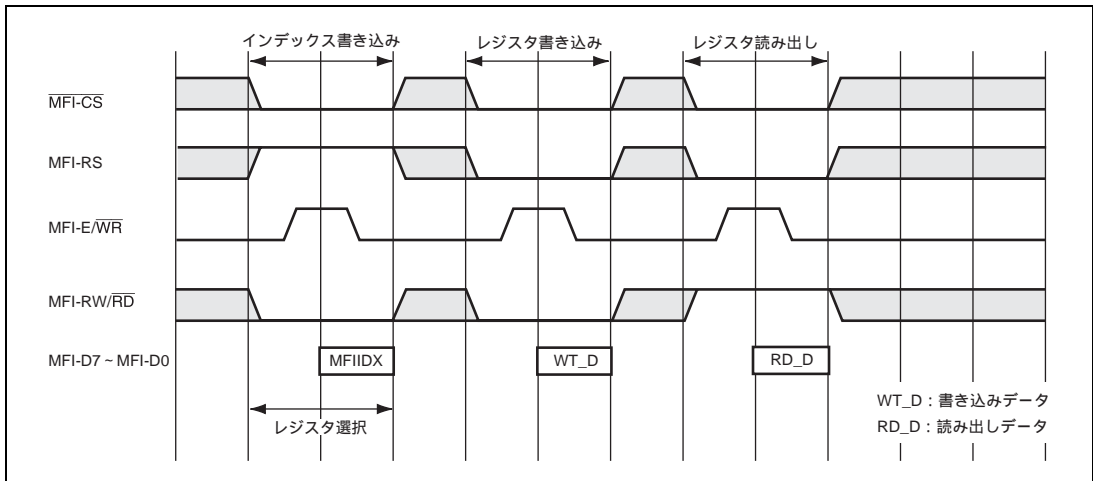


図 27.7 MFI レジスタ設定

27.6.3 MFI から MFRAM への連続データ書き込み

図 27.8 に MFI から MFRAM への連続データ転送のタイミングチャートを示します。本タイミングチャートに示すとおり、開始アドレスと最初の書き込みデータを設定すれば、それ以降は連続してデータを転送することが可能となります。これにより DMA 転送などを用いた効果的なデータ転送を本 LSI に対して行うことが可能となります。

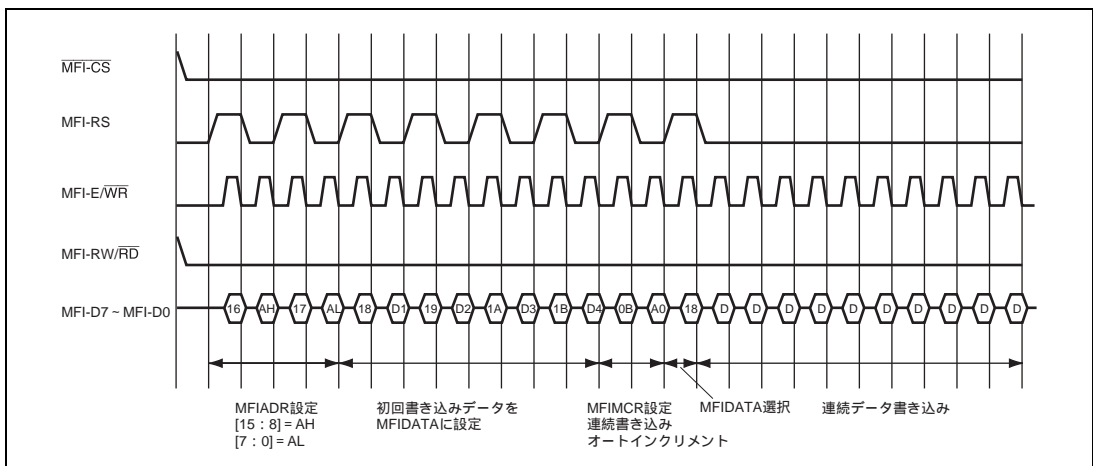


図 27.8 MFRAM への連続データ書き込み (8 ビットバス幅の場合、MFISCR.SCRMD2 = 0)

27.6.4 MFI から MFRAM の連続データ読み出し

図 27.9 に MFI から MFRAM への連続データ読み出しのタイミングチャートを示します。本タイミングチャートに示すとおり、開始アドレスを設定すれば、それ以降は連続してデータを読み出すことが可能となります。これにより DMA 転送などを用いた効果的なデータ転送を本 LSI に対して行うことが可能となります。

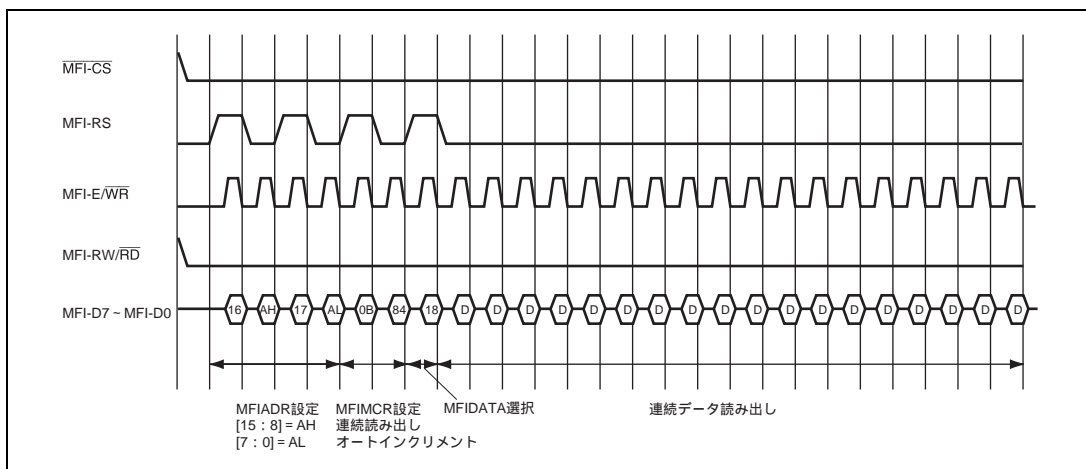


図 27.9 MFRAM への連続データ読み出し (8 ビットバス幅の場合、MFISCR.SCRMD2 = 0)

28. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース(H-UDI)は JTAG、IEEE1149.1"IEEE Standard Test Access Port and Boundary-Scan Architecture"の端子機能と転送プロトコルを利用したシリアル入出力インタフェースです。

本 LSI の H-UDI はエミュレータの接続にも使用されます。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法はエミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$) からなります。端子機能またはシリアル転送プロトコルは JTAG の規格のサブセットの動作になります。本 LSI ではエミュレータ用端子 6 本 (AUDSYNC、AUDCK、AUDATA3~0) がさらに追加されています。エミュレータ用端子は兼用端子であり、PFC の IPSELR の設定値により、使用する端子が切り替わります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが活きるため、バウンダリスキャン TAP コントローラを利用するためには切替コマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 28.1 に H-UDI のブロック図を示します。このうち TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

H-UDI 回路は、SDIR、SDDR (SDDRH、SDDRL)、SDINT の計 4 本のレジスタを持ちます。SDBSR は JTAG のバウンダリスキャンを構成するレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

28. ユーザデバッグインタフェース (H-UDI)

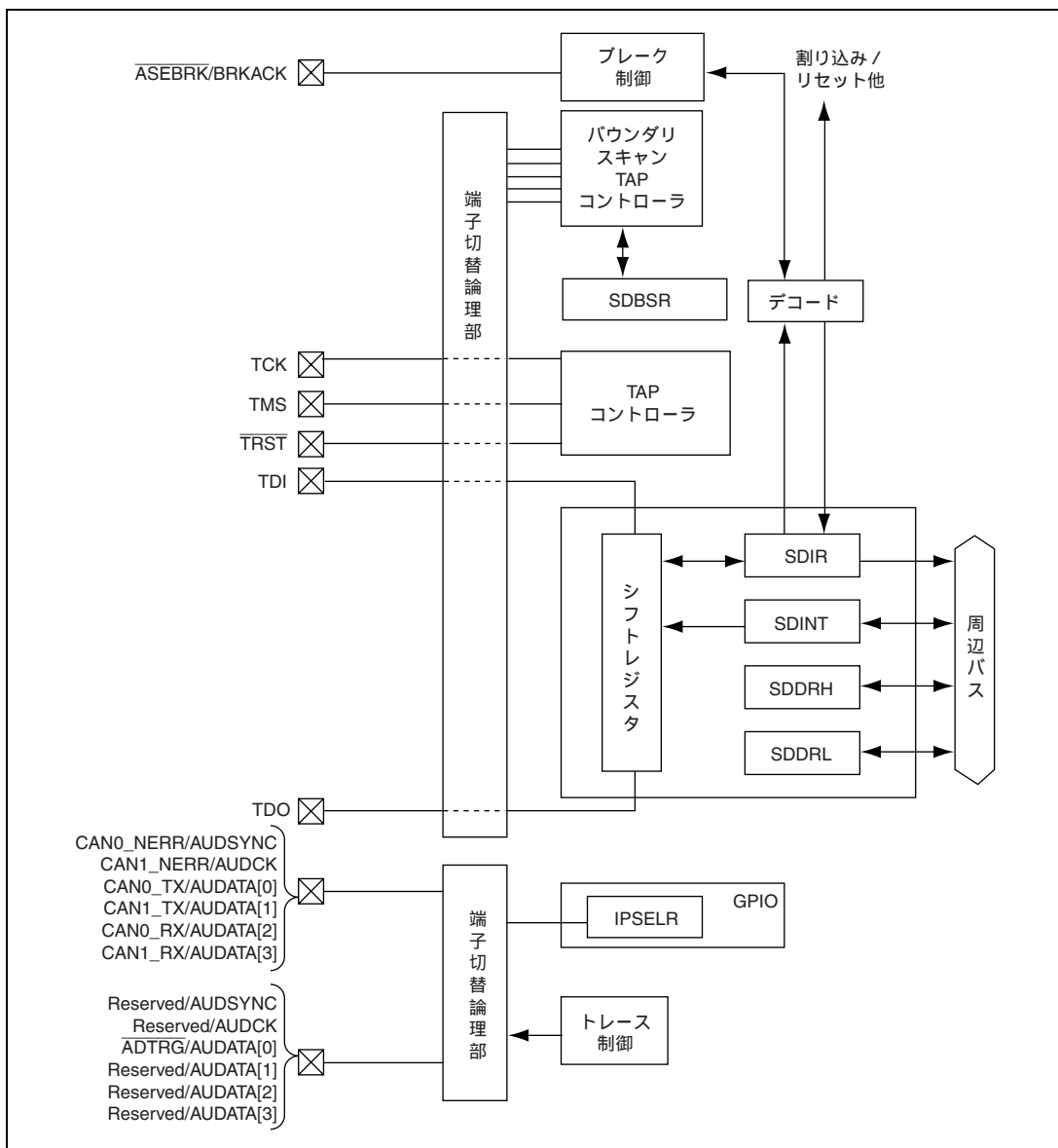


図 28.1 H-UDI のブロック図

28.1 入出力端子

H-UDI の端子構成を表 28.1 に示します。

表 28.1 H-UDI の端子構成

名称	略称	入出力	機能	未使用時
クロック端子	TCK	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン ^{*1}
モード端子	TMS	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	オープン ^{*1}
リセット端子	$\overline{\text{TRST}}$	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定 ^{*2,*3}
データ入力端子	TDI	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン ^{*1}
データ出力端子	TDO	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
エミュレータ用端子	$\overline{\text{ASEBRK}}$ / BRKACK	入出力	エミュレータ専用の端子	オープン ^{*1}
エミュレータ用端子	AUDSYNC AUDCK AUDATA3~0	出力	エミュレータ用の端子。PFC のレジスタ IPSELR のビット 13 が 1 のとき、以下の端子に出力します。 CAN0_TX/AUDATA[0]、CAN1_TX/AUDATA[1] CAN0_RX/AUDATA[2]、CAN1_RX/AUDATA[3] CAN0_NERR/AUDCK、CAN1_NERR/AUDSYNC また、IPSELR のビット 12 が 1 のとき、以下の端子に出力します。 $\overline{\text{ADTRG}}$ /AUDATA[0]、Reserved/AUDATA[1] Reserved/AUDATA[2]、Reserved/AUDATA[3] Reserved/AUDCK、Reserved/AUDSYNC	オープン ^{*4}

【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

*2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用する場合は、電源投入時に RESET と重複する期間 $\overline{\text{TRST}}$ をローレベルにし、かつ $\overline{\text{TRST}}$ 単独でも制御可能となるようにしてください。

*3 グランド固定または RESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グランド固定の場合には下記の問題があります。 $\overline{\text{TRST}}$ はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

*4 エミュレータ用端子として使用しない場合、出力状態ではない端子はプルアップしてください。

28. ユーザデバッグインタフェース (H-UDI)

なお TCK (TMS、TDI、TDO) の最大周波数は 20MHz (バウンダリスキャン時は 2MHz) です。また、TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

28.2 バウンダリスキャン TAP コントローラ (EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが活き、JTAG で規定されているバウンダリスキャン機能を利用できます。また、切替コマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL、CKIO) はバウンダリスキャンの対象から外れます。
 - リセット関連信号 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 、CA) はバウンダリスキャンの対象から外れます。
 - H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) はバウンダリスキャンの対象から外れます。
 - アナログ関連信号 (AN0 ~ AN3、USB_DM、USB_DP) はバウンダリスキャンの対象から外れます。
 - I2C 関連信号 (I2C0_SDA、I2C0_SCL、I2C1_SDA、I2C1_SCL) はバウンダリスキャンの対象から外れます。
 - EXTEST 時には、 $\overline{\text{MRESET}}$ ピンをアサート (Low)、 $\overline{\text{RESET}}$ ピンをネゲート (High)、CA ピンをアサート (High) の状態に、SAMPLE/PRELOAD 時には、CA ピンをアサート (High)、 $\overline{\text{RESET}}$ ピンをネゲート (High) の状態にしてください。
 - バウンダリスキャン (EXTEST、SAMPLE/PRELOAD、BYPASS) 実行時には、EXTAL 端子へクロックを供給して、 $\overline{\text{RESET}}$ 端子によるパワーオンリセットを行ってください。入力クロックの周波数範囲は、1 ~ 34MHz です。パワーオン発振安定時間 t_{osc1} 経過後にバウンダリスキャンを行ってください。なお、 t_{osc1} 経過後は EXTAL 端子へのクロック供給を停止しても構いません。パワーオン発振安定時間 t_{osc1} の詳細は、「第 33 章 電気的特性」を参照してください。
 - バウンダリスキャン (EXTEST、SAMPLE/PRELOAD、BYPASS) 実行時、TCK の最大周波数は 2MHz です。
 - H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 3 ビットです。
- 以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

表 28.2 バウンダリスキャン TAP コントローラのサポートコマンド

ビット 2	ビット 1	ビット 0	説明
0	0	0	EXTEST
0	0	1	SAMPLE/PRELOAD
0	1	1	H-UDI (切替コマンド)
上記以外			BYPASS モード

28.2.1 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、チップの入出力ピンの制御を行うために PAD 上配列されたシフトレジスタであり、EXTEST と SAMPLE/PRELOAD コマンドを用いて JTAG (IEEE1149.1) 規格に準拠したバウンダリスキャンテストを行うことができます。表 28.3 に本 LSI のピンと SDBSR の対応を示します。

28. ユーザデバッグインタフェース (H-UDI)

表 28.3 (1) SDBSR の構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
From TDI			465	HSPI_TX	OUTPUT	430	SSI1_WS/HAC_SYNC1	INPUT
499	SCIF2_TXD	INPUT	464	HSPI_TX	CTL	429	SSI1_WS/HAC_SYNC1	OUTPUT
498	SCIF2_TXD	OUTPUT	463	HSPI_RX	INPUT	428	SSI1_WS/HAC_SYNC1	CTL
497	SCIF2_TXD	CTL	462	HSPI_RX	OUTPUT	427	HAC_BIT_CLK1	INPUT
496	SCIF1_CLK	INPUT	461	HSPI_RX	CTL	426	HAC_BIT_CLK1	OUTPUT
495	SCIF1_CLK	OUTPUT	460	SSI1_SDATA/HAC_SD_OUT1	INPUT	425	HAC_BIT_CLK1	CTL
494	SCIF1_CLK	CTL	459	SSI1_SDATA/HAC_SD_OUT1	OUTPUT	424	VCPWC/IRQ4	INPUT
493	SCIF2_CLK	INPUT	458	SSI1_SDATA/HAC_SD_OUT1	CTL	423	VCPWC/IRQ4	OUTPUT
492	SCIF2_CLK	OUTPUT	457	STATUS0	INPUT	422	VCPWC/IRQ4	CTL
491	SCIF2_CLK	CTL	456	STATUS0	OUTPUT	421	VEPWC/IRQ5	INPUT
490	NMI	INPUT	455	STATUS0	CTL	420	VEPWC/IRQ5	OUTPUT
489	NMI	OUTPUT	454	SSIO_SCK/HAC_SD_IN0/BS2	INPUT	419	VEPWC/IRQ5	CTL
488	NMI	CTL	453	SSIO_SCK/HAC_SD_IN0/BS2	OUTPUT	418	$\overline{\text{BREQ}}$	INPUT
487	CMT_CTR3	INPUT	452	SSIO_SCK/HAC_SD_IN0/BS2	CTL	417	$\overline{\text{BREQ}}$	OUTPUT
486	CMT_CTR3	OUTPUT	451	SSIO_WS/HAC_SYNC0	INPUT	416	$\overline{\text{BREQ}}$	CTL
485	CMT_CTR3	CTL	450	SSIO_WS/HAC_SYNC0	OUTPUT	415	MFI-D8/LCD_DATA8	INPUT
484	CMT_CTR2	INPUT	449	SSIO_WS/HAC_SYNC0	CTL	414	MFI-D8/LCD_DATA8	OUTPUT
483	CMT_CTR2	OUTPUT	448	SSIO_SDATA/HAC_SD_OUT0	INPUT	413	MFI-D8/LCD_DATA8	CTL
482	CMT_CTR2	CTL	447	SSIO_SDATA/HAC_SD_OUT0	OUTPUT	412	MFI-D0/LCD_DATA0	INPUT
481	CMT_CTR1	INPUT	446	SSIO_SDATA/HAC_SD_OUT0	CTL	411	MFI-D0/LCD_DATA0	OUTPUT
480	CMT_CTR1	OUTPUT	445	$\overline{\text{HAC_RES}}$	INPUT	410	MFI-D0/LCD_DATA0	CTL
479	CMT_CTR1	CTL	444	$\overline{\text{HAC_RES}}$	OUTPUT	409	$\overline{\text{CS0}}$	INPUT
478	CMT_CTR0/TCLK	INPUT	443	$\overline{\text{HAC_RES}}$	CTL	408	$\overline{\text{CS0}}$	OUTPUT
477	CMT_CTR0/TCLK	OUTPUT	442	$\overline{\text{RDY}}$	INPUT	407	$\overline{\text{CS0}}$	CTL
476	CMT_CTR0/TCLK	CTL	441	$\overline{\text{RDY}}$	OUTPUT	406	$\overline{\text{BACK}}$	INPUT
475	STATUS1	INPUT	440	$\overline{\text{RDY}}$	CTL	405	$\overline{\text{BACK}}$	OUTPUT
474	STATUS1	OUTPUT	439	HAC_BIT_CLK0	INPUT	404	$\overline{\text{BACK}}$	CTL
473	STATUS1	CTL	438	HAC_BIT_CLK0	OUTPUT	403	MFI-D9/LCD_DATA9	INPUT
472	HSPI_CLK	INPUT	437	HAC_BIT_CLK0	CTL	402	MFI-D9/LCD_DATA9	OUTPUT
471	HSPI_CLK	OUTPUT	436	DCK	INPUT	401	MFI-D9/LCD_DATA9	CTL
470	HSPI_CLK	CTL	435	DCK	OUTPUT	400	MFI-D1/LCD_DATA1	INPUT
469	$\overline{\text{HSPI_CS}}$	INPUT	434	DCK	CTL	399	MFI-D1/LCD_DATA1	OUTPUT
468	$\overline{\text{HSPI_CS}}$	OUTPUT	433	SSI1_SCK/HAC_SD_IN1	INPUT	398	MFI-D1/LCD_DATA1	CTL
467	$\overline{\text{HSPI_CS}}$	CTL	432	SSI1_SCK/HAC_SD_IN1	OUTPUT	397	MFI-D10/LCD_DATA10	INPUT
466	HSPI_TX	INPUT	431	SSI1_SCK/HAC_SD_IN1	CTL	396	MFI-D10/LCD_DATA10	OUTPUT

【注】 * CTL はハイアクティブの信号を示します。CTL を High にすることで該当ピンを OUT 値でドライブします。

表 28.3 (2) SDBSR の構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
395	MFI-D10/LCD_DATA10	CTL	360	MFI-D14/LCD_DATA14	OUTPUT	325	MFI-RS/LCD_M_DISP	INPUT
394	MFI-D2/LCD_DATA2/IRQ6	INPUT	359	MFI-D14/LCD_DATA14	CTL	324	MFI-RS/LCD_M_DISP	OUTPUT
393	MFI-D2/LCD_DATA2/IRQ6	OUTPUT	358	MFI-D6/LCD_DATA6/DREQ3	INPUT	323	MFI-RS/LCD_M_DISP	CTL
392	MFI-D2/LCD_DATA2/IRQ6	CTL	357	MFI-D6/LCD_DATA6/DREQ3	OUTPUT	322	MFI-RW/LCD_FLM	INPUT
391	MFI-D11/LCD_DATA11	INPUT	356	MFI-D6/LCD_DATA6/DREQ3	CTL	321	MFI-RW/LCD_FLM	OUTPUT
390	MFI-D11/LCD_DATA11	OUTPUT	355	MFI-D15/LCD_DATA15	INPUT	320	MFI-RW/LCD_FLM	CTL
389	MFI-D11/LCD_DATA11	CTL	354	MFI-D15/LCD_DATA15	OUTPUT	319	\overline{BS}	INPUT
388	MFI-D3/LCD_DATA3/IRQ7	INPUT	353	MFI-D15/LCD_DATA15	CTL	318	\overline{BS}	OUTPUT
387	MFI-D3/LCD_DATA3/IRQ7	OUTPUT	352	MFI-D7/LCD_DATA7/DRAK3/DACK3	INPUT	317	\overline{BS}	CTL
386	MFI-D3/LCD_DATA3/IRQ7	CTL	351	MFI-D7/LCD_DATA7/DRAK3/DACK3	OUTPUT	316	A1	INPUT
385	$\overline{CS1}$	INPUT	350	MFI-D7/LCD_DATA7/DRAK3/DACK3	CTL	315	A1	OUTPUT
384	$\overline{CS1}$	OUTPUT	349	$\overline{CS5}$	INPUT	314	A1	CTL
383	$\overline{CS1}$	CTL	348	$\overline{CS5}$	OUTPUT	313	D0	INPUT
382	$\overline{CS2}$	INPUT	347	$\overline{CS5}$	CTL	312	D0	OUTPUT
381	$\overline{CS2}$	OUTPUT	346	A21	INPUT	311	D0	CTL
380	$\overline{CS2}$	CTL	345	A21	OUTPUT	310	D15	INPUT
379	MFI-D12/LCD_DATA12	INPUT	344	A21	CTL	309	D15	OUTPUT
378	MFI-D12/LCD_DATA12	OUTPUT	343	$\overline{MFI-INT}/LCD_CLK$	INPUT	308	D15	CTL
377	MFI-D12/LCD_DATA12	CTL	342	$\overline{MFI-INT}/LCD_CLK$	OUTPUT	307	D3	INPUT
376	MFI-D4/LCD_DATA4/DREQ2	INPUT	341	$\overline{MFI-INT}/LCD_CLK$	CTL	306	D3	OUTPUT
375	MFI-D4/LCD_DATA4/DREQ2	OUTPUT	340	$\overline{MFI-CS}/LCD_DON$	INPUT	305	D3	CTL
374	MFI-D4/LCD_DATA4/DREQ2	CTL	339	$\overline{MFI-CS}/LCD_DON$	OUTPUT	304	D1	INPUT
373	MFI-D13/LCD_DATA13	INPUT	338	$\overline{MFI-CS}/LCD_DON$	CTL	303	D1	OUTPUT
372	MFI-D13/LCD_DATA13	OUTPUT	337	MFI-E/LCD_CL1	INPUT	302	D1	CTL
371	MFI-D13/LCD_DATA13	CTL	336	MFI-E/LCD_CL1	OUTPUT	301	D14	INPUT
370	MFI-D5/LCD_DATA5/DRAK2/DACK2	INPUT	335	MFI-E/LCD_CL1	CTL	300	D14	OUTPUT
369	MFI-D5/LCD_DATA5/DRAK2/DACK2	OUTPUT	334	MFI-MD/LCD_CL2	INPUT	299	D14	CTL
368	MFI-D5/LCD_DATA5/DRAK2/DACK2	CTL	333	MFI-MD/LCD_CL2	OUTPUT	298	D2	INPUT
367	$\overline{CS4}$	INPUT	332	MFI-MD/LCD_CL2	CTL	297	D2	OUTPUT
366	$\overline{CS4}$	OUTPUT	331	$\overline{CS6}$	INPUT	296	D2	CTL
365	$\overline{CS4}$	CTL	330	$\overline{CS6}$	OUTPUT	295	D13	INPUT
364	A20	INPUT	329	$\overline{CS6}$	CTL	294	D13	OUTPUT
363	A20	OUTPUT	328	A0	INPUT	293	D13	CTL
362	A20	CTL	327	A0	OUTPUT	292	D12	INPUT
361	MFI-D14/LCD_DATA14	INPUT	326	A0	CTL	291	D12	OUTPUT

【注】 * CTL はハイアクティブの信号を示します。CTL を High にすることで該当ピンを OUT 値でドライブします。

28. ユーザデバッグインタフェース (H-UDI)

表 28.3 (3) SDBSR の構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
290	D12	CTL	255	CKE	OUTPUT	220	A11	INPUT
289	D5	INPUT	254	CKE	CTL	219	A11	OUTPUT
288	D5	OUTPUT	253	$\overline{WE1}/DQM1$	INPUT	218	A11	CTL
287	D5	CTL	252	$\overline{WE1}/DQM1$	OUTPUT	217	A12	INPUT
286	D4	INPUT	251	$\overline{WE1}/DQM1$	CTL	216	A12	OUTPUT
285	D4	OUTPUT	250	$\overline{WE0}/DQM0$	INPUT	215	A12	CTL
284	D4	CTL	249	$\overline{WE0}/DQM0$	OUTPUT	214	A13	INPUT
283	D9	INPUT	248	$\overline{WE0}/DQM0$	CTL	213	A13	OUTPUT
282	D9	OUTPUT	247	A3	INPUT	212	A13	CTL
281	D9	CTL	246	A3	OUTPUT	211	A14	INPUT
280	D6	INPUT	245	A3	CTL	210	A14	OUTPUT
279	D6	OUTPUT	244	A4	INPUT	209	A14	CTL
278	D6	CTL	243	A4	OUTPUT	208	A15	INPUT
277	D10	INPUT	242	A4	CTL	207	A15	OUTPUT
276	D10	OUTPUT	241	A5	INPUT	206	A15	CTL
275	D10	CTL	240	A5	OUTPUT	205	A18	INPUT
274	D11	INPUT	239	A5	CTL	204	A18	OUTPUT
273	D11	OUTPUT	238	A6	INPUT	203	A18	CTL
272	D11	CTL	237	A6	OUTPUT	202	$\overline{WE3}/DQM3$	INPUT
271	D8	INPUT	236	A6	CTL	201	$\overline{WE3}/DQM3$	OUTPUT
270	D8	OUTPUT	235	A7	INPUT	200	$\overline{WE3}/DQM3$	CTL
269	D8	CTL	234	A7	OUTPUT	199	$\overline{WE2}/DQM2$	INPUT
268	D7	INPUT	233	A7	CTL	198	$\overline{WE2}/DQM2$	OUTPUT
267	D7	OUTPUT	232	A17	INPUT	197	$\overline{WE2}/DQM2$	CTL
266	D7	CTL	231	A17	OUTPUT	196	$\overline{CS3}$	INPUT
265	$\overline{RD}/CASS/FRAME$	INPUT	230	A17	CTL	195	$\overline{CS3}$	OUTPUT
264	$\overline{RD}/CASS/FRAME$	OUTPUT	229	A8	INPUT	194	$\overline{CS3}$	CTL
263	$\overline{RD}/CASS/FRAME$	CTL	228	A8	OUTPUT	193	\overline{RAS}	INPUT
262	$\overline{RD}/\overline{WR}$	INPUT	227	A8	CTL	192	\overline{RAS}	OUTPUT
261	$\overline{RD}/\overline{WR}$	OUTPUT	226	A9	INPUT	191	\overline{RAS}	CTL
260	$\overline{RD}/\overline{WR}$	CTL	225	A9	OUTPUT	190	A16	INPUT
259	A2	INPUT	224	A9	CTL	189	A16	OUTPUT
258	A2	OUTPUT	223	A10	INPUT	188	A16	CTL
257	A2	CTL	222	A10	OUTPUT	187	A19	INPUT
256	CKE	INPUT	221	A10	CTL	186	A19	OUTPUT

【注】 * CTL はハイアクティブの信号を示します。CTL を High にすることで該当ピンを OUT 値でドライブします。

表 28.3 (4) SDBSR の構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
185	A19	CTL	150	D17	OUTPUT	115	A24	INPUT
184	D23	INPUT	149	D17	CTL	114	A24	OUTPUT
183	D23	OUTPUT	148	D31	INPUT	113	A24	CTL
182	D23	CTL	147	D31	OUTPUT	112	CAN1_NERR/AUDSYNC	INPUT
181	D24	INPUT	146	D31	CTL	111	CAN1_NERR/AUDSYNC	OUTPUT
180	D24	OUTPUT	145	D16	INPUT	110	CAN1_NERR/AUDSYNC	CTL
179	D24	CTL	144	D16	OUTPUT	109	CAN0_NERR/AUDCK	INPUT
178	D22	INPUT	143	D16	CTL	108	CAN0_NERR/AUDCK	OUTPUT
177	D22	OUTPUT	142	D28	INPUT	107	CAN0_NERR/AUDCK	CTL
176	D22	CTL	141	D28	OUTPUT	106	$\overline{\text{IRL0}}$	INPUT
175	D25	INPUT	140	D28	CTL	105	$\overline{\text{IRL0}}$	OUTPUT
174	D25	OUTPUT	139	D20	INPUT	104	$\overline{\text{IRL0}}$	CTL
173	D25	CTL	138	D20	OUTPUT	103	$\overline{\text{IRL1}}$	INPUT
172	D21	INPUT	137	D20	CTL	102	$\overline{\text{IRL1}}$	OUTPUT
171	D21	OUTPUT	136	CAN1_TX/AUDATA[1]	INPUT	101	$\overline{\text{IRL1}}$	CTL
170	D21	CTL	135	CAN1_TX/AUDATA[1]	OUTPUT	100	$\overline{\text{IRL2}}$	INPUT
169	D26	INPUT	134	CAN1_TX/AUDATA[1]	CTL	99	$\overline{\text{IRL2}}$	OUTPUT
168	D26	OUTPUT	133	CAN0_TX/AUDATA[0]	INPUT	98	$\overline{\text{IRL2}}$	CTL
167	D26	CTL	132	CAN0_TX/AUDATA[0]	OUTPUT	97	$\overline{\text{IRL3}}$	INPUT
166	D27	INPUT	131	CAN0_TX/AUDATA[0]	CTL	96	$\overline{\text{IRL3}}$	OUTPUT
165	D27	OUTPUT	130	A23	INPUT	95	IRL3	CTL
164	D27	CTL	129	A23	OUTPUT	94	Reserved/AUDATA[1]	INPUT
163	D19	INPUT	128	A23	CTL	93	Reserved/AUDATA[1]	OUTPUT
162	D19	OUTPUT	127	A22	INPUT	92	Reserved/AUDATA[1]	CTL
161	D19	CTL	126	A22	OUTPUT	91	$\overline{\text{ADTRG}}$ /AUDATA[0]	INPUT
160	D18	INPUT	125	A22	CTL	90	ADTRG/AUDATA[0]	OUTPUT
159	D18	OUTPUT	124	CAN1_RX/AUDATA[3]	INPUT	89	$\overline{\text{ADTRG}}$ /AUDATA[0]	CTL
158	D18	CTL	123	CAN1_RX/AUDATA[3]	OUTPUT	88	Reserved/AUDATA[3]	INPUT
157	D29	INPUT	122	CAN1_RX/AUDATA[3]	CTL	87	Reserved/AUDATA[3]	OUTPUT
156	D29	OUTPUT	121	CAN0_RX/AUDATA[2]	INPUT	86	Reserved/AUDATA[3]	CTL
155	D29	CTL	120	CAN0_RX/AUDATA[2]	OUTPUT	85	Reserved/AUDATA[2]	INPUT
154	D30	INPUT	119	CAN0_RX/AUDATA[2]	CTL	84	Reserved/AUDATA[2]	OUTPUT
153	D30	OUTPUT	118	A25	INPUT	83	Reserved/AUDATA[2]	CTL
152	D30	CTL	117	A25	OUTPUT	82	Reserved/AUDSYNC	INPUT
151	D17	INPUT	116	A25	CTL	81	Reserved/AUDSYNC	OUTPUT

【注】 * CTL はハイアクティブの信号を示します。CTL を High にすることで該当ピンを OUT 値でドライブします。

28. ユーザデバッグインタフェース (H-UDI)

表 28.3 (5) SDBSR の構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
80	Reserved/AUDSYNC	CTL	53	DRAK1	OUTPUT	26	MD2	INPUT
79	Reserved/AUDCK	INPUT	52	DRAK1	CTL	25	MD0	INPUT
78	Reserved/AUDCK	OUTPUT	51	UCLK	INPUT	24	SCIF0_CLK	INPUT
77	Reserved/AUDCK	CTL	50	UCLK	OUTPUT	23	SCIF0_CLK	OUTPUT
76	MD8	INPUT	49	UCLK	CTL	22	SCIF0_CLK	CTL
75	MD7	INPUT	48	DACK0	INPUT	21	SCIF1_RTS	INPUT
74	MD7	OUTPUT	47	DACK0	OUTPUT	20	SCIF1_RTS	OUTPUT
73	MD7	CTL	46	DACK0	CTL	19	SCIF1_RTS	CTL
72	MD5	INPUT	45	USB_PENC	INPUT	18	SCIF2_RTS	INPUT
71	MD5	OUTPUT	44	USB_PENC	OUTPUT	17	SCIF2_RTS	OUTPUT
70	MD5	CTL	43	USB_PENC	CTL	16	SCIF2_RTS	CTL
69	MD6/IOIS1 $\bar{6}$	INPUT	42	MD4/CE2B	INPUT	15	SCIF1_CTS	INPUT
68	MD6/IOIS1 $\bar{6}$	OUTPUT	41	MD4/CE2B	OUTPUT	14	SCIF1_CTS	OUTPUT
67	MD6/IOIS1 $\bar{6}$	CTL	40	MD4/CE2B	CTL	13	SCIF1_CTS	CTL
66	DREQ1 $\bar{1}$	INPUT	39	MD3/CE2A	INPUT	12	SCIF2_CTS	INPUT
65	DREQ1 $\bar{1}$	OUTPUT	38	MD3/CE2A	OUTPUT	11	SCIF2_CTS	OUTPUT
64	DREQ1 $\bar{1}$	CTL	37	MD3/CE2A	CTL	10	SCIF2_CTS	CTL
63	DREQ0 $\bar{0}$	INPUT	36	DRAK0	INPUT	9	SCIF1_RXD	INPUT
62	DREQ0 $\bar{0}$	OUTPUT	35	DRAK0	OUTPUT	8	SCIF1_RXD	OUTPUT
61	DREQ0 $\bar{0}$	CTL	34	DRAK0	CTL	7	SCIF1_RXD	CTL
60	USB_OVC	INPUT	33	MD1	INPUT	6	SCIF2_RXD	INPUT
59	USB_OVC \bar{C}	OUTPUT	32	SCIF0_TXD	INPUT	5	SCIF2_RXD	OUTPUT
58	USB_OVC \bar{C}	CTL	31	SCIF0_TXD	OUTPUT	4	SCIF2_RXD	CTL
57	DACK1	INPUT	30	SCIF0_TXD	CTL	3	SCIF1_TXD	INPUT
56	DACK1	OUTPUT	29	SCIF0_RXD	INPUT	2	SCIF1_TXD	OUTPUT
55	DACK1	CTL	28	SCIF0_RXD	OUTPUT	1	SCIF1_TXD	CTL
54	DRAK1	INPUT	27	SCIF0_RXD	CTL	To TDO		

【注】 * CTL はハイアクティブの信号を示します。CTL を High にすることで該当ピンを OUT 値でドライブします。

28.3 レジスタの説明

H-UDI には以下のレジスタがあります。SDIR、SDDR (SDDRH、SDDRL)、SDINT のアドレスおよび各処理状態については「第 32 章 レジスタ一覧」を参照してください。

表 28.4 レジスタ構成 (1)

名称	略称	CPU 側					
		R/W	P4 アドレス	エリア 7 アドレス	サイズ	初期値* ¹	同期 クロック
インストラクションレジスタ	SDIR	R	H'FFF0 0000	H'1FF0 0000	16	H'FFFF	Pck
データレジスタ H	SDDR/SDDRH	R/W	H'FFF0 0008	H'1FF0 0008	32/16	不定	Pck
データレジスタ L	SDDRL	R/W	H'FFF0 000A	H'1FF0 000A	16	不定	Pck
割り込み要因レジスタ	SDINT	R/W	H'FFF0 0014	H'1FF0 0014	16	H'000	Pck
バイパスレジスタ	SDBPR	-	-	-	-	不定	-
バウンダリスキャンレジスタ	SDBSR	-	-	-	-	不定	-

表 28.4 レジスタ構成 (2)

名称	略称	H-UDI 側			
		R/W	サイズ	初期値* ¹	同期 クロック
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値* ²)	Pck
データレジスタ H	SDDR/SDDRH	-	-	-	Pck
データレジスタ L	SDDRL	-	-	-	Pck
割り込み要因レジスタ	SDINT	W* ³	32	H'0000 0000	Pck
バイパスレジスタ	SDBPR	R/W	1	不定	-
バウンダリスキャンレジスタ	SDBSR	R/W	-	不定	-

表 28.4 レジスタ構成 (3)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
インストラクションレジスタ	SDIR	H'FFFF* ⁴	保持	保持	*	保持
データレジスタ H	SDDR/SDDRH	不定	保持	保持		保持
データレジスタ L	SDDRL	不定	保持	保持		保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持		保持

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*1 TRST 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

28. ユーザデバッグインタフェース (H-UDI)

- *2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。
- *3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。
- *4 不定ビットが含まれています。レジスタの説明を参照してください。

28.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI7~TI0	すべて 1	R	テストインストラクションビット 7~0 0110xxxx : H-UDI、リセット、ネゲート 0111xxxx : H-UDI、リセット、アサート 101xxxxx : H-UDI 割り込み 11111111 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

28.3.2 データレジスタ H、L (SDDRH、SDDRL)

SDDR は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、それぞれ CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。このレジスタ値は、CPU のリセットでは初期化されませんが、 $\overline{\text{TRST}}$ では初期化されます。

• SDDRH

ビット:	32	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• SDDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

28.3.3 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

28.4 動作説明

28.4.1 TAP 制御

図 28.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

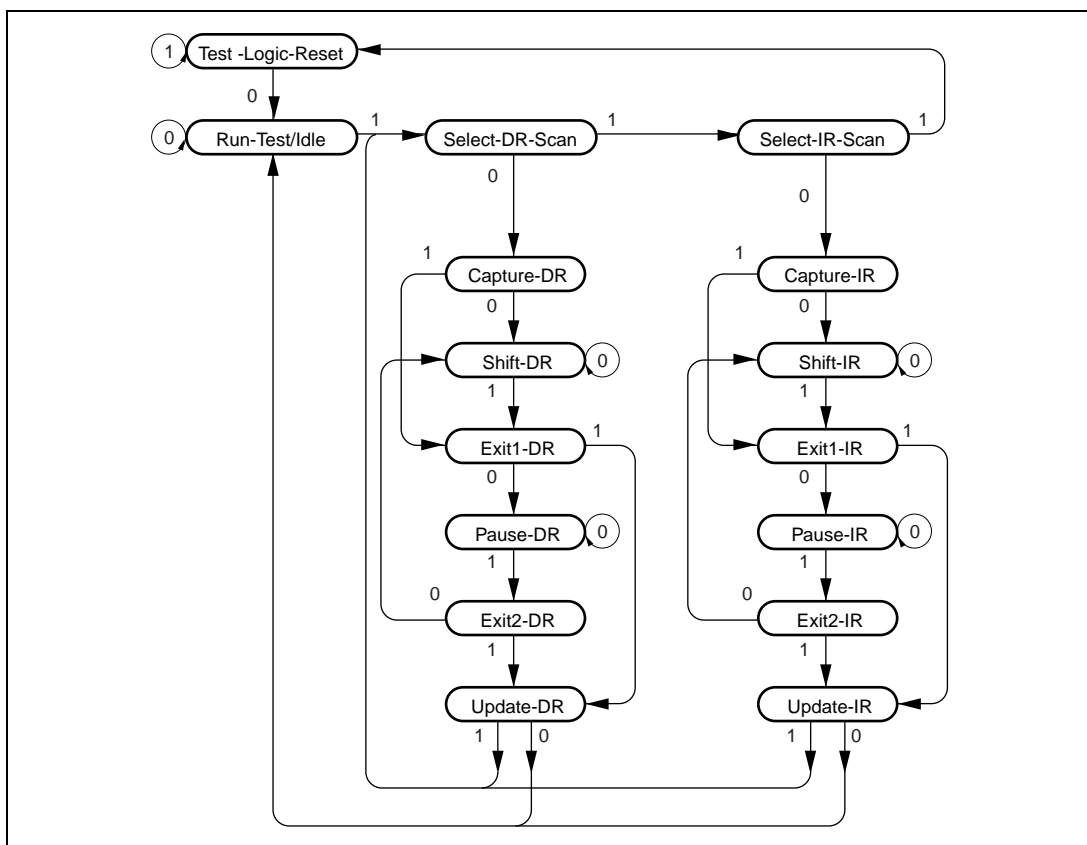


図 28.2 TAP 制御状態遷移図

28.4.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 28.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

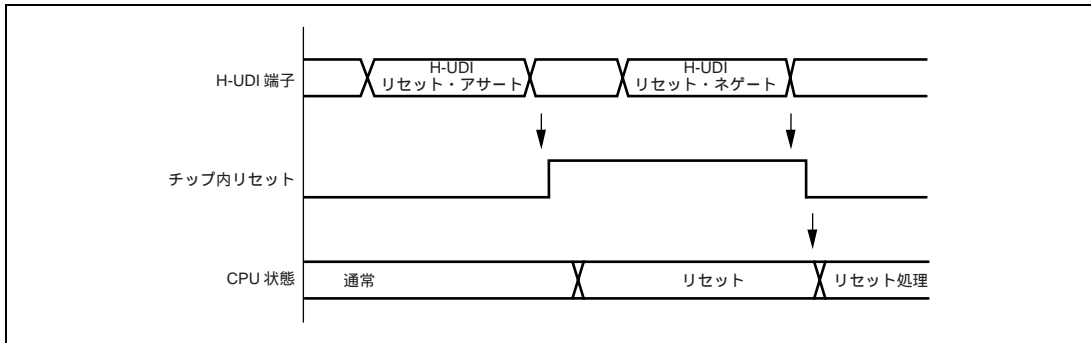


図 28.3 H-UDI リセット

28.4.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割り込みは一般例外 / 割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ IPRC のビット 3~0 により H-UDI 割り込みの優先度を制御できます。

なお、H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

28.5 注意事項

一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

スリープモードは H-UDI 割り込み、H-UDI リセットにより解除され、それらの例外の要求を受け付けます。なお、スタンバイモードでは H-UDI 割り込み、H-UDI リセットとも受け付けません。

スタンバイモード時は、H-UDI の機能は使用できません。スタンバイモードの前後で TAP の状態を保持するためには、スタンバイモードへ遷移の際、TCK をハイレベルにしておく必要があります。

ユーザデバッグインタフェース (H-UDI) は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

29. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。

29.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：4チャンネル
- 高速変換
変換時間：1チャンネル当たり8 μ s (Pck=34MHz、CKSL[1:0]=01のとき)
- 3種類の変換モード
シングルモード：1チャンネルのA/D変換
マルチモード：1~4チャンネルのA/D変換
スキャンモード：1~4チャンネルの連続A/D変換
- 4本のデータレジスタ
変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- 外部トリガによるA/D変換が可能 (マルチモード時を除く)
- A/D変換終了割り込み発生
A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- A/D変換終了信号の切り替え可能
割り込みまたはDMAC起動の選択はレジスタ (ADCSR) のDMASL信号により切り替え可能
- 絶対誤差： ± 4 LSB

29. A/D変換器 (ADC)

図 29.1 に A/D 変換器のブロック図を示します。

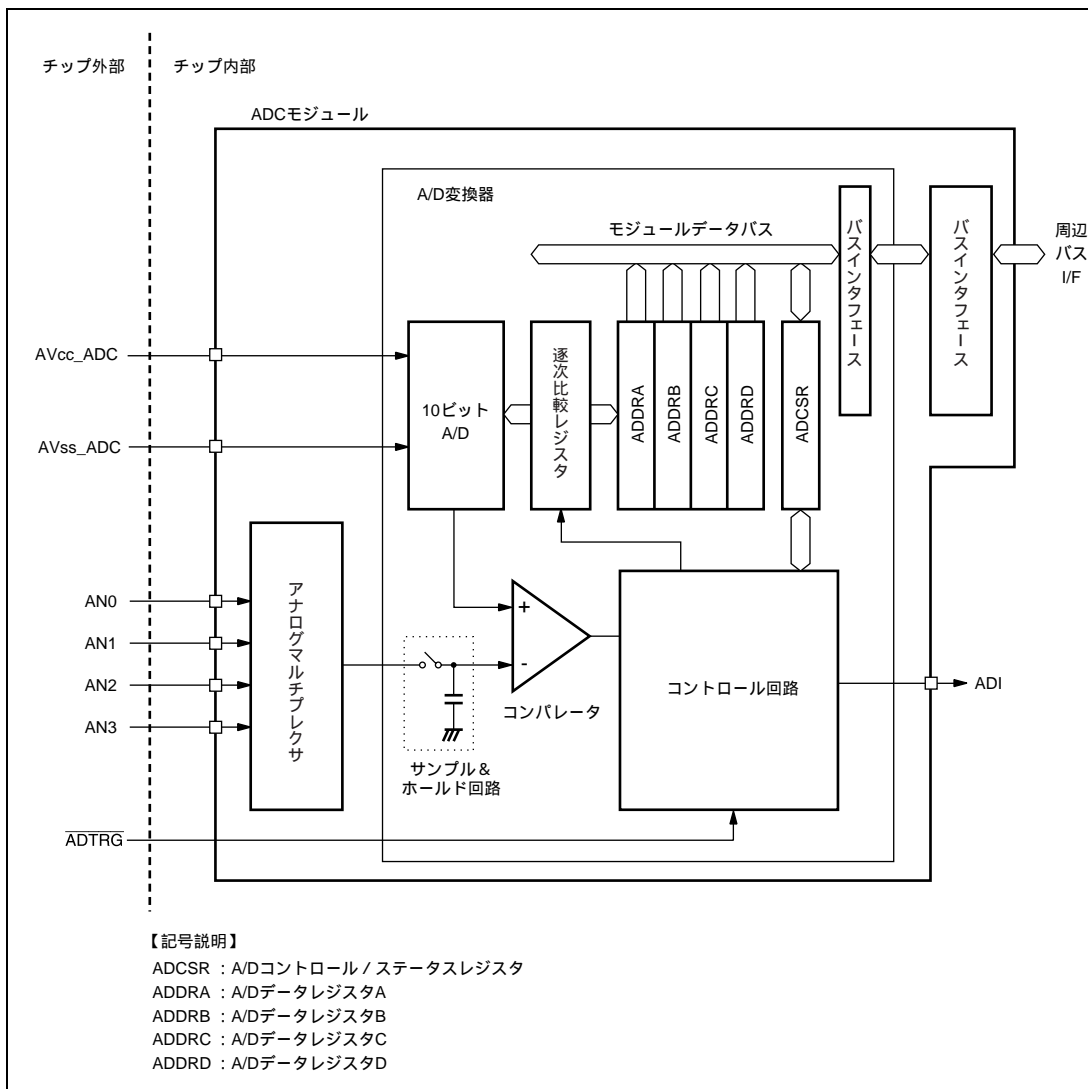


図 29.1 A/D 変換器のブロック図

29.2 入出力端子

A/D 変換器で使用する端子構成を表 29.1 に示します。

AV_{CC_ADC} 、 AV_{SS_ADC} 端子は、A/D 変換器内部のアナログ部の電源です。 AV_{CC_ADC} 端子は、A/D 変換基準電圧です。

表 29.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AV_{CC_ADC}	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	AV_{SS_ADC}	入力	アナログ部のグランド
アナログ入力 0	AN0	入力	アナログ入力
アナログ入力 1	AN1	入力	アナログ入力
アナログ入力 2	AN2	入力	アナログ入力
アナログ入力 3	AN3	入力	アナログ入力
A/D 外部トリガ入力	\overline{ADTRG}	入力	A/D 変換開始のための外部トリガ入力端子

29.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 29.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
A/D データレジスタ A	ADDRA	R	H'FE28 0000	H'1E28 0000	16	Pck
A/D データレジスタ B	ADDRB	R	H'FE28 0002	H'1E28 0002	16	Pck
A/D データレジスタ C	ADDRC	R	H'FE28 0004	H'1E28 0004	16	Pck
A/D データレジスタ D	ADDRD	R	H'FE28 0006	H'1E28 0006	16	Pck
A/D コントロール / ステータスレジスタ	ADCSR	R/W*2	H'FE28 0008	H'1E28 0008	16	Pck

表 29.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		Sleep 命令による/ ディープスリープ	ハード による
A/D データレジスタ A	ADDRA	H'0000	H'0000	保持	*	H'0000*1
A/D データレジスタ B	ADDRB	H'0000	H'0000	保持		H'0000*1
A/D データレジスタ C	ADDRC	H'0000	H'0000	保持		H'0000*1
A/D データレジスタ D	ADDRD	H'0000	H'0000	保持		H'0000*1
A/D コントロール / ステータスレジスタ	ADCSR	H'0040	H'0040	保持		H'0040*1

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*1 モジュールスタンバイ、ソフトウェアスタンバイに遷移させる場合は、A/D 変換中でないことを確認してください。
A/D 変換中に遷移させた場合、レジスタの値は保証されません。

*2 ビット 15 はフラグをクリアするための 0 書き込みのみ可能です。

29.3.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、A ~ D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDRA ~ ADDR D に転送され、保持されます。A/D 変換されたデータの上位 8 ビットがレジスタのビット 15 ~ 8 に、また残りの下位 2 ビットがビット 7、6 に転送され、保持されます。ビット 5 ~ 0 は、読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDRA ~ ADDR D の対応を表 29.3 に示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15 ~ 6	AD9 ~ AD0	すべて 0	R	ビットデータ (10 ビット)
5 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 29.3 アナログ入力チャンネルと A/D データレジスタの対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

29. A/D 変換器 (ADC)

29.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	DMASL	TRGE1	TRGE0	-	-	CKSL1	CKSL0	MDS1	MDS0	-	-	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すフラグです。</p> <p>0 : [クリア条件]</p> <ul style="list-style-type: none"> •ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき •DMASL=1 の状態で、ADDR を読み出したとき (DMA 転送時) <p>【注】1 を書き込むと前の値が保存されます。</p> <p>1 : [セット条件]</p> <ul style="list-style-type: none"> •シングルモードの場合 : A/D 変換が終了したとき •マルチモードの場合 : 指定したすべてのチャンネルを一巡して変換したとき (A/D 変換は設定したチャンネルを一巡して変換します。) •スキャンモードの場合 : 指定したすべてのチャンネルを一巡して変換したとき (A/D 変換は設定したチャンネルを常に繰り返します。) <p>マルチモード、スキャンモードにおいて、途中で変換を停止した場合、ADF はセットされません。</p>
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み(ADI)要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0 : A/D 変換の終了による割り込み(ADI)要求を禁止</p> <p>1 : A/D 変換の終了による割り込み(ADI)要求を許可</p>

ビット	ビット名	初期値	R/W	説明
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) によっても 1 にセットすることができます (マルチモード時を除く)。</p> <p>0 : A/D 変換を停止</p> <p>1 :</p> <ul style="list-style-type: none"> • シングルモードの場合 : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア。ADST=0 (ソフトウェア設定) での停止はできません (A/D 変換途中で 0 は書けません)。 • マルチモードの場合 : A/D 変換を開始。指定したすべてのチャンネルを一巡して変換が終了すると、自動的に 0 にクリア。また、ADST=0 (ソフトウェア設定) での次のチャンネル以降の変換を停止できます。 • スキャンモードの場合 : A/D 変換を開始。ADST=0 (ソフトウェア設定)、パワーオンリセット、マニュアルリセット、ハードウェアスタンバイ、モジュールスタンバイ、ソフトウェアスタンバイの遷移により全レジスタが初期化されるまで連続変換します。各リセット、スタンバイ時の注意は「29.7.4 スタンバイ時の注意事項」を参照してください。
12	DMASL	0	R/W	<p>DMAC 選択</p> <p>A/D 変換の終了による割り込みまたは DMAC 起動のいずれかを選択します。DMASL ビットの設定は、変換停止中に行ってください。</p> <p>0 : A/D 変換終了による割り込みを選択</p> <p>1 : A/D 変換終了による DMAC 起動を選択</p>
11 10	TRGE1 TRGE0	0 0	R/W R/W	<p>トリガイネーブル</p> <p>外部トリガ入力による A/D 変換の許可または禁止を選択します。TRGE[1:0]の設定は、変換停止中に行ってください。</p> <p>00 : 外部トリガ入力による A/D 変換の開始を禁止</p> <p>01 : 設定禁止</p> <p>10 : 設定禁止</p> <p>11 : A/D 変換トリガ入力端子 ($\overline{\text{ADTRG}}$) の立ち下がりエッジで A/D 変換を開始 (マルチモード時を除く)</p> <p>【注】トリガ信号の切り替えを行う場合は、TRGE1 および TRGE0 を 0 にしてから切り替えてください。</p>
9、8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

29. A/D 変換器 (ADC)

ビット	ビット名	初期値	R/W	説明															
7 6	CKSL1 CKSL0	0 1	R/W R/W	クロックセレクト A/D 変換クロック分周比を選択します。 00 : Pck/4 01 : Pck/8 10 : Pck/16 11 : Pck/32 【注】 Pck とクロック分周比の設定は、29.7.3 を参照してください。															
5 4	MDS1 MDS0	0 0	R/W R/W	変換モード選択 シングルモード、マルチモード、またはスキャンモードを選択します。 これらのモードについての詳細は、「29.4 動作説明」を参照してください。 MDS1=0 かつ MDS0=1 では使用しないでください。 00 : シングルモード 01 : 設定禁止 10 : マルチモード 11 : スキャンモード															
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。															
1 0	CH1 CH0	0 0	R/W R/W	チャンネルセレクト MDS1 ビットとともにアナログ入力チャンネル選択します。 入力チャンネルの設定は、ADST ビットを 0 にクリアした後に行ってください。 <table style="width: 100%; border: none;"> <tr> <td style="width: 30%;"></td> <td style="text-align: center;">シングルモードの場合 (MDS1=0)</td> <td style="text-align: center;">マルチモードおよびスキャンモードの場合 (MDS1=1)</td> </tr> <tr> <td>00 :</td> <td style="text-align: center;">AN0</td> <td style="text-align: center;">AN0</td> </tr> <tr> <td>01 :</td> <td style="text-align: center;">AN1</td> <td style="text-align: center;">AN0、AN1</td> </tr> <tr> <td>10 :</td> <td style="text-align: center;">AN2</td> <td style="text-align: center;">AN0 ~ AN2</td> </tr> <tr> <td>11 :</td> <td style="text-align: center;">AN3</td> <td style="text-align: center;">AN0 ~ AN3</td> </tr> </table>		シングルモードの場合 (MDS1=0)	マルチモードおよびスキャンモードの場合 (MDS1=1)	00 :	AN0	AN0	01 :	AN1	AN0、AN1	10 :	AN2	AN0 ~ AN2	11 :	AN3	AN0 ~ AN3
	シングルモードの場合 (MDS1=0)	マルチモードおよびスキャンモードの場合 (MDS1=1)																	
00 :	AN0	AN0																	
01 :	AN1	AN0、AN1																	
10 :	AN2	AN0 ~ AN2																	
11 :	AN3	AN0 ~ AN3																	

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

29.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。シングルモードとマルチモードおよびスキャンモードの各モードの動作についての説明をします。動作モードの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

29.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する ADDRA ~ ADDR D に転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 29.2 に示します。

1. 動作モードをシングルモードに (MDS1 = 0、MDS0 = 0)、入力チャンネルを AN1 に (CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
3. ADF = 1、ADIE = 1、DMASL = 0 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. 割り込みルーチン開始後、A/D 変換結果 (ADDR B) を読み出して、処理します。
6. ADF = 1 を読み出した後、ADF に 0 を書き込みます。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2. ~ 7. を行います。

29. A/D 変換器 (ADC)

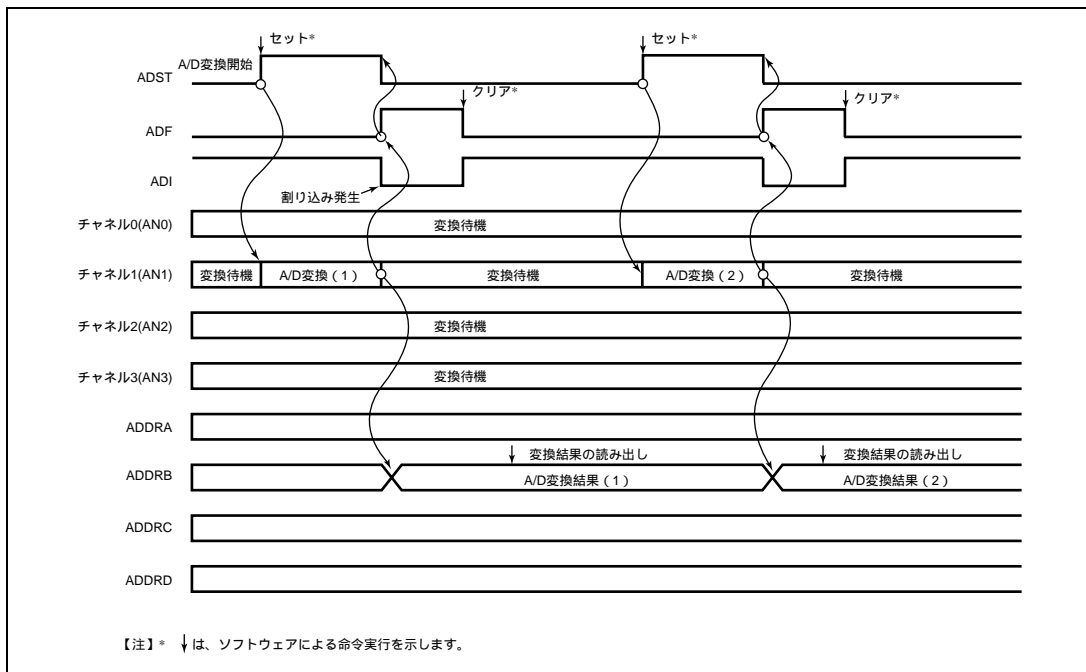


図 29.2 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

29.4.2 マルチモード

マルチモードは、指定されたチャンネル(1チャンネルまたは複数チャンネル)のアナログ入力を以下のように1回ずつ変換します。

1. ソフトウェアによってADCSRのADSTビットが1にセットされると、第1チャンネル(AN0)からA/D変換を開始します。
2. 複数のチャンネルが選択されている場合には、第1チャンネルの変換が終了した後、ただちに第2チャンネルのA/D変換を開始します。
3. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するADDRA~ADDRDに転送され、保持されます。
4. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
5. ADSTビットは、変換が終了すると自動的にクリアされて、A/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると、変換を中止してA/D変換器は待機状態になります。
ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

マルチモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図29.3に示します

1. 動作モードをマルチモードに(MDS1=1、MDS0=0)、アナログ入力チャンネルをAN0~AN2(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
3. 同様に第3チャンネル(AN2)まで変換を行います。
4. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。このときDMASLビットが0で、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。

29. A/D変換器 (ADC)

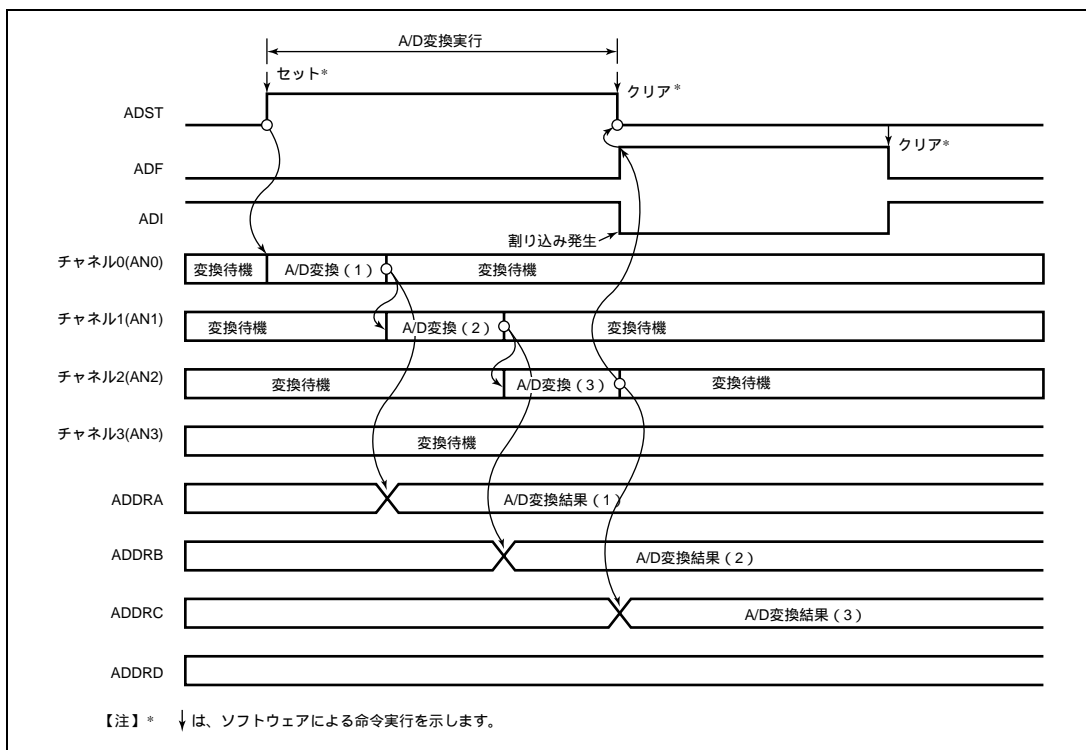


図 29.3 A/D 変換器の動作例 (マルチモード AN0～AN2 の 3 チャンネル選択時)

29.4.3 スキャンモード

スキャンモードは、指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から A/D 変換を開始します。
2. 第 1 チャンネルの変換が開始されます。複数のチャンネルが選択されている場合には、第 1 チャンネルの変換が終了した後ただちに第 2 チャンネル (AN1) の A/D 変換を開始します。
3. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する ADDR_A～ADDR_D に転送され、保持されます。
4. 選択されたすべてのチャンネルの A/D 変換が終了すると、ADCSR の ADF フラグが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
5. ADST ビットが 1 にセットされている間は自動的にクリアされず、2～4 の動作を繰り返します。ADST ビットを 0 にクリアすると A/D 変換は停止します。

スキャンモードで 3 チャンネル (AN0～AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 29.4 に示します。

1. 動作モードをスキャンモードに (MDS1 = 1、MDS0 = 1)、アナログ入力チャンネルをAN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定してA/D変換を開始 (ADST = 1) します。
2. 第1チャンネル (AN0) のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。次に第2チャンネル (AN1) が自動的に選択され、変換を開始します。
3. 同様に第3チャンネル (AN2) まで変換を行います。
4. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び、第1チャンネル (AN0) を選択し、連続して変換が行われます (マルチモードの場合は設定したチャンネルが一巡すると終了しますがスキャンモードは設定したチャンネルが一巡した後、第1チャンネルに戻りA/D変換を連続して繰り返します)。このときDMASLビットが0で、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
5. ADSTビットが1にセットされている間は、2. ~ 4. を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル (AN0) から変換が行われます。

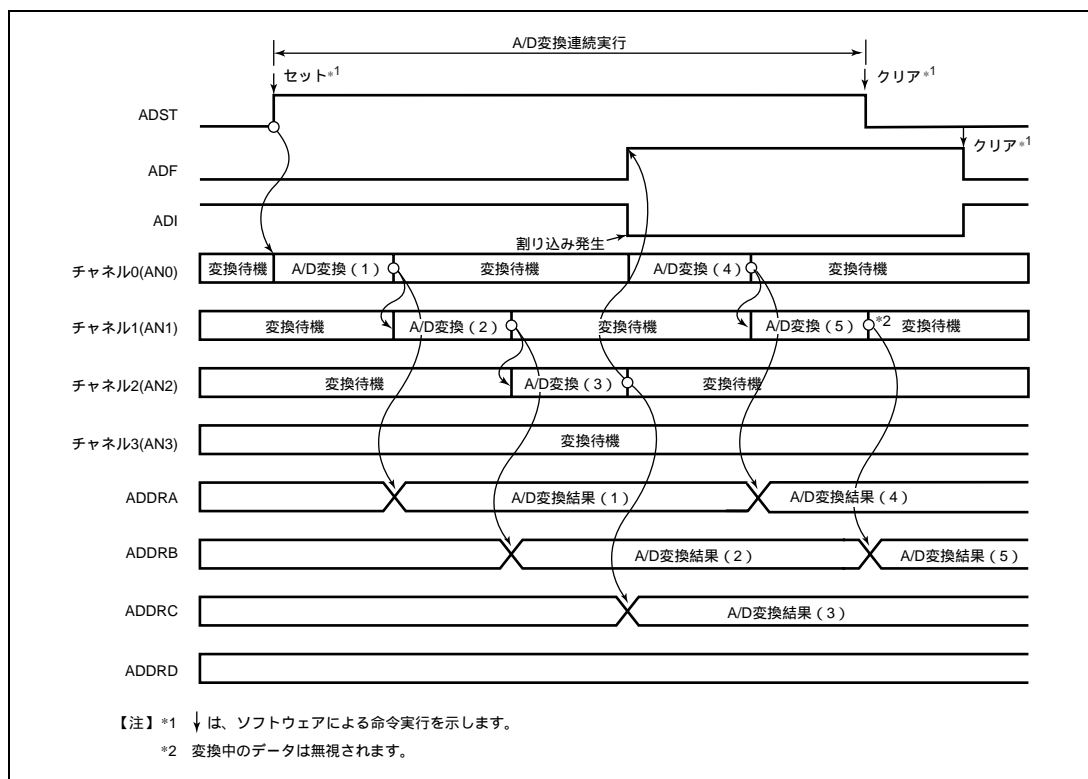


図 29.4 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の3チャンネル選択時)

29. A/D 変換器 (ADC)

- スキャンモード時の動作について

A/D 変換後、データレジスタにデータを格納する間隔は、たとえば、クロック分周比 Pck/8 を選択すると、256 サイクル固定となります。よって 256 サイクルごとにデータをデータレジスタに格納します。

また、割り込みが発生してから 256 サイクル以内にデータを読み出し、その後データを読む間隔は一定間隔で読み出してください。

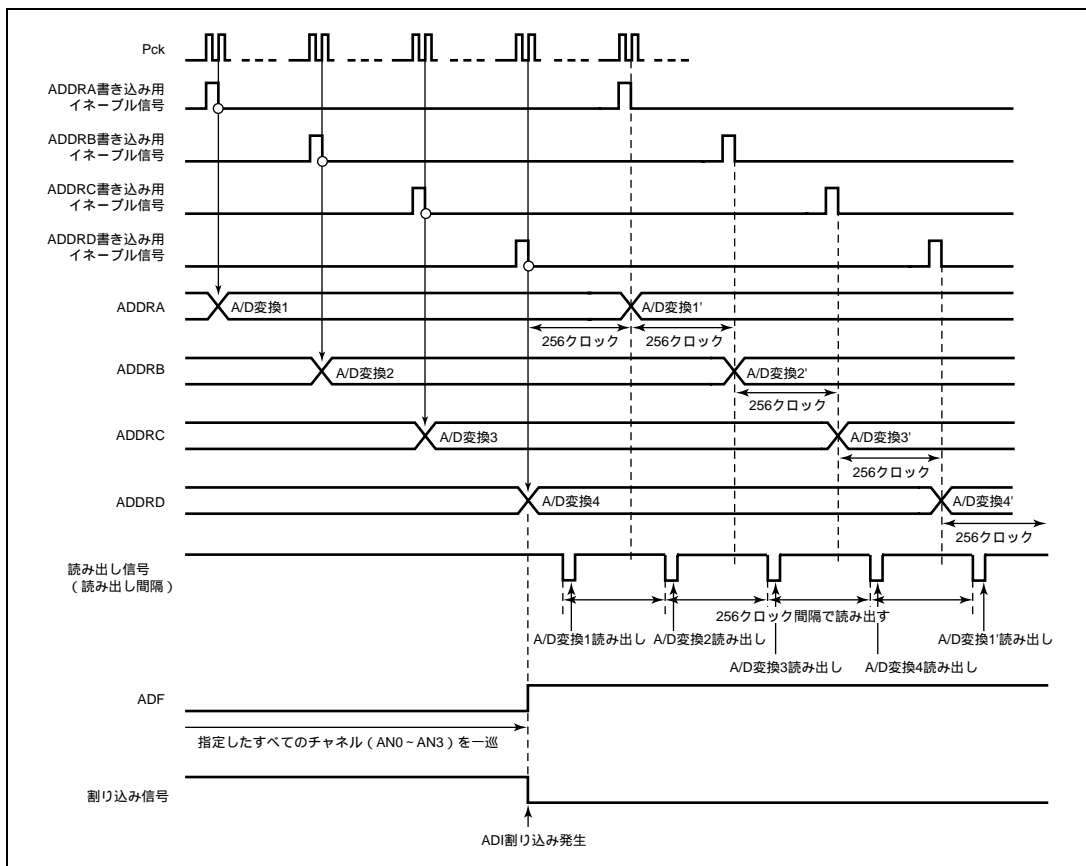


図 29.5 マルチモード 4 チャンネル選択時データ書き込みタイミング

29.4.4 A/D 変換時間

A/D 変換時間を表 29.4 に示します。

表 29.4 A/D 変換時間

記号	Pck/4		Pck/8		Pck/16		Pck/32	
	min	max	min	max	min	max	min	max
第 1 回目の A/D 変換時間	131	134	259	266	515	530	1027	1058
第 2 回目以降の A/D 変換時間 (マルチ/スキャンモード)	—	128	—	256	—	512		1024

- 【注】
1. マルチ/スキャンモードでは途中でチャンネルの変更を行う場合は、ADST=0 に設定後、上記の A/D 変換時間経過後にチャンネルを変更してください。
 2. 表中の数値の単位はステート (周辺クロック (Pck) 1 個分) です。
 3. 第 2 回目以降の A/D 変換時間は固定です。

29.4.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です (マルチモード時を除く)。外部トリガ入力は、ADCSR の TRGE1、TRGE0 ビットがともに 1 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。

$\overline{\text{ADTRG}}$ 入力端子の立ち下がりエッジにより、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、変換のモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 29.6 に示します。

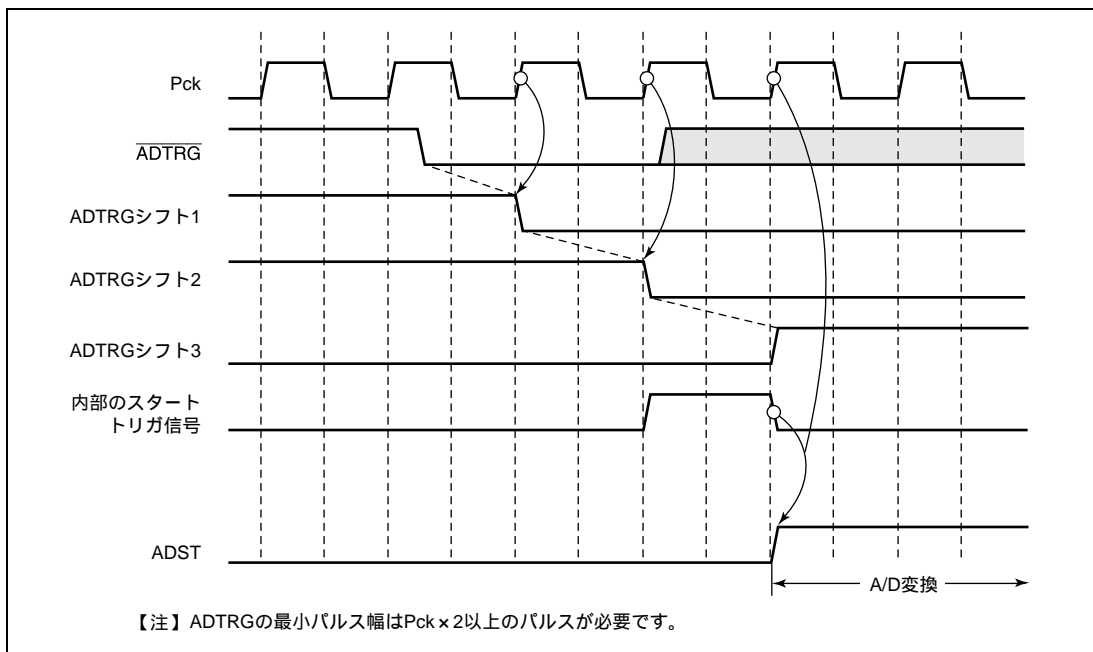


図 29.6 外部トリガ入力タイミング

29.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。また、DMASL ビットで割り込みまたは DMAC 起動を選択できます。

DMA 転送は 1 回の割り込みで、1 チャンネルのデータのみ転送可能ですので、マルチモードまたはスキャンモードで複数のチャンネルを選択した場合、選択した全チャンネルのデータを DMA 転送することはできません。

29.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差

デジタル出力値が最小値 (ゼロ電圧) B'000000000 (図では000) から B'000000001 (図では001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差です (図29.7 (1))。

2. フルスケール誤差

デジタル出力値が B'111111110 (図では110) から最大値 (フルスケール電圧) B'111111111 (図では111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差です (図29.7 (2))。

3. 量子化誤差

A/D 変換器が本質的に有する誤差であり、1/2 LSB で表されます (図29.7 (3))。

4. 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません (図29.7 (4))。

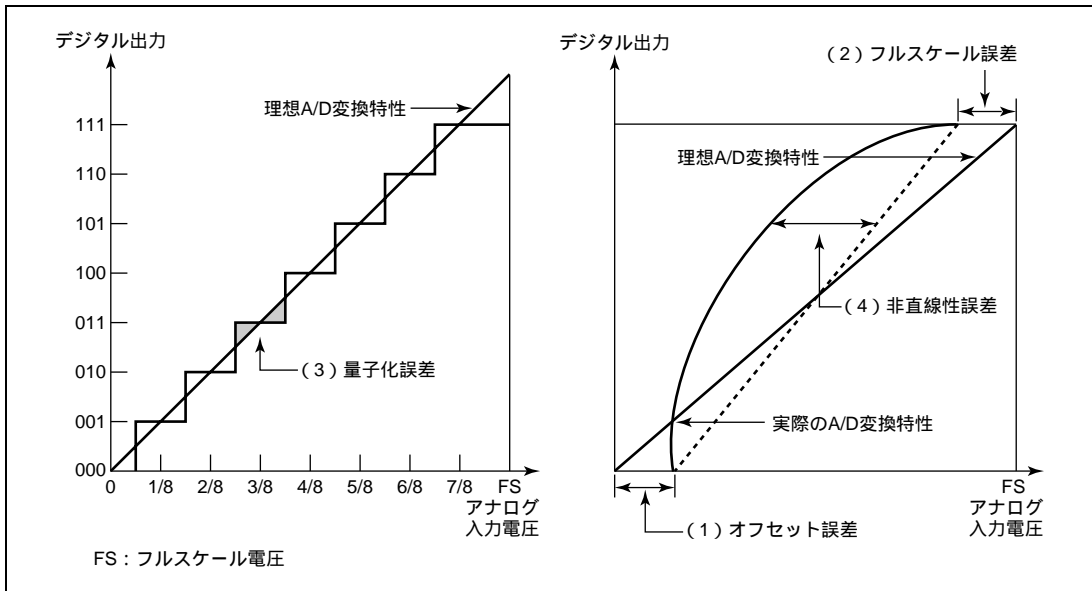


図 29.7 A/D 変換精度の定義

29.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

29.7.1 アナログ電圧の設定範囲

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS_ADC} < ANn < AV_{CC_ADC}$ の範囲としてください。
($n = 0 \sim 3$)

2. AV_{CC_ADC} 、 AV_{SS_ADC} 入力電圧

AV_{CC_ADC} 、 AV_{SS_ADC} 、 V_{SS} 入力電圧は、 $AV_{CC_ADC} = 3.3V \pm 0.3V$ 、 $AV_{SS_ADC} = V_{SS}$ としてください。
(AV_{CC_ADC} : アナログ電源、 AV_{SS_ADC} : アナロググランド、 V_{SS} : 内部デジタル電源)

29.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN3) には、過大サージなどの異常電圧による破壊を防ぐために、図 29.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 29.9 にアナログ入力端子の等価回路を示します。

29. A/D 変換器 (ADC)

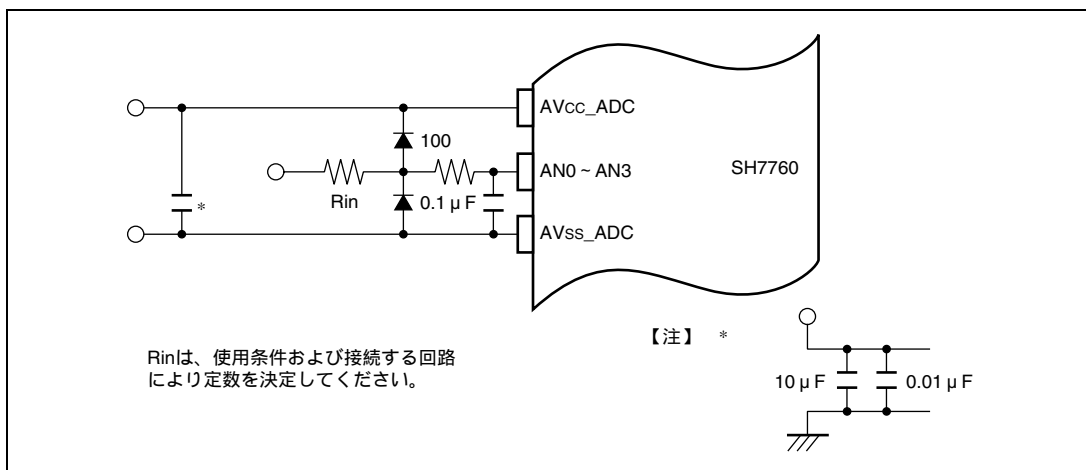


図 29.8 アナログ入力端子の保護回路例

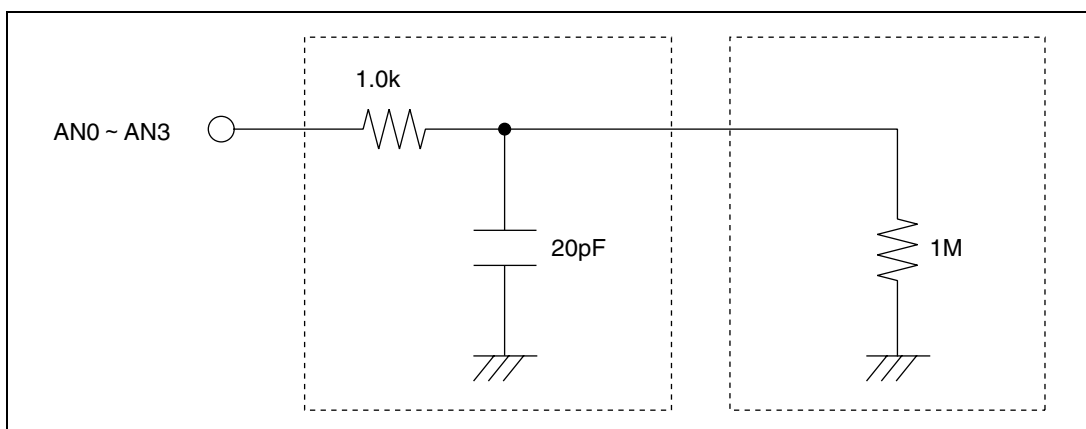


図 29.9 アナログ入力端子の等価回路

29.7.3 Pck とクロック分周比の設定

分周クロックは A/D 変換を行うために使用されるクロックで、4 種類の設定が可能です。また、内部回路構成上、アナログ部とデジタル部インタフェースに限界値がありますので、クロックとクロック分周比の設定は表 29.5 をご確認ください。

表 29.5 クロック分周比と使用可能入力クロック周波数関係

クロック分周比	Pck
Pck/4	18MHz 以下
Pck/8	34MHz 以下
Pck/16	34MHz 以下
Pck/32	34MHz 以下

29.7.4 スタンバイ時の注意事項

ハードウェアスタンバイ、モジュールスタンバイ、ソフトウェアスタンバイに遷移させる場合は、A/D 変換中でないことを確認してください。

この場合 ADF=1 を確認するか、マルチモード、スキャンモード時は ADST=0 を設定し、A/D 変換を終了させてください。ただし A/D 変換はただちに終了しませんので注意願います。A/D 変換の終了を確認せずに、モジュールスタンバイ、ソフトウェアスタンバイへ遷移させた場合、ADC の動作は保証されません。

なお、ハードウェアスタンバイ、モジュールスタンバイ、ソフトウェアスタンバイに遷移させると、ADC の持つすべてのレジスタが初期化されます。

29.7.5 A/D 変換器 DMA 転送時の使用上の注意事項

(1) 内容

ADCSR レジスタの DMAC 選択ビット (DMASL) を "1" に設定しているとき、ADC レジスタに対して CPU によるリードアクセスを行うと、値が不定になります。したがって ADC が DMA 転送中は、ADC のレジスタを読み出すことができません。ただし書き込みは可能です。

また、ADC が DMA 転送中に、CPU から MFI のレジスタをリードすると、その値が正しくない場合があります。さらにこのとき ADC の DMA 転送値も正しくない値になる場合があります。

(2) 回避方法

次の 1. または 2. のいずれかの回避方法を適用ください。

1. ADCSR.DMASL=1 設定時には、CPU による ADC のレジスタリードを行わないでください。
2. ADCSR.DMASL=0 の設定で使用してください。

29.7.6 A/D 変換器スキャンモードおよびマルチモード時の使用上の注意事項

(1) 内容

スキャンモードまたはマルチモードにおいて、A/D 変換中に AD コントロール / ステータスレジスタの A/D スタートビット (ADCSR.ADST) を CKSL[1:0] で選択したクロック周期でサンプリングしているため、ADST 変化の間隔がサンプリング間隔 (CKSL[1:0] で選択したクロックの周期) より短いと、ADST の変化を検出できずに A/D 変換の停止、あるいは A/D 変換が開始されない場合があります。

例えば、クリア (ADST=0) して、A/D 変換を停止させた後、A/D 変換を再スタート (ADST=1) しても、ADST の設定タイミングによっては A/D 変換が開始されない場合があります。

(2) 回避方法

以下の 1. または 2. の方法で回避できます。

1. A/D 変換器をスキャンモードでご使用時、またはマルチモードで A/D 変換中 (ADCSR.ADF=0) に ADST=0 で A/D 変換を止める場合、ADST=0 とした後、1 チャンネル分の AD 変換時間以上経過して (表 29.6)、再度 ADST=1 としてください。

29. A/D 変換器 (ADC)

表 29.6 AD 変換時間

	Pck / 4	Pck / 8	Pck / 16	Pck / 32
AD 変換時間	134	266	530	1058

【注】表中の数値の単位は周辺クロック (Pck) サイクルです。

- 表29.8のPckとクロック分周比の設定に従い、A/Dコントロール/ステータスレジスタ (ADCSR) のクロックセレクトビット (ADCSR.CKSL[1:0]) で選択したクロックの1周期以上 (表29.7) を空けてください。

表 29.7 ADST 変更間隔

	ADCSR.CKSL1,0			
	2'b00	2'b01	2'b10	2'b11
ADST 変更間隔 [秒]	4 / Pck	8 / Pck	16 / Pck	32 / Pck

表 29.8 Pck とクロック分周比の設定

クロック分周比	Pck
Pck / 4	18MHz 以下
Pck / 8	34MHz 以下
Pck / 16	34MHz 以下
Pck / 32	34MHz 以下

29.7.7 A/D 変換器マルチモード時の使用上の注意事項

(1) 内容

A/D 変換器をマルチモードで使用する場合、 $\overline{\text{ADTRG}}$ からの外部トリガでは A/D スタートビット (ADCSR.ADST) がセットされず、A/D 変換が開始されません。したがって $\overline{\text{ADTRG}}$ からの外部トリガ入力での A/D 変換を開始させる場合は、シングルモード (ADCSR.MDS=00) またはスキャンモード (ADCSR.MDS=11) をご利用いただくか、もしくは、下記回避策にて対応してください。

(2) 回避策

マルチモード (ADCSR.MDS=10) に設定した場合で、外部からの信号をトリガ A/D 変換を開始する場合は、 $\overline{\text{ADTRG}}$ による外部トリガではなく、外部から割り込みを入れて、その割り込み例外処理ルーチンで ADCSR.ADST をセットし、A/D 変換を開始する方法を使用してください。

(例) A/D 変換器をマルチモードに設定し、外部からの入力により A/D 変換開始を行う方法と注意事項を以下に示します。

A/D 変換器をマルチモードで使用する場合、 $\overline{\text{ADTRG}}$ による外部トリガの代わりに、IRQ、IRL、GPIO 割り込みにより CPU から ADCSR.ADST をセットしてください。この場合、通常動作時では変換開始が割り込み応答時間 (関連資料 表 9.8 参照) 遅れますので、必要に応じてトリガのための外部デバイスからの割り込み出力のタイミングを調整してください。また、低消費電力モード時は、CPU が通常動作するまでの遷移時間も必要になります。

30. LCD コントローラ (LCDC)

LCDC コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール以外のほとんどの液晶モジュールを接続することが可能です。

30.1 特長

LCDC は次のような特長があります。

- パネルインタフェース
シリアルインタフェース方式
STN/Dual STN/TFT パネル (8/12/16/18 ビットバス幅) のデータフォーマットをサポート*¹
- 4/8/15/16 bpp (ビットパーピクセル) カラーモードをサポート
- 1/2/4/6bpp グレyscale モードをサポート
- 16 × 1 ~ 1024 × 1024 までの液晶パネルサイズをサポート*²
- 24 ビットカラーパレットメモリ (24 ビット中、16 ビットが有効 R:5 / G:6 / B:5)
- RGB 各 8 ビットの、24 ビットの空間変調 FRC により、ちらつき、シャドローイングが起りやすい STN/DSTN パネルでのちらつきの少ない 165536 の色制御を実現
- CPU のエリア 3 に接続されたシンクロナス DRAM の一部をシステムメモリとして使用することで、専用の表示用メモリが不要
- 2400 バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット (バイト内のエンディアン設定、バックドピクセル方式) をレジスタにより選択的にサポート可能
- 横長液晶パネルで縦長の液晶パネルをサポートするハードウェアローテーションモードをサポート (回転前の横幅は 320 ピクセル以下に限定されます。表 30.4 を参照してください)

【注】 *1 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

*2 詳細は「30.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

30. LCD コントローラ (LCDC)

図 30.1 に LCDC のブロック図を示します。

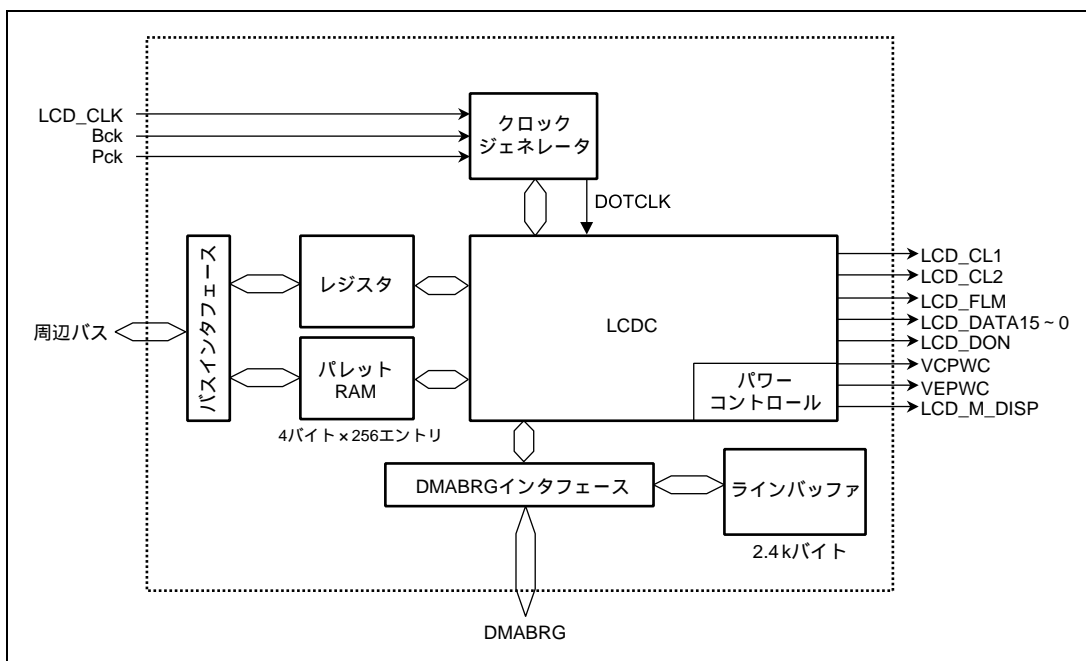


図 30.1 LCDC のブロック図

30.2 入出力端子

表 30.1 に LCDC の端子構成を示します。

表 30.1 端子構成

略称	入出力	機能
LCD_DATA15~0	出力	LCD パネル用データ
LCD_DON	出力	表示開始信号 (DON)
LCD_CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC) (TFT)
LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK) (TFT)
LCD_M_DISP	出力	液晶交流化信号/DISP 信号
LCD_FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
VCPWC	出力	液晶モジュール電源制御 (V_{CC})
VEPWC	出力	液晶モジュール電源制御 (V_{EE})
LCD_CLK	入力	LCD クロックソース入力

【注】 液晶モジュールとの結線仕様に関しては、「30.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様を良く確認の上、決定してください。

30.3 レジスタの説明

LCDC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 30.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック	LCD 表示 中の変更 可否*2
LCDC インพุットクロックレジスタ	LDICKR	R/W	H'FE30 0C00	H'1E30 0C00	16	Pck	×
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FE30 0C02	H'1E30 0C02	16	Pck	×
LCDC データフォーマットレジスタ	LDDFR	R/W	H'FE30 0C04	H'1E30 0C04	16	Pck	×
LCDC スキャンモードレジスタ	LDSMR	R/W	H'FE30 0C06	H'1E30 0C06	16	Pck	×
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	R/W	H'FE30 0C08	H'1E30 0C08	32	Pck	
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	R/W	H'FE30 0C0C	H'1E30 0C0C	32	Pck	
LCDC 表示パネル用取り込みデータライン アドレスオフセットレジスタ	LDLAOR	R/W	H'FE30 0C10	H'1E30 0C10	16	Pck	
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FE30 0C12	H'1E30 0C12	16	Pck	×
パレットデータレジスタ 00 ~ FF	LDPR00 ~ FF*1	R/W	H'FE30 0800	H'1E30 0800	32	Pck	
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FE30 0C14	H'1E30 0C14	16	Pck	×
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FE30 0C16	H'1E30 0C16	16	Pck	×
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FE30 0C18	H'1E30 0C18	16	Pck	×
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FE30 0C1A	H'1E30 0C1A	16	Pck	×
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FE30 0C1C	H'1E30 0C1C	16	Pck	×
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	R/W	H'FE30 0C1E	H'1E30 0C1E	16	Pck	
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FE30 0C20	H'1E30 0C20	16	Pck	
LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FE30 0C24	H'1E30 0C24	16	Pck	
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FE30 0C26	H'1E30 0C26	16	Pck	
LCDC コントロールレジスタ	LDCNTR	R/W	H'FE30 0C28	H'1E30 0C28	16	Pck	

【注】 *1 LDPR00、LDPR01、...LDPRFF の 256 個あります。アドレスは、H'FE30 0800、H'FE30 0804、...H'FE30 0BFC となります。

*2 LCD 表示中にレジスタ値変更可否 : 変更可、× : 変更不可

30. LCD コントローラ (LCDC)

表 30.2 レジスタ構成 (2)

名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による/ ディープスリープ	スタンバイ	
					ハード による	ソフトによる /モジュール毎 による
LCDC インブットクロックレジスタ	LDICKR	H'0101	H'0101	保持	*	保持
LCDC モジュールタイプレジスタ	LDMTR	H'0109	H'0109	保持		保持
LCDC データフォーマットレジスタ	LDDFR	H'000C	H'000C	保持		保持
LCDC スキャンモードレジスタ	LDSMR	H'0000	H'0000	保持		保持
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	H'0C00 0000	H'0C00 0000	保持		保持
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	H'0C00 0000	H'0C00 0000	保持		保持
LCDC 表示パネル用取り込みデータライン アドレスオフセットレジスタ	LDLAOR	H'0280	H'0280	保持		保持
LCDC パレットコントロールレジスタ	LDPALCR	H'0000	H'0000	保持		保持
パレットデータレジスタ 00 ~ FF	LDPR00 ~ FF* ¹	不定	不定	保持		保持
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	H'4F52	H'4F52	保持		保持
LCDC 水平同期信号レジスタ	LDHSYNR	H'0050	H'0050	保持		保持
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	H'01DF	H'01DF	保持		保持
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	H'01DF	H'01DF	保持		保持
LCDC 垂直同期信号レジスタ	LDVSYNR	H'01DF	H'01DF	保持		保持
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	H'000C	H'000C	保持		保持
LCDC 割り込みコントロールレジスタ	LDINTR	H'0000	H'0000	保持		保持
LCDC パワーマネジメントモードレジスタ	LDPMMR	H'0010	H'0010	保持	保持	
LCDC 電源シーケンス期間レジスタ	LDPSPR	H'F60F	H'F60F	保持	保持	
LCDC コントロールレジスタ	LDCNTR	H'0000	H'0000	保持	保持	

【注】 * ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

30.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、バスクロック、周辺クロック、または外部クロックを選択できます。また、1/1 ~ 1/16 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD_CLK2) を生成します。TFT パネルの場合は LCD_CLK2 = DOTCLK となり、STN、DSTN パネルの場合は LCD_CLK2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD_CLK2 にかかわらず、LCDC への入力クロックが 50MHz 以下となるように、LDICKR を設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ICKSEL1	ICKSEL0	-	-	-	-	-	-	-	DCDR4	DCDR3	DCDR2	DCDR1	DCDR0
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13 12	ICKSEL1 ICKSEL0	0 0	R/W R/W	入力クロック選択 DOTCLK の供給源を設定します。 00 : バスクロックを選択 (Bck) 01 : 周辺クロックを選択 (Pck) 10 : 外部クロックを選択 (LCD_CLK) 11 : 設定禁止
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 3 2 1 0	DCDR4 DCDR3 DCDR2 DCDR1 DCDR0	0 0 0 0 1	R/W R/W R/W R/W R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 30.3 を参照してください。

30. LCD コントローラ (LCDC)

表 30.3 入出力クロック周波数と分周比

DCDR[4:0]	クロック分周比	入出力クロック周波数 (MHz)		
		50.000	60.000	66.000
00001	1/1	50.000	60.000	66.000
00010	1/2	25.000	30.000	33.000
00100	1/4	12.500	15.000	16.500
01000	1/8	6.250	7.500	8.250
10000	1/16	3.125	3.750	4.125

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

30.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLM POL	CL1 POL	DISP POL	DPOL	-	MCNT	CL1 CNT	CL2 CNT	-	-	MIF TYP5	MIF TYP4	MIF TYP3	MIF TYP2	MIF TYP1	MIF TYP0
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0: LCD_FLM パルスはハイアクティブ 1: LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0: LCD_CL1 パルスはハイアクティブ 1: LCD_CL1 パルスはローアクティブ
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0: LCD_M_DISP はハイアクティブ 1: LCD_M_DISP はローアクティブ
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールの LCD_DATA (表示データ) の極性を選択します。液晶モジュールの反映をサポートしています。 0: LCD_DATA はハイアクティブ。透過型液晶パネル 1: LCD_DATA はローアクティブ。反射型液晶パネル
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10	MCNT	0	R/W	M 信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0 : M (AC ラインモジュレーション) 信号を出力する 1 : M 信号は出力しない
9	CL1CNT	0	R/W	CL1 (水平同期) 制御 垂直帰線期間中の LCD_CL1 出力を設定します。 0 : 垂直帰線期間中、LCD_CL1 は出力する 1 : 垂直帰線期間中、LCD_CL1 は出力しない
8	CL2CNT	1	R/W	CL2 (液晶モジュールのドットクロック) 制御 垂直水平帰線期間中の LCD_CL2 出力を設定します。 0 : 垂直水平帰線期間中、LCD_CL2 は出力する 1 : 垂直水平帰線期間中、LCD_CL2 は出力しない
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
5	MIFTYP5	0	R/W	モジュールインタフェースタイプ選択
4	MIFTYP4	0	R/W	<p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプはSTN、DSTN、TFTの3種類から選択します。液晶パネルへの出力データバス幅は4ビット、8ビット、12ビット、16ビットから選択します。TFTの液晶パネルの要求データバス幅が16ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFTと異なり、STN、DSTNの液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一つ一つに対応しないため、16bppの表示色数であっても8ビットのデータバス幅であったり、4bppの表示色数であっても12ビットのデータバス幅であることがあります。これは、STN、DSTNの表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTNの場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、またはDSTNタイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらずLCDCに内蔵されたRGB各8ビットの24ビット空調変調FRCにより表示制御が行われます。そのため、STN、またはDSTNの表示においては1600万色からDSPCOLOR指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ4ビットデータバスモジュール 000001 : STN モノクロ8ビットデータバスモジュール 001000 : STN カラー4ビットデータバスモジュール 001001 : STN カラー8ビットデータバスモジュール 001010 : STN カラー12ビットデータバスモジュール 001011 : STN カラー16ビットデータバスモジュール 010001 : DSTN モノクロ8ビットデータバスモジュール 010011 : DSTN モノクロ16ビットデータバスモジュール 011001 : DSTN カラー8ビットデータバスモジュール 011010 : DSTN カラー12ビットデータバスモジュール 011011 : DSTN カラー16ビットデータバスモジュール 101011 : TFT カラー16ビットデータバスモジュール 上記以外 : 設定禁止</p>
3	MIFTYP3	1	R/W	
2	MIFTYP2	0	R/W	
1	MIFTYP1	0	R/W	
0	MIFTYP0	1	R/W	

30.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PABD	-	DSP COLOR6	DSP COLOR5	DSP COLOR4	DSP COLOR3	DSP COLOR2	DSP COLOR1	DSP COLOR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アライメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 (B'0101) としてください。 0: バイトデータ内をビッグエンディアンに設定 1: バイトデータ内をリトルエンディアンに設定
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	DSPCOLOR6	0	R/W	表示カラー選択
5	DSPCOLOR5	0	R/W	ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。
4	DSPCOLOR4	0	R/W	(パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。
3	DSPCOLOR3	1	R/W	回転表示時にサポート可能な色数は、表示解像度によって制限されます。
2	DSPCOLOR2	1	R/W	詳細については表 30.4 を参照してください。
1	DSPCOLOR1	0	R/W	
0	DSPCOLOR0	0	R/W	0000000: モノクロ、2 グレyscale、1bpp (パレット経由) 0000001: モノクロ、4 グレyscale、2bpp (パレット経由) 0000010: モノクロ、16 グレyscale、4bpp (パレット経由) 0000100: モノクロ、64 グレyscale、6bpp (パレット経由) 0001010: カラー、16 色、4bpp (パレット経由) 0001100: カラー、256 色、8bpp (パレット経由) 0011101: カラー、32k 色 (RGB: 5-5-5)、15bpp 0101101: カラー、64k 色 (RGB: 5-6-5)、16bpp 上記以外: 設定禁止

30. LCD コントローラ (LCDC)

30.3.4 LCDC スキャンモードレジスタ (LDSMR)

LDSMR は、液晶パネルを回転して使用するためのハードウェアローテーション機能のオン/オフを指定します。表示用に確保したシステムメモリ (エリア 3 のシンクロナス DRAM) に対するアクセスサイズは、常に 32 バイトです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ROT	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	ROT	0	R/W	ローテーションモジュール選択 ハードウェアによる表示の回転動作を選択します。ただし、回転する場合、以下の制限があります。 <ul style="list-style-type: none"> モジュールタイプは STN または TFT。DSTN は不可 液晶パネルの横方向(液晶パネル内部でのスキャン方向)の幅は最大 320 LDLAOR に表示サイズを超える、2 のべき乗の値を設定する (320 × 240 を回転させて 240 × 320 で使用する場合で、表示イメージの横幅が 240 バイトである場合、256 を選択してください) 0 : 回転しない 1 : 右 90 度回転する (表示イメージの左側が液晶モジュールの上側に表示される)
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.3.5 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SAU25	SAU24	SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	SAU7	SAU6	SAU5	SAU4	SAU3	SAU2	SAU1	SAU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27、26	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
25~0	SAU25~0	すべて0	R/W	上部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア3のシンクロナス DRAM 領域内に設定します。

- 【注】
- ハードウェアローテーション機能を使用しない場合、LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。ハードウェアローテーション機能を使用する場合の LDSARU の値は、イメージの左上のアドレスが 512 バイト境界にくるように設定してください。
 - ハードウェアローテーション機能を使用する (ROT=1) の場合、本レジスタには表示するイメージのサイズから計算したイメージの左下のアドレスを設定してください。イメージが 240×340、LDLAOR=256 の表示設定のとき、下記のように計算できます。パネルのサイズではなく、表示するイメージのメモリサイズから計算します。このとき、LDLAOR がイメージの横方向のサイズ以上の 2 のべき乗になることに注意してください。またイメージの左上のアドレスは、このときの LDSARU を使って逆算すると、 $LDSARU - 256 (LDLAOR \text{ の値}) \times (320 - 1)$ となるので、512 バイト境界にあることを確認して設定してください。
 $LDSARU = \text{イメージ左上のアドレス} + 256 (LDLAOR \text{ の値}) \times 319 (\text{行})$
 - LDSARU、LDSARL の最小のアライメント単位は 4 バイトです。ロングワード単位の処理となるので、各レジスタ書き込み値の下位 2 ビットは 0 として扱います。また、レジスタ値を読み出すと下位 2 ビットは 0 が読み出されます。また、1bpp、2bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください (ラインの先頭はすべて有効データ)。行末の割り切れない部分は読み捨てます (3、2、1 バイト)。4bpp、8bpp、15bpp、16bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください。

30. LCD コントローラ (LCDC)

30.3.6 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SAL25	SAL24	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
初期値 :	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	SAL7	SAL6	SAL5	SAL4	SAL3	SAL2	SAL1	SAL0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27、26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25~0	SAL25~0	すべて 0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。 STN、TFT : 使用しません DSTN : 下部パネルに対応する表示データの取り込み開始アドレス

【注】 LDSARU、LDSARL の最小のアライメント単位は 4 バイトです。ロングワード単位の処理となるので、各レジスタ書き込み値の下位 2 ビットは 0 として扱います。また、レジスタ値を読み出すと下位 2 ビットは 0 が読み出されます。また、1bpp、2bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください (ラインの先頭はすべて有効データ)。行末の割り切れない部分は読み捨てます (3、2、1 バイト)。4bpp、8bpp、15bpp、16bpp のときには、ロングワード (32 ビット) 境界にラインのスタートがくるように設定してください。

30.3.7 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが $A_x + B_y + C$ で計算される場合、本レジスタはこの式の B と等しくなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	LAO15~10	すべて 0	R/W	ラインアドレスオフセット 最小のアライメント単位は 4 バイトです。ロングワード単位の処理となるので、各レジスタ書き込み値の下位 2 ビットは 0 として扱います。また、レジスタ値を読み出すと下位 2 ビットは 0 が読み出されます。初期値は、VGA (640×480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度 = 640) となっています。詳しくは「30.4 動作説明」の表 30.4 を参照してください。
9	LAO9	1	R/W	
8	LAO8	0	R/W	LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅 (たとえば、320×240 のパネルの 320) ではなく、画像イメージの横幅 (回転後、240×320 になる場合の 240) 以上の 2 のべき乗の値 (この例では 256) にする必要があります。
7	LAO7	1	R/W	
6~0	LAO6~0	すべて 0	R/W	

30. LCD コントローラ (LCDC)

30.3.8 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PALS	-	-	-	PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (CPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し / 書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

30.3.9 パレットデータレジスタ 00~FF (LDPR00~FF)

LDPR は、メモリ空間上に直接配置 (4 バイト×256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00~LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「30.4.3 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALD nn_23	PALD nn_22	PALD nn_21	PALD nn_20	PALD nn_19	PALD nn_18	PALD nn_17	PALD nn_16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALD nn_15	PALD nn_14	PALD nn_13	PALD nn_12	PALD nn_11	PALD nn_10	PALD nn_9	PALD nn_8	PALD nn_7	PALD nn_6	PALD nn_5	PALD nn_4	PALD nn_3	PALD nn_2	PALD nn_1	PALD nn_0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	R	リザーブビット
23~0	PALDnn_23~ PALDnn_0	-	R/W	パレットデータ ビット 18~16、9、8、2~0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn = H'00 ~ H'FF

30.3.10 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0
初期値:	0	1	0	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HDCN7	0	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (キャラクタ = 8 ドット単位)。 (表示キャラクタ数) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
14	HDCN6	1	R/W	
13	HDCN5	0	R/W	
12	HDCN4	0	R/W	
11	HDCN3	1	R/W	
10	HDCN2	1	R/W	
9	HDCN1	1	R/W	
8	HDCN0	1	R/W	
7	HTCN7	0	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (キャラクタ = 8 ドット単位)。 (総キャラクタ数) - 1 の値を設定してください。 ただし、最小の水平帰線期間は 3 キャラクタ (24 ドット) です。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は 664 ドット、水平帰線期間は 24 ドットになります。
6	HTCN6	1	R/W	
5	HTCN5	0	R/W	
4	HTCN4	1	R/W	
3	HTCN3	0	R/W	
2	HTCN2	0	R/W	
1	HTCN1	1	R/W	
0	HTCN0	0	R/W	

【注】 HDCN、HTCN の設定値は、 $HTCN \geq HDCN + 3$ の関係を必ず満足してください。また、HTCN は総キャラクタ数を偶数としてください (設定値は -1 値設定のため奇数となります)。

30. LCD コントローラ (LCDC)

30.3.11 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向 (スキャン方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSY NW3	HSY NW2	HSY NW1	HSY NW0	-	-	-	-	HSY NP7	HSY NP6	HSY NP5	HSY NP4	HSY NP3	HSY NP2	HSY NP1	HSY NP0
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HSYNW3	0	R/W	水平同期信号幅
14	HSYNW2	0	R/W	水平画面方向の同期信号 (CL1、Hsync) 幅を設定します (キャラクタ = 8 ドット単位)。 (水平同期信号幅) - 1 の値を設定してください。 (例) 水平同期信号幅を 8 ドットとする場合 $HSYNW = (8 \text{ ドット} / 8 \text{ ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
13	HSYNW1	0	R/W	
12	HSYNW0	0	R/W	
11~8	-	すべて 0	R	
7	HSYNP7	0	R/W	水平同期信号出力位置
6	HSYNP6	1	R/W	水平画面方向の同期信号の出力位置を設定します (キャラクタ = 8 ドット単位)。 (水平同期信号出力位置) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$ この場合、648 ドット目から 655 ドット目まで水平同期信号がアクティブになります。
5	HSYNP5	0	R/W	
4	HSYNP4	1	R/W	
3	HSYNP3	0	R/W	
2	HSYNP2	0	R/W	
1	HSYNP1	0	R/W	
0	HSYNP0	0	R/W	

【注】 $HTCN \geq HSYNP + HSYNW + 1$
 $HSYNP \geq HDCN + 1$ の関係を満足してください。

30.3.12 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDLN 10	VDLN 9	VDLN 8	VDLN 7	VDLN 6	VDLN 5	VDLN 4	VDLN 3	VDLN 2	VDLN 1	VDLN 0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VDLN10	0	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します(ライン単位)。 (表示ライン数) - 1 の値を設定してください。 (例) 480 ラインの液晶モジュールを使用する場合 VDLN = 480 - 1 = 479 = H'1DF
9	VDLN9	0	R/W	
8	VDLN8	1	R/W	
7	VDLN7	1	R/W	
6	VDLN6	1	R/W	
5	VDLN5	0	R/W	
4	VDLN4	1	R/W	
3	VDLN3	1	R/W	
2	VDLN2	1	R/W	
1	VDLN1	1	R/W	
0	VDLN0	1	R/W	

30. LCD コントローラ (LCDC)

30.3.13 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN 10	VTLN 9	VTLN 8	VTLN 7	VTLN 6	VTLN 5	VTLN 4	VTLN 3	VTLN 2	VTLN 1	VTLN 0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	VTLN10	0	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します (ライン単位)。 (総ライン数) - 1 の値を設定してください。 最小の垂直総ライン数は2ラインです。 $VTLN \geq VDLN$ 、 $VTLN \geq 1$ を満足してください。 (例) 480ラインの液晶モジュールを使用し、垂直帰線期間が0ラインの場合 $VTLN = (480 + 0) - 1 = 479 = H'1DF$
9	VTLN9	0	R/W	
8	VTLN8	1	R/W	
7	VTLN7	1	R/W	
6	VTLN6	1	R/W	
5	VTLN5	0	R/W	
4	VTLN4	1	R/W	
3	VTLN3	1	R/W	
2	VTLN2	1	R/W	
1	VTLN1	1	R/W	
0	VTLN0	1	R/W	

30.3.14 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSY NW3	VSY NW2	VSY NW1	VSY NW0	-	VSY NP10	VSY NP9	VSY NP8	VSY NP7	VSY NP6	VSY NP5	VSY NP4	VSY NP3	VSY NP2	VSY NP1	VSY NP0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VSYNW3	0	R/W	垂直同期信号幅
14	VSYNW2	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。
13	VSYNW1	0	R/W	(垂直同期信号幅) - 1 の値を設定してください。
12	VSYNW0	0	R/W	(例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW = (1 - 1) = 0 = H'0$
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VSYNP10	0	R/W	垂直同期信号出力位置
9	VSYNP9	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。
8	VSYNP8	1	R/W	(垂直同期信号出力位置) - 2 の値を設定してください。
7	VSYNP7	1	R/W	
6	VSYNP6	1	R/W	DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。
5	VSYNP5	0	R/W	
4	VSYNP4	1	R/W	(例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり $VTLN = 479$ のときに 1 ライン目に垂直同期信号をアクティブにする場合
3	VSYNP3	1	R/W	
2	VSYNP2	1	R/W	•シングルディスプレイの場合
1	VSYNP1	1	R/W	$VSYNP = [(1 - 1) + VTLN] \bmod (VTLN + 1) = [(1 - 1) + 479] \bmod (479 + 1)$
0	VSYNP0	1	R/W	$= 479 \bmod 480 = 479$ $= H'1DF$
				•デュアルアドレスの場合
				$VSYNP = [(1 - 1) \times 2 + VTLN] \bmod (VTLN + 1) = [(1 - 1) \times 2 + 479] \bmod (479 + 1)$
				$= 479 \bmod 480 = 479$ $= H'1DF$

30. LCD コントローラ (LCDC)

30.3.15 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	ACLN4	ACLN3	ACLN2	ACLN1	ACLN0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ACLN4	0	R/W	AC ラインナンバー
3	ACLN3	1	R/W	液晶モジュール交流化信号をトグルする行数を設定します(ライン単位)。
2	ACLN2	1	R/W	(トグルする行数) - 1 の値を設定してください。
1	ACLN1	0	R/W	(例) 13 ラインごとにトグルさせる場合
0	ACLN0	0	R/W	ACLN = 13 - 1 = 12 = H'0C

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

30.3.16 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、液晶パネルモジュールの Vsync 割り込み (LCDCI) 動作を制御するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	VINTSEL	-	-	-	VINTE	-	-	-	-	-	-	-	VINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	VINTSEL	0	R/W	Vsync 割り込み選択 LCDC Vsync 割り込みの開始点を設定します。 0 : シンクロナス DRAM へのアクセスを開始した時点で割り込み発生 1 : LCD 表示の垂直帰線期間の開始点で割り込み発生
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	VINTE	0	R/W	Vsync 割り込み許可 LCDC Vsync 割り込みを発生するかを設定します。 0 : LCDC Vsync 割り込みを発生しない 1 : LCDC Vsync 割り込みを発生する

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	VINTS	0	R/W	Vsync 割り込み状態 LCDC Vsync 割り込みの処理状態を表します。 このビットは、LCDC Vsync 割り込みが発生した時点で1値を示します(セット状態)。Vsync 割り込みに対する処理ルーチン中で、レジスタへの0値書き込みでクリアしてください。 0: LCDC が Vsync 割り込みを発生していないか、または Vsync 割り込み発生に対して処理済の通知を受けた状態を表す。 1: LCDC が Vsync 割り込みを発生し処理済の通知を受けていない状態を表す。 Vsync 割り込みを使用する場合、DON = 1 を設定する前に VINTE = 1 を設定した状態とし、なおかつ VINTE = 0 に設定を変更しないでください。 VINTE = 0 にした場合、Vsync 割り込みは発生しません。

30.3.17 LCDC パワーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。VCPWC と VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ONC3	ONC2	ONC1	ONC0	OFFD3	OFFD2	OFFD1	OFFD0	-	VCPE	VEPE	DONE	-	-	LPS1	LPS0

初期値: 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R R/W R/W R/W R R R R

ビット	ビット名	初期値	R/W	説明
15	ONC3	0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位設定します。(期間) - 1 の値を設定してください。 図 30.4 ~ 図 30.7 の「電源制御シーケンスと液晶モジュールの動作状態」の(c) 期間に当たります。詳細な方法は、表 30.5「代表的なフレームレートにおいて設定可能な電源制御シーケンス期間」を参照してください(設定方法は以下の ONA、ONB、OFFD、OFFE、OFFF 各レジスタに共通です)。
14	ONC2	0	R/W	
13	ONC1	0	R/W	
12	ONC0	0	R/W	
11	OFFD3	0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネゲートから VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 30.4 ~ 図 30.7 の「電源制御シーケンスと液晶モジュールの動作状態」の(d) 期間に当たります。
10	OFFD2	0	R/W	
9	OFFD1	0	R/W	
8	OFFD0	0	R/W	

30. LCD コントローラ (LCDC)

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	VCPE	0	R/W	VCPWC 端子イネーブル VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0: (処理無) VCPWC 端子出力はマスクされロー固定 1: (処理有) VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
5	VEPE	0	R/W	VEPWC 端子イネーブル VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) VEPWC 端子出力はマスクされロー固定 1: (処理有) VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_DON 端子出力はマスクされロー固定 1: (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネゲートする
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	LPS1 LPS0	0 0	R R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00: 液晶モジュール電源遮断 11: 液晶モジュール電源投入

30.3.18 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。VEPWC、VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0	OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ONA3	1	R/W	LCDC 電源投入シーケンス期間
14	ONA2	1	R/W	LCD モジュールの電源投入シーケンスにおいて VCPWC 端子のアサートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 30.4 - 図 30.7 「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。
13	ONA1	1	R/W	
12	ONA0	1	R/W	
11	ONB3	0	R/W	
10	ONB2	1	R/W	LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 30.4 - 図 30.7 「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。
9	ONB1	1	R/W	
8	ONB0	0	R/W	
7	OFFE3	0	R/W	
6	OFFE2	0	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて VEPWC 端子ネグートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 30.4 - 図 30.7 「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。
5	OFFE1	0	R/W	
4	OFFE0	0	R/W	
3	OFFF3	1	R/W	
2	OFFF2	1	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から VCPWC 端子のネグートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 30.4 - 図 30.7 「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。
1	OFFF1	1	R/W	
0	OFFF0	1	R/W	

30.3.19 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始 / 終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するときは、DON ビットを 0 に設定します。LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DON2	-	-	-	DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0 : LCDC 動作 / 終了中 1 : 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0 : LCDC 非動作。表示オフモード 1 : LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
 - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。

30.4 動作説明

30.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024 × 1024 ドット、16bpp (ビットパーピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有であるシステムメモリに格納されており、本 LCDC は表示に間に合うようにシステムメモリからデータの読み出しを行う必要があります。

本 LSI では、最大 32 バイトのバーストメモリリードと 2400 バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。フレームレート 60Hz とした場合の推奨するサイズとしては、16bpp 時 320 × 240 ドット、もしくは 8bpp 時 640 × 480 ドットです。

図 30.2 に有効な表示と帰線期間について示します。

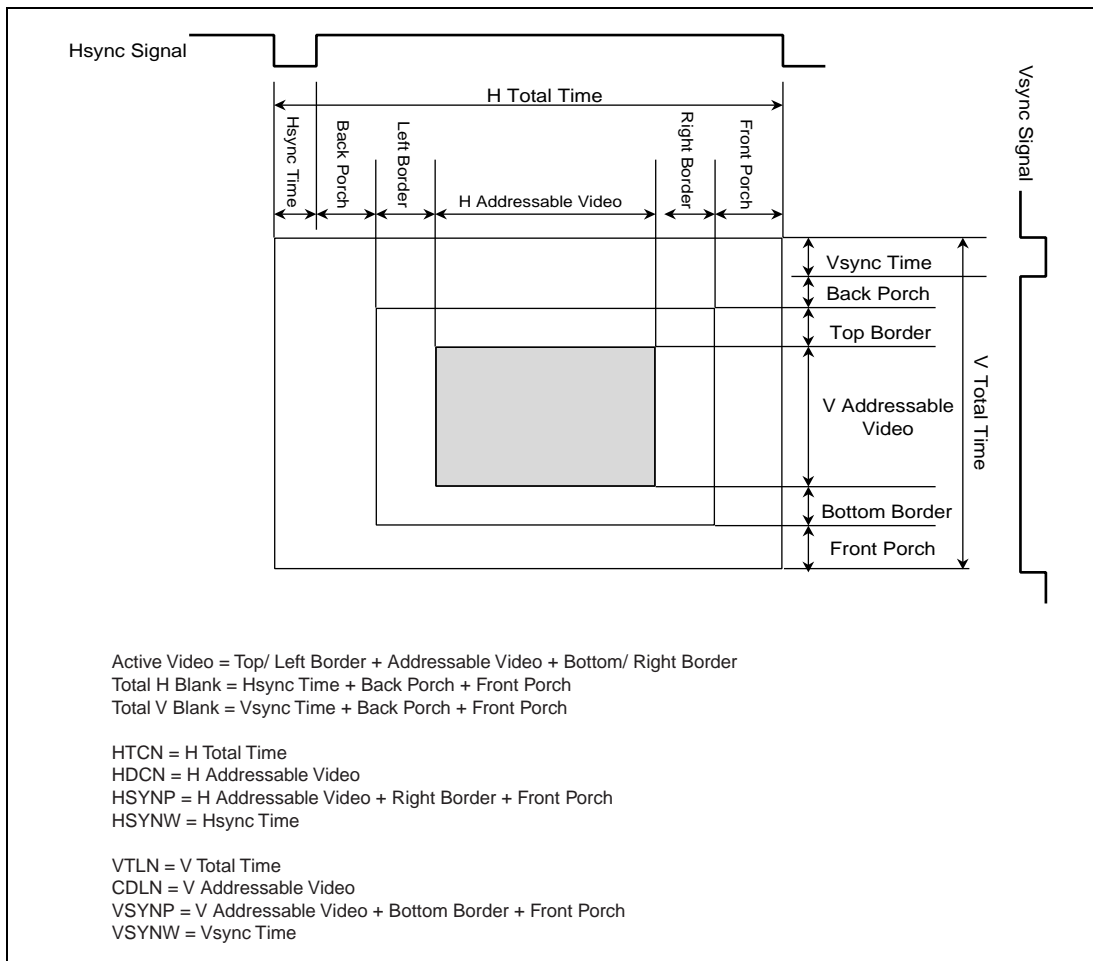


図 30.2 有効な表示と帰線期間

30. LCD コントローラ (LCDC)

30.4.2 回転表示の解像度制限

表 30.4 回転機能の対応する表示解像度

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCD モジュール (X 解像度 × Y 解像度)	表示色数	
		モノクロ	カラー
240 × 320	320 × 240	モノクロ	4bpp
			6bpp
		カラー	8bpp
			16bpp
234 × 320	320 × 234	モノクロ	6bpp
		カラー	16bpp
80 × 160	160 × 80	モノクロ	2bpp
			4bpp
			6bpp
		カラー	4bpp
			8bpp
			16bpp
64 × 128	128 × 64	モノクロ	1bpp
			2bpp
			4bpp
			6bpp
		カラー	4bpp
			8bpp

本 LCDC は、上記縦長の表示イメージを 90 度回転して、対応する横長の液晶モジュールに表示可能です。それぞれの解像度について、表に示す色数の表示のみ対応可能です。

また、モノクロの表示イメージを表示するにはモノクロの液晶モジュールを、カラーの表示イメージを表示するにはカラーの液晶モジュールを必要とします。

30.4.3 カラーパレット仕様について

(1) カラーパレットレジスタ

本 LCDC は 1 エントリにつき 24 ビットデータ出力で 256 エントリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで 16M 色中 256 色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCR の PALEN ビット = 0 (初期値) : 通常表示動作
2. LDPALCR にアクセスし PALEN = 1 を設定 : カラーパレット設定モードに移行は周辺クロックの 3 サイクル後
3. LDPALCR にアクセスし PALS = 1 を確認
4. LDPR00 ~ FF にアクセスし PALD00 ~ FF に必要な値を書き込む

5. LDPALCRにアクセスしPALEN = 0を設定: 通常表示モードに移行は周辺クロックの1サイクル後

なお、LDPALCR の PALS = 1 の間、LCDC 表示データ出力 (LCD_DATA) は 0 値出力となります。

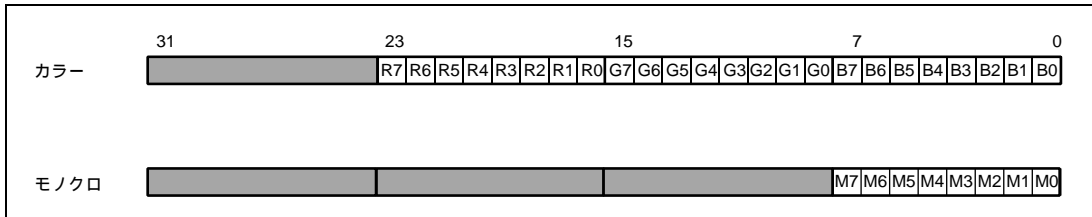


図 30.3 カラーパレットデータフォーマット

PALDnn の色 / 階調データは上記のように設定してください。

カラー表示の場合、PALDnn[23:16]には R データを、PALDnn[15:8]には G データを、PALDnn[7:0]には B データを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5 ビット、G:6 ビット、B:5 ビットが有効となります。実際に使用する際は、24 ビット (R:8 ビット、G:8 ビット、B:8 ビット) のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が 0 でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を 0 または 1 で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が 0 のときは PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を 0 で埋めることで 24 ビットに拡張します。

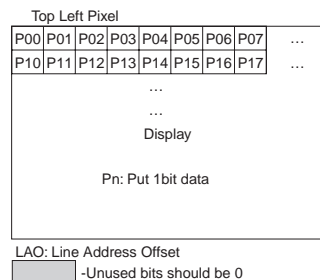
モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]は don't care です。PALDnn[7:3]の値が 0 でないときは PALDnn[2:0]を 1 で埋め、PALDnn[7:3]の値が 0 のときは PALDnn[2:0]を 0 で埋めることで 8 ビットに拡張します。

30. LCD コントローラ (LCDC)

30.4.4 データフォーマット

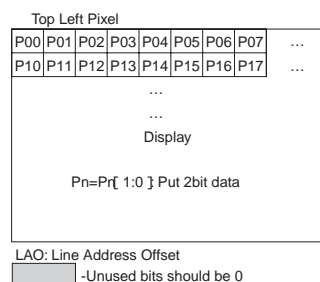
1.Packed 1bpp(Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00	P00	P01	P02	P03	P04	P05	P06	P07	(Byte0)
+01	P08								(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P10	P11	P12	P13	P14	P15	P16	P17	
+LAO+01	P18								
+LAO+02	...								
+LAO+03	...								
...	Display Memory								



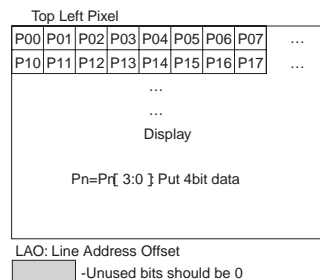
2.Packed 2bpp(Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

Address	MSB				LSB				Bit]	
	7	6	5	4	3	2	1	0		
+00	P00			P01			P02			(Byte0)
+01	P04			P05			P06			(Byte1)
+02	...									
+03	...									
...	...									
+LAO+00	P10		P11		P12		P13			
+LAO+01	P14		P15		P16		P17			
+LAO+02	...									
+LAO+03	...									
...	Display Memory									



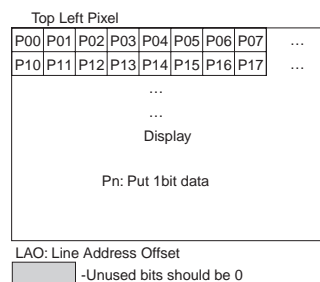
3.Packed 4bpp(Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format]

Address	MSB				LSB				Bit]
	7	6	5	4	3	2	1	0	
+00	P00				P01				(Byte0)
+01	P02				P03				(Byte1)
+02	P04				P05				(Byte2)
+03	...								
...	...								
+LAO+00	P00				P01				
+LAO+01	P02				P03				
+LAO+02	P04				P05				
+LAO+03	...								
...	Display Memory								

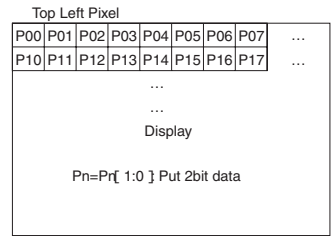
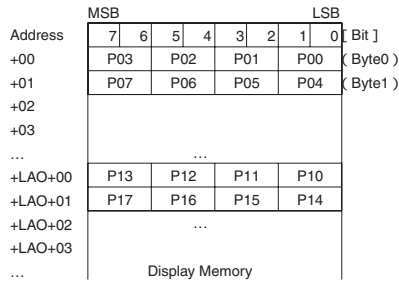


4.Packed 1bpp(Pixel Alignment in Byte is Little Endian)

Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00	P07	P06	P05	P04	P03	P02	P01	P00	(Byte0)
+01								P08	(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P17	P16	P15	P14	P13	P12	P11	P10	
+LAO+01								P18	
+LAO+02	...								
+LAO+03	...								
...	Display Memory								

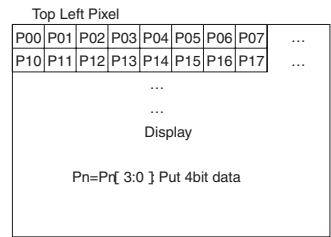
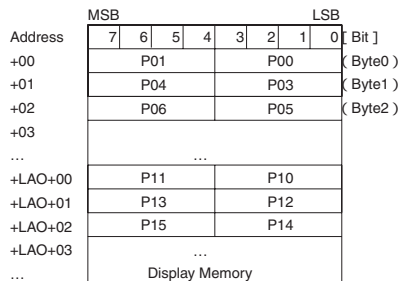


5.Packed 2bpp (Pixel Alignment in Byte is Little Endian)



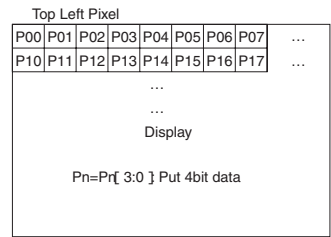
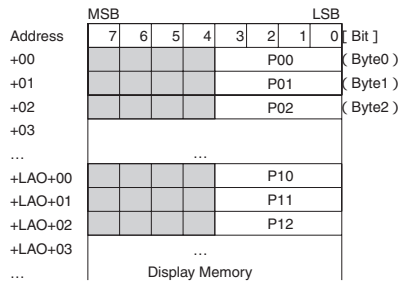
LAO: Line Address Offset
 [] -Unused bits should be 0

6.Packed 4bpp (Pixel Alignment in Byte is Little Endian)



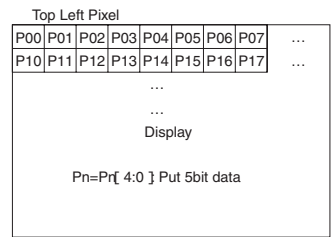
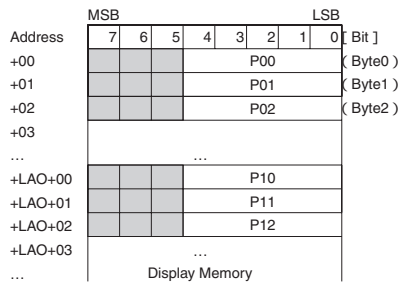
LAO: Line Address Offset
 [] -Unused bits should be 0

7.Unpacked 4bpp [Windows CE Recommended Format]



LAO: Line Address Offset
 [] -Unused bits should be 0

8.Unpacked 5bpp [Windows CE Recommended Format]

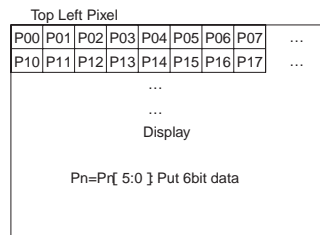


LAO: Line Address Offset
 [] -Unused bits should be 0

30. LCD コントローラ (LCDC)

9. Unpacked 6bpp [Windows CE Recommended Format]

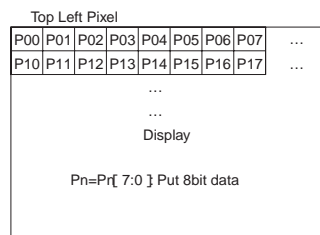
Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00								P00	(Byte0)
+01								P01	(Byte1)
+02								P02	(Byte2)
+03									
...								...	
+LAO+00								P10	
+LAO+01								P11	
+LAO+02								P12	
+LAO+03								...	
...								Display Memory	



LAO: Line Address Offset
 -Unused bits should be 0

10. Packed 8bpp [Windows CE Recommended Format]

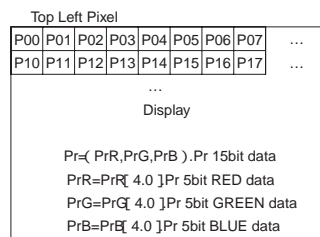
Address	MSB							LSB	Bit]
	7	6	5	4	3	2	1	0	
+00								P00	(Byte0)
+01								P01	(Byte1)
+02								P02	(Byte2)
+03									
...								...	
+LAO+00								P10	
+LAO+01								P11	
+LAO+02								P12	
+LAO+03								...	
...								Display Memory	



LAO: Line Address Offset
 -Unused bits should be 0

11. Unpacked color 15bpp [RGB 555] Windows CE Recommended Format]

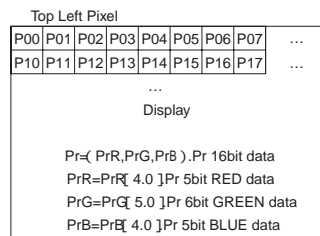
Address	MSB															LSB	Bit]			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
+00																	P00R	P00G	P00B	(Word0)
+02																	P01R	P01G	P01B	(Word2)
+04																	P02R	P02G	P02B	(Word4)
+06																				
...																	...			
+LAO																	P10R	P10G	P10B	
+LAO+02																	P11R	P11G	P11B	
+LAO+04																	P12R	P12G	P12B	
+LAO+06																				
...																	...			
...																	Display Memory			



LAO: Line Address Offset
 -Unused bits should be 0

12. Packed color 16bpp [RGB 565] Windows CE Recommended Format]

Address	MSB															LSB	Bit]			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
+00																	P00R	P00G	P00B	(Word0)
+02																	P01R	P01G	P01B	(Word2)
+04																	P02R	P02G	P02B	(Word4)
+06																				
...																	...			
+LAO																	P10R	P10G	P10B	
+LAO+02																	P11R	P11G	P11B	
+LAO+04																	P12R	P12G	P12B	
+LAO+06																				
...																	...			
...																	Display Memory			



LAO: Line Address Offset
 -Unused bits should be 0

30.4.5 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640×480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

30.4.6 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (VCPWC、VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスの概略タイミングチャートを図 30.4 ~ 図 30.7 に、設定可能な電源制御シーケンス期間の説明を表 30.5 に示します。

30. LCD コントローラ (LCDC)

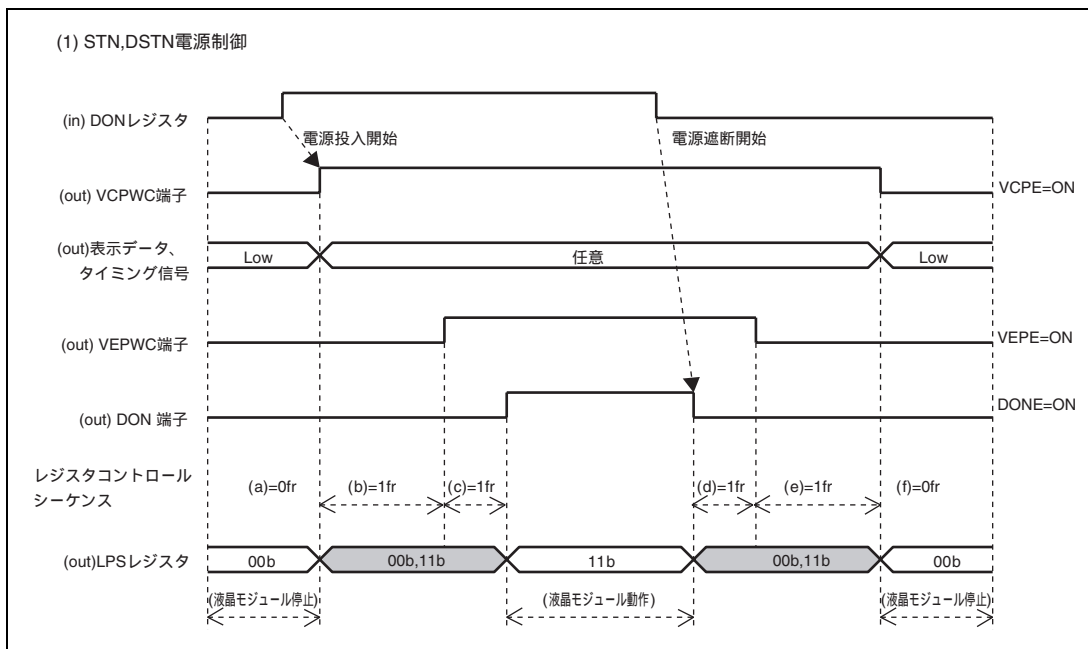


図 30.4 電源制御シーケンスと液晶モジュールの動作状態

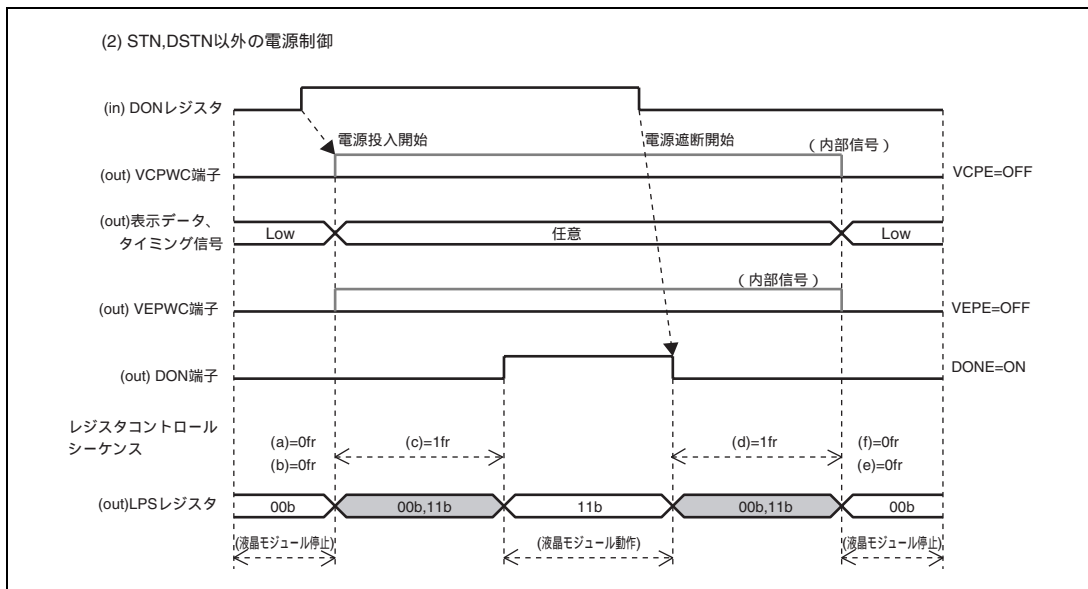


図 30.5 電源制御シーケンスと液晶モジュールの動作状態

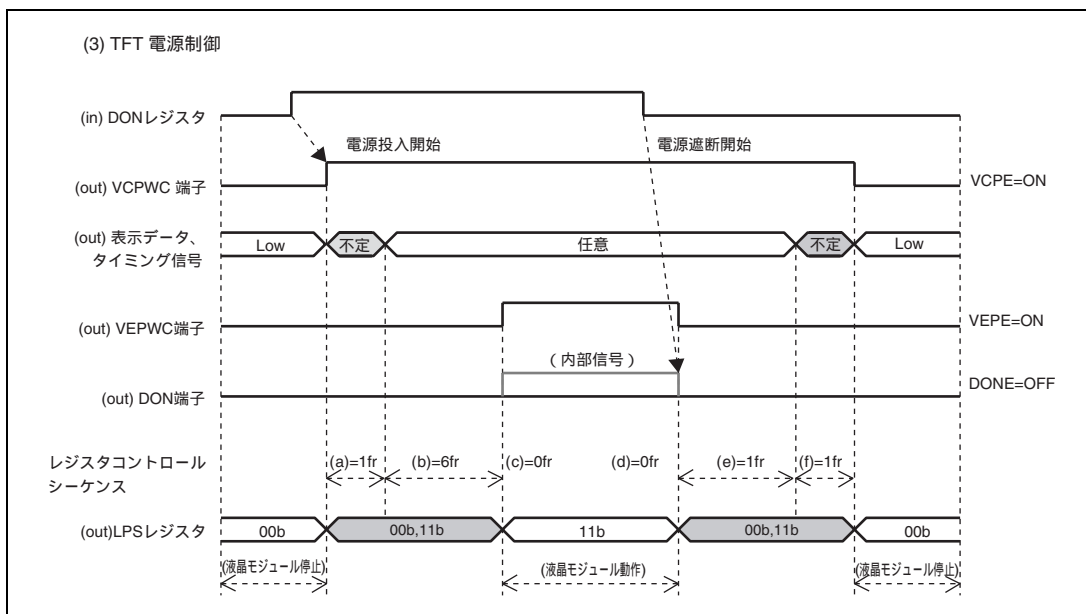


図 30.6 電源制御シーケンスと液晶モジュールの動作状態

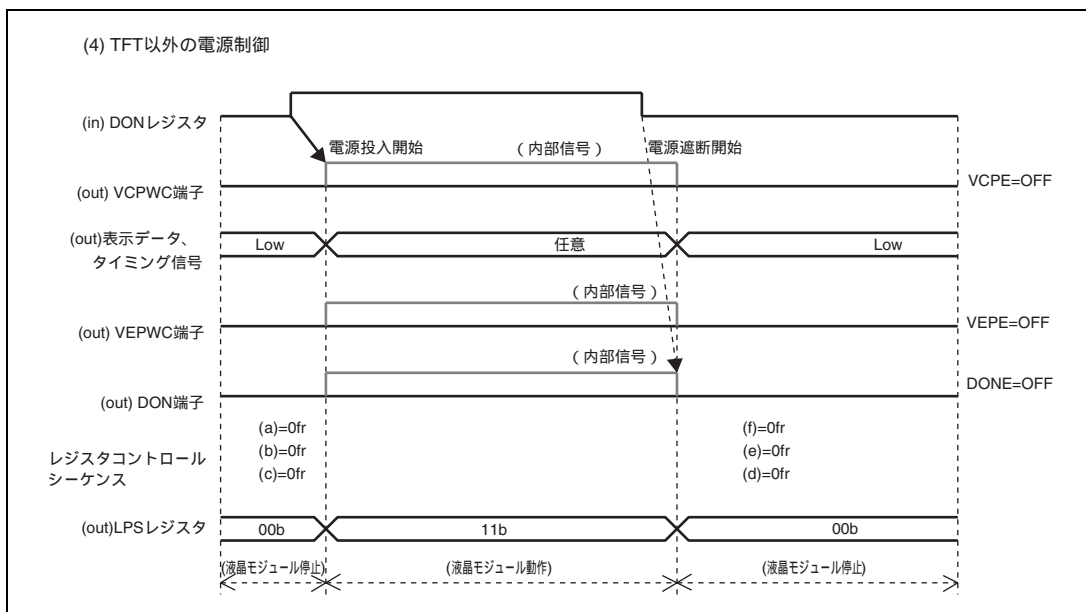


図 30.7 電源制御シーケンスと液晶モジュールの動作状態

30. LCD コントローラ (LCDC)

表 30.5 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0 ~ 15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は (- 1 値) 設定であり、H'0 ~ H'E 設定でおのおの 1 ~ 15 フレーム、H'F 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONB レジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は $8.33 (\text{ms}) = 1/120 (\text{sec})$

ONB レジスタは (- 1 値) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は $58.33 (\text{ms}) = 8.33 (\text{ms}) \times 7$ となります。

表 30.6 LCDC 動作モード

モード		機 能
表示 ON (LCDC 動作)	レジスタ設定 : DON = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定 : DON = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 30.7 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_DATA	VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_DATA	VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

- 表示OFFモード (LCDC停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

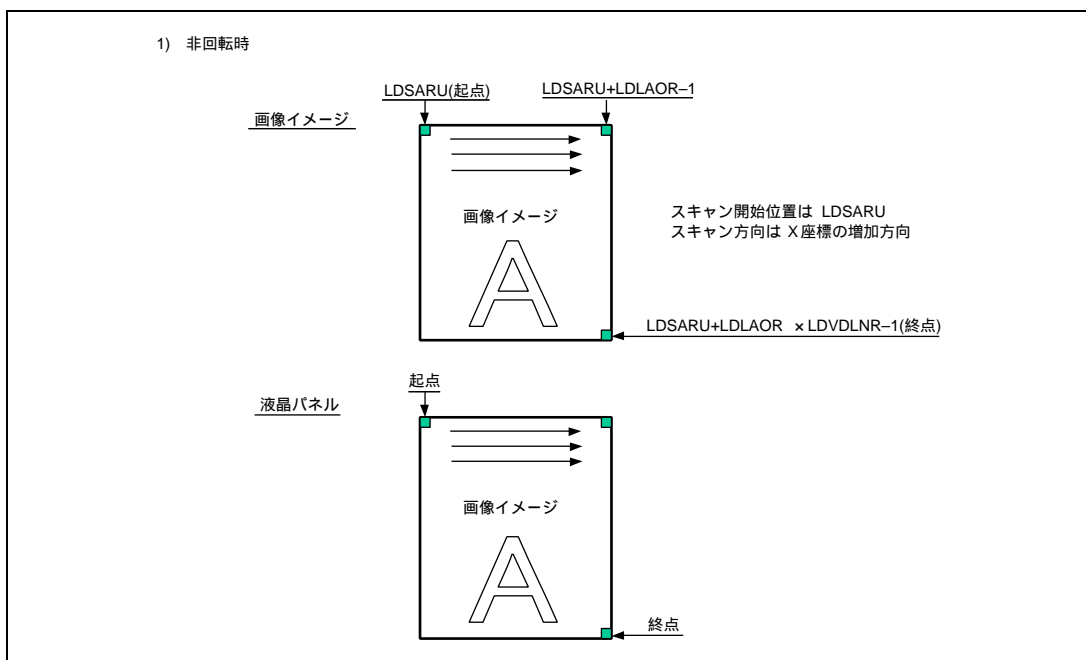
30.4.7 ハードウェアローテーション動作説明

以下にハードウェアローテーション動作の説明を示します。ハードウェアローテーションモードは、「横長の画面をもつ液晶パネルを縦置きすることで縦長の液晶パネルの代わりに使う」ような使い方を想定しています。パネルの形は横長でも縦長でも問題ありませんが、横幅が 320 以下である必要があります。

ハードウェアローテーションを行う場合、ハードウェアローテーション無しの設定から以下の 5 項目を変更しなければなりません (以下の例は 8bpp 時。16bpp 時は 1 ドット当たりのメモリサイズが 2 倍になるため、イメージのサイズ、回転時のレジスタ設定値が異なります)。

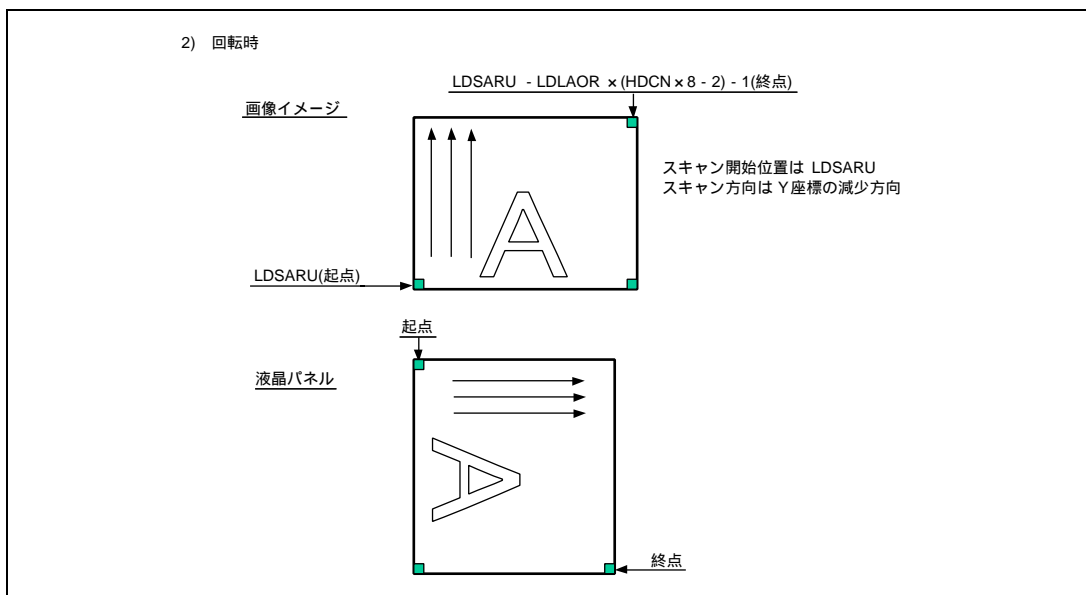
30. LCD コントローラ (LCDC)

1. 画像イメージは、回転したパネルで表示する形で用意する（回転後に240×320であれば、回転されていない240×320のサイズのデータを用意する）
2. 画像イメージのアドレスに関するレジスタの設定を変更する（LDSARU、LDLAOR）。
3. LDLAORを2のべき乗にする（回転した後の横幅が240の場合、256にする）。
4. グラフィックソフトウェアも3.の設定に合わせる。
5. LDSARUを画像イメージの左上のアドレスから、左下のアドレスに変更する。



たとえば、サイズ 320×240 の液晶パネルに対して LDSARU = 0x0c001000 から始まる横長の画像イメージ (320×240) を表示するレジスタ設定、およびグラフィックドライバソフトウェアが完成しているものとします。この状態でハードウェアローテーションを使い 240×320 で表示するように変更してみます。このとき、LDLAOR = 512 であったとすると、グラフィックドライバソフトウェアも画像イメージの Y 座標のアドレス計算用オフセットを 2 のべき乗としているはずですが、この状態で ROT = 1 とする前に、画像イメージ自体が 240×320 用に描きなおす必要があります。また、サイズが異なるので、LDLAOR = 256 となり、同時にグラフィックドライバソフトウェアも変更します。LDSARU は左上から左下になりますので、LDSARU = 0x0c001000 + 256 * 319 に変更します。

【注意】 ハードウェアローテーション機能は、液晶パネルを 90 度傾けて使えるようにする機能であり、液晶パネル自体に関する設定に関しては、回転前の液晶パネルに合わせる必要があります。また、グラフィックドライバソフトウェアの描画処理にはかかわらずに回転可能ですが、グラフィックドライバソフトウェアの管理している画像イメージのサイズ、およびアドレスオフセットの値を実際の画像イメージに合わせる必要があります。



30.5 クロックと LCD データ信号例

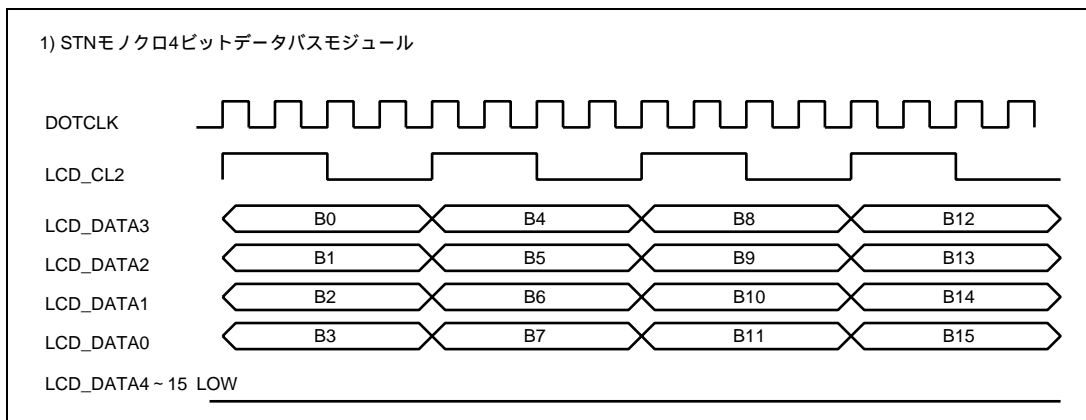


図 30.8 クロックと LCD データ信号例

30. LCD コントローラ (LCDC)

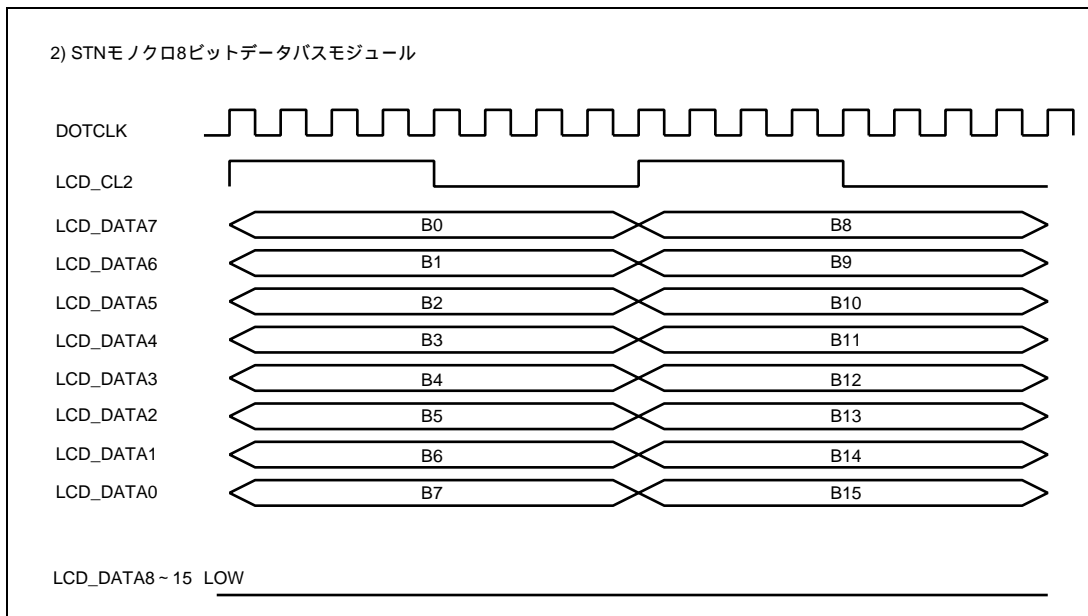


図 30.9 クロックと LCD データ信号例

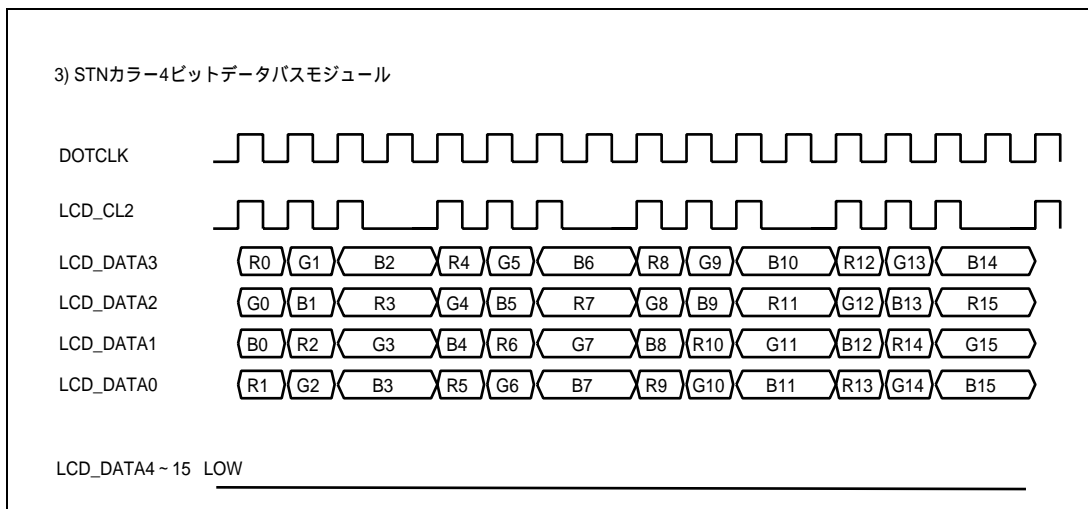


図 30.10 クロックと LCD データ信号例

4) STNカラー8ビットデータバスモジュール

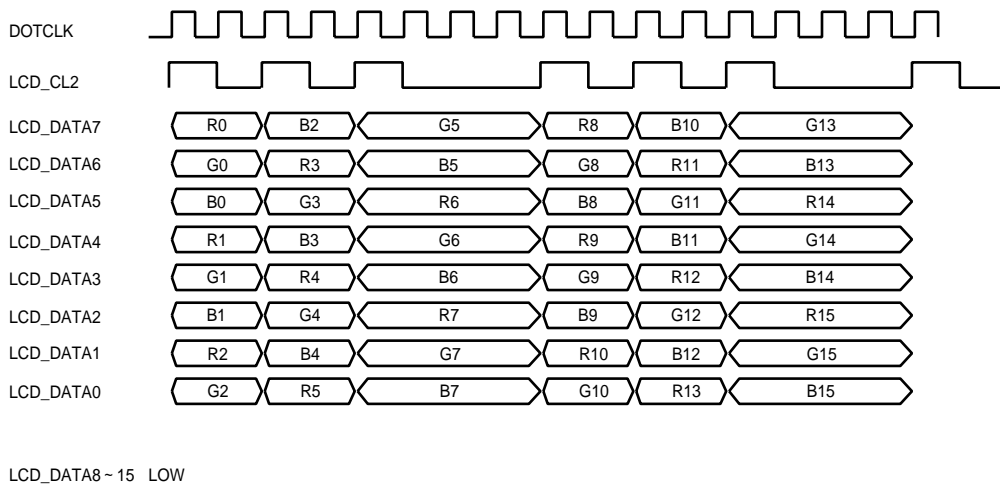


図 30.11 クロックと LCD データ信号例

5) STNカラー12ビットデータバスモジュール

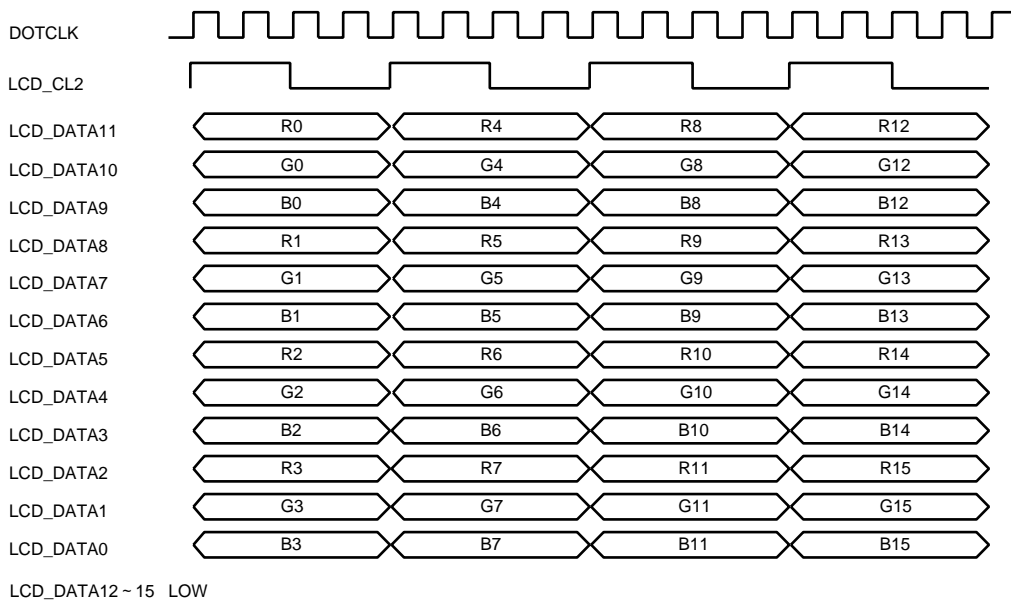


図 30.12 クロックと LCD データ信号例

30. LCD コントローラ (LCDC)

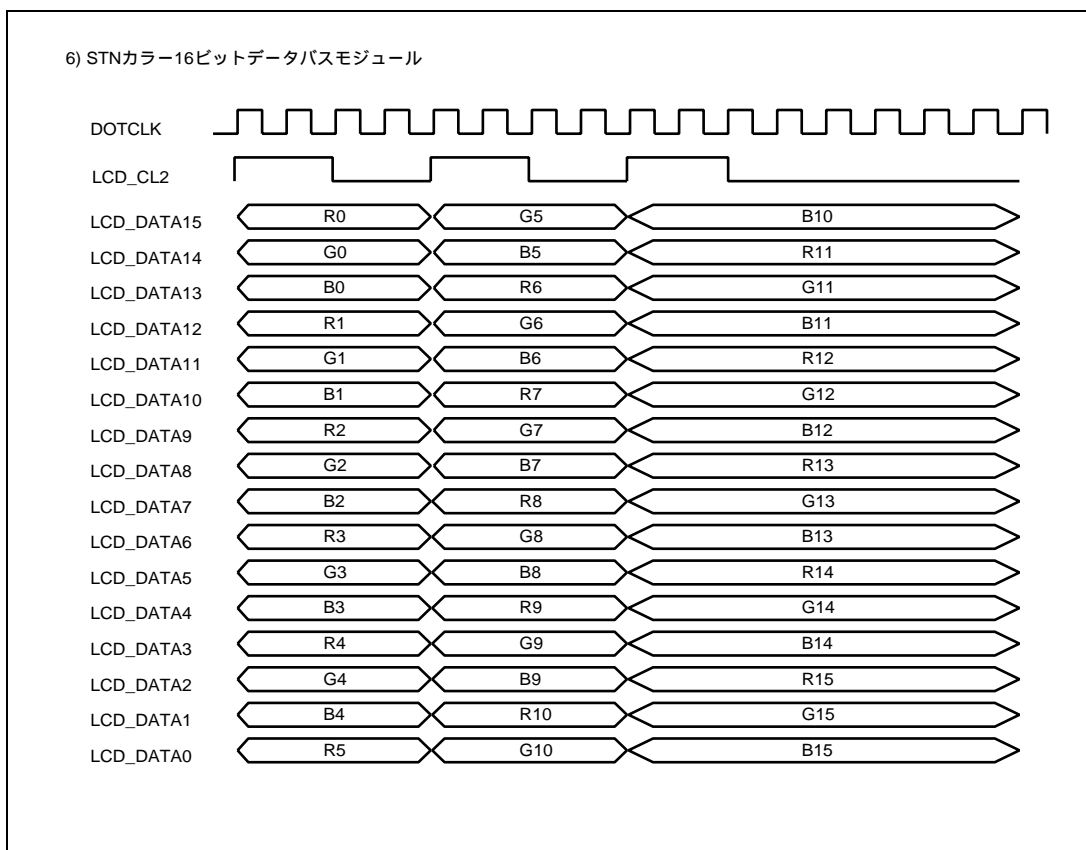


図 30.13 クロックと LCD データ信号例

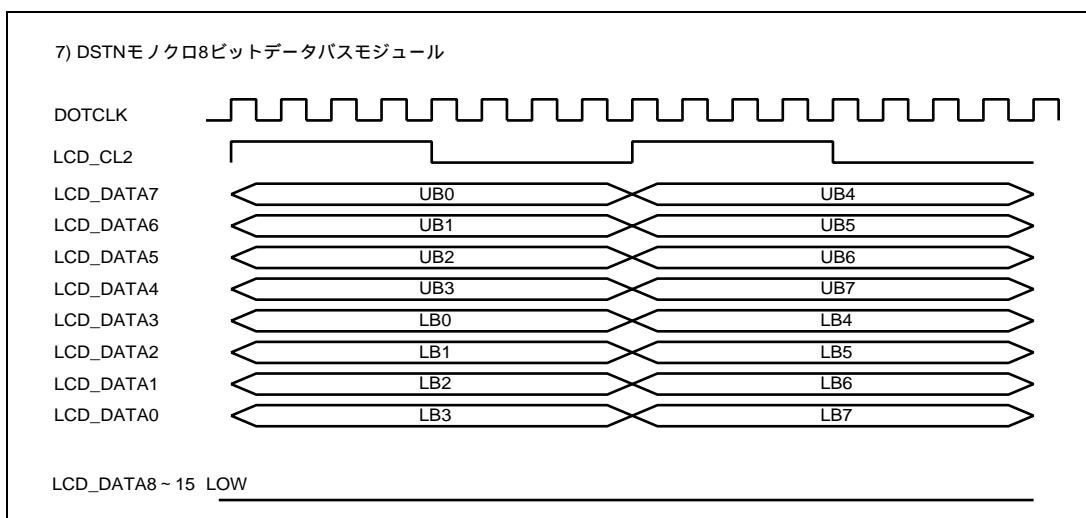


図 30.14 クロックと LCD データ信号例

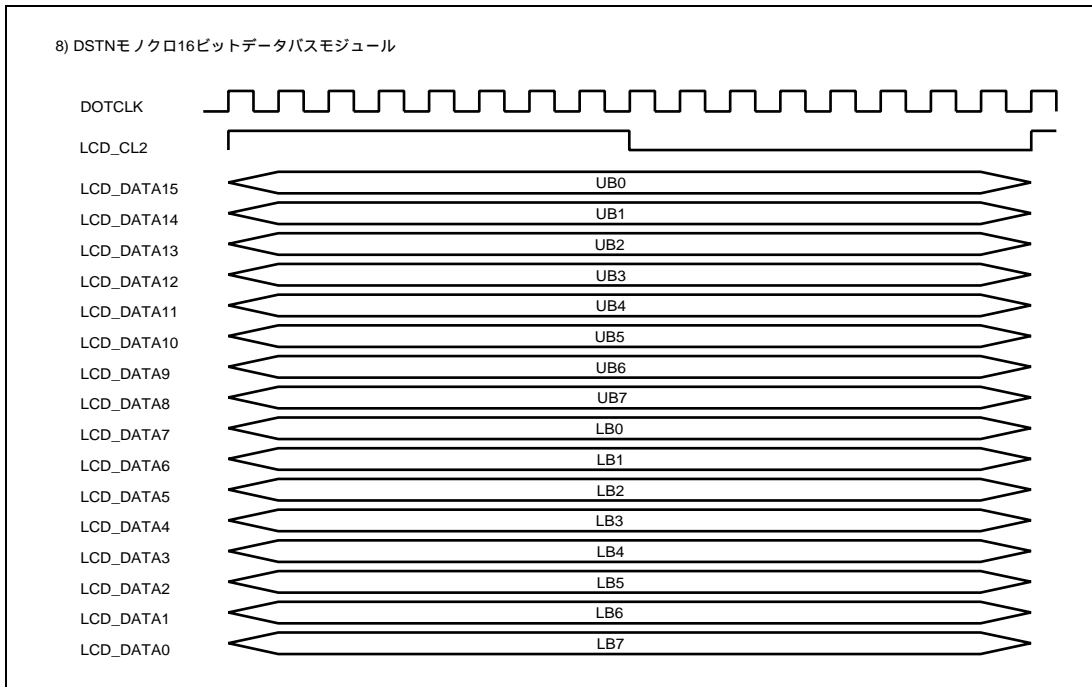


図 30.15 クロックと LCD データ信号例

30. LCD コントローラ (LCDC)

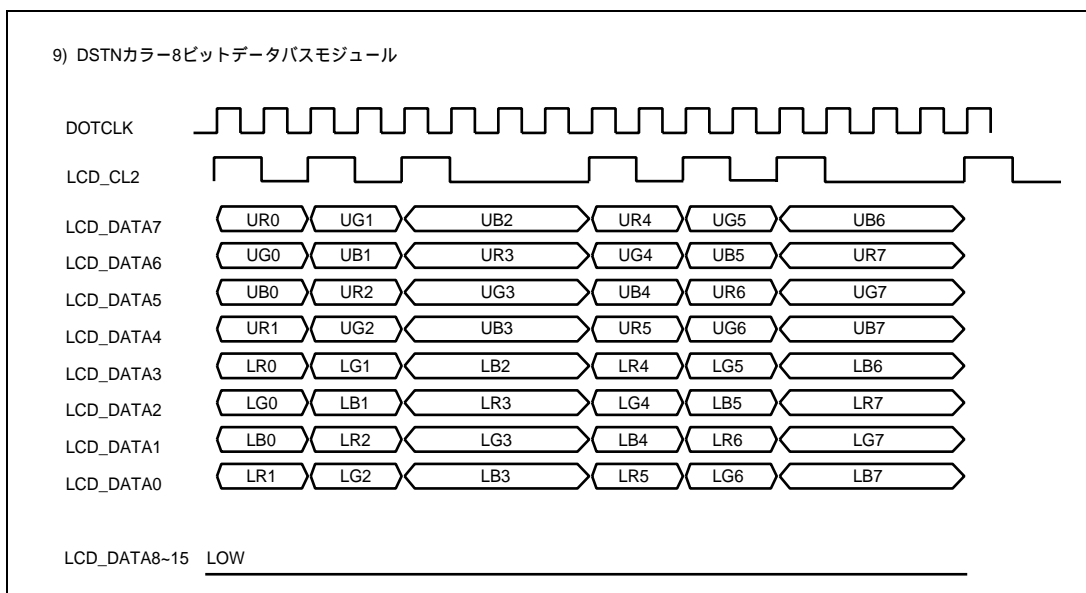


図 30.16 クロックと LCD データ信号例

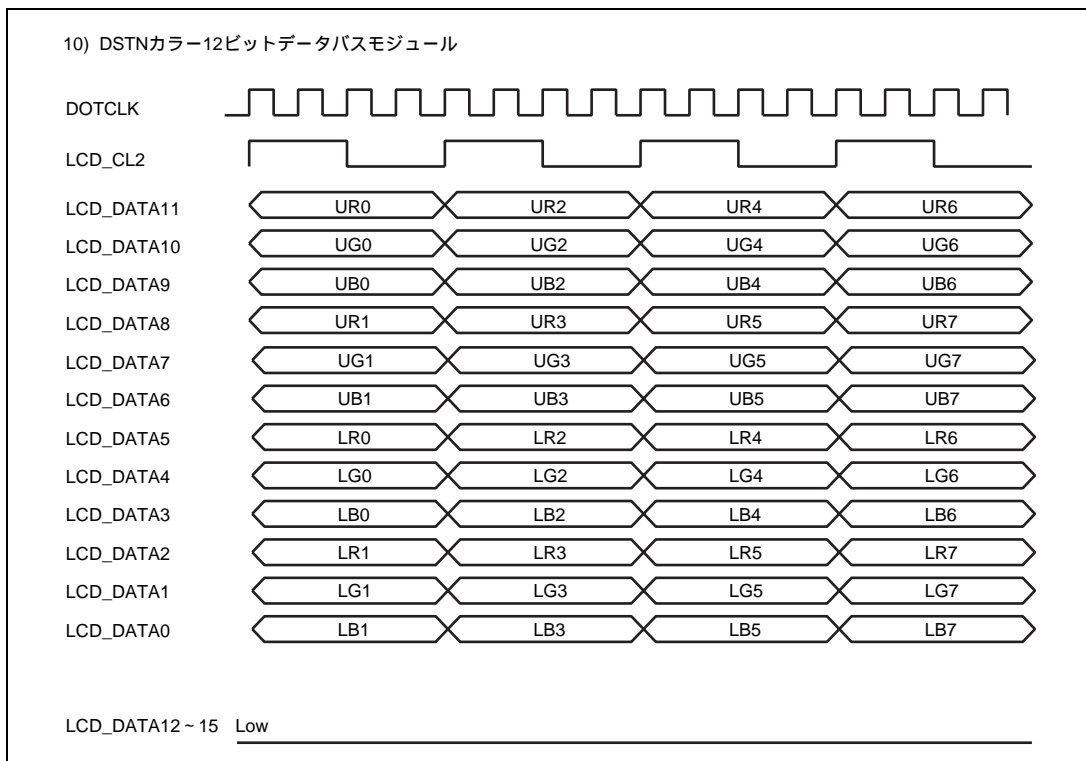


図 30.17 クロックと LCD データ信号例

11) DSTNカラー16ビットデータバスモジュール

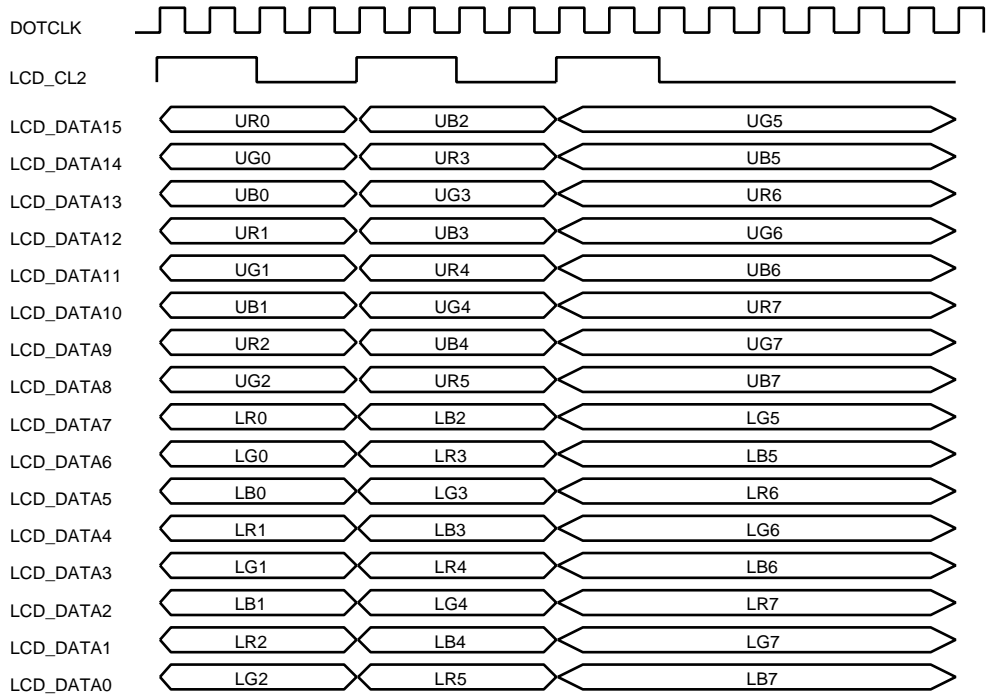


図 30.18 クロックと LCD データ信号例

30. LCD コントローラ (LCDC)

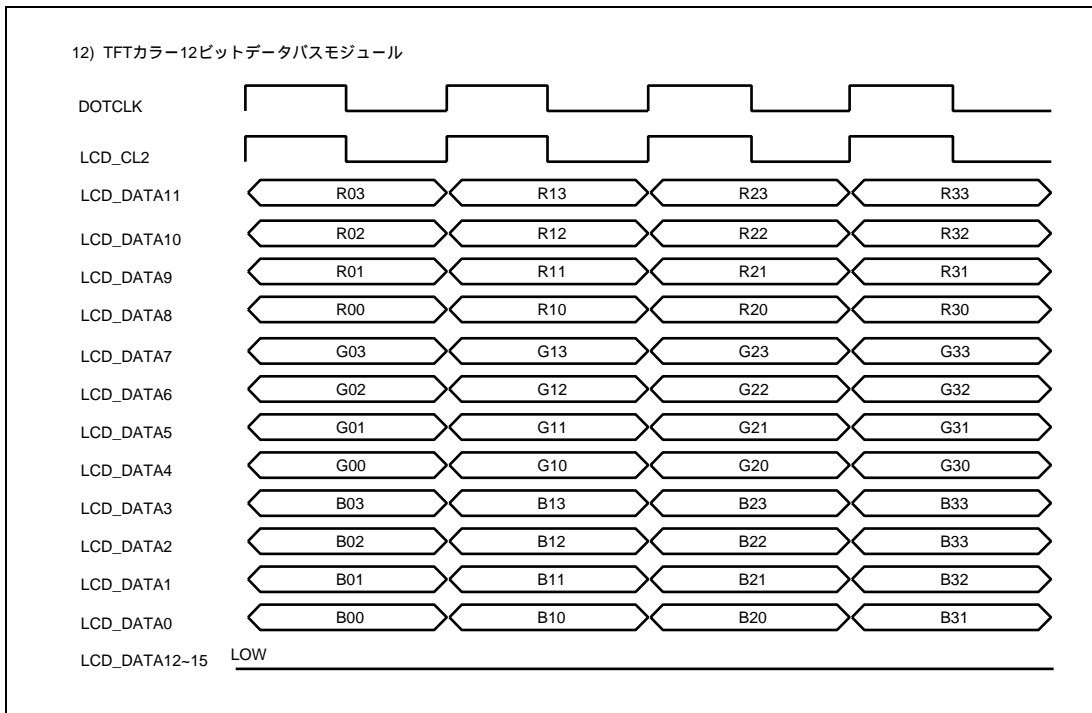


図 30.19 クロックと LCD データ信号例

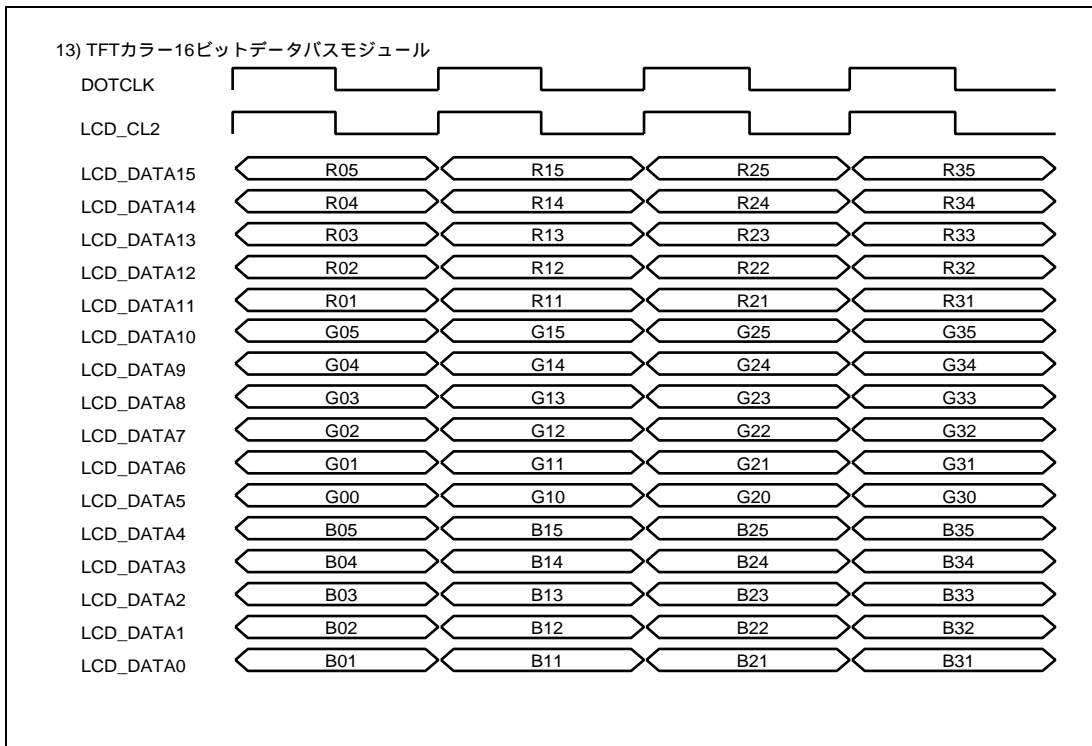


図 30.20 クロックと LCD データ信号例

30. LCD コントローラ (LCDC)

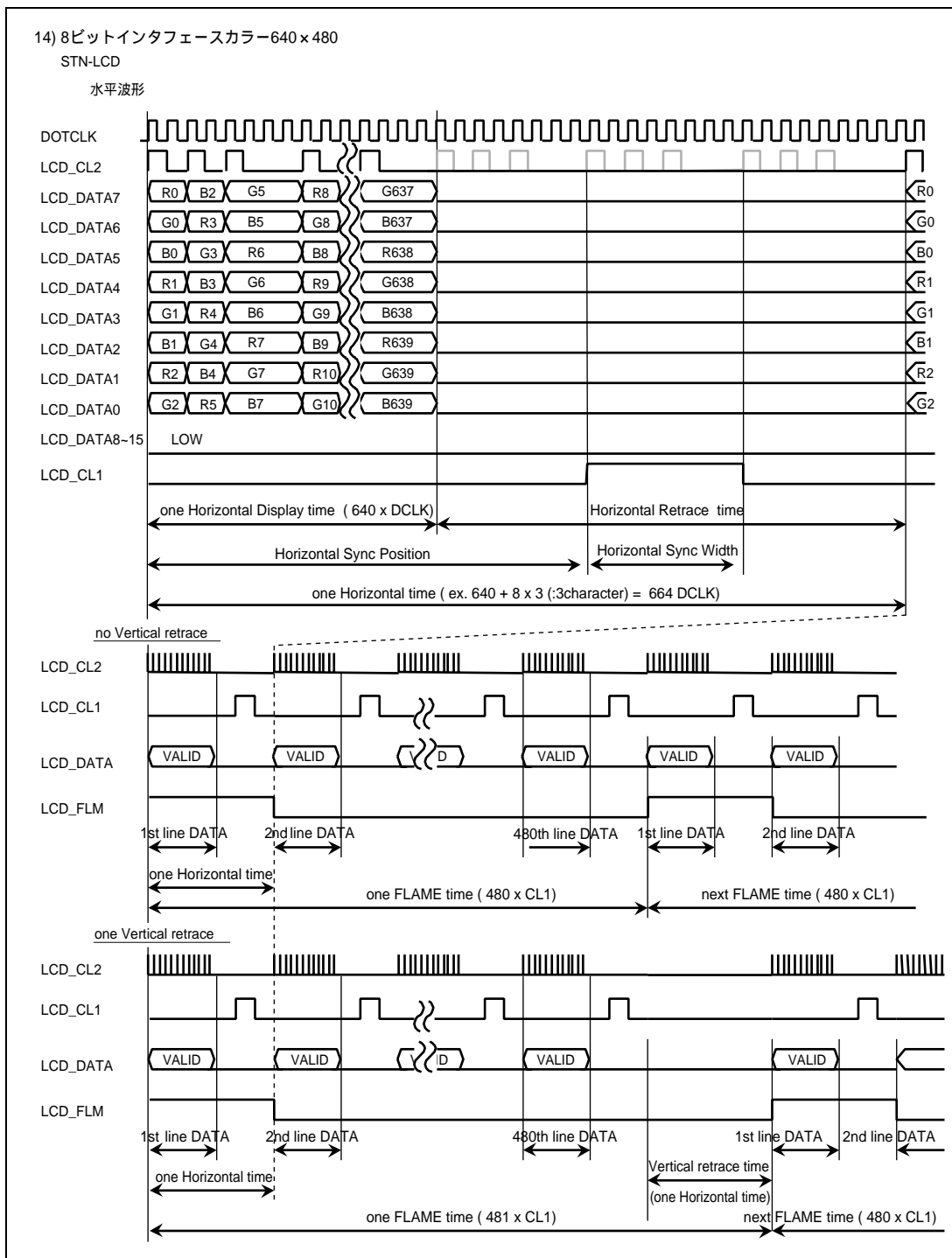


図 30.21 クロックと LCD データ信号例

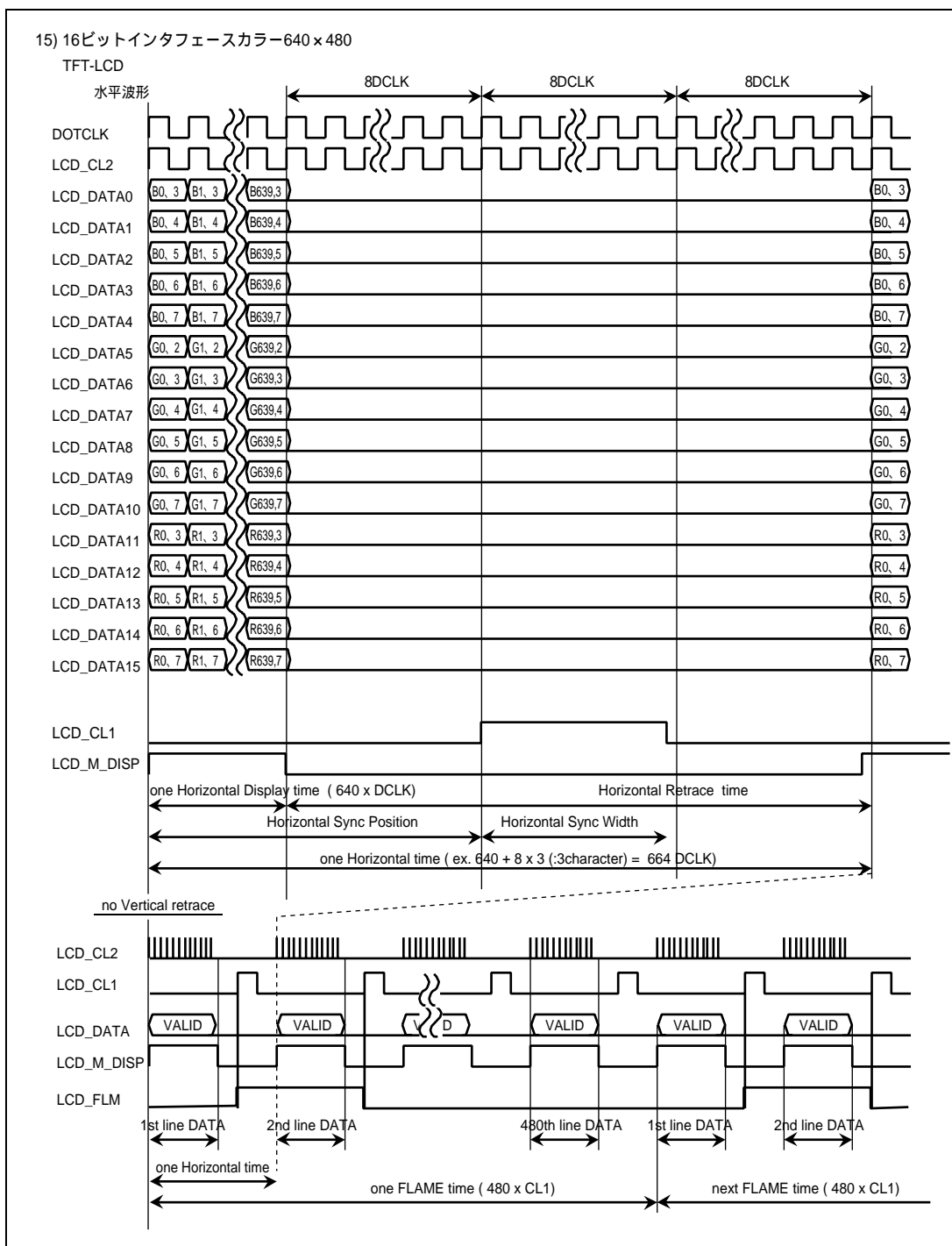


図 30.22 クロックと LCD データ信号例

30.6 使用上の注意事項

30.6.1 LCDC で表示可能な液晶モジュールのサイズについて

本 LSI の表示可能な液晶モジュールの表示サイズについて、下記条件式を満たすことを目安にして設定をお願いします。条件式を満たさない場合、表示が乱れる可能性が増加しますので、システムに合わせて設定条件の見直しをお願いします。

$$\text{条件式：} (\text{水平解像度 [pixel]} \times \text{表示色数 [bpp]} / 8 \times \text{水平同期周波数 [kHz]}) / 1000 \\ < \text{Bck 周波数 [MHz]} / 3.6$$

30.6.2 ハードウェアローテーション機能について

本 LSI では、ハードウェアローテーションモードを使用した場合、LCD モジュールへのデータ転送レートを下記条件式を満たすことを目安にして設定をお願いします。条件式を満たさない場合、表示が乱れる可能性が増加しますので、システムに合わせて設定条件の見直しをお願いします。

$$\text{条件式：} (\text{水平解像度 [pixel]} \times \text{表示色数 [bpp]} / 8 \times \text{水平同期周波数 [kHz]}) / 1000 \\ < \text{Bck 周波数 [MHz]} / 50$$

(例) 水平解像度：320pixel、表示色数：16bpp、水平同期周波数：15.6kHz、Bck 周波数：66MHz の場合、
($320 \times 16 / 8 \times 15.6$) / 1000 = 9.98 [MByte/sec] > $66/50 = 1.32$: ハードウェアローテーション使用時より、ハードウェアローテーション機能を使用する場合は条件式を満たさないため、システムによっては、設定条件の見直しが必要になります。

30.6.3 電源遮断時について

電源遮断時には、下記式を満たすように LDPMMR.OFFD[3:0]、LDPSPR.OFFE[3:0]、LDPSPR.OFFF[3:0]を設定してください。

$$\text{「} 70 \times 80 \times \text{tBcyc} > 0.084 \quad 0.1\text{ms} \text{」}$$

上記式を満たさない場合は、下記フローに従い LCDC を停止させてください。

1. LDPMMR.LPS=11であることを確認する。
2. LDCNTR.DON/DON2=0に設定する。(LCD表示OFF)
3. LDPMMR.LPS=00かを確認する。
4. DMACのSAR0をリードして転送元アドレスが変化しないことを確認する。

31. ユーザブレイクコントローラ (UBC)

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU が発生するバスサイクルの内容に応じてユーザブレイク割り込みを発生します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

31.1 特長

UBC は次のような特長があります。

- ブレイクチャンネル数：2チャンネル (チャンネルA、B)
- チャンネルAおよびBについて単独条件、またはシーケンシャル条件でユーザブレイク割り込みを要求 (シーケンシャルブレイク設定：チャンネルA チャンネルB)
- ブレイク条件として以下のことを設定可能
 - アドレス (32ビット仮想アドレスとASIDを比較対象として選択)
アドレス：全ビット比較 / 下位10ビットマスク / 下位12ビットマスク / 下位16ビットマスク / 下位20ビットマスク / 全ビットマスク
ASID：全ビット比較 / 全ビットマスク
 - データ (チャンネルBのみ、32ビットマスク可能)
 - バスサイクル：命令アクセス / オペランドアクセス
 - 読み出し / 書き込み
 - オペランドサイズ：バイト / ワード / ロングワード / クワッドワード
- 命令アクセスサイクルでのブレイクでは、命令の実行前に停止するか、実行後に停止するか選択できます。

31. ユーザブレイクコントローラ (UBC)

図 31.1 に UBC のブロック図を示します。

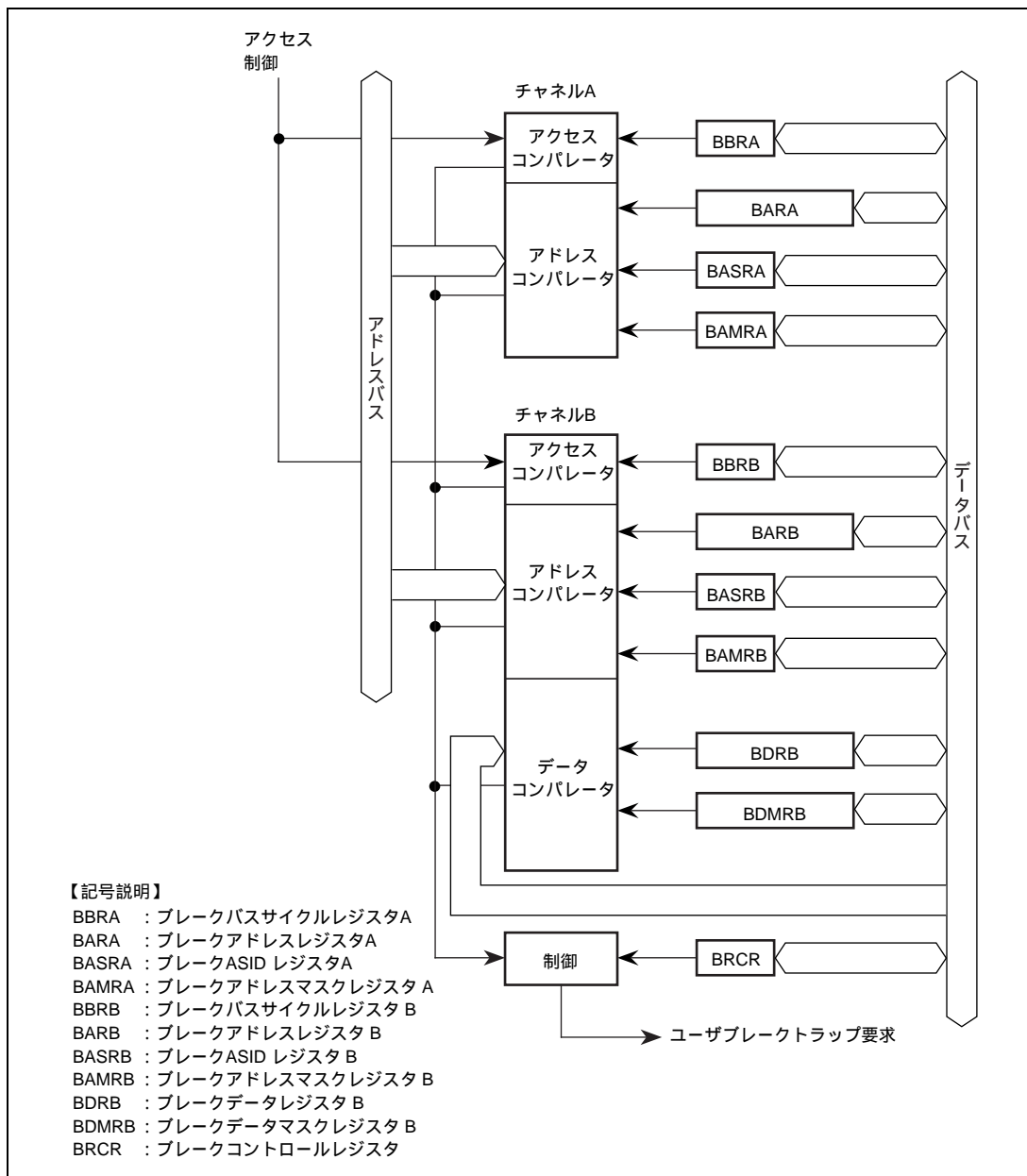


図 31.1 UBC のブロック図

31.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 32 章 レジスタ一覧」を参照してください。

表 31.1 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
ブ레이크アドレスレジスタ A	BARA	R/W	H'FF20 0000	H'1F20 0000	32	lck
ブ레이크 ASID レジスタ A	BASRA	R/W	H'FF00 0014	H'1F00 0014	8	lck
ブ레이크アドレスマスクレジスタ A	BAMRA	R/W	H'FF20 0004	H'1F20 0004	8	lck
ブ레이크バスサイクルレジスタ A	BBRA	R/W	H'FF20 0008	H'1F20 0008	16	lck
ブ레이크アドレスレジスタ B	BARB	R/W	H'FF20 000C	H'1F20 000C	32	lck
ブ레이크 ASID レジスタ B	BASRB	R/W	H'FF00 0018	H'1F00 0018	8	lck
ブ레이크アドレスマスクレジスタ B	BAMRB	R/W	H'FF20 0010	H'1F20 0010	8	lck
ブ레이크バスサイクルレジスタ B	BBRB	R/W	H'FF20 0014	H'1F20 0014	16	lck
ブ레이크データレジスタ B	BDRB	R/W	H'FF20 0018	H'1F20 0018	32	lck
ブ레이크データマスクレジスタ B	BDMRB	R/W	H'FF20 001C	H'1F20 001C	32	lck
ブ레이크コントロールレジスタ	BRCR	R/W	H'FF20 0020	H'1F20 0020	16	lck

表 31.1 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による/ ディープスリープ	ハード による	ソフトによる /モジュール毎 による
ブ레이크アドレスレジスタ A	BARA	不定	保持	保持	*1	保持
ブ레이크 ASID レジスタ A	BASRA	不定	保持	保持		保持
ブ레이크アドレスマスクレジスタ A	BAMRA	不定	保持	保持		保持
ブ레이크バスサイクルレジスタ A	BBRA	H'0000	保持	保持		保持
ブ레이크アドレスレジスタ B	BARB	不定	保持	保持		保持
ブ레이크 ASID レジスタ B	BASRB	不定	保持	保持		保持
ブ레이크アドレスマスクレジスタ B	BAMRB	不定	保持	保持		保持
ブ레이크バスサイクルレジスタ B	BBRB	H'0000	保持	保持		保持
ブ레이크データレジスタ B	BDRB	不定	保持	保持		保持
ブ레이크データマスクレジスタ B	BDMRB	不定	保持	保持		保持
ブ레이크コントロールレジスタ	BRCR	H'0000*2	保持	保持		保持

【注】 *1 ハードウェアスタンバイからの復帰後は RESET 端子によるパワーオンリセットの状態となります。

*2 不定ビットが含まれています。レジスタの説明を参照してください。

31. ユーザブ레이크コントローラ (UBC)

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。レジスタの内容は、浮動小数点メモリロード命令で浮動小数点レジスタにアクセスすることはできません。レジスタを更新する場合、更新データを有効にするために次のいずれかの方法を用いてください。

1. レジスタを更新したメモリストア命令の後でRTE命令を実行します。更新データはRTE命令のジャンプ先以降有効になります。
2. レジスタを更新したメモリストア命令の後、実行に5ステートかかる命令を実行します。本LSIは並行して2つの命令を実行し、1つの命令を実行するのに最低0.5ステートかかるので、11命令を挿入しなければなりません。更新データは第6ステート以降有効になります。

31.2.1 ブレークアドレスレジスタ A、B (BARA、BARB)

BARA、BARB は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。BARA はチャンネル A の、BARB はチャンネル B のブレーク条件とする仮想アドレスを指定します。

• BARA

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAA31~0	-	R/W	ブレークアドレス A31~0 チャンネル A のブレーク条件とする仮想アドレスを格納します。

• BARB

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~0	-	R/W	ブレークアドレス B31~0 チャンネル B のブレーク条件とする仮想アドレスを格納します。

31.2.2 ブレーク ASID レジスタ A、B (BASRA、BASRB)

BASRA、BASRB は、それぞれ読み出し / 書き込み可能な 8 ビットのレジスタです。BASRA はチャンネル A の、BASRB はチャンネル B のブレイク条件とする ASID を指定します。

- BASRA

ビット:	7	6	5	4	3	2	1	0
	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	BASA7~0	-	R/W	ブレイク ASID A7~0 チャンネル A のブレイク条件とする ASID (ビット 7~0) を格納します。

- BASRB

ビット:	7	6	5	4	3	2	1	0
	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	BASB7~0	-	R/W	ブレイク ASID B7~0 チャンネル B のブレイク条件とする ASID (ビット 7~0) を格納します。

31.2.3 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は、読み出し / 書き込み可能な 8 ビットのレジスタです。BAMRA は、BASRA に設定されているブレイク ASID と BASRA に設定されているブレイクアドレスのうち、どのビットをマスクするかを指定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	BAMA2	BAMA	BAMA1	BAMA0
初期値:	0	0	0	0	-	-	-	-
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BASMA	-	R/W	ブレイク ASID マスク A BASRA に設定されているチャンネル A のブレイク ASID7~0 (BASA7~0) の各ビットをマスクするかどうかを指定します。 0 : BASRA の全ビットをブレイク条件に含める 1 : BASRA の全ビットをブレイク条件に含めない

31. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
3	BAMA2	-	R/W	ブ레이크アドレスマスク A2 ~ A0 BARA に設定されているチャンネル A のブ레이크アドレス 31 ~ 0 (BAA31 ~ BAA0) の各ビットをマスクするかどうかを指定します。 000 : BARA の全ビットをブ레이크条件に含める 001 : BARA の下位 10 ビットをマスクし、条件に含めない 010 : BARA の下位 12 ビットをマスクし、条件に含めない 011 : BARA の全ビットをマスクし、条件に含めない 100 : BARA の下位 16 ビットをマスクし、条件に含めない 101 : BARA の下位 20 ビットをマスクし、条件に含めない 11x : 設定禁止
1	BAMA1	-	R/W	
0	BAMA0	-	R/W	

【記号説明】 x : Don't care

31.2.4 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、読み出し / 書き込み可能な 8 ビットのレジスタです。BAMRB は、BASRB に設定されているブ레이크 ASID と BARB に設定されているブ레이크アドレスのうち、どのビットをマスクするかを指定します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	BAMB2	BASMB	BAMB1	BAMB0
初期値 :	0	0	0	0	-	-	-	-
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BASMB	-	R/W	ブ레이크 ASID マスク B BASRB に設定されているチャンネル B のブ레이크 ASID7 ~ 0 (BASB7 ~ 0) の各ビットをマスクするかどうかを指定します。 0 : BASRB の全ビットをブ레이크条件に含める 1 : BASRB の全ビットをブ레이크条件に含めない
3	BAMB2	-	R/W	ブ레이크アドレスマスク B2 ~ B0 BARB に設定されているチャンネル B のブ레이크アドレス 31 ~ 0 (BAB31 ~ BAB0) の各ビットをマスクするかどうかを指定します。 000 : BARB の全ビットをブ레이크条件に含める 001 : BARB の下位 10 ビットをマスクし、条件に含めない 010 : BARB の下位 12 ビットをマスクし、条件に含めない 011 : BARB の全ビットをマスクし、条件に含めない 100 : BARB の下位 16 ビットをマスクし、条件に含めない 101 : BARB の下位 20 ビットをマスクし、条件に含めない 11x : 設定禁止
1	BAMB1	-	R/W	
0	BAMB0	-	R/W	

【記号説明】 x : Don't care

31.2.5 ブレイクバスサイクルレジスタ A (BBRA)

BBRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、チャンネル A のブレイク条件のうち (1) 命令アクセス / オペランドアクセス、(2) 読み出し / 書き込み、(3) オペランドサイズ、の 3 条件を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SZA2	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5 4	IDA1 IDA0	0 0	R/W R/W	命令アクセス / オペランドアクセスセレクト A1、A0 チャンネル A のブレイク条件にするバスサイクルを命令アクセスサイクルにするかオペランドアクセスサイクルにするかを選択します。 00: 条件比較を行いません 01: 命令アクセスサイクルをブレイク条件とします 10: オペランドアクセスサイクルをブレイク条件とします 11: 命令アクセスサイクルまたはオペランドアクセスサイクルをブレイク条件とします
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し / 書き込みセレクト A1、A0 チャンネル A のブレイク条件にするバスサイクルを読み出しサイクルにするか書き込みサイクルにするかを選択します。 00: 条件比較を行いません 01: 読み出しサイクルをブレイク条件とします 10: 書き込みサイクルをブレイク条件とします 11: 読み出しサイクルまたは書き込みサイクルをブレイク条件とします
6 1 0	SZA2 SZA1 SZA0	0 0 0	R/W R/W R/W	オペランドサイズセレクト A2~A0 チャンネル A のブレイク条件にするバスサイクルのオペランドサイズを選択します。 000: ブレイク条件にオペランドサイズを含みません 001: バイトアクセスをブレイク条件とします 010: ワードアクセスをブレイク条件とします 011: ロングワードアクセスをブレイク条件とします 100: クワッドワードアクセスをブレイク条件とします 101: 設定禁止 11x: 設定禁止

【記号説明】 x : Don't care

31. ユーザブ레이크コントローラ (UBC)

31.2.6 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、チャンネル B のブレーク条件のうち (1) 命令アクセス / オペランドアクセス、(2) 読み出し / 書き込み、(3) オペランドサイズ、の 3 条件を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SZB2	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5 4	IDB1 IDB0	0 0	R/W R/W	命令アクセス / オペランドアクセスセレクト B1、B0 チャンネル B のブレーク条件にするバスサイクルを命令アクセスサイクルにするかオペランドアクセスサイクルにするかを選択します。 00: 条件比較を行いません 01: 命令アクセスサイクルをブレーク条件とします 10: オペランドアクセスサイクルをブレーク条件とします 11: 命令アクセスサイクルまたはオペランドアクセスサイクルをブレーク条件とします
3 2	RWB1 RWB0	0 0	R/W R/W	読み出し / 書き込みセレクト B1、B0 チャンネル B のブレーク条件にするバスサイクルを読み出しサイクルにするか書き込みサイクルにするかを選択します。 00: 条件比較を行いません 01: 読み出しサイクルをブレーク条件とします 10: 書き込みサイクルをブレーク条件とします 11: 読み出しサイクルまたは書き込みサイクルをブレーク条件とします
6 1 0	SZB2 SZB1 SZB0	0 0 0	R/W R/W R/W	オペランドサイズセレクト B2~B0 チャンネル B のブレーク条件にするバスサイクルのオペランドサイズを選択します。 000: ブレーク条件にオペランドサイズを含みません 001: バイトアクセスをブレーク条件とします 010: ワードアクセスをブレーク条件とします 011: ロングワードアクセスをブレーク条件とします 100: クワッドワードアクセスをブレーク条件とします 101: 設定禁止 11x: 設定禁止

【記号説明】 x : Don't care

31.2.7 ブ레이크データレジスタ B (BDRB)

BDRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル B のブ레이크条件とするデータ (ビット 31~0) を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~0	-	R/W	ブ레이크データ B31~0 ブ레이크チャンネル B のブ레이크条件とするデータ (ビット 31~0) を格納します。

31.2.8 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、BDRB に設定されているブ레이크データのどのビットをマスクするかを指定します。データバスの値をブ레이크条件に含めるときはオバランドサイズを指定してください。バイトサイズを指定するときは、BDRB および BDMRB のビット 15~8、7~0 に同じデータを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31~0	-	R/W	ブ레이크データマスク B31~0 BDRD に設定されているチャンネル B のブ레이크データ Bn (BDBn) の各ビットをマスクするかどうかを指定します。 0: チャンネル B のブ레이크アドレス BDBn をブ레이크条件に含める 1: チャンネル B のブ레이크アドレス BDBn をマスクし、条件に含めない

【注】 n=31~0

31. ユーザブレイクコントローラ (UBC)

31.2.9 ブレイクコントロールレジスタ (BRCR)

BRCR は、読み出し / 書き込み可能な 16 ビットのレジスタです。BRCR は、(1) チャンネル A、B を独立 2 チャンネルまたはシーケンシャル条件のどちらで使用するか、(2) 命令実行前 / 実行後のどちらでブレイクするか、(3) チャンネル B のブレイク条件に BDRB を含めるか、(4) ユーザブレイクデバッグ機能を使用するかを設定をします。また、条件一致フラグを持っています。BRCR の CMFA、CMFB、および UBDE ビットは、パワーオンリセット時に 0 に初期化されます。スタンバイモード時には、値は保持されます。PCBA、DBEB、PCBB、SEQ ビットは、パワーオンリセットおよびマニュアルリセット時に不定となりますので、必要に応じてソフトウェアで初期化してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMFA	CMFB	-	-	-	PCBA	-	-	DBEB	PCBB	-	-	SEQ	-	-	UBDE
初期値:	0	0	0	0	0	-	0	0	-	-	0	0	-	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	CMFA	0	R/W	<p>コンディションマッチフラグ A</p> <p>チャンネル A に設定したブレイク条件が成立したとき、このビットは 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込んでクリアしてください。</p> <p>0: チャンネル A のブレイク条件は一致していません 1: チャンネル A のブレイク条件の一致がありました</p>
14	CMFB	0	R/W	<p>コンディションマッチフラグ B</p> <p>チャンネル B に設定したブレイク条件が成立したとき、このビットが 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込んでクリアしてください。</p> <p>0: チャンネル B のブレイク条件は一致していません 1: チャンネル B のブレイク条件の一致がありました</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10	PCBA	-	R/W	<p>命令アクセスブレイクセレクト A</p> <p>チャンネル A の命令アクセスサイクルでのブレイクタイミングを命令実行前にするか実行後にするかを選択します。</p> <p>0: チャンネル A の PC ブレイクを命令実行前にします 1: チャンネル A の PC ブレイクを命令実行後にします</p>
9、8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7	DBEB	-	R/W	<p>データブレイクイネーブル B</p> <p>チャンネル B のブレイク条件にデータバスの条件を含めるかどうかを選択します。データバスをブレイク条件に含める場合、BBRB の IDB[1:0] = 10 または 11 としてください。</p> <p>0: チャンネル B のブレイク条件にデータバスの条件を含めません 1: チャンネル B のブレイク条件にデータバスの条件を含めます</p>

ビット	ビット名	初期値	R/W	説明
6	PCBB	-	R/W	PC ブレークセレクト B チャンネル B の命令アクセスサイクルでのブレークタイミングを命令実行前にするか実行後にするかを選択します。 0 : チャンネル B の PC ブレークを命令実行前にします 1 : チャンネル B の PC ブレークを命令実行後にします
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SEQ	-	R/W	シーケンス条件セレクト チャンネル A、B の 2 本の条件を、独立かシーケンシャルかを選択します。 0 : チャンネル A、B を独立条件でコンペアします 1 : チャンネル A、B をシーケンシャル条件でコンペアします (チャンネル A B)
2、1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBDE	0	R/W	ユーザブレイクデバッグイネーブル ユーザブレイクデバッグサポート機能を使用するかどうかを選択します。 0 : ユーザブレイクデバッグ機能を使用しない 1 : ユーザブレイクデバッグ機能を使用する

31.3 動作説明

31.3.1 アクセスに関する用語の説明

命令アクセスとは命令を取得するアクセスのことです。たとえば、分岐命令の実行時、分岐先からの命令のフェッチは命令アクセスです。オペランドアクセスとは命令実行の目的のための任意のメモリアクセスのことです。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス (PC+disp×2+4) に対するアクセスはオペランドアクセスです。「データ」という用語はデータとアドレスを区別するために使用するので、本章では「オペランドアクセス」という用語を使用します。

すべてのオペランドアクセスを読み出しアクセスか書き込みアクセスとして扱います。次の命令は特別の注意が必要です。

- PREF、OCBPおよびOCBWB命令：読み出しアクセスとして扱います。
- MOVCA.LおよびOCBI命令：書き込みアクセスとして扱います。
- TAS.B命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令に対するオペランドアクセスはアクセスデータのないアクセスです。

すべてのオペランドアクセスをデータサイズを持つアクセスとして扱います。データサイズにはバイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令に対するオペランドデータサイズはロングワードとして扱います。

31.3.2 命令間隔に関する用語の説明

本章では、2つの命令間の距離を表す手段として「...後の1(2、3、...)命令」を次のように定義します。分岐は2つの命令の間隔として計算します。

(1) 分岐なしの命令のシーケンス例

100 命令 A (命令 A の後の 0 命令)
102 命令 B (命令 A の後の 1 命令)
104 命令 C (命令 A の後の 2 命令)
106 命令 D (命令 A の後の 3 命令)

(2) 分岐のある命令のシーケンス例 (ただし、遅延分岐命令の飛び先が自分自身 + 4 のときには、分岐しない命令列の例を適用してください)

100 命令 A : BT/S L200 (命令 A の後の 0 命令)
102 命令 B : (命令 A の後の 1 命令、命令 B の後の 0 命令)
L200 200 命令 C : (命令 A の後の 3 命令、命令 B の後の 2 命令)
202 命令 D : (命令 A の後の 4 命令、命令 B の後の 3 命令)

31.3.3 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

1. 命令アクセスの場合、実行前のブレイクかまたは実行後のブレイクかを指定し、オペランドアクセスの場合、データバス値をブレイク条件に加えるか否かを指定し、BRCRでチャンネルAブレイク条件とチャンネルBブレイク条件を独立して使用するかシーケンシャルで使用するかを指定します。各チャンネルに対するBARA、BARBにブレイクアドレスを設定し、BASRA、BASRBにブレイク空間に対応するASIDを設定し、BAMRA、BAMRBにアドレスとASIDマスク方法を設定します。ブレイク条件にデータバス値を含める場合は、BDRBにブレイクデータを、BDMRBにデータマスクも設定します。
2. BBRA、BBRBにブレイクバス条件を設定します。BBRA、BBRBの命令アクセス/オペランドアクセスセレクト (IDビット) および読み出し/書き込みセレクト (RWビット) グループのいずれかをB'00に設定すると、該当するチャンネルにユーザブレイク割り込みは発生しません。他のすべてのブレイク関連レジスタ設定が終了後、BBRAとBBRBの設定を行ってください。リセット後、ブレイクアドレスまたはデータ、マスクレジスタ、またはブレイクコントロールレジスタが初期状態で、BBRA、BBRBでブレイクを有効にする場合、誤ってブレイクを生成してしまう場合があります。
3. ブレイク条件を満足した場合の動作は、CPUのSRのBLビットによって異なります。BLビットが0のとき、例外処理が開始し、該当するチャンネルに対する条件一致フラグ (CMFA、CMFB) が一致条件に対してセットされます。BLビットが1の場合、該当するチャンネルの条件一致フラグ (CMFA、CMFB) は一致条件に対し

てセットされますが例外処理は開始しません。

条件一致フラグ (CMFA、CMFB) はブレイク条件一致でセットされますが、自動的にクリアされません。したがって、フラグを0にクリアするためにメモリストア命令をBRCCRに対して使用してください。条件一致フラグの正確な設定条件については、「31.3.6 条件一致フラグの設定」を参照してください。

4. シーケンシャル条件モードを選択し、チャンネルA条件の一致後、チャンネルB条件が一致すると、チャンネルB条件が一致した命令でブレイクが実行されます。チャンネルA条件一致とチャンネルB条件一致が接近して発生する場合の動作については、「31.3.8 シーケンシャル条件に対応した隣接A、Bの設定」を参照してください。シーケンシャル条件では、チャンネルB条件一致フラグのみがセットされます。シーケンシャル条件モードを選択し、チャンネルA条件が一致し、しかもチャンネルB条件がまだ一致していないときにチャンネルA一致をクリアしたい場合、BRCCRのSEQビットに0を書き込むことによって行うことができます。

31.3.4 命令アクセスサイクルブレイク

1. BBRA、BBRBで命令アクセス/読み出し/ワード設定を行うと、命令アクセスサイクルはブレイク条件として使用することができます。この場合、該当する命令の実行前か実行後かのどちらでブレイクするかはBRCCRのPCBA、PCBBビットで選択できます。ブレイク条件として命令アクセスサイクルを使用する場合、BARA、BARBのLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 実行前ブレイクを指定すると、命令をフェッチし実行することが確定した時点でブレイクが実行されます。したがって、オーバランフェッチした命令 (フェッチしても分岐または例外が発生すると実行されない命令) ではブレイクが発生しません。ただし、ブレイク対象の命令のフェッチ時にTLBミスまたはTLB保護違反例外が発生する場合、まずブレイク例外処理が実行されます。命令TLB例外処理は、命令が再実行されるときに実行されます (「8.2 例外の種類と優先順位」を参照)。また、遅延分岐命令と遅延スロット命令は1つの命令として実行されるので、遅延スロット命令に実行前ブレイクが指定される場合、遅延分岐命令の実行前にブレイクが実行されます。ただし、RTE命令の遅延スロット命令には実行前ブレイクを指定することはできません。
3. 実行後ブレイクでは、ブレイク条件として命令が実行された後、次の命令の実行前にブレイク割り込みが発生します。遅延分岐命令に実行後ブレイクを設定すると、遅延スロットが実行され、(分岐を行うとき)分岐先の命令、または(分岐を行わないとき)遅延スロット命令の次の命令の実行の前にブレイクが実行されます。
4. チャンネルBに命令アクセスサイクルを設定すると、命令アクセス一致があるかどうかを判断する際、BDRBは無視されます。したがって、BRCCRのDBEBビットはブレイク条件を実行しません。

31.3.5 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、アドレスバス比較に含まれるビットはBBRA、BBRBのデータサイズ指定によって以下のように異なります。

データサイズ	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
条件には含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

2. データバスをチャンネルBのブレイク条件に含める場合

ブレイク条件にデータ値が含まれる場合は、BRRCRのDBEBを1にセットします。アドレス条件の他にBDRBとBDMRBの設定が必要になります。アドレス、ASID、データの3つの条件がすべて一致すると、ユーザブレイク割り込みが発生します。クワッドワードアクセスが発生すると、64ビットアクセスデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として解釈されます。32ビットデータ単位のいずれかがデータ一致条件を満足するとブレイクが発生します。

BBRBのIDB1、IDB0ビットを10または11に設定してください。バイトデータを指定するとき、同じデータをBDRBとBDMRBのビット15~8とビット7~0からなる2つのバイトに設定しなければなりません。ワードまたはバイトを設定する場合、BDRBとBDMRBのビット31~16は無視されます。

3. BRRCRのDBEBビットを1にセットすると、アクセスデータのないオペランドアクセス (PREF、OCBP、OCBWB、OCBI命令のオペランドアクセス) ではブレイクは発生しません。

31.3.6 条件一致フラグの設定

- (1) 実行後条件付き命令アクセスまたはオペランドアクセス

ブレイクを発生させる命令の実行が完了するとフラグがセットされます。ただし、この例外として複数のオペランドアクセスを持つ命令の場合、命令の実行が完了するまで待つことなく一致条件の検出だけでフラグがセットされることがあります。

- 例1:

100 BT L200 (分岐実行)

102 命令 (チャンネルA上のオペランドアクセスブレイク) フラグはセットされない

- 例2:

110 FADD (FPU例外)

112 命令 (チャンネルA上のオペランドアクセスブレイク) フラグはセットされない

(2) 実行前条件付き命令アクセス

ブレイク一致条件の検出時にフラグはセットされます。

- 例1:

110 命令 (チャンネルA上の実行前ブレイク) フラグはセットされる

112 命令 (チャンネルB上の実行前ブレイク) フラグはセットされない

- 例2:

110 命令 (チャンネルB上の実行前ブレイク、命令アクセスTLBミス) フラグはセットされる

31.3.7 回避したプログラムカウンタ (PC) 値

1. 命令アクセス (実行前) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに回避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令のアドレスです。この場合、ユーザブレイク割り込みが発生し、フェッチした命令は実行されません。
2. 命令アクセス (実行後) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに回避するPCの値は、ブレイク条件一致が発生した命令の次に実行される命令のアドレスです。この場合、フェッチした命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
3. 命令アクセス (実行後) ブレイク条件を遅延分岐命令に設定する場合、遅延スロット命令が実行され、(分岐する場合) 分岐先の命令または (分岐しない場合) 遅延スロット命令の次の命令の実行の前にユーザブレイクが実行されます。この場合、SPCに回避するPCの値は、(分岐する場合) 分岐先、または (分岐しない場合) 遅延スロット命令の次の命令のアドレスです。
4. オペランドアクセス (アドレスのみ) をブレイク条件に設定した場合、条件が一致した命令の次に実行される命令のアドレスがSPCに回避されます。条件が一致した命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
5. オペランドアクセス (アドレス+データ) をブレイク条件として設定する場合、条件が一致した命令は実行を完了します。1命令後から4命令後まで命令の実行前にユーザブレイク割り込みが発生します。1命令後から4命令後までのどの命令で割り込みが発生するかを指定することは不可能です。ユーザブレイク割り込み処理が開始した時点で実行を完了する命令の次の命令の先頭アドレスがSPCに回避されます。1命令後の命令と4命令後の命令の間にある命令が別の例外が発生するときのコントロールは次のように実行されます。

ブレイクによって発生する例外を例外1、1命令後の命令と4命令後の命令の間にある命令によって発生する例外を例外2とすると、例外2によって実行できないメモリ更新とレジスタ更新は、例外1の存在には関係なく保証されます。回避したPCの値は、実行を抑制した最初の命令のアドレスです。例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値に例外1、例外2のどちらを使用するかは保証されません。ただし、例外2が命令に同期していないソースからの場合 (外部割り込みまたは周辺モジュール割り込み)、例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値には例外1が使用されます。

31. ユーザブレークコントローラ (UBC)

31.3.8 シーケンシャル条件に対応した隣接 A、B の設定

チャンネル A とチャンネル B の一致タイミングが接近している場合、シーケンシャルブレークは保証されない場合があります。保証範囲に関する規約を以下に示します。

1. チャンネルA、チャンネルB両方における命令アクセス一致

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

2. チャンネルA上の命令アクセス一致、チャンネルB上のオペランドアクセス一致

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

3. チャンネルA上のオペランドアクセス一致、チャンネルB上の命令アクセス一致

命令 B は命令 A の 0~3 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 4 命令以上後	シーケンシャル動作は保証されます。

4. チャンネルA、チャンネルB両方におけるオペランドアクセス一致

単一オペランドアクセスがチャンネルA、チャンネルB両方のブレーク条件に一致するような設定はしないでください。それ以外の制限はありません。たとえば、1つの命令中の2つのアクセスがチャンネルAとチャンネルBの条件に順番に一致したとしてもシーケンシャル動作は保証されます。

31.4 使用上の注意事項

- SLEEP命令に対しては、実行後命令アクセスブレイクを実行しないでください。
- SLEEP命令の1~3命令前では、オペランドアクセスブレイクの設定をしないでください。
- ユーザブレイク例外で参照するBLビットの値は、ブレイク設定によって異なります。
 - 実行前命令アクセスブレイク： 実行した命令の前のBLビット値を参照します。
 - 実行後命令アクセスブレイク： 実行した命令の前後のBLビットのOR値を参照します。
 - オペランドアクセスブレイク（アドレス/データ）： 実行した命令の後のBLビット値を参照します。
 - BLビットを変更する命令の場合

BL ビット	実行前命令 アクセス	実行後命令 アクセス	実行前命令 アクセス	実行後命令 アクセス	オペランドアクセス (アドレス/データ)
0 0	A	A	A	A	A
1 0	M	M	M	M	A
0 1	A	M	A	M	M
1 1	M	M	M	M	M

(A: 受付け、 M: マスク)

- RTEの遅延スロットの場合
遅延スロット命令の実行の前のBLビット値は、RTE命令の実行前のBLビット値と同じです。遅延スロット命令の実行の後のBLビット値は、RTE命令により復帰したときに最初に実行される命令の最初のBLビット値と同じ（RTEの実行の前のSSRのBLビット値と同じ）です。
 - BLビットが0で割り込みまたは例外を受け付ける場合、例外処理ルーチンの最初の命令の実行前のBLビットの値は1です。
- チャンネルA、B両方が同時に独立して一致し、またその結果SPC値が両方のユーザブレイク割り込みに対して同じ場合、ユーザブレイク割り込みは一度だけ発生しますが、CMFAビット、CMFBビットはともにセットされます。たとえば、

110 命令（チャンネルA上の実行後命令ブレイク） SPC=112, CMFA=1

112 命令（チャンネルB上の実行前命令ブレイク） SPC=112, CMFB=1
 - BRCRのPCBAビットまたはPCBBビットは、命令アクセスブレイクの設定に対して有効です。
 - BRCRのSEQビットが1の場合、内部シーケンシャルブレイク状態はチャンネルB条件一致によって初期化されます。たとえば、A A B（ユーザブレイクの発生） B（何も発生しない）となります。
 - マルチステップ命令において再実行型例外と実行後ブレイクが競合した場合、再実行型例外が発生します。このとき、ブレイク条件の成立に対して、CMFビットが1になる場合と、ならない場合があります。
 - 実行後ブレイクは完了型例外に分類されています。そのため、同じ命令で完了型例外と実行後ブレイクが競

31. ユーザブレークコントローラ (UBC)

合した場合、それらの優先度により、実行後ブレークが抑止されます。たとえば、TRAPA命令と実行後ブレークが競合した場合、ユーザブレークは抑止されます。ただし、このときブレーク条件成立によりCMFビットはセットされます。

31.5 ユーザブレークデバッグサポート機能

ユーザブレークデバッグサポート機能を用いることにより、ユーザブレーク例外発生時の処理を変更することができます。ユーザブレーク例外の発生時、BRCRのUBDEビットが1にセットされている場合、DBRレジスタ値は[VBR+オフセット]の代わりに分岐先アドレスとして使用されます。BRCRのUBDEの値または例外要因の種類に関係なくR15の値はSGRレジスタに退避されます。ユーザブレークデバッグサポート機能のフローチャートを図31.2に示します。

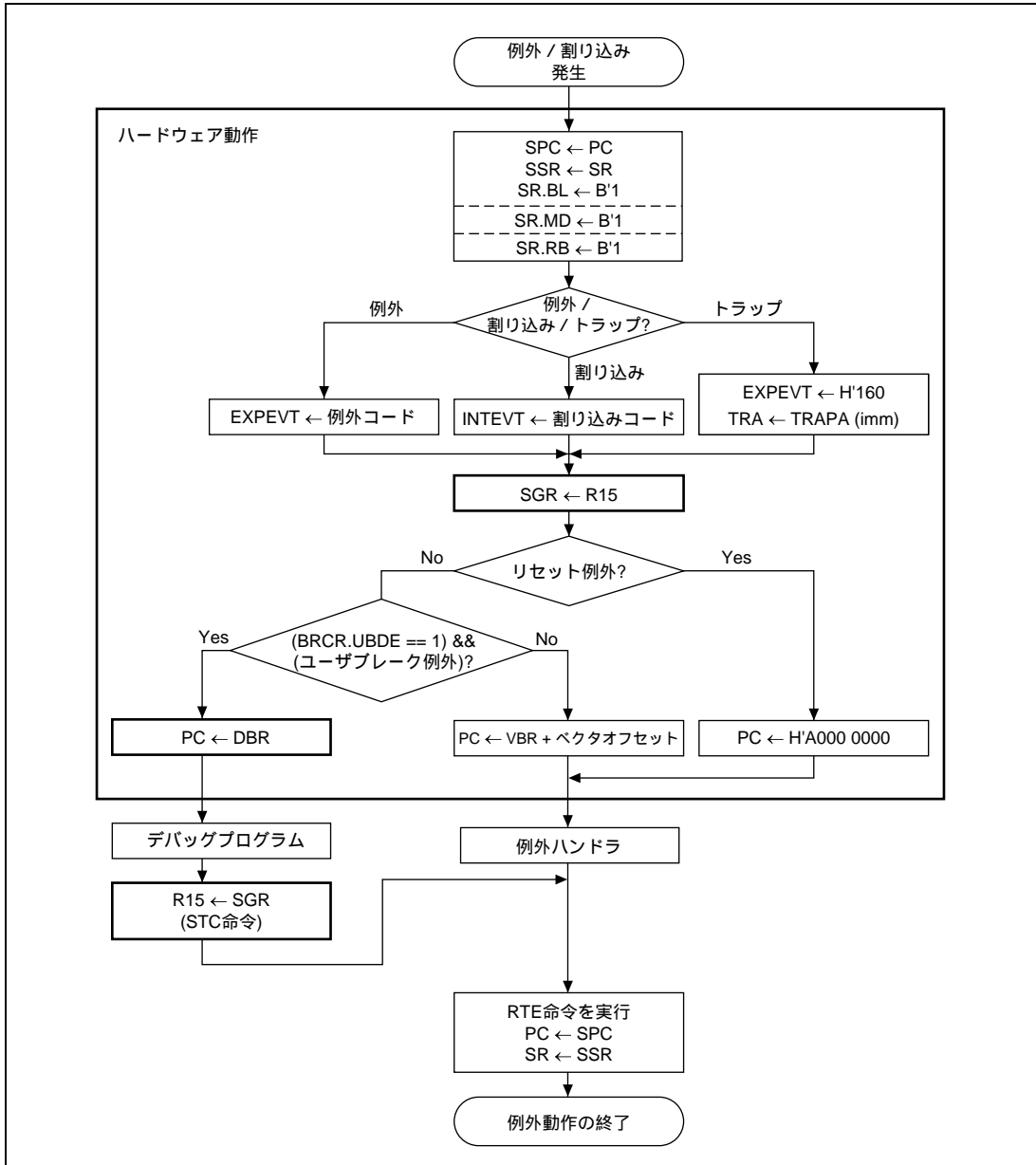


図 31.2 ユーザブレイクデバッグサポート機能のフローチャート

31.6 ユーザブ레이크使用例

(1) 命令アクセスサイクルへのブ레이크条件設定

1. レジスタ設定:

BASRA=H'80/BARA=H'0000 0404/BAMRA=H'00/BBRA=H'0014

BASRB=H'70/BARB=H'0000 8010/BAMRB=H'01/BBRB=H'0014

BDRB=H'0000 0000/BDMRB=H'0000 0000

BRRCR=H'0400

• 設定された条件: Aチャンネル/Bチャンネル独立モード

- Aチャンネル:

ASID H'80 / アドレス H'0000 0404 / アドレスマスクH'00

バスサイクル 命令アクセス (命令実行後)、読み出し (オペランドサイズは条件に含まれない)

- Bチャンネル:

ASID H'70 / アドレス H'0000 8010 / アドレスマスク H'01

データ H'0000 0000 / データマスク H'0000 0000

バスサイクル 命令アクセス (命令実行前)、読み出し (オペランドサイズは条件に含まれない)

ASID=H'80 でアドレス H'0000 0404 番地の命令の実行後、または、ASID=H'70 でアドレス H'0000 8000 ~ H'0000 83FE 番地の命令の実行前にユーザブ레이크が発生します。

2. レジスタ設定:

BASRA=H'80/BARA=H'00037226/BAMRA=H'00/BBRA=H'0016

BASRB=H'70/BARB=H'0003 722E/BAMRB=H'00/BBRB=H'0016

BDRB=H'0000 0000/BDMRB=H'0000 0000

BRRCR=H'0008

• 設定された条件: Aチャンネル Bチャンネルシーケンシャルモード

- Aチャンネル:

ASID H'80 / アドレス H'0003 7226 / アドレスマスクH'00

バスサイクル 命令アクセス (命令実行前)、読み出し、ワード

- Bチャンネル:

ASID H'70 / アドレス H'0003 722E / アドレスマスクH'00

データ H'0000 0000 / データマスク H'0000 0000

バスサイクル 命令アクセス (命令実行前)、読み出し、ワード

ASID=H'80 かつアドレス H'0003 7226 にある命令を実行して、その後 ASID=H'70 かつアドレス H'0003 722E にある命令の実行前にユーザブレイクが発生します。

3. レジスタ設定 :

BASRA=H'80/BARA=H'0002 7128/BAMRA=H'00/BBRA=H'001A

BASRB=H'70/BARB=H'0003 1415/BAMRB=H'00/BBRB=H'0014

BDRB=H'0000 0000 / BDMRB=H'0000 0000

BRCR=H'0000

- 設定された条件 : Aチャンネル / Bチャンネル独立モード

- Aチャンネル :

ASID H'80 / アドレス H'0002 7128 / アドレスマスク H'00

バスサイクル CPU、命令アクセス (命令実行前)、書き込み、ワード

- Bチャンネル :

ASID H'70 / アドレス H'0003 1415 / アドレスマスク H'00

データ H'0000 0000 / データマスク H'0000 0000

バスサイクル CPU、命令アクセス (命令実行前)

読み出し (オペランドサイズは条件に含まれない)

Aチャンネルは、命令アクセスは書き込みサイクルではないので、ユーザブレイク割り込みは発生しません。

Bチャンネルは、命令アクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(2) オペランドアクセスサイクルへのブレイク条件設定

1. レジスタ設定 :

BASRA=H'80/BARA=H'0012 3456/BAMRA=H'00/BBRA=H'0024

BASRB=H'70/BARB=H'000A BCDE/BAMRB=H'02/BBRB=H'002A

BDRB=H'0000 A512/BDMRB=H'0000 0000

BRCR=H'0080

- 設定された条件 : Aチャンネル / Bチャンネル独立モード

- Aチャンネル :

ASID H'80 / アドレス H'0012 3456 / アドレスマスク H'00

バスサイクル オペランドアクセス、読み出し (オペランドサイズは条件に含まれない)

31. ユーザブレイクコントローラ (UBC)

- Bチャンネル :

ASID H'70 / アドレス H'000A BCDE / アドレスマスク H'02

データ H'0000 A512 / データマスク H'0000 0000

バスサイクル オペランドアクセス、書き込み、ワード、データブレイクイネーブル

A チャンネルは、ASID=H'80 で H'0012 3454 番地にロングワードで読み出し / H'0012 3456 番地にワードで読み出し / H'0012 3456 番地にバイトで読み出したときにユーザブレイク割り込みが発生します。

B チャンネルは、ASID=H'70 で H'000A B000 ~ H'000A BFFE 番地のどこかにワードで H'A512 を書き込んだときにユーザブレイク割り込みが発生します。

31.7 ユーザブレイクコントローラ停止機能

本機能は、本 LSI においてユーザブレイクコントロール部に供給されるクロックを停止し、チップ動作時の消費電力を低減するために使用します。本機能を用いる場合は、ユーザブレイクコントローラを使用できなくなるため注意が必要です。

31.7.1 ユーザブレイクコントローラ停止状態への遷移

CPG 内の STBCR2 の MSTP5 ビットに 1 を設定することで、クロック供給が停止し、ユーザブレイクコントロール部は停止状態へ遷移します。以下の 1.~5. に示す手順に従って MSTP5 ビットを 1 にして、停止状態へ遷移してください。

1. BBRA、BBRBに0を書き込んで初期化
2. BRRCRに0を書き込んで初期化
3. BRRCRをダミーリード
4. STBCR2を読み出した後、MSTP5ビットを1にセットして書き戻す。
5. STBCR2を2回ダミーリード

上記 1.~5. の処理を行う間に、例外または割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

UBC のクロック停止期間中は、BARA、BAMRA、BBRA、BARB、BAMRB、BBRB、BDRB、BDMRB、BRRCR レジスタを読み出し / 書き込みしないでください。読み出した場合または書き込んだ場合、その値は保証されません。

31.7.2 ユーザブレイクコントローラ停止状態の解除

CPG 内の STBCR2 の MSTP5 ビットを 0 に設定することで、クロック供給が再開し、ユーザブレイクコントローラは動作可能になります。以下の 1.~2. に示す手順に従って MSTP5 ビットを 0 にクリアして、停止状態を解除してください。

1. STBCR2を読み出した後、MSTP5ビットを0クリアして書き戻す

2. STBCR2を2回ダミーリード

停止状態への遷移と同様、上記 1.~2.の処理を行う間に、例外または割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

31.7.3 ユーザブレイクコントローラ停止状態の遷移および解除例

以下に、プログラム例を示します。

; ユーザブレイクコントローラ停止状態への遷移

; (1) BBRA, BBRB を 0 で初期化

```
mov    #0, R0
mov.l  #BBRA, R1
mov.w  R0, @R1
mov.l  #BBRB, R1
mov.w  R0, @R1
```

; (2) BRCCR を 0 で初期化

```
mov.l  #BRCCR, R1
mov.w  R0, @R1
```

; (3) BRCCR をダミーリード

```
mov.w  @R1, R0
```

; (4) STBCR2 を読み出した後、MSTP5 ビットに 1 をセットして書き戻す

```
mov.l  #STBCR2, R1
mov.b  @R1, R0
or     #H'1, R0
mov.b  R0, @R1
```

; (5) STBCR2 を 2 回ダミーリード

```
mov.b  @R1, R0
mov.b  @R1, R0
```

; ユーザブレイクコントローラ停止状態の解除

; (6) STBCR2 を読み出した後、MSTP5 ビットを 0 クリアして書き戻す

```
mov.l  #STBCR2, R1
mov.b  @R1, R0
and    #H'FE, R0
mov.b  R0, @R1
```

; (7) STBCR2 を 2 回ダミーリード

```
mov.b  @R1, R0
mov.b  @R1, R0
```

32. レジスタ一覧

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号の順に記載します。
- 本リストで記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

2. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

32. レジスタ一覧

32.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスした時の動作および継続する動作については保証できませんので、アクセスしないようにしてください。

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
MMU	ページテーブルエントリ上位レジスタ	PTEH	H'FF00 0000	H'1F00 0000	32	lck
	ページテーブルエントリ下位レジスタ	PTEL	H'FF00 0004	H'1F00 0004	32	lck
	ページテーブルエントリアシスタンスレジスタ	PTEA	H'FF00 0034	H'1F00 0034	32	lck
	変換テーブルベースレジスタ	TTB	H'FF00 0008	H'1F00 0008	32	lck
	TLB 例外アドレスレジスタ	TEA	H'FF00 000C	H'1F00 000C	32	lck
	MMU 制御レジスタ	MMUCR	H'FF00 0010	H'1F00 0010	32	lck
キャッシュ	キャッシュ制御レジスタ	CCR	H'FF00 001C	H'1F00 001C	32	lck
	キューアドレス制御レジスタ 0	QACR0	H'FF00 0038	H'1F00 0038	32	lck
	キューアドレス制御レジスタ 1	QACR1	H'FF00 003C	H'1F00 003C	32	lck
例外	TRAPA 例外レジスタ	TRA	H'FF00 0020	H'1F00 0020	32	lck
	例外事象レジスタ	EXPEVT	H'FF00 0024	H'1F00 0024	32	lck
	割り込み事象レジスタ	INTEVT	H'FF00 0028	H'1F00 0028	32	lck
INTC	割り込みコントロールレジスタ	ICR	H'FFD0 0000	H'1FD0 0000	16	Pck
	割り込み優先レベル設定レジスタ A	IPRA	H'FFD0 0004	H'1FD0 0004	16	Pck
	割り込み優先レベル設定レジスタ B	IPRB	H'FFD0 0008	H'1FD0 0008	16	Pck
	割り込み優先レベル設定レジスタ C	IPRC	H'FFD0 000C	H'1FD0 000C	16	Pck
	割り込み優先レベル設定レジスタ D	IPRD	H'FFD0 0010	H'1FD0 0010	16	Pck
	割り込み優先レベル設定レジスタ 00	INTPRI00	H'FE08 0000	H'1E08 0000	32	Pck
	割り込み優先レベル設定レジスタ 04	INTPRI04	H'FE08 0004	H'1E08 0004	32	Pck
	割り込み優先レベル設定レジスタ 08	INTPRI08	H'FE08 0008	H'1E08 0008	32	Pck
	割り込み優先レベル設定レジスタ 0C	INTPRI0C	H'FE08 000C	H'1E08 000C	32	Pck
	割り込み要因レジスタ 00	INTREQ00	H'FE08 0020	H'1E08 0020	32	Pck
	割り込み要因レジスタ 04	INTREQ04	H'FE08 0024	H'1E08 0024	32	Pck
	割り込みマスクレジスタ 00	INTMSK00	H'FE08 0040	H'1E08 0040	32	Pck
	割り込みマスクレジスタ 04	INTMSK04	H'FE08 0044	H'1E08 0044	32	Pck
	割り込みマスククリアレジスタ 00	INTMSKCLR00	H'FE08 0060	H'1E08 0060	32	Pck
	割り込みマスククリアレジスタ 04	INTMSKCLR04	H'FE08 0064	H'1E08 0064	32	Pck
	BSC	バスコントロールレジスタ 1	BCR1	H'FF80 0000	H'1F80 0000	32
バスコントロールレジスタ 2		BCR2	H'FF80 0004	H'1F80 0004	16	Bck
バスコントロールレジスタ 3		BCR3	H'FF80 0050	H'1F80 0050	16	Bck

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
BSC	バスコントロールレジスタ 4	BCR4	H'FE0A 00F0	H'1E0A 00F0	32	Bck
	ウェイトコントロールレジスタ 1	WCR1	H'FF80 0008	H'1F80 0008	32	Bck
	ウェイトコントロールレジスタ 2	WCR2	H'FF80 000C	H'1F80 000C	32	Bck
	ウェイトコントロールレジスタ 3	WCR3	H'FF80 0010	H'1F80 0010	32	Bck
	ウェイトコントロールレジスタ 4	WCR4	H'FE0A 0028	H'1E0A 0028	32	Bck
	個別メモリコントロールレジスタ	MCR	H'FF80 0014	H'1F80 0014	32	Bck
	PCMCIA コントロールレジスタ	PCR	H'FF80 0018	H'1F80 0018	16	Bck
	リフレッシュタイムコントロール / ステータス レジスタ	RTCSR	H'FF80 001C	H'1F80 001C	16	Bck
	リフレッシュタイムカウンタ	RTCNT	H'FF80 0020	H'1F80 0020	16	Bck
	リフレッシュタイムコンスタントレジスタ	RTCOR	H'FF80 0024	H'1F80 0024	16	Bck
	リフレッシュカウントレジスタ	RFCSR	H'FF80 0028	H'1F80 0028	16	Bck
	シンクロナス DRAM モードレジスタ(エリア2用)	SDMR2	H'FF90 xxxx* ³	H'1F90 xxxx	8	Bck
	シンクロナス DRAM モードレジスタ(エリア3用)	SDMR3	H'FF94 xxxx* ³	H'1F94 xxxx	8	Bck
DMAC チャンネル 0	DMA ソースアドレスレジスタ 0	SAR0	H'FFA0 0000	H'1FA0 0000	32	Bck
	DMA デスティネーションアドレスレジスタ 0	DAR0	H'FFA0 0004	H'1FA0 0004	32	Bck
	DMA トランスファカウントレジスタ 0	DMATCR0	H'FFA0 0008	H'1FA0 0008	32	Bck
	DMA チャンネルコントロールレジスタ 0	CHCR0	H'FFA0 000C	H'1FA0 000C	32	Bck
DMAC チャンネル 1	DMA ソースアドレスレジスタ 1	SAR1	H'FFA0 0010	H'1FA0 0010	32	Bck
	DMA デスティネーションアドレスレジスタ 1	DAR1	H'FFA0 0014	H'1FA0 0014	32	Bck
	DMA トランスファカウントレジスタ 1	DMATCR1	H'FFA0 0018	H'1FA0 0018	32	Bck
	DMA チャンネルコントロールレジスタ 1	CHCR1	H'FFA0 001C	H'1FA0 001C	32	Bck
DMAC チャンネル 2	DMA ソースアドレスレジスタ 2	SAR2	H'FFA0 0020	H'1FA0 0020	32	Bck
	DMA デスティネーションアドレスレジスタ 2	DAR2	H'FFA0 0024	H'1FA0 0024	32	Bck
	DMA トランスファカウントレジスタ 2	DMATCR2	H'FFA0 0028	H'1FA0 0028	32	Bck
	DMA チャンネルコントロールレジスタ 2	CHCR2	H'FFA0 002C	H'1FA0 002C	32	Bck
DMAC チャンネル 3	DMA ソースアドレスレジスタ 3	SAR3	H'FFA0 0030	H'1FA0 0030	32	Bck
	DMA デスティネーションアドレスレジスタ 3	DAR3	H'FFA0 0034	H'1FA0 0034	32	Bck
	DMA トランスファカウントレジスタ 3	DMATCR3	H'FFA0 0038	H'1FA0 0038	32	Bck
	DMA チャンネルコントロールレジスタ 3	CHCR3	H'FFA0 003C	H'1FA0 003C	32	Bck
DMAC チャンネル 4	DMA ソースアドレスレジスタ 4	SAR4	H'FFA0 0050	H'1FA0 0050	32	Bck
	DMA デスティネーションアドレスレジスタ 4	DAR4	H'FFA0 0054	H'1FA0 0054	32	Bck
	DMA トランスファカウントレジスタ 4	DMATCR4	H'FFA0 0058	H'1FA0 0058	32	Bck
	DMA チャンネルコントロールレジスタ 4	CHCR4	H'FFA0 005C	H'1FA0 005C	32	Bck

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
DMAC チャンネル 5	DMA ソースアドレスレジスタ 5	SAR5	H'FFA0 0060	H'1FA0 0060	32	Bck
	DMA デスティネーションアドレスレジスタ 5	DAR5	H'FFA0 0064	H'1FA0 0064	32	Bck
	DMA トランスファカウンタレジスタ 5	DMATCR5	H'FFA0 0068	H'1FA0 0068	32	Bck
	DMA チャンネルコントロールレジスタ 5	CHCR5	H'FFA0 006C	H'1FA0 006C	32	Bck
DMAC チャンネル 6	DMA ソースアドレスレジスタ 6	SAR6	H'FFA0 0070	H'1FA0 0070	32	Bck
	DMA デスティネーションアドレスレジスタ 6	DAR6	H'FFA0 0074	H'1FA0 0074	32	Bck
	DMA トランスファカウンタレジスタ 6	DMATCR6	H'FFA0 0078	H'1FA0 0078	32	Bck
	DMA チャンネルコントロールレジスタ 6	CHCR6	H'FFA0 007C	H'1FA0 007C	32	Bck
DMAC チャンネル 7	DMA ソースアドレスレジスタ 7	SAR7	H'FFA0 0080	H'1FA0 0080	32	Bck
	DMA デスティネーションアドレスレジスタ 7	DAR7	H'FFA0 0084	H'1FA0 0084	32	Bck
	DMA トランスファカウンタレジスタ 7	DMATCR7	H'FFA0 0088	H'1FA0 0088	32	Bck
	DMA チャンネルコントロールレジスタ 7	CHCR7	H'FFA0 008C	H'1FA0 008C	32	Bck
DMAC 共通	DMA オペレーションレジスタ	DMAOR	H'FFA0 0040	H'1FA0 0040	32	Bck
	DMA リクエストリソース選択レジスタ A	DMARSRA	H'FE09 0000	H'1E09 0000	32	Pck
	DMA リクエストリソース選択レジスタ B	DMARSRB	H'FE09 0004	H'1E09 0004	32	Pck
	DMA リクエストコントロールレジスタ	DMARCR	H'FE09 0008	H'1E09 0008	32	Pck
DMAC DMABRG	DMA BRG コントロールレジスタ	DMABRGCR	H'FE3C 0000	H'1E3C 0000	32	Pck
	DMA AUDIO ソースアドレスレジスタ 0	DMAATXSAR0	H'FE3C 0040	H'1E3C 0040	32	Pck
	DMA AUDIO デスティネーションアドレス レジスタ 0	DMAARXDAR0	H'FE3C 0044	H'1E3C 0044	32	Pck
	DMA AUDIO 送信トランスファカウンタ レジスタ 0	DMAATXTCR0	H'FE3C 0048	H'1E3C 0048	32	Pck
	DMA AUDIO 受信トランスファカウンタ レジスタ 0	DMAARXTCR0	H'FE3C 004C	H'1E3C 004C	32	Pck
	DMA AUDIO コントロールレジスタ 0	DMAACR0	H'FE3C 0050	H'1E3C 0050	32	Pck
	DMA AUDIO 送信トランスファカウンタ 0	DMAATXCNT0	H'FE3C 0054	H'1E3C 0054	32	Pck
	DMA AUDIO 受信トランスファカウンタ 0	DMAARXCNT0	H'FE3C 0058	H'1E3C 0058	32	Pck
	DMA AUDIO ソースアドレスレジスタ 1	DMAATXSAR1	H'FE3C 0060	H'1E3C 0060	32	Pck
	DMA AUDIO デスティネーションアドレス レジスタ 1	DMAARXDAR1	H'FE3C 0064	H'1E3C 0064	32	Pck
	DMA AUDIO 送信トランスファカウンタ レジスタ 1	DMAATXTCR1	H'FE3C 0068	H'1E3C 0068	32	Pck
	DMA AUDIO 受信トランスファカウンタ レジスタ 1	DMAARXTCR1	H'FE3C 006C	H'1E3C 006C	32	Pck
	DMA AUDIO コントロールレジスタ 1	DMAACR1	H'FE3C 0070	H'1E3C 0070	32	Pck
	DMA AUDIO 送信トランスファカウンタ 1	DMAATXCNT1	H'FE3C 0074	H'1E3C 0074	32	Pck
DMA AUDIO 受信トランスファカウンタ 1	DMAARXCNT1	H'FE3C 0078	H'1E3C 0078	32	Pck	

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
DMAC DMABRG	DMA USB ソースアドレスレジスタ	DMAUSAR	H'FE3C 0080	H'1E3C 0080	32	Pck
	DMA USB デスティネーションアドレスレジスタ	DMAUDAR	H'FE3C 0084	H'1E3C 0084	32	Pck
	DMA USB R/W サイズレジスタ	DMAURWSZ	H'FE3C 0088	H'1E3C 0088	32	Pck
	DMA USB コントロールレジスタ	DMAUCR	H'FE3C 008C	H'1E3C 008C	32	Pck
CPG	周波数制御レジスタ	FRQCR	H'FFC0 0000	H'1FC0 0000	16	Pck
	クロック分周レジスタ	DCKDR	H'FE0A 0020	H'1E0A 0020	32	Pck
	モジュールクロックコントロールレジスタ	MCKCR	H'FE0A 0024	H'1E0A 0024	32	Pck
WDT	ウォッチドッグタイマカウンタ	WTCNT	H'FFC0 0008	H'1FC0 0008	8/16 ^{※2}	Pck
	ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	H'FFC0 000C	H'1FC0 000C	8/16 ^{※2}	Pck
低消費	スタンバイコントロールレジスタ	STBCR	H'FFC0 0004	H'1FC0 0004	8	Pck
	スタンバイコントロールレジスタ2	STBCR2	H'FFC0 0010	H'1FC0 0010	8	Pck
	クロック停止レジスタ00	CLKSTP00	H'FE0A 0000	H'1E0A 0000	32	Pck
	クロック停止解除レジスタ00	CLKSTPCLR00	H'FE0A 0010	H'1E0A 0010	32	Pck
TMU 共通	タイマスタートレジスタ	TSTR	H'FFD8 0004	H'1FD8 0004	8	Pck
TMU チャンネル0	タイマコンスタントレジスタ0	TCOR0	H'FFD8 0008	H'1FD8 0008	32	Pck
	タイマカウンタ0	TCNT0	H'FFD8 000C	H'1FD8 000C	32	Pck
	タイマコントロールレジスタ0	TCR0	H'FFD8 0010	H'1FD8 0010	16	Pck
TMU チャンネル1	タイマコンスタントレジスタ1	TCOR1	H'FFD8 0014	H'1FD8 0014	32	Pck
	タイマカウンタ1	TCNT1	H'FFD8 0018	H'1FD8 0018	32	Pck
	タイマコントロールレジスタ1	TCR1	H'FFD8 001C	H'1FD8 001C	16	Pck
TMU チャンネル2	タイマコンスタントレジスタ2	TCOR2	H'FFD8 0020	H'1FD8 0020	32	Pck
	タイマカウンタ2	TCNT2	H'FFD8 0024	H'1FD8 0024	32	Pck
	タイマコントロールレジスタ2	TCR2	H'FFD8 0028	H'1FD8 0028	16	Pck
	インプットキャプチャレジスタ2	TCPR2	H'FFD8 002C	H'1FD8 002C	32	Pck
CMT 共通	コンフィギュレーションレジスタ	CMTCFG	H'FE1C 0000	H'1E1C 0000	32	Pck
	フリーランニングタイマ	CMTFRT	H'FE1C 0004	H'1E1C 0004	32	Pck
	コントロールレジスタ	CMTCTL	H'FE1C 0008	H'1E1C 0008	32	Pck
	IRQ ステータスレジスタ	CMTIRQS	H'FE1C 000C	H'1E1C 000C	32	Pck
CMT チャンネル0	チャンネル0 タイムレジスタ	CMTCH0T	H'FE1C 0010	H'1E1C 0010	32	Pck
	チャンネル0 ストップタイムレジスタ	CMTCH0ST	H'FE1C 0020	H'1E1C 0020	32	Pck
	チャンネル0 タイマ / カウンタ	CMTCH0C	H'FE1C 0030	H'1E1C 0030	32	Pck
CMT チャンネル1	チャンネル1 タイムレジスタ	CMTCH1T	H'FE1C 0014	H'1E1C 0014	32	Pck
	チャンネル1 ストップタイムレジスタ	CMTCH1ST	H'FE1C 0024	H'1E1C 0024	32	Pck
	チャンネル1 タイマ / カウンタ	CMTCH1C	H'FE1C 0034	H'1E1C 0034	32	Pck

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
CMT チャンネル 2	チャンネル2 タイムレジスタ	CMTCH2T	H'FE1C 0018	H'1E1C 0018	32	Pck
	チャンネル2 ストップタイムレジスタ	CMTCH2ST	H'FE1C 0028	H'1E1C 0028	32	Pck
	チャンネル2 タイマ / カウンタ	CMTCH2C	H'FE1C 0038	H'1E1C 0038	32	Pck
CMT チャンネル 3	チャンネル3 タイムレジスタ	CMTCH3T	H'FE1C 001C	H'1E1C 001C	32	Pck
	チャンネル3 ストップタイムレジスタ	CMTCH3ST	H'FE1C 002C	H'1E1C 002C	32	Pck
	チャンネル3 タイマ / カウンタ	CMTCH3C	H'FE1C 003C	H'1E1C 003C	32	Pck
SCIF チャンネル 0	シリアルモードレジスタ 0	SCSMR0	H'FE60 0000	H'1E60 0000	16	Pck
	ビットレートレジスタ 0	SCBRR0	H'FE60 0004	H'1E60 0004	8	Pck
	シリアルコントロールレジスタ 0	SCSCR0	H'FE60 0008	H'1E60 0008	16	Pck
	トランスミット FIFO データレジスタ 0	SCFTDR0	H'FE60 000C	H'1E60 000C	8	Pck
	シリアルステータスレジスタ 0	SCFSR0	H'FE60 0010	H'1E60 0010	16	Pck
	レシーブ FIFO データレジスタ 0	SCFRDR0	H'FE60 0014	H'1E60 0014	8	Pck
	FIFO コントロールレジスタ 0	SCFCR0	H'FE60 0018	H'1E60 0018	16	Pck
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'FE60 001C	H'1E60 001C	16	Pck
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'FE60 0020	H'1E60 0020	16	Pck
	シリアルポートレジスタ 0	SCSPTR0	H'FE60 0024	H'1E60 0024	16	Pck
	ラインステータスレジスタ 0	SCLSR0	H'FE60 0028	H'1E60 0028	16	Pck
	シリアルエラーレジスタ 0	SCRER0	H'FE60 002C	H'1E60 002C	16	Pck
SCIF チャンネル 1	シリアルモードレジスタ 1	SCSMR1	H'FE61 0000	H'1E61 0000	16	Pck
	ビットレートレジスタ 1	SCBRR1	H'FE61 0004	H'1E61 0004	8	Pck
	シリアルコントロールレジスタ 1	SCSCR1	H'FE61 0008	H'1E61 0008	16	Pck
	トランスミット FIFO データレジスタ 1	SCFTDR1	H'FE61 000C	H'1E61 000C	8	Pck
	シリアルステータスレジスタ 1	SCFSR1	H'FE61 0010	H'1E61 0010	16	Pck
	レシーブ FIFO データレジスタ 1	SCFRDR1	H'FE61 0014	H'1E61 0014	8	Pck
	FIFO コントロールレジスタ 1	SCFCR1	H'FE61 0018	H'1E61 0018	16	Pck
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'FE61 001C	H'1E61 001C	16	Pck
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'FE61 0020	H'1E61 0020	16	Pck
	シリアルポートレジスタ 1	SCSPTR1	H'FE61 0024	H'1E61 0024	16	Pck
	ラインステータスレジスタ 1	SCLSR1	H'FE61 0028	H'1E61 0028	16	Pck
	シリアルエラーレジスタ 1	SCRER1	H'FE61 002C	H'1E61 002C	16	Pck
SCIF チャンネル 2	シリアルモードレジスタ 2	SCSMR2	H'FE62 0000	H'1E62 0000	16	Pck
	ビットレートレジスタ 2	SCBRR2	H'FE62 0004	H'1E62 0004	8	Pck
	シリアルコントロールレジスタ 2	SCSCR2	H'FE62 0008	H'1E62 0008	16	Pck
	トランスミット FIFO データレジスタ 2	SCFTDR2	H'FE62 000C	H'1E62 000C	8	Pck
	シリアルステータスレジスタ 2	SCFSR2	H'FE62 0010	H'1E62 0010	16	Pck
	レシーブ FIFO データレジスタ 2	SCFRDR2	H'FE62 0014	H'1E62 0014	8	Pck

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
SCIF チャンネル 2	FIFO コントロールレジスタ 2	SCFCR2	H'FE62 0018	H'1E62 0018	16	Pck
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	H'FE62 001C	H'1E62 001C	16	Pck
	レシーブ FIFO データ数レジスタ 2	SCRFD2	H'FE62 0020	H'1E62 0020	16	Pck
	シリアルポートレジスタ 2	SCSPTR2	H'FE62 0024	H'1E62 0024	16	Pck
	ラインステータスレジスタ 2	SCLSR2	H'FE62 0028	H'1E62 0028	16	Pck
	シリアルエラーレジスタ 2	SCRER2	H'FE62 002C	H'1E62 002C	16	Pck
SIM	シリアルモードレジスタ	SISMR	H'FE48 0000	H'1E48 0000	8	Pck
	ビットレートレジスタ	SIBRR	H'FE48 0002	H'1E48 0002	8	Pck
	シリアルコントロールレジスタ	SISCR	H'FE48 0004	H'1E48 0004	8	Pck
	トランスミットデータレジスタ	SITDR	H'FE48 0006	H'1E48 0006	8	Pck
	シリアルステータスレジスタ	SISSR	H'FE48 0008	H'1E48 0008	8	Pck
	レシーブデータレジスタ	SIRDR	H'FE48 000A	H'1E48 000A	8	Pck
	スマートカードモードレジスタ	SISCMR	H'FE48 000C	H'1E48 000C	8	Pck
	シリアルコントロール 2 レジスタ	SISC2R	H'FE48 000E	H'1E48 000E	8	Pck
	ウェイトタイムレジスタ	SIWAIT	H'FE48 0010	H'1E48 0010	16	Pck
	ガードエクステンションレジスタ	SIGRD	H'FE48 0012	H'1E48 0012	8	Pck
	サンプルレジスタ	SISMPL	H'FE48 0014	H'1E48 0014	16	Pck
	iC チャンネル 0	スレーブコントロールレジスタ 0	ICSCR0	H'FE14 0000	H'1E14 0000	32
マスタコントロールレジスタ 0		ICMCR0	H'FE14 0004	H'1E14 0004	32	Pck
スレーブステータスレジスタ 0		ICSSR0	H'FE14 0008	H'1E14 0008	32	Pck
マスタステータスレジスタ 0		ICMSR0	H'FE14 000C	H'1E14 000C	32	Pck
スレーブ割り込みイネーブルレジスタ 0		ICSIER0	H'FE14 0010	H'1E14 0010	32	Pck
マスタ割り込みイネーブルレジスタ 0		ICMIER0	H'FE14 0014	H'1E14 0014	32	Pck
クロックコントロールレジスタ 0		ICCCR0	H'FE14 0018	H'1E14 0018	32	Pck
スレーブアドレスイネーブルレジスタ 0		ICSAR0	H'FE14 001C	H'1E14 001C	32	Pck
マスタアドレスイネーブルレジスタ 0		ICMAR0	H'FE14 0020	H'1E14 0020	32	Pck
受信データレジスタ 0		ICRXD0	H'FE14 0024	H'1E14 0024	32	Pck
送信データレジスタ 0		ICTXD0	H'FE14 0024	H'1E14 0024	32	Pck
FIFO コントロールレジスタ 0		ICFCR0	H'FE14 0028	H'1E14 0028	32	Pck
FIFO ステータスレジスタ 0		ICFSR0	H'FE14 002C	H'1E14 002C	32	Pck
FIFO 割り込みイネーブルレジスタ 0		ICFIER0	H'FE14 0030	H'1E14 0030	32	Pck
受信 FIFO データ数レジスタ 0		ICRFDR0	H'FE14 0034	H'1E14 0034	32	Pck
送信 FIFO データ数レジスタ 0		ICTFDR0	H'FE14 0038	H'1E14 0038	32	Pck
iC チャンネル 1	スレーブコントロールレジスタ 1	ICSCR1	H'FE15 0000	H'1E15 0000	32	Pck
	マスタコントロールレジスタ 1	ICMCR1	H'FE15 0004	H'1E15 0004	32	Pck
	スレーブステータスレジスタ 1	ICSSR1	H'FE15 0008	H'1E15 0008	32	Pck

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
iC チャンネル 1	マスタステータスレジスタ 1	ICMSR1	H'FE15 000C	H'1E15 000C	32	Pck
	スレーブ割り込みイネーブルレジスタ 1	ICSIER1	H'FE15 0010	H'1E15 0010	32	Pck
	マスタ割り込みイネーブルレジスタ 1	ICMIER1	H'FE15 0014	H'1E15 0014	32	Pck
	クロックコントロールレジスタ 1	ICCCR1	H'FE15 0018	H'1E15 0018	32	Pck
	スレーブアドレスイネーブルレジスタ 1	ICSAR1	H'FE15 001C	H'1E15 001C	32	Pck
	マスタアドレスイネーブルレジスタ 1	ICMAR1	H'FE15 0020	H'1E15 0020	32	Pck
	受信データレジスタ 1	ICRXD1	H'FE15 0024	H'1E15 0024	32	Pck
	送信データレジスタ 1	ICTXD1	H'FE15 0024	H'1E15 0024	32	Pck
	FIFO コントロールレジスタ 1	ICFCR1	H'FE15 0028	H'1E15 0028	32	Pck
	FIFO ステータスレジスタ 1	ICFSR1	H'FE15 002C	H'1E15 002C	32	Pck
	FIFO 割り込みイネーブルレジスタ 1	ICFIER1	H'FE15 0030	H'1E15 0030	32	Pck
	受信 FIFO データ数レジスタ 1	ICRFDR1	H'FE15 0034	H'1E15 0034	32	Pck
	送信 FIFO データ数レジスタ 1	ICTFDR1	H'FE15 0038	H'1E15 0038	32	Pck
	SSI チャンネル 0	コントロールレジスタ 0	SSICR0	H'FE68 0000	H'1E68 0000	32
ステータスレジスタ 0		SSISR0	H'FE68 0004	H'1E68 0004	32	Pck
トランスミットデータレジスタ 0		SSITDR0	H'FE68 0008	H'1E68 0008	32	Pck
レシーブデータレジスタ 0		SSIRDR0	H'FE68 000C	H'1E68 000C	32	Pck
SSI チャンネル 1	コントロールレジスタ 1	SSICR1	H'FE69 0000	H'1E69 0000	32	Pck
	ステータスレジスタ 1	SSISR1	H'FE69 0004	H'1E69 0004	32	Pck
	トランスミットデータレジスタ 1	SSITDR1	H'FE69 0008	H'1E69 0008	32	Pck
	レシーブデータレジスタ 1	SSIRDR1	H'FE69 000C	H'1E69 000C	32	Pck
USB	ホストコントローラインタフェースリビジョン レジスタ	HcRevision	H'FE34 0000	H'1E34 0000	32	Pck
	コントロールレジスタ	HcControl	H'FE34 0004	H'1E34 0004	32	Pck
	コマンドステータスレジスタ	HcCommandStatus	H'FE34 0008	H'1E34 0008	32	Pck
	割り込みステータスレジスタ	HcInterruptStatus	H'FE34 000C	H'1E34 000C	32	Pck
	割り込みイネーブルレジスタ	HcInterruptEnable	H'FE34 0010	H'1E34 0010	32	Pck
	割り込みディスエーブルレジスタ	HcInterruptDisable	H'FE34 0014	H'1E34 0014	32	Pck
	ホストコントローラコミュニケーションエリア ポインタレジスタ	HcHCCA	H'FE34 0018	H'1E34 0018	32	Pck
	ピリオドカレント ED ポインタレジスタ	HcPeriodCurrentED	H'FE34 001C	H'1E34 001C	32	Pck
	コントロールヘッド ED ポインタレジスタ	HcControlHeadED	H'FE34 0020	H'1E34 0020	32	Pck
	コントロールカレント ED ポインタレジスタ	HcControlCurrentED	H'FE34 0024	H'1E34 0024	32	Pck
	バルクヘッド ED ポインタレジスタ	HcBulkHeadED	H'FE34 0028	H'1E34 0028	32	Pck
	バルクカレント ED ポインタレジスタ	HcBulkCurrentED	H'FE34 002C	H'1E34 002C	32	Pck
	終了キューヘッドポインタレジスタ	HcDoneHead	H'FE34 0030	H'1E34 0030	32	Pck

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
USB	フレームインターバルレジスタ	HcFmInterval	H'FE34 0034	H'1E34 0034	32	Pck
	フレームリメイニングレジスタ	HcFmRemaining	H'FE34 0038	H'1E34 0038	32	Pck
	フレームナンバーレジスタ	HcFmNumber	H'FE34 003C	H'1E34 003C	32	Pck
	ピリオディックスタートレジスタ	HcPeriodicStart	H'FE34 0040	H'1E34 0040	32	Pck
	ロースピードスレッシュホールドレジスタ	HcLSThreshold	H'FE34 0044	H'1E34 0044	32	Pck
	ルートハブディスクリプタ A レジスタ	HcRhDescriptorA	H'FE34 0048	H'1E34 0048	32	Pck
	ルートハブディスクリプタ B レジスタ	HcRhDescriptorB	H'FE34 004C	H'1E34 004C	32	Pck
	ルートハブステータスレジスタ	HcRhStatus	H'FE34 0050	H'1E34 0050	32	Pck
	ルートハブポートステータス 1 レジスタ	HcRhPortStatus1	H'FE34 0054	H'1E34 0054	32	Pck
		共有メモリエリア先頭	H'FE34 1000	H'1E34 1000	32	Pck
		共有メモリエリア最後	H'FE34 2FFF	H'1E34 2FFF	32	Pck
HCAN2 チャンネル 0	マスタコントロールレジスタ	CAN0MCR	H'FE38 0000	H'1E38 0000	16	Pck
	ジェネラルステータスレジスタ	CAN0GSR	H'FE38 0002	H'1E38 0002	16	Pck
	ビットコンフィギュレーションレジスタ 1	CAN0BCR1	H'FE38 0004	H'1E38 0004	16	Pck
	ビットコンフィギュレーションレジスタ 0	CAN0BCR0	H'FE38 0006	H'1E38 0006	16	Pck
	割り込みリクエストレジスタ	CAN0IRR	H'FE38 0008	H'1E38 0008	16	Pck
	割り込みマスクレジスタ	CAN0IMR	H'FE38 000A	H'1E38 000A	16	Pck
	エラーカウンタ	CAN0TECREC	H'FE38 000C	H'1E38 000C	16	Pck
	送信待ちレジスタ 1	CAN0TXPR1	H'FE38 0020	H'1E38 0020	16	Pck
	送信待ちレジスタ 0	CAN0TXPR0	H'FE38 0022	H'1E38 0022	16	Pck
	送信キャンセルレジスタ 1	CAN0XCR1	H'FE38 0028	H'1E38 0028	16	Pck
	送信キャンセルレジスタ 0	CAN0XCR0	H'FE38 002A	H'1E38 002A	16	Pck
	送信アクノリッジレジスタ 1	CAN0XACK1	H'FE38 0030	H'1E38 0030	16	Pck
	送信アクノリッジレジスタ 0	CAN0XACK0	H'FE38 0032	H'1E38 0032	16	Pck
	アボードアクノリッジレジスタ 1	CAN0ABACK1	H'FE38 0038	H'1E38 0038	16	Pck
	アボードアクノリッジレジスタ 0	CAN0ABACK0	H'FE38 003A	H'1E38 003A	16	Pck
	データフレーム受信待ちレジスタ 1	CAN0RXPR1	H'FE38 0040	H'1E38 0040	16	Pck
	データフレーム受信待ちレジスタ 0	CAN0RXPR0	H'FE38 0042	H'1E38 0042	16	Pck
	リモートフレーム受信待ちレジスタ 1	CAN0RFPR1	H'FE38 0048	H'1E38 0048	16	Pck
	リモートフレーム受信待ちレジスタ 0	CAN0RFPR0	H'FE38 004A	H'1E38 004A	16	Pck
	メールボックス割り込みマスクレジスタ 1	CAN0MBIMR1	H'FE38 0050	H'1E38 0050	16	Pck
	メールボックス割り込みマスクレジスタ 0	CAN0MBIMR0	H'FE38 0052	H'1E38 0052	16	Pck
	未読メッセージステータスレジスタ 1	CAN0UMSR1	H'FE38 0058	H'1E38 0058	16	Pck
	未読メッセージステータスレジスタ 0	CAN0UMSR0	H'FE38 005A	H'1E38 005A	16	Pck

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
HCAN2 チャンネル 0	タイマカウンタレジスタ	CAN0TCNTR	H'FE38 0080	H'1E38 0080	16	Pck
	タイマコントロールレジスタ	CAN0TCR	H'FE38 0082	H'1E38 0082	16	Pck
	タイマコンベアマッチレジスタ	CAN0TCMR	H'FE38 0090	H'1E38 0090	16	Pck
	メールボックス 0	CAN0MB0	H'FE38 0100	H'1E38 0100	16	Pck
	メールボックス 1	CAN0MB1	H'FE38 0120	H'1E38 0120	16	Pck
	メールボックス 2	CAN0MB2	H'FE38 0140	H'1E38 0140	16	Pck
	メールボックス 3	CAN0MB3	H'FE38 0160	H'1E38 0160	16	Pck
	メールボックス 4	CAN0MB4	H'FE38 0180	H'1E38 0180	16	Pck
	メールボックス 5	CAN0MB5	H'FE38 01A0	H'1E38 01A0	16	Pck
	メールボックス 6	CAN0MB6	H'FE38 01C0	H'1E38 01C0	16	Pck
	メールボックス 7	CAN0MB7	H'FE38 01E0	H'1E38 01E0	16	Pck
	メールボックス 8	CAN0MB8	H'FE38 0200	H'1E38 0200	16	Pck
	メールボックス 9	CAN0MB9	H'FE38 0220	H'1E38 0220	16	Pck
	メールボックス 10	CAN0MB10	H'FE38 0240	H'1E38 0240	16	Pck
	メールボックス 11	CAN0MB11	H'FE38 0260	H'1E38 0260	16	Pck
	メールボックス 12	CAN0MB12	H'FE38 0280	H'1E38 0280	16	Pck
	メールボックス 13	CAN0MB13	H'FE38 02A0	H'1E38 02A0	16	Pck
	メールボックス 14	CAN0MB14	H'FE38 02C0	H'1E38 02C0	16	Pck
	メールボックス 15	CAN0MB15	H'FE38 02E0	H'1E38 02E0	16	Pck
	メールボックス 16	CAN0MB16	H'FE38 0300	H'1E38 0300	16	Pck
	メールボックス 17	CAN0MB17	H'FE38 0320	H'1E38 0320	16	Pck
	メールボックス 18	CAN0MB18	H'FE38 0340	H'1E38 0340	16	Pck
	メールボックス 19	CAN0MB19	H'FE38 0360	H'1E38 0360	16	Pck
	メールボックス 20	CAN0MB20	H'FE38 0380	H'1E38 0380	16	Pck
	メールボックス 21	CAN0MB21	H'FE38 03A0	H'1E38 03A0	16	Pck
	メールボックス 22	CAN0MB22	H'FE38 03C0	H'1E38 03C0	16	Pck
	メールボックス 23	CAN0MB23	H'FE38 03E0	H'1E38 03E0	16	Pck
	メールボックス 24	CAN0MB24	H'FE38 0400	H'1E38 0400	16	Pck
	メールボックス 25	CAN0MB25	H'FE38 0420	H'1E38 0420	16	Pck
	メールボックス 26	CAN0MB26	H'FE38 0440	H'1E38 0440	16	Pck
	メールボックス 27	CAN0MB27	H'FE38 0460	H'1E38 0460	16	Pck
	メールボックス 28	CAN0MB28	H'FE38 0480	H'1E38 0480	16	Pck
メールボックス 29	CAN0MB29	H'FE38 04A0	H'1E38 04A0	16	Pck	
メールボックス 30	CAN0MB30	H'FE38 04C0	H'1E38 04C0	16	Pck	
メールボックス 31	CAN0MB31	H'FE38 04E0	H'1E38 04E0	16	Pck	

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
HCAN2 チャンネル 1	マスタコントロールレジスタ	CAN1MCR	H'FE39 0000	H'1E39 0000	16	Pck
	ジェネラルステータスレジスタ	CAN1GSR	H'FE39 0002	H'1E39 0002	16	Pck
	ビットコンフィギュレーションレジスタ 1	CAN1BCR1	H'FE39 0004	H'1E39 0004	16	Pck
	ビットコンフィギュレーションレジスタ 0	CAN1BCR0	H'FE39 0006	H'1E39 0006	16	Pck
	割り込みリクエストレジスタ	CAN1IRR	H'FE39 0008	H'1E39 0008	16	Pck
	割り込みマスクレジスタ	CAN1IMR	H'FE39 000A	H'1E39 000A	16	Pck
	エラーカウンタ	CAN1TECREC	H'FE39 000C	H'1E39 000C	16	Pck
	送信待ちレジスタ 1	CAN1TXPR1	H'FE39 0020	H'1E39 0020	16	Pck
	送信待ちレジスタ 0	CAN1TXPR0	H'FE39 0022	H'1E39 0022	16	Pck
	送信キャンセルレジスタ 1	CAN1TXCR1	H'FE39 0028	H'1E39 0028	16	Pck
	送信キャンセルレジスタ 0	CAN1TXCR0	H'FE39 002A	H'1E39 002A	16	Pck
	送信アックノリッジレジスタ 1	CAN1TXACK1	H'FE39 0030	H'1E39 0030	16	Pck
	送信アックノリッジレジスタ 0	CAN1TXACK0	H'FE39 0032	H'1E39 0032	16	Pck
	アボードアックノリッジレジスタ 1	CAN1ABACK1	H'FE39 0038	H'1E39 0038	16	Pck
	アボードアックノリッジレジスタ 0	CAN1ABACK0	H'FE39 003A	H'1E39 003A	16	Pck
	データフレーム受信待ちレジスタ 1	CAN1RXPR1	H'FE39 0040	H'1E39 0040	16	Pck
	データフレーム受信待ちレジスタ 0	CAN1RXPR0	H'FE39 0042	H'1E39 0042	16	Pck
	リモートフレーム受信待ちレジスタ 1	CAN1RFPR1	H'FE39 0048	H'1E39 0048	16	Pck
	リモートフレーム受信待ちレジスタ 0	CAN1RFPR0	H'FE39 004A	H'1E39 004A	16	Pck
	メールボックス割り込みマスクレジスタ 1	CAN1MBIMR1	H'FE39 0050	H'1E39 0050	16	Pck
	メールボックス割り込みマスクレジスタ 0	CAN1MBIMR0	H'FE39 0052	H'1E39 0052	16	Pck
	未読メッセージステータスレジスタ 1	CAN1UMSR1	H'FE39 0058	H'1E39 0058	16	Pck
	未読メッセージステータスレジスタ 0	CAN1UMSR0	H'FE39 005A	H'1E39 005A	16	Pck
	タイマカウンタレジスタ	CAN1TCNTR	H'FE39 0080	H'1E39 0080	16	Pck
	タイマコントロールレジスタ	CAN1TCR	H'FE39 0082	H'1E39 0082	16	Pck
	タイマコンペアマッチレジスタ	CAN1TCMR	H'FE39 0090	H'1E39 0090	16	Pck
	メールボックス 0	CAN1MB0	H'FE39 0100	H'1E39 0100	16	Pck
	メールボックス 1	CAN1MB1	H'FE39 0120	H'1E39 0120	16	Pck
	メールボックス 2	CAN1MB2	H'FE39 0140	H'1E39 0140	16	Pck
	メールボックス 3	CAN1MB3	H'FE39 0160	H'1E39 0160	16	Pck
	メールボックス 4	CAN1MB4	H'FE39 0180	H'1E39 0180	16	Pck
	メールボックス 5	CAN1MB5	H'FE39 01A0	H'1E39 01A0	16	Pck
メールボックス 6	CAN1MB6	H'FE39 01C0	H'1E39 01C0	16	Pck	
メールボックス 7	CAN1MB7	H'FE39 01E0	H'1E39 01E0	16	Pck	

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック	
HCAN2 チャンネル 1	メールボックス 8	CAN1MB8	H'FE39 0200	H'1E39 0200	16	Pck	
	メールボックス 9	CAN1MB9	H'FE39 0220	H'1E39 0220	16	Pck	
	メールボックス 10	CAN1MB10	H'FE39 0240	H'1E39 0240	16	Pck	
	メールボックス 11	CAN1MB11	H'FE39 0260	H'1E39 0260	16	Pck	
	メールボックス 12	CAN1MB12	H'FE39 0280	H'1E39 0280	16	Pck	
	メールボックス 13	CAN1MB13	H'FE39 02A0	H'1E39 02A0	16	Pck	
	メールボックス 14	CAN1MB14	H'FE39 02C0	H'1E39 02C0	16	Pck	
	メールボックス 15	CAN1MB15	H'FE39 02E0	H'1E39 02E0	16	Pck	
	メールボックス 16	CAN1MB16	H'FE39 0300	H'1E39 0300	16	Pck	
	メールボックス 17	CAN1MB17	H'FE39 0320	H'1E39 0320	16	Pck	
	メールボックス 18	CAN1MB18	H'FE39 0340	H'1E39 0340	16	Pck	
	メールボックス 19	CAN1MB19	H'FE39 0360	H'1E39 0360	16	Pck	
	メールボックス 20	CAN1MB20	H'FE39 0380	H'1E39 0380	16	Pck	
	メールボックス 21	CAN1MB21	H'FE39 03A0	H'1E39 03A0	16	Pck	
	メールボックス 22	CAN1MB22	H'FE39 03C0	H'1E39 03C0	16	Pck	
	メールボックス 23	CAN1MB23	H'FE39 03E0	H'1E39 03E0	16	Pck	
	メールボックス 24	CAN1MB24	H'FE39 0400	H'1E39 0400	16	Pck	
	メールボックス 25	CAN1MB25	H'FE39 0420	H'1E39 0420	16	Pck	
	メールボックス 26	CAN1MB26	H'FE39 0440	H'1E39 0440	16	Pck	
	メールボックス 27	CAN1MB27	H'FE39 0460	H'1E39 0460	16	Pck	
	メールボックス 28	CAN1MB28	H'FE39 0480	H'1E39 0480	16	Pck	
	メールボックス 29	CAN1MB29	H'FE39 04A0	H'1E39 04A0	16	Pck	
	メールボックス 30	CAN1MB30	H'FE39 04C0	H'1E39 04C0	16	Pck	
	メールボックス 31	CAN1MB31	H'FE39 04E0	H'1E39 04E0	16	Pck	
	HSPI	コントロールレジスタ	SPCR	H'FE18 0000	H'1E18 0000	32	Pck
		ステータスレジスタ	SPSR	H'FE18 0004	H'1E18 0004	32	Pck
		システムコントロールレジスタ	SPSCR	H'FE18 0008	H'1E18 0008	32	Pck
		トランスミットバッファレジスタ	SPTBR	H'FE18 000C	H'1E18 000C	32	Pck
		レシーブバッファレジスタ	SPRBR	H'FE18 0010	H'1E18 0010	32	Pck
	PFC	入力ピンブルアップ制御レジスタ	INPUPA	H'FE40 0028	H'1E40 0028	16	Pck
		DMA 端子制御レジスタ	DMAPCR	H'FE40 002C	H'1E40 002C	16	Pck
SCIF.Hi-z 制御レジスタ		SCIHZR	H'FE40 0030	H'1E40 0030	16	Pck	
周辺モジュールセレクトレジスタ		IPSELR	H'FE40 0034	H'1E40 0034	16	Pck	
ポート A ブルアップ制御レジスタ		PAPUPR	H'FE40 0080	H'1E40 0080	8	Pck	
ポート B ブルアップ制御レジスタ		PBPUPR	H'FE40 0084	H'1E40 0084	8	Pck	
ポート C ブルアップ制御レジスタ		PCPUPR	H'FE40 0088	H'1E40 0088	8	Pck	

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック	
PFC	ポート D ブルアップ制御レジスタ	PDPUPR	H'FE40 008C	H'1E40 008C	8	Pck	
	ポート E ブルアップ制御レジスタ	PEPUPR	H'FE40 0090	H'1E40 0090	8	Pck	
	ポート F ブルアップ制御レジスタ	PFPUPIR	H'FE40 0094	H'1E40 0094	8	Pck	
	ポート G ブルアップ制御レジスタ	PGPUPR	H'FE40 0098	H'1E40 0098	8	Pck	
	ポート H ブルアップ制御レジスタ	PHPUPR	H'FE40 009C	H'1E40 009C	8	Pck	
	ポート J ブルアップ制御レジスタ	PJPUPR	H'FE40 00A0	H'1E40 00A0	8	Pck	
	ポート K ブルアップ制御レジスタ	PKPUPR	H'FE40 00A4	H'1E40 00A4	8	Pck	
	モードピンブルアップ制御レジスタ	MDPUPR	H'FE40 00A8	H'1E40 00A8	8	Pck	
	モードセレクトレジスタ	MODSELR	H'FE40 00AC	H'1E40 00AC	8	Pck	
	ポート A コントロールレジスタ	PACR	H'FE40 0000	H'1E40 0000	16	Pck	
	ポート B コントロールレジスタ	PBCR	H'FE40 0004	H'1E40 0004	16	Pck	
	ポート C コントロールレジスタ	PCCR	H'FE40 0008	H'1E40 0008	16	Pck	
	ポート D コントロールレジスタ	PDCR	H'FE40 000C	H'1E40 000C	16	Pck	
	ポート E コントロールレジスタ	PECR	H'FE40 0010	H'1E40 0010	16	Pck	
	ポート F コントロールレジスタ	PFCDR	H'FE40 0014	H'1E40 0014	16	Pck	
	ポート G コントロールレジスタ	PGCR	H'FE40 0018	H'1E40 0018	16	Pck	
	ポート H コントロールレジスタ	PHCR	H'FE40 001C	H'1E40 001C	16	Pck	
	ポート J コントロールレジスタ	PJCR	H'FE40 0020	H'1E40 0020	16	Pck	
	ポート K コントロールレジスタ	PKCR	H'FE40 0024	H'1E40 0024	16	Pck	
	ポート A データレジスタ	PADR	H'FE40 0040	H'1E40 0040	8	Pck	
	ポート B データレジスタ	PBDR	H'FE40 0044	H'1E40 0044	8	Pck	
	ポート C データレジスタ	PCDR	H'FE40 0048	H'1E40 0048	8	Pck	
	ポート D データレジスタ	PDDR	H'FE40 004C	H'1E40 004C	8	Pck	
	ポート E データレジスタ	PEDR	H'FE40 0050	H'1E40 0050	8	Pck	
	ポート F データレジスタ	PFDR	H'FE40 0054	H'1E40 0054	8	Pck	
	ポート G データレジスタ	PGDR	H'FE40 0058	H'1E40 0058	8	Pck	
	ポート H データレジスタ	PHDR	H'FE40 005C	H'1E40 005C	8	Pck	
	ポート J データレジスタ	PJDR	H'FE40 0060	H'1E40 0060	8	Pck	
	ポート K データレジスタ	PKDR	H'FE40 0064	H'1E40 0064	8	Pck	
	GPIO 割り込みコントロールレジスタ	GPIOIC	H'FF80 0048	H'1F80 0048	16	Bck	
	HAC チャンネル 0	コントロールステータスレジスタ 0	HACCR0	H'FE24 0008	H'1E24 0008	32	Pck
		コマンド / ステータスアドレスレジスタ 0	HACCSAR0	H'FE24 0020	H'1E24 0020	32	Pck
コマンド / ステータスデータレジスタ 0		HACCSSDR0	H'FE24 0024	H'1E24 0024	32	Pck	
PCM レフトチャンネルレジスタ 0		HACPCML0	H'FE24 0028	H'1E24 0028	32	Pck	
PCM ライトチャンネルレジスタ 0		HACPCMR0	H'FE24 002C	H'1E24 002C	32	Pck	
TX 割り込みイネーブルレジスタ 0		HACTIER0	H'FE24 0050	H'1E24 0050	32	Pck	

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
HAC チャンネル 0	TX ステータスレジスタ 0	HACTSR0	H'FE24 0054	H'1E24 0054	32	Pck
	RX 割り込みイネーブルレジスタ 0	HACRIER0	H'FE24 0058	H'1E24 0058	32	Pck
	RX ステータスレジスタ 0	HACRSR0	H'FE24 005C	H'1E24 005C	32	Pck
	HAC コントロールレジスタ 0	HACACR0	H'FE24 0060	H'1E24 0060	32	Pck
HAC チャンネル 1	コントロールステータスレジスタ 1	HACCR1	H'FE25 0008	H'1E25 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	H'FE25 0020	H'1E25 0020	32	Pck
	コマンド / ステータスデータレジスタ 1	HACCSSDR1	H'FE25 0024	H'1E25 0024	32	Pck
	PCM レフトチャンネルレジスタ 1	HACPCML1	H'FE25 0028	H'1E25 0028	32	Pck
	PCM ライトチャンネルレジスタ 1	HACPCMR1	H'FE25 002C	H'1E25 002C	32	Pck
	TX 割り込みイネーブルレジスタ 1	HACTIER1	H'FE25 0050	H'1E25 0050	32	Pck
	TX ステータスレジスタ 1	HACTSR1	H'FE25 0054	H'1E25 0054	32	Pck
	RX 割り込みイネーブルレジスタ 1	HACRIER1	H'FE25 0058	H'1E25 0058	32	Pck
	RX ステータスレジスタ 1	HACRSR1	H'FE25 005C	H'1E25 005C	32	Pck
	HAC コントロールレジスタ 1	HACACR1	H'FE25 0060	H'1E25 0060	32	Pck
MMCIF	コマンドレジスタ 0	CMDR0	H'FE50 0000	H'1E50 0000	8	Pck
	コマンドレジスタ 1	CMDR1	H'FE50 0001	H'1E50 0001	8	Pck
	コマンドレジスタ 2	CMDR2	H'FE50 0002	H'1E50 0002	8	Pck
	コマンドレジスタ 3	CMDR3	H'FE50 0003	H'1E50 0003	8	Pck
	コマンドレジスタ 4	CMDR4	H'FE50 0004	H'1E50 0004	8	Pck
	コマンドレジスタ 5	CMDR5	H'FE50 0005	H'1E50 0005	8	Pck
	コマンドスタートレジスタ	CMDSTRT	H'FE50 0006	H'1E50 0006	8	Pck
	オペレーションコントロールレジスタ	OPCR	H'FE50 000A	H'1E50 000A	8	Pck
	カードステータスレジスタ	CSTR	H'FE50 000B	H'1E50 000B	8	Pck
	割り込みコントロールレジスタ 0	INTCR0	H'FE50 000C	H'1E50 000C	8	Pck
	割り込みコントロールレジスタ 1	INTCR1	H'FE50 000D	H'1E50 000D	8	Pck
	割り込みステータスレジスタ 0	INTSTR0	H'FE50 000E	H'1E50 000E	8	Pck
	割り込みステータスレジスタ 1	INTSTR1	H'FE50 000F	H'1E50 000F	8	Pck
	転送クロックコントロールレジスタ	CLKON	H'FE50 0010	H'1E50 0010	8	Pck
	コマンドタイムアウトコントロールレジスタ	CTOCR	H'FE50 0011	H'1E50 0011	8	Pck
	転送バイト数カウントレジスタ	TBCR	H'FE50 0014	H'1E50 0014	8	Pck
	モードレジスタ	MODER	H'FE50 0016	H'1E50 0016	8	Pck
	コマンドタイプレジスタ	CMDTYR	H'FE50 0018	H'1E50 0018	8	Pck
	レスポンスタイプレジスタ	RSPTYR	H'FE50 0019	H'1E50 0019	8	Pck
	レスポンスレジスタ 0	RSPR0	H'FE50 0020	H'1E50 0020	8	Pck
	レスポンスレジスタ 1	RSPR1	H'FE50 0021	H'1E50 0021	8	Pck
	レスポンスレジスタ 2	RSPR2	H'FE50 0022	H'1E50 0022	8	Pck

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
MMCIF	レスポンスレジスタ 3	RSPR3	H'FE50 0023	H'1E50 0023	8	Pck
	レスポンスレジスタ 4	RSPR4	H'FE50 0024	H'1E50 0024	8	Pck
	レスポンスレジスタ 5	RSPR5	H'FE50 0025	H'1E50 0025	8	Pck
	レスポンスレジスタ 6	RSPR6	H'FE50 0026	H'1E50 0026	8	Pck
	レスポンスレジスタ 7	RSPR7	H'FE50 0027	H'1E50 0027	8	Pck
	レスポンスレジスタ 8	RSPR8	H'FE50 0028	H'1E50 0028	8	Pck
	レスポンスレジスタ 9	RSPR9	H'FE50 0029	H'1E50 0029	8	Pck
	レスポンスレジスタ 10	RSPR10	H'FE50 002A	H'1E50 002A	8	Pck
	レスポンスレジスタ 11	RSPR11	H'FE50 002B	H'1E50 002B	8	Pck
	レスポンスレジスタ 12	RSPR12	H'FE50 002C	H'1E50 002C	8	Pck
	レスポンスレジスタ 13	RSPR13	H'FE50 002D	H'1E50 002D	8	Pck
	レスポンスレジスタ 14	RSPR14	H'FE50 002E	H'1E50 002E	8	Pck
	レスポンスレジスタ 15	RSPR15	H'FE50 002F	H'1E50 002F	8	Pck
	レスポンスレジスタ 16	RSPR16	H'FE50 0030	H'1E50 0030	8	Pck
	データタイムアウトレジスタ	DTOUTR	H'FE50 0032	H'1E50 0032	16	Pck
	データレジスタ	DR	H'FE50 0040	H'1E50 0040	16	Pck
	FIFO ボイнтаククリアレジスタ	FIFOCLR	H'FE50 0042	H'1E50 0042	8	Pck
	DMA コントロールレジスタ	DMACR	H'FE50 0044	H'1E50 0044	8	Pck
	割り込みコントロールレジスタ 2	INTCR2	H'FE50 0046	H'1E50 0046	8	Pck
割り込みステータスレジスタ 2	INTSTR2	H'FE50 0048	H'1E50 0048	8	Pck	
受信データタイミング切替レジスタ	RDTIMSEL	H'FE50 004A	H'1E50 004A	8	Pck	
MFI	MFI インデックスレジスタ	MFIIDX	H'FE2C 0000	H'1E2C 0000	32	Pck
	MFI 汎用ステータスレジスタ	MFIGSR	H'FE2C 0004	H'1E2C 0004	32	Pck
	MFI ステータス / コントロールレジスタ	MFISCR	H'FE2C 0008	H'1E2C 0008	32	Pck
	MFI メモリ制御レジスタ	MFIMCR	H'FE2C 000C	H'1E2C 000C	32	Pck
	MFI 内部割り込み制御レジスタ	MFIICR	H'FE2C 0010	H'1E2C 0010	32	Pck
	MFI 外部割り込み制御レジスタ	MFIEICR	H'FE2C 0014	H'1E2C 0014	32	Pck
	MFI アドレスレジスタ	MFIADR	H'FE2C 0018	H'1E2C 0018	32	Pck
	MFI データレジスタ	MFIDATA	H'FE2C 001C	H'1E2C 001C	32	Pck
		MFRAM 先頭	H'FE2E 0000	H'1E2E 0000	32	Pck
		MFRAM 最後	H'FE2E 07FF	H'1E2E 07FF	32	Pck
H-UDI	インストラクションレジスタ	SDIR	H'FFF0 0000	H'1FF0 0000	16	Pck
	データレジスタ H	SDDR/SDDRH	H'FFF0 0008	H'1FF0 0008	32/16	Pck
	データレジスタ L	SDDRL	H'FFF0 000A	H'1FF0 000A	16	Pck
	割り込み要因レジスタ	SDINT	H'FFF0 0014	H'1FF0 0014	16	Pck
	バイパスレジスタ	SDBPR	-	-	-	-

32. レジスタ一覧

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
H-UDI	バウンダリスキャンレジスタ	SDBSR	-	-	-	-
ADC	A/D データレジスタ A	ADDRA	H'FE28 0000	H'1E28 0000	16	Pck
	A/D データレジスタ B	ADDRB	H'FE28 0002	H'1E28 0002	16	Pck
	A/D データレジスタ C	ADDRC	H'FE28 0004	H'1E28 0004	16	Pck
	A/D データレジスタ D	ADDRD	H'FE28 0006	H'1E28 0006	16	Pck
	A/D コントロール/ステータスレジスタ	ADCSR	H'FE28 0008	H'1E28 0008	16	Pck
LCDC	LCDC インプットクロックレジスタ	LDICKR	H'FE30 0C00	H'1E30 0C00	16	Pck
	LCDC モジュールタイプレジスタ	LDMTR	H'FE30 0C02	H'1E30 0C02	16	Pck
	LCDC データフォーマットレジスタ	LDDFR	H'FE30 0C04	H'1E30 0C04	16	Pck
	LCDC スキャンモードレジスタ	LDSMR	H'FE30 0C06	H'1E30 0C06	16	Pck
	LCDC 上部表示パネル用データ取り込み開始 アドレスレジスタ	LDSARU	H'FE30 0C08	H'1E30 0C08	32	Pck
	LCDC 下部表示パネル用データ取り込み開始 アドレスレジスタ	LDSARL	H'FE30 0C0C	H'1E30 0C0C	32	Pck
	LCDC 表示パネル用取り込みデータライン アドレスオフセットレジスタ	LDLAOR	H'FE30 0C10	H'1E30 0C10	16	Pck
	LCDC パレットコントロールレジスタ	LDPALCR	H'FE30 0C12	H'1E30 0C12	16	Pck
	パレットデータレジスタ 00 - FF	LDPR00 - FF ^{a3}	H'FE30 0800	H'1E30 0800	32	Pck
	LCDC 水平キャラクタナンバーレジスタ	LDHCNR	H'FE30 0C14	H'1E30 0C14	16	Pck
	LCDC 水平同期信号レジスタ	LDHSYNR	H'FE30 0C16	H'1E30 0C16	16	Pck
	LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	H'FE30 0C18	H'1E30 0C18	16	Pck
	LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	H'FE30 0C1A	H'1E30 0C1A	16	Pck
	LCDC 垂直同期信号レジスタ	LDVSYNR	H'FE30 0C1C	H'1E30 0C1C	16	Pck
	LCDC AC モジュレーション信号トグルライン ナンバーレジスタ	LDACLNR	H'FE30 0C1E	H'1E30 0C1E	16	Pck
	LCDC 割り込みコントロールレジスタ	LDINTR	H'FE30 0C20	H'1E30 0C20	16	Pck
	LCDC パワーマネジメントモードレジスタ	LDPMMR	H'FE30 0C24	H'1E30 0C24	16	Pck
	LCDC 電源シーケンス期間レジスタ	LDPSPR	H'FE30 0C26	H'1E30 0C26	16	Pck
	LCDC コントロールレジスタ	LDCNTR	H'FE30 0C28	H'1E30 0C28	16	Pck
	UBC	ブ레이크アドレスレジスタ A	BARA	H'FF20 0000	H'1F20 0000	32
ブ레이크 ASID レジスタ A		BASRA	H'FF00 0014	H'1F00 0014	8	lck
ブ레이크アドレスマスクレジスタ A		BAMRA	H'FF20 0004	H'1F20 0004	8	lck
ブ레이크バスサイクルレジスタ A		BBRA	H'FF20 0008	H'1F20 0008	16	lck
ブ레이크アドレスレジスタ B		BARB	H'FF20 000C	H'1F20 000C	32	lck
ブ레이크 ASID レジスタ B		BASRB	H'FF00 0018	H'1F00 0018	8	lck
ブ레이크アドレスマスクレジスタ B		BAMRB	H'FF20 0010	H'1F20 0010	8	lck
ブ레이크バスサイクルレジスタ B		BBRB	H'FF20 0014	H'1F20 0014	16	lck

モジュール名	レジスタ名	レジスタ略称	P4 アドレス	エリア7アドレス	サイズ	同期 クロック
UBC	ブ레이크データレジスタ B	BDRB	H'FF20 0018	H'1F20 0018	32	lck
	ブ레이크データマスクレジスタ B	BDMRB	H'FF20 001C	H'1F20 001C	32	lck
	ブ레이크コントロールレジスタ	BRCR	H'FF20 0020	H'1F20 0020	16	lck

- 【注】 *1 詳細は SDMR2、SDMR3 を参照してください。
- *2 読み出し：バイトアクセス、書き込み：ワードアクセス
- *3 LDPR00、LDPR01、.....LDPRFF の 256 個あります。アドレスは H'FE30 0800、H'FE30 0804、.....H'FE30 0BFC となります。

32.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットのレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PTEH	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	MMU
	VPN	VPN	VPN	VPN	VPN	VPN	VPN	VPN	
	VPN	VPN	VPN	VPN	VPN	VPN	-	-	
	ASID	ASID	ASID	ASID	ASID	ASID	ASID	ASID	
PTEL	-	-	-	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	PPN	PPN	
	PPN	PPN	PPN	PPN	PPN	PPN	-	V	
	SZ1	PR1	PR0	SZ0	C	D	SH	WT	
PTEA	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	TC	SA2	SA1	SA0	
TTB	TTB	TTB	TTB	TTB	TTB	TTB	TTB	TTB	
	TTB	TTB	TTB	TTB	TTB	TTB	TTB	TTB	
	TTB	TTB	TTB	TTB	TTB	TTB	TTB	TTB	
	TTB	TTB	TTB	TTB	TTB	TTB	TTB	TTB	
TEA	MMU 以外 / アドレスエラーを発生させた仮想アドレス								
	MMU 以外 / アドレスエラーを発生させた仮想アドレス								
	MMU 以外 / アドレスエラーを発生させた仮想アドレス								
	MMU 以外 / アドレスエラーを発生させた仮想アドレス								
MMUCR	LRUI	LRUI	LRUI	LRUI	LRUI	LRUI	-	-	
	URB	URB	URB	URB	URB	URB	-	-	
	URC	URC	URC	URC	URC	URC	SQMD	SV	
	-	-	-	-	-	TI	-	AT	
CCR	EMODE	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	-	
	IIX	-	-	-	ICI	-	-	ICE	
	OIX	-	ORA	-	OCI	CB	WT	OCE	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
QACR0	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	AREA0	AREA0	AREA0	-	-	
QACR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	AREA1	AREA1	AREA1	-	-	
TRA	-	-	-	-	-	-	-	-	例外
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	imm	imm	
	imm	imm	imm	imm	imm	imm	-	-	
EXPEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
INTEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
ICR	NMIL	MAI	-	-	-	-	NMIB	NMIE	INTC
	IRLM	-	-	-	-	-	-	-	
IPRA	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRB	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRC	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRD	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
INTPRI00									

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
INTPRI04									INTC
INTPRI08									
INTPRI0C									
INTREQ00									
INTREQ04									
INTMSK00									
INTMSK04									
INTMSKCLR00	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
INTMSKCLR04	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
BCR1	ENDIAN	-	A0MPX	-	-	DPUP	-	OPUP	BSC
	-	-	A1MBC	A4MBC	BREQEN	-	MEMMPX	DMABST	
	HIZMEM	HIZCNT	A0BST2	A0BST1	A0BST0	A5BST2	A5BST1	A5BST0	
	A6BST2	A6BST1	A6BST0	DRAMTP2	DRAMTP1	DRAMTP0	-	A56PCM	
BCR2	A0SZ1	A0SZ0	A6SZ1	A6SZ0	A5SZ1	A5SZ0	A4SZ1	A4SZ0	
	A3SZ1	A3SZ0	A2SZ1	A2SZ0	A1SZ1	A1SZ0	-	STBIRLEN	
BCR3	MEMMODE	A1MPX	A4MPX	-	-	-	-	-	
	-	-	-	-	-	-	-	SDBL	
BCR4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	ASYNC6	ASYNC5	ASYNC4	ASYNC3	ASYNC2	ASYNC1	ASYNC0	
WCR1	-	DMAIW2	DMAIW1	DMAIW0	-	A6IW2	A6IW1	A6IW0	
	-	A5IW2	A5IW1	A5IW0	-	A4IW2	A4IW1	A4IW0	
	-	A3IW2	A3IW1	A3IW0	-	A2IW2	A2IW1	A2IW0	
	-	A1IW2	A1IW1	A1IW0	-	A0IW2	A0IW1	A0IW0	
WCR2	A6W2	A6W1	A6W0	A6B2	A6B1	A6B0	A5W2	A5W1	
	A5W0	A5B2	A5B1	A5B0	A4W2	A4W1	A4W0	-	
	A3W2	A3W1	A3W0	-	A2W2	A2W1	A2W0	A1W2	
	A1W1	A1W0	A0W2	A0W1	A0W0	A0B2	A0B1	A0B0	
WCR3	-	-	-	-	-	A6S0	A6H1	A6H0	
	-	A5S0	A5H1	A5H0	A4RDH	A4S0	A4H1	A4H0	
	-	A3S0	A3H1	A3H0	-	A2S0	A2H1	A2H0	
	A1RDH	A1S0	A1H1	A1H0	-	A0S0	A0H1	A0H0	
WCR4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	CSH1	CSH0	
MCR	RASD	MRSET	TRC2	TRC1	TRC0	-	-	-	
	-	-	TPC2	TPC1	TPC0	-	RCD1	RCD0	
	TRWL2	TRWL1	TRWL0	TRAS2	TRAS1	TRAS0	-	SZ1	
	SZ0	AMXEXT	AMX2	AMX1	AMX0	RFSH	RMODE	-	
PCR	A5PCW1	A5PCW0	A6PCW1	A6PCW0	A5TED2	A5TED1	A5TED0	A6TED2	
	A6TED1	A6TED0	A5TEH2	A5TEH1	A5TEH0	A6TEH2	A6TEH1	A6TEH0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
RTCSR	-	-	-	-	-	-	-	-	BSC
	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS	
RTCNT	-	-	-	-	-	-	-	-	
RTCOR	-	-	-	-	-	-	-	-	
RFCR	-	-	-	-	-	-	-	-	
SDMR2									
SDMR3									
SAR0									DMAC チャンネル0
DAR0									
DMATCR0									
CHCR0	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR1									DMAC チャンネル1
DAR1									

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMATCR1									DMAC チャンネル1
CHCR1	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR2									DMAC チャンネル2
DAR2									
DMATCR2									
CHCR2	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR3									DMAC チャンネル3
DAR3									
DMATCR3									

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CHCR3	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	DMAC チャンネル3
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR4									DMAC チャンネル4
DAR4									
DMATCR4									
CHCR4	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR5									DMAC チャンネル5
DAR5									
DMATCR5									
CHCR5	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SAR6									DMAC チャンネル6
DAR6									
DMATCR6									
CHCR6	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
SAR7									DMAC チャンネル7
DAR7									
DMATCR7									
CHCR7	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	
	-	-	-	-	DS	RL	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	TM	TS2	TS1	TS0	CHSET	IE	TE	DE	
DMAOR	-	-	-	-	-	-	-	-	DMAC 共通
	-	-	-	-	-	-	-	-	
	DMS1	DMS0	-	-	-	-	PR1	PR0	
	-	-	-	-	-	AE	NMIF	DME	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMARSRRA	CH0WEN	CH0RS6	CH0RS5	CH0RS4	CH0RS3	CH0RS2	CH0RS1	CH0RS0	DMAC 共通
	CH1WEN	CH1RS6	CH1RS5	CH1RS4	CH1RS3	CH1RS2	CH1RS1	CH1RS0	
	CH2WEN	CH2RS6	CH2RS5	CH2RS4	CH2RS3	CH2RS2	CH2RS1	CH2RS0	
	CH3WEN	CH3RS6	CH3RS5	CH3RS4	CH3RS3	CH3RS2	CH3RS1	CH3RS0	
DMARSRB	CH4WEN	CH4RS6	CH4RS5	CH4RS4	CH4RS3	CH4RS2	CH4RS1	CH4RS0	
	CH5WEN	CH5RS6	CH5RS5	CH5RS4	CH5RS3	CH5RS2	CH5RS1	CH5RS0	
	CH6WEN	CH6RS6	CH6RS5	CH6RS4	CH6RS3	CH6RS2	CH6RS1	CH6RS0	
	CH7WEN	CH7RS6	CH7RS5	CH7RS4	CH7RS3	CH7RS2	CH7RS1	CH7RS0	
DMARCR	REX7	REX6	REX5	REX4	REX3	REX2	REX1	REX0	
	R/A3	R/A2	-	-	-	-	RPR1	RPR0	
	-	DS3	RL3	AL3	-	DS2	RL2	AL2	
	-	DS1	RL1	AL1	-	DS0	RL0	AL0	
DMABRGCR	A1RXHE	A1RXEE	A1TXHE	A1TXEE	A0RXHE	A0RXEE	A0TXHE	A0TXEE	DMAC DMABRG
	A1RXHF	A1RXEF	A1TXHF	A1TXEF	A0RXHF	A0RXEF	A0TXHF	A0TXEF	
	-	-	-	-	-	-	UAE	UTE	
	-	-	-	-	-	-	UAF	UTF	
DMAATXSAR0									
DMAARXDAR0									
DMAATXTCR0									
DMAARXTCR0									
DMAACR0	-	-	-	-	-	-	RAM1	RAM0	
	-	-	-	-	-	RAR	RDS	RDE	
	-	-	-	-	-	-	TAM1	TAM0	
	-	-	-	-	-	TAR	TDS	TDE	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMAATXCNT0									DMAC DMABRG
DMAARXCNT0									
DMAATXSAR1									
DMAARXDAR1									
DMAATXTCR1									
DMAARXTCR1									
DMAACR1	-	-	-	-	-	-	RAM1	RAM0	
	-	-	-	-	-	RAR	RDS	RDE	
	-	-	-	-	-	-	TAM1	TAM0	
	-	-	-	-	-	TAR	TDS	TDE	
DMAATXCNT1									
DMAARXCNT1									

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMAUSAR									DMAC DMABRG
DMAUDAR									
DMAURWSZ	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	RW	
				SZ12	SZ11	SZ10	SZ9	SZ8	
	SZ7	SZ6	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0	
DMAUCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	CVRT1	CVRT0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	START	-	
FRQCR	-	-	-	-	CKOEN	PLL1EN	PLL2EN	IFC2	CPG
	IFC1	IFC0	BFC2	BFC1	BFC0	PFC2	PFC1	PFC0	
DCKDR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DCKEN	-	-	-	PLL3EN	DCKOUT	DIV1	DIV0	
MCKCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	FLMCK3	FLMCK2	FLMCK1	FLMCK0	
WTCNT									WDT
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
STBCR	STBY	-	-	MSTP4	-	MSTP2	-	-	低消費
STBCR2	DSLPL	STHZ	-	-	-	-	MSTP6	MSTP5	
CLKSTP00	CSTP31	CSTP30	CSTP29	CSTP28	CSTP27	CSTP26	CSTP25	CSTP24	
	CSTP23	CSTP22	-	CSTP20	CSTP19	-	CSTP17	CSTP16	
	CSTP15	CSTP14	CSTP13	CSTP12	CSTP11	CSTP10	CSTP9	CSTP8	
	-	-	-	-	-	-	-	CSTP0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CLKSTPCLR00									低消費
TSTR	-	-	-	-	-	STR2	STR1	STR0	TMU 共通
TCOR0									TMU チャンネル0
TCNT0									
TCR0	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR1									TMU チャンネル1
TCNT1									
TCR1	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TCOR2									TMU チャンネル2
TCNT2									
TCR2	-	-	-	-	-	-	ICPF	UNF	
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCPR2									TMU チャンネル2
CMTCFG	-	-	-	-	-	-	-	-	CMT 共通
	-	-	-	-	-	-	ROT2	ROT0	
	ED3	ED3	ED2	ED2	ED1	ED1	ED0	ED0	
	-	FRCM	FRTM	T23	T23	T23	T01	T01	
CMTFRT	FRT	FRT	FRT	FRT	FRT	FRT	FRT	FRT	
	FRT	FRT	FRT	FRT	FRT	FRT	FRT	FRT	
	FRT	FRT	FRT	FRT	FRT	FRT	FRT	FRT	
	FRT	FRT	FRT	FRT	FRT	FRT	FRT	FRT	
CMTCTL	TE3	TE2	TE1	TE0	IOE3	IOE2	IOE1	IOE0	
	ICE3	ICE2	ICE1	ICE0	IEE3	IEE2	IEE1	IEE0	
	CC3	CC3	CC2	CC2	CC1	CC1	CC0	CC0	
	SI3	SI2	SI1	SI0	OP3	OP2	OP1	OP0	
CMTIRQS	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	IO3	IO2	IO1	IO0	
	IC3	IC2	IC1	IC0	IE3	IE2	IE1	IE0	
CMTCH0T									CMT チャンネル0
									チャンネル0 タイム 31~24
									チャンネル0 タイム 23~16
									チャンネル0 タイム 15~8
									チャンネル0 タイム 7~0
CMTCH0ST									
									チャンネル0 ストップタイム 31~24
									チャンネル0 ストップタイム 23~16
									チャンネル0 ストップタイム 15~8
									チャンネル0 ストップタイム 7~0
CMTCH0C	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
									チャンネル0 カウンタ 15~8
									チャンネル0 カウンタ 7~0
CMTCH1T									CMT チャンネル1
									チャンネル1 タイム 31~24
									チャンネル1 タイム 23~16
									チャンネル1 タイム 15~8
									チャンネル1 タイム 7~0

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CMTCH1ST	チャンネル1 ストップタイム 31~24								CMT チャンネル1
	チャンネル1 ストップタイム 23~16								
	チャンネル1 ストップタイム 15~8								
	チャンネル1 ストップタイム 7~0								
CMTCH1C	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	チャンネル1 カウンタ 15~8								
	チャンネル1 カウンタ 7~0								
CMTCH2T	チャンネル2 タイム 31~24								CMT チャンネル2
	チャンネル2 タイム 23~16								
	チャンネル2 タイム 15~8								
	チャンネル2 タイム 7~0								
CMTCH2ST	チャンネル2 ストップタイム 31~24								
	チャンネル2 ストップタイム 23~16								
	チャンネル2 ストップタイム 15~8								
	チャンネル2 ストップタイム 7~0								
CMTCH2C	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	チャンネル2 カウンタ 15~8								
	チャンネル2 カウンタ 7~0								
CMTCH3T	チャンネル3 タイム 31~24								CMT チャンネル3
	チャンネル3 タイム 23~16								
	チャンネル3 タイム 15~8								
	チャンネル3 タイム 7~0								
CMTCH3ST	チャンネル3 ストップタイム 31~24								
	チャンネル3 ストップタイム 23~16								
	チャンネル3 ストップタイム 15~8								
	チャンネル3 ストップタイム 7~0								
CMTCH3C	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	チャンネル3 カウンタ 15~8								
	チャンネル3 カウンタ 7~0								

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SCSMR0	-	-	-	-	-	-	-	-	SCIF チャンネル0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR0									
SCSCR0	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR0									
SCFSR0	-	-	-	-	-	-	-	-	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR0									
SCFCR0	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCTFDR0	-	-	-	-	-	-	-	-	
	T7	T6	T5	T4	T3	T2	T1	T0	
SCRFDR0	-	-	-	-	-	-	-	-	
	R7	R6	R5	R4	R3	R2	R1	R0	
SCSPTR0	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCREER0	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	
SCSMR1	-	-	-	-	-	-	-	-	SCIF チャンネル1
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR1									
SCSCR1	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR1									
SCFSR1	-	-	-	-	-	-	-	-	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR1									
SCFCR1	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCTFDR1	-	-	-	-	-	-	-	-	
	T7	T6	T5	T4	T3	T2	T1	T0	
SCRFDR1	-	-	-	-	-	-	-	-	
	R7	R6	R5	R4	R3	R2	R1	R0	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SCSPTR1	-	-	-	-	-	-	-	-	SCIF チャンネル1
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCRER1	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	
SCSMR2	-	-	-	-	-	-	-	-	SCIF チャンネル2
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0	
SCBRR2									
SCSCR2	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR2									
SCFSR2	-	-	-	-	-	-	-	-	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR2									
SCFCR2	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCTFDR2	-	-	-	-	-	-	-	-	
	T7	T6	T5	T4	T3	T2	T1	T0	
SCRFDR2	-	-	-	-	-	-	-	-	
	R7	R6	R5	R4	R3	R2	R1	R0	
SCSPTR2	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCRER2	-	PER6	PER5	PER4	PER3	PER2	PER1	PER0	
	-	FER6	FER5	FER4	FER3	FER2	FER1	FER0	
SISMR	-	-	PE	O/Ē	-	-	-	-	SIM
SIBRR	-	-	-	-	-	BRR2	BRR1	BRR0	
SISCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0	
SITDR	SITD7	SITD6	SITD5	SITD4	SITD3	SITD2	SITD1	SITD0	
SISSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	-	
SIRDR	SIRD7	SIRD6	SIRD5	SIRD4	SIRD3	SIRD2	SIRD1	SIRD0	
SISCMR	-	LCB	PB	-	SDIR	SINV	RST	SMIF	
SISC2R	EIO	-	-	-	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SIWAIT	SIWAIT15	SIWAIT14	SIWAIT13	SIWAIT12	SIWAIT11	SIWAIT10	SIWAIT9	SIWAIT8	SIM
	SIWAIT7	SIWAIT6	SIWAIT5	SIWAIT4	SIWAIT3	SIWAIT2	SIWAIT1	SIWAIT0	
SIGRD	SIGRD7	SIGRD6	SIGRD5	SIGRD4	SIGRD3	SIGRD2	SIGRD1	SIGRD0	
SIS MPL	-	-	-	-	-	SIS MPL10	SIS MPL9	SIS MPL8	
	SIS MPL7	SIS MPL6	SIS MPL5	SIS MPL4	SIS MPL3	SIS MPL2	SIS MPL1	SIS MPL0	
ICSCRO	-	-	-	-	-	-	-	-	iC チャンネル0
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	SDBS	SIE	GCAE	FNA	
ICMCR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG	
ICSSR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	GCAR	STM	SSR	SDE	SDT	SDR	SAR	
ICMSR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	MNR	MAL	MST	MDE	MDT	MDR	MAT	
ICSIER0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	SSRE	SDEE	SDTE	SDRE	SARE	
ICMIER0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE	
ICCCR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SCGD	SCGD	SCGD	SCGD	SCGD	SCGD	CDF	CDF	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IC SAR0	-	-	-	-	-	-	-	-	iC チャンネル0
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	SADD0_6	SADD0_5	SADD0_4	SADD0_3	SADD0_2	SADD0_1	SADD0_0	
IC MAR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SADD1_6	SADD1_5	SADD1_4	SADD1_3	SADD1_2	SADD1_1	SADD1_0	STM1	
IC RXD0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	RXD	RXD	RXD	RXD	RXD	RXD	RXD	RXD	
IC TXD0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	TXD	TXD	TXD	TXD	TXD	TXD	TXD	TXD	
IC FCR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	RTRG3	RTRG2	RTRG1	RTRG0	TTRG1	TTRG0	RFRST	TFRST	
IC FSR0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	TEND	RDF	TDFE	
IC FIER0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	TEIE	RXIE	TXIE	
IC RFDRO	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	R4	R3	R2	R1	R0	
IC TFDRO	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	T4	T3	T2	T1	T0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ICSCR1	-	-	-	-	-	-	-	-	iC チャンネル1
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	SDBS	SIE	GCAE	FNA	
ICMCR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG	
ICSSR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	GCAR	STM	SSR	SDE	SDT	SDR	SAR	
ICMSR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	MNR	MAL	MST	MDE	MDT	MDR	MAT	
ICSIER1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	SSRE	SDEE	SDTE	SDRE	SARE	
ICMIER1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE	
ICCCR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SCGD	SCGD	SCGD	SCGD	SCGD	SCGD	CDF	CDF	
ICSAR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	SADD0_6	SADD0_5	SADD0_4	SADD0_3	SADD0_2	SADD0_1	SADD0_0	
ICMAR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SADD1_6	SADD1_5	SADD1_4	SADD1_3	SADD1_2	SADD1_1	SADD1_0	STM1	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ICRXD1	-	-	-	-	-	-	-	-	iC チャンネル1
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	RXD	RXD	RXD	RXD	RXD	RXD	RXD	RXD	
ICTXD1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	TXD	TXD	TXD	TXD	TXD	TXD	TXD	TXD	
ICFCR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	RTRG3	RTRG2	RTRG1	RTRG0	TTRG1	TTRG0	RFRST	TFRST	
ICFSR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	TEND	RDF	TDFE	
ICFIER1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	TEIE	RXIE	TXIE	
ICRFDR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	R4	R3	R2	R1	R0	
ICTFDR1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	T4	T3	T2	T1	T0	
SSICR0	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	SSI チャンネル0
	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0	
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
	BREN	CKDV	CKDV	CKDV	MUEN	CPEN	TRMD	EN	
SSISR0	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CHNO1	CHNO0	SWNO	IDST	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SSITDR0									SSI チャンネル0
SSIRDR0									
SSICR1	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	SSI チャンネル1
	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0	
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
	BREN	CKDV	CKDV	CKDV	MUEN	CPEN	TRMD	EN	
SSISR1	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CHNO1	CHNO0	SWNO	IDST	
SSITDR1									
SSIRDR1									
HcRevision	-	-	-	-	-	-	-	-	USB
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	REV	REV	REV	REV	REV	REV	REV	REV	
HcControl	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	RWE	RWC	IR	
	HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0	
HcCommand Status	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	SOC1	SOC0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	OCR	BLF	CLF	HCR	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HcInterrupt Status	-	OC	-	-	-	-	-	-	USB
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
HcInterrupt Enable	MIE	OC	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
HcInterrupt Disable	MIE	OC	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	RHSC	FNO	UE	RD	SF	WDH	SO	
HcHCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	
	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	
	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	HCCA	
	-	-	-	-	-	-	-	-	
HcPeriod CurrentED	PCED	PCED	PCED	PCED	PCED	PCED	PCED	PCED	
	PCED	PCED	PCED	PCED	PCED	PCED	PCED	PCED	
	PCED	PCED	PCED	PCED	PCED	PCED	PCED	PCED	
	PCED	PCED	PCED	PCED	-	-	-	-	
HcControl HeadED	CHED	CHED	CHED	CHED	CHED	CHED	CHED	CHED	
	CHED	CHED	CHED	CHED	CHED	CHED	CHED	CHED	
	CHED	CHED	CHED	CHED	CHED	CHED	CHED	CHED	
	CHED	CHED	CHED	CHED	-	-	-	-	
HcControl CurrentED	CCED	CCED	CCED	CCED	CCED	CCED	CCED	CCED	
	CCED	CCED	CCED	CCED	CCED	CCED	CCED	CCED	
	CCED	CCED	CCED	CCED	CCED	CCED	CCED	CCED	
	CCED	CCED	CCED	CCED	-	-	-	-	
HcBulk HeadED	BHED	BHED	BHED	BHED	BHED	BHED	BHED	BHED	
	BHED	BHED	BHED	BHED	BHED	BHED	BHED	BHED	
	BHED	BHED	BHED	BHED	BHED	BHED	BHED	BHED	
	BHED	BHED	BHED	BHED	-	-	-	-	
HcBulk CurrentED	BCED	BCED	BCED	BCED	BCED	BCED	BCED	BCED	
	BCED	BCED	BCED	BCED	BCED	BCED	BCED	BCED	
	BCED	BCED	BCED	BCED	BCED	BCED	BCED	BCED	
	BCED	BCED	BCED	BCED	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HcDone	DH	DH	DH	DH	DH	DH	DH	DH	USB
Head	DH	DH	DH	DH	DH	DH	DH	DH	
	DH	DH	DH	DH	DH	DH	DH	DH	
	DH	DH	DH	DH	-	-	-	-	
HcFm Interval	FIT	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	
	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	FSMPS	
	-	-	FI	FI	FI	FI	FI	FI	
	FI	FI	FI	FI	FI	FI	FI	FI	
HcFm Remaining	FRT	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	FR	FR	FR	FR	FR	FR	
	FR	FR	FR	FR	FR	FR	FR	FR	
HcFm Number	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	FN	FN	FN	FN	FN	FN	FN	FN	
	FN	FN	FN	FN	FN	FN	FN	FN	
HcPeriodic Start	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	PS	PS	PS	PS	PS	PS	
	PS	PS	PS	PS	PS	PS	PS	PS	
HcLS Threshold	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	LST	LST	LST	LST	
	LST	LST	LST	LST	LST	LST	LST	LST	
HcRh DescriptorA	POTPGT	POTPGT	POTPGT	POTPGT	POTPGT	POTPGT	POTPGT	POTPGT	
	-	-	-	-	-	-	-	-	
	-	-	-	NOCP	OCPM	DT	NPS	PSM	
HcRh DescriptorB	NDP	NDP	NDP	NDP	NDP	NDP	NDP	NDP	
	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	
	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	PPCM	
	DR	DR	DR	DR	DR	DR	DR	DR	
HcRhStatus	DR	DR	DR	DR	DR	DR	DR	DR	
	CRWE	-	-	-	-	-	-	-	
	-	-	-	-	-	-	OCIC	LPSC	
	DRWE	-	-	-	-	-	-	-	
	-	-	-	-	-	OCI	LPS		

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HcRhPort	-	-	-	-	-	-	-	-	USB
Status1	-	-	-	PRSC	OCIC	PSSC	PESC	CSC	
	-	-	-	-	-	-	LSDA	PPS	
	-	-	-	PRS	POCI	PSS	PES	CCS	
共有メモリ エリア先頭	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
共有メモリ エリア最後	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN0MCR	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0	HCAN2 チャンネル0
	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0	
CAN0GSR	-	-	-	-	-	-	-	-	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
CAN0BCR1	TSEG1_3	TSEG1_2	TSEG1_1	TSEG1_0	-	TSEG2_2	TSEG2_1	TSEG2_0	
	-	-	SJW1	SJW0	-	-	EG	BSP	
CAN0BCR0	-	-	-	-	-	-	-	-	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
CAN0IRR	-	IRR14	IRR13	IRR12	-	-	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
CAN0IMR	-	IMR14	IMR13	IMR12	-	-	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
CAN0TECREC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
CAN0TXPR1	TXPR1_15	TXPR1_14	TXPR1_13	TXPR1_12	TXPR1_11	TXPR1_10	TXPR1_9	TXPR1_8	
	TXPR1_7	TXPR1_6	TXPR1_5	TXPR1_4	TXPR1_3	TXPR1_2	TXPR1_1	TXPR1_0	
CAN0TXPR0	TXPR0_15	TXPR0_14	TXPR0_13	TXPR0_12	TXPR0_11	TXPR0_10	TXPR0_9	TXPR0_8	
	TXPR0_7	TXPR0_6	TXPR0_5	TXPR0_4	TXPR0_3	TXPR0_2	TXPR0_1	-	
CAN0TXCR1	TXCR1_15	TXCR1_14	TXCR1_13	TXCR1_12	TXCR1_11	TXCR1_10	TXCR1_9	TXCR1_8	
	TXCR1_7	TXCR1_6	TXCR1_5	TXCR1_4	TXCR1_3	TXCR1_2	TXCR1_1	TXCR1_0	
CAN0TXCR0	TXCR0_15	TXCR0_14	TXCR0_13	TXCR0_12	TXCR0_11	TXCR0_10	TXCR0_9	TXCR0_8	
	TXCR0_7	TXCR0_6	TXCR0_5	TXCR0_4	TXCR0_3	TXCR0_2	TXCR0_1	-	
CAN0TXACK1	TXACK1_15	TXACK1_14	TXACK1_13	TXACK1_12	TXACK1_11	TXACK1_10	TXACK1_9	TXACK1_8	
	TXACK1_7	TXACK1_6	TXACK1_5	TXACK1_4	TXACK1_3	TXACK1_2	TXACK1_1	TXACK1_0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CAN0TXACK0	TXACK0_15	TXACK0_14	TXACK0_13	TXACK0_12	TXACK0_11	TXACK0_10	TXACK0_9	TXACK0_8	HCAN2 チャンネル0
	TXACK0_7	TXACK0_6	TXACK0_5	TXACK0_4	TXACK0_3	TXACK0_2	TXACK0_1	-	
CAN0ABACK1	ABACK1_15	ABACK1_14	ABACK1_13	ABACK1_12	ABACK1_11	ABACK1_10	ABACK1_9	ABACK1_8	
	ABACK1_7	ABACK1_6	ABACK1_5	ABACK1_4	ABACK1_3	ABACK1_2	ABACK1_1	ABACK1_0	
CAN0ABACK0	ABACK0_15	ABACK0_14	ABACK0_13	ABACK0_12	ABACK0_11	ABACK0_10	ABACK0_9	ABACK0_8	
	ABACK0_7	ABACK0_6	ABACK0_5	ABACK0_4	ABACK0_3	ABACK0_2	ABACK0_1	-	
CAN0RXPR1	RXPR1_15	RXPR1_14	RXPR1_13	RXPR1_12	RXPR1_11	RXPR1_10	RXPR1_9	RXPR1_8	
	RXPR1_7	RXPR1_6	RXPR1_5	RXPR1_4	RXPR1_3	RXPR1_2	RXPR1_1	RXPR1_0	
CAN0RXPR0	RXPR0_15	RXPR0_14	RXPR0_13	RXPR0_12	RXPR0_11	RXPR0_10	RXPR0_9	RXPR0_8	
	RXPR0_7	RXPR0_6	RXPR0_5	RXPR0_4	RXPR0_3	RXPR0_2	RXPR0_1	RXPR0_0	
CAN0RFPR1	RFPR1_15	RFPR1_14	RFPR1_13	RFPR1_12	RFPR1_11	RFPR1_10	RFPR1_9	RFPR1_8	
	RFPR1_7	RFPR1_6	RFPR1_5	RFPR1_4	RFPR1_3	RFPR1_2	RFPR1_1	RFPR1_0	
CAN0RFPR0	RFPR0_15	RFPR0_14	RFPR0_13	RFPR0_12	RFPR0_11	RFPR0_10	RFPR0_9	RFPR0_8	
	RFPR0_7	RFPR0_6	RFPR0_5	RFPR0_4	RFPR0_3	RFPR0_2	RFPR0_1	RFPR0_0	
CAN0MBIMR1	MBIMR1_15	MBIMR1_14	MBIMR1_13	MBIMR1_12	MBIMR1_11	MBIMR1_10	MBIMR1_9	MBIMR1_8	
	MBIMR1_7	MBIMR1_6	MBIMR1_5	MBIMR1_4	MBIMR1_3	MBIMR1_2	MBIMR1_1	MBIMR1_0	
CAN0MBIMR0	MBIMR0_15	MBIMR0_14	MBIMR0_13	MBIMR0_12	MBIMR0_11	MBIMR0_10	MBIMR0_9	MBIMR0_8	
	MBIMR0_7	MBIMR0_6	MBIMR0_5	MBIMR0_4	MBIMR0_3	MBIMR0_2	MBIMR0_1	MBIMR0_0	
CAN0UMSR1	UMSR1_15	UMSR1_14	UMSR1_13	UMSR1_12	UMSR1_11	UMSR1_10	UMSR1_9	UMSR1_8	
	UMSR1_7	UMSR1_6	UMSR1_5	UMSR1_4	UMSR1_3	UMSR1_2	UMSR1_1	UMSR1_0	
CAN0UMSR0	UMSR0_15	UMSR0_14	UMSR0_13	UMSR0_12	UMSR0_11	UMSR0_10	UMSR0_9	UMSR0_8	
	UMSR0_7	UMSR0_6	UMSR0_5	UMSR0_4	UMSR0_3	UMSR0_2	UMSR0_1	UMSR0_0	
CAN0TCNTR	TCNTR15	TCNTR14	TCNTR13	TCNTR12	TCNTR11	TCNTR10	TCNTR9	TCNTR8	
	TCNTR7	TCNTR6	TCNTR5	TCNTR4	TCNTR3	TCNTR2	TCNTR1	TCNTR0	
CAN0TCR	TCR15	-	TCR13	TCR12	TCR11	-	-	-	
	-	-	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
CAN0TCMR	TCMR15	TCMR14	TCMR13	TCMR12	TCMR11	TCMR10	TCMR9	TCMR8	
	TCMR7	TCMR6	TCMR5	TCMR4	TCMR3	TCMR2	TCMR1	TCMR0	
CAN0MB0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN0MB1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN0MB2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CANOMB3	-	-	-	-	-	-	-	-	HCAN2 チャンネル0
CANOMB4	-	-	-	-	-	-	-	-	
CANOMB5	-	-	-	-	-	-	-	-	
CANOMB6	-	-	-	-	-	-	-	-	
CANOMB7	-	-	-	-	-	-	-	-	
CANOMB8	-	-	-	-	-	-	-	-	
CANOMB9	-	-	-	-	-	-	-	-	
CANOMB10	-	-	-	-	-	-	-	-	
CANOMB11	-	-	-	-	-	-	-	-	
CANOMB12	-	-	-	-	-	-	-	-	
CANOMB13	-	-	-	-	-	-	-	-	
CANOMB14	-	-	-	-	-	-	-	-	
CANOMB15	-	-	-	-	-	-	-	-	
CANOMB16	-	-	-	-	-	-	-	-	
CANOMB17	-	-	-	-	-	-	-	-	
CANOMB18	-	-	-	-	-	-	-	-	
CANOMB19	-	-	-	-	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CAN0MB20	-	-	-	-	-	-	-	-	HCAN2 チャンネル0
CAN0MB21	-	-	-	-	-	-	-	-	
CAN0MB22	-	-	-	-	-	-	-	-	
CAN0MB23	-	-	-	-	-	-	-	-	
CAN0MB24	-	-	-	-	-	-	-	-	
CAN0MB25	-	-	-	-	-	-	-	-	
CAN0MB26	-	-	-	-	-	-	-	-	
CAN0MB27	-	-	-	-	-	-	-	-	
CAN0MB28	-	-	-	-	-	-	-	-	
CAN0MB29	-	-	-	-	-	-	-	-	
CAN0MB30	-	-	-	-	-	-	-	-	
CAN0MB31	-	-	-	-	-	-	-	-	
CAN1MCR	TST7 MCR7	TST6 -	TST5 MCR5	TST4 -	TST3 -	TST2 MCR2	TST1 MCR1	TST0 MCR0	HCAN2 チャンネル1
CAN1GSR	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
CAN1BCR1	TSEG1_3 -	TSEG1_2 -	TSEG1_1 SJW1	TSEG1_0 SJW0	-	TSEG2_2 -	TSEG2_1 EG	TSEG2_0 BSP	
CAN1BCR0	- BRP7	- BRP6	- BRP5	- BRP4	- BRP3	- BRP2	- BRP1	- BRP0	
CAN1IRR	- IRR7	IRR14 IRR6	IRR13 IRR5	IRR12 IRR4	- IRR3	- IRR2	IRR9 IRR1	IRR8 IRR0	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CAN1IMR	-	IMR14	IMR13	IMR12	-	-	IMR9	IMR8	HCAN2 チャンネル1
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
CAN1TECREC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
CAN1TXPR1	TXPR1_15	TXPR1_14	TXPR1_13	TXPR1_12	TXPR1_11	TXPR1_10	TXPR1_9	TXPR1_8	
	TXPR1_7	TXPR1_6	TXPR1_5	TXPR1_4	TXPR1_3	TXPR1_2	TXPR1_1	TXPR1_0	
CAN1TXPR0	TXPR0_15	TXPR0_14	TXPR0_13	TXPR0_12	TXPR0_11	TXPR0_10	TXPR0_9	TXPR0_8	
	TXPR0_7	TXPR0_6	TXPR0_5	TXPR0_4	TXPR0_3	TXPR0_2	TXPR0_1	-	
CAN1TXCR1	TXCR1_15	TXCR1_14	TXCR1_13	TXCR1_12	TXCR1_11	TXCR1_10	TXCR1_9	TXCR1_8	
	TXCR1_7	TXCR1_6	TXCR1_5	TXCR1_4	TXCR1_3	TXCR1_2	TXCR1_1	TXCR1_0	
CAN1TXCR0	TXCR0_15	TXCR0_14	TXCR0_13	TXCR0_12	TXCR0_11	TXCR0_10	TXCR0_9	TXCR0_8	
	TXCR0_7	TXCR0_6	TXCR0_5	TXCR0_4	TXCR0_3	TXCR0_2	TXCR0_1	-	
CAN1TXACK1	TXACK1_15	TXACK1_14	TXACK1_13	TXACK1_12	TXACK1_11	TXACK1_10	TXACK1_9	TXACK1_8	
	TXACK1_7	TXACK1_6	TXACK1_5	TXACK1_4	TXACK1_3	TXACK1_2	TXACK1_1	TXACK1_0	
CAN1TXACK0	TXACK0_15	TXACK0_14	TXACK0_13	TXACK0_12	TXACK0_11	TXACK0_10	TXACK0_9	TXACK0_8	
	TXACK0_7	TXACK0_6	TXACK0_5	TXACK0_4	TXACK0_3	TXACK0_2	TXACK0_1	-	
CAN1ABACK1	ABACK1_15	ABACK1_14	ABACK1_13	ABACK1_12	ABACK1_11	ABACK1_10	ABACK1_9	ABACK1_8	
	ABACK1_7	ABACK1_6	ABACK1_5	ABACK1_4	ABACK1_3	ABACK1_2	ABACK1_1	ABACK1_0	
CAN1ABACK0	ABACK0_15	ABACK0_14	ABACK0_13	ABACK0_12	ABACK0_11	ABACK0_10	ABACK0_9	ABACK0_8	
	ABACK0_7	ABACK0_6	ABACK0_5	ABACK0_4	ABACK0_3	ABACK0_2	ABACK0_1	-	
CAN1RXPR1	RXPR1_15	RXPR1_14	RXPR1_13	RXPR1_12	RXPR1_11	RXPR1_10	RXPR1_9	RXPR1_8	
	RXPR1_7	RXPR1_6	RXPR1_5	RXPR1_4	RXPR1_3	RXPR1_2	RXPR1_1	RXPR1_0	
CAN1RXPR0	RXPR0_15	RXPR0_14	RXPR0_13	RXPR0_12	RXPR0_11	RXPR0_10	RXPR0_9	RXPR0_8	
	RXPR0_7	RXPR0_6	RXPR0_5	RXPR0_4	RXPR0_3	RXPR0_2	RXPR0_1	RXPR0_0	
CAN1RFPR1	RFPR1_15	RFPR1_14	RFPR1_13	RFPR1_12	RFPR1_11	RFPR1_10	RFPR1_9	RFPR1_8	
	RFPR1_7	RFPR1_6	RFPR1_5	RFPR1_4	RFPR1_3	RFPR1_2	RFPR1_1	RFPR1_0	
CAN1RFPR0	RFPR0_15	RFPR0_14	RFPR0_13	RFPR0_12	RFPR0_11	RFPR0_10	RFPR0_9	RFPR0_8	
	RFPR0_7	RFPR0_6	RFPR0_5	RFPR0_4	RFPR0_3	RFPR0_2	RFPR0_1	RFPR0_0	
CAN1MBIMR1	MBIMR1_15	MBIMR1_14	MBIMR1_13	MBIMR1_12	MBIMR1_11	MBIMR1_10	MBIMR1_9	MBIMR1_8	
	MBIMR1_7	MBIMR1_6	MBIMR1_5	MBIMR1_4	MBIMR1_3	MBIMR1_2	MBIMR1_1	MBIMR1_0	
CAN1MBIMR0	MBIMR0_15	MBIMR0_14	MBIMR0_13	MBIMR0_12	MBIMR0_11	MBIMR0_10	MBIMR0_9	MBIMR0_8	
	MBIMR0_7	MBIMR0_6	MBIMR0_5	MBIMR0_4	MBIMR0_3	MBIMR0_2	MBIMR0_1	MBIMR0_0	
CAN1UMSR1	UMSR1_15	UMSR1_14	UMSR1_13	UMSR1_12	UMSR1_11	UMSR1_10	UMSR1_9	UMSR1_8	
	UMSR1_7	UMSR1_6	UMSR1_5	UMSR1_4	UMSR1_3	UMSR1_2	UMSR1_1	UMSR1_0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CAN1UMSR0	UMSR0_15	UMSR0_14	UMSR0_13	UMSR0_12	UMSR0_11	UMSR0_10	UMSR0_9	UMSR0_8	HCAN2 チャンネル1
	UMSR0_7	UMSR0_6	UMSR0_5	UMSR0_4	UMSR0_3	UMSR0_2	UMSR0_1	UMSR0_0	
CAN1TCNTR	TCNTR15	TCNTR14	TCNTR13	TCNTR12	TCNTR11	TCNTR10	TCNTR9	TCNTR8	
	TCNTR7	TCNTR6	TCNTR5	TCNTR4	TCNTR3	TCNTR2	TCNTR1	TCNTR0	
CAN1TCR	TCR15	-	TCR13	TCR12	TCR11	-	-	-	
	-	-	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
CAN1TCMR	TCMR15	TCMR14	TCMR13	TCMR12	TCMR11	TCMR10	TCMR9	TCMR8	
	TCMR7	TCMR6	TCMR5	TCMR4	TCMR3	TCMR2	TCMR1	TCMR0	
CAN1MB0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB3	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB5	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB6	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB7	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB8	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB9	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB10	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB11	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB12	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB13	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CAN1MB14	-	-	-	-	-	-	-	-	HCAN2 チャンネル1
	-	-	-	-	-	-	-	-	
CAN1MB15	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB16	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB17	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB18	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB19	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB20	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB21	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB22	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB23	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB24	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB25	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB26	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB27	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB28	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB29	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB30	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CAN1MB31	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SPCR	-	-	-	-	-	-	-	-	HSPI
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	FBS	CLKP	IDIV	CLKC4	CLKC3	CLKC2	CLKC1	CLKC0	
SPSR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	TXFU	TXHA	TXEM	
	RXFU	RXHA	RXEM	RXOO	RXOW	RXFL	TXFN	TXFL	
SPSCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	
	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL	
SPTBR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	TD	TD	TD	TD	TD	TD	TD	TD	
SPRBR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	RD	RD	RD	RD	RD	RD	RD	RD	
INPUPA	MD6PUP	RDYPUP	BREQPUP	IRL0PUP	IRL1PUP	IRL2PUP	IRL3PUP	NMIPUP	PFC
	-	-	-	-	-	-	-	-	
DMAPCR	DREQP0	-	DREQP1	-	DACKP0	DACKD0	DACKP1	DACKD1	
	DRAKP0	DRAKD0	DRAKP1	DRAKD1	-	-	-	BRGRST	
SCIHZR	SCICLK0	SCIRXD0	SCITXD0	SCICLK1	SCICTS1	SCIRTS1	SCIRXD1	SCITXD1	
	SCICLK2	SCICTS2	SCIRTS2	SCIRXD2	SCITXD2	-	-	-	
IPSELR	IPSELR15	IPSELR14	IPSELR13	IPSELR12	IPSELR11	IPSELR10	IPSELR9	-	
	-	-	-	-	-	-	LCDMD1	LCDMD0	
PAPUPR	PA7PUPR	PA6PUPR	PA5PUPR	PA4PUPR	PA3PUPR	PA2PUPR	-	-	
PBPUPR	PB7PUPR	PB6PUPR	PB5PUPR	PB4PUPR	PB3PUPR	PB2PUPR	PB1PUPR	-	
PCPUPR	PC7PUPR	PC6PUPR	PC5PUPR	PC4PUPR	PC3PUPR	PC2PUPR	PC1PUPR	PC0PUPR	
PDPUPR	PD7PUPR	PD6PUPR	PD5PUPR	PD4PUPR	PD3PUPR	PD2PUPR	PD1PUPR	PD0PUPR	
PEPUPR	PE7PUPR	PE6PUPR	PE5PUPR	PE4PUPR	PE3PUPR	PE2PUPR	PE1PUPR	PE0PUPR	
PFUPR	-	-	-	-	PF3PUPR	PF2PUPR	PF1PUPR	PF0PUPR	
PGPUPR	PG7PUPR	PG6PUPR	PG5PUPR	PG4PUPR	PG3PUPR	PG2PUPR	PG1PUPR	PG0PUPR	
PHPUPR	PH7PUPR	PH6PUPR	PH5PUPR	PH4PUPR	PH3PUPR	PH2PUPR	PH1PUPR	PH0PUPR	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PJPUPR	PJ7PUPR	PJ6PUPR	PJ5PUPR	PJ4PUPR	PJ3PUPR	PJ2PUPR	-	-	PFC
PKPUPR	PK7PUPR	PK6PUPR	PK5PUPR	PK4PUPR	PK3PUPR	PK2PUPR	-	-	
MDPUPR	MDPUPR7	MDPUPR6	MDPUPR5	MDPUPR4	MDPUPR3	MDPUPR2	MDPUPR1	MDPUPR0	
MODSELR	MODSELR7	MODSELR6	MODSELR5	MODSELR4	MODSELR3	MODSELR2	MODSELR1	-	
PACR	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0	
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	-	-	-	-	
PBCR	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	-	-	
PCCR	PC7MD1	PC7MD0	PC6MD1	PC6MD0	PC5MD1	PC5MD0	PC4MD1	PC4MD0	
	PC3MD1	PC3MD0	PC2MD1	PC2MD0	PC1MD1	PC1MD0	PC0MD1	PC0MD0	
PDCR	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0	
	PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0	
PECR	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0	
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
PFCR	-	-	-	-	-	-	-	-	
	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0	
PGCR	PG7MD1	PG7MD0	PG6MD1	PG6MD0	PG5MD1	PG5MD0	PG4MD1	PG4MD0	
	PG3MD1	PG3MD0	PG2MD1	PG2MD0	PG1MD1	PG1MD0	PG0MD1	PG0MD0	
PHCR	PH7MD1	PH7MD0	PH6MD1	PH6MD0	PH5MD1	PH5MD0	PH4MD1	PH4MD0	
	PH3MD1	PH3MD0	PH2MD1	PH2MD0	PH1MD1	PH1MD0	PH0MD1	PH0MD0	
PJCR	PJ7MD1	PJ7MD0	PJ6MD1	PJ6MD0	PJ5MD1	PJ5MD0	PJ4MD1	PJ4MD0	
	PJ3MD1	PJ3MD0	PJ2MD1	PJ2MD0	PJ1MD1	PJ1MD0	-	-	
PKCR	PK7MD1	PK7MD0	PK6MD1	PK6MD0	PK5MD1	PK5MD0	PK4MD1	PK4MD0	
	PK3MD1	PK3MD0	PK2MD1	PK2MD0	-	-	-	-	
PADR	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	-	-	
PBDR	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	-	
PCDR	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	
PDDR	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT	
PEDR	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	
PFDR	-	-	-	-	PF3DT	PF2DT	PF1DT	PF0DT	
PGDR	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT	
PHDR	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT	
PJDR	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	-	
PKDR	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	-	-	
GPIOIC	PTIREN15	PTIREN14	PTIREN13	PTIREN12	PTIREN11	PTIREN10	PTIREN9	STBRT8	
	STBRT7	STBRT6	STBIRQ5	STBIRQ4	STBIRL3	STBIRL2	STBIRL1	STBIRL0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HACCR0	-	-	-	-	-	-	-	-	HAC チャンネル0
	-	-	-	-	-	-	-	-	
	CR	-	-	-	CDRT	WMRT	-	-	
	-	-	ST	-	-	-	-	-	
HACCSAR0	-	-	-	-	-	-	-	-	
	-	-	-	-	RW	CA6/SA6	CA5/SA5	CA4/SA4	
	CA3/SA3	CA2/SA2	CA1/SA1	CA0/SA0	SLREQ3	SLREQ4	SLREQ5	SLREQ6	
	SLREQ7	SLREQ8	SLREQ9	SLREQ10	SLREQ11	SLREQ12	-	-	
HACCSDR0	-	-	-	-	-	-	-	-	
	-	-	-	-	CD15/SD15	CD14/SD14	CD13/SD13	CD12/SD12	
	CD11/SD11	CD10/SD10	CD9/SD9	CD8/SD8	CD7/SD7	CD6/SD6	CD5/SD5	CD4/SD4	
	CD3/SD3	CD2/SD2	CD1/SD1	CD0/SD0	-	-	-	-	
HACPCML0	-	-	-	-	-	-	-	-	
	-	-	-	-	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
HACPCML0 (16ビットパ ケットDMAモ ードのとき)	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	
	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	
	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	
HACPCMR0	-	-	-	-	-	-	-	-	
	-	-	-	-	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
HACTIER0	-	-	PLTFRQIE	PRTFRQIE	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PLTFUNIE	PRTFUNIE	
	-	-	-	-	-	-	-	-	
HACTSR0	CMDAMT	CMDDMT	PLTFRQ	PRTFRQ	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PLTFUN	PRTFUN	
	-	-	-	-	-	-	-	-	
HACRIER0	-	-	-	-	-	-	-	-	
	-	STARYIE	STDYIE	PLRFRQIE	PRRFRQIE	-	-	-	
	-	-	PLRFOVIE	PRRFOVIE	-	-	-	-	
	-	-	-	-	-	-	-	-	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HACRSR0	-	-	-	-	-	-	-	-	HAC チャンネル0
	-	STARY	STDRY	PLRFRQ	PRRFRQ	-	-	-	
	-	-	PLRFOV	PRRFOV	-	-	-	-	
	-	-	-	-	-	-	-	-	
HACACR0	-	DMARX16	DMATX16	-	-	TX12_ ATOMIC	-	RXDMAL_ EN	
	TXDMAL_ EN	RXDMAR_ EN	TXDMAR_ EN	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
HACCR1	-	-	-	-	-	-	-	-	HAC チャンネル1
	-	-	-	-	-	-	-	-	
	CR	-	-	-	CDRT	WMRT	-	-	
HACCSAR1	-	-	-	-	-	-	-	-	
	-	-	-	-	RW	CA6/SA6	CA5/SA5	CA4/SA4	
	CA3/SA3	CA2/SA2	CA1/SA1	CA0/SA0	SLREQ3	SLREQ4	SLREQ5	SLREQ6	
	SLREQ7	SLREQ8	SLREQ9	SLREQ10	SLREQ11	SLREQ12	-	-	
HACCSR1	-	-	-	-	-	-	-	-	
	-	-	-	-	CD15/SD15	CD14/SD14	CD13/SD13	CD12/SD12	
	CD11/SD11	CD10/SD10	CD9/SD9	CD8/SD8	CD7/SD7	CD6/SD6	CD5/SD5	CD4/SD4	
	CD3/SD3	CD2/SD2	CD1/SD1	CD0/SD0	-	-	-	-	
HACPCML1	-	-	-	-	-	-	-	-	
	-	-	-	-	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
HACPCML1 (16ビットパ ケットDMAモ ードのとき)	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	
	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0	
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	
	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	
HACPCMR1	-	-	-	-	-	-	-	-	
	-	-	-	-	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
HACTIER1	-	-	PLTFRQIE	PRTFRQIE	-	-	-	-	HAC チャンネル1
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PLTFUNIE	PRTFUNIE	
	-	-	-	-	-	-	-	-	
HACTSR1	CMDAMT	CMDDMT	PLTFRQ	PRTFRQ	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PLTFUN	PRTFUN	
	-	-	-	-	-	-	-	-	
HACRIER1	-	-	-	-	-	-	-	-	
	-	STARYIE	STDRYIE	PLRFRQIE	PRRFRQIE	-	-	-	
	-	-	PLRFOVIE	PRRFOVIE	-	-	-	-	
	-	-	-	-	-	-	-	-	
HACRSR1	-	-	-	-	-	-	-	-	
	-	STARY	STDRY	PLRFRQ	PRRFRQ	-	-	-	
	-	-	PLRFOV	PRRFOV	-	-	-	-	
	-	-	-	-	-	-	-	-	
HACACR1	-	DMARX16	DMATX16	-	-	TX12_ ATOMIC	-	RXDMAL_ EN	
	TXDMAL_ EN	RXDMAR_ EN	TXDMAR_ EN	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
CMDR0	Start	Host	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	MMCIF
CMDR1	-	-	-	-	-	-	-	-	
CMDR2	-	-	-	-	-	-	-	-	
CMDR3	-	-	-	-	-	-	-	-	
CMDR4	-	-	-	-	-	-	-	-	
CMDR5	CRC	CRC	CRC	CRC	CRC	CRC	CRC	End	
CMDSTRT	-	-	-	-	-	-	-	START	
OPCR	CMDOFF	-	RD_CONTI	DATAEN	-	-	-	-	
CSTR	BUSY	FIFO_ FULL	FIFO_ EMPTY	CWRE	DTBUSY	DTBUSY _TU	-	REQ	
INTCR0	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	-	
INTCR1	INTRQ2E	INTRQ1E	INTRQ0E	-	-	CRCERIE	DTERIE	CTERIE	
INTSTR0	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	-	
INTSTR1	-	-	-	-	-	CRCERI	DTERI	CTERI	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CLKON	CLKON	-	-	-	-	CSEL2	CSEL1	CSEL0	MMCIF
CTOCR	-	-	-	-	-	-	CTSEL1	CTSEL0	
TBCR	-	-	-	-	C3	C2	C1	C0	
MODER	-	-	-	-	-	-	-	MODE	
CMDTYR	-	-	-	TY4	TY3	TY2	TY1	TY0	
RSPTYR	-	-	RTY5	RTY4	-	RTY2	RTY1	RTY0	
RSPR0	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR1	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR2	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR3	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR4	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR5	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR6	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR7	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR8	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR9	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR10	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR11	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR12	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR13	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR14	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR15	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
RSPR16	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	RSPR	
DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR
	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR	DTOUTR
DR	DR	DR	DR	DR	DR	DR	DR	DR	
	DR	DR	DR	DR	DR	DR	DR	DR	
FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	FIFOCLR	
DMACR	DMAEN	-	-	-	-	SET2	SET1	SET0	
INTCR2	-	-	-	-	-	-	-	FRDYIE	
INTSTR2	-	-	-	-	-	-	FRDY_TU	FRDYI	
RDTIMSEL	-	-	-	-	-	-	-	RTSEL	
MFIIDX	-	-	-	-	-	-	-	-	MFI
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	REG5	REG4	REG3	REG2	REG1	REG0	BYTE1	BYTE0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MFIGSR	-	-	-	-	-	-	-	-	MFI
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	STATUS7	STATUS6	STATUS5	STATUS4	STATUS3	STATUS2	STATUS1	STATUS0	
MFISCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	SCRMD2	-	SCRMD0	-	-	EDN	BO	
MFIMCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	LOCK	-	WT	-	RD	-	-	A1/AD	
MFIICR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	IIC6	IIC5	IIC4	IIC3	IIC2	IIC1	IIC0	IIR	
MFIEICR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	EIC6	EIC5	EIC4	EIC3	EIC2	EIC1	EIC0	EIR	
MFIADR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	A10	A9	A8	
	A7	A6	A5	A4	A3	A2	-	-	
MFIDATA	MFIDATA31	MFIDATA30	MFIDATA29	MFIDATA28	MFIDATA27	MFIDATA26	MFIDATA25	MFIDATA24	
	MFIDATA23	MFIDATA22	MFIDATA21	MFIDATA20	MFIDATA19	MFIDATA18	MFIDATA17	MFIDATA16	
	MFIDATA15	MFIDATA14	MFIDATA13	MFIDATA12	MFIDATA11	MFIDATA10	MFIDATA9	MFIDATA8	
	MFIDATA7	MFIDATA6	MFIDATA5	MFIDATA4	MFIDATA3	MFIDATA2	MFIDATA1	MFIDATA0	
MFRAM 先頭	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
MFRAM 最後	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SDIR	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	H-UDI
	-	-	-	-	-	-	-	-	
SDDRH/L									
SDINT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	INTREQ	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	ADC
	AD1	AD0	-	-	-	-	-	-	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	DMASL	TRGE1	TRGE0	-	-	
	CKSL1	CKSL0	MDS1	MDS0	-	-	CH1	CH0	
LDICKR	-	-	ICKSEL1	ICKSEL0	-	-	-	-	LCDC
	-	-	-	DCCR4	DCCR3	DCCR2	DCCR1	DCCR0	
LDMTR	FLMPOL	CL1POL	DISPPOL	DPOL	-	MCNT	CL1CNT	CL2CNT	
	-	-	MIFTYP5	MIFTYP4	MIFTYP3	MIFTYP2	MIFTYP1	MIFTYP0	
LDDFR	-	-	-	-	-	-	-	PABD	
	-	DSPCOLOR6	DSPCOLOR5	DSPCOLOR4	DSPCOLOR3	DSPCOLOR2	DSPCOLOR1	DSPCOLOR0	
LDSMR	-	-	ROT	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
LDSARU	-	-	-	-	-	-	SAU25	SAU24	
	SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16	
	SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	
	SAU7	SAU6	SAU5	SAU4	SAU3	SAU2	SAU1	SAU0	
LDSARL	-	-	-	-	-	-	SAL25	SAL24	
	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16	
	SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	
	SAL7	SAL6	SAL5	SAL4	SAL3	SAL2	SAL1	SAL0	

32. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
LDLAOR	LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	LCDC
	LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0	
LDPALCR	-	-	-	-	-	-	-	-	
	-	-	-	PALS	-	-	-	PALEN	
LDPR00 ~ FF	-	-	-	-	-	-	-	-	
	PALDnn_23	PALDnn_22	PALDnn_21	PALDnn_20	PALDnn_19	PALDnn_18	PALDnn_17	PALDnn_16	
	PALDnn_15	PALDnn_14	PALDnn_13	PALDnn_12	PALDnn_11	PALDnn_10	PALDnn_9	PALDnn_8	
	PALDnn_7	PALDnn_6	PALDnn_5	PALDnn_4	PALDnn_3	PALDnn_2	PALDnn_1	PALDnn_0	
LDHCNR	HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	
	HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0	
LDHSYNR	HSYNW3	HSYNW2	HSYNW1	HSYNW0	-	-	-	-	
	HSYNP7	HSYNP6	HSYNP5	HSYNP4	HSYNP3	HSYNP2	HSYNP1	HSYNP0	
LDVDLNR	-	-	-	-	-	VDLN10	VDLN9	VDLN8	
	VDLN7	VDLN6	VDLN5	VDLN4	VDLN3	VDLN2	VDLN1	VDLN0	
LDVTLNR	-	-	-	-	-	VTLN10	VTLN9	VTLN8	
	VTLN7	VTLN6	VTLN5	VTLN4	VTLN3	VTLN2	VTLN1	VTLN0	
LDVSYNR	VSYNW3	VSYNW2	VSYNW1	VSYNW0	-	VSYNP10	VSYNP9	VSYNP8	
	VSYNP7	VSYNP6	VSYNP5	VSYNP4	VSYNP3	VSYNP2	VSYNP1	VSYNP0	
LDACLNR	-	-	-	-	-	-	-	-	
	-	-	-	ACLN4	ACLN3	ACLN2	ACLN1	ACLN0	
LDINTR	-	-	-	VINTSEL	-	-	-	VINTE	
	-	-	-	-	-	-	-	VINTS	
LDPMMR	ONC3	ONC2	ONC1	ONC0	OFFD3	OFFD2	OFFD1	OFFD0	
	-	VCPE	VEPE	DONE	-	-	LPS1	LPS0	
LDPSPR	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0	
	OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0	
LDCNTR	-	-	-	-	-	-	-	-	
	-	-	-	DON2	-	-	-	DON	
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BASRA	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0	
BAMRA	-	-	-	-	BAMA2	BASMA	BAMA1	BAMA0	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18 /10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
BBRA	-	-	-	-	-	-	-	-	UBC
	-	SZA2	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BASRB	BASB7	BASB6	BASB5	BASB4	BASB3	BASB2	BASB1	BASB0	
BAMRB	-	-	-	-	BAMB2	BASMB	BAMB1	BAMB0	
BBRB	-	-	-	-	-	-	-	-	
	-	SZB2	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	CMFA	CMFB	-	-	-	PCBA	-	-	
	DBEB	PCBB	-	-	SEQ	-	-	UBDE	

【注】 * セクタアクセスモード時はリザーブビットです。

32.3 各動作モードにおけるレジスタの状態

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
MMU	PTEH	不定	不定	保持	不定	保持
	PTEL	不定	不定	保持	不定	保持
	PTEA	不定	不定	保持	不定	保持
	TTB	不定	不定	保持	不定	保持
	TEA	不定	保持	保持	不定	保持
	MMUCR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
キャッシュ	CCR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	QACR0	不定	不定	保持	不定	保持
	QACR1	不定	不定	保持	不定	保持
例外	TRA	不定	不定	保持	不定	保持
	EXPEVT	H'0000 0000	H'0000 0020	保持	H'0000 0000	保持
	INTEVT	不定	不定	保持	不定	保持
INTC	ICR	H'0000* ¹	H'0000* ¹	保持	H'0000* ¹	保持
		H'8000* ²	H'8000* ²	保持	H'8000* ²	保持
	IPRA	H'0000	H'0000	保持	H'0000	保持
	IPRB	H'0000	H'0000	保持	H'0000	保持
	IPRC	H'0000	H'0000	保持	H'0000	保持
	IPRD	H'DA74	H'DA74	保持	H'DA74	保持
	INTPRI00	H'0000 0000	保持	保持	H'0000 0000	保持
	INTPRI04	H'0000 0000	保持	保持	H'0000 0000	保持
	INTPRI08	H'0000 0000	保持	保持	H'0000 0000	保持
	INTPRI0C	H'0000 0000	保持	保持	H'0000 0000	保持
	INTREQ00	H'0000 0000	保持	保持	H'0000 0000	保持
	INTREQ04	H'0000 0000	保持	保持	H'0000 0000	保持
	INTMSK00	H'F3FF 7FFF	保持	保持	H'F3FF 7FFF	保持
	INTMSK04	H'00FF FFFF	保持	保持	H'00FF FFFF	保持
	INTMSKCLR00	-	-	-	-	-
INTMSKCLR04	-	-	-	-	-	
BSC	BCR1	H'0000 0000	保持	保持	H'0000 0000	保持
	BCR2	H'3FFC	保持	保持	H'3FFC	保持
	BCR3	H'0001	保持	保持	H'0001	保持
	BCR4	H'0000 0000	保持	保持	H'0000 0000	保持

モジュール名	レジスタ略称	パワーオンリセット RESET 端子/WDT /H-UDI による	マニュアルリセット RESET 端子/WDT /多重例外による	スリープ Sleep 命令による /ディープスリープ	スタンバイ	
					ハードによる	ソフトによる /モジュール毎による
BSC	WCR1	H'7777 7777	保持	保持	H'7777 7777	保持
	WCR2	H'FFFE EFFF	保持	保持	H'FFFE EFFF	保持
	WCR3	H'0777 7777	保持	保持	H'0777 7777	保持
	WCR4	H'0000 0000	保持	保持	H'0000 0000	保持
	MCR	H'0000 0000	保持	保持	H'0000 0000	保持
	PCR	H'0000	保持	保持	H'0000	保持
	RTCSR	H'0000	保持	保持	H'0000	保持
	RTCNT	H'0000	保持	保持	H'0000	保持
	RTCOR	H'0000	保持	保持	H'0000	保持
	RFCR	H'0000	保持	保持	H'0000	保持
	SDMR2	ライトオンリー				
	SDMR3	ライトオンリー				
DMAC チャンネル 0	SAR0	不定	不定	保持	不定	保持
	DAR0	不定	不定	保持	不定	保持
	DMATCR0	不定	不定	保持	不定	保持
	CHCR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 1	SAR1	不定	不定	保持	不定	保持
	DAR1	不定	不定	保持	不定	保持
	DMATCR1	不定	不定	保持	不定	保持
	CHCR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 2	SAR2	不定	不定	保持	不定	保持
	DAR2	不定	不定	保持	不定	保持
	DMATCR2	不定	不定	保持	不定	保持
	CHCR2	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 3	SAR3	不定	不定	保持	不定	保持
	DAR3	不定	不定	保持	不定	保持
	DMATCR3	不定	不定	保持	不定	保持
	CHCR3	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 4	SAR4	不定	不定	保持	不定	保持
	DAR4	不定	不定	保持	不定	保持
	DMATCR4	不定	不定	保持	不定	保持
	CHCR4	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
DMAC チャンネル 5	SAR5	不定	不定	保持	不定	保持
	DAR5	不定	不定	保持	不定	保持
	DMATCR5	不定	不定	保持	不定	保持
	CHCR5	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 6	SAR6	不定	不定	保持	不定	保持
	DAR6	不定	不定	保持	不定	保持
	DMATCR6	不定	不定	保持	不定	保持
	CHCR6	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC チャンネル 7	SAR7	不定	不定	保持	不定	保持
	DAR7	不定	不定	保持	不定	保持
	DMATCR7	不定	不定	保持	不定	保持
	CHCR7	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC 共通	DMAOR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMARSRA	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMARSRB	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMARCR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAC DMABRG	DMABRGCR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMAATXSAR0	不定	不定	保持	不定	保持
	DMAARXDAR0	不定	不定	保持	不定	保持
	DMAATXTCR0	不定	不定	保持	不定	保持
	DMAARXTCR0	不定	不定	保持	不定	保持
	DMAACR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMAATXTCNT0	不定	不定	保持	不定	保持
	DMAARXTCNT0	不定	不定	保持	不定	保持
	DMAATXSAR1	不定	不定	保持	不定	保持
	DMAARXDAR1	不定	不定	保持	不定	保持
	DMAATXTCR1	不定	不定	保持	不定	保持
	DMAARXTCR1	不定	不定	保持	不定	保持
	DMAACR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMAATXTCNT1	不定	不定	保持	不定	保持
	DMAARXTCNT1	不定	不定	保持	不定	保持
	DMAUSAR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMAUDAR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	DMAURWSZ	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
DMAUCR	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持	

モジュール名	レジスタ略称	パワーオンリセット		マニュアルリセット	スリープ Sleep 命令による /ディープスリープ	スタンバイ		
		RESET 端子/WDT /H-UDI による		RESET 端子/WDT /多重例外による		ハードによる		ソフトによる /モジュール毎による
CPG	FRQCR	*3	保持	保持	保持	*3	保持	保持
	DCKDR	H'0000 0001		保持	保持	H'0000 0001		保持
	MCKCR	H'0000 0000		保持	保持	H'0000 0000		保持
WDT	WTCNT	H'00	保持	保持	保持	H'00	保持	保持
	WTCSR	H'00	保持	保持	保持	H'00	保持	保持
低消費	STBCR	H'00		保持	保持	H'00		保持
	STBCR2	H'00		保持	保持	H'00		保持
	CLKSTP00	H'0000 0000		保持	保持	H'0000 0000		保持
	CLKSTPCLR00	-		-	保持	-		保持
TMU 共通	TSTR	H'00		H'00	保持	H'00		保持
TMU チャンネル 0	TCOR0	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCNT0	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCR0	H'0000		H'0000	保持	H'0000		保持
TMU チャンネル 1	TCOR1	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCNT1	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCR1	H'0000		H'0000	保持	H'0000		保持
TMU チャンネル 2	TCOR2	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCNT2	H'FFFF FFFF		H'FFFF FFFF	保持	H'FFFF FFFF		保持
	TCR2	H'0000		H'0000	保持	H'0000		保持
	TCPR2	保持		保持	保持	保持		保持
CMT 共通	CMTCFG	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTFRT	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCTL	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTIRQS	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
CMT チャンネル 0	CMTCH0T	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH0ST	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH0C	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
CMT チャンネル 1	CMTCH1T	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH1ST	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH1C	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
CMT チャンネル 2	CMTCH2T	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH2ST	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持
	CMTCH2C	H'0000 0000		H'0000 0000	保持	H'0000 0000		保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
CMT チャンネル 3	CMTCH3T	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	CMTCH3ST	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	CMTCH3C	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
SCIF チャンネル 0	SCSMR0	H'0000	H'0000	保持	H'0000	保持
	SCBRR0	H'FF	H'FF	保持	H'FF	保持
	SCSCR0	H'0000	H'0000	保持	H'0000	保持
	SCFTDR0	不定	不定	保持	不定	保持
	SCFSR0	H'0060	H'0060	保持	H'0060	保持
	SCFRDR0	不定	不定	保持	不定	保持
	SCFCR0	H'0000	H'0000	保持	H'0000	保持
	SCTFDR0	H'0000	H'0000	保持	H'0000	保持
	SCRFDR0	H'0000	H'0000	保持	H'0000	保持
	SCSPTR0	H'0000*4	H'0000*4	保持	H'0000*4	保持
	SCLSR0	H'0000	H'0000	保持	H'0000	保持
	SCREER0	H'0000	H'0000	保持	H'0000	保持
SCIF チャンネル 1	SCSMR1	H'0000	H'0000	保持	H'0000	保持
	SCBRR1	H'FF	H'FF	保持	H'FF	保持
	SCSCR1	H'0000	H'0000	保持	H'0000	保持
	SCFTDR1	不定	不定	保持	不定	保持
	SCFSR1	H'0060	H'0060	保持	H'0060	保持
	SCFRDR1	不定	不定	保持	不定	保持
	SCFCR1	H'0000	H'0000	保持	H'0000	保持
	SCTFDR1	H'0000	H'0000	保持	H'0000	保持
	SCRFDR1	H'0000	H'0000	保持	H'0000	保持
	SCSPTR1	H'0000*5	H'0000*5	保持	H'0000*5	保持
	SCLSR1	H'0000	H'0000	保持	H'0000	保持
	SCREER1	H'0000	H'0000	保持	H'0000	保持
SCIF チャンネル 2	SCSMR2	H'0000	H'0000	保持	H'0000	保持
	SCBRR2	H'FF	H'FF	保持	H'FF	保持
	SCSCR2	H'0000	H'0000	保持	H'0000	保持
	SCFTDR2	不定	不定	保持	不定	保持
	SCFSR2	H'0060	H'0060	保持	H'0060	保持
	SCFRDR2	不定	不定	保持	不定	保持
	SCFCR2	H'0000	H'0000	保持	H'0000	保持
	SCTFDR2	H'0000	H'0000	保持	H'0000	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ Sleep 命令による /ディープスリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハードによる	ソフトによる /モジュール毎による
SCIF チャンネル 2	SCRFDR2	H'0000	H'0000	保持	H'0000	保持
	SCSPTR2	H'0000 ⁵	H'0000 ⁵	保持	H'0000 ⁵	保持
	SCLSR2	H'0000	H'0000	保持	H'0000	保持
	SCRER2	H'0000	H'0000	保持	H'0000	保持
SIM	SISMR	H'20	H'20	保持	H'20	保持
	SIBRR	H'07	H'07	保持	H'07	保持
	SISCR	H'00	H'00	保持	H'00	保持
	SITDR	H'FF	H'FF	保持	H'FF	保持
	SISSR	H'84	H'84	保持	H'84	保持
	SIRDR	H'00	H'00	保持	H'00	保持
	SISCMR	H'01	H'01	保持	H'01	保持
	SISC2R	H'00	H'00	保持	H'00	保持
	SIWAIT	H'0000	H'0000	保持	H'0000	保持
	SIGRD	H'00	H'00	保持	H'00	保持
	SISMPPL	H'0173	H'0173	保持	H'0173	保持
I ² C チャンネル 0	ICSCR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMCR0	H'0000 0000 ⁵	H'0000 0000 ⁶	保持	H'0000 0000 ⁶	保持
	ICSSR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMSR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICSIER0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMIER0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICCCR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICSAR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMAR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICRXD0	不定	不定	保持	不定	保持
	ICTXD0	不定	不定	保持	不定	保持
	ICFCR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICFSR0	H'0000 0001	H'0000 0001	保持	H'0000 0001	保持
	ICFIER0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICRFDR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICTFDR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
I ² C チャンネル 1	ICSCR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMCR1	H'0000 0000 ⁵	H'0000 0000 ⁶	保持	H'0000 0000 ⁶	保持
	ICSSR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMSR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
I ² C チャンネル 1	ICSIER1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMIER1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICCCR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICSAR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICMAR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICRXD1	不定	不定	保持	不定	保持
	ICTXD1	不定	不定	保持	不定	保持
	ICFCR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICFSR1	H'0000 0001	H'0000 0001	保持	H'0000 0001	保持
	ICFIER1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICRFDR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	ICTFDR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
SSI チャンネル 0	SSICR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	SSISR0	H'0200 0003	H'0200 0003	保持	H'0200 0003	保持
	SSITDR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	SSIRDR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
SSI チャンネル 1	SSICR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	SSISR1	H'0200 0003	H'0200 0003	保持	H'0200 0003	保持
	SSITDR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	SSIRDR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
USB	HcRevision	H'0000 0010	H'0000 0010	保持	H'0000 0010	保持
	HcControl	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcCommandStatus	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcInterruptStatus	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcInterruptEnable	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcInterruptDisable	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcHCCA	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcPeriodCurrentED	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcControlHeadED	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcControlCurrentED	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcBulkHeadED	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcBulkCurrentED	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcDoneHead	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcFmInterval	H'0000 2EDF	H'0000 2EDF	保持	H'0000 2EDF	保持
	HcFmRemaining	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ Sleep 命令による /ディープスリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハードによる	ソフトによる /モジュール毎による
USB	HcFmNumber	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcPeriodicStart	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcLSThreshold	H'0000 0628	H'0000 0628	保持	H'0000 0628	保持
	HcRhDescriptorA	H'0200 1202	H'0200 1202	保持	H'0200 1202	保持
	HcRhDescriptorB	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcRhStatus	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HcRhPortStatus1	H'0000 0100	H'0000 0100	保持	H'0000 0100	保持
	共有メモリア先頭	不定	不定	保持	不定	保持
	共有メモリア最後	不定	不定	保持	不定	保持
HCAN2 チャンネル 0	CAN0MCR	H'0001	H'0001	保持	H'0001	保持
	CAN0GSR	H'000C	H'000C	保持	H'000C	保持
	CAN0BCR1	H'0000	H'0000	保持	H'0000	保持
	CAN0BCR0	H'0000	H'0000	保持	H'0000	保持
	CAN0IRR	H'0001	H'0001	保持	H'0001	保持
	CAN0IMR	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN0TECREC	H'0000	H'0000	保持	H'0000	保持
	CAN0TXPR1	H'0000	H'0000	保持	H'0000	保持
	CAN0TXPR0	H'0000	H'0000	保持	H'0000	保持
	CAN0TXCR1	H'0000	H'0000	保持	H'0000	保持
	CAN0TXCR0	H'0000	H'0000	保持	H'0000	保持
	CAN0TXACK1	H'0000	H'0000	保持	H'0000	保持
	CAN0TXACK0	H'0000	H'0000	保持	H'0000	保持
	CAN0ABACK1	H'0000	H'0000	保持	H'0000	保持
	CAN0ABACK0	H'0000	H'0000	保持	H'0000	保持
	CAN0RXPR1	H'0000	H'0000	保持	H'0000	保持
	CAN0RXPR0	H'0000	H'0000	保持	H'0000	保持
	CAN0RFPR1	H'0000	H'0000	保持	H'0000	保持
	CAN0RFPR0	H'0000	H'0000	保持	H'0000	保持
	CAN0MBIMR1	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN0MBIMR0	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN0UMSR1	H'0000	H'0000	保持	H'0000	保持
	CAN0UMSR0	H'0000	H'0000	保持	H'0000	保持
	CAN0TCNTR	H'0000	H'0000	保持	H'0000	保持
	CAN0TCR	H'0000	H'0000	保持	H'0000	保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
HCAN2 チャンネル 0	CANT0CMR	H'0000	H'0000	保持	H'0000	保持
	CAN0MB0	不定	不定	保持	不定	保持
	CAN0MB1	不定	不定	保持	不定	保持
	CAN0MB2	不定	不定	保持	不定	保持
	CAN0MB3	不定	不定	保持	不定	保持
	CAN0MB4	不定	不定	保持	不定	保持
	CAN0MB5	不定	不定	保持	不定	保持
	CAN0MB6	不定	不定	保持	不定	保持
	CAN0MB7	不定	不定	保持	不定	保持
	CAN0MB8	不定	不定	保持	不定	保持
	CAN0MB9	不定	不定	保持	不定	保持
	CAN0MB10	不定	不定	保持	不定	保持
	CAN0MB11	不定	不定	保持	不定	保持
	CAN0MB12	不定	不定	保持	不定	保持
	CAN0MB13	不定	不定	保持	不定	保持
	CAN0MB14	不定	不定	保持	不定	保持
	CAN0MB15	不定	不定	保持	不定	保持
	CAN0MB16	不定	不定	保持	不定	保持
	CAN0MB17	不定	不定	保持	不定	保持
	CAN0MB18	不定	不定	保持	不定	保持
	CAN0MB19	不定	不定	保持	不定	保持
	CAN0MB20	不定	不定	保持	不定	保持
	CAN0MB21	不定	不定	保持	不定	保持
	CAN0MB22	不定	不定	保持	不定	保持
	CAN0MB23	不定	不定	保持	不定	保持
	CAN0MB24	不定	不定	保持	不定	保持
	CAN0MB25	不定	不定	保持	不定	保持
	CAN0MB26	不定	不定	保持	不定	保持
	CAN0MB27	不定	不定	保持	不定	保持
	CAN0MB28	不定	不定	保持	不定	保持
	CAN0MB29	不定	不定	保持	不定	保持
CAN0MB30	不定	不定	保持	不定	保持	
CAN0MB31	不定	不定	保持	不定	保持	

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
HCAN2 チャンネル 1	CAN1MCR	H'0001	H'0001	保持	H'0001	保持
	CAN1GSR	H'000C	H'000C	保持	H'000C	保持
	CAN1BCR1	H'0000	H'0000	保持	H'0000	保持
	CAN1BCR0	H'0000	H'0000	保持	H'0000	保持
	CAN1IRR	H'0001	H'0001	保持	H'0001	保持
	CAN1IMR	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN1TECREC	H'0000	H'0000	保持	H'0000	保持
	CAN1TXPR1	H'0000	H'0000	保持	H'0000	保持
	CAN1TXPR0	H'0000	H'0000	保持	H'0000	保持
	CAN1TXCR1	H'0000	H'0000	保持	H'0000	保持
	CAN1TXCR0	H'0000	H'0000	保持	H'0000	保持
	CAN1TXACK1	H'0000	H'0000	保持	H'0000	保持
	CAN1TXACK0	H'0000	H'0000	保持	H'0000	保持
	CAN1ABACK1	H'0000	H'0000	保持	H'0000	保持
	CAN1ABACK0	H'0000	H'0000	保持	H'0000	保持
	CAN1RXPR1	H'0000	H'0000	保持	H'0000	保持
	CAN1RXPR0	H'0000	H'0000	保持	H'0000	保持
	CAN1RFPR1	H'0000	H'0000	保持	H'0000	保持
	CAN1RFPR0	H'0000	H'0000	保持	H'0000	保持
	CAN1MBIMR1	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN1MBIMR0	H'FFFF	H'FFFF	保持	H'FFFF	保持
	CAN1UMSR1	H'0000	H'0000	保持	H'0000	保持
	CAN1UMSR0	H'0000	H'0000	保持	H'0000	保持
	CAN1TCNTR	H'0000	H'0000	保持	H'0000	保持
	CAN1TCR	H'0000	H'0000	保持	H'0000	保持
	CAN1TCMR	H'0000	H'0000	保持	H'0000	保持
	CAN1MB0	不定	不定	保持	不定	保持
	CAN1MB1	不定	不定	保持	不定	保持
	CAN1MB2	不定	不定	保持	不定	保持
	CAN1MB3	不定	不定	保持	不定	保持
	CAN1MB4	不定	不定	保持	不定	保持
	CAN1MB5	不定	不定	保持	不定	保持
CAN1MB6	不定	不定	保持	不定	保持	
CAN1MB7	不定	不定	保持	不定	保持	
CAN1MB8	不定	不定	保持	不定	保持	

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
HCAN2 チャンネル 1	CAN1MB9	不定	不定	保持	不定	保持
	CAN1MB10	不定	不定	保持	不定	保持
	CAN1MB11	不定	不定	保持	不定	保持
	CAN1MB12	不定	不定	保持	不定	保持
	CAN1MB13	不定	不定	保持	不定	保持
	CAN1MB14	不定	不定	保持	不定	保持
	CAN1MB15	不定	不定	保持	不定	保持
	CAN1MB16	不定	不定	保持	不定	保持
	CAN1MB17	不定	不定	保持	不定	保持
	CAN1MB18	不定	不定	保持	不定	保持
	CAN1MB19	不定	不定	保持	不定	保持
	CAN1MB20	不定	不定	保持	不定	保持
	CAN1MB21	不定	不定	保持	不定	保持
	CAN1MB22	不定	不定	保持	不定	保持
	CAN1MB23	不定	不定	保持	不定	保持
	CAN1MB24	不定	不定	保持	不定	保持
	CAN1MB25	不定	不定	保持	不定	保持
	CAN1MB26	不定	不定	保持	不定	保持
	CAN1MB27	不定	不定	保持	不定	保持
	CAN1MB28	不定	不定	保持	不定	保持
	CAN1MB29	不定	不定	保持	不定	保持
CAN1MB30	不定	不定	保持	不定	保持	
CAN1MB31	不定	不定	保持	不定	保持	
HSPI	SPCR	H'0000 0000*7	H'0000 0000*7	保持	H'0000 0000*7	保持
	SPSR	H'0000 0120*7	H'0000 0120*7	保持	H'0000 0120*7	保持
	SPSCR	H'0000 0040*7	H'0000 0040*7	保持	H'0000 0040*7	保持
	SPTBR	H'0000 0000*7	H'0000 0000*7	保持	H'0000 0000*7	保持
	SPRBR	H'0000 0000*7	H'0000 0000*7	保持	H'0000 0000*7	保持
PFC	INPUPA	H'FF00	保持	保持	H'FF00	保持
	DMAPCR	H'A550	保持	保持	H'A550	保持
	SCIHZR	H'0000	保持	保持	H'0000	保持
	IPSELR	H'0003	保持	保持	H'0003	保持
	PAPUPR	H'FC	保持	保持	H'FC	保持
	PBPUPR	H'FE	保持	保持	H'FE	保持
	PCPUPR	H'FF	保持	保持	H'FF	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
PFC	PDPUPR	H'FF	保持	保持	H'FF	保持
	PEPUPR	H'FF	保持	保持	H'FF	保持
	PFPUPR	H'0F	保持	保持	H'0F	保持
	PGPUPR	H'FF	保持	保持	H'FF	保持
	PHPUPR	H'FF	保持	保持	H'FF	保持
	PJPUPR	H'FC	保持	保持	H'FC	保持
	PKPUPR	H'FC	保持	保持	H'FC	保持
	MDPUPR	H'38	保持	保持	H'38	保持
	MODSELR	H'00	保持	保持	H'00	保持
	PACR	H'0000	保持	保持	H'0000	保持
	PBCR	H'0000	保持	保持	H'0000	保持
	PCCR	H'FFFF	保持	保持	H'FFFF	保持
	PDCR	H'FFFF	保持	保持	H'FFFF	保持
	PECR	H'0000	保持	保持	H'0000	保持
	PFCR	H'0000	保持	保持	H'0000	保持
	PGCR	H'0000	保持	保持	H'0000	保持
	PHCR	H'003C	保持	保持	H'003C	保持
	PJCR	H'0000	保持	保持	H'0000	保持
	PKCR	H'0000	保持	保持	H'0000	保持
	PADR	H'00	保持	保持	H'00	保持
	PBDR	H'00	保持	保持	H'00	保持
	PCDR	H'00	保持	保持	H'00	保持
	PDDR	H'00	保持	保持	H'00	保持
	PEDR	H'00	保持	保持	H'00	保持
	PFDR	H'00	保持	保持	H'00	保持
	PGDR	H'00	保持	保持	H'00	保持
	PHDR	H'00	保持	保持	H'00	保持
	PJDR	H'00	保持	保持	H'00	保持
	PKDR	H'00	保持	保持	H'00	保持
	GPIOIC	H'0000	保持	保持	H'0000	保持
HAC チャンネル 0	HACCR0	H'0000 0200	H'0000 0200	保持	H'0000 0200	保持
	HACCSAR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACCSDR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACPCML0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
HAC チャンネル 0	HACPCMR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACTIER0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACTSR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACRIER0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACRSR0	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACACR0	H'8400 0000	H'8400 0000	保持	H'8400 0000	保持
HAC チャンネル 1	HACCR1	H'0000 0200	H'0000 0200	保持	H'0000 0200	保持
	HACCSAR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACCSDR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACPCML1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACPCMR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACTIER1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACTSR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACRIER1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
	HACRSR1	H'0000 0000	H'0000 0000	保持	H'0000 0000	保持
HACACR1	H'8400 0000	H'8400 0000	保持	H'8400 0000	保持	
MMCIF	CMDR0	H'00	H'00	保持	H'00	保持
	CMDR1	H'00	H'00	保持	H'00	保持
	CMDR2	H'00	H'00	保持	H'00	保持
	CMDR3	H'00	H'00	保持	H'00	保持
	CMDR4	H'00	H'00	保持	H'00	保持
	CMDR5	H'00	H'00	保持	H'00	保持
	CMDSTRT	H'00	H'00	保持	H'00	保持
	OPCR	H'00	H'00	保持	H'00	保持
	CSTR	H'0x	H'0x	保持	H'0x	保持
	INTCR0	H'00	H'00	保持	H'00	保持
	INTCR1	H'00	H'00	保持	H'00	保持
	INTSTR0	H'00	H'00	保持	H'00	保持
	INTSTR1	H'00	H'00	保持	H'00	保持
	CLKON	H'00	H'00	保持	H'00	保持
	CTOCR	H'00	H'00	保持	H'00	保持
	TBCR	H'00	H'00	保持	H'00	保持
	MODER	H'00	H'00	保持	H'00	保持
	CMDTYR	H'00	H'00	保持	H'00	保持
	RSPTYR	H'00	H'00	保持	H'00	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ Sleep 命令による /ディープスリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による		ハードによる	ソフトによる /モジュール毎による
MMCIF	RSPR0	H'00	H'00	保持	H'00	保持
	RSPR1	H'00	H'00	保持	H'00	保持
	RSPR2	H'00	H'00	保持	H'00	保持
	RSPR3	H'00	H'00	保持	H'00	保持
	RSPR4	H'00	H'00	保持	H'00	保持
	RSPR5	H'00	H'00	保持	H'00	保持
	RSPR6	H'00	H'00	保持	H'00	保持
	RSPR7	H'00	H'00	保持	H'00	保持
	RSPR8	H'00	H'00	保持	H'00	保持
	RSPR9	H'00	H'00	保持	H'00	保持
	RSPR10	H'00	H'00	保持	H'00	保持
	RSPR11	H'00	H'00	保持	H'00	保持
	RSPR12	H'00	H'00	保持	H'00	保持
	RSPR13	H'00	H'00	保持	H'00	保持
	RSPR14	H'00	H'00	保持	H'00	保持
	RSPR15	H'00	H'00	保持	H'00	保持
	RSPR16	H'00	H'00	保持	H'00	保持
	DTOUTR	H'FFFF	H'FFFF	保持	H'FFFF	保持
	DR	H'xxxx	H'xxxx	保持	H'xxxx	保持
	FIFOCLR	H'00	H'00	保持	H'00	保持
DMACR	H'00	H'00	保持	H'00	保持	
INTCR2	H'00	H'00	保持	H'00	保持	
INTSTR2	H'0x	H'0x	保持	H'0x	保持	
RDTIMSEL	H'00	H'00	保持	H'00	保持	
MFI	MFIDX	H'0000	H'0000	保持	H'0000	保持
	MFIGSR	H'0000	H'0000	保持	H'0000	保持
	MFISCR	H'0040/H'0050 ^{*8}	H'0040/H'0050 ^{*8}	保持	H'0040/H'0050 ^{*8}	保持
	MFIMCR	H'0000	H'0000	保持	H'0000	保持
	MFIICR	H'0000	H'0000	保持	H'0000	保持
	MFIICR	H'0000	H'0000	保持	H'0000	保持
	MFIADR	H'0000	H'0000	保持	H'0000	保持
	MFIDATA	H'0000	H'0000	保持	H'0000	保持
	MFRAM 先頭	不定	不定	保持	不定	保持
	MFRAM 最後	不定	不定	保持	不定	保持

32. レジスタ一覧

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
H-UDI	SDIR	H'FFFF*9	保持	保持	H'FFFF*9	保持
	SDDR/SDDRH	不定	保持	保持	不定	保持
	SDDRL	不定	保持	保持	不定	保持
	SDINT	H'0000	保持	保持	H'0000	保持
ADC	ADDRA	H'0000	H'0000	保持	H'0000	H'0000*10
	ADDRB	H'0000	H'0000	保持	H'0000	H'0000*10
	ADDRC	H'0000	H'0000	保持	H'0000	H'0000*10
	ADDRD	H'0000	H'0000	保持	H'0000	H'0000*10
	ADCSR	H'0040	H'0040	保持	H'0040	H'0040*10
LCDC	LDICKR	H'0101	H'0101	保持	H'0101	保持
	LDMTR	H'0109	H'0109	保持	H'0109	保持
	LDDFR	H'000C	H'000C	保持	H'000C	保持
	LDSMR	H'0000	H'0000	保持	H'0000	保持
	LDSARU	H'0C00 0000	H'0C00 0000	保持	H'0C00 0000	保持
	LDSARL	H'0C00 0000	H'0C00 0000	保持	H'0C00 0000	保持
	LDLAOR	H'0280	H'0280	保持	H'0280	保持
	LDPALCR	H'0000	H'0000	保持	H'0000	保持
	LDPR00 ~ FF*11	不定	不定	保持	不定	保持
	LDHCNR	H'4F52	H'4F52	保持	H'4F52	保持
	LDHSYNR	H'0050	H'0050	保持	H'0050	保持
	LDVDLNR	H'01DF	H'01DF	保持	H'01DF	保持
	LDVTLNR	H'01DF	H'01DF	保持	H'01DF	保持
	LDVSYNR	H'01DF	H'01DF	保持	H'01DF	保持
	LDACLNR	H'000C	H'000C	保持	H'000C	保持
	LDINTR	H'0000	H'0000	保持	H'0000	保持
	LDPMMR	H'0010	H'0010	保持	H'0010	保持
	LDPSPR	H'F60F	H'F60F	保持	H'F60F	保持
	LDCNTR	H'0000	H'0000	保持	H'0000	保持
	UBC	BARA	不定	保持	保持	不定
BASRA		不定	保持	保持	不定	保持
BAMRA		不定	保持	保持	不定	保持
BBRA		H'0000	保持	保持	H'0000	保持
BARB		不定	保持	保持	不定	保持
BASRB		不定	保持	保持	不定	保持
BAMRB		不定	保持	保持	不定	保持

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	
		RESET 端子/WDT /H-UDI による	RESET 端子/WDT /多重例外による	Sleep 命令による /ディープスリープ	ハードによる	ソフトによる /モジュール毎による
UBC	BBRB	H'0000	保持	保持	H'0000	保持
	BDRB	不定	保持	保持	不定	保持
	BDMRB	不定	保持	保持	不定	保持
	BRCR	H'0000 ^{*12}	保持	保持	H'0000 ^{*12}	保持

- 【注】 *1 NMI 端子がローレベルの場合。
- *2 NMI 端子がハイレベルの場合。
- *3 RESET 端子による場合、ビット 11~9 は初期値 1、ビット 8~0 は不定になります。WDT/H-UDI による場合、保持になります。
- *4 ビット 2、0 は不定。
- *5 ビット 6、4、2、0 は不定。
- *6 ビット 6、5 は不定。
- *7 リザーブビットは不定。
- *8 80 系 I/F 時 : 0040、68 系 I/F 時 : 0050。
- *9 リザーブビットは不定。
- *10 モジュールスタンバイ、ソフトウェアスタンバイに遷移させる場合は、A/D 変換中でないことを確認してください。A/D 変換中に遷移させた場合、レジスタの値は保証されません。
- *11 LDPR00、LDPR01、.....LDPRFF の 256 個あります。
- *12 ビット 10、7、6、3 は不定。

33. 電気的特性

33.1 絶対最大定格

表 33.1 絶対最大定格

項目	記号	定格値	単位
I/O、CPG、ADC 電源電圧	V_{DDQ} V_{DD-CPG} AV_{CC-ADC}	-0.3 ~ 4.6	V
内部電源電圧	V_{DD} $V_{DD-PLL1/2/3}$	-0.3 ~ 2.1	V
入力電圧	V_{in}	-0.3 ~ $V_{DDQ}+0.3$ 、-0.5 ~ 5.5* ¹	V
動作温度* ²	T_{opr}	-20 ~ 75 / -40 ~ 85	
保存温度	T_{stg}	-55 ~ 125	

- 【注】
1. 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
 2. すべての V_{SS} を GND に接続しない場合、LSI の永久破壊となることがあります。
 3. 電源投入遮断手順については「付録 F. 電源投入遮断手順について」を参照してください。
- *1 I2C0_SCL、I2C0_SDA、I2C1_SCL、I2C1_SDA のみ。
- *2 表 G.1 を参照してください。

33.2 DC 特性

表 33.2 DC 特性 ($T_a = -20 \sim 75$ / $-40 \sim 85$)

項目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		V_{DD0} V_{DD-CPG} AV_{CC-ADC}	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		V_{DD} $V_{DD-PLL1/2/3}$	1.4	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
アナログ 電源電流	A/D 変換期間	AI_{CC}	-	6.0	7.5	mA	
	アイドル期間		-	0.2	2.0	μA	
消費電流	通常動作	I_{DD}	-	220	730	mA	lck = 200MHz
	スリープモード時		-	90	160		
	スタンバイモード時	I_{DD}	-	-	250	μA	$T_a = 25$
			-	-	500		$T_a > 50$
	通常動作	I_{DD0}	-	70	190	mA	lck = 200MHz Bck = 67MHz
	スリープモード時		-	25	50		
スタンバイモード時	I_{DD0}		-	-	530	μA	$T_a = 25$
スタンバイモード時		-	-	800	$T_a > 50$		
入力電圧	RESET、NMI、TRST、 ASEBRK/BRKACK、 MRESET、CA、 SCIF2_RTS、 USB_PENC、 VEPWC/IRQ5、 VCPWC/IRQ4、IRL3、 IRL2、IRL1、IRL0、 Reserved/AUDATA[3]	V_{IH}	$V_{DD0} \times 0.9$	-	$V_{DD0} + 0.3$	V	
	I2C1_SCL、I2C1_SDA I2C0_SCL、I2C0_SDA		$V_{DD0} \times 0.7$	-	5.5		
	USB_DP、USB_DM		$V_{DD0} \times 0.7$	-	$V_{DD0} + 0.3$		
	その他入力端子		2.2	-	$V_{DD0} + 0.3$		

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力電圧	RESET、NMI、TRST、 ASEBRK/BRKACK、 MRESET、CA、 SCIF2_RTS、 USB_PENC、 VEPWC/IRQ5、 VCPWC/IRQ4、IRL3、 IRL2、IRL1、IRL0、 Reserved/AUDATA[3]	V_{IL}	-0.3	-	$V_{DDQ} \times 0.1$	V	
	I2C1_SCL、I2C1_SDA I2C0_SCL、I2C0_SDA		-0.5	-	$V_{DDQ} \times 0.3$		
	USB_DP、USB_DM		-0.3	-	$V_{DDQ} \times 0.2$		
	その他入力端子		-0.3	-	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	$ I_{in} $	-	-	1	μA	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステ ートリーク 電流	入出力、全出力端子 (オフ状態)	$ I_{sti} $	-	-	1	μA	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
出力電圧	全端子*	V_{OH}	$V_{DDQ} \times 0.8$	-	-	V	
	I2C1_SCL、I2C1_SDA I2C0_SCL、I2C0_SDA	V_{OL}	0	-	0.4		
	その他端子		-	-	$V_{DDQ} \times 0.2$		
プルアップ 抵抗	全端子	R_{pull}	20	60	180	k	
端子容量	USB_DP、USB_DM	C_{USB}	-	-	20	pF	
	AN3、AN2、AN1、AN0	C_{ADC}	-	-	20		
	その他	C_L	-	-	10		

- 【注】
- PLLの使用の有無にかかわらず、 V_{DD-CPG} を V_{DDQ} 、 AV_{CC-ADC} と同電位、 $V_{DD-PLL1/2/3}$ を V_{DD} と同電位、 V_{SS} 、 V_{SS-CPG} および $V_{SS-PLL1/2/3}$ をGNDに接続してください。これを満たさない場合、本LSIが破壊される可能性があります。
 - A/D変換器の使用の有無にかかわらず、 AV_{CC-ADC} を V_{DDQ} 、 V_{DD-CPG} と同電位、 AV_{SS-ADC} をGNDに接続してください。これを満たさない場合、本LSIが破壊される可能性があります。
 - 消費電流値は、 $V_{IH}(\text{Min.})=V_{DDQ}-0.5V$ および $V_{IL}(\text{Max.})=0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
 - I_{DD} は V_{DD} 、 $V_{DD-PLL1/2/3}$ の電流の合計値です。
 - I_{DDQ} は V_{DDQ} 、 V_{DD-CPG} の電流の合計値です。
- * I2Cn_SCL、I2Cn_SDAを除く。

33. 電气的特性

表 33.3 出力許容電流値

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流（1端子あたり）	I_{OL}	-	-	2	mA
出力ローレベル許容電流（総和）	ΣI_{OL}	-	-	120	
出力ハイレベル許容電流（1端子あたり）	$-I_{OH}$	-	-	2	mA
出力ハイレベル許容電流（総和）	$\Sigma -I_{OH} $	-	-	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 33.3 の値を超えないようにしてください。

33.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 33.4 クロックタイミング

項目		記号	Min.	Typ.	Max.	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	-	200	MHz
	外部バス		1	-	67	
	周辺モジュール		1	-	34	

33.3.1 クロック・制御信号タイミング

表 33.5 クロック・制御信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目		記号	Min.	Max.	単位	参照図
EXTAL クロック入力 周波数	PLL1 6 逓倍 / PLL2 動作時	f_{EX}	16	34	MHz	
	PLL1 12 逓倍 / PLL2 動作時		16	22		
	PLL1 / PLL2 非動作時		1	34		
DCK クロック出力		f_{OP2}	22	67	MHz	
DCK クロック出力サイクルタイム		t_{DCyc}	15	45	ns	33.4
DCK クロック出力ローレベルパルス幅		t_{DCOL1}	1	-	ns	33.4
DCK クロック出力ハイレベルパルス幅		t_{DCOH1}	1	-	ns	33.4
DCK クロック出力立ち上がり時間		t_{DCOr}	-	3	ns	33.4
DCK クロック出力立ち下がり時間		t_{DCOf}	-	3	ns	33.4
DCK クロック出力ローレベルパルス幅		t_{DCOL2}	3	-	ns	33.5
DCK クロック出力ハイレベルパルス幅		t_{DCOH2}	3	-	ns	33.5
EXTAL クロック入力サイクル時間		t_{EXCyc}	30	1000	ns	33.1
EXTAL クロック入力ローレベルパルス幅		t_{EXL}	3.5	-	ns	33.1
EXTAL クロック入力ハイレベルパルス幅		t_{EXH}	3.5	-	ns	33.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	33.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	33.1
CKIO クロック出力	PLL1 / PLL2 動作時	f_{OP}	25	67	MHz	
	PLL1 / PLL2 非動作時		1	34		
CKIO クロック出力サイクル時間		t_{CKOCyc}	15	1000	ns	33.2
CKIO クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	33.2
CKIO クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	33.2
CKIO クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	33.2
CKIO クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	33.2
CKIO クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	33.3
CKIO クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	33.3
パワーオン発振安定時間		t_{OSC1}	10	-	ms	33.6、33.8
パワーオン発振安定時間 / モード安定時間		t_{OSCMD}	10	-	ms	33.6、33.8
MD リセットセットアップ時間		t_{MDRS}	3	-	t_{Cyc}	33.14
MD リセットホールド時間		t_{MDRH}	20	-	ns	33.6、33.8
RESET アサート時間		t_{RESW}	20	-	t_{Cyc}	33.6、33.7、33.8、33.9
PLL 同期安定化時間		t_{PLL}	200	-	μs	33.12、33.13
スタンバイ復帰発振安定時間 1		t_{OSC2}	5	-	ms	33.7、33.9
スタンバイ復帰発振安定時間 2		t_{OSC3}	5	-	ms	33.10
スタンバイ復帰発振安定時間 3		t_{OSC4}	5	-	ms	33.11

33. 電氣的特性

項目	記号	Min.	Max.	単位	参照図
スタンバイ復帰発振安定時間 1*	t_{OSC2}	2	-	ms	33.7、33.9
スタンバイ復帰発振安定時間 2*	t_{OSC3}	2	-	ms	33.10
スタンバイ復帰発振安定時間 3*	t_{OSC4}	2	-	ms	33.11
IRL 割り込み判定時間 (スタンバイモード時)	t_{IRLSTB}	-	200	μs	33.13
TRST リセットホールド時間	t_{TRSTRH}	0	-	ns	33.6、33.8
RESET 入力立ち上がり時間	t_{PRv}	-	1	μs	33.14
RESET 入力立ち下がり時間	t_{PRf}	-	1	μs	33.14

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。
 2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は最大 50pF としてください。
 3. t_{cyc} は CKIO クロックの 1 サイクル時間を示します。
- * 水晶発振子の発振安定時間が 1ms 以下の場合

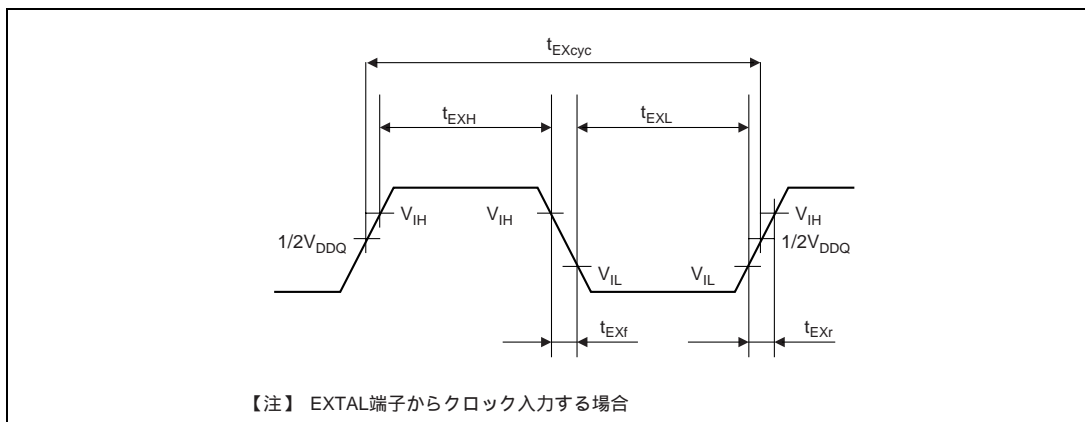


図 33.1 EXTAL クロック入力タイミング

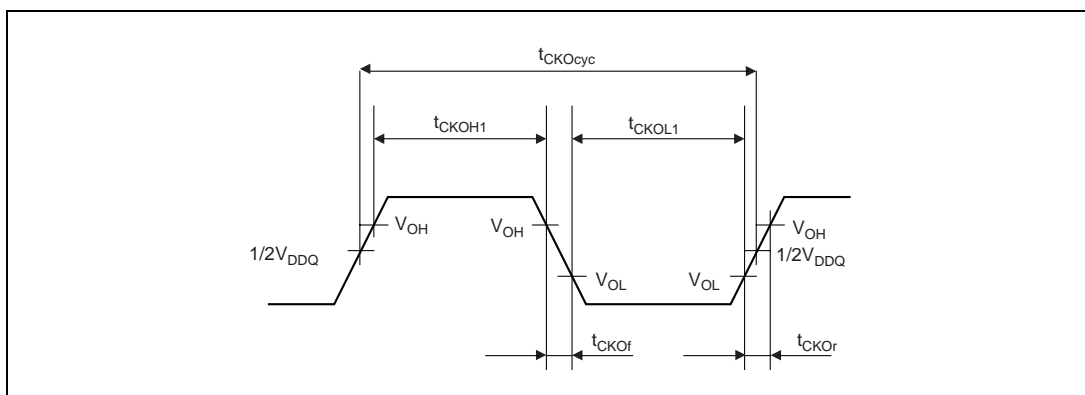


図 33.2 CKIO クロック出力タイミング (1)

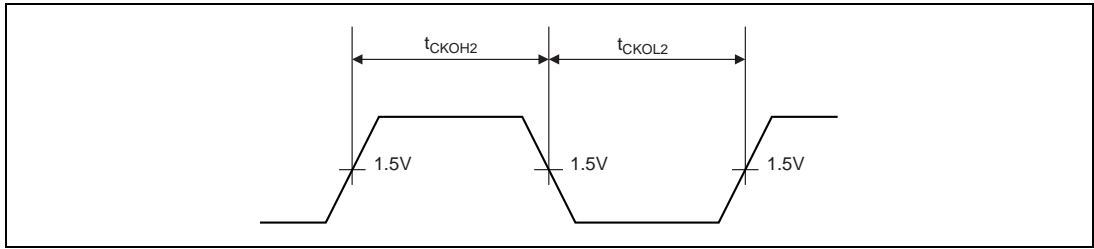


図 33.3 CKIO クロック出力タイミング (2)

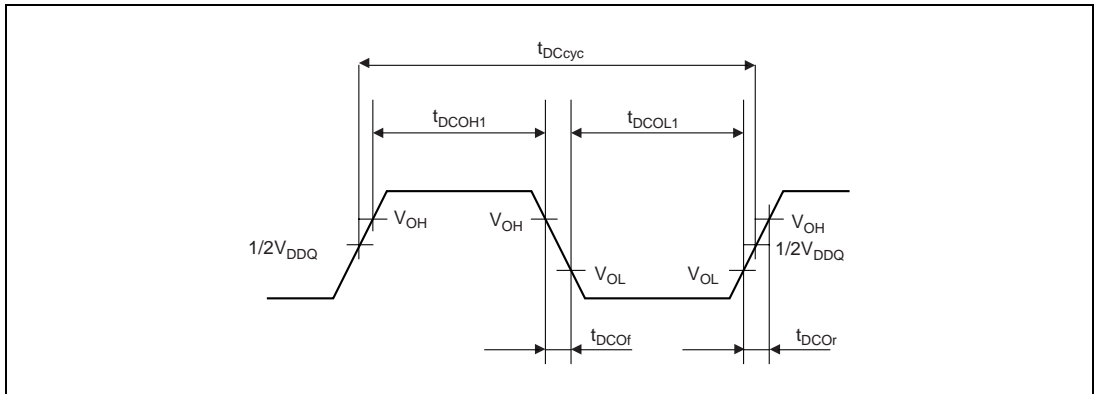


図 33.4 DCK クロック出力タイミング (1)

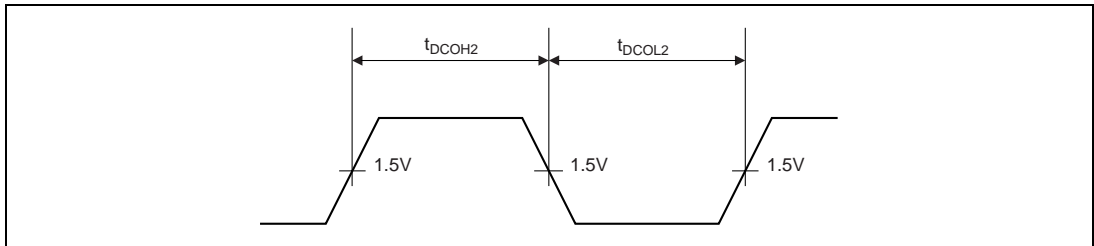


図 33.5 DCK クロック出力タイミング (2)

33. 電気的特性

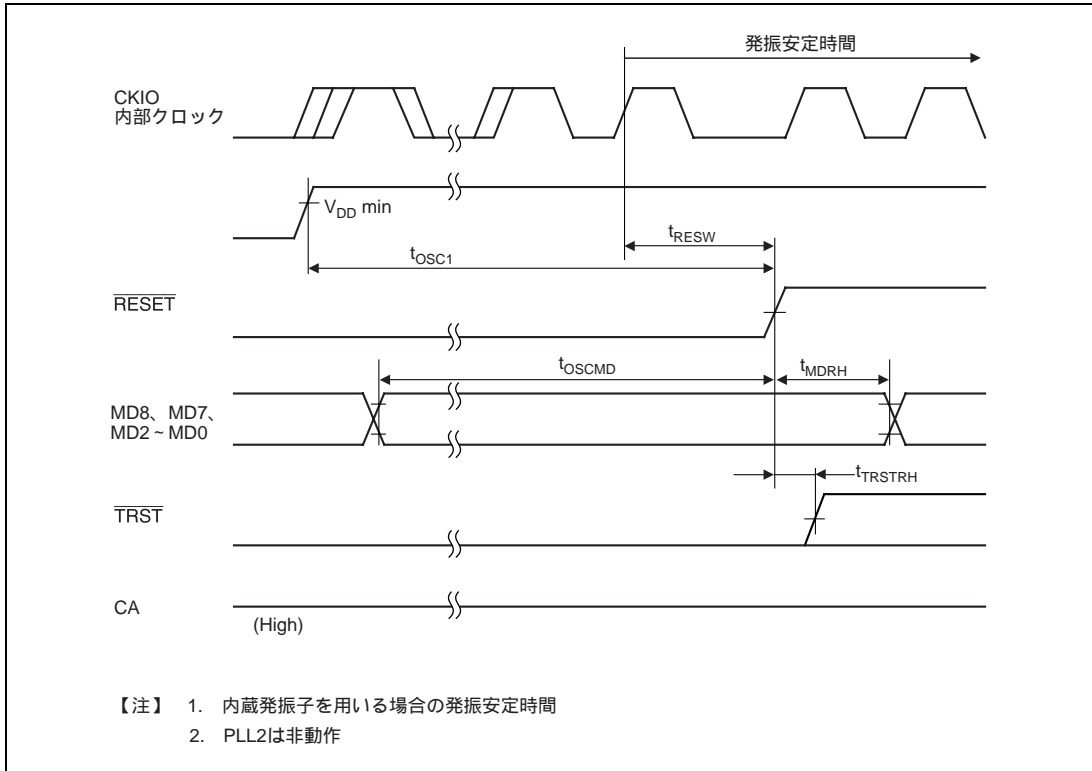


図 33.6 パワーオン時発振安定時間 (1)

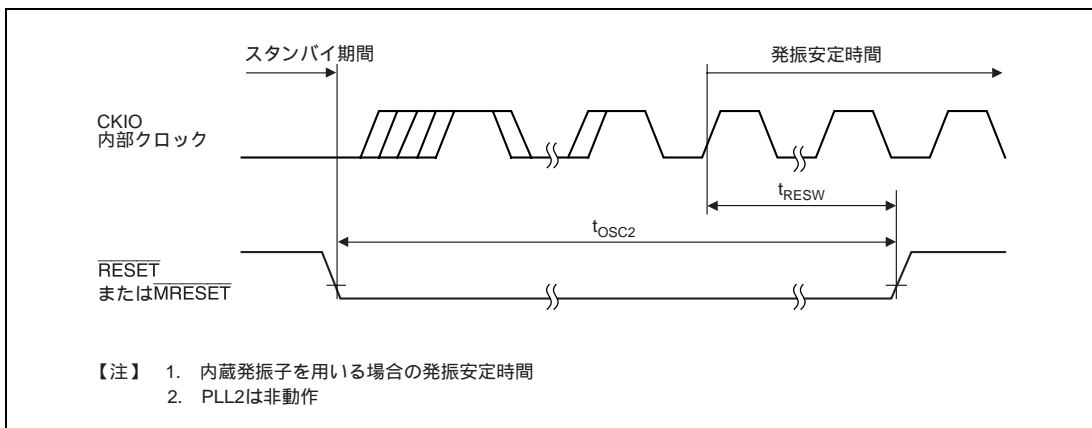


図 33.7 スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰) (1)

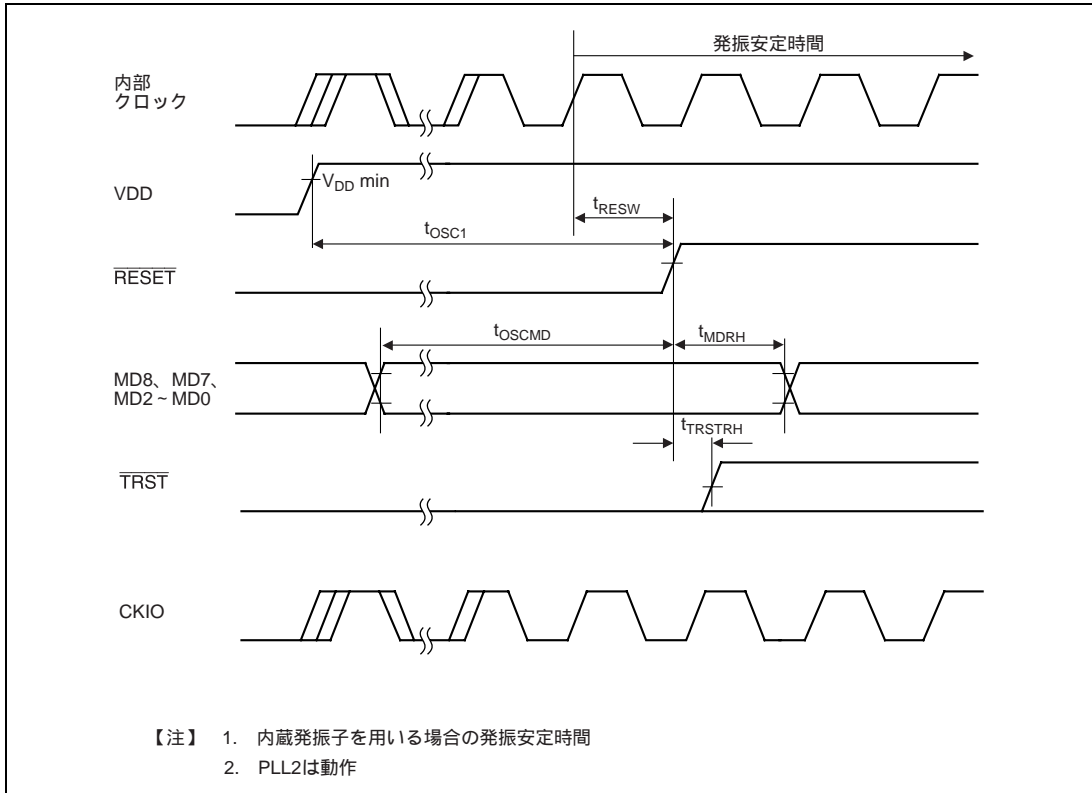


図 33.8 パワーオン時発振安定時間 (2)

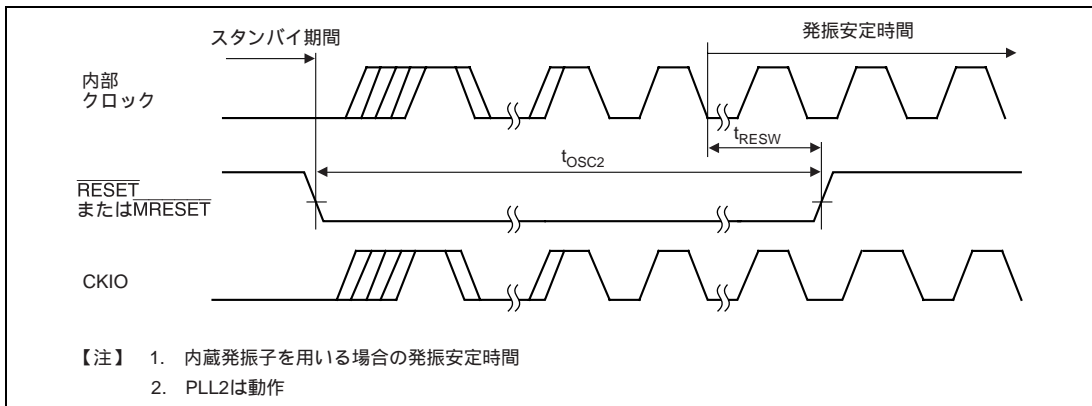


図 33.9 スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰) (2)

33. 電気的特性

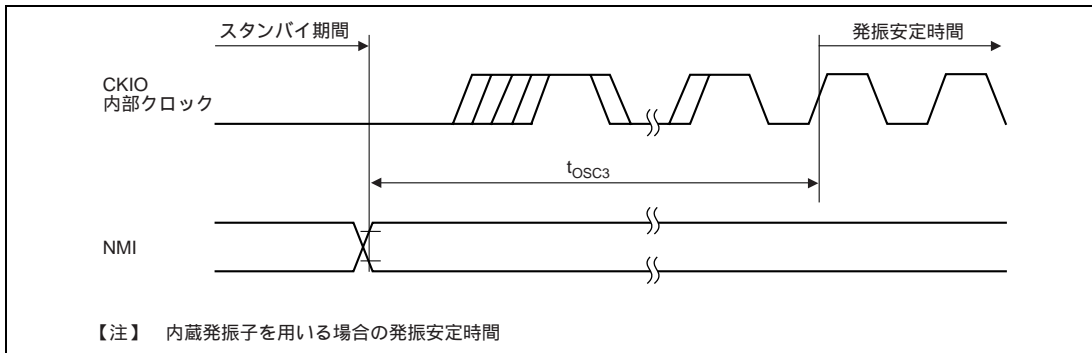


図 33.10 スタンバイ復帰時発振安定時間 (NMI による復帰)

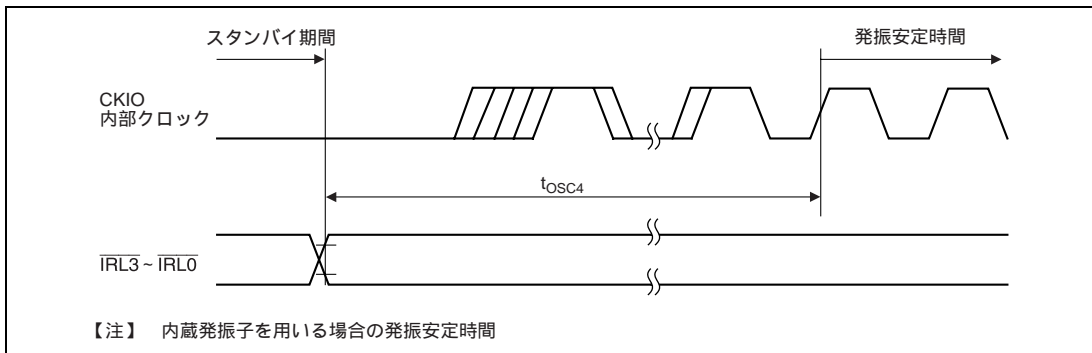


図 33.11 スタンバイ復帰時発振安定時間 (IRL3 ~ IRL0 による復帰)

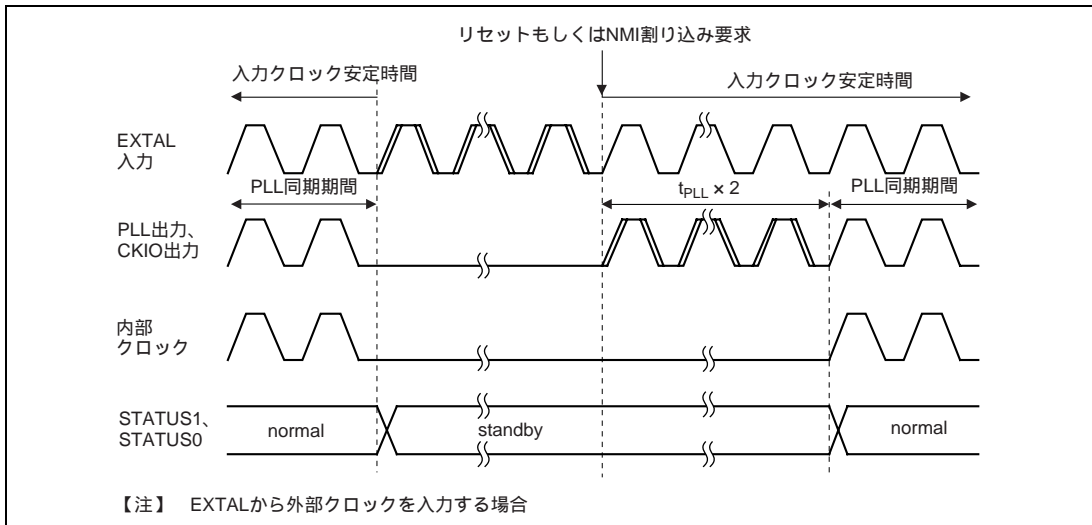


図 33.12 \overline{RESET} または \overline{MRESET} または NMI 割り込みによる PLL 同期安定時間

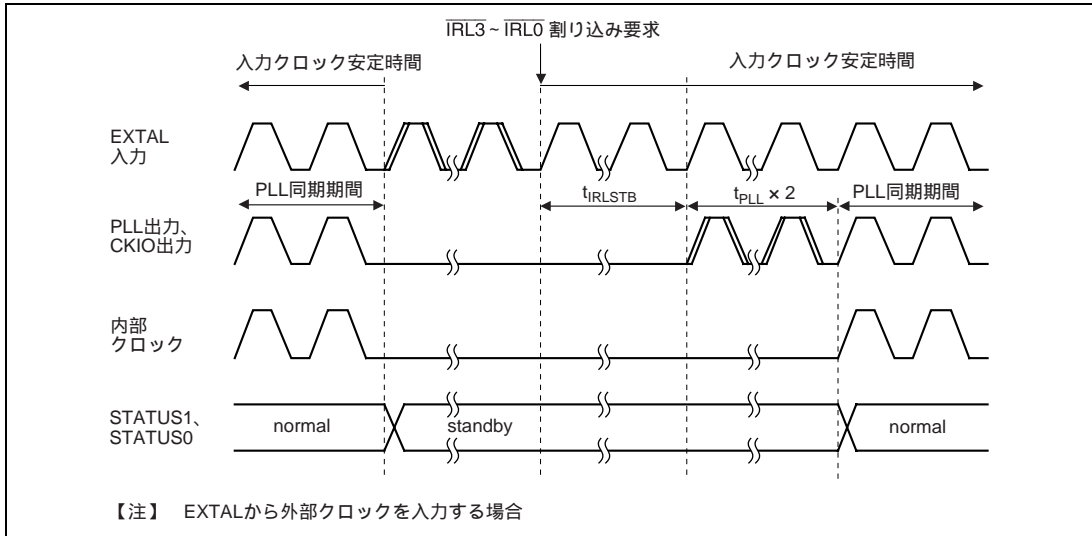


図 33.13 IRL 割り込みによる PLL 同期安定時間

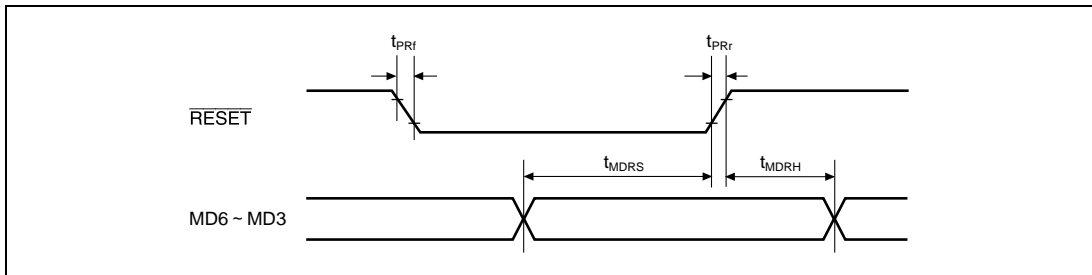


図 33.14 MD 端子セットアップ/ホールドタイミング

33.3.2 制御信号タイミング

表 33.6 制御信号タイミング

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_{\text{a}}=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	参照図
BREQ セットアップ時間	t_{BREQS}	3	-	ns	33.15
BREQ ホールド時間	t_{BREQH}	1.5	-	ns	33.15
BACK 遅延時間	t_{BACKD}	-	6	ns	33.15
バスタライステート遅延時間	t_{BOFF1}	-	12	ns	33.15
スタンバイモードへのバスタライステート遅延時間	t_{BOFF2}	-	2	t_{cyc}	33.16 (2)
バスバッファオンタイム	t_{BON1}	-	12	ns	33.15
スタンバイからのバスバッファオンタイム	t_{BON2}	-	2	t_{cyc}	33.16 (2)
STATUS 0、STATUS1 遅延時間	t_{STD1}	-	6	ns	33.16 (1)
	t_{STD2}	-	2	t_{cyc}	33.16 (1) (2)
	t_{STD3}	-	2	t_{cyc}	33.16 (2)

【注】 t_{cyc} は CKIO クロックの 1 サイクル時間を示します。

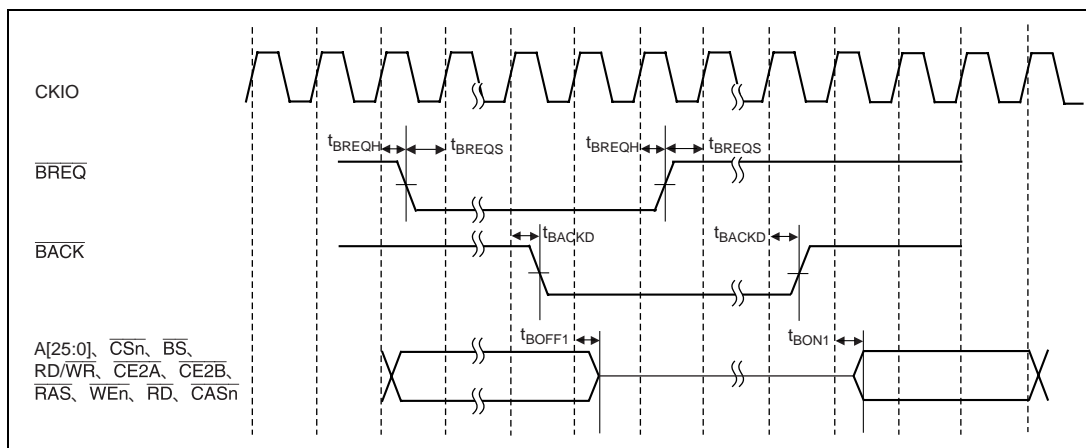


図 33.15 制御信号タイミング

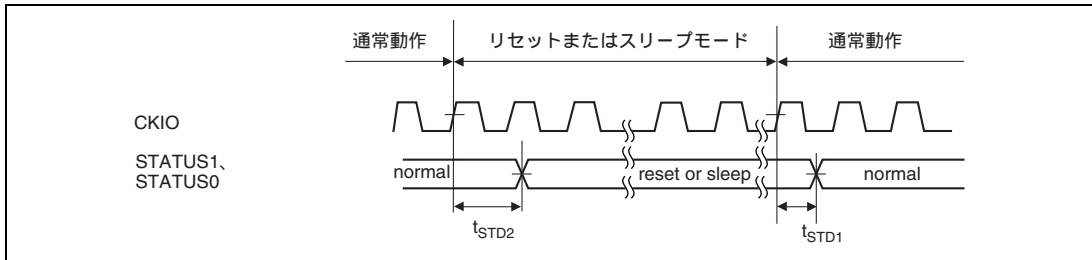
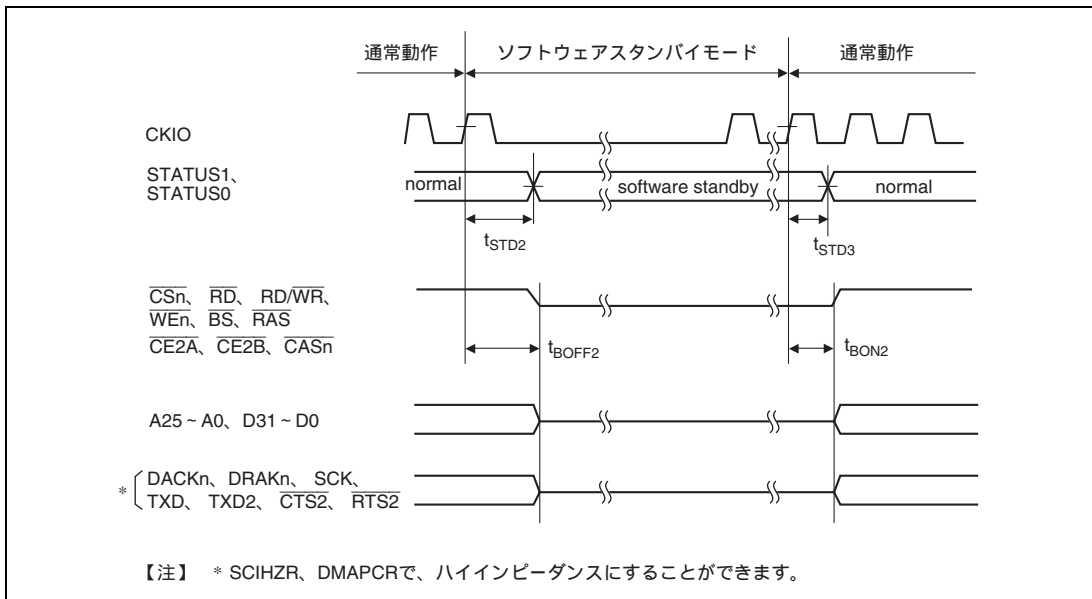


図 33.16 (1) リセットまたはスリープモード時のピンドライブタイミング



【注】 * SCIHZR、DMAPCRで、ハイインピーダンスにすることができます。

図 33.16 (2) ソフトウェアスタンバイモード時のピンドライブタイミング

33. 電気的特性

33.3.3 バスタイミング

表 33.7 バスタイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	備考
アドレス遅延時間	t_{AD}	1.5	6	ns	
BS 遅延時間	t_{BSD}	1.5	6	ns	
CS 遅延時間	t_{CSD}	1.5	6	ns	
RW 遅延時間	t_{RWD}	1.5	6	ns	
RD 遅延時間	t_{RSD}	1.5	6	ns	
読み出しデータセットアップ時間	t_{RDS}	3	-	ns	
読み出しデータホールド時間	t_{RDH}	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	1.5	6	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	t_{WED1}	1.5	6	ns	
書き込みデータ遅延時間	t_{WDD}	1.5	6	ns	
RDY セットアップ時間	t_{RDYS}	3	-	ns	
RDY ホールド時間	t_{RDYH}	1.5	-	ns	
RAS 遅延時間	t_{RASD}	1.5	6	ns	
CAS 遅延時間 2	t_{CASD2}	1.5	6	ns	SDRAM
CKE 遅延時間	t_{CKED}	1.5	6	ns	SDRAM
DQM 遅延時間	t_{DQMD}	1.5	6	ns	SDRAM
FRAME 遅延時間	t_{FMD}	1.5	6	ns	MPX
IOIS16 セットアップ時間	t_{IO16S}	3	-	ns	PCMCIA
IOIS16 ホールド時間	t_{IO16H}	1.5	-	ns	PCMCIA
ICIORR 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.5	6	ns	PCMCIA
ICIORR 遅延時間	t_{ICRSD}	1.5	6	ns	PCMCIA
DACK 遅延時間	t_{DACD}	1.5	6	ns	
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACDF}	1.5	6	ns	CKIO の立ち下がりエッジに対して

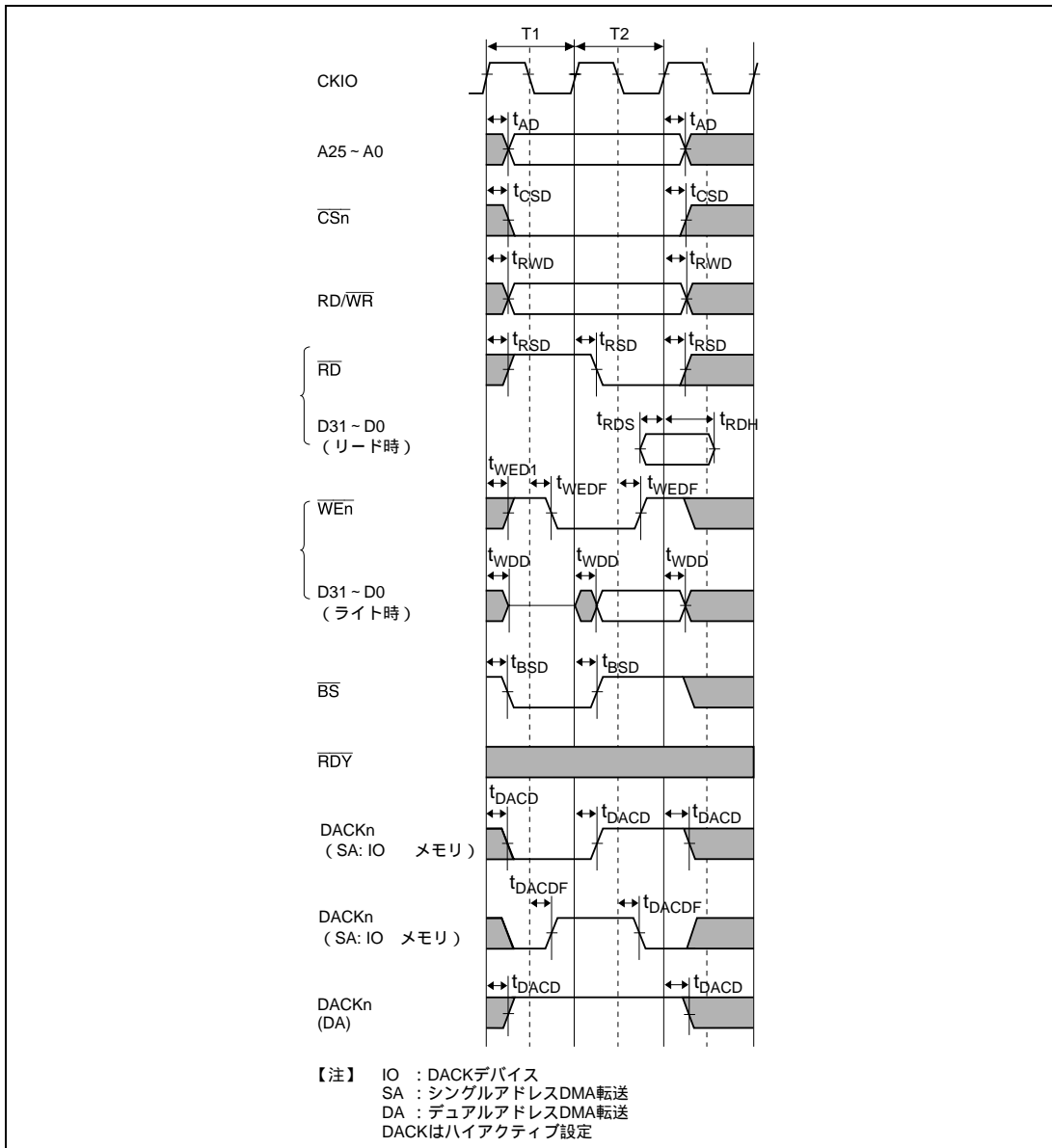


図 33.17 SRAM バスサイクル 基本バスサイクル(ノーウェイト)

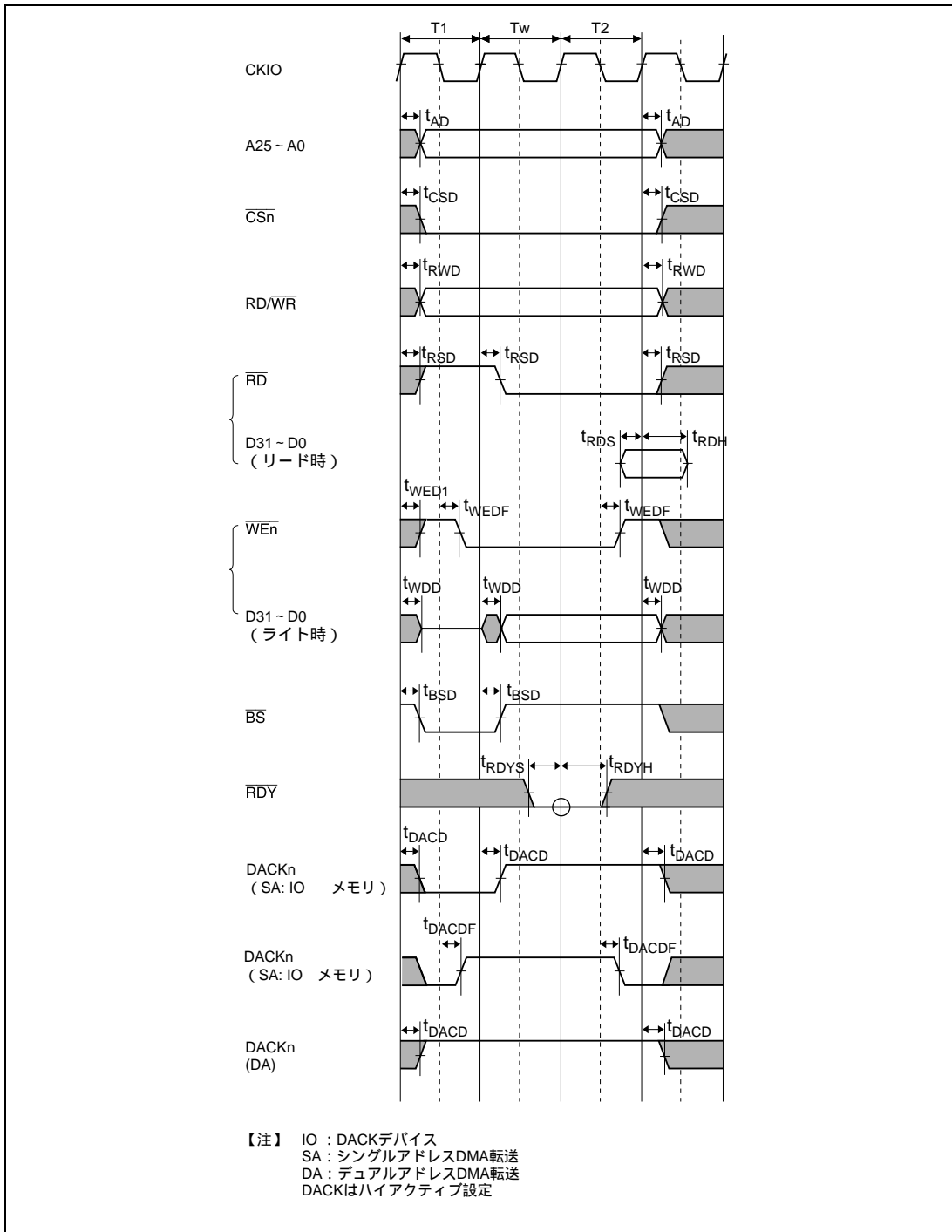


図 33.18 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

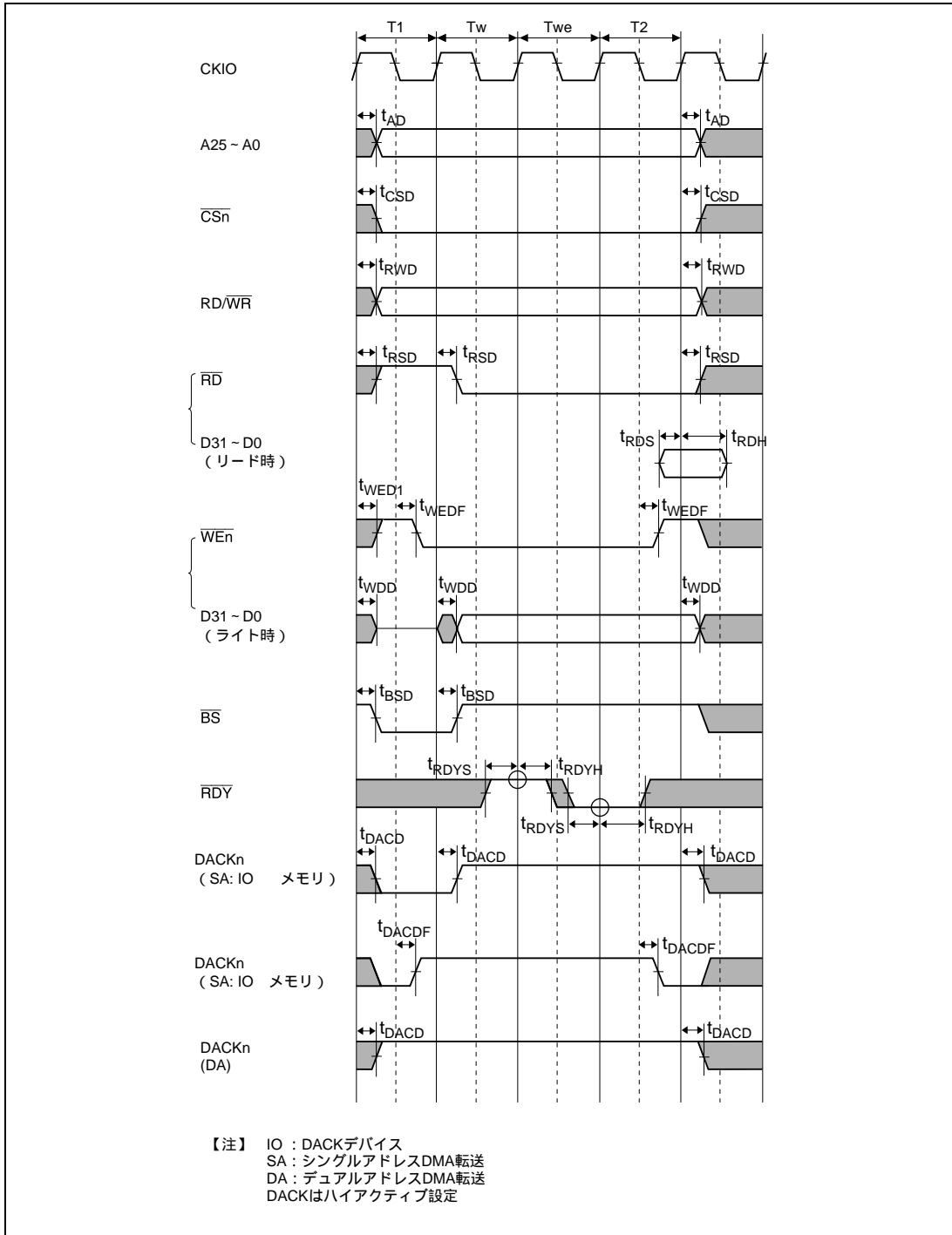


図 33.19 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

33. 電気的特性

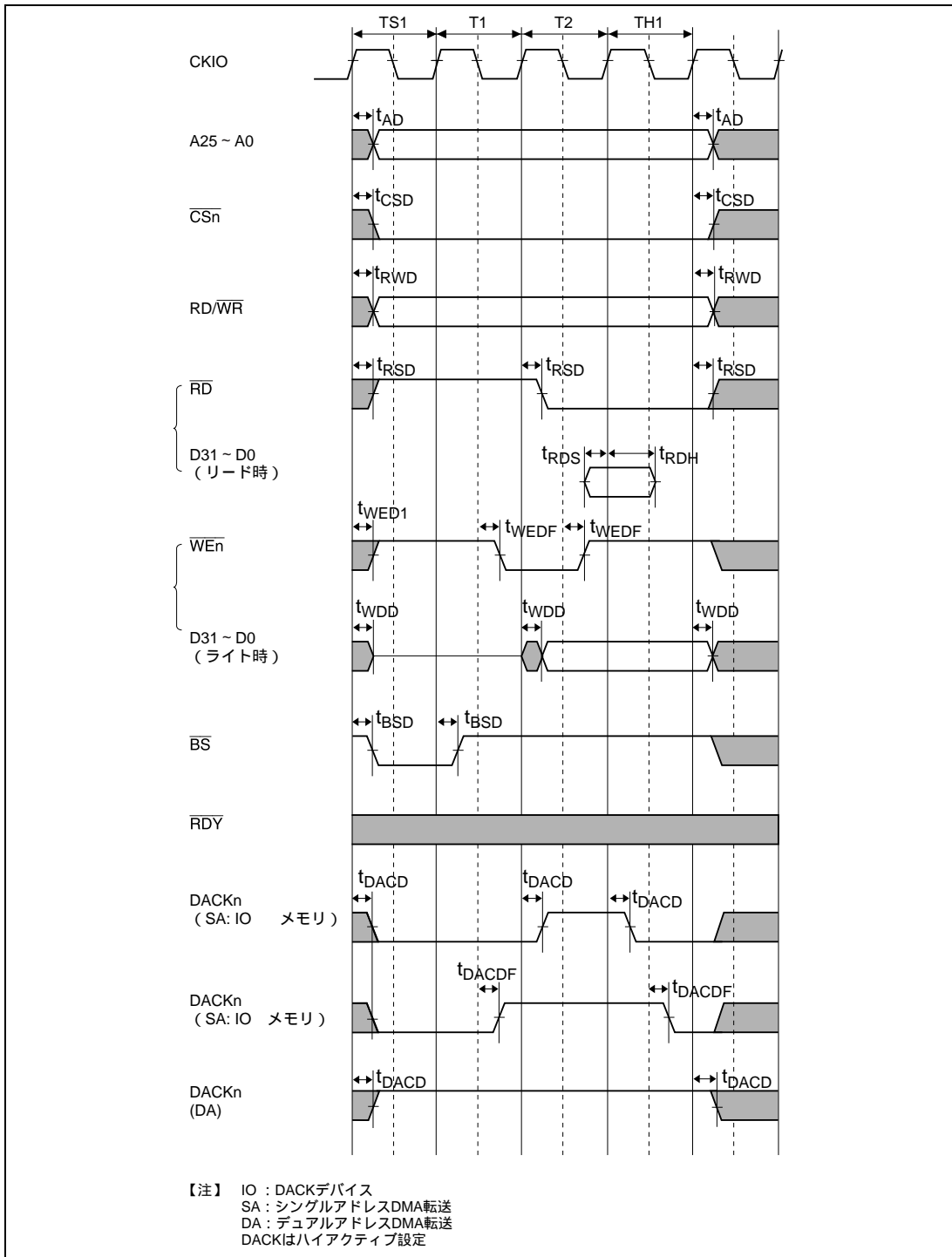


図 33.20 SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、ホールドタイム挿入、AnS=1、AnH=1)

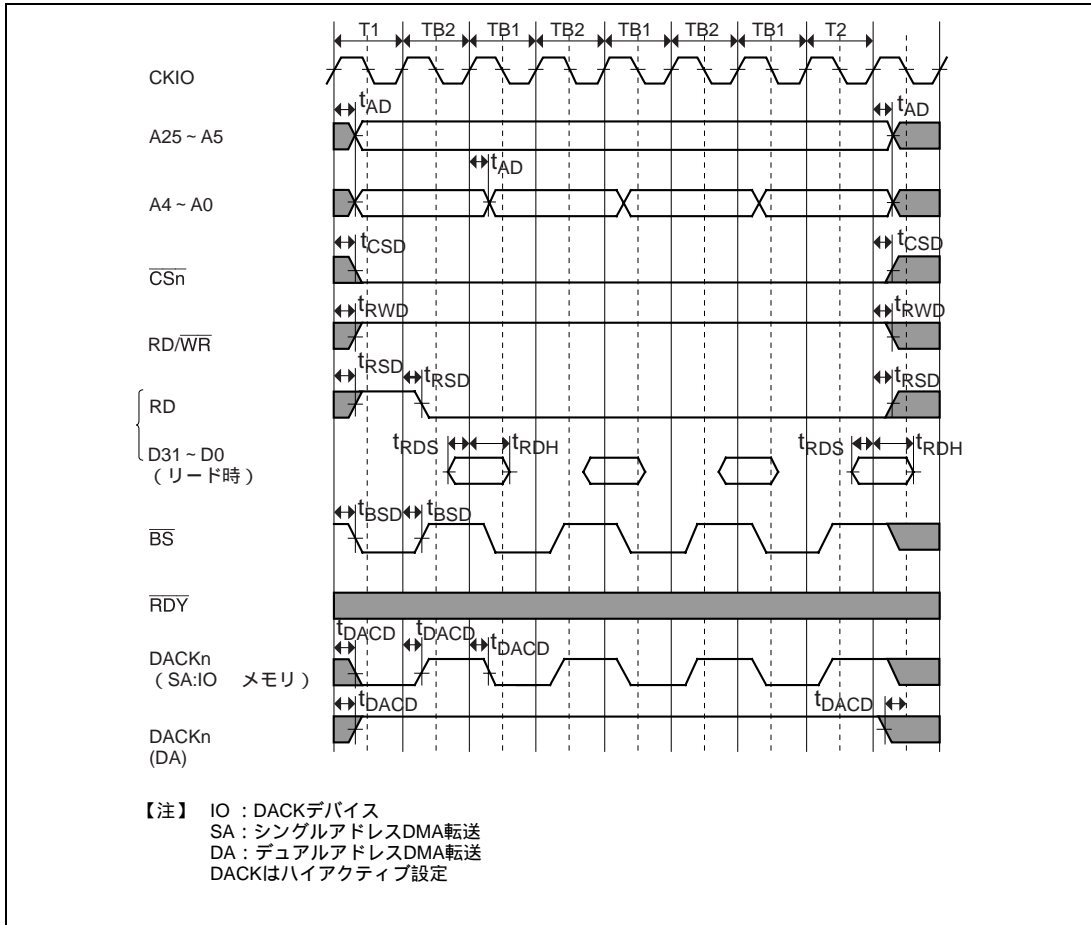


図 33.21 バースト ROM バスサイクル (ノーウェイト)

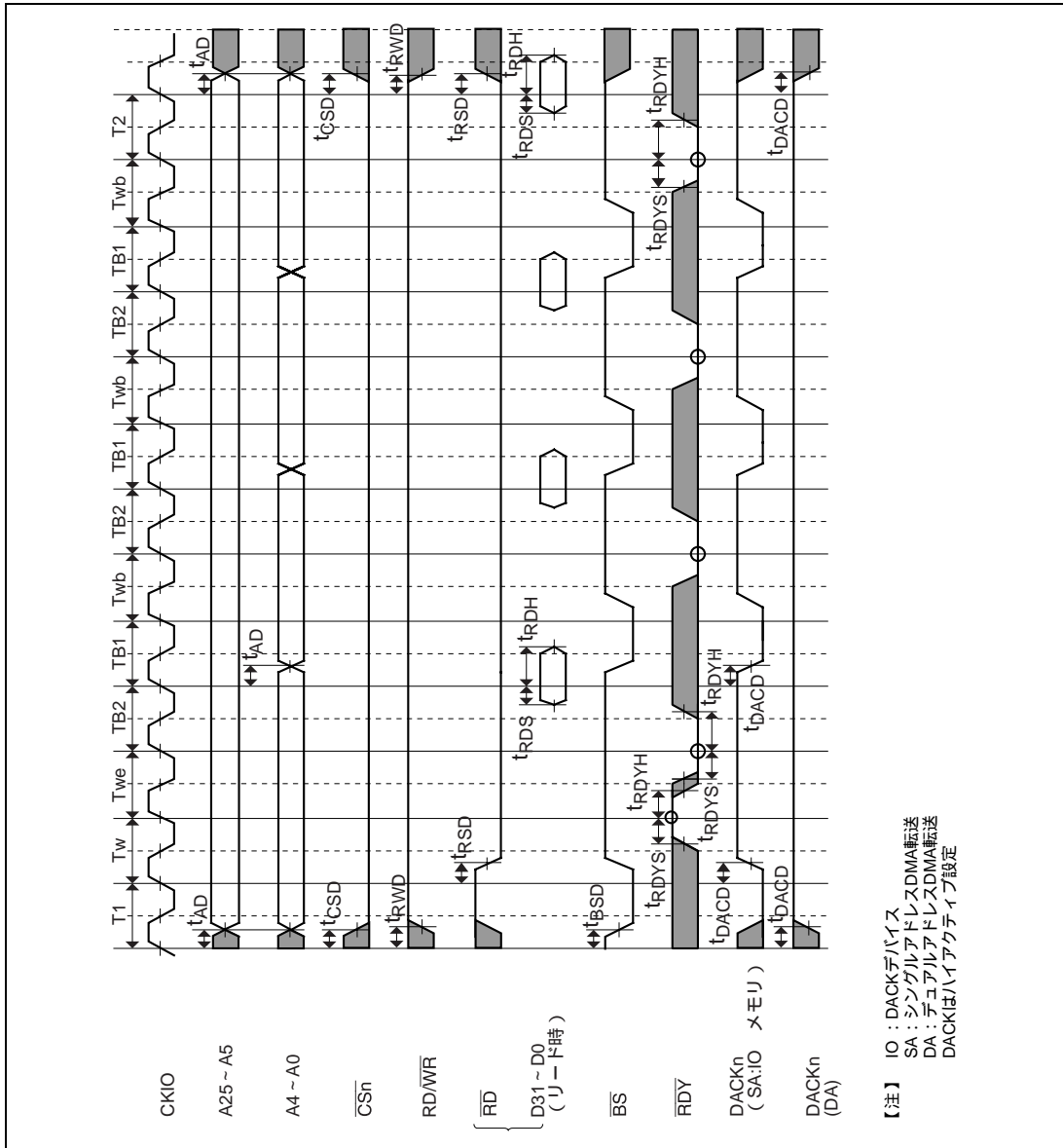


図 33.22 バーストROM バスサイクル (1 番目のデータ: 内部1ウェイト+外部1ウェイト、
 2、3、4番目のデータ: 内部1ウェイト)

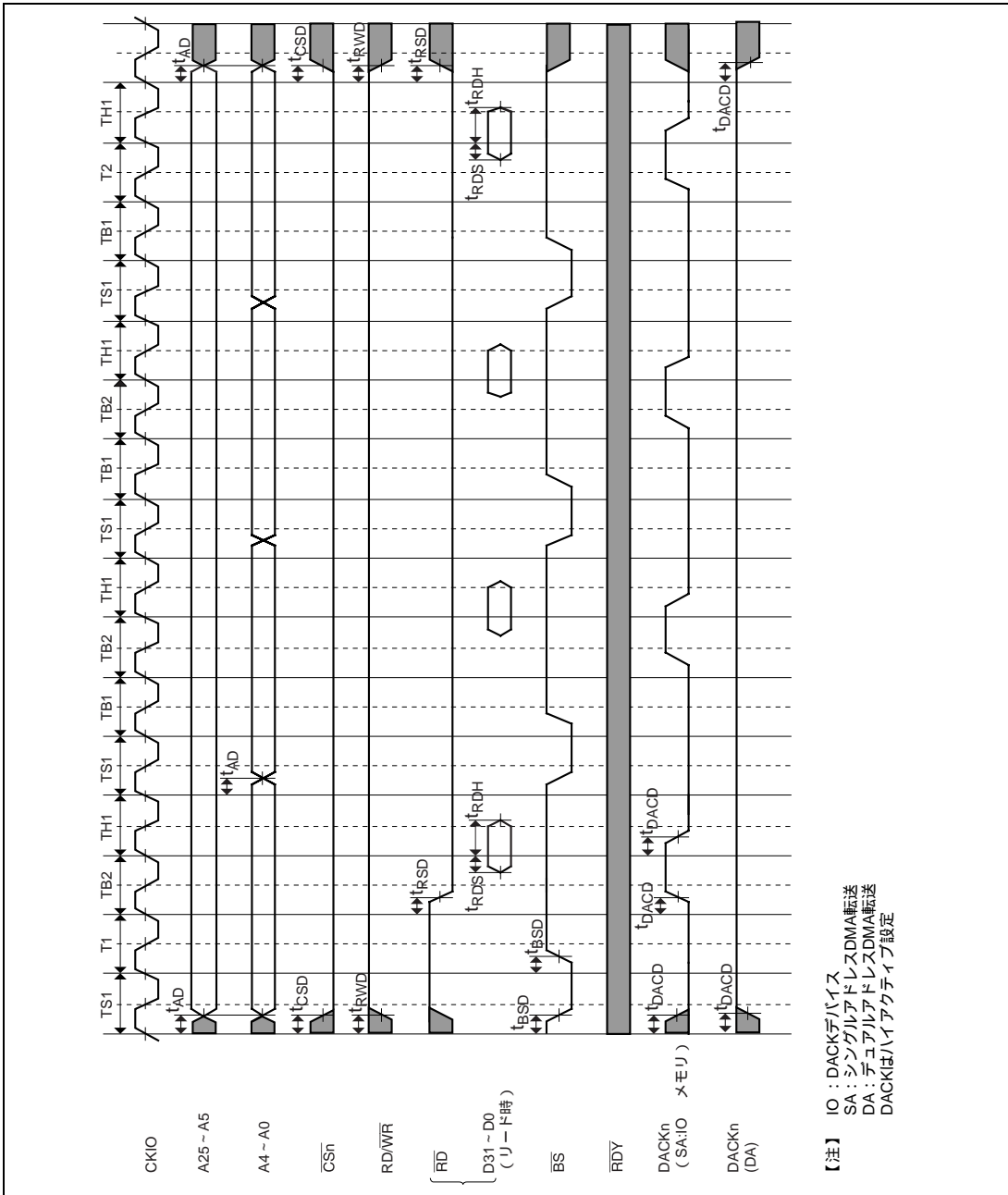


図 33.23 バーストROMバスサイクル(ノーウェイト、アドレスセットアップ/ホールドタイム挿入、AnS=1、AnH=1)

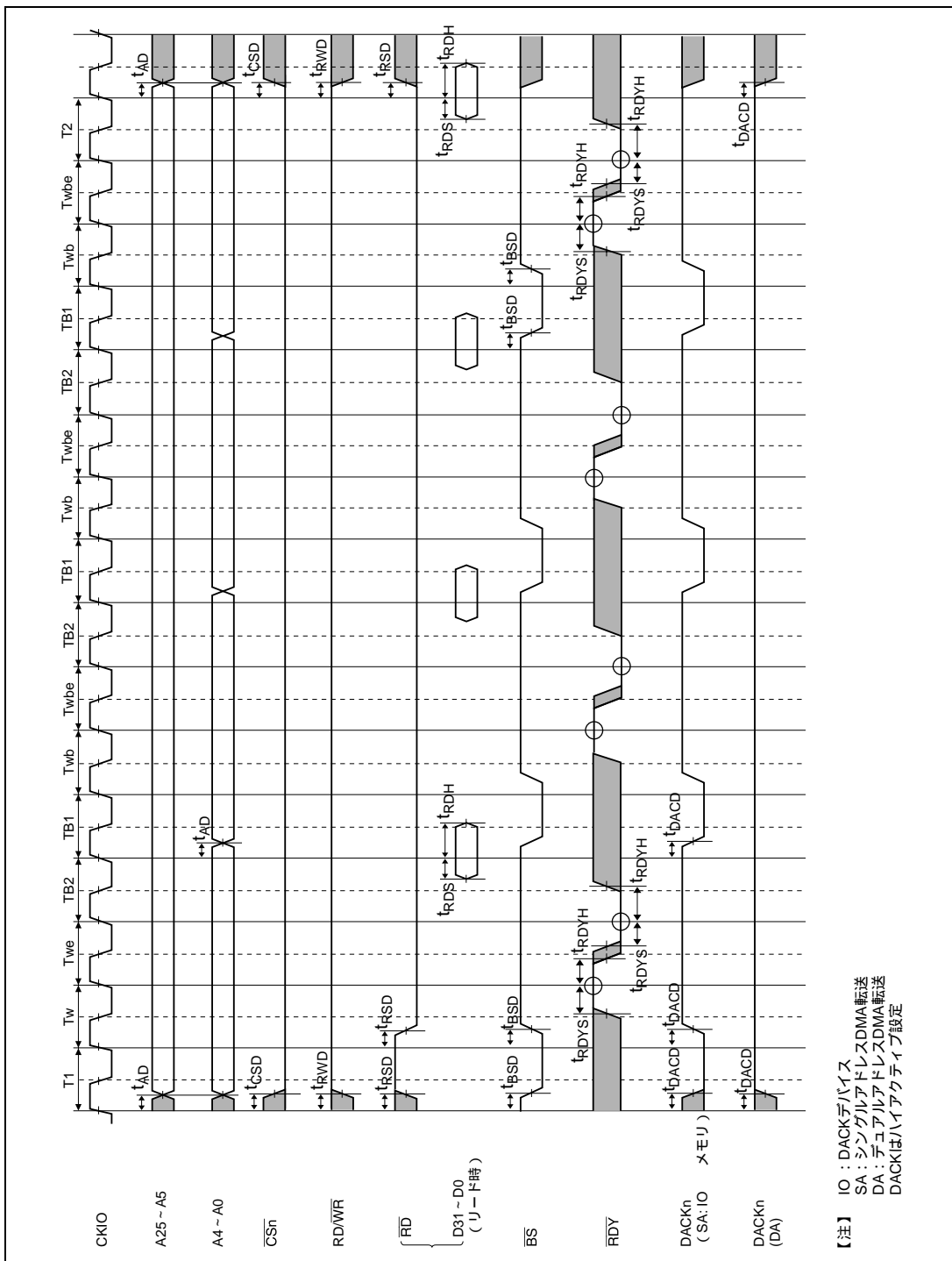


図 33.24 バーストROMバスサイクル(内部1ウェイト+外部1ウェイト)

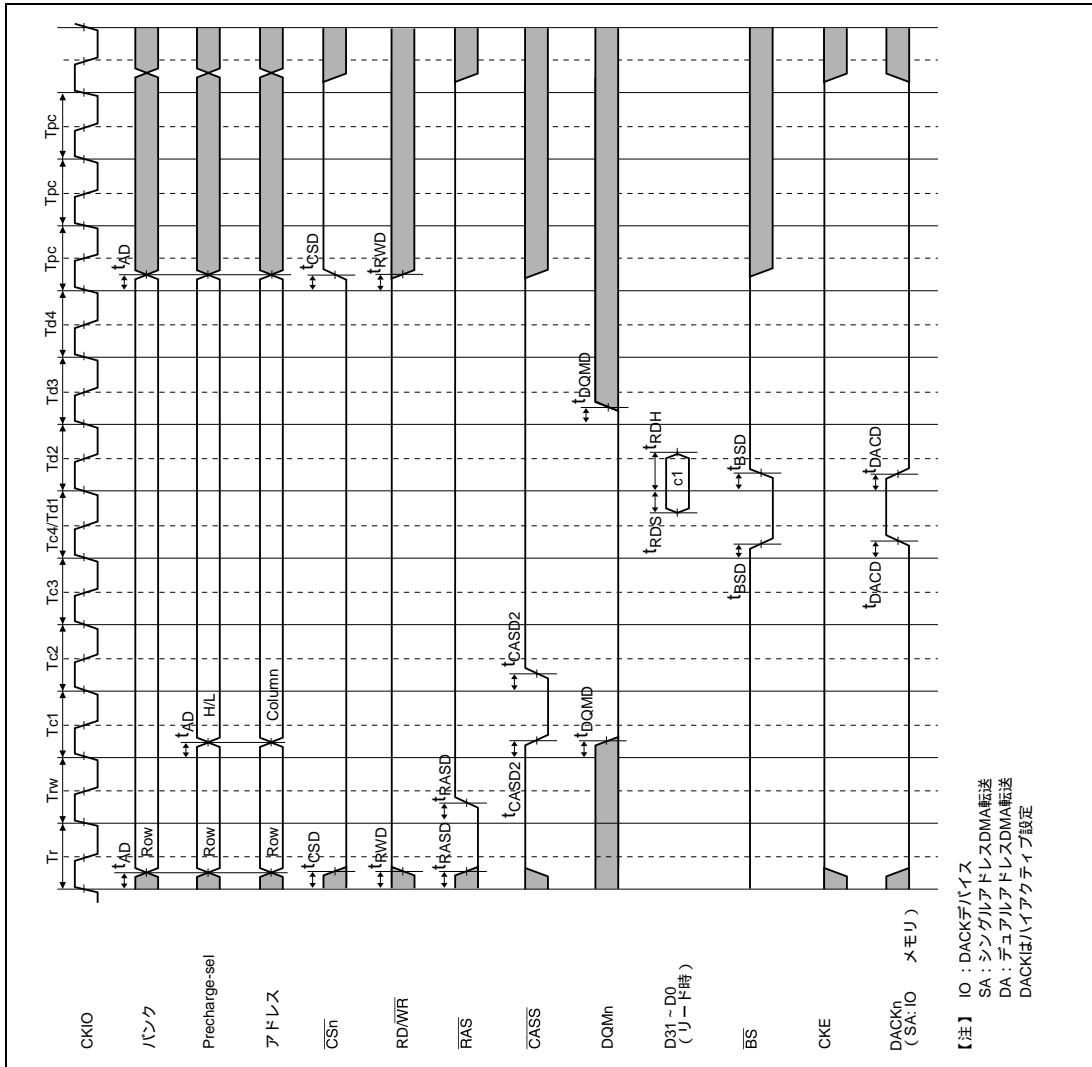


図 33.25 シンクロナス DRAM オートプリチャージリードバスサイクル、シングル
(RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)

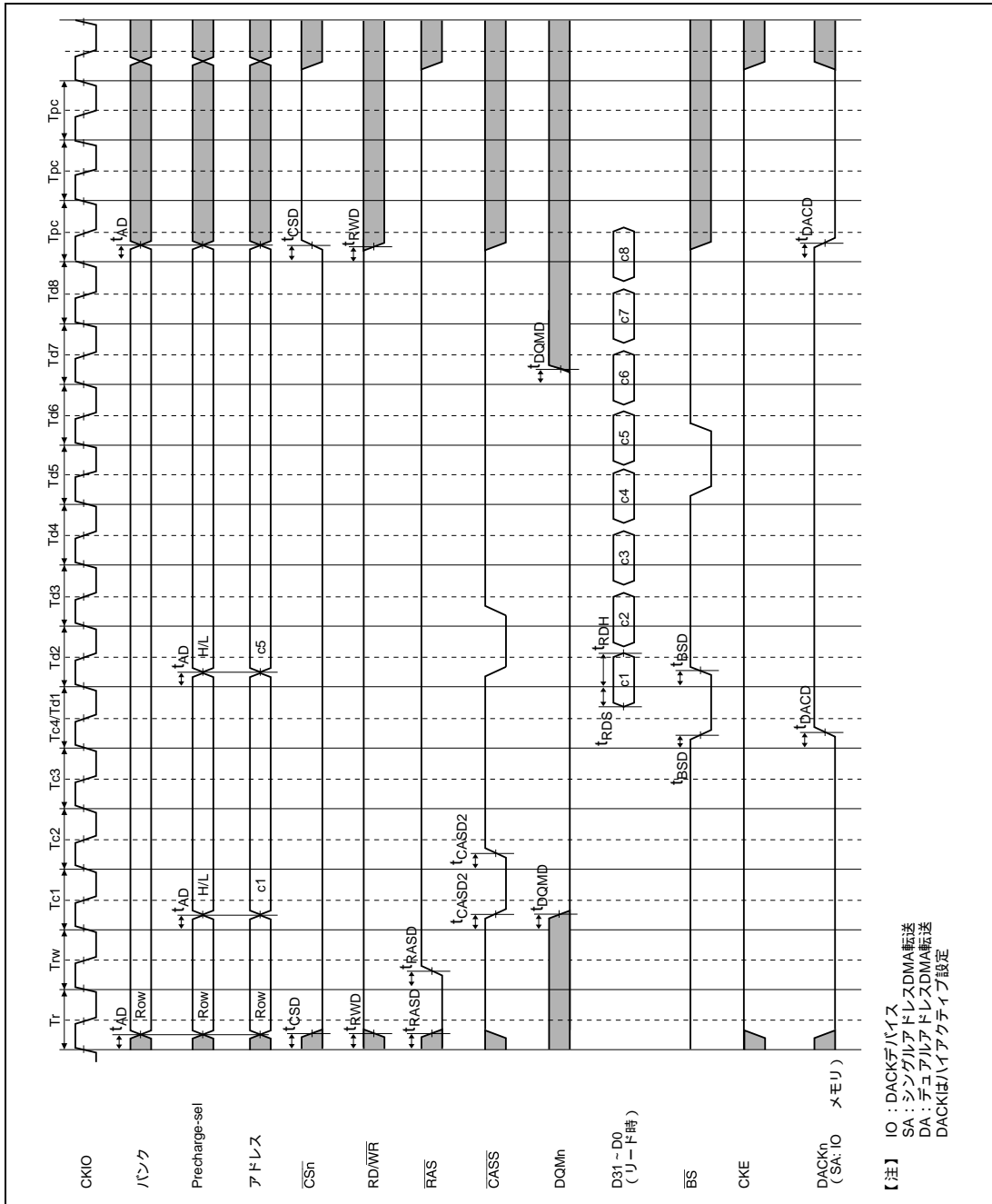


図 33.26 シンクロナス DRAM オートプリチャージリードバスサイクル、バースト
 (RCD[1:0]=01、CAS レイテンシ = 3、TPC[2:0]=011)

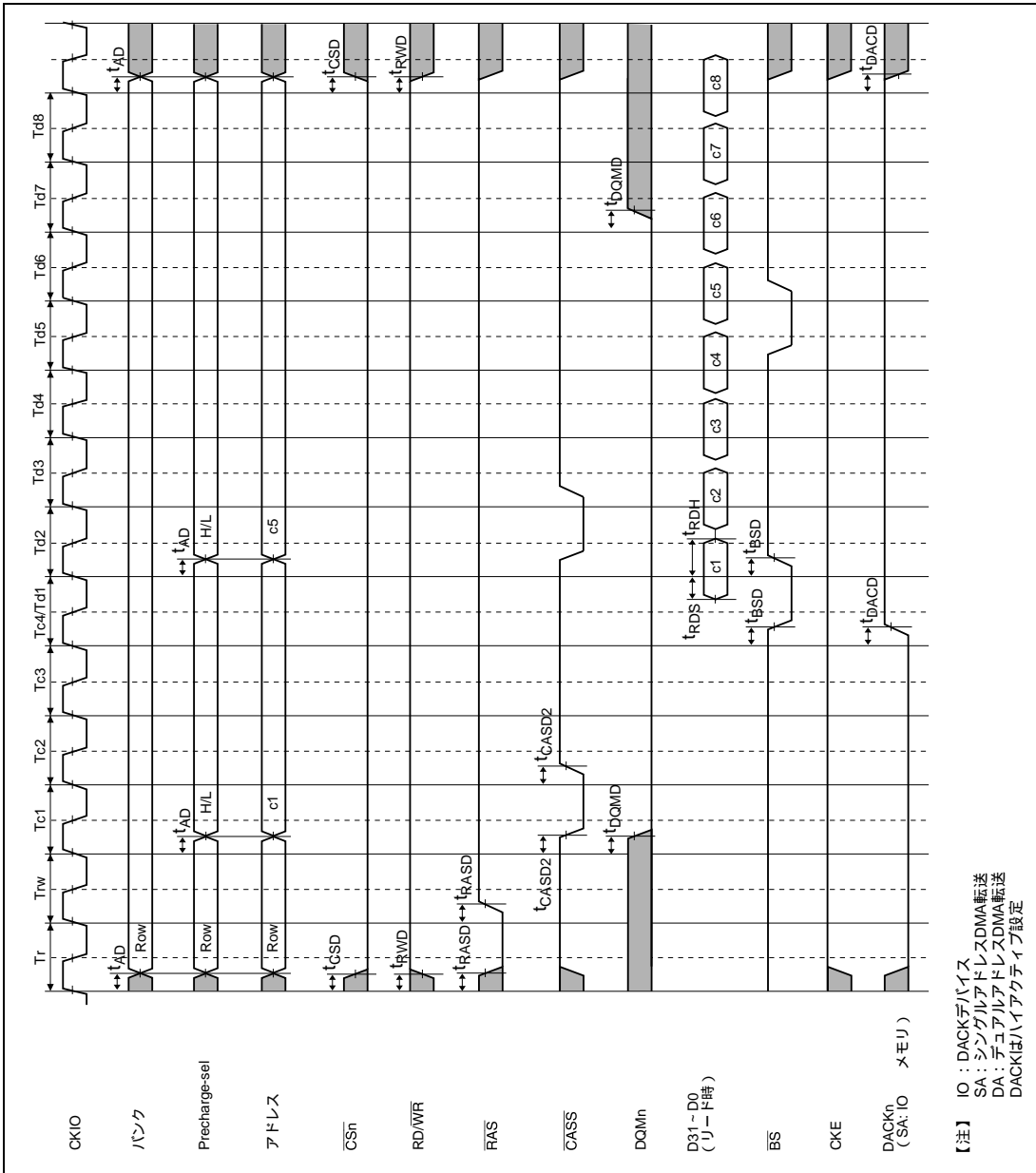


図 33.27 シンクロナス DRAM ノーマルリードバスサイクル：ACT+READ コマンド、バースト (RCD[1:0]=01、CAS レイテンシ=3)

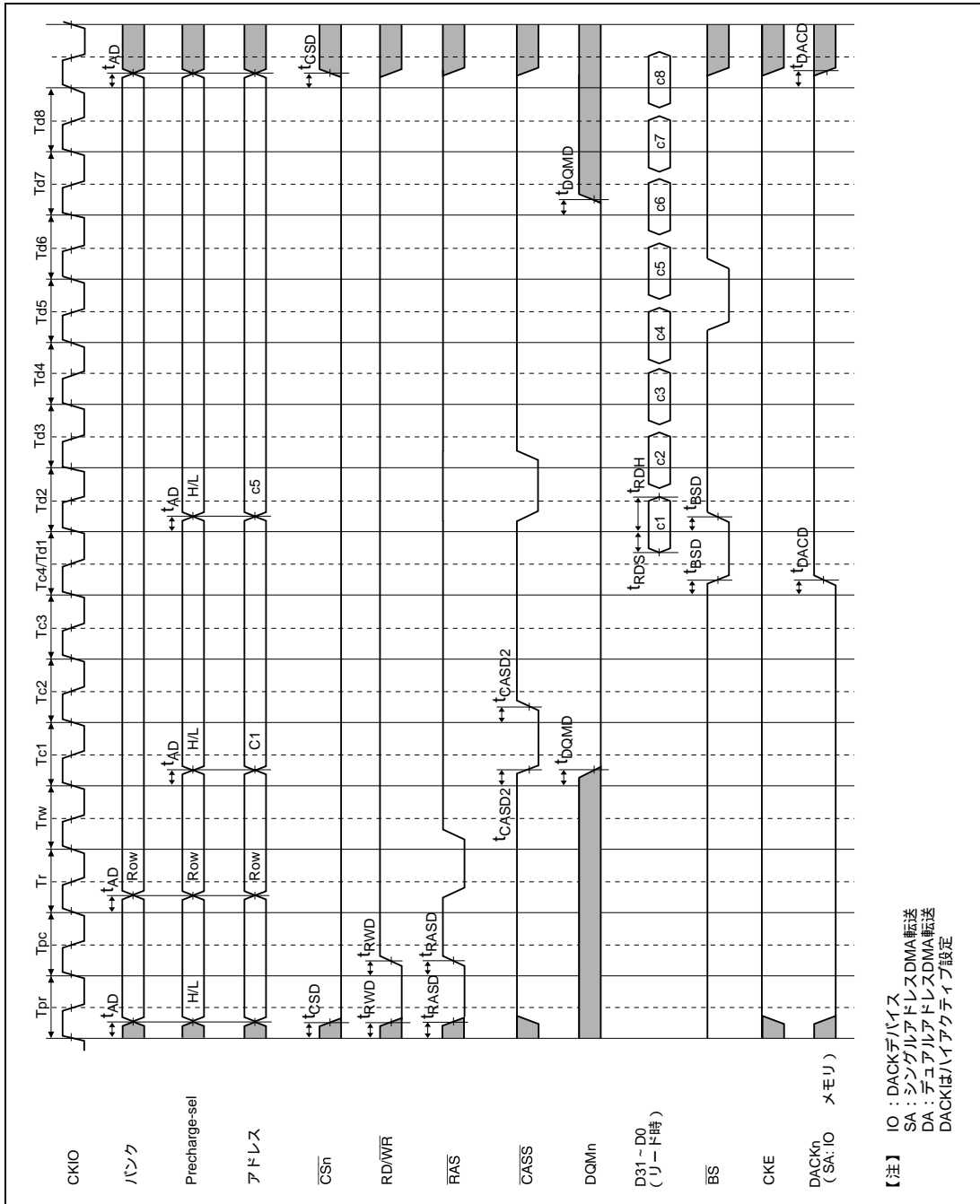


図 33.28 シンクロナス DRAM ノーマルリードバスサイクル：
PRE+ACT+READ コマンド、バースト
(RCD[1:0]=01、TPC[2:0]=001、CAS レイテンシ=3)

【注】 IO : DACKデバイス
SA : シンクロナス DRAM DMA 転送
DA : デュアルアドレス DMA 転送
DACKはハイアクティブ設定

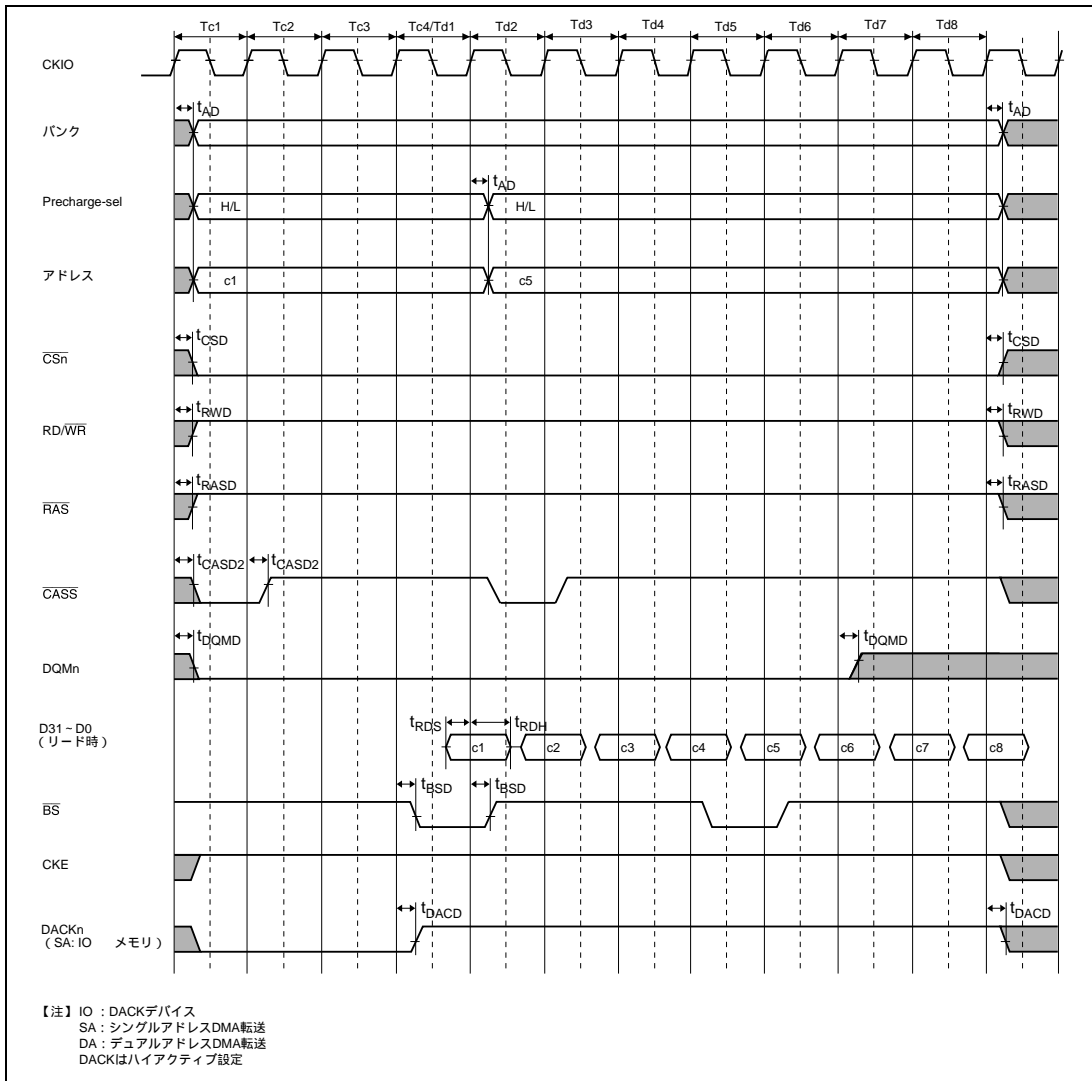


図 33.29 シンクロナス DRAM ノーマルリードバスサイクル : READ コマンド、バースト
 (CAS レイテンシ=3)

33. 電気的特性

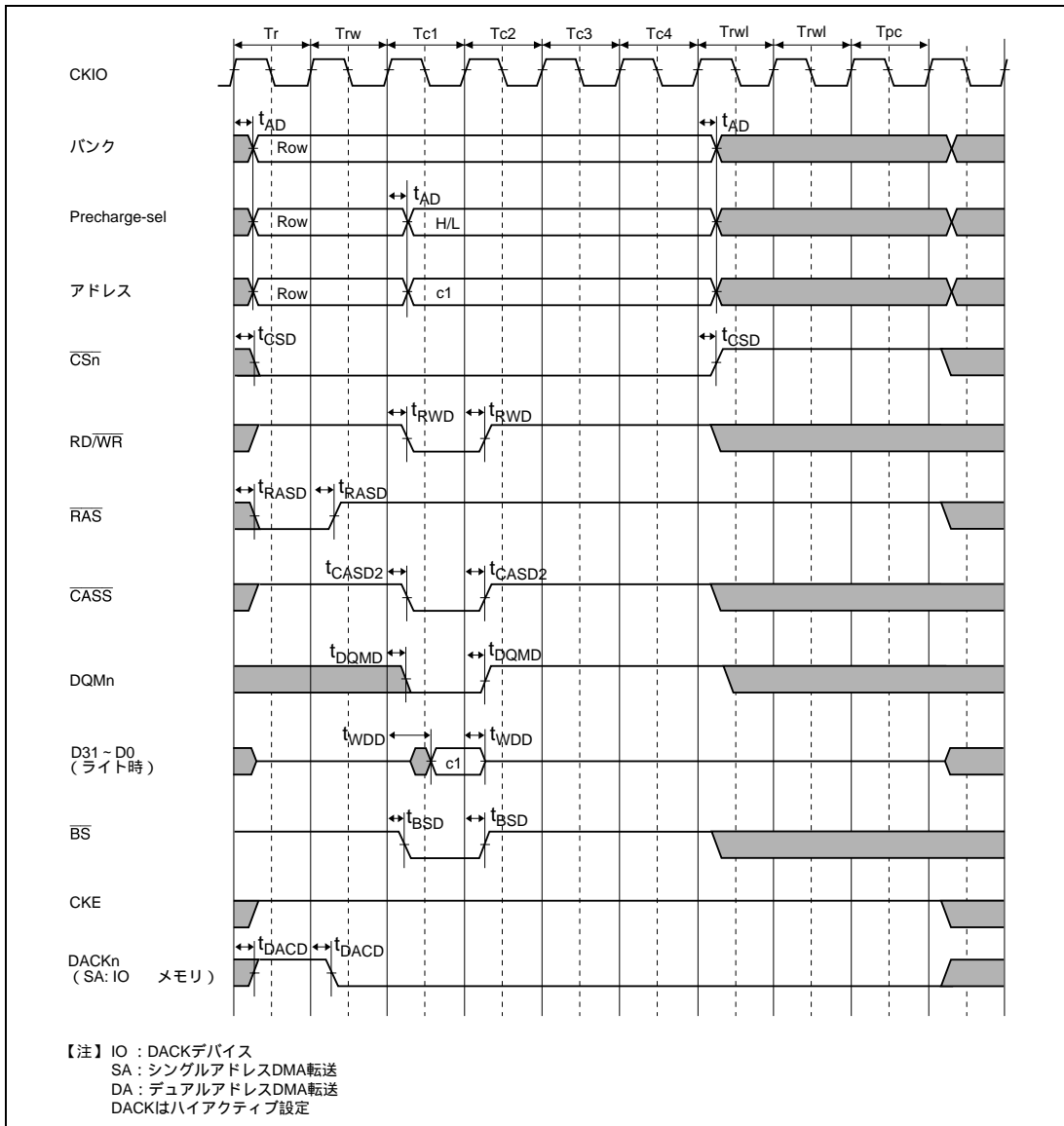


図 33.30 シンクロナス DRAM オートプリチャージライトパスサイクル、シングル
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

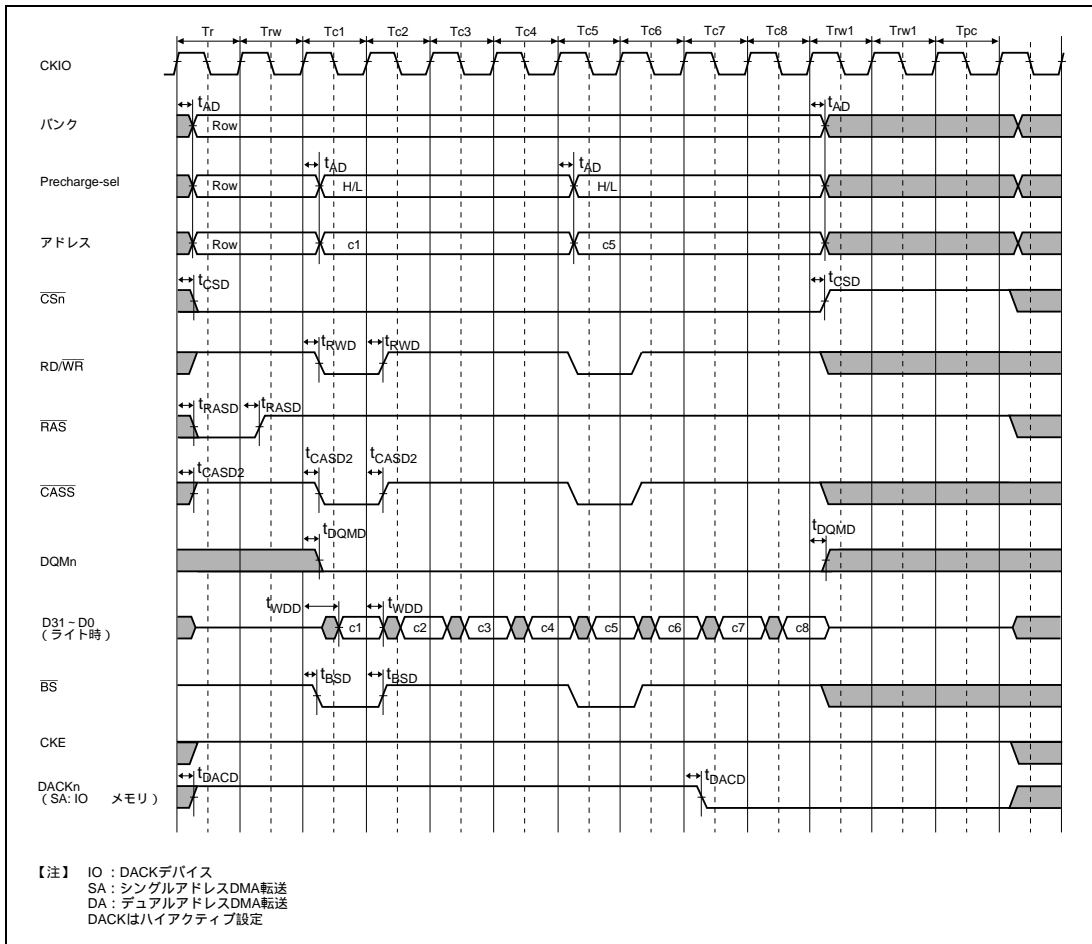


図 33.31 シンクロナス DRAM オートプリチャージライトバスサイクル、バースト
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

33. 電気的特性

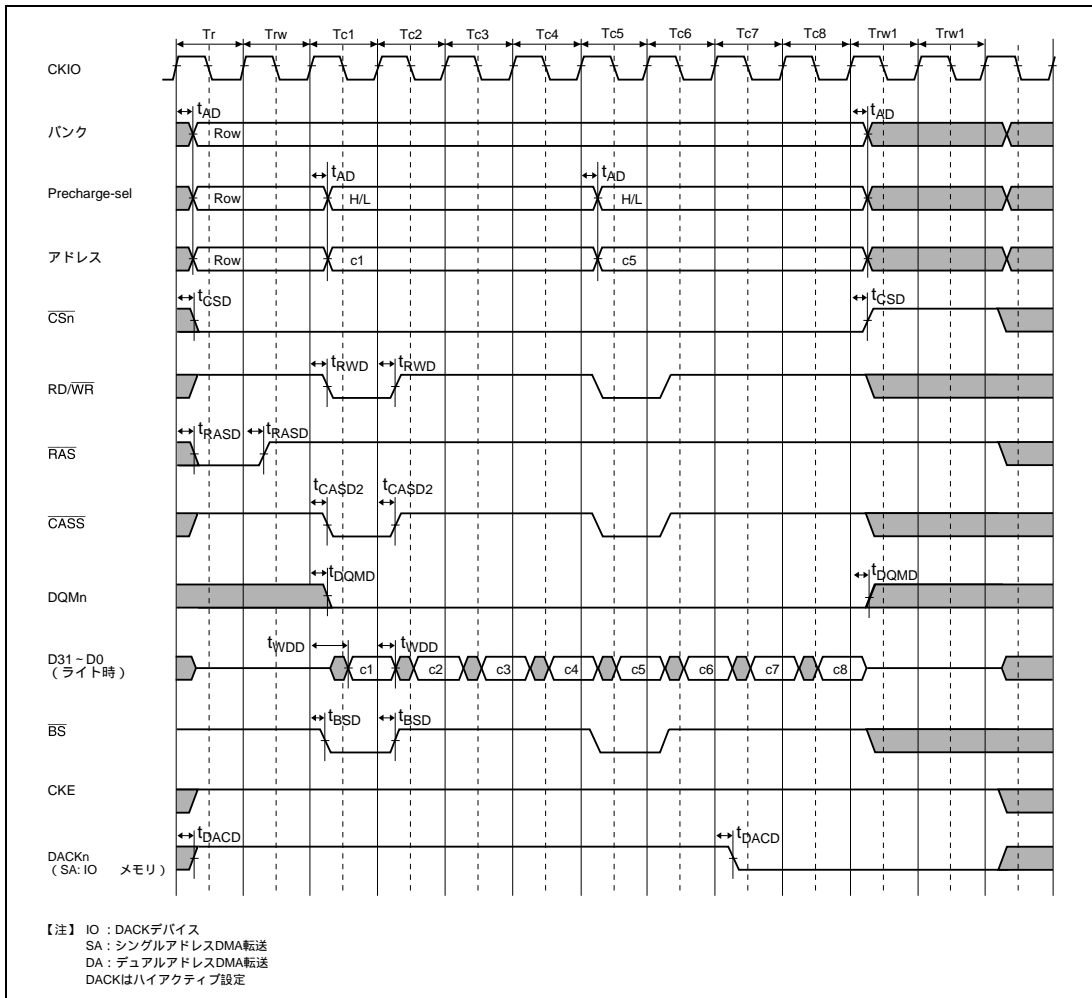


図 33.32 シンクロナス DRAM ノーマルライトバスサイクル : ACT+WRITE コマンド、バースト (RCD[1:0]=01、TRWL[2:0]=010)

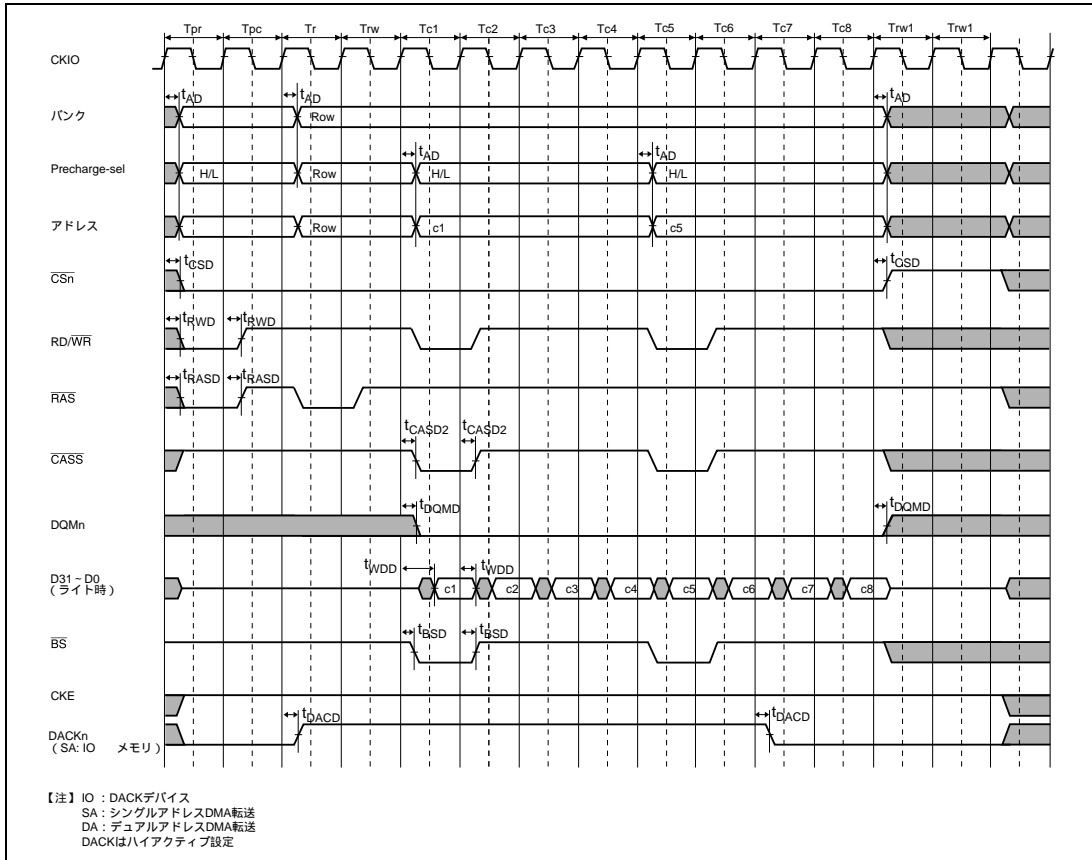


図 33.33 シンクロナス DRAM ノーマルライトバスサイクル：
 PRE+ACT+WRITE コマンド、バースト
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

33. 電気的特性

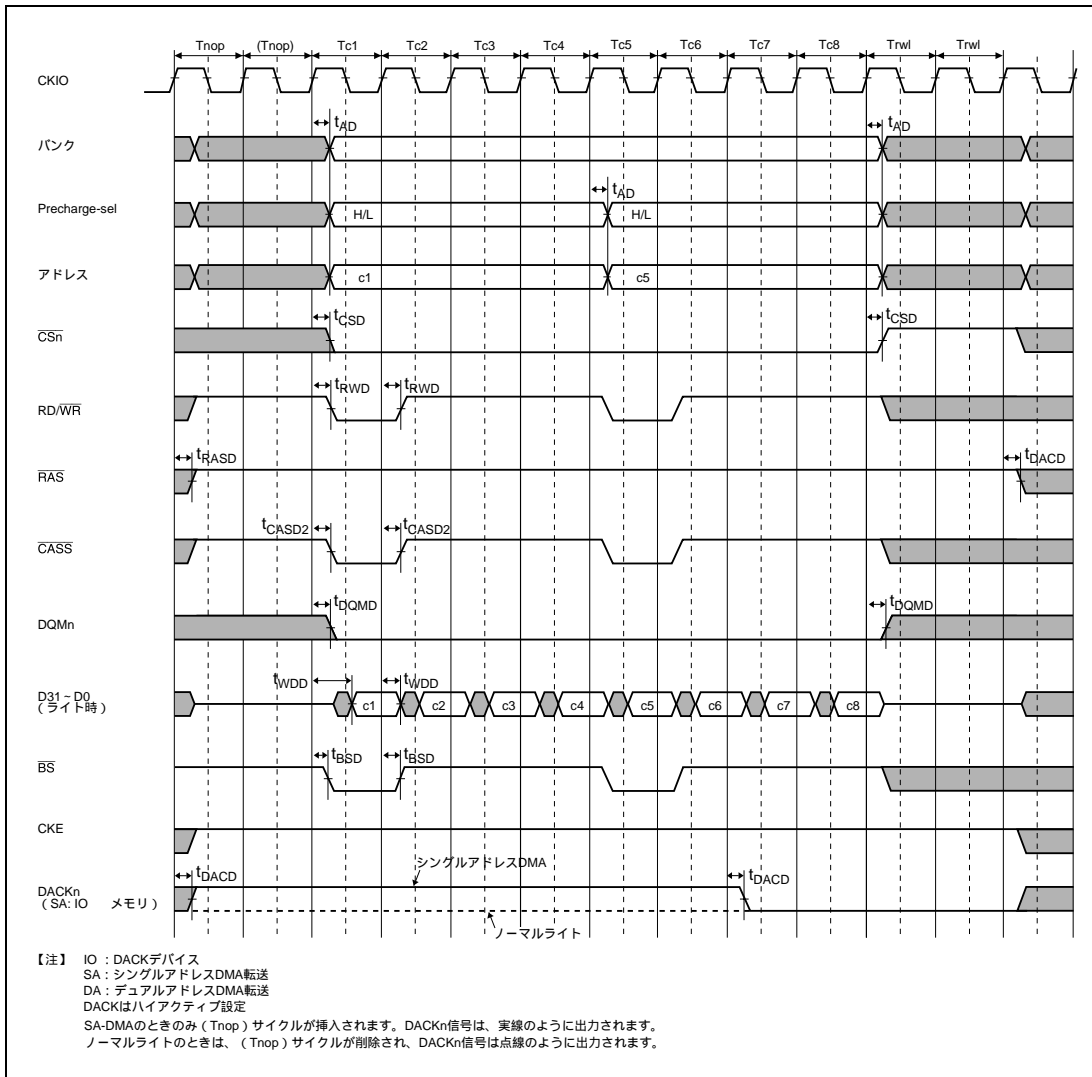


図 33.34 シンクロナス DRAM ノーマルライトパスサイクル : WRITE コマンド、バースト (TRWL[2:0]=010)

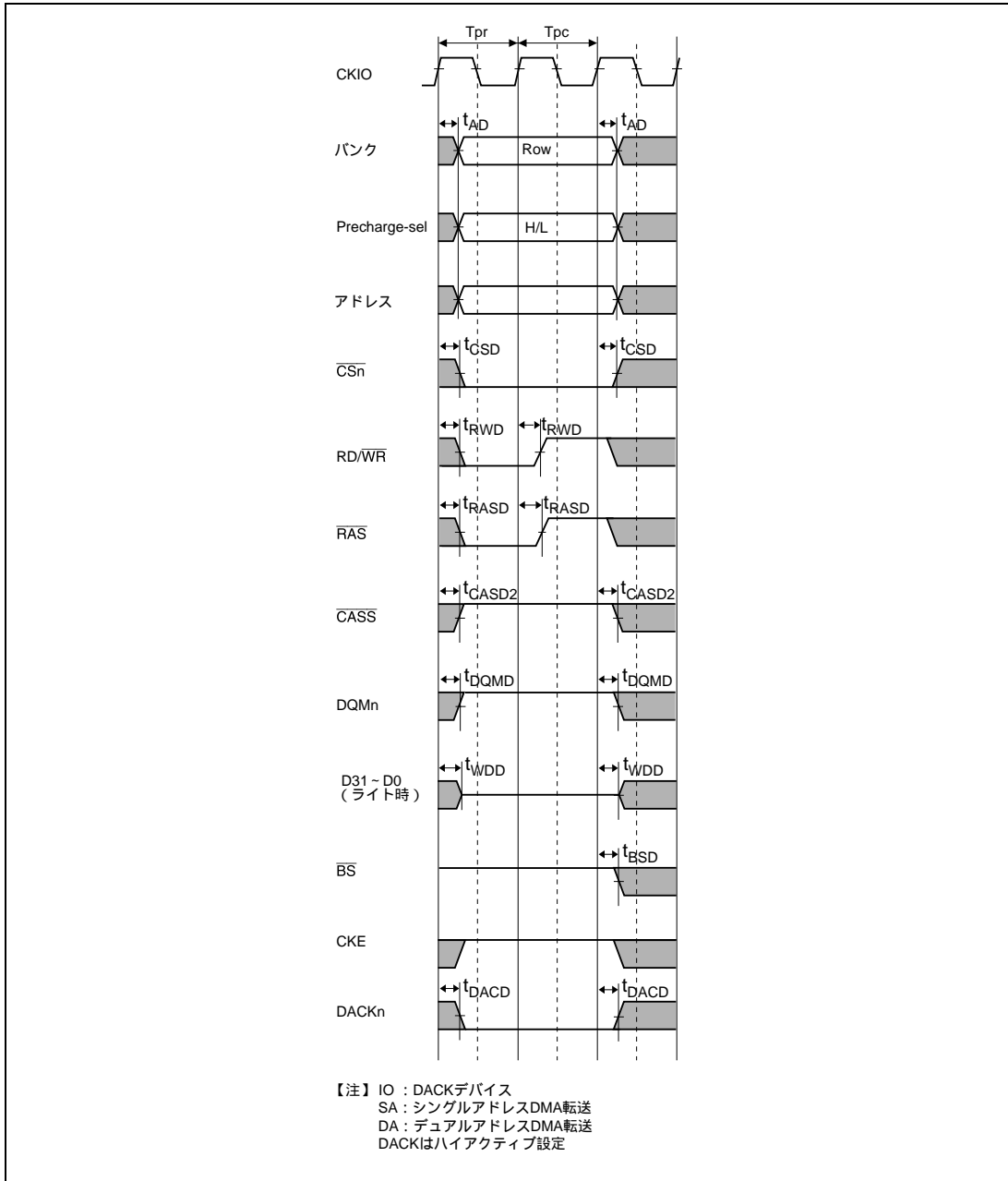


図 33.35 シンクロナス DRAM バスサイクル プリチャージコマンド (TPC[2:0]=001)

33. 電気的特性

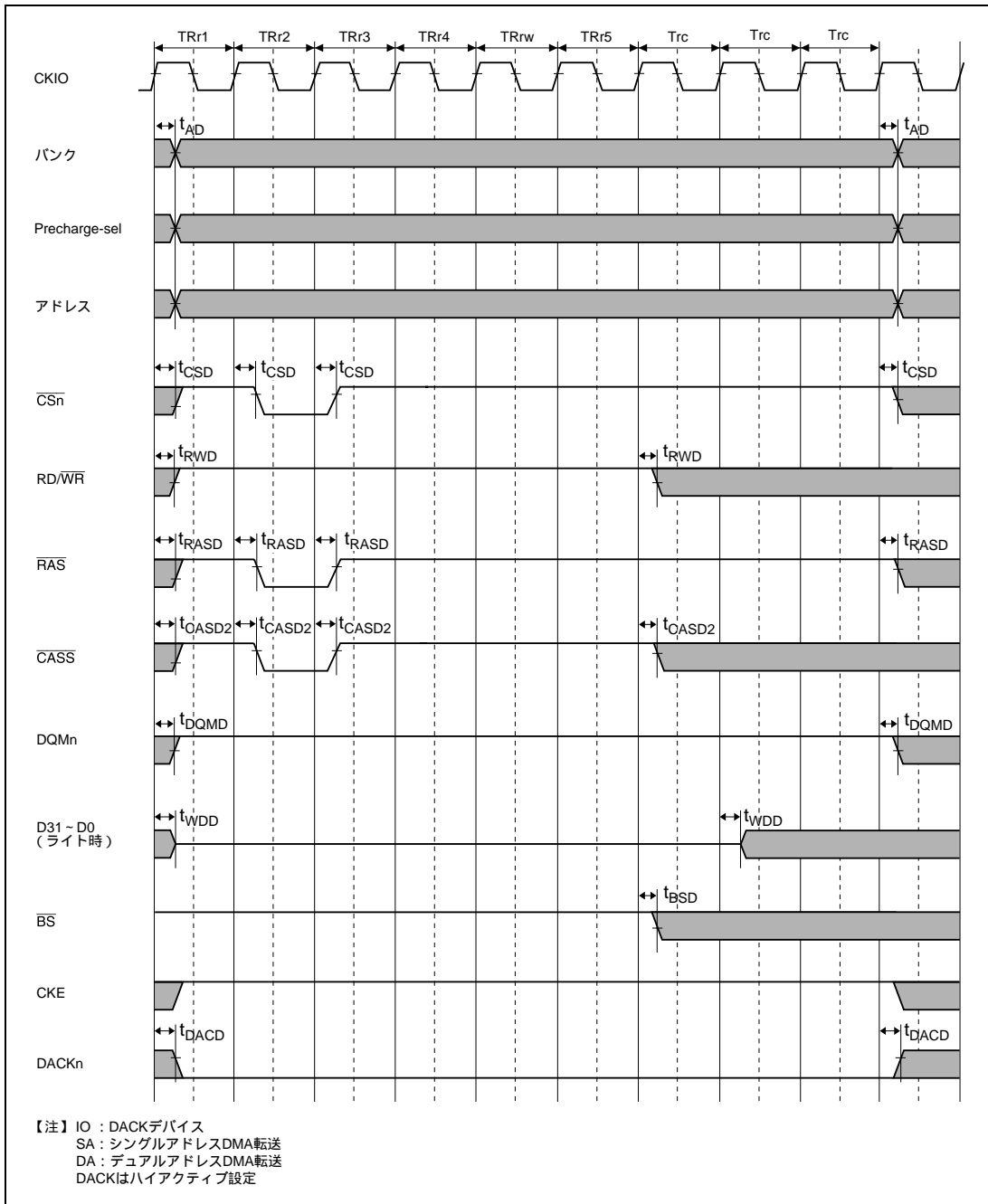


図 33.36 シンクロナス DRAM バスサイクル オートリフレッシュ (TRAS=1、TRC[2:0]=001)

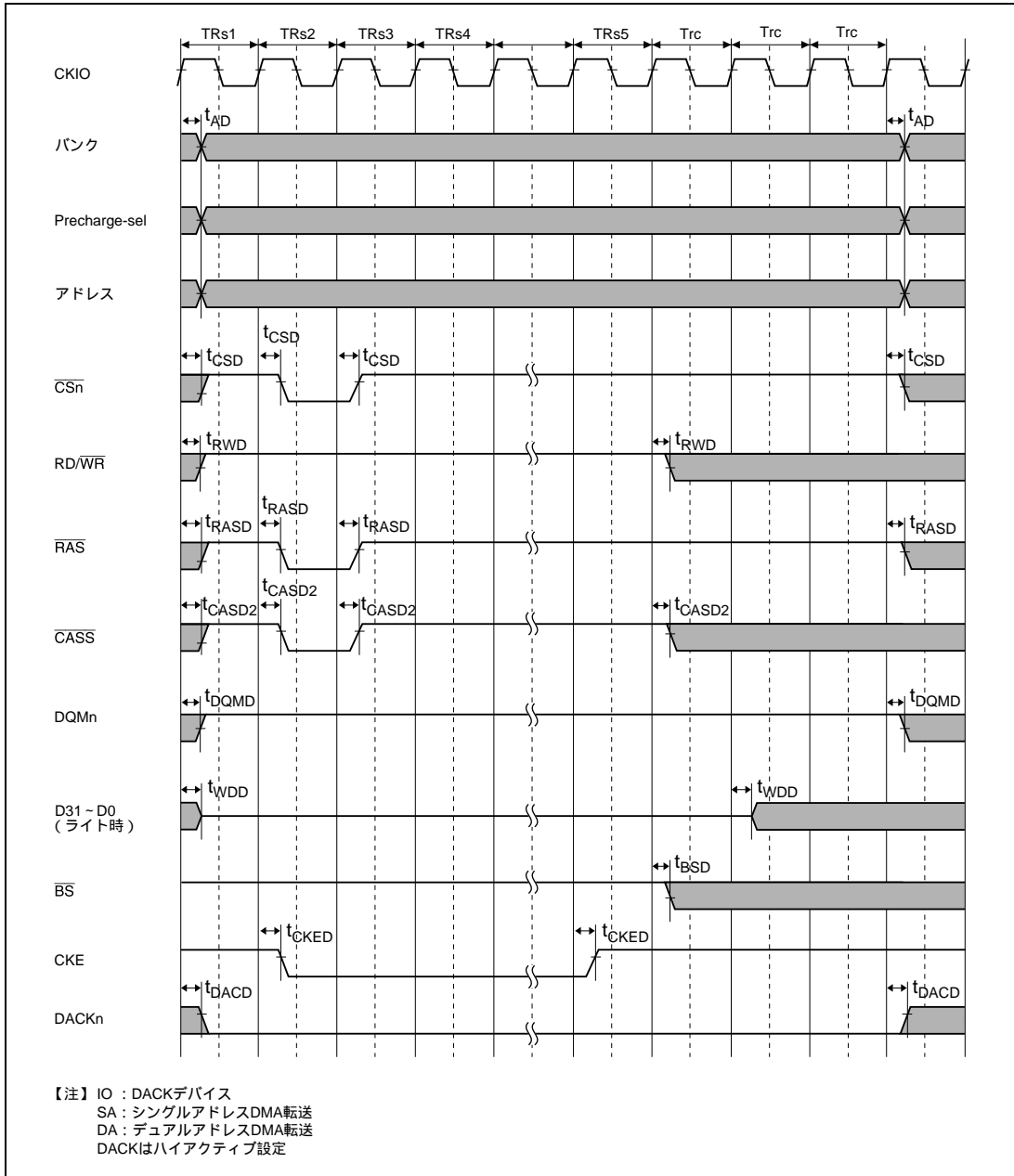


図 33.37 シンクロナス DRAM バスサイクル セルフリフレッシュ (TRC[2:0]=001)

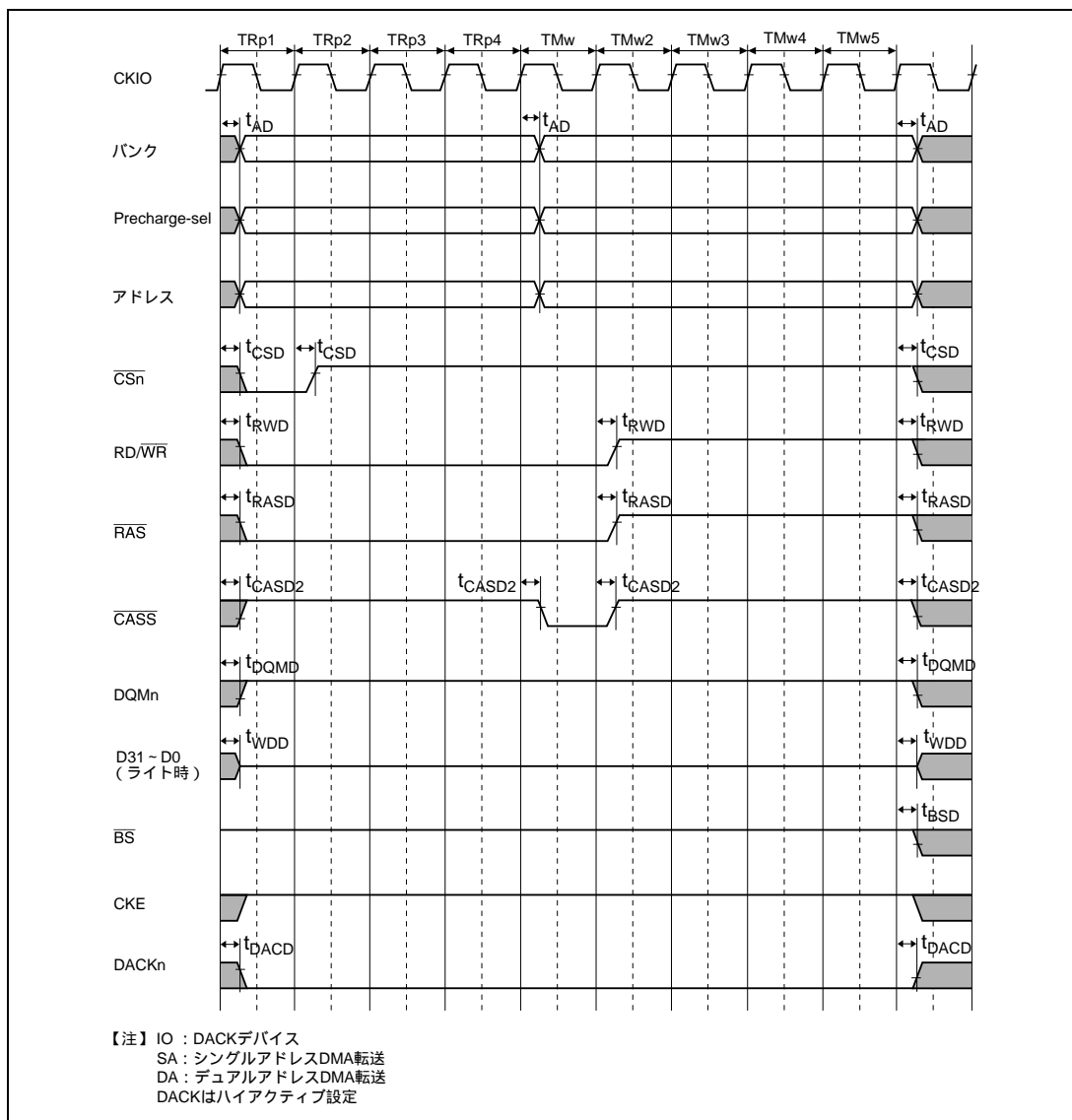


図 33.38 シンクロナス DRAM バスサイクル モードレジスタセット (PALL)

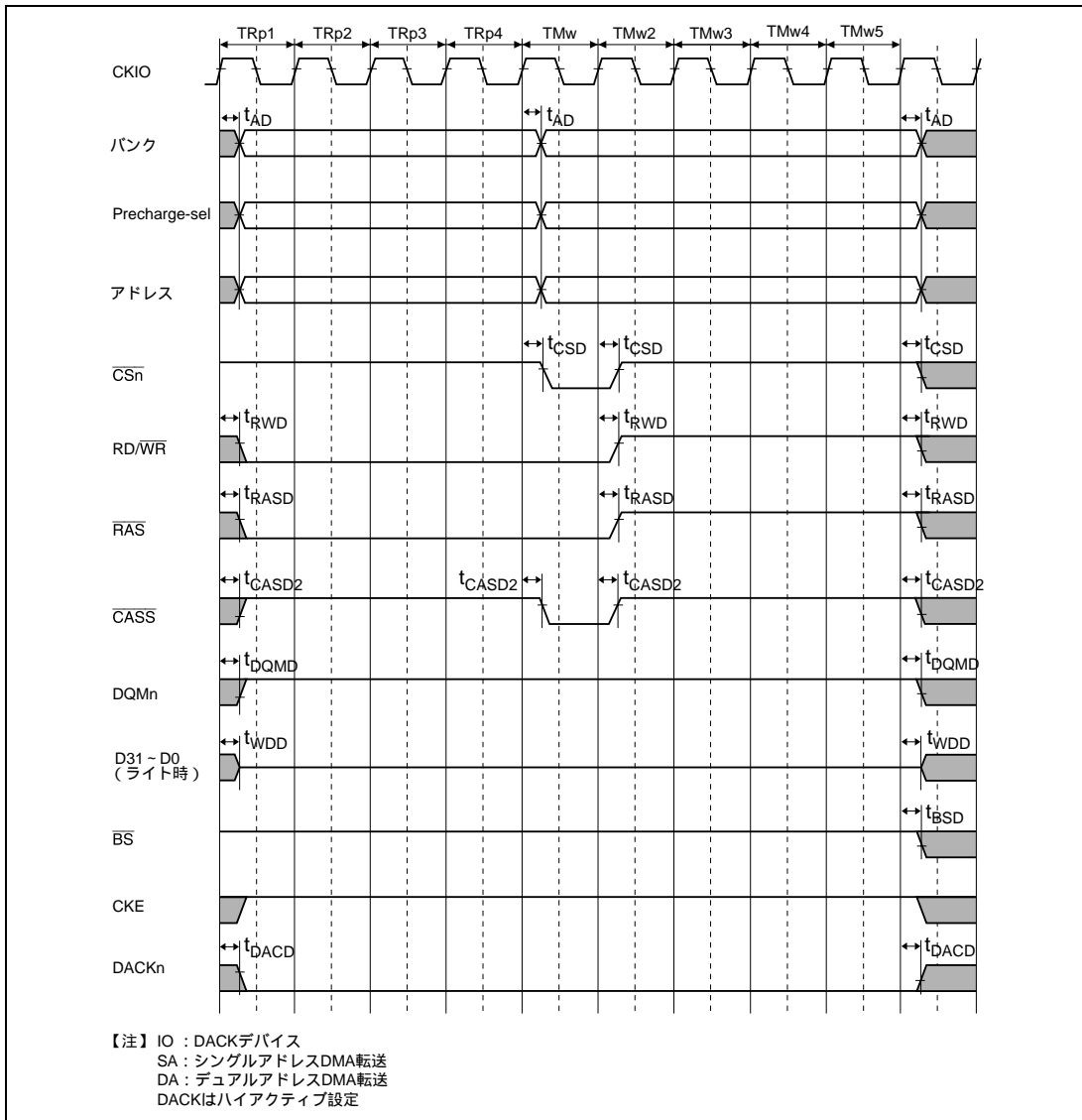


図 33.39 シンクロナス DRAM バスサイクル モードレジスタセット (SET)

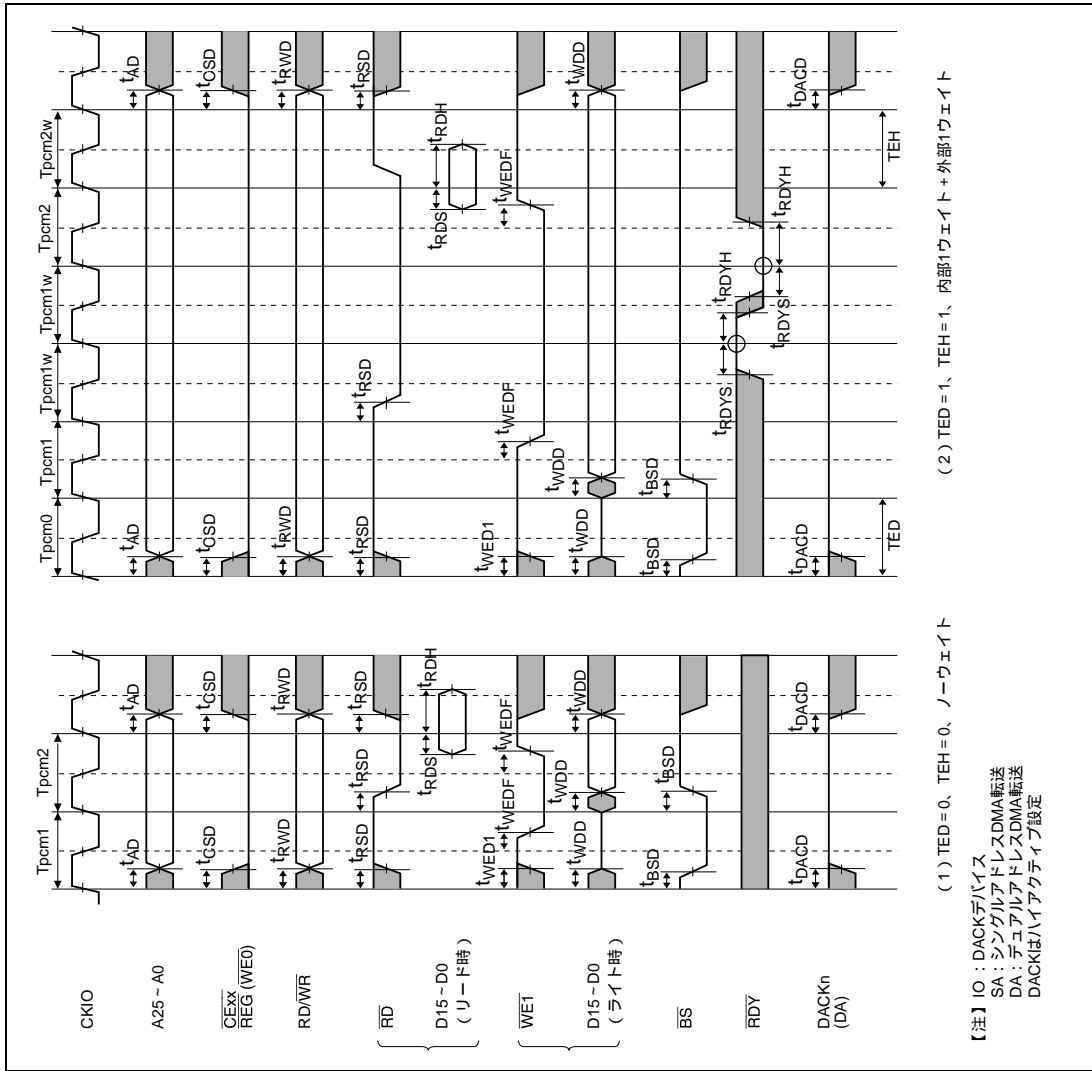


図 33.40 PCMCIA メモリバスサイクル

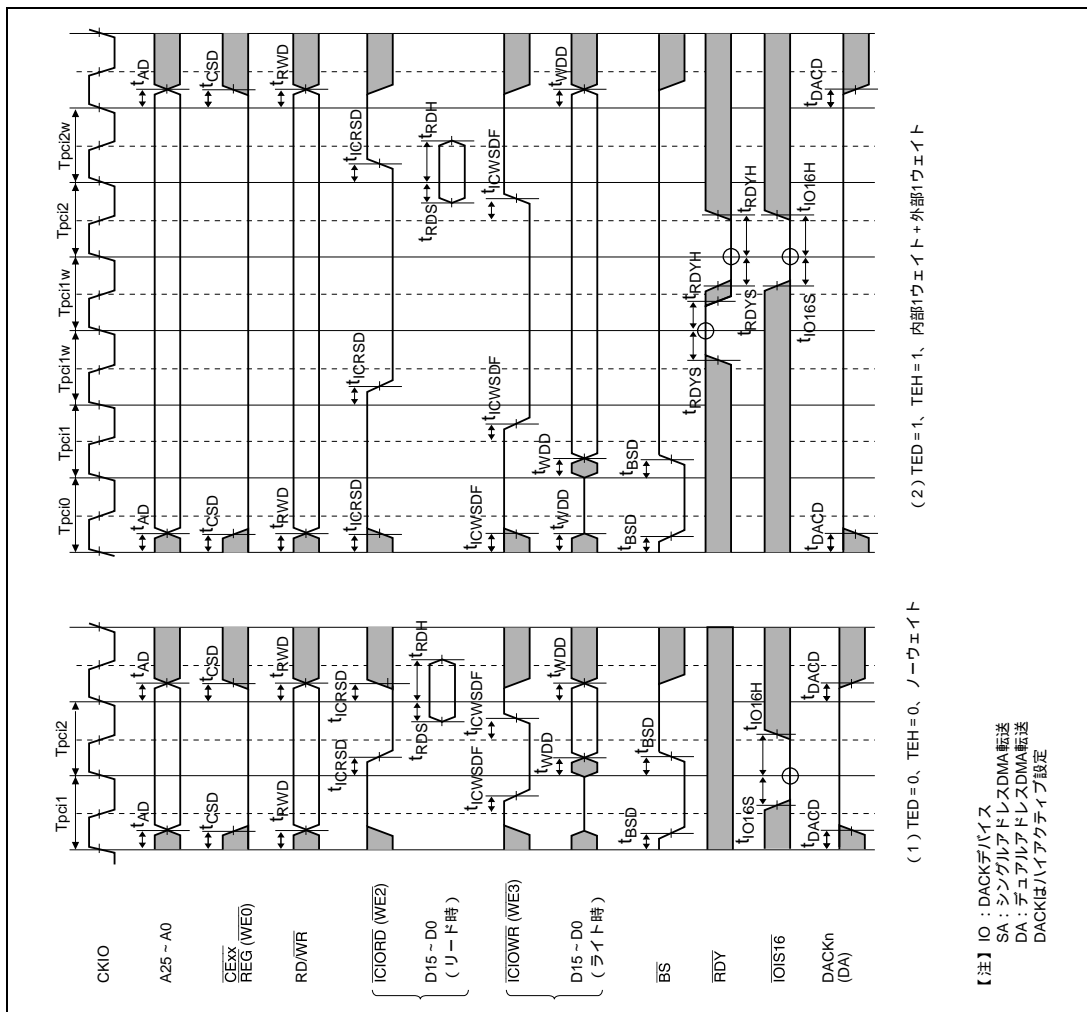
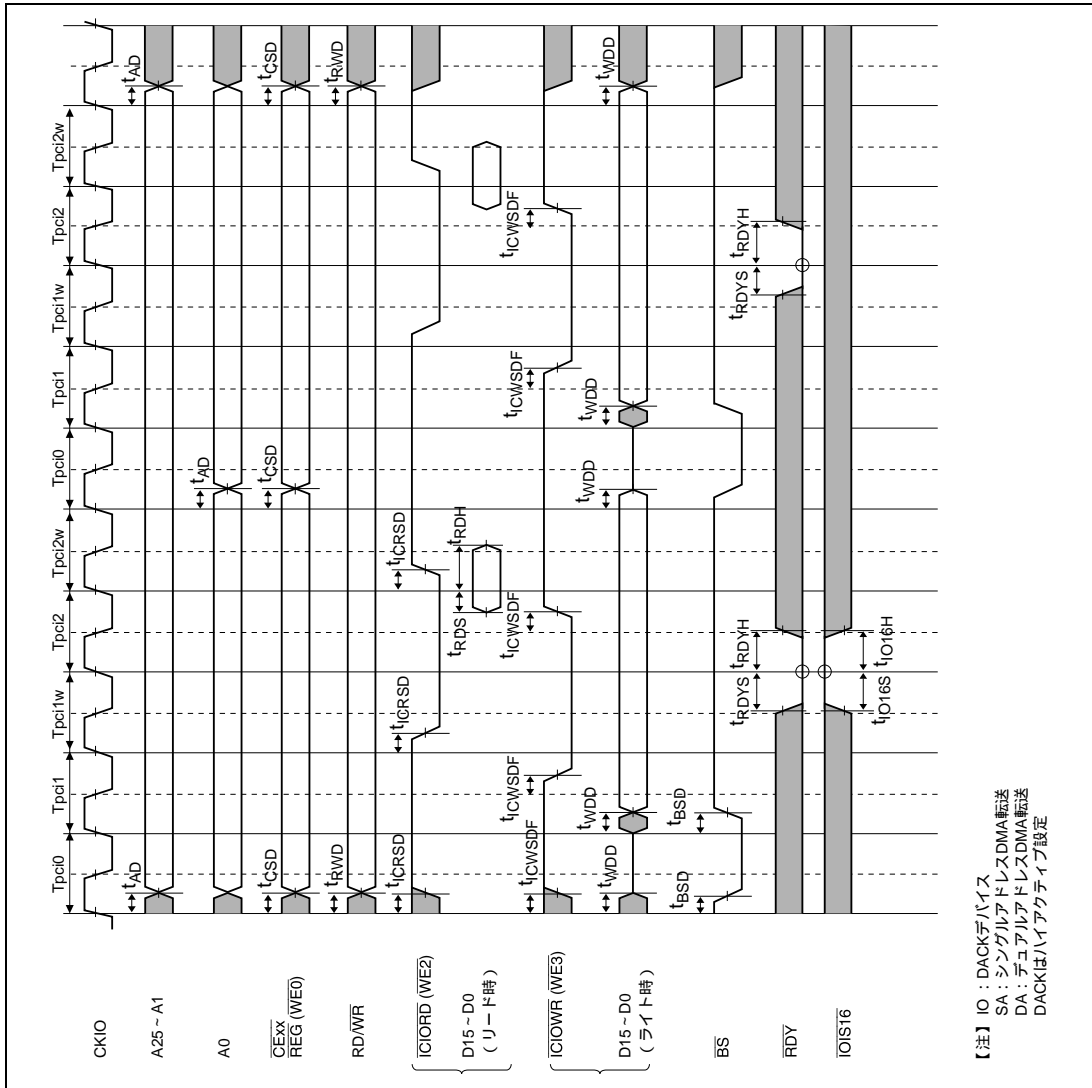


図 33.41 PCMCIA I/O バスサイクル



【注】 IO : DACKデバイス
 SA : シンギュラアドレスDMA転送
 DA : デュアルアドレスDMA転送
 DACKはハイアクティブ設定

図 33.42 PCMCIA I/O バスサイクル (TED=1、TEH=1、内部 1 ウェイト、バスサイジング)

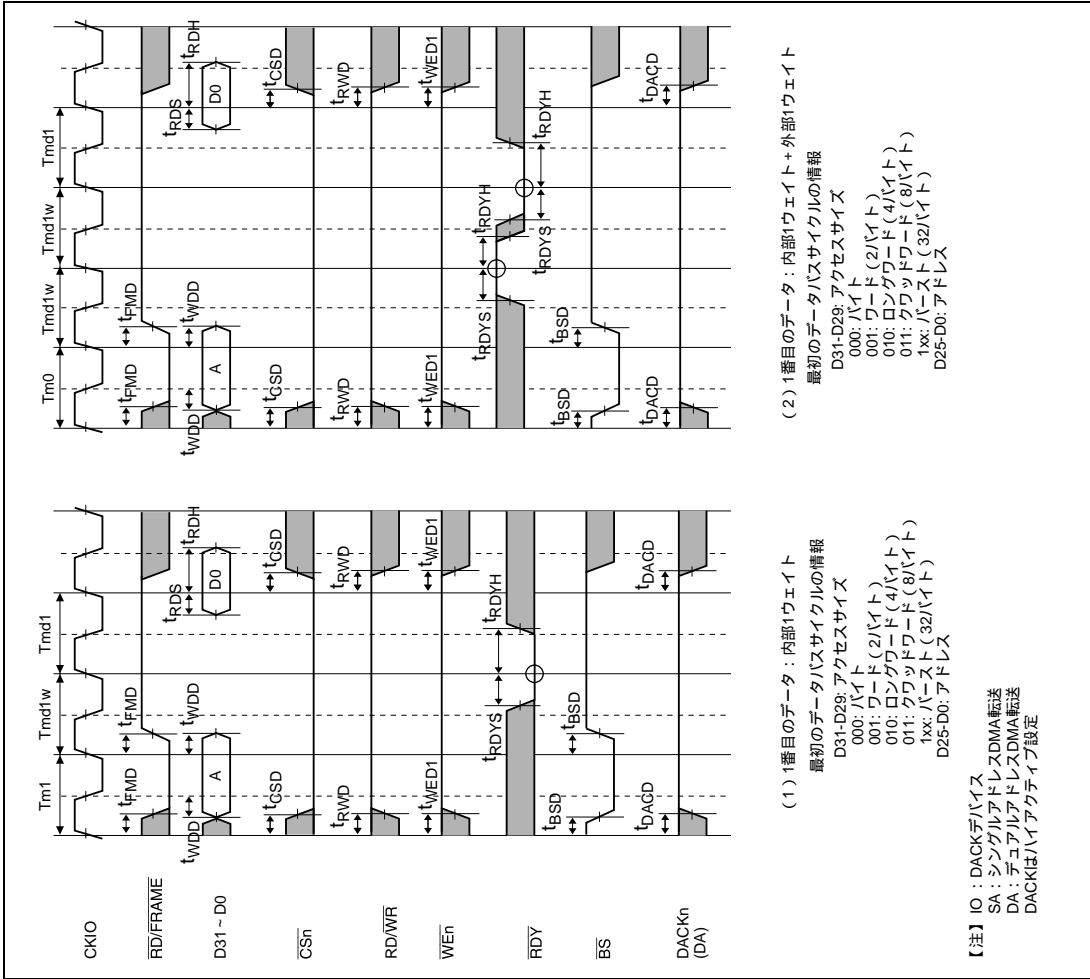


図 33.43 MPX 基本バスサイクル、リード

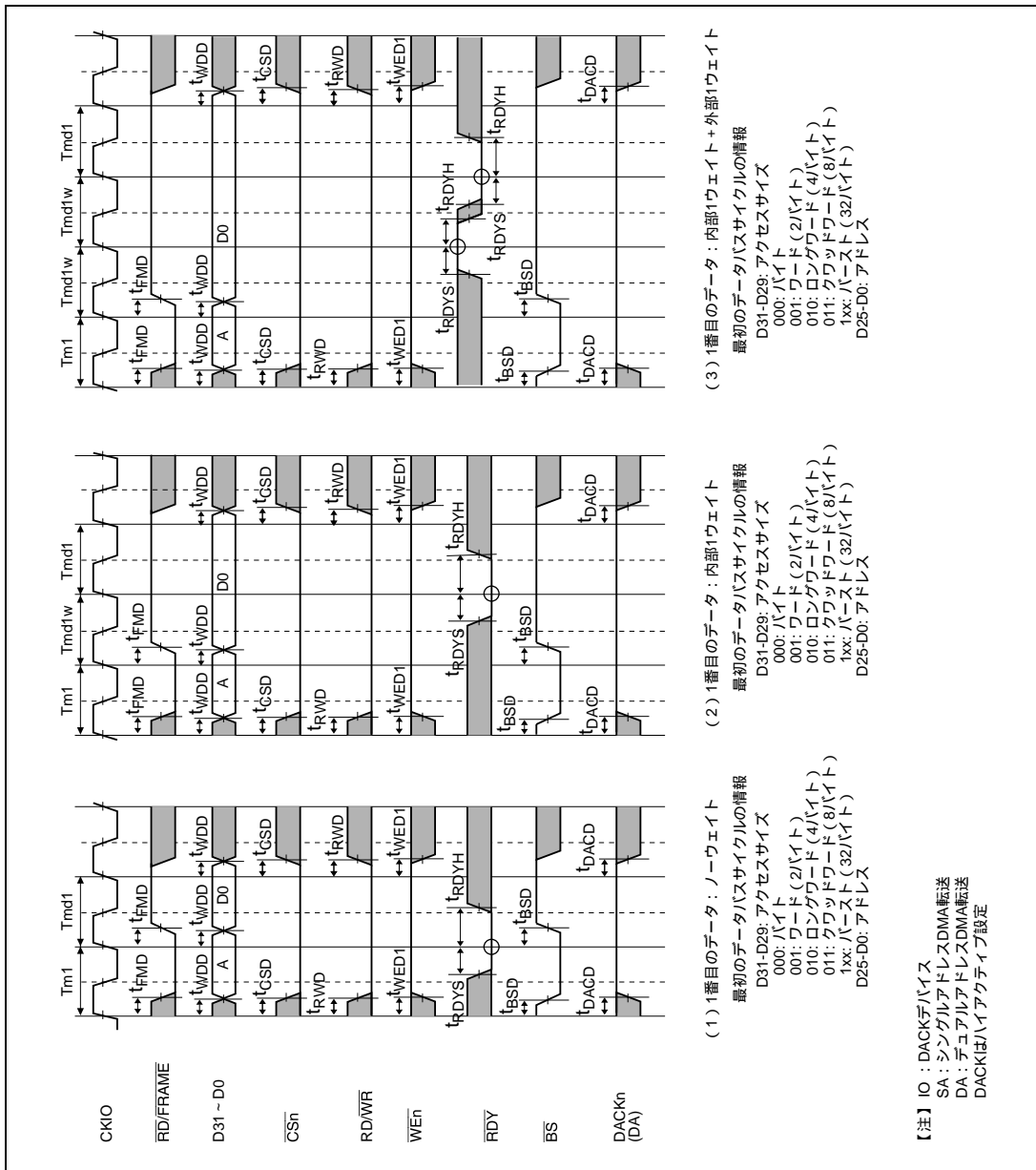


図 33.44 MPX 基本バスサイクル、ライト

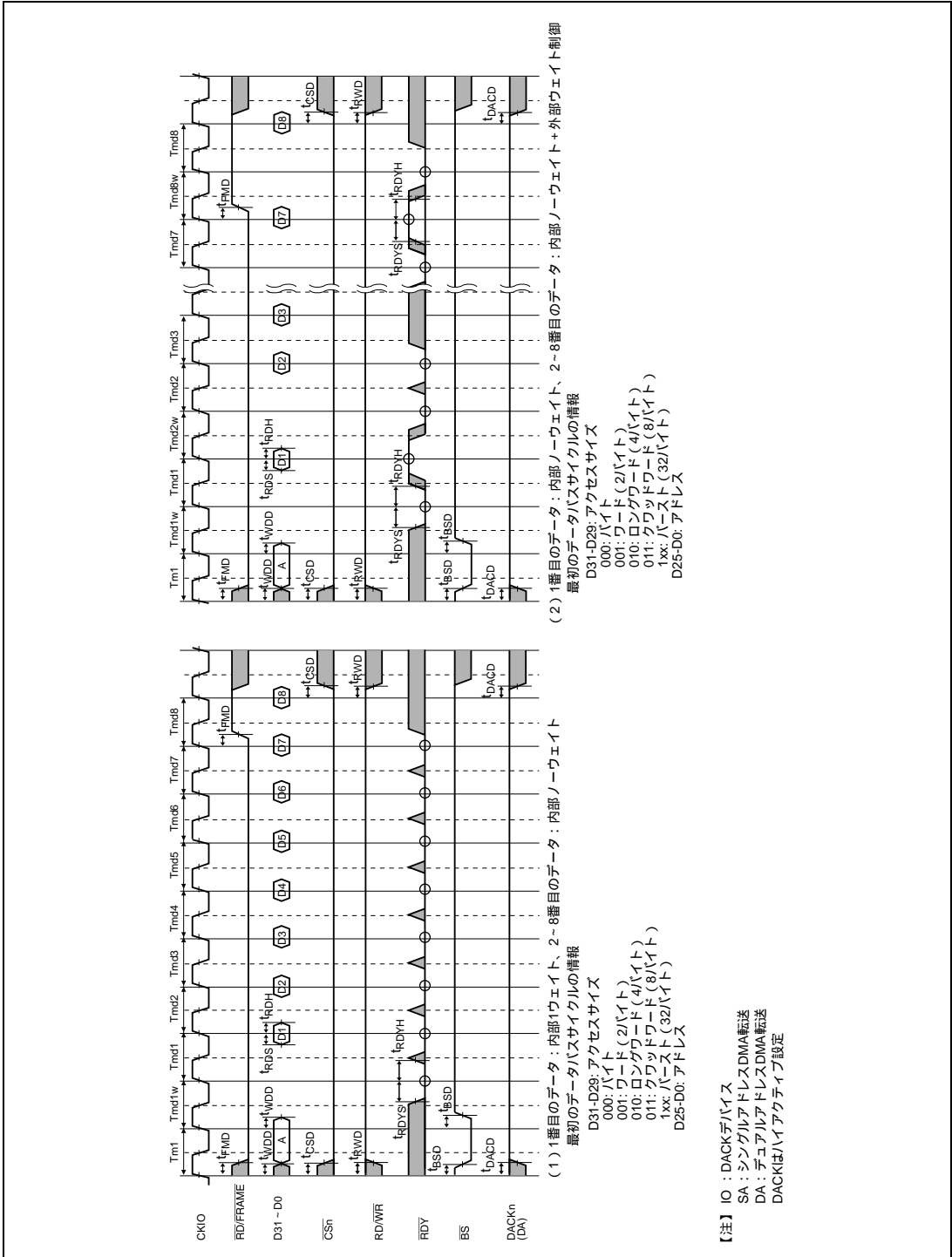


図 33.45 MPX バスサイクル、バーストリード

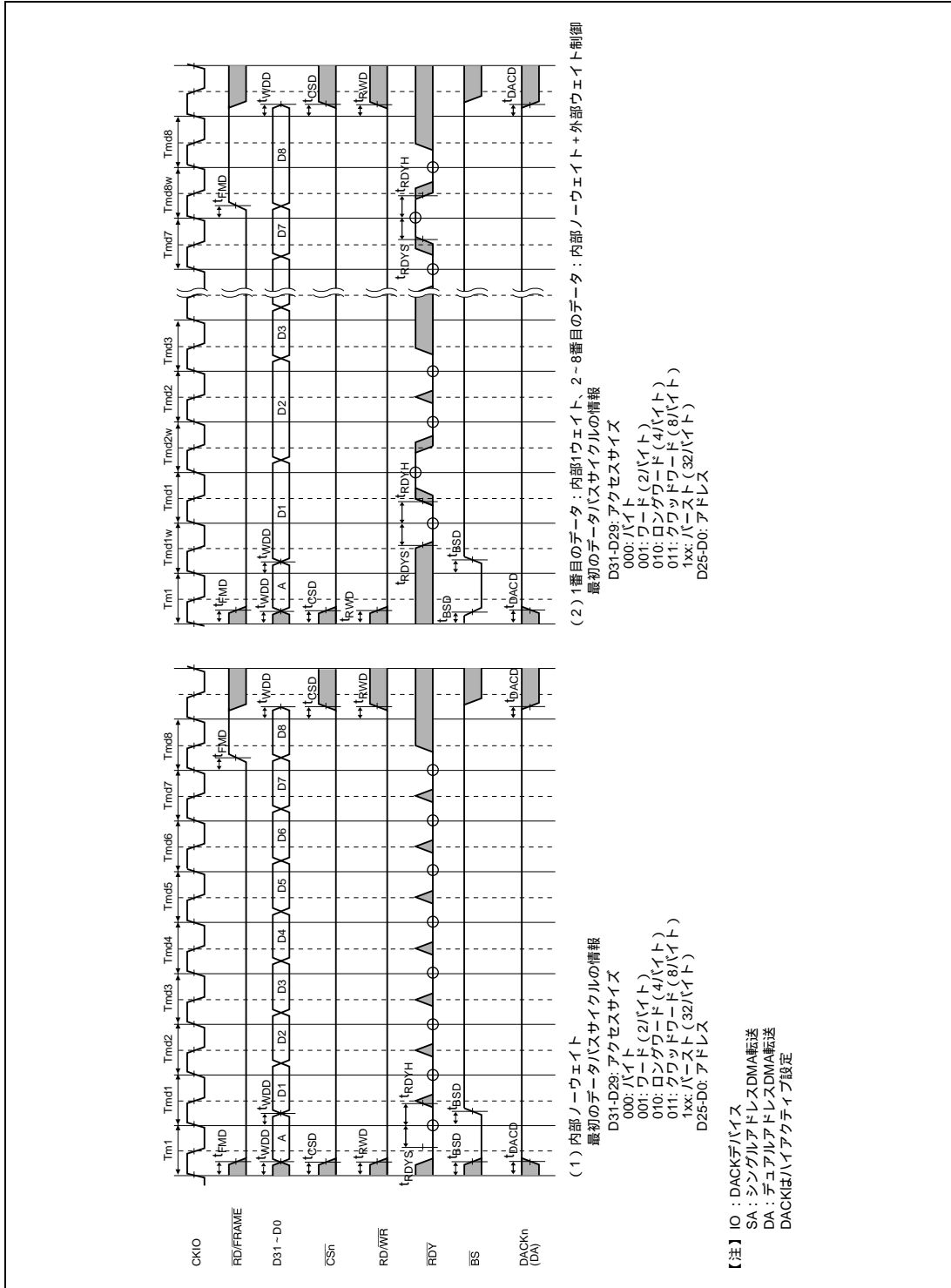


図 33.46 MPX バスサイクル、バーストライト

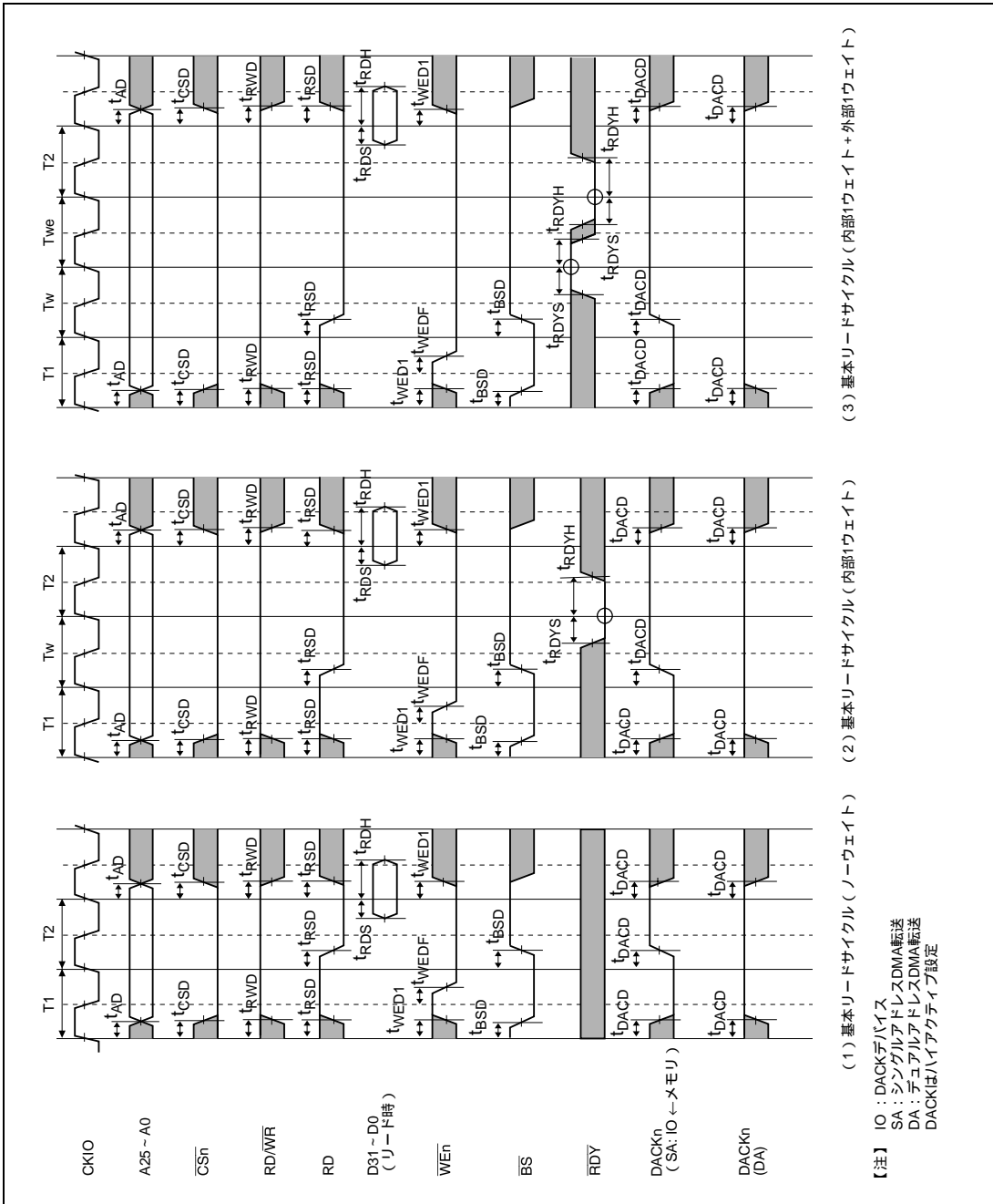


図 33.47 メモリバイト制御 SRAM バスサイクル

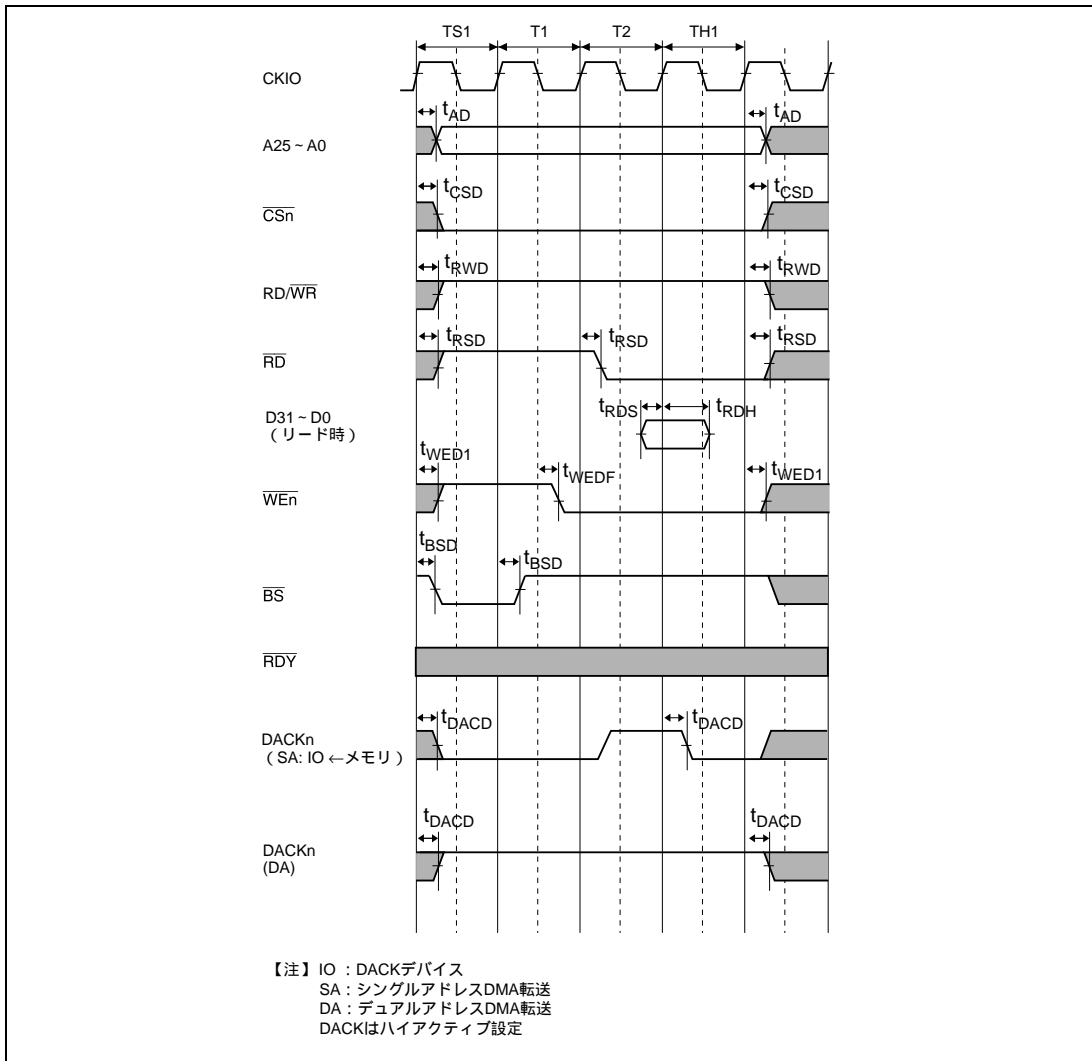


図 33.48 メモリバイト制御 SRAM バスサイクル 基本リードサイクル
 (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS=1、AnH=1)

33.3.4 INTC モジュール信号タイミング

表 33.8 INTC モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
INTC	NMI パルス幅 (High 時)	t_{NMIH}	5	-	t_{cyc}	33.49	通常時 スリープ時
			30	-	ns	33.49	スタンバイ時
	NMI パルス幅 (Low 時)	t_{NMIL}	5	-	t_{cyc}	33.49	通常時 スリープ時
			30	-	ns	33.49	スタンバイ時

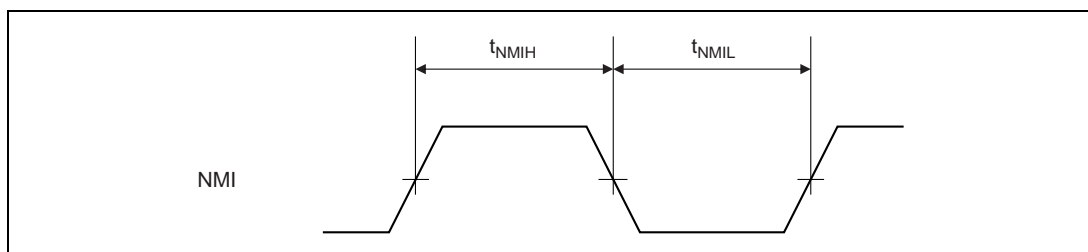
【注】 t_{cyc} は CKIO クロックの 1 サイクル時間を示します。

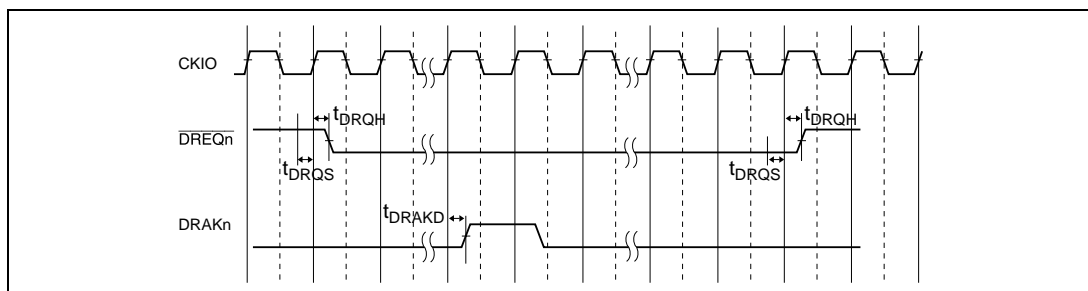
図 33.49 NMI 入力タイミング

33.3.5 DMAC モジュール信号タイミング

表 33.9 DMAC モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
DMAC	\overline{DREQn} セットアップ時間	t_{DRQS}	3	-	ns	33.50	
	\overline{DREQn} ホールド時間	t_{DRQH}	1.5	-	ns	33.50	
	$DRAKn$ 遅延時間	t_{DRAKD}	1.5	6	ns	33.50	

図 33.50 $\overline{DREQ}/DRAK$ タイミング

33. 電気的特性

33.3.6 TMU モジュール信号タイミング

表 33.10 TMU モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
TMU	タイマクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	t_{PcyC}	33.51	
	タイマクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	t_{PcyC}	33.51	
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	t_{PcyC}	33.51	
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	t_{PcyC}	33.51	

【注】 t_{PcyC} は周辺クロック (Pck) の 1 サイクル時間を示します。

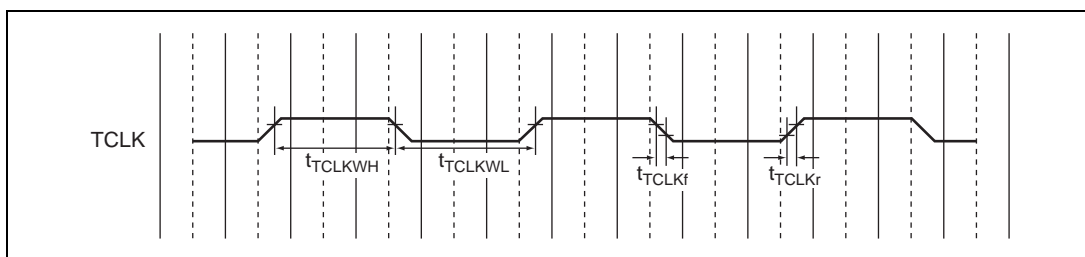


図 33.51 TCLK 入力タイミング

33.3.7 SCIF モジュール信号タイミング

表 33.11 SCIF モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
SCIFn	入カクロックサイクル (調歩同期)	t_{SoyC}	4	-	t_{PcyC}	33.52	
	入カクロックサイクル (クロック同期)		10	-	t_{PcyC}	33.52	
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{SoyC}	33.52	
	入カクロック立ち上がり時間	t_{SCKr}	-	0.8	t_{PcyC}	33.52	
	入カクロック立ち下がり時間	t_{SCKf}	-	0.8	t_{PcyC}	33.52	
	転送データ遅延時間	t_{TXD}	-	3	t_{PcyC}	33.53	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	3	-	t_{PcyC}	33.53	
	受信データホールド時間 (クロック同期)	t_{RXH}	1	-	t_{PcyC}	33.53	

【注】 t_{PcyC} は周辺クロック (Pck) の 1 サイクル時間を示します。

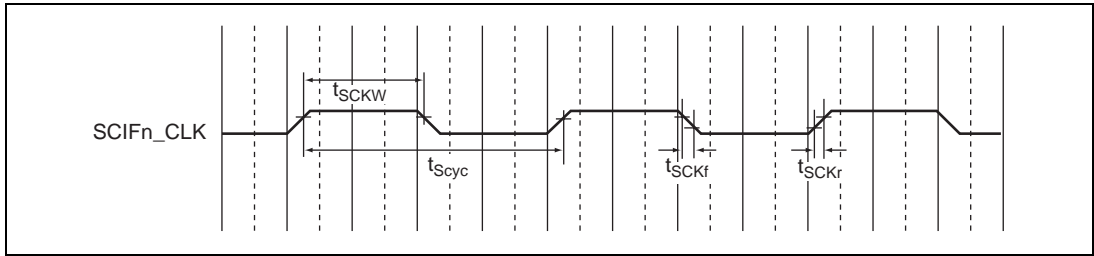


図 33.52 SCIFn_CLK 入力クロックタイミング

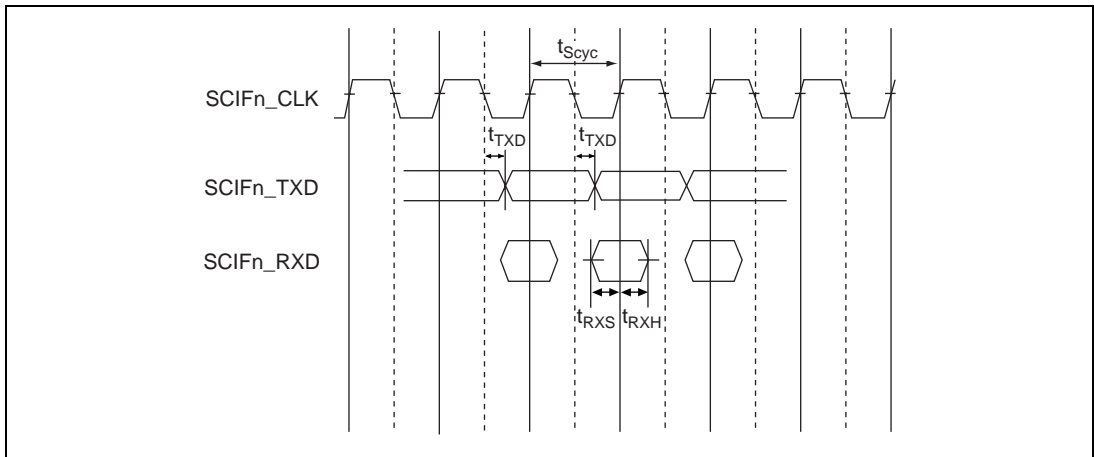


図 33.53 SCIF I/O 同期モードクロックタイミング

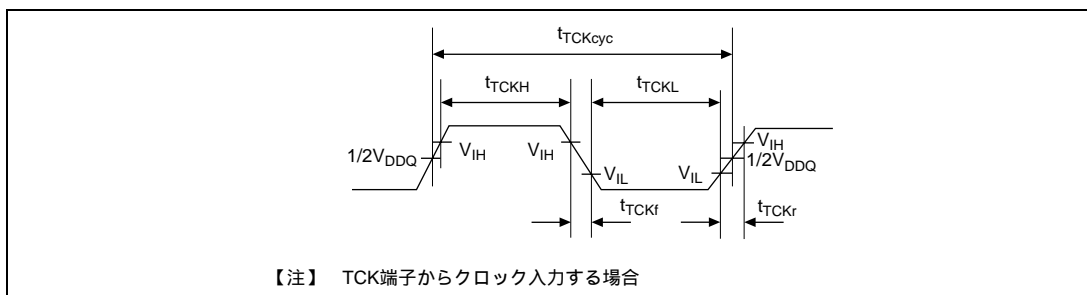
33.3.8 H-UDI モジュール信号タイミング

表 33.12 H-UDI モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

モジュール	項目	記号	Min.	Max.	単位	参照図	備考
H-UDI	入力クロックサイクル	t_{TCKcyc}	50	-	ns	33.54, 33.56	
	入力クロックパルス幅 (High 時)	t_{TCKH}	15	-	ns	33.54	
	入力クロックパルス幅 (Low 時)	t_{TCKL}	15	-	ns	33.54	
	入力クロック立ち上がり時間	t_{TCKr}	-	10	ns	33.54	
	入力クロック立ち下がり時間	t_{TCKf}	-	10	ns	33.54	
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	t_{cyc}	33.55	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	t_{cyc}	33.55	
	TDI/TMS セットアップ時間	t_{TDIS}	15	-	ns	33.56	
	TDI/TMS ホールド時間	t_{TDIH}	15	-	ns	33.56	
	TDO データ遅延時間	t_{TDO}	0	10	ns	33.56	
	ASE-PINBRK パルス幅	t_{PINBRK}	2	-	t_{Pcyc}	33.57	

- 【注】 1. t_{cyc} は CKIO クロックの 1 サイクル時間を示します。
 2. t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。



【注】 TCK端子からクロック入力する場合

図 33.54 TCK 入力タイミング

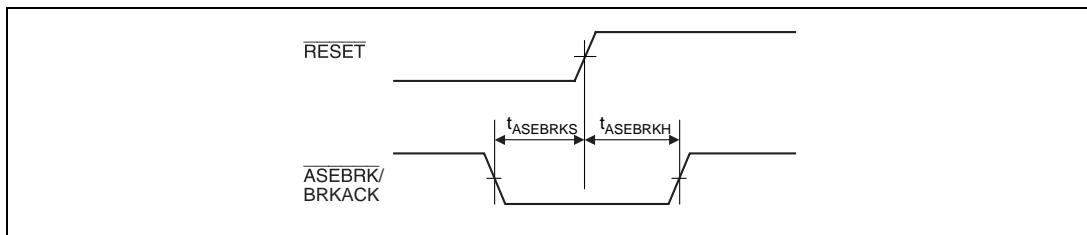


図 33.55 RESET ホールドタイミング

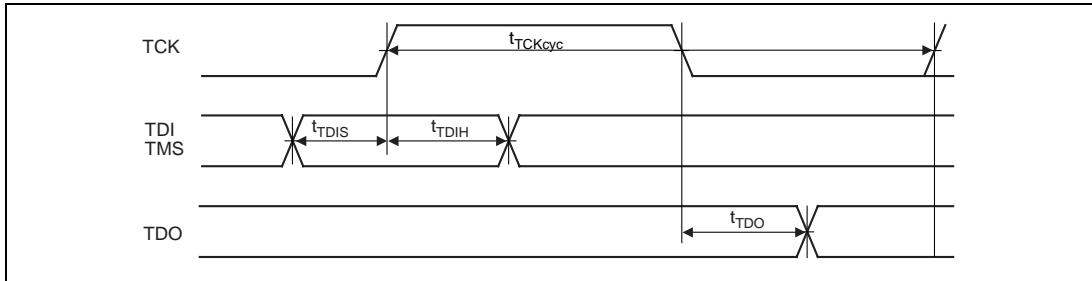


図 33.56 H-UDI データ転送タイミング

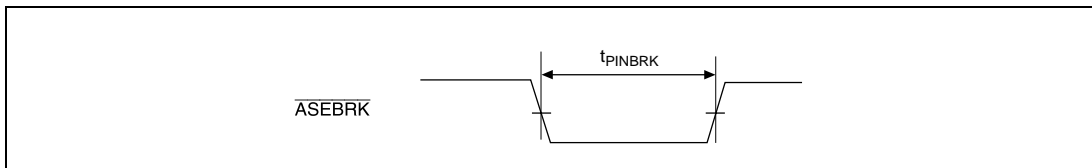


図 33.57 端子ブレークタイミング

33.3.9 CMT モジュール信号タイミング

表 33.13 CMT モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	参照図
CMT_CTR 出力遅延時間	t_{TMD}	-	8	ns	33.58
CMT_CTR 入力セットアップ時間	t_{TMS}	6	-	ns	33.58
CMT_CTR 入力ホールド時間	t_{TMH}	2	-	ns	33.58
タイマクロックローレベル幅	t_{TMLOW}	1.5	-	t_{cyc}	33.59
タイマクロックハイレベル幅	t_{TMHIGH}	1.5	-	t_{cyc}	33.59

【注】 t_{cyc} は CKIO クロックの 1 サイクル時間を示します。

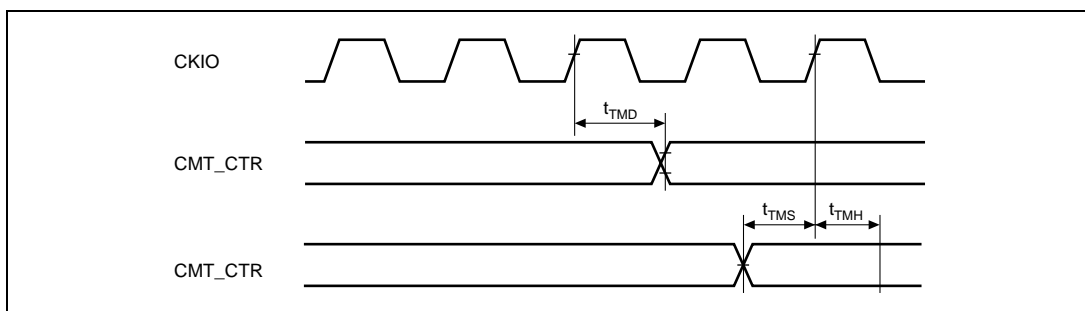


図 33.58 CMT タイミング (1)

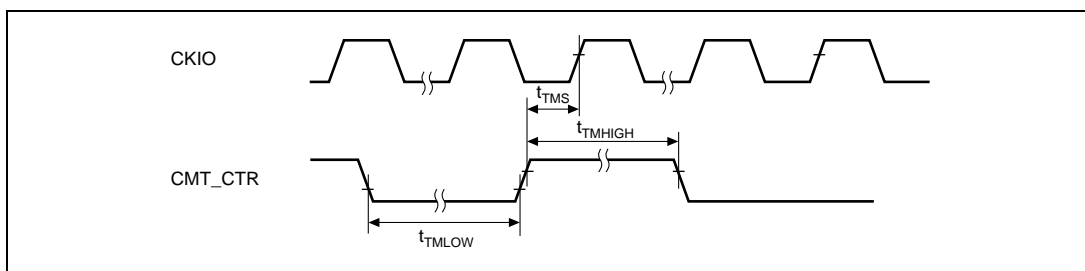


図 33.59 CMT タイミング (2)

33.3.10 HCAN2 モジュール信号タイミング

表 33.14 HCAN2 モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	参照図
CAN_TX 出力遅延時間	t_{CAND}	-	6	ns	33.60
CAN_RX 入力セットアップ時間	t_{CANS}	4	-	ns	33.60
CAN_RX 入力ホールド時間	t_{CANH}	2.5	-	ns	33.60

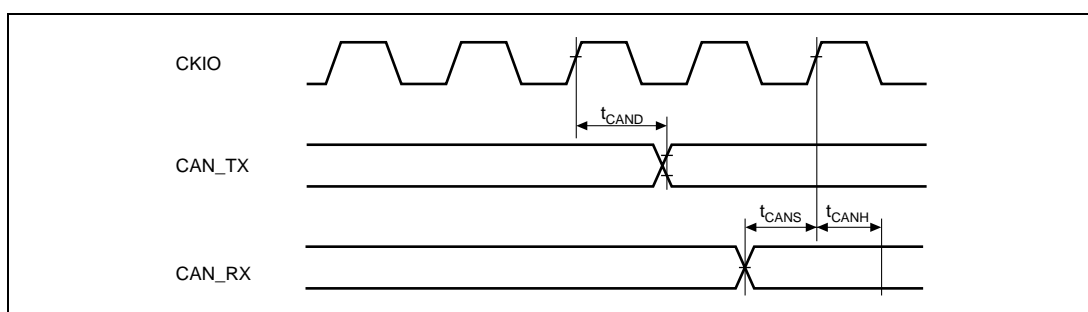


図 33.60 HCAN2 タイミング

33.3.11 GPIO 信号タイミング

表 33.15 GPIO 信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75 / -40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	t_{IOPD}	-	9	ns	33.61
GPIO 入力セットアップ時間	t_{IOPS}	7	-	ns	33.61
GPIO 入力ホールド時間	t_{IOPH}	5	-	ns	33.61

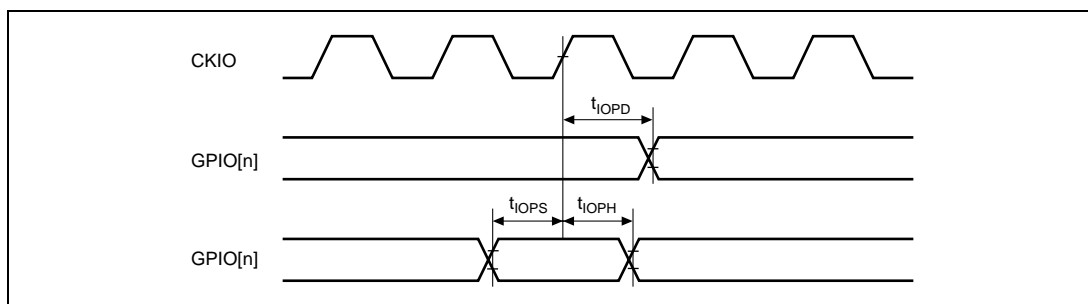


図 33.61 GPIO タイミング

33. 電気的特性

33.3.12 I²C 電気的特性

(1) I²C ブロック図と真理値表

I²C I/O バッファのブロック図を図 33.62 に、真理値表を表 33.16 に示します。

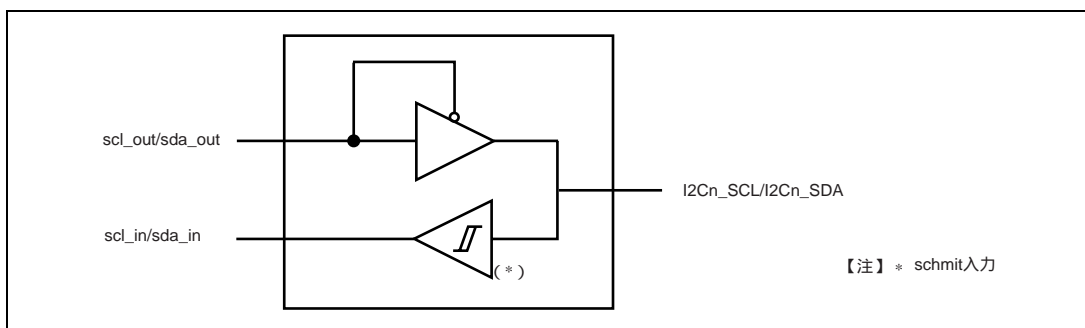


図 33.62 I²C I/O バッファのブロック図

表 33.16 I²C I/O バッファの真理値表

scl_out/sda_out	I2Cn_SCL/ I2Cn_SDA	scl_in/sda_in
1	Z	I2Cn_SCL/ I2Cn_SDA の端子 I/O 状態
0	0	I2Cn_SCL/ I2Cn_SDA の端子 I/O 状態

- 【注】
- 電源投入後、内部の論理状態が確定するまでは、I2Cn_SCL/ I2Cn_SDA の端子電圧は不定です。
 - 5V トレラントバッファに外部のプルダウン抵抗を付加する場合は、抵抗値を 15k 以下にしてください。

(2) I²C DC 特性

表 33.17 I²C DC 特性

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	測定条件
入力電圧	V_{IH}	$V_{DD0} \times 0.7$	5.5	V	
	V_{IL}	- 0.5	$V_{DD0} \times 0.3$	V	
出力電圧	V_{OL}	0	0.4	V	$I_{OL}=3\text{ mA}$
入力電流	I_I	- 10	10	$\mu\text{ A}$	入力電圧 $0.1 \times V_{DD0} \sim 0.9 \times V_{DD0}$ (Max.)時

(3) I²C AC 特性表 33.18 I²C バスインタフェースモジュール信号タイミング(V_{DDQ}=3.0~3.6V、V_{DD}=1.5V、T_a=-20~75 / -40~85、C_L=30pF、PLL2 は on)

項 目	記号	Min.	Typ.	Max.	単位
I2Cn_SCL 周波数	t _{cyt}	-	-	400	kHz
I2Cn_SCL ローレベルパルス幅	t _{cWL}	1.3	-	-	μs
I2Cn_SCL ハイレベルパルス幅	t _{cWH}	0.6	-	-	μs
I2Cn_SCL/I2Cn_SDA 立ち上がり時間	t _{ICr}	20+0.1Cb*	-	300	ns
I2Cn_SCL/I2Cn_SDA 立ち下がり時間	t _{ICf}	20+0.1Cb*	-	300	ns
I2Cn_SDA バス・フリー時間	t _{ICBF}	1.3	-	-	μs
I2Cn_SCL 開始条件ホールド時間	t _{ICH}	0.6	-	-	μs
I2Cn_SCL 再送開始条件セットアップ時間	t _{ICS}	0.6	-	-	μs
I2Cn_SDA 停止条件セットアップ時間	t _{ICST}	0.6	-	-	μs
I2Cn_SDA セットアップ時間	t _{DAS}	100	-	-	ns
I2Cn_SDA ホールド時間	t _{ICDH}	0	-	0.9	μs

【注】 t_{cyt} は周辺クロック (Pck) の 1 サイクル時間を示します。

* Cb は 1 つのバス・ラインのトータル容量 (Max. 400pF)

(4) I²C シュミット特性表 33.19 I²C シュミット特性(V_{DDQ}=3.0~3.6V、V_{DD}=1.5V、T_a=-20~75 / -40~85、C_L=30pF、PLL2 は on)

項 目	記号	Min.	Max.	単位	備考
スレッショールド電圧	VTT+	V _{DDQ} × 0.7	-	V	L H になるスレッショールド電圧
	VTT-	-	V _{DDQ} × 0.3	V	H L になるスレッショールド電圧
	ΔVTT	V _{DDQ} × 0.05	-	V	VTT+と VTT- の間の設定値

33. 電気的特性

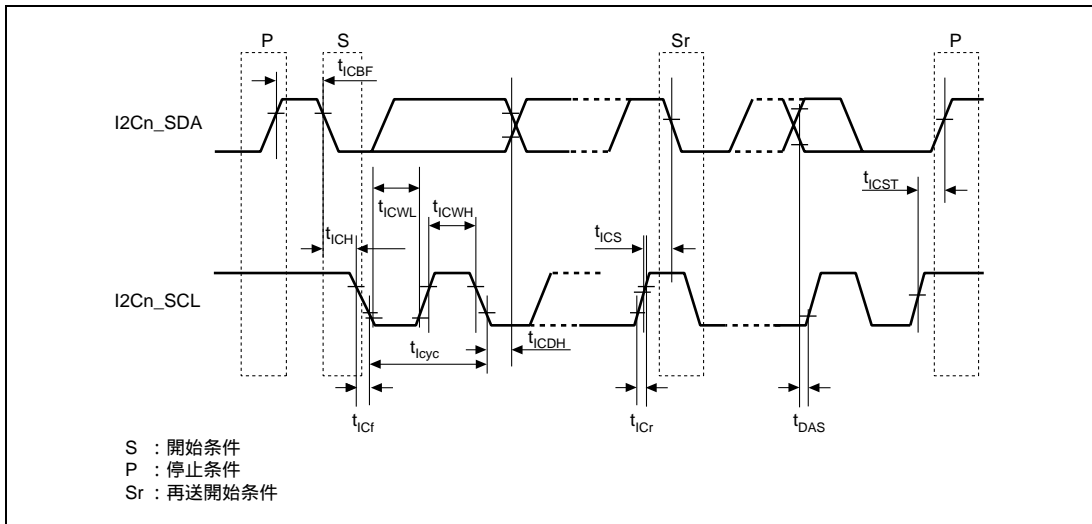


図 33.63 I²C バスインタフェースモジュール信号タイミング

(5) I²C 使用上の注意事項

- I2Cn_SCL、I2Cn_SDA端子に5V印加時は、本製品の電源をオフにしないでください。
電源をオフにする場合は、バスのプルアップ電源もオフにしてください。
I²CのI/Oバッファは、本製品の電源オン時のみ5Vトレラントです。
電源オフ時に5Vが印加された場合、バッファが破壊される可能性があります。
- 5Vトレラントバッファに外部のプルダウン抵抗を付加する場合は、抵抗値を15kΩ以下にしてください。

33.3.13 HSPI モジュール信号タイミング

表 33.20 HSPI モジュール信号タイミング

($V_{DDa}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2はon)

項目	記号	Min.	Max.	単位	参照図
HSPI_CLK 周波数	t_{SPICyc}	-	Pck/8	Hz	33.64
HSPI クロックハイレベル幅	t_{SPIHW}	60	-	ns	33.64
HSPI クロックローレベル幅	t_{SPILW}	60	-	ns	33.64
HSPI_TX セットアップ時間	$t_{SUSPITX}$	-	20	ns	33.64
HSPI_TX 遅延時間	t_{DSPITX}	-	20	ns	33.64
HSPI_RX セットアップ時間	$t_{SUSPIRX}$	20	-	ns	33.64
HSPI_RX ホールド時間	$t_{HLSPIRX}$	20	-	ns	33.64
HSPI_CS リード時間	t_{CSLEAD}	100	-	ns	33.64

【注】 Pck は周辺クロック周波数を示します。

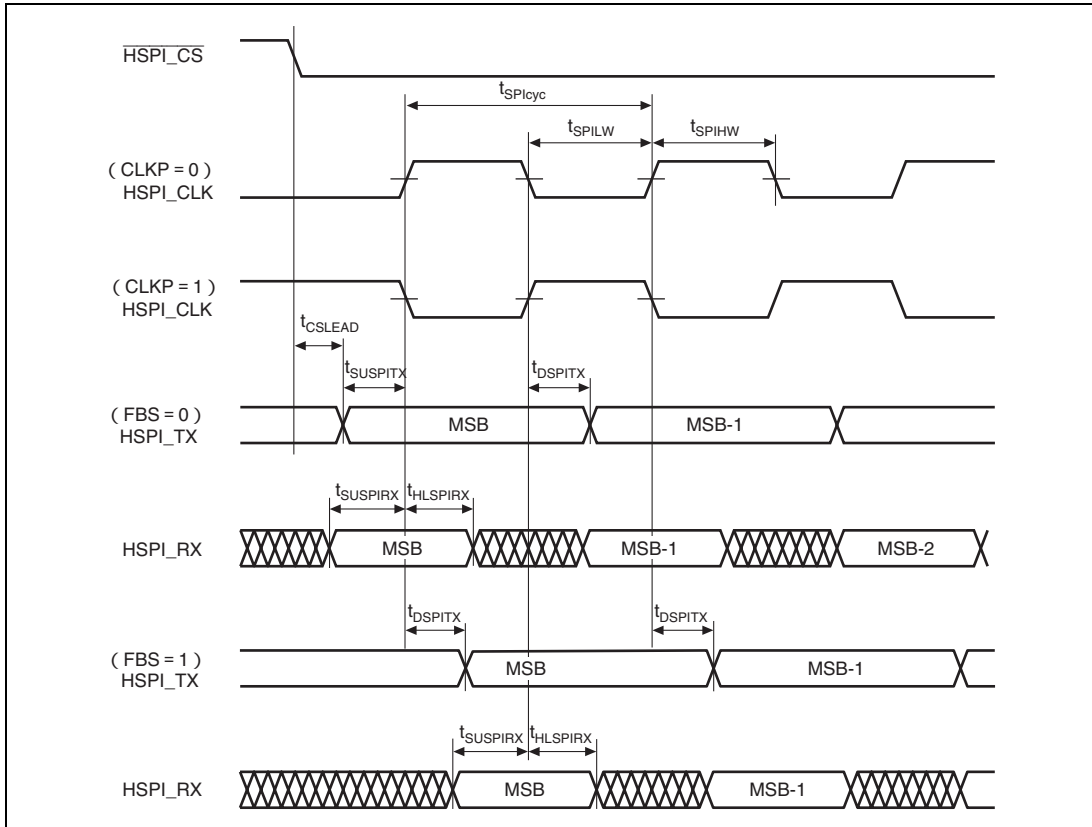


図 33.64 HSPI データ出力/入力タイミング

33. 電気的特性

33.3.14 USB 電気的特性

(1) USB DC 特性

表 33.21 USB DC 特性

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$)

項目	記号	Min.	Max.	単位	測定条件	参照図
入力電圧	V_{IH}	$V_{DDQ} \times 0.7$	$V_{DDQ} + 0.3$	V		33.65
	V_{IL}	-0.3	$V_{DDQ} \times 0.2$	V		33.65
出力電圧	V_{OH}	$V_{DDQ} \times 0.8$	-	V	14.25k Ω ~ GND	33.66
	V_{OL}	-	$V_{DDQ} \times 0.2$	V	1.425k Ω ~ V_{DDQ}	33.66
差動入力感度	VDI	0.2	-	V	USB_DP - USB_DM	33.67
差動共通モードレンジ	VCM	0.8	2.5	V		33.67
出力抵抗*	ZDRV	28	44	Ω		33.68

【注】 * 外付け抵抗を含む値です。外付け抵抗には $27\Omega \pm 1\%$ を推奨します。

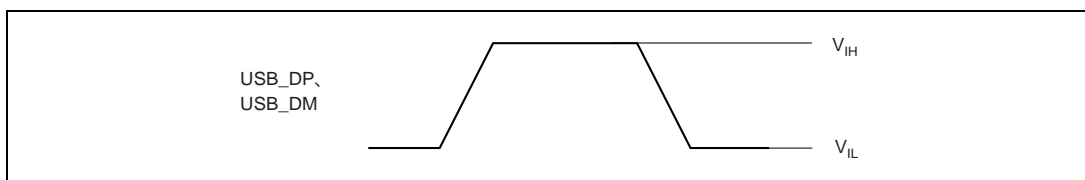


図 33.65 入力電圧 (V_{IH} 、 V_{IL})

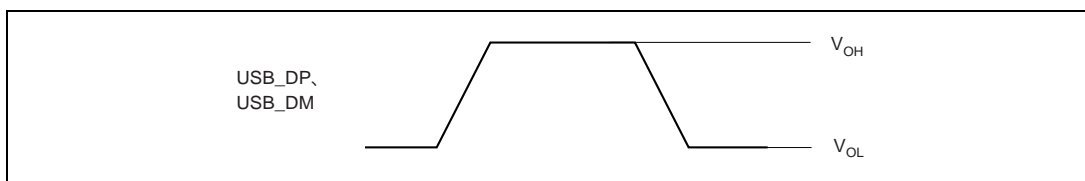


図 33.66 出力電圧 (V_{OH} 、 V_{OL})

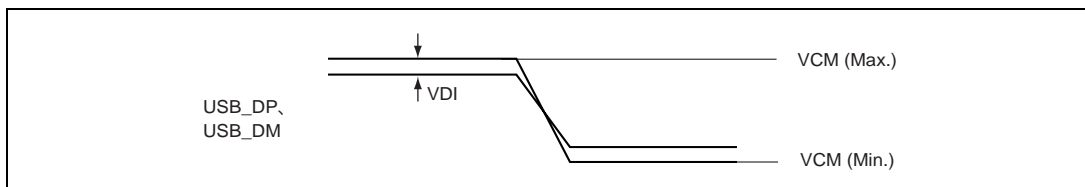


図 33.67 差動入力感度 (VDI)、差動共通モードレンジ (VCM)

(2) USB AC 特性

表 33.22 USB AC 特性

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、PLL2 は on)

項目	記号	Full speed* ¹		Low speed* ²		単位	備考	
		Min.	Max.	Min.	Max.			
遷移時間	立ち上がり*	t_r	4	20	75	300	ns	
	立ち下がり*	t_f	4	20	75	300	ns	
立ち上がり / 立ち下がり時間マッチング	t_{RFM}		80	111.1	80	125	%	t_r / t_f
D+D - クロスオーバー電圧	V_{CRS}		1.3	2.4	1.1	2.0	V	

【注】 * 10%レベルから 90%レベルまでの時間 (図 33.70)。

*1 測定条件は、図 33.68 を参照してください。

*2 測定条件は、図 33.69 を参照してください。

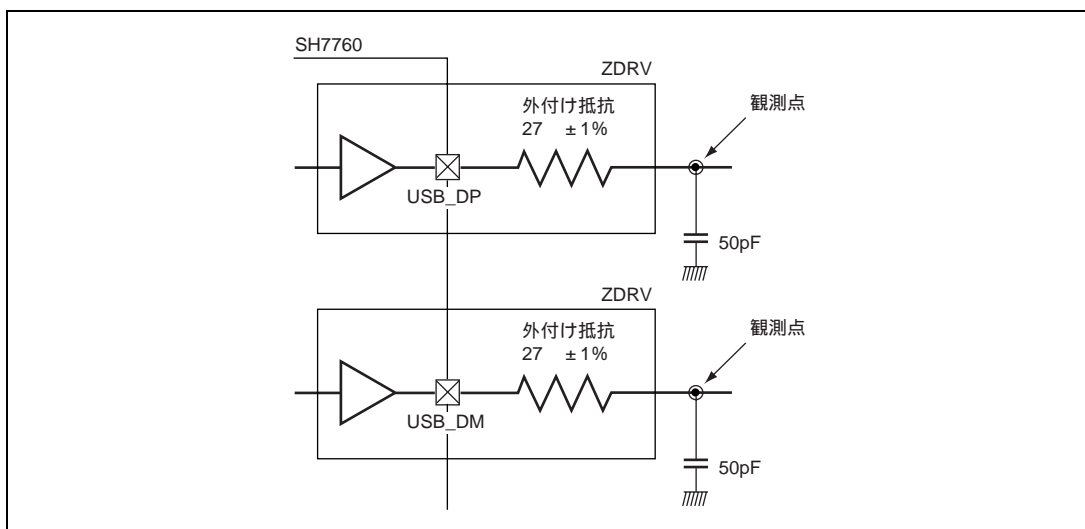


図 33.68 AC 特性負荷条件 (Full speed)

33. 電気的特性

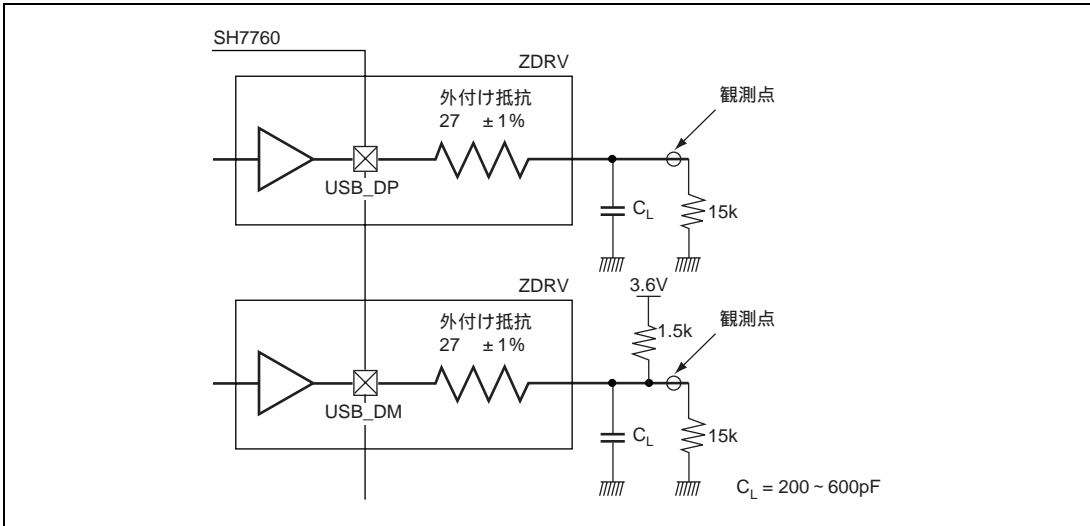


図 33.69 AC 特性負荷条件 (Low speed)

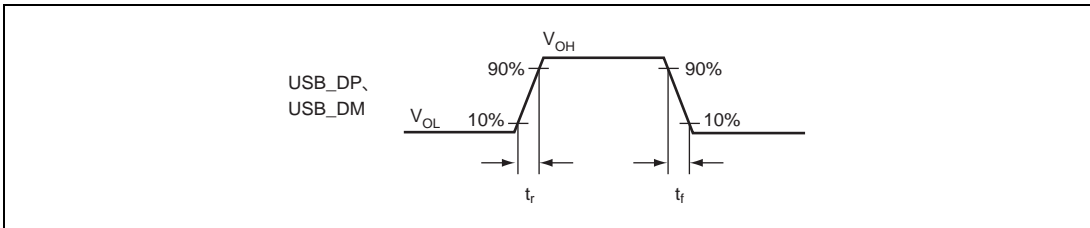


図 33.70 t_r 、 t_f

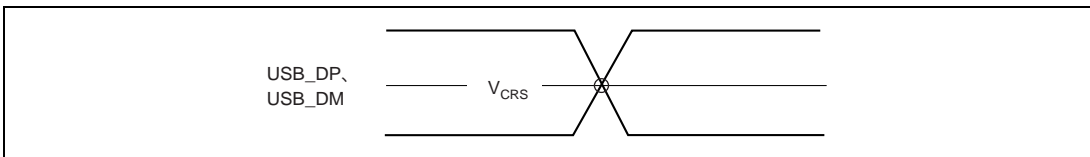


図 33.71 V_{CRS}

33.3.15 MFI 電気的特性

(1) MFI AC 特性

図 33.72 に 68 系バスの AC 特性を、図 33.73、図 33.74 に 80 系バスの AC 特性を示します。

表 33.23 68 系バス AC 特性

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	参照図
リードバスサイクル時間	t_{MFIYCR}	$4 \times t_{PcyC} + 10$	-	ns	33.72
ライトバスサイクル時間	t_{MFIYCW}	$3 \times t_{PcyC} + 10$	-	ns	
アドレスセットアップ時間 (MFI-RS)	t_{MFIAS}	0	-	ns	
(MFI-RW/RD)	t_{MFIAS}	10	-	ns	
アドレスホールド時間 (MFI-RS)	$t_{MFI AH}$	0	-	ns	
(MFI-RW/RD)	$t_{MFI AH}$	10	-	ns	
イネーブルハイ幅 (リード時)	t_{MFIWRH}	$2.5 \times t_{PcyC}$	-	ns	
イネーブルハイ幅 (ライト時)	t_{MFIWEH}	$1.5 \times t_{PcyC}$	-	ns	
イネーブルロー幅	t_{MFIWEL}	$2.0 \times t_{PcyC} + 5$	-	ns	
読み出しデータ遅延時間	$t_{MFI RDD}$	-	$2 \times t_{PcyC} + 10$	ns	
読み出しデータホールド時間	$t_{MFI RDH}$	0	-	ns	
書き込みデータセットアップ時間	t_{MFIWDS}	$t_{PcyC} + 10$	-	ns	
書き込みデータホールド時間	t_{MFIWDH}	10	-	ns	

- 【注】
- t_{PcyC} は周辺クロック (Pck) の 1 サイクル時間を示します。
 - t_{MFIWEH} 期間は MFI-CS 信号のローレベル期間と MFI-E/WR 信号のハイレベル期間のオーバーラップ期間で規定されます。

33. 電気的特性

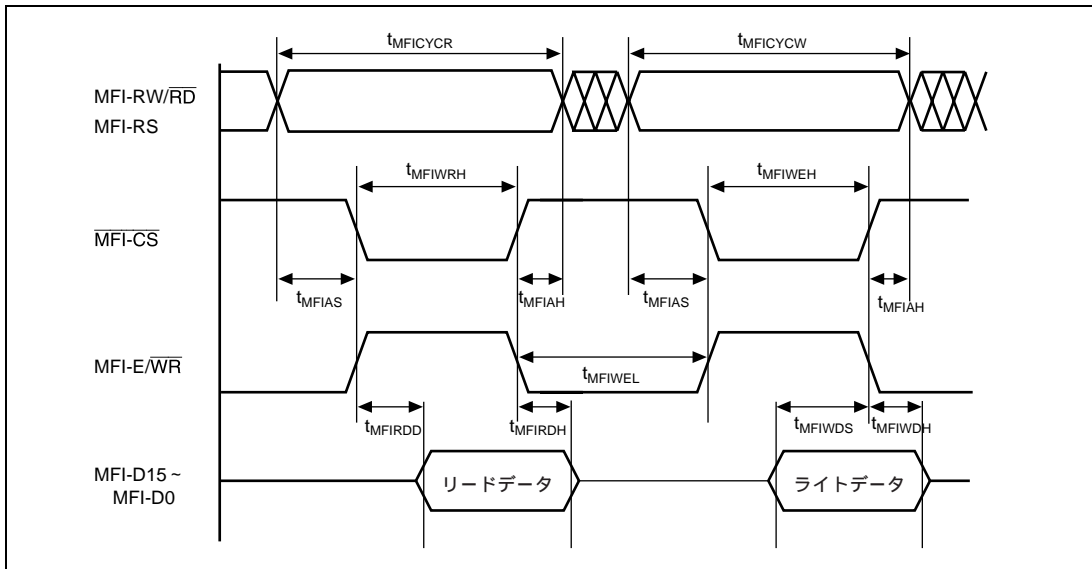


図 33.72 68 系バス AC 特性

表 33.24 80 系バス AC 特性

($V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_l=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	参照図
リードバスサイクル時間	$t_{MFICYCR}$	$4 \times t_{PcyC}$	-	ns	33.73、 33.74
ライトバスサイクル時間	$t_{MFICYCW}$	$3 \times t_{PcyC}$	-	ns	
アドレスセットアップ時間	t_{MFIAS}	0	-	ns	
アドレスホールド時間	t_{MFIAH}	0	-	ns	
リードロー幅 (リード時)	t_{MFIWRL}	$2.5 \times t_{PcyC}$	-	ns	
ライトロー幅 (ライト時)	t_{MFIWWL}	$1.5 \times t_{PcyC}$	-	ns	
リード/ライトハイ幅	$t_{MFIWRWH}$	$2.0 \times t_{PcyC} + 5$	-	ns	
読み出しデータ遅延時間	t_{MFIRDD}	-	$2 \times t_{PcyC} + 10$	ns	
読み出しデータホールド時間	$t_{MFI RDH}$	0	-	ns	
書き込みデータセットアップ時間	t_{MFIWDS}	$t_{PcyC} + 10$	-	ns	
書き込みデータホールド時間	t_{MFIWDH}	10	-	ns	

- 【注】
- t_{PcyC} は周辺クロック (Pck) の 1 サイクル時間を示します。
 - t_{MFIWRL} 期間は、 $\overline{MFI-CS}$ 信号のローレベル期間と MFI-RW/RD 信号のローレベル期間のオーバーラップ期間で規定されます。
 - t_{MFIWWL} 期間は、 $\overline{MFI-CS}$ 信号のローレベル期間と MFI-E/WR 信号のローレベル期間のオーバーラップ期間で規定されます。

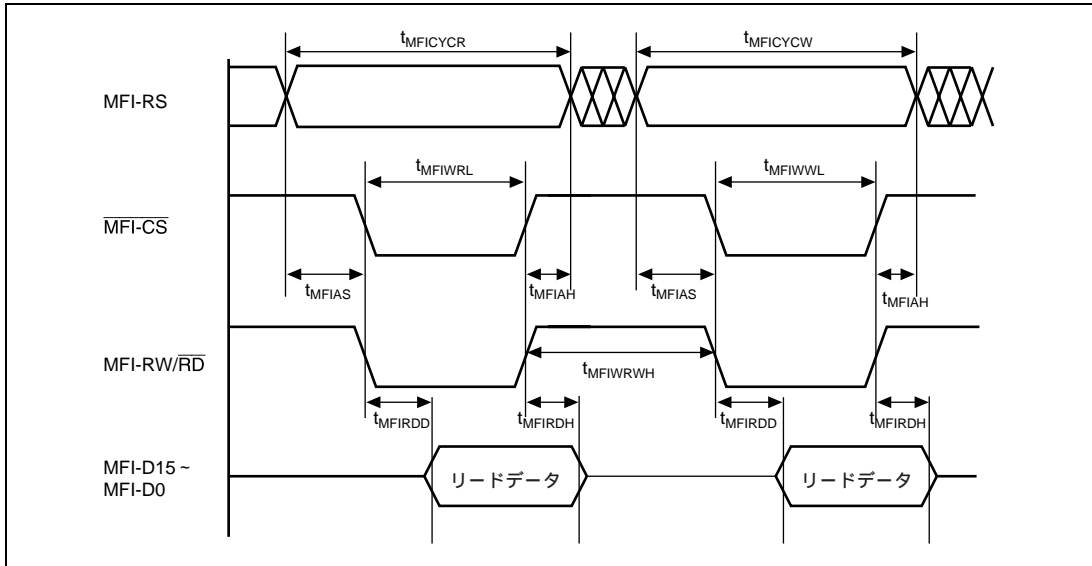


図 33.73 80 系バス AC 特性 (リード時)

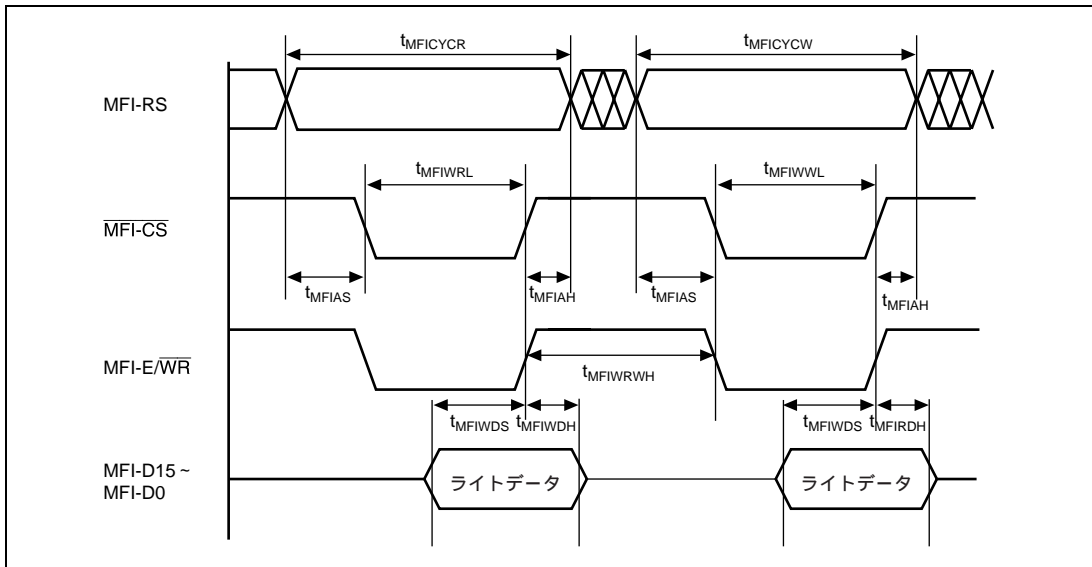


図 33.74 80 系バス AC 特性 (ライト時)

33.3.16 SIM モジュール信号タイミング

表 33.25 SIM モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	参照図
SIM_CLK クロックサイクル時間	t_{SMCyc}	$t_{Pck}/16$	$t_{Pck}/2$	ns	33.75
SIM_CLK クロックハイレベル幅	t_{SMCWH}	$0.4 \times t_{SMCyc}$	-	ns	
SIM_CLK クロックローレベル幅	t_{SMCWL}	$0.4 \times t_{SMCyc}$	-	ns	
SIM_RST リセット出力遅延時間	t_{SMRD}	0	20	ns	

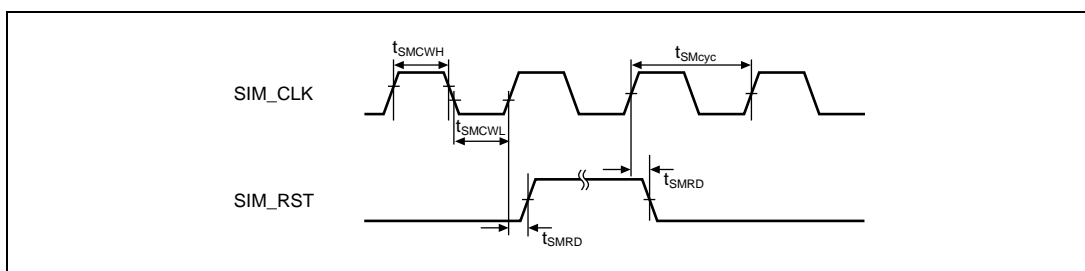
【注】 t_{Pck} は周辺クロック (Pck) の 1 サイクル時間を示します。

図 33.75 SIM モジュール信号タイミング

33.3.17 MMCIF モジュール信号タイミング

表 33.26 MMCIF モジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	参照図
MCCLK クロックサイクル時間	t_{MMCyc}	50	-	ns	33.76
MCCLK クロックハイレベル幅	t_{MMWH}	$0.4 \times t_{MMCyc}$	-	ns	33.76
MCCLK クロックローレベル幅	t_{MMWL}	$0.4 \times t_{MMCyc}$	-	ns	33.76
MCCMD 出力データ遅延時間	t_{MMTCD}	-	10	ns	33.76
MCCMD 入力データセットアップ時間	t_{MMRCS}	10	-	ns	33.77
MCCMD 入力データホールド時間	t_{MMRCH}	10	-	ns	33.77
MCDAT 出力データ遅延時間	t_{MMTDD}	-	10	ns	33.76
MCDAT 入力データセットアップ時間	t_{MMRDS}	10	-	ns	33.77
MCDAT 入力データホールド時間	t_{MMRDH}	10	-	ns	33.77

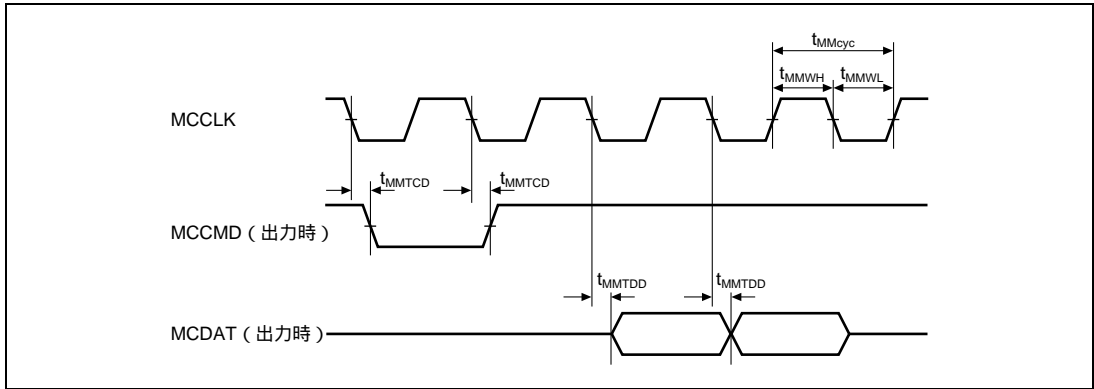


図 33.76 MMCIF 送信タイミング

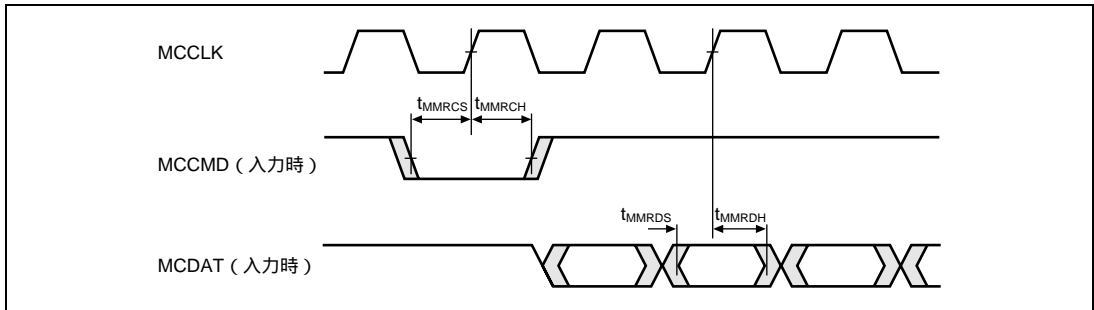


図 33.77 MMCIF 受信タイミング

33.3.18 LCDC モジュール信号タイミング

表 33.27 LCDC モジュール信号タイミング

($V_{DD3}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	t_{FREQ}	-	50	MHz	33.78
LCD_CLK 入力クロック立ち上がり時間	t_r	-	3	ns	
LCD_CLK 入力クロック立ち下がり時間	t_f	-	3	ns	
LCD_CLK 入力クロックデューティ	t_{DUTY}	90	110	%	
クロック (LCD_CL2) サイクル時間	t_{CC}	25	-	ns	
クロック (LCD_CL2) High レベルパルス幅	t_{CHW}	7	-	ns	
クロック (LCD_CL2) Low レベルパルス幅	t_{CLW}	7	-	ns	
クロック (LCD_CL2) 遷移時間 (立ち上がり / 立ち下がり)	t_{CT}	-	3	ns	
データ (LCD_DATA) 遅延時間	t_{Ddo}	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	t_{IDdo}	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	t_{HDdo}	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	t_{Vdo}	-3.5	3	ns	

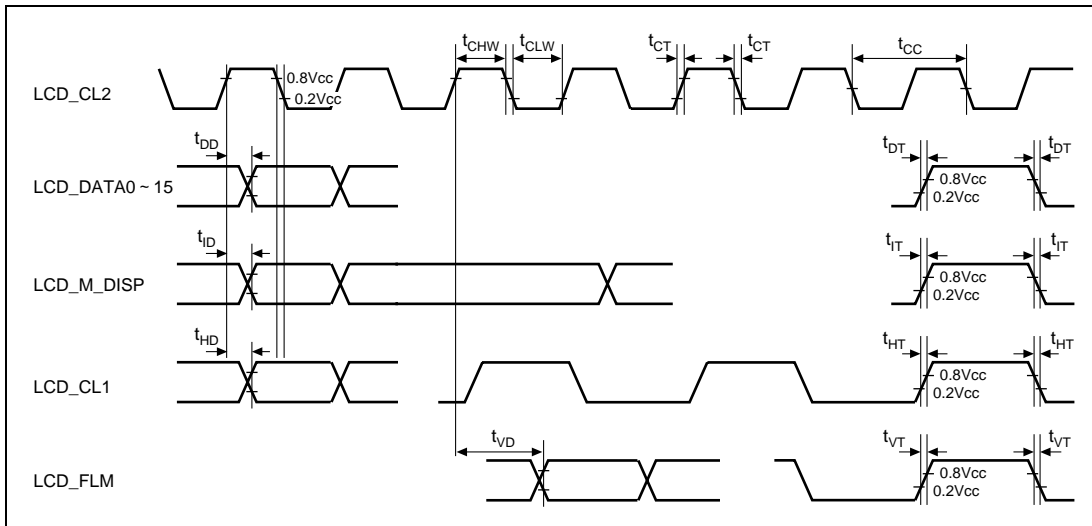


図 33.78 LCDC モジュール信号タイミング

33.3.19 HAC インタフェースモジュール信号タイミング

表 33.28 HAC インタフェースモジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_s=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項 目	記号	Min.	Max.	単位	参照図
HAC_RES アクティブローパルス幅	t_{RST_LOW}	1000	-	ns	33.79
HAC_SYNC アクティブハイパルス幅	t_{SYN_HIGH}	1000	-	ns	33.80
HAC_SYNC 遅延時間 1	t_{SYNCD1}	-	15	ns	33.82
HAC_SYNC 遅延時間 2	t_{SYNCD2}	-	15	ns	33.82
HAC_SD_OUT 遅延時間	t_{SDOUTD}	-	15	ns	33.82
HAC_SD_IN セットアップ時間	t_{SDINS}	10	-	ns	33.82
HAC_SD_IN ホールド時間	t_{SDINH}	10	-	ns	33.82
HAC_BIT_CLK 入力ハイレベル幅	t_{ICL_HIGH}	$2 \times t_{PcyC}$	-	ns	33.81
HAC_BIT_CLK 入力ローレベル幅	t_{ICL_LOW}	$2 \times t_{PcyC}$	-	ns	33.81

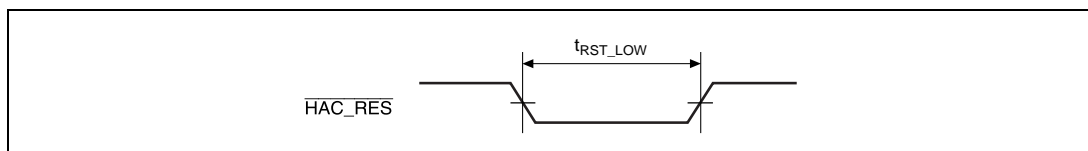
【注】 t_{PcyC} は周辺クロック (Pck) の 1 サイクル時間を示します。

図 33.79 HAC コールドリセットタイミング

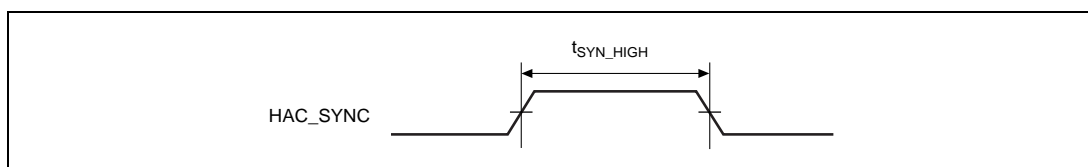


図 33.80 HAC コールドリセットタイミング

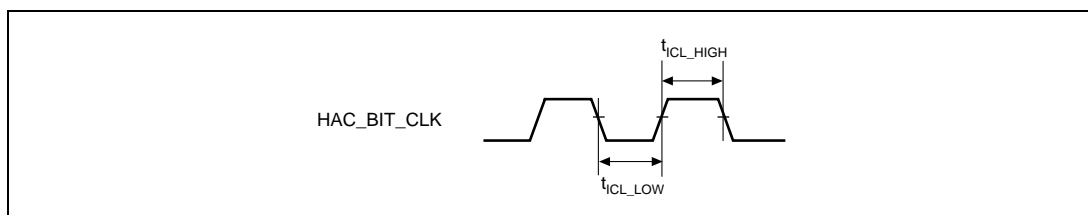


図 33.81 HAC クロック入力タイミング

33. 電気的特性

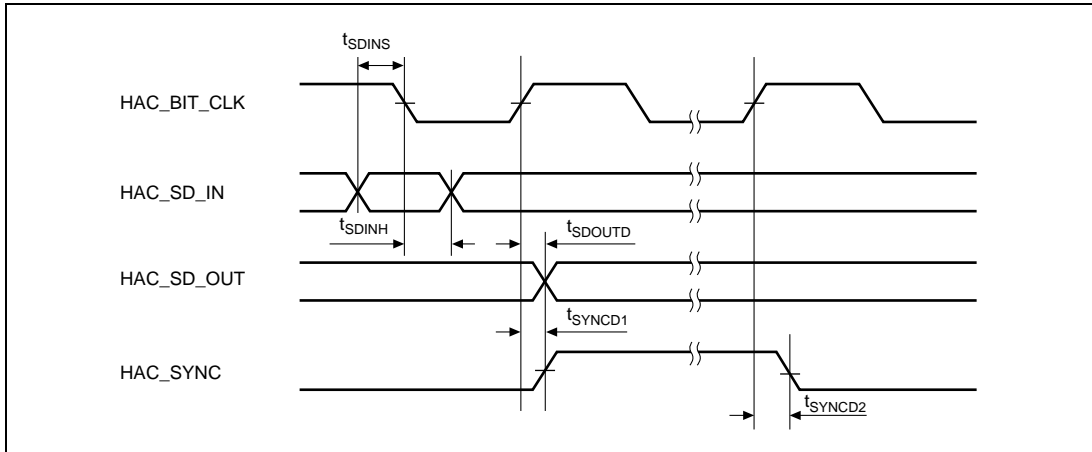


図 33.82 HAC インタフェースモジュール信号タイミング

33.3.20 SSI インタフェースモジュール信号タイミング

表 33.29 SSI インタフェースモジュール信号タイミング

($V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$ / $-40\sim 85$ 、 $C_L=30pF$ 、PLL2 は on)

項目	記号	Min.	Max.	単位	備考	参照図
出力サイクル時間	t_{OSCK}	40	710	ns	出力	33.83
入力サイクル時間	t_{ISCK}	80	3300	ns	入力	33.83
入力ハイレベル幅 / 出力ハイレベル幅	t_{IH}/t_{OHC}	30	-	ns	入出力	33.83
入力ローレベル幅 / 出力ローレベル幅	t_{IL}/t_{OLC}	20	-	ns	入出力	33.83
SCK 出力立ち上がり時間	t_{RC}	-	60	ns	出力	33.83
SDATA 出力遅延時間	t_{DTR}	-	50	ns	送信	33.84、33.85
SDATA / WS 入力セットアップ時間	t_{SR}	10	-	ns	受信	33.86、33.87
SDATA / WS 入力ホールド時間	t_{HTR}	10	-	ns	受信	33.86、33.87

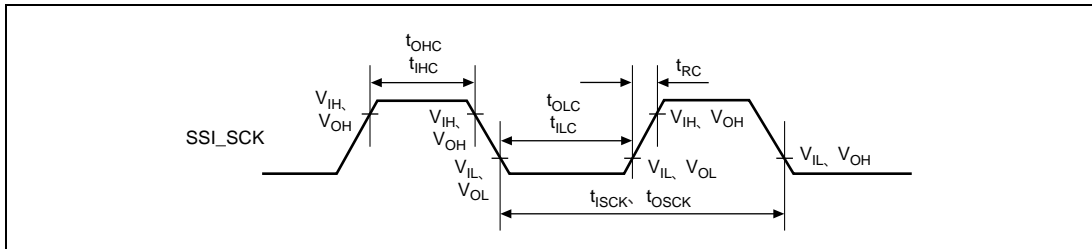


図 33.83 SSI クロック入力、出力タイミング

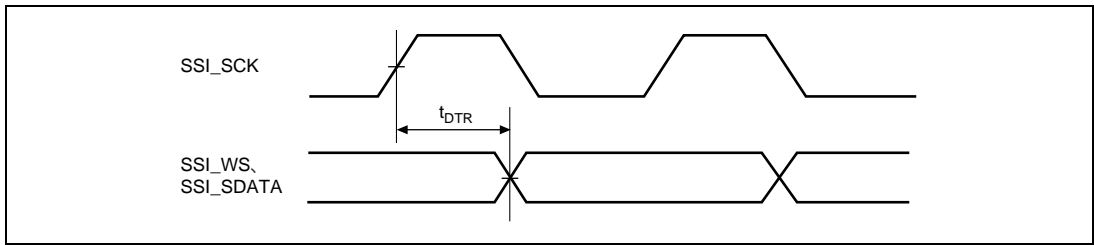


図 33.84 SSI 送信タイミング (1)

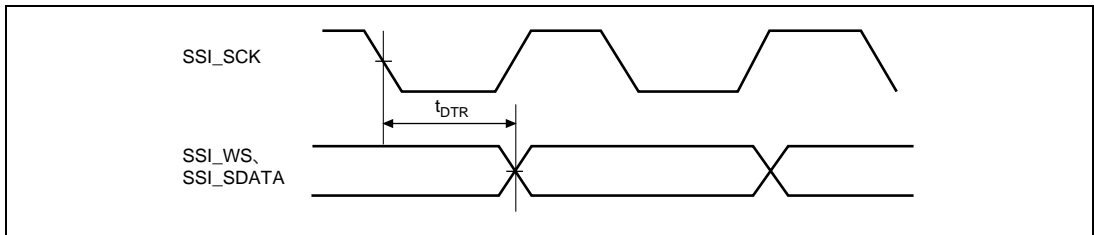


図 33.85 SSI 送信タイミング (2)

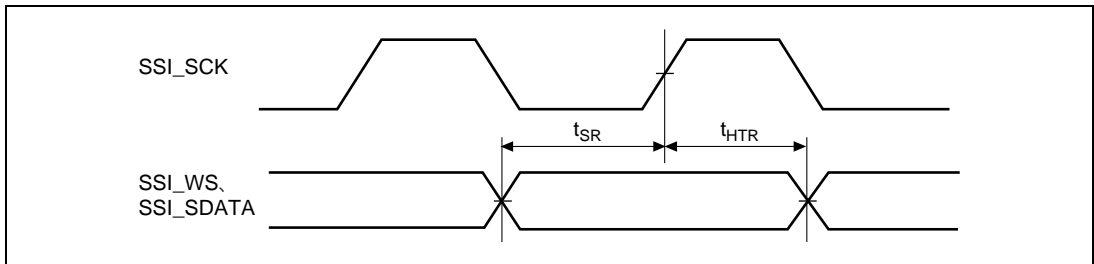


図 33.86 SSI 受信タイミング (1)

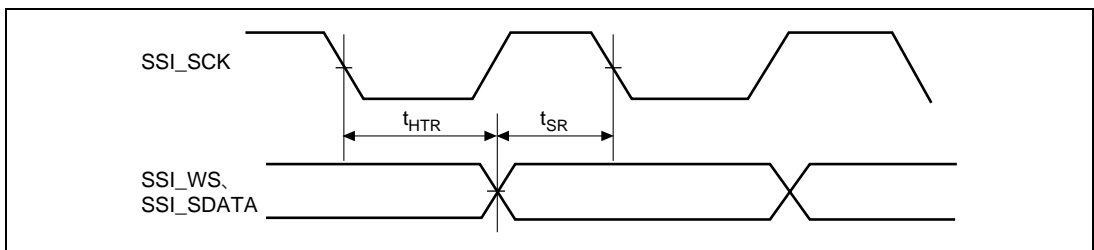


図 33.87 SSI 受信タイミング (2)

33.4 A/D 変換器特性

A/D 変換器特性を表 33.30 に示します。

表 33.30 A/D 変換器特性

(T_a = 25)

項目	Min.	Max.	単位
分解能	10	10	bits
変換時間 (シングルモード)	8	-	μs
許容信号源インピーダンス	-	5	k
非線形誤差	-	± 4.0	LSB
オフセット誤差	-	± 2.0	LSB
フルスケール誤差	-	± 2.0	LSB
量子化誤差	-	± 0.5	LSB
絶対精度	-	± 4.0	LSB

【注】 A/D 変換器の (V) 範囲は以下のとおりです。

AV_{SS_ADC} AN_n AV_{CC_ADC}

1. AN_n : A/D 変換器
2. $AV_{SS_ADC} = GND$
3. $AV_{CC_ADC} = 3.0V$ (Min.), 3.3V (Typ.), 3.6V (Max.)
4. $n = 0 \sim 3$

33.5 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル：1.5V ($V_{DDQ} = 3.3 \pm 0.3V$)

- 入力パルスレベル： $V_{SSQ} \sim 3.0V$

(ただし、 \overline{RESET} 、 \overline{TRST} 、 \overline{NMI} 、 $\overline{ASEBRK/BRKACK}$ 、 \overline{MRESET} 、 \overline{CA} 、 $\overline{SCIF2_RTS}$ 、 $\overline{USB_PENC}$ 、 $\overline{VEPWC/IRQ5}$ 、 $\overline{VCPWC/IRQ4}$ 、 $\overline{IRL3}$ 、 $\overline{IRL2}$ 、 $\overline{IRL1}$ 、 $\overline{IRL0}$ 、Reserved/AUDATA[3]は $V_{SSQ} \sim V_{DDQ}$)

- 入力立ち上がり、立ち下がり時間：1ns

出力付加回路を図 33.88 に示します。

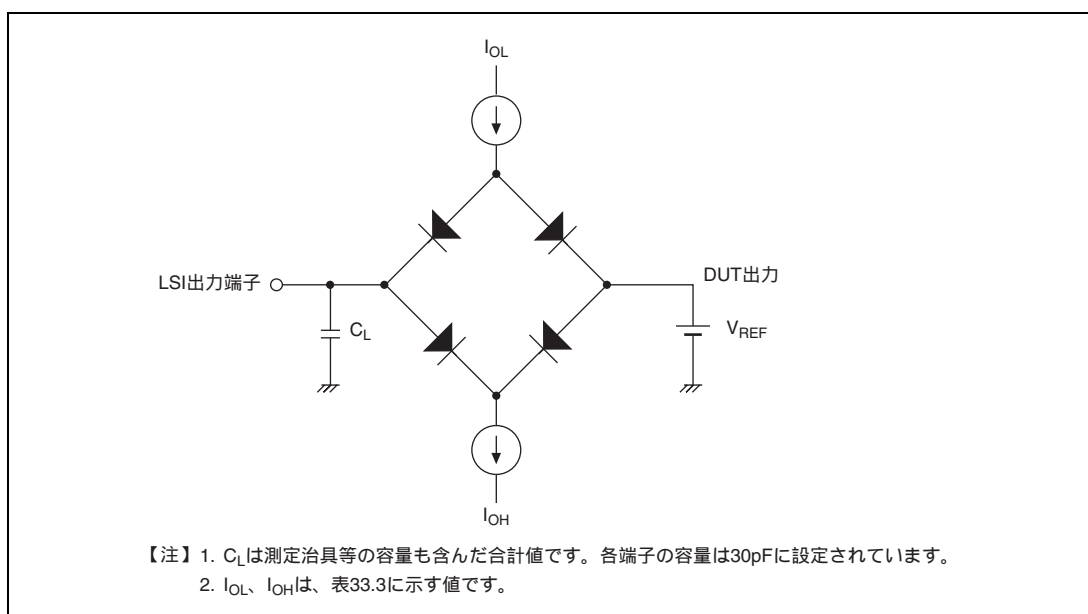


図 33.88 出力付加回路

33.6 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 33.89 のグラフを参考に設計してください。

なお、接続される負荷容量が図 33.89 の範囲を超える場合は、グラフは直線にはなりません。

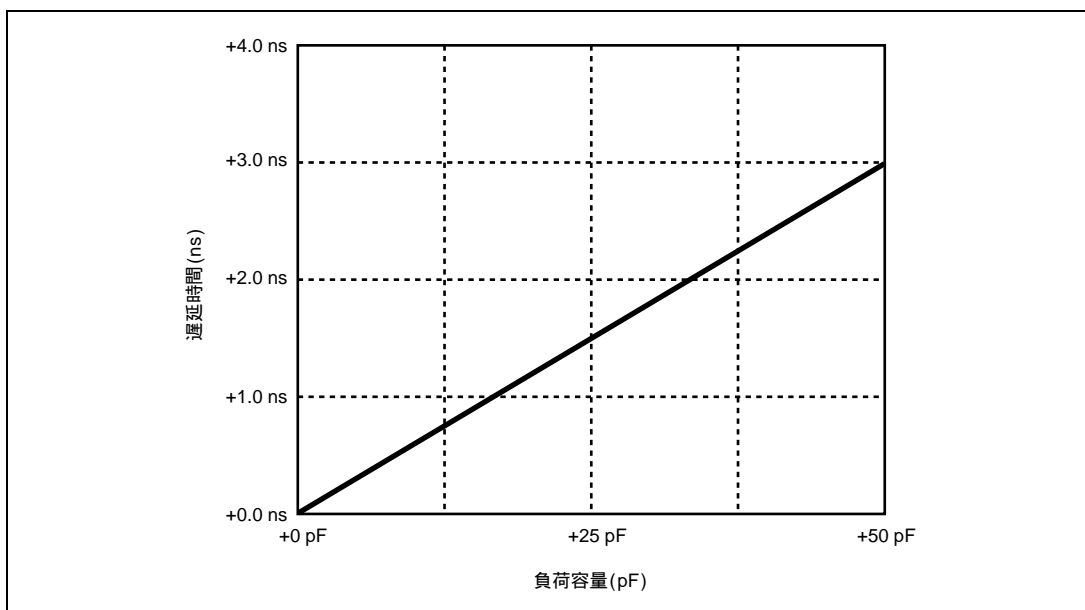


図 33.89 負荷容量 - 遅延時間

付録

A. 外形寸法図

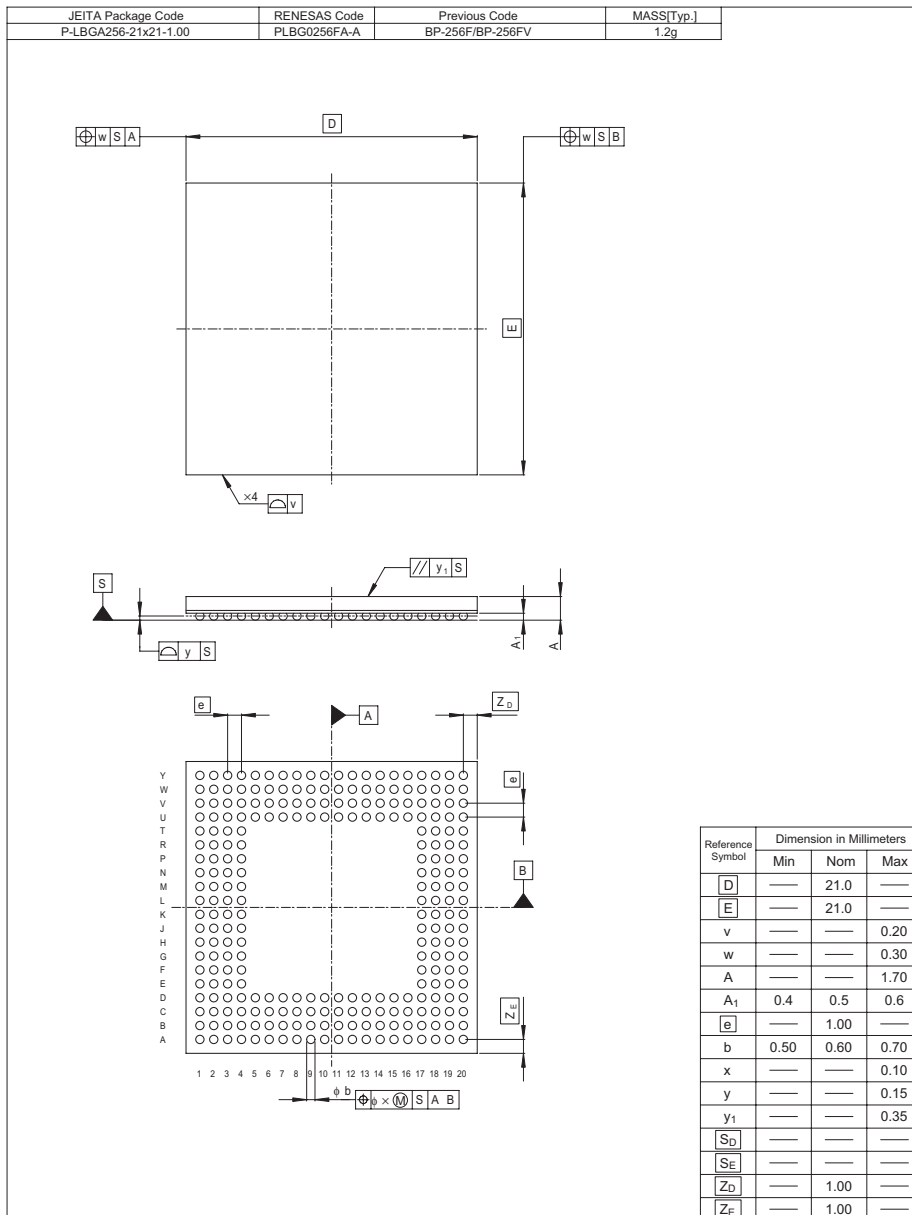


図 A.1 外形寸法図 (BP-256F/BP-256FV)

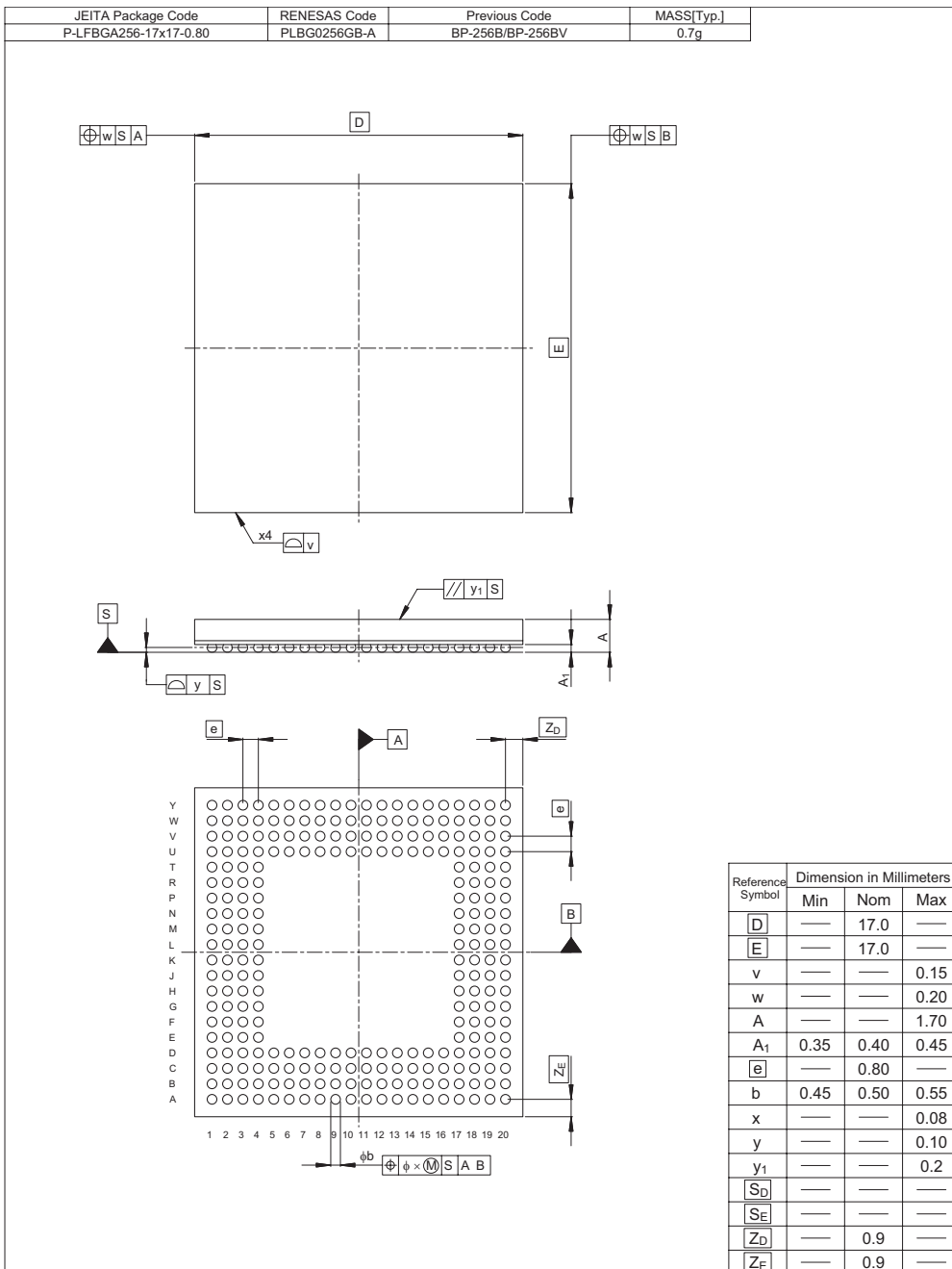


図 A.2 外形寸法図 (BP-256B/BP-256BV)

B. モード端子の設定

MD8 ~ MD0 端子の値は、 $\overline{\text{RESET}}$ 端子によるパワーオンリセット時に入力されます。

表 B.1 SH7760 のクロック動作モード

クロック 動作 モード	外部端子組み合わせ			PLL1	PLL2	周波数 (対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 モジュール クロック	
0	0	0	0	On (×12)	On	12	3	3	H'0E1A
1	0	0	1	On (×12)	On	12	3/2	3/2	H'0E2C
2	0	1	0	On (×6)	On	6	2	1	H'0E13
3	0	1	1	On (×12)	On	12	4	2	H'0E13
4	1	0	0	On (×6)	On	6	3	3/2	H'0E0A
6	1	1	0	Off (×6)	Off	1	1/2	1/2	H'0808

- 【注】 1. PLL1 の通倍率は、クロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「33.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 (f_{ex}) および CKIO クロック出力 (f_{op}) を参照してください。

表 B.2 エリア 0 のメモリタイプ・バス幅

端子の値			メモリタイプ	バス幅
MD6	MD4	MD3		
0	0	0	設定禁止	設定禁止
0	0	1	設定禁止	設定禁止
0	1	0	設定禁止	設定禁止
0	1	1	MPX インタフェース	32 ビット
1	0	0	設定禁止	設定禁止
1	0	1	SRAM インタフェース	8 ビット
1	1	0	SRAM インタフェース	16 ビット
1	1	1	SRAM インタフェース	32 ビット

表 B.3 エンディアン

端子の値	エンディアン
MD5	
0	ビッグエンディアン
1	リトルエンディアン

表 B.4 MFI モード / LCD モード

端子の値	MFI モード / LCD モード
MD7	
0	MFI モード
1	LCD モード

表 B.5 クロック入力

端子の値	クロック入力
MD8	
0	外部入力クロック
1	水晶発振子

C. 端子機能

C.1 端子の状態

表 C.1 リセット、低消費電力状態、バス解放状態での端子状態

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス権解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
RDY*9		I	PI	I	I	Z	Z	I
CS0 - CS6		O	H	H	O*15	Z*/H*3	Z	Z*5
BS		O	H	H	O*15	Z*/H*3	Z	Z*5
D0 - D31		I/O	Z	Z*6	Z*6	Z*6	Z	Z
A0 - A25		O	PZ	Z*/O*4	O	Z*/O*3	Z	Z*5
WE3/DQM3/ICIORW		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
WE2/DQM2/ICIOD		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
WE1/DQM1		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
WE0/DQM0/REG		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
RAS		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
RD/CASS/FRAME		O	H	O*2	O*15	Z*/O*1	Z	Z*/O*1
RD/WR		O	H	H	O*15	Z*/H*3	Z	Z*5
BACK		O	H	H	O	H	Z	O
BREQ*9		I	PI	I	I	Z	Z	I
DREQ0 - DREQ1*9		I	PI	I	I	Z	Z	I
DACK0 - DACK1		O	L	L	O*15	Z*/O*10	Z	O
DRAK0 - DRAK1		O	L	L	O*15	Z*/O*10	Z	O
IRL0 - IRL3*9		I	PI	I	I	Z	Z	I
NMI*9		I	PI	I	I	Z	Z	I
TRST		I	PI	PI	PI	PZ	Z	PI
TCK		I	PI	PI	PI	PZ	Z	PI
TMS		I	PI	PI	PI	PZ	Z	PI
TDI		I	PI	PI	PI	PZ	Z	PI
TDO		O	O	O	O	O	Z	O
ASEBRK/BRKACK		I/O	PI/O	PI/O	PI/O	PZ/O	Z	PI/O
MD0*9		I	I	I	I	Z	Z	I
MD1*9		I	I	I	I	Z	Z	I
MD2*9		I	I	I	I	Z	Z	I
MD3/CE2A		I/O	PI*7	I	I/O*15	Z*10/H	Z	I
MD4/CE2B		I/O	PI*7	I	I/O*15	Z*10/H	Z	I
MD5		I	PI*7	I	I	Z	Z	I
MD6/IOIS16		I	PI*7	I	I	Z	Z	I
MD7*9		I	I	I	I	Z	Z	I

付録

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
MD8*9		I	I	I	I	Z	Z	I
RESET		I	I	I	I	I	I	I
MRESET		I	PI	PI	PI	PI	I	PI
STATUS0 - STATUS1		O	O	O	O	O	Z/O*8	O
CKIO		O	O	PZ/O*16	PZ/O*16	PZ/O*16	Z	PZ/O*16
CKE		O	H	O*2	O*2	L	Z	O*2
CA		I	I	I	I	I	I	I
CAN0_NERR/ AUDCK*11	CAN0_NERR	I	PZ	I	I	I	Z	I
	AUDCK	O	PZ	O	O	O	Z	O
	PA7	I/O	PZ	I/O	I/O	I/O	Z	I/O
CAN0_RX/ AUDATA[2]*11	CAN0_RX	I	PZ	I	I	Z	Z	I
	AUDATA[2]	O	PZ	O	O	O	Z	O
	PA6	I/O	PZ	I/O	I/O	Z/O	Z	I/O
CAN0_TX/ AUDATA[0]*11	CAN0_TX	O	PZ	O	O	O	Z	O
	AUDATA[0]	O	PZ	O	O	O	Z	O
	PA5	I/O	PZ	I/O	I/O	I/O	Z	I/O
CAN1_NERR/ AUDSYNC*11	CAN1_NERR	I	PZ	I	I	I	Z	I
	AUDSYNC	O	PZ	O	O	O	Z	O
	PA4	I/O	PZ	I/O	I/O	I/O	Z	I/O
CAN1_RX/ AUDATA[3]*11	CAN1_RX	I	PZ	I	I	Z	Z	I
	AUDATA[3]	O	PZ	O	O	O	Z	O
	PA3	I/O	PZ	I/O	I/O	Z/O	Z	I/O
CAN1_TX/ AUDATA[1]*11	CAN1_TX	O	PZ	O	O	O	Z	O
	AUDATA[1]	O	PZ	O	O	O	Z	O
	PA2	I/O	PZ	I/O	I/O	I/O	Z	I/O
SSI0_SCK/ HAC_SD_IN0/ BS2*11	SSI0_SCK	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SD_IN0	I	PZ	I	I	Z	Z	I
	BS2	O	PZ	O	O	O	Z	O
	PB7	I/O	PZ	I/O	I/O	Z/O	Z	I/O
SSI0_WS/ HAC_SYNC0*11	SSI0_WS	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SYNC0	O	PZ	O	O	O	Z	O
	PB6	I/O	PZ	I/O	I/O	Z/O	Z	I/O
SSI0_SDATA/ HAC_SD_OUT0*11	SSI0_SDATA	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SD_OUT0	O	PZ	O	O	O	Z	O
	PB5	I/O	PZ	I/O	I/O	Z/O	Z	I/O

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
SSH1_SCK/ HAC_SD_IN1*11	SSH1_SCK	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SD_IN1	I	PZ	I	I	Z	Z	I
	PJ4	I/O	PZ	I/O	I/O	Z/O	Z	I/O
SSH1_SDATA/ HAC_SD_OUT1*11	SSH1_SDATA	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SD_OUT1	O	PZ	O	O	O	Z	O
	PJ3	I/O	PZ	I/O	I/O	Z/O	Z	I/O
SSH1_WS/ HAC_SYNC1*11	SSH1_WS	I/O	PZ	I	I/O	Z/O	Z	I/O
	HAC_SYNC1	O	PZ	O	O	O	Z	O
	PJ5	I/O	PZ	I/O	I/O	Z/O	Z	I/O
MFI-D0/ LCD_DATA0*11	PC7	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D0	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA0	O	PZ	O	O	O	Z	O
MFI-D1/ LCD_DATA1*11	PC6	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D1	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA1	O	PZ	O	O	O	Z	O
MFI-D2/ LCD_DATA2/ IRQ6*11	PC5	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D2	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA2	O	PZ	O	O	O	Z	O
	IRQ6	I	PZ	I	I	I	Z	I
MFI-D3/ LCD_DATA3/ IRQ7*11	PC4	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D3	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA3	O	PZ	O	O	O	Z	O
	IRQ7	I	PZ	I	I	I	Z	I
MFI-D4/ LCD_DATA4/ DREQ2*11	PC3	I/O	PZ	I/O	I/O	Z/O	Z	I/O
	MFI-D4	I/O	PZ	I/O	I/O	Z/O	Z	I/O
	LCD_DATA4	O	PZ	O	O	O	Z	O
	DREQ2	I	PZ	I	I	Z	Z	I
MFI-D5/ LCD_DATA5/ DRAK2/DACK2*11	PC2	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D5	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA5	O	PZ	O	O	O	Z	O
	DRAK2/DACK2	O	PZ	O	O	O	Z	O
MFI-D6/ LCD_DATA6/ DREQ3*11	PC1	I/O	PZ	I/O	I/O	Z/O	Z	I/O
	MFI-D6	I/O	PZ	I/O	I/O	Z/O	Z	I/O
	LCD_DATA6	O	PZ	O	O	O	Z	O
	DREQ3	I	PZ	I	I	Z	Z	I

付録

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
MFI-D7/ LCD_DATA7/ DRAK3/DACK3*11	PC0	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D7	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA7	O	PZ	O	O	O	Z	O
	DRAK3/DACK3	O	PZ	O	O	O	Z	O
MFI-D8/ LCD_DATA8*11	PD7	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D8	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA8	O	PZ	O	O	O	Z	O
MFI-D9/ LCD_DATA9*11	PD6	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D9	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA9	O	PZ	O	O	O	Z	O
MFI-D10/ LCD_DATA10*11	PD5	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D10	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA10	O	PZ	O	O	O	Z	O
MFI-D11/ LCD_DATA11*11	PD4	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D11	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA11	O	PZ	O	O	O	Z	O
MFI-D12/ LCD_DATA12*11	PD3	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D12	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA12	O	PZ	O	O	O	Z	O
MFI-D13/ LCD_DATA13*11	PD2	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D13	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA13	O	PZ	O	O	O	Z	O
MFI-D14/ LCD_DATA14*11	PD1	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D14	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA14	O	PZ	O	O	O	Z	O
MFI-D15/ LCD_DATA15*11	PD0	I/O	PZ	I/O	I/O	I/O	Z	I/O
	MFI-D15	I/O	PZ	I/O	I/O	I/O	Z	I/O
	LCD_DATA15	O	PZ	O	O	O	Z	O

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
MFI-INT/ LCD_CLK* ¹¹	MFI-INT	O	PZ	O	O	O	Z	O
	LCD_CLK	I	PZ	I	I	Z	Z	I
	PE7	I/O	PZ	I/O	I/O	Z/O	Z	I/O
MFI-CS/ LCD_DON* ¹¹	MFI-CS	I	PZ	I	I	I	Z	I
	LCD_DON	O	PZ	O	O	O	Z	O
	PE6	I/O	PZ	I/O	I/O	I/O	Z	I/O
MFI-E/ LCD_CL1* ¹¹	MFI-E	I	PZ	I	I	Z	Z	I
	LCD_CL1	O	PZ	O	O	O	Z	O
	PE5	I/O	PZ	I/O	I/O	Z/O	Z	I/O
MFI-MD/ LCD_CL2* ¹¹	MFI-MD	I	PZ	I	I	Z	Z	I
	LCD_CL2	O	PZ	O	O	O	Z	O
	PE4	I/O	PZ	I/O	I/O	Z/O	Z	I/O
MFI-RS/ LCD_M_DISP* ¹¹	MFI-RS	I	PZ	I	I	I	Z	I
	LCD_M_DISP	O	PZ	O	O	O	Z	O
	PE3	I/O	PZ	I/O	I/O	I/O	Z	I/O
MFI-RW/ LCD_FLM* ¹¹	MFI-RW	I	PZ	I	I	Z	Z	I
	LCD_FLM	O	PZ	O	O	O	Z	O
	PE2	I/O	PZ	I/O	I/O	Z/O	Z	I/O
HAC_RES* ¹¹	HAC_RES	O	PZ	O	O	O	Z	O
	PJ6	I/O	PZ	I/O	I/O	I/O	Z	I/O
HAC_BIT_CLK0* ¹¹	HAC_BIT_CLK0	I	PZ	I	I	Z	Z	I
	PJ7	I/O	PZ	I/O	I/O	Z/O	Z	I/O
VCPWC/IRQ4* ¹¹	IRQ4	I	PZ	I	I	I	Z	I
	VCPWC	O	L	L	O	O	Z	O
	PE1	I/O	PZ	I/O	I/O	I/O	Z	I/O
VEPWC/IRQ5* ¹¹	IRQ5	I	PZ	I	I	I	Z	I
	VEPWC	O	L	L	O	O	Z	O
	PE0	I/O	PZ	I/O	I/O	I/O	Z	I/O
I2C0_SCL(O/D)* ¹⁴		I/O	I	I	I/O	I/O	I/O	I/O
I2C0_SDA(O/D)* ¹⁴		I/O	I	I	I/O	I/O	I/O	I/O
I2C1_SCL(O/D)* ¹⁴		I/O	I	I	I/O	I/O	I/O	I/O
I2C1_SDA(O/D)* ¹⁴		I/O	I	I	I/O	I/O	I/O	I/O
HSPI_TX/ SIM_D/ MCDAT* ¹¹	HSPI_TX	I/O	PI	I	I/O	Z/O	Z	I/O
	SIM_D	I/O	PI	I	I/O	Z/O	Z	I/O
	MCDAT	I/O	PI	I	I/O	Z/O	Z	I/O
	PF3	I/O	PI	I/O	I/O	Z/O	Z	I/O

付録

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
HSPI_RX*11	HSPI_RX	I	PI	I	I	Z	Z	I
	PF2	I/O	PI	I/O	I/O	Z/O	Z	I/O
HSPI_CLK/ SIM_CLK/ MCCLK*11	HSPI_CLK	I/O	PI	I	I/O	Z/O	Z	I/O
	SIM_CLK	O	PZ	O	O	O	Z	O
	MCCLK	O	PZ	O	O	O	Z	O
HSPI_CS/ SIM_RST/ MCCMD*11	HSPI_CS	I/O	PI	I	I/O	Z/O	Z	I/O
	SIM_RST	O	PZ	O	O	O	Z	O
	MCCMD	I/O	PI	I	I/O	Z/O	Z	I/O
	PF0	I/O	PI	I/O	I/O	Z/O	Z	I/O
CMT_CTR0/ TCLK*11	CMT_CTR0	I/O	PI	I	I/O	Z/O	Z	I/O
	TCLK	I	PI	I	I	Z	Z	I
	PB4	I/O	PI	I/O	I/O	Z/O	Z	I/O
CMT_CTR1*11	CMT_CTR1	I/O	PI	I	I/O	Z/O	Z	I/O
	PB3	I/O	PI	I/O	I/O	Z/O	Z	I/O
CMT_CTR2*11	CMT_CTR2	I/O	PI	I	I/O	Z/O	Z	I/O
	PB2	I/O	PI	I/O	I/O	Z/O	Z	I/O
CMT_CTR3*11	CMT_CTR3	I/O	PI	I	I/O	Z/O	Z	I/O
	PB1	I/O	PI	I/O	I/O	Z/O	Z	I/O
SCIF0_CLK*11	SCIF0_CLK	I/O	PI	I	I/O	Z/O	Z	I/O
	PG7	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF0_RXD*11	SCIF0_RXD	I	PI	I	I	Z	Z	I
	PG6	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF0_TXD*11	SCIF0_TXD	O	PZ	Z	Z/O	Z/O	Z	Z/O
	PG5	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF1_CLK*11	SCIF1_CLK	I/O	PI	I	I/O	Z/O	Z	I/O
	PG4	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF1_CTS*11	SCIF1_CTS	I/O	PI	I	I/O	Z/O	Z	I/O
	PG3	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF1_RTS*11	SCIF1_RTS	I/O	PI	I	I/O	Z/O	Z	I/O
	PG2	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF1_RXD*11	SCIF1_RXD	I	PI	I	I	Z	Z	I
	PG1	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF1_TXD*11	SCIF1_TXD	O	PZ	Z	Z/O	Z/O	Z	Z/O
	PG0	I/O	PI	I/O	I/O	I/O	Z	I/O

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
SCIF2_CLK* ¹¹	SCIF2_CLK	I/O	PI	I	I/O	Z/O	Z	I/O
	PH7	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF2_CTS* ¹¹	SCIF2_CTS	I/O	PI	I	I/O	Z/O	Z	I/O
	PH6	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF2_RTS* ¹¹	SCIF2_RTS	I/O	PI	I	I/O	Z/O	Z	I/O
	PH5	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF2_RXD* ¹¹	SCIF2_RXD	I	PI	I	I	Z	Z	I
	PH4	I/O	PI	I/O	I/O	I/O	Z	I/O
SCIF2_TXD* ¹¹	SCIF2_TXD	O	PZ	Z	Z/O	Z/O	Z	Z/O
	PH3	I/O	PI	I/O	I/O	I/O	Z	I/O
Reserved/AUDATA[3]* ¹¹	AUDATA[3]	O	PZ	O	O	O	Z	O
	PK7	I/O	PZ	I/O	I/O	I/O	Z	I/O
Reserved/AUDATA[2]* ¹¹	AUDATA[2]	O	PZ	O	O	O	Z	O
	PK6	I/O	PZ	I/O	I/O	I/O	Z	I/O
Reserved/AUDATA[1]* ¹¹	AUDATA[1]	O	PZ	O	O	O	Z	O
	PK5	I/O	PZ	I/O	I/O	I/O	Z	I/O
Reserved/AUDCK* ¹¹	AUDCK	O	PZ	O	O	O	Z	O
	PK4	I/O	PZ	I/O	I/O	I/O	Z	I/O
Reserved/AUDSYNC* ¹¹	AUDSYNC	O	PZ	O	O	O	Z	O
	PK3	I/O	PZ	I/O	I/O	I/O	Z	I/O
ADTRG/AUDATA[0]* ¹¹	ADTRG	I	PZ	I	I	Z	Z	I
	AUDATA[0]	O	PZ	O	O	O	Z	O
	PK2	I/O	PZ	I/O	I/O	Z/O	Z	I/O
AN0* ¹²		I	Z	Z	I/Z	Z	Z	I/Z
AN1* ¹²		I	Z	Z	I/Z	Z	Z	I/Z
AN2* ¹²		I	Z	Z	I/Z	Z	Z	I/Z
AN3* ¹²		I	Z	Z	I/Z	Z	Z	I/Z
UCLK* ¹¹	UCLK	I	PI	I	I	Z	Z	I
	PH2	I/O	PI	I/O	I/O	Z/O	Z	I/O
USB_PENC* ¹¹	USB_PENC	O	PZ	O	O	O	Z	O
	PH1	I/O	PZ	I/O	I/O	I/O	Z	I/O

信号名	端子機能名	I/O	リセット		スリープ	スタンバイ		バス種解放
			パワーオン	マニュアル		ソフトウェア	ハードウェア	
USB_OVC ^{*11}	USB_OVC	I	PI	I	I	Z	Z	I
	PH0	I/O	PI	I/O	I/O	Z/O	Z	I/O
USB_DP ^{*13}		I/O	O	I	I/O	I	O	I/O
USB_DM ^{*13}		I/O	O	I	I/O	I	O	I/O
HAC_BIT_CLK1 ^{*11}	HAC_BIT_CLK1	I	PZ	I	I	Z	Z	I
	PJ2	I/O	PZ	I/O	I/O	Z/O	Z	I/O
DCK ^{*11}	DCK	O	PZ	PZ/O	PZ/O	PZ/O	Z	PZ/O
	PJ1	O	PZ	O	O	O	Z	O

【記号説明】 I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス状態

PI : 入力 (チップ内部でプルアップ) 内蔵プルアップ抵抗によりプルアップされた入力

PZ : ハイインピーダンス状態 (チップ内部でプルアップ) 内蔵プルアップ抵抗によりプルアップ

【注】 *1 レジスタ設定 (BCR1.HIZCNT) により Z (I) または O (リフレッシュ)。

*2 リフレッシュ動作により変化。

*3 レジスタ設定 (BCR1.HIZMEM) により Z (I) または H (状態保持)。

*4 リフレッシュ設定時出力。

*5 レジスタ設定 (BCR1.OPUP) によりプルアップ。

*6 レジスタ設定 (BCR1.DPUP) によりプルアップ。

*7 内蔵プルアップ抵抗によりプルアップ。ただし、パワーオンリセット時のモード端子のプルアップとしては使用できません。SH-4 の外部でプルアップまたはプルダウンしてください。

*8 レジスタ設定 (STBCR2.STHZ) により Z または O。

*9 PFC レジスタの設定によりプルアップ (「第 24 章 ピンファンクションコントローラ (PFC)」を参照)。ただし、ハードウェアスタンバイでは PFC の設定は無効。

*10 PFC レジスタの設定によりハイインピーダンス (「第 24 章 ピンファンクションコントローラ (PFC)」を参照)。

*11 PFC レジスタの設定によりプルアップ、およびマルチプレクスされた IP モジュールの機能を選択 (「第 24 章 ピンファンクションコントローラ (PFC)」を参照)。ただし、ハードウェアスタンバイでは PFC の設定は無効。選択した IP モジュールの入出力制御は各 IP モジュールの章を参照。また、GPIO 機能の選択と GPIO の入出力制御は GPIO レジスタの設定による (「第 24 章 ピンファンクションコントローラ (PFC)」を参照)。

*12 ADC のレジスタ設定に依存、デフォルト時はハイインピーダンス。

*13 USB 未使用時は端子をプルダウンしてください。

*14 オープンドレイン端子のため L 出力のみ。I²C 未使用時は端子をプルアップしてください。

*15 リフレッシュ、DMAC の動作により変化。

*16 レジスタ設定 (FRQCR.CKOEN) により Z または O。

C.2 未使用端子の処理

- PLL1を使用しない場合

$V_{DD-PLL1}$: 電源

$V_{SS-PLL1}$: 電源

- PLL2を使用しない場合

$V_{DD-PLL2}$: 電源

$V_{SS-PLL2}$: 電源

- PLL3を使用しない場合

$V_{DD-PLL3}$: 電源

$V_{SS-PLL3}$: 電源

- 内蔵水晶発振器を使用しない場合

XTAL : 何も接続しない

V_{DD-CPG} : 電源

V_{SS-CPG} : 電源

- I²Cを使用しない場合

I2C0_SCL : 外部でプルアップしてください

I2C0_SDA : 外部でプルアップしてください

I2C1_SCL : 外部でプルアップしてください

I2C1_SDA : 外部でプルアップしてください

- USBを使用しない場合

USB_DP : 外部でプルダウンしてください

USB_DM : 外部でプルダウンしてください

USB_PENC : 外部でプルアップしてください

$\overline{\text{USB_OVC}}$: 外部でプルアップしてください

UCLK : 外部でプルアップしてください

- ADCを使用しない場合

AV_{CC-ADC} : 電源

AV_{SS-ADC} : 電源

AN0 ~ AN3 : 外部でプルダウンしてください

- ハードウェアスタンバイを使用しない場合

CA : 外部でプルアップ*してください。

【注】 * 他の信号からの影響を単独で受けたくない、単独でプルアップしてください。他の未使用端子についても単独に処理することを推奨します。

D. シンクロナス DRAM のアドレスマルチプレクス表

(1) BUS 32 (16M : 512k × 16b × 2) × 2*
 AMX 0 AMXEXT 0 16M, column-addr-8bit 4MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A14				
A13	A21	A21	A11	BANK はバンクアドレスを選択
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(2) BUS 32 (16M : 512k × 16b × 2) × 2*
 AMX 0 AMXEXT 1 16M, column-addr-8bit 4MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A14				
A13	A20	A20	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(3) BUS 32 (16M : 1M × 8b × 2) × 4*
 AMX 1 AMXEXT 0 16M, column-addr-9bit 8MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A14				
A13	A22	A22	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(4) BUS 32 (16M : 1M×8b×2) × 4*
 AMX 1 AMXEXT 1 16M, column-addr-9bit 8MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A14				
A13	A21	A21	A11	BANK はバンクアドレスを選択
A12	A22	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

付録

(5) BUS 32 (64M : 1M × 16b × 4) × 2*
 AMX 2 64M, column-addr-8bit 16MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A16				
A15	A23	A23	A13	BANK はバンクアドレスを選択
A14	A22	A22	A12	
A13	A21	0	A11	アドレスプリチャージ設定
A12	A20	H/L	A10	
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(6) BUS 32
AMX 3

(64M : 2M × 8b × 4) × 4*
64M, column-addr-9bit

32MB

	SH7760 アドレス端子		シンクロナス DRAM アドレス端子	機 能
	RAS サイクル	CAS サイクル		
A16				
A15	A24	A24	A13	BANK はバンクアドレスを選択
A14	A23	A23	A12	
A13	A22	0	A11	アドレスプリチャージ設定
A12	A21	H/L	A10	
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

付録

(7) BUS 32 (64M : 512k × 32b × 4) × 1*
 AMX 4 64M, column-addr-8bit 8MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A15				
A14	A22	A22	A12	BANK はバンクアドレスを選択
A13	A21	A21	A11	
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(8) BUS 32 (64M : 1M × 32b × 2) × 1*
 AMX 5 64M, column-addr-8bit 8MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A15				
A14	A22	A22	A12	BANK はバンクアドレスを選択
A13	A21	0	A11	
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

付録

(9) BUS 32 (64M : 4M×4b×4) × 8*
 (128M : 4M×8b×4) × 4
 AMX 6 AMXEXT 0 64M, column-addr-10bit 64MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A15	A25	A25	A13	BANK はバンクアドレスを選択
A14	A24	A24	A12	
A13	A23	0	A11	
A12	A22	H/L	A10	アドレスプリチャージ設定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	未使用			
A0	未使用			

(10) BUS 32
AMX 6

(256M : 4M × 16b × 4) × 2*
AMXEXT 1

256M, column-addr-9bit

64MB

	SH7760 アドレス端子		シンクロナス DRAM	機 能
	RAS サイクル	CAS サイクル	アドレス端子	
A16	A25	A25	A14	BANK はバンクアドレスを選択
A15	A24	A24	A13	
A14	A23	0	A12	
A13	A22	0	A11	
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

付録

(11) BUS 32 (16M : 256k × 32b × 2) × 1*
 AMX 7 16M, column-addr-8bit 2MB

	SH7760 アドレス端子		シンクロナス DRAM アドレス端子	機 能
	RAS サイクル	CAS サイクル		
A13				
A12	A20	A20	A10	BANK はバンクアドレスを選択
A11	A19	H/L	A9	アドレスプリチャージ設定
A10	A18	0	A8	アドレス
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

【注】 * シンクロナス DRAM の構成例

E. 命令のプリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 20 バイト領域にプログラムを配置しないでください。もし、その領域にプログラムを配置した場合、メモリエリアを超えて、命令の先読みのためのバスアクセスが発生する場合があります。以下にこれが問題となるケースを示します。

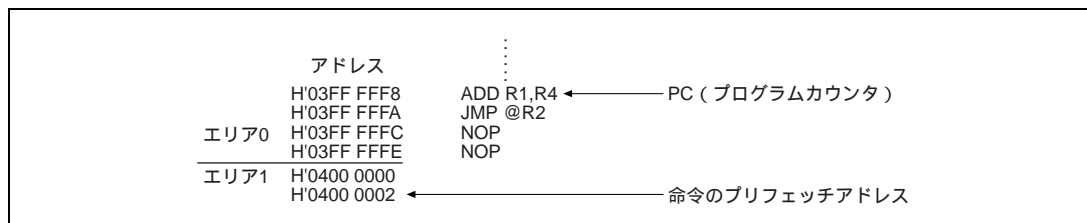


図 E.1 命令のプリフェッチ

図 E.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ない、エリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終20バイトの領域にプログラムを配置しないことで、回避することが可能です。

F. 電源投入遮断手順について

F.1 電源投入時の規定

1. I/O、CPGの電源は、電源VDDQと同じタイミングで投入してください。
2. 電源VDDQを投入後または同時に、信号線 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 、MD0 ~ MD10、外部クロックなど) の入力を行ってください。電源VDDQを投入する前に信号線に入力を与えると、製品が破壊する可能性があります。
 - 電源VDDQの投入時には、 $\overline{\text{RESET}}$ 信号をLowレベルにしてください。
3. PLL1、PLL2、PLL3回路の異常発振を回避するため、電源VDDQの電圧が2Vに達するまでは電源VDDの電圧が $VDD < 1.2V$ となるように電源を投入してください。
4. 電源の投入は、電源VDDQを先、電源VDDを後に行うことを推奨します。
5. 上記1. ~4. に加えてF.3の規定に従ってください。さらに
 - 本LSI 単体の場合、電源VDDQおよび電源VDDの電源投入シーケンスに時間的制約はありません。図F.1を参照ください。なお、電源投入はできるだけ短い時間に行うことを推奨します。
 - 本LSIが実装ボード等で他の素子と結線されている場合、 $-0.3V < V_{in} < VDDQ+0.3V$ に従ってください。また図F.2に示すように、電源VDDQおよび電源VDDのどちらか一方が $VDDQ = 1.0V$ 、 $VDD = 0.5V$ となったときから本LSIの動作保証電圧範囲の最小電圧値{ $VDDQ(\min)$ 、 $VDD(\min)$ }以上に2電源とも上昇するまでの制約時間{電源投入時の状態不定期間}は $tpwu < 100ms(\max)$ です。これを超えた場合は製品が破壊される可能性があります。
なお、電源投入はできるだけ短い時間に行うことを推奨します。

F.2 電源遮断時の規定

1. I/O、CPGの電源は、電源VDDQと同じタイミングで遮断してください。
2. 信号線 ($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$) 電源遮断時のタイミング規定はありません。
3. 信号線($\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$)以外の入力信号線のレベルは電源VDDQ と同じシーケンスで遮断してください。
4. 電源の遮断は、電源VDD を先、電源VDDQ を後に行うことを推奨します。
5. 上記1. ~4. に加えて「F.3 電源投入時、遮断時共通の規定」の規定に従ってください。さらに
 - 本LSI単体の場合、電源VDDQおよび電源VDD の電源遮断シーケンスに時間的制約はありません。図F.1を参照ください。なお、電源遮断はできるだけ短い時間に行うことを推奨します。
 - 本LSIが実装ボード等で他の素子と結線されている場合、 $-0.3V < V_{in} < VDDQ+0.3V$ に従ってください。また図F.2に示すように、電源VDDQおよび電源VDDのどちらか一方が本LSIの動作保証電圧範囲の最小電圧値{ $VDDQ(\min)$ 、 $VDD(\min)$ }より下降したときから $VDDQ < 1.0V$ 、 $VDD < 0.5V$ に2電源とも下降するまでの制約時間は{電源遮断時の状態不定期間}は $tpwp < 150ms(\max)$ です。これを超えた場合は製品が破壊される可能性があります。
なお、電源投入はできるだけ短い時間に行うことを推奨します。

F.3 電源投入時、遮断時共通の規定

1. 常時 $VDDQ = VDD-CPG = AVCC-ADC$ としてください。
2. 常時 $VDD = VDD-PLL1 = VDD-PLL2 = VDD-PLL3$ としてください。
3. $-0.3V < VDD < VDDQ + 0.3V$ としてください。
4. $VSS = VSSQ = VSS-PLL1 = VSS-PLL2 = VSS-CPG = AVSS-ADC = GND[0V]$ としてください。

以上 1. ~4. の条件を満足しない場合、製品が破壊される可能性があります。

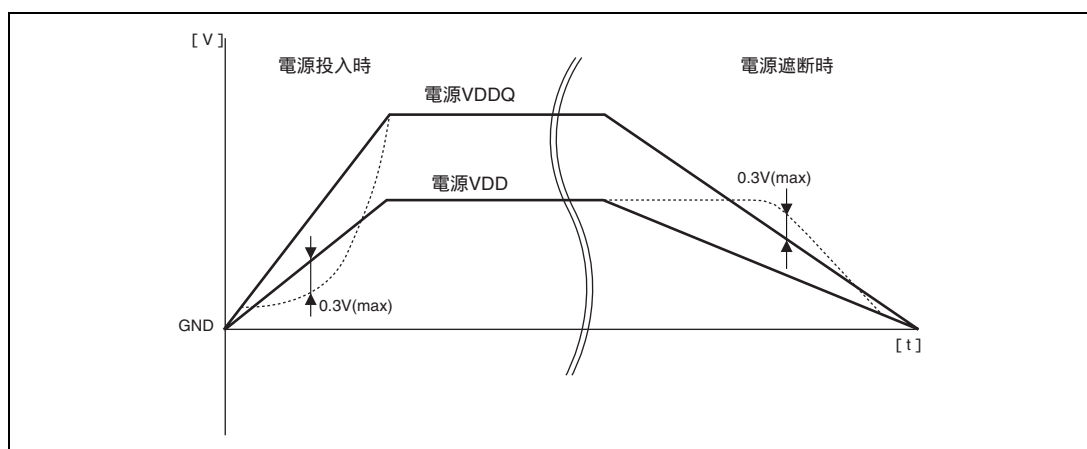


図 F.1 電源シーケンス (1)

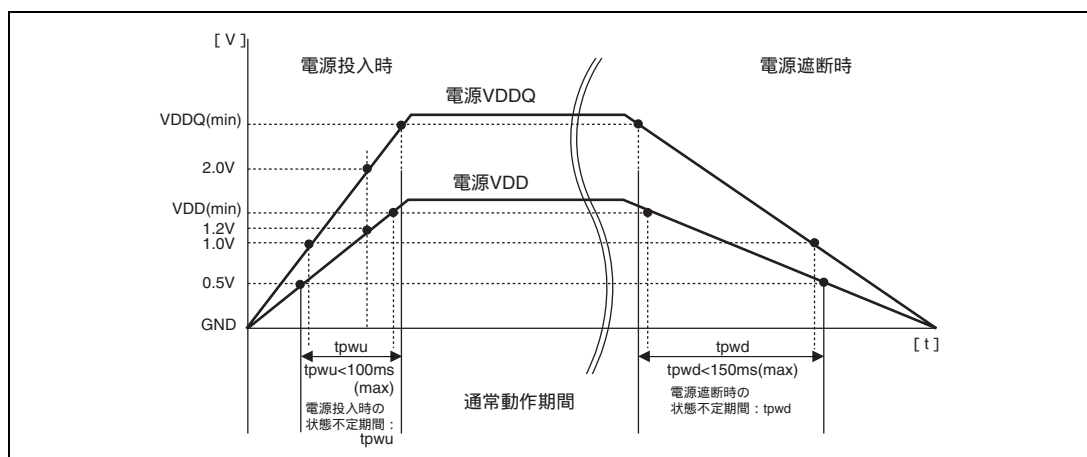


図 F.2 電源シーケンス (2)

G. 型名一覧

表 G.1 SH7760 型名一覧

グループ	電圧	動作周波数	動作温度範囲	製品型名*	パッケージ	
SH7760	1.5V	200MHz	-20 ~ 75	HD6417760BL200A	BGA256 ピン (BP-256B)	
				HD6417760BL200AV		
			-40 ~ 85	HD6417760BL200AD		BGA256 ピン (BP-256F)
				HD6417760BL200ADV		
				HD6417760BP200AD		
				HD6417760BP200ADV		

【注】 * すべて鉛フリー対応可。鉛フリー対応製品は製品型名の最後に"V"が付きます。

H. バージョンレジスタ

製品バージョンレジスタに関するレジスタ構成を以下に示します。

表 H.1 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'0405 01xx	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'0000 05xx	H'FF00 0044	H'1F00 0044	32

【記号説明】x：不定

(1) プロセッサバージョンレジスタ (PVR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値：	0	0	0	0	0	0	0	1	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-

(2) プロダクトレジスタ (PRR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値：	0	0	0	0	0	1	0	1	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-

索引

【数字 / 略語】

68系バスAC特性	33-61
68系8ビットパラレルインタフェース	27-15
80系バスAC特性	33-62
80系8ビットパラレルインタフェース	27-16

【A】

A/D変換器特性	33-70
A/D変換器 (ADC)	29-1
A/D変換時間	29-15
AC97フレームのスロット構成	25-17
AC特性測定条件	33-71

【C】

CANインタフェース	22-4
CKIOクロック出力タイミング	33-6
CMTモジュール信号タイミング	33-52
CPUインタフェース (MPI)	22-3

【D】

DCKクロック出力タイミング	33-7
DMA AUDIO強制終了	11-83
DMA AUDIO強制終了および再開手順	11-84
DMA AUDIO受信動作	11-80
DMA AUDIO送信動作	11-80
DMABRGのブロック図	11-3
DMABRGのリセット	11-78
DMABRGモード	11-17, 11-50, 11-77
DMABRGリクエスト	11-78
DMAC転送フローチャート	11-38
DMACモジュール信号タイミング	33-47
DMAC割り込み要求コード	11-75
DMA転送	11-43
DMA転送終了	11-72
DMA転送要求 (オートリクエストモード)	11-39
DMA転送要求 (外部リクエストモード)	11-39
DMA転送要求 (周辺モジュールリクエストモード)	11-40
DMA転送が正しく実行されない場合の確認方法	11-94

DREQ端子のサンプリングタイミング	11-51
--------------------	-------

【E】

EXTALクロック入力タイミング	33-6
------------------	------

【F】

FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)	17-1
FPUシステム制御命令	5-22
FPU例外	8-25
FPU例外要因	3-9

【G】

GPIO信号タイミング	33-53
-------------	-------

【H】

HAC/SSIのエンディアン変換機能	11-86
HACインタフェースモジュール信号タイミング	33-67
HCAN2メモリマップ	22-5
HCAN2モジュール信号タイミング	33-53
HcRhDescriptorAの設定に関する制約	21-35
HSPIソフトリセット	23-14
HSPIモジュール信号タイミング	33-56
H-UDIモジュール信号タイミング	33-50
H-UDIRリセット	8-13, 28-15
H-UDI割り込み	28-15

【I】

I ² Cバスインタフェース	19-1
ICアドレスアレイ	7-15, 7-19
ICインデックスモード	7-14
ICデータアレイ	7-16, 7-20
I ² Cバスインタフェースモジュール信号タイミング	33-55
INTCモジュール信号タイミング	33-47
IRL割り込み	8-26, 9-12
IRQ割り込み	8-28, 9-12
ITLBアドレスアレイ	6-28
ITLBデータアレイ1	6-29
ITLBデータアレイ2	6-30

【L】

LCDCのDMA転送フロー	11-88
LCDCモジュール信号タイミング	33-66
LCDコントローラ (LCD)	30-1

【M】

MFIモード / LCDモードで機能が変化する端子	1-18
MFI用内蔵RAM (MFRAM)	27-1, 27-17
MMCIFモジュール信号タイミング	33-64
MMCIF割り込み要因	26-51
MMUのソフトウェア管理	6-20
MMUのハードウェア管理	6-20

【N】

NMI割り込み	8-25, 9-12
---------	------------

【O】

OCアドレスアレイ	7-17, 7-21
OCインデックスモード	7-11
OCデータアレイ	7-18, 7-22

【R】

RAMモード	7-10
RTE命令	8-8

【S】

SCIFモジュール信号タイミング	33-48
SCIF割り込み要因	17-48
SH7760の端子の配置表	1-10
SH7760のピン配置図	1-9
SH7760のブロック図	1-8
SIMカードモジュール (SIM)	18-1
SIMモジュール信号タイミング	33-64
SSIインタフェースモジュール信号タイミング	33-68

【T】

TAP制御	28-14
TLBロード命令 (LDTLB)	6-20
TMUの割り込み要因	15-11
TMUモジュール信号タイミング	33-48

【U】

USBアドレスエラー割り込み要求 (DMABRGIO)	11-93
-----------------------------	-------

USBのエンディアン変換機能	11-90
USBホスト (USB)	21-1
USBホストのデータ格納フォーマット	21-34
UTLBアドレスアレイ	6-30
UTLBデータアレイ1	6-31
UTLBデータアレイ2	6-32

【あ】

圧縮モード	20-23
アドレスマルチプレクス	付録-14
アドレス空間識別子 (ASID)	6-7, 6-15
アドレッシングモード	4-3
アナログ電圧の設定範囲	29-17
一般FPU抑止例外	8-23
一般不当命令例外	8-21
インターバルタイマモード	13-7
インプットキャプチャ機能	15-10
ウォッチドッグタイマ (WDT)	13-1
ウォッチドッグタイマモード	13-7
液晶モジュール電源状態	30-35
オーディオコーデックインタフェース (HAC)	25-1
オートリロードカウンタ動作	15-9
オートリロード機能	11-83, 15-8
オフセット誤差	29-16
オペランドアクセスサイクルブレイク	31-14
音声データのダブルバッファ制御	11-86

【か】

外形寸法図	付録-1
外部トリガ入力タイミング	29-15
外部リクエスト2チャンネルモード	11-16, 11-49, 11-54, 11-55, 11-56, 11-57, 11-58, 11-60, 11-76
書き込みデータを伴うコマンド	26-43
仮想アドレス空間	6-5
仮想記憶方式	6-1
キャッシュ	7-1
キャッシュの特長	7-1
共用TLB (UTLB) の構成	6-14
グラフィクス強化命令	5-22
クロック・制御信号タイミング	33-5
クロック同期式モード	17-1, 17-11, 17-28, 17-39
クロック発振器 (CPG)	12-1
固定小数点算術命令	5-17
固定小数点転送命令	4-7
コマンドとCMDTYR、RSPTYRの設定	26-9

コマンドレスポンスバイト数とRSPRレジスタの 対応	26-12
コマンドレスポンスを要しないコマンドの動作	26-30
コントローラエリアネットワーク2 (HCAN2)	22-1
コントロールレジスタ	2-6

【さ】

算術演算命令	4-8
システムレジスタ	2-8
システム制御命令	4-12, 5-19
実行サイクル	5-10, 5-16
シノニム問題	6-21
シフト命令	4-11, 5-18
周波数の変更方法	12-11
周辺モジュール割り込み	8-27, 9-14
受信FIFOデータフル割り込み (RXI)	17-48
受信エラー割り込み (ERI)	17-48
出力許容電流値	33-4
初期ページ書き込み例外	6-27, 8-16
シリアルサウンドインタフェース (SSI)	20-1
シリアルペリフェラルインタフェース (HSPI)	23-1
シングルモード	29-1, 29-9
シンクロナスDRAMのアドレスマルチプレクス表.. 付録-14	
スキャンモード	29-1, 29-12
ストアキュー (SQ)	7-23
ストアキューの特長	7-2
スマートカードインタフェース	18-17
スマートカードインタフェースでのレジスタ設定	18-19
スマートカードインタフェースの割り込み要因	18-25
スリープモード	14-1, 14-6
スロットFPU抑止例外	8-24
スロット不当命令例外	8-22
絶対最大定格	33-1
全数データ転送終了割り込み要求 (DMABRG1)	11-93
送信FIFOデータエンプティ割り込み (TXI)	17-48
相対アドレス型コマンドの動作	26-30
ソフトウェアスタンバイモード	14-1, 14-6, 29-19

【た】

タイマ/カウンタ (CMT)	16-1
タイマ16ビット: アウトプットコンペア	16-16
タイマ16ビット: インプットキャプチャ	16-16
タイマ32ビット: アウトプットコンペア	16-15
タイマ32ビット: インプットキャプチャ	16-14
タイマユニット (TMU)	15-1
タイムスタンプフィールド	22-10

ダイレクトメモリアクセスコントローラ (DMAC) ...	11-1
多機能インタフェース (MFI)	27-1
多重割り込み	9-20
単精度浮動小数点フォーマット	3-2
チャンネル優先順位 (固定モード)	11-40
チャンネル優先順位 (ラウンドロビンモード)	11-41
調歩同期式モード	17-1, 17-11, 17-28, 17-29
ディープスリープモード	14-1, 14-6
低消費電力状態	2-10
低消費電力モード	14-1
データTLB多重ヒット例外	6-24, 8-14
データTLB保護違反例外	6-26, 8-17
データTLBミス例外	6-25, 8-15
データアドレスエラー	8-19
データ転送命令	5-16
データ転送を伴わないコマンドの動作	26-32
電源制御シーケンス処理	30-31
特権モードとバンク	2-2

【は】

ハードウェアスタンバイモード	14-1, 14-8, 29-19
倍精度浮動小数点フォーマット	3-2
バイプラインストール	5-10
バイプライン動作	5-1
バウンダリスキャンTAPコントローラ	28-1, 28-4
バス権解放状態	2-10
バスモードとチャンネルの優先順位	11-50
パワーオンリセット	8-11
半数データ転送終了割り込み要求 (DMABRG2)	11-93
汎用レジスタ	2-5
非圧縮モード	20-14
非数 (NaN)	3-4
非正規化数	3-4
非直線性誤差	29-16
表示OFFモード (LCDC停止) の注意事項	30-35
表示解像度の設定	30-31
ピンファンクションコントローラ (PFC)	24-1
物理アドレス空間	6-3
浮動小数点グラフィック強化命令	4-16
浮動小数点制御命令	4-15
浮動小数点単精度命令	4-14
浮動小数点の範囲	3-3
浮動小数点倍精度命令	4-15
浮動小数点ユニット (FPU)	3-1
浮動小数点レジスタ	2-8, 3-5
フルセット誤差	29-16
ブ레이크割り込み (BRI)	17-48

ブロードキャスト型コマンドの動作.....	26-30
プログラミングモデル.....	2-1
プログラム実行状態.....	2-10
分岐命令.....	4-11, 5-19

【ま】

マスタ受信動作 (FIFOバッファモード)	19-32
マスタ受信動作 (シングルバッファモード)	19-30
マスタ送信動作 (FIFOバッファモード)	19-31
マスタ送信動作 (シングルバッファモード)	19-28
マニュアルリセット	8-12
マルチプレクスー覧表.....	24-1
マルチメディアカードインタフェース (MMCIF)	26-1
マルチモード	29-1, 29-11
丸め.....	3-8
未使用端子の処理.....	付録-13
無条件トラップ.....	8-21
命令TLB (ITLB) の構成.....	6-17
命令TLB多重ヒット例外.....	6-22, 8-13
命令TLB保護違反例外.....	6-24, 8-18
命令TLBミス例外.....	6-23, 8-15
命令アクセスサイクルブレイク.....	31-13
命令アドレスエラー.....	8-20
命令キャッシュ.....	7-14
命令セット.....	4-1
命令プリフェッチの副作用.....	付録-25
命令プリフェッチの副作用の回避方法.....	付録-25
メールボックス (MB0 ~ MB31)	22-6
メールボックスの再設定.....	22-53
メッセージコントロールフィールド.....	22-8
メッセージデータフィールド.....	22-10
メモリ上でのデータ形式.....	2-9
メモリマネジメントユニット (MMU)	6-1
モード端子の設定.....	付録-3
モジュールスタンバイ機能.....	14-1, 14-8

【や】

ユーザデバッグインタフェース (H-UDI)	28-1
ユーザブレイクコントローラ (UBC)	31-1
ユーザブレイクデバッグサポート機能.....	31-18
ユーザブレイクポイントトラップ.....	8-24
読み出しデータを伴うコマンド.....	26-35

【ら】

ライトスルーバッファ.....	7-10
ライトバックバッファ.....	7-10

リセット、低消費電力状態、バス解放状態での 端子状態.....	付録-5
リセット状態.....	2-10
リトルエンディアン設定時のレジスタアクセス.....	26-55
量子化誤差.....	29-16
例外処理.....	8-1
例外処理からの復帰.....	8-8, 8-29
例外処理状態.....	2-10
例外処理ベクタアドレス.....	8-2

レジスタ

ADCSR	29-6, 32-16, 32-55, 32-72
ADDRA	29-5, 32-16, 32-55, 32-72
ADDRB	29-5, 32-16, 32-55, 32-72
ADDRC	29-5, 32-16, 32-55, 32-72
ADDRD	29-5, 32-16, 32-55, 32-72
BAMRA	31-5, 31-12, 32-16, 32-56, 32-72
BAMRB	31-6, 31-12, 32-16, 32-57, 32-72
BARA	31-4, 31-12, 32-16, 32-56, 32-72
BARB	31-4, 31-12, 32-16, 32-57, 32-72
BASRA.....	31-5, 32-16, 32-56, 32-72
BASRB.....	31-5, 32-16, 32-57, 32-72
BBRA	31-7, 32-16, 32-57, 32-72
BBRB	31-8, 32-16, 32-57, 32-73
BCR1	32-2, 32-21, 32-58
BCR2	32-2, 32-21, 32-58
BCR3	32-2, 32-21, 32-58
BCR4	32-3, 32-21, 32-58
BDMRB.....	31-9, 31-12, 32-17, 32-57, 32-73
BDRB	31-9, 31-12, 32-17, 32-57, 32-73
BRCR.....	31-10, 32-17, 32-57, 32-73
CANABACK0	22-39, 32-9, 32-42, 32-65
CANABACK1	22-38, 32-9, 32-42, 32-65
CANBCR0.....	22-27, 32-9, 32-41, 32-65
CANBCR1.....	22-25, 32-9, 32-41, 32-65
CANGSR	22-23, 32-9, 32-41, 32-65
CANIMR.....	22-33, 32-9, 32-41, 32-65
CANIRR	22-29, 32-9, 32-41, 32-65
CANMBIMR0	22-42, 32-9, 32-42, 32-65
CANMBIMR1	22-42, 32-9, 32-42, 32-65
CANMCR	22-20, 32-9, 32-41, 32-65
CANRFPFR0	22-41, 32-9, 32-42, 32-65
CANRFPFR1	22-41, 32-9, 32-42, 32-65
CANRXPR0	22-40, 32-9, 32-42, 32-65
CANRXPR1	22-40, 32-9, 32-42, 32-65
CANTCMR.....	22-46, 32-42, 32-66
CANTCNTR.....	22-44, 32-42, 32-65
CANTCR	22-44, 32-42, 32-65

CANTECREC.....	22-33, 32-9, 32-41, 32-65
CANTXACK0	22-38, 32-9, 32-42, 32-65
CANTXACK1	22-37, 32-9, 32-41, 32-65
CANTXCR0.....	22-37, 32-9, 32-41, 32-65
CANTXCR1.....	22-36, 32-9, 32-41, 32-65
CANTXPR0.....	22-35, 32-9, 32-41, 32-65
CANTXPR1.....	22-35, 32-9, 32-41, 32-65
CANUMSR0.....	22-43, 32-9, 32-42, 32-65
CANUMSR1.....	22-43, 32-9, 32-42, 32-65
CCR	7-5, 7-10, 32-2, 32-18, 32-58
CHCR.....	11-10, 11-72, 32-3, 32-22, 32-59
CHCR0.....	32-3
CLKON.....	26-26, 32-14, 32-53, 32-70
CLKSTP00.....	14-5, 16-19, 22-55, 23-15, 25-26, 32-5, 32-28, 32-61
CLKSTPCLR00.	14-5, 16-19, 23-15, 25-26, 32-5, 32-29, 32-61
CMDR	26-11
CMDR0	32-14, 32-52, 32-70
CMDR1	32-14, 32-52, 32-70
CMDR2	32-14, 32-52, 32-70
CMDR3	32-14, 32-52, 32-70
CMDR4	32-14, 32-52, 32-70
CMDR5	32-14, 32-52, 32-70
CMDSTRT.....	26-13, 32-14, 32-52, 32-70
CMDTYR.....	26-7, 32-14, 32-53, 32-70
CMTCFG.....	16-5, 32-5, 32-30, 32-61
CMTCH0C.....	16-12, 32-5, 32-30, 32-61
CMTCH0ST	16-12, 32-5, 32-30, 32-61
CMTCH0T.....	16-11, 32-5, 32-30, 32-61
CMTCH1C.....	16-12, 32-5, 32-31, 32-61
CMTCH1ST	16-12, 32-5, 32-31, 32-61
CMTCH1T.....	16-11, 32-5, 32-30, 32-61
CMTCH2C.....	16-12, 32-6, 32-31, 32-61
CMTCH2ST	16-12, 32-6, 32-31, 32-61
CMTCH2T.....	16-11, 32-6, 32-31, 32-61
CMTCH3C.....	16-12, 32-6, 32-31, 32-62
CMTCH3ST	16-12, 32-6, 32-31, 32-62
CMTCH3T.....	16-11, 32-6, 32-31, 32-62
CMTCTL.....	16-8, 32-5, 32-30, 32-61
CMTFRT	16-8, 32-5, 32-30, 32-61
CMTIRQS.....	16-10, 32-5, 32-30, 32-61
CSTR	26-18, 32-14, 32-52, 32-70
CTOCR	26-16, 32-14, 32-53, 32-70
DAR.....	11-9, 32-3, 32-22, 32-59
DAR0.....	32-3
DBR.....	2-7
DCKDR	12-3, 12-9, 32-5, 32-28, 32-61
DMAACR	11-30, 11-33, 11-83, 32-4, 32-26, 32-60
DMAARXDAR.....	11-29, 32-4, 32-26, 32-60
DMAARXCNT.....	11-33, 32-4, 32-27, 32-60
DMAARXTCR.....	11-30, 11-33, 11-83, 32-4, 32-26, 32-60
DMAATXSAR	11-29, 32-4, 32-26, 32-60
DMAATXCNT.....	11-33, 32-4, 32-27, 32-60
DMAATXTCR.....	11-29, 11-33, 11-83, 32-4, 32-26, 32-60
DMABRGCR.....	11-26, 32-4, 32-26, 32-60
DMACR.....	26-28, 32-15, 32-53, 32-71
DMAOR.....	11-18, 11-20, 11-72, 11-73, 32-4, 32-25, 32-60
DMAPCR	11-5, 11-23, 24-33, 32-12, 32-48, 32-68
DMARCR	11-23, 32-4, 32-26, 32-60
DMARSRA.....	11-20, 32-4, 32-26, 32-60
DMARSRB.....	11-20, 32-4, 32-26, 32-60
DMATCR	11-10, 11-72, 32-3, 32-22, 32-59
DMATCR0	32-3
DMAUCR	11-36, 11-90, 32-5, 32-28, 32-60
DMAUDAR.....	11-34, 32-5, 32-28, 32-60
DMAURWSZ.....	11-35, 32-5, 32-28, 32-60
DMAUSAR.....	11-34, 32-5, 32-28, 32-60
DR.....	26-26, 32-15, 32-53, 32-71
DTOUTR	26-17, 32-15, 32-53, 32-71
EXPEVT.....	8-9, 32-2, 32-19, 32-58
FIFOCLR	26-28, 32-15, 32-53, 32-71
FPSCR.....	2-8, 3-7
FPUL.....	2-8, 3-8
FRQCR.....	12-3, 12-5, 12-7, 32-5, 32-28, 32-61, 付録-3
GBR	2-7
GPIOIC	24-24, 32-13, 32-49, 32-69
HACACR.....	25-16, 25-19, 32-14, 32-51, 32-70
HACCR.....	25-5, 32-13, 32-50, 32-69
HACCSAR	25-6, 32-13, 32-50, 32-69
HACCSDR	25-8, 32-13, 32-50, 32-69
HACPCML	25-9, 32-13, 32-50, 32-69
HACPCML (16ビットバクトDMAモード)	25-9
HACPCMR.....	25-10, 32-13, 32-50, 32-70
HACRIER.....	25-13, 32-14, 32-50, 32-70
HACRSR.....	25-14, 32-14, 32-51, 32-70
HACTIER	25-11, 32-13, 32-50, 32-70
HACTSR	25-12, 32-14, 32-50, 32-70
HcBulkCurrentED	21-17, 32-8, 32-39, 32-64
HcBulkHeadED.....	21-16, 32-8, 32-39, 32-64
HcCommandStatus	21-8, 32-8, 32-38, 32-64

HcControl	21-5, 32-8, 32-38, 32-64	INTEVT	8-9, 9-14, 28-15, 32-2, 32-19, 32-58
HcControlCurrentED	21-16, 32-8, 32-39, 32-64	INTMSK00	9-10, 32-2, 32-20, 32-58
HcControlHeadED	21-15, 32-8, 32-39, 32-64	INTMSK04	9-10, 32-2, 32-20, 32-58
HcDoneHead	21-17, 32-8, 32-40, 32-64	INTMSKCLR00	9-11, 32-2, 32-20, 32-58
HcFmInterval	21-18, 32-9, 32-40, 32-64	INTMSKCLR04	9-11, 32-2, 32-20, 32-58
HcFmNumber	21-19, 32-9, 32-40, 32-65	INTPRI00	9-6, 32-2, 32-19, 32-58
HcFmRemaining	21-19, 32-9, 32-40, 32-64	INTPRI04	9-6, 32-2, 32-20, 32-58
HcHCCA	21-14, 32-8, 32-39, 32-64	INTPRI08	9-6, 32-2, 32-20, 32-58
HcInterruptDisable	21-13, 32-8, 32-39, 32-64	INTPRI0C	9-6, 32-2, 32-20, 32-58
HcInterruptEnable	21-12, 32-8, 32-39, 32-64	INTREQ00	9-8, 32-2, 32-20, 32-58
HcInterruptStatus	21-10, 32-8, 32-39, 32-64	INTREQ04	9-8, 32-2, 32-20, 32-58
HcLSThreshold	21-21, 32-9, 32-40, 32-65	INTSTR	26-21
HcPeriodCurrentED	21-15, 32-8, 32-39, 32-64	INTSTR0	32-14, 32-52, 32-70
HcPeriodicStart	21-20, 32-9, 32-40, 32-65	INTSTR1	32-14, 32-52, 32-70
HcRevision	21-5, 32-8, 32-38, 32-64	INTSTR2	32-15, 32-53, 32-71
HcRhDescriptor A	21-21	IPRA	9-5, 32-2, 32-19, 32-58
HcRhDescriptor B	21-23	IPRB	9-5, 32-2, 32-19, 32-58
HcRhDescriptorA	32-9, 32-40, 32-65	IPRC	9-5, 32-2, 32-19, 32-58
HcRhDescriptorB	32-9, 32-40, 32-65	IPRD	9-5, 32-2, 32-19, 32-58
HcRhPortStatus1	21-27, 32-9, 32-41, 32-65	IPSELR	24-34, 32-12, 32-48, 32-68
HcRhStatus	21-24, 32-9, 32-40, 32-65	LDACLNR	30-20, 30-31, 32-16, 32-56, 32-72
ICCCR	19-15, 32-7, 32-34, 32-63	LDCNTR	30-24, 30-31, 32-16, 32-56, 32-72
ICFCR	19-18, 32-7, 32-35, 32-63	LDDFR	30-9, 32-16, 32-55, 32-72
ICFIER	19-21, 32-7, 32-35, 32-63	LDHCNR	30-15, 30-31, 32-16, 32-56, 32-72
ICFSR	19-19, 19-24, 32-7, 32-35, 32-63	LDHSYNR	30-16, 30-31, 32-16, 32-56, 32-72
ICMAR	19-14, 32-7, 32-35, 32-63	LDICKR	30-5, 32-16, 32-55, 32-72
ICMCR	19-9, 32-7, 32-34, 32-63	LDINTR	30-20, 30-31, 32-16, 32-56, 32-72
ICMIER	19-13, 32-7, 32-34, 32-63	LDLAOR	30-13, 32-16, 32-56, 32-72
ICMSR	19-11, 32-7, 32-34, 32-63	LDMTR	30-6, 32-16, 32-55, 32-72
ICR	9-7, 32-2, 32-19, 32-58	LDPALCR	30-14, 32-16, 32-56, 32-72
ICRFDR	19-22, 32-7, 32-35, 32-63	LDPMMR	30-21, 30-31, 32-16, 32-56, 32-72
ICRXD	32-7, 32-35, 32-63	LDPR	30-14, 32-16, 32-56, 32-72
ICRXD (FIFOバッファモード)	19-17	LDPSPR	30-23, 30-31, 32-16, 32-56, 32-72
ICRXD (シングルバッファモード)	19-16	LDSARL	30-12, 32-16, 32-55, 32-72
ICSAR	19-9, 32-7, 32-35, 32-63	LDSARU	30-11, 32-16, 32-55, 32-72
ICSCR	19-5, 32-7, 32-34, 32-63	LDSMR	30-10, 32-16, 32-55, 32-72
ICSIER	19-8, 32-7, 32-34, 32-63	LDVDLNR	30-17, 30-31, 32-16, 32-56, 32-72
ICSSR	19-6, 32-7, 32-34, 32-63	LDVSYNR	30-19, 30-31, 32-16, 32-56, 32-72
ICTFDR	19-22, 32-7, 32-35, 32-63	LDVTLNR	30-18, 30-31, 32-16, 32-56, 32-72
ICTXD	32-7, 32-35, 32-63	MACH	2-8
ICTXD (FIFOバッファモード)	19-17	MACL	2-8
ICTXD (シングルバッファモード)	19-16	MCKCR	12-3, 12-10, 32-5, 32-28, 32-61
INPUPA	24-32, 32-12, 32-48, 32-68	MCR	32-3, 32-21, 32-59
INTCR	26-19	MDPUPR	24-31, 32-13, 32-49, 32-69
INTCR0	32-14, 32-52, 32-70	MFIADR	27-12, 32-15, 32-54, 32-71
INTCR1	32-14, 32-52, 32-70	MFIDATA	27-13, 32-15, 32-54, 32-71
INTCR2	32-15, 32-53, 32-71	MFIEICR	27-11, 32-15, 32-54, 32-71

MFIGSR	27-7, 27-14, 27-16, 32-15, 32-54, 32-71	PTEL	6-9, 32-2, 32-18, 32-58
MFIDX	27-5, 27-14, 27-16, 32-15, 32-53, 32-71	PVR	付録-29
MFIICR	27-11, 32-15, 32-54, 32-71	QACR0	7-7, 32-2, 32-19, 32-58
MFIMCR	27-9, 32-15, 32-54, 32-71	QACR1	7-7, 32-2, 32-19, 32-58
MFISCR	27-7, 32-15, 32-54, 32-71	RDTIMSEL	32-15, 32-53, 32-71
MFRAM最後	32-15, 32-54, 32-71	RFCR	32-3, 32-22, 32-59
MFRAM先頭	32-15, 32-54, 32-71	RSPR	26-12, 32-71
MMUCR	4-3, 6-12, 32-2, 32-18, 32-58	RSPR0	32-14, 32-53
MODER	26-6, 32-14, 32-53, 32-70	RSPR1	32-14
MODSELR	24-37, 32-13, 32-49, 32-69	RSPR10	32-15
OPCR	26-14, 32-14, 32-52, 32-70	RSPR11	32-15
PACR	24-6, 32-13, 32-49, 32-69	RSPR12	32-15
PADR	24-19, 32-13, 32-49, 32-69	RSPR13	32-15
PAPUPR	24-26, 32-12, 32-48, 32-68	RSPR14	32-15
PBCR	24-7, 32-13, 32-49, 32-69	RSPR15	32-15
PBDR	24-19, 32-13, 32-49, 32-69	RSPR16	32-15
PBPUPR	24-26, 32-12, 32-48, 32-68	RSPR2	32-14
PC	2-8	RSPR3	32-15
PCCR	24-8, 32-13, 32-49, 32-69	RSPR4	32-15
PCDR	24-20, 32-13, 32-49, 32-69	RSPR5	32-15
PCPUPR	24-27, 32-12, 32-48, 32-68	RSPR6	32-15
PCR	32-3, 32-21, 32-59	RSPR7	32-15
PDCR	24-10, 32-13, 32-49, 32-69	RSPR8	32-15
PDDR	24-20, 32-13, 32-49, 32-69	RSPR9	32-15
PDPUPR	24-27, 32-13, 32-48, 32-69	RSPTYR	26-8, 32-14, 32-53, 32-70
PECR	24-11, 32-13, 32-49, 32-69	RTCNT	32-3, 32-22, 32-59
PEDR	24-21, 32-13, 32-49, 32-69	RTCOR	32-3, 32-22, 32-59
PEPUPR	24-28, 32-13, 32-48, 32-69	RTCSR	32-3, 32-22, 32-59
PFCR	24-12, 32-13, 32-49, 32-69	SAR	11-9, 32-3, 32-22, 32-59
PFDR	24-21, 32-13, 32-49, 32-69	SAR0	32-3
PFUPR	24-28, 32-13, 32-48, 32-69	SCBRR	17-20, 32-6, 32-32, 32-62
PGCR	24-13, 32-13, 32-49, 32-69	SCFCR	17-21, 32-6, 32-32, 32-62
PGDR	24-22, 32-13, 32-49, 32-69	SCFRDR	17-9, 17-49, 32-6, 32-32, 32-62
PGPUPR	24-29, 32-13, 32-48, 32-69	SCFSR	17-16, 32-6, 32-32, 32-62
PHCR	24-15, 32-13, 32-49, 32-69	SCFTDR	17-10, 17-49, 17-51, 32-6, 32-32, 32-62
PHDR	24-22, 32-13, 32-49, 32-69	SCIHZR	24-36, 32-12, 32-48, 32-68
PHPUPR	24-29, 32-13, 32-48, 32-69	SCLSR	17-26, 32-6, 32-32, 32-62
PJCR	24-16, 32-13, 32-49, 32-69	SCRER	17-27, 32-6, 32-32, 32-62
PJDR	24-23, 32-13, 32-49, 32-69	SCRFD	17-23, 32-6, 32-32, 32-62
PJPUPR	24-30, 32-13, 32-49, 32-69	SCRSR	17-9
PKCR	24-17, 32-13, 32-49, 32-69	SCSCR	17-13, 17-29, 32-6, 32-32, 32-62
PKDR	24-23, 32-13, 32-49, 32-69	SCSMR	17-11, 17-20, 17-28, 32-6, 32-32, 32-62
PKPUPR	24-30, 32-13, 32-49, 32-69	SCSPTR	17-24, 32-6, 32-32, 32-62
PR	2-8	SCTFDR	17-23, 32-6, 32-32, 32-62
PRR	付録-29	SCTSR	17-10
PTEA	6-10, 32-2, 32-18, 32-58	SDBPR	32-15
PTEH	6-9, 32-2, 32-18, 32-58	SDBSR	28-5, 28-6, 32-16

SDDR.....	32-55, 32-72
SDDR/SDDRH.....	32-15
SDDRH.....	28-12
SDDRL.....	28-12, 32-15
SDINT.....	28-13, 32-15, 32-55, 32-72
SDIR.....	28-12, 32-15, 32-55, 32-72
SDMR2.....	32-3, 32-22, 32-59
SDMR3.....	32-3, 32-22, 32-59
SGR.....	2-7, 8-1
SIBRR.....	18-5, 18-19, 18-21, 32-7, 32-33, 32-63
SIGRD.....	18-15, 32-7, 32-34, 32-63
SIRDR.....	18-13, 32-7, 32-33, 32-63
SIRSR.....	18-13
SISC2R.....	18-15, 32-7, 32-33, 32-63
SISCMR.....	18-13, 18-19, 32-7, 32-33, 32-63
SISCR.....	18-6, 18-19, 32-7, 32-33, 32-63
SISMP.....	18-16, 32-7, 32-34, 32-63
SISMR.....	18-4, 18-19, 32-7, 32-33, 32-63
SISSR.....	18-8, 32-7, 32-33, 32-63
SITDR.....	18-8, 32-7, 32-33, 32-63
SITSR.....	18-7
SIWAIT.....	18-16, 32-7, 32-34, 32-63
SPC.....	2-7, 8-1
SPCR.....	23-4, 32-12, 32-48, 32-68
SPRBR.....	23-10, 32-12, 32-48, 32-68
SPSCR.....	23-8, 32-12, 32-48, 32-68
SPSR.....	23-5, 32-12, 32-48, 32-68
SPTBR.....	23-10, 32-12, 32-48, 32-68
SR.....	2-6, 8-1
SSICR.....	20-4, 32-8, 32-37, 32-64
SSIRDR.....	20-13, 32-8, 32-38, 32-64
SSISR.....	20-3, 20-9, 32-8, 32-37, 32-64
SSITDR.....	20-13, 32-8, 32-38, 32-64
SSR.....	2-7, 8-1
STBCR.....	12-3, 14-3, 32-5, 32-28, 32-61
STBCR2.....	12-4, 14-4, 31-22, 32-5, 32-28, 32-61
TBCR.....	26-10, 32-14, 32-53, 32-70
TCNT.....	15-5, 15-11, 32-5, 32-29, 32-61
TCOR.....	15-4, 32-5, 32-29, 32-61
TCPR2.....	15-7, 32-5, 32-30
TCR.....	15-5, 32-5, 32-29, 32-61
TEA.....	6-11, 32-2, 32-18, 32-58
TRA.....	8-10, 32-2, 32-19, 32-58
TSTR.....	15-4, 32-5, 32-29, 32-61
TTB.....	6-11, 32-2, 32-18, 32-58
VBR.....	2-7
WCR1.....	32-3, 32-21, 32-59
WCR2.....	32-3, 32-21, 32-59
WCR3.....	32-3, 32-21, 32-59
WCR4.....	32-3, 32-21, 32-59
WTCNT.....	13-3, 13-5, 32-5, 32-28, 32-61
WTCSR.....	13-4, 13-5, 32-5, 32-28, 32-61
共有メモリエリア最後.....	32-9, 32-65
共有メモリエリア最終.....	32-41
共有メモリエリア先頭.....	32-9, 32-41, 32-65
レジスタのデータ形式.....	2-9
ローカルアクセプタンスフィルタマスク (LAFM) ..	22-11
ロータリーモード.....	16-19
論理演算命令.....	4-10
論理命令.....	5-18
【わ】	
割り込み応答時間.....	9-21
割り込みコントローラ (INTC) ..	9-1

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7760グループ

発行年月日 2002年12月 第1版
2010年2月10日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

SH7760 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0585-0200