

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7764 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH-4A シリーズ

SH77641	R5S77641
SH77640	R5S77640

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
 2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 3. 当社製品を改造、改変、複製等しないでください。
 4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
 6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
 8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
 12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特にならない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. 電気的特性
8. 付録
9. 本版で修正または追加された箇所
10. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。

- FPUの機能および各命令の詳細を理解したいとき。

別冊の「SH-4A拡張機能ソフトウェアマニュアル」を参照してください。

凡例 **ビット表記** : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2進数は B'XXXX、16進数は H'XXXX、10進数は XXXX で表します。
記号の表記 : ローアクティブの信号にはオーバーバー ($\overline{\text{XXXX}}$) を付けます。

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略号または略称

略称	英語名	日本語名
ATAPI	ATAPI Controller	ATAPI コントローラ
CPG	Clock Pulse Generator	クロック発振器
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
E-DMAC	Ethernet Controller Direct Memory Access Controller (E-DMAC)	イーサネットコントローラ用ダイレクトメモリアクセスコントローラ
EtherC	Ethernet Controller	イーサネットコントローラ
FLCTL	NAND Flash Memory Controller	NAND フラッシュメモリコントローラ
G2D	2D Graphics Engine	2D グラフィックスエンジン
GPIO	General Purpose I/O	汎用入出力ポート
H-UDI	User Debug Interface	ユーザデバッグインタフェース
IIC	I ² C Bus Interface	I ² C バスインタフェース
INTC	Interrupt Controller	割り込みコントローラ
MCU	Memory Controller Unit	メモリコントローラユニット
MMU	Memory Management Unit	メモリマネジメントユニット
SCIF	Serial Communication Interface with FIFO	FIFO 内蔵シリアルコミュニケーションインタフェース
TMU	Timer Unit	リセット、タイマユニット
UBC	User Break Controller	ユーザブレイクコントローラ
USB	USB Host/Function Interface	USB ホスト / ファンクションインタフェース
VDC2	Video Display Controller2	表示コントローラ 2
WDT	Watchdog Timer and Reset	リセット・ウォッチドッグタイマ
SSI	Serial Sound Interface	シリアルサウンドインタフェース
LCDC	LCD Controller	LCD コントローラ
SRC	Sampling Rate Converter	サンプリングレートコンバータ

- その他の略語または略称

略語 / 略称	フルスペル	日本語名
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
Hi-Z	High Impedance	ハイインピーダンス
I/O	Input/Output	入出力
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ

【登録商標・商標】

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7764の特長	1-1
1.2	ブロック図	1-10
1.3	ピン配置	1-11
1.4	端子機能	1-12
1.5	アドレスマップ	1-21
2.	プログラミングモデル	2-1
2.1	データフォーマット	2-1
2.2	レジスタの構成	2-2
2.2.1	特権モードとバンク	2-2
2.2.2	汎用レジスタ	2-5
2.2.3	浮動小数点レジスタ	2-6
2.2.4	コントロールレジスタ	2-9
2.2.5	システムレジスタ	2-11
2.3	メモリ割り付けレジスタ	2-14
2.4	レジスタのデータ形式	2-14
2.5	メモリ上でのデータ形式	2-15
2.6	処理状態	2-16
2.7	使用上の注意事項	2-17
2.7.1	自己書き換えコードに対する注意事項	2-17
3.	命令セット	3-1
3.1	実行環境	3-1
3.2	アドレッシングモード	3-3
3.3	命令セット	3-6
4.	パイプライン動作	4-1
4.1	パイプライン	4-1
4.2	並列実行性	4-12
4.3	発行レートと実行ステート	4-15
5.	例外処理	5-1
5.1	概要	5-1

5.2	レジスタの説明	5-1
5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-8
5.5.1	例外フロー	5-8
5.5.2	例外要因の受け付け	5-9
5.5.3	例外要求と BL ビット	5-10
5.5.4	例外処理からの復帰	5-10
5.6	各例外の説明	5-11
5.6.1	リセット	5-11
5.6.2	一般例外	5-12
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス / コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10
6.4	丸め	6-10
6.5	浮動小数点例外	6-11
6.6	グラフィックサポート機能	6-13
6.6.1	ジオメトリック演算命令	6-13
6.6.2	ヘア単精度データ転送	6-14
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4

7.2	レジスタの説明	7-10
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-11
7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-12
7.2.3	変換テーブルベースレジスタ (TTB)	7-13
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-13
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCRC)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR)	7-18
7.3	TLBの機能 (TLB互換モード; MMUCR.ME = 0)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード; MMUCR.ME = 1)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-28
7.4.3	アドレス変換方式	7-28
7.5	MMUの機能	7-31
7.5.1	MMU のハードウェア管理	7-31
7.5.2	MMU のソフトウェア管理	7-31
7.5.3	MMU の命令 (LDTLB)	7-32
7.5.4	ハードウェア ITLB ミスハンドリング	7-34
7.5.5	シノニム問題の回避	7-34
7.6	MMU例外	7-36
7.6.1	命令 TLB 多重ヒット例外	7-36
7.6.2	命令 TLB ミス例外	7-36
7.6.3	命令 TLB 保護違反例外	7-37
7.6.4	データ TLB 多重ヒット例外	7-38
7.6.5	データ TLB ミス例外	7-38
7.6.6	データ TLB 保護違反例外	7-40
7.6.7	初期ページ書き込み例外	7-41
7.7	メモリ割り付けTLBの構成	7-42
7.7.1	ITLB アドレスアレイ	7-42
7.7.2	ITLB データアレイ (TLB 互換モード)	7-43
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-44
7.7.4	UTLB アドレスアレイ	7-46
7.7.5	UTLB データアレイ (TLB 互換モード)	7-47
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-48
7.8	使用上の注意事項	7-50
7.8.1	LDTLB 命令使用上の注意事項	7-50

8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-7
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-7
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-8
8.3	オペランドキャッシュの動作説明	8-10
8.3.1	読み出し動作	8-10
8.3.2	プリフェッチ動作	8-11
8.3.3	書き込み動作	8-12
8.3.4	ライトバックバッファ	8-13
8.3.5	ライトスルーバッファ	8-13
8.3.6	OC2 ウェイモード	8-13
8.4	命令キャッシュの動作説明	8-14
8.4.1	読み出し動作	8-14
8.4.2	プリフェッチ動作	8-14
8.4.3	IC2 ウェイモード	8-15
8.4.4	命令キャッシュウェイ予測	8-15
8.5	キャッシュ操作命令	8-16
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-16
8.5.2	プリフェッチ動作	8-18
8.6	メモリ割り付けキャッシュの構成	8-19
8.6.1	IC アドレスアレイ	8-19
8.6.2	IC データアレイ	8-20
8.6.3	OC アドレスアレイ	8-21
8.6.4	OC データアレイ	8-22
8.6.5	メモリ割り付け連想ライトの動作	8-23
8.7	ストアキュー	8-24
8.7.1	SQ の構成	8-24
8.7.2	SQ への書き込み	8-24
8.7.3	外部メモリへの転送	8-24
8.7.4	SQ アクセスの例外判定	8-26
8.7.5	SQ からの読み出し	8-26
9.	内蔵メモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-2
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-3
9.3	動作説明	9-4

9.3.1	CPU からの命令フェッチアクセス.....	9-4
9.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス.....	9-4
9.3.3	SuperHyway バスマスタモジュールからのアクセス.....	9-4
9.4	内蔵メモリの保護機能.....	9-5
9.5	使用上の注意事項.....	9-5
9.5.1	ページ競合.....	9-5
9.5.2	ページの切り替わり.....	9-5
9.5.3	コヒーレンシ.....	9-6
9.5.4	スリープモード.....	9-6
10.	クロック発振器 (CPG).....	10-1
10.1	特長.....	10-1
10.2	入出力端子.....	10-4
10.3	クロック動作モード.....	10-4
10.4	レジスタの説明.....	10-5
10.4.1	周波数制御レジスタ (FRQCR).....	10-6
10.4.2	PLL コントロールレジスタ (PLLCR).....	10-7
10.4.3	VDC2 クロック制御レジスタ (VDC2CLKCR).....	10-8
10.5	ボード設計上の注意事項.....	10-9
11.	メモリコントローラユニット (MCU).....	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-4
11.3	エリアの概要.....	11-5
11.3.1	空間分割.....	11-5
11.3.2	メモリバス幅.....	11-6
11.3.3	エンディアン設定.....	11-6
11.4	レジスタの説明.....	11-7
11.4.1	バージョンコントロールレジスタ (VCR).....	11-8
11.4.2	メモリインタフェースモードレジスタ (MIM).....	11-9
11.4.3	SDRAM コントロールレジスタ (SCR).....	11-12
11.4.4	SDRAM タイミングレジスタ (STR).....	11-13
11.4.5	SDRAM ロウアトリビュートレジスタ (SDRA).....	11-16
11.4.6	SDRAM モードレジスタ (SDMR).....	11-18
11.4.7	アービトレーションモードレジスタ (AMR).....	11-19
11.4.8	リニアタイル変換コントロールレジスタ (LTCn).....	11-21
11.4.9	リニアタイル変換領域先頭アドレスレジスタ (LTADn).....	11-22
11.4.10	リニアタイル変換領域先頭アドレスマスクレジスタ (LTAMn).....	11-23
11.4.11	リクエストマスク設定レジスタ (RQM).....	11-24
11.4.12	バスコントロールレジスタ (BCR).....	11-26

11.4.13	$\overline{CS0}$ バスコントロールレジスタ (CS0BCR)	11-28
11.4.14	\overline{CSn} ウェイトコントロールレジスタ (CSnWCR)	11-31
11.4.15	$\overline{CS3}$ バスコントロールレジスタ (CS3BCR)	11-35
11.5	動作説明.....	11-38
11.5.1	エンディアン / アクセスサイズとデータアライメント.....	11-38
11.5.2	各モジュールのデータアライメント.....	11-45
11.6	SRAMインタフェース.....	11-46
11.6.1	基本タイミング.....	11-46
11.6.2	ウェイトステート制御.....	11-49
11.6.3	リードストロブネゲートタイミング.....	11-51
11.7	SDRAMインタフェース.....	11-52
11.7.1	SDRAM 直結方式.....	11-52
11.7.2	アドレスマルチプレクス.....	11-55
11.7.3	バーストリード.....	11-56
11.7.4	バーストライト.....	11-57
11.7.5	シングルリード.....	11-58
11.7.6	シングルライト.....	11-59
11.7.7	バンクオープンモード.....	11-60
11.7.8	リフレッシュ.....	11-65
11.7.9	SDRAM 初期化シーケンス.....	11-66
11.8	アクセスサイクル間ウェイト.....	11-67
11.8.1	エリア 0、3 サイクル間ウェイト.....	11-67
11.8.2	エリア 1、2 サイクル間ウェイト.....	11-67
11.8.3	エリア 1、2 - エリア 0、3 サイクル間ウェイト.....	11-67
11.9	バスアービトラージョン.....	11-68
11.9.1	内部モジュールアクセス調停.....	11-68
11.9.2	多段調停動作.....	11-71
11.9.3	外部デバイスによるバス権要求.....	11-73
11.9.4	バス解放・獲得シーケンス.....	11-74
11.9.5	マスタとスレーブの協調.....	11-75
11.10	データのコヒーレンシ.....	11-76
11.11	リニア・タイルアドレス変換.....	11-79
11.12	使用上の注意.....	11-83
11.12.1	リフレッシュ.....	11-83
11.12.2	外部バスアービトラージョン.....	11-83
11.12.3	Pixel バスの転送サイズとアクセスアドレス境界.....	11-83
11.12.4	\overline{RDY} によるウェイトステート挿入をしない場合の処置について.....	11-83
12.	ダイレクトメモリアccessコントローラ (DMAC)	12-1
12.1	特長.....	12-1

12.2	入出力端子	12-3
12.3	レジスタの説明	12-4
12.3.1	DMA ソースアドレスレジスタ 0~5 (SAR0~SAR5)	12-7
12.3.2	DMA ソースアドレスレジスタ B0~3 (SARB0~SARB3)	12-8
12.3.3	DMA デスティネーションアドレスレジスタ 0~5 (DAR0~DAR5)	12-8
12.3.4	DMA デスティネーションアドレスレジスタ B0~3 (DARB0~DARB3)	12-9
12.3.5	DMA トランスファカウンタレジスタ 0~5 (TCR0~TCR5)	12-9
12.3.6	DMA トランスファカウンタレジスタ B0~3 (TCRB0~TCRB3)	12-10
12.3.7	DMA チャンネルコントロールレジスタ 0~5 (CHCR0~CHCR5)	12-10
12.3.8	DMA オペレーションレジスタ 0 (DMAOR0)	12-16
12.3.9	DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)	12-19
12.4	動作説明	12-22
12.4.1	DMA 転送要求	12-22
12.4.2	チャンネルの優先順位	12-25
12.4.3	DMA 転送の種類	12-28
12.4.4	転送フロー	12-33
12.4.5	リピートモード転送	12-35
12.4.6	リロードモード転送	12-36
12.4.7	DREQ 端子のサンプリングタイミング	12-37
12.5	使用上の注意	12-40
12.5.1	モジュールストップについて	12-40
12.5.2	アドレスエラーについて	12-40
12.5.3	バーストモード転送時の注意	12-40
12.5.4	DACK の分割出力	12-40
12.5.5	DMAC への DMA 転送禁止	12-41
12.5.6	NMI 割り込みについて	12-41
12.5.7	外部バス幅を超える DMA 転送サイズにおける \overline{CSn} 出力の設定	12-41
12.5.8	DACK のアサートと DREQ 検出について	12-41
12.5.9	DMA 転送要求の二重受け付け	12-43
12.5.10	DMAC フラグビットのクリアについて	12-43
13.	割り込みコントローラ (INTC)	13-1
13.1	特長	13-1
13.1.1	割り込み方式	13-3
13.1.2	INTC で想定する割り込み	13-3
13.2	入出力端子	13-6
13.3	レジスタの説明	13-7
13.3.1	割り込みコントロールレジスタ 0 (ICR0)	13-10
13.3.2	割り込みコントロールレジスタ 1 (ICR1)	13-11
13.3.3	割り込み優先順位設定レジスタ (INTPRI)	13-12

13.3.4	割り込み要因レジスタ (INTREQ)	13-13
13.3.5	割り込みマスクレジスタ (INTMSK)	13-14
13.3.6	割り込みマスククリアレジスタ (INTMSKCLR)	13-15
13.3.7	NMI フラグコントロールレジスタ (NMIFCR)	13-16
13.3.8	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)	13-17
13.3.9	割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI12)	13-19
13.3.10	割り込み要因レジスタ 0 (マスク状態の影響なし) (INT2A0)	13-20
13.3.11	割り込み要因レジスタ 01 (マスク状態の影響なし) (INT2A01)	13-22
13.3.12	割り込み要因レジスタ 1 (マスク状態の影響あり) (INT2A1)	13-23
13.3.13	割り込み要因レジスタ 11 (マスク状態の影響あり) (INT2A11)	13-25
13.3.14	割り込みマスクレジスタ (INT2MSKR)	13-26
13.3.15	割り込みマスクレジスタ 1 (INT2MSKR1)	13-28
13.3.16	割り込みマスククリアレジスタ (INT2MSKCR)	13-30
13.3.17	割り込みマスククリアレジスタ 1 (INT2MSKCR1)	13-32
13.3.18	内蔵モジュール別割り込み要因レジスタ (INT2B0、INT2B2 ~ INT2B7)	13-33
13.3.19	GPIO 割り込み設定レジスタ (INT2GPIC)	13-37
13.4	割り込み要因	13-39
13.4.1	NMI 割り込み	13-39
13.4.2	IRQ 割り込み	13-39
13.4.3	内蔵周辺モジュール割り込み	13-40
13.4.4	内蔵周辺モジュール割り込み優先順位	13-41
13.4.5	割り込み例外処理と優先順位	13-42
13.5	動作説明	13-46
13.5.1	割り込み動作の流れ	13-46
13.5.2	多重割り込み	13-48
13.5.3	MAI ビットによる割り込みマスク	13-48
13.6	割り込み応答時間	13-49
13.7	使用上の注意事項	13-50
13.7.1	割り込みおよびレベル検出設定時の IRQ 割り込みの処理ルーチン例	13-50
13.7.2	IRQ 端子機能設定時の注意事項	13-51
13.7.3	IRQ 割り込み要求のクリア方法	13-51
14.	タイマユニット (TMU)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	タイマアウトプットコントロールレジスタ (TOCR)	14-5
14.3.2	タイマスタートレジスタ (TSTRn) (n=0、1)	14-5
14.3.3	タイマコンスタントレジスタ (TCORn) (n=0~5)	14-7
14.3.4	タイマカウンタ (TCNTn) (n=0~5)	14-7

14.3.5	タイマコントロールレジスタ (TCRn) (n=0~5)	14-7
14.3.6	インプットキャプチャレジスタ 2 (TCPR2)	14-9
14.4	動作説明.....	14-10
14.4.1	カウンタの動作.....	14-10
14.4.2	インプットキャプチャ機能.....	14-12
14.5	割り込み.....	14-14
14.6	使用上の注意事項	14-15
14.6.1	レジスタの書き込みについて.....	14-15
14.6.2	TCNT レジスタの読み出しについて.....	14-15
14.6.3	外部クロック周波数について.....	14-15
15.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	15-1
15.1	特長.....	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	受信シフトレジスタ (SCRSR)	15-6
15.3.2	受信 FIFO データレジスタ (SCFRDR)	15-6
15.3.3	送信シフトレジスタ (SCTSR)	15-7
15.3.4	送信 FIFO データレジスタ (SCFTDR)	15-7
15.3.5	シリアルモードレジスタ (SCSMR)	15-8
15.3.6	シリアルコントロールレジスタ (SCSCR)	15-10
15.3.7	シリアルステータスレジスタ (SCFSR)	15-13
15.3.8	ビットレートレジスタ (SCBRR)	15-18
15.3.9	FIFO コントロールレジスタ (SCFCR)	15-22
15.3.10	FIFO データカウントセットレジスタ (SCFDR)	15-25
15.3.11	シリアルポートレジスタ (SCSPTR)	15-26
15.3.12	ラインステータスレジスタ (SCLSR)	15-28
15.3.13	シリアル拡張モードレジスタ (SCEMR)	15-29
15.4	動作説明.....	15-30
15.4.1	概要	15-30
15.4.2	調歩同期式モード時の動作.....	15-32
15.4.3	クロック同期式モード時の動作	15-40
15.5	SCIFの割り込み.....	15-48
15.6	使用上の注意事項	15-49
15.6.1	SCFTDR への書き込みと TDFE フラグ	15-49
15.6.2	SCFRDR の読み出しと RDF フラグ	15-49
15.6.3	ブレークの検出と処理.....	15-49
15.6.4	ブレークの送り出し.....	15-49
15.6.5	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-50
15.6.6	調歩同期式基本クロックセレクト	15-51

16.	I ² C バスインタフェース (IIC)	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	レジスタの説明	16-2
16.3.1	スレーブコントロールレジスタ (ICSCR)	16-4
16.3.2	スレーブステータスレジスタ (ICSSR)	16-5
16.3.3	スレーブ割り込みイネーブルレジスタ (ICSIER)	16-7
16.3.4	スレーブアドレスレジスタ (ICSAR)	16-8
16.3.5	マスタコントロールレジスタ (ICMCR)	16-9
16.3.6	マスタステータスレジスタ (ICMSR)	16-11
16.3.7	マスタ割り込みイネーブルレジスタ (ICMIER)	16-13
16.3.8	マスタアドレスレジスタ (ICMAR)	16-14
16.3.9	クロックコントロールレジスタ (ICCCR)	16-15
16.3.10	受信/送信データレジスタ (ICRXD/ICTXD)	16-16
16.4	動作説明	16-17
16.4.1	データとクロックフィルタ	16-17
16.4.2	クロックジェネレータ	16-17
16.4.3	マスタ/スレーブインタフェース	16-17
16.4.4	ソフトウェアステータスインターロック	16-17
16.4.5	I ² C バスデータフォーマット	16-19
16.4.6	7 ビットアドレスフォーマット	16-20
16.4.7	10 ビットアドレスフォーマット	16-21
16.4.8	マスタ送信動作	16-22
16.4.9	マスタ受信動作	16-24
16.5	スレーブ動作	16-26
16.5.1	スレーブアドレス受信動作	16-26
16.5.2	スレーブデータ受信動作	16-26
16.5.3	スレーブデータ送信動作	16-26
16.6	プログラム例	16-27
16.6.1	マスタ送信	16-27
16.6.2	マスタ受信	16-28
16.6.3	マスタ送信 - リスタート - マスタ受信	16-29
17.	ATAPI インタフェース (ATAPI)	17-1
17.1	特長	17-1
17.2	入出力端子	17-2
17.3	レジスタの説明	17-3
17.3.1	ATAPI コントロールレジスタ (ATAPI_CONTROL)	17-5
17.3.2	ATAPI ステータスレジスタ (ATAPI_STATUS)	17-7
17.3.3	割り込みイネーブル (ATAPI_INT_ENABLE)	17-9

17.3.4	PIO タイミングレジスタ (ATAPI_PIO_TIMING)	17-10
17.3.5	マルチワード DMA タイミングレジスタ (ATAPI_MULTI_TIMING)	17-11
17.3.6	ウルトラ DMA タイミングレジスタ (ATAPI_ULTRA_TIMING)	17-12
17.3.7	ディスクリプタテーブルベースアドレスレジスタ (ATAPI_DTB_ADR)	17-14
17.3.8	ディスクリプタテーブル.....	17-15
17.3.9	終了フラグおよびディスクリプタ用 DMA スタートアドレス.....	17-15
17.3.10	ディスクリプタ用 DMA 転送カウンタ.....	17-16
17.3.11	DMA スタートアドレスレジスタ (ATAPI_DMA_START_ADR)	17-17
17.3.12	DMA 転送カウンタレジスタ (ATAPI_DMA_TRANS_CNT)	17-18
17.3.13	ATAPI コントロール 2 レジスタ (ATAPI_CONTROL2)	17-19
17.3.14	ATAPI 信号ステータスレジスタ (ATAPI_SIG_ST)	17-20
17.3.15	バイトスワップレジスタ (ATAPI_BYTE_SWAP)	17-20
17.3.16	ATAPI のデータバス・アライメント	17-21
17.4	機能説明.....	17-22
17.4.1	データ転送モード.....	17-22
17.4.2	ディスクリプタ機能.....	17-22
17.5	動作手順.....	17-23
17.5.1	初期化.....	17-23
17.5.2	PIO 転送モード手順.....	17-23
17.5.3	マルチワード DMA 転送モード手順.....	17-24
17.5.4	ウルトラ DMA 転送モード手順.....	17-26
17.5.5	ATAPI デバイスのハードウェアリセット手順.....	17-27
17.6	使用上の注意事項.....	17-27
17.6.1	IORDY タイムアウトの誤検出について.....	17-27
18.	シリアルサウンドインタフェース (SSI)	18-1
18.1	特長.....	18-1
18.2	入出力端子.....	18-3
18.3	レジスタの説明.....	18-4
18.3.1	DMA モードレジスタ 0 ~ 5 (SSIDMMR0 ~ 5)	18-12
18.3.2	RDMA 転送元アドレスレジスタ 0 ~ 5 (SSIRDMAADR0 ~ 5)	18-13
18.3.3	RDMA 転送語数レジスタ 0 ~ 5 (SSIRDMCNTR0 ~ 5)	18-14
18.3.4	WDMA 転送先アドレスレジスタ 0 ~ 5 (SSIWDMADR0 ~ 5)	18-15
18.3.5	WDMA 転送語数レジスタ 0 ~ 5 (SSIWDMCNTR0 ~ 5)	18-16
18.3.6	DMA コントロールレジスタ 0 ~ 5 (SSIDMCOR0 ~ 5)	18-17
18.3.7	送信一時停止ブロックカウンタ 0 ~ 5 (SSISTPBLCNT0 ~ 5)	18-26
18.3.8	送信一時停止中転送データレジスタ 0 ~ 5 (SSISTPDR0 ~ 5)	18-27
18.3.9	ブロックカウンタソースレジスタ 0 ~ 5 (SSIBLCNTRS0 ~ 5)	18-28
18.3.10	ブロックカウンタ 0 ~ 5 (SSIBLCNT0 ~ 5)	18-28
18.3.11	ブロック x_n 回割り込みカウンタソースレジスタ 0 ~ 5 (SSIBLNCNTRS0 ~ 5)	18-29

18.3.12	ブロック xn 回カウンタ 0~5 (SSIBLNCNT0~5)	18-30
18.3.13	DMA オペレーションレジスタ 0~1 (SSIDMAOR0~1)	18-30
18.3.14	割り込みステータスレジスタ 0~1 (SSIDMINTSR0~1)	18-32
18.3.15	割り込みマスクレジスタ 0~1 (SSIDMINTMR0~1)	18-36
18.3.16	コントロールレジスタ 0~5 (SSICR0~5)	18-39
18.3.17	ステータスレジスタ 0~5 (SSISR0~5)	18-44
18.3.18	トランスミットデータレジスタ 0~5 (SSITDR0~5)	18-48
18.3.19	レシーブデータレジスタ 0~5 (SSIRDR0~5)	18-48
18.4	動作説明.....	18-49
18.4.1	SSI_CLKSEL 動作説明.....	18-49
18.4.2	SSI_DMACH0/1 動作説明.....	18-49
18.4.3	SSI_CH0~5 動作説明.....	18-50
18.5	使用上の注意事項.....	18-68
18.5.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項.....	18-68
18.5.2	スレーブモードで動作させる場合の制限事項.....	18-68
18.5.3	各種レジスタ設定時の注意事項.....	18-68
18.5.4	送信 DMAC を強制停止する場合の注意事項.....	18-69
18.5.5	受信 DMAC を強制停止する場合の注意事項.....	18-69
18.5.6	送信 / 受信 DMAC を自動停止する場合の注意事項.....	18-70
18.5.7	ブロックカウンタ、ブロック xn 回カウンタ読み出し時の注意事項.....	18-71
19.	イーサネットコントローラ (EtherC)	19-1
19.1	特長.....	19-1
19.2	入出力端子	19-2
19.3	レジスタの説明.....	19-3
19.3.1	EtherC モードレジスタ (ECMR)	19-5
19.3.2	EtherC ステータスレジスタ (ECSR)	19-7
19.3.3	EtherC 割り込み許可レジスタ (ECSIPR)	19-9
19.3.4	PHY 部インタフェースレジスタ (PIR)	19-10
19.3.5	MAC アドレス上位設定レジスタ (MAHR)	19-11
19.3.6	MAC アドレス下位設定レジスタ (MALR)	19-11
19.3.7	受信フレーム長上限レジスタ (RFLR)	19-12
19.3.8	PHY 部ステータスレジスタ (PSR)	19-13
19.3.9	送信リトライオーバカウンタレジスタ (TROCR)	19-13
19.3.10	遅延衝突検出カウンタレジスタ (CDCR)	19-14
19.3.11	キャリア消失カウンタレジスタ (LCCR)	19-14
19.3.12	キャリア未検出カウンタレジスタ (CNDCR)	19-15
19.3.13	CRC エラーフレーム受信カウンタレジスタ (CEFCR)	19-15
19.3.14	フレーム受信エラーカウンタレジスタ (FRECR)	19-16
19.3.15	64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)	19-16

19.3.16	指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	19-17
19.3.17	端数ビットフレーム受信カウンタレジスタ (RFCR)	19-17
19.3.18	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	19-18
19.3.19	IPG 設定レジスタ (IPGR)	19-18
19.3.20	自動 PAUSE フレーム設定レジスタ (APR)	19-19
19.3.21	手動 PAUSE フレーム設定レジスタ (MPR)	19-20
19.3.22	自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)	19-20
19.3.23	乱数生成カウンタ上限値設定 (RDMLR)	19-21
19.3.24	受信 PAUSE フレームカウンタ (RFCF)	19-22
19.3.25	PAUSE フレーム再送回数カウンタ (TPAUSECR)	19-22
19.3.26	Broadcast フレーム受信回数設定 (BCFRR)	19-23
19.4	動作説明.....	19-24
19.4.1	送信動作	19-24
19.4.2	受信動作	19-25
19.4.3	MII フレームタイミング	19-26
19.4.4	MII レジスタのアクセス方法	19-28
19.4.5	Magic Packet の検出	19-31
19.4.6	IPG 設定による動作	19-31
19.4.7	フロー制御.....	19-32
19.5	PHY-LSIとの接続.....	19-33
19.6	使用上の注意事項	19-34
20.	イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)	20-1
20.1	特長.....	20-1
20.2	レジスタの説明	20-2
20.2.1	E-DMAC モードレジスタ (EDMR)	20-4
20.2.2	E-DMAC 送信要求レジスタ (EDTRR)	20-5
20.2.3	E-DMAC 受信要求レジスタ (EDRRR)	20-6
20.2.4	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)	20-7
20.2.5	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)	20-7
20.2.6	EtherC/E-DMAC ステータスレジスタ (EESR)	20-8
20.2.7	EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)	20-12
20.2.8	送受信ステータスコピー指示レジスタ (TRSCER)	20-14
20.2.9	ミスフレームカウンタレジスタ (RMFCR)	20-16
20.2.10	送信 FIFO しきい値指定レジスタ (TFTR)	20-16
20.2.11	FIFO 容量指定レジスタ (FDR)	20-18
20.2.12	受信方式制御レジスタ (RMCR)	20-20
20.2.13	送信 FIFO アンダランカウント (TFUCR)	20-21
20.2.14	受信 FIFO オーバフローカウント (RFOCR)	20-21
20.2.15	受信バッファライトアドレスレジスタ (RBWAR)	20-22

20.2.16	受信ディスクリプタフェッチアドレスレジスタ (RDFAR)	20-22
20.2.17	送信バッファリードアドレスレジスタ (TBRAR)	20-23
20.2.18	送信ディスクリプタフェッチアドレスレジスタ (TDFAR)	20-23
20.2.19	フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)	20-24
20.2.20	受信データパディング挿入設定レジスタ (RPADIR)	20-25
20.2.21	送信割り込み設定レジスタ (TRIMD)	20-26
20.2.22	個別出力信号設定レジスタ (IOSR)	20-27
20.3	動作説明.....	20-28
20.3.1	ディスクリプタリストとデータバッファ	20-28
20.3.2	送信機能	20-34
20.3.3	受信機能	20-36
20.3.4	マルチバッファフレームの送受信処理について	20-37
20.4	使用上の注意事項	20-38
20.4.1	E-DMAC の実効アドレスについて.....	20-38
21.	USB2.0 ホスト / ファンクションモジュール (USB)	21-1
21.1	特長.....	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	21-9
21.3.2	CPU バスウェイトレジスタ (BUSWAIT)	21-12
21.3.3	システムコンフィギュレーションステータスレジスタ (SYSSTS)	21-13
21.3.4	デバイスステートコントロールレジスタ (DVSTCTR)	21-14
21.3.5	テストモードレジスタ (TESTMODE)	21-17
21.3.6	DMA-FIFO バスコンフィギュレーションレジスタ (D0FBCFG、D1FBCFG)	21-19
21.3.7	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	21-20
21.3.8	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	21-22
21.3.9	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	21-28
21.3.10	割り込み許可レジスタ 0 (INTENB0)	21-31
21.3.11	割り込み許可レジスタ 1 (INTENB1)	21-33
21.3.12	BRDY 割り込み許可レジスタ (BRDYENB)	21-35
21.3.13	NRDY 割り込み許可レジスタ (NRDYENB)	21-37
21.3.14	BEMP 割り込み許可レジスタ (BEMPENB)	21-39
21.3.15	SOF 制御レジスタ (SOFCFG)	21-41
21.3.16	割り込みステータスレジスタ 0 (INTSTS0)	21-42
21.3.17	割り込みステータスレジスタ 1 (INTSTS1)	21-46
21.3.18	BRDY 割り込みステータスレジスタ (BRDYSTS)	21-50
21.3.19	NRDY 割り込みステータスレジスタ (NRDYSTS)	21-52
21.3.20	BEMP 割り込みステータスレジスタ (BEMPSTS)	21-54
21.3.21	フレームナンバーレジスタ (FRMNUM)	21-56

21.3.22	μフレームナンバーレジスタ (UFRMNUM)	21-57
21.3.23	USB アドレスレジスタ (USBADDR)	21-58
21.3.24	USB リクエストタイプレジスタ (USBREQ)	21-59
21.3.25	USB リクエストバリュージスタ (USBVAL)	21-60
21.3.26	USB リクエストインデックスレジスタ (USBINDX)	21-61
21.3.27	USB リクエスト長レジスタ (USBLENG)	21-62
21.3.28	DCP コンフィギュレーションレジスタ (DCPCFG)	21-63
21.3.29	DCP マックスパケットサイズレジスタ (DCPMAXP)	21-64
21.3.30	DCP コントロールレジスタ (DCPCTR)	21-66
21.3.31	パイプウィンドウ選択レジスタ (PIPESEL)	21-73
21.3.32	パイプコンフィギュレーションレジスタ (PIPECFG)	21-74
21.3.33	パイプバッファ指定レジスタ (PIPEBUF)	21-79
21.3.34	パイプマックスパケットサイズレジスタ (PIPEMAXP)	21-81
21.3.35	パイプ周期制御レジスタ (PIPEPERI)	21-83
21.3.36	パイプ _n コントロールレジスタ (PIPE _n CTR) (n = 1~9)	21-85
21.3.37	パイプ _n トランザクションカウンタインエーブルレジスタ (PIPE _n TRE) (n = 1~5)	21-98
21.3.38	パイプ _n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1~5)	21-100
21.3.39	デバイスアドレス _n コンフィギュレーションレジスタ (DEVADD _n) (n = 0~A)	21-102
21.4	動作説明	21-104
21.4.1	システム制御および発振制御	21-104
21.4.2	割り込み機能	21-106
21.4.3	パイプコントロール	21-126
21.4.4	FIFO バッファメモリ	21-134
21.4.5	コントロール転送 (DCP)	21-143
21.4.6	バルク転送 (パイプ 1~5)	21-146
21.4.7	インタラプト転送 (パイプ 6~9)	21-148
21.4.8	アイソクロナス転送 (パイプ 1、2)	21-149
21.4.9	SOF 補間機能	21-159
21.4.10	パイプスケジュール	21-160
21.5	使用上の注意事項	21-162
21.5.1	USB モジュールの起動 / 停止手順	21-162
21.5.2	USB クロック周辺回路設計時の注意事項	21-163
21.5.3	VBUS 端子処理	21-163
21.5.4	USB フルスピードファンクション機能使用時の USB 切断処理に関する注意事項	21-164
22.	LCD コントローラ (LCDC)	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-4
22.3.1	LCDC インพุットクロックレジスタ (LDICKR)	22-6

22.3.2	LCDC モジュールタイプレジスタ (LDMTR)	22-7
22.3.3	LCDC データフォーマットレジスタ (LDDFR)	22-10
22.3.4	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)	22-11
22.3.5	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)	22-12
22.3.6	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)	22-13
22.3.7	LCDC パレットコントロールレジスタ (LDPALCR)	22-14
22.3.8	パレットデータレジスタ 00~FF (LDPR00~LDPRFF)	22-15
22.3.9	LCDC 水平キャラクタナンバーレジスタ (LDHCNR)	22-16
22.3.10	LCDC 水平同期信号レジスタ (LDHSYNR)	22-17
22.3.11	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)	22-18
22.3.12	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)	22-18
22.3.13	LCDC 垂直同期信号レジスタ (LDVSYNR)	22-19
22.3.14	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)	22-20
22.3.15	LCDC 割り込みコントロールレジスタ (LDINTR)	22-21
22.3.16	LCDC パワーマネジメントモードレジスタ (LDPMMR)	22-23
22.3.17	LCDC 電源シーケンス期間レジスタ (LDPSPR)	22-25
22.3.18	LCDC コントロールレジスタ (LDCNTR)	22-26
22.3.19	LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)	22-27
22.3.20	LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)	22-28
22.3.21	LCDC メモリアクセスインターバルナンバーレジスタ (LDLIRNR)	22-29
22.4	動作説明.....	22-30
22.4.1	LCDC で表示可能な液晶モジュールのサイズについて.....	22-30
22.4.2	カラーパレット仕様について.....	22-31
22.4.3	データフォーマット.....	22-32
22.4.4	表示解像度の設定.....	22-35
22.4.5	電源制御シーケンス処理.....	22-35
22.5	クロックとLCDデータ信号例.....	22-41
22.6	使用上の注意事項.....	22-52
22.6.1	表示データ格納用 VRAM (エリア 1、2 の SDRAM) アクセスの停止手順について.....	22-52
22.6.2	MCU リクエスト受け付け停止時の注意事項について.....	22-52
23.	2D グラフィックスエンジン (G2D)	23-1
23.1	基本機能.....	23-1
23.1.1	コマンド、レンダリング属性一覧.....	23-1
23.1.2	基本機能.....	23-5
23.1.3	座標系.....	23-12
23.1.4	データフォーマット.....	23-17
23.1.5	レンダリング属性.....	23-17
23.2	ディスプレイリスト.....	23-27
23.2.1	4 頂点面描画コマンド.....	23-27

23.2.2	線描画	23-35
23.2.3	ワーク面描画コマンド	23-56
23.2.4	ワーク線描画	23-63
23.2.5	矩形描画コマンド	23-66
23.2.6	制御コマンド	23-74
23.3	レジスタ仕様	23-85
23.3.1	システム制御レジスタ	23-92
23.3.2	メモリ制御レジスタ	23-97
23.3.3	カラー制御レジスタ	23-102
23.3.4	レンダリング制御レジスタ	23-104
23.3.5	座標変換制御レジスタ	23-111
23.4	使用上の注意事項	23-117
23.4.1	G2D コマンドの注意事項について	23-117
24.	表示コントローラ (VDC2)	24-1
24.1	概要	24-1
24.2	特長	24-1
24.3	入出力端子	24-2
24.4	VDC2の構成	24-3
24.5	機能説明	24-4
24.5.1	グラフィックス (レイヤ 1、レイヤ 2、レイヤ 3、レイヤ 4)	24-4
24.5.2	同期信号生成	24-5
24.5.3	外部同期モード	24-6
24.5.4	デジタル映像出力	24-7
24.5.5	RGB565 YC444 変換	24-7
24.5.6	YC444 YC422 変換	24-7
24.5.7	データイネーブル信号 (コンボジット)	24-8
24.6	レジスタの説明	24-9
24.6.1	グラフィックス部制御レジスタ (GRCMEN1、2、3、4)	24-13
24.6.2	バス制御レジスタ (GRCBUSCNT1、2、3、4)	24-14
24.6.3	グラフィック画像ベースアドレスレジスタ (GROPSADR1、2、3、4)	24-15
24.6.4	グラフィック画像領域レジスタ (GROPSWH1、2、3、4)	24-16
24.6.5	グラフィック画像ラインオフセットレジスタ (GROPSOFST1、2、3、4)	24-17
24.6.6	グラフィック画像開始位置レジスタ (GROPDPHV1、2、3、4)	24-18
24.6.7	制御領域レジスタ (GROPEWH2、3、4)	24-19
24.6.8	制御領域開始位置レジスタ (GROPEDPHV2、3、4)	24-20
24.6.9	制御レジスタ (GROPEDPA2、3、4)	24-21
24.6.10	クロマキー制御レジスタ (GROPCKRY0_2、3、4)	24-22
24.6.11	クロマ色指定レジスタ (GROPCKRY1_2、3、4)	24-23
24.6.12	グラフィック画像領域外の色設定レジスタ (GROPBASERGB1、2、3、4)	24-24

24.6.13	SG モード設定レジスタ (SGMODE)	24-26
24.6.14	割り込み出力制御レジスタ (SGINTCNT)	24-27
24.6.15	同期信号制御レジスタ (SYNCNT)	24-28
24.6.16	外部入力同期信号タイミング制御レジスタ (EXTSYNCNT)	24-30
24.6.17	同期信号サイズレジスタ (SYNSIZE)	24-31
24.6.18	垂直同期信号タイミング制御レジスタ (VSYNCTIM)	24-32
24.6.19	水平同期信号タイミング制御レジスタ (HSYNCTIM)	24-33
24.6.20	ゲート制御信号タイミング制御レジスタ (COMTIM)	24-34
24.6.21	SGDE 領域開始位置レジスタ (SGDESTART)	24-35
24.6.22	SGDE 領域サイズレジスタ (SGDESIZE)	24-37
24.6.23	CDE クロマ色指定レジスタ (CDECRKY)	24-38
24.6.24	T1004 制御レジスタ (T1004CNT)	24-39
24.6.25	T1004 映像開始位置レジスタ (T1004OFFSET)	24-40
24.7	動作手順	24-42
24.7.1	表示制御部	24-42
24.7.2	グラフィックス部	24-42
24.7.3	バス占有率の計算方法	24-43
25.	NAND フラッシュメモリコントローラ (FLCTL)	25-1
25.1	特長	25-1
25.2	入出力端子	25-5
25.3	レジスタの説明	25-6
25.3.1	共通コントロールレジスタ (FLCMNCR)	25-7
25.3.2	コマンド制御レジスタ (FLCMDCR)	25-9
25.3.3	コマンドコードレジスタ (FLCMCDR)	25-11
25.3.4	アドレスレジスタ (FLADR)	25-11
25.3.5	アドレスレジスタ 2 (FLADR2)	25-13
25.3.6	データカウンタレジスタ (FLDTCNTR)	25-13
25.3.7	データレジスタ (FLDATAR)	25-15
25.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	25-16
25.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	25-19
25.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	25-20
25.3.11	データ FIFO レジスタ (FLDTFIFO)	25-21
25.3.12	管理コード FIFO レジスタ (FLECFIFO)	25-22
25.3.13	転送制御レジスタ (FLTRCR)	25-23
25.4	動作説明	25-24
25.4.1	動作モード	25-24
25.4.2	レジスタ設定手順	25-25
25.4.3	コマンドアクセスモード	25-26
25.4.4	セクタアクセスモード	25-29

25.4.5	ECCのエラーの修正	25-31
25.4.6	ステータスリード	25-31
25.5	割り込み処理	25-33
25.6	DMA転送の設定	25-33
26.	サンプリングレートコンバータ (SRC)	26-1
26.1	特長	26-1
26.2	レジスタの説明	26-3
26.2.1	SRC 入力データレジスタ (SRCID)	26-4
26.2.2	SRC 出力データレジスタ (SRCOD)	26-5
26.2.3	SRC 入力データ制御レジスタ (SRCIDCTRL)	26-6
26.2.4	SRC 出力データ制御レジスタ (SRCODCTRL)	26-7
26.2.5	SRC 制御レジスタ (SRCCTRL)	26-8
26.2.6	SRC ステータスレジスタ (SRCSTAT)	26-11
26.3	動作説明	26-13
26.3.1	初期設定	26-13
26.3.2	データ入力	26-14
26.3.3	データ出力	26-15
26.4	割り込み	26-16
26.5	使用上の注意事項	26-17
26.5.1	レジスタアクセス時の注意	26-17
26.5.2	フラッシュ処理に関する注意	26-17
26.5.3	OVF フラグビットのクリアについて	26-17
27.	汎用入出力ポート (GPIO)	27-1
27.1	特長	27-1
27.2	レジスタの説明	27-10
27.2.1	ポート A コントロールレジスタ (PTIO_A)	27-13
27.2.2	ポート B コントロールレジスタ (PTIO_B)	27-14
27.2.3	ポート C コントロールレジスタ (PTIO_C)	27-16
27.2.4	ポート D コントロールレジスタ (PTIO_D)	27-17
27.2.5	ポート E コントロールレジスタ (PTIO_E)	27-19
27.2.6	ポート F コントロールレジスタ (PTIO_F)	27-20
27.2.7	ポート G コントロールレジスタ (PTIO_G)	27-22
27.2.8	ポート H コントロールレジスタ (PTIO_H)	27-23
27.2.9	ポート I コントロールレジスタ (PTIO_I)	27-25
27.2.10	ポート J コントロールレジスタ (PTIO_J)	27-26
27.2.11	ポート A データレジスタ (PTDAT_A)	27-27
27.2.12	ポート B データレジスタ (PTDAT_B)	27-28
27.2.13	ポート C データレジスタ (PTDAT_C)	27-28

27.2.14	ポートDデータレジスタ (PTDAT_D)	27-29
27.2.15	ポートEデータレジスタ (PTDAT_E)	27-29
27.2.16	ポートFデータレジスタ (PTDAT_F)	27-30
27.2.17	ポートGデータレジスタ (PTDAT_G)	27-30
27.2.18	ポートHデータレジスタ (PTDAT_H)	27-31
27.2.19	ポートIデータレジスタ (PTDAT_I)	27-31
27.2.20	ポートJデータレジスタ (PTDAT_J)	27-32
27.2.21	入力端子プルアップ制御レジスタ (PTPUL_SPCL)	27-32
27.2.22	ピンセレクトレジスタ0 (PTSEL_A)	27-33
27.2.23	ピンセレクトレジスタ1 (PTSEL_B)	27-35
27.2.24	ピンセレクトレジスタ2 (PTSEL_C)	27-36
27.2.25	ピンセレクトレジスタ3 (PTSEL_D)	27-38
27.2.26	ピンセレクトレジスタ4 (PTSEL_E)	27-39
27.2.27	ピンセレクトレジスタ5 (PTSEL_F)	27-40
27.2.28	ピンセレクトレジスタ6 (PTSEL_G)	27-42
27.2.29	ピンセレクトレジスタ7 (PTSEL_H)	27-43
27.2.30	ピンセレクトレジスタ8 (PTSEL_I)	27-44
27.2.31	ピンセレクトレジスタ9 (PTSEL_J)	27-46
27.2.32	ピンセレクトレジスタ10 (PTSEL_K)	27-47
27.2.33	ピンセレクトレジスタ11 (PTSEL_P)	27-49
27.2.34	ピンセレクトレジスタ12 (PTSEL_R)	27-50
27.2.35	ピンセレクトレジスタ13 (PTSEL_S)	27-51
27.2.36	HI-ZレジスタA (PTHIZ_A)	27-53
27.2.37	HI-ZレジスタB (PTHIZ_B)	27-54
27.2.38	特殊選択レジスタ (PTSEL_SPCL)	27-55
27.3	使用例.....	27-56
27.3.1	ポート機能選択.....	27-56
27.3.2	ポート出力機能.....	27-56
27.3.3	ポート入力機能.....	27-56
27.3.4	周辺モジュール機能.....	27-56
28.	低消費電力モード	28-1
28.1	特長.....	28-1
28.1.1	消費電力モードの種類.....	28-1
28.2	入出力端子	28-2
28.3	レジスタの説明	28-3
28.3.1	スタンバイコントロールレジスタ (STBCR)	28-4
28.3.2	モジュールストップレジスタ0 (MSTPCR0)	28-5
28.3.3	モジュールストップレジスタ1 (MSTPCR1)	28-8
28.4	スリープモード	28-9

28.4.1	スリープモードへの遷移.....	28-9
28.4.2	スリープモードの解除.....	28-9
28.5	リフレッシュスタンバイモード.....	28-9
28.5.1	リフレッシュスタンバイモードへの遷移.....	28-9
28.5.2	リフレッシュスタンバイモードの解除.....	28-10
28.6	モジュールスタンバイ機能.....	28-10
28.6.1	モジュールスタンバイ機能への遷移.....	28-10
28.6.2	モジュールスタンバイ機能の解除.....	28-10
28.7	STATUS端子の変化タイミング.....	28-11
28.7.1	リセットの場合.....	28-11
28.7.2	スリープ解除の場合.....	28-11
29.	リセット、ウォッチドッグタイマ (WDT)	29-1
29.1	特長.....	29-1
29.2	入出力端子	29-2
29.3	レジスタの説明	29-3
29.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST)	29-4
29.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)	29-5
29.3.3	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)	29-6
29.3.4	ウォッチドッグタイマカウンタ (WDTCNT)	29-7
29.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT)	29-7
29.4	動作説明.....	29-8
29.4.1	リセット要求.....	29-8
29.4.2	ウォッチドッグタイマモードの使用法.....	29-9
29.4.3	インターバルタイマモードの使用法.....	29-9
29.4.4	WDT オーバフロー発生までの時間.....	29-9
29.4.5	WDT カウンタのクリア方法.....	29-11
29.5	リセット中の端子タイミング.....	29-12
29.5.1	$\overline{\text{PRESET}}$ 端子によるパワーオンリセット.....	29-12
29.5.2	WDT オーバフローによるパワーオンリセット.....	29-14
30.	ユーザブレイクコントローラ (UBC)	30-1
30.1	特長.....	30-1
30.2	レジスタの説明	30-3
30.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	30-4
30.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	30-10
30.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	30-12
30.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	30-13
30.2.5	マッチデータ設定レジスタ 1 (CDR1)	30-14
30.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	30-15

30.2.7	実行回数ブレークレジスタ 1 (CETR1)	30-15
30.2.8	チャンネルマッチフラグレジスタ (CCMFR)	30-16
30.2.9	ブレークコントロールレジスタ (CBCR)	30-17
30.3	動作説明.....	30-18
30.3.1	アクセスに関する用語の説明.....	30-18
30.3.2	ユーザブレーク動作の流れ.....	30-18
30.3.3	命令フェッチサイクルブレーク	30-20
30.3.4	オペランドアクセスサイクルブレーク	30-21
30.3.5	シーケンシャルブレーク	30-22
30.3.6	退避されるプログラムカウンタの値	30-23
30.4	ユーザブレークデバッグサポート機能.....	30-24
30.5	ユーザブレーク使用例.....	30-25
30.6	使用上の注意事項	30-30
31.	ユーザデバッグインタフェース (H-UDI)	31-1
31.1	特長.....	31-1
31.2	入出力端子	31-3
31.3	バウンダリスキャンTAPコントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ)	31-4
31.4	レジスタの説明	31-6
31.4.1	インストラクションレジスタ (SDIR)	31-7
31.4.2	割り込み要因レジスタ (SDINT)	31-8
31.4.3	バイパスレジスタ (SDBPR)	31-8
31.4.4	バウンダリスキャンレジスタ (SDBSR)	31-9
31.5	動作説明.....	31-26
31.5.1	TAP 制御.....	31-26
31.5.2	H-UDI リセット.....	31-27
31.5.3	H-UDI 割り込み.....	31-27
31.6	注意事項.....	31-27
32.	SD ホストインタフェース (SDHI)	32-1
33.	レジスタ一覧	33-1
33.1	レジスタアドレス一覧.....	33-1
33.2	各処理モードにおけるレジスタの状態.....	33-28
34.	電気的特性	34-1
34.1	絶対最大定格	34-1
34.2	電源投入および切断シーケンス.....	34-2
34.3	DC特性.....	34-3

34.4	AC特性	34-8
34.4.1	クロック・制御信号タイミング	34-8
34.4.2	制御信号タイミング	34-11
34.4.3	バスタイミング	34-12
34.4.4	INTC モジュール信号タイミング	34-29
34.4.5	DMAC モジュール信号タイミング	34-30
34.4.6	TMU モジュール信号タイミング	34-30
34.4.7	IIC モジュール信号タイミング	34-31
34.4.8	SCIF モジュール信号タイミング	34-33
34.4.9	SSI モジュール信号タイミング	34-34
34.4.10	ATAPI インタフェースモジュール信号タイミング	34-36
34.4.11	USB モジュール信号タイミング	34-62
34.4.12	GPIO 信号タイミング	34-63
34.4.13	H-UDI モジュール信号タイミング	34-64
34.4.14	EtherC モジュール信号タイミング	34-66
34.4.15	FLCTL モジュール信号タイミング	34-70
34.4.16	LCDC モジュール信号タイミング	34-74
34.4.17	VDC2 モジュール信号タイミング	34-75
34.5	AC特性測定条件	34-77
付録		付録-1
A.	CPU動作モードレジスタ (CPUOPM)	付録-1
B.	命令プリフェッチとその副作用について	付録-2
C.	サブルーチン復帰投機実行	付録-3
D.	バージョンレジスタ (PVR、PRR)	付録-4
E.	端子状態	付録-6
F.	未使用端子の処理	付録-14
G.	型名一覧	付録-21
H.	外形寸法図	付録-22
本版で修正または追加された箇所		改訂-1
索引		索引-1

1. 概要

1.1 SH7764 の特長

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシステム LSI です。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) 方式の命令セットを持っており、スーパースカラアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。CPU コアとして SH-4A を採用し、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低いコストでかつ高性能 / 高機能なシステムを組むことが可能となります。

本 LSI はキャッシュメモリとして、命令キャッシュ、オペランドキャッシュをそれぞれ 32K バイトを内蔵しています。オペランドキャッシュはコピーバック、ライトスルーモードの選択が可能です。更に 4G バイトの仮想アドレス空間のアクセスを可能にするメモリマネジメントユニット (MMU) を内蔵しています。命令に関しては、4 エントリ・フルアソシアティブ TLB、命令 / オペランド共用の 64 エントリ・フルアソシアティブ TLB を持っています。また 16K バイトの SRAM を内蔵しています。内蔵 SRAM は高速アクセスが可能であり、システムのスタック領域として、高性能を要求される機能のコア部分の常駐領域として使用することが可能です。

本 LSI は、表示処理を高速に行うための、2D グラフィックスエンジン (G2D) を内蔵しています。G2D で描画した画面は、LCD コントローラ (LCDC) 等を經由し表示することが可能です。

さらに本 LSI はシステム構成に必要な周辺機能として、イーサネットコントローラ (EtherC)、USB ホストインタフェース (V2.0 ハイスピードおよびフルスピード)、ATAPI コントローラ (Ultra DMA サポート)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、I²C バスインタフェース (IIC)、専用 DMAC 内蔵のシリアルサウンドインタフェース (SSI)、32 ビットタイマ (TMU)、ウォッチドッグタイマ (WDT)、割り込みコントローラ (INTC)、I/O ポート、SD ホストインタフェース (SDHI) などを内蔵しています。

また、本 LSI では外部メモリアccessサポート機能により、SDRAM などのメモリや周辺 LSI と直接接続を行います。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7764 の特長

項目	特 長
CPU	<ul style="list-style-type: none">• ルネサス独自の SuperH アーキテクチャ (SH-4A)• SH-1、SH-2、SH-3、SH-4 とオブジェクトコードレベルで互換性あり• 32 ビット内部データバス• 汎用レジスタファイル：<ul style="list-style-type: none">- 16 本の 32 ビット汎用レジスタ (および 8 本の 32 ビットシャドウレジスタ)- 7 本の 32 ビット制御レジスタ- 4 本の 32 ビットシステムレジスタ- 高速割り込み応答のためのレジスタバンク• RISC タイプ命令セット (SH シリーズと上位互換性有り)：<ul style="list-style-type: none">- 命令長：コードの効率改善のための 16 ビット固定長- ロードストアアーキテクチャ- 遅延分岐命令- 条件付き実行- C 言語に基づく命令セット• FPU を含む 2 命令同時実行スーパースカラ• 命令実行時間：最大 2 命令 / サイクル• アドレス空間：4G バイト• 空間識別子 ASID：8 ビット、256 の仮想アドレス空間• 乗算器内蔵• 8 段パイプライン• ハーバードアーキテクチャー

項目	特 長
FPU	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 (FPU) • 単精度 (32 ビット)、倍精度 (64 ビット) サポート • IEEE-754 準拠のデータフォーマットおよび例外をサポート • 丸めモード: 近傍及び 0 方向への丸め • 非正規化数の取り扱い: 0 への切捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット × 16 ワード × 2 バンク (単精度 × 16 ワードまたは倍精度 × 8 ワード) × 2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート: 積和) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLD1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> - レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) - レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) - ピッチ (FADD/FSUB): 1 サイクル (単精度)、1 サイクル (倍精度) - ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】FMAC については単精度のみサポートしています。 • 3D グラフィック命令 (単精度のみ) <ul style="list-style-type: none"> - 4 次元ベクトル変換及び行列演算 (FTRV)、4 サイクル (ピッチ)、8 サイクル (レイテンシ) - 4 次元ベクトルの内積 (FIPR)、1 サイクル (ピッチ)、5 サイクル (レイテンシ) • 11 段パイプライン
メモリ管理ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアにより入れ換え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能 • アクセス権チェック機能
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC) <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシエイティブ - 256 エントリ/ウェイ、32 バイトブロック長 - 低消費電力機能 (ウェイ予測機能) • オペランドキャッシュ (OC) <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシエイティブ - 256 エントリ/ウェイ、32 バイトブロック長 • 1 段コピーバックバッファ、1 段ライトスルーバッファ • ストアキュー (32 バイト × 2 エントリ)

項目	特 長
内蔵メモリ (ILメモリ)	<ul style="list-style-type: none"> • 高速アクセス可能な 16K バイト RAM • 1 ページ構成 • 3 ポートからのアクセスが可能で、以下の 3 つの読み出し/書き込みポートを持つ。 <ul style="list-style-type: none"> - SuperHyway バス - キャッシュ/RAM 内蔵バス - 命令バス • CPU からは、8/16/32/64 ビットオペランドアクセス。 • 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセスが可能。
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブ레이크割り込みによるデバッグをサポート • 2 本のブ레이크チャネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート
クロック発振器 (CPG)	<ul style="list-style-type: none"> • メインクロック選択回路：EXTAL からの入力クロックの周波数の 10 ~ 12 倍 • クロック動作モード： <ul style="list-style-type: none"> - CPU 周波数：max 324MHz - ローカルバス：max 108MHz - SDRAM：max 108MHz - USB：48MHz - VDC2：表示パネルサイズに応じたクロック周波数を入力
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> • カウンタオーバフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードをサポート • ウォッチドッグタイマモード時、オーバフロー信号を外部に出力。また、LSI 内部にリセット(パワオンリセット)をアサート可能 • 1 チャネル内蔵
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> • ダイレクトジャンプ方式 (SH-4 互換) • 外部割り込み：3 本の外部割り込み端子 (NMI、IRQ1、IRQ0) • 内蔵周辺割り込み：モジュールごとに優先順位を設定
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • チャネル数：6 チャネル (うち 2 チャネルは外部リクエスト可能) • 転送データサイズ：バイト、ワード (2 バイト)、ロングワード (4 バイト)、16 バイト、32 バイト • 最大転送バイト数：16,777,216 回 • アドレスモード：デュアルアドレスモード • パスモード：サイクルスチールモードとバーストモードから選択可 • 転送要求：外部リクエスト (チャネル 0、チャネル 1)、内蔵周辺モジュールリクエスト、オートリクエストモードから選択可能 • 優先順位：チャネル優先順位固定モードとラウンドロビンモードから選択可能

項目	特 長
メモリコントロールユニット (MCU)	<ul style="list-style-type: none"> • 外部メモリアクセスをサポート <ul style="list-style-type: none"> - 4本の外部メモリセレクト信号を出力 - 4エリア (FLASH、SDRAM)、それぞれ最大 64M バイトの外部メモリ空間 • SRAM : データバス幅 32 ビット / 16 ビット / 8 ビットを選択可能 • SDRAM : データバス幅 64 ビット / 32 ビットを選択可能 • ビッグエンディアンまたはリトルエンディアンを設定可能 【SRAM インタフェース】 • NOR 型の FLASH メモリが接続可能 • サイクルウェイト機能 : (ハードウェアによるウェイト制御 : 信号) • データバス衝突回避のためのウェイト制御 (アイドルサイクルの挿入) : <ul style="list-style-type: none"> - リードサイクル直後のリードサイクル間のウェイト設定 - リードサイクル直後のライトサイクル間のウェイト設定 【SDRAM インタフェース】 • リフレッシュ機能 : <ul style="list-style-type: none"> - オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵) - セルフリフレッシュ • タイミング設定 : <ul style="list-style-type: none"> ロウカラムレーテンシ、カラムレーテンシ、ロウアクティブ期間、 ライトリカバリ期間、ロウプリチャージ期間、オートリフレッシュ要求間隔、 初期化プリチャージサイクル数、初期化オートリフレッシュ要求間隔 • パーストアクセス方式 : ランダムカラム (SDRAM パースト長 : 32 ビットバス 8、64 ビットバス 4) • 初期化シーケンサ機能 : プリチャージ、オートリフレッシュコマンドを発行
タイマ (TMU)	<ul style="list-style-type: none"> • 6 チャンネルオートリロード型 32 ビットタイマ • チャンネル 2 のみ、インプットキャプチャ機能を搭載 • 各チャンネルとも 6 種類のカウンタ入力クロックを選択可能 <ul style="list-style-type: none"> - 外部クロック、5 種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pck は周辺クロック)
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> • 3 チャンネル内蔵 • 送受信 FIFO 各 16 バイト内蔵 • 調歩同期 / クロック同期式モードの選択が可能。 • 全二重通信が可能 • 送受信クロックソースを、ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能 • モデムコントロール機能 (調歩同期式モード時)

項目	特 長
I ² C バス インタフェース (IIC)	<ul style="list-style-type: none"> • フィリップス社の提唱する I²C バス (Inter IC Bus) インタフェース方式に対応 • マスタ / スレーブ機能 • マルチマスタ機能 • 400Kbps までの転送をサポート • システムクロックからプログラマブルにクロックを生成
ATAPI インタフェース (ATAPI)	<ul style="list-style-type: none"> • プライマリチャネルサポート • マスタスレーブ機能 • 転送モード : PIO モード 0~4、マルチワード DMA モード 0~2、ウルトラ DMA モード 0~4 (最大 66Mbps) • 32 バイトダブルバッファサポートによる高速転送 • ディスクリプタモードをサポート • 専用 DMAC 1 チャンネル内蔵 • I/O : 3.3V 対応 <p>【注】 ATAPI コントローラの入出力端子には、プライマリ入出力グループとセカンダリ入出力グループ (ミラー端子) の 2 つの端子グループがあります。どちらの端子グループも常に同じ入出力動作をします。ただし、2 つの端子を混在して使用することは不可です。</p>
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • 6 チャンネルの双方向シリアル転送 • 多様なシリアルオーディオフォーマットをサポート • マスタ / スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャンネルフォーマット機能 • 8/16/18/20/22/24/32 ビットデータフォーマットをサポート • SSI ネットワーク機能 <p>任意のオーディオクロックのチャンネルを接続可能です。例えば、以下のような接続が可能です。</p> <ul style="list-style-type: none"> - 例 1 すべてのオーディオクロックを接続。 - 例 2 チャンネル 0-2 のオーディオクロックを接続。 - 例 3 チャンネル 0-1、チャンネル 2-3、チャンネル 4-5 のオーディオクロックそれぞれ接続。 - 例 4 すべてのチャンネルのオーディオクロックを独立に使用。 <p>同様に、任意のチャンネルの SSISCK 端子 / SSIWS 端子をセットにして接続が可能です。この設定は、オーディオクロックの接続とは独立に指定が可能です。</p> <ul style="list-style-type: none"> • SSI-DMAC <p>SSI 専用 DMAC を搭載しており、6 チャンネルの SSI と外部メモリあるいは内蔵メモリ間のデータ転送を行います。</p> <ul style="list-style-type: none"> - チャンネル数 : 送信 6 チャンネル、受信 6 チャンネル - 転送データサイズ : 8 バイト、16 バイト、32 バイト - 最大転送バイト数 : 4294967296 回 - バスモード : サイクルスチールモード - 優先順位 : チャンネル優先順位固定モードとラウンドロビンモードから選択可能

項目	特 長
イーサネット コントローラ (EtherC)	<ul style="list-style-type: none"> • イーサネットの MAC (Media Access Control) 機能 データフレームの組み立て / 分解 (IEEE802.3 準拠フレーム形式) CSMA/CD 方式のリンク管理 (データの衝突回避、衝突発生検出時の処理) CRC 計算 FIFO 内蔵 (送受信それぞれ 2K バイト) 全二重 / 半二重送受信 ショートパケット、ロングパケット検出 • MII (Media Independent Interface) 標準規格に対応 ステーション管理 (STA 機能) 転送レート 10/100Mbps • マジックパケット検出機能 (WOL : Wake on LAN 出力) 有り
イーサネット コントローラ用 DMAC (E-DMAC)	<ul style="list-style-type: none"> • ディスクリプタ管理方式のデータ転送により、CPU の負荷軽減 • Ether 受信 FIFO (2K バイト) から受信バッファへの転送 : 1 チャネル • 送信バッファから EtherC 送信 FIFO (2K バイト) への転送 : 1 チャネル • 32 バイトバースト転送によりバスを効率よく使用 • シングルフレーム・マルチバッファ対応可能
USB ホスト / ファンクション インタフェース (USB)	<ul style="list-style-type: none"> • USB バージョン 2.0 準拠 • 480Mbps および 12Mbps の転送速度をサポート • ホスト、ファンクションとして使用可能 (ソフトウェアで設定可能) • PHY を内蔵 • ハブを 1 段経由し、複数のペリフェラル機器と接続可能 • 通信バッファとして 5K バイトの RAM を内蔵
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> • 16x1 ~ 1024x1024 ドットの表示サイズをサポート • 4、8、15、16bpp カラーモードをサポート • 1、2、4、6bpp グレイスケールモードをサポート • TFT/DSTN/STN ディスプレイをサポート • 信号極性を設定可能 • 24 ビットカラーパレットメモリ (24 ビット中 R:5/G:6/B:5 として 16 ビットが有効) • ユニファイドグラフィックメモリアーキテクチャ

項目	特 長
2D グラフィックス エンジン (2D Engine : G2D)	<p>【図形描画機能】</p> <ul style="list-style-type: none"> • 4 頂点描画 • 多角形描画 • 線描画 • 高機能太線描画 • アンチエイリアス処理 • ラスタオペレーション / ブレンド付ビット BLT <p>【座標変換機能】</p> <ul style="list-style-type: none"> • 4×4 マトリックス演算 + 透視法の W 除算を実行 <p>【色表現】</p> <ul style="list-style-type: none"> • ソース : 1、8、16 ビット / 画素、描画 : 8、16 ビット / 画素 • ワーク : 2 値 <p>【スクリーン座標】</p> <ul style="list-style-type: none"> • X 方向 : 0 ~ 4095、Y 方向 : 0 ~ 4095 <p>【レジスタ設定】</p> <ul style="list-style-type: none"> • カレントポインタ設定 • ローカルオフセット設定 • 特定のアドレスマップドレジスタ設定 <p>【シーケンス制御】</p> <ul style="list-style-type: none"> • Vsync 待ち • ジャンプ • サブルーチン (ネスティングレベル : 1)
表示コントローラ 2 (VDC2)	<p>【グラフィック処理機能】</p> <ul style="list-style-type: none"> • プレーン構成 : グラフィック表示プレーン 4 プレーン構成 • グラフィックスの ブレンド、クロマキー機能 (入力データは RGB16 形式に対応) <p>【出力機能】</p> <ul style="list-style-type: none"> • デジタル RGB 出力 (各 6 ビット) • VESA 規格対応のパネル出力 (RGB6:6:6、HD、VD、DE) • BTA T-1004 デジタル (8:4:4 並列) IF 出力 • 外部同期モードサポート
NAND フラッシュメモリ コントローラ (FLCTL)	<ul style="list-style-type: none"> • NAND 型フラッシュメモリとの直結が可能 • セクタ (512 + 16 バイト) 単位のリードライト、ECC 処理を実施 • バイト単位のリードライト • 256 バイトの FIFO を内蔵 • 多値 (MLC) フラッシュメモリには未対応

項目	特 長
サンプリングレート コンバータ (SRC)	<ul style="list-style-type: none"> データ形式：ステレオ 32 ビット (L/R 各 16 ビット)、モノラル 16 ビット 入力サンプリングレート：8/11.025/12/16/22.05/24/32/44.1/48kHz 出力サンプリングレート：44.1/48kHz
I/O ポート (GPIO)	<ul style="list-style-type: none"> 77 本の汎用入出力ポート 入出力ポートはビットごとに入出力切替可能 ポートは、割り込みの端子、内蔵機能などとマルチプレックス
低消費電力モード	<ul style="list-style-type: none"> 本 LSI の消費電力をさげるために 3 種類の低消費電力モードをサポート <ul style="list-style-type: none"> スリープモード：CPU へのクロック供給を停止 リフレッシュスタンバイモード：CPU および内蔵周辺モジュールは動作を停止します。CPG は動作を続け、SDRAM のリフレッシュ動作は継続可能です。 モジュールスタンバイ機能：内蔵周辺モジュールへのクロック供給を停止
デバッグ インタフェース	<ul style="list-style-type: none"> H-UDI (User Debugging Interface) AUD (Advanced User Debugger)
SD ホストインタフ ェース (SDHI) (SDHI の搭載、非 搭載は製品によつて 異なります。詳細は 付録の型名一覧を参 照してください。)	<ul style="list-style-type: none"> SD メモリ / IO カードインタフェース (1 ビット / 4 ビット SD バス) エラーチェック機能：CRC7 (コマンド)、CRC16 (データ) 割り込み要求：カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み DMAC 転送要求：SD_BUF ライト、SD_BUF リード カード検出機能、ライトプロテクトサポート
電源電圧	<ul style="list-style-type: none"> VDD、VDD-PLL：1.25 ± 0.1V VDDQ：3.3 ± 0.3V
パッケージ	BGA-404 ピン (19mm × 19mm)
プロセス	90nm CMOS プロセス

1.2 ブロック図

図 1.1 に SH7764 のブロック図を示します。

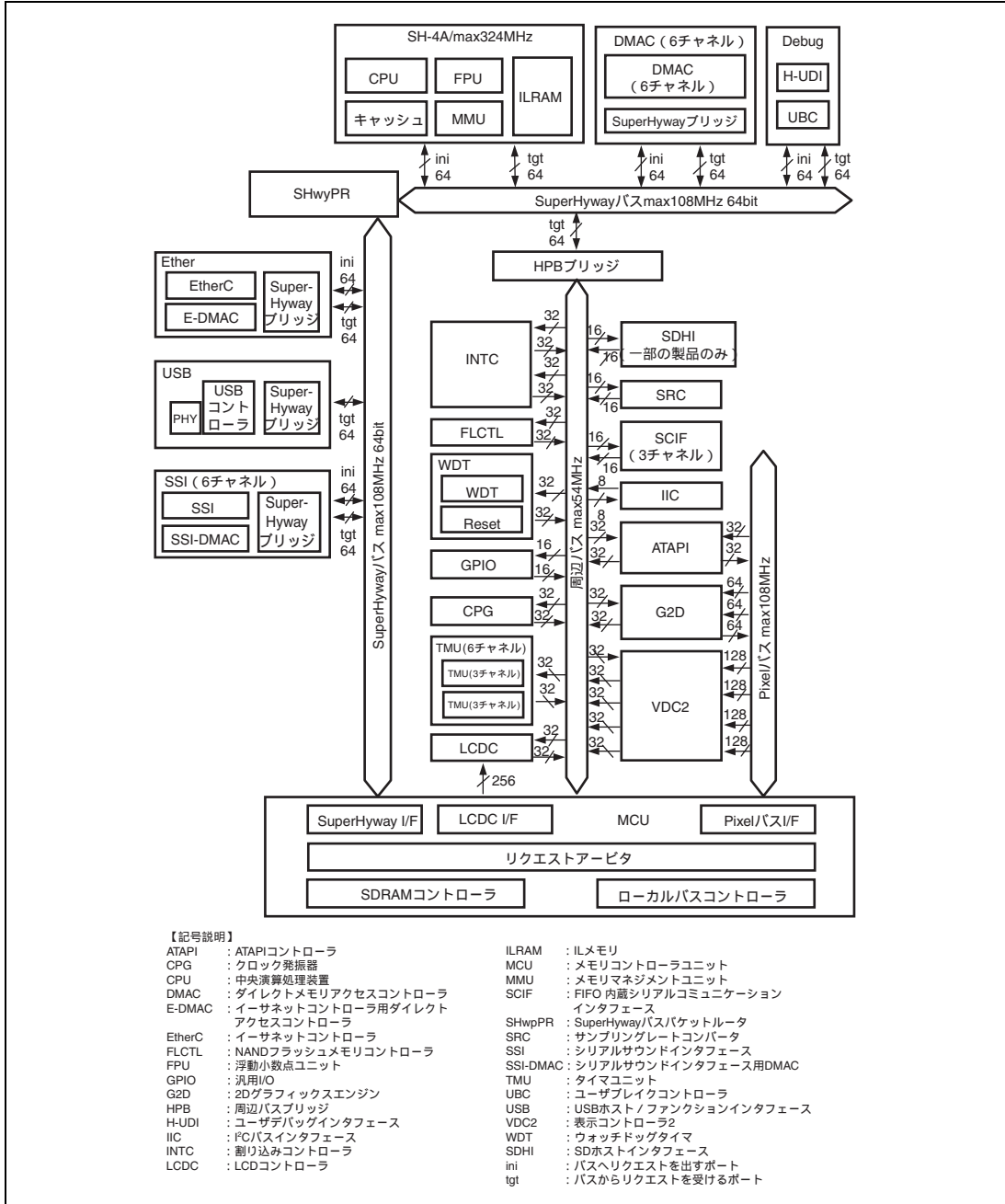


図 1.1 ブロック図

1.3 ピン配置

図 1.2 にピン配置図を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22				
A	VSS	VSS	VSS	VDDA_USB	VDD_USB	DP	DM	VDDQ_USB	VDDQ	D2 IDED9	D0 IDED11	D4 IDED13	WEF DOM4LU	WES DOM4LL	D3 IDED15	D6 IDEA2	D4 FF5	D2 FF7	A2	A3	CS1	VSS		A		
B	SIN	VSS	VSS	VSSA_USB	VSS_USB	VBUS	VSS	VSSQ_USB	VSS	D3 IDED8	D1 IDED10	D4 IDED12	WES DOM4LU	WEF DOM4LL	D6 IDED14	D3 IDEA1	D5 IDEA3	D3 FF6	A1	CS2	VSS	CLKOUT		B		
C	XOUT	VSS	VDDQ	VSS	VSS	VSS	VSS	VSS	VSS	D4 IDERST	D8 IDED4	D8 IED4	D6 IDED2	D2 IDED0	D4 IDEDWR	D4 IDEDRD	D4 IDEDT	D4 IDEDST	A0	VDDQ	RA3	CKE		C		
D	EXOUT FF4 IDED11_M	LINKITA FF3 IDED10_M	WOL FF2 IDEA0_M	VDDQ	VSS	VG12	VSSQA_USB	VSS	VSS	D5 DIRECTION	D7 IDED7	D9 IDED5	D1 IDED3	D3 IDED1	D1 IDOREG	D4 IDOREDY	D4 IDODACK	D4 IDEDCSB	VDDQ	CAB	R/W	A4		D		
E	COL FE1 IDEA2_M	CIS FE0 IDEA1_M	SBISCK2 PC3	VSS	VDDQ	VH12	VDDQA_USB	REFRIN	VDDQ	VDDQ	VSS	VDD	VSS	VSS	VSS	VSS	VSS	VDDQ	A7	A6	A5	A10		E		
F	ML_TXD2 AUDIO_CLK SSIDATA5 ESSENT_M PC1	ML_RXD3 SBIDATA5 SSIDATA5 PC2	AUDIO_CLK PC3	SBIDATA2 PC2	VDDQ														VDDQ	A8	A8	A14	A13		F	
G	ML_TXD0 SBISCK3 ESSENT_M IDED10_M PC0	ML_RXD1 SBWB5 IDED10_M IDED10_M PC0	TX_ER P06	SBWB2 PC4	VSS														VDDQ	A12	A11	A16	A15		G	
H	TX_CLK P04 IDED11_M	TX_EN P04 IDED10_M	RX_ER P06 IDOREG_M	MP4D	VDDQ				VDD	VDD	VDD	VDD	VDD	VDD	VDD	VSS	D05	D04	D03	D02				H		
J	RX_OV FE4 IDED14_M	RX_CLK FE3 IDED13_M	SBWB3 PH8	SBIDATA3 PH4	VDDQ				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VSS	D07	D06	D01	D00		J	
K	ML_RXD1 SBISCK4 IDED13_M FE2	ML_RXD0 SBWB4 IDED12_M FE3	SBISCK1 PH9	IP00 DTENT1	VSS				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VSS	D09	D08	D19	D18		K	
L	ML_RXD3 AUDIO_CLK IDED12_M FE1	ML_RXD2 SBWB4 IDED11_M FE2	AUDIO_CLK PH1	IP01 DTENT2	VSS				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VDDQ	D01	D00	D17	D16		L	
M	MODE FF1 IDED11_M	MODE FF0 IDED10_M	SBWB0	STATUS1 RTS2 PA7	VDDQ				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VDDQ	DQ4LU	DQ4LU	DQ4LL	DQ4LL		M	
N	AUDIO_CLK PC7	SBISCK0	SBIDATA0	STATUS0 CTS2 PA6	VDDQ				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VDDQ	D9	D8	D7	D6		N	
P	AUDIO_CLK PC8	SBISCK1	SBWB1	FIRE PH4	VSS				VDD	VSS	VSS	VSS	VSS	VSS	VDD				VSS	D11	D10	D5	D4		P	
R	F07 IDED10_M	F06 IDED9_M	SBIDATA1	FCE PA5	VDD				VDD	VDD	VDD	VDD	VDD	VDD	VDD				VSS	D13	D12	D3	D2		R	
T	F05 IDED8_M	F04 IDED7_M	F06 PA3	FALE PC0	VSS														VSS	D15	D14	D1	D0		T	
U	F06 IDED8_M	F05 IDED7_M	MODE7 FD6	MODE8 FD7	VDDQ														VDDQ	A17	A16	A19	A20		U	
V	F07 IDERST_M	F06 DIRECTOR_M	MODE5 FD5	MODE4 FD4	VDDQ	VSS	VSS	VDDQ	VDDQ	VDDQ	VDD	VDD	VDDQ	VDDQ	VSS	VSS	VDDQ	VDDQ	A25 REF DRECS RTS0	A21 PB3	A23 PB5 DTEND0 RTST	A22 PB4 CTIS	A24 PB6 CKCS0 PC1		V	
W	MODE3 FD3	MODE2 FD2	MODE1 FD1	VDDQ	WDT/OW MD1 ALOCK DLOCK	TDO	TRST	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CS3	CS0	VSS	BREQ	SE	VSS	ASEBRKAK REBACK TCLK PC1	A4 PB8 CKCS0 CTIS	W
Y	T02 PA2	R02 PA1	VDDQ	R01 AUDATA7	R00 AUDATA0	TMS	VSS	LCD_VSPWC DR5 PA0	LCD_VCPWC DR4 PH1	LCD_DATA10 DR3 PG7	LCD_DATA11 DR2 PG4	LCD_DATA12 DR3 PG1	LCD_DATA1 DR0 BT_DATA6 PH3	LCD_DATA2 DR1 BT_DATA3	LCD_DATA3 DR0 BT_DATA5 PH2	LCD_CLK DE_VPH3	PH COMCODE	R0	VSS	BREQ	SE	VSS	PRESET		Y	
AA	SK2 PA0	VDDQ	MODE0 FD0	T01 AUDATA1	T00 AUDATA1	TDI	VSS	LCD_FLM VSPWC EA_VSYNC BT_VSYNC	LCD_M_DISP DE_VHIC_C	LCD_DATA14 DR2 PG8	LCD_DATA13 DR3 PG3	LCD_DATA14 DR2 PG5	LCD_DATA5 DR1 BT_DATA7 PH2	LCD_DATA6 DR0 BT_DATA4 PH1	LCD_DATA0 DR1 BT_DATA1	LCD_DATA0 DR0 BT_DATA2	NM	BACK	VSS-PL12	VSS-PL11	VSS	VSS			AA	
AB	VDDQ	SCL	SDA	SDA1 PWE	SDA0 AUDIYNC FILE	TCK	VSS	LCD_CLK DCLKIN	LCD_DATA10 DR4 PG6	LCD_DATA10 DR4 PG2	LCD_DATA7 DR1 BT_DATA7 PH4	LCD_DATA4 DR0 BT_DATA4 PH1	LCD_DATA1 DR1 BT_DATA1	LCD_DON CLKOUT PH0	VSS	R0Y	VSS	VDD-PL12	VDD-PL11	EXTAL	XTAL				AB	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22				

図 1.2 ピン配置図

1.4 端子機能

各端子の機能を表 1.2 に示します。

表 1.2 端子機能

分類	端子名	入出力	機 能	
電源	VDD	入力	内部電源用電源	内部コア電源用の電源端子です。すべての VDD 端子をシステムの電源に接続してください。開放すると動作しません。
	VSS	入力	内部電源 / 入出力回路用グランド	内部コア電源 / 入出力回路用のグランド端子です。すべての VSS 端子をシステム電源 (0V) に接続してください。開放すると動作しません。
	VDDQ	入力	入出力回路用電源	入出力端子用 (IO) の電源端子です。すべての VDDQ 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VDD_PLL1	入力	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。開放すると動作しません。
	VSS_PLL1	入力	PLL1 用グランド	内蔵 PLL1 発振器用のグランド端子です。開放すると動作しません。
	VDD_PLL2	入力	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。開放すると動作しません。
	VSS_PLL2	入力	PLL2 用グランド	内蔵 PLL2 発振器用のグランド端子です。開放すると動作しません。
クロック	EXTAL	入力	水晶発振子 / 外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	水晶発振子	水晶発振子を接続します。
	CLKOUT	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
動作モードコントロール	MODE2 MODE1 MODE0	入力	クロック動作モード設定	クロック動作モードを設定します。これらの端子は動作中に変化させないでください。
	MODE4 MODE3	入力	バスモード設定	バス動作モードを設定します。これらの端子は動作中に変化させないでください。
	MODE5	入力	エンディアン設定	CPU のエンディアンの選択をします。これらの端子は動作中に変化させないでください。
	MODE7	入力	XIN/XOUT 端子機能設定	USB 用外部クロック、水晶発振子の使用を指定します。
	MODE8	入力	EXTAL/XTAL 端子機能設定	外部クロック、水晶発振子の使用を指定します。

分類	端子名	入出力	機能	
システム制御	PRESET	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の開放要求するときにローレベルにします。
	BACK	出力	バス権要求アックノリッジ	バス権を外部デバイスに開放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることが出来ます。
割り込み	NMI	入力	ノンマスクابل割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ1、IRQ0	入力	割り込み要求 1、0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT15 ~ PINT0	入力	ポート割り込み	ポートからの割り込み要求端子です。PA7 ~ PA0 および PB7 ~ PB0 を使用して割り込みを発生させます。ローレベル入力です。
	IRQOUT	出力	割り込み検出	割り込み要求を検出し、受け付けた事を示すステータス信号です。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D63 ~ D0	入出力	データバス	双方向のデータバスです。
動作ステータス	STATUS1、STATUS0	出力	内部動作状態表示	STATUS[1:0]で下記の状態を示します。 00 : 通常状態 01 : スタンバイ状態 10 : スリープ状態 11 : リセット状態
バス制御	CS3 ~ CS0	出力	チップセレクト 3~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	BS	出力	バスサイクルスタート	バスサイクルの開始を示す信号です。複数のバスサイクルで構成されるバストランザクションの最初のバスサイクル時にアサートされます。
	RD	出力	読み出し	外部のデバイスから読み出すことを示します。
	R/W	出力	リード/ライト記号	外部のデバイスに対する読み出し、書き込み状態を示します。読み出し時ハイレベル、書き込み時ローレベルを出力します。
	RDY	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。

分類	端子名	入出力	機能	
バス制御	WE0	出力	バイト指定	外部メモリまたはデバイスのデータのビット7~0に書き込みすることを示します(8/16/32ビットバスアクセス時)。DQM64LLとピンを兼用しています。
	WE1	出力	バイト指定	外部メモリまたはデバイスのデータのビット15~8に書き込みすることを示します(16/32ビットバスアクセス時)。DQM64LUとピンを兼用しています。
	WE2	出力	バイト指定	外部メモリまたはデバイスのデータのビット23~16に書き込みすることを示します(32ビットバスアクセス時)。DQM64ULとピンを兼用しています。
	WE3	出力	バイト指定	外部メモリまたはデバイスのデータのビット31~24に書き込みすることを示します(32ビットバスアクセス時)。 DQM64UUとピンを兼用しています。
バス制御 DRAM インタフェース	RAS	出力	RAS	SDRAM 接続時に $\overline{\text{RAS}}$ 端子に接続します。
	CAS	出力	CAS	SDRAM 接続時に $\overline{\text{CAS}}$ 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
	DQMUU	出力	バイト選択 0	SDRAM 接続時にデータバスのビット 31~24 を選択します。
	DQMUL	出力	バイト選択 1	SDRAM 接続時にデータバスのビット 23~16 を選択します。
	DQMLU	出力	バイト選択 2	SDRAM 接続時にデータバスのビット 15~8 を選択します。
	DQMLL	出力	バイト選択 3	SDRAM 接続時にデータバスのビット 7~0 を選択します。
	DQM64UU	出力	64 ビット バイト選択 0	SDRAM 接続時にデータバスのビット 63~56 を選択します。WE3 とピンを兼用しています。
	DQM64UL	出力	64 ビット バイト選択 1	SDRAM 接続時にデータバスのビット 55~48 を選択します。WE2 とピンを兼用しています。
	DQM64LU	出力	64 ビット バイト選択 2	SDRAM 接続時にデータバスのビット 47~40 を選択します。WE1 とピンを兼用しています。
DQM64LL	出力	64 ビット バイト選択 3	SDRAM 接続時にデータバスのビット 39~32 を選択します。WE0 とピンを兼用しています。	
表示 コントローラ 2 (VDC2)	DR5~DR0	出力	デジタルレッド データ出力	ビデオデータの出力端子です。
	DG5~DG0	出力	デジタルグリーン データ出力	ビデオデータの出力端子です。
	DB5~DB0	出力	デジタルブルー データ出力	ビデオデータの出力端子です。
	VSYNC	出力	垂直同期信号	垂直同期信号です。
	HSYNC	出力	水平同期信号	水平同期信号です。

分類	端子名	入出力	機能	
表示 コントローラ 2 (VDC2)	DE_V	出力	垂直データ イネーブル信号	垂直データイネーブル信号です。
	DE_H / DE_C	出力	水平データ イネーブル信号 / 表示イネーブル 信号	水平データイネーブル信号 / 表示イネーブル信号です。
	COM / CDE	出力	ゲート制御信号 / クロマデータ イネーブル信号	ゲート制御信号 / 表示イネーブル(レジスタに設定した クロマキー対象色と一致したときにアサート) です。
	BT_DATA7 ~ BT_DATA0	入出力	BTA-T1004 表示データ	BTA-T1004 表示データの出力端子です。
	BT_HSYNC	出力	BTA-T1004 水平 同期	BTA-T1004 用水平同期信号です。
	BT_VSYNC	出力	BTA-T1004 垂直同期	BTA-T1004 用垂直同期信号です。
	BT_DE_C	出力	BTA-T1004 表示イネーブル	BTA-T1004 表示イネーブル信号です。
	EX_HSYNC	入力	HSYNC 入力	外部同期モード時、HSYNC 信号を入力します。
	EX_VSYNC	入力	VSYNC 入力	外部同期モード時、VSYNC 信号を入力します。
	DCLKIN	入力	パネルソース クロック入力	表示用のソースクロックを入力します。表示パネルサイ ズに合わせた周波数を入力します。
	DCLKOUT	出力	パネルクロック 出力	パネルクロックの出力端子です。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0、 DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0、 DACK1	出力	DMA 転送要求 アクノリッジ	外部からの DMA 転送要求に対する、DMA アクノリッ ジ出力端子です。
	DTEND0、 DTEND1	出力	DMA 転送終了 出力	DMA 転送終了出力信号です。
イーサネット コントローラ (EtherC)	CRS	入力	キャリア センス	キャリアセンス信号の入力端子です。
	COL	入力	コリジョン	信号の衝突検出信号の入力端子です。
	MII_TXD3 ~ MII_TXD0	出力	送信データ	4 ビットの送信データ端子です。 PHY のデータ送信端子に接続します。
	TX_EN	出力	送信 イネーブル	MII_TXD 端子上に送信データが準備できたことを示し ます。
	TX_CLK	入力	送信クロック	TX_EN、TX_ER、MII_TXD のクロック信号です。
	TX_ER	出力	送信エラー	送信中のエラーを PHY-LSI に通知する為の信号です。
	MII_RXD3 ~ MII_RXD0	入力	受信データ	4 ビットの受信データ端子です。 PHY のデータ受信端子に接続します。

分類	端子名	入出力	機能	
イーサネット コントローラ (EtherC)	RX_DV	入力	受信データ バリッド	MII_RXD 端子上に受信データが準備できたことを示します。
	RX_CLK	入力	受信クロック	RX_DV、RX_ER、MII_RXD のクロック信号です。
	RX_ER	入力	受信エラー	受信中に発生したエラーを通知する端子です。
	MDC	出力	管理用 クロック	MDIO による転送情報のクロック信号です。
	MDIO	入出力	管理用データ	管理情報を交換する為の双方向のデータ端子です。
	WOL	出力	MAGIC パケット受信	Magic パケットを受信する為の端子です。
	LNKSTA	入力	リンク ステータス	PHY-LSI からのリンク状態を入力する端子です。
	EXOUT	出力	汎用出力	外部出力用端子です。
ATAPI インタフェース (ATAPI)	IDED15~ IDED0 IDED15_M~ IDED0_M	入出力	IDE データバス	双方向データバス IDED15_M~IDED0_M は、ミラー端子です。
	IDEA2~IDEA0 IDEA2_M~ IDEA0_M	出力	IDE アドレスバス	IDE のアドレス出力端子です。 IDEA2_M~IDEA0_M は、ミラー端子です。
	$\overline{\text{IODACK}}$ $\overline{\text{IODACK_M}}$	出力	IDEDMA アクノリッジ	プライマリチャンネル DMA アクノリッジ信号 (アクティブロー) $\overline{\text{IODACK_M}}$ は、ミラー端子です。
	IODREQ IODREQ_M	入力	IDEDMA リクエスト	プライマリチャンネル DMA 要求信号 (アクティブハイ) IODREQ_M はミラー端子です。
	$\overline{\text{IDECST1}}$ 、 $\overline{\text{IDECST0}}$ $\overline{\text{IDECST1_M}}$ $\overline{\text{IDECST0_M}}$	出力	IDE チップ セレクト	プライマリチャンネルチップセレクト (アクティブロー) $\overline{\text{IDECST1_M}}$ 、 $\overline{\text{IDECST0_M}}$ は、ミラー端子です。
	$\overline{\text{IDEIOWR}}$ $\overline{\text{IDEIOWR_M}}$	出力	IDE ライト 信号	プライマリチャンネル書き込み信号 (アクティブロー) $\overline{\text{IDEIOWR_M}}$ は、ミラー端子です。
	$\overline{\text{IDEIORD}}$ $\overline{\text{IDEIORD_M}}$	出力	IDE リード 信号	プライマリチャンネルリード信号 (アクティブロー) $\overline{\text{IDEIORD_M}}$ はミラー端子です。
	IDEIORDY IDEIORDY_M	入力	IDE レディ信号	プライマリチャンネルレディ信号 (アクティブハイ) IDEIORDY_M はミラー端子です。
	IDEINT IDEINT_M	入力	IDE 割り込み信号	プライマリチャンネル割り込み要求信号 (アクティブハイ) IDEINT_M はミラー端子です。
	$\overline{\text{IDERST}}$ $\overline{\text{IDERST_M}}$	出力	IDE リセット 信号	プライマリチャンネル ATAPI デバイスリセット (アクティブロー) $\overline{\text{IDERST_M}}$ はミラー端子です。
	DIRECTION DIRECTION_ M	出力	ディレクション 信号	外部レベルシフタディレクション信号 (デバイスのライト時に 0) DIRECTION_M は、ミラー端子です。

分類	端子名	入出力	機能	
FIFO 内蔵 シリアル コミュニケーション インタフェース (SCIF)	SCK0、SCK1、 SCK2	入出力	シリアルクロック	シリアルクロック入出力端子です。
	TXD0、TXD1、 TXD2	出力	送信データ	シリアルデータ出力端子です。
	RXD0、RXD1、 RXD2	入力	受信データ	シリアルデータ入力端子です。
	$\overline{\text{CTS0}}$ 、 $\overline{\text{CTS1}}$ 、 $\overline{\text{CTS2}}$	入出力	モデム制御 送信可信号	モデムを制御する、送信データを停止 / 再開する信号です。
	$\overline{\text{RTS0}}$ 、 $\overline{\text{RTS1}}$ 、 $\overline{\text{RTS2}}$	入出力	モデム制御 送信要求信号	モデムを制御する、受信データを停止 / 再開する信号です。
I ² C バス インタフェース (IIC)	SCL	入出力	シリアル クロック	シリアルクロック入出力端子です。
	SDA	入出力	シリアル データ	シリアルデータ入出力端子です。
USB ホスト / ファンクション コントローラ (USB)	XIN	入力	USB 用 水晶発振子 / 外部クロック	USB 動作用の水晶発振子または外部クロックを接続します。
	XOUT	出力	USB 用 水晶発振子	USB 動作用の水晶発振子を接続します。
	DP	入出力	D + 信号	USB D + 信号
	DM	入出力	D - 信号	USB D - 信号
	VBUS	入力	Vbus 信号	USB Vbus 信号
	REFRIN	入力	リファレンス 入力	5.6k (± 1%) の抵抗を介して VSSQA_USB に接続
	VDD_USB	デジタル 電源	USB PHY デジタル部 電源	USB PHY のデジタル部用電源です。 1.25V (Typ) を入力します。
	VSS_USB	デジタル グラウンド	USB PHY デジタル部 グラウンド	USB PHY のデジタル部用グラウンドです。 0V を入力します。
	VDDQ_USB	デジタル 電源	USB PHY デジタル部 電源	USB PHY のデジタル部用電源です。 3.3V (Typ) を入力します。
VSSQ_USB	デジタル グラウンド	USB PHY デジタル部 グラウンド	USB PHY のデジタル部用グラウンドです。 0V を入力します。	

分類	端子名	入出力	機能	
USB ホスト / ファンクション コントローラ (USB)	VDDA_USB	アナログ 電源	USB PHY アナログ部 電源	USB PHY のアナログ部用電源です。 1.25V (Typ) を入力します。
	VSSA_USB	アナログ グランド	USB PHY アナログ部 グランド	USB PHY のアナログ部用グランドです。 0V を入力します。
	VDDQA_USB	アナログ 電源	USB PHY アナログ部 電源	USB PHY のアナログ部用電源です。 3.3V (Typ) を入力します。
	VSSQA_USB	アナログ グランド	USB PHY アナログ部 グランド	USB PHY のアナログ部用グランドです。 0V を入力します。
	UV12	デジタル 電源	USB PHY デジタル部 電源	USB PHY のデジタル部用電源です。 1.25V (Typ) を入力します。
	UG12	デジタル グランド	USB PHY デジタル部 グランド	USB PHY のデジタル部用グランドです。 0V を入力します。
32 ビット タイマ (TMU)	TCLK	入力	タイマ クロック	タイマの外部クロック入力です。 チャンネル2のインプットキャプチャ信号としても使用できます。
シリアル サウンド インタフェース (SSI)	SSIDATA0、 SSIDATA1、 SSIDATA2、 SSIDATA3、 SSIDATA4、 SSIDATA5	入出力	SSI データ 入出力	シリアルデータ入出力端子です。
	SSISCK0、 SSISCK1、 SSISCK2、 SSISCK3、 SSISCK4、 SSISCK5、	入出力	SSI クロック 入出力	シリアルクロック入出力端子です。
	SSIWS0、 SSIWS1、 SSIWS2、 SSIWS3、 SSIWS4、 SSIWS5	入出力	SSI クロック LR 入出力	ワード選択入出力端子です。

分類	端子名	入出力	機能	
シリアル サウンド インタフェース (SSI)	AUDIO_CLK0、 AUDIO_CLK1、 AUDIO_CLK2、 AUDIO_CLK3、 AUDIO_CLK4、 AUDIO_CLK5	入力	SSI オーディオ用 外部クロック	オーディオ用外部クロックを入力します。このクロックを分周器に入力して使用します。
LCD コントローラ (LCDC)	LCD_DATA15 ~ LCD_DATA0	出力	LCD データ	LCD パネル用データ出力端子です。
	LCD_DON	出力	表示開始 信号	表示開始信号 (DON) 端子です。
	LCD_CL1	出力	シフトクロック 1	LCD シフトクロック 1 / 水平同期信号端子です。
	LCD_CL2	出力	シフトクロック 2	LCD シフトクロック 2 / ドットクロック端子です。
	LCD_CLK	入力	クロックソース	LCD クロックソース入力端子です。外部クロックを入力してください。水晶発振子を接続することはできません。
	LCD_FLM	出力	ラインマーカ	ファーストラインマーカ / 垂直同期信号端子です。
	LCD_VCPWC	出力	電源制御 (VCC)	LCD 液晶モジュール電源制御 (VCC) 端子です。
	LCD_VEPWC	出力	電源制御 (VEE)	LCD 液晶モジュール電源制御 (VEE) 端子です。
NAND フラッシュ メモリ コントローラ (FLCTL)	FC \bar{E}	出力	チップ イネーブル	チップイネーブル端子です。
	FD7 - FD0	入出力	データ入出力	コマンド、アドレス、データの入出力端子です。
	FCLE	出力	コマンドラッ チイネーブル	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。
	FALE	出力	アドレスラッ チイネーブル	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。
	FR \bar{E}	出力	リード イネーブル	リードイネーブル (RE) RE の立下りエッジでデータリードします。
	FW \bar{E}	出力	ライト イネーブル	ライトイネーブル WE の立ち上がりエッジでフラッシュメモリがコマンド、 アドレスおよびデータをラッチします。
	FR/ \bar{B}	入力	レディ / ビジー	レディ / ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示 します。

分類	端子名	入出力	機能	
I/O ポート (GPIO)	PA7 ~ PA0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PB7 ~ PB0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PC7 ~ PC0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PD7 ~ PD0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PE7 ~ PE0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PF7 ~ PF0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PG7 ~ PG0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PH7 ~ PH0	入出力	汎用ポート	8ビットの汎用入出力ポートです。
	PI4 ~ PI0	入出力	汎用ポート	5ビットの汎用入出力ポートです。
PJ7 ~ PJ0	入出力	汎用ポート	8ビットの汎用入出力ポートです。	
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テスト クロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TRST	入力	テスト リセット	初期化信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
アドバンスド ユーザ デバッグ(AUD)	AUDATA3 ~ AUDATA0、 AUDCK、 AUDSYNC	出力	エミュレータ 用端子	エミュレータ専用の端子
	A5EBRK /BRKACK	入出力	エミュレータ 用端子	エミュレータ専用の端子
	MPMD	入力	チップモード 指定端子	エミュレーションサポートモードとして動作させる (MPMD=ローレベル)か、本体チップモードとして動作 させる(MPMD=ハイレベル)かを指定します。

1.5 アドレスマップ

図 1.3 に本 LSI の内部のアドレスマップを示します。

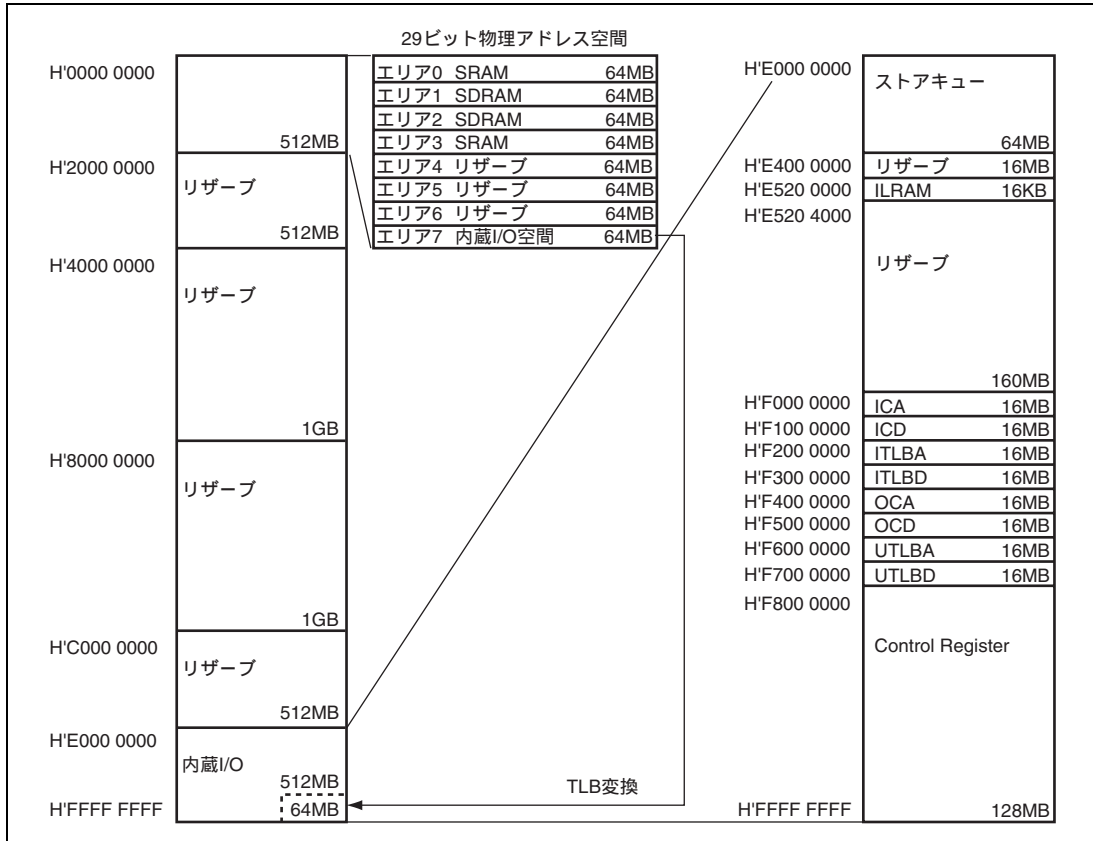


図 1.3 物理アドレス空間 (1)

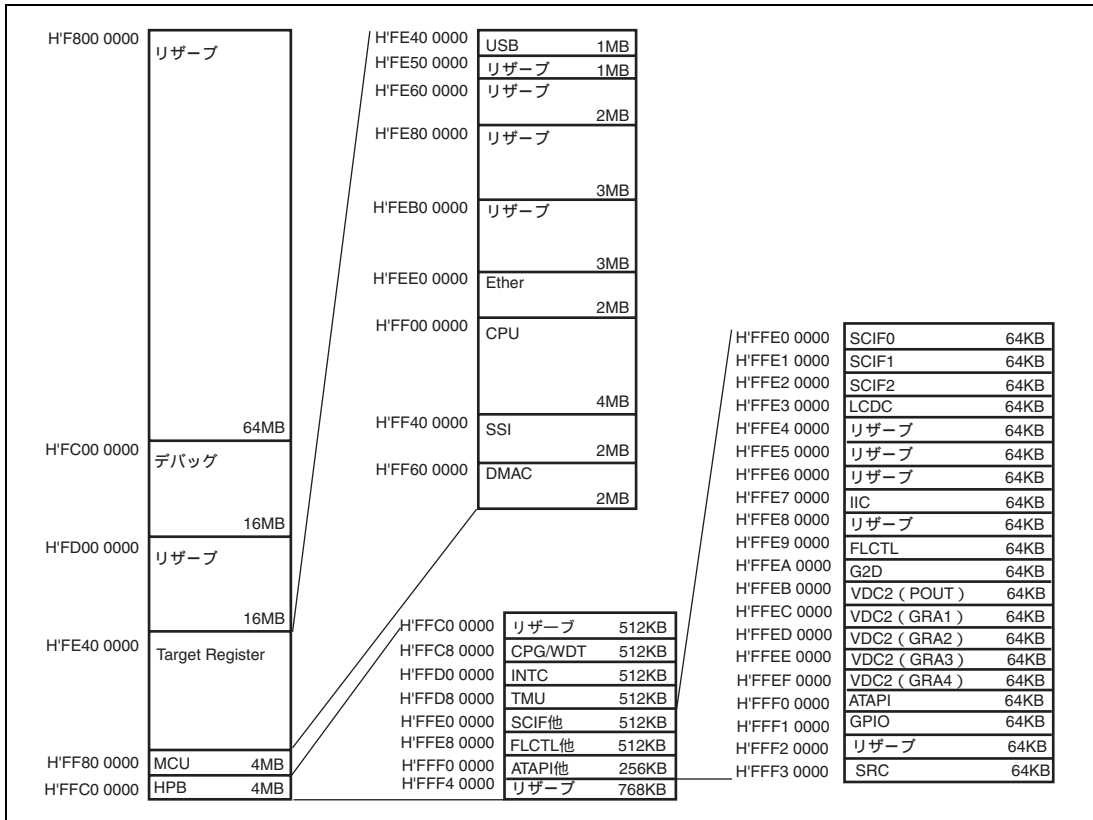


図 1.3 物理アドレス空間 (2)

2. プログラミングモデル

本章では、SH-4A のプログラミングモデルについて記述します。SH-4A では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

SH-4A でサポートしているデータフォーマットを図 2.1 に示します。

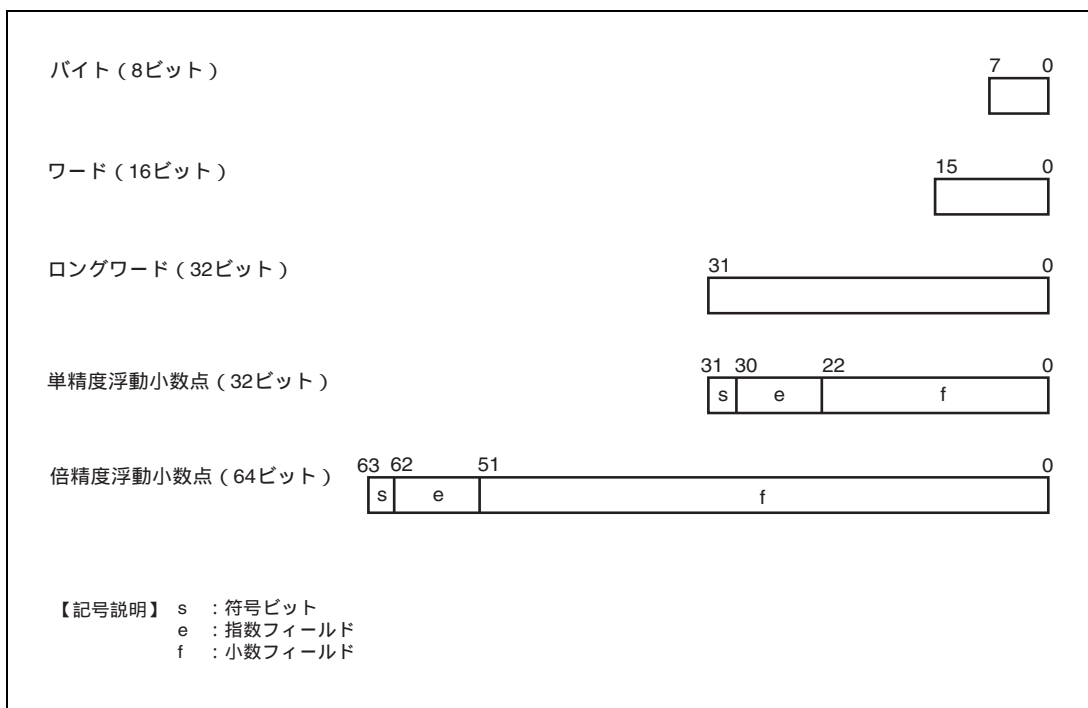


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12 (レジスタベクタ)の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX (レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

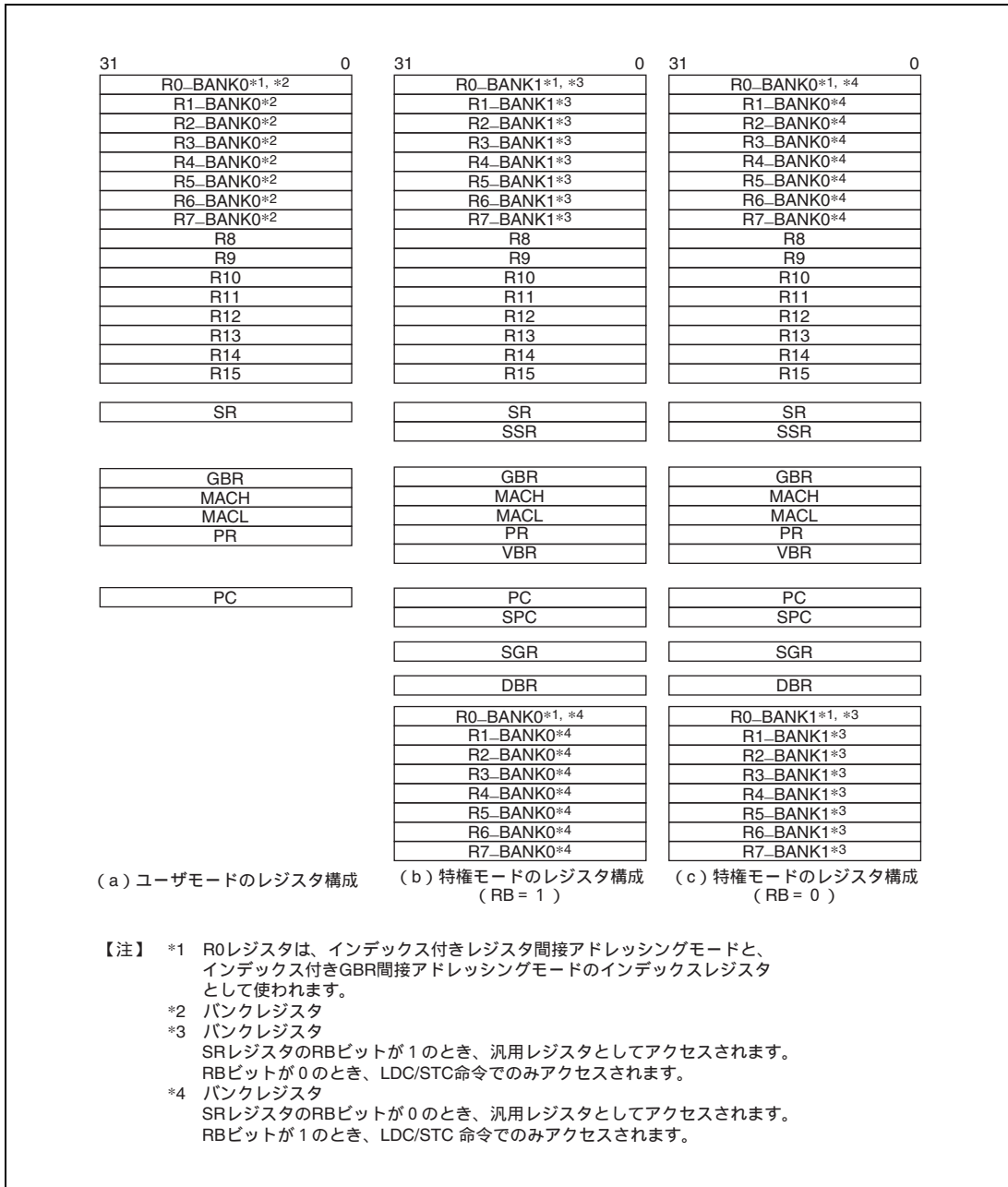


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4A には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15)があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4A には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0	R0-BANK0
R1	R1_BANK0	R1	R1-BANK0
R2	R2_BANK0	R2	R2-BANK0
R3	R3_BANK0	R3	R3-BANK0
R4	R4_BANK0	R4	R4-BANK0
R5	R5_BANK0	R5	R5-BANK0
R6	R6_BANK0	R6	R6-BANK0
R7	R7_BANK0	R7	R7-BANK0
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0～R7 は R0_BANK0～R7_BANK0 に、例外・割り込み後の R0～R7 は R0_BANK1～R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0～R7 (R0_BANK0～R7_BANK0) を退避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0～FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0～XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0～FR15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0～FR15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、

XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR=0			FPSCR.FR=1				
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
		FR4	FPR4_BANK0	XF4		XD4	
FV4	DR4	FR5	FPR5_BANK0	XF5			
		FR6	FPR6_BANK0	XF6	XD6		
	DR6	FR7	FPR7_BANK0	XF7			
		FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
	DR10	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
		FR14	FPR14_BANK0	XF14		XD14	
FV12	DR12	FR15	FPR15_BANK0	XF15			
		FR15	FPR15_BANK0	XF15			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
		XF2	FPR2_BANK1	FR2			DR2
	XF3	FPR3_BANK1	FR3				
	XD2	XF4	XF4	FPR4_BANK1	FR4	DR4	FV4
			XF5	FPR5_BANK1	FR5		
	XD4	XF6	XF6	FPR6_BANK1	FR6	DR6	
			XF7	FPR7_BANK1	FR7		
			XF8	FPR8_BANK1	FR8		DR8
	XF9	FPR9_BANK1	FR9				
	XD6	XF10	XF10	FPR10_BANK1	FR10	DR10	
			XF11	FPR11_BANK1	FR11		
	XD8	XF12	XF12	FPR12_BANK1	FR12	DR12	FV12
			XF13	FPR13_BANK1	FR13		
			XF14	FPR14_BANK1	FR14		
XD10	XF15	XF15	FPR15_BANK1	FR15			

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		FD						M	Q	IMASK					S	T
初期値 :	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 一般例外または割り込みにより 1 にセットされます。
27 ~ 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します (FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

ビット	ビット名	初期値	R/W	説明
14~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第3章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SSR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。

ビット	ビット名	初期値	R/W	説明
20	SZ	0	R/W	<p>転送サイズモード</p> <p>0 : FMOV 命令のデータサイズは 32 ビットです。</p> <p>1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
19	PR	0	R/W	<p>精度モード</p> <p>0 : 浮動小数点命令を単精度演算として実行します。</p> <p>1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0 : 非正規化数を非正規化数として扱います。</p> <p>1 : 非正規化数を 0 として扱います。</p>
17 ~ 12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11 ~ 7	Enable (EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6 ~ 2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00 : 近傍への丸め</p> <p>01 : 0 方向への丸め</p> <p>10 : リザーブ (設定禁止)</p> <p>11 : リザーブ (設定禁止)</p>

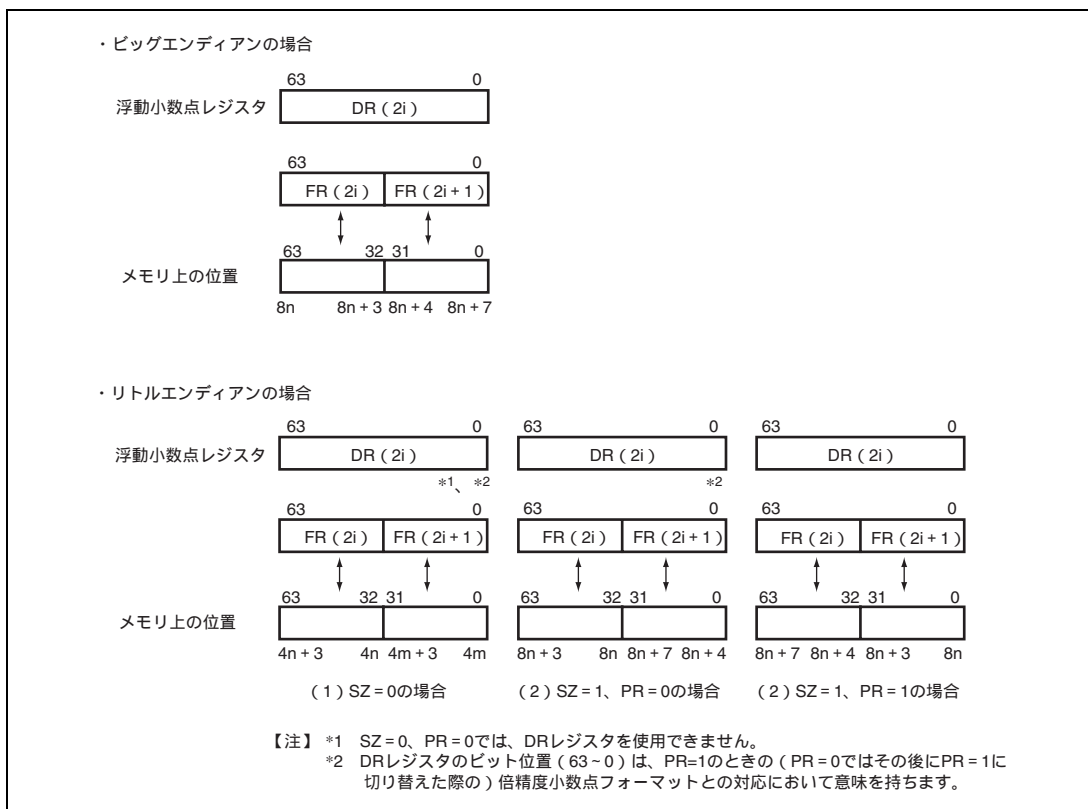


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

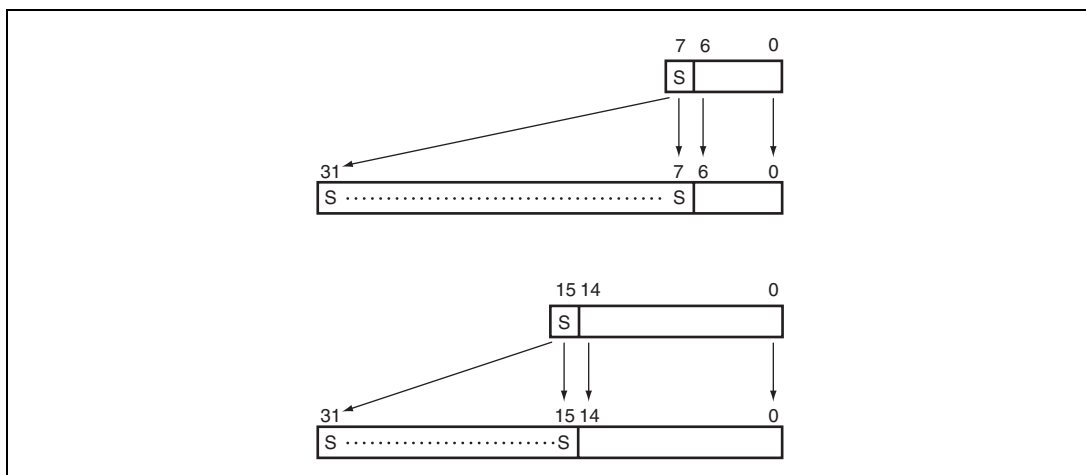


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.7 に示します。

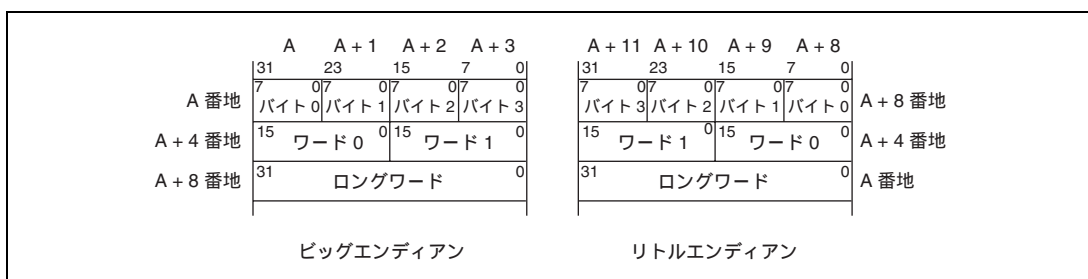


図 2.7 メモリ上のデータ形式

64 ビットのデータ形式については図 2.5 を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。低消費電力状態の詳細は、「第28章 低消費電力モード」を参照してください。

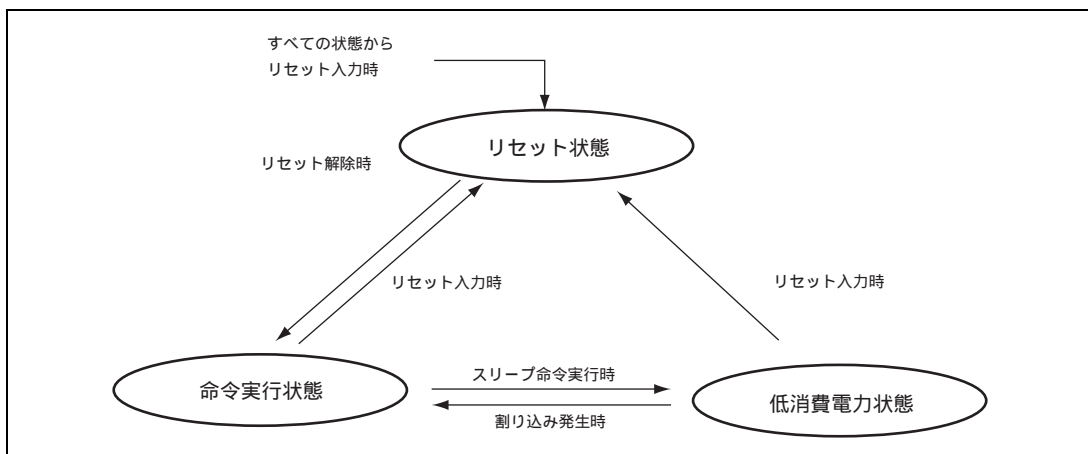


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコードに対する注意事項

SH-4A は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

```
OCBP @Rm または OCBWB @Rm
```

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する命令列

3. 命令セット

SH-4A の命令セットは固定長 16 ビット命令で実現されます。SH-4A はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。SH-4A がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

SH-4A は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH-4A の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0        ;T ビットは ADD 演算で変更されません。
CMP/EQ R1, R0        ;R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET        ;T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

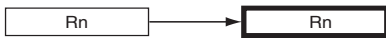
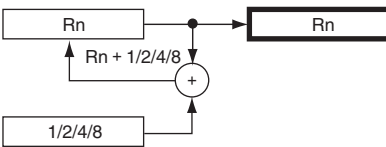
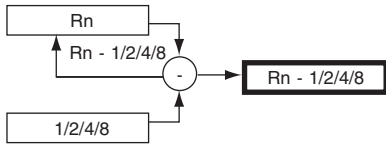
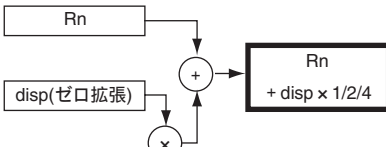
```
MOV.W  @(disp, PC), Rn
MOV.L  @(disp, PC), Rn
```

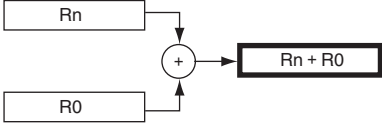
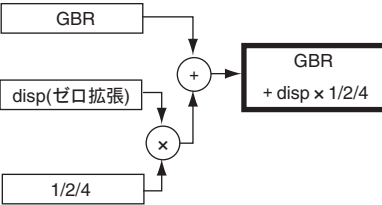
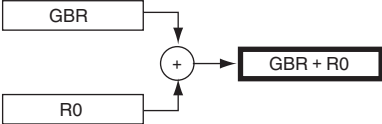
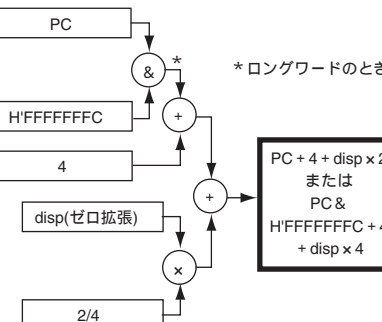
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

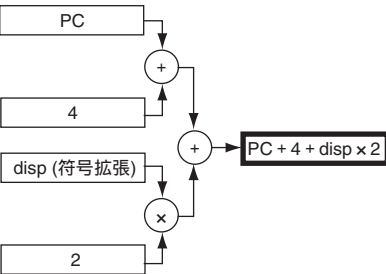
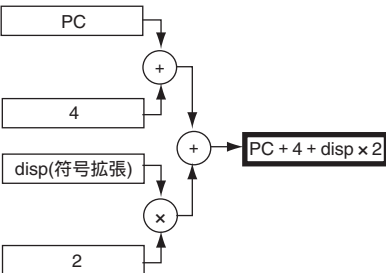
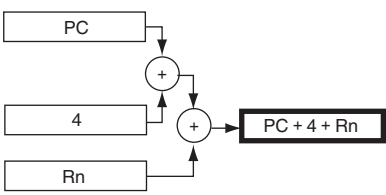
3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp x 2 EA ロングワード : Rn + disp x 4 EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times EA$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p> 	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイメント付き PC 相対
- disp: 8, disp:12 ;PC 相対

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令二モニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび / またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項目	フォーマット	説明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、プロセッサバージョンレジスタ(PVR)のVERビットの値がH'20のSH-4Aで新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnndddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnndddddd	-	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnndddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnndddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST	新規
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み / 例外発生時 0 LDST	0000rrrrmm01100011	-	-	新規
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100rrrrmm10101001	-	-	新規
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100rrrrmm11101001	-	-	新規
MOVT Rn	T Rn	0000nnnn00101001	-	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnrrrrmm1000	-	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnrrrrmm1001	-	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnrrrrmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (× 1、× 2、× 4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnrrrrmm1100	-	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnnriiiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnrrrrmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnrrrrmm1111	-	オ - バ フロ -	-
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnrrrrmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnrrrrmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnrrrrmm0011	-	比較 結果	-
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnrrrrmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnrrrrmm0111	-	比較 結果	-
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果	-

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1 T それ以外るとき 0 T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	0010nnnnnnmm1100	-	比較 結果	-
DIV1 Rm,Rn	1 ステップ除算(Rn÷Rm)	0011nnnnnnmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnnnmm0111	-	計算 結果	-
DIV0U	0 M/Q/T	000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnnnmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnnnmm0101	-	-	-
DT Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外るとき 0 T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnnnmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnnnmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnnnmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnnnmm1101	-	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnnnmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnnnmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnnnmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnnnmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnnnmm1110	-	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnnnmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnnnmm1010	-	ボロー	-
SUB Rm,Rn	Rn-Rm Rn	0011nnnnnnmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ボロー T	0011nnnnnnmm1010	-	ボロー	-
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnnnmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)の MSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1 T それ以外のとき 0 T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき 1 T それ以外のとき 0 T	11001000iiiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外のとき 0 T	11001100iiiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiiii	-	-	-

表 3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	T Rn MSB	0100nnnn00000100	-	MSB	-
ROTR	Rn	LSB Rn T	0100nnnn00000101	-	LSB	-
ROTCL	Rn	T Rn T	0100nnnn00100100	-	MSB	-
ROTCR	Rn	T Rn T	0100nnnn00100101	-	LSB	-
SHAD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-	-
SHAL	Rn	T Rn 0	0100nnnn00100000	-	MSB	-
SHAR	Rn	MSB Rn T	0100nnnn00100001	-	LSB	-
SHLD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-	-
SHLL	Rn	T Rn 0	0100nnnn00000000	-	MSB	-
SHLR	Rn	0 Rn T	0100nnnn00000001	-	LSB	-
SHLL2	Rn	Rn<<2 Rn	0100nnnn00001000	-	-	-
SHLR2	Rn	Rn>>2 Rn	0100nnnn00001001	-	-	-
SHLL8	Rn	Rn<<8 Rn	0100nnnn00011000	-	-	-
SHLR8	Rn	Rn>>8 Rn	0100nnnn00011001	-	-	-
SHLL16	Rn	Rn<<16 Rn	0100nnnn00101000	-	-	-
SHLR16	Rn	Rn>>16 Rn	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命令	動作	命令コード	特権	T ビット	新規
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001011dddddddd	-	-	-
BF/S label	遅延分岐,T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001111dddddddd	-	-	-
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001001dddddddd	-	-	-
BT/S label	遅延分岐,T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001101dddddddd	-	-	-
BRA label	遅延分岐,disp × 2+PC+4 PC	1010dddddddddddd	-	-	-
BRAF Rn	遅延分岐,Rn+PC+4 PC	0000nnnn00100011	-	-	-
BSR label	遅延分岐,PC+4 PR, disp × 2+PC+4 PC	1011dddddddddddd	-	-	-
BSRF Rn	遅延分岐,PC+4 PR, Rn+PC+4 PC	0000nnnn00000011	-	-	-
JMP @Rn	遅延分岐,Rn PC	0100nnnn00101011	-	-	-
JSR @Rn	遅延分岐,PC+4 PR,Rn PC	0100nnnn00001011	-	-	-
RTS	遅延分岐,PR PC	0000000000001011	-	-	-

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMAC	0 MACH,MACL	0000000000101000	-	-	-
CLRS	0 S	000000001001000	-	-	-
CLRT	0 T	0000000000001000	-	0	-
ICBI @Rn	キャッシュを無効化	0000nnnn11100011	-	-	新規
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	-
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-	-
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権	-	新規
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-	-
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	-
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-	-

命令	動作	命令コード	特権	T ビット	新規
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mrrrrmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mrrrrmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mrrrrmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mrrrrmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mrrrrmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mrrrrmm1nrrn0111	特権	-	-
LDS Rm,MACH	Rm MACH	0100mrrrrmm00001010	-	-	-
LDS Rm,MACL	Rm MACL	0100mrrrrmm00011010	-	-	-
LDS Rm,PR	Rm PR	0100mrrrrmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mrrrrmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mrrrrmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mrrrrmm00100110	-	-	-
LDTLB	PTEH/PTEL(/PTEA) TLB	0000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに) R0 (Rn)	0000nnrrn11000011	-	-	-
NOP	無操作	0000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnrrn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnrrn10100011	-	-	-
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnrrn10110011	-	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnrrn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnrrn11010011	-	-	新規
RTE	遅延分岐,SSR/SPC SR/PC	0000000000101011	特権	-	-
SETS	1 S	0000000001011000	-	-	-
SETT	1 T	0000000000011000	-	1	-
SLEEP	スリープもしくはスタンバイ	0000000000011011	特権	-	-
STC SR,Rn	SR Rn	0000nnrrn00000010	特権	-	-
STC GBR,Rn	GBR Rn	0000nnrrn00010010	-	-	-
STC VBR,Rn	VBR Rn	0000nnrrn00100010	特権	-	-
STC SSR,Rn	SSR Rn	0000nnrrn00110010	特権	-	-
STC SPC,Rn	SPC Rn	0000nnrrn01000010	特権	-	-
STC SGR,Rn	SGR Rn	0000nnrrn00111010	特権	-	-
STC DBR,Rn	DBR Rn	0000nnrrn11110101	特権	-	-
STC Rm_BANK,Rn	Rm_BANK Rn(m=0~7)	0000nnrrn1mrrm0010	特権	-	-

命令	動作	命令コード	特権	T ビット	新規
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0 ~ 7)	0100nnnn1mmmm0011	特権	-	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令に先行するデータアクセスの完了まで、本命令以降の命令によるデータアクセスを開始しません。	0000000010101011	-	-	新規
TRAPA #imm	imm<<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiii	-	-	-

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0 FRn	H'00000000 FRn	1111nnnn10001101	-	-	-
FLDI1 FRn	H'3F800000 FRn	1111nnnn10011101	-	-	-
FMOV FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-	-
FMOV.S @Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-	-
FMOV.S @(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-	-
FMOV.S @Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-	-
FMOV.S FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-	-
FMOV @Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-	-
FMOV @(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-	-
FMOV @Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-	-
FMOV DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-	-
FMOV DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-	-
FMOV DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-	-
FSTS FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-	-
FABS FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-	-
FADD FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果	-
FDIV FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-	-
FLOAT FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-	-
FMAC FR0,FRm,FRn	FR0 x FRm+FRn FRn	1111nnnnmmmm1110	-	-	-
FMUL FRm,FRn	FRn x FRm FRn	1111nnnnmmmm0010	-	-	-
FNEG FRn	FRn ^ H'80000000 FRn	1111nnnn01001101	-	-	-
FSQRT FRn	sqrt(FRn) FRn*	1111nnnn01101101	-	-	-
FSUB FRm,FRn	FRn - FRm FRn	1111nnnnmmmm0001	-	-	-
FTRC FRm,FPUL	(long)FRm FPUL	1111mmmm00111101	-	-	-

【注】 * sqrt(FRn)はFRnの平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF DRn	1111nnnn001011101	-	-	-
FADD DRm,DRn	DRn+DRm DRn	1111nnnn0mmmm00000	-	-	-
FCMP/EQ DRm,DRn	DRn=DRm のとき 1 T それ以外るとき 0 T	1111nnnn0mmmm00100	-	比較 結果	-
FCMP/GT DRm,DRn	DRn>DRm のとき 1 T それ以外るとき 0 T	1111nnnn0mmmm00101	-	比較 結果	-
FDIV DRm,DRn	DRn/DRm DRn	1111nnnn0mmmm00011	-	-	-
FCNVDS DRm,FPUL	double_to_float(DRm) FPUL	1111mmmm010111101	-	-	-
FCNVSD FPUL,DRn	float_to_double(FPUL) DRn	1111nnnn010101101	-	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnnn000101101	-	-	-
FMUL DRm,DRn	DRn x DRm DRn	1111nnnn0mmmm00010	-	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnnn001001101	-	-	-
FSQRT DRn	sqrt(DRn) DRn*	1111nnnn001101101	-	-	-
FSUB DRm,DRn	DRn - DRm DRn	1111nnnn0mmmm00001	-	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmmm000111101	-	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-	-

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm XDn	1111nnn1mmmm01100	-	-	-
FMOV XDm, DRn	XDm DRn	1111nnn0mmmm11100	-	-	-
FMOV XDm, XDn	XDm XDn	1111nnn1mmmm11100	-	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000	-	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001	-	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) XDn	1111nnn1mmmm0110	-	-	-
FMOV XDm, @Rn	XDm (Rn)	1111nnnnmmmm11010	-	-	-
FMOV XDm, @-Rn	Rn-8 Rn, XDm (Rn)	1111nnnnmmmm11011	-	-	-
FMOV XDm, @(R0, Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) FVn	1111nn0111111101	-	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL, DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)はFRnの平方根を表します。

4. パイプライン動作

SH-4A は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

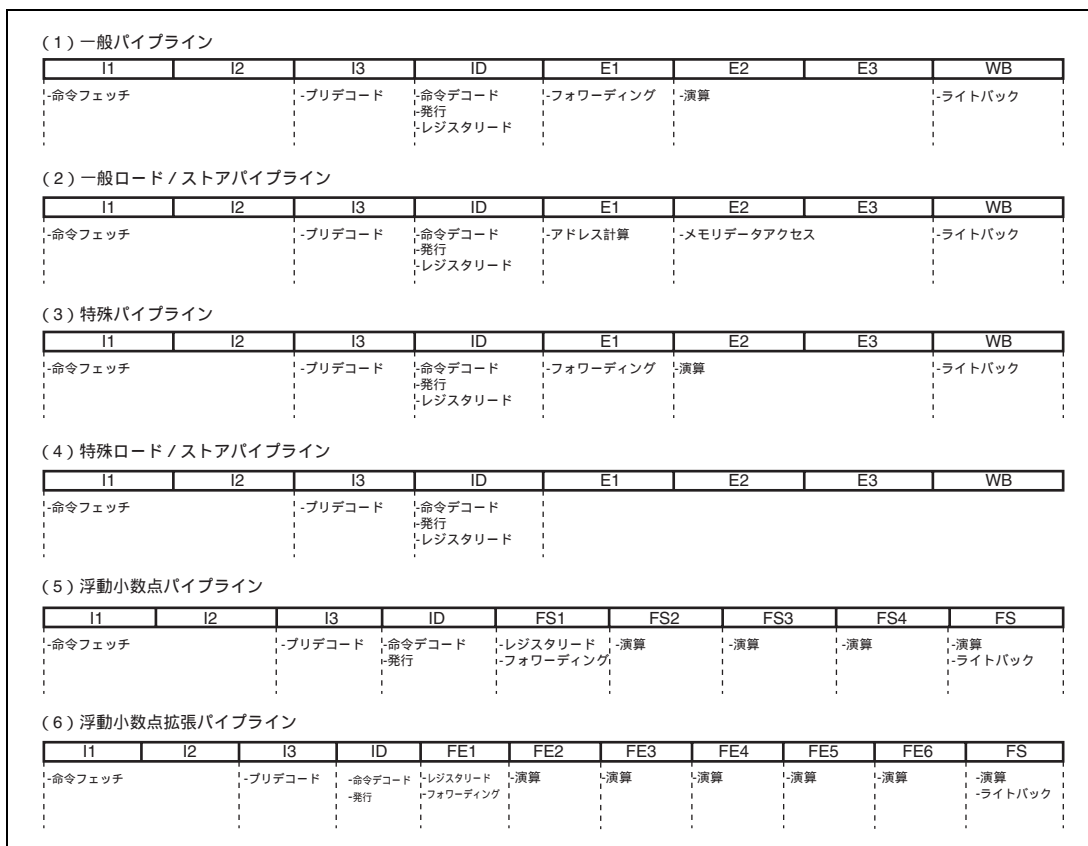


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1	E1s1							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

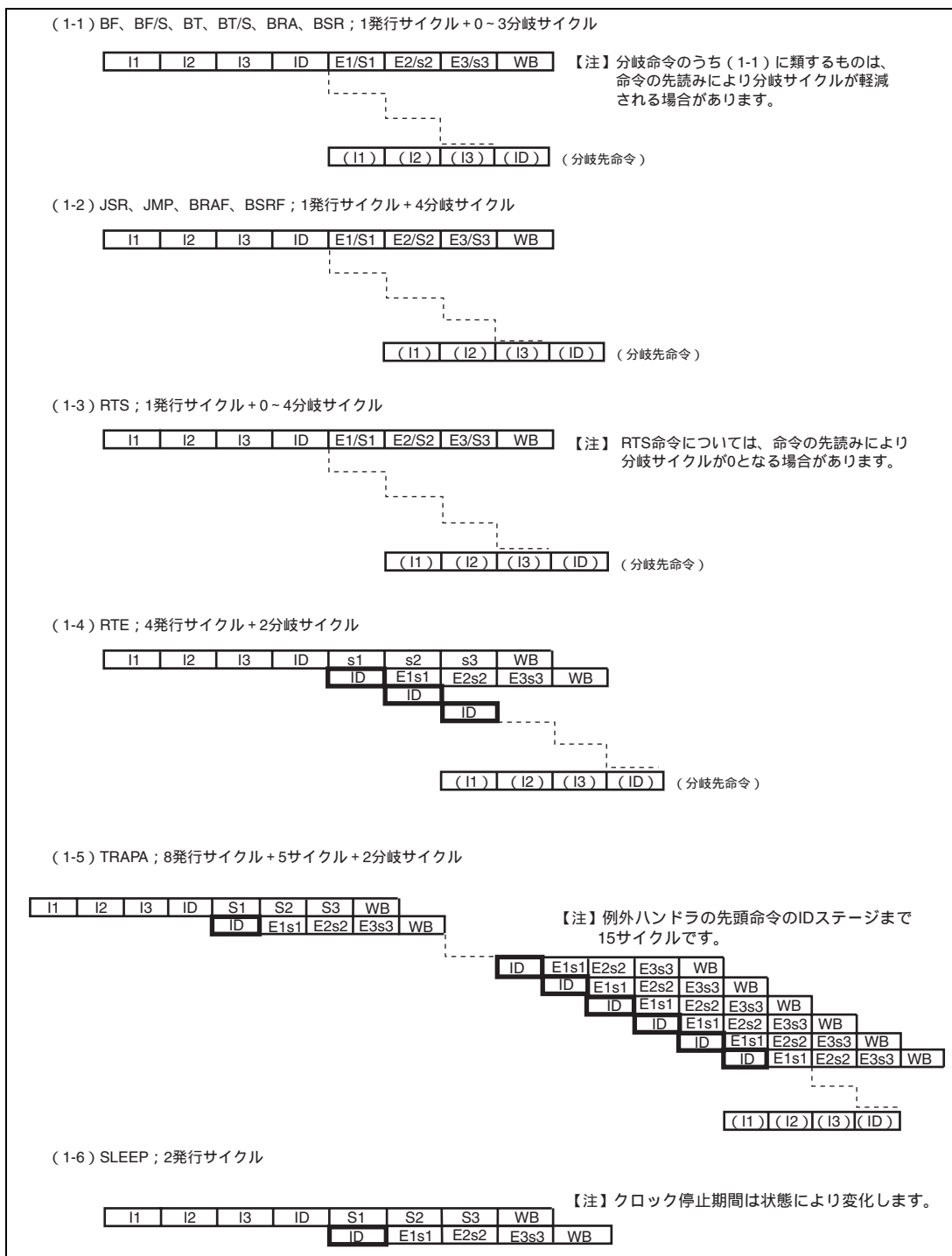


図 4.2 命令実行パターン (1)

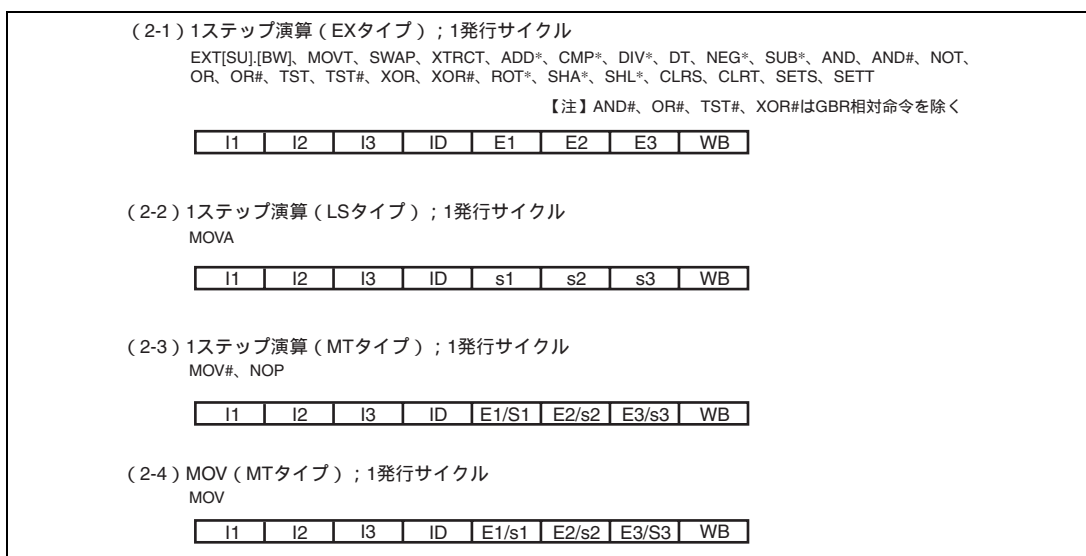


図 4.2 命令実行パターン (2)

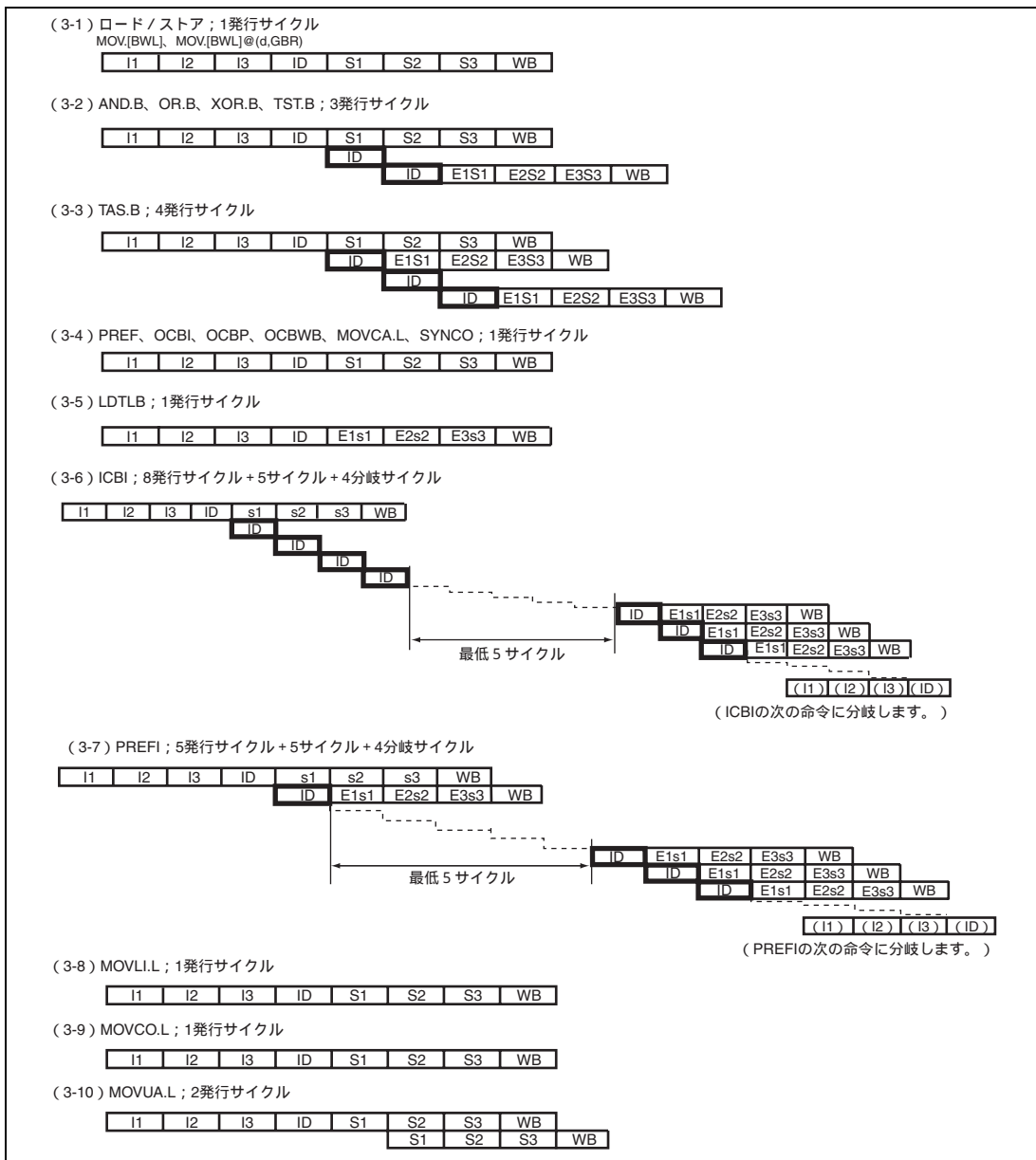


図 4.2 命令実行パターン (3)

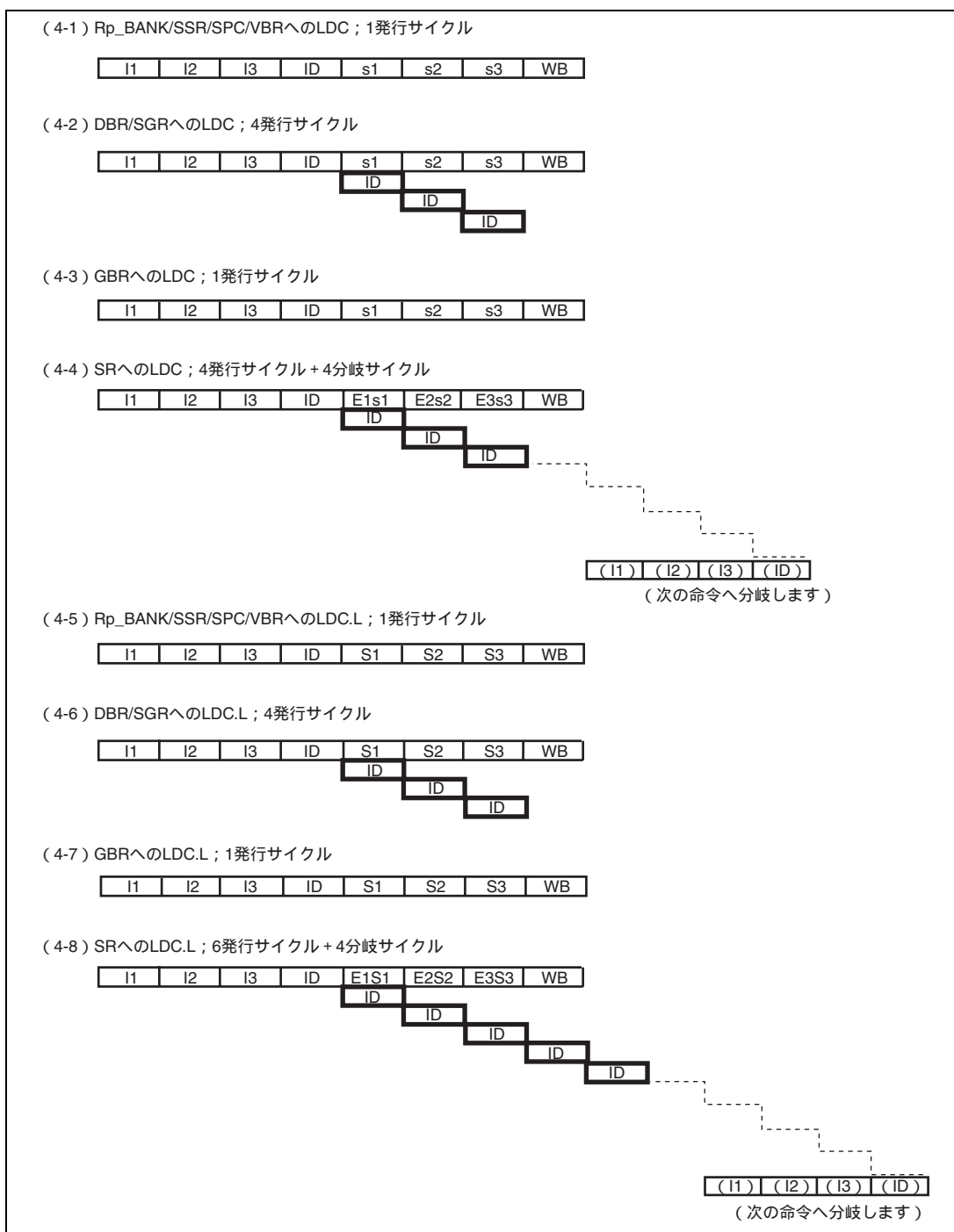


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

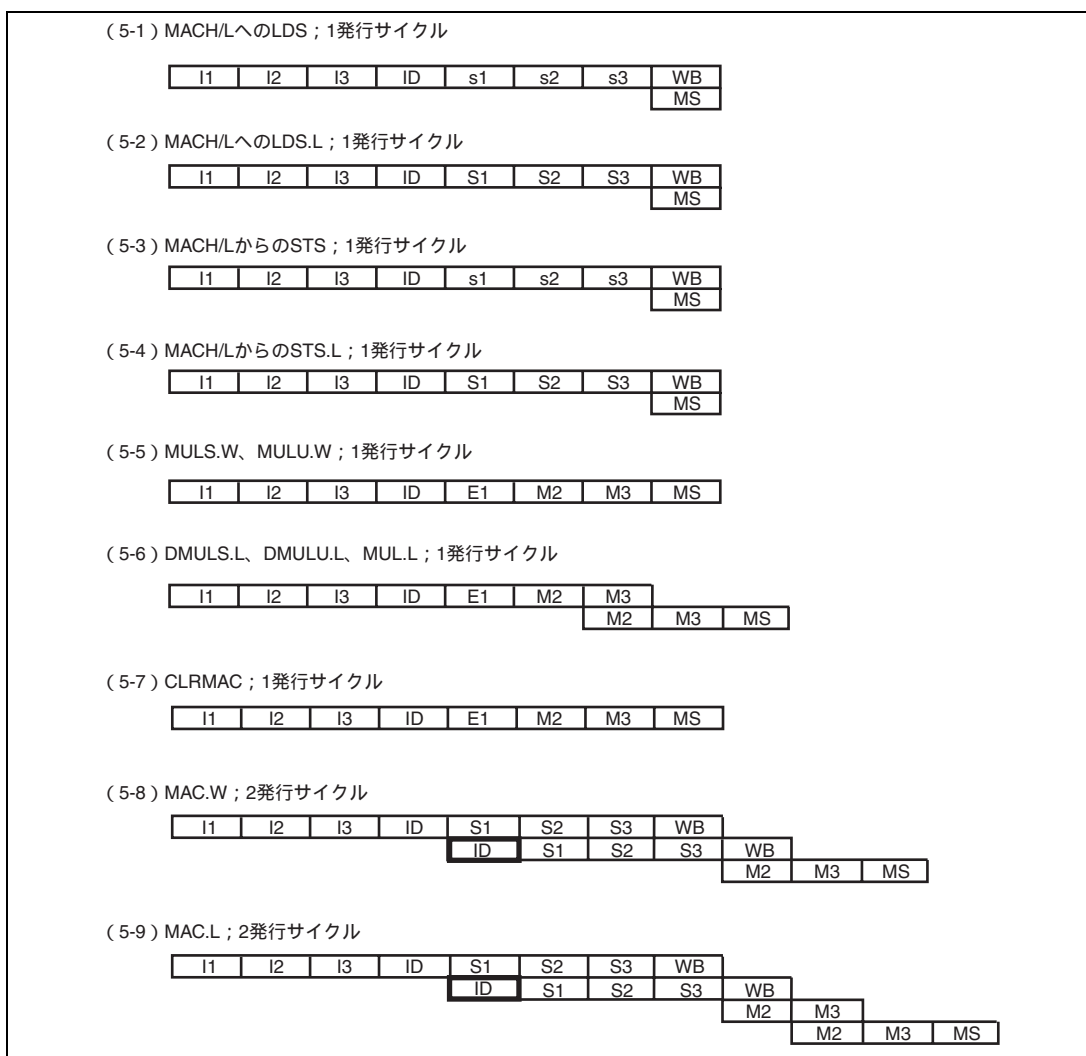


図 4.2 命令実行パターン (6)

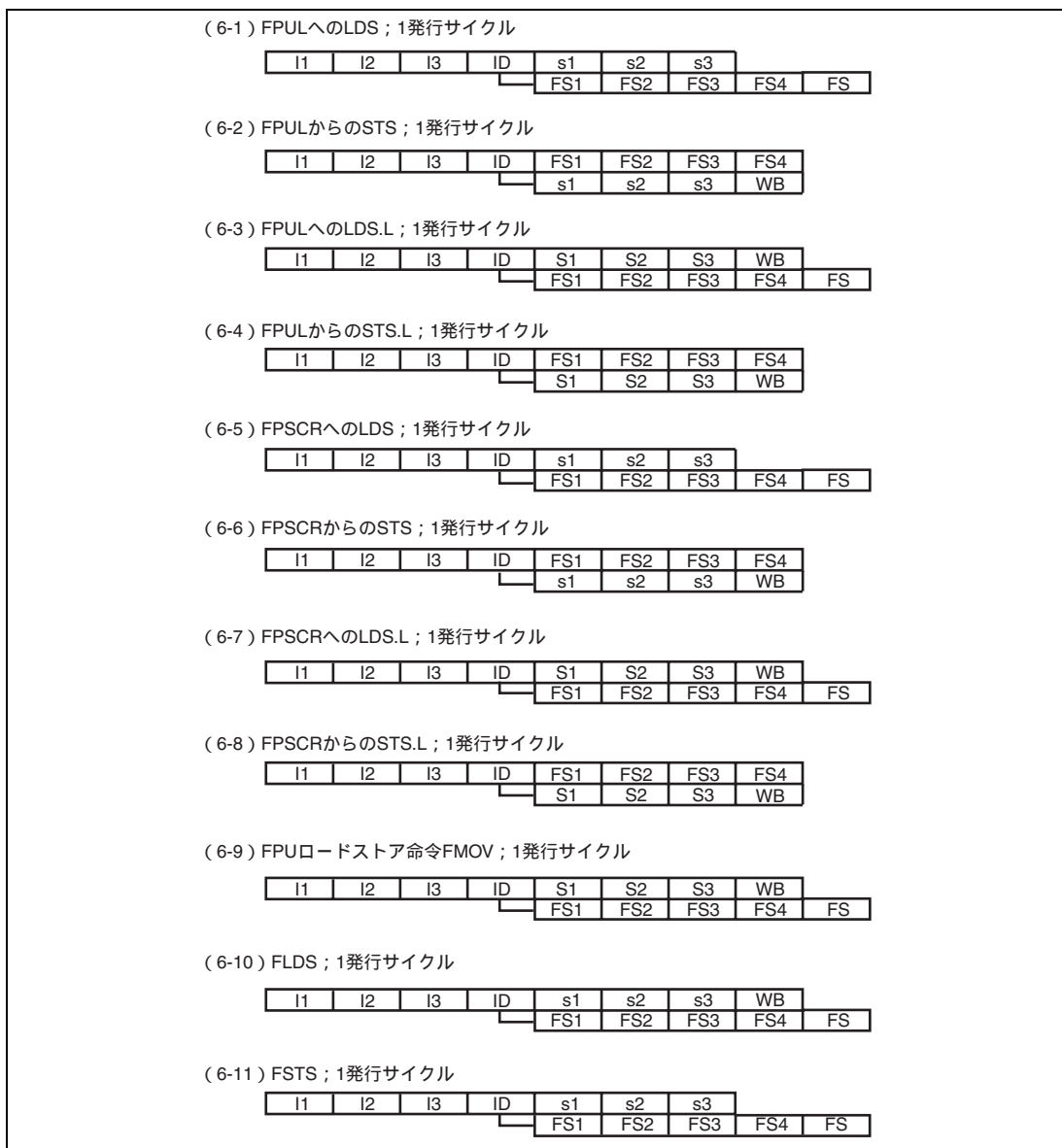


図 4.2 命令実行パターン (7)

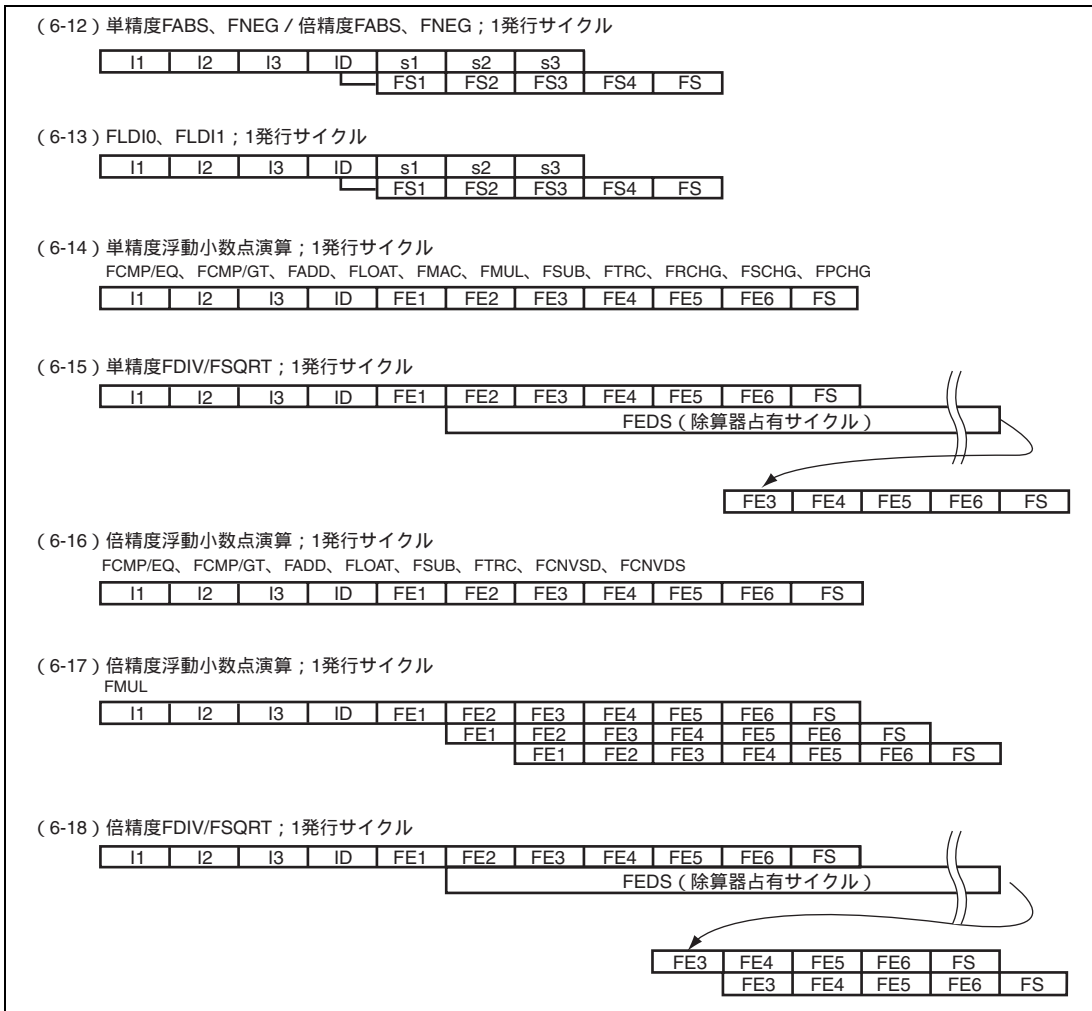


図 4.2 命令実行パターン (8)

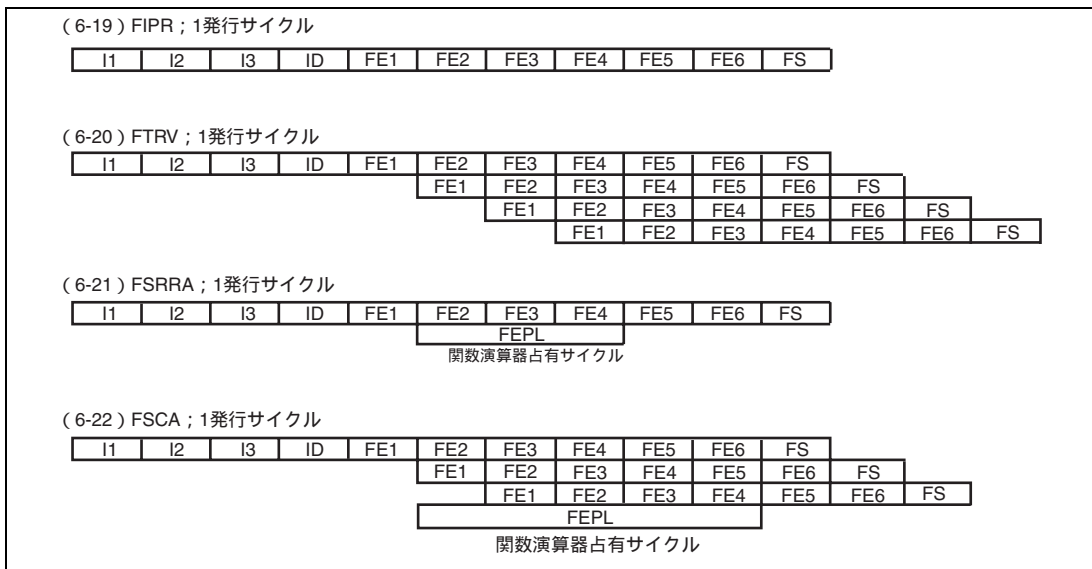


図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令				
EX	ADD	DT	ROTL	SHLR8	
	ADDC	EXTS	ROTR	SHLR16	
	ADDV	EXTU	SETS	SUB	
	AND #imm,R0	MOVT	SETT	SUBC	
	AND Rm,Rn	MUL.L	SHAD	SUBV	
	CLRMAC	MULS.W	SHAL	SWAP	
	CLRS	MULU.W	SHAR	TST #imm,R0	
	CLRT	NEG	SHLD	TST Rm,Rn	
	CMP	NEGC	SHLL	XOR #imm,R0	
	DIV0S	NOT	SHLL2	XOR Rm,Rn	
	DIV0U	OR #imm,R0	SHLL8	XTRCT	
	DIV1	OR Rm,Rn	SHLL16		
	DMUS.L	ROTCL	SHLR		
	DMULU.L	ROTCR	SHLR2		
	MT	MOV #imm,Rn	MOV Rm,Rn	NOF	
	BR	BF	BRAF	BT	JSR
BF/S		BSR	BT/S	RTS	
BRA		BSRF	JMP		
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn	
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn	
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn	
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn	
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn	
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn	
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP		
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB		
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF		

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					x
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

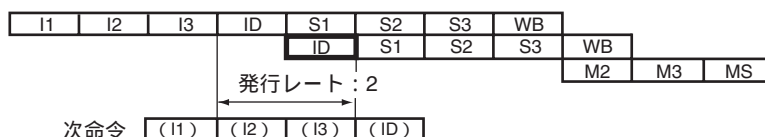
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

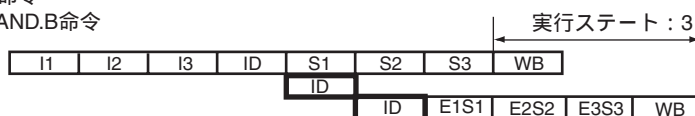


(2) 実行ステート

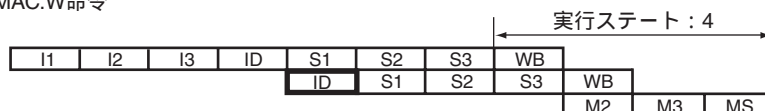
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・CPU命令

(例) AND.B命令

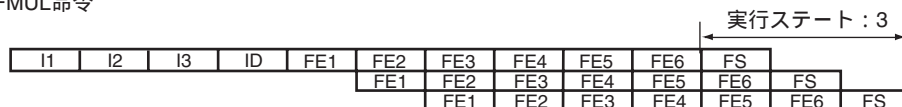


(例) MAC.W命令



・FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVL.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1
72		MAC.L	@Rm+,@Rn+	CO	2	5	5-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
143	LDC	Rm,VBR	LS	1	1	4-1	
144	LDC.L	@Rm+,DBR	CO	4	4	4-6	
145	LDC.L	@Rm+,SGR	CO	4	4	4-6	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	30	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
203	FMOV	DRm,DRn	LS	1	1	6-9	
204	FMOV	@Rm,DRn	LS	1	1	6-9	
205	FMOV	@Rm+,DRn	LS	1	1	6-9	
206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
207	FMOV	DRm,@Rn	LS	1	1	6-9	
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	14	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
244	FSRRA	FRn	FE	1	1	6-21	
245	FSCA	FPUL,DRn	FE	1	3	6-22	
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4A の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	スリープ	スタンバイ
TRAPA 例外レジスタ	TRA	不定	保持	保持
例外事象レジスタ	EXPEVT	H'0000 0000	保持	保持
割り込み事象レジスタ	INTEVT	不定	保持	保持
非サポート検出例外レジスタ	EXPMASK	H'0000 0000	保持	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値:	0	0	0	0	0	0										0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値 :	0	0														
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	-	-	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	0	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。 詳細は「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。
3、2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	BRDSSLP	0	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	0	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. CPUOPMの割り込みモード切り替えビット (INTMU) が1の場合、SRの割り込みマスクレベルビット (IMASK) が割り込み受け付けレベルに変更されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	2	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/ -	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/ -	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
一般割り込み要求			4	-	(VBR)	H'600	-	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

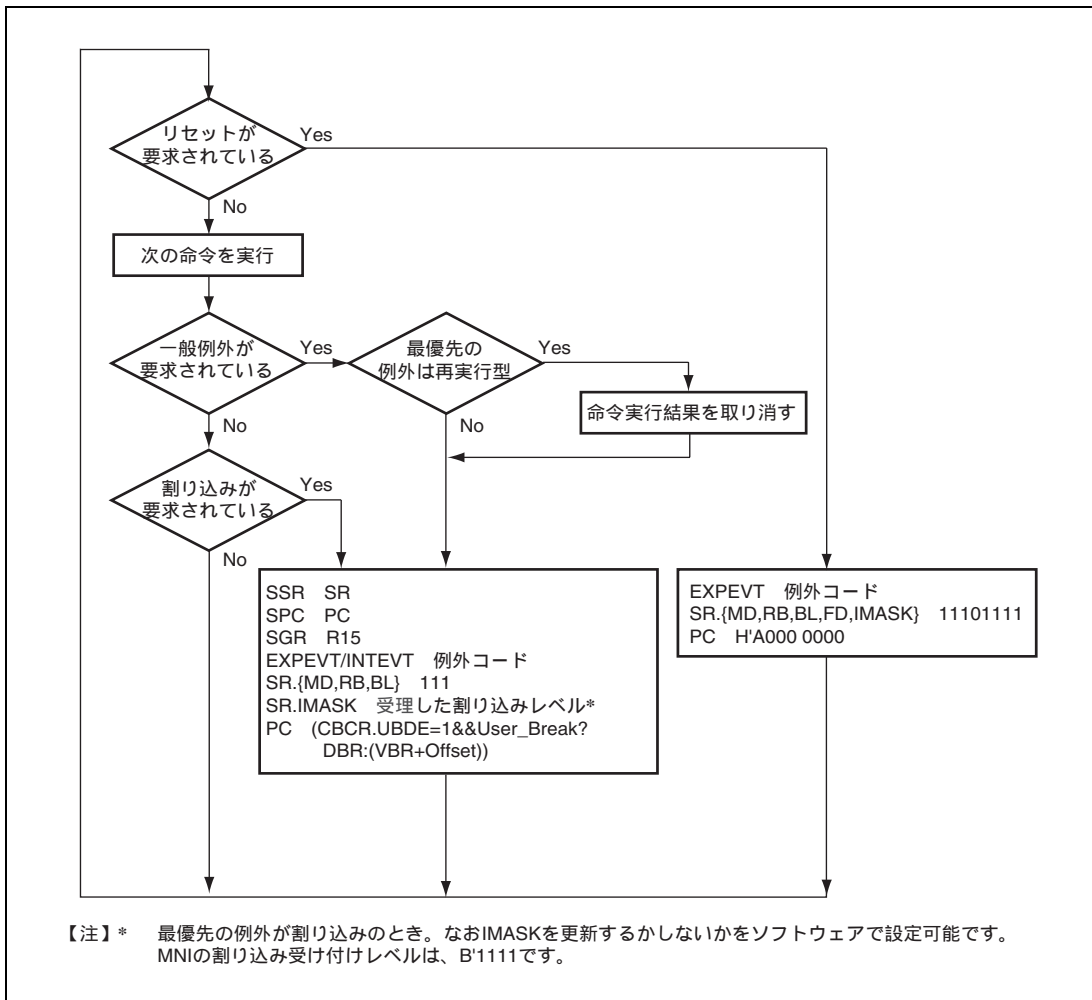


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 5.2 に示します。

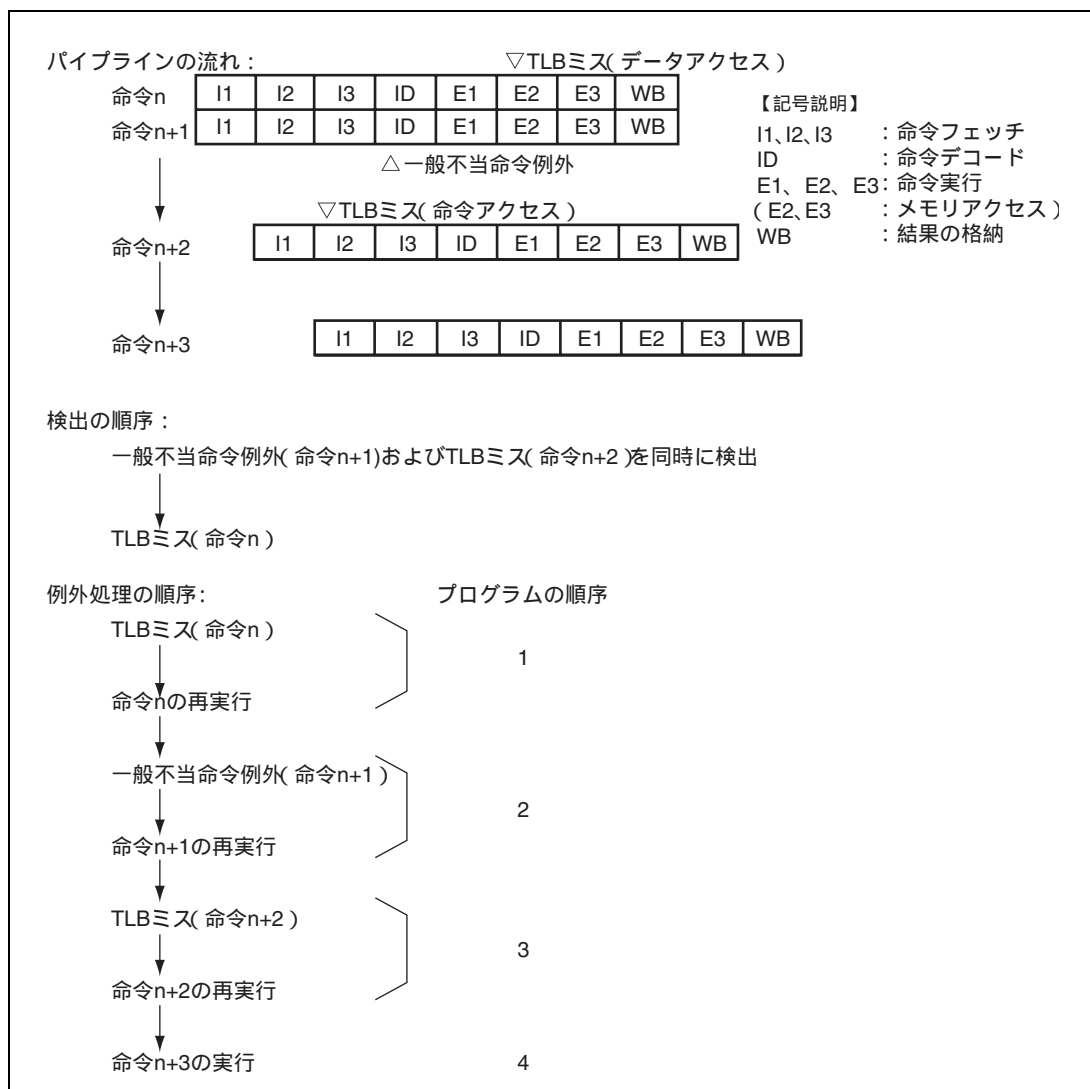


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、一般例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、パワーオンリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 30 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：

パワーオンリセット要求

- 動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、「第31章 ユーザデバッグインタフェース（H-UDI）」および各章のレジスタの説明を参照してください。

(3) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31：10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をパワーオンリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(4) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31：10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をパワーオンリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。
例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。
例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
}
```

```

SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因 : アクセスが表5.6、表5.7に示すITLBのプロテクション情報 (PRビット) に反する。

表 5.6 ITLB プロテクション情報 (TLB 互換モードの場合)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.7 ITLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5], EPR[3]	特権モードでの実行の可否
11, 01	実行可
10	ICBI のみ実行不可、他は実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11, 01	実行可
10	ICBI のみ実行不可、他は実行可
00	実行不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
```

```
{
```

```
    TEA = EXCEPTION_ADDRESS;
```

```
    PTEH.VPN = PAGE_NUMBER;
```

```
    SPC = PC;
```

```
    SSR = SR;
```

```
    SGR = R15;
```

```
    EXPEVT = H'000000A0;
```

```
    SR.MD = 1;
```

```
    SR.RB = 1;
```

```
    SR.BL = 1;
```

```
    PC = VBR + H'00000100;
```

```
}
```

(6) データアドレスエラー

• 要因:

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス(ただしMOVUA 命令は除きます。)
- クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス
ただし、H'E000 0000 ~ H'E3FF FFFFおよびH'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。
- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み
メモリ割り付け連想書き込みについては、「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

• 要因:

- ワード境界以外 ($2n + 1$) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(8) 無条件トラップ

• 要因: TRAPA命令の実行

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：
 - 遅延スロット以外にある未定義命令をデコード
 - 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
 - 未定義命令：H'FFFD
 - 遅延スロット以外にある特権命令をユーザモードでデコード
 - 特権命令：LDC、STC、RTE、LDTLB、SLEEP、
 - ただし、LDC、STCでGBRをアクセスする命令を除く
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(10) スロット不当命令例外

• 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+ ,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```


(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU 命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は「第30章 ユーザブレークコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()  
{  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000120;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

5.6.3 割り込み

(1) NMI (ノンマスクブル割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。CPUOPMのINTMUビットが1のときに、NMI割り込みを受け付けた場合、SRのIMASKビットには、B'1111がセットされます。

詳細は「第13章 割り込みコントローラ (INTC)」を参照してください。

```

NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}

```

(2) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。CPUOPMのINTMUビットが1のときに、一般割り込みを受け付けた場合、SRのIMASKビットには、受け付けた割り込みのレベルが設定されます。

詳細は「第13章 割り込みコントローラ (INTC)」を参照してください。

```

Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}

```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに一般例外または割り込みが発生した場合

1. 一般例外

ユーザブレイクを除く一般例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、パワーオンリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の一般例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の一般例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令：

単精度、倍精度、グラフィックサポート、システム制御

- SH-4AでSH-4に対して下記の3命令を追加しました。

FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

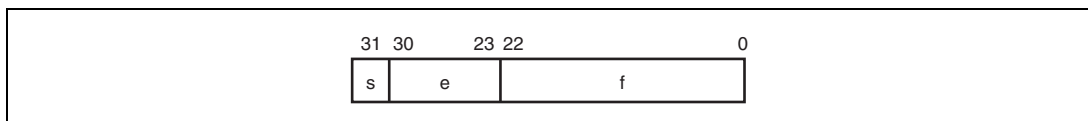


図 6.1 単精度浮動小数点フォーマット

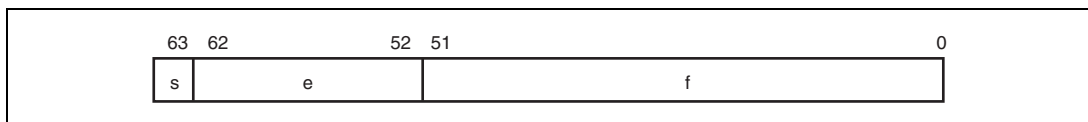


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{min} < E < E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが 1 の場合、非正規化数 (ソースオペランドまたは演算結果) は、(レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCR の DN ビットが 0 の場合、非正規化数 (ソースオペランドまたは演算結果) はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}, DR2 = {FR2, FR3},

DR4 = {FR4, FR5}, DR6 = {FR6, FR7},

DR8 = {FR8, FR9}, DR10 = {FR10, FR11},

DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3},

FV4 = {FR4, FR5, FR6, FR7},

FV8 = {FR8, FR9, FR10, FR11},

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8, XF9}, XD10 = {XF10, XF11},

XD12 = {XF12、XF13}、XD14 = {XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left[\begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right]$

FPSCR.FR = 0				FPSCR.FR = 1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX	
		FR1	FPR1 BANK0	XF1			
FV4	DR2	FR2	FPR2 BANK0	XF2	XD2		
		FR3	FPR3 BANK0	XF3			
	DR4	FR4	FPR4 BANK0	XF4	XD4		
FV8		FR5	FPR5 BANK0	XF5			
	DR6	FR6	FPR6 BANK0	XF6	XD6		
		FR7	FPR7 BANK0	XF7			
FV12	DR8	FR8	FPR8 BANK0	XF8	XD8		
		FR9	FPR9 BANK0	XF9			
	DR10	FR10	FPR10 BANK0	XF10	XD10		
FV15		FR11	FPR11 BANK0	XF11			
	DR12	FR12	FPR12 BANK0	XF12	XD12		
		FR13	FPR13 BANK0	XF13			
FV14	DR14	FR14	FPR14 BANK0	XF14	XD14		
		FR15	FPR15 BANK0	XF15			
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0	
		XF1	FPR1 BANK1	FR1			
XMTRX	XD2	XF2	FPR2 BANK1	FR2	DR2		
		XF3	FPR3 BANK1	FR3			
	XD4	XF4	FPR4 BANK1	FR4	DR4	FV4	
XMTRX		XF5	FPR5 BANK1	FR5			
	XD6	XF6	FPR6 BANK1	FR6	DR6		
		XF7	FPR7 BANK1	FR7			
XMTRX	XD8	XF8	FPR8 BANK1	FR8	DR8	FV8	
		XF9	FPR9 BANK1	FR9			
	XD10	XF10	FPR10 BANK1	FR10	DR10		
XMTRX		XF11	FPR11 BANK1	FR11			
	XD12	XF12	FPR12 BANK1	FR12	DR12	FV12	
		XF13	FPR13 BANK1	FR13			
XMTRX	XD14	XF14	FPR14 BANK1	FR14	DR14		
		XF15	FPR15 BANK1	FR15			

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	000000	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
11~7	Enable (EN)	00000	R/W	
6~2	Flag	00000	R/W	
1、0	R	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

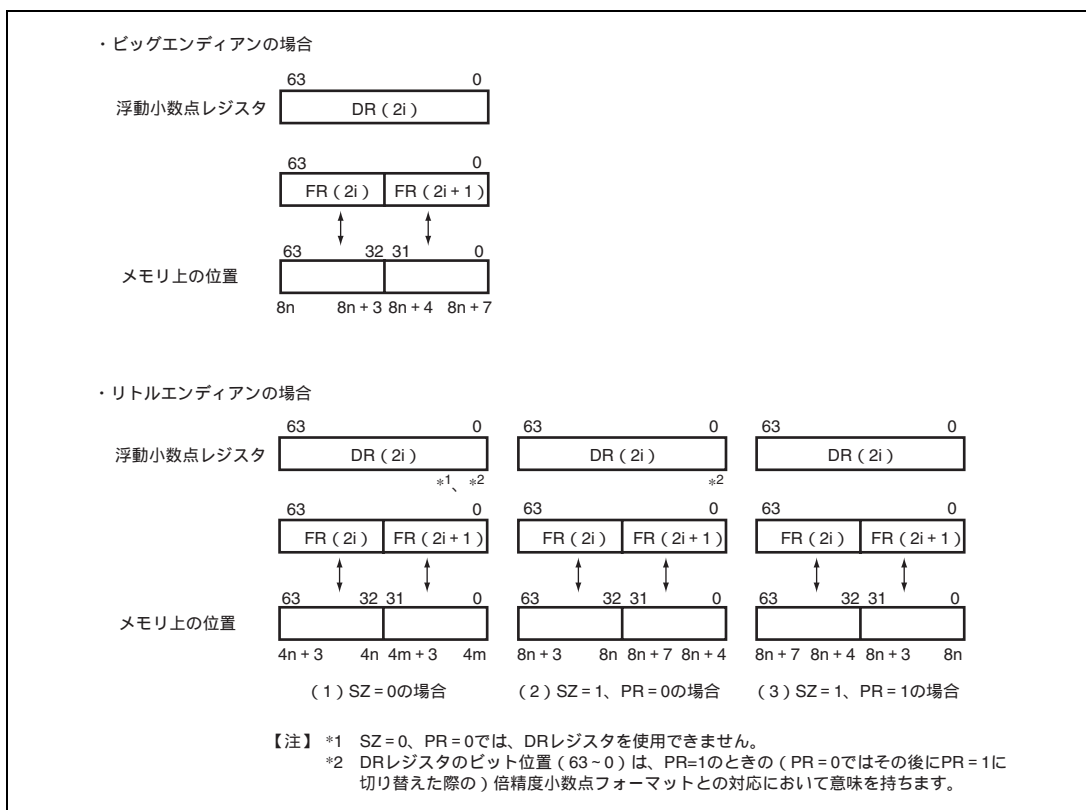


図 6.5 SZ ビットとエンディアンの関係

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用了結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00: 近傍への丸め

RM=01: 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}} (2 \cdot 2^{-p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバーフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めのととき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めのととき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

SH-4A は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m = n) :
一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4A は4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

FTRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべての

データタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。

FPSCR.SZ = 1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り換えることができます。

7. メモリマネジメントユニット (MMU)

SH-4A は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、SH-4A に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

SH-4A は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていればよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、SH-4A では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

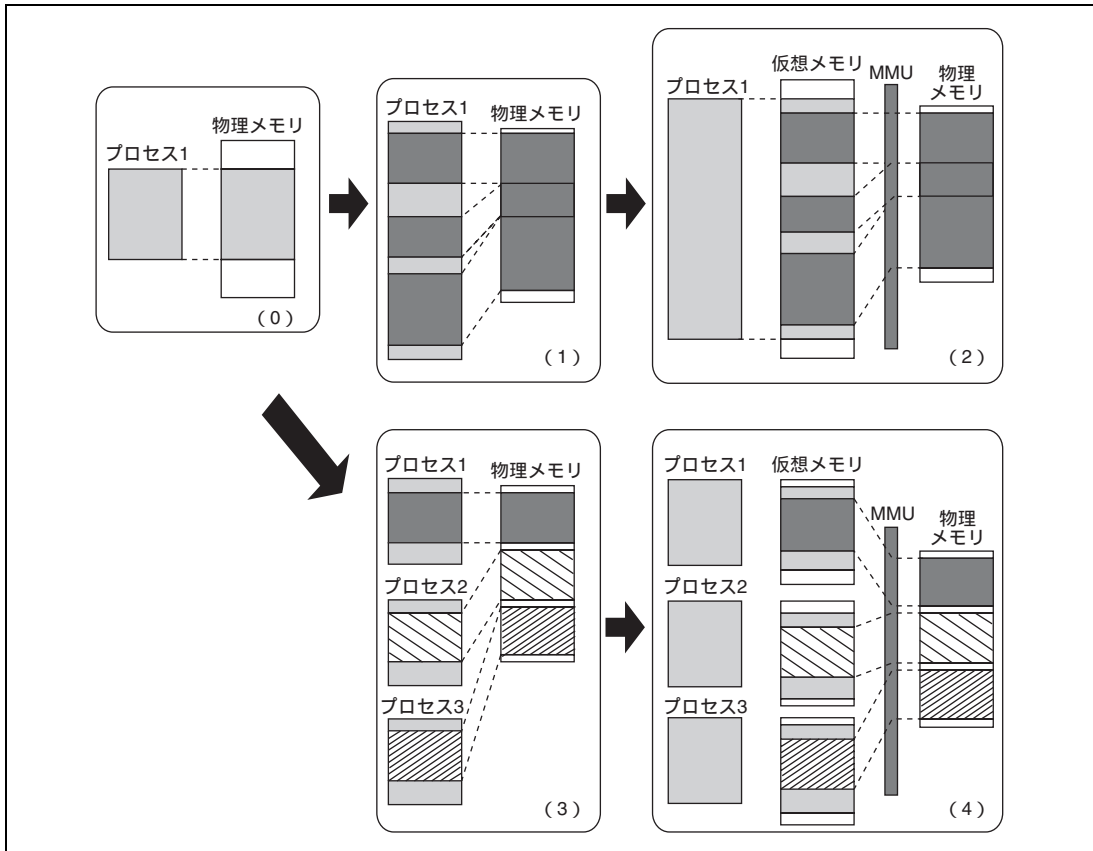


図 7.1 MMU の役割

7.1.1 アドレス空間

(1) 仮想アドレス空間

SH-4A は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

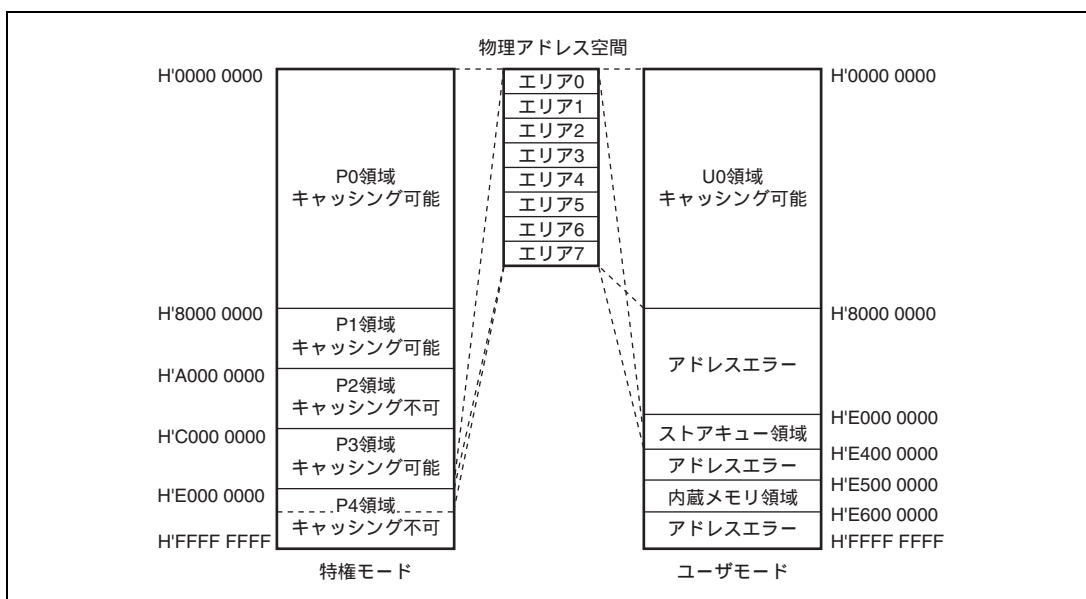


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

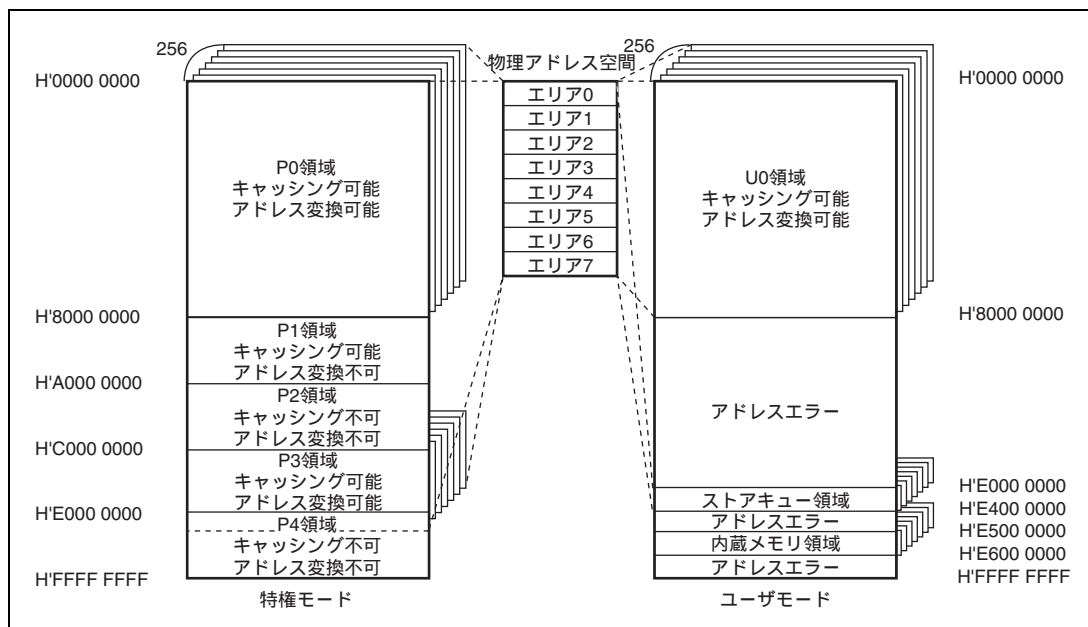


図 7.3 仮想アドレス空間 (MMUCR.AT = 1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は SH-4A の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	内蔵メモリ領域
H'E600 0000	
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLBアドレスアレイ
H'F700 0000	共用TLBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'FOFF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

SH-4A は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は「第 11 章 メモリコントローラユニット (MCU)」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4A では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
ページテーブルエントリ上位レジスタ	PTEH	不定	保持	保持
ページテーブルエントリ下位レジスタ	PTL	不定	保持	保持
変換テーブルベースレジスタ	TTB	不定	保持	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	保持	保持
ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	保持	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	保持	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	保持	保持

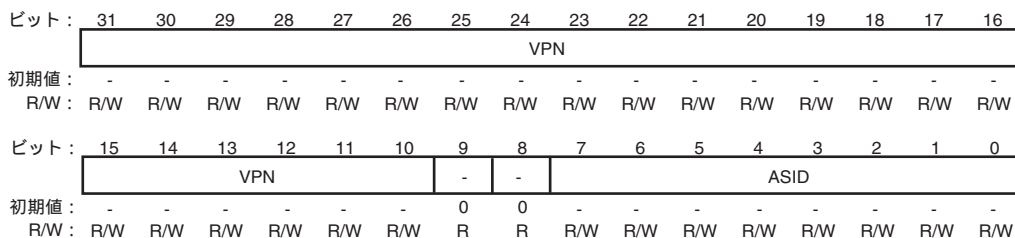
7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. PTEH 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	不定	R/W	仮想ページ番号
9, 8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	ASID	不定	R/W	アドレス空間識別子

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値 :	0	0	0													
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値 :							0									
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	不定	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)」および「7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	000000	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25、24	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23~18	URB	000000	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17、16	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
15~10	URC	000000	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。
6~3	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			EPR						ESZ							
初期値:	0	0											0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。
7~4	ESZ	不定	R/W	詳細は「7.4 TLB の機能 (TLB 拡張モード; MMUCR.ME = 1)」を参照してください。
3~0	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : バッファドライト (CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います) 1 : アンバッファドライト (CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います) UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

7.2.8 命令再フェッチ抑制制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	R2	R1	LT	MT	MC
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

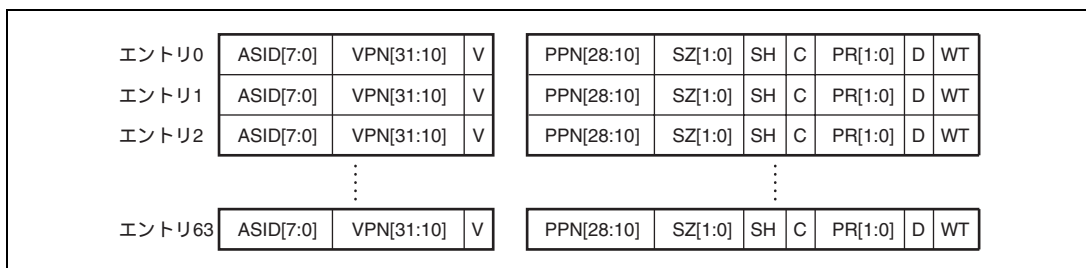


図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号
- 1K バイトページ のとき、仮想アドレスの上位 22 ビット
 - 4K バイトページ のとき、仮想アドレスの上位 20 ビット
 - 64K バイトページ のとき、仮想アドレスの上位 16 ビット
 - 1M バイトページ のとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子
- 仮想ページをアクセスできるプロセスを示します。
単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット
- 0 : 複数のプロセスでページを共有しません。
 - 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット
- ページサイズを指定します。
- 00 : 1K バイトページ
 - 01 : 4K バイトページ
 - 10 : 64K バイトページ
 - 11 : 1M バイトページ

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

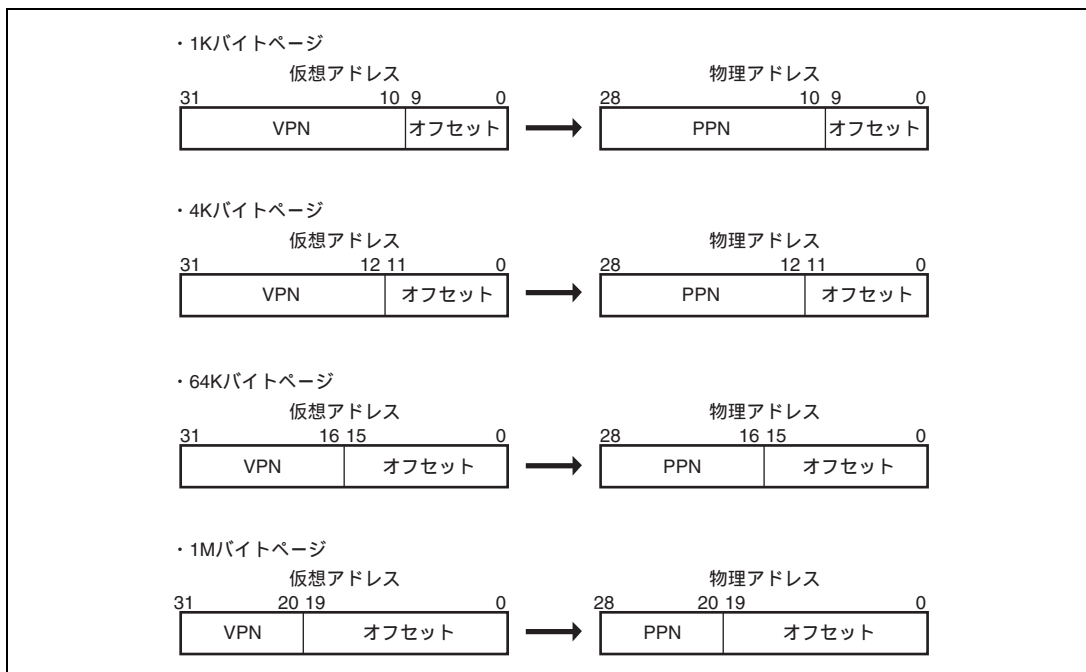


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

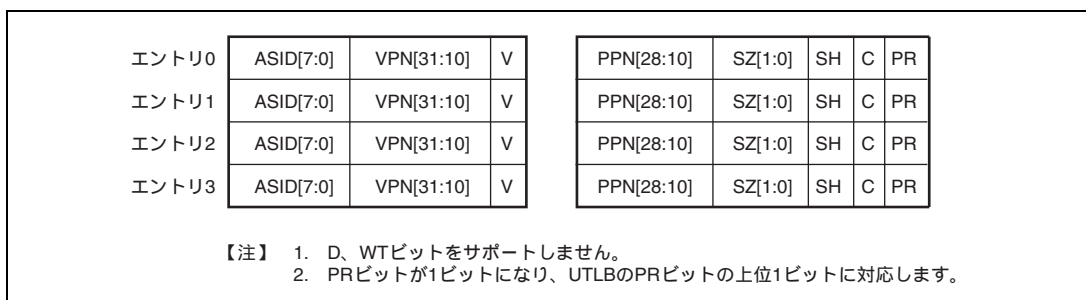


図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

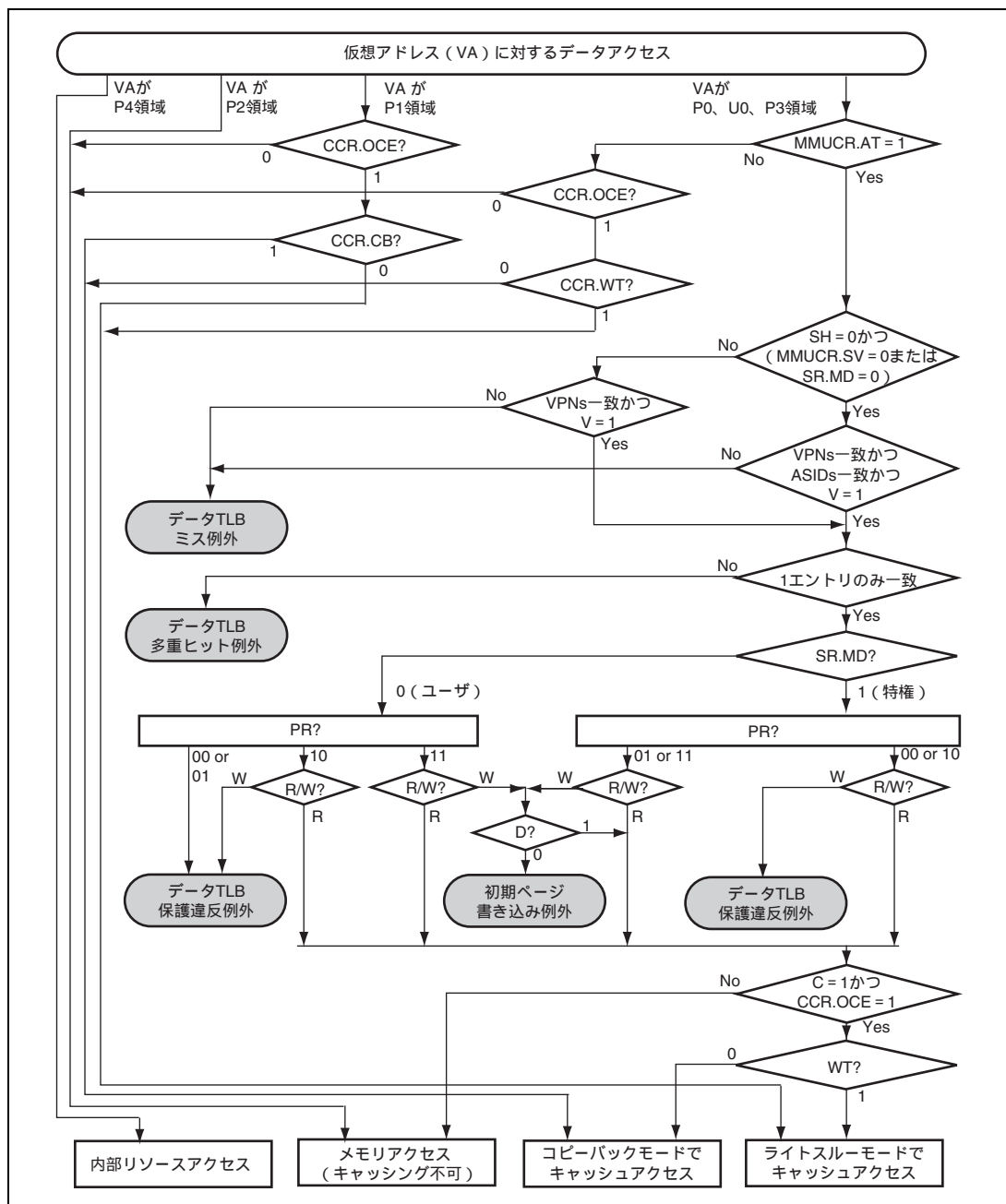


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

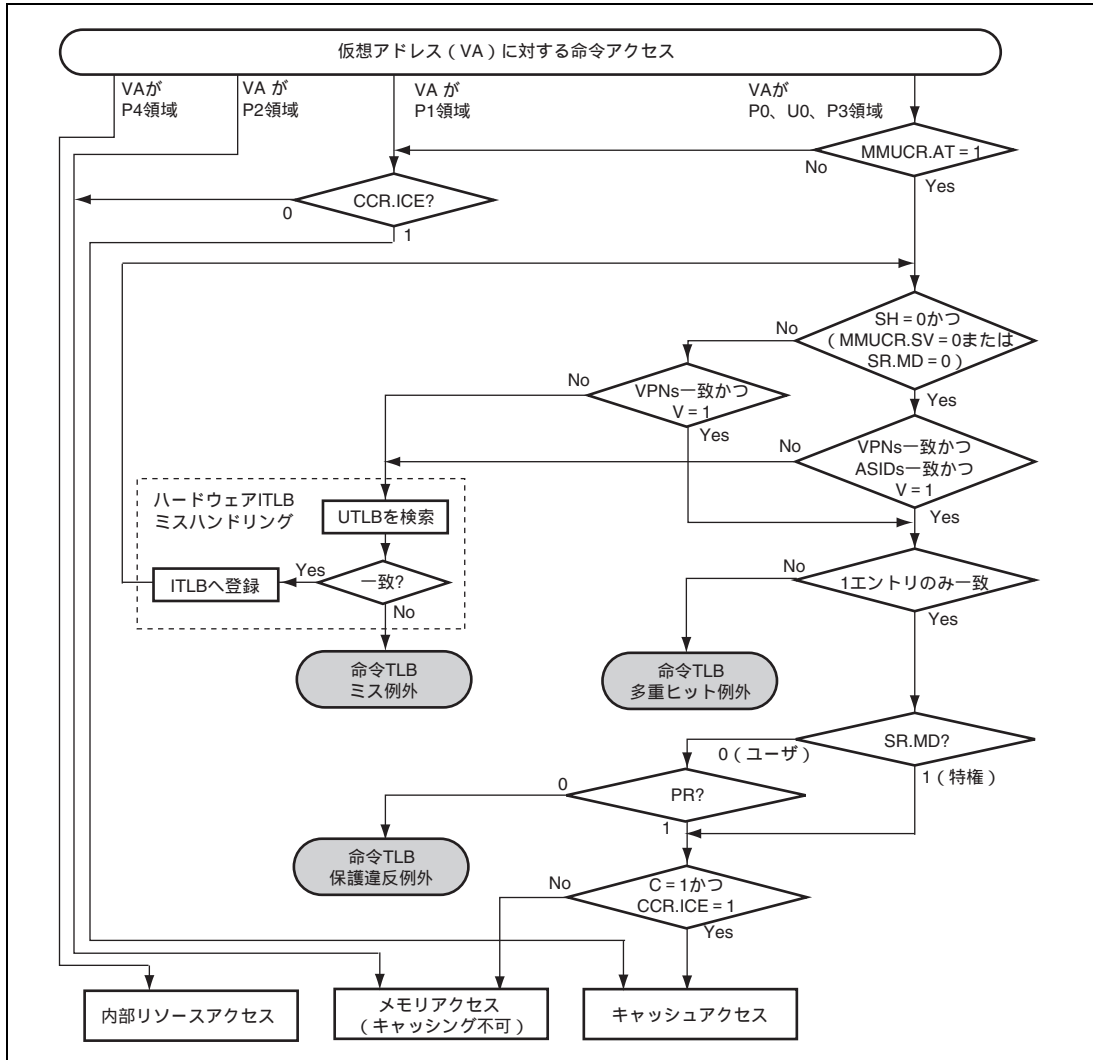


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号

1K バイトページ のとき、仮想アドレスの上位 22 ビット
 4K バイトページ のとき、仮想アドレスの上位 20 ビット
 8K バイトページ のとき、仮想アドレスの上位 19 ビット
 64K バイトページ のとき、仮想アドレスの上位 16 ビット
 256K バイトページ のとき、仮想アドレスの上位 14 ビット
 1M バイトページ のとき、仮想アドレスの上位 12 ビット
 4M バイトページ のとき、仮想アドレスの上位 10 ビット
 64M バイトページ のとき、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されません。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。

ESZ : ページサイズビット

ページサイズを指定します。
 0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ
 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

- V : 有効ビット エントリが有効かどうかを示します。
 0 : 無効
 1 : 有効
 パワーオンリセット時に 0 にクリアされます。
- PPN : 物理ページ番号 物理アドレスの上位 19 ビット
 1K バイトページのときは PPN[28:10]が有効です。
 4K バイトページのときは PPN[28:12]が有効です。
 8K バイトページのときは PPN[28:13]が有効です。
 64K バイトページのときは PPN[28:16]が有効です。
 256K バイトページのときは PPN[28:18]が有効です。
 1M バイトページのときは PPN[28:20]が有効です。
 4M バイトページのときは PPN[28:22]が有効です。
 64M バイトページのときは PPN[28:26]が有効です。
 また PPN の設定においてはシノニム問題に注意してください
 (「7.5.5 シノニム問題の回避」参照)。
- EPR : 保護キーデータ ページのアクセス権をコードで表した 6 ビットデータ
 特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。
 EPR[5] : 特権モードでの読み出し
 EPR[4] : 特権モードでの書き込み
 EPR[3] : 特権モードでの実行 (命令フェッチ)
 EPR[2] : ユーザモードでの読み出し
 EPR[1] : ユーザモードでの書き込み
 EPR[0] : ユーザモードでの実行 (命令フェッチ)
- C : キャッシング可能ビット ページがキャッシング可能かどうか示します。
 0 : キャッシング不可能
 1 : キャッシング可能
 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
- D : ダーティビット ページに書き込みが行われたかどうかを示します。
 0 : 書き込みが行われていない
 1 : 書き込みが行われた

WT : ライトスルービット キャッシュへの書き込みモードを指定します。
 0 : コピーバックモード
 1 : ライトスルーモード

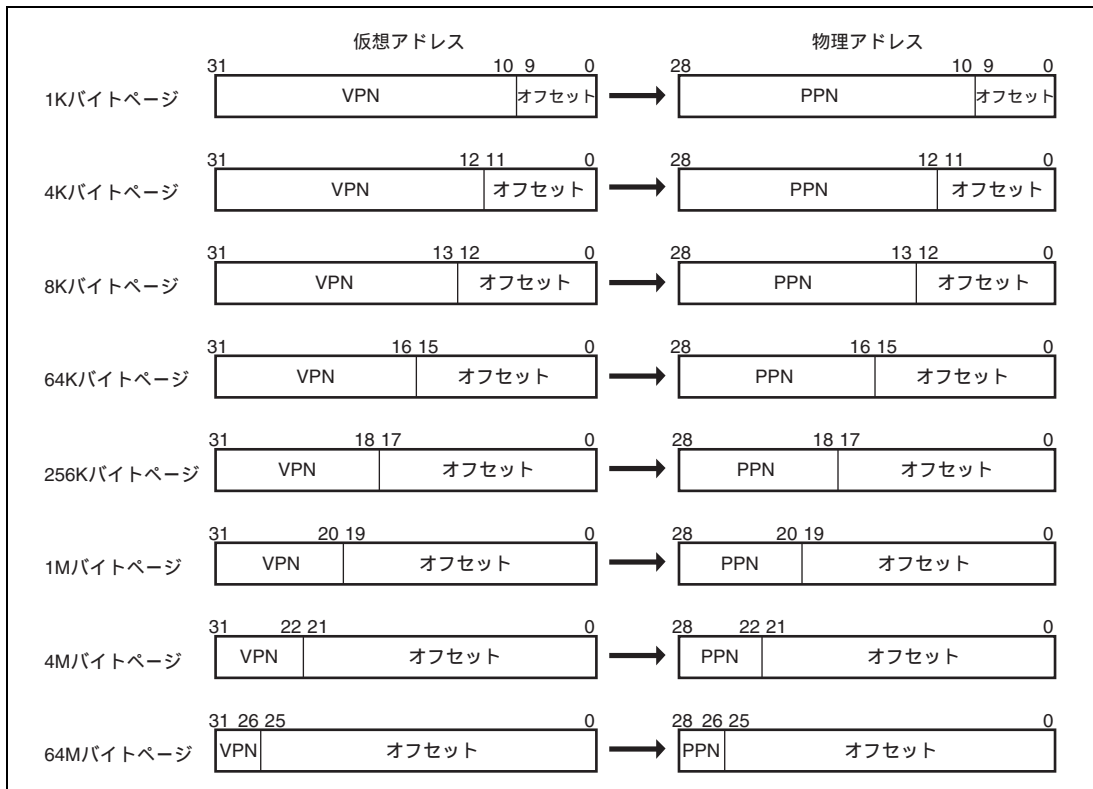


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

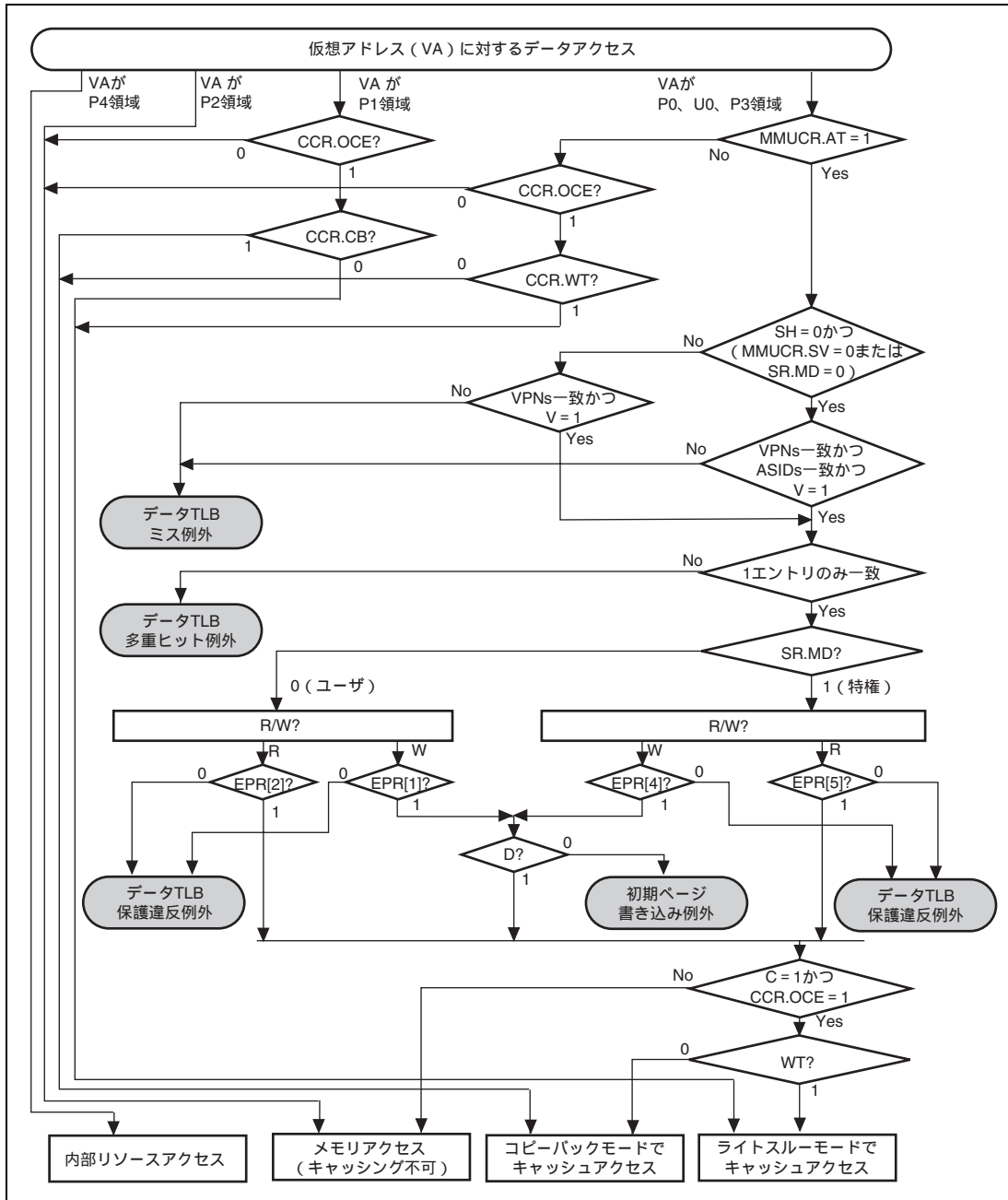


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

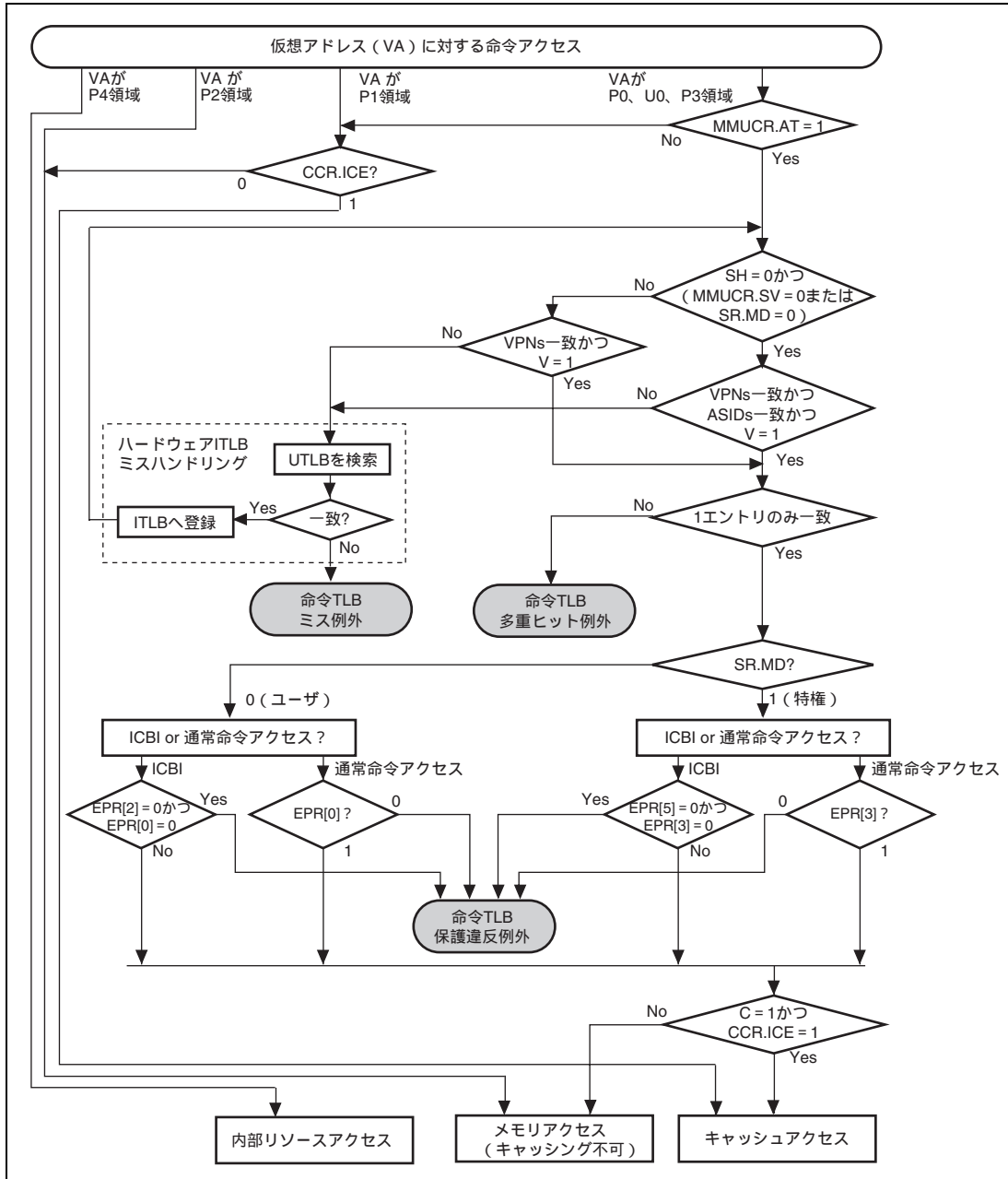


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

SH-4A がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4A は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで実行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3. のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3. は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1. または 2. を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

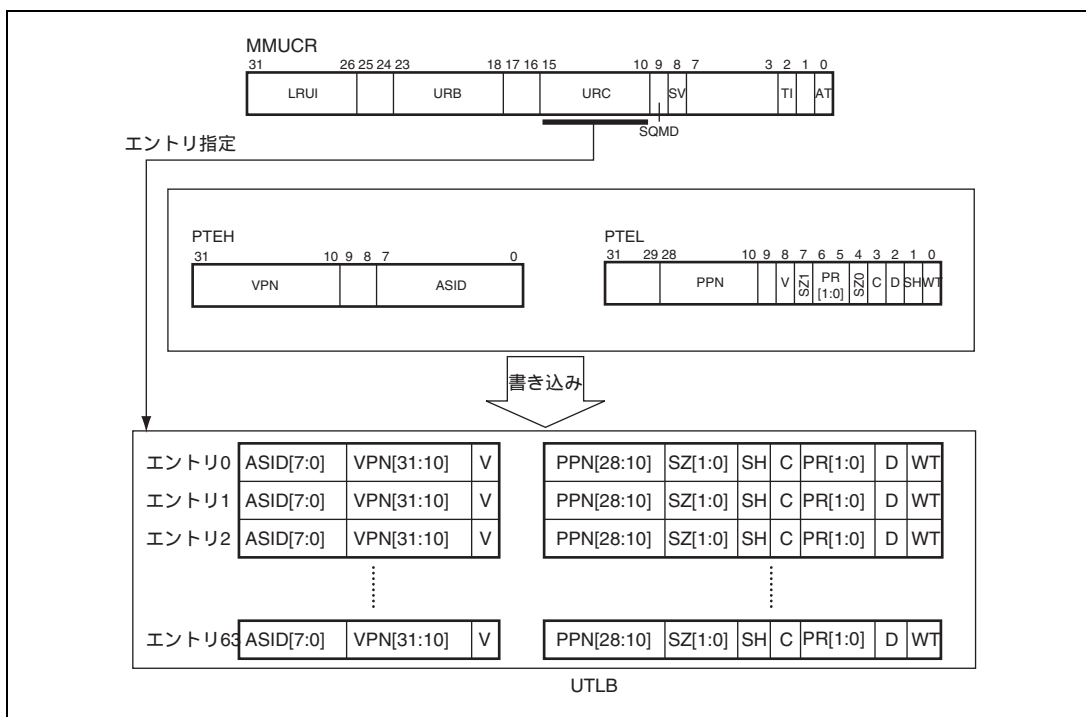


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

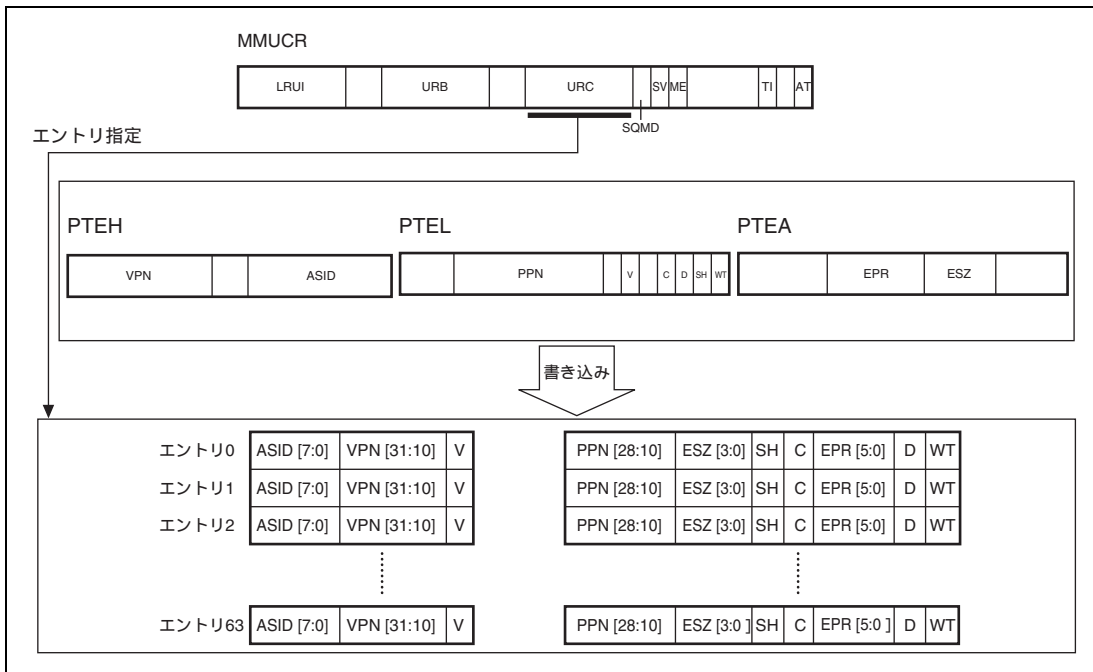


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7.5.4 ハードウェア ITLB ミスハンドリング

SH-4A は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

以下ではオペランドキャッシュが 32K バイトのケースについて説明します。

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4A ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

キャッシュサイズが 32K バイトから変ると、シノニム問題が発生する可能性があるページサイズと、UTLB エントリ登録時に等しくなるようにする必要がある VPN のビット位置は、以上の説明から変わります。8K バイト～64K バイトのキャッシュサイズに対してシノニム問題が発生する可能性があるページサイズを表 7.3 に示します。

表 7.3 キャッシュサイズとシノニム問題の回避策

キャッシュサイズ	シノニム問題が発生する可能性のある ページサイズ	等しくなるように登録する VPN の ビット位置
8K バイト	1K バイトページ	VPN[10]
16K バイト	1K バイトページ	VPN[11:10]
32K バイト	1K バイトページ	VPN[12:10]
	4K バイトページ	VPN[12]
64K バイト	1K バイトページ	VPN[13:10]
	4K バイトページ	VPN[13:12]

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また、異なるページサイズのアドレスを変換情報で同一の物理アドレスを使用しないでください。

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14、図 7.15 および「第 5 章 例外処理」を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

- SRのMDビットを1に設定し、特権モードに切り替えます。
- SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- SRのRBビットを1に設定します。
- VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
- エントリ置き換えて置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
- 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

LDTLB命令の実行に関しては、「7.8.1 LDTLB命令使用上の注意事項」を参照してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報がITLB エントリに存在するにもかかわらず、実際のアクセスタイプがPR あるいはEPR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

- 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- 例外の発生した仮想アドレスをTEAに設定します。
- 例外コードH'0A0をEXPEVTに設定します。
- 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。

5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
 6. SRのMDビットを1に設定し、特権モードに切り替えます。
 7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
 8. SRのRBビットを1に設定します。
 9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。
- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)
命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理
データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。
 1. 例外の発生した仮想アドレスをTEAに設定します。
 2. 例外コードH'140をEXPEVTに設定します。
 3. リセット処理ルーチン (H'A000 0000) に分岐します。
- ソフトウェア処理 (リセットルーチン)
リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。
LDTLB命令の実行に関しては、「7.8.1 LDTLB命令使用上の注意事項」を参照してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR または EPR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P1/P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP1/P2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0(初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

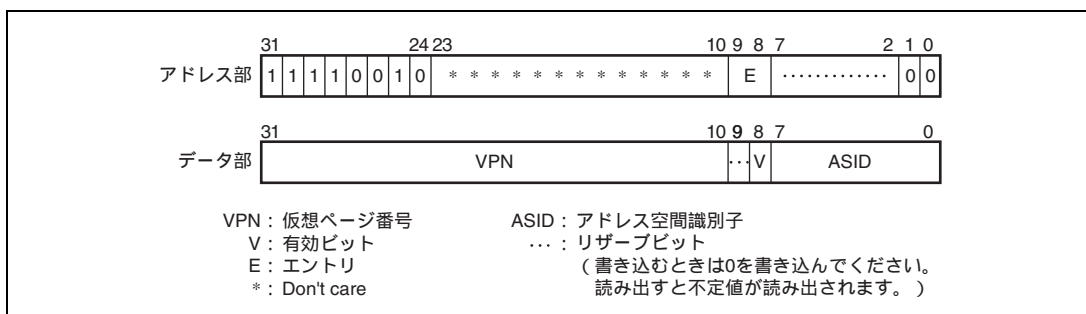


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。

2. ITLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

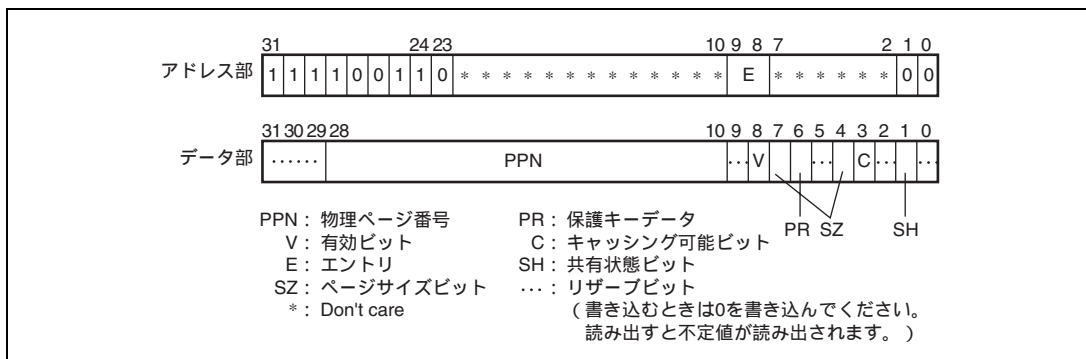


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME = 0) のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

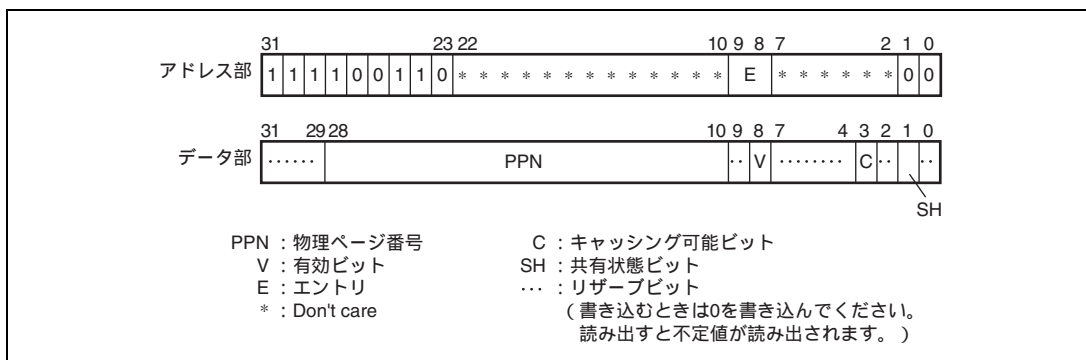


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

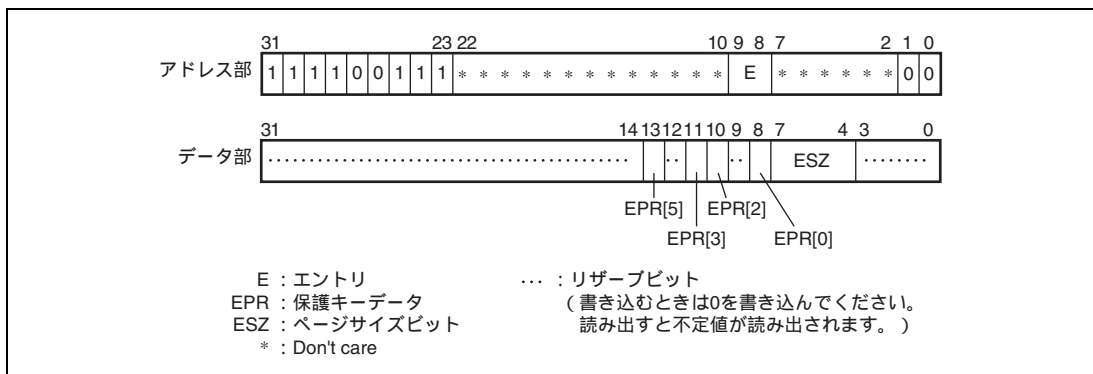


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ~ H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定(読み出し/書き込み時)と 32 ビットのデータ部の指定(書き込み時)が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す H'F60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を使い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せず ノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側にも書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

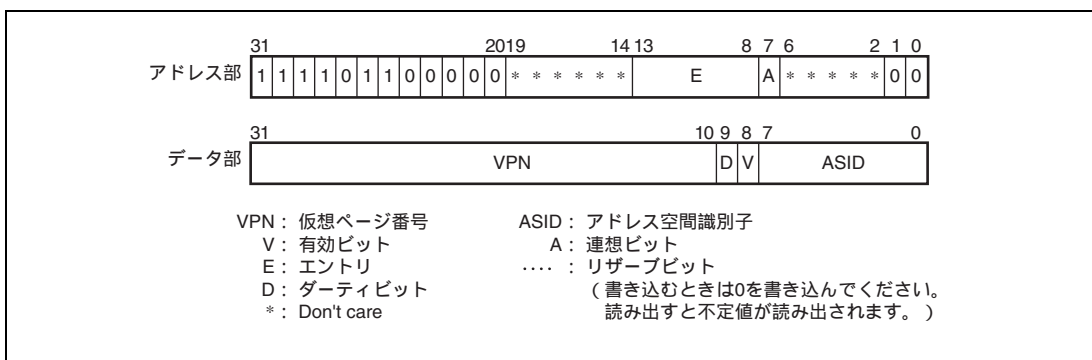


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

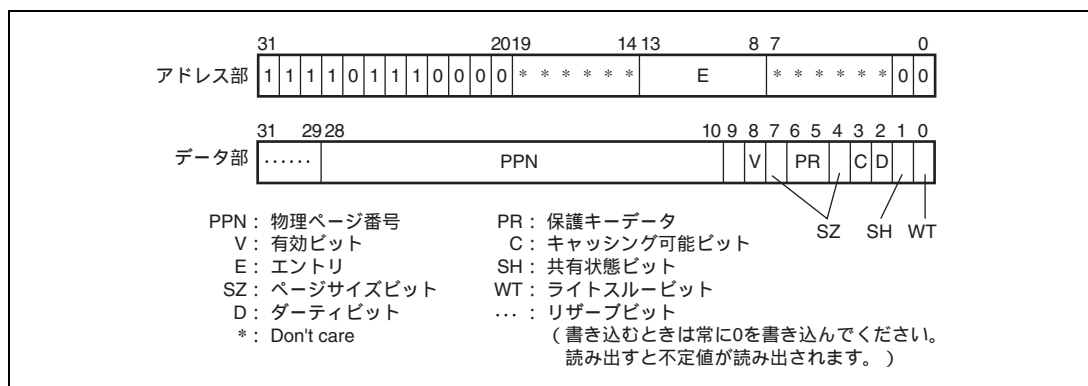


図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

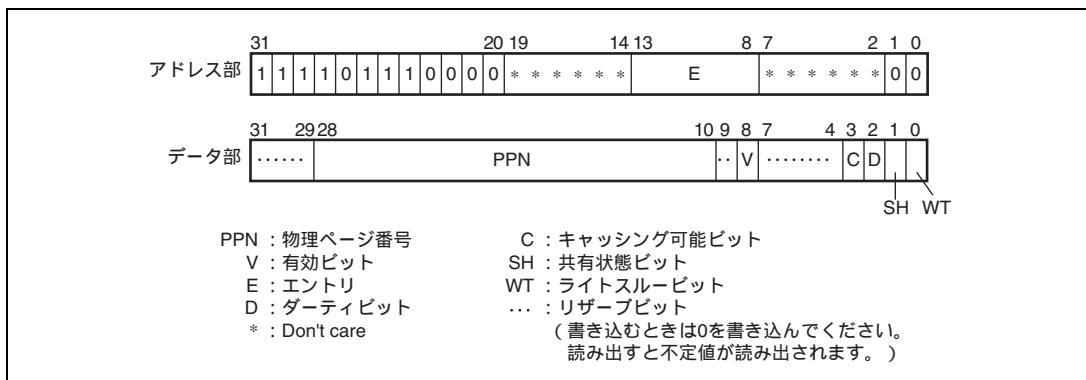


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の H'F780 0000 ~ H'F78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す H'F78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

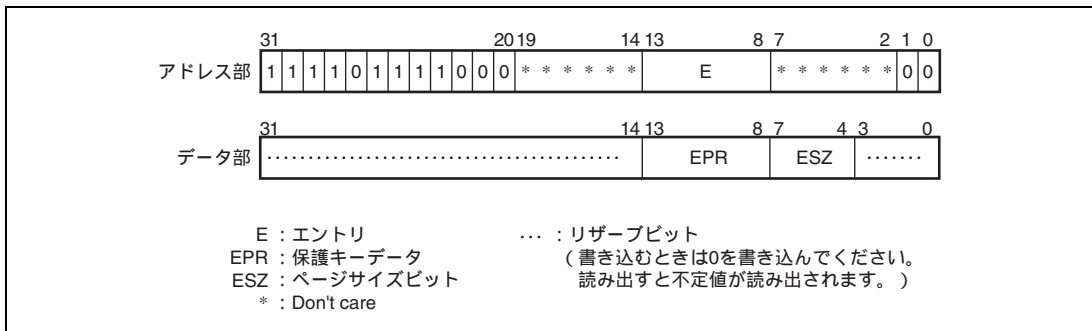


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 使用上の注意事項

7.8.1 LDTLB 命令使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の 1.または 2.のどちらかを行ってください。

1. TLBミス例外処理ルーチン*¹はP1領域、P2領域あるいは内蔵メモリ領域のみに配置し、TLBミス例外処理ルーチンでの命令アクセス*²はP1領域、P2領域あるいは内蔵メモリ領域のみになるようにしてください。TLBミス例外処理ルーチンを内蔵メモリに配置する場合は、RAMCRのPRビットを0(初期値)にしてください。また、TLBミス例外処理ルーチンではFDIV命令またはFSQRT命令を使用しないでください。
2. TLBミス例外が発生した際は、MMUCR.URCに1を加算してからLDTLB命令を実行してください。

【注】 *1 例外処理ルーチン：例外発生時のVBR+オフセットの番地から、元のプログラムに復帰するRTEおよびRTEの遅延スロットに至るまでに実行されるすべての命令を意味します。

*2 命令アクセス：PREFI命令とICBI命令によるアクセスを含みます。

8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

8.1 特長

キャッシュの特長を表 8.1 に示します。

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

SH-4A のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

SH-4A は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

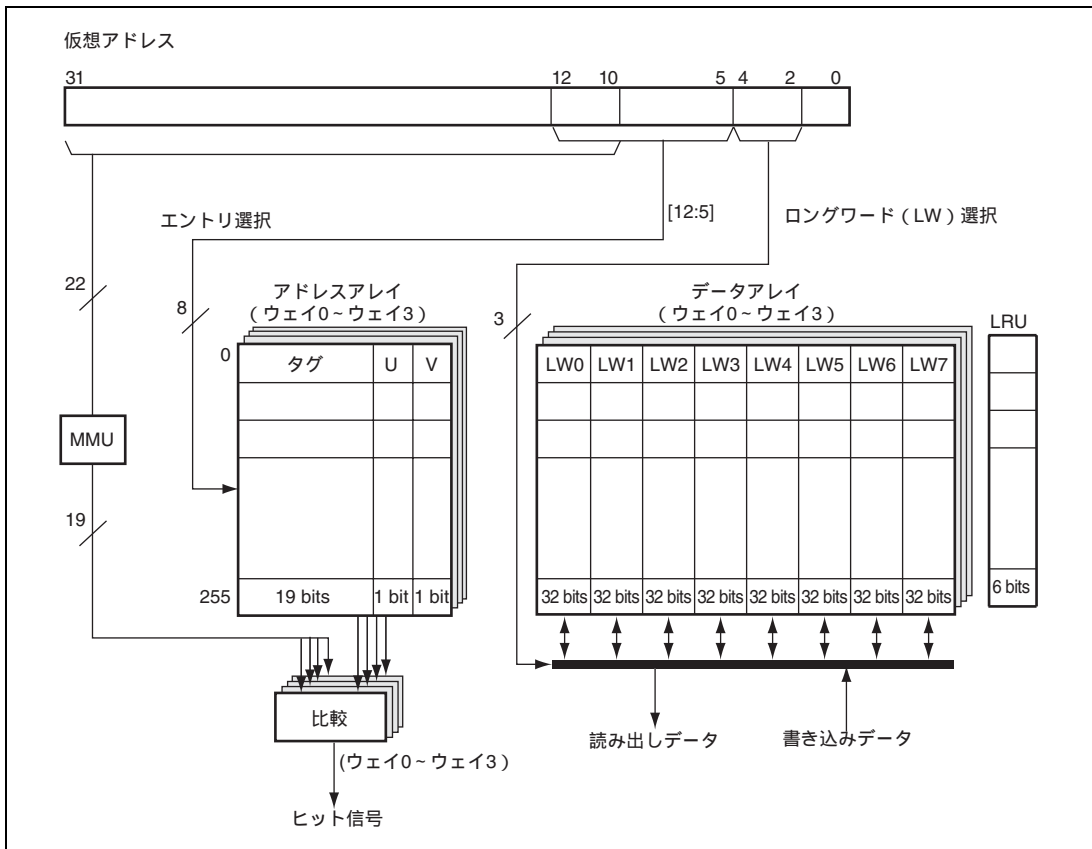


図 8.1 オペランドキャッシュの構成 (キャッシュサイズ = 32K バイトの場合)

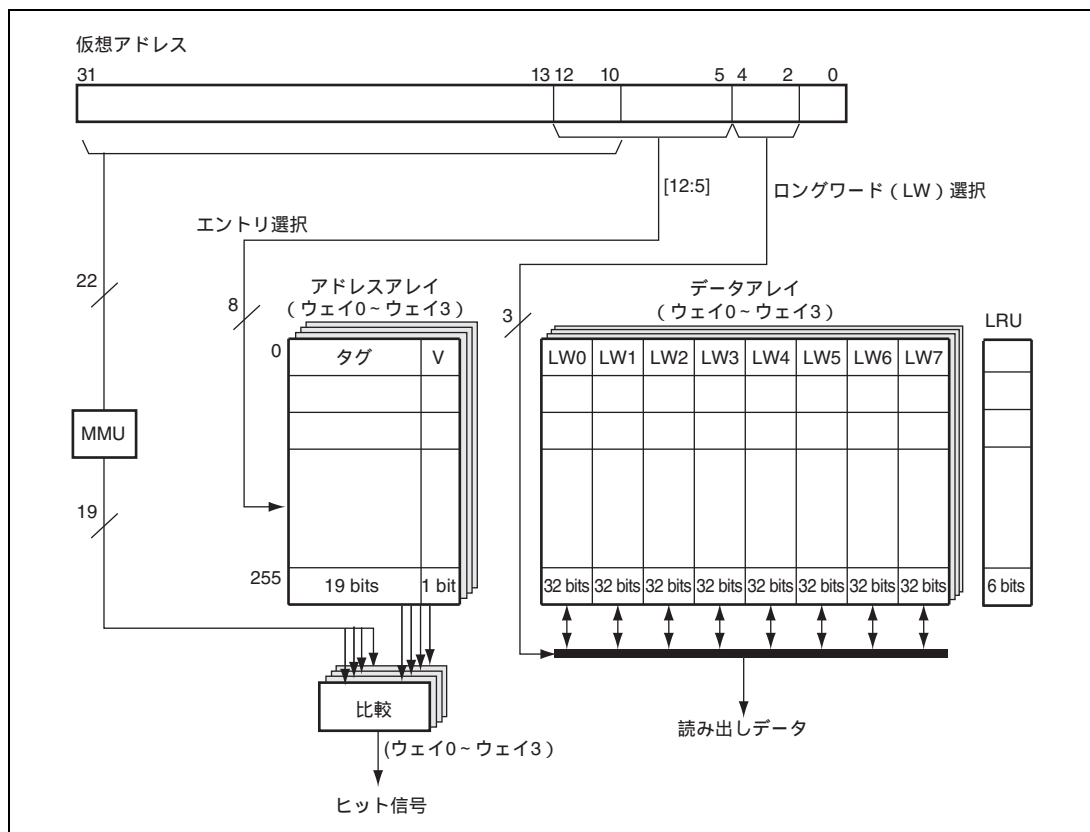


図 8.2 命令キャッシュの構成 (キャッシュサイズ=32K バイトの場合)

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されます。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「8.6 メモリ割り付けキャッシュの構成」参照) をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されます。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されます。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	保持	保持
キューアドレス制御レジスタ0	QACR0	不定	保持	保持
キューアドレス制御レジスタ1	QACR1	不定	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	保持	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0:ライトスルーモード 1:コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0:コピーバックモード 1:ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0:OCを使用しない 1:OCを使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング不可領域またはILメモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説 明
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウエイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウエイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウエイが存在する場合 3.
 - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウエイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウエイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- | | | |
|--|----|----|
| • タグが一致かつVビットが1のウェイが存在する場合 | 3. | 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 | 5. | 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 6. | 7. |
3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

SH-4A は、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

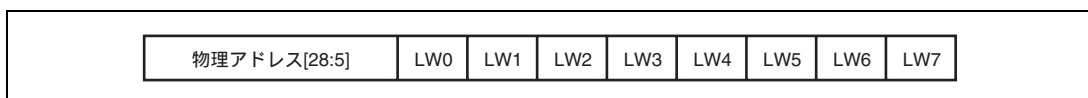


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

SH-4A は、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

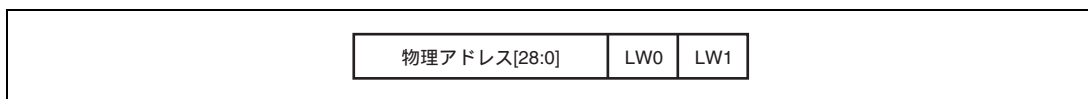


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを 1 にセットすると、IC のウェイ 0 とウェイ 1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。

IC2W ビットの書き換えは P2 領域のプログラムで行うようにしてください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

SH-4A は消費電力を低減するために命令キャッシュ (IC) ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを 1 にセットすると、IC ウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんが IC の消費電力が増加します。また、ICWPD ビットの切り換えはキャッシング不可の P2 領域を走行するプログラムで行ってください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。SH-4A ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュバージ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0, @Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- FLUSH トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(3) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWBのコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A から変更になっています。

1. インバリデイト命令 : OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

2. パージ命令 : OCBP @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

3. ライトバック命令 : OCBWB @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを 0 の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、SH-4A ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC データアレイの内容の読み出し / 書き込みが可能です。また特権モードのとき P2 領域のプログラムあるいは IL メモリ領域のプログラムから MOV 命令によって IC アドレスアレイの内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1~3 のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ / データアレイ、OC のアドレスアレイ / データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには 0 を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の HF000 0000 ~ HF0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す HF0 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部 [31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

（1）IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。読み出す場合アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 IC アドレスアレイ連想ライト機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

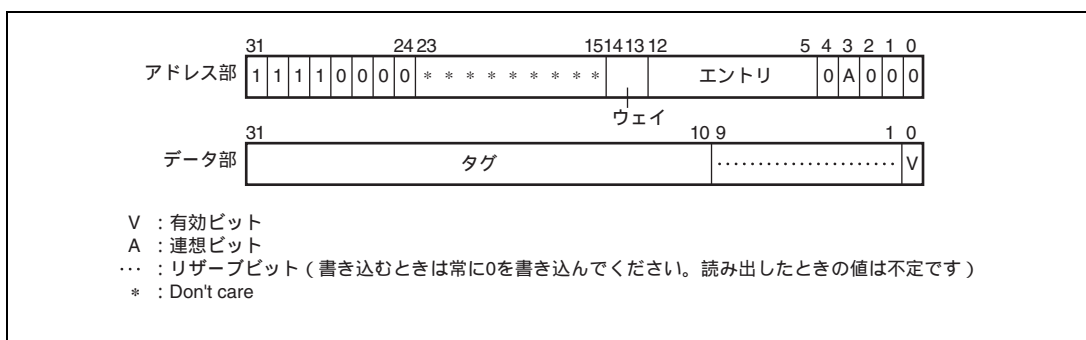


図 8.5 メモリ割り付け IC アドレスアレイ (キャッシュサイズ = 32K バイトの場合)

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

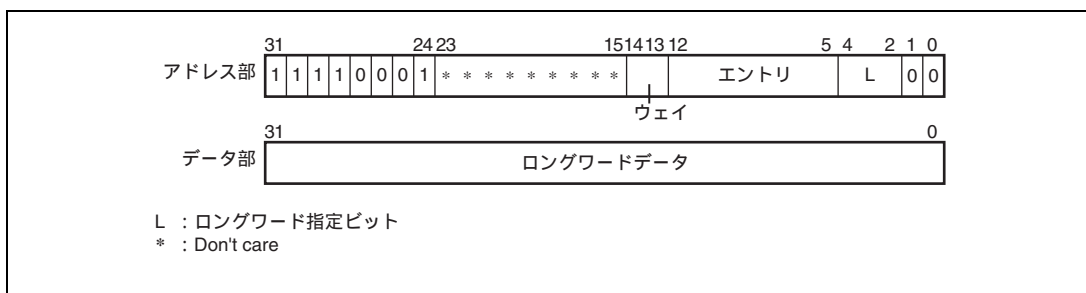


図 8.6 メモリ割り付け IC データアレイ (キャッシュサイズ = 32K バイトの場合)

8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31:24] が OC アドレスアレイを示す H'F4 になっており、[14:13] でウェイ、[12:5] でエントリを指定するようになっています。アドレス部 [3] の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部 [1:0] は 0 を指定してください。

データ部は [31:10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31:29] は連想を行わない書き込みのときには使用されません。データ部 [31:29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 OC アドレスアレイ連想ライト機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

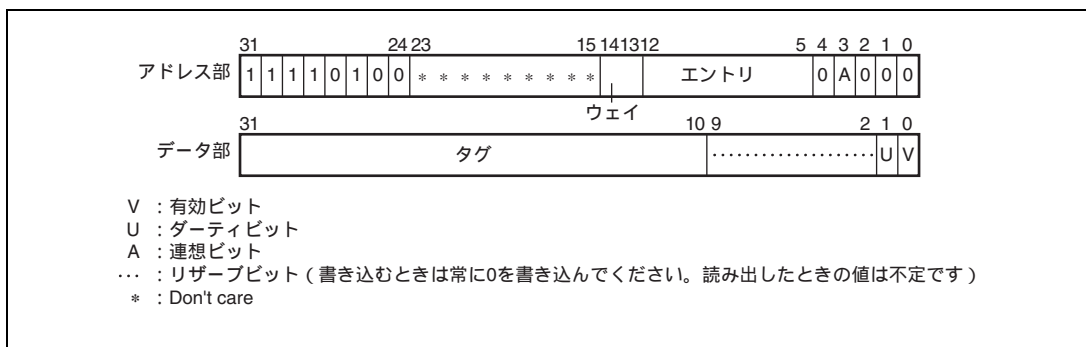


図 8.7 メモリ割り付け OC アドレスアレイ (キャッシュサイズ=32K バイトの場合)

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

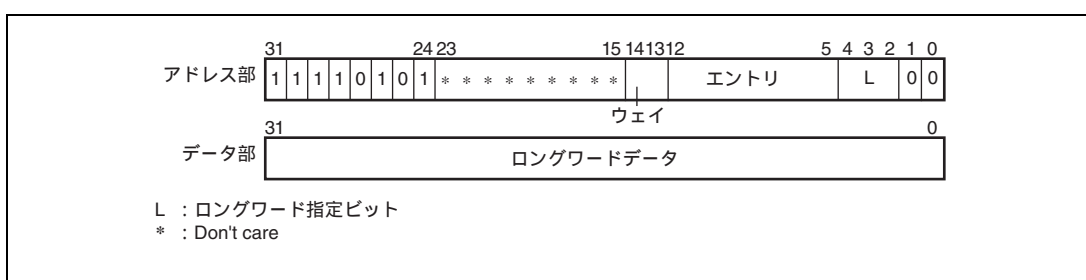


図 8.8 メモリ割り付け OC データアレイ (キャッシュサイズ=32K バイトの場合)

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH-4A では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (H'FF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

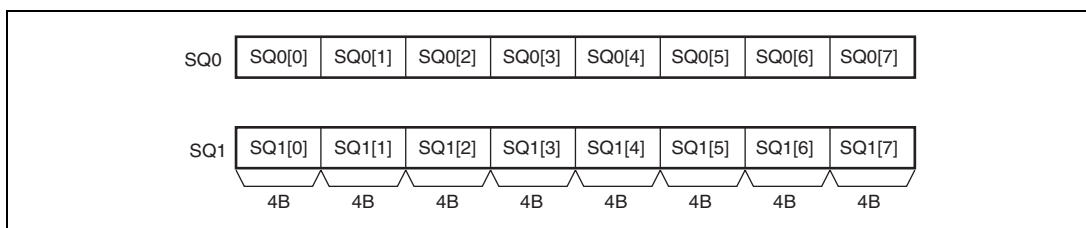


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの [4:0] は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス [31:0] は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス [25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス [5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス [28:26] は、QACR0、QACR1から生成します。

QACR0 [4:2] : SQ0に対する物理アドレス [28:26]

QACR1 [4:2] : SQ1に対する物理アドレス [28:26]

物理アドレスの [4:0] は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されません。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLB に登録されたアドレス変換情報と SQMD ビットに従います。SQ への書き込みはライトタイプ、SQ から外部メモリへの転送 (PREF 命令) はリードタイプとして例外判定が行われ、TLB ミス例外、保護違反例外が発生します。ただし、SQMD ビットにより SQ へのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMD ビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMD ビットが 1 のときに、ユーザモードで SQ 領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

SH-4A では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

9. 内蔵メモリ

本 LSI は IL メモリを内蔵しています。IL メモリは命令の格納に適しています。

9.1 特長

(1) IL メモリ

- 容量：
ILメモリの容量は、16Kバイトです。
- ページ：
ILメモリは4ページ（ページ0～ページ3）に分かれています。
- メモリマップ：
ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.1に示されるアドレスに配置されています。

表 9.1 IL メモリアドレス

ページ	メモリサイズ
	16K バイト
ページ 0	H'E520 0000 ~ H'E520 0FFF
ページ 1	H'E520 1000 ~ H'E520 1FFF
ページ 2	H'E520 2000 ~ H'E520 2FFF
ページ 3	H'E520 3000 ~ H'E520 3FFF

- ポート：
3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 9.3 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	保持	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ / 特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

9.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

【注】 PC 相対 (@ (disp.pc)) によるオペランドアクセスが可能です。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの内蔵メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.4 内蔵メモリの保護機能

SH-4A では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD = 0 のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定しません。

また MMUCR.AT = 1 かつ RAMCR.RP = 1 のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域も P0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.4にまとめます。

表 9.4 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外
0	x	0	0	アドレスエラー例外	-
			1	-	-
		1	x	-	-
1	0	0	0	アドレスエラー例外	-
			1	-	-
		1	x	-	-
	1	0	0	アドレスエラー例外	-
			1	-	MMU 例外
	1	x	-	MMU 例外	

【記号説明】 x : Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)がかかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。例えばページ毎に独立したプログラムを配置すると効率がよくなります。

9.5.3 コヒーレンシ

IL メモリに命令を配置する場合、IL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (IL メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

9.5.4 スリープモード

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから IL メモリへのアクセスは行えませ
ん。

10. クロック発振器 (CPG)

クロック発振器 (CPG) は本 LSI の内蔵周辺モジュールおよび外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL 回路、分周回路および制御部で構成されます。

10.1 特長

- 本LSI内部用のクロックを生成
CPU、FPU、キャッシュ、TLBで使用するCPUクロック(Ick)と、SuperHywayで使用するSHwyクロック(SHck)、内蔵周辺モジュールへ供給する周辺クロック (Pck) を生成します。
- 本LSI外部用のクロックを生成
外部バスインタフェースで使用するバスクロック (Bck) を生成します。
- クロックモード
CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。
パワーオンリセット後のCPUクロック、SHwyクロック、バスクロック、周辺クロックの逡倍率の組み合わせを2種類のクロック動作モードから選択できます。
- 低消費電力モードの制御
スリープモード、リフレッシュスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。

図 10.1 に CPG のブロック図を示します。

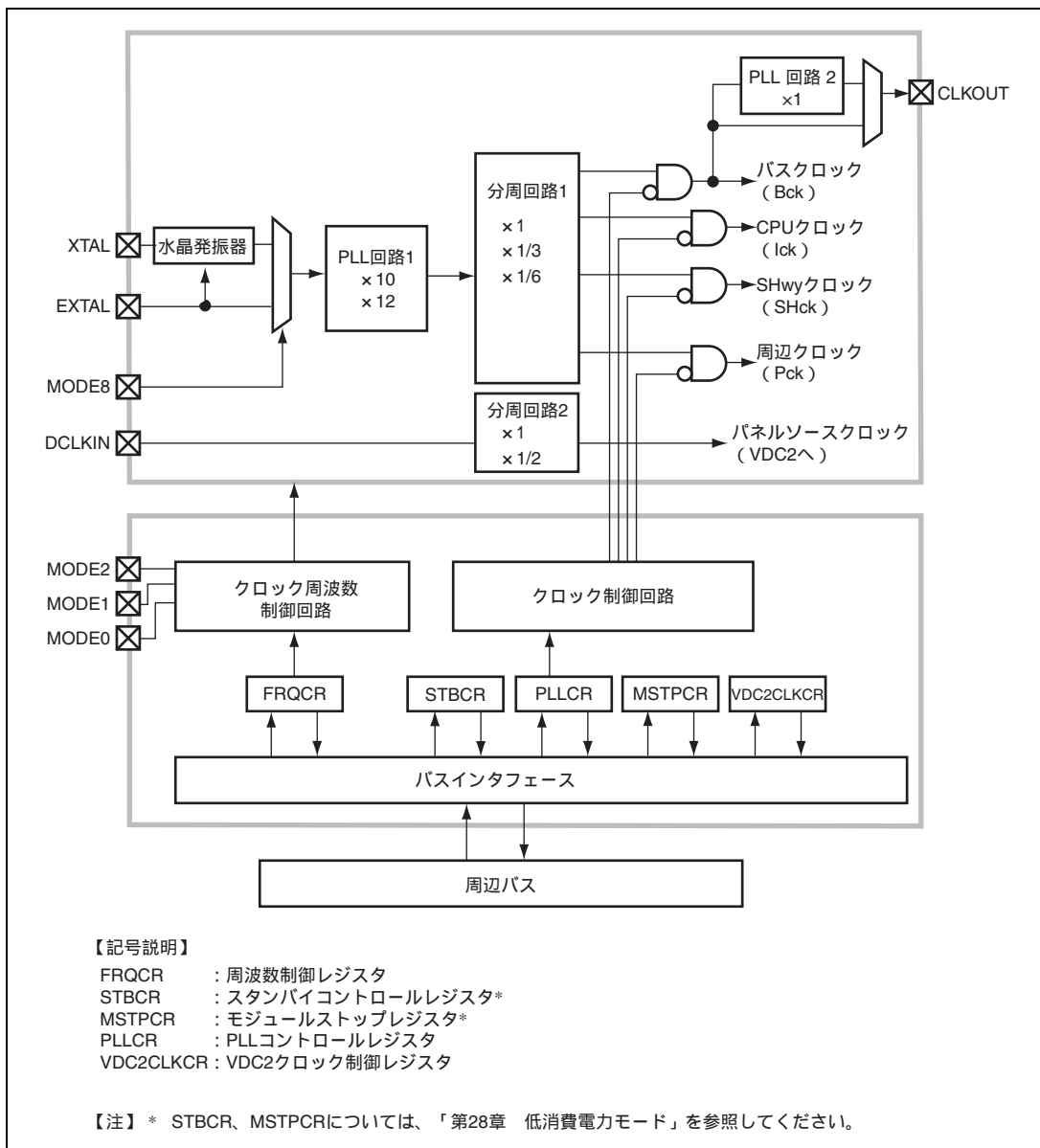


図 10.1 CPG ブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、水晶発振回路または EXTAL 端子からの入力クロック周波数を、10、12 倍に逡倍する機能を持ちます。クロックの逡倍率は、モード端子 MODE0、MODE1、および MODE2 の組み合わせで決まります。

(2) PLL 回路 2

PLL 回路 2 は、バスクロック (Bck) と、外部周辺インタフェースで使用する CLKOUT のクロックの位相を合わせる機能を持ちます。

(3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

水晶発振回路は MODE8 端子の設定により使用可能となります。

(4) 分周回路 1

分周回路 1 は、CPU クロック (Ick)、SHwy クロック (SHck)、周辺クロック (Pck)、バスクロック (Bck) を生成します。

(5) 周波数制御レジスタ (FRQCR)

周波数制御レジスタは、Ick、SHck、Pck、Bck の周波数分周率の確認ができます。読み出し専用です。

(6) PLL 制御レジスタ (PLLCR)

PLL 制御レジスタには、CLKOUT 出力のオン / オフ制御ビットが割り当てられています。

(7) モジュールストップレジスタ (MSTPCR)

モジュールストップレジスタには、各周辺モジュールの動作 / 停止を制御するビットが割り当てられています。本レジスタの仕様については「第 28 章 低消費電力モード」を参照してください。

(8) スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタには、スタンバイビットが割り当てられています。本レジスタの仕様については「第 28 章 低消費電力モード」を参照してください。

10.2 入出力端子

CPG の端子構成を表 10.1 に示します。

表 10.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MODE0 MODE1 MODE2	モード制御端子 0、1、2 クロック動作モード	入力	パワーオンリセット後のクロック動作モードを設定します。
MODE8	モード制御端子 8 クロック入力モード	入力	水晶発振子の使用 / 不使用を設定します。 MODE8=L のとき、EXTAL から外部クロックを入力します。 MODE8=H のとき、EXTAL、XTAL に水晶発振子を接続します。
XTAL	クロック端子	出力	水晶発振子を接続します。
EXTAL		入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
CLKOUT		出力	外部バスクロック出力端子として使用します

【注】 CLKOUT の AC タイミング保証は、電気的特性の章を参照してください。なお、水晶発振回路の入力周波数と通信率の関係にご注意ください。

10.3 クロック動作モード

モード制御端子 (MODE0、MODE1、および MODE2) の組み合わせとパワーオンリセット後のクロック動作モードの関係を表 10.2 に示します。

表 10.2 クロック動作モード

クロック動作モード	外部端子組み合わせ*			PLL 1	PLL 2	EXTAL 周波数 (MHz) (a)		CPG 生成クロック				FRQCR 初期値
	MODE 2	MODE 1	MODE 0					lck	SHck	Bck	Pck	
2	0	1	0	オン	オン	24 ~ 32.4	周波数比*2 (b)	10	10 / 3	10 / 3	10 / 6	H3032004 4
							周波数 (MHz) (a)×(b)	240 ~ 324	80 ~ 108	80 ~ 108	40 ~ 54	
3	0	1	1	オン	オン	24 ~ 27	周波数比*2 (c)	12	4	4	2	H4032004 4
							周波数 (MHz) (a)×(c)	288 ~ 324	96 ~ 108	96 ~ 108	48 ~ 54	

【注】 *1 上記以外のモード端子 MODE0、MODE1、および MODE2 の組み合わせは設定禁止です。

*2 水晶発振回路または EXTAL 端子からの入力クロック周波数を 1 としたときの各クロック周波数比です。

10.4 レジスタの説明

CPG のレジスタ構成を表 10.3 に示します。また、各処理モードにおけるレジスタの状態を表 10.4 に示します。

表 10.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R	H'FFC8 0000	H'1FC8 0000	32
PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32
VDC2 クロック制御レジスタ	VDC2CLKCR	R/W	H'FFC8 0004	H'1FC8 0004	32

表 10.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
周波数制御レジスタ	FRQCR	H'x032 0044*	保持	保持
PLL コントロールレジスタ	PLLCR	H'0000 E001	保持	保持
VDC2 クロック制御レジスタ	VDC2CLKCR	H'0000 0080	保持	保持

【注】 * MODE0、MODE1 および MODE2 の設定により選択されるクロック動作モードにより設定される初期値となります。

10.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し専用の 32 ビットのレジスタで、CPU クロック (Ick)、SHwy クロック (SHck)、周辺クロック (Pck)、バスクロック (Bck) のパワーオンリセット後の周波数分周率の確認が可能です。周波数比は、「表 10.2 クロック動作モード」を参照してください。FRQCR はロングワードアクセスのみ可能です。書き込んだ場合の動作は保証できません。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	CFC[2:0]			-	BFC[2:0]		
初期値:	-	-	-	-	0	0	0	0	0	0	1	1	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	P0FC[2:0]			-	P1FC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット クロック動作モードがモード 2 のときは 0011、モード 3 のときは 0100 が読み出されます。
27~23	-	00000	R	リザーブビット 読み出すと常に 00000 が読み出されます。
22~20	CFC[2:0]	011	R	CPU クロック (Ick) および SHwy クロック (SHck) 周波数の分周率 Ick SHck 011 : 1 倍 1/3 倍
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
18~16	BFC[2:0]	010	R	バスクロック (Bck) 周波数の分周率 010 : $\times 1/3$ 倍
15~7	-	000000000	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	PFC[2:0]	100	R	周辺クロック (Pck) 周波数の分周率 100 : $\times 1/6$ 倍
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2~0	-	100	R	リザーブビット 読み出すと常に 100 が読み出されます。

10.4.2 PLL コントロールレジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKOFF	CKONE
初期値 :	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 書き込む値は初期値と同値にしてください。
15~13	-	すべて 1	R	リザーブビット 書き込む値は初期値と同値にしてください。
12~2	-	すべて 0	R	リザーブビット 書き込む値は初期値と同値にしてください。
1	CKOFF	0	R/W	CLKOUT 出力停止 0 : CLKOUT 端子からのクロックを出力します。 1 : CLKOUT 端子からのクロック出力を停止します。端子状態は、Hi-Z です。
0	CKONE	1	R/W	クロック出力イネーブル ソフトウェアスタンバイ中に CLKOUT 端子からのクロックを出力するか、ローレベルに固定するかを設定します。 0 : ローレベルに固定 1 : クロックを出力

10.4.3 VDC2 クロック制御レジスタ (VDC2CLKCR)

VDC2CLKCR は、読み出し/書き出し可能な 32 ビットのレジスタで、VDC2 クロックの選択を行うことができます。VDC2CLKCR は、ロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CKSEL	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CKSEL	1	R/W	パネルソースクロック分周率選択 DCLKIN 端子から入力し、VDC2 モジュールに供給されるパネルソースクロックの周波数分周率を指定します。 0 : DCLKIN 入力 × 1/1 1 : DCLKIN 入力 × 1/2
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.5 ボード設計上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

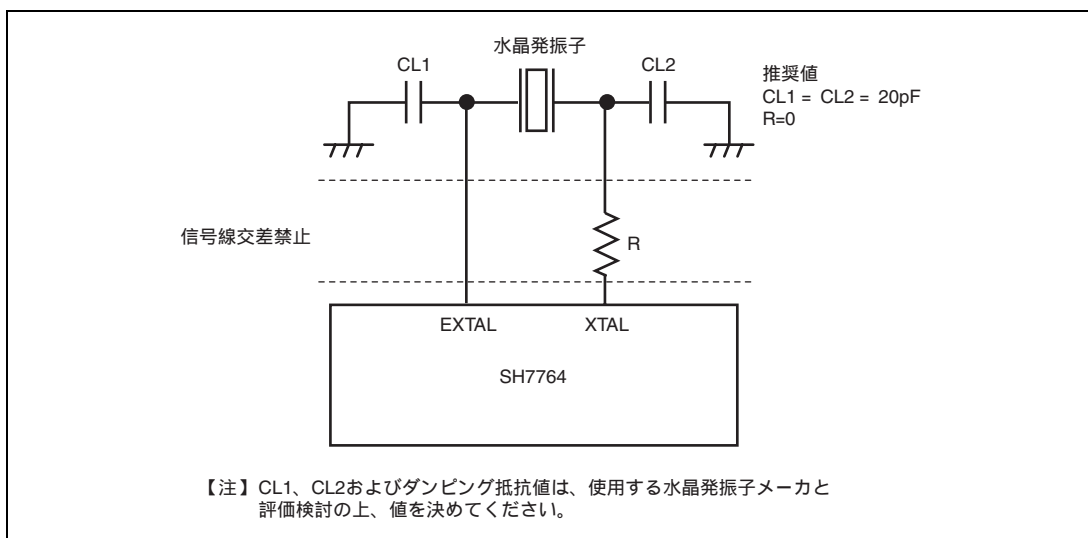


図 10.2 水晶発振器使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL 電源配線時の注意事項

各 VDD-PLL および VSS-PLL は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB およびバイパスコンデンサ CPB を挿入してください。

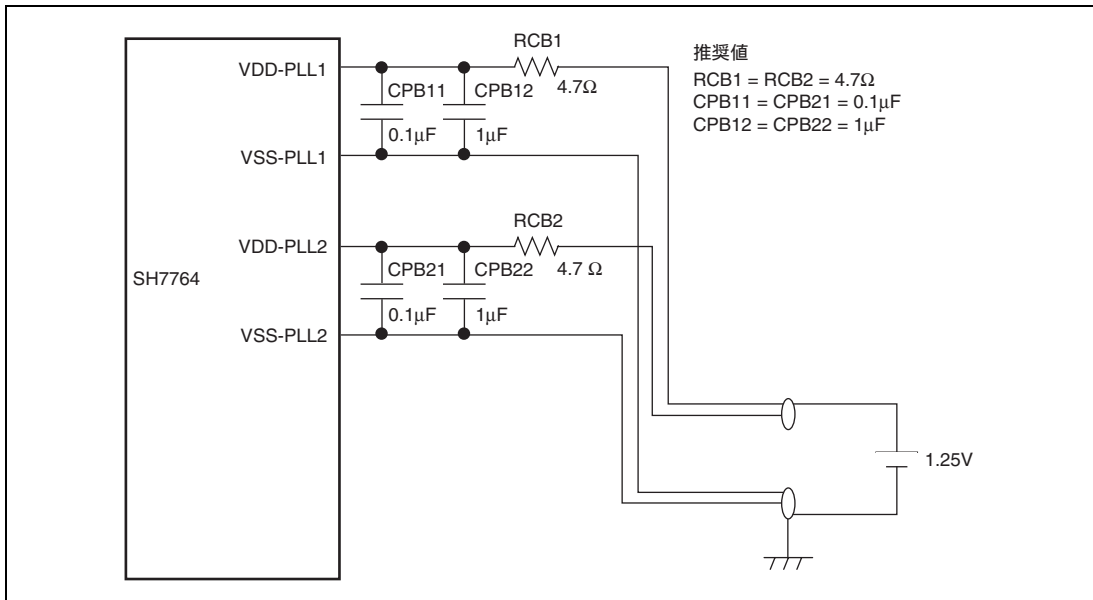


図 10.3 PLL 電源配線時の注意事項

11. メモリコントローラユニット (MCU)

メモリコントローラユニット (MCU) は CPU や各種モジュールからのアクセスを調停し、SRAM、SDARM インタフェースの制御信号を出力するモジュールです。本モジュールにより SRAM、ROM、SDRAMなどを直接接続することができます。

本モジュールは、SuperHyway バスインタフェース (SHIF)、Pixel バスインタフェース (PXIF)、LCD コントローラ直結バスインタフェース (LCDIF)、SRAM コントローラ (LBSC)、SDRAM コントローラ (SBSC)、および、インタフェースモジュールから各コントローラへのアクセスを調停するアービタ (ARBT) を備えています。

11.1 特長

- 外部メモリアccessをサポート
 - 4本の外部メモリセレクト信号を出力
 - 4エリア (FLASH、SDRAM)、それぞれ最大64Mバイトの外部メモリ空間
- SRAM : データバス幅32ビット / 16ビット / 8ビットを選択可能
- SDRAM : データバス幅64ビット / 32ビットを選択可能
- ビッグエンディアンまたはリトルエンディアンを設定可能

【SRAM インタフェース】

- NOR型のFLASHメモリが接続可能
- サイクルウェイト機能 : (ハードウェアによるウェイト制御 : 信号)
- データバス衝突回避のためのウェイト制御 (アイドルサイクルの挿入) :
 - リードサイクル直後のリードサイクル間のウェイト設定
 - リードサイクル直後のライトサイクル間のウェイト設定

【SDRAM インタフェース】

- リフレッシュ機能 :
 - オートリフレッシュ (プログラマブルリフレッシュカウンタ内蔵)
 - セルフリフレッシュ
- タイミング設定 :
ロウカラムレーテンシ、カラムレーテンシ、ロウアクティブ期間、
ライトリカバリ期間、ロウプリチャージ期間、オートリフレッシュ要求間隔、
初期化プリチャージサイクル数、初期化オートリフレッシュ要求間隔
- バーストアクセス方式 : ランダムカラム (SDRAMバースト長 : 32ビットバス 8、64ビットバス 4)
- 初期化シーケンサ機能 : プリチャージ、オートリフレッシュコマンドを発行

図 11.1 に本メモリコントローラのブロック図を示します。

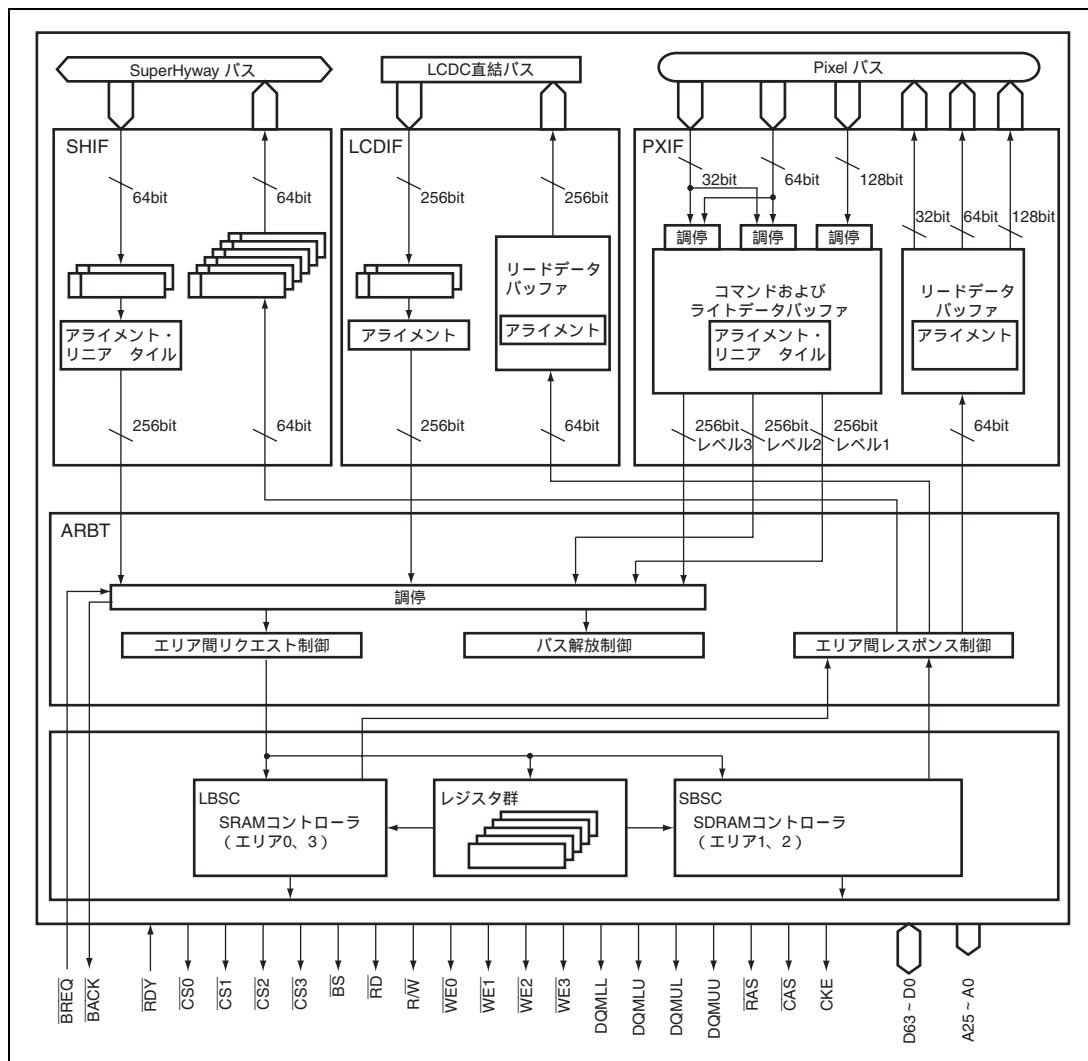


図 11.1 MCU ブロック図

1. SHIF (SuperHyway Interface) : CPU-SRAMおよびSDRAM間のインタフェースです。SuperHywayプロトコルでインタフェースします。バス幅は64ビットです。SuperHywayバスはスプリットトランザクションのバスであり、効率的なデータ転送が可能です。スプリットトランザクションとは通信をリクエストパケットとレスポンスパケットとに分けて実施する方式のことで、これを用いると、1つの通信が完了するまでの間バスを占有し続けることがありません。
2. PXIF (Pixel Bus Interface) : ユニファイドメモリ (SDRAM) をアクセスする周辺モジュールを接続するインタフェースブロックです。モジュールごとに独立したポートを有しており、各信号はPixelバスプロトコルで

ピア・ツー・ピアに接続されます。バス幅は32ビット、64ビット、128ビットをサポートします。

3. LCDIF (LCD controller bus interface) : LCDCを接続するバスです。LCDCのみが接続され、専用のバスプロトコルとなっています。バス幅は256ビットです。アクセス可能領域はSDRAM空間のみです。
4. ARBT (Arbiter) : 別途定める優先順位判定を行い、SHIF、PXIF、LCDIFの各インタフェース間の調停を行います。
5. LBSC (SRAM Local Bus Controller) : SRAMへのリード/ライトアクセスを制御します。

LBSCには、次のような特徴があります。

- 外部メモリ空間のうちエリア0、エリア3を管理
 - メモリ容量は、各エリア最大64Mバイト
 - バス幅を8/16/32ビットに設定可能 (エリア0は外部端子により、エリア3はレジスタにより設定)
 - $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - 連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
6. SBSC (SDRAM Bus Controller) : SDRAMへのリード/ライトアクセスを制御します。SDRAMのタイミング規定に従ってコマンド発行やリード/ライトデータの送受信を行います。SDRAMへのバス幅は32ビット、64ビットの2つをサポートし、バースト長は32ビット時8、64ビット時4で、32バイト転送を基本とします。リフレッシュは、オートリフレッシュとセルフリフレッシュをサポートします。バンクオープンモード設定時にロウアドレスにヒットした場合のデータ転送は連続したバースト転送となります。

11.2 入出力端子

MCU の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	機能	入出力	説明
A25 ~ A0	アドレスバス	出力	アドレス出力
D63 ~ D32	データバス	入出力	データ入出力 (他の端子とマルチプレクスされます)
D31 ~ D0	データバス	入出力	データ入出力
\overline{BS}	バスサイクル開始	出力	バスサイクルの開始を示す信号
CS3 ~ CS0	チップセレクト	出力	アクセス中のエリアを示すチップセレクト信号
\overline{RD}	リード	出力	外部デバイスからの読み出し信号
$\overline{R/W}$	リード/ライト	出力	データバスの入出力方向指示信号 SDRAM アクセス時、WE 信号
\overline{RAS}	ロウアドレスストロープ	出力	SDRAM RAS 信号
\overline{CAS}	カラムアドレスストロープ	出力	SDRAM CAS 信号
CKE	クロックイネーブル	出力	SDRAM クロックイネーブル信号
DQMLL	データマスク	出力	SDRAM D7 ~ D0 データマスク信号
DQMLU	データマスク	出力	SDRAM D15 ~ D8 データマスク信号
DQMUL	データマスク	出力	SDRAM D23 ~ D16 データマスク信号
DQMUU	データマスク	出力	SDRAM D31 ~ D24 データマスク信号
$\overline{WE0}$	データイネーブル 0	出力	SRAM アクセス時、D7 ~ D0 対応のライトストロープ信号 SDRAM インタフェース設定時、D39 ~ D32 データマスク信号 (ハイアクティブ)
$\overline{WE1}$	データイネーブル 1	出力	SRAM アクセス時、D15 ~ D8 対応のライトストロープ信号 SDRAM インタフェース設定時、D47 ~ D40 データマスク信号 (ハイアクティブ)
$\overline{WE2}$	データイネーブル 2	出力	SRAM アクセス時、D23 ~ D16 対応のライトストロープ信号 SDRAM インタフェース設定時、D55 ~ D48 データマスク信号 (ハイアクティブ)
$\overline{WE3}$	データイネーブル 3	出力	SRAM アクセス時、D31 ~ D24 対応のライトストロープ信号 SDRAM インタフェース設定時、D63 ~ D56 データマスク信号 (ハイアクティブ)
\overline{RDY}	レディ	入力	ウェイトステート要求信号
\overline{BREQ}	バス解放要求	入力	バス解放の要求信号
\overline{BACK}	バス使用可/バス返還要求	出力	バス使用の許可信号/バスの返還要求信号
MODE3 MODE4	エリア 0 バス幅	入力	パワーオンリセット時、エリア 0 のバス幅設定信号
MODE5	エンディアン切り替え	入力	パワーオンリセット時、エンディアン設定
DAACK0*	DMAC0 アクノリッジ信号	出力	DMAC チャンネル 0 のデータアクノリッジ

端子名	機能	入出力	説明
DACK1*	DMAC1 アクノリッジ信号	出力	DMAC チャンネル 1 のデータアクノリッジ
DTEND0*	DMAC0 転送終了信号	出力	DMAC チャンネル 0 の転送終了
DTEND1*	DMAC1 転送終了信号	出力	DMAC チャンネル 1 の転送終了

【注】 * DACK0、DACK1 および DTEND0、DTEND1 端子は DMAC の CHCR0、CHCR1 の AL ビットで極性選択可能（初期値はローアクティブ）。

11.3 エリアの概要

11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、外部メモリ空間は 29 ビットのアドレス空間を有しており 4 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、外部アドレスのエリア分割について記述します。

本 LSI は、表 11.2 に示すように外部アドレスの 4 つのエリアに SRAM および SDRAM を接続出来ます。

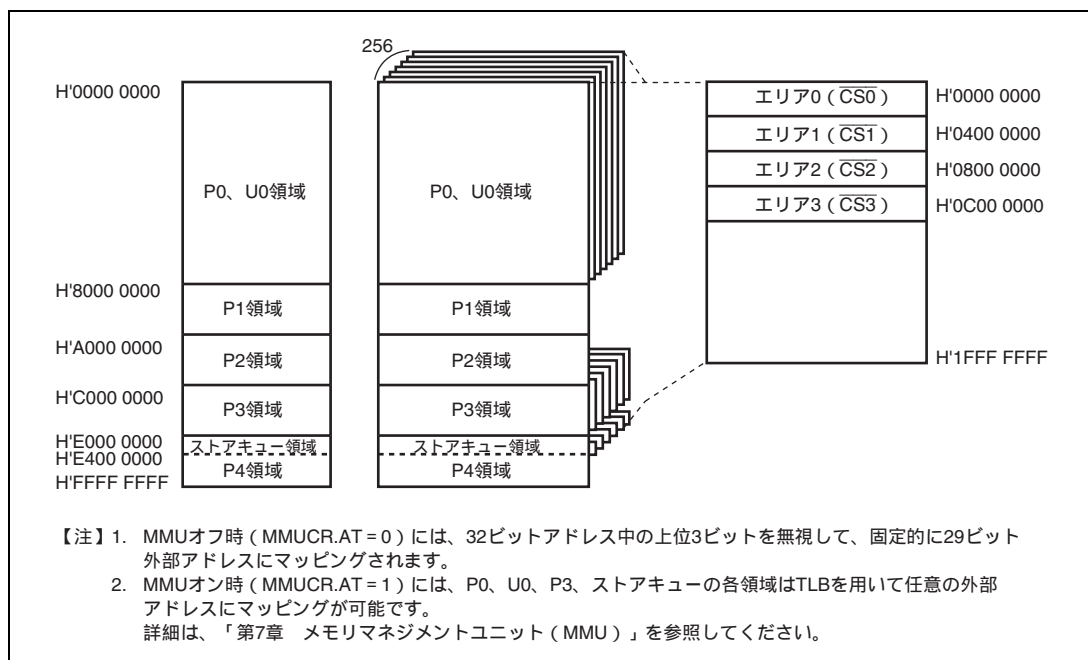


図 11.2 仮想アドレス空間と外部メモリ空間の対応

表 11.2 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	接続可能バス幅 (ビット)	アクセスサイズ
0	H'0000 0000 ~ H'03FF FFFF	64M バイト	SRAM	8、16、32* ¹	8、16、32
1	H'0400 0000 ~ H'07FF FFFF	64M バイト	SDRAM	32、64* ²	32、64
2	H'0800 0000 ~ H'0BFF FFFF	64M バイト	SDRAM	32、64* ²	32、64
3	H'0C00 0000 ~ H'0FFF FFFF	64M バイト	SRAM	8、16、32* ²	8、16、32

【注】 *1 外部端子でメモリバス幅を指定します。

*2 レジスタでメモリバス幅を指定します。

11.3.2 メモリバス幅

メモリバス幅の設定方法は空間ごとに異なります。エリア 0 では、PRESET 端子によるパワーオンリセット時に外部端子を用いてバスサイズを 8 ビット、16 ビット、32 ビットから選ぶことができます。外部端子 (MODE4、MODE3) とバス幅の関係を表 11.3 に示します。

表 11.3 エリア 0 メモリバス幅の設定

MODE4	MODE3	バス幅
0	0	リザーブ
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット

エリア 1、2 はメモリインタフェースレジスタ (MIM) によってバス幅を 32 ビット、64 ビットから選ぶことができます (エリア 1、エリア 2 のバス幅は共通です)。詳しくは「11.4.2 メモリインタフェースモードレジスタ (MIM)」を参照ください。

エリア 3 は CS3 バスコントロールレジスタ (CS3BCR) によって、バス幅を 8 ビット、16 ビット、32 ビットから選ぶことが出来ます。詳しくは「11.4.15 CS3 バスコントロールレジスタ (CS3BCR)」を参照ください。

11.3.3 エンディアン設定

エンディアン設定は、外部端子 (MODE5) の状態により決定されます。このエンディアン設定は、エリア 0、3 およびエリア 1、2 すべて共通です。外部端子 (MODE5) とエンディアンの関係を表 11.4 に示します。

表 11.4 エンディアンの設定

MODE5	エンディアン
0	ビッグエンディアン
1	リトルエンディアン

11.4 レジスタの説明

レジスタ構成を表 11.5 に示します。レジスタのビット幅は 64 ビットですがロングワード (32 ビット) でアクセスしてください。ライトはロングワード単位に状態へ反映されます。リードはアクセスを行った時点でのロングワードの値が参照されます。ビット 63~32 をアクセスする際には $8n+0$ 番地を、ビット 31~0 をアクセスする際には $8n+4$ 番地を指定してください。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

表 11.5 レジスタ構成

アドレス	レジスタ名	略称	初期値	アクセス
H'FF80 0000	バージョンコントロールレジスタ	VCR	H'0B04 0000 0000 0000	32
H'FF80 0008	メモリインタフェースモードレジスタ	MIM	H'0000 0000 061A 0x40	32
H'FF80 0010	SDRAM コントロールレジスタ	SCR	H'0000 0000 0000 0000	32
H'FF80 0018	SDRAM タイミングレジスタ	STR	H'0000 0000 00FF FFE7	32
H'FF80 0030	SDRAM ロウアトリビュートレジスタ	SDRA	H'0000 0000 0000 0200	32
H'FFAx xxxx	SDRAM モードレジスタ	SDMR	-	32
H'FF80 0200	アービトレーションモードレジスタ	AMR	H'0000 0000 0400 0000	32
H'FF80 0100	リニアタイル変換コントロールレジスタ	LTC0	H'0000 0000 0000 0000	32
H'FF80 0108	リニアタイル領域先頭アドレスレジスタ	LTAD0	H'0000 0000 0000 0000	32
H'FF80 0110	リニアタイル領域先頭アドレスマスクレジスタ	LTAM0	H'0000 0000 0000 0000	32
H'FF80 0118	リニアタイル変換コントロールレジスタ	LTC1	H'0000 0000 0000 0000	32
H'FF80 0120	リニアタイル領域先頭アドレスレジスタ	LTAD1	H'0000 0000 0000 0000	32
H'FF80 0128	リニアタイル領域先頭アドレスマスクレジスタ	LTAM1	H'0000 0000 0000 0000	32
H'FF80 0130	リニアタイル変換コントロールレジスタ	LTC2	H'0000 0000 0000 0000	32
H'FF80 0138	リニアタイル領域先頭アドレスレジスタ	LTAD2	H'0000 0000 0000 0000	32
H'FF80 0140	リニアタイル領域先頭アドレスマスクレジスタ	LTAM2	H'0000 0000 0000 0000	32
H'FF80 0148	リニアタイル変換コントロールレジスタ	LTC3	H'0000 0000 0000 0000	32
H'FF80 0150	リニアタイル領域先頭アドレスレジスタ	LTAD3	H'0000 0000 0000 0000	32
H'FF80 0158	リニアタイル領域先頭アドレスマスクレジスタ	LTAM3	H'0000 0000 0000 0000	32
H'FF80 0160	リニアタイル変換コントロールレジスタ	LTC4	H'0000 0000 0000 0000	32
H'FF80 0168	リニアタイル領域先頭アドレスレジスタ	LTAD4	H'0000 0000 0000 0000	32
H'FF80 0170	リニアタイル領域先頭アドレスマスクレジスタ	LTAM4	H'0000 0000 0000 0000	32
H'FF80 0178	リニアタイル変換コントロールレジスタ	LTC5	H'0000 0000 0000 0000	32
H'FF80 0180	リニアタイル領域先頭アドレスレジスタ	LTAD5	H'0000 0000 0000 0000	32
H'FF80 0188	リニアタイル領域先頭アドレスマスクレジスタ	LTAM5	H'0000 0000 0000 0000	32
H'FF80 0190	リニアタイル変換コントロールレジスタ	LTC6	H'0000 0000 0000 0000	32
H'FF80 0198	リニアタイル領域先頭アドレスレジスタ	LTAD6	H'0000 0000 0000 0000	32
H'FF80 01A0	リニアタイル領域先頭アドレスマスクレジスタ	LTAM6	H'0000 0000 0000 0000	32

アドレス	レジスタ名	略称	初期値	アクセス
H'FF80 01A8	リニアタイル変換コントロールレジスタ	LTC7	H'0000 0000 0000 0000	32
H'FF80 01B0	リニアタイル領域先頭アドレスレジスタ	LTAD7	H'0000 0000 0000 0000	32
H'FF80 01B8	リニアタイル領域先頭アドレスマスクレジスタ	LTAM7	H'0000 0000 0000 0000	32
H'FF80 0218	リクエストマスク設定レジスタ	RQM	H'0000 0000 0000 0000	32
H'FF80 1000	バスコントロールレジスタ	BCR	H'0000 0000 3800 0000	32
H'FF80 2000	CS0 バスコントロールレジスタ	CS0BCR	H'0000 0000 7777 7x80	32
H'FF80 2008	CS0 ウェイトコントロールレジスタ	CS0WCR	H'0000 0000 7777 770F	32
H'FF80 2030	CS3 バスコントロールレジスタ	CS3BCR	H'0000 0000 7777 7380	32
H'FF80 2038	CS3 ウェイトコントロールレジスタ	CS3WCR	H'0000 0000 7777 770F	32

【注】 指定アクセスサイズ以外でのアクセスは行わないでください。

11.4.1 バージョンコントロールレジスタ (VCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	1	0	1	1	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DRAM_SELFREF	DRAM_INACTIVE	-	-	BAD_OP	-	-	-	ERR_SNT	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
63~10	-	0 or 1	R	リザーブビット 読み出すと上記ビット図内の値が読み出されます。書き込む値はすべて0にしてください。
9	DRAM_SELFREF	0	R/W	MIM レジスタの RMODE、DRE、DCE ビットによりセルフリフレッシュモードに設定されている際、データブロックの領域に対してアクセスした場合、1 がセットされます。0 書き込みにより 0 クリアされます。
8	DRAM_INACTIVE	0	R/W	MIM レジスタの DCE ビットにより SDRAM コントローラが無効化されている際、データブロックの領域に対してアクセスした場合、1 がセットされます。0 書き込みにより 0 クリアされます。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	BAD_OPC	0	R/W	本ビットは、SuperHyway より本メモリコントローラがサポートしていないリクエストを受信した場合、1 セットされます。0 書き込みにより0 クリアされます。
4~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	ERR_SNT	0	R/W	本ビットは、メモリコントローラから SuperHyway に対してエラーレスポンスを返した場合、1 にセットされます。0 書き込みにより0 クリアされます。
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11.4.2 メモリインタフェースモードレジスタ (MIM)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	BOMODE[1:0]	-	PCKE	-	-	-	-	-	-	-	-	-	-	SELFS	RMODE	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	DRI[11:0]											
初期値:	0	0	0	0	0	1	1	0	0	0	0	1	1	0	1	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DRE	ENDIAN	BW[1:0]	-	-	-	-	-	-	DCE
初期値:	0	0	0	0	0	0	0	*	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
63~48	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
47、46	BOMODE [1:0]	00	R/W	本ビットにより SDRAM アクセスモードの切り替えを行います。リードライト可能です。本メモリコントローラは2種類の SDRAM アクセスモードをサポートします。各モード時の動作説明は「11.7.7 バンクオープンモード」を参照してください。 00: BANK オープンモード 01: BANK クローズモード 10、11: 設定禁止

ビット	ビット名	初期値	R/W	説明
45	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
44	PCKE	0	R/W	本ビットにより SDRAM アクセス以外するとき (アイドルおよびバンクアクティブ状態時) CKE をローレベルにしてパワーダウンモードにします。本ビットを 1 にすると本機能が有効になります。本機能により SDRAM の消費電力を抑えることができます。
43~35	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
34	SELFS	0	R	本ビットにより SDRAM がセルフリフレッシュ状態にあるのかどうかを判定できます。1 のとき、セルフリフレッシュ中であり、0 のとき、非セルフリフレッシュ状態です。
33	RMODE	0	R/W	本ビットによりオートリフレッシュを行うのか、セルフリフレッシュを行うのかを指定します。本ビットによる指定が有効になるのは DRE ビットが 1 のときのみです。リードライト可能です。本ビットが 0 のときはオートリフレッシュです。1 のときはセルフリフレッシュです。
32~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~16	DRI[11:0]	H'61A	R/W	DRI (DRAM Refresh Interval) ビット リフレッシュが有効な (DRE ビットが 1) 場合、本ビットにて最大リフレッシュ間隔 (オートリフレッシュ) を指定できます。1 カウントはメモリクロックの周期と同じです。 100MHz の場合は 10ns に相当します。本レジスタによる設定可能な最小値は H'020 カウント分です。それ未満に設定した場合にはカウント値に H'020 分加算されます。 メモリコントローラモジュールは内部に 12 ビットのカウンタを持っています。このカウンタは DCE ビットが 0 のとき、または、DRE ビットが 0 のとき、または、RMODE ビットが 1 のとき 0 にクリアされ、それ以外るとき、外部メモリクロックでカウントアップします。このカウンタは DRI ビットと比較され一致するとオートリフレッシュ要求をコントローラ内部で発生させ、オートリフレッシュを行います。なおカウンタは一致した時点で 0 にクリアされ、再度カウントアップされます。内部で発生したオートリフレッシュ要求は最大 1 回分記録されており、DCE ビットが 1、かつ、DRE ビットが 1、かつ、RMODE ビットが 0 であれば、オートリフレッシュが行われるまではオートリフレッシュ要求がクリアされることはありません。本ビットを設定する際には DRE ビットを 0 にして書き込みを行った後、DRE の 1 書き込みを行ってください。このとき、DRI ビットは前回の書き込み値と同じ値を与えてください。 * バス解放時は設定値の半分のカウントでリフレッシュ要求を発生します。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DRE	0	R/W	DRE (DRAM Refresh Enable) ビット 本ビットによりリフレッシュ機構の有効化または無効化を行います。1 のとき、有効化を行います。0 のときは無効化を行います。

ビット	ビット名	初期値	R/W	説明
8	ENDIAN	*	R	本ビットは外部データバスがビッグあるいはリトルエンディアンかを表示します。1 のとき、ビッグエンディアン、0 のとき、リトルエンディアンです。本ビットへの書き込みは無効です。
7、6	BW[1:0]	01	R/W	BW (Bus Width) ビット 本ビットにより、SDRAM バス幅の指定を行います。ビットの設定により 32 ビット、64 ビットに対応します。 01 : 32 ビット幅 10 : 64 ビット幅 00、11 : 設定禁止
5~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DCE	0	R/W	DCE (DRAM コントローライネーブル) ビット メモリコントローラによる SDRAM 制御の許可を行います。本ビットが 1 のとき、SDRAM 制御の許可をします。本ビットが 0 であるとメモリコントローラは SuperHyway からのリクエストに対してエラーレスポンスを返します。 したがって SDRAM 動作中には DCE ビットには常に 1 を設定してください。

【注】 SDRAM 制御用レジスタの設定はすべてエリア 1、エリア 2 共通です。エリア 1、エリア 2 個別の設定はできません。

11.4.3 SDRAM コントロールレジスタ (SCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SMS[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SMS[2:0]	000	R/W	SMS (SDRAM Mode Select) ビット 本ビットにより電源投入時およびリセット解除後の SDRAM 初期化を行います。 本ビットをソフトウェアで設定することで下記コマンドが発行されます。 初期化手順は「11.7.9 SDRAM 初期化シーケンス」を参照してください。 一度のレジスタ書き込みでコマンドが 1 回発行されます。 000: 通常動作を行います。 001: NOP コマンドを発行します。(MIM.DCE=1 のときのみ有効) 010: PALL コマンドを発行します。(MIM.DCE=1 のときのみ有効) 011: CKE をイネーブルします。その際に DESELECT コマンドを発行します。 (MIM.DCE=1 のときのみ有効) 100: CBR (オート) リフレッシュコマンドを発行します。 (MIM.DCE=1 のときのみ有効) 上記以外の設定は禁止です。上記以外の値に設定した場合の動作は保証しません。

11.4.4 SDRAM タイミングレジスタ (STR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	WR[2:0]			RW[2:0]			SWR[1:0]	
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRFC[2:0]			SRAS[2:0]			SRP[1:0]		SRC[2:0]			SCL[2:0]			SRCD	-
初期値:	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
63~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~21	WR[2:0]	111	R/W	SDRAM に対する WRITE コマンド発行後の READ コマンド発行までの最低サイクル数を指定します。 000 : 4 サイクル 001 : 5 サイクル 010 : 6 サイクル 011 : 7 サイクル 100 : 8 サイクル 101 : 9 サイクル 110 : 10 サイクル 111 : 11 サイクル

ビット	ビット名	初期値	R/W	説明
20~18	RW[2:0]	111	R/W	SDRAM に対する READ コマンド発行後の WRITE コマンド発行までの最低サイクル数を指定します。 000 : 6 サイクル 001 : 7 サイクル 010 : 8 サイクル 011 : 9 サイクル 100 : 10 サイクル 101 : 11 サイクル 110 : 12 サイクル 111 : 13 サイクル
17, 16	SWR[1:0]	11	R/W	ライト時の最終のポストアンプルから PRE/PALL コマンド発行までのサイクル数 (Twr) を規定します。 00 : 2 サイクル 01 : 3 サイクル 10 : 4 サイクル 11 : 5 サイクル
15~13	SRFC[2:0]	111	R/W	同一バンク間の下記のアクセス時間に対するサイクル数規定 (Trfc) を指定します。 (1) オートリフレッシュから ACT コマンド発行 (2) オートリフレッシュからオートリフレッシュ 000 : 8 サイクル 001 : 9 サイクル 010 : 10 サイクル 011 : 11 サイクル 100 : 12 サイクル 101 : 13 サイクル 110 : 14 サイクル 111 : 15 サイクル
12~10	SRAS[2:0]	111	R/W	同一バンク間の ACT コマンド発行から PRE コマンド発行までの最低サイクル数 (Tras) を指定します。 000 : 7 サイクル 001 : 8 サイクル 010 : 9 サイクル 011 : 10 サイクル 100 : 11 サイクル 101 : 12 サイクル 110 : 13 サイクル 111 : 14 サイクル

ビット	ビット名	初期値	R/W	説明
9、8	SRP[1:0]	11	R/W	PRE コマンド発行から ACT コマンド発行までのサイクル数 (Trp) を指定します。 00 : 2 サイクル 01 : 3 サイクル 10 : 4 サイクル 11 : 5 サイクル
7~5	SRC[2:0]	111	R/W	同一バンク間の下記のアクセス時間に対するサイクル数規定 (Trc) を指定します。 (1) ACT コマンド発行からオートリフレッシュ (2) ACT コマンド発行から ACT コマンド発行 000 : 8 サイクル 001 : 9 サイクル 010 : 10 サイクル 011 : 11 サイクル 100 : 12 サイクル 101 : 13 サイクル 110 : 14 サイクル 111 : 15 サイクル
4~2	SCL[2:0]	001	R/W	データリード時の CAS レイテンシー (CL) を指定します。 000 : 2 サイクル 001 : 3 サイクル 上記以外 : リザーブ
1	SRCD	1	R/W	RAS (ACT コマンド) から CAS (READ/READA、WRITE/WRITEA コマンド) 発行までのサイクル数 (Trcd) を指定します。 0 : 2 サイクル 1 : 3 サイクル
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

11.4.5 SDRAM ロウアトリビュートレジスタ (SDRA)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	SPLIT[3:0]				-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	SPLIT[3:0]	0010	R/W	本ビットにより接続した SDRAM の row/column 構成を指定します。 0010 : 12×9 (= 8M×16bit 品 or 8M×32bit 品) 0100 : 13×9 (= 16M×16bit 品) 上記以外は設定禁止です。 表 11.6 にて SPLIT ビットと row/column の関係を示します。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

表 11.6 アドレスマルチプレクス

- 外部バス幅が32ビットの場合

外部バス 32bit	SDRAM アドレス	BA1	BA0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	SH7764 アドレス	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128Mbit (16MB) 8M x 16	Bank (2)	12	13													
	Row (12)				11	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2
256Mbit (32MB) 8M x 32	Bank (2)	12	13													
	Row (12)				11	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2
256Mbit (32MB) 16M x 16	Bank (2)	12	13													
	Row (13)			11	25	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2

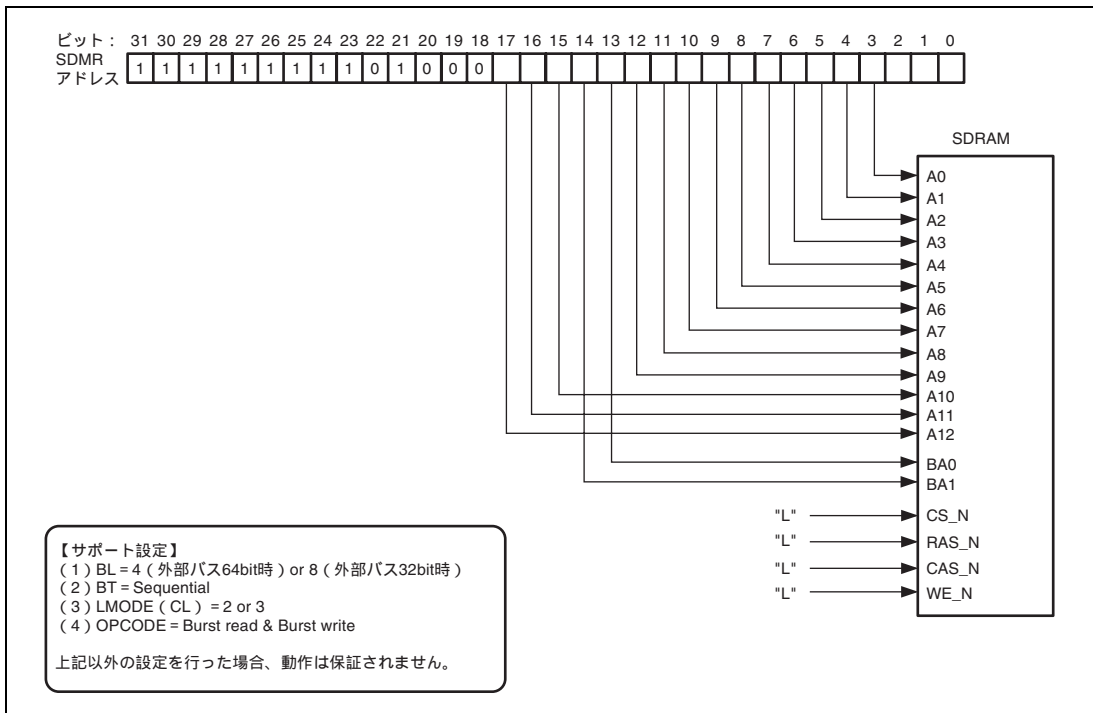
- 外部バス幅が64ビットの場合

外部バス 64bit	SDRAM アドレス	BA1	BA0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	SH7764 アドレス	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128Mbit (16MB) 8M x 16	Bank (2)	14	13													
	Row (12)				12	25	24	23	22	21	20	19	18	17	16	15
	Col (9)							11	10	9	8	7	6	5	4	3
256Mbit (32MB) 8M x 32	Bank (2)	14	13													
	Row (12)				12	25	24	23	22	21	20	19	18	17	16	15
	Col (9)							11	10	9	8	7	6	5	4	3

11.4.6 SDRAM モードレジスタ (SDMR)

本レジスタは、SDRAM のモードレジスタの設定を行うために使用します。

本モジュール内に実体はないため、リードは無効です。SDRAM にとってはライトアドレスのみが意味を持ち、ライトデータは無視されます。



11.4.7 アービトレーションモードレジスタ (AMR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	LAM[2:0]		-	-	-	-	-	-	-	-	SWAM		
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	-	PAM[7:0]								-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R		

ビット	ビット名	初期値	R/W	説明
63~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~24	LAM[2:0]	100	R/W	LCDC アービトレーションセレクト LCDC の調停優先順位を設定します。 100 : LCDC の優先順位は Level1 (デフォルト) 010 : LCDC の優先順位は Level2 001 : LCDC の優先順位は Level3
23~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SWAM	0	R/W	SuperHyway モジュール Level2 アービトレーションイネーブル SuperHyway モジュールの優先順位を Level2 にします。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	PAM[7:0]	H'00	R/W	Pixel バスモジュール Level2 アービトレーションイネーブル Pixel バスのモジュールの優先順位を Level2 にします。各ビットとモジュールの対応は次のとおりです。 PAM[7] : G2D (コマンド) PAM[6] : G2D (データ) PAM[5] : (予約) PAM[4] : (予約) PAM[3] : (予約) PAM[2] : ATAPI PAM[1] : (予約) PAM[0] : (予約)

11.4.8 リニアタイル変換コントロールレジスタ (LTCn)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	LTE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	LTMWX[3:0]				-	-	-	-	-	-	-	-	-	LTGBM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R/W	

ビット	ビット名	初期値	R/W	説明
63~32	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
31	LTE	0	R/W	リニアタイル変換イネーブル LTADとLTAMで指定される空間でリニアタイル変換を行います。
30~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~9	LTMWX [3:0]	H'0	R/W	メモリ幅設定 画像領域の横幅を設定します。 0001 : 512 0010 : 1024 0100 : 2048 1000 : 4096 上記以外、設定禁止
8~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	LTGBM	0	R/W	16bppグラフィックスモードイネーブルビット グラフィックモードの指定を行います。 0 : 8bpp 1 : 16bpp

【注】 電源投入後の初期設定時など、どのモジュールからもSDRAMへアクセスがない状態にした後に設定してください(オートリフレッシュ除く)

11.4.9 リニアタイル変換領域先頭アドレスレジスタ (LTADn)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LTAD[8:0]								-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~20	LTAD[8:0]	H'000	R/W	リニアタイル変換先頭アドレス リニアタイル変換の先頭アドレスを指定します。
19~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 電源投入後の初期設定時など、どのモジュールからも SDRAM へアクセスがない状態にした後に設定してください (オートリフレッシュ除く)

11.4.10 リニアタイル変換領域先頭アドレスマスクレジスタ (LTAMn)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LTAM[8:0]								-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~20	LTAM[8:0]	H'000	R/W	リニアタイル変換先頭アドレスマスク レジスタ LTAD と実アドレスの比較する範囲を指定します。
19~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

LTAM[8:0]にはユニファイドメモリの物理アドレスを指定してください。

また、そのデータ形式は左から1が1つずつ詰まる形のみです。つまり、"(H'000,) (H'100,) H'180, H'1C0, H'1E0, H'1F0, H'1F8, H'1FC, H'1FE, H'1FF"のどれかを指定してください。

【注】 本LSIのユニファイドメモリ空間は、エリア1、およびエリア2の各64MB空間のため(H'000,) (H'100,)は指定しないでください。

例)

(a) LTAD[8:0] == B'01000000

LTAM[8:0] == B'111111000

このとき、タイル変換される領域はアドレスのビット28から23までがB'010000の領域(8MB)が指定されません。

(b) LTAD[8:0] == B'001010101

LTAM[8:0] == B'111111100

このとき、タイル変換される領域はアドレスのビット28から22までがB'0010101の領域 (4MB) が指定されます。

(c) LTAM[8:0] == B'11111111

この場合、1MBのスペースがリニアタイル変換を行う空間となります。

(d) LTAM[8:0] == B'11000000

この場合、128MBのスペースすべてがリニアタイル変換を行う空間となります。

なお、電源投入後の初期設定時など、どのモジュールからもSDRAMへアクセスがない状態にした後に設定してください (オートリフレッシュを除く)。

11.4.11 リクエストマスク設定レジスタ (RQM)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	NMIME	-	-	-	-	-	-	-	LCDM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDCM	-	-	-	2DDM	2DCM	-	-	ATAM	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
63~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	NMIME	0	R/W	NMI時リクエストマスクイネーブル 0: NMI時でも主記憶アクセスのリクエストをマスクしません。 1: NMI時に主記憶アクセスのリクエストをマスクします。
23~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
16	LCDM	0	R/W	LCDC リクエストマスクイネーブル 0: LCDC のリクエストをマスクしません。 1: LCDC のリクエストをマスクします。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VDCM	0	R/W	VDC2 リクエストマスクイネーブル 0: VDC2 のリクエストをマスクしません。 1: VDC2 のリクエストをマスクします。
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	2DDM	0	R/W	2DD (G2D のデータ) リクエストマスクイネーブル 0: 2DDM のリクエストをマスクしません。 1: 2DDM のリクエストをマスクします。
5	2DCM	0	R/W	2DC (G2D のコマンド) リクエストマスクイネーブル 0: 2DCM のリクエストをマスクしません。 1: 2DCM のリクエストをマスクします。
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ATAM	0	R/W	ATAPI リクエストマスクイネーブル 0: ATAPI のリクエストをマスクしません。 1: ATAPI のリクエストをマスクします。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

NMI 時にメモリアクセスの調停をモジュールごとにマスクできます。本設定は調停動作に反映されるため、仕掛りのメモリアクセスには適用されません。

11.4.12 バスコントロールレジスタ (BCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	IRSD[2:0]			DPUP	-	OPUP	-	-	-	-	-	-	BREQEN	-
初期値:	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	IPUP	-	-	-	-	-	-	ASYNC1	ASYNC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~30	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29~27	IRSD[2:0]	111	R/W	SRAM-SDRAM サイクル間アイドル SRAM 領域 (エリア 0、3) にアクセスした後、SDRAM 領域 (エリア 1、2) にアクセスする場合のアクセス後に挿入するアイドルサイクル数を指定 000 : 4 アイドルサイクル挿入 001 : 5 アイドルサイクル挿入 010 : 6 アイドルサイクル挿入 011 : 7 アイドルサイクル挿入 100 : 8 アイドルサイクル挿入 101 : 9 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 11 アイドルサイクル挿入
26	DPUP	0	R/W	データ端子プルアップ抵抗制御 データ端子 (D63~D0) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。 0 : データ端子 (D63~D0) のプルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。 1 : データ端子 (D63~D0) のプルアップ抵抗は、オフ。 【注】 データ端子のプルアップが必要な場合、プルアップ抵抗を外付けすることを推奨します。

ビット	ビット名	初期値	R/W	説明
25	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	OPUP	0	R/W	コントロール出力端子ブルアップ抵抗制御 A25 ~ A0、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 $\overline{WE}/\overline{DQMn}$ 、 $\overline{R\overline{W}}$ 、 \overline{RAS} 、 \overline{CAS} の Hi-Z 時のブルアップ抵抗の状態を指定します。このビットはパワーオンリセット時に初期化されます。 0 : コントロール出力のブルアップ抵抗は、オン。 1 : コントロール出力のブルアップ抵抗は、オフ。
23 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	BREQEN	0	R/W	\overline{BREQ} イネーブル 外部リクエストを受け付け可能とするかを設定します。このビットはパワーオンリセット時に初期化します。 0 : 外部リクエストを受け付けない 1 : 外部リクエストを受け付ける
16 ~ 9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	IPUP	0	R/W	入力端子ブルアップ抵抗制御 入力端子 (\overline{RDY} 、 \overline{BREQ}) のブルアップ抵抗の状態を指定します。 このビットは、パワーオンリセット時に初期化されます。 0 : 入力端子 (\overline{RDY} 、 \overline{BREQ}) のブルアップ抵抗は、オン。 1 : 入力端子 (\overline{RDY} 、 \overline{BREQ}) のブルアップ抵抗は、オフ。
7 ~ 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ASYNC1	0	R/W	非同期入力 1 \overline{BREQ} 端子の非同期入力を可能にします。 0 : \overline{BREQ} 端子は、CLKOUT に対する同期入力。 1 : \overline{BREQ} 端子は、CLKOUT に対する非同期入力。
0	ASYNC0	0	R/W	非同期入力 0 \overline{RDY} 端子の非同期入力を可能にします。 0 : \overline{RDY} 端子は、CLKOUT に対する同期入力。 \overline{RDY} 端子は、最後のソフトウェアウェイトステートが終わって、T2 ステートに移ろうとするときの CLKOUT の立ち上がり、および、各ハードウェアウェイトステートが終わって、T2 ステートに移ろうとするときの CLKOUT の立ち上がりでサンプリングされます。 1 : \overline{RDY} 端子は、CLKOUT に対して非同期入力。 \overline{RDY} 端子は、最後のソフトウェアウェイトが始まるときの CLKOUT 立ち上がり、および、各ハードウェアウェイトが始まるときの CLKOUT 立ち上がりでサンプリングされます。

11.4.13 CS0 バスコントロールレジスタ (CS0BCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			-	IWRWD[2:0]			-	IWRWS[2:0]			-	IWRRD[2:0]		
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IWRRS[2:0]			-	-	SZ[1:0]	RDSPL	-	-	-	-	-	-	-	-
初期値:	0	1	1	1	0	0	-	-	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~31	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	IWW[2:0]	111	R/W	ライト-リード/ライト-ライトサイクル間アイドル SRAM 領域 (エリア 0、3) に接続されたメモリにライトアクセスした後に挿入するアイドルサイクル数を指定します。 対象となるサイクルはライト-リードサイクル間、ライト-ライトサイクル間です。 対象となるエリアはエリア 0-エリア 0 アクセス間、エリア 0 - エリア 3 アクセス間です。 000 : アイドルサイクル無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	IWRWD [2:0]	111	R/W	別空間リード-ライトサイクル間アイドル エリア0空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルリード-ライトサイクル間です。対象となるエリアは、エリア0-エリア3アクセス間です。 000 : アイドルサイクル無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
23	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22~20	IWRWS [2:0]	111	R/W	エリア0同一空間リード-ライトサイクル間アイドル エリア0空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。 000 : アイドルサイクル無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
18~16	IWRRD [2:0]	111	R/W	別空間リード-リードサイクル間アイドル エリア 0 空間に接続されたメモリにリードアクセスした後の挿入するアイドルサイクル数を指定します。 対象となるサイクルは、リード-リードサイクル間です。対象となるエリアは、エリア 0-エリア 3 アクセス間です。 000 : アイドルサイクル無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	IWRRS [2:0]	111	R/W	エリア 0 同一空間リード - リードサイクル間アイドル エリア 0 空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつ リード - リードサイクルの場合です。 000 : アイドルサイクル無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	SZ[1:0]	不定	R	バス幅 パワーオンリセット時に、バスサイズを指定する外部端子 (MODE4、MODE3) をサンプリングします。 00 : リザーブ 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット

ビット	ビット名	初期値	R/W	説明
7	RDSPL	1	R/W	<p>\overline{RD} ホールドサイクル</p> <p>\overline{RD} のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを 1 に設定するときは、CS0WCR の RDH ビットで設定する \overline{RD} ネゲート - CS0 ネゲート遅延サイクルを 1 以上に設定してください。</p> <p>またこのビットを 1 に設定することにより、\overline{RD} ネゲート - CS0 ネゲート遅延サイクルは 1 サイクル減ります。</p> <p>0: 無し 1: 1 サイクル挿入</p>
6~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

11.4.14 \overline{CSn} ウェイトコントロールレジスタ (CSnWCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	ADS[2:0]			-	ADH[2:0]			-	RDS[2:0]			-	RDH[2:0]		
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTS[2:0]			-	WTH[2:0]			-	BSH[2:0]			IW[3:0]			
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~31	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
30~28	ADS[2:0]	111	R/W	<p>アドレスセットアップサイクル</p> <p>アドレスの \overline{CSn} アサートに対するセットアップ時間に挿入されるサイクル数を指定します。</p> <p>000 : サイクル挿入無し 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
27	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
26~24	ADH[2:0]	111	R/W	<p>アドレスホールドサイクル</p> <p>アドレスの \overline{CSn} ネゲートに対するホールド時間に挿入されるサイクル数を指定します。</p> <p>000 : サイクル挿入無し 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
23	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
22~20	RDS[2:0]	111	R/W	<p>\overline{CSn} アサート - \overline{RD} アサート遅延サイクル</p> <p>\overline{CSn} アサートから \overline{RD} アサートに挿入されるサイクル数を指定します。</p> <p>000 : サイクル挿入無し (1 サイクル遅延) 001 : 1 サイクル挿入 (2 サイクル遅延) 010 : 2 サイクル挿入 (3 サイクル遅延) 011 : 3 サイクル挿入 (4 サイクル遅延) 100 : 4 サイクル挿入 (5 サイクル遅延) 101 : 5 サイクル挿入 (6 サイクル遅延) 110 : 6 サイクル挿入 (7 サイクル遅延) 111 : 7 サイクル挿入 (8 サイクル遅延)</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
18~16	RDH[2:0]	111	R/W	\overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクル \overline{RD} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します。 000 : サイクル挿入無し (0 サイクル遅延) 001 : 1 サイクル挿入 (1 サイクル遅延) 010 : 2 サイクル挿入 (2 サイクル遅延) 011 : 3 サイクル挿入 (3 サイクル遅延) 100 : 4 サイクル挿入 (4 サイクル遅延) 101 : 5 サイクル挿入 (5 サイクル遅延) 110 : 6 サイクル挿入 (6 サイクル遅延) 111 : 7 サイクル挿入 (7 サイクル遅延)
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	WTS[2:0]	111	R/W	\overline{CSn} アサート - \overline{WEn} アサート遅延サイクル \overline{CSn} アサートから \overline{WEn} アサートに挿入されるサイクル数を指定します。 000 : サイクル挿入無し (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	WTH[2:0]	111	R/W	\overline{WEn} ネゲート - \overline{CSn} ネゲート遅延サイクル \overline{WEn} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します。 000 : サイクル挿入無し (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	BSH[2:0]	000	R/W	<p>\overline{CSn} 空間アクセス時の \overline{BS} のアサート時間を延長するために挿入されるサイクル数を指定します。</p> <p>延長は、リード時 CSnWCR の RDS、ライト時 CSnWCR の WTS が 000 以外に設定されているとき有効です。また、このビットの設定により、アクセスの総サイクル数は変わりません。</p> <p>000 : \overline{BS} アサートは 1 サイクル 001 : \overline{BS} アサートは 2 サイクル 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止</p>
3~0	IW[3:0]	1111	R/W	<p>\overline{CSn} 空間アクセス時の挿入ウェイトサイクル挿入ウェイトサイクル数を指定します。</p> <p>\overline{RDY} 端子による外部ウェイト挿入はサイクル挿入無しの際にはできません。</p> <p>0000 : サイクル挿入無し 0001 : 1 サイクル挿入 0010 : 2 サイクル挿入 0011 : 3 サイクル挿入 0100 : 4 サイクル挿入 0101 : 5 サイクル挿入 0110 : 6 サイクル挿入 0111 : 7 サイクル挿入 1000 : 8 サイクル挿入 1001 : 9 サイクル挿入 1010 : 11 サイクル挿入 1011 : 13 サイクル挿入 1100 : 15 サイクル挿入 1101 : 17 サイクル挿入 1110 : 21 サイクル挿入 1111 : 25 サイクル挿入</p>

11.4.15 CS3 バスコントロールレジスタ (CS3BCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			-	IWRWD[2:0]			-	IWRWS[2:0]			-	IWRRD[2:0]		
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	IWRRS[2:0]			-	-	SZ[1:0]		RDSPL	-	-	-	-	-	-	-
初期値:	0	1	1	1	0	0	1	1	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~31	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	IWW[2:0]	111	R/W	ライト-リード/ライト-ライトサイクル間アイドル SRAM 領域 (エリア 0、3) に接続されたメモリにライトアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルはライト-リードサイクル間、ライト-ライトサイクル間です。 対象となるエリアはエリア 3-エリア 0 アクセス間、エリア 3-エリア 3 アクセス間です。 000: アイドルサイクル挿入無し 001: 1 アイドルサイクル挿入 010: 2 アイドルサイクル挿入 011: 3 アイドルサイクル挿入 100: 4 アイドルサイクル挿入 101: 5 アイドルサイクル挿入 110: 6 アイドルサイクル挿入 111: 7 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	IWRWD [2:0]	111	R/W	別空間リード-ライトサイクル間アイドル エリア 3 空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、リード-ライトサイクル間です。対象となるエリアは、エリア 3-エリア 0 アクセス間です。 000 : アイドルサイクル挿入無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~20	IWRWS [2:0]	111	R/W	エリア 3 同一空間リード-ライトサイクル間アイドル エリア 3 空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。 000 : アイドルサイクル挿入無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	IWRRD [2:0]	111	R/W	別空間リード-リードサイクル間アイドル エリア 3 空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、リード-リードサイクル間です。対象となるエリアは、エリア 3-エリア 0 アクセス間です。 000 : アイドルサイクル挿入無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	IWRRS [2:0]	111	R/W	エリア3 同一空間リード-リードサイクル間アイドル エリア3 空間に接続されたメモリにリードアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセス同一空間でかつリード-リードサイクルの場合です。 000 : アイドルサイクル挿入無し 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	SZ	11	R/W	バス幅 エリア3のバス幅を指定します。 00 : リザーブ 01 : 8ビット 10 : 16ビット 11 : 32ビット
7	RDSPL	1	R/W	\overline{RD} ホールドサイクル \overline{RD} のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを1に設定するときは、CS3WCRのRDHビットで設定する \overline{RD} ネゲート-CS3ネゲート遅延サイクルを1以上に設定してください。またこのビットを1に設定することにより、RDネゲート-CS3ネゲート遅延サイクルは1サイクル減ります。 0 : 無し 1 : 1サイクル挿入
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11.5 動作説明

11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MODE5 端子) で $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MODE5 端子がローレベルのときビッグエンディアンになり、MODE5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ (エリア 0、エリア 3) としては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。SDRAM (エリア 1、エリア 2) は、32 ビット、64 ビットから選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。例えば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。(Pixel バス、LCDC からのアクセスはラップアラウンドされません。)

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.7 ~ 表 11.16 に示します。

表 11.7 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセスサイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	データ 7~0	-	-	-	アサート			
	4n+1	1	-	データ 7~0	-	-		アサート		
	4n+2	1	-	-	データ 7~0	-			アサート	
	4n+3	1	-	-	-	データ 7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロングワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.8 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	データ 7~0	-			アサート	
	2n+1	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート

表 11.9 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート

表 11.10 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.11 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	-	データ 7~0				アサート
	2n+1	1	-	-	データ 7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート

表 11.12 8ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント (エリア 0、3)

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロング ワード	4n	1	-	-	-	データ 7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート

表 11.13 外部バス幅 32 ビット / ビッグエンディアンのアクセスとデータアライメント (エリア 1、2)

	D63 ~ 56	D55 ~ 48	D47 ~ 40	D39 ~ 32	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0
0 番地バイトアクセス					データ 7~0			
1 番地バイトアクセス						データ 7~0		
2 番地バイトアクセス							データ 7~0	
3 番地バイトアクセス								データ 7~0
4 番地バイトアクセス					データ 7~0			
5 番地バイトアクセス						データ 7~0		
6 番地バイトアクセス							データ 7~0	
7 番地バイトアクセス								データ 7~0
0 番地ワードアクセス					データ 15~8	データ 7~0		
2 番地ワードアクセス							データ 15~8	データ 7~0
4 番地ワードアクセス					データ 15~8	データ 7~0		
6 番地ワードアクセス							データ 15~8	データ 7~0
0 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワード アクセス (1 回目: 0 番地)					データ 63~56	データ 55~48	データ 47~40	データ 39~32
0 番地クワッドワード アクセス (2 回目: 4 番地)					データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 11.14 外部バス幅 32 ビット/リトルエンディアンのアクセスとデータアライメント (エリア 1、2)

	D63 ~ 56	D55 ~ 48	D47 ~ 40	D39 ~ 32	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0
0 番地バイトアクセス								データ 7~0
1 番地バイトアクセス							データ 7~0	
2 番地バイトアクセス						データ 7~0		
3 番地バイトアクセス					データ 7~0			
4 番地バイトアクセス								データ 7~0
5 番地バイトアクセス							データ 7~0	
6 番地バイトアクセス						データ 7~0		
7 番地バイトアクセス					データ 7~0			
0 番地ワードアクセス							データ 15~8	データ 7~0
2 番地ワードアクセス					データ 15~8	データ 7~0		
4 番地ワードアクセス							データ 15~8	データ 7~0
6 番地ワードアクセス					データ 15~8	データ 7~0		
0 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワード アクセス (1 回目: 0 番地)					データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワード アクセス (2 回目: 4 番地)					データ 63~56	データ 55~48	データ 47~40	データ 39~32

表 11.15 外部バス幅 64 ビット / ビッグエンディアンのアクセスとデータアライメント (エリア 1、2)

	D63 ~ 56	D55 ~ 48	D47 ~ 40	D39 ~ 32	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0
0 番地バイトアクセス	データ 7~0							
1 番地バイトアクセス		データ 7~0						
2 番地バイトアクセス			データ 7~0					
3 番地バイトアクセス				データ 7~0				
4 番地バイトアクセス					データ 7~0			
5 番地バイトアクセス						データ 7~0		
6 番地バイトアクセス							データ 7~0	
7 番地バイトアクセス								データ 7~0
0 番地ワードアクセス	データ 15~8	データ 7~0						
2 番地ワードアクセス			データ 15~8	データ 7~0				
4 番地ワードアクセス					データ 15~8	データ 7~0		
6 番地ワードアクセス							データ 15~8	データ 7~0
0 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0				
4 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
0 番地クワッドワード アクセス	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 11.16 外部バス幅 64 ビット/リトルエンディアンのアクセスとデータアライメント (エリア 1、2)

	D63 ~ 56	D55 ~ 48	D47 ~ 40	D39 ~ 32	D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0
0 番地バイトアクセス								データ 7~0
1 番地バイトアクセス							データ 7~0	
2 番地バイトアクセス						データ 7~0		
3 番地バイトアクセス					データ 7~0			
4 番地バイトアクセス				データ 7~0				
5 番地バイトアクセス			データ 7~0					
6 番地バイトアクセス		データ 7~0						
7 番地バイトアクセス	データ 7~0							
0 番地ワードアクセス							データ 15~8	データ 7~0
2 番地ワードアクセス					データ 15~8	データ 7~0		
4 番地ワードアクセス			データ 15~8	データ 7~0				
6 番地ワードアクセス	データ 15~8	データ 7~0						
0 番地ロングワードアクセス					データ 31~24	データ 23~16	データ 15~8	データ 7~0
4 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0				
0 番地クワッドワード アクセス	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0

11.5.2 各モジュールのデータアライメント

メモリコントローラ内部のエンディアンは CPU のエンディアンに一致し、ビッグエンディアン/リトルエンディアンのどちらにもなりえます。SuperHyway バスに接続されるモジュール、Pixel バスに接続されるモジュール、LCD 直結バスに接続される LCDC はそれぞれのバス幅内のデータアライメントを各モジュール内部で行います。

11.6 SRAM インタフェース

11.6.1 基本タイミング

SRAM インタフェースは、主に SRAM の接続を考慮してストロブ信号を出力します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルまたは 2 サイクルアサートされます。 $\overline{CS0}$ 、 $\overline{CS3}$ 信号は、 T_1 の立ち上がりでアサートされ T_2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子 (A[25:0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。

先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。

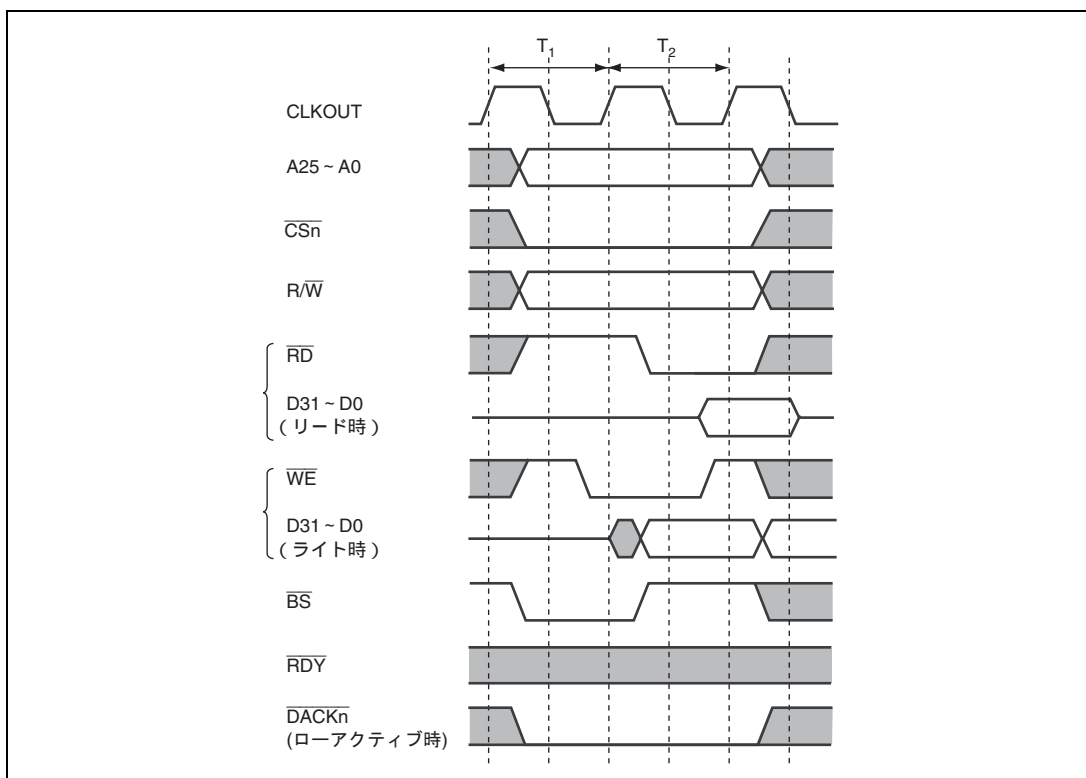


図 11.3 SRAM インタフェースの基本タイミング

図 11.4 に 32 ビットデータ幅の SRAM との接続例を、図 11.5 に 16 ビットデータ幅の SRAM との接続例を、図 11.6 に 8 ビットデータ幅の SRAM との接続例を示します。

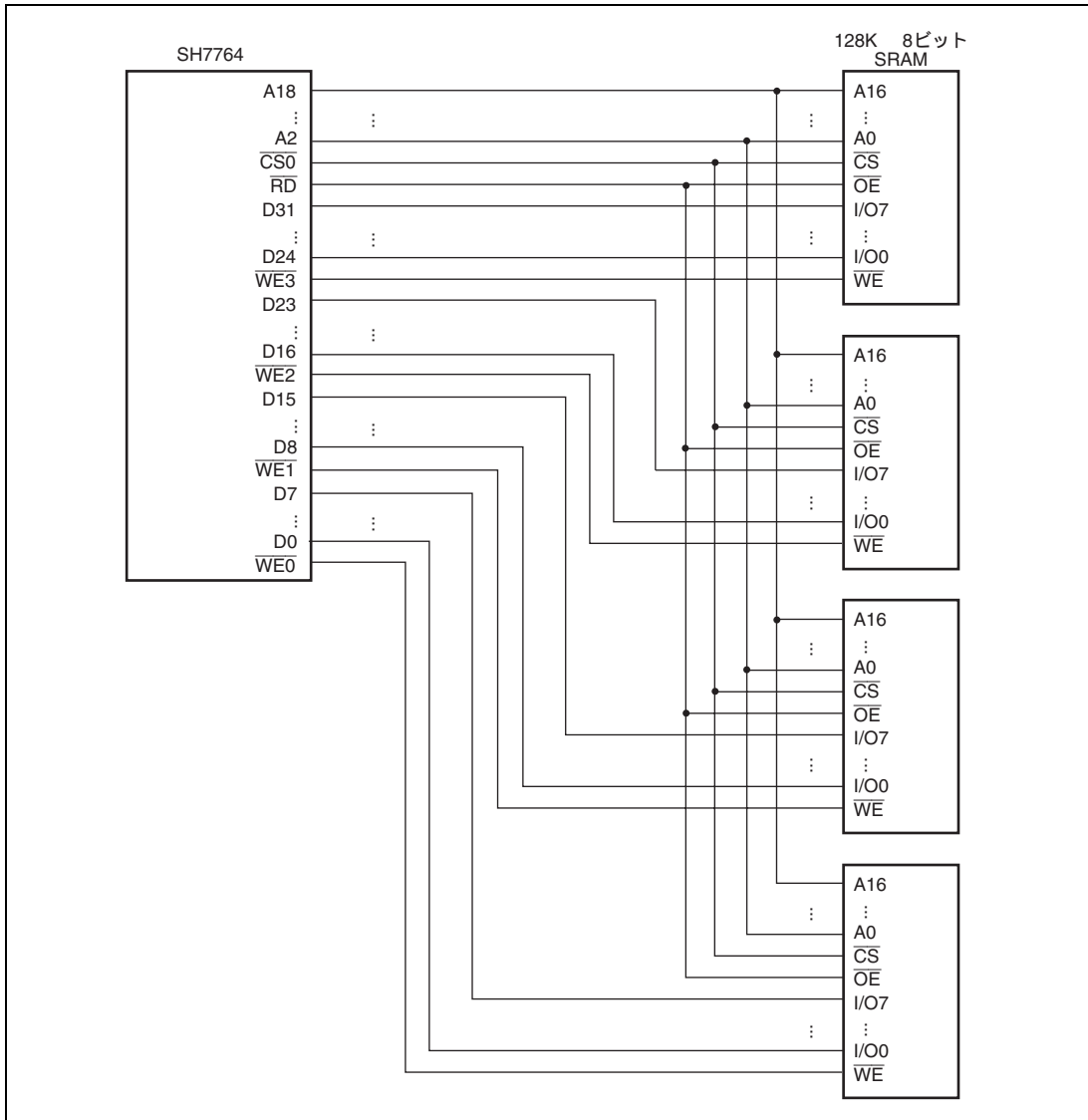


図 11.4 32 ビットデータ幅 SRAM 接続例

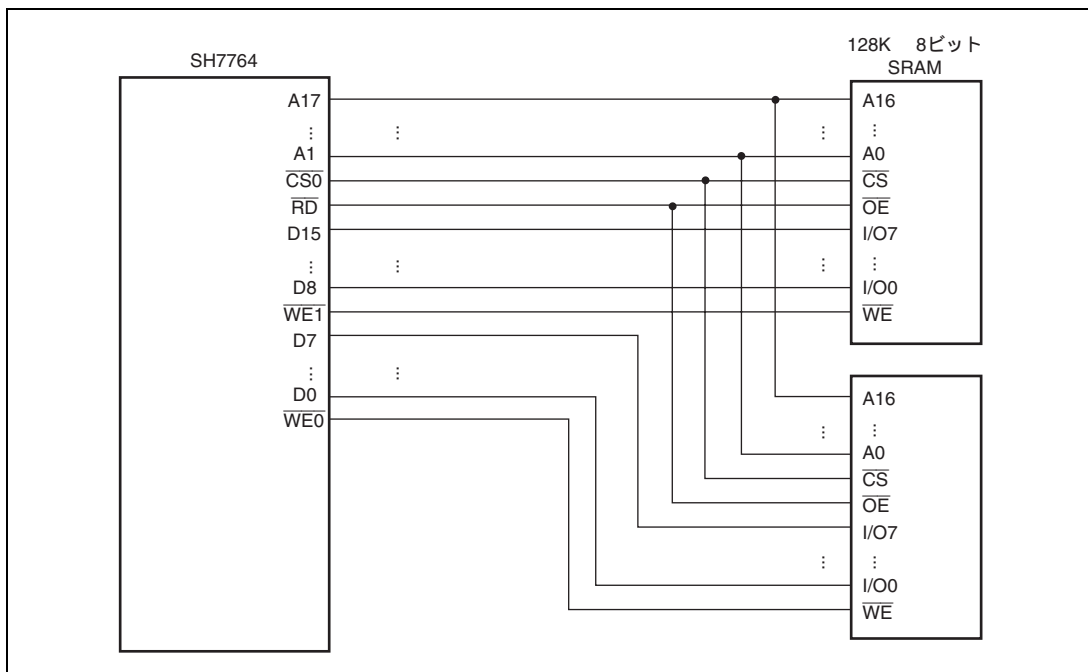


図 11.5 16 ビットデータ幅 SRAM 接続例

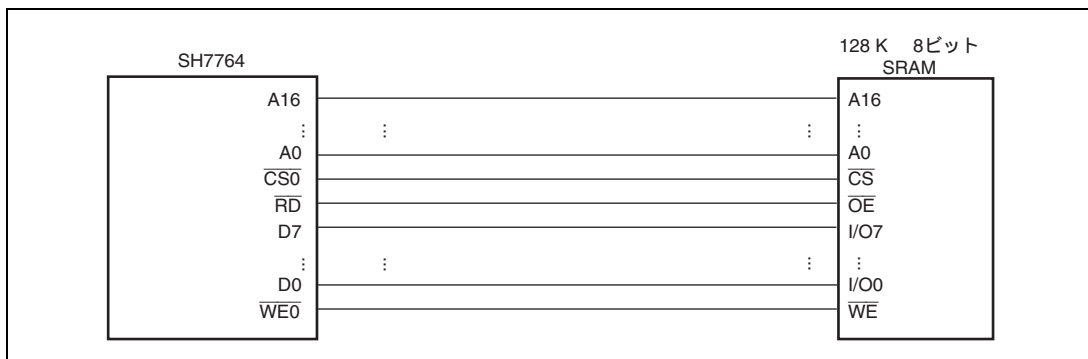


図 11.6 8 ビットデータ幅 SRAM 接続例

11.6.2 ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。CSnWCR の IW ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。CSnWCR によって、図 11.7 に示す SRAM インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

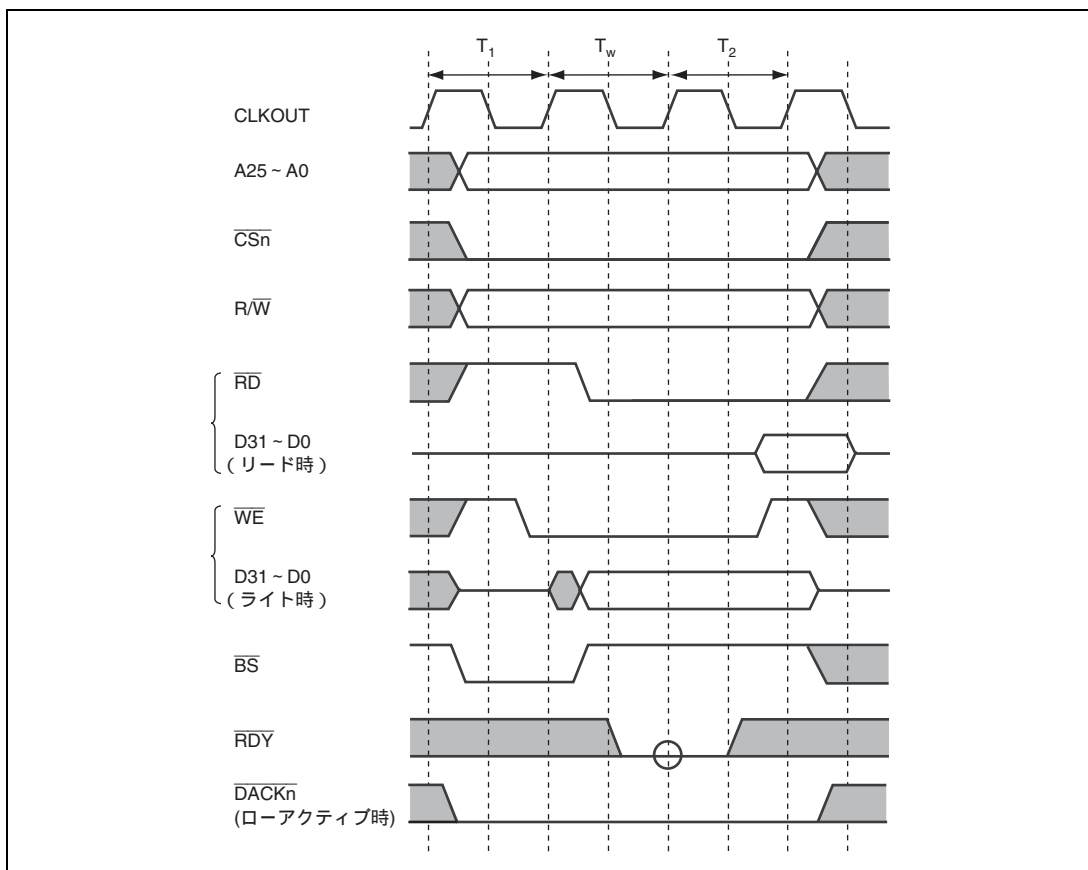


図 11.7 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 \overline{RDY} 信号もサンプリングされます。 \overline{RDY} 信号のサンプリングを図 11.8 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで \overline{RDY} 信号をアサートしてもなにも影響を与えません。 \overline{RDY} 信号はクロックの立ち上がりでサンプリングされます。

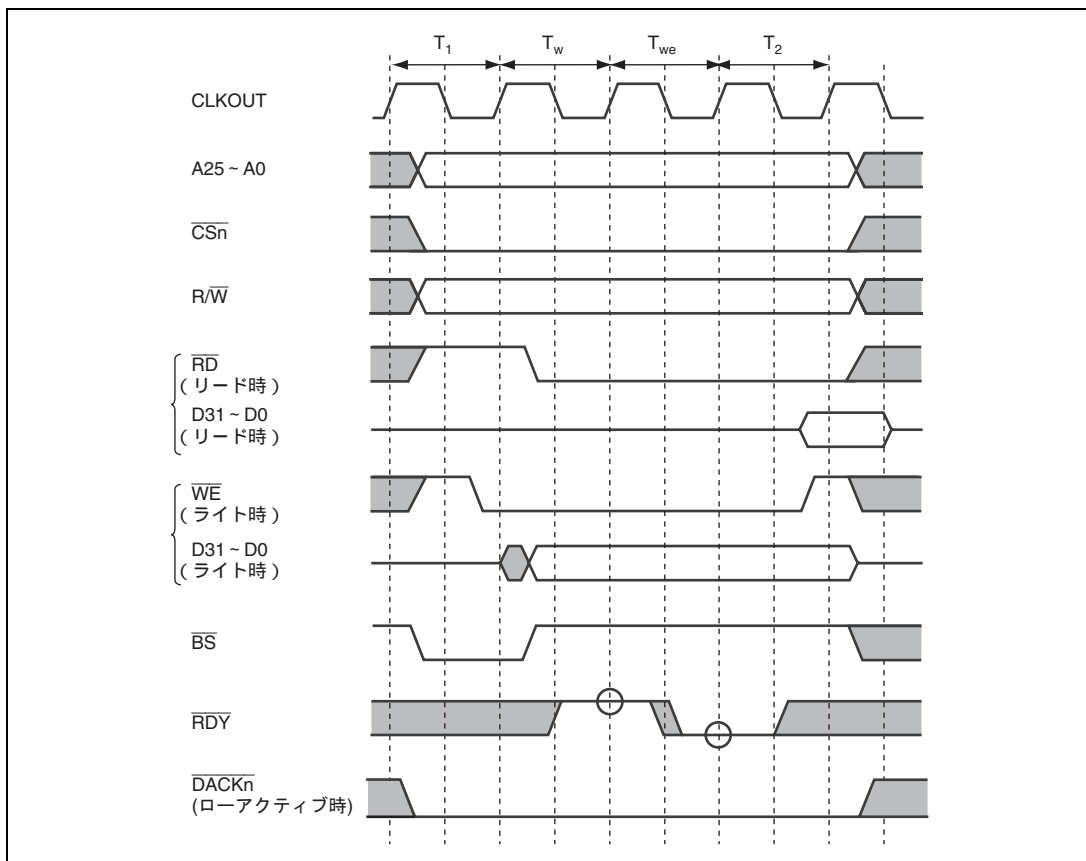


図 11.8 SRAM インタフェースのウェイトステートタイミング
(\overline{RDY} 信号によるウェイトステート挿入、 \overline{RDY} 信号は同期入力)

11.6.3 リードストロブネゲートタイミング

SRAM インタフェース時、CSnBCR の RDSPL (ビット7) の設定により、リード時のストロブのネゲートタイミングを設定することができます。

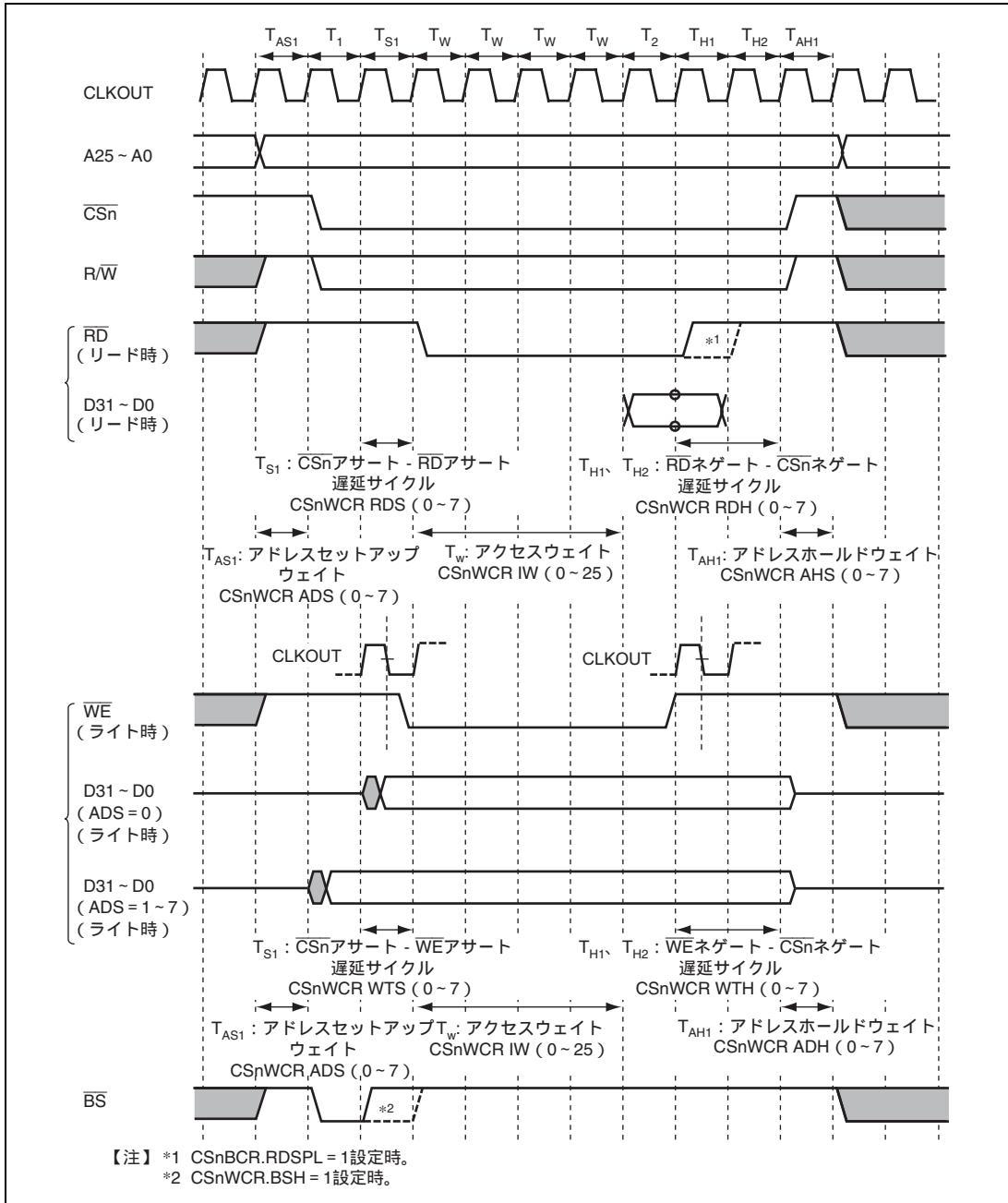


図 11.9 SRAM インタフェースのウェイトスタートタイミング (リードストロブネゲートタイミングの設定)

11.7 SDRAM インタフェース

11.7.1 SDRAM 直結方式

SDRAM は CS 信号によって選択できるため、 $\overline{\text{RAS}}$ 等の制御信号を共通に使用して物理空間のエリア 1 とエリア 2 に接続が可能です。

SDRAM を直結するための制御信号は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{R}/\overline{\text{W}}$ 、 $\overline{\text{CS1}}$ または $\overline{\text{CS2}}$ 、 DQMLL 、 DQMLU 、 DQMUL 、 DQMUU 、 $\overline{\text{WE0}} \sim \overline{\text{WE3}}$ (64bit 時) および CKE 信号です。 $\overline{\text{CS1}}$ または $\overline{\text{CS2}}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{\text{CS1}}$ または $\overline{\text{CS2}}$ がアサートされたときのみ有効となり取り込まれます。

本モジュールでは SDRAM の動作モードとして、バーストリード/ライトのモードをサポートしています。データのバス幅は 32 ビットまたは 64 ビットであり、MIM の BW ビットで設定します。

SDRAM に対し、バーストリード/ライトでアクセスするため、シングルリード時でも 32 バイトのデータを読み込みます。またシングルライト時でも 32 バイトのデータ転送を行います。不必要なデータ転送のときは、 DQMLL 、 DQMLU 、 DQMUL 、 DQMUU 、 $\overline{\text{WE0}} \sim \overline{\text{WE3}}$ がアサートされません。

表 11.17 に SDRAM に対するサポートコマンドの一覧を示します。

表 11.17 SDRAM サポートコマンド

機能	シンボル	端子									
		CKE n-1	CKE n	$\overline{\text{CSn}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\text{R}/\overline{\text{W}}$	A [14:13]	A [12:11]	A [10]	A [9:0]
Device deselect	DESL	H	X	H	X	X	X	X	X	X	X
No Operation	NOP	H	X	L	H	H	H	X	X	X	X
Read	READ	H	X	L	H	L	H	V	V	L	V
Read with auto precharge	READA	H	X	L	H	L	H	V	V	H	V
Write	WRITE	H	X	L	H	L	L	V	V	L	V
Write with auto precharge	WRITEA	H	X	L	H	L	L	V	V	H	V
Bank Activate	ACT	H	X	L	L	H	H	V	V	V	V
Precharge select bank	PRE	H	X	L	L	H	L	X	X	L	X
Precharge select all bank	PALL	H	X	L	L	H	L	X	X	H	X
Auto refresh	CBR	H	H	L	L	L	H	X	X	X	X
Self refresh entry from IDLE	SLFRSH	H	L	L	L	L	H	X	X	X	X
Self refresh entry exit	SLFRSHX	L	H	H	X	X	X	X	X	X	X
Power Down entry	PWRDN	H	L	H	X	X	X	X	X	X	X
Power Down exit	PWRDNX	L	H	H	X	X	X	X	X	X	X
Mode register set	MRS	H	X	L	L	L	L	V	V	V	V

図 11.10 に外部バス 64 ビット時の 8M×16 ビットの SDRAM を示します。また図 11.11 に外部バス 32 ビット時の 8M×16 ビットの SDRAM を接続する場合の例を示します。

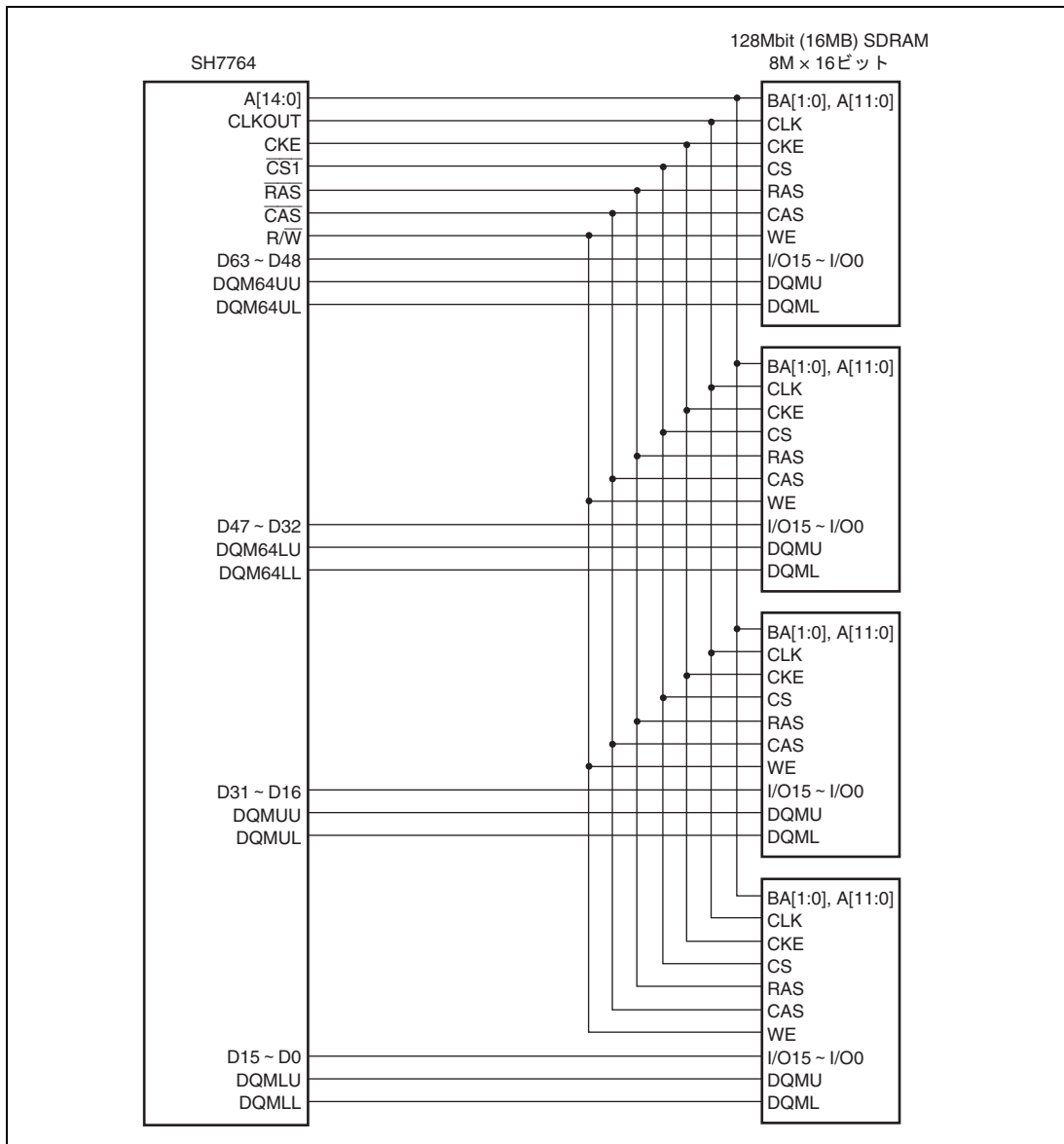


図 11.10 64 ビットデータ幅シンクロナス DRAM 接続例 (エリア 1)

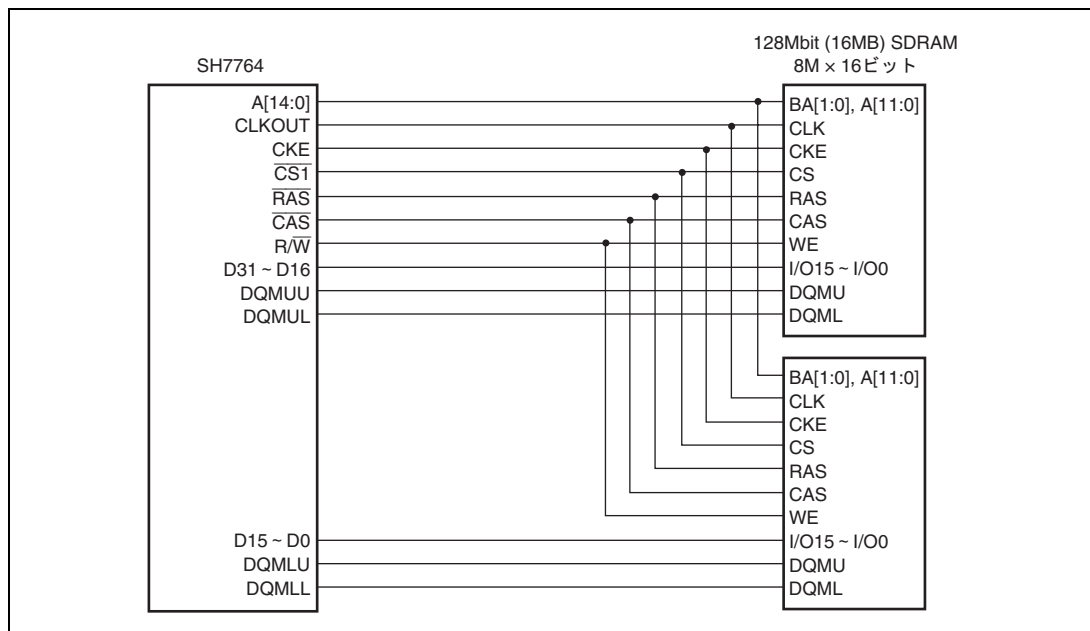


図 11.11 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 1)

11.7.2 アドレスマルチプレクス

MIM レジスタの BW[1:0] ビット、SDRA レジスタの SPLIT[3:0] の指定に従って、外付けのマルチプレクス回路なしに SDRAM に接続できるように、アドレスのマルチプレクスを行います。

表 11.18 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。

A25 ~ A15 に出力されるアドレスは保証されません。

表 11.18 SDRAM バス幅とアドレスマルチプレクスの関係

• 外部バスが32ビットの場合

外部バス 32bit	SDRAM アドレス	BA1	BA0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	SH7764 アドレス	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128Mbit (16MB) 8M x 16	Bank (2)	12	13													
	Row (12)				11	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2
256Mbit (32MB) 8M x 32	Bank (2)	12	13													
	Row (12)				11	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2
256Mbit (32MB) 16M x 16	Bank (2)	12	13													
	Row (13)			11	25	24	23	22	21	20	19	18	17	16	15	14
	Col (9)							10	9	8	7	6	5	4	3	2

• 外部バスが64ビットの場合

外部バス 64bit	SDRAM アドレス	BA1	BA0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	SH7764 アドレス	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128Mbit (16MB) 8M x 16	Bank (2)	14	13													
	Row (12)				12	25	24	23	22	21	20	19	18	17	16	15
	Col (9)							11	10	9	8	7	6	5	4	3
256Mbit (32MB) 8M x 32	Bank (2)	14	13													
	Row (12)				12	25	24	23	22	21	20	19	18	17	16	15
	Col (9)							11	10	9	8	7	6	5	4	3

11.7.3 バーストリード

バーストリード時のタイミングチャートを図 11.12 に示します。データ幅 64 ビット、バンククローズモードで使用した場合を想定しており、バースト長は 4 となっています。

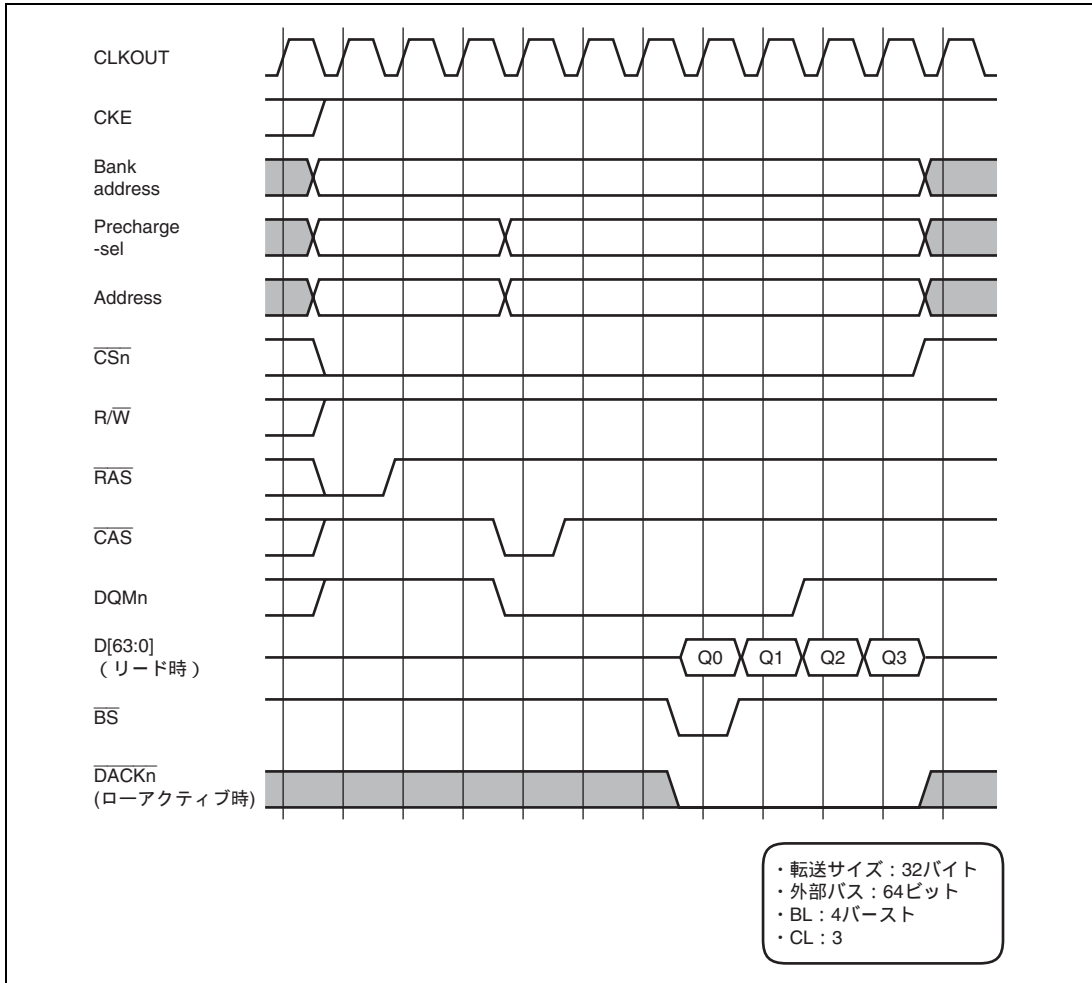


図 11.12 SDRAM インタフェース基本タイミング (1) バーストリード

11.7.4 バーストライト

バーストライト時のタイミングチャートを図 11.13 に示します。データ幅 64 ビット、バンククローズモードで使用した場合を想定しており、バースト長は 4 となっています。

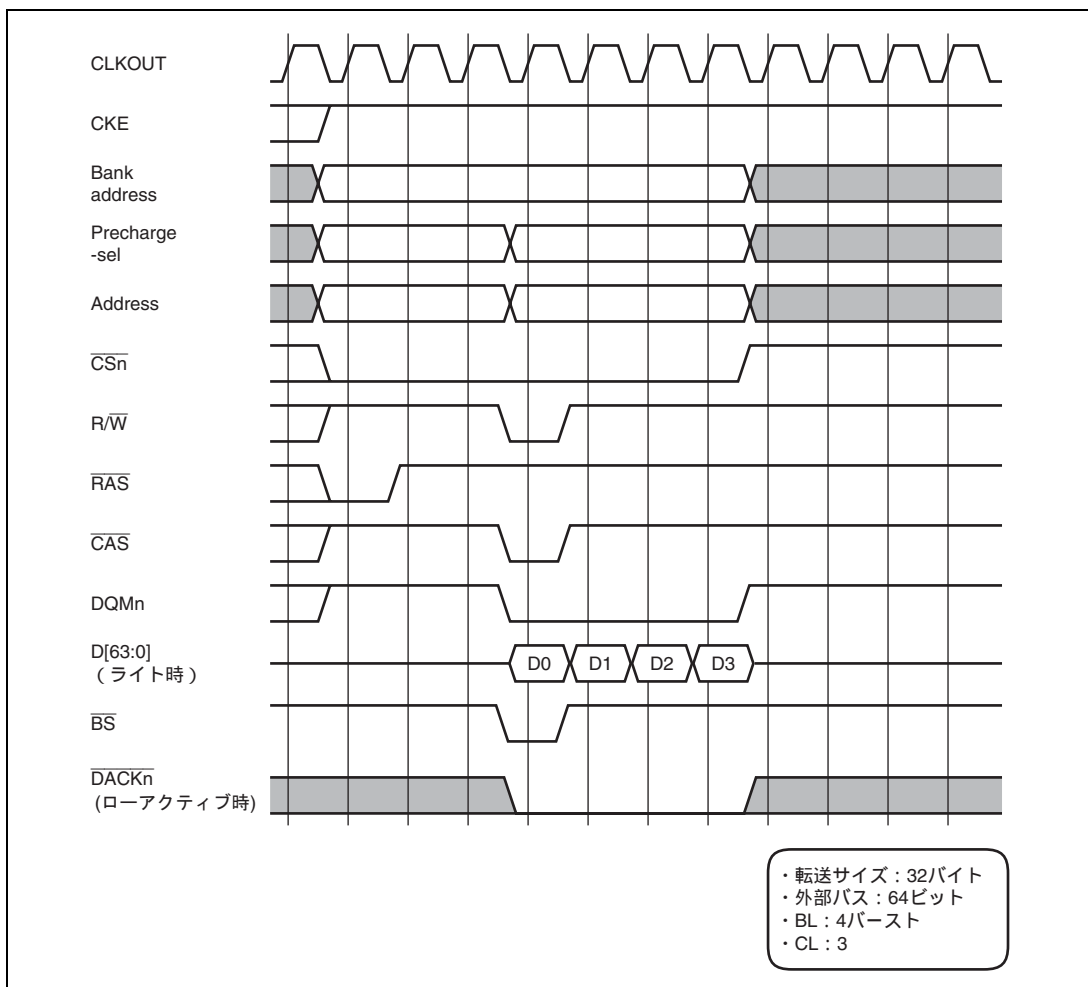


図 11.13 SDRAM インタフェース基本タイミング (2) バーストライト

11.7.5 シングルリード

シングルリード時のタイミングチャートを図 11.14 に示します。データ幅 64 ビット、バンククローズモードで使用した場合を想定しており、バースト長は 4 となっています。シングルリード時もバーストリード時と同様にバースト長 4 で読み出され、MCU 内でリード要求サイズに調整されます。

空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

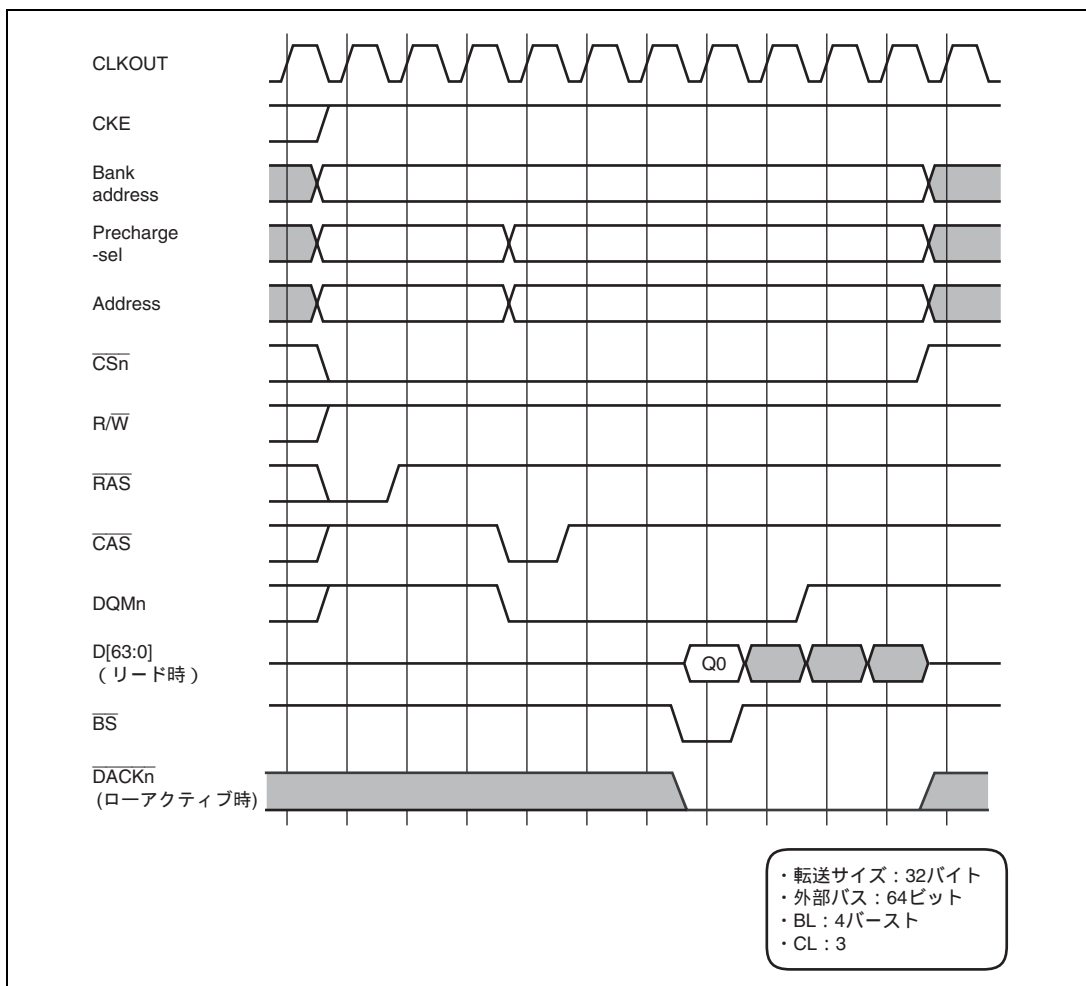


図 11.14 SDRAM インタフェース基本タイミング (3) シングルリード

11.7.6 シングルライト

シングルライト時のタイミングチャートを図 11.15 に示します。データ幅 64 ビット、バンククローズモードで使用した場合を想定しており、バースト長は 4 となっています。シングルライト時もバーストライト時と同様にバースト長 4 で書き込みが行われますが、不要なデータサイクルでは DQMn がアサートされデータライトをマスクします。空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

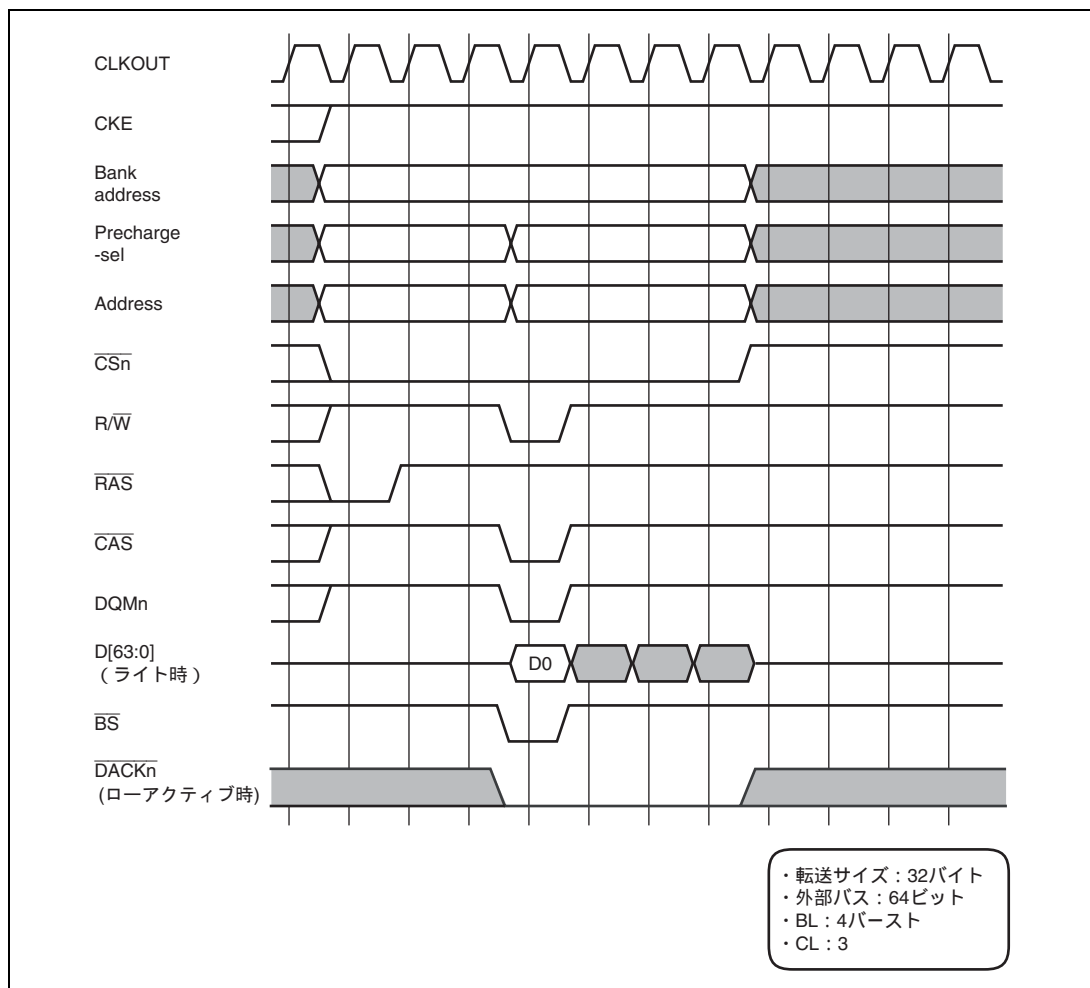


図 11.15 SDRAM インタフェース基本タイミング (4) シングルライト

11.7.7 バンクオープンモード

同一のロウアドレスに対するアクセスを高速にサポートするため、SDRAM のバンク機能を用います。

MIM レジスタの BOMODE[1:0] ビットが 00 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は 4 つのバンクに分かれているので、それぞれのバンクで 1 つのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

各バンクをアクティブ状態にしておける時間 t_{RAS} には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を t_{RAS} の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムでする必要があります。

図 11.16 には同一のロウアドレスに対するパーストリードサイクルを、図 11.17 には異なるロウアドレスに対するパーストリードサイクルを示します。同様に、図 11.18 に同一のロウアドレスに対するライトサイクルを、図 11.19 には異なるロウアドレスに対するライトサイクルを示します。

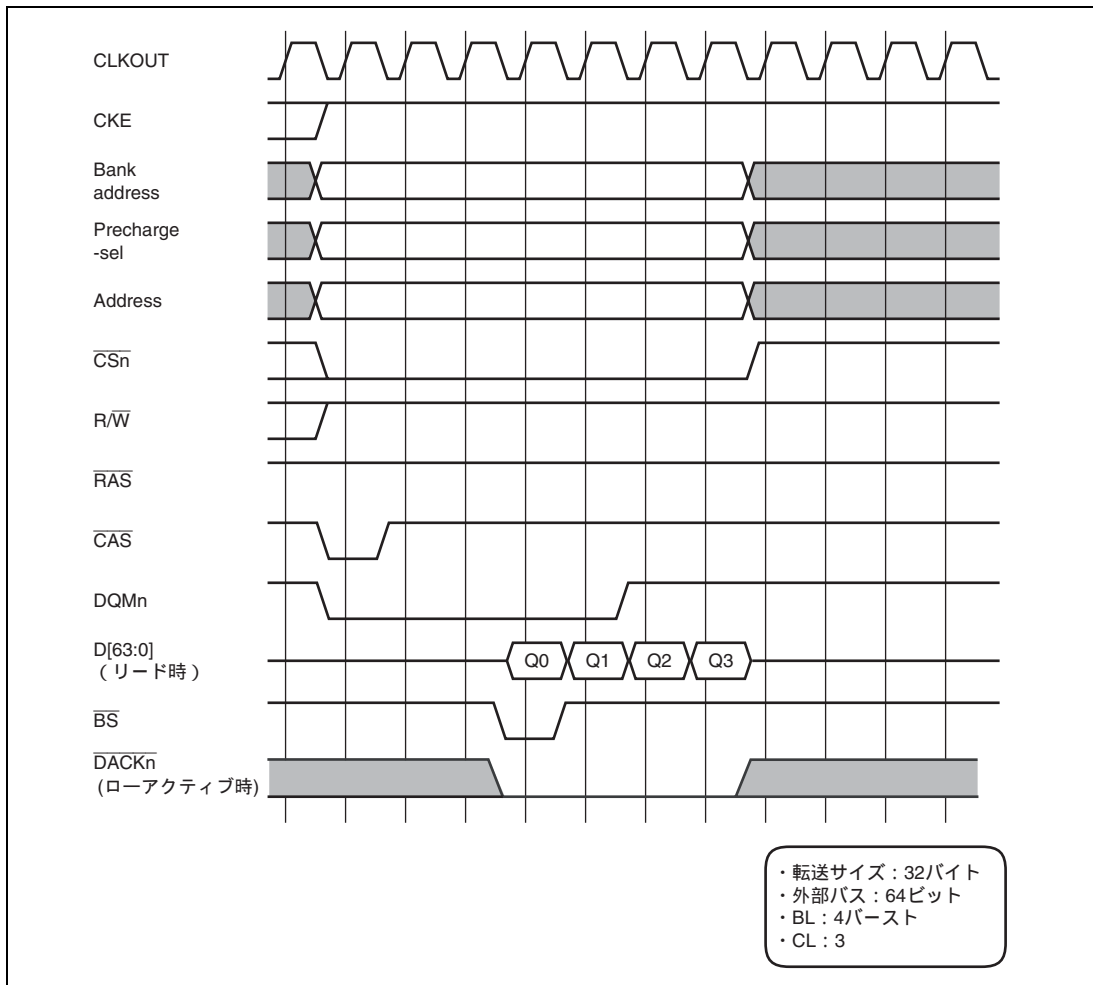


図 11.16 SDRAM インタフェース基本タイミング (5) バーストリード
(バンクオープンモード 同一ロウアドレス)

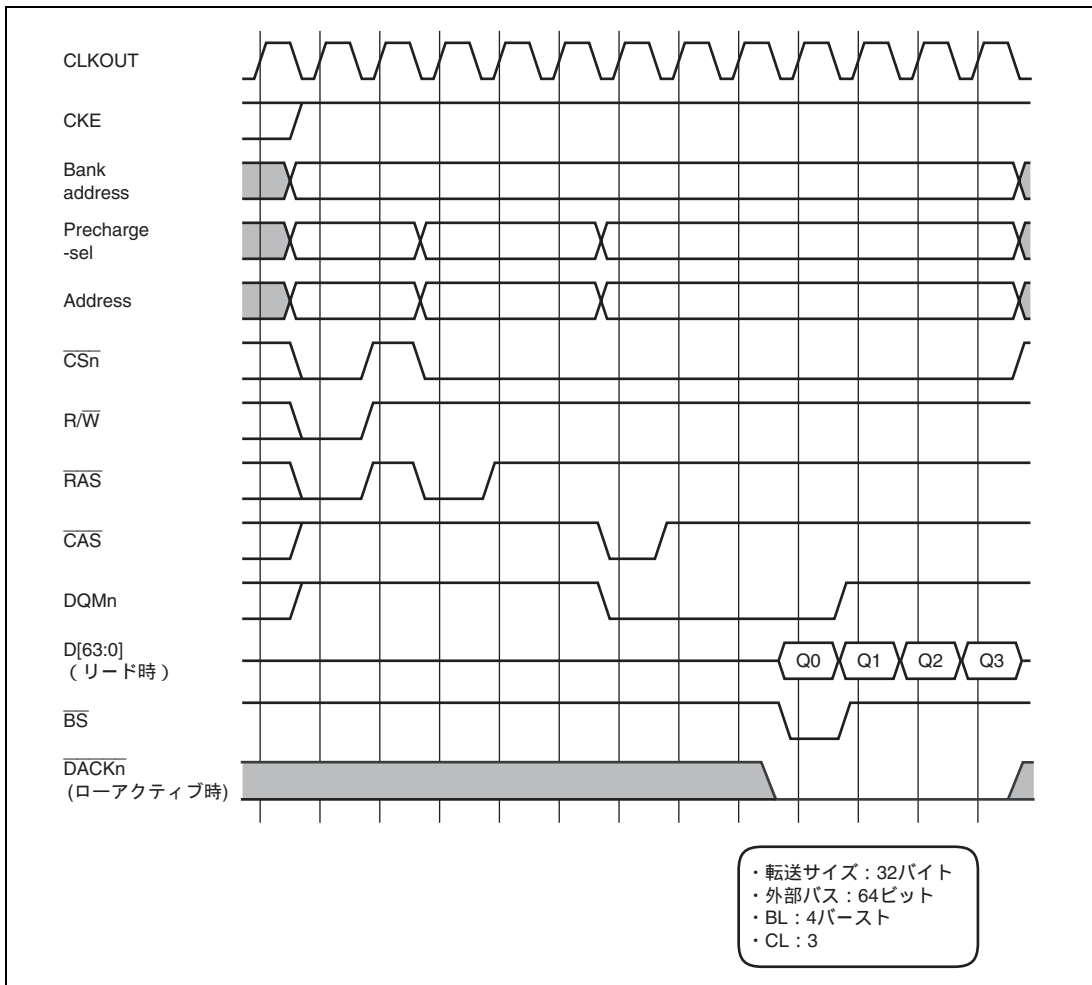


図 11.17 SDRAM インタフェース基本タイミング (6) バーストリード
(バンクオープンモード 異なるロウアドレス)

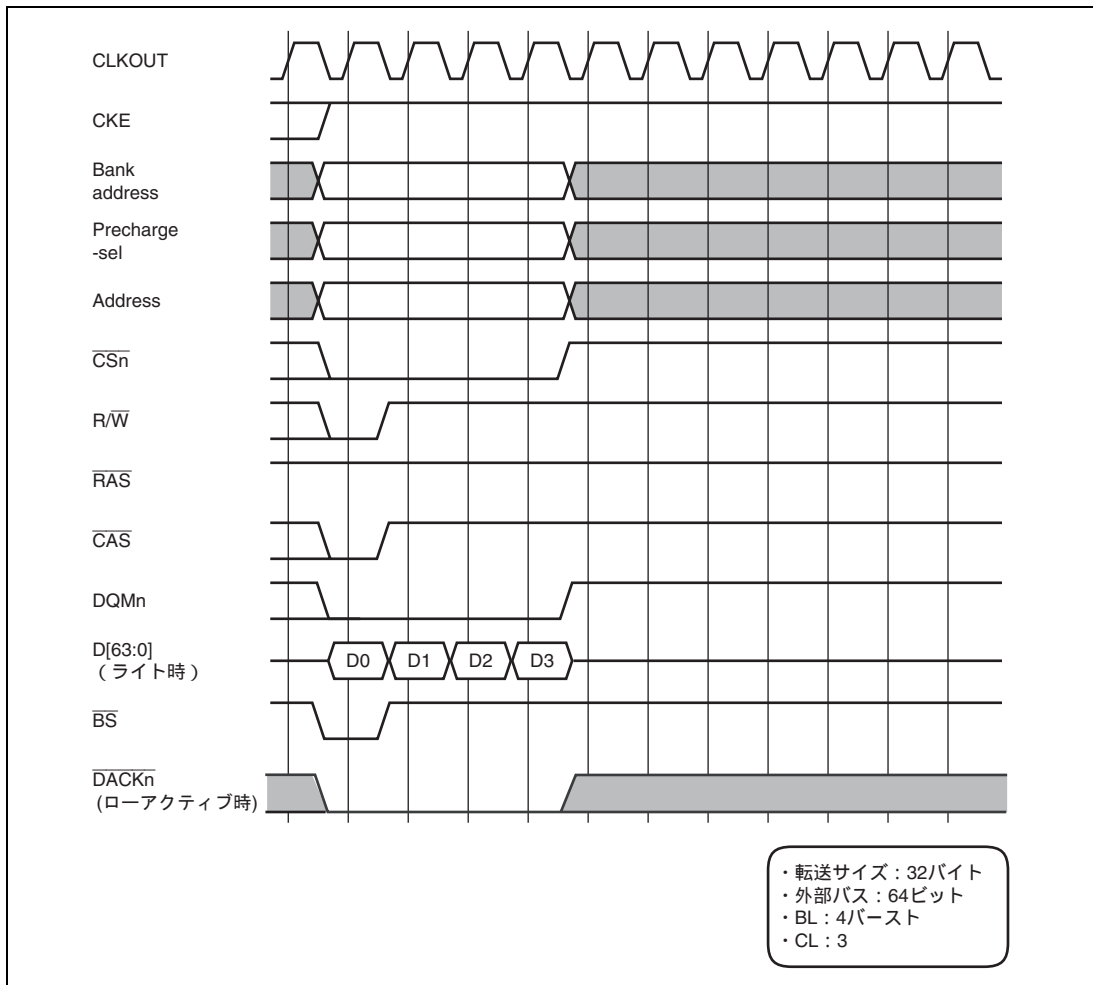


図 11.18 SDRAM インタフェース基本タイミング (7) バーストライト
(バンクオープンモード 同一ロウアドレス)

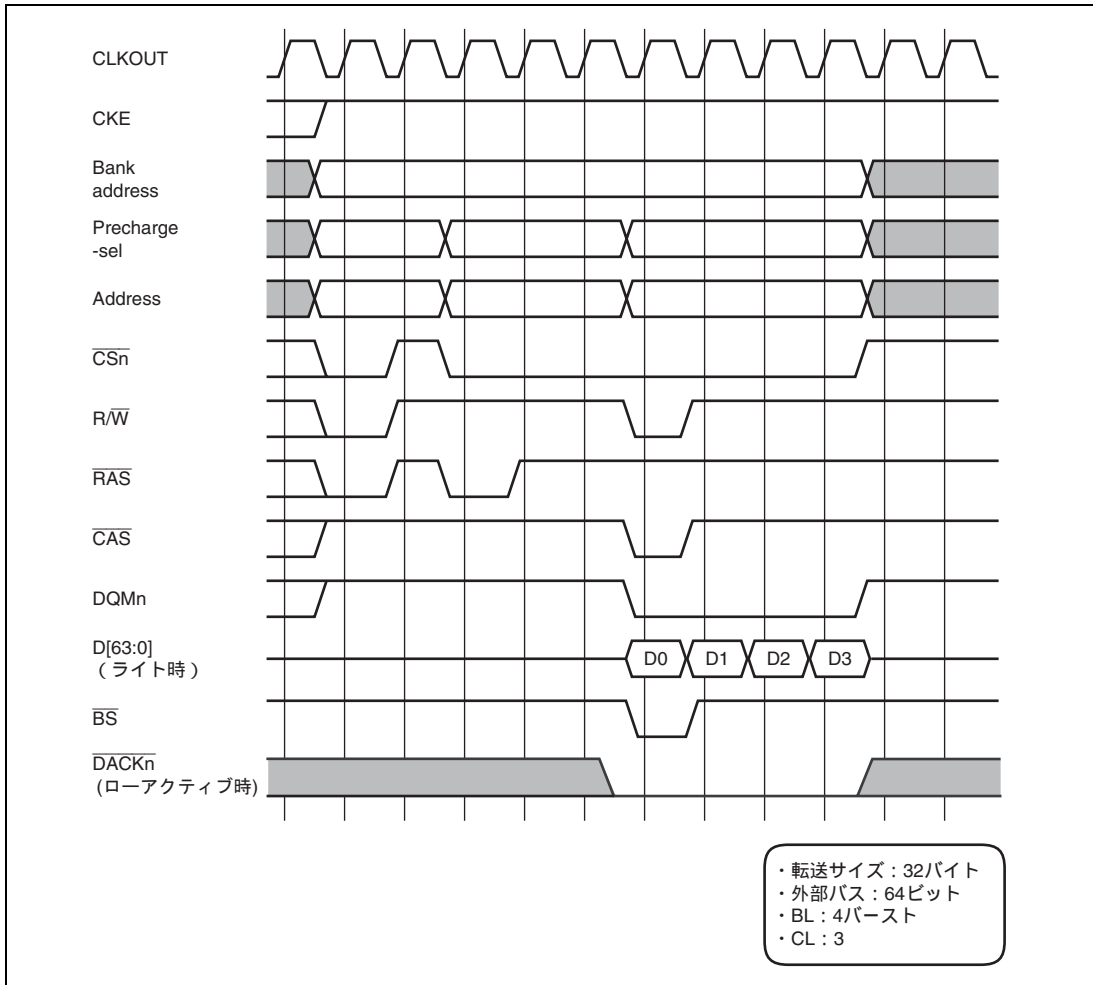


図 11.19 SDRAM インタフェース基本タイミング (8) バーストライト
(バンクオープンモード 異なるロウアドレス)

11.7.8 リフレッシュ

(1) オートリフレッシュ

MIM レジスタの DRI[11:0]ビットの設定によりオートリフレッシュ間隔を規定しますが、DRI[11:0]ビットの設定と DRE ビットの 1 設定を同時に行くと初回のオートリフレッシュまでの間隔は、DRI[11:0]に設定する前のレジスタ値になり、2 回目以降は DRI[11:0]で設定した値となります。これを避けるため、DRI[11:0]ビットの設定時、DRE ビットを 0 設定します。その後、DRE ビットを 1 に設定することにより初回から指定した間隔でオートリフレッシュが行われます。なお、DRE ビットを 1 に設定する際には、DRI[11:0]には前回設定したサイクル数と同じ値を与えてください。

なお、MIM レジスタを使用したカウンタによるオートリフレッシュ機構を動作させないと、メモリコントローラの遅延調整機構が正常に動作しないため、正常な SDRAM リードアクセスを行えません。そのため、本仕様書に記載した SDRAM 初期化シーケンスやセルフリフレッシュ状態からの復帰シーケンスにあるように、必ず MIM レジスタ設定によるオートリフレッシュ機構を動作させてから、SDRAM に対してリードアクセスを行ってください。

LBSC による SRAM アクセス中に SDRAM のオートリフレッシュが発生した場合、ARBT モジュールは、次に SRAM アクセス要求が受け付けられている場合でも、オートリフレッシュを優先させ SRAM 要求をマスクします。オートリフレッシュ終了後、規定サイクルのアイドル期間後、次の要求を LBSC に転送します。これは、次の転送要求が SDRAM アクセスの場合も同様です。

(2) セルフリフレッシュ

[セルフリフレッシュ状態への遷移]

1. メモリコントローラへのトランザクションが完了していることを確認してください。
2. ソフトウェアによりSCRレジスタのSMS[2:0]ビットを使用してPALL (全バンクプリチャージ) コマンドを発行してください。開かれていたSDRAMのバンクが閉じられます。その後、SCRレジスタのSMS[2:0]ビットを使用してCBR (オートリフレッシュ) コマンドを発行し、メモリのすべての行に対して集中リフレッシュ (CBR) を行ってください。
3. セルフリフレッシュ状態へSDRAMを遷移させるためにSBSCのMIMレジスタのDREビットを1、RMODEビットを1に設定してください。このときBW[1:0]ビットを10、DCEビットは1のままとしてください。
4. メモリコントローラはセルフリフレッシュコマンドを自動的に発行し、外部端子CKEをローレベルにします。その後SDRAMは自動的にパワーダウンモードになります。
5. SDRAMがセルフリフレッシュモードに遷移したかどうかは、MIMレジスタのリードを行い、ステータスビットSELFsを確認することで判定できます。

[セルフリフレッシュ状態からの復帰]

1. MIMレジスタのDREビットを0、RMODEビットを0に設定することによりセルフリフレッシュ状態を解除します。このときBW[1:0]ビットを再設定してください。
2. SDRAMがセルフリフレッシュモードから解除されたかどうかは、MIMレジスタのステータスビットSELFSをリードして確認することで判定できます。
3. 解除後、SDRAMが要求する時間まで、アクセスを待ちます。
4. アクセス可能になった時点で、SCRレジスタのSMS[2:0]ビットを使用してCBR (オートリフレッシュ) コマンドを発行し、メモリのすべての行に対して集中リフレッシュ (CBR) を行ってください。
5. SCRレジスタのSMS[2:0]ビットを用いてPALL (全バンクプリチャージ) コマンドを発行します。
6. SCRレジスタのSMS[2:0]ビットを用いてCBRコマンドを発行します。
7. MIMレジスタ設定によりカウンタによるオートリフレッシュ機構を動作させて、オートリフレッシュが周期的に行われるように設定してください。その後、通常アクセスが可能になります。

11.7.9 SDRAM 初期化シーケンス

下記に初期化シーケンスを記載します。シーケンスに記載されたサイクル数や時間は例ですので、詳細は各メモリベンダのデータシートを参照して決定してください。

1. SDRAMに供給されている電源を、VDD、VDDQの順で投入します。
2. 電源、クロックが安定した後、200 μ s以上現状を維持します。
3. MIMレジスタのDCEビット、BW[1:0]ビット、BOMODE[1:0]ビットの設定を行い、SDRAMコントローラのイネーブル設定、バス幅やSDRAMアクセスモードの設定をしてください。このとき、DREビットは0のままとして、自動的なカウンタによるオートリフレッシュ動作が発生しないようにしてください。
4. SDRAレジスタのSPLIT[3:0]ビットの設定を行い接続メモリ種のアドレスマルチプレクスを選択し、そして接続メモリのタイミングにあわせてSTRレジスタの設定を行います。
5. SCRレジスタのSMS[2:0]ビットを使用してCKEをイネーブルします。本設定で端子CKEがハイレベルになります。
6. SCRレジスタのSMS[2:0]ビットを使用してPALL (全バンクプリチャージ) コマンドを発行します。
7. SCRレジスタのSMS[2:0]ビットを使用してCBR (オートリフレッシュ) コマンドを8回発行します。
8. SDMRレジスタを使用してMRSコマンドを発行することによりSDRAMの動作モードを設定します。

11.8 アクセスサイクル間ウェイト

11.8.1 エリア 0、3 サイクル間ウェイト

エリア 0、3 空間の連続アクセスおよびエリア 0、3 - エリア 1、2 の連続アクセス時、 $\overline{CS_n}$ バスコントロールレジスタ (CSnBCR) およびバスコントロールレジスタ (BCR) に示される、アクセスサイクル間にアイドルサイクルが挿入されます。

CSnBCR のアクセスサイクル間ウェイト設定ビット IWW、IWRWD、IWRRD、IWRWS、IWRRS および BCR の IRSD によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

エリア 0、3 - エリア 1、2 空間の連続アクセスは、最少 4 サイクルのアイドル期間が挿入されます。また、アクセスサイズが 8 バイト、16 バイトおよび 32 バイトのときは、4 バイトアクセスごとにアクセスサイクル間ウェイトが挿入されます。

11.8.2 エリア 1、2 サイクル間ウェイト

エリア 1、2 空間の連続アクセスは、同エリア内はリード - リードおよびライト - ライトは最短 1 サイクルで連続アクセスできます。ライト - リードおよびリード - ライトは、SDRAM タイミングレジスタ (STR) の WR、RW によってコマンドインターバルを設定出来ます。

エリア 1 - エリア 2 間の連続アクセスは、最少 3 サイクルのアイドル期間が挿入されます。

11.8.3 エリア 1、2 - エリア 0、3 サイクル間ウェイト

エリア 1、2 - エリア 0、3 空間の連続アクセスは、最少 2 サイクルのアイドル期間が挿入されます。

11.9 バスアービトレーション

本モジュールは LSI 内部の他モジュールからのアクセス調停機能と、LSI 外部デバイスからのバス権要求に対するバス調停機能を有しています。

11.9.1 内部モジュールアクセス調停

本モジュールは CPU や各 Pixel バスモジュール、LCDC の SDRAM および SRAM アクセスを調停するアクセス調停機能を備えます (Pixel バスおよび LCDC からは、SRAM へのアクセスは行えません)。SDRAM アクセスにはリアルタイム性が求められる表示画像データの読み出しなどがあり、各モジュールが要求する応答時間やバンド幅を満たすようにそれぞれの優先度を決める必要があります。

1. SDRAMのリフレッシュ、ページ管理などのSDRAM制御は最優先 (Level0) で実行します。
メモリのリフレッシュは別途設定するメモリリフレッシュ間隔に従って実施します。
2. 表示コントローラ (VDC2) とLCDコントローラ (LCDC) は優先度を高くして (Level1)、リアルタイム性を必要とする表示出力のデータ転送に対応します。
3. その他のアクセスはLevel2およびLevel3となります。
モジュールごとにどのレベルに設定するか選択が可能です。

各リクエストの調停方法を図 11.20 に示します。優先度 Level1 で VDC2 と LCDC をラウンドロビンとし、優先度 Level3 で SuperHyway モジュール (CPU、DMAC、EtherC、他)、ATAPI、G2D コマンド/データのラウンドロビンとしています。アービトレーションは、調停タイミングのときにアサートされているリクエスト信号により調停を行います。図 11.21 に、SuperHyway モジュールと G2D モジュールを Level2 にあげた場合を例示します。実線のモジュールのみで調停されます。

NMI による割り込み処理中のメモリアccessを制限するリクエストマスク機能があります。これにより、NMI 発生時における CPU 割り込み処理のメモリ占有率を相対的に向上させることができます。NMI の用途によって最適に設定可能なように、リクエストマスク設定レジスタ (RQM) でモジュールごとに設定できます。

また、LCDC はレジスタ設定により、調停レベルを Level1、Level2、Level3 から選択可能です。

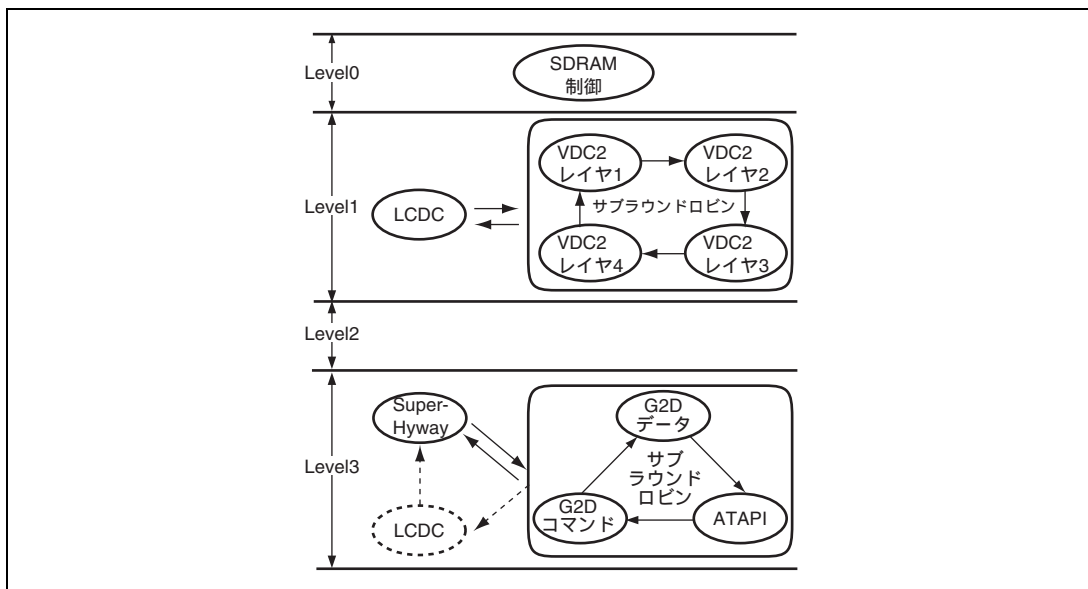


図 11.20 リクエスト調停方法 (1)

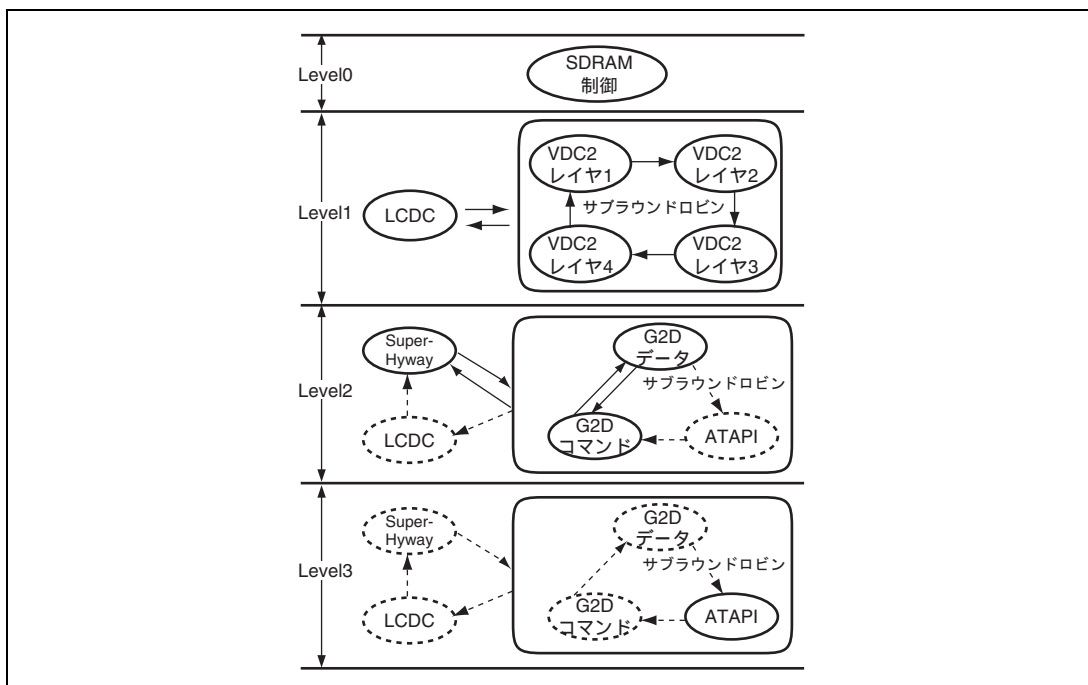


図 11.21 リクエスト調停方法 (2)

優先順位は、優先レベル、優先レベル内ラウンドロビン、および、サブラウンドロビンの順に階層的に判定されます。以下、それぞれの判定動作を説明します。

1. 優先レベルによる判定

優先レベルによる判定は固定です。Level0 > Level1 > level2 > Level3

2. Level1ラウンドロビンによる判定

Level1内の優先度はラウンドロビンで判定します。

リセット後：LCDC > Pixelバス

LCDC選択後：Pixelバス > LCDC

Pixelバス選択後：LCDC > Pixelバス

ただし、PixelバスはLevel1 Pixelバスサブラウンドロビンで選択されたものを示します。

3. Level1 Pixelバスサブラウンドロビン

Level1のPixelバスサブラウンドロビンが選択された場合、その中の優先度もラウンドロビンで判定されます。

リセット後：VDC2 (レイヤ1) > VDC2 (レイヤ2) > VDC2 (レイヤ3) > VDC2 (レイヤ4)

VDC2 (レイヤ1) 選択後：VDC2 (レイヤ2) > VDC2 (レイヤ3) > VDC2 (レイヤ4) > VDC2 (レイヤ1)

VDC2 (レイヤ2) 選択後：VDC2 (レイヤ3) > VDC2 (レイヤ4) > VDC2 (レイヤ1) > VDC2 (レイヤ2)

VDC2 (レイヤ3) 選択後：VDC2 (レイヤ4) > VDC2 (レイヤ1) > VDC2 (レイヤ2) > VDC2 (レイヤ3)

VDC2 (レイヤ4) 選択後：VDC2 (レイヤ1) > VDC2 (レイヤ2) > VDC2 (レイヤ3) > VDC2 (レイヤ4)

4. Level2、Level3ラウンドロビンによる判定

Level2またはLevel3内の優先度はラウンドロビンで判定します。Level2またはLevel3に属するデバイスは個別にどの優先度レベルに属するかをアービトレーション制御レジスタで設定可能です。

各レベルに複数のデバイスを設定した場合には、それぞれのレベルの中でラウンドロビン調停されます。

1つの優先度レベルに属するデバイス間で以下の優先度となります。

リセット後：SuperHyway > Pixelバス > LCDC、ただし、PixelバスはLevel2、Level3 Pixelバスサブラウンドロビンで選択されたものを表します。

SuperHyway 選択後：Pixelバス > LCDC > SuperHyway

Pixelバス選択後：LCDC > SuperHyway > Pixelバス

LCDC選択後：SuperHyway > Pixelバス > LCDC

5. Level2、Level3 Pixelバスサブラウンドロビンによる判定

Level2またはLevel3内のPixelバスサブラウンドロビンが選択された場合、その中の優先度もラウンドロビンで判定されます。

リセット後：ATAPI > G2Dコマンド > G2Dデータ

ATAPI選択後：G2Dコマンド > G2Dデータ > ATAPI

G2Dコマンド選択後：G2Dデータ > ATAPI > G2Dコマンド

G2Dデータ選択後：ATAPI > G2Dコマンド > G2Dデータ

11.9.2 多段調停動作

(1) 3 段階調停

1 つのモジュールからのメモリアクセスは以下の 3 段階の調停を経て実行されます。

(a) 第 1 段階調停

モジュールの物理的接続関係に従って調停を行い、以下の 5 種類のアクセス要求に絞り込みます。

A1 : Level1 の Pixel バス要求。VDC2 (レイヤ 1)、VDC2 (レイヤ 2)、VDC2 (レイヤ 3)、VDC2 (レイヤ 4) から一つ選択されます。

A2 : Level2 の Pixel バス要求。ATAPI、G2D コマンド、G2D データから一つ選択されます。

A3 : Level3 の Pixel バス要求。ATAPI、G2D コマンド、G2D データから一つ選択されます。

A4 : SuperHyWay 要求。単一なので調停しませんが、アービトラージ制御レジスタによって Level2 または Level3 に設定されます。

A5 : LCDC 要求。単一なので調停しませんが、アービトラージ制御レジスタによって Level1、Level2 または Level3 に設定されます。

(b) 第 2 段階調停

B : A1 ~ A5 から優先レベル、優先レベル内ラウンドロビンにて判定し、1 つ選択されます。

(c) 第 3 段階調停

C : リフレッシュなどの SDRAM 制御と B との調停を行います。

SDRAM 制御が常に優先されます。

(2) 調停後のアクセス順序

3 段階の調停では、第 1 段階、および、第 2 段階の調停で複数の要求からの絞込みを行うため、実行順序に注意が必要です。なぜなら、これらの調停を独立して実施するために A1 ~ A5 に対応するアクセス要求のキューを持っているからです。動作の概要を以下に説明します。

1. メモリ制御処理 (C) が実行されます。
2. すでに優先判定され、キューイングされていたアクセス (B) が実行されます。
3. A1 ~ A5 から 1 つ選ばれ (Ax とします)、B にキューイングされます。
4. 選ばれた Ax に対応する各モジュールについて次の調停を行いキューイングします (Ay とします)。

ただし、次の調停で Ay が B にキューイングされるとは限りません。この判定は第 2 段階優先判定の結果に依存します (Az とします)。

以上より、実行されるアクセスの順序は C B Ax Az ... Az Ay の順になります。

A5 を Level1 以外に設定した場合、すべてのレベル 1 アクセス要求は A1 に集約します。かつ、A1 には他のレベルの要求を入れていません。そのため、Ay がレベル 1 (すなわち A1) で Az がそれ以外の場合は Az より優先して選択され、C B Ax Ay (A1) の順になります。また、たとえレベル 1 アクセス要求が第 1 段階の優先調停で勝ち残らず、A1 として選択されない場合、C B Ax A1 ... A1 Ay (A1) の順になります。

別のレベル 1 アクセス要求が先行しますが、第 1、第 2 段階で優先判定済みの B、Ax に引き続いてレベル 1 要求が受け付けられること自体は変わりません。

上記多段調停回路の記号 (A1~5、B、C) は、図 11.22 に記載してあります。

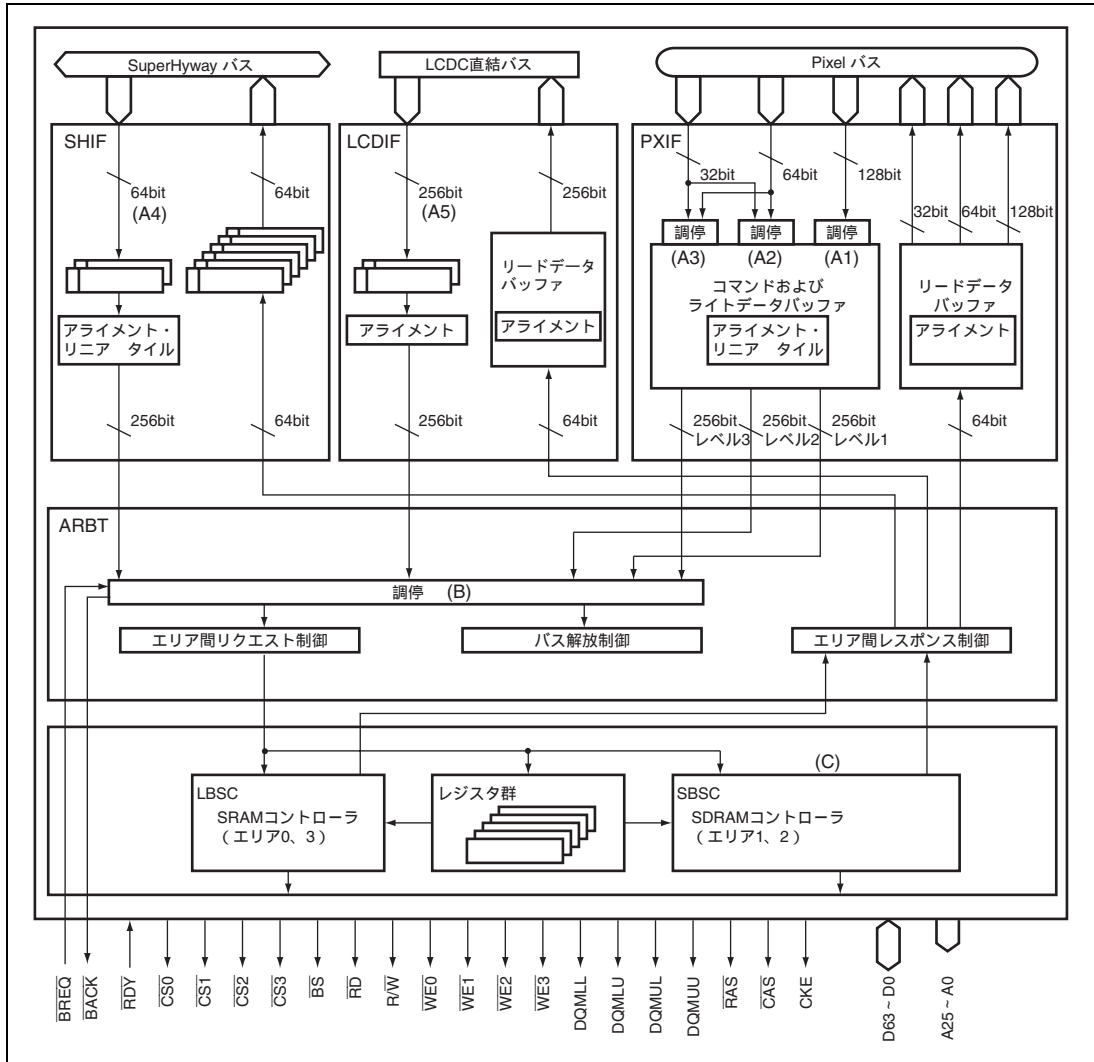


図 11.22 MCU ブロック図

11.9.3 外部デバイスによるバス権要求

本モジュールには、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

定常状態では、本 LSI がバス権を有し、他の外部デバイスからのバス使用要求を受けてバスの解放を行い、バスの使用許諾を行います。バスを解放時は一部の信号を除き、SRAM/SDRAM に接続されている信号をハイインピーダンス状態とします。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には、CPU や DMAC などの SuperHyway バスモジュール、Pixel バス接続モジュール、LCDC のバスマスタが存在します。また、これらに加え SDRAM を接続してリフレッシュ制御を行わせる場合、リフレッシュ要求もバスマスタとなります。内部バスマスタから同時に要求が発生した場合、11.9.1 内部モジュールアクセス調停、11.9.2 多段調停動作で示したとおりの調停を行います。内部バスマスタとスレーブからの要求が同時に発生した場合の優先度は、高いほうから順にリフレッシュ要求、スレーブからの要求、内部バスマスタ要求となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立って全てのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値をドライブするので、出力バッファの衝突は回避できます。

バス権の譲渡はバスサイクルの切れ目で行われます。

バス解放要求 ($\overline{\text{BREQ}}$) がアサートされると本モジュールは受付済みのリクエストを全て処理した後、バス使用許可信号 ($\overline{\text{BACK}}$) を出力し、バスを解放します。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。

また、本 LSI がバス権を所有している時に、リフレッシュ要求が発生すると本 LSI は実行中のバスサイクルが終わり次第リフレッシュ動作を行います。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば 8 ビットバス幅のメモリにロングワードアクセスを行う場合や、キャッシュフィルやライトバックなどの 32 バイト転送の途中ではリフレッシュ動作は待たされます。

バス解放状態ではリフレッシュ動作が行えないため、同様にリフレッシュ要求は待たされます。リフレッシュ要求が発生した場合、本 LSI は $\overline{\text{BACK}}$ をネゲートし、現在バス権を所有している外部デバイスにバス解放を要求します。外部デバイスは $\overline{\text{BACK}}$ がネゲートされたら、 $\overline{\text{BREQ}}$ をネゲートするようにしてください。これによりバス権の戻った本 LSI が処理を行います。

$\overline{\text{BACK}}$ をネゲートしてもすぐにバス権が取り戻せるわけではないので、リフレッシュ動作はバス権所有時より待たされリフレッシュ間隔が満たせない可能性があります。そのため、バス解放時にはリフレッシュインターバルビット (MIM の $\text{DRI}[11:0]$ ビット) に設定した値の半分のインターバルでリフレッシュ要求を発生します。

11.9.4 バス解放・獲得シーケンス

本 LSI は、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (ローレベル) を受け、受付済みの内部バスマスタのリクエスト処理が終わり次第バス権使用許可 ($\overline{\text{BACK}}$) をアサート (ローレベル) し、バスの解放を行います。リフレッシュ要求によるバス権要求が出ていない場合は、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (ハイレベル) を受けて $\overline{\text{BACK}}$ をネゲート (ハイレベル) し、バスの使用を再開します。

バス解放状態でメモリリフレッシュ要求によるバス権要求が出た場合、バス使用許可 ($\overline{\text{BACK}}$) をネゲートし、スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲートを受けて、バスの使用を再開します。

バス解放時は SDRAM インタフェースの CKE とバスアービトレーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する DACK0、DACK1、DTEND0、DTEND1 を除き、バスインタフェースに関連する全てのバス制御出力信号をハイインピーダンスとします。

SDRAM も、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを終了させた後バスの解放を行います。

具体的なバス解放シーケンスは次の通りです。まずバス使用許可信号をクロックの立ち上がり同期してアサートします。この $\overline{\text{BACK}}$ アサートの次のクロックの立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時にバス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{RD}}$ 、 $\text{R}/\overline{\text{W}}$ 、 DQMn) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次の通りです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、ただちに $\overline{\text{BACK}}$ をネゲートすると共にバス制御信号のドライブを開始します。アドレスバスのドライブを開始するのも、同相のクロックの立ち上がりです。バスアクセスの開始は、もっとも早い場合にはバス制御信号のドライブを開始した 1 サイクル後のクロックの立ち上がりです。

バス権を再獲得してリフレッシュ動作、バスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ のネゲートが必要です。

$\overline{\text{BACK}}$ をアサートしバスを解放している状態でリフレッシュ要求が発生した場合、バス権の放棄をスレーブに要求するために、 $\overline{\text{BREQ}}$ がアサートされている状態でも $\overline{\text{BACK}}$ をネゲートします。ユーザが個別に設計したスレーブの場合、アービトレーションによるオーバーヘッドを現象させるため、連続して複数回のバスアクセスを発生しようとする場合があります。連続した複数回のアクセスの合計時間がリフレッシュ周期を超えるスレーブを接続する場合には、 $\overline{\text{BACK}}$ のネゲートを検出した時、できるだけ速やかにバス権を解放するように設計してください。

また、バス解放状態で内部バスマスタからのバスアクセス要求が発生しても、バス権を取得するまで要求を受け付けません。ただしこの場合には $\overline{\text{BACK}}$ はネゲートせず、バス権の放棄要求をしません。メモリリフレッシュ要求が発生しバス権を再取得した時に、内部バスマスタの要求が受け付け待ち状態だった場合には、リフレッシュ動作に続いてそれらのバスアクセスも連続で行います。そのため、直ちにスレーブから再度のバス権要求があったとしても、受け付けたバスアクセスが完了するまでバスを解放しない場合があります。

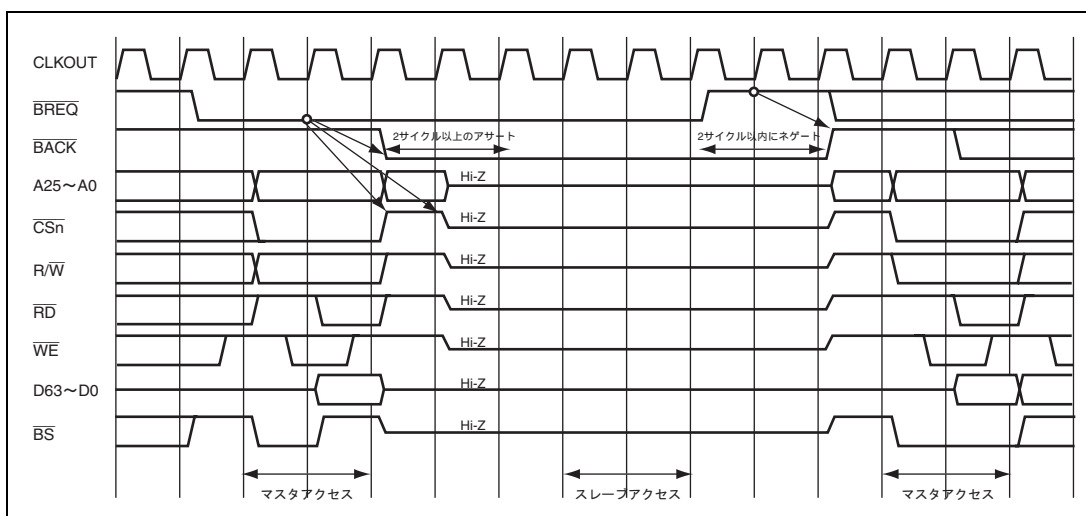


図 11.23 アービトレーションシーケンス

11.9.5 マスタとスレーブの協調

マスタとスレーブで矛盾無くシステムリソースを制御するために、役割分担を明確にする必要があります。また、低消費電力動作を行う場合にも分担を行わないといけません。

本 LSI を用いた応用システムを設計する場合、初期化、低消費電力制御など全ての制御を本 LSI が行うことを想定しています。

本 LSI はパワーオンリセット後、 $\overline{\text{BREQ}}$ イネーブルビット (BCR.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のデバイスが使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に $\overline{\text{BREQ}}$ イネーブルビットに 1 を書き込んでください。

11.10 データのコヒーレンシ

(1) メモリアクセス一般での考察

メモリアクセスにはリードとライトがあり、その前後関係から以下の4通りの組み合わせがあります。

(a) WAR (Write after Read) リードの後にライト

先に実施したリードが順的に後のライトデータを返す、つまり、リード要求がバス上で待たされている間に別モジュールのライトデータが反映されてしまう場合を考える必要があります。

このケースはライトで破壊されては困るデータをその前にリードしたい場合であり、ソフトウェア、システム的にリード終了後にライトを起動することになります。このようにすることでライトが先に反映されないようにすることができます。従ってハードによるサポートはありません。

(b) RAR (Read after Read) リードの後にリード

同一のデータをリードするのでコヒーレンシの問題は起こりません。

(c) WAW (Write after Write) ライトの後にライト

先に実施したライトが順的に後のライトを上書きしてしまう、つまり、先のライト要求がバス上で待たされている間に別モジュールのライトが反映され、その後、待たされていたライトが反映される場合を考える必要があります。このケースは同一アドレスへのライトであり、ソフトウェア、システム的に管理可能なものですが、後続のライトに先立って先行のライトがメモリに反映済みであることを保証する必要があります。

(d) RAW (Read after Write) ライトの後にリード

先に実施したライトが順的に後のリードに反映されない、つまり、先のライト要求がバス上で待たされている間に別モジュールのリードが実施され、その後、待たされていたライトが反映される場合を考える必要があります。このケースは同一アドレスへのリード、ライトであり、ソフトウェア、システム的に管理可能なものですが、後続のリードに先立って先行のライトがメモリに反映済みであることを保証する必要があります。

以上のことから、何らかの手段でライトの反映を確認する必要があります。

(2) ライトアクセス反映保証手段

(a) SuperHyway デバイスのライトについて

ライトデータがメモリに反映されたことを保証するには、CPU で SYNCO 命令を実行してください。

これにより、メモリコントローラの SuperHyway インタフェース部 (SHIF) に溜まったライトデータがメモリに反映されたことが保証されます。例として「CPU でディスプレイリストを主記憶にライトし、2D グラフィックスエンジンにレンダリングスタートの指示を出す」場合を示します (図 11.24)。なお、CPU だけが連続してアクセスする場合にはコヒーレンシの問題は発生しません。

1. CPUでは、「ディスプレイリストのライト (最終ライト)」を実行し、その後に「SYNCO命令」を実行。
CPUは、SuperHywayバスからackが返るまで動作を停止する。
2. メモリコントローラのSuperHywayインタフェース部 (SHIF) にSuperHywayバスからのライトデータを受理する。この時点では、SuperHywayデバイスへのack信号は返さない。
3. SHIFからアービタ部 (ARBT) にライトデータを出力する。
4. 3.と同一サイクルでARBTが調停動作を行い、SHIFがバス権を取得するとSHIFに受理信号 (fin信号) を返す。
5. ARBTは次のサイクルでライトデータをSBSCに出力する。
6. SHIFは、データがARBTへ受け付けられたら、SuperHywayデバイスへResponse信号を返す。
7. SBSCは、ARBTからのデータを受理すると受理信号 (fin信号) を返す。
ARBTはSBSCからのfin信号を受けてから、SBSCへのライトデータの出力を停止する。
ここで5、6、7.は並列動作になります。
8. ack信号がCPUにかえると、CPUはSYNCO命令の後に続くプログラムを実行する
(レンダリングスタート指示)

以上のとおりの動作により、「メモリコントローラから SuperHyway バスに ack が返ったときには、SuperHyway からのライトデータが SBSC で受け付けられた」ことが保証されます。SBSC で受け付けられたライト要求およびリード要求は受け付けた順に処理されます。よって、後から SBSC に到着したリード要求が先のライトデータ処理よりも先に実行される、ということは起きません。このハード的な仕組みにより、CPU で SYNCO 命令を実行すると「ライトデータが SBSC に受け付けられた」ことが保証されます。

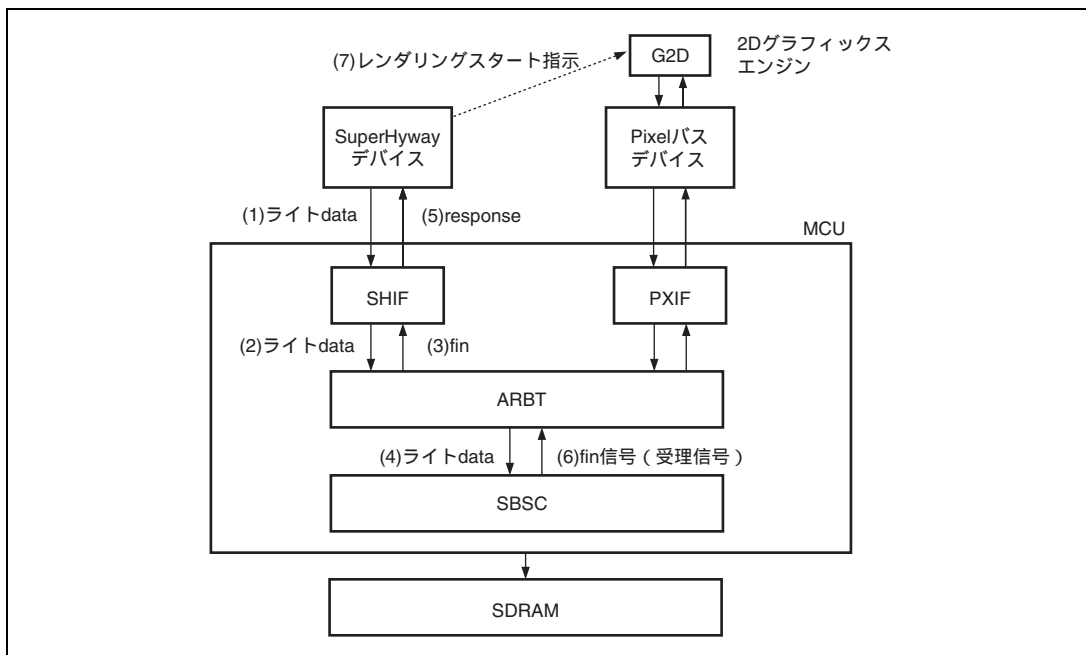


図 11.24 SuperHyway デバイスからのライトデータの反映

(b) Pixel バスデバイスのライトについて

Pixel バスデバイスがライトデータの send 信号 (最終ライトデータの ack 信号に相当) を受け取るのは、ライトデータが BSC で受け付けられた後です。各 Pixel バスデバイスは、ライトデータの send 信号を確認することにより、ライトデータが SBSC に届いたことがわかります。ライトデータが SBSC に届けば、そのライトデータは他のライトデータに追い越されることはありません。

(3) ソフトウェアリセット確認手段

ソフトウェアリセットについては各モジュールの章を参照ください。

各モジュールのソフトウェアリセットが SH7764 上に正しく反映されるためにはメモリアクセスと同様のライトアクセス反映確認手段が必要になります。このため、ソフトウェアリセットに移行後、解除するまでの間に、以下の処理を実行してください。

1. ソフトウェアリセットを行う当該モジュールとCPUの優先順位が同じ場合は、SDRAMの任意の領域に対するダミーリードを3回実施してください。
2. ソフトウェアリセットを行う当該モジュールがレベル2でCPUがレベル3の場合、SDRAMの任意の領域に対するダミーリードを1回実施してください。
3. ソフトウェアリセットを行う当該モジュールがレベル3でCPUがレベル2の場合、当該モジュール以外の Level2、Level3モジュールのSDRAMへのアクセスをすべて終了させてください。

11.11 リニア・タイルアドレス変換

(1) タイルアドレッシング領域

本 LSI では、接続される SDRAM の指定された範囲においてアドレス付けを変更する機能があります (LCDC からのアクセスはリニア・タイルアドレス変換されません)。

このアドレス付けが変更された領域をタイルアドレッシング領域とよびます。タイルアドレッシング領域は 2 次元方向のアクセスが多いグラフィックス領域に適しています。この領域では $32B \times 16$ ラインの画像領域をタイルとよび、1 つのタイルを連続した 512 バイトのメモリに割り当てます。これにより、アクセスする場所が行方向に頻繁に変化する場合でも SDRAM の 1 ページにヒットする確率が高くなります。

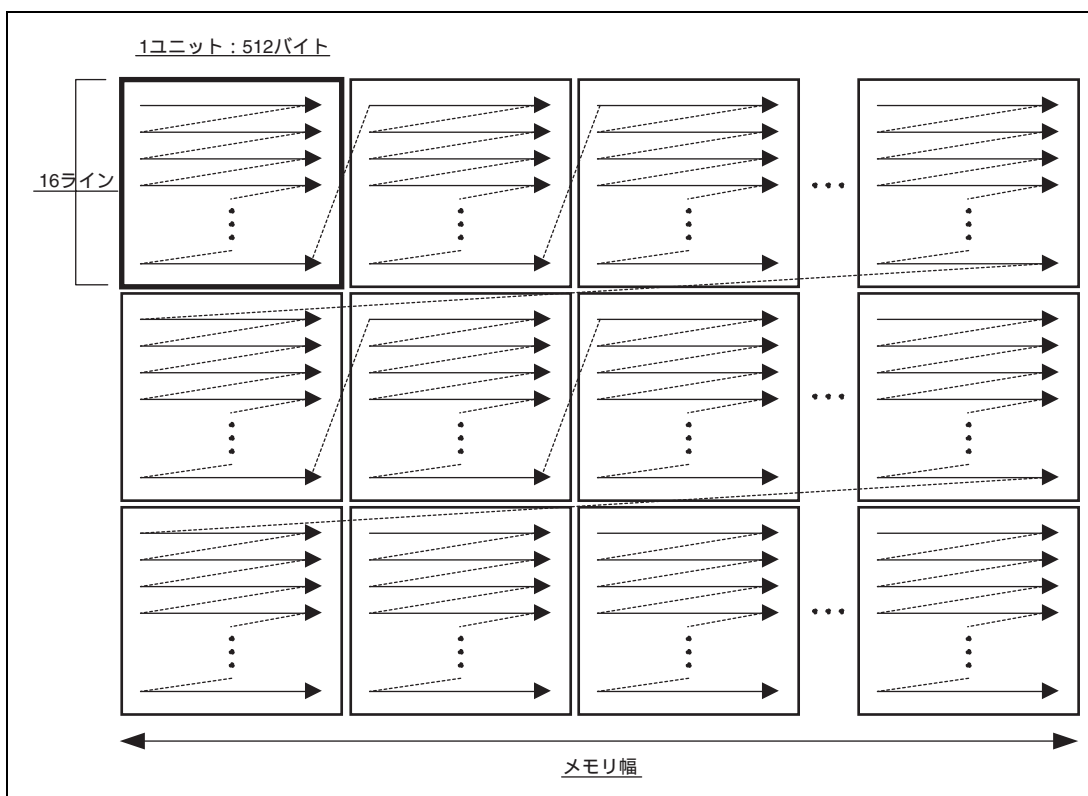


図 11.25 タイルアドレス領域のデータ配列

(2) リニアアドレスアクセスのタイルアドレスアクセスへの変換

タイル型のアドレスへの変換はレジスタ LTC[0:7]、LTAD[0:7]によって指定され、メモリコントローラ内部にて実施されます。SDRAM 上には最大 8 箇所のタイルアドレッシング領域を定義できます。領域のサイズは最小 1M バイトで、先頭アドレスの下位ビットをマスクする指定を行うことにより 2^n 乗のサイズへと拡張可能です。領域はこのサイズの境界アドレスで定義されます。また、複数のリニアタイル変換領域はお互いに重ならないように指定してください。重なりが生じた場合のアドレス変換は保証されません。リニア領域とタイル領域をまたがる転送は禁止です。未定義動作ですのでメモリの内容は保証されません。

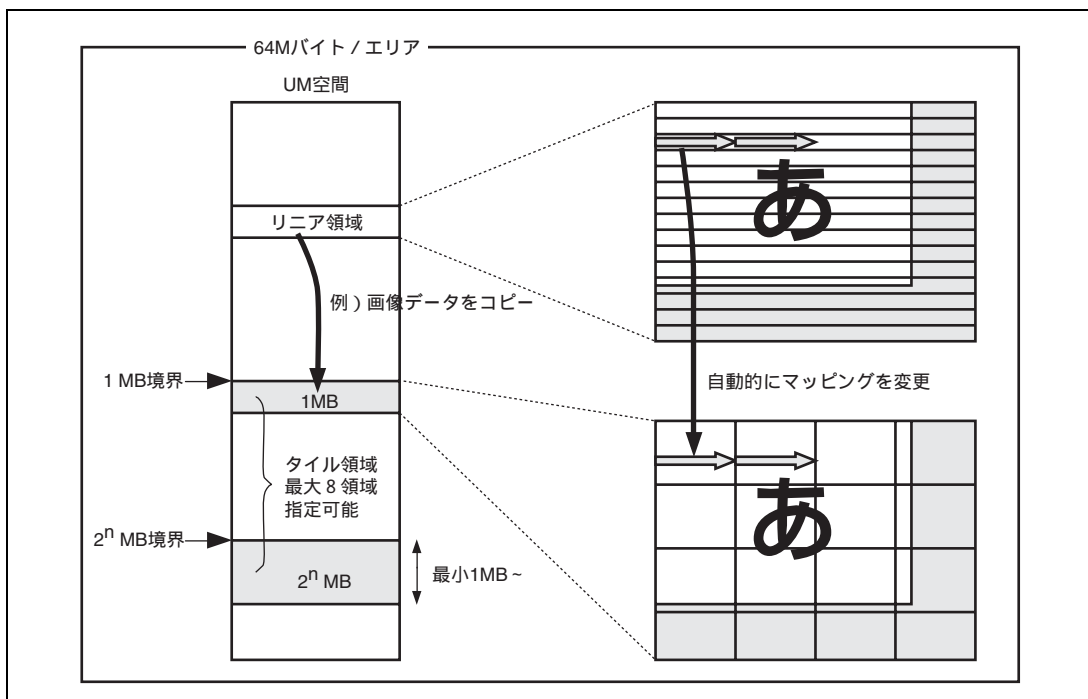


図 11.26 リニアタイル変換の概念

(3) リニア・タイルアドレス変換方法

表 11.19 にリニアアドレスからタイルアドレスへの変換仕様を示します。

表 11.19 リニアアドレスのタイルアドレスへの変換対応

LT-GBM	MWX	リニアアドレス																		
	画素数 (タイル数)	27-21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4-0	
0	512(16)										8	7	6	5	12	11	10	9		
	1024(32)									9	8	7	6	5	13	12	11	10		
	2048(64)								10	9	8	7	6	5	14	13	12	11		
	4096(128)							11	10	9	8	7	6	5	15	14	13	12		
1	512(16)							15	14	9	8	7	6	5	13	12	11	10		
	1024(32)								10	9	8	7	6	5	14	13	12	11		
	2048(64)								11	10	9	8	7	6	5	15	14	13	12	
	4096(128)							12	11	10	9	8	7	6	5	16	15	14	13	

LTCn レジスタの LTGBM ビットはグラフィックスビットモードで画像データの画素フォーマットを示します。LTGBM=0 の場合で、8 ビット/ピクセル、LTGBM=1 のときには 16 ビット/ピクセルを意味します。MWX はメモリ幅を示し、画素数で指定されます。

メモリ幅は、512、1024、2048、4096 のみです。リニアタイル変換は、8 ビット/ピクセル、16 ビット/ピクセルのみをサポートしております。

図 11.27 にリニア・タイル変換の動作を示します。図中、LTAM はリニア・タイル変換アドレスマスク、LTAD はリニア・タイル変換領域先頭アドレスです。

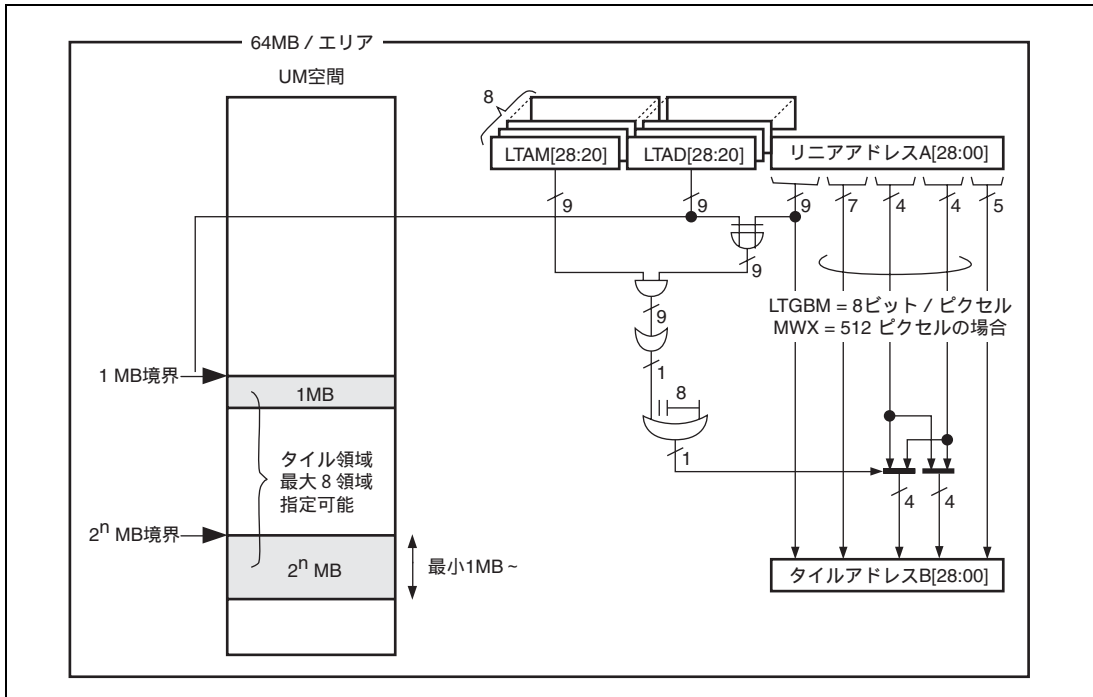


図 11.27 リニア・タイル変換の動作説明

11.12 使用上の注意

11.12.1 リフレッシュ

リフレッシュスタンバイモード、ハードウェアスタンバイモードに遷移させると、オートリフレッシュは実行されなくなります。リフレッシュが必要なメモリシステムの場合はメモリをセルフリフレッシュ状態にしてからリフレッシュスタンバイモードに遷移してください。

ハードウェアスタンバイ時には、全端子がハイインピーダンス状態となるためメモリのリフレッシュは行なえません。

11.12.2 外部バスアービトレーション

リフレッシュスタンバイモードに遷移させると、バス権を解放しなくなります。外部バスアービトレーションを行なうシステムでは $\overline{\text{BREQ}}$ イネーブルビット (BCR.BREQEN) を 0 に設定してからリフレッシュスタンバイモードに遷移してください。 $\overline{\text{BREQ}}$ イネーブルビットを 1 に設定したままでリフレッシュスタンバイモードに遷移した場合の動作は保証されません。

11.12.3 Pixel バスの転送サイズとアクセスアドレス境界

本モジュールは 32 バイト転送時にアクセスアドレスが 32 バイト境界でなかった場合、先頭のアクセスはアクセス要求のあったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。

ただし ATAPI、G2D、LCDC からのアクセスはラップアラウンドされませんので、注意が必要です。具体的には、これらのモジュールが持つレジスタへの設定値に注意が必要です。詳細は各モジュールの章を参照してください。

11.12.4 $\overline{\text{RDY}}$ によるウェイトステート挿入をしない場合の処置について

パワーオンリセット解除後、 $\overline{\text{RDY}}$ 入力端子は LSI 内部でプルアップされますので、 $\overline{\text{RDY}}$ によるウェイトステート挿入をしない場合は、LSI 外部にプルダウン抵抗を設けたうえで、BCR レジスタの IPUP ビットを 1 に設定してください (LSI 内部プルアップ抵抗をオフしてください)。このとき、 $\overline{\text{BREQ}}$ 入力端子の LSI 内部プルアップ抵抗も同時にオフされますので、必要に応じて $\overline{\text{BREQ}}$ 端子の処理も行ってください。

外部プルダウン抵抗を $R(k)$ とすると、「表 34.4 DC 特性 [USB トランシーバ、 I^2C 関連端子を除く]」から $V_{ccQ} \times \frac{R}{20+R} \geq V_{ccQ} \times 0.2$ を満足する必要があります。よって、 $R \geq 5$ となります。

12. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

12.1 特長

- チャンネル数：6チャンネル (うちチャンネル0、1は外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
 - 外部リクエスト (チャンネル0、1)、内蔵周辺モジュールリクエスト (チャンネル0~5)、オートリクエストの3種類から選択可能。
 - 内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
 - SCIF0、SCIF1、SCIF2、USB、FLCTL、SRC
- バスモード：
 - サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- DMA転送要求受け付け信号 (DACK) およびDMA転送終了信号 (DTEND) はアクティブレベルを設定可能

DMAC のブロック図を図 12.1 に示します。

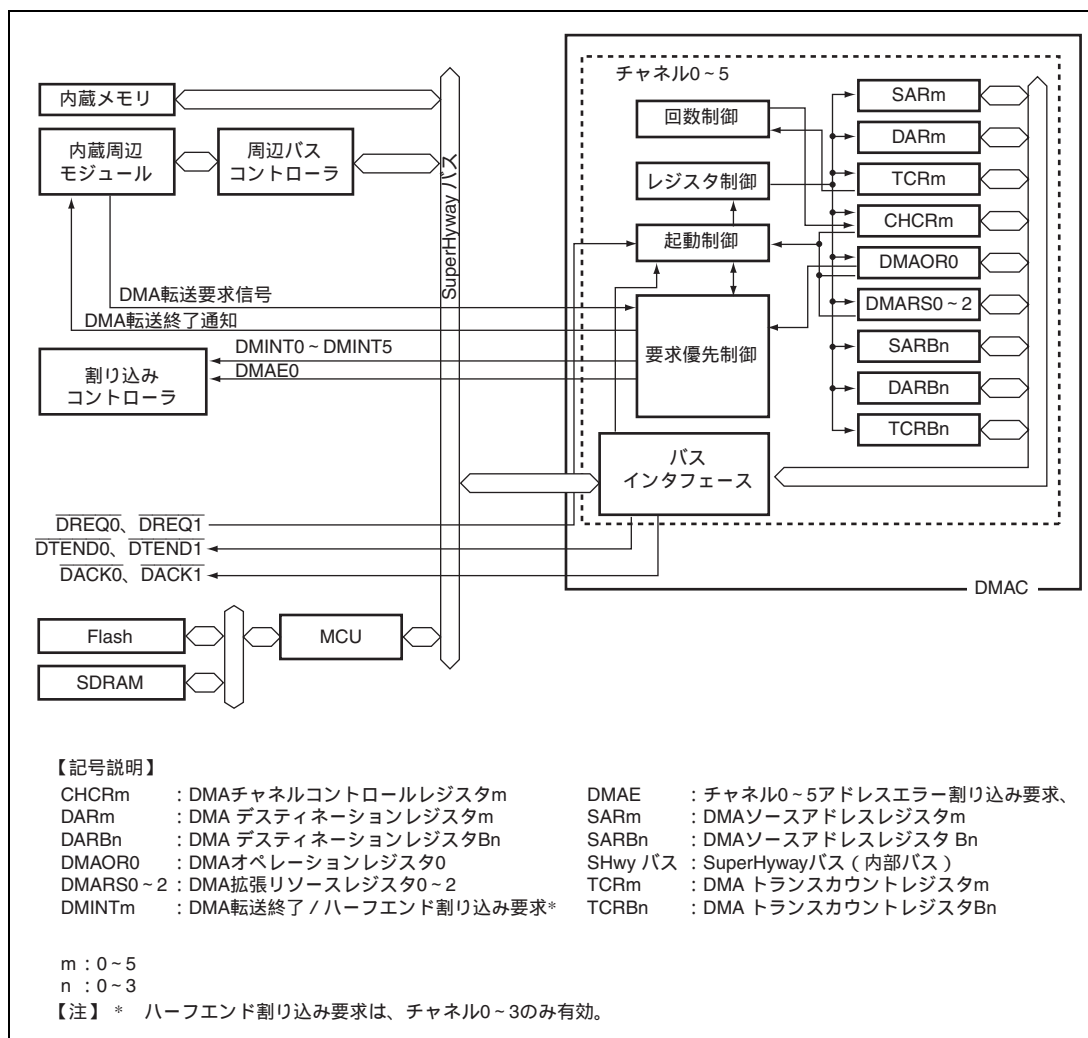


図 12.1 DMAC ブロック図

12.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 12.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、1) を持ちます。

表 12.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{DREQ0}^{*1}$	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DACK0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストロブを出力
	DMA 転送終了通知	$\overline{DTEND0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送終了出力
1	DMA 転送要求	$\overline{DREQ1}^{*1}$	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DACK1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロブを出力
	DMA 転送終了通知	$\overline{DTEND1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送終了出力

【注】 *1 初期値はローレベル検出です。

*2 初期値はローアクティブです。

12.3 レジスタの説明

DMAC のレジスタ構成を表 12.2 に示します。また、各処理モードにおけるレジスタの状態を表 12.3 に示します。

表 12.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ ^{*3}
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FF60 8020	H'1F60 8020	32
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'FF60 8024	H'1F60 8024	32
	DMA トランスファカウントレジスタ 0	TCR0	R/W	H'FF60 8028	H'1F60 8028	32
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W ^{*1}	H'FF60 802C	H'1F60 802C	32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FF60 8030	H'1F60 8030	32
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FF60 8034	H'1F60 8034	32
	DMA トランスファカウントレジスタ 1	TCR1	R/W	H'FF60 8038	H'1F60 8038	32
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W ^{*1}	H'FF60 803C	H'1F60 803C	32
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FF60 8040	H'1F60 8040	32
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FF60 8044	H'1F60 8044	32
	DMA トランスファカウントレジスタ 2	TCR2	R/W	H'FF60 8048	H'1F60 8048	32
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W ^{*1}	H'FF60 804C	H'1F60 804C	32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FF60 8050	H'1F60 8050	32
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FF60 8054	H'1F60 8054	32
	DMA トランスファカウントレジスタ 3	TCR3	R/W	H'FF60 8058	H'1F60 8058	32
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W ^{*1}	H'FF60 805C	H'1F60 805C	32
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	R/W ^{*2}	H'FF60 8060	H'1F60 8060	16
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FF60 8070	H'1F60 8070	32
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FF60 8074	H'1F60 8074	32
	DMA トランスファカウントレジスタ 4	TCR4	R/W	H'FF60 8078	H'1F60 8078	32
	DMA チャンネルコントロールレジスタ 4	CHCR4	R/W ^{*1}	H'FF60 807C	H'1F60 807C	32
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FF60 8080	H'1F60 8080	32
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FF60 8084	H'1F60 8084	32
	DMA トランスファカウントレジスタ 5	TCR5	R/W	H'FF60 8088	H'1F60 8088	32
	DMA チャンネルコントロールレジスタ 5	CHCR5	R/W ^{*1}	H'FF60 808C	H'1F60 808C	32

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ ^{*3}
0	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FF60 8120	H'1F60 8120	32
	DMA デスティネーションアドレス レジスタ B0	DARB0	R/W	H'FF60 8124	H'1F60 8124	32
	DMA トランスファカウントレジスタ B0	TCRB0	R/W	H'FF60 8128	H'1F60 8128	32
1	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FF60 8130	H'1F60 8130	32
	DMA デスティネーションアドレス レジスタ B1	DARB1	R/W	H'FF60 8134	H'1F60 8134	32
	DMA トランスファカウントレジスタ B1	TCRB1	R/W	H'FF60 8138	H'1F60 8138	32
2	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FF60 8140	H'1F60 8140	32
	DMA デスティネーションアドレス レジスタ B2	DARB2	R/W	H'FF60 8144	H'1F60 8144	32
	DMA トランスファカウントレジスタ B2	TCRB2	R/W	H'FF60 8148	H'1F60 8148	32
3	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FF60 8150	H'1F60 8150	32
	DMA デスティネーションアドレス レジスタ B3	DARB3	R/W	H'FF60 8154	H'1F60 8154	32
	DMA トランスファカウントレジスタ B3	TCRB3	R/W	H'FF60 8158	H'1F60 8158	32
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FF60 9000	H'1F60 9000	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FF60 9004	H'1F60 9004	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FF60 9008	H'1F60 9008	16

- 【注】 *1 CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。フラグをクリアしない場合は、本ビットには 1 を書き込んでください。本ビットへの 1 書き込みはフラグの値に影響を与えません。
- *2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。フラグをクリアしない場合は、本ビットには 1 を書き込んでください。本ビットへの 1 書き込みはフラグの値に影響を与えません。
- *3 指定アクセスサイズ以外のアクセスは行わないでください。

表 12.3 各処理状態におけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	スリープ	モジュール スタンバイ
0	DMA ソースアドレスレジスタ 0	SAR0	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 0	DAR0	不定	保持	保持
	DMA トランスファカウントレジスタ 0	TCR0	不定	保持	保持
	DMA チャンネルコントロールレジスタ 0	CHCR0	H'4000 0000	保持	保持
1	DMA ソースアドレスレジスタ 1	SAR1	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 1	DAR1	不定	保持	保持
	DMA トランスファカウントレジスタ 1	TCR1	不定	保持	保持
	DMA チャンネルコントロールレジスタ 1	CHCR1	H'4000 0000	保持	保持
2	DMA ソースアドレスレジスタ 2	SAR2	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 2	DAR2	不定	保持	保持
	DMA トランスファカウントレジスタ 2	TCR2	不定	保持	保持
	DMA チャンネルコントロールレジスタ 2	CHCR2	H'4000 0000	保持	保持
3	DMA ソースアドレスレジスタ 3	SAR3	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 3	DAR3	不定	保持	保持
	DMA トランスファカウントレジスタ 3	TCR3	不定	保持	保持
	DMA チャンネルコントロールレジスタ 3	CHCR3	H'4000 0000	保持	保持
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	H'0000	保持	保持
4	DMA ソースアドレスレジスタ 4	SAR4	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 4	DAR4	不定	保持	保持
	DMA トランスファカウントレジスタ 4	TCR4	不定	保持	保持
	DMA チャンネルコントロールレジスタ 4	CHCR4	H'4000 0000	保持	保持
5	DMA ソースアドレスレジスタ 5	SAR5	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 5	DAR5	不定	保持	保持
	DMA トランスファカウントレジスタ 5	TCR5	不定	保持	保持
	DMA チャンネルコントロールレジスタ 5	CHCR5	H'4000 0000	保持	保持
0	DMA ソースアドレスレジスタ B0	SARB0	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B0	DARB0	不定	保持	保持
	DMA トランスファカウントレジスタ B0	TCRB0	不定	保持	保持

チャンネル	名 称	略称	パワーオン リセット	スリープ	モジュール スタンバイ
1	DMA ソースアドレスレジスタ B1	SARB1	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B1	DARB1	不定	保持	保持
	DMA トランスファカウントレジスタ B1	TCRB1	不定	保持	保持
2	DMA ソースアドレスレジスタ B2	SARB2	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B2	DARB2	不定	保持	保持
	DMA トランスファカウントレジスタ B2	TCRB2	不定	保持	保持
3	DMA ソースアドレスレジスタ B3	SARB3	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B3	DARB3	不定	保持	保持
	DMA トランスファカウントレジスタ B3	TCRB3	不定	保持	保持
0/1	DMA 拡張リソースセクタ 0	DMARS0	H'0000	保持	保持
2/3	DMA 拡張リソースセクタ 1	DMARS1	H'0000	保持	保持
4/5	DMA 拡張リソースセクタ 2	DMARS2	H'0000	保持	保持

12.3.1 DMA ソースアドレスレジスタ 0~5 (SAR0~SAR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SAR の初期値は不定です。

12.3.2 DMA ソースアドレスレジスタ B0~3 (SARB0~SARB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SARB の初期値は不定です。

12.3.3 DMA デスティネーションアドレスレジスタ 0~5 (DAR0~DAR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DAR の初期値は不定です。

12.3.4 DMA デスティネーションアドレスレジスタ B0~3 (DARB0~DARB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。DARB の初期値は不定です。

12.3.5 DMA トランスファカウントレジスタ 0~5 (TCR0~TCR5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCR の初期値は不定です。

12.3.6 DMA トランスファカウンタレジスタ B0~3 (TCRB0~TCRB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、ビット 7~0 は転送回数カウンタとして動作し、値が 0 になると SAR / DAR が更新され、TCRB のビット 23~16 がビット 7~0 にロードされます。ビット 23~16 はリロードするまでの転送回数を設定してください。リロードモード使用時、ビット 23~16 とビット 7~0 は同じ値を設定し、ビット 15~8 は 0 を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

TCRB のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。TCRB の初期値は不定です。

12.3.7 DMA チャネルコントロールレジスタ 0~5 (CHCR0~CHCR5)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			—	DO	—	DVMD	TS[2]	HE	HIE	AM	AL
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	LCKN	1	R/W	バスロック信号抑止ビット SHwY バス読み出し命令時に SHwY バスロック信号の出力 / 抑止を設定します。本ビットはサイクルスチールモード実行時に有効となります。 SHwY バスロック信号を抑止することにより、DMAC 以外のバスマスタのバス要求が受け付けられません。これにより、システム全体のバス使用効率をあげることが可能です。なお、パーストモード実行時には必ず0を設定してください。また、内蔵モジュールリクエストモードで USB を選択する場合には必ず1を選択してください。 0 : バスロック信号出力許可 1 : バスロック信号出力抑止
29, 28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27 ~ 25	RPT[2:0]	すべて0	R/W	DMA 設定更新指定ビット 本ビットは CHCR0 ~ CHCR3 でのみ有効となります。 000 : 通常モード 001 : リピートモード : SAR/DAR/TCR をリピートします 010 : リピートモード : DAR/TCR をリピートします 011 : リピートモード : SAR/TCR をリピートします 100 : リザーブ (設定禁止) 101 : リロードモード : SAR/DAR/TCR をリロードします 110 : リロードモード : DAR/TCR をリロードします 111 : リロードモード : SAR/TCR をリロードします
24	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン0で検出するか、オーバラン1で検出するかを選択します。本ビットは CHCR0、CHCR1 でのみ有効です。 0 : DREQ をオーバラン0で検出 1 : DREQ をオーバラン1で検出
22	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	DVMD	0	R/W	分割転送モード指定 FLCTL とメモリ間で、16byte 単位の DMA 転送を実行することを指定します。 FACTL モジュールを使用しない場合は、必ず0に設定してください。

ビット	ビット名	初期値	R/W	説明
20	TS[2]	0	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0]と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[2:0]</p> <p>000 : バイト単位 001 : ワード (2 バイト) 単位 010 : ロングワード (4 バイト) 単位 011 : 16 バイト単位 100 : 32 バイト単位 上記以外 : 設定禁止</p> <p>【注】 周辺バスに接続される周辺モジュール(FLCTL および USB を除き)をソースまたはデスティネーションとした転送を行う場合は、TS[2:0]の転送サイズはロングワード以下の設定としてください。FLCTL では 16 バイトまで、USB では 32 バイトまで設定可能です。FLCTL の 16 バイトの転送を行う場合は、DVMD ビットに 1 を設定してください。</p>
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。</p> <ul style="list-style-type: none"> 偶数回のときは、(転送前にセットした TCR) ÷ 2 で HE は 1 にセット 奇数回のときは、(転送前にセットした TCR - 1) ÷ 2 で HE は 1 にセット 最大転送回数のときは、8,388,608 回 (H'0080 0000) で HE は 1 にセット <p>転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。ただし、HE ビットをクリアしない場合は、常に 1 を書き込んでください。HE ビットへの 1 書き込みはフラグの値に影響を与えません。本ビットは CHCR0 ~ CHCR3 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、 $TCR > (\text{転送前にセットした TCR}) \div 2$</p> <p>[クリア条件] HE ビットの 1 読み出し後、0 書き込み</p> <p>1 : $TCR = (\text{転送前にセットした TCR}) \div 2$</p>

ビット	ビット名	初期値	R/W	説明
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。TCR の値が 1/2 の転送完了を確認するには割り込み発生後に SYNCO 命令を発行した後、転送先空間をダミーリードしてください。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR0 ~ CHCR3 でのみ有効となります。</p> <p>0 : ハーフエンド割り込みを禁止 1 : ハーフエンド割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。本ビットは CHCR0、CHCR1 でのみ有効です。</p> <p>0 : 読み出しサイクルで DACK を出力 1 : 書き込みサイクルで DACK を出力</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK および DTEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0、CHCR1 でのみ有効です。</p> <p>0 : DACK および DTEND をローアクティブ出力 1 : DACK および DTEND をハイアクティブ出力</p>
15, 14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスは増加 バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32 10 : デスティネーションアドレスは減少 バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 16 / 32 バイト単位転送時は設定禁止 11 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定</p> <p>01 : ソースアドレスは増加</p> <p> バイト単位転送時は + 1</p> <p> ワード単位転送時は + 2</p> <p> ロングワード単位転送時は + 4</p> <p> 16 バイト単位転送時は + 16</p> <p> 32 バイト単位転送時は + 32</p> <p>10 : ソースアドレスは減少</p> <p> バイト単位転送時は - 1</p> <p> ワード単位転送時は - 2</p> <p> ロングワード単位転送時は - 4</p> <p> 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p>
11 ~ 8	RS[3:0]	すべて 0	R/W	<p>リソースセレクト</p> <p>転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0100 : オートリクエスト</p> <p>1000 : 内蔵周辺モジュールリクエスト</p> <p> DMA 拡張リソースセクタ (DMARS0 ~ 2) で選択</p> <p>上記以外 : 設定禁止</p> <p>【注】外部リクエストの指定は CHCR0、CHCR1 でのみ有効です。</p> <p> CHCR2 ~ CHCR5 では外部リクエスト指定は設定禁止です。</p> <p> 内蔵周辺モジュールリクエストの指定は CHCR0 ~ CHCR5 で有効です。</p>
7	DL	0	R/W	DREQ レベル、DREQ エッジセレクト
6	DS	0	R/W	<p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは CHCR0、CHCR1 でのみ有効です。またチャンネル 0、チャンネル 1 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がりエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がりエッジ検出</p>

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0 : サイクルスチールモード</p> <p>1 : バーストモード</p> <p>内蔵周辺モジュールリクエストを設定したときはサイクルスチールモードとしてください。</p>
4, 3	TS[1:0]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[2] (ビット 20) の説明を御参照ください。</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。</p> <p>IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わった時に、CPU に対し割り込み (DMINT) を要求します。最終転送完了を確認するには割り込み発生後に SYNCO 命令を発行した後、転送先空間をダミーリードしてください。</p> <p>0 : 割り込み要求を禁止</p> <p>1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。ただし、TE ビットをクリアしない場合は、常に 1 を書き込んでください。TE ビットへの 1 書き込みはフラグの値に影響を与えません。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断</p> <p>[クリア条件] TE ビットの 1 読み出し後、0 書き込み</p> <p>1 : TCR = 0 (DMA 最終転送中または DMA 転送終了)</p>

ビット	ビット名	初期値	R/W	説明
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>内蔵周辺モジュールリクエスト設定時に DE ビットを 0 にクリアし、転送を中断するときは、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3.8 DMA オペレーションレジスタ 0 (DMAOR0)

DMAOR は、読み出し/書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DMAOR0 はチャンネル 0~5 の共通レジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMS[1:0]	—	—	PR[1:0]	—	—	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインタミットモードを選択します。インタミットモードを有効にするためには、DMAOR0 に対応する全チャンネル (チャンネル 0~5) のバスモードがサイクルスチールモードであることが必要です。 00: 通常モード 01: 設定禁止 10: インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行 11: インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PR[1:0]	00	R/W	プライオリティーモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00: CH0 > CH1 > CH2 > CH3 > CH4 > CH5 (DMAOR0) 01: CH0 > CH2 > CH3 > CH1 > CH4 > CH5 (DMAOR0) 10: 設定禁止 11: CH0 ~ CH5 のラウンドロビンモード (DMAOR0) ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャンネル (チャンネル 0~5) でサイクルスチールモードとバーストモードの混在はできません。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ DMA 転送中にアドレスエラーが発生したことを示すフラグです。 本ビットは、以下の条件でセットされます。 • SAR または DAR に設定された値が転送サイズ境界と不一致の場合 • 転送元または転送先が無効空間の場合 • 転送元または転送先がモジュールストップ中の場合 DMAOR0 の AE ビットがセットされると、DMAOR0 に対応するチャンネル (チャンネル 0~5) の CHCR0~5 の DE ビットと DMAOR0 の DME ビットを 1 にセットしても、チャンネル 0~5 の DMA 転送は許可されません。 0: DMAC によるアドレスエラーなし [クリア条件] AE ビットの 1 読み出し後、0 書き込み (ただし、AE ビットをクリアしない場合は、常に 1 を書き込んでください。AE ビットへの 1 書き込みはフラグの値に影響を与えません)。 1: DMA 転送中にアドレスエラー発生

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われず、DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>NMI が入力されたとき、DMA 転送は停止します。NMI 割り込み復帰後は全チャネルの再設定をした後、転送を開始してください。</p> <p>0 : NMI 割り込みなし</p> <p>[クリア条件] NMIF ビットの 1 読み出し後、0 書き込み (ただし、NMIF ビットをクリアしない場合は、常に 1 を書き込んでください。NMIF ビットへの 1 書き込みはフラグの値に影響を与えません)。</p> <p>1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>DRMOR0 に対応する全チャネル (チャンネル 0~5) の DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャネルの CHCR にある TE ビットとチャネルに対応する DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。DME ビットを 0 にクリアすると DRMOR0 に対応する全チャネル (チャンネル 0~5) の DMA 転送が中断されます。</p> <p>DMAOR に対応するチャネルのいずれかで、内蔵モジュールリクエストを設定しているときに DME ビットを 0 にクリアし DMA 転送を中断する場合は、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : チャンネル 0~5 の DMA 転送を禁止 (DRMOR0)</p> <p>1 : チャンネル 0~5 の DMA 転送を許可 (DRMOR0)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3.9 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

• DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]					C1RID[1:0]		C0MID[5:0]					C0RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]					C3RID[1:0]		C2MID[5:0]					C2RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C5MID[5:0]					C5RID[1:0]		C4MID[5:0]					C4RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0、SCIF1、SCIF2、USB、FLCTL、SRC の転送要求を設定できます。

表 12.4 以外の MID / RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR0 ~ CHCR5 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。また、一つの周辺モジュールの転送要求を DMAC の複数のチャンネルのリソースにして割り当てを行わないでください。割り当てを行った場合の動作の保証はできません。

• DMARS0 の設定

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	すべて 0	R/W	DMA チャンネル 1 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
9、8	C1RID[1:0]	00	R/W	DMA チャンネル 1 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照
7~2	C0MID[5:0]	すべて 0	R/W	DMA チャンネル 0 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
1、0	C0RID[1:0]	00	R/W	DMA チャンネル 0 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照

- DMARS1の設定

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	すべて0	R/W	DMA チャンネル3 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
9、8	C3RID[1:0]	00	R/W	DMA チャンネル3 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照
7~2	C2MID[5:0]	すべて0	R/W	DMA チャンネル2 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
1、0	C2RID[1:0]	00	R/W	DMA チャンネル2 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照

- DMARS2の設定

ビット	ビット名	初期値	R/W	説明
15~10	C5MID[5:0]	すべて0	R/W	DMA チャンネル5 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
9、8	C5RID[1:0]	00	R/W	DMA チャンネル5 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照
7~2	C4MID[5:0]	すべて0	R/W	DMA チャンネル4 転送要求元モジュール ID[5:0] (MID) 表 12.4 参照
1、0	C4RID[1:0]	00	R/W	DMA チャンネル4 転送要求元レジスタ ID[1:0] (RID) 表 12.4 参照

表 12.4 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID + RID)	MID	RID	機能
SCIF0	H'21	B'00 1000	B'01	送信
	H'22		B'10	受信
SCIF1	H'29	B'00 1010	B'01	送信
	H'2A		B'10	受信
SCIF2	H'41	B'01 0000	B'01	送信
	H'42		B'10	受信
USB	H'45	B'01 0001	B'01	送信
	H'46		B'10	受信
FLCTL	H'83	B'10 0000	B'11	データ部送受信
	H'87	B'10 0001	B'11	管理コード部送受信
SRC	H'C1	B'11 0000	B'01	SRCOD からのデータ転送
	H'C2		B'10	SRCID へのデータ転送

12.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスマードは、バーストモードとサイクルスチールモードを選択することができます。

12.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS[3:0] ビットおよび DMARS0 ~ DMARS2 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよびチャンネル 0 ~ 5 共通の DMAOR0 の DME ビットを 1 にセットすると転送が開始されます。ただしチャンネル 0 ~ 5 では DMAOR0 の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 ($\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$) によって転送を開始させるモードです。DMA チャンネル 0、1 のみ有効です。表 12.5 に外部リクエストモードの設定を示します。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 12.5 RS ビットによる外部リクエストモードの設定

CHCR				アドレスモード	転送元	転送先
RS3	RS2	RS1	RS0			
0	0	0	0	デュアルアドレスモード	任意	任意

DREQ をエッジで検出するかレベルで検出するかは、表 12.6 に示す CHCR0、CHCR1 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 12.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出 (初期値 DREQ)
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合(オーバラン 0)と、リクエストより 1 つ多い回数の転送を実行して中断する場合(オーバラン 1)があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 12.7 DO ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト	
DO		
0	オーバラン 0	(初期値)
1	オーバラン 1	

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が行われます。DMA 転送要求信号は、DMARS0 ~ DMARS2 にて設定する SCIF0、SCIF1、SCIF2、USB、FLCTL、SRC からの送信データエンプティ転送要求と受信データフル転送要求があります。内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF0 の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF0 のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF0 の受信データフル転送要求に設定した場合、転送元を当該 SCIF0 のレシーブデータレジスタとする必要があります。これらは SCIF1、SCIF2、USB、FLCTL、SRC も同様です。

表 12.8 RS[3:0]ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	RS[3:0]	MID					
1000	001000	01	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR0	サイクル スチール
		10	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクル スチール
	001010	01	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR1	サイクル スチール
		10	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクル スチール
	010000	01	SCIF2 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR2	サイクル スチール
		10	SCIF2 受信部	RXI (受信 FIFO データフル)	SCFTDR2	任意	サイクル スチール
	010001	01	USB 送信部*	送信データエンプティ要求	任意	USB D1FIFO	サイクル スチール
			USB 受信部*	受信データフル要求	USB D1FIFO	任意	サイクル スチール
		10	USB 送信部*	送信データエンプティ要求	任意	USB D0FIFO	サイクル スチール
			USB 受信部*	受信データフル要求	USB D0FIFO	任意	サイクル スチール
	100000	11	FLCTL データ部送信	送信 FIFO データエンプティ要求	任意	FLDTFIFO	サイクル スチール
			FLCTL データ部受信	受信 FIFO データフル要求	FLDTFIFO	任意	サイクル スチール
	100001	11	FLCTL 管理 コード部送信	送信 FIFO データエンプティ要求	任意	FLECFIFO	サイクル スチール
			FLCTL 管理 コード部受信	受信 FIFO データフル要求	FLECFIFO	任意	サイクル スチール
	110000	01	SRC SRCOD	SRCOD FIFO データフル要求	SRC	任意	サイクル スチール
		10	SRC SRCID	SRCID FIFO データエンプティ 要求	任意	SRC	サイクル スチール

【注】 * USB の送信部 / 受信部の選択は USB の設定により決まります。

12.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択はDMAOR0 (チャンネル0~5) のPR[1:0]ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

- チャンネル0~5

CH0 > CH1 > CH2 > CH3 > CH4 > CH5

CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択はDMAOR0のPR[1:0]ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、16バイト、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図12.2に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5です。

ラウンドロビンモードを指定した場合、DMAOR0に対応する全チャンネル(チャンネル0~5)でサイクルスチールモードとバーストモードの混在はできません。

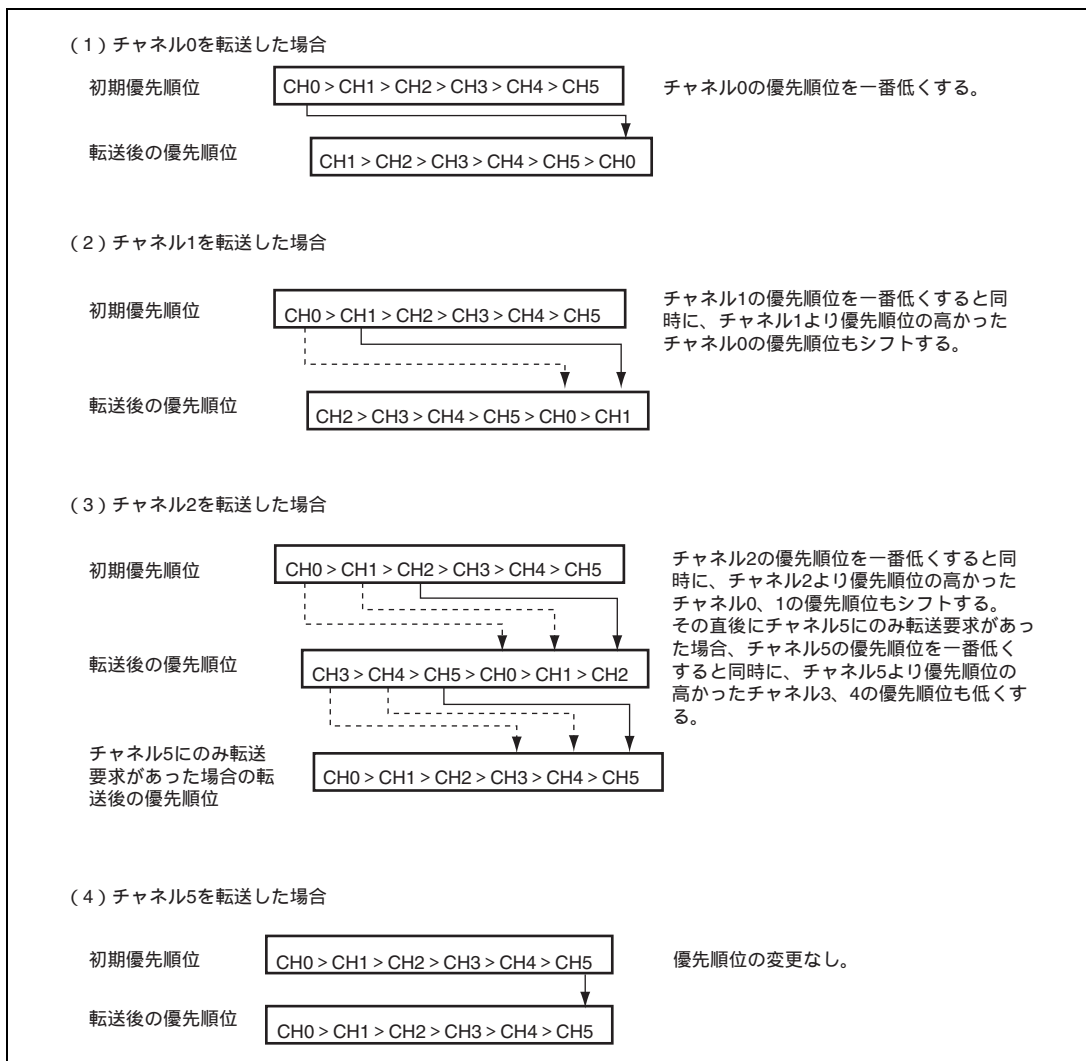


図 12.2 ラウンドロビンモード (例: チャンネル0~5)

図 12.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します。(チャンネル3は転送待ち)
3. チャンネル0の転送中にチャンネル1に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します(チャンネル3は転送待ち)。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

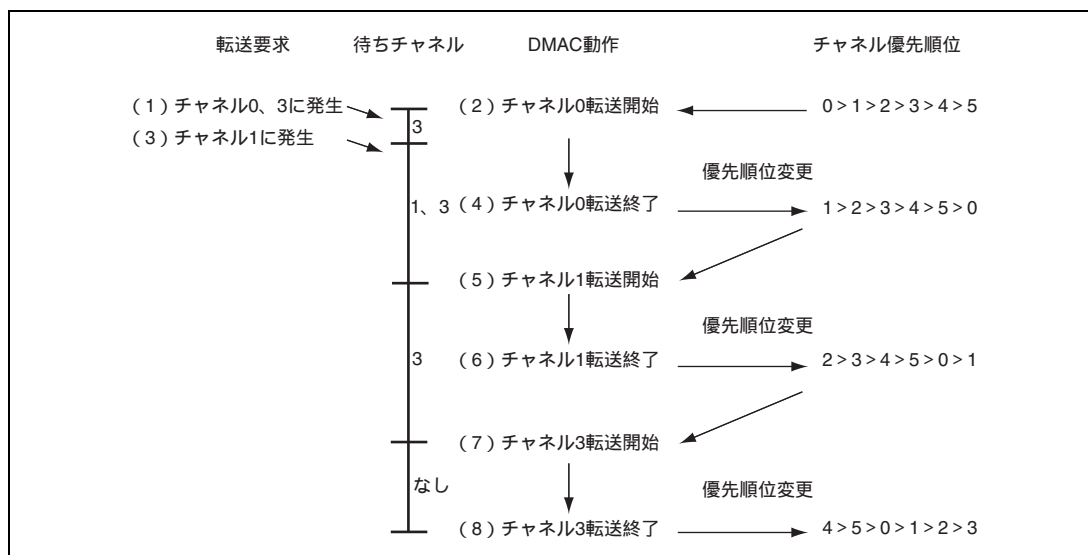


図 12.3 ラウンドロビンモードでのチャンネル優先順位 (例: チャンネル 0 ~ 5)

12.4.3 DMA 転送の種類

表 12.8 に DMAC がサポートできる転送を示します。具体的な転送動作タイミングは、バスモードによって異なります。バスモードは、サイクルスチールモードとバーストモードがあります。

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。たとえば、図 12.4 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

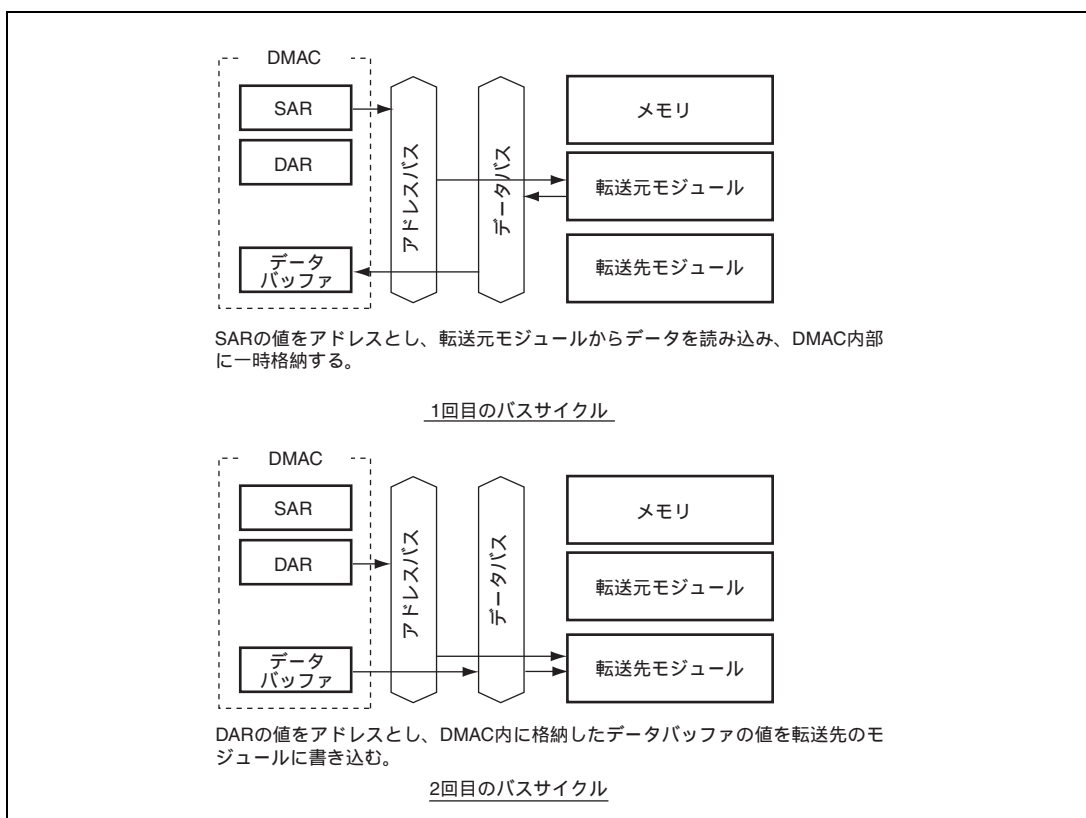


図 12.4 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図 12.5 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

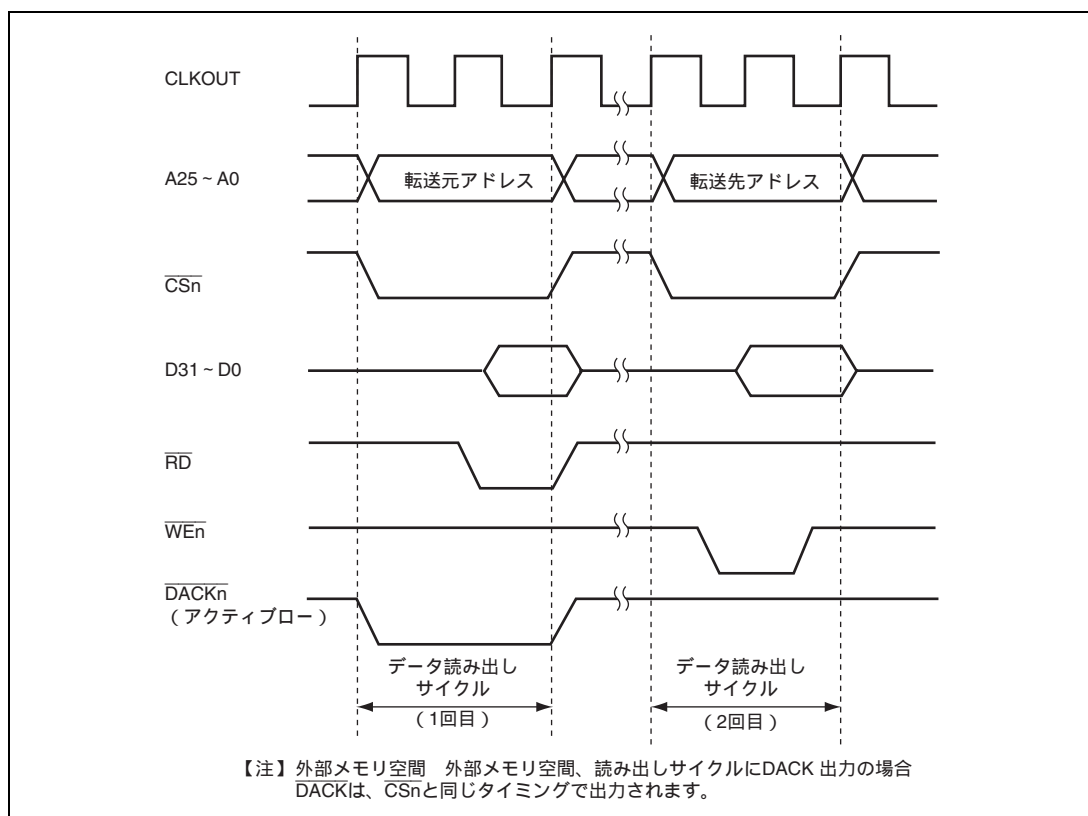


図 12.5 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の TB ビットによって行います。

(a) サイクルスチールモード

- 通常モード1 (LCKN=0、TB=0)

サイクルスチールの通常モード1では、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSHwyバスのバス権を他のバスマスタに渡します。その後転送要求があれば、次の転送要求を発行し、再び1転送単位の転送を行い、その転送を終了するとまたSHwyバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

図12.6にサイクルスチール通常モード1でのDMA転送タイミング例を示します。

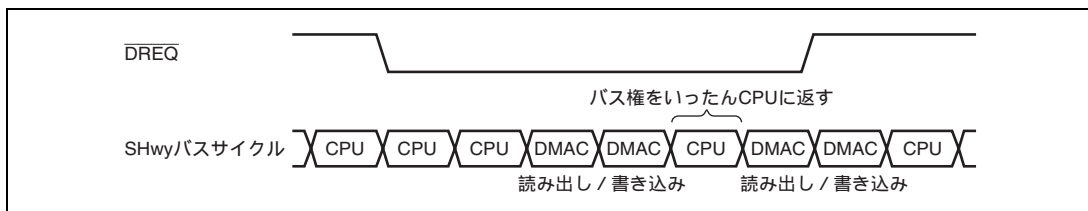


図 12.6 サイクルスチール通常モード1のDMA転送例 (DREQローレベル検出)

- 通常モード2 (LCKN = 1、TB = 0)

サイクルスチールの通常モード2では、DMACはSHwyバスのバス権の確保は行わず1転送単位の読み出しサイクル、書き込みサイクルごとにSHwyバスのバス権を取りに行く転送です。

図12.7にサイクルスチールモード2でのDMA転送タイミング例を示します。

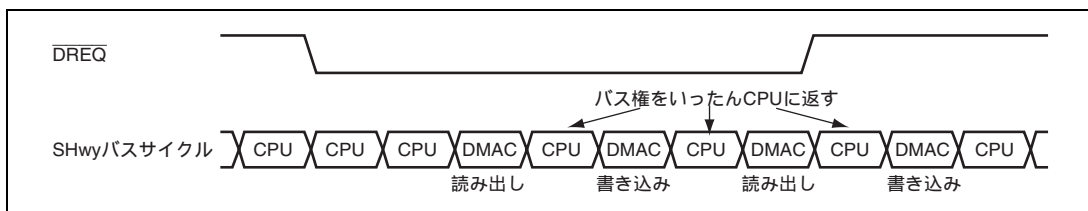


図 12.7 サイクルスチール通常モード2のDMA転送例 (DREQローレベル検出)

- インタミットモード16、インタミットモード64 (LCKN = 0または1、TB = 0)

サイクルスチールのインタミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSHwyバスのバス権を他のバスマスタに渡します。その後転送要求があれば、Bckで16クロックまたは64クロック待った後に、次の転送要求を発行し、再び1転送単位の転送を行い、その転送を終了するとまたSHwyバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モード1、通常モード2に比べ、低く抑えることが可能です。

DMACが再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インタミットモードは、DMAOR0に対応する全チャンネル (チャンネル0~5) のバスモードがサイクルスチールモードであることが必要です。

図12.8にサイクルスチールインタミットモードでのDMA転送タイミング例を示します。

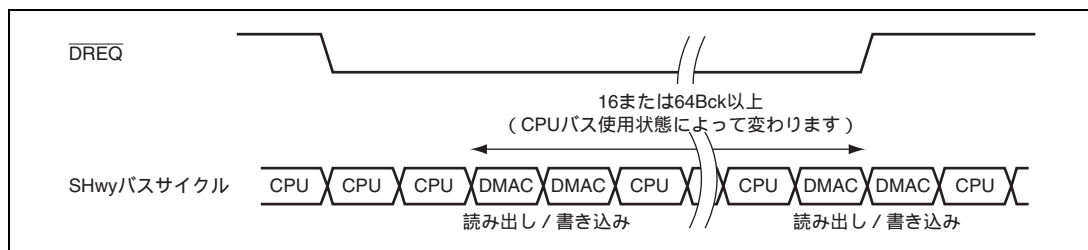


図 12.8 サイクルスチールインタリミットモードの DMA 転送例 (DREQ ローレベル検出)

(b) パーストモード (LCKN=0、TB=1)

パーストモードでは DMAC は一度 SHwY バスのバス権を取ると、転送終了条件が満たされるまで SHwY バスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタに SHwY バスのバス権を渡します。

パーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図 12.9 にパーストモードでの DMA 転送タイミングを示します。

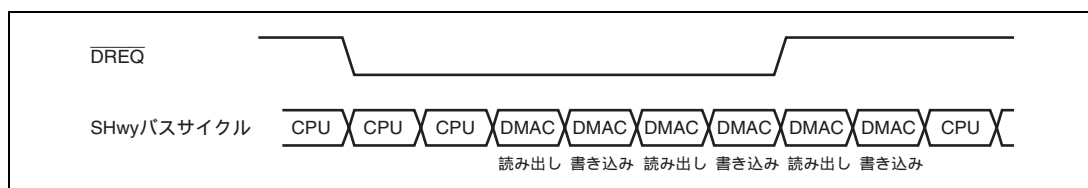


図 12.9 パーストモードでの DMA 転送例 (DREQ ローレベル検出)

(3) DMA 転送区間

表 12.9 にオートリクエストでの DMA 転送区間、表 12.10 に外部リクエストでの DMA 転送区間、表 12.11 に周辺リクエストでの DMA 転送区間を示します。

表 12.9 オートリクエストでの DMA 転送区間

転送元	転送先		
	MCU 空間	内蔵周辺モジュール*	IL メモリ
MCU 空間	○	○	○
内蔵周辺モジュール*	○	○	○
IL メモリ	○	○	○

【記号説明】 ○：転送可能

【注】 * 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

表 12.10 外部リクエストでの DMA 転送区間*2

転送元	転送先		
	MCU 空間	内蔵周辺 モジュール*1	IL メモリ
MCU 空間	○	○	○
内蔵周辺モジュール*1	○	○	○
IL メモリ	○	○	○

【記号説明】 ○：転送可能、×：転送不可

【注】 *1 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

*2 外部リクエストはチャンネル0、1のみです。

表 12.11 周辺リクエストでの DMA 転送区間*2、*3

転送元	転送先		
	MCU 空間	内蔵周辺 モジュール*1	IL メモリ
MCU 空間	×	○	×
内蔵周辺モジュール*1	○	○	○
IL メモリ	×	○	×

【記号説明】 ○：転送可能、×：転送不可

【注】 *1 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

*2 転送元または転送先は周辺リクエストの要求レジスタである必要があります。

*3 サイクルスチールモードのみ設定可能です。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル1がバーストモード転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、ただちにチャンネル0の転送を開始します。

このとき、チャンネル0もバーストモードの場合は、優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1の転送を継続します。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。つまり、バス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります (以後、バーストモードの優先実行と呼びます)。

この例を図 12.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに解放しません。

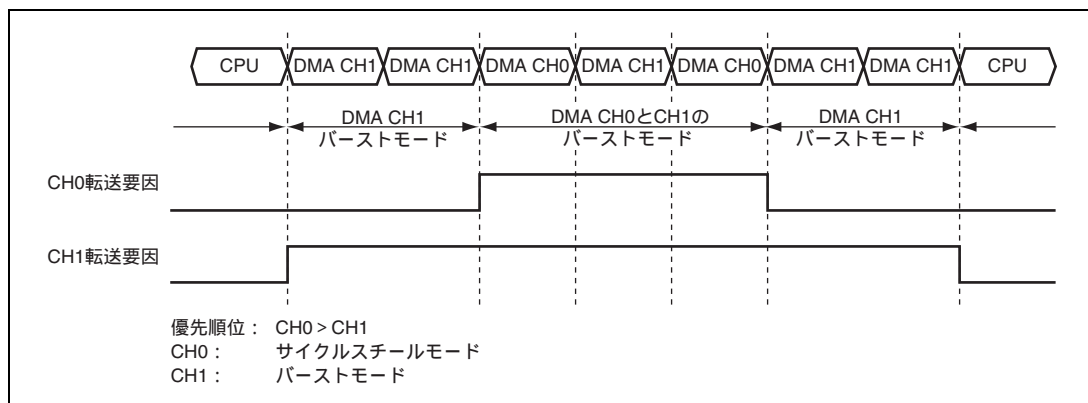


図 12.10 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 12.3 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

12.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスマフアカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS[2:0]の設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。

1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 12.11 に DMA 転送のフローチャートを示します。

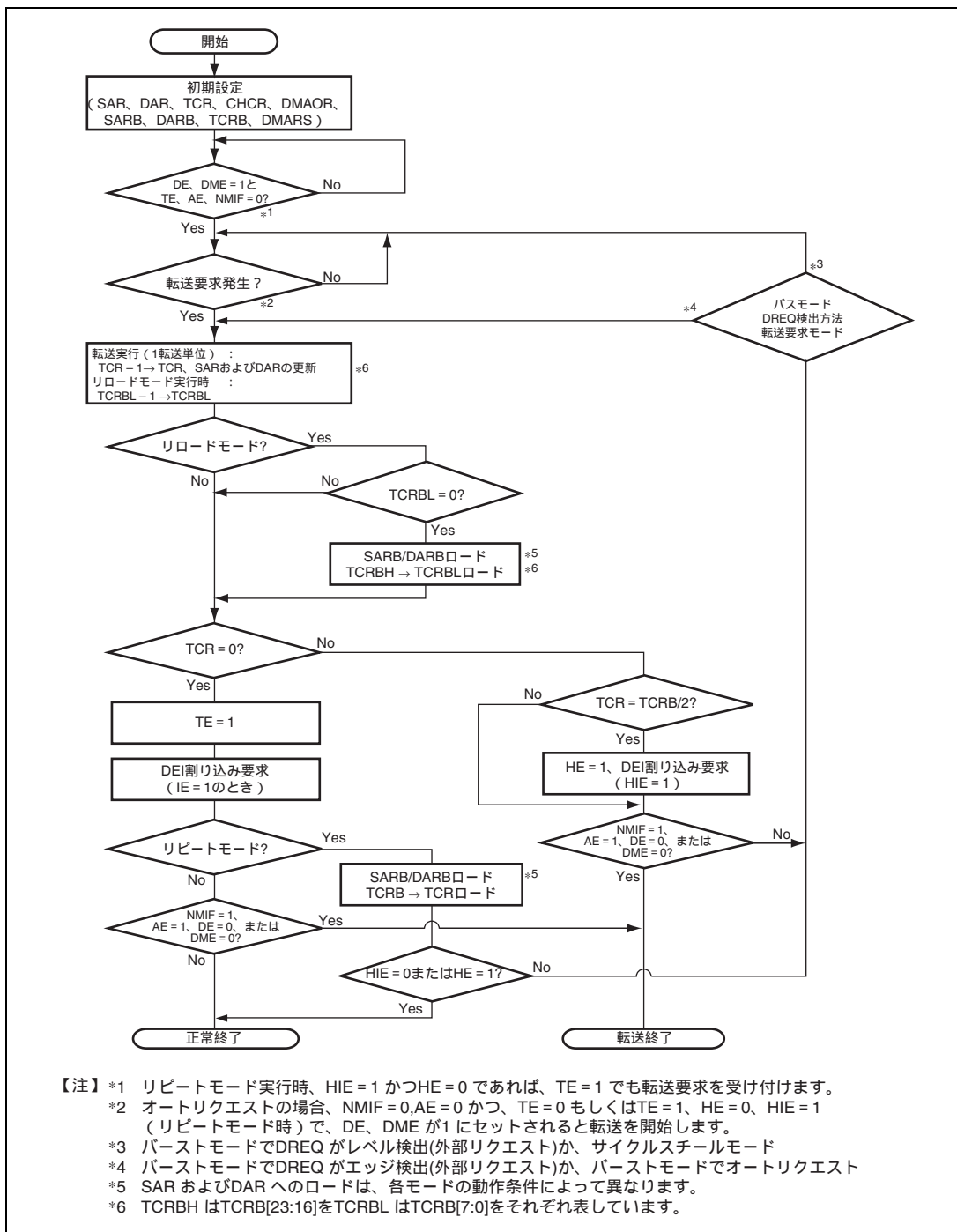


図 12.11 DMA 転送フローチャート

12.4.5 リポートモード転送

DMACのリポートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、外部メモリからデータを取り込み、処理を行う場合について説明します。

ここでは40ワードのデータを取り込みごとに順次処理を行うことを仮定し、その際の処理を説明します。

1. DMACの設定

SARに外部メモリのアドレスを設定します。

DARに内部メモリのデータ格納領域のアドレスを設定します。

TCRに80 (H'50) を設定します。

CHCRに以下の設定をします。

RPT (ビット27、26、25) = B'010 : リポートモード

(デスティネーション側をリポート領域として使用)

HIE (ビット18) = B'1 : TCR/2の割り込み発生

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'00 : SARは固定

IE (ビット2) = B'1 : 割り込み許可

DE (ビット0) = B'1 : DMA転送許可

この他、TB、TSなど使用条件に合わせて設定。

DMAORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

2. 1.の設定によりDMA転送開始

3. TCRが初期設定値の1/2になり割り込み発生。

割り込み処理にて、CHCRを読み出しHE (ビット19) に1がセットされていることを確認し、DARに設定したアドレスから40ワード分のデータの処理を実行。

4. TCRが0になり割り込み発生。

割り込み処理にて、CHCRを読み出しTE (ビット1) に1がセットされていることを確認し、DARに設定したアドレスから40を足したアドレスから40ワード分のデータの処理を実行。

この際DMACでは、DARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

5. 以後、2.~3.がDME=0もしくはDE=0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次可能となります。

12.4.6 リロードモード転送

DMAC のリロードモード転送を使用すると、CHCR の RPT[2:0]ビットの設定により、TCRB[7:0]に設定した回数の転送ごとに SARB/DARB に設定された値を SAR/DAR に、TCRB[23:16]に設定された値を TCRB[7:0]に再設定し、TCR が 0 になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図 12.12 に示します。

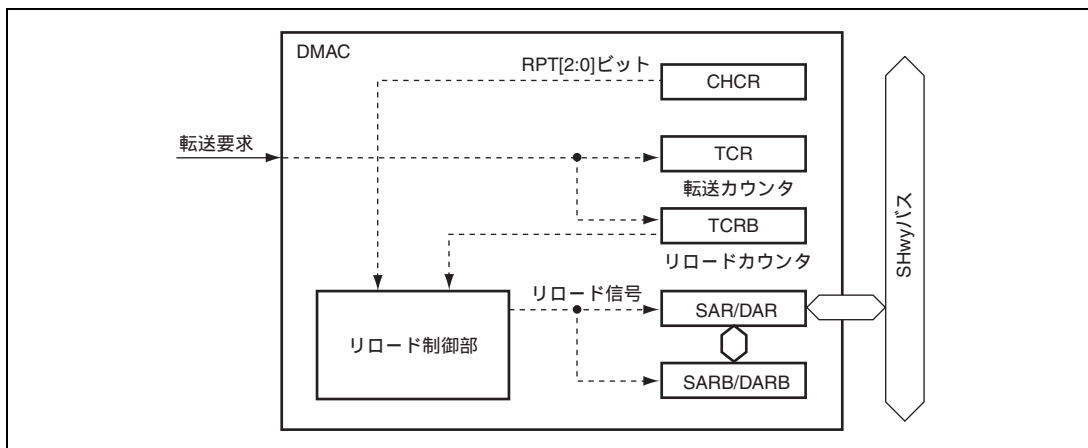


図 12.12 リロード機能図

リロードモード実行時は、TCRB をリロードカウンタとして使用します。「12.3.6 DMA トランスファカウンタレジスタ B0～3 (TCRB0～TCRB3)」を参照し、TCRB を設定してください。

12.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 12.13、図 12.14、図 12.15、図 12.16 に示します。

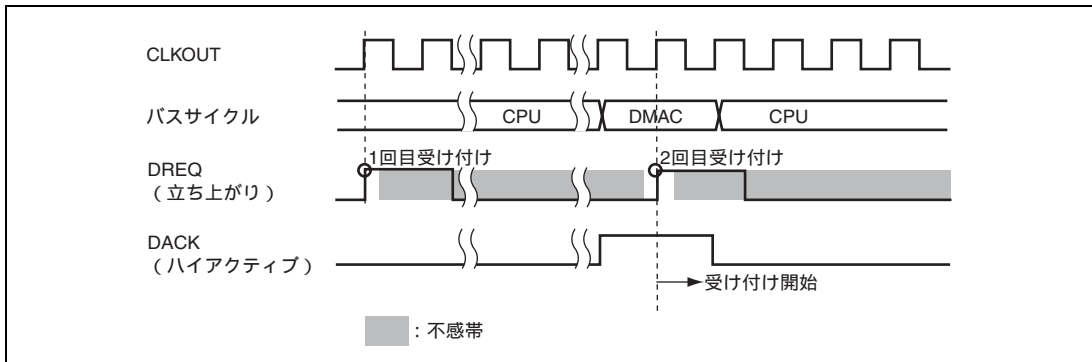


図 12.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例

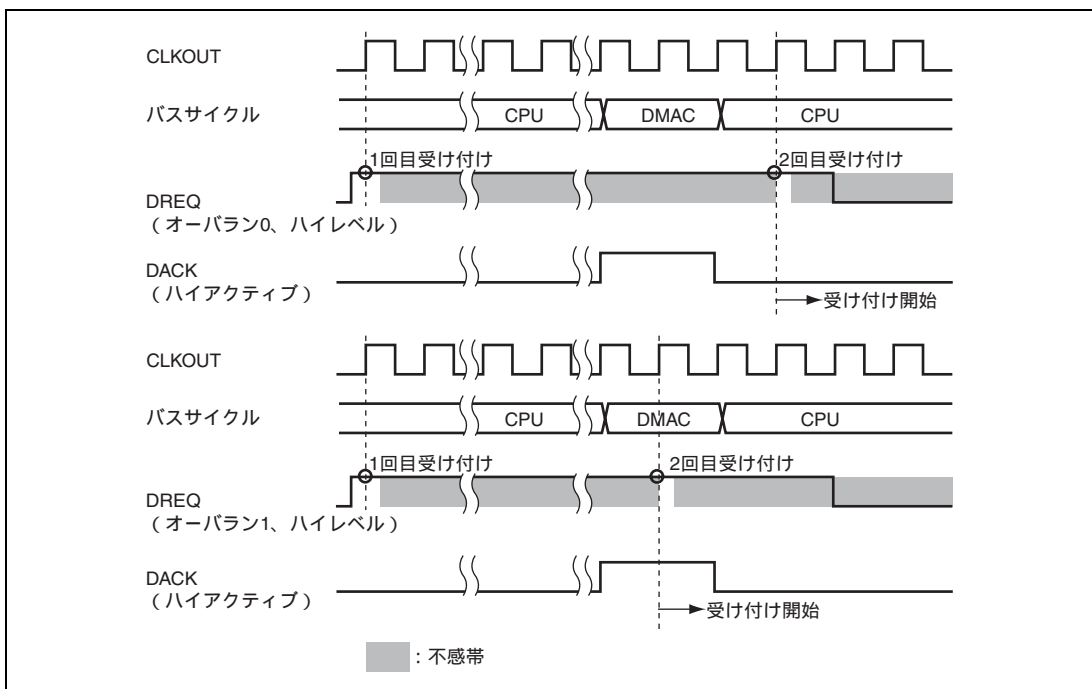


図 12.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例

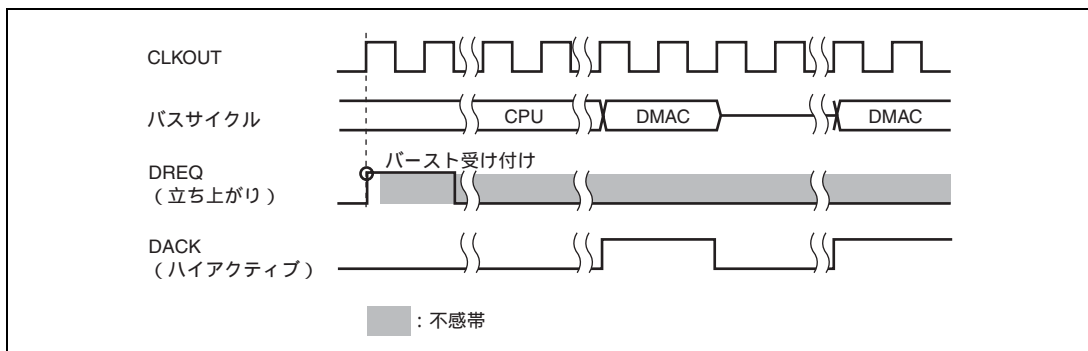


図 12.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング例

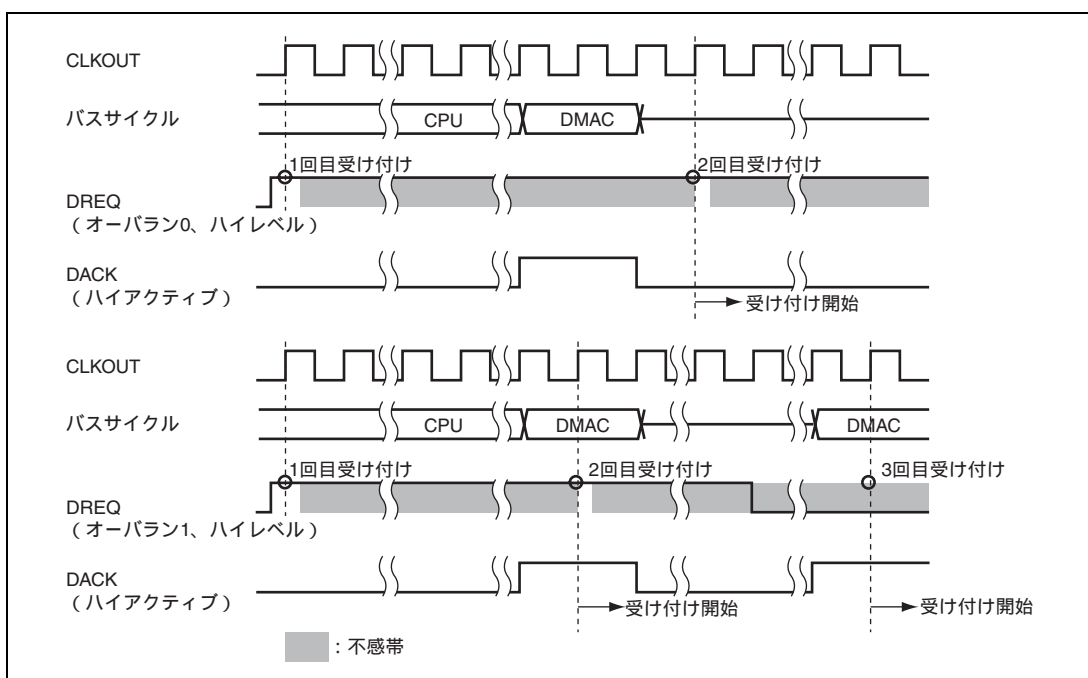


図 12.16 バーストモード・レベル検出時の DREQ 入力検出タイミング例

図 12.17 に DTEND 出力タイミングを示します。

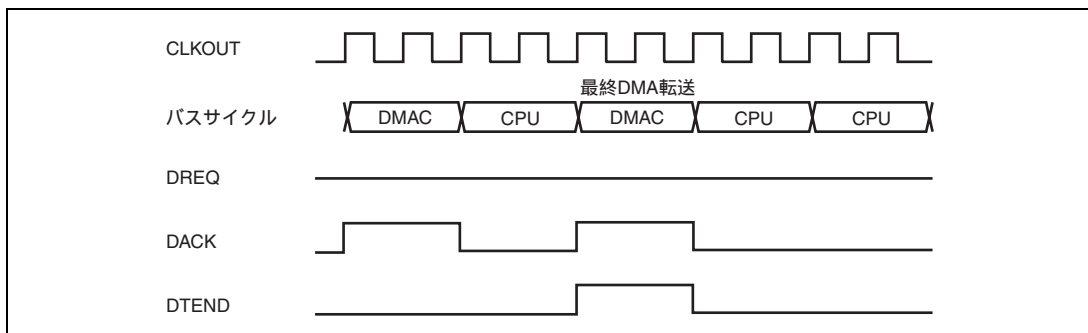


図 12.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット外部デバイスや 16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合、データをアライメントするため DACK 出力および DTEND 出力が分割したりされるので注意してください。この例を図 12.18 に示します。

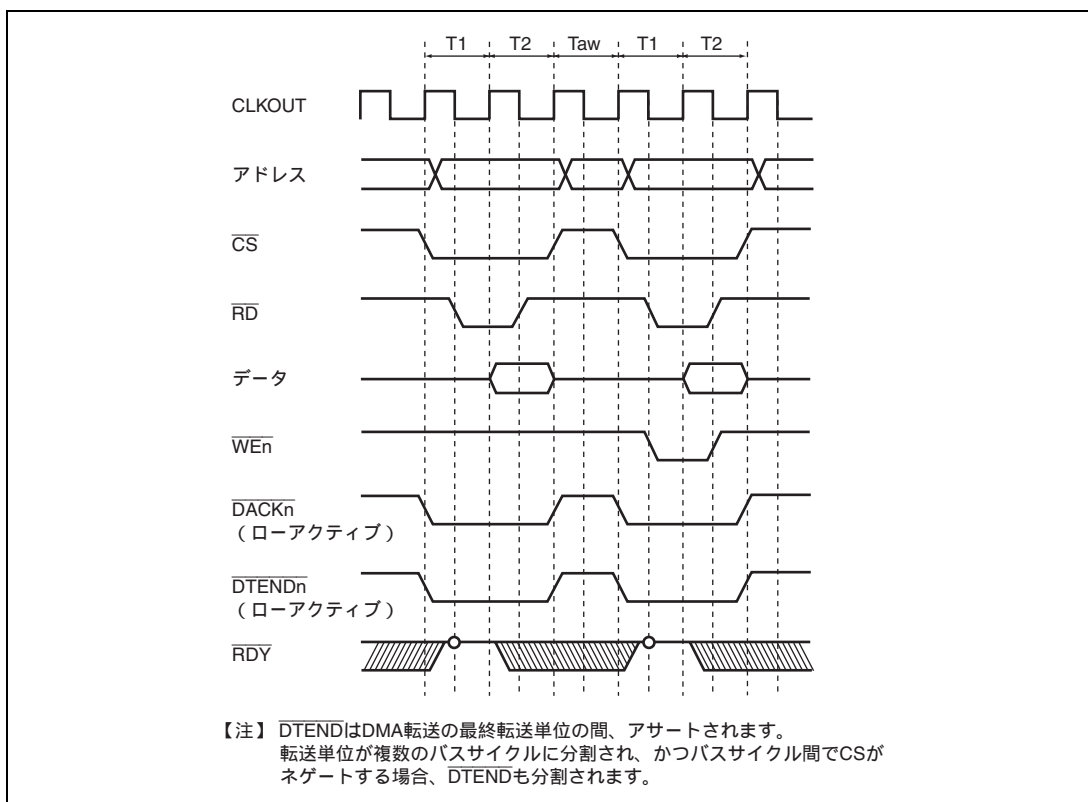


図 12.18 通常メモリアクセス例 (ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)

12.5 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

12.5.1 モジュールストップについて

本 DMAC 動作中に、CPG のレジスタ設定によるモジュールストップを行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

12.5.2 アドレスエラーについて

DMA アドレスエラーが発生した場合、下記手順を行った後、DMAOR に対応する全チャンネルの再設定してから転送を開始してください。

1. 下記モジュールへのダミーリード。
 - MCU : BCR (パステートコントロールレジスタ) ダミーリード
 - INTC : INTC2B3 (モジュール別割り込み要因レジスタ3) のダミーリード
 - ILメモリ : ILメモリのダミーリード
 - EtherC : EESR (EtherC/E-DMACステータスレジスタ) のダミーリード
 - USB : USBINTSTS0 (USB割り込みステータス0レジスタ) のダミーリード
2. SYNCO命令を発行。
3. DMAアドレスエラーの発生したDMAORに対応する全チャンネルの再設定。
 - DMAOR0のAEビットが1にセットされた場合はチャンネル0~5の再設定をしてください。

12.5.3 バーストモード転送時の注意

バーストモード転送中は、そのチャンネルの転送が完了するまで以下のことをしないでください。

- スリープモードに遷移させないでください。
- CPGのレジスタ設定によるモジュールストップを行わないでください。

12.5.4 DACK の分割出力

8ビット外部デバイスや16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスなど、DMA転送単位が複数のバスサイクルに分割され場合、かつバスサイクル間でCSがネゲートする場合、データをアライメントするためCS同様にDACK出力も分割されるので注意してください。

12.5.5 DMAC への DMA 転送禁止

転送元、転送先に DMAC レジスタを設定して DMA 転送は行わないでください。

12.5.6 NMI 割り込みについて

NMI 割り込みが発生した場合、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルの再設定をした後送を開始してください。

12.5.7 外部バス幅を超える DMA 転送サイズにおける \overline{CSn} 出力の設定

1 回の DMA 転送が複数のバスサイクルに分かれる場合*¹、それらのバスサイクル間で \overline{CSn} がネゲートされないように設定してください*²。設定の詳細は表 11.7~表 11.16 を参照してください。

\overline{CSn} がネゲートされる設定をおこなった場合、DREQ のサンプリングが正しく行われず、誤動作する可能性があります。

【注】 *¹ 外部バス幅にバス幅より大きい DMA 転送単位で転送を行う場合。

例：8、16、32 ビットバス幅のエリアに 16、32 バイト転送を行った場合、または、8、16 ビットバス幅のエリアにロングワード(32 ビット)転送を行った場合や 8 ビットのエリアにワード(16 ビット)転送を行った場合。

*² バスサイクル間で \overline{CSn} がネゲートされる場合、 \overline{DACK} 出力もネゲートされます (DACK が分割されます)。

12.5.8 DACK のアサートと DREQ 検出について

2 回以上の DMA 転送において、DREQ レベル検出オーバーラン 1 および DREQ エッジ検出の場合、それぞれの DMA 転送の間も DACK がアサートされ続けてしまう場合があります*。この場合、DMA 転送が途中で停止状態となり、正しく行われない可能性がありますので、下記のようにそれぞれの DMA 転送の間にアイドルを 1 サイクル以上挿入してください。

転送元が SDRAM 以外の外部メモリ空間で読み出しサイクルに DACK を出力する設定 (CHCR.AM = 0) の場合

1. CSnBCR.IWRRD[2:0] = B'001 ~ B'111

(別空間リード - リードサイクル間アイドルを1サイクル以上挿入) (n = 0、3)

2. CSnBCR.IWRRS[2:0] = B'001 ~ B'111

(同一空間リード - リードサイクル間アイドルを1サイクル以上挿入) (n = 0、3)

転送先が SDRAM 以外の外部メモリ空間で書き込みサイクルに DACK を出力する設定 (CHCR.AM = 1) の場合

1. CSnBCR.IWW[2:0] = B'001 ~ B'111

(ライト - リード / ライト - ライトサイクル間アイドルを1サイクル以上挿入) (n = 0、3)

【注】 * 転送元が SDRAM 以外の外部メモリ空間で読み出しサイクルに DACK を出力する設定の場合、または、転送先が SDRAM 以外の外部メモリ空間で書き込みサイクルに DACK を出力する設定の場合で、アイドルサイクルなしを設定 (CSnBCR.IWRRD、IWRRS、IWW に B'000 を設定) した場合、転送元と転送先がともに SDRAM 以外の外部メモリ空間の場合は該当しません。

表 12.12 に 1 回の DMA 転送におけるバスサイクル発生数と MCU のレジスタ設定を示します。本設定により、複数のバスサイクルが発生した場合においても、 \overline{CS}_n はネゲートされません。なお、下記設定において、転送元または転送先のどちらか一方のみが SDRAM 以外の外部メモリ空間の場合、2 回以上の DMA 転送の間も DACK がアサートされ続けてしまうのを避けるため CSnBCR.IWRRD、CSnBCR.IWRRS または CSnBCR.IWW を B'001 ~ B'111 に設定してください。この場合、16 バイト転送では、12.5.7 により複数のバスサイクルが発生し、かつそれらバスサイクルの間で \overline{CS}_n がネゲートされるため DREQ のサンプリングが正しく行われず、誤動作する可能性がありますので御注意ください。

表 12.12 DMA 転送におけるバスサイクル発生数と MCU レジスタ設定値の関係

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	\overline{CS}_n がネゲートされない設定	
			CSnBCR.IWRRD,IWRRS または IWW	CSnWCR.ADS および ADH
8	バイト	1	任意	任意
	ワード	2	任意	B'000
	ロングワード	4	任意	B'000
	16 バイト	16	B'000	B'000
	32 バイト	32	任意	B'000
16	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	2	任意	B'000
	16 バイト	8	B'000	B'000
	32 バイト	16	任意	B'000
32	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	1	任意	任意
	16 バイト	4	B'000	B'000
	32 バイト	8	任意	B'000

12.5.9 DMA 転送要求の二重受け付け

USB (送信)、USB (受信)、FLCTL (データ部送受信)、FLCTL (管理コード部送受信)、SRC (SRCOD からのデータ転送)、SDHI (送信)、SDHI (受信)、または DREQ 端子の何れかを転送要求元として*¹DMAC を起動している場合は、スリープモードへの遷移、スリープモードからの復帰、当該 DMAC チャンネルの DE ビット*²のクリア、DME ビット*³のクリアを行わないで下さい。上記に違反した場合、1 回の転送要求に対して 2 回の DMAC 転送が発生することがあります。

これを防ぐため、DMAC 転送が終了したのを確認して (DMAC トランスファエンド割り込みを待って) から、スリープモードへの遷移、スリープモードからの復帰、当該 DMAC チャンネルの DE ビット*²のクリア、DME ビット*³のクリアを行ってください。

上記条件で DMAC を起動している場合、アドレスエラー例外 (AE ビット*⁴をセットするような事象)、または NMI 割り込み例外発生が発生すると、同様に、1 回の転送要求に対して 2 回の DMAC 転送が発生することがあります。

【注】 *¹ DMA チャンネルコントロールレジスタ 0~5 (CHCR0~CHCR5) のビット 11~8 RS[3:0]ビット、および DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2) の設定により、転送要求元の指定を行います。

*² DMA チャンネルコントロールレジスタ 0~5 (CHCR0~CHCR5) のビット 0

*³ DMA オペレーションレジスタ 0 (DMAOR0) のビット 0

*⁴ DMA オペレーションレジスタ 0 (DMAOR0) のビット 2

12.5.10 DMAC フラグビットのクリアについて

DMA チャンネルコントロールレジスタ CHCR0~CHCR5 の HE ビット、TE ビット、および DMA オペレーションレジスタ DMAOR0 の AE ビット、NMIF ビットの各フラグが 1 にセットされるタイミングで、CPU による読み出しを行うと、CPU には 0 が返されますが、DMAC 内部論理は CPU に 1 を返したと認識することがあります。このため、その後 CPU が当該フラグに 0 を書き込むと、1 読み出し後の 0 書き込みの条件が成立し、当該フラグが誤ってクリアされることがあります。

これを回避するため、上記フラグのクリアを意図しない当該レジスタへの書き込みでは、当該フラグビットに 1 を書き込んでください (上記フラグビットへの 1 書き込みはフラグの値に影響を与えません)。上記フラグのクリアを意図する当該レジスタへの書き込みでのみ、当該フラグビットに 0 を書き込んでください。

13. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU (SH-4A) への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

13.1 特長

(1) SH-4 互換仕様

INTC には次のような特長があります。

- 外部割り込みの割り込み優先順位を15レベル設定可能

割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。

- NMIノイズキャンセル

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- SR.BLビットが1にセットされたときのNMI要求のマスク

SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

(2) SH-4A で拡張される機能

- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能

- 内蔵モジュール割り込みの優先順位は30レベル設定可能

13本の割り込み優先レベル設定レジスタにより、内蔵モジュール割り込みの優先順位を要求別に30レベルまで設定することができます。

- ユーザモード割り込み禁止機能

ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 13.1 に INTC のブロック図を示します。

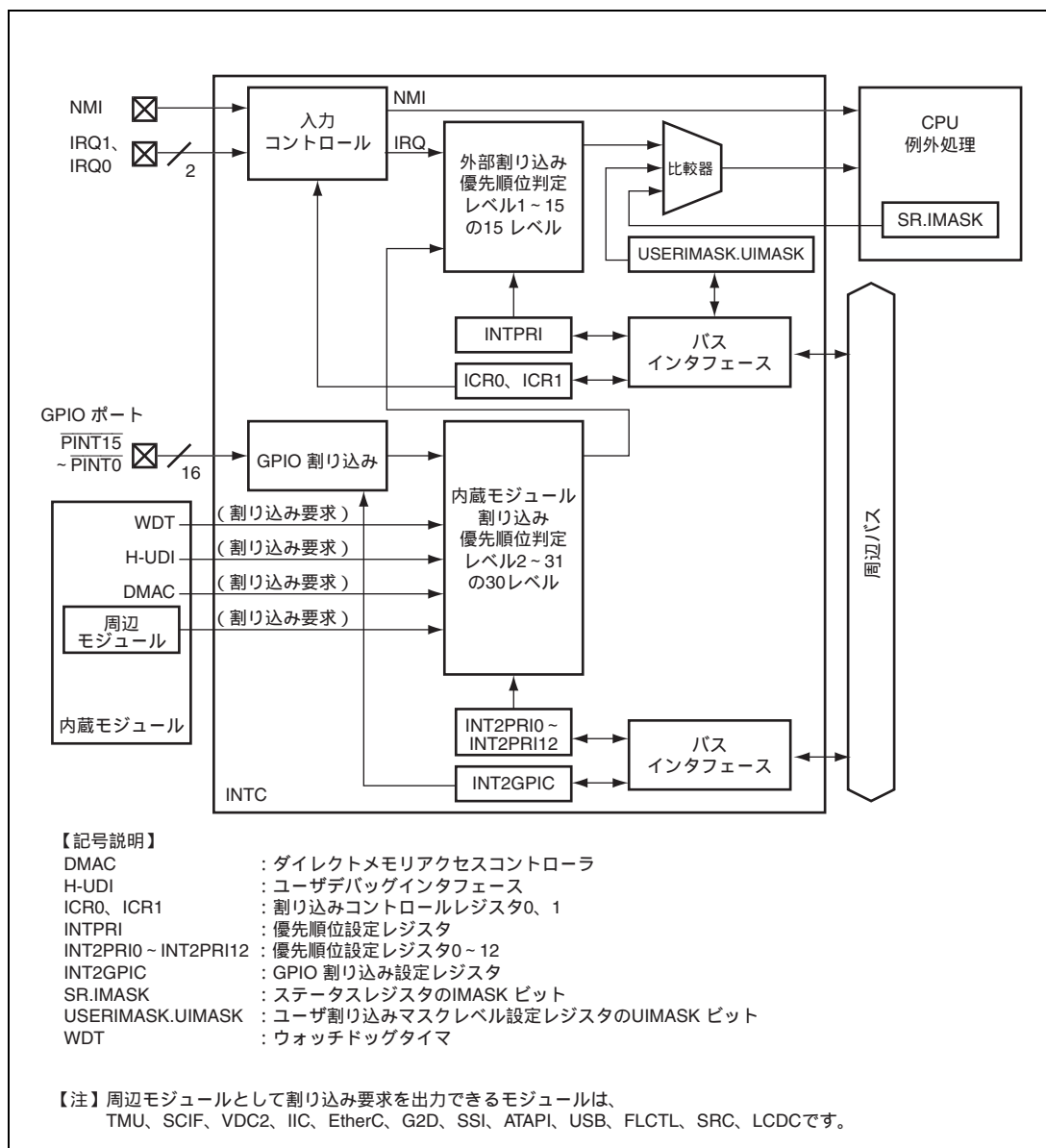


図 13.1 INTC のブロック図

13.1.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。

割り込み例外処理ルーチンの先頭番地ベクタベースレジスタ (VBR) + H'600にジャンプします。

7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

13.1.2 INTC で想定する割り込み

想定する割り込み種別の例を表 13.1 に示します。INTC では外部割り込み要因と内蔵モジュール割り込み要因をサポートします。

外部割り込み要因とは、外部端子からの入力による NMI、IRQ 割り込みのことです。

IRQ 割り込みでは検出方法としてレベルのほか、立ち上がりエッジ、立ち下がりエッジも選択可能です。

表 13.1 想定する割り込み

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考
外部割り込み	NMI	1	-	H'1C0	
	IRQ	2	INTPRI レジスタ設定値	H'240 H'280	IRQ0 IRQ1
内蔵 モジュール 割り込み	WDT	1	INT2PRI0 ~	H'560	ITI
	TMU0	1	INT2PRI12	H'580	TUNI0
	TMU1	1	レジスタ設定値	H'5A0	TUNI1
	TMU2	2		H'5C0 H'5E0	TUNI2 TICPI2
	H-UDI	1		H'600	H-UDI
	LCDC	1		H'620	LCDCI
	DMAC	7 (5/7)		H'640	DMINT0
				H'660	DMINT1
				H'680	DMINT2
				H'6A0	DMINT3
	SCIF0	4		H'6C0	DMAE (ch0 ~ ch5 共通)
				H'700	ERI0
				H'720	RXI0
				H'740	BRI0
	DMAC	7 (2/7)		H'760	TXI0
				H'780	DMINT4
				H'7A0	DMINT5
				H'860	VDCI
	VDC2	1		H'8A0	IICI
	IIC	1		H'920	EINT
	EtherC	1		H'980	G2DI
	G2D	1		H'A00	SSIDMA0
SSI_A	4		H'A20	SSICH0	
			H'A40	SSICH1	
			H'A60	SSICH2	
			H'AA0	SSIDMA1	
SSI_B	4		H'AC0	SSICH3	
			H'AE0	SSICH4	
			H'B00	SSICH5	

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考
内蔵 モジュール 割り込み	SCIF1	4	INT2PRI0 ~ INT2PRI12 レジスタ設定値	H'B80	ERI1
				H'BA0	RXI1
				H'BC0	BRI1
				H'BE0	TXI1
	ATAPI	1		H'C00	ATAI
	USB	1		H'C60	USBI
	FLCTL	4		H'D00	FLSTE
				H'D20	FLTEND
				H'D40	FLTRQ0
				H'D60	FLTRQ1
	TMU3	1		H'E00	TUNI3
	TMU4	1		H'E20	TUNI4
	TMU5	1		H'E40	TUNI5
	SRC	3		H'E80	SRC OVF
				H'EA0	SRC IDEI
				H'EC0	SRC ODFI
	SCIF2	4		H'F00	ERI2
				H'F20	RXI2
				H'F40	BRI2
				H'F60	TXI2
GPIO	4	H'F80	CH0		
		H'FA0	CH1		
		H'FC0	CH2		
		H'FE0	CH3		

【注】 *1 内蔵モジュール割り込みの要因で使用している略称

- ITI : WDT インターバルタイム割り込み
- TUNIO ~ TUNI5 : TMU チャンネル 0 ~ 5 アンダフロー割り込み
- TICPI2 : TMU チャンネル 2 インพุットキャプチャ割り込み
- DMINT0 ~ DMINT5 : DMAC チャンネル 0 ~ 5 転送終了割り込み
- DMAE : DMAC アドレスエラー割り込み (チャンネル 0 ~ 5 共通)
- ERI0, ERI1, ERI2 : SCIF チャンネル 0, 1, 2 受信エラー割り込み
- RXI0, RXI1, RXI2 : SCIF チャンネル 0, 1, 2 受信データフル割り込み
- BRI0, BRI1, BRI2 : SCIF チャンネル 0, 1, 2 ブレーク割り込み要求
- TXI0, TXI1, TXI2 : SCIF チャンネル 0, 1, 2 送信データエンプティ割り込み
- CH0 : PINT0 ~ PINT3 端子からの GPIO チャンネル 0 割り込み
- CH1 : PINT4 ~ PINT7 端子からの GPIO チャンネル 1 割り込み

- CH2 : $\overline{\text{PINT8}} \sim \overline{\text{PINT11}}$ 端子からの GPIO チャンネル 2 割り込み
 CH3 : $\overline{\text{PINT12}} \sim \overline{\text{PINT15}}$ 端子からの GPIO チャンネル 3 割り込み

13.2 入出力端子

表 13.2 に端子構成を以下に示します。

表 13.2 INTC の端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み入力端子	入力	マスク不可能な割り込み要求信号入力
IRQ1、IRQ0	外部割り込み入力端子	入力	IRQ1、IRQ0 割り込み要求信号の入力
$\overline{\text{IRQOUT}}$	割り込み要求出力端子	出力	割り込み要求が発生したことを外部デバイスに通知する信号の出力
$\overline{\text{PINT15}} \sim \overline{\text{PINT0}}$	ポート割り込み入力端子	入力	ポート割り込み要求信号入力

13.3 レジスタの説明

表 13.3 に INTC のレジスタ構成を示します。また、表 13.4 に各処理モードにおけるレジスタの状態を示します。

表 13.3 INTC のレジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32
割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32
割り込み要因レジスタ	INTREQ	R/W	H'FFD0 0024	H'1FD0 0024	32
割り込みマスクレジスタ	INTMSK	R/W	H'FFD0 0044	H'1FD0 0044	32
割り込みマスククリアレジスタ	INTMSKCLR	R/W	H'FFD0 0064	H'1FD0 0064	32
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'FFD0 00C0	H'1FD0 00C0	32
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32
割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32
割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32
割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32
割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32
割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32
割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32
割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32
割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32
割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 00A0	H'1FD4 00A0	32
割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FFD4 00A4	H'1FD4 00A4	32
割り込み優先順位設定レジスタ 10	INT2PRI10	R/W	H'FFD4 00A8	H'1FD4 00A8	32
割り込み優先順位設定レジスタ 11	INT2PRI11	R/W	H'FFD4 00AC	H'1FD4 00AC	32
割り込み優先順位設定レジスタ 12	INT2PRI12	R/W	H'FFD4 00B0	H'1FD4 00B0	32
割り込み要因レジスタ 0 (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32
割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	R	H'FFD4 00C0	H'1FD4 00C0	32
割り込み要因レジスタ 1 (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32
割り込み要因レジスタ 11 (マスク状態の影響あり)	INT2A11	R	H'FFD4 00C4	H'1FD4 00C4	32
割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32
割り込みマスクレジスタ 1	INT2MSKR1	R/W	H'FFD4 00D0	H'1FD4 00D0	32
割り込みマスククリアレジスタ	INT2MSKCR	W	H'FFD4 003C	H'1FD4 003C	32
割り込みマスククリアレジスタ 1	INT2MSKCR1	W	H'FFD4 00D4	H'1FD4 00D4	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
モジュール別割り込み要因レジスタ 0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32
モジュール別割り込み要因レジスタ 2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32
モジュール別割り込み要因レジスタ 3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32
モジュール別割り込み要因レジスタ 4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32
モジュール別割り込み要因レジスタ 5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32
モジュール別割り込み要因レジスタ 6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32
モジュール別割り込み要因レジスタ 7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32

表 13.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオンリセット PRESET 端子 / WDT/H-UDI による	スリープ SLEEP 命令による
割り込みコントロールレジスタ 0	ICR0	H'x000 0000	保持
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	保持
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	保持
割り込み要因レジスタ	INTREQ	H'0000 0000	保持
割り込みマスクレジスタ	INTMSK	H'FF00 0000	保持
割り込みマスククリアレジスタ	INTMSKCLR	H'0000 0000	保持
NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000	保持
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	保持
割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	保持
割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	保持
割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	保持
割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	保持
割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	保持
割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	保持
割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	保持
割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	保持
割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	保持
割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	保持
割り込み優先順位設定レジスタ 10	INT2PRI10	H'0000 0000	保持
割り込み優先順位設定レジスタ 11	INT2PRI11	H'0000 0000	保持
割り込み優先順位設定レジスタ 12	INT2PRI12	H'0000 0000	保持
割り込み要因レジスタ 0 (マスク状態の影響なし)	INT2A0	H'xxxx xxxx	保持
割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	H'xxxx xxxx	保持
割り込み要因レジスタ 1 (マスク状態の影響あり)	INT2A1	H'0000 0000	保持

名 称	略称	パワーオンリセット PRESET 端子 / WDT/H-UDI による	スリープ SLEEP 命令による
割り込み要因レジスタ 11 (マスク状態の影響あり)	INT2A11	H'0000 0000	保持
割り込みマスクレジスタ	INT2MSKR	H'FFFF FFFF	保持
割り込みマスクレジスタ 1	INT2MSKR1	H'FFFF FFFF	保持
割り込みマスククリアレジスタ	INT2MSKCR	H'0000 0000	保持
割り込みマスククリアレジスタ 1	INT2MSKCR1	H'0000 0000	保持
モジュール別割り込み要因レジスタ 0	INT2B0	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 2	INT2B2	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 3	INT2B3	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 4	INT2B4	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 5	INT2B5	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 6	INT2B6	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 7	INT2B7	H'xxxx xxxx	保持
GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	保持

13.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、NMI 端子の入力信号検出モードを設定し、NMI 端子入力されているレベルを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	—	—	—	—	—	—	—	—
初期値:	-	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 0: NMI 端子にローレベルが入力されている 1: NMI 端子にハイレベルが入力されている 本ビットへの書き込みは無効です。
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルがローレベルの期間すべての割り込みをマスクするかどうかを指定します。 0: NMI がローレベルでも割り込み許可 1: NMI がローレベルの期間、割り込み禁止
29~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のときに NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するか選択します。 0: SR.BL = 1 のとき NMI 割り込み要求を保留する (初期値) 1: SR.BL = 1 のとき NMI 割り込みを保留しない 【注】 SR.BL = 1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。

ビット	ビット名	初期値	R/W	説明
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出(初期値) 1: NMI 入力の立ち上がりエッジで割り込み要求を検出
23	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
22~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ1、IRQ0 に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを端子ごとに指定する読み出し/書き込み可能な 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S	IRQ1S	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	IRQ0S	00	R/W	IRQn センスセレクト
29、28	IRQ1S	00	R/W	IRQ1、IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するか選択します。 IRQnS IRQn 割り込み要求検出方法 00 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10 割り込み要求を IRQn 入力のローレベルで検出 11 割り込み要求を IRQn 入力のハイレベルで検出 【注】 n=0、1
27~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 IRQ がレベル入力に設定されている場合(IRQnS[1])、CPU が何らかの割り込みを受け付けるまで要因を保持します(IRQ であるとは限りません)。これにより、SLEEP からの復帰時に、復帰前に割り込み要因が取り下げられた場合でも割り込みハンドラに分岐することが保証されます。保持された割り込みは、該当する割り込みのマスクビット (割り込みマスクレジスタの IM ビット) を 1 にすることでクリアできます。

13.3.3 割り込み優先順位設定レジスタ (INTPRI)

INTPRI は、IRQ1、IRQ0 割り込みの優先順位 (レベル 15~0) を設定する読み出し / 書き込み可能な 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	IP0	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位
27~24	IP1	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

各 4 ビットのフィールドに HF~H'1 の値を設定して割り込み優先順位を定めてください。値が大きいほど優先レベルが高くなります。

また、H'0 を設定した場合は割り込みがマスクされます。(初期値)

13.3.4 割り込み要因レジスタ (INTREQ)

INTREQ は、INTC にどの IRQ_n (n=0、1) 割り込みが要求されているかを示す読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

INTPRI、INTMSK によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時 (ICR1.IRQnS = 00 または 01)	レベル検出時 (ICR1.IRQnS = 10 または 11)
31	IR0	0	R/W	読み込み時	読み込み時
30	IR1	0	R/W	0: 対応する割り込み要求を検出していません。 1: 対応する割り込みを要求検出しました。 書き込み時* 0: 1 を読み出したビットに限り 0 にクリアされます。 1: 検出した割り込み要求を保持します。	0: 対応する割り込み端子がアサートされていません。 1: 対応する割り込み端子がアサートされ、まだ CPU が受け付けていません。 書き込みは無効です。
29~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

【注】 n=0、1

* 0 を読み出したビットには 1 を書き込むようにしてください。

13.3.5 割り込みマスクレジスタ (INTMSK)

INTMSK は、IRQ_n (n=0、1) 割り込み要求ごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM00	1	R/W	IRQ0 の独立した割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
30	IM01	1	R/W	IRQ1 の独立した割り込み要因のマスク	
29~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

13.3.6 割り込みマスククリアレジスタ (INTMSKCLR)

INTMSKCLR は、IRQ_n (n = 0, 1) 割り込み要求ごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明	
31	IC00	不定	W	IRQ0 の独立した割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC01	不定	W	IRQ1 の独立した割り込み要因のマスククリア	
29~0	-	すべて不定	W	リザーブビット 書き込む値は常に 0 にしてください。	

13.3.7 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、読み出し、一部条件付き書き込み可能な NMI フラグ (NMIFL ビット) を持つ 32 ビットレジスタです。NMIFL ビットは、INTC により NMI が検出されると自動的に 1 にセットされます。NMIFL ビットは 0 を書き込むことでクリアされます。

NMIFL ビットの値は CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求は取り消されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値:	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル 0: NMI 端子にローレベルが入力されている 1: NMI 端子にハイレベルが入力されている 本ビットへの書き込みは無効です。
30~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NMIFL	0	R/W	NMI フラグ (NMI 割り込み要求信号検出) 読み出し時 1: NMI が検出された 0: NMI が検出されていない 書き込み時 0: NMI フラグをクリア 1: 無効 (1 書き込みは無視されます)
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.3.8 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定するための読み出し、一部条件付き書き込み可能な 32 ビットレジスタです。エリア 7 アドレスに MMU のアドレス変換を使用してアクセスすることにより、本レジスタはユーザモードでアクセス可能です。INTC のその他のレジスタとは異なる 64K バイトページに配置されますので、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外の全割り込みがマスクされます。

UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスクレジスタの対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられても UIMASK の値は変化しません。

パワーオンリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK			—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	H'00	R/W	リザーブビット 読み出すと常に 0 が読み出されます。 UIMASK ビットに値を書き込むときは、本ビットは H'A5 に設定してください (書き込んでください)。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	H'0	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64KB 空間に配置されています。ユーザモードで本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS の場合、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ず UIMASK ビットを 0 にクリアしてください。誤って UIMASK ビットに 0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下 (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
 - (A) デバイスドライバ中で割り込み受けられるべき割り込み
(OS で使用する割り込み; タイマ割り込み等)
 - (B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみ USERIMASK が存在するアドレス空間へのアクセスを許可するように MMU を設定します。
3. デバイスドライバに分岐する。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるように UIMASK ビットを設定する。
5. デバイスドライバ中で緊急度の高い処理を行う。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰する。

13.3.9 割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI12)

割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI12) は、内蔵モジュール割り込みの優先順位 (レベル 31 ~ 0) を設定します。

INT2PRI0 ~ INT2PRI12 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタです。リセット時は 0 に初期化されます。

本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り、30 レベル (H'00 と H'01 は割り込み要求をマスク) の優先レベルに割り付け設定することが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INT2PRI0 ~ INT2PRI12 レジスタの各ビットの対応を表 13.5 に示します。

表 13.5 割り込み要求元と INT2PRI0 ~ INT2PRI12 レジスタ

レジスタ	ビット			
	28 ~ 24	20 ~ 16	12 ~ 8	4 ~ 0
INT2PRI0	TMU0(TUNI0)	TMU0(TUNI1)	TMU0(TUNI2)	TMU0(TICPI2)
INT2PRI1	TMU1(TUNI3)	TMU1(TUNI4)	TMU1(TUNI5)	リザーブ
INT2PRI2	SCIF0	SCIF1	WDT	リザーブ
INT2PRI3	H-UDI	DMAC	リザーブ	リザーブ
INT2PRI4	リザーブ	G2D	SSI_A(SSIDMA0)	SSI_A(SSICH0)
INT2PRI5	SSI_A(SSICH1)	SSI_A(SSICH2)	リザーブ	SSI_B
INT2PRI6	ATAPI	リザーブ	FLCTL	SRC (OVF)
INT2PRI7	SCIF2	GPIO	リザーブ	リザーブ
INT2PRI8	リザーブ	SRC (ODFI)	SRC (IDEI)	リザーブ
INT2PRI9	LCDC	リザーブ	リザーブ	IIC
INT2PRI10	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI11	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI12	VDC2	リザーブ	USB	EtherC

【注】 大きい値ほど優先度が高くなります。なお、設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。

13.3.10 割り込み要因レジスタ 0 (マスク状態の影響なし) (INT2A0)

INT2A0 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GPIO	—	SRC	FLCTL	—	ATAPI	SSI_B	—	SSI_A CH2	SSI_A CH1
初期値:	0	0	0	0	0	0	—	0	—	—	0	—	—	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSI_A CH0	SSI_A DMA0	G2D	—	—	—	—	DMAC	H-UDI	—	WDT	SCIF1	SCIF0	—	TMU1	TMU0
初期値:	—	—	—	0	0	0	0	—	—	0	—	—	—	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。 0 : 割り込み無し 1 : 割り込み発生 【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。 書き込みは無効です。 割り込み要因は各内蔵モジュールが保留しています。
25	GPIO	不定	R	GPIO 割り込み要因表示	
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
23	SRC	不定	R	SRC OVF 割り込み要因表示	
22	FLCTL	不定	R	FLCTL 割り込み要因表示	
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
20	ATAPI	不定	R	ATAPI 割り込み要因表示	
19	SSI_B	不定	R	SSI_B 割り込み要因表示	
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
17	SSI_ACH2	不定	R	SSI_A (SSICH2) 割り込み要因表示	
16	SSI_ACH1	不定	R	SSI_A (SSICH1) 割り込み要因表示	
15	SSI_ACH0	不定	R	SSI_A (SSICH0) 要因表示	
14	SSI_ADMA0	不定	R	SSI_A (SSIDMA0) 要因表示	
13	G2D	不定	R	G2D 割り込み要因表示	
12~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	

ビット	ビット名	初期値	R/W	説明	
8	DMAC	不定	R	DMAC チャンネル 0~5 割り込み要因表示およびアドレスエラー割り込み	<p>内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。</p> <p>0 : 割り込み無し 1 : 割り込み発生</p> <p>【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p> <p>書き込みは無効です。</p> <p>割り込み要因は各内蔵モジュールが保留しています。</p>
7	H-UDI	不定	R	H-UDI 割り込み要因表示	
6	-	0	R	読み出すと常に 0 が読み出されます。	
5	WDT	不定	R	WDT 割り込み要因表示	
4	SCIF1	不定	R	SCIF1 割り込み要因表示	
3	SCIF0	不定	R	SCIF0 割り込み要因表示	
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
1	TMU1	不定	R	TMU1 割り込み要因表示	
0	TMU0	不定	R	TMU0 割り込み要因表示	

13.3.11 割り込み要因レジスタ 01 (マスク状態の影響なし) (INT2A01)

INT2A01 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A11 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF2	—	—	—	—	—	VDC2	—	USB	EtherC
初期値:	0	0	0	0	0	0	—	0	0	0	0	0	—	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LCDC	—	—	IIC	—	SRC ODFI	SRC IDEI	—
初期値:	0	0	0	0	0	0	0	0	—	0	0	—	0	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。 0 : 割り込み無し 1 : 割り込み発生 【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。 書き込みは無効です。 割り込み要因は各内蔵モジュールが保留しています。ただし、SRC の ODFI、および IDEI 割り込み要因は要因が解除されると、本レジスタの値も 0 となります。
25	SCIF2	不定	R	SCIF2 割り込み要因表示	
24~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
19	VDC2	不定	R	VDC2 割り込み要因表示	
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
17	USB	不定	R	USB 割り込み要因表示	
16	EtherC	不定	R	EtherC 割り込み要因表示	
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
7	LCDC	不定	R	LCDC 割り込み要因表示	
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
4	IIC	不定	R	IIC 割り込み要因表示	
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
2	SRCODFI	不定	R	SRC ODFI 割り込み要因表示	
1	SRCIDEI	不定	R	SRC IDEI 割り込み要因表示	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	

13.3.12 割り込み要因レジスタ 1 (マスク状態の影響あり) (INT2A1)

INT2A1 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態に関わらず割り込みへ発生の有無を確認する場合は、INT2A0 レジスタを使用ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GPIO	—	SRC	FLCTL	—	ATAPI	SSI_B	—	SSI_A CH2	SSI_A CH1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSI_A CH0	SSI_A DMA0	G2D	—	—	—	—	DMAC	H-UDI	—	WDT	SCIF1	SCIF0	—	TMU1	TMU0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの影響を受けるレジスタです)。 0 : 割り込み無し 1 : 割り込み発生 【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。 書き込みは無効です。 割り込み要因は各内蔵モジュールが保留しています。
25	GPIO	0	R	GPIO 割り込み要因表示	
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
23	SRC	0	R	SRC OVF 割り込み要因表示	
22	FLCTL	0	R	FLCTL 割り込み要因表示	
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
20	ATAPI	0	R	ATAPI 割り込み要因表示	
19	SSI_B	0	R	SSI_B 割り込み要因表示	
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
17	SSI_ACH2	0	R	SSI_A (SSICH2) 割り込み要因表示	
16	SSI_ACH1	0	R	SSI_A (SSICH1) 割り込み要因表示	
15	SSI_ACH0	0	R	SSI_A (SSICH0) 割り込み要因表示	
14	SSI_ADMA0	0	R	SSI_A (SSIDMA0) 割り込み要因表示	
13	G2D	0	R	G2D 割り込み要因表示	
12~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
8	DMAC	0	R	DMAC チャンネル 0~5 割り込み要因表示	
7	H-UDI	0	R	H-UDI 割り込み要因表示	
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	

ビット	ビット名	初期値	R/W	説 明	
5	WDT	0	R	WDT 割り込み要因表示	<p>内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの影響を受けるレジスタです)。</p> <p>0 : 割り込み無し 1 : 割り込み発生</p> <p>【注】CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p> <p>書き込みは無効です。</p> <p>割り込み要因は各内蔵モジュールが保留しています。</p>
4	SCIF1	0	R	SCIF1 割り込み要因表示	
3	SCIF0	0	R	SCIF0 割り込み要因表示	
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	
1	TMU1	0	R	TMU1 割り込み要因表示	
0	TMU0	0	R	TMU0 割り込み要因表示	

13.3.13 割り込み要因レジスタ 11 (マスク状態の影響あり) (INT2A11)

INT2A11 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の32ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません(1にセットされません)。割り込みマスクレジスタの状態に関わらず割り込みへ発生の有無を確認する場合は、INT2A01 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF2	—	—	—	—	—	VDC2	—	USB	EtherC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LCDC	—	—	IIC	—	SRC ODFI	SRC IDEI	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。	内蔵モジュール種別ごとに割り込み要因を表示します(割り込みマスクレジスタの影響を受けるレジスタです)。 0: 割り込み無し 1: 割り込み発生 【注】CPUに通知されたINTEVT(例外コード)を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。 書き込みは無効です。 割り込み要因は各内蔵モジュールが保留しています。ただし、SRCのODFI、およびIDEI割り込み要因は要因が解除されると、本レジスタの値も0となります。
25	SCIF2	0	R	SCIF2 割り込み要因表示	
24~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。	
19	VDC2	0	R	VDC2 割り込み要因表示	
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。	
17	USB	0	R	USB 割り込み要因表示	
16	EtherC	0	R	EtherC 割り込み要因表示	
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。	
7	LCDC	0	R	LCDC 割り込み要因表示	
6, 5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。	
4	IIC	0	R	IIC 割り込み要因表示	
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。	
2	SRCODFI	0	R	SRC ODFI 割り込み要因表示	
1	SRCIDEI	0	R	SRC IDEI 割り込み要因表示	
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。	

13.3.14 割り込みマスクレジスタ (INT2MSKR)

INT2MSKR は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (=すべてマスク) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GPIO	—	SRC	FLCTL	—	ATAPI	SSI_B	—	SSI_A CH2	SSI_A CH1
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSI_A CH0	SSI_A DMA0	G2D	—	—	—	—	DMAC	H-UDI	—	WDT	SCIF1	SCIF0	—	TMU1	TMU0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	内蔵モジュール別に割り込みマスクを設定します。 書き込み時 0: 無効 1: 割り込みマスク設定 読み出し時 0: マスク設定なし 1: マスク設定有り
25	GPIO	1	R/W	GPIO 割り込みマスク設定	
24	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
23	SRC	1	R/W	SRC OVF 割り込みマスク設定	
22	FLCTL	1	R/W	FLCTL 割り込みマスク設定	
21	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
20	ATAPI	1	R/W	ATAPI 割り込みマスク設定	
19	SSI_B	1	R/W	SSI_B 割り込みマスク設定	
18	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
17	SSI_ACH2	1	R/W	SSI_A (SSICH2) 割り込みマスク設定	
16	SSI_ACH1	1	R/W	SSI_A (SSICH1) 割り込みマスク設定	
15	SSI_ACH0	1	R/W	SSI_A (SSICH0) 割り込みマスク設定	
14	SSI_ADMA0	1	R/W	SSI_A (SSIDMA0) 割り込みマスク設定	
13	G2D	1	R/W	G2D 割り込みマスク設定	
12~9	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	

ビット	ビット名	初期値	R/W	説明	
8	DMAC	1	R/W	DMAC チャンネル 0~5 割り込みマスク設定	内蔵モジュール別に割り込みマスクを設定します。 書き込み時 0: 無効 1: 割り込みマスク設定 読み出し時 0: マスク設定なし 1: マスク設定有り
7	H-UDI	1	R/W	H-UDI 割り込みマスク設定	
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
5	WDT	1	R/W	WDT 割り込みマスク設定	
4	SCIF1	1	R/W	SCIF1 割り込みマスク設定	
3	SCIF0	1	R/W	SCIF0 割り込みマスク設定	
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
1	TMU1	1	R/W	TMU1 割り込みマスク設定	
0	TMU0	1	R/W	TMU0 割り込みマスク設定	

13.3.15 割り込みマスクレジスタ 1 (INT2MSKR1)

INT2MSKR1 は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (= すべてマスク) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF2	—	—	—	—	—	VDC2	—	USB	EtherC
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LCDC	—	—	IIC	—	SRC ODFI	SRC IDEI	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	内蔵モジュール別に割り込みマスクを設定します。 書き込み時 0: 無効 1: 割り込みマスク設定 読み出し時 0: マスク設定なし 1: マスク設定有り
25	SCIF2	1	R/W	SCIF2 割り込みマスク設定	
24~20	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
19	VDC2	1	R/W	VDC2 割り込みマスク設定	
18	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
17	USB	1	R/W	USB 割り込みマスク設定	
16	EtherC	1	R/W	EtherC 割り込みマスク設定	
15~8	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
7	LCDC	1	R/W	LCDC 割り込みマスク設定	
6, 5	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
4	IIC	1	R/W	IIC 割り込みマスク設定	
3	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	
2	SRCODFI	1	R/W	SRC ODFI 割り込みマスク設定	

ビット	ビット名	初期値	R/W	説 明	
1	SRCIDEI	1	R/W	SRC IDEI 割り込みマスク設定	内蔵モジュール別に割り込みマスクを設定します。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。 書き込む値も常に 1 にしてください。	書き込み時 0: 無効 1: 割り込みマスク設定 読み出し時 0: マスク設定なし 1: マスク設定有り

13.3.16 割り込みマスククリアレジスタ (INT2MSKCR)

INT2MSKCR は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しは常に 0 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GPIO	—	SRC	FLCTL	—	ATAPI	SSI_B	—	SSI_A CH2	SSI_A CH1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSI_A CH0	SSI_A DMA0	G2D	—	—	—	—	DMAC	H-UDI	—	WDT	SCIF1	SCIF0	—	TMU1	TMU0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	内蔵モジュール別の割り込みマスクをクリア設定します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に 0 です
25	GPIO	0	W	GPIO 割り込みマスククリア設定	
24	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
23	SRC	0	W	SRC OVF 割り込みマスククリア設定	
22	FLCTL	0	W	FLCTL 割り込みマスククリア設定	
21	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
20	ATAPI	0	W	ATAPI 割り込みマスククリア設定	
19	SSI_B	0	W	SSI_B 割り込み要因表示	
18	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
17	SSI_ACH2	0	W	SSI_A (SSICH2) 割り込みマスククリア設定	
16	SSI_ACH1	0	W	SSI_A (SSICH1) 割り込みマスククリア設定	
15	SSI_ACH0	0	W	SSI_A (SSICH0) 割り込みマスククリア設定	
14	SSI_ADMA0	0	W	SSI_A (SSIDMA0) 割り込みマスククリア設定	
13	G2D	0	W	G2D 割り込みマスククリア設定	
12~9	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	

ビット	ビット名	初期値	R/W	説 明	
8	DMAC	0	W	DMAC 割り込みマスククリア設定	内蔵モジュール別の割り込みマスクをクリア設定します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に0です
7	H-UDI	0	W	H-UDI 割り込みマスククリア設定	
6	-	0	W	リザーブビット 書き込み時は常に0を書いてください。	
5	WDT	0	W	WDT 割り込みマスククリア設定	
4	SCIF1	0	W	SCIF1 割り込みマスククリア設定	
3	SCIF0	0	W	SCIF0 割り込みマスククリア設定	
2	-	0	W	リザーブビット 書き込み時は常に0を書いてください。	
1	TMU1	0	W	TMU1 割り込みマスククリア設定	
0	TMU0	0	W	TMU0 割り込みマスククリア設定	

13.3.17 割り込みマスククリアレジスタ 1 (INT2MSKCR1)

INT2MSKCR1 は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しは常に 0 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF2	—	—	—	—	—	VDC2	—	USB	EtherC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LCDC	—	—	IIC	—	SRC ODFI	SRC IDEI	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明	
31~26	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	内蔵モジュール別の割り込みマスクをクリア設定しません。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に 0 です
25	SCIF2	0	W	SCIF2 割り込みマスククリア設定	
24~20	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
19	VDC2	0	W	VDC2 割り込みマスククリア設定	
18	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
17	USB	0	W	USB 割り込みマスククリア設定	
16	EtherC	0	W	EtherC 割り込みマスククリア設定	
15~8	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
7	LCDC	0	W	LCDC 割り込みマスククリア設定	
6, 5	-	すべて 0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
4	IIC	0	W	IIC 割り込みマスククリア設定	
3	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	
2	SRCODFI	0	W	SRC ODFI 割り込みマスククリア設定	
1	SRCIDEI	0	W	SRC IDEI 割り込みマスククリア設定	
0	-	0	W	リザーブビット 書き込み時は常に 0 を書いてください。	

13.3.18 内蔵モジュール別割り込み要因レジスタ (INT2B0、INT2B2～INT2B7)

INT2B0、INT2B2～INT2B7は、割り込み要因レジスタで表示されているモジュール種別の要因に対して、更に詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、何れも読み出し専用の32ビットのレジスタです。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュールの割り込みマスクレジスタ、または割り込みイネーブルレジスタを設定する必要があります。INT2B0、INT2B2～INT2B7はすべて読み出し専用の32ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TUNI5	TUNI4	TUNI3	TICPI2	TUNI2	TUNI1	TUNI0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) INT2B0 レジスタ : TMU モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
TMU モジュール	31～7	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	TMUの割り込み要因が表示されず、本レジスタの表示は、割り込みマスクレジスタにてTMUをマスク設定しても表示は消えません。
	6	TUNI5	TMUチャンネル5 アンドフロー割り込み	
	5	TUNI4	TMUチャンネル4 アンドフロー割り込み	
	4	TUNI3	TMUチャンネル3 アンドフロー割り込み	
	3	TICPI2	TMUチャンネル2 インพุットキャプチャ割り込み	
	2	TUNI2	TMUチャンネル2 アンドフロー割り込み	
	1	TUNI1	TMUチャンネル1 アンドフロー割り込み	
	0	TUNI0	TMUチャンネル0 アンドフロー割り込み	

(2) INT2B2 レジスタ : SCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF1 モジュール	31~8	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	SCIFの割り込み要因が表示されず、本レジスタの表示は、割り込みマスクレジスタにてSCIFをマスク設定しても表示は消えません。
	7	TXI1	SCIFチャンネル1送信FIFOデータエンプティによる割り込み	
	6	BRI1	SCIFチャンネル1ブレイクまたはオーバーランエラーによる割り込み	
	5	RXI1	SCIFチャンネル1受信FIFOデータフルまたは受信データレディによる割り込み	
	4	ERI1	SCIFチャンネル1受信エラー割り込み	
SCIF0 モジュール	3	TXI0	SCIFチャンネル0送信FIFOデータエンプティによる割り込み	
	2	BRI0	SCIFチャンネル0ブレイクまたはオーバーランエラーによる割り込み	
	1	RXI0	SCIFチャンネル0受信FIFOデータフルまたは受信データレディによる割り込み	
	0	ERI0	SCIFチャンネル0受信エラー割り込み	

(3) INT2B3 レジスタ : DMAC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
DMAC モジュール	31~13	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	DMACの割り込み要因が表示されず、本レジスタの表示は、割り込みマスクレジスタにてDMACをマスク設定しても表示は消えません。
	12	DMAE	チャンネル0~5DMAアドレスエラー割り込み	
	11~6	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	
	5	DMINT5	チャンネル5DMA転送終了割り込み	
	4	DMINT4	チャンネル4DMA転送終了割り込み	
	3	DMINT3	チャンネル3DMA転送終了/ハーフエンド割り込み	
	2	DMINT2	チャンネル2DMA転送終了/ハーフエンド割り込み	
	1	DMINT1	チャンネル1DMA転送終了/ハーフエンド割り込み	
	0	DMINT0	チャンネル0DMA転送終了/ハーフエンド割り込み	

(4) INT2B4 レジスタ : SSI モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SSI モジュール	31~9	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	SSI の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて SSI をマスク設定しても表示は消えません。
	8	SSICH5	SSI ch5 割り込み	
	7	SSICH4	SSI ch4 割り込み	
	6	SSICH3	SSI ch3 割り込み	
	5	SSIDMA1	SSI DMA1 割り込み	
	4	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	
	3	SSICH2	SSI ch2 割り込み	
	2	SSICH1	SSI ch1 割り込み	
	1	SSICH0	SSI ch0 割り込み	
0	SSIDMA0	SSI DMA0 割り込み		

(5) INT2B5 レジスタ : FLCTL モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
FLCTL モジュール	31~4	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	FLCTL の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて FLCTL をマスク設定しても表示は消えません。
	3	FLTRQ1	FLCTL FLECFIFO 転送要求割り込み	
	2	FLTRQ0	FLCTL TLDFFIFO 転送要求割り込み	
	1	FLTEND	FLCTL 転送終了割り込み	
	0	FLSTE	FLCTL ステータスエラーまたはレディ / ビジータイムアウトエラー割り込み	

(6) INT2B6 レジスタ : SCIF2 モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF2 モジュール	31~4	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	SCIF2 の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて SCIF2 をマスク設定しても表示は消えません。
	3	TXI2	チャンネル 2 送信 FIFO データエンプティ割り込み	
	2	BRI2	チャンネル 2 ブレークまたはオーバーランエラー割り込み	
	1	RXI2	チャンネル 2 受信 FIFO データフルまたは受信データレディ割り込み	
	0	ERI2	チャンネル 2 受信エラー割り込み	

(7) INT2B7 レジスタ : GPIO モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GPIO モジュール	31~28	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	GPIO の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて GPIO をマスク設定しても表示は消えません。
	27	PINT15I	PINT15 端子からの GPIO チャンネル 3 割り込み	
	26	PINT14I	PINT14 端子からの GPIO チャンネル 3 割り込み	
	25	PINT13I	PINT13 端子からの GPIO チャンネル 3 割り込み	
	24	PINT12I	PINT12 端子からの GPIO チャンネル 3 割り込み	
	23~20	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	
	19	PINT11I	PINT11 端子からの GPIO チャンネル 2 割り込み	
	18	PINT10I	PINT10 端子からの GPIO チャンネル 2 割り込み	
	17	PINT9I	PINT9 端子からの GPIO チャンネル 2 割り込み	
	16	PINT8I	PINT8 端子からの GPIO チャンネル 2 割り込み	
	15~12	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	
	11	PINT7I	PINT7 端子からの GPIO チャンネル 1 割り込み	
	10	PINT6I	PINT6 端子からの GPIO チャンネル 1 割り込み	
	9	PINT5I	PINT5 端子からの GPIO チャンネル 1 割り込み	
	8	PINT4I	PINT4 端子からの GPIO チャンネル 1 割り込み	

モジュール	ビット	要 因		説 明
GPIO モジュール	7~4	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	GPIO の割り込み要因が表示されます。 本レジスタの表示は、割り込みマスクレジスタにて GPIO をマスク設定しても表示は消えません。
	3	PINT3I	PINT3 端子からの GPIO チャンネル0 割り込み	
	2	PINT2I	PINT2 端子からの GPIO チャンネル0 割り込み	
	1	PINT1I	PINT1 端子からの GPIO チャンネル0 割り込み	
	0	PINT0I	PINT0 端子からの GPIO チャンネル0 割り込み	

13.3.19 GPIO 割り込み設定レジスタ (INT2GPIC)

INT2GPIC は、GPIO 割り込みとしてポート A0~7、B0~7 からの割り込み要求入力を許可します。

GPIO 割り込みは、ローアクティブなレベル割り込みです。GPIO 割り込みとして使用する各ポートコントロールレジスタ (A、B) で該当する端子をポート入力に設定した後、割り込み要求の許可を行ってください。ポートコントロールレジスタについては、「第 27 章 汎用入出力ポート (GPIO)」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PINT 15E	PINT 14E	PINT 13E	PINT 12E	—	—	—	—	PINT 11E	PINT 10E	PINT 9E	PINT 8E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PINT 7E	PINT 6E	PINT 5E	PINT 4E	—	—	—	—	PINT 3E	PINT 2E	PINT 1E	PINT 0E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明	
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	GPIO 割り込み入力端子別に割り込み要求を許可します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
27	PINT15E	0	R/W	PINT15 端子からの GPIO チャンネル3 割り込み要求を許可	
26	PINT14E	0	R/W	PINT14 端子からの GPIO チャンネル3 割り込み要求を許可	
25	PINT13E	0	R/W	PINT13 端子からの GPIO チャンネル3 割り込み要求を許可	
24	PINT12E	0	R/W	PINT12 端子からの GPIO チャンネル3 割り込み要求を許可	
23~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
19	PINT11E	0	R/W	PINT11 端子からの GPIO チャンネル2 割り込み要求を許可	

ビット	ビット名	初期値	R/W	説明	
18	PINT10E	0	R/W	PINT10 端子からの GPIO チャンネル 2 割り込み要求を許可	GPIO 割り込み入力端子別に割り込み要求を許可します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
17	PINT9E	0	R/W	PINT9 端子からの GPIO チャンネル 2 割り込み要求を許可	
16	PINT8E	0	R/W	PINT8 端子からの GPIO チャンネル 2 割り込み要求を許可	
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
11	PINT7E	0	R/W	PINT7 端子からの GPIO チャンネル 1 割り込み要求を許可	
10	PINT6E	0	R/W	PINT6 端子からの GPIO チャンネル 1 割り込み要求を許可	
9	PINT5E	0	R/W	PINT5 端子からの GPIO チャンネル 1 割り込み要求を許可	
8	PINT4E	0	R/W	PINT4 端子からの GPIO チャンネル 1 割り込み要求を許可	
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
3	PINT3E	0	R/W	PINT3 端子からの GPIO チャンネル 0 割り込み要求を許可	
2	PINT2E	0	R/W	PINT2 端子からの GPIO チャンネル 0 割り込み要求を許可	
1	PINT1E	0	R/W	PINT1 端子からの GPIO チャンネル 0 割り込み要求を許可	
0	PINT0E	0	R/W	PINT0 端子からの GPIO チャンネル 0 割り込み要求を許可	

GPIO のポートを割り込み入力端子として使用した場合、GPIO が割り込みを検出すると、GPIO から INTC へ割り込みが通知されますが、INTC としては割り込み要因レジスタ INT2A0 または INT2A1 に 1 ビットの要因として表示します。この場合、モジュール別割り込み要因レジスタ INT2B7 を参照することでどのチャンネルの何番の端子から割り込みが発生しているかを特定することが可能です。チャンネルの特定は CPU の INTEVT (例外コード) を参照することでも可能です。

13.4 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

13.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIエッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

NMI割り込み例外処理によって、SRの割り込みマスクレベル (IMASK) が影響されることはありません。

13.4.2 IRQ 割り込み

IRQ 割り込みは、ICR1のIRQnS[1:0] (n=1, 0) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ (INTPRI) により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

ただし、IRQ 割り込み要求の検出後、CPUが受け付ける前にIRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQで要因を保持しています。CPUが何らかの割り込み (IRQ 割り込みとはかぎりません) を受け付けるか、該当する割り込みマスクビットに1をセットするまで要因を保持します。割り込み処理ルーチンでIRQ 割り込み要因をクリアした後、INTREQで保持している要因を0にクリアしてください。クリア方法の詳細は「13.7.3 IRQ 割り込み要求のクリア方法」を参照してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

13.4.3 内蔵周辺モジュール割り込み

内蔵モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0 ~ INT2PRI12 によって、モジュールごとに優先レベル 31 ~ 0 の範囲で設定できます。ただし、CPU に通知する時には、最下位 1 ビットを切り捨てた 4 ビットに変換します。詳細は、「13.4.4 内蔵周辺モジュール割り込み優先順位」を参照してください。

内蔵周辺モジュール割り込み処理によって、SR の割り込みマスクビット (IMASK) が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺モジュールのレジスタを読み出してから BL ビットを 0 にしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

13.4.4 内蔵周辺モジュール割り込み優先順位

内蔵周辺モジュール割り込みは、割り込み時に、要因固有の識別として割り込み例外コードを CPU へ出力します。CPU は割り込みを受け付けると INTEVT レジスタに該当する例外コードを表示します。割り込みハンドラは、CPU の INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 13.1 を参照してください。

また、内蔵周辺モジュール割り込みでは図 13.2 に示すように、個々の割り込み要因を 5 ビットで 30 レベル(大きい値ほど優先順位が高い。H'00 と H'01 は割り込み要求をマスク)に設定することが可能です。CPU の割り込みレベル受信インタフェースは 4 ビットで 15 レベル (H'0 は割り込み要求をマスク) ですが、内蔵周辺モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。例えば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する例外コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する例外コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 13.1 に示す優先順位で例外コードが通知されます。

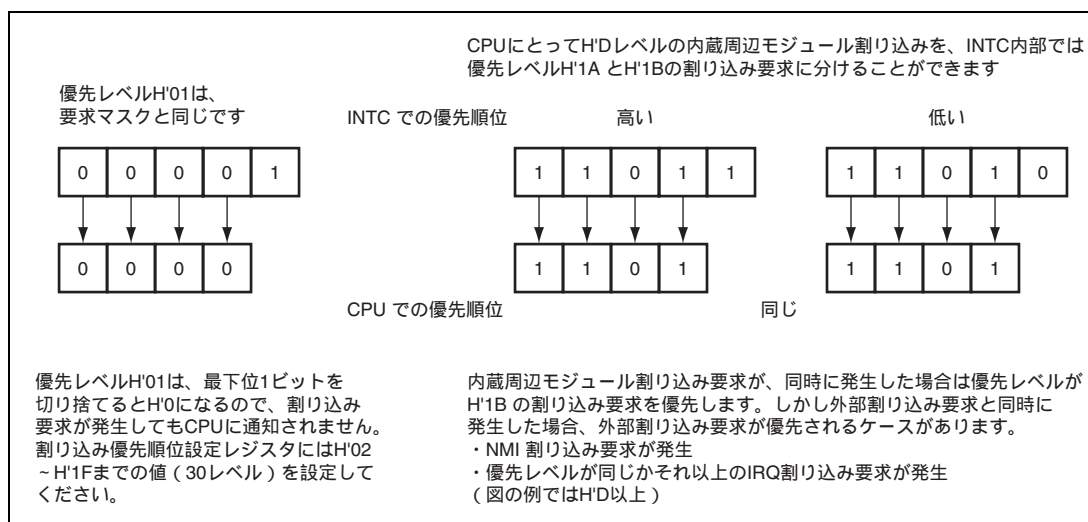


図 13.2 内蔵周辺モジュール割り込みの優先レベルについて

13.4.5 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 13.6 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

内蔵モジュールの優先順位は、INT2PRI0 ~ INT2PRI12 によって、優先レベル 31 ~ 0 の範囲で任意に設定できます。リセットによって、内蔵モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 13.6 に示すデフォルト優先順位に従って処理されます。

INTPRI、INT2PRI0 ~ INT2PRI12 の更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

割り込み要因		INTEVT (例外 コード)	割り込み 優先順位	INTC での マスク / クリア レジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内 での 優先順位	デフォルト 優先順位
EtherC	EINT	H'920	INT2PRI12[4:0]	INT2MSKR1[16] INT2MSKCR1[16]	INT2A01[16] INT2A11[16]	-		高 ↑ ↓ 低
G2D	G2DI	H'980	INT2PRI4[20:16]	INT2MSKR[13] INT2MSKCR[13]	INT2A0[13] INT2A1[13]	-		
SSI_A	SSIDMA0	H'A00	INT2PRI4[12:8]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	INT2B4[0]		
	SSICH0	H'A20	INT2PRI4[4:0]	INT2MSKR[15] INT2MSKCR[15]	INT2A0[15] INT2A1[15]	INT2B4[1]		
	SSICH1	H'A40	INT2PRI5[28:24]	INT2MSKR[16] INT2MSKCR[16]	INT2A0[16] INT2A1[16]	INT2B4[2]		
	SSICH2	H'A60	INT2PRI5[20:16]	INT2MSKR[17] INT2MSKCR[17]	INT2A0[17] INT2A1[17]	INT2B4[3]		
SSI_B	SSIDMA1	H'AA0	INT2PRI5[4:0]	INT2MSKR[19]	INT2A0[19]	INT2B4[5]		
	SSICH3	H'AC0		INT2MSKCR[19]	INT2A1[19]	INT2B4[6]		
	SSICH4	H'AE0				INT2B4[7]		
	SSICH5	H'B00				INT2B4[8]		
SCIF1	ERI1*	H'B80	INT2PRI2[20:16]	INT2MSKR[4]	INT2A0[4]	INT2B2[4]	高 ↑ ↓ 低	
	RX11*	H'BA0		INT2MSKCR[4]	INT2A1[4]	INT2B2[5]		
	BRI1*	H'BC0				INT2B2[6]		
	TX11*	H'BE0				INT2B2[7]		
ATAPI	ATAI	H'C00	INT2PRI6[28:24]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	-		
USB	USBI	H'C60	INT2PRI12[12:8]	INT2MSKR1[17] INT2MSKCR1[17]	INT2A01[17] INT2A11[17]	-		
FLCTL	FLSTE	H'D00	INT2PRI6[12:8]	INT2MSKR[22]	INT2A0[22]	INT2B5[0]	高 ↑ ↓ 低	
	FLTEND	H'D20		INT2MSKCR[22]	INT2A1[22]	INT2B5[1]		
	FLTRQ0	H'D40				INT2B5[2]		
	FLTRQ1	H'D60				INT2B5[3]		
TMU3	TUNI3*	H'E00	INT2PRI1[28:24]	INT2MSKR[1]	INT2A0[1]	INT2B0[4]		
TMU4	TUNI4*	H'E20	INT2PRI1[20:16]	INT2MSKCR[1]	INT2A1[1]	INT2B0[5]		
TMU5	TUNI5*	H'E40	INT2PRI1[12:8]			INT2B0[6]		

割り込み要因		INTEVT (例外 コード)	割り込み 優先順位	INTC での マスク/クリア レジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内 での 優先順位	デフォルト 優先順位
SRC	OVF	H'E80	INT2PRI6[4:0]	INT2MSKR[23] INT2MSKCR[23]	INT2A0[23] INT2A1[23]	-	高 ↑ ↓ 低	高 ↑ ↓ 低
	IDEI	H'EA0	INT2PRI8[12:8]	INT2MSKR1[1] INT2MSKCR1[1]	INT2A01[1] INT2A11[1]	-		
	ODFI	H'EC0	INT2PRI8[20:16]	INT2MSKR1[2] INT2MSKCR1[2]	INT2A01[2] INT2A11[2]	-		
SCIF2	ERI2	H'F00	INT2PRI7[28:24]	INT2MSKR1[25]	INT2A01[25]	INT2B6[0]	高 ↑ ↓ 低	高 ↑ ↓ 低
	RX12	H'F20		INT2MSKCR1[25]	INT2A11[25]	INT2B6[1]		
	BRI2	H'F40				INT2B6[2]		
	TX12	H'F60				INT2B6[3]		
GPIO	CH0	H'F80	INT2PRI7[20:16]	INT2MSKR[25]	INT2A0[25]	INT2B7[3:0]	高 ↑ ↓ 低	高 ↑ ↓ 低
	CH1	H'FA0		INT2MSKCR[25]	INT2A1[25]	INT2B7[11:8]		
	CH2	H'FC0				INT2B7[19:16]		
	CH3	H'FE0				INT2B7[27:24]		

【記号説明】

- ITI : WDT インターバルタイマ割り込み
 TUNIO ~ TUNI5 : TMU チャンネル 0 ~ 5 アンダフロー割り込み
 TICPI2 : TMU チャンネル 2 インพุットキャプチャ割り込み
 DMINT0 ~ DMINT5 : DMAC チャンネル 0 ~ 5 転送終了割り込み
 DMAE : DMAC アドレスエラー割り込み (チャンネル 0 ~ 5 共通)
 ERI0, ERI1, ERI2 : SCIF チャンネル 0, 1, 2 受信エラー割り込み
 RXI0, RXI1, RXI2 : SCIF チャンネル 0, 1, 2 受信データフル割り込み
 BRI0, BRI1, BRI2 : SCIF チャンネル 0, 1, 2 ブレーク割り込み要求
 TXI0, TXI1, TXI2 : SCIF チャンネル 0, 1, 2 送信データエンプティ割り込み

13.5 動作説明

13.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 13.3 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI12に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表13.6に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル (IMASK) とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に例外コード (割り込み要因コード) がセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 13.7 で示される優先順位判定時間を待ってから、BL ビットをクリアするか、RTE 命令を実行します。
 3. IRQ 割り込みおよび内蔵モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR、INT2MSKCR、INT2MSKCR1 を使用して、要因ごとの割り込みマスク (INTMSK、INT2MSKR、INT2MSKR1) をクリアする必要があります。

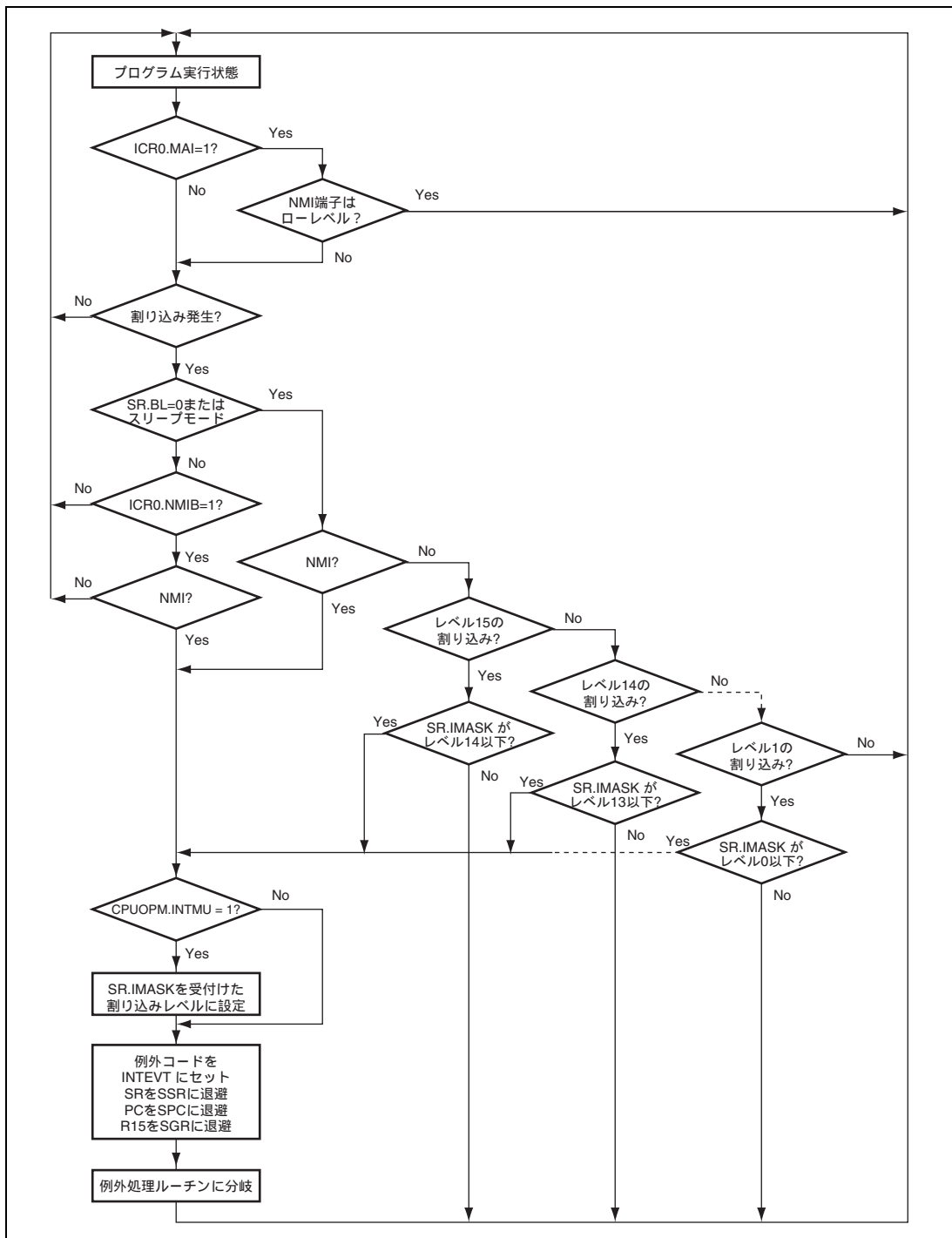


図 13.3 割り込み動作フロー

13.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRレジスタの割り込みマスクレベル(IMASK)は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスクレベル(IMASK)を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

13.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

13.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 13.7 に示します。

表 13.7 割り込み応答時間

項 目	ステート数				備 考	
	NMI	IRQ	周辺モジュール			
			GPIO 以外	GPIO		
優先順位判定時間	5Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc	7Pcyc		
CPU が実行中のシーケンス 終了までの待ち時間	S-1 (≥ 0) \times lcy					
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチン の先頭命令フェッチの SHwy バスリクエスト を発行するまでの時間	11lcy+1Scyc					
応答時間	合計	(S+10) lcy +1Scyc +5Bcyc +2Pcyc	(S+10) lcy +1Scyc +4Bcyc +2Pcyc	(S+10) lcy +1Scyc +5Pcyc	(S+10) lcy +1Scyc +7Pcyc	
	最小時	29lcy +S \times lcy	35lcy +S \times lcy	31lcy +S \times lcy	39lcy +S \times lcy	lcy:Scyc: Bcyc:Pcyc = 4:4:2:1 の とき

【記号説明】

- lcy : CPU クロック (lck) の 1 サイクル期間
- Scyc : SHwy クロック (SHck) の 1 サイクル期間
- Bcyc : バスクロック (Bck) 出力 CLKOUT の 1 サイクル期間
- Pcyc : 周辺クロック (Pck) の 1 サイクル期間
- S : 命令実行ステート数

13.7 使用上の注意事項

13.7.1 割り込みおよびレベル検出設定時の IRQ 割り込みの処理ルーチン例

レベル検出設定時の IRQ 割り込み要求は、CPU が割り込みを受け付けた後も検出を行うため、割り込み処理ルーチンで INTC が保持している割り込み要求をクリアする必要があります。

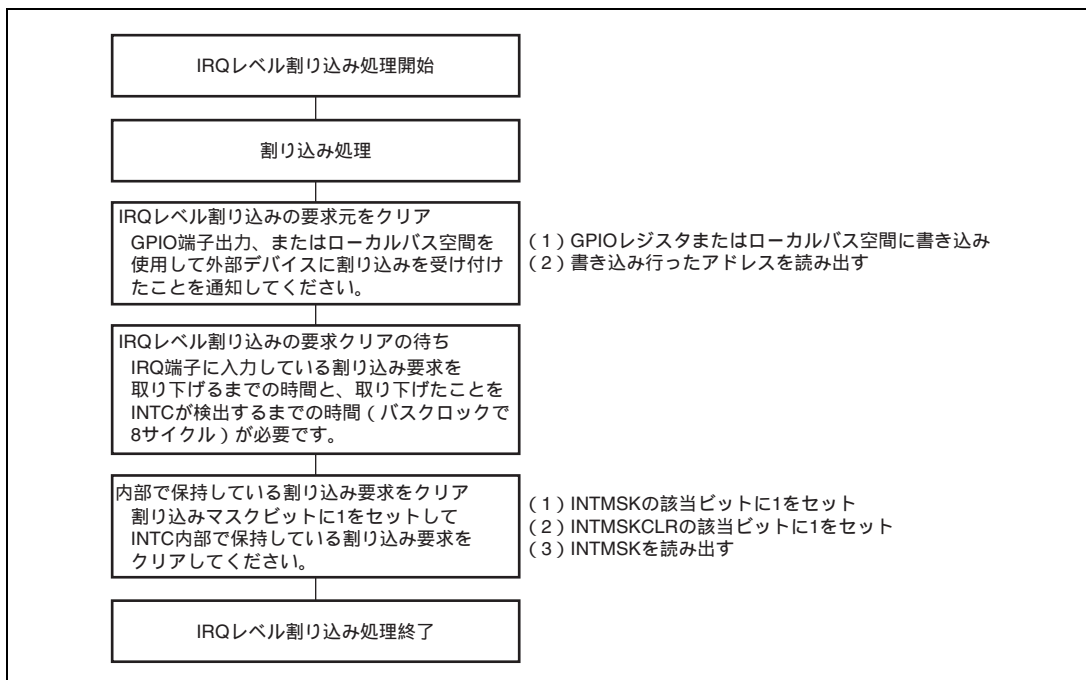


図 13.4 割り込み処理ルーチンの例

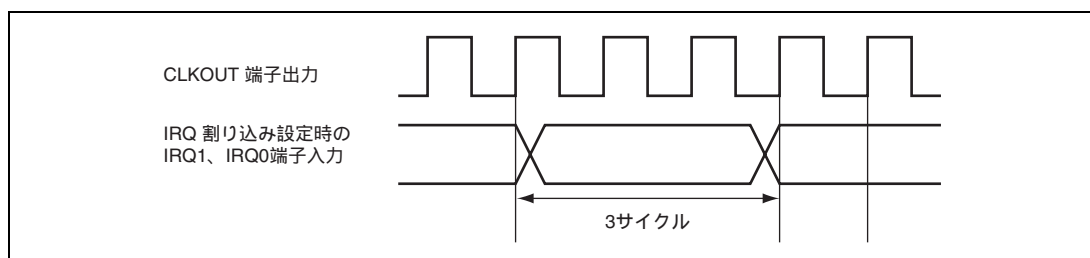


図 13.5 IRQ 端子から入力する割り込み要求の検出に必要な時間

13.7.2 IRQ 端子機能設定時の注意事項

IRQ1、IRQ0 端子機能切り替え時に、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRQ 割り込み要求をマスク状態に設定してから、IRQ1、IRQ0 端子の使用への切り替えを行ってください。

表 13.8 IRQ 端子機能切り替え手順

手順	項目	内容
1	IRQ 割り込み要求をマスク	INTMSK の全ビットに 1 を書き込む
2	IRQ0/DTEND $\bar{1}$ 、WDTOVF/IRQ1/AUDUCK/DACK $\bar{1}$ 端子を IRQ0,IRQ1 機能に設定	IRQ0 : GPIO の PTSEL_S レジスタの PTSEL_S15 ビットに 0 を書き込む IRQ1 : GPIO の PTSEL_K レジスタの PTSEL_K7[1:0] ビットに 01 を書き込む
3	IRQ 割り込み要求の検出を開始	INTMSKCLR の該当するビットに 1 を書き込む

13.7.3 IRQ 割り込み要求のクリア方法

INTC で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

(1) レベル検出設定時の IRQ 割り込み要求のクリア方法

レベル検出設定をしている IRQ1、IRQ0 割り込み要求のクリアは、INTMSK の該当するビット IM01 ~ IM00 に 1 を書き込んでください。INTPRI で該当するビットに 0 を書き込んで、検出している IRQ 割り込み要求をクリアすることはできません。検出している IRQ 割り込み要求 (CPU が割り込みを受け付けるとクリアします) は INTREQ を読み出すことで確認できます。

(2) エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ1、IRQ0 割り込み要求のクリアは、INTREQ の該当するビット IR1、IR0 から 1 を読み出した後、0 を書き込んでください。INTMSK で該当するビットに 1 を書き込んで、検出している IRQ 割り込み要求をクリアすることはできません。

14. タイマユニット (TMU)

本 LSI は 6 チャンネル (チャンネル 0~5) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : Timer Unit) を内蔵しています。

14.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2は、インプットキャプチャ機能を搭載
- チャンネル0~2は、外部クロック選択時もしくはチャンネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し / 書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、6種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)
- チャンネル3~5は、5種類のカウンタ入力クロックを選択可能
5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024)
- 2種類の割り込み要因
アンダフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。

図 14.1 に TMU のブロック図を示します。

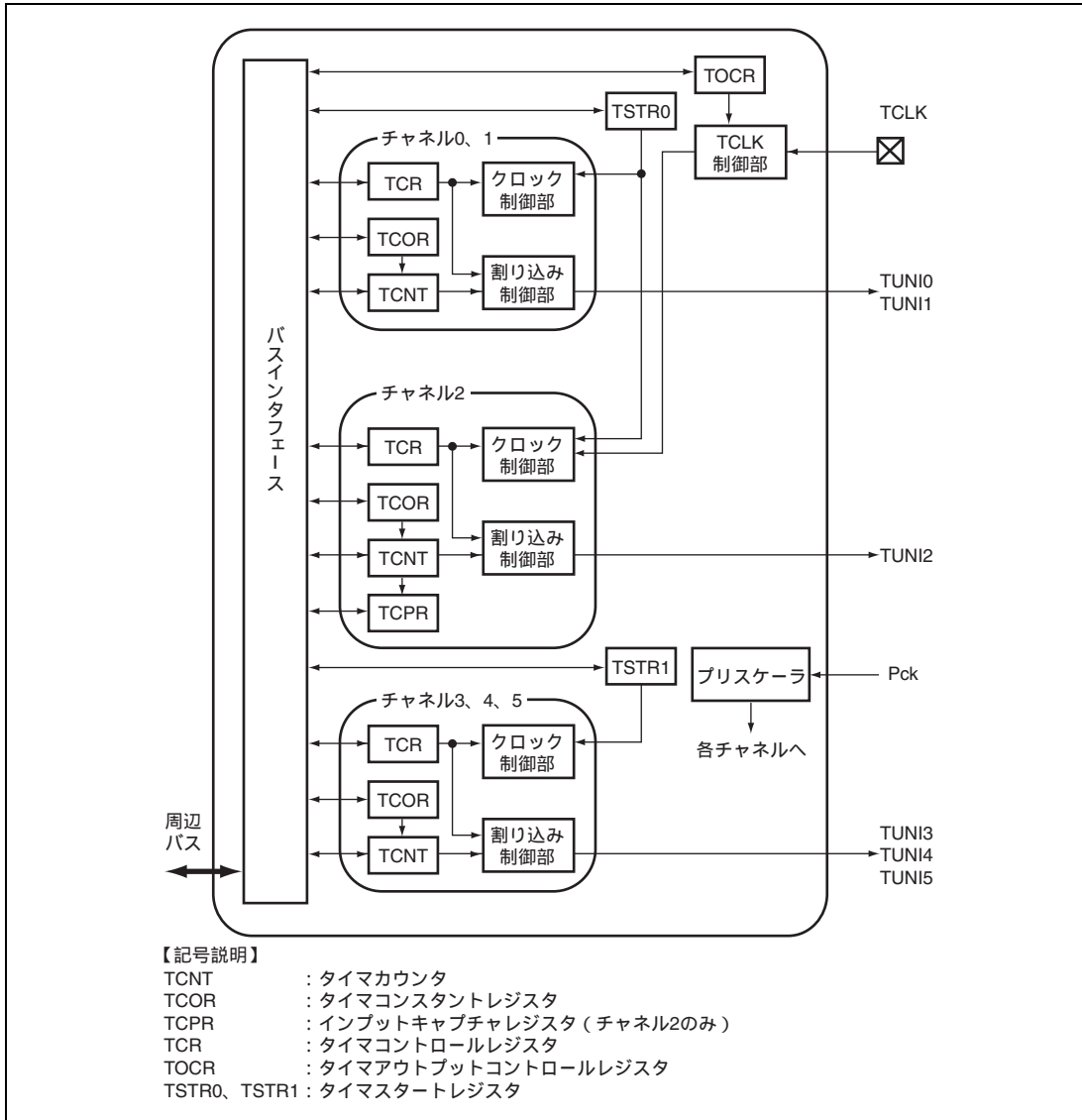


図 14.1 TMU のブロック図

14.2 入出力端子

表 14.1 に TMU の端子構成を示します。

表 14.1 端子構成

端子名	機能	入出力	説明
TCLK	クロック入力	入力	チャンネル 0、1、2 外部クロック入力端子 / チャンネル 2 インพุットキャプチャ制御入力端子

14.3 レジスタの説明

TMU のレジスタ構成を表 14.2 に示します。また、各処理モードにおけるレジスタの状態を表 14.3 に示します。

表 14.2 レジスタ構成

チャンネル	名称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
012 共通	タイマアウトプット コントロールレジスタ	TOCR	R/W	H'FFD8 0000	H'1FD8 0000	8
012 共通	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	H'1FD8 0004	8
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD8 0008	H'1FD8 0008	32
	タイマカウンタ 0	TCNT0	R/W	H'FFD8 000C	H'1FD8 000C	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD8 0010	H'1FD8 0010	16
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD8 0014	H'1FD8 0014	32
	タイマカウンタ 1	TCNT1	R/W	H'FFD8 0018	H'1FD8 0018	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8 001C	H'1FD8 001C	16
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD8 0020	H'1FD8 0020	32
	タイマカウンタ 2	TCNT2	R/W	H'FFD8 0024	H'1FD8 0024	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD8 0028	H'1FD8 0028	16
	インพุットキャプチャレジスタ 2	TCPR2	R	H'FFD8 002C	H'1FD8 002C	32
345 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDC 0004	H'1FDC 0004	8
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDC 0008	H'1FDC 0008	32
	タイマカウンタ 3	TCNT3	R/W	H'FFDC 000C	H'1FDC 000C	32
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDC 0010	H'1FDC 0010	16
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDC 0014	H'1FDC 0014	32
	タイマカウンタ 4	TCNT4	R/W	H'FFDC 0018	H'1FDC 0018	32
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDC 001C	H'1FDC 001C	16
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDC 0020	H'1FDC 0020	32
	タイマカウンタ 5	TCNT5	R/W	H'FFDC 0024	H'1FDC 0024	32
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDC 0028	H'1FDC 0028	16

表 14.3 各処理状態におけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ	モジュール スタンバイ
012 共通	タイマアウトプット コントロールレジスタ	TOCR	H'00	保持	保持	保持
012 共通	タイマスタートレジスタ 0	TSTR0	H'00	保持	保持	保持
0	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	保持	保持	保持
1	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	保持	保持	保持
2	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	保持	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	H'xxxx xxxx	保持	保持	保持
345 共通	タイマスタートレジスタ 1	TSTR1	H'00	保持	保持	保持
3	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	保持	保持	保持
4	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	保持	保持	保持
5	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 5	TCR5	H'0000	保持	保持	保持

14.3.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し専用の 8 ビットのレジスタです。

外部端子 TCLK が外部クロックまたはインプットキャプチャ制御用の入力端子であることを示します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TCOE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TCOE	0	R	タイマクロック端子制御 (TCOE) タイマクロック端子 (TCLK) が外部クロックまたはインプットキャプチャ制御用の入力端子であることを示します。 0 : 外部クロックまたはインプットキャプチャ制御用の入力端子である 1 : 無効

14.3.2 タイマスタートレジスタ (TSTRn) (n=0, 1)

TSTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

- TSTR0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0 : TCNT2 のカウント動作は停止 1 : TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作する

ビット	ビット名	初期値	R/W	説明
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作する

- TSTR1

ビット : 7 6 5 4 3 2 1 0

-	-	-	-	-	STR5	STR4	STR3
---	---	---	---	---	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R R R R R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR5	0	R/W	カウンタスタート 5 TCNT5 を動作させるか、停止させるかを選択します。 0 : TCNT5 のカウント動作は停止 1 : TCNT5 はカウント動作する
1	STR4	0	R/W	カウンタスタート 4 TCNT4 を動作させるか、停止させるかを選択します。 0 : TCNT4 のカウント動作は停止 1 : TCNT4 はカウント動作する
0	STR3	0	R/W	カウンタスタート 3 TCNT3 を動作させるか、停止させるかを選択します。 0 : TCNT3 のカウント動作は停止 1 : TCNT3 はカウント動作する

14.3.3 タイマコンスタントレジスタ (TCORn) (n=0~5)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.4 タイマカウンタ (TCNTn) (n=0~5)

TCNT は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT は、TCR の TPSC[2:0] ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TCR の UNF が 1 にセットされます。また、同時に TCNT には、TCOR の値が設定され、設定された値からカウントダウン動作を続けます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.5 タイマコントロールレジスタ (TCRn) (n=0~5)

TCR は、読み出し / 書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御を行います。また、チャンネル 2 の TCR はインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生制御を行います。

- TCR0、TCR1、TCR3、TCR4、TCR5

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UNF	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

• TCR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	ICPF	UNF	ICPE[1:0]	UNIE	CKEG[1:0]	TPSC[2:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	ICPF ^{*1}	0	R/W	インプットキャプチャ割り込みフラグ チャンネル2のみの機能で、インプットキャプチャの発生を示すステータスフラグです。 0: インプットキャプチャが発生していないことを示します [クリア条件] ICPF に0を書き込んだとき 1: インプットキャプチャが発生したことを示します [セット条件] インプットキャプチャが発生したとき ^{*2}
8	UNF	0	R/W	アンダフローフラグ TCNTのアンダフローの発生を示すステータスフラグです。 0: TCNTがアンダフローを起こしていないことを示します [クリア条件] UNF に0を書き込んだとき 1: TCNTがアンダフローを起こしたことを示します [セット条件] TCNTがアンダフローを起こしたとき ^{*2}
7, 6	ICPE[1:0] ^{*1}	00	R/W	インプットキャプチャ制御 チャンネル2のみの機能で、インプットキャプチャ機能を使用するかどうかわび使用時の割り込み発生を許可するかどうかを制御します。 TCLK端子の立ち上がりエッジ/立ち下がりエッジのいずれかを使ってTCPR2にTCNT2の値をセットするかは、CKEGビットで設定します。 TCR2のICPFビットが0のときのみ、TCNT2の値がTCPR2にセットされます。ICPFビットが1のときは、インプットキャプチャが発生してもTCPR2はセットされません。 00: インプットキャプチャ機能を使用しないことを示します 01: リザーブ(設定禁止) 10: インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み(TICPI2)を許可しないことを示します。 11: インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み(TICPI2)を許可することを示します。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNTのアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: アンダフローによる割り込み(TUNI)を許可しない 1: アンダフローによる割り込み(TUNI)を許可する

ビット	ビット名	初期値	R/W	説明
4, 3	CKEG[1:0]	00	R/W	クロックエッジ 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00 : 立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01 : 立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X : 立ち上がり/立ち下がりの両エッジでカウント/インプットキャプチャレジスタセット
2~0	TPSC[2:0]	000	R/W	タイムプリスケアラ TCNT のカウントクロックを選択します。 000 : Pck/4 でカウント 001 : Pck/16 でカウント 010 : Pck/64 でカウント 011 : Pck/256 でカウント 100 : Pck/1024 でカウント 101 : 設定禁止 110 : 設定禁止 111 : 外部クロック (TCLK) でカウント* ³

【注】 X : Don't care

*1 チャンネル 0、1、3、4、5 ではリザーブビットです (初期値 0、リードのみ)。

*2 1 を書き込むと元の値が保持されます。

*3 チャンネル 3、4、5 では設定禁止です。

14.3.6 インプットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

14.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNTは、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

14.4.1 カウンタの動作

TSTR1、TSTR0のSTR5～STR0ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグが1にセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 14.2 にカウント動作の設定手順例を示します。

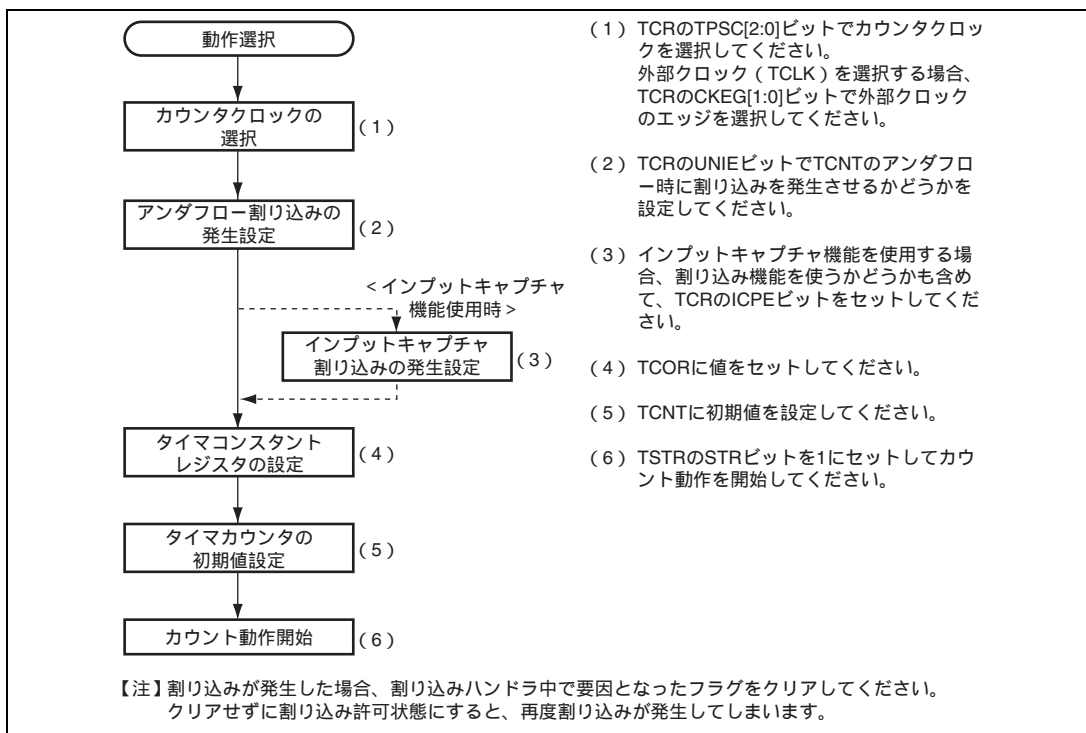


図 14.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 14.3 に TCNT のオートリロード動作を示します。

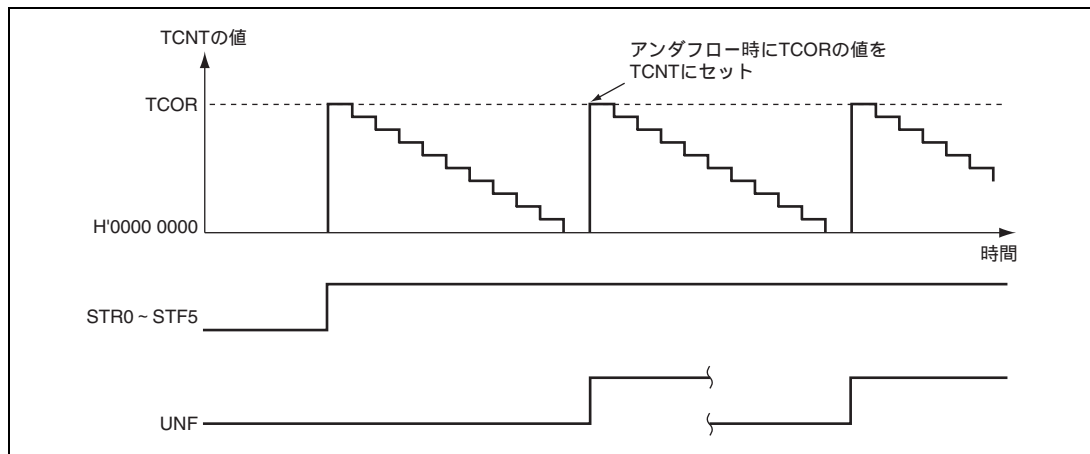


図 14.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCRのTPSC[2:0]ビットにより、カウントクロックとして周辺クロックを分周した5種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図14.4に示します。

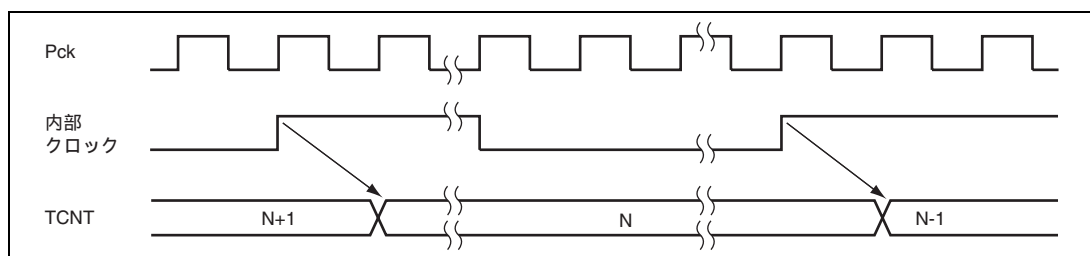


図 14.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

チャンネル0、1、2では、TCRのTPSC[2:0]ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) からの入力を選択できます。また、TCRのCKEG[1:0]ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図14.5に両エッジ検出時のタイミングを示します。

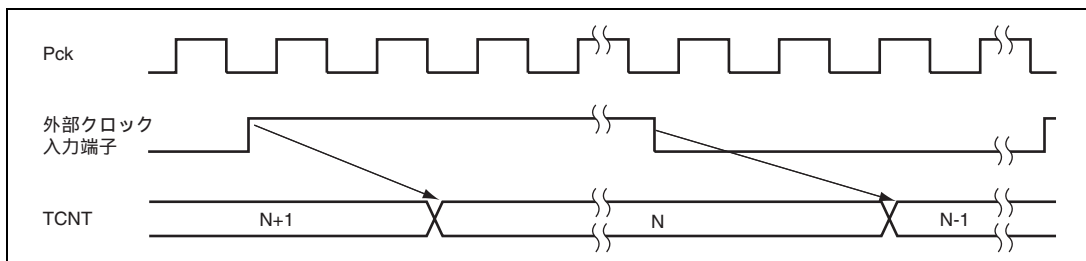


図 14.5 外部クロック動作時のカウントタイミング

14.4.2 インプットキャプチャ機能

チャンネル2には、インプットキャプチャ機能があります。

インプットキャプチャ機能を使用する場合、

1. TCRのTPSC[2:0]ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE[1:0]ビットでインプットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG[1:0]ビットでTCLK端子の立ち上がり / 立ち下がりのどのエッジを使用してTCPR2にTCNTの値をセットするかを指定します。

インプットキャプチャ発生時、TCR2のICPFビットが0のときのみ、TCNT2の値をTCPR2にセットします。

図 14.6 にインプットキャプチャ機能使用時の動作タイミングを示します (TCLKの立ち上がりエッジ使用)。

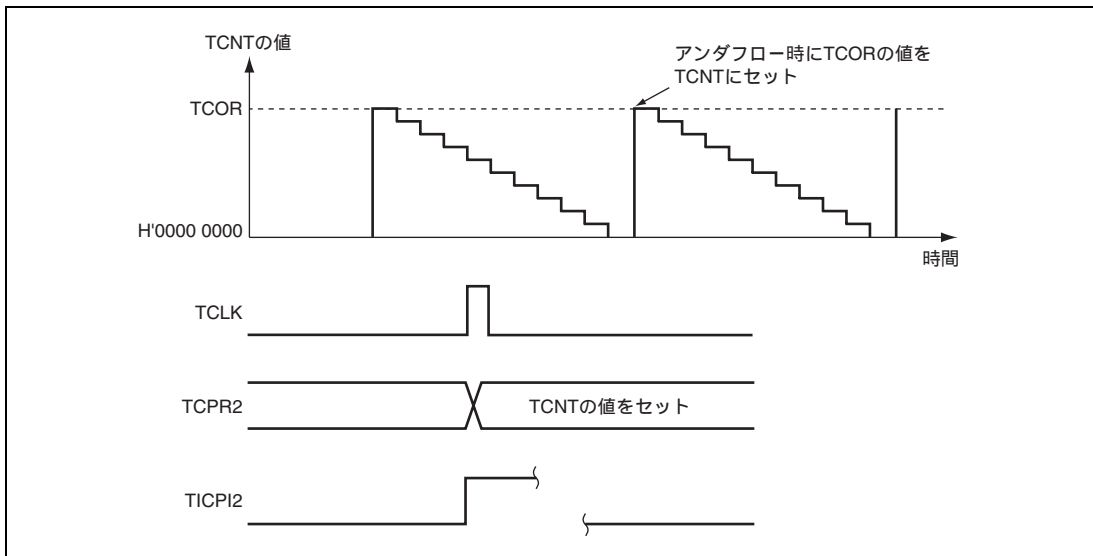


図 14.6 インพุットキャプチャ機能使用時の動作タイミング

14.5 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE[1:0]) が 11 の場合に割り込み要求が発生します。

表 14.4 に TMU の割り込み要因を示します。

表 14.4 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンダフロー割り込み 3
4	TUNI4	アンダフロー割り込み 4
5	TUNI5	アンダフロー割り込み 5

14.6 使用上の注意事項

14.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR5 ~ STR0) をクリアして、タイマのカウンタ動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウンタ動作中に行うことができます。カウンタ動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

14.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

14.6.3 外部クロック周波数について

チャンネル 0、1、2 への外部クロック (TCLK) 入力周波数は $Pck/4$ を超えないようにしてください。

15. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 3 チャネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャネルとも独立に送信 / 受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

15.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース
ボーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブ레이크割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能 ($\overline{\text{RTS}}$ および $\overline{\text{CTS}}$) を内蔵
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー (DR) を検出できます。
- 調歩同期式モードにおいて、ビットレートの16または8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック / SCK端子は入力端子において、ボーレートジェネレータ通常 / 倍速モード選択可能
- 調歩同期式モードにおいて、3Mbps以上の高速通信にも対応可能です。

図 15.1 に SCIF のブロック図を示します。

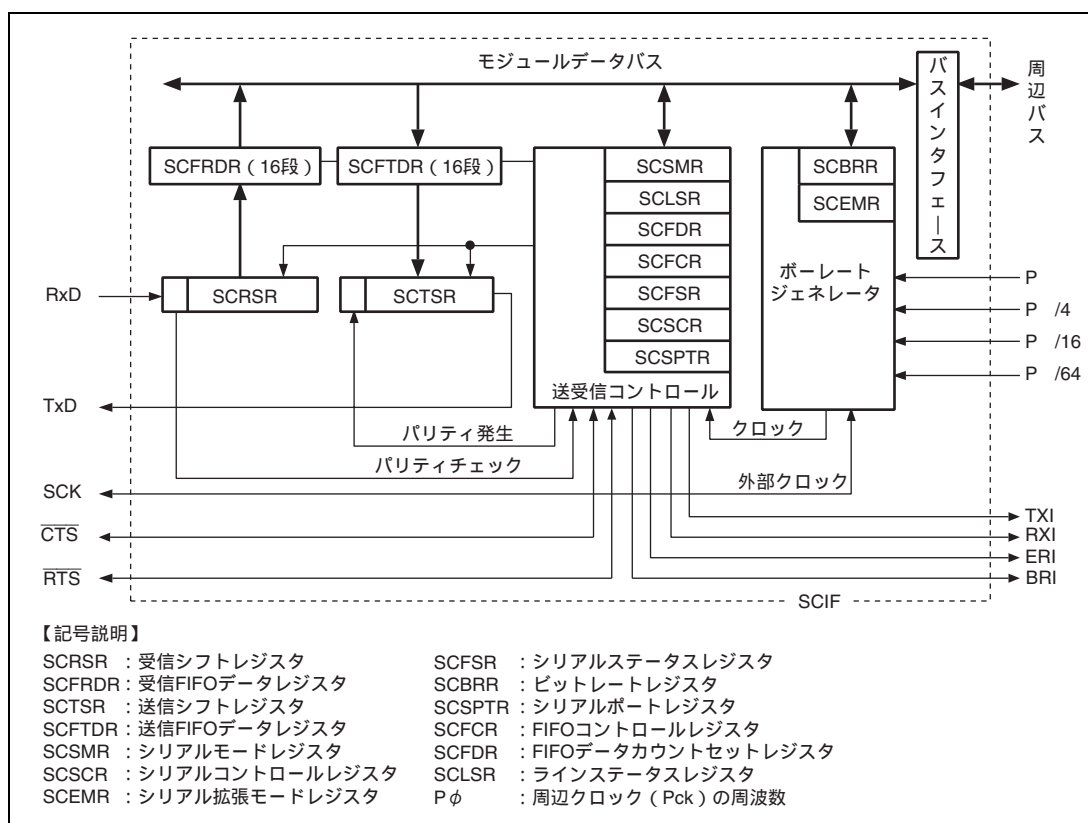


図 15.1 SCIF のブロック図

15.2 入出力端子

SCIF の端子構成を表 15.1 に示します。

表 15.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~2	シリアルクロック端子	SCK0 ~ SCK2	入出力	クロック入出力
	受信データ端子	RxD0 ~ RxD2	入力	受信データ入力
	送信データ端子	TxD0 ~ TxD2	出力	送信データ出力
	リクエストツースェンド端子	RTS0 ~ RTS2	入出力	リクエストツースェンド
	クリアツースェンド端子	CTS0 ~ CTS2	入出力	クリアツースェンド

15.3 レジスタの説明

SCIF のレジスタ構成を表 15.2 に示します。また、各処理モードにおけるレジスタの状態を表 15.3 に示します。各チャンネルともレジスタの構成は同じですので、本文中ではチャンネルを省略して説明しています。

表 15.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	P4 領域 アドレス	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'FFE00000	H'1FE00000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FFE00004	H'1FE00004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'FFE00008	H'1FE00008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	H'FFE0000C	H'1FE0000C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'FFE00010	H'1FE00010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	H'FFE00014	H'1FE00014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'FFE00018	H'1FE00018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'FFE0001C	H'1FE0001C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'FFE00020	H'1FE00020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'FFE00024	H'1FE00024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'FFE00028	H'1FE00028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'FFE10000	H'1FE10000	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FFE10004	H'1FE10004	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'FFE10008	H'1FE10008	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	H'FFE1000C	H'1FE1000C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'FFE10010	H'1FE10010	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	H'FFE10014	H'1FE10014	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'FFE10018	H'1FE10018	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'FFE1001C	H'1FE1001C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'FFE10020	H'1FE10020	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'FFE10024	H'1FE10024	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'FFE10028	H'1FE10028	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'FFE20000	H'1FE20000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FFE20004	H'1FE20004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'FFE20008	H'1FE20008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	H'FFE2000C	H'1FE2000C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'FFE20010	H'1FE20010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	H'FFE20014	H'1FE20014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'FFE20018	H'1FE20018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'FFE2001C	H'1FE2001C	16

チャネル	レジスタ名	略称	R/W	P4 領域 アドレス	アドレス	アクセス サイズ
2	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'FFE20020	H'1FE20020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W)*2	H'FFE20024	H'1FE20024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'FFE20028	H'1FE20028	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~1 は読み出し専用であり書き込むことはできません。

表 15.3 各処理状態におけるレジスタの状態

チャネル	レジスタ名	略称	初期値	スタンバイ	スリープ	モジュール スタンバイ
0	シリアルモードレジスタ_0	SCSMR_0	H'0000	保持	保持	保持
	ビットレートレジスタ_0	SCBRR_0	H'FF	保持	保持	保持
	シリアルコントロールレジスタ_0	SCSCR_0	H'0000	保持	保持	保持
	送信 FIFO データレジスタ_0	SCFTDR_0	不定	保持	保持	保持
	シリアルステータスレジスタ_0	SCFSR_0	H'0060	保持	保持	保持
	受信 FIFO データレジスタ_0	SCFRDR_0	不定	保持	保持	保持
	FIFO コントロールレジスタ_0	SCFCR_0	H'0000	保持	保持	保持
	FIFO データカウントセットレジスタ_0	SCFDR_0	H'0000	保持	保持	保持
	シリアルポートレジスタ_0	SCSPTR_0	H'0050	保持	保持	保持
	ラインステータスレジスタ_0	SCLSR_0	H'0000	保持	保持	保持
	シリアル拡張モードレジスタ_0	SCEMR_0	H'0000	保持	保持	保持
1	シリアルモードレジスタ_1	SCSMR_1	H'0000	保持	保持	保持
	ビットレートレジスタ_1	SCBRR_1	H'FF	保持	保持	保持
	シリアルコントロールレジスタ_1	SCSCR_1	H'0000	保持	保持	保持
	送信 FIFO データレジスタ_1	SCFTDR_1	不定	保持	保持	保持
	シリアルステータスレジスタ_1	SCFSR_1	H'0060	保持	保持	保持
	受信 FIFO データレジスタ_1	SCFRDR_1	不定	保持	保持	保持
	FIFO コントロールレジスタ_1	SCFCR_1	H'0000	保持	保持	保持
	FIFO データカウントセットレジスタ_1	SCFDR_1	H'0000	保持	保持	保持
	シリアルポートレジスタ_1	SCSPTR_1	H'0050	保持	保持	保持
	ラインステータスレジスタ_1	SCLSR_1	H'0000	保持	保持	保持
	シリアル拡張モードレジスタ_1	SCEMR_1	H'0000	保持	保持	保持
2	シリアルモードレジスタ_2	SCSMR_2	H'0000	保持	保持	保持
	ビットレートレジスタ_2	SCBRR_2	H'FF	保持	保持	保持
	シリアルコントロールレジスタ_2	SCSCR_2	H'0000	保持	保持	保持
	送信 FIFO データレジスタ_2	SCFTDR_2	不定	保持	保持	保持

チャンネル	レジスタ名	略称	初期値	スタンバイ	スリープ	モジュールスタンバイ
2	シリアルステータスレジスタ_2	SCFSR_2	H'0060	保持	保持	保持
	受信 FIFO データレジスタ_2	SCFRDR_2	不定	保持	保持	保持
	FIFO コントロールレジスタ_2	SCFCR_2	H'0000	保持	保持	保持
	FIFO データカウントセットレジスタ_2	SCFDR_2	H'0000	保持	保持	保持
	シリアルポートレジスタ_2	SCSPTR_2	H'0050	保持	保持	保持
	ラインステータスレジスタ_2	SCLSR_2	H'0028	保持	保持	保持
	シリアル拡張モードレジスタ_2	SCEMR_2	H'0000	保持	保持	保持

15.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

15.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

15.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

15.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

15.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると、送信時には O/ \bar{E} ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ \bar{E} ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可した時のみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ^{*1} 1 : 奇数パリティ^{*2}</p> <p>【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1 ストップビット 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>1 : 2 ストップビット 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
1, 0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : P クロック</p> <p>01 : P /4 クロック</p> <p>10 : P /16 クロック</p> <p>11 : P /64 クロック</p> <p>【注】P : 周辺クロック</p>

15.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	CKE[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15-8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7	TIE	0	R/W	<p>送信インタラプトイネーブル</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンpty 割り込み (TXI) 要求を禁止</p> <p>1 : 送信 FIFO データエンpty 割り込み (TXI) 要求を許可*</p> <p>【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。</p> <p>0 : 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止</p> <p>1 : 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可*</p> <p>【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> • 調歩同期モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16 または 8 倍の周波数のクロックを出力) 10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16 または 8 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 設定禁止

15.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、PER フラグ (ビット 15 ~ 12、2)、FER フラグ (ビット 11 ~ 8、3) は読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15 ~ 12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15 ~ 12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。</p>
11 ~ 8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11 ~ 8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。</p>

ビット	ビット名	初期値	R/W	説 明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合*² • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを0にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンブティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で指定した送信トリガデータ数以下になり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき 送信 FIFO データエンブティ割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であること*¹ を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】*¹ SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それより多くのデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】*1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

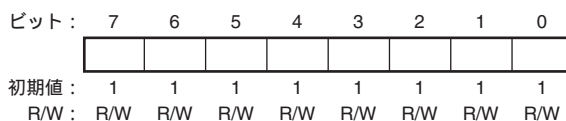
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数以上になったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF = 1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき* <p>【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFCR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1後も次のデータが受信されなるとき <p>【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

15.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0]、シリアル拡張モードレジスタ (SCEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、3 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード (SCEMRのBGDM = 0)

$$N = (P / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM = 1)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

【クロック同期式モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

(電気的特性を満足する設定値としてください)

P : 周辺クロック (Pck) 周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は、表 15.4 を参照してください)

表 15.4 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 64 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 32 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ((P \times 10^6) / ((N + 1) \times B \times 16 \times 2^{2n-1})) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 15.5 にボーレートジェネレータ通常モード (SCEMR の BGDM=0)、16 倍の基本クロック動作 (SCEMR の ABCS=0) のとき、調歩同期式モードの SCBRR の設定例を示します。また、表 15.6 にクロック同期式モードの SCBRR の設定例を示します。

表 15.5 ビットレートに対する SCBRR の設定例 (調歩同期式モード、BGDM = 0、ABCS = 0)

ビットレート (bit/s)	P (MHz)								
	45			50			54		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	199	-0.12	3	221	-0.02	3	239	-0.12
150	3	145	0.33	3	162	-0.15	3	175	-0.12
300	3	72	0.33	3	80	0.47	3	87	-0.12
600	2	145	0.33	2	162	-0.15	2	175	-0.12
1200	2	72	0.33	2	80	0.47	2	87	-0.12
2400	1	145	0.33	1	162	-0.15	1	175	-0.12
4800	1	72	0.33	1	80	0.47	1	87	-0.12
9600	0	145	0.33	0	162	-0.15	0	175	-0.12
19200	0	72	0.33	0	80	0.47	0	87	-0.12
31250	0	44	0.00	0	49	0.00	0	53	0.00
38400	0	36	-1.02	0	40	-0.76	0	43	-0.12

表 15.6 ビットレートに対する SCBRR の設定例 (クロック同期式モード)

ビットレート (bit/s)	P (MHz)					
	45		50		54	
	n	N	n	N	n	N
110	-	-	-	-	-	-
250	-	-	-	-	-	-
500	-	-	-	-	-	-
1k	3	175	3	194	3	210
2.5k	3	69	3	77	3	83
5k	2	140	2	155	2	168
10k	2	69	2	77	2	83
25k	1	112	1	124	1	134
50k	0	224	0	249	1	67
100k	0	112	0	124	0	134
250k	0	44	0	49	0	53
500k	0	22	0	24	0	26
1M	0	10	0	12	0	13
2M	0	5	0	5	0	6

【記号説明】

- : 設定可能ですが誤差がでます。

表 15.7 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.8 に外部クロック入力における調歩同期式モードの最大ビットレート、表 15.9 に外部クロック入力 ($t_{\text{Seye}} = 12t_{\text{peyc}}$ 時*) におけるクロック同期式モードの最大ビットレートを示します。

【注】 * 本 LSI と通信相手先の電気的特性を満足することを確認してください。

表 15.7 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
45	0	0	0	0	1406250
		1	0	0	2812500
	1	0	0	0	2812500
		1	0	0	5625000
50	0	0	0	0	1562500
		1	0	0	3125000
	1	0	0	0	3125000
		1	0	0	6250000
54	0	0	0	0	1687500
		1	0	0	3375000
	1	0	0	0	3375000
		1	0	0	6750000

表 15.8 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)
		ABCS	
45	11.2500	0	703125
		1	1406250
50	12.5000	0	781250
		1	1562500
54	13.5000	0	843750
		1	1687500

表 15.9 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{pclk}}$ 時)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
45	3.7500	3750000.0
50	4.1666	4166666.6
54	4.5000	4500000.0

15.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10~8	RSTRG[2:0]	000	R/W	<p>RTS 出力アクティブトリガ</p> <p>受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。</p> <p>000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14</p>
7、6	RTRG[1:0]	00	R/W	<p>受信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。</p> <ul style="list-style-type: none"> • 調歩同期式モード 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード 00 : 1 01 : 2 10 : 8 11 : 14 <p>【注】クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。</p>

ビット	ビット名	初期値	R/W	説明
5、4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可 / 禁止します。</p> <p>チャンネル 0 ~ 2、クロック同期モードでは MCE を常に 0 にしてください。</p> <p>0 : モデム信号を禁止*</p> <p>1 : モデム信号を許可</p> <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。</p>
2	TFRST	0	R/W	<p>送信 FIFO データレジスタリセット</p> <p>送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>受信 FIFO データレジスタリセット</p> <p>受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

15.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。

15.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値 :	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	$\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	$\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説明
4	CTS $\overline{\text{SDT}}$	1	R/W	<p>CTS ポートデータ</p> <p>シリアルポートの CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS$\overline{\text{SDT}}$ ビットの値が CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS$\overline{\text{SDT}}$ ビットからは CTS 端子の値が読み出されます。ただし PFC で CTS 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし GPIO で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブ레이크入出力</p> <p>シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : TxD 端子に SPB2DT ビットの値を出力しない 1 : TxD 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブ레이크データ</p> <p>シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TxD 端子を出力に設定した場合、SPB2DT ビットの値が TxD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD 端子の値が読み出されます。ただし PFC で RxD 入力、TxD 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

15.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER=1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にオーバーランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき <p>【注】*¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² 受信 FIFO データレジスタ (SCFRDR) ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

15.3.13 シリアル拡張モードレジスタ (SCEMR)

SCEMR は、常に CPU から読み出し / 書き込みが可能で、BGDM ビットを 1 にセットすることにより、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のとき、SCIF 内部のポーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	BGDM	0	R/W	ポーレートジェネレータ倍速モード BGDM ビットを 1 にセットすると、SCIF 内部のポーレートジェネレータが倍速モードで動作します。BGDM の設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$) のときに有効です。上記設定以外の場合は通常モードを使用してください。 0: 通常モード 1: 倍速モード
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$) のとき有効です。 0: ビットレートの 16 倍の周波数の基本クロックで動作 1: ビットレートの 8 倍の周波数の基本クロックで動作

15.4 動作説明

15.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。さらに、モデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 15.10 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE[1:0] の組み合わせで決まります。これを表 15.11 に示します。

(1) 調歩同期式モード

- データ長 : 7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース : 内部クロック / 外部クロックから選択可能
内部クロックを選択した場合 : SCIFはボーレートジェネレータのクロックで動作
外部クロックを選択した場合 : ビットレートの16または8倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット : 8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース : 内部クロック / 外部クロックから選択可能
内部クロックを選択した場合 : SCIFはボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合 : 内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 15.10 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 15.11 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ \bar{A}	CKE[1:0]			
0	00	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
	01			ビットレートの 16 または 8 倍の周波数のクロック を出力
	10		外部	ビットレートの 16 または 8 倍の周波数のクロック を入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

【注】 ボーレートジェネレータ倍速モード (BGDM = 1) を使用する際は、調歩同期式モード (C/ \bar{A} = 0) がクロックソースを内部クロック / SCK 端子を使用しない (CKE[1:0] = 00) 設定にしてください。

15.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1 ビット期間の 16 または 8 倍の周波数のクロックの 8 または 4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

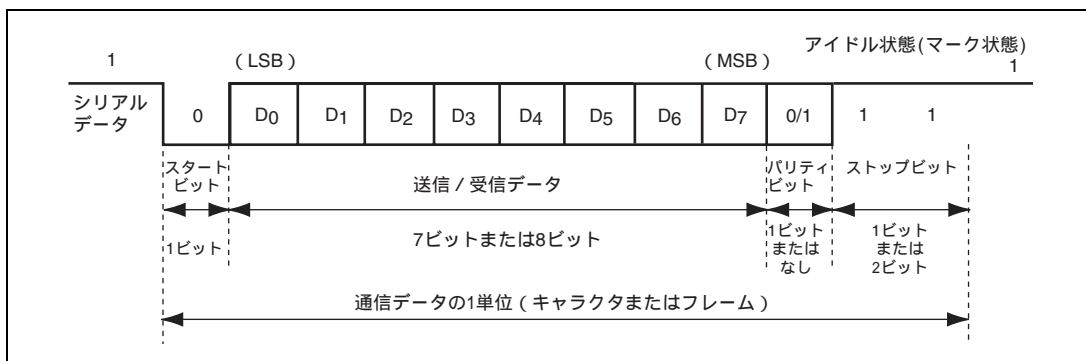


図 15.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 15.12 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 15.12 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIFの送受信クロックは、SCSMRの C/\bar{A} ビットおよびシリアルコントロールレジスタ(SCSCR)のCKE[1:0]の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部クロックの2種類から選択できます。SCIFのクロックソースの選択については表15.11を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16または8倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16または8倍の周波数です。

(3) データの送信 / 受信動作

• SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、送信FIFOデータレジスタ (SCFTDR)、受信FIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図15.3にSCIFの初期化フローチャートの例を示します。

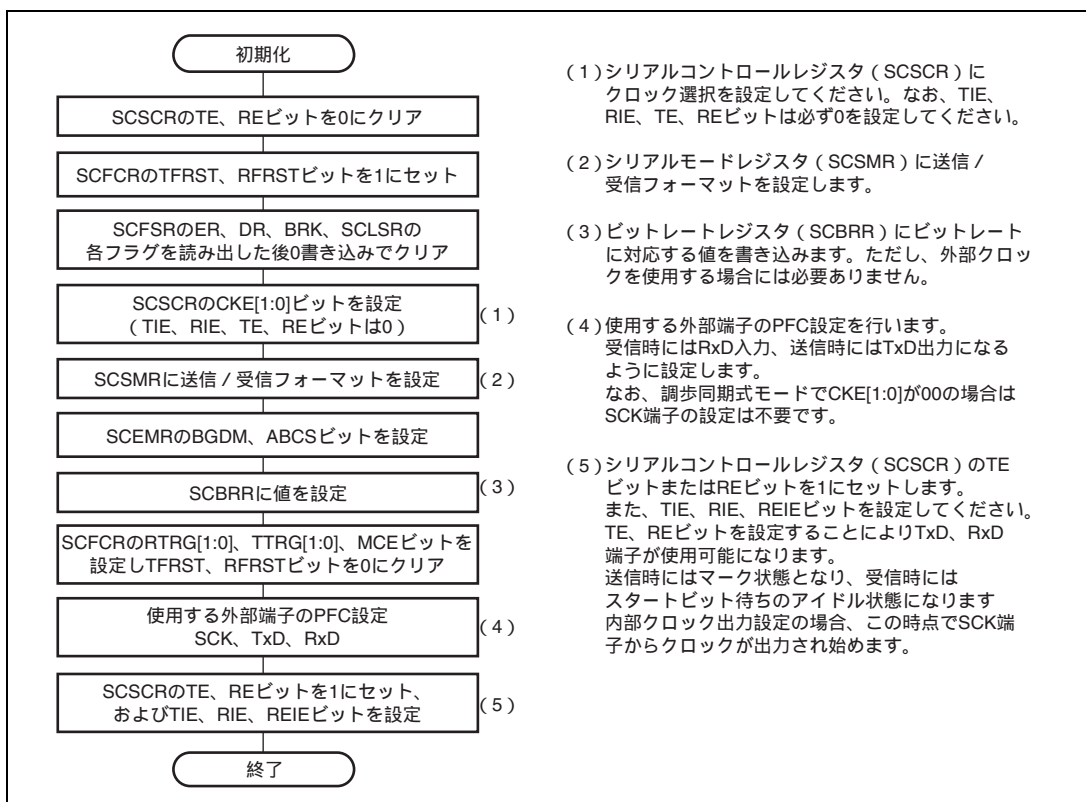


図 15.3 SCIF 初期化フローチャートの例

- シリアルデータ送信 (調歩同期式モード)

図15.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

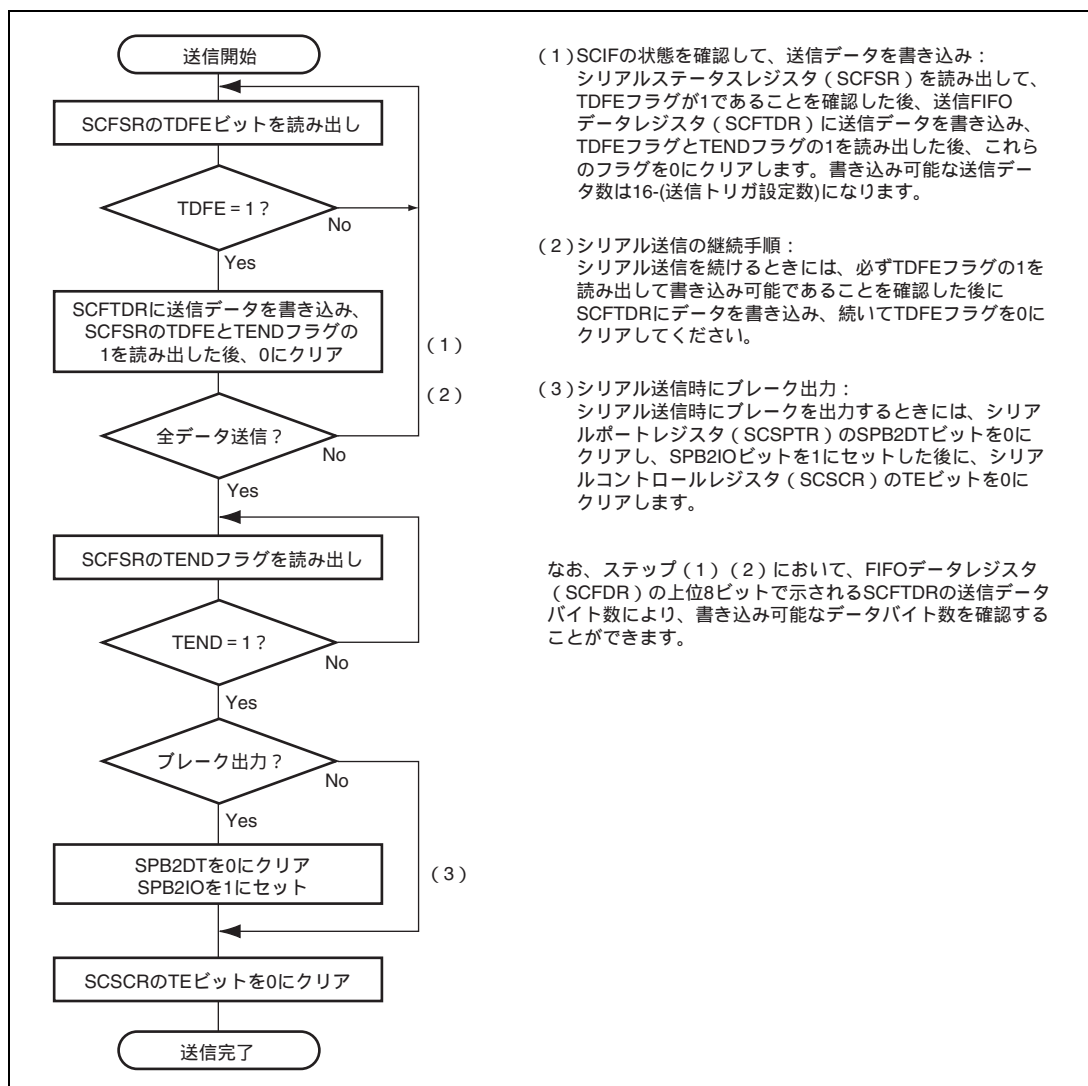


図 15.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

- SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。

- SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
 - 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - パリティビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
 - ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図15.5に示します。

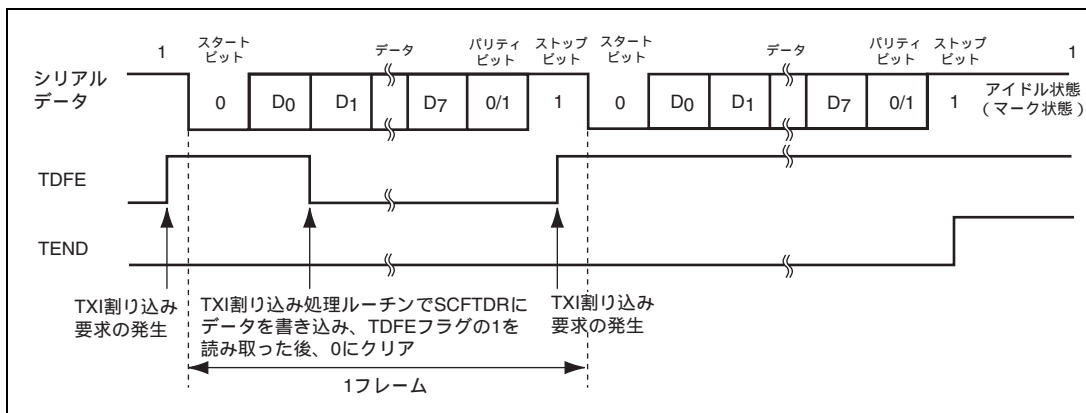


図 15.5 送信時の動作例（8ビットデータ / パリティあり / 1ストップビットの例）

- モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止 / 再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図15.6に示します。

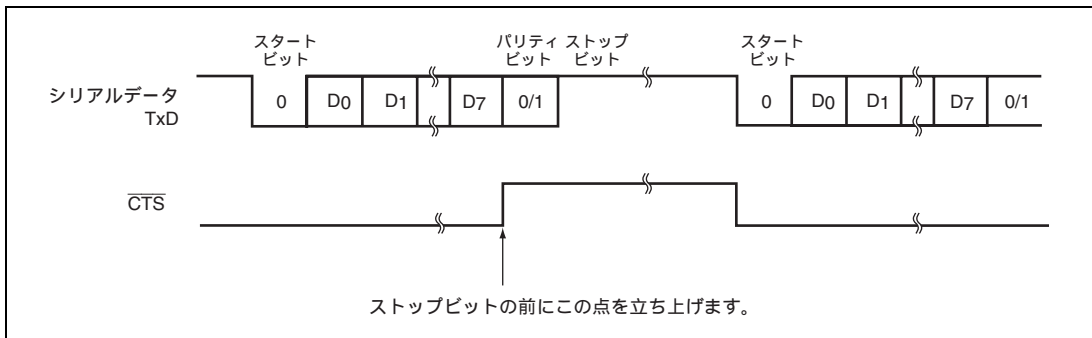


図 15.6 モデムコントロールを使用した動作例 (CTS)

- シリアルデータ受信 (調歩同期式モード)

図15.7、図15.8にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

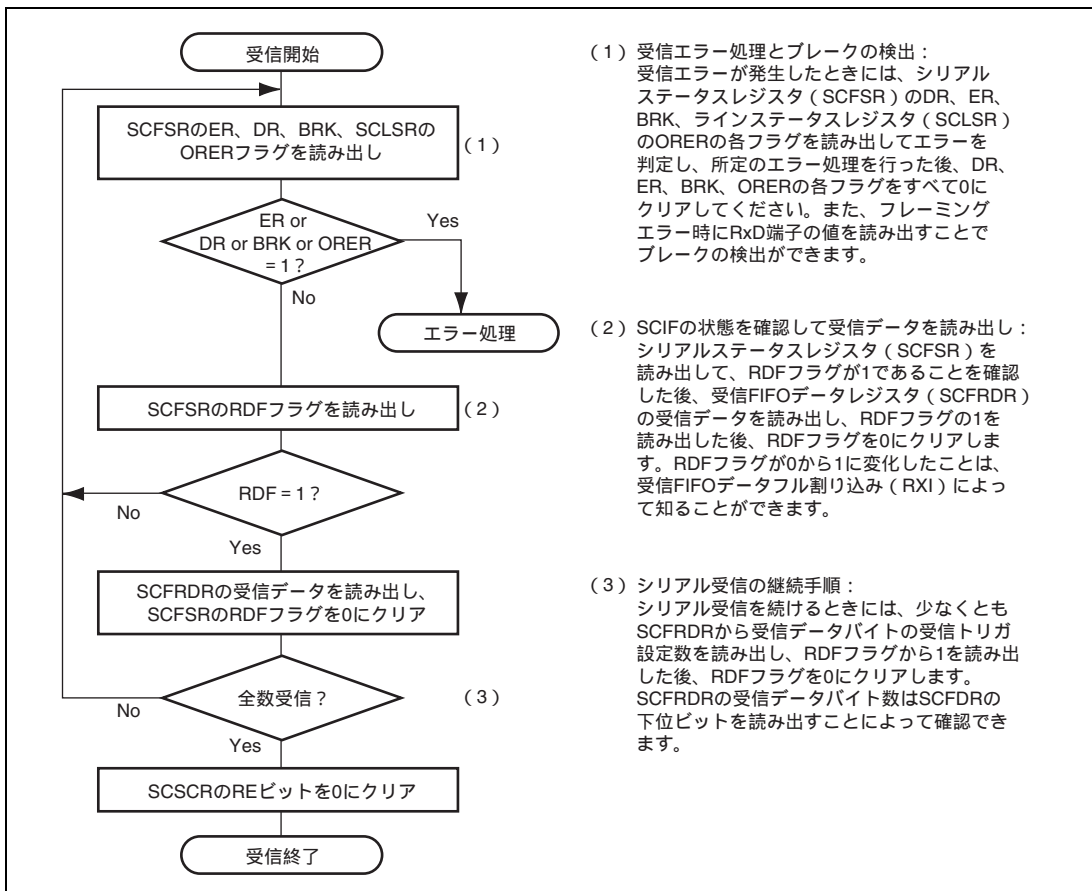


図 15.7 シリアル受信のフローチャートの例 (1)

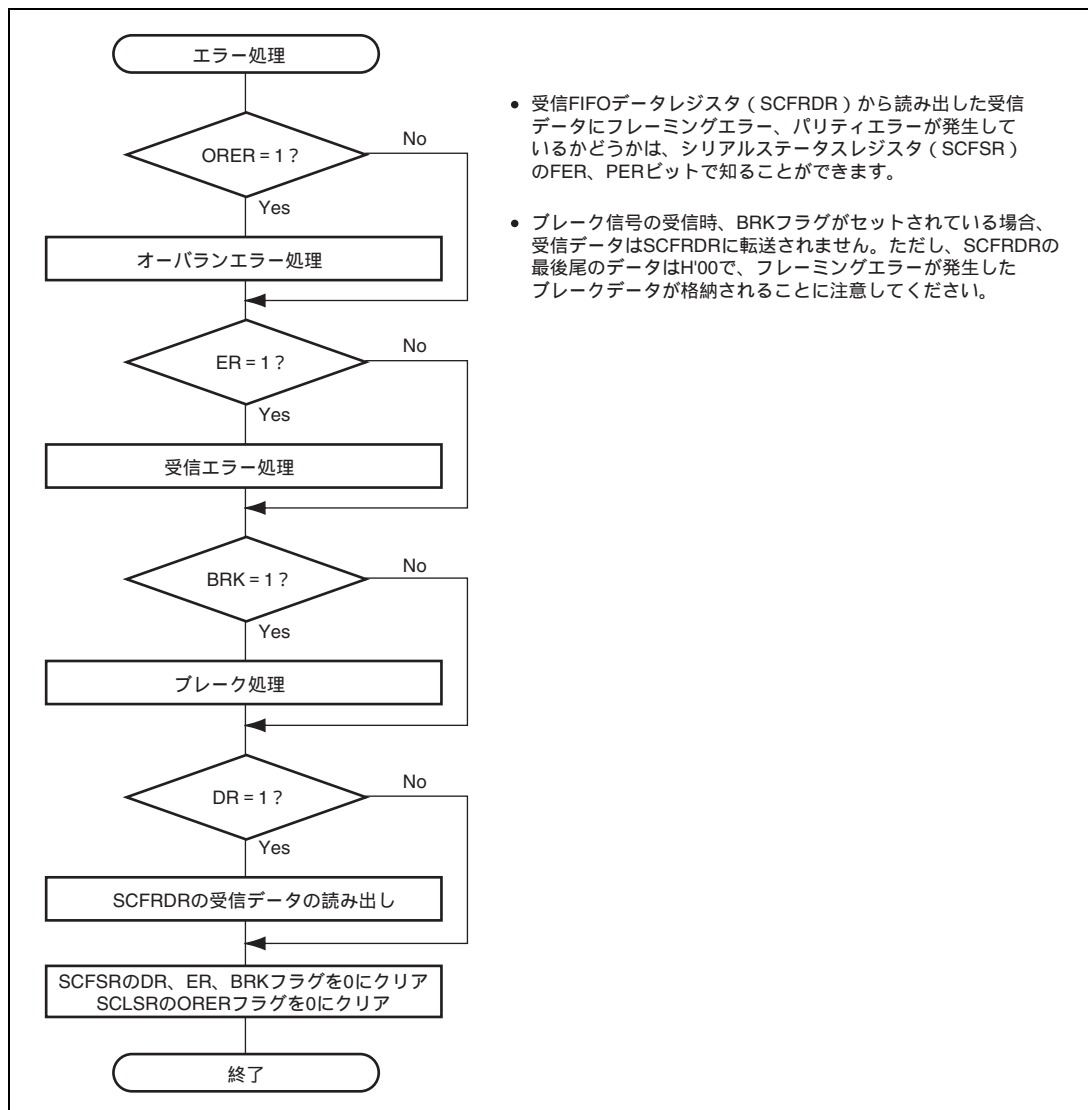


図 15.8 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

- (b) 受信データを受信シフトレジスタ (SCRSR) から SCFRDR に転送できる状態であることをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが 0 であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが 0 であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDF または DR フラグが 1 になったとき、SCSCR の RIE ビットが 1 にセットされていると、受信 FIFO データフル割り込み (RXI) 要求が発生します。また、ER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRK フラグまたは ORER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 15.9 に示します。

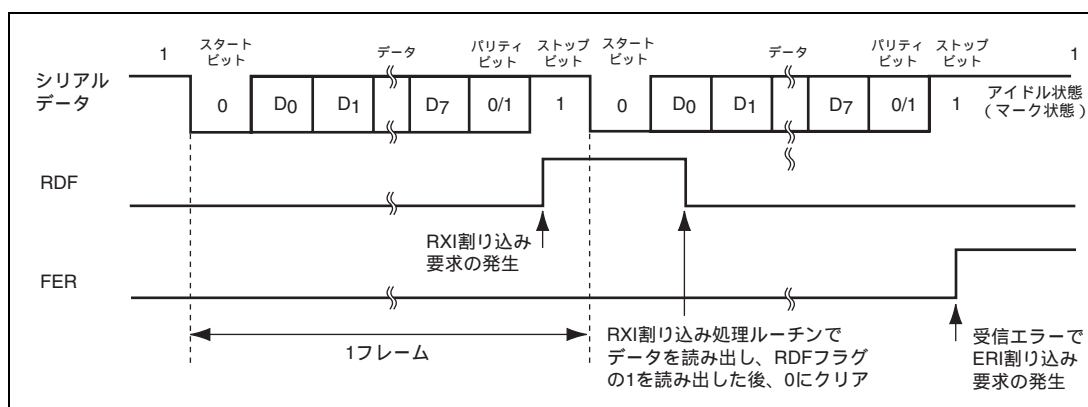


図 15.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールが有効であると、SCFRDR が空のとき $\overline{\text{RTS}}$ 信号が出力されます。 $\overline{\text{RTS}}$ が 0 の場合受信が可能です。 $\overline{\text{RTS}}$ が 1 の場合は SCFRDR のデータ数が RTS 出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図 15.10 に示します。

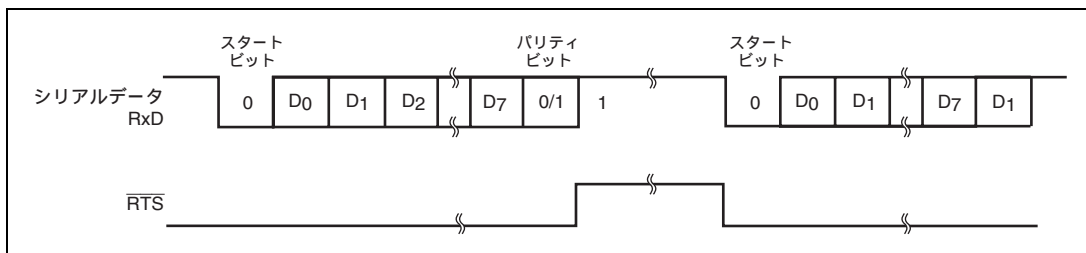


図 15.10 モデムコントロール使用時の動作例 (RTS)

15.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.11 に示します。

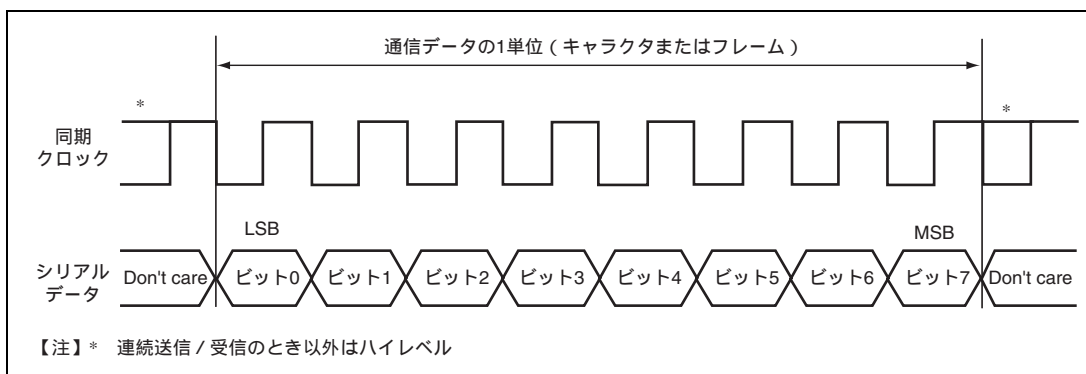


図 15.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の $C\bar{A}$ ビットと SCSCR の $CKE[1:0]$ の設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させると、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 15.12 に SCIF の初期化フローチャートの例を示します。

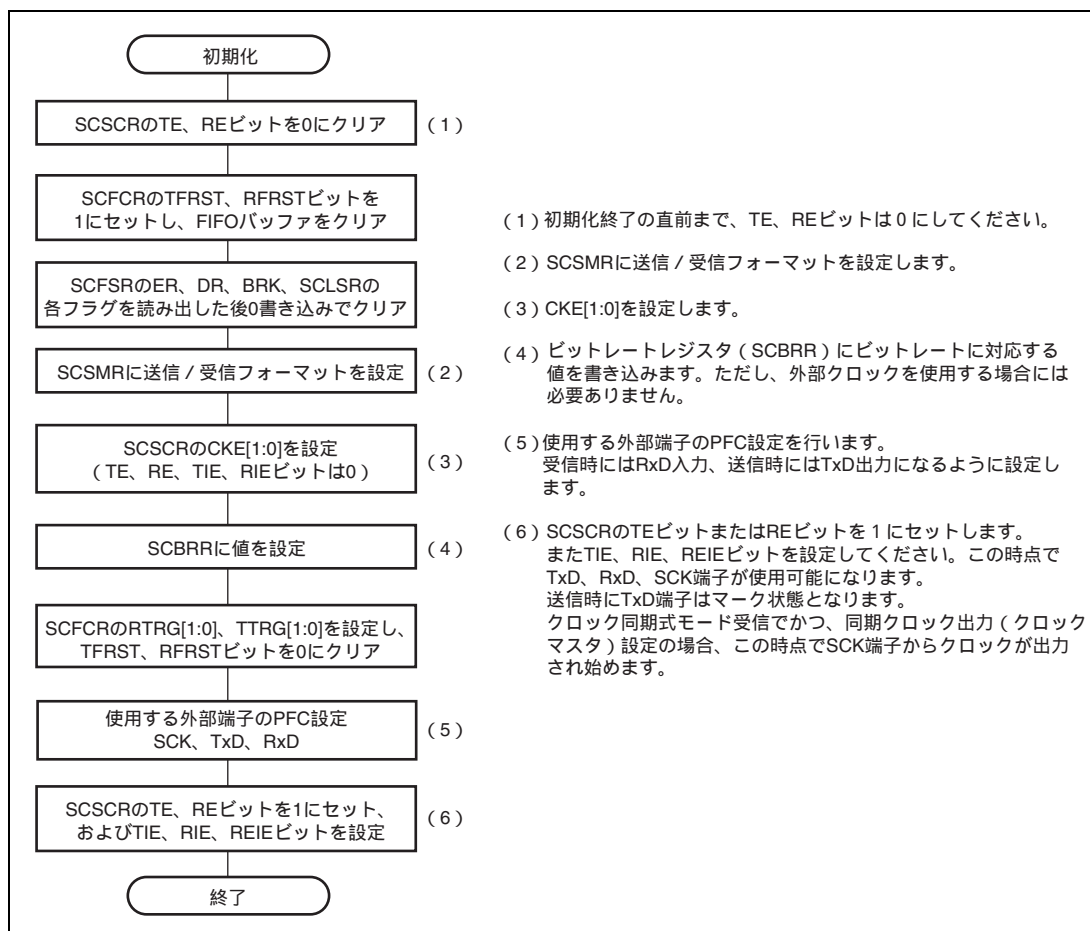


図 15.12 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図15.13にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

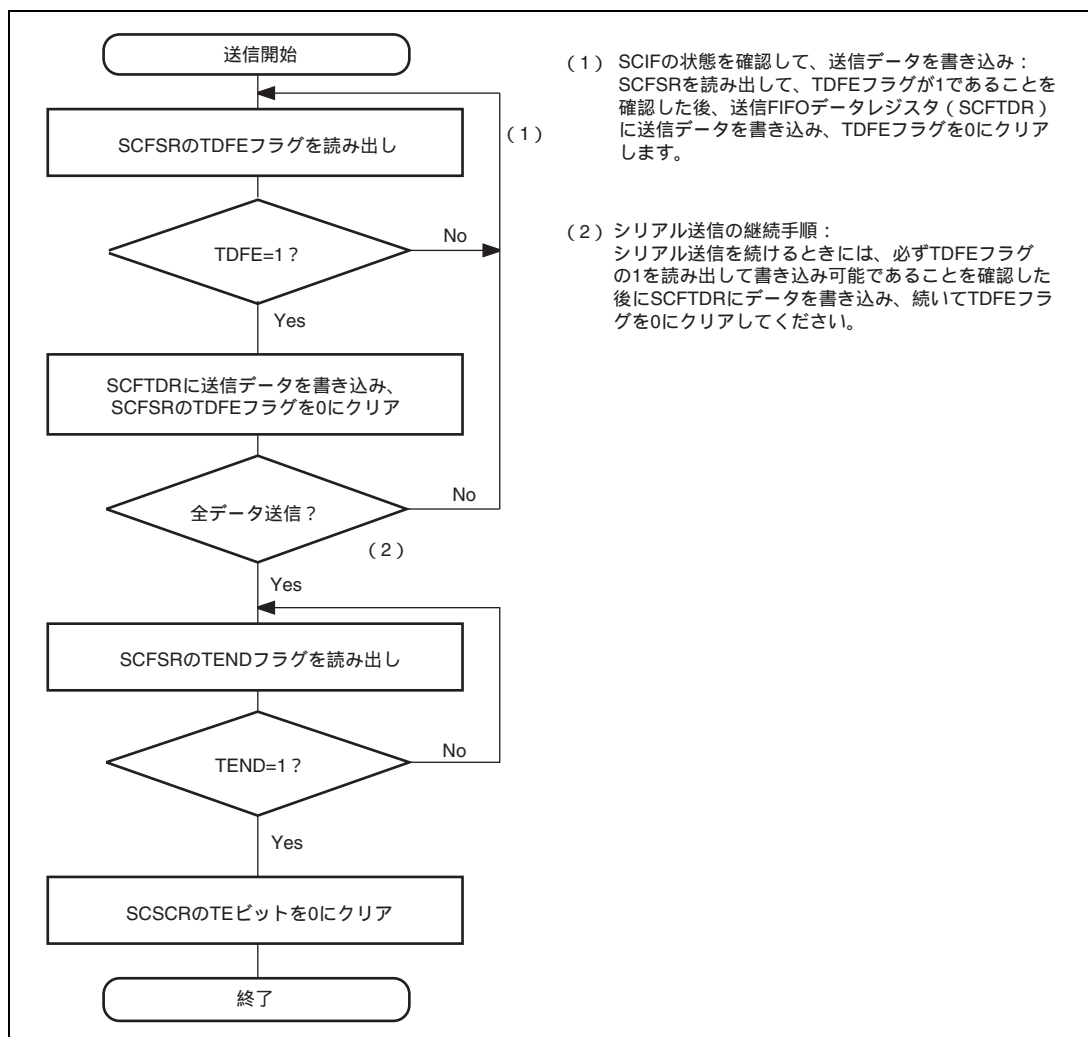


図 15.13 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図15.14にSCIFの送信時の動作例を示します。

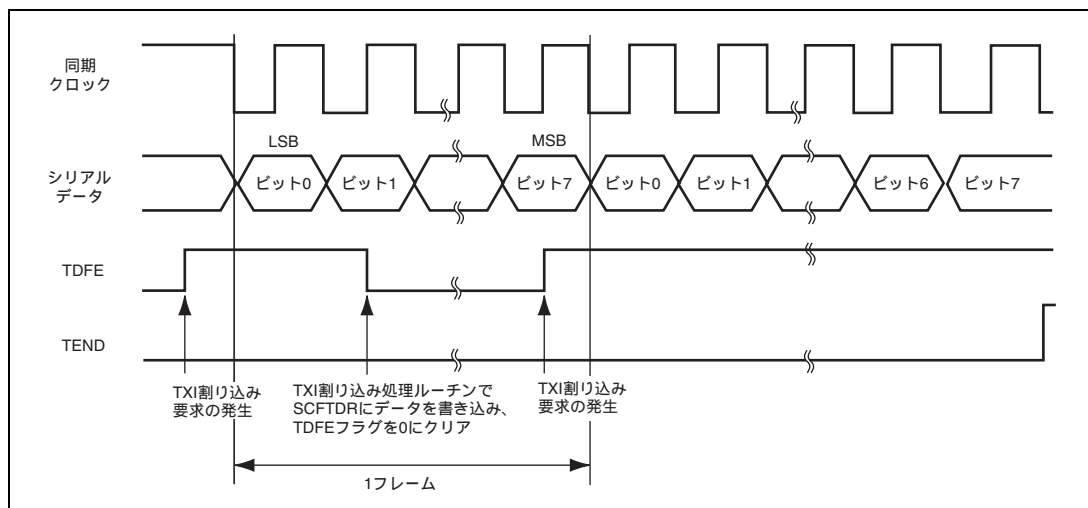


図 15.14 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図15.15、図15.16にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

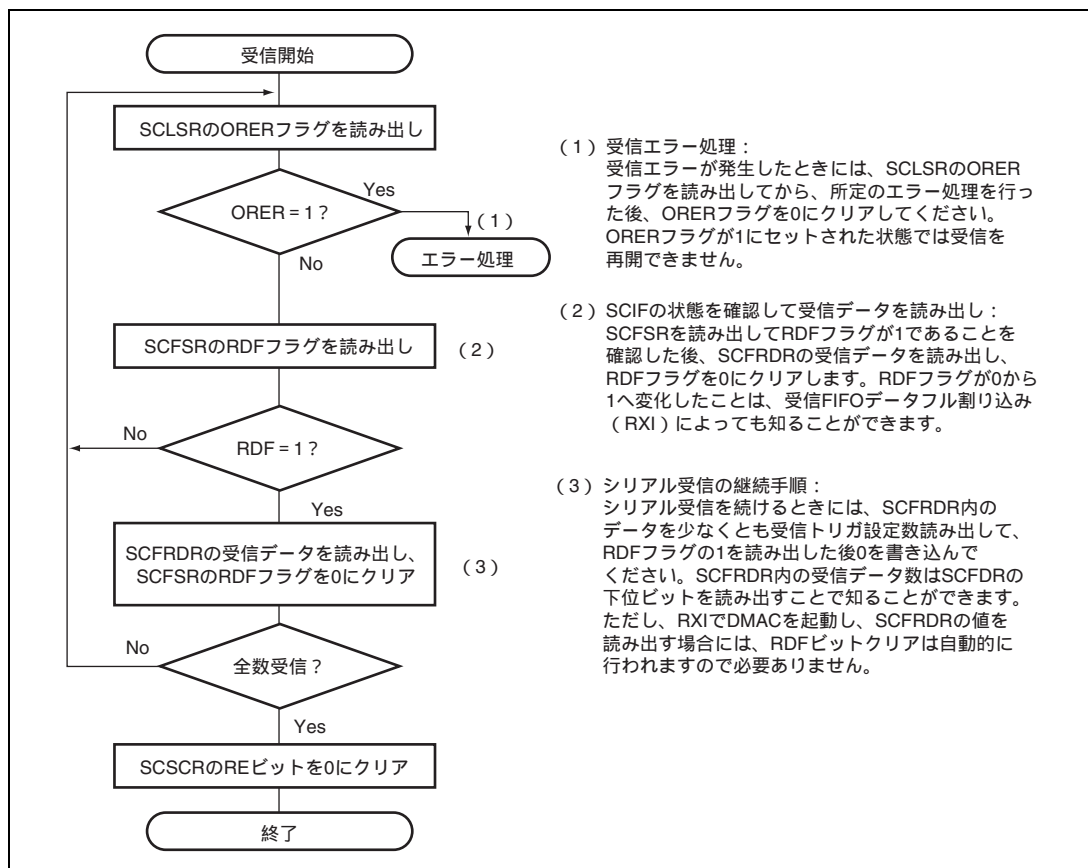


図 15.15 シリアル受信のフローチャートの例 (1)

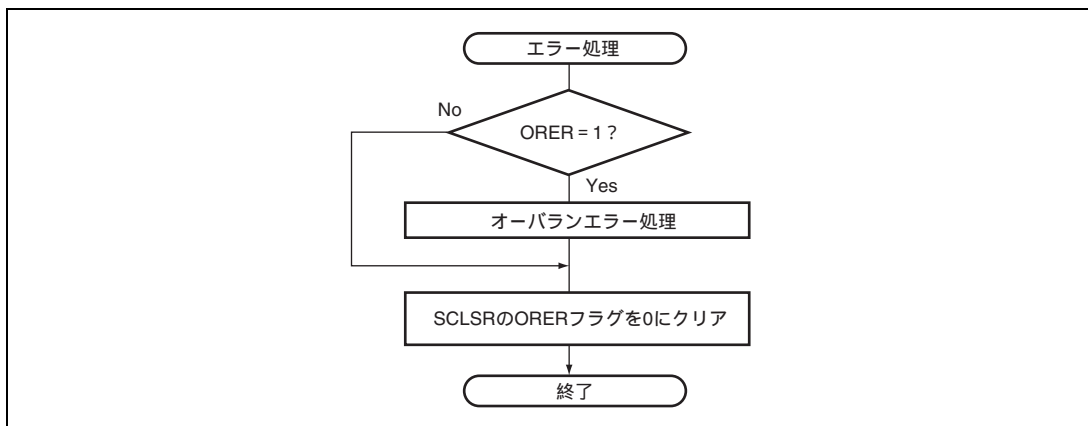


図 15.16 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図15.17にSCIFの受信時の動作例を示します。

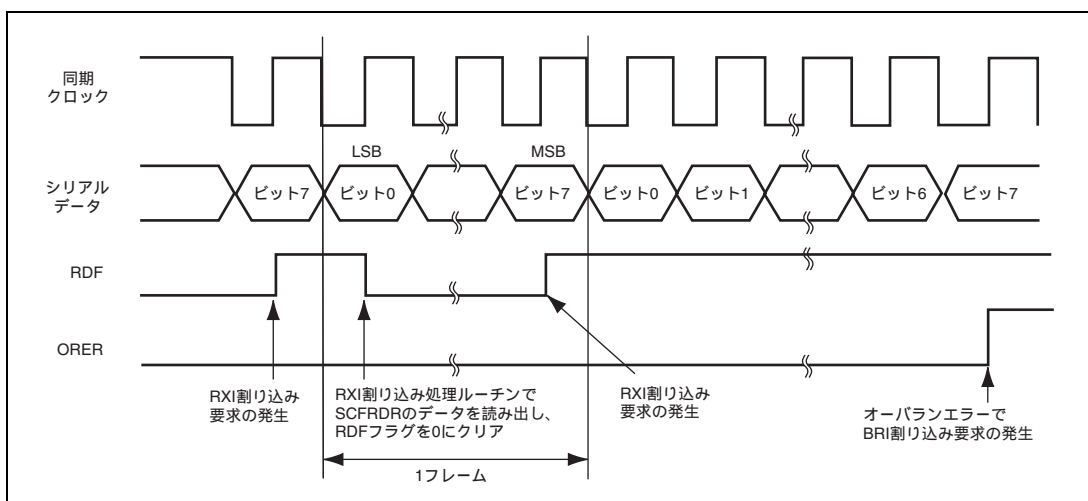


図 15.17 SCIF の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式モード)

図15.18にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

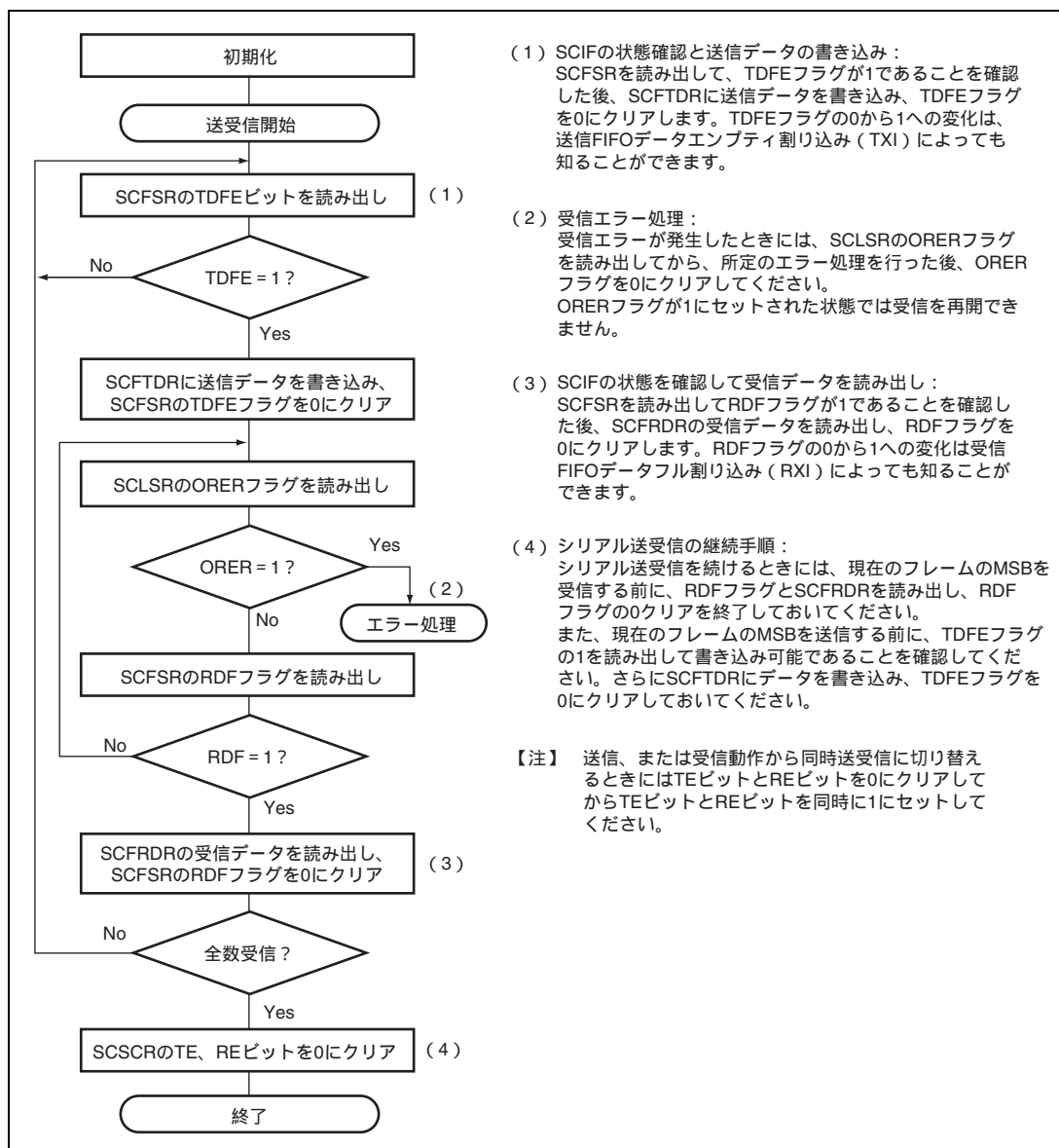


図 15.18 シリアルデータ送受信フローチャートの例

15.5 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 15.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

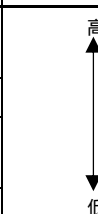
TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 15.13 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

15.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

15.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

15.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

15.6.3 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

15.6.4 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1

(ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

15.6.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF はビットレートの 16 または 8 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 または 4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 15.19 に示します。

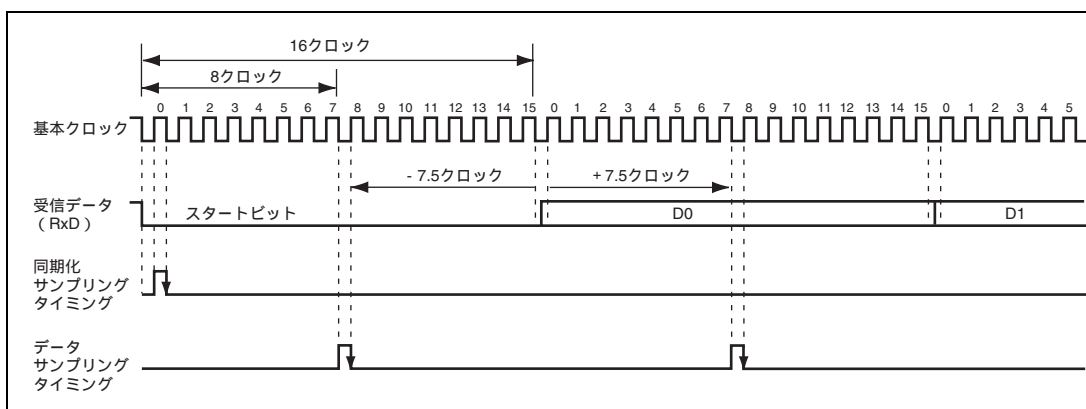


図 15.19 調歩同期式モードでの受信データサンプリングタイミング
(ビットレートの 16 倍の周波数の基本クロックで動作)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16 または 8)

D : クロックデューティ (D:0 ~ 1.0)

L : フレーム長 (L=9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

15.6.6 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ (SCEMR) の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、「15.6.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ (SCSMR) の CKS[1:0]、ビットレートレジスタ (SCBRR) の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数 (SCEMR の ABCS = 0) とすることをお勧めします。また、クロックソースを内部クロック / SCK 端子を使用しなければ、ポーレートジェネレータ倍速モード (SCEMR の BGDGM = 1) にすることで受信マージンを落とさずにビットレートを上げることができます。

16. I²C バスインタフェース (IIC)

16.1 特長

I²C バスインタフェースには次のような特長があります。

- I²Cバスインタフェース方式に対応
- マルチマスタ対応
- 7ビット/10ビットアドレス互換マスタ
- 7ビットのスレーブアドレス
- ファースト・モード対応
- SCLクロック周波数可変

図 16.1 に I²C バスインタフェースのブロック図を示します。

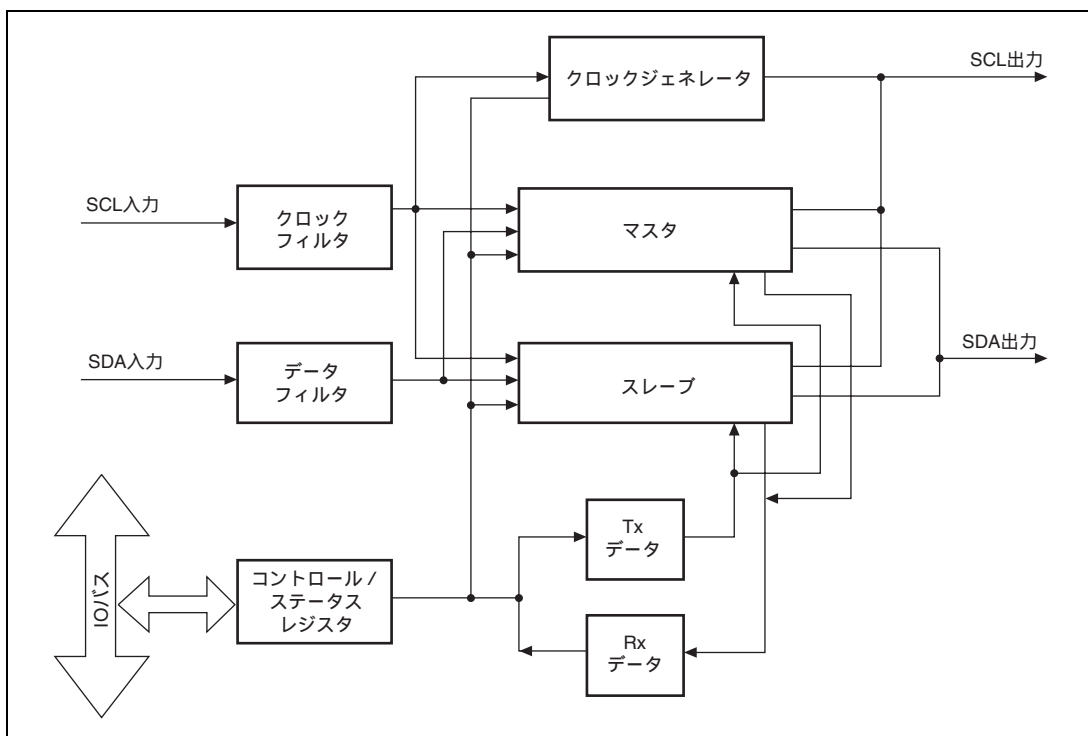


図 16.1 I²C バスインタフェースのブロック図

16.2 入出力端子

表 16.1 に I²C バスインタフェースで使用する端子を示します。

表 16.1 I²C バスインタフェースの端子構成

名 称	入出力	機 能
SCL	入出力	I ² C シリアルクロック入出力端子*
SDA	入出力	I ² C シリアルデータ入出力端子*

【注】 * I²C バス上の SCL/SDA 入出力端子はオープンドレインで、3.3V I/O です。

16.3 レジスタの説明

I²C バスインタフェースのレジスタ構成を表 16.2 に示します。また、各処理モードにおけるレジスタの状態を表 16.3 に示します。

表 16.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
スレーブコントロールレジスタ	ICSCR	R/W	H'FFE7 0000	H'1FF7 0000	8
マスタコントロールレジスタ	ICMCR	R/W	H'FFE7 0004	H'1FF7 0004	8
スレーブステータスレジスタ	ICSSR	R/(W)* ¹	H'FFE7 0008	H'1FF7 0008	8
マスタステータスレジスタ	ICMSR	R/(W)* ²	H'FFE7 000C	H'1FF7 000C	8
スレーブ割り込みイネーブルレジスタ	ICSIER	R/W	H'FFE7 0010	H'1FF7 0010	8
マスタ割り込みイネーブルレジスタ	ICMIER	R/W	H'FFE7 0014	H'1FF7 0014	8
クロックコントロールレジスタ	ICCCR	R/W	H'FFE7 0018	H'1FF7 0018	8
スレーブアドレスレジスタ	ICSAR	R/W	H'FFE7 001C	H'1FF7 001C	8
マスタアドレスレジスタ	ICMAR	R/W	H'FFE7 0020	H'1FF7 0020	8
受信データレジスタ	ICRXD	R/W	H'FFE7 0024	H'1FF7 0024	8
送信データレジスタ	ICTXD	R/W	H'FFE7 0024	H'1FF7 0024	8

【注】 *1 ビット 4~0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 6~0 はフラグをクリアするための 0 書き込みのみ可能です。

表 16.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
スリープコントロールレジスタ	ICSCR	H'00	保持	保持
マスタコントロールレジスタ	ICMCR	H'x0	保持	保持
スリープステータスレジスタ	ICSSR	H'00	保持	保持
マスタステータスレジスタ	ICMSR	H'00	保持	保持
スリープ割り込みイネーブルレジスタ	ICSIER	H'00	保持	保持
マスタ割り込みイネーブルレジスタ	ICMIER	H'00	保持	保持
クロックコントロールレジスタ	ICCCR	H'00	保持	保持
スリープアドレスレジスタ	ICSAR	H'00	保持	保持
マスタアドレスレジスタ	ICMAR	H'00	保持	保持
受信データレジスタ	ICRXD	H'00	保持	保持
送信データレジスタ	ICTXD	H'00	保持	保持

16.3.1 スレーブコントロールレジスタ (ICSCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDBS	SIE	GCAE	FNA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 書き込む値も常に 0 にしてください。
3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの 2 つのモードがあります。 このビットをセットするとシングルバッファが選択されます。 受信データレジスタがデータパケットを受信してから SDR がクリアされるまで SCL がローレベルに保持されます。 このビットをクリアするとダブルバッファが選択されます。受信モード時に、バスが 2 回データ受信動作を行った後、SDR がクリアされていない間は SCL がローレベルに保持され、SDR がクリアされると SCL のローレベルが解除されます。 0 : ダブルバッファモード 1 : シングルバッファモード
2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。 また、MIE をセットするとこのビットがセットされます。
1	GCAE	0	R/W	ジェネラルコールアクノリッジイネーブル スレーブがマスタからのジェネラルコールアドレスの送信に対しアクノリッジを求められた場合、このビットを 1 にセットする必要があります。
0	FNA	0	R/W	強制非アクノリッジ スレーブ受信モードでこのビットのレベルがアクノリッジ信号として送信デバイスに送られます。このビットはデータパケットが受信されている間はクリアされ、データ受信が終了するとセットされます。 強制非アクノリッジはスレーブ受信中にマスタに送信されます。 スレーブがデータパケットの最後のバイトデータを受信し終わるとアクノリッジをドライブしないこと (nack) でマスタと通信を行います。nack を受け取ったあとマスタはバス上にストップを発行します。このビットを設定してもスレーブアドレスのアクノリッジには影響を与えません。

16.3.2 スレーブステータスレジスタ (ICSSR)

スレーブステータスレジスタのステータスビット (ビット 0~4) は、0 を書き込むとクリアされます。各ビットは GCAR ビットと STM ビットを除き、0 を書き込むことによるリセットまで 1 に保持されます。

ビット:	7	6	5	4	3	2	1	0
	-	GCAR	STM	SSR	SDE	SDT	SDR	SAR
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に 0 にしてください。
6	GCAR	0	R	ジェネラルコールアドレス受信 バスから受信したアドレスがジェネラルコールアドレス (00H) であることを示します。このステータスビットは割り込みを発生させません。 SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。 本ビットへの書き込みは無効です。
5	STM	0	R	スレーブ送信モード 現在のスレーブ送信モードが読み出ししか書き込みかを示します。1 のとき書き込みで 0 のとき読み出しです。このステータスビットは割り込みを発生させません。 SIE ビットが 0 または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に 0 にクリアされます。SIE ビットはスレーブコントロールレジスタのビット 2、SSR ビットは本レジスタのビット 4 です。 本ビットへの書き込みは無効です。
4	SSR	0	R/W*	スレーブストップ受信 ストップがバス上に出力されました。マスタストップの期間中で SDA の立ち上がりエッジのあとこのステータスビットがアクティブになります。
3	SDE	0	R/W*	スレーブデータエンプティ 送信データがシフトレジスタにロードされました。データバイト送信の開始時、ICTXD レジスタの内容は、バスへデータ送信可能状態のシフトレジスタにロードされます。本ステータスビットは、このロードが行われ ICTXD レジスタが再びレディ状態になったことを示します。また、このステータスビットは最初のデータビットの前に SCL の立ち下がりエッジでアクティブになります。シングルバッファモード時には、このビットは ICTXD レジスタに新しいデータを書き込むごとにリセットする必要があります。スレーブ送信サイクルのスタートになってもこのビットがセットされたままの場合スレーブはバスを停止するために SCL をローレベルに保持するからです。

ビット	ビット名	初期値	R/W	説明
2	SDT	0	R/W*	スレーブデータ送信 バイトデータがバス上に送信されました。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。
1	SDR	0	R/W*	スレーブデータ受信 バイトデータをバスから受信しました。データは受信データレジスタ内にありレディ状態です。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。シングルバッファモード時には、データが ICRXD レジスタから読み出された後、このビットをリセットする必要があります。 SDBS がセットされると、受信データレジスタがデータパケットを受信開始してから SDR がクリアされるまで SCL はローレベルに保持されます。
0	SAR	0	R/W*	スレーブアドレス受信 スレーブがバス上に自分のアドレスを認識したことを示します (このアドレスはスレーブアドレスレジスタで定義されます)。スレーブコントロールレジスタのジェネラルコールアクリジイネーブルビットが有効な場合、本ステータスビットはバス上のアドレスがジェネラルコールアドレスの場合もセットされます。この場合、このレジスタの GCAR ビットでゼネラルコールアドレスが区別できます。STM ビットはアクセスが読み出し (ハイレベル) か書き込み (ローレベル) かを示します。このステータスビットは、最後のアドレスビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。ソフトウェアがこのステータスビットをリセットするまで、ACK の開始時にスレーブは SCL をローレベルに保持します。

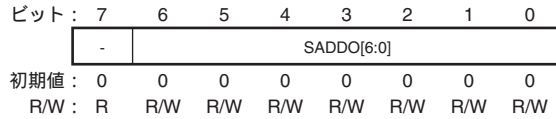
【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

16.3.3 スレーブ割り込みイネーブルレジスタ (ICSIER)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	SSRE	SDEE	SDTE	SDRE	SARE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 書き込む値も常に 0 にしてください。
4	SSRE	0	R/W	スレーブストップ受信割り込みイネーブル 0: SSR 割り込みの発生を禁止 1: SSR 割り込みの発生を許可
3	SDEE	0	R/W	スレーブデータエンプティ割り込みイネーブル 0: SDE 割り込みの発生を禁止 1: SDE 割り込みの発生を許可
2	SDTE	0	R/W	スレーブデータ送信割り込みイネーブル 0: SDT 割り込みの発生を禁止 1: SDT 割り込みの発生を許可
1	SDRE	0	R/W	スレーブデータ受信割り込みイネーブル 0: SDR 割り込みの発生を禁止 1: SDR 割り込みの発生を許可
0	SARE	0	R/W	スレーブアドレス受信割り込みイネーブル 0: SAR 割り込みの発生を禁止 1: SAR 割り込みの発生を許可

16.3.4 スレーブアドレスレジスタ (ICSAR)



ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に0にしてください。
6~0	SADD0[6:0]	すべて0	R/W	スレーブアドレス I ² C バス上でスレーブに割り付けられた固有の7ビットアドレスです。スレーブインタフェースは、データパケット送信の始めにスレーブアドレスとして送信される最初の7ビットと、このアドレスが一致するかどうかを確認します。

16.3.5 マスタコントロールレジスタ (ICMCR)

ビット :	7	6	5	4	3	2	1	0
	MDBS	FSCS	FSDA	OBPC	MIE	TSBE	FSB	ESG
初期値 :	0	-	-	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MDBS	0	R/W	<p>マスタデータバッファセレクト</p> <p>データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの2つのモードがあります。</p> <p>このビットをセットするとシングルバッファが選択されます。</p> <p>受信データレジスタがデータパケットを受信してから MDR がクリアされるまで SCL がローレベルに保持されます。</p> <p>このビットをクリアするとダブルバッファが選択されます。受信モード時に、バスが2回データ受信動作を行った後、MDR がクリアされていない間は SCL がローレベルに保持され、MDR がクリアされると SCL のローレベルが解除されます。</p> <p>0 : ダブルバッファモード 1 : シングルバッファモード</p>
6	FSCS	-	R/W	<p>強制 SCL</p> <p>強制 SCL は SCL 端子の状態を制御します (読み出しは SCL 端子の状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SCL を制御します。</p> <p>SCL 端子の値をそのまま反映しているので、読み出しサイクル中のこのビットのレベル (リセットレベルも含む) も SCL のレベルによって変化します。</p>
5	FSDA	-	R/W	<p>強制 SDA</p> <p>強制 SDA は SDA 端子の状態を制御します (読み出しは I²C バスのビジー状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SDA を制御します。</p> <p>読み出しサイクル中のこのビットのレベル (リセットレベルも含む) は、I²C バスのビジー状態を示します。1 は I²C バスがビジーであることを、0 はビジーでないことを示します。</p>

ビット	ビット名	初期値	R/W	説明
4	OBPC	0	R/W	オーバライドバス端子コントロール このビットをセットするとこのレジスタの FSDA と FSCL が直接 SDA と SCL を制御します。テスト用です。
3	MIE	0	R/W	マスタインタフェースイネーブル このビットをセットするとマスタインタフェースが有効になります。 MAL セット時にクリアされます。
2	TSBE	0	R/W	スタートバイト送信イネーブル このビットをセットすると各スタート、リスタート発行後、バス上にスタートバイト (H'01) をマスタが送信します。スタートバイトは I ² C バスインタフェース対応の動作周波数の低いマイコンとインタフェースをとるために使用されます。
1	FSB	0	R/W	バス上への強制ストップ このビットをセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESG もセットされた場合、マスタは直ちにスタートを発行し新しいデータパケットの送信を開始します。ESG がセットされない場合、マスタはアイドル状態になります。
0	ESG	0	R/W	イネーブルスタート生成 このビットをセットすると、マスタはデータパケットの送信を開始します。ESG がセットされたときにバスがアイドル状態だった場合、マスタはスタートをバス上に発行し、その後スレーブアドレスを発行します。マスタが転送中に ESG がセットされた場合、マスタは転送中のデータバイトの終了時にスレーブアドレスを発行する前にリスタートを発行します。データパケットを送信する場合、ソフトウェアはスレーブアドレスが送信されてからこのビットをリセットする必要があります。リセットしない場合、各送信終了後にリスタートが発行されます。

16.3.6 マスタステータスレジスタ (ICMSR)

マスタステータスレジスタのステータスビット (ビット 0~6) は、0 を書き込むことでクリアされます。各ビットは 0 を書き込んでリセットされるまで 1 に保持されます。

ビット :	7	6	5	4	3	2	1	0
	-	MNR	MAL	MST	MDE	MDT	MDR	MAT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 書き込む値も常に 0 にしてください。
6	MNR	0	R/W*	マスタ Nack 受信 このビットがセットされると、マスタがアドレスまたはデータ送信に対する nack を受信したことを示します (nack はアクノリッジサイクル中にバス上の SDA がハイレベルであることです)。
5	MAL	0	R/W*	マスタアービトレーションロスト マルチマスタシステムではこのビットがセットされるとマスタはバス上の他のマスタに対するアービトレーションを失ったことを示します。 このとき MIE はリセットされマスタインタフェースは無効になります。
4	MST	0	R/W*	マスタストップ送信 このビットがセットされるとマスタがバス上にストップを送信したことを示します。コントロールレジスタの強制ストップビットを設定することでマスタストップを出力し、nack 受信時にもマスタストップを出力します。
3	MDE	0	R/W*	マスタデータエンプティ データバイト送信開始時、送信データレジスタの内容はバスに送信可能状態のシフトレジスタにロードされます。 このビットがセットされるとこのロードが行われ送信データレジスタが再びレディ状態になったことを示します。 マスタ送信モードでは、MDE ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき ICMSR の ESG ビットがクリアされた後で MDE と MAT ビットをクリアしてください。クリアするとデータ送信が再開されます。
2	MDT	0	R/W*	マスタデータ送信 バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。

ビット	ビット名	初期値	R/W	説明
1	MDR	0	R/W*	<p>マスタデータ受信</p> <p>バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。</p> <p>MDBS がセットされると、受信データレジスタがデータバケットを受信開始してから MDR がクリアされるまで SCL はローレベルに保持されます。</p> <p>マスタ受信モードでは、MDR ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき、ICMCR の ESG ビットがクリアされた後で、MDR と MAT ビットをクリアしてください。クリアすると、データ受信がスタートされます。</p>
0	MAT	0	R/W*	<p>マスタアドレス送信</p> <p>スレーブアドレスのバイトデータバケットがマスタによって送信されました。このビットはアドレスの ack ビット期間中で SCL 立ち下がりエッジ後にアクティブになります。</p>

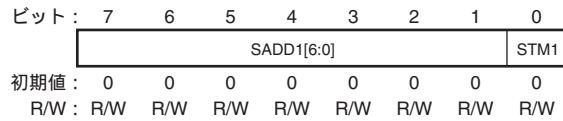
【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

16.3.7 マスタ割り込みイネーブルレジスタ (ICMIER)

ビット:	7	6	5	4	3	2	1	0
	-	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

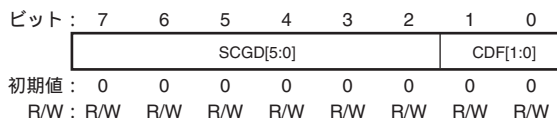
ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 書き込む値も常に0にしてください。
6	MNRE	0	R/W	マスタ Nack 受信割り込みイネーブル 0: MNR 割り込みの発生を禁止 1: MNR 割り込みの発生を許可
5	MALE	0	R/W	マスタアービトラクションロスト割り込みイネーブル 0: MAL 割り込みの発生を禁止 1: MAL 割り込みの発生を許可
4	MSTE	0	R/W	マスタストップ送信割り込みイネーブル 0: MST 割り込みの発生を禁止 1: MST 割り込みの発生を許可
3	MDEE	0	R/W	マスタデータエンプティ割り込みイネーブル 0: MDE 割り込みの発生を禁止 1: MDE 割り込みの発生を許可
2	MDTE	0	R/W	マスタデータ送信割り込みイネーブル 0: MDT 割り込みの発生を禁止 1: MDT 割り込みの発生を許可
1	MDRE	0	R/W	マスタデータ受信割り込みイネーブル 0: MDR 割り込みの発生を禁止 1: MDR 割り込みの発生を許可
0	MATE	0	R/W	マスタアドレス送信割り込みイネーブル 0: MAT 割り込みの発生を禁止 1: MAT 割り込みの発生を許可

16.3.8 マスタアドレスレジスタ (ICMAR)



ビット	ビット名	初期値	R/W	説 明
7~1	SADD1[6:0]	すべて 0	R/W	スレーブアドレス このビットはマスタが通信しようとするスレーブのアドレスです。
0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード (送信または受信) を、マスタから送信されたスレーブアドレス (SADD1) と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信した STM1 の値によってハードウェアが自動的に送信 / 受信を設定します。 このビットがセットされると読み出し、クリアされると書き込みになります。

16.3.9 クロックコントロールレジスタ (ICCCR)



ビット	ビット名	初期値	R/W	説明
7~2	SCGD[5:0]	すべて 0	R/W	<p>SCL クロック生成分周</p> <p>マスタモードで動作しているときは、SCGD を分周比として内部クロック周波数から SCL クロックが生成されます。スレープモードにおいても、データオーバフローでバスを停止させるため SCL をローレベルに保持しているときは内部クロックからのクロック生成により動作します。このため SCGD はマスタとスレープのいずれのモードにおいてもプログラムする必要があります。周波数の関係を以下に示します。</p> <p>式 2 SCL レート計算</p> $\text{SCL freq} = \text{IICck} / (20 + \text{SCGD} * 8) \quad \text{IICck} : \text{IIC 内部クロック周波数}$ <p>CPU のレートと 2 種類の I²C バスのスピードに対して推奨する CDF と SCGD の値を表 16.4 に示します。</p>
1, 0	CDF[1:0]	すべて 0	R/W	<p>クロック分周要素</p> <p>I²C バスインタフェースモジュール内のほとんどのブロックで使用される内部クロックは周辺のクロックを分周したものです。IIC の内部クロックは CDF を分周比として周辺クロックから生成されます。</p> <p>式 1 IIC 内部クロック周波数計算</p> $\text{IICck} = \text{Pck} / (1 + \text{CDF}) \quad \text{Pck} : \text{周辺クロック}$ <p>バス上の SCL に対する SDA のセットアップとホールドタイムの最小値を満たすようにしてください。</p> <p>クロック周波数は、グリッチフィルタが I²C ファーストモード仕様に述べられているとおり 50ns までのグリッチに対して動作するようにしてください。</p> <p>【注】 CDF はクロック周波数 (IICck) が 20MHz 未満になるような値にしてください。</p>

表 16.4 CDF と SCGD の推奨値*

周辺クロック周波数	100KHz		400KHz	
	CDF	SCGD	CDF	SCGD
50 MHz	2	19	2	3
誤差	-3.10%		-5.30%	

【注】 * SCL レートにおける推奨値です。

16.3.10 受信 / 送信データレジスタ (ICRXD/ICTXD)

本レジスタを読み出したときと書き込みしたときは、物理的には別のレジスタにアクセスしています。データが送信されるときはTXDを使用して、シフトレジスタのデータがロードされます。I²C バスからシフトレジスタにデータを受信したときは、データはRXDにロードされます。

- 受信データレジスタ (ICRXD)

ビット:	7	6	5	4	3	2	1	0
	RXD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	RXD[7:0]	すべて0	R	読み出し受信データ マスタまたはスレーブによって受信されるデータ

- 送信データレジスタ (ICTXD)

ビット:	7	6	5	4	3	2	1	0
	TXD[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7~0	TXD[7:0]	すべて0	W	書き込み送信データ マスタまたはスレーブによって送信されるデータ

16.4 動作説明

16.4.1 データとクロックフィルタ

これらのブロックは I²C バスから入力される信号のグリッチを取り除きます。取り除くグリッチの幅は 1 クロックまでです (内部クロック周波数の詳細はクロックコントロールレジスタを参照してください)。これはファーストモード I²C バスレート (400kHz) の仕様ですが低速モードの仕様に違反するものではありません。

また、これらのブロックは内部クロックに対してバス信号の再同期も行います。

16.4.2 クロックジェネレータ

クロックジェネレータは 2 つの機能を持ちます。1 つめは、マスタまたはスレーブインタフェースのコマンドに従って SCL I²C バスクロックを生成することです。2 つめは、フィルタやマスタ、スレーブインタフェースで使用される内部クロックを制御することです。このクロックはフィルタやマスタ、スレーブインタフェースのレジスタのクロックイネーブル信号として動作します。

16.4.3 マスタ / スレーブインタフェース

これらのインタフェースは独立で並行に動作します。マスタインタフェースは I²C バス上のアドレスとデータの転送を制御します。スレーブインタフェースは I²C バスを監視し、設定されたアドレスがバス上に出力されると転送に参加します。どちらのインタフェースも独立にコントロール / ステータスレジスタと通信します。割り込みは 1 本のみで、I²C バスインタフェースモジュールから出力されます。発生源はマスタかスレーブのどちらかになります。

16.4.4 ソフトウェアステータスインターロック

I²C バスインタフェースモジュールへのソフトウェアインタフェースをできるだけ強固でシンプルにするため、いくつかの連動させたステータスをマスタインタフェースとスレーブインタフェースの動作に組み込んでいます。このステータスビットを以下に示します。

(1) MDR と SDR

データを受信するとマスタ受信時は MDR が、スレーブ受信時は SDR がセットされます。受信データレジスタを読み出したあとはステータスをクリアしてください。MDR と SDR がセットされているときにデータを受信すると、ハードウェアは受信データレジスタにまだ読み出されていないデータがあることを認識して自動的に SCL をローレベルに保持し、データ転送を一時停止します。この場合、受信データを読み出した後にステータスをクリアすることで転送は再開されます。

データを連続して受信するときは、受信データレジスタを読み出したあと必ず MDR と SDR のステータスをクリアしてください。

(2) MDE と SDE

スレープまたはマスタが、データ(送信データレジスタのデータ)を I²C バス上に送信する段階になっても MDE と SDE ステータスビットがセットされている場合、MDE と SDE がリセットされるまで SCL はローレベルに保持される必要があります。MDE と SDE がセットされることで、現在送信データレジスタに保持されているデータはすでにシフトレジスタにセットされたことを示します。

次にデータバイトの送信を行うとき、ソフトウェアは ICTXD に送信データを書き込んでから、このステータスビットをクリアする必要があります。ただし、この操作はバス上に送信される最初のバイトデータには必要ありません。

(3) MAL

マスタがアービトレーションを失ったとき、マスタステータスレジスタの MAL ビットがセットされマスタコントロールレジスタの MIE ビットがリセットされます。このときマスタモードは無効になり I²C バスインタフェースはスレープモードになります。マスタの動作を再開する場合、マスタからのデータ転送は MAL ビットがクリアされてから開始されます。

(4) SAR

SAR ステータスビットは、スレープが、自分のアドレスが I²C バス上に出力されたことを認識したときにセットされます。このときスレープインタフェースは、SAR ステータスビットがリセットされるまで SCL をローレベルに保持します。

これはスレープの送信がバスに対して行われようとしているときは特に重要です。スレープは送信データレジスタからデータを送信します。ソフトウェアは SAR ステータスに対して、送信データレジスタに要求されるデータを書き込み、その後 SAR ビットをリセットするという応答を行います。これによりスレープインタフェースはアクセスを続けることができます。

スレープがデータを受信しようとしている場合、ソフトウェアが受信データレジスタから前のアクセスでロードされたデータをまだ読み出しているということがあります。新しいアクセスがまだ受信データレジスタにある有効なデータを上書きしてしまう可能性があります。しかし、SAR ステータスビットを使うことでこれを回避することができます。ソフトウェアが受信データレジスタのすべてのデータの読み出しを終了してから SAR ビットをリセット (SAR がセットされていた場合) すると、受信データレジスタの上書きを避けられます。

16.4.5 I²C バスデータフォーマット

図 16.2 に I²C バスインタフェースのバスタイミングを示します。また、表 16.5 に図 16.2 の記号の意味を示します。

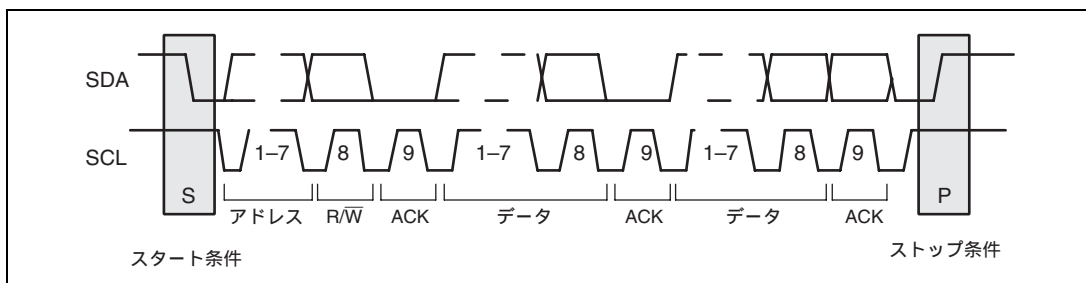


図 16.2 I²C バスタイミング

表 16.5 I²C バスデータフォーマットの記号説明

記号	説明
S	開始条件を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを転送します。
A	データアックノリッジを示します。受信デバイスが SDA をローレベルにします。スレーブデバイスはマスタ送信モードではデータアックノリッジを返します。
DATA	送受信データを示します。データ長は 8 ビットで MSB から転送されます。
P	停止状態を示します。マスタデバイスは、SCL がハイレベルの状態です。SDA をローレベルからハイレベルに変化させます。

16.4.6 7ビットアドレスフォーマット

図 16.3 にマスタからスレーブデバイスへのデータ転送フォーマット (マスタデータ送信フォーマット) を示します。図 16.4 にマスタデバイスがスレーブデバイスからの 2 番目とそれ以降のバイトデータを読み出すデータ転送フォーマット (マスタデータ受信フォーマット) を示します。

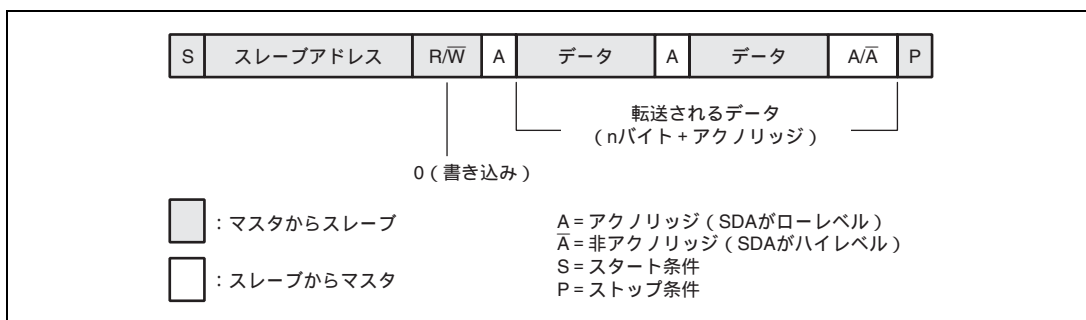


図 16.3 マスタデータ送信フォーマット

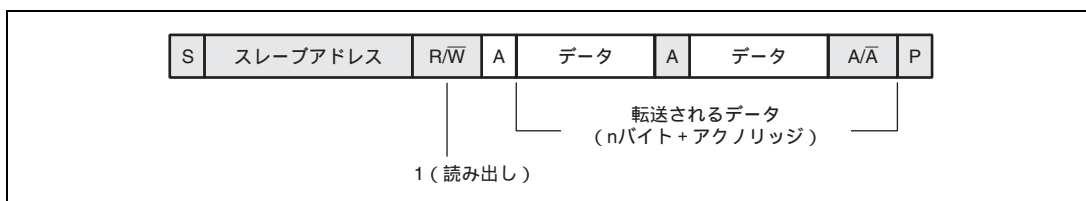


図 16.4 マスタデータ受信フォーマット

図 16.5 に、1 回の転送中にデータ転送の方向が変わる複合転送フォーマットを示します。1 回目の転送で方向が変わるときは反復スタート条件 (Sr)、スレーブアドレス、R/W が送信されます。この場合 R/W は 1 回目の転送方向と逆の方向が設定されています。再送コマンドは、マスタコントロールレジスタのイネーブルスタート生成ビットがセットされているときに送信または受信の最後でマスタが発行します。

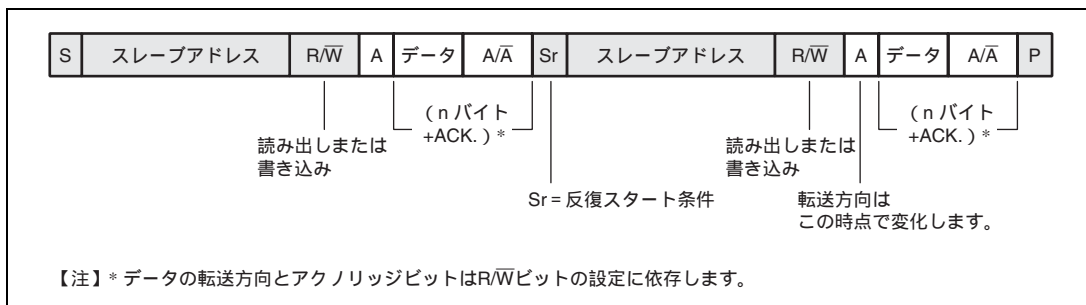


図 16.5 マスタ転送の複合転送フォーマット

【注】 * 反復スタート条件: SCL がハイレベルで、SDA をローレベルにしたときにスタートします。

16.4.7 10 ビットアドレスフォーマット

マスタモードでサポートする 10 ビットアドレス転送フォーマットについて説明します。

このフォーマットは 7 ビットアドレス転送フォーマット同様に 3 種類の転送方法があります。

図 16.6 にデータ転送フォーマットを示します。マスタアドレスレジスタに設定された値は 1 回目の転送条件 (S) の後に 1 バイトで出力されます。送信データレジスタ (TXD) に設定された値は 2 番目のバイトでスレーブアドレスとして転送されます。3 バイト目とそれ以降のデータ転送は 7 ビットアドレスデータ送信と同じ方法で行われます。

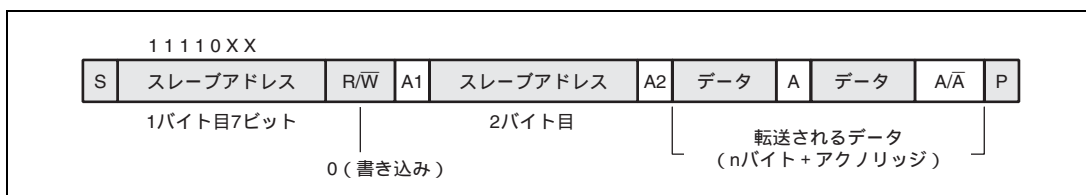


図 16.6 10 ビットアドレスデータ送信フォーマット

図 16.7 にデータ受信フォーマットを示します。

データ受信フォーマットで 2 バイトのアドレスの送信は前述のデータ送信と同様に行われます。その後、反復スタート条件 (Sr) が送信され、アドレスレジスタに設定された値が送信されます。このとき、STMI は 1 (受信モード) である必要があります。データ転送は 7 ビットアドレス受信フォーマットと同様に行われます。

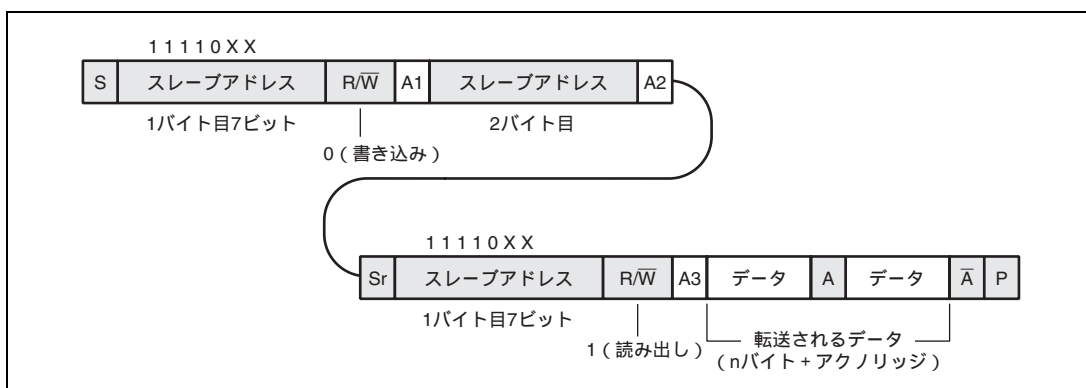


図 16.7 10 ビットアドレスデータ受信フォーマット

図 16.8 にデータ送信 / 受信複合フォーマットを示します。

データ送信 / 受信複合フォーマットでは、データは最初の 2 バイトでアドレスが送信された後データが送信されます。その後、再送条件 (Sr) がストップ条件 (P) の代わりに送信されます。Sr 送信後の手順は通常のデータ受信フォーマットと同様に行われます。

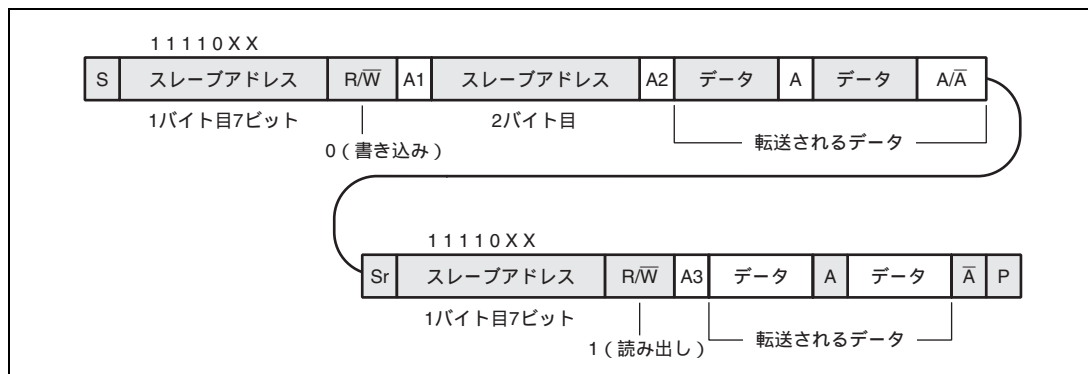


図 16.8 10 ビットアドレスデータ送信 / 受信複合フォーマット

16.4.8 マスタ送信動作

マスタ送信モードでの送信手順と動作を以下に示します。図 16.9 にマスタ送信モードのタイミングチャートを示します。マスタコントロールレジスタのMDBS ビットをセットすることにより、IIC はシングルバッファモードで動作します。

1. 初期状態では、スレーブアドレス、送信データ、送信スピードに従ってクロックコントロールレジスタとマスタ割り込みイネーブルレジスタを設定してください。マスタモードが使用されているときでもスレーブモードは要求されるので、スレーブアドレスレジスタにデバイスのアドレスを設定してください。

また、マスタコントロールレジスタのMDBS とスレーブコントロールレジスタのSDBS は動作途中では変更しないでください。動作途中でこれらのビットを変更すると誤動作することがあります。

2. マスタコントロールレジスタのFSDA ビットとFSCL ビットを監視してください。バスがアイドル状態のとき、FSDA ビットが 0、かつ、FSCL ビットが 1 となります。これは他の I²C デバイスがバスを使用していないことを意味します。確認後、マスタコントロールレジスタのMIE ビットとESG ビットをセットしてマスタ送信を開始します。
3. 送信開始条件、スレーブアドレス、データ送信方向を示す信号が送信された後、マスタステータスレジスタのMAT ビットとMDE ビットによる割り込みが図 16.9 の (1) に示されるタイミングで生成されます。このとき ESG をクリアしてください。マスタデバイスは、データ送信を一時停止するために、MDE ビットがクリアされるまで SCL をローレベルにします。
4. SAR による割り込みが図 16.9 の (3) に示されるタイミングで生成されます。スレーブデバイスの IRQ 処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を延ばします (図 16.9 の (7) に示されるタイミング)。スレーブデバイスは 9 番目のクロックで SDA をローレベルにして ACK を返します。
5. データ転送は 8 ビットに ACK の 1 ビットを加えたもの、つまり 9 ビットを単位として行います。MDE (ビット 3) による割り込みは、データ転送前の 9 番目のクロック (図 16.9 の (2) に示されるタイミング) のときに生成されます。MDT (ビット 2) による割り込みは、1 バイトのデータ転送後の 8 番目のクロック (図 16.9 の (4) に示されるタイミング) のときに生成されます。転送データを設定したあと MDE をクリアしてください。

6. スレーブデバイスからNackを受信したとき、マスタステータレジスタのMNRがセットされます。このときデータ転送を終了させるために、マスタデバイスはFSBの設定に関わらずデータ転送終了条件を出力します。マスタデバイスでデータ送信を終了するとき、マスタコントロールレジスタのFSBをセットしてマスタストップを出力するようにしてください。
7. FSBは最終バイトデータが転送される前に設定される必要があります。そこでマスタ送信モード時には、最終バイトデータが設定されたあとMST (マスタストップ送信) を割り込みまたはポーリングでチェックします。また同時にMNR (マスタNACK受信) をチェックし、NACKが返された場合はそれ以降のバイトデータを再送信するために自動でマスタストップを出力してエラールーチンに進みます。

図 16.9 のタイミング (1) ~ (6) は、クロックの立ち下がりエッジ後に生成されます。

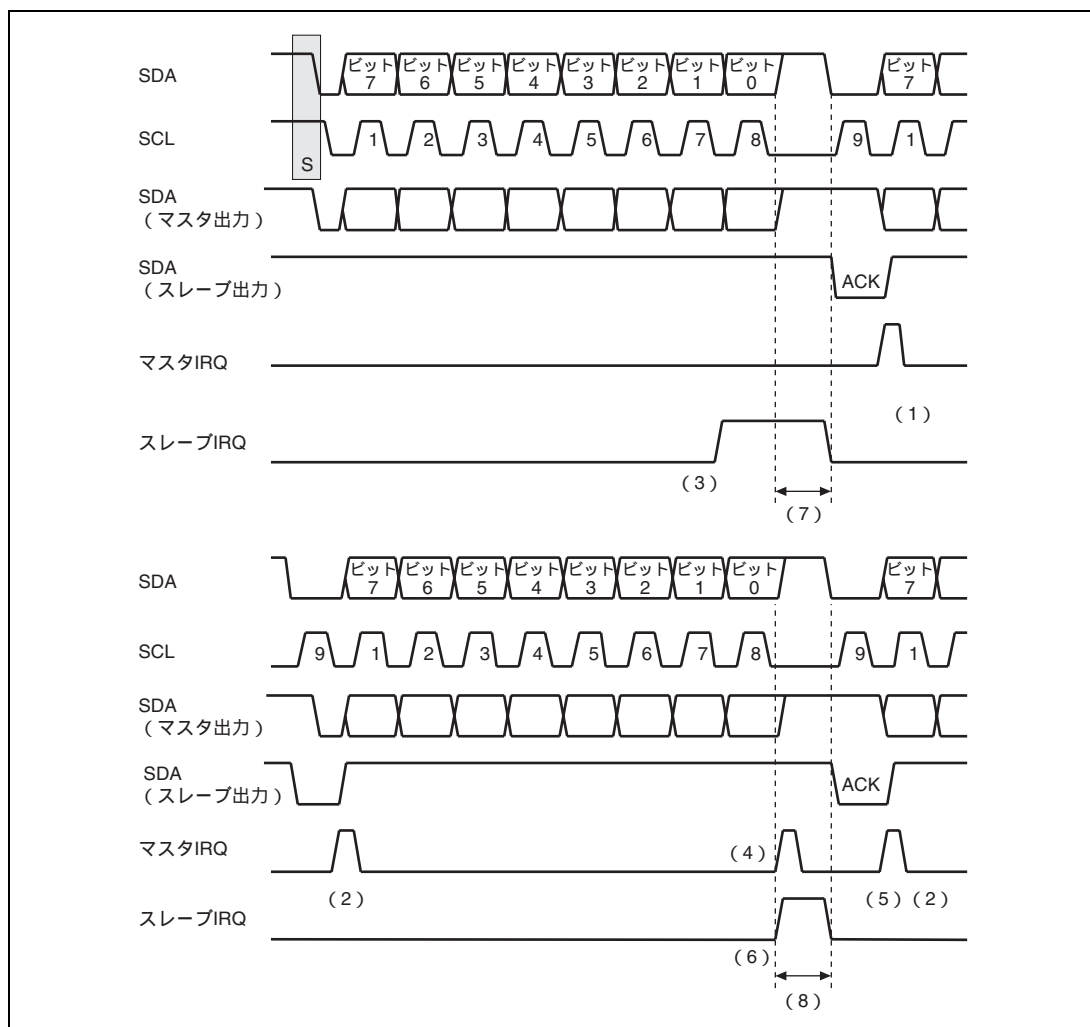


図 16.9 データ転送モード動作タイミング

16.4.9 マスタ受信動作

マスタ受信モードでのデータ受信手順と動作を以下に示します。図 16.10 にマスタデータ受信モードのタイミングチャートを示します。マスタコントロールレジスタのMDBS ビットをセットすることにより、IIC はシングルバッファモードで動作します。

1. マスタデータ受信モードでは、スレーブアドレスとデータ転送方向を示す1バイトの信号については、動作はマスタデータ転送モードと同様です。しかし、このときデータ転送方向は1 (受信) を選択してください。
2. スレーブデバイスは、データ転送方向を示す信号によって自動的にデータ転送モードになり、マスタデバイスからのSCLクロックに同期して、1バイトデータの送信を行います。マスタデバイスは8番目のクロック (図 16.10の (2) に示されるタイミング) でMDR (ビット1) の割り込みを生成します。マスタデバイスが受信データを読み出した後、MDRビットをクリアしてください。この割り込み処理が遅れた場合、マスタデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします (図16.10の (3) に示されるタイミング)。
3. スレーブデバイスは、8番目のクロック (図16.10の (2) に示されるタイミング) で1バイトのデータ転送の最後を示すSDT (ビット2) による割り込みを生成します。また、9番目のクロック (図16.10の (1) に示されるタイミング) でデータエンプティを示すSDE (ビット3) による割り込みを生成します。スレーブ送信データをTXDに書き込んだ後、SDEをクリアしてください。
4. 転送を終了するために、マスタデバイスのマスタコントロールレジスタのFSB (ビット1) をセットしてマスタストップを出力するようにしてください。IICモジュールはバイトデータの最終ビットの送信または受信が完了すると、FSBの値を取り込んでストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。最終バイトの受信後、マスタレシーバは受信トランザクションを完了しますが、もし最終バイトデータが正しくないとき、プロトコルレイヤはスレーブ送信側に再送信が必要なことを通知します。

図 16.10 のタイミング (1) ~ (3) は、クロックの立ち下がりエッジ後に生成されます。

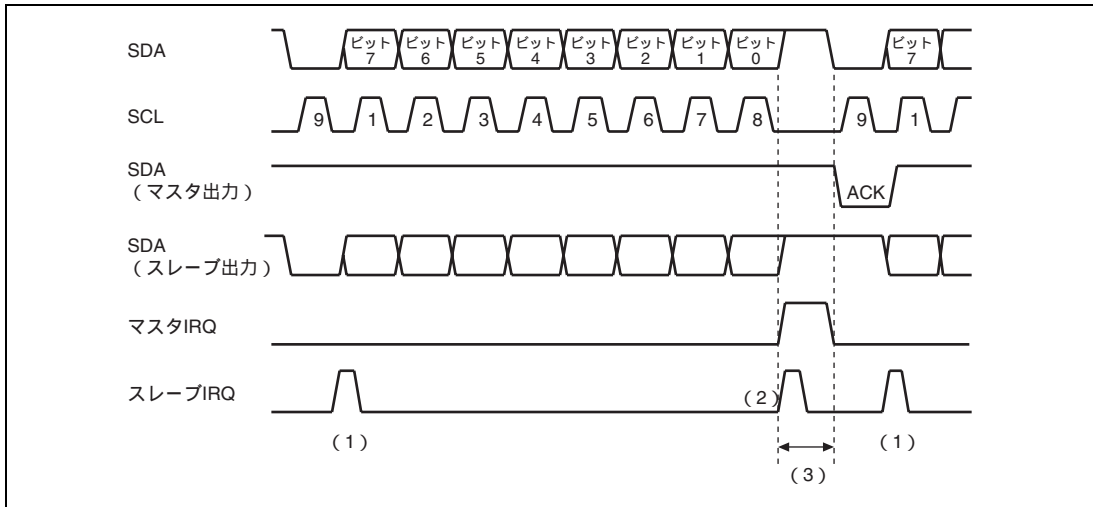


図 16.10 データ受信モード動作タイミング

16.5 スレーブ動作

16.5.1 スレーブアドレス受信動作

IC SAR に設定されたアドレスがマスタより送信されたとき、SAR による割り込みが図 16.9 の (3) に示されるタイミングで生成されます。スレーブデバイスの割り込み処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を延ばします (図 16.9 の (7) に示されるタイミング)。スレーブデバイスは 9 番目のクロックで SDA をローレベルにして ACK を返します。また、スレーブデバイスは、データ転送方向を示す信号 (8 番目クロック時の SDA のレベル) によって自動的にデータ送信とデータ受信の切り替えを行い、STM にデータ転送方向を記録します。

16.5.2 スレーブデータ受信動作

スレーブデバイスの SDR (スレーブデータ受信) による割り込みは、8 番目のクロック (図 16.9 の (6) に示されるタイミング) のときに生成されます。スレーブデバイスが受信データをリードしたあと SDR をクリアしてください。この処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するために SCL の期間を延ばします (図 16.9 の (8) に示されるタイミング)。

16.5.3 スレーブデータ送信動作

スレーブデバイスは、8 番目のクロック (図 16.10 の (2) に示されるタイミング) で 1 バイトのデータ転送の最後を示す SDT (ビット 2) による割り込みを生成します。また、9 番目のクロック (図 16.10 の (1) に示されるタイミング) でデータエンプティを示す SDE (ビット 3) による割り込みを生成します。スレーブ送信データを TXD に書き込んだ後、SDE をクリアしてください。

16.6 プログラム例

16.6.1 マスタ送信

I²C バスにデータパケットを送信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比にH'2を設定
(周辺クロックが50MHz、I²C内部クロックIICckが16.7MHz)

(2) マスタステータスクリア

ICMSR に 0 をセットし、ステータスビットをクリアします。

(3) マスタコントロールレジスタ、1 番目のデータバイトとアドレスのロード

1. ICMARのSADDにアクセスするスレーブアドレスを設定し、STM1に0を設定
2. 送信データレジスタに送信される1番目のデータバイトをICTXDに設定
3. FSDA=0かつFSCL=1となるのを待ち、ICMCRにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(4) アドレスの出力待ち

1. MAT=1かつMDE=1を待つ。この間にMNR=1 (スレーブがNACK出力) となった場合、エラールーチンへ移行
2. ICMCRにH'88を設定 (マスタデバイスは、データ送信を一時停止するために、MDEビットがクリアされるまでSCLをローレベルにします。)
1バイトのみ送信する場合はICMCRにH'8Aを設定 (ストップの生成が有効) して、(6)へこれにより1バイト送信したらすぐにストップを生成
3. MATビットとMDEビットをリセット

(5) データバイトの送信経過を監視 (2 バイト以上)

1. マスタデバイスのイベント (マスタステータスレジスタのMDEビット) 待ち
2. 送信データレジスタに次のデータバイトを設定
3. 最終バイト設定済みならICMCRにH'8Aを設定して、(6)へ
4. MDEビットをリセット

最終送信バイトの設定後MDEをクリアします。最終送信バイト送信開始後、MDEが発生します。そのMDEをクリアする前に、マスタコントロールレジスタにH'8Aを設定してください。
(強制ストップビットをセット)

(6) 送信終了待ち

1. MATとMDEをクリア
2. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
3. MNR = 0を確認後、ICMSRに0をセット

16.6.2 マスタ受信

I²C バスのデータケットを受信するマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比 (CDF) にH'2を設定
(周辺クロックが50MHz、IIC内部クロックICckが16.7MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタステータスをクリアするため、ICMSRに0に書き込む
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (読み出しモードは1) を設定
3. マスタコントロールレジスタにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベントMAT = 1かつMDR=1になるのを待ち。
2. マスタコントロールレジスタにH'88を設定 (マスタデバイスは、データ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。)
1バイトのみ受信する場合はマスタコントロールレジスタにH'8Aを設定 (ストップの生成が有効)、(5)へこれにより1バイト受信したらすぐにストップを生成する。
3. MATビットとMDRビットをリセット

(4) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
2. ICRXDからデータ読み出し
次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわちMDR割り込みに対して
3. 次の受信データが最終バイトの場合、ICMCRにH'8Aを設定し、(5)へ
4. MDRをクリア

(5) 受信終了待ち

1. MATとMDRをクリア
2. MDR=1を待ち、ICRXDから受信データを読み出す
3. MDRをクリア
4. マスタデバイスのイベント (マスタステータスレジスタのMST) 待ち
5. ICMSRに0を書き込む

16.6.3 マスタ送信 - リスタート - マスタ受信

I²C バスにデータパケットを送信し、リスタートを発行し、スレーブからデータを読み出すマスタインタフェースの設定をするためには、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定
(SCL周波数が400KHz)
2. クロック分周比 (CDF) にH'2を設定
(周辺クロックが50MHz、IIC内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. ステータスクリアのため、ICMSRに0を書き込む
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (書き込みモードは0) を設定
3. ICTXDに送信データをセットする
4. FSDA=0かつFSCL=1となるのを待つ
5. マスタコントロールレジスタにH'89を設定
(MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベントMAT=1かつMDE=1を待つ
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTMIビット (読み出しモードは1) を設定
マスタコントロールレジスタのイネーブルスタート生成ビットがまだセットされているときは送信の最後でマスタはリスタートを発行します。新しいアドレスが上述のとおりロードされているので、バスの方向が変更されます。
3. MATビットとMDEビットをリセット

(4) データ送信

1. MDE=1を待つ
2. ICMCRに0を書き込む

(5) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDRビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定
(マスタデバイスはデータ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。)
1バイトのみ受信する場合、ICMCRにH'8Aを設定し、(7)へ
3. MATビットとMDRビットをリセット

(6) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
受信データレジスタからデータ読み出し
次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1バイトの受信割り込みすなわちMDR割り込みに対して
2. 次の受信データが最終バイトの場合、ICMCRにH'8Aを設定し、(7)へ
3. MDRビットをリセット

(7) 受信終了待ち

1. MATとMDRをクリア
2. MDR=1を待つ
3. ICRDXからデータを読み出し、MDRをクリア
4. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
5. MSTビットをリセット

17. ATAPI インタフェース (ATAPI)

ATAPI コントローラ (ATAPI) は ATA および ATAPI 物理インタフェースを提供します。このデバイスは、ATA タスクコマンドおよび ATAPI パケットコマンドをサポートしています。

17.1 特長

- プライマリチャネルサポート
- マスタ/スレーブサポート
- 3.3V I/Oインタフェース
- PIOモード0~4、マルチワードDMAモード0~2、ウルトラDMAモード0~4をサポート
- ディスクリプタモードをサポート

図 17.1 に ATAPI のブロック構成を示します。

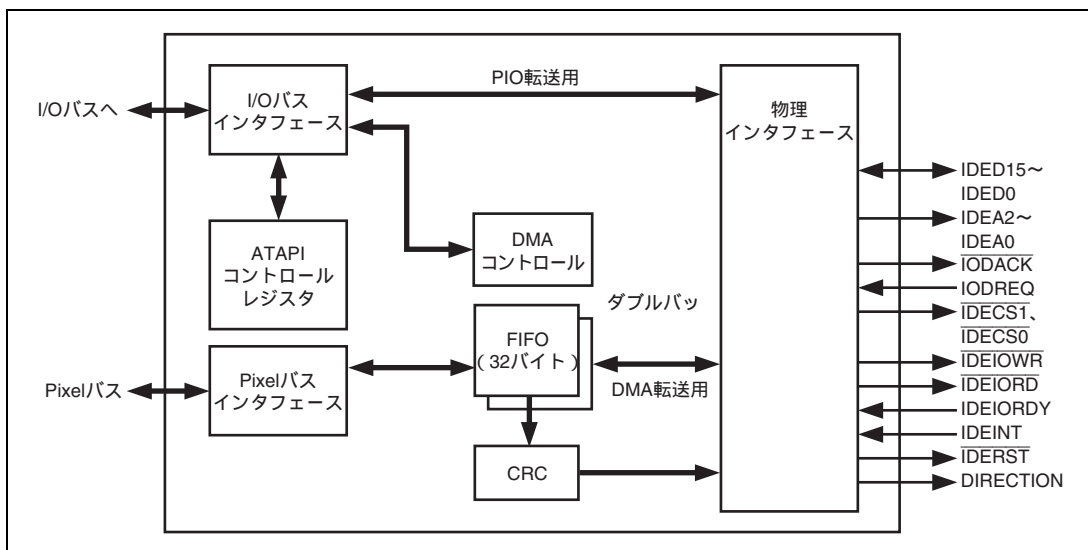


図 17.1 ATAPI ブロック図

17.2 入出力端子

ATAPI コントローラの端子構成を表 17.1 に示します。

ATAPI コントローラの入出力端子には、通常の端子グループ以外にミラー端子グループを用意しています。どちらの端子グループも常に同じ入出力動作をします。

通常の端子グループは、外部データバスビット 63 ~ 32 とマルチプレクスされていますので、外部データバスを 32 ビット幅とする場合、ATAPI コントローラの通常の端子グループを使用可能です。

ミラー端子グループは、汎用入出力ポート (GPIO)、イーサネットコントローラ (EtherC) 関連端子、シリアルサウンドインタフェース (SSI) 関連端子とマルチプレクスされていますので、これらを GPIO として使用せず、さらに EtherC や SSI を使用しなければ、ATAPI コントローラのミラー端子グループを使用可能です。

ATAPI コントローラ端子の選択は、GPIO のピンセレクトレジスタでおこないます。2 つの端子グループを混在して使用することはできません。

表 17.1 ATAPI の端子構成

信 号		(ATAPI 仕様)	機 能	入出力
通常入出力	ミラー入出力			
IDED15 ~ IDED0	IDED15_M ~ IDED0_M	(DD (15 : 0))	双方向データバス	入出力
IDEA2 ~ IDEA0	IDEA2_M ~ IDEA0_M	(DA (2 : 0))	アドレスバス	出力
IODACK	IODACK_M	(DMACK)	プライマリチャネル DMA アクノレッジ (アクティブフロー)	出力
IODREQ	IODREQ_M	(DMARQ)	プライマリチャネル DMA リクエスト (アクティブハイ)	入力
$\overline{\text{IDECS1}}$ 、 $\overline{\text{IDECS0}}$	$\overline{\text{IDECS1_M}}$ 、 $\overline{\text{IDECS0_M}}$	(CS0、CS1)	プライマリチャネルチップセレクト (アクティブロー)	出力
$\overline{\text{IDEIOWR}}$	$\overline{\text{IDEIOWR_M}}$	(DIOW、STOP)	プライマリチャネルディスク書き込み (アクティブロー)	出力
$\overline{\text{IDEIORD}}$	$\overline{\text{IDEIORD_M}}$	(DIOR、HDMARDY、 HSTROBE)	プライマリチャネルディスク読み出し (アクティブロー)	出力
IDEIORDY	IDEIORDY_M	(IORDY、DDMARDY、 DSTROBE)	プライマリチャネルレディ信号 (アクティブハイ)	入力
IDEINT	IDEINT_M	(INTRQ)	プライマリチャネル割り込み要求* (アクティブハイ)	入力
$\overline{\text{IDERST}}$	$\overline{\text{IDERST_M}}$	(RESET)	プライマリチャネル ATAPI デバイスリセット (アクティブロー)	出力
DIRECTION	DIRECTION_M	-	外部レベルシフターディレクション信号 (デバイスのライト時に 0)	出力

【注】 * ATAPI コントローラは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。

17.3 レジスタの説明

以下の ATAPI コントローラレジスタセットは、SH レジスタマップ空間に割り付けられています。

表 17.2 ATA タスクファイルレジスタマップ

(下記のレジスタは、ATAPI/ATA デバイスに割り付けられており、本 LSI の ATAPI モジュールには割り付けられていません。)

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス (IDECS[1:0]、IDEA[2:0]) H : HighLevel L : LowLevel@3.3V I/O	アクセスサイズ*1 (可能ビット サイズ)	レジスタ ロケーション
H'FFF0 0000	データ	データ	HL-LLL/HH-XXX (X : Don't care)	32 (16) *2	ドライブ
H'FFF0 0004	エラー	機能	HL-LLH	32 (8) *3	ドライブ
H'FFF0 0008	セクタカウント	セクタカウント	HL-LHL	32 (8) *3	ドライブ
H'FFF0 000C	セクタ番号	セクタ番号	HL-LHH	32 (8) *3	ドライブ
H'FFF0 0010	シリンダロー	シリンダロー	HL-HLL	32 (8) *3	ドライブ
H'FFF0 0014	シリンダハイ	シリンダハイ	HL-HLH	32 (8) *3	ドライブ
H'FFF0 0018	デバイス/ ヘッド	デバイス/ ヘッド	HL-HHL	32 (8) *3	ドライブ
H'FFF0 001C	ステータス	コマンド	HL-HHH	32 (8) *3	ドライブ
H'FFF0 0038	代替ステータス	デバイス コントロール	LH-HHL	32 (8) *3	ドライブ

【注】 *1 CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

表 17.3 ATAPI パケットコマンドタスクファイルレジスタマップ

(下記のレジスタは、ATAPI/ATA デバイスに割り付けられており、本 LSI ATAPI モジュールには割り付けられていません。)

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス (IDECS[1:0]、IDEA[2:0])	アクセスサイズ*1 (可能ビット サイズ)	レジスタ ロケーション
H'FFF0 0000	データ	データ	HL-LLL	32 (16) *2	ドライブ
H'FFF0 0004	エラー	機能	HL-LLH	32 (8) *3	ドライブ
H'FFF0 0008	割り込み要因	-	HL-LHL	32 (8) *3	ドライブ
H'FFF0 000C	-	-	HL-LHH	32 (8) *3	ドライブ
H'FFF0 0010	バイトカウン トロー	バイトカウン トロー	HL-HLL	32 (8) *3	ドライブ
H'FFF0 0014	バイトカウン トハイ	バイトカウン トハイ	HL-HLH	32 (8) *3	ドライブ

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス ($\overline{\text{IDECS}}[1:0]$ 、 $\text{IDEA}[2:0]$)	アクセスサイズ*1 (可能ビットサイズ)	レジスタロケーション
H'FFF0 0018	デバイスセレクト	デバイスセレクト	HL-HHL	32 (8) *3	ドライブ
H'FFF0 001C	ステータス	コマンド	HL-HHH	32 (8) *3	ドライブ
H'FFF0 0038	代替ステータス	デバイスコントロール	LH-HHL	32 (8) *3	ドライブ

【注】 *1 上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

表 17.4 ATAPI コントロールレジスタマップ

(下記のレジスタは、本 LSI ATAPI モジュールに割り付けられています。)

アドレス	レジスタ名	略 称	アクセス タイプ	レジスタアクセス サイズ*
H'FFF0 0080	ATAPI コントロール	ATAPI_CONTROL	R/W	32
H'FFF0 0084	ATAPI ステータス	ATAPI_STATUS	R/W	32
H'FFF0 0088	割り込みイネーブル	ATAPI_INT_ENABLE	R/W	32
H'FFF0 008C	PIO タイミング	ATAPI_PIO_TIMING	R/W	32
H'FFF0 0090	マルチワード DMA タイミング	ATAPI_MULTI_TIMING	R/W	32
H'FFF0 0094	ウルトラ DMA タイミング	ATAPI_ULTRA_TIMING	R/W	32
H'FFF0 0098	ディスクリプタテーブルベースアドレス	ATAPI_DTB_ADR	R/W	32
H'FFF0 009C	DMA スタートアドレス	ATAPI_DMA_START_ADR	R/W	32
H'FFF0 00A0	DMA 転送カウント	ATAPI_DMA_TRANS_CNT	R/W	32
H'FFF0 00A4	ATAPI コントロール 2	ATAPI_CONTROL2	R/W	32
H'FFF0 00A8	リザーブ		R	32
H'FFF0 00AC	リザーブ		R	32
H'FFF0 00B0	ATAPI 信号ステータス	ATAPI_SIG_ST	R	32
H'FFF0 00BC	バイトスワップ	ATAPI_BYTE_SWAP	R/W	32

【注】 * 上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

- : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

- /W : ライトのみ可。読み出し値は不定です。

コントロールレジスタおよびステータスレジスタは、すべてアクティブハイです。

17.3.1 ATAPI コントロールレジスタ (ATAPI_CONTROL)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DTCD	—	RESET	M/S	BUSSEL	UDMAEN	DESE	R/W	STOP	START
初期値 :	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DTCD	0	R/W	本ビットは、ウルトラ DMA 動作時に連続するデバイスターミネーション動作に対する動作モードを制御します。 デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次の device からの DMARQ を待って、転送を再開します。 既存の ATA デバイスの中に、デバイスターミネーションをポーズと同等に扱っているデバイスが存在するため、デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次の device からの DMARQ を待って転送を再開する必要があります。この動作モードを「デバイスターミネーション連続モード」とよびます。 1 : デバイスターミネーション連続モードの抑止 0 : デバイスターミネーション連続モード
8	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	RESET	0	R/W	<p>本ビットは、ATAPI デバイスのリセットを制御します。本ビットを 1 にセットすると、ATAPI リセット信号がアサートされます。IDERST 信号はアクティブロー信号です。</p> <p>本ビットが 1 にセットされると、IDERST 信号がローレベルになります。本ビットを 0 にクリアすると、IDERST 信号はハイレベルになります。</p>
6	M/S	0	R/W	<p>本ビットは、ATAPI デバイスのマスタあるいはスレーブを選択します。</p> <p>1 : ATAPI デバイスはマスタになります。</p> <p>0 : ATAPI デバイスはスレーブになります。</p>
5	BUSSEL	1	R/W	<p>本ビットは、Pixel バスあるいは I/O バスを選択します。</p> <p>1 : Pixel バスを選択します。</p> <p>0 : I/O バスを選択します。</p> <p>【注】本 LSI では 0 では使用できません。1 に設定してご使用ください。</p>
4	UDMAEN	0	R/W	<p>本ビットは、ウルトラ DMA のイネーブルビットです。</p> <p>ウルトラ DMA を使用する場合は、本ビットを 1 にセットしてください。マルチワード DMA を使用する場合は、PIOFIFO モード時は、本ビットを 0 にクリアしてください。</p>
3	DESE	0	R/W	<p>本ビットは、descriptor table 動作モードを制御します。</p> <p>1 : Descriptor 機能有効。</p> <p>0 : Descriptor 機能無効。</p>
2	R/W	0	R/W	<p>本ビットは、FIFO のリード/ライトを制御します。</p> <p>1 : FIFO リード。(DMA 転送時の data-in 動作)</p> <p>0 : FIFO ライト。(DMA 転送時の data-out 動作)</p> <p>データを ATAPI デバイスから読み出す場合は、本ビットを 1 にセットしてください。</p> <p>データを ATAPI デバイスに書き込む場合は、0 にクリアしてください。</p>
1	STOP	0	R/W	<p>本ビットは、DMA 転送の停止を制御します。</p> <p>書き込み時</p> <p>0 : 無視されます。</p> <p>1 : データ転送を停止します。</p> <p>読み出し時</p> <p>0 : 停止コマンドは、発行されません。</p> <p>1 : データ転送の停止コマンドが発行されます。</p> <p>本ビットは、次の DMA 転送が開始されると 0 にクリアされます。</p> <p>【注】DMA 転送が停止されたアドレスから転送を再開できるわけではありません。</p>

ビット	ビット名	初期値	R/W	説明
0	START	0	R/W	<p>本ビットは DMA 転送開始を制御します。</p> <p>本ビットが 1 にセットされると、DMA 転送が開始します。本ビットを 0 にクリアした場合、無視されます。</p> <p>書き込み時</p> <p>0 : 無視されます。</p> <p>1 : DMA 転送を開始します。</p> <p>読み出し時</p> <p>0 : DMA 転送は非アクティブです。</p> <p>1 : DMA 転送中でビジー状態です。</p> <p>【注】DMA がアクティブである場合は、タスクファイルレジスタのアクセスは禁止です。</p>

17.3.2 ATAPI ステータスレジスタ (ATAPI_STATUS)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SWERR	IFERR	DNEND	DEVTRM	DEVINT	TOUT	ERR	NEND	ACT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R	R/WC0	R/WC0	R/WC0	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	SWERR	0	R/WC0	<p>ソフトウェアエラービットです。本ビットが 1 にセットされた場合、DMA がアクティブのときにタスクファイルレジスタがアクセスされたことを示します。DMA アクティブ中のタスクレジスタアクセスは禁止されています。たとえば、ウルトラ DMA、マルチワード DMA 転送中に PIO 転送を行うと本ビットが 1 にセットされます。このとき、LSI 外部には出力されることはなく、アクセスは無視されます。</p> <p>0 を書き込むことにより、本ビットはリセットされます。</p>

ビット	ビット名	初期値	R/W	説明
7	IFERR	0	R/WC0	<p>本ビットは、ATAPI インタフェースプロトコルエラーが検出されたことを示します。</p> <ul style="list-style-type: none"> • ウルトラ DMAdata-in パーストがホスト終了状態において、(IDEDREQ = 1) または (IDEIORDY = 0) のとき。 • ウルトラ DMAdata-out パーストがデバイス終了状態において、IDEIORDY = 0 のとき。 • ウルトラ DMAdata-out パーストが開始されたとき、IDEIORDY = 0。 • ウルトラ DMAdata-out パーストがホスト終了状態において、(IDEDREQ = 1) または (IDEIORDY = 0) のとき。 <p>0 を書き込むことにより、本ビットはリセットされます。</p>
6	DNEND	0	R/WC0	<p>本ビットはディスクリプトモードですべての DMA が正常終了したことを示します。0 を書き込むことにより、本ビットはリセットされます。</p>
5	DEVTRM	0	R/WC0	<p>本 ATAPI モジュールに設定された DMA 転送バイト数に到達する前に ATAPI デバイスのウルトラ DMA モードが終了された場合、本ビットは 1 にセットされます。0 を書き込むことにより、本ビットはリセットされます。</p>
4	DEVINT	0	R	<p>本ビットは、ATAPI デバイス割り込み IDEINT のステータスを示します。本ビットは、リード専用ビットです。本ビットは、本 LSI チップ内にステータスを保持していないので、IDEINT が 0 の場合は、本ビットも 0 にクリアされます。ATAPI インタフェースは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。ATAPI 規格に従い、割り込みベンディング状態をクリアするためにステータスレジスタを読み出すために使用する IDEIORD をネゲートしてから 400ns 以内に、IDEINT は ATAPI デバイスによりネゲートされます。</p> <p>書き込みは無効です。</p>
3	TOUT	0	R/WC0	<p>本ビットは、IORDY タイムアウトが検出されたことを示します。タイムアウトは、Pixel バスクロックで 150 サイクル以上の期間、応答がない (IDEIORDY 端子が Low レベル) 場合に検出されます。本ビットに 0 を書き込むと、本ビットはリセットされます。</p>
2	ERR	0	R/WC0	<p>本ビットは、DMA アバートを検出した場合に 1 にセットされます。</p> <ul style="list-style-type: none"> • ホストが DMA 転送を強制終了する場合 • DTCD=1 かつデバイスターミネーションが発生し ACT=0 になる場合に ERR=1 になります。 <p>0 を書き込むことにより、本ビットはリセットされます。</p>
1	NEND	0	R/WC0	<p>本ビットは DMA が正常終了したことを示します。0 を書き込むことにより、本ビットはリセットされます。</p>
0	ACT	0	R	<p>本ビットは、DMA がアクティブであることを示します。本ビットは、リード専用ビットです。本ビットは、DMA 転送が完了すると 0 にクリアされます。本ビットを割り込みソースとして使用することはおすすめしません。</p> <p>書き込みは無効です。</p>

17.3.3 割り込みイネーブル (ATAPI_INT_ENABLE)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	iSWERR	iIFERR	iDNEND	iDEVTRM	iDEVINT	iTOUT	iERR	iNEND	iACT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	iSWERR	0	R/W	本ビットは、SWERR 割り込みイネーブルビットです。
7	iIFERR	0	R/W	本ビットは、IFERR 割り込みイネーブルビットです。
6	iDNEND	0	R/W	本ビットは、DNEND 割り込みイネーブルビットです。
5	iDEVTRM	0	R/W	本ビットは、DEVTRM 割り込みイネーブルビットです。
4	iDEVINT	0	R/W	本ビットは、DEVINT 割り込みイネーブルビットです。
3	iTOUT	0	R/W	本ビットは、TOUT 割り込みイネーブルビットです。
2	iERR	0	R/W	本ビットは、ERR 割り込みイネーブルビットです。
1	iNEND	0	R/W	本ビットは、NEND 割り込みイネーブルビットです。
0	iACT	0	R/W	本ビットは、ACT 割り込みイネーブルビットです。ACT は DMA 転送が完了すると自動的にクリアされるので、本ビットを 1 にセットすることはおすすめしません。

【注】 各ビットに 1 を書き込むと、ATAPI ステータスレジスタの各ビットに対応する割り込み信号がイネーブルになります。

17.3.4 PIO タイミングレジスタ (ATAPI_PIO_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。
マシンサイクルは、Pixel バスクロックです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	pSDCT						pSDPW						pSDST	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	pMDCT						pMDPW						pMDST	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~24	pSDCT	0	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
23~19	pSDPW	0	R/W	本ビットは、スレーブ ATAPI デバイスの $\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅を設定します。
18~16	pSDST	0	R/W	本ビットは、PIO モードのスレーブ ATAPI デバイスの $\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ に対するアドレスセットアップ時間を設定します。
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	pMDCT	0	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
7~3	pMDPW	0	R/W	本ビットは、マスタ ATAPI デバイスの $\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅を設定します。
2~0	pMDST	0	R/W	本ビットは、PIO モードのマスタ ATAPI デバイスの $\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ に対するアドレスセットアップ時間を設定します。

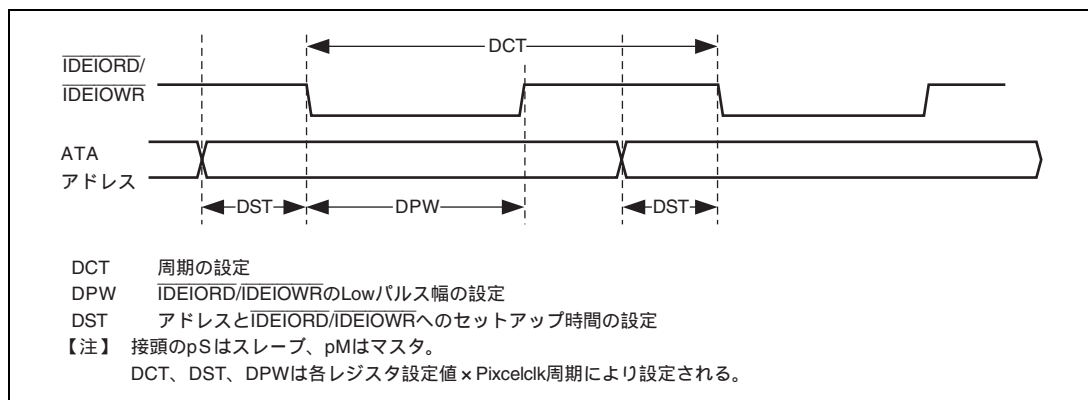


図 17.2 PIO タイミングレジスタ

- PIOタイミングレジスタ設定値表 (マスタ/スレーブ)

Pixel バスクロック	モード 0	モード 1	モード 2	モード 3	モード 4
100MHz	H'3DF7	H'28F6	H'22F4	H'134C	H'0D44

17.3.5 マルチワード DMA タイミングレジスタ (ATAPI_MULTI_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	mSDCT						mSDPW				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	mMDCT						mMDPW				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~21	mSDCT	0	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
20~16	mSDPW	0	R/W	本ビットは、スレーブ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~5	mMDCT	0	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。

ビット	ビット名	初期値	R/W	説明
4~0	mMDPW	0	R/W	本ビットは、マスタ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。

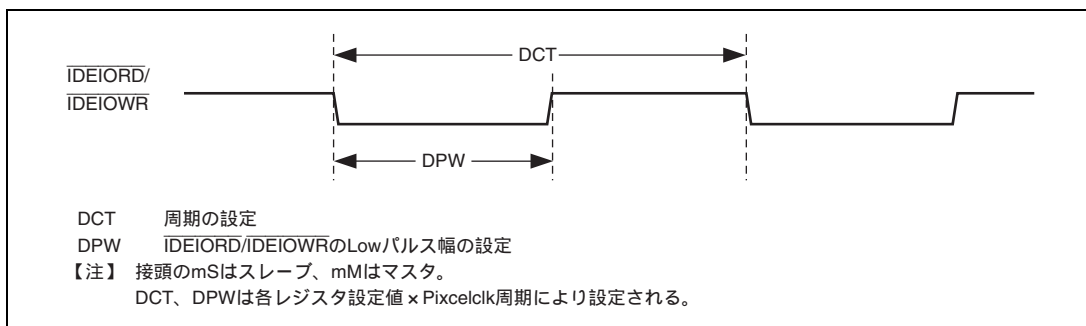


図 17.3 マルチワード DMA タイミングレジスタ

- マルチワードDMAタイミングレジスタ設定値表

Pixel バスクロック	モード 0	モード 1	モード 2
100MHz	H'0637	H'0209	H'01A8

17.3.6 ウルトラ DMA タイミングレジスタ (ATAPI_ULTRA_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタの以下のビットにマシンサイクル数を設定してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	uSDCT				uSDRP				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	uMDCT				uMDRP				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24~21	uSDCT	0	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
20~16	uSDRP	0	R/W	本ビットは、DMARDY (IDEIORDY ではない) ネゲートからスレーブ ATAPI デバイスによる中断までの時間を設定します。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8~5	uMDCT	0	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
4~0	uMDRP	0	R/W	本ビットは、DMARDY (IDEIORDY ではない) ネゲートからマスタ ATAPI デバイスによる中断までの時間を設定します。

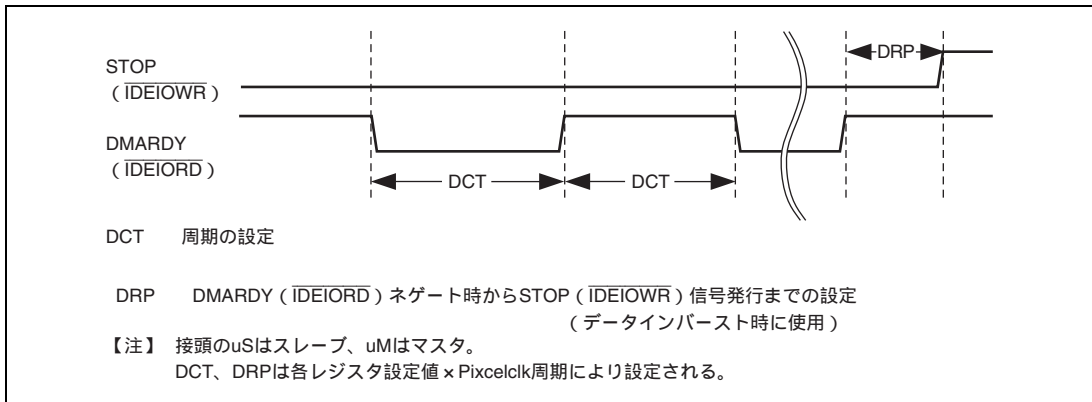


図 17.4 ウルトラ DMA タイミングレジスタ

- ウルトラDMAタイミング設定値表

Pixel バスクロック	モード 0	モード 1	モード 2	モード 3	モード 4
100MHz	H'0191	H'010E	H'00CB	H'00AB	H'006B

17.3.7 ディスクリプタテーブルベースアドレスレジスタ (ATAPI_DTBA_ADR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DTBAA[2:0]			DTBA[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTBA[15:2]														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~26	DTBAA[2:0]	0	R/W	本ビットは、ディスクリプタテーブルベースの SDRAM エリアを設定します。設定は以下に示す値としてください。 001 : SDRAM エリア 1 を設定します。 010 : SDRAM エリア 2 を設定します。 上記以外 : 設定禁止
25~2	DTBA[25:2]	0	R/W	本ビットは、ディスクリプタテーブルベースアドレスを示します。ビット 25~0 は、ディスクリプタテーブルベースアドレスをバイト単位で設定するために使用されます。 ディスクリプタテーブル用に 64 ビットアドレス境界を確保しなければならないので、ビット 3、2 には必ず 0 を設定してください。 ビット 1、0 は無視されます。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
1. 本レジスタは、ATAPI コントロールレジスタのビット 5 (BUSSEL) が 1 にセットされている場合にのみ有効です。
 2. 本アドレスは、DMA アクティブ後も変化せず、設定値は保持されます。
 3. 本レジスタは 32 ビットアドレスモードにおいては、指定する 32 ビットアドレスの下位 29 ビットのアドレスをビット 28~ビット 0 に設定指定ください。

17.3.8 ディスクリプタテーブル

ディスクリプタテーブルは、終了フラグ、ディスクリプタ用 DMA スタートエリア / アドレスおよびディスクリプタ用 DMA 転送カウントを 1 組とするテーブルです。

メモリ内のディスクリプタテーブルマップ

アドレス	データ内容
DTBA	1 番目の終了フラグ (bit31 = 0) および DDSTAA/DDSTA 格納エリア / アドレス
DTBA + 4	1 番目の DDTRC 格納アドレス
DTBA + 8	2 番目の終了フラグ (bit31 = 0) および DDSTAA/DDSTA 格納エリア / アドレス
DTBA + 12	2 番目の DDTRC 格納アドレス
...	...
DTBA + 8 × (n-1)	n 番目の終了フラグ (bit31 = 1) および DDSTAA/DDSTA 格納エリア / アドレス
DTBA + 8 × (n-1) + 4	n 番目の DDTRC 格納アドレス

17.3.9 終了フラグおよびディスクリプタ用 DMA スタートアドレス

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DTEND	—	—	DDSTAA[2:0]			DDSTA[25:16]										
初期値 :	—	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DDSTA[15:2]														—	—	
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31	DTEND	-	R/W	本ビットは、ディスクリプタ DMA 動作の終了を制御します。 1 : ディスクリプタ DMA 動作の終了。 本ビットの 1 のときに、最後のディスクリプタテーブルと認識します。 0 : ディスクリプタテーブルの有効。 本ビットが 0 のときに、DMA 転送カウントを読み込み、DMA 転送し、次のディスクリプタテーブルを読み込みます。
30, 29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
28~26	DDSTAA [2:0]	-	R/W	本ビットは、ディスクリプタ動作時の DMA スタートの SDRAM エリアを設定します。設定は以下に示す値としてください。 001 : SDRAM エリア 1 を設定します。 010 : SDRAM エリア 2 を設定します。 上記以外 : 設定禁止
25~2	DDSTA [25:2]	-	R/W	本ビットは、ディスクリプタテーブルベースアドレスを示す。ビット 25~0 は、ディスクリプタテーブルベースアドレスをバイト単位で設定するために使用されます。 ディスクリプタテーブル用に 256 ビットアドレス境界を確保しなければならいので、ビット 4~2 には必ず 0 を設定してください。 ビット 1、0 は無視されます。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

有効フラグおよびディスクリプタ用 DMA スタートアドレスは、メモリ内のディスクリプタテーブルベースアドレス+m (m : 2 の倍数、0、2、4、) に設定する。

17.3.10 ディスクリプタ用 DMA 転送カウント

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDTRC[28:16]															
初期値 :	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDTRC[15:1]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ディスクリプタ用 DMA 転送カウントは、メモリ内のディスクリプタテーブルベースアドレス+m (m : 2 の倍数 +1、1、3、5...) に設定する。

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~1	DDTRC [28:1]	-	R/W	本ビットは、ディスクリプタ動作時の DMA 転送カウントを設定します。 ビット 28~0 は、DMA 転送カウントをバイト単位で設定するために使用されます。 ビット 0 は、ATAPI のデータバスが 16 ビット単位 (ワード単位) ですので無視されます。

ビット	ビット名	初期値	R/W	説明
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.11 DMA スタートアドレスレジスタ (ATAPI_DMA_START_ADR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DSTAA[2:0]			DSTA[25:16]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSTA[15:2]														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~26	DSTAA[2:0]	0	R/W	本ビットは、ディスクリプト動作時の DMA スタートの SDRAM エリアを設定します。設定は以下に示す値としてください。 001 : SDRAM エリア 1 を設定します。 010 : SDRAM エリア 2 を設定します。 上記以外 : 設定禁止
25~2	DSTA[25:2]	0	R/W	本ビットは、メモリ内のデータ転送開始アドレスを示す DMA スタートアドレスを設定します。ビット 25~0 は、DMA スタートアドレスをバイト単位で設定するために使用されます。 DMA スタートアドレス用に 256 ビットアドレス境界を確保しなければならいので、ビット 4~2 には必ず 0 を設定してください。 ビット 1、0 は無視されます。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
1. 本レジスタは、ATAPI コントロールレジスタのビット 5 (BUSSEL) が 1 にセットされている場合にのみ有効です。
 2. 本アドレスは、DMA アクティブ後も変化せず、設定値は保持されます。
 3. 本レジスタは 32 ビットアドレスモードにおいては、指定する 32 ビットアドレスおよび SDRAM エリアをビット 28~ビット 0 に設定指定ください。

17.3.12 DMA 転送カウントレジスタ (ATAPI_DMA_TRANS_CNT)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DTRC[28:16]												
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTRC[15:1]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~1	DTRC[28:1]	0	R/W	本ビットは、DMA 転送カウントを設定します。 ビット 28~0 は、DMA 転送カウントをバイト単位で設定するために使用されます。 ビット 0 は、ATAPI のデータバスが 16 ビット単位 (ワード単位) ですので無視されます。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 本カウント値は、DMA アクティブ後も変化せず、設定値は保持されます。

17.3.13 ATAPI コントロール 2 レジスタ (ATAPI_CONTROL2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	WORDSWAP	0	R/W	本ビットは、Pixel バスの 32 ビットバスがイネーブルされている場合、上位 16 ビットデータと下位 16 ビットデータの交換するかどうかを制御します。 0 : ワードスワップは実行されません。Pixel バス上の 32 ビットデータは、ビッグエンディアン形式で表されます。 1 : ATAPI インタフェースとレジスタ / Pixel バス間で、ワードスワップが実行されます。Pixel バス上の 32 ビットデータは、リトルエンディアン形式で表されます。 データ転送におけるワードスワップは、ATAPI コントロールレジスタのビット 0 が 1 にセットされ DMA モードがスタートした場合のみ有効です。DMA 以外は、全レジスタアクセスは、ロングワードアクセスです。
0	IFEN	0	R/W	本ビットは、ATAPI コントローラのイネーブルを制御します。 0 : ATAPI コントローラは無効 1 : ATAPI コントローラは有効 【注】 0 のとき、ATAPI コントローラの I/O 端子は入力端子として機能し、出力端子はハイインピーダンス状態になります。

17.3.14 ATAPI 信号ステータスレジスタ (ATAPI_SIG_ST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DDMARDY	DMARQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DDMARDY	-	R	本ビットは、ATAPIDDMARDY (IDEIORDY の反転) 信号状態を示します。
0	DMARQ	-	R	本ビットは、ATAPIDMARQ (IDEDREQ) 信号状態を示します。

17.3.15 バイトスワップレジスタ (ATAPI_BYTE_SWAP)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BYTE SWAP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BYTESWAP	0	R/W	本ビットは、ATAPI インタフェースの上位 8 ビットと下位 8 ビットの スワップを制御するビットです。 1: APAPI インタフェースと Pixel バス間でバイトスワップが実行され れます。 バイトスワップは、ATAPI コントロールレジスタのビット 0 が 1 にセ ットされ DMA モードがスタートした場合のみ有効です。

17.3.16 ATAPI のデータバス・アライメント

IO-BUS側のデータバス・ビッグエンディアン/リトルエンディアンによる違いはありません。物理的なバス幅は、3:

バス アクセス		32ビットバス	16ビットバス	8ビットバス
		31 16 8 0	31 16 8 0	31 16 8 0
サイズ バイト	アドレス 4n 4n+1 4n+2 4n+3	規定せず	規定せず	規定せず
ワード	4n 4n+2	規定せず	規定せず	規定せず
ロングワード	4n	B3 B2 B1 B0	規定せず	規定せず

B3 : 31~24、B2 : 23~16、B1 : 15~8、B0 : 7~0ビット目

PIXEL-BUS側のデータバス・アライメント
バス幅は、32ビット固定。アクセスサイズはロングワードです。

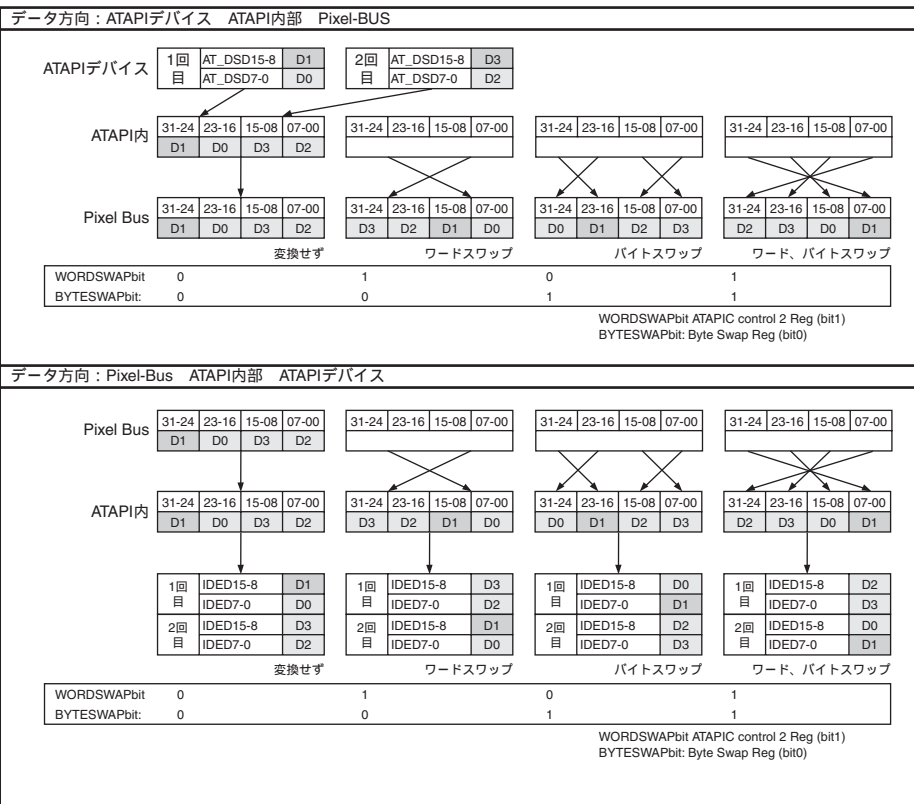


図 17.5 ATAPI のデータバスアライメント

17.4 機能説明

ATAPI コントローラは、プライマリチャネルをホストとしてサポートしています。また、ATAPI インタフェース仕様書に定義されているように、マスタ/スレーブ構成もサポートしています。ATAPI インタフェースのリード/ライト FIFO バッファは、PIO、マルチワード DMA モードへの最大 16M バイト/秒のデータ転送を実現するために設計されています。ATAPI コントローラは、3.3V I/O インタフェースをサポートしています。

ATA タスクファイルレジスタおよび ATAPI パケットコマンドタスクファイルレジスタは、SH レジスタマップ空間に割り付けられています。そのため、SH により本レジスタをアクセスする場合は、DVDROM ドライブなどのデバイス内のレジスタを DCS[1:0]端子および DSA[2:0]端子でアドレスすることによりアクセスできます。

17.4.1 データ転送モード

ATAPI インタフェースコントロールレジスタは、PIO 転送モード、マルチワード DMA 転送モード、ウルトラ DMA 転送モードをサポートしています。ATAPI インタフェースコントロールレジスタは、転送モードを開始し、各転送モードにより異なる ATAPI インタフェースタイミングを設定します。

PIO モード 0~4、マルチワード DMA モード 0~2、ウルトラ DMA モード 0~4 (最大 66MB/s) をサポートしています。

マルチワード DMA データ転送およびウルトラ DMA データ転送用に、Pixel バスが使用できます。一方、PIO 転送は I/O バスしか使用できません。

表 17.5 データ転送モード

データ転送モード 内部動作および内部レジスタ	PIO データ転送	ATA デバイス-Pixel バス間の DMA データ転送	
		マルチワード DMA	ウルトラ DMA
FIFO 動作	バイパス*	使用	使用
コントロールレジスタ BUSSEL ビット	Don't Care	1	1
コントロールレジスタ UDMAEN ビット	Don't Care	0	1
コントロールレジスタ START/STOP ビット	Not Used	Used	Used

【注】 * CPU が ATA デバイスに対して PIO アクセスする。

本表の DMA 転送では、ATAPI デバイスとメモリ間でデータが転送されます。

17.4.2 ディスクリプタ機能

ATAPI コントローラは、DMA データ転送のメモリ空間に重複しない複数の連続したメモリ空間を指定することができます。ディスクリプタテーブルに各々の DMA スタートアドレスおよび DMA 転送カウントを設定します。

17.5 動作手順

17.5.1 初期化

(1) インタフェースイネーブルビットの設定

ATAPI コントロール 2 レジスタの IFEN ビットを 1 にセットしてください。

(2) タイミングレジスタの設定

以下のレジスタに適切な値を書き込んでください。

各値については、各レジスタの説明を参照してください。

- PIO タイミングレジスタ
- マルチワードDMA タイミングレジスタ
- ウルトラDMA タイミングレジスタ

17.5.2 PIO 転送モード手順

FIFO を使用しない場合

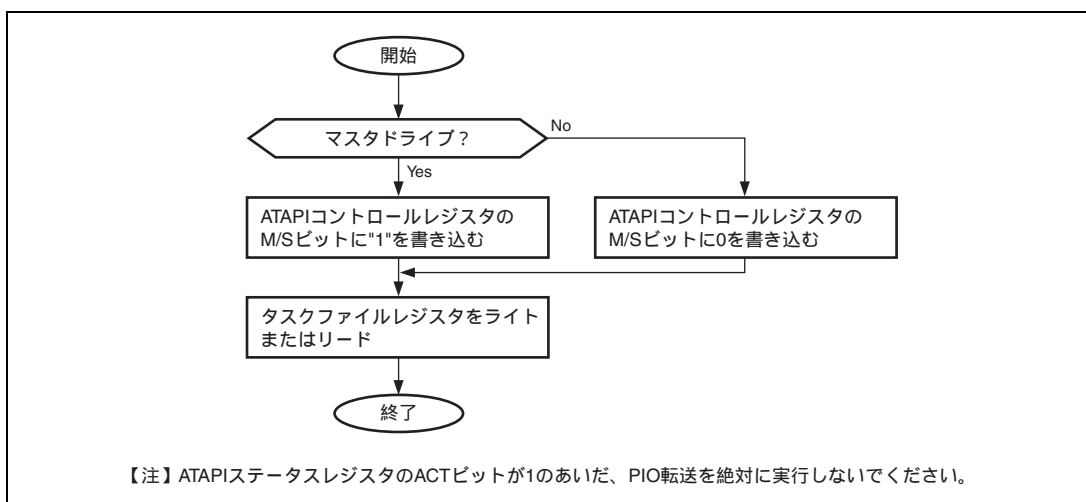


図 17.6 PIO 転送モード手順 (FIFO 未使用の場合)

17.5.3 マルチワード DMA 転送モード手順

ポーリングによる Pixel バスを介したグラフィックメモリとの転送

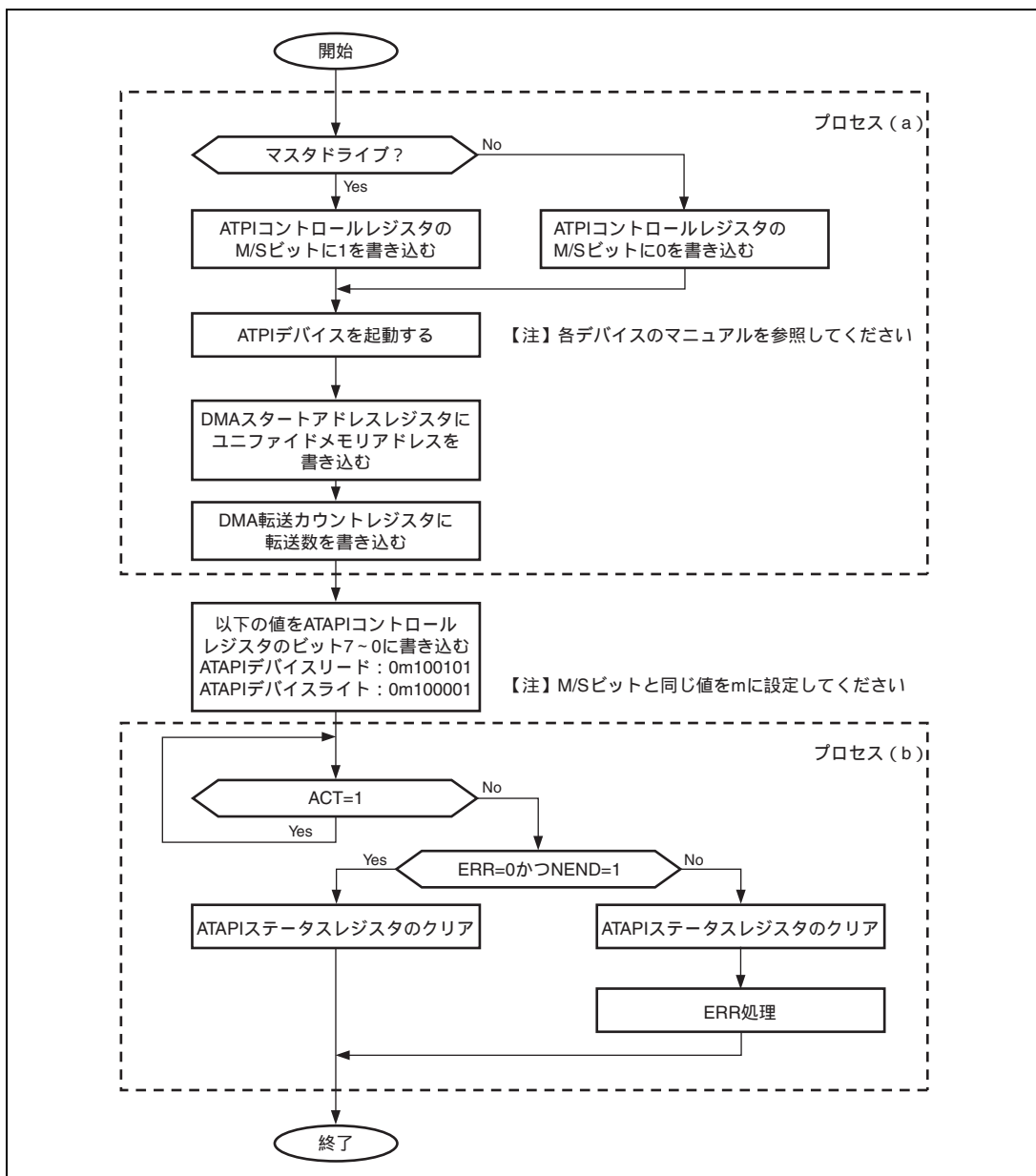


図 17.7 ポーリングによる Pixel バスを介したメモリとの転送

割り込みによる Pixel バスを介したメモリとの転送

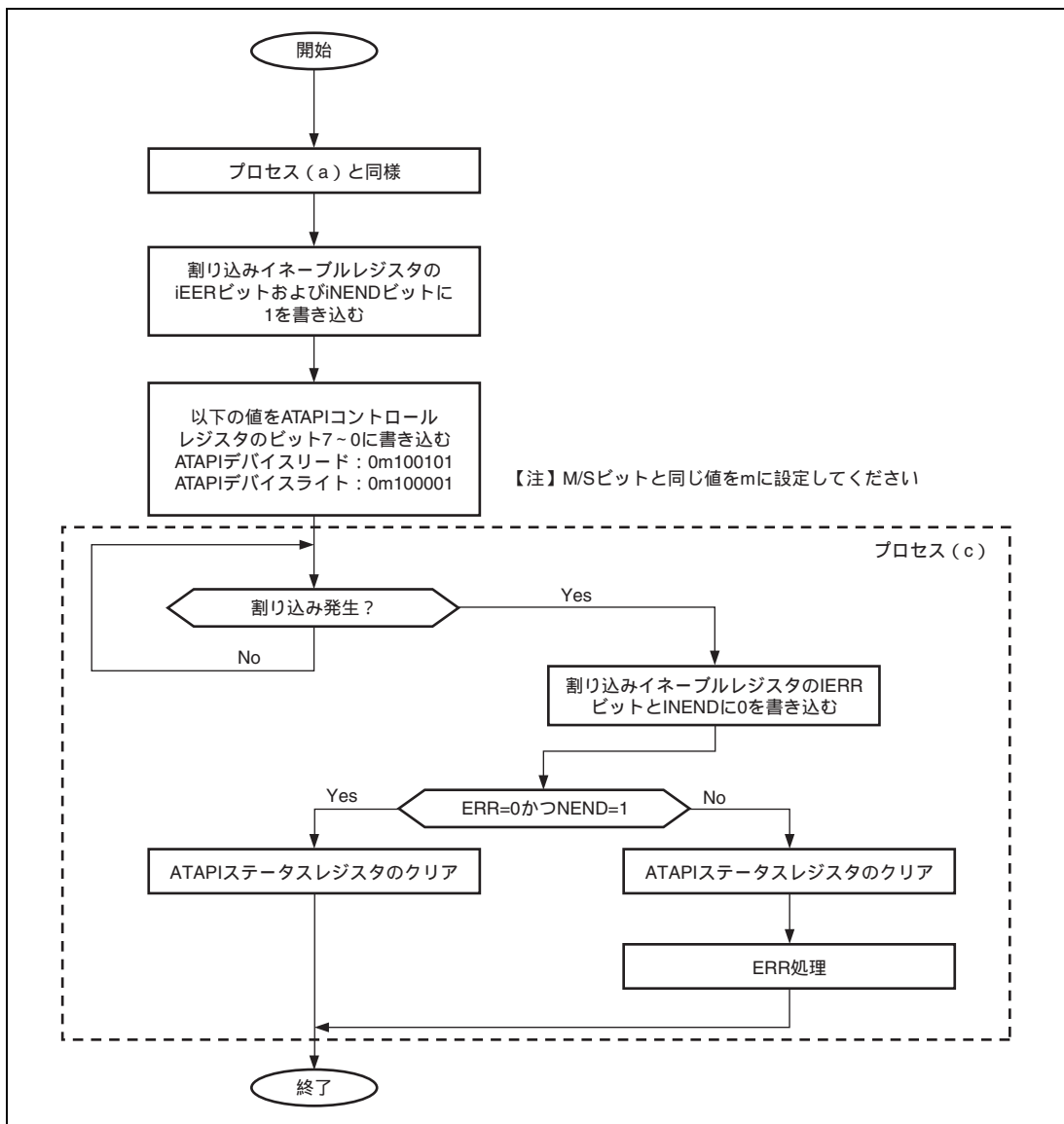


図 17.8 割り込みによる Pixel バスを介したグラフィックメモリとの転送

17.5.4 ウルトラ DMA 転送モード手順

ポーリングによる Pixel バスを介したメモリとの転送

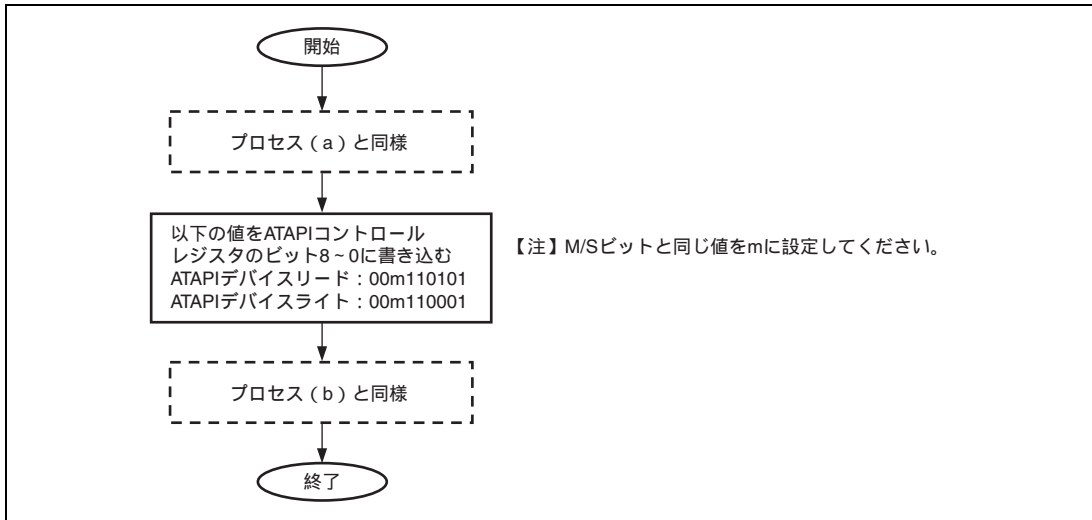


図 17.9 ポーリングによる Pixel バスを介したメモリとの転送

割り込みによる Pixel バスを介したメモリとの転送

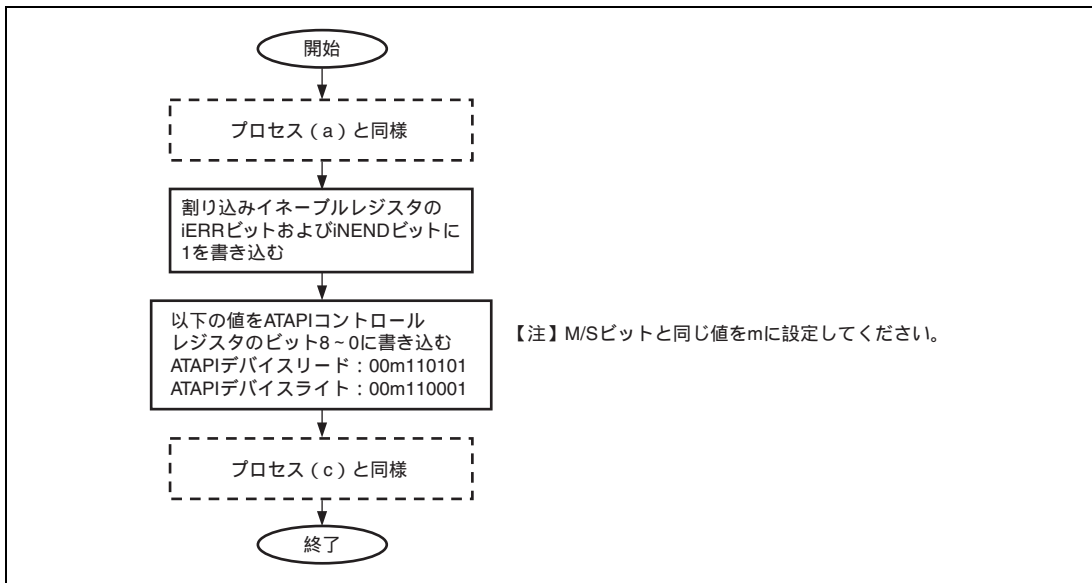


図 17.10 割り込みによる Pixel バスを介したメモリとの転送

17.5.5 ATAPI デバイスのハードウェアリセット手順

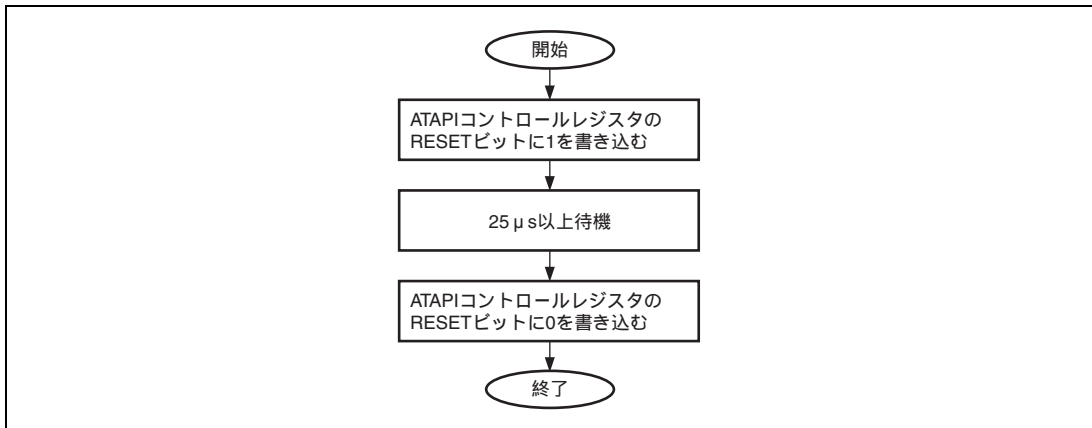


図 17.11 ATAPI デバイスのハードウェアリセット手順

17.6 使用上の注意事項

17.6.1 IORDY タイムアウトの誤検出について

IDEIORDY 端子は他の機能の端子とマルチプレクスされており、パワーオンリセット解除後は他の機能の端子が選択されます。詳細は「第 27 章 汎用入出力ポート (GPIO)」を参照してください。このため、本 LSI 内部の IORDY 信号は、IDEIORDY 端子機能が選択されるまでの期間、ローレベルに固定されており、ATAPI_STATUS.TOUT ビットがセットされることがあります。

したがって、IDEIORDY 端子機能を選択した後に、ATAPI_STATUS.TOUT ビットに 0 を書き込んで初期化してください。

18. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) は、 Philips 方式などと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。

他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

18.1 特長

(1) SSI モジュール構成

SSI モジュールは、次のブロックにより構成されます。

- SSI_DMACH0 / 1
- SSI_CH0 / 1 / 2 / 3 / 4 / 5
- SSI_CLKSEL

(2) SSI の特徴

SSI モジュールは、次のような特徴があります。

- チャンネル数： 6 チャンネル
- 動作モード：非圧縮モード
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。
また、シリアルバスフォーマットを使用できます。
- データバッファとシフトレジスタ間は非同期転送です。
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- SSI_DMACH0 / 1 または割り込みで、データ送受信を制御できます。
- 任意のチャンネルのオーディオクロックを選択可能です。
- 任意のチャンネルのシリアルビットクロック / シリアルワード選択信号を選択可能です。

図 18.1 に SSI のブロック図を示します。

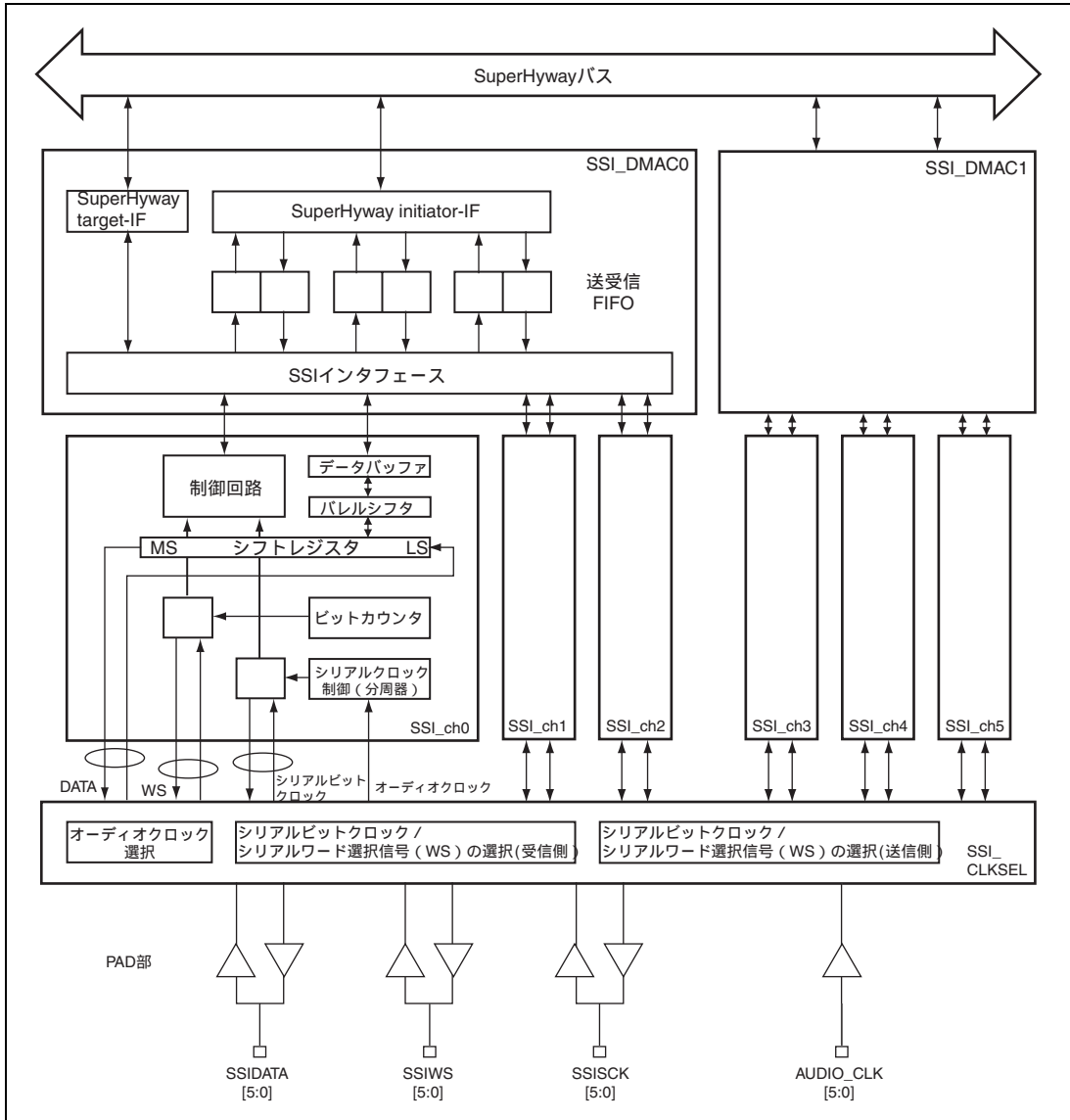


図 18.1 SSI ブロック図

18.2 入出力端子

表 18.1 に SSI の端子構成を示します。

表 18.1 SSI の端子構成

端子名	機能	入出力	説明
AUDIO_CLK [5:0]	オーディオクロック	入力	SSI_CH0~5 分周器入力クロック (オーバーサンプルクロック)
SSISCK[5:0]	シリアルビットクロック	入出力	SSI_CH0~5 シリアルビットクロック
SSIWS [5:0]	ワードセレクト	入出力	SSI_CH0~5 シリアルワード選択信号
SSIDATA [5:0]	シリアルデータ	入出力	SSI_CH0~5 シリアルデータ

18.3 レジスタの説明

SSI_DMAC0 のレジスタ構成を表 18.2 に示します。また、各処理モードにおけるレジスタの状態を表 18.3 に示します。

表 18.2 SSI_DMAC0 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ
0	DMA モードレジスタ 0	SSIDMMR0	R/W	H'FF40 1000	H'1F40 1000	32
	RDMA 転送元アドレスレジスタ 0	SSIRDMAADR0	R/W	H'FF40 1008	H'1F40 1008	32
	RDMA 転送語数レジスタ 0	SSIRDMCNR0	R/W	H'FF40 1010	H'1F40 1010	32
	WDMA 転送先アドレスレジスタ 0	SSIWDMADR0	R/W	H'FF40 1018	H'1F40 1018	32
	WDMA 転送語数レジスタ 0	SSIWDMCNR0	R/W	H'FF40 1020	H'1F40 1020	32
	DMA コントロールレジスタ 0	SSIDMCOR0	R/W	H'FF40 1028	H'1F40 1028	32
	送信一時停止ブロックカウンタ 0	SSISTPBLCNT0	R/W	H'FF40 1030	H'1F40 1030	32
	送信一時停止中転送データ レジスタ 0	SSISTPDR0	R/W	H'FF40 1038	H'1F40 1038	32
	ブロックカウントソースレジスタ 0	SSIBLCNTRS0	R/W	H'FF40 1040	H'1F40 1040	32
	ブロックカウンタ 0	SSIBLCNT0	R	H'FF40 1048	H'1F40 1048	32
	ブロック xn 回割り込みカウント ソースレジスタ 0	SSIBLCNTRS0	R/W	H'FF40 1050	H'1F40 1050	32
	ブロック xn 回カウンタ 0	SSIBLCNT0	R	H'FF40 1058	H'1F40 1058	32
1	DMA モードレジスタ 1	SSIDMMR1	R/W	H'FF40 1060	H'1F40 1060	32
	RDMA 転送元アドレスレジスタ 1	SSIRDMAADR1	R/W	H'FF40 1068	H'1F40 1068	32
	RDMA 転送語数レジスタ 1	SSIRDMCNR1	R/W	H'FF40 1070	H'1F40 1070	32
	WDMA 転送先アドレスレジスタ 1	SSIWDMADR1	R/W	H'FF40 1078	H'1F40 1078	32
	WDMA 転送語数レジスタ 1	SSIWDMCNR1	R/W	H'FF40 1080	H'1F40 1080	32
	DMA コントロールレジスタ 1	SSIDMCOR1	R/W	H'FF40 1088	H'1F40 1088	32
	送信一時停止ブロックカウンタ 1	SSISTPBLCNT1	R/W	H'FF40 1090	H'1F40 1090	32
	送信一時停止中転送データ レジスタ 1	SSISTPDR1	R/W	H'FF40 1098	H'1F40 1098	32
	ブロックカウントソースレジスタ 1	SSIBLCNTRS1	R/W	H'FF40 10A0	H'1F40 10A0	32
	ブロックカウンタ 1	SSIBLCNT1	R	H'FF40 10A8	H'1F40 10A8	32
	ブロック xn 回割り込みカウント ソースレジスタ 1	SSIBLCNTRS1	R/W	H'FF40 10B0	H'1F40 10B0	32
	ブロック xn 回カウンタ 1	SSIBLCNT1	R	H'FF40 10B8	H'1F40 10B8	32

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ
2	DMA モードレジスタ 2	SSIDMMR2	R/W	H'FF40 10C0	H'1F40 10C0	32
	RDMA 転送元アドレスレジスタ 2	SSIRDMADR2	R/W	H'FF40 10C8	H'1F40 10C8	32
	RDMA 転送語数レジスタ 2	SSIRDMCNR2	R/W	H'FF40 10D0	H'1F40 10D0	32
	WDMA 転送先アドレスレジスタ 2	SSIWDMADR2	R/W	H'FF40 10D8	H'1F40 10D8	32
	WDMA 転送語数レジスタ 2	SSIWDMCNR2	R/W	H'FF40 10E0	H'1F40 10E0	32
	DMA コントロールレジスタ 2	SSIDMCOR2	R/W	H'FF40 10E8	H'1F40 10E8	32
	送信一時停止ブロックカウンタ 2	SSISTPBLCNT2	R/W	H'FF40 10F0	H'1F40 10F0	32
	送信一時停止中転送データ レジスタ 2	SSISTPDR2	R/W	H'FF40 10F8	H'1F40 10F8	32
	ブロックカウントソースレジスタ 2	SSIBLCNTR2	R/W	H'FF40 1100	H'1F40 1100	32
	ブロックカウンタ 2	SSIBLCNT2	R	H'FF40 1108	H'1F40 1108	32
	ブロック xn 回割り込みカウンタ ソースレジスタ 2	SSIBLNCNTR2	R/W	H'FF40 1110	H'1F40 1110	32
	ブロック xn 回カウンタ 2	SSIBLNCNT2	R	H'FF40 1118	H'1F40 1118	32
0~2 共通	DMA オペレーションレジスタ 0	SSIDMAOR0	R/W	H'FF40 1180	H'1F40 1180	32
	割り込みステータスレジスタ 0	SSIDMINTSR0	R/W	H'FF40 1188	H'1F40 1188	32
	割り込みマスクレジスタ 0	SSIDMINTMR0	R/W	H'FF40 1190	H'1F40 1190	32

表 18.3 SSI_DMACH0 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ
0	DMA モードレジスタ 0	SSIDMMR0	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 0	SSIRDMADR0	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 0	SSIRDMCNR0	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 0	SSIWDMADR0	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 0	SSIWDMCNR0	H'0000 0000	保持	保持
	DMA コントロールレジスタ 0	SSIDMCOR0	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 0	SSISTPBLCNT0	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 0	SSISTPDR0	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 0	SSIBLCNTR0	H'0000 0000	保持	保持
	ブロックカウンタ 0	SSIBLCNT0	H'0000 0000	保持	保持
	ブロック xn 回割り込みカウンタソース レジスタ 0	SSIBLNCNTR0	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 0	SSIBLNCNT0	H'0000 0000	保持	保持

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ
1	DMA モードレジスタ 1	SSIDMMR1	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 1	SSIRDMADR1	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 1	SSIRDMCNTR1	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 1	SSIWDMADR1	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 1	SSIWDMCNTR1	H'0000 0000	保持	保持
	DMA コントロールレジスタ 1	SSIDMCOR1	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 1	SSISTPBLCNT1	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 1	SSISTPDR1	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 1	SSIBLCNTRSR1	H'0000 0000	保持	保持
	ブロックカウンタ 1	SSIBLCNT1	H'0000 0000	保持	保持
	ブロック xn 回割り込みカウントソース レジスタ 1	SSIBLNCNTRSR1	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 1	SSIBLNCNT1	H'0000 0000	保持	保持
2	DMA モードレジスタ 2	SSIDMMR2	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 2	SSIRDMADR2	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 2	SSIRDMCNTR2	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 2	SSIWDMADR2	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 2	SSIWDMCNTR2	H'0000 0000	保持	保持
	DMA コントロールレジスタ 2	SSIDMCOR2	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 2	SSISTPBLCNT2	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 2	SSISTPDR2	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 2	SSIBLCNTRSR2	H'0000 0000	保持	保持
	ブロックカウンタ 2	SSIBLCNT2	H'0000 0000	保持	保持
	ブロック xn 回割り込みカウントソースレジ スタ 2	SSIBLNCNTRSR2	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 2	SSIBLNCNT2	H'0000 0000	保持	保持
0~2 共通	DMA オペレーションレジスタ 0	SSIDMAOR0	H'0000 0000	保持	保持
	割り込みステータスレジスタ 0	SSIDMINTSR0	H'0101 0101	保持	保持
	割り込みマスクレジスタ 0	SSIDMINTMR0	H'1F1F 1F1F	保持	保持

SSI_DMxAC1 のレジスタ構成を表 18.4 に示します。また、各処理モードにおけるレジスタの状態を表 18.5 に示します。

表 18.4 SSI_DMACH1 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ
3	DMA モードレジスタ 3	SSIDMMR3	R/W	H'FF50 1000	H'1F50 1000	32
	RDMA 転送元アドレスレジスタ 3	SSIRDMAADR3	R/W	H'FF50 1008	H'1F50 1008	32
	RDMA 転送語数レジスタ 3	SSIRDMCNTR3	R/W	H'FF50 1010	H'1F50 1010	32
	WDMA 転送先アドレスレジスタ 3	SSIWDMADR3	R/W	H'FF50 1008	H'1F50 1018	32
	WDMA 転送語数レジスタ 3	SSIWDMCNTR3	R/W	H'FF50 1020	H'1F50 1020	32
	DMA コントロールレジスタ 3	SSIDMCOR3	R/W	H'FF50 1028	H'1F50 1028	32
	送信一時停止ブロックカウンタ 3	SSISTPBLCNT3	R/W	H'FF50 1030	H'1F50 1030	32
	送信一時停止中転送データ レジスタ 3	SSISTPDR3	R/W	H'FF50 1038	H'1F50 1038	32
	ブロックカウントソースレジスタ 3	SSIBLCNTR3	R/W	H'FF50 1040	H'1F50 1040	32
	ブロックカウンタ 3	SSIBLCNT3	R	H'FF50 1048	H'1F50 1048	32
	ブロック xn 回割り込みカウント ソースレジスタ 3	SSIBLNCNTR3	R/W	H'FF50 1050	H'1F50 1050	32
	ブロック xn 回カウンタ 3	SSIBLNCNT3	R	H'FF50 1058	H'1F50 1058	32
	4	DMA モードレジスタ 4	SSIDMMR4	R/W	H'FF50 1060	H'1F50 1060
RDMA 転送元アドレスレジスタ 4		SSIRDMAADR4	R/W	H'FF50 1068	H'1F50 1068	32
RDMA 転送語数レジスタ 4		SSIRDMCNTR4	R/W	H'FF50 1070	H'1F50 1070	32
WDMA 転送先アドレスレジスタ 4		SSIWDMADR4	R/W	H'FF50 1078	H'1F50 1078	32
WDMA 転送語数レジスタ 4		SSIWDMCNTR4	R/W	H'FF50 1080	H'1F50 1080	32
DMA コントロールレジスタ 4		SSIDMCOR4	R/W	H'FF50 1088	H'1F50 1088	32
送信一時停止ブロックカウンタ 4		SSISTPBLCNT4	R/W	H'FF50 1090	H'1F50 1090	32
送信一時停止中転送データ レジスタ 4		SSISTPDR4	R/W	H'FF50 1098	H'1F50 1098	32
ブロックカウントソースレジスタ 4		SSIBLCNTR4	R/W	H'FF50 10A0	H'1F50 10A0	32
ブロックカウンタ 4		SSIBLCNT4	R	H'FF50 10A8	H'1F50 10A8	32
ブロック xn 回割り込みカウント ソースレジスタ 4		SSIBLNCNTR4	R/W	H'FF50 10B0	H'1F50 10B0	32
ブロック xn 回カウンタ 4		SSIBLNCNT4	R	H'FF50 10B8	H'1F50 10B8	32
5		DMA モードレジスタ 5	SSIDMMR5	R/W	H'FF50 10C0	H'1F50 10C0
	RDMA 転送元アドレスレジスタ 5	SSIRDMAADR5	R/W	H'FF50 10C8	H'1F50 10C8	32
	RDMA 転送語数レジスタ 5	SSIRDMCNTR5	R/W	H'FF50 10D0	H'1F50 10D0	32
	WDMA 転送先アドレスレジスタ 5	SSIWDMADR5	R/W	H'FF50 10D8	H'1F50 10D8	32
	WDMA 転送語数レジスタ 5	SSIWDMCNTR5	R/W	H'FF50 10E0	H'1F50 10E0	32
	DMA コントロールレジスタ 5	SSIDMCOR5	R/W	H'FF50 10E8	H'1F50 10E8	32
	送信一時停止ブロックカウンタ 5	SSISTPBLCNT5	R/W	H'FF50 10F0	H'1F50 10F0	32

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ
5	送信一時停止中転送データレジスタ 5	SSISTPDR5	R/W	H'FF50 10F8	H'1F50 10F8	32
	ブロックカウントソースレジスタ 5	SSIBLCNTR5	R/W	H'FF50 1100	H'1F50 1100	32
	ブロックカウンタ 5	SSIBLCNT5	R	H'FF50 1108	H'1F50 1108	32
	ブロック xn 回割り込みカウンタ ソースレジスタ 5	SSIBLNCNTR5	R/W	H'FF50 1110	H'1F50 1110	32
	ブロック xn 回カウンタ 5	SSIBLNCNT5	R	H'FF50 1118	H'1F50 1118	32
3~5 共通	DMA オペレーションレジスタ 1	SSIDMAOR1	R/W	H'FF50 1180	H'1F50 1180	32
	割り込みステータスレジスタ 1	SSIDMINTSR1	R/W	H'FF50 1188	H'1F50 1188	32
	割り込みマスクレジスタ 1	SSIDMINTMR1	R/W	H'FF50 1190	H'1F50 1190	32

表 18.5 SSI_DMCA1 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ
3	DMA モードレジスタ 3	SSIDMMR3	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 3	SSIRDMADR3	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 3	SSIRDMCNTR3	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 3	SSIWDMADR3	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 3	SSIWDMCNTR3	H'0000 0000	保持	保持
	DMA コントロールレジスタ 3	SSIDMCOR3	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 3	SSISTPBLCNT3	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 3	SSISTPDR3	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 3	SSIBLCNTR3	H'0000 0000	保持	保持
	ブロックカウンタ 3	SSIBLCNT3	H'0000 0000	保持	保持
	ブロック xn 回割り込みカウンタソース レジスタ 3	SSIBLNCNTR3	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 3	SSIBLNCNT3	H'0000 0000	保持	保持
4	DMA モードレジスタ 4	SSIDMMR4	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 4	SSIRDMADR4	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 4	SSIRDMCNTR4	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 4	SSIWDMADR4	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 4	SSIWDMCNTR4	H'0000 0000	保持	保持
	DMA コントロールレジスタ 4	SSIDMCOR4	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 4	SSISTPBLCNT4	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 4	SSISTPDR4	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 4	SSIBLCNTR4	H'0000 0000	保持	保持
	ブロックカウンタ 4	SSIBLCNT4	H'0000 0000	保持	保持

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ
4	ブロック xn 回割り込みカウントソース レジスタ 4	SSIBLNCNTR4	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 4	SSIBLNCNT4	H'0000 0000	保持	保持
5	DMA モードレジスタ 5	SSIDMMR5	H'0000 0000	保持	保持
	RDMA 転送元アドレスレジスタ 5	SSIRDMAADR5	H'0000 0000	保持	保持
	RDMA 転送語数レジスタ 5	SSIRDMCNTR5	H'0000 0000	保持	保持
	WDMA 転送先アドレスレジスタ 5	SSIWDMAADR5	H'0000 0000	保持	保持
	WDMA 転送語数レジスタ 5	SSIWDMCNTR5	H'0000 0000	保持	保持
	DMA コントロールレジスタ 5	SSIDMCR5	H'0000 0000	保持	保持
	送信一時停止ブロックカウンタ 5	SSISTPBLCNT5	H'0000 0000	保持	保持
	送信一時停止中転送データレジスタ 5	SSISTPDR5	H'0000 0000	保持	保持
	ブロックカウントソースレジスタ 5	SSIBLNCNTR5	H'0000 0000	保持	保持
	ブロックカウンタ 5	SSIBLNCNT5	H'0000 0000	保持	保持
	ブロック xn 回割り込みカウントソース レジスタ 5	SSIBLNCNTR5	H'0000 0000	保持	保持
	ブロック xn 回カウンタ 5	SSIBLNCNT5	H'0000 0000	保持	保持
3~5 共通	DMA オペレーションレジスタ 1	SSIDMAOR1	H'0000 0000	保持	保持
	割り込みステータスレジスタ 1	SSIDMINTSR1	H'0101 0101	保持	保持
	割り込みマスクレジスタ 1	SSIDMINTMR1	H'1F1F 1F1F	保持	保持

SSI_CH0~5 のレジスタ構成を表 18.6 に示します。また、各処理モードにおけるレジスタの状態を表 18.7 に示します。

表 18.6 SSI_CH0~5 レジスタ構成

チャンネル	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	サイズ
0	コントロールレジスタ 0	SSICR0	R/W	H'FF40 2000	H'1F40 2000	32
	ステータスレジスタ 0	SSISR0	R/W*	H'FF40 2004	H'1F40 2004	32
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FF40 2008	H'1F40 2008	32
	レシーブデータレジスタ 0	SSIRDR0	R	H'FF40 200C	H'1F40 200C	32
1	コントロールレジスタ 1	SSICR1	R/W	H'FF40 3000	H'1F40 3000	32
	ステータスレジスタ 1	SSISR1	R/W*	H'FF40 3004	H'1F40 3004	32
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FF40 3008	H'1F40 3008	32
	レシーブデータレジスタ 1	SSIRDR1	R	H'FF40 300C	H'1F40 300C	32
2	コントロールレジスタ 2	SSICR2	R/W	H'FF40 4000	H'1F40 4000	32
	ステータスレジスタ 2	SSISR2	R/W*	H'FF40 4004	H'1F40 4004	32
	トランスミットデータレジスタ 2	SSITDR2	R/W	H'FF40 4008	H'1F40 4008	32
	レシーブデータレジスタ 2	SSIRDR2	R	H'FF40 400C	H'1F40 400C	32
3	コントロールレジスタ 3	SSICR3	R/W	H'FF50 2000	H'1F50 2000	32
	ステータスレジスタ 3	SSISR3	R/W*	H'FF50 2004	H'1F50 2004	32
	トランスミットデータレジスタ 3	SSITDR3	R/W	H'FF50 2008	H'1F50 2008	32
	レシーブデータレジスタ 3	SSIRDR3	R	H'FF50 200C	H'1F50 200C	32
4	コントロールレジスタ 4	SSICR4	R/W	H'FF50 3000	H'1F50 3000	32
	ステータスレジスタ 4	SSISR4	R/W*	H'FF50 3004	H'1F50 3004	32
	トランスミットデータレジスタ 4	SSITDR4	R/W	H'FF50 3008	H'1F50 3008	32
	レシーブデータレジスタ 4	SSIRDR4	R	H'FF50 300C	H'1F50 300C	32
5	コントロールレジスタ 5	SSICR5	R/W	H'FF50 4000	H'1F50 4000	32
	ステータスレジスタ 5	SSISR5	R/W*	H'FF50 4004	H'1F50 4004	32
	トランスミットデータレジスタ 5	SSITDR5	R/W	H'FF50 4008	H'1F50 4008	32
	レシーブデータレジスタ 5	SSIRDR5	R	H'FF50 400C	H'1F50 400C	32

【注】 * 本レジスタの 26,27 ビットは読み出し / 書き込み可能で、それ以外は読み出し専用です。
詳細は、「18.3.17 ステータスレジスタ 0~5 (SSISR0~5)」を参照してください。

表 18.7 SSI_CH0~5 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	スリープ	スタンバイ
0	コントロールレジスタ 0	SSICR0	H'0000 0000	保持	保持
	ステータスレジスタ 0	SSISR0	H'0210 A003	保持	保持
	トランスミットデータレジスタ 0	SSITDR0	H'0000 0000	保持	保持
	レシーブデータレジスタ 0	SSIRDR0	H'0000 0000	保持	保持
1	コントロールレジスタ 1	SSICR1	H'0000 0000	保持	保持
	ステータスレジスタ 1	SISR1	H'0210 A003	保持	保持
	トランスミットデータレジスタ 1	SSITDR1	H'0000 0000	保持	保持
	レシーブデータレジスタ 1	SSIRDR1	H'0000 0000	保持	保持
2	コントロールレジスタ 2	SSICR2	H'0000 0000	保持	保持
	ステータスレジスタ 2	SSISR2	H'0210 A003	保持	保持
	トランスミットデータレジスタ 2	SSITDR2	H'0000 0000	保持	保持
	レシーブデータレジスタ 2	SSIRDR2	H'0000 0000	保持	保持
3	コントロールレジスタ 3	SSICR3	H'0000 0000	保持	保持
	ステータスレジスタ 3	SSISR3	H'0210 A003	保持	保持
	トランスミットデータレジスタ 3	SSITDR3	H'0000 0000	保持	保持
	レシーブデータレジスタ 3	SSIRDR3	H'0000 0000	保持	保持
4	コントロールレジスタ 4	SSICR4	H'0000 0000	保持	保持
	ステータスレジスタ 4	SSISR4	H'0210 A003	保持	保持
	トランスミットデータレジスタ 4	SITDR4	H'0000 0000	保持	保持
	レシーブデータレジスタ 4	SSIRDR4	H'0000 0000	保持	保持
5	コントロールレジスタ 5	SSICR5	H'0000 0000	保持	保持
	ステータスレジスタ 5	SSISR5	H'0210 A003	保持	保持
	トランスミットデータレジスタ 5	SSITDR5	H'0000 0000	保持	保持
	レシーブデータレジスタ 5	SSIRDR5	H'0000 0000	保持	保持

18.3.1 DMA モードレジスタ 0~5 (SSIDMMR0~5)

SSIDMMR0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSI_DMACH の動作モードを設定します。本レジスタの値は、ハードウェアリセット、および対応する SSI_DMACH のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	RDS AM	-	WDD AM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RDMBSZ[1:0]	WDMBSZ[1:0]	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	RDSAM	0	R/W	RDMA 転送元アドレスモード 本ビットは、RDMA 転送時の転送元アドレスの増減を設定します。 0: 転送元アドレス増加(+4) 1: 設定禁止
17	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	WDDAM	0	R/W	WDMA 転送先アドレスモード 本ビットは、WDMA 転送時の転送先アドレスの増減を設定します。 0: 転送先アドレス増加(+4) 1: 設定禁止
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	RDMBSZ[1:0]	00	R/W	RDMA 最大バースト長 本ビットは、RDMA のデータ転送時の最大のバースト長を設定します。 00: 1 バースト(8 バイト) 01: 2 バースト(16 バイト) 10: 4 バースト(32 バイト) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
5、4	WDMBSZ[1:0]	00	R/W	WDMA 最大バースト長 本ビットは、WDMA のデータ転送時の最大のバースト長を設定します。 00 : 1 バースト(8 バイト) 01 : 2 バースト(16 バイト) 10 : 設定禁止 11 : 設定禁止
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.2 RDMA 転送元アドレスレジスタ 0~5 (SSIRDMADR0~5)

SSIRDMADR0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、RDMA 転送時のデータの転送元のメモリアドレスを設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMACH のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDMADR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDMADR[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	RDMADR [31:3]	すべて 0	R/W	RDMA 転送元アドレス 本ビットは、RDMA 転送時のデータ転送元のメモリアドレスを設定します。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.3 RDMA 転送語数レジスタ 0~5 (SSIRDMCNTR0~5)

SSIRDMCNTR0~5 は、読み出し/書き込み可能な 32 ビットのレジスタで、RDMA 転送時のデータの転送語数 (バイト数) を設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSL_DMxAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDMCNT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDMCNT[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	RDMCNT[31:3]	すべて 0	R/W	RDMA 転送語数 本ビットは、RDMA 転送時のデータの転送語数を設定します。 RDMA 最大バースト長の設定に従い、以下の値を設定して下さい。 1 バースト: $8 \times n[H'08 \times n]$ (バイト) 2 バースト: $16 \times n[H'10 \times n]$ (バイト) 4 バースト: $32 \times n[H'20 \times n]$ (バイト)
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にして下さい。

18.3.4 WDMA 転送先アドレスレジスタ 0~5(SSIWDMADR0~5)

SSIWDMADR0~5 は、読み出し/書き込み可能な 32 ビットのレジスタで、WDMA 転送時のデータの転送先のメモリアドレスを設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSL_DMxAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDMADR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDMADR[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~3	WDMADR[31:3]	すべて 0	R/W	WDMA 転送先アドレス 本ビットは、WDMA 転送時のデータ転送先のメモリアドレスを設定します。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.5 WDMA 転送語数レジスタ 0~5 (SSIWDMCNTR0~5)

SSIWDMCNTR0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDMA 転送時のデータの転送語数 (バイト数) を設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSL_DMxAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDMCNT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDMCNT[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~3	WDMCNT[31:3]	すべて 0	R/W	WDMA 転送語数 本ビットは、WDMA 転送時のデータの転送語数を設定します。 WDMA 最大バースト長の設定に従い、以下の値を設定して下さい。 1 バースト: $8 \times n[H'08 \times n]$ (バイト) 2 バースト: $16 \times n[H'10 \times n]$ (バイト) 4 バースト: $32 \times n[H'20 \times n]$ (バイト)
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.6 DMA コントロールレジスタ 0~5 (SSIDMCOR0~5)

SSIDMCOR0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSI_DMAC0/1 の動作・停止の制御およびシリアルビットクロック等の選択を行います。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DM RST	TX RST	RX RST	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SCKSOP[2:0]			SCKSIP[2:0]			SCKS[2:0]			-	RPT MD	TRMD	DMEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	DMRST	0	W	SSI_DMAC0/1 ソフトウェアリセット 本ビットは、SSI_CH0~5 に対応した SSI_DMAC0/1 をリセットし、転送を中止します。 読み出すと常に 0 が読み出されます。 0: ソフトウェアリセット無効 1: ソフトウェアリセット有効
30	TXRST	0	R/W	送信 FIFO バッファリセット 本ビットは送信 FIFO バッファをリセットします。 0: 送信 FIFO バッファリセット無効 1: 送信 FIFO バッファリセット有効
29	RXRST	0	R/W	受信 FIFO バッファリセット 本ビットは受信 FIFO バッファをリセットします。 0: 受信 FIFO バッファリセット無効 1: 受信 FIFO バッファリセット有効
28~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12~10	SCKSOP [2:0]	000	R/W	<p>シリアルビットクロックおよびシリアルワードセレクト信号出力選択</p> <p>本ビットは SSI_CH0~5 から外部に出力するシリアルビットクロックおよびシリアルワードセレクト信号を選択します。</p> <p>SSIDMCOR0 の場合</p> <p>000 : SSISCK0/SSIWS0 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : SSISCK0/SSIWS0 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : SSISCK0/SSIWS0 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK0/SSIWS0 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>101 : SSISCK0/SSIWS0 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>110 : SSISCK0/SSIWS0 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : 設定禁止</p> <p>111 : 設定禁止</p> <p>SSIDMCOR1 の場合</p> <p>000 : SSISCK1/SSIWS1 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : SSISCK1/SSIWS1 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : SSISCK1/SSIWS1 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK1/SSIWS1 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>101 : SSISCK1/SSIWS1 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>111 : SSISCK1/SSIWS1 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : 設定禁止</p> <p>110 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説 明
12~10	SCKSOP [2:0]	000	R/W	<p>SSIDMCOR2 の場合</p> <p>000 : SSISCK2/SSIWS2 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : SSISCK2/SSIWS2 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : SSISCK2/SSIWS2 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK2/SSIWS2 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>110 : SSISCK2/SSIWS2 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>111 : SSISCK2/SSIWS2 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : 設定禁止</p> <p>101 : 設定禁止</p> <p>SSIDMCOR3 の場合</p> <p>000 : SSISCK3/SSIWS3 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : SSISCK3/SSIWS3 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : SSISCK3/SSIWS3 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK3/SSIWS3 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>101 : SSISCK3/SSIWS3 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>110 : SSISCK3/SSIWS3 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : 設定禁止</p> <p>111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説 明
12~10	SCKSOP [2:0]	000	R/W	<p>SSIDMCOR4 の場合</p> <p>000 : SSISCK4/SSIWS4 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : SSISCK4/SSIWS4 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : SSISCK4/SSIWS4 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK4/SSIWS4 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>101 : SSISCK4/SSIWS4 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>111 : SSISCK4/SSIWS4 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : 設定禁止</p> <p>110 : 設定禁止</p> <p>SSIDMCOR5 の場合</p> <p>000 : SSISCK5/SSIWS5 = SSI_CH5 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>010 : SSISCK5/SSIWS5 = SSI_CH0 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>011 : SSISCK5/SSIWS5 = SSI_CH1 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>100 : SSISCK5/SSIWS5 = SSI_CH2 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>110 : SSISCK5/SSIWS5 = SSI_CH3 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>111 : SSISCK5/SSIWS5 = SSI_CH4 のシリアルビットクロック/ワードセレクト信号を出力</p> <p>001 : 設定禁止</p> <p>101 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説 明
9~7	SCKSIP [2:0]	000	R/W	<p>シリアルビットクロックおよびシリアルワードセレクト信号入力選択 本ビットは外部から SSI_CH0~5 に入力するシリアルビットクロックおよびシリアルワードセレクト信号を選択します。</p> <p>SSIDMCOR0 の場合</p> <p>000 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>001 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>010 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>100 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>101 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>110 : SSI_CH0 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>011 : 設定禁止</p> <p>111 : 設定禁止</p> <p>SSIDMCOR1 の場合</p> <p>000 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>001 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>011 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>100 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>101 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>111 : SSI_CH1 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>010 : 設定禁止</p> <p>110 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説 明
9~7	SCKSIP [2:0]	000	R/W	<p>SSIDMCOR2 の場合</p> <p>000 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>010 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>011 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>100 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>110 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>111 : SSI_CH2 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>001 : 設定禁止</p> <p>101 : 設定禁止</p> <p>SSIDMCOR3 の場合</p> <p>000 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>001 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>010 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>100 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>101 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>110 : SSI_CH3 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>011 : 設定禁止</p> <p>111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説 明
9~7	SCKSIP [2:0]	000	R/W	<p>SSIDMCOR4 の場合</p> <p>000 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>001 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>011 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>100 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>101 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>111 : SSI_CH4 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>010 : 設定禁止</p> <p>110 : 設定禁止</p> <p>SSIDMCOR5 の場合</p> <p>000 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK5/SSIWS5 を入力</p> <p>010 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK0/SSIWS0 を入力</p> <p>011 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK1/SSIWS1 を入力</p> <p>100 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK2/SSIWS2 を入力</p> <p>110 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK3/SSIWS3 を入力</p> <p>111 : SSI_CH5 のシリアルビットクロック/ワードセレクト信号 = SSISCK4/SSIWS4 を入力</p> <p>001 : 設定禁止</p> <p>101 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
6~4	SCKS [2:0]	000	R/W	<p>オーディオクロック選択</p> <p>本ビットは外部から SSI_CH0~5 に入力するオーディオクロックを選択します。</p> <p>SSIDMCOR0 の場合</p> <p>000 : SSI_CH0 のオーディオクロック = AUDIO_CLK0 を入力 001 : SSI_CH0 のオーディオクロック = AUDIO_CLK1 を入力 010 : SSI_CH0 のオーディオクロック = AUDIO_CLK2 を入力 100 : SSI_CH0 のオーディオクロック = AUDIO_CLK3 を入力 101 : SSI_CH0 のオーディオクロック = AUDIO_CLK4 を入力 110 : SSI_CH0 のオーディオクロック = AUDIO_CLK5 を入力 011 : 設定禁止 111 : 設定禁止</p> <p>SSIDMCOR1 の場合</p> <p>000 : SSI_CH1 のオーディオクロック = AUDIO_CLK1 を入力 001 : SSI_CH1 のオーディオクロック = AUDIO_CLK2 を入力 011 : SSI_CH1 のオーディオクロック = AUDIO_CLK3 を入力 100 : SSI_CH1 のオーディオクロック = AUDIO_CLK4 を入力 101 : SSI_CH1 のオーディオクロック = AUDIO_CLK5 を入力 111 : SSI_CH1 のオーディオクロック = AUDIO_CLK0 を入力 010 : 設定禁止 110 : 設定禁止</p> <p>SSIDMCOR2 の場合</p> <p>000 : SSI_CH2 のオーディオクロック = AUDIO_CLK2 を入力 010 : SSI_CH2 のオーディオクロック = AUDIO_CLK3 を入力 011 : SSI_CH2 のオーディオクロック = AUDIO_CLK4 を入力 100 : SSI_CH2 のオーディオクロック = AUDIO_CLK5 を入力 110 : SSI_CH2 のオーディオクロック = AUDIO_CLK0 を入力 111 : SSI_CH2 のオーディオクロック = AUDIO_CLK1 を入力 001 : 設定禁止 101 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
6~4	SCKS [2:0]	000	R/W	<p>SSIDMCOR3 の場合</p> <p>000 : SSI_CH3 のオーディオクロック = AUDIO_CLK3 を入力 001 : SSI_CH3 のオーディオクロック = AUDIO_CLK4 を入力 010 : SSI_CH3 のオーディオクロック = AUDIO_CLK5 を入力 100 : SSI_CH3 のオーディオクロック = AUDIO_CLK0 を入力 101 : SSI_CH3 のオーディオクロック = AUDIO_CLK1 を入力 110 : SSI_CH3 のオーディオクロック = AUDIO_CLK2 を入力 011 : 設定禁止 111 : 設定禁止</p> <p>SSIDMCOR4 の場合</p> <p>000 : SSI_CH4 のオーディオクロック = AUDIO_CLK4 を入力 001 : SSI_CH4 のオーディオクロック = AUDIO_CLK5 を入力 011 : SSI_CH4 のオーディオクロック = AUDIO_CLK0 を入力 100 : SSI_CH4 のオーディオクロック = AUDIO_CLK1 を入力 101 : SSI_CH4 のオーディオクロック = AUDIO_CLK2 を入力 111 : SSI_CH4 のオーディオクロック = AUDIO_CLK3 を入力 010 : 設定禁止 110 : 設定禁止</p> <p>SSIDMCOR5 の場合</p> <p>000 : SSI_CH5 のオーディオクロック = AUDIO_CLK5 を入力 010 : SSI_CH5 のオーディオクロック = AUDIO_CLK0 を入力 011 : SSI_CH5 のオーディオクロック = AUDIO_CLK1 を入力 100 : SSI_CH5 のオーディオクロック = AUDIO_CLK2 を入力 110 : SSI_CH5 のオーディオクロック = AUDIO_CLK3 を入力 111 : SSI_CH5 のオーディオクロック = AUDIO_CLK4 を入力 001 : 設定禁止 101 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	RPTMD	0	R/W	リピートモード 本ビットは、通常モードかリピートモードを設定します。 0: 通常モード 1: リピートモード
1	TRMD	0	R/W	送信/受信モード選択 本ビットは、SSI_CH0~5に対応した SSI_DMAC0 / 1 の送信モード/受信モードを設定します。 0: 受信モード 1: 送信モード
0	DMEN	0	R/W	SSI-DMAC イネーブル 本ビットは、SSI_CH0~5に対応した SSI_DMAC0 / 1 の動作を許可します。 本ビットは、対応した SSI_DMAC が自動停止すると、自動的にクリアされます。 すなわち、非リピートモードで起動中の SSI_DMAC の転送語数レジスタがゼロとなった場合、または、リピートモードで起動中の SSI_DMAC の RPTMD ビットをクリアした後に転送語数レジスタがゼロとなった場合、本ビットは自動的にクリアされます。 0: 動作停止 1: 動作許可

18.3.7 送信一時停止ブロックカウンタ 0~5(SSISTPBLCNT0~5)

SSISTPBLCNT0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSIDMAOR0~1 の TXSTOP0~5 に 1 を設定した後に、送信一時停止状態になるまでの転送ブロック数を設定します。

本レジスタは、1 ブロック転送毎に 1 デクリメントし、0 になると送信一時停止状態になります。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXSTOPBL[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXSTOPBL[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TXSTOPBL [31:0]	すべて 0	R/W	送信一時停止状態になるまでの転送ブロック数 本ビットは、SSIDMAOR0~1のTXSTOPO~5に1を設定した後に送信一時停止状態になるまでの転送ブロック数を設定します。 読み出し時は設定値が読めます (カウンタの値は読めません)。

18.3.8 送信一時停止中転送データレジスタ 0~5 (SSISTPDR0~5)

SSISTPDR0~5は、読み出し/書き込み可能な32ビットのレジスタで、送信一時停止状態中にSSI_CH0~5へ転送するデータを設定します。

送信一時停止状態中は、送信 FIFO バッファデータではなく本レジスタ設定データをSSI_CH0~5へ転送します。本レジスタの値は、ハードウェアリセット、および対応するSSI_DMARのソフトウェアリセット (対応するSSIDMCOR0~5のDMRSTビット)によって初期化されます。

本レジスタへの書き込みは、対応するSSIDMCOR0~5のDMENが0のときのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXSTOPD[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXSTOPD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TXSTOPD [31:0]	すべて 0	R/W	送信一時停止状態中の転送データ 本ビットは、送信一時停止状態中にSSI_CH0~5へ転送するデータを設定します。

18.3.9 ブロックカウントソースレジスタ 0~5 (SSIBLCNTRS0~5)

SSIBLCNTRS0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSIBLCNT0~5 のインクリメントタイミングを転送バイト数で設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMxAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

また、ブロック転送終了割り込み機能、ブロック x_n 回転送終了割り込み機能を使用する場合、本レジスタには、初期値以外の値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLCNTRS[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLCNTRS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BLCNTRS [31:0]	すべて 0	R/W	SSIBLCNT0~5 インクリメントタイミング 本ビットは、SSIBLCNT0~5 のインクリメントタイミングを転送バイト数で設定します。 RDMA 最大バースト長あるいは WDMA 最大バースト長の設定に従い、以下の値を設定して下さい。 1 バースト: $8 \times n[H'08 \times n]$ (バイト) 2 バースト: $16 \times n[H'10 \times n]$ (バイト) 4 バースト: $32 \times n[H'20 \times n]$ (バイト)

18.3.10 ブロックカウンタ 0~5 (SSIBLCNT0~5)

SSIBLCNT0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSIBLCNTRS0~5 で設定されたバイト数を 1 ブロックとした転送ブロック数を示します。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMxAC のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLCNT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	BLCNT [31:0]	すべて 0	R	転送ブロック数 本ビットは、SSIBLNCNTR0~5 で設定されたバイト数を 1 ブロックとした転送ブロック数を示します。

18.3.11 ブロック xn 回割り込みカウントソースレジスタ 0~5 (SSIBLNCNTR0~5)

SSIBLNCNTR0~5 は、読み出し / 書き込み可能な 32 ビットのレジスタで、ブロック xn 回転送割り込み発生タイミングおよび SSIBLNCNT0~5 のインクリメントタイミングを転送ブロック数で設定します。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMAR のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

本レジスタへの書き込みは、対応する SSIDMCOR0~5 の DMEN が 0 のときのみ可能です。

また、ブロック転送終了割り込み機能、ブロック xn 回転送終了割り込み機能を使用する場合、本レジスタには、初期値以外の値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLNCNTR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLNCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BLNCNTR [31:0]	すべて 0	R/W	ブロック xn 回転送割り込み発生タイミング 本ビットは、ブロック xn 回転送割り込み発生タイミングおよび SSIBLNCNT0~5 のインクリメントタイミングを転送ブロック数で設定します。

18.3.12 ブロック xn 回カウンタ 0~5 (SSIBLNCNT0~5)

SSIBLNCNT0~5 は、読み出し/書き込み可能な 32 ビットのレジスタで、SSIBLNCNTRS0~5 で設定されたブロック数毎にインクリメントした値を示します。

本レジスタの値は、ハードウェアリセット、および対応する SSI_DMACH のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によって初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLNCNT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	BLNCNT [31:0]	すべて 0	R	転送ブロック xn 回数 本ビットは、SSIBLNCNTRS0~5 で設定されたブロック数毎にインクリメントした値を示します。

18.3.13 DMA オペレーションレジスタ 0~1 (SSIDMAOR0~1)

SSIDMAOR0~1 は、読み出し/書き込み可能な 32 ビットのレジスタで、送信一時停止チャンネルの優先順位および送受信データのエンディアンを設定します。

本レジスタの値は、ハードウェアリセットによって初期化されます。さらに、本レジスタ内の TXSTOP ビット 0~5 は、対応する SSI_DMACH のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によっても初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	TX STOP2	TX STOP1	TX STOP0	-	-	-	PR[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6	TXSTOP2 (TXSTOP5)	0	R/W	<p>SSI_CH2 (CH5) 送信一時停止</p> <p>本ビットは、SSI_CH2 (CH5) 用送信 FIFO バッファから SSI_CH2 (CH5) の転送を一時停止させ、SSITXSTPDR2 (5) に設定されたデータを SSI_CH2 (CH5) へ転送します。</p> <p>0 : SSI_CH2 (CH5) は送信動作 SSI_CH2 (CH5) 用送信 FIFO バッファから SSI_CH2 (CH5) ヘッダ転送</p> <p>1 : SSI_CH2 (CH5) は送信一時停止 SSITXSTPDR2 (5) から SSI_CH2 (CH5) ヘッダ転送</p>
5	TXSTOP1 (TXSTOP4)	0	R/W	<p>SSI_CH1 (CH4) 送信一時停止</p> <p>本ビットは、SSI_CH1 (CH4) 用送信 FIFO バッファから SSI_CH1 (CH4) の転送を一時停止させ、SSITXSTPDR1 (4) に設定されたデータを SSI_CH1 (CH4) へ転送します。</p> <p>0 : SSI_CH1 (CH4) は送信動作 SSI_CH1 (CH4) 用送信 FIFO バッファから SSI_CH1 (CH4) ヘッダ転送</p> <p>1 : SSI_CH1 (CH4) は送信一時停止 SSITXSTPDR1 (4) から SSI_CH1 (CH4) ヘッダ転送</p>
4	TXSTOP0 (TXSTOP3)	0	R/W	<p>SSI_CH0 (CH3) 送信一時停止</p> <p>本ビットは、SSI_CH0 (CH3) 用送信 FIFO バッファから SSI_CH0 (CH3) の転送を一時停止させ、SSITXSTPDR0 (3) に設定されたデータを SSI_CH0 (CH3) へ転送します。</p> <p>0 : SSI_CH0 (CH3) は送信動作 SSI_CH0 (CH3) 用送信 FIFO バッファから SSI_CH0 (CH3) ヘッダ転送</p> <p>1 : SSI_CH0 (CH3) は送信一時停止 SSITXSTPDR0 (3) から SSI_CH0 (CH3) ヘッダ転送</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	PR[1:0]	すべて 0	R/W	<p>プライオリティモード 1、0</p> <p>同時に複数の SSI (SSI_CH0 ~ 5) からの転送要求があった場合の優先順位を設定します。</p> <p>00 : SSI_CH0>SSI_CH1>SSI_CH2 (SSI_CH3>SSI_CH4>SSI_CH5) 01 : SSI_CH0>SSI_CH2>SSI_CH1 (SSI_CH3>SSI_CH5>SSI_CH4) 10 : 設定禁止 11 : SSI_CH0 ~ 2 (SSI_CH3 ~ 5) のラウンドロビン</p>

【注】 () 内は SSIDMAOR1 の場合です。

18.3.14 割り込みステータスレジスタ 0~1 (SSIDMINTSR0~1)

SSIDMINTSR0~1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、SSI_DMACH0/1 の各種割り込み要因を示します。

割り込みマスクレジスタ (SSIDMINTMR0~1) で割り込みが許可されていれば割り込みを発生します。

SSIDMINTSR0~1 の各ビットは、"1" 書き込みにて "0" クリアされます。

"0" 書き込み時は無視されます。

本レジスタの値は、ハードウェアリセットによって初期化されます。さらに、本レジスタ内の BLKEND ビット 0~5、BLKNEND ビット 0~5、DMEND ビット 0~5、TXFIFOFUL ビット 0~5、RXFIFOEMP ビット 0~5 は、対応する SSI_DMACH のソフトウェアリセット (対応する SSIDMCOR0~5 の DMRST ビット) によっても初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BLK END2	BLKN END2	DM END2	TXFIFO FUL2	RXFIFO EMP2
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	BLK END1	BLKN END1	DM END1	TXFIFO FUL1	RXFIFO EMP1	-	-	-	BLK END0	BLKN END0	DM END0	TXFIFO FUL0	RXFIFO EMP0
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	ビット 24 = 1 その他 = 0	R	リザーブビット 読み出すとビット 24 は 1、その他は常に 0 が読み出されます。書き込む値は常に 0 にしてください。
20	BLKEND2 (BLKEND5)	0	R/W	ブロック転送終了 2 (5) 本ビットは、SSIBLCNTR2 (5) に設定されたバイト数の転送が終了したことを示します。 0: SSIBLCNTR2 (5) に設定された分のデータ転送が終了していない 1: SSIBLCNTR2 (5) に設定された分のデータ転送が終了した
19	BLKNEND2 (BLKNEND5)	0	R/W	ブロック xn 回転送終了 2 (5) 本ビットは、SSIBLCNTR2 (5) に設定されたブロック数の転送が終了したことを示します。 0: SSIBLCNTR2 (5) に設定された分のデータ転送が終了していない 1: SSIBLCNTR2 (5) に設定された分のデータ転送が終了した
18	DMEND2 (DMEND5)	0	R/W	転送終了 2 (5) 本ビットは、SSIRDMCNTR2 (5) あるいは SSIWDMCNTR2 (5) に設定された分のデータ転送が終了したことを示します。 0: SSIRDMCNTR2 (5) あるいは SSIWDMCNTR2 (5) に設定された分のデータ転送が終了していない 1: SSIRDMCNTR2 (5) あるいは SSIWDMCNTR2 (5) に設定された分のデータ転送が終了した

ビット	ビット名	初期値	R/W	説明
17	TXFIFOFUL2 (TXFIFOFUL5)	0	R/W	送信 FIFO バッファフル 2 (5) 本ビットは、SSI_SH2 (CH5) 用送信 FIFO バッファがフルであることを示します。 0 : SSI_CH2 (CH5) 用送信 FIFO バッファはフルでない いったん、送信 FIFO バッファがフルになっても、その後のハードウェアの動作で、送信 FIFO バッファがフルでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH2 (CH5) 用送信 FIFO バッファはフル
16	RXFIFOEMP2 (RXFIFOEMP5)	1	R/W	受信 FIFO バッファエンプティ 2 (5) 本ビットは、SSI_CH2 (CH5) 用受信 FIFO バッファがエンプティであることを示します。 0 : SSI_CH2 (CH5) 用受信 FIFO バッファはエンプティでない いったん、受信 FIFO バッファがエンプティになっても、その後のハードウェアの動作で、受信 FIFO バッファがエンプティでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH2 (CH5) 用受信 FIFO バッファはエンプティ
15 ~ 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	BLKEND1 (BLKEND4)	0	R/W	ブロック転送終了 1 (4) 本ビットは、SSIBLCNTR1 (4) に設定されたバイト数の転送が終了したことを示します。 0 : SSIBLCNTR1 (4) に設定された分のデータ転送が終了していない 1 : SSIBLCNTR1 (4) に設定された分のデータ転送が終了した
11	BLKNEND1 (BLKNEND4)	0	R/W	ブロック xn 回転送終了 1 (4) 本ビットは、SSIBLNCNTR1 (4) に設定されたブロック数の転送が終了したことを示します。 0 : SSIBLNCNTR1 (4) に設定された分のデータ転送が終了していない 1 : SSIBLNCNTR1 (4) に設定された分のデータ転送が終了した
10	DMEND1 (DMEND4)	0	R/W	転送終了 1 (4) 本ビットは、SSIRDMCNTR1 (4) あるいは SSIWDMCNTR1 (4) に設定された分のデータ転送が終了したことを示します。 0 : SSIRDMCNTR1 (4) あるいは SSIWDMCNTR1 (4) に設定された分のデータ転送が終了していない 1 : SSIRDMCNTR1 (4) あるいは SSIWDMCNTR1 (4) に設定された分のデータ転送が終了した

ビット	ビット名	初期値	R/W	説明
9	TXFIFOFUL1 (TXFIFOFUL4)	0	R/W	送信 FIFO バッファフル 1 (4) 本ビットは、SSI_SH1 (CH4) 用送信 FIFO バッファがフルであることを示します。 0 : SSI_CH1 (CH4) 用送信 FIFO バッファはフルでない いったん、送信 FIFO バッファがフルになっても、その後のハードウェアの動作で、送信 FIFO バッファがフルでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH1 (CH4) 用送信 FIFO バッファはフル
8	RXFIFOEMP1 (RXFIFOEMP4)	1	R/W	受信 FIFO バッファエンプティ 1 (4) 本ビットは、SSI_CH1 (CH4) 用受信 FIFO バッファがエンプティであることを示します。 0 : SSI_CH1 (CH4) 用受信 FIFO バッファはエンプティでない いったん、受信 FIFO バッファがエンプティになっても、その後のハードウェアの動作で、受信 FIFO バッファがエンプティでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH1 (CH4) 用受信 FIFO バッファはエンプティ
7-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	BLKEND0 (BLKEND3)	0	R/W	ブロック転送終了 0 (3) 本ビットは、SSIBLCNTR0 (3) に設定されたバイト数の転送が終了したことを示します。 0 : SSIBLCNTR0 (3) に設定された分のデータ転送が終了していない 1 : SSIBLCNTR0 (3) に設定された分のデータ転送が終了した
3	BLKNEND0 (BLKNEND3)	0	R/W	ブロック xn 回転送終了 0 (3) 本ビットは、SSIBLNCNTR0 (3) に設定されたブロック数の転送が終了したことを示します。 0 : SSIBLNCNTR0 (3) に設定された分のデータ転送が終了していない 1 : SSIBLNCNTR0 (3) に設定された分のデータ転送が終了した
2	DMEND0 (DMEND3)	0	R/W	転送終了 0 (3) 本ビットは、SSIRDMCNTR0 (3) あるいは SSIWDMCNTR0 (3) に設定された分のデータ転送が終了したことを示します。 0 : SSIRDMCNTR0 (3) あるいは SSIWDMCNTR0 (3) に設定された分のデータ転送が終了していない 1 : SSIRDMCNTR0 (3) あるいは SSIWDMCNTR0 (3) に設定された分のデータ転送が終了した

ビット	ビット名	初期値	R/W	説明
1	TXFIFOFUL0 (TXFIFOFUL3)	0	R/W	送信 FIFO バッファフル 0 (3) 本ビットは、SSI_CH0 (CH3) 用送信 FIFO バッファがフルであることを示します。 0 : SSI_CH0 (CH3) 用送信 FIFO バッファはフルでない いったん、送信 FIFO バッファがフルになっても、その後のハードウェアの動作で、送信 FIFO バッファがフルでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH0 (CH3) 用送信 FIFO バッファはフル
0	RXFIFOEMP0 (RXFIFOEMP3)	1	R/W	受信 FIFO バッファエンプティ 0 (3) 本ビットは、SSI_CH0 (CH3) 用受信 FIFO バッファがエンプティであることを示します。 0 : SSI_CH0 (CH3) 用受信 FIFO バッファはエンプティでない いったん、受信 FIFO バッファがエンプティになっても、その後のハードウェアの動作で、受信 FIFO バッファがエンプティでなくなると、本ビットは自動的にクリアされます。 1 : SSI_CH0 (CH3) 用受信 FIFO バッファはエンプティ

【注】 () 内は SSIDMINTSR1 の場合です。

18.3.15 割り込みマスクレジスタ 0~1 (SSIDMINTMR0~1)

SSIDMINTMR0~1 は、読み出し/書き込み可能な 32 ビットのレジスタで、SSI_DMAC0/1 の各種割り込み要因をマスクします。

本レジスタの値は、ハードウェアリセットによって初期化されますが、SSI_DMAC のソフトウェアリセット (SSIDMCOR0~5 の DMRST ビット) では初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BLKEND M2	BLKN ENDM2	DMEND M2	TXFIFO FULM2	RXFIFO EMPM2
初期値:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	BLKEND M1	BLKN ENDM1	DM ENDM1	TXFIFO FULM1	RXFIFO EMPM1	-	-	-	BLKEND M0	BLKN ENDM0	DMEND M0	TXFIFO FULM0	RXFIFO EMPM0
初期値:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	ビット 31~29=0 ビット 28~24=1	R	リザーブビット 読み出すとビット 31~29 は 0、ビット 28~24 は 1 が読み出されます。書き込む値も同じにしてください。
20	BLKENDM2 (BLKENDM5)	1	R/W	BLKEND2 (5) 割り込み要因マスク 本ビットは、BLKEND2 (5) の割り込み要因のマスクを設定します。 0: BLKEND2 (5) の割り込み要因をマスクしない 1: BLKEND2 (5) の割り込み要因をマスクする
19	BLKNENDM2 (BLKNENDM5)	1	R/W	BLKNEND2 (5) 割り込み要因マスク 本ビットは、BLKNEND2 (5) の割り込み要因のマスクを設定します。 0: BLKNEND2 (5) の割り込み要因をマスクしない 1: BLKNEND2 (5) の割り込み要因をマスクする
18	DMENDM2 (DMENDM5)	1	R/W	DMEND2 (5) 割り込み要因マスク 本ビットは、DMEND2 (5) の割り込み要因のマスクを設定します。 0: DMEND2 (5) の割り込み要因をマスクしない 1: DMEND2 (5) の割り込み要因をマスクする
17	TXFIFOFULM2 (TXFIFOFULM5)	1	R/W	TXFIFOFUL2 (5) 割り込み要因マスク 本ビットは、TXFIFOFUL2 (5) の割り込み要因のマスクを設定します。 0: TXFIFOFUL2 (5) の割り込み要因をマスクしない 1: TXFIFOFUL2 (5) の割り込み要因をマスクする

ビット	ビット名	初期値	R/W	説明
16	RXFIFOEMP2 (RXFIFOEMP5)	1	R/W	RXFIFOEMP2 (5) 割り込み要因マスク 本ビットは、RXFIFOEMP2 (5) の割り込み要因のマスクを設定します。 0 : RXFIFOEMP2 (5) の割り込み要因をマスクしない 1 : RXFIFOEMP2 (5) の割り込み要因をマスクする
15 ~ 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	BLKENDM1 (BLKENDM4)	1	R/W	BLKEND1 (4) 割り込み要因マスク 本ビットは、BLKEND1 (4) の割り込み要因のマスクを設定します。 0 : BLKEND1 (4) の割り込み要因をマスクしない 1 : BLKEND1 (4) の割り込み要因をマスクする
11	BLKNENDM1 (BLKNENDM4)	1	R/W	BLKNEND1 (4) 割り込み要因マスク 本ビットは、BLKNEND1 (4) の割り込み要因のマスクを設定します。 0 : BLKNEND1 (4) の割り込み要因をマスクしない 1 : BLKNEND1 (4) の割り込み要因をマスクする
10	DMENDM1 (DMENDM4)	1	R/W	DMEND1 (4) 割り込み要因マスク 本ビットは、DMEND1 (4) の割り込み要因のマスクを設定します。 0 : DMEND1 (4) の割り込み要因をマスクしない 1 : DMEND1 (4) の割り込み要因をマスクする
9	TXFIFOFULM1 (TXFIFOFULM4)	1	R/W	TXFIFOFUL1 (4) 割り込み要因マスク 本ビットは、TXFIFOFUL1 (4) の割り込み要因のマスクを設定します。 0 : TXFIFOFUL1 (4) の割り込み要因をマスクしない 1 : TXFIFOFUL1 (4) の割り込み要因をマスクする
8	RXFIFOEMP1 (RXFIFOEMP4)	1	R/W	RXFIFOEMP1 (4) 割り込み要因マスク 本ビットは、RXFIFOEMP1 (4) の割り込み要因のマスクを設定します。 0 : RXFIFOEMP1 (4) の割り込み要因をマスクしない 1 : RXFIFOEMP1 (4) の割り込み要因をマスクする
7 ~ 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	BLKENDM0 (BLKENDM3)	1	R/W	BLKEND0 (3) 割り込み要因マスク 本ビットは、BLKEND0 (3) の割り込み要因のマスクを設定します。 0 : BLKEND0 (3) の割り込み要因をマスクしない 1 : BLKEND0 (3) の割り込み要因をマスクする

ビット	ビット名	初期値	R/W	説明
3	BLKNENDM0 (BLKNENDM3)	1	R/W	BLKNEND0 (3) 割り込み要因マスク 本ビットは、BLKNEND0 (3) の割り込み要因のマスクを設定します。 0 : BLKNEND0 (3) の割り込み要因をマスクしない 1 : BLKNEND0 (3) の割り込み要因をマスクする
2	DMENDM0 (DMENDM3)	1	R/W	DMEND0 (3) 割り込み要因マスク 本ビットは、DMEND0 (3) の割り込み要因のマスクを設定します。 0 : DMEND0 (3) の割り込み要因をマスクしない 1 : DMEND0 (3) の割り込み要因をマスクする
1	TXFIFOFULM0 (TXFIFOFULM3)	1	R/W	TXFIFOFUL0 (3) 割り込み要因マスク 本ビットは、TXFIFOFUL0 (3) の割り込み要因のマスクを設定します。 0 : TXFIFOFUL0 (3) の割り込み要因をマスクしない 1 : TXFIFOFUL0 (3) の割り込み要因をマスクする
0	RXFIFOEMP0 (RXFIFOEMP3)	1	R/W	RXFIFOEMP0 (3) 割り込み要因マスク 本ビットは、RXFIFOEMP0 (3) の割り込み要因のマスクを設定します。 0 : RXFIFOEMP0 (3) の割り込み要因をマスクしない 1 : RXFIFOEMP0 (3) の割り込み要因をマスクする

【注】 () 内は SSIDMINTMR1 の場合です。

18.3.16 コントロールレジスタ 0~5 (SSICR0~5)

SSICR0~5 は、割り込みの制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	CHNL[1:0]	DWL[2:0]		SWL[2:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWS	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	-	CKDV[2:0]		MUEN	-	TRMD	EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23, 22	CHNL[1:0]	00	R/W	チャンネル 各システムワードのチャンネル数を示します。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。

ビット	ビット名	初期値	R/W	説明
21~19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18~16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロックは入力、スレープモード 1 : シリアルビットクロックは出力、マスタモード 【注】 (SCKD,SWSD) = (0,0)と(1,1)の設定のみ可能です。それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアルワード選択信号 (WS) 方向 0 : シリアルワード選択は入力、スレープモード 1 : シリアルワード選択は出力、マスタモード 【注】 (SCKD,SWSD) = (0,0)と(1,1)の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明																																							
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSIWS[5:0] と SSIDATA[5:0] は SSISCK[5:0] の立ち下がりエッジで変化 (SSISCK[5:0] の立ち上がりエッジでサンプリング)</p> <p>1: SSIWS[5:0] と SSIDATA[5:0] は SSISCK[5:0] の立ち上がりエッジで変化 (SSISCK[5:0] の立ち下がりエッジでサンプリング)</p> <table border="1" data-bbox="594 517 1185 989"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0)</td> <td>SSISCK[5:0]</td> <td>SSISCK[5:0]</td> </tr> <tr> <td>SSIDATA[5:0]</td> <td>立ち上がり</td> <td>立ち下がり</td> </tr> <tr> <td>入力サンプリングタイミング</td> <td>エッジ</td> <td>エッジ</td> </tr> <tr> <td>送信時 (TRMD = 1)</td> <td>SSISCK[5:0]</td> <td>SSISCK[5:0]</td> </tr> <tr> <td>SSIDATA[5:0]</td> <td>立ち下がり</td> <td>立ち上がり</td> </tr> <tr> <td>出力変化タイミング</td> <td>エッジ</td> <td>エッジ</td> </tr> <tr> <td>スリープモード時 (SWSD = 0)</td> <td>SSISCK[5:0]</td> <td>SSISCK[5:0]</td> </tr> <tr> <td>SSIWS[5:0]</td> <td>立ち上がり</td> <td>立ち下がり</td> </tr> <tr> <td>入力サンプリングタイミング</td> <td>エッジ</td> <td>エッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1)</td> <td>SSISCK[5:0]</td> <td>SSISCK[5:0]</td> </tr> <tr> <td>SSIWS[5:0]</td> <td>立ち下がり</td> <td>立ち上がり</td> </tr> <tr> <td>出力変化タイミング</td> <td>エッジ</td> <td>エッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0)	SSISCK[5:0]	SSISCK[5:0]	SSIDATA[5:0]	立ち上がり	立ち下がり	入力サンプリングタイミング	エッジ	エッジ	送信時 (TRMD = 1)	SSISCK[5:0]	SSISCK[5:0]	SSIDATA[5:0]	立ち下がり	立ち上がり	出力変化タイミング	エッジ	エッジ	スリープモード時 (SWSD = 0)	SSISCK[5:0]	SSISCK[5:0]	SSIWS[5:0]	立ち上がり	立ち下がり	入力サンプリングタイミング	エッジ	エッジ	マスタモード時 (SWSD = 1)	SSISCK[5:0]	SSISCK[5:0]	SSIWS[5:0]	立ち下がり	立ち上がり	出力変化タイミング	エッジ	エッジ
	SCKP = 0	SCKP = 1																																									
受信時 (TRMD = 0)	SSISCK[5:0]	SSISCK[5:0]																																									
SSIDATA[5:0]	立ち上がり	立ち下がり																																									
入力サンプリングタイミング	エッジ	エッジ																																									
送信時 (TRMD = 1)	SSISCK[5:0]	SSISCK[5:0]																																									
SSIDATA[5:0]	立ち下がり	立ち上がり																																									
出力変化タイミング	エッジ	エッジ																																									
スリープモード時 (SWSD = 0)	SSISCK[5:0]	SSISCK[5:0]																																									
SSIWS[5:0]	立ち上がり	立ち下がり																																									
入力サンプリングタイミング	エッジ	エッジ																																									
マスタモード時 (SWSD = 1)	SSISCK[5:0]	SSISCK[5:0]																																									
SSIWS[5:0]	立ち下がり	立ち上がり																																									
出力変化タイミング	エッジ	エッジ																																									
12	SWSP	0	R/W	<p>シリアルワード選択信号 (WS) 極性</p> <p>0: SSIWS[5:0] は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル</p> <p>1: SSIWS[5:0] は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル</p>																																							
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>MUEN=1 のとき、パディングビットはローレベルになります。(MUTE 機能が優先されます)</p>																																							
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>																																							

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>データワード長が 32、16、8 ビットるとき、このビットは意味を持ちません。このビットは、受信モード時の SSIRDR0~5 と送信モード時の SSITDR0~5 に適用します。</p> <p>0 : パラレルデータ (SSITDR0~5、SSIRDR0~5) を左詰め 1 : パラレルデータ (SSITDR0~5、SSIRDR0~5) を右詰め</p> <ul style="list-style-type: none"> • DWL[2:0]=000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR0~5 か SSITDR0~5 の全データビットがシリアルオーディオバス上で使用されます。 各 32 ビットアクセスには 4 データワードが送受信されます。 ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL[2:0]=001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR0~5 か SSITDR0~5 の全データビットがシリアルオーディオバス上で使用されます。 各 32 ビットアクセスには 2 データワードが送受信されます。 ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL[2:0]=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=0 (左詰め) SSIRDR0~5 か SSITDR0~5 のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32 - DWL[2:0])によって設定されたデータワード長のビット数)つまり、DWL[2:0]=011 のとき、データワード長は 20 ビットになり、SSIRDR0~5 か SSITDR0~5 のビット 31~12 が使用されます。 他のすべてのビットは無視されるかりザーブビットになります。 • DWL[2:0]=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=1 (右詰め) SSIRDR0~5 か SSITDR0~5 のデータビットで使用されるのは以下のビットです。 ビット (DWL[2:0]によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL[2:0]=011 のとき、データワード長は 20 ビットになり、SSIRDR0~5 か SSITDR0~5 のビット 19~0 が使用されます。 他のすべてのビットは無視されるかりザーブビットになります。 • DWL[2:0]=110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR0~5 か SSITDR0~5 の全データビットがシリアルオーディオバス上で使用されます。

ビット	ビット名	初期値	R/W	説明
8	DEL	0	R/W	シリアルデータディレイ 0 : SSIWS[5:0] と SSIDATA[5:0] 間で 1 クロックサイクルの遅延 1 : SSIWS[5:0] と SSIDATA[5:0] 間の遅延なし
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	CKDV[2:0]	000	R/W	シリアルオーバサンプルクロック分周比 オーバサンプルクロック AUDIO_CLK[5:0] とシリアルビットクロックの分周比を設定します。 SCKD = 0 のとき、このビットは無視されます。 シリアルビットクロックはシフトレジスタで使われ、SSISCK[5:0] 端子から供給されます。 000 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1 001 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2 010 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 011 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 100 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 101 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 6 110 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 12 111 : 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0 : SSI_CH0~5 はミュート状態でない 1 : SSI_CH0~5 はミュート状態
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TRMD	0	R/W	送信 / 受信モード選択 0 : SSI_CH0~5 は受信モード 1 : SSI_CH0~5 は送信モード
0	EN	0	R/W	動作イネーブル 0 : SSI_CH0~5 は動作を禁止 1 : SSI_CH0~5 は動作を許可

18.3.17 ステータスレジスタ 0~5 (SSISR0~5)

SSISR0~5 は、動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1*2	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R/W*1	R/W*1	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	
初期値:	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1*2
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	<p>DMA 要求ステータスフラグ</p> <p>本ステータスフラグにより、CPU は SSI_CH0~5 の DMA リクエストの状態を知ることができます。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき DMRQ = 1 のとき、SSIRDRO~5 に未読データがあります。 SSIRDRO~5 が読み出された場合、次の未読データがくるまで DMRQ = 0 になります。 • TRMD = 1 (送信モード) のとき DMRQ = 1 のとき、SSITDRO~5 は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。 SSITDRO~5 にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W* ¹	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR0 ~ 5 が読み出されたことを示しています。 このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 • TRMD = 1 (送信モード) のとき UIRQ = 1 のとき、送信する前に SSITDR0 ~ 5 に送信データが書き込まれなかったことを示しています。 これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。 <p>【注】アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W* ¹	<p>オーバーフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは、OIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき OIRQ = 1 のとき、SSIRDR0 ~ 5 に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。 これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 • TRMD = 1 (送信モード) のとき OIRQ = 1 のとき、SSITDR0 ~ 5 中のデータがシフトレジスタに転送される前に SSITDR0 ~ 5 にデータが書き込まれたことを示しています。 これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 <p>【注】オーバーフローエラーが発生すると、データバッファ中にあるデータは SSI インタフェースから送られてくる次のデータに上書きされません。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1*2	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI_CH0~5 がアイドル状態であるかどうかを示します。</p> <p>ポーリングを可能にするため、このビットは、I IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>IIRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI_CH0~5 はアイドル状態でない 1 : SSI_CH0~5 はアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI_CH0~5 がデータの読み出しか書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>DIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき <p>0 : SSIRDRO~5 に未読データなし 1 : SSIRDRO~5 に未読データあり</p> • TRMD = 1 (送信モード) のとき <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDRO~5 へのデータ書き込みを要求しています</p>
23~4	-	H'10A00	R	<p>リザーブビット</p> <p>SSI_DMAC0/1 動作中の読み出し値は、不定です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO[1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき <p>このビットは、SSIRDRO~5 内の現在のデータがどのチャンネルのものを表わします。</p> <p>シフトレジスタからの転送により SSIRDRO~5 中のデータが更新されるとこの値は変化します。</p> • TRMD = 1 (送信モード) のとき <p>このビットは、SSITDRO~5 にどのチャンネルのデータを書き込むべきかを表わします。</p> <p>データがシフトレジスタにコピーされると、SSITDRO~5 に書き込まれたかどうかに関わらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <ul style="list-style-type: none"> • TRMD = 0 (受信モード) のとき このビットは、SSIRDR0~5 内の現在のデータがどちらのシステムワードであるかを表わします。 SSIRDR0~5 が読み出されたかどうかに関わらず、シフトレジスタからの転送により SSIRDR0~5 中のデータが更新されるとこの値は変化します。 • TRMD = 1 (送信モード) のとき このビットは、SSITDR0~5 にどちらのシステムワードを書き込むべきかを表わします。 データがシフトレジスタにコピーされると、SSITDR0~5 に書き込まれたかどうかに関わらず、この値は変化します。
0	IDST	1*2	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。 このビットは以下の条件のときに自動的に 1 にセットされます。</p> <ul style="list-style-type: none"> • SSL_CH0~5 がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき EN ビットがクリアされ、SSITDR0~5 に書き込まれているデータがシリアルデータ入出力端子 (SSIDATA0~5) から出力を完了すると、このビットは 1 にセットされます。 • SSL_CH0~5 がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。 • SSL_CH0~5 がスレーブトランスミッタ/レシーバ (SWSD = 0) のとき EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。 <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

- 【注】
1. 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
 2. 初期化するためには、パワーオンリセット後に、LSI 内部のシリアルビットクロックラインにクロックを供給する必要があります。シリアルビットクロックラインにクロックを供給するには、以下の 2 つの方法があります。
 - ・ポートコントロールレジスタの操作で当該 SSI チャンネルの SSISCK 端子を活性化し、SSICR の SCKD ビットにおいて、「シリアルビットクロックは入力」を選択した状態で、LSI 外部から SSISCK 端子にクロックを供給する。
 - ・ポートコントロールレジスタの操作で当該 SSI チャンネルの AUDIO_CLK 端子を活性化し、SSICR の SCKD ビットにおいて、「シリアルビットクロックは出力」を選択した状態で、LSI 外部から AUDIO_CLK 端子にクロックを供給する。

18.3.18 トランスミットデータレジスタ 0~5 (SSITDR0~5)

SSITDR0~5 は、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があるとシフトレジスタに転送されます。

データワード長が 32 ビット未満のとき、アラインメントは SSICR0~5 の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.19 レシーブデータレジスタ 0~5 (SSIRDR0~5)

SSIRDR0~5 は、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。

データワード長が 32 ビット未満のとき、アラインメントは SSICR0~5 の PDTA コントロールビットの設定に従って行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	0	R	R	0	R	R	0	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18.4 動作説明

18.4.1 SSI_CLKSEL 動作説明

SSI_CLKSEL は、SSI インタフェースからの各チャンネルのオーディオクロックおよびシリアルビットクロック / シリアルワード選択信号をレジスタ設定に従い、SSI_CH0 ~ 5 に接続します。

- オーディオクロックの選択

SSI_CH0 ~ 5 で、各々使用するオーディオクロック (AUDIO_CLK[5:0]) は SSIDMCOR0 ~ 5 の SCKS[2:0] ビットの設定により、SSI_CLKSEL で選択動作を行います。

初期状態では、AUDIO_CLK0 = SSI_CH0 のように同じチャンネルを接続するよう選択します。

- シリアルビットクロック / シリアルワード選択信号の選択

SSI_CH0 ~ 5 で、各々使用するシリアルビットクロック / シリアルワード選択信号 (SSISCK[5:0] / SSIWS[5:0]) は SSIDMCOR0 ~ 5 の SCKSIP[2:0] または SCKOP[2:0] ビットの設定により SSI_CLKSEL で選択動作を行います。

初期状態では、SSISCK0 = SSI_CH0 のように同じチャンネルを接続するよう選択します。

18.4.2 SSI_DMACH0 / 1 動作説明

SSI_DMACH0 / 1 は、計 6 チャンネルのシリアルサウンドインタフェース (SSI_CH0 ~ 5) と外部メモリあるいは内蔵メモリ間のデータ転送を行います。

SSI_DMACH0 / 1 は、送信・受信それぞれに FIFO バッファ (32 ビット × 16 段) を持っており、効率のよい高速連続通信を行うことができます。

SSI_DMACH0 / 1 は、データ転送量を任意のブロック単位でカウントし、このブロック単位での割り込み発生・一時停止等のデータ転送の管理ができます。

また、データ転送を一時停止することが可能で、この一時停止中には SSI_CH0 ~ 5 に対して任意のデータ (たとえば無音データ) を転送し続けることで音をポーズさせることができます。

- チャンネル数 :

SSI_CH0 ~ 5 の送信 / 受信に対応した 6 チャンネル

- 転送データサイズ :

8 バイト / 16 バイト / 32 バイト

- 最大転送バイト数 :

4,294,967,296 バイト

- バスモード :

サイクルスチール

- チャネル間優先順位 :
SSI_CH0 ~ 2とSSI_CH3 ~ 5において固定優先とラウンドロビンモードから選択可能です。
- 送信FIFOバッファ / 受信FIFOバッファ :
SSI_CH0 ~ 5の送信 / 受信に対応したFIFOバッファを内蔵 (32ビット × 16段)
- 割り込み要求 :
ブロック転送終了割り込み
ブロック_{xn}回転送終了割り込み
転送終了割り込み
送信FIFOバッファフル割り込み
受信FIFOバッファエンプティ割り込み
- ソフトウェアリセット :
SSI_CH0 ~ 5に対し、個別にソフトウェアリセットが可能です。
SSI_CH0 ~ 5の各送信FIFOバッファ / 受信FIFOバッファを個別にリセットが可能です。
- 送信一時停止 :
即時停止と任意のブロック単位でのデータ転送後に停止を選択可能です。
一時停止中には、自動的に任意のデータ (たとえば無音データ) をSSI_CH0 ~ 5へ転送します。

18.4.3 SSI_CH0 ~ 5 動作説明

(1) バスフォーマット

SSI_CH0 ~ 5 は、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 18.8 に示す 8 つの主要なモードから選択できます。

表 18.8 SSI_CH0 ~ 5 バスフォーマット

バスフォーマット	TRMD	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0															
非圧縮マスタレシーバ	0	1	1															
非圧縮マスタトランスミッタ	1	1	1															

(2) 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。

Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(a) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。

シリアルデータストリームに使われるクロックとシリアルワード選択信号は外部デバイスから供給され
ます。

これらの信号がSSI_CH0~5に設定されたフォーマットと一致しないとき、動作は保証されません。

(b) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。

シリアルデータストリームに使われるクロックとシリアルワード選択信号は外部デバイスから供給され
ます。

これらの信号がSSI_CH0~5に設定されたフォーマットと一致しないとき、動作は保証されません。

(c) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。

クロックとシリアルワード選択信号はAUDIO_CLK0~5の入力クロックから内部生成されます。

これらの信号のフォーマットはSSI_CH0~5の設定に従います。

別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき動作は保証されません。

(d) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。

クロックとシリアルワード選択信号はAUDIO_CLK0~5の入力クロックから内部生成されます。

これらの信号のフォーマットはSSI_CH0~5の設定に従います。

(e) 動作設定キーワード長関連

非圧縮モードは、SSICR0~5のワード長に関するすべてのビットが有効です。

SSI_CH0~5は多数のコンフィギュレーションをサポートできますが、ここではPhilips、Sony、松下のフォー
マットについて説明します。

- Philipsフォーマット

図 18.2 と図 18.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。
データワード長がシステムワード長より短いときにパディングが発生します。

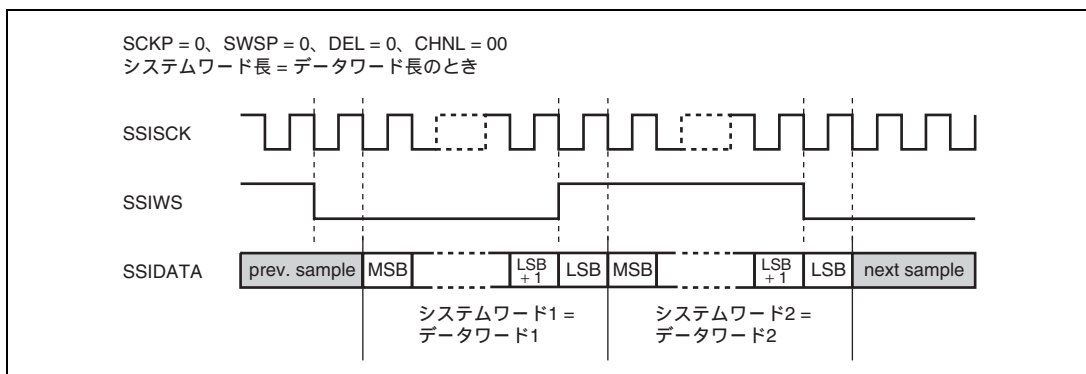


図 18.2 Philips フォーマット (パディングなし)

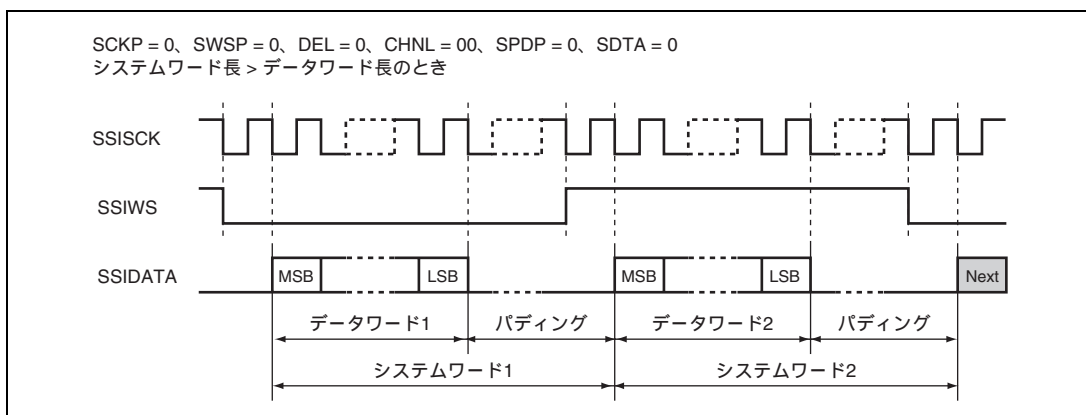


図 18.3 Philips フォーマット (パディングあり)

- Sonyフォーマット

図 18.4 に Sony フォーマットを示します。

パディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

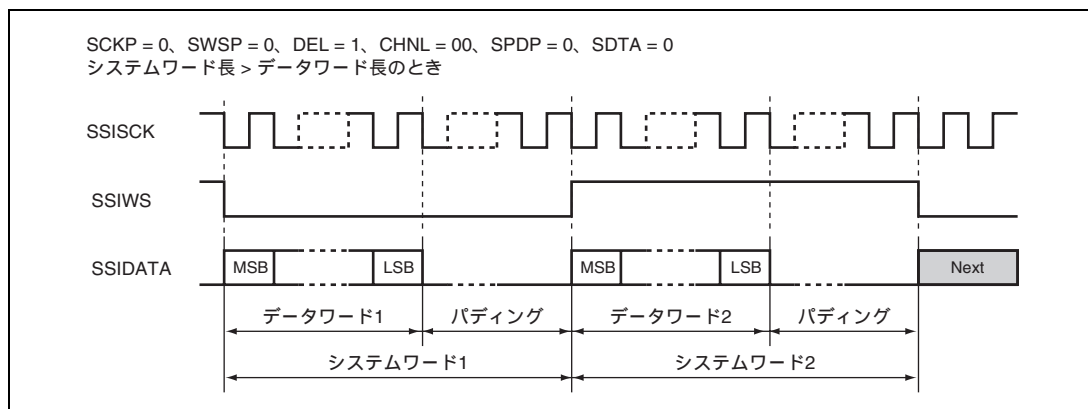


図 18.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

- 松下フォーマット

図 18.5 に松下フォーマットを示します。

パディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

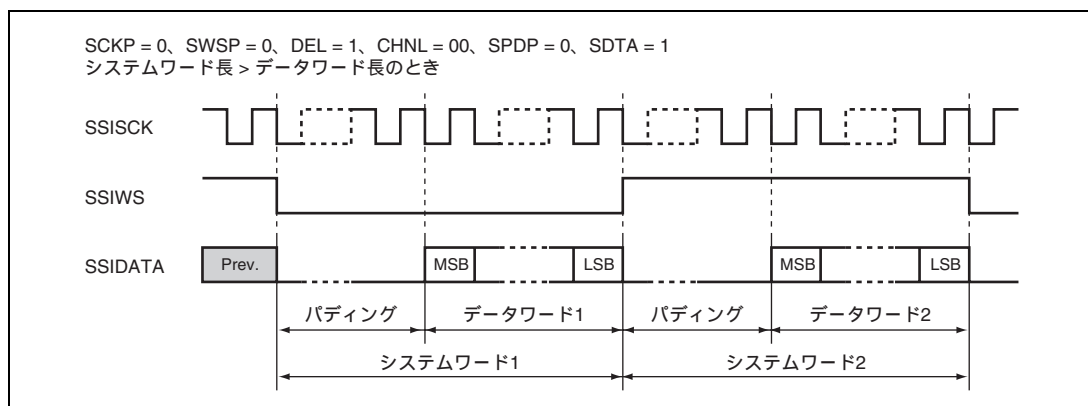


図 18.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(f) マルチチャンネルフォーマット

Philips 仕様の定義を拡張し、2システムワード中に2より多いチャンネルの転送を行うデバイスタイプもあります。SSI_CH0~5は、CHNL、SWL および DWL ビットを使って、2、3、および4チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 18.9 に有効な設定とパディングビット数を示します。

有効ではない設定には数字の代わりに「-」が記入されています。

表 18.9 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI_CH0~5 がトランスミッタとして動作する場合、SSITDR0~5 に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。

SSI_CH0~5 がレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR0~5 から受信した順に読み出されます。

図 18.6~図 18.8 に、2、3 および 4 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。

図 18.6 の例にはパディングビットがない場合、図 18.7 の例は左詰めの場合、そして図 18.8 の例は右詰めの場合を示します。

これらの例は、すべて任意の例です。

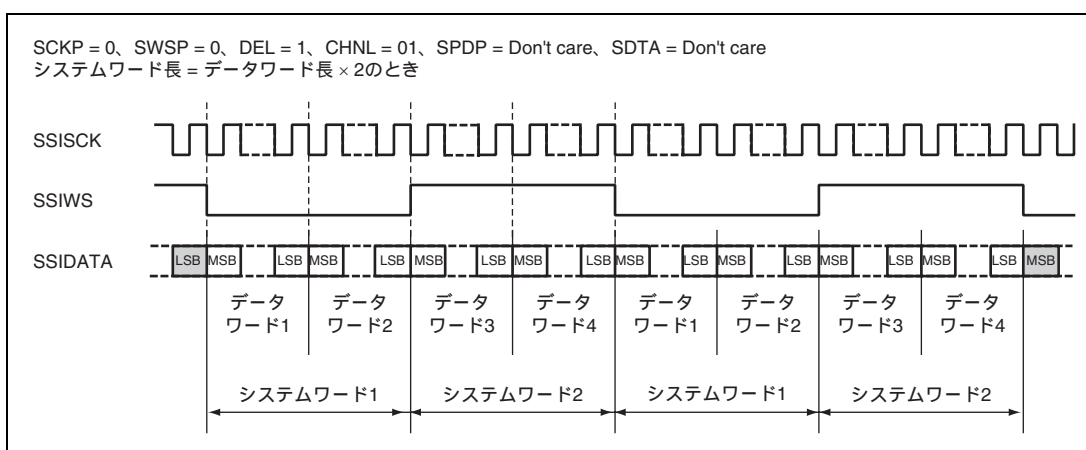


図 18.6 マルチチャンネルフォーマット (2チャンネル、パディングなし)

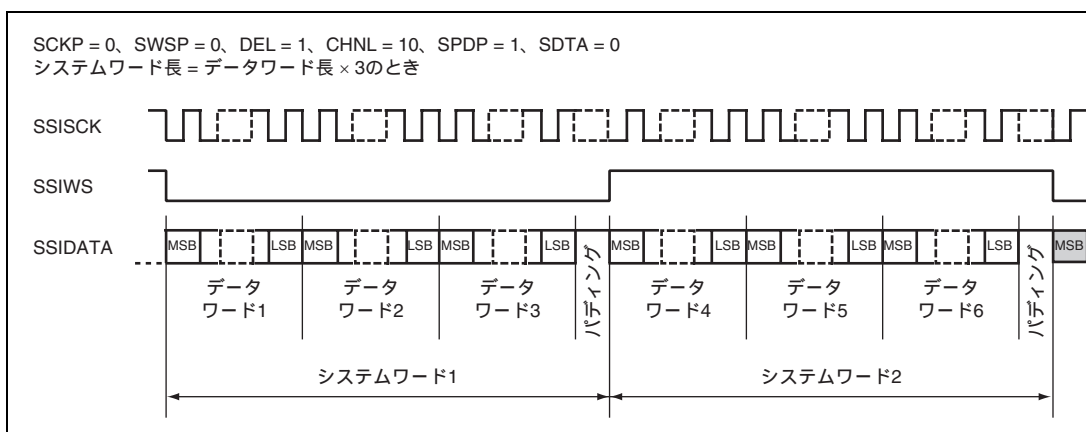


図 18.7 マルチチャンネルフォーマット (3チャンネル、High パディング)

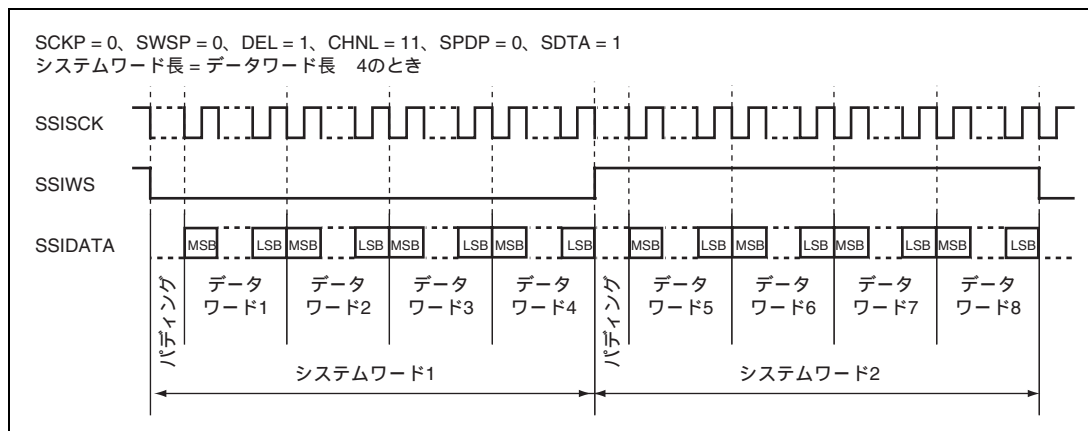


図 18.8 マルチチャンネルフォーマット
(4チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(g) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。

これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図18.9の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

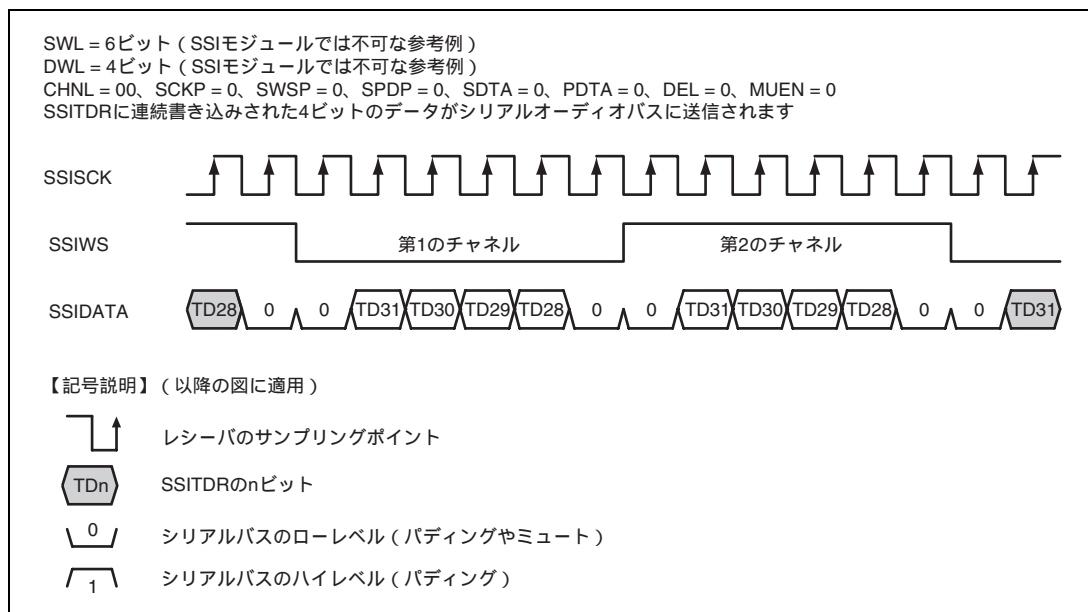


図 18.9 基本フォーマット例 (送信モード、任意のシステム / データワード長)

図 18.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。

これらの設定は SSI_CH0 ~ 5 では実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

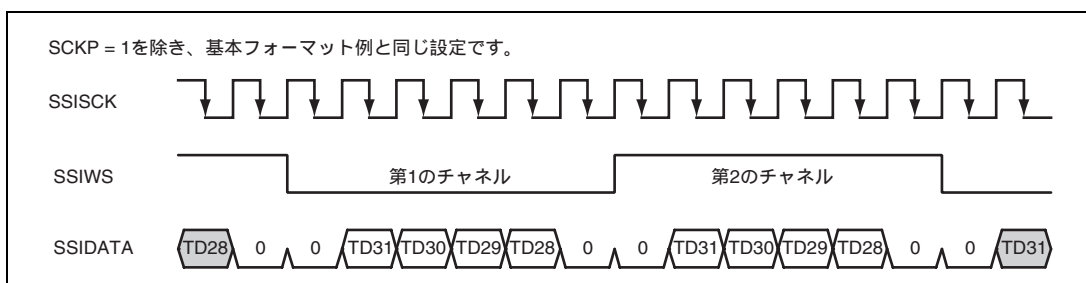


図 18.10 反転クロック

- 反転ワード選択信号

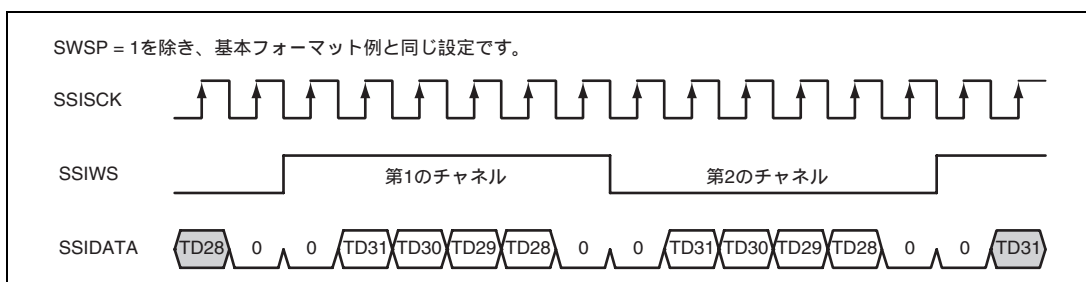


図 18.11 反転ワード選択信号

- 反転パディング極性

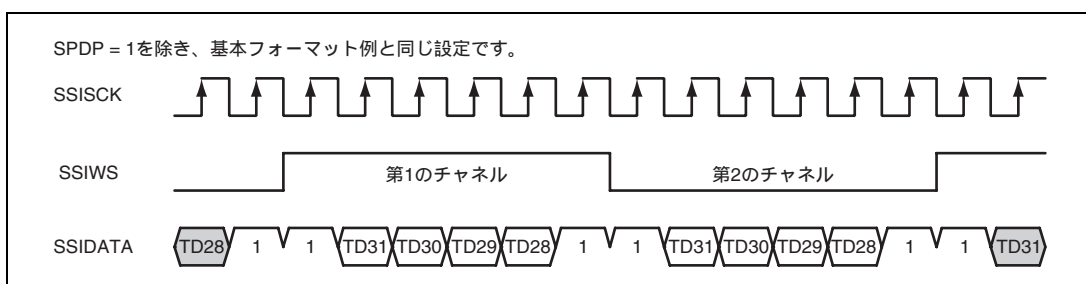


図 18.12 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

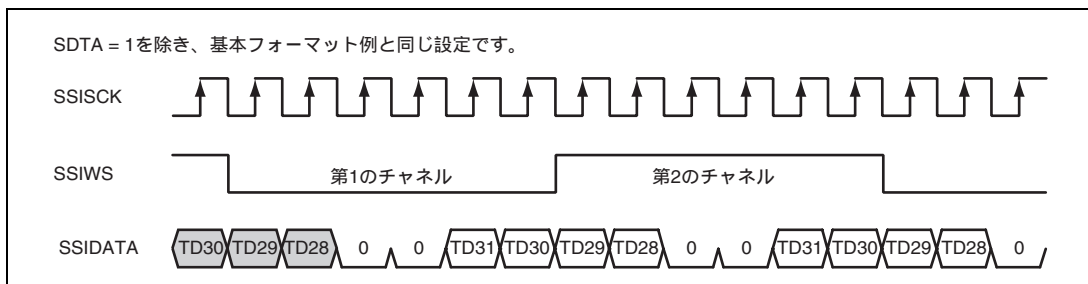


図 18.13 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

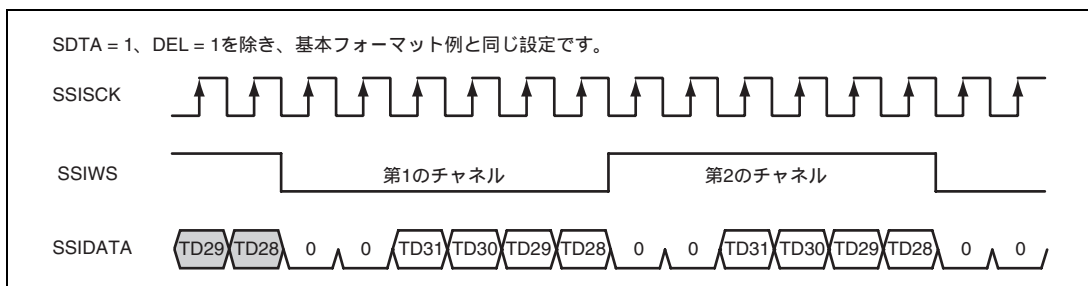


図 18.14 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

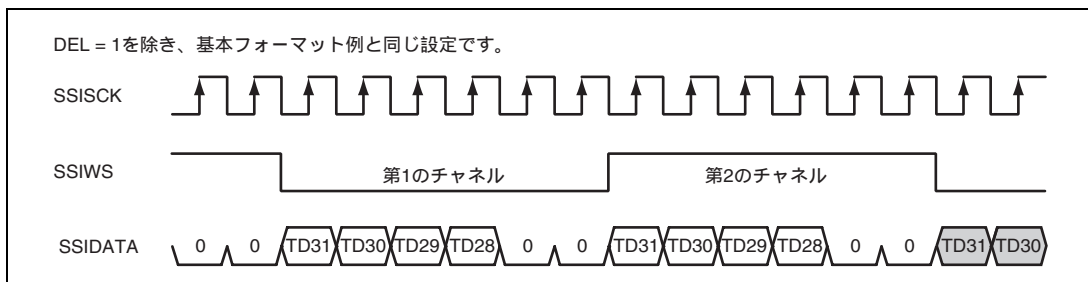


図 18.15 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

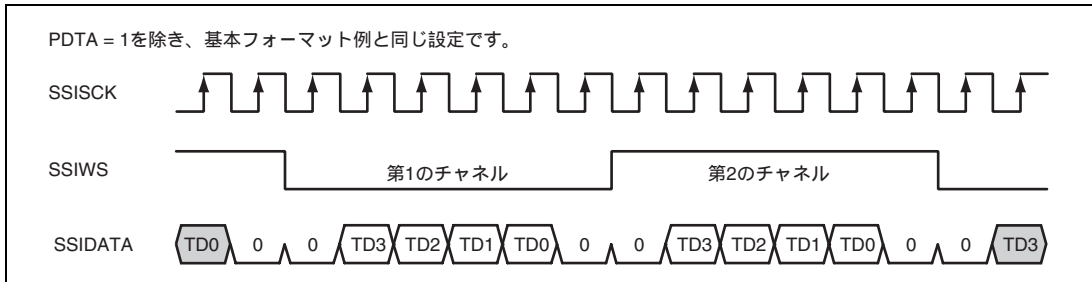


図 18.16 パラレルデータの右詰め、遅延あり

- ミュート有効

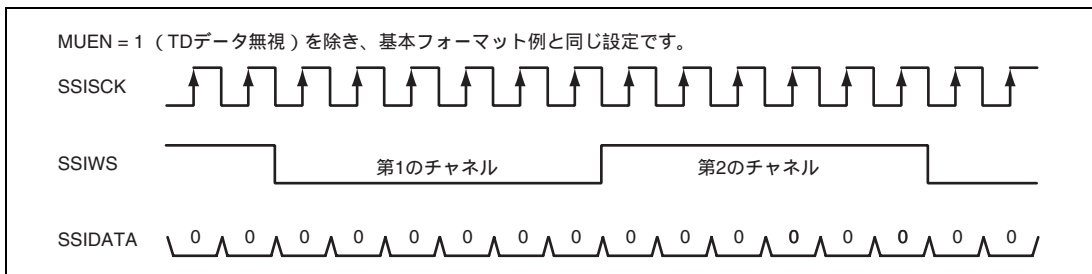


図 18.17 ミュート有効

(3) 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。

図 18.18 に動作モードの遷移図を示します。

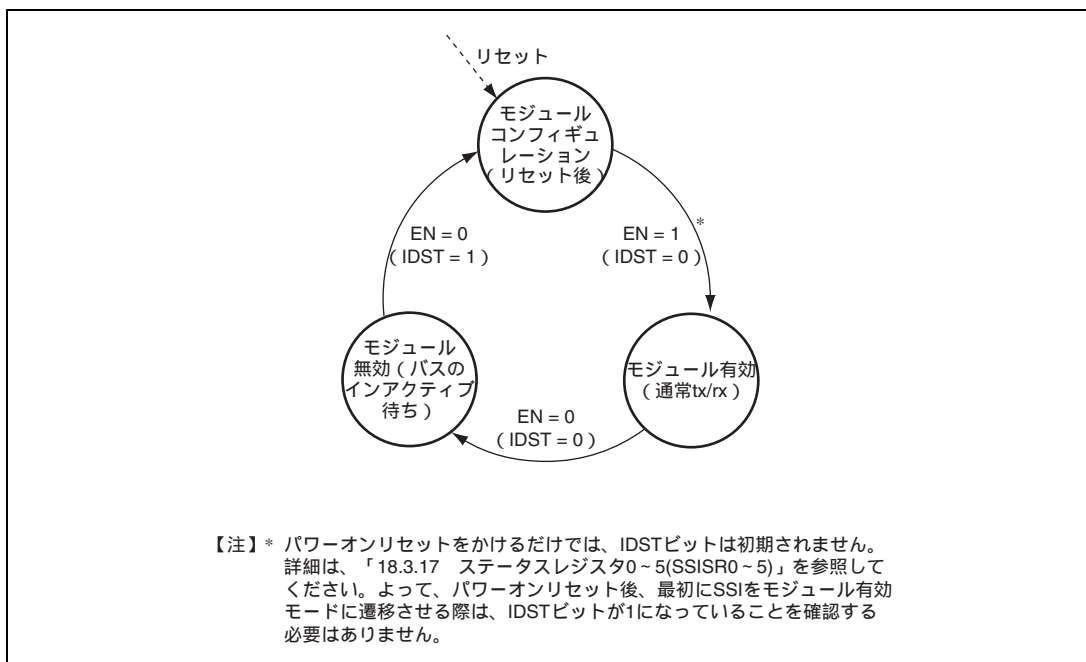


図 18.18 動作モード遷移図

- コンフィギュレーションモード

リセット解除後にこのモードになります。

SSI_CH0~5がENビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

ENビットをセットすると、SSI_CH0~5はモジュール有効モードに遷移します。

- モジュール有効モード

このモードの動作は選択された動作モードに依存しています。

詳細については「18.4.3 (4) 送信動作」と「18.4.3 (5) 受信動作」を参照してください。

(4) 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバーフローの発生時、または SSI_DMACH0 ~ 1 の転送終了は割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI_CH0 ~ 5 がデータ供給のために生成する割り込みを用いる方法があります。

SSI_CH0 ~ 5 は単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI_CH0 ~ 5 を無効にする場合、SSISR0 ~ 5 の IIRQ ビットが SSI_CH0 ~ 5 のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 18.19 に DMA 制御モードの送信動作を、図 18.20 に割り込み制御モードの送信動作を示します。

【注】 * SCKD = 0 のとき SSISCK[5:0] 端子からの入力クロック
SCKD = 1 のとき AUDIO_CLK[5:0] 端子からの入力クロック

(a) SSI_DMACH0~1 を使用した送信

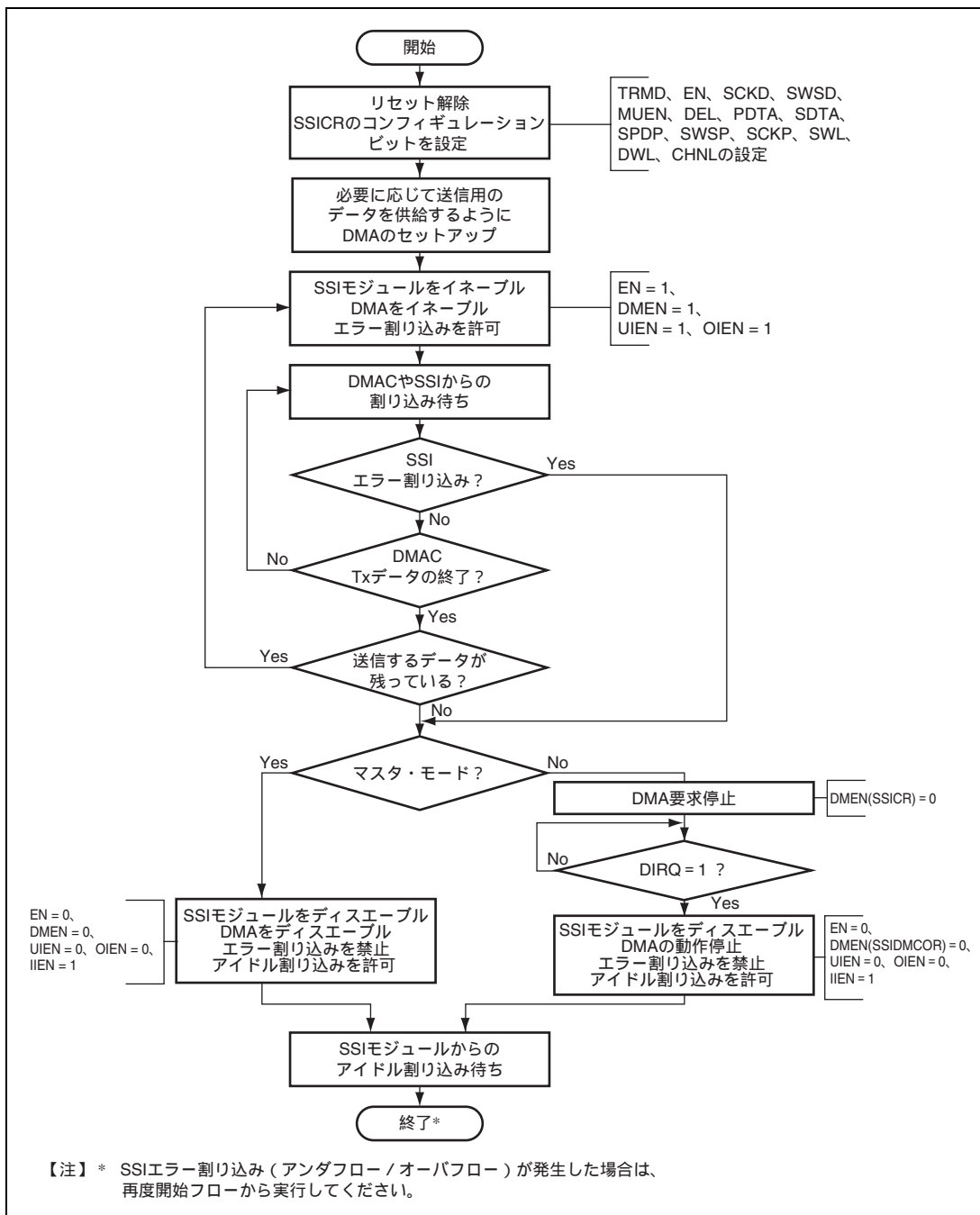


図 18.19 SSI_DMACH0、1 を使用した送信

(b) 割り込みデータフロー制御を使用した送信

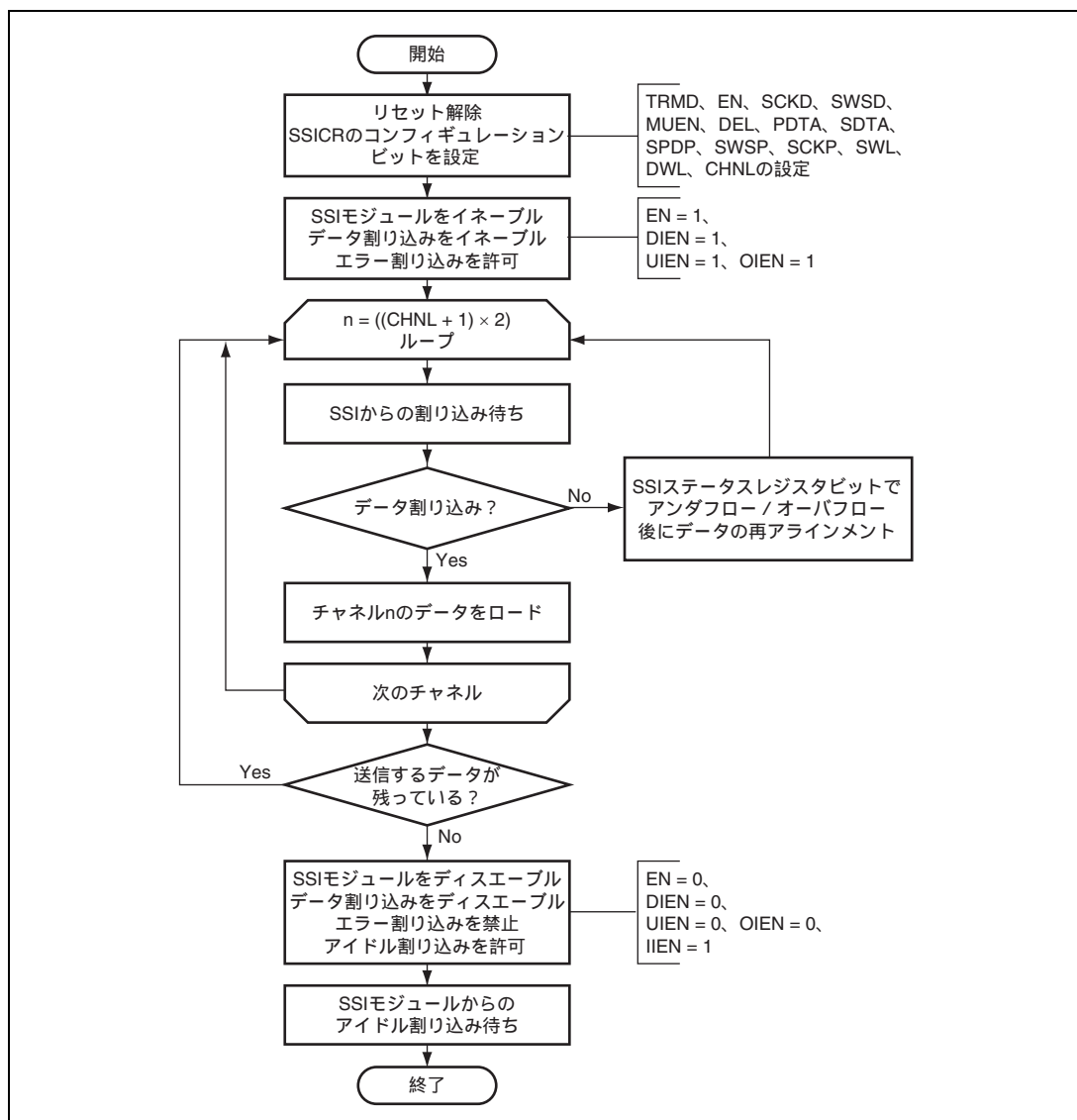


図 18.20 割り込みデータフロー制御を使用した送信

(5) 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 18.21 と図 18.22 にそれぞれの動作フローチャートを示します。

SSI_CH0~5 を無効にする場合、SSISR0~5 の IIRQ ビットが SSI_CH0~5 のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD = 0 のとき SSISCK[5:0] 端子からの入力クロック
SCKD = 1 のとき AUDIO_CLK[5:0] 端子からの入力クロック

(a) SSI_DMACH0~1 を使用した受信

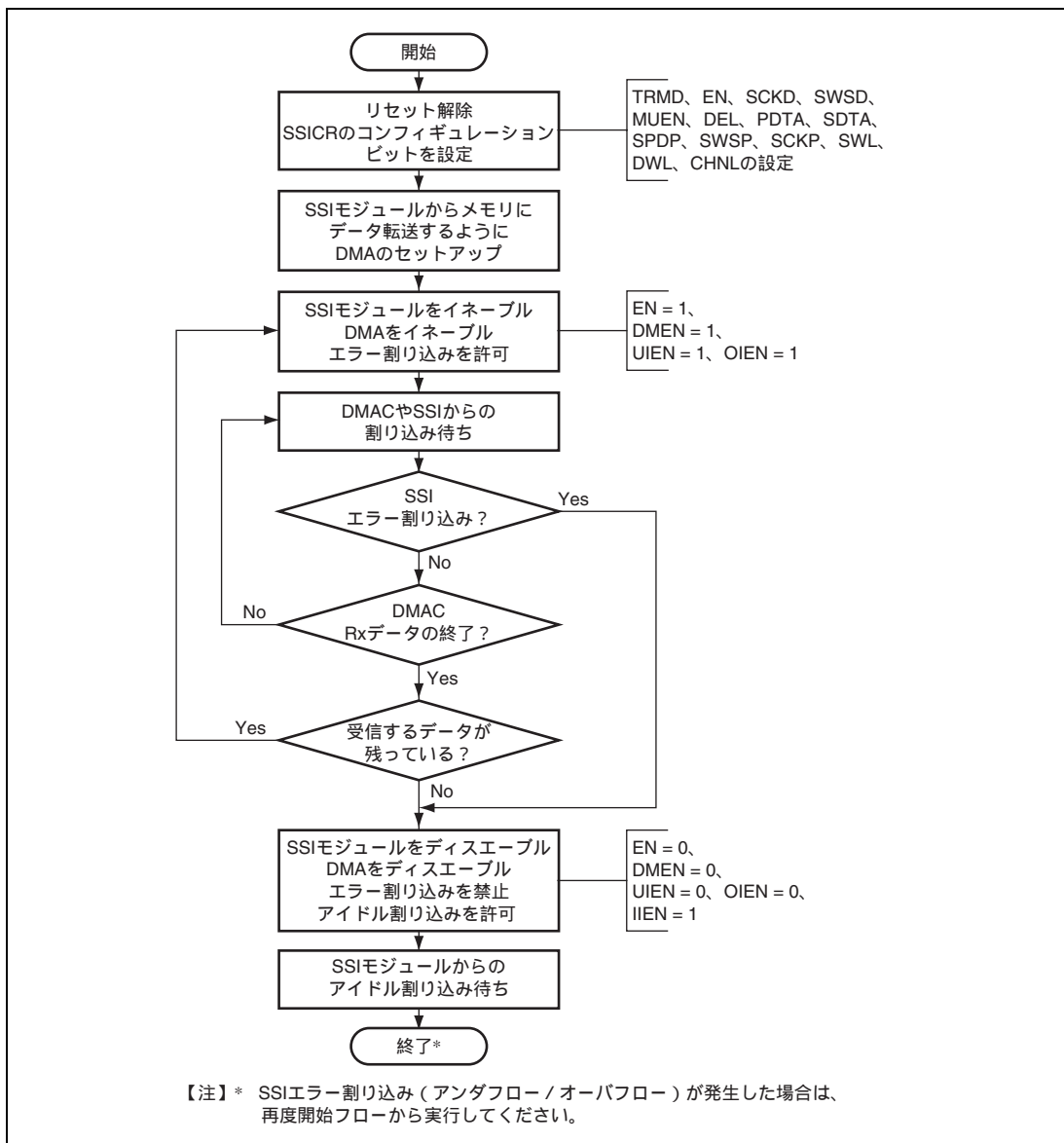


図 18.21 SSI_DMACH0、1 を使用した受信

(b) 割り込みデータフロー制御を使用した受信

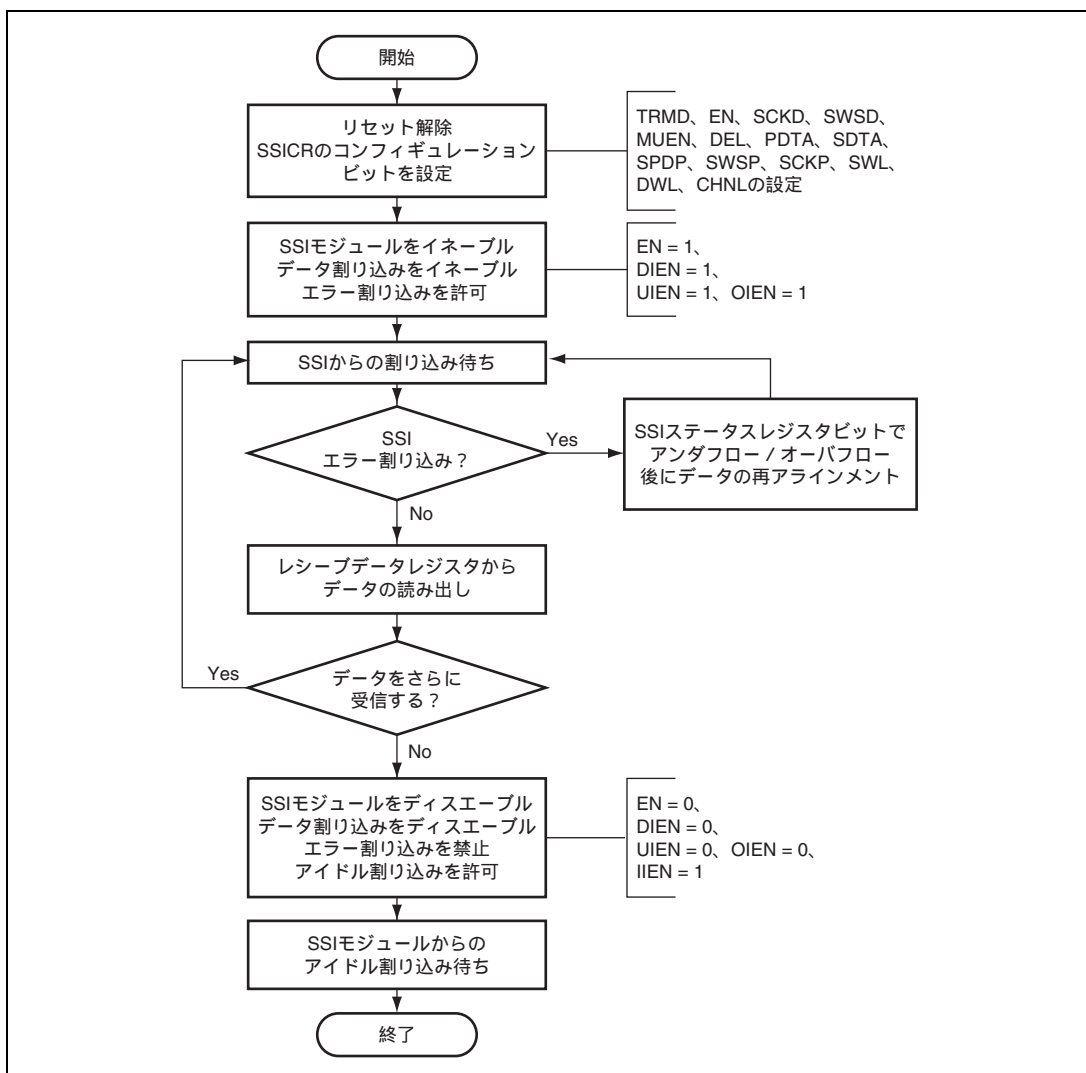


図 18.22 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、SSISR0~5 の CHNO[1:0]ビットと SWNO ビットを使って SSI_CH0~5 を一致する前の状態に回復できます。

アンダフローやオーバーフローが発生したら、ホスト CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。

トランスミッタとして動作する場合、SSI_CH0~5 が次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。

これにより、オーディオデータストリームと再び同期できます。

レシーバとして動作する場合、SSI_CH0~5 モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとりオーディオデータストリームと再び同期できます。

(6) シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SSICR.SCKD=0)、SSI_CH0~5 はクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK[5:0] 端子に入力されたクロックです。シリアルビットクロック方向が出力に設定されている場合 (SSICR.SCKD=1)、SSI_CH0~5 はクロックマスターモードであり、シフトレジスタが使うビットクロックは AUDIO_CLK[5:0] 入力端子から入力されたクロックまたはそれを分周したクロックです。

AUDIO_CLK[5:0] 端子から入力されたクロックは、SSICR_0~5 のシリアルオーバーサンプルクロック分周比 (SSICR.CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK[5:0] 端子の出力はビットクロックと同じになります。

18.5 使用上の注意事項

18.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、SSI_CH0~5 のうち該当するモジュールの再起動が必要です。SSI_CH0~5 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、例えばコントロールレジスタ 0~5 (SSICR0~5) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR0~5 の OIRQ ビット) によりオーバーフローを確認した場合、SSICR0~5 の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI_CH0~5 の DMA を禁止して動作を停止させてください (この時 SSI_DMACH0/1 の設定も停止させてください)。

その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

18.5.2 スレーブモードで動作させる場合の制限事項

スレーブモードで使用する場合において、データ転送を終了する際には入力するシリアルワード選択信号 (SSIWS[5:0]) が停止する前にデータ転送を終了 (SSICR0~5 の EN ビット=0) してください。

スレーブモードの場合、EN ビットがクリア (転送停止) され、シリアルワード選択信号 (SSIWS[5:0]) の立ち下りエッジを検出することでデータ転送を終了する構成になっています。

入力するシリアルワード選択信号が停止すると、シリアルワード選択信号の立ち下りエッジが検出できなくなり、データ転送が正常に終了できなくなります。

18.5.3 各種レジスタ設定時の注意事項

1. DMAモードレジスタ (SSIDMMR) の RDMA 最大バースト長 (RDMBSZ) と WDMA 最大バースト長 (WDMBSZ) は FIFO バッファサイズ (64 バイト : 32bit × 16 段) を考慮して設定してください。
2. RDMA 転送語数レジスタ (SSIRDMCNTR) は RDMA 最大バースト長 (RDMBSZ) の倍数となるバイト数を設定してください。例えば RDMBSZ=4 バースト (32 バイト) の場合は 32、64、96、128・・・になります。
WDMA 転送語数レジスタ (SSIWDMCNTR) も WDMA 最大バースト長 (WDMBSZ) の倍数となるバイト数を設定してください。また、RDMA 転送語数レジスタ (SSIRDMCNTR)、WDMA 転送語数レジスタ (SSIWDMCNTR) は常に設定した値が読み出されます。
3. ブロックカウントソースレジスタ (SSIBLCNTR) は RDMA もしくは WDMA の最大バースト長の倍数となるバイト数を設定してください。
4. 送信一時停止ブロックカウンタ (SSISTPBLCNT) と送信一時停止中転送データレジスタ (SSISTPDR) は DMA 転送中は書き込みできません。

5. RDMA転送語数レジスタ (SSIRDMCNTR) とWDMA転送語数レジスタ (SSIWDMCNTR) をリード時は常に設定した値が読み出されます。データ転送数はブロックカウンタ (SSIBLCNT) とブロック x_n 回カウンタ (SSIBLNCNT) を参照してください。
6. ブロックカウンタ (SSIBLCNT) とブロック x_n 回カウンタ (SSIBLNCNT) はリードオンリーです。ソフトウェアリセット (DMRST) にてクリアされます。
カウントタイミングは、送信動作中はSSI-DMACの送信FIFOからとSSIのデータバッファへの転送時にカウント、受信動作中はSSIのデータバッファからSSI-DMACの受信FIFOへの転送時にカウントします。

18.5.4 送信 DMAC を強制停止する場合の注意事項

SSI 送信モードで起動中の DMAC を、SSIDMCOR の DMRST ビット、TXRST ビットの操作で強制停止させる場合、次の手順に従ってください。

- (a) SSIDMCOR の DMEN ビットをクリア
- (b) SSICR の DMEN ビットをクリア
- (c) SSICR の EN ビットをクリア
- (d) SSIDMCOR の DMRST ビットをセット
- (e) SSIDMCOR の TXRST ビットをセット
- (f) SSIDMCOR の TXRST ビットをクリア

- 【注】
1. 各操作の順番は守ってください。
 2. (b)と(c)は同時に行っても問題ありません。
 3. (e)と(f)では、RXRST ビットも同時にセット/クリアしても問題ありません。
 4. 各操作の間に SSI、SSI-DMAC 動作に関係しない操作やソフトウェアでの待ち時間を入れても問題ありません。

18.5.5 受信 DMAC を強制停止する場合の注意事項

SSI 受信モードで起動中の DMAC を、SSIDMCOR の DMRST ビット、RXRST ビットの操作で強制停止させる場合、以下のような手順を踏んでください。この手順を守らないで受信 DMAC を強制停止すると、再起動後の受信 DMAC が暴走することがあります。

- (a) SSIDMCOR の RPTMD ビットをクリア
- (b) SSIDMCOR の DMEN ビットをクリア
- (c) DMEND 割込み待ちまたは SSIDMINTSR の DMEND フラグをポーリング
- (d) SSICR の DMEN ビットをクリア
- (e) SSICR の EN ビットをクリア
- (f) SSIDMCOR の DMRST ビットをセット
- (g) SSIDMCOR の RXRST ビットをセット
- (h) SSIDMCOR の RXRST ビットをクリア
- (i) この後、SSI、SSIDMAC 再起動

- 【注】
1. 各操作の順番は守ってください。
 2. (a)と(b)は同時に行っても問題ありません。
 3. (g)と(h)では、TXRST ビットも同時にセット/クリアしても問題ありません。
 4. (h)と(i)は同時に行っても問題ありません。
 5. 各操作の間に SSI、SSI-DMAC 動作に関係しない操作やソフトウェアでの待ち時間を入れても問題ありません。

なお、DMAC が起動されていない状態や、上記手順により DMAC が自発的に停止した後でのソフトウェアリセット発行は何ら問題ありません。

18.5.6 送信 / 受信 DMAC を自動停止する場合の注意事項

起動中の送信 DMAC、または受信 DMAC を通常停止させる場合、次の手順に従ってください。

(1) 非リピートモード (SSIDMCOR の RPTMD ビット = 0 の状態) で DMAC 起動中の場合

DMAC は、残転送語数カウンタ*がゼロになると自発的に停止します。このとき、SSIDMINTSR の DMEND ビットがセットされます。

(2) リピートモード (SSIDMCOR の RPTMD ビット = 1 の状態) で DMAC 起動中の場合

(a) SSIDMCOR の RPTMD ビットのみをクリアしてください。その後、DMAC は最初に残転送語数カウンタ*がゼロになるまで動作を継続し、同カウンタがゼロになった時点で自動的に停止します。

(b) または、SSIDMCOR の DMEN ビット、RPTMD ビットの両方をクリアしてください。その後、DMAC は最初に残転送語数カウンタ*がゼロになるまで動作を継続し、同カウンタがゼロになった時点で自発的に停止し、SSIDMINTSR の DMEND ビットがセットされます。その後、SSIDMCOR の DMRST ビットによって、DMAC ソフトウェアリセットをかけてください。

- 【注】 * 本カウンタはソフトウェアからはアクセスできません。本カウンタには、DMAC 起動の際や、リピートモードのリピートの際に、SSIRDMCNTR/SSIWDMCNTR の設定値がリロードされ、DMAC 転送の度にデクリメントされます。送信バッファ/受信バッファの末端に到達すると、本カウンタはゼロになります。

18.5.7 ブロックカウンタ、ブロック xn 回カウンタ読み出し時の注意事項

カスケードに動作している、SSIBLCNT カウンタと SSIBLNCNT カウンタにおいて、SSIBLCNT カウンタ値が繰り上がる付近で、両カウンタの読み出し値が整合しないことがあります。このため、SSIBLCNT カウンタ、SSIBLNCNT カウンタを 1 回ずつ読み出しただけでは、転送済ブロック数を正しく算出できない場合があります。次の手順で転送済ブロック数を算出してください。

1 回目に SSIBLNCNT カウンタ読み出し、2 回目に SSIBLCNT カウンタ読み出し、3 回目に SSIBLNCNT カウンタ読み出します。読み出した値によって、次のような判定を行います。

1 回目の読み出し値 = 3 回目の読み出し値ならば、

転送済ブロック数 = (3 回目の読み出し値) × (SSIBLNCNTR レジスタ値) × (SSIBLCNTR レジスタ値) + (2 回目の読み出し値) × (SSIBLCNTR レジスタ値)

1 回目の読み出し値 ≠ 3 回目の読み出し値ならば、

転送済ブロック数 = (3 回目の読み出し値) × (SSIBLNCNTR レジスタ値) × (SSIBLCNTR レジスタ値)

19. イーサネットコントローラ (EtherC)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ (EtherC) を内蔵しています。EtherC は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット / IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しています。また、イーサネットコントローラは、本 LSI 内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) に接続されており、メモリとの高速アクセスが可能です。

図 19.1 に EtherC の構成を示します。

19.1 特長

- イーサネット / IEEE802.3 フレームの送受信
- 10Mbps および 100Mbps 転送への対応
- 全二重モードおよび半二重モード対応
- IEEE802.3u 規格の MII (Media Independent Interface) 対応
- Magic Packet の検出および Wake-On-LAN (WOL) 信号の出力
- IEEE802.3x 規格のフロー制御準拠

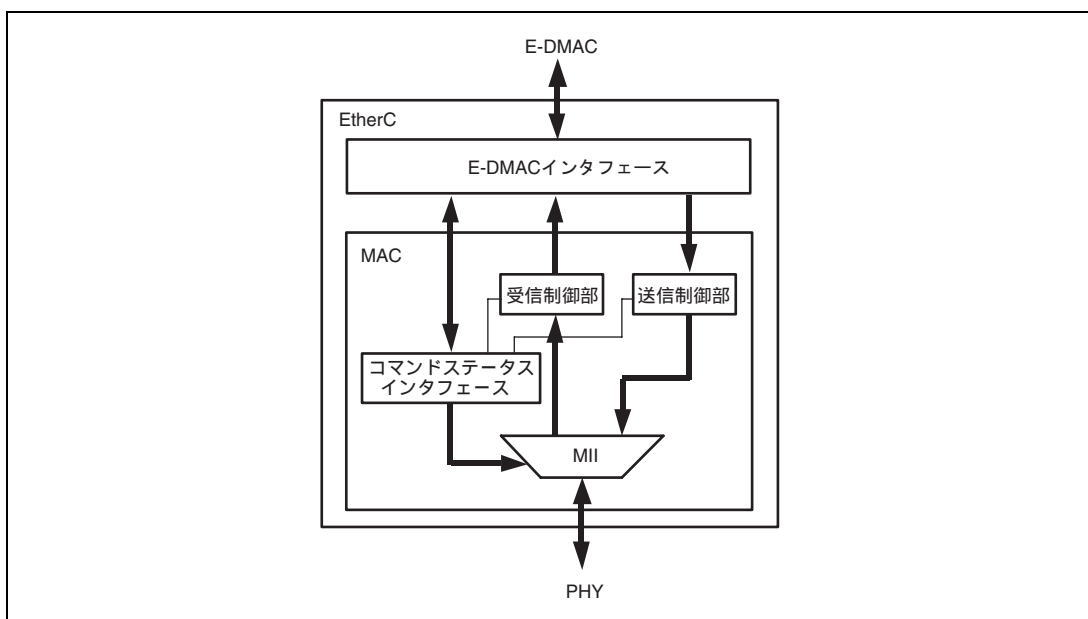


図 19.1 EtherC の構成

19.2 入出力端子

EtherC の端子構成を表 19.1 に示します。

表 19.1 端子構成

名 称	端子名	入出力	説 明
送信クロック*	TX-CLK	入力	TX-EN、MII_TXD3 ~ MII_TXD0、TX-ER のタイミング参照信号
受信クロック*	RX-CLK	入力	RX-DV、MII_RXD3 ~ MII_RXD0、RX-ER のタイミング参照信号
送信イネーブル*	TX-EN	出力	MII_TXD3 ~ MII_TXD0 上に送信データが準備できたことを示す信号
送信データ*	MII_TXD3 ~ MII_TXD0	出力	4 ビットの送信データ
送信エラー*	TX-ER	出力	送信中のエラーを PHY-LSI に通知
受信データ有効*	RX-DV	入力	有効な受信データが MII_RXD3 ~ MII_RXD0 上にあることを示す信号
受信データ*	MII_RXD3 ~ MII_RXD0	入力	4 ビットの受信データ
受信エラー*	RX-ER	入力	データ受信中に発生したエラー状態を認識
キャリア検出*	CRS	入力	キャリア検出信号
衝突検出*	COL	入力	衝突検出信号
管理用データクロック*	MDC	出力	MDIO による情報転送用の参照クロック信号
管理用データ入出力*	MDIO	入出力	STA と PHY との間で管理情報を交換するための双方向信号
リンクステータス	LNKSTA	入力	PHY-LSI からのリンク状態入力
汎用外部出力	EXOUT	出力	外部出力用端子
ウェイク・オン・ラン	WOL	出力	Magic Packet 受信を示す信号

【注】 * IEEE802.3u 準拠の MII 信号

19.3 レジスタの説明

EtherC のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
EtherC モードレジスタ	ECMR	R/W	H'FEF0 0100	H'1EF0 0100	32
EtherC ステータスレジスタ	ECSR	R/W	H'FEF0 0110	H'1EF0 0110	32
EtherC 割り込み許可レジスタ	ECSIPR	R/W	H'FEF0 0118	H'1EF0 0118	32
受信フレーム長上限レジスタ	RFLR	R/W	H'FEF0 0108	H'1EF0 0108	32
PHY 部インタフェースレジスタ	PIR	R/W	H'FEF0 0120	H'1EF0 0120	32
MAC アドレス上位設定レジスタ	MAHR	R/W	H'FEF0 01C0	H'1EF0 01C0	32
MAC アドレス下位設定レジスタ	MALR	R/W	H'FEF0 01C8	H'1EF0 01C8	32
PHY 部ステータスレジスタ	PSR	R	H'FEF0 0128	H'1EF0 0128	32
送信リトライオーバカウンタレジスタ	TROCR	R/W	H'FEF0 01D0	H'1EF0 01D0	32
遅延衝突検出カウンタレジスタ	CDCR	R/W	H'FEF0 01D4	H'1EF0 01D4	32
キャリア消失カウンタレジスタ	LCCR	R/W	H'FEF0 01D8	H'1EF0 01D8	32
キャリア未検出カウンタレジスタ	CNDCR	R/W	H'FEF0 01DC	H'1EF0 01DC	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR	R/W	H'FEF0 01E4	H'1EF0 01E4	32
フレーム受信エラーカウンタレジスタ	FRECR	R/W	H'FEF0 01E8	H'1EF0 01E8	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR	R/W	H'FEF0 01EC	H'1EF0 01EC	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR	R/W	H'FEF0 01F0	H'1EF0 01F0	32
端数ビットフレーム受信カウンタレジスタ	RFCR	R/W	H'FEF0 01F4	H'1EF0 01F4	32
マルチキャストアドレスフレーム受信カウンタ レジスタ	MAFCR	R/W	H'FEF0 01F8	H'1EF0 01F8	32
IPG 設定レジスタ	IPGR	R/W	H'FEF0 0150	H'1EF0 0150	32
自動 PAUSE フレーム設定レジスタ	APR	R/W	H'FEF0 0154	H'1EF0 0154	32
手動 PAUSE フレーム設定レジスタ	MPR	R/W	H'FEF0 0158	H'1EF0 0158	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	R/W	H'FEF0 0164	H'1EF0 0164	32
乱数生成カウンタ上限値	RDMLR	R/W	H'FEF0 0140	H'1EF0 0140	32
受信 PAUSE フレームカウンタ	RFCF	R/W	H'FEF0 0160	H'1EF0 0160	32
PAUSE フレーム再送回数カウンタ	TPAUSECR	R	H'FEF0 0168	H'1EF0 0168	32
Broadcast フレーム受信回数設定	BCFRR	R	H'FEF0 016C	H'1EF0 016C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7 からアクセスするものです。

EtherC の各処理モードにおけるレジスタの状態を表 19.3 に示します。

表 19.3 各処理モードにおけるレジスタの状態

名 称	略称	ソフトウェア リセット時
EtherC モードレジスタ	ECMR	
EtherC ステータスレジスタ	ECSR	
EtherC 割り込み許可レジスタ	ECSIPR	
受信フレーム長上限レジスタ	RFLR	
PHY 部インタフェースレジスタ	PIR	
MAC アドレス上位設定レジスタ	MAHR	
MAC アドレス下位設定レジスタ	MALR	
PHY 部ステータスレジスタ	PSR	
送信リトライオーバーカウンタレジスタ	TROCR	
遅延衝突検出カウンタレジスタ	CDCR	
キャリア消失カウンタレジスタ	LCCR	
キャリア未検出カウンタレジスタ	CNDCR	
CRC エラーフレーム受信カウンタレジスタ	CEFCR	
フレーム受信エラーカウンタレジスタ	FRECR	
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR	
指定バイト超フレーム受信カウンタレジスタ	TLFRCR	
端数ビットフレーム受信カウンタレジスタ	RFCR	
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	
IPG 設定レジスタ	IPGR	
自動 PAUSE フレーム設定レジスタ	APR	
手動 PAUSE フレーム設定レジスタ	MPR	
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	
乱数生成カウンタ上限値	RDMLR	
受信 PAUSE フレームカウンタ	RFCF	
PAUSE フレーム再送回数カウンタ	TPAUSECR	
Broadcast フレーム受信回数設定	BCFRR	

【記号説明】

- : 初期化されるレジスタ
- : 保持されるレジスタ

19.3.1 EtherC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMR の SWR ビットにより、EtherC および E-DMAC を初期状態に戻してから再設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	TPC	ZPF	PFR	RXF	TXF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PRCEF	-	-	MPDE	-	-	RE	TE	-	ILB	-	DM	PRM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R/W	R	R	R/W	R/W	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	TPC	0	R/W	PAUSE フレーム送信 0 : PAUSE 期間中には PAUSE フレームを送信しません 1 : PAUSE 期間中でも PAUSE フレームを送信します
19	ZPF	0	R/W	0 time PAUSE フレーム使用許可 0 : TIME パラメータが 0 の PAUSE フレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1 : TIME パラメータが 0 の PAUSE フレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTTR 設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	PAUSE フレーム受信モード 0 : PAUSE フレームを E-DMAC へ転送しません 1 : PAUSE フレームを E-DMAC へ転送します
17	RXF	0	R/W	受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります 1 : 受信系のフロー制御機能が有効になります

ビット	ビット名	初期値	R/W	説明
16	TXF	0	R/W	送信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります (自動 PAUSE フレームは送信されません) 1 : 送信系のフロー制御機能が有効になります (必要に応じて自動 PAUSE フレームが送信されます)
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	PRCEF	0	R/W	CRC エラーフレーム受信許可 0 : CRC エラーとなった受信フレームをエラーとする 1 : CRC エラーとなった受信フレームをエラーとしない
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
9	MPDE	0	R/W	Magic Packet 検出許可 イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。 0 : Magic Packet の検出を許可しない 1 : Magic Packet の検出を許可する
8, 7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効 (RE = 1) から無効 (RE = 0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0 : 受信機能を無効にする 1 : 受信機能を有効にする
5	TE	0	R/W	送信許可 本ビットを送信機能有効 (TE = 1) から無効 (TE = 0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0 : 送信機能を無効にする 1 : 送信機能を有効にする
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	ILB	0	R/W	内部ループバックモード EtherC 内部でのループバックモードを指定します。 0 : 通常のデータ送受信を行う 1 : DM = 1 のとき、EtherC 内の MAC 内部でのデータの折り返しを行う
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
1	DM	0	R/W	デュプレックスモード EtherC の転送方式を指示します。 0 : 半二重転送方式を指定する 1 : 全二重転送方式を指定する
0	PRM	0	R/W	プロミスキャスモード 本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。 0 : EtherC は、通常動作を行う 1 : EtherC は、プロミスキャスモード動作を行う

19.3.2 EtherC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PSRTO、LCHNG、MPD、ICD ビットに 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR レジスタの対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	BFR	PSRTO	-	LCHNG	MPD	ICD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	BFR	0	R/W	Broadcast フレーム連続受信割り込み < 割り込み要因 > Broadcast フレームを連続して受信したことを示します。

ビット	ビット名	初期値	R/W	説明
4	PSRTO	0	R/W	<p>PAUSE フレーム再送リトライオーバ</p> <p>フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。</p> <p>0 : PAUSE フレーム再送回数が上限値を超えていない 1 : PAUSE フレーム再送回数が上限値を超えた</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
2	LCHNG	0	R/W	<p>リンク信号変化</p> <p>PHY-LSI から入力される LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。</p> <p>現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。</p> <p>0 : LNKSTA 信号の変化を検出していない 1 : LNKSTA 信号の変化 (ハイレベルからローレベルあるいはローレベルからハイレベル) を検出した</p>
1	MPD	0	R/W	<p>Magic Packet 検出</p> <p>回線上から Magic Packet を検出したことを表します。</p> <p>0 : Magic Packet を検出していない 1 : Magic Packet を検出した</p>
0	ICD	0	R/W	<p>不正キャリア検出</p> <p>回線上で PHY-LSI が不正なキャリアを検出したことを表します。すなわち、PHY-LSI から本 LSI へ通知される信号が RX-DV=0 かつ RX-ER=1 かつ MII-RXD3~0=1110 の組み合わせとなった場合、本ビットがセットされます。(図 19.4 (6) 参照)</p> <p>ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。</p> <p>0 : PHY-LSI は、回線上で不正キャリアを検出していない 1 : PHY-LSI は、回線上で不正キャリアを検出した</p>

19.3.3 EtherC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR レジスタによって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	BFSIPR	PSRTO IP	-	LCHN GIP	MPDIP	ICDIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5	BFSIPR	0	R/W	Broadcast フレーム連続受信割り込み許可 0 : ECSR の対応するビットによる割り込みを許可 1 : ECSR の対応するビットによる割り込みを禁止
4	PSRTOIP	0	R/W	Pause フレーム再送リトライオーバーバ割り込み許可ビット 0 : PSRTO の割り込み通知を禁止 1 : PSRTO の割り込み通知を許可
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	MPDIP	0	R/W	Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

19.3.4 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	MDI	MDO	MMD	MDC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	-	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	MII マネジメントデータイン MDIO 端子のレベルを表します。
2	MDO	0	R/W	MII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を MDIO 端子より出力します。
1	MMD	0	R/W	MII マネジメントモード MII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定
0	MDC	0	R/W	MII マネジメントデータクロック 本ビットに設定された値を MDC 端子より出力し、MII へのマネジメントデータクロックを供給します。MII レジスタへのアクセス方法については、「19.4.4 MII レジスタのアクセス方法」を参照してください。

19.3.5 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MA[47:16]	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

19.3.6 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15~0	MA[15:0]	すべて0	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'89AB を設定します。

19.3.7 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RFL[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	RFL[11:0]	すべて0	R/W	受信フレームデータ長 11~0 ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されません。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。 H'000 ~ H'5EE : 1,518 バイト H'5EF : 1,519 バイト H'5F0 : 1,520 バイト : : H'7FF : 2,047 バイト H'800 ~ H'FFF : 2,048 バイト

19.3.8 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LMON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	LMON	不定	R	LNKSTA 端子状態 LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

19.3.9 送信リトライオーバカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 32 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TROCR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TROCR[31:0]	すべて 0	R/W	送信リトライオーバカウンタ 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

19.3.10 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上の遅延衝突回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COSDC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	COSDC [31:0]	すべて 0	R/W	遅延衝突検出カウンタ 送信開始からのすべての遅延衝突の回数を表示します。

19.3.11 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	LCC[31:0]	すべて 0	R/W	消失キャリアカウンタ データ送信中に消失したキャリアのカウンタ数を表示します。

19.3.12 キャリア未検出カウンタレジスタ (CNDCR)

CNDCR は、プリアンプを送出中にキャリアを検出できなかった回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNDC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CNDC[31:0]	すべて 0	R/W	キャリア未検出カウンタ 未検出キャリアのカウンタ数を表示します。

19.3.13 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CEFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CEFC[31:0]	すべて 0	R/W	CRC エラーフレームカウンタ CRC エラーとなったフレームを受信したカウンタ数を表示します。

19.3.14 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される RX-ER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされません。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRECR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRECR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FRECR[31:0]	すべて 0	R/W	フレーム受信エラーカウンタ フレームを受信中にエラーとなったカウント数を表します。

19.3.15 64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCR は、64 バイト未満のフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSFRCR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFRCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TSFRCR[31:0]	すべて 0	R/W	64 バイト未満フレーム受信カウンタ 64 バイト未満のフレームを受信したカウント数を表します。

19.3.16 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TLFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TLFC[31:0]	すべて0	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信したカウント数を表します。

19.3.17 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RFC[31:0]	すべて0	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信したカウント数を表します。

19.3.18 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MAFC[31:0]	すべて0	R/W	マルチキャストアドレスフレームカウント マルチキャストフレームを受信したカウント数を表します。

19.3.19 IPG 設定レジスタ (IPGR)

IPGR は、IPG (InterPacketGap) の値を設定するレジスタです。EtherC モードレジスタ (ECMR) の送受信機能が有効な状態での書き換えは、禁止します (詳細は「19.4.6 IPG 設定による動作」を参照してください)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	IPG[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
4~0	IPG[4:0]	H'14	R/W	Inter Packet Gap 4 ビット時間ごとに IPG 値を設定します。 H'00 : 16 ビット時間 H'01 : 20 ビット時間 : : H'14 : 96 ビット時間 (初期値) : : H'1F : 140 ビット時間

19.3.20 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。

自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	AP[15:0]	すべて 0	R/W	自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。

19.3.21 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。

手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MP[15:0]	すべて 0	R/W	手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。読み出すと不定値が読み出されます。

19.3.22 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15~0	TPAUSE [15:0]	すべて 0	R/W	自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65535 回

19.3.23 乱数生成カウンタ上限値設定 (RDMLR)

RDMLR は乱数生成部で使用しているカウンタの上限値を設定することができるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RMD[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMD[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19~0	RMD[19:0]	すべて 0	R/W	乱数生成部で使用しているカウンタの上限値 H'00000 : 通常の動作での設定値です。 H'00001 ~ H'FFFFE : カウンタの上限値がこの設定値になります。

【注】 このレジスタは、feLic の乱数生成部の動作が変わるため、0 以外を設定する場合は、注意してください。

19.3.24 受信 PAUSE フレームカウンタ (RFCF)

RFCF は PAUSE フレームの受信カウンタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RPAUSE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	RPAUSE [7:0]	すべて 0	R	PAUSE フレームの受信回数

19.3.25 PAUSE フレーム再送回数カウンタ (TPAUSECR)

TPAUSECR は PAUSE フレームの再送回数を示すカウンタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TXP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	TXP[7:0]	すべて 0	R	PAUSE フレームの再送回数

19.3.26 Broadcast フレーム受信回数設定 (BCFRR)

BCFRR は Broadcast フレーム連続受信回数を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15 ~ 0	BCF[15:0]	すべて 0	R/W	Broadcast フレームの連続受信回数設定 DA がブロードキャストアドレスのフレームを、設定した回数値まで受信することが可能であり、設定を越えて受信した場合は、以降のブロードキャストフレームを破棄します。 H'0000 : 受信回数制限なし H'0001 : 1 フレーム受信 : : H'FFFF : 65535 フレーム受信

19.4 動作説明

イーサネットコントローラ (EtherC) の動作の概要を以下に示します。

イーサネットコントローラ (EtherC) は、IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

19.4.1 送信動作

EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線に送出されます。EtherC 送信部の状態遷移図を図 19.2 に示します。

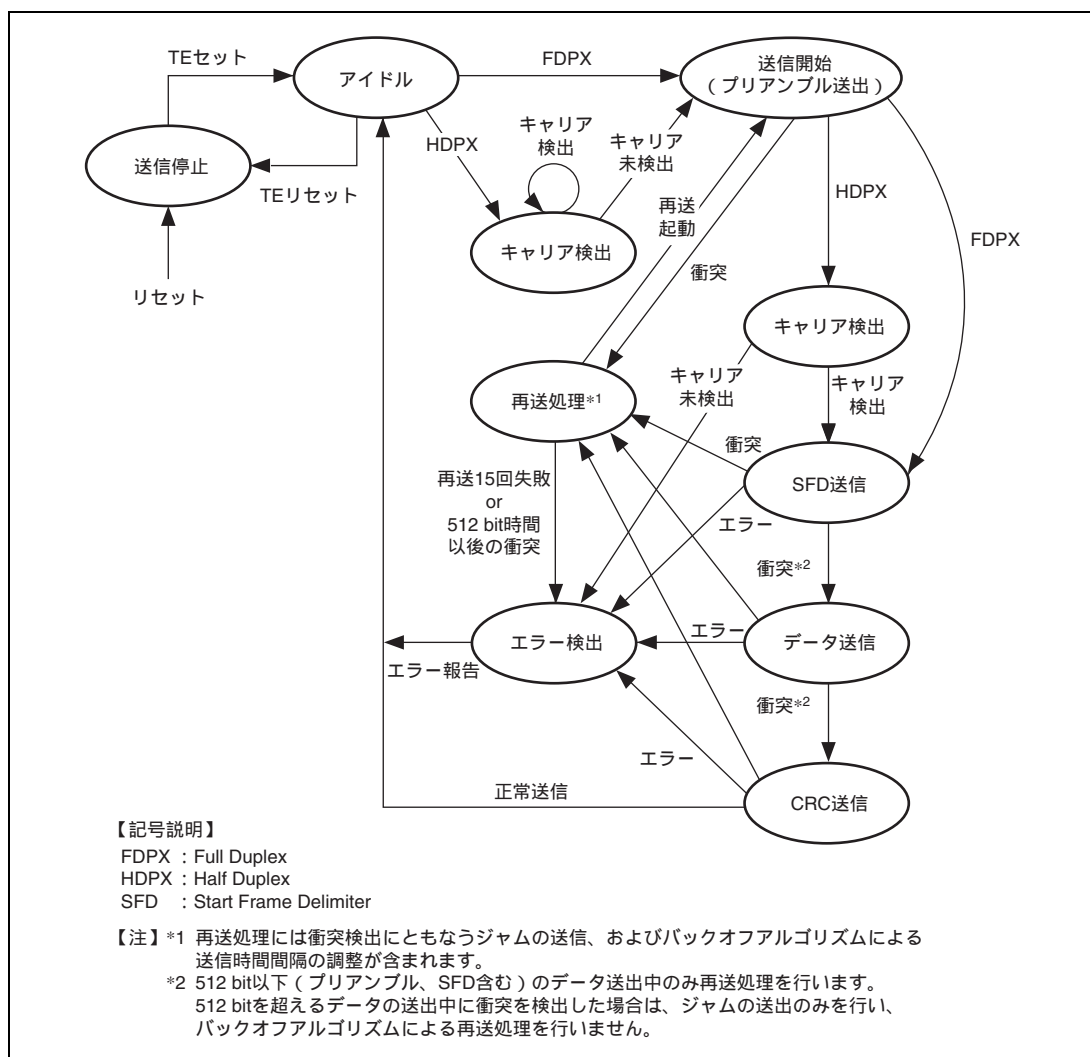


図 19.2 EtherC 送信部状態遷移図

1. 送信許可 (TE) ビットがセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとEtherCは、キャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を継続します。

19.4.2 受信動作

EtherC 受信部は、MII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (宛先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 19.3 に示します。

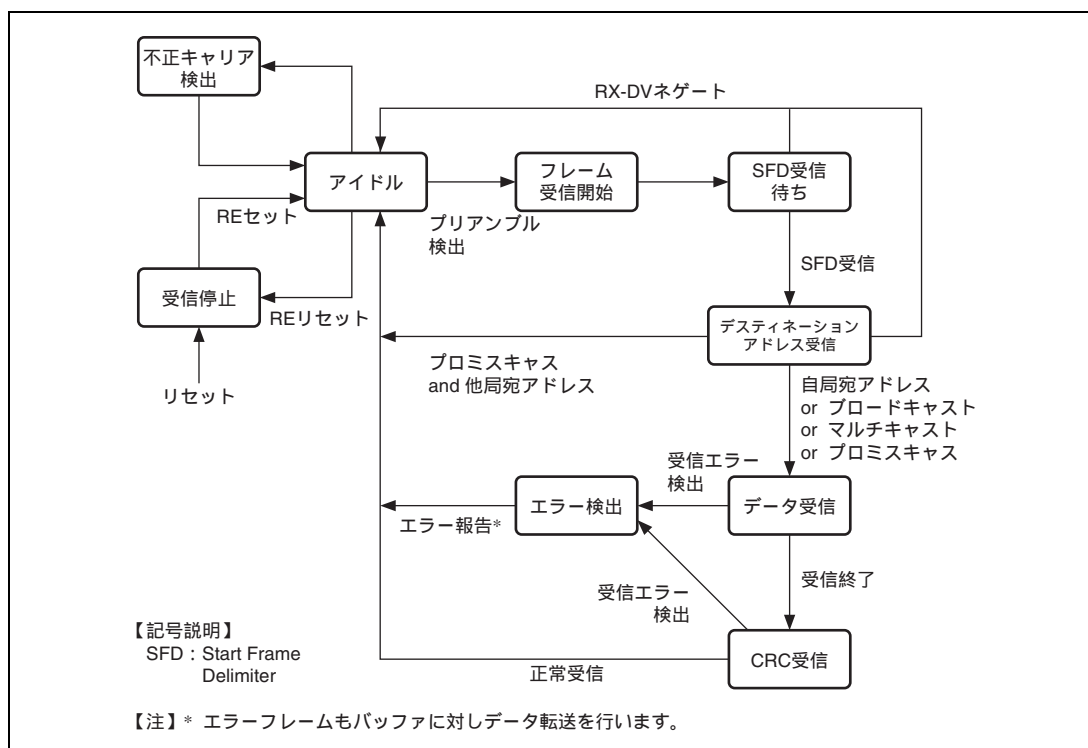


図 19.3 EtherC 受信部状態遷移図

1. 受信許可 (RE) ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続くSFD (スタートフレームデリミタ)を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが本LSI宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後、EtherCモードレジスタ内の受信許可ビットが設定 (RE = 1) されていると、次のフレーム受信に備えます。

19.4.3 MII フレームタイミング

各種 MII フレームのタイミングを図 19.4 に示します。

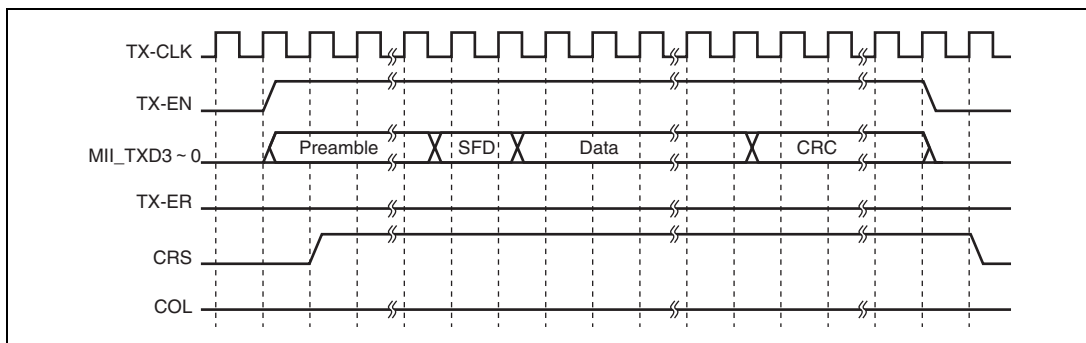


図 19.4 (1) MII フレーム送信タイミング (正常時)

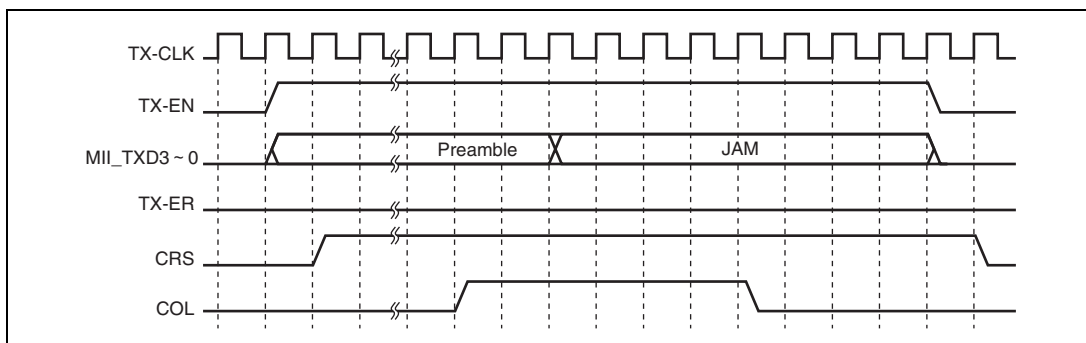


図 19.4 (2) MII フレーム送信タイミング (衝突発生)

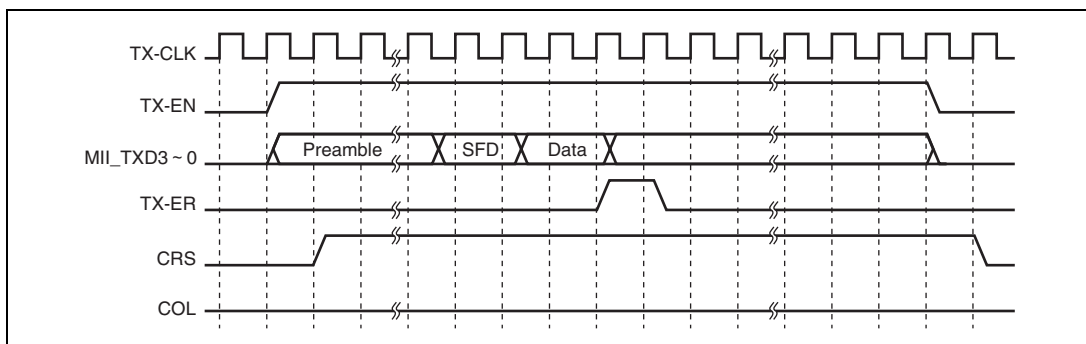


図 19.4 (3) MII フレーム送信タイミング (送信エラー発生)

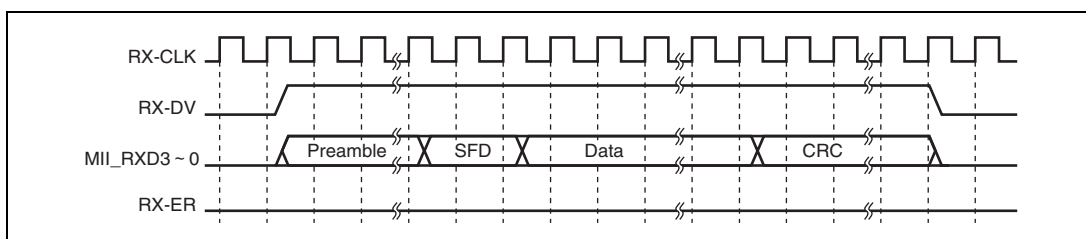


図 19.4 (4) MII フレーム受信タイミング (正常受信)

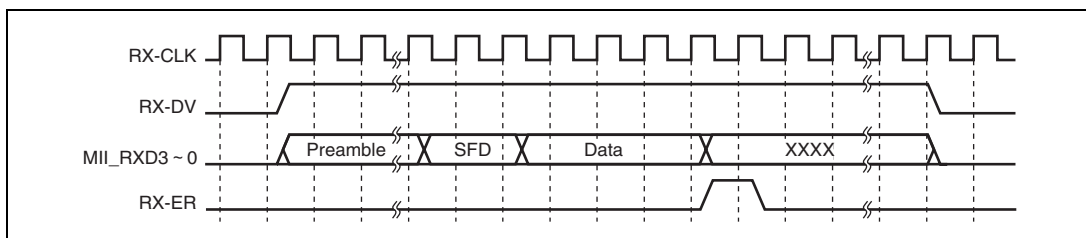


図 19.4 (5) MII フレーム受信タイミング (受信エラー (1) 受信エラー通知)

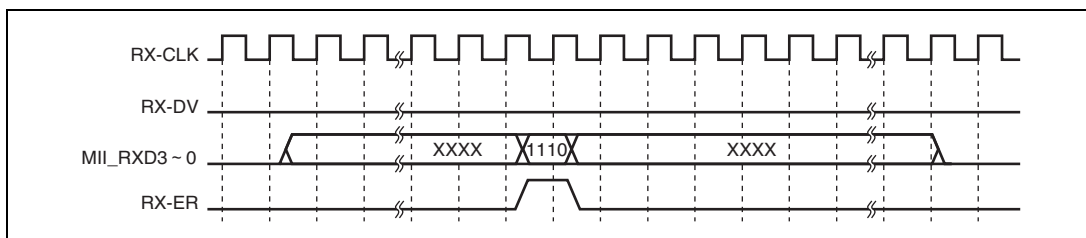


図 19.4 (6) MII フレーム受信タイミング (受信エラー (2) キャリアエラー通知)

19.4.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MIII 管理フレームのフォーマットを図 19.5 に示します。MIII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MIII 管理フレーム							
	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

PRE : 32個の連続した1
 ST : フレームの先頭を示す01のライト
 OP : アクセス種別を示すコードのライト
 PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
 REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
 TA : MIIインタフェース上でデータの送信元を切り替える時間
 (a) ライト時は10をライト
 (b) リード時は、「バス解放」(Z0と表記)を行う
 DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
 (a) ライト時は、16ビットデータのライト
 (b) リード時は、16ビットデータのリード
 IDLE : 次のMIII管理フォーマット入力までの待機時間
 (a) ライト時は、「単独バス解放」(Xと表記)を行う
 (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 19.5 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 19.6 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

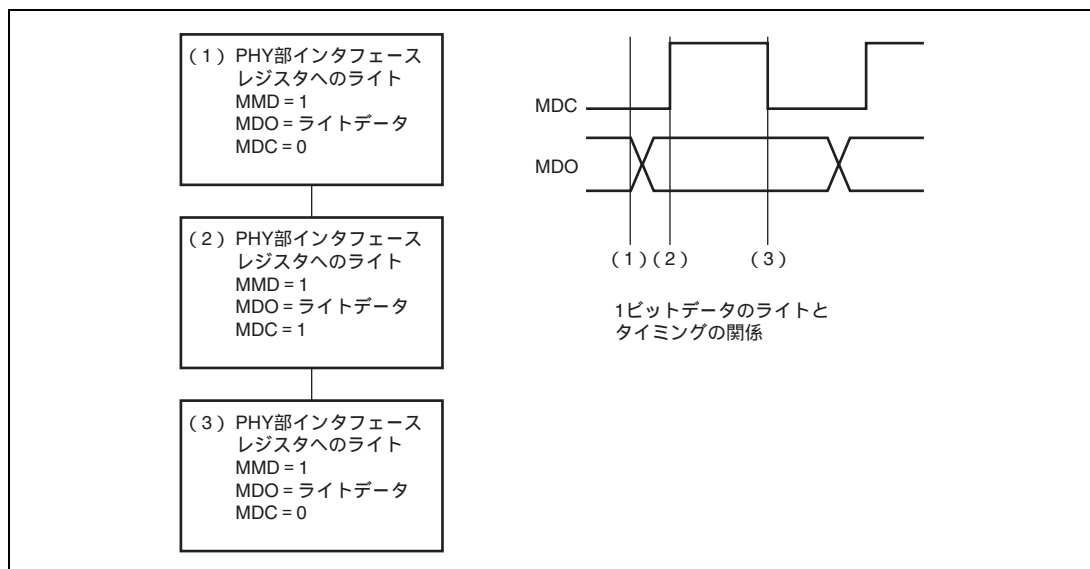


図 19.6 (1) 1 ビットデータのライトフロー

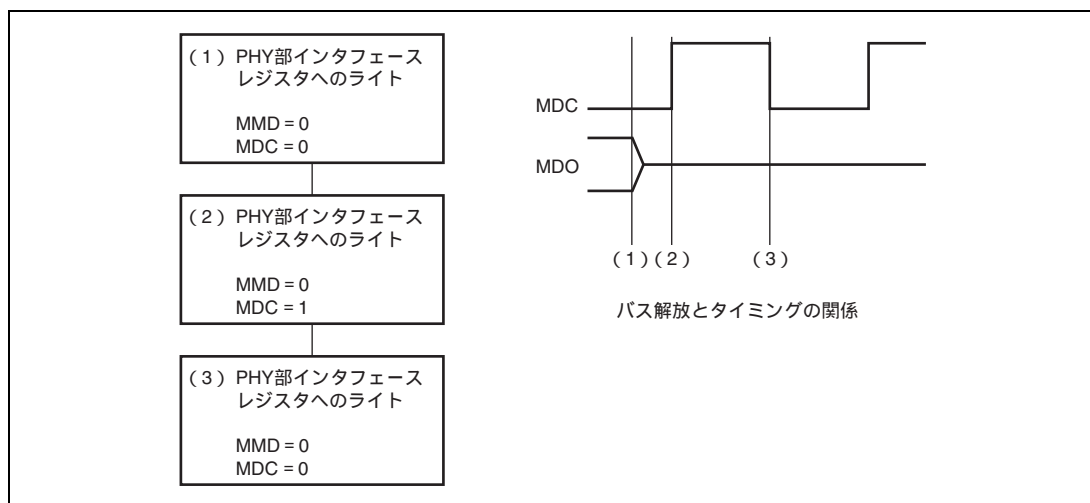


図 19.6 (2) バス解放フロー (図 19.5 中のリード時の TA)

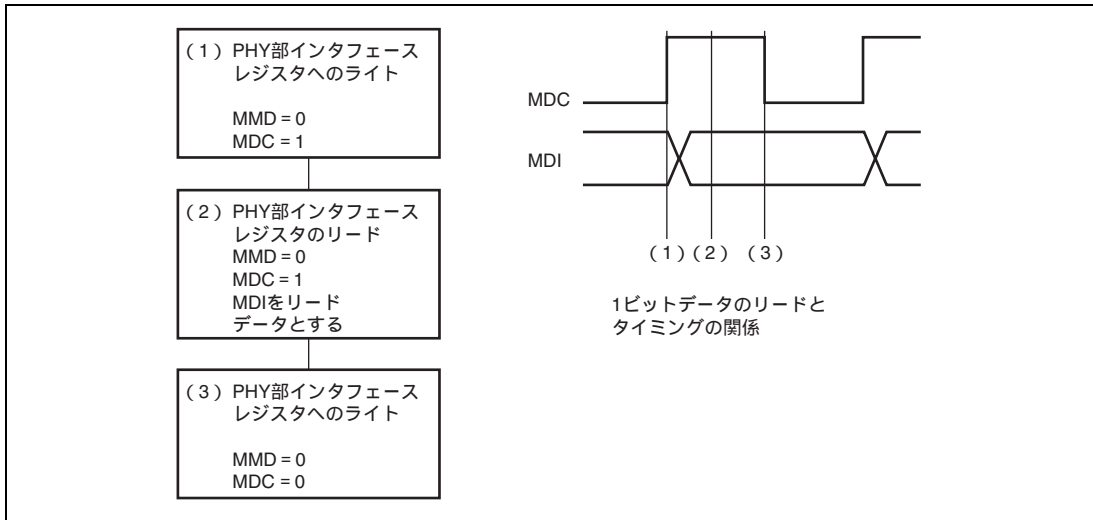


図 19.6 (3) 1ビットデータのリードフロー

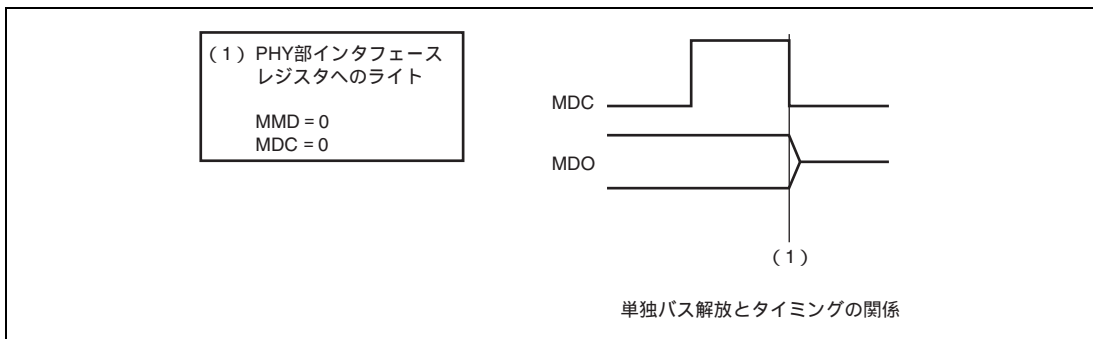


図 19.6 (4) 単独バス解放フロー (図 19.5 中のライト時の IDLE)

19.4.5 Magic Packet の検出

EtherC は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、EtherC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、E-DMAC モードレジスタ (EDMR) の SWR ビットにより EtherC および E-DMAC の初期化を実行してください。

Magic Packet においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定される宛先に合致する場合のみ有効となり WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可 / マスクレジスタによって割り込み要因の出力を禁止します。
2. EtherC モードレジスタ (ECMR) の Magic Packet 検出許可ビット (MPDE) を設定します。
3. EtherC 割り込み許可レジスタ (ECSIPR) の Magic Packet 検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
5. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、WOL 端子により Magic Packet を検出したことを通知します。

19.4.6 IPG 設定による動作

EtherC は、送信フレーム間の無送信期間 IPG (Inter Packet Gap) を変更する機能を有しています。IPG 設定レジスタ (IPGR) の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

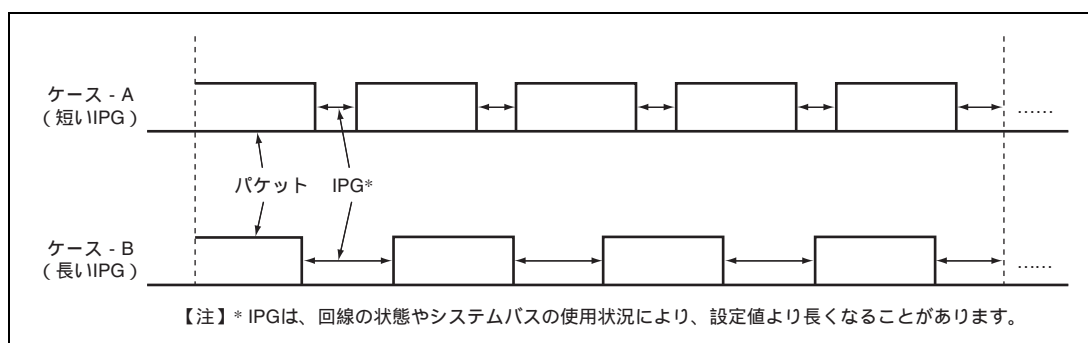


図 19.7 IPG の変更による伝送効率の違い

19.4.7 フロー制御

EtherC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

(1) 自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO (E-DMAC に内蔵) に書き込まれたデータ量が E-DMAC 内蔵のフロー制御開始 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ (APR) で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は EtherC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効となります。

(2) 手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ (MPR) への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

(3) PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。PAUSE フレームの受信は EtherC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。

19.5 PHY-LSI との接続

図 19.8 に National Semiconductor Corporation の DP83846AVHG との接続例を示します。

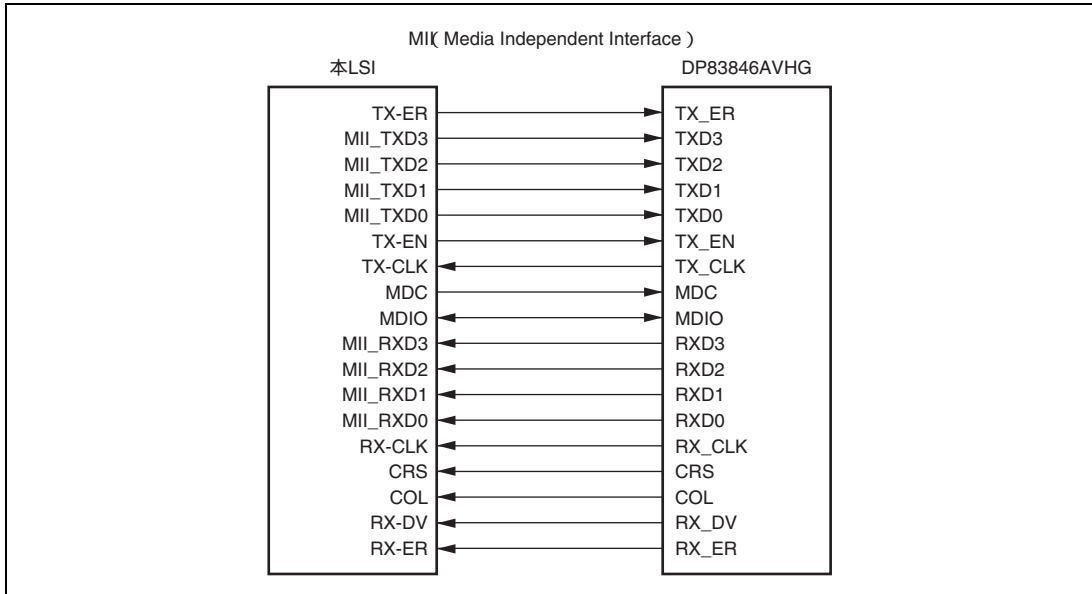


図 19.8 DP83846AVHG との接続例

19.6 使用上の注意事項

EtherC を使用する際は、以下のことに注意してください。

(1) LCHNG ビットのセット条件について

LNKSTA 端子への入力レベルが変化していない場合でも、ECSR の LCHNG ビットがセットされる場合があります。GPIO の PSEL で LNKSTA 端子を選択したときや、EDMR の SWR ビットによる EtherC/E-DMAC のソフトウェアリセット解除時に、LNKSTA 端子にハイレベルが入力されている場合です。

これは、GPIO で LNKSTA 端子を選択していないときや、EtherC/E-DMAC のソフトウェアリセット中に、LSI 内部の LNKSTA 信号が、外部端子への入力レベルとは無関係に、ローレベル固定されているからです。

誤ってリンク信号変化割り込みを発生させないように、LCHNG ビットをクリアしてから、ECSIPR の LCHNGIP ビットをセットしてください。

20. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)

本 LSI は、イーサネットコントローラ (EtherC) に直結したダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しています。バッファ管理の多くの部分を E-DMAC がディスクリプタを用いて制御します。このため CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

図 20.1 に E-DMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

20.1 特長

- ディスクリプタ管理方式による CPU 負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- ブロック転送 (32バイト単位) によるシステムバスの効率使用
- シングルフレーム・マルチバッファ方式対応可能
- 受信データへのパディング挿入によるソフトウェアの処理能力の向上

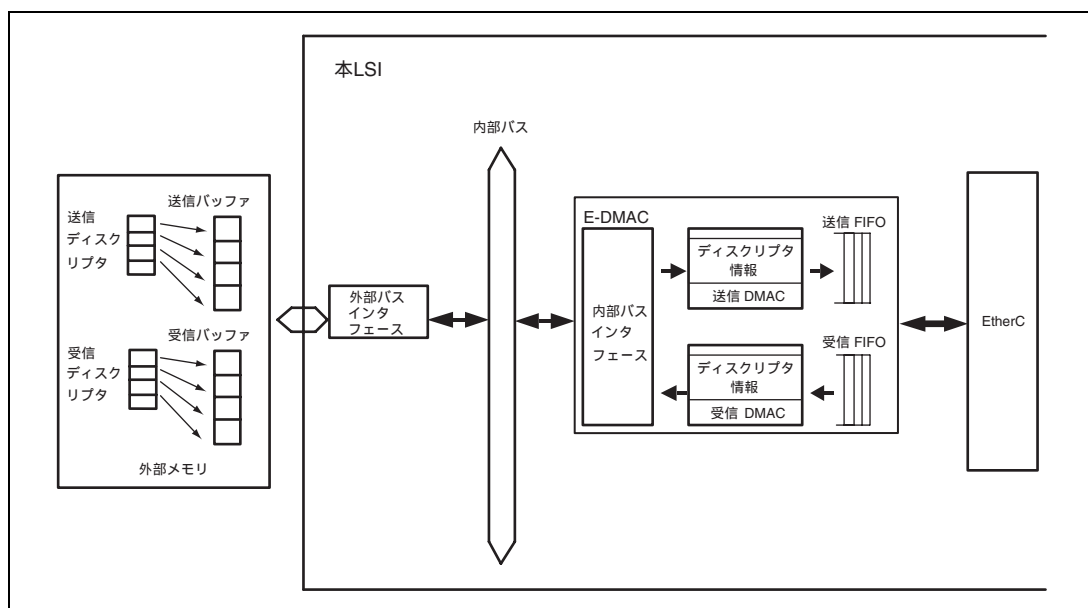


図 20.1 E-DMAC とディスクリプタおよびバッファの構成

20.2 レジスタの説明

E-DMAC のレジスタ構成を表 20.1 に示します。

表 20.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
E-DMAC モードレジスタ	EDMR	R/W	H'FEF0 0000	H'1EF0 0000	32
E-DMAC 送信要求レジスタ	EDTRR	R/W	H'FEF0 0008	H'1EF0 0008	32
E-DMAC 受信要求レジスタ	EDRRR	R/W	H'FEF0 0010	H'1EF0 0010	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	R/W	H'FEF0 0018	H'1EF0 0018	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	R/W	H'FEF0 0020	H'1EF0 0020	32
EtherC/E-DMAC ステータスレジスタ	EESR	R/W	H'FEF0 0028	H'1EF0 0028	32
EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR	R/W	H'FEF0 0030	H'1EF0 0030	32
送受信ステータスコピー指示レジスタ	TRSCER	R/W	H'FEF0 0038	H'1EF0 0038	32
ミスフレームカウンタレジスタ	RMFCR	R	H'FEF0 0040	H'1EF0 0040	32
送信 FIFO しきい値指定レジスタ	TFTR	R/W	H'FEF0 0048	H'1EF0 0048	32
FIFO 容量指定レジスタ	FDR	R/W	H'FEF0 0050	H'1EF0 0050	32
受信方式制御レジスタ	RMCR	R/W	H'FEF0 0058	H'1EF0 0058	32
送信 FIFO アンダランカウント	TFUCR	R/W	H'FEF0 0064	H'1EF0 0064	32
受信 FIFO オーバフローカウンタ	RFOCR	R/W	H'FEF0 0068	H'1EF0 0068	32
受信バッファライトアドレスレジスタ	RBWAR	R	H'FEF0 00C8	H'1EF0 00C8	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR	R	H'FEF0 00CC	H'1EF0 00CC	32
送信バッファリードアドレスレジスタ	TBRAR	R	H'FEF0 00D4	H'1EF0 00D4	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR	R	H'FEF0 00D8	H'1EF0 00D8	32
フロー制御開始 FIFO しきい値設定レジスタ	FCFTR	R/W	H'FEF0 0070	H'1EF0 0070	32
受信データバディンク挿入設定レジスタ	RPADIR	R/W	H'FEF0 0078	H'1EF0 0078	32
送信割り込み設定レジスタ	TRIMD	R/W	H'FEF0 007C	H'1EF0 007C	32
個別出力信号設定レジスタ	IOSR	R/W	H'FEF0 006C	H'1EF0 006C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

E-DMAC の各処理モードにおけるレジスタの状態を表 20.2 に示します。

表 20.2 各処理モードにおけるレジスタの状態

名 称	略 称	ソフトウェア リセット時
E-DMAC モードレジスタ	EDMR	
E-DMAC 送信要求レジスタ	EDTRR	
E-DMAC 受信要求レジスタ	EDRRR	
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	-
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	-
EtherC/E-DMAC ステータスレジスタ	EESR	
EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR	
送受信ステータスコピー指示レジスタ	TRSCER	
ミスフレームカウンタレジスタ	RMFCR	-
送信 FIFO しきい値指定レジスタ	TFTR	
FIFO 容量指定レジスタ	FDR	
受信方式制御レジスタ	RMCR	
送信 FIFO アンダランカウント	TFUCR	-
受信 FIFO オーバフローカウンタ	RFOCR	-
受信バッファライトアドレスレジスタ	RBWAR	
受信ディスクリプタフェッチアドレスレジスタ	RDFAR	
送信バッファリードアドレスレジスタ	TBRAR	
送信ディスクリプタフェッチアドレスレジスタ	TDFAR	
フロー制御開始 FIFO しきい値設定レジスタ	FCFTR	
受信データバディンク挿入設定レジスタ	RPADIR	
送信割り込み設定レジスタ	TRIMD	
個別出力信号設定レジスタ	IOSR	

【記号説明】

: 初期化されるレジスタ

- : 保持されるレジスタ

20.2.1 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作モードを指定します。本レジスタの設定は、通常リセット後の初期設定時に行います。データ送信中に本レジスタによって EtherC および E-DMAC を初期化すると回線上に異常データを送出する可能性があります。動作モードの設定は、送信と受信機能が有効状態で書き換えることを禁止します。動作モードを切り替えるには、ソフトウェアリセットビット (SWR) により、EtherC および E-DMAC を初期状態に戻してから再設定してください。なお、EtherC および E-DMAC の初期化完了までの所要時間は、内部バスクロック B で 64 サイクルです。このため、EtherC および E-DMAC 内のレジスタアクセスは、内部バスクロック B で 64 サイクル経過後に行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	DE	DL[1:0]	-	-	-	-	SWR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	DE	0	R/W	ビッグ/リトルエンディアンモード指定 0 : ビッグエンディアンモード (ロングワードアクセス) (初期値) 1 : リトルエンディアンモード (ロングワードアクセス) 送受信データについて有効になります。 送受信ディスクリプタ、レジスタについては無効。(ビッグエンディアンのみサポート)
5, 4	DL[1:0]	00	R/W	送受信ディスクリプタ長の指定 00 : 16 バイト (初期値) 01 : 32 バイト 10 : 64 バイト 11 を設定した場合は初期値の 16 バイトになります。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	SWR	0	R/W	ソフトウェアリセット 書き込み時 0 : 無効 1 : 内部ハードウェアをリセットします。リセットされるレジスタは表 19.3 および表 20.2 を参照してください。

20.2.2 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を続けます。また送信ディスクリプタ有効ビットが無効な場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TR	0	R/W	送信要求 0: 送信停止状態。0 を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します。 1: 送信開始。該当するディスクリプタを読み込み、送信有効ビットが 1 であるフレームを送信します。

20.2.3 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。E-DMAC は、受信要求ビットがセットされると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、EtherC からの受信要求に備えます。受信バッファ分の受信が完了すると、E-DMAC は次のディスクリプタを読み込みフレームの受信に備えます。このとき、ディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0: 受信機能を無効にします* 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態にします

【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR の SWR ビットによりソフトウェアリセットしてください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

20.2.4 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=0) による送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	TDLA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0] = 0000 32 バイトバウンダリ : TDLA[4:0] = 00000 64 バイトバウンダリ : TDLA[5:0] = 000000

20.2.5 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDLA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDLA[31:0]	すべて0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0] = 0000 32 バイトバウンダリ : RDLA[4:0] = 00000 64 バイトバウンダリ : RDLA[5:0] = 000000

20.2.6 EtherC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 をライトすることでクリアされます (ただし、ビット 22 (ECI) はリード専用で、1 をライトしてもクリアされません)。0 をライトしても、各ビットの状態には影響しません。各割り込み要因は EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	TWB	-	-	-	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CND	DLC	CD	TRO	RMAF	-	-	RRF	RTLF	RTSF	PRE	CERF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWB	0	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、TRIMD の TIS ビットが 1 にセットされているときのみに有効です。 0 : ライトバック未完了または送信未指示 1 : ライトバック完了
29~27	-	すべて 0	R	リザーブビット ライトは常に 0 をライトしてください。
26	TABT	0	R/W	送信中断検出 フレーム送信時、障害等により EtherC がフレーム送信を中断したことを示します。 0 : フレーム送信中断未発生または送信未指示 1 : フレーム送信中断発生

ビット	ビット名	初期値	R/W	説明
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により EtherC がフレーム受信を中断したことを示します。 0 : フレーム受信中断未発生または受信未指示 1 : フレーム受信中断発生
24	RFCOF	0	R/W	受信フレームカウンタオーバーフロー 受信 FIFO 内のフレームカウンタがオーバーフローしたことを示します。 0 : 受信フレームカウンタがオーバーフローしていない 1 : 受信フレームカウンタがオーバーフローした
23	ADE	0	R/W	アドレスエラー E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。 0 : 不正なメモリアドレスを検出していない (正常動作) 1 : 不正なメモリアドレスを検出した 【注】 アドレスエラーが検出されると、E-DMAC は送受信を停止します。再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。
22	ECI	0	R	EtherC ステータスレジスタ要因 本ビットは、リード専用です。EtherC にある ECSR の要因がクリアされると、本ビットもクリアされます。 0 : EtherC ステータス割り込み要因未検出 1 : EtherC ステータス割り込み要因検出
21	TC	0	R/W	フレーム送信完了 送信ディスクリプタによって指定されたデータをすべて EtherC より送信したことを示します。1 フレーム / 1 バッファ処理では、1 フレームの送信が完了した場合、またマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。 0 : 転送未完了または転送未指示 1 : 転送完了

ビット	ビット名	初期値	R/W	説明
20	TDE	0	R/W	送信ディスクリプタ枯渇 マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMACが送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット(TACT)がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。 0: 送信ディスクリプタ有効ビット TACT = 1 を検出 1: 送信ディスクリプタ有効ビット TACT = 0 を検出 送信ディスクリプタ枯渇 (TDE = 1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。
19	TFUF	0	R/W	送信 FIFO アンダフロー フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。 0: アンダフロー未発生 1: アンダフロー発生
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1フレームを受信するたびに1にセットされます。 0: フレーム未受信 1: フレーム受信済み
17	RDE	0	R/W	受信ディスクリプタ枯渇 受信ディスクリプタ枯渇 (RDE = 1) が発生した場合は、当該受信ディスクリプタを RACT = 1 に設定し受信起動をかけることで、受信を再開することができます。 0: 受信ディスクリプタ有効ビット RACT = 1 を検出 1: 受信ディスクリプタ有効ビット RACT = 0 を検出
16	RFOF	0	R/W	受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0: オーバフロー未発生 1: オーバフロー発生
15~12	-	すべて0	R	リザーブビット ライトは常に0をライトしてください。
11	CND	0	R/W	キャリア未検出 キャリアの検出状態を示します。 0: 送信開始時にキャリア検出 1: キャリア未検出

ビット	ビット名	初期値	R/W	説明
10	DLC	0	R/W	キャリア消失検出 フレーム送信中のキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 フレーム送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出
8	TRO	0	R/W	送信リトライオーバ フレーム送信中にリトライオーバが発生したことを示します。これは、EtherC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送を合わせ全部で 16 回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信
6、5	-	すべて 0	R	リザーブビット ライトは常に 0 をライトしてください。
4	RRF	0	R/W	端数ビットフレーム受信 0: 端数ビットフレーム未受信 1: 端数ビットフレーム受信
3	RTLFL	0	R/W	ロングフレーム受信エラー EtherC の RFLR で設定した受信フレーム長上限値を超えるバイト数のフレーム を受信したことを示します。 0: ロングフレーム未受信 1: ロングフレーム受信
2	RTSF	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0: ショートフレーム未受信 1: ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0: PHY-LSI 受信エラー未検出 1: PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0: CRC エラー未検出 1: CRC エラー検出

20.2.7 EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出したり書き込み可能な 32 ビットのレジスタで、EtherC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	TWB IP	-	-	-	TABT IP	RABT IP	RFCOF IP	ADE IP	ECI IP	TC IP	TDE IP	TFUF IP	FR IP	RDE IP	RFOF IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CND IP	DLC IP	CD IP	TRO IP	RMAF IP	-	-	RRF IP	RTL IP	RTSF IP	PRE IP	CERF IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWBIP	0	R/W	ライトバック完了割り込み許可 0: ライトバック完了割り込み禁止 1: ライトバック完了割り込み許可
29~27	-	すべて 0	R	リザーブビット ライトは常に 0 をライトしてください。
26	TABTIP	0	R/W	送信中断検出割り込み許可 0: 送信中断検出割り込み禁止 1: 送信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバーフロー割り込み許可 0: 受信フレームカウンタオーバーフロー割り込み禁止 1: 受信フレームカウンタオーバーフロー割り込み許可
23	ADEIP	0	R/W	アドレスエラー割り込み許可 0: アドレスエラー割り込み禁止 1: アドレスエラー割り込み許可
22	ECIIP	0	R/W	EtherC ステータスレジスタ要因割り込み許可 0: EtherC ステータス割り込み禁止 1: EtherC ステータス割り込み許可
21	TCIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可

ビット	ビット名	初期値	R/W	説明
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~12	-	すべて0	R	リザーブビット ライトは常に0をライトしてください。
11	CNDIP	0	R/W	キャリア未検出割り込み許可 0: キャリア未検出割り込み禁止 1: キャリア未検出割り込み許可
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 0: 送信リトライオーバ割り込み禁止 1: 送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可
6, 5	-	すべて0	R	リザーブビット ライトは常に0をライトしてください。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0: 端数ビットフレーム受信割り込み禁止 1: 端数ビットフレーム受信割り込み許可

ビット	ビット名	初期値	R/W	説 明
3	RTLFIIP	0	R/W	ロングフレーム受信エラー割り込み許可 0 : ロングフレーム受信エラー割り込み禁止 1 : ロングフレーム受信エラー割り込み許可
2	RTSFIIP	0	R/W	ショートフレーム受信エラー割り込み許可 0 : ショートフレーム受信エラー割り込み禁止 1 : ショートフレーム受信エラー割り込み許可
1	PREIIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0 : PHY-LSI 受信エラー割り込み禁止 1 : PHY-LSI 受信エラー割り込み許可
0	CERFIIP	0	R/W	受信フレーム CRC エラー割り込み許可 0 : CRC エラー割り込み禁止 1 : CRC エラー割り込み許可

20.2.8 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、EtherC/E-DMAC ステータスレジスタの各ビットで報告される、送信および受信ステータス情報を当該ディスクリプタの TFS25~0 および RFS26~0 に反映するか否かを指示します。本レジスタの各ビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 11 からビット 0 に対応し各ビットに 0 を設定すると、送信ステータス (EESR のビット 11 からビット 8) は送信ディスクリプタの TFS3~TFS0 ビットに、また受信ステータス (EESR のビット 7 からビット 0) は受信ディスクリプタの RFS7~RFS0 ビットに反映されます。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CND CE	DLC CE	CD CE	TRO CE	RMAF CE	-	-	RRF CE	RTLFI CE	RTSFI CE	PRE CE	CERFI CE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDCE	0	R/W	CND ビットコピー指示 0 : CND ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1 : 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。

ビット	ビット名	初期値	R/W	説 明
10	DLCCE	0	R/W	DLC ビットコピー指示 0: DLC ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
9	CDCE	0	R/W	CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
8	TROCE	0	R/W	TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
7	RMAFCE	0	R/W	RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRFCE	0	R/W	RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
3	RTLFCCE	0	R/W	RTLFC ビットコピー指示 0: RTLFC ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
2	RTSFCE	0	R/W	RTSF ビットコピー指示 0: RTSF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
1	PRECE	0	R/W	PRE ビットコピー指示 0: PRE ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
0	CERFCE	0	R/W	CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。

20.2.9 ミストフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC[15:0]	すべて 0	R	ミストフレームカウンタ 受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します。

20.2.10 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出したまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。EtherC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお本レジスタの設定は、送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFT[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10~0	TFT[10:0]	すべて 0	R/W	<p>送信 FIFO しきい値</p> <p>送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい値に設定してください。</p> <p>H'000 : スタア&フォワードモード</p> <p>H'001 ~ H'00C : 設定禁止</p> <p>H'00D : 52 バイト</p> <p>H'00E : 56 バイト</p> <p> : :</p> <p>H'01F : 124 バイト</p> <p>H'020 : 128 バイト</p> <p> : :</p> <p>H'03F : 252 バイト</p> <p>H'040 : 256 バイト</p> <p> : :</p> <p>H'07F : 508 バイト</p> <p>H'080 : 512 バイト</p> <p> : :</p> <p>H'0FF : 1020 バイト</p> <p>H'100 : 1024 バイト</p> <p> : :</p> <p>H'1FF : 2044 バイト</p> <p>H'200 : 2048 バイト</p> <p>H'201 ~ H'7FF : 設定禁止</p>

- 【注】
- 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
 - 2 送受信 FIFO 容量よりも本レジスタの設定値が大きいときの動作は保証しません。
 - 3 送信アンダフローの発生を防ぐため、初期値（スタア&フォワードモード）での設定を推奨します。

20.2.11 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	TFD[4:0]				-	-	-	RFD[4:0]					
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12~8	TFD[4:0]	00111	R/W	送信 FIFO 容量 送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 00000 : 256 バイト 00001 : 512 バイト 00010 : 768 バイト 00011 : 1024 バイト 00100 : 1280 バイト 00101 : 1536 バイト 00110 : 1792 バイト 00111 : 2048 バイト 上記以外 : 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
4~0	RFD[4:0]	00111	R/W	受信 FIFO 容量 受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 00000 : 256 バイト 00001 : 512 バイト 00010 : 768 バイト 00011 : 1024 バイト 00100 : 1280 バイト 00101 : 1536 バイト 00110 : 1792 バイト 00111 : 2048 バイト 上記以外 : 設定禁止

【注】 送受信 FIFO 容量よりも本レジスタの設定値が大きいときの動作は保証しません。

20.2.12 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信するときの EDRRR の RR ビットの制御方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RNC	RNR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	RNC	0	R/W	受信起動ビット non リセットモード指定 0 : nop 1 : EDRRR の受信起動ビット (RR) のリセットをソフトウェア制御にします。フェッチしたディスクリプタの RACT ビットが 0 の場合 (受信ディスクリプタ枯渇) でも、EDRRR の受信起動ビット (RR) をセルフリセットせず、連続して受信ディスクリプタのフェッチを行い受信フレームの DMA を継続します。
0	RNR	0	R/W	受信起動ビットリセット 0 : EDRRR の受信起動ビット (EDRRR.RR) は、1 フレームの受信が完了したときハードウェアでセルフクリアします。 1 フレーム単位の制御が可能です。 後続の受信フレームを受信する場合は、再度 EDRRR の受信起動ビットを設定する必要があります。 1 : EDRRR の受信起動ビット (EDRRR.RR) は、上位ソフトウェアにより制御します。受信起動ビット (EDRRR.RR) に 1 書き込み後は、EDRRR.RR に 0 書き込みを行うまでハードウェアが自動的に受信ディスクリプタのフェッチを行いフレームを受信します。複数フレームを連続で受信可能となります。連続受信を行う場合は、受信起動ビットリセットを 1 に設定することを推奨致します。ただし、受信ディスクリプタ枯渇を検出した場合は、ハードウェアで EDRRR.RR をセルフクリアします。

20.2.13 送信 FIFO アンダランカウント (TFUCR)

送信 FIFO が、アンダランした回数を示すレジスタです。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UNDER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	UNDER [15:0]	すべて 0	R/W	送信 FIFO アンダフロー数 送信 FIFO におけるアンダフローが発生した回数が設定されます。 カウンタ値が、H'FFFF となったら停止します。

20.2.14 受信 FIFO オーバフローカウント (RFOCR)

受信 FIFO が、オーバフローした回数を示すレジスタです。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	OVER [15:0]	すべて 0	R/W	受信 FIFO オーバフロー数 受信 FIFO におけるオーバフローが発生した回数が設定されます。 カウンタ値が、H'FFFF となったら停止します。

20.2.15 受信バッファライトアドレスレジスタ (RBWAR)

RBWAR は、E-DMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBWA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBWA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~0	RBWA[31:0]	すべて0	R	受信バッファライトアドレス 本ビットは読み出し専用です。書き込みは禁止です。

20.2.16 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~0	RDFAR[31:0]	すべて0	R	受信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

20.2.17 送信バッファリードアドレスレジスタ (TBRAR)

TBRAR は、E-DMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBRA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBRA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TBRA[31:0]	すべて 0	R	送信バッファリードアドレス 本ビットは読み出し専用です。書き込みは禁止です。

20.2.18 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

TDFAR は、E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているか認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TDFA[31:0]	すべて 0	R	送信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

20.2.19 フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC のフロー制御の設定 (自動 PAUSE 送信のしきい値設定) を行います。受信 FIFO データ容量 (RFDO[2:0])、受信フレーム数 (RFFO[2:0]) によるしきい値を設定できます。受信 FIFO データ容量しきい値判定、および受信フレーム数しきい値判定の論理和を条件として、フロー制御を開始します。

RFDO の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量 - 64) バイトでフロー制御をオンにします。たとえば FDR の RFD = 1、FCFTR の RFDO = 1 の場合は、受信 FIFO 内に (2048 - 64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFDO の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RFFO[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RFFO[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	RFFO[2:0]	111	R/W	受信フレーム数オーバーフロー-BSY 送出しきい値 000: 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 001: 受信フレームを受信 FIFO 内に 4 フレーム格納完了時 010: 受信フレームを受信 FIFO 内に 6 フレーム格納完了時 : 110: 受信フレームを受信 FIFO 内に 14 フレーム格納完了時 111: 受信フレームを受信 FIFO 内に 16 フレーム格納完了時
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	RFDO[2:0]	111	R/W	受信 FIFO オーバフロー-BSY 送出しきい値 000: 受信 FIFO 内に 256 - 32 バイトのデータ容量を格納時 001: 受信 FIFO 内に 512 - 32 バイトのデータ容量を格納時 : 110: 受信 FIFO 内に 1792 - 32 バイトのデータ容量を格納時 111: 受信 FIFO 内に 2048 - 64 バイトのデータ容量を格納時

20.2.20 受信データパディング挿入設定レジスタ (RPADIR)

RPADIR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、受信データに対するパディングの挿入の設定を行うレジスタです。本レジスタを再設定するときは、E-DMAC モードレジスタ (EDMR) の SWR ビットでリセットしてから行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PADS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PADR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	PADS[1:0]	すべて 0	R/W	パディングサイズ 00: パディング挿入なし 01: 1 バイト挿入 10: 2 バイト挿入 11: 3 バイト挿入
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	PADR[5:0]	すべて 0	R/W	パディング範囲 H'00: 受信データの 1 バイト目の直前にパディングサイズ分挿入 H'01: 受信データの 2 バイト目の直前にパディングサイズ分挿入 : H'3E: 受信データの 63 バイト目の直前にパディングサイズ分挿入 H'3F: 受信データの 64 バイト目の直前にパディングサイズ分挿入

20.2.21 送信割り込み設定レジスタ (TRIMD)

TRIMD は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了を EESR の TWB ビットおよび割り込みにて通知するかどうかを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	TIM	-	-	-	TIS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	TIM	0	R/W	送信割り込みモード 0: 毎送信フレームモード 送信フレーム毎ライトバック完了時に割り込み。 1: 割り込みモード 送信ディスクリプタ TWBI ビット設定ディスクリプタのライトバック完了時に割り込み。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TIS	0	R/W	送信割り込み設定 0: 割り込み未設定 TIM ビットで指定したモードでの割り込み通知を行わない。 TIS ビット=0 のとき、TIM ビットの設定は無効 1: 割り込み設定 TIM ビットで指定したモードで EESR の TWB ビットを 1 とし割り込み通知を行う。

20.2.22 個別出力信号設定レジスタ (IOSR)

本ビットの値は、本 LSI の汎用外部出力端子 (EXOUT) にそのまま出力されます。EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。本機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に EXOUT 端子に対応する端子があることが必要です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ELB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	ELB	0	R/W	外部ループバックモード 0: EXOUT 端子は、ローレベルを出力する 1: EXOUT 端子は、ハイレベルを出力する

20.3 動作説明

E-DMAC は、EtherC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ (バッファ) との間で行います。E-DMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報を見ずから読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファにライトします。このディスクリプタを複数個連続して配置 (ディスクリプタリスト) することで、送信ならびに受信を連続して実行できます。

20.3.1 ディスクリプタリストとデータバッファ

通信プログラムは、送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを、送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、E-DMAC モードレジスタ (EDMR) で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(1) 送信ディスクリプタ

図 20.2 に送信ディスクリプタと送信バッファの関係を示します。本ディスクリプタの指示により、送信フレームと送信バッファの構成を 1 フレーム / 1 バッファまたは 1 フレーム / マルチバッファのように関連づけることが可能です。

送信バッファ長 (TBL) 1 ~ 16 バイトの指定を行う際はバッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長 (TBL) 0 バイトの指定の動作は保証されません。

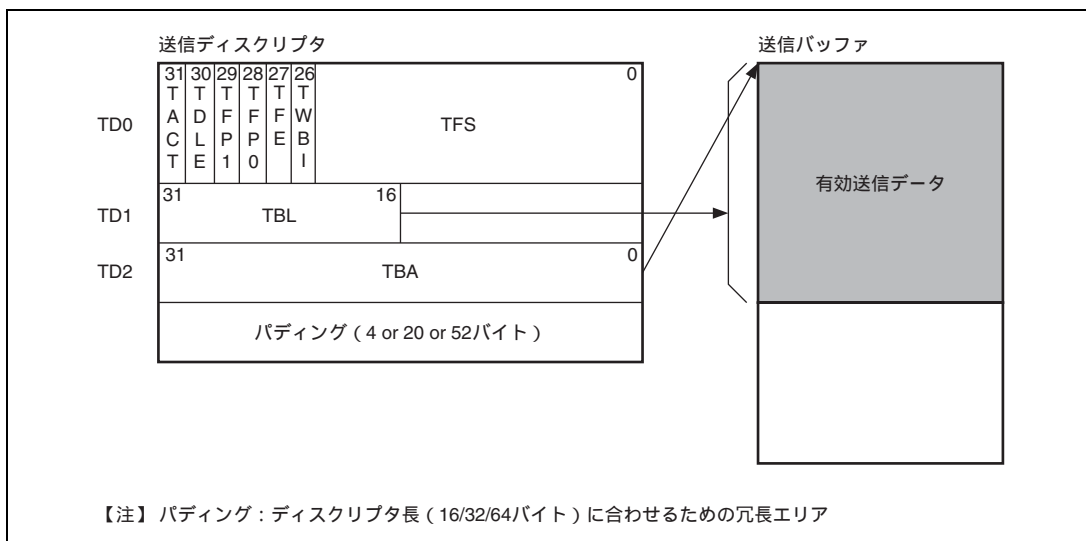


図 20.2 送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、送信フレームのステータスを示します。これによりフレーム送信状態を連絡します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
<u>31</u>	<u>IACT</u>	0	R/W	送信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。このビットはソフトウェアによってセット (=1) され、送信フレームを転送完了したときまたは何らかの要因により送信がアボートされたときにハードウェアによりクリア (=0) されます。
30	TDLE	0	R/W	送信ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが送信ディスクリプタリングの最終であることを示します。
29 28	TFP1 TFP0	0 0	R/W R/W	送信フレーム内位置 1、0 送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、本ビットおよび TBL ビットの設定は、理論的に正しい関係を維持してください。 00: 本ディスクリプタで指示する送信バッファのフレーム送信を維持する (フレームを完結しない) 01: 本ディスクリプタで指示する送信バッファはフレームの最後を含む (フレームを完結する) 10: 本ディスクリプタで指示する送信バッファはフレームの先頭である (フレームを完結しない) 11: 本ディスクリプタで指示する送信バッファの内容が 1 フレームに相当する (1 フレーム / 1 バッファ)
<u>27</u>	<u>TFE</u>	0	R/W	送信フレームエラー セット (=1) 時、TFS にエラーがあることを示します。(TFS7 ~ TFS0 については、TRSCER により本ビットのセットをマスク可能。ただし、TFS7 ~ TFS0 の要因が TFS8 もセットさせる場合はマスクできません。) 1: フレーム受信中断発生
26	TWBI	0	R/W	ライトバック完了後割り込み指示 (TRIMD の設定により有効となります。) 0: nop 1: 本ディスクリプタへのライトバック完了後割り込みます。

ビット	ビット名	初期値	R/W	説明
25~0	TFS	すべて 0	R/W	送信フレームステータス TFS25~9 [予約 (書き込み時は 0 としてください)] : TFS8 [送信アボート検出] : セット (=1) 時、フレーム送信中にアボート信号がセット (=1) されたことを示します。(TFE セット要因) TFS7~4 [予約 (書き込み時は 0 としてください)]、 TFS3 [ノーキャリア検出 (EESR の CND ビットに相当)]、 TFS2 [キャリア消失検出 (EESR の DLC ビットに相当)]、 TFS1 [送信中の遅延衝突検出 (EESR の CD ビットに相当)]、 TFS0 [送信リトライオーバーバ (EESR の TRO ビットに相当)] : セット (=1) 時、フレーム送信中に TFS8~1 がセット (=1) されたことを示します。(TFE セット要因ですが、TRSCER により設定可能)

(b) 送信ディスクリプタ 1 (TD1)

TD1 は、送信バッファ長を示します。

ビット	ビット名	初期値	R/W	説明
31~16	TBL	すべて 0	R/W	送信バッファ長 対象となる送信バッファの有効バイト長を示します。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

(c) 送信ディスクリプタ 2 (TD2)

TD2 は、当該送信バッファの先頭アドレスを示します。

ビット	ビット名	初期値	R/W	説明
31~0	TBA	すべて 0	R/W	送信バッファアドレス 送信バッファの先頭アドレスを示します。

(2) 受信ディスクリプタ

図 20.3 に受信ディスクリプタと受信バッファの関係を示します。受信バッファのアドレスは 32 バイトバウンダリで設定してください。

受信バッファ長 (RBL) 0 のディスクリプタ指定の動作は保証されません。

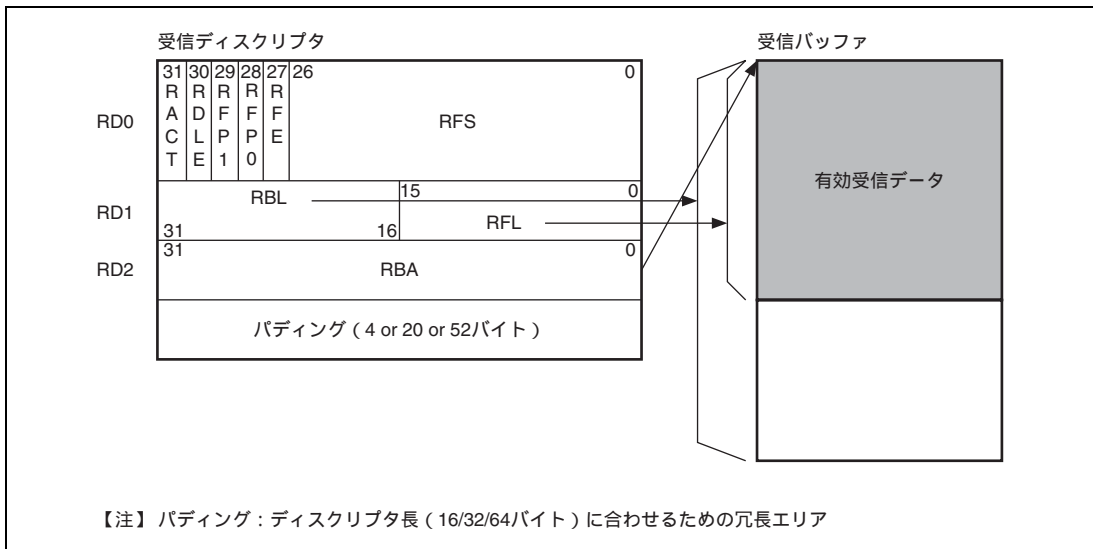


図 20.3 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ0 (RD0)

RD0 は、受信フレームのステータスを示します。これによりフレーム受信状態を連絡します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
31	<u>RACT</u>	0	R/W	受信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。このビットはソフトウェアによってセット (=1) され、受信フレームを RD2 で示されるバッファアドレスに転送し、フレームすべてを転送完了したとき、または受信バッファがいっぱいになった場合にハードウェアによりクリア (=0) されます。
30	RDLE	0	R/W	受信ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが受信ディスクリプタリングの最終であることを示します。
29、28	<u>RFPP[1:0]</u>	00	R/W	受信フレーム内位置 受信バッファと受信フレームの関連づけを行います。 00: 本ディスクリプタで指示する受信バッファのフレーム受信を継続する (フレームを完結しない) 01: 本ディスクリプタで指示する受信バッファはフレームの最後を含む (フレームを完結する) 10: 本ディスクリプタで指示する受信バッファはフレームの先頭である (フレームを完結しない) 11: 本ディスクリプタで指示する受信バッファの内容が1フレームに相当する (1フレーム/1バッファ)
27	<u>RFE</u>	0	R/W	受信フレームエラー セット (=1) 時、RFS にエラーがあることを示します。 (RFS のビット7~ビット0については、TRSCER により本ビットのセットをマスク可能。ただし、RFS の RFS7~RFS0 の要因が RFS8 もセットさせる場合はマスクできません。)

ビット	ビット名	初期値	R/W	説明
<u>26~0</u>	<u>RFS</u>	すべて 0	R/W	<p>受信フレームステータス</p> <p>RF26~10 [予約 (書き込み時は 0 としてください)] :</p> <p>RFS9 [受信 FIFO オーバフロー (EESR の RFOF ビットに相当)] :</p> <p>セット (=1) 時、受信 FIFO オーバフローにより、途中で切断されたフレームがライトバックされたことを示します。(RFE セット要因)</p> <p>RFS8 [受信アボート検出] :</p> <p>セット (=1) 時、フレーム受信中にアボート信号がセット (=1) されたことを示します。(RFE セット要因)</p> <p>RFS7 [マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)]、</p> <p>RFS6、5 [予約 (書き込み時は 0 としてください)]、</p> <p>RFS4 [端数ビットフレーム受信エラー (EESR の RRF ビットに相当)]、</p> <p>RFS3 [ロングフレーム受信エラー (EESR の RTLF ビットに相当)]、</p> <p>RFS2 [ショートフレーム受信エラー (EESR の RTSF ビットに相当)]、</p> <p>RFS1 [PHY-LSI 受信エラー (EESR の PRE ビットに相当)]、</p> <p>RFS0 [受信フレーム CRC エラー検出 (EESR の CERF ビットに相当)] :</p> <p>セット (=1) 時、フレーム受信中に RFS8~1 がセット (=1) されたことを示します。(RFE セット要因ですが、TRSCER により設定可能)</p>

(b) 受信ディスクリプタ 1 (RD1)

RD1 は、受信バッファ長を示します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
31~16	RBL	すべて 0	R/W	<p>受信バッファ長</p> <p>対象となる受信バッファのバイト長を示します。</p> <p>バッファ長は 32×n の大きさに設定してください。</p>
<u>15~0</u>	<u>RFL</u>	すべて 0	R/W	<p>受信フレーム長</p> <p>バッファ内に格納された受信フレームの長さ (バイト数) を示します。</p> <p>RPADIR で指定されたパディング分のバイト数は含みません。</p> <p>フレームの最後を含むディスクリプタにライトバックされます。</p>

(c) 受信ディスクリプタ 2 (RD2)

RD2 は、当該受信バッファの先頭アドレスを示します。

ビット	ビット名	初期値	R/W	説明
31~0	RBA	すべて 0	R/W	<p>受信バッファアドレス</p> <p>受信バッファの先頭アドレスを示します。</p> <p>バッファアドレスは 32 バイト境界に設定してください。</p>

20.3.2 送信機能

送信機能が有効で、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) をセットすると、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。読み込んだディスクリプタの TACT ビットが有効な場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して EtherC に転送します。EtherC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP = 00 or 10 (フレーム継続) :
DMA転送後、ディスクリプタのライトバック (TACTビットのみ) を行います。
- TFP = 01 or 11 (フレーム終了) :
フレームの送信完了後、ディスクリプタのライトバック (TACTビットおよびステータス) を行います。

読み込んだディスクリプタの TACT ビットが有効な間は、E-DMAC ディスクリプタの読み込みとフレームの送信を続けます。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC は EDTRR の TR ビットをリセットして送信処理を完了します。

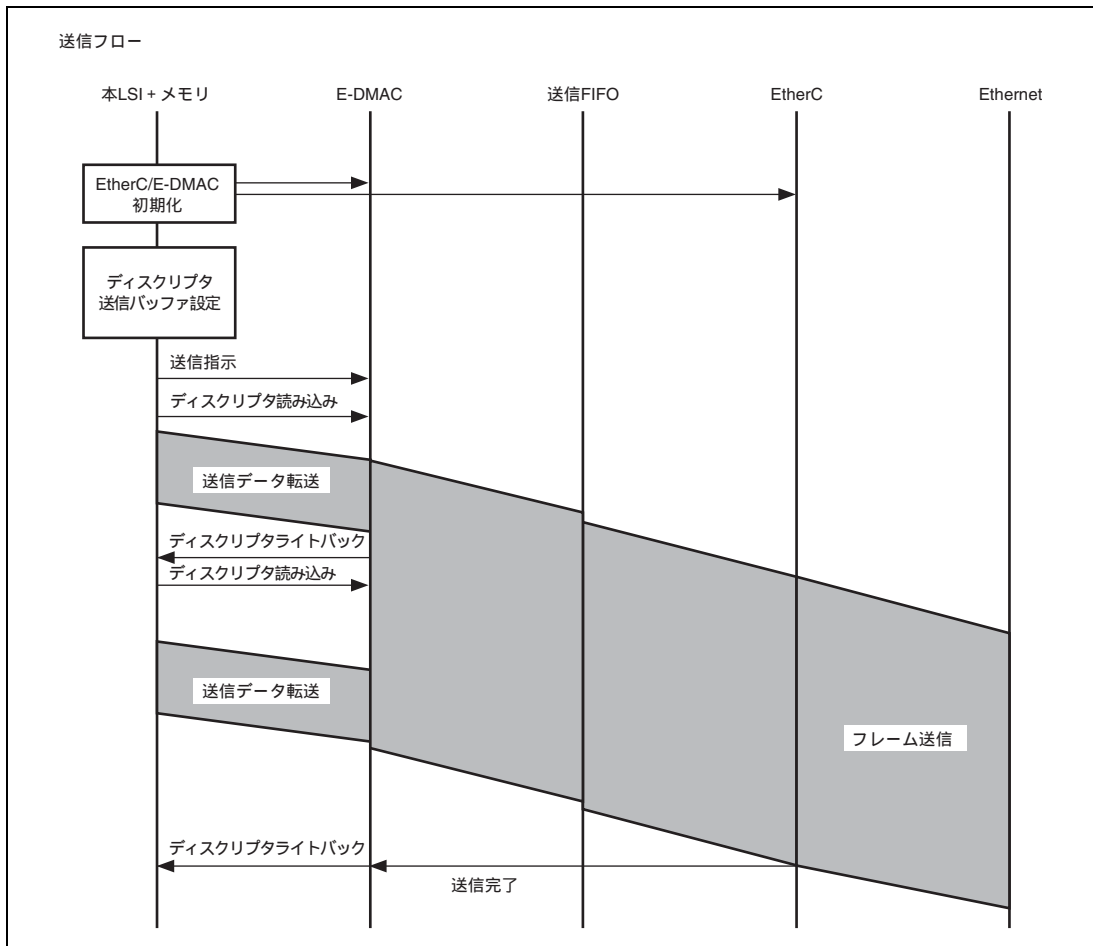


図 20.4 送信フローの例

20.3.3 受信機能

受信機能が有効で CPU が E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) をセットすると、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。RACT ビットが有効かつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP = 10 or 00) を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック (RFP = 11 or 01) を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロールビット (RNC) を 1 に設定してください。初期化後は、0 になっています。

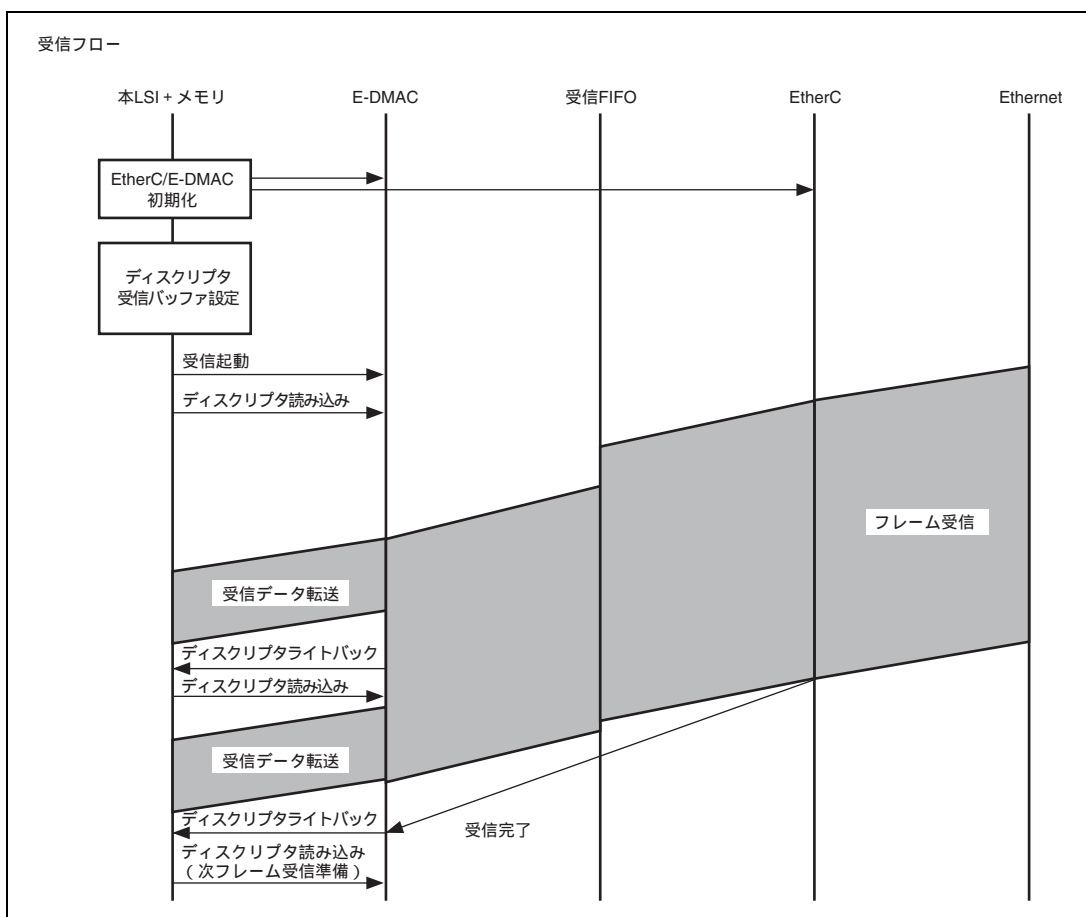


図 20.5 受信フローの例

20.3.4 マルチバッファフレームの送受信処理について

(1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 20.6 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

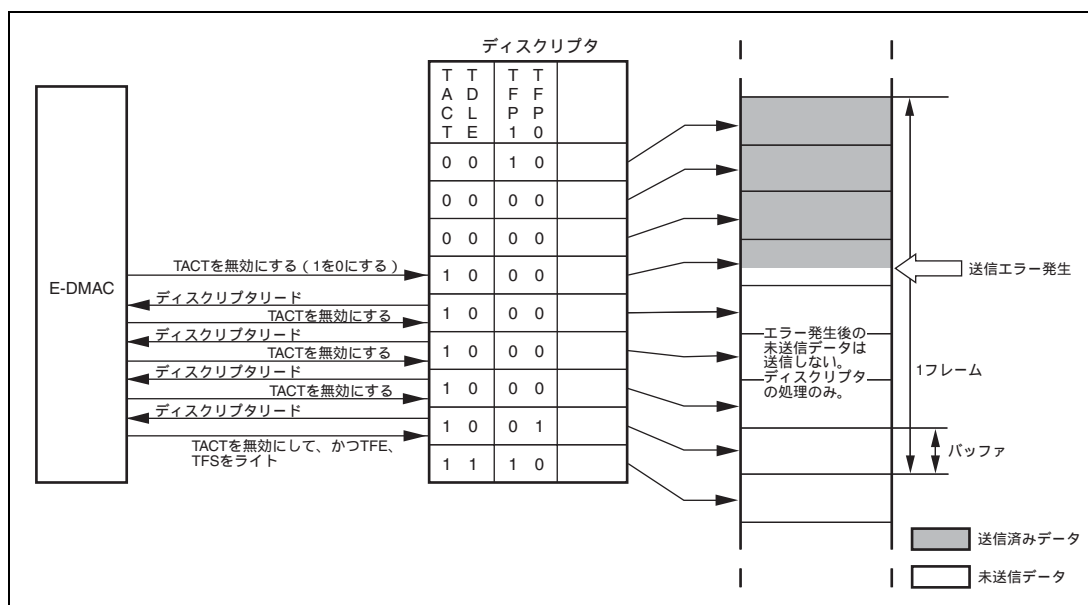


図 20.6 送信エラー発生後の E-DMAC 動作

(2) マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、E-DMAC は図 20.7 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中で RACT ビットが 1 である最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

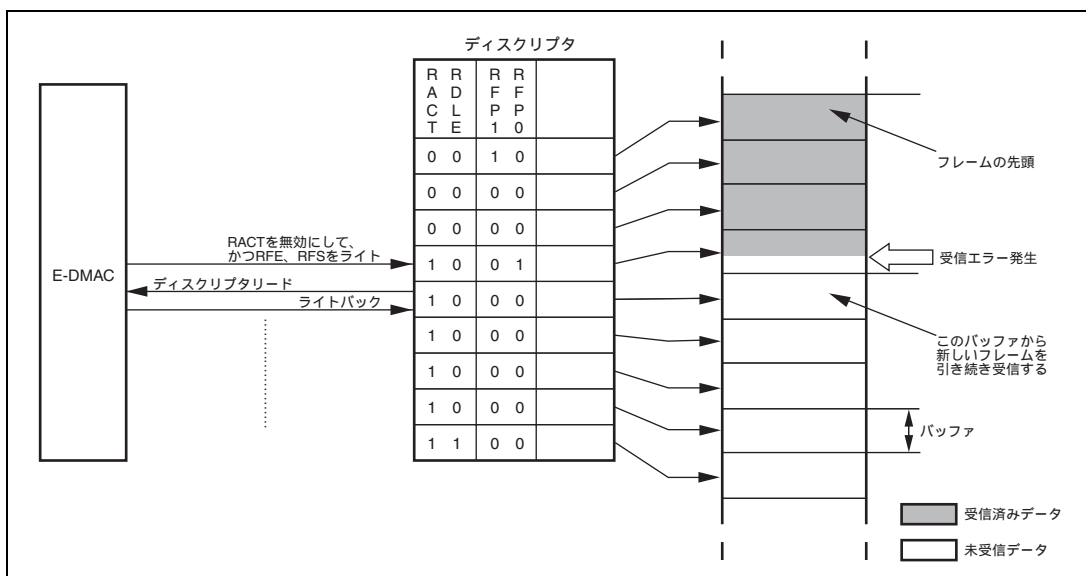


図 20.7 受信エラー発生後の E-DMAC 動作

20.4 使用上の注意事項

20.4.1 E-DMAC の実効アドレスについて

送信ディスクリプタ先頭アドレス (TDLAR)、受信ディスクリプタ先頭アドレス (RDLAR)、送信ディスクリプタ内の TBA フィールド、受信ディスクリプタ内の RBA フィールドの 4 箇所に設定する値は、E-DMAC の実効アドレスとなります。E-DMAC には 512MB の物理アドレス空間の概念しかありませんので、上記 4 箇所に設定する値は、H'00000000 ~ H'10000000 の範囲に留めてください。

なお、CPU による送信ディスクリプタや受信ディスクリプタのアクセス (ディスクリプタの準備、あるいは E-DMAC によりライトバックされたディスクリプタの読み出し) は、キャッシュコヒーレンシの観点から、論理空間 P2 領域 (キャッシュ不可領域) を経由して行ってください。

21. USB2.0 ホスト / ファンクションモジュール (USB)

本モジュールは、USB ホストコントロール機能とファンクションコントロール機能を備えた USB コントローラです。ホストコントローラ機能選択時は、USB (Universal Serial Bus) 規格 2.0 のハイスピード転送、フルスピード転送、ロースピード転送に対応します。ファンクションコントローラ機能選択時は、ハイスピード転送、フルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 5K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

21.1 特長

(1) USB ハイスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
- USBトランシーバ内蔵

(2) 少ない外付け素子かつ省スペース実装が可能

- VBUS信号を本モジュールの入力端子に直接接続可能
- D+プルアップ抵抗内蔵 (ファンクション動作時)
- D+、D-のプルダウン抵抗内蔵 (ホスト動作時)
- D+、D-終端抵抗内蔵 (ハイスピード動作時)
- D+、D-出力抵抗内蔵 (フルスピード動作時)

(3) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

(5) パイプコンフィギュレーション

- USB通信用バッファメモリを5Kバイトまで対応可能
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1~9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DPC)、64バイト固定シングルバッファ

パイプ1、2: バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ3~5: バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ6~9: インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(6) ホストコントロール機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps) およびロースピード (1.5Mbps) に対応
- ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(7) ファンクションコントロール機能選択時の特長

- ハイスピード転送 (480Mbps) およびフルスピード転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(8) その他の機能

- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n=0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

21.2 入出力端子

USB の端子構成を表 21.1 に示します。

表 21.1 USB の端子構成

端子名	名 称	入出力	機能
XIN	USB 用水晶 / 外部クロック	入力	USB 動作の水晶発振子または外部クロックを接続します。
XOUT	USB 用水晶発振子	出力	USB 動作の水晶発振子を接続します。
MODE7	USB クロックモード制御	入力	USB クロックモードを選択します。 0 : XIN に外部クロックを入力、XOUT はオープンにします。 1 : XIN、XOUT に、48MHz の水晶発振子を接続します。
DP	D + 信号	入出力	USB D + 信号
DM	D - 信号	入出力	USB D - 信号
VBUS	Vbus 信号	入力	USB Vbus 信号
REFRIN	リファレンス入力	入力	5.6K (±1%) の抵抗を介して VSSQA_USB に接続します。
VDD_USB	USB PHY デジタル部電源	-	USB PHY のデジタル部用電源です。1.25 V (Typ) を入力します。 USB を使用しない場合も電源を供給してください。
VSS_USB	USB PHY デジタル部グランド	-	USB PHY のデジタル部用グランドです。0V を入力します。 USB を使用しない場合も接地してください。
VDDQ_USB	USB PHY デジタル部電源	-	USB PHY のデジタル部用電源です。3.3 V (Typ) を入力します。 USB を使用しない場合も電源を供給してください。
VSSQ_USB	USB PHY デジタル部グランド	-	USB PHY のデジタル部用グランドです。0V を入力します。 USB を使用しない場合も接地してください。
VDDA_USB	USB PHY アナログ部電源	-	USB PHY のアナログ部用電源です。1.25 V (Typ) を入力します。 USB を使用しない場合も電源を供給してください。
VSSA_USB	USB PHY アナログ部グランド	-	USB PHY のアナログ部用グランドです。0V を入力します。 USB を使用しない場合も接地してください。
VDDQA_USB	USB PHY アナログ部電源	-	USB PHY のアナログ部用電源です。3.3 V (Typ) を入力します。 USB を使用しない場合も電源を供給してください。
VSSQA_USB	USB PHY アナログ部グランド	-	USB PHY のアナログ部用グランドです。0V を入力します。USB を使用しない場合も接地してください。
UV12	USB PHY デジタル部電源	-	USB PHY のデジタル部用電源です。1.25 V (Typ) を入力します。 USB を使用しない場合も電源を供給してください。
UG12	USB PHY デジタル部グランド	-	USB PHY のデジタル部用グランドです。0V を入力します。 USB を使用しない場合も接地してください。

21.3 レジスタの説明

USB のレジスタ構成を表 21.2 に示します。また、各処理モードにおけるレジスタの状態を表 21.3 に示します。

表 21.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	H'FE40 0000	16
CPU バスウェイト設定レジスタ	BUSWAIT	R/W	H'FE40 0002	16
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	H'FE40 0004	16
デバイスステートコントロールレジスタ	DVSTCTR	R/W	H'FE40 0008	16
テストモードレジスタ	TESTMODE	R/W	H'FE40 000C	16
DMA0-FIFO バスコンフィギュレーションレジスタ	D0FBCFG	R/W	H'FE40 0010	16
DMA1-FIFO バスコンフィギュレーションレジスタ	D1FBCFG	R/W	H'FE40 0012	16
CFIFO ポートレジスタ	CFIFO	R/W	H'FE40 0014	8、16、32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'FE40 0018 H'FE40 0180	8、16、32
D1FIFO ポートレジスタ	D1FIFO	R/W	H'FE40 001C H'FE40 01C0	8、16、32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'FE40 0020	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'FE40 0022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'FE40 0028	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'FE40 002A	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'FE40 002C	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'FE40 002E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'FE40 0030	16
割り込み許可レジスタ 1	INTENB1	R/W	H'FE40 0032	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'FE40 0036	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'FE40 0038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'FE40 003A	16
SOF 出力コンフィギュレーションレジスタ	SOFCFG	R/W	H'FE40 003C	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'FE40 0040	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'FE40 0042	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'FE40 0046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'FE40 0048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'FE40 004A	16
フレームナンバーレジスタ	FRMNUM	R/W	H'FE40 004C	16
μフレームナンバーレジスタ	UFRMNUM	R/W	H'FE40 004E	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
USB アドレスレジスタ	USBADDR	R	H'FE40 0050	16
USB リクエストタイプレジスタ	USBREQ	R	H'FE40 0054	16
USB リクエストバリューレジスタ	USBVAL	R	H'FE40 0056	16
USB リクエストインデックスレジスタ	USBINDX	R	H'FE40 0058	16
USB リクエストレングスレジスタ	USBLENG	R	H'FE40 005A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'FE40 005C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'FE40 005E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'FE40 0060	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'FE40 0064	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'FE40 0068	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'FE40 006A	16
パイプマックスパケットサイズレジスタ	PEMAXP	R/W	H'FE40 006C	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'FE40 006E	16
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'FE40 0070	16
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'FE40 0072	16
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'FE40 0074	16
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'FE40 0076	16
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'FE40 0078	16
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'FE40 007A	16
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'FE40 007C	16
パイプ8 コントロールレジスタ	PIPE8CTR	R/W	H'FE40 007E	16
パイプ9 コントロールレジスタ	PIPE9CTR	R/W	H'FE40 0080	16
パイプ1 トランザクションカウンタタイネーブルレジスタ	PIPE1TRE	R/W	H'FE40 0090	16
パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'FE40 0092	16
パイプ2 トランザクションカウンタタイネーブルレジスタ	PIPE2TRE	R/W	H'FE40 0094	16
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'FE40 0096	16
パイプ3 トランザクションカウンタタイネーブルレジスタ	PIPE3TRE	R/W	H'FE40 0098	16
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'FE40 009A	16
パイプ4 トランザクションカウンタタイネーブルレジスタ	PIPE4TRE	R/W	H'FE40 009C	16
パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'FE40 009E	16
パイプ5 トランザクションカウンタタイネーブルレジスタ	PIPE5TRE	R/W	H'FE40 00A0	16
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'FE40 00A2	16
デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	R/W	H'FE40 00D0	16
デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	R/W	H'FE40 00D2	16
デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	R/W	H'FE40 00D4	16
デバイスアドレス3 コンフィギュレーションレジスタ	DEVADD3	R/W	H'FE40 00D6	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
デバイスアドレス 4 コンフィグレーションレジスタ	DEVADD4	R/W	H'FE40 00D8	16
デバイスアドレス 5 コンフィグレーションレジスタ	DEVADD5	R/W	H'FE40 00DA	16
デバイスアドレス 6 コンフィグレーションレジスタ	DEVADD6	R/W	H'FE40 00DC	16
デバイスアドレス 7 コンフィグレーションレジスタ	DEVADD7	R/W	H'FE40 00DE	16
デバイスアドレス 8 コンフィグレーションレジスタ	DEVADD8	R/W	H'FE40 00E0	16
デバイスアドレス 9 コンフィグレーションレジスタ	DEVADD9	R/W	H'FE40 00E2	16
デバイスアドレス A コンフィグレーションレジスタ	DEVADDA	R/W	H'FE40 00E4	16

表 21.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	スタンバイ	モジュールスタンバイ	スリープ
SYSCFG	初期化	保持	保持	保持
BUSWAIT	初期化	保持	保持	保持
SYSSTS	初期化	保持	保持	保持
DVSTCTR	初期化	保持	保持	保持
TESTMODE	初期化	保持	保持	保持
D0FBCFG	初期化	保持	保持	保持
D1FBCFG	初期化	保持	保持	保持
CFIFO	初期化	保持	保持	保持
D0FIFO	初期化	保持	保持	保持
D1FIFO	初期化	保持	保持	保持
CFIFOSEL	初期化	保持	保持	保持
CFIFOCTR	初期化	保持	保持	保持
D0FIFOSEL	初期化	保持	保持	保持
D0FIFOCTR	初期化	保持	保持	保持
D1FIFOSEL	初期化	保持	保持	保持
D1FIFOCTR	初期化	保持	保持	保持
INTENB0	初期化	保持	保持	保持
INTENB1	初期化	保持	保持	保持
BRDYENB	初期化	保持	保持	保持
NRDYENB	初期化	保持	保持	保持
BEMPENB	初期化	保持	保持	保持
SOFCFG	初期化	保持	保持	保持
INTSTS0	初期化	保持	保持	保持
INTSTS1	初期化	保持	保持	保持
BRDYSTS	初期化	保持	保持	保持
NRDYSTS	初期化	保持	保持	保持
BEMPSTS	初期化	保持	保持	保持
FRMNUM	初期化	保持	保持	保持
UFRMNUM	初期化	保持	保持	保持
USBADDR	初期化	保持	保持	保持
USBREQ	初期化	保持	保持	保持
USBVAL	初期化	保持	保持	保持
USBINDX	初期化	保持	保持	保持
USBLENG	初期化	保持	保持	保持
DCPCFG	初期化	保持	保持	保持
DCPMAXP	初期化	保持	保持	保持

レジスタ略称	パワーオンリセット	スタンバイ	モジュールスタンバイ	スリープ
DCPCTR	初期化	保持	保持	保持
PIPESEL	初期化	保持	保持	保持
PIPECFG	初期化	保持	保持	保持
PIPEBUF	初期化	保持	保持	保持
PIPEMAXP	初期化	保持	保持	保持
PIPEPERI	初期化	保持	保持	保持
PIPE1CTR	初期化	保持	保持	保持
PIPE2CTR	初期化	保持	保持	保持
PIPE3CTR	初期化	保持	保持	保持
PIPE4CTR	初期化	保持	保持	保持
PIPE5CTR	初期化	保持	保持	保持
PIPE6CTR	初期化	保持	保持	保持
PIPE7CTR	初期化	保持	保持	保持
PIPE8CTR	初期化	保持	保持	保持
PIPE9CTR	初期化	保持	保持	保持
PIPE1TRE	初期化	保持	保持	保持
PIPE1TRN	初期化	保持	保持	保持
PIPE2TRE	初期化	保持	保持	保持
PIPE2TRN	初期化	保持	保持	保持
PIPE3TRE	初期化	保持	保持	保持
PIPE3TRN	初期化	保持	保持	保持
PIPE4TRE	初期化	保持	保持	保持
PIPE4TRN	初期化	保持	保持	保持
PIPE5TRE	初期化	保持	保持	保持
PIPE5TRN	初期化	保持	保持	保持
DEVADD0	初期化	保持	保持	保持
DEVADD1	初期化	保持	保持	保持
DEVADD2	初期化	保持	保持	保持
DEVADD3	初期化	保持	保持	保持
DEVADD4	初期化	保持	保持	保持
DEVADD5	初期化	保持	保持	保持
DEVADD6	初期化	保持	保持	保持
DEVADD7	初期化	保持	保持	保持
DEVADD8	初期化	保持	保持	保持
DEVADD9	初期化	保持	保持	保持
DEVADDA	初期化	保持	保持	保持

21.3.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、ハイスピード動作の許可、ホストコントローラ機能またはファンクションコントローラ機能の選択、DP、DM 端子の制御および本モジュールの動作許可制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	SCKE	0	R/W	USB モジュールクロック許可 本モジュールへの 48MHz クロック供給の停止 / 許可を指定します。 0 : USB モジュールへのクロック供給停止 1 : USB モジュールへのクロック供給許可 本ビットが0の場合、本レジスタおよび BUSWAIT レジスタのみ、読み出し / 書き込みができます。 USB モジュール内の他のレジスタは、読み出しはできますが、書き込みはできません。
9、8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	HSE	0	R/W	ハイスピード動作許可 0 : ハイスピード動作禁止 ファンクションコントローラ機能選択時 : フルスピード動作のみ ホストコントローラ機能選択時 : フルスピードのみ動作 1 : ハイスピード動作許可 (本モジュールが通信スピードを検出します) (1) ホストコントローラ機能選択時 HSE = 0 を設定した場合、USB ポートはフルスピード動作を行います。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的に USB ポートをハイスピードまたはフルスピード動作を行います。 本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 (USBRESET = 1 設定前) の間に行ってください。 (2) ファンクションコントローラ機能選択時 HSE = 0 を設定した場合、本モジュールはフルスピード動作を行います。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的にハイスピードまたはフルスピード動作を行います。 本ビットの書き換えは、DPRPU = 0 のときに行ってください。

ビット	ビット名	初期値	R/W	説明
6	DCFM	0	R/W	<p>コントローラ機能選択</p> <p>本モジュールの機能を選択します。</p> <p>0 : ファンクションコントローラ機能を選択</p> <p>1 : ホストコントローラ機能を選択</p> <p>本ビットの変更は、DPRPU=0 かつ DRPD=0 のときに行ってください。</p>
5	DRPD	0	R/W	<p>D+ / D-ライン抵抗制御</p> <p>ホストコントローラ機能選択時、D+ / D-ラインのプルダウンの禁止 / 許可を指定します。</p> <p>0 : プルダウン禁止</p> <p>1 : プルダウン許可</p> <p>本ビットの 1 への設定は、ホストコントロール機能選択時に行ってください。</p> <p>ファンクションコントロール機能選択時は、0 を設定してください。</p>
4	DPRPU	0	R/W	<p>D+ライン抵抗制御</p> <p>ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止 / 許可を指定します。</p> <p>0 : プルアップ禁止</p> <p>1 : プルアップ許可</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは D+ラインを 3.3V にプルアップし、USB ホストに対してアタッチを通知することができます。また、本ビットを 1 から 0 に変更することにより、本モジュールは D+ラインのプルアップを解消しますので、USB ホストに対してデタッチしたと見せることができます。</p> <p>本ビットへの 1 設定は、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、0 を設定してください。</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	USBE	0	R/W	<p>USB モジュール動作許可</p> <p>本モジュールの動作禁止 / 許可を指定します。</p> <p>0 : USB モジュール動作禁止</p> <p>1 : USB モジュール動作許可</p> <p>本ビットを 1 から 0 に変更したときに初期化されるレジスタとビットを表 21.4 と表 21.5 に示します。</p> <p>本ビットの変更は、SCKE=1 のときに行ってください。</p> <p>ホストコントローラ機能選択時は、DRPD=1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB E=1 設定を行ってください。</p>

表 21.4 USBE = 0 書き込みにより初期化されるレジスタ (ファンクションコントローラ機能選択時)

レジスタ名	ビット名	備 考
SYSSTS	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USEREQ	BRequest、bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 21.5 USBE = 0 書き込みにより初期化されるレジスタ (ホストコントローラ機能選択時)

レジスタ名	ビット名	備 考
DVSTCTR	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持
UFRMNUM	UFRNM	ファンクションコントローラ機能選択時は値保持

21.3.2 CPU バスウェイトレジスタ (BUSWAIT)

BUSWAIT は、CPU から本モジュールに対するアクセスウェイト数を指定します。

SYSCFG レジスタの SCKE ビットが 0 の場合であっても、本レジスタへの書き込みは可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BWAIT [3:0]	1111	R/W	CPU バスウェイト 本モジュールに対するアクセスウェイト数を設定します。 0000 ~ 0011 : 設定禁止 0100 : 4 ウェイト (アクセスサイクル 6) 0110 : 6 ウェイト (アクセスサイクル 8) : 1111 : 15 ウェイト (アクセスサイクル 17) 初期値

本コントローラの H'04 アドレス以降のレジスタへのアクセスサイクルには、以下のような制約があります。

ウェイト制約: 本コントローラのレジスタへの連続アクセスのサイクルは、80ns 以上でなければなりません。

本制約を満たすために、入力する SHwy クロックの周波数によりウェイト制御する必要があります。

初期値は最大値 (17 クロックサイクル) ですので、最適な設定値を選択してください。

以下に SHwy クロックの MIN、MAX 時の BWAIT の計算方法と設定値を示します。

[計算式]

$$80\text{ns} \div \{(1 \div \text{使用SHwyクロック周波数}) \div 10^{-9}\} - 1$$

[SHwy クロックに対する BWAIT 設定値]

<SHwy クロック> <BWAIT 設定値>

80MHz 0100

108MHz 0110

21.3.3 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットおよび USB リセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	LNST[1:0]	不定*	R	USB データラインステータスマニタ USB データバスライン (D+ライン、D-ライン) のステータスが表示されます。USB データバスラインステータスを表 21.6 に示します。 本ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (DPRPU = 1 設定) 以後、ホストコントローラ機能選択時には、ブルダウん許可 (DRPD = 1 設定) 以後に行ってください。

【注】 * DP、DM 端子の状態に依存します。

表 21.6 USB データバスラインステータス表

LNST[1]	LNST[0]	ロースピード動作時 (ホストコントローラ 機能選択時のみ)	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	UnSquelch	Chirp J
1	0	J-State	K-State	Invalid	Chirp K
1	1	SE1	SE1	Invalid	Invalid

【記号説明】

Chirp : ハイスピード動作許可の状態 (SYSCFG.HSE = 1) でリセットハンドシェイクプロトコル (RHSP) 実行中

Squelch : SE0 またはアイドル状態

UnSquelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

21.3.4 デバイスステートコントロールレジスタ (DVSTCTR)

DVSTCTR は、USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。USB バスリセットでは、WKUP ビットは初期化され、RESUME ビットは不定になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	WKUP	0	R/W*	<p>ウェイクアップ出力</p> <p>ファンクションコントロール機能選択時に、USB バス上へのリモートウェイクアップ (レジェーム信号出力) 禁止 / 許可を指定します。</p> <p>0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力</p> <p>本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに1を設定すると、本モジュールは10msのK-Stateを出力した後、本ビットを0にします。</p> <p>USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに1を書き込んで、2ms待ってからK-Stateを出力します。</p> <p>本ビットへの1書き込みは、デバイスステートがサスペンド (INTSTS0.DVSQ = 1xx) であり、かつUSBホストからリモートウェイクアップが許可されている場合のみ行ってください。本ビットを1に設定する場合は、サスペンド中であっても内部クロックを停止しないでください。(SCKE = 1の状態ではWKUP = 1を書き込んでください。)</p> <p>ホストコントロール機能選択時は、0を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>ウェイクアップ検出許可</p> <p>ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止 / 許可を指定します。</p> <p>0: ダウンポートリモートウェイクアップ出力禁止 1: ダウンポートリモートウェイクアップ許可</p> <p>本ビットを 1 に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5 μs 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。</p> <p>本ビットを 0 に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。</p> <p>本ビットを 1 に設定したときには、サスペンド中であっても内部クロックを停止しないでください (SCKE = 1 の状態にしてください)。また、サスペンド状態からの USB バスリセット実行 (USBRSST = 1 設定) は行わないでください。USB Specification2.0 で禁止されています。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>
6	USBRSST	0	R/W	<p>バスリセット出力</p> <p>ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。</p> <p>0: USB バスリセット信号非出力 1: USB バスリセット信号出力</p> <p>ホストコントローラ機能選択時、本ビットを 1 に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。このとき、HSE ビットが 1 の場合、Reset Handshake Protocol を実行します。</p> <p>本モジュールは、USBRSST = 1 の期間 (ソフトウェアが USBRSST = 0 を書き込むまで) SE0 出力を継続します。USBRSST = 1 の期間 (USB バスリセット期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>通信中 (UACT = 1) またはレジューム中 (RESUME = 1) に本ビットに 1 を書き込んだ場合、本モジュールは UACT = 0 かつ RESUME = 0 の状態になるまで USB バスリセットを開始しません。</p> <p>USB バスリセット終了 (USBRSST = 0 書き込み) と同時に UACT ビットに 1 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
5	RESUME	0	R/W	<p>レジューム出力</p> <p>ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。</p> <p>0: レジューム信号非出力 1: レジューム信号出力</p> <p>本ビットを1に設定すると、本モジュールはポートを K-State ドライブし、レジューム出力を行います。</p> <p>本モジュールは、RESUME = 1 の期間 (ソフトウェアが RESUME = 0 を書き込むまで) K-State 出力を継続します。RESUME = 1 の期間 (レジューム期間) は USB Specification 2.0 に準拠した時間を確保してください。</p> <p>本ビットへの1書き込みは、サスペンド中のみ行ってください。</p> <p>レジューム終了 (RESUME = 0 書き込み) と同時に UACT ビットに1を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF または μSOF パケットの送出制御) を行います。</p> <p>0: ダウンポート動作禁止 (SOF / μ SOF 送出禁止) 1: ダウンポート動作許可 (SOF / μ SOF 送出許可)</p> <p>本ビットを1に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。</p> <p>ソフトウェアが UACT = 1 を書き込んでから、1 (マイクロ) フレーム時間以内に SOF / μ SOF 出力を開始します。</p> <p>本ビットを0に設定した場合、本モジュールは SOF / μ SOF 出力後アイドル状態に遷移します。</p> <p>以下の場合に、本モジュールは本ビットを0に設定します。</p> <ul style="list-style-type: none"> • 通信中 (UACT = 1 設定時) に DTCH 割り込みを検出した場合 • 通信中 (UACT = 1 設定時) に EOFERR 割り込みを検出した場合 <p>本ビットへの1書き込みは、USB リセット処理終了時 (USB RST = 0 書き込み) または、サスペンドからのレジューム処理終了時 (RESUME = 0 書き込み) のいずれかのタイミングで行ってください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	RHST[2:0]	000	R	<p>リセットハンドシェイク</p> <p>リセットハンドシェイクの状態を表示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>000 : 通信速度不定 (パワード時あるいは非接続時)</p> <p>1xx : リセットハンドシェイク処理中</p> <p>001 : ロースピード接続時</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>ソフトウェアで USBRST = 1 書き込み後、本ビットは 100 を示します。</p> <p>ポートに対して HSE = 1 を設定している場合、本モジュールが周辺デバイスからの ChirpK を検出した時点で、本ビットは 111 を示します。</p> <p>ソフトウェアが USBRST = 0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。</p> <p>(2) ファンクションコントロール機能選択時</p> <p>000 : 通信速度不定</p> <p>100 : リセットハンドシェイク処理中</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>HSE = 1 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 100 を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは 011 を示します。</p> <p>ChirpK 出力後、2.5ms 以内にハイスピードに確定しなければ、本ビットは 010 を示します。</p> <p>HSE = 0 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 010 を示します。</p> <p>本モジュールが USB バスリセットを検出後、RHST ビットが 010 または 011 に確定した時点で、DVST 割り込みが発生します。</p>

【注】 * 1 書き込みのみ有効です。

21.3.5 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>本ビットに値を書き込むことにより、本モジュールは、ハイスピード動作時の USB テスト信号を出力します。</p> <p>表 21.7 に本モジュールのテストモード動作表を示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>DRPD = 1 書き込み後に本ビットの設定が可能です。DPRD = 1 かつ UACT = 1 を設定した USB ポートに対して、本モジュールは波形出力を行います。また、USB ポートに対してハイスピード終端を行います。</p> <ul style="list-style-type: none"> UTST ビット設定手順は以下のとおりです。 <ol style="list-style-type: none"> パワーオンリセット クロック起動(水晶発振および USB PLL 安定後 SCKE ビットに 1 を設定) DCFMD = 1、DPRD = 1 (HSE = 1 の設定は必要ありません。) USBE = 1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 UTST ビット変更手順は以下のとおりです。 <ol style="list-style-type: none"> (上記 6. の状態で) UACT = 0、USBE = 0 USBE = 1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 <p>Test_SE0_NAK (1011) 設定時は、UACT = 1 を設定したポートに対しても本モジュールは SOF パケットを出力しません。</p> <p>Test_Force_Enable (1101) 設定時は、UACT = 1 を設定したポートに対して、本モジュールは SOF パケットを出力します。また、本モード設定時には、本モジュールがハイスピードディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは検出に付随するハードウェア制御を行いません。</p> <p>UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定にしてください。</p> <p>テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>本ビットに 0001 ~ 0100 を設定している時には、本モジュールはサスペンド状態へ遷移しません。</p>

表 21.7 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Test_Force_Enable	-	1101
Reserved	0101 ~ 0111	1110 ~ 1111

21.3.6 DMA-FIFO バスコンフィグレーションレジスタ (D0FBCFG、D1FBCFG)

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DFACC	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	DFACC	00	R/W	DMA n -FIFO バッファアクセスモード ($n=0, 1$) DMA0-FIFO あるいは DMA1-FIFO ポートのアクセスモードを指定 00: サイクルスチルモード (初期値) 01: 16 バイト連続アクセスモード 10: 32 バイト連続アクセスモード 11: 無効
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3.7 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し / 書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード / ライトを行う本ポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てられるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特徴があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- DMA転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD1FIFOあるいはD0FIFOポートアクセスも可能です。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA転送機能使用時など)。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の 2 種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスができません。
- 表21.2のD0FIFOポートレジスタ、D1FIFOポートレジスタに記載してあるH'FE40 0180とH'FE40 01C0は16/32バイト連続アクセス用のアドレスです。16/32バイト連続アクセスを行う場合は必ずビット幅を32ビット幅で行ってください。エンディアンはどちらでも構いません。

CFIFOにCPUアクセス、D0FIFOあるいはD1FIFOに対して、サイクルスチールもしくはCPUアクセスを行う場合は、H'FE40 0014、H'FE40 0018あるいはH'FE40 001Cにアクセスしてください。

ただし、C/D0/D1FIFOに対してリトルエンディアンで32ビット幅以外のビット幅でアクセスする場合はアドレスが変更になります。詳細は表21.8～表21.10を参照してください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	すべて 0	R/W	FIFO ポート 本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。 本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR または D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。 本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値により異なります。有効ビットを、表 21.8 ~ 表 21.10 に示します。

表 21.8 32 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0	アクセスアドレス		
					CFIFO	D0FIFO	D1FIFO
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス	H'FE40 0014	H'FE40 0018	H'FE40 001C
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス			

表 21.9 16 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0	アクセスアドレス		
					CFIFO	D0FIFO	D1FIFO
0	書き込み：無効、読み出し：禁止*		N+1 アドレス	N+0 アドレス	H'FE40 0016	H'FE40 001A	H'FE40 001E
1	N+0 アドレス	N+1 アドレス	書き込み：無効、読み出し：禁止*		H'FE40 0014	H'FE40 0018	H'FE40 001C

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 21.10 8 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0	アクセスサイズ		
					CFIO	D0FIFO	D1FIFO
0	書き込み：無効、読み出し：禁止*			N+0 アドレス	H'FE40 0017	H'FE40 001B	H'FE40 001F
1	N+0 アドレス	書き込み：無効、読み出し：禁止*			H'FE40 0014	H'FE40 0018	H'FE40 001C

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

21.3.8 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

CFIFOSEL、D0FIFOSEL、D1FIFOSEL は、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード CFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0: CFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO 受信データ読み出しごとに DTLN ビットをカウントダウン
14	REW	0	R/W*	バッファポインタリワインド バッファポインタのリワインドをする / しないを指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができず (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。 送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11、10	MBW[1:0]	00	R/W	<p>CFIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット / 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>CFIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	ISEL	0	R/W	<p>DCP 選択時の CFIFO ポートアクセス方向</p> <p>0 : バッファメモリ読み出し選択</p> <p>1 : バッファメモリ書き込み選択</p> <p>選択パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。</p> <p>本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>

ビット	ビット名	初期値	R/W	説 明
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	CURPIPE [3:0]	0000	R/W	CFIFO ポートアクセスパイプ指定 CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 0000 : DCP 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

【注】 * 0 読み出しのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIG END	—	—	—	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。</p> <p>0: DnFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面分の読み出し終了時)</p> <p>1: DnFIFO 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドをする / しないを指定します。</p> <p>0: バッファポインタリワインドしない</p> <p>1: バッファポインタリワインドする</p> <p>選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができず(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに 1 を設定しないでください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13	DCLRM	0	R/W	<p>選択パイプのデータ読み出し後の自動バッファメモリクリアモード</p> <p>選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。</p> <p>0: 自動バッファクリアモード禁止</p> <p>1: 自動バッファクリアモード許可</p> <p>本ビットに 1 を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE = 1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR = 1 処理を本モジュールが行います。</p> <p>BRDYM = 1 に設定して本モジュールを使用するときには、必ず本ビットに 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求発行の禁止 / 許可を指定します。</p> <p>0 : DMA 転送要求禁止</p> <p>1 : DMA 転送要求許可</p> <p>DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。</p> <p>CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>DnFIFO ポートアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット / 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>DnFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>D0FIFO / D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。</p>

【注】 * 0読み出しのみ有効です。

21.3.9 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

CFIFOCTR、D0FIFOCTR、D1FIFOCTR は、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*2	R/W*1	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W*2	<p>バッファメモリ有効フラグ</p> <p>CURPIPE に指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。</p> <p>0: 無効</p> <p>1: 書き込み終了</p> <p>選択パイプが送信方向のとき、以下の場合に本ビットに 1 を設定してください。本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本ビットに 1 を設定 • 連続転送モードのパイプに対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに 1 を設定 <p>連続転送モードのパイプに対して MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>本ビットへの 1 書き込みは、本モジュールが FRDY = 1 を示しているときに実施してください。</p> <p>選択パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W ^{*1}	<p>CPU バッファクリア</p> <p>選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : CPU 側バッファメモリクリア</p> <p>選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。</p> <p>選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR = 1 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR = 1 を行ってください。</p> <p>選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>選択パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本モジュールが FRDY = 1 を示しているときに実施してください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>CPU (DMAC) から FIFO ポートにアクセス可能かどうかが表示されます。</p> <p>0 : FIFO ポートアクセス不可</p> <p>1 : FIFO ポートアクセス可能</p> <p>以下の場合には、本モジュールは FRDY = 1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR = 1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合。 BFRE = 1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN [11:0]	H'000	R	<p>受信データ長</p> <p>受信データ長が表示されます。</p> <p>FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT = 0 設定時 : CPU (DMAC) が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE = 1 設定時には、読み出しが完了しても BCLR = 1 を行うまでは本モジュールは受信データ長を保持します。 • RCNT = 1 設定時 : 読み出し毎に本モジュールは DTLN ビットの表示をダウンカウントします。 (MBW = 0 設定時は-1、MBW = 1 設定時は-2 ずつダウンカウント) 1 面分の FIFO バッファ読み出し完了時に、本モジュールは DTLN = 0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。 RCNT = 1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後 150ns 後までに本モジュールは本ビットの更新値を表示します。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

21.3.10 割り込み許可レジスタ 0 (INTENB0)

INTENB0 は、各割り込みマスクの指定を行います。ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可* RESM 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOFR 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可* DVST 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可* CTRT 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 BEMP 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * RSME ビット、DVSE ビットおよび CTRE ビットは、ファンクションコントロール機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

21.3.11 割り込み許可レジスタ 1 (INTENB1)

INTENB1 は、ホストコントローラ機能選択時の割り込みマスクの設定を行います。

ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	SIGNE	SACKE	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATT CHE	0	R/W	接続検出割り込み許可 ATT CHE 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10-7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	EOFERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 INTENB1 レジスタによる割り込み許可は、ホストコントロール機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

21.3.12 BRDY 割り込み許可レジスタ (BRDYENB)

BRDYENB は、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを 1 に設定することを禁止するか / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BRDY ビットに 1 を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

21.3.13 NRDY 割り込み許可レジスタ (NRDYENB)

NRDYENB は、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを 1 に設定することを禁止する / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが NRDY 割り込み要因を検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの NRDY ビットに 1 を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは NRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

21.3.14 BEMP 割り込み許可レジスタ (BEMPENB)

BEMPENB は、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを 1 に設定することを禁止する / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BEMP 割り込み要因を検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BEMP ビットに 1 を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BEMP 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

21.3.15 SOF 制御レジスタ (SOFCFG)

SOFCFG は、トランザクションの有効期間や BRDY 割り込みステータスクリアタイミングなどを指定します。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRNEN SEL	—	BRDYM	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0*	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	TRNENSEL	0	R/W	トランザクション有効期限切り替えビット フルスピードまたはロースピード通信中のポートにおいて、1 フレーム中に本モジュールがトークン発行を行う期間 (トランザクション有効期間) を指定します。 0: ロースピード未対応 1: ロースピード対応 本ビットは、ホストコントロール機能選択時のみ有効です。また、ホストコントロール機能選択時であってもハイスピードのトランザクション有効期間には影響しません。 ファンクションコントローラ機能選択時は、0 を設定してください。
7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング設定 各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。 0: ソフトウェアがステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスをクリア
5	-	0*	R	リザーブビット 本ビットはリザーブビットです。直前に読み出した値を書き込むようにしてください。 【注】パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。

21.3.16 割り込みステータスレジスタ 0 (INTSTS0)

INTSTS0 は、各検出された割り込みのステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVSQ[2:0] ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値:	0	0	0	0	0	0	0	0	*3	*2	*2	*2	0	0	0	0
R/W:	R/W*7	R/W*7	R/W*7	R/W*7	R/W*7	R	R	R	R	R	R	R	R/W*7	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*7	VBUS 割り込みステータス*4*5 0: VBUS 割り込み非発生 1: VBUS 割り込み発生 本モジュールが VBUS 端子入力値の変化(ハイレベルからローレベルへの変化あるいはローレベルからハイレベルへの変化)を検出したときに、本ビットに 1 を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの回数一致を行い、チャタリング除去を実施してください。
14	RESM	0	R/W*7	レジューム割り込みステータス*4*5*6 0: レジューム割り込み非発生 1: レジューム割り込み発生 ファンクションコントローラ機能設定時、本モジュールがサスペンド状態 (DVSQ = 1XX) であり、かつ、DP 端子の立ち下りを検出したときに、本ビットに 1 を表示します。 ホストコントローラ機能選択時、読み出し値は無効です。
13	SOFR	0	R/W*7	フレーム番号更新割り込みステータス*4 0: SOF 割り込み非発生 1: SOF 割り込み発生 (1) ホストコントローラ機能設定時 ソフトウェアが UACT ビットを 1 に設定しているとき、フレームナンバーの更新タイミングで本ビットに 1 を表示します。(本割り込みは、1ms 毎に検出します。) (2) ファンクションコントローラ機能設定時 フレームナンバーの更新時に本モジュールは本ビットに 1 を表示します。(本割り込みは、1ms 毎に検出します。) USB ホストからの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割り込みを検出します。

ビット	ビット名	初期値	R/W	説明
12	DVST	0/1* ¹	R/W* ⁷	<p>デバイスステート遷移割り込みステータス*⁴*⁶</p> <p>0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがデバイスステートの变化を検出したときに、本モジュールは DVSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
11	CTRT	0	R/W* ⁷	<p>コントロール転送ステージ遷移割り込みステータス*⁴*⁶</p> <p>0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
10	BEMP	0	R	<p>バッファEMPTY割り込みステータス</p> <p>0: BEMP 割り込み非発生 1: BEMP 割り込み発生</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが 1 の状態になったとき (ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBEMP ステータスのアサート条件は、「21.4.2(3) BEMP 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが 1 の状態になったとき (ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPENRDY ステータスのアサート条件は、「21.4.2(2) NRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDY 割り込みステータスが表示されます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが 1 の状態になったとき (ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBRDY ステータスのアサート条件は、「21.4.2(1) BRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
7	VBSTS	0 / 1* ³	R	<p>VBUS 入力ステータス</p> <p>0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル</p>

ビット	ビット名	初期値	R/W	説明
6~4	DVSQ[2:0]	000/001*2	R	デバイスステート 000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート ホストコントローラ機能選択時、読み出し値は無効です。
3	VALID	0	R/W*7	USB リクエスト受信 0 : 未検出 1 : セットアップパケット受信 ホストコントローラ機能選択時、読み出し値は無効です。
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止 ホストコントローラ機能選択時、読み出し値は無効です。

- 【注】
- *1 パワーオンリセットのとき B'0、USB バスリセットのとき B'1 です。
 - *2 パワーオンリセットのとき B'000、USB バスリセットのとき B'001 です。
 - *3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。
 - *4 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 の書き込みを行わないでください。
 - *5 VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
 - *6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ファンクションコントローラ機能選択時には対応する割り込み許可ビットを禁止 (0) にしてください。
 - *7 0 書き込みのみ有効です。

21.3.17 割り込みステータスレジスタ 1 (INTSTS1)

INTSTS1 は、各割り込みのステータスを確認するレジスタです。

なお、ファンクションコントローラ機能選択時は INTSTS0 レジスタ、ホストコントローラ機能選択時は INTSTS1 レジスタを利用することにより、どちらか片方のレジスタのみを参照することで割り込みの発生を知ることができます。

本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W*1	R/W*1	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*1	USB バス変化割り込みステータス USB バス変化割り込みステータスが表示されます。 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生 USB ポートでフルスピード / ロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST ビット読み出しの回数一致を行い、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントロール機能選択時、読み出し値は無効です。
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	DTCH	0	R/W*1	<p>USB 切断検出割り込みステータス</p> <p>ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。</p> <p>0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生</p> <p>USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。本モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。</p> <p>本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。</p> <ul style="list-style-type: none"> • DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 • DTCH 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
11	ATTCH	0	R/W*1	<p>ATTCH 割り込みステータス</p> <p>ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p> <p>本モジュールがポートにフルスピード / ロースピード信号レベルの J-State または K-State を 2.5 μs 間検出したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。</p> <p>本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。</p> <ul style="list-style-type: none"> • K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき • J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
10~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6	EOFERR	0	R/W*	<p>EOF エラー検出割り込みステータス</p> <p>ホストコントロール機能選択時、EOFERR 割り込みステータスが表示されます。</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p> <p>USB 2.0仕様で定められている EOF2 タイミング時点で通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込みを発生します。</p> <p>本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。</p> <ul style="list-style-type: none"> • EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示 • EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
5	SIGN	0	R/W*	<p>セットアップトランザクションエラー割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。</p> <p>0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SIGN 割り込み発生をします。</p> <p>本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。</p> <ul style="list-style-type: none"> • 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検出したとき • ACK バケットが破損したとき • ACK 以外のハンドシェイク (NAK, NYET, または STALL) を受信したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
4	SACK	0	R/W*1	<p>セットアップトランザクション正常応答割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。</p> <p>0 : SACK 割り込み非発生 1 : SACK 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SACK 割り込みを発生します。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

- 【注】 *1 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。
- *2 BCHG ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。BCHG ビット以外の割り込みは、クロック停止中 (SCKE = 0) は検出しません。

21.3.18 BRDY 割り込みステータスレジスタ (BRDYSTS)

BRDYSTS は、各パイプの BRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDY	0	R/W*1	パイプ 9 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BRDY	0	R/W*1	パイプ 8 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BRDY	0	R/W*1	パイプ 7 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ 6 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ 5 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ 4 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ 3 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ 2 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ 1 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BRDY	0	R/W* ¹	パイプ 0 の BRDY 割り込みステータス* ² 0 : 割り込み非発生 1 : 割り込み発生

【注】 *1 BRDYM = 0 設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 BRDYM = 0 設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

21.3.19 NRDY 割り込みステータスレジスタ (NRDYSTS)

NRDYSTS は、各パイプの NRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDY	0	R/W*	パイプ 9 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ 8 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ 7 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ 6 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ 5 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ 4 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ 3 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ 2 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ 1 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0NRDY	0	R/W*	パイプ 0 の NRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

21.3.20 BEMP 割り込みステータスレジスタ (BEMPSTS)

BEMPSTS は、各パイプの BEMP 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMP	0	R/W*	パイプ 9 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BEMP	0	R/W*	パイプ 8 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ 7 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ 6 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ 5 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ 4 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ 3 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ 2 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ 1 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BEMP	0	R/W*	パイプ 0 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、他のビットには 1 を書き込んでください。

21.3.21 フレームナンバーレジスタ (FRMNUM)

FRMNUM は、アイソクロナスエラー通知の要因判別およびフレーム番号等の表示をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*	<p>オーバラン / アンダラン検出ステータス</p> <p>アイソクロナス転送を行っているパイプに対するオーバラン / アンダランエラー検出の有無が表示されます。</p> <p>0 : エラーなし 1 : エラー発生</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより、本ビットを 0 にクリアすることができます。このとき、本レジスタの他のビットには 1 を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき。 <p>(2) ファンクションコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W*	<p>受信データエラー</p> <p>アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。</p> <p>0 : エラーなし 1 : エラー発生</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより本ビットを 0 にクリアすることができます。</p> <p>このとき本レジスタの他のビットには 1 を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。</p> <p>(2) ファンクションコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させません。</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	FRNM [10:0]	H'000	R	<p>フレーム番号</p> <p>本モジュールは、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

【注】 * 0 書き込みのみ有効です。

21.3.22 μフレームナンバーレジスタ (UFRMNUM)

UFRMNUM は、μフレーム番号を表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	UFRNM[2:0]	000	R	<p>μフレーム</p> <p>μフレーム番号が確認できます。</p> <p>ハイスピード動作時は、本モジュールは、本ビットに μフレーム番号を表示します。</p> <p>ハイスピード以外での動作時には、本ビットに B'000 を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

21.3.23 USB アドレスレジスタ (USBADDR)

USBADDR は、USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時の周辺デバイスアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントロール機能選択時に、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。 本モジュールが USB リセットを検出したとき、本ビットに H'00 を表示します。 ホストコントローラ機能選択時、本ビットは無効です。

21.3.24 USB リクエストタイプレジスタ (USBREQ)

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ は、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

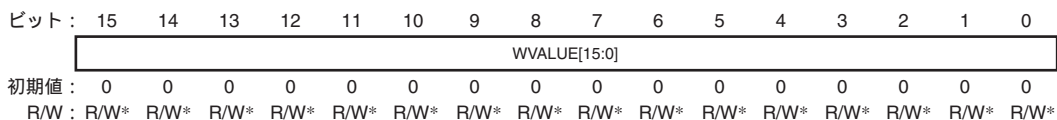
ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

21.3.25 USB リクエストバリュeregスタ (USBVAL)

USBVAL は、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。



ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。本ビットへの書き込みは無効です。

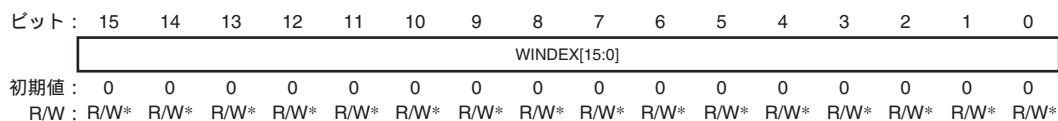
【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

21.3.26 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDEX は、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。



ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。本ビットへの書き込みは無効です。

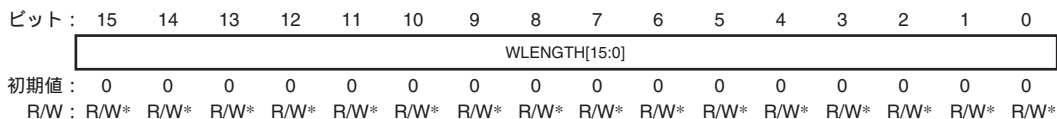
【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

21.3.27 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG は、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。



ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レングス USB リクエスト wLength の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。SUREQ = 1 の状態でビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

21.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)

DCPCFG は、デフォルトコントロールパイプ (DCP) に対して、データの転送方向を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DIR	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0 : データ受信方向 1 : データ送信方向 ファンクションコントロール機能選択時には、本ビットへは0を設定してください。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

21.3.29 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 : : 1001 : アドレス 1001 1010 : アドレス 1010</p> <p>上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>例えば、DEVSEL = 0010 を設定する場合、DEVADD2 レジスタにアドレスの設定を行ってください。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK および SUREQ = 0 の期間に実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時は、本ビットの値を B'0000 に設定してください。</p>
11~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
6~0	MXPS[6:0]	H'40	R/W	<p>マックスパケットサイズ</p> <p>DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。</p> <p>初期値は、H'40 (64 バイト) です。</p> <p>MXPS ビットの設定は、USB 規格に準拠した値を設定してください。</p> <p>MXPS ビットの設定は、CSSTS = 0、PID = NAK および CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS = 0 の設定での FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。</p>

21.3.30 DCP コントロールレジスタ (DCPCTR)

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	CSCLR	CSCTS	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R/W*2	R/W*1	R	R/W*1	R	R	R/W*1	R/W*1	R	R	R/W	R	R/W*1	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP FIFO バッファへのアクセス可否ステータスが表示されます。</p> <p>0 : バッファアクセス不可</p> <p>1 : バッファアクセス可</p> <p>本ビットの意味は、ISEL ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL = 0 のとき、受信データの読み出しが可能かどうかを表示します。 • ISEL = 1 のとき、送信データの書き込みが可能かどうかを表示します。
14	SUREQ	0	R/W*2	<p>SETUP トークン送出</p> <p>ホストコントローラ機能選択時、本ビットを 1 にセットすることにより、セットアップパケットを送信します。</p> <p>0 : 無効</p> <p>1 : セットアップパケット送出</p> <p>SETUP トランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にクリアします。</p> <p>また、SUREQCLR ビットをソフトウェアで 1 にセットする事により、本モジュールは本ビットを 0 にクリアします。</p> <p>DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。</p> <p>SUREQ = 1 を設定する前に、DCP の PID ビットを NAK に設定していることを確認してください。また、本ビットへの 1 設定後、SETUP トランザクションが終了するまで (SUREQ = 1) の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。</p> <p>SETUP トークンを出すときのみ本ビットを 1 にセットしてください。その他のときには、必ず 0 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*1	<p>スプリットトランザクションの C-SPLIT ステータスクリア ホストコントローラ機能選択時に、スプリットトランザクションを使用する転送について、本ビットを 1 にすることにより CSSTS ビットを 0 にクリアすることができます。このとき、DCP の次の転送は S-SPLIT から再開されます。</p> <p>0 : 無効 1 : CSSTS ビットの 0 クリア実行</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>スプリットトランザクションを使用する転送において、強制的に次の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS = 0 のときに本ビットに 1 を設定しても、CSSTS = 0 ままです。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>スプリットトランザクションの COMPLETE SPLIT (C-SPLIT) ステータス ホストコントローラ機能選択時に、スプリットトランザクションの C-SPLIT ステータスが表示されます。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用デバイスの処理中 1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検知したときに本ビットの 0 を表示します。</p> <p>ファンクションコントローラ機能選択時、本ビットの読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
11	SUREQCLR	0	R/W*1	<p>SUREQ ビットクリア</p> <p>ホストコントローラ機能選択時に、本ビットを 1 にすることにより SUREQ ビットをクリアすることができます。</p> <p>0 : 無効 1 : SUREQ ビットの 0 クリア実行</p> <p>本ビットは常に 0 を表示します。</p> <p>SETUP トランザクションにおいて、SUREQ = 1 のまま通信が停止したときに、ソフトウェアで本ビットに 1 を設定してください。正常な SETUP トランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる SUREQ ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
10、9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	SQCLR	0	R/W*1	<p>トグルビットクリア</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定する事ができます。</p> <p>0 : 無効 1 : DATA0 指定</p> <p>本ビットは常に 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSCTS = 0、PID = NAK および CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSCTS = 0、PID = NAK 及び CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	1	R	<p>シーケンストグルビットモニタ</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p> <p>ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、本モジュールは本ビットを 1 にセット (期待値を DATA1 に設定) します。また、ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>DCP が PID ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。</p> <p>0 : DCP はトランザクションで未使用 1 : DCP はトランザクションで使用</p> <p>詳細は「21.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>

ビット	ビット名	初期値	R/W	説明
4	PINGE	0	R/W	<p>PING トークン発行許可</p> <p>ホストコントローラ機能選択時に、本ビットに 1 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。</p> <p>0 : PING トークン発行禁止</p> <p>1 : 通常 PING 動作</p> <p>PING トランザクションにおいて ACK ハンドシェイクを検出した場合、次のトランザクションで OUT トランザクションを実行します。</p> <p>OUT トランザクションにおいて NAK ハンドシェイクを検出した場合、次のトランザクションで PING トランザクションを実行します。</p> <p>ホストコントローラ機能選択時にソフトウェアが本ビットに 0 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションで実行します。</p> <p>本ビットの変更は、CSSTS = 0 かつ PID = NAK のときに実施してください。対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	CCPL	0	R/W*1	<p>コントロール転送終了許可</p> <p>ファンクションコントローラ機能選択時に、本ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。</p> <p>0 : 無効</p> <p>1 : コントロール転送終了許可</p> <p>対応する PID ビットが BUF のとき、ソフトウェアが本ビットに 1 を設定すると、本モジュールはコントロール転送のステージを完了させます。</p> <p>即ち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。</p> <p>新たな SETUP パケットを受信したときに、本モジュールは本ビットを 1 から 0 に変更します。</p> <p>VALID = 1 のとき、ソフトウェアは本ビットへの 1 書き込みを行うことが出来ません。</p> <p>ホストコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
1, 0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>本ビットでコントロール転送における本モジュールの応答を制御します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>(1)ホストコントローラ機能選択時</p> <p>以下の手順で本ビットを NAK から BUF に変更してください。</p> <ul style="list-style-type: none"> 送信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは OUT トランザクション(または PING トランザクション)を実行します。</p> <ul style="list-style-type: none"> 受信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し(空の状態にし)、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは IN トランザクションを実行します。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	PID[1:0]	00	R/W	<p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (11) を表示します。 CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本モジュールが選択パイプにおいてスプリットトランザクションの S-SPLIT 発行後 (CSSTS = 1 表示中) にソフトウェアが本ビットを NAK に変更しても、C-SPLIT 終了までトランザクションを実行します。C-SPLIT 終了時に本モジュールは PID = NAK を表示します。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> 本モジュールが SETUP パケットを受信したときに、本モジュールは本ビットを PID = NAK に変更します。このとき、本モジュールは VALID = 1 を表示し、ソフトウェアで VALID = 0 を設定するまではソフトウェアは本ビットの変更を行うことはできません。 ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (11) を表示します。 本モジュールがコントロール転送シーケンスエラーを検出した場合、PID = STALL (1x) を表示します。 本モジュールが USB パスリセットを検出した場合、PID = NAK を表示します。 <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。</p>

【注】 *1 読み出すと常に 0 が読み出されます。書き込みは 1 のみ有効です。

*2 書き込みは 1 のみ有効です。

21.3.31 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ 1~9 の設定は、PIPESEL、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプをした後、PIPECFG、PIPEBUF、PIPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

パワーオンリセットおよび USB バスリセット時は、選択されているパイプだけではなく、すべてのパイプのレジスタの該当ビットが初期化されます。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	PIPESEL [3:0]	0000	R/W	<p>パイプウィンドウ選択</p> <p>書き込み / 読み出しをの対象とする PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。</p> <p>0000 : 未選択 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットで指定したパイプ番号に対応する PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタの読み出し / 書き込みができます。</p> <p>本ビットに 0000 を設定したときは、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPEnCTR レジスタの各ビットに、すべて 0 が読み出されます。書き込みは無効です。</p>

21.3.32 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15, 14	TYPE[1:0]	00	R/W	<p>転送タイプ</p> <p>PIPESEL ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。</p> <ul style="list-style-type: none"> パイプ1、2の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 パイプ3~5の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: 設定禁止 パイプ6~9の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: 設定禁止 10: インタラプト転送 11: 設定禁止 <p>選択パイプを PID = BUF に設定する (選択したパイプを使用した USB 通信を開始する) 前に、必ず本ビットを 00 以外の値に設定してください。</p> <p>本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
13~11	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定</p> <p>本モジュールから CPU への選択パイプ に関する BRDY 割り込みの発行タイミングを指定します</p> <p>0 : データ送受信で BRDY 割り込み</p> <p>1 : データ読み出し完了時に BRDY 割り込み</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している場合、本モジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。</p> <p>この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR = 1 の書き込み処理を行う必要があります。BCLR = 1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ、選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、「21.4.2(1) BRDY 割り込み」を参照してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。</p> <p>0 : シングルバッファ 1 : ダブルバッファ</p> <p>本ビットはパイプ 1~5 選択時に有効です。</p> <p>ソフトウェアが本ビットに 1 を設定している場合、本モジュールは選択パイプに対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。</p> <p>すなわち、本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1) \times 64 \times (DBLB+1)$ [バイト]</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、PIPEBRDY 割り込みレジスタを参照してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>選択パイプを連続転送モードで通信させるかどうかを指定します。</p> <p>0 : 非連続転送モード 1 : 連続転送モード</p> <p>本ビットは、PIPESEL ビットでパイプ 1~5 を選択し、かつバルク転送選択時 (TYPE = 01) に有効です。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。</p> <p>0 : トランスファ終了時にパイプ継続 1 : トランスファ終了時にパイプ禁止</p> <p>本ビットは、選択パイプがパイプ 1 ~ パイプ 5 であり、かつ、受信方向である場合に有効なビットです。</p> <p>受信方向パイプに対してソフトウェアが本ビットに 1 を設定している場合、本モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。</p> <ul style="list-style-type: none"> • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。 • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。 <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>送信方向パイプに対しては、本ビットを 0 に設定してください。</p>
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>選択パイプの転送方向を指定します。</p> <p>0 : 受信方向 1 : 送信方向</p> <p>ソフトウェアが本ビットに 0 を設定している場合、本モジュールは選択パイプを受信方向に、本ビットに 1 を設定している場合、本モジュールは選択パイプを送信方向に使用します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号</p> <p>選択パイプのエンドポイント番号を指定します。</p> <p>0000 の設定は、未使用パイプを意味します。</p> <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM = 0000 の設定は重複可能です。)</p>

21.3.33 パイプバッファ指定レジスタ (PIPEBUF)

PIPEBUF は、パイプ 1~9 に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]						—	—	BUFNMB[7:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	バッファサイズ PIPESEL ビットに指定したパイプ (選択パイプ) のバッファサイズを指定します。単位はブロック数であり、1 ブロックは 64 バイトです。 00000 (H'00) : 64 バイト 00001 (H'01) : 128 バイト : : 11111 (H'1F) : 2K バイト ソフトウェアが DBLB = 1 を設定している場合、本モジュールは選択パイプに対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。 (BUFSIZE+1)*64*(DBLB+1) [バイト] 選択パイプに応じて、本ビットに設定可能な値が異なります。 パイプ 1~5 の場合 : BUFSIZE = H'00 ~ H'1F を設定してください。 パイプ 6~9 の場合 : BUFSIZE = H'00 を設定してください。 CNTMD = 1 で使用する場合は、本ビットに、MaxPacketSize の整数倍の値を設定してください。 本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	BUFNMB [7:0]	H'00	R/W	<p>バッファ番号</p> <p>選択パイプの FIFO バッファ番号を H'04 ~ H'4F で指定します。</p> <p>選択パイプとしてパイプ 1~5 を設定している場合、本ビットにはユーザシステムに合わせた値を設定することができます。</p> <p>BUFNMB = 0~3 は DCP 専用です。</p> <p>BUFNMB = 4 はパイプ 6 専用です。</p> <p>ただしパイプ 6 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 4 を自動的に割り付けます。</p> <p>BUFNMB = 5 はパイプ 7 専用です。</p> <p>ただしパイプ 7 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 5 を自動的に割り付けます。</p> <p>BUFNMB = 6 はパイプ 8 専用です。</p> <p>ただしパイプ 8 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 6 を自動的に割り付けます。</p> <p>BUFNMB = 7 はパイプ 9 専用です。</p> <p>ただしパイプ 9 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 7 を自動的に割り付けます。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

21.3.34 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPEMAXP は、パイプ 1~9 に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	MXPS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	00	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 : : 1010 : アドレス 1010</p> <p>上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn (n=0~A) レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>例えば、DEVSEL = 0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。</p> <p>本ビットの設定を、PID を BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS = 0 および PBUSY = 0 を確認してから行ってください。本モジュールにより PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません</p> <p>ファンクションコントローラ機能を選択したときは、本ビットの値を B'0000 に設定してください。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	MXPS[10:0]	*	R/W	<p>マックスパケットサイズ</p> <p>選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。パイプごとに設定可能な値の範囲を以下に示します。</p> <p>パイプ 1、2 : 1 バイト (H'001) ~ 1024 バイト (H'400)</p> <p>パイプ 3~5 : 8 バイト (H'008)、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200)</p> <p>([2:0]のビットはありません。)</p> <p>パイプ 6~9 : 1 バイト (H'001) ~ 64 バイト (H'040)</p> <p>MXPS ビットの設定は、転送タイプ毎に USB 規格に準拠した値を設定してください。</p> <p>アイソクロナスパイプをスプリットトランザクションで通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS = 0 の設定での FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。</p>

【注】 * PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

21.3.35 パイプ周期制御レジスタ (PIPEPERI)

パイプ1~9に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ (選択パイプ) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0: バッファフラッシュしない 1: バッファフラッシュする ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバル毎の(マイクロ)フレーム中に USB ホストから IN-Token を本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時 (DBLB = 1 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 ホストコントローラ機能選択時には、本ビットへは 0 を設定してください。 選択パイプの転送タイプがアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV[2:0]	000	R/W	<p>インターバルエラー検出間隔</p> <p>選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。</p> <p>詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK、および CURPIPE ビットに未設定時に実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID = NAK 設定後 ACLRM = 1 をセットし、インターバルタイマの初期化を行ってください。</p> <p>パイプ3~5 に対しては、本ビットは存在しません。パイプ3~5 に対応する本ビットの位置には 000 を設定してください。</p>

21.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9)

パイプ 1~9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

(1) PIPEnCTR (n=1~5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	CSCLR	CSSTS	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*2	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>当該パイプの FIFO バッファステータスが表示されます。</p> <p>0: CPU からのバッファアクセス不可</p> <p>1: CPU からのバッファアクセス可</p> <p>本ビットの意味は、DIR、BFRE および DCLRМ ビットの設定値により表 21.11 に示すように異なります。</p>
14	INBUFM	0	R	<p>送信バッファモニタ</p> <p>当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。</p> <p>0: バッファメモリに送信可能データなし</p> <p>1: バッファメモリに送信可能データあり</p> <p>当該パイプを送信方向 (DIR=1) に設定している場合に、ソフトウェア (または DMAC) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに 1 を表示します。</p> <p>書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに 0 を表示します。</p> <p>ダブルバッファ使用時 (DBLB=1 設定時) には、本モジュールが 2 面分のデータを送信完了しかつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。</p> <p>当該パイプを受信方向 (DIR=0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*2	<p>CSPLIT ステータスクリアビット</p> <p>ホストコントローラ機能選択時に、ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>0 : 書き込み無効</p> <p>1 : CSSTS ビットをクリア</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 ままです。</p> <p>ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>CSSTS ステータスビット</p> <p>ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である</p> <p>1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。</p> <p>本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>自動応答モード</p> <p>当該パイプの自動応答禁止 / 許可を指定します。</p> <p>0 : 自動応答禁止 1 : 自動応答許可</p> <p>ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、本ビットへの 1 設定が可能です。</p> <p>本ビットに 1 を設定した場合、USB ホストからのトークンに対し本モジュールは以下のように応答します。</p> <p>(1) 当該パイプが Bulk-IN 転送 (TYPE = 01 かつ DIR = 1 を設定) の場合 ATREPM = 1 かつ PID = BUF を設定している場合、IN-Token に対して本モジュールは Zero-Length パケットを送信します。</p> <p>USB ホストからの ACK 受信の度に (1 トランザクションは IN-Token 受信 Zero Length パケット送信 ACK 受信)、本モジュールはシーケンスグルビット (DATA-PID) の更新 (トグル) を行います。</p> <p>BRDY 割り込み、BEMP 割り込みは発生させません。</p> <p>(2) 当該パイプが Bulk-OUT 転送 (TYPE = 01 かつ DIR = 0 を設定) の場合 ATREPM = 1 かつ PID = BUF を設定している場合、OUT-Token (または PING-Token) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態で行ってください。本ビットを 1 に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。</p> <p>当該パイプの転送タイプがアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。</p> <p>ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>0 : 禁止</p> <p>1 : 許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 21.12 に示します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、CURPIPE = 0000 と設定しているときに実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W*1	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。</p> <p>SQCLR ビットへの 1 設定は、CSCTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用かどうかが表示されます。</p> <p>0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用</p> <p>詳細は、「21.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 21.13 および表 21.14 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (11) を表示します。 • ファンクションコントロール機能選択時に、USB パスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

表 21.11 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後でソフトウェアが BCLR = 1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 21.12 ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)	
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	FIFO バッファトグル制御	DBLB ビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 21.13 PID ビットによる本モジュールの動作一覧 (ホストコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク または インタラプト	設定値に依存しない	UACT = 1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。 UACT = 0 が設定される、または送受信可能でなければトークンを発行しない。
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する。
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 21.14 PID ビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う ただし、ATREPM = 1 設定時の動作は ATREPM ビットの説明を 参照してください。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う
01 (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならば ACK 応答を行う。受 信可能な状態でなければ NYET 応答を行う
	インタラプト	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	バルク、または インタラプト	送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う。
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならばデータを受信する。 受信可能な状態でなければデータを破棄する。
送信方向 (DIR = 1)		対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する	
10 (STALL) または	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う。
11 (STALL)	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う。

(2) PIPEnCTR (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	CSCLR	CSSTS	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*1	R	R	R	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR、BFRE および ACLRM ビットの設定値により表 21.11 に示すように異なります。
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CSCLR	0	R/W*1	CSPLIT ステータスクリアビット 本ビットを 1 にセットすることにより、当該パイプの CSSTS ビットをクリアします。 0: 書き込み無効 1: CSSTS ビットをクリア スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。 本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 ままです。 ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。
12	CSSTS	0	R	ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。 0: START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である 1: C-SPLIT トランザクション処理中 本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。 本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード*3*4</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>0 : 自動バッファクリアモード禁止</p> <p>1 : 自動バッファクリアモード許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 21.15 に示します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W*1	<p>トグルビットクリア*3*4</p> <p>当該パイプの次回トランザクションにおけるシーケストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。</p> <p>SQCLR ビットへの 1 設定は、CSCTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット*3*4</p> <p>当該パイプの次回トランザクションにおけるシーケストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在 USB バスで使用中心かどうかが表示されます。</p> <p>0 : 当該パイプを USB バスにて未使用 1 : 当該パイプを USB バスにて使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値毎の本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 21.13 および表 21.14 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (11) を表示します。 • ファンクションコントロール機能選択時に、USB パスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

- 【注】 *1 0 読み出し、1 書き込みのみ有効です。
- *2 1 書き込みのみ有効です。
- *3 ACLRM ビット、SQCLR ビット、または、SQSET ビットの設定は、以下の条件を守って行ってください。
CSSTS = 0 および PID = NAK 時および選択パイプを CURPIPE に設定していないときに設定してください。
- *4 ACLRM ビット、SQCLR ビット、または SQSET ビットの設定を、PID = BUF から NAK へ変更した後で変更する

場合は、選択パイプの CSSTS = 0 および PBUSY = 0 を確認してから行ってください。HW 制御にて PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません。

表 21.15 ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けた FIFO バッファのすべての内容	
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

21.3.37 パイプ n トランザクションカウンタイネーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

PIPE_nTRE は、パイプ 1 ~ 5 に対応するトランザクションカウンタの無効 / 有効の指定や、カウンタクリアの指定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可 トランザクションカウンタ無効 / 有効を指定します。 0 : トランザクションカウンタ機能無効 1 : トランザクションカウンタ機能有効 受信パイプに対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに 1 を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 <ul style="list-style-type: none"> 連続送受信モード使用 (CNTMD = 1 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。 SHTNAK = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。 BFRE = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用する場合、本ビットに 1 を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに 1 を設定してください。
8	TRCLR	0	R/W	トランザクションカウンタクリア 当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに 0 を表示します。 0 : 無効 1 : カレントカウンタクリア

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 本レジスタの各ビットの変更は、CSSTS = 0、PID = NAK 時に実施してください。
対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

21.3.38 パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n = 1 ~ 5)

PIPEnTRN は、パイプ 1 ~ 5 に対応するトランザクションカウンタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで設定値が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 0	TRNCNT	すべて 0	R/W	<p>トランザクションカウンタ</p> <p>ライト時:</p> <p>DMA 転送のトランザクション回数を設定します。</p> <p>リード時:</p> <p>TRENB = 0 の場合は設定したトランザクション回数が表示されます。</p> <p>TRENB = 1 の場合はカウント中のトランザクション回数が表示されます。</p> <p>本モジュールは、受信時の状態が以下のすべてを満たしたときに本ビットを 1 インクリメントします。</p> <ul style="list-style-type: none"> • TRENB = 1 である • パケット受信時に (TRCNT 設定値 現在のカウンタ値+1) である • 受信したパケットのペイロードが MXPS ビットへの設定値と一致した <p>本モジュールは、以下のいずれかの条件が満たされたときに本ビットの表示を 0 にクリアします。</p> <ul style="list-style-type: none"> • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である パケット受信時に (TRCNT 設定値 = 現在のカウンタ値+1) である 受信したパケットのペイロードが MXPS ビットへの設定値と一致した • 以下条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である ショートパケットを受信した • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である ソフトウェアが TRCLR ビットに 1 を設定した

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT	すべて 0	R/W	<p>送信パイプについては、本ビットに 0 を設定してください。</p> <p>トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、かつ TRENB = 0 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットの値を変更する場合は、TRENB = 1 を設定する前に TRCNT = 1 を実施してください。</p>

21.3.39 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ A)

DEVADDn は、パイプ 0 ~ A に対して、通信対象の周辺デバイスが接続されている HUB のアドレスやポート番号、および通信速度を指定します。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。

本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下の 1. と 2. の両方条件を満たしているパイプです。

1. DEVSEL ビットの設定が、本レジスタを指定しているとき
2. 選択パイプの PID ビットに BUF を設定しているとき、または選択パイプが DCP であり SUREQ = 1 を設定しているとき

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UPPHUB[3:0]				HUBPORT[2:0]		USBSPD[1:0]		—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 11	UPPHUB [3:0]	0000	R/W	通信対象接続 HUB レジスタ 通信対象の周辺デバイスが接続されている HUB の USB アドレスを設定します。 0000 : 周辺デバイスが本 LSI のポートに直接接続されている 0001 ~ 1010 : HUB の USB アドレス 1011 ~ 1111 : 設定禁止 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、0000 を設定してください。
10 ~ 8	HUBPORT [2:0]	000	R/W	通信対象接続 HUB ポート 通信対象の周辺デバイスが接続されている HUB のポート番号を設定します。 000 : 周辺デバイスが本 LSI のポートに直接接続されている 001 ~ 111 : HUB のポート番号 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、000 を設定してください。

ビット	ビット名	初期値	R/W	説明
7、6	USBSPD [1:0]	00	R/W	通信対象デバイスの転送速度 通信対象の周辺デバイスの USB 転送速度を設定します。 00 : DEVADDn レジスタ未使用 01 : ロースピード 10 : フルスピード 11 : ハイスピード ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、00 を設定してください。
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.4 動作説明

21.4.1 システム制御および発振制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

(1) リセット

表 21.16 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「21.3 レジスタの説明」を参照してください。

表 21.16 リセット種別一覧表

名称	操 作
パワーオンリセット	PRESET 端子からのローレベル入力
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+, D-ラインから自動検出

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+ のプルアップ禁止状態 (DPRPU = 0) で D+/D- のプルダウン禁止状態 (DRPD = 0) ときに行ってください。

(3) ハイスピード動作の許可

本モジュールは、ソフトウェアにて、USB 通信速度 (通信ビットレート) を設定することができます。

ホストコントロール機能選択時、ハイスピード動作またはフルスピード / ロースピード動作のどちらかに設定できます。ファンクションコントロール機能選択時、ハイスピード動作またはフルスピード動作のどちらかを選択することができます。本モジュールでハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットを 1 に設定してください。ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットで確認できます。

ハイスピード動作が禁止されている場合は、本モジュールは、ホストコントローラ機能が選択時は、フルスピードまたはロースピードで動作し、ファンクションコントローラ機能選択時は、フルスピードでのみ動作します。

HSE ビットの変更は、ホストコントローラ機能が選択時は、アタッチ検出からバスリセットの実行前に、ファンクションコントローラ機能が選択時は、D+ のプルアップ禁止状態 (DPRPU = 0) のときに行ってください。

(4) USB データバス抵抗制御

図 21.1 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗を内蔵しています。SYSCFG レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラまたは周辺機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的にを行います。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（または終端抵抗）をディセーブルにしますので、USB ホストにデバイスの切断を通知することができます。

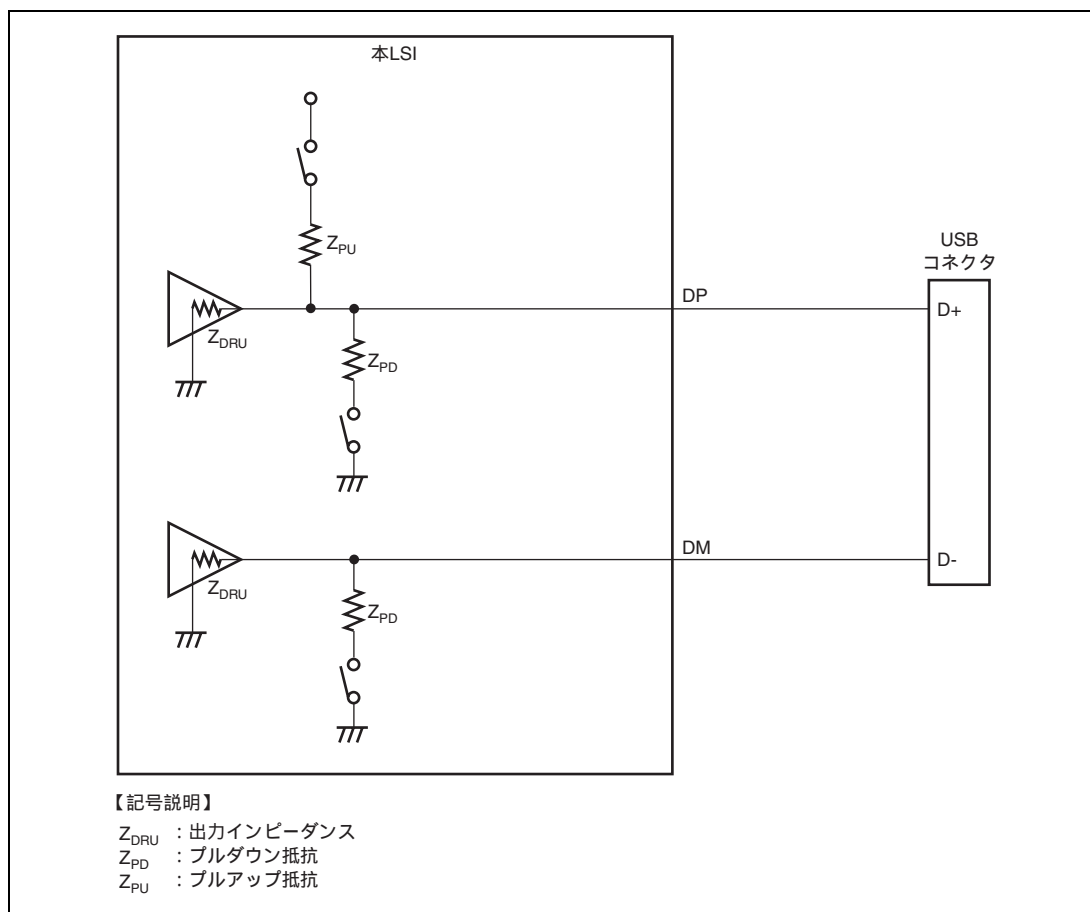


図 21.1 USB コネクタ接続図

21.4.2 割り込み機能

表 21.17 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラ (INTC) へ USB 割り込み要求を発行します。

表 21.17 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (L H、H L の両方の変化) 	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0) 	ファンクション	-
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なる SOF パケットを送信したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> SOFRM = 0 : フレーム番号の異なる SOF パケットを受信したとき SOFRM = 1 : μ フレーム番号が 0 のときの SOF をパケット破損などで受信できなかったとき 	ホスト、ファンクション	-
DVST	デバイス状態遷移割り込み	<ul style="list-style-type: none"> デバイス状態の遷移を検出したとき USB バスリセット検出 サスペンド状態検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信 	ファンクション	DVSQ
CTRTR	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト、ファンクション	BEMPSTS、PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファ ノットレディ 割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からの STALL を受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき。(無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバラン / アンダランが発生したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> IN トークン / OUT トークン / PING トークンに対して NAK を応答したとき。 アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にオーバラン / アンダランが発生したとき 	ホスト、 ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ 割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態) になったとき 	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	ホスト、 ファンクション	-
DTCH	デバイス切断検出	<ul style="list-style-type: none"> 周辺デバイスの切断を検出したとき 	ホスト	-
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USB バスステートが 2.5 μs 連続した J-STATE、または 2.5 μs 連続した K-STATE を検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	-
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> 周辺デバイスの EOF エラーを検出 	ホスト	-
SACK	SETUP 正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	-
SIGN	SETUP エラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答または ACK パケット破損) を 3 回連続で検出したとき 	ホスト	-

【注】 レジスタ名が示されていないビットのレジスタはすべて INTSTS0 です。

図 21.2 に本モジュールの割り込み関連図を示します。

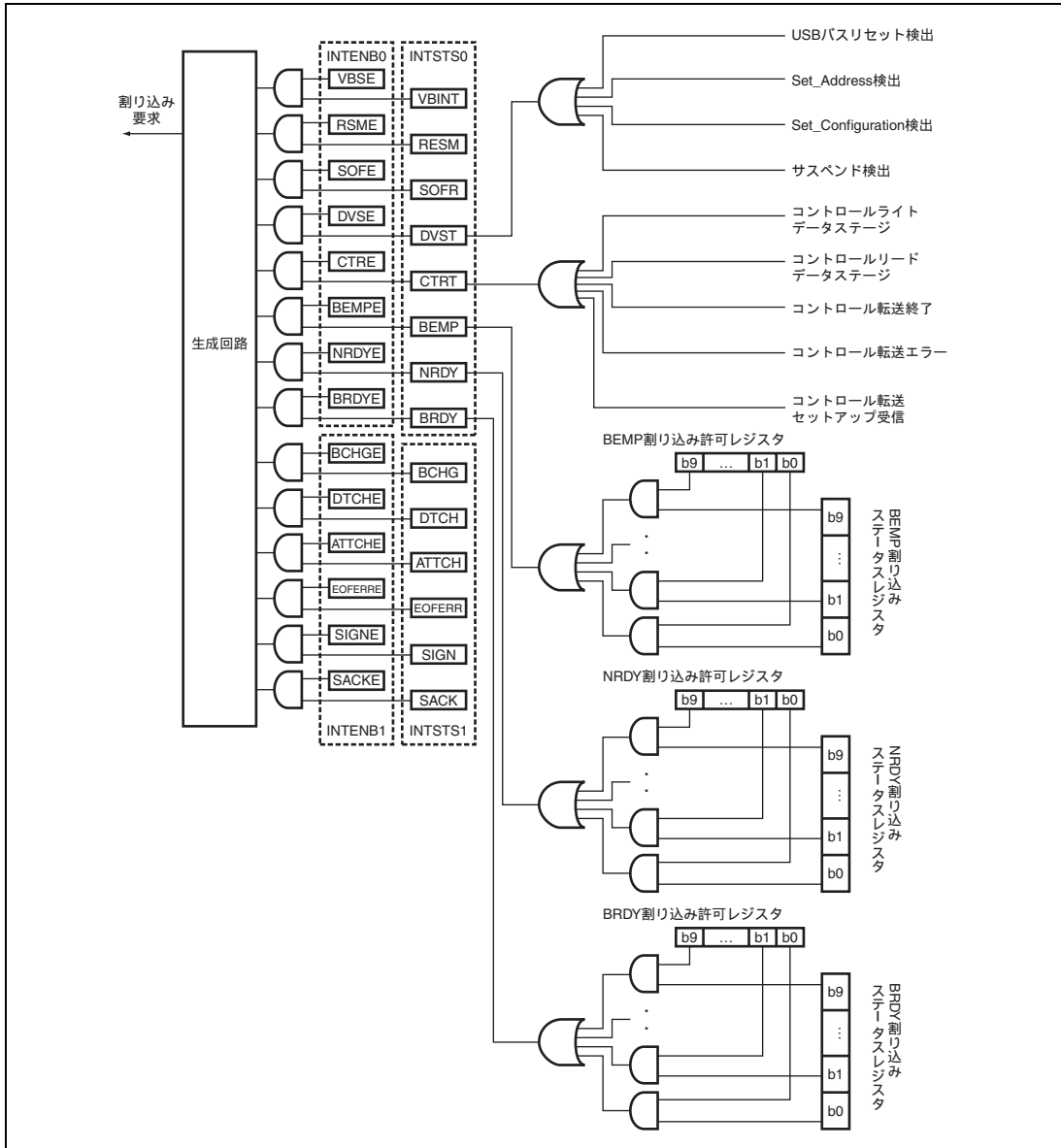


図 21.2 割り込みの関連図

(1) BRDY 割り込み

BRDY 割り込みは、ホストコントロール、ファンクションコントロールのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a) BRDYM = 0 かつ BFRE = 0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

1. 送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを 0 から 1 に変更したとき。
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本モジュールが当該パイプのパケット送信を完了したとき。

連続送受信モードに設定した場合には、FIFO バッファ面分のデータの送信完了時に要求トリガが発生しません。

- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき。

FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。

- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき。
- ACLRM ビットに 1 を書き込むことにより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき。

DCP に対しては (即ち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。

データ PID ミスマッチのトランザクションに対しては要求トリガは発生しません。

連続送受信モードの場合には、MaxPacketSize のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。

ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。

トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。このとき、FIFOバッファにまだ空きがあっても要求トリガは発生します。

- FIFOバッファをダブルバッファに設定しているとき、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき

読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントロール機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

ソフトウェアは、当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM = 0 かつ BFRE = 1 設定時

この設定の場合、本モジュールは、受信パイプにおいて 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの当該パイプに対応するビットに 1 を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応する PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(c) BRDYM = 1 かつ BFRE = 0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプの BSTS ビットに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって本モジュールが 1、0 を表示します。

1. 送信方向に設定したパイプの場合

FIFOポートにデータが書き込み可能な状態であれば1を表示し、書き込み不可の状態になれば0を表示します。

ただしDCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

2. 受信方向に設定したパイプの場合

FIFOポートにデータが読み出し可能な状態であれば1を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアがBCLR = 1を書き込むまで該当ビットには1が表示されBRDY割り込みは発生し続けます。

本設定時、ソフトウェアは、PIPEBRDYビットの0クリアを行うことはできません。

BRDYM = 1設定時は、BFREビットは必ずすべて（全パイプ）0に設定してください。

図 21.3 に、BRDY 割り込み発生タイミング図を示します。

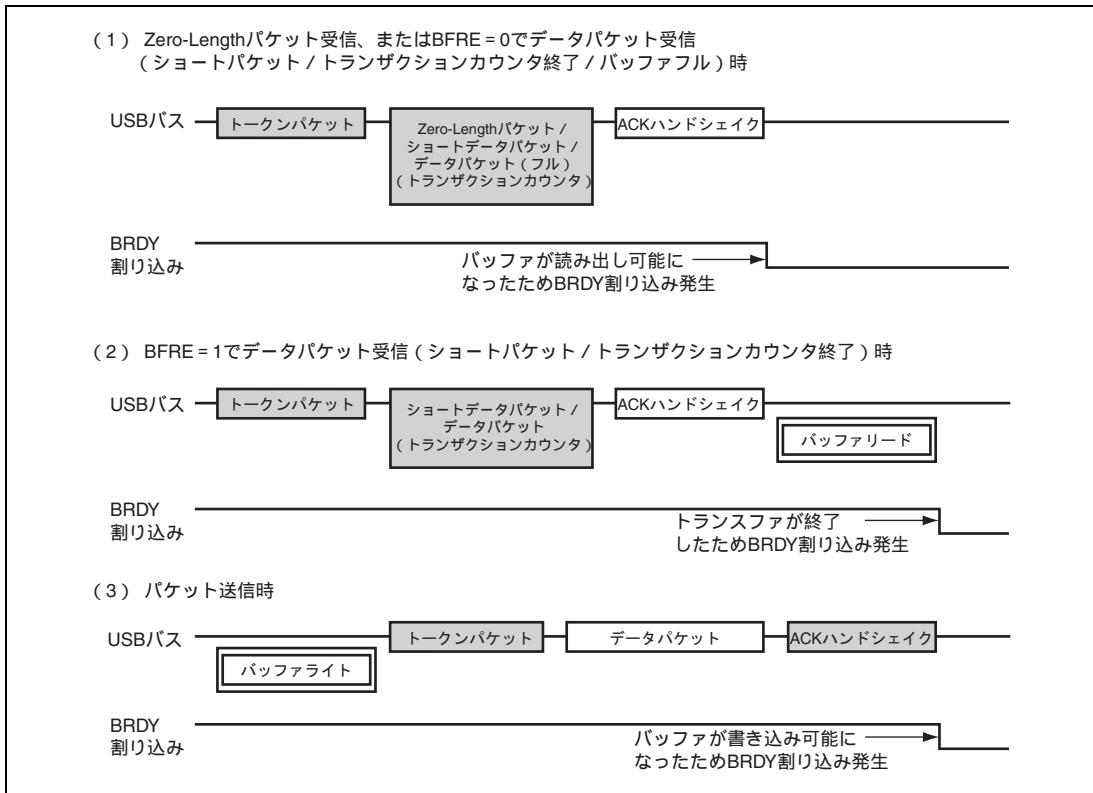


図 21.3 BRDY 割り込み発生タイミング図

(2) NRDY 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに 1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントロール機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントロール機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a) ホストコントローラ機能選択時でかつスプリットトランザクションが発生しない接続の場合

1. 送信方向パイプの場合

本モジュールは、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。

このとき、本モジュールはOUTトークンに続けてZero-Lengthパケットを送信し、PIPENRDYビットの対応するビットに1を表示し、OVRNビットにも1を表示します。

- 転送タイプがアイソクロナス以外のパイプ、かつSETUPトランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからのHandshakeパケットを検出しないままタイムアウトを検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき、本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

- SETUPトランザクション以外の通信において、周辺デバイスからSTALL Handshakeを受信したとき (OUTに対するSTALLだけではなく、PINGに対するSTALLも該当します)。

このとき本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをSTALL (11) に変更します。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき。

このとき本モジュールは、IN Tokenに対する受信データを破棄し、当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットにも1を表示します。

更に、IN Tokenに対する受信データにパケットエラーを検出した場合には、CRCEビットにも1を表示します。

- 転送タイプがアイソクロナス転送以外のパイプで、本モジュールが発行したIN Tokenに対して周辺デバイス

が無応答 (周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN Tokenに対して周辺デバイスが無応答 (周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示します (対応するパイプのPIDビットの変更は行いません)。

- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示します。

- STALL Handshakeを受信したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALLに変更します。

(b) ホストコントローラ機能選択時でかつスプリットトランザクションが発生するの接続の場合

1. 送信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。

このとき本モジュールは、Start-Splitトランザクション (S-SPLIT) 発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、OUTトークンに続けてZero-Lengthパケットを送信します。

- 転送タイプがアイソクロナス以外のパイプにおいて、S-SPLITまたはComplete-Splitトランザクション (C-SPLIT) に対して、HUBが無応答 (HUBからのHandshakeパケットを検出しないままタイムアウトを検出) またはHUBからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

C-SPLIT発行時にNRDY割り込みを検出した場合には、本モジュールはCSSTSビットをクリアし0を表示します。

- C-SPLITに対し、STALL Handshakeを受信したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL (11) に変更し、CSSTSビットをクリアし0を表示します。

ただしSETUPトランザクションにおいては、本割り込みを検出しません。

- 転送タイプがインタラプトのパイプにおいて、microFrame番号 = 4のときのC-SPLITに対して、NYETを受信

したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CSSTSビットをクリアし0を表示します（対応するパイプのPIDビットは変更しません）。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき。

このとき本モジュールは、S-SPLIT発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、IN Tokenに対する受信データを破棄します。

- 転送タイプがバルクのパイプの転送、またはDCPのSETUPトランザクション以外の転送において、S-SPLITまたはC-SPLIT発行時に、本モジュールが発行したIN Tokenに対してHUBが無応答（HUBからのDATA/PACKETを検出しないうままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYに1を表示し、対応するパイプのPIDビットをNAKに変更します。C-SPLITにおいて本条件が発生した場合には、本モジュールはCSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナスまたはインタラプトのパイプのC-SPLITにおいて、本モジュールが発行したIN Tokenに対してHUBが無応答（HUBからのDATA/PACKETを検出しないうままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

転送タイプがインタラプトのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更し、CSSTSビットをクリアし0を表示します。

転送タイプがアイソクロナスのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します。（パイプのPIDビットの変更は行いません）。

- 転送タイプがアイソクロナス以外のパイプのC-SPLITにおいて、STALL Handshakeを受信した場合。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL（11）に変更し、CSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナス / インタラプトのパイプのC-SPLITにおいて、microFrame = 4のときにNYET Handshakeを受信した場合。

このとき本モジュール、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します。（パイプのPIDビットの変更は行いません）。

(c) ファンクションコントロール機能選択時

1. 送信方向パイプの場合

- FIFOバッファに送信データがない状態でIN Tokenを受信したとき

IN Token受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。

割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールはZero-Lengthパケットを送信し、OVRNビットに1を表示します。

2. 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき

割り込み発生パイプの転送タイプがアイソクロナスの場合、OUTトークン受信時に本モジュールはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示し、OVRNビットに1を表示します。

割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

ただし、再送時 (DATA-PIDミスマッチ発生時) には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

- FIFOバッファに空きがない状態でPINGトークンを受信したとき

PINGトークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。

- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき

SOF受信のタイミングで本モジュールは、NRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

図 21.4 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

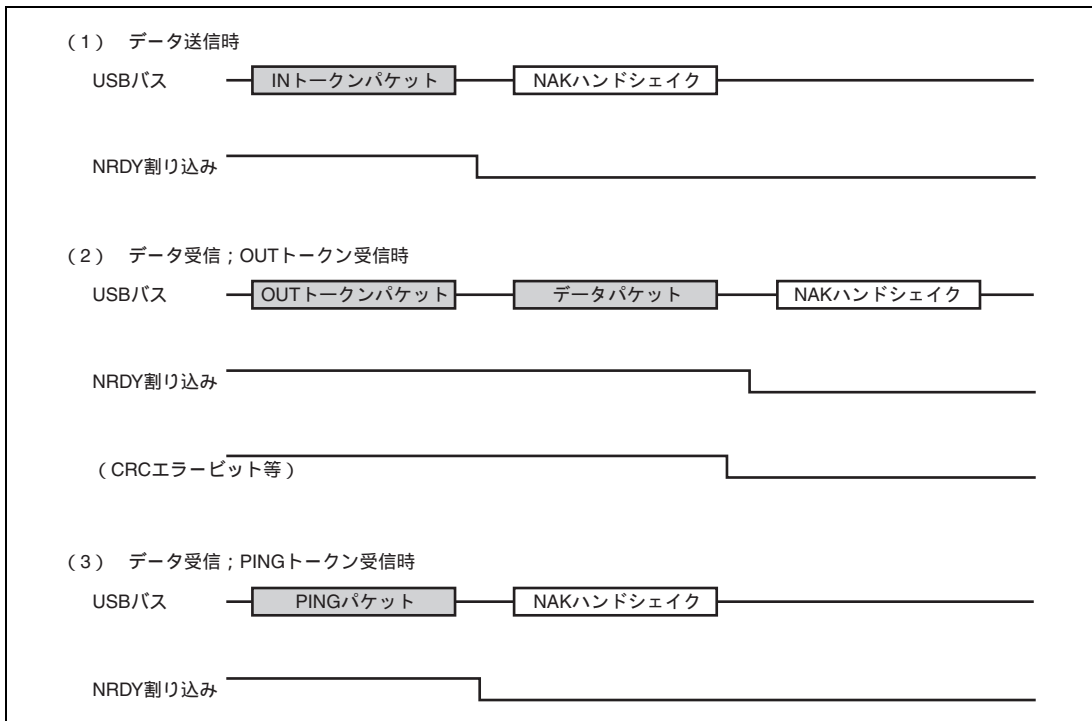


図 21.4 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

(3) BEMP 割り込み

ソフトウェアが PID=BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC) がCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア (エンプティ) した場合
- ファンクションコントローラ機能設定時、コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) した場合

2. 受信方向パイプの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき。

この場合、本モジュールは、BEMP割り込み要求を発生させ、PIPEBEMPビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (11) に変更します。

このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時にはSTALL応答を行います。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- SETUPトランザクション実行時

PIPEBEMPビットに0を書き込むことにより、ステータスをクリアすることができます。

PIPEBEMPビットに1を書き込んで、何もしません。

図 21.5 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

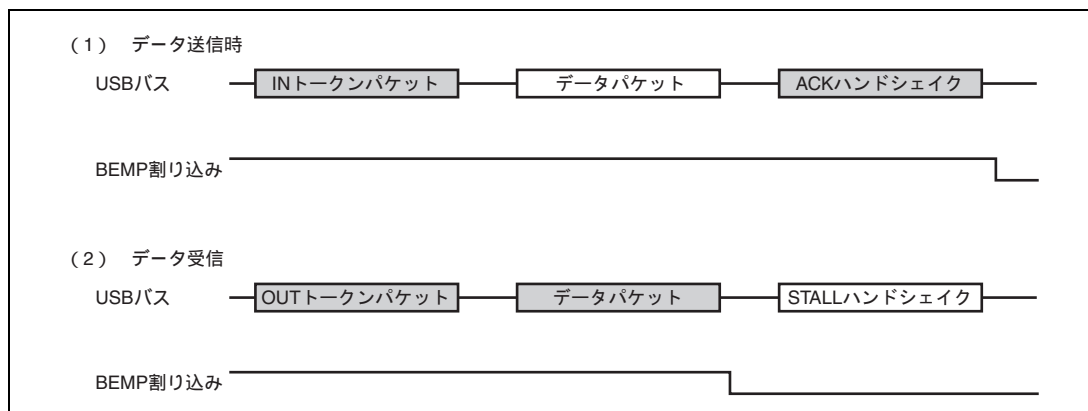


図 21.5 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

(4) デバイスステート遷移割り込み

図 21.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

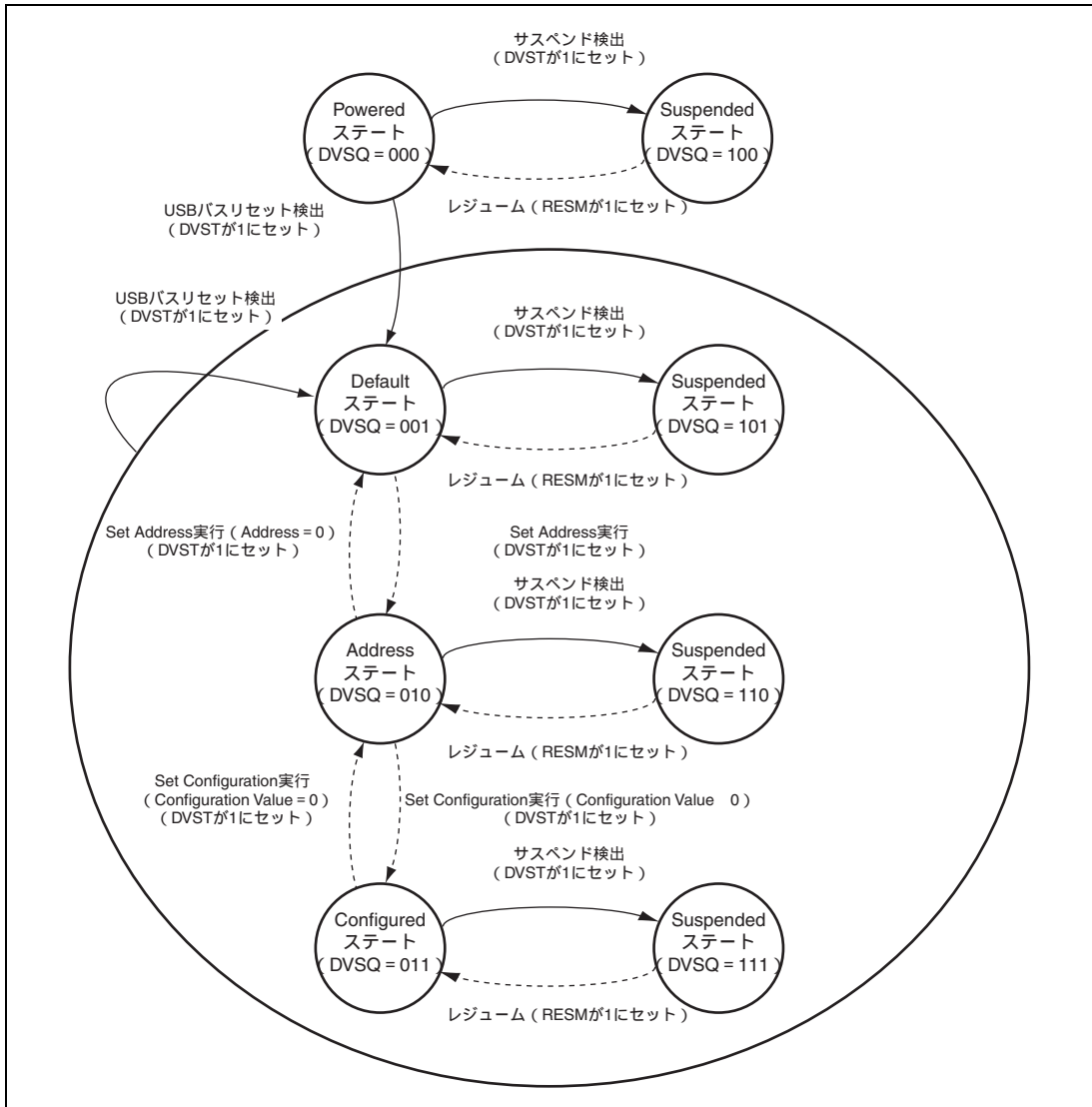


図 21.6 デバイス状態遷移図

(5) コントロール転送ステージ遷移割り込み

図 21.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントロール機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID = DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID = DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

3. コントロールライトノーデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR = 1 設定) は、CTSQ = 110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

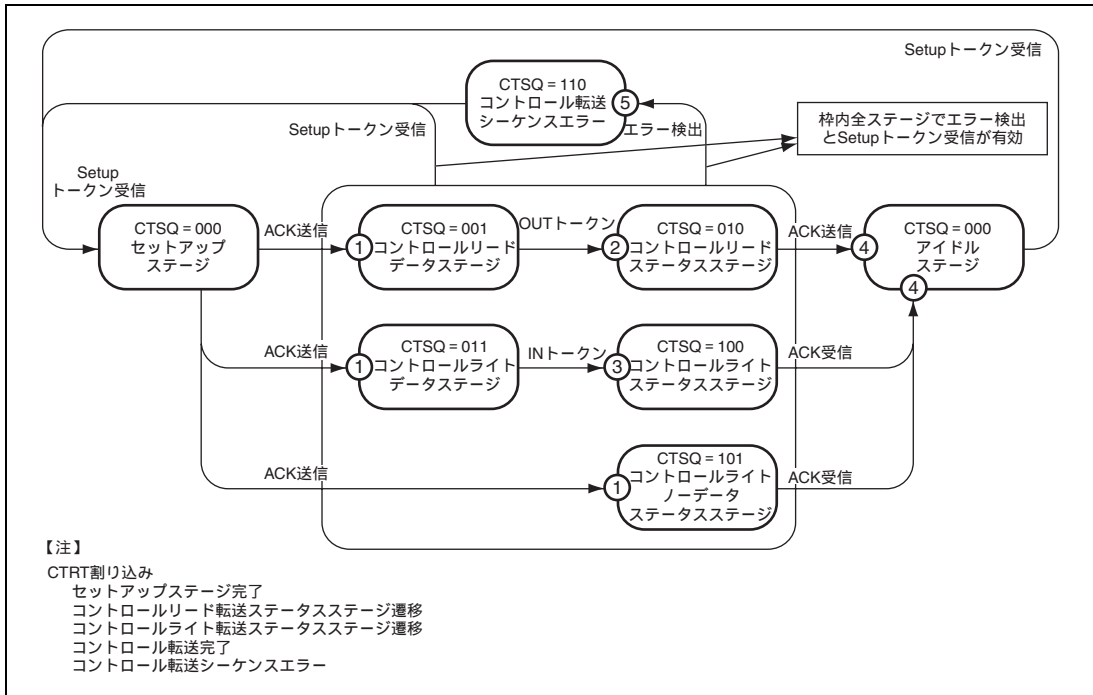


図 21.7 コントロール転送ステージ遷移図

(6) フレーム更新割り込み

図 21.8 に本モジュールの SOFR 割り込み出力タイミング例を示します。

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。しかし、ハイスピード動作中は μ SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 μ SOF ロック状態とは、エラーなしでフレーム番号の異なる μ SOF パケットを 2 回連続受信することです。

なお、 μ SOF ロック監視開始条件および μ SOF ロック監視停止条件は下記 1.、2.のとおりです。

1. μ SOF ロック監視開始条件

USBE = 1

2. μ SOF ロック監視停止条件

USBE = 0、USB バスリセット受信、またはサスペンド検出

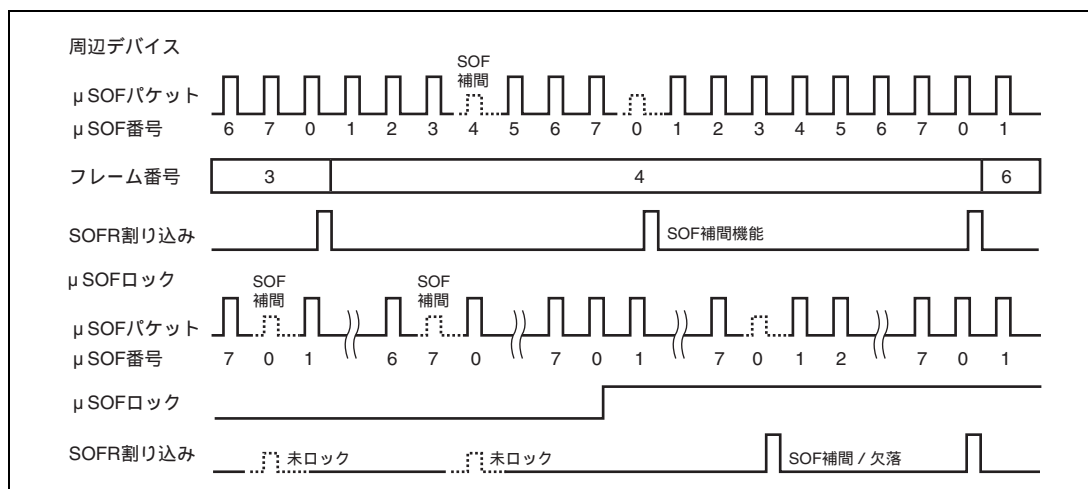


図 21.8 SOFR 割り込み出力タイミングの例

(7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

(8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State

K-State または J-State (SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

(9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

(10) DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH割り込みを検出したポートのUACTビットを0に変更し表示する。
- DTCH割り込みが発生したポートをアイドル状態に遷移させる。

(11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

(12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

(13) ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード/ロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5 μ s間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5 μ s間継続したとき

(14) EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り

込みが発生します。

本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示する。
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。

21.4.3 パイプコントロール

表 21.18 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 21.18 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1~9 : 設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5 : 設定可
	DBLB	ダブルバッファを選択	パイプ 1~5 : 設定可
	CNTMD	連続転送または非連続転送を選択	パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9 : 設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP : 設定不可 (256 バイト固定) パイプ 1~5 : 設定可 (最大 2K バイトまで指定可) パイプ 6、9 : 設定不可 (64 バイト固定)
	BUFNMB	バッファメモリ番号	DCP : 設定不可 (領域 H'0 ~ H'3 固定) パイプ 1~5 : 設定可 (領域 H'8 ~ H'7F で指定可) パイプ 6~9 : 設定不可 (領域 H'4 ~ H'7 固定)
DCPMAXP	DEVSEL	デバイス選択	ホストコントロール機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~5 : 設定不可 パイプ 6~9 : ホストコントロール機能選択時のみ設定可
	IITV	インターバルカウンタ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~5 : 設定不可 パイプ 6~9 : ホストコントロール機能選択時のみ設定可

レジスタ名	ビット名	設定内容	備 考	
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信 / 送信バッファ状態の切り替え	
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3~5 のみ搭載	
	SUREQ	SETUP リクエスト	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能	
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能	
	CSCLR	CSSTS クリア	ホストコントロール機能選択時のみ制御可能	
	CSSTS	SPLIT ステータス表示	ホストコントロール機能選択時のみ参照可能	
	ATREPM	自動応答モード	パイプ 1~5 : 設定可 ファンクションコントロール機能選択時のみ設定可能	
	ACLRM	自動バッファクリア	パイプ 1~9 : 設定可	
	SQCLR	シーケンスクリア	データグルビットのクリア	
	SQSET	シーケンスセット	データグルビットのセット	
	SQMON	シーケンス確認	データグルビットの確認	
		PBUSY	パイプビジー確認	
		PID	応答 PID	「21.4.3 (6) 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ 1~5 : 設定可	
	TRCLR	カレントトランザクションカウンタのクリア	パイプ 1~5 : 設定可	
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1~5 : 設定可	

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID = NAK) であるときのみ書き換えが可能です。

USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- ・ DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- ・ DCPCTR レジスタの SQCLR ビット、SQSET ビット
- ・ PIPECFG レジスタ、PIPEBUF レジスタ、PEPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- ・ PIPEXCTR レジスタの ATREPM ビット、ACLARM ビット、SQCLR ビット、SQSET ビット
- ・ PIPEXTRE レジスタ、PIPEXTRN レジスタの各ビット

USB 通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのCSSTSビットが0になるまで待つ。(ホストコントローラ機能選択時のみ)
4. 当該パイプのPBUSYビットが0になるまで待つ。
5. パイプコントロールレジスタのビット変更開始。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれのCURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- ・ DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- ・ PIPECFG レジスタ、PIPEBUF レジスタ、PEPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) 転送タイプ

PIPEPCFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP : 設定不要 (コントロール転送固定) です。
- パイプ1、2 : バルク転送またはアイソクロナス転送を設定してください。
- パイプ3~5 : バルク転送を設定してください。
- パイプ6~9 : インタラプト転送を設定してください。

(3) エンドポイント番号

PIPEPCFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP : 設定不要 (エンドポイント0固定) です。
- パイプ1~9 : 1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

(4) マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID=BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6~9 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

(5) トランザクションカウンタ (パイプ 1~5 読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO/D1FIFO ポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB = 0 : 設定したトランザクションカウンタ値が読み出せます。
- TRENB = 1 : 内部でカウントしたカレントカウンタ値が読み出せます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID=BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。
各設定における本モジュールの動作は下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実地を指定します。

- NAK設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF設定：バッファメモリの状況に応じてトランザクションが実施されます。
 - OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。
 - IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定：パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

3. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。
 - アイソクロナス以外の転送で、NRDY割り込みが発生したとき
(詳細は、NRDY割り込みを参照してください。)
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき
 - バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トークンの発行を自動的に停止します。
 - 送信したトークンに対してSTALLを受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき

4. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。

SETUPトークンを正常に受信したとき (DCPのみ)

バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき

- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。

受信データパケットでマックスパケットサイズオーバーエラーを検出したとき

コントロール転送シーケンスエラーを検出したとき (DCPのみ)

(7) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

(8) 応答 PID = NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID = NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可 (応答 PID = BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ (パイプ 1~5) において、PIPEnCTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時 (DIR = 0) には OUT-NAK モードとなり、IN 転送時 (DIR = 1) には Null

自動応答モードとなります。

- OUT-NAK モード

バルク OUT 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、OUT トークンまたは PING トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で OUT-NAK モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) で OUT-NAK モードを解除して、パイプ動作許可 (応答 PID = BUF) を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であれば ACK を返します。

- Null 自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で、Null 自動応答モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) を Zero-Length パケット送信分ウェイト (フルスピード時: 10 μ s、ハイスピード時: 3 μ s) した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可 (応答 PID = BUF) を行うことにより、ホストへのパケット送信が可能となります。

21.4.4 FIFO バッファメモリ

(1) FIFO バッファメモリ割り当て

図 21.9 に本モジュールの FIFO バッファメモリマップ例を示します。FIFO バッファメモリは CPU と本モジュールが共用する領域です。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

FIFO バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB および BUFSIZE ビット) で設定します。

PIPEnCFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ず最大パケットサイズの整数倍になるように設定してください。また PIPEnCFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、CFIFOCTR レジスタおよび DnFIFOCTR レジスタの FRDY ビットで確認できます。

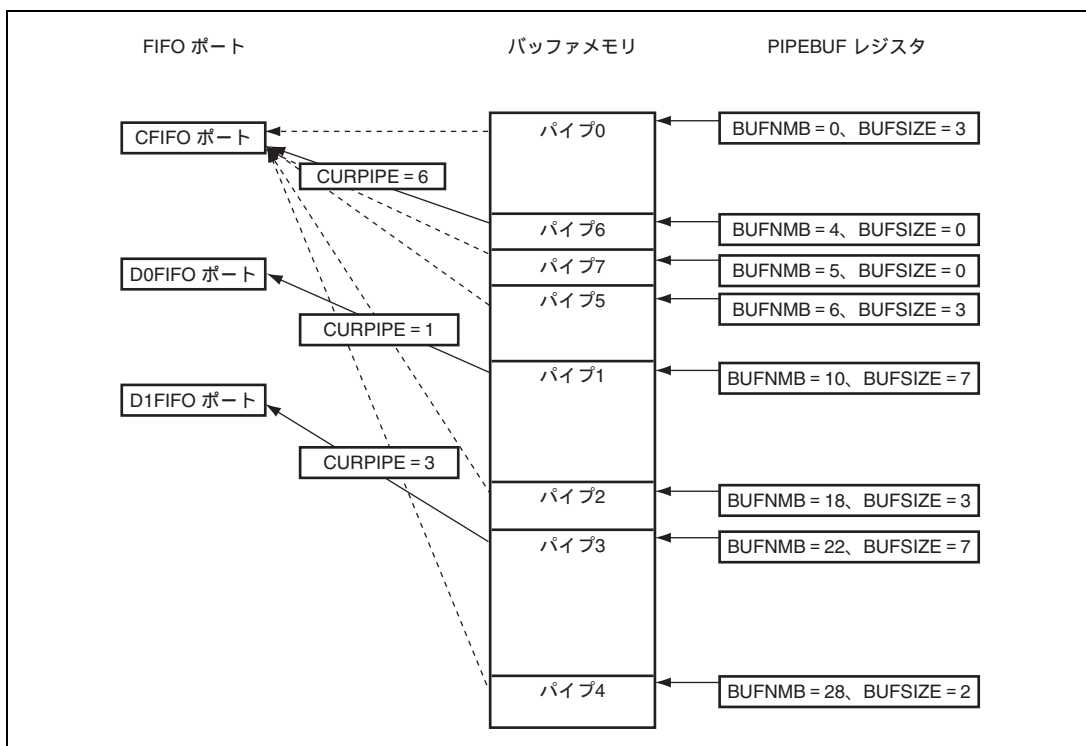


図 21.9 バッファメモリマップ例

- バッファステータス

表 21.19 および表 21.20 本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット (DCP 選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1~5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DMAC) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 21.19 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 21.20 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

- FIFO バッファクリア

表 21.21 に本モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表 21.21 バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 : モード有効 0 : モード無効	1 : モード有効 0 : モード無効

- バッファ領域

表 21.22 に本モジュールのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

パイプ 6~9 領域は、あらかじめ領域を割り当ててありますが、パイプ 6~9 を使用しない場合はユーザ領域としてパイプ 1~5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表 21.22 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0	64 バイト	DCP 専用固定領域	シングルバッファ
H'1 ~ H'3	-	使用禁止	-
H'4	64 バイト	パイプ 6 用固定領域	シングルバッファ
H'5	64 バイト	パイプ 7 用固定領域	シングルバッファ
H'6	64 バイト	パイプ 8 用固定領域	シングルバッファ
H'7	64 バイト	パイプ 9 用固定領域	シングルバッファ
H'8 ~ H'4F	最大 5120 バイト	パイプ 1~5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

- 自動バッファクリアモード機能

本モジュールには、PIPE_nCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

- バッファメモリ仕様 (シングル / ダブル設定)

パイプ 1~5 は、PIPE_nCFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 21.10 に本モジュールのバッファメモリ設定例を示します。

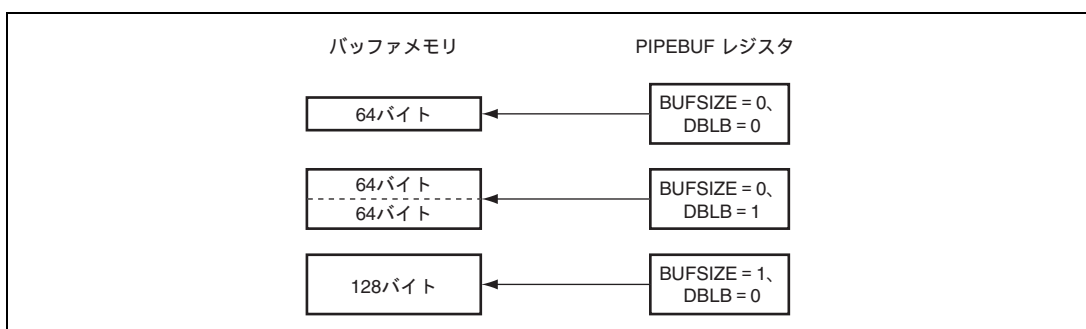


図 21.10 バッファメモリ設定例

- バッファメモリ動作 (連続転送設定)

PIPE_nCFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、パイプ 1~5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信 (ショートパケットまたはマックスパケットサイズの整数倍でバッファサイズ未満) の場合には、送信データの書き込み後 BVAL = 1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウンタの終了、またはショートパケットを受信するまで割り込みは発生しません。

表 21.23 に CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係を示します。

表 21.23 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

連続転送モード	読み出し可能状態、送信可能判定方法
非連続転送 (CNTMD = 0)	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 : <ul style="list-style-type: none"> • 本モジュールが 1 パケット受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 : 以下のいずれかを満たしたとき <ul style="list-style-type: none"> • ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 • ソフトウェア (または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだ。
連続転送 (CNTMD = 1)	受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 : <ul style="list-style-type: none"> • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1)*64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき。 • ソフトウェアが選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき
	送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 : 以下のいずれかを満たしたとき <ul style="list-style-type: none"> • ソフトウェア (または DMAC) が書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 • ソフトウェア (または DMAC) が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき。

図 21.11 に本モジュールのバッファメモリ動作例を示します。

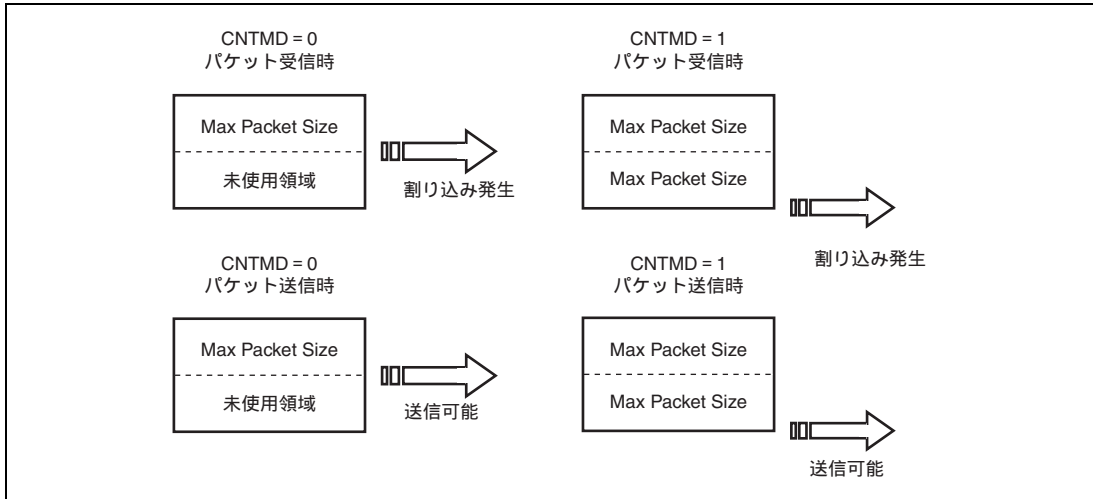


図 21.11 バッファメモリ動作例

(2) FIFO ポートの機能

表 21.24 本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスケットサイズ数)未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN = 0) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 21.24 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド(再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 21.25 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します) FRDY = 1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPE_nCFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 21.25 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY = 1 を確認する必要があります。

(3) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(b) DMA 転送終了自動認識

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。転送終了信号をサンプリングすると、バッファメモリを送信可能状態 (BVAL = 1 を設定したのと同じ状態) にします。

(c) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 21.26 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 21.26 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要ななどのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 21.26 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

21.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ = 1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMPXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みおよび BEMP 割り込みによって検出します。

連続転送指定により複数パケットにわたったデータ転送が可能です。ただし、受信方向で連続転送に設定した場合は、バッファフルになるか、ショートパケットを受信しないと、BRDY 割り込みが発生しませんので注意してください (マックスパケットサイズの整数倍で、かつ 256 バイト以下の場合)。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

データステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ

長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID = 0 を設定後に行ってください。VALID = 1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノードータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 21.7 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c) ステータスステージ

DCPCTR レジスタの PID ビットが PID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合

本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

- コントロールライト転送、ノーデータコントロール転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合 : bmRequestType H'00
- リクエストエラーの場合 : wIndex H'00
- ノーデータコントロール転送以外の場合 : wLength H'00
- リクエストエラーの場合 : wValue > H'7F
- デバイスステートエラーのコントロール転送 : DVSQ = 011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

21.4.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル / ダブルバッファ設定、または連続 / 非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット / NYET ハンドシェイクには自動応答します。

(1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。NAK または NYET を受信すると PING 送出状態に戻ります。また、この制御はコントロール転送のデータステージ、ステータスステージも同様です。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット、NYET/NAK ハンドシェイク受信、シーケンストグルビットのセット、クリア (SQSET、SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 21.27 に本モジュールの NYET ハンドシェイク応答表を示します。本モジュールの NYET 応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYET パケット応答をせずに ACK 応答となります。また、コントロールライト転送のデータステージも同様です。

表 21.27 NYET ハンドシェイク応答表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

21.4.7 インタラプト転送 (パイプ 6~9)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視 (無応答になる) します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(a) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット :

IITV ビットが初期化されます。

- ACLRM によるバッファメモリ初期化

IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(b) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

21.4.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 21.28 および表 21.29 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

4. オーバラン、アンダランエラー

- ホストコントローラ機能選択時

IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向 (送信) の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向 (受信) の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 21.28 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
3	オーバーラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 21.29 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

2. OUT方向（フルスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

3. OUT方向（ハイスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 21.30 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 21.30 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームまたは $2^{IITV} \mu$ フレームです。

(a) ファンクションコントローラ機能選択時でのカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット

IITVビットが初期化されます。

- ACLRMによるバッファメモリ初期化

IITVビットは初期化されませんがカウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウントを開始します。

1. PID = BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID = BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

3. PIDビットをNAKまたはSTALLに設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

4. USBバスリセットおよびUSBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(b) ホストコントローラ機能選択時のインターバルカウントと転送制御

IITVビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは 2^{\wedge}IITV 回の (マイクロ) フレームに 1 回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、ハイスピード HUB に接続されたフルスピード / ロースピードの周辺デバイスとの通信に使用するパイプに対しては、1ms フレームでインターバルをカウントします。

本モジュールは、ソフトウェアがPIDビットをBUFに設定した次の (マイクロ) フレームからトークン発行間隔のカウントを開始します。

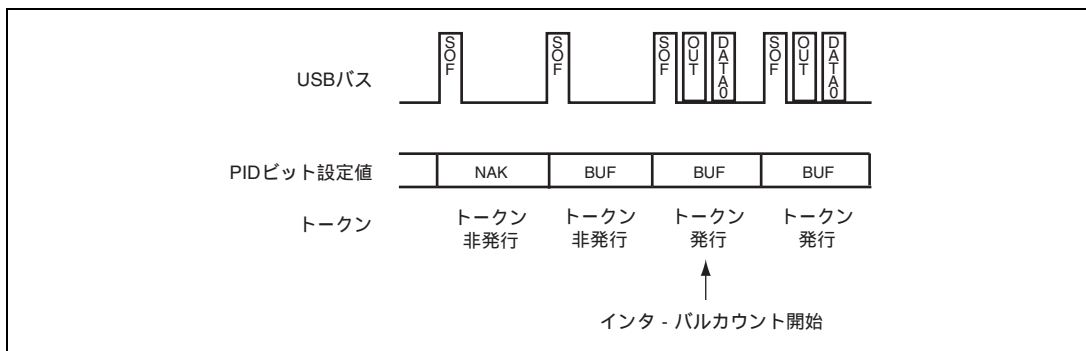


図 21.12 IITV = 0 の場合の Token 発行有無

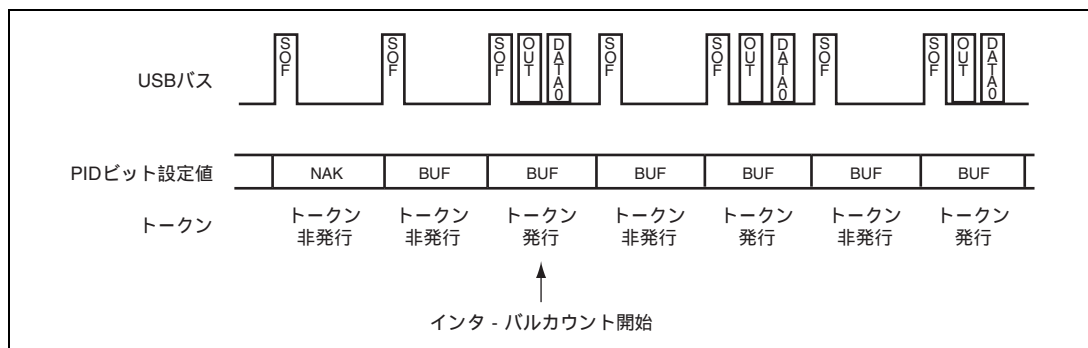


図 21.13 IITV = 1 の場合の場合の Token 発行有無

選択パイプの転送タイプがアイソクロナスの場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも本モジュールはトークンを発行します。

1. 選択パイプがIsochronous-IN転送パイプの場合

In-Tokenを発行し、周辺デバイスから正常にバケットを受信しなかった場合（無応答やバケットエラー等の場合）に、NRDY割り込みを発生させます。

（ソフトウェア（DMAC）がFIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために、本モジュールがデータを受信できない状態で、IN-Token発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させます。

2. 選択パイプがIsochronous-OUT転送パイプの場合

（ソフトウェア（DMAC）がFIFOバッファにデータを書き込むのが遅いなどの原因で）送信可能なデータがFIFOバッファに無い状態でOUT-TOKEN発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- 本モジュールがハードウェアリセットされた場合（この時、IITVビットへの設定値も0にクリアされます。）
- ソフトウェアがACLRM = 1を設定した場合。

(c) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

1. 選択パイプがIsochronous-OUT転送パイプの場合

IITVビットに設定したインターバル毎の（マイクロ）フレーム中にDATAパケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかったとき、またはFIFOバッファがフルのために本モジュールがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただしIITV = 0以外のときには、インターバルカウント開始後のインターバル毎のSOFパケット受信時に

NRDY割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアでPIDビットにNAKを設定した場合、本モジュールはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。

- IITV = 0 のとき：選択パイプのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウンタを開始します。

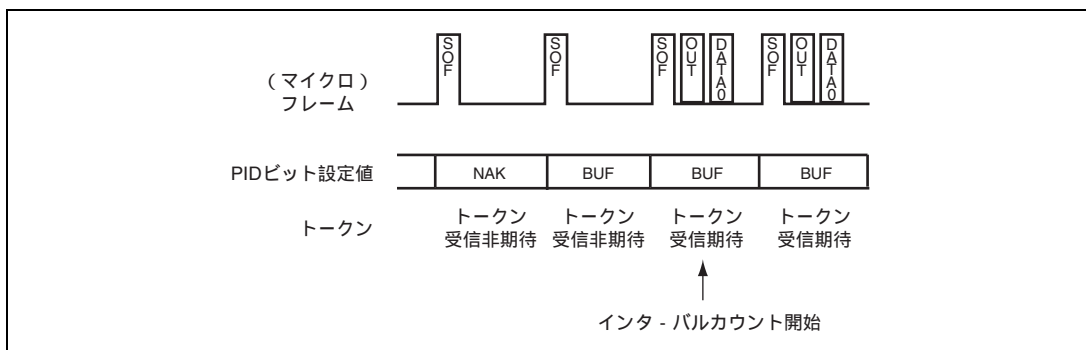


図 21.14 IITV = 0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

- IITV = 0 以外の場合：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウンタを開始します。

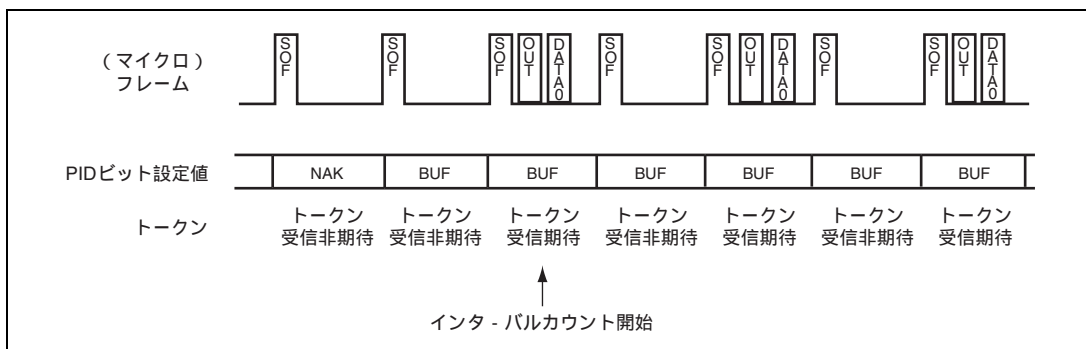


図 21.15 IITV = 0 以外の場合の（マイクロ）フレームと Token 受信期待有無の関係

2. 選択パイプがIsochronous-IN転送パイプの場合

IFIS = 1 と組み合わせて使用します。IFIS = 0 の場合にはIITVビットへの設定値とは関係なく、受信したトークンに回答してデータパケットを送信します。

IFIS = 1 を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定したインターバル毎の（マイクロ）フレーム中にIN-Tokenを受信しなかったとき、本モジュールはFIFOバッファをクリアします。

IN-TokenにCRCエラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

ファンクションコントローラ機能選択時のインターバルカウンタ条件は以下のいずれかの場合です。

- 本モジュールがハードウェアリセットされた場合(このとき、IITVビットへの設定値も0にクリアされます。)
- ソフトウェアがACLRM = 1を設定した場合
- 本モジュールがUSBリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダランエラーとなります。

図 21.16 に本モジュールで、IITV = 0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。Zero-Lengthパケット送出は図中で網掛け Null と表示しています。

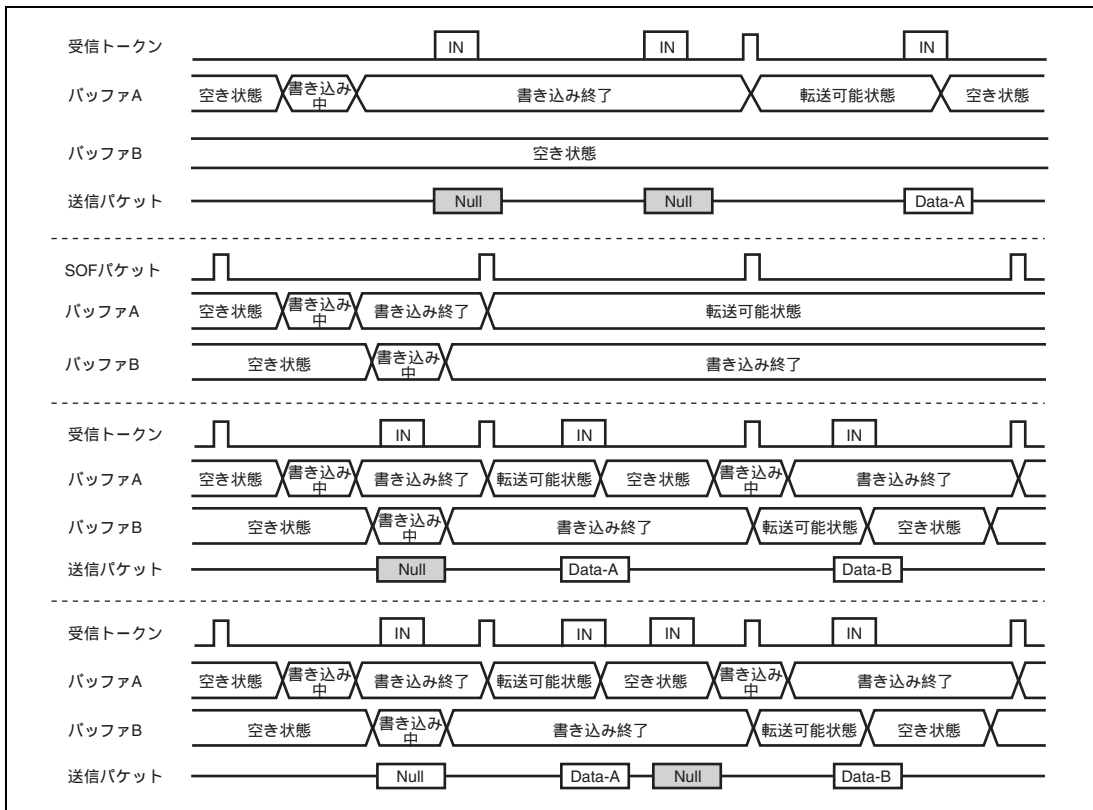


図 21.16 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または μ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または μ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 21.17 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

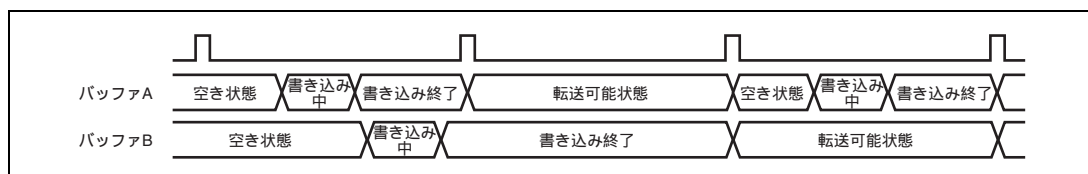


図 21.17 バッファフラッシュ機能動作例

図 21.18 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

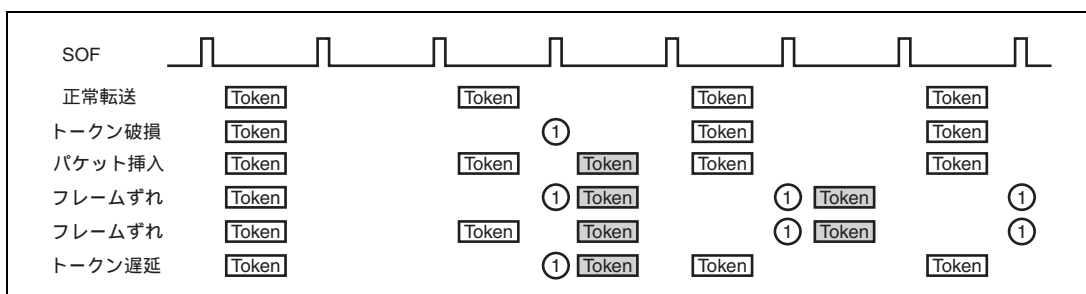


図 21.18 IITV = 1 のときのインターバルエラー発生例

21.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125 μ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG.USB_E = 1、SYSCFG.SCKE = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで125 μ s または 1ms をカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

(ハイスピード時のサスペンド移行では最終パケットから3msの間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みタイミングおよび μ SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM = 000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM = 000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

21.4.10 パイプスケジュール

(1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 21.31 に示す条件でトランザクションを発行します。

表 21.31 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	- * ¹	- * ¹	- * ¹	- * ¹	1 設定
コントロール転送のデータステージ、 ステータスステージ、 バルク転送	IN	BUF	無効	受信領域あり	- * ¹
	OUT	BUF	無効	送信データあり	- * ¹
インタラプト転送	IN	BUF	有効	受信領域あり	- * ¹
	OUT	BUF	有効	送信データあり	- * ¹
アイソクロナス転送	IN	BUF	有効	* ²	- * ¹
	OUT	BUF	有効	* ³	- * ¹

- 【注】 *¹ 表中の「-」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。
- *² 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。
- *³ 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

(2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1 パイプ2 パイプ6 パイプ7 パイプ8 パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP パイプ1 パイプ2 パイプ3 パイプ4 パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

(3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF または μ SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF または μ SOF の送信を停止しサスペンドとなります。UACT ビットを 1 に設定する場合、次の SOF または μ SOF を送信してから停止します。

21.5 使用上の注意事項

21.5.1 USB モジュールの起動 / 停止手順

(1) 起動手順

USB モジュールを起動する場合、以下の手順に従ってください。

1. リフレッシュスタンバイモード時に、IRQn割り込みもしくはNMI割り込みを発生させてから、低消費電力モードのSTBCRレジスタのSTBYビットに0を書き込み、通常動作に復帰させてください。
2. 発振安定時間を確保するために、3~5msウェイトしてください。
3. CPGのMSTPCR0レジスタのUSBビットに0、SYSCFGレジスタのSCKEビットに1を書き込み、モジュールスタンバイ状態を解除してください。

(2) 停止手順

USB モジュールを停止する場合、以下の手順に従ってください。

1. SYSCFGレジスタのSCKEビットに0、CPGのMSTPCR0レジスタのUSBビットに1を書き込み、USBモジュールをモジュールスタンバイ状態にしてください。
2. 40ns (48MHzクロックで2サイクル分) 以上ウェイトしてください。
3. 低消費電力モードのSTBCRレジスタのSTBYビットに1を書き込み、リフレッシュスタンバイモードに遷移させてください。

【注】 MSTPCR0 レジスタの USB ビットと SYSCFG レジスタの SCKE ビットは、必ずセットで設定してください。

21.5.2 USB クロック周辺回路設計時の注意事項

(1) 水晶発振子使用時の注意

水晶発振子と容量はできるだけ XIN 端子および XOUT 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

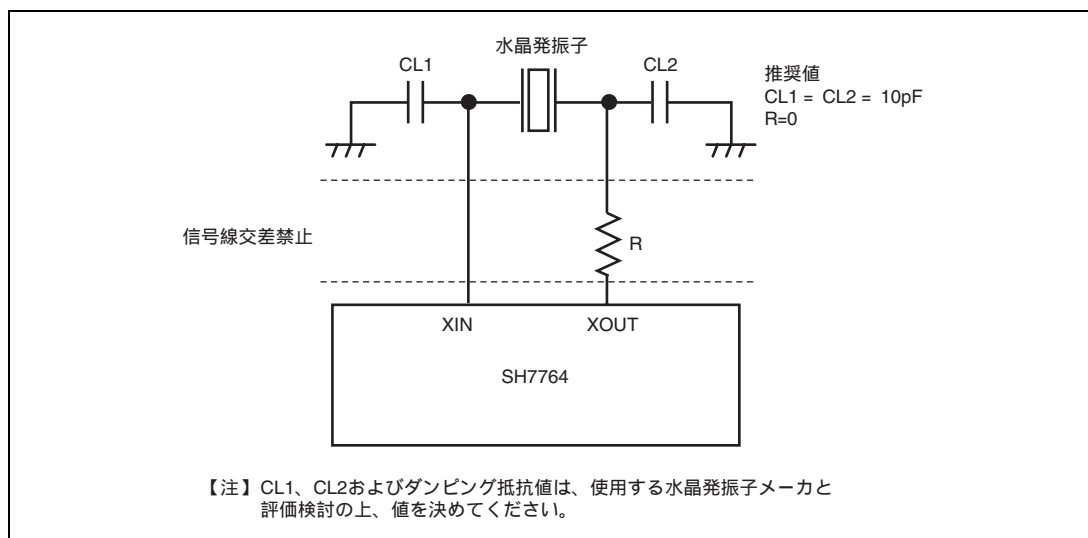


図 21.19 水晶発振子使用時の注意

(2) 外部クロックを XIN 端子から入力するときの注意

XOUT 端子には、何も接続しないでください。

(3) PLL 電源配線時の注意事項

VDDA_USB と VSSA_USB は、USB モジュール内の 480MHz-PLL の電源端子です。他の電源ラインからノイズの影響を受けないように、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサを挿入してください。

21.5.3 VBUS 端子処理

VBUS 端子は USB コネクタの Vbus ラインに接続してください。本モジュールを USB ホストコントローラモードに設定する場合、Vbus ラインを経由して、ファンクション機器に VBUS 電源を供給する必要がありますが、本モジュールから直接、電源を供給することはできません。

USB 電源バス用過電流制限機能付きパワースイッチ IC を外付けすることを推奨します。

なお、本 LSI の電源が供給されていない状態で、VBUS 端子に電圧が印加されても問題ありません (VBUS 端子が破壊されることはありません)。

21.5.4 USB フルスピードファンクション機能使用時の USB 切断処理に関する注意事項

USB モジュールにおいて、ファンクション機能を使用しフルスピードにて USB ホストからのパケット受信中に USB の切断をした場合、INTSTS0 レジスタの DVSQ ビット、DVSTCTR レジスタの RHST ビットなどのステートが異常となり、USB 再接続時、正常に USB 通信を行うことができない場合があります。

なお、ホスト機能使用時、またはペリフェラル機能かつハイスピード通信時には、本現象は発生しません。

(1) 発生条件

下記(1)、(2)、(3)、および(4)の条件がすべて満たされたときに、現象が発生する可能性があります。

- (1) ファンクション機能にて使用 (SYSCFG レジスタの DCFM ビット = 0 設定)
- (2) フルスピード通信時 (DVSTCTR レジスタの RHST ビット = 010 設定)
- (3) USB ホストのパケット受信中に USB を切断した場合。
- (4) (3) の USB 切断から 3ms 経過後*に D+プルアップ解除 (SYSCFG レジスタの DPRPU ビット = 0) した場合。

【注】 * 「VBUS 変化検出割り込み (INTSTS0 レジスタの VBINT ビット = 1) 発生から 3ms 経過後」ではありませんのでご注意ください。

(2) 回避策

USB 切断検出時、以下の USB 切断処理を実施していただくことにより現象回避が可能です。

【注】 D+プルアップ解除 (SYSCFG レジスタの DPRPU ビット = 0) の箇所を以下に置き換えてください。

- (1) SYSCFG レジスタの DPRPU ビット = 0
- (2) 1 μ s (1000ns) 以上のウェイト
- (3) SYSCFG レジスタの DCFM ビット = 1
- (4) 200ns 以上のウェイト
- (5) SYSCFG レジスタの DCFM ビット = 0

22. LCD コントローラ (LCDC)

LCDC コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール*以外の液晶モジュールを接続することが可能です。

【注】 * LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

22.1 特長

LCDC は次のような特長があります。

- パネルインタフェース
シリアルインタフェース方式
STN/Dual STN/TFT パネル (8/12/16/18 ビットバス幅) のデータフォーマットをサポート*¹
- 4/8/15/16 bpp (ビットパーピクセル) カラーモードをサポート
- 1/2/4/6bpp グレイスケールモードをサポート
- 16 × 1 ~ 1024 × 1024 までの液晶パネルサイズをサポート*²
- 24 ビットカラーパレットメモリ (24 ビット中、16 ビットが有効 R:5 / G:6 / B:5)
- RGB 各 8 ビットの、24 ビットの空間変調 FRC により、ちらつき、シャドーイングが起こりやすい STN/DSTN パネルでのちらつきの少ない 65536 の色制御を実現
- CPU に接続された SDRAM (エリア 1、2) の一部を LCDC の表示データ格納用 VRAM として使用することで、専用の表示用メモリが不要
- 2.4K バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット (バイト内のエンディアン設定、バックドピクセル方式) をレジスタにより選択的にサポート可能
- ユーザ指定位置で割り込みを発生可能 (VRAM の更新開始タイミングを制御することによりティアリング (ちらつき) を回避)

【注】 *¹ 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

*² 詳細は「22.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

図 22.1 に LCDC のブロック図を示します。

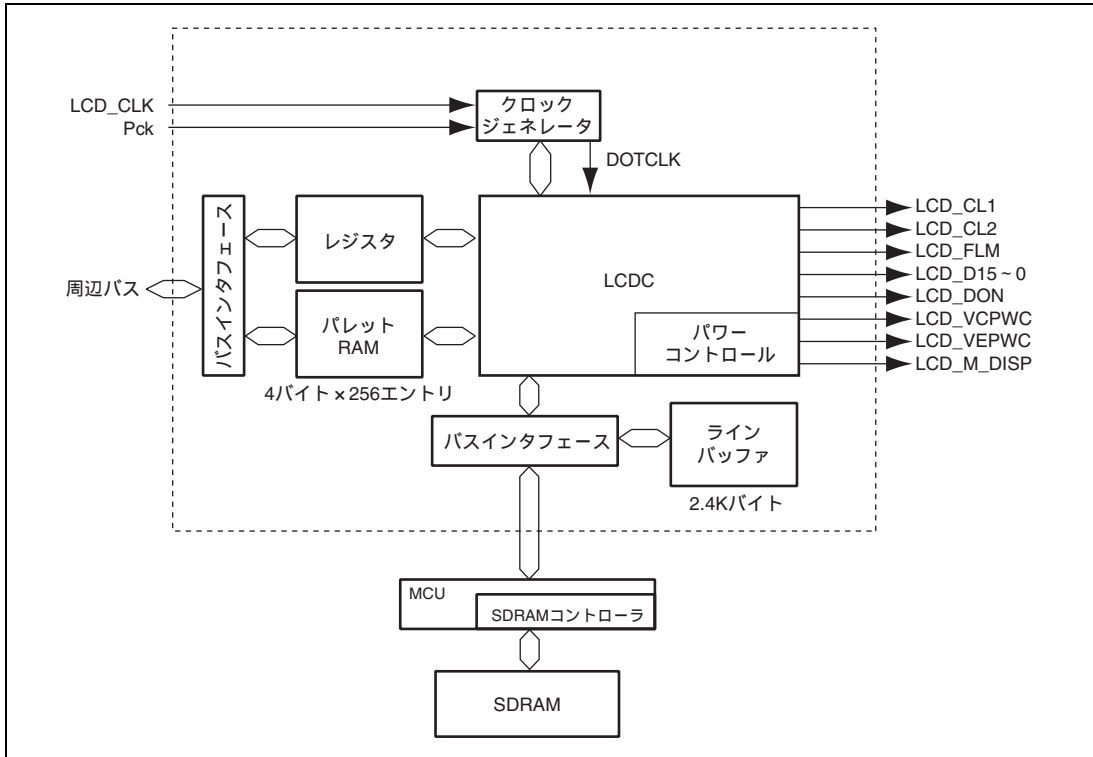


図 22.1 LCDC のブロック図

22.2 入出力端子

表 22.1 に LCDC の端子構成を示します。

LCDC 端子の選択は、PFC のピンセレクトレジスタで行います。

表 22.1 端子構成

端子名	入出力	機能
LCD_D15 ~ 0	出力	LCD パネル用データ
LCD_DON	出力	表示開始信号 (DON)
LCD_CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC)
LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK)
LCD_M_DISP	出力	液晶交流化信号 / DISP 信号
LCD_FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
LCD_VCPWC	出力	液晶モジュール電源制御 (VCC)
LCD_VEPWC	出力	液晶モジュール電源制御 (VEE)
LCD_CLK	入力	LCD クロックソース外部入力 外部クロックを入力してください。水晶発振子を接続することはできません。

【注】 液晶モジュールとの結線仕様に関しては、「22.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様をよく確認の上、決定してください。

22.3 レジスタの説明

LCDC のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。

表 22.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
パレットデータレジスタ 00～FF	LDPR00～ LDPRFF	R/W	H'FFE3 0000～ H'FFE3 03FC	H'1FE3 0000～ H'1FE3 03FC	32
LCDC インพุットクロックレジスタ	LDICKR	R/W	H'FFE3 0400	H'1FE3 0400	16
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FFE3 0402	H'1FE3 0402	16
LCDC データフォーマットレジスタ	LDDFR	R/W	H'FFE3 0404	H'1FE3 0404	16
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	R/W	H'FFE3 0408	H'1FE3 0408	32
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	R/W	H'FFE3 040C	H'1FE3 040C	32
LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	R/W	H'FFE3 0410	H'1FE3 0410	16
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FFE3 0412	H'1FE3 0412	16
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FFE3 0414	H'1FE3 0414	16
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FFE3 0416	H'1FE3 0416	16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FFE3 0418	H'1FE3 0418	16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FFE3 041A	H'1FE3 041A	16
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FFE3 041C	H'1FE3 041C	16
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	R/W	H'FFE3 041E	H'1FE3 041E	16
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FFE3 0420	H'1FE3 0420	16
LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FFE3 0424	H'1FE3 0424	16
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FFE3 0426	H'1FE3 0426	16
LCDC コントロールレジスタ	LDCNTR	R/W	H'FFE3 0428	H'1FE3 0428	16
LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	R/W	H'FFE3 0434	H'1FE3 0434	16
LCDC ユーザ指定割り込みラインナンバー レジスタ	LDUINTLNR	R/W	H'FFE3 0436	H'1FE3 0436	16
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	R/W	H'FFE3 0440	H'1FE3 0440	16

表 22.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
パレットデータレジスタ 00~FF	LDPR00 ~ LDPRFF	不定	保持	保持
LCDC インพุットクロックレジスタ	LDICKR	H'1101	保持	保持
LCDC モジュールタイプレジスタ	LDMTR	H'0109	保持	保持
LCDC データフォーマットレジスタ	LDDFR	H'000C	保持	保持
LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ	LDSARU	H'04000000	保持	保持
LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ	LDSARL	H'04000000	保持	保持
LCDC 表示パネル用取り込みデータラインアドレスオフセット レジスタ	LDLAOR	H'0280	保持	保持
LCDC パレットコントロールレジスタ	LDPALCR	H'0000	保持	保持
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	H'4F52	保持	保持
LCDC 水平同期信号レジスタ	LDHSYNR	H'0050	保持	保持
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	H'01DF	保持	保持
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	H'01DF	保持	保持
LCDC 垂直同期信号レジスタ	LDVSYNR	H'01DF	保持	保持
LCDC AC モジュレーション信号トグルラインナンバーレジスタ	LDACLNR	H'000C	保持	保持
LCDC 割り込みコントロールレジスタ	LDINTR	H'0000	保持	保持
LCDC パワーマネジメントモードレジスタ	LDPMMR	H'0010	保持	保持
LCDC 電源シーケンス期間レジスタ	LDPSPR	H'F60F	保持	保持
LCDC コントロールレジスタ	LDCNTR	H'0000	保持	保持
LCDC ユーザ指定割り込みコントロールレジスタ	LDUINTR	H'0000	保持	保持
LCDC ユーザ指定割り込みラインナンバーレジスタ	LDUINLNR	H'004F	保持	保持
LCDC メモリアクセスインターバルナンバーレジスタ	LDLIRNR	H'0000	保持	保持

22.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、周辺クロックまたは外部クロックを選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD_CL2) を生成します。TFT パネルの場合は LCD_CL2 = DOTCLK となり、STN、DSTN パネルの場合は LCD_CL2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD_CL2 にかかわらず、LCDC への入力クロックが周辺クロック (Pck) 以下となるように、LDICKR を設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ICKSEL[1:0]	-	-	-	-	-	-	-	DCDR[5:0]					
初期値:	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	ICKSEL[1:0]	01	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00：設定禁止 01：周辺クロックを選択 (Pck) 10：外部クロックを選択 (LCD_CLK) 11：設定禁止
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	DCDR[5:0]	000001	R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 22.4 を参照してください。

表 22.4 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)	
		50.000	54.000
000001	1/1	50.000	54.000
000010	1/2	25.000	27.000
000011	1/3	16.667	18.000
000100	1/4	12.500	13.500
000110	1/6	8.333	9.000
001000	1/8	6.250	6.750
001100	1/12	4.167	4.500
010000	1/16	3.125	3.375
011000	1/24	2.083	2.250
100000	1/32	1.563	1.688

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

22.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLM POL	CL1 POL	DISP POL	DPOL	-	MCNT	CL1CNT	CL2CNT	-	-	MIFTYP[5:0]					
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0: LCD_FLM パルスはハイアクティブ 1: LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0: LCD_CL1 パルスはハイアクティブ 1: LCD_CL1 パルスはローアクティブ
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0: LCD_M_DISP はハイアクティブ 1: LCD_M_DISP はローアクティブ

ビット	ビット名	初期値	R/W	説明
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールのLCD_D15~0(表示データ)の極性を選択します。液晶モジュールの反映をサポートしています。 0: LCD_D15~0はハイアクティブ。透過型液晶パネル 1: LCD_D15~0はローアクティブ。反射型液晶パネル
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	MCNT	0	R/W	M信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0: M(ACラインモジュレーション)信号を出力する 1: M信号は出力しない
9	CL1CNT	0	R/W	CL1(水平同期)制御 垂直帰線期間中のLCD_CL1出力を設定します。 0: 垂直帰線期間中、LCD_CL1は出力する 1: 垂直帰線期間中、LCD_CL1は出力しない
8	CL2CNT	1	R/W	CL2(液晶モジュールのドットクロック)制御 垂直水平帰線期間中のLCD_CL2出力を設定します。 0: 垂直水平帰線期間中、LCD_CL2は出力する 1: 垂直水平帰線期間中、LCD_CL2は出力しない
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5~0	MIFTYP[5:0]	001001	R/W	<p>モジュールインタフェースタイプ選択</p> <p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプは STN、DSTN、TFT の 3 種類から選択します。液晶パネルへの出力データバス幅は 4 ビット、8 ビット、12 ビット、16 ビットから選択します。TFT の液晶パネルの要求データバス幅が 16 ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFT と異なり、STN、DSTN の液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bpp の表示色数であっても 8 ビットのデータバス幅であったり、4bpp の表示色数であっても 12 ビットのデータバス幅であることがあります。これは、STN、DSTN の表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTN の場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、または DSTN タイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらず LCDC に内蔵された RGB 各 8 ビットの 24 ビット空調変調 FRC により表示制御が行われます。そのため、STN、または DSTN の表示においては 1600 万色から DSPCOLOR 指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ 4 ビットデータバスモジュール 000001 : STN モノクロ 8 ビットデータバスモジュール 001000 : STN カラー 4 ビットデータバスモジュール 001001 : STN カラー 8 ビットデータバスモジュール 001010 : STN カラー 12 ビットデータバスモジュール 001011 : STN カラー 16 ビットデータバスモジュール 010001 : DSTN モノクロ 8 ビットデータバスモジュール 010011 : DSTN モノクロ 16 ビットデータバスモジュール 011001 : DSTN カラー 8 ビットデータバスモジュール 011010 : DSTN カラー 12 ビットデータバスモジュール 011011 : DSTN カラー 16 ビットデータバスモジュール 101011 : TFT カラー 16 ビットデータバスモジュール 上記以外の設定 : 設定禁止</p>

22.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PABD	-	DSPCOLOR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アライメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 (B'0101) としてください。 0: バイトデータ内をビッグエンディアンに設定 1: バイトデータ内をリトルエンディアンに設定
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	DSPCOLOR [6:0]	0001100	R/W	表示カラー選択 ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。 (パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。 回転表示時にサポート可能な色数は、表示解像度によって制限されます。 0000000: モノクロ、2 グレyscaleール、1bpp (パレット経由) 0000001: モノクロ、4 グレyscaleール、2bpp (パレット経由) 0000010: モノクロ、16 グレyscaleール、4bpp (パレット経由) 0000100: モノクロ、64 グレyscaleール、6bpp (パレット経由) 0001010: カラー、16 色、4bpp (パレット経由) 0001100: カラー、256 色、8bpp (パレット経由) 0011101: カラー、32k 色 (RGB: 5-5-5)、15bpp 0101101: カラー、64k 色 (RGB: 5-6-5)、16bpp 上記以外の設定: 設定禁止

22.3.4 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	SAU[27:16]											
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAU[15:4]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27	SAU[27]	0	R/W	上部パネル表示データの取り込み開始アドレス
26	SAU[26]	1	R/W	表示データの取り込み開始アドレスはエリア 1、2 の SDRAM 領域内に設定します。
25~4	SAU[25:4]	すべて0	R/W	
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。

22.3.5 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	SAL[27:16]											
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL[15:4]												-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	SAL[27]	0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 1、2 の SDRAM 領域内に設定します。 STN、TFT：使用しません DSTN：下部パネルに対応する表示データの取り込み開始アドレス
26	SAL[26]	1	R/W	
25~4	SAL[25:4]	すべて 0	R/W	
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 LDSARL の最小アラインメント単位は 32 バイトです。下位 5 ビットには 0 を設定してください。

22.3.6 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが $A_x + B_y + C$ で計算される場合、本レジスタはこの式の B と等しくなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO[15:0]															
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	LAO[15:0]	H'0280	R/W	ラインアドレスオフセット 最小のアライメント単位は 32 バイトです。32 バイト単位の処理となるので、各レジスタ書き込み値の下位 5 ビットは 0 としてください。また、レジスタ値を読み出すと下位 5 ビットは 0 が読み出されます。初期値は、VGA (640 × 480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (× 解像度 = 640) となっています。LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。

22.3.7 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PALS	-	-	-	PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (CPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し / 書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

22.3.8 パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPR は、メモリ空間上に直接配置 (4 バイト × 256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00 ~ LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「22.4.2 カラーパレット仕様について」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn[23:16]							
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	-	-	R	リザーブビット
23 ~ 0	PALDnn[23:0]	-	R/W	パレットデータ ビット 18 ~ 16、9、8、2 ~ 0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn = H'00 ~ H'FF

22.3.9 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN[7:0]								HTCN[7:0]							
初期値 :	0	1	0	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	HDCN[7:0]	01001111	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (キャラクタ = 8 ドット単位)。 (表示キャラクタ数) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
7~0	HTCN[7:0]	01010010	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (キャラクタ = 8 ドット単位)。 (総キャラクタ数) - 1 の値を設定してください。 ただし、最小の水平帰線期間は 3 キャラクタ (24 ドット) です。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は 664 ドット、水平帰線期間は 24 ドットになります。

- 【注】
1. HDCN、HTCN の設定値は、 $HTCN > = HDCN$ の関係を必ず満足してください。また、HTCN は総キャラクタ数を偶数としてください (設定値は -1 値設定のため奇数となります)。
 2. HDCN の設定は、使用するディスプレイの解像度によって下記としてください。
 - 1bpp の場合 : (16 の倍数) - 1 [1 ラインが 128pixel の倍数]
 - 2bpp の場合 : (8 の倍数) - 1 [1 ラインが 64pixel の倍数]
 - 4bpp の場合 : (4 の倍数) - 1 [1 ラインが 32pixel の倍数]
 - 6bpp/8bpp の場合 : (2 の倍数) - 1 [1 ラインが 16pixel の倍数]

22.3.10 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向 (スキャン方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSYNW[3:0]				-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HSYNW[3:0]	すべて0	R/W	水平同期信号幅 水平画面方向の同期信号 (CL1、Hsync) 幅を設定します (キャラクタ=8 ドット単位)。 (水平同期信号幅) - 1 の値を設定してください。 (例) 水平同期信号幅を8ドットとする場合 $HSYNW = (8 \text{ドット} / 8 \text{ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
11~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	HSYNP[7:0]	01010000	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置を設定します (キャラクタ=8ドット 単位)。 (水平同期信号出力位置) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$ この場合、648ドット目から655ドット目まで水平同期信号が アクティブになります。

【注】 $HTCN > = HSYNP + HSYNW + 1$

$HSYNP > = HDCN + 1$ の関係を満足してください。

22.3.11 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	VDLN[10:0]	00111011111	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します(ライン単位)。 (表示ライン数) - 1 の値を設定してください。 (例) 480 ラインの液晶モジュールを使用する場合 VDLN = 480 - 1 = 479 = H'1DF

22.3.12 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	VTLN[10:0]	00111011111	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します(ライン単位)。 (総ライン数) - 1 の値を設定してください。 最小の垂直総ライン数は2ラインです。 VTLN >= VDLN、VTLN >= 1 を満足してください。 (例) 480 ラインの液晶モジュールを使用し、垂直帰線期間が0ラインの場合 VTLN = (480 + 0) - 1 = 479 = H'1DF

22.3.13 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNW[3:0]				-	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	VSYNW[3:0]	すべて 0	R/W	垂直同期信号幅 垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。 (垂直同期信号幅) - 1 の値を設定してください。 (例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW = (1 - 1) = 0 = H'0$
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	VSYNP[10:0]	00111011111	R/W	垂直同期信号出力位置 垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。 (垂直同期信号出力位置) - 2 の値を設定してください。 DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。 (例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり VTLN = 479 のときに 1 ライン目に垂直同期信号をアクティブにする場合 <ul style="list-style-type: none"> シングルディスプレイの場合 $VSYNP = [(1 - 1) + VTLN] \bmod (VTLN + 1) = [(1 - 1) + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$ デュアルディスプレイの場合 $VSYNP = [(1 - 1) \times 2 + VTLN] \bmod (VTLN + 1) = [(1 - 1) \times 2 + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$

22.3.14 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	ACLN[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	ACLN[4:0]	01100	R/W	AC ラインナンバー 液晶モジュール交流化信号をトグルする行数を設定します(ライン単位)。 (トグルする行数) - 1 の値を設定してください。 (例) 13 ラインごとにトグルさせる場合 ACLN = 13 - 1 = 12 = H'0C

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

22.3.15 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、Vsync 割り込みの開始点を指定するレジスタです。割り込みについては、「22.3.19 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)」および「22.3.20 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)」も参照してください。なお、本レジスタの設定による作用と、LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) の設定による作用は独立です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MINT EN	FINT EN	VSINT EN	VEINT EN	MINTS	FINTS	VSINTS	VEINTS	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	MINTEN	0	R/W	メモリアクセス割り込みイネーブル LCDC による VRAM アクセスの垂直帰線期間の開始点で割り込みを発生するか否かを設定します。 0 : VRAM アクセスの垂直帰線期間の開始点で割り込みを発生しません。 1 : VRAM アクセスの垂直帰線期間の開始点で割り込みを発生します。
14	FINTEN	0	R/W	フレーム終了割り込みイネーブル 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するか否かを設定します。 0 : 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生しません。 1 : 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生します。
13	VSINTEN	0	R/W	Vsync 開始割り込みイネーブル LCDC Vsync の開始時に割り込みを発生するか否かを設定します。 0 : LCDC Vsync の開始時に割り込みを発生しません。 1 : LCDC Vsync の開始時に割り込みを発生します。
12	VEINTEN	0	R/W	Vsync 終了割り込みイネーブル LCDC Vsync の終了時に割り込みを発生するか否かを設定します。 0 : LCDC Vsync の終了時に割り込みを発生しません。 1 : LCDC Vsync の終了時に割り込みを発生します。

ビット	ビット名	初期値	R/W	説明
11	MINTS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>メモリアクセス割り込みの処理状態を表します。</p> <p>このビットは、LCDC メモリアクセス割り込みが発生した時点で 1 を示します (セット状態)。メモリアクセス割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がメモリアクセス割り込みを発生していないか、またはメモリアクセス割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がメモリアクセス割り込みを発生し処理済の通知を受けていない状態を表します。</p>
10	FINTS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC フレーム終了割り込みが発生した時点で 1 を示します (セット状態)。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がフレーム終了割り込みを発生していないか、またはフレーム終了割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がフレーム終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
9	VSINTS	0	R/W	<p>Vsync 開始割り込み状態</p> <p>LCDC Vsync 開始割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 開始割り込みが発生した時点で 1 を示します (セット状態)。Vsync 開始割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 開始割り込みを発生していないか、または Vsync 開始割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC が Vsync 開始割り込みを発生し処理済の通知を受けていない状態を表します。</p>
8	VEINTS	0	R/W	<p>Vsync 終了割り込み状態</p> <p>LCDC Vsync 終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 終了割り込みが発生した時点で 1 を示します (セット状態)。Vsync 終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 終了割り込みを発生していないか、または Vsync 終了割り込み発生に対して処理済の通知を受けた状態を示します。</p> <p>1 : LCDC が Vsync 終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

22.3.16 LCDC パワーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。LCD_VCPWC と LCD_VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONC[3:0]				OFFD[3:0]				-	VCPE	VEPE	DONE	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	ONC[3:0]	すべて0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 の「電源制御シーケンスと液晶モジュールの動作状態」の(c)期間に当たります。詳細な方法は、表 22.5 を参照してください(設定方法は ONA、ONB、OFFD、OFFE、OFFF の各レジスタに共通です)。
11~8	OFFD[3:0]	すべて0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネゲートから LCD_VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 の「電源制御シーケンスと液晶モジュールの動作状態」の(d)期間に当たります。
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	VCPE	0	R/W	LCD_VCPWC 端子イネーブル LCD_VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0: (処理無) LCD_VCPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
5	VEPE	0	R/W	LCD_VEPWC 端子イネーブル LCD_VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_VEPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

ビット	ビット名	初期値	R/W	説明
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCD_DON 端子出力はマスクされロー固定 1 : (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネゲートする
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	LPS[1:0]	すべて0	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00 : 液晶モジュール電源遮断 11 : 液晶モジュール電源投入

22.3.17 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。
LCD_VEPWC、LCD_VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA[3:0]				ONB[3:0]				OFFE[3:0]				OFFF[3:0]			
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	ONA[3:0]	1111	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VCPWC 端子のアサートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。
11~8	ONB[3:0]	0110	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から LCD_VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。
7~4	OFFE[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて LCD_VEPWC 端子ネゲートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。
3~0	OFFF[3:0]	1111	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から LCD_VCPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 22.5 ~ 図 22.8 「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。

22.3.18 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始 / 終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するときは、DON ビットを 0 に設定します。LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DON2	-	-	-	DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0 : LCDC 動作 / 終了中 1 : 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0 : LCDC 非動作。表示オフモード 1 : LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
 - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。

22.3.19 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)

LDUINTR は、ユーザ指定割り込みの発生有無を設定し、その状態を表示するレジスタです。本割り込みは、LCDC が LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) で設定したラインの画像データを VRAM から読み終えた時点で発生します。

本 LCDC が発行する割り込み (LCDCI) は、本レジスタによるユーザ指定割り込みと LCDC 割り込みコントロールレジスタ (LDINTR) によるメモリアクセス、Vsync 割り込みとの OR 出力となります。なお、本レジスタと LCDC 割り込みコントロールレジスタ (LDINTR) の設定は、割り込み動作に対して独立に作用します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UINTEN	-	-	-	-	-	-	-	UINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	UINTEN	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかどうかを設定します。 0: LCDC ユーザ指定割り込みを発生しません。 1: LCDC ユーザ指定割り込みを発生します。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	UINTS	0	R/W	ユーザ指定割り込み状態 このビットは、LCDC ユーザ指定割り込みが発生した時点で1を示します (セット状態)。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。 0: LCDC がユーザ指定割り込みを発生していないか、またはユーザ指定割り込み発生に対して処理済の通知を受けた状態を表します。 1: LCDC がユーザ指定割り込みを発生し処理済の通知を受けていない状態を表します。

【注】 割り込み処理の流れ

1. 割り込み信号入力
2. LDINTR のリード
3. もし MINTS または FINITS または VSINTS または VEINTS = 1 ならば、その割り込みはメモリアクセスあるいはフレーム終了割り込みあるいは Vsync 立ち上がり割り込みあるいは Vsync 立ち下がり割り込み。それぞれの割り込みに対する処理を行う。
4. もし MINTS = FINITS = VSINTS = VEINTS = 0 ならば、その割り込みはメモリアクセス、フレーム終了、Vsync 立ち上がり割り込み、および Vsync 立ち下がり割り込みではない。
5. UINTS のリード
6. もし UINTS = 1 ならば、その割り込みはユーザ指定割り込み。ユーザ指定割り込みに対する処理を行う。
7. もし UINTS = 0 ならば、その割り込みはユーザ指定割り込みではない。他の処理を行う。

22.3.20 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)

LDUINTLNR は、ユーザ指定割り込みを発生する位置を設定するレジスタです。設定は水平ライン単位で行うことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	UINTLN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	UINTLN[10:0]	0000100 1111	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生するラインを設定します (ライン単位)。 (割り込み発生ライン数) - 1 の値を設定してください。 (例) 80 ライン目にユーザ指定割り込みを発生する場合: HINTLN = 160/2 - 1 = 79 = H'04F

- 【注】
1. STN/TFT の液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) 以下にしてください。
 2. DSTN 液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) の 1/2 以下に設定してください。このとき、ユーザ指定割り込みは LCDC が下部画面の画像データを本レジスタに設定したライン数分 VRAM から読み終えた時点で発生します。

22.3.21 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)

LDLIRNR は、LCDC が VRAM を読み出す際のバスサイクルの間隔を制御します。LDLIRNR に H'00 以外の値を設定した場合には、SDRAM のクロック数をカウントし LDLIRNR の設定値と一致するまで、LCDC は VRAM をアクセスしません。LDLIRNR に H'00 を設定した場合 (初期値) には、LCDC の VRAM アクセスの 1 クロック後に、LCDC が VRAM アクセスを行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LIRN[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	LIRN[7:0]	すべて 0	R/W	LCDC の VRAM 読み出しクロックサイクル間隔 LCDC が VRAM を読み出すバーストバスサイクルの間の SDRAM のクロックサイクル数を指定します。 H'00 : 1 クロックサイクル H'01 : 1 クロックサイクル H'02 : 2 クロックサイクル : H'FE : 254 クロックサイクル H'FF : 255 クロックサイクル

22.4 動作説明

22.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024 × 1024 ドット、16bpp (ビットパーピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である VRAM に格納されており、本 LCDC は表示に間に合うように VRAM からデータの読み出しを行う必要があります。

本 LSI では、最大 16 バースト (32bit 幅) のメモリリードと 2.4k バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。フレームレート 60Hz とした場合の推奨するサイズとしては、16bpp 時 320 × 240 ドット、もしくは 8bpp 時 640 × 480 ドットです。

目安としては、下記に示されたバス占有率が 40% を超えないようにしてください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数} ((\text{HDCN} + 1) \times 8 \times (\text{VDLN} + 1)) \times \text{フレームレート (Hz)} \times \text{色数 (bpp)}}{\text{CLKOUT (Hz)} \times \text{バス幅 (= 32bit)}} \times 100$$

オーバーヘッド係数は、CL (CAS レイテンシ) = 2 の SDRAM が 32 ビットバスのときに 2.000 となります (64 ビットバスのときに 1.825 いずれもベストケースの理想値になります)。

図 22.2 に有効な表示と帰線期間について示します。

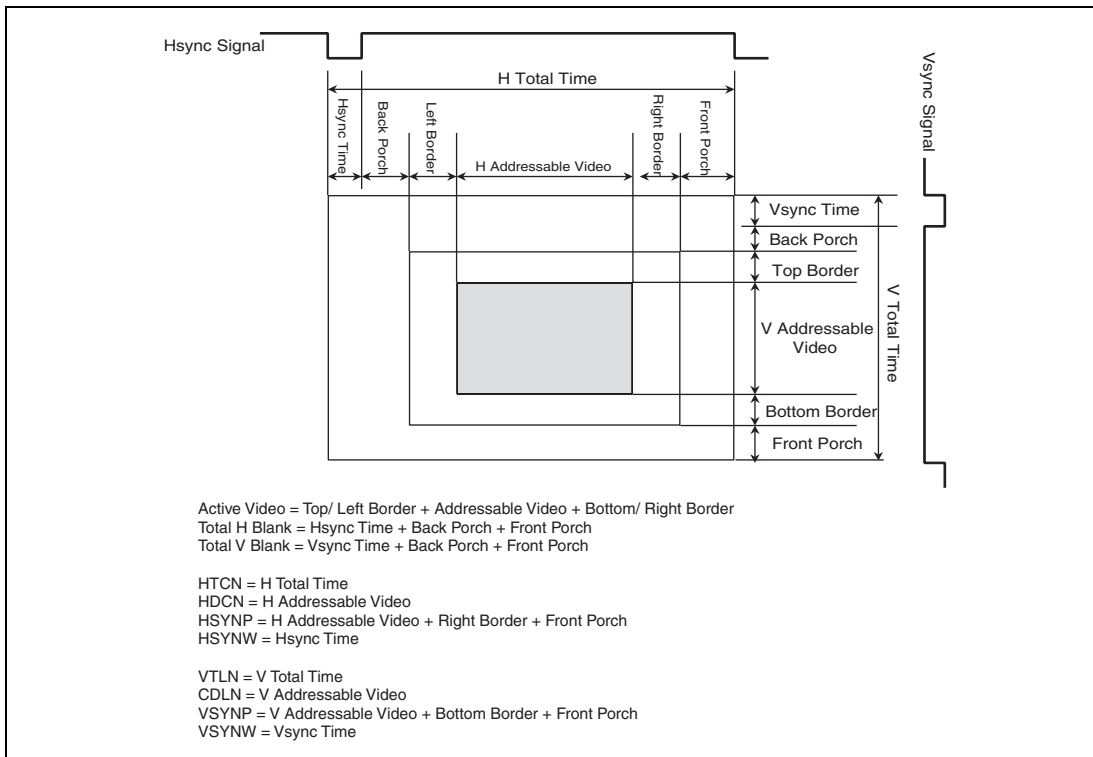


図 22.2 有効な表示と帰線期間

22.4.2 カラーパレット仕様について

(1) カラーパレットレジスタ

本LCDCは1エントリにつき24ビットデータ出力で256エントリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCRのPALENビット=0(初期値)：通常表示動作
2. LDPALCRにアクセスしPALEN=1を設定：カラーパレット設定モードに移行は周辺クロックの3サイクル後
3. LDPALCRにアクセスしPALS=1を確認
4. LDPR00~FFにアクセスしPALD00~FFに必要な値を書き込む
5. LDPALCRにアクセスしPALEN=0を設定：通常表示モードに移行は周辺クロックの1サイクル後

なお、LDPALCRのPALS=1の間、LCDC表示データ出力(LCD_D15~0)は0値出力となります。

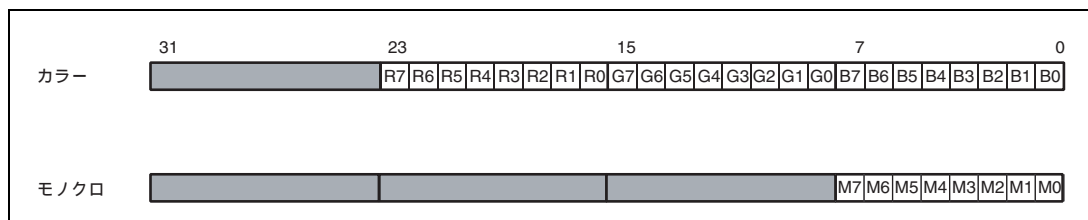


図 22.3 カラーパレットデータフォーマット

PALDnnの色/階調データは上記のように設定してください。

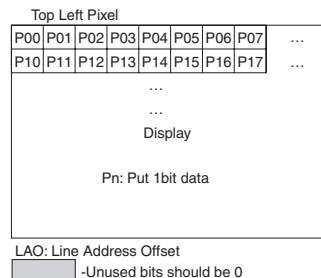
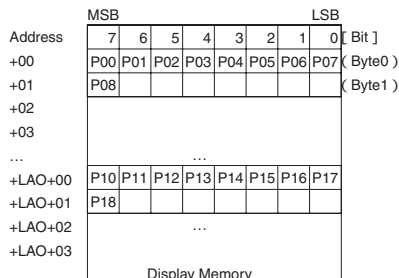
カラー表示の場合、PALDnn[23:16]にはRデータを、PALDnn[15:8]にはGデータを、PALDnn[7:0]にはBデータを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5ビット、G:6ビット、B:5ビットが有効となります。実際に使用する際は、24ビット(R:8ビット、G:8ビット、B:8ビット)のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0または1で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0のときはPALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0で埋めることで24ビットに拡張します。

モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]はdon't careです。PALDnn[7:3]の値が0でないときはPALDnn[2:0]を1で埋め、PALDnn[7:3]の値が0のときはPALDnn[2:0]を0で埋めることで8ビットに拡張します。

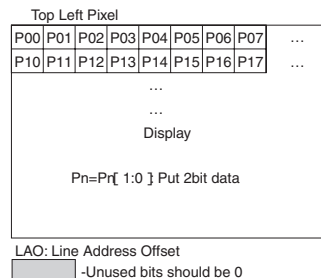
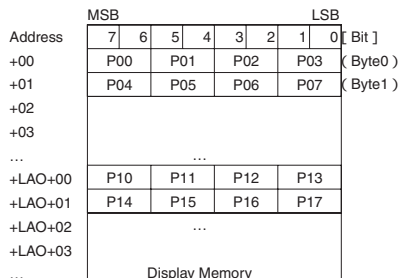
【記号説明】nn：H'00～H'FF

22.4.3 データフォーマット

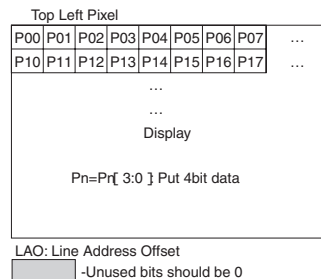
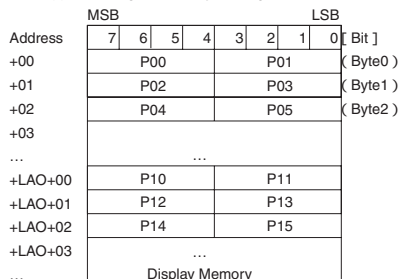
1.Packed 1bpp (Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



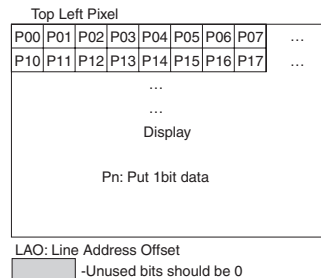
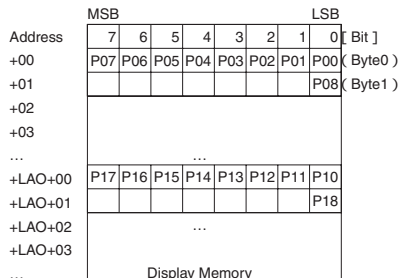
2.Packed 2bpp (Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



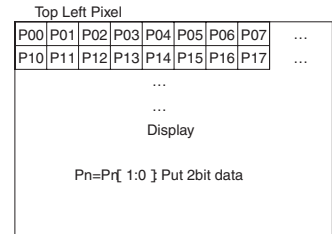
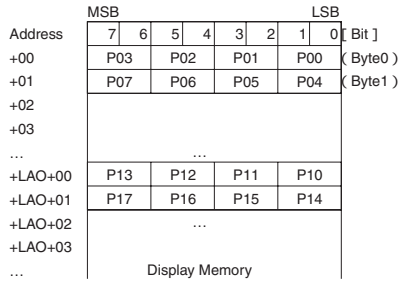
3.Packed 4bpp (Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]




4.Packed 1bpp (Pixel Alignment in Byte is Little Endian)

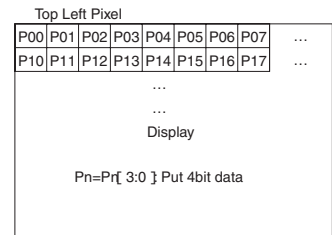
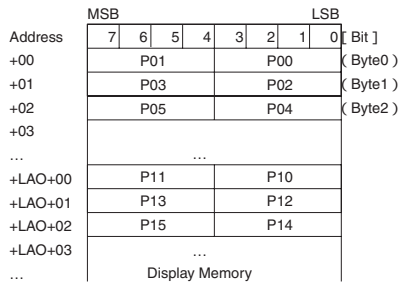



5.Packed 2bpp (Pixel Alignment in Byte is Little Endian)



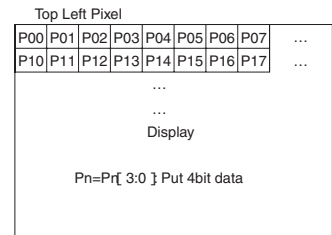
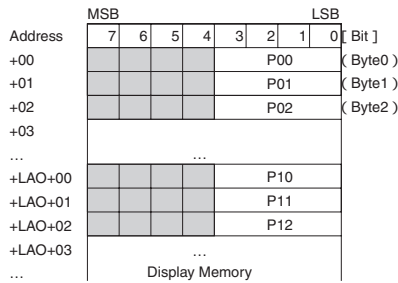
LAO: Line Address Offset
 -Unused bits should be 0


6.Packed 4bpp (Pixel Alignment in Byte is Little Endian)



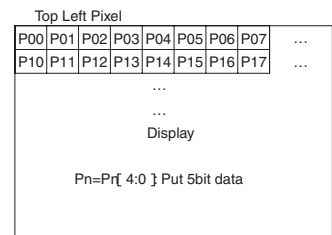
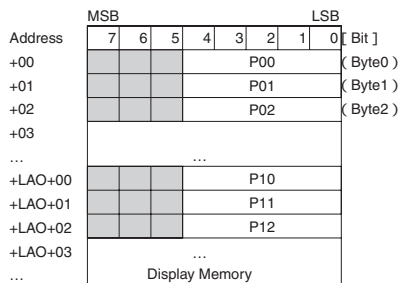
LAO: Line Address Offset
 -Unused bits should be 0


7.Unpacked 4bpp [Windows CE Recommended Format]



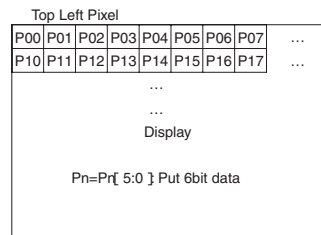
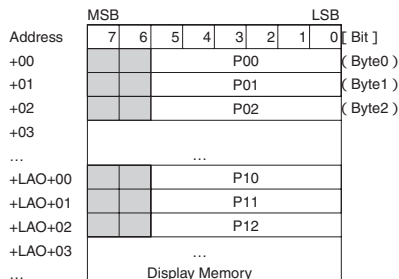
LAO: Line Address Offset
 -Unused bits should be 0

8.Unpacked 5bpp [Windows CE Recommended Format]



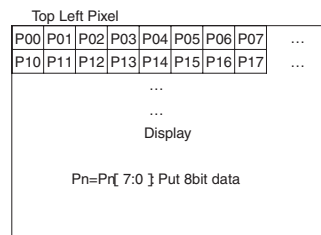
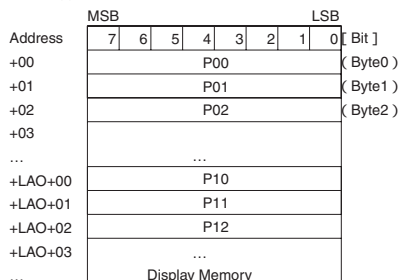
LAO: Line Address Offset
 -Unused bits should be 0

9.Unpacked 6bpp [Windows CE Recommended Format]



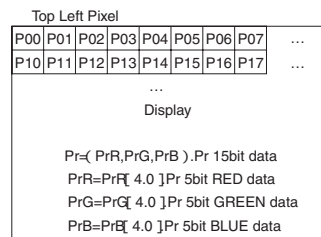
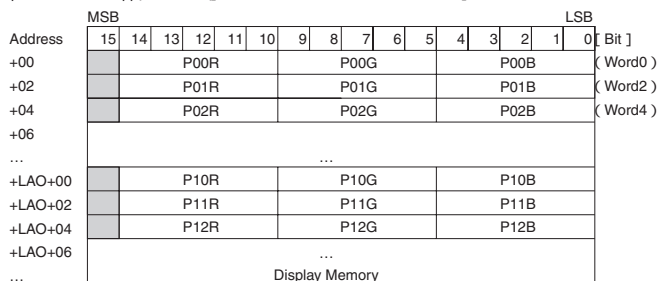
LAO: Line Address Offset
 [] -Unused bits should be 0

10.Packed 8bpp [Windows CE Recommended Format]



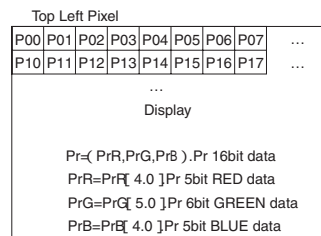
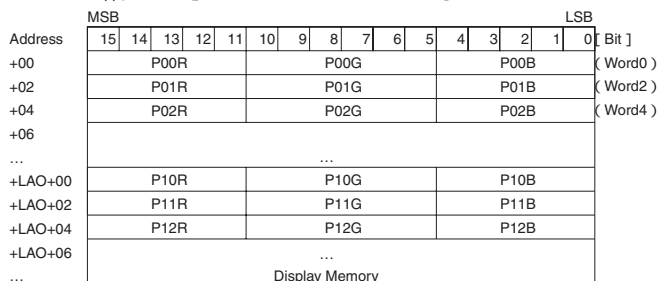
LAO: Line Address Offset
 [] -Unused bits should be 0

11.Unpacked color 15bpp [RGB 555] Windows CE Recommended Format]



LAO: Line Address Offset
 [] -Unused bits should be 0

12.Packed color 16bpp [RGB 565] Windows CE Recommended Format]



LAO: Line Address Offset
 [] -Unused bits should be 0

22.4.4 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640 × 480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

22.4.5 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD_VCPWC、LCD_VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスのフローチャートを図 22.4 に、概略タイミングチャートを図 22.5 ~ 図 22.8 に、設定可能な電源制御シーケンス期間の説明を表 22.5 に示します。

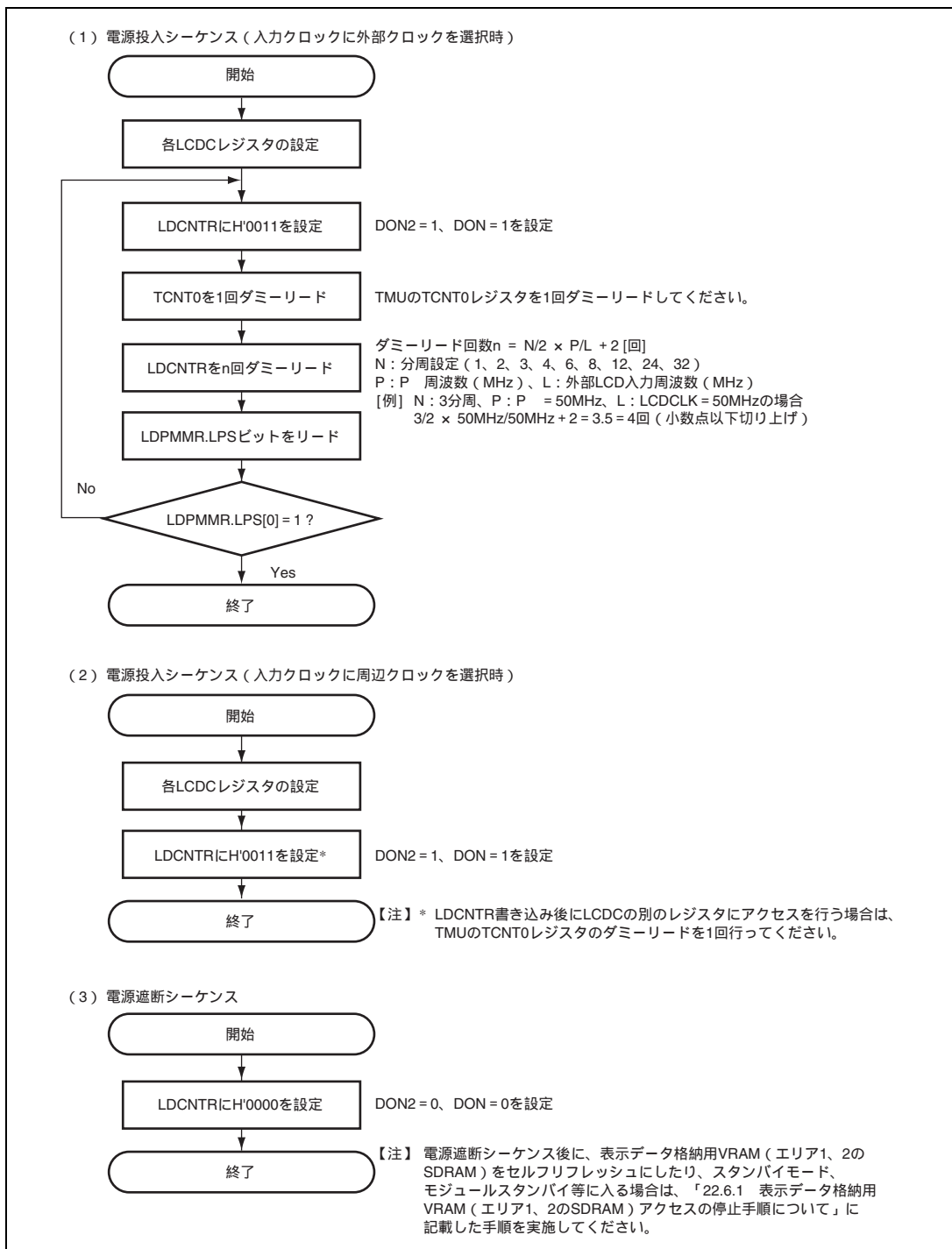


図 22.4 電源制御シーケンスのフローチャート

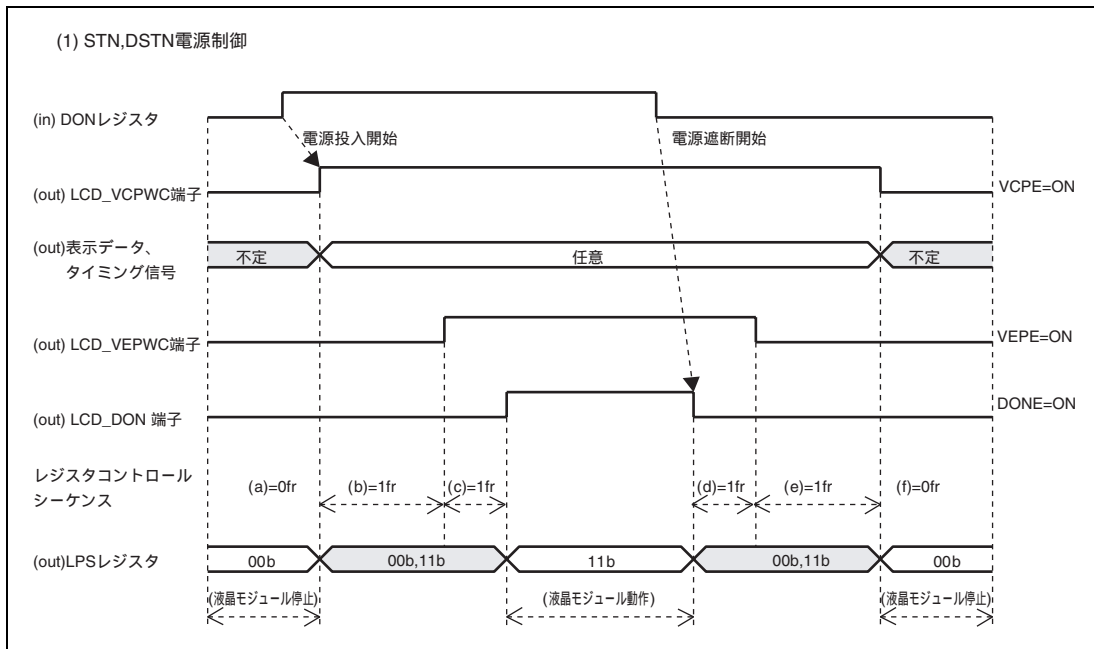


図 22.5 電源制御シーケンスと液晶モジュールの動作状態

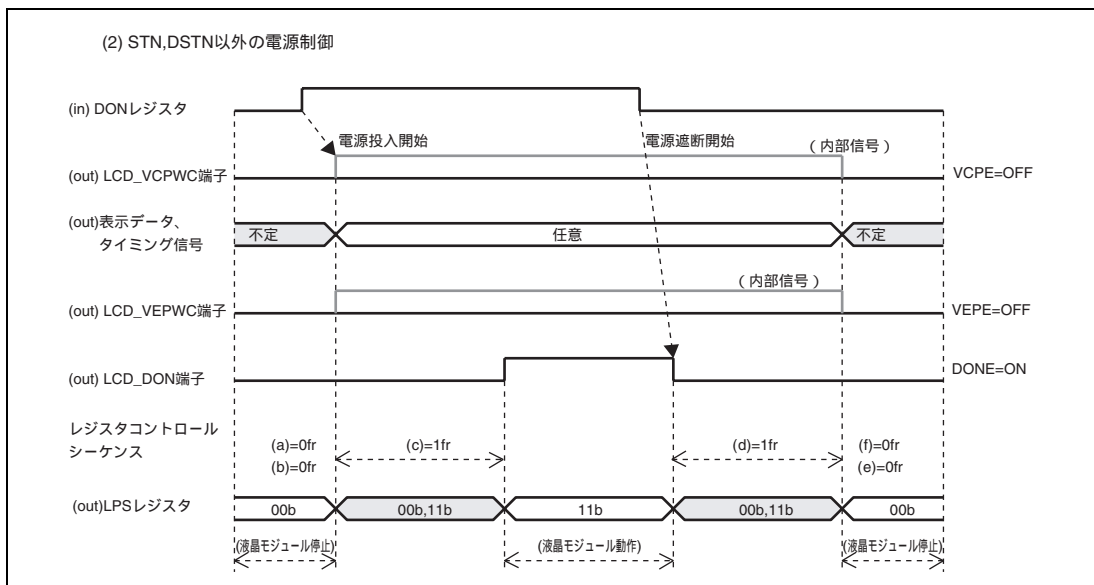


図 22.6 電源制御シーケンスと液晶モジュールの動作状態

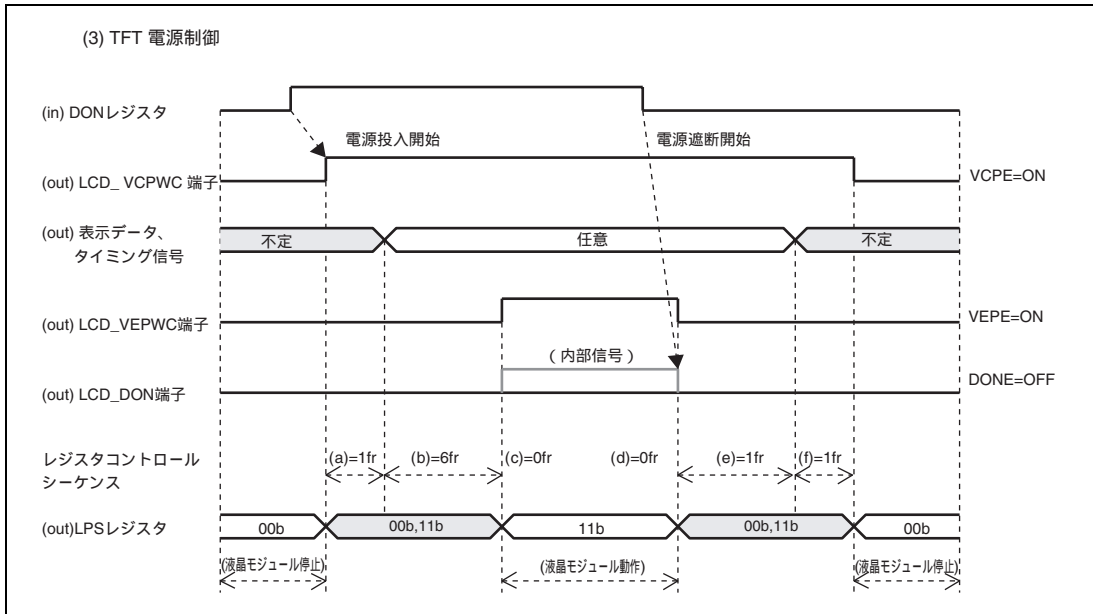


図 22.7 電源制御シーケンスと液晶モジュールの動作状態

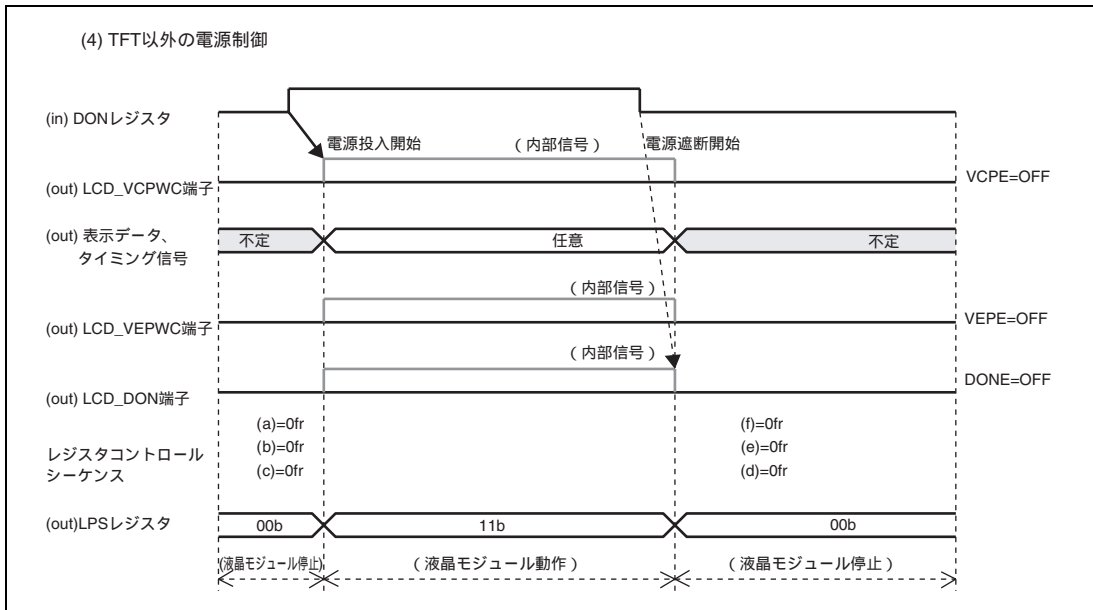


図 22.8 電源制御シーケンスと液晶モジュールの動作状態

表 22.5 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0~15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は (-1 値) 設定であり、H'0~H'E 設定でおのおの 1~15 フレーム、HF 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONBレジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は $8.33 \text{ (ms)} = 1/120 \text{ (sec)}$

ONB レジスタは (-1 値) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は $58.33 \text{ (ms)} = 8.33 \text{ (ms)} \times 7$ となります。

表 22.6 LCDC 動作モード

モード		機能
表示 ON (LCDC 動作)	レジスタ設定: DON = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定: DON = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 22.7 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_D15~0	LCD_VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_D15~0	LCD_VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

表示 OFF モード (LCDC 停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

22.5 クロックと LCD データ信号例

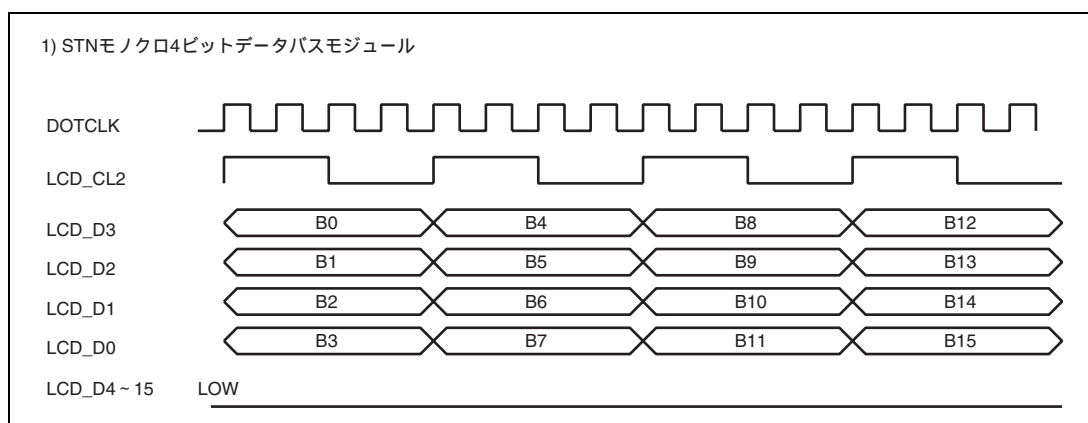


図 22.9 クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール)

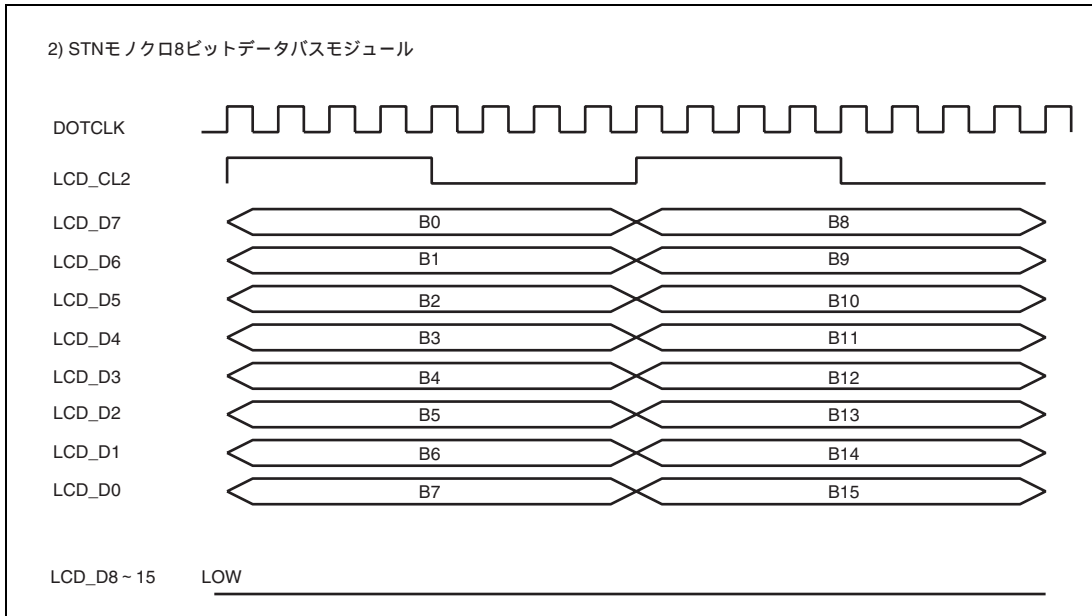


図 22.10 クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール)

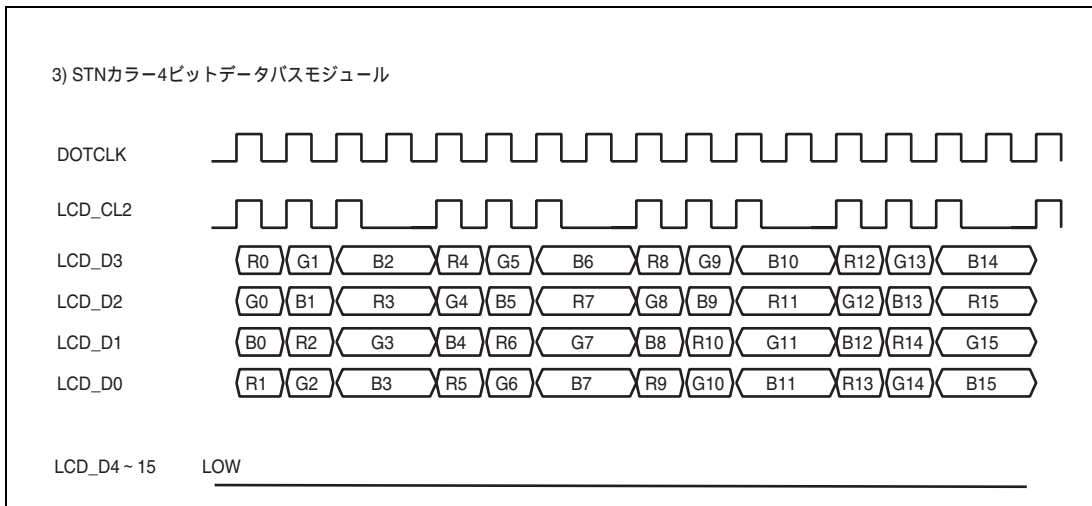


図 22.11 クロックと LCD データ信号例 (STN カラー 4 ビットデータバスモジュール)

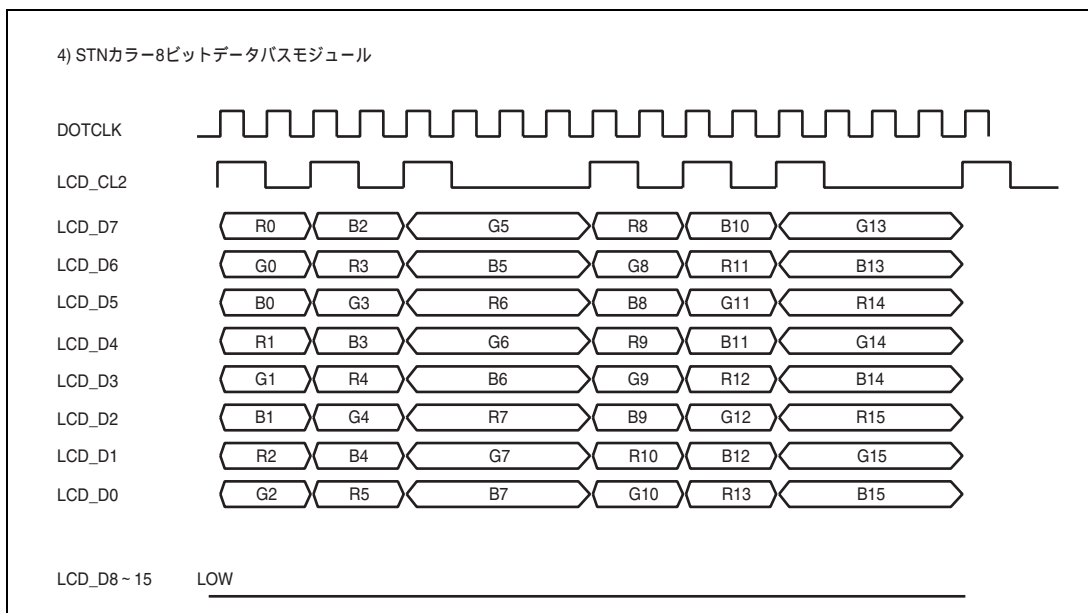


図 22.12 クロックと LCD データ信号例 (STN カラー8ビットデータバスモジュール)

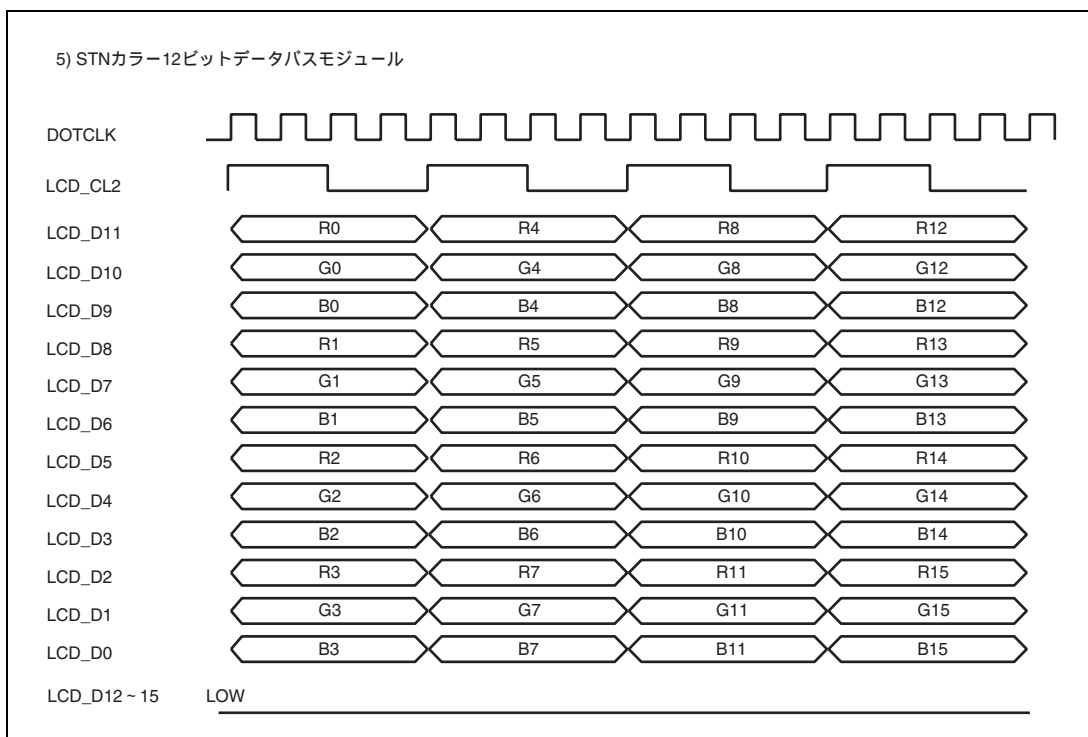


図 22.13 クロックと LCD データ信号例 (STN カラー12ビットデータバスモジュール)

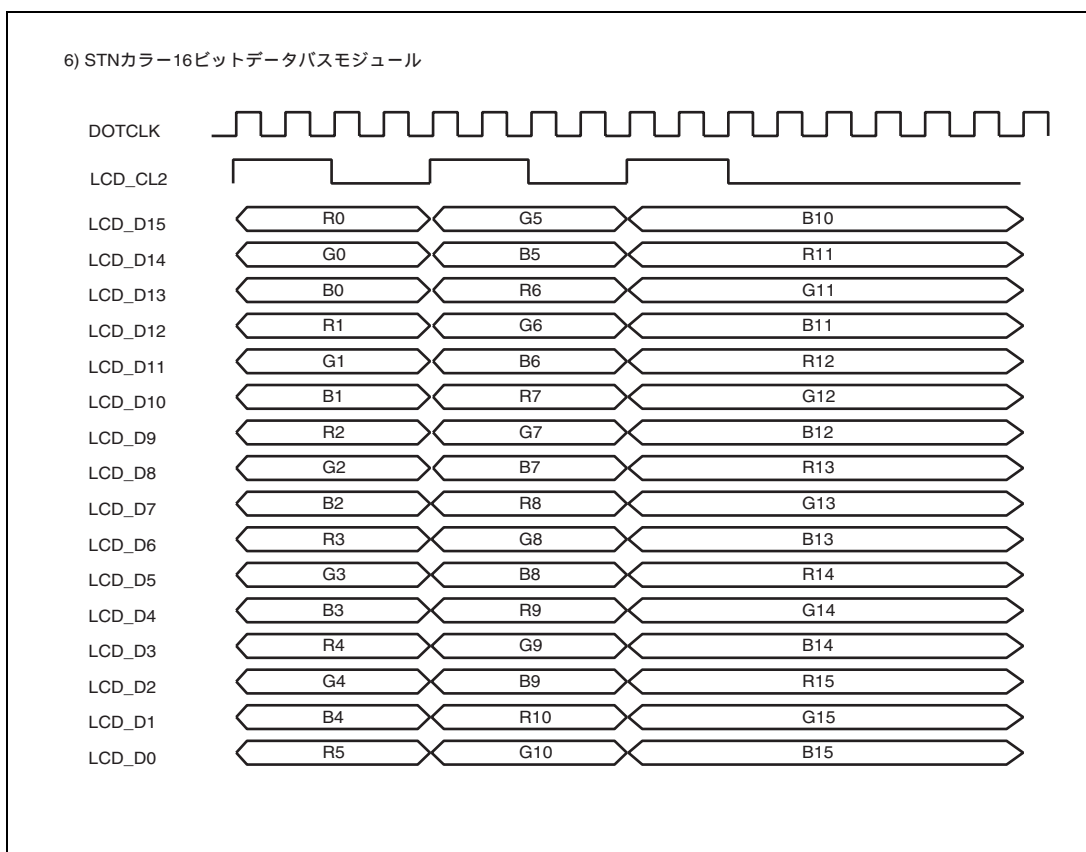


図 22.14 クロックと LCD データ信号例 (STN カラー-16 ビットデータバスモジュール)

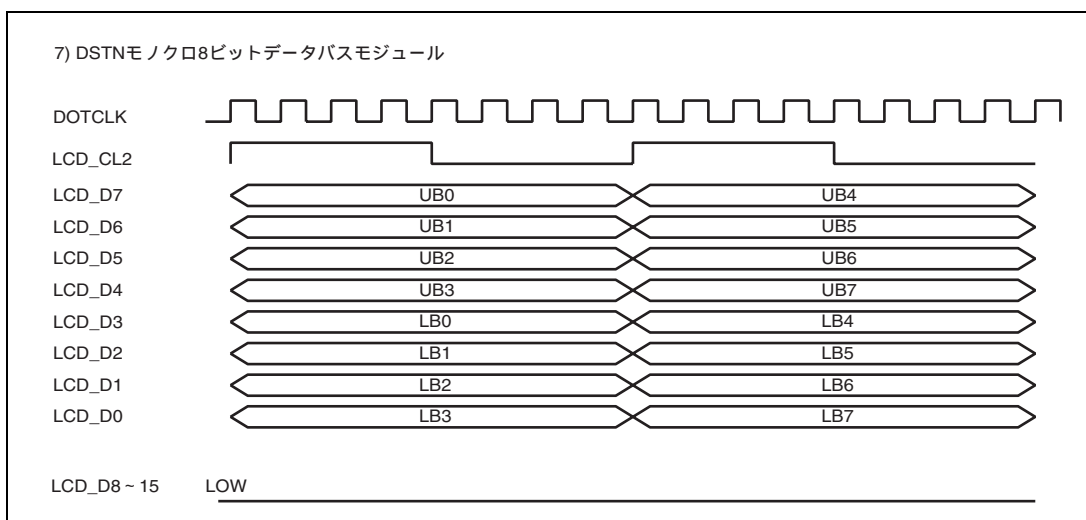


図 22.15 クロックと LCD データ信号例 (DSTN モノクロ 8 ビットデータバスモジュール)

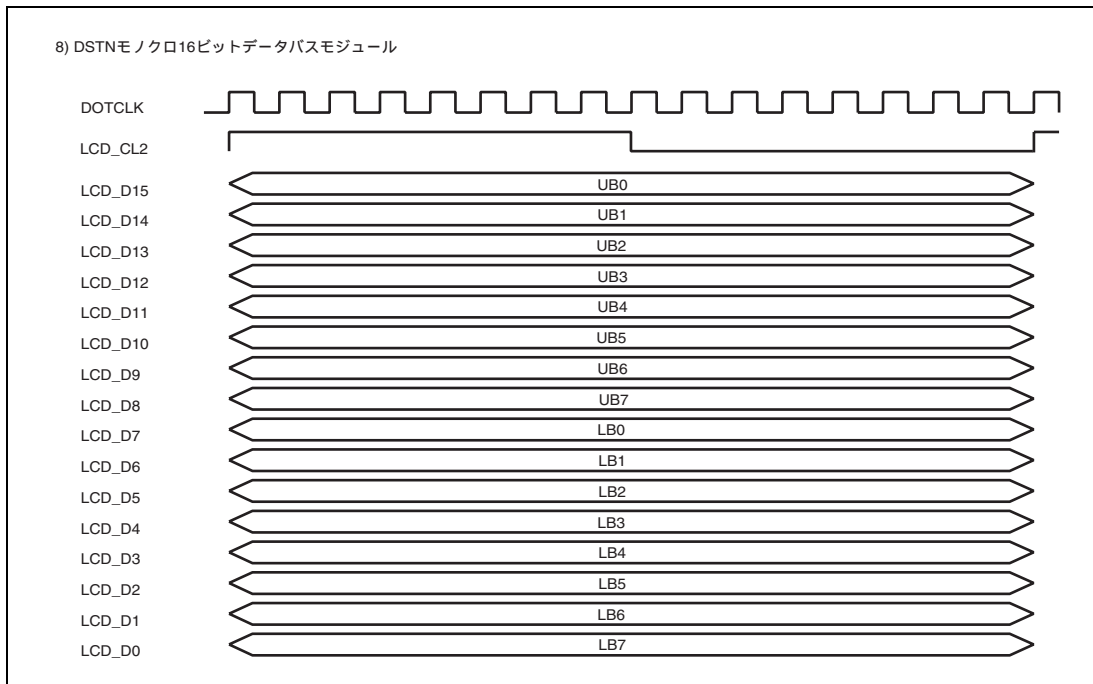


図 22.16 クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール)

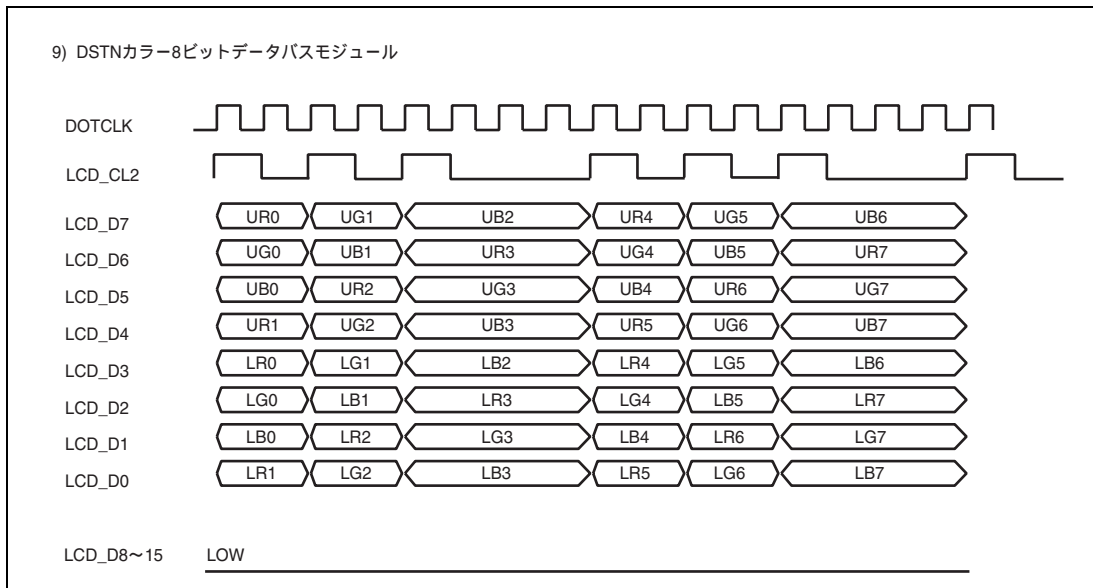


図 22.17 クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール)

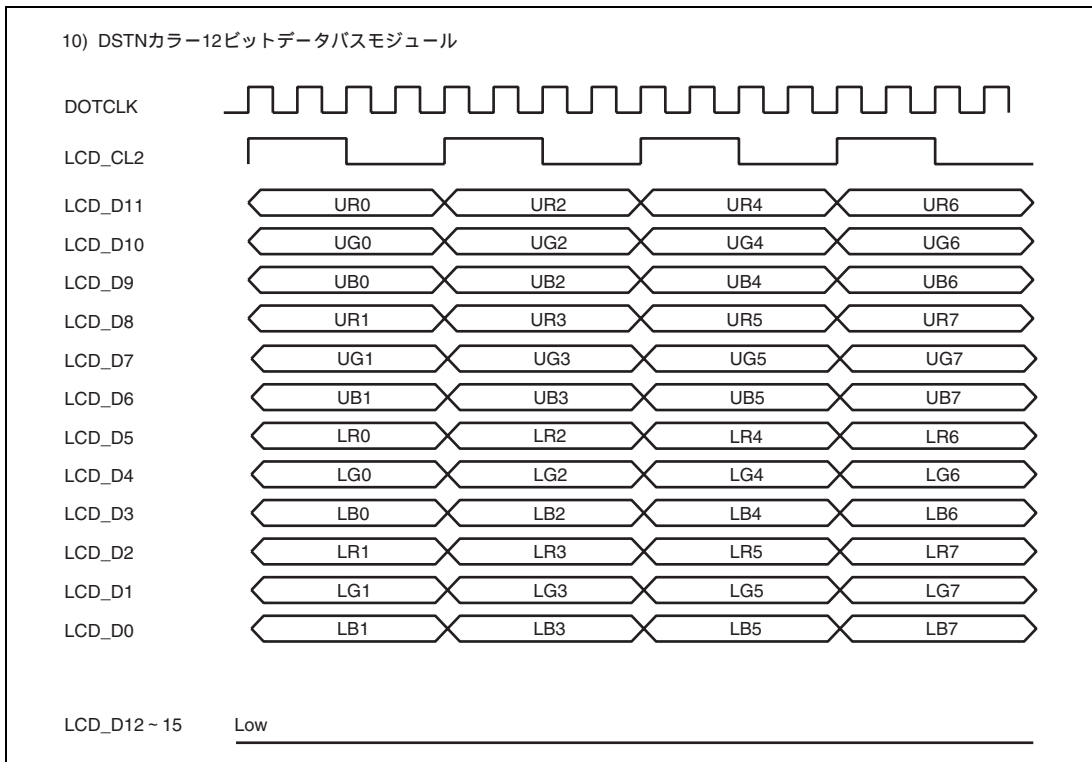


図 22.18 クロックと LCD データ信号例 (DSTN カラー12ビットデータバスモジュール)

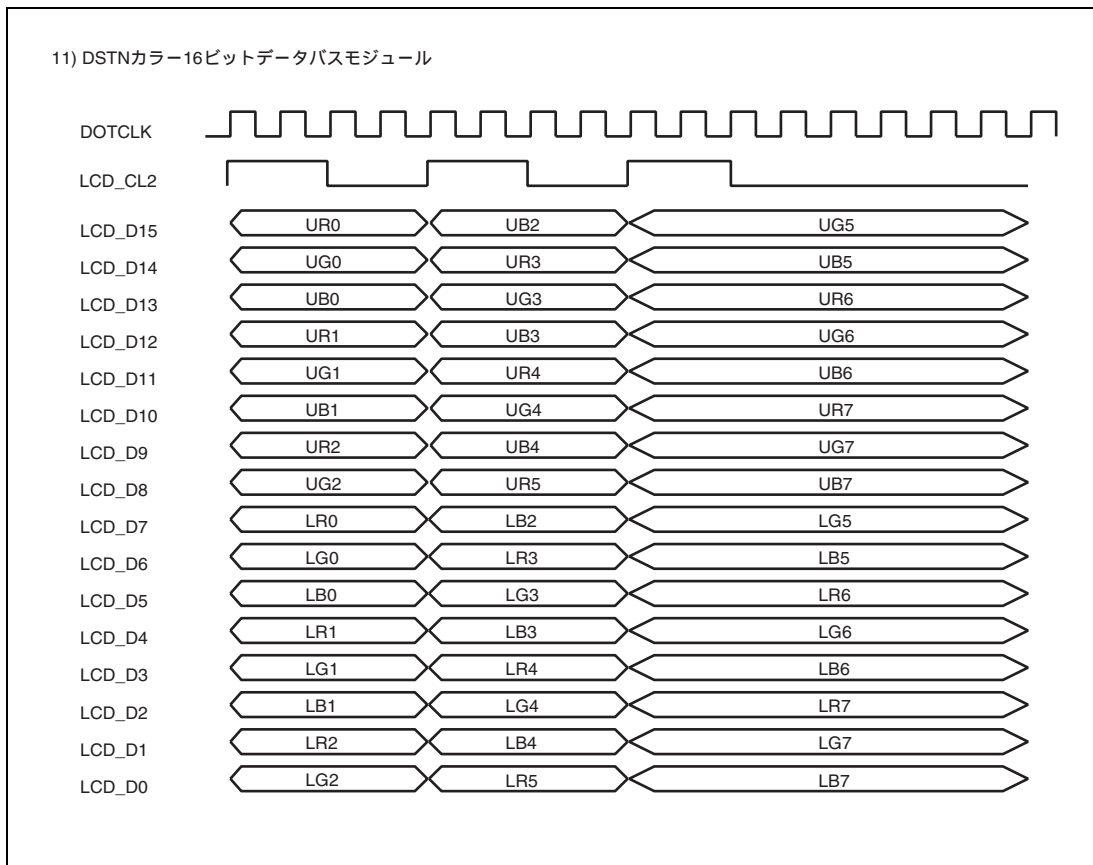


図 22.19 クロックと LCD データ信号例 (DSTN カラー16ビットデータバスモジュール)

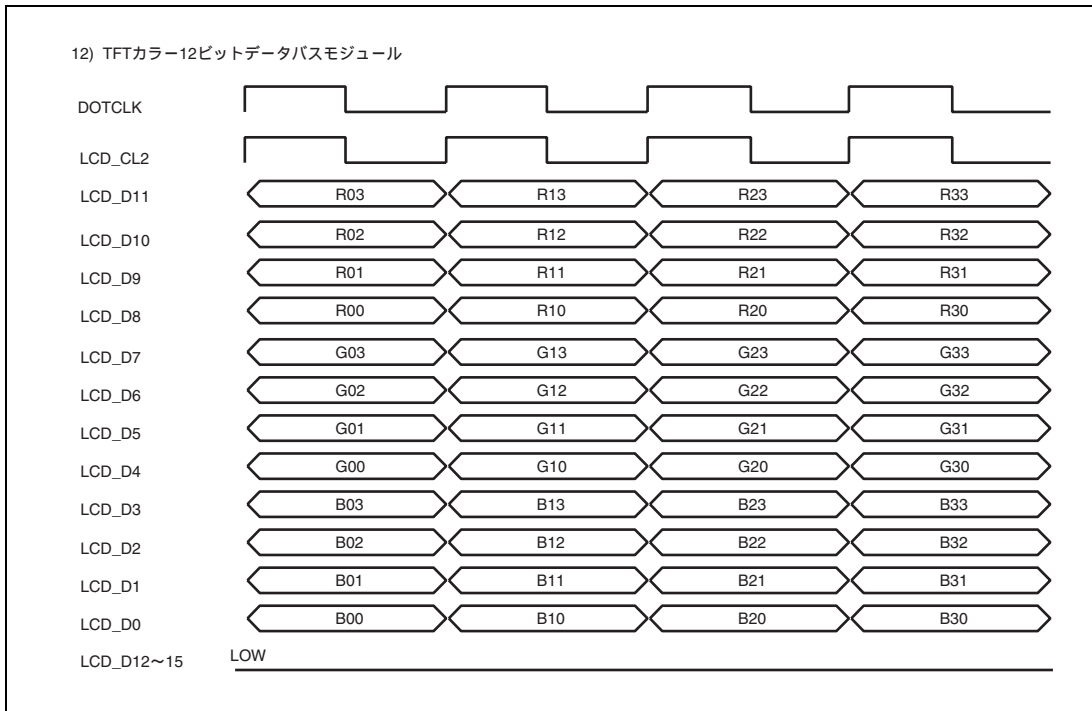


図 22.20 クロックと LCD データ信号例 (TFT カラー12ビットデータバスモジュール)

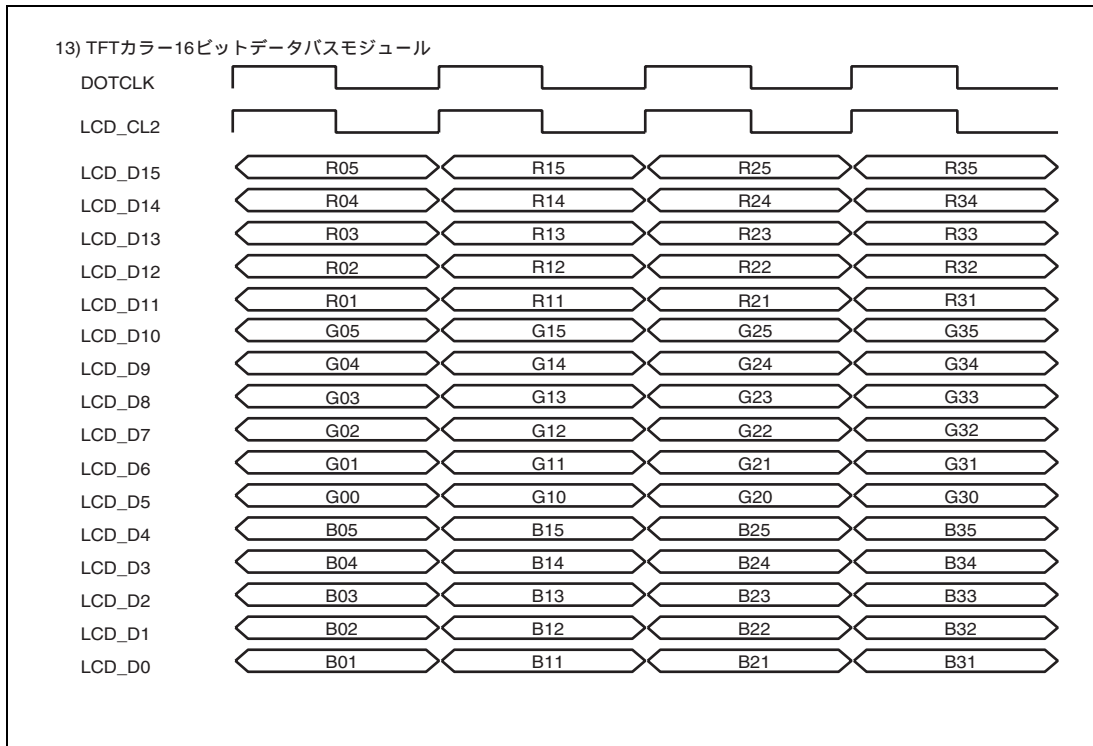


図 22.21 クロックと LCD データ信号例 (TFT カラー16 ビットデータバスモジュール)

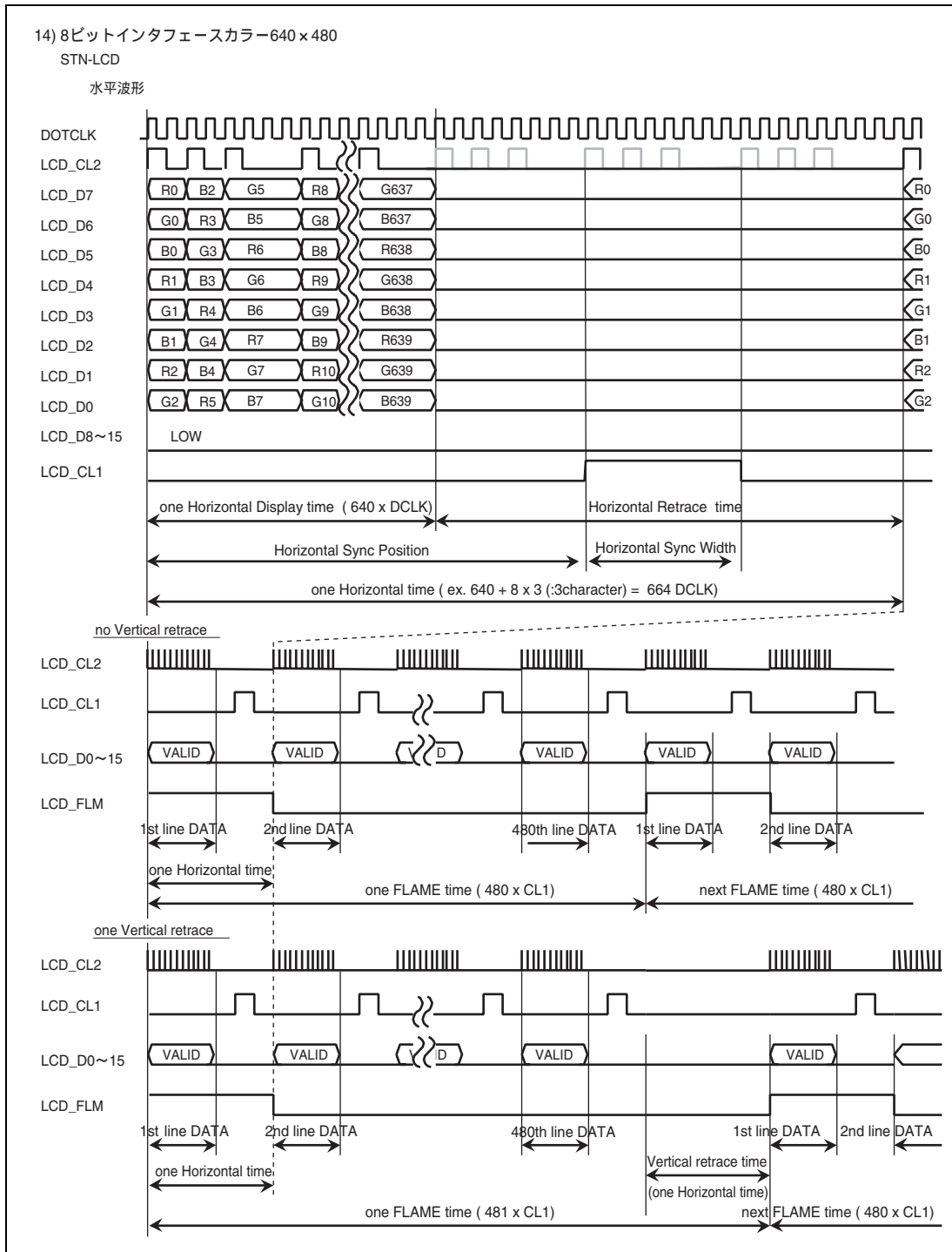


図 22.22 クロックと LCD データ信号例 (8 ビットインタフェースカラー640×480)

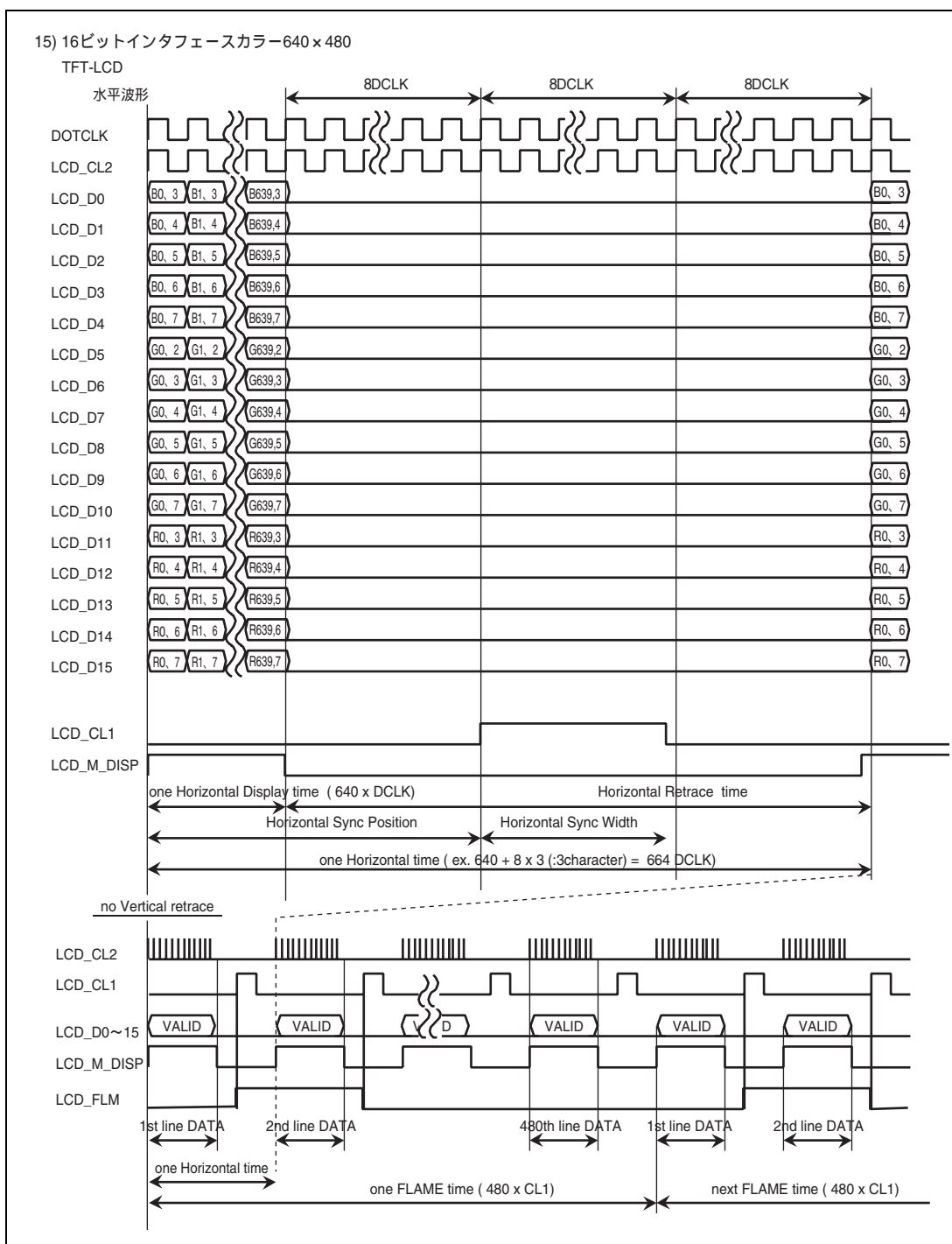


図 22.23 クロックとLCDデータ信号例 (16ビットインタフェースカラー-640×480)

22.6 使用上の注意事項

22.6.1 表示データ格納用 VRAM (エリア 1、2 の SDRAM) アクセスの停止手順について

表示データ格納用 VRAM (エリア 1、2 の SDRAM) アクセスの停止手順は、以下のフローに従ってください。

- 表示データ格納用VRAMアクセスの停止手順
 1. 現在の状態がLDPMMRのLPS1とLPS0ビットが1であることを確認します。
 2. LDCNTRのDONビットを0 (表示オフモード) に設定します。
 3. LDPMMRのLPS1とLPS0ビットが0になることを確認します。
 4. 1フレームの表示時間を待ちます。

表示データ格納用 VRAM (エリア 1、2 の SDRAM) をセルフリフレッシュにする前、スタンバイモード、モジュールスタンバイ等に入る前には、この停止手順が必要です。

22.6.2 MCU リクエスト受け付け停止時の注意事項について

MCU のリクエストマスク設定レジスタ (RQM) のビット 24 (NMIE) とビット 16 (LCDC) がそれぞれ 1 のときに NMI 割り込みにより NMIFCR の NMIFL ビットが 1 にセットされると、LCDC から表示データ格納用 VRAM (エリア 1、2 の SDRAM) アクセスができなくなります (リクエストは保留されます)。

LCDC はラインバッファに格納したデータを LCD パネル用データ端子への出力を継続するため、ラインバッファが空になると LCD 表示が停止する場合があります。したがって、ラインバッファが空になる前に NMI 割り込みをインアクティブにし、NMIFL ビットを 0 にクリアしてください。

同様に外部からのバス解放要求 (BREQ) が受けられた場合にも LCDC から表示データ格納用 VRAM (エリア 1、2 の SDRAM) アクセスができなくなります (リクエストは保留されます)。

NMIF の場合と同様、ラインバッファが空になる前にバス権の再取得を行ってください。

23. 2D グラフィックスエンジン (G2D)

23.1 基本機能

23.1.1 コマンド、レンダリング属性一覧

表 23.1 コマンド、レンダリング属性一覧 (1)

コマンド	OP CODE								Draw Mode							
	b31	b30	b29	b28	b27	b26	b25	b24	b15	b14	b13	b12	b11	b10	b9	b8
									MTRE	reserve	CLIP	RCLIP	STRANS	DTRANS/ LINKE	WORK/ LREL	SS
POLYGON4A	1	0	0	0	0	0	1	0	MTRE		CLIP	RCLIP	STRANS		WORK	SS
POLYGON4B					0	0	0	1	MTRE		CLIP	RCLIP	STRANS		WORK	SS
POLYGON4C					0	0	0	0	MTRE		CLIP	RCLIP			WORK	
LINEA	1	0	1	1	0	0	1	0	MTRE		CLIP	RCLIP	STRANS			SS(0)
LINEB					0	0	0	1	MTRE		CLIP	RCLIP	STRANS			SS(0)
LINEC					0	0	0	0	MTRE		CLIP	RCLIP		LINKE	LREL	
LINED					0	0	1	1	MTRE		CLIP	RCLIP		LINKE	LREL	
RLINEA					0	1	1	0	MTRE		CLIP	RCLIP	STRANS			SS(0)
RLINEB					0	1	0	1	MTRE		CLIP	RCLIP	STRANS			SS(0)
RLINEC					0	1	0	0	MTRE		CLIP	RCLIP		LINKE	LREL	
RLINED					0	1	1	1	MTRE		CLIP	RCLIP		LINKE	LREL	
FTRAPC	1	1	0	1	0	0	0	0	MTRE		CLIP	RCLIP		LINKE	LREL	
RFTRAPC					0	1	0	0	MTRE		CLIP	RCLIP		LINKE	LREL	
CLRWC	1	1	1	0	0	0	0	0	MTRE		CLIP	RCLIP				
LINEWC	1	1	1	1	0	0	0	0	MTRE		CLIP	RCLIP				
RLINEWC					0	1	0	0	MTRE		CLIP	RCLIP				
BITBLTA	1	0	1	0	0	0	1	0	MTRE		CLIP	RCLIP	STRANS	DTRANS	WORK	SS
BITBLTB					0	0	0	1	MTRE		CLIP	RCLIP	STRANS	DTRANS	WORK	SS
BITBLTC					0	0	0	0	MTRE		CLIP	RCLIP		DTRANS	WORK	
テストモード	1	0	1	0	1	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							

コマンド	OP CODE								Draw Mode							
									b7	b6	b5	b4	b3	b2	b1	b0
	b31	b30	b29	b28	b27	b26	b25	b24	REL	STYLE/ SRCDIRX	BLKE/ SRCDIRY	NET/EDG/ DSTDIRX	EOS/ DSTDIRY	COOF	AA/ αE	CLKW/ SrE
POLYGON4A	1	0	0	0	0	0	1	0	REL	STYLE	BLKE	NET	EOS	COOF	E	S E
POLYGON4B					0	0	0	1	REL	STYLE	BLKE	NET	EOS	COOF	E	
POLYGON4C					0	0	0	0			BLKE	NET	EOS	COOF	E	
LINEA	1	0	1	1	0	0	1	0	REL	STYLE (1)		NET	EOS	COOF	AA	
LINEB					0	0	0	1	REL	STYLE (1)		NET	EOS	COOF	AA	
LINEC					0	0	0	0				NET	EOS	COOF	AA	
LINED					0	0	1	1							AA(1)	CLKW
RLINEA					0	1	1	0	REL	STYLE (1)		NET	EOS	COOF	AA	
RLINEB					0	1	0	1	REL	STYLE (1)		NET	EOS	COOF	AA	
RLINEC					0	1	0	0				NET	EOS	COOF	AA	
RLINED					0	1	1	1							AA(1)	CLKW
FTRAPC	1	1	0	1	0	0	0	0			BLKE (1)	EDG	EOS			
RFTRAPC					0	1	0	0			BLKE (1)	EDG	EOS			
CLRWC	1	1	1	0	0	0	0	0			BLKE (1)					
LINEWC	1	1	1	1	0	0	0	0					EOS			
RLINEWC					0	1	0	0					EOS			
BITBLTA	1	0	1	0	0	0	1	0	REL	SRCDIR X	SRCDIR Y	DSTDIR X	DSTDIR Y	COOF	E	S E
BITBLTB					0	0	0	1	REL	SRCDIR X	SRCDIR Y	DSTDIR X	DSTDIR Y	COOF	E	
BITBLTC					0	0	0	0				DSTDIR X	DSTDIR Y	COOF	E	
テストモード	1	0	1	0	1	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							

REL : SS=0のときのみ有効。SS=1のときは0を設定してください。

COOF : 16ビット/画素時 (GBM=1)のみ有効。8ビット/画素時 (GBM=0)は0を設定してください。

S E : ARGBフォーマット時 (SPF=DPF=1)のみ有効。RGBフォーマット時 (SPF=DPF=0)および8ビット/画素時 (GBM=0)は0を設定してください。 E=0時は、0を設定してください。

E : 16ビット/画素時 (GBM=1)のみ有効。8ビット/画素時 (GBM=0)は0を設定してください。

POLYGON4A/B/C コマンドでは BLKE = 1のときのみ有効。BLK = 0のときは0を設定してください。

BITBLTA/B/C コマンドでは ROP コード = H'CCのときのみ有効。その他のコード時は0を設定してください。

- LREL : LINKE = 1 のときのみ有効。LINKE = 0 のときは 0 を設定してください。
- STYLE : BLKE = 1 のときは 1 を設定してください。(R) LINEA/B コマンド時は 1 を設定してください。
- AA : NET = 1 のときは 0 を設定してください。16 ビット / 画素時 (GBM = 1) のみ有効。8 ビット / 画素時 (GBM = 0) は 0 を設定してください。
(R) LINED コマンド時は 1 を設定してください。
- SS : (R) LINEA/B コマンド時は 0 を設定してください。
- BLKE : (R) FTRAPC、CLRWC コマンド時は 1 を設定してください。
- 網掛け : 不可 (0 を設定してください。)

表 23.2 コマンド、レンダリング属性一覧 (2)

コマンド	OP CODE								Draw Mode							
	b31	b30	b29	b28	b27	b26	b25	b24	b15	b14	b13	b12	b11	b10	b9	b8
TRAP	0	0	0	0	0	0	0	0								
NOP/INT	0	0	0	0	1	0	0	0	INT							
VBKEM	0	0	0	1	0	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							
WPR	0	0	0	1	1	0	0	0						LINKE	LREL	
JUMP	0	0	1	0	1	0	0	0								
GOSUB	0	0	1	1	0	0	0	0								
RET	0	0	1	1	1	0	0	0								
LCOFS	0	1	0	0	0	0	0	0								
RLCOFS	0	1	0	0	0	1	0	0								
MOVE	0	1	0	0	1	0	0	0								
RMOVE	0	1	0	0	1	1	0	0								
テストモード	0	1	0	1	0	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							

コマンド	OP CODE								Draw Mode							
	b31	b30	b29	b28	b27	b26	b25	b24	b7	b6	b5	b4	b3	b2	b1	b0
TRAP*1	0	0	0	0	0	0	0	0			Flip5	Flip4	Flip3	Flip2	Flip1	Flip0
NOP/INT	0	0	0	0	1	0	0	0	INT No							
VBKEM	0	0	0	1	0	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							
WPR	0	0	0	1	1	0	0	0					ByteM3	ByteM2	ByteM1	ByteM0
JUMP	0	0	1	0	1	0	0	0	REL							
GOSUB	0	0	1	1	0	0	0	0	REL							No
RET	0	0	1	1	1	0	0	0								No
LCOFS	0	1	0	0	0	0	0	0								
RLCOFS	0	1	0	0	0	1	0	0								
MOVE	0	1	0	0	1	0	0	0								
RMOVE	0	1	0	0	1	1	0	0								
テストモード	0	1	0	1	0	0	0	0	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされません。							

【注】 *1 TRAP コマンドの Flip[5:0]は、本 LSI ではサポートされません。

23.1.2 基本機能

(1) 特長

- 座標変換ジオメトリエンジン搭載

入力頂点に対して座標変換 (4×4マトリクス演算+Zクリッピング+透視W除算) を実行するハードウェア内蔵

- 2D機能拡張

高機能太線、アンチエイリアスライン、ROP / ブレンド付きBITBLTコマンド内蔵

- 制御系コマンドの機能拡充

INTコマンド、GOSUB/RETコマンド2系統化、WPRコマンド機能拡充、TRAPコマンド機能拡充

- Q2SDと機能レベル上位コンパチブル

(2) 4×4マトリクス演算

入力頂点に対して4×4マトリクス演算を実行します。座標変換コントロールレジスタの座標変換イネーブルビット (GTE) を1に設定し、各コマンドのレンダリング属性のMTREビットに1を設定すると入力頂点に対してマトリクス演算を実行します。

一般的に、入力頂点を座標変換する場合、下記の行列式になります。

$$\begin{array}{c}
 \left(\begin{array}{c} TX \\ TY \\ TZ \\ W \end{array} \right) \\
 = \\
 \left(\begin{array}{cccc}
 1 & 0 & P02 & P03 \\
 0 & 1 & P12 & P13 \\
 0 & 0 & P22 & P23 \\
 0 & 0 & P32 & P33
 \end{array} \right)
 \left(\begin{array}{cccc}
 m00 & m01 & m02 & m03 \\
 m10 & m11 & m12 & m13 \\
 m20 & m21 & m22 & m23 \\
 0 & 0 & 0 & 1
 \end{array} \right)
 \left(\begin{array}{c} X \\ Y \\ Z \\ 1 \end{array} \right) \\
 \\
 = \\
 \left(\begin{array}{cccc}
 m00+P02m20 & m01+P02m21 & m02+P02m22 & m03+P02m23 \\
 m10+P12m20 & m11+P12m21 & m12+P12m22 & m13+P12m23 \\
 P22m20 & P22m21 & P22m22 & P22m23 \\
 P32m20 & P32m21 & P32m22 & P32m23+P33
 \end{array} \right)
 \left(\begin{array}{c} X \\ Y \\ Z \\ 1 \end{array} \right)
 \end{array}$$

ここで、入力頂点 Z は 0、また出力の TZ は使用しないことから、合成行列は下記となります。

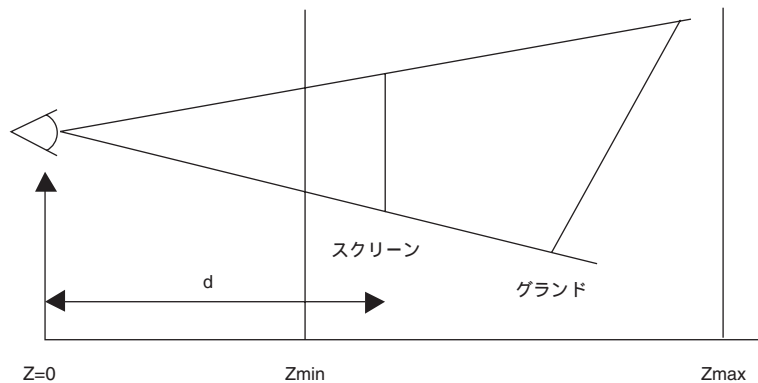
$$\begin{pmatrix} m00+P02m20 & m01+P02m21 & 0 & m03+P02m23 \\ m10+P12m20 & m11+P12m21 & 0 & m13+P12m23 \\ 0 & 0 & 0 & 0 \\ P32m20 & P32m21 & 0 & P32m20+P33 \end{pmatrix}$$

残った 9 つのパラメータを座標変換制御レジスタのマトリクスパラメータ A から I (MTRAR ~ MTRIR) に設定します。

マトリクスパラメータレジスタと行列パラメータの関係は下記となります。

$$\begin{pmatrix} A & B & 0 & C \\ D & E & 0 & F \\ 0 & 0 & 0 & 0 \\ G & H & 0 & I \end{pmatrix}$$

たとえば、下図のように視点が Z=0 の場合は、パース変換行列が (1) になるので、アフィン変換行列との合成行列は (2) になります。



$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 1/d & 0 \end{pmatrix} \quad (1)$$

$$\begin{pmatrix} m00 & m01 & 0 & m03 \\ m10 & m11 & 0 & m13 \\ 0 & 0 & 0 & 0 \\ m20/d & m21/d & 0 & m23/d \end{pmatrix} \quad (2)$$

上記9つのパラメータを座標変換制御レジスタのマトリクスパラメータAからI (MTRAR ~ MTRIR)に設定します。

MTRAR ~ MTRIR は IEEE754 単精度浮動小数点フォーマットで与えます。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット)で行いますので、パラメータ A から I は -2^{15} MTRAR ~ MTRIR $< 2^{15}$ の範囲で設定してください。単精度浮動小数点から 32 ビット固定小数点の変換時に左記範囲を超えて設定した場合、飽和処理を施します。なお、マトリクス演算結果の TX、TY、W についても TX、TY は、 $-H'7FFF.FFFF$ TX、TY $H'7FFF.FFFF$ 、W は $H'0000.0001$ W $H'7FFF.FFFF$ の範囲を超えないようにパラメータ A から I を設定してください。もし、TX、TY、W が $-H'7FFF.FFFF$ TX、TY、W $H'7FFF.FFFF$ の範囲を超えた場合、ステータスレジスタのマトリクス演算エラービット (MTRER) をセットし、飽和処理を施します。

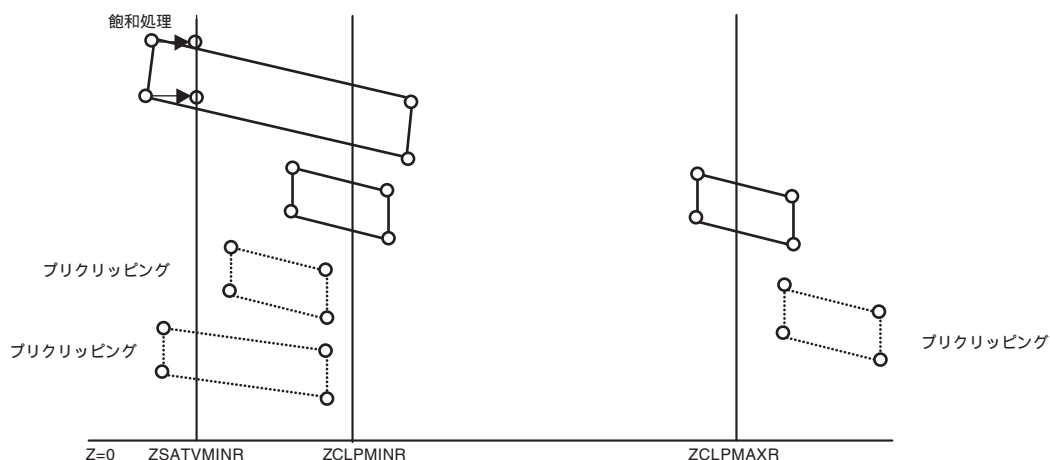
- 【注】
1. マトリクス演算前に、入力座標 X、Y に対して G2D 内部でローカルオフセット値を加え演算します。
 2. 相対座標指定コマンド時は G2D 内部で絶対座標に直してからマトリクス演算します。
 3. BITBLT コマンドはセンター座標 (BXC、BYC)、太線は始終点座標のみマトリクス演算します。
 4. マトリクス演算エラービット (MTRER) は座標変換コントロールレジスタの座標変換イネーブルビット (GTE)、レンダリング属性の (MTRE) でマスクしておりませんので、GTE=0、または、GTE=1 かつ MTRE=0 の場合、座標変換を行わなくても MTRER が 1 にセットされる場合があります。
したがって、レンダリングスタートからトラップまでの期間、常に GTE=1 かつ MTRE=1 として使用する場合以外は MTRER を使用しないでください。

(3) Zクリッピング

描画図形の全頂点 (下記【注】参照) が Zクリップエリア MIN レジスタ (ZCLPMINR) 値未満、または、Zクリップエリア MAX レジスタ (ZCLPMAXR) 値より大きい場合にブリクリッピングします。Zクリッピングは W 値で比較しますので、ZCLPMINR、ZCLPMAXR は W に相当する値 (上記の例では Zmin/d、Zmax/d) で設定してください。なお、ブリクリッピングされなかった場合、Z座標値が Z飽和値 MIN レジスタ (ZSATVMINR) に設定した値以下のときは、ZSATVMINR に設定した値に飽和处理します。ZSATVMINR も、W に相当する値を設定してください。飽和处理が行われると図形が変形しますので、Z座標値が ZSATVMINR 値にかからないようにマトリクスパラメータを設定するか、スクリーン座標に現れないように、あらかじめ描画図形を分割し、ディスプレイリスト化してください。ZCLPMINR、ZCLPMAXR、ZSATVMINR は IEEE754 単精度浮動小数点フォーマットで与えます。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 $2^{-16} \text{ ZSATVMINR} \leq \text{ZCLPMINR} \leq \text{ZCLPMAXR} < 2^{15}$ の範囲で設定してください。左記範囲を超えて設定した場合、飽和处理を施します。

(R) LINE 系、(R) LINEW コマンドはパターンの連続性を保つために、Zブリクリッピングを行いません。したがって、スクリーン座標に現れない図形の描画が実行され、性能劣化が起こる場合があります。性能劣化を起こしたくない場合は、レンダリングコントロールレジスタのラインブリクリッピングイネーブルビット (LPCE) に 1 を設定してください。LPCE に 1 を設定すると 2 次元クリップエリア (システムクリップエリア、ユーザクリップエリア、相対ユーザクリップエリア) で線分単位にブリクリッピングするので、性能が向上します。ただし、途中の線分がブリクリッピングされた場合、パターンは連続しません (パターンは前に描画した線分の終点から開始します)。

- 【注】 (R) FTRAPC コマンドにおいて縁取り描画を有効 (EDG=1) にした場合、縁取りラインは Zブリクリッピングされません。



【注】 POLYGON4系、CLRWC : 座標変換後の4頂点
 BITBLT系 : 座標変換後のセンター座標1頂点
 (R)FTRAPC : 座標変換後の外接四角形の4頂点

(4) 透視 W 除算

マトリクス演算後の TX、TY に対して、座標変換コントロールレジスタのアフィン変換イネーブルビット(AFE)の設定により、

- AFEビット=0のときは

出力X座標 X' と出力Y座標 Y' は $X' = TX/WC + GTROFSX$ 、 $Y' = TY/WC + GTROFSY$ となります。

GTROFSX、GTROFSYはそれぞれ座標変換オフセットXレジスタ(GTROFSXR)、座標変換オフセットYレジスタ(GTROFSYR)に設定します。GTROFSX、GTROFSYは16ビット整数(2の補数)で与えます。

- AFEビット=1のときは

出力X座標 X' と出力Y座標 Y' は $X' = TX$ 、 $Y' = TY$ となります。Zクリッピング、透視W除算およびオフセット加算は行いません。

AFEビット=0のときはW除算後の TX/WC 、 TY/WC が、 $-H'7FFF$ TX/WC 、 TY/WC $H'7FFF$ の範囲を超えている場合、飽和处理を施します。さらに、オフセット(GTROFSX、GTROFSY)加算後の $TX/WC + GTROFSX$ 、 $TY/WC + GTROFSY$ が $-H'7FFF$ $TX/WC + GTROFSX$ 、 $TY/WC + GTROFSY$ $H'7FFF$ の範囲を超えている場合も、飽和处理を施します。飽和处理が発生した場合でも、コマンドは飽和处理した頂点座標で継続実行します。

【注】 BITBLT系コマンドは座標変換後のセンター座標値に対して幅(LW, RW)、高さ(TH, BH)を加算して4頂点を求めます。

また、太線は座標変換後の始終点と線幅(W)から4頂点を求めます。したがって、この2つのコマンドでは基準点(BITBLT:センター座標、太線:始終点座標)から求めた頂点の飽和处理は行われませんので、レンダリング座標を超えないように注意してください。

(5) 座標変換フローと飽和处理

座標変換は下記順序で行います。

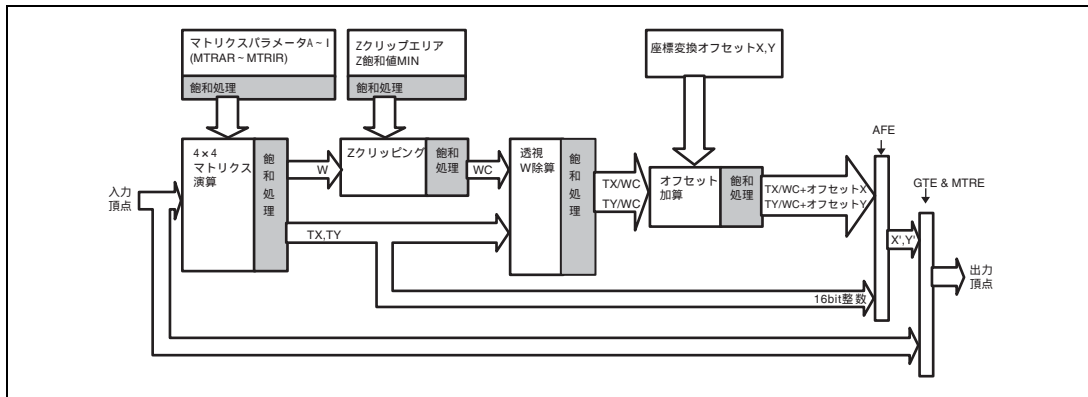


図 23.1 座標変換フローイメージ図

表 23.3 レジスタ設定パラメータの設定範囲と飽和处理

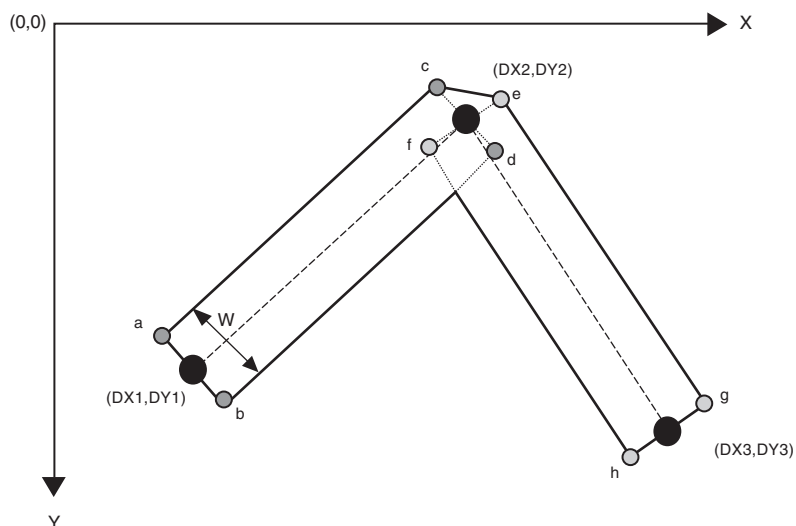
レジスタ設定パラメータ	設定範囲	飽和处理
マトリクスパラメータ A-1	-2^{15} マトリクスパラメータ A-1 < 2^{15} (IEEE754 単精度浮動小数点)	マトリクスパラメータ A-1 2^{15} のとき : H'7FFF.FFFF マトリクスパラメータ A-1 < -2^{15} のとき : -H'8000.0000 (32 ビット固定小数点)
Zクリッピングエリア、Z飽和値 MIN	2^{16} Zクリッピングエリア、Z飽和値 MIN < 2^{15} (IEEE754 単精度浮動小数点)	Zクリッピングエリア、Z飽和値 MIN 2^{15} のとき : H'7FFF.FFFF Zクリッピングエリア、Z飽和値 MIN < 2^{16} のとき : H'0000.0001 (32 ビット固定小数点)
座標変換オフセット X,Y	-2^{15} 座標変換オフセット X,Y $2^{15}-1$ (16 ビット整数 (2 の補数))	-

表 23.4 演算後頂点の範囲と飽和処理

演算後頂点座標	範囲	飽和処理
TX, TY, W	-H'7FFF.FFFF TX, Y, W H'7FFF.FFFF (32 ビット固定小数点)	TX, Y, W > H'7FFF.FFFF のとき : H'7FFF.FFFF TX, Y, W < -H'7FFF.FFFF のとき : -H'7FFF.FFFF (32 ビット固定小数点)
WC	Z 飽和値 MIN WC H'7FFF.FFFF (32 ビット固定小数点)	WC < Z 飽和値 MIN のとき : Z 飽和値 MIN (32 ビット固定小数点)
TX/WC, TY/WC TX/WC + オフセット X, TY/WC + オフセット Y	-H'7FFF TX/WC, TY/WC H'7FFF -H'7FFF TX/WC + オフセット X, TY/WC + オフセット Y H'7FFF (16 ビット整数)	TX/WC, TY/WC > H'7FFF のとき : H'7FFF TX/WC, TY/WC < -H'7FFF のとき : -H'7FFF TX/WC + オフセット X, TY/WC + オフセット Y > H'7FFF のとき : H'7FFF TX/WC + オフセット X, TY/WC + オフセット Y < -H'7FFF のとき : -H'7FFF (16 ビット整数)
X', Y'	-H'7FFF X', Y' H'7FFF (16 ビット整数)	-
出力頂点	-H'8000 出力頂点 H'7FFF (16 ビット整数)	-

(6) 太線描画

LINE 系、RLINE 系コマンドで線幅 W に 0 より大きい値を設定することで、太線を描画することができます。始点座標と線幅 W より太線座標 a、b、c、d を求め、描画します。W は整数部 6 ビットで与えます。0 を設定すると、線幅 1 のラインを描画します。また、連結太線時の連結部分はレンダリングコントロールレジスタ (RCLR) のコネクション描画マスクビット (COM) で描画する、しないを選択できます。太線指定時は線ごとの始終点座標が一致した場合、何も描画しません。また、太線描画時は論理空間を $-2^{15} + (W+2)$ x, y $2^{15} - 1 - (W+2)$ の範囲で始終点座標を与えてください。



(7) アンチエイリアス

LINE 系、RLINE 系コマンドで使用可能で、エイリアスを低減します。レンダリング属性のアンチエイリアスビット AA ビットに 1 を設定することでアンチエイリアス処理を実行します。

アンチエイリアス設定時は、論理空間を $-2^{15} + 1$ x, y $2^{15} - 2$ の範囲で始終点座標を与えてください。

太線時は $-2^{15} + 1 + (W + 2)$ x, y $2^{15} - 2 - (W + 2)$ の範囲で始終点座標を与えてください。

- 破線時は、破線の間はアンチエイリアスがかかりません。
- (R)LINEA/B/C コマンドは線分ごとの始終点座標が一致した場合、線幅 1 ($W = 0$) のときはアンチエイリアス処理をせずに 1 ドット描画し、太線時は何も描画しません。
- (R)LINED コマンドは線分ごとの始終点座標が一致した場合は何も描画しません。
- 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。



図 23.2 アンチエイリアス指定例

23.1.3 座標系

G2D は、4 つの 2 次元座標 (スクリーン座標、レンダリング座標、2 次元ソース座標、ワーク座標) と 1 つの 1 次元座標 (1 次元ソース座標) を持っています。

スクリーン座標は表示制御の座標であり、スクリーン座標の X が表示画面の横、Y が縦に対応し、原点が表示画面の左上となります。スクリーン座標の正の方向は、X 軸は右、Y 軸は下となります。スクリーン座標の 1 座標のデータ幅は、16 ビット (16 ビット / 画素) と 8 ビット (8 ビット / 画素) から選択します。

レンダリング座標は、描画制御の座標であり、スクリーン座標に対して描画コマンドで指定するオフセットの分だけ水平垂直にずれた座標系です。描画コマンドは、この座標で描画動作を行います。レンダリング座標の 1 座標のデータ幅は、16 ビット (16 ビット / 画素) と 8 ビット (8 ビット / 画素) から選択します。

2 次元ソース座標は、描画制御の座標であり、描画コマンド実行時に描画コマンドで指定するソース (矩形) の座標系で、SS = 1 のとき使用します。2 次元ソース座標の 1 座標のデータ幅は、16 ビット (16 ビット / 画素) と 8 ビット (8 ビット / 画素) から選択します。

1 次元ソース座標は、描画制御の座標であり、描画コマンド実行時に描画コマンドで指定するソース (1 次元) の座標系で、SS = 0 のとき使用します。1 次元ソース座標の 1 座標のデータ幅は、1 ビット (1 ビット / 画素) と 16 ビット (16 ビット / 画素) と 8 ビット (8 ビット / 画素) から選択します。1 次元ソース 1 個につき、1 つの物理アドレス (左上) とその 1 次元ソースの横幅と縦幅を指定します。

ワーク座標は描画制御の座標であり、レンダリング座標に 1 : 1 に対応します。描画コマンド実行時に描画コマ

ンドで指定するワークの座標系です。ワーク座標の 1 座標のデータ幅は 1 ビットです。

スクリーン座標の最大値は $X = 4095$ 、 $Y = 4095$ です。

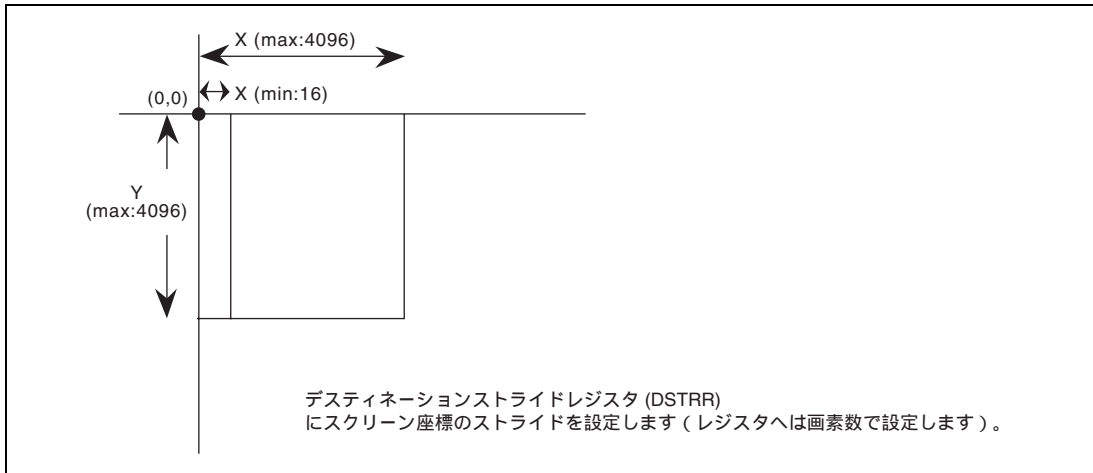


図 23.3 スクリーン座標

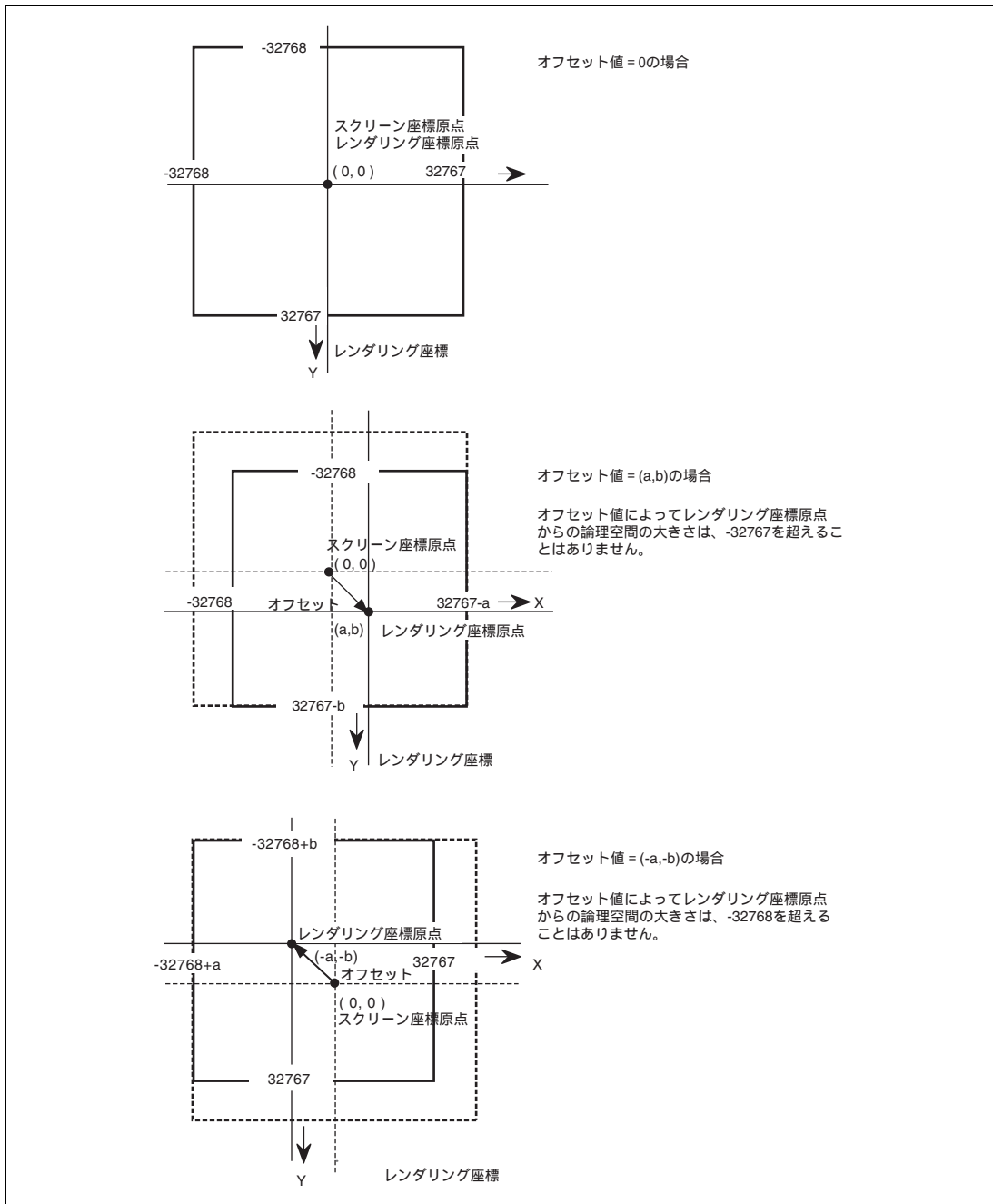


図 23.4 レンダリング座標

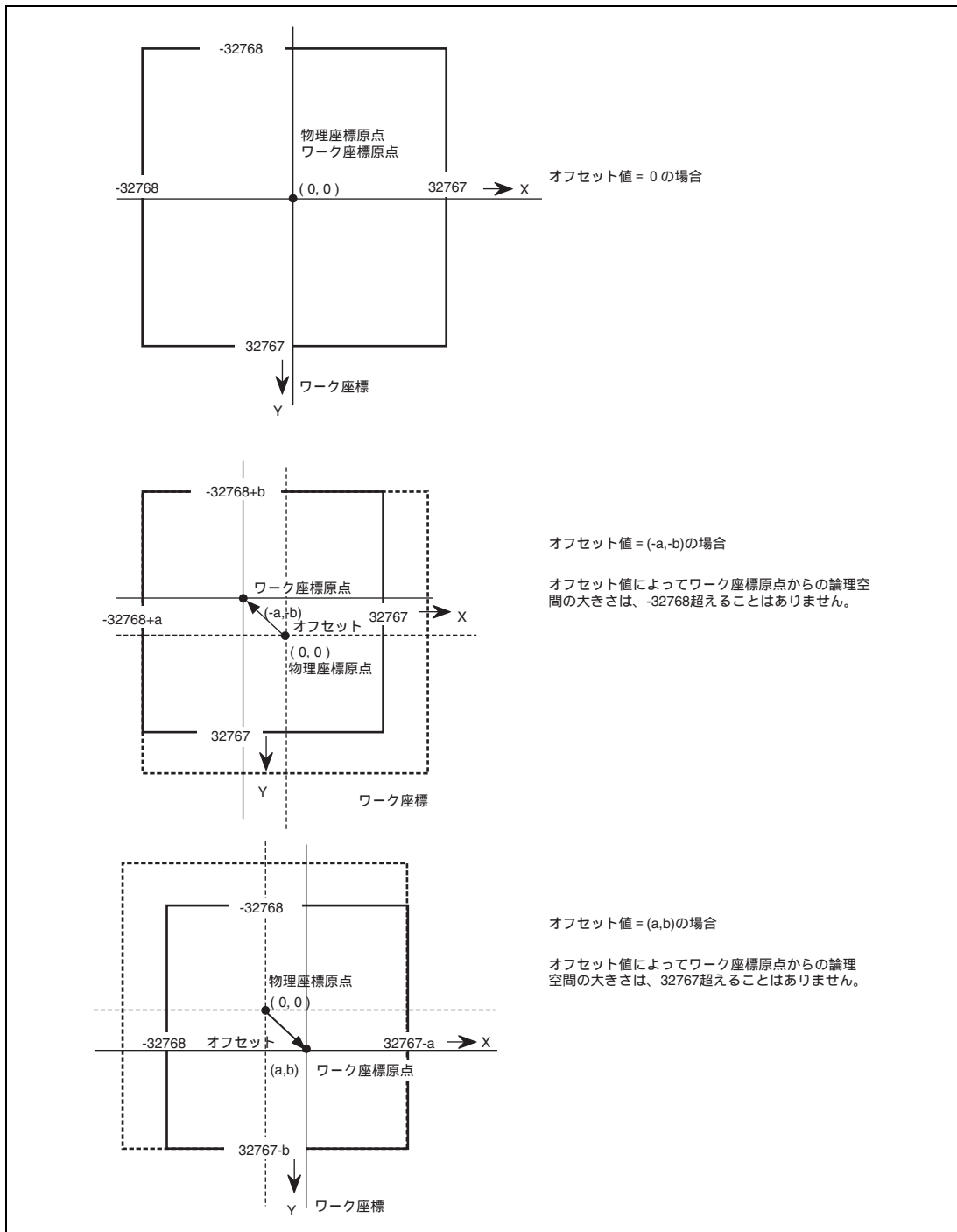


図 23.5 ワーク座標

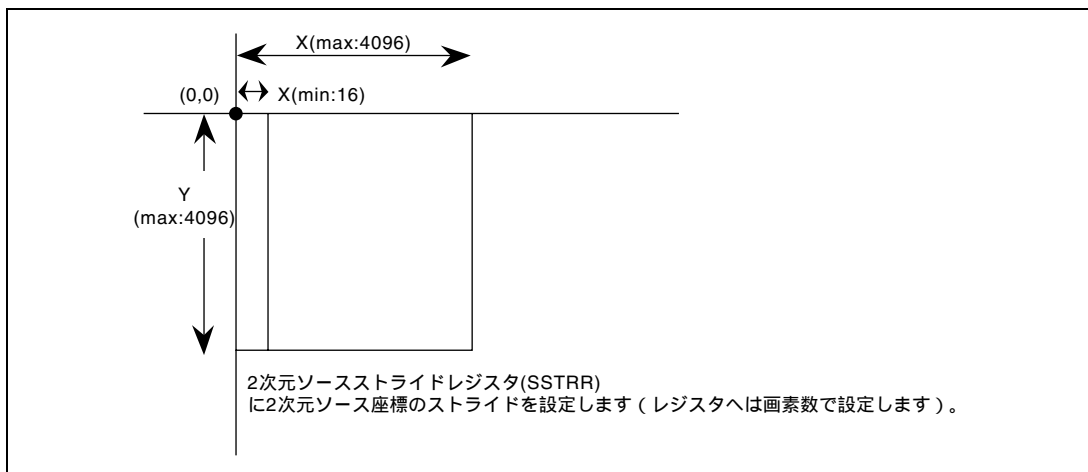


図 23.6 2次元ソース座標 (SS = 1)

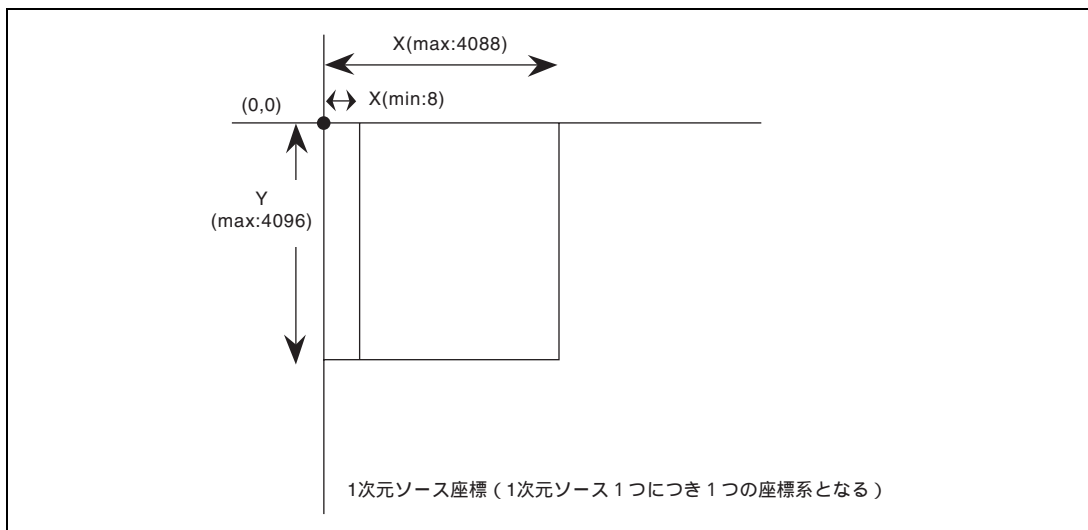
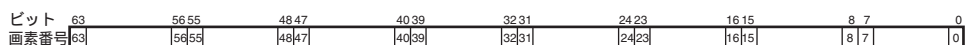


図 23.7 1次元ソース座標 (SS = 0)

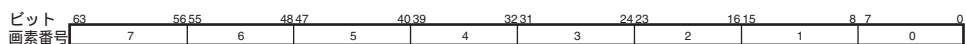
23.1.4 データフォーマット

1ビット / 画素データ



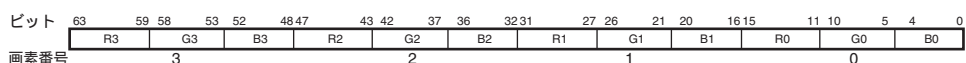
画素番号は画面の左側が0で、右に行くに従い大きくなります。

8ビット / 画素データ



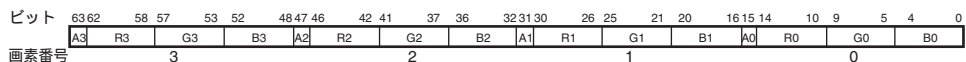
画素番号は画面の左側が0で、右に行くに従い大きくなります。

16ビット / 画素データ (RGB)



画素番号は画面の左側が0で、右に行くに従い大きくなります。

16ビット / 画素データ (ARGB)



画素番号は画面の左側が0で、右に行くに従い大きくなります。

32ビットデータ (ディスプレイリスト)



23.1.5 レンダリング属性

(1) ソース透過指定 (STRANS)

ソースデータを参照する場合、透過にするか、非透過にするかを STRANS ビットにより描画コマンド単位で選択できます。透過を選択すると、レンダリングコントロールレジスタ (RCLR) のソース透過色ポラリティビット (STP) が 0 の場合、レジスタの値 = ソース色で透過、1 の場合レジスタの値 = ソース色で透過となり、その画素は描画しません。使用できるコマンドは、POLYGON4A/4B、LINEA/B、RLINEA/B、BITBLTA/B で、その他のコマンドでは STRANS ビットを 0 にしてください。ソースピクセルフォーマットが ARGB のときは A 値は比較しません。なお、本ビットを 1 に設定した場合、BITBLTA/B では ROP コードによらず必ずソースリードします。

(2) デスティネーション透過指定 (DTRANS)

デスティネーションデータを参照する場合、透過にするか、非透過にするかを DTRANS ビットにより描画コマンド単位で選択できます。透過を選択すると、レンダリングコントロールレジスタ (RCLR) のデスティネーション透過色ポラリティビット (DTP) が 0 の場合、レジスタの値 = デスティネーション色で透過、1 の場合レジスタの値 = デスティネーション色で透過となり、その画素は描画しません。使用できるコマンドは、BITBLTA/B/C で、その他のコマンドでは DTRANS ビットを 0 にしてください。デスティネーションピクセルフォーマットが ARGB のときは A 値は比較しません。なお、本ビットを 1 に設定した場合、ROP コードによらず必ずデスティネーションリードします。

(3) ソーススタイル指定 (STYLE)

ソースデータを拡大縮小するか、または繰り返し参照するかを STYLE ビットにより描画コマンド単位で選択できます。スタイル指定しない場合、ソースデータはレンダリング領域の大きさによって拡大縮小します。スタイル指定した場合、ソースデータはレンダリング領域の大きさによって繰り返し参照します。このため、ハッチパターンのような繰り返し模様を描画する際に本属性を指定します。使用できるコマンドは、POLYGON4A/4B、LINEA/B、RLINEA/B で、その他のコマンドでは STYLE ビットを 0 にしてください。LINEA/B、RLINEA/B および POLYGON4A/4B で BLKE = 1 設定時は、必ず STYLE = 1 を設定してください。

LINEA/B、RLINEA/B コマンド時はソースの X 方向のみ繰り返し参照します。ソースの Y 方向は線幅に応じて拡大 / 縮小されます。

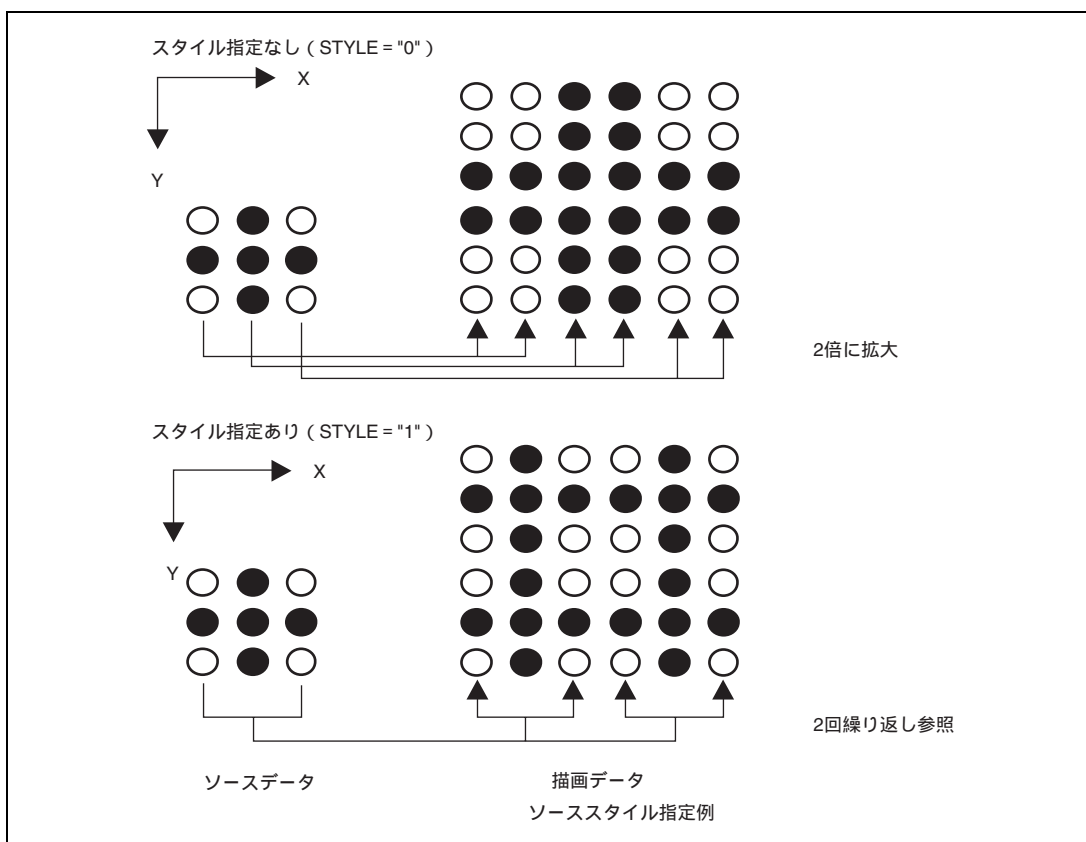


図 23.8 ソーススタイル指定例

(4) クリッピング指定 (CLIP)

クリッピング領域管理を行うことができます。クリッピング領域には、システムクリッピング領域と、ユーザクリッピング領域および相対ユーザクリッピング領域があります。

システムクリッピング領域は、描画範囲固定されるものです。システムクリッピング領域は、属性の指定に関係なく常に有効となります。

ユーザクリッピング領域は、システムクリッピング領域内で任意に設定できます。また、その領域内でクリッピングを行うか、行わないかをレンダリング属性の CLIP ビットにより描画コマンド単位で選択できます。境界は描画します。なお、LCOFS、RLCOFS コマンドで設定したローカルオフセット値は加算されません。必ず $XMIN < XMAX$ 、 $YMIN < YMAX$ となる値を設定してください。

クリッピングは、スクリーン座標で設定します。なお、電源投入後のクリッピング範囲は不定値となりますので、最初に行わせるディスプレイリストの先頭で WPR コマンドにより設定してください。また、XMAX はデスティネーションストライドで設定した値未満に設定してください。

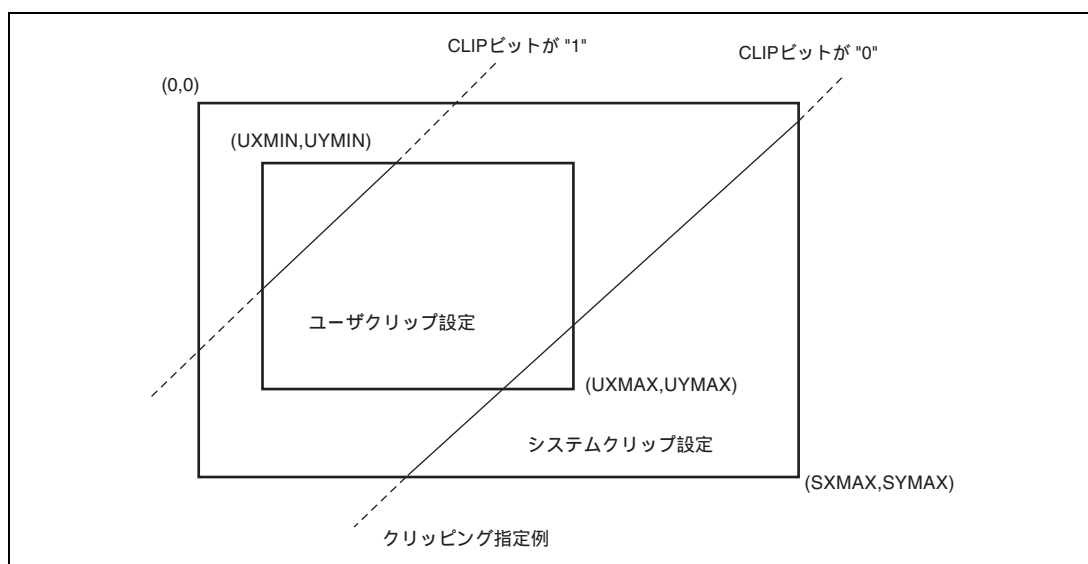


図 23.9 クリッピング指定例

(5) 相対クリッピング指定 (RCLIP)

クリッピング領域管理を行うことができます。クリッピング領域には、システムクリッピング領域と、ユーザクリッピング領域および相対ユーザクリッピング領域があります。

システムクリッピング領域は、描画範囲固定されるものです。システムクリッピング領域は、属性の指定に関係なく常に有効となります。

相対ユーザクリッピング領域は、システムクリッピング領域内でローカルオフセットからの相対指定で任意に設定できます。また、その領域内でクリッピングを行うか、行わないかをレンダリング属性の RCLIP ビットにより描画コマンド単位で選択できます。境界は描画します。LCOFS、RLCOFS コマンドで設定したローカルオフセット値が加算されます。

必ず $XMIN < XMAX$ 、 $YMIN < YMAX$ となる値を設定してください。クリッピングは、スクリーン座標で設定します。電源投入後のクリッピング範囲は不定値となりますので、最初に行わせるディスプレイリストの先頭で WPR コマンドにより設定してください。また、XMAX はデスティネーションストライドで設定した値未満に設定してください。RCLIP と CLIP ビットを同時に 1 にすると 2 つのクリッピング領域が重なった領域を描画します。

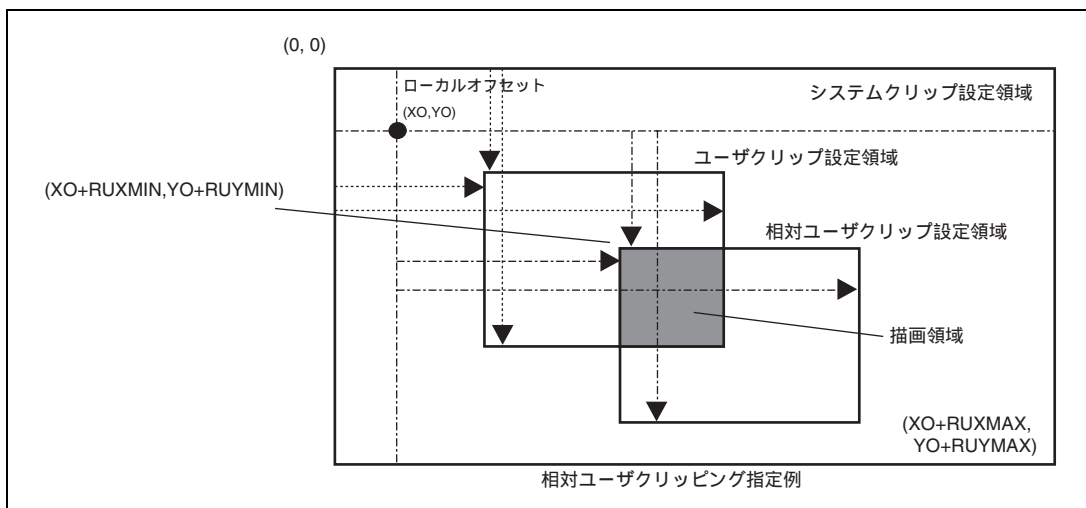


図 23.10 相対ユーザクリッピング指定例

相対ユーザクリッピング領域($XO+RUXMIN, YO+RUYMIN$)-($XO+RUXMAX, YO+RUYMAX$)がシステムクリッピング領域と交わった場合、以下のように飽和処理をします。

$XO+RUXMIN < 0$	$XO+RUXMIN = 0$
$XO+RUXMAX > SXMAX$	$XO+RUXMAX = SXMAX$
$YO+RUYMIN < 0$	$YO+RUYMIN = 0$
$YO+RUYMAX > SYMAX$	$YO+RUYMAX = SYMAX$

【注】 下記範囲を超えないようにローカルオフセット、相対ユーザクリッピング領域を設定してください。

```
-4096 XO+RUXMIN 4095
-4096 YO+RUYMIN 4095
0 XO+RUXMAX 8191
0 YO+RUYMAX 8191
```

RCLIP = 1 のとき、相対ユーザクリッピング領域が下記条件のいずれかを満たす場合、相対ユーザクリッピング領域は G2D 内部で無効にします。

(RCLIP = 0 と同じ動作になります)

```
4095 < XO+RUXMIN
4095 < YO+RUYMIN
XO+RUXMAX < 0
YO+RUYMAX < 0
```

(6) ネット描画指定 (NET)

ネット描画を行うか、行わないかを NET ビットにより描画コマンド単位で選択できます。ネット描画とは、レンダリング座標の $X + Y = EOS$ (0 : 偶数、 1 : 奇数) が真となる座標の画素のみ描画を行う機能です。たとえば、 $EOS = 0$ なら $Y = 0, X = 0, 2, 4, 6, 8, \dots$ 、 $Y = 1, X = 1, 3, 5, 7, 9, \dots$ の座標のみ描画を行います。

この機能により、描画する図形と下地を半分ずつ重ね合わせることができます。

使用できるコマンドは、POLYGON4 系、LINEA/B/C、RLINEA/B/C で、その他のコマンドでは NET ビットを 0 にしてください。アンチエイリアスイネーブル(AA)ビットとの併用は禁止です。

(7) イーブンオッドセレクト指定 (EOS)

EOS ビット = 0 を選択すると偶数画素、EOS ビット = 1 を選択すると奇数画素が選択されます。

ネット描画指定 (NET) とあわせて使用します。また、LINEWC および RLINEWC コマンドでは、EOS ビット = 0 を選択すると 0 でワーク座標に描画、EOS ビット = 1 を選択すると 1 でワーク座標に描画します。

(8) ワーク指定 (WORK)

レンダリング座標に POLYGON4 系、BITBLT 系コマンドで描画する場合、2 値ワークデータを参照するか、参照しないかを WORK ビットにより描画コマンド単位で選択できます。

2 値ワークデータ参照を選択した場合、レンダリング座標に対応する画素のワークデータが 1 ならば描画され、0 ならば描画されません。したがって、ワーク座標に描画された図形と同じ形で、レンダリング座標に描画を行うことができます。ワーク座標への描画は、FTRAPC、RFTRAPC、LINEWC、RLINEWC、CLRWC コマンドによる描画、または CPU による描画のどちらか一方の方法で行えます。また、コマンドによるメモリ描画アクセスと CPU によるメモリ描画アクセスを同時に行わないようにしてください。使用できるコマンドは POLYGON4 系、BITBLT 系で、その他のコマンドでは WORK ビットを 0 にしてください。

(9) ソースアドレス指定 (SS)

ソースを 2 次元ソース領域から参照するか、ディスプレイリストの BaseAddress パラメータで示すアドレスから参照するかを SS ビットにより選択できます。使用できるコマンドは、POLYGON4A/B、BITBLTA/B です。他のコマンドでは、SS ビットに 0 を設定してください。また、オフセット値を設定すると (TXOFS, TYOFS) からソースを参照します。

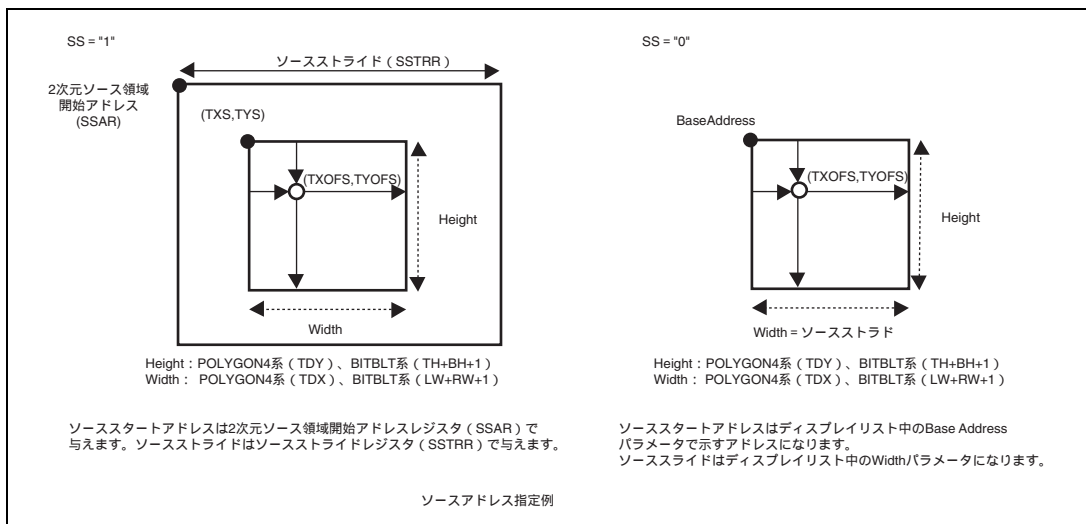


図 23.11 ソースアドレス指定例

【注】 SS = 1 時は、0 TXS SSTRR - Width(TDX, LW+RW+1), 0 TYS 4096 - Hight(TDY, TH+BH+1)の範囲で設定してください。

(10) ソース座標相対アドレス指定 (REL)

POLYGON4A/4B、BITBLTA/B、LINEA/B、RLINEA/B、JUMP、GOSUB コマンドにおいて REL ビットを 1 にすることにより、コマンドコードからの前方または後方に相対アドレスでのソース参照または分岐を行います。POLYGON4A、BITBLTA のときは、SS ビットを 0 に設定してください。SS ビットが 1 のときの動作は保証されません。

なお、コマンドコードのアドレスが相対アドレスの原点になります (ロングワードアドレス)。

【注】 POLYGON4A/4B、BITBLTA/B、LINEA/B、RLINEA/B コマンド時は、コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + ソース開始相対アドレス (ロングワード : 32 ビット単位) がクワッドワードアドレス (64 ビット) 単位になるようにしてください。

(11) 縁どり描画 (EDG)

FTRAP、RFTRAP コマンドにおいて、EDG ビットを 1 にすることにより、ワーク領域への多角形描画後に、縁どりのライン群を描画させることができます。このとき、縁どりラインの描画を 0 で行うか、1 で行うかは EOS ビットで指定します。

(12) カラーオフセット (COOF)

POLYGON4 系、LINEA/B/C、RLINEA/B/C、BITBLT 系コマンドで使用可能です。デスティネーションが 16 ビット / 画素のとき、レンダリング属性の COOF ビットに 1 を設定するとソースデータ (2 値ソースはカラー展開後データ、単色指定時は指定カラー) に、COFSR レジスタの値を加えた結果が描画されます。8 ビット / 画素のときには、COOF ビットは必ず 0 に設定してください。ソースピクセルフォーマットが ARGB のときは A 値は演算されません。

(13) ソースディレクション X、Y (SRCDIRX, SRCDIRY)

BITBLTA/B コマンドで使用可能です。ソースのスキャン方向を選択します。

(TXS, TYS)、BaseAddress はソースのスキャン方向によらず、矩形ソースの左上を指定します。

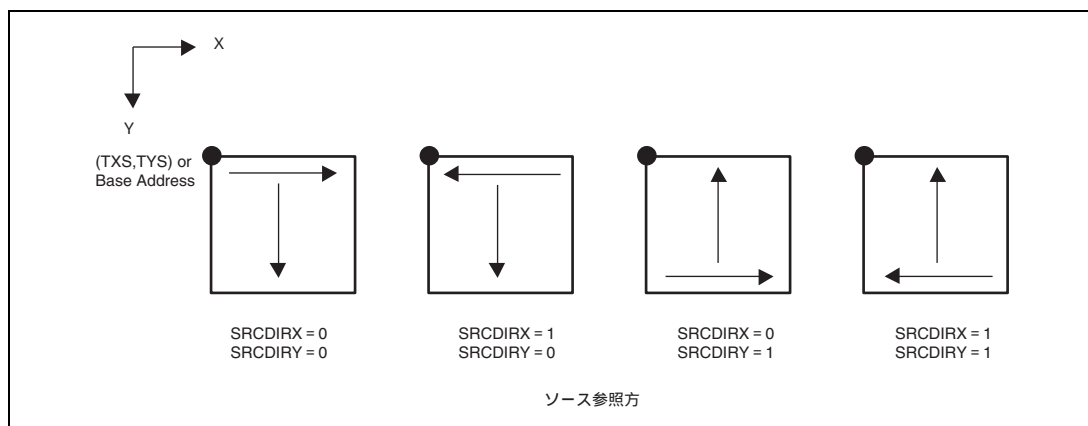


図 23.12 ソースディレクション指定例

(14) デスティネーションディレクション X、Y (DSTDIRX, DSTDIRY)

BITBLTA/B/C コマンドで使用可能です。デスティネーション描画の方向を選択します。

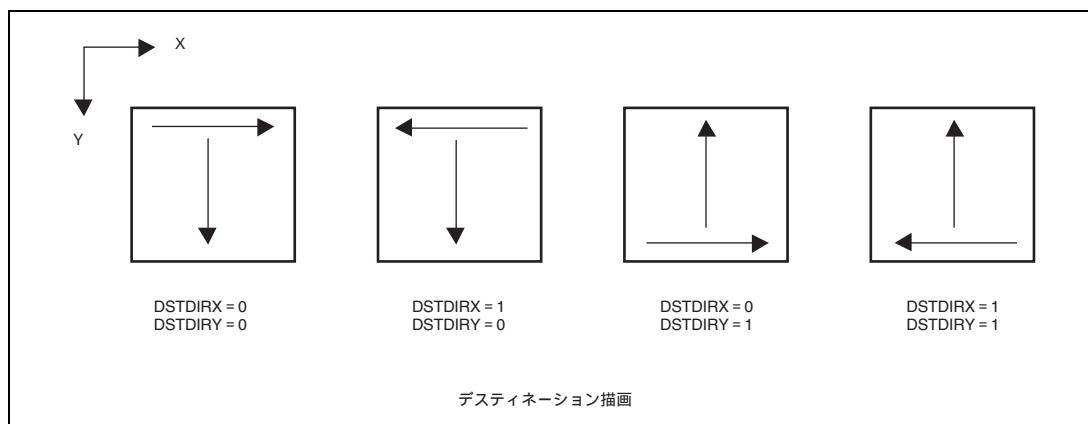


図 23.13 デスティネーションディレクション指定例

(15) アンチエイリアスイネーブル (AA)

LINE 系、RLINE 系コマンドで使用可能です。エイリアスを低減します。デスティネーションが 16 ビット/画素のときのみ有効です。8 ビット/画素時は 0 を設定してください。LINED、RLINED コマンドでは必ず 1 を設定してください。ネット描画指定 (NET) との併用はできません。

(16) アルファブレンドイネーブル (E)

POLYGON4系、BITBLT系コマンドで使用可能です。ソースデータ(2値ソースはカラー展開後データ、単色指定時は指定カラー)と下地データをアルファブレンドして描画します。アルファ値はアルファ値レジスタ (ALPHR) に設定します。デスティネーションが16ビット/画素のときのみ有効です。8ビット/画素時は0を設定してください。POLYGON4系コマンドではBLKE=1のときのみ有効です。BLKE=0のときは0を設定してください。BITBLT系コマンドではROPコード=H'CC(ソースコピー)のときのみ有効です。他のROPコード時は E = 0 にしてください。ARGBフォーマット時のA値はアルファブレンドされません。A値はレンダリングコントロールレジスタのソースA値ユーズビット(SAU)およびAバリュースピット(AVALUE)の設定に従い描画されます。

(17) ソースアルファイネーブル (S E)

POLYGON4A、BITBLTAコマンドで使用可能です。Eとあわせて使用します。E = 0のときは0を設定してください。ソースピクセルフォーマット(SPF)が1(ARGB)のとき、ソースデータのA値が1の画素のみアルファブレンドします。0の画素はアルファブレンドせず、ソースデータをそのまま描画します。SPF = 1のときのみ有効です。SPF = 0のときは0を設定してください。

(18) ブロックイネーブル (BLKE)

POLYGON4系コマンドで有効です。BLKE = 1のとき、与えられた頂点座標(DXn, DYn)を外接する矩形(DXn', DYn')に内部で変換し描画します。座標変換する場合は、変換した頂点に対して矩形に内部で変換し描画します。座標変換後もパターンを垂直に貼りたい場合に有効です。BLKE = 1の場合の描画方向は、左上から右下固定になります(上下左右反転はできません)。

CLRWコマンドで座標変換する場合、入力された左右X座標値、上下Y座標値から内部で4頂点を求め、その4頂点に対して座標変換します。その後、変換された4頂点外接する矩形に内部で変換し描画します。

FTRAPC、RFTRAPCコマンドで座標変換する場合、入力された多角形の外接四角形の座標値から内部で4頂点を求め、その4頂点に対して座標変換します。その後、変換された4頂点に外接する矩形に内部で変換、左端を求め描画します。CLRW、FTRAPC、RFTRAPCコマンドでは必ず1を設定してください。

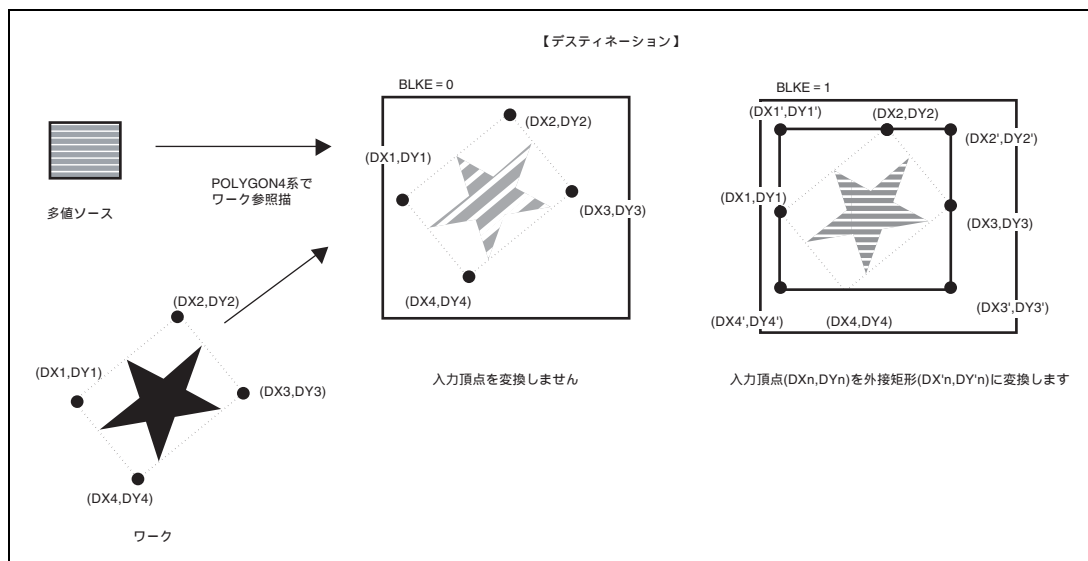


図 23.14 ブロックイネーブル指定例

(19) 座標変換イネーブル (MTRE)

全描画コマンドで使用可能です。座標変換コントロールレジスタの座標変換イネーブルビット (GTE) = 1 のとき、本ビットに 1 を設定することで入力頂点に対して座標変換を行います。

(20) リンク指定イネーブル (LINKE)

LINEC/D、R LINEC/D、FTRAPC、RFTRAPC、WPR コマンドで使用可能です。LINEC/D、R LINEC/D、FTRAPC、RFTRAPC コマンド時は頂点座標を、WPR コマンド時はレジスタライトデータを LINK Address で指定したメモリ上からリードします。

LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(21) リンクアドレス相対指定 (LREL)

LINEC/D、R LINEC/D、FTRAPC、RFTRAPC、WPR コマンドで使用可能で、LINKE とあわせて使用します。LINKE = 0 時は 0 を設定してください。リンク先アドレスを相対アドレスで指定します。コマンドコードのアドレスが相対アドレスの原点になります。

LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(22) クロックワイズ (CLKW)

LINED、RLINED コマンドで有効です。N 頂点の与える順番が時計回りか反時計回りかを指定します。CLKW=1 のときは時計回り、CLKW=0 のときは反時計回りを示します。

(23) ラスタオペレーション (ROP)

BITBLT 系コマンドで使用可能です。BITBLT コマンドパラメータの ROP フィールドで指定します。

ROP コード	オペレーション
H'00	0
H'11	~(S D)
H'22	~S & D
H'33	~S
H'44	S & ~D
H'55	~D
H'66	S ^ D
H'77	~(S & D)
H'88	S & D
H'99	~(S ^ D)
H'AA	D
H'BB	~S D
H'CC	S
H'DD	S ~D
H'EE	S D
H'FF	1

アルファブレンドイネーブル有効時 (E = 1) は H'CC に設定してください。また、ARGB フォーマット時の A 値はアルファブレンドおよびラスタオペレーションされません。A 値はレンダリングコントロールレジスタのソース A 値ユーズビット (SAU) および A バリュースビット (AVALUE) の設定に従い描画されます。

23.2 ディスプレイリスト

23.2.1 4 頂点面描画コマンド

(1) POLYGON4A

(a) 機能

デスティネーション領域に多値(8または16ビット/画素)ソースを参照しながら、任意の4頂点描画を行います。

(b) コマンドフォーマット

- SS = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1000_0010								Reserve (all 0)								Draw Mode															
0	0	0	0	TXS (0 TXS 4088)												0	0	0	0	TYS (0 TYS 4095)											
0	0	0	0	TDX (8 TDX 4095)												0	0	0	0	TDY (1 TDY 4095)											
0	0	0	0	TXOFS (0 TXOFS TDX - 1)												0	0	0	0	TYOFS (0 TYOFS TDY - 1)											
符	DX1(-32768 DX1 32767)												符	DY1(-32768 DY1 32767)																	
符	DX2(-32768 DX2 32767)												符	DY2(-32768 DY2 32767)																	
符	DX3(-32768 DX3 32767)												符	DY3(-32768 DY3 32767)																	
符	DX4(-32768 DX4 32767)												符	DY4(-32768 DY4 32767)																	

【注】 0 TXS SSTRR-TDX, 0 TYS 4096-TDY (SSTRR : ソースストライドレジスタ設定値)

- SS = 0かつREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1000_0010								Reserve (all 0)								Draw Mode															
0	0	0	Base Address(quad word address)																								0	0	0		
0	0	0	0	TDX (8 TDX 4088)												0	0	0	0	TDY (1 TDY 4095)											
0	0	0	0	TXOFS (0 TXOFS TDX - 1)												0	0	0	0	TYOFS (0 TYOFS TDY - 1)											
符	DX1(-32768 DX1 32767)												符	DY1(-32768 DY1 32767)																	
符	DX2(-32768 DX2 32767)												符	DY2(-32768 DY2 32767)																	
符	DX3(-32768 DX3 32767)												符	DY3(-32768 DY3 32767)																	
符	DX4(-32768 DX4 32767)												符	DY4(-32768 DY4 32767)																	

- SS=0かつREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1000_0010								Reserve (all 0)								Draw Mode															
符号拡張		符		Base Address(long word address)																								0		0	
0 0 0 0				TDX (8 TDX 4088)								0 0 0 0				0 0 0 0				TDY (1 TDY 4095)											
0 0 0 0				TXOFS (0 TXOFS TDX - 1)								0 0 0 0				TYOFS (0 TYOFS TDY - 1)															
符		DX1(-32768 DX1 32767)								符		DY1(-32768 DY1 32767)																			
符		DX2(-32768 DX2 32767)								符		DY2(-32768 DY2 32767)																			
符		DX3(-32768 DX3 32767)								符		DY3(-32768 DY3 32767)																			
符		DX4(-32768 DX4 32767)								符		DY4(-32768 DY4 32767)																			

【注】 コマンドコードが配置されるアドレス(ロングワード: 32ビット単位) + Base Address(ロングワード: 32ビット単位) が、クワッドワードアドレス(64ビット)単位になるようにしてください。

1. CODE

B'10000010

2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
		(WORK=1のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	E	S E

3. コマンドパラメータ

TXS、TYS : ソース開始点。未使用ビットは0を書き込んでください。

Base Address : ソース開始絶対アドレス(クワッドワードアドレス、A31~29およびA2~A0は0を書き込んでください。

ソース開始相対アドレス(ロングワードアドレス、負の数は2の補数とします。A31~A29はA28の符号を拡張してください。A1~A0は0を書き込んでください)。

【注】 32ビットアドレスモードにおいても、指定する32ビットアドレスのビット28~ビット3をA28~A3に書き込んでください。

TDX、TDY : ソースサイズ。未使用ビットは0を書き込んでください。

DXn、DYn (n=1~4) : レンダリング座標(絶対座標)。負の数は2の補数とします。

TXOFS、TYOFS : ソースオフセット。未使用ビットは0を書き込んでください。

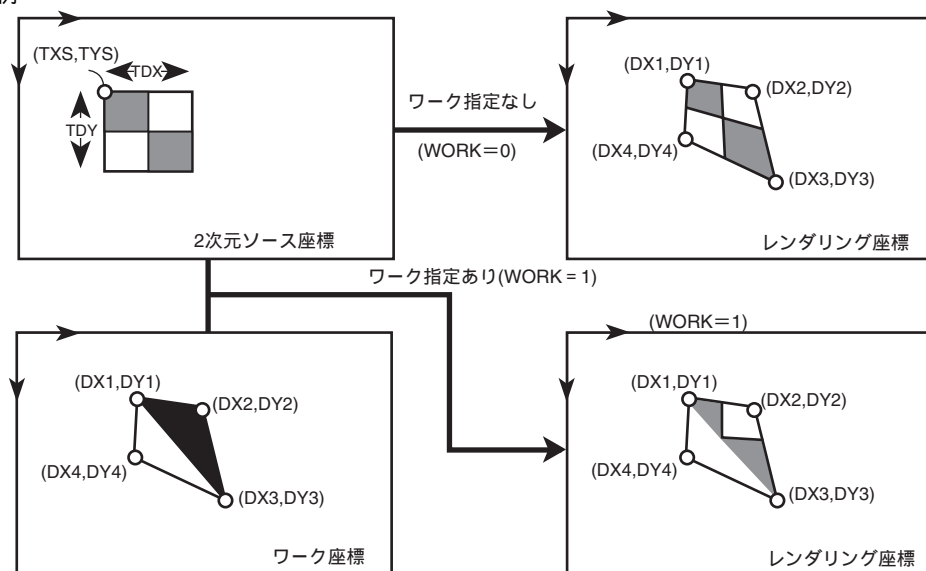
(c) 説明

多値 (8 または 16 ビット / 画素) のソースデータを任意の四角形でレンダリング座標に転送します。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために二度書きが生じます。

なお、SS = 0 のとき、TDX には 8 画素の倍数の画素数を設定してください。SS = 1 では、TDX に 8 画素以上の値を画素単位で設定してください。TDX が 8 画素未満の場合は、多値ソースの参照が正常に行われません。また、TXOFS、TYOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、TYOFS は画素単位で設定します。

1. レンダリング属性でソーススタイル指定 (STYLE = 1) を選択すると、ソースは拡大、縮小せず、繰り返し参照します。
2. レンダリング属性でワーク指定 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
3. SS = 1 のときは、2次元ソース領域からソースを参照し、SS = 0 のときはディスプレイリストのBase Address からソース参照します。ソースアドレスは、REL = 0 のときは絶対アドレスで指定できます。REL = 1 のときは、POLYGON4A コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定できます。
4. 描画が16ビット / 画素のとき、レンダリング属性のCOOFビットに1を設定すると多値ソースデータの値に、COFSRレジスタの値を加えた結果が描画されます。演算は飽和处理付きで行われます。8ビット / 画素のときには、COOFビットは必ず0に設定してください。

(d) 例



(2) POLYGON4B

(a) 機能

デスティネーション領域に2値(1ビット/画素)ソースを参照しながら、任意の4頂点描画を行います。

(b) コマンドフォーマット

- SS = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1000_0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
0	0	0	0	TXS (0 TXS 4088)												0	0	0	0	TYS (0 TYS 4095)													
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																	
0	0	0	0	TXOFS (0 TXOFS TDX - 1)												0	0	0	0	TYOFS (0 TYOFS TDY - 1)													
符	DX1(-32768 DX1 32767)																符	DY1(-32768 DY1 32767)															
符	DX2(-32768 DX2 32767)																符	DY2(-32768 DY2 32767)															
符	DX3(-32768 DX3 32767)																符	DY3(-32768 DY3 32767)															
符	DX4(-32768 DX4 32767)																符	DY4(-32768 DY4 32767)															

【注】 0 TXS SSTRR-TDX, 0 TYS 4096-TDY (SSTRR : ソースストライドレジスタ設定値)

- SS = 0かつREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1000_0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
0	0	0	Base Address (quad word address)												0	0	0																
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																	
0	0	0	0	TXOFS (0 TXOFS TDX - 1)												0	0	0	0	TYOFS (0 TYOFS TDY - 1)													
符	DX1(-32768 DX1 32767)																符	DY1(-32768 DY1 32767)															
符	DX2(-32768 DX2 32767)																符	DY2(-32768 DY2 32767)															
符	DX3(-32768 DX3 32767)																符	DY3(-32768 DY3 32767)															
符	DX4(-32768 DX4 32767)																符	DY4(-32768 DY4 32767)															

- SS = 0かつREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1000_0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
符号拡張 : 符																Base Address (long word address)																0	0
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	0	0	0	0	0	0	TDY (1 TDY 4095)											
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								0	0	0	0	0	0	0	0	TYOFS (0 TYOFS TDY - 1)													
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																							
符	DX2(-32768 DX2 32767)								符	DY2(-32768 DY2 32767)																							
符	DX3(-32768 DX3 32767)								符	DY3(-32768 DY3 32767)																							
符	DX4(-32768 DX4 32767)								符	DY4(-32768 DY4 32767)																							

【注】 コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

1. CODE

B'10000001

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
		(WORK = 1 のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	E	0 固定

3. コマンドパラメータ

TXS、TYS : ソース開始点。未使用ビットは 0 を書き込んでください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31 ~ 29 および A2 ~ A0 は 0 を書き込んでください。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

TDX、TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

DX_n、DY_n (n = 1 ~ 4) : レンダリング座標 (絶対座標)。負の数は 2 の補数とします。

TXOFS、TYOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

COLOR0、COLOR1 : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。

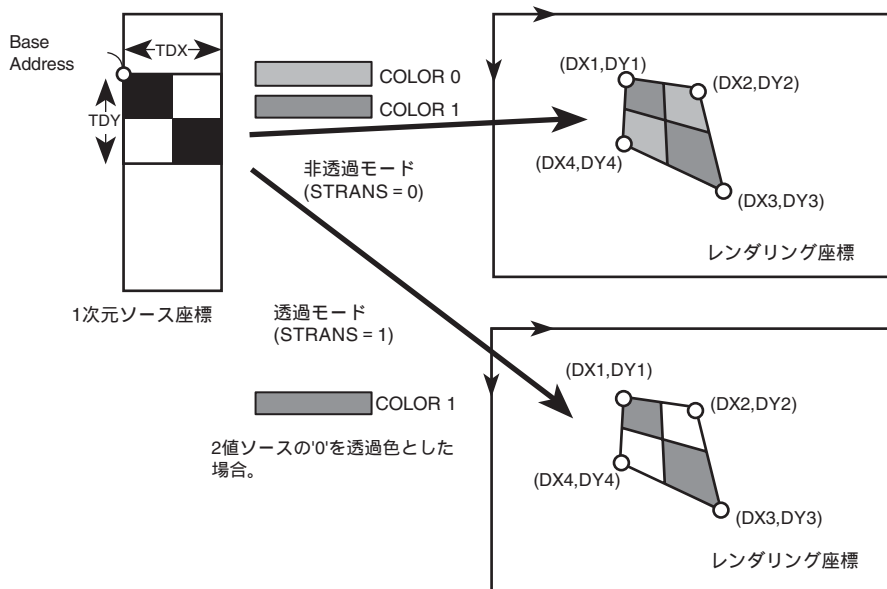
8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。

(c) 説明

2 値 (1 ビット / 画素) のソースデータを任意の四角形で、レンダリング領域に、パラメータの COLOR0 および COLOR1 で指定した色で描画します。8 ビット / 画素時のカラー指定 (COLOR0、1) には、上位、下位バイトとも同じ 8 ビットデータを設定してください。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために二度書きが生じます。TDX の値は SS ビットの値によらず、必ず 8 画素の倍数の値を設定してください。また、TXOFS、TYOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、TYOFS は画素単位で設定します。

1. レンダリング属性でソーススタイル指定 (STYLE = 1) を選択すると、ソースは拡大、縮小せず、繰り返し参照します。
2. レンダリング属性でワーク指定 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
3. ソースアドレスはREL = 0のときは絶対アドレスで指定します。REL = 1のときは、POLYGON4Bコマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定します。

(d) 例



(3) POLYGON4C

(a) 機能

レンダリング座標に単色指定で任意の4頂点描画を行います。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1000_0000								Reserve (all 0)								Draw Mode															
all 0																Color															
符	DX1(-32768 DX1 32767)							符	DY1(-32768 DY1 32767)																						
符	DX2(-32768 DX2 32767)							符	DY2(-32768 DY2 32767)																						
符	DX3(-32768 DX3 32767)							符	DY3(-32768 DY3 32767)																						
符	DX4(-32768 DX4 32767)							符	DY4(-32768 DY4 32767)																						

1. CODE

B'10000000

2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
		(WORK=1のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	0 固定	WORK	0 固定	0 固定	0 固定	BLKE	NET	EOS	COOF	E	0 固定

3. コマンドパラメータ

DX_n, DY_n (n = 1 ~ 4) : レンダリング座標 (絶対座標)、負の数は2の補数とします。

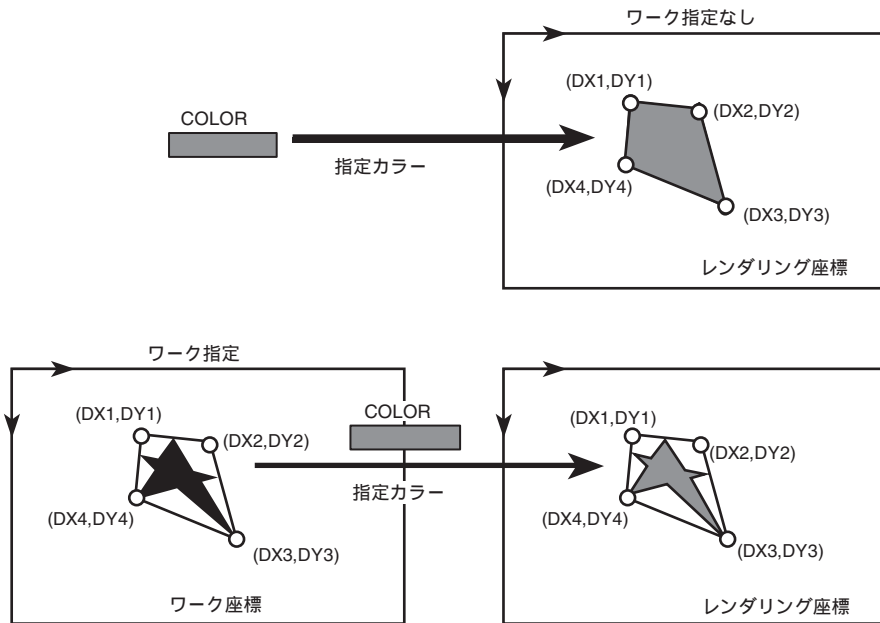
COLOR : 8または16ビット/画素カラー指定。16ビット/画素はデスティネーションのピクセルフォーマットにあわせてください。

8ビット/画素時は上位、下位バイトとも、同じ値を設定してください。

(c) 説明

任意の四角形をレンダリング領域に、パラメータのCOLORで指定した単色で描画します。レンダリング属性でワーク指定 (WORK = 1) を選択した場合、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。

(d) 例



23.2.2 線描画

(1) LINEA

(a) 機能

デスティネーション領域に多値 (8 または 16 ビット / 画素) ソースを参照しながら、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

- REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE = 1011_0010								Reserve (all 0)								Draw Mode																			
0	0	0	Base Address(quad word address)													0	0	0																	
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																			
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								n (2 n 65535)																							
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																									
符	.								符	.																									
符	.								符	.																									
符	DXn(-32768 DXn 32767)								符	DYn(-32768 DYn 32767)																									

- 【注】 1. W=0 のときは、TDY=1 に設定してください。
2. n=0、1 を設定した場合の動作は保証されません。

- REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE = 1011_0010								Reserve (all 0)								Draw Mode																			
符号拡張		符	Base Address(long word address)													0	0																		
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																			
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								n (2 n 65535)																							
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																									
符	.								符	.																									
符	.								符	.																									
符	DXn(-32768 DXn 32767)								符	DYn(-32768 DYn 32767)																									

- 【注】 1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) +Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
2. W=0 のときは、TDY=1 に設定してください。
3. n=0、1 を設定した場合の動作は保証されません。

1. CODE

B'10110010

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

【注】 SS : 0 を設定してください。

STYLE : 1 を設定してください。

3. コマンドパラメータ

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1~A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

n (n = 2 ~ 65535) : 頂点数。

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると線幅 1 の折れ線を描画します。“1” は設定禁止です。

DXn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

(c) 説明

頂点 1 (DX1, DY1) から頂点 2 (DX2, DY2)、...、頂点 n - 1 (DXn - 1, DYn - 1) を経由し頂点 n (DXn, DYn) まで折れ線を描画します。TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、は画素単位で設定します。STYLE のパターン繰り返しは、ソースの X 方向のみ行います。Y 方向は線幅に応じて、拡大 / 縮小されます。

W に 1 より大きい値を設定すると太線を描画できます。

【注】 1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。

2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。

3. AA = 1 のとき

- 破線時は、破線の隙間はアンチエイリアスがかかりません。
- 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
- 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。

(2) LINEB

(a) 機能

デスティネーション領域に 2 値 (1 ビット / 画素) ソースを参照しながら、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

- REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
OP CODE = 1011_0001								Reserve (all 0)								Draw Mode																				
Color1								Color0																												
0	0	0	Base Address(quad word address)													0	0	0																		
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																				
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								n (2 n 65535)																								
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																										
符	.								符	.																										
符	.								符	.																										
符	DXn(-32768 DXn 32767)								符	DYn(-32768 DYn 32767)																										

- 【注】 1. W = 0 のときは、TDY = 1 に設定してください。
2. n = 0、1 を設定した場合の動作は保証されません。

- REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
OP CODE = 1011_0001								Reserve (all 0)								Draw Mode																				
Color1								Color0																												
符号拡張		符	Base Address(long word address)													0	0																			
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)																				
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								n (2 n 65535)																								
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																										
符	.								符	.																										
符	.								符	.																										
符	DXn(-32768 DXn 32767)								符	DYn(-32768 DYn 32767)																										

- 【注】 1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
2. W = 0 のときは、TDY = 1 に設定してください。

3. n = 0、1 を設定した場合の動作は保証されません。

1. CODE

B'10110001

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

【注】 SS : 0 を設定してください。

STYLE : 1 を設定してください。

3. コマンドパラメータ

Color0、Color1 : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。

8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31 ~ 29 および A2 ~ A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

TDX、TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

n (n = 2 ~ 65535) : 頂点数。

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると線幅 1 の折れ線を描画します。“1” は設定禁止です。

DXn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

(c) 説明

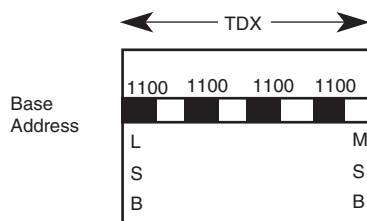
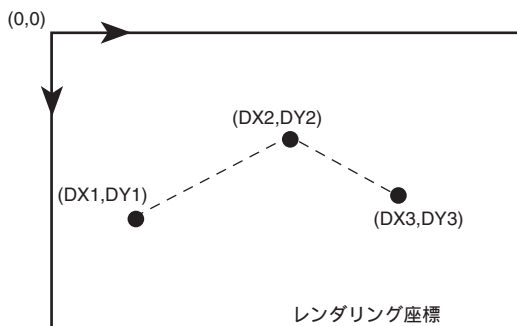
頂点 1 (DX_1, DY_1) から頂点 2 (DX_2, DY_2)、...、頂点 $n-1$ (DX_{n-1}, DY_{n-1}) を経由し頂点 n (DX_n, DY_n) まで折れ線を描画します。TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、は画素単位で設定します。STYLE の場合のパターン繰り返しは、ソースの X 方向のみ行います。Y 方向は線幅に応じて、拡大 / 縮小されます。

W に 1 より大きい値を設定すると太線を描画できます。

- 【注】
1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。
 3. AA = 1 のとき
 - 破線時は、破線の隙間はアンチエイリアスがかかりません。
 - 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
 - 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。

(d) 例

n=3



STRANS=1,STYLE=1を指定

(3) LINEC

(a) 機能

デスティネーション領域に単色指定で、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
OP CODE = 1011_0000								Reserve (all 0)								Draw Mode																																
Color																n (2 n 65535)																																
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符	DX1(-32768 DX1 32767)																符	DY1(-32768 DY1 32767)																														
符	.																符	.																														
符	.																符	.																														
符	DXn(-32768 DXn 32767)																符	DYn(-32768 DYn 32767)																														

【注】 n=0、1を設定した場合の動作は保証されません。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
OP CODE = 1011_0000								Reserve (all 0)								Draw Mode																															
Color																n (2 n 65535)																															
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	LINK Address(long word address)														0	0																													

- 【注】
1. n = 0、1を設定した場合の動作は保証されません。
 2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
OP CODE = 1011_0000								Reserve (all 0)								Draw Mode																														
Color																n (2 n 65535)																														
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符号拡張		符	LINK Address(long word address)														0	0																												

- 【注】
1. n = 0、1を設定した場合の動作は保証されません。
 2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'10110000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	NET	EOS	COOF	AA	0 固定

3. コマンドパラメータ

Color : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。

8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。

n (n = 2 ~ 65535) : 頂点数。

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると線幅 1 の折れ線を描画します。“1” は設定禁止です。

DXn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1, A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

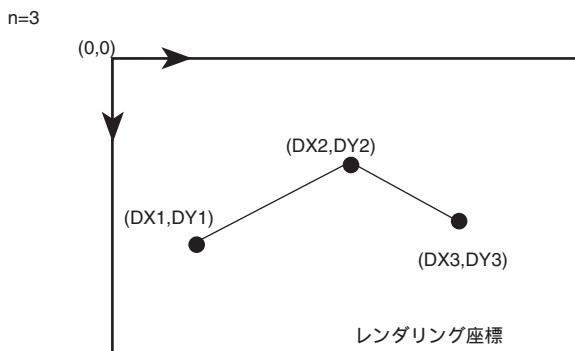
【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

頂点 1 (DX1, DY1) から頂点 2 (DX2, DY2)、...、頂点 n - 1 (DXn - 1, DYn - 1) を経由し頂点 n (DXn, DYn) まで折れ線を描画します。W に 1 より大きい値を設定すると太線を描画できます。また、LINKE = 1 のときは頂点座標を LINK Address で指定したメモリ上からリードします。LINK Address は LREL ビットによって絶対アドレスまたは LINEC コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

- 【注】
- 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 - 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。
 - AA = 1 のとき
 - 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
 - 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。

(d) 例



(4) LINED

(a) 機能

多角形の外枠にアンチエイリアス処理を行います。本コマンドはデスティネーションが 16 ビット / 画素時のみ実行してください。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0011								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (2 n 65535)															
符	DX1(-32768 DX1 32767)										符	DY1(-32768 DY1 32767)																			
符	.										符	.																			
符	.										符	.																			
符	DXn(-32768 DXn 32767)										符	DYN(-32768 DYN 32767)																			

【注】 n = 0、1 を設定した場合の動作は保証されません。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0011								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (2 n 65535)															
0	0	0	LINK Address(long word address)													0	0														

- 【注】
1. n = 0、1 を設定した場合の動作は保証されません。
 2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1011_0011								Reserve (all 0)								Draw Mode																	
Reserve (all 0)																n (2 n 65535)																	
符号拡張 符																LINK Address(long word address)																0	0

- 【注】 1. n = 0、1 を設定した場合の動作は保証されません。
2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'10110011

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	AA(1)	CLKW

- 【注】 AA : 1 を設定してください。

3. コマンドパラメータ

n (n = 2 ~ 65535) : 頂点数。

DXn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n = 2 ~ 65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1, A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

ワーク参照で描画した多角形の外枠に対してアンチエイリアス処理をします。

n 頂点を与える順番が時計回りか反時計回りかを CLKW ビットで指定します。CLKW = 1 のときは時計回り、CLKW = 0 のときは反時計回りを示します。時計回りのときは、アンチエイリアス処理で描画方向に対して左の画素を、反時計回りのときは、右の画素を参照します。また、LINKE = 1 のときは頂点座標を LINK Address で指定したメモリ上からリードします。LINK Address は LREL ビットによって絶対アドレスまたは LINED コマンドの

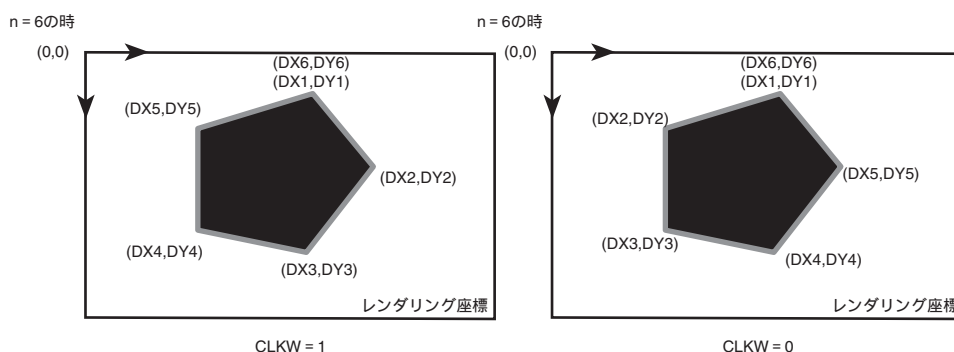
マンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

なお、本コマンドはデスティネーションが 16 ビット / 画素時のみ実行してください。

ワーク参照で使用する多角形を (R) FTRAPC コマンド描画する場合は、EDG ビット = 1 かつ EOS ビット = 1 で描画してください。

- 【注】
1. 8 点法描画です。
 2. 線分ごとの終点は描画しません。POLYGON4 系コマンドで描画した図形の外枠に対してアンチエイリアス処理をする場合は軌跡が一致しない場合があります。
 3. 線分ごとの始終点座標が一致した場合何も描画しません。
 4. 水平、垂直、斜め 45 度の線分は G2D 内部でプリクリッピングしますので、アンチエイリアス処理を行いません。
 5. 画素ごとのクリッピングは、参照画素、描画する画素のどちらか一方でもクリッピングエリア外の場合、クリッピングされ、アンチエイリアス処理を行いません。

(d) 例



(5) RLINEA

(a) 機能

デスティネーション領域に多値 (8 または 16 ビット / 画素) ソースを参照しながら、任意の太さの折れ線描画をカレントポイントからの相対指定で行います。

(b) コマンドフォーマット

• REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1011_0110								Reserve (all 0)								Draw Mode																	
0 0 0								Base Address(quad word address)																								0 0 0	
0 0 0 0								TDX (8 TDX 4088)								0 0 0 0				TDY (1 TDY 4095)													
0 0 0 0								TXOFS (0 TXOFS TDX - 1)								n (1 n 65535)																	
Reserve (all 0)								0 0 0 0				0 0 0 0				0 0 0 0				W(0,2 W 63)													
符: DX2(-128 DX2 127)				符: DY2(-128 DY2 127)				符: DX1(-128 DX1 127)				符: DY1(-128 DY1 127)																					
符: .				符: .				符: .				符: .																					
符: .				符: .				符: .				符: .																					
符: DX _n (-128 DX _n 127)				符: DY _n (-128 DY _n 127)				符: DX _{n-1} (-128 DX _{n-1} 127)				符: DY _{n-1} (-128 DY _{n-1} 127)																					

- 【注】 1. W=0 のときは、TDY = 1 に設定してください。
 2. n = 0 を設定した場合の動作は保証されません。
 3. n が奇数のときは、最後にダミーワード 0 を入れてください。

• REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1011_0110								Reserve (all 0)								Draw Mode																	
符号拡張 符:								Base Address(long word address)																								0 0	
0 0 0 0								TDX (8 TDX 4088)								0 0 0 0				TDY (1 TDY 4095)													
0 0 0 0								TXOFS (0 TXOFS TDX - 1)								n (1 n 65535)																	
Reserve (all 0)								0 0 0 0				0 0 0 0				0 0 0 0				W(0,2 W 63)													
符: DX2(-128 DX2 127)				符: DY2(-128 DY2 127)				符: DX1(-128 DX1 127)				符: DY1(-128 DY1 127)																					
符: .				符: .				符: .				符: .																					
符: .				符: .				符: .				符: .																					
符: DX _n (-128 DX _n 127)				符: DY _n (-128 DY _n 127)				符: DX _{n-1} (-128 DX _{n-1} 127)				符: DY _{n-1} (-128 DY _{n-1} 127)																					

- 【注】 1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
 2. W=0 のときは、TDY = 1 に設定してください。
 3. n = 0 を設定した場合の動作は保証されません。
 4. n が奇数のときは、最後にダミーワード 0 を入れてください。

1. CODE

B'10110110

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

【注】 SS : 0 を設定してください。

STYLE : 1 を設定してください。

3. コマンドパラメータ

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1~A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

n (n = 1 ~ 65535) : 頂点数。

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。

DXn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

DYn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

(c) 説明

カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC + DX1, YC + DY1)、(XC + DX1, YC + DY1) - (XC + DX1 + DX2, YC + DY1 + DY2)、...、(XC + ... + DXn - 1, YC + ... + DYn - 1) - (XC + ... + DXn - 1 + DXn, YC + ... + DYn - 1 + DYn) まで折れ線を描画します。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、は画素単位で設定します。

STYLE の場合のパターン繰り返しは、ソースの X 方向のみ行います Y 方向は線幅に応じて、拡大 / 縮小されません。

W に 0 より大きい値を設定すると太線を描画できます。

- 【注】
- 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 - 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。
 - AA = 1 のとき
 - 破線時は、破線の隙間はアンチエイリアスがかかりません。
 - 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
 - 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。
 - カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。

(6) RLINEB

(a) 機能

デスティネーション領域に 2 値 (1 ビット / 画素) ソースを参照しながら、任意の太さの折れ線描画をカレントポイントからの相対指定で行います。

(b) コマンドフォーマット

- REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0101								Reserve (all 0)								Draw Mode															
Color1																Color0															
0	0	0	Base Address(quad word address)																								0	0	0		
0	0	0	0	TDX (8 TDX 4088)								0	0	0	0	TDY (1 TDY 4095)															
0	0	0	0	TXOFS (0 TXOFS TDX - 1)								n (1 n 65535)																			
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	W(0,2 W 63)			
符	DX2(-128 DX2 127)				符	DY2(-128 DY2 127)				符	DX1(-128 DX1 127)				符	DY1(-128 DY1 127)															
符	.				符	.				符	.				符	.															
符	.				符	.				符	.				符	.															
符	DX _n (-128 DX _n 127)				符	DY _n (-128 DY _n 127)				符	DX _{n-1} (-128 DX _{n-1} 127)				符	DY _{n-1} (-128 DY _{n-1} 127)															

- 【注】
- W = 0 のときは、TDY = 1 に設定してください。
 - n = 0 を設定した場合の動作は保証されません。
 - n が奇数のときは、最後にダミーワード 0 を入れてください。

• REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0101								Reserve (all 0)								Draw Mode															
Color1																Color0															
符号拡張		符		Base Address(long word address)																								0		0	
0 0 0 0				TDX (8 TDX 4088)								0 0 0 0				TDY (1 TDY 4095)															
0 0 0 0				TXOFS (0 TXOFS TDX - 1)								n (1 n 65535)																			
Reserve (all 0)																0 0 0 0				0 0 0 0				W(0,2 W 63)							
符				DX2(-128 DX2 127)				符				DY2(-128 DY2 127)				符				DX1(-128 DX1 127)				符				DY1(-128 DY1 127)			
符				.				符				.				符				.				符				.			
符				.				符				.				符				.				符				.			
符				DX _n (-128 DX _n 127)				符				DY _n (-128 DY _n 127)				符				DX _{n-1} (-128 DX _{n-1} 127)				符				DY _{n-1} (-128 DY _{n-1} 127)			

- 【注】 1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
2. W = 0 のときは、TDY = 1 に設定してください。
3. n = 0 を設定した場合の動作は保証されません。
4. n が奇数のときは、最後にダミーワード 0 を入れてください。

1. CODE

B'10110101

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

- 【注】 SS : 0 を設定してください。
- STYLE : 1 を設定してください。

3. コマンドパラメータ

- Color0、Color1 : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。
8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。
- Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31 ~ 29 および A2 ~ A0 は 0 を書き込んでください)。
ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

- TDX、TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。
- TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。
- n (n = 1 ~ 65535) : 頂点数。
- W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。
W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。
- DXn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。
- DYn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

(c) 説明

カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC+DX1, YC+DY1)、(XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2)、...、(XC+...+DXn-1, YC+...+DYn-1) - (XC+...+DXn-1+DXn, YC+...+DYn-1+DYn) まで折れ線を描画します。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、は画素単位で設定します。

STYLE の場合のパターン繰り返しは、ソースの X 方向のみ行います Y 方向は線幅に応じて、拡大 / 縮小されず。

W に 1 より大きい値を設定すると太線を描画できます。

- 【注】
- 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 - 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。
 - AA = 1 のとき
 - 破線時は、破線の隙間はアンチエイリアスがかかりません。
 - 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
 - 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。
 - カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
OP CODE = 1011_0100								Reserve (all 0)								Draw Mode																															
Color																n (1 n 65535)																															
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	LINK Address(long word address)																								0	0																			

- 【注】
1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
OP CODE = 1011_0100								Reserve (all 0)								Draw Mode																														
Color																n (1 n 65535)																														
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符号拡張 符		LINK Address(long word address)																								0	0																			

- 【注】
1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'10110100

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	NET	EOS	COOF	AA	0 固定

3. コマンドパラメータ

- Color : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。
8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。
- n (n = 1 ~ 65535) : 頂点数。
- W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。
W に 0 を設定すると線幅 1 の折れ線を描画します。“1” は設定禁止です。
- DXn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。
- DYn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。
- LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1、A0 は 0 を書き込んでください)。
LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

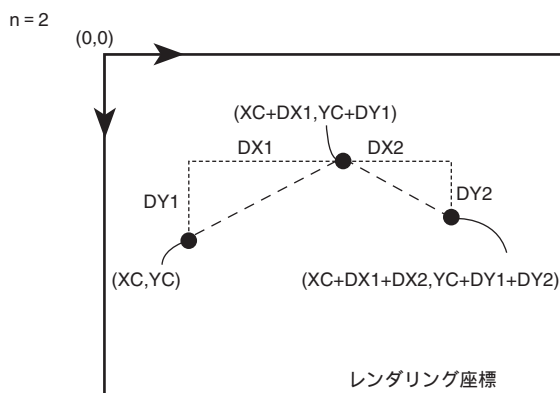
(c) 説明

カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC+DX1, YC+DY1)、(XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2)、...、(XC+...+DXn-1, YC+...+DYn-1) - (XC+...+DXn-1+DXn, YC+...+DYn-1+DYn) まで折れ線を描画します。W に 1 より大きい値を設定すると太線を描画できません。また、LINKE = 1 のときは頂点座標を LINK Address で指定したメモリ上からリードします。LINK Address は LREL ビットによって絶対アドレスまたは RLINEC コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

- 【注】
1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し太線時は何も描画しません。
 3. AA = 1 のとき
 - 線分ごとの始終点座標が一致した場合はアンチエイリアス処理を行いません。
 - 水平、垂直、斜め 45 度の線分はアンチエイリアス処理を行いません。
 4. カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。

(d) 例



(8) RLINED

(a) 機能

多角形の外枠にカレントポイントからの相対指定でアンチエイリアス処理を行います。本コマンドはデステーションが 16 ビット / 画素時のみ実行してください。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0111								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (1 n 65535)															
符				DX2(-128 DX2 127)				符				DY2(-128 DY2 127)				符				DX1(-128 DX1 127)				符				DY1(-128 DY1 127)			
符				.				符				.				符				.				符				.			
符				.				符				.				符				.				符				.			
符				DXn(-128 DXn 127)				符				DYn(-128 DYn 127)				符				DXn-1(-128 DXn-1 127)				符				DYn-1(-128 DYn-1 127)			

- 【注】 1. n = 0 を設定した場合の動作は保証されません。
2. n が奇数のときは、最後にダミーワード 0 を入れてください。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1011_0111								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (1 n 65535)															
0	0	0	LINK Address(long word address)													0	0														

- 【注】 1. n = 0 を設定した場合の動作は保証されません。
2. n が奇数のときは、最後にダミーワード 0 を入れてください。
3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 1011_0111								Reserve (all 0)								Draw Mode																	
Reserve (all 0)																n (1 n 65535)																	
符号拡張 符																LINK Address(long word address)																0	0

- 【注】
1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'10110111

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	AA(1)	CLKW

- 【注】 AA : 1 を設定して下さい。

3. コマンドパラメータ

n (n = 1 ~ 65535) : 頂点数。

DXn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

DYn (n = 1 ~ 65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1、A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

ワーク参照で描画した多角形の外枠に対してカレントポイントからの相対指定でアンチエイリアス処理をします。

n 頂点を与える順番が時計回りか反時計回りかを CLKW ビットで指定します。CLKW = 1 のときは時計回り、CLKW = 0 のときは反時計回りを示します。時計回りのときは、アンチエイリアス処理で描画方向に対して左の画素を、反時計回りのときは、右の画素を参照します。また、LINKE = 1 のときは頂点座標を LINK Address で指定したメモリ上からリードします。LINK Address は LREL ビットによって絶対アドレスまたは LINED コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

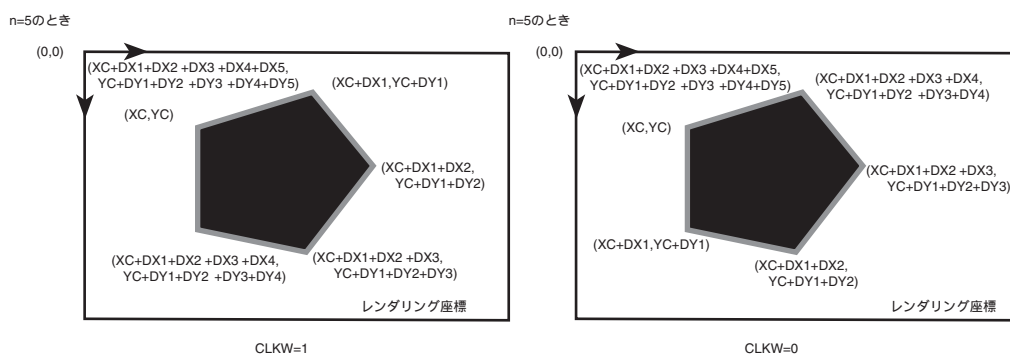
なお、本コマンドはデスティネーションが 16 ビット / 画素時のみ実行してください。

ワーク参照で使用する多角形を (R) FTRAPC コマンド描画する場合は、EDG ビット = 1 かつ EOS ビット = 1 で描画してください。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

- 【注】
1. 8 点法描画です。
 2. 線分ごとの終点は描画しません。POLYGON4 系コマンドで描画した図形の外枠に対してアンチエイリアス処理をする場合は軌跡が一致しない場合があります。
 3. 線分ごとの始終点座標が一致した場合も描画しません。
 4. 水平、垂直、斜め 45 度の線分は G2D 内部でプリクリッピングしますので、アンチエイリアス処理を行いません。
 5. 画素ごとのクリッピングは、参照画素、描画する画素のどちらか一方でもクリッピングエリア外の場合、クリッピングされ、アンチエイリアス処理を行いません。
 6. カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。

(d) 例



23.2.3 ワーク面描画コマンド

(1) FTRAPC

(a) 機能

ワーク座標に多角形を描画します。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n (2 n 65535)															
符								Xmin(-32768 Xmin 32767)								符								Ymin(-32768 Ymin 32767)							
符								Xmax(-32768 Xmax 32767)								符								Ymax(-32768 Ymax 32767)							
符								DX1(-32768 DX1 32767)								符								DY1(-32768 DY1 32767)							
符								.								符								.							
符								.								符								.							
符								DXn(-32768 DXn 32767)								符								DYn(-32768 DYn 32767)							

【注】 n=0、1 を設定した場合の動作は保証されません。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n (2 n 65535)															
符								Xmin(-32768 Xmin 32767)								符								Ymin(-32768 Ymin 32767)							
符								Xmax(-32768 Xmax 32767)								符								Ymax(-32768 Ymax 32767)							
0	0	0	LINK Address(long word address)														0	0													

- 【注】
1. n = 0、1 を設定した場合の動作は保証されません。
 2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n (2 n 65535)																							
符 Xmin(-32768 Xmin 32767)								符 Ymin(-32768 Ymin 32767)																							
符 Xmax(-32768 Xmax 32767)								符 Ymax(-32768 Ymax 32767)																							
符号拡張 符								LINK Address(long word address)								0		0													

- 【注】 1. n = 0、1 を設定した場合の動作は保証されません。
2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'11010000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	BLKE(1)	EDG	EOS	0 固定	0 固定	0 固定

- 【注】 BLKE : 1 を設定してください。

3. コマンドパラメータ

n (n = 2 ~ 65535) : 頂点数。

Xmin : 多角形の外接四角形の Xmin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Ymin : 多角形の外接四角形の Ymin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Xmax : 多角形の外接四角形の Xmax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Ymax : 多角形の外接四角形の Ymax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

DXn (n = 2 ~ 65535) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n = 2 ~ 65535) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1, A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

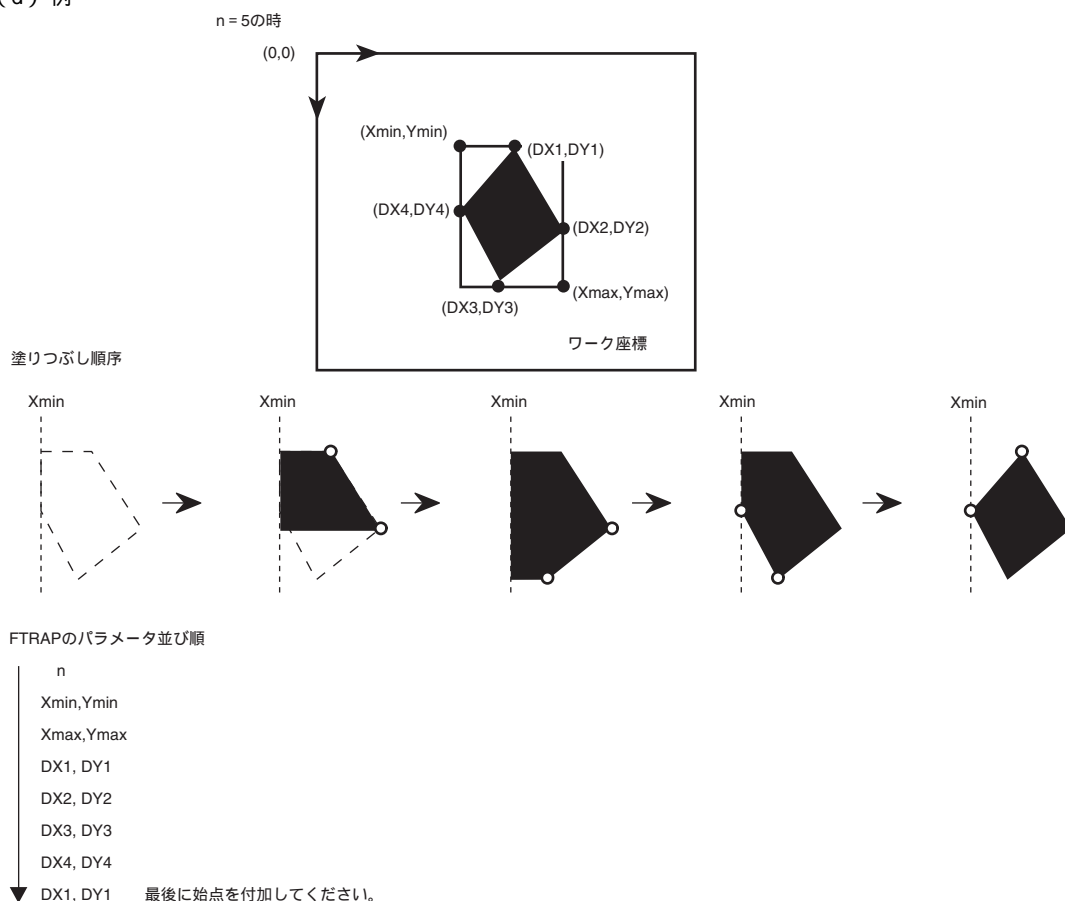
(c) 説明

ワーク座標に頂点が $n - 1$ 個の多角形を描画します。X = Xmin を左側辺、線分 (DX1, DY1) - (DX2, DY2)、(DX2, DY2) - (DX3, DY3)、...、(DX $n-1$, DY $n-1$) - (DX n , DY n) を右側辺とする上底および下底が X 軸に平行な台形を $n - 1$ 個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。なお、閉図形になるように (DX n , DY n) = (DX1, DY1) としてください。レンダリング属性の EDG ビットを 1 に設定することにより、塗りつぶした後、縁どりのラインを描画します。ラインの描画データは、EOS ビットで選択します。

FTRAPC コマンドで座標変換する場合、入力された多角形の外接四角形の座標値から内部で 4 頂点を求め、その 4 頂点に対して座標変換します。その後、変換された 4 頂点を外接する矩形に内部で変換、左端を求め描画します。

【注】 縁取り描画を有効 (EDG = 1) にした場合、縁取りラインは Z ブリクリッピングされません。

(d) 例



(2) RFTRAPC

(a) 機能

ワーク座標に多角形をカレントポイントからの相対指定で描画します。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n (1 n 65535)																							
符 Xmin(-32768 Xmin 32767)								符 Ymin(-32768 Ymin 32767)								符 DX1(-128 DX1 127)								符 DY1(-128 DY1 127)							
符 Xmax(-32768 Xmax 32767)								符 Ymax(-32768 Ymax 32767)								符 DX2(-128 DX2 127)								符 DY2(-128 DY2 127)							
符 .								符 .								符 .								符 .							
符 .								符 .								符 .								符 .							
符 DXn(-128 DXn 127)								符 DYn(-128 DYn 127)								符 DXn-1(-128 DXn-1 127)								符 DYn-1(-128 DYn-1 127)							

- 【注】 1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード “0” を入れてください。

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n (1 n 65535)																							
符 Xmin(-32768 Xmin 32767)								符 Ymin(-32768 Ymin 32767)								符 Xmax(-32768 Xmax 32767)								符 Ymax(-32768 Ymax 32767)							
0								LINK Address(long word address)								0								0							

- 【注】 1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード “0” を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1101_0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n (1 n 65535)																							
符 Xmin(-32768 Xmin 32767)								符 Ymin(-32768 Ymin 32767)																							
符 Xmax(-32768 Xmax 32767)								符 Ymax(-32768 Ymax 32767)																							
符号拡張 符 LINK Address(long word address)																0	0														

- 【注】
1. n = 0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード “0” を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'11010100

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	BLKE(1)	EDG	EOS	0 固定	0 固定	0 固定

- 【注】 BLKE : 1 を設定してください。

3. コマンドパラメータ

n (n = 1 ~ 65535) : 頂点数。

Xmin : 多角形の外接四角形の Xmin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Ymin : 多角形の外接四角形の Ymin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Xmax : 多角形の外接四角形の Xmax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

Ymax : 多角形の外接四角形の Ymax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

DXn (n = 1 ~ 65535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。

DYn (n = 1 ~ 65535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1、A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

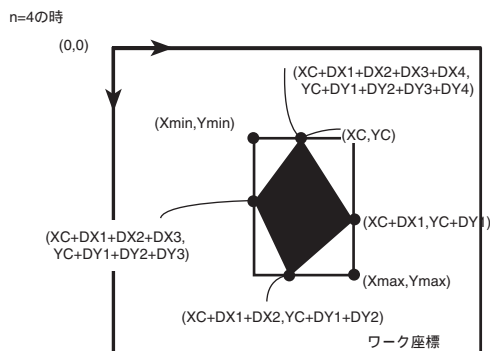
$X = X_{min}$ を左側辺、カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 $(XC, YC) - (XC+DX1, YC+DY1)$ 、 $(XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2)$ 、...、 $(XC+...+DX_{n-1}, YC+...+DY_{n-1}) - (XC+...+DX_n, YC+...+DY_n)$ を右側辺とする上底および下底が X 軸に平行な台形を n 個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。閉図形となるように $DX1+DX2+DX_n=0$ 、 $DY1+DY2+DY_n=0$ としてください。レンダリング属性の EDG ビットを 1 に設定することにより、塗りつぶした後、縁どりのラインを描画します。ラインの描画データは、EOS ビットで選択します。

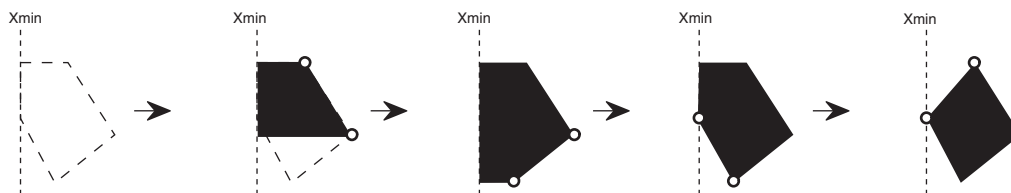
RFTRAPC コマンドで座標変換する場合、入力された多角形の外接四角形の座標値から内部で 4 頂点を求め、その 4 頂点に対して座標変換します。その後、変換された 4 頂点を外接する矩形に内部で変換、左端を求め描画します。

- 【注】
1. カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。
 2. 縁取り描画を有効 (EDG = 1) にした場合、縁取りラインは Z ブリクリッピングされません。

(d) 例



塗りつぶし順序



(3) CLRWC

(a) 機能

ワーク座標をゼロクリアします。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1110_0000								Reserve (all 0)								Draw Mode															
符	Xmin(-32768 Xmin 32767)								符	Ymin(-32768 Ymin 32767)																					
符	Xmax(-32768 Xmax 32767)								符	Ymax(-32768 Ymax 32767)																					

1. CODE

B'11100000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	BLKE(1)	0 固定	0 固定	0 固定	0 固定	0 固定

【注】 BLKE : 1 を設定してください。

3. コマンドパラメータ

Xmin、Xmax : 左右 X 座標値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

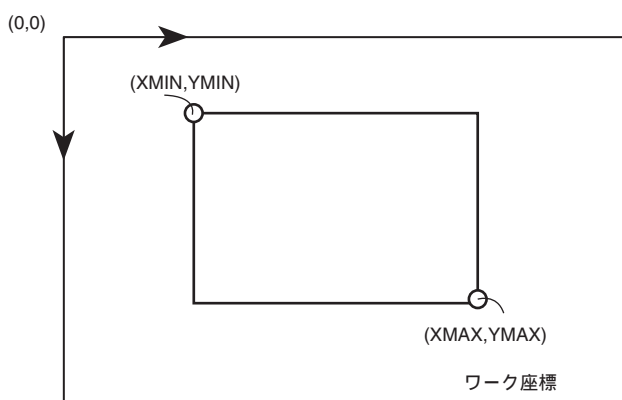
Ymin、Ymax : 上下 Y 座標値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。

(c) 説明

ワーク座標において左上座標 (XMIN, YMIN)、右下座標 (XMAX, YMAX) で指定された領域をゼロクリアします。

CLRWC コマンドで座標変換する場合、入力された左右 X 座標値、上下 Y 座標値から内部で 4 頂点を求め、その 4 頂点に対して座標変換します。その後、変換された 4 頂点を外接する矩形に内部で変換し描画します。

(d) 例



23.2.4 ワーク線描画

(1) LINEWC

(a) 機能

ワーク座標に 1 ドット幅の実線を描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1111_0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (2 n 65535)															
符	DX1(-32768 DX1 32767)								符	DY1(-32768 DY1 32767)																					
符	.								符	.																					
符	.								符	.																					
符	DXn(-32768 DXn 32767)								符	DYn(-32768 DYn 32767)																					

【注】 n = 0、1 を設定した場合の動作は保証されません。

1. CODE

B'11110000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			(2 値の EOS)		

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	EOS	0 固定	0 固定	0 固定

3. コマンドパラメータ

n ($n=2\sim 65535$) : 頂点数。

DX_n ($n=2\sim 65535$) : ワーク座標 (絶対座標)、負の数は2の補数とします。

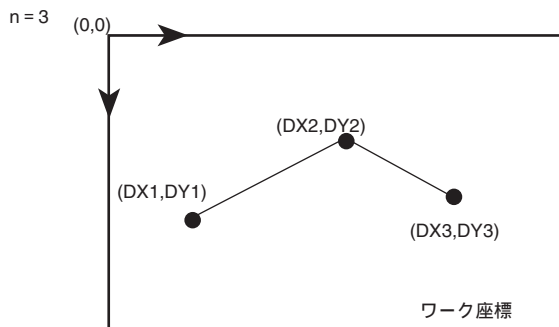
DY_n ($n=2\sim 65535$) : ワーク座標 (絶対座標)、負の数は2の補数とします。

(c) 説明

頂点1(DX_1, DY_1)から頂点2(DX_2, DY_2)、...、頂点 $n-1$ (DX_{n-1}, DY_{n-1})を経由し頂点 n (DX_n, DY_n)まで折れ線ワーク座標に2値描画します。0描画か1描画かの選択は描画モードのEOSビットで行います。EOSビット=0を選択すると0でワーク座標に描画、EOSビット=1を選択すると1でワーク座標に描画します(ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

【注】 8点法描画です。線分ごとの終点は描画します。

(d) 例



(2) RLINEWC

(a) 機能

ワーク座標に1ドット幅の実線をカレントポイントからの相対指定で描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1111_0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n (1 n 65535)															
符	DX2(-128 DX2 127)				符	DY2(-128 DY2 127)				符	DX1(-128 DX1 127)				符	DY1(-128 DY1 127)															
符	.				符	.				符	.				符	.															
符	.				符	.				符	.				符	.															
符	DX $_n$ (-128 DX $_n$ 127)				符	DY $_n$ (-128 DY $_n$ 127)				符	DX $_{n-1}$ (-128 DX $_{n-1}$ 127)				符	DY $_{n-1}$ (-128 DY $_{n-1}$ 127)															

- 【注】
- $n=0$ を設定した場合の動作は保証されません。
 - n が奇数のときは、最後にダミーワード0を入れてください。

1. CODE

B'11110100

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			(2 値の EOS)		

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	EOS	0 固定	0 固定	0 固定

3. コマンドパラメータ

n (n = 1 ~ 65535) : 頂点数。

DXn (n = 1 ~ 65535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。

DYn (n = 1 ~ 65535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。

(c) 説明

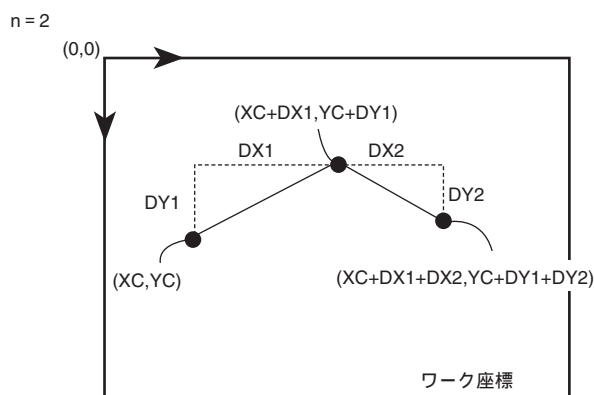
カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分(XC, YC) - (XC+DX1, YC+DY1)、(XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2)、...、(XC+...+DXn-1, YC+...+DYn-1) - (XC+...+DXn-1+DXn, YC+...+DYn-1+DYn)まで折れ線をワーク座標に 2 値描画します。0 描画か 1 描画かの選択はレンダリング属性の EOS ビットで行います。EOS ビット = 0 を選択すると 0 でワーク座標に描画、EOS ビット = 1 を選択すると 1 でワーク座標に描画します (ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

【注】 1. 8 点法描画です。線分ごとの終点は描画します。

2. カレントポイント (XC, YC) へは、座標変換する前の座標最終点が記憶されます。

(d) 例



23.2.5 矩形描画コマンド

(1) BITBLTA

(a) 機能

デスティネーション領域に多値 (8 または 16 ビット / 画素) 矩形ソースを転送します。

(b) コマンドフォーマット

- SS = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0010								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	ROP													
0	0	0	0	TXS (0 TXS 4088)								0	0	0	0	TYS (0 TYS 4095)															
0	0	0	0	LW (0 LW 4094)								0	0	0	0	RW (0 RW 4094)															
0	0	0	0	TH (0 TH 4094)								0	0	0	0	BH (0 BH 4094)															
符								BXC(-32768 BXC 32767)								符								BYC(-32768 BYC 32767)							

- 【注】
- 0 TXS SSTRR-(LW+RW+1), 0 TYS 4096-(TH+BH+1) (SSTRR : ソースストライドレジスタ設定値)
 - 8 LW+RW+1 4095, 1 TH+BH+1 4095
 - 32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+BH 32767

- SS = 0かつREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0010								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	ROP													
0	0	0	Base Address(quad word address)														0	0	0												
0	0	0	0	LW (0 LW 4087)								0	0	0	0	RW (0 RW 4087)															
0	0	0	0	TH (0 TH 4094)								0	0	0	0	BH (0 BH 4094)															
符								BXC(-32768 BXC 32767)								符								BYC(-32768 BYC 32767)							

- 【注】
- 8 LW+RW+1 4088 (8 の倍数), 1 TH+BH+1 4095
 - 32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+BH 32767

- SS = 0かつREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
OP CODE = 1010_0010								Reserve (all 0)								Draw Mode																							
Reserve (all 0)																0	0	0	0	0	0	0	0	0	ROP														
符号拡張		符		Base Address(long word address)																								0	0										
0	0	0	0	LW(0 LW 4087)												0	0	0	0	RW(0 RW 4087)																			
0	0	0	0	TH(0 TH 4094)												0	0	0	0	BH(0 BH 4094)																			
符																BXC(-32768 BXC 32767)								符								BYC(-32768 BYC 32767)							

- 【注】
1. 8 LW+RW+1 4088 (8 の倍数)、1 TH+BH+1 4095
 2. -32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+BH 32767
 3. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

1. CODE

B'10100010

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
		(WORK=1 のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	E	S E

3. コマンドパラメータ

TXS、TYS : ソース開始点。未使用ビットは 0 を書き込んでください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31 ~ 29 および A2 ~ A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

BXC、BYC : センター X、Y 座標値、レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LW、RW : Left 幅、Right 幅、(BXC、BYC)からの相対値、レンダリング座標。画素数で設定してください。未使用ビットは 0 を書き込んでください。

TH、BH : Top 高さ、Bottom 高さ、(BXC、BYC)からの相対値、レンダリング座標。画素数で設定してください。

未使用ビットは 0 を書き込んでください。

ROP : ラスタオペレーションコード。

(c) 説明

多値 (8 または 16 ビット / 画素) の矩形ソースデータをレンダリング座標に転送します。

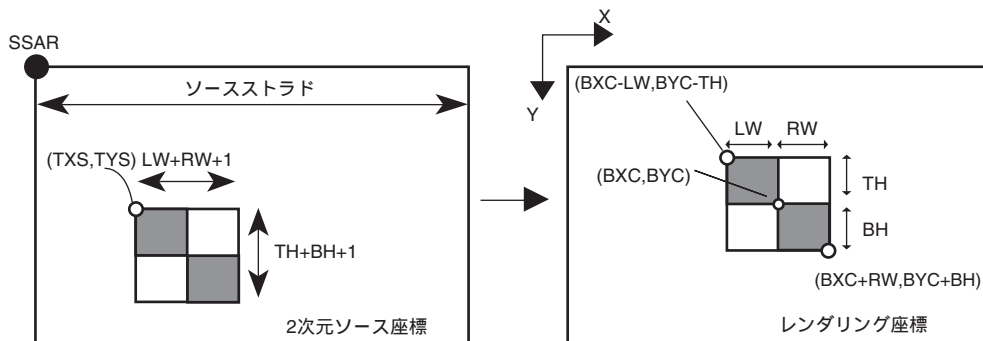
なお、SS = 0 のとき、 $LW + RW + 1$ が 8 の倍数になるように設定してください。SS = 1 では、 $LW + RW + 1$ が 8 以上の値になるように設定してください。

1. レンダリング属性でワーク指定 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が 1 になっているところのみをレンダリング座標に描画します。
2. SS = 1 のときは、2次元ソース領域からソース参照します。SS = 0 のときは、ディスプレイリストのBase Address からソース参照します。ソースアドレスは、REL = 0 のときは絶対アドレスで指定できます。REL = 1 のときは、BITBLTA コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定できます。
3. 描画が 16 ビット / 画素のとき、レンダリング属性のCOOFビットに 1 を設定すると多値ソースデータの値に、COFSRレジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8 ビット / 画素のときには、COOFビットは必ず 0 に設定してください。
4. SRCDIRX, Y ビットでソースの参照方向を選択できます。
5. DSTDIRX, Y ビットで描画方向の選択ができます。
6. E = 1 にするとソースデータと下地をアルファブレンドして描画します。E = 1 にする場合はROPコード = H'CC (ソースコピー) にしてください。ARGBフォーマット時のA値はアルファブレンドされません。A値はレンダリングコントロールレジスタ (RCLR) のソースA値ユース (SAU)、Aバリュー (AVALUE) の設定に従い描画されます。16 ビット / 画素時に有効です。
7. 16 種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値はラスタオペレーションされません。A値はレンダリングコントロールレジスタ (RCLR) のソースA値ユース (SAU)、Aバリュー (AVALUE) の設定に従い描画されます。

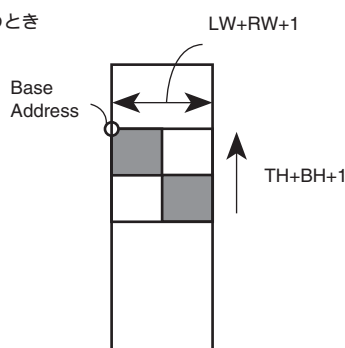
【注】 システムクリッピング、(相対)ユーザクリッピングは、矩形で行います。Zクリッピングはセンター座標でのみ行います。

(d) 例

SS = 1 のとき



SS = 0 のとき



(2) BITBLTB

(a) 機能

デスティネーション領域に2値(1ビット/画素)矩形ソースをカラー展開して転送します。

(b) コマンドフォーマット

- SS = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0001								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
Color1								Color0																							
0 0 0 0				TXS (0 TXS 4088)				0 0 0 0				TYS (0 TYS 4095)																			
0 0 0 0				LW (0 LW 4087)				0 0 0 0				RW (0 RW 4087)																			
0 0 0 0				TH (0 TH 4094)				0 0 0 0				BH (0 BH 4094)																			
符		BXC(-32768 BXC 32767)														符		BYC(-32768 BYC 32767)													

- 【注】
- 0 TXS SSTRR-(LW+RW+1), 0 TYS 4096-(TH+BH+1)(SSTRR : ソースストライドレジスタ設定値)
 - 8 LW+RW+1 4088 (8 の倍数), 1 TH+BH+1 4095
 - 32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+BH 32767

• SS = 0かつREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0001								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
Color1								Color0																							
0 0 0								Base Address(quad word address)								0 0 0															
0 0 0 0								LW (0 LW 4087)								0 0 0 0								RW (0 RW 4087)							
0 0 0 0								TH (0 TH 4094)								0 0 0 0								BH (0 BH 4094)							
符								BXC(-32768 BXC 32767)								符								BYC(-32768 BYC 32767)							

- 【注】 1. 8 LW+RW+1 4088 (8 の倍数), 1 TH+BH+1 4095
 2. -32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+ BH 32767

• SS = 0かつREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0001								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
Color1								Color0																							
符号拡張 符								Base Address(long word address)								0 0															
0 0 0 0								LW (0 LW 4087)								0 0 0 0								RW (0 RW 4087)							
0 0 0 0								TH (0 TH 4094)								0 0 0 0								BH (0 BH 4094)							
符								BXC(-32768 BXC 32767)								符								BYC(-32768 BYC 32767)							

- 【注】 1. 8 LW+RW+1 4088 (8 の倍数), 1 TH+BH+1 4095
 2. -32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767, -32768 BYC+BH 32767
 3. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

1. CODE

B'10100001

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
		(WORK = 1 のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	E	0 固定

3. コマンドパラメータ

TXS, TYS : ソース開始点。未使用ビットは 0 を書き込んでください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31 ~ 29 および A2 ~ A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

BXC, BYC : センター X、Y 座標値、レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LW, RW : Left 幅、Right 幅、(BXC, BYC)からの相対値、レンダリング座標。画素数で設定してください。未使用ビットは 0 を書き込んでください。

TH, BH : Top 高さ、Bottom 高さ(BXC, BYC)からの相対値、レンダリング座標。画素数で設定してください。

未使用ビットは 0 を書き込んでください。

ROP : ラスタオペレーションコード。

COLOR0, COLOR1 : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。

8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。

(c) 説明

2 値 (1 ビット / 画素) の矩形ソースデータをレンダリング座標に転送します。

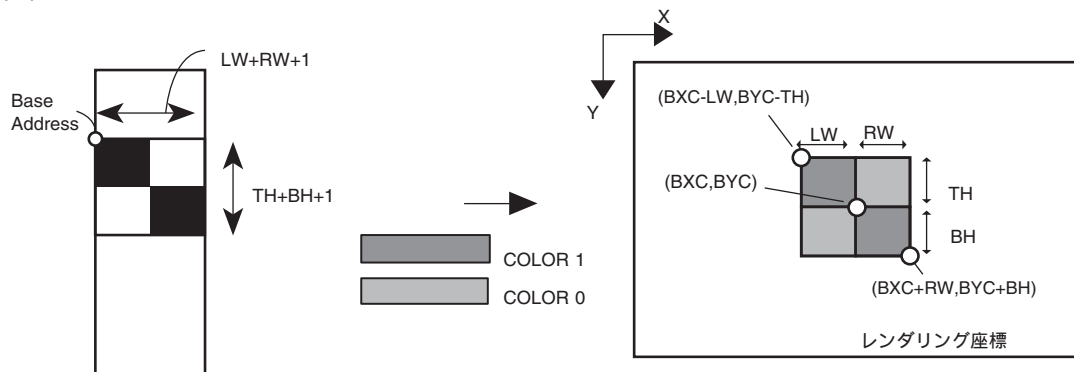
LW + RW + 1 は、SS ビットの値によらず、8 画素の倍数になるように設定してください。

1. レンダリング属性でワーク指定 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が 1 になっているところのみをレンダリング座標に描画します。
2. 2 値のソースデータは、メモリにリニア配置します。ソースアドレスは、REL = 0 のときは絶対アドレスで指定できます。REL = 1 のときは、BITBLTB コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定できます。
3. 描画が 16 ビット / 画素のとき、レンダリング属性の COOF ビットに 1 を設定すると 2 値ソースデータをカラー展開したデータに、COFSR レジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8 ビット / 画素のときには、COOF ビットは必ず 0 に設定してください。
4. SRCDIRX, Y ビットでソースの参照方向を選択できます。
5. DSTDIRX, Y ビットで描画方向の選択ができます。
6. E=1 にすると 2 値ソースデータをカラー展開したデータと下地をアルファブレンドして描画します。E = 1 にする場合は ROP コード = H'CC (ソースコピー) にしてください。ARGB フォーマット時の A 値はアルファブレンドされません。A 値はレンダリングコントロールレジスタ (RCLR) のソース A 値ユース (SAU)、A バリュュー (AVALUE) の設定に従い描画されます。16 ビット / 画素時に有効です。

7. 16種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値はラスタオペレーションされません。A値はレンダリングコントロールレジスタ(RCLR)のソースA値ユース(SAU)、Aバリュー(AVALUE)の設定に従い描画されます。

【注】 システムクリッピング、(相対)ユーザクリッピングは、矩形で行います。Zクリッピングはセンター座標でのみ行います。

(d) 例



(3) BITBLTC

(a) 機能

デスティネーション領域に単色指定で矩形描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 1010_0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
Reserve (all 0)								Color																							
0	0	0	0	LW (0 LW 4094)								0	0	0	0	RW (0 RW 4094)															
0	0	0	0	TH (0 TH 4094)								0	0	0	0	BH (0 BH 4094)															
符: BXC(-32768 BXC 32767)								符: BYC(-32768 BYC 32767)																							

- 【注】 1. 1 LW+RW+1 4095、1 TH+BH+1 4095
 2. -32768 BXC-LW 32767, -32768 BYC-TH 32767, -32768 BXC+RW 32767、
 -32768 BYC+BH 32767

1. CODE

B'10100000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
		(WORK = 1 のみ)			

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MTRE	0 固定	CLIP	RCLIP	0 固定	DTRANS	WORK	0 固定	0 固定	0 固定	0 固定	DSTDIRX	DSTDIRY	COOF	E	0 固定

3. コマンドパラメータ

BXC, BYC : センターX、Y 座標値、レンダリング座標 (絶対座標)、負の数は2の補数とします。

LW, RW : Left 幅、Right 幅、(BXC, BYC)からの相対値、レンダリング座標。画素数で設定してください。
未使用ビットは0を書き込んでください。

TH, BH : Top 高さ、Bottom 高さ(BXC, BYC)からの相対値、レンダリング座標。画素数で設定してください。
未使用ビットは0を書き込んでください。

COLOR : 8 または 16 ビット / 画素カラー指定。16 ビット / 画素はデスティネーションのピクセルフォーマットにあわせてください。

8 ビット / 画素時は上位、下位バイトとも、同じ値を設定してください。

ROP : ラスタオペレーションコード。

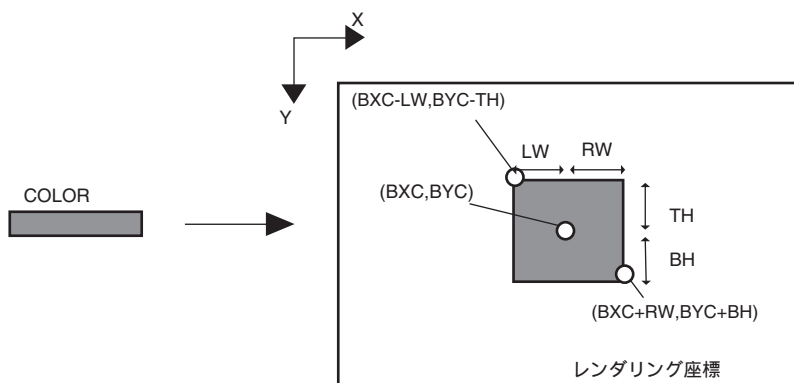
(c) 説明

デスティネーション領域にパラメータの COLOR で指定した単色で矩形描画します。

- レンダリング属性でワーク指定 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
- 描画が16ビット / 画素のとき、レンダリング属性のCOOFビットに1を設定すると指定カラーの値に、COFSRレジスタの値を加えた結果が描画されます。演算は飽和処理付で行われます。8ビット / 画素のときには、COOFビットは必ず0に設定してください。
- DSTDIRX, Yビットで描画方向の選択ができます。
- E = 1にすると指定カラーデータと下地をアルファブレンドして描画します。E = 1にする場合はROPコード = H'CC (ソースコピー) にしてください。ARGBフォーマット時のA値はアルファブレンドされません。A値はレンダリングコントロールレジスタ (RCLR) のソースA値ユース (SAU)、Aバリュア (AVALUE) の設定に従い描画されます。16ビット / 画素時に有効です。
- 16種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値はラスタオペレーションされません。A値はレンダリングコントロールレジスタ (RCLR) のソースA値ユース (SAU)、Aバリュア (AVALUE) の設定に従い描画されます。

【注】システムクリッピング、(相対)ユーザクリッピングは、矩形で行います。Zクリッピングはセンター座標でのみ行います。

(d) 例



23.2.6 制御コマンド

(1) MOVE

(a) 機能

カレントポイントを設定します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0100_1000								Reserve (all 0)								Draw Mode															
XC(-32768 XC 32767)																YC(-32768 YC 32767)															

1. CODE

B'01001000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

3. コマンドパラメータ

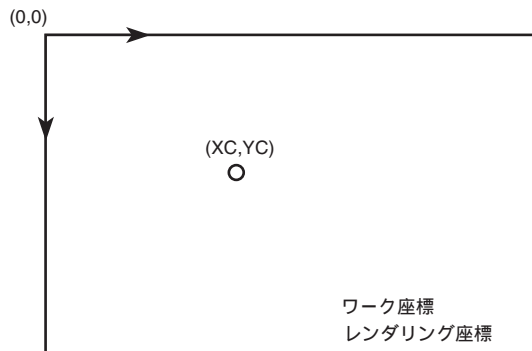
XC: レンダリング座標 (絶対座標)、ワーク座標 (絶対座標)、負の数は2の補数とします。

YC: レンダリング座標 (絶対座標)、ワーク座標 (絶対座標)、負の数は2の補数とします。

(c) 説明

XC、YC にローカルオフセット値を加算した値をカレントポイントに設定します。また、XC、YC は絶対座標で設定します。なお、カレントポイントは相対系描画コマンドのみで使用します。MOVE コマンド発行後は、相対系描画コマンドを連続で使用してください。途中で絶対系描画コマンドを使用した場合、カレントポイントを内部の演算用レジスタとして使用し、カレントポイントの値を破壊します。そのため、再度相対系描画コマンドを使用する場合は、MOVE コマンドを発行してから使用してください。

(d) 例



(2) RMOVE

(a) 機能

カレントポインタを加算します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0100_1100								Reserve (all 0)								Draw Mode															
XC(-32768 XC 32767)								YC(-32768 YC 32767)																							

1. CODE

B'01001100

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

3. コマンドパラメータ

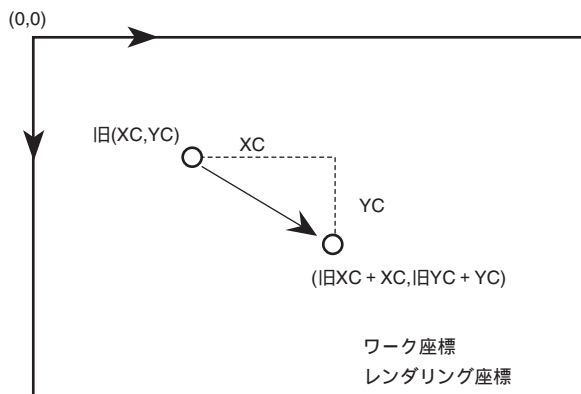
XC: レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は2の補数とします。

YC: レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は2の補数とします。

(c) 説明

カレントポインタに XC、YC を加算します。

(d) 例



(3) LCOFS

(a) 機能

デスティネーション領域およびワーク領域のオフセット値（ローカルオフセット）を設定します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0100_0000								Reserve (all 0)								Draw Mode															
XO(-32768 XO 32767)																YO(-32768 YO 32767)															

1. CODE

B'01000000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

3. コマンドパラメータ

XO：ローカルオフセット値、レンダリング座標（絶対座標）、ワーク座標（絶対座標）、負の数は2の補数とします。

YO：ローカルオフセット値、レンダリング座標（絶対座標）、ワーク座標（絶対座標）、負の数は2の補数とします。

(c) 説明

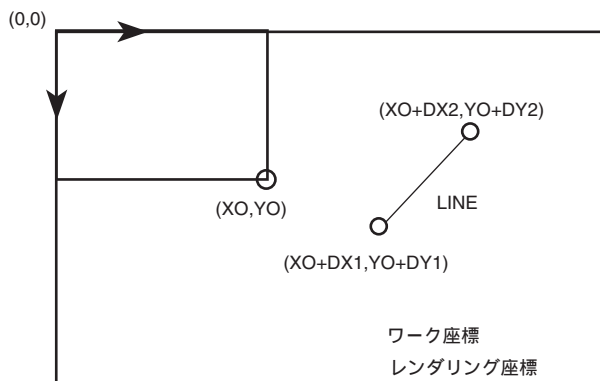
ローカルオフセットを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されません。

ディスプレイリストの先頭で必ず設定してください（初期値は不定です）。

カレントポイントにローカルオフセットを反映したい場合は、LCOFS コマンドの後で MOVE コマンドを発行

してください。

(d) 例



(4) RLCOFS

(a) 機能

ローカルオフセットに XO、YO を加算します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0100_0100								Reserve (all 0)								Draw Mode															
XO(-32768 XO 32767)																YO(-32768 YO 32767)															

1. CODE

B'01000100

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

3. コマンドパラメータ

XO : ローカルオフセット値、レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は 2 の補数とします。

YO : ローカルオフセット値、レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は 2 の補数とします。

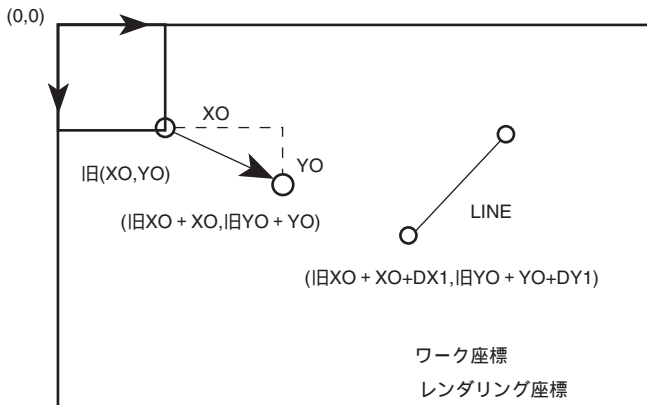
(c) 説明

ローカルオフセットに XO、YO を加算した値をローカルオフセットとします。これを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されます。

また、カレントポインタにローカルオフセット値を反映したい場合は、LCOFS、RLCOFS コマンドでローカル

オフセットを設定した後に、MOVE コマンドを実行するようにしてください。

(d) 例



(5) WPR

(a) 機能

特定のアドレスマップレジスタに値を設定します。

(b) コマンドフォーマット

- LINKE = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0001_1000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n -1(0 n-1 255)								0	0	0	0	0	0	0	W Reg No								
Data0																															
.																															
.																															
Data n-1																															

- LINKE = 1かつLREL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0001_1000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n -1(0 n-1 255)								0	0	0	0	0	0	0	W Reg No								
0	0	0	LINK Address (long word address)																							0	0				

【注】 LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE = 1かつLREL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE = 0001_1000								Reserve (all 0)								Draw Mode																	
Reserve (all 0)								n -1(0 n-1 255)								0		0		0		0		0		0		W Reg No					
符号拡張 ！符 ！																LINK Address (long word address)											0		0				

【注】 LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス + LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

1. CODE

B'00011000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	ByteM3	ByteM2	ByteM1	ByteM0

3. パラメータ

W reg No : レジスタ番号。

Data n(n = 1 ~ 256) : ライトデータ。

n-1 : ライトデータ数。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1、A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

アドレスマップレジスタにデータを書き込みます。レジスタ番号は W reg No に、書き込むデータは Data n に設定します。

また、CPU からのアクセス競合が起こらないようにしてください。

1. LINKEビットを設定するとメモリ上のLINK Addressからデータをリードし、レジスタにライトします。
2. LINK AddressはLRELビットによって絶対アドレスまたはWPRコマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。
3. ByteM3 ~ 0ビットに " 1 " を設定すると、バイト単位でレジスタライトをマスクできます。

(6) JUMP

(a) 機能

ディスプレイリストのフェッチ先を変更します。

(b) コマンドフォーマット

- REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0010_1000								Reserve (all 0)								Draw Mode															
0	0	0	JUMP Address (long word address)														0	0													

- REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0010_1000								Reserve (all 0)								Draw Mode															
符号拡張		符	JUMP Address (long word address)														0	0													

1. CODE

B'00101000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	REL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

3. コマンドパラメータ

JUMP Address : ジャンプ先絶対アドレス (ロングワードアドレス、A31 ~ 29 および A1、A0 は 0 を書き込んでください)。

ジャンプ先相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1 ~ A0 は 0 を書き込んでください)。

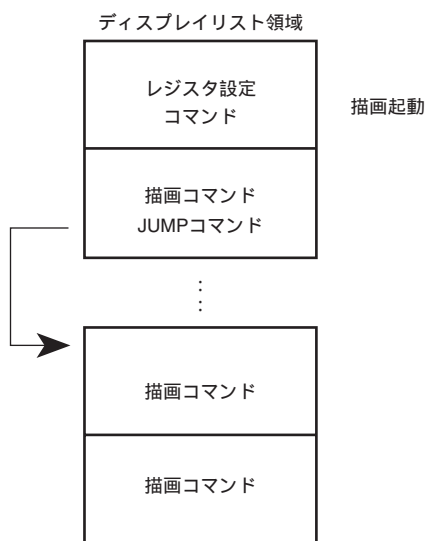
【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28 ~ ビット 3 を A28 ~ A3 に書き込んでください。

(c) 説明

ディスプレイリストのフェッチ先を指定するアドレスに変更します。

ジャンプ先アドレスは、REL = 0 のとき、絶対アドレスで指定できます。REL = 1 のときは、コマンドコードが配置されているメモリアドレスからの相対アドレスで指定できます。

(d) 例



(7) GOSUB

(a) 機能

ディスプレイリストをサブルーチンコールします。

(b) コマンドフォーマット

- REL = 0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0011_0000								Reserve (all 0)								Draw Mode															
0	0	0	GOSUB Address (long word address)														0	0													

- REL = 1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0011_0000								Reserve (all 0)								Draw Mode															
符号拡張 符								GOSUB Address (long word address)														0	0								

1. CODE

B'00110000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	REL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	No

3. コマンドパラメータ

GOSUB Address : サブルーチン絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は 0 を書き込んでください)。

サブルーチン相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1~A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

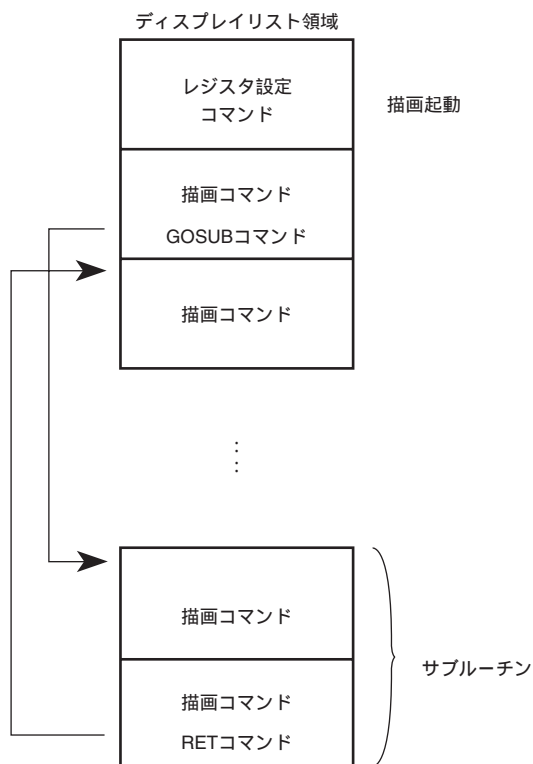
(c) 説明

ディスプレイリストのフェッチ先を指定するサブルーチンアドレスに変更します。RET 命令により、フェッチアドレスは復帰します。ただし、多重度 (ネスト) は 1 なので、サブルーチンの中でサブルーチンコールをすると復帰できなくなります。

サブルーチンアドレスは、REL=0 のとき、絶対アドレスで指定できます。REL=1 のときは、コマンドコードが配置されているメモリアドレスからの相対アドレスで指定できます。

また、No ビットが 0 の場合はリターンアドレス 0 レジスタ (RTN0R) に、1 の場合はリターンアドレス 1 レジスタ (RTN1R) にリターンアドレスが設定されます。

(d) 例



(8) RET

(a) 機能

GOSUB コマンドによるサブルーチンコールから復帰します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0011_1000								Reserve (all 0)								Draw Mode															

1. CODE

B'00111000

2. レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	No

(c) 説明

ディスプレイリストのフェッチ先をサブルーチンコール元の次アドレスに復帰させます。

No ビットが0の場合はリターンアドレス0レジスタ(RTN0R)、1の場合はリターンアドレス1レジスタ(RTN1R)のアドレスに復帰します。

(9) NOP/INT

(a) 機能

ノーオペレーションを実行します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0000_1000								Reserve (all 0)								Draw Mode															

1. CODE

B'00001000

2. レンダリング属性

Draw Mode																		
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
INT	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	INT No									

(c) 説明

何の動作もしません。次の命令をフェッチします。ただし、INT ビットを設定した場合は、本コマンドフェッチ後ステータスレジスタ(SR)のINT ビットを“1”にセットし、割り込みコマンドIDレジスタ(ICIDR)にINT No を格納した後描画動作を停止します。ステータスレジスタのINT ビットのクリアで次のコマンドから描画再開します。

(10) TRAP

【注】 本 LSI では、Flip[5:0]はサポートしていません。

(a) 機能

ディスプレイリストの終了を示します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE = 0000_0000								Reserve (all 0)								Draw Mode															

1. CODE

B'00000000

2. レンダリング属性

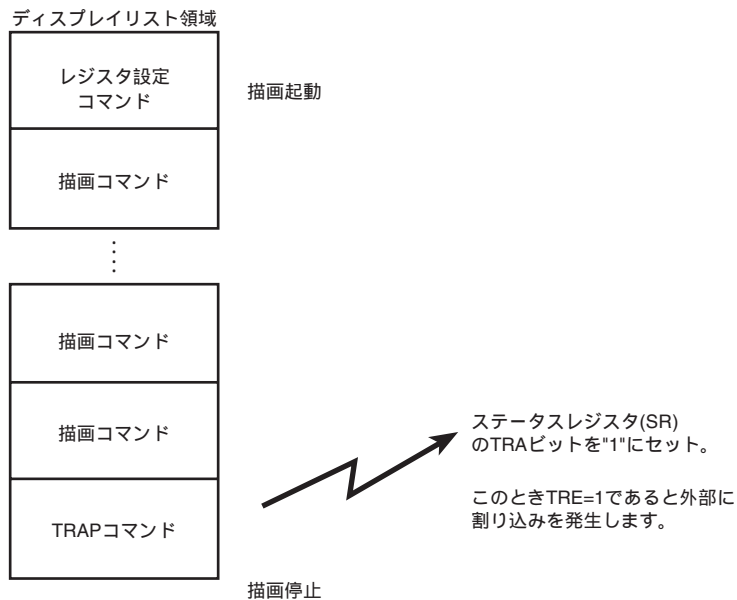
Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	Flip5	Flip4	Flip3	Flip2	Flip1	Flip0

(c) 説明

描画動作を停止し、ステータスレジスタ (SR) の TRA を 1 にします。また、割り込み許可レジスタ (IER) の TRE を 1 にした場合に、CPU に対し割り込みを発生します。

ディスプレイリストの終了に必ず入れてください。

(d) 例



23.3 レジスタ仕様

システム制御レジスタ以外は、INT コマンドでの描画停止期間を除いて、レンダリングスタートをかけてから TRAP までの期間 CPU ライト禁止です。ただし、割り込み許可レジスタは、WPR コマンドの書き込みと競合した場合、CPU ライトを優先します。また、特に明記していない場合、以下“リセット”はハードウェアリセットとソフトウェアリセットの両方を示します。ハードウェアリセットとは、パワーオンリセットを示します。

表 23.5 レジスタ構成

分類	名称	略称	RW	WPR* ¹	P4 領域 アドレス* ²	エリア7 アドレス* ²	アクセス サイズ
システム制御	システムコントロール	SCLR	R/W	×	H'FFEA 0000	H'1FEA 0000	32
	ステータス	SR	R	×	H'FFEA 0004	H'1FEA 0004	32
	ステータス・レジスタ・クリア	SRCR	W	×	H'FFEA 0008	H'1FEA 0008	32
	割り込み許可	IER	R/W		H'FFEA 000C	H'1FEA 000C	32
	割り込みコマンド ID	ICIDR	R	×	H'FFEA 0010	H'1FEA 0010	32
メモリ制御	リターンアドレス 0	RTN0R	R		H'FFEA 0040	H'1FEA 0040	32
	リターンアドレス 1	RTN1R	R		H'FFEA 0044	H'1FEA 0044	32
	ディスプレイリスト開始アドレス	DLSAR	R/W	×	H'FFEA 0048	H'1FEA 0048	32
	2次元ソース領域開始アドレス	SSAR	R/W		H'FFEA 004C	H'1FEA 004C	32
	描画スタートアドレス	RSAR	R/W		H'FFEA 0050	H'1FEA 0050	32
	ワーク領域開始アドレス	WSAR	R/W		H'FFEA 0054	H'1FEA 0054	32
	ソースストライド	SSTRR	R/W		H'FFEA 0058	H'1FEA 0058	32
	デスティネーションストライド	DSTRR	R/W		H'FFEA 005C	H'1FEA 005C	32
	エンディアン変換コントロール	ENDCVR	R/W	×	H'FFEA 0060	H'1FEA 0060	32
カラー制御	ソース透過色	STCR	R/W		H'FFEA 0080	H'1FEA 0080	32
	デスティネーション透過色	DTCR	R/W		H'FFEA 0084	H'1FEA 0084	32
	アルファ値	ALPHR	R/W		H'FFEA 0088	H'1FEA 0088	32
	カラーオフセット	COFSR	R/W		H'FFEA 008C	H'1FEA 008C	32

分類	名称	略称	RW	WPR* ¹	P4 領域 アドレス* ²	エリア 7 アドレス* ²	アクセス サイズ
レンダリング 制御	レンダリング コントロール	RCLR	R/W		H'FFEA 00C0	H'1FEA 00C0	32
	コマンドステータス	CSTR	R	×	H'FFEA 00C4	H'1FEA 00C4	32
	カレントポインタ	CURR	R	×	H'FFEA 00C8	H'1FEA 00C8	32
	ローカルオフセット	LCOR	R	×	H'FFEA 00CC	H'1FEA 00CC	32
	システムクリップ エリア MAX	SCLMAR	R		H'FFEA 00D0	H'1FEA 00D0	32
	ユーザクリップエリア MIN	UCLMIR	R		H'FFEA 00D4	H'1FEA 00D4	32
	ユーザクリップエリア MAX	UCLMAR	R		H'FFEA 00D8	H'1FEA 00D8	32
	相対ユーザクリップ エリア MIN	RUCLMIR	R		H'FFEA 00DC	H'1FEA 00DC	32
	相対ユーザクリップ エリア MAX	RUCLMAR	R		H'FFEA 00E0	H'1FEA 00E0	32
	レンダリング コントロール 2	RCL2R	R/W		H'FFEA 00F0	H'1FEA 00F0	32
	パタンオフセット	POFSR	R/W		H'FFEA 00F8	H'1FEA 00F8	32
座標変換制御	座標変換コントロール	GTRCR	R/W		H'FFEA 0100	H'1FEA 0100	32
	マトリクスパラメータ A	MTRAR	R/W		H'FFEA 0104	H'1FEA 0104	32
	マトリクスパラメータ B	MTRBR	R/W		H'FFEA 0108	H'1FEA 0108	32
	マトリクスパラメータ C	MTRCR	R/W		H'FFEA 010C	H'1FEA 010C	32
	マトリクスパラメータ D	MTRDR	R/W		H'FFEA 0110	H'1FEA 0110	32
	マトリクスパラメータ E	MTRER	R/W		H'FFEA 0114	H'1FEA 0114	32
	マトリクスパラメータ F	MTRFR	R/W		H'FFEA 0118	H'1FEA 0118	32
	マトリクスパラメータ G	MTRGR	R/W		H'FFEA 011C	H'1FEA 011C	32
	マトリクスパラメータ H	MTRHR	R/W		H'FFEA 0120	H'1FEA 0120	32
	マトリクスパラメータ I	MTRIR	R/W		H'FFEA 0124	H'1FEA 0124	32
	座標変換オフセット X	GTROFSXR	R/W		H'FFEA 0128	H'1FEA 0128	32

分類	名称	略称	RW	WPR* ¹	P4 領域 アドレス* ²	エリア7 アドレス* ²	アクセス サイズ
座標変換制御	座標変換オフセットY	GTROFSYR	R/W		H'FFEA 012C	H'1FEA 012C	32
	Zクリップエリア MIN	ZCLPMINR	R/W		H'FFEA 0130	H'1FEA 0130	32
	Zクリップエリア MAX	ZCLPMAXR	R/W		H'FFEA 0134	H'1FEA 0134	32
	Z飽和値MIN	ZSATVMINR	R/W		H'FFEA 0138	H'1FEA 0138	32

【注】 *1 WPR コマンド設定 : 可、x : 不可

*2 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリアからアクセスするものです。

指定されたアドレス以外への書き込みは禁止です。書き込みを行った場合の動作は保証されません。

表 23.6 レジスタビット構成

分類	レジスタ 略称	デ - タ																																
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
システム制御	SCLR																																	
	SRES																																	
		RS																																
	SR	VER																																
		MTRER																																
		CER																																
		INT																																
		TRA																																
		SRCLR																																
	MTCL	MTCL																																
		CECL																																
		INCL																																
		TRCL																																
	IER	MTE																																
		CEE																																
		INE																																
		TRE																																
	ICIDR																																	
	メモリ制御	RTNOR																															0	0
RTN1R																																0	0	
DLSAR																															0	0	0	0
SSAR																															0	0	0	0
RSAR																															0	0	0	0
WSAR																															0	0	0	0
SSTRR																															0	0	0	0
DSTRR																															0	0	0	0
ENDCVR																																		
LWSWAP		LWSWAP																																
	WSWAP																																	
	BYTESWAP																																	
	BITSWAP																																	
カラー制御	STCR																																	
	STC1	STC1																																
		STC8																																
		STC16																																
	DTCR	DTC8																																
		DTC16																																
	ALPHR																																	
	COFSR																																	
	RGB: 565時	COR																																
		COG																																
		COB																																
	ARGB: 1555時	COR																																
COG																																		
COB																																		

分類	レジスタ 略称	デ - タ																																				
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
レンダリング 制御	RCLR																																					
	STP																																					
	DTP																																					
	SPF																																					
	DPF																																					
	GBM																																					
	SAU																																					
	AVALUE																																					
	LPCE																																					
	COM																																					
	CSTR																																					
	CURR																																					
	XC																																					
	YC																																					
	LCOR																																					
	XO																																					
	YO																																					
	SCLMAR																																					
	SXMAX																																					
	SYMAX																																					
	UCLMIR																																					
	UXMIN																																					
	UYMIN																																					
	UCLMAR																																					
	UXMAX																																					
	UYMAX																																					
	RUCLMIR																																					
	RUXMIN																																					
	RUYMIN																																					
	RUCLMAR																																					
	RUXMAX																																					
	RUYMAX																																					
	RCL2R																																					
	DAE																																					
	PSTYLE																																					
	PXSIZE																																					
PYSIZE																																						
POFSR																																						
POFSX																																						
POFSY																																						
座標変換制御	GTRCR																																					
	GTE																																					
	AFE																																					
	MTRAR																																					
	MTRBR																																					
	MTRCR																																					
	MTRDR																																					
MTRER																																						

分類	レジスタ略称	デ-タ																																		
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
座標変換制御	MTRFR																																			
	MTRGR																																			
	MTRHR																																			
	MTRIR																																			
	GTROFSXR																																			
	GTROFSYR																																			
	ZCLPMINR																																			
	ZCLPMAXR																																			
ZSATVMINR																																				

表 23.7 レジスタのハードウェアのリセットおよびソフトウェアリセット時の初期値

	レジスタ略称	ハードウェアリセット	ソフトウェアリセット	デ-タ																																			
				31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
システム制御	SCLR			1																																0			
	SR			1	0	0	0									0																			0	0			
	SRCR															0																			0	0			
	IER															0																			0	0			
	ICIDR	x	x																										*	*	*	*	*	*	*	*			
メモリ制御	RTN0R	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	RTN1R	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	DLSAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	SSAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	DSAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	WSAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	SSTRR	x	x																					*	*	*	*	*	*	*	*	*	*	*	*	*			
	DSTRR	x	x																					*	*	*	*	*	*	*	*	*	*	*	*	*			
ENDCVR																																		0	0	0	0		
カラー制御	STCR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*			
	DTCR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	ALPHR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	COFSR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
レンダリング制御	RCLR								0	0			0	0			0	0			0	0													0	0			
	CSTR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	CURR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	LCOR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	SCLMAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	UCLMIR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	UCLMAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	RUCLMIR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	RUCLMAR	x	x			*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	RCL2R					0	0				0	0			0	0			0	0			0	0			0	1	0	0			0	0	0	0	0	1	0
POF3R						0	0			0	0			0	0			0	0			0	0			0	0	0	0	0	0	0	0	0	0	0	0		

	レジスタ 略称	ハード ウェア リセット	ソフト ウェア リセット	デ-タ																															
				31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
座標変換制御	GTRCR			0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	
	MTRAR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRBR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRCR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRDR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRER	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRFR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRGR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRHR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	MTRIR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	GTROFSXR	x	x																	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	GTROFSYR	x	x																	*	*	*	*	*	*	*	*	*	*	*	*	*	*		
	ZCLPMIN	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	ZCLPMAX	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
	ZSATVMINR	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	

【記号説明】

- * : 不定値。ハードウェアリセットおよびソフトウェアリセット時に値を保持します。
- 0 : ハードウェアリセットおよびソフトウェアリセット時に0に初期化されます。
- 1 : ハードウェアリセット時に1に初期化されます。
- : リザーブビット。読み出し時は0が読み出されます。書き込み時は0を書き込んでください。
- * : リザーブビット。ハードウェアリセットおよびソフトウェアリセット時に値を保持します。読み出し時は不定値が読み出されます。書き込み時は0を書き込んでください。
- 0 : リザーブビット。ハードウェアリセットおよびソフトウェアリセット時に0に初期化されます。書き込み時は0を書き込んでください。
- 1 : リザーブビット。ハードウェアリセットおよびソフトウェアリセット時に1に初期化されます。書き込み時は1を書き込んでください。

23.3.1 システム制御レジスタ

(1) システムコントロールレジスタ (SCLR)

オフセット : H'000

初期値 : H'8000000

システムコントロールレジスタ (SCLR) は、32 ビットの読み出し / 書き込み可能なレジスタで、システム動作を設定します。SCLR は、ハードウェアリセット時に以下のように初期化されます。

- SRES ビットは 1 になります。
- RS ビットは 0 になります。

SRES = 1 & RS = 1 は設定禁止です。

- ビット 31 : ソフトウェアリセット (SRES)

G2D をリセットします。

ビット 31	説明
SRES	
0	コマンド処理の実行を許可します。
1	<p>ハードウェアリセットを行うと SRES = 1 になります。(初期値)</p> <p>初期化時に 0 に設定して使用してください。</p> <p>ソフトウェアで本ビットを 1 に設定すると、描画動作のリセットを行います。G2D のレジスタ値も初期化されます。</p> <p>SRES = 1 の間は本レジスタ以外のレジスタはライトできません。</p> <p>【注】ソフトウェアリセットが本 LSI 上に正しく反映されるためには、メモリアクセスと同様のライトアクセス反映、確認手段が必要になります。このため、ソフトウェアリセットに移行後、解除するまでの間に、以下の処理を実行してください。</p> <p>(1) G2D と CPU の優先順位が同じ場合は、SDRAM の任意の領域に対するダミーリードを 3 回以上実施してください。</p> <p>(2) G2D がレベル 2 で CPU がレベル 3 の場合、SDRAM の任意の領域に対するダミーリードを 1 回以上実施してください。</p> <p>(3) G2D がレベル 3 で CPU がレベル 2 の場合、G2D 以外の Level2、Level3 モジュールの SDRAM へのアクセスをすべて終了させてください。</p>

- ビット 30 ~ 1 : リザーブビット

書き込み時は 0 を書き込んでください。読み出すと常に 0 が読み出されます。

- ビット 0 : レンダリングスタート (RS)

レンダリングの開始を指定するビットです。描画期間中 (レンダリングスタートをかけてから TRAP までの期間) は 1 ライト禁止です。

ビット 0	説 明
RS	
0	レンダリングを開始しません。(初期値)
1	レンダリングを開始します。本ビットはレンダリング開始後、0 にクリアされます。

(2) ステータスレジスタ (SR)

オフセット : H'004

初期値 : H'8000000

ステータスレジスタ (SR) は、32 ビットの読み出し専用のレジスタで、内部状態を外部から読み出すためのものです。SR は、リセット時に以下のように初期化されます。

- Verフラグは1000にセットされます。
- その他のフラグは、0にクリアされます。
- ビット31～28 : バージョンフラグ (VER)
1000が読み出されます。
- ビット18 : マトリクス演算エラーフラグ (MTRER)

座標変換マトリクス演算結果のTX、TY、Wがレンジオーバーして飽和处理されたことを示します。

【注】 MTRER は座標変換コントロールレジスタの座標変換イネーブルビット(GTE)、レンダリング属性の(MTRE)でマスクしてありませんので、GTE=0、または、GTE=1 かつ MTRE=0 の場合、座標変換を行わなくても MTRER が 1 にセットされる場合があります。したがって、レンダリングスタートからトラップまでの期間、常に GTE=1 かつ MTRE=1 として使用する場合以外は MTRER を使用しないでください。

ビット 18	説 明
MTRER	
0	正常状態です。SCLR の SRES ビットまたは SRCR の MTCL ビットによりMTRER フラグをクリアしてから、座標変換マトリクス演算結果の TX、TY、W がレンジオーバーしていない (飽和处理されていない) ことを示します。(初期値)
1	座標変換マトリクス演算結果の TX、TY、W がレンジオーバーして飽和处理された事を示します。描画動作は停止しません。 MTRER フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。

- ビット2: コマンドエラーフラグ (CER)

不当なコマンドをフェッチしたことを示します。

ビット2	説明
CER	
0	正常状態です。SCLR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしていないことを示します。 不当なコマンドとは、コマンドコードの上位 8 ビットが未定義であるものです。下位 16 ビットのレンダリング属性の不当性についてはチェックを行いません。(初期値)
1	描画動作停止状態です。SCLR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしたため、描画動作を停止したままになっていることを示します。描画動作を再開するときは、ソフトウェアリセット後レンダリングスタートをかけてください。 CER フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。

- ビット1: 割り込みフラグ (INT)

NOP/INTコマンドをフェッチしたことを示すフラグです(レンダリング属性のINTビット=1のときのみ)。

ビット1	説明
INT	
0	SCLR の SRES ビットまたは SRCR の INCL ビットにより INT フラグをクリアしてから、NOP/INT コマンドフェッチしていないことを示します。(初期値)
1	描画動作停止状態です。SCLR の SRES ビットまたは SRCR の INCL ビットにより INT フラグをクリアしてから、NOP/INT コマンドをフェッチしたため、描画動作を停止したままになっていることを示します。 (レンダリング属性の INT ビット=1 のときのみ) SRCR の INCL ビットにより INT フラグをクリアすると次のコマンドから描画再開します。 INT フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。 【注】INT コマンドで描画停止期間中にディスプレイリストを書き換えしないでください。

- ビット0: トラップフラグ (TRA)

コマンド実行が終了したことを示すフラグです。

ビット0	説明
TRA	
0	SCLR の SRES ビットまたは SRCR の TRCL ビットにより TRA フラグをクリアしてから、TRAP コマンドをフェッチしていないことを示します。(初期値)
1	コマンド実行の終了、または現在コマンドを実行していないことを示します。 TRA フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。

- ビット27~19、17~3: リザーブビット

読み出すと常に0が読み出されます。

(3) ステータスレジスタクリアレジスタ (SRCR)

オフセット : H'008

初期値 : H'0000000

ステータスレジスタクリアレジスタ (SRCR) は、32 ビットの書き込み専用のレジスタで、対応するステータスレジスタ (SR) の各フラグをクリアします。なお、SR のクリアが終了した後、SRCR は内部的にオール 0 にクリアされます (読み出すと 0 が読み出されます)。

ビット	ビット名称	略称	説明
18	マトリクス演算エラーフラグクリア	MTCL	MTCL ビットに 1 を書き込むと、SR の MTRER フラグは 0 にクリアされます
2	コマンドエラーフラグクリア	CECL	CECL ビットに 1 を書き込むと、SR の CER フラグは 0 にクリアされます
1	割り込みフラグクリア	INCL	INCL ビットに 1 を書き込むと、SR の INT フラグは 0 にクリアされます
0	トラップフラグクリア	TRCL	TRCL ビットに 1 を書き込むと、SR の TRA フラグは 0 にクリアされます
31~19, 17~3	リザーブビット	-	書き込み時には 0 を書き込んでください

(4) 割り込み許可レジスタ (IER)

オフセット : H'00C

初期値 : H'0000000

割り込み許可レジスタ (IER) は、32 ビットの読み出し / 書き込み可能なレジスタで、対応するステータスレジスタ (SR) の各フラグによる割り込みを許可 / 禁止します。IER 内の 1 に設定したビット位置に対応する SR のビットが 1 にセットされると、CPU に対して割り込みを要求します。割り込み発生条件は次のようになります。

割り込み発生条件 = a + b + c + d

a = MTRER · MTE

b = CER · CEE

c = INT · INE

d = TRA · TRE

- ビット18 : マトリクス演算エラーフラグイネーブル (MTE)

SRのMTRERフラグによる割り込みを許可 / 禁止します。

【注】 MTRERは座標変換コントロールレジスタの座標変換イネーブルビット(GTE)、レンダリング属性の(MTRE)でマスクしてありませんので、GTE=0、または、GTE=1 かつ MTRE=0 の場合、座標変換を行わなくても MTRER が 1 にセットされ、意図しない割り込みを発生する場合があります。したがって、レンダリングスタートからトラップまでの期間、常に GTE=1 かつ MTRE=1 とし使用する場合以外は MTE=0 としてください。

ビット 18	説 明
MTE	
0	SR の MTRER フラグによる割り込みを禁止します。(初期値)
1	SR の MTRER フラグによる割り込みを許可します。

- ビット2：コマンドエラーフラグイネーブル (CEE)

SRのCERフラグによる割り込みを許可 / 禁止します。

ビット 2	説 明
CEE	
0	SR の CER フラグによる割り込みを禁止します。(初期値)
1	SR の CER フラグによる割り込みを許可します。

- ビット1：割り込みフラグイネーブル (INE)

SRのINTフラグによる割り込みを許可 / 禁止します。

ビット 1	説 明
INE	
0	SR の INE フラグによる割り込みを禁止します。(初期値)
1	SR の INE フラグによる割り込みを許可します。

- ビット0：トラップフラグイネーブル (TRE)

SRのTRAフラグによる割り込みを許可 / 禁止します。

ビット 0	説 明
TRE	
0	SR の TRA フラグによる割り込みを禁止します。(初期値)
1	SR の TRA フラグによる割り込みを許可します。

- ビット31～19、17～3：リザーブビット

書き込み時は、0を書き込んでください。

(5) 割り込みコマンド ID レジスタ (ICIDR)

オフセット：H'010

初期値：不定

割り込みコマンド ID レジスタ (ICIDR) は、32 ビットの読み出し専用のレジスタで NOP/INT コマンドフェッチ時にレンダリング属性の INT ビットに 1 が設定されていれば、レンダリング属性で指定した ID が格納されます。使用しないビットは読み出すと常に 0 が読み出されます。ICIDR はリセット時に値を保持します。

- ビット7~0: 割り込みコマンドID
- ビット31~8: リザーブビット
読み出すと常に0が読み出されます。

23.3.2 メモリ制御レジスタ

(1) リターンアドレスレジスタ 0 (RTN0R)

オフセット: H'040

初期値: 不定

リターンアドレスレジスタ 0 (RTN0R) は、32 ビットの読み出し専用のレジスタで、GOSUB コマンドにおいてレンダリング属性の No ビットが 0 そのときのリターンアドレスが設定されます。RTN0R で示されるアドレスはロングワードアドレス (A28~A2) となります。RTN0R は、リセット時に値が保持されます。(使用しないビットの読み出し値は不定となります)。

(2) リターンアドレスレジスタ 1 (RTN1R)

オフセット: H'044

初期値: 不定

リターンアドレスレジスタ 1 (RTN1R) は、32 ビットの読み出し専用のレジスタで、GOSUB コマンドにおいてレンダリング属性の No ビットが 1 のときのリターンアドレスが設定されます。RTN1R で示されるアドレスはロングワードアドレス (A28~A2) となります。RTN1R は、リセット時に値が保持されます。(使用しないビットの読み出し値は不定となります)。

(3) ディスプレイリスト開始アドレスレジスタ (DLSAR)

オフセット: H'048

初期値: 不定

ディスプレイリスト開始アドレスレジスタ (DLSAR) は、32 ビットの読み出し / 書き込み可能なレジスタで、ディスプレイリストとして使用するメモリの領域を設定します。ディスプレイリストの先頭物理アドレスを (A28~A0) を 16 バイト単位で設定します。32 ビットアドレスモードにおいても、指定する 32 ビットアドレスの下位 29 ビットのアドレスをビット 28~ビット 0 に設定指定ください。下位 4 ビットは 0 を書き込んでください。使用しないビットには、0 を書き込んでください (読み出し値は不定となります)。DLSAR は、リセット時に値を保持します。タイトルリジョン (「第 11 章 メモリコントローラユニット (MCU)」参照) へはマッピングしないでください。

(4) 2次元ソース領域開始アドレスレジスタ (SSAR)

オフセット: H'04C

初期値: 不定

2次元ソース領域開始アドレスレジスタ (SSAR) は、32 ビットの読み出し / 書き込み可能なレジスタで、2次元ソース領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスが2次元ソース座標の原点物理アドレスとなります。2次元ソース領域の先頭物理アドレス (A28~A0) を16バイト単位で設定します。32ビットアドレスモードにおいても、指定する32ビットアドレスの下位29ビットのアドレスをビット28~ビット0に設定指定ください。下位4ビットは0を書き込んでください。使用しないビットには、0を書き込んでください (読み出し値は不定となります)。SSARは、リセット時に値を保持します。タイルアドレッシング領域 (「第11章 メモリコントローラユニット (MCU)」参照) にマッピングする場合は下位9ビットは0を書き込んでください (512バイト単位)。

(5) 描画スタートアドレスレジスタ (RSAR)

オフセット : H'050

初期値 : 不定

描画スタートアドレスレジスタ (RSAR) は、32 ビットの読み出し / 書き込み可能なレジスタで、描画領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスが描画座標の原点物理アドレスとなります。描画領域の先頭物理アドレス (A28~A0) を16バイト単位で設定します。32ビットアドレスモードにおいても、指定する32ビットアドレスの下位29ビットのアドレスをビット28~ビット0に設定指定ください。下位4ビットは0を書き込んでください。使用しないビットには、0を書き込んでください (読み出し値は不定となります)。RSARは、リセット時に値を保持します。タイルアドレッシング領域 (「第11章 メモリコントローラユニット (MCU)」参照) にマッピングする場合は下位9ビットは0を書き込んでください (512バイト単位)。

ワーク領域と重ならないように設定してください。

(6) ワーク領域開始アドレスレジスタ (WSAR)

オフセット : H'054

初期値 : 不定

ワーク領域開始アドレスレジスタ (WSAR) は、32 ビットの読み出し / 書き込み可能なレジスタで、ワーク領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスがワーク座標の原点物理アドレスとなります。ワーク領域の先頭物理アドレス (A28~A0) を16バイト単位で設定します。32ビットアドレスモードにおいても、指定する32ビットアドレスの下位29ビットのアドレスをビット28~ビット0に設定指定ください。下位4ビットは0を書き込んでください。使用しないビットには、0を書き込んでください (読み出し値は不定となります)。

WSARは、リセット時に値を保持します。タイルアドレッシング領域 (「第11章 メモリコントローラユニット (MCU)」参照) へはマッピングしないでください。

ワーク領域へはワーク描画コマンド以外のコマンドで描画しないでください。CPUからワーク領域へライトする場合は、描画期間中 (レンダリングスタートをかけたから TRAP まで (NOP/INT コマンドでの描画停止期間含む)) は行わないでください。また、ワーク描画コマンドで描画した図形をソースとして使用しないでください。

(7) ソースストライドレジスタ (SSTRR)

オフセット : H'058

初期値 : 不定

ソースストライドレジスタ (SSTRR) は、32 ビットの読み出し / 書き込み可能なレジスタで、2 次元ソース領域のストライドを設定します。SSTRR は、リセット時に値を保持します。

• ビット12~0 : ソースストライド (SSTRIDE)

2次元ソース領域のストライドを画素数で指定します。16 SSTRIDE 4096の範囲で設定してください。下位4ビットは0を書き込んでください(16画素単位)。

使用する2次元ソース領域がタイルアドレッシング領域(「第11章 メモリコントローラユニット(MCU)」参照)へマッピングする場合は512、1024、2048、4096のみ設定可能です。

• ビット31~13 : リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

(8) デスティネーションストライドレジスタ (DSTRR)

オフセット : H'05C

初期値 : 不定

デスティネーションストライドレジスタ (DSTRR) は、32 ビットの読み出し / 書き込み可能なレジスタで、デスティネーション領域のストライドを設定します。DSTRR は、リセット時に値を保持します。

• ビット12~0 : デスティネーションストライド (DSTRIDE)

デスティネーション領域のストライドを画素数で指定します。256 DSTRIDE 4096の範囲で設定してください。下位4ビットは0を書き込んでください(16画素単位)。

使用するデスティネーション領域をタイルリージョンタイルアドレッシング領域(「第11章 メモリコントローラユニット(MCU)」参照)へマッピングする場合は512、1024、2048、4096のみ設定可能です。

• ビット31~13 : リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

(9) エンディアン変換コントロールレジスタ (ENDCVR)

オフセット : H'060

初期値 : H'00000000

エンディアン変換コントロールレジスタ (ENDCVR) は、32 ビットの読み出し / 書き込み可能なレジスタで、エンディアン変換方法を設定します。

- ビット31~4: リザーブビット

書き込み時は0を書き込んでください。読み出すと常に0が読み出されます。

- ビット3: ロングワードスワップ (LWSWAP)

データをロングワード (32ビット) 単位でスワップします。

ビット3	説明
LWSWAP	
0	データをスワップしません。(初期値)
1	データをロングワード (32ビット) 単位でスワップします。

- ビット2: ワードスワップ (WSWAP)

データをワード (16ビット) 単位でスワップします。

ビット2	説明
WSWAP	
0	データをスワップしません。(初期値)
1	データをワード (16ビット) 単位でスワップします。

- ビット1: バイトスワップ (BYTESWAP)

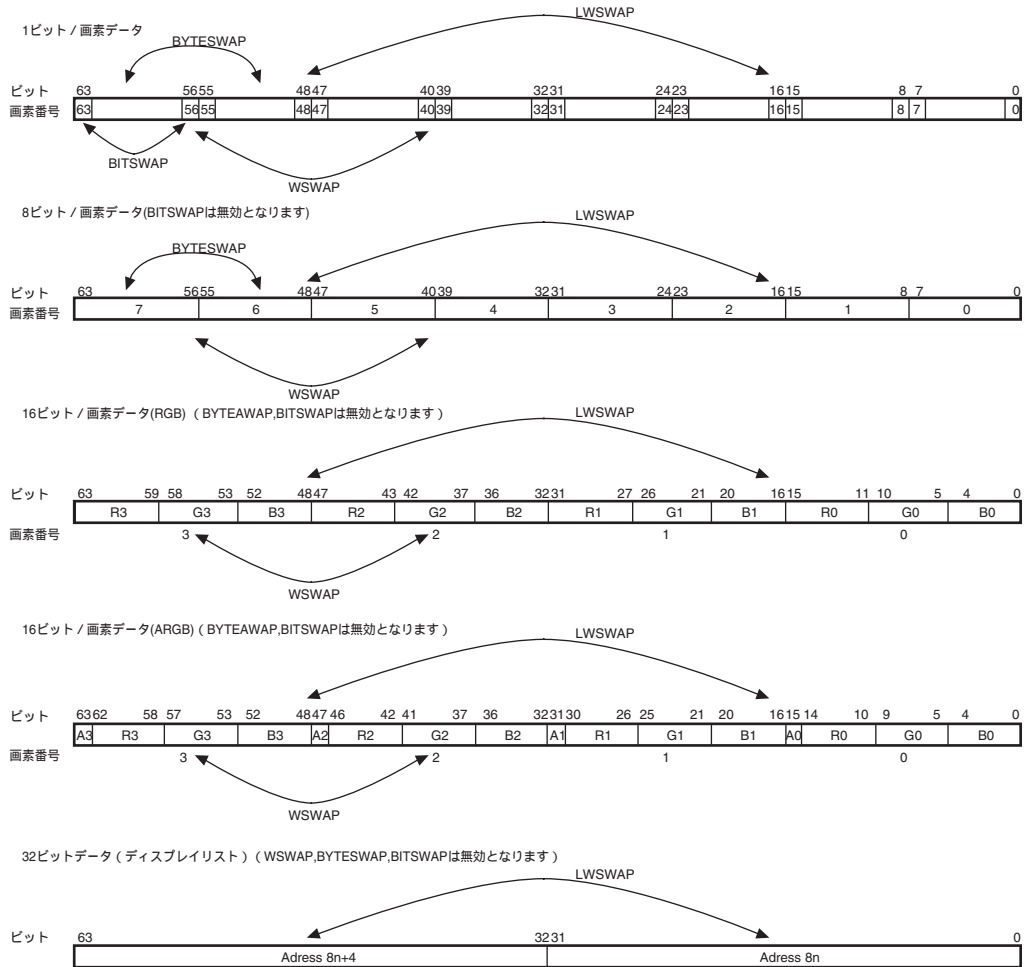
データをバイト (8ビット) 単位でスワップします。

ビット1	説明
BYTESWAP	
0	データをスワップしません。(初期値)
1	データをバイト (8ビット) 単位でスワップします。

- ビット0: ビットスワップ (BITSWAP)

データをビット単位でスワップします。

ビット0	説明
BITSWAP	
0	データをスワップしません。(初期値)
1	データをビット単位でスワップします。



23.3.3 カラー制御レジスタ

(1) ソース透過色レジスタ (STCR)

オフセット : H'080

初期値 : 不定

ソース透過色レジスタ (STCR) は、32 ビットの読み出し / 書き込み可能なレジスタで、レンダリング属性の STRANS ビットに 1 を設定した場合、ソースデータと本レジスタの設定色を比較します。レンダリングコントロールレジスタ (RCLR) のソース透過色ポラリティビット (STP) が 0 の場合はソースデータと本レジスタの設定色が一致したときに、1 の場合は不一致のときに透過になり描画しません。STCR は、リセット時に値を保持します。

ビット	名 称	意 味
24	STC1	ソース 1 ビット / 画素時の透過色
23 ~ 16	STC8	ソース 8 ビット / 画素時の透過色
15 ~ 0	STC16	ソース 16 ビット / 画素時の透過色

ソース 16 ビット / 画素時はレンダリングコントロールレジスタ (RCLR) の SPF とフォーマットをあわせてください。SPF = 1 (ARGB = 1555) の場合は A 値は比較しません。

- ビット 31 ~ 25 : リザーブビット

書き込み時は、0 を書き込んでください。読み出し時は 0 が読み出されます。

(2) デスティネーション透過色レジスタ (DTCR)

オフセット : H'084

初期値 : 不定

デスティネーション透過色レジスタ (DTCR) は、32 ビットの読み出し / 書き込み可能なレジスタで、レンダリング属性の DTRANS ビットに 1 を設定した場合、デスティネーションデータと本レジスタの設定色を比較します。レンダリングコントロールレジスタ (RCLR) のデスティネーション透過色ポラリティビット (DTP) が 0 の場合はデスティネーションデータと本レジスタの設定色が一致したときに、1 の場合は不一致のときに透過になり描画しません。DTCR は、リセット時に値を保持します。

ビット	名 称	意 味
23 ~ 16	DTC8	デスティネーション 8 ビット / 画素時の透過色
15 ~ 0	DTC16	デスティネーション 16 ビット / 画素時の透過色

デスティネーション 16 ビット / 画素時はレンダリングコントロールレジスタ (RCLR) の DPF とフォーマットをあわせてください。DPF = 1 (ARGB = 1555) の場合、A 値は比較しません。

- ビット31～24：リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

(3) アルファ値レジスタ (ALPHR)

オフセット：H'088

初期値：不定

アルファ値レジスタ (ALPHR) は、32 ビットの読み出し / 書き込み可能なレジスタで、レンダリング属性の E ビットに 1 を設定した場合のアルファブレンド値を設定します。ALPHR は、リセット時に値を保持します。青成分、赤成分のブレンドはアルファ値の上位 5 ビットが有効です。緑成分はデスティネーションピクセルフォーマットが RGB モードのときは上位 6 ビット有効、ARGB フォーマット時は上位 5 ビットが有効です。

ビット	名 称	意 味
7～0	ALPH	アルファ値を設定します。

デスティネーション ソース*ALPH/255 + デスティネーション (1 - ALPH/255) (ALPH を 8 ビットとしたときの近似式)

- ビット31～8：リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

(4) カラーオフセットレジスタ (COFSR)

オフセット：H'08C

初期値：不定

カラーオフセットレジスタ (COFSR) は、32 ビットの読み出し / 書き込み可能なレジスタで、描画が 16 ビット / 画素のとき、レンダリング属性の COOF ビットに 1 を設定するとソースデータ (2 値ソースはカラー展開後データ、単色指定時は指定カラー) に、COFSR レジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8 ビット / 画素のときには、レンダリング属性の COOF ビットは必ず 0 に設定してください。オフセットの各成分は、符号付整数として扱われます。負の場合は 2 の補数を設定してください。COFSR は、リセット時に値を保持します。

ソースのピクセルフォーマットが RGB = 565 時 (SPF=0)

ビット	名 称	意 味
23~19	COR (Color Offset R)	カラーオフセットの赤成分
15~10	COG (Color Offset G)	カラーオフセットの緑成分
7~3	COB (Color Offset B)	カラーオフセットの青成分

ビット 18~16、9、8、2~0 は切り捨てられます。読み出し時は 0 が読み出されます。

ソースのピクセルフォーマットが ARGB = 1555 時 (SPF=1)

ビット	名 称	意 味
23~19	COR (Color Offset R)	カラーオフセットの赤成分
15~11	COG (Color Offset G)	カラーオフセットの緑成分
7~3	COB (Color Offset B)	カラーオフセットの青成分

ビット 18~16、10~8、2~0 は切り捨てられます。読み出し時は 0 が読み出されます。

- ビット31~24 : リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

23.3.4 レンダリング制御レジスタ

(1) レンダリングコントロールレジスタ (RCLR)

オフセット : H'0C0

初期値 : H'0000000

レンダリングコントロールレジスタ (RCLR) は、32 ビットの読み出し / 書き込み可能なレジスタで、レンダリング属性を設定します。

- ビット25 : ソース透過色ポラリティ (STP)

ソースデータとソース透過色レジスタの設定値が一致で透過か不一致で透過か選択します。

ビット 25	説 明
STP	
0	一致で透過 (初期値)
1	不一致で透過

- ビット24 : デスティネーション透過色ポラリティ (DTP)

デスティネーションとデスティネーション透過色レジスタの設定値が一致で透過か不一致で透過か選択します。

ビット 24	説 明
DTP	
0	一致で透過 (初期値)
1	不一致で透過

- ビット21：ソースピクセルフォーマット (SPF)

多値ソースのピクセルフォーマットを指定します。多値ソースが16ビット / 画素時のみ有効となります。8ビット / 画素時は0を設定してください。デスティネーションのピクセルフォーマットとあわせてください。

ビット 21	説 明
SPF	
0	RGB=565 フォーマットになります。(初期値)
1	ARGB=1555 フォーマットになります。

- ビット20：デスティネーションピクセルフォーマット (DPF)

デスティネーションのピクセルフォーマットを指定します。デスティネーションが16ビット / 画素時のみ有効となります。8ビット / 画素時は0を設定してください。多値ソースのピクセルフォーマットとあわせてください。

ビット 20	説 明
DPF	
0	RGB=565 フォーマットになります。(初期値)
1	ARGB=1555 フォーマットになります。

- ビット18：グラフィックビットモード (GBM)

多値ソース、デスティネーションのグラフィックビットモードを指定します。

ビット 18	説 明
GBM	
0	8ビット / 画素になります。(初期値)
1	16ビット / 画素になります。

- ビット17：ソースA値ユース (SAU)

ソース、デスティネーションのピクセルフォーマットがARGBのとき、デスティネーションのA値をソースのA値を参照して描画します。

- ビット16：Aバリュー(AVALUE)

ソース、デスティネーションのピクセルフォーマットがARGBのとき、デスティネーションのA値を0または1で描画します。

ソース / デスティネーションピクセルフォーマット(SPF/DPF)と SAU ビット、AVALUE の関係

SPF	DPF	SAU	AVALUE	説 明
0	0	*	*	ソース = RGB(565)、デスティネーション = RGB(565)。SAU と AVALUE は無効になります。
0	1	*	*	設定禁止。
1	0	*	*	設定禁止。
1	1	0	0	ソース = ARGB(1555)、デスティネーション = ARGB(1555)。デスティネーションの A 値は 0 で描画されます。
		0	1	ソース = ARGB(1555)、デスティネーション = ARGB(1555)。デスティネーションの A 値は 1 で描画されます。
		1	*	ソース = ARGB(1555)、デスティネーション = ARGB(1555)。デスティネーションの A 値はソースの A 値を参照して描画されます。AVALUE は無効になります。

【注】 * Don't care

SAU = 1 の場合、2 値ソースを参照するコマンドでは、コマンドパラメータの Color0、Color1 の A 値を、単色指定のコマンドではコマンドパラメータの Color の A 値を参照します。

また、LINED コマンド時は SAU ビット、AVALUE ビットの設定にかかわらず、下地（デスティネーション）の A 値を書き戻します。

- ビット1：ラインプリクリッピングイネーブル (LPCE)

(R)LINE系、(R)LINER系コマンドで有効です。LPCEに1を設定すると2次元クリップエリア（システムクリップエリア、ユーザクリップエリア、相対ユーザクリップエリア）で線分単位にプリクリッピングします。ただし、途中の線分がプリクリッピングされた場合、パターンは連続しません（パターンは前に描画した線分の終点から開始します）。

ビット1	説 明
LPCE	
0	プリクリッピングしません。（初期値）
1	2次元クリップエリアで線分単位にプリクリッピングします。

- ビット0：コネクション描画マスク (COM)

太線時の連結部分を描画するか、しないかを選択します。

ビット 0	説 明
COM	
0	太線時の連結部分を描画します。(初期値)
1	太線時の連結部分を描画しません。

- ビット31～26、23、22、19、15～2：リザーブビット

書き込み時は0を書き込んでください。読み出すと常に0が読み出されます。

(2) コマンドステータスレジスタ (CSTR)

オフセット：H'0C4

初期値：不定

コマンドステータスレジスタ (CSTR) は、32 ビットの読み出し専用レジスタで、フェッチしたコマンドワード (オペコードワード) のアドレスを記憶します。

CSTR で示されるアドレスは、ロングワードアドレス (A28～2) となります。使用しないビットは読み出すと常に0が読み出されます。CSTR は、リセット時に値を保持します。

(3) カレントポインタレジスタ (CURR)

オフセット：H'0C8

初期値：不定

カレントポインタレジスタ (CURR) は、32 ビットの読み出し専用のレジスタで、ポインタの現在座標を示します。

上位ワードにポインタの X 座標 (XC)、下位ワードにポインタの Y 座標 (YC) が示されます。

CURR は、リセット時に値を保持します。

(4) ローカルオフセットレジスタ (LCOR)

オフセット：H'0CC

初期値：不定

ローカルオフセットレジスタ (LCOR) は、32 ビットの読み出し専用のレジスタで、オフセット座標を示します。

上位ワードにオフセットの X 座標 (XO)、下位ワードにオフセットの Y 座標 (YO) が示されます

LCOR は、リセット時に値を保持します。

(5) システムクリップエリア MAX レジスタ (SCLMAR)

オフセット : H'0D0

初期値 : 不定

システムクリップエリア MAX レジスタ (SCLMAR) は、32 ビットの読み出し専用のレジスタで、システムクリップ座標の MAX 値を示します。上位ワードにシステムクリップ座標の XMAX (SXMAX)、下位ワードにシステムクリップ座標の YMAX (SYMAX) が示されます。本レジスタを読み出すと使用していないビットは常に 0 が読み出されます。WPR コマンドで設定時は、描画範囲の最大値を設定してください (最大 4095。ただし SXMAX < DSTRR で設定ください)。

SCLMAR は、リセット時に値を保持します。

(6) ユーザクリップエリア MIN レジスタ (UCLMIR)

オフセット : H'0D4

初期値 : 不定

ユーザクリップエリア MIN レジスタ (UCLMIR) は、32 ビットの読み出し専用のレジスタで、ユーザクリップ座標の MIN 値を示します。上位ワードにユーザクリップ座標の XMIN (UXMIN)、下位ワードにユーザクリップ座標の YMIN (UYMIN) が示されます。本レジスタを読み出すと使用していないビットは常に 0 が読み出されます。WPR コマンドで設定時は、0 UXMIN UXMAX SXMAX 4095、0 UYMIN UYMAX SYMAX 4095 の範囲で設定してください。

UCLMIR は、リセット時に値を保持します。

(7) ユーザクリップエリア MAX レジスタ (UCLMAR)

オフセット : H'0D8

初期値 : 不定

ユーザクリップエリア MAX レジスタ (UCLMAR) は、32 ビットの読み出し専用のレジスタで、ユーザクリップ座標の MAX 値を示します。上位ワードにユーザクリップ座標の X MAX (UX MAX)、下位ワードにユーザクリップ座標の Y MAX (UY MAX) が示されます。本レジスタを読み出すと使用していないビットは常に 0 が読み出されます。WPR コマンドで設定時は、0 UXMIN UXMAX SXMAX 4095、0 UYMIN UYMAX SYMAX 4095 の範囲で設定してください。

UCLMAR は、リセット時に値を保持します。

(8) 相対ユーザクリップエリア MIN レジスタ (RUCLMIR)

オフセット : H'0DC

初期値 : 不定

相対ユーザクリップエリア MIN レジスタ (RUCLMIR) は、32 ビットの読み出し専用のレジスタで、相対ユーザクリップ座標の MIN 値 (ローカルオフセットに加算されるオフセット値) を示します。WPR コマンドで設定するときはローカルオフセットからの相対座標を設定してください。上位ワードに相対ユーザクリップ座標の

XMIN (RUXMIN)、下位ワードに相対ユーザクリップ座標の YMIN (RUYMIN) が示されます。本レジスタを読み出すと使用していないビットは常に 0 が読み出されます。WPR コマンドで設定時は、

0 RUXMIN RUXMAX SXMAX 4095, 0 RUYMIN RUYMAX SYMAX 4095 の範囲で設定してください。設定範囲の詳細は「23.1.5 (5) 相対クリッピング指定 (RCLIP)」を参照してください。RUCLMIR は、リセット時に値を保持します。

(9) 相対ユーザクリップエリア MAX レジスタ (RUCLMAR)

オフセット: H'0E0

初期値: 不定

相対ユーザクリップエリア MAX レジスタ (RUCLMAR) は、32 ビットの読み出し専用のレジスタで、相対ユーザクリップ座標の MAX 値 (ローカルオフセットに加算されるオフセット値) を示します。WPR コマンドで設定するときはローカルオフセットからの相対座標を設定してください。上位ワードに相対ユーザクリップ座標の X MAX (RUX MAX)、下位ワードに相対ユーザクリップ座標の Y MAX (RUY MAX) が示されます。本レジスタを読み出すと使用していないビットは常に 0 が読み出されます。WPR コマンドで設定時は、0 RUXMIN RUXMAX SXMAX 4095, 0 RUYMIN RUYMAX SYMAX 4095 の範囲で設定してください。設定範囲の詳細は「23.1.5 (5) 相対クリッピング指定 (RCLIP)」を参照してください。RUCLMAR は、リセット時に値を保持します。

(10) レンダリングコントロール 2 レジスタ (RCL2R)

オフセット: H'0F0

初期値: H'00004004

レンダリングコントロール 2 レジスタ (RCL2R) は、32 ビットの読み出し / 書き込み可能なレジスタで、レンダリング属性を設定します。

- ビット21: デスティネーションアルファイネーブル (DAE)

アルファブレインドイネーブル (E) とあわせて使用します。ARGB=1555 フォーマットのとき、デスティネーション (下地) A 値が 1 の画素のみアルファブレインドします。デスティネーション (下地) A 値が 0 の画素は描画しません。

ビット 21	説 明
DAE	
0	デスティネーション (下地) A 値によらずアルファブレンドします。(初期値)
1	デスティネーション (下地) A 値が 1 の画素のみアルファブレンドします。

- 【注】
- RGB=565 フォーマットおよび 8 ビット / 画素時は 0 を設定してください。
 - POLYGON4 系コマンド以外では 0 を設定してください。
 - アルファブレンドイネーブル(E) =0 のときは 0 を設定してください。
 - 本ビットはコマンドでデコードしていませんので該当コマンドごとに設定および解除を行ってください。

• ビット 20 : パタンスタイルイネーブル (PSTYLE)

ソーススタイル指定(STYLE)とあわせて使用します。ソースパタンをデスティネーション座標を基に、パタンサイズで繰り返し生成します。

ビット 20	説 明
PSTYLE	
0	パタンスタイル無効。(初期値)
1	ソースパタンをデスティネーション座標を基に生成します。

- 【注】
- ソースオフセット TXOFS および TYOFS は 0 を設定してください。
 - ソーススタイル指定(STYLE) = 0 のときは 0 を設定してください。
 - ソースアドレス指定(SS) = 0 に設定してください。
 - POLYGON4A/B コマンド以外では 0 を設定してください。
 - 本ビットはコマンドでデコードしていませんので該当コマンドごとに設定および解除を行ってください。

• ビット 19、18 : パタン X サイズ (PXSIZE)

パタンスタイルイネーブル(PSTYLE) = 1 時のパタン X サイズを指定します。

ビット 19	ビット 18	説 明
PXSIZE[1]	PXSIZE[0]	
0	0	パタン X サイズ = 8 画素。
0	1	パタン X サイズ = 16 画素。
1	0	パタン X サイズ = 32 画素。
1	1	パタン X サイズ = 64 画素。

- 【注】 ソースサイズ TDX には指定したパタン X サイズ (8、16、32、64) を設定してください。

• ビット 17、16 : パタン Y サイズ (PYSIZE)

パタンスタイルイネーブル(PSTYLE) = 1 時のパタン Y サイズを指定します。

ビット 17	ビット 16	説 明
PYSIZE[1]	PYSIZE[0]	
0	0	ボタン Y サイズ = 8 画素。
0	1	ボタン Y サイズ = 16 画素。
1	0	ボタン Y サイズ = 32 画素。
1	1	ボタン Y サイズ = 64 画素。

【注】 ソースサイズ TDY には指定したボタン Y サイズ (8、16、32、64) を設定してください。

- ビット31~22、15~0: リザーブビット
書き込み時は、初期値を書き込んでください。

(11) パタンオフセットレジスタ (POFSR)

オフセット: H'0F8

初期値: H'00000000

パタンオフセットレジスタ (POFSR) は、32 ビットの読み出し / 書き込み可能なレジスタで、パタンスタイルイネーブル (PSTYLE) = 1 時のオフセット値を設定します。本設定値は、パタンスタイルイネーブル (PSTYLE) = 1 時のみ参照されます。

- ビット31~16: パタンオフセットX (POFSX)
X方向のパタンオフセット値を16ビット整数で設定します。負の場合は2の補数を設定してください。
- ビット15~0: パタンオフセットY (POFSY)
Y方向のパタンオフセット値を16ビット整数で設定します。負の場合は2の補数を設定してください。

23.3.5 座標変換制御レジスタ

(1) 座標変換コントロールレジスタ (GTRCR)

オフセット: H'100

初期値: H'00000000

座標変換コントロールレジスタ (GTRCR) は 32 ビットの読み出し / 書き込み可能なレジスタで、座標変換するかしないかのイネーブルビットを設定します。

- ビット31：座標変換イネーブル (GTE)

座標変換を行います。

ビット 31	説 明
GTE	
0	座標変換を行いません。レンダリング属性の MTRE は無効になります。 (初期値)
1	レンダリング属性の MTRE を有効にします。

- ビット0：アフィン変換イネーブル (AFE)

座標変換時、W除算およびオフセットの加算を行いません。レンダリング属性のMTREビット=1かつGTEビット=1のとき有効となります。

ビット 0	説 明
AFE	
0	行列演算後の TX、TY を WC で除算後、オフセット値を加算した値が、頂点座標 X'、Y' になります。 $X' = TX/WC + GTROFSX$ $Y' = TY/WC + GTROFSY$ GTROFSX、GTROFSY はそれぞれ座標変換オフセット X レジスタ (GTROFSXR)、座標変換オフセット Y レジスタ (GTROFSYR) に設定します。(初期値)
1	行列演算後の TX、TY が頂点座標 X'、Y' になります。 $X' = TX$ $Y' = TY$

- ビット30～1：リザーブビット

書き込み時は、0を書き込んでください。読み出し時は0が読み出されます。

(2) マトリクスパラメータ A レジスタ (MTRAR)

オフセット：H'104

初期値：不定

マトリクスパラメータ A レジスタ (MTRAR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変換時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRAR < 2^{15} の範囲で設定してください。

MTRAR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算～(5) 座標変換フローと飽和处理」を参照してください。

(3) マトリクスパラメータ B レジスタ (MTRBR)

オフセット : H'108

初期値 : 不定

マトリクスパラメータ B レジスタ (MTRBR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変換時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 $-2^{15} \leq \text{MTRBR} < 2^{15}$ の範囲で設定してください。

MTRBR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(4) マトリクスパラメータ C レジスタ (MTRCR)

オフセット : H'10C

初期値 : 不定

マトリクスパラメータ C レジスタ (MTRCR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変換時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 $-2^{15} \leq \text{MTRCR} < 2^{15}$ の範囲で設定してください。

MTRCR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(5) マトリクスパラメータ D レジスタ (MTRDR)

オフセット : H'110

初期値 : 不定

マトリクスパラメータ D レジスタ (MTRDR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変換時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 $-2^{15} \leq \text{MTRDR} < 2^{15}$ の範囲で設定してください。

MTRDR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(6) マトリクスパラメータ E レジスタ (MTRER)

オフセット : H'114

初期値 : 不定

マトリクスパラメータ E レジスタ (MTRER) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRER $< 2^{15}$ の範囲で設定してください。

MTRER は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(7) マトリクスパラメータ F レジスタ (MTRFR)

オフセット : H'118

初期値 : 不定

マトリクスパラメータ F レジスタ (MTRFR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRFR $< 2^{15}$ の範囲で設定してください。

MTRFR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(8) マトリクスパラメータ G レジスタ (MTRGR)

オフセット : H'11C

初期値 : 不定

マトリクスパラメータ G レジスタ (MTRGR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRGR $< 2^{15}$ の範囲で設定してください。

MTRGR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 - (5) 座標変換フローと飽和处理」を参照してください。

(9) マトリクスパラメータ H レジスタ (MTRHR)

オフセット : H'120

初期値 : 不定

マトリクスパラメータ H レジスタ (MTRHR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRHR $< 2^{15}$ の範囲で設定してください。

MTRHR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(10) マトリクスパラメータ I レジスタ (MTRIR)

オフセット : H'124

初期値 : 不定

マトリクスパラメータ I レジスタ (MTRIR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時のマトリクスパラメータを IEEE754 単精度浮動小数点フォーマットで設定します。ただし、内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 -2^{15} MTRIR < 2^{15} の範囲で設定してください。

MTRIR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(11) 座標変換オフセット X レジスタ (GTROFSXR)

オフセット : H'128

初期値 : 不定

座標変換オフセット X レジスタ (GTROFSXR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時の X オフセット値を 16 ビット整数で設定します。負の場合は 2 の補数で設定します。

GTROFSXR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(12) 座標変換オフセット Y レジスタ (GTROFSYR)

オフセット : H'12C

初期値 : 不定

座標変換オフセット Y レジスタ (GTROFSYR) は、32 ビットの読み出し / 書き込み可能なレジスタで、座標変化時の Y オフセット値を 16 ビット整数で設定します。負の場合は 2 の補数で設定します。

GTROFSYR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(13) Z クリップエリア MIN (ZCLPMINR)

オフセット : H'130

初期値 : 不定

Z クリップエリア MIN (ZCLPMINR) は、32 ビットの読み出し / 書き込み可能なレジスタで、Z クリップエリ

ア MIN 値を IEEE754 単精度浮動小数点フォーマットで設定します。W 値で比較しますので、ZCLPMINR は W に相当する値で設定してください。

内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 2^{-16} ZCLPMIN $ZCLPMAX < 2^{15}$ の範囲で設定してください。

ZCLPMINR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(14) Zクリップエリア MAX (ZCLPMAXR)

オフセット : H'134

初期値 : 不定

Zクリップエリア MAX (ZCLPMAXR) は、32 ビットの読み出し / 書き込み可能なレジスタで、Zクリップエリア MAX 値を IEEE754 単精度浮動小数点フォーマットで設定します。W 値で比較しますので、ZCLPMAXR は W に相当する値で設定してください。

内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 2^{-16} ZCLPMIN $ZCLPMAX < 2^{15}$ の範囲で設定してください。

ZCLPMAXR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

(15) Z飽和値 MIN (ZSATVMINR)

オフセット : H'138

初期値 : 不定

Z飽和値 MIN (ZSATVMINR) は、32 ビットの読み出し / 書き込み可能なレジスタで、Z飽和値 MIN を IEEE754 単精度浮動小数点フォーマットで設定します。W 値で比較しますので、ZSATVMINR は W に相当する値で設定してください。内部演算は 32 ビット固定小数点 (整数部 16 ビット、小数部 16 ビット) で行いますので、 2^{-16} ZSATVMIN $ZCLPMIN$ $ZCLPMAX < 2^{15}$ の範囲で設定してください。

ZSATVMINR は、リセット時に値を保持します。

【注】 設定範囲に関する詳細は「23.1.2 基本機能 (2) 4×4 マトリクス演算 ~ (5) 座標変換フローと飽和处理」を参照してください。

23.4 使用上の注意事項

23.4.1 G2D コマンドの注意事項について

(1) 該当コマンド

CLRWC、LINEWC、RLINEWC コマンド

(2) 注意事項

ワーク指定付 POLYGON4 系コマンドまたはワーク指定付 BITBLT 系コマンド実行後に、該当コマンドを実行した場合、極稀にワークキャッシュメモリのダーティー (D) ビットの判定ミスにより、キャッシュデータ不整合が起こります。結果としてキャッシュメモリ中の描画済みデータのライトバックが行われず、最大 64 画素の描画抜けが発生します。

該当コマンド実行前に、バリッド (V) ビット、ダーティー (D) ビットをクリアすることで、本不具合は発生しません。非公開機能で NOP コマンド実行時に、ワークキャッシュのクリアまたはフラッシュを行う機能があります (レンダリング属性で指定)。この機能を使用する事で不具合の発生する該当コマンドの実行前にワークキャッシュ全ラインの V ビットと D ビットを 0 にクリアすることが出来ます。全ての該当コマンド実行前にワークキャッシュのクリアまたはフラッシュを指定した NOP コマンドを実行してください。

(3) ワークキャッシュのクリアおよびフラッシュ方法

ワークキャッシュのクリアもしくはフラッシュを行うには、次に記載する NOP コマンドのレンダリング属性中の WCLR ビットもしくは WFLSH ビットをセットし、NOP コマンドを実行します。

(a) NOP コマンドのレンダリング属性

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INT	0 固定	WCLR	WFLSH	0 固定	0 固定	0 固定	0 固定	INT No							

- WCLR ビット

1 にセットすることで、ワークキャッシュの V および D ビットをクリアします。ワークキャッシュ中のデータは、ライトバックされず消失します。ライトバックが必要ない場合にご利用ください。

- WFLSH ビット

1 にセットすることで、ワークキャッシュの D ビットがセットされているラインのデータをライトバックした後、V および D ビットをクリアします。ワークキャッシュ中の更新されたデータがライトバックされるため、ライトバックの必要の可否によらず、本不具合回避にご利用いただけます。ライトバックの必要性の判断が難しい場合、こちらをご利用ください。

(b) NOP コマンド挿入例

該当コマンド直前に、太字で記した NOP コマンドを実行させてください。

NOP (WCLR もしくは WFLSH をセット)

CLRWC

FTRAPC

POLYGON4 系

NOP (WCLR もしくは WFLSH をセット)

CLRWC

FTRAPC

POLYGON4 系

NOP (WCLR もしくは WFLSH をセット)

(R) LINEWC

:

:

24. 表示コントローラ (VDC2)

24.1 概要

表示コントローラ (Video Display Controller 2: VDC2) の機能は、外部メモリに格納された 4 面のグラフィック画像 (レイヤ 1、2、3、4) を読み出し、4 面の画像をオーバーレイ処理します。18 ビットの RGB (各 6 ビット) 映像出力、BTA T-1004 に準拠したデジタル映像出力を出力します。

24.2 特長

項目	機能
動作周波数	T-1004 用 表示系クロック : 54MHz RGB666 用 表示系クロック : 6.0MHz ~ 36.0MHz 表示パネルサイズに依存
入力画像形式	16 ビットの RGB565 プログレッシブ (SDRAM)
表示画面サイズ	<ul style="list-style-type: none">• プログレッシブ方式で 18 ビット RGB 出力 720 × 480 (NTSC) 720 × 576 (PAL) 320 × 240 (QVGA) 640 × 480 (VGA) 800 × 480 (WVGA)• BTA T-1004(8:4:4 形式ビット並列インタフェース)の 8 ビットデジタル出力 (SYNCNT レジスタ設定することにより、RGB データのクロック立ち上がり / 立ち下がりのタイミング選択可能) 720 × 480 (NTSC)
表示画面数	最大 4 面 (レイヤ 1、レイヤ 2、レイヤ 3、レイヤ 4)
ブレンド	レイヤ 1、レイヤ 2、レイヤ 3、レイヤ 4 を透過率 (値) に基づき Mixing
クロマキー	設定した RGB 色をクロマキー処理 (値により透過率設定可能)
出力映像形式	RGB666 プログレッシブ映像出力 (RGB 各 6 ビット:計 18 ビット) BTA T-1004(8:4:4 形式ビット並列インタフェース)に準拠した 8 ビットデジタル映像出力 (SYNCNT レジスタ設定により、RGB データのクロック立ち上がり / 立ち下がりエッジのタイミング選択可能)
同期信号出力	Vsync、Hsync、データイネーブル、COM/CDE 信号、データイネーブル、COM/CDE 信号を選択可能 (SYNCNT レジスタ設定により、各信号のクロック立ち上がり / 立ち下がりエッジのタイミング選択、極性選択可能)
外部同期モード	外部からの同期信号 (EX-VSYNC、EX-HSYNC)、パネルクロックにて、動作可能 (SYNCNT レジスタ設定により、外部入力同期信号のクロック立ち上がり / 立ち下がりエッジのタイミング選択、極性選択可能) ただし、このモードを使用時、映像は RGB666 のみ出力可能
クロマ判定出力	映像中の指定された色に対する判定信号 (CDE) を出力する

24.3 入出力端子

表 24.1 入出力端子

端子名	入出力	名 称	説 明
DR [5:0]	出力	デジタルレッドデータ	出力ビデオデータの出力端子です。
DG [5:0]	出力	デジタルグリーンデータ	出力ビデオデータの出力端子です。
DB [5:0]	出力	デジタルブルーデータ	出力ビデオデータの出力端子です。
VSYNC	出力	垂直同期信号	垂直同期信号です。
HSYNC	出力	水平同期信号	水平同期信号です。
DE_V	出力	垂直データイネーブル信号	垂直データイネーブル信号です。
DE_H / DE_C	出力	水平データイネーブル信号 / 表示イネーブル信号	水平データイネーブル信号 / 表示イネーブルです。
COM / CDE	出力	ゲート制御信号 / クロマデ ータイネーブル信号	ゲート制御信号 / 表示イネーブル(レジスタに設定したクロマキ ー対象色と一致したときにアサート)です。
BT_DATA[7:0]	出力	BTA-T1004 表示データ	BTA-T1004 表示データの出力端子です。
BT_VSYNC	出力	BTA-T1004 垂直同期	BTA-T1004 用垂直同期信号です。
BT_HSYNC	出力	BTA-T1004 水平同期	BTA-T1004 用水平同期信号です。
BT_DE_C	出力	BTA-T1004 表示イネーブル	BTA-T1004 表示イネーブル信号です。
EX_VSYNC	入力	VSYNC 入力	外部同期モード時、VSYNC 信号を入力します。
EX_HSYNC	入力	HSYNC 入力	外部同期モード時、HSYNC 信号を入力します。
DCLKIN	入力	パネルソースクロック入力	表示用のソースクロックを入力します。表示パネルサイズに合わ せた周波数を入力します。
DCLKOUT	出力	パネルクロック出力	パネルクロックの出力端子です。

24.4 VDC2 の構成

VDC2 は下記の 7 つの機能ブロックで構成されています。VDC2 の全体ブロック図を図 24.1 に示します。

表 24.2 VDC2 内部の機能ブロック

ブロック名	機能概要
グラフィックス部 1 (レイヤ 1)	外部メモリに格納された Graphics 画像 (RGB565 : レイヤ 1) をピクセルバスより読み出し、グラフィックス部 2 に出力する。
グラフィックス部 2 (レイヤ 2)	外部メモリに格納された Graphics 画像 (RGB565 : レイヤ 2) をピクセルバスより読み出し、グラフィックス部 1 の出力とオーバーレイ処理を行いグラフィックス部 3 に出力する。
グラフィックス部 3 (レイヤ 3)	外部メモリに格納された Graphics 画像 (RGB565 : レイヤ 3) をピクセルバスより読み出し、グラフィックス部 2 の出力とオーバーレイ処理を行いグラフィックス部 4 に出力する。
グラフィックス部 4 (レイヤ 4)	外部メモリに格納された Graphics 画像 (RGB565 : レイヤ 4) をピクセルバスより読み出し、グラフィックス部 3 の出力とオーバーレイ処理を行い、画像データを出力する。
表示制御部	グラフィックス部 4 の出力 (RGB) を YCbCr (4:2:2) 変換を行い、BTAT-1004 規格の 8:4:4 並列フォーマットで出力する。TFT-LCD パネル向けの制御信号を出力する。
入力タイミング制御部	外部入力の同期信号のクロック立ち上がり / 立ち下がりエッジのタイミング選択、極性を制御する。
出力タイミング制御部	同期信号のクロック立ち上がり / 立ち下がりエッジのタイミング選択、極性を制御する。RGB666 映像出力のクロック立ち上がり / 立ち下がりエッジのタイミングを制御する。

【注】 レイヤ 1、2、3、4 は同構造で最下層 (レイヤ 1) には ブレンド対象となる画像入力がありません。

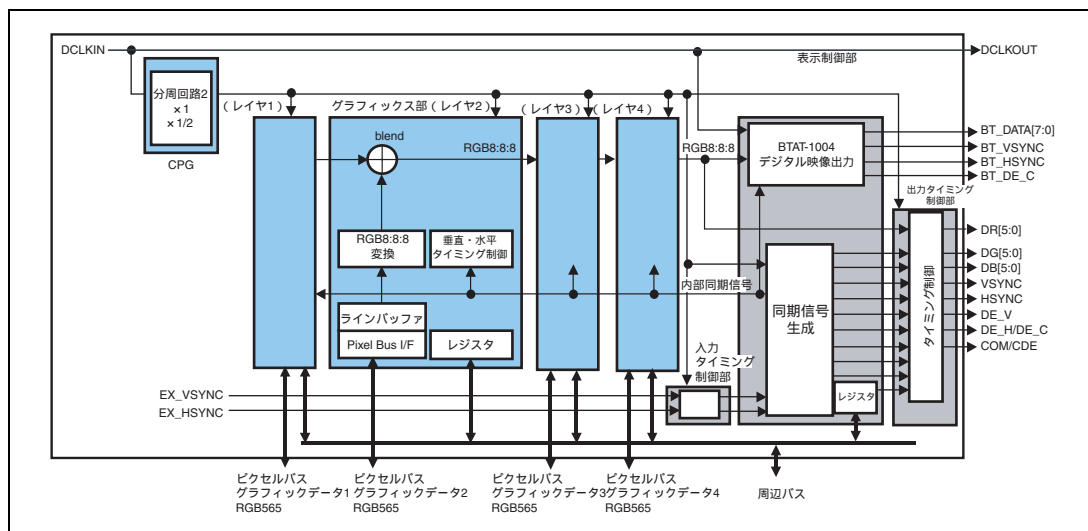


図 24.1 VDC2 ブロック図

24.5 機能説明

24.5.1 グラフィックス (レイヤ1、レイヤ2、レイヤ3、レイヤ4)

グラフィックス部では、RGB565 (16ビット) にてメモリ領域に格納されている画像データを表示します。外部入力同期信号あるいは、内部生成同期信号を基準にし表示制御を行います。画像の表示は1面だけの表示、もしくは2面、3面、4面の重ね合わせ表示の設定が可能です。表示面の重ね合わせを行った場合、カレント画像(カレントレイヤ)の制御領域の設定により、下層グラフィックス(下層レイヤ)を透過処理することが可能です。透過率は $1/256 \times 100\%$ 刻みで設定が可能です。また、クロマキー処理にて、指定色の透過率を設定して、下層グラフィックス(下層レイヤ)の画像を透過させることができます。図 24.2 に例を示します。

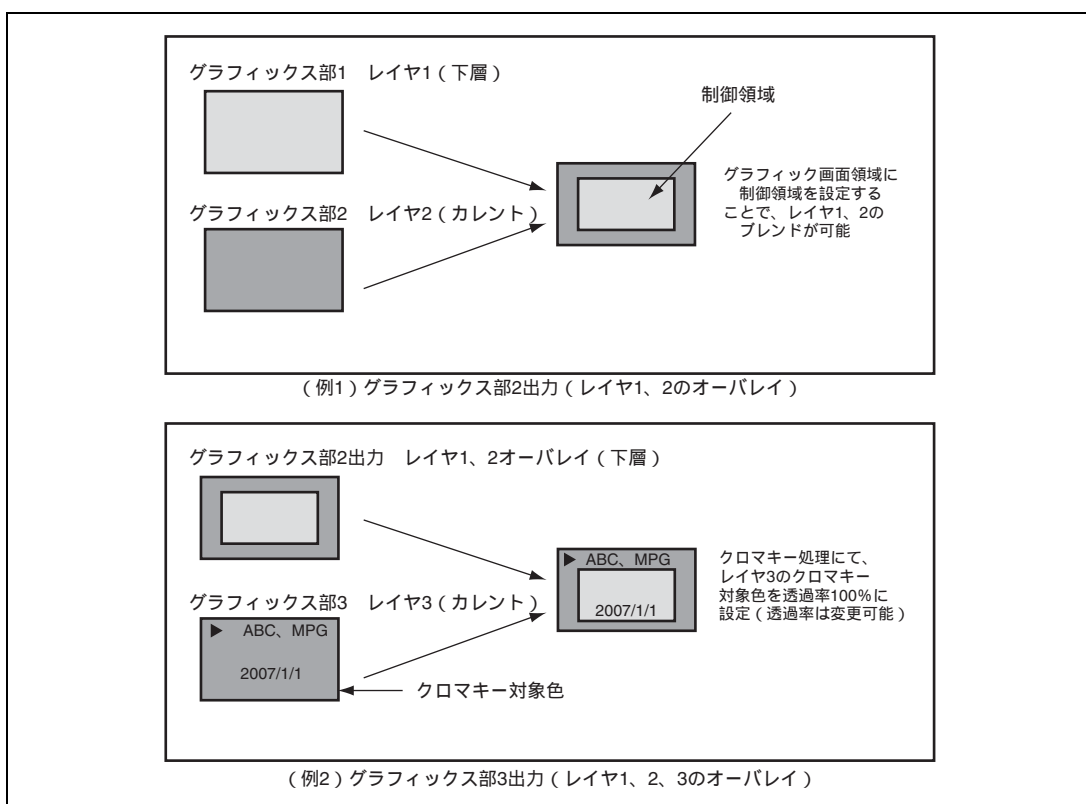


図 24.2 重ね合わせ表示例

24.5.2 同期信号生成

生成できる同期信号のフォーマットの例を図 24.3 に示します。Vsync、Hsync、DE_V、DE_H/DE_C を生成し出力することができます。

- VSYNC : 垂直同期信号
- HSYNC : 水平同期信号
- DE_V : 垂直データイネーブル信号
- DE_H : 水平データイネーブル信号
- DE_C : データイネーブル信号(コンポジット)
- CDE : クロマデータイネーブル信号
- COM : ゲート制御信号

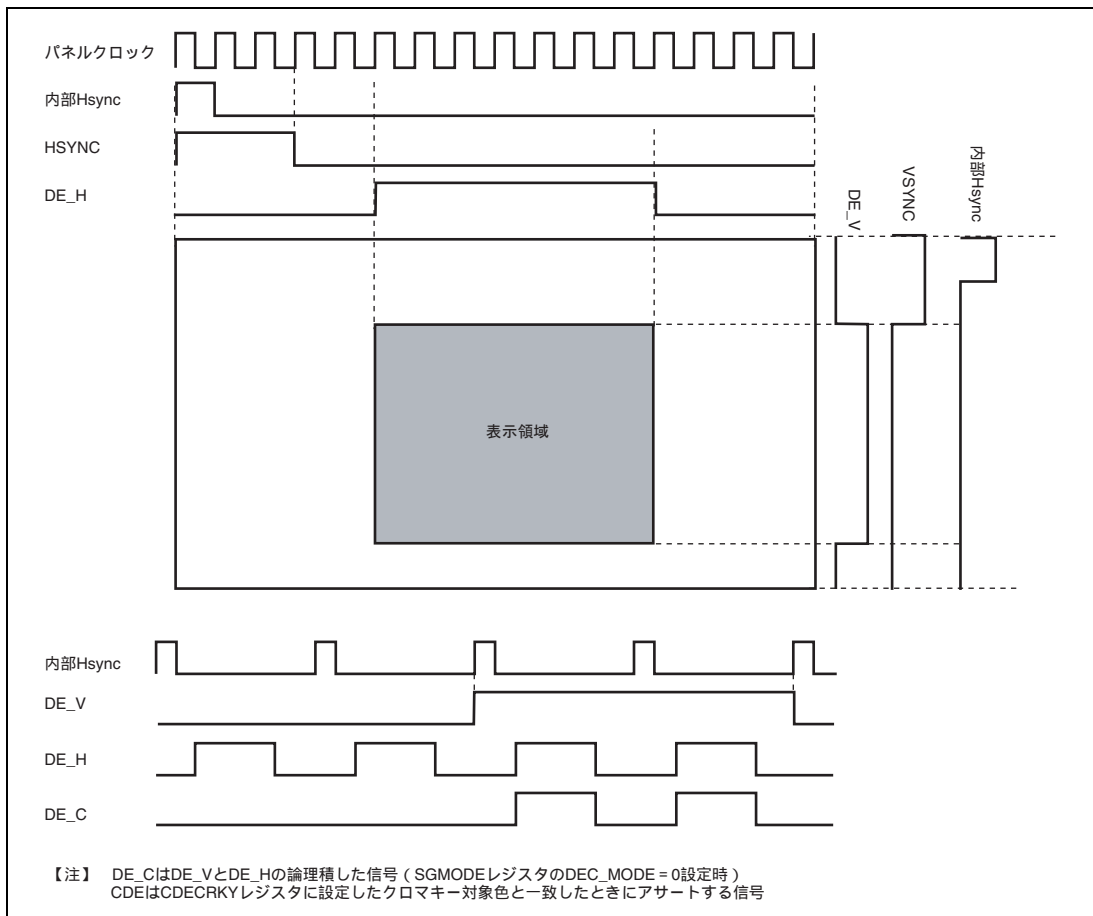


図 24.3 フォーマット (Vsync、Hsync、DE_V、DE_H、DE_C、CDE 出力)

24.5.3 外部同期モード

外部同期モードはTV、ビデオなどの外部の同期信号発生回路から入力される垂直 / 水平同期信号(EX_VSYNC、EX_HSYNC)に同期して、グラフィック画像を出力します。外部の同期信号発生回路から垂直 / 水平同期信号およびクロックをEX_VSYNC、EX_HSYNC、DCLKIN 端子にそれぞれ入力してください。同期信号関連のレジスタ設定は次のように設定してください。

(1) 外部同期モード設定

SGMODE レジスタの SYNC_SEL=1 設定し、外部同期モードにします。入力される垂直 / 水平同期信号が負極性の場合は、SYNCNT レジスタの EX_V_TYPE=1、EX_H_TYPE=1 設定し、入力を反転します。

(2) COM / CDE 端子の出力設定

SGMODE レジスタの COM_CDE_SEL=1、CDE_EXE=1 を設定し、CDE 信号を COM/CDE 端子に出力します。CDE 信号は CDECRKY レジスタに設定したクロマキー対象色と一致したときにアサートします。CDE 信号の極性は SYNCNT レジスタの COM_TYPE ビットにて制御できます。

(3) 入力、出力タイミングの設定

入力される垂直 / 水平同期信号のサンプリングタイミング、出力される RGB データ、CDE 信号の出力タイミングを DCLKIN の立ち上がり、あるいは、立ち下りを外部の同期信号発生回路、ディスプレイ仕様に合わせて設定します。(SYNCNT レジスタ参照)。

VDC2 は、EX_VSYNC 信号が入力されない場合は、垂直帰線期間のまま EX_VSYNC 信号を待ち続けます(Vsync 自走制御は行いません)。同様に EX_HSYNC 信号が入力されると、VDC2 は水平表示完了動作を行い、次ラインの制御に移行します。EX_HSYNC 信号が入力されない場合は、水平帰線期間のまま EX_HSYNC 信号を待ち続けます (Hsync 自走制御は行いません)。

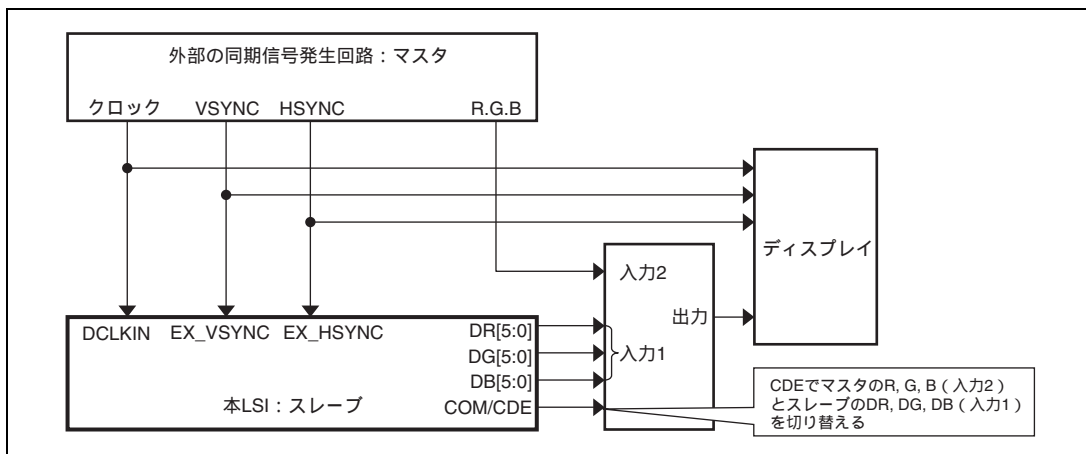


図 24.4 外部同期モード信号の流れ

24.5.4 デジタル映像出力

BTA T-1004 デジタル映像出力では、BTA T-1004 (8:4:4 形式ビット並列インタフェース) 規格に準拠した 8 ビットの輝度信号 (Y)、色差信号 (Cb、Cr)、EAV、SAV を生成します。

24.5.5 RGB565 YC444 変換

ITU-R BT601 規格に基づいて RGB565 を YC444 に変換を行います。まず、式にて RGB565 を RGB888 に変換を行い、R、G、B 値を 0~255 の範囲になるようにします。RGB から YC への変換は BT601 規格の式のカラリメトリを使用します。

$$R_1 = \frac{255}{31} R$$

$$G_1 = \frac{255}{63} G \quad \dots\dots \textcircled{1}$$

$$B_1 = \frac{255}{31} B$$

$$\begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} 0.299 & 0.587 & 0.114 \\ -0.169 & -0.331 & 0.500 \\ 0.500 & -0.419 & -0.081 \end{bmatrix} \begin{bmatrix} R_1 \\ G_1 \\ B_1 \end{bmatrix} + \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix} \quad \dots\dots \textcircled{2}$$

24.5.6 YC444 YC422 変換

YC444 を YCbCr422 に変換します。図 24.5 にタイミング図を示します。YC444 → YC422 の色差変換はホールド方式により実施します。

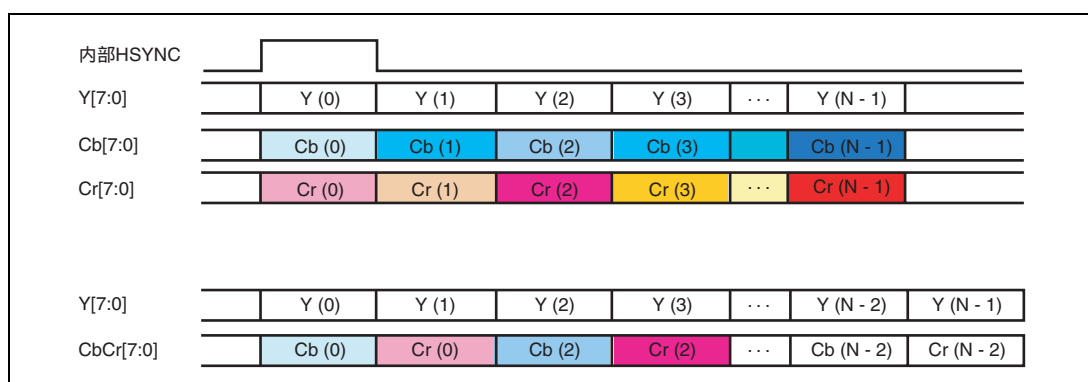


図 24.5 YC444 から YC422 への変換のタイミング図

24.5.7 データイネーブル信号 (コンポジット)

SGMODE レジスタの DEC_MODE にて、グラフィックス部が生成したデータイネーブル (レイヤ 1、2、3、4 の論理和) または、表示制御部が生成したデータイネーブル (矩形) を出力するか選択することができます。

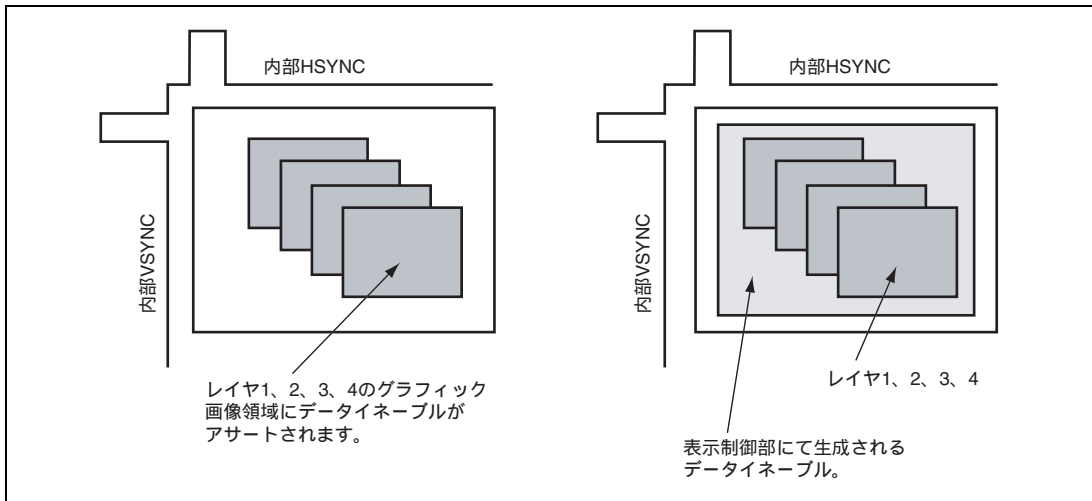


図 24.6 データイネーブル説明図

24.6 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

: 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

/W : ライトのみ可。読み出し値は不定です。

表 24.3 グラフィックス部 1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
グラフィックス部制御 レジスタ	GRCMEN1	R/W	H'FFEC 0000	H'1FEC 0000	32/16/8
バス制御レジスタ	GRCBUSCNT1	R/W	H'FFEC 0004	H'1FEC 0004	32/16/8
リザーブ	-	R	H'FFEC 0008	H'1FEC 0008	32/16/8
リザーブ	-	R	H'FFEC 000C	H'1FEC 000C	32/16/8
リザーブ	-	R	H'FFEC 0300	H'1FEC 0300	32/16/8
リザーブ	-	R	H'FFEC 0304	H'1FEC 0304	32/16/8
グラフィック画像ベースアドレスレジスタ	GROPSADR1	R/W	H'FFEC 0308	H'1FEC 0308	32/16/8
グラフィック画像領域レジスタ	GROPSWH1	R/W	H'FFEC 030C	H'1FEC 030C	32/16/8
グラフィック画像ラインオフセット レジスタ	GROPSOFST1	R/W	H'FFEC 0310	H'1FEC 0310	32/16/8
グラフィック画像開始位置レジスタ	GROPDPHV1	R/W	H'FFEC 0314	H'1FEC 0314	32/16/8
リザーブ	-	R	H'FFEC 0318	H'1FEC 0318	32/16/8
リザーブ	-	R	H'FFEC 031C	H'1FEC 031C	32/16/8
リザーブ	-	R	H'FFEC 0320	H'1FEC 0320	32/16/8
リザーブ	-	R	H'FFEC 0324	H'1FEC 0324	32/16/8
リザーブ	-	R	H'FFEC 0328	H'1FEC 0328	32/16/8
グラフィック画像領域外の色設定レジスタ	GROPBASERGB1	R/W	H'FFEC 032C	H'1FEC 032C	32/16/8

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 24.4 グラフィックス部 2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
グラフィックス部制御レジスタ	GRCMEN2	R/W	H'FFED 0000	H'1FED 0000	32/16/8
バス制御レジスタ	GRCBUSCNT2	R/W	H'FFED 0004	H'1FED 0004	32/16/8
リザーブ	-	R	H'FFED 0008	H'1FED 0008	32/16/8
リザーブ	-	R	H'FFED 000C	H'1FED 000C	32/16/8
リザーブ	-	R	H'FFED 0300	H'1FED 0300	32/16/8
リザーブ	-	R	H'FFED 0304	H'1FED 0304	32/16/8
グラフィック画像ベースアドレスレジスタ	GROPSADR2	R/W	H'FFED 0308	H'1FED 0308	32/16/8
グラフィック画像領域レジスタ	GROPSWH2	R/W	H'FFED 030C	H'1FED 030C	32/16/8
グラフィック画像ラインオフセット レジスタ	GROPSOFST2	R/W	H'FFED 0310	H'1FED 0310	32/16/8
グラフィック画像開始位置レジスタ	GRODPHV2	R/W	H'FFED 0314	H'1FED 0314	32/16/8
制御領域レジスタ	GROPEWH2	R/W	H'FFED 0318	H'1FED 0318	32/16/8
制御領域開始位置レジスタ	GROPEDPHV2	R/W	H'FFED 031C	H'1FED 031C	32/16/8
制御レジスタ	GROPEDPA2	R/W	H'FFED 0320	H'1FED 0320	32/16/8
クロマキー制御レジスタ	GROPCRKY0_2	R/W	H'FFED 0324	H'1FED 0324	32/16/8
クロマ色指定レジスタ	GROPCRKY1_2	R/W	H'FFED 0328	H'1FED 0328	32/16/8
グラフィック画像領域外の色設定レジスタ	GROPBASERGB2	R/W	H'FFED 032C	H'1FED 032C	32/16/8

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 24.5 グラフィックス部 3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
グラフィックス部制御レジスタ	GRCMEN3	R/W	H'FFEE 0000	H'1FEE 0000	32/16/8
バス制御レジスタ	GRCBUSCNT3	R/W	H'FFEE 0004	H'1FEE 0004	32/16/8
リザーブ	-	R	H'FFEE 0008	H'1FEE 0008	32/16/8
リザーブ	-	R	H'FFEE 000C	H'1FEE 000C	32/16/8
リザーブ	-	R	H'FFEE 0300	H'1FEE 0300	32/16/8
リザーブ	-	R	H'FFEE 0304	H'1FEE 0304	32/16/8
グラフィック画像ベースアドレスレジスタ	GROPSADR3	R/W	H'FFEE 0308	H'1FEE 0308	32/16/8
グラフィック画像領域レジスタ	GROPSWH3	R/W	H'FFEE 030C	H'1FEE 030C	32/16/8
グラフィック画像ラインオフセット レジスタ	GROPSOFST3	R/W	H'FFEE 0310	H'1FEE 0310	32/16/8
グラフィック画像開始位置レジスタ	GRODPHV3	R/W	H'FFEE 0314	H'1FEE 0314	32/16/8
制御領域レジスタ	GROPEWH3	R/W	H'FFEE 0318	H'1FEE 0318	32/16/8
制御領域開始位置レジスタ	GROPEDPHV3	R/W	H'FFEE 031C	H'1FEE 031C	32/16/8

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
制御レジスタ	GROPEDPA3	R/W	H'FFEE 0320	H'1FEE 0320	32/16/8
クロマキー制御レジスタ	GROPCRKY0_3	R/W	H'FFEE 0324	H'1FEE 0324	32/16/8
クロマ色指定レジスタ	GROPCRKY1_3	R/W	H'FFEE 0328	H'1FEE 0328	32/16/8
グラフィック画像領域外の色設定レジスタ	GROPBASERGB3	R/W	H'FFEE 032C	H'1FEE 032C	32/16/8

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7 からアクセスするものです。

表 24.6 グラフィックス部4 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
グラフィックス部制御レジスタ	GRCMEN4	R/W	H'FFEF 0000	H'1FEF 0000	32/16/8
バス制御レジスタ	GRCBUSCNT4	R/W	H'FFEF 0004	H'1FEF 0004	32/16/8
リザーブ	-	R	H'FFEF 0008	H'1FEF 0008	32/16/8
リザーブ	-	R	H'FFEF 000C	H'1FEF 000C	32/16/8
リザーブ	-	R	H'FFEF 0300	H'1FEF 0300	32/16/8
リザーブ	-	R	H'FFEF 0304	H'1FEF 0304	32/16/8
グラフィック画像ベースアドレスレジスタ	GROPSADR4	R/W	H'FFEF 0308	H'1FEF 0308	32/16/8
グラフィック画像領域レジスタ	GROPSWH4	R/W	H'FFEF 030C	H'1FEF 030C	32/16/8
グラフィック画像ラインオフセット レジスタ	GROPSOFST4	R/W	H'FFEF 0310	H'1FEF 0310	32/16/8
グラフィック画像開始位置レジスタ	GRODPHV4	R/W	H'FFEF 0314	H'1FEF 0314	32/16/8
制御領域レジスタ	GROPEWH4	R/W	H'FFEF 0318	H'1FEF 0318	32/16/8
制御領域開始位置レジスタ	GROPEPHV4	R/W	H'FFEF 031C	H'1FEF 031C	32/16/8
制御レジスタ	GROPEDPA4	R/W	H'FFEF 0320	H'1FEF 0320	32/16/8
クロマキー制御レジスタ	GROPCRKY0_4	R/W	H'FFEF 0324	H'1FEF 0324	32/16/8
クロマ色指定レジスタ	GROPCRKY1_4	R/W	H'FFEF 0328	H'1FEF 0328	32/16/8
グラフィック画像領域外の色設定レジスタ	GROPBASERGB4	R/W	H'FFEF 032C	H'1FEF 032C	32/16/8

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7 からアクセスするものです。

表 24.7 表示制御部 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
SG モード設定レジスタ	SGMODE	R/W	H'FFEB 0000	H'1FEB 0000	32/16/8
割込み出力制御レジスタ	SGINTCNT	R/W	H'FFEB 0004	H'1FEB 0004	32/16/8
同期信号制御レジスタ	SYNCNT	R/W	H'FFEB 0008	H'1FEB 0008	32/16/8
外部入力同期信号タイミング制御レジスタ	EXTSYNCNT	R/W	H'FFEB 000C	H'1FEB 000C	32/16/8
リザーブ	-	R	H'FFEB 0100	H'1FEB 0100	32/16/8
同期信号サイズレジスタ	SYNSIZE	R/W	H'FFEB 0104	H'1FEB 0104	32/16/8
垂直同期信号タイミング制御レジスタ	VSYNCTIM	R/W	H'FFEB 0108	H'1FEB 0108	32/16/8
水平同期信号タイミング制御レジスタ	HSYNCTIM	R/W	H'FFEB 010C	H'1FEB 010C	32/16/8
リザーブ	-	R	H'FFEB 0110	H'1FEB 0110	32/16/8
リザーブ	-	R	H'FFEB 0118	H'1FEB 0118	32/16/8
ゲート制御信号タイミング制御レジスタ	COMTIM	R/W	H'FFEB 011C	H'1FEB 011C	32/16/8
SGDE 領域開始位置レジスタ	SGDESTART	R/W	H'FFEB 0120	H'1FEB 0120	32/16/8
SGDE 領域サイズレジスタ	SGDESIZE	R/W	H'FFEB 0124	H'1FEB 0124	32/16/8
CDE クロマ色指定レジスタ	CDECRKY	R/W	H'FFEB 0128	H'1FEB 0128	32/16/8
リザーブ	-	R	H'FFEB 0148	H'1FEB 0148	32/16/8
T-1004 制御レジスタ	T1004CNT	R/W	H'FFEB 0200	H'1FEB 0200	32/16/8
T-1004 映像開始位置レジスタ	T1004OFFSET	R/W	H'FFEB 0204	H'1FEB 0204	32/16/8
リザーブ	-	R	H'FFEB 0208	H'1FEB 0208	32/16/8
リザーブ	-	R	H'FFEB 020C	H'1FEB 020C	32/16/8

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いたものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

24.6.1 グラフィックス部制御レジスタ (GRCMEN1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DEN	VEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	WE	0	R/W	本ビットは、レジスタ値転送許可ビットです。1セットによりレジスタ値 (H'000 ~ H'31C、H'32C レジスタが対象) が Vsync に同期して転送されます。Vsync によりレジスタ値の転送後、0 にクリアされます。
30~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEN	0	R/W	本ビットは、グラフィックス表示許可ビットです。 0: 不許可 1: 動作許可
0	VEN	0	R/W	本ビットは、下層グラフィックス表示許可ビットです。 0: 不許可 1: 動作許可

表 24.8 表示許可ビット説明

DEN	VEN	動作	出力	制御
0	0	メモリから画像データの読み出しは行わず、下層グラフィックスの表示処理も行わない。	GROPBASERGB レジスタに設定した色が全面に出力する。(イネーブル出力はネゲート)	
0	1	メモリから画像データの読み出しは行わないが、下層グラフィックスの表示処理のみ行う。	下層グラフィックスのみ表示する。(下層グラフィックスのイネーブル出力)	下層グラフィックスのみ表示
1	0	メモリから画像データの読み出しは行うが、下層グラフィックスの表示処理は行わない。	カレントグラフィックスのみ表示する。(カレントグラフィックスのイネーブル出力)	カレントグラフィックスのみ表示
1	1	メモリから画像データを読み出し、下層グラフィックスの表示処理を共に行う。	グラフィックスと下層グラフィックスを指定の処理をし、表示する。(グラフィックスと下層グラフィックスのイネーブルの論理和出力)	カレント+下層グラフィックス表示

- 【注】 1. 制御領域 (GROPEW、GROPEDPHV レジスタ参照) をグラフィックス画像領域 (GROPSWH、GROPDPHV レジスタ参照) より大きく取ってある場合には、下層グラフィックス画像のみ表示されます。
2. レイヤ毎に設定する必要があります。上位レイヤの (DEN, VEN) = (0, 0) の場合には下位レイヤのグラフィックスは出力されません。

24.6.2 バス制御レジスタ (GRCBUSCNT1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ENDIAN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ENDIAN	0	R/W	本ビットは、ピクセルバスのエンディアンを設定します。 0: リトルエンディアン 1: ビッグエンディアン

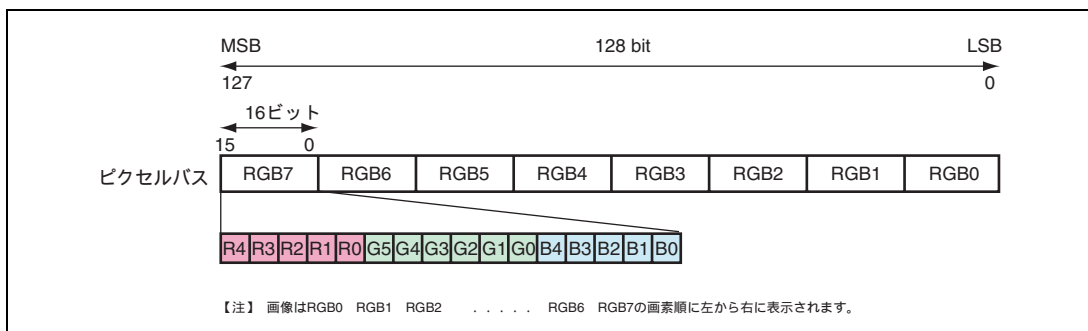


図 24.7 ピクセルバス エンディアン (ENDIAN = 0)

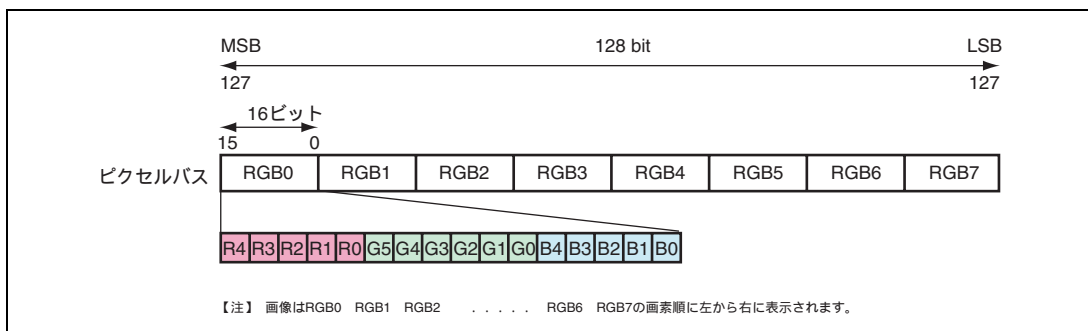


図 24.8 ピクセルバス エンディアン (ENDIAN = 1)

24.6.3 グラフィック画像ベースアドレスレジスタ (GROPSADR1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	GROPSADR[28:16]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GROPSADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~0	GROPSADR [28:0]	H'0000000	R/W	本ビットは、グラフィック画像の読み出しアドレスを設定します。最下位ビットは0に固定してください。

【注】 16ビットRGBデータを扱う為、2バイトの境界をまたぐアライメントデータは扱えません。

24.6.4 グラフィック画像領域レジスタ (GROPSWH1、2、3、4)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	GROPSH[9:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	GROPSW[9:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	GROPSH [9:0]	H'000	R/W	本ビットは、グラフィック画像領域の高さを設定します [ライン数]。
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GROPSW [9:0]	H'000	R/W	本ビットは、グラフィック画像領域の幅を設定します [パネルクロック数]。

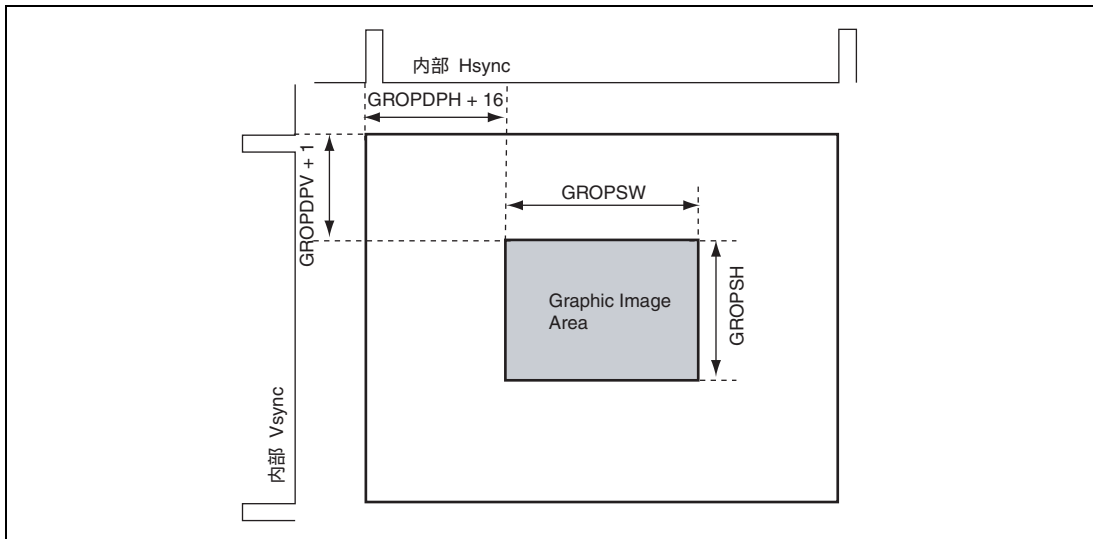


図 24.9 グラフィック画像領域の設定に関する補足図 (メモリからの読み出し)

グラフィックス領域は下記の範囲で設定してください。下記範囲外の設定を行った場合は、動作保証しません。

(1H のパネルクロック数) > GROPSW (幅) + GRODPH (水平表示開始位置) + (16 パネルクロック)

(IFrame のライン数) > GROPSH (高さ) + GRODPV (垂直表示開始位置) + (1 ライン)

24.6.5 グラフィック画像ラインオフセットレジスタ (GROPSOFST1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	GROPSOFST[28:16]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GROPSOFST[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~0	GROPSOFST [28:0]	H'0000000	R/W	本ビットは、グラフィック画像のラインオフセットを設定します。下位4ビットは0000固定してください。

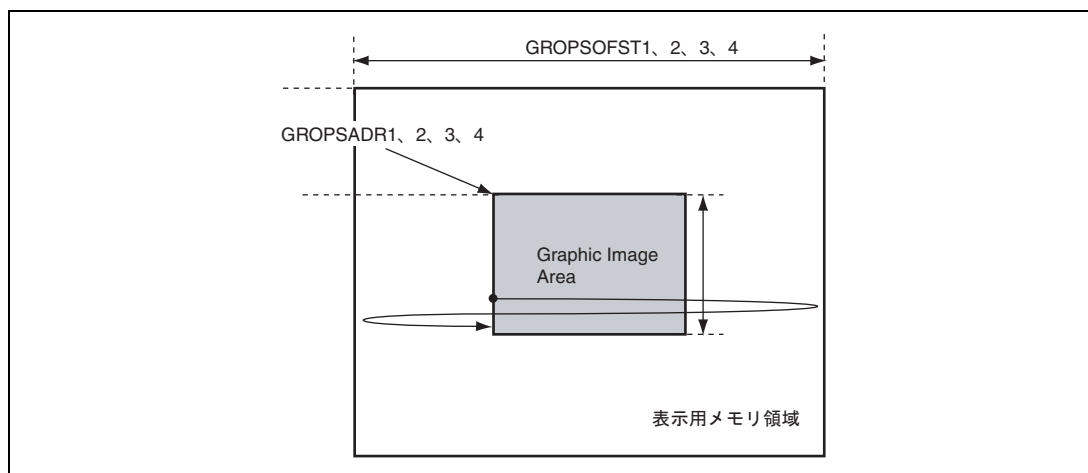


図 24.10 グラフィック画像メモリ領域の補足図

ベースアドレスレジスタ (GROPSADR1、2、3、4) にラインオフセット (GROPSOFST1、2、3、4) $\times n$ を加算したものが n ライン目の先頭 (左端) アドレスになります。

24.6.6 グラフィック画像開始位置レジスタ (GROPDPHV1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	-	-	-	-	-	-	GROPDPV[9:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	-	-	-	-	-	-	GROPDPH[9:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	GROPDPV [9:0]	H'000	R/W	本ビットは、グラフィック画像領域の垂直表示開始位置を設定します [ライン数]。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	GROPDPH [9:0]	H'000	R/W	本ビットは、グラフィック画像領域の水平表示開始位置を設定します [パネルクロック数]。

【注】 表示開始位置にはオフセットが存在します (図 24.9 参照)。

垂直方向: (GROPDPV レジスタ設定値) + 1 ライン

水平方向: (GROPDPH レジスタ設定値) + 16 パネルクロック

24.6.7 制御領域レジスタ (GROPEWH2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	GROPEH[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	GROPEW[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	GROPEH [9:0]	H'000	R/W	本ビットは、 制御領域の高さを設定します [ライン数]。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	GROPEW [9:0]	H'000	R/W	本ビットは、 制御領域の幅を設定します [パネルクロック数]。

【注】 レイヤ1は最下層画像となるので 制御の対象がありませんので設定禁止になります。

制御領域 (矩形) のサイズを設定します。図 24.11 参照。

24.6.8 制御領域開始位置レジスタ (GROPEDPHV2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	GROPEDPV[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	GROPEDPH[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	GROPEDPV [9:0]	H'000	R/W	本ビットは、 制御領域の垂直開始位置を設定します [ライン数]。
15~10	-	すべて0	R	リザーブビット読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	GROPEDPH [9:0]	H'000	R/W	本ビットは、 制御領域の水平開始位置を設定します[パネルクロック数]。

【注】 レイヤ1は最下層画像となるので 制御の対象がありませんので設定禁止になります。

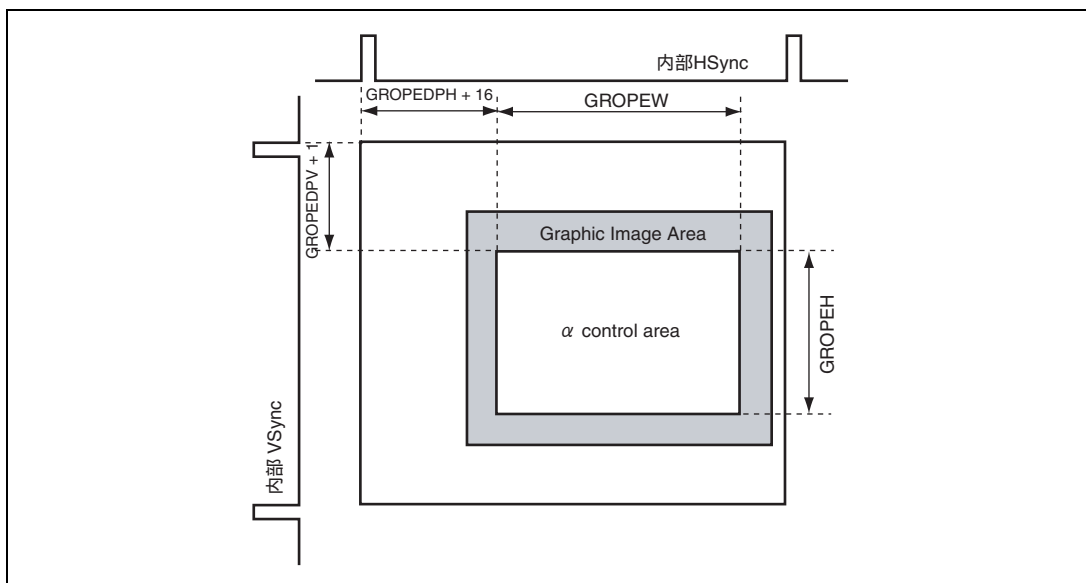


図 24.11 制御領域の設定に関する補足図

24.6.9 制御レジスタ (GROPEDPA2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEFA[7:0]								ACOE[7:0]							
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARATE[7:0]								WE	-	-	AST	-	AMOD[1:0]		AEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DEFA[7:0]	H'FF	R/W	本ビットは、 値の初期値を設定します。
23~16	ACOE[7:0]	H'00	R/W	本ビットは、 値演算係数を設定します。DEFA に対して加算もしくは減算になります。
15~8	ARATE[7:0]	H'00	R/W	本ビットは、 値制御を行うフレームレートを設定します。(480pのVsyncをカウントソース)
7	WE	0	R/W	本ビットは、 制御のレジスタ値転送許可ビットです。1セットにより、レジスタ値(H'320~H'328)がVsyncに同期して転送されます。Vsyncによりレジスタ値の転送後0にクリアされます。 0: 転送禁止 1: 転送許可
6, 5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	AST	0	R	本ビットは、 ブレンド処理ステータスフラグです。 0: 加算あるいは減算処理完了 1: 加算あるいは減算処理中
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2, 1	AMOD[1:0]	00	R/W	本ビットは、 処理モードを設定します。 00: 値初期値(不変) 01: 値加算処理 10: 値減算処理 11: 設定禁止
0	AEN	0	R/W	本ビットは、 制御の許可/不許可を設定します。 0: 制御不許可(値1に相当) 1: 制御許可

【注】 レイヤ1は最下層画像となるので 制御の対象がありませんので設定禁止になります。

値は AEN="1"、WE="1"状態の時に Vsync のタイミングで内部にロードされます。
 AMOD[1:0]=[0 0]では、DEFA に指定された 値がビデオ領域上に適用されます。
 AMOD[1:0]=[0 1]ではビデオ領域上の 値をフィールドレートに従って ACOEF の値を DEFA に加算します。
 値が 255 以上になった時点で停止します (フェードアウト)。
 AMOD[1:0]=[1 0]ではビデオ領域上の 値をフィールドレートに従って ACOEF の値を DEFA から減算します。
 値が 0 以下になった時点で停止します (フェードイン)。

表 24.9 値によるブレンド比率

値 (10 進)	グラフィックス	下層グラフィックス
255	256/256	0/256
254	254/256	1/256
253	253/256	2/256
252	252/256	3/256
	.	.
	2/256	253/256
1	1/256	254/256
0	0/256	256/256

24.6.10 クロマキー制御レジスタ (GROPCRKY0_2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CROMAKR[4:0]				CROMAKG[5:0]					CROMAKB[4:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	CKEN	0	R/W	本ビットは、クロマキー操作の許可 / 不許可を設定します。 0 : クロマキー操作不許可 1 : クロマキー操作許可
15~11	CROMAKR[4:0]	00000	R/W	本ビットは、クロマキー対象色 R です。
10~5	CROMAKG[5:0]	000000	R/W	本ビットは、クロマキー対象色 G です。
4~0	CROMAKB[4:0]	00000	R/W	本ビットは、クロマキー対象色 B です。

【注】 レイヤ 1 は最下層画像となるので 制御の対象がありませんので設定禁止になります。

GROPEDPA レジスタの WE="1"状態の時に内部 Vsync のタイミングで内部にロードされます。

クロマキー操作を許可することにより、グラフィックスデータ (RGB16 形式) が CROMAKR[4:0]、CROMAKG[5:0]、CROMAKB[4:0]に全て一致したピクセルを、クロマ色指定レジスタ (GROPCRKY1) により指定した色 (RGB16 形式) に変換し、さらに ALPHA[7:0]による 制御を行います。

これにより、下層グラフィックスの上に文字、カーソル等を表示するなどの効果を得ることができます。

24.6.11 クロマ色指定レジスタ (GROPCRKY1_2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	ALPHA[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R[4:0]				G[5:0]					B[4:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~16	ALPHA[7:0]	H'00	R/W	本ビットは、置換後 値です。
15~11	R[4:0]	00000	R/W	本ビットは、置換後 R 値です。
10~5	G[5:0]	000000	R/W	本ビットは、置換後 G 値です。
4~0	B[4:0]	00000	R/W	本ビットは、置換後 B 値です。

【注】 レイヤ1は最下層画像となるので 制御の対象がありませんので設定禁止になります。

クロマキーRGBにて一致した際に置き換える色情報をセットします。

演算は下記のように行われます。

出力 R = R (カレントグラフィックス画像) × α + R (下層グラフィックス画像) × (1 - α)

出力 G = G (カレントグラフィックス画像) × α + G (下層グラフィックス画像) × (1 - α)

出力 B = B (カレントグラフィックス画像) × α + B (下層グラフィックス画像) × (1 - α)

24.6.12 グラフィック画像領域外の色設定レジスタ (GROPBASERGB1、2、3、4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASE_R[4:0]				BASE_G[5:0]				BASE_B[4:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~11	BASE_R[4:0]	00000	R/W	グラフィック画像領域外のR値です。
10~5	BASE_G[5:0]	000000	R/W	グラフィック画像領域外のG値です。
4~0	BASE_B[4:0]	00000	R/W	グラフィック画像領域外のB値です。

【注】 GRCMEN レジスタの VEN = 0 のときのみ、本機能は有効です。

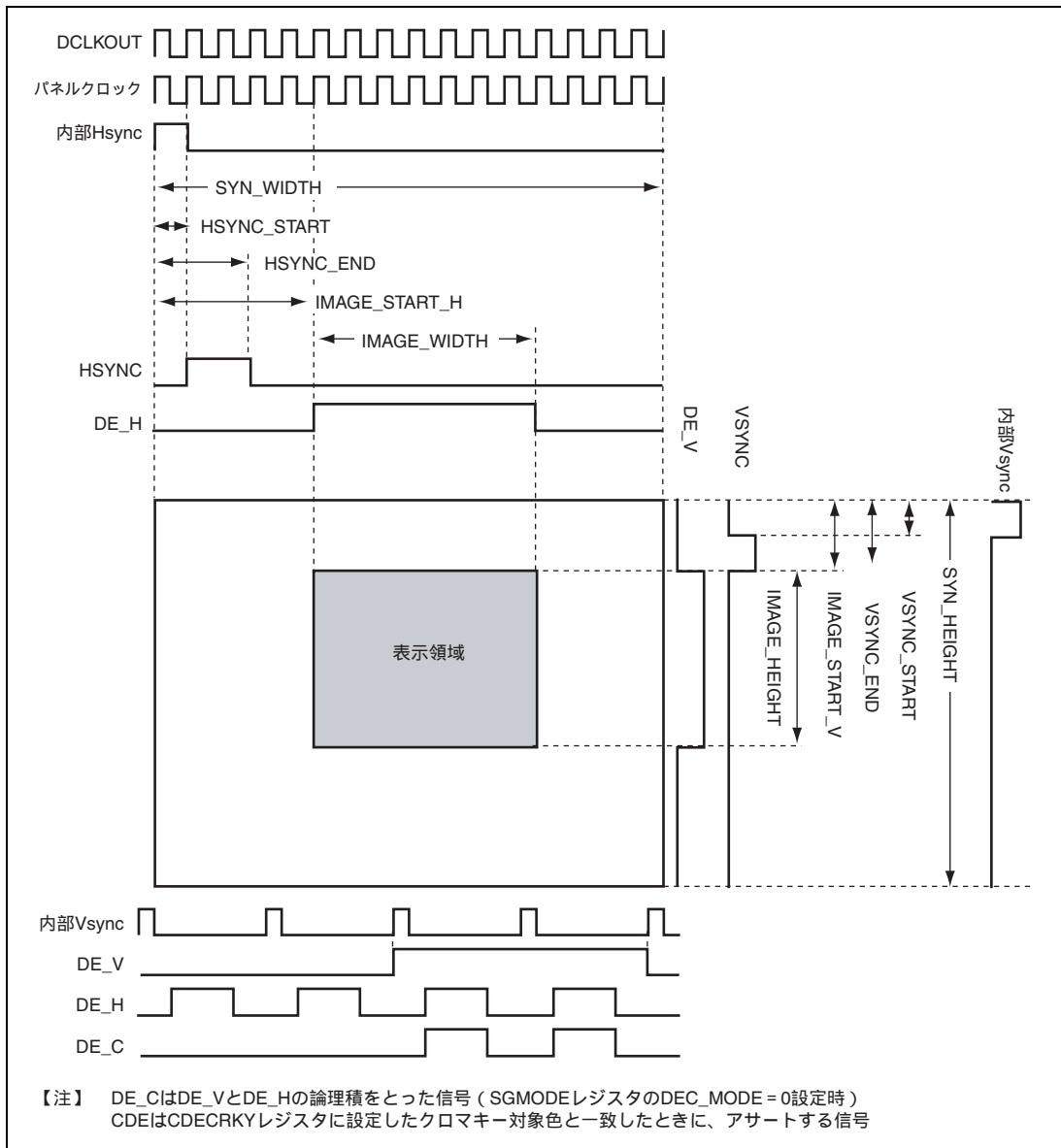


図 24.12 スクリーンフォーマット

24.6.13 SG モード設定レジスタ (SGMODE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	COM_CDE_SEL	CDE_EXE	-	-	DE_SEL	DEC_MODE	-	-	SYNC_SEL	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31	WE	0	R/W	本ビットは、レジスタ値転送許可ビットです*1。1セットによりレジスタ値 (H'FFEB_0000 ~ H'FFEB_0208 レジスタが対象) を転送します。
30~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	COM_CDE_SEL	0	R/W	本ビットは、COM と CDE の出力セレクトビットです。 0 : COM 信号を出力 1 : CDE 信号を出力
8	CDE_EXE	0	R/W	本ビットは、CDE の動作許可ビットです。なお、内部 Vsync 同期にて、更新されます。 0 : CDE 動作不許可 (SYNCNT レジスタの COM_TYPE ビット=0 のとき、常に CDE は"0"出力) 1 : CDE 動作許可
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	DE_SEL	0	R/W	本ビットは、DE_H と DE_C の出力セレクトビットです。 0 : DE_H (水平方向のデータライン) を出力 1 : DE_C (水平、垂直方向のコンポジットデータライン) を出力
4	DEC_MODE	0	R/W	本ビットは、イネーブルのモード選択ビットです。 0 : SGDESTART、SGDESIZE レジスタにて設定したデータラインを出力 1 : グラフィックス部で生成されたデータライン (コンポジット : 各レイヤのデータラインの論理和) を出力*2

ビット	ビット名	初期値	R/W	説明
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SYNC_SEL	0	R/W	本ビットは、同期信号選択ビットです。 0 : 内部の同期信号を使用する 1 : 外部の同期信号を使用する (5 サイクル@パネルクロック内部で遅延します)
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 WE ビットはレジスタ (H'000 ~ H'208) 変更前に 0 クリアしてください。レジスタ値変更後に 1 セットしてください。

*2 DEC_MODE を 1 セット時は、DE_SEL も 1 セットしてください。

24.6.14 割込み出力制御レジスタ (SGINTCNT)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	VSYNC_MASK	-	-	-	VSYNC_STATUS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/WC0

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	VSYNC_MASK	0	R/W	本ビットは、VSYNC 割込みマスクビットです*1。 0 : 割込み許可 1 : 割込みマスク
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	VSYNC_STATUS	1	R/WC0	本ビットは、VSYNC 割込みステータスビットです*2。 0 : 割込み有り 1 : 割込み無し

【注】 *1 割込みマスクを 1 書き込むことにより、割込みステータスはクリアされます。

*2 割込みステータスに 0 書き込むことにより、割込みステータスはクリアされます。

24.6.15 同期信号制御レジスタ (SYNCNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	RGB_TIM	-	-	EX_V_TIM	EX_H_TIM	-	-	VSYNC_TIM	HSYNC_TIM	DEV_TIM	DEH_TIM	DEC_TIM	COM_TIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EX_V_TYPE	EX_H_TYPE	-	-	VSYNC_TYPE	HSYNC_TYPE	DEV_TYPE	DEH_TYPE	DEC_TYPE	COM_TYPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	RGB_TIM	0	R/W	本ビットは、RGB データ出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
27、26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25	EX_V_TIM	0	R/W	本ビットは、外部入力 of VSYNC 入力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期でラッチ 1: パネルクロックの立ち下がり同期でラッチ
24	EX_H_TIM	0	R/W	本ビットは、外部入力 of HSYNC 入力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期でラッチ 1: パネルクロックの立ち下がり同期でラッチ
23、22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	VSYNC_TIM	0	R/W	本ビットは、VSYNC 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
20	HSYNC_TIM	0	R/W	本ビットは、HSYNC 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
19	DEV_TIM	0	R/W	本ビットは、DE_V 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力

ビット	ビット名	初期値	R/W	説明
18	DEH_TIM	0	R/W	本ビットは、DE_H 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
17	DEC_TIM	0	R/W	本ビットは、DE_C 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
16	COM_TIM	0	R/W	本ビットは、COM / CDE 出力タイミング設定ビットです。 0: パネルクロックの立ち上がり同期で出力 1: パネルクロックの立ち下がり同期で出力
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	EX_V_TYPE	0	R/W	本ビットは、外部入力 of VSYNC の反転制御ビットです。 0: 反転なし 1: 反転して入力します。
8	EX_H_TYPE	0	R/W	本ビットは、外部入力 of HSYNC の反転制御ビットです。 0: 反転なし 1: 反転して入力します。
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	VSYNC_TYPE	0	R/W	本ビットは、VSYNC の反転制御ビットです。 0: 反転なし 1: 反転出力
4	HSYNC_TYPE	0	R/W	本ビットは、HSYNC の反転制御ビットです。 0: 反転なし 1: 反転出力
3	DEV_TYPE	0	R/W	本ビットは、DE_V の反転制御ビットです。 0: 反転なし 1: 反転出力
2	DEH_TYPE	0	R/W	本ビットは、DE_H の反転制御ビットです。 0: 反転なし 1: 反転出力
1	DEC_TYPE	0	R/W	本ビットは、DE_C の反転制御ビットです。 0: 反転なし 1: 反転出力
0	COM_TYPE	0	R/W	本ビットは、COM / CDE の反転制御ビットです。 0: 反転なし 1: 反転出力

24.6.16 外部入力同期信号タイミング制御レジスタ (EXTSYNCNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EX_STATUS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	EX_V_DLY	-	-	-	-	EX_H_DLY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	EX_STATUS	0	R	本ビットは、外部入力の VSYNC と HSYNC の位相ステータスビットです。 0: VSYNC と HSYNC の位相が一致しているとき 1: VSYNC と HSYNC の位相がずれているとき
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5, 4	EX_V_DLY [1:0]	H'0	R/W	本ビットは、外部入力の VSYNC を遅延させます[ドットクロック数]。 00: 遅延なし 01: 1 ドットクロック遅延 10: 2 ドットクロック遅延 11: 3 ドットクロック遅延
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	EX_H_DLY [1:0]	H'0	R/W	本ビットは、外部入力の HSYNC を遅延させます[ドットクロック数]。 00: 遅延なし 01: 1 ドットクロック遅延 10: 2 ドットクロック遅延 11: 3 ドットクロック遅延

外部入力同期信号の入力タイミングは VESA 規格対応液晶パネルの水平、垂直同期信号タイミングを想定しています。本レジスタでは、外部入力の同期信号を内部でサンプリングする際の位相の補正を行います。

24.6.17 同期信号サイズレジスタ (SYNSIZE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SYN_HEIGHT[9:0]									
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SYN_WIDTH[10:0]										
初期値:	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	SYN_HEIGHT [9:0]	H'20D	R/W	本ビットは、垂直方向の帰線期間を含む高さを設定します [ライン数]。 初期値: H'20D = 525 ライン
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SYN_WIDTH [10:0]	H'35A	R/W	本ビットは、水平方向の帰線期間を含む幅を設定します [パネルクロック数]。 初期値: H'35A = 858 ドット

24.6.18 垂直同期信号タイミング制御レジスタ (VSYNCCTIM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	VSYNC_START[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	VSYNC_END[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	VSYNC_START [9:0]	H'000	R/W	本ビットは、内部の垂直同期信号から、スクリーンの垂直同期信号(VSYNC)の1セット位置までを設定します [ライン数]。
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	VSYNC_END [9:0]	H'001	R/W	本ビットは、内部の垂直同期信号から、スクリーンの垂直同期信号(VSYNC)の0クリア位置までを設定します [ライン数]。

【注】 VSYNC_START VSYNC_END と設定してください。それ以外の設定を行った場合は、動作保証しません。

24.6.19 水平同期信号タイミング制御レジスタ (HSYNCTIM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	HSYNC_START[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	HSYNC_END[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~16	HSYNC_START [10:0]	H'000	R/W	本ビットは、H'000 設定にて使用ください。内部の水平同期信号から、スクリーンの水平同期信号 (HSYNC) の 1 セット位置までを設定します [パネルクロック数]。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	HSYNC_END [10:0]	H'00A	R/W	本ビットは、内部の水平同期信号から、スクリーンの水平同期信号 (HSYNC) の 0 クリア位置までを設定します [パネルクロック数]。

【注】 HSYNC_START HSYNC_END と設定してください。それ以外の設定を行った場合は、動作保証しません。

24.6.20 ゲート制御信号タイミング制御レジスタ (COMTIM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COM MODE	-	-	-	-	-	COMTIM_V[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	COMTIM_H[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	COM_MODE	0	R/W	本ビットは、ゲート制御信号 (COM) のトグルモードを選択します。 0:1ライン (行) 毎に H L H . . . と反転して出力します。 またフレーム単位で、位相反転します (nフレーム: H L H . . . であれば、n+1 フレーム目: L H L . . . となります)。 1:1フレーム毎に反転します。
30~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	COMTIM_V [9:0]	H'000	R/W	本ビットは、内部の垂直同期信号からゲート制御信号 (COM) のフレーム位置を設定します [ライン数]。0設定時は1ライン目がフレーム位置、1設定時は2ライン目がフレーム位置になります。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	COMTIM_H [10:0]	H'000	R/W	本ビットは、内部の水平同期信号からゲート制御信号 (COM) の水平方向のトグル位置を設定します [パネルクロック数]。

【注】 COMTIM_V は COMTIM_V < SYN_HEIGHT と設定してください。それ以外の設定を行った場合は、動作保証しません。

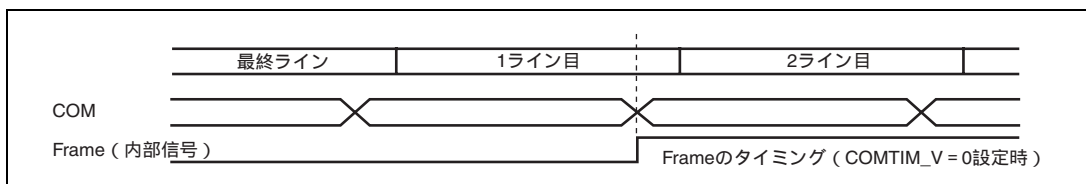


図 24.13 COM 信号 補足説明図

24.6.21 SGDE 領域開始位置レジスタ (SGDESTART)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SGDE_START_V[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SGDE_START_H[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	SGDE_START_V [9:0]	H'000	R/W	本ビットは、内部の垂直同期信号から、DE (データイネーブル) の垂直方向出力開始位置を設定します [ライン数]。 0設定は禁止です。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SGDE_START_H [10:0]	H'000	R/W	本ビットは、内部の水平同期信号から、DE (データイネーブル) の水平方向出力開始位置を設定します [パネルクロック数]。

- 【注】
1. SYN_HEIGHT > SGDE_HEIGHT + SGDE_START_V と設定してください。それ以外の設定を行った場合は、動作保証しません。
 2. SYN_WIDTH > SGDE_WIDTH + SGDE_START_H と設定してください。それ以外の設定を行った場合は、動作保証しません。

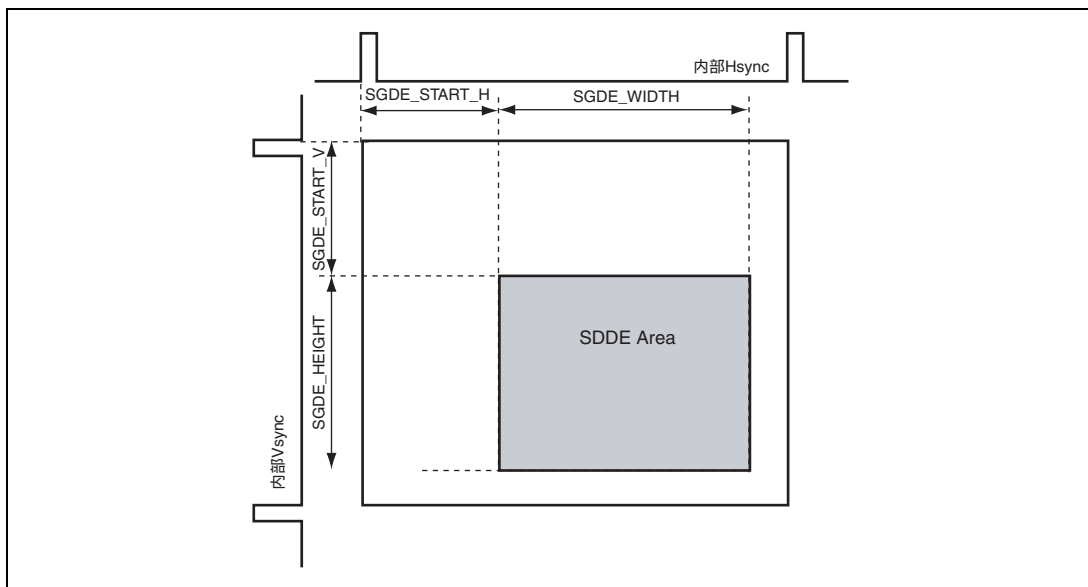


図 24.14 SG 部生成の DE 領域の設定に関する補足図

24.6.22 SGDE 領域サイズレジスタ (SGDESIZE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SGDE_HEIGHT[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SGDE_WIDTH[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	SGDE_HEIGHT [9:0]	H'000	R/W	本ビットは、DE (データイネーブル) の垂直方向の高さを設定します [ライン数]。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SGDE_WIDTH [10:0]	H'000	R/W	本ビットは、DE (データイネーブル) の水平方向の幅を設定します [パネルクロック数]。

24.6.23 CDE クロマ色指定レジスタ (CDECRKY)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDE_R[4:0]				CDE_G[5:0]				CDE_B[4:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~11	CDE_R[4:0]	00000	R/W	本ビットは、CDE 信号用のクロマキー対象 R 値です。
10~5	CDE_G[5:0]	000000	R/W	本ビットは、CDE 信号用のクロマキー対象 G 値です。
4~0	CDE_B[4:0]	00000	R/W	本ビットは、CDE 信号用のクロマキー対象 B 値です。

【注】 グラフィックス画像のオーバーレイ処理後(レイヤ1+2+3+4)の画像データに対して上記の指定色との比較を行いCDE信号を生成します。(各レイヤ単位での処理ではありません。)

24.6.24 T1004 制御レジスタ (T1004CNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	VSYNC_TYPE	HSYNC_TYPE	DEC_TYPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	VSYNC_TYPE	0	R/W	本ビットは、T-1004のVSYNC極性選択ビットです。 0: 正極性 1: 負極性
1	HSYNC_TYPE	0	R/W	本ビットは、T-1004のHSYNC極性選択ビットです。 0: 正極性 1: 負極性
0	DEC_TYPE	0	R/W	本ビットは、T-1004のDE_C(データイネーブル)極性選択ビットです。 0: 正極性 1: 負極性

24.6.25 T1004 映像開始位置レジスタ (T1004OFFSET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	T1004OFFSET_H[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	T1004OFFSET_H [10:0]	0	R/W	本ビットは、映像信号とブランキング期間の水平位相を2ピクセル単位で調整します。設定値を大きくすると、映像が左側にシフトしていきます。最位2ビット(ビット1、0)は0に固定してください。

表 24.10 のレジスタ設定にて、映像を Active Area の左上の角に配置することができます。

表 24.10 T-1004 出力のレジスタ設定例

	レジスタ名	レジスタ値	設定内容
グラフィックス部	GROPDPHV1、2、3、4	H'0026_0072	内部の Vsync に対して、40[ライン]から映像出力内部の Hsync に対して、131[パネルクロック]から映像出力
表示制御部	SYNSIZE	H'020D_35A	垂直同期信号の期間 525[ライン]水平同期信号の期間 858[パネルクロック]
	T1004OFFSET	H'0000_0010	映像信号とブランキング期間の水平位相を調整。 値を H'4 増やす毎に、映像が左に 2 ピクセルシフトします。 値を H'4 減らす毎に、映像が右に 2 ピクセルシフトします。

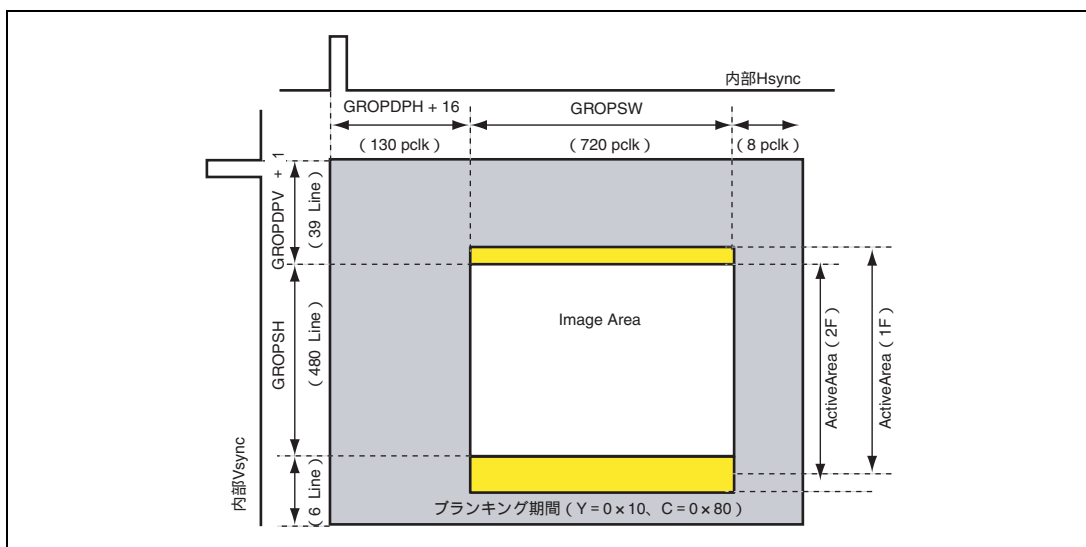


図 24.15 T-1004 出力の映像出力位置

24.7 動作手順

24.7.1 表示制御部

1. レジスタ値転送許可ビットを不許可設定
SGモード設定レジスタのWEビットを0にセットしてください。
2. 表示制御部のレジスタ設定
表24.9に示すレジスタに適切なレジスタ値を設定します。
外部端子の極性を先に設定してください。
3. レジスタ値転送許可ビットを許可設定
SGモード設定レジスタのWEビットを1にセットしてください。

24.7.2 グラフィックス部

1. レジスタ値転送許可ビットを不許可設定
グラフィックス部制御レジスタのWEビットを0にセットしてください。
制御レジスタのWEビットを0にセットしてください。
2. グラフィックス部のレジスタ設定
表24.5～表24.8に示すレジスタに適切なレジスタ値を設定します。
3. レジスタ値転送許可ビットを許可設定
グラフィックス部制御レジスタのWEビットを1にセットしてください。
制御レジスタのWEビットを1にセットしてください。
次のフレーム画面から、設定したレジスタの動作を行います。

24.7.3 バス占有率の計算方法

表示レイヤを増やすことで外部メモリから VDC2 へのデータ転送量が増加し、内部バスの負荷は高くなります。レイヤごとに計算したバス占有率の総和が VDC2 のバス占有率になります。目安としては 40% 以下になるように調整してください。表示処理の許容可能なバス占有率はシステムによって異なりますので、システムに合わせた TFT-LCD パネルの選定、レイヤ構成をご検討ください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示ピクセル数} \times \text{フレームレート (Hz)} \times \text{色数 (bpp)}}{\text{バスクロック} \times \text{バス幅 (= 32bit)}} \times 100$$

計算例) 表示総ピクセル数 = H800 × V480, フレームレート = 60Hz,
色数16bit, オーバーヘッド係数 = 2.00, バスクロック = 108MHz

$$\text{バス占有率} = \frac{2.00 \times 800 \times 480 \times 60 \times 16}{108 \times 10^6 \times 32} \times 100 = 21.3\%$$

25. NAND フラッシュメモリコントローラ (FLCTL)

NAND フラッシュメモリコントローラ (FLCTL) は、NAND 型フラッシュメモリとのメモリインタフェースを提供します。また、FLCTL は、フラッシュメモリ特有の読み出し不具合に対応するための ECC 符号の生成およびエラー検出機能を持ちます。

【注】 フラッシュメモリにおいて、多値 (MLC) の製品が存在しますが、本 LSI では対応していませんので、注意してください。

25.1 特長

(1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの直結が可能なインタフェース

- セクタ (512 + 16バイト) 単位のリードライト。ECC処理を実行します。

NAND型フラッシュメモリのデータシートでは、2048 + 64バイトのアクセス単位をページと表記されている製品もありますが、本書では512 + 16バイトを1セクタとして統一します。

- バイト単位のリードライト

(2) アクセスモード：FLCTL では次の2つのアクセスモードが選択できます。

- コマンドアクセスモード：

本FLCTLからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。これにより、ECC処理をともなわないデータのリードライトおよびイレースが行えます。

- セクタアクセスモード：

物理セクタを指定することで、物理セクタ単位のリードライトを実行します。ECC符号生成 / チェックの制御を行います。セクタ数を指定することで、連続する物理セクタに対するリードライトを実行できます。

(3) セクタと管理コード

- 1セクタは、512バイトのデータと16バイトの管理コードから構成されます。管理コードには、8バイトのECCが含まれます。
- 管理コード内のECCの埋め込まれる位置は、4バイト単位で指定可能です。
- ECC以外の管理コードには、ユーザ情報を書き込むことができます。

(4) ECC

- セクタ (データ: 512バイト + 管理コード: 16バイト) に対し8バイトのECCコードの生成およびエラーチェックを行います。
(ただし、管理コード16バイト中でECCの生成およびエラーチェックの対象となるバイト数は設定により異なります。)
- エラー訂正能力は、任意の3箇所までです。
- 書き込み時、データおよびECCより前の管理コードまでがECC符号生成の対象です。ECCより後の管理コードは、ECCの対象外です。
- 読み出し時、データおよびECCより前の管理コードがECCエラー判定の対象です。また、FIFO内の管理コード上のECCは、フラッシュメモリから読み出されたECCコードではなく、ECC回路による判定結果に置換されています。
- ECCエラー発生時のエラー訂正は行いません。ソフト処理を行ってください。

(5) データエラー時

- プログラム / イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能です。
- リードエラー発生時、管理コード内のECCは0以外になります。その場合、ECCエラー要因フラグに反映されます。
- ECCエラーが発生した場合、エラー訂正を行い、代替セクタを指定し、必要に応じてブロックの内容を代替セクタにコピーしてください。

(6) データ転送用 FIFO とデータレジスタ

- フラッシュメモリのデータ転送用に224バイトのFLDTFIFOを内蔵
- 管理コードのデータ転送用に32バイトのFLECFIFOを内蔵
- CPUおよびDMAからのアクセス時、オーバラン / アンダラン検出フラグビットがあります。

(7) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる領域にデータと管理コードを転送できます。

(8) アクセスサイズ

- レジスタには、32ビットアクセスのレジスタと8ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

(9) アクセスタイム

- 本FLCTLの端子側の動作周波数は、周辺バスの動作周波数とは別に、共通コントロールレジスタ(FLCMNCR)のFCKSELビットとQTSELビットにより指定可能です。
- CPGの設定を変更する場合は、FLCTLをモジュールストップにより停止させた状態で行ってください。
- NAND型フラッシュメモリでは、 $\overline{\text{FRE}}$ 端子、 $\overline{\text{FWE}}$ 端子がCPGで指定した端子側の動作周波数で動作します。セットアップタイムを確保するため接続するメモリの最大動作周波数を超えないように設定してください。
- NAND型フラッシュメモリ端子側の動作クロックFCLKは、周辺バスの動作クロックPckを分周して使用します。

FLCTL のブロックを図 25.1 に示します。

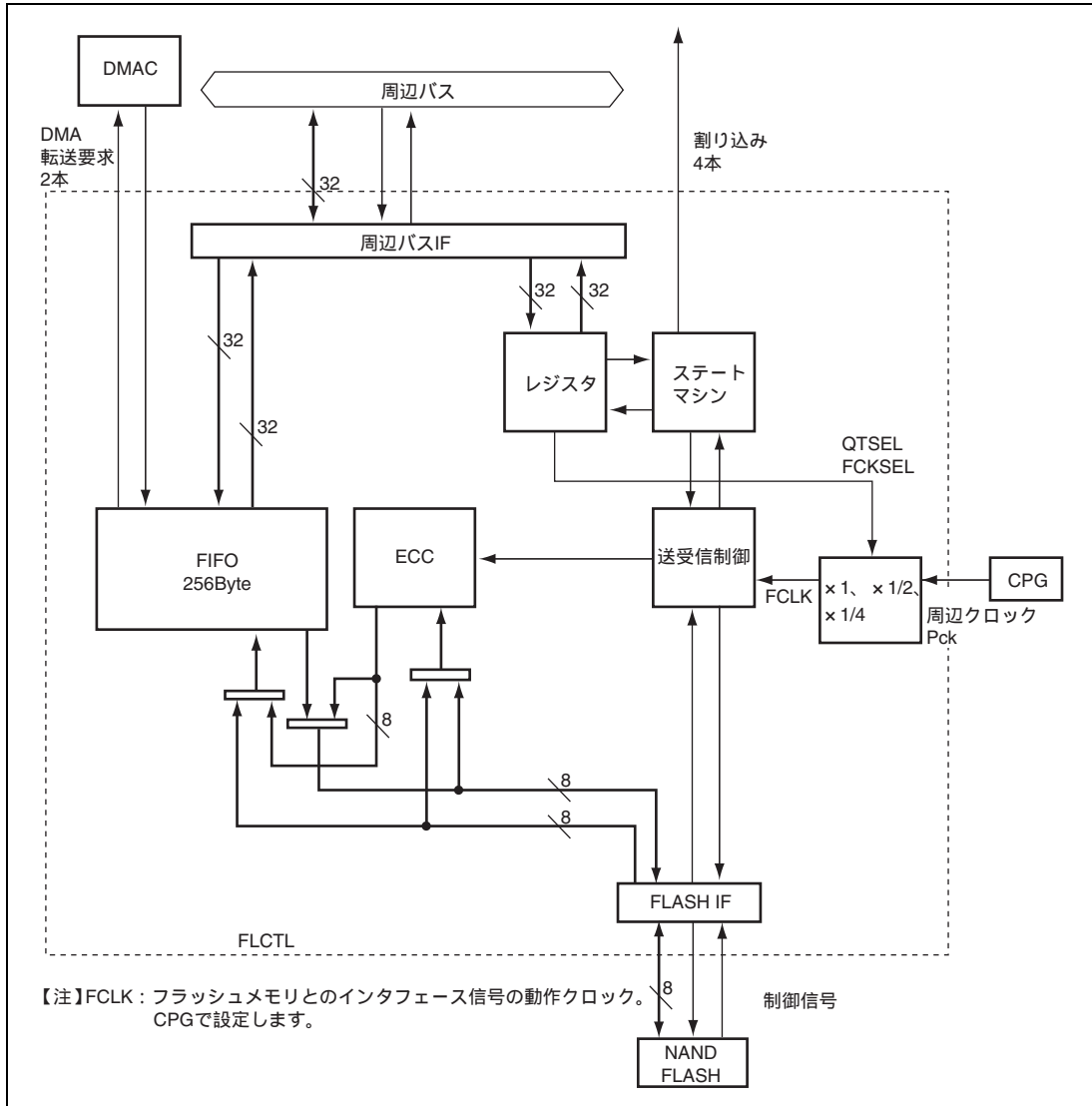


図 25.1 FLCTL のブロック図

25.2 入出力端子

FLCTL の端子構成を表 25.1 に示します。

表 25.1 端子構成

端子名	機能	入出力	対応する フラッシュメモリ の端子 (NAND 型)	説明
FCE	チップイネーブル	出力	\overline{CE}	本 LSI に接続されたフラッシュメモリをイネーブルにします。
FD7 ~ FD0	データ入出力	入出力	I/O7 ~ I/O0	コマンド、アドレス、データの入出力端子です。*
FCLE	コマンドデータ イネーブル	出力	CLE	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。
FALE	アドレスラッチ イネーブル	出力	ALE	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。
\overline{FRE}	リードイネーブル	出力	\overline{RE}	リードイネーブル (\overline{RE}) \overline{RE} の立ち下がりエッジでデータリードします。
\overline{FWE}	ライトイネーブル	出力	\overline{WE}	ライトイネーブル \overline{WE} の立ち上がりエッジでフラッシュメモリがコマ ンド、アドレスおよびデータをラッチします。
FR/ \overline{B}	レディ / ビジー	入力	R/ \overline{B}	レディ / ビジー ハイレベルでレディ状態を、ローレベルでビジー状 態を示します。

【注】 * FD7 ~ FD0 は、それぞれ MODE8、MODE7、MODE5 ~ MODE0 とマルチプレクスされていますが、LSI 内部への動作モード設定取り込みは、 \overline{PRESET} の解除に同期し完了するため、 \overline{PRESET} 解除後は、FD7 ~ FD0 として機能します。動作モード設定取り込みタイミングの詳細については、「34.4.1 クロック・制御信号タイミング」を参照してください。

25.3 レジスタの説明

FLCTL のレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

レジスタ名称	略称	R/W	P4 領域アドレス	エリア7アドレス	アクセスサイズ
共通コントロールレジスタ	FLCMNCR	R/W	H'FFE9 0000	H'1FE9 0000	32
コマンド制御レジスタ	FLCMDCR	R/W	H'FFE9 0004	H'1FE9 0004	32
コマンドコードレジスタ	FLCMCDR	R/W	H'FFE9 0008	H'1FE9 0008	32
アドレスレジスタ	FLADR	R/W	H'FFE9 000C	H'1FE9 000C	32
アドレスレジスタ 2	FLADR2	R/W	H'FFE9 003C	H'1FE9 003C	32
データレジスタ	FLDATAR	R/W	H'FFE9 0010	H'1FE9 0010	32
データカウンタレジスタ	FLDTCNTR	R/W	H'FFE9 0014	H'1FE9 0014	32
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFE9 0018	H'1FE9 0018	32
レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'FFE9 001C	H'1FE9 001C	32
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FFE9 0020	H'1FE9 0020	32
データ FIFO レジスタ	FLDTFIFO	R/W	H'FFE9 0024/ H'FFE9 0050	H'1FE9 0024/ H'1FE9 0050	32
管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFE9 0028/ H'FFE9 0060	H'1FE9 0028/ H'1FE9 0060	32
転送制御レジスタ	FLTRCR	R/W	H'FFE9 002C	H'1FE9 002C	8

表 25.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	スタンバイ	モジュール スタンバイ	スリープ
FLCMNCR	初期化	保持	保持	保持
FLCMDCR	初期化	保持	保持	保持
FLCMCDR	初期化	保持	保持	保持
FLADR	初期化	保持	保持	保持
FLADR2	初期化	保持	保持	保持
FLDATAR	初期化	保持	保持	保持
FLDTCNTR	初期化	保持	保持	保持
FLINTDMACR	初期化	保持	保持	保持
FLBSYTMR	初期化	保持	保持	保持
FLBSYCNT	初期化	保持	保持	保持
FLDTFIFO	初期化	保持	保持	保持
FLECFIFO	初期化	保持	保持	保持
FLTRCR	初期化	保持	保持	保持

25.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ (NAND)、アクセスモードなどを指定します。また、 $\overline{\text{FCE}}$ 端子の出力を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	SNAND	QTSEL	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCKSEL	-	ECCPOS[1:0]	ACM[1:0]	NANDWF	-	-	-	-	-	-	CE0	-	-	TYPESEL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	名称	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1G ビット以上のフラッシュメモリの内、1 ページの構成が 2048 + 64 バイトである NAND フラッシュメモリ指定のために使用します。 0 : 1 ページ構成が 512 + 16 バイトのフラッシュメモリ使用時は 0 に設定してください 1 : 1 ページ構成が 2048 + 64 バイトの NAND 型フラッシュメモリ使用時は 1 に設定してください 【注】TYPESEL = 0 のときは、1 への設定禁止。
17	QTSEL	0	R/W	フラッシュクロック 4 分周選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。FCKSEL とあわせて使用します。 QTSEL=0、FCKSEL=0 : CPG からのクロック (Pck) を 2 分の 1 に分周して FCLK として使用します。 QTSEL=0、FCKSEL=1 : CPG からのクロック (Pck) をそのまま FCLK として使用します。 QTSEL=1、FCKSEL=0 : CPG からのクロック (Pck) を 4 分の 1 に分周して FCLK として使用します。 QTSEL=1、FCKSEL=1 : 設定禁止
16	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	FCKSEL	0	R/W	フラッシュクロック選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。QTSEL とあわせて使用します。QTSEL の説明部を参照して下さい。

ビット	名称	初期値	R/W	説明
14	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	ECCPOS[1:0]	00	R/W	ECC 埋め込み位置指定ビット 1、0 管理コード領域内の ECC の埋め込み位置(0/4/8 バイト目)を指定します。 00: 管理コード領域の0~7バイト目に ECC を配置します 01: 管理コード領域の4~11バイト目に ECC を配置します 10: 管理コード領域の8~15バイト目に ECC を配置します 11: 設定禁止
11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0: アドレス、データの入出力が1FCLK サイクルで行われます 1: アドレス、データの入出力が2FCLK サイクルで行われます*
8~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CEO	0	R/W	チップイネーブルビット 0 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2、1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TYPESEL	0	R/W	メモリ選択ビット 0: リザーブ 1: NAND 型フラッシュメモリを選択します。 FLCTL 使用時は必ずこのビットを1に設定してください。

25.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CDS RC	DOSR	-	-	SEL RW	DOA DR	ADRCNT[1:0]	DOC MD2	DOC MD1		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット アドレスステージで発行するアドレスデータのバイト数を指定します。 ADRCNT[1:0]ビットとあわせて使用します。 0: ADRCNT[1:0]で指定したバイト数だけアドレスを発行します。 1: 5 バイトのアドレスを発行 ADRCNT[1:0]は 00 に設定してください。
30~27	SCTCNT [19:16]	すべて 0	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]と SCTCNT[15:0]はあわせて SCTCNT[19:0]の 20 ビットのカウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。 0: アドレスレジスタの値は物理セクタ番号として処理されます。 セクタアクセス時は通常こちらを使用してください。 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます。 【注】連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージのリード / ライトするデータバッファを指定します。 0: データバッファとして FLDATAR を指定 1: データバッファとして FLDTFIFO を指定

ビット	名称	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23、22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージを実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19、18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット アドレスステージで発行するアドレスデータのバイト数を指定します。 00: 1 バイトのアドレスを発行 01: 2 バイトのアドレスを発行 10: 3 バイトのアドレスを発行 11: 4 バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット[15:0] セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 SCTCNT[19:16]と合わせて使用します。 コマンドアクセスモード時は、動作中 H'0 0001 になります。

25.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD[15:8]								CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD[15:8]	H'00	R/W	第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD[7:0]	H'00	R/W	第 1 コマンドステージに発行するコマンドコードを指定します。

25.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでアドレスとして出力する値を指定します。セクタアクセスモードでは、物理セクタアドレスビットに指定された物理セクタ番号がアドレスに変換され、出力されます。

- コマンドアクセスモード時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:8]								ADR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ADR[31:24]	H'00	R/W	第 4 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR[23:16]	H'00	R/W	第 3 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。

ビット	名称	初期値	R/W	説明
15~8	ADR[15:8]	H'00	R/W	第2アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに2番目に出力されるデータを指定します。
7~0	ADR[7:0]	H'00	R/W	第1アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

• セクタアクセスモード時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ADR[25:16]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~0	ADR[25:0]	H'000 0000	R/W	物理セクタアドレスビット セクタアクセスモードでアクセスする物理セクタ番号を指定します。 物理セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。FLCMDCRのADRCNT2ビットが1のときは、ADR[25:0]、ADRCNT2ビットが0のときはADR[17:0]が有効になります。

25.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、FLCMDCR の ADRCNT2 ビットが 1 のとき有効になります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ADR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ADR[7:0]	すべて 0	R/W	第 5 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

25.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DTCNT[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。

ビット	名称	初期値	R/W	説明
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できません。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048 + 64 バイトまで指定可能です)。

25.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT[31:24]								DT[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT[15:8]								DT[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31 ~ 24	DT[31:24]	H'00	R/W	第 4 データビット FD7 ~ FD0 から 4 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
23 ~ 16	DT[23:16]	H'00	R/W	第 3 データビット FD7 ~ FD0 から 3 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
15 ~ 8	DT[15:8]	H'00	R/W	第 2 データビット FD7 ~ FD0 から 2 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
7 ~ 0	DT[7:0]	H'00	R/W	第 1 データビット FD7 ~ FD0 から 1 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。

25.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可 / 禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	ECERINTE	-	-	FIFOTRG [1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EC ERB	ST ERB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBER INTE	TE INTE	TR INTE1	TR INTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	ECERINTE	0	R/W	ECC エラー割り込み許可ビット 0 : ECC エラー発生時割り込みを禁止します 1 : ECC エラー発生時割り込みを許可します
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	FIFOTRG[1:0]	00	R/W	FIFO トリガ設定ビット FIFO の転送要求発生条件を切り替えます。 フラッシュメモリ読み出し時 00 : FLDTFIFO に 4 バイトたまったとき、CPU に割り込み。もしくは、DMA 転送要求を発生。 01 : FLDTFIFO に 16 バイトたまったとき、CPU に割り込み。もしくは、DMA 転送要求を発生。 10 : FLDTFIFO に 128 バイトたまったときに、CPU に割り込み。もしくは、DMA 転送要求を発生。 11 : FLDTFIFO に 128 バイトたまったときに、CPU に割り込み。もしくは、16 バイトたまったとき、DMA 転送要求を発生。 フラッシュメモリ書き込み時 00 : FLDTFIFO に 4 バイト以上空きがあるとき、CPU に割り込み (DMA 転送設定しないでください)。 01 : FLDTFIFO に 16 バイト以上空きがあるとき、CPU に割り込み / DMA 転送要求を発生。 10 : FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み。(DMA 転送設定しないでください) 11 : FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み。もしくは、16 バイト以上空きがあるとき、DMA 転送要求を発生。

ビット	名称	初期値	R/W	説明
19	AC1CLR	0	R/W	FLECFIFO クリアビット FLECFIFO をクリアします。 0 : FLECFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLECFIFO をクリアします。クリア後は 0 に設定してください。
18	AC0CLR	0	R/W	FLDTFIFO クリアビット データ領域 FLDTFIFO をクリアします。 0 : FLDTFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLDTFIFO の値をクリアします。クリア後は 0 に設定してください。
17	DREQ1EN	0	R/W	FLECFIFODMA リクエストイネーブルビット FLECFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。 0 : FLECFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLECFIFO 領域からの DMA 転送要求発行を許可します
16	DREQ0EN	0	R/W	FLDTFIFODMA リクエストイネーブルビット FLDTFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。 0 : FLDTFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLDTFIFO 領域からの DMA 転送要求発行を許可します
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ECERB	0	R/W	ECC エラービット ECC のエラー検出結果を示します。セクタアクセスモードでフラッシュメモリを読み出した場合、その中の ECC エラーが発生していれば、本ビットに 1 がセットされます。 本ビットが 1 にセットされても割り込みは発生しません。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : ECC エラーなし (取り込んだ ECC がすべて 0 であったことを示します) 1 : ECC エラーが発生したことを示します。
8	STERB	0	R/W	ステータスエラービット ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0] ビットの特定ビットが 1 であれば、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : ステータスエラーなし (FLBSYCNT の STAT[7:0] ビットの特定ビットが 0 であったことを示します) 1 : ステータスエラーが発生したことを示します。 特定ビットに関しては「25.4.6 ステータスリード」を参照してください。

ビット	名称	初期値	R/W	説明
7	BTOERB	0	R/W	<p>タイムアウトエラービット</p> <p>タイムアウトエラーが発生した(FLBSYCNТ の RBTIMCNT[19:0]ビットがカウントダウン後 0 になった) とき、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : タイムアウトエラーなし</p> <p>1 : タイムアウトエラーが発生したことを示します。</p>
6	TRREQF1	0	R/W	<p>FLECFIFO 転送要求フラグビット</p> <p>FLECFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLECFIFO からの転送要求は発生していません</p> <p>1 : FLECFIFO からの転送要求が発生したことを示します</p>
5	TRREQF0	0	R/W	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : FLDTFIFO からの転送要求は発生していません</p> <p>1 : FLDTFIFO からの転送要求が発生したことを示します</p>
4	STERINTE	0	R/W	<p>ステータスエラー発生時の割り込み許可ビット</p> <p>ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : ステータスエラーによる CPU に対する割り込み禁止</p> <p>1 : ステータスエラーによる CPU に対する割り込み許可</p>
3	RBERINTE	0	R/W	<p>タイムアウトエラー発生時の割り込み許可ビット</p> <p>タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : タイムアウトエラーによる CPU に対する割り込み禁止</p> <p>1 : タイムアウトエラーによる CPU に対する割り込み許可</p>
2	TEINTE	0	R/W	<p>転送終了割り込み許可ビット</p> <p>転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : 転送終了による CPU に対する割り込み禁止</p> <p>1 : 転送終了による CPU に対する割り込み許可</p>

ビット	名称	初期値	R/W	説明
1	TRINTE1	0	R/W	CPU への FLECFIFO 転送要求許可ビット FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLECFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブリングしている時は、本ビットを 0 に設定してください。
0	TRINTE0	0	R/W	CPU への FLDTFIFO 転送要求許可ビット FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブリングしている時は、本ビットを 0 に設定してください。

25.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

FR \bar{B} 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBTMOUT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	RBTMOUT[19:0]	H'00000	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を (Pck のクロック数で) 設定します。0 に設定した場合、タイムアウトは発生しません。

25.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FR/B 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]								-	-	-	-	RBTIMCNT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31 ~ 24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23 ~ 20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19 ~ 0	RBTIMCNT[19:0]	H'00000	R	レディビジータイムアウトカウンタビット FR/B 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0]ビットの設定値が本ビットにコピーされます。 その後 FR/B 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

25.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタをデータの転送先 (転送元) に指定してください。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

16 バイト DMA 転送時は、16 バイトアドレス境界のアドレスから FLDTFIFO にアクセスしてください。

本レジスタを使用する場合、FINTDMACR の FIFO クリアビットにより、FIFO の値をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:24]								DTFO[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:8]								DTFO[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	DTFO[31:24]	H'00	R/W	第 1 データビット FD7~FD0 から 1 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
23~16	DTFO[23:16]	H'00	R/W	第 2 データビット FD7~FD0 から 2 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
15~8	DTFO[15:8]	H'00	R/W	第 3 データビット FD7~FD0 から 3 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
7~0	DTFO[7:0]	H'00	R/W	第 4 データビット FD7~FD0 から 4 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。

25.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタを管理コードの転送先 (転送元) に指定してください。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

16 バイト DMA 転送時は、16 バイトアドレス境界のアドレスから FLECFIFO にアクセスしてください。

本レジスタを使用する場合、FINTDMACR の FIFO クリアビットにより、FIFO の値をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:24]								ECFO[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:8]								ECFO[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFO[31:24]	H'00	R/W	第1データビット FD7~FD0 から1番目に入出力されるデータを指定します。 書き込み時:書き込むデータを指定します。 読み出し時:読み出しデータが格納されます。
23~16	ECFO[23:16]	H'00	R/W	第2データビット FD7~FD0 から2番目に入出力されるデータを指定します。 書き込み時:書き込むデータを指定します。 読み出し時:読み出しデータが格納されます。
15~8	ECFO[15:8]	H'00	R/W	第3データビット FD7~FD0 から3番目に入出力されるデータを指定します。 書き込み時:書き込むデータを指定します。 読み出し時:読み出しデータが格納されます。
7~0	ECFO[7:0]	H'00	R/W	第4データビット FD7~FD0 から4番目に入出力されるデータを指定します。 書き込み時:書き込むデータを指定します。 読み出し時:読み出しデータが格納されます。

25.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。転送中 (TRSTRT ビットを 1 にセットしてから TREND ビットに 1 がセットされるまでの間) には強制終了 (TRSTRT ビットを 0 にセット) は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TREND	TRSTRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	名称	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTRT を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。 0 : 転送停止 1 : 転送開始

25.4 動作説明

25.4.1 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。ECC の生成 / エラーチェックは、セクタアクセスモードで実行されます。

25.4.2 レジスタ設定手順

図 25.2 にフラッシュメモリとのアクセスに必要なレジスタ設定フローを示します。

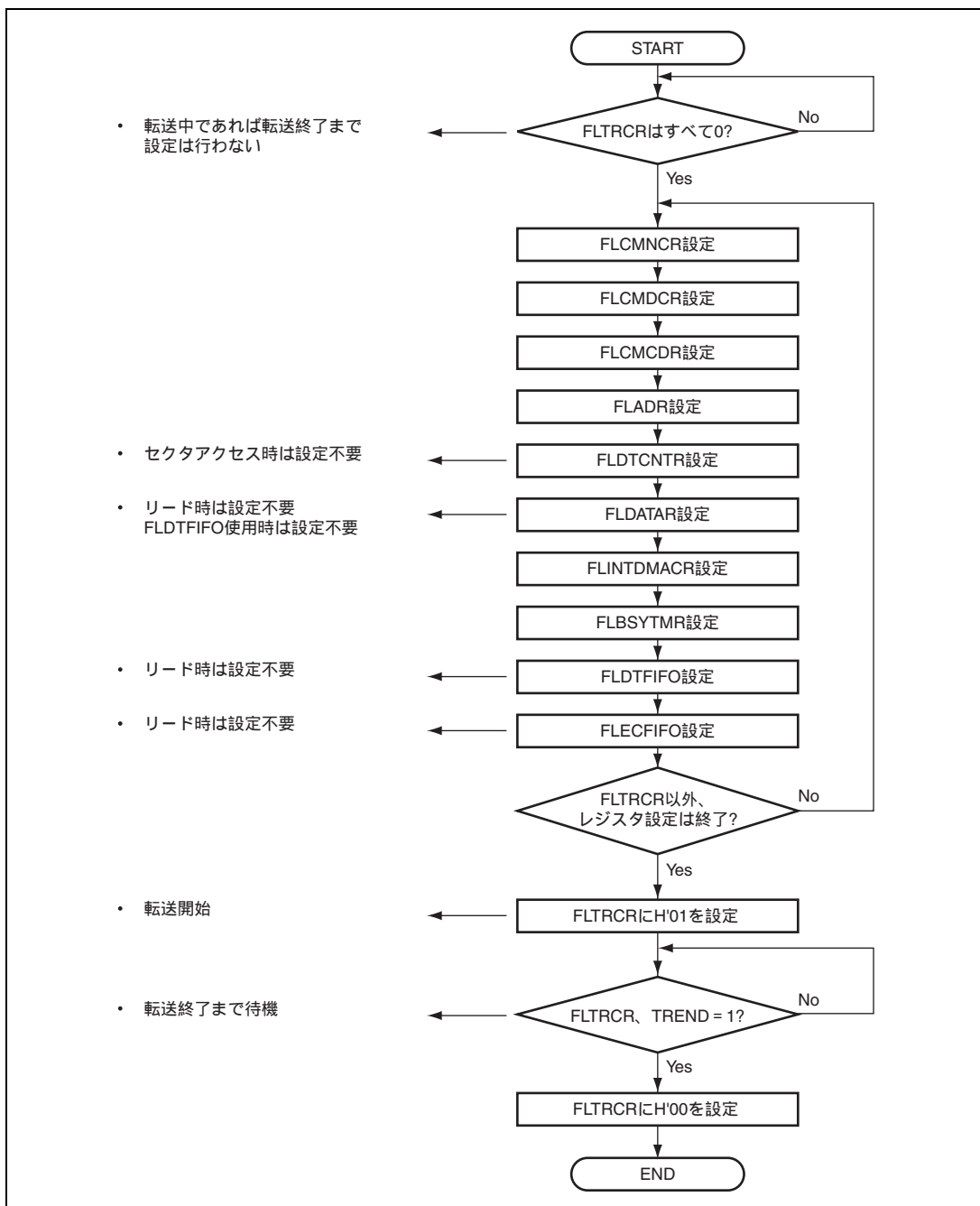


図 25.2 レジスタ設定フロー

25.4.3 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リードライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用い DMA 転送が可能です。

(1) NAND 型フラッシュメモリのアクセス

図 25.3 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

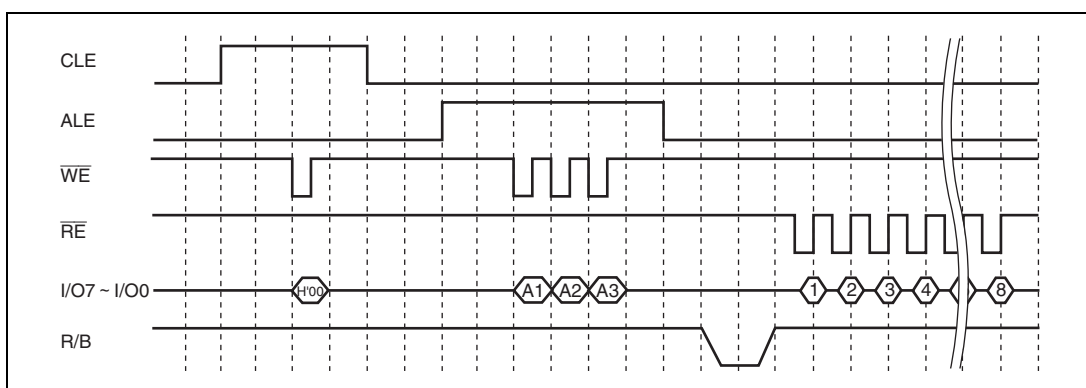


図 25.3 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 25.4、図 25.5 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

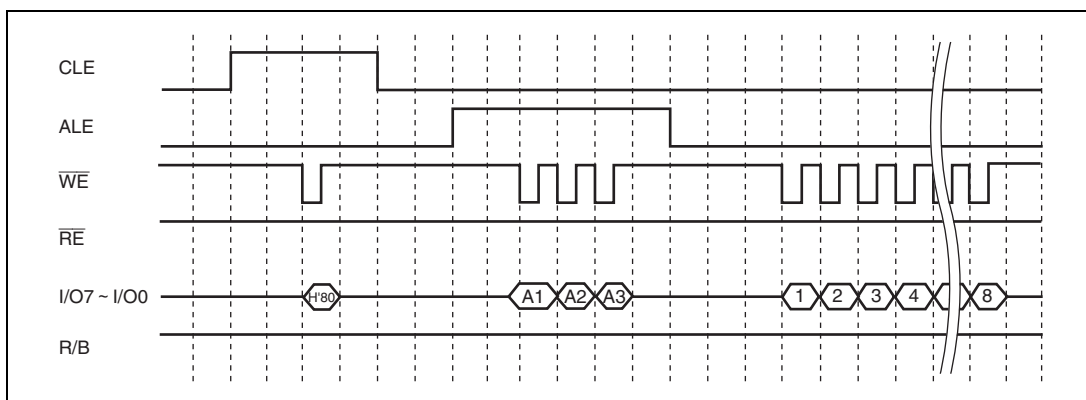


図 25.4 NAND 型フラッシュメモリの書き込み動作タイミング (1)

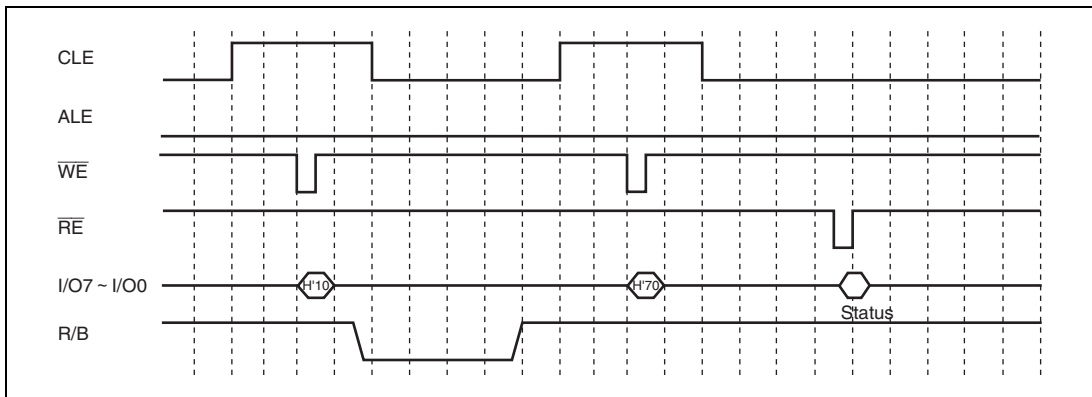


図 25.5 NAND 型フラッシュメモリの書き込み動作タイミング (2)

(2) NAND 型フラッシュメモリ (2048 + 64 バイト) のアクセス

図 25.6 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

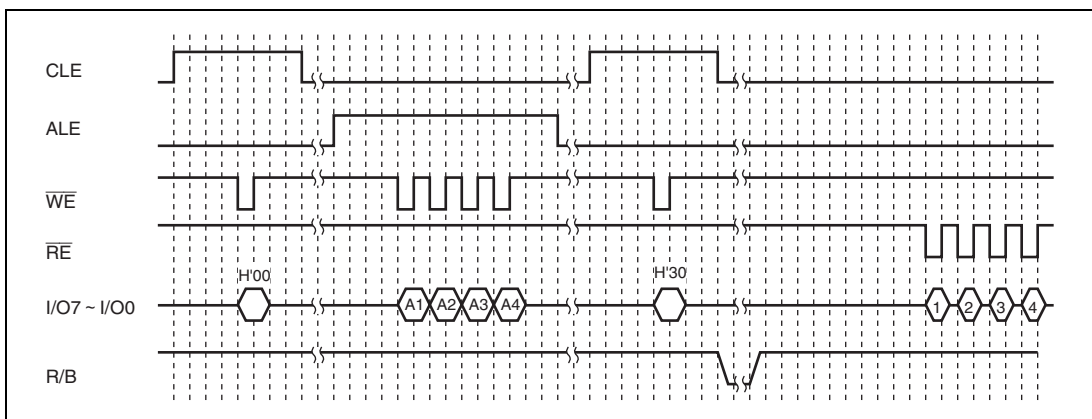


図 25.6 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 25.7、図 25.8 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して書き込み動作を行った場合の波形を示します。

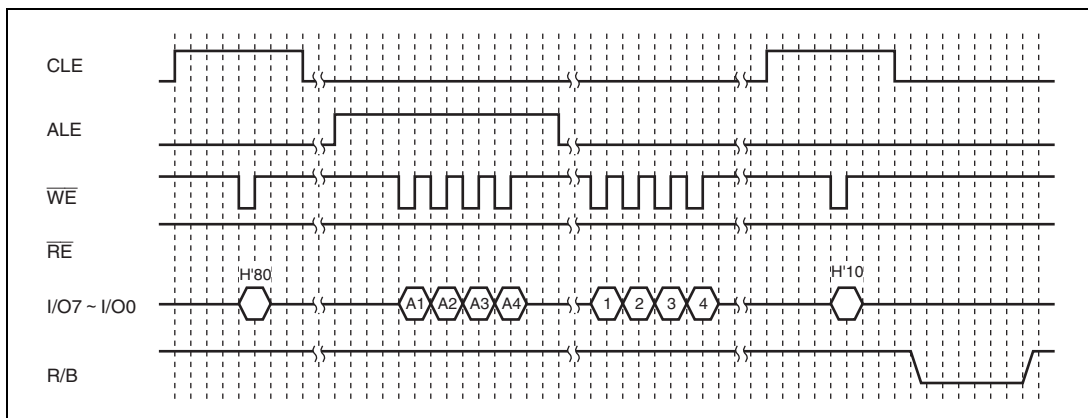


図 25.7 NAND 型フラッシュメモリの書き込み動作タイミング (1)

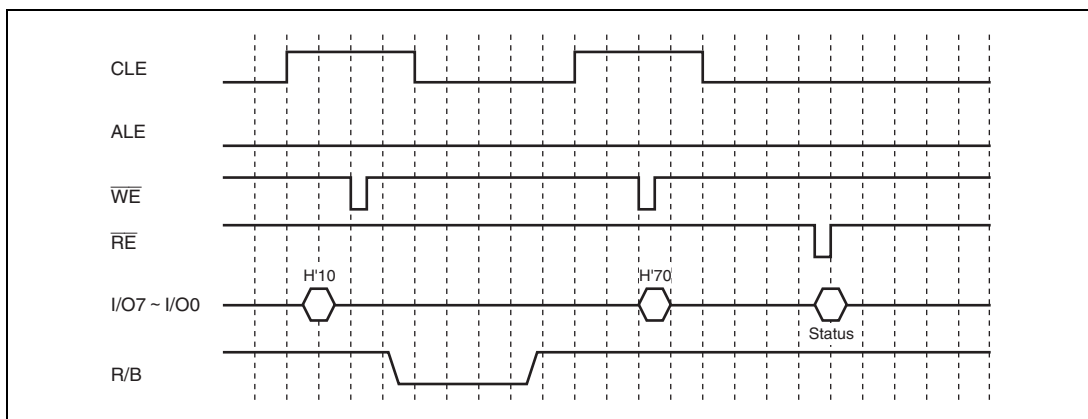


図 25.8 NAND 型フラッシュメモリの書き込み動作タイミング (2)

25.4.4 セクタアクセスモード

セクタアクセスモードでは、アクセスする物理セクタ番号を指定することによりセクタ単位のリードライトが可能です。また書き込み時には ECC 付加、読み出し時には ECC エラーチェック (検出) 処理が実行されます。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ (データ + 管理コード) とアドレス空間上のメモリとの DMA 転送の関係を図 25.9 に示します。

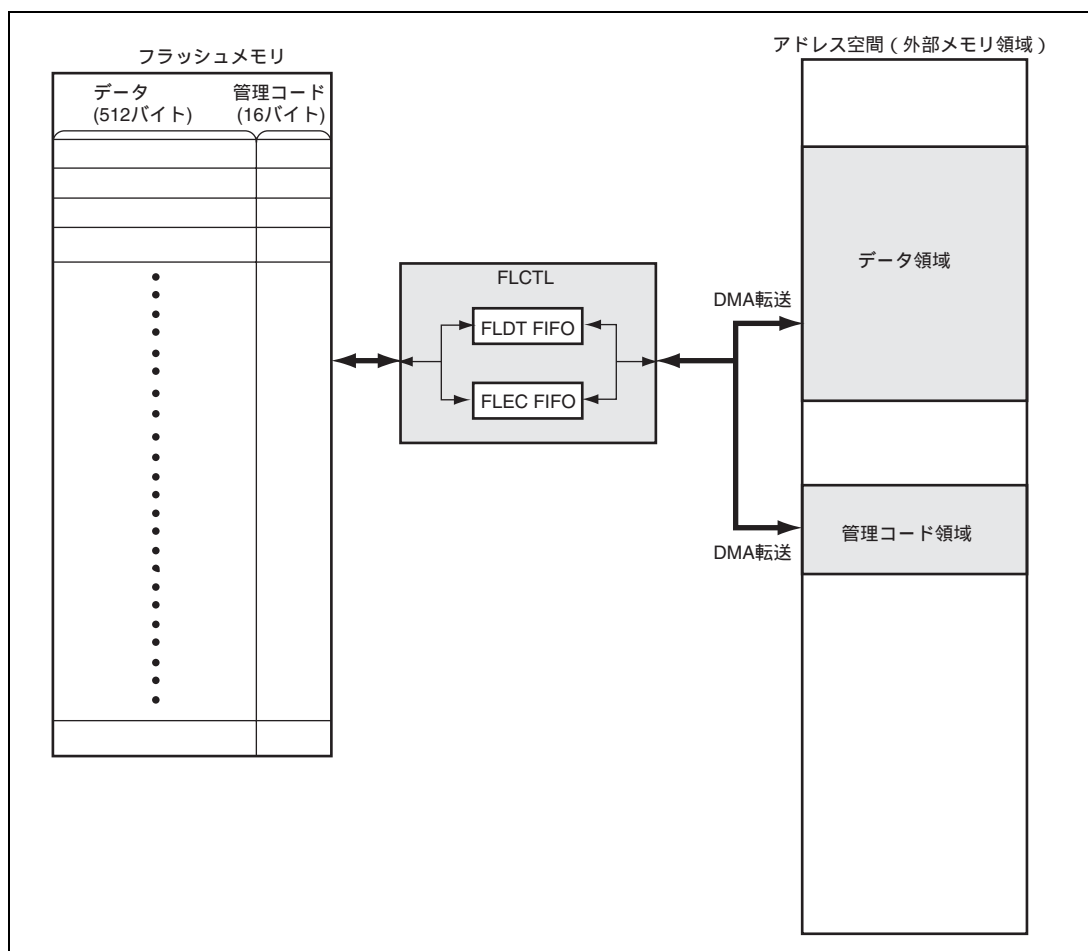


図 25.9 DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図

(1) 物理セクタ

NAND型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図25.10に示します。

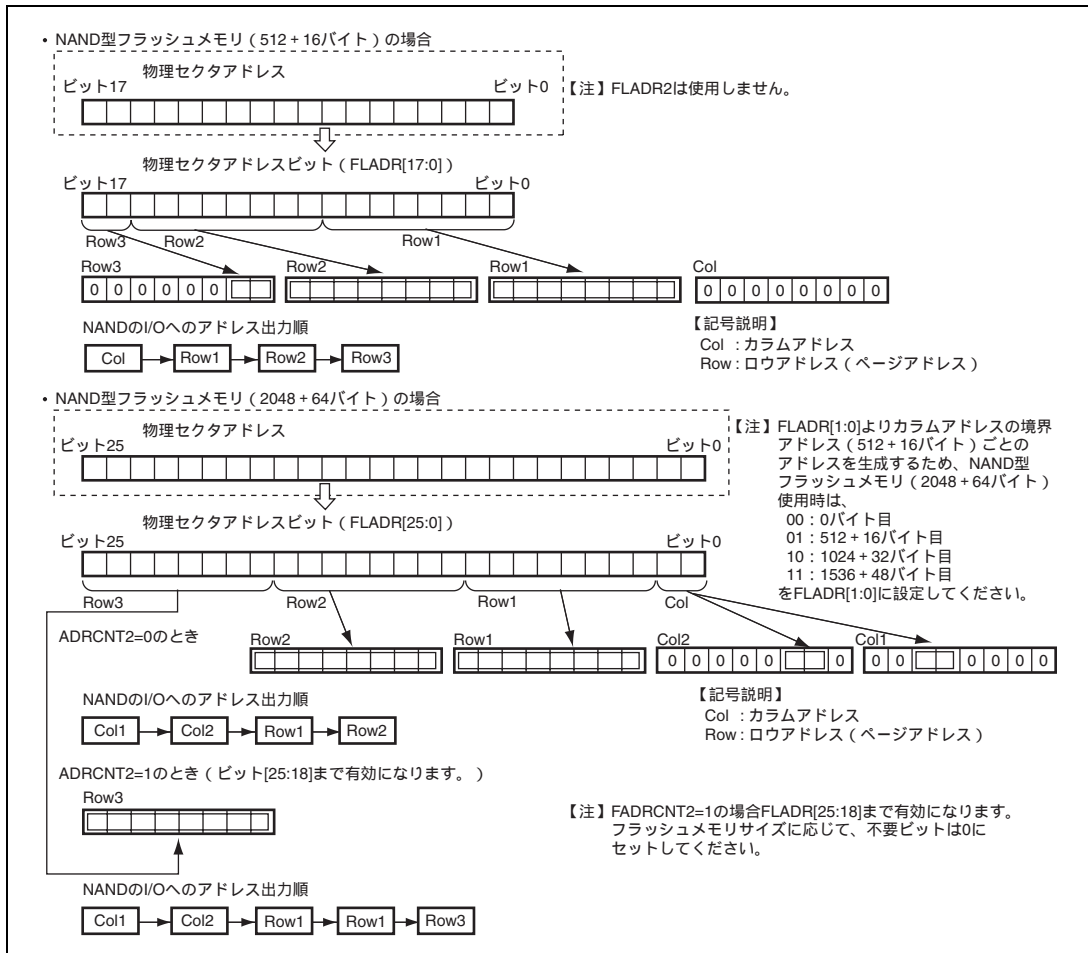


図 25.10 セクタ番号と NAND 型フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭の物理セクタとセクタ転送回数を指定することにより、連続した物理セクタのリードライトが可能になります。途中に不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 25.11 にまとめます。

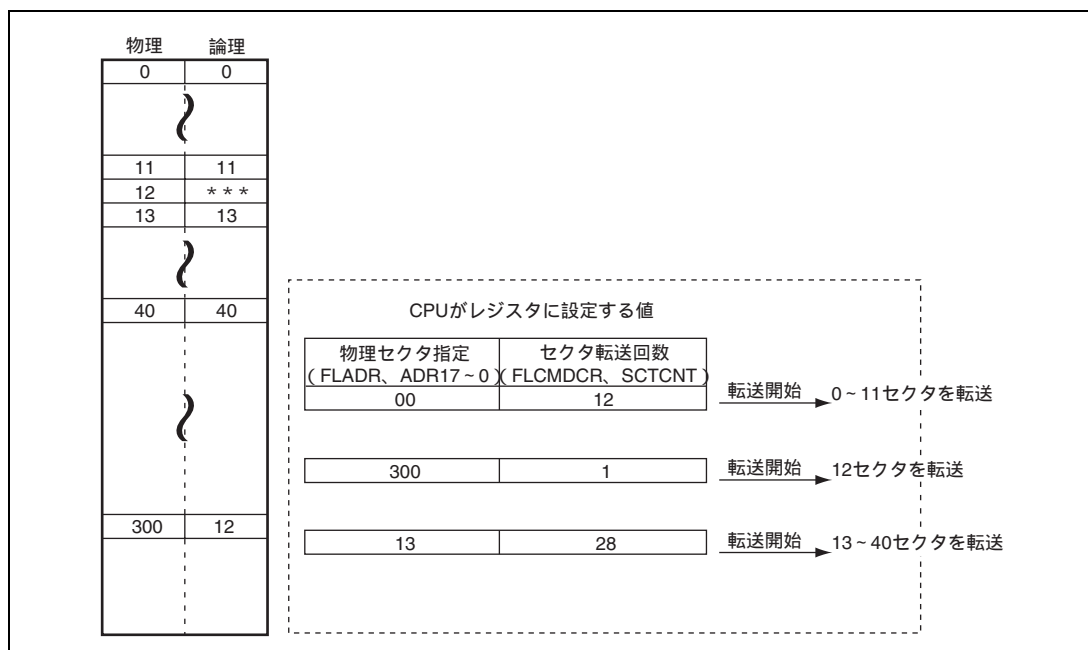


図 25.11 不良セクタがある場合のセクタアクセス例

25.4.5 ECC のエラーの修正

本 FLCTL では、セクタアクセスモードの書き込み時には ECC コードの生成および付加を、読み出し時には ECC エラーチェックを行います。エラー訂正は行いません。

エラー訂正は、ソフト処理で行う必要があります。

25.4.6 ステータスリード

FLCTL は NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。NAND フラッシュメモリのステータスレジスタの値は I/O7~0 から入力され FLBSYCNTR の STAT[7:0] ビットに格納されます。FLBSYCNTR の STAT[7:0] ビットは CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNTR の STAT[7:0] ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7 ~ 0 から入力されるステータスレジスタ各ビットの意味を表 25.4 に示します。

表 25.4 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O5 ~ 1	リザーブ	-
I/O0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

25.5 割り込み処理

FLCTL には 6 種類の割り込み要因 (ステータスエラー、レディ / ビジータイムアウトエラー、ECC エラー、転送終了、FIFO0 転送要求、FIFO1 転送要求) があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、CPU に対し独立した割り込み要求が発生します。ステータスエラーとレディ / ビジータイムアウトエラー、ECC エラーは、CPU に対して共通の FLSTE 割り込みを使用します。

表 25.5 FLCTL の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味	優先順位
FLSTE 割り込み	STERB	STERINTE	ステータスエラー	高 ↑ ↓ 低
	BTOERB	RBERINTE	レディ / ビジータイムアウトエラー	
	ECERB	ECERINTE	ECC エラー	
FLTEND 割り込み	TREND	TEINTE	転送終了	
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求	
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求	

【注】 FIFO0 オーバラン / アンダラン、FIFO1 オーバラン / アンダランエラーにもフラグは存在しますが、CPU に対する割り込みは発生しません。

25.6 DMA 転送の設定

FLCTL はデータ領域 FLDTFIFO と管理コード領域 FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可 / 不可を表 25.6 に示します。

表 25.6 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

DMAC の設定については「第 12 章 ダイレクトメモリアccessコントローラ (DMAC)」を参照してください。

26. サンプリングレートコンバータ (SRC)

サンプリングレートコンバータ (SRC) は、WMA/MP3/AAC などの各種デコーダで生成されたデータのサンプリングレートを変換するモジュールです。

26.1 特長

- データ形式：16ビット (ステレオ/モノラル)
- サンプリングレート
 - 入力：8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
 - 出力：32kHz、44.1kHz、48kHzから選択可能
- 処理性能：1サンプルの出力間隔は最大約10 μ s (周辺バスクロック = 54MHz)
- SNR：93db以上
- 割り込み要因：3種類
 - 入力データFIFOエンプティ、出力データFIFOフル、出力データFIFOオーバライト
- DMA転送要因：2種類
 - 入力データFIFOエンプティ、出力データFIFOフル
- モジュールスタンバイモード
 - 不使用時にSRCへのクロック供給を停止することにより、消費電力の低減が可能

図 26.1 に SRC のブロック図を示します。

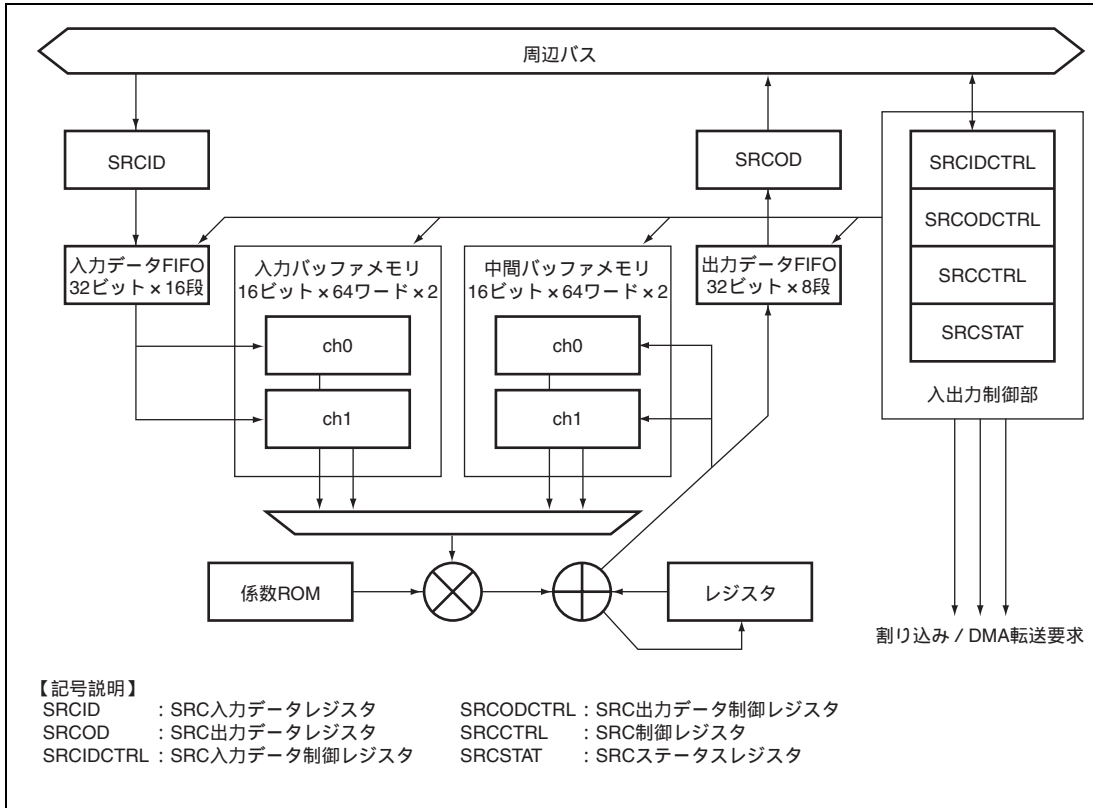


図 26.1 SRC のブロック図

26.2 レジスタの説明

SRC には以下のレジスタがあります。

表 26.1 レジスタ構成

レジスタ名	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
SRC 入力データレジスタ	SRCID	R/W	H'FFF2 0000	H'1FF2 0000	16、32
SRC 出力データレジスタ	SRCOD	R	H'FFF2 0004	H'1FF2 0004	16、32
SRC 入力データ制御レジスタ	SRCIDCTRL	R/W	H'FFF2 0008	H'1FF2 0008	16
SRC 出力データ制御レジスタ	SRCODCTRL	R/W	H'FFF2 000A	H'1FF2 000A	16
SRC 制御レジスタ	SRCCTRL	R/W	H'FFF2 000C	H'1FF2 000C	16
SRC ステータスレジスタ	SRCSTAT	R/(W)*	H'FFF2 000E	H'1FF2 000E	16

【注】 * ビット 15~3 は読み出しのみ可能です。また、ビット 2~0 は 1 を読み出した後の 0 書き込みのみ可能です。ビット 2 については、それをクリアしない場合、常に 1 を書き込んでください。ビット 2~0 への 1 書き込みは、各ビットの値に影響を与えません。

表 26.2 各処理モードにおけるレジスタの状態

レジスタ名	略称	パワーオン リセット	スリープ	スタンバイ
SRC 入力データレジスタ	SRCID	H'0000 0000	保持	保持
SRC 出力データレジスタ	SRCOD	H'0000 0000	保持	保持
SRC 入力データ制御レジスタ	SRCIDCTRL	H'0000	保持	保持
SRC 出力データ制御レジスタ	SRCODCTRL	H'0000	保持	保持
SRC 制御レジスタ	SRCCTRL	H'0000	保持	保持
SRC ステータスレジスタ	SRCSTAT	H'0002	保持	保持

26.2.1 SRC 入力データレジスタ (SRCID)

SRCID は、32 ビットの読み出し / 書き込み可能なレジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、16 段の入力データ FIFO に格納されます。入力データ FIFO のデータ数が 16 のときは、SRCID への書き込みは無効になります。ステレオデータの場合、ビット 31 ~ 16 には ch0 のデータ、ビット 15 ~ 0 には ch1 のデータを格納します。モノラルデータの場合、ビット 31 ~ 16 に格納されたデータが有効となり、ビット 15 ~ 0 に格納されたデータは無効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

変換処理の対象となるデータは、SRCIDCTRL の IED ビットの設定値によりアラインメントが異なります。表 26.3 に SRCIDCTRL の IED ビットの設定値とデータのアラインメントの関係を示します。

表 26.3 変換データのアラインメント

IED	ch0[15:8]	ch0[7:0]	ch1[15:8]	ch1[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

26.2.2 SRC 出力データレジスタ (SRCOD)

SRCOD は、32 ビットの読み出し可能なレジスタで、サンプリングレート変換後のデータの出力に用います。8 段の出力データ FIFO に格納されたデータを SRCOD から読み出すことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

SRCOD の内容は、SRCODCTRL の OCH、OED ビットの設定値によりアラインメントが異なります。表 26.4 に SRCODCTRL の OCH、OED ビットの設定値と SRCOD に格納されるデータのアラインメントの関係を示します。

表 26.4 SRCOD のアラインメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	ch0[15:8]	ch0[7:0]	ch1[15:8]*2	ch1[7:0]*2
	1	ch0[7:0]	ch0[15:8]	ch1[7:0]*2	ch1[15:8]*2
1*1	0	ch1[15:8]	ch1[7:0]	ch0[15:8]	ch0[7:0]
	1	ch1[7:0]	ch1[15:8]	ch0[7:0]	ch0[15:8]

- 【注】 *1 モノラルデータを処理する場合は設定しないでください。
 *2 モノラルデータを処理する場合は無効なデータとなります。
 *3 SRCCTRL レジスタ CL ビットに 1 を書き込んだ後、読み出すと 0 が読み出されます。CL ビットに 1 を書き込む前に読み出すと値は保証されません。

26.2.3 SRC 入力データ制御レジスタ (SRCIDCTRL)

SRCIDCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、入力データのエンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	IED	IEN	-	-	-	-	-	-	-	IFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	IED	0	R/W	入力データエンディアン指定 入力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	IEN	0	R/W	入力データエンプティインタラプトイネーブル 入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、SRC ステータスレジスタ (SRCSTAT) の IINT ビットが 1 にセットされたときに、入力データエンプティ割り込み要求の発生を許可 / 禁止します。 0: 入力データエンプティ割り込み要求を禁止 1: 入力データエンプティ割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	IFTRG[1:0]	00	R/W	入力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の IINT ビットをセットする条件を指定します。入力 FIFO に格納された入力データ数が以下に示す設定トリガ数以下になったとき、IINT ビットは 1 にセットされます。 00: 0 01: 4 10: 8 11: 12

26.2.4 SRC 出力データ制御レジスタ (SRCODCTRL)

SRCODCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、出力データのチャンネル入れ替え、エンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	OCH	OED	OEN	-	-	-	-	-	-	-	OFTRG[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	OCH	0	R/W	出力データチャンネルスワップ SRC 出力データレジスタ (SRCOD) のチャンネル入れ替えを指定します。 モノラルデータを変換する場合は 1 に設定しないでください。 0 : チャンネルを入れ替えない (入力データの順と同じにする) 1 : チャンネルを入れ替える (入力データの順と逆にする)
9	OED	0	R/W	出力データエンディアン指定 出力データのエンディアン形式を指定します。 0 : ビッグエンディアン 1 : リトルエンディアン
8	OEN	0	R/W	出力データフルインタラプトイネーブル 出力 FIFO のデータ数が OFTRG[1:0] ビットで設定されたトリガ数以上になり、SRC ステータスレジスタ (SRCSTAT) の OINT ビットがセットされたときに、出力データフル割り込み要求の発生を許可 / 禁止します。 0 : 出力データフル割り込み要求を禁止 1 : 出力データフル割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	OFTRG[1:0]	00	R/W	出力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の OINT ビットをセットする条件を指定します。出力 FIFO に格納された出力データ数が以下に示す設定トリガ数以上になったとき、OINT ビットは 1 にセットされます。 00 : 1 01 : 2 10 : 4 11 : 6

26.2.5 SRC 制御レジスタ (SRCCTRL)

SRCCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、モジュール動作の許可 / 禁止、割り込み要求の許可 / 禁止、フラッシュ処理、内部ワークメモリのクリア処理、入力および出力サンプリングレートを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SRCEN	-	EEN	FL	CL	IFS[3:0]			-	-	OFS[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明												
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
12	SRCEN	0	R/W	SRC モジュールイネーブル SRC のモジュール動作の許可 / 禁止を設定します。 0 : SRC モジュール動作を禁止 1 : SRC モジュール動作を許可 【注】SRCEN = 1 のときは、下記ビットの設定値を変更しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>SRCIDCTRL</td> <td>9</td> <td>IED</td> </tr> <tr> <td>SRCODCTRL</td> <td>10, 9</td> <td>OCH, OED</td> </tr> <tr> <td>SRCCTRL</td> <td>7~4, 0</td> <td>IFS[3:0], OFS</td> </tr> </tbody> </table>	レジスタ名	ビット	ビット名	SRCIDCTRL	9	IED	SRCODCTRL	10, 9	OCH, OED	SRCCTRL	7~4, 0	IFS[3:0], OFS
レジスタ名	ビット	ビット名														
SRCIDCTRL	9	IED														
SRCODCTRL	10, 9	OCH, OED														
SRCCTRL	7~4, 0	IFS[3:0], OFS														
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
10	EEN	0	R/W	出力 FIFO オーバライトインタラプトイネーブル 出力 FIFO のデータが読み出される前に上書きが発生し、SRC ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされたときに、出力 FIFO オーバライト割り込み要求の発生を許可 / 禁止します。 0 : 出力 FIFO オーバライト割り込み要求を禁止 1 : 出力 FIFO オーバライト割り込み要求を許可												
9	FL	0	R/W	内部ワークメモリフラッシュ 1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間バッファメモリに格納されたすべてのデータに対するサンプリングレート変換の実行 (フラッシュ処理) を開始します。読み出すと常に 0 が読み出されます。SRCEN = 0 のときは、1 を書き込んでもフラッシュ処理を実行しません。 また、入力バッファメモリ内のデータ数が 64 未満の状態では FL ビットに 1 を書き込んだ場合は、有効な出力データが得られないため、フラッシュ処理を実行しません。												

ビット	ビット名	初期値	R/W	説明
8	CL	0	R/W	<p>内部ワークメモリクリア</p> <p>1を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアします。読み出すと常に 0 が読み出されます。</p> <p>SRC 実行前に 1 を書き込んで、SRC 内部をクリアしてください。</p> <p>なお、本ビットを 1 とした後、クリア処理のために周辺バスブロックで 32cyc 待った後、次の処理をしてください。本ビットを 1 とする際、IFS[3:0]、OFS を設定してください。</p>
7~4	IFS[3:0]	0000	R/W	<p>入力サンプリングレート</p> <p>入力サンプリングレートを設定します。</p> <p>0000 : 8.0kHz 0001 : 11.025kHz 0010 : 12.0kHz 0011 : 設定禁止 0100 : 16.0kHz 0101 : 22.05kHz 0110 : 24.0kHz 0111 : 設定禁止 1000 : 32.0kHz 1001 : 44.1kHz 1010 : 48.0kHz 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
3, 2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1, 0	OFS[1:0]	すべて 0	R/W	<p>出力サンプリングレート</p> <p>出力サンプリングレートを設定します。</p> <p>00 : 44.1kHz 01 : 48.0kHz 10 : 32kHz 11 : 設定禁止</p>

変換結果として得られる出力データ数は、以下に示す式(A)または式(B)から求められます。表 26.5 に IFS、OFS[1:0]ビットの設定値と適用される計算式の関係を示します。

$$\text{出力データ数} = \text{入力データ数} \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート}} \quad \dots (A)$$

$$\text{出力データ数} = \text{入力データ数} \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート}} - 1 \quad \dots (B)$$

表 26.5 サンプリングレート設定と出力データ数の関係

OFS[1:0]設定値 (出力サンプリングレート [kHz])	IFS[3:0]設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
00 (44.1)	B	A	A	B	A	A	B	-	A
01 (48.0)	B	B	A	B	B	A	B	B	-
10 (32.0)	A	B	B	A	B	A	-	B	A

26.2.6 SRC ステータスレジスタ (SRCSTAT)

SRCSTAT は、16 ビットの読み出し/書き込み可能なレジスタで、出力 FIFO および入力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFDN[3:0]				IFDN[4:0]				-	-	FLF	-	OVF	IINT	OINT	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】* 1を読み出した後の0書き込みのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	OFDN[3:0]	0000	R	出力 FIFO データカウント 出力 FIFO に格納されたデータの数を示します。
11~7	IFDN[4:0]	00000	R	入力 FIFO データカウント 入力 FIFO に格納されたデータの数を示します。
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FLF	0	R	フラッシュ処理ステータスフラグ フラッシュ処理の実行中であることを示します。 [クリア条件] • フラッシュ処理が終了したとき • SRCCTRL の CL ビットに 1 を書き込んだとき [セット条件] • SRCCTRL の FL ビットに 1 を書き込んだとき
3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OVF	0	R/(W)*	出力 FIFO オーバライト割り込み要求フラグ 出力 FIFO のデータ数が 8 のときに、次のデータの変換処理が終了したことを示します。このとき、SRC 出力データレジスタ (SRCOD) の読み出しによって出力データ FIFO に空きができるまで、変換処理は停止します。 [クリア条件] • OVF = 1 の状態で OVF を読み出し後、OVF に 0 を書き込んだとき (ただし、OVF をクリアしない場合は、常に 1 を書き込んでください。OVF への 1 書き込みは OVF の値に影響を与えません) • SRCCTRL の CL ビットに 1 を書き込んだとき [セット条件] • 出力 FIFO のデータ数が 8 の状態で、次のデータの変換処理が終了したとき

ビット	ビット名	初期値	R/W	説明
1	IINT	1	R/(W)*	<p>入力 FIFO エンプティ割り込み要求フラグ</p> <p>入力 FIFO に格納されたデータ数が SRC 入力データ制御レジスタ (SRCIDCTRL) の IFTRG[1:0]ビットで設定されたトリガ数以下になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IINT = 1 の状態で IINT を読み出した後、IINT に 0 を書き込んだとき • DMA 転送により、入力 FIFO のデータ数が設定されたトリガ数を上回ったとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 入力 FIFO に格納されたデータ数が設定されたトリガ数以下になったとき • SRCCTRL の CL ビットに 1 を書き込んだとき
0	OINT	0	R/(W)*	<p>出力 FIFO フル割り込み要求フラグ</p> <p>出力 FIFO に格納されたデータ数が SRC 出力データ制御レジスタ (SRCODCTRL) の OFTRG[1:0]ビットで設定されたトリガ数以上になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OINT = 1 の状態で OINT を読み出した後、OINT に 0 を書き込んだとき • DMA 転送により、出力 FIFO のデータ数が設定されたトリガ数を下回ったとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 出力 FIFO に格納されたデータ数が設定されたトリガ数以上になったとき

【注】 * 1 を読み出した後の 0 書き込みのみ可能です。

26.3 動作説明

26.3.1 初期設定

図 26.2 に初期設定の手順を示します。

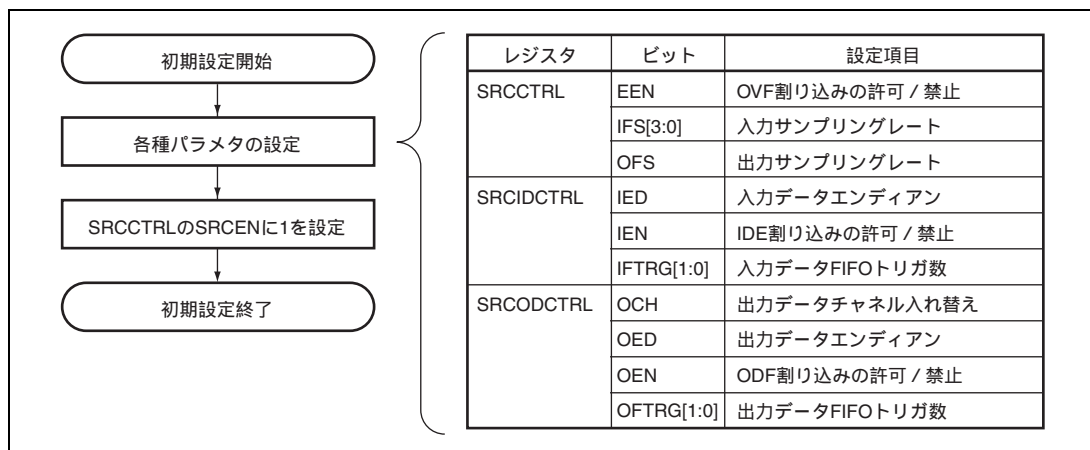


図 26.2 初期設定手順の例

26.3.2 データ入力

図 26.3 にデータ入力の手順を示します。

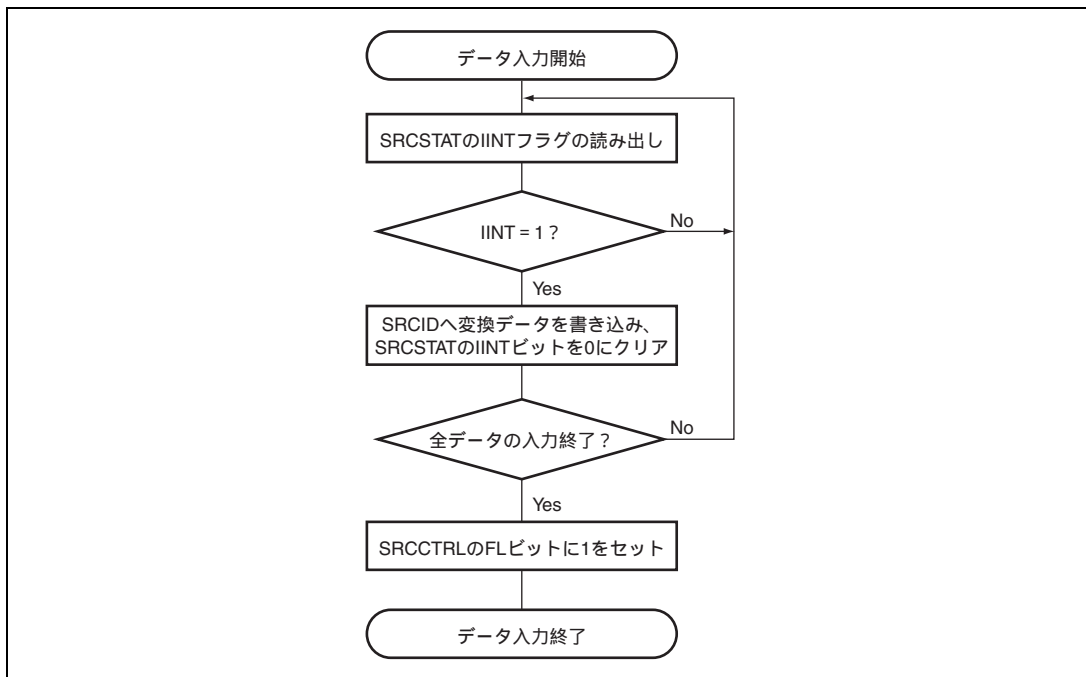


図 26.3 データ入力手順の例

(1) CPU への割り込みを使用する場合

1. SRCIDCTRLのIENビットに1を設定します。
2. 割り込みコントローラの設定をします。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生します。割り込み処理ルーチンで SRCSTATのIINTビットが1であることを読み出した後、SRCIDへデータを書き込み、SRCSTATのIINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
4. 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(2) 割り込みにより DMAC を起動する場合

1. DMACのいずれかのチャンネルをSRCのIDEIに割り当てます。
2. SRCIDCTRLのIENビットに1を設定します。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生し、DMACを起動します。DMA転送により、SRCIDへデータが書き込まれ、入力データFIFOのデータ数がSRCIDCTRLのIFTRG[1:0]ビットで設定したトリガ数を上回ると、SRCSTATのIINTビットがクリアされます。

- 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

26.3.3 データ出力

図 26.4 にデータ出力の手順を示します。

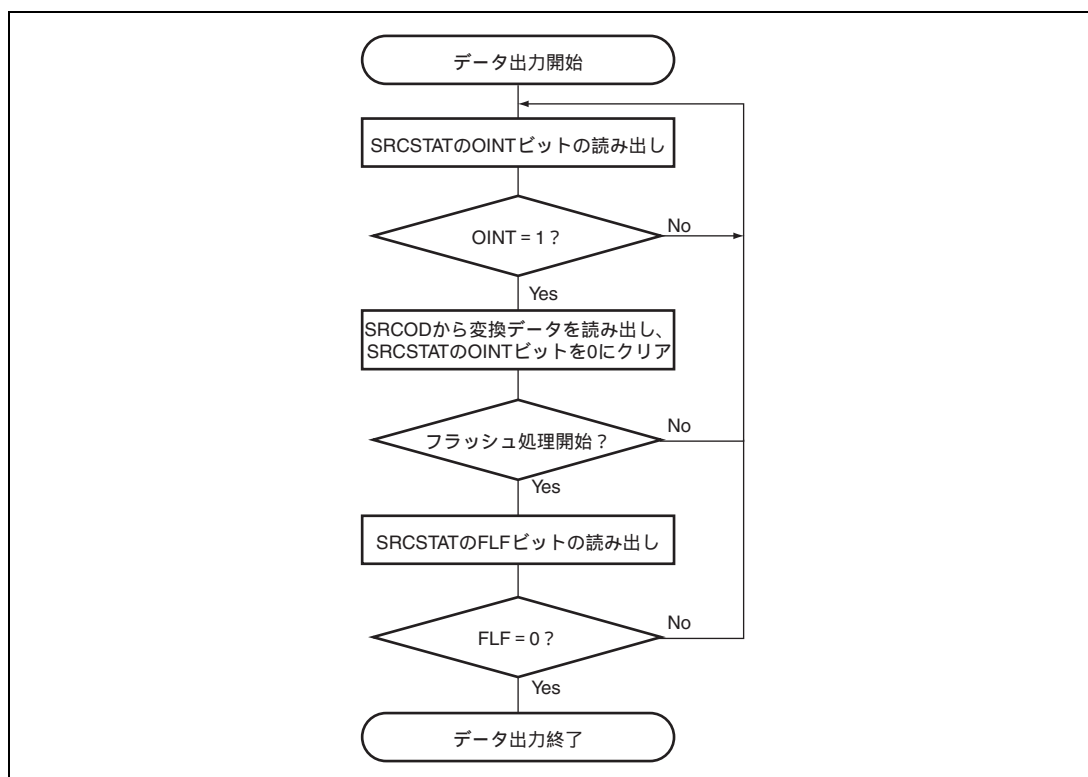


図 26.4 データ出力手順の例

(1) CPU への割り込みを使用する場合

- SRCODCTRLのOENビットに1を設定します。
- 割り込みコントローラの設定をします。
- SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生します。割り込み処理ルーチンでSRCSTATのOINTビットが1であることを読み出した後、SRCODからデータを読み出し、SRCSTATのOINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
- フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

(2) 割り込みにより DMAC を起動する場合

- DMACのいずれかのチャンネルをSRCのODFIに割り当てます。

2. SRCODCTRLのOENビットに1を設定します。
3. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生し、DMACを起動します。DMA転送により、SRCODからデータが読み出され、出力データFIFOのデータ数がSRCODCTRLのOFTRG[1:0]ビットで設定したトリガ数を下回ると、SRCSTATのOINTビットがクリアされます。
4. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

26.4 割り込み

SRCの割り込み要因には、入力FIFOデータエンプティ (IDEI)、出力FIFOデータフル (ODFI)、出力FIFOオーバーライト (OVF) の3種類があります。表 26.6 に割り込みの種類と発生条件を示します。

表 26.6 割り込み要求の種類と発生条件

割り込み要求	略称	発生条件	DMAC 起動
入力データ FIFO エンプティ	IDEI	$(IINT = 1) \cdot (IEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO フル	ODFI	$(OINT = 1) \cdot (OEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO オーバライト	OVF	$(OVF = 1) \cdot (EEN = 1) \cdot (SRCEN = 1)$	不可

割り込み発生条件が成立すると、CPUは割り込み例外処理を実行します。割り込み要因フラグは、割り込み例外処理ルーチン内でクリアしてください。

IDEI 割り込みと ODFI 割り込みは、DMAC の設定により、DMAC を起動することができます。DMA 転送により SRCID にデータが書き込まれ、入力データ FIFO のデータ数が設定トリガ数を上回った場合、IINT はクリアされます。同様に、SRCOD からデータが読み出され、出力データ FIFO のデータ数が設定トリガ数を下回った場合、OINT はクリアされます。

26.5 使用上の注意事項

26.5.1 レジスタアクセス時の注意

SRCCTRL の FL ビットに 1 を書き込んだ場合、SRCSTAT の FLF ビットがセットされるまでに周辺クロック (P) で 3 サイクルかかります。一方、CPU はレジスタ書き込み完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、FLF がセットされた状態を読み出すことはできません。フラッシュ処理の実行状態確認する場合は、SRCCTRL への書き込み命令の後に SRCCTRL または SRCSTAT をダミーリードし、FLF ビットがセットされるのを待ってください。

26.5.2 フラッシュ処理に関する注意

SRC 制御レジスタ (SRCCTRL) の FL ビットに 1 が書き込まれると、SRC はそれまでに入力されたデータの終点以降に 0 データを付加しながら、変換処理を続行します。フラッシュ処理は、オーディオデータの終点となるデータの入力が完了し、後続するデータが存在しない場合に行ってください。

また、フラッシュ処理を実行した後に再度変換処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRL の CL ビットに 1 を書き込む
- SRCCTRL の SRCEN ビットに 0 を書き込んだ後に 1 を書き込む

26.5.3 OVF フラグビットのクリアについて

SRC ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされるタイミングで、CPU による読み出しを行うと、CPU には 0 が返されますが、SRC 内部論理は CPU に 1 を返したと認識することがあります。このため、その後、CPU が本フラグに 0 を書き込むと、1 読み出し後の 0 書き込みの条件が成立し、本フラグが誤ってクリアされることがあります。

これを回避するため、本フラグのクリアを意図しない SRCSTAT への書き込みでは、OVF フラグビットに 1 を書き込んでください (OVF フラグビットへの 1 書き込みはフラグの値に影響を与えません)。本フラグのクリアを意図する SRCSTAT への書き込みのみ、OVF フラグビットに 0 を書き込んでください。

27. 汎用入出力ポート（GPIO）

27.1 特長

本 LSI は 10 組（入出力：77 本）の汎用ポート（ポート A～J）があります。

汎用入出力ポート（GPIO）の各ポートは周辺モジュールの端子とマルチプレクスされており、GPIO、周辺モジュールの選択を行います。

GPIO には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり（ポートA、ポートB）

表 27.1 および表 27.2 に汎用入出力ポート（GPIO）のレジスタで制御されるマルチプレクス端子を示します。

表 27.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	GPIO 割り込み
A	PA7 入出力 (ポート)	STATUS1 出力 (SYSTEM)	RTS2 入出力 (SCIF)	-	-	PINT15 入力 (INTC)
	PA6 入出力 (ポート)	STATUS0 出力 (SYSTEM)	CTS2 入出力 (SCIF)	-	-	PINT14 入力 (INTC)
	PA5 入出力 (ポート)	FCE 出力 (FLCTL)	-	-	-	PINT13 入力 (INTC)
	PA4 入出力 (ポート)	FRE 出力 (FLCTL)	-	-	-	PINT12 入力 (INTC)
	PA3 入出力 (ポート)	FEW 出力 (FLCTL)	-	-	-	PINT11 入力 (INTC)
	PA2 入出力 (ポート)	TxD2 出力 (SCIF)	-	-	-	PINT10 入力 (INTC)
	PA1 入出力 (ポート)	RxD2 入力 (SCIF)	-	-	-	PINT9 入力 (INTC)
	PA0 入出力 (ポート)	SCK2 入出力 (SCIF)	-	-	-	PINT8 入力 (INTC)
B	PB7 入出力 (ポート)	A25 出力 (ADDRESS)	DREQ0 入力 (DMAC)	RTS0 入出力 (SCIF)	-	PINT7 入力 (INTC)
	PB6 入出力 (ポート)	A24 出力 (ADDRESS)	DACK0 出力 (DMAC)	CTS0 入出力 (SCIF)	-	PINT6 入力 (INTC)
	PB5 入出力 (ポート)	A23 出力 (ADDRESS)	DTEND0 出力 (DMAC)	RTS1 入出力 (SCIF)	-	PINT5 入力 (INTC)
	PB4 入出力 (ポート)	A22 出力 (ADDRESS)	CTS1 入出力 (SCIF)	-	-	PINT4 入力 (INTC)
	PB3 入出力 (ポート)	A21 出力 (ADDRESS)	-	-	-	PINT3 入力 (INTC)
	PB2 入出力 (ポート)	A20 出力 (ADDRESS)	-	-	-	PINT2 入力 (INTC)
	PB1 入出力 (ポート)	A19 出力 (ADDRESS)	-	-	-	PINT1 入力 (INTC)
	PB0 入出力 (ポート)	A18 出力 (ADDRESS)	-	-	-	PINT0 入力 (INTC)

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	GPIO 割り込み
C	PC7 入出力 (ポート)	AUDIO_CLK0 入力 (SSI)	-	-	-	-
	PC6 入出力 (ポート)	AUDIO_CLK1 入力 (SSI)	-	-	-	-
	PC5 入出力 (ポート)	AUDIO_CLK2 入力 (SSI)	-	-	-	-
	PC4 入出力 (ポート)	SSIWS2 入出力 (SSI)	-	-	-	-
	PC3 入出力 (ポート)	SSISCK2 入出力 (SSI)	-	-	-	-
	PC2 入出力 (ポート)	SSIDATA2 入出力 (SSI)	-	-	-	-
	PC1 入出力 (ポート)	ASEBRK/ BRKACK 入出力 (AUD)	TCLK 入力 (TMU)	-	-	-
	PC0 入出力 (ポート)	FALE 出力 (FLCTL)	-	-	-	-
D	PD7 入出力 (ポート)	CRS 入力 (EtherC)	IDEA1_M 出力 (ATAPI)	-	-	-
	PD6 入出力 (ポート)	TX_ER 出力 (EtherC)	IDEIOWR_M 出力 (ATAPI)	-	-	-
	PD5 入出力 (ポート)	TX_CLK 入力 (EtherC)	IDED15_M 入出力 (ATAPI)	-	-	-
	PD4 入出力 (ポート)	TX_EN 出力 (EtherC)	IDED0_M 入出力 (ATAPI)	-	-	-
	PD3 入出力 (ポート)	MII_TXD0 出力 (EtherC)	SSISCK5 入出力 (SSI)	IDEIORDY_M 入力 (ATAPI)	-	-
	PD2 入出力 (ポート)	MII_TXD1 出力 (EtherC)	SSIWS5 入出力 (SSI)	IDEIORD_M 出力 (ATAPI)	-	-
	PD1 入出力 (ポート)	MII_TXD2 出力 (EtherC)	AUDIO_CLK5 入力 (SSI)	IDEINT_M 入力 (ATAPI)	-	-
	PD0 入出力 (ポート)	MII_TXD3 出力 (EtherC)	SSIDATA5 入出力 (SSI)	IDACK_M 出力 (ATAPI)	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	GPIO 割り込み
E	PE7 入出力 (ポート)	COL 入力 (EtherC)	IDEA2_M 出力 (ATAPI)	-	-	-
	PE6 入出力 (ポート)	RX_ER 入力 (EtherC)	IODREQ_M 入力 (ATAPI)	-	-	-
	PE5 入出力 (ポート)	RX_CLK 入力 (EtherC)	IDED1_M 入出力 (ATAPI)	-	-	-
	PE4 入出力 (ポート)	RX_DV 入力 (EtherC)	IDED14_M 入出力 (ATAPI)	-	-	-
	PE3 入出力 (ポート)	MII_RXD0 入力 (EtherC)	SSIWS4 入出力 (SSI)	IDED2_M 入出力 (ATAPI)	-	-
	PE2 入出力 (ポート)	MII_RXD1 入力 (EtherC)	SSISCK4 入出力 (SSI)	IDED13_M 入出力 (ATAPI)	-	-
	PE1 入出力 (ポート)	MII_RXD2 入力 (EtherC)	SSIDATA4 入出力 (SSI)	IDED3_M 入出力 (ATAPI)	-	-
	PE0 入出力 (ポート)	MII_RXD3 入力 (EtherC)	AUDIO_CLK4 入力 (SSI)	IDED12_M 入出力 (ATAPI)	-	-
F	PF7 入出力 (ポート)	D32 入出力 (DATA)	-	-	-	-
	PF6 入出力 (ポート)	D33 入出力 (DATA)	-	-	-	-
	PF5 入出力 (ポート)	D34 入出力 (DATA)	-	-	-	-
	PF4 入出力 (ポート)	EXOUT 出力 (EtherC)	IDECS1_M 出力 (ATAPI)	-	-	-
	PF3 入出力 (ポート)	LNKSTA 入力 (EtherC)	IDECS0_M 出力 (ATAPI)	-	-	-
	PF2 入出力 (ポート)	WOL 出力 (EtherC)	IDEA0_M 出力 (ATAPI)	-	-	-
	PF1 入出力 (ポート)	MDIO 入出力 (EtherC)	IDED11_M 入出力 (ATAPI)	-	-	-
	PF0 入出力 (ポート)	MDC 出力 (EtherC)	IDED4_M 入出力 (ATAPI)	-	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	GPIO 割り込み
G	PG7 入出力 (ポート)	LCD_DATA15 出力 (LCDC)	DR3 出力 (VDC2)	-	-	-
	PG6 入出力 (ポート)	LCD_DATA14 出力 (LCDC)	DR2 出力 (VDC2)	-	-	-
	PG5 入出力 (ポート)	LCD_DATA13 出力 (LCDC)	DR1 出力 (VDC2)	-	-	-
	PG4 入出力 (ポート)	LCD_DATA12 出力 (LCDC)	DR0 出力 (VDC2)	-	-	-
	PG3 入出力 (ポート)	LCD_DATA11 出力 (LCDC)	DG5 出力 (VDC2)	-	-	-
	PG2 入出力 (ポート)	LCD_DATA10 出力 (LCDC)	DG4 出力 (VDC2)	-	-	-
	PG1 入出力 (ポート)	LCD_DATA9 出力 (LCDC)	DG3 出力 (VDC2)	-	-	-
	PG0 入出力 (ポート)	LCD_DATA8 出力 (LCDC)	DG2 出力 (VDC2)	-	-	-
H	PH7 入出力 (ポート)	AUDIO_CLK3 入力 (SSI)	-	-	-	-
	PH6 入出力 (ポート)	SSIWS3 入出力 (SSI)	-	-	-	-
	PH5 入出力 (ポート)	SSISCK3 入出力 (SSI)	-	-	-	-
	PH4 入出力 (ポート)	SSIDATA3 入出力 (SSI)	-	-	-	-
	PH3 入出力 (ポート)	LCD_CL2 出力 (LCDC)	DE_V 出力 (VDC2)	-	-	-
	PH2 入出力 (ポート)	LCD_DON 出力 (LCDC)	DCLKOUT 出力 (VDC2)	-	-	-
	PH1 入出力 (ポート)	LCD_VCP_WC 出力 (LCDC)	DR4 出力 (VDC2)	-	-	-
	PH0 入出力 (ポート)	LCD_VEP_WC 出力 (LCDC)	DR5 出力 (VDC2)	-	-	-

ポート	ポートの機能 (関連 モジュール)	その他の機能 1 (関連 モジュール)	その他の機能 2 (関連 モジュール)	その他の機能 3 (関連 モジュール)	その他の機能 4 (関連 モジュール)	GPIO 割り込み
I	PI4 入出力 (ポート)	LCD_DATA7 出力 (LCDC)	DG1 出力 (VDC2)	BT_DATA7 出力 (VDC2)	-	-
	PI3 入出力 (ポート)	LCD_DATA6 出力 (LCDC)	DG0 出力 (VDC2)	BT_DATA6 出力 (VDC2)	-	-
	PI2 入出力 (ポート)	LCD_DATA5 出力 (LCDC)	DB5 出力 (VDC2)	BT_DATA5 出力 (VDC2)	-	-
	PI1 入出力 (ポート)	LCD_DATA4 出力 (LCDC)	DB4 出力 (VDC2)	BT_DATA4 出力 (VDC2)	-	-
	PI0 入出力 (ポート)	PI0 入出力 (ポート)	COM / CDE 出力 (VDC2)	-	-	-
J	PJ7 入出力 (ポート)	PJ7 入出力 (ポート)	-	-	IDED10_M 入出力 (ATAPI)	-
	PJ6 入出力 (ポート)	PJ6 入出力 (ポート)	-	-	IDED5_M 入出力 (ATAPI)	-
	PJ5 入出力 (ポート)	PJ5 入出力 (ポート)	-	-	IDED9_M 入出力 (ATAPI)	-
	PJ4 入出力 (ポート)	PJ4 入出力 (ポート)	-	-	IDED6_M 入出力 (ATAPI)	-
	PJ3 入出力 (ポート)	PJ3 入出力 (ポート)	-	-	IDED7_M 入出力 (ATAPI)	-
	PJ2 入出力 (ポート)	PJ2 入出力 (ポート)	-	-	IDED8_M 入出力 (ATAPI)	-
	PJ1 入出力 (ポート)	PJ1 入出力 (ポート)	-	-	IDERST_M 出力 (ATAPI)	-
	PJ0 入出力 (ポート)	PJ0 入出力 (ポート)	-	-	DIRECTION_M 出力 (ATAPI)	-

【注】 表において、ハッチングの端子がリセット直後から使用できる端子機能です。

表 27.2 ピンセレクトレジスタで制御されるマルチプレクス一覧

レジスタ名	ビット名	端子の機能 1	端子の機能 2	端子の機能 3	端子の機能 4
PTSEL_K	PTSEL_K7[1:0]	WDTOVF 出力 (SYSTEM)	IRQ1 入力 (INT)	AUDCK 出力 (AUD)	DACK1 出力 (DMAC)
	PTSEL_K6[1:0]	SCK0 入出力 (SCIF)	AUDSYNC 出力 (AUD)	FCLE 出力 (FLCTL)	-
	PTSEL_K5	SCK1 入出力 (SCIF)	FR/ \bar{B} 入力 (FLCTL)	-	-
	PTSEL_K4[1:0]	LCD_DATA0 出力 (LCDC)	DB0 出力 (VDC2)	BT_DATA0 出力 (VDC2)	-
	PTSEL_K3[1:0]	LCD_CL1 出力 (LCDC)	HSYNC* 入出力 (VDC2)	BT_HSYNC 出力 (VDC2)	-
	PTSEL_K2[1:0]	LCD_CLK 入力 (LCDC)	DCLKIN 入力 (VDC2)	-	-
	PTSEL_K1[1:0]	LCD_FLM 出力 (LCDC)	VSYNC* 入出力 (VDC2)	BT_VSYNC 出力 (VDC2)	-
	PTSEL_K0[1:0]	LCD_M_DISP 出力 (LCDC)	DE_H/DE_C 出力 (VDC2)	BT_DE_C 出力 (VDC2)	-
PTSEL_P	PTSEL_P11	RXD0 入力 (SCIF)	AUDATA0 出力 (AUD)	-	-
	PTSEL_P10	TXD0 出力 (SCIF)	AUDATA1 出力 (AUD)	-	-
	PTSEL_P9	RXD1 入力 (SCIF)	AUDATA2 出力 (AUD)	-	-
	PTSEL_P8	TXD1 出力 (SCIF)	AUDATA3 出力 (AUD)	-	-
PTSEL_R	PTSEL_R15	D63 入出力 (DATA)	IDED1 入出力 (ATAPI)	-	-
	PTSEL_R14	D62 入出力 (DATA)	IDED0 入出力 (ATAPI)	-	-
	PTSEL_R13	D61 入出力 (DATA)	IDED3 入出力 (ATAPI)	-	-
	PTSEL_R12	D60 入出力 (DATA)	IDED2 入出力 (ATAPI)	-	-
	PTSEL_R11	D59 入出力 (DATA)	IDED5 入出力 (ATAPI)	-	-
	PTSEL_R10	D58 入出力 (DATA)	IDED4 入出力 (ATAPI)	-	-
	PTSEL_R9	D57 入出力 (DATA)	IDED7 入出力 (ATAPI)	-	-

レジスタ名	ビット名	端子の機能 1	端子の機能 2	端子の機能 3	端子の機能 4
PTSEL_R	PTSEL_R8	D56 入出力 (DATA)	IDED6 入出力 (ATAPI)	-	-
	PTSEL_R7	D55 入出力 (DATA)	DIRECTION 出力 (ATAPI)	-	-
	PTSEL_R6	D54 入出力 (DATA)	$\overline{\text{IDERST}}$ 出力 (ATAPI)	-	-
	PTSEL_R5	D53 入出力 (DATA)	IDED8 入出力 (ATAPI)	-	-
	PTSEL_R4	D52 入出力 (DATA)	IDED9 入出力 (ATAPI)	-	-
	PTSEL_R3	D51 入出力 (DATA)	IDED10 入出力 (ATAPI)	-	-
	PTSEL_R2	D50 入出力 (DATA)	IDED11 入出力 (ATAPI)	-	-
	PTSEL_R1	D49 入出力 (DATA)	IDED12 入出力 (ATAPI)	-	-
	PTSEL_R0	D48 入出力 (DATA)	IDED13 入出力 (ATAPI)	-	-
PTSEL_S	PTSEL_S15	IRQ0 入力 (INT)	$\overline{\text{DTEND1}}$ 出力 (DMAC)	-	-
	PTSEL_S14	$\overline{\text{IRQOUT}}$ 出力 (INT)	$\overline{\text{DREQ1}}$ 入力 (DMAC)	-	-
	PTSEL_S13	D47 入出力 (DATA)	$\overline{\text{IDECs0}}$ 出力 (ATAPI)	-	-
	PTSEL_S12	D46 入出力 (DATA)	$\overline{\text{IDECs1}}$ 出力 (ATAPI)	-	-
	PTSEL_S11	D45 入出力 (DATA)	$\overline{\text{IODACK}}$ 出力 (ATAPI)	-	-
	PTSEL_S10	D44 入出力 (DATA)	IDEINT 入力 (ATAPI)	-	-
	PTSEL_S9	D43 入出力 (DATA)	IDEIORDY 入力 (ATAPI)	-	-
	PTSEL_S8	D42 入出力 (DATA)	$\overline{\text{IDEIORD}}$ 出力 (ATAPI)	-	-
	PTSEL_S7	D41 入出力 (DATA)	IODREQ 入力 (ATAPI)	-	-
PTSEL_S6	D40 入出力 (DATA)	$\overline{\text{IDEIOWR}}$ 出力 (ATAPI)	-	-	

レジスタ名	ビット名	端子の機能 1	端子の機能 2	端子の機能 3	端子の機能 4
PTSEL_S	PTSEL_S5	D39 入出力 (DATA)	IDED14 入出力 (ATAPI)	-	-
	PTSEL_S4	D38 入出力 (DATA)	IDED15 入出力 (ATAPI)	-	-
	PTSEL_S3	D37 入出力 (DATA)	IDEA1 出力 (ATAPI)	-	-
	PTSEL_S2	D36 入出力 (DATA)	IDEA2 出力 (ATAPI)	-	-
	PTSEL_S1	D35 入出力 (DATA)	IDEA0 出力 (ATAPI)	-	-

【注】 表において、ハッチングの端子がリセット直後から使用できる端子機能です。

* 本機能は特殊選択レジスタにおいて、入出力機能の切り替えを行っています。

27.2 レジスタの説明

GPIO のレジスタ構成を表 27.3 に示します。また、各処理モードにおけるレジスタの状態を表 27.4 に示します。

表 27.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス* ¹	エリア 7 アドレス* ¹	アクセス サイズ* ²
ポート A コントロールレジスタ	PTIO_A	R/W	H'FFF1 0000	H'1FF1 0000	16
ポート B コントロールレジスタ	PTIO_B	R/W	H'FFF1 0004	H'1FF1 0004	16
ポート C コントロールレジスタ	PTIO_C	R/W	H'FFF1 0008	H'1FF1 0008	16
ポート D コントロールレジスタ	PTIO_D	R/W	H'FFF1 000C	H'1FF1 000C	16
ポート E コントロールレジスタ	PTIO_E	R/W	H'FFF1 0010	H'1FF1 0010	16
ポート F コントロールレジスタ	PTIO_F	R/W	H'FFF1 0014	H'1FF1 0014	16
ポート G コントロールレジスタ	PTIO_G	R/W	H'FFF1 0018	H'1FF1 0018	16
ポート H コントロールレジスタ	PTIO_H	R/W	H'FFF1 001C	H'1FF1 001C	16
ポート I コントロールレジスタ	PTIO_I	R/W	H'FFF1 0020	H'1FF1 0020	16
ポート J コントロールレジスタ	PTIO_J	R/W	H'FFF1 0024	H'1FF1 0024	16
ポート A データレジスタ	PTDAT_A	R/W	H'FFF1 0040	H'1FF1 0040	16
ポート B データレジスタ	PTDAT_B	R/W	H'FFF1 0044	H'1FF1 0044	16
ポート C データレジスタ	PTDAT_C	R/W	H'FFF1 0048	H'1FF1 0048	16
ポート D データレジスタ	PTDAT_D	R/W	H'FFF1 004C	H'1FF1 004C	16
ポート E データレジスタ	PTDAT_E	R/W	H'FFF1 0050	H'1FF1 0050	16
ポート F データレジスタ	PTDAT_F	R/W	H'FFF1 0054	H'1FF1 0054	16
ポート G データレジスタ	PTDAT_G	R/W	H'FFF1 0058	H'1FF1 0058	16
ポート H データレジスタ	PTDAT_H	R/W	H'FFF1 005C	H'1FF1 005C	16
ポート I データレジスタ	PTDAT_I	R/W	H'FFF1 0060	H'1FF1 0060	16
ポート J データレジスタ	PTDAT_J	R/W	H'FFF1 0064	H'1FF1 0064	16
入力端子プルアップ制御レジスタ	PTPUL_SPCL	R/W	H'FFF1 00E0	H'1FF1 00E0	16
ピンセレクトレジスタ A	PTSEL_A	R/W	H'FFF1 0080	H'1FF1 0080	16
ピンセレクトレジスタ B	PTSEL_B	R/W	H'FFF1 0084	H'1FF1 0084	16
ピンセレクトレジスタ C	PTSEL_C	R/W	H'FFF1 0088	H'1FF1 0088	16
ピンセレクトレジスタ D	PTSEL_D	R/W	H'FFF1 008C	H'1FF1 008C	16
ピンセレクトレジスタ E	PTSEL_E	R/W	H'FFF1 0090	H'1FF1 0090	16
ピンセレクトレジスタ F	PTSEL_F	R/W	H'FFF1 0094	H'1FF1 0094	16
ピンセレクトレジスタ G	PTSEL_G	R/W	H'FFF1 0098	H'1FF1 0098	16
ピンセレクトレジスタ H	PTSEL_H	R/W	H'FFF1 009C	H'1FF1 009C	16
ピンセレクトレジスタ I	PTSEL_I	R/W	H'FFF1 00A0	H'1FF1 00A0	16

名 称	略称	R/W	P4 領域 アドレス* ¹	エリア7 アドレス* ¹	アクセス サイズ* ²
ピンセレクトレジスタ J	PTSEL_J	R/W	H'FFF1 00A4	H'1FF1 00A4	16
ピンセレクトレジスタ K	PTSEL_K	R/W	H'FFF1 00A8	H'1FF1 00A8	16
ピンセレクトレジスタ P	PTSEL_P	R/W	H'FFF1 00AC	H'1FF1 00AC	16
ピンセレクトレジスタ R	PTSEL_R	R/W	H'FFF1 00B0	H'1FF1 00B0	16
ピンセレクトレジスタ S	PTSEL_S	R/W	H'FFF1 00B4	H'1FF1 00B4	16
Hi-Z レジスタ A	PTHIZ_A	R/W	H'FFF1 00E8	H'1FF1 00E8	16
Hi-Z レジスタ B	PTHIZ_B	R/W	H'FFF1 00EC	H'1FF1 00EC	16
特殊選択レジスタ	PTSEL_SPCL	R/W	H'FFF1 00F0	H'1FF1 00F0	16

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

*2 レジスタには 16 ビットアクセスのみです。指定されたアクセスサイズでリードライトを行ってください。

表 27.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
ポート A コントロールレジスタ	PTIO_A	H'0000	保持	保持
ポート B コントロールレジスタ	PTIO_B	H'0000	保持	保持
ポート C コントロールレジスタ	PTIO_C	H'0000	保持	保持
ポート D コントロールレジスタ	PTIO_D	H'0000	保持	保持
ポート E コントロールレジスタ	PTIO_E	H'0000	保持	保持
ポート F コントロールレジスタ	PTIO_F	H'0000	保持	保持
ポート G コントロールレジスタ	PTIO_G	H'0000	保持	保持
ポート H コントロールレジスタ	PTIO_H	H'0000	保持	保持
ポート I コントロールレジスタ	PTIO_I	H'0002	保持	保持
ポート J コントロールレジスタ	PTIO_J	H'AAAA	保持	保持
ポート A データレジスタ	PTDAT_A	H'0000	保持	保持
ポート B データレジスタ	PTDAT_B	H'0000	保持	保持
ポート C データレジスタ	PTDAT_C	H'0000	保持	保持
ポート D データレジスタ	PTDAT_D	H'0000	保持	保持
ポート E データレジスタ	PTDAT_E	H'0000	保持	保持
ポート F データレジスタ	PTDAT_F	H'0000	保持	保持
ポート G データレジスタ	PTDAT_G	H'0000	保持	保持
ポート H データレジスタ	PTDAT_H	H'0000	保持	保持
ポート I データレジスタ	PTDAT_I	H'0000	保持	保持
ポート J データレジスタ	PTDAT_J	H'0000	保持	保持
入力端子プルアップ制御レジスタ	PTPUL_SPCL	H'0000	保持	保持
ピンセレクトレジスタ A	PTSEL_A	H'0000	保持	保持

名 称	略称	パワーオン リセット	スリープ	スタンバイ
ピンセレクトレジスタ B	PTSEL_B	H'0000	保持	保持
ピンセレクトレジスタ C	PTSEL_C	H'0000	保持	保持
ピンセレクトレジスタ D	PTSEL_D	H'0000	保持	保持
ピンセレクトレジスタ E	PTSEL_E	H'0000	保持	保持
ピンセレクトレジスタ F	PTSEL_F	H'0000	保持	保持
ピンセレクトレジスタ G	PTSEL_G	H'0000	保持	保持
ピンセレクトレジスタ H	PTSEL_H	H'0000	保持	保持
ピンセレクトレジスタ I	PTSEL_I	H'0000	保持	保持
ピンセレクトレジスタ J	PTSEL_J	H'0000	保持	保持
ピンセレクトレジスタ K	PTSEL_K	H'0000	保持	保持
ピンセレクトレジスタ P	PTSEL_P	H'0000	保持	保持
ピンセレクトレジスタ R	PTSEL_R	H'0000	保持	保持
ピンセレクトレジスタ S	PTSEL_S	H'0000	保持	保持
Hi-Z レジスタ A	PTHIZ_A	H'0000	保持	保持
Hi-Z レジスタ B	PTHIZ_B	H'0000	保持	保持
特殊選択レジスタ	PTSEL_SPCL	H'0000	保持	保持

27.2.1 ポート A コントロールレジスタ (PTIO_A)

PTIO_A は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能をと入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_A7[1:0]		PTIO_A6[1:0]		PTIO_A5[1:0]		PTIO_A4[1:0]		PTIO_A3[1:0]		PTIO_A2[1:0]		PTIO_A1[1:0]		PTIO_A0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTIO_A7[1:0]	00	R/W	PTA7 モード 00: その他の機能 (STATUS1、 $\overline{RTS2}$) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13、12	PTIO_A6[1:0]	00	R/W	PTA6 モード 00: その他の機能 (STATUS0、 $\overline{CTS2}$) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11、10	PTIO_A5[1:0]	00	R/W	PTA5 モード 00: その他の機能 (\overline{FCE}) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9、8	PTIO_A4[1:0]	00	R/W	PTA4 モード 00: その他の機能 (\overline{FRE}) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7、6	PTIO_A3[1:0]	00	R/W	PTA3 モード 00: その他の機能 (\overline{FWE}) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5、4	PTIO_A2[1:0]	00	R/W	PTA2 モード 00: その他の機能 (TxD2) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
3, 2	PTIO_A1[1:0]	00	R/W	PTA1 モード 00 : その他の機能 (RxD2) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1, 0	PTIO_A0[1:0]	00	R/W	PTA0 モード 00 : その他の機能 (SCK2) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.2 ポート B コントロールレジスタ (PTIO_B)

PTIO_B は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_B7[1:0]	PTIO_B6[1:0]	PTIO_B5[1:0]	PTIO_B4[1:0]	PTIO_B3[1:0]	PTIO_B2[1:0]	PTIO_B1[1:0]	PTIO_B0[1:0]								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_B7[1:0]	00	R/W	PTB7 モード 00 : その他の機能 (A25、 $\overline{\text{DREQ0}}$ 、 $\overline{\text{RTS0}}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PTIO_B6[1:0]	00	R/W	PTB6 モード 00 : その他の機能 (A24、 $\overline{\text{DACK0}}$ 、 $\overline{\text{CTS0}}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11, 10	PTIO_B5[1:0]	00	R/W	PTB5 モード 00 : その他の機能 (A23、 $\overline{\text{DTEND0}}$ 、 $\overline{\text{RTS1}}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
9、8	PTIO_B4[1:0]	00	R/W	PTB4 モード 00: その他の機能 (A22、 $\overline{CTS1}$) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7、6	PTIO_B3[1:0]	00	R/W	PTB3 モード 00: その他の機能 (A21) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5、4	PTIO_B2[1:0]	00	R/W	PTB2 モード 00: その他の機能 (A20) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
3、2	PTIO_B1[1:0]	00	R/W	PTB1 モード 00: その他の機能 (A19) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1、0	PTIO_B0[1:0]	00	R/W	PTB0 モード 00: その他の機能 (A18) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

27.2.3 ポート C コントロールレジスタ (PTIO_C)

PTIO_C は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_C7[1:0]		PTIO_C6[1:0]		PTIO_C5[1:0]		PTIO_C4[1:0]		PTIO_C3[1:0]		PTIO_C2[1:0]		PTIO_C1[1:0]		PTIO_C0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_C7[1:0]	00	R/W	PTC7 モード 00: その他の機能 (AUDIO_CLK0) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13, 12	PTIO_C6[1:0]	00	R/W	PTC6 モード 00: その他の機能 (AUDIO_CLK1) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11, 10	PTIO_C5[1:0]	00	R/W	PTC5 モード 00: その他の機能 (AUDIO_CLK2) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9, 8	PTIO_C4[1:0]	00	R/W	PTC4 モード 00: その他の機能 (SSIWS2) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7, 6	PTIO_C3[1:0]	00	R/W	PTC3 モード 00: その他の機能 (SSISCK2) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
5, 4	PTIO_C2[1:0]	00	R/W	PTC2 モード 00 : その他の機能 (SSIDATA2) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3, 2	PTIO_C1[1:0]	00	R/W	PTC1 モード 00 : その他の機能 ($\overline{\text{ASEBRK}} / \text{BRKACK}, \text{TCLK}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1, 0	PTIO_C0[1:0]	00	R/W	PTC0 モード 00 : その他の機能 (FALE) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.4 ポート D コントロールレジスタ (PTIO_D)

PTIO_D は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_D7[1:0]		PTIO_D6[1:0]		PTIO_D5[1:0]		PTIO_D4[1:0]		PTIO_D3[1:0]		PTIO_D2[1:0]		PTIO_D1[1:0]		PTIO_D0[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_D7[1:0]	00	R/W	PTD7 モード 00 : その他の機能 (CRS, IDEA1_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PTIO_D6[1:0]	00	R/W	PTD6 モード 00 : その他の機能 (TX_ER, $\overline{\text{IDEIOWR}}_M$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
11、10	PTIO_D5[1:0]	00	R/W	PTD5 モード 00 : その他の機能 (TX_CLK、IDED15_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9、8	PTIO_D4[1:0]	00	R/W	PTD4 モード 00 : その他の機能 (TX_EN、IDED0_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7、6	PTIO_D3[1:0]	00	R/W	PTD3 モード 00 : その他の機能 (MII_TXD0、SSISCK5、IDEIORDY_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PTIO_D2[1:0]	00	R/W	PTD2 モード 00 : その他の機能 (MII_TXD1、SSIWS5、 <u>IDEIORD_M</u>) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3、2	PTIO_D1[1:0]	00	R/W	PTD1 モード 00 : その他の機能 (MII_TXD2、AUDIO_CLK5、IDEINT_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	PTIO_D0[1:0]	00	R/W	PTD0 モード 00 : その他の機能 (MII_TXD3、SSIDATA5、 <u>IODACK_M</u>) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.5 ポート E コントロールレジスタ (PTIO_E)

PTIO_E は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_E7[1:0]		PTIO_E6[1:0]		PTIO_E5[1:0]		PTIO_E4[1:0]		PTIO_E3[1:0]		PTIO_E2[1:0]		PTIO_E1[1:0]		PTIO_E0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_E7[1:0]	00	R/W	PTE7 モード 00 : その他の機能 (COL、IDEA2_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PTIO_E6[1:0]	00	R/W	PTE6 モード 00 : その他の機能 (RX_ER、IODREQ_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11, 10	PTIO_E5[1:0]	00	R/W	PTE5 モード 00 : その他の機能 (RX_CLK、IDED1_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9, 8	PTIO_E4[1:0]	00	R/W	PTE4 モード 00 : その他の機能 (RX_DV、IDED14_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7, 6	PTIO_E3[1:0]	00	R/W	PTE3 モード 00 : その他の機能 (MII_RXD0、SSIWS4、IDED2_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
5、4	PTIO_E2[1:0]	00	R/W	PTE2 モード 00 : その他の機能 (MII_RXD1、SSISCK4、IDED13_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3、2	PTIO_E1[1:0]	00	R/W	PTE1 モード 00 : その他の機能 (MII_RXD2、SSIDATA4、IDED3_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	PTIO_E0[1:0]	00	R/W	PTE0 モード 00 : その他の機能 (MII_RXD3、AUDIO_CLK4、IDED12_M) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.6 ポート F コントロールレジスタ (PTIO_F)

PTIO_F は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_F7[1:0]		PTIO_F6[1:0]		PTIO_F5[1:0]		PTIO_F4[1:0]		PTIO_F3[1:0]		PTIO_F2[1:0]		PTIO_F1[1:0]		PTIO_F0[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTIO_F7[1:0]	00	R/W	PTF7 モード 00 : その他の機能 (D32) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13、12	PTIO_F6[1:0]	00	R/W	PTF6 モード 00 : その他の機能 (D33) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
11、10	PTIO_F5[1:0]	00	R/W	PTF5 モード 00：その他の機能 (D34) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)
9、8	PTIO_F4[1:0]	00	R/W	PTF4 モード 00：その他の機能 (EXOUT、 <u>IDEC51_M</u>) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)
7、6	PTIO_F3[1:0]	00	R/W	PTF3 モード 00：その他の機能 (LNKSTA、 <u>IDEC50_M</u>) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)
5、4	PTIO_F2[1:0]	00	R/W	PTF2 モード 00：その他の機能 (WOL、IDEA0_M) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)
3、2	PTIO_F1[1:0]	00	R/W	PTF1 モード 00：その他の機能 (MDIO、 <u>IDED11_M</u>) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)
1、0	PTIO_F0[1:0]	00	R/W	PTF0 モード 00：その他の機能 (MDC、 <u>IDED4_M</u>) 01：ポート出力 10：ポート入力 (プルアップ MOS : オフ) 11：ポート入力 (プルアップ MOS : オン)

27.2.7 ポート G コントロールレジスタ (PTIO_G)

PTIO_G は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_G7[1:0]		PTIO_G6[1:0]		PTIO_G5[1:0]		PTIO_G4[1:0]		PTIO_G3[1:0]		PTIO_G2[1:0]		PTIO_G1[1:0]		PTIO_G0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTIO_G7[1:0]	00	R/W	PTG7 モード 00: その他の機能 (LCD_DATA15、DR3) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13、12	PTIO_G6[1:0]	00	R/W	PTG6 モード 00: その他の機能 (LCD_DATA14、DR2) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11、10	PTIO_G5[1:0]	00	R/W	PTG5 モード 00: その他の機能 (LCD_DATA13、DR1) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9、8	PTIO_G4[1:0]	00	R/W	PTG4 モード 00: その他の機能 (LCD_DATA12、DR0) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7、6	PTIO_G3[1:0]	00	R/W	PTG3 モード 00: その他の機能 (LCD_DATA11、DG5) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5、4	PTIO_G2[1:0]	00	R/W	PTG2 モード 00: その他の機能 (LCD_DATA10、DG4) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
3, 2	PTIO_G1[1:0]	00	R/W	PTG1 モード 00 : その他の機能 (LCD_DATA9、DG3) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1, 0	PTIO_G0[1:0]	00	R/W	PTG0 モード 00 : その他の機能 (LCD_DATA8、DG2) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.8 ポート H コントロールレジスタ (PTIO_H)

PTIO_H は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_H7[1:0]	PTIO_H6[1:0]	PTIO_H5[1:0]	PTIO_H4[1:0]	PTIO_H3[1:0]	PTIO_H2[1:0]	PTIO_H1[1:0]	PTIO_H0[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_H7[1:0]	00	R/W	PTH7 モード 00 : その他の機能 (AUDIO_CLK3) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13, 12	PTIO_H6[1:0]	00	R/W	PTH6 モード 00 : その他の機能 (SSIWS3) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11, 10	PTIO_H5[1:0]	00	R/W	PTH5 モード 00 : その他の機能 (SSISCK3) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
9、8	PTIO_H4[1:0]	00	R/W	PTH4 モード 00 : その他の機能 (SSIDATA3) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7、6	PTIO_H3[1:0]	00	R/W	PTH3 モード 00 : その他の機能 (LCD_CL2、DE_V) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5、4	PTIO_H2[1:0]	00	R/W	PTH2 モード 00 : その他の機能 (LCD_DON、DCLKOUT) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3、2	PTIO_H1[1:0]	00	R/W	PTH1 モード 00 : その他の機能 (LCD_VCP_WC、DR4) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	PTIO_H0[1:0]	00	R/W	PTH0 モード 00 : その他の機能 (LCD_VEP_WC、DR5) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

27.2.9 ポートIコントロールレジスタ (PTIO_I)

PTIO_I は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PTIO_I4[1:0]	PTIO_I3[1:0]	PTIO_I2[1:0]	PTIO_I1[1:0]	PTIO_I0[1:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	PTIO_I4[1:0]	00	R/W	PTI4 モード 00: その他の機能 (LCD_DATA7, DG1, BT_DATA7) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7, 6	PTIO_I3[1:0]	00	R/W	PTI3 モード 00: その他の機能 (LCD_DATA6, DG0, BT_DATA6) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5, 4	PTIO_I2[1:0]	00	R/W	PTI2 モード 00: その他の機能 (LCD_DATA5, DB5, BT_DATA5) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
3, 2	PTIO_I1[1:0]	00	R/W	PTI1 モード 00: その他の機能 (LCD_DATA4, DB4, BT_DATA4) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1, 0	PTIO_I0[1:0]	10	R/W	PTI0 モード 00: その他の機能 (COM / CDE) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

27.2.10 ポート J コントロールレジスタ (PTIO_J)

PTIO_J は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTIO_J7[1:0]		PTIO_J6[1:0]		PTIO_J5[1:0]		PTIO_J4[1:0]		PTIO_J3[1:0]		PTIO_J2[1:0]		PTIO_J1[1:0]		PTIO_J0[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTIO_J7[1:0]	10	R/W	PTJ7 モード 00: その他の機能 (IDED10_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13, 12	PTIO_J6[1:0]	10	R/W	PTJ6 モード 00: その他の機能 (IDED5_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11, 10	PTIO_J5[1:0]	10	R/W	PTJ5 モード 00: その他の機能 (IDED9_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9, 8	PTIO_J4[1:0]	10	R/W	PTJ4 モード 00: その他の機能 (IDED6_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7, 6	PTIO_J3[1:0]	10	R/W	PTJ3 モード 00: その他の機能 (IDED7_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
5, 4	PTIO_J2[1:0]	10	R/W	PTJ2 モード 00: その他の機能 (IDED8_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
3, 2	PTIO_J1[1:0]	10	R/W	PTJ1 モード 00: その他の機能 (IDERST_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1, 0	PTIO_J0[1:0]	10	R/W	PTJ0 モード 00: その他の機能 (DIRECTION_M) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

27.2.11 ポート A データレジスタ (PTDAT_A)

PTDAT_A は、読み出し / 書き込み可能な 16 ビットのレジスタでポート A のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_A7	PTDAT_A6	PTDAT_A5	PTDAT_A4	PTDAT_A3	PTDAT_A2	PTDAT_A1	PTDAT_A0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_A7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_A6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_A5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_A4	0	R/W	端子機能が汎用出力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
3	PTDAT_A3	0	R/W	端子機能が汎用出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
2	PTDAT_A2	0	R/W	端子機能が汎用出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
1	PTDAT_A1	0	R/W	端子機能が汎用出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
0	PTDAT_A0	0	R/W	端子機能が汎用出力ポート以外の場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.12 ポート B データレジスタ (PTDAT_B)

PTDAT_B は、読み出し / 書き込み可能な 16 ビットのレジスタでポート B のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_
									B7	B6	B5	B4	B3	B2	B1	B0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_B7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_B6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_B5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_B4	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
3	PTDAT_B3	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
2	PTDAT_B2	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
1	PTDAT_B1	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
0	PTDAT_B0	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.13 ポート C データレジスタ (PTDAT_C)

PTDAT_C は、読み出し / 書き込み可能な 16 ビットのレジスタでポート C のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_	PTDAT_
									C7	C6	C5	C4	C3	C2	C1	C0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_C7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_C6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_C5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_C4	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
3	PTDAT_C3	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
2	PTDAT_C2	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
1	PTDAT_C1	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
0	PTDAT_C0	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.14 ポート D データレジスタ (PTDAT_D)

PTDAT_D は、読み出し / 書き込み可能な 16 ビットのレジスタでポート D のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_D7	PTDAT_D6	PTDAT_D5	PTDAT_D4	PTDAT_D3	PTDAT_D2	PTDAT_D1	PTDAT_D0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_D7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_D6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_D5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_D4	0	R/W	端子機能が汎用入出力ポート以外の入力端子となっている場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
3	PTDAT_D3	0	R/W	
2	PTDAT_D2	0	R/W	
1	PTDAT_D1	0	R/W	
0	PTDAT_D0	0	R/W	端子機能が汎用入出力ポート以外の出力端子となっている場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.15 ポート E データレジスタ (PTDAT_E)

PTDAT_E は、読み出し / 書き込み可能な 16 ビットのレジスタでポート E のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_E7	PTDAT_E6	PTDAT_E5	PTDAT_E4	PTDAT_E3	PTDAT_E2	PTDAT_E1	PTDAT_E0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_E7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_E6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_E5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_E4	0	R/W	端子機能が汎用入出力ポート以外の入力端子となっている場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
3	PTDAT_E3	0	R/W	
2	PTDAT_E2	0	R/W	
1	PTDAT_E1	0	R/W	
0	PTDAT_E0	0	R/W	端子機能が汎用入出力ポート以外の出力端子となっている場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.16 ポート F データレジスタ (PTDAT_F)

PTDAT_F は、読み出し / 書き込み可能な 16 ビットのレジスタでポート F のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_F7	PTDAT_F6	PTDAT_F5	PTDAT_F4	PTDAT_F3	PTDAT_F2	PTDAT_F1	PTDAT_F0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_F7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_F6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_F5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_F4	0	R/W	端子機能が汎用入出力ポート以外の入力端子となっている場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
3	PTDAT_F3	0	R/W	
2	PTDAT_F2	0	R/W	
1	PTDAT_F1	0	R/W	
0	PTDAT_F0	0	R/W	端子機能が汎用入出力ポート以外の出力端子となっている場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.17 ポート G データレジスタ (PTDAT_G)

PTDAT_G は、読み出し / 書き込み可能な 16 ビットのレジスタでポート G のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_G7	PTDAT_G6	PTDAT_G5	PTDAT_G4	PTDAT_G3	PTDAT_G2	PTDAT_G1	PTDAT_G0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_G7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_G6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_G5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_G4	0	R/W	端子機能が汎用入出力ポート以外の入力端子となっている場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
3	PTDAT_G3	0	R/W	
2	PTDAT_G2	0	R/W	
1	PTDAT_G1	0	R/W	
0	PTDAT_G0	0	R/W	端子機能が汎用入出力ポート以外の出力端子となっている場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.18 ポートHデータレジスタ (PTDAT_H)

PTDAT_H は、読み出し / 書き込み可能な 16 ビットのレジスタでポート H のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	PTDAT_H7	PTDAT_H6	PTDAT_H5	PTDAT_H4	PTDAT_H3	PTDAT_H2	PTDAT_H1	PTDAT_H0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_H7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_H6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_H5	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
4	PTDAT_H4	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
3	PTDAT_H3	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。
2	PTDAT_H2	0	R/W	
1	PTDAT_H1	0	R/W	
0	PTDAT_H0	0	R/W	

27.2.19 ポートIデータレジスタ (PTDAT_I)

PTDAT_I は、読み出し / 書き込み可能な 16 ビットのレジスタでポート I のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PTDAT_I4	PTDAT_I3	PTDAT_I2	PTDAT_I1	PTDAT_I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7~5	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PTDAT_I4	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
3	PTDAT_I3	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
2	PTDAT_I2	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
1	PTDAT_I1	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
0	PTDAT_I0	0	R/W	端子機能が汎用入出力ポート以外の場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.20 ポート J データレジスタ (PTDAT_J)

PTDAT_J は、読み出し / 書き込み可能な 16 ビットのレジスタでポート J のデータを格納します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PTDAT_J7	PTDAT_J6	PTDAT_J5	PTDAT_J4	PTDAT_J3	PTDAT_J2	PTDAT_J1	PTDAT_J0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと下位 8 ビットと同じ値が読み出されます。書き込む値は常に 0 にしてください。
7	PTDAT_J7	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PTDAT_J6	0	R/W	端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
5	PTDAT_J5	0	R/W	
4	PTDAT_J4	0	R/W	端子機能が汎用入力ポートの場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。
3	PTDAT_J3	0	R/W	端子機能が汎用入出力ポート以外の入力端子となっている場合には、本レジスタを読み出すと対応する端子の状態が読み出されます。本レジスタへのライトは無効です。
2	PTDAT_J2	0	R/W	
1	PTDAT_J1	0	R/W	
0	PTDAT_J0	0	R/W	端子機能が汎用入出力ポート以外の出力端子となっている場合には、本レジスタを読み出すと不定値が読み出されます。本レジスタへのライトは無効です。

27.2.21 入力端子プルアップ制御レジスタ (PTPUL_SPCL)

PTPUL_SPCL は、読み出し / 書き込み可能な 16 ビットのレジスタです。各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PTPUL_IRQ1	PTPUL_IRQ0	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PTPUL_IRQ1	0	R/W	IRQ1 端子のプルアップ制御を設定できます。 0: IRQ1 端子プルアップオフ 1: IRQ1 端子プルアップオン
13	PTPUL_IRQ0	0	R/W	IRQ0 端子のプルアップ制御を設定できます。 0: IRQ0 端子プルアップオフ 1: IRQ0 端子プルアップオン
12~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.2.22 ピンセレクトレジスタ 0 (PTSEL_A)

PTSEL_A は、読み出し / 書き込み可能な 16 ビットのレジスタでポート A (PA) の「その他の機能」とマルチプレクスしている端子の機能を選択します。「その他の機能」を使用する場合、PSEL0 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_A7[1:0]	PTSEL_A6[1:0]	—	PTSEL_A5	—	PTSEL_A4	—	PTSEL_A3	—	PTSEL_A2	—	PTSEL_A1	—	PTSEL_A0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_A7[1:0]	00	R/W	ポート A (PA7) の機能を選択します。 00: STATUS1 01: $\overline{\text{RTS2}}$ 機能を選択 10: PA7 機能を選択 11: 設定禁止
13、12	PTSEL_A6[1:0]	00	R/W	ポート A (PA6) の機能を選択します。 00: STATUS0 01: $\overline{\text{CTS2}}$ 機能を選択 10: PA6 機能を選択 11: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PTSEL_A5	0	R/W	ポート A (PA5) の機能を選択します。 0: FCE 機能を選択 1: PA5 機能を選択
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PTSEL_A4	0	R/W	ポート A (PA4) の機能を選択します。 0: FRE 機能を選択 1: PA4 機能を選択
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PTSEL_A3	0	R/W	ポート A (PA3) の機能を選択します。 0: FWE 機能を選択 1: PA3 機能を選択
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	PTSEL_A2	0	R/W	ポート A (PA2) の機能を選択します。 0 : TXD2 機能を選択 1 : PA2 機能を選択
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PTSEL_A1	0	R/W	ポート A (PA1) の機能を選択します。 0 : RXD2 機能を選択 1 : PA1 機能を選択
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PTSEL_A0	0	R/W	ポート A (PA0) の機能を選択します。 0 : SCK2 機能を選択 1 : PA0 機能を選択

27.2.23 ピンセレクトレジスタ 1 (PTSEL_B)

PTSEL_B は、読み出し / 書き込み可能な 16 ビットのレジスタでポート B (PB) の「その他の機能」とマルチプレクスしている端子の機能を選択します。「その他の機能」を使用する場合、PTSEL_B を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_B7[1:0]	PTSEL_B6[1:0]	PTSEL_B5[1:0]	PTSEL_B4[1:0]	—	PTSEL_B3	—	PTSEL_B2	—	PTSEL_B1	—	PTSEL_B0				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PTSEL_B7[1:0]	00	R	ポート B (PB7) の機能を選択します。 00: A25 機能を選択 01: PB7 機能を選択 10: $\overline{\text{DREQ0}}$ 機能を選択 11: $\overline{\text{RTS0}}$ 機能を選択
13, 12	PTSEL_B6[1:0]	00	R/W	ポート B (PB6) の機能を選択します。 00: A24 機能を選択 01: PB6 機能を選択 10: $\overline{\text{DACK0}}$ 機能を選択 11: $\overline{\text{CTS0}}$ 機能を選択
11, 10	PTSEL_B5[1:0]	00	R/W	ポート B (PB5) の機能を選択します。 00: A23 機能を選択 01: PB5 機能を選択 10: $\overline{\text{DTEND0}}$ 機能を選択 11: $\overline{\text{RTS1}}$ 機能を選択
9, 8	PTSEL_B4[1:0]	00	R/W	ポート B (PB4) の機能を選択します。 00: A22 機能を選択 01: PB4 機能を選択 10: $\overline{\text{CTS1}}$ 機能を選択 11: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PTSEL_B3	0	R/W	ポート B (PB3) の機能を選択します。 0: A21 機能を選択 1: PB3 機能を選択
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	PTSEL_B2	すべて 0	R/W	ポート B (PB2) の機能を選択します。 0 : A20 機能を選択 1 : PB2 機能を選択
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PTSEL_B1	すべて 0	R/W	ポート B (PB1) の機能を選択します。 0 : A19 機能を選択 1 : PB1 機能を選択
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PTSEL_B0	すべて 0	R/W	ポート B (PB0) の機能を選択します。 0 : A18 機能を選択 1 : PB0 機能を選択

27.2.24 ピンセレクトレジスタ 2 (PTSEL_C)

PTSEL_C は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL_C7	-	PTSEL_C6	-	PTSEL_C5	-	PTSEL_C4	-	PTSEL_C3	-	PTSEL_C2	PTSEL_C[1:0]		-	PTSEL_C0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PTSEL_C7	0	R/W	ポート C (PC7) の機能を選択します。 0 : AUDIO_CLK0 機能を選択 1 : PC7 機能を選択
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PTSEL_C6	0	R/W	ポート C (PC6) の機能を選択します。 0 : AUDIO_CLK1 機能を選択 1 : PC6 機能を選択
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	PTSEL_C5	0	R/W	ポート C (PC5) の機能を選択します。 0 : AUDIO_CLK2 機能を選択 1 : PC5 機能を選択
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PTSEL_C4	0	R/W	ポート C (PC4) の機能を選択します。 0 : SSIWS2 機能を選択 1 : PC4 機能を選択
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PTSEL_C3	0	R/W	ポート C (PC3) の機能を選択します。 0 : SSISCK2 機能を選択 1 : PC3 機能を選択
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PTSEL_C2	0	R/W	ポート C (PC2) の機能を選択します。 0 : SSIDATA2 機能を選択 1 : PC2 機能を選択
3, 2	PTSEL_C1[1:0]	00	R/W	ポート C (PC1) の機能を選択します。 00 : $\overline{ASEBRK}/BRKACK$ 機能を選択 01 : TCLK 機能を選択 10 : PC1 機能を選択 00 : 設定禁止
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PTSEL_C0	0	R/W	ポート C (PC0) の機能を選択します。 0 : FALE 機能を選択 1 : PC0 機能を選択

27.2.25 ピンセレクトレジスタ 3 (PTSEL_D)

PTSEL_D は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_D7[1:0]		PTSEL_D6[1:0]		PTSEL_D5[1:0]		PTSEL_D4[1:0]		PTSEL_D3[1:0]		PTSEL_D2[1:0]		PTSEL_D1[1:0]		PTSEL_D0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_D7[1:0]	00	R/W	ポート D (PD7) の機能を選択します。 00: CRS 機能を選択 01: PD7 機能を選択 10: IDEA1_M 機能を選択 11: 設定禁止
13、12	PTSEL_D6[1:0]	00	R/W	ポート D (PD6) の機能を選択します。 00: TX_ER 機能を選択 01: PD6 機能を選択 10: IDEIOWR_M 機能を選択 11: 設定禁止
11、10	PTSEL_D5[1:0]	00	R/W	ポート D (PD5) の機能を選択します。 00: TX_CLK 機能を選択 01: PD5 機能を選択 10: IDED15_M 機能を選択 11: 設定禁止
9、8	PTSEL_D4[1:0]	00	R/W	ポート D (PD4) の機能を選択します。 00: TX_EN 機能を選択 01: PD4 機能を選択 10: IDED0_M 機能を選択 11: 設定禁止
7、6	PTSEL_D3[1:0]	00	R/W	ポート D (PD3) の機能を選択します。 00: MII_TXD0 機能を選択 01: SSISCK5 機能を選択 10: IDEIORDY_M 機能を選択 11: PD3 機能選択
5、4	PTSEL_D2[1:0]	00	R/W	ポート D (PD2) の機能を選択します。 00: MII_TXD1 機能を選択 01: SSIWS5 機能を選択 10: IDEIORD_M 機能を選択 11: PD2 機能選択

ビット	ビット名	初期値	R/W	説明
3、2	PTSEL_D1[1:0]	00	R/W	ポート D (PD1) の機能を選択します。 00 : MII_TXD2 機能を選択 01 : AUDIO_CLK5 機能を選択 10 : IDEINT_M 機能を選択 11 : PD1 機能選択
1、0	PTSEL_D0[1:0]	00	R/W	ポート D (PD0) の機能を選択します。 00 : MII_TXD3 機能を選択 01 : SSIDATA5 機能を選択 10 : IODACK_M 機能を選択 11 : PD0 機能選択

27.2.26 ピンセレクトレジスタ 4 (PTSEL_E)

PTSEL_E は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_E7[1:0]		PTSEL_E6[1:0]		PTSEL_E5[1:0]		PTSEL_E4[1:0]		PTSEL_E3[1:0]		PTSEL_E2[1:0]		PTSEL_E1[1:0]		PTSEL_E0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_E7[1:0]	00	R/W	ポート E (PE7) の機能を選択します。 00 : COL 機能を選択 01 : PE7 機能を選択 10 : IDEA2_M 機能を選択 11 : 設定禁止
13、12	PTSEL_E6[1:0]	00	R/W	ポート E (PE6) の機能を選択します。 00 : RX_ER 機能を選択 01 : PE6 機能を選択 10 : IODREQ_M 機能を選択 11 : 設定禁止
11、10	PTSEL_E5[1:0]	00	R/W	ポート E (PE5) の機能を選択します。 00 : RX_CLK 機能を選択 01 : PE5 機能を選択 10 : IDDED1_M 機能を選択 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
9、8	PTSEL_E4[1:0]	00	R/W	ポート E (PE4) の機能を選択します。 00 : RX_DV 機能を選択 01 : PE4 機能を選択 10 : IDED14_M 機能を選択 11 : 設定禁止
7、6	PTSEL_E3[1:0]	00	R/W	ポート E (PE3) の機能を選択します。 00 : MII_RXD0 機能を選択 01 : SSIWS4 機能を選択 10 : IDED2_M 機能を選択 11 : PE3 機能を選択
5、4	PTSEL_E2[1:0]	00	R/W	ポート E (PE2) の機能を選択します。 00 : MII_RXD1 機能を選択 01 : SSISCK4 機能を選択 10 : IDED13_M 機能を選択 11 : PE2 機能選択
3、2	PTSEL_E1[1:0]	00	R/W	ポート E (PE1) の機能を選択します。 00 : MII_RXD2 機能を選択 01 : SSIDATA4 機能を選択 10 : IDED3_M 機能を選択 11 : PE1 機能選択
1、0	PTSEL_E0[1:0]	00	R/W	ポート E (PE0) の機能を選択します。 00 : MII_RXD3 機能を選択 01 : AUDIO_CLK4 機能を選択 10 : IDED12_M 機能を選択 11 : PE0 機能選択

27.2.27 ピンセレクトレジスタ 5 (PTSEL_F)

PTSEL_F は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL_F7	-	PTSEL_F6	PTSEL_F5[1:0]	PTSEL_F4[1:0]	PTSEL_F3[1:0]	PTSEL_F2[1:0]	PTSEL_F1[1:0]	PTSEL_F0[1:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	PTSEL_F7	0	R/W	ポート F (PF7) の機能を選択します 0 : D32 機能を選択 1 : PF7 機能を選択
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PTSEL_F6	0	R/W	ポート F (PF6) の機能を選択します 0 : D33 機能を選択 1 : PF6 機能を選択
11、10	PTSEL_F5[1:0]	00	R/W	ポート F (PF5) の機能を選択します。 00 : D34 機能を選択 01 : PF5 機能を選択 10 : 設定禁止 11 : 設定禁止
9、8	PTSEL_F4[1:0]	00	R/W	ポート F (PF4) の機能を選択します。 00 : EXOUT 機能を選択 01 : PF4 機能を選択 10 : IDECS1_M 機能を選択 11 : 設定禁止
7、6	PTSEL_F3[1:0]	00	R/W	ポート F (PF3) の機能を選択します。 00 : LNKSTA 機能を選択 01 : PF3 機能を選択 10 : IDECS0_M 機能を選択 11 : 設定禁止
5、4	PTSEL_F2[1:0]	00	R/W	ポート F (PF2) の機能を選択します。 00 : WOL 機能を選択 01 : PF2 機能を選択 10 : IDEA0_M 機能を選択 11 : 設定禁止
3、2	PTSEL_F1[1:0]	00	R/W	ポート F (PF1) の機能を選択します。 00 : MDIO 機能を選択 01 : PF1 機能を選択 10 : IDED11_M 機能を選択 11 : 設定禁止
1、0	PTSEL_F0[1:0]	00	R/W	ポート F (PF0) の機能を選択します。 00 : MDC 機能を選択 01 : PF0 機能を選択 10 : IDED4_M 機能を選択 11 : 設定禁止

27.2.28 ピンセレクトレジスタ 6 (PTSEL_G)

PTSEL_G は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_G7[1:0]		PTSEL_G6[1:0]		PTSEL_G5[1:0]		PTSEL_G4[1:0]		PTSEL_G3[1:0]		PTSEL_G2[1:0]		PTSEL_G1[1:0]		PTSEL_G0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_G7[1:0]	00	R/W	ポート G (PG7) の機能を選択します。 00: LCD_DATA15 機能を選択 01: DR3 機能を選択 10: PG7 機能を選択 11: 設定禁止
13、12	PTSEL_G6[1:0]	00	R/W	ポート G (PG6) の機能を選択します。 00: LCD_DATA14 機能を選択 01: DR2 機能を選択 10: PG6 機能を選択 11: 設定禁止
11、10	PTSEL_G5[1:0]	00	R/W	ポート G (PG5) の機能を選択します。 00: LCD_DATA13 機能を選択 01: DR1 機能を選択 10: PG5 機能を選択 11: 設定禁止
9、8	PTSEL_G4[1:0]	00	R/W	ポート G (PG4) の機能を選択します。 00: LCD_DATA12 機能を選択 01: DR0 機能を選択 10: PG4 機能を選択 11: 設定禁止
7、6	PTSEL_G3[1:0]	00	R/W	ポート G (PG3) の機能を選択します。 00: LCD_DATA11 機能を選択 01: DG5 機能を選択 10: PG3 機能を選択 11: 設定禁止
5、4	PTSEL_G2[1:0]	00	R/W	ポート G (PG2) の機能を選択します。 00: LCD_DATA10 機能を選択 01: DG4 機能を選択 10: PG2 機能を選択 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3, 2	PTSEL_G1[1:0]	00	R/W	ポート G (PG1) の機能を選択します。 00 : LCD_DATA9 機能を選択 01 : DG3 機能を選択 10 : PG1 機能を選択 11 : 設定禁止
1, 0	PTSEL_G0[1:0]	00	R/W	ポート G (PG0) の機能を選択します。 00 : LCD_DATA8 機能を選択 01 : DG2 機能を選択 10 : PG0 機能を選択 11 : 設定禁止

27.2.29 ピンセレクトレジスタ 7 (PTSEL_H)

PTSEL_H は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PTSEL_H7	-	PTSEL_H6	-	PTSEL_H5	-	PTSEL_H4	PTSEL_H3[1:0]	PTSEL_H2[1:0]	PTSEL_H1[1:0]	PTSEL_H0[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PTSEL_H7	0	R/W	ポート H (PH7) の機能を選択します。 0 : AUDIO_CLK3 機能を選択 1 : PH7 機能を選択
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PTSEL_H6	0	R/W	ポート H (PH6) の機能を選択します。 0 : SSIWS3 機能を選択 1 : PH6 機能を選択
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PTSEL_H5	0	R/W	ポート H (PH5) の機能を選択します。 0 : SSISCK3 機能を選択 1 : PH5 機能を選択
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	PTSEL_H4	0	R/W	ポート H (PH4) の機能を選択します。 0 : SSIDATA3 機能を選択 1 : PH4 機能を選択
7、6	PTSEL_H3[1:0]	00	R/W	ポート H (PH3) の機能を選択します。 00 : LCD_CL2 機能を選択 01 : DE_V 機能を選択 10 : PH3 機能を選択 11 : 設定禁止
5、4	PTSEL_H2[1:0]	00	R/W	ポート H (PH2) の機能を選択します。 00 : LCD_DON 機能を選択 01 : DCLKOUT 機能を選択 10 : 設定禁止 11 : PH2 機能を選択
3、2	PTSEL_H1[1:0]	00	R/W	ポート H (PH1) の機能を選択します。 00 : LCD_VCP_WC 機能を選択 01 : DR4 機能を選択 10 : PH1 機能を選択 11 : 設定禁止
1、0	PTSEL_H0[1:0]	00	R/W	ポート H (PH0) の機能を選択します。 00 : LCD_VEP_WC 機能を選択 01 : DR5 機能を選択 10 : PH0 機能を選択 11 : 設定禁止

27.2.30 ピンセレクトレジスタ 8 (PTSEL_I)

PTSEL_I は、読み出し/書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_I7[1:0]	PTSEL_I6[1:0]	PTSEL_I5[1:0]	PTSEL_I4[1:0]	PTSEL_I3[1:0]	PTSEL_I2[1:0]	PTSEL_I1[1:0]	PTSEL_I0[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_I7[1:0]	00	R/W	ポート I (PI7) の機能を選択します。 00 : LCD_DATA3 機能を選択 01 : DB3 機能を選択 10 : BT_DATA3 機能を選択 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
13、12	PTSEL_I6[1:0]	00	R/W	ポート I (PI6) の機能を選択します。 00 : LCD_DATA2 機能を選択 01 : DB2 機能を選択 10 : BT_DATA2 機能を選択 11 : 設定禁止
11、10	PTSEL_I5[1:0]	00	R/W	ポート I (PI5) の機能を選択します。 00 : LCD_DATA1 機能を選択 01 : DB1 機能を選択 10 : BT_DATA1 機能を選択 11 : 設定禁止
9、8	PTSEL_I4[1:0]	00	R/W	ポート I (PI4) の機能を選択します。 00 : LCD_DATA7 機能を選択 01 : DG1 機能を選択 10 : BT_DATA7 機能を選択 11 : PI4 機能を選択
7、6	PTSEL_I3[1:0]	00	R/W	ポート I (PI3) の機能を選択します。 00 : LCD_DATA6 機能を選択 01 : DG0 機能を選択 10 : BT_DATA6 機能を選択 11 : PI3 機能を選択
5、4	PTSEL_I2[1:0]	00	R/W	ポート I (PI2) の機能を選択します。 00 : LCD_DATA5 機能を選択 01 : DB5 機能を選択 10 : BT_DATA5 機能を選択 11 : PI2 機能を選択
3、2	PTSEL_I1[1:0]	00	R/W	ポート I (PI1) の機能を選択します。 00 : LCD_DATA4 機能を選択 01 : DB4 機能を選択 10 : BT_DATA4 機能を選択 11 : PI1 機能を選択
1、0	PTSEL_I0[1:0]	00	R/W	ポート I (PI0) の機能を選択します。 00 : PI0 機能を選択 01 : COM/CDE 機能を選択 10 : 設定禁止 11 : 設定禁止

27.2.31 ピンセレクトレジスタ 9 (PTSEL_J)

PTSEL_J は、読み出し/書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_J7[1:0]		PTSEL_J6[1:0]		PTSEL_J5[1:0]		PTSEL_J4[1:0]		PTSEL_J3[1:0]		PTSEL_J2[1:0]		PTSEL_J1[1:0]		PTSEL_J0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_J7[1:0]	00	R/W	ポート J (PJ7) の機能を選択します。 00: PJ7 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED10_M 機能を選択
13、12	PTSEL_J6[1:0]	00	R/W	ポート J (PJ6) の機能を選択します。 00: PJ6 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED5_M 機能を選択
11、10	PTSEL_J5[1:0]	00	R/W	ポート J (PJ5) の機能を選択します。 00: PJ5 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED9_M 機能を選択
9、8	PTSEL_J4[1:0]	00	R/W	ポート J (PJ4) の機能を選択します。 00: PJ4 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED6_M 機能を選択
7、6	PTSEL_J3[1:0]	00	R/W	ポート J (PJ3) の機能を選択します。 00: PJ3 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED7_M 機能を選択
5、4	PTSEL_J2[1:0]	00	R/W	ポート J (PJ2) の機能を選択します。 00: PJ2 機能を選択 01: 設定禁止 10: 設定禁止 11: IDED8_M 機能を選択

ビット	ビット名	初期値	R/W	説明
3、2	PTSEL_J1[1:0]	00	R/W	ポート J (PJ1) の機能を選択します。 00 : PJ1 機能を選択 01 : 設定禁止 10 : 設定禁止 11 : $\overline{\text{IDERST_M}}$ 機能を選択
1、0	PTSEL_J0[1:0]	00	R/W	ポート J (PJ0) の機能を選択します。 00 : PJ0 機能を選択 01 : 設定禁止 10 : 設定禁止 11 : DIRECTION_M 機能を選択

27.2.32 ピンセレクトレジスタ 10 (PTSEL_K)

PTSEL_K は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_K7[1:0]	PTSEL_K6[1:0]	—	PTSEL_K5	PTSEL_K4[1:0]	PTSEL_K3[1:0]	PTSEL_K2[1:0]	PTSEL_K1[1:0]	PTSEL_K0[1:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PTSEL_K7[1:0]	00	R/W	ポート K (PK7) の機能を選択します。 00 : $\overline{\text{WDTOVF}}$ 機能を選択 01 : IRQ1 機能を選択 10 : AUDCK 機能を選択 11 : $\overline{\text{DACK1}}$ 機能を選択
13、12	PTSEL_K6[1:0]	00	R/W	ポート K (PK6) の機能を選択します。 00 : SCK0 機能を選択 01 : AUDSYNC 機能を選択 10 : FCLE 機能を選択 11 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PTSEL_K5	0	R/W	ポート K (PK5) の機能を選択します。 0 : SCK1 機能を選択 1 : $\overline{\text{FR/B}}$ 機能を選択

ビット	ビット名	初期値	R/W	説明
9、8	PTSEL_K4[1:0]	00	R/W	ポート K (PK4) の機能を選択します。 00 : LCD_DATA0 機能を選択 01 : DB0 機能を選択 10 : BT_DATA0 機能を選択 11 : 設定禁止
7、6	PTSEL_K3[1:0]	00	R/W	ポート K (PK3) の機能を選択します。 00 : LCD_CL1 機能を選択 01 : HSYNC 機能を選択* 10 : BT_HSYNC 機能を選択 11 : 設定禁止
5、4	PTSEL_K2[1:0]	00	R/W	ポート K (PK2) の機能を選択します。 00 : LCD_CLK 機能を選択 01 : DCLKIN 機能を選択 10 : 設定禁止 11 : 設定禁止
3、2	PTSEL_K1[1:0]	00	R/W	ポート K (PK1) の機能を選択します。 00 : LCD_FLM 機能を選択 01 : VSYNC 機能を選択* 10 : BT_VSYNC 機能を選択 11 : 設定禁止
1、0	PTSEL_K0[1:0]	00	R/W	ポート K (PK0) の機能を選択します。 00 : LCD_M_DISP 機能を選択 01 : DE_C/DE_H 機能を選択 10 : BT_DE_C 機能を選択 11 : 設定禁止

【注】 * 本機能は特殊選択レジスタにおいて、入出力機能の切り替えを行っています。

27.2.33 ピンセレクトレジスタ 11 (PTSEL_P)

PTSEL_P は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PTSEL ₁₁	PTSEL ₁₀	PTSEL ₉	PTSEL ₈	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PTSEL_P11	0	R/W	ポート P (PP11) の機能を選択します。 0 : RXD0 機能を選択 1 : AUDATA0 機能を選択
10	PTSEL_P10	0	R/W	ポート P (PP10) の機能を選択します。 0 : TXD0 機能を選択 1 : AUDATA1 機能を選択
9	PTSEL_P9	0	R/W	ポート P (PP9) の機能を選択します。 0 : RXD1 機能を選択 1 : AUDATA2 機能を選択
8	PTSEL_P8	0	R/W	ポート P (PP8) の機能を選択します。 0 : TXD1 機能を選択 1 : AUDATA3 機能を選択
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.2.34 ピンセレクトレジスタ 12 (PTSEL_R)

PTSEL_R は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_R15	PTSEL_R14	PTSEL_R13	PTSEL_R12	PTSEL_R11	PTSEL_R10	PTSEL_R9	PTSEL_R8	PTSEL_R7	PTSEL_R6	PTSEL_R5	PTSEL_R4	PTSEL_R3	PTSEL_R2	PTSEL_R1	PTSEL_R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PTSEL_R15	0	R/W	ポート P (PR15) の機能を選択します。 0 : D63 機能を選択 1 : IDED1 機能を選択
14	PTSEL_R14	0	R/W	ポート P (PR14) の機能を選択します。 0 : D62 機能を選択 1 : IDED0 機能を選択
13	PTSEL_R13	0	R/W	ポート P (PR13) の機能を選択します。 0 : D61 機能を選択 1 : IDED3 機能を選択
12	PTSEL_R12	0	R/W	ポート P (PR12) の機能を選択します。 0 : D60 機能を選択 1 : IDED2 機能を選択
11	PTSEL_R11	0	R/W	ポート P (PR11) の機能を選択します。 0 : D59 機能を選択 1 : IDED5 機能を選択
10	PTSEL_R10	0	R/W	ポート P (PR10) の機能を選択します。 0 : D58 機能を選択 1 : IDED4 機能を選択
9	PTSEL_R9	0	R/W	ポート P (PR9) の機能を選択します。 0 : D57 機能を選択 1 : IDED7 機能を選択
8	PTSEL_R8	0	R/W	ポート P (PR8) の機能を選択します。 0 : D56 機能を選択 1 : IDED6 機能を選択
7	PTSEL_R7	0	R/W	ポート P (PR7) の機能を選択します。 0 : D55 機能を選択 1 : DIRECTION 機能を選択
6	PTSEL_R6	0	R/W	ポート P (PR6) の機能を選択します。 0 : D54 機能を選択 1 : IDERST 機能を選択

ビット	ビット名	初期値	R/W	説明
5	PTSEL_R5	0	R/W	ポート P (PR5) の機能を選択します。 0 : D53 機能を選択 1 : IDED8 機能を選択
4	PTSEL_R4	0	R/W	ポート P (PR4) の機能を選択します。 0 : D52 機能を選択 1 : IDED9 機能を選択
3	PTSEL_R3	0	R/W	ポート P (PR3) の機能を選択します。 0 : D51 機能を選択 1 : IDED10 機能を選択
2	PTSEL_R2	0	R/W	ポート P (PR2) の機能を選択します。 0 : D50 機能を選択 1 : IDED11 機能を選択
1	PTSEL_R1	0	R/W	ポート P (PR1) の機能を選択します。 0 : D49 機能を選択 1 : IDED12 機能を選択
0	PTSEL_R0	0	R/W	ポート P (PR0) の機能を選択します。 0 : D48 機能を選択 1 : IDED13 機能を選択

27.2.35 ピンセレクトレジスタ 13 (PTSEL_S)

PTSEL_S は、読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクスしている端子の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTSEL_S15	PTSEL_S14	PTSEL_S13	PTSEL_S12	PTSEL_S11	PTSEL_S10	PTSEL_S9	PTSEL_S8	PTSEL_S7	PTSEL_S6	PTSEL_S5	PTSEL_S4	PTSEL_S3	PTSEL_S2	PTSEL_S1	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	PTSEL_S15	0	R/W	ポート S (PS15) の機能を選択します。 0 : IRQ0 機能を選択 1 : DTEND1 機能を選択
14	PTSEL_S14	0	R/W	ポート S (PS14) の機能を選択します。 0 : IRQOUT 機能を選択 1 : DREQ1 機能を選択
13	PTSEL_S13	0	R/W	ポート S (PS13) の機能を選択します。 0 : D47 機能を選択 1 : IDECS0 機能を選択

ビット	ビット名	初期値	R/W	説明
12	PTSEL_S12	0	R/W	ポート S (PS12) の機能を選択します。 0: D46 機能を選択 1: IDECS1 機能を選択
11	PTSEL_S11	0	R/W	ポート S (PS11) の機能を選択します。 0: D45 機能を選択 1: IODACK 機能を選択
10	PTSEL_S10	0	R/W	ポート S (PS10) の機能を選択します。 0: D44 機能を選択 1: IODINT 機能を選択
9	PTSEL_S9	0	R/W	ポート S (PS9) の機能を選択します。 0: D43 機能を選択 1: IDEIORDY 機能を選択
8	PTSEL_S8	0	R/W	ポート S (PS8) の機能を選択します。 0: D42 機能を選択 1: IDEIORD 機能を選択
7	PTSEL_S7	0	R/W	ポート S (PS7) の機能を選択します。 0: D41 機能を選択 1: IODREQ 機能を選択
6	PTSEL_S6	0	R/W	ポート S (PS6) の機能を選択します。 0: D40 機能を選択 1: IDEIOWR 機能を選択
5	PTSEL_S5	0	R/W	ポート S (PS5) の機能を選択します。 0: D39 機能を選択 1: IDE14 機能を選択
4	PTSEL_S4	0	R/W	ポート S (PS4) の機能を選択します。 0: D38 機能を選択 1: IDE15 機能を選択
3	PTSEL_S3	0	R/W	ポート S (PS3) の機能を選択します。 0: D37 機能を選択 1: IDEA1 機能を選択
2	PTSEL_S2	0	R/W	ポート S (PS2) の機能を選択します。 0: D36 機能を選択 1: IDEA2 機能を選択
1	PTSEL_S1	0	R/W	ポート S (PS1) の機能を選択します。 0: D35 機能を選択 1: IDEA0 機能を選択
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.2.36 HI-Z レジスタ A (PTHIZ_A)

PTHIZ_A は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール端子をハイインピーダンスに設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTHIZ_ATA	PTHIZ_TMU	PTHIZ_LCD	PTHIZ_IIC	PTHIZ_FLCTL	PTHIZ_DMAC	PTHIZ_SCI0	PTHIZ_SCI1	PTHIZ_SCI2	PTHIZ_ETH	PTHIZ_VDC2	PTHIZ_USB	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PTHIZ_ATA	0	R/W	ATAPI の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
14	PTHIZ_TMU	0	R/W	TMU の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
13	PTHIZ_LCD	0	R/W	LCD の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
12	PTHIZ_IIC	0	R/W	IIC の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
11	PTHIZ_FLCTL	0	R/W	FLCTL の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
10	PTHIZ_DMAC	0	R/W	DMAC の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
9	PTHIZ_SCI0	0	R/W	SCIF チャネル 0 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
8	PTHIZ_SCI1	0	R/W	SCIF チャネル 1 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
7	PTHIZ_SCI2	0	R/W	SCIF チャネル 2 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
6	PTHIZ_ETH	0	R/W	EtherC の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
5	PTHIZ_VDC2	0	R/W	VDC2 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
4	PTHIZ_USB	0	R/W	USB の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.2.37 HI-Z レジスタ B (PTHIZ_B)

PTHIZ_B は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール端子をハイインピーダンスに設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTHIZ_SSI0	PTHIZ_SSI1	PTHIZ_SSI2	PTHIZ_SSI3	PTHIZ_SSI4	PTHIZ_SSI5	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PTHIZ_SSI0	0	R/W	SSI チャンネル 0 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
14	PTHIZ_SSI1	0	R/W	SSI チャンネル 1 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
13	PTHIZ_SSI2	0	R/W	SSI チャンネル 2 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
12	PTHIZ_SSI3	0	R/W	SSI チャンネル 3 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
11	PTHIZ_SSI4	0	R/W	SSI チャンネル 4 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
10	PTHIZ_SSI5	0	R/W	SSI チャンネル 5 の端子をハイインピーダンスにします。 0: 通常 1: ハイインピーダンス
9~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.2.38 特殊選択レジスタ (PTSEL_SPCL)

PTSEL_SPCL は、読み出し/書き込み可能な 16 ビットのレジスタで、HSYNC と VSYNC の入出力機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PTSEL_VSYNC	PTSEL_HSYNC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PTSEL_VSYNC	0	R/W	VSYNC の機能を選択します。 0 : VSYNC 機能を選択 1 : EX_VSYNC 機能を選択
0	PTSEL_HSYNC	0	R/W	HSYNC の機能を選択します。 0 : HSYNC 機能を選択 1 : EX_HSYNC 機能を選択

27.3 使用例

汎用入出力ポート (GPIO) の設定手順の例を示します。

27.3.1 ポート機能選択

ポート機能を選択する場合は、まず下記に示すようにポート出力機能もしくは、ポート入力機能を設定してください。次にピンセレクトレジスタ (PTSEL_A ~ PTSEL_J) で使用するポート機能を選択してください。

ポートの入出力機能を間違えて設定した状態で、ピンセレクトレジスタをポート機能に設定すると信号が衝突するなどの不具合が発生する場合がありますのでご注意ください。

27.3.2 ポート出力機能

ポート出力機能の設定は、ポートコントロールレジスタ (PTIO_A ~ PTIO_J) の該当する 2 ビットに B'01 を書き込んでください。ポートデータレジスタ (PTDAT_A ~ PTDAT_J) の該当するビットの値を端子に出力します。

このとき、ポート出力機能に設定した端子に対するプルアップ制御レジスタ (PTPUL_AB ~ PTUPL_IJ) の設定は無効になります。

27.3.3 ポート入力機能

ポート入力機能の設定は、ポートコントロールレジスタ (PTIO_A ~ PTIO_J) の該当する 2 ビットにプルアップ MOS を使用しない場合は B'10 を、使用する場合は B'11 を書き込んでください。ポートデータレジスタ (PTDAT_A ~ PTDAT_J) の該当するビットから端子に入力している値が読み出せます。

27.3.4 周辺モジュール機能

周辺モジュール機能の設定は、まずピンセレクトレジスタ (PTSEL_A ~ PTSEL_J) で使用するモジュールを選択してください。

最後に、ポートコントロールレジスタ (PTIO_A ~ PTIO_J) の該当する 2 ビットに B'00 を書き込んでください。

28. 低消費電力モード

消費電力モードでは、内蔵モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

28.1 特長

- リフレッシュスタンバイモードのサポート
- スリープモード/モジュールスタンバイ機能のサポート

28.1.1 消費電力モードの種類

消費電力モードには、次のようなモード、機能があります。

- スリープモード
- リフレッシュスタンバイ
- モジュールスタンバイ機能

各モードでの CPU や内蔵モジュールなどの状態を表 28.1 に示します。

表 28.1 低消費電力モードの状態

低消費電力モード	遷移方法	CPG	CPU	内蔵メモリ	内蔵周辺モジュール	端子	SDRAM	解除方法	S1*	S0*
スリープモード	STBCR の STBY = 0 で SLEEP 命令を実行	動作	停止 レジスタは保持	保持	動作	保持	AR または SR	(1) 割り込み (2) パワーオンリセット	1	0
リフレッシュスタンバイモード	STBCR の STBY = 1 で SLEEP 命令を実行	動作	停止 レジスタは保持	停止 内容は保持	停止	保持 CLKOUT は動作	SR	(1) NMI、IRQ (2) パワーオンリセット	0	1
モジュールスタンバイ機能	MSTPCR の該当ビットを 1 にする	動作	動作	保持	指定 モジュール 停止	保持	AR または SR	MSTPCR の該当ビットを 0 にする	0	0
パワーオンリセット	PRESET 端子をローにする	初期状態	初期状態	初期状態	初期状態	初期状態	初期状態	-	1	1
通常状態		動作	動作	動作	動作	動作	動作	-	0	0

【注】 * S1 は STATUS1 端子、S0 は STATUS0 端子の出力状態を示します。

28.2 入出力端子

消費電力モードに関連する端子を表 28.2 に示します。

表 28.2 端子構成

端子名	機能	入出力	説明
STATUS1	処理状態 1	出力	本 LSI の動作状態を表します。 STATUS[1:0] 動作状態 H H : パワーオンリセット H L : スリープモード L L : 通常動作 L H : リフレッシュスタンバイモード
STATUS0	処理状態 0		

28.3 レジスタの説明

低消費電力モードのレジスタ構成を表 28.3 に示します。また、各処理モードにおけるレジスタの状態を表 28.4 に示します。

表 28.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'FFC8 0020	H'1FC8 0020	32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'FFC8 0038	H'1FC8 0038	32

【注】 スタンバイコントロールレジスタについては、図 10.1 も参照してください。

表 28.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
スタンバイコントロールレジスタ	STBCR	H'0000 0000	保持	保持
モジュールストップレジスタ 0	MSTPCR0	H'0000 0000	保持	保持
モジュールストップレジスタ 1	MSTPCR1	H'0000 0000	保持	保持

【注】 スタンバイコントロールレジスタについては、図 10.1 も参照してください。

28.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SLEEP 命令実行後の低消費電力モード指定ができます。

STBCR は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	STBY	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	STBY	0	R/W	スタンバイビット SLEEP 命令実行後、スリープモードに遷移するかリフレッシュスタンバイモードに遷移するかを指定します。 0: スリープモードに遷移 1: リフレッシュスタンバイモードに遷移 【注】 割り込みにより、リフレッシュスタンバイモードから復帰した場合、必ず本ビットを 0 にクリアしてください。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

28.3.2 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR0 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	INTC	DMAC	—	H-UDI	—	UBC	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCDC	—	TMU	FLCTL	—	SCIF2	SCIF1	SCIF0	ETHER	IIC	ATAPI	G2D	—	VDC2	—	USB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	INTC	0	R/W	INTC モジュールストップビット INTC ビットを 1 にセットすると、INTC へのクロックの供給を停止します。 0 : INTC は動作 1 : INTC へのクロック供給を停止
21	DMAC	0	R/W	DMAC モジュールストップビット DMAC ビットを 1 にセットすると、DMAC へのクロック供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
20	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	H-UDI	0	R/W	H-UDI モジュールストップビット H-UDI ビットを 1 にセットすると、H-UDI へのクロック供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	UBC	0	R/W	UBC モジュールストップビット UBC ビットを 1 にセットすると、UBC へのクロック供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
16	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15	LCDC	0	R/W	LCDC モジュールストップビット LCDC ビットを 1 にセットすると、LCDC へのクロック供給を停止します。 0 : LCDC は動作 1 : LCDC へのクロック供給を停止
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	TMU	0	R/W	TMU モジュールストップビット TMU ビットを 1 にセットすると、TMU へのクロックの供給を停止します。 0 : TMU は動作 1 : TMU へのクロック供給を停止
12	FLCTL	0	R/W	FLCTL モジュールストップビット FLCTL ビットを 1 にセットすると、FLCTL へのクロックの供給を停止します。 0 : FLCTL は動作 1 : FLCTL へのクロック供給を停止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	SCIF2	0	R/W	SCIF2 モジュールストップビット SCIF2 ビットを 1 にセットすると、SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止
9	SCIF1	0	R/W	SCIF1 モジュールストップビット SCIF1 ビットを 1 にセットすると、SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止
8	SCIF0	0	R/W	SCIF0 モジュールストップビット SCIF0 ビットを 1 にセットすると、SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止
7	ETHER	0	R/W	ETHER モジュールストップビット ETHER ビットを 1 にセットすると、ETHER へのクロックの供給を停止します。 0 : ETHER は動作 1 : ETHER へのクロック供給を停止
6	IIC	0	R/W	IIC モジュールストップビット IIC ビットを 1 にセットすると、IIC へのクロックの供給を停止します。 0 : IIC は動作 1 : IIC へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
5	ATAPI	0	R/W	ATAPI モジュールストップビット ATAPI ビットを 1 にセットすると、ATAPI へのクロックの供給を停止します。 0 : ATAPI は動作 1 : ATAPI へのクロック供給を停止
4	G2D	0	R/W	G2D モジュールストップビット G2D ビットを 1 にセットすると、G2D へのクロックの供給を停止します。 0 : G2D は動作 1 : G2D へのクロック供給を停止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	VDC2	0	R/W	VDC2 モジュールストップビット VDC2 ビットを 1 にセットすると、VDC2 へのクロックの供給を停止します。 0 : VDC2 は動作 1 : VDC2 へのクロック供給を停止
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	USB	0	R/W	USB モジュールストップビット USB ビットを 1 にセットすると、USB へのクロックの供給を停止します。 0 : USB は動作 1 : USB へのクロック供給を停止

28.3.3 モジュールストップレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられるモジュールに対し、個別に動作、停止の指定ができます。MSTPCR1 はロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SRC		—	—	—	—	SSI_B	SSI_A	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	SRC	00	R/W	SRC モジュールストップビット SRC ビットを 1 にセットすると、SRC へのクロックの供給を停止します。 00 : SRC は動作 01 : リザーブ (設定禁止) 10 : リザーブ (設定禁止) 11 : SRC へのクロック供給を停止
29~26	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	SSI_B	0	R/W	SSI_B モジュールストップビット SSI_B ビットを 1 にセットすると、SSI_B へのクロックの供給を停止します。 0 : SSI_B は動作 1 : SSI_B へのクロック供給を停止
24	SSI_A	0	R/W	SSI_A モジュールストップビット SSI_A ビットを 1 にセットすると、SSI_A へのクロックの供給を停止します。 0 : SSI_A は動作 1 : SSI_A へのクロック供給を停止
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

28.4 スリープモード

28.4.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。

CPU 以外の内蔵モジュールは動作を続けます。また、CLKOUT 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

28.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ1、IRQ0、内蔵モジュール)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、

SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ1、IRQ0、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

ただし、NMI、IRQ1、IRQ0 によりスリープモードを解除する場合、当該端子を少なくとも $3 \times Bck$ の期間、ローレベル (立ち下がりエッジ検出、またはローレベル検出を設定している場合) またはハイレベル (立ち上がりエッジ検出、またはハイレベル検出を設定している場合) に保つ必要があります。この条件を満足できない場合、スリープモードが解除されないことがあります。

(2) リセットによる解除

\overline{PRESET} 端子によるパワーオンリセットおよび、ウォッチドッグタイマオーバフロー時に発生するパワーオンリセットにより、スリープモードは解除されます。

28.5 リフレッシュスタンバイモード

28.5.1 リフレッシュスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からリフレッシュスタンバイモードに遷移します。リフレッシュスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。MCU、CPG は動作しています。CLKOUT 端子も動作しています。

CPU、キャッシュのレジスタ内容は保持されます。周辺モジュールのレジスタに関しては、初期化されるものがあります。

リフレッシュスタンバイモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを1に設定します。
2. SLEEP命令を実行させます。
3. リフレッシュスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS0端子からハイレベルが出力されます。

28.5.2 リフレッシュスタンバイモードの解除

リフレッシュスタンバイモードは、割り込み (NMI、IRQ1、IRQ0)、リセットにより、解除されます。

(1) 割り込みによる解除

NMI、IRQ が検出されるとリフレッシュスタンバイモードが解除されて、STATUS0 端子がローレベルになります。この後、割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。また、リフレッシュスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(2) リセットによる解除

$\overline{\text{PRESET}}$ 端子によるパワーオンリセットにより、リフレッシュスタンバイモードは解除されます。

28.6 モジュールスタンバイ機能

28.6.1 モジュールスタンバイ機能への遷移

モジュールストップレジスタの各ビットに 1 をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

28.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、モジュールストップレジスタの各ビットを 0 にクリアするかまたはパワーオンリセットにより行います。

28.7 STATUS 端子の変化タイミング

28.7.1 リセットの場合

「29.5.1 PRESET 端子によるパワーオンリセット」を参照してください。

28.7.2 スリープ解除の場合

(1) スリープ 割り込み

STATUS 端子の変化タイミングを図 28.1 に示します。

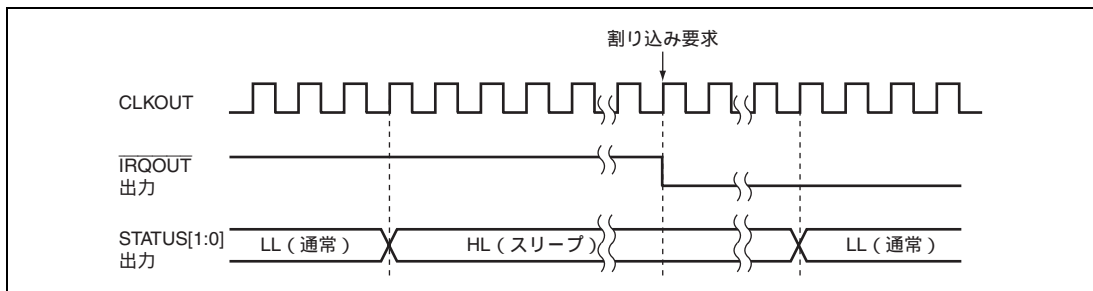


図 28.1 スリープ 割り込みの STATUS 出力

29. リセット、ウォッチドッグタイマ (WDT)

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御と、本 LSI 内部および外部周辺デバイスのリセットを制御します。

WDT は 1 チャンネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

29.1 特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- カウンタオーバーフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- ウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをリセットし、WDTOVF信号を出力します。
- インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT関連のレジスタは、容易に書き換えられないように上位8ビットにコード値を設定しています。
- カウンタがオーバーフローするまでの最大時間は、約21秒 (周辺クロック : Pclk = 50MHz時) です。

図 29.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

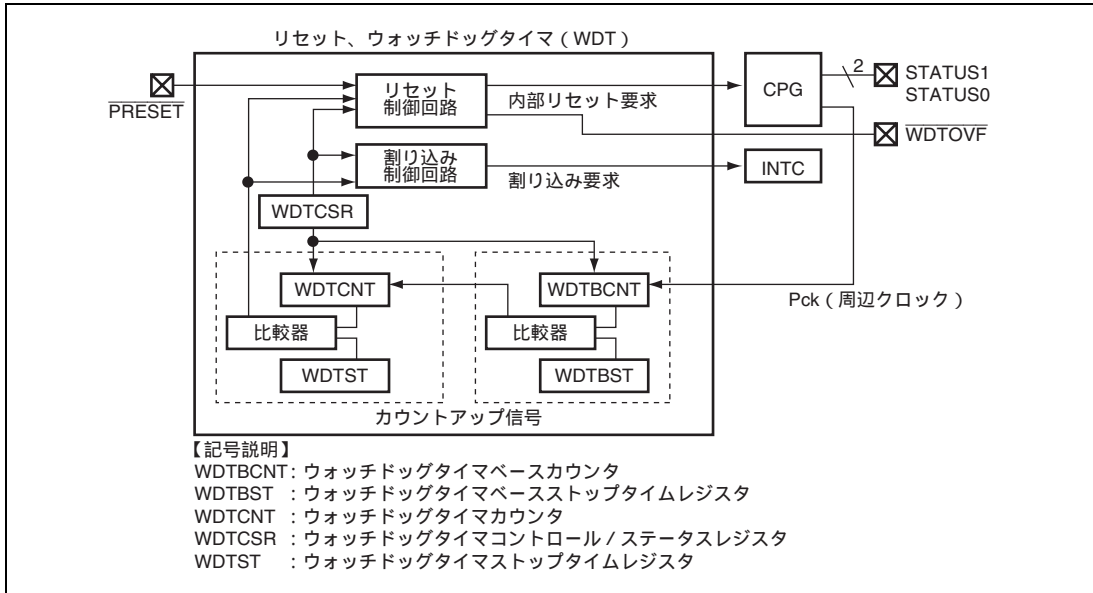


図 29.1 ブロック図

29.2 入出力端子

リセット、WDT の端子構成と機能を表 29.1 に示します。

表 29.1 リセット、WDT の端子構成と機能

端子名	機能	入出力	説明
PRESET	パワーオンリセット 入力端子	入力	端子にローレベルを入力することによりパワーオンリセット状態に移ります。
STATUS1 STATUS0	ステータス出力	出力	プロセッサの動作状態を表します。 HH: リセット HL: スリープモード LH: リフレッシュスタンバイモード LL: 通常動作 STATUS1、STATUS0 端子は、それぞれ他の機能とマルチプレクスされています。
WDTOVF	ウォッチドッグタイ マオーバーフロー	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

29.3 レジスタの説明

WDT のレジスタ構成を表 29.2 に示します。また、各処理モードにおけるレジスタの状態を表 29.3 に示します。

表 29.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
ウォッチドッグタイマストップ タイムレジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32
ウォッチドッグタイマカウンタ	WDTCNT	R	H'FFCC 0010	H'1FCC 0010	32
ウォッチドッグタイマベース カウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32

表 29.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット		スリープ	スタンバイ
		PRESET 端子 による	WDT/H-UDI による		
ウォッチドッグタイマストップ タイムレジスタ	WDTST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマカウンタ	WDTCNT	H'0000 0000	保持	保持	保持
ウォッチドッグタイマベース カウンタ	WDTBCNT	H'0000 0000	保持	保持	保持

29.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTCNT のオーバーフロー値を設定します。H'0000 0001 を設定したときがオーバーフローまでの最小時間で、H'0000 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'5A)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	WDTST											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	WDTST	H'000	R/W	WDTCNT のオーバーフロー値

29.3.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WDTCSR)

WDTCSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバーフローフラグから成ります。

WDTCSR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'A5)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TME	WT/ \overline{IT}	-	WOVF	IOVF	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TME	0	R/W	タイムイネーブル タイマ動作の開始または停止を設定します。 0: カウントアップ停止 1: カウントアップ開始
6	WT/ \overline{IT}	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/ \overline{IT} を書き替えるとカウントアップが正しく行われない場合があります。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WDTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WDTCNT がオーバーフローした

ビット	ビット名	初期値	R/W	説明
3	IOVF	0	R/W	インターバルタイマオーバーフロー インターバルタイマモードで WDTCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードではセットされません。 0 : オーバーフローなし 1 : インターバルタイマモードで WDTCNT がオーバーフローした
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTBCNT のクリアを行います。

WDTBCNT のクリアは、WDTBST の上位バイトにコード値 (H'55) をロングワードサイズで書き込むことで実行します。WDTBST を読み出すと常に 0 が読み出されます。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

コード値 (H'55)										-	-	-	-	-	-	-
-------------	--	--	--	--	--	--	--	--	--	---	---	---	---	---	---	---

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

29.3.4 ウォッチドッグタイマカウンタ (WDCNT)

WDCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバフローによりカウントアップします。WDCNT がオーバフローすると、ウォッチドッグタイマモードでは選択したリセットが発生し、インターバルタイマモードでは割り込みが発生します。

WDCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	WDCNT											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

29.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (Pck) によりカウントアップします。WDTBCNT がオーバフローすると、WDCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

WDTBCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WDTBCNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

29.4 動作説明

29.4.1 リセット要求

リセットには、パワーオンリセットがあります。下記に発生要因を説明します。

(1) パワーオンリセット

1. 要因:

- $\overline{\text{PRESET}}$ 端子からローレベルを入力した場合
- WDTCSRのWT/ITビットが1の状態、WDTCNTがオーバーフロー発生した場合。
- H-UDIリセットが発生した場合

詳細は「第31章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

2. 遷移先アドレス: H'A000 0000

3. 遷移時動作:

例外コード H'000 を EXPEVT にセットします。VBR、SR の初期化を行い、PC = H'A000 0000 に分岐します。

初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) が B'1111 にセットされます。

CPU および周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

電源投入時には必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

```
Power_on_reset ( )
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU ( ) ;
    Initialize_Module (PowerOn) ;
    PC = H'A000 0000;
}
```


29.4.2 ウォッチドッグタイマモードの使用法

1. WDTSTにWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに1を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTがオーバフローしないように定期的にWDTCNT、またはWDTBCNTをクリアしてください。クリア方法は「29.4.5 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTがオーバフローすると、WDTCSRのWOVFフラグを1にセットし、パワーオンリセットが発生します。

29.4.3 インターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに0を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. WDTCNTがオーバフローすると、WDTCSRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求が発生します。このとき、WDTCNT、およびWDTBCNTはカウントを続行しています。

29.4.4 WDT オーバフロー発生までの時間

WDTCNT と WDTBCNT との関係を図 29.2 に示します。
図はインターバルタイマモードの例で、WDTCNTのオーバフロー後もカウントアップを継続します。

ウォッチドッグタイマモードでは、リセット解除後に WDTCNT、WDTBCNT を 0 にクリアしてカウントアップを再開します。

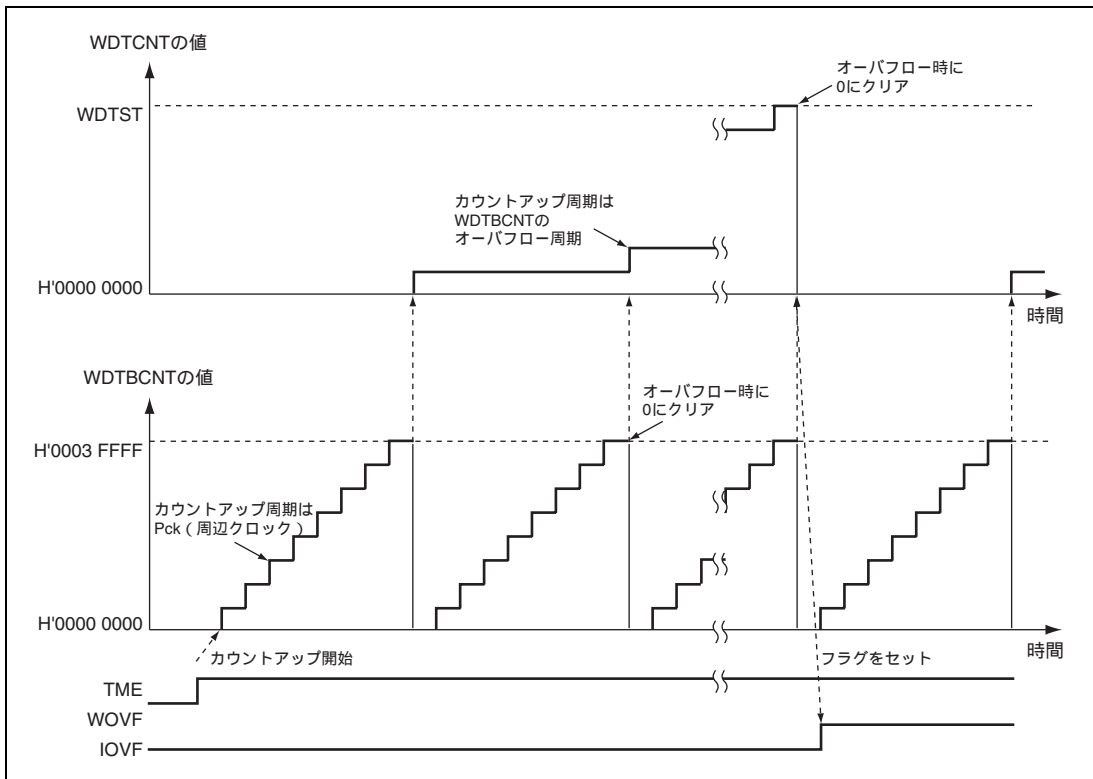


図 29.2 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT は 18 ビットのカウンタで、周辺クロック (Pck) でカウントアップします。WDTBST のビット 31 ~ 24 に H'55 を書き込むことにより WDTBCNT がクリアされます。周辺クロックが 50MHz の場合、

$$2^{18}[\text{bit}] \times 1/50 [\text{MHz}] = \text{約 } 5.243 [\text{ms}]$$

となります。

WDTCNT は 12 ビットのカウンタで、WDTBCNT でオーバーフローが発生するとカウントアップします。WDTST の全ビットに 0 を書き込んだ場合がオーバーフローまでの最大時間になります。周辺クロックが 50MHz の場合、

$$2^{12} [\text{bit}] \times 5.243 [\text{ms}] = \text{約 } 21.47 [\text{s}]$$

がオーバーフローまでの最大時間です。

また最小時間は、WDTST に H'0000 0001 を書き込んだ場合で、

$$2^1 [\text{bit}] \times 5.243 [\text{ns}] = 5.243 [\text{ms}]$$

となります。

29.4.5 WDT カウンタのクリア方法

WDTBST にコード値をロングワードサイズで書き込むことにより WDTBCNT が、WDTST にオーバーフロー値を設定することにより WDTCNT が、それぞれ 0 にクリアされます。

29.5 リセット中の端子タイミング

29.5.1 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、PLL 発振安定時間を確保する必要があります。したがって、PLL 同期安定時間中に $\overline{\text{PRESET}}$ 端子にハイレベルを入力しないでください。PLL 発振安定時間は、PLL1 発振安定時間と PLL2 発振安定時間を合計した時間です。

$\overline{\text{PRESET}}$ 端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、EXTAL 端子入力の入力周期の 10240 サイクル以上になります。

(1) 電源投入シーケンス

電源投入時は、必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

STATUS[1:0] がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

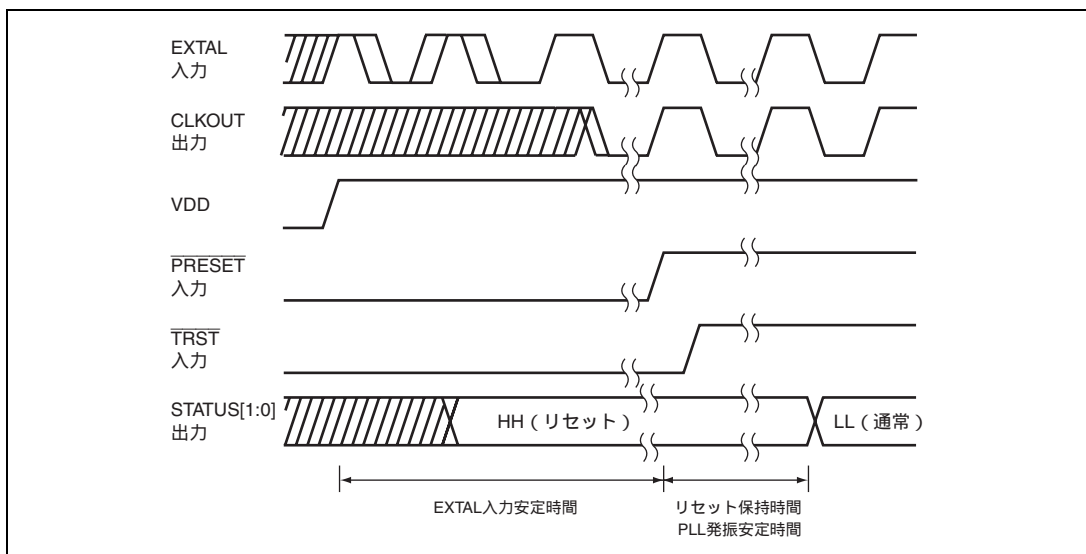
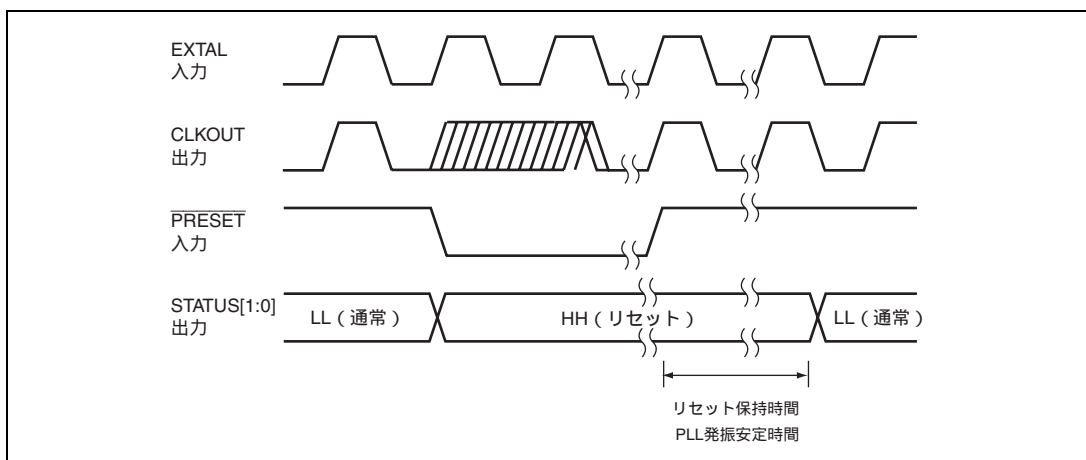


図 29.3 電源投入シーケンス

(2) 通常動作中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

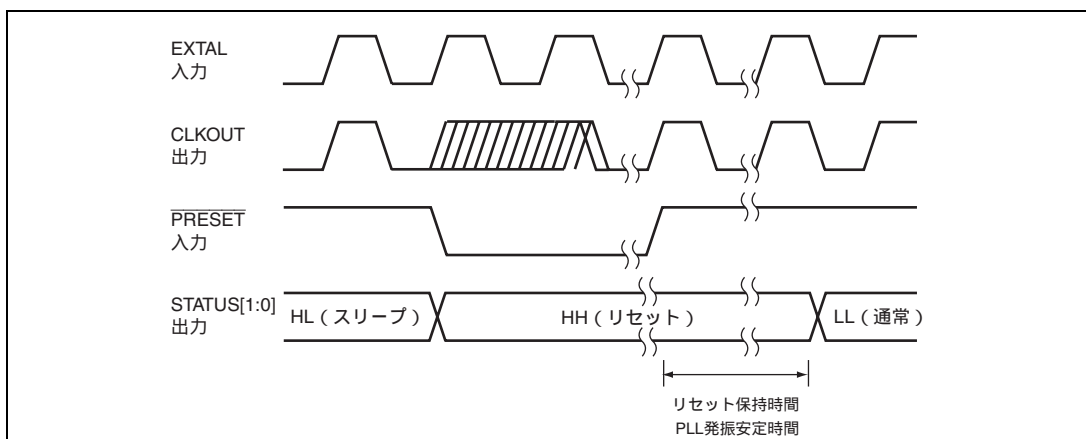
通常動作中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

図 29.4 通常動作中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット(3) スリープ中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

スリープ中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

図 29.5 スリープ中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

29.5.2 WDT オーバフローによるパワーオンリセット

WDT オーバフローによるパワーオンリセットの期間 (WDT リセット時間) は、EXTAL 端子入力の入力周期の 9 サイクル、および周辺クロック (Pck) 周期の 18 サイクル以上になります。

また、WDT オーバフローからパワーオンリセット状態に移るまでの時間 (WDT リセット要求時間) は、EXTAL 端子入力の入力周期の 1 サイクル、および周辺クロック (Pck) 周期の 5 サイクル以上になります。

(1) 通常動作中に WDT オーバフローによりパワーオンリセットが発生させた場合

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

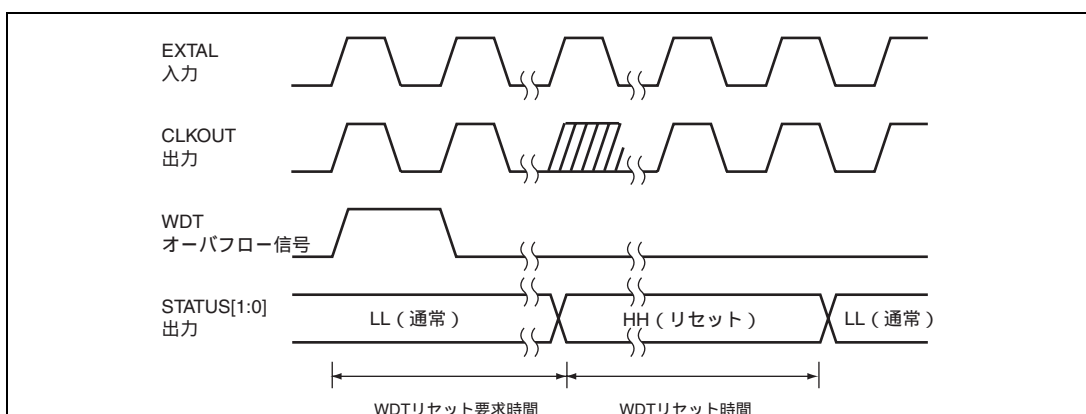


図 29.6 通常動作中の WDT オーバフローによるパワーオンリセット

(2) スリープ中に WDT オーバフローによりパワーオンリセットが発生させた場合

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

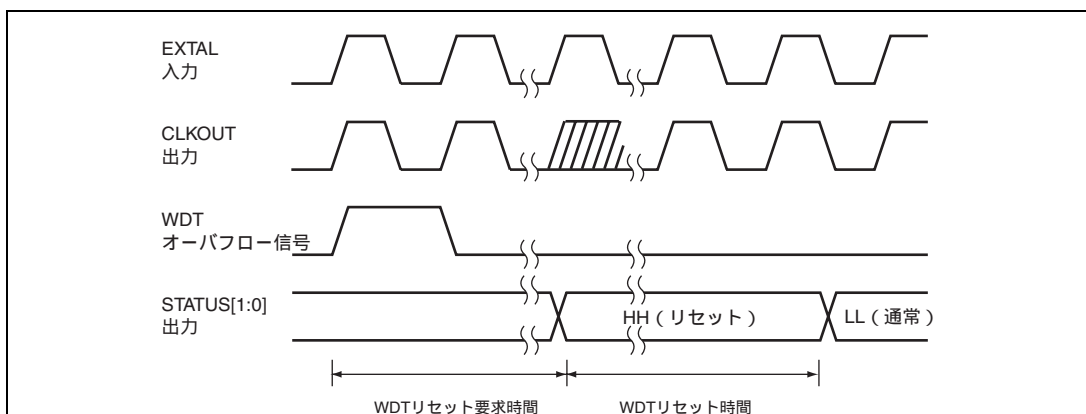


図 29.7 スリープ中の WDT オーバフローによるパワーオンリセット

30. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

30.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2 チャンネル (チャンネル 0 と 1)

ユーザブ레이크は、チャンネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル 0 のブ레이크条件が一致した後チャンネル 1 のブ레이크条件の一致が発生、またはチャンネル 1 のブ레이크条件が一致した後チャンネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャンネル 1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 30.1 に UBC のブロック図を示します。

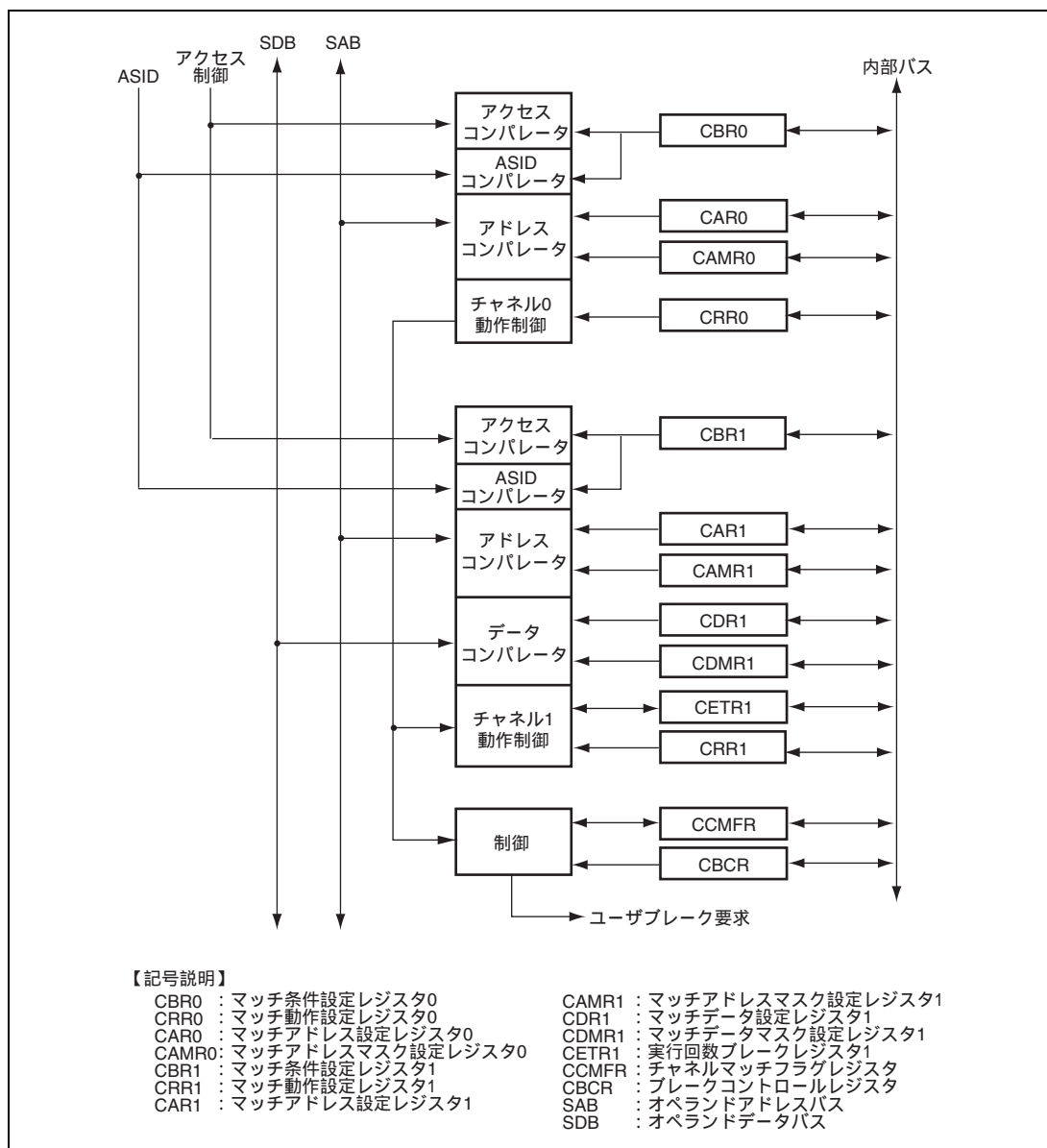


図 30.1 UBC のブロック図

30.2 レジスタの説明

UBC には以下のレジスタがあります。

表 30.1 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブレイクレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブレイクコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 30.2 各処理状態におけるレジスタの状態

名称	略称	パワーオンリセット	スリープ	スタンバイ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
実行回数ブレイクレジスタ 1	CETR1	不定	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
ブレイクコントロールレジスタ	CBCR	H'0000 0000	保持	保持

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

30.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレーク条件を指定します。設定可能なブレーク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SZ							CD			ID		RW		CE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : リザーブ (設定禁止)</p> <p>【注】初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	H'00	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする *³</p> <p>その他 : リザーブ (設定禁止)</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする その他：リザーブ（設定禁止）
5、4	ID	00	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE				CD	ID			RW	CE		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000 : CCMFR レジスタの MF0 ビット 000001 : CCMFR レジスタの MF1 ビット その他 : リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャネル 1 でヒットしなくなりますので注意してください。
23 ~ 16	AIV	すべて 0	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル ^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0 : データ値はマッチ条件に含まれず、チェックされない 1 : マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	000	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべのサイズが対象となる)*¹</p> <p>001: バイトアクセスを対象とする</p> <p>010: ワードアクセスを対象とする</p> <p>011: ロングワードアクセスを対象とする</p> <p>100: クワッドワードアクセスを対象とする*³</p> <p>その他: リザーブ(設定禁止)</p>
11	ETBE	0	R/W	<p>実行回数値イネーブル</p> <p>マッチ条件に実行回数値を含めるかどうかを指定します。このビットが 1 の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。</p> <p>0: 実行回数値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件に実行回数値を含める</p>
10~8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>
7、6	CD	00	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00: オペランドアクセスにおいてオペランドバスを対象とする</p> <p>その他: リザーブ(設定禁止)</p>
5、4	ID	00	R/W	<p>命令フェッチ/オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01: 命令フェッチサイクルを対象とする</p> <p>10: オペランドアクセスサイクルを対象とする</p> <p>11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>
3	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
2, 1	RW	00	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

30.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレイクタイミング、(2) ブレイク要求の有無です。

- CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2		すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	PCB	0	R/W	PC ブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0: PC ブレイクを命令実行前に設定する 1: PC ブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0: ブレイク要求しない 1: ブレイクを要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2		すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0: PC ブレークを命令実行前に設定する 1: PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0: ブレーク要求しない 1: ブレークを要求する

30.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブ레이크条件とする仮想アドレスを指定します。

- CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

- CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブ레이크条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

30.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

• CAMR1

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

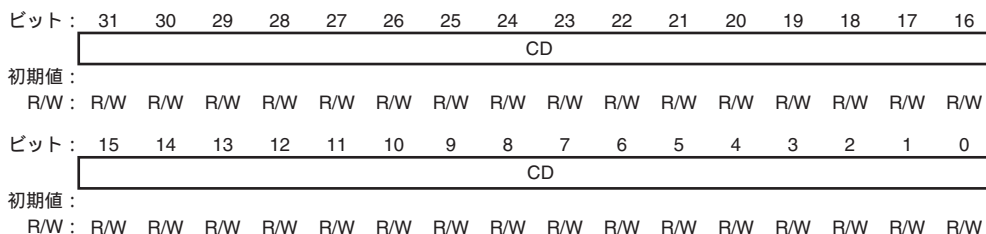
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

30.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。



ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

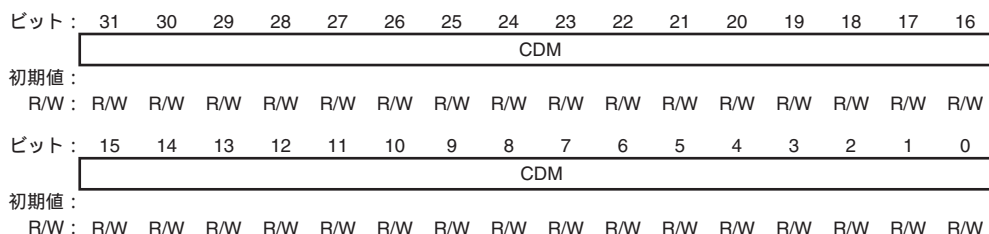
表 30.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

30.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

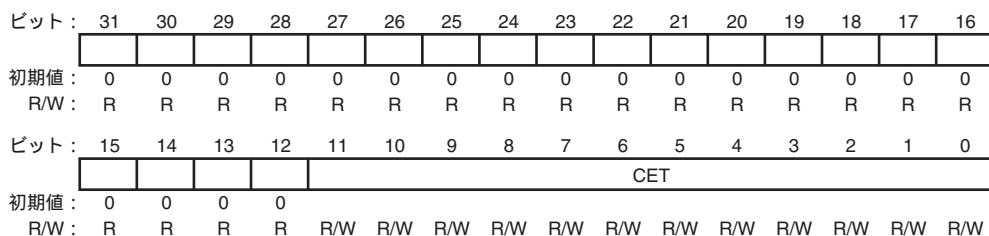
CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。



ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データマスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブレーク条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

30.2.7 実行回数ブレークレジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブレークが発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブレークが発生します。



ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブレーク条件とする実行回数を指定します。

30.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

30.2.9 ブレイクコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。ユーザブレイクデバッグサポート機能の詳細については、「30.4 ユーザブレイクデバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブレイクデバッグサポート機能イネーブル ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

30.3 動作説明

30.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

30.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブレイクデータをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブレイクレジスタ (CETR1) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

30.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタCBR1のDBEビットは無効となり、マッチデータ設定レジスタCDR1およびマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

30.3.4 オペランドアクセスサイクルブレーク

1. オペランドアクセスサイクルブレークの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 30.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE 命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブ레이크を発生させないでください。

30.3.5 シーケンシャルブ레이크

1. マッチ条件設定レジスタ (CBR0、CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル0 マッチ条件が成立した後チャンネル1 マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル 1 については実行回数ブ레이크条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

30.3.6 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

- 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレス + データ) をマッチ条件と指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に回避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが回避されます。

30.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 30.2 に示します。

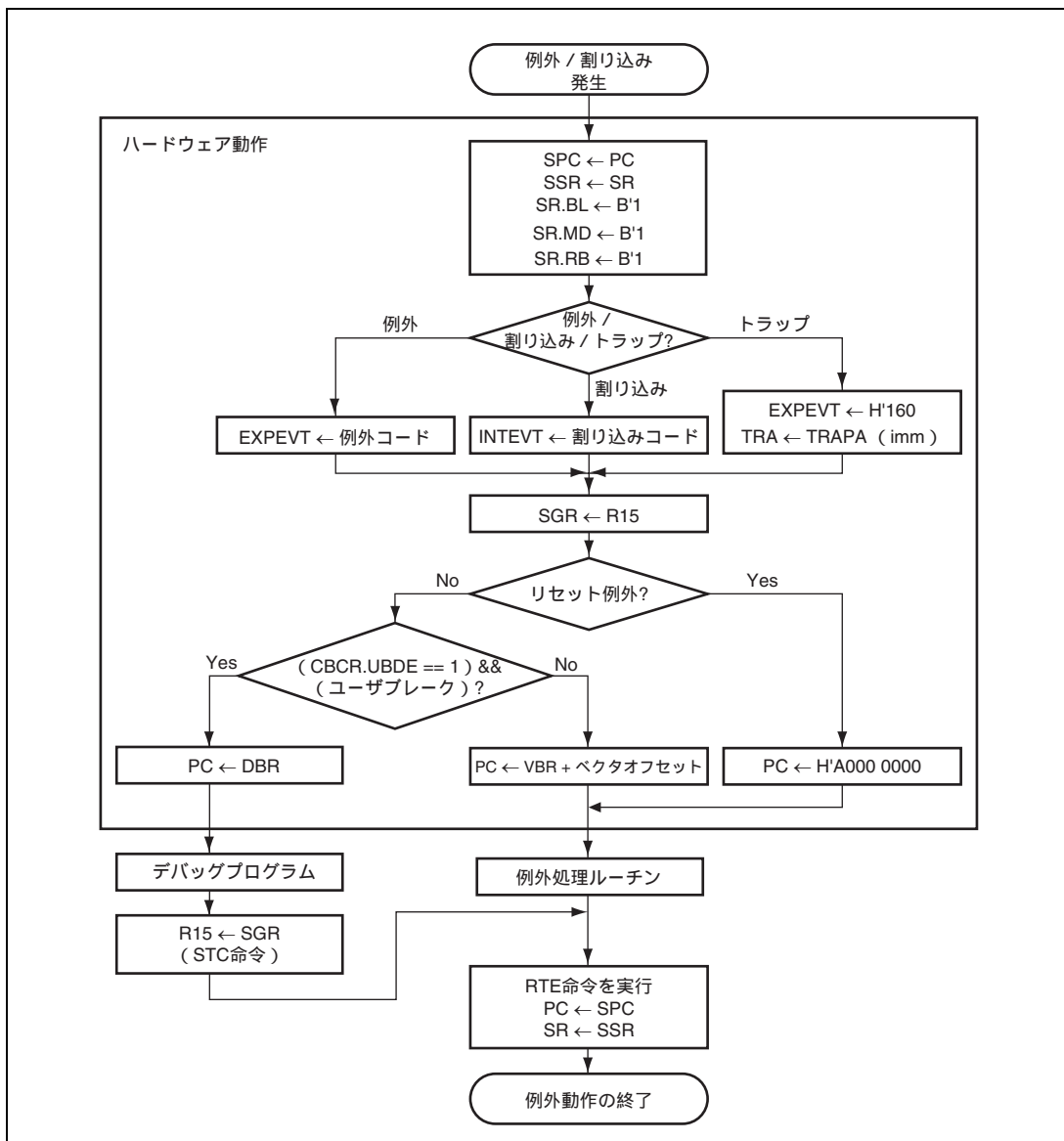


図 30.2 ユーザブレイクデバッグサポート機能のフローチャート

30.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル 1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID : H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件 : チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル 1】

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID、データ値、実行回数は条件に含まれない

チャンネル 0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件 : チャンネル 0 チャンネル 1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレークが発生します。

• 例1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5回

ASID、データ値は条件に含まれない

チャンネル0では、ユーザブレークはアドレス H'00000500 の命令の実行前に生じます。チャンネル1では、ユーザブレークは、アドレス H'00001000 の命令を4回実行した後、5回目の命令実行前に生じます。

• 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、ASID=H'80でアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはASID=H'70でH'000ABC00~H'000ABCFEにワードH'A512を書き込むときに生じます。

30.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみ有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0およびチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の 1～5 命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

31. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

31.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) からなります。 $\overline{\text{ASEBRK}}/\text{BRKACK}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3 ~ AUDATA0)、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 31.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

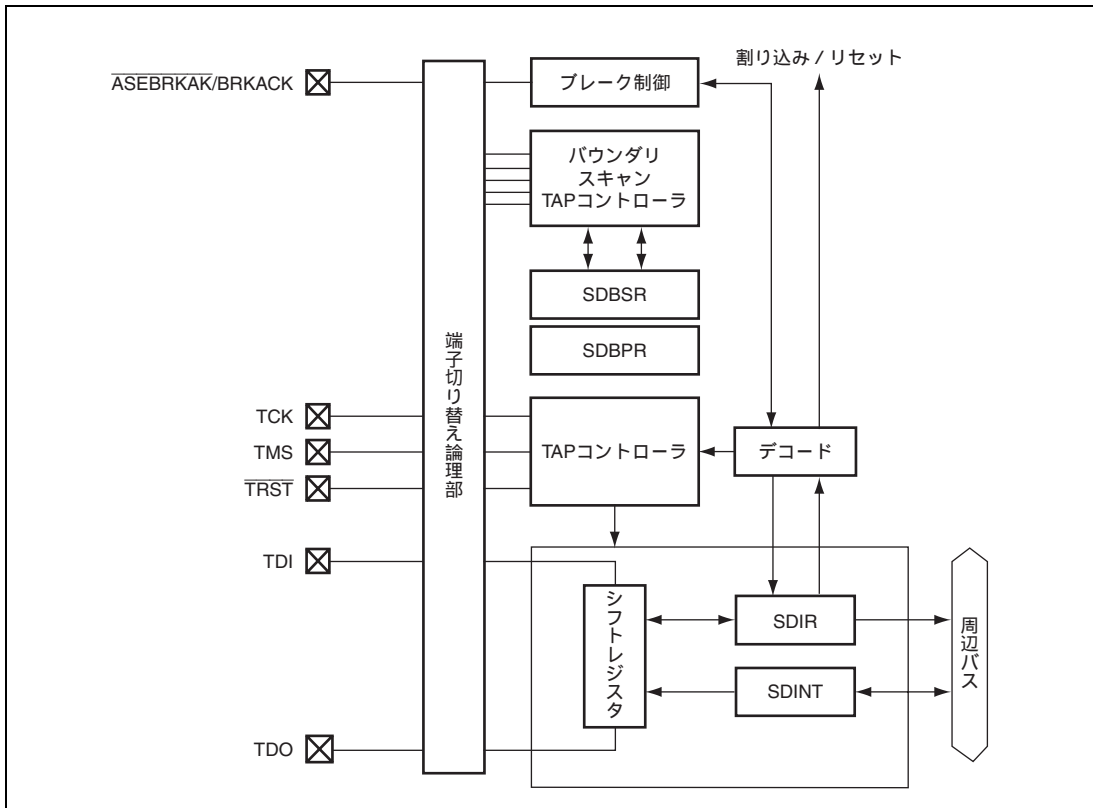


図 31.1 H-UDI のブロック図

31.2 入出力端子

H-UDI の端子構成を表 31.1 に示します。

表 31.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	オープン* ¹
TRST* ²	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グラウンド固定 または PRESET 接続 * ³
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* ¹
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK /BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* ¹
AUDSYNC AUDCK AUDATA3 ~ AUDATA0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	チップモード指定端子	入力	エミュレーションサポートモードとして動作させる (MPMD = ローレベル) か、本体チップモードとして動作させる (MPMD = ハイレベル) かを指定します。	オープン* ¹

- 【注】 *¹ チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *² エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用する場合は、電源投入時に PRESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。
- *³ グラウンド固定または PRESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グラウンド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグラウンドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

31.3 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL、XOUT、XIN) はバウンダリスキャンの対象から外れます。
- リセット関連信号 ($\overline{\text{PRESET}}$) はバウンダリスキャンの対象から外れます。
- H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、MPMD) はバウンダリスキャンの対象から外れます。
- USB 関連信号 (DM、DP、VBUS、REFRIN) はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ、H-UDI 切り替えコマンド) 実行時、TCK の最大周波数は 2MHz です。
- H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 4 ビットです。以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】 バウンダリスキャン時、 $\overline{\text{PRESET}}$ 端子をハイレベル固定にしてください。また、バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを図 31.2 に示します。

表 31.2 バウンダリスキャン TAP コントローラのサポートコマンド

ビット3	ビット2	ビット1	ビット0	説明
1	1	1	1	BYPASS
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	1	0	0	IDCODE
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
0	0	1	1	H-UDI 切り替えコマンド
上記以外				設定禁止

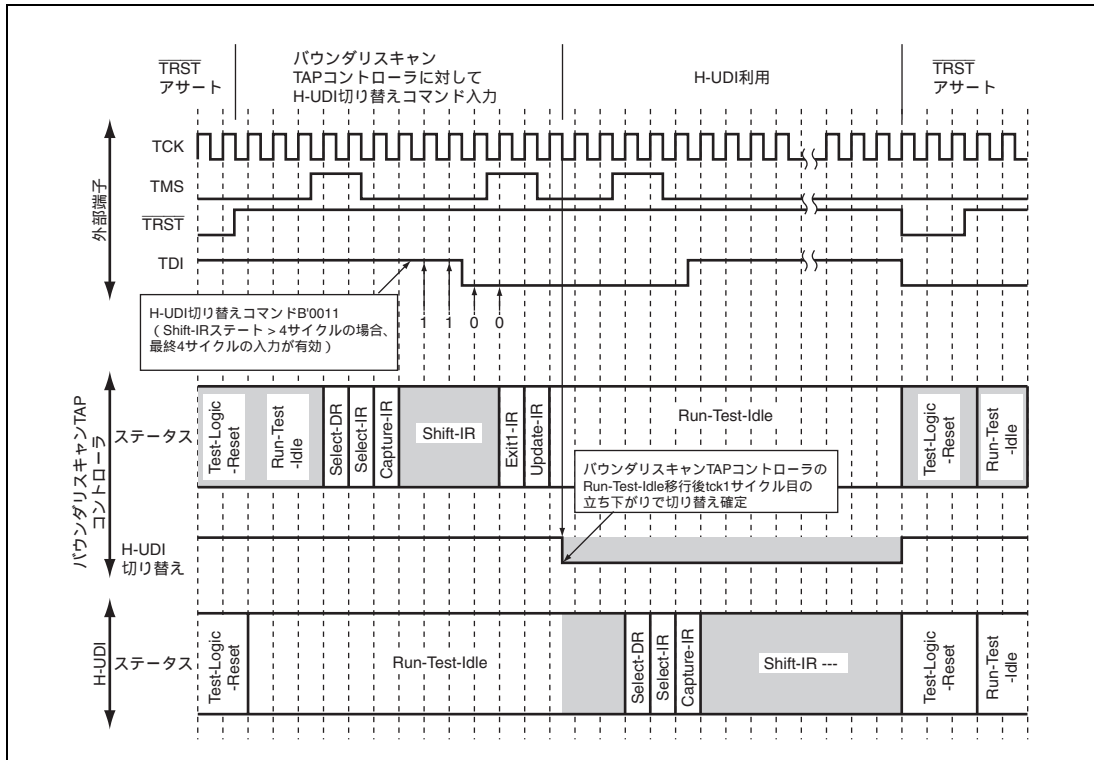


図 31.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

31.4 レジスタの説明

H-UDI のレジスタ構成を表 31.3、表 31.4 に示します。また、各処理モードにおけるレジスタの状態を表 31.5 に示します。

表 31.3 レジスタ構成 (1)

名 称	略称	CPU 側				
		R/W	P4 領域 アドレス*1	エリア 7 アドレス*1	アクセス サイズ	初期値*2
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バウンダリスキャンレジスタ	SDBSR	-	-	-	-	-
バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 $\overline{\text{TRST}}$ 子がローレベル、または TAP が Test-Logic-Reset の状態で初期化されます。

表 31.4 レジスタ構成 (2)

名 称	略称	H-UDI 端子側		
		R/W	アクセスサイズ	初期値*1
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値*2)
割り込み要因レジスタ	SDINT	W*3	32	H'0000 0000
バウンダリスキャンレジスタ	SDBSR	-	-	-
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 *1 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 31.5 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	スリープ	スタンバイ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持

31.4.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx : H-UDI、リセット、ネゲート 0111xxxx : H-UDI、リセット、アサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

【注】 H-UDI リセットを行っても、CPG および WDT モジュールは初期化されません。

31.4.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

31.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。パウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

31.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格に準拠したバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

表 31.6 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ
From TDI		
603	SCK0/AUDSYNC/FCLE	CONTROL
602	SCK0/AUDSYNC/FCLE	OUTPUT
601	SCK0/AUDSYNC/FCLE	INPUT
600	LCD_VEP_WC/DR5/PH0	CONTROL
599	LCD_VEP_WC/DR5/PH0	OUTPUT
598	LCD_VEP_WC/DR5/PH0	INPUT
597	LCD_FLM/VSYNC / EX_VSYNC/BT_VSYNC	CONTROL
596	LCD_FLM/VSYNC / EX_VSYNC/BT_VSYNC	OUTPUT
595	LCD_FLM/VSYNC / EX_VSYNC/BT_VSYNC	INPUT
594	LCD_CL1/HSYNC / EX_HSYNC/BT_HSYNC	CONTROL
593	LCD_CL1/HSYNC / EX_HSYNC/BT_HSYNC	OUTPUT
592	LCD_CL1/HSYNC / EX_HSYNC/BT_HSYNC	INPUT
591	LCD_M_DISP/DE_C / DE_H/BT_DE_C	CONTROL
590	LCD_M_DISP/DE_C / DE_H/BT_DE_C	OUTPUT
589	LCD_M_DISP/DE_C / DE_H/BT_DE_C	INPUT
588	LCD_VCP_WC/DR4/PH1	CONTROL
587	LCD_VCP_WC/DR4/PH1	OUTPUT
586	LCD_VCP_WC/DR4/PH1	INPUT
585	LCD_CLK/DCLKIN	CONTROL
584	LCD_CLK/DCLKIN	OUTPUT
583	LCD_CLK/DCLKIN	INPUT
582	LCD_DATA15/DR3/PG7	CONTROL
581	LCD_DATA15/DR3/PG7	OUTPUT
580	LCD_DATA15/DR3/PG7	INPUT
579	LCD_DATA14/DR2/PG6	CONTROL
578	LCD_DATA14/DR2/PG6	OUTPUT
577	LCD_DATA14/DR2/PG6	INPUT

番号	ピン名称	タイプ
576	LCD_DATA13/DR1/PG5	CONTROL
575	LCD_DATA13/DR1/PG5	OUTPUT
574	LCD_DATA13/DR1/PG5	INPUT
573	LCD_DATA12/DR0/PG4	CONTROL
572	LCD_DATA12/DR0/PG4	OUTPUT
571	LCD_DATA12/DR0/PG4	INPUT
570	LCD_DATA11/DG5/PG3	CONTROL
569	LCD_DATA11/DG5/PG3	OUTPUT
568	LCD_DATA11/DG5/PG3	INPUT
567	LCD_DATA10/DG4/PG2	CONTROL
566	LCD_DATA10/DG4/PG2	OUTPUT
565	LCD_DATA10/DG4/PG2	INPUT
564	LCD_DATA9/DG3/PG1	CONTROL
563	LCD_DATA9/DG3/PG1	OUTPUT
562	LCD_DATA9/DG3/PG1	INPUT
561	LCD_DATA8/DG2/PG0	CONTROL
560	LCD_DATA8/DG2/PG0	OUTPUT
559	LCD_DATA8/DG2/PG0	INPUT
558	LCD_DATA7/DG1/BT_DATA7/PI4	CONTROL
557	LCD_DATA7/DG1/BT_DATA7/PI4	OUTPUT
556	LCD_DATA7/DG1/BT_DATA7/PI4	INPUT
555	LCD_DATA6/DG0/BT_DATA6/PI3	CONTROL
554	LCD_DATA6/DG0/BT_DATA6/PI3	OUTPUT
553	LCD_DATA6/DG0/BT_DATA6/PI3	INPUT
552	LCD_DATA5/DB5/BT_DATA5/PI2	CONTROL
551	LCD_DATA5/DB5/BT_DATA5/PI2	OUTPUT
550	LCD_DATA5/DB5/BT_DATA5/PI2	INPUT
549	LCD_DATA4/DB4/BT_DATA4/PI1	CONTROL
548	LCD_DATA4/DB4/BT_DATA4/PI1	OUTPUT
547	LCD_DATA4/DB4/BT_DATA4/PI1	INPUT
546	LCD_DATA3/DB3/BT_DATA3	CONTROL
545	LCD_DATA3/DB3/BT_DATA3	OUTPUT
544	LCD_DATA3/DB3/BT_DATA3	INPUT
543	LCD_DATA2/DB2/BT_DATA2	CONTROL
542	LCD_DATA2/DB2/BT_DATA2	OUTPUT
541	LCD_DATA2/DB2/BT_DATA2	INPUT

番号	ピン名称	タイプ
540	LCD_DATA1/DB1/BT_DATA1	CONTROL
539	LCD_DATA1/DB1/BT_DATA1	OUTPUT
538	LCD_DATA1/DB1/BT_DATA1	INPUT
537	LCD_DATA0/DB0/BT_DATA0	CONTROL
536	LCD_DATA0/DB0/BT_DATA0	OUTPUT
535	LCD_DATA0/DB0/BT_DATA0	INPUT
534	LCD_CL2/DE_V/PH3	CONTROL
533	LCD_CL2/DE_V/PH3	OUTPUT
532	LCD_CL2/DE_V/PH3	INPUT
531	LCD_DON/DCLKOUT/PH2	CONTROL
530	LCD_DON/DCLKOUT/PH2	OUTPUT
529	LCD_DON/DCLKOUT/PH2	INPUT
528	PI0/COM / CDE	CONTROL
527	PI0/COM / CDE	OUTPUT
526	PI0/COM / CDE	INPUT
525	$\overline{\text{RDY}}$	INPUT
524	-	INTERNAL
523	NMI	INPUT
522	$\overline{\text{BACK}}$	CONTROL
521	$\overline{\text{BACK}}$	OUTPUT
520	$\overline{\text{BACK}}$	INPUT
519	$\overline{\text{RD}}$	CONTROL
518	$\overline{\text{RD}}$	OUTPUT
517	$\overline{\text{RD}}$	INPUT
516	$\overline{\text{CS3}}$	CONTROL
515	$\overline{\text{CS3}}$	OUTPUT
514	$\overline{\text{CS3}}$	INPUT
513	$\overline{\text{BREQ}}$	INPUT
512	$\overline{\text{BS}}$	CONTROL
511	$\overline{\text{BS}}$	OUTPUT
510	CS0	CONTROL
509	CS0	OUTPUT
508	CS0	INPUT
507	$\overline{\text{ASEBRK}}/\text{BRKACK}/\text{TCLK}/\text{PC1}$	CONTROL
506	$\overline{\text{ASEBRK}}/\text{BRKACK}/\text{TCLK}/\text{PC1}$	OUTPUT
505	$\overline{\text{ASEBRK}}/\text{BRKACK}/\text{TCLK}/\text{PC1}$	INPUT

番号	ピン名称	タイプ
504	A25/PB7/DREQ0/RTS0	CONTROL
503	A25/PB7/DREQ0/RTS0	OUTPUT
502	A25/PB7/DREQ0/RTS0	INPUT
501	A24/PB6/DACK0/CTS0	CONTROL
500	A24/PB6/DACK0/CTS0	OUTPUT
499	A24/PB6/DACK0/CTS0	INPUT
498	A17	CONTROL
497	A17	OUTPUT
496	A17	INPUT
495	A23/PB5/DTEND0/RTS1	CONTROL
494	A23/PB5/DTEND0/RTS1	OUTPUT
493	A23/PB5/DTEND0/RTS1	INPUT
492	A21/PB3	CONTROL
491	A21/PB3	OUTPUT
490	A21/PB3	INPUT
489	A20/PB2	CONTROL
488	A20/PB2	OUTPUT
487	A20/PB2	INPUT
486	A22/PB4/CTS1	CONTROL
485	A22/PB4/CTS1	OUTPUT
484	A22/PB4/CTS1	INPUT
483	A19/PB1	CONTROL
482	A19/PB1	OUTPUT
481	A19/PB1	INPUT
480	A18/PB0	CONTROL
479	A18/PB0	OUTPUT
478	A18/PB0	INPUT
477	D15	CONTROL
476	D15	OUTPUT
475	D15	INPUT
474	D14	CONTROL
473	D14	OUTPUT
472	D14	INPUT
471	D1	CONTROL
470	D1	OUTPUT
469	D1	INPUT

番号	ピン名称	タイプ
468	D0	CONTROL
467	D0	OUTPUT
466	D0	INPUT
465	D13	CONTROL
464	D13	OUTPUT
463	D13	INPUT
462	D12	CONTROL
461	D12	OUTPUT
460	D12	INPUT
459	D3	CONTROL
458	D3	OUTPUT
457	D3	INPUT
456	D2	CONTROL
455	D2	OUTPUT
454	D2	INPUT
453	D11	CONTROL
452	D11	OUTPUT
451	D11	INPUT
450	D10	CONTROL
449	D10	OUTPUT
448	D10	INPUT
447	D5	CONTROL
446	D5	OUTPUT
445	D5	INPUT
444	D4	CONTROL
443	D4	OUTPUT
442	D4	INPUT
441	D9	CONTROL
440	D9	OUTPUT
439	D9	INPUT
438	D6	CONTROL
437	D6	OUTPUT
436	D6	INPUT
435	D7	CONTROL
434	D7	OUTPUT
433	D7	INPUT

番号	ピン名称	タイプ
432	D8	CONTROL
431	D8	OUTPUT
430	D8	INPUT
429	DQMLL	CONTROL
428	DQMLL	OUTPUT
427	DQMLL	INPUT
426	DQMUL	CONTROL
425	DQMUL	OUTPUT
424	DQMUL	INPUT
423	DQMUU	CONTROL
422	DQMUU	OUTPUT
421	DQMUU	INPUT
420	D16	CONTROL
419	D16	OUTPUT
418	D16	INPUT
417	DQMLU	CONTROL
416	DQMLU	OUTPUT
415	DQMLU	INPUT
414	D17	CONTROL
413	D17	OUTPUT
412	D17	INPUT
411	D18	CONTROL
410	D18	OUTPUT
409	D18	INPUT
408	D19	CONTROL
407	D19	OUTPUT
406	D19	INPUT
405	D31	CONTROL
404	D31	OUTPUT
403	D31	INPUT
402	D30	CONTROL
401	D30	OUTPUT
400	D30	INPUT
399	D20	CONTROL
398	D20	OUTPUT
397	D20	INPUT

番号	ピン名称	タイプ
396	D21	CONTROL
395	D21	OUTPUT
394	D21	INPUT
393	D22	CONTROL
392	D22	OUTPUT
391	D22	INPUT
390	D28	CONTROL
389	D28	OUTPUT
388	D28	INPUT
387	D29	CONTROL
386	D29	OUTPUT
385	D29	INPUT
384	A15	CONTROL
383	A15	OUTPUT
382	A15	INPUT
381	D23	CONTROL
380	D23	OUTPUT
379	D23	INPUT
378	D26	CONTROL
377	D26	OUTPUT
376	D26	INPUT
375	A13	CONTROL
374	A13	OUTPUT
373	A16	CONTROL
372	A16	OUTPUT
371	A16	INPUT
370	D27	CONTROL
369	D27	OUTPUT
368	D27	INPUT
367	D24	CONTROL
366	D24	OUTPUT
365	D24	INPUT
364	A10	CONTROL
363	A10	OUTPUT
362	A14	CONTROL
361	A14	OUTPUT
360	D25	CONTROL

番号	ピン名称	タイプ
359	D25	OUTPUT
358	D25	INPUT
357	A4	CONTROL
356	A4	OUTPUT
355	A11	CONTROL
354	A11	OUTPUT
353	A5	CONTROL
352	A5	OUTPUT
351	R/W	CONTROL
350	R/W	OUTPUT
349	A8	CONTROL
348	A8	OUTPUT
347	A12	CONTROL
346	A12	OUTPUT
345	CKE	CONTROL
344	CKE	OUTPUT
343	$\overline{\text{RAS}}$	CONTROL
342	$\overline{\text{RAS}}$	OUTPUT
341	CLKOUT	CONTROL
340	CLKOUT	OUTPUT
339	A9	CONTROL
338	A9	OUTPUT
337	A6	CONTROL
336	A6	OUTPUT
335	A7	CONTROL
334	A7	OUTPUT
333	$\overline{\text{CAS}}$	CONTROL
332	$\overline{\text{CAS}}$	OUTPUT
331	$\overline{\text{CS1}}$	CONTROL
330	$\overline{\text{CS1}}$	OUTPUT
329	$\overline{\text{CS1}}$	INPUT
328	$\overline{\text{CS2}}$	CONTROL
327	$\overline{\text{CS2}}$	OUTPUT
326	$\overline{\text{CS2}}$	INPUT
325	A0	CONTROL
324	A0	OUTPUT
323	D47/ $\overline{\text{IDECs0}}$	CONTROL

番号	ピン名称	タイプ
322	D47/ $\overline{\text{IDEC S0}}$	OUTPUT
321	D47/ $\overline{\text{IDEC S0}}$	INPUT
320	A3	CONTROL
319	A3	OUTPUT
318	A1	CONTROL
317	A1	OUTPUT
316	D45/ $\overline{\text{IODACK}}$	CONTROL
315	D45/ $\overline{\text{IODACK}}$	OUTPUT
314	D45/ $\overline{\text{IODACK}}$	INPUT
313	D46/ $\overline{\text{IDEC S1}}$	CONTROL
312	D46/ $\overline{\text{IDEC S1}}$	OUTPUT
311	D46/ $\overline{\text{IDEC S1}}$	INPUT
310	D33/PF6	CONTROL
309	D33/PF6	OUTPUT
308	D33/PF6	INPUT
307	A2	CONTROL
306	A2	OUTPUT
305	D44/ $\overline{\text{IDEINT}}$	CONTROL
304	D44/ $\overline{\text{IDEINT}}$	OUTPUT
303	D44/ $\overline{\text{IDEINT}}$	INPUT
302	D43/ $\overline{\text{IDEIORDY}}$	CONTROL
301	D43/ $\overline{\text{IDEIORDY}}$	OUTPUT
300	D43/ $\overline{\text{IDEIORDY}}$	INPUT
299	D42/ $\overline{\text{IDEIORD}}$	CONTROL
298	D42/ $\overline{\text{IDEIORD}}$	OUTPUT
297	D42/ $\overline{\text{IDEIORD}}$	INPUT
296	D32/PF7	CONTROL
295	D32/PF7	OUTPUT
294	D32/PF7	INPUT
293	D40/ $\overline{\text{IDEIOWR}}$	CONTROL
292	D40/ $\overline{\text{IDEIOWR}}$	OUTPUT
291	D40/ $\overline{\text{IDEIOWR}}$	INPUT
290	D41/ $\overline{\text{IODREQ}}$	CONTROL
289	D41/ $\overline{\text{IODREQ}}$	OUTPUT
288	D41/ $\overline{\text{IODREQ}}$	INPUT
287	D35/ $\overline{\text{IDEA0}}$	CONTROL
286	D35/ $\overline{\text{IDEA0}}$	OUTPUT

番号	ピン名称	タイプ
285	D35/IDEA0	INPUT
284	D37/IDEA1	CONTROL
283	D37/IDEA1	OUTPUT
282	D37/IDEA1	INPUT
281	D39/IDED14	CONTROL
280	D39/IDED14	OUTPUT
279	D39/IDED14	INPUT
278	D34/PF5	CONTROL
277	D34/PF5	OUTPUT
276	D34/PF5	INPUT
275	D36/IDEA2	CONTROL
274	D36/IDEA2	OUTPUT
273	D36/IDEA2	INPUT
272	D63/IDED1	CONTROL
271	D63/IDED1	OUTPUT
270	D63/IDED1	INPUT
269	D38/IDED15	CONTROL
268	D38/IDED15	OUTPUT
267	D38/IDED15	INPUT
266	D62/IDED0	CONTROL
265	D62/IDED0	OUTPUT
264	D62/IDED0	INPUT
263	$\overline{WE2}/DQM64UL$	CONTROL
262	$\overline{WE2}/DQM64UL$	OUTPUT
261	$\overline{WE0}/DQM64LL$	CONTROL
260	$\overline{WE0}/DQM64LL$	OUTPUT
259	D60/IDED2	CONTROL
258	D60/IDED2	OUTPUT
257	D60/IDED2	INPUT
256	$\overline{WE3}/DQM64UU$	CONTROL
255	$\overline{WE3}/DQM64UU$	OUTPUT
254	$\overline{WE1}/DQM64LU$	CONTROL
253	$\overline{WE1}/DQM64LU$	OUTPUT
252	D61/IDED3	CONTROL
251	D61/IDED3	OUTPUT
250	D61/IDED3	INPUT
249	D48/IDED13	CONTROL

番号	ピン名称	タイプ
248	D48/IDED13	OUTPUT
247	D48/IDED13	INPUT
246	D59/IDED5	CONTROL
245	D59/IDED5	OUTPUT
244	D59/IDED5	INPUT
243	D58/IDED4	CONTROL
242	D58/IDED4	OUTPUT
241	D58/IDED4	INPUT
240	D49/IDED12	CONTROL
239	D49/IDED12	OUTPUT
238	D49/IDED12	INPUT
237	D51/IDED10	CONTROL
236	D51/IDED10	OUTPUT
235	D51/IDED10	INPUT
234	D50/IDED11	CONTROL
233	D50/IDED11	OUTPUT
232	D50/IDED11	INPUT
231	D56/IDED6	CONTROL
230	D56/IDED6	OUTPUT
229	D56/IDED6	INPUT
228	D52/IDED9	CONTROL
227	D52/IDED9	OUTPUT
226	D52/IDED9	INPUT
225	D53/IDED8	CONTROL
224	D53/IDED8	OUTPUT
223	D53/IDED8	INPUT
222	D57/IDED7	CONTROL
221	D57/IDED7	OUTPUT
220	D57/IDED7	INPUT
219	D54/IDERST	CONTROL
218	D54/IDERST	OUTPUT
217	D54/IDERST	INPUT
216	D55/DIRECTION	CONTROL
215	D55/DIRECTION	OUTPUT
214	D55/DIRECTION	INPUT
213	WOL/PF2/IDEA0_M	CONTROL
212	WOL/PF2/IDEA0_M	OUTPUT

番号	ピン名称	タイプ
211	WOL/PF2/IDEA0_M	INPUT
210	SSISCK2/PC3	CONTROL
209	SSISCK2/PC3	OUTPUT
208	SSISCK2/PC3	INPUT
207	SSIDATA2/PC2	CONTROL
206	SSIDATA2/PC2	OUTPUT
205	SSIDATA2/PC2	INPUT
204	SSIWS2/PC4	CONTROL
203	SSIWS2/PC4	OUTPUT
202	SSIWS2/PC4	INPUT
201	LNKSTA/PF3/IDECS0_M	CONTROL
200	LNKSTA/PF3/IDECS0_M	OUTPUT
199	LNKSTA/PF3/IDECS0_M	INPUT
198	EXOUT/PF4/IDECS1_M	CONTROL
197	EXOUT/PF4/IDECS1_M	OUTPUT
196	EXOUT/PF4/IDECS1_M	INPUT
195	AUDIO_CLK2/PC5	CONTROL
194	AUDIO_CLK2/PC5	OUTPUT
193	AUDIO_CLK2/PC5	INPUT
192	CRS/PD7/IDEA1_M	CONTROL
191	CRS/PD7/IDEA1_M	OUTPUT
190	CRS/PD7/IDEA1_M	INPUT
189	COL/PE7/IDEA2_M	CONTROL
188	COL/PE7/IDEA2_M	OUTPUT
187	COL/PE7/IDEA2_M	INPUT
186	TX_ER/PD6/IDEIOWR_M	CONTROL
185	TX_ER/PD6/IDEIOWR_M	OUTPUT
184	TX_ER/PD6/IDEIOWR_M	INPUT
183	MII_TXD3/SSIDATA5/I \bar ODACK_M/PD0	CONTROL
182	MII_TXD3/SSIDATA5/I \bar ODACK_M/PD0	OUTPUT
181	MII_TXD3/SSIDATA5/I \bar ODACK_M/PD0	INPUT
180	MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1	CONTROL
179	MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1	OUTPUT
178	MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1	INPUT
177	RX_ER/PE6/IODREQ_M	CONTROL
176	RX_ER/PE6/IODREQ_M	OUTPUT
175	RX_ER/PE6/IODREQ_M	INPUT

番号	ピン名称	タイプ
174	MII_TXD1/SSIWS5/IDEIORD_M/PD2	CONTROL
173	MII_TXD1/SSIWS5/IDEIORD_M/PD2	OUTPUT
172	MII_TXD1/SSIWS5/IDEIORD_M/PD2	INPUT
171	SSIDATA3/PH4	CONTROL
170	SSIDATA3/PH4	OUTPUT
169	SSIDATA3/PH4	INPUT
168	MII_TXD0/SSISCK5/IDEIORDY_M/PD3	CONTROL
167	MII_TXD0/SSISCK5/IDEIORDY_M/PD3	OUTPUT
166	MII_TXD0/SSISCK5/IDEIORDY_M/PD3	INPUT
165	TX_EN/PD4/IDED0_M	CONTROL
164	TX_EN/PD4/IDED0_M	OUTPUT
163	TX_EN/PD4/IDED0_M	INPUT
162	SSIWS3/PH6	CONTROL
161	SSIWS3/PH6	OUTPUT
160	SSIWS3/PH6	INPUT
159	TX_CLK/PD5/IDED15_M	CONTROL
158	TX_CLK/PD5/IDED15_M	OUTPUT
157	TX_CLK/PD5/IDED15_M	INPUT
156	RX_CLK/PE5/IDED1_M	CONTROL
155	RX_CLK/PE5/IDED1_M	OUTPUT
154	RX_CLK/PE5/IDED1_M	INPUT
153	RX_DV/PE4/IDED14_M	CONTROL
152	RX_DV/PE4/IDED14_M	OUTPUT
151	RX_DV/PE4/IDED14_M	INPUT
150	SSISCK3/PH5	CONTROL
149	SSISCK3/PH5	OUTPUT
148	SSISCK3/PH5	INPUT
147	IRQ0/DTEND $\bar{1}$	CONTROL
146	IRQ0/DTEND $\bar{1}$	OUTPUT
145	IRQ0/DTEND $\bar{1}$	INPUT
144	MII_RXD0/SSIWS4/IDED2_M/PE3	CONTROL
143	MII_RXD0/SSIWS4/IDED2_M/PE3	OUTPUT
142	MII_RXD0/SSIWS4/IDED2_M/PE3	INPUT
141	MII_RXD1/SSISCK4/IDED13_M/PE2	CONTROL
140	MII_RXD1/SSISCK4/IDED13_M/PE2	OUTPUT
139	MII_RXD1/SSISCK4/IDED13_M/PE2	INPUT
138	AUDIO_CLK3/PH7	CONTROL

番号	ピン名称	タイプ
137	AUDIO_CLK3/PH7	OUTPUT
136	AUDIO_CLK3/PH7	INPUT
135	MII_RXD2/SSIDATA4/IDED3_M/PE1	CONTROL
134	MII_RXD2/SSIDATA4/IDED3_M/PE1	OUTPUT
133	MII_RXD2/SSIDATA4/IDED3_M/PE1	INPUT
132	$\overline{\text{IRQOUT/DREQ1}}$	CONTROL
131	$\overline{\text{IRQOUT/DREQ1}}$	OUTPUT
130	$\overline{\text{IRQOUT/DREQ1}}$	INPUT
129	MII_RXD3/AUDIO_CLK4/IDED12_M/PE0	CONTROL
128	MII_RXD3/AUDIO_CLK4/IDED12_M/PE0	OUTPUT
127	MII_RXD3/AUDIO_CLK4/IDED12_M/PE0	INPUT
126	MDC/PF0/IDED4_M	CONTROL
125	MDC/PF0/IDED4_M	OUTPUT
124	MDC/PF0/IDED4_M	INPUT
123	MDIO/PF1/IDED11_M	CONTROL
122	MDIO/PF1/IDED11_M	OUTPUT
121	MDIO/PF1/IDED11_M	INPUT
120	AUDIO_CLK0/PC7	CONTROL
119	AUDIO_CLK0/PC7	OUTPUT
118	AUDIO_CLK0/PC7	INPUT
117	SSIWS0	CONTROL
116	SSIWS0	OUTPUT
115	SSIWS0	INPUT
114	STATUS1/ $\overline{\text{RTS2}}$ /PA7	CONTROL
113	STATUS1/ $\overline{\text{RTS2}}$ /PA7	OUTPUT
112	STATUS1/ $\overline{\text{RTS2}}$ /PA7	INPUT
111	SSISCK0	CONTROL
110	SSISCK0	OUTPUT
109	SSISCK0	INPUT
108	AUDIO_CLK1/PC6	CONTROL
107	AUDIO_CLK1/PC6	OUTPUT
106	AUDIO_CLK1/PC6	INPUT
105	STATUS0/ $\overline{\text{CTS2}}$ /PA6	CONTROL
104	STATUS0/ $\overline{\text{CTS2}}$ /PA6	OUTPUT
103	STATUS0/ $\overline{\text{CTS2}}$ /PA6	INPUT
102	SSIDATA0	CONTROL
101	SSIDATA0	OUTPUT

番号	ピン名称	タイプ
100	SSIDATA0	INPUT
99	SSISCK1	CONTROL
98	SSISCK1	OUTPUT
97	SSISCK1	INPUT
96	PJ7/IDED10_M	CONTROL
95	PJ7/IDED10_M	OUTPUT
94	PJ7/IDED10_M	INPUT
93	SSIWS1	CONTROL
92	SSIWS1	OUTPUT
91	SSIWS1	INPUT
90	PJ6/IDED5_M	CONTROL
89	PJ6/IDED5_M	OUTPUT
88	PJ6/IDED5_M	INPUT
87	$\overline{\text{FRE}}/\text{PA4}$	CONTROL
86	$\overline{\text{FRE}}/\text{PA4}$	OUTPUT
85	$\overline{\text{FRE}}/\text{PA4}$	INPUT
84	SSIDATA1	CONTROL
83	SSIDATA1	OUTPUT
82	SSIDATA1	INPUT
81	PJ5/IDED9_M	CONTROL
80	PJ5/IDED9_M	OUTPUT
79	PJ5/IDED9_M	INPUT
78	PJ4/IDED6_M	CONTROL
77	PJ4/IDED6_M	OUTPUT
76	PJ4/IDED6_M	INPUT
75	PJ2/IDED8_M	CONTROL
74	PJ2/IDED8_M	OUTPUT
73	PJ2/IDED8_M	INPUT
72	PJ3/IDED7_M	CONTROL
71	PJ3/IDED7_M	OUTPUT
70	PJ3/IDED7_M	INPUT
69	$\overline{\text{FWE}}/\text{PA3}$	CONTROL
68	$\overline{\text{FWE}}/\text{PA3}$	OUTPUT
67	$\overline{\text{FWE}}/\text{PA3}$	INPUT
66	$\overline{\text{FCE}}/\text{PA5}$	CONTROL
65	$\overline{\text{FCE}}/\text{PA5}$	OUTPUT
64	$\overline{\text{FCE}}/\text{PA5}$	INPUT

番号	ピン名称	タイプ
63	PJ1/IDERST_M	CONTROL
62	PJ1/IDERST_M	OUTPUT
61	PJ1/IDERST_M	INPUT
60	PJ0/DIRECTION_M	CONTROL
59	PJ0/DIRECTION_M	OUTPUT
58	PJ0/DIRECTION_M	INPUT
57	MODE7/FD6	CONTROL
56	MODE7/FD6	OUTPUT
55	MODE7/FD6	INPUT
54	FALE/PC0	CONTROL
53	FALE/PC0	OUTPUT
52	FALE/PC0	INPUT
51	MODE3/FD3	CONTROL
50	MODE3/FD3	OUTPUT
49	MODE3/FD3	INPUT
48	MODE5/FD5	CONTROL
47	MODE5/FD5	OUTPUT
46	MODE5/FD5	INPUT
45	TXD2/PA2	CONTROL
44	TXD2/PA2	OUTPUT
43	TXD2/PA2	INPUT
42	MODE2/FD2	CONTROL
41	MODE2/FD2	OUTPUT
40	MODE2/FD2	INPUT
39	MODE4/FD4	CONTROL
38	MODE4/FD4	OUTPUT
37	MODE4/FD4	INPUT
36	MODE8/FD7	CONTROL
35	MODE8/FD7	OUTPUT
34	MODE8/FD7	INPUT
33	MODE1/FD1	CONTROL
32	MODE1/FD1	OUTPUT
31	MODE1/FD1	INPUT
30	RXD2/PA1	CONTROL
29	RXD2/PA1	OUTPUT
28	RXD2/PA1	INPUT
27	SCK2/PA0	CONTROL

番号	ピン名称	タイプ
26	SCK2/PA0	OUTPUT
25	SCK2/PA0	INPUT
24	SCL	OUTPUT
23	SCL	INPUT
22	SDA	OUTPUT
21	SDA	INPUT
20	RXD1/AUDATA2	CONTROL
19	RXD1/AUDATA2	OUTPUT
18	RXD1/AUDATA2	INPUT
17	WDTOVF/IRQ1/AUDCK/DACK1	CONTROL
16	WDTOVF/IRQ1/AUDCK/DACK1	OUTPUT
15	WDTOVF/IRQ1/AUDCK/DACK1	INPUT
14	MODE0/FD0	CONTROL
13	MODE0/FD0	OUTPUT
12	MODE0/FD0	INPUT
11	RXD0/AUDATA0	CONTROL
10	RXD0/AUDATA0	OUTPUT
9	RXD0/AUDATA0	INPUT
8	TXD1/AUDATA3	CONTROL
7	TXD1/AUDATA3	OUTPUT
6	TXD1/AUDATA3	INPUT
5	TXD0/AUDATA1	CONTROL
4	TXD0/AUDATA1	OUTPUT
3	TXD0/AUDATA1	INPUT
2	SCK1/FR \bar{B}	CONTROL
1	SCK1/FR \bar{B}	OUTPUT
0	SCK1/FR \bar{B}	INPUT
To TDO		

31.5 動作説明

31.5.1 TAP 制御

図 31.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}} = 0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

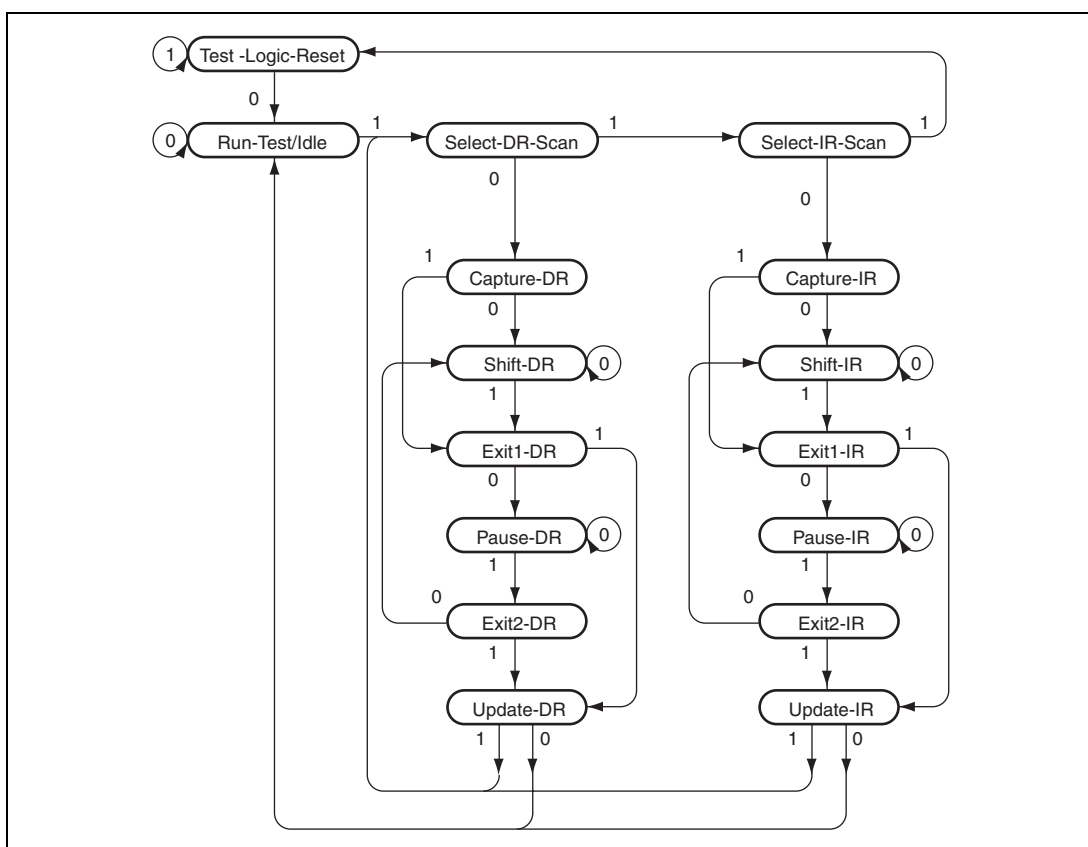


図 31.3 TAP 制御状態遷移図

31.5.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 31.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

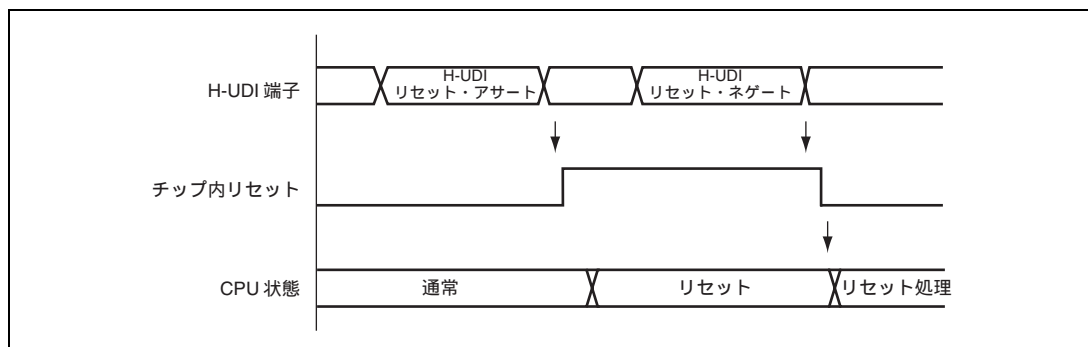


図 31.4 H-UDI リセット

31.5.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

31.6 注意事項

一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

32. SD ホストインタフェース (SDHI)

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

33. レジスタ一覧

33.1 レジスタアドレス一覧

- 本LSIの内蔵I/Oレジスタを、機能モジュール単位で、マニュアルの章番号の順に記載します。
- 本一覧表で記載されていないリザーブアドレスへのアクセスは禁止です。アクセスしたときの動作および継続する動作については保証できません。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
- アクセスサイズは、ビット数を示します。
- 各レジスタの詳細は、関連章のレジスタ説明の項を参照してください。

表 33.1 レジスタ構成

モジュール	名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ	備考
例外処理	TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32	
	例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32	
	割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32	
	非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32	
MMU	ページテーブルエントリ上位 レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32	
	ページテーブルエントリ下位 レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32	
	変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32	
	TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32	
	MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32	
	ページテーブルエントリ アシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32	
	物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32	
	命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32	
キャッシュ	キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32	
	キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32	
	キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32	
	内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
内蔵メモリ	内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074*	H'1F00 0074*	32	
CPG	周波数制御レジスタ	FRQCR	R	H'FFC8 0000	H'1FC8 0000	32	
	PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32	
	VDC2 クロック制御レジスタ	VDC2CLKCR	R/W	H'FFC8 0004	H'1FC8 0004	32	
WDT	ウォッチドッグタイマストップ タイムレジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32	
	ウォッチドッグタイマコントロ ール/ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32	
	ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32	
	ウォッチドッグタイマカウンタ	WDTCNT	R	H'FFCC 0010	H'1FCC 0010	32	
	ウォッチドッグタイマベース カウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32	
DMAC	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FF60 8020	H'1F60 8020	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 0	DAR0	R/W	H'FF60 8024	H'1F60 8024	32 ^{*3}	
	DMA トランスファカウン トレジスタ 0	TCR0	R/W	H'FF60 8028	H'1F60 8028	32 ^{*3}	
	DMA チャネルコントロ ールレジスタ 0	CHCR0	R/W ^{*1}	H'FF60 802C	H'1F60 802C	32 ^{*3}	
	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FF60 8030	H'1F60 8030	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 1	DAR1	R/W	H'FF60 8034	H'1F60 8034	32 ^{*3}	
	DMA トランスファカウン トレジスタ 1	TCR1	R/W	H'FF60 8038	H'1F60 8038	32 ^{*3}	
	DMA チャネルコントロ ールレジスタ 1	CHCR1	R/W ^{*1}	H'FF60 803C	H'1F60 803C	32 ^{*3}	
	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FF60 8040	H'1F60 8040	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 2	DAR2	R/W	H'FF60 8044	H'1F60 8044	32 ^{*3}	
	DMA トランスファカウン トレジスタ 2	TCR2	R/W	H'FF60 8048	H'1F60 8048	32 ^{*3}	
	DMA チャネルコントロ ールレジスタ 2	CHCR2	R/W ^{*1}	H'FF60 804C	H'1F60 804C	32 ^{*3}	
	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FF60 8050	H'1F60 8050	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 3	DAR3	R/W	H'FF60 8054	H'1F60 8054	32 ^{*3}	
	DMA トランスファカウン トレジスタ 3	TCR3	R/W	H'FF60 8058	H'1F60 8058	32 ^{*3}	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
DMAC	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W ^{*1}	H'FF60 805C	H'1F60 805C	32 ^{*3}	
	DMA オペレーションレジスタ 0	DMAOR0	R/W ^{*2}	H'FF60 8060	H'1F60 8060	16 ^{*3}	
	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FF60 8070	H'1F60 8070	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 4	DAR4	R/W	H'FF60 8074	H'1F60 8074	32 ^{*3}	
	DMA トランスファカウンタ レジスタ 4	TCR4	R/W	H'FF60 8078	H'1F60 8078	32 ^{*3}	
	DMA チャンネルコントロール レジスタ 4	CHCR4	R/W ^{*1}	H'FF60 807C	H'1F60 807C	32 ^{*3}	
	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FF60 8080	H'1F60 8080	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ 5	DAR5	R/W	H'FF60 8084	H'1F60 8084	32 ^{*3}	
	DMA トランスファカウンタ レジスタ 5	TCR5	R/W	H'FF60 8088	H'1F60 8088	32 ^{*3}	
	DMA チャンネルコントロール レジスタ 5	CHCR5	R/W ^{*1}	H'FF60 808C	H'1F60 808C	32 ^{*3}	
	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FF60 8120	H'1F60 8120	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ B0	DARB0	R/W	H'FF60 8124	H'1F60 8124	32 ^{*3}	
	DMA トランスファカウンタ レジスタ B0	TCRB0	R/W	H'FF60 8128	H'1F60 8128	32 ^{*3}	
	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FF60 8130	H'1F60 8130	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ B1	DARB1	R/W	H'FF60 8134	H'1F60 8134	32 ^{*3}	
	DMA トランスファカウンタ レジスタ B1	TCRB1	R/W	H'FF60 8138	H'1F60 8138	32 ^{*3}	
	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FF60 8140	H'1F60 8140	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ B2	DARB2	R/W	H'FF60 8144	H'1F60 8144	32 ^{*3}	
	DMA トランスファカウンタ レジスタ B2	TCRB2	R/W	H'FF60 8148	H'1F60 8148	32 ^{*3}	
	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FF60 8150	H'1F60 8150	32 ^{*3}	
	DMA デスティネーションアドレス レジスタ B3	DARB3	R/W	H'FF60 8154	H'1F60 8154	32 ^{*3}	
	DMA トランスファカウンタ レジスタ B3	TCRB3	R/W	H'FF60 8158	H'1F60 8158	32 ^{*3}	
	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FF60 9000	H'1F60 9000	16 ^{*3}	
	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FF60 9004	H'1F60 9004	16 ^{*3}	
DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FF60 9008	H'1F60 9008	16 ^{*3}		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
INTC	割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32	
	割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32	
	割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32	
	割り込み要因レジスタ	INTREQ	R/W	H'FFD0 0024	H'1FD0 0024	32	
	割り込みマスクレジスタ	INTMSK	R/W	H'FFD0 0044	H'1FD0 0044	32	
	割り込みマスククリアレジスタ	INTMSKCLR	R/W	H'FFD0 0064	H'1FD0 0064	32	
	NMI フラグコントロールレジスタ	NMIFCR	R/W	H'FFD0 00C0	H'1FD0 00C0	32	
	ユーザ割り込みマスクレベル設定 レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32	
	割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32	
	割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32	
	割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32	
	割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32	
	割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32	
	割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32	
	割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32	
	割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32	
	割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 00A0	H'1FD4 00A0	32	
	割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FFD4 00A4	H'1FD4 00A4	32	
	割り込み優先順位設定レジスタ 10	INT2PRI10	R/W	H'FFD4 00A8	H'1FD4 00A8	32	
	割り込み優先順位設定レジスタ 11	INT2PRI11	R/W	H'FFD4 00AC	H'1FD4 00AC	32	
	割り込み優先順位設定レジスタ 12	INT2PRI12	R/W	H'FFD4 00B0	H'1FD4 00B0	32	
	割り込み要因レジスタ 0 (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32	
	割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	R	H'FFD4 00C0	H'1FD4 00C0	32	
	割り込み要因レジスタ 1 (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32	
	割り込み要因レジスタ 11 (マスク状態の影響あり)	INT2A11	R	H'FFD4 00C4	H'1FD4 00C4	32	
	割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32	
	割り込みマスクレジスタ 1	INT2MSKR1	R/W	H'FFD4 00D0	H'1FD4 00D0	32	
	割り込みマスククリアレジスタ	INT2MSKCR	W	H'FFD4 003C	H'1FD4 003C	32	
	割り込みマスククリアレジスタ 1	INT2MSKCR1	W	H'FFD4 00D4	H'1FD4 00D4	32	
	モジュール別割り込み要因 レジスタ 0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
INTC	モジュール別割り込み要因 レジスタ 2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32	
	モジュール別割り込み要因 レジスタ 3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32	
	モジュール別割り込み要因 レジスタ 4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32	
	モジュール別割り込み要因 レジスタ 5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32	
	モジュール別割り込み要因 レジスタ 6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32	
	モジュール別割り込み要因 レジスタ 7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32	
	GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32	
TMU	タイマアウトプットコントロール レジスタ	TOCR	R/W	H'FFD8 0000	H'1FD8 0000	8	
	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	H'1FD8 0004	8	
	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD8 0008	H'1FD8 0008	32	
	タイマカウンタ 0	TCNT0	R/W	H'FFD8 000C	H'1FD8 000C	32	
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD8 0010	H'1FD8 0010	16	
	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD8 0014	H'1FD8 0014	32	
	タイマカウンタ 1	TCNT1	R/W	H'FFD8 0018	H'1FD8 0018	32	
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8 001C	H'1FD8 001C	16	
	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD8 0020	H'1FD8 0020	32	
	タイマカウンタ 2	TCNT2	R/W	H'FFD8 0024	H'1FD8 0024	32	
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD8 0028	H'1FD8 0028	16	
	インプットキャプチャレジスタ 2	TCPR2	R	H'FFD8 002C	H'1FD8 002C	32	
	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDC 0004	H'1FDC 0004	8	
	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDC 0008	H'1FDC 0008	32	
	タイマカウンタ 3	TCNT3	R/W	H'FFDC 000C	H'1FDC 000C	32	
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDC 0010	H'1FDC 0010	16	
	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDC 0014	H'1FDC 0014	32	
	タイマカウンタ 4	TCNT4	R/W	H'FFDC 0018	H'1FDC 0018	32	
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDC 001C	H'1FDC 001C	16	
	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDC 0020	H'1FDC 0020	32	
	タイマカウンタ 5	TCNT5	R/W	H'FFDC 0024	H'1FDC 0024	32	
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDC 0028	H'1FDC 0028	16	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
SCIF	シリアルモードレジスタ_0	SCSMR_0	R/W	H'FFE00000	H'1FE00000	16	
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FFE00004	H'1FE00004	8	
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'FFE00008	H'1FE00008	16	
	送信 FIFO データレジスタ_0	SCFTDR_0	W	H'FFE0000C	H'1FE0000C	8	
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ⁴	H'FFE00010	H'1FE00010	16	
	受信 FIFO データレジスタ_0	SCFRDR_0	R	H'FFE00014	H'1FE00014	8	
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'FFE00018	H'1FE00018	16	
	FIFO データカウントセット レジスタ_0	SCFDR_0	R	H'FFE0001C	H'1FE0001C	16	
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'FFE00020	H'1FE00020	16	
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ⁵	H'FFE00024	H'1FE00024	16	
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'FFE00028	H'1FE00028	16	
	シリアルモードレジスタ_1	SCSMR_1	R/W	H'FFE10000	H'1FE10000	16	
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FFE10004	H'1FE10004	8	
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'FFE10008	H'1FE10008	16	
	送信 FIFO データレジスタ_1	SCFTDR_1	W	H'FFE1000C	H'1FE1000C	8	
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ⁴	H'FFE10010	H'1FE10010	16	
	受信 FIFO データレジスタ_1	SCFRDR_1	R	H'FFE10014	H'1FE10014	8	
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'FFE10018	H'1FE10018	16	
	FIFO データカウントセット レジスタ_1	SCFDR_1	R	H'FFE1001C	H'1FE1001C	16	
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'FFE10020	H'1FE10020	16	
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ⁵	H'FFE10024	H'1FE10024	16	
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'FFE10028	H'1FE10028	16	
	シリアルモードレジスタ_2	SCSMR_2	R/W	H'FFE20000	H'1FE20000	16	
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FFE20004	H'1FE20004	8	
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'FFE20008	H'1FE20008	16	
	送信 FIFO データレジスタ_2	SCFTDR_2	W	H'FFE2000C	H'1FE2000C	8	
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ⁴	H'FFE20010	H'1FE20010	16	
	受信 FIFO データレジスタ_2	SCFRDR_2	R	H'FFE20014	H'1FE20014	8	
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'FFE20018	H'1FE20018	16	
	FIFO データカウントセット レジスタ_2	SCFDR_2	R	H'FFE2001C	H'1FE2001C	16	
シリアルポートレジスタ_2	SCSPTR_2	R/W	H'FFE20020	H'1FE20020	16		
ラインステータスレジスタ_2	SCLSR_2	R/(W)* ⁵	H'FFE20024	H'1FE20024	16		
シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'FFE20028	H'1FE20028	16		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
IIC	スレーブコントロール レジスタ	ICSCR	R/W	H'FFE7 0000	H'1FF7 0000	8	
	マスタコントロール レジスタ	ICMCR	R/W	H'FFE7 0004	H'1FF7 0004	8	
	スレーブステータス レジスタ	ICSSR	R/(W)* ⁶	H'FFE7 0008	H'1FF7 0008	8	
	マスタステータスレジスタ	ICMSR	R/(W)* ⁷	H'FFE7 000C	H'1FF7 000C	8	
	スレーブ割り込みイネーブル レジスタ	ICSIER	R/W	H'FFE7 0010	H'1FF7 0010	8	
	マスタ割り込みイネーブル レジスタ	ICMIER	R/W	H'FFE7 0014	H'1FF7 0014	8	
	クロックコントロール レジスタ	ICCCR	R/W	H'FFE7 0018	H'1FF7 0018	8	
	スレーブアドレスレジスタ	ICSAR	R/W	H'FFE7 001C	H'1FF7 001C	8	
	マスタアドレスレジスタ	ICMAR	R/W	H'FFE7 0020	H'1FF7 0020	8	
	受信データレジスタ	ICRXD	R/W	H'FFE7 0024	H'1FF7 0024	8	
	送信データレジスタ	ICTXD	R/W	H'FFE7 0024	H'1FF7 0024	8	
SSL_DMAC0	DMA モードレジスタ 0	SSIDMMR0	R/W	H'FF40 1000	H'1F40 1000	32	
	RDMA 転送元アドレス レジスタ 0	SSIRDMDR0	R/W	H'FF40 1008	H'1F40 1008	32	
	RDMA 転送語数レジスタ 0	SSIRDMCNR0	R/W	H'FF40 1010	H'1F40 1010	32	
	WDMA 転送元アドレス レジスタ 0	SSIWDMADR0	R/W	H'FF40 1018	H'1F40 1018	32	
	WDMA 転送語数レジスタ 0	SSIWDMCNR0	R/W	H'FF40 1020	H'1F40 1020	32	
	DMA コントロール レジスタ 0	SSIDMCOR0	R/W	H'FF40 1028	H'1F40 1028	32	
	送信一時停止ブロック カウンタ 0	SSISTPBLCNT0	R/W	H'FF40 1030	H'1F40 1030	32	
	送信一時停止中転送データレ ジスタ 0	SSISTPDR0	R/W	H'FF40 1038	H'1F40 1038	32	
	ブロックカウントソース レジスタ 0	SSIBLCNTRS0	R/W	H'FF40 1040	H'1F40 1040	32	
	ブロックカウンタ 0	SSIBLCNT0	R/W	H'FF40 1048	H'1F40 1048	32	
	ブロック xn 回割り込み カウントソースレジスタ 0	SSIBLNCNTRS0	R/W	H'FF40 1050	H'1F40 1050	32	
	ブロック xn 回カウンタ 0	SSIBLNCNT0	R/W	H'FF40 1058	H'1F40 1058	32	
	DMA モードレジスタ 1	SSIDMMR1	R/W	H'FF40 1060	H'1F40 1060	32	
	RDMA 転送元アドレス レジスタ 1	SSIRDMDR1	R/W	H'FF40 1068	H'1F40 1068	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
SSL_DMAC0	RDMA 転送語数レジスタ 1	SSIRDMCNTR1	R/W	H'FF40 1070	H'1F40 1070	32	
	WDMA 転送元アドレス レジスタ 1	SSIWDMADR1	R/W	H'FF40 1078	H'1F40 1078	32	
	WDMA 転送語数レジスタ 1	SSIWDMCNTR1	R/W	H'FF40 1080	H'1F40 1080	32	
	DMA コントロール レジスタ 1	SSIDMCOR1	R/W	H'FF40 1088	H'1F40 1088	32	
	送信一時停止ブロック カウンタ 1	SSISTPBLCNT1	R/W	H'FF40 1090	H'1F40 1090	32	
	送信一時停止中転送データレジ スタ 1	SSISTPDR1	R/W	H'FF40 1098	H'1F40 1098	32	
	ブロックカウントソース レジスタ 1	SSIBLCNTR1	R/W	H'FF40 10A0	H'1F40 10A0	32	
	ブロックカウンタ 1	SSIBLCNT1	R/W	H'FF40 10A8	H'1F40 10A8	32	
	ブロック xn 回割り込み カウントソースレジスタ 1	SSIBLNCNTR1	R/W	H'FF40 10B0	H'1F40 10B0	32	
	ブロック xn 回カウンタ 1	SSIBLNCNT1	R/W	H'FF40 10B8	H'1F40 10B8	32	
	DMA モードレジスタ 2	SSIDMMR2	R/W	H'FF40 10C0	H'1F40 10C0	32	
	RDMA 転送元アドレス レジスタ 2	SSIRDMAADR2	R/W	H'FF40 10C8	H'1F40 10C8	32	
	RDMA 転送語数レジスタ 2	SSIRDMCNTR2	R/W	H'FF40 10D0	H'1F40 10D0	32	
	WDMA 転送元アドレス レジスタ 2	SSIWDMADR2	R/W	H'FF40 10D8	H'1F40 10D8	32	
	WDMA 転送語数レジスタ 2	SSIWDMCNTR2	R/W	H'FF40 10E0	H'1F40 10E0	32	
	DMA コントロール レジスタ 2	SSIDMCOR2	R/W	H'FF40 10E8	H'1F40 10E8	32	
	送信一時停止ブロック カウンタ 2	SSISTPBLCNT2	R/W	H'FF40 10F0	H'1F40 10F0	32	
	送信一時停止中転送データ レジスタ 2	SSISTPDR2	R/W	H'FF40 10F8	H'1F40 10F8	32	
	ブロックカウントソース レジスタ 2	SSIBLCNTR2	R/W	H'FF40 1100	H'1F40 1100	32	
	ブロックカウンタ 2	SSIBLCNT2	R/W	H'FF40 1108	H'1F40 1108	32	
	ブロック xn 回割り込みカウン トソースレジスタ 2	SSIBLNCNTR2	R/W	H'FF40 1110	H'1F40 1110	32	
	ブロック xn 回カウンタ 2	SSIBLNCNT2	R/W	H'FF40 1118	H'1F40 1118	32	
	DMA オペレーションレジスタ 0	SSIDMAOR0	R/W	H'FF40 1180	H'1F40 1180	32	
	割り込みステータスレジスタ 0	SSIDMINTSR0	R/W	H'FF40 1188	H'1F40 1188	32	
割り込みマスクレジスタ 0	SSIDMINTMR0	R/W	H'FF40 1190	H'1F40 1190	32		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
SSL_DMACH1	DMA モードレジスタ 3	SSIDMMR3	R/W	H'FF50 1000	H'1F50 1000	32	
	RDMA 転送元アドレス レジスタ 3	SSIIRDADR3	R/W	H'FF50 1008	H'1F50 1008	32	
	RDMA 転送語数レジスタ 3	SSIIRDCNTR3	R/W	H'FF50 1010	H'1F50 1010	32	
	WDMA 転送元アドレス レジスタ 3	SSIWDADR3	R/W	H'FF50 1008	H'1F50 1018	32	
	WDMA 転送語数レジスタ 3	SSIWDCNTR3	R/W	H'FF50 1020	H'1F50 1020	32	
	DMA コントロールレジスタ 3	SSIDMCOR3	R/W	H'FF50 1028	H'1F50 1028	32	
	送信一時停止ブロック カウンタ 3	SSISTPBLCNT3	R/W	H'FF50 1030	H'1F50 1030	32	
	送信一時停止中転送データ レジスタ 3	SSISTPDR3	R/W	H'FF50 1038	H'1F50 1038	32	
	ブロックカウントソース レジスタ 3	SSIBLCNTR3	R/W	H'FF50 1040	H'1F50 1040	32	
	ブロックカウンタ 3	SSIBLCNT3	R/W	H'FF50 1048	H'1F50 1048	32	
	ブロック xn 回割り込み カウントソースレジスタ 3	SSIBLNCNTR3	R/W	H'FF50 1050	H'1F50 1050	32	
	ブロック xn 回カウンタ 3	SSIBLNCNT3	R/W	H'FF50 1058	H'1F50 1058	32	
	DMA モードレジスタ 4	SSIDMMR4	R/W	H'FF50 1060	H'1F50 1060	32	
	RDMA 転送元アドレス レジスタ 4	SSIIRDADR4	R/W	H'FF50 1068	H'1F50 1068	32	
	RDMA 転送語数レジスタ 4	SSIIRDCNTR4	R/W	H'FF50 1070	H'1F50 1070	32	
	WDMA 転送元アドレス レジスタ 4	SSIWDADR4	R/W	H'FF50 1078	H'1F50 1078	32	
	WDMA 転送語数レジスタ 4	SSIWDCNTR4	R/W	H'FF50 1080	H'1F50 1080	32	
	DMA コントロールレジスタ 4	SSIDMCOR4	R/W	H'FF50 1088	H'1F50 1088	32	
	送信一時停止ブロック カウンタ 4	SSISTPBLCNT4	R/W	H'FF50 1090	H'1F50 1090	32	
	送信一時停止中転送データ レジスタ 4	SSISTPDR4	R/W	H'FF50 1098	H'1F50 1098	32	
	ブロックカウントソース レジスタ 4	SSIBLCNTR4	R/W	H'FF50 10A0	H'1F50 10A0	32	
	ブロックカウンタ 4	SSIBLCNT4	R/W	H'FF50 10A8	H'1F50 10A8	32	
	ブロック xn 回割り込み カウントソースレジスタ 4	SSIBLNCNTR4	R/W	H'FF50 10B0	H'1F50 10B0	32	
	ブロック xn 回カウンタ 4	SSIBLNCNT4	R/W	H'FF50 10B8	H'1F50 10B8	32	
	DMA モードレジスタ 5	SSIDMMR5	R/W	H'FF50 10C0	H'1F50 10C0	32	
	RDMA 転送元アドレス レジスタ 5	SSIIRDADR5	R/W	H'FF50 10C8	H'1F50 10C8	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
SSL_DMAC1	RDMA 転送語数レジスタ 5	SSIIRDMCNR5	R/W	H'FF50 10D0	H'1F50 10D0	32	
	WDMA 転送元アドレス レジスタ 5	SSIWDMADR5	R/W	H'FF50 10D8	H'1F50 10D8	32	
	WDMA 転送語数レジスタ 5	SSIWDMCNR5	R/W	H'FF50 10E0	H'1F50 10E0	32	
	DMA コントロールレジスタ 5	SSIDMCOR5	R/W	H'FF50 10E8	H'1F50 10E8	32	
	送信一時停止ブロック カウンタ 5	SSISTPBLCNT5	R/W	H'FF50 10F0	H'1F50 10F0	32	
	送信一時停止中転送データ レジスタ 5	SSISTPDR5	R/W	H'FF50 10F8	H'1F50 10F8	32	
	ブロックカウントソース レジスタ 5	SSIBLCNTRS5	R/W	H'FF50 1100	H'1F50 1100	32	
	ブロックカウンタ 5	SSIBLCNT5	R/W	H'FF50 1108	H'1F50 1108	32	
	ブロック xn 回割り込みカウン トソースレジスタ 5	SSIBLNCNTRS5	R/W	H'FF50 1110	H'1F50 1110	32	
	ブロック xn 回カウンタ 5	SSIBLNCNT5	R/W	H'FF50 1118	H'1F50 1118	32	
	DMA オペレーション レジスタ 1	SSIDMAOR1	R/W	H'FF50 1180	H'1F50 1180	32	
	割り込みステータス レジスタ 1	SSIDMINTSR1	R/W	H'FF50 1188	H'1F50 1188	32	
	割り込みマスクレジスタ 1	SSIDMINTMR1	R/W	H'FF50 1190	H'1F50 1190	32	
SSL_ CH0-5	コントロールレジスタ 0	SSICR0	R/W	H'FF40 2000	H'1F40 2000	32	
	ステータスレジスタ 0	SSISR0	R/W ^{*8}	H'FF40 2004	H'1F40 2004	32	
	トランスミットデータ レジスタ 0	SSITDR0	R/W	H'FF40 2008	H'1F40 2008	32	
	レシーブデータレジスタ 0	SSIHDR0	R	H'FF40 200C	H'1F40 200C	32	
	コントロールレジスタ 1	SSICR1	R/W	H'FF40 3000	H'1F40 3000	32	
	ステータスレジスタ 1	SSISR1	R/W ^{*8}	H'FF40 3004	H'1F40 3004	32	
	トランスミットデータ レジスタ 1	SSITDR1	R/W	H'FF40 3008	H'1F40 3008	32	
	レシーブデータレジスタ 1	SSIHDR1	R	H'FF40 300C	H'1F40 300C	32	
	コントロールレジスタ 2	SSICR2	R/W	H'FF40 4000	H'1F40 4000	32	
	ステータスレジスタ 2	SSISR2	R/W ^{*8}	H'FF40 4004	H'1F40 4004	32	
	トランスミットデータ レジスタ 2	SSITDR2	R/W	H'FF40 4008	H'1F40 4008	32	
	レシーブデータレジスタ 2	SSIHDR2	R	H'FF40 400C	H'1F40 400C	32	
	コントロールレジスタ 3	SSICR3	R/W	H'FF50 2000	H'1F50 2000	32	
ステータスレジスタ 3	SSISR3	R/W ^{*8}	H'FF50 2004	H'1F50 2004	32		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
SSL CH0~5	トランスミットデータ レジスタ 3	SSITDR3	R/W	H'FF50 2008	H'1F50 2008	32	
	レシーブデータレジスタ 3	SSIHDR3	R	H'FF50 200C	H'1F50 200C	32	
	コントロールレジスタ 4	SSICR4	R/W	H'FF50 3000	H'1F50 3000	32	
	ステータスレジスタ 4	SSISR4	R/W* ⁸	H'FF50 3004	H'1F50 3004	32	
	トランスミットデータ レジスタ 4	SSITDR4	R/W	H'FF50 3008	H'1F50 3008	32	
	レシーブデータレジスタ 4	SSIHDR4	R	H'FF50 300C	H'1F50 300C	32	
	コントロールレジスタ 5	SSICR5	R/W	H'FF50 4000	H'1F50 4000	32	
	ステータスレジスタ 5	SSISR5	R/W* ⁸	H'FF50 4004	H'1F50 4004	32	
	トランスミットデータ レジスタ 5	SSITDR5	R/W	H'FF50 4008	H'1F50 4008	32	
	レシーブデータレジスタ 5	SSIHDR5	R	H'FF50 400C	H'1F50 400C	32	
EtherC	EtherC モードレジスタ	ECMR	R/W	H'FEF0 0100*	H'1EF0 0100*	32	
	EtherC ステータスレジスタ	ECSR	R/W	H'FEF0 0110*	H'1EF0 0110*	32	
	EtherC 割り込み許可レジスタ	ECSIPR	R/W	H'FEF0 0118*	H'1EF0 0118*	32	
	受信フレーム長上限レジスタ	RFLR	R/W	H'FEF0 0108*	H'1EF0 0108*	32	
	PHY 部インタフェースレジスタ	PIR	R/W	H'FEF0 0120*	H'1EF0 0120*	32	
	MAC アドレス上位設定レジスタ	MAHR	R/W	H'FEF0 01C0*	H'1EF0 01C0*	32	
	MAC アドレス下位設定レジスタ	MALR	R/W	H'FEF0 01C8*	H'1EF0 01C8*	32	
	PHY 部ステータスレジスタ	PSR	R	H'FEF0 0128*	H'1EF0 0128*	32	
	送信リトライオバカウンタ レジスタ	TROCR	R/W	H'FEF0 01D0*	H'1EF0 01D0*	32	
	遅延衝突検出カウンタレジスタ	CDCR	R/W	H'FEF0 01D4*	H'1EF0 01D4*	32	
	キャリア消失カウンタレジスタ	LCCR	R/W	H'FEF0 01D8*	H'1EF0 01D8*	32	
	キャリア未検出カウンタ レジスタ	CNDCR	R/W	H'FEF0 01DC*	H'1EF0 01DC*	32	
	CRC エラーフレーム受信 カウンタレジスタ	CEFCR	R/W	H'FEF0 01E4*	H'1EF0 01E4*	32	
	フレーム受信エラーカウンタ レジスタ	FRECR	R/W	H'FEF0 01E8*	H'1EF0 01E8*	32	
	64 バイト未満フレーム受信 カウンタレジスタ	TSFRCR	R/W	H'FEF0 01EC*	H'1EF0 01EC*	32	
	指定バイト超フレーム受信 カウンタレジスタ	TLFRCR	R/W	H'FEF0 01F0*	H'1EF0 01F0*	32	
	端数ビットフレーム受信 カウンタレジスタ	RFCR	R/W	H'FEF0 01F4*	H'1EF0 01F4*	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
EtherC	マルチキャストアドレスフレーム 受信カウンタレジスタ	MAFCR	R/W	H'FEF0 01F8*	H'1EF0 01F8*	32	
	IPG 設定レジスタ	IPGR	R/W	H'FEF0 0150*	H'1EF0 0150*	32	
	自動 PAUSE フレーム設定 レジスタ	APR	R/W	H'FEF0 0154*	H'1EF0 0154*	32	
	手動 PAUSE フレーム設定 レジスタ	MPR	R/W	H'FEF0 0158*	H'1EF0 0158*	32	
	自動 PAUSE フレーム再送回数設 定レジスタ	TPAUSER	R/W	H'FEF0 0164*	H'1EF0 0164*	32	
	乱数生成カウンタ上限値	RDMLR	R/W	H'FEF0 0140*	H'1EF0 0140*	32	
	受信 PAUSE フレームカウンタ	RFCF	R/W	H'FEF0 0160*	H'1EF0 0160*	32	
	PAUSE フレーム再送回数 カウンタ	TPAUSECR	R/W	H'FEF0 0168*	H'1EF0 0168*	32	
	Broadcast フレーム受信回数設定	BCFRR	R/W	H'FEF0 016C*	H'1EF0 016C*	32	
E-DMAC	E-DMAC モードレジスタ	EDMR	R/W	H'FEF0 0000*	H'1EF0 0000*	32	
	E-DMAC 送信要求レジスタ	EDTRR	R/W	H'FEF0 0008*	H'1EF0 0008*	32	
	E-DMAC 受信要求レジスタ	EDRRR	R/W	H'FEF0 0010*	H'1EF0 0010*	32	
	送信ディスクリプタリスト先頭 アドレスレジスタ	TDLAR	R/W	H'FEF0 0018*	H'1EF0 0018*	32	
	受信ディスクリプタリスト先頭 アドレスレジスタ	RDLAR	R/W	H'FEF0 0020*	H'1EF0 0020*	32	
	EtherC/E-DMAC ステータス レジスタ	EESR	R/W	H'FEF0 0028*	H'1EF0 0028*	32	
	EtherC/E-DMAC ステータス割り 込み許可レジスタ	EESIPR	R/W	H'FEF0 0030*	H'1EF0 0030*	32	
	送受信ステータスコピー指示 レジスタ	TRSCER	R/W	H'FEF0 0038*	H'1EF0 0038*	32	
	ミスフレームカウンタレジスタ	RMFCR	R	H'FEF0 0040*	H'1EF0 0040*	32	
	送信 FIFO しきい値指定レジスタ	TFTR	R/W	H'FEF0 0048*	H'1EF0 0048*	32	
	FIFO 容量指定レジスタ	FDR	R/W	H'FEF0 0050*	H'1EF0 0050*	32	
	受信方式制御レジスタ	RMCR	R/W	H'FEF0 0058*	H'1EF0 0058*	32	
	送信 FIFO アンダランカウント	TFUCR	R/W	H'FEF0 0064*	H'1EF0 0064*	32	
	受信 FIFO オーバフローカウンタ	RFOCR	R/W	H'FEF0 0068*	H'1EF0 0068*	32	
	受信バッファライトアドレス レジスタ	RBWAR	R	H'FEF0 00C8*	H'1EF0 00C8*	32	
	受信ディスクリプタフェッチアド レスレジスタ	RDFAR	R	H'FEF0 00CC*	H'1EF0 00CC*	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
E-DMAC	送信バッファリードアドレス レジスタ	TBRAR	R	H'FEF0 00D4*	H'1EF0 00D4*	32	
	送信ディスクリプタフェッチアド レスレジスタ	TDFAR	R	H'FEF0 00D8*	H'1EF0 00D8*	32	
	フロー制御開始 FIFO しきい値設 定レジスタ	FCFTR	R/W	H'FEF0 0070*	H'1EF0 0070*	32	
	受信データバディング挿入設定 レジスタ	RPADIR	R/W	H'FEF0 0078*	H'1EF0 0078*	32	
	送信割り込み設定レジスタ	TRIMD	R/W	H'FEF0 007C*	H'1EF0 007C*	32	
	個別出力信号設定レジスタ	IOSR	R/W	H'FEF0 006C*	H'1EF0 006C*	32	
USB	システムコンフィギュレーション コントロールレジスタ	SYSCFG	R/W	H'FE40 0000		16	
	CPU バスウェイト設定レジスタ	BUSWAIT	R/W	H'FE40 0002		16	
	システムコンフィギュレーション ステータスレジスタ	SYSSTS	R	H'FE40 0004		16	
	デバイススタートコントロール レジスタ	DVSTCTR	R/W	H'FE40 0008		16	
	テストモードレジスタ	TESTMODE	R/W	H'FE40 000C		16	
	DMA0-FIFO バスコンフィグレー ションレジスタ	D0FBCFG	R/W	H'FE40 0010		16	
	DMA1-FIFO バスコンフィグレー ションレジスタ	D1FBCFG	R/W	H'FE40 0012		16	
	CFIFO ポートレジスタ	CFIFO	R/W	H'FE40 0014		8、16、32	
	D0FIFO ポートレジスタ	D0FIFO	R/W	H'FE40 0018		8、16、32	
				H'FE40 0180			
	D1FIFO ポートレジスタ	D1FIFO	R/W	H'FE40 001C		8、16、32	
				H'FE40 01C0			
	CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'FE40 0020		16	
	CFIFO ポートコントロール レジスタ	CFIFOCTR	R/W	H'FE40 0022		16	
	D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'FE40 0028		16	
	D0FIFO ポートコントロール レジスタ	D0FIFOCTR	R/W	H'FE40 002A		16	
	D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'FE40 002C		16	
	D1FIFO ポートコントロール レジスタ	D1FIFOCTR	R/W	H'FE40 002E		16	
	割り込み許可レジスタ 0	INTENB0	R/W	H'FE40 0030		16	
	割り込み許可レジスタ 1	INTENB1	R/W	H'FE40 0032		16	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
USB	BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'FE40 0036		16	
	NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'FE40 0038		16	
	BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'FE40 003A		16	
	SOF 出力コンフィグレーション レジスタ	SOFCFG	R/W	H'FE40 003C		16	
	割り込みステータスレジスタ 0	INTSTS0	R/W	H'FE40 0040		16	
	割り込みステータスレジスタ 1	INTSTS1	R/W	H'FE40 0042		16	
	BRDY 割り込みステータス レジスタ	BRDYSTS	R/W	H'FE40 0046		16	
	NRDY 割り込みステータス レジスタ	NRDYSTS	R/W	H'FE40 0048		16	
	BEMP 割り込みステータス レジスタ	BEMPSTS	R/W	H'FE40 004A		16	
	フレームナンバーレジスタ	FRMNUM	R/W	H'FE40 004C		16	
	μフレームナンバーレジスタ	UFRMNUM	R/W	H'FE40 004E		16	
	USB アドレスレジスタ	USBADDR	R	H'FE40 0050		16	
	USB リクエストタイプレジスタ	USBREQ	R	H'FE40 0054		16	
	USB リクエストバリュー レジスタ	USBVAL	R	H'FE40 0056		16	
	USB リクエストインデックス レジスタ	USBINDX	R	H'FE40 0058		16	
	USB リクエストレンクス レジスタ	USBLENG	R	H'FE40 005A		16	
	DCP コンフィギュレーション レジスタ	DCPCFG	R/W	H'FE40 005C		16	
	DCP マックスケットサイズ レジスタ	DCPMAXP	R/W	H'FE40 005E		16	
	DCP コントロールレジスタ	DCPCTR	R/W	H'FE40 0060		16	
	パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'FE40 0064		16	
	パイプコンフィギュレーション レジスタ	PIPECFG	R/W	H'FE40 0068		16	
	パイプバッファ指定レジスタ	PIPEBUF	R/W	H'FE40 006A		16	
	パイプマックスケットサイズ レジスタ	PIPEMAXP	R/W	H'FE40 006C		16	
	パイプ周期制御レジスタ	PIPEPERI	R/W	H'FE40 006E		16	
	パイプ 1 コントロールレジスタ	PIPE1CTR	R/W	H'FE40 0070		16	
	パイプ 2 コントロールレジスタ	PIPE2CTR	R/W	H'FE40 0072		16	
パイプ 3 コントロールレジスタ	PIPE3CTR	R/W	H'FE40 0074		16		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
USB	パイプ4コントロールレジスタ	PIPE4CTR	R/W	H'FE40 0076		16	
	パイプ5コントロールレジスタ	PIPE5CTR	R/W	H'FE40 0078		16	
	パイプ6コントロールレジスタ	PIPE6CTR	R/W	H'FE40 007A		16	
	パイプ7コントロールレジスタ	PIPE7CTR	R/W	H'FE40 007C		16	
	パイプ8コントロールレジスタ	PIPE8CTR	R/W	H'FE40 007E		16	
	パイプ9コントロールレジスタ	PIPE9CTR	R/W	H'FE40 0080		16	
	パイプ1トランザクションカウン タイネーブルレジスタ	PIPE1TRE	R/W	H'FE40 0090		16	
	パイプ1トランザクションカウン タレジスタ	PIPE1TRN	R/W	H'FE40 0092		16	
	パイプ2トランザクションカウン タイネーブルレジスタ	PIPE2TRE	R/W	H'FE40 0094		16	
	パイプ2トランザクションカウン タレジスタ	PIPE2TRN	R/W	H'FE40 0096		16	
	パイプ3トランザクションカウン タイネーブルレジスタ	PIPE3TRE	R/W	H'FE40 0098		16	
	パイプ3トランザクションカウン タレジスタ	PIPE3TRN	R/W	H'FE40 009A		16	
	パイプ4トランザクションカウン タイネーブルレジスタ	PIPE4TRE	R/W	H'FE40 009C		16	
	パイプ4トランザクションカウン タレジスタ	PIPE4TRN	R/W	H'FE40 009E		16	
	パイプ5トランザクションカウン タイネーブルレジスタ	PIPE5TRE	R/W	H'FE40 00A0		16	
	パイプ5トランザクションカウン タレジスタ	PIPE5TRN	R/W	H'FE40 00A2		16	
	デバイスアドレス0コンフィグレ ーションレジスタ	DEVADD0	R/W	H'FE40 00D0		16	
	デバイスアドレス1コンフィグレ ーションレジスタ	DEVADD1	R/W	H'FE40 00D2		16	
	デバイスアドレス2コンフィグレ ーションレジスタ	DEVADD2	R/W	H'FE40 00D4		16	
	デバイスアドレス3コンフィグレ ーションレジスタ	DEVADD3	R/W	H'FE40 00D6		16	
デバイスアドレス4コンフィグレ ーションレジスタ	DEVADD4	R/W	H'FE40 00D8		16		
デバイスアドレス5コンフィグレ ーションレジスタ	DEVADD5	R/W	H'FE40 00DA		16		

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
USB	デバイスアドレス6コンフィグレーションレジスタ	DEVADD6	R/W	H'FE40 00DC		16	
	デバイスアドレス7コンフィグレーションレジスタ	DEVADD7	R/W	H'FE40 00DE		16	
	デバイスアドレス8コンフィグレーションレジスタ	DEVADD8	R/W	H'FE40 00E0		16	
	デバイスアドレス9コンフィグレーションレジスタ	DEVADD9	R/W	H'FE40 00E2		16	
	デバイスアドレスAコンフィグレーションレジスタ	DEVADDA	R/W	H'FE40 00E4		16	
LCDC	パレットデータレジスタ00~FF	LDPR00 ~ LDPRFF	R/W	H'FFE3 0000 ~ H'FFE3 03FC	H'1FE3 0000 ~ H'1FE3 03FC	32	
	LCDC インпутクロック レジスタ	LDICKR	R/W	H'FFE3 0400	H'1FE3 0400	16	
	LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FFE3 0402	H'1FE3 0402	16	
	LCDC データフォーマット レジスタ	LDDFR	R/W	H'FFE3 0404	H'1FE3 0404	16	
	LCDC 上部表示パネル用データ 取り込み開始アドレスレジスタ	LDSARU	R/W	H'FFE3 0408	H'1FE3 0408	32	
	LCDC 下部表示パネル用データ 取り込み開始アドレスレジスタ	LDSARL	R/W	H'FFE3 040C	H'1FE3 040C	32	
	LCDC 表示パネル用取り込み データラインアドレスオフセット レジスタ	LDLAOR	R/W	H'FFE3 0410	H'1FE3 0410	16	
	LCDC パレットコントロール レジスタ	LDPALCR	R/W	H'FFE3 0412	H'1FE3 0412	16	
	LCDC 水平キャラクタナンバー レジスタ	LDHCNR	R/W	H'FFE3 0414	H'1FE3 0414	16	
	LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FFE3 0416	H'1FE3 0416	16	
	LCDC 垂直表示ラインナンバー レジスタ	LDVDLNR	R/W	H'FFE3 0418	H'1FE3 0418	16	
	LCDC 垂直総ラインナンバー レジスタ	LDVTLNR	R/W	H'FFE3 041A	H'1FE3 041A	16	
	LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FFE3 041C	H'1FE3 041C	16	
	LCDC AC モジュール信号 トグルラインナンバーレジスタ	LDACLNR	R/W	H'FFE3 041E	H'1FE3 041E	16	
	LCDC 割り込みコントロール レジスタ	LDINTR	R/W	H'FFE3 0420	H'1FE3 0420	16	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考
LCDC	LCDC パワーマネジメントモード レジスタ	LDPMMR	R/W	H'FFE3 0424	H'1FE3 0424	16	
	LCDC 電源シーケンス期間 レジスタ	LDPSPR	R/W	H'FFE3 0426	H'1FE3 0426	16	
	LCDC コントロールレジスタ	LDCNTR	R/W	H'FFE3 0428	H'1FE3 0428	16	
	LCDC ユーザ指定割り込み コントロールレジスタ	LDUINTR	R/W	H'FFE3 0434	H'1FE3 0434	16	
	LCDC ユーザ指定割り込みライン ナンバーレジスタ	LDUINLNR	R/W	H'FFE3 0436	H'1FE3 0436	16	
	LCDC メモリアクセス インターバルナンバーレジスタ	LDLIRNR	R/W	H'FFE3 0440	H'1FE3 0440	16	
VDC2 グラフィック クス部 1	グラフィックス部制御レジスタ	GRCMEN1	R/W	H'FFEC 0000*	H'1FEC 0000*	32/16/8	
	バス制御レジスタ	GRCBUSCNT1	R/W	H'FFEC 0004*	H'1FEC 0004*	32/16/8	
	リザーブ	-	R	H'FFEC 0008*	H'1FEC 0008*	32/16/8	
	リザーブ	-	R	H'FFEC 000C*	H'1FEC 000C*	32/16/8	
	リザーブ	-	R	H'FFEC 0300*	H'1FEC 0300*	32/16/8	
	リザーブ	-	R	H'FFEC 0304*	H'1FEC 0304*	32/16/8	
	グラフィック画像ベースアドレス レジスタ	GROPSADR1	R/W	H'FFEC 0308*	H'1FEC 0308*	32/16/8	
	グラフィック画像領域レジスタ	GROPSWH1	R/W	H'FFEC 030C*	H'1FEC 030C*	32/16/8	
	グラフィック画像ラインオフセッ トレジスタ	GROPSOFST1	R/W	H'FFEC 0310*	H'1FEC 0310*	32/16/8	
	グラフィック画像開始位置 レジスタ	GROPDPHV1	R/W	H'FFEC 0314*	H'1FEC 0314*	32/16/8	
	リザーブ	-	R	H'FFEC 0318*	H'1FEC 0318*	32/16/8	
	リザーブ	-	R	H'FFEC 031C*	H'1FEC 031C*	32/16/8	
	リザーブ	-	R	H'FFEC 0320*	H'1FEC 0320*	32/16/8	
	リザーブ	-	R	H'FFEC 0324*	H'1FEC 0324*	32/16/8	
	リザーブ	-	R	H'FFEC 0328*	H'1FEC 0328*	32/16/8	
	グラフィック画像領域外の色設定 レジスタ	GROPBASERGB 1	R/W	H'FFEC 032C*	H'1FEC 032C*	32/16/8	
VDC2 グラフィック クス部 2	グラフィックス部制御レジスタ	GRCMEN2	R/W	H'FFED 0000*	H'1FED 0000*	32/16/8	
	バス制御レジスタ	GRCBUSCNT2	R/W	H'FFED 0004*	H'1FED 0004*	32/16/8	
	リザーブ	-	R	H'FFED 0008*	H'1FED 0008*	32/16/8	
	リザーブ	-	R	H'FFED 000C*	H'1FED 000C*	32/16/8	
	リザーブ	-	R	H'FFED 0300*	H'1FED 0300*	32/16/8	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
VDC2	リザーブ	-	R	H'FFED 0304*	H'1FED 0304*	32/16/8	
グラフィック クス部 2	グラフィック画像ベースアドレス レジスタ	GROPSADR2	R/W	H'FFED 0308*	H'1FED 0308*	32/16/8	
	グラフィック画像領域レジスタ	GROPSWH2	R/W	H'FFED 030C*	H'1FED 030C*	32/16/8	
	グラフィック画像ラインオフセッ トレジスタ	GROPSOFST2	R/W	H'FFED 0310*	H'1FED 0310*	32/16/8	
	グラフィック画像開始位置 レジスタ	GROPDPHV2	R/W	H'FFED 0314*	H'1FED 0314*	32/16/8	
	制御領域レジスタ	GROPEWH2	R/W	H'FFED 0318*	H'1FED 0318*	32/16/8	
	制御領域開始位置レジスタ	GROPEDPHV2	R/W	H'FFED 031C*	H'1FED 031C*	32/16/8	
	制御レジスタ	GROPEDPA2	R/W	H'FFED 0320*	H'1FED 0320*	32/16/8	
	クロマキー制御レジスタ	GROPCRKY0_2	R/W	H'FFED 0324*	H'1FED 0324*	32/16/8	
	クロマ色指定レジスタ	GROPCRKY1_2	R/W	H'FFED 0328*	H'1FED 0328*	32/16/8	
	グラフィック画像領域外の色設定 レジスタ	GROPBASERGB2	R/W	H'FFED 032C*	H'1FED 032C*	32/16/8	
	VDC2 グラフィック クス部 3	グラフィックス部制御レジスタ	GRCMEN3	R/W	H'FFEE 0000*	H'1FEE 0000*	32/16/8
バス制御レジスタ		GRCBUSCNT3	R/W	H'FFEE 0004*	H'1FEE 0004*	32/16/8	
リザーブ		-	R	H'FFEE 0008*	H'1FEE 0008*	32/16/8	
リザーブ		-	R	H'FFEE 000C*	H'1FEE 000C*	32/16/8	
リザーブ		-	R	H'FFEE 0300*	H'1FEE 0300*	32/16/8	
リザーブ		-	R	H'FFEE 0304*	H'1FEE 0304*	32/16/8	
グラフィック画像ベースアドレス レジスタ		GROPSADR3	R/W	H'FFEE 0308*	H'1FEE 0308*	32/16/8	
グラフィック画像領域レジスタ		GROPSWH3	R/W	H'FFEE 030C*	H'1FEE 030C*	32/16/8	
グラフィック画像ラインオフセッ トレジスタ		GROPSOFST3	R/W	H'FFEE 0310*	H'1FEE 0310*	32/16/8	
グラフィック画像開始位置 レジスタ		GROPDPHV3	R/W	H'FFEE 0314*	H'1FEE 0314*	32/16/8	
制御領域レジスタ		GROPEWH3	R/W	H'FFEE 0318*	H'1FEE 0318*	32/16/8	
制御領域開始位置レジスタ		GROPEDPHV3	R/W	H'FFEE 031C*	H'1FEE 031C*	32/16/8	
制御レジスタ		GROPEDPA3	R/W	H'FFEE 0320*	H'1FEE 0320*	32/16/8	
クロマキー制御レジスタ		GROPCRKY0_3	R/W	H'FFEE 0324*	H'1FEE 0324*	32/16/8	
クロマ色指定レジスタ		GROPCRKY1_3	R/W	H'FFEE 0328*	H'1FEE 0328*	32/16/8	
グラフィック画像領域外の色設定 レジスタ		GROPBASERGB3	R/W	H'FFEE 032C*	H'1FEE 032C*	32/16/8	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
VDC2 グラフィック クス部 4	グラフィックス部制御レジスタ	GRCMEN4	R/W	H'FFEF 0000*	H'1FEF 0000*	32/16/8	
	バス制御レジスタ	GRCBUSCNT4	R/W	H'FFEF 0004*	H'1FEF 0004*	32/16/8	
	リザーブ	-	R	H'FFEF 0008*	H'1FEF 0008*	32/16/8	
	リザーブ	-	R	H'FFEF 000C*	H'1FEF 000C*	32/16/8	
	リザーブ	-	R	H'FFEF 0300*	H'1FEF 0300*	32/16/8	
	リザーブ	-	R	H'FFEF 0304*	H'1FEF 0304*	32/16/8	
	グラフィック画像ベースアドレ スレジスタ	GROPSADR4	R/W	H'FFEF 0308*	H'1FEF 0308*	32/16/8	
	グラフィック画像領域レジスタ	GROPSWH4	R/W	H'FFEF 030C*	H'1FEF 030C*	32/16/8	
	グラフィック画像ラインオフセ ットレジスタ	GROPSOFST4	R/W	H'FFEF 0310*	H'1FEF 0310*	32/16/8	
	グラフィック画像開始位置 レジスタ	GRODPHV4	R/W	H'FFEF 0314*	H'1FEF 0314*	32/16/8	
	制御領域レジスタ	GROPEWH4	R/W	H'FFEF 0318*	H'1FEF 0318*	32/16/8	
	制御領域開始位置レジスタ	GROPEDPHV4	R/W	H'FFEF 031C*	H'1FEF 031C*	32/16/8	
	制御レジスタ	GROPEPA4	R/W	H'FFEF 0320*	H'1FEF 0320*	32/16/8	
	クロマキー制御レジスタ	GROPCRKY0_4	R/W	H'FFEF 0324*	H'1FEF 0324*	32/16/8	
	クロマ色指定レジスタ	GROPCRKY1_4	R/W	H'FFEF 0328*	H'1FEF 0328*	32/16/8	
	グラフィック画像領域外の色設 定レジスタ	GROPBASERGB4	R/W	H'FFEF 032C*	H'1FEF 032C*	32/16/8	
VDC2 表示制御部	SG モード設定レジスタ	SGMODE	R/W	H'FFEB 0000*	H'1FEB 0000*	32/16/8	
	割り込み出力制御レジスタ	SGINTCNT	R/W	H'FFEB 0004*	H'1FEB 0004*	32/16/8	
	同期信号制御レジスタ	SYNCNT	R/W	H'FFEB 0008*	H'1FEB 0008*	32/16/8	
	外部入力同期信号タイミング制 御レジスタ	EXTSYNCNT	R/W	H'FFEB 000C*	H'1FEB 000C*	32/16/8	
	リザーブ	-	R	H'FFEB 0100*	H'1FEB 0100*	32/16/8	
	同期信号サイズレジスタ	SYNSIZE	R/W	H'FFEB 0104*	H'1FEB 0104*	32/16/8	
	垂直同期信号タイミング制御 レジスタ	VSYNCTIM	R/W	H'FFEB 0108*	H'1FEB 0108*	32/16/8	
	水平同期信号タイミング制御 レジスタ	HSYNCTIM	R/W	H'FFEB 010C*	H'1FEB 010C*	32/16/8	
	リザーブ	-	R	H'FFEB 0110*	H'1FEB 0110*	32/16/8	
	リザーブ	-	R	H'FFEB 0118*	H'1FEB 0118*	32/16/8	
	ゲート制御信号タイミング制御 レジスタ	COMTIM	R/W	H'FFEB 011C*	H'1FEB 011C*	32/16/8	
	SGDE 領域開始位置レジスタ	SGDESTART	R/W	H'FFEB 0120*	H'1FEB 0120*	32/16/8	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
VDC2 表示制御部	SGDE 領域サイズレジスタ	SGDESIZE	R/W	H'FFEB 0124*	H'1FEB 0124*	32/16/8	
	CDE クロマ色指定レジスタ	CDECRKY	R/W	H'FFEB 0128*	H'1FEB 0128*	32/16/8	
	リザーブ	-	R	H'FFEB 0148*	H'1FEB 0148*	32/16/8	
	T-1004 制御レジスタ	T1004CNT	R/W	H'FFEB 0200*	H'1FEB 0200*	32/16/8	
	T-1004 映像開始位置レジスタ	T1004OFFSET	R/W	H'FFEB 0204*	H'1FEB 0204*	32/16/8	
	リザーブ	-	R	H'FFEB 0208*	H'1FEB 0208*	32/16/8	
	リザーブ	-	R	H'FFEB 020C*	H'1FEB 020C*	32/16/8	
FLCTL	共通コントロールレジスタ	FLCMNCR	R/W	H'FFE9 0000	H'1FE9 0000	32	
	コマンド制御レジスタ	FLCMDCR	R/W	H'FFE9 0004	H'1FE9 0004	32	
	コマンドコードレジスタ	FLCMCDR	R/W	H'FFE9 0008	H'1FE9 0008	32	
	アドレスレジスタ	FLADR	R/W	H'FFE9 000C	H'1FE9 000C	32	
	アドレスレジスタ 2	FLADR2	R/W	H'FFE9 003C	H'1FE9 003C	32	
	データレジスタ	FLDATAR	R/W	H'FFE9 0010	H'1FE9 0010	32	
	データカウンタレジスタ	FLDTCNTR	R/W	H'FFE9 0014	H'1FE9 0014	32	
	割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFE9 0018	H'1FE9 0018	32	
	レディビジータイムアウト設定 レジスタ	FLBSYTMR	R/W	H'FFE9 001C	H'1FE9 001C	32	
	レディビジータイムアウト カウンタ	FLBSYCNT	R	H'FFE9 0020	H'1FE9 0020	32	
	データ FIFO レジスタ	FLDTFIFO	R/W	H'FFE9 0024/ H'FFE9 0050	H'1FE9 0024/ H'1FE9 0050	32	
	管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFE9 0028/ H'FFE9 0060	H'1FE9 0028/ H'1FE9 0060	32	
	転送制御レジスタ	FLTRCR	R/W	H'FFE9 002C	H'1FE9 002C	8	
SRC	SRC 入力データレジスタ	SRCID	R/W	H'FFF3 0000	H'1FF3 0000	16、32	
	SRC 出力データレジスタ	SRCOD	R	H'FFF3 0004	H'1FF3 0004	16、32	
	SRC 入力データ制御レジスタ	SRCIDCTRL	R/W	H'FFF3 0008	H'1FF3 0008	16	
	SRC 出力データ制御レジスタ	SRCODCTRL	R/W	H'FFF3 000A	H'1FF3 000A	16	
	SRC 制御レジスタ	SRCCTRL	R/W	H'FFF3 000C	H'1FF3 000C	16	
	SRC ステータスレジスタ	SRCSTAT	R/(W)* ⁹	H'FFF3 000E	H'1FF3 000E	16	
GPIO	ポート A コントロールレジスタ	PTIO_A	R/W	H'FFF1 0000*	H'1FF1 0000*	16* ¹⁰	
	ポート B コントロールレジスタ	PTIO_B	R/W	H'FFF1 0004*	H'1FF1 0004*	16* ¹⁰	
	ポート C コントロールレジスタ	PTIO_C	R/W	H'FFF1 0008*	H'1FF1 0008*	16* ¹⁰	
	ポート D コントロールレジスタ	PTIO_D	R/W	H'FFF1 000C*	H'1FF1 000C*	16* ¹⁰	
	ポート E コントロールレジスタ	PTIO_E	R/W	H'FFF1 0010*	H'1FF1 0010*	16* ¹⁰	
	ポート F コントロールレジスタ	PTIO_F	R/W	H'FFF1 0014*	H'1FF1 0014*	16* ¹⁰	
	ポート G コントロールレジスタ	PTIO_G	R/W	H'FFF1 0018*	H'1FF1 0018*	16* ¹⁰	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
GPIO	ポート H コントロールレジスタ	PTIO_H	R/W	H'FFF1 001C*	H'1FF1 001C*	16 ^{*10}	
	ポート I コントロールレジスタ	PTIO_I	R/W	H'FFF1 0020*	H'1FF1 0020*	16 ^{*10}	
	ポート J コントロールレジスタ	PTIO_J	R/W	H'FFF1 0024*	H'1FF1 0024*	16 ^{*10}	
	ポート A データレジスタ	PTDAT_A	R/W	H'FFF1 0040*	H'1FF1 0040*	16 ^{*10}	
	ポート B データレジスタ	PTDAT_B	R/W	H'FFF1 0044*	H'1FF1 0044*	16 ^{*10}	
	ポート C データレジスタ	PTDAT_C	R/W	H'FFF1 0048*	H'1FF1 0048*	16 ^{*10}	
	ポート D データレジスタ	PTDAT_D	R/W	H'FFF1 004C*	H'1FF1 004C*	16 ^{*10}	
	ポート E データレジスタ	PTDAT_E	R/W	H'FFF1 0050*	H'1FF1 0050*	16 ^{*10}	
	ポート F データレジスタ	PTDAT_F	R/W	H'FFF1 0054*	H'1FF1 0054*	16 ^{*10}	
	ポート G データレジスタ	PTDAT_G	R/W	H'FFF1 0058*	H'1FF1 0058*	16 ^{*10}	
	ポート H データレジスタ	PTDAT_H	R/W	H'FFF1 005C*	H'1FF1 005C*	16 ^{*10}	
	ポート I データレジスタ	PTDAT_I	R/W	H'FFF1 0060*	H'1FF1 0060*	16 ^{*10}	
	ポート J データレジスタ	PTDAT_J	R/W	H'FFF1 0064*	H'1FF1 0064*	16 ^{*10}	
	入力端子プルアップ制御 レジスタ	PTPUL_SPCL	R/W	H'FFF1 00E0*	H'1FF1 00E0*	16 ^{*10}	
	ピンセレクトレジスタ A	PTSEL_A	R/W	H'FFF1 0080*	H'1FF1 0080*	16 ^{*10}	
	ピンセレクトレジスタ B	PTSEL_B	R/W	H'FFF1 0084*	H'1FF1 0084*	16 ^{*10}	
	ピンセレクトレジスタ C	PTSEL_C	R/W	H'FFF1 0088*	H'1FF1 0088*	16 ^{*10}	
	ピンセレクトレジスタ D	PTSEL_D	R/W	H'FFF1 008C*	H'1FF1 008C*	16 ^{*10}	
	ピンセレクトレジスタ E	PTSEL_E	R/W	H'FFF1 0090*	H'1FF1 0090*	16 ^{*10}	
	ピンセレクトレジスタ F	PTSEL_F	R/W	H'FFF1 0094*	H'1FF1 0094*	16 ^{*10}	
	ピンセレクトレジスタ G	PTSEL_G	R/W	H'FFF1 0098*	H'1FF1 0098*	16 ^{*10}	
	ピンセレクトレジスタ H	PTSEL_H	R/W	H'FFF1 009C*	H'1FF1 009C*	16 ^{*10}	
	ピンセレクトレジスタ I	PTSEL_I	R/W	H'FFF1 00A0*	H'1FF1 00A0*	16 ^{*10}	
	ピンセレクトレジスタ J	PTSEL_J	R/W	H'FFF1 00A4*	H'1FF1 00A4*	16 ^{*10}	
	ピンセレクトレジスタ K	PTSEL_K	R/W	H'FFF1 00A8*	H'1FF1 00A8*	16 ^{*10}	
	ピンセレクトレジスタ P	PTSEL_P	R/W	H'FFF1 00AC*	H'1FF1 00AC*	16 ^{*10}	
	ピンセレクトレジスタ R	PTSEL_R	R/W	H'FFF1 00B0*	H'1FF1 00B0*	16 ^{*10}	
	ピンセレクトレジスタ S	PTSEL_S	R/W	H'FFF1 00B4*	H'1FF1 00B4*	16 ^{*10}	
Hi-Z レジスタ A	PTHIZ_A	R/W	H'FFF1 00E8*	H'1FF1 00E8*	16 ^{*10}		
Hi-Z レジスタ B	PTHIZ_B	R/W	H'FFF1 00EC*	H'1FF1 00EC*	16 ^{*10}		
特殊選択レジスタ	PTSEL_SPCL	R/W	H'FFF 100F0	H'1FF 100F0	16 ^{*10}		
低消費電力 モード	スタンバイコントロール レジスタ*11	STBCR	R/W	H'FFC8 0020	H'1FC8 0020	32	
	モジュールストップレジスタ 0	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32	
	モジュールストップレジスタ 1	MSTPCR1	R/W	H'FFC8 0038	H'1FC8 0038	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ	備考
UBC	マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32	
	マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32	
	マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32	
	マッチアドレスマスク設定 レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32	
	マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32	
	マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32	
	マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32	
	マッチアドレスマスク設定 レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32	
	マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32	
	マッチデータマスク設定 レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32	
	実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32	
	チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32	
	ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32	

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスします。

- *1 CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- *2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- *3 指定アクセスサイズ以外のアクセスは行わないでください。
- *4 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。
- *5 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~1 は読み出し専用であり書き込むことはできません。
- *6 ビット 4~0 はフラグをクリアするための 0 書き込みのみ可能です。
- *7 ビット 6~0 はフラグをクリアするための 0 書き込みのみ可能です。
- *8 本レジスタの 26,27 ビットは読み出し/書き込み可能で、それ以外は読み出し専用です。詳細は、「18.3.17 ステータスレジスタ 0~5 (SSISR0~5)」を参照してください。
- *9 ビット 15~3 は読み出しのみ可能です。また、ビット 2~0 は 1 を読み出した後の 0 書き込みのみ可能です。
- *10 レジスタには 16 ビットアクセスのみです。指定されたアクセスサイズでリードライトを行ってください。
- *11 スタンバイコントロールレジスタについては、図 10.1 も参照してください。

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考 (初期値)
MCU	バージョンコントロールレジスタ	VCR	R/W	H'FF80 0000		32	H'0B04 0000 0000 0000
	メモリアンタフェースモード レジスタ	MIM	R/W	H'FF80 0008		32	H'0000 0000 061A 0x40
	SDRAM コントロールレジスタ	SCR	R/W	H'FF80 0010		32	H'0000 0000 0000 0000
	SDRAM タイミングレジスタ	STR	R/W	H'FF80 0018		32	H'0000 0000 00FF FFE7
	SDRAM ロウアトリビュート レジスタ	SDRA	R/W	H'FF80 0030		32	H'0000 0000 0000 0200
	SDRAM モードレジスタ	SDMR	R	H'FFAx xxxx		32	-
	アービトレーションモード レジスタ	AMR	R/W	H'FF80 0200		32	H'0000 0000 0400 0000
	リニアタイル変換コントロール レジスタ	LTC0	R/W	H'FF80 0100		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD0	R/W	H'FF80 0108		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM0	R/W	H'FF80 0110		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC1	R/W	H'FF80 0118		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD1	R/W	H'FF80 0120		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM1	R/W	H'FF80 0128		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC2	R/W	H'FF80 0130		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD2	R/W	H'FF80 0138		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM2	R/W	H'FF80 0140		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC3	R/W	H'FF80 0148		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD3	R/W	H'FF80 0150		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM3	R/W	H'FF80 0158		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC4	R/W	H'FF80 0160		32	H'0000 0000 0000 0000

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ	備考 (初期値)
MCU	リニアタイル領域先頭アドレス レジスタ	LTAD4	R/W	H'FF80 0168		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM4	R/W	H'FF80 0170		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC5	R/W	H'FF80 0178		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD5	R/W	H'FF80 0180		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM5	R/W	H'FF80 0188		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC6	R/W	H'FF80 0190		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD6	R/W	H'FF80 0198		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM6	R/W	H'FF80 01A0		32	H'0000 0000 0000 0000
	リニアタイル変換コントロール レジスタ	LTC7	R/W	H'FF80 01A8		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス レジスタ	LTAD7	R/W	H'FF80 01B0		32	H'0000 0000 0000 0000
	リニアタイル領域先頭アドレス マスクレジスタ	LTAM7	R/W	H'FF80 01B8		32	H'0000 0000 0000 0000
	リクエストマスク設定レジスタ	RQM	R/W	H'FF80 0218		32	H'0000 0000 0000 0000
	バスコントロールレジスタ	BCR	R/W	H'FF80 1000		32	H'0000 0000 3800 0000
	CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000		32	H'0000 0000 7777 7x80
	CS0 ウェイトコントロール レジスタ	CS0WCR	R/W	H'FF80 2008		32	H'0000 0000 7777 770F
CS3 バスコントロールレジスタ	CS3BCR	R/W	H'FF80 2030		32	H'0000 0000 7777 7380	
CS3 ウェイトコントロール レジスタ	CS3WCR	R/W	H'FF80 2038		32	H'0000 0000 7777 770F	

モジュール	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	レジスタ アクセス サイズ*	備考
ATAPI	ATAPI ステータス	ATAPI_STATUS	R/W	H'FFF0 0084		32	
	割り込みイネーブル	ATAPI_INT_ENABLE	R/W	H'FFF0 0088		32	
	PIO タイミング	ATAPI_PIO_TIMING	R/W	H'FFF0 008C		32	
	マルチワード DMA タイミング	ATAPI_MULTI_ TIMING	R/W	H'FFF0 0090		32	
	ウルトラ DMA タイミング	ATAPI_ULTRA_ TIMING	R/W	H'FFF0 0094		32	
	ディスクリプタテーブルベースアドレス	ATAPI_DTB_ADR	R/W	H'FFF0 0098		32	
	DMA スタートアドレス	ATAPI_DMA_ START_ADR	R/W	H'FFF0 009C		32	
	DMA 転送カウント	ATAPI_DMA_ TRANS_CNT	R/W	H'FFF0 00A0		32	
	ATAPI コントロール2	ATAPI_CONTROL2	R/W	H'FFF0 00A4		32	
	リザーブ		R	H'FFF0 00A8		32	
	リザーブ		R	H'FFF0 00AC		32	
	ATAPI 信号ステータス	ATAPI_SIG_ST	R	H'FFF0 00B0		32	
	バイトスワップ	ATAPI_BYTE_SWAP	R/W	H'FFF0 00BC		32	

【注】 * 上記レジスタをロングワード(32ビット)でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

モジュール	名 称	略称	R/W	P4 領域 アドレス*2	エリア7 アドレス*2	アクセス サイズ	備考 (WPR)*1
G2D	システムコントロール	SCLR	R/W	H'FFEA 0000	H'1FEA 0000	32	×
	ステータス	SR	R	H'FFEA 0004	H'1FEA 0004	32	×
	ステータス・レジスタ・ クリア	SRCR	W	H'FFEA 0008	H'1FEA 0008	32	×
	割り込み許可	IER	R/W	H'FFEA 000C	H'1FEA 000C	32	
	割り込みコマンド ID	ICIDR	R	H'FFEA 0010	H'1FEA 0010	32	×
	リターンアドレス 0	RTN0R	R	H'FFEA 0040	H'1FEA 0040	32	
	リターンアドレス 1	RTN1R	R	H'FFEA 0044	H'1FEA 0044	32	
	ディスプレイリスト開始ア ドレス	DLSAR	R/W	H'FFEA 0048	H'1FEA 0048	32	×
	2 次元ソース領域開始アド レス	SSAR	R/W	H'FFEA 004C	H'1FEA 004C	32	
	描画スタートアドレス	RSAR	R/W	H'FFEA 0050	H'1FEA 0050	32	
	ワーク領域開始アドレス	WSAR	R/W	H'FFEA 0054	H'1FEA 0054	32	
	ソースストライド	SSTRR	R/W	H'FFEA 0058	H'1FEA 0058	32	
	デスティネーションストラ イド	DSTRR	R/W	H'FFEA 005C	H'1FEA 005C	32	
	エンディアン変換コントロ ール	ENDCVR	R/W	H'FFEA 0060	H'1FEA 0060	32	×
	ソース透過色	STCR	R/W	H'FFEA 0080	H'1FEA 0080	32	
	デスティネーション透過色	DTCR	R/W	H'FFEA 0084	H'1FEA 0084	32	
	アルファ値	ALPHR	R/W	H'FFEA 0088	H'1FEA 0088	32	
	カラーオフセット	COFSR	R/W	H'FFEA 008C	H'1FEA 008C	32	
	レンダリングコントロール	RCLR	R/W	H'FFEA 00C0	H'1FEA 00C0	32	
	コマンドステータス	CSTR	R	H'FFEA 00C4	H'1FEA 00C4	32	×
	カレントポインタ	CURR	R	H'FFEA 00C8	H'1FEA 00C8	32	×
	ローカルオフセット	LCOR	R	H'FFEA 00CC	H'1FEA 00CC	32	×
	システムクリップエリア MAX	SCLMAR	R	H'FFEA 00D0	H'1FEA 00D0	32	
	ユーザクリップエリア MIN	UCLMIR	R	H'FFEA 00D4	H'1FEA 00D4	32	
	ユーザクリップエリア MAX	UCLMAR	R	H'FFEA 00D8	H'1FEA 00D8	32	
	相対ユーザクリップエリア MIN	RUCLMIR	R	H'FFEA 00DC	H'1FEA 00DC	32	
	相対ユーザクリップエリア MAX	RUCLMAR	R	H'FFEA 00E0	H'1FEA 00E0	32	
	レンダリングコントロール 2	RCL2R	R/W	H'FFEA 00F0	H'1FEA 00F0	32	

モジュール	名 称	略称	R/W	P4 領域 アドレス* ²	エリア 7 アドレス* ²	アクセス サイズ	備考 (WPR)* ¹
G2D	バタンオフセット	POFSR	R/W	H'FFEA 00F8	H'1FEA 00F8	32	
	座標変換コントロール	GTRCR	R/W	H'FFEA 0100	H'1FEA 0100	32	
	マトリクスパラメータ A	MTRAR	R/W	H'FFEA 0104	H'1FEA 0104	32	
	マトリクスパラメータ B	MTRBR	R/W	H'FFEA 0108	H'1FEA 0108	32	
	マトリクスパラメータ C	MTRCR	R/W	H'FFEA 010C	H'1FEA 010C	32	
	マトリクスパラメータ D	MTRDR	R/W	H'FFEA 0110	H'1FEA 0110	32	
	マトリクスパラメータ E	MTRER	R/W	H'FFEA 0114	H'1FEA 0114	32	
	マトリクスパラメータ F	MTRFR	R/W	H'FFEA 0118	H'1FEA 0118	32	
	マトリクスパラメータ G	MTRGR	R/W	H'FFEA 011C	H'1FEA 011C	32	
	マトリクスパラメータ H	MTRHR	R/W	H'FFEA 0120	H'1FEA 0120	32	
	マトリクスパラメータ I	MTRIR	R/W	H'FFEA 0124	H'1FEA 0124	32	
	座標変換オフセット X	GTROFSXR	R/W	H'FFEA 0128	H'1FEA 0128	32	
	座標変換オフセット Y	GTROFSYR	R/W	H'FFEA 012C	H'1FEA 012C	32	
	Zクリップエリア MIN	ZCLPMINR	R/W	H'FFEA 0130	H'1FEA 0130	32	
	Zクリップエリア MAX	ZCLPMAXR	R/W	H'FFEA 0134	H'1FEA 0134	32	
	Z飽和値 MIN	ZSATVMINR	R/W	H'FFEA 0138	H'1FEA 0138	32	

【注】 *1 WPR コマンド設定 : 可、× : 不可

*2 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリアからアクセスするものです。

指定されたアドレス以外への書き込みは禁止です。書き込みを行った場合の動作は保証されません。

モジュール	名 称	略称	R/W	P4 領域 アドレス* ¹	エリア 7 アドレス* ¹	アクセス サイズ	備考 (初期値)* ²
H-UDI	インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
	割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
	バウンダリスキャンレジスタ	SDBSR	-	-	-	-	-
	バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 TRST 子がローレベル、または TAP が Test-Logic-Reset の状態で初期化されます。

33.2 各処理モードにおけるレジスタの状態

表 33.2 各処理モードにおけるレジスタの状態(1)

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
例外処理	TRA	不定	保持	保持
	EXPEVT	H'0000 0000	保持	保持
	INTEVT	不定	保持	保持
	EXPMASK	H'0000 0000	保持	保持
MMU	PTEH	不定	保持	保持
	PTEL	不定	保持	保持
	TTB	不定	保持	保持
	TEA	不定	保持	保持
	MMUCR	H'0000 0000	保持	保持
	PTEA	H'0000 xxx0	保持	保持
	PASCR	H'0000 0000	保持	保持
	IRMCR	H'0000 0000	保持	保持
キャッシュ	CCR	H'0000 0000	保持	保持
	QACR0	不定	保持	保持
	QACR1	不定	保持	保持
	RAMCR	H'0000 0000	保持	保持
内蔵メモリ	RAMCR	H'0000 0000	保持	保持
CPG	FRQCR	H'x032 0044*1	保持	保持
	PLLCR	H'0000 E001	保持	保持
	VDC2CLKCR	H'0000 0080	保持	保持
DAMC	SAR0	不定	保持	保持
	DAR0	不定	保持	保持
	TCR0	不定	保持	保持
	CHCR0	H'4000 0000	保持	保持
	SAR1	不定	保持	保持
	DAR1	不定	保持	保持
	TCR1	不定	保持	保持
	CHCR1	H'4000 0000	保持	保持
	SAR2	不定	保持	保持
	DAR2	不定	保持	保持
	TCR2	不定	保持	保持
	CHCR2	H'4000 0000	保持	保持
	SAR3	不定	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
DAMC	DAR3	不定	保持	保持
	TCR3	不定	保持	保持
	CHCR3	H'4000 0000	保持	保持
	DMAOR0	H'0000	保持	保持
	SAR4	不定	保持	保持
	DAR4	不定	保持	保持
	TCR4	不定	保持	保持
	CHCR4	H'4000 0000	保持	保持
	SAR5	不定	保持	保持
	DAR5	不定	保持	保持
	TCR5	不定	保持	保持
	CHCR5	H'4000 0000	保持	保持
	SARB0	不定	保持	保持
	DARB0	不定	保持	保持
	TCRB0	不定	保持	保持
	SARB1	不定	保持	保持
	DARB1	不定	保持	保持
	TCRB1	不定	保持	保持
	SARB2	不定	保持	保持
	DARB2	不定	保持	保持
	TCRB2	不定	保持	保持
	SARB3	不定	保持	保持
	DARB3	不定	保持	保持
	TCRB3	不定	保持	保持
	DMARS0	H'0000	保持	保持
	DMARS1	H'0000	保持	保持
DMARS2	H'0000	保持	保持	
MCU	VCR	H'0B04 0000 0000 0000	保持	保持
	MIM	H'0000 0000 061A 0x40	保持	保持
	SCR	H'0000 0000 0000 0000	保持	保持
	STR	H'0000 0000 00FF FFE7	保持	保持
	SDRA	H'0000 0000 0000 0200	保持	保持
	SDMR	-	保持	保持
	AMR	H'0000 0000 0400 0000	保持	保持
	LTC0	H'0000 0000 0000 0000	保持	保持
	LTAD0	H'0000 0000 0000 0000	保持	保持
	LTAM0	H'0000 0000 0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
MCU	LTC1	H'0000 0000 0000 0000	保持	保持
	LTAD1	H'0000 0000 0000 0000	保持	保持
	LTAM1	H'0000 0000 0000 0000	保持	保持
	LTC2	H'0000 0000 0000 0000	保持	保持
	LTAD2	H'0000 0000 0000 0000	保持	保持
	LTAM2	H'0000 0000 0000 0000	保持	保持
	LTC3	H'0000 0000 0000 0000	保持	保持
	LTAD3	H'0000 0000 0000 0000	保持	保持
	LTAM3	H'0000 0000 0000 0000	保持	保持
	LTC4	H'0000 0000 0000 0000	保持	保持
	LTAD4	H'0000 0000 0000 0000	保持	保持
	LTAM4	H'0000 0000 0000 0000	保持	保持
	LTC5	H'0000 0000 0000 0000	保持	保持
	LTAD5	H'0000 0000 0000 0000	保持	保持
	LTAM5	H'0000 0000 0000 0000	保持	保持
	LTC6	H'0000 0000 0000 0000	保持	保持
	LTAD6	H'0000 0000 0000 0000	保持	保持
	LTAM6	H'0000 0000 0000 0000	保持	保持
	LTC7	H'0000 0000 0000 0000	保持	保持
	LTAD7	H'0000 0000 0000 0000	保持	保持
	LTAM7	H'0000 0000 0000 0000	保持	保持
	RQM	H'0000 0000 0000 0000	保持	保持
	BCR	H'0000 0000 3800 0000	保持	保持
	CS0BCR	H'0000 0000 7777 7x80	保持	保持
CS0WCR	H'0000 0000 7777 770F	保持	保持	
CS3BCR	H'0000 0000 7777 7380	保持	保持	
CS3WCR	H'0000 0000 7777 770F	保持	保持	
INTC	ICR0	H'x000 0000	保持	保持
	ICR1	H'0000 0000	保持	保持
	INTPRI	H'0000 0000	保持	保持
	INTREQ	H'0000 0000	保持	保持
	INTMSK	H'FF00 0000	保持	保持
	INTMSKCLR	H'0000 0000	保持	保持
	NMIFCR	H'x000 0000	保持	保持
	USERIMASK	H'0000 0000	保持	保持
	INT2PRI0	H'0000 0000	保持	保持
	INT2PRI1	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
INTC	INT2PRI2	H'0000 0000	保持	保持
	INT2PRI3	H'0000 0000	保持	保持
	INT2PRI4	H'0000 0000	保持	保持
	INT2PRI5	H'0000 0000	保持	保持
	INT2PRI6	H'0000 0000	保持	保持
	INT2PRI7	H'0000 0000	保持	保持
	INT2PRI8	H'0000 0000	保持	保持
	INT2PRI9	H'0000 0000	保持	保持
	INT2PRI10	H'0000 0000	保持	保持
	INT2PRI11	H'0000 0000	保持	保持
	INT2PRI12	H'0000 0000	保持	保持
	INT2A0	H'xxxx xxxx	保持	保持
	INT2A01	H'xxxx xxxx	保持	保持
	INT2A1	H'0000 0000	保持	保持
	INT2A11	H'0000 0000	保持	保持
	INT2MSKR	H'FFFF FFFF	保持	保持
	INT2MSKR1	H'FFFF FFFF	保持	保持
	INT2MSKCR	H'0000 0000	保持	保持
	INT2MSKCR1	H'0000 0000	保持	保持
	INT2B0	H'xxxx xxxx	保持	保持
	INT2B2	H'xxxx xxxx	保持	保持
	INT2B3	H'xxxx xxxx	保持	保持
	INT2B4	H'xxxx xxxx	保持	保持
	INT2B5	H'xxxx xxxx	保持	保持
	INT2B6	H'xxxx xxxx	保持	保持
	INT2B7	H'xxxx xxxx	保持	保持
	INT2GPIC	H'0000 0000	保持	保持
	TMU	TOCR	H'00	保持
TSTR0		H'00	保持	保持
TCOR0		H'FFFF FFFF	保持	保持
TCNT0		H'FFFF FFFF	保持	保持
TCR0		H'0000	保持	保持
TCOR1		H'FFFF FFFF	保持	保持
TCNT1		H'FFFF FFFF	保持	保持
TCR1		H'0000	保持	保持
TCOR2		H'FFFF FFFF	保持	保持
TCNT2		H'FFFF FFFF	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
TMU	TCR2	H'0000	保持	保持
	TCPR2	H'xxxx xxxx	保持	保持
	TSTR1	H'00	保持	保持
	TCOR3	H'FFFF FFFF	保持	保持
	TCNT3	H'FFFF FFFF	保持	保持
	TCR3	H'0000	保持	保持
	TCOR4	H'FFFF FFFF	保持	保持
	TCNT4	H'FFFF FFFF	保持	保持
	TCR4	H'0000	保持	保持
	TCOR5	H'FFFF FFFF	保持	保持
	TCNT5	H'FFFF FFFF	保持	保持
	TCR5	H'0000	保持	保持
SCIF	SCSMR_0	H'0000	保持	保持
	SCBRR_0	H'FF	保持	保持
	SCSCR_0	H'0000	保持	保持
	SCFTDR_0	不定	保持	保持
	SCFSR_0	H'0060	保持	保持
	SCFRDR_0	不定	保持	保持
	SCFCR_0	H'0000	保持	保持
	SCFDR_0	H'0000	保持	保持
	SCSPTR_0	H'0050	保持	保持
	SCLSR_0	H'0000	保持	保持
	SCEMR_0	H'0000	保持	保持
	SCSMR_1	H'0000	保持	保持
	SCBRR_1	H'FF	保持	保持
	SCSCR_1	H'0000	保持	保持
	SCFTDR_1	不定	保持	保持
	SCFSR_1	H'0060	保持	保持
	SCFRDR_1	不定	保持	保持
	SCFCR_1	H'0000	保持	保持
	SCFDR_1	H'0000	保持	保持
	SCSPTR_1	H'0050	保持	保持
	SCLSR_1	H'0000	保持	保持
	SCEMR_1	H'0000	保持	保持
	SCSMR_2	H'0000	保持	保持
	SCBRR_2	H'FF	保持	保持
SCSCR_2	H'0000	保持	保持	

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
SCIF	SCFTDR_2	不定	保持	保持
	SCFSR_2	H'0060	保持	保持
	SCFRDR_2	不定	保持	保持
	SCFCR_2	H'0000	保持	保持
	SCFDR_2	H'0000	保持	保持
	SCSPTR_2	H'0050	保持	保持
	SCLSR_2	H'0000	保持	保持
	SCEMR_2	H'0000	保持	保持
IIC	ICSCR	H'00	保持	保持
	ICMCR	H'x0	保持	保持
	ICSSR	H'00	保持	保持
	ICMSR	H'00	保持	保持
	ICSIER	H'00	保持	保持
	ICMIER	H'00	保持	保持
	ICCCR	H'00	保持	保持
	ICSAR	H'00	保持	保持
	ICMAR	H'00	保持	保持
	ICRXD	H'00	保持	保持
	ICTXD	H'00	保持	保持
	ATAPI	ATAPI_CONTROL	H'0000 0020	保持
ATAPI_STATUS		H'0000 0000	保持	保持
ATAPI_INT_ENABLE		H'0000 0000	保持	保持
ATAPI_PIO_TIMING		H'0000 0000	保持	保持
ATAPI_MULTI_TIMING		H'0000 0000	保持	保持
ATAPI_ULTRA_TIMING		H'0000 0000	保持	保持
ATAPI_DTB_ADR		H'0000 0000	保持	保持
ATAPI_DMA_START_ADR		H'0000 0000	保持	保持
ATAPI_DMA_TRANS_CNT		H'0000 0000	保持	保持
ATAPI_CONTROL2		H'0000 0000	保持	保持
ATAPI_SIG_ST		H'0000 000x	保持	保持
ATAPI_BYTE_SWAP		H'0000 0000	保持	保持
SSI_DMAC0	SSIDMMR0	H'0000 0000	保持	保持
	SSIRDADR0	H'0000 0000	保持	保持
	SSIRDMCNTRO	H'0000 0000	保持	保持
	SSIWDMADR0	H'0000 0000	保持	保持
	SSIWDMCNTRO	H'0000 0000	保持	保持
	SSIDMCOR0	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
SSI_DMAC0	SSISTPBLCNT0	H'0000 0000	保持	保持
	SSISTPDR0	H'0000 0000	保持	保持
	SSIBLCNTR0	H'0000 0000	保持	保持
	SSIBLCNT0	H'0000 0000	保持	保持
	SSIBLCNTR0	H'0000 0000	保持	保持
	SSIBLCNT0	H'0000 0000	保持	保持
	SSIDMMR1	H'0000 0000	保持	保持
	SSIRDADR1	H'0000 0000	保持	保持
	SSIRDMCNR1	H'0000 0000	保持	保持
	SSIWDMADR1	H'0000 0000	保持	保持
	SSIWDMCNR1	H'0000 0000	保持	保持
	SSIDMCOR1	H'0000 0000	保持	保持
	SSISTPBLCNT1	H'0000 0000	保持	保持
	SSISTPDR1	H'0000 0000	保持	保持
	SSIBLCNTR1	H'0000 0000	保持	保持
	SSIBLCNT1	H'0000 0000	保持	保持
	SSIBLCNTR1	H'0000 0000	保持	保持
	SSIBLCNT1	H'0000 0000	保持	保持
	SSIDMMR2	H'0000 0000	保持	保持
	SSIRDADR2	H'0000 0000	保持	保持
	SSIRDMCNR2	H'0000 0000	保持	保持
	SSIWDMADR2	H'0000 0000	保持	保持
	SSIWDMCNR2	H'0000 0000	保持	保持
	SSIDMCOR2	H'0000 0000	保持	保持
	SSISTPBLCNT2	H'0000 0000	保持	保持
	SSISTPDR2	H'0000 0000	保持	保持
	SSIBLCNTR2	H'0000 0000	保持	保持
	SSIBLCNT2	H'0000 0000	保持	保持
	SSIBLCNTR2	H'0000 0000	保持	保持
	SSIBLCNT2	H'0000 0000	保持	保持
	SSIDMAOR0	H'0000 0000	保持	保持
SSIDMINTSR0	H'0101 0101	保持	保持	
SSIDMINTMR0	H'1F1F 1F1F	保持	保持	
SSI_DMAC1	SSIDMMR3	H'0000 0000	保持	保持
	SSIRDADR3	H'0000 0000	保持	保持
	SSIRDMCNR3	H'0000 0000	保持	保持
	SSIWDMADR3	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
SSI_DMAC1	SSIWDMCNR3	H'0000 0000	保持	保持
	SSIDMCOR3	H'0000 0000	保持	保持
	SSISTPBLCNT3	H'0000 0000	保持	保持
	SSISTPDR3	H'0000 0000	保持	保持
	SSIBLCNTR3	H'0000 0000	保持	保持
	SSIBLCNT3	H'0000 0000	保持	保持
	SSIBLNCNTR3	H'0000 0000	保持	保持
	SSIBLNCNT3	H'0000 0000	保持	保持
	SSIDMMR4	H'0000 0000	保持	保持
	SSIRDMADR4	H'0000 0000	保持	保持
	SSIRDMCNR4	H'0000 0000	保持	保持
	SSIWDMADR4	H'0000 0000	保持	保持
	SSIWDMCNR4	H'0000 0000	保持	保持
	SSIDMCOR4	H'0000 0000	保持	保持
	SSISTPBLCNT4	H'0000 0000	保持	保持
	SSISTPDR4	H'0000 0000	保持	保持
	SSIBLCNTR4	H'0000 0000	保持	保持
	SSIBLCNT4	H'0000 0000	保持	保持
	SSIBLNCNTR4	H'0000 0000	保持	保持
	SSIBLNCNT4	H'0000 0000	保持	保持
	SSIDMMR5	H'0000 0000	保持	保持
	SSIRDMADR5	H'0000 0000	保持	保持
	SSIRDMCNR5	H'0000 0000	保持	保持
	SSIWDMADR5	H'0000 0000	保持	保持
	SSIWDMCNR5	H'0000 0000	保持	保持
	SSIDMCOR5	H'0000 0000	保持	保持
	SSISTPBLCNT5	H'0000 0000	保持	保持
	SSISTPDR5	H'0000 0000	保持	保持
	SSIBLCNTR5	H'0000 0000	保持	保持
	SSIBLCNT5	H'0000 0000	保持	保持
SSIBLNCNTR5	H'0000 0000	保持	保持	
SSIBLNCNT5	H'0000 0000	保持	保持	
SSIDMAOR1	H'0000 0000	保持	保持	
SSIDMINTSR1	H'0101 0101	保持	保持	
SSIDMINTMR1	H'1F1F 1F1F	保持	保持	

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
SSL_CH0~5	SSICR0	H'0000 0000	保持	保持
	SSISR0	H'0210 A003	保持	保持
	SSITDR0	H'0000 0000	保持	保持
	SSIRDR0	H'0000 0000	保持	保持
	SSICR1	H'0000 0000	保持	保持
	SISR1	H'0210 A003	保持	保持
	SSITDR1	H'0000 0000	保持	保持
	SSIRDR1	H'0000 0000	保持	保持
	SSICR2	H'0000 0000	保持	保持
	SSISR2	H'0210 A003	保持	保持
	SSITDR2	H'0000 0000	保持	保持
	SSIRDR2	H'0000 0000	保持	保持
	SSICR3	H'0000 0000	保持	保持
	SSISR3	H'0210 A003	保持	保持
	SSITDR3	H'0000 0000	保持	保持
	SSIRDR3	H'0000 0000	保持	保持
	SSICR4	H'0000 0000	保持	保持
	SSISR4	H'0210 A003	保持	保持
	SITDR4	H'0000 0000	保持	保持
	SSIRDR4	H'0000 0000	保持	保持
SSICR5	H'0000 0000	保持	保持	
SSISR5	H'0210 A003	保持	保持	
SSITDR5	H'0000 0000	保持	保持	
SSIRDR5	H'0000 0000	保持	保持	
EtherC	ECMR	H'0000 0000	保持	保持
	ECSR	H'0000 0000	保持	保持
	ECSIPR	H'0000 0000	保持	保持
	RFLR	H'0000 0000	保持	保持
	PIR	H'0000 000x	保持	保持
	MAHR	H'0000 0000	保持	保持
	MALR	H'0000 0000	保持	保持
	PSR	H'0000 000x	保持	保持
	TROCR	H'0000 000x	保持	保持
	CDCR	H'0000 0000	保持	保持
	LCCR	H'0000 0000	保持	保持
	CNDCR	H'0000 0000	保持	保持
	CEFCR	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
EtherC	FRECR	H'0000 0000	保持	保持
	TSFRRCR	H'0000 0000	保持	保持
	TLFRRCR	H'0000 0000	保持	保持
	RFCR	H'0000 0000	保持	保持
	MAFCR	H'0000 0000	保持	保持
	IPGR	H'0000 0000	保持	保持
	APR	H'0000 0000	保持	保持
	MPR	H'0000 0000	保持	保持
	TPAUSER	H'0000 0000	保持	保持
	BCFRR	H'0000 0000	保持	保持
EDMAC	EDMR	H'0000 0000	保持	保持
	EDTRR	H'0000 0000	保持	保持
	EDRRR	H'0000 0000	保持	保持
	TDLAR	H'0000 0000	保持	保持
	RDLAR	H'0000 0000	保持	保持
	EESR	H'0000 0000	保持	保持
	EESIPR	H'0000 0000	保持	保持
	TRSCER	H'0000 0000	保持	保持
	RMFCR	H'0000 0000	保持	保持
	TFTR	H'0000 0000	保持	保持
	FDR	H'0000 0707	保持	保持
	RMCR	H'0000 0000	保持	保持
	TFUCR	H'0000 0000	保持	保持
	RFOCR	H'0000 0000	保持	保持
	RBWAR	H'0000 0000	保持	保持
	RDFAR	H'0000 0000	保持	保持
	TBRAR	H'0000 0000	保持	保持
	TDFAR	H'0000 0000	保持	保持
	FCFTR	H'0007 0007	保持	保持
	RPADIR	H'0000 0000	保持	保持
TRIMD	H'0000 0000	保持	保持	
USB	SYSCFG	H'0000	保持	保持
	BUSWAIT	H'000F	保持	保持
	SYSSTS	H'040x	保持	保持
	DVSTCTR	H'0000	保持	保持
	TESTMODE	H'0000	保持	保持
	D0FBCFG	H'0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
USB	D1FBCFG	H'0000	保持	保持
	CFIFO	H'0000 0000	保持	保持
	D0FIFO	H'0000 0000	保持	保持
	D1FIFO	H'0000 0000	保持	保持
	CFIFOSEL	H'0000	保持	保持
	CFIFOCTR	H'0000	保持	保持
	D0FIFOSEL	H'0000	保持	保持
	D0FIFOCTR	H'0000	保持	保持
	D1FIFOSEL	H'0000	保持	保持
	D1FIFOCTR	H'0000	保持	保持
	INTENB0	H'0000	保持	保持
	INTENB1	H'0000	保持	保持
	BRDYENB	H'0000	保持	保持
	NRDYENB	H'0000	保持	保持
	BEMPENB	H'0000	保持	保持
	SOFCFG	H'0000	保持	保持
	INTSTS0	H'0000	保持	保持
	INTSTS1	H'0000	保持	保持
	BRDYSTS	H'0000	保持	保持
	NRDYSTS	H'0000	保持	保持
	BEMPSTS	H'0000	保持	保持
	FRMNUM	H'0000	保持	保持
	UFRMNUM	H'0000	保持	保持
	USBADDR	H'0000	保持	保持
	USBREQ	H'0000	保持	保持
	USBVAL	H'0000	保持	保持
	USBINDX	H'0000	保持	保持
	USBLENG	H'0000	保持	保持
	DCPCFG	H'0000	保持	保持
	DCPMAXP	H'0040	保持	保持
	DCPCTR	H'0040	保持	保持
	PIPESEL	H'0000	保持	保持
	PIPECFG	H'0000	保持	保持
PIPEBUF	H'0000	保持	保持	
PIPEMAXP	H'0000	保持	保持	
PIPEPERI	H'0000	保持	保持	
PIPE1CTR	H'0000	保持	保持	

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
USB	PIPE2CTR	H'0000	保持	保持
	PIPE3CTR	H'0000	保持	保持
	PIPE4CTR	H'0000	保持	保持
	PIPE5CTR	H'0000	保持	保持
	PIPE6CTR	H'0000	保持	保持
	PIPE7CTR	H'0000	保持	保持
	PIPE8CTR	H'0000	保持	保持
	PIPE9CTR	H'0000	保持	保持
	PIPE1TRE	H'0000	保持	保持
	PIPE1TRN	H'0000	保持	保持
	PIPE2TRE	H'0000	保持	保持
	PIPE2TRN	H'0000	保持	保持
	PIPE3TRE	H'0000	保持	保持
	PIPE3TRN	H'0000	保持	保持
	PIPE4TRE	H'0000	保持	保持
	PIPE4TRN	H'0000	保持	保持
	PIPE5TRE	H'0000	保持	保持
	PIPE5TRN	H'0000	保持	保持
	DEVADD0	H'0000	保持	保持
	DEVADD1	H'0000	保持	保持
	DEVADD2	H'0000	保持	保持
	DEVADD3	H'0000	保持	保持
	DEVADD4	H'0000	保持	保持
	DEVADD5	H'0000	保持	保持
DEVADD6	H'0000	保持	保持	
DEVADD7	H'0000	保持	保持	
DEVADD8	H'0000	保持	保持	
DEVADD9	H'0000	保持	保持	
DEVADDA	H'0000	保持	保持	
LCDC	LDPR00 ~ LDPRFF	不定	保持	保持
	LDICKR	H'1101	保持	保持
	LDMTR	H'0109	保持	保持
	LDDFR	H'000C	保持	保持
	LDSARU	H'04000000	保持	保持
	LDSARL	H'04000000	保持	保持
	LDLAOR	H'0280	保持	保持
	LDPALCR	H'0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
LCDC	LDHCNR	H'4F52	保持	保持
	LDHSYNR	H'0050	保持	保持
	LDVDLNR	H'01DF	保持	保持
	LDVTLNR	H'01DF	保持	保持
	LDVSYNR	H'01DF	保持	保持
	LDACLNR	H'000C	保持	保持
	LDINTR	H'0000	保持	保持
	LDPMMR	H'0010	保持	保持
	LDPSPR	H'F60F	保持	保持
	LDCNTR	H'0000	保持	保持
	LDUINTR	H'0000	保持	保持
	LDUINTLNR	H'004F	保持	保持
	LDLIRNR	H'0000	保持	保持
	G2D	SCLR	H'8000 0000	保持
SR		不定	保持	保持
SRCR		H'0000 0000	保持	保持
IER		H'0000 0000	保持	保持
ICIDR		不定	保持	保持
RTN0R		不定	保持	保持
RTN1R		不定	保持	保持
DLSAR		不定	保持	保持
SSAR		不定	保持	保持
RSAR		不定	保持	保持
WSAR		不定	保持	保持
SSTRR		不定	保持	保持
DSTRR		不定	保持	保持
ENDCVR		H'0000 0000	保持	保持
STCR		不定	保持	保持
DTCR		不定	保持	保持
ALPHR		不定	保持	保持
COFSR		不定	保持	保持
RCLR		H'0000 0000	保持	保持
CSTR		不定	保持	保持
CURR		不定	保持	保持
LCOR		不定	保持	保持
SCLMAR		不定	保持	保持
UCLMIR		不定	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
G2D	UCLMAR	不定	保持	保持
	RUCLMIR	不定	保持	保持
	RUCLMAR	不定	保持	保持
	RCL2R	H'0000 4004	保持	保持
	POFSR	H'0000 0000	保持	保持
	GTRCR	H'0000 0000	保持	保持
	MTRAR	不定	保持	保持
	MTRBR	不定	保持	保持
	MTRCR	不定	保持	保持
	MTRDR	不定	保持	保持
	MTRER	不定	保持	保持
	MTRFR	不定	保持	保持
	MTRGR	不定	保持	保持
	MTRHR	不定	保持	保持
	MTRIR	不定	保持	保持
	GTROFSXR	不定	保持	保持
	GTROFSYR	不定	保持	保持
	ZCLPMINR	不定	保持	保持
	ZCLPMAXR	不定	保持	保持
	ZSATVMINR	不定	保持	保持
VDC2 グラフィックス部 1	GRCMEN1	H'0000 0000	保持	保持
	GRCBUSCNT1	H'0000 0000	保持	保持
	GROPSADR1	H'0000 0000	保持	保持
	GROPSWH1	H'0000 0000	保持	保持
	GROPSOFST1	H'0000 0000	保持	保持
	GRODPHV1	H'0000 0000	保持	保持
VDC2 グラフィックス部 2	GROPBASERGB1	H'0000 0000	保持	保持
	GRCMEN2	H'0000 0000	保持	保持
	GRCBUSCNT2	H'0000 0000	保持	保持
	GROPSADR2	H'0000 0000	保持	保持
	GROPSWH2	H'0000 0000	保持	保持
	GROPSOFST2	H'0000 0000	保持	保持
	GRODPHV2	H'0000 0000	保持	保持
	GROPEWH2	H'0000 0000	保持	保持
	GROPEDPHV2	H'0000 0000	保持	保持
	GROPEDPA2	H'0000 0000	保持	保持
	GROPCRKY0_2	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
VDC2 グラフィックス部 2	GROPCRKY1_2	H'0000 0000	保持	保持
	GROPBASERGB2	H'0000 0000	保持	保持
VDC2 グラフィックス部 3	GRCMEN3	H'0000 0000	保持	保持
	GRCBUSCNT3	H'0000 0000	保持	保持
	GROPSADR3	H'0000 0000	保持	保持
	GROPSWH3	H'0000 0000	保持	保持
	GROPSOFST3	H'0000 0000	保持	保持
	GROPDPHV3	H'0000 0000	保持	保持
	GROPEWH3	H'0000 0000	保持	保持
	GROPEDPHV3	H'0000 0000	保持	保持
	GROPEDPA3	H'0000 0000	保持	保持
	GROPCRKY0_3	H'0000 0000	保持	保持
	GROPCRKY1_3	H'0000 0000	保持	保持
	GROPBASERGB3	H'0000 0000	保持	保持
	VDC2 グラフィックス部 4	GRCMEN4	H'0000 0000	保持
GRCBUSCNT4		H'0000 0000	保持	保持
GROPSADR4		H'0000 0000	保持	保持
GROPSWH4		H'0000 0000	保持	保持
GROPSOFST4		H'0000 0000	保持	保持
GROPDPHV4		H'0000 0000	保持	保持
GROPEWH4		H'0000 0000	保持	保持
GROPEDPHV4		H'0000 0000	保持	保持
GROPEDPA4		H'0000 0000	保持	保持
GROPCRKY0_4		H'0000 0000	保持	保持
GROPCRKY1_4		H'0000 0000	保持	保持
GROPBASERGB4		H'0000 0000	保持	保持
VDC2 表示制御部		SGMODE	H'0000 0000	保持
	SGINTCNT	H'0000 0000	保持	保持
	SYNCNT	H'0000 0000	保持	保持
	EXTSYNCNT	H'0000 0000	保持	保持
	SYNSIZE	H'020D 035A	保持	保持
	VSYNCTIM	H'0000 0001	保持	保持
	HSYNCTIM	H'0000 000A	保持	保持
	COMTIM	H'0000 0000	保持	保持
	SGDESTART	H'0000 0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
VDC2 表示制御部	SGDESIZE	H'0000 0000	保持	保持
	CDECRKY	H'0000 0000	保持	保持
	T1004CNT	H'0000 0000	保持	保持
	T1004OFFSET	H'0000 0000	保持	保持
FLCTL	FLCMNCR	初期化	保持	保持
	FLCMDCR	初期化	保持	保持
	FLCMCDR	初期化	保持	保持
	FLADR	初期化	保持	保持
	FLADR2	初期化	保持	保持
	FLDATAR	初期化	保持	保持
	FLDTCNTR	初期化	保持	保持
	FLINTDMACR	初期化	保持	保持
	FLBSYTMR	初期化	保持	保持
	FLBSYCNT	初期化	保持	保持
	FLDTFIFO	初期化	保持	保持
	FLECFIFO	初期化	保持	保持
	FLTRCR	初期化	保持	保持
	SRC	SRCID	H'0000 0000	保持
SRCOD		H'0000 0000	保持	保持
SRCIDCTRL		H'0000	保持	保持
SRCODCTRL		H'0000	保持	保持
SRCCTRL		H'0000	保持	保持
SRCSTAT		H'0002	保持	保持
GPIO	PTIO_A	H'0000	保持	保持
	PTIO_B	H'0000	保持	保持
	PTIO_C	H'0000	保持	保持
	PTIO_D	H'0000	保持	保持
	PTIO_E	H'0000	保持	保持
	PTIO_F	H'0000	保持	保持
	PTIO_G	H'0000	保持	保持
	PTIO_H	H'0000	保持	保持
	PTIO_I	H'0002	保持	保持
	PTIO_J	H'AAAA	保持	保持
	PTDAT_A	H'0000	保持	保持
	PTDAT_B	H'0000	保持	保持
	PTDAT_C	H'0000	保持	保持
	PTDAT_D	H'0000	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
GPIO	PTDAT_E	H'0000	保持	保持
	PTDAT_F	H'0000	保持	保持
	PTDAT_G	H'0000	保持	保持
	PTDAT_H	H'0000	保持	保持
	PTDAT_I	H'0000	保持	保持
	PTDAT_J	H'0000	保持	保持
	PTPUL_SPCL	H'0000	保持	保持
	PTSEL_A	H'0000	保持	保持
	PTSEL_B	H'0000	保持	保持
	PTSEL_C	H'0000	保持	保持
	PTSEL_D	H'0000	保持	保持
	PTSEL_E	H'0000	保持	保持
	PTSEL_F	H'0000	保持	保持
	PTSEL_G	H'0000	保持	保持
	PTSEL_H	H'0000	保持	保持
	PTSEL_I	H'0000	保持	保持
	PTSEL_J	H'0000	保持	保持
	PTSEL_K	H'0000	保持	保持
	PTSEL_P	H'0000	保持	保持
	PTSEL_R	H'0000	保持	保持
	PTSEL_S	H'0000	保持	保持
	PTHIZ_A	H'0000	保持	保持
PTHIZ_B	H'0000	保持	保持	
PTSEL_SPCL	H'0000	保持	保持	
低消費電力モード ^{※2}	STBCR	H'0000 0000	保持	保持
	MSTPCR0	H'0000 0000	保持	保持
	MSTPCR1	H'0000 0000	保持	保持
UBC	CBR0	H'2000 0000	保持	保持
	CRR0	H'0000 2000	保持	保持
	CAR0	不定	保持	保持
	CAMR0	不定	保持	保持
	CBR1	H'2000 0000	保持	保持
	CRR1	H'0000 2000	保持	保持
	CAR1	不定	保持	保持
	CAMR1	不定	保持	保持
	CDR1	不定	保持	保持
	CDMR1	不定	保持	保持
	CETR1	不定	保持	保持

モジュール	レジスタ略称	パワーオンリセット	スリープ	スタンバイ
UBC	CCMFR	H'0000 0000	保持	保持
	CBCR	H'0000 0000	保持	保持
H-UDI	SDIR	H'0EFF	保持	保持
	SDINT	H'0000	保持	保持

【記号説明】

：初期化されるレジスタ

-：保持されるレジスタ

【注】 *1 MODE0、MODE1 および MODE2 の設定により選択されるクロック動作モードにより設定される初期値となります。

*2 スタンバイコントロールレジスタについては、図 10.1 も参照してください。（図 10.1：CPG ブロック図）

モジュール	レジスタ略称	パワーオンリセット		スリープ	スタンバイ
		PRESET 端子による	WDT/H-UDI による		
WDT	WDTST	H'0000 0000	保持	保持	保持
	WDTCSR	H'0000 0000	保持	保持	保持
	WDTBST	H'0000 0000	保持	保持	保持
	WDCNT	H'0000 0000	保持	保持	保持
	WDTBCNT	H'0000 0000	保持	保持	保持

34. 電気的特性

34.1 絶対最大定格^{*1*2}

表 34.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (IO)	V_{DDQ} 、 V_{DDQ_USB}	-0.3 ~ 4.6	V
電源電圧 (内部)	V_{DD} 、 V_{DD_PLL1} 、 V_{DD_PLL2} 、 V_{DD_USB} 、UV12	-0.3 ~ 1.7	V
電源電圧 (アナログ 3.3V 系)	V_{DDQA_USB}	-0.3 ~ 4.6	V
電源電圧 (アナログ 1.2V 系)	V_{DDA_USB}	-0.3 ~ 1.7	V
入力電圧	V_{in}	-0.3 ~ $V_{DDQ}+0.3$ ^{*3}	V
Vbus 入力電圧	V_{bus}	-0.3 ~ 5.5	V
動作温度	T_{opr}	-20 ~ 85 (通常仕様品) -40 ~ 85 (広温度範囲仕様品)	
保存温度	T_{stg}	-55 ~ 125	

【注】 *1 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

*2 すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。

*3 上限は電源電圧を超えないこと。

34.2 電源投入および切断シーケンス

電源投入・切断シーケンスとその推奨値を下記に示します。

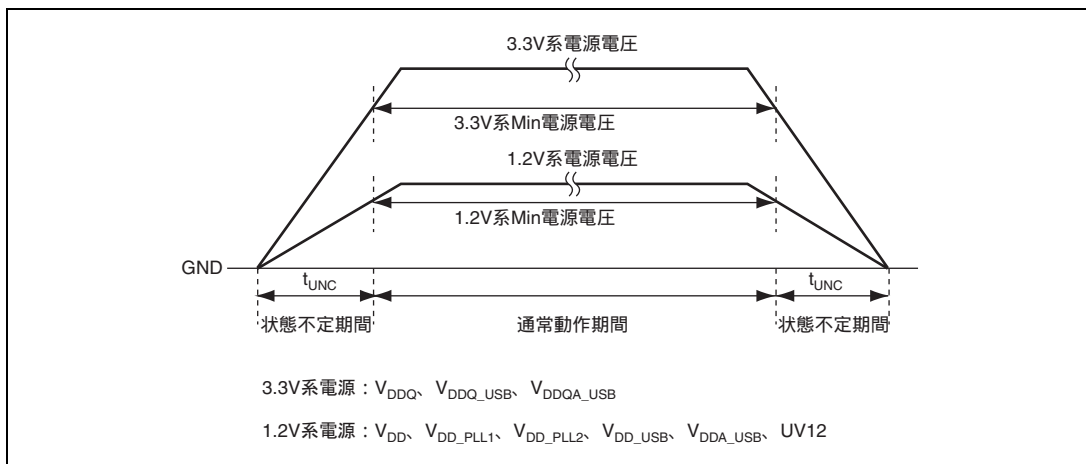


図 34.1 電源投入 / 切断シーケンス

表 34.2 電源投入・切断許容時間

項目	記号	最大許容値	単位
状態不定期間	t_{UNC}	100	ms

【注】 上記は最大許容値であり、厳密な設定を要求するものではありません。

3.3V系電源と1.2V系電源の投入・切断順序はどちらが先でもLSI単体の動作としては問題ありませんが、投入の遅いほうがMin.電圧以上に到達するまでおよび切断の早いほうがMin.電圧未満になってからが状態不定期間となり、その期間は端子状態および内部状態が不定となります。その状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。その際、電源投入時には1.2V系電源を3.3V系電源よりも先に投入し、電源切断時には3.3V系電源を1.2V系電源よりも先に切断することを推奨します。また、1.2V系電源電位が概ね0.6Vに達してから3.3V系電源投入開始までの時間は極力短くすることを推奨します。なお、3.3V系電源投入後に1.2V系電源を投入する場合でも、3.3V系電源投入開始から1.2V系電源電位が概ね0.6Vに達するまでの時間は極力短くしてください。

34.3 DC 特性

表 34.3 DC 特性 [共通項目]

Ta = - 20 ~ 85 、 - 40 ~ 85

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧 (IO)		V_{DDQ} 、 V_{DDQ_USB}	3.0	3.3	3.6	V	
電源電圧 (内部)		V_{DD} 、 V_{DD_PLL1} 、 V_{DD_PLL2} 、 V_{DD_USB} 、UV12	1.15	1.25	1.35	V	
電源電圧 (アナログ 3.3V 系)		V_{DDQA_USB}	3.0	3.3	3.6	V	
電源電圧 (アナログ 1.2V 系)		V_{DDA_USB}	1.15	1.25	1.35	V	
消費電流	通常動作時	$I_{DDQ} + I_{DDQ_USB}$	-	-	150	mA	Ick=324MHz
		$I_{DD} + I_{DD_PLL1} + I_{DD_PLL2} + I_{DD_USB} + UV12$	-	-	850	mA	SHck=Bck=108MHz Pck=54MHz
	スリープモード時	$I_{DDQ} + I_{DDQ_USB}$	-	-	150	mA	
		$I_{DD} + I_{DD_PLL1} + I_{DD_PLL2} + I_{DD_USB} + UV12$	-	-	650	mA	
	リフレッシュスタンバイ時	$I_{DDQ} + I_{DDQ_USB}$	-	-	15	mA	
		$I_{DD} + I_{DD_PLL1} + I_{DD_PLL2} + I_{DD_USB} + UV12$	-	-	450	mA	
消費電流 (USB)	動作時	I_{DDQA_USB}	-	-	15	mA	
		I_{DDA_USB}	-	-	20	mA	
	リフレッシュスタンバイ時	I_{DDQA_USB}	-	-	600	μA	
		I_{DDA_USB}	-	-	600	μA	

表 34.4 DC 特性 [USB トランシーバ、I²C 関連端子を除く]

Ta = -20 ~ 85、-40 ~ 85

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力電圧 PRESET、TRST、NMI、 MODE8/FD7、MODE7/FD6、MODE5/FD5、 MEDE4/FD4、MODE3/FD3、MODE2/FD2、 MODE1/FD1、MODE0/FD0、 IRQ0/DTEND1、 WDTOVF/IRQ1/AUDCK/DACK1、 D44/IDEINT、 MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1、 STATUS1/RTS2/PA7、 STATUS0/CTS2/PA6、FCE/PA5、 FRE/PA4、FWE/PA3、TXD2/PA2、 RXD2/PA1、SCK2/PA0、 A25/PB7/DREQ0/RTS0、 A24/PB6/DACK0/CTS0、 A23/PB5/DTEND0/RTS1、A22/PB4/CTS1、 A21/PB3、A20/PB2、A19/PB1、A18/PB0、 ASEBRKAK/BRKACK/TCLK/PC1 EXTAL、XIN	V _{IH}	V _{CC0} × 0.9	-	V _{CC0} + 0.3	V	V _{CC0} = 3.0 ~ 3.6V
その他の入力端子		2	-	V _{CC0} + 0.3		
PRESET、TRST、NMI、 MODE8/FD7、MODE7/FD6、MODE5/FD5、 MEDE4/FD4、MODE3/FD3、MODE2/FD2、 MODE1/FD1、MODE0/FD0、 IRQ0/DTEND1、 WDTOVF/IRQ1/AUDCK/DACK1、 D44/IDEINT、 MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1、 STATUS1/RTS2/PA7、 STATUS0/CTS2/PA6、FCE/PA5、 FRE/PA4、FWE/PA3、TXD2/PA2、 RXD2/PA1、SCK2/PA0、 A25/PB7/DREQ0/RTS0、 A24/PB6/DACK0/CTS0、 A23/PB5/DTEND0/RTS1、A22/PB4/CTS1、 A21/PB3、A20/PB2、A19/PB1、A18/PB0、 ASEBRKAK/BRKACK/TCLK/PC1 EXTAL、XIN	V _{IL}	- 0.3	-	V _{CC0} × 0.1	V	V _{CC0} = 3.0 ~ 3.6V
その他の入力端子	V _{IL}	- 0.3	-	V _{CC0} × 0.2	V	

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク 電流	全入力端子	I_{linl}	-	-	1	μA	$V_{IN} = 0.5 \sim V_{CCO} - 0.5V$
	スリーステー トリーク電流	I_{lstil}	-	-	1		
出力電圧	全出力端子	V_{OH}	2.4	-	-	V	$V_{CCO} = 3.0V$ $I_{OH} = -2mA$
	全出力端子	V_{OL}	-	-	0.55		$V_{DDO} = 3.0V$ $I_{OL} = 2mA$
ブルアップ 抵抗	全端子	R_{pull}	20	60	180	k	
端子容量	その他	C_L	-	-	10	pF	

【注】 消費電流値は、 $V_{IH} (Min.) = V_{CCO} - 0.5V$ および $V_{IL} (Max.) = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 34.5 DC 特性 [I^2C 関連端子]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項 目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧	V_{CCO}	3.0	3.3	3.6	V	
入力ハイレベル電圧	V_{IH}	$V_{CCO} \times 0.7$	-	$V_{CCO} + 0.3$	V	
入力ローレベル電圧	V_{IL}	-0.3	-	$V_{CCO} \times 0.3$	V	
出力ローレベル電圧	V_{OL}	-	-	0.4	V	$I_{OL} = 3mA$ 時
出力ローレベル許容電流	I_{OL}	-	-	10	mA	

【注】 I^2C 関連端子：SCL、SDA（オープンドレイン端子）

表 34.6 DC 特性 [USB 関連端子(1)]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R_{REF}	5.6k \pm 1%			V	
入力ハイレベル電圧 (VBUS)	V_{IH}	4.02	-	5.25	V	
入力ローレベル電圧 (VBUS)	V_{IL}	0.0	-	1.0	V	
入力ハイレベル電圧 (XIN)	V_{IH}	$V_{DDQ} - 0.5$	-	$V_{DDQ} + 0.3$	V	
入力ローレベル電圧 (XIN)	V_{IL}	-0.3	-	0.5	V	

表 34.6 DC 特性 [USB 関連端子(2)フルスピード/ハイスピード共通項目]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位	測定条件
DP ブルアップ抵抗 (ファンクション機能選択時)	R_{pu}	0.900	-	1.575	k	アイドル時
		1.425	-	3.090	k	送受信時
DP、DM ブルアップ抵抗 (ホスト機能選択時)	R_{pd}	14.25	-	24.80	k	

表 34.6 DC 特性 [USB 関連端子(3)フルスピード時]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	2.0	-	-	V	
入力ローレベル電圧	V_{IL}	-	-	0.8	V	
差動入力感度	V_{DI}	0.2	-	-	V	(DP) - (DM)
差動コモンモード範囲	V_{CM}	0.8	-	2.5	V	
出力ハイレベル電圧	V_{OH}	2.8	-	3.6	V	$I_{OH} = 5mA$
出力ローレベル電圧	V_{OL}	0.0	-	0.3	V	$I_{OL} = 5mA$
シングルエンディッド レシーバスレッシュヨルド電圧	V_{SE}	0.8	-	2.0	V	
クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	$C_L = 50pF$

【注】 USB 関連端子：DP、DM

表 34.6 DC 特性 [USB 関連端子(4)ハイスピード時]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位	測定条件
差動入力感度	V_{HSDI}	0.15	-	-	V	
スケルチ検出スレッシュホールド電圧 (差動電圧)	V_{HSSQ}	100	-	150	mV	
コモンモード電圧範囲	V_{HSCM}	-50	-	500	mV	
アイドル状態	V_{HSOI}	-10.0	-	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	-	440	mV	
出力ローレベル電圧	V_{HSOL}	-10.0	-	10.0	mV	
Chirp J 出力電圧 (差分)	V_{CHIRPJ}	700	-	1000	mV	
Chirp K 出力電圧 (差分)	V_{CHIRPK}	-900	-	-500	mV	

【注】 USB 関連端子：DP、DM

表 34.7 DC 特性 [USB 関連端子(5)ロ - スピード時]

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	V_{LSOH}	2.8	-	-	V	$I_{OH} = 200 \mu A$
出力ローレベル電圧	V_{LSOL}	-	-	0.3	V	$I_{OL} = 2mA$

【注】 USB 関連端子：DP、DM

表 34.8 出力許容電流値

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流	I_{OL}	-	-	2	mA
出力ローレベル許容電流 (総和)	I_{OL}	-	-	120	
出力ハイレベル許容電流	$-I_{OL}$	-	-	2	mA
出力ハイレベル許容電流 (総和)	$ -I_{OH} $	-	-	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 34.8 の値を超えないようにしてください。

34.4 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

34.4.1 クロック・制御信号タイミング

表 34.9 クロック・制御信号タイミング

条件：3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、Ta = -20 ~ 85、-40 ~ 85

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数*1	f_{EX}	24	32.4	MHz	
EXTAL クロック入力サイクル時間	t_{EXcyC}	30.8	42	ns	34.2
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	7	-	ns	34.2
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	7	-	ns	34.2
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	4	ns	34.2
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	4	ns	34.2
CLKOUT クロック出力*2	t_{OP}	80	108	MHz	
CLKOUT クロック出力サイクル時間	$t_{CLKOUTcyC}$	9.26	12.5	ns	34.3
CLKOUT クロック出力ローレベルパルス幅	$t_{CLKOUTL}$	2	-	ns	34.3
CLKOUT クロック出力ハイレベルパルス幅	$t_{CLKOUTH}$	2	-	ns	34.3
CLKOUT クロック出力立ち上がり時間	$t_{CLKOUTr}$	-	3	ns	34.3
CLKOUT クロック出力立ち下がり時間	$t_{CLKOUTf}$	-	3	ns	34.3
MDn リセットセットアップ時間	t_{MDRS}	30	-	ms	34.5
MDn リセットホールド時間	t_{MDRH}	20	-	ns	34.5
PRESET アサート時間	t_{RESPW}	30	-	ms	34.4、 34.5
パワーオン振安定時間	t_{OSC}	60	-	μs	34.4
TRST リセットホールド時間	t_{TRSTRH}	20	-	ns	34.4

【注】 *1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 32.4MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。

*2. CLKOUT 端子への接続負荷容量は最大 50pF としてください。

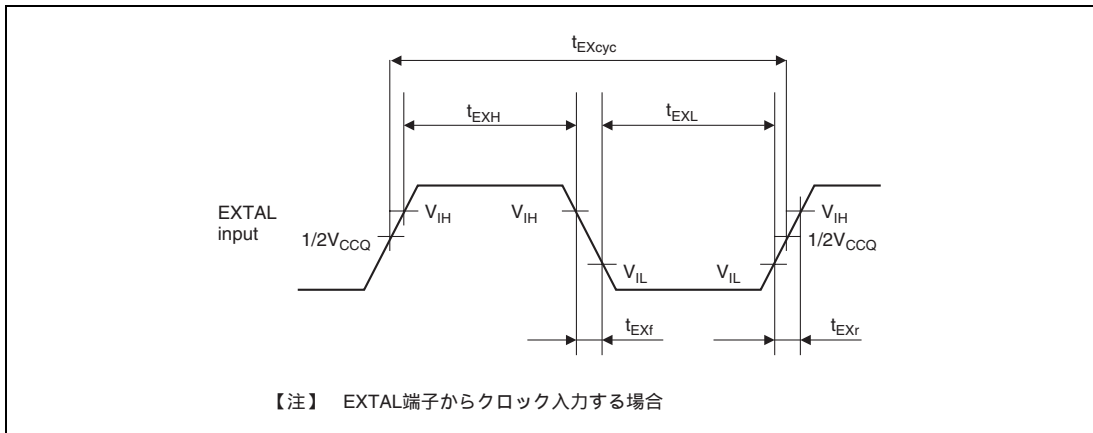


図 34.2 EXTAL クロック入力タイミング

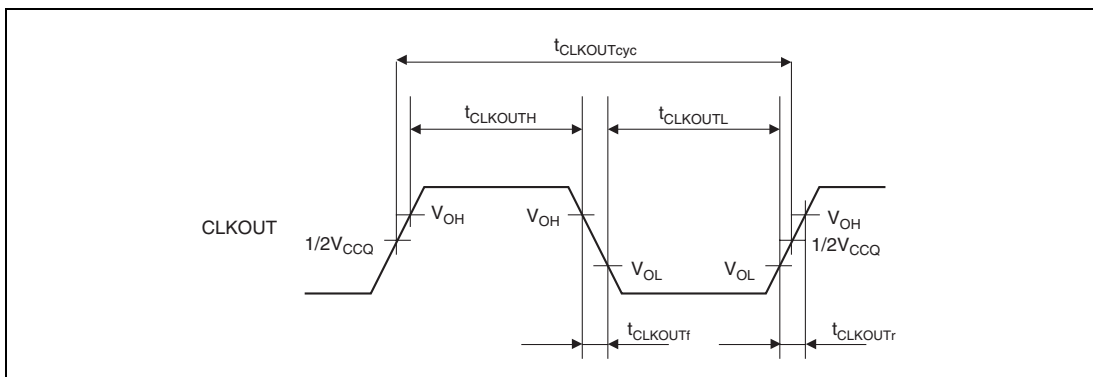


図 34.3 CLKOUT クロック出力タイミング (1)

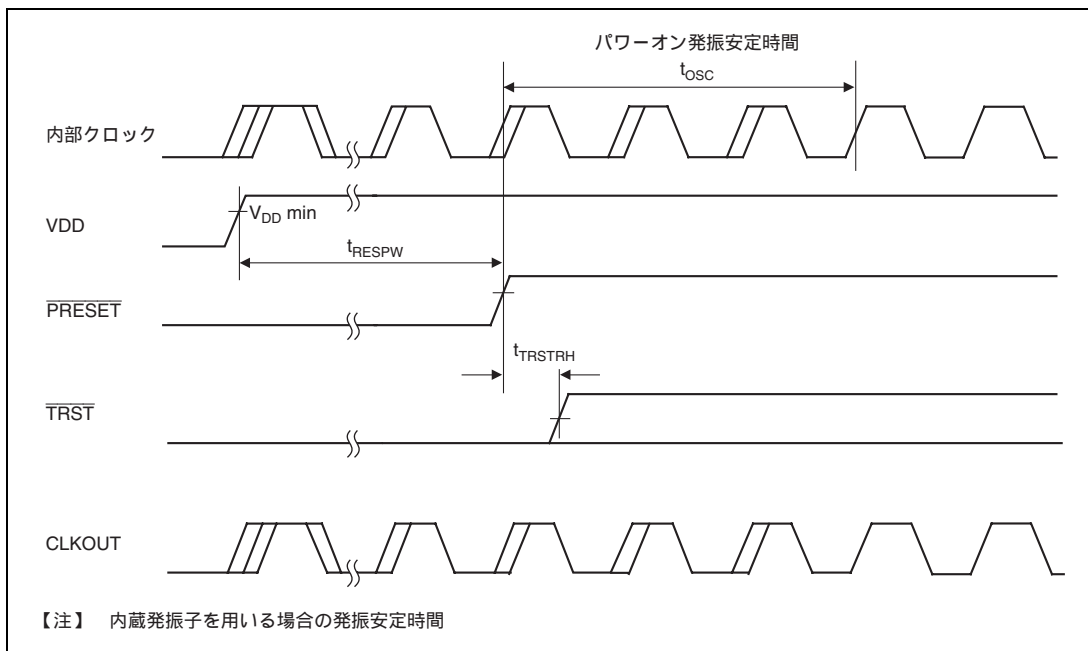


図 34.4 パワーオン時発振安定時間

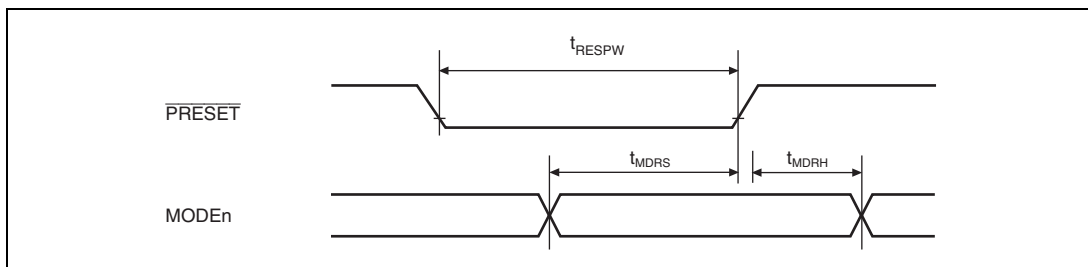


図 34.5 MODE 端子セットアップ/ホールドタイミング

34.4.2 制御信号タイミング

表 34.10 制御信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	$t_{cyc} + 9$	ns	34.6
STATUS0、STATUS1 遅延時間	t_{STD}	-	$t_{cyc} + 10$	ns	34.6
\overline{BREQ} セットアップ時間	t_{BREOS}	3	-	ns	34.7
\overline{BREQ} ホールド時間	t_{BREQH}	1.5	-	ns	34.7
BACK 遅延時間	t_{BACKD}	-	7	ns	34.7
バスタイム	t_{BOFF}	-	10	ns	34.7
バスバッファオンタイム	t_{BON}	-	10	ns	34.7

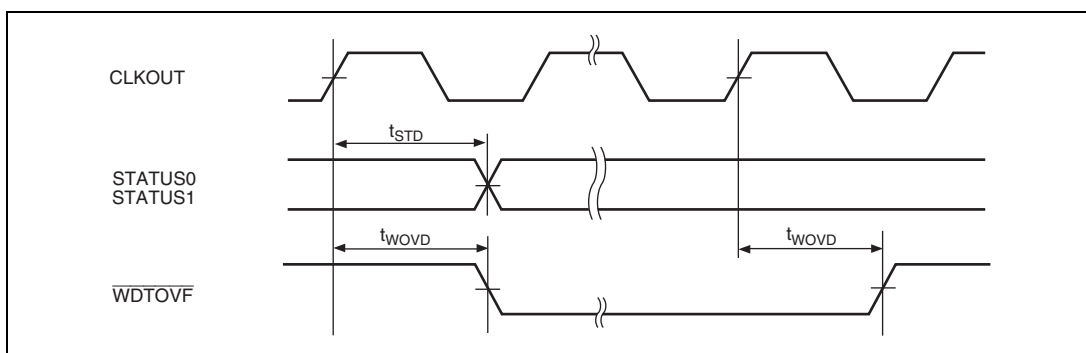
【注】 t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。

図 34.6 スタンバイ時の端子ドライブタイミング

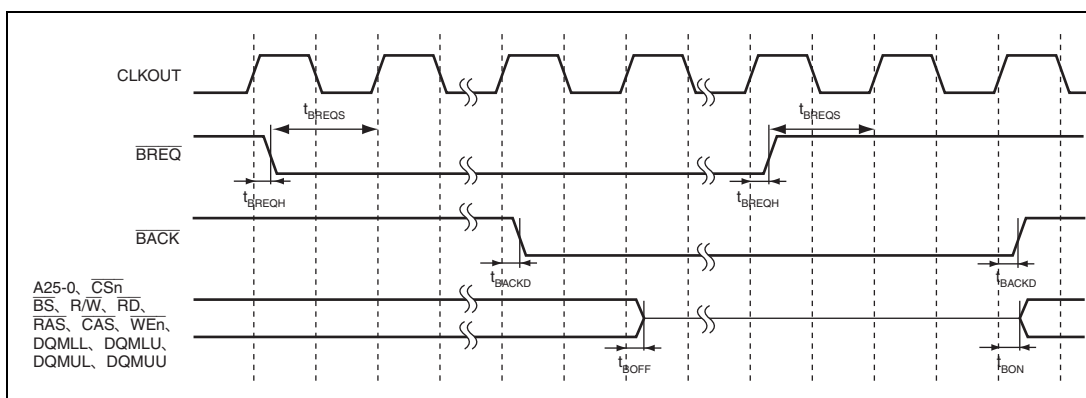


図 34.7 制御信号タイミング

34.4.3 バスタイミング

表 34.11 バスタイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項 目	記号	Min.	Max.	単位	備考	参照図
アドレス遅延時間	t_{AD}	1.0	7.0	ns		34.8~34.11
BS 遅延時間	t_{BSD}	1.0	7.0	ns		34.8~34.11
CSn 遅延時間	t_{CSD}	1.0	7.0	ns		34.8~34.11
R/W 遅延時間	t_{RWD}	1.0	7.0	ns		34.8~34.11
RD 遅延時間	t_{RSD}	1.0	7.0	ns		34.8~34.11
読み出しデータセットアップ時間	t_{RDS}	3.0	-	ns		34.8~34.11
読み出しデータホールド時間	t_{RDH}	1.5	-	ns		34.8~34.11
WEn 遅延時間 (立ち下がりエッジ時)*	t_{WEDF}	-	7.0	ns		34.8~34.11
WEn 遅延時間	t_{WED1}	1.0	7.0	ns		34.8~34.11
書き込みデータ遅延時間	t_{WDD}	1.0	7.0	ns		34.8~34.11
RDY セットアップ時間	t_{RDYS}	3.0	-	ns		34.9、34.10
RDY ホールド時間	t_{RDYH}	1.5	-	ns		34.9、34.10
RAS 遅延時間	t_{RASD}	1.0	7.0	ns		34.12~34.23
CAS 遅延時間	t_{CASD}	1.0	7.0	ns		34.12~34.23
CKE 遅延時間	t_{CKED}	1.0	7.0	ns		34.12~34.23
DQM 遅延時間	t_{DQMD}	1.0	7.4	ns		34.12~34.23

【注】 * CLKOUT の立ち下がりエッジに対する遅延時間を示します。

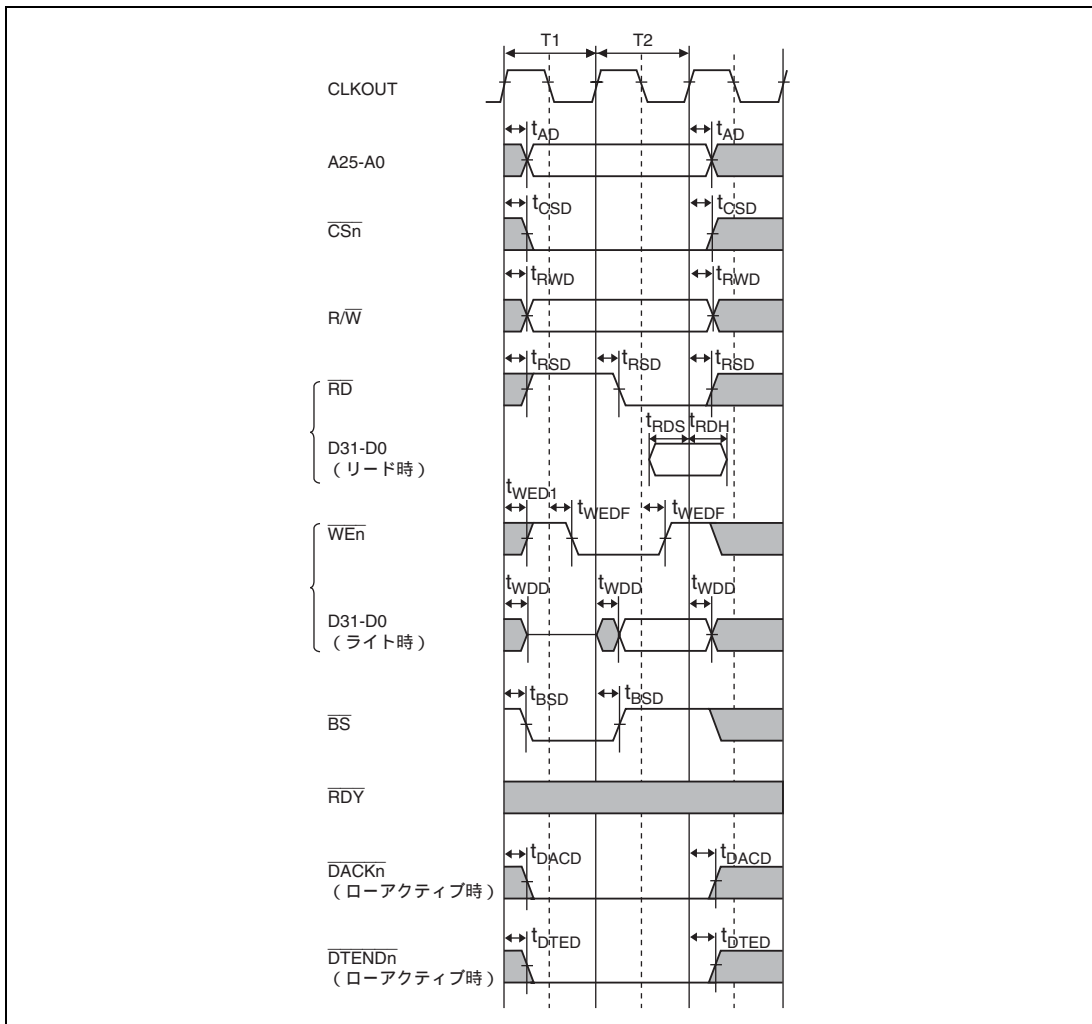


図 34.8 SRAM バスサイクル 基本バスサイクル (ノーウェイト)

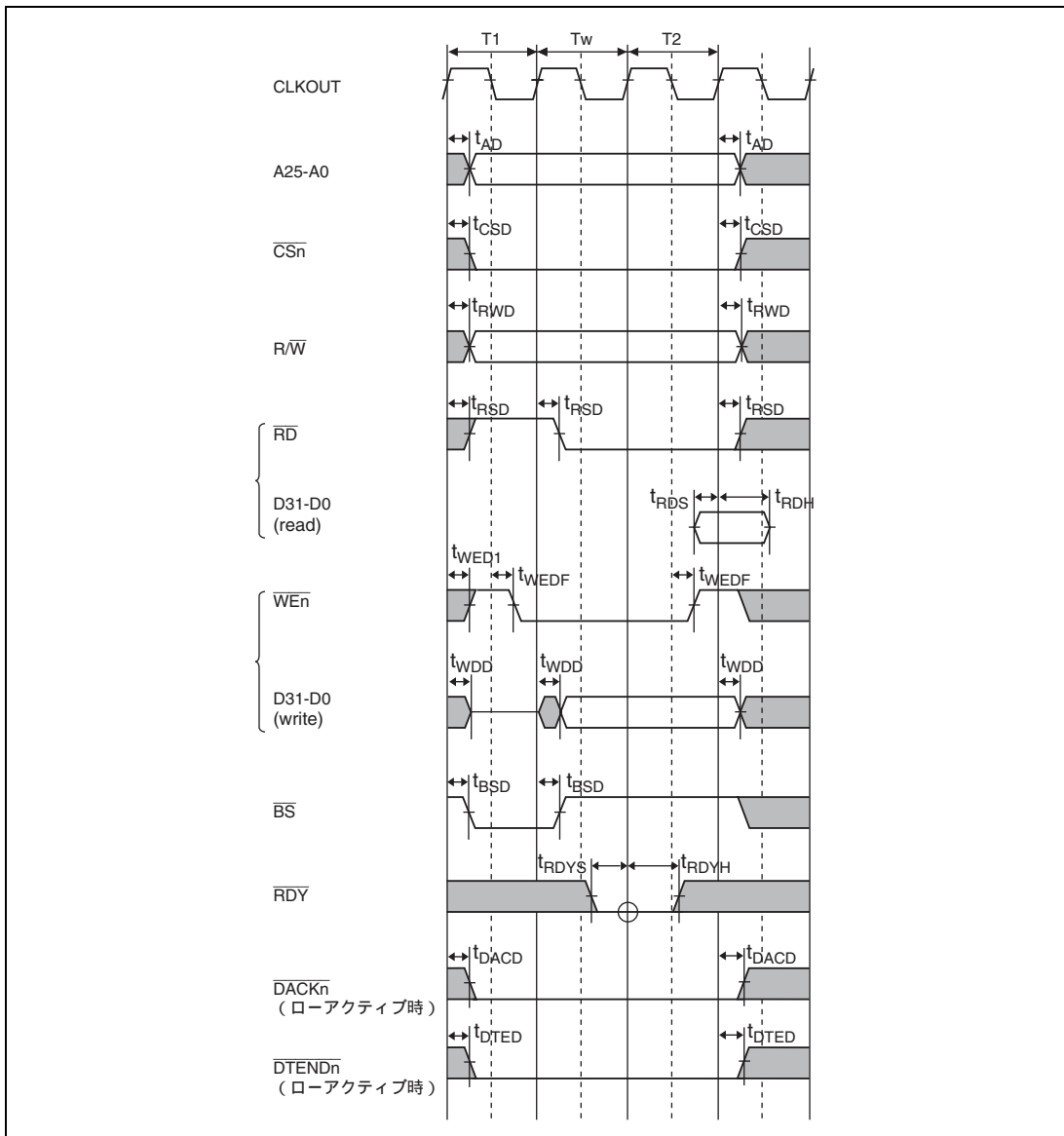


図 34.9 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

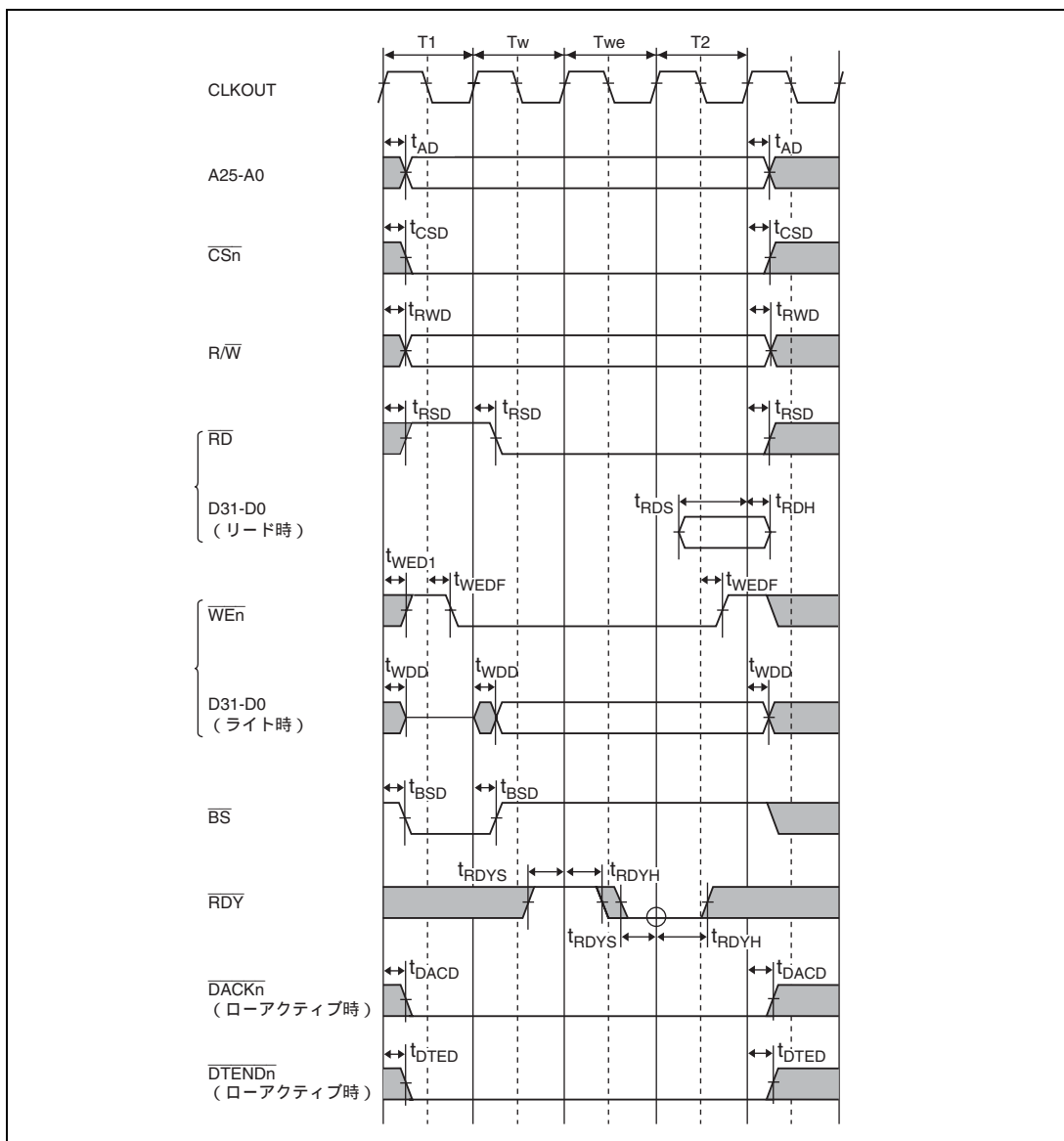


図 34.10 SRAM バスサイクル 基本バスサイクル
(内部ウェイト+外部1ウェイト)

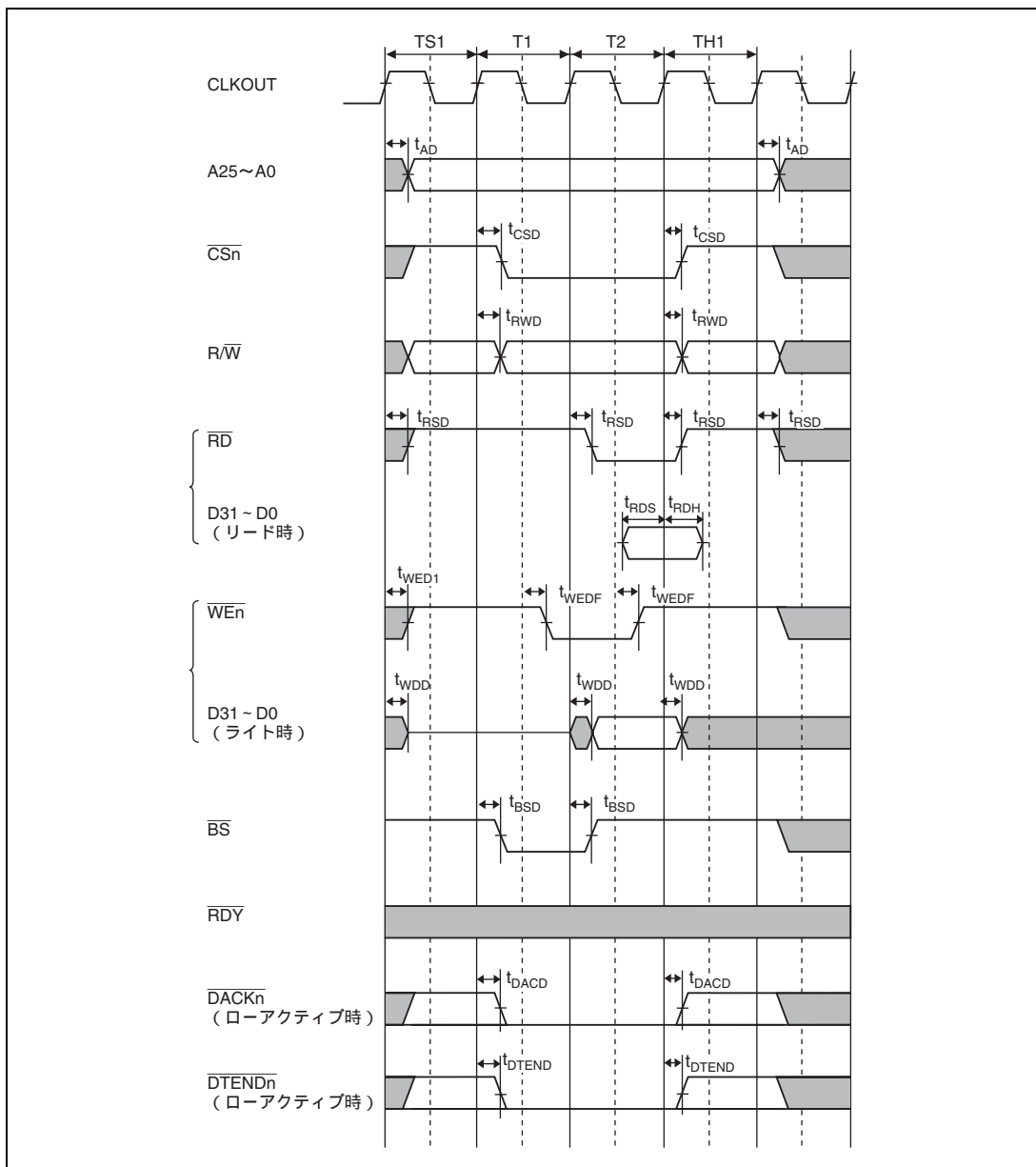


図 34.11 SRAM バスサイクル 基本バスサイクル
(ノーウェイト、アドレスセットアップ/ホールドタイム挿入、AnS=1、AnH=1)

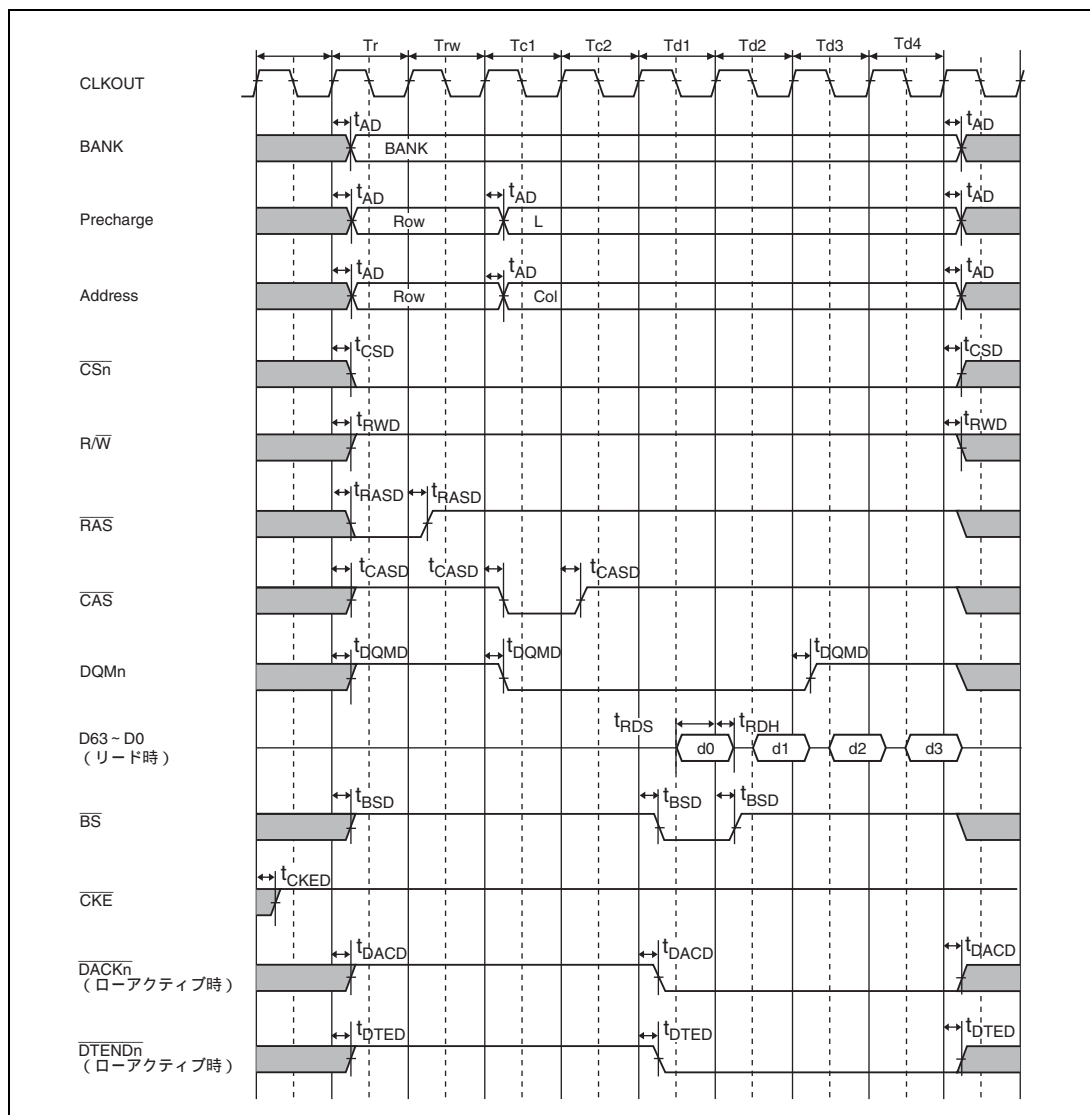


図 34.12 SDRAM バスサイクル バンクオープンモード リードバスサイクル (ACT-READ)
 (BOMODE[1:0] = 00, SCL[2:0] = 000, SRCD = 0, CAS レイテンシ = 2cyc, IRCD = 2cyc)

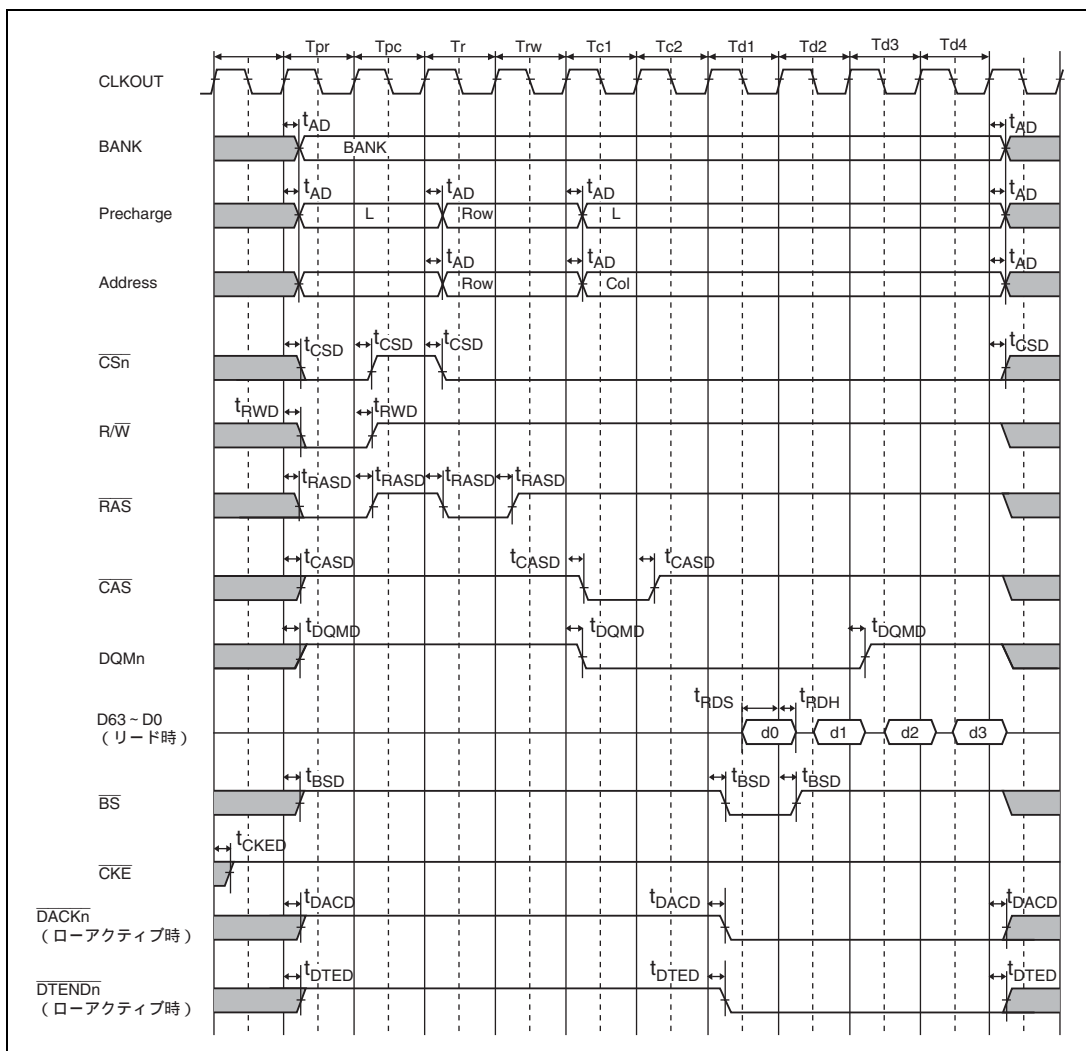


図 34.13 SDRAM バスサイクル バンクオープンモード プリチャージ・リードバスサイクル
 (PRE-ACT-READ) (BOMODE[1:0]=00, SRP[1:0]=00, SCL[2:0]=000, SRCD=0, IRP=2cyc, CAS レイ
 テンシ=2cyc、IRCD=2cyc)

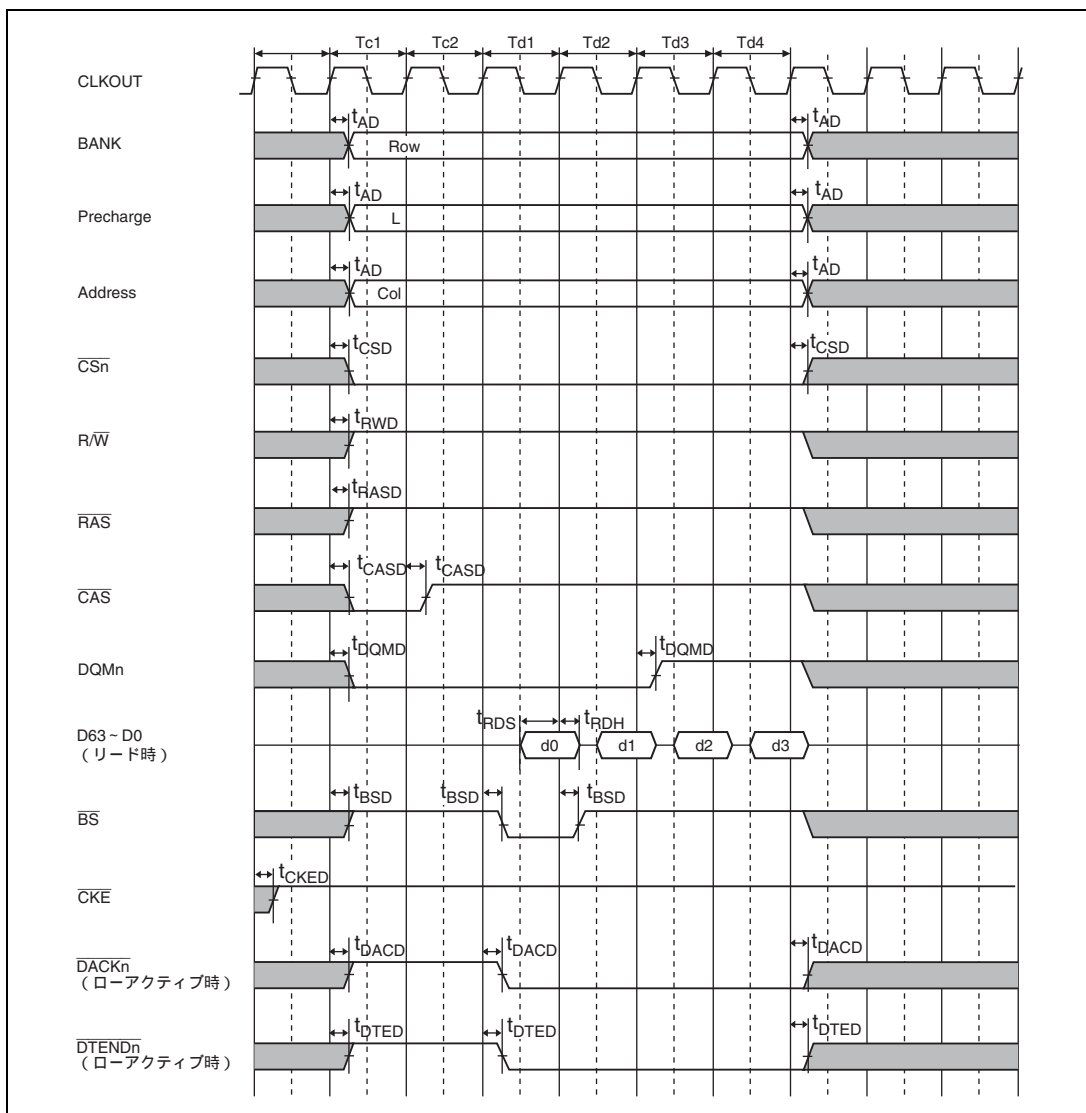


図 34.14 SDRAM バスサイクル バンクオープンモード リードバスサイクル(READ) (BOMODE[1:0]=00、SCL[2:0]=000、SRCD=0、CAS レイテンシ=2cyc、IRCD=2cyc)

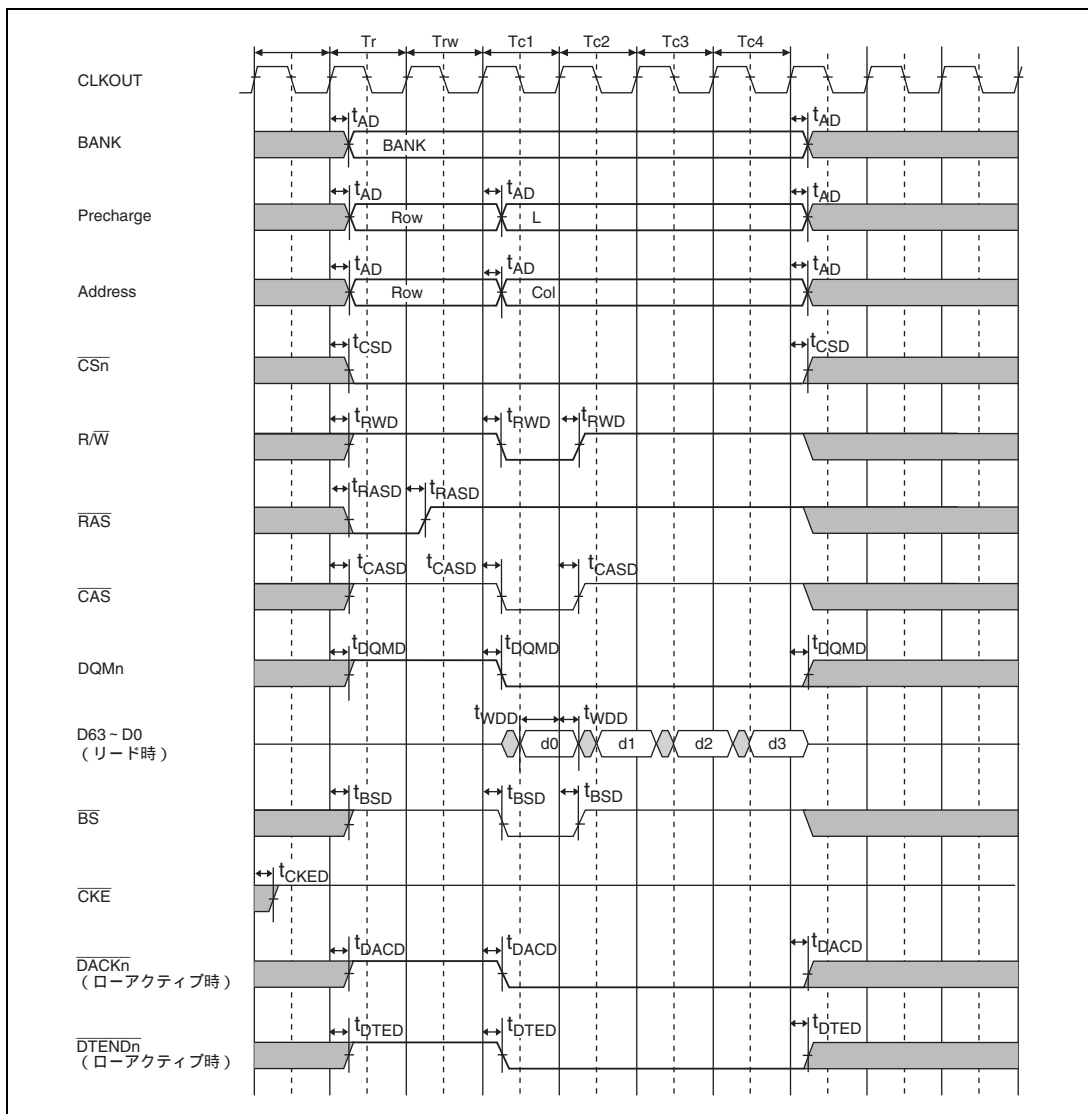


図 34.15 SDRAM バスサイクル バンクオープンモード ライトバスサイクル (ACT-WRITE)
(BOMODE[1:0] = 00, SRCD = 0, IRCD = 2cyc)

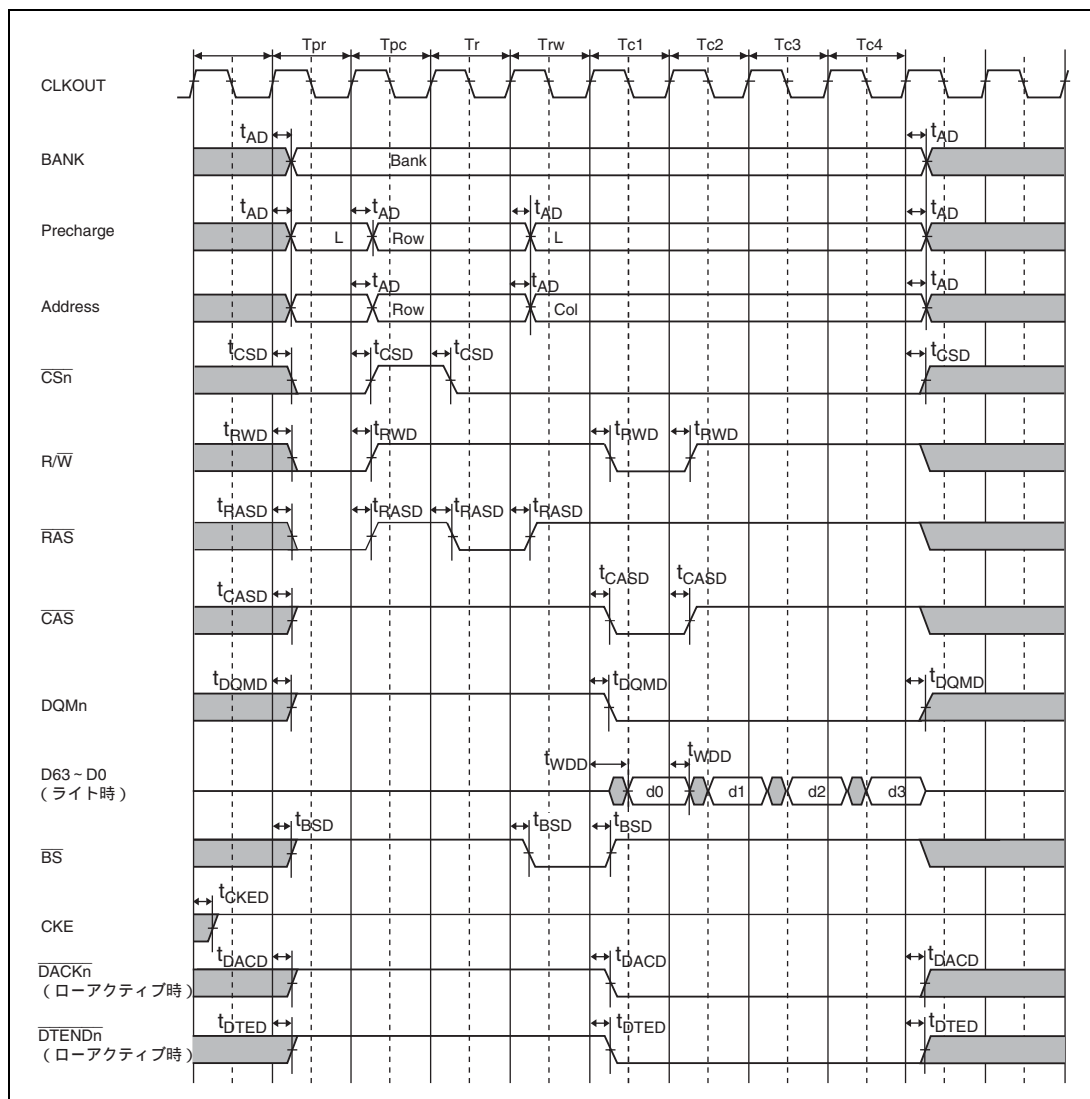


図 34.16 SDRAM バンクオープンモード プリチャージ・ライトバスサイクル
 (PRE-ACT-SRITE) (BOMODE[1:0] = 00、SRP[1:0] = 00、SRCD = 0、IRP = 2cyc、IRCD = 2cyc)

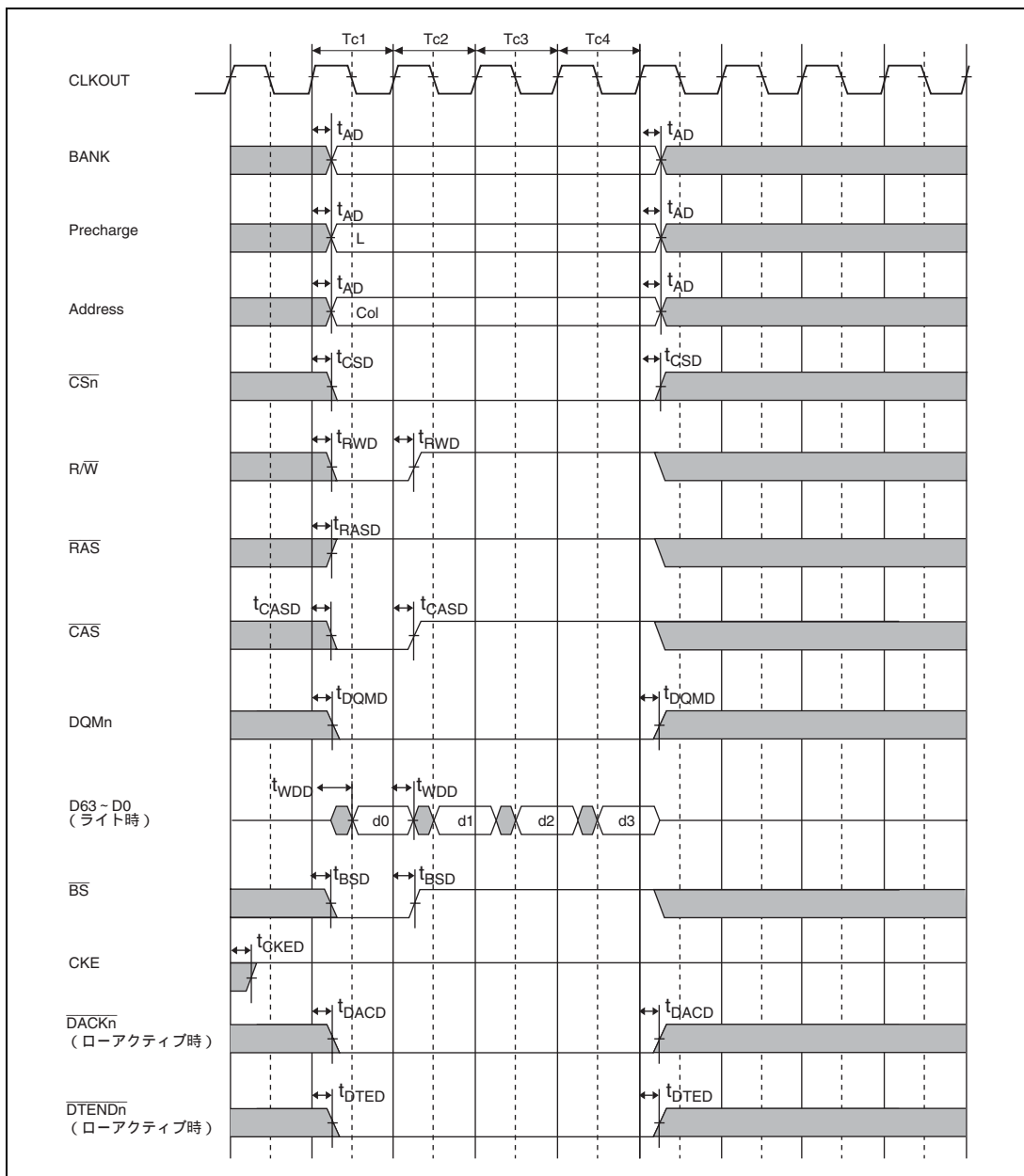


図 34.17 SDRAM バスサイクル バンクオープンモード ライトバスサイクル(WRITE) (BOMODE[1:0] = 00、SRCDD = 0、IRCD = 2cyc)

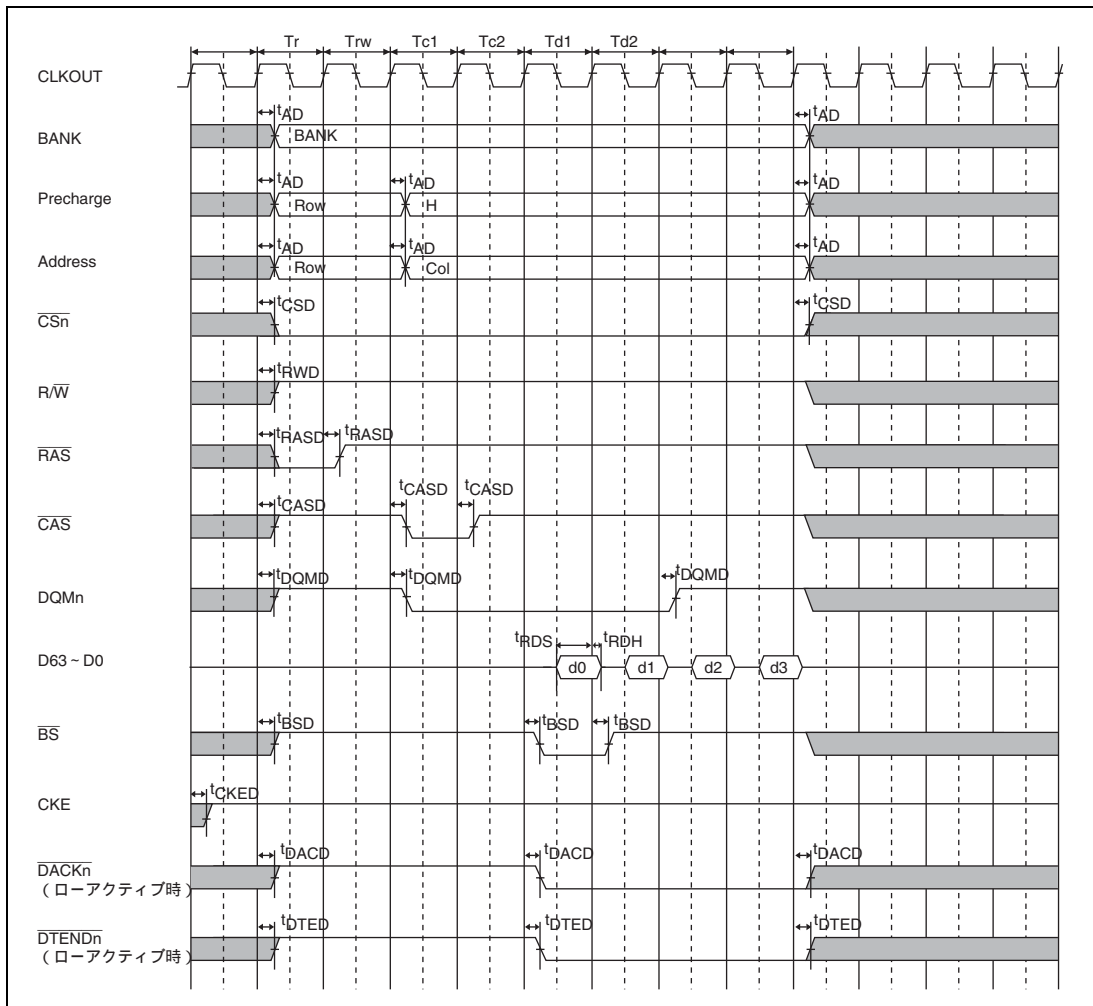


図 34.18 SDRAM バスサイクル バンククローズモード リードバスサイクル (ACT-READA) (BOMODE[1:0] = 1、SRP[1:0] = 00、SCL[2:0] = 000、SRCD = 0、IRP = 2cyc、CAS レイテンシ = 2cyc、IRCD = 2cyc)

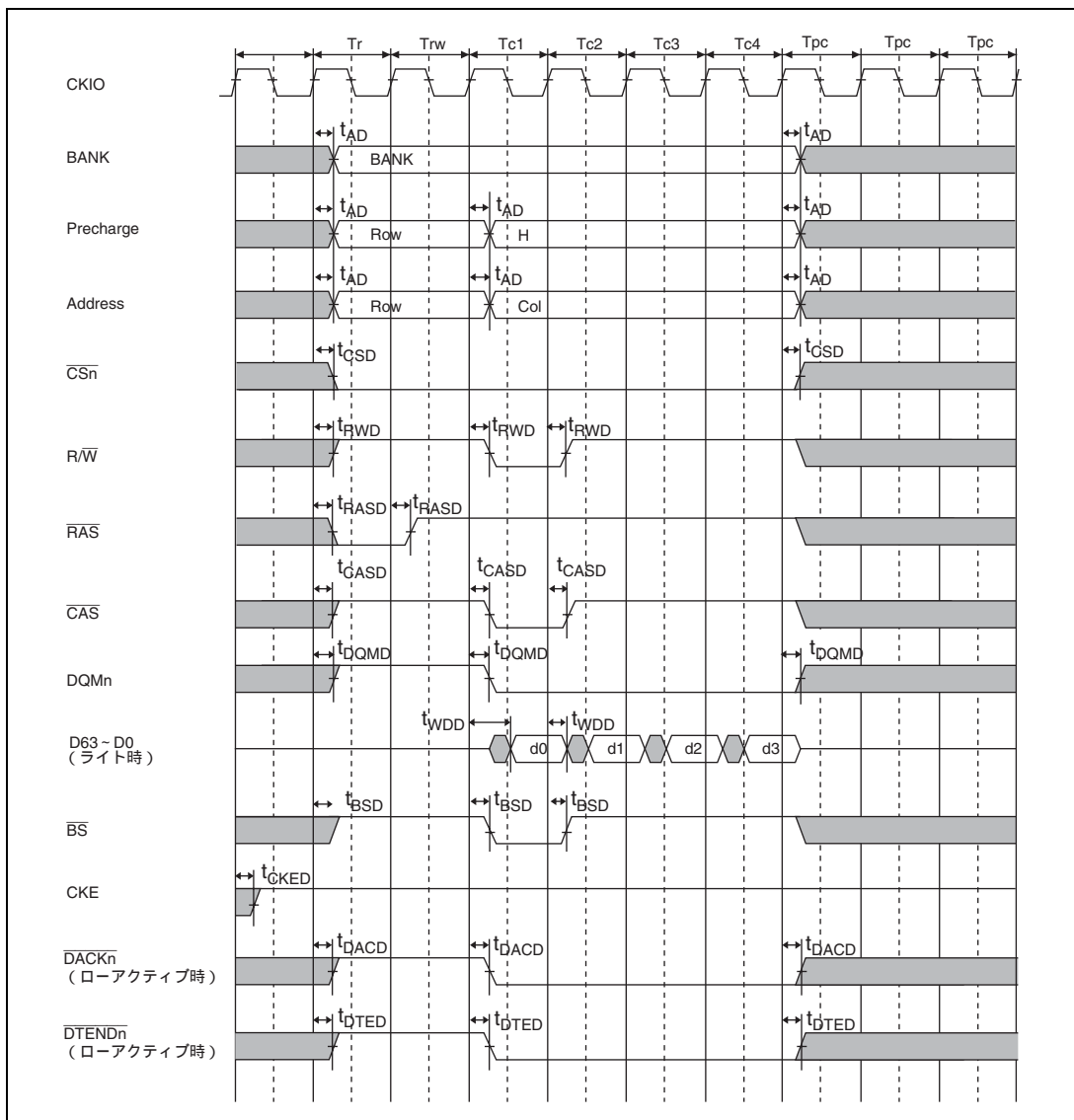


図 34.19 SDRAM バスサイクル バンククローズモード ライトバスサイクル (ACT-WRITEA) (BOMODE[1:0] = 00, SWR[1:0] = 00, SRP[1:0] = 00, SRCD=0, IDAL = 4cyc, IRCD = 2cyc)

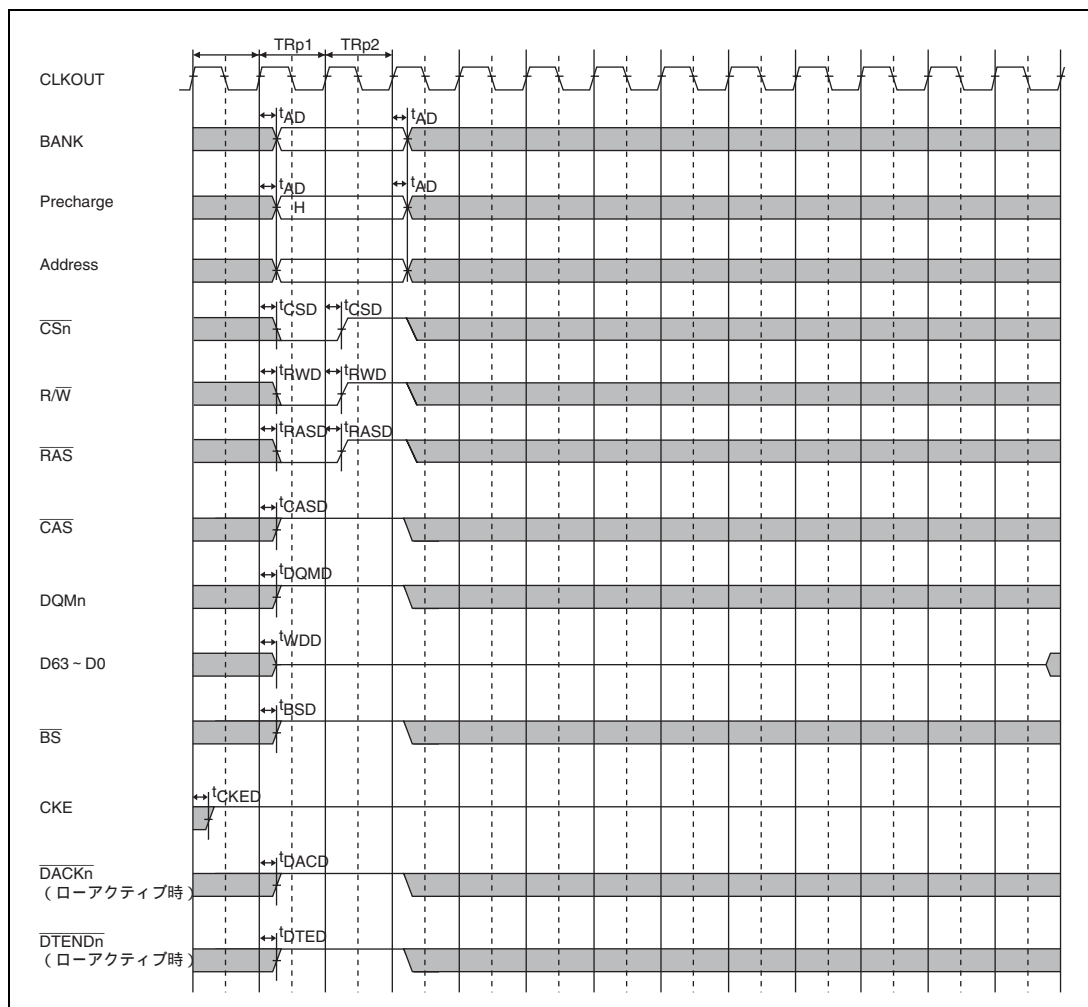


図 34.20 SDRAM バスサイクル プリチャージサイクル (PALL) (SRP[1:0] = 00、IRP = 2cyc)

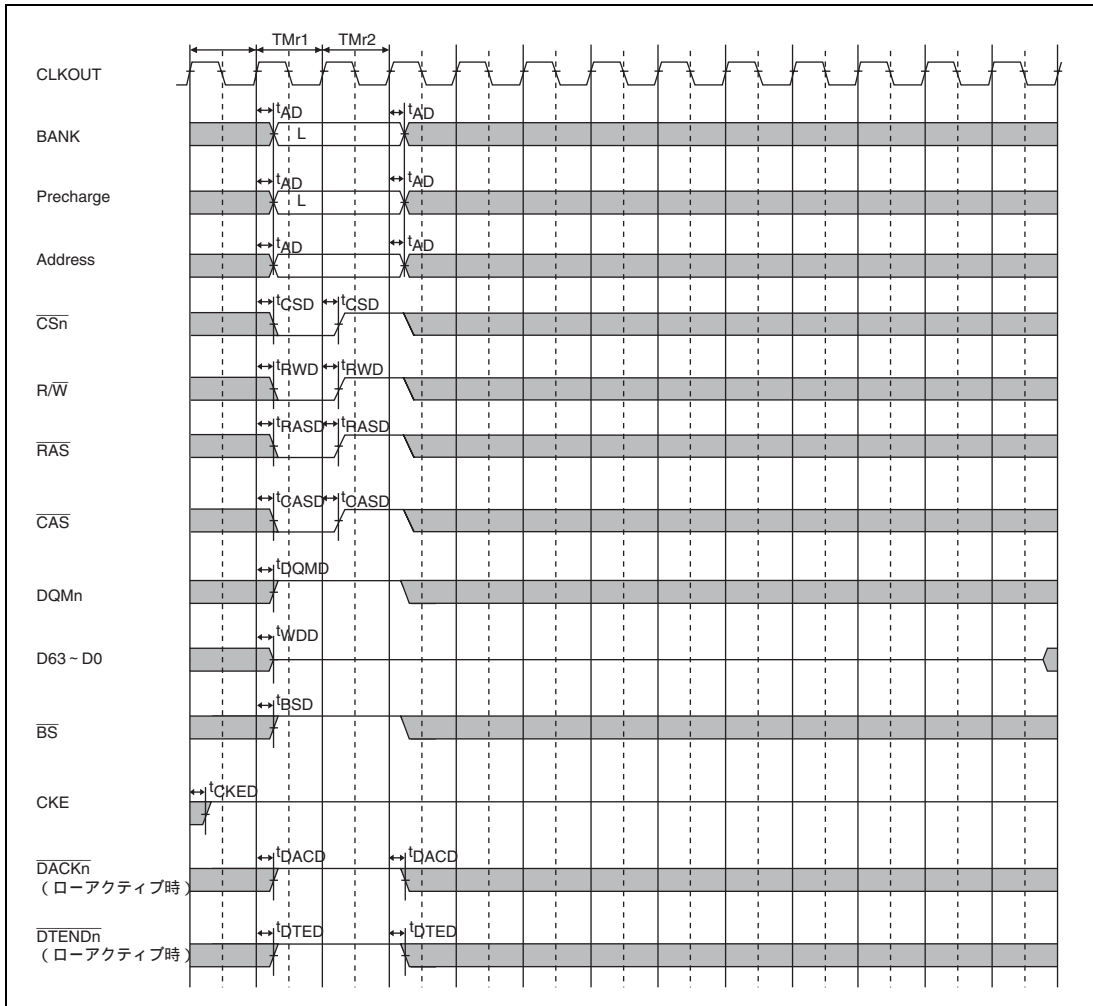


図 34.21 SDRAM バスサイクル モードレジスタセットサイクル (MRS)

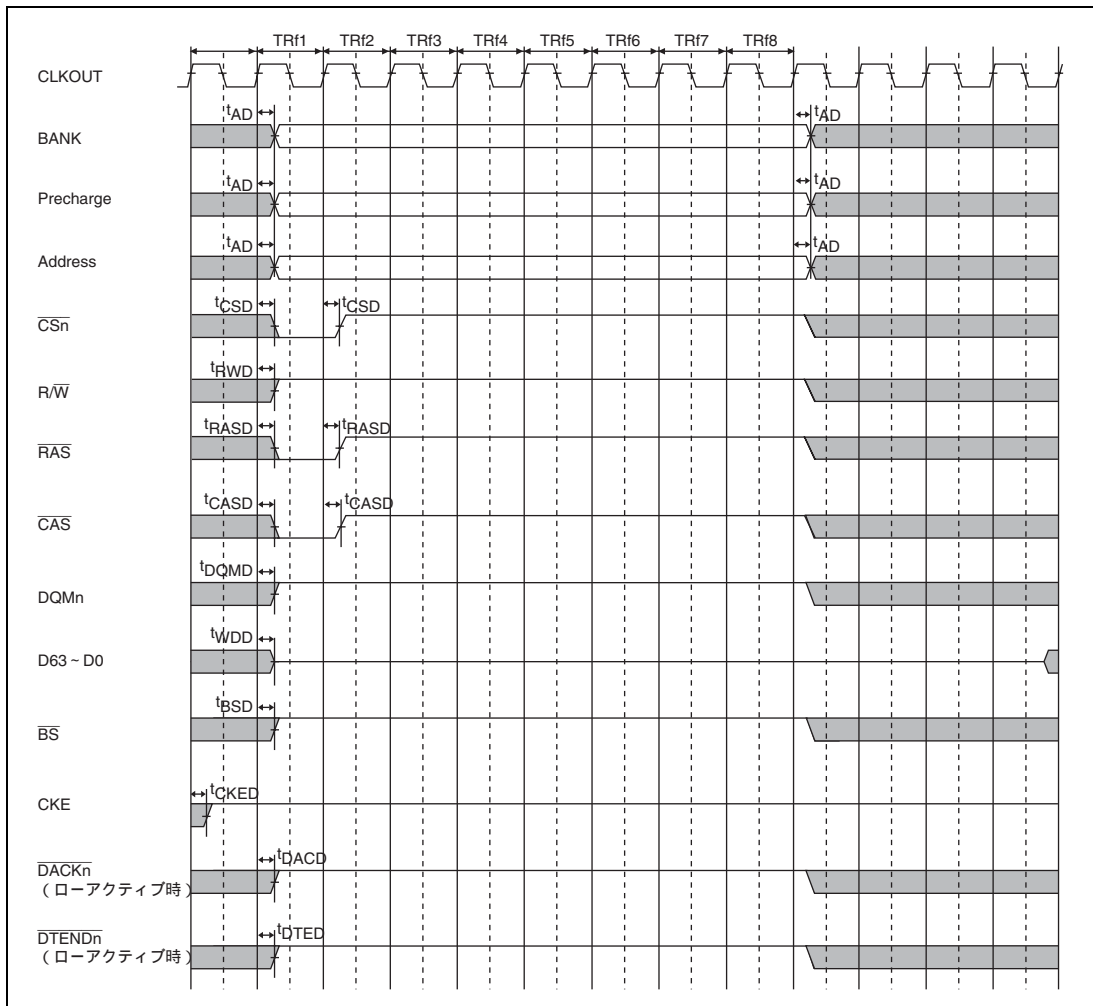


図 34.22 SDRAM バスサイクル オートリフレッシュサイクル (REF) (SRFC[2:0] = 000, IRC = 8cyc)

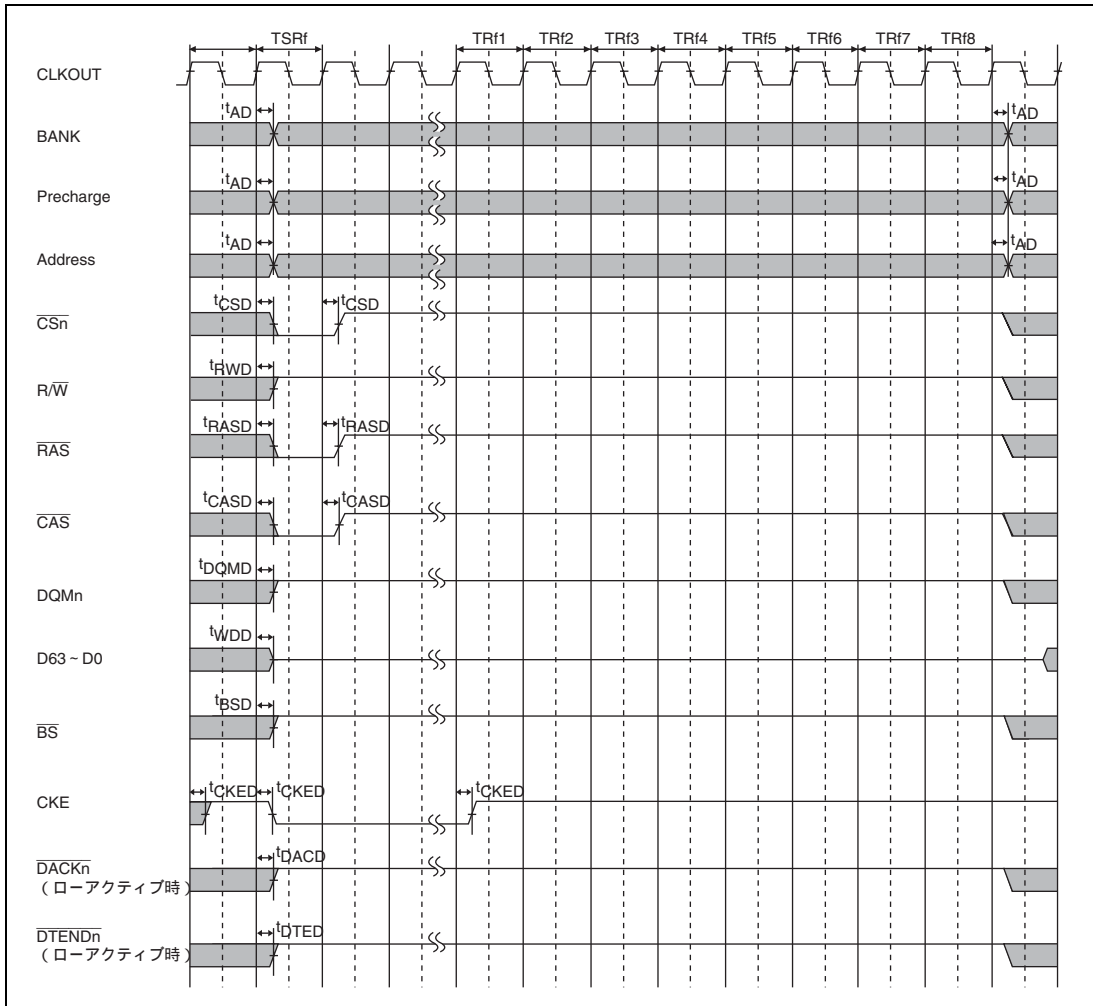


図 34.23 SDRAM バスサイクル セルフリフレッシュサイクル (SREF)

34.4.4 INTC モジュール信号タイミング

表 34.12 INTC モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min	Max.	単位	参照図	備考
NMI パルス幅 (High 時)	t_{NMIH}	5	-	t_{cyc}	34.24	通常時 スリープ時
NMI パルス幅 (Low 時)	t_{NMIL}	5	-	t_{cyc}	34.24	通常時 スリープ時
IRQ1、IRQ0 セットアップ時間	t_{IRQS}	8	-	ns	34.25	IRQ 入力
IRQ1、IRQ0 ホールド時間	t_{IRQH}	3	-	ns	34.25	IRQ 入力
PINT \bar{n} 割り込みセットアップ時間	t_{GPIOS}	15	-	ns	34.25	GPIO 割り込み入力
PINT \bar{n} 割り込みホールド時間	t_{GPIOH}	8	-	ns	34.25	GPIO 割り込み入力
IRQOUT 出力遅延時間	t_{IROOD}	-	13	ns	34.25	IRQOUT 出力

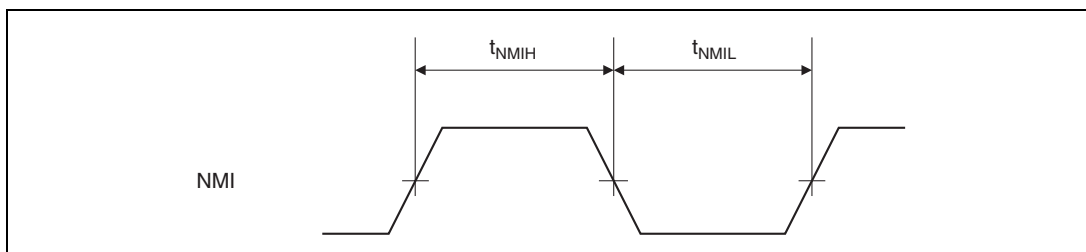
【注】 t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。

図 34.24 NMI 入力タイミング

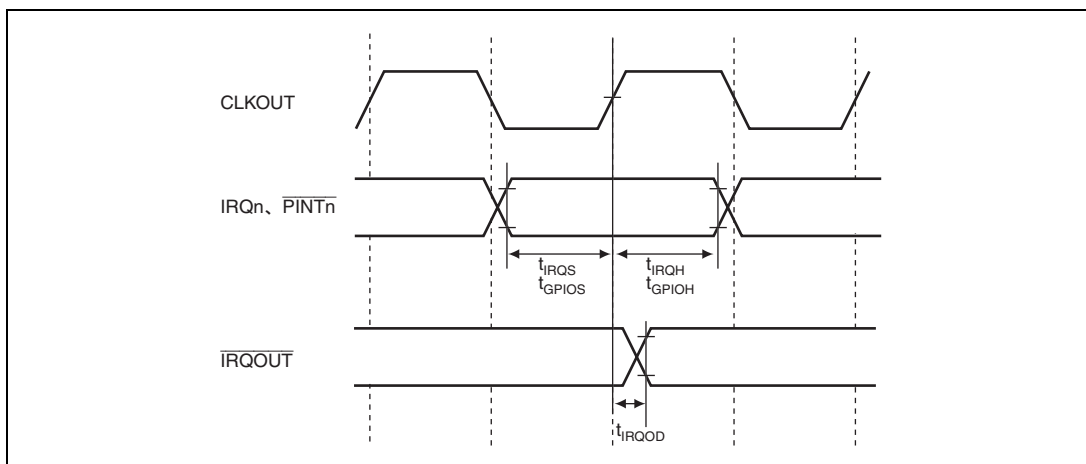


図 34.25 IRQ、PINT 入力、IRQOUT 出力タイミング

34.4.5 DMAC モジュール信号タイミング

表 34.13 DMAC モジュール信号タイミング

条件：3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、Ta = - 20 ~ 85 、 - 40 ~ 85

モジュール	項目	記号	Min.	Max.	単位	参照図
DMAC	DREQ \bar{n} セットアップ時間	t_{DRQS}	6	-	ns	34.26
	DREQ \bar{n} ホールド時間	t_{DRQH}	4	-	ns	34.26
	DTEND \bar{n} 遅延時間	t_{DTED}	1.0	8	ns	34.26、34.8 ~ 34.23
	DACK \bar{n} 遅延時間	t_{DADC}	1.0	8	ns	34.26、34.8 ~ 34.23

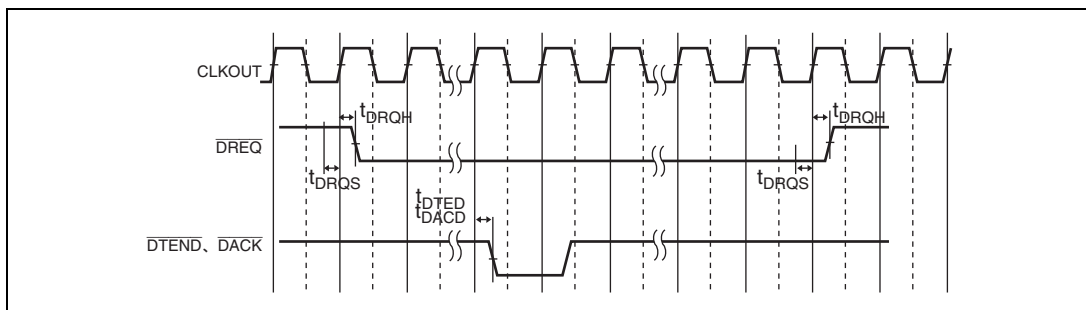


図 34.26 DREQ/DTEND/DACK タイミング

34.4.6 TMU モジュール信号タイミング

表 34.14 TMU モジュール信号タイミング

条件：3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、Ta = - 20 ~ 85 、 - 40 ~ 85

モジュール	項目	記号	Min.	Max.	単位	参照図
TMU	タイマクロックパルス幅(High 時)	t_{TCLKWH}	4	-	t_{Pck}	34.27
	タイマクロックパルス幅(Low 時)	t_{TCLKWL}	4	-	t_{Pck}	34.27
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	t_{Pck}	34.27
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	t_{Pck}	34.27

【注】 t_{Pck} は周辺クロック (Pck) の 1 サイクル時間を示します。

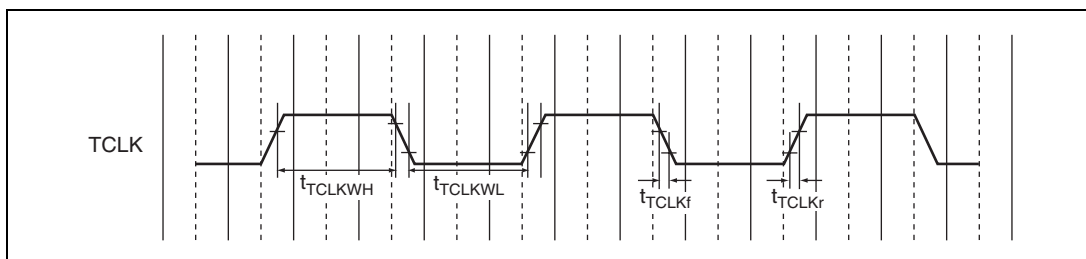


図 34.27 TCLK 入力タイミング

34.4.7 IIC モジュール信号タイミング

表 34.15 IIC モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	min	typ	max	単位	参考図
SCL 周波数	t_{CYC}	0	-	400	kHz	図 34.28、34.29
SCL/SDA 立ち下がり時間	t_{ICF}	-	-	300	ns	$RP \cdot CB = 257 \times 10^9$ $\sim 275 \times 10^9$
SDA バスフリー時間	t_{ICBF}	1.3	-	-	us	[\cdot pF]
SCL 開始条件ホールド時間	t_{ICH}	0.6	-	-	us	VPU=3.3V
SCL 再伝送開始条件 セットアップ時間	t_{ICS}	0.6	-	-	us	
SDA 停止条件 セットアップ時間	t_{ICST}	0.6	-	-	us	
SDA セットアップ時間	t_{DAS}	100	-	-	ns	
SDA ホールド時間	t_{ICDH}	0	-	0.9	us	

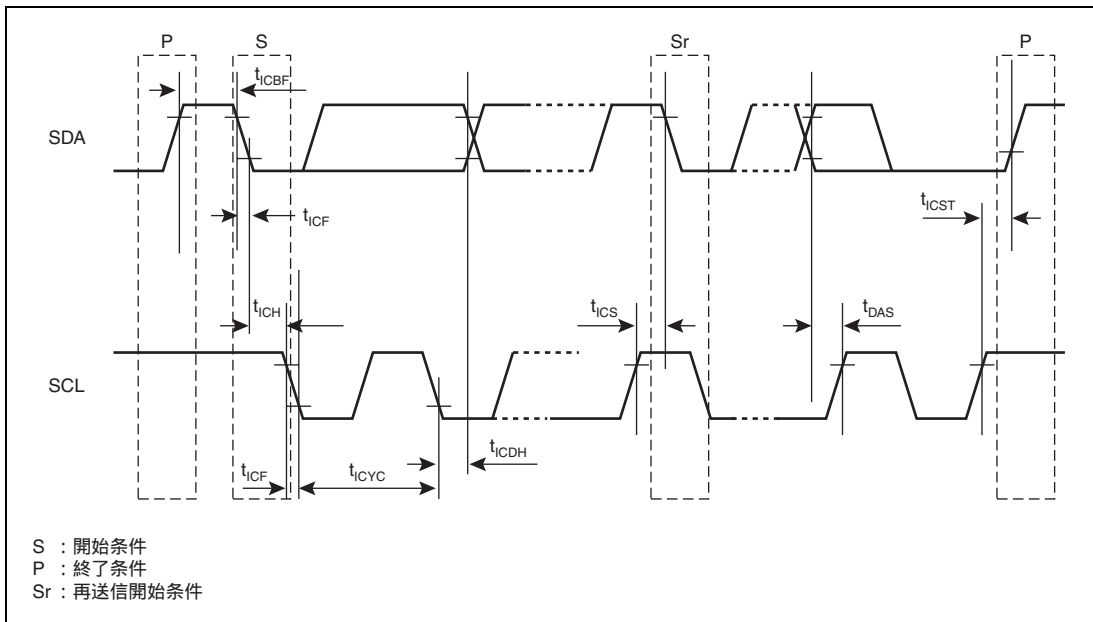


図 34.28 IIC タイミング

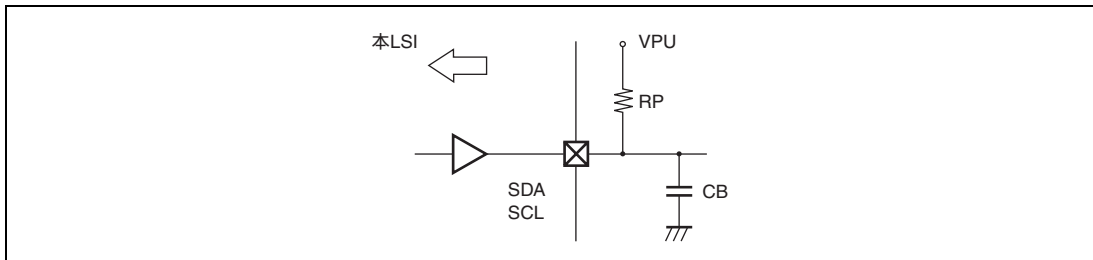


図 34.29 AC 特性負荷条件

34.4.8 SCIF モジュール信号タイミング

表 34.16 SCIF モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	Min.	Max.	単位	参照図	
入力クロックサイクル	クロック同期	t_{SCYC}	12	-	t_{pcyc}	34.30, 34.31
	調歩同期		4	-	t_{pcyc}	34.30
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{pcyc}	34.30	
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	t_{pcyc}	34.30	
入力クロック幅	t_{SCKW}	0.4	0.6	t_{Scyc}	34.30	
送信データ遅延時間(クロック同期)	t_{TXD}	-	$3t_{pcyc} + 15$	ns	34.31	
受信データセットアップ時間(クロック同期)	t_{RXS}	$4t_{pcyc} + 15$	-	ns	34.31	
受信データホールド時間(クロック同期)	t_{RXH}	100	-	ns	34.31	

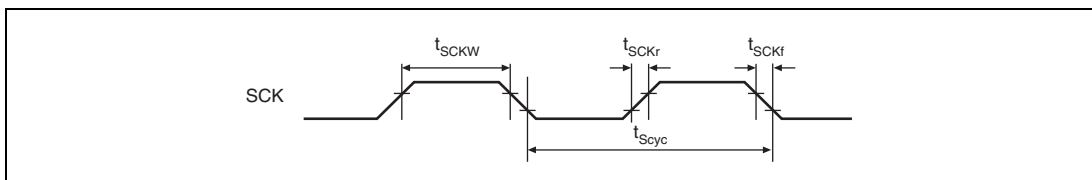
【注】 t_{pcyc} は周辺クロック (Pck) の 1 サイクル時間をしめします。

図 34.30 SCK 入力クロックタイミング

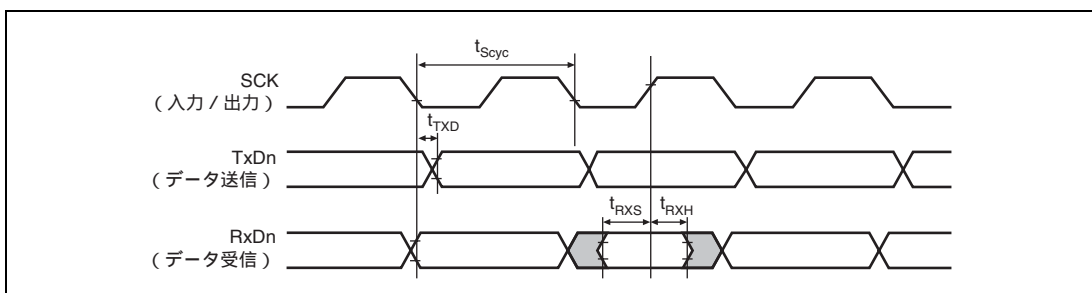


図 34.31 クロック同期式モード時の SCIF 入出力タイミング

34.4.9 SSI モジュール信号タイミング

表 34.17 SSI モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	min	typ	max	単位	備考	参考図
出力クロック周期	t_o	160	-	3364	ns	出力	図 34.32
入力クロック周期	t_i	160	-	3364	ns	入力	
クロック High	t_{HC}	40	-	-	ns	双方向	
クロック Low	t_{LC}	40	-	-	ns		
クロック立ち上がり時間	t_{RC}	-	-	20	ns	出力 (100pF)	
遅延	t_{DTR}	-	-	30	ns	送信	図 34.33、 図 34.34
セットアップ時間	t_{SR}	20	-	-	ns	受信	図 34.35、 図 34.36
ホールド時間	t_{HTR}	10	-	-	ns	受信	図 34.35、 図 34.36
AUDIO_CLK 周波数	f_{AUDIO}	3.072	-	24.576	MHz		図 34.37

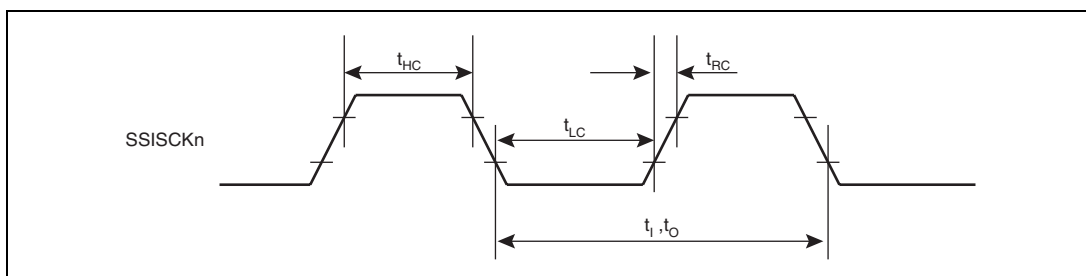


図 34.32 クロック入出力タイミング

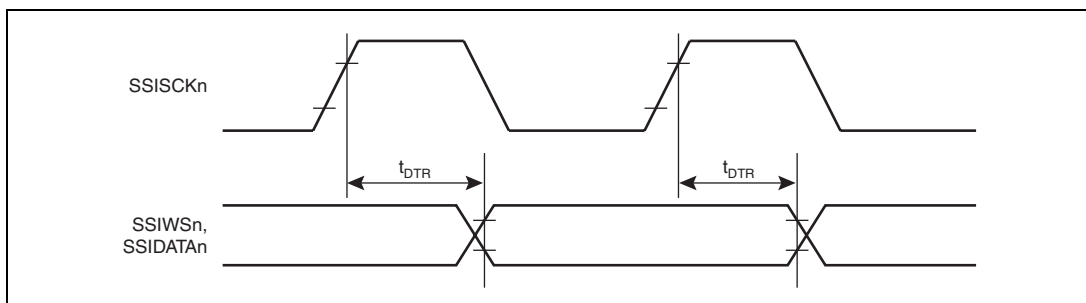


図 34.33 SSI 送信タイミング(1)

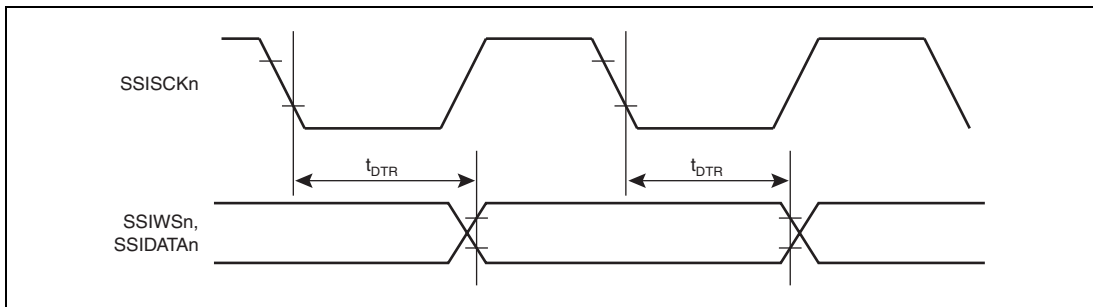


図 34.34 SSI 送信タイミング(2)

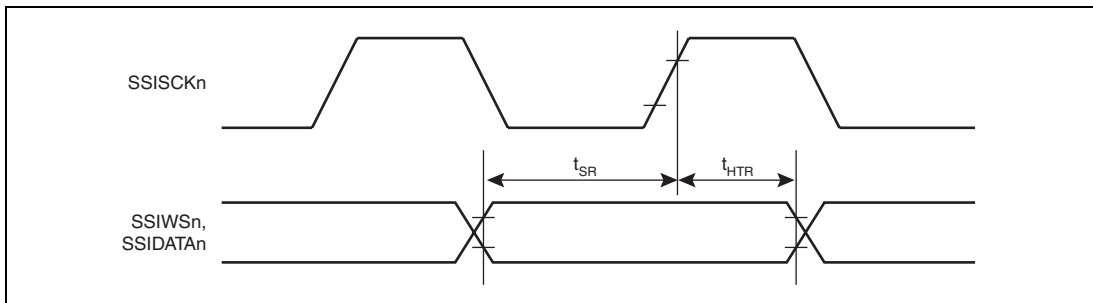


図 34.35 SSI 受信タイミング(1)

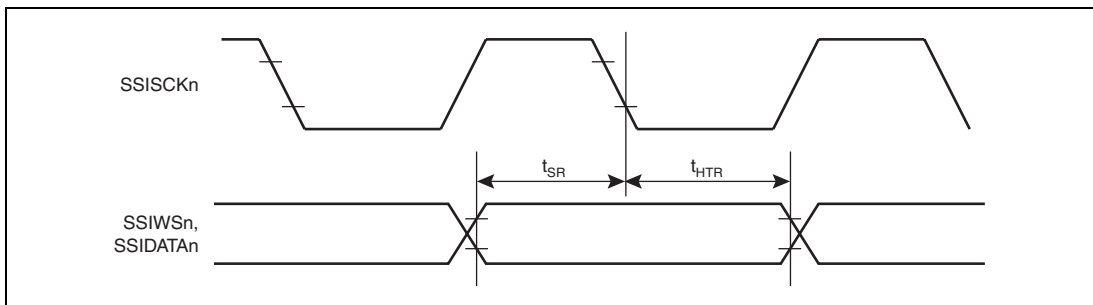


図 34.36 SSI 受信タイミング(2)

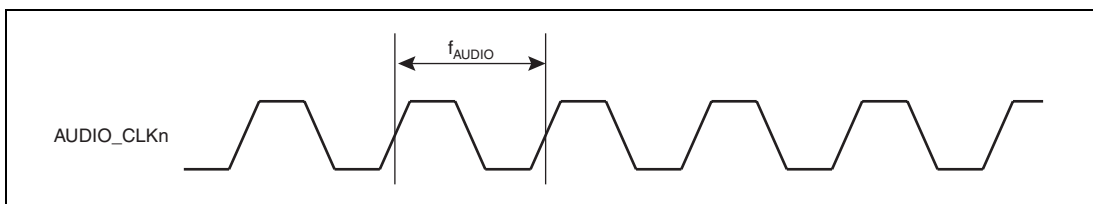


図 34.37 AUDIO_CLK タイミング

34.4.10 ATAPI インタフェースモジュール信号タイミング

表 34.18 ATAPI インタフェース PIO 転送によるレジスタアクセスタイミング

条件：3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、Ta = - 20 ~ 85 、 - 40 ~ 85

PIO 転送によるレジスタアクセス時の記号と 項目および条件 (max/min)			Mode 0 ns	Mode 1 ns	Mode 2 ns	Mode 3 ns	Mode 4 ns	参照図
t0	サイクル時間	(min)	600	383	330	180	120	34.38
t1	アドレスセットアップ時間	(min)	70	50	30	30	25	
t2	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅 8-bit	(min)	290	290	290	80	70	
t2i	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ リカバリ時間	(min)	-	-	-	70	25	
t3	$\overline{\text{IDEIOWR}}$ データセットアップ時間	(min)	60	45	30	30	20	
t4	$\overline{\text{IDEIOWR}}$ データホールド時間	(min)	30	20	15	10	10	
t5	$\overline{\text{IDEIORD}}$ データセットアップ時間	(min)	50	35	20	20	20	
t6	$\overline{\text{IDEIORD}}$ データホールド時間	(min)	5	5	5	5	5	
t6z	$\overline{\text{IDEIORD}}_3$ ステート遅延時間	(max)	30	30	30	30	30	
t9	アドレスホールド時間	(min)	20	15	10	10	10	
tRD	IDEIORDY リードデータ有効時間	(min)	0	0	0	0	0	
tA	IDEIORDY セットアップ時間		35	35	35	35	35	
tB	IDEIORDY パルス時間	(max)	1250	1250	1250	1250	1250	
tC	IDEIORDY のネゲートから ハイインピーダンスまでの時間	(max)	5	5	5	5	5	

表 34.19 ATAPI インタフェース PIO 転送によるデータ転送のタイミング

PIO 転送によるデータ転送時の記号と項目 および条件 (max/min)			Mode 0 ns	Mode 1 ns	Mode 2 ns	Mode 3 ns	Mode 4 ns	参照図
t0	サイクル時間	(min)	600	383	240	180	120	34.38
t1	アドレスセットアップ時間	(min)	70	50	30	30	25	
t2	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅 8-bit	(min)	290	290	290	80	70	
t2i	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ リカバリ時間	(min)	-	-	-	70	25	
t3	$\overline{\text{IDEIOWR}}$ データセットアップ時間	(min)	60	45	30	30	20	
t4	$\overline{\text{IDEIOWR}}$ データホールド時間	(min)	30	20	15	10	10	
t5	$\overline{\text{IDEIORD}}$ データセットアップ時間	(min)	50	35	20	20	20	
t6	$\overline{\text{IDEIORD}}$ データホールド時間	(min)	5	5	5	5	5	
t6z	$\overline{\text{IDEIORD}}_3$ ステート遅延時間	(max)	30	30	30	30	30	
t9	アドレスホールド時間	(min)	20	15	10	10	10	
tRD	IDEIORDY リードデータ有効時間	(min)	0	0	0	0	0	
tA	IDEIORDY セットアップ時間		35	35	35	35	35	
tB	IDEIORDY パルス時間	(max)	1250	1250	1250	1250	1250	
tC	IDEIORDY のネゲートから ハイインピーダンスまでの時間	(max)	5	5	5	5	5	

表 34.20 ATAPI インタフェース マルチワード転送のタイミング

マルチワード転送の記号と項目および条件 (max/min)			Mode 0 ns	Mode 1 ns	Mode 2 ns	参照図
t0	サイクル時間	(min)	480	150	120	34.40 ~ 34.42
tD	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅	(min)	215	80	70	
tE	$\overline{\text{IDEIORD}}$ データアクセス時間	(max)	150	60	50	
tF	$\overline{\text{IDEIORD}}$ データホールド時間	(min)	5	5	5	
tG	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ データセットアップ時間	(min)	100	30	20	
tH	$\overline{\text{IDEIOWR}}$ データホールド時間	(min)	20	15	10	
tI	$\overline{\text{IODACK}}$ セットアップ時間	(min)	0	0	0	34.39
tJ	$\overline{\text{IODACK}}$ ホールド時間	(min)	20	5	5	34.41、34.42
tKR	$\overline{\text{IDEIORD}}$ ネゲートパルス幅	(min)	50	50	25	34.40 ~ 34.42
tKW	$\overline{\text{IDEIOWR}}$ ネゲートパルス幅	(min)	215	50	25	34.40 ~ 34.42
tLR	$\overline{\text{IDEIORD}} \cdot \overline{\text{IODREQ}}$ 遅延時間	(max)	120	40	35	34.41
tLW	$\overline{\text{IDEIOWR}} \cdot \overline{\text{IODREQ}}$ 遅延時間	(max)	40	40	35	
tM	$\overline{\text{IDEC}}[1:0]$ セットアップ時間	(min)	50	30	25	34.39
tN	$\overline{\text{IDEC}}[1:0]$ ホールド時間	(min)	15	10	10	34.41、34.42
tZ	$\overline{\text{IODACK}}_3$ ステート遅延時間	(max)	20	25	25	

表 34.21 ATAPI インタフェース ウルトラ DMA 転送のタイミング

ウルトラ DMA 転送の記号	Mode 0 ns		Mode 1 ns		Mode 2 ns		Mode 3 ns		Mode 4 ns		参照図
	min	max	min	max	min	max	min	max	min	max	
t2CYCTYP	240		160		120		90		60		34.44
tCYC	112		73		54		39		25		34.44、34.49
t2CYC	230		153		115		86		57		
tDS	15		10		7		7		5		
tDH	5		5		5		5		5		
tDVS	70		48		31		20		6.7		
tDVH	6.2		6.2		6.2		6.2		6.2		34.43、34.44、 34.48、34.49
tCS	15		10		7		7		5		
tCH	5		5		5		5		5		
tCVS	70		48		31		20		6.7		
tCVH	6.2		6.2		6.2		6.2		6.2		34.46、34.47、 34.51、34.52
tZFS	0		0		0		0		0		34.43
tDZFS	70		48		31		20		6.7		34.43、34.48
tFS		230		200		170		130		120	34.43
tLI	0	150	0	150	0	150	0	100	0	100	34.46 ~ 34.48 34.51、34.52
tMLI	20		20		20		20		20		34.46、34.47、 34.51、34.52
tUI	0		0		0		0		0		34.43、34.48
tAZ		10		10		10		10		10	34.43、34.46、 34.47
tZAH	20		20		20		20		20		34.46、34.47
tZAD	0		0		0		0		0		34.43
tENV	20	70	20	70	20	70	20	55	20	55	34.43、34.48
tRFS		75		70		60		60		60	34.45、34.47、 34.50、34.52
tRP	160		125		100		100		100		34.46、34.47、 34.51、34.52
tIORDYZ		20		20		20		20		20	
tZIORDY	0		0		0		0		0		34.43、34.48
tACK	20		20		20		20		20		34.43、34.46 ~ 34.48、 34.51、34.52
tSS	50		50		50		50		50		34.46、34.51

表 34.22 ATAPI インタフェース ウルトラ DMA 転送のタイミングの記号について

記号	備考
t2CYCTYP	平均サイクル時間 (2 サイクル分)
tCYC	サイクル時間
t2CYC	最小サイクル時間 (2 サイクル分)
tDS	データセットアップ時間 (受け側)
tDH	データホールド時間 (受け側)
tDVS	データセットアップ時間 (送り側)
tDVH	データホールド時間 (送り側)
tCS	CRC データセットアップ時間 (受け側)
tCH	CRC データホールド時間 (受け側)
tCVS	CRC データセットアップ時間 (送り側)
tCVH	CRC データホールド時間 (送り側)
tZFS	ストロブのドライブから最初の STROBE までのセットアップ時間 (送り側)
tDZFS	データのドライブから最初の STROBE までのセットアップ時間 (送り側)
tFS	最初の STROBE 時間
tLI	制限付きインターロック時間
tMLI	最小インターロック時間
tUI	制限なしインターロック時間
tAZ	出力リリース時間
tZAH	出力ディレイ時間
tZAD	出力確定時間 (リリースから)
tENV	エンベロープ時間
tRFS	最終の STROBE 時間
tRP	STOP をアサートまたは DMARQ をネゲートするまでの時間
tIORDYZ	IORDY をリリースするまでの時間
tZIORDY	STROBE をドライブするまでの時間
tACK	DMACK セットアップ / ホールド時間
tSS	STROBE STOP 時間

表 34.23 ATAPI インタフェース DIRECTION のタイミング

項目および記号	Mode 0 ns		Mode 1 ns		Mode 2 ns		Mode 3 ns		Mode 4 ns		参照図
	min	max	min	max	min	max	min	max	min	max	
PIO ライト時の DIRECTION 立ち下がり 遅延時間 tDIRECTION_WF	65	74	45	54	25	34	25	34	25	34	34.53
PIO ライト時の DIRECTION 立ち上がり 遅延時間 tDIRECTION_WR	47	55	47	55	47	55	47	55	47	55	
マルチワード DMA データ アウト DIRECTION 立ち 下がり遅延時間 tMDIRECTION_F	-3	5	-3	5	-3	5	-	-	-	-	34.55
マルチワード DMA データ アウト DIRECTION 立ち 上がり遅延時間 tMDIRECTION_R	7	15	7	15	7	15	-	-	-	-	
ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち下がり 遅延時間 tUDIRECTION_F(CRC)	116	124	76	84	56	64	46	54	36	44	34.57、 34.58
ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち上がり 遅延時間 tUDIRECTION_R(CRC)	17	25	17	25	17	25	17	25	17	25	
ウルトラ DMA データアウト 時の DIRECTION 立ち 下がり遅延時間 tUDIRECTION_F	25	34	25	34	25	34	25	34	38	43	34.59
ウルトラ DMA データアウト 時の DIRECTION 立ち 上がり遅延時間 tUDIRECTION_R	48	55	48	55	48	55	48	55	48	55	34.60、 34.61
DIRECTION 立ち下りか ら IDED データバスを ON する時間 tDON	9	15	9	15	9	15	9	15	18	22	34.53、 34.55、 34.57 ~ 34.59
IDED データバスを OFF から DIRECTION 立ち上 がり時間 tDOFF	6	14	6	14	6	14	6	14	6	14	34.53、34.55、 34.57、34.58、 34.60、34.61

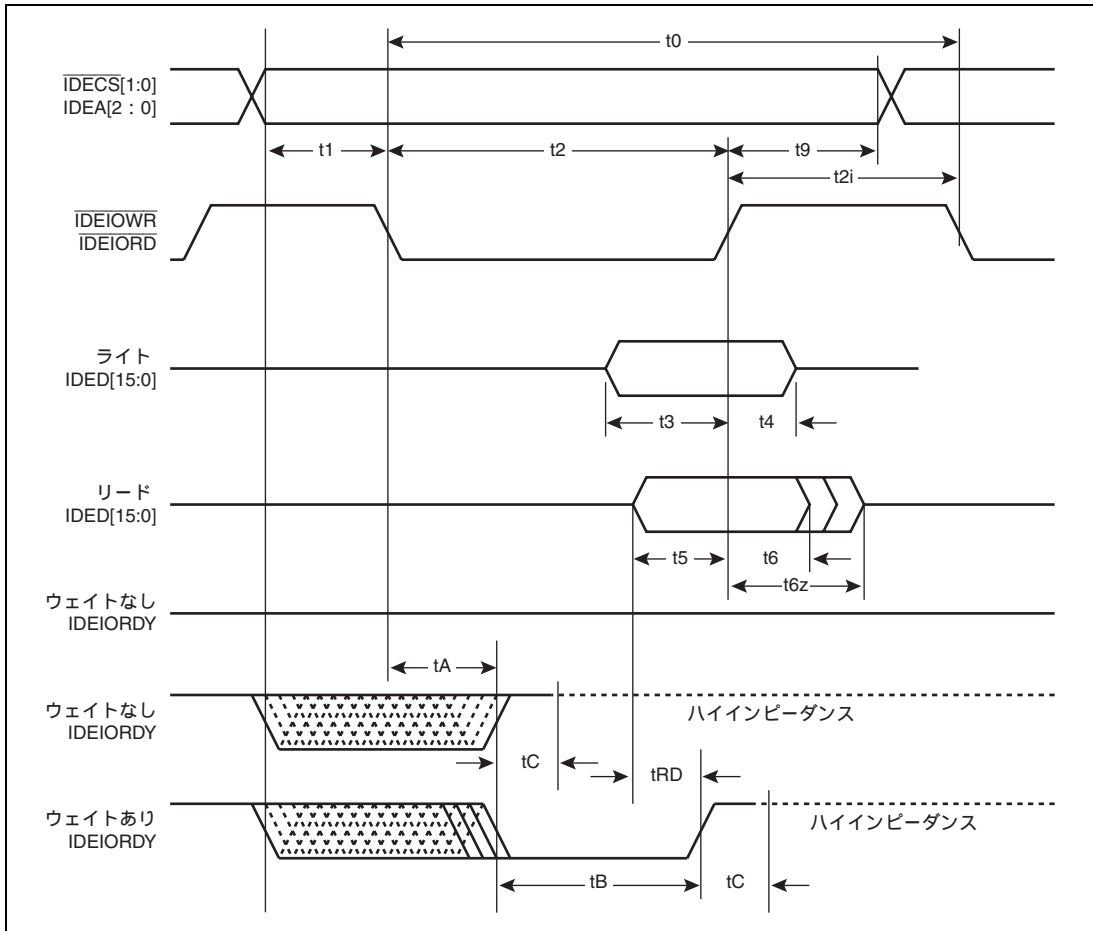


図 34.38 デバイス間の PIO データ転送およびレジスタ転送

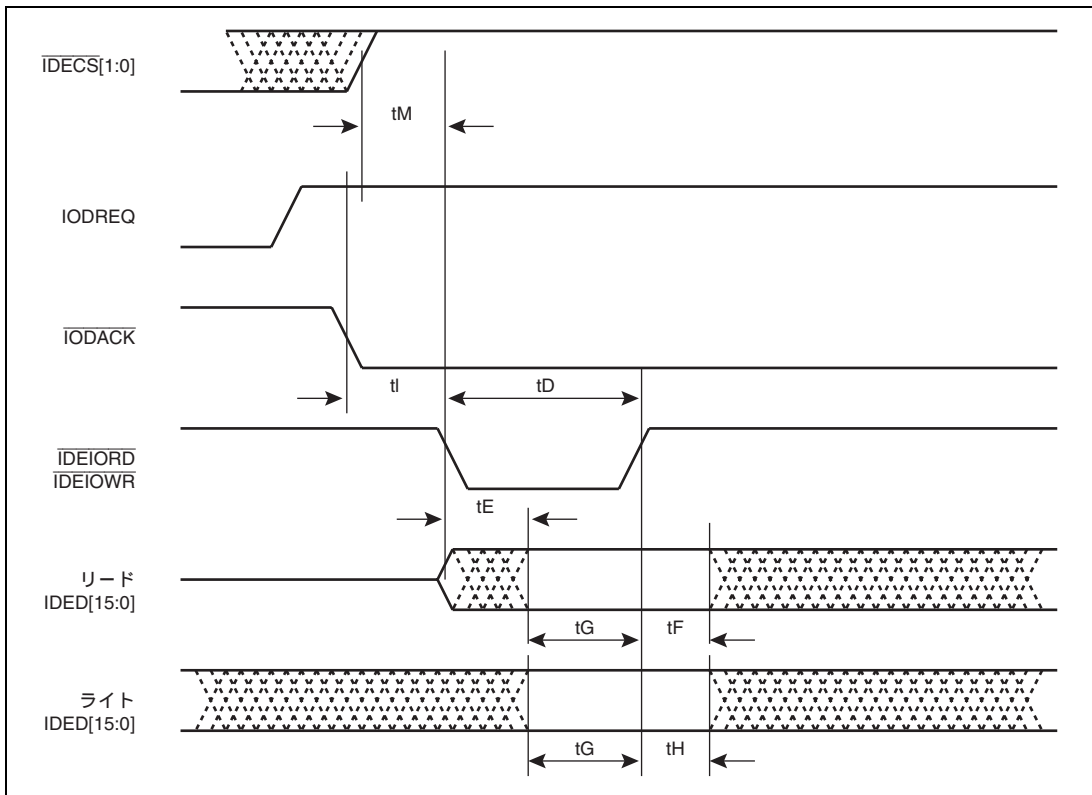


図 34.39 マルチワード DMA データ転送開始

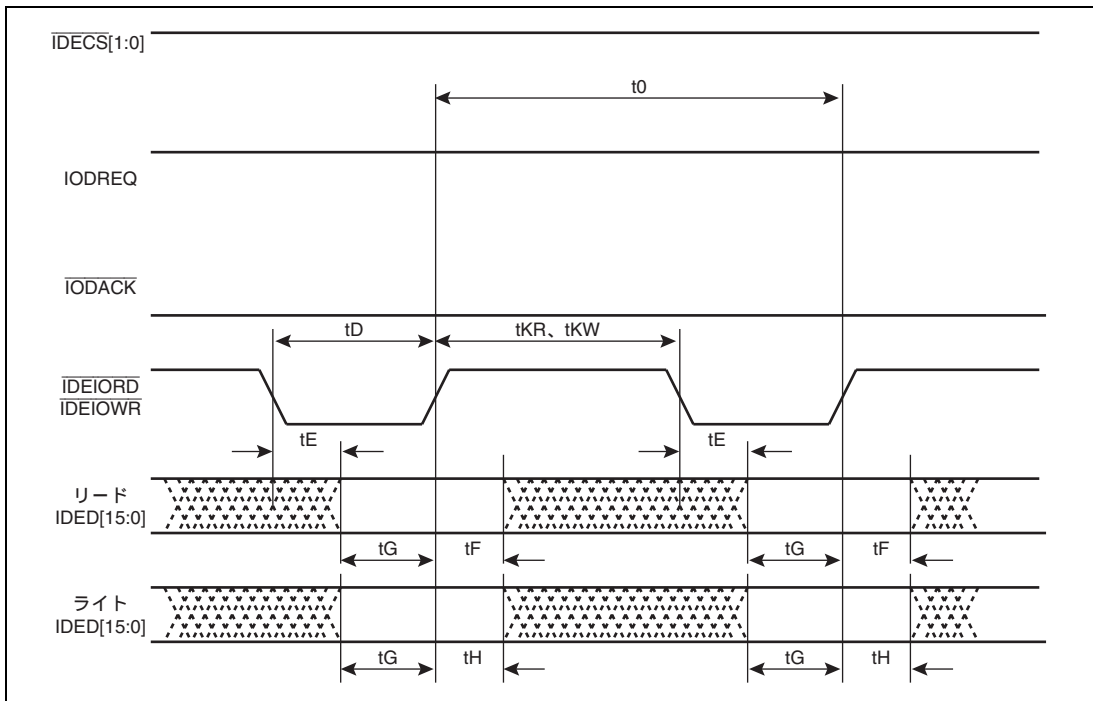


図 34.40 マルチワード DMA データ転送

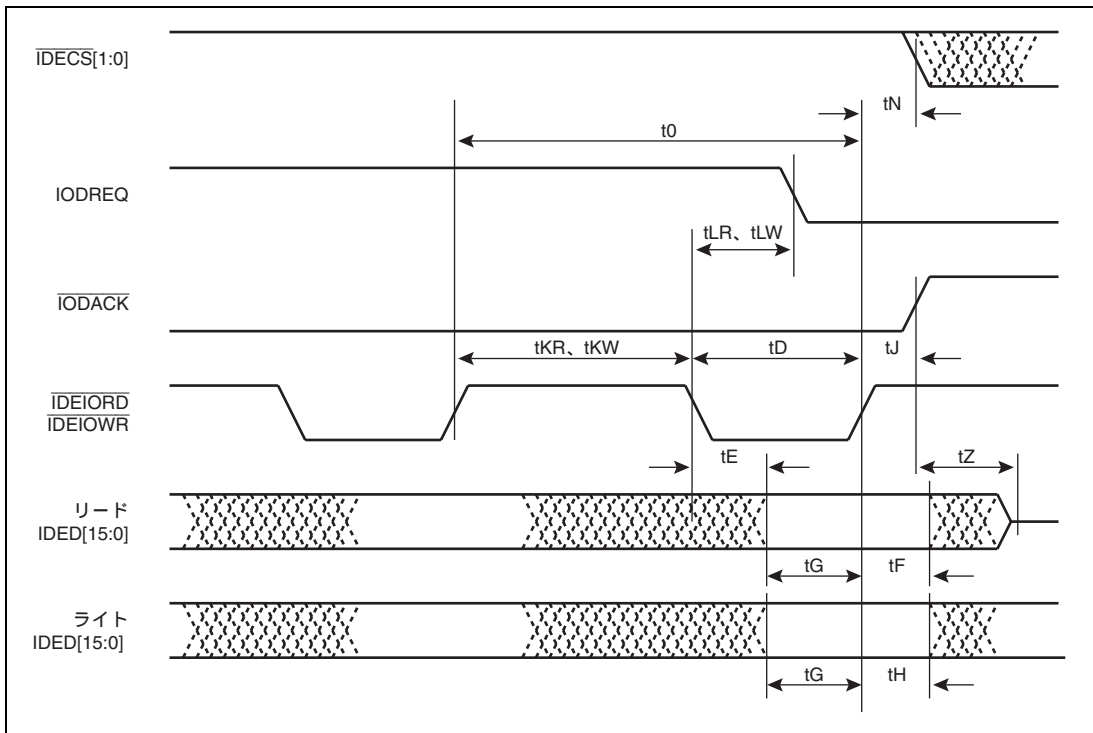


図 34.41 デバイスからのマルチワード DMA データ転送終了

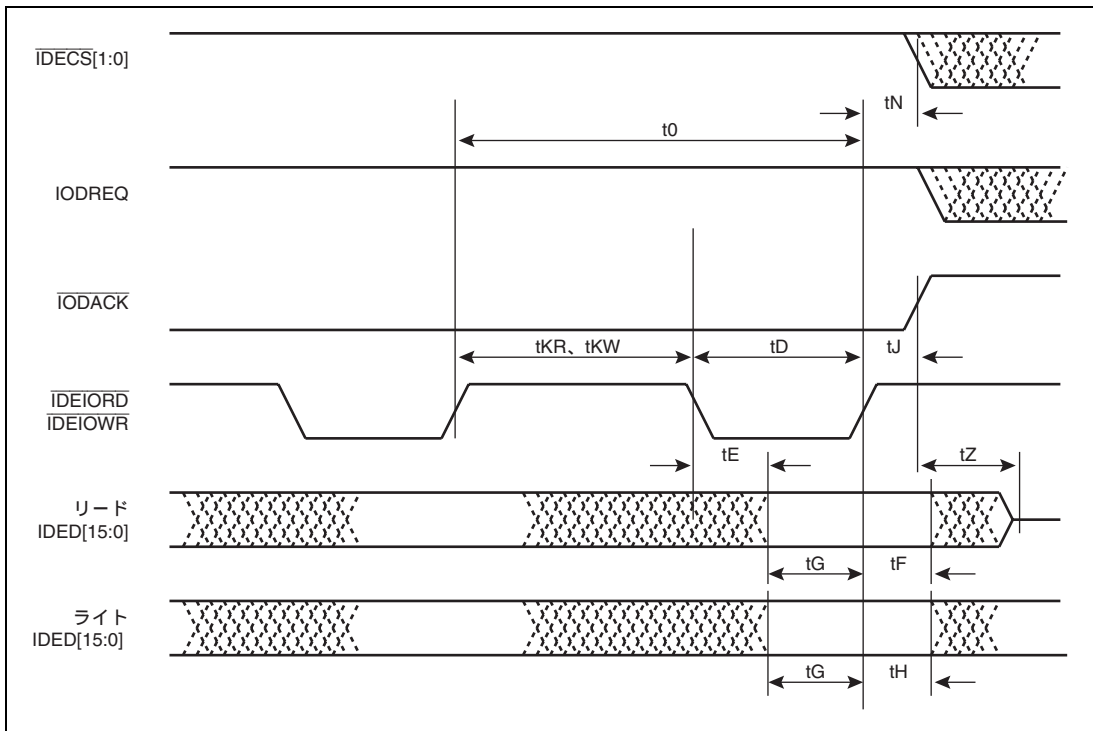


図 34.42 ホストからのマルチワード DMA データ転送終了

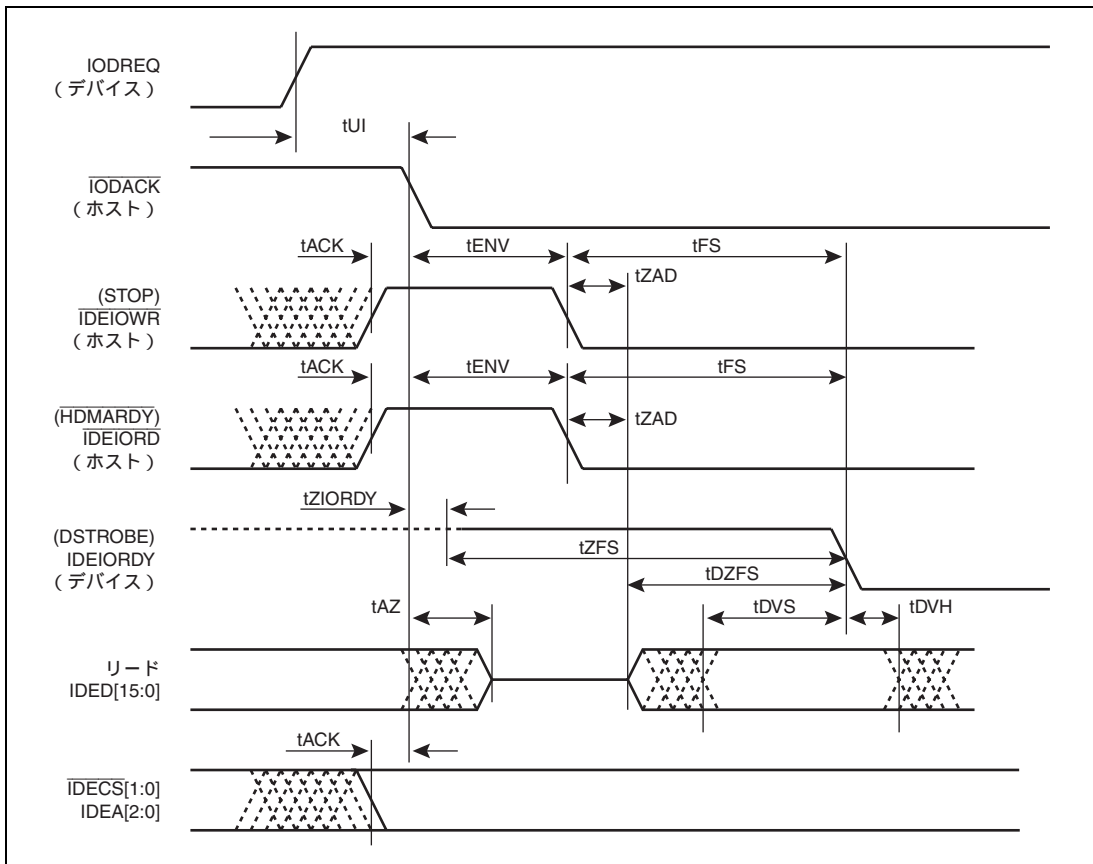


図 34.43 UltraDMA データインバースト開始

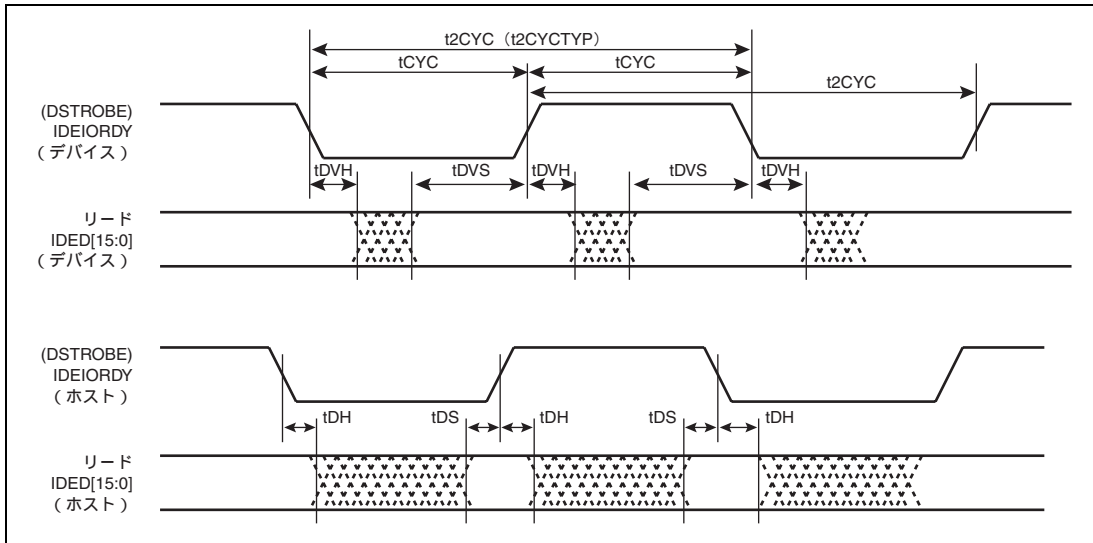


図 34.44 UltraDMA データインバースト

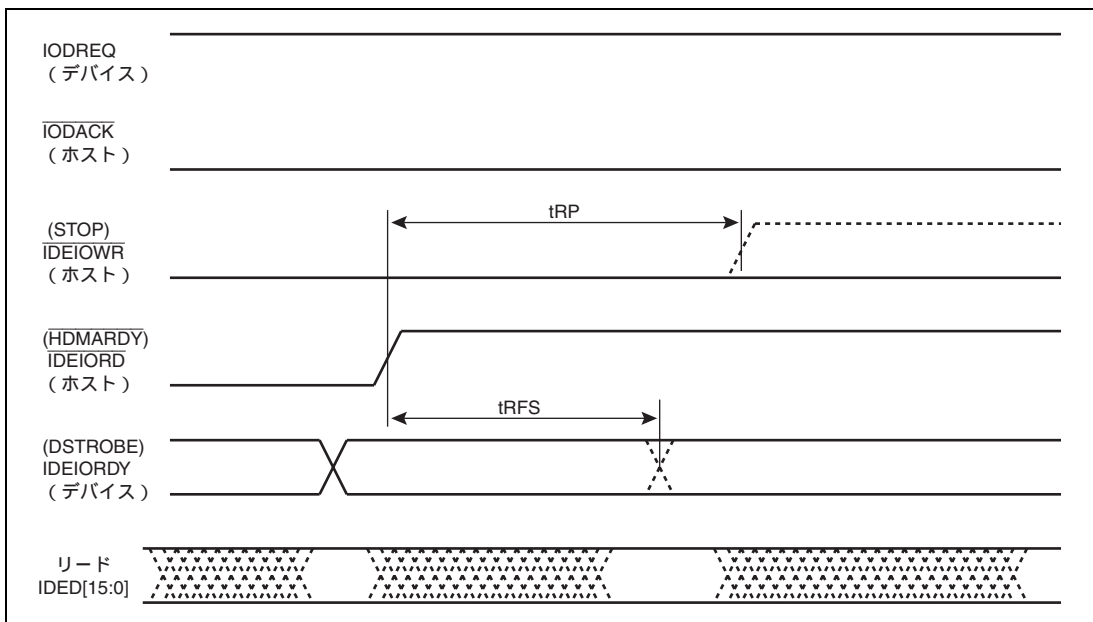


図 34.45 ホストからの UltraDMA データインバーストポーズ

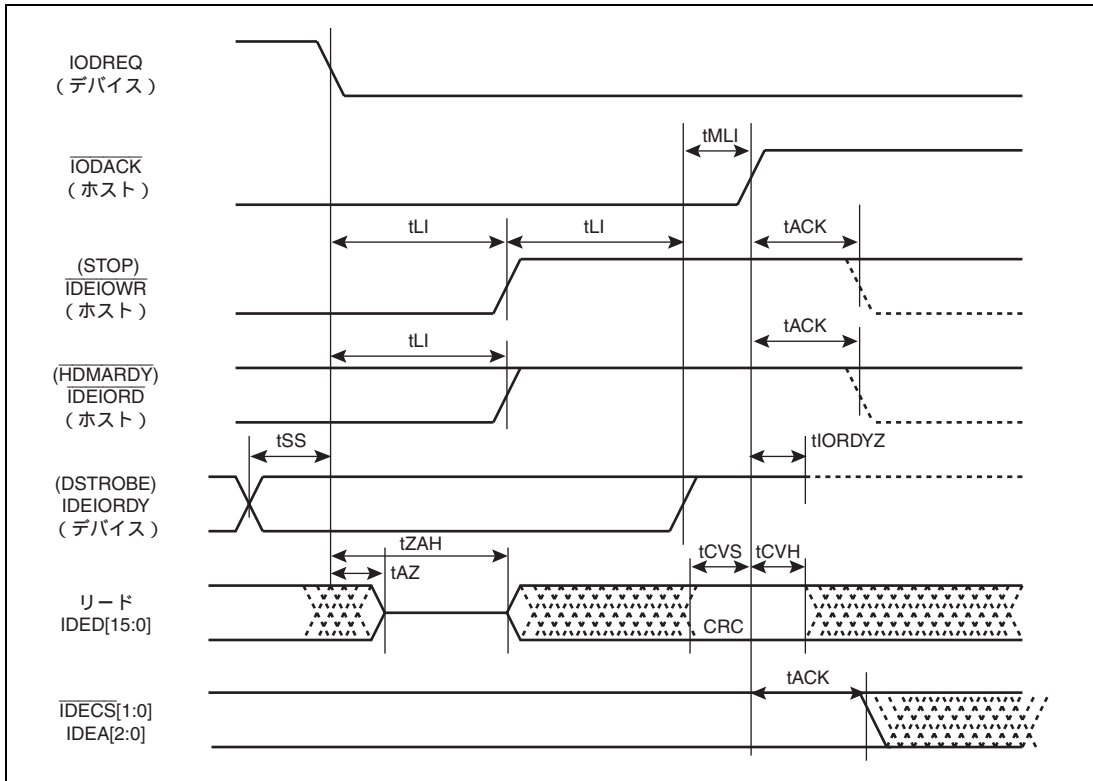


図 34.46 デバイスからの UltraDMA データインバースト終了

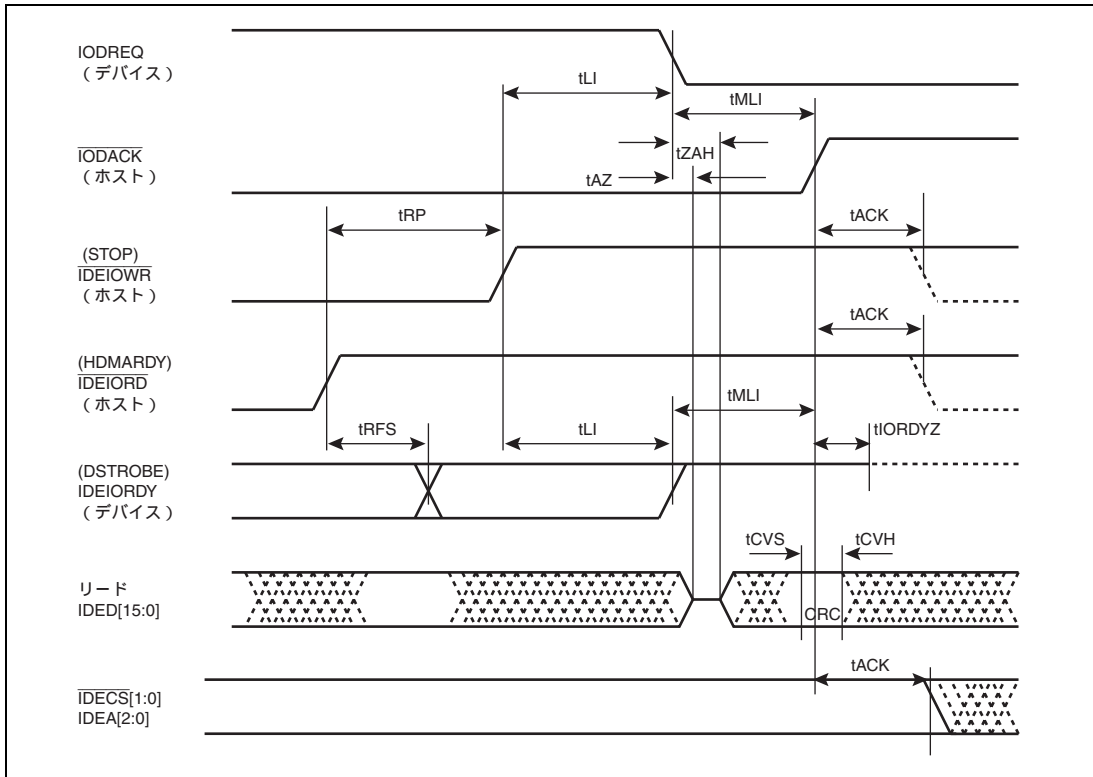


図 34.47 ホストからの UltraDMA データインバースト終了

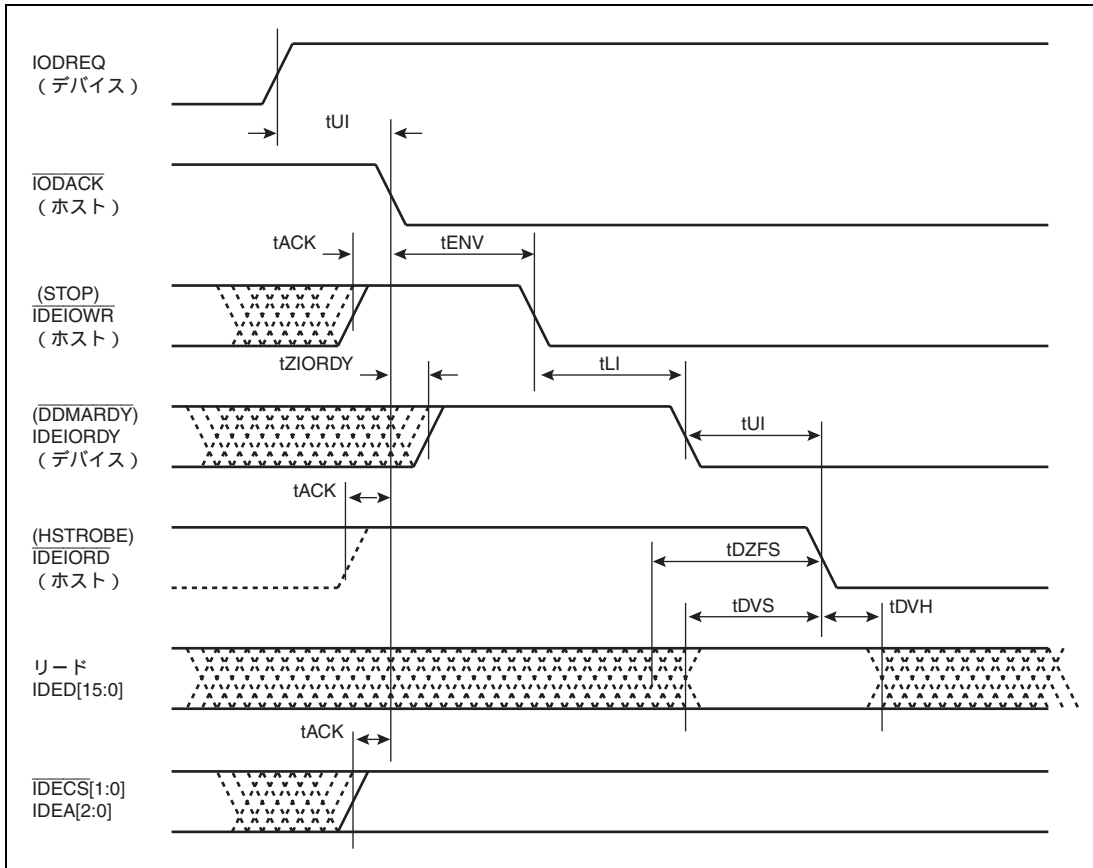


図 34.48 UltraDMA データアウトバースト開始

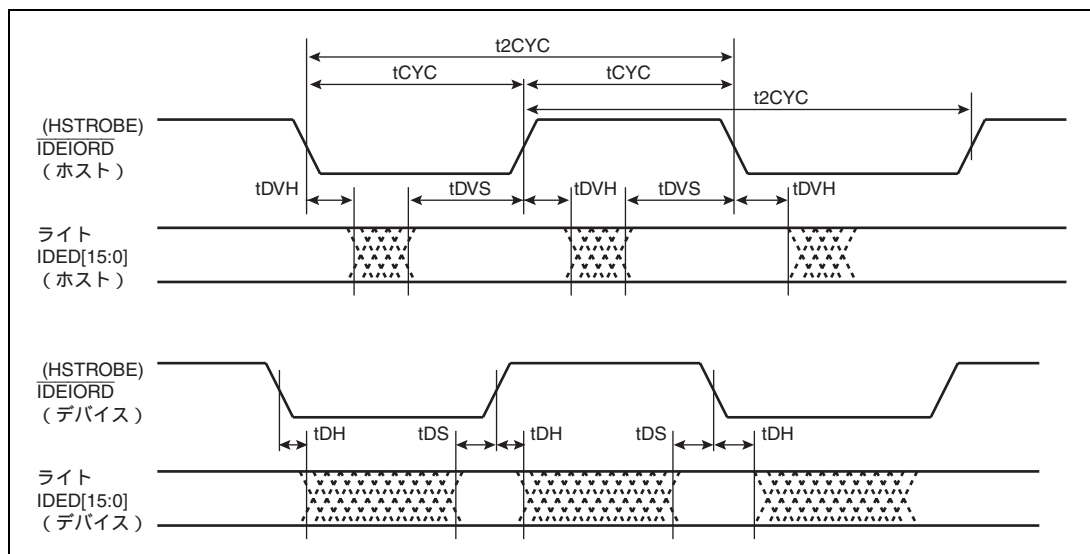


図 34.49 UltraDMA データアウトバースト

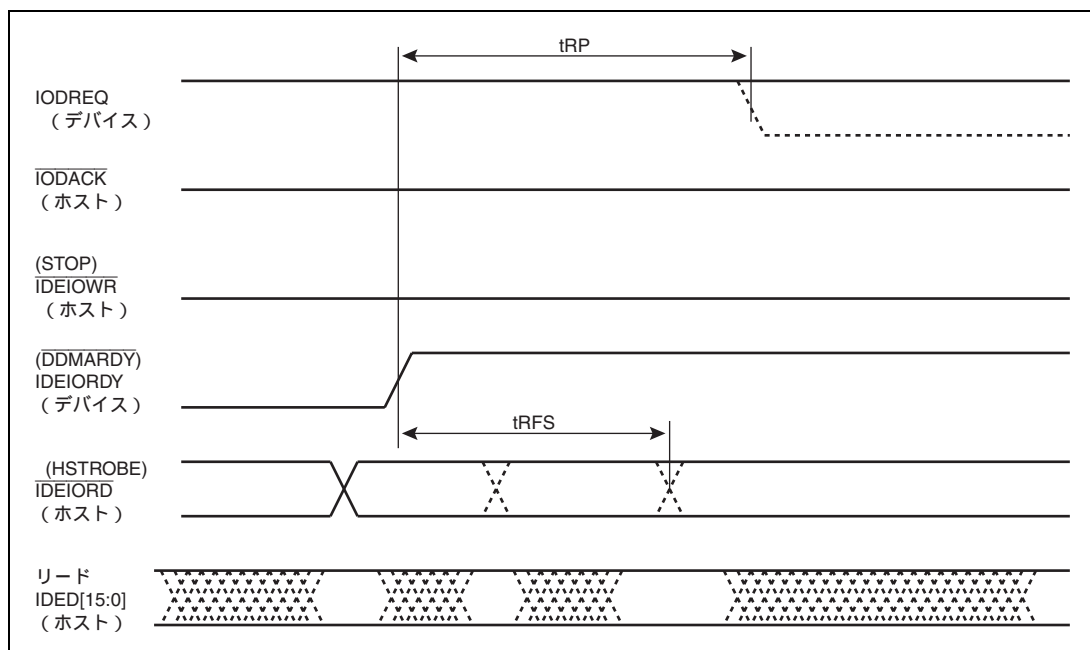


図 34.50 デバイスからのUltraDMA データアウトバーストポーズ

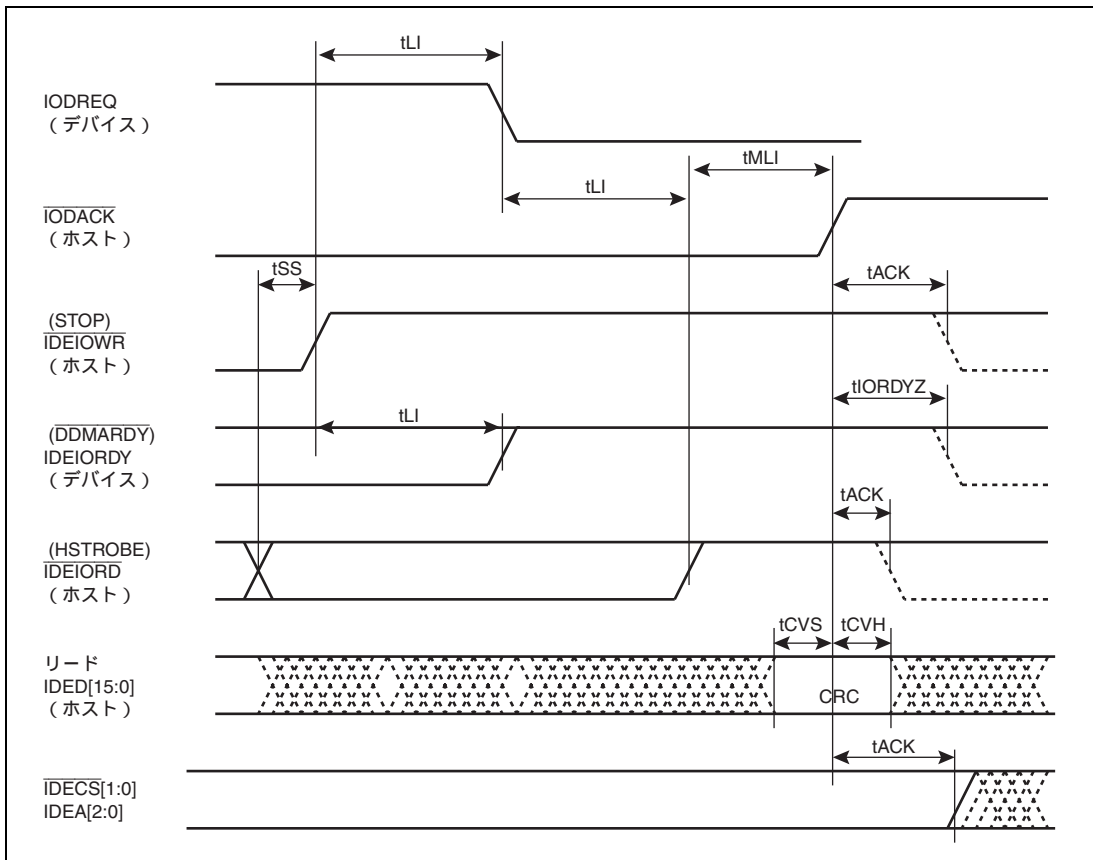


図 34.51 ホストからの UltraDMA データアウトバースト終了

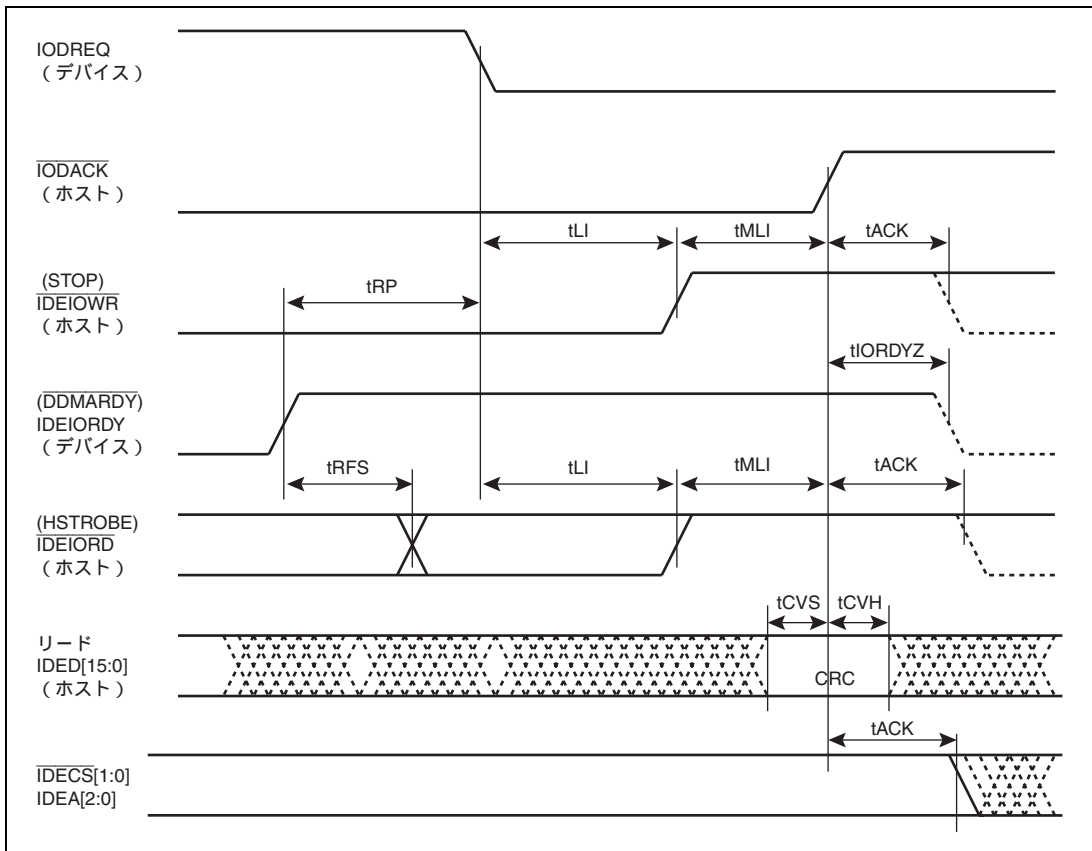


図 34.52 デバイスからの UltraDMA データアウトバースト終了

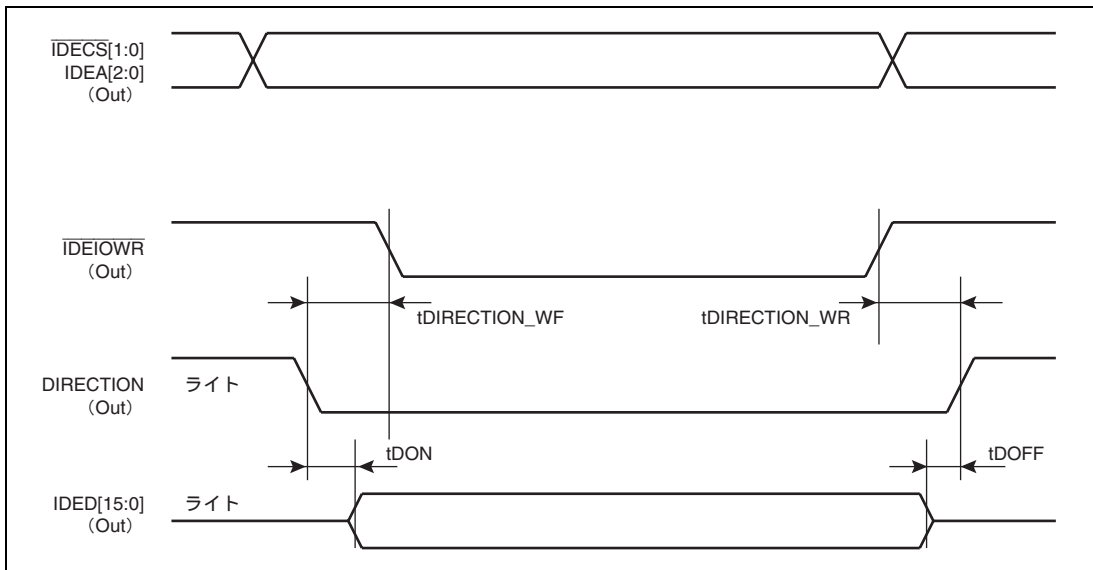


図 34.53 デバイスへの PIO データ転送(DIRECTION)

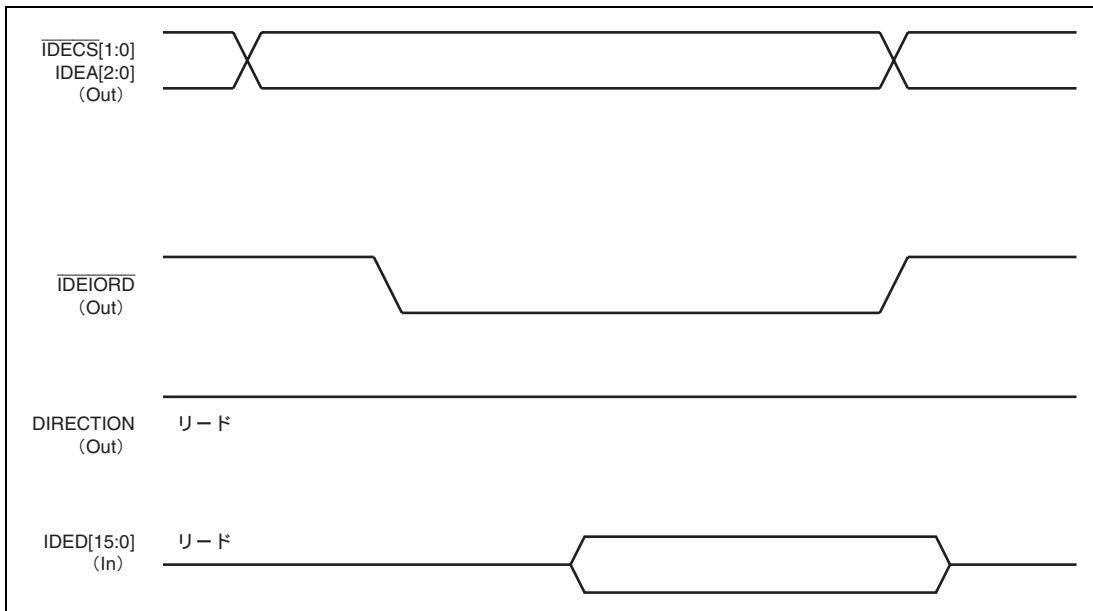


図 34.54 デバイスからの PIO データ転送(DIRECTION)

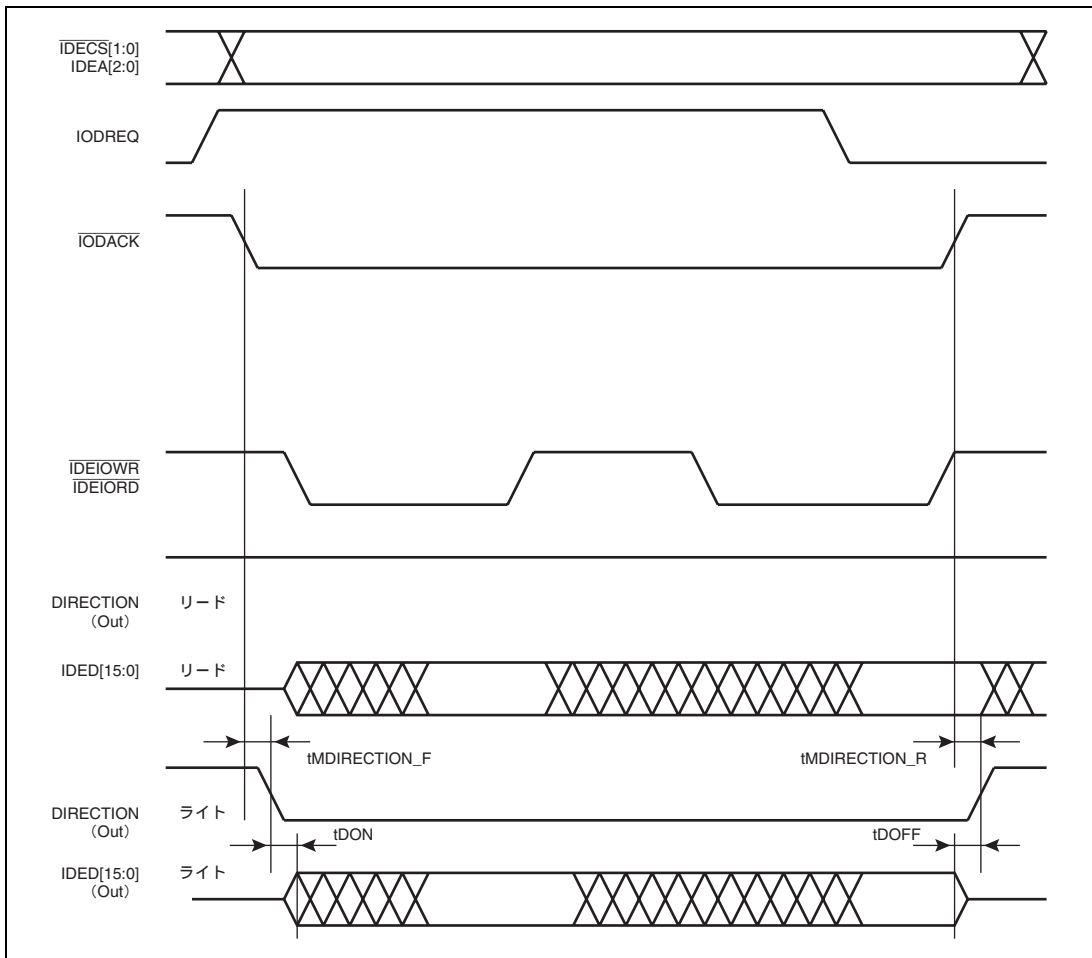


図 34.55 マルチワード DMA 転送(DIRECTION)

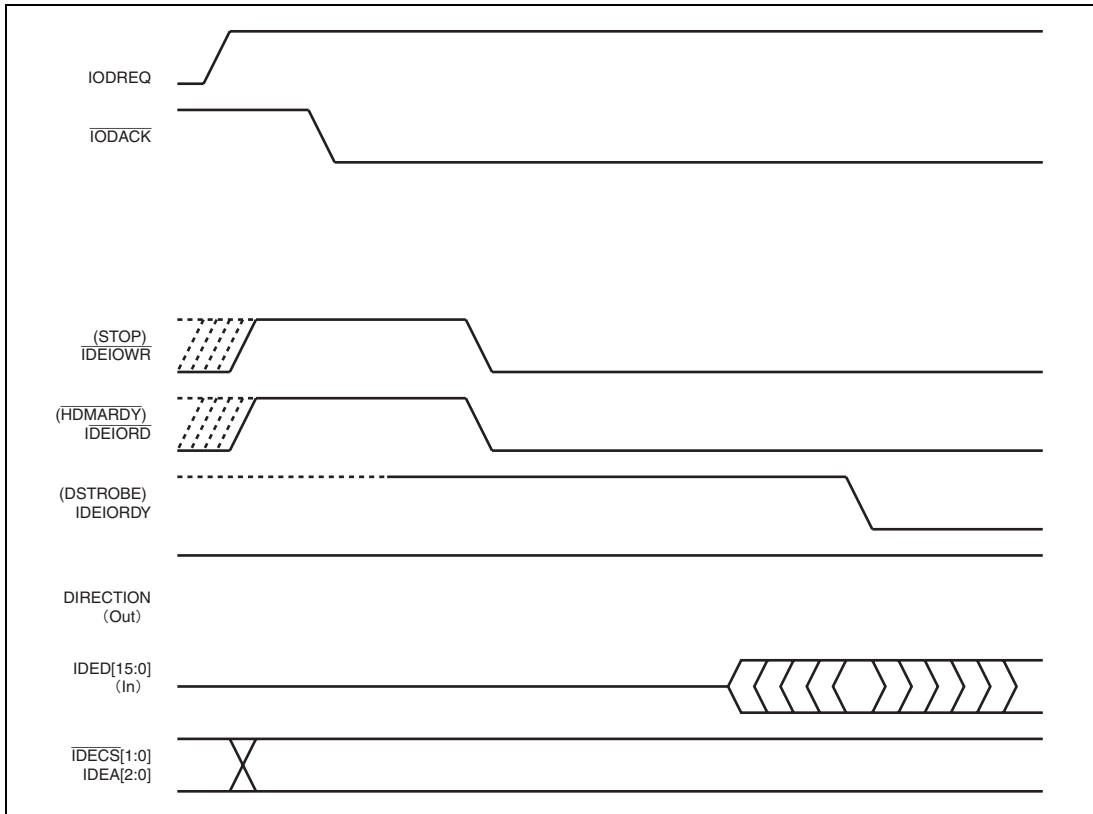


図 34.56 UltraDMA 転送データインバースト開始(DIRECTION)

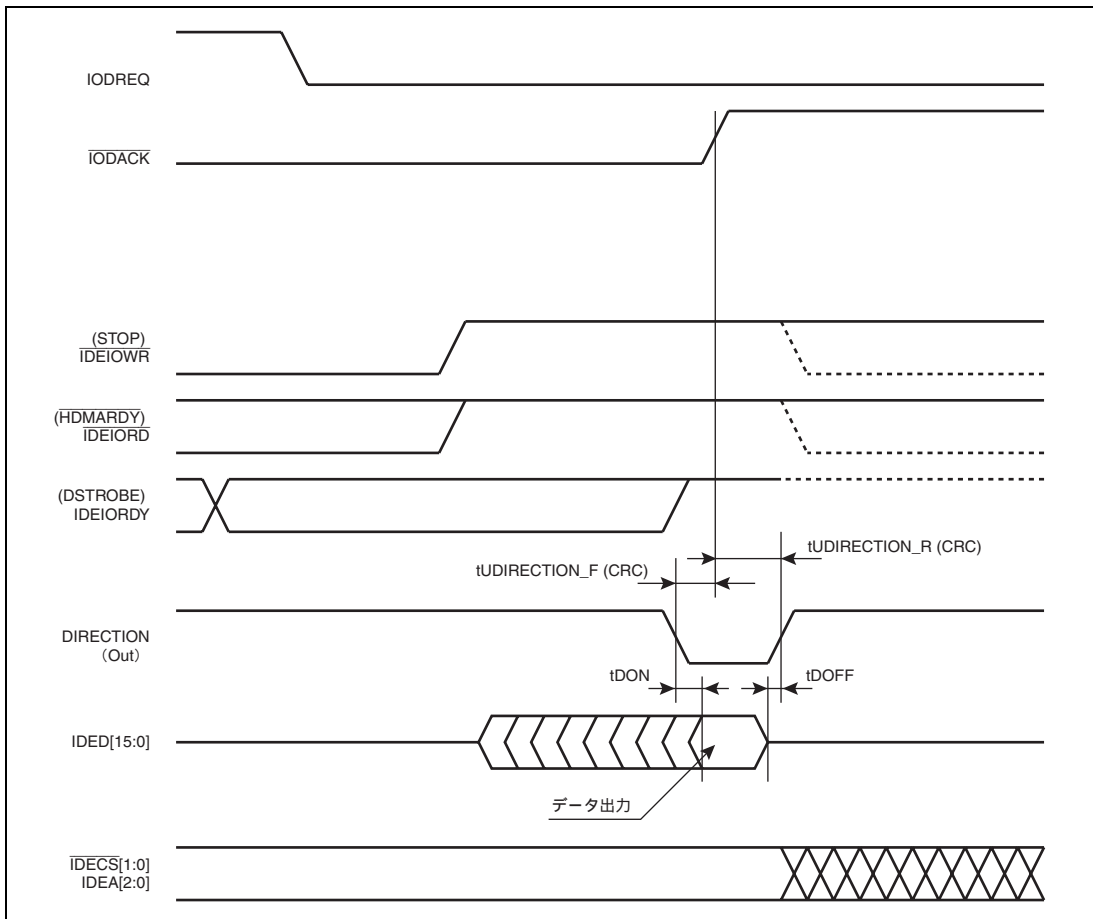


図 34.57 デバイスからの UltraDMA 転送データインバースト終了(DIRECTION)

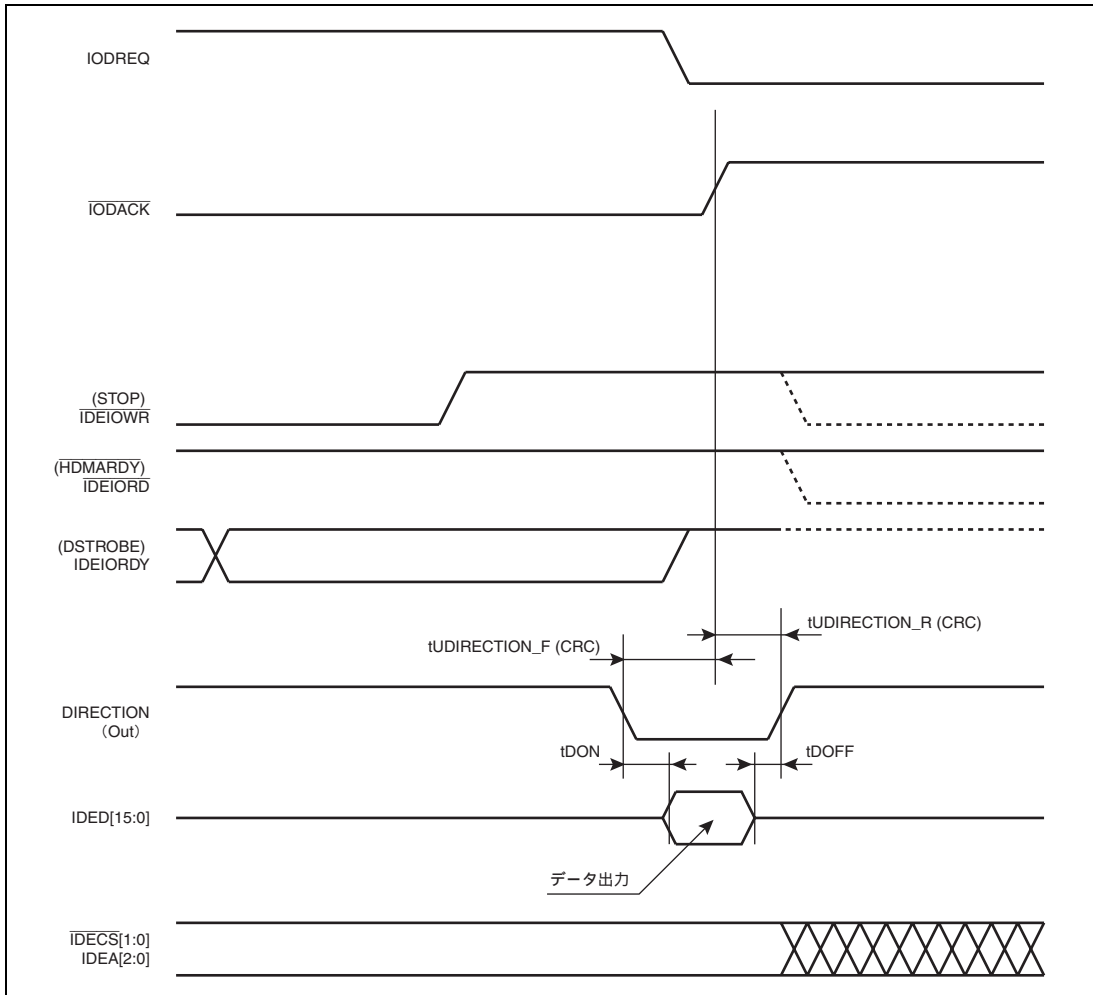


図 34.58 ホストからの UltraDMA 転送データインバースト終了(DIRECTION)

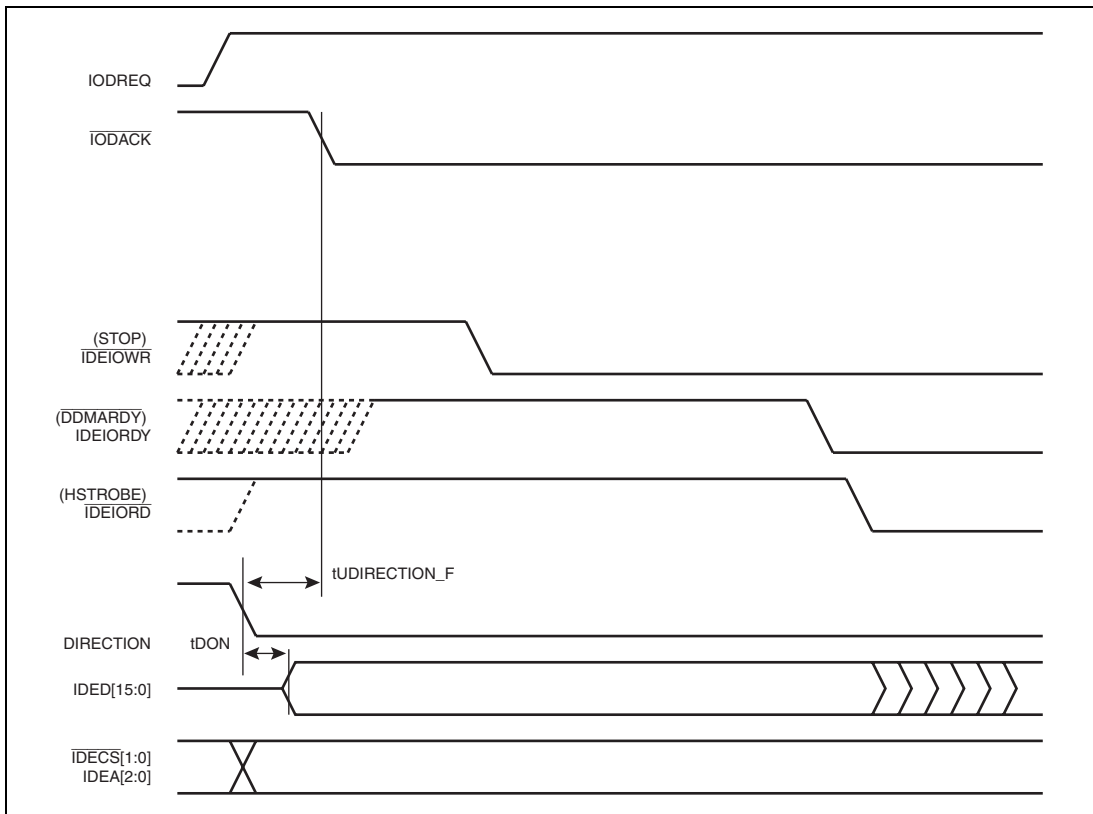


図 34.59 UltraDMA 転送データアウトバースト開始(DIRECTION)

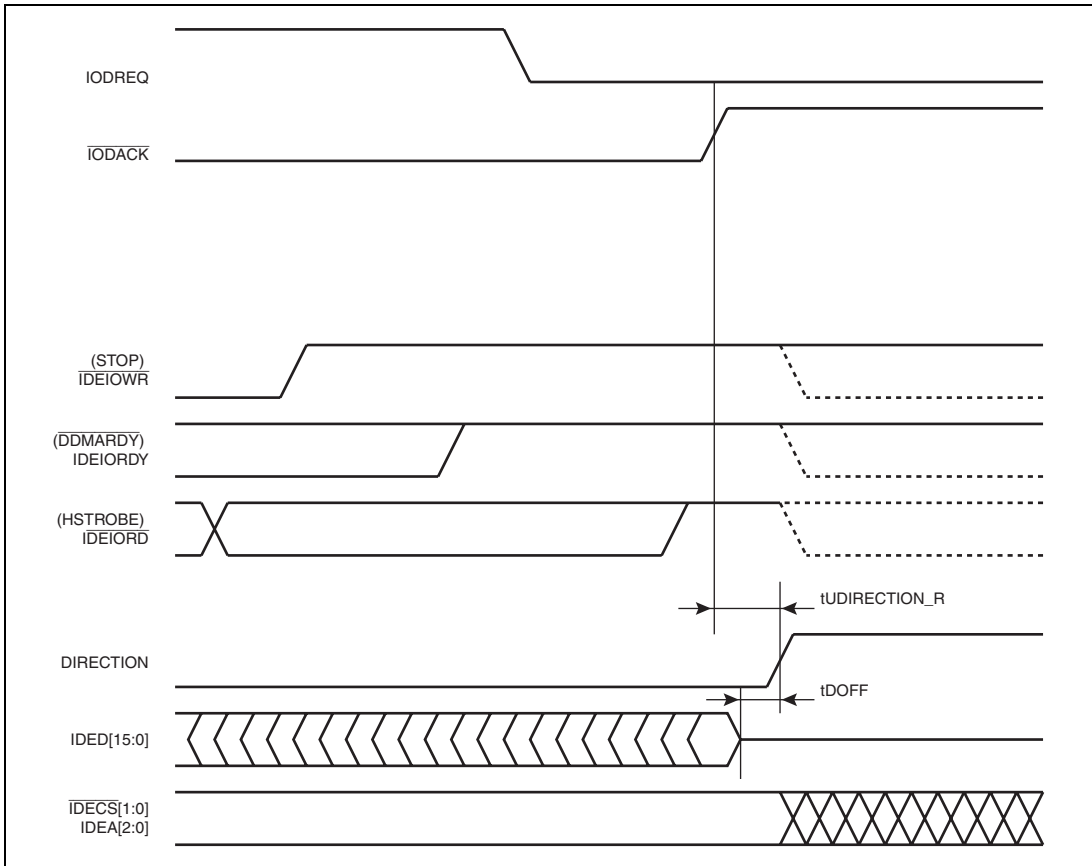


図 34.60 ホストからの UltraDMA 転送データアウトバースト終了(DIRECTION)

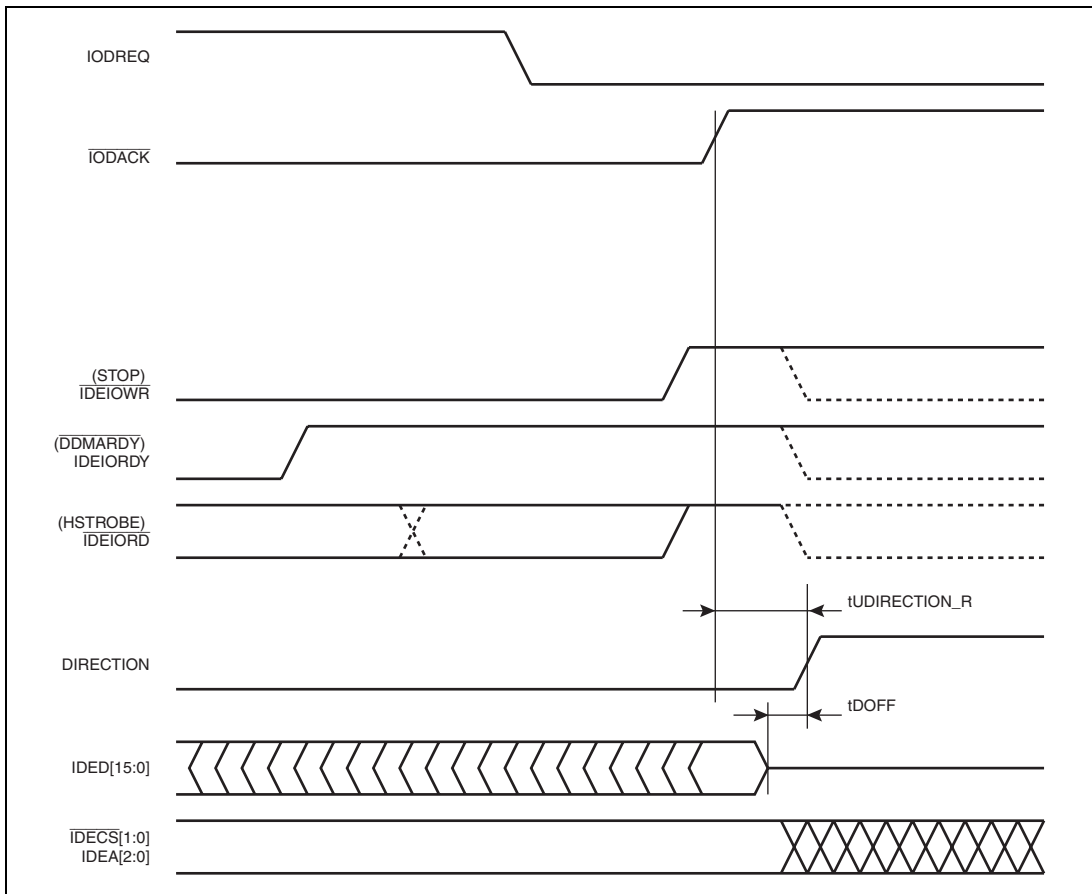


図 34.61 デバイスからの UltraDMA 転送データアウトバースト終了(DIRECTION)

34.4.11 USB モジュール信号タイミング

表 34.24 USB モジュールクロックタイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	Min	Max	単位	参照図
USB_CLK 外部入力クロック周波数 (48MHz)	t_{FREQ}	47.9	48.1	MHz	34.62
クロック立ち上がり時間	t_{R48}		2	ns	
クロック立ち下がり時間	t_{F48}		2	ns	
デューティ (t_{HIGH}/t_{LOW})	t_{DUTY}	90	110	%	

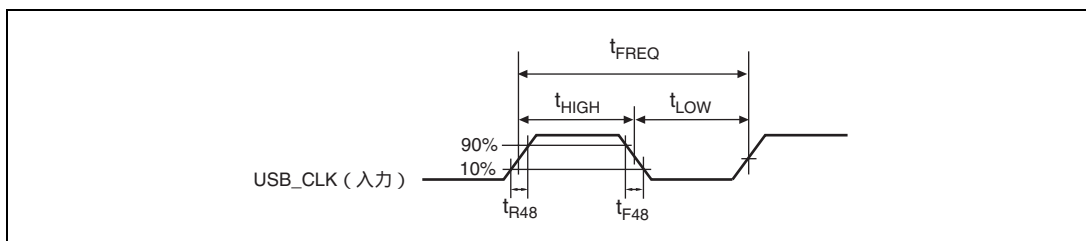


図 34.62 USB クロックタイミング

表 34.25 USB 電気的特性 (フルスピード)

項目	記号	Min	Max	単位	状態*1
遷移時間 (立ち上がり)*2	t_R	4	20	ns	CL=50pF
遷移時間 (立ち下がり)*2	t_F	4	20	ns	CL=50pF
立ち上がり / 立ち下がり時間マッチング	t_{RFM}	90	111	%	(TR/TF)
出力信号クロスオーバー電圧	V_{GRS}	1.3	2.0	V	-

【注】 エッジ制御用の $C_{EDGE}=47\text{pF}$ 、直列抵抗 $R_s=45$ が接続された状態で測定されています。

*1 規定されていない限り、CL=50pF の条件での値です。

*2 信号電圧の 10% ~ 90% 内の値です。

表 34.26 USB 電気的特性 (ロースピード)

項目	記号	Min	Max	単位	状態
遷移時間 (立ち上がり) *	t_R	75	300	ns	
遷移時間 (立ち下がり) *	t_F	75	300	ns	
立ち上がり / 立ち下がり時間マッチング	t_{RFM}	80	125	%	(TR/TF)
出力信号クロスオーバー電圧	V_{CRS}	1.3	2.0	V	-

【注】 エッジ制御用の $C_{EDGE}=47\text{pF}$ 、直列抵抗 $R_s=22$ が接続された状態で測定されています。

* 信号電圧の 10% ~ 90% 内での値です。

34.4.12 GPIO 信号タイミング

表 34.27 GPIO 信号タイミング

条件 : 3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	Min	Max	単位	参照図
GPIO 出力遅延時間	t_{IOPD}	-	17	ns	34.63
GPIO 入力セットアップ時間	t_{IOPS}	17	-	ns	
GPIO 入力ホールド時間	t_{IOPH}	$t_{CLKOUTcyc}$	-	ns	

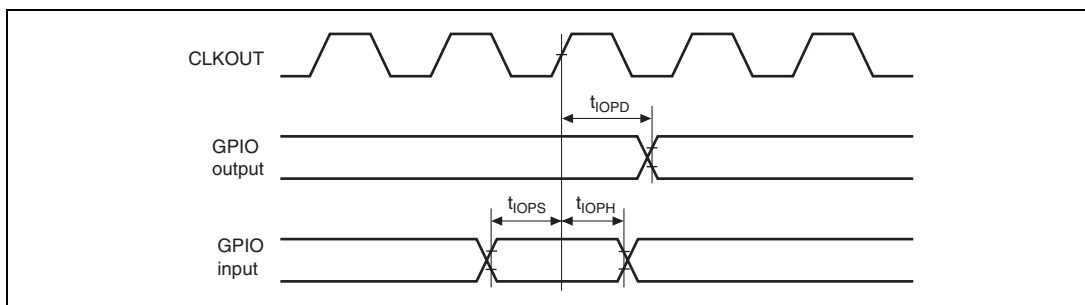


図 34.63 GPIO タイミング

34.4.13 H-UDI モジュール信号タイミング

表 34.28 H-UDI モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

モジュール	項目	記号	Min.	Max.	単位	参照図
H-UDI	入力クロックサイクル	t_{TCKcyc}	50	-	ns	34.64, 34.66
	入力クロックパルス幅 (High 時)	t_{TCKH}	15	-	ns	34.64
	入力クロックパルス幅 (Low 時)	t_{TCKL}	15	-	ns	34.64
	入力クロック立ち上がり時間	t_{TCKr}	-	10	ns	34.64
	入力クロック立ち下がり時間	t_{TCKf}	-	10	ns	34.64
	ASEBRKAK/BRKACK セットアップ時間	$t_{ASEBRKS}$	10	-	t_{cyc}	34.65
	ASEBRKAK/BRKACK ホールド時間	$t_{ASEBRKH}$	10	-	t_{cyc}	34.65
	TDI/TMS セットアップ時間	t_{TDIS}	15	-	ns	34.66
	TDI/TMS ホールド時間	t_{TDIH}	15	-	ns	34.66
	TDO データ遅延時間	t_{TDO}	0	15	ns	34.66
	ASEBRKAK/BRKACK パルス幅	t_{PINBRK}	2	-	t_{Pcyc}	34.67

- 【注】 1. t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。
 2. t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

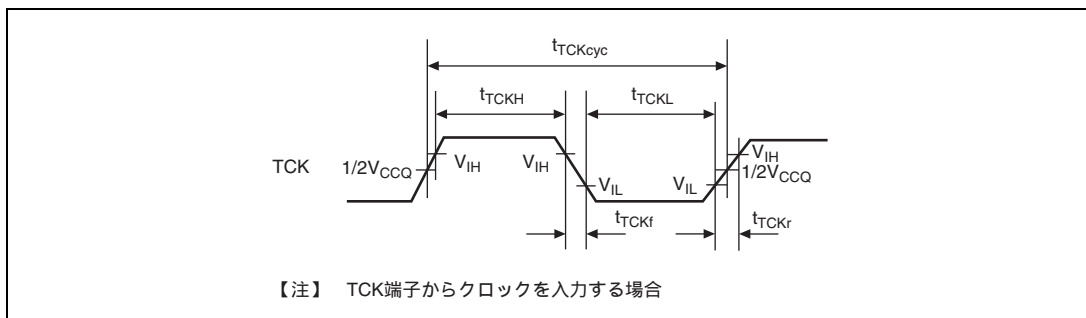


図 34.64 TCK 入力タイミング

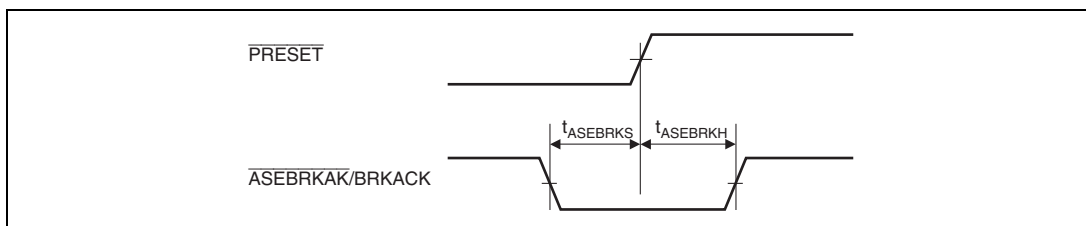


図 34.65 PRESET ホールドタイミング

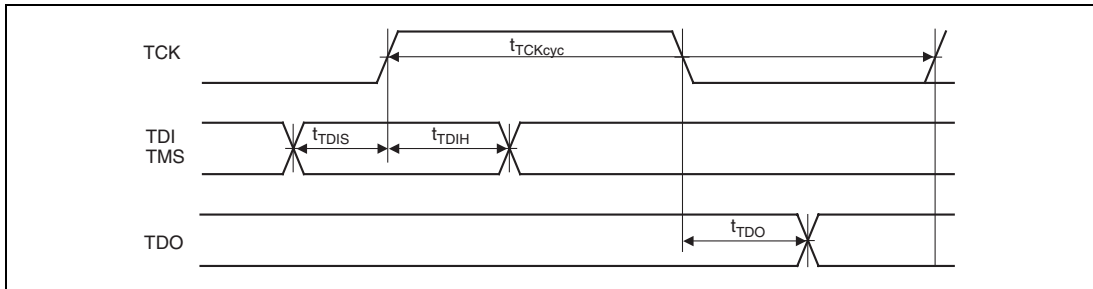


図 34.66 H-UDI データ転送タイミング

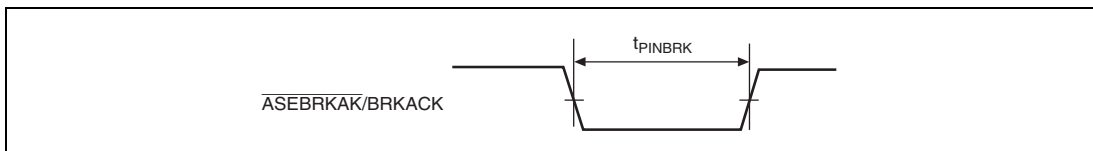


図 34.67 ASEBRKAK/BRKACK 端子ブレークタイミング

34.4.14 EtherC モジュール信号タイミング

表 34.29 イーサネットコントローラタイミング (MII)

条件 : 3.3V 系電源 = 3.0 ~ 3.6V、1.2V 系電源 = 1.15 ~ 1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
TX-CLK サイクル時間	t_{TCYC}	40			ns	34.68
TX-EN 出力遅延時間	t_{TEND}	1		20		
MII_TXD[3:0]出力遅延時間	T_{MTDD}	1		20		
CRS セットアップ時間	t_{CRSS}	10				
CRS ホールド時間	t_{CRSH}	10				
COL セットアップ時間	t_{COLS}	10				34.69
COL ホールド時間	t_{COLH}	10				
RX-CLK サイクル時間	t_{RCYC}	40				34.70
RX-DV セットアップ時間	t_{RDVS}	10				
RX-DV ホールド時間	t_{RDVH}	10				
MII_RXD[3:0]セットアップ時間	T_{MRDS}	10				
MII_RXD[3:0]ホールド時間	T_{MRDH}	10				
RX-ER セットアップ時間	t_{RERS}	10				34.71
RX-ER ホールド時間	t_{REFH}	10				
MDIO セットアップ時間	t_{MDIOS}	10				34.72
MDIO ホールド時間	t_{MDIOH}	10				
MDIO 出力データホールド時間*	t_{MDIODH}	5		18	34.73	
WOL 出力遅延時間	T_{WOLD}	1		20	34.74	
EXOUT 出力遅延時間	T_{EXOUTD}	1		20	34.75	

【注】 * ユーザがプログラムにより本規定を満足するように設定する必要があります。

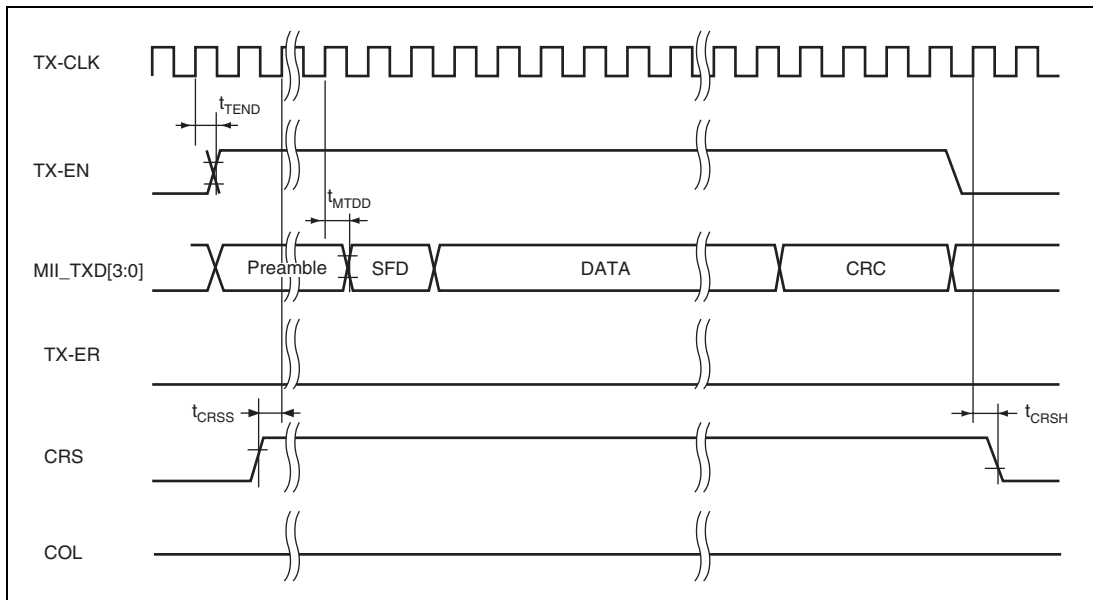


図 34.68 MII 送信タイミング (正常動作時)

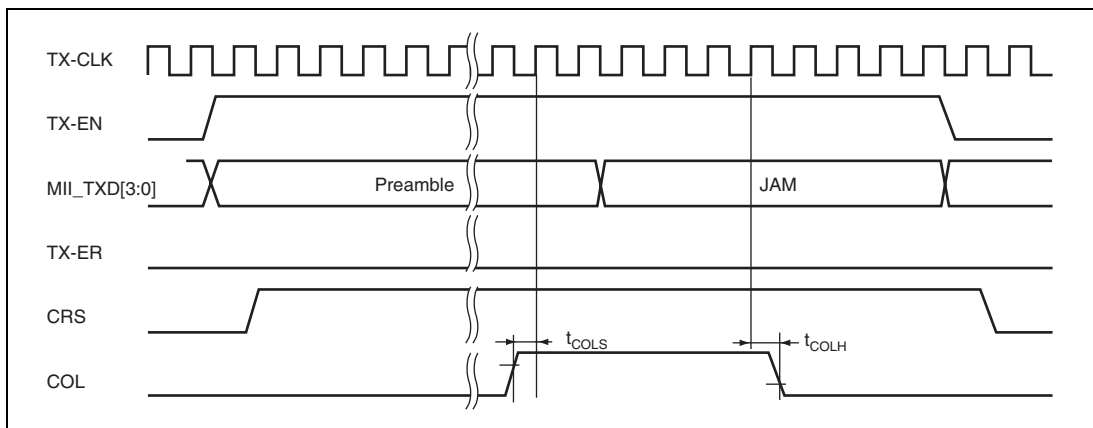


図 34.69 MII 送信タイミング (衝突発生ケース)

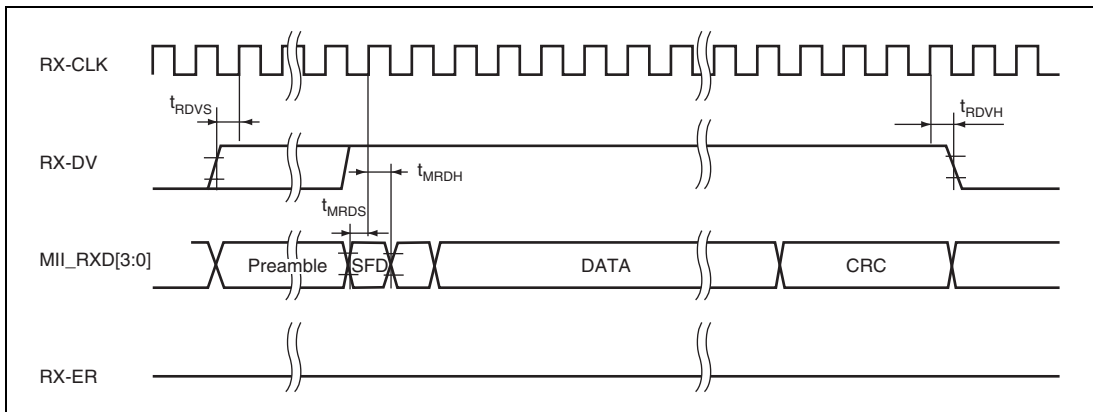


図 34.70 MII 受信タイミング (正常動作時)

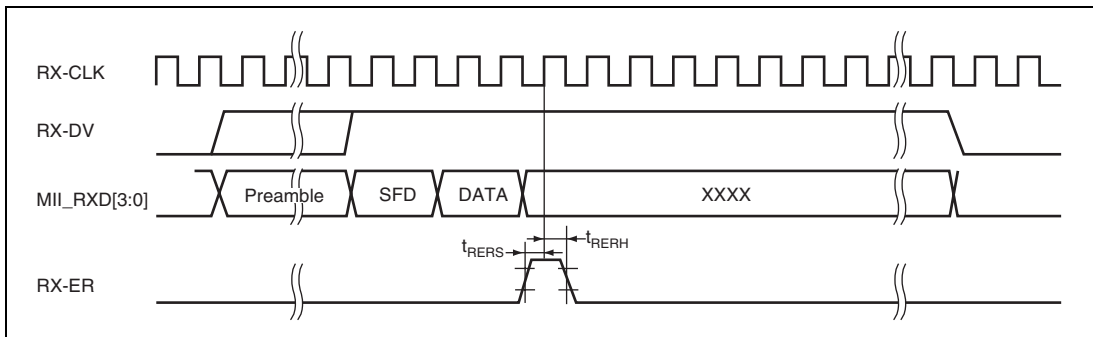


図 34.71 MII 受信タイミング (エラー発生ケース)

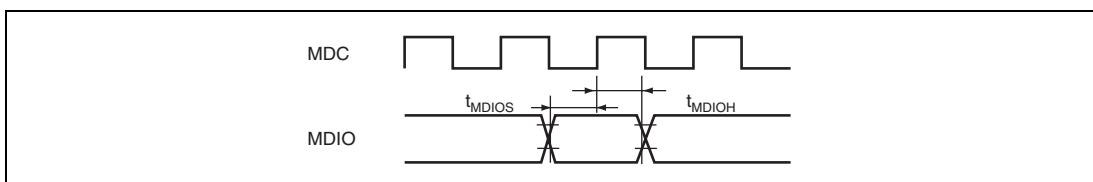


図 34.72 MDIO 入力タイミング

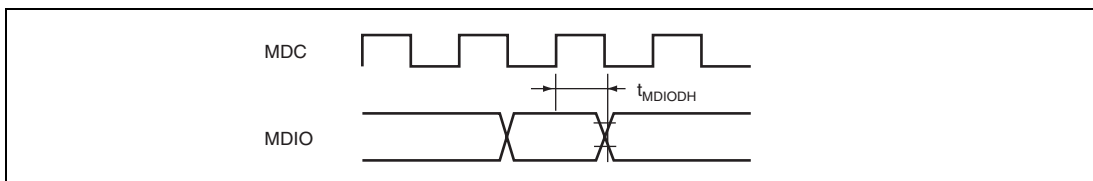


図 34.73 MDIO 出力タイミング

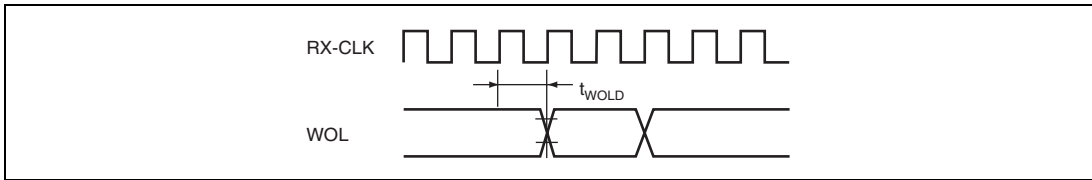


図 34.74 WOL 出力タイミング

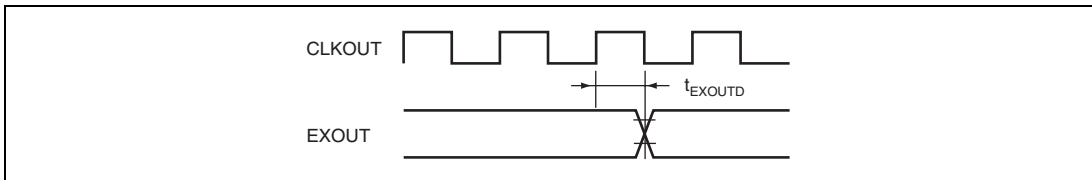


図 34.75 EXOUT 出力タイミング

34.4.15 FLCTL モジュール信号タイミング

表 34.30 NAND 型フラッシュメモリインタフェースタイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	t_{NCDS}	$2 \times t_{\text{focy}} - 10$	-	ns	34.76、34.80
コマンド出力ホールド時間	t_{NCDH}	$1.5 \times t_{\text{focy}} - 5$	-	ns	
データ出力セットアップ時間	t_{NDOS}	$0.5 \times t_{\text{focy}} - 5$	-	ns	34.76、34.77、 34.79、34.80
データ出力ホールド時間	t_{NDOH}	$0.5 \times t_{\text{focy}} - 10$	-	ns	
コマンド - アドレス遷移時間 1	t_{NCDAD1}	$1.5 \times t_{\text{focy}} - 10$	-	ns	34.76、34.77
コマンド - アドレス遷移時間 2	t_{NCDAD2}	$2 \times t_{\text{focy}} - 10$	-	ns	34.77
FWE サイクル時間	t_{NWC}	$t_{\text{focy}} - 5$	-	ns	34.77、34.79
FWE ローパルス幅	t_{NWP}	$0.5 \times t_{\text{focy}} - 5$	-	ns	34.76、34.77、 34.79、34.80
FWE ハイパルス幅	t_{NWH}	$0.5 \times t_{\text{focy}} - 5$	-	ns	
アドレス - レディ / ビジー遷移時間	t_{NADRB}	-	$32 \times t_{\text{pocy}}$	ns	34.77、34.78
レディ / ビジーデータリード遷移時間 1	t_{NRDR1}	$1.5 \times t_{\text{focy}}$	-	ns	34.78
レディ / ビジーデータリード遷移時間 2	t_{NRDR2}	$32 \times t_{\text{pocy}}$	-	ns	
FRE サイクル時間	t_{NSCC}	$t_{\text{focy}} - 5$	-	ns	
FRE ローパルス幅	t_{NSP}	$0.5 \times t_{\text{focy}} - 5$	-	ns	34.78、34.80
FRE ハイパルス幅	t_{NSPH}	$0.5 \times t_{\text{focy}} - 5$	-	ns	34.78
リードデータセットアップ時間	t_{NRDS}	14	-	ns	34.78、34.80
リードデータホールド時間	t_{NRDH}	0	-	ns	34.78、34.80
データライトセットアップ時間	t_{NDWS}	$32 \times t_{\text{pocy}}$	-	ns	34.79
コマンドステータスリード遷移時間	t_{NCDSR}	$4 \times t_{\text{focy}}$	-	ns	34.80
コマンド出力オフ ステータスリード遷移時間	t_{NCDFSR}	$3.5 \times t_{\text{focy}}$	-	ns	
ステータスリードセットアップ時間	t_{NSTS}	$2.5 \times t_{\text{focy}}$	-	ns	

【注】 t_{focy} は FLCTL クロックの 1 サイクル時間になります。

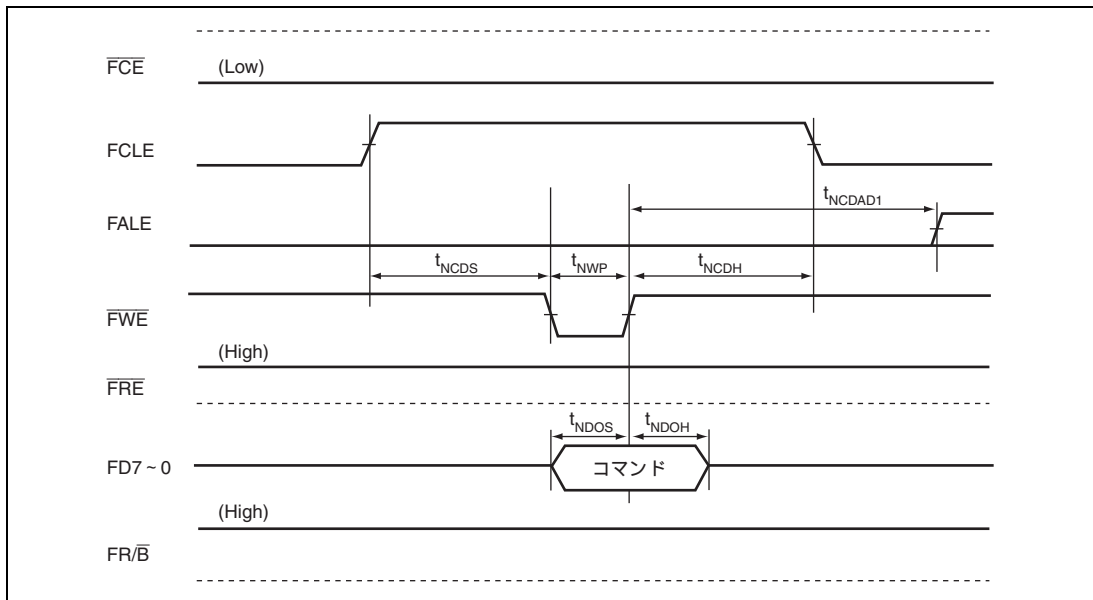


図 34.76 NAND 型フラッシュメモリのコマンド発行タイミング

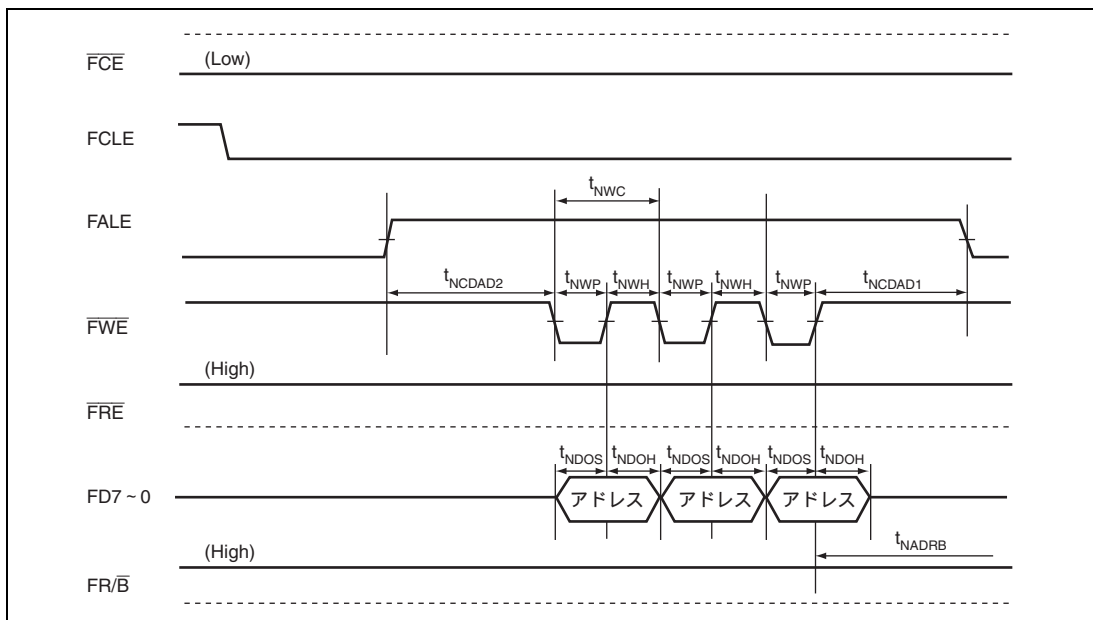


図 34.77 NAND 型フラッシュメモリのアドレス発行タイミング

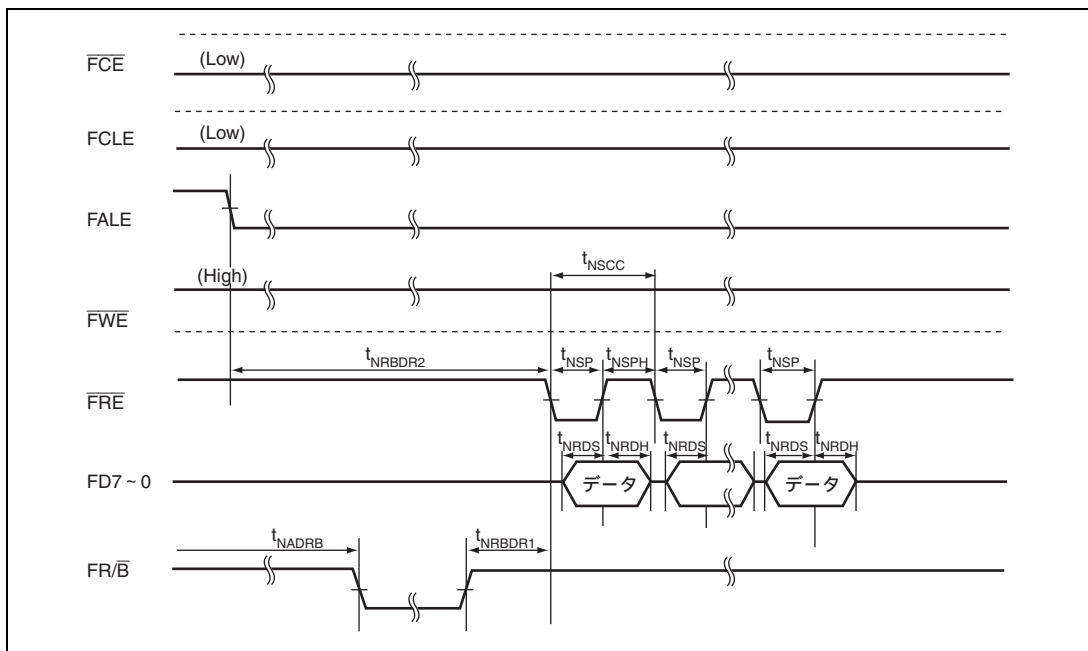


図 34.78 NAND 型フラッシュメモリのデータリードタイミング

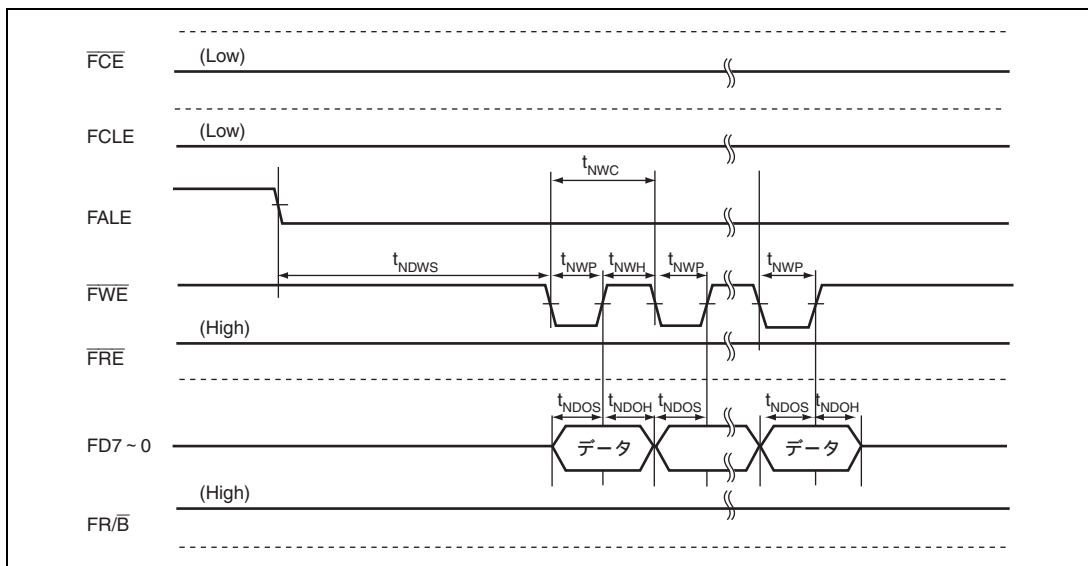


図 34.79 NAND 型フラッシュメモリのデータライトタイミング

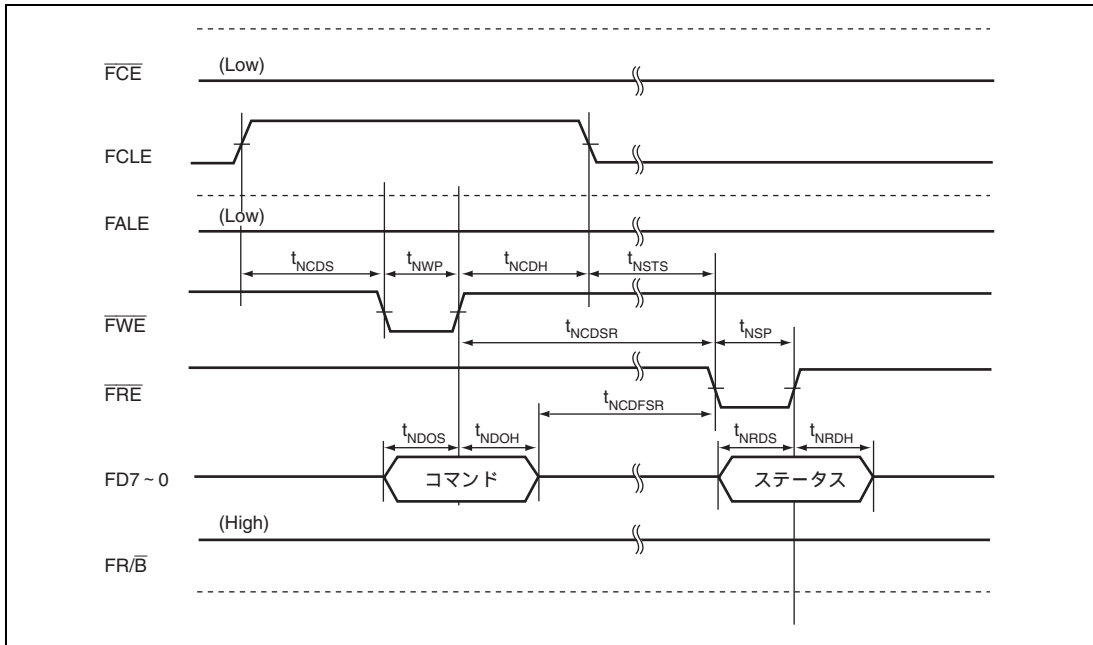


図 34.80 NAND 型フラッシュメモリのステータスリードタイミング

34.4.16 LCDC モジュール信号タイミング

表 34.31 LCDC モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、Ta = -20~85、-40~85

項目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	t_{FREQ}	-	Pck	MHz	
LCD_CLK 入力クロック立ち上がり時間	t_r	-	3	ns	
LCD_CLK 入力クロック立ち下がり時間	t_f	-	3	ns	
LCD_CLK 入力クロックデューティ	t_{DUTY}	90	110	%	
クロック (LCD_CLK2) サイクル時間	t_{CC}	25	-	ns	34.81
クロック (LCD_CLK2) High レベルパルス幅	t_{CHW}	7	-	ns	
クロック (LCD_CLK2) Low レベルパルス幅	t_{CLW}	7	-	ns	
クロック (LCD_CLK2) 遷移時間 (立ち上がり / 立ち下がり)	t_{CT}	-	3	ns	
データ (LCD_DATA) 遅延時間	t_{DDdo}	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	t_{IDdo}	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	t_{HDdo}	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	t_{VDdo}	-3.5	3	ns	

【注】 Pck は周辺クロックの周波数を示します。

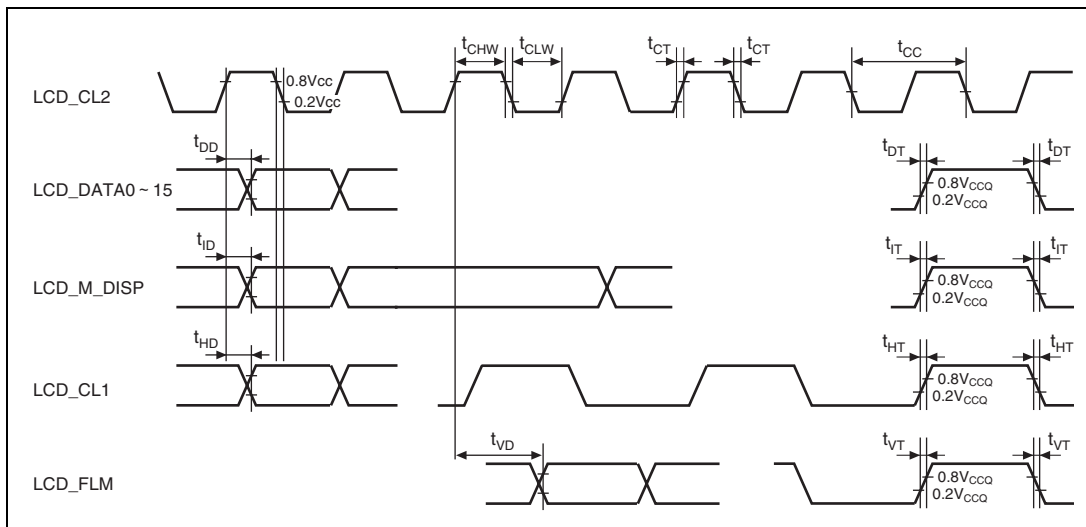


図 34.81 LCDC モジュール信号タイミング

34.4.17 VDC2 モジュール信号タイミング

表 34.32 VDC2 モジュール信号タイミング

条件：3.3V 系電源=3.0~3.6V、1.2V 系電源=1.15~1.35V、 $T_a = -20 \sim 85$ 、 $-40 \sim 85$

項目	記号	min	typ	max	単位	備考	参考図	
出力クロック周期	t_o	18.5	-	158	ns	出力	図 34.82	
入力クロック周期	t_i	18.5	-	158	ns	入力		
クロック High	t_{HC}	6	-	-	ns	入力/出力		
クロック Low	t_{LC}	6	-	-	ns			
クロック立ち上がり時間	t_{RC}	-	-	3	ns	出力 (100pF)		
遅延	内部同期モード	t_{DTRI}	-	-	5	ns	送信	図 34.83、 図 34.84
	外部同期モード	t_{DTRO}	-	-	20			
セットアップ時間	t_{SR}	5	-	-	ns	受信	図 34.85、 図 34.86	
ホールド時間	t_{HIR}	5	-	-	ns	受信	図 34.85 ~ 図 34.86	

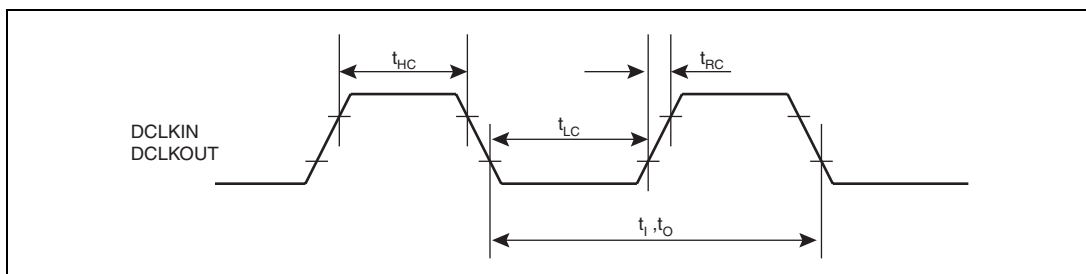


図 34.82 クロック入出力タイミング

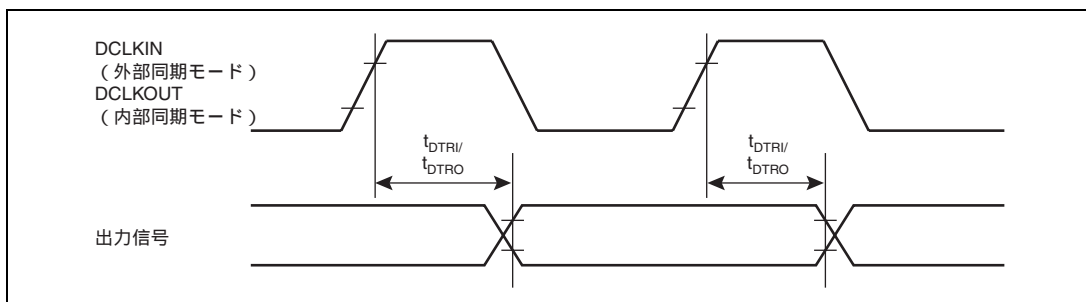


図 34.83 VDC2 送信タイミング(1)

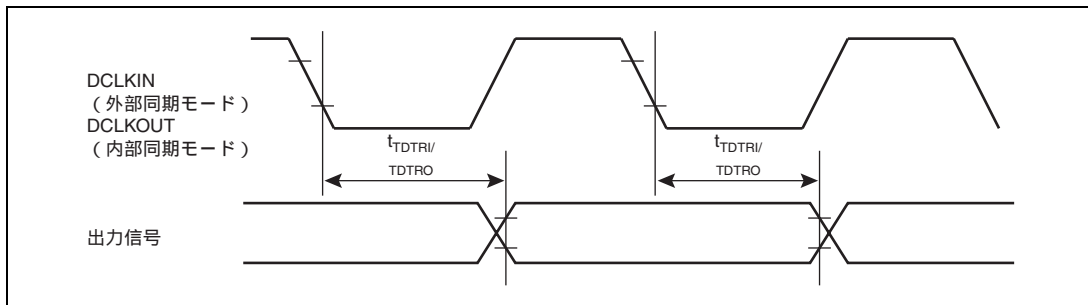


図 34.84 VDC2 送信タイミング(2)

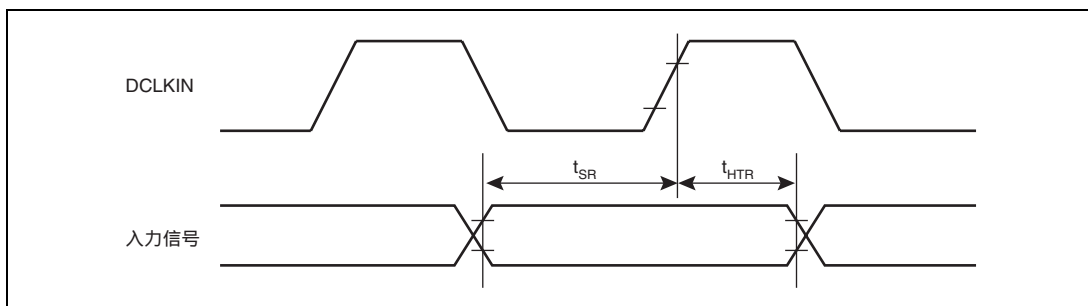


図 34.85 VDC2 受信タイミング(1)

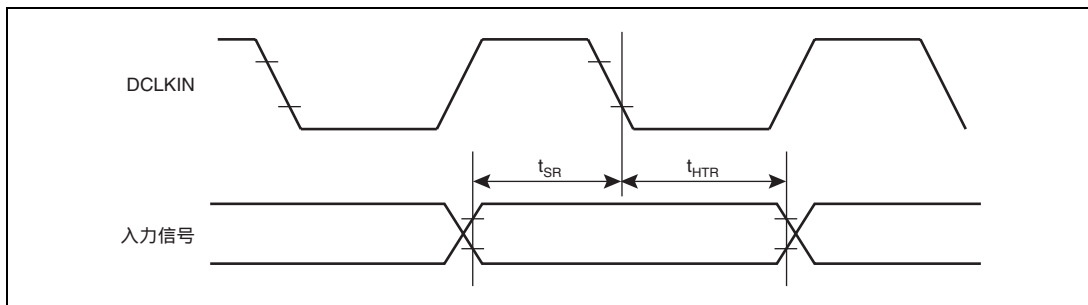


図 34.86 VDC2 受信タイミング(2)

34.5 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル : $V^*/2$
- 入力パルスレベル : $V_{SSQ} \sim V^*$
- 入力立ち上がり、立ち下がり時間 : 1ns

【注】 $V^* : V_{DDQ} (V_{DDQ} = 3.0 \sim 3.6V)$

出力負荷回路を図 34.87 に示します。

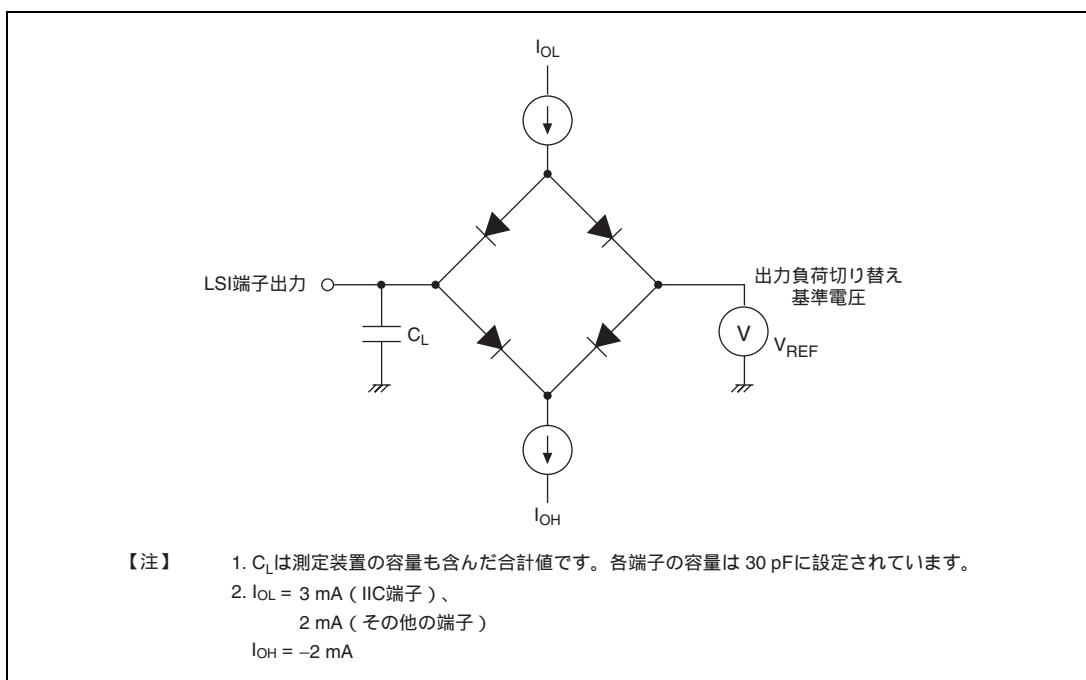


図 34.87 出力負荷回路

付録

A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリアアドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
 2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
- 1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	RABD	-	INTMU	-	-	-
初期値 :	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	-	H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0: 割り込みを受理しても SR.IMASK の値は変化しません。 1: 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

B. 命令プリフェッチとその副作用について

SH-4A は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

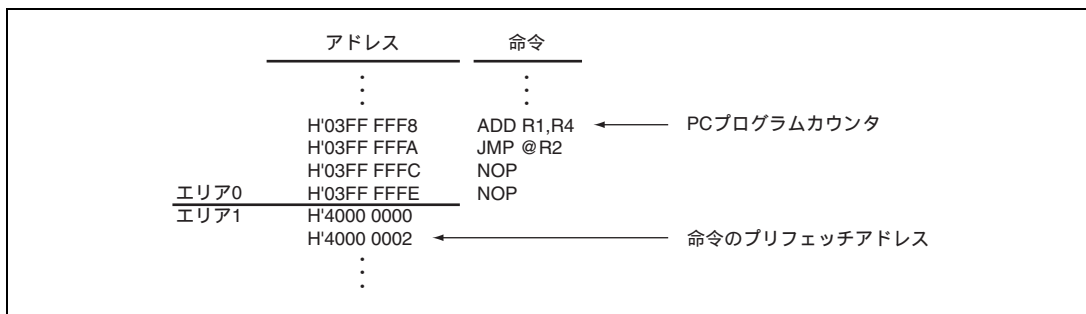


図 B.1 命令のプリフェッチ

図 B.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

- 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
- 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

- MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

C. サブルーチン復帰投機実行

SH-4A はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B. (1) 命令のプリフェッチの副作用」を参照してください。

使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

D. バージョンレジスタ (PVR、PRR)

SH-4A は、プロセッサコアのバージョンと製品のバージョンを示す読み出し専用のレジスタを内蔵しています。これらのレジスタの値を用いることにより、ソフトウェアからプロセッサのバージョンおよび製品を区別することができ拡張性の高いシステムを構築することが可能となります。

【注】 PVR レジスタのビット7～ビット0と、PRR レジスタのビット3～ビット0の値は必ずマスクをし、ソフトウェアに影響を与えないようにしてください。

表 D.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'FF00 0044	H'1F00 0044	32

• PVR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値 :	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	1	0	0	0	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～24	CHIP	H'10	R	プロセッサファミリの種別を示します。 SH-4A シリーズでは、必ず、H'10 が読み出されます。
23～16	VER	H'30	R	バージョンを示します。 SH-4A シリーズに大幅な機能拡張を行う場合に変更します。
15～8	CUT	H'08	R	バージョンを示します。 SH-4A シリーズに小規模な修正を行う場合に変更します。
7～0	-	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

- PRR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Product								CUT				-	-	-	-
初期値 :	0	0	0	1	0	0	0	0	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて0	R	すべて0固定です。
15~8	Product	H'10	R	製品種別を示します。
7~4	CUT	不定	R	バージョンを示します。 製品に小規模な修正を行う場合に変更します。
3~0	-	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

E. 端子状態

表 E.1 リセット、低消費電力状態、バス解放状態での端子状態

BGA ball no.	端子名	I/O	パワーオン リセット中	パワーオン リセット 解除直後*1	リフレッシュ スタンバイ中	スリープ 中	HIZ 制御時*2	バス解放時
B1	XIN	XI	XI	XI	XI	XI	XI	XI
C1	XOUT	XO	XO	XO	XO	XO	XO	XO
D3	WOL/PF2/IDEA0_M	O/I/O/O	Z	O	K/G/K	O/I/O/O	Z/I/O/Z	O/I/O/O
E3	SSISCK2/PC3	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
F4	SSIDATA2/PC2	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
G4	SSIWS2/PC4	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
D2	LNKSTA/PF3/IDECS0_M	I/O/O	Z	I	I/G/K	I/O/O	Z/IO/Z	I/O/O
D1	EXOUT/PF4/IDECS1_M	O/I/O/O	Z	O	K/G/K	O/I/O/O	Z/IO/Z	O/I/O/O
F3	AUDIO_CLK2/PC5	I/O	I	I	I/G	I/O	Z/IO	I/O
E2	CRS/PD7/IDEA1_M	I/O/O	Z	I	I/G/K	I/O/O	Z/IO/Z	I/O/O
E1	COL/PE7/IDEA2_M	I/O/O	Z	I	I/G/K	I/O/O	Z/IO/Z	I/O/O
G3	TX_ER/PD6/IDEIOWR_M	O/I/O/O	Z	O	K/G/K	O/I/O/O	Z/IO/Z	O/I/O/O
F2	MII_TXD3/SSIDATA5/ IODACK_M/PD0	O/I/O/O/O	Z	O	K/K/K/G	O/I/O/O/O	Z/Z/Z/IO	O/I/O/O/O
F1	MII_TXD2/AUDIO_CLK5/IDEINT _M/PD1	O/I/O	Z	O	K/I/G	O/I/O	Z/Z/Z/IO	O/I/O
H4	MPMD	I	PI	PI	PI	PI	PI	PI
H3	RX_ER/PE6/IODREQ_M	I/O/I	Z	I	I/G/I	I/O/I	Z/IO/Z	I/O/I
G2	MII_TXD1/SSIWS5/ IDEIORD_M/PD2	O/I/O/O/O	Z	O	K/K/K/G	O/I/O/O/O	Z/Z/Z/IO	O/I/O/O/O
J4	SSIDATA3/PH4	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
G1	MII_TXD0/SSISCK5/ IDEIORDY_M/PD3	O/I/O/O/O	Z	O	K/K/I/G	O/I/O/O/O	Z/Z/Z/IO	O/I/O/O/O
H2	TX_EN/PD4/IDED0_M	O/I/O/O	Z	O	K/G/O	O/I/O/O	Z/IO/Z	O/I/O/O
J3	SSIWS3/PH6	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
H1	TX_CLK/PD5/IDED15_M	I/O/O	Z	I	I/G/O	I/O/O	Z/IO/Z	I/O/O
J2	RX_CLK/PE5/IDED1_M	I/O/O	Z	I	I/G/O	I/O/O	Z/IO/Z	I/O/O
J1	RX_DV/PE4/IDED14_M	I/O/O	Z	I	I/G/O	I/O/O	Z/IO/Z	I/O/O
K3	SSISCK3/PH5	IO/IO	Z	I	K/G	IO/IO	Z/IO	IO/IO
K4	IRQ0/DTEND1	I/O	I	I	I/O	I/O	I/Z	I/O
K2	MII_RXD0/SSIWS4/ IDED2_M/PE3	I/O/O/O/O	Z	I	I/K/O/G	I/O/O/O/O	Z/Z/Z/IO	I/O/O/O/O
K1	MII_RXD1/SSISCK4/IDED13_M/ PE2	I/O/O/O/O	Z	I	I/K/O/G	I/O/O/O/O	Z/Z/Z/IO	I/O/O/O/O

BGA ball no.	端子名	I/O	パワーオン リセット中	パワーオン リセット 解除直後*1	リフレッシュ スタンバイ中	スリープ 中	HiZ 制御時**2	バス解放時
L3	AUDIO_CLK3/PH7	I/O	I	I	I/G	I/O	Z/O	I/O
L2	MII_RXD2/SSIDATA4/IDED3_M/ PE1	I/O/O/O	Z	I	I/K/O/G	I/O/O/O	Z/Z/O	I/O/O/O
L4	IRQOUT/DREQ1	O/I	H	O	K/I	O/I	O/Z	O/I
L1	MII_RXD3/AUDIO_CLK4/ IDED12_M/PE0	I/O/O	Z	I	I/O/G	I/O/O	Z/Z/O	I/O/O
M2	MDC/PF0/IDED4_M	O/O/O	Z	O	K/G/O	O/O/O	Z/O/Z	O/O/O
M1	MDIO/PF1/IDED11_M	O/O/O	Z	I	K/G/O	O/O/O	Z/O/Z	O/O/O
N1	AUDIO_CLK0/PC7	I/O	I	I	I/G	I/O	Z/O	I/O
M3	SSIWS0	O	Z	I	K	O	Z	O
M4	STATUS1/RTS2/PA7	O/O/O	H	L	L/K/G	H/O/O	L/Z/O	H/O/O
N2	SSISCK0	O	Z	I	K	O	Z	O
P1	AUDIO_CLK1/PC6	I/O	I	I	I/G	I/O	Z/O	I/O
N4	STATUS0/CTS2/PA6	O/O/O	H	L	H/K/G	L/O/O	L/Z/O	L/O/O
N3	SSIDATA0	O	Z	I	K	O	Z	O
P2	SSISCK1	O	Z	I	K	O	Z	O
R1	PJ7/IDED10_M	O/O	Z	I	G/O	O/O	O/Z	O/O
P3	SSIWS1	O	Z	I	K	O	Z	O
R2	PJ6/IDED5_M	O/O	Z	I	G/O	O/O	O/Z	O/O
P4	FRE/PA4	O/O	H	O	K/G	O/O	Z/O	O/O
R3	SSIDATA1	O	Z	I	K	O	Z	O
T1	PJ5/IDED9_M	O/O	Z	I	G/O	O/O	O/Z	O/O
T2	PJ4/IDED6_M	O/O	Z	I	G/O	O/O	O/Z	O/O
U1	PJ2/IDED8_M	O/O	Z	I	G/O	O/O	O/Z	O/O
U2	PJ3/IDED7_M	O/O	Z	I	G/O	O/O	O/Z	O/O
T3	FWE/PA3	O/O	H	O	K/G	O/O	Z/O	O/O
R4	FCE/PA5	O/O	H	O	K/G	O/O	Z/O	O/O
V1	PJ1/IDERST_M	O/O	Z	I	G/K	O/O	O/Z	O/O
V2	PJ0/DIRECTION_M	O/O	Z	I	G/K	O/O	O/Z	O/O
U3	MODE7/FD6	I/O	I	Z	-K	-O	-Z	-O
T4	FALE/PC0	O/O	H	O	K/G	O/O	Z/O	O/O
W1	MODE3/FD3	I/O	I	Z	-K	-O	-Z	-O
V3	MODE5/FD5	I/O	I	Z	-K	-O	-Z	-O
Y1	TXD2/PA2	O/O	Z	Z	K/G	O/O	Z/O	O/O
W2	MODE2/FD2	I/O	I	Z	-K	-O	-Z	-O
V4	MODE4/FD4	I/O	I	Z	-K	-O	-Z	-O
U4	MODE8/FD7	I/O	I	Z	-K	-O	-Z	-O

BGA ball no.	端子名	I/O	パワーオンリセット中	パワーオンリセット解除直後*1	リフレッシュスタンバイ中	スリープ中	HiZ制御時**2	バス解放時
W3	MODE1/FD1	I/O	I	Z	-/K	-/IO	-/Z	-/IO
Y2	RXD2/PA1	I/O	Z	I	I/G	I/O	Z/O	I/O
AA1	SCK2/PA0	IO/IO	Z	I	K/G	IO/IO	Z/O	IO/IO
AB3	SDA	IO	I	Z	IO	IO	Z	IO
AB2	SCL	IO	I	Z	IO	IO	Z	IO
Y4	RXD1/AUDATA2	I/O	Z	I	I/K	I/O	Z/O	I/O
W5	WDTOVF/IRQ1/AUDCK/DACKT	O/I/O/O	H	O	O/I/K/O	O/I/O/O	O/I/O/Z	O/I/O/O
AA3	MODE0/FD0	I/O	I	Z	-/K	-/IO	-/Z	-/IO
Y5	RXD0/AUDATA0	I/O	Z	I	I/K	I/O	Z/O	I/O
AA4	TXD1/AUDATA3	O/IO	Z	Z	K/K	O/IO	Z/O	O/IO
W6	TDO	O	Z	Z	O	O	O	O
AA5	TXD0/AUDATA1	O/IO	Z	Z	K/K	O/IO	Z/O	O/IO
AB4	SCK1/FR \bar{B}	IO/I	Z	I	K/I	IO/I	Z/Z	IO/I
Y6	TMS	I	PI	PI	PI	PI	PI	PI
W7	TRST	I	PI	PI	PI	PI	PI	PI
AA6	TDI	I	PI	PI	PI	PI	PI	PI
AB5	SCK0/AUDSYNC/FCLE	IO/IO/O	Z	I	K/K/K	IO/IO/O	Z/O/Z	IO/IO/O
AB6	TCK	I	PI	PI	PI	PI	PI	PI
Y8	LCD_VEP_WC/DR5/PH0	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
AA8	LCD_FLM/VSYNC/EX_VSYNC/ BT_VSYNC	O/IO/O	L	O	K/K/K	O/IO/O	Z/Z/Z	O/IO/O
AB8	LCD_CL1/HSYNC/EX_HSYNC/ BT_HSYNC	O/IO/O	L	O	K/K/K	O/IO/O	Z/Z/Z	O/IO/O
AA9	LCD_M_DISP/DE_C/DE_H/ BT_DE_C	O/O/O	L	O	K/K/K	O/O/O	Z/Z/Z	O/O/O
Y9	LCD_VCP_WC/DR4/PH1	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
AB9	LCD_CLK/DCLKIN	I/I	I	I	I/I	I/I	Z/Z	I/I
Y10	LCD_DATA15/DR3/PG7	O/O/IO	L	O	K/K/G	O/O/IO	Z/O/IO	O/O/IO
AA10	LCD_DATA14/DR2/PG6	O/O/IO	L	O	K/K/G	O/O/IO	Z/O/IO	O/O/IO
AB10	LCD_DATA13/DR1/PG5	O/O/IO	L	O	K/K/G	O/O/IO	Z/O/IO	O/O/IO
Y11	LCD_DATA12/DR0/PG4	O/O/IO	L	O	K/K/G	O/O/IO	Z/O/IO	O/O/IO
AA11	LCD_DATA11/DG5/PG3	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
AB11	LCD_DATA10/DG4/PG2	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
Y12	LCD_DATA9/DG3/PG1	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
AA12	LCD_DATA8/DG2/PG0	O/O/IO	L	O	K/K/G	O/O/IO	Z/Z/O	O/O/IO
AB12	LCD_DATA7/DG1/BT_DATA7/PI4	O/O/O/IO	L	O	K/K/K/G	O/O/O/IO	Z/Z/Z/O	O/O/O/IO
Y13	LCD_DATA6/DG0/BT_DATA6/PI3	O/O/O/IO	L	O	K/K/K/G	O/O/O/IO	Z/Z/Z/O	O/O/O/IO

BGA ball no.	端子名	I/O	パワーオンリセット中	パワーオンリセット解除直後*1	リフレッシュスタンバイ中	スリープ中	HIZ制御時*2	バス解放時
AA13	LCD_DATA5/DB5/BT_DATA5/PI2	O/O/O/O	L	O	K/K/K/G	O/O/O/O	Z/Z/Z/O	O/O/O/O
AB13	LCD_DATA4/DB4/BT_DATA4/PI1	O/O/O/O	L	O	K/K/K/G	O/O/O/O	Z/Z/Z/O	O/O/O/O
Y14	LCD_DATA3/DB3/BT_DATA3	O/O/O	L	O	K/K/K	O/O/O	Z/Z/Z	O/O/O
AA14	LCD_DATA2/DB2/BT_DATA2	O/O/O	L	O	K/K/K	O/O/O	Z/Z/Z	O/O/O
AB14	LCD_DATA1/DB1/BT_DATA1	O/O/O	L	O	K/K/K	O/O/O	Z/Z/Z	O/O/O
AA15	LCD_DATA0/DB0/BT_DATA0	O/O/O	L	O	K/K/K	O/O/O	Z/Z/Z	O/O/O
Y15	LCD_CL2/DE_V/PH3	O/O/O	L	O	K/K/G	O/O/O	Z/Z/O	O/O/O
AB15	LCD_DON/DCLKOUT/PH2	O/O/O	L	O	K/K/G	O/O/O	Z/Z/O	O/O/O
Y16	PI0/COM/CDE	IO/O	Z	I	G/K	IO/O	IO/Z	IO/O
AB17	RDY	I	PI	I	MI	MI	MI	MI
AA17	NMI	I	I	I	I	I	I	I
AA18	BACK	O	H	O	K	O	O	O
Y17	R \bar{D}	O	H	O	K	O	O	MZ
W17	$\bar{CS}3$	O	H	O	K	O	O	MZ
Y19	BREQ	I	PI	I	MI	MI	MI	MI
AB21	EXTAL	XI	XI	XI	XI	XI	XI	XI
AB22	XTAL	XO	XO	XO	XO	XO	XO	XO
Y20	B \bar{S}	O	H	O	K	O	O	MZ
Y22	\bar{PRESET}	I	I	I	I	I	I	I
W18	$\bar{CS}0$	O	H	O	K	O	O	MZ
W21	$\bar{ASEBRK}/\bar{BRKACK}/\bar{TCLK}/\bar{PC}1$	O/O/O	PI	A	A/I/G	IO/O/O	IO/Z/O	IO/O/O
V19	A25/PB7/ $\bar{DREQ}0/\bar{RTS}0$	O/O/O/O	PZ	O	K/G/I/K	O/O/O/O	O/O/Z/Z	MZ/O/O/O
W22	A24/PB6/ $\bar{DACK}0/\bar{CTS}0$	O/O/O/O	PZ	O	K/G/O/K	O/O/O/O	O/O/Z/Z	MZ/O/O/O
U19	A17	O	PZ	O	K	O	O	MZ
V21	A23/PB5/ $\bar{DTEND}0/\bar{RTS}1$	O/O/O/O	PZ	O	K/G/O/K	O/O/O/O	O/O/Z/Z	MZ/O/O/O
V20	A21/PB3	O/O	PZ	O	K/G	O/O	O/O	MZ/O
U22	A20/PB2	O/O	PZ	O	K/G	O/O	O/O	MZ/O
V22	A22/PB4/ $\bar{CTS}1$	O/O/O	PZ	O	K/G/K	O/O/O	O/O/Z	MZ/O/O
U21	A19/PB1	O/O	PZ	O	K/G	O/O	O/O	MZ/O
U20	A18/PB0	O/O	PZ	O	K/G	O/O	O/O	MZ/O
T19	D15	IO	Z	PZ	MZ	IO	IO	MZ
T20	D14	IO	Z	PZ	MZ	IO	IO	MZ
T21	D1	IO	Z	PZ	MZ	IO	IO	MZ
T22	D0	IO	Z	PZ	MZ	IO	IO	MZ
R19	D13	IO	Z	PZ	MZ	IO	IO	MZ
R20	D12	IO	Z	PZ	MZ	IO	IO	MZ

BGA ball no.	端子名	I/O	パワーオン リセット中	パワーオン リセット 解除直後*1	リフレッシュ スタンバイ中	スリープ 中	HiZ 制御時**2	バス解放時
R21	D3	IO	Z	PZ	MZ	IO	IO	MZ
R22	D2	IO	Z	PZ	MZ	IO	IO	MZ
P19	D11	IO	Z	PZ	MZ	IO	IO	MZ
P20	D10	IO	Z	PZ	MZ	IO	IO	MZ
P21	D5	IO	Z	PZ	MZ	IO	IO	MZ
P22	D4	IO	Z	PZ	MZ	IO	IO	MZ
N19	D9	IO	Z	PZ	MZ	IO	IO	MZ
N22	D6	IO	Z	PZ	MZ	IO	IO	MZ
N21	D7	IO	Z	PZ	MZ	IO	IO	MZ
N20	D8	IO	Z	PZ	MZ	IO	IO	MZ
M22	DQMLL	O	H	O	K	O	O	MZ
M21	DQMUL	O	H	O	K	O	O	MZ
M19	DQMUU	O	H	O	K	O	O	MZ
L22	D16	IO	Z	PZ	MZ	IO	IO	MZ
M20	DQMLU	O	H	O	K	O	O	MZ
L21	D17	IO	Z	PZ	MZ	IO	IO	MZ
K22	D18	IO	Z	PZ	MZ	IO	IO	MZ
K21	D19	IO	Z	PZ	MZ	IO	IO	MZ
L19	D31	IO	Z	PZ	MZ	IO	IO	MZ
L20	D30	IO	Z	PZ	MZ	IO	IO	MZ
J22	D20	IO	Z	PZ	MZ	IO	IO	MZ
J21	D21	IO	Z	PZ	MZ	IO	IO	MZ
H22	D22	IO	Z	PZ	MZ	IO	IO	MZ
K20	D28	IO	Z	PZ	MZ	IO	IO	MZ
K19	D29	IO	Z	PZ	MZ	IO	IO	MZ
G22	A15	O	PZ	O	K	O	O	MZ
H21	D23	IO	Z	PZ	MZ	IO	IO	MZ
J20	D26	IO	Z	PZ	MZ	IO	IO	MZ
F22	A13	O	PZ	O	K	O	O	MZ
G21	A16	O	PZ	O	K	O	O	MZ
J19	D27	IO	Z	PZ	MZ	IO	IO	MZ
H20	D24	IO	Z	PZ	MZ	IO	IO	MZ
E22	A10	O	PZ	O	K	O	O	MZ
F21	A14	O	PZ	O	K	O	O	MZ
H19	D25	IO	Z	PZ	MZ	IO	IO	MZ
D22	A4	O	PZ	O	K	O	O	MZ

BGA ball no.	端子名	I/O	パワーオンリセット中	パワーオンリセット解除直後*1	リフレッシュスタンバイ中	スリープ中	HIZ制御時**2	バス解放時
G20	A11	O	PZ	O	K	O	O	MZ
E21	A5	O	PZ	O	K	O	O	MZ
D21	R/W	O	H	O	H	O	O	MZ
F20	A8	O	PZ	O	K	O	O	MZ
G19	A12	O	PZ	O	K	O	O	MZ
C22	CKE	O	H	O	K	O	O	MZ
C21	RAS	O	H	O	H	O	O	MZ
B22	CLKOUT	O	O	O	C	O	O	O
F19	A9	O	PZ	O	K	O	O	MZ
E20	A6	O	PZ	O	K	O	O	MZ
E19	A7	O	PZ	O	K	O	O	MZ
D20	CAS	O	H	O	K	O	O	MZ
A21	CS1	O	H	O	K	O	O	MZ
B20	CS2	O	H	O	K	O	O	MZ
C19	A0	O	PZ	O	K	O	O	MZ
D18	D47/IDECS0	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
A20	A3	O	PZ	O	K	O	O	MZ
B19	A1	O	PZ	O	K	O	O	MZ
D17	D45/IODACK	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
C18	D46/IDCS1	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
B18	D33/PF6	IO/IO	Z	PZ	MZ/G	IO/IO	IO/IO	MZ/IO
A19	A2	O	PZ	O	K	O	O	MZ
C17	D44/IDEINT	IO/I	Z	PZ	MZ/I	IO/I	IO/Z	MZ/I
D16	D43/IDEIORDY	IO/I	Z	PZ	MZ/I	IO/I	IO/Z	MZ/I
C16	D42/IDEIORD	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
A18	D32/PF7	IO/IO	Z	PZ	MZ/G	IO/IO	IO/IO	MZ/IO
C15	D40/IDEIOWR	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
D15	D41/IODREQ	IO/I	Z	PZ	MZ/I	IO/I	IO/Z	MZ/I
B17	D35/IDEA0	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
B16	D37/IDEA1	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
B15	D39/IDED14	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
A17	D34/PF5	IO/IO	Z	PZ	MZ/G	IO/IO	IO/IO	MZ/IO
A16	D36/IDEA2	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
D14	D63/IDED1	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
A15	D38/IDED15	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
C14	D62/IDED0	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO

BGA ball no.	端子名	I/O	パワーオンリセット中	パワーオンリセット解除直後*1	リフレッシュスタンバイ中	スリープ中	HiZ制御時*2	バス解放時
B14	WE2/DQM64UL	O/O	H	O	K/K	O/O	O/O	MZ/MZ
A14	WE0/DQM64LL	O/O	H	O	K/K	O/O	O/O	MZ/MZ
C13	D60/IDED2	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
B13	WE3/DQM64UU	O/O	H	O	K/K	O/O	O/O	MZ/MZ
A13	WE1/DQM64LU	O/O	H	O	K/K	O/O	O/O	MZ/MZ
D13	D61/IDED3	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
A12	D48/IDED13	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
D12	D59/IDED5	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
C12	D58/IDED4	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
B12	D49/IDED12	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
B11	D51/IDED10	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
A11	D50/IDED11	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
C11	D56/IDED6	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
A10	D52/IDED9	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
B10	D53/IDED8	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
D11	D57/IDED7	IO/IO	Z	PZ	MZ/IO	IO/IO	IO/Z	MZ/IO
C10	D54/IDERST	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
D10	D55/DIRECTION	IO/O	Z	PZ	MZ/K	IO/O	IO/Z	MZ/O
A7	DM	AIO	Z	Z	Z	AIO	Z	AIO
A6	DP	AIO	Z	Z	Z	AIO	Z	AIO
B6	VBUS	AI	AI	AI	AI	AI	AI	AI
E8	REFRIN	AI	AI	AI	AI	AI	AI	AI

【注】 *1 パワーオンリセットが解除され、ソフトウェアがポート関連レジスタ（「第 27 章 汎用入出力ポート（GPIO）」で説明されているレジスタ等）の値を初期値から変更することで、各ピンの定義を変えるまでの期間を指します。

*2 GPIO の Hi-Z レジスタ A、B（PTHIZ_A、B）の対応するビットを設定したときの端子状態を示します。

【記号説明】

- I : 入力
- O : 出力
- IO : 入出力
- XI : XTAL 入力
- XO : XTAL 出力
- AI : アナログ入力
- AIO : アナログ入出力
- Z : ハイインピーダンス
- PI : 内蔵プルアップ抵抗によりプルアップされた入力
- PZ : 内蔵プルアップ抵抗によりプルアップされたハイインピーダンス

- H : ハイレベル出力
- L : ローレベル出力
- K : 入力、出力端子ともにリフレッシュスタンバイモード遷移前の状態を保持
- MI : 入力バッファ ON、MCU のレジスタ設定より、内蔵プルアップ抵抗 ON または OFF
- MZ : 入力バッファ OFF、出力バッファ OFF、内蔵プルアップ抵抗は MCU のレジスタ設定により ON または OFF
- A : 内蔵プルアップ抵抗 ON、MPMD=ローレベル時はレジスタによる I/O 制御、 $\overline{\text{TRST}}$ =ローレベルまたは MPMD=ハイレベル時は入力
- C : CPG のレジスタ設定によりクロック出力またはローレベル出力
- G : GPIO のレジスタ設定により、入力または出力、内蔵プルアップ抵抗 ON または OFF
- GPI : 入力バッファ ON、出力バッファ OFF、GPIO のレジスタ設定により、内蔵プルアップ抵抗 ON または OFF
- GPZ : 入力バッファ OFF、出力バッファ OFF、内蔵プルアップ抵抗は、GPIO のレジスタ設定により ON または OFF
- : 選択不可

F. 未使用端子の処理

表 F.1 未使用端子の処理

BGA ball no.	端子名	未使用端子の処理*4
B1	XIN	ブルダウン
C1	XOUT	オープン
D3	WOL/PF2/IDEA0_M	オープン
E3	SSISCK2/PC3	ブルアップ
F4	SSIDATA2/PC2	ブルアップ
G4	SSIWS2/PC4	ブルアップ
D2	LNKSTA/PF3/IDEC50_M	ブルダウン
D1	EXOUT/PF4/IDEC51_M	オープン
F3	AUDIO_CLK2/PC5	ブルアップ
E2	CRS/PD7/IDEA1_M	ブルダウン
E1	COL/PE7/IDEA2_M	ブルダウン
G3	TX_ER/PD6/IDEIOWR_M	オープン
F2	MII_TXD3/SSIDATA5/IODACK_M/PD0	オープン
F1	MII_TXD2/AUDIO_CLK5/IDEINT_M/PD1	オープン
H4	MPMD	ブルアップ*2
H3	RX_ER/PE6/IODREQ_M	ブルダウン
G2	MII_TXD1/SSIWS5/IDEIORD_M/PD2	オープン
J4	SSIDATA3/PH4	ブルアップ
G1	MII_TXD0/SSISCK5/IDEIORDY_M/PD3	オープン
H2	TX_EN/PD4/IDED0_M	オープン
J3	SSIWS3/PH6	ブルアップ
H1	TX_CLK/PD5/IDED15_M	ブルダウン
J2	RX_CLK/PE5/IDED1_M	ブルダウン
J1	RX_DV/PE4/IDED14_M	ブルダウン
K3	SSISCK3/PH5	ブルアップ
K4	IRQ0/DTEND1	ブルアップ
K2	MII_RXD0/SSIWS4/IDED2_M/PE3	ブルダウン
K1	MII_RXD1/SSISCK4/IDED13_M/PE2	ブルダウン
L3	AUDIO_CLK3/PH7	ブルアップ
L2	MII_RXD2/SSIDATA4/IDED3_M/PE1	ブルダウン
L4	IRQOUT/DREQ1	オープン
L1	MII_RXD3/AUDIO_CLK4/IDED12_M/PE0	ブルダウン
M2	MDC/PF0/IDED4_M	オープン
M1	MDIO/PF1/IDED11_M	ブルダウン

BGA ball no.	端子名	未使用端子の処理*4
N1	AUDIO_CLK0/PC7	ブルアップ
M3	SSIWS0	ブルアップ
M4	STATUS1/RTS2/PA7	オープン
N2	SSISCK0	ブルアップ
P1	AUDIO_CLK1/PC6	ブルアップ
N4	STATUS0/CTS2/PA6	オープン
N3	SSIDATA0	ブルアップ
P2	SSISCK1	ブルアップ
R1	PJ7/IDED10_M	ブルアップ
P3	SSIWS1	ブルアップ
R2	PJ6/IDED5_M	ブルアップ
P4	FRE/PA4	オープン
R3	SSIDATA1	ブルアップ
T1	PJ5/IDED9_M	ブルアップ
T2	PJ4/IDED6_M	ブルアップ
U1	PJ2/IDED8_M	ブルアップ
U2	PJ3/IDED7_M	ブルアップ
T3	FWE/PA3	オープン
R4	FCE/PA5	オープン
V1	PJ1/IDERST_M	ブルアップ
V2	PJ0/DIRECTION_M	ブルアップ
U3	MODE7/FD6	ブルダウン
T4	FALE/PC0	オープン
W1	MODE3/FD3	必ず使用してください
V3	MODE5/FD5	必ず使用してください
Y1	TXD2/PA2	オープン
W2	MODE2/FD2	必ず使用してください
V4	MODE4/FD4	必ず使用してください
U4	MODE8/FD7	必ず使用してください
W3	MODE1/FD1	必ず使用してください
Y2	RXD2/PA1	ブルアップ
AA1	SCK2/PA0	ブルアップ
AB3	SDA	オープン
AB2	SCL	オープン
Y4	RXD1/AUDATA2	ブルアップ
W5	WDTOVF/IRQ1/AUDCK/DACKT	オープン
AA3	MODE0/FD0	必ず使用してください

BGA ball no.	端子名	未使用端子の処理*4
Y5	RXD0/AUDATA0	プルアップ
AA4	TXD1/AUDATA3	オープン
W6	TDO	オープン*2
AA5	TXD0/AUDATA1	オープン
AB4	SCK1/FR \bar{B}	プルアップ
Y6	TMS	オープン*2
W7	\bar{TRST}	グラント固定または \bar{PRESET} に接続*2*3
AA6	TDI	オープン*2
AB5	SCK0/AUDSYNC/FCLE	プルアップ
AB6	TCK	オープン*2
Y8	LCD_VEP_WC/DR5/PH0	オープン
AA8	LCD_FLM/VSYNC/EX_VSYNC/BT_VSYNC	オープン
AB8	LCD_CL1/HSYNC/EX_HSYNC/BT_HSYNC	オープン
AA9	LCD_M_DISP/DE_C/DE_H/BT_DE_C	オープン
Y9	LCD_VCP_WC/DR4/PH1	オープン
AB9	LCD_CLK/DCLKIN	プルアップ
Y10	LCD_DATA15/DR3/PG7	オープン
AA10	LCD_DATA14/DR2/PG6	オープン
AB10	LCD_DATA13/DR1/PG5	オープン
Y11	LCD_DATA12/DR0/PG4	オープン
AA11	LCD_DATA11/DG5/PG3	オープン
AB11	LCD_DATA10/DG4/PG2	オープン
Y12	LCD_DATA9/DG3/PG1	オープン
AA12	LCD_DATA8/DG2/PG0	オープン
AB12	LCD_DATA7/DG1/BT_DATA7/PI4	オープン
Y13	LCD_DATA6/DG0/BT_DATA6/PI3	オープン
AA13	LCD_DATA5/DB5/BT_DATA5/PI2	オープン
AB13	LCD_DATA4/DB4/BT_DATA4/PI1	オープン
Y14	LCD_DATA3/DB3/BT_DATA3	オープン
AA14	LCD_DATA2/DB2/BT_DATA2	オープン
AB14	LCD_DATA1/DB1/BT_DATA1	オープン
AA15	LCD_DATA0/DB0/BT_DATA0	オープン
Y15	LCD_CL2/DE_V/PH3	オープン
AB15	LCD_DON/DCLKOUT/PH2	オープン
Y16	PIO/COM/CDE	プルアップ
AB17	\bar{RDY}	プルダウン*1

BGA ball no.	端子名	未使用端子の処理*4
AA17	NMI	プルアップ
AA18	$\overline{\text{BACK}}$	オープン
Y17	$\overline{\text{RD}}$	オープン
W17	$\overline{\text{CS3}}$	オープン
Y19	$\overline{\text{BREQ}}$	プルアップ
AB21	EXTAL	必ず使用してください
AB22	XTAL	オープン
Y20	$\overline{\text{BS}}$	オープン
Y22	$\overline{\text{PRESET}}$	必ず使用してください
W18	$\overline{\text{CS0}}$	必ず使用してください
W21	$\overline{\text{ASEBRK}}/\overline{\text{BRKACK}}/\overline{\text{TCLK}}/\text{PC1}$	オープン*2
V19	A25/PB7/ $\overline{\text{DREQ0}}/\overline{\text{RTS0}}$	オープン
W22	A24/PB6/ $\overline{\text{DACK0}}/\overline{\text{CTS0}}$	オープン
U19	A17	オープン
V21	A23/PB5/ $\overline{\text{DTEND0}}/\overline{\text{RTS1}}$	オープン
V20	A21/PB3	オープン
U22	A20/PB2	オープン
V22	A22/PB4/ $\overline{\text{CTS1}}$	オープン
U21	A19/PB1	オープン
U20	A18/PB0	オープン
T19	D15	オープン
T20	D14	オープン
T21	D1	必ず使用してください
T22	D0	必ず使用してください
R19	D13	オープン
R20	D12	オープン
R21	D3	必ず使用してください
R22	D2	必ず使用してください
P19	D11	オープン
P20	D10	オープン
P21	D5	必ず使用してください
P22	D4	必ず使用してください
N19	D9	オープン
N22	D6	必ず使用してください
N21	D7	必ず使用してください
N20	D8	オープン
M22	DQMLL	オープン

BGA ball no.	端子名	未使用端子の処理*4
M21	DQMUL	オープン
M19	DQMUU	オープン
L22	D16	オープン
M20	DQMLU	オープン
L21	D17	オープン
K22	D18	オープン
K21	D19	オープン
L19	D31	オープン
L20	D30	オープン
J22	D20	オープン
J21	D21	オープン
H22	D22	オープン
K20	D28	オープン
K19	D29	オープン
G22	A15	オープン
H21	D23	オープン
J20	D26	オープン
F22	A13	オープン
G21	A16	オープン
J19	D27	オープン
H20	D24	オープン
E22	A10	オープン
F21	A14	オープン
H19	D25	オープン
D22	A4	オープン
G20	A11	オープン
E21	A5	オープン
D21	R/W	オープン
F20	A8	オープン
G19	A12	オープン
C22	CKE	オープン
C21	$\overline{\text{RAS}}$	オープン
B22	CLKOUT	オープン
F19	A9	オープン
E20	A6	オープン
E19	A7	オープン
D20	$\overline{\text{CAS}}$	オープン

BGA ball no.	端子名	未使用端子の処理*4
A21	$\overline{CS1}$	オープン
B20	$\overline{CS2}$	オープン
C19	A0	オープン
D18	D47/ $\overline{IDECS0}$	オープン
A20	A3	オープン
B19	A1	オープン
D17	D45/ \overline{IODACK}	オープン
C18	D46/ $\overline{IDECS1}$	オープン
B18	D33/PF6	オープン
A19	A2	オープン
C17	D44/ \overline{IDEINT}	オープン
D16	D43/ $\overline{IDEIORDY}$	オープン
C16	D42/ $\overline{IDEIORD}$	オープン
A18	D32/PF7	オープン
C15	D40/ $\overline{IDEIOWR}$	オープン
D15	D41/ \overline{IODREQ}	オープン
B17	D35/ $\overline{IDEA0}$	オープン
B16	D37/ $\overline{IDEA1}$	オープン
B15	D39/ $\overline{IDED14}$	オープン
A17	D34/PF5	オープン
A16	D36/ $\overline{IDEA2}$	オープン
D14	D63/ $\overline{IDED1}$	オープン
A15	D38/ $\overline{IDED15}$	オープン
C14	D62/ $\overline{IDED0}$	オープン
B14	$\overline{WE2}/\overline{DQM64UL}$	オープン
A14	$\overline{WE0}/\overline{DQM64LL}$	オープン
C13	D60/ $\overline{IDED2}$	オープン
B13	$\overline{WE3}/\overline{DQM64UU}$	オープン
A13	$\overline{WE1}/\overline{DQM64LU}$	オープン
D13	D61/ $\overline{IDED3}$	オープン
A12	D48/ $\overline{IDED13}$	オープン
D12	D59/ $\overline{IDED5}$	オープン
C12	D58/ $\overline{IDED4}$	オープン
B12	D49/ $\overline{IDED12}$	オープン
B11	D51/ $\overline{IDED10}$	オープン
A11	D50/ $\overline{IDED11}$	オープン
C11	D56/ $\overline{IDED6}$	オープン

BGA ball no.	端子名	未使用端子の処理*4
A10	D52/IDED9	オープン
B10	D53/IDED8	オープン
D11	D57/IDED7	オープン
C10	D54/IDERST	オープン
D10	D55/DIRECTION	オープン
A7	DM	オープン
A6	DP	オープン
B6	VBUS	オープン
E8	REFRIN	オープンまたはグランド接続

- 【注】 *1 パワーオンリセット後 LSI 内部でプルアップされます (初期状態)。MCU の BCR.IPUP に 1 を設定してプルアップオフにしてください。
 但し、本ビットを 1 に設定時には、 $\overline{\text{BREQ}}$ 端子のプルアップもオフされますので、 $\overline{\text{BREQ}}$ 端子を使用時には、ボードにてプルアップ処理願います。
- *2 エミュレータが使用可能なボードを設計する場合にはエミュレータの指示に従ってください。
- *3 エミュレータを使用しないボードを設定する場合にはグランド固定、または $\overline{\text{PRESET}}$ と同じ信号と接続してください。ただし、グランド固定とする場合は、 $\overline{\text{TRST}}$ は LSI 内部でプルアップされているため微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。
- *4 未使用端子の処理は、パワーオンリセット後の端子の状態を前提にしています。

G. 型名一覧

製品型名	カタログ型名	動作温度	はんだボール組成	PKG コード	SDHI
R5S77640N300BG	R5S77640N300BG	- 20 ~ + 85°C	鉛フリー	PRBG0404GA-A	非搭載
R5S77640D300BG	R5S77640D300BG	- 20 ~ + 85°C	鉛フリー	PRBG0404GA-A	非搭載
R5S77640P300BG	R5S77640P300BG	- 40 ~ + 85°C	鉛フリー	PRBG0404GA-A	非搭載
R5S77641N300BG	R5S77641N300BG	- 20 ~ + 85°C	鉛フリー	PRBG0404GA-A	搭載*
R5S77641D300BG	R5S77641D300BG	- 20 ~ + 85°C	鉛フリー	PRBG0404GA-A	搭載*
R5S77641P300BG	R5S77641P300BG	- 40 ~ + 85°C	鉛フリー	PRBG0404GA-A	搭載*

【注】 * 本製品は SD ホストインタフェース (SDHI) を搭載しています。
SD ホストインタフェース (SDHI) については、守秘義務を結んでいただいたうえで公開いたします。
詳細は、弊社営業担当にご確認ください。

H. 外形寸法図

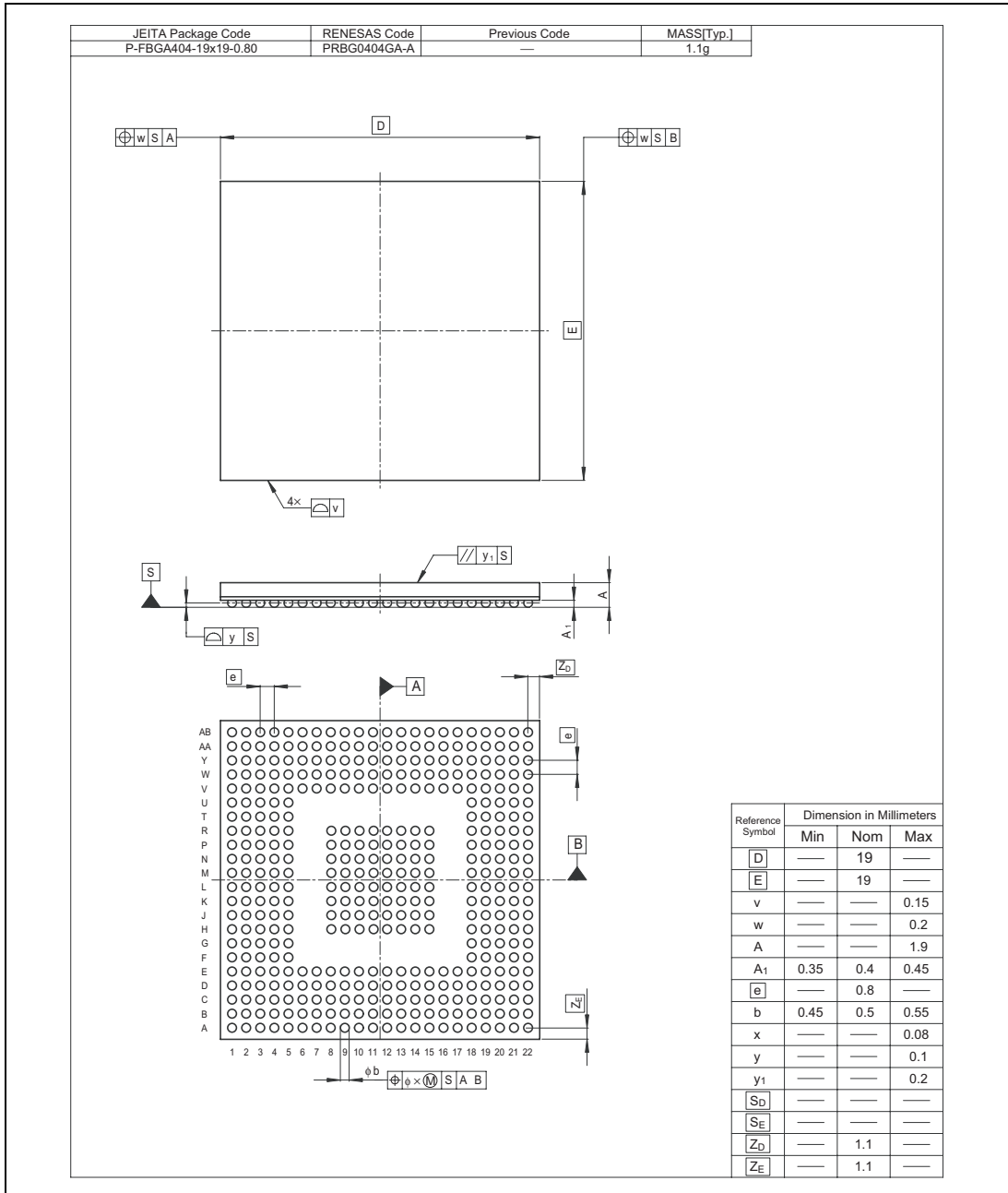
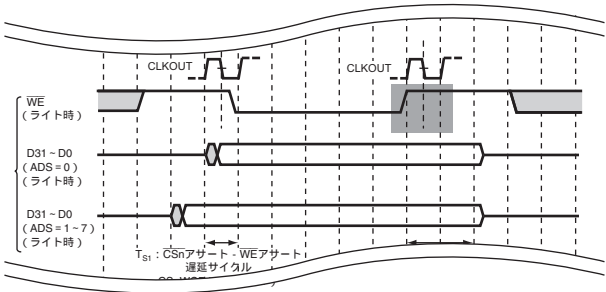


図 H.1 外形寸法図

本版で修正または追加された箇所

SH7764 グループ ユーザーズマニュアル ハードウェア編第 3 版 (RJ09B0395-0200 R01UH0360JJ0300) に
おきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項 目	ページ	修正箇所						
10.5 ボード設計上の注意事項 (3) PLL 電源配線時の注意事項	10-9	削除 各 VDD-PLL および VSS-PLL は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB 、 RD およびバイパスコンデンサ CPB 、 CD を挿入してください。						
11.4.12 バスコントロールレジスタ (BCR)	11-27	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">説 明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">24</td> <td style="text-align: center;">OPUP</td> <td>コントロール出力端子プルアップ抵抗制御 A25 ~ A0、\overline{BS}、\overline{CSn}、\overline{RD}、$\overline{WE}/DQMn$、R/W、RAS、CAS の Hi-Z 時のプルアップ抵抗の状態を指定します。このビットはパワーオンリセット時に初期化されます。 0 : コントロール出力のプルアップ抵抗は、オン。 1 : コントロール出力のプルアップ抵抗は、オフ。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	24	OPUP	コントロール出力端子プルアップ抵抗制御 A25 ~ A0、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 $\overline{WE}/DQMn$ 、 R/W 、 RAS 、 CAS の Hi-Z 時のプルアップ抵抗の状態を指定します。このビットはパワーオンリセット時に初期化されます。 0 : コントロール出力のプルアップ抵抗は、オン。 1 : コントロール出力のプルアップ抵抗は、オフ。
ビット	ビット名	説 明						
24	OPUP	コントロール出力端子プルアップ抵抗制御 A25 ~ A0、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 $\overline{WE}/DQMn$ 、 R/W 、 RAS 、 CAS の Hi-Z 時のプルアップ抵抗の状態を指定します。このビットはパワーオンリセット時に初期化されます。 0 : コントロール出力のプルアップ抵抗は、オン。 1 : コントロール出力のプルアップ抵抗は、オフ。						
図 11.9 SRAM インタフェースのウェイトステートタイミング (リードストロブネゲートタイミングの設定)	11-51	修正 						
11.9.1 内部モジュールアクセス調停	11-70	修正 4. Level2、Level3 ラウンドロビンによる判定 Level2 または Level3 内の優先度はラウンドロビンで判定します。Level2 または Level3 に属するデバイスは個別にどの優先度レベルに属するかをアービトレーション制御レジスタで設定可能です。 各レベルに複数のデバイスを設定した場合には、それぞれのレベルの中でラウンドロビン調停されます。						

項 目	ページ	修正箇所						
13.5.1 割り込み動作の流れ	13-46	修正 【注】 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 13.7 で示される優先順位判定時間を待ってから、BL ビットをクリアするか、RTE 命令を実行します。						
15.3.11 シリアルポートレジスタ (SCSPTR)	15-27	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット</th> <th style="width: 15%;">ビット名</th> <th style="width: 75%;">説 明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">SCKDT</td> <td> SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力が出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし GPIO で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル </td> </tr> </tbody> </table>	ビット	ビット名	説 明	2	SCKDT	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力が出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし GPIO で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
ビット	ビット名	説 明						
2	SCKDT	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力が出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし GPIO で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル						
図 16.3 マスタデータ送信フォーマット	16-20	用語を修正 A = アクノリッジ (SDA がローレベル) \bar{A} = 非アクノリッジ (SDA がハイレベル) S = スタート条件 P = ストップ条件						
16.4.6 ビットアドレスフォーマット	16-20	修正 【注】 * 反復スタート条件 : SCL がハイレベルで、SDA をローレベルにしたときにスタートします。						
16.6.1 マスタ送信 (4) アドレスの出力待ち	16-27	修正 1. MAT=1 かつ MDE=1 を待つ。この間に MNR=1 (スレープが NACK 出力) となった場合、エラールーチンへ移行						
16.6.3 マスタ送信 - リスタート - マスタ受信 (5) アドレスの出力待ち	16-30	削除 2. マスタコントロールレジスタに H'88 を設定 (マスタデバイスはデータ受信を一時停止するために、MDR ビットがクリアされるまで #G=SCL をローレベルにします。)						
17.3.4 PIO タイミングレジスタ (ATAPI_PIO_TIMING) • PIO タイミングレジスタ設定値表 (マスタ/スレープ)	17-11	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">Pixel バスクロック</th> <th style="width: 50%;">モード 0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">100MHz</td> <td style="text-align: center;">H'3DF7</td> </tr> </tbody> </table>	Pixel バスクロック	モード 0	100MHz	H'3DF7		
Pixel バスクロック	モード 0							
100MHz	H'3DF7							

項 目	ページ	修正箇所																										
18.3.1 DMA モードレジスタ 0 ~ 5 (SSIDMMR0 ~ 5)	18-12	<p>修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>18</td> <td>RDSAM</td> <td> RDMA 転送元アドレスモード 本ビットは、RDMA 転送時の転送元アドレスの増減を設定します。 0: 転送元アドレス増加(+4) 1: 設定禁止 </td> </tr> <tr> <td>16</td> <td>WDDAM</td> <td> WDMA 転送先アドレスモード 本ビットは、WDMA 転送時の転送先アドレスの増減を設定します。 0: 転送先アドレス増加(+4) 1: 設定禁止 </td> </tr> </tbody> </table>	ビット	ビット名	説 明	18	RDSAM	RDMA 転送元アドレスモード 本ビットは、RDMA 転送時の転送元アドレスの増減を設定します。 0: 転送元アドレス増加(+4) 1: 設定禁止	16	WDDAM	WDMA 転送先アドレスモード 本ビットは、WDMA 転送時の転送先アドレスの増減を設定します。 0: 転送先アドレス増加(+4) 1: 設定禁止																	
ビット	ビット名	説 明																										
18	RDSAM	RDMA 転送元アドレスモード 本ビットは、RDMA 転送時の転送元アドレスの増減を設定します。 0: 転送元アドレス増加(+4) 1: 設定禁止																										
16	WDDAM	WDMA 転送先アドレスモード 本ビットは、WDMA 転送時の転送先アドレスの増減を設定します。 0: 転送先アドレス増加(+4) 1: 設定禁止																										
21.5.4 USB フルスPEEDファンクション機能使用時の USB 切断処理に関する注意事項	21-164	項目を追加																										
22.4.5 電源制御シーケンス処理	22-35	<p>修正</p> <p>通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD_VCPWC、LCD_VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。</p> <p>電源制御シーケンスのフローチャートを図 22.4 に、概略タイミングチャートを図 22.5 ~ 図 22.8 に、設定可能な電源制御シーケンス期間の説明を表 22.5 に示します。</p>																										
図 22.4 電源制御シーケンスのフローチャート	22-36	図を追加																										
表 23.2 コマンド、レンダリング属性一覧 (2)	23-3	<p>修正</p> <table border="1"> <thead> <tr> <th rowspan="2">コマンド</th> <th colspan="8">Draw Mode</th> </tr> <tr> <th>b15</th> <th>b14</th> <th>b13</th> <th>b12</th> <th>b11</th> <th>b10</th> <th>b9</th> <th>b8</th> </tr> </thead> <tbody> <tr> <td>VBKEM</td> <td colspan="8">内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。</td> </tr> </tbody> </table>	コマンド	Draw Mode								b15	b14	b13	b12	b11	b10	b9	b8	VBKEM	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。							
	コマンド	Draw Mode																										
b15		b14	b13	b12	b11	b10	b9	b8																				
VBKEM	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。																											
23-4	<p>修正</p> <table border="1"> <thead> <tr> <th rowspan="2">コマンド</th> <th colspan="8">Draw Mode</th> </tr> <tr> <th>b7</th> <th>b6</th> <th>b5</th> <th>b4</th> <th>b3</th> <th>b2</th> <th>b1</th> <th>b0</th> </tr> </thead> <tbody> <tr> <td>VBKEM</td> <td colspan="8">内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。</td> </tr> </tbody> </table>	コマンド	Draw Mode								b7	b6	b5	b4	b3	b2	b1	b0	VBKEM	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。								
コマンド	Draw Mode																											
	b7	b6	b5	b4	b3	b2	b1	b0																				
VBKEM	内部検証用のため、設定しないでください。コマンドエラー (CER) はセットされませぬ。																											
23.2.6 制御コマンド (10) VBKEM	23-84	項目を削除																										

項 目	ページ	修正箇所																																										
(10) TRAP (c) 説明	23-84	<p>削除</p> <p>描画動作を停止し、ステータスレジスタ (SR) の TRA を 1 にします。また、割り込み許可レジスタ (IER) の TRE を 1 にした場合に、CPU に対し割り込みを発生します。</p> <p>ディスプレイリストの終了に必ず入れてください。</p> <p>また、FlipE5=0 を設定するとナンバーに対応したプレーンがフラッシュします (オートレンダリングモード時のみ有効)。フラッシュタイミングは、ノン・インタレース・モード表示、または、インタレース・シンク&ビデオ・モード表示では、次の VSYNC、インタレース・シンク・モード表示では、次のフレーム開始時点です。</p>																																										
24.6.14 割り込み出力制御レジスタ (SGINTCNT)	24-28	<p>削除</p> <p>VSYNC_STATUS 値は VDC 部の db_n_int_n 信号端子 (レアクティブ) より出力します。</p>																																										
24.7.3 バス占有率の計算方法	24-43	項目を追加																																										
29.3.2 ウォッチドッグタイムコントロール/ステータスレジスタ (WDTCR) ~ 29.4.3 インターバルタイムモードの使用法	29-5 ~ 29-9	用語を修正 WT/IT WT/IT																																										
表 34.11 バスタイミング	34-12	<p>修正</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>DQM 遅延時間</td> <td>t_{DQMD}</td> </tr> </tbody> </table>	項 目	記号	DQM 遅延時間	t_{DQMD}																																						
項 目	記号																																											
DQM 遅延時間	t_{DQMD}																																											
表 34.16 SCIF モジュール信号タイミング	34-33	<p>修正</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>送信データ遅延時間 (クロック同期)</td> <td>trxD</td> <td>-</td> <td>3t_{pcyc} + 15</td> <td>ns</td> <td>34.31</td> </tr> </tbody> </table>	項 目	記号	Min.	Max.	単位	参照図	送信データ遅延時間 (クロック同期)	trxD	-	3t _{pcyc} + 15	ns	34.31																														
項 目	記号	Min.	Max.	単位	参照図																																							
送信データ遅延時間 (クロック同期)	trxD	-	3t _{pcyc} + 15	ns	34.31																																							
G. 型名一覧	付録-21	<p>追加</p> <table border="1"> <thead> <tr> <th>製品型名</th> <th>カタログ型名</th> <th>動作温度</th> <th>はんだ ボール組成</th> <th>PKG コード</th> <th>SDHI</th> </tr> </thead> <tbody> <tr> <td>R5S77640N300BG</td> <td>R5S77640N300BG</td> <td>-20 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>非搭載</td> </tr> <tr> <td>R5S77640D300BG</td> <td>R5S77640D300BG</td> <td>-20 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>非搭載</td> </tr> <tr> <td>R5S77640P300BG</td> <td>R5S77640P300BG</td> <td>-40 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>非搭載</td> </tr> <tr> <td>R5S77641N300BG</td> <td>R5S77641N300BG</td> <td>-20 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>搭載*</td> </tr> <tr> <td>R5S77641D300BG</td> <td>R5S77641D300BG</td> <td>-20 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>搭載*</td> </tr> <tr> <td>R5S77641P300BG</td> <td>R5S77641P300BG</td> <td>-40 ~ +85°C</td> <td>鉛フリー</td> <td>PRBG0404GA-A</td> <td>搭載*</td> </tr> </tbody> </table>	製品型名	カタログ型名	動作温度	はんだ ボール組成	PKG コード	SDHI	R5S77640N300BG	R5S77640N300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載	R5S77640D300BG	R5S77640D300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載	R5S77640P300BG	R5S77640P300BG	-40 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載	R5S77641N300BG	R5S77641N300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*	R5S77641D300BG	R5S77641D300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*	R5S77641P300BG	R5S77641P300BG	-40 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*
製品型名	カタログ型名	動作温度	はんだ ボール組成	PKG コード	SDHI																																							
R5S77640N300BG	R5S77640N300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載																																							
R5S77640D300BG	R5S77640D300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載																																							
R5S77640P300BG	R5S77640P300BG	-40 ~ +85°C	鉛フリー	PRBG0404GA-A	非搭載																																							
R5S77641N300BG	R5S77641N300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*																																							
R5S77641D300BG	R5S77641D300BG	-20 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*																																							
R5S77641P300BG	R5S77641P300BG	-40 ~ +85°C	鉛フリー	PRBG0404GA-A	搭載*																																							

索引

【数字 / 記号】

0 による除算	6-11
10 ビットアドレスフォーマット	16-21
2D グラフィックスエンジン (G2D)	23-1
4×4 マトリクス演算	23-5
7 ビットアドレスフォーマット	16-20

【A】

ATAPI	17-1
ATTCH 割り込み	21-124

【B】

BCHG 割り込み	21-124
BEMP 割り込み	21-118
BRDY 割り込み	21-109

【D】

DTCH 割り込み	21-124
-----------------	--------

【E】

ECC エラーチェック	25-31
ECC コード	25-31
EOFERR 割り込み	21-124
EtherC 受信部	19-25
EtherC 送信部	19-24

【F】

FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	15-1
FIFO バッファメモリ	21-134
FPU エラー	6-11
FPU に関するシステムレジスタ	2-3
FPU 例外	5-23, 6-11
FPU 例外処理	6-12

【H】

H-UDI リセット	5-11
------------------	------

【I】

I ² C バスインタフェース (IIC)	16-1
--	------

I ² C バスデータフォーマット	16-19
IPG 設定による動作	19-31
IRQ 割り込み	13-39

【L】

LCDC モジュール信号タイミング	34-74
LCD コントローラ (LCD)	22-1

【M】

Magic Packet の検出	19-31
MII フレームタイミング	19-26
MII レジスタのアクセス方法	19-28

【N】

NMI (ノンマスカブル割り込み)	5-23
NMI 割り込み	13-39
NRDY 割り込み	21-113
NYET ハンドシェイク応答表	21-147

【P】

PHY-LSI との接続	19-33
--------------------	-------

【S】

SACK 割り込み	21-124
SCBRR の設定値を求める計算式	15-18
SCIF 割り込み要因	15-48
SD ホストインタフェース (SDHI)	32-1
SIGN 割り込み	21-124
SOF 補間機能	21-159

【T】

TAP 制御	31-26
TCNT のカウントタイミング	14-11
TLB 拡張モードの機能	7-25
T ビット	3-2

【U】

USB2.0 ホスト / ファンクションモジュール (USB)	21-1
USB データバス抵抗制御	21-105

【V】		システム制御命令.....	3-13
VBUS 割り込み.....	21-123	実効アドレス.....	3-3
【Z】		シフト命令.....	3-12
Z クリップング.....	23-8	受信ディスクリプタ 0 (RD0).....	20-32
【あ】		受信ディスクリプタ 1 (RD1).....	20-33
アイソクロナス転送.....	21-149	受信ディスクリプタ 2 (RD2).....	20-33
アドレス変換.....	7-8	初期ページ書き込み例外.....	5-13
アドレス変換方式.....	7-28	処理モード.....	2-2
アドレッシングモード.....	3-3	スリープモード.....	28-9
アンダフロー.....	6-11	スロット FPU 抑止例外.....	5-21
アンチエイリアス.....	23-12	スロット不当命令例外.....	5-20
イーサネットコントローラ (EtherC).....	19-1	セクタアクセスモード.....	25-29
イーサネットコントローラ用ダイレクト		送信ディスクリプタ 0 (TD0).....	20-29
メモリアクセスコントローラ (E-DMAC).....	20-1	送信ディスクリプタ 1 (TD1).....	20-30
一般 FPU 抑止 / スロット FPU 抑止例外.....	6-11	送信ディスクリプタ 2 (TD2).....	20-30
一般 FPU 抑止例外.....	5-21	【た】	
一般不当命令例外.....	5-19	タイマユニット (TMU).....	14-1
一般割り込み要求.....	5-24	多重仮想記憶モード.....	7-8
インタラプト転送.....	21-148	多重割り込み.....	13-48
液晶モジュール電源状態.....	22-40	単一仮想記憶モード.....	7-8
応答 PID.....	21-131	単精度浮動小数点レジスタ.....	2-6
オートリロードカウント動作.....	14-11	単精度浮動小数点拡張レジスタ.....	2-7
オーバフロー.....	6-11	単精度浮動小数点拡張レジスタ行列.....	2-7
オペランドアクセスサイクルブ레이크.....	30-21	単精度浮動小数点ベクトルレジスタ.....	2-6
【か】		遅延スロット.....	3-1
仮想アドレス空間.....	7-4	遅延分岐.....	3-1
キャッシュ.....	8-1	調歩同期式モード時の動作.....	15-32
共用 TLB.....	7-20	調歩同期式モードの受信データサンプリング	
共用 TLB (UTLB) の構成.....	7-25	タイミングと受信マージン.....	15-50
クロック発振器 (CPG).....	10-1	低消費電力状態.....	2-16
クロック同期式モード時の動作.....	15-40	低消費電力モード.....	28-1
固定小数点転送命令.....	3-8	データ PID シーケンスビット.....	21-132
コマンドアクセスモード.....	25-26	データ TLB ミス例外.....	5-12
コントロール転送ステージ遷移割り込み.....	21-121	データ TLB 多重ヒット例外.....	5-11
コントロールレジスタ.....	2-2	データ TLB 保護違反例外.....	5-14
【さ】		データアドレスエラー.....	5-17
座標変換フローと飽和处理.....	23-10	デバイスステート遷移割り込み.....	21-119
算術演算命令.....	3-9	電源制御シーケンス処理.....	22-35
サンプリングレートコンバータ (SRC).....	26-1	透視 W 除算.....	23-9
ジオメトリック演算命令.....	6-13	特権モード.....	2-2
実行ステート.....	4-15	トランザクション発行条件.....	21-160
システムレジスタ.....	2-3	【な】	
		内蔵周辺モジュール割り込み.....	13-40
		内蔵メモリ.....	9-1

【は】

倍精度浮動小数点レジスタ	2-6
パイプコントロール	21-126
パイプスケジュール	21-160
パイプライン動作	4-1
バウンダリスキャン TAP コントローラ	31-4
発行レート	4-15
バルク転送	21-146
パワーオンリセット	5-11, 29-8
汎用レジスタ	2-2
非正規化数	6-5
ビッグエンディアン	2-15
表示 OFF モード (LCDC 停止) の注意事項	22-41
表示解像度の設定	22-35
ファンクションコントローラ機能選択時の	
コントロール転送	21-144
符号拡張	2-14
不正確例外	6-11
物理アドレス空間	7-7
浮動小数点レジスタ	2-3, 2-6
浮動小数点制御命令	3-17
浮動小数点単精度命令	3-16
浮動小数点倍精度命令	3-17
浮動小数点フォーマット	6-2
浮動小数点ユニット (FPU)	6-1
浮動小数点レジスタ	6-6
太線描画	23-11
ブレークの送り出し	15-49
ブレークの検出と処理	15-49
フレーム更新割り込み	21-123
フロー制御	19-32
プログラミングモデル	2-1
分岐命令	3-13
ペア単精度データ転送命令	6-14
ベクタアドレス	5-7
ホストコントローラ機能選択時の	
コントロール転送	21-143

【ま】

マルチバッファフレームの送受信処理	20-37
丸め	6-10
無効演算	6-11
無条件トラップ	5-18
命令 TLB	7-22
命令 TLB (ITLB) の構成	7-28
命令 TLB 多重ヒット例外	5-11
命令 TLB 保護違反例外	5-15

命令 TLB ミス例外	5-12
命令アドレスエラー	5-18
命令キャッシュウェイ予測の動作説明	8-15
命令実行後ユーザブレイク	5-22
命令実行状態	2-16
命令実行前ユーザブレイク	5-22
命令セット	3-1
命令フェッチサイクルブレイク	30-20
メモリコントローラユニット (MCU)	11-1
メモリマネジメントユニット	7-1
メモリ割り付け TLB の構成変更	7-44
メモリ割り付けレジスタ	2-14
モジュールスタンバイ	28-10

【や】

ユーザデバッグインタフェース (H-UDI)	31-1
ユーザブレイクコントローラ	30-1
ユーザブレイク動作の流れ	30-18
ユーザモード	2-2

【ら】

リセット、ウォッチドッグタイマ (WDT)	29-1
リセット状態	2-16
リトルエンディアン	2-15
リフレッシュスタンバイモード	28-9
例外 / 割り込みコード	5-7
例外処理	5-1, 5-6
例外フロー	5-8
レジスタ	

ALPHR	23-103
AMR	11-19
APR	19-19
ATAPI_BYTE_SWAP	17-20
ATAPI_CONTROL	17-5
ATAPI_CONTROL2	17-19
ATAPI_DMA_START_ADR	17-17
ATAPI_DMA_TRANS_CNT	17-18
ATAPI_DTB_ADR	17-14
ATAPI_INT_ENABLE	17-9
ATAPI_MULTI_TIMING	17-11
ATAPI_PIO_TIMING	17-10
ATAPI_SIG_ST	17-20
ATAPI_STATUS	17-7
ATAPI_ULTRA_TIMING	17-12
BCFRR	19-23
BCR	11-26
BEMPENB	21-39

BEMPSTS	21-54	ECSIPR	19-9
BRDYENB	21-35	ECSR	19-7
BRDYSTS	21-50	EDMR	20-4
BUSWAIT	21-12	EDRRR	20-6
CAMR0	30-13	EDTRR	20-5
CAMR1	30-13	EESIPR	20-12
CAR0	30-12	EESR	20-8
CBCR	30-17	ENDCVR	23-99
CBR0	30-4	EXPEVT	5-2
CBR1	30-4	EXPMASK	5-4
CCMFR	30-16	FCFTR	20-24
CCR	8-5	FDR	20-18
CDCR	19-14	FLADR	25-11
CDMR1	30-15	FLADR2	25-13
CDR1	30-14	FLBSYCNT	25-20
CEFCR	19-15	FLBSYTMR	25-19
CETR1	30-15	FLCMCDR	25-11
CFIFO	21-20	FLCMDCR	25-9
CFIFOCTR	21-28	FLCMNCR	25-7
CFIFOSEL	21-22	FLDATAR	25-15
CNDCR	19-15	FLDTCNTR	25-13
COFSR	23-103	FLDTFIFO	25-21
CPUOPM	付録-1	FLECFIFO	25-22
CRR0	30-10	FLINTDMACR	25-16
CRR1	30-10	FLTRCR	25-23
CS0BCR	11-28	FPSCR	2-11, 6-8
CS0WCR	11-31	FPUL	2-13, 6-10
CSTR	23-107	FRECR	19-16
CURR	23-107	FRMNUM	21-56
D0FBCFG	21-19	FRQCR	10-6
D0FIFO	21-20	GBR	2-10
D0FIFOCTR	21-28	GTRCR	23-111
D0FIFOSEL	21-25	GTROFSXR	23-115
D1FBCFG	21-19	GTROFSYR	23-115
D1FIFO	21-20	ICCCR	16-15
D1FIFOCTR	21-28	ICIDR	23-96
D1FIFOSEL	21-25	ICMAR	16-14
DBR	2-11	ICMCR	16-9
DCPCFG	21-63	ICMIER	16-13
DCPCTR	21-66	ICMSR	16-11
DCPMAXP	21-64	ICR	13-10
DEVADDn (n = 0 ~ A)	21-102	ICRXD	16-16
DLSAR	23-97	ICSAR	16-8
DSTRR	23-99	ICSCR	16-4
DTCR	23-102	ICSIER	16-7
DVSTCTR	21-14	ICSSR	16-5
ECMR	19-5	ICTXD	16-16

IER.....	23-95	MAFCR.....	19-18
INT2A.....	13-20	MAHR.....	19-11
INT2B.....	13-33	MALR.....	19-11
INT2GPIC.....	13-37	MIM.....	11-9
INT2MSKCR.....	13-30	MMUCR.....	7-13
INT2MSKR.....	13-26	MPR.....	19-20
INT2PRI.....	13-19	MSTPCR.....	28-5
INTENB0.....	21-31	MTRAR.....	23-112
INTENB1.....	21-33	MTRBR.....	23-113
INTEVT.....	5-3	MTRCR.....	23-113
INTMSK.....	13-14	MTRDR.....	23-113
INTMSKCLR.....	13-15	MTRER.....	23-113
INTPRI.....	13-12	MTRFR.....	23-114
INTREQ.....	13-13	MTRGR.....	23-114
INTSTS0.....	21-42	MTRHR.....	23-114
INTSTS1.....	21-46	MTRIR.....	23-115
IOSR.....	20-27	NMIFCR.....	13-16
IPGR.....	19-18	NRDYENB.....	21-37
IRMCR.....	7-18	NRDYSTS.....	21-52
LCCR.....	19-14	PASCR.....	7-17
LCOR.....	23-107	PC.....	2-11
LDACLNR.....	22-20	PIPEBUF.....	21-79
LDCNTR.....	22-26	PIPECFG.....	21-74
LDDFR.....	22-10	PIPEMAXP.....	21-81
LDHCNR.....	22-16	PIPEnCTR (n = 1 ~ 9).....	21-85
LDHSYNR.....	22-17	PIPEnTRE (n = 1 ~ 5).....	21-98
LDICKR.....	22-6	PIPEnTRN (n = 1 ~ 5).....	21-100
LDINTR.....	22-21	PIPEPERI.....	21-83
LDLAOR.....	22-13	PIPESEL.....	21-73
LDLIRNR.....	22-29	PIR.....	19-10
LDMTR.....	22-7	PLLCR.....	10-7
LDPALCR.....	22-14	POFSR.....	23-111
LDPMMR.....	22-23	PR.....	2-11
LDPR.....	22-15	PRR.....	付録-4
LDPSPR.....	22-25	PSR.....	19-13
LDSARL.....	22-12	PTEA.....	7-16
LDSARU.....	22-11	PTEH.....	7-11
LDUINTLNR.....	22-28	PTEL.....	7-12
LDUINTR.....	22-27	PTSEL_SPCL.....	27-55
LDVDLNR.....	22-18	PVR.....	付録-4
LDVSYNR.....	22-19	QACR0.....	8-7
LDVTLNR.....	22-18	QACR1.....	8-7
LTADn.....	11-22	RAMCR.....	8-8, 9-3
LTAMn.....	11-23	RBWAR.....	20-22
LTCn.....	11-21	RCL2R.....	23-109
MACH.....	2-11	RCLR.....	23-104
MACL.....	2-11	RDFAR.....	20-22

RDLAR.....	20-7	SRCSTAT.....	26-11
RDMLR.....	19-21	SSAR.....	23-97
RFCF.....	19-22	SSR.....	2-10
RFCR.....	19-17	SSTRR.....	23-99
RFLR.....	19-12	STBCR.....	28-4
RFOCR.....	20-21	STCR.....	23-102
RMCR.....	20-20	STR.....	11-13
RMFCR.....	20-16	SYSCFG.....	21-9
RPADIR.....	20-25	SYSSTS.....	21-13
RQM.....	11-24	TBRAR.....	20-23
RSAR.....	23-98	TCNTn.....	14-7
RTN0R.....	23-97	TCORn.....	14-7
RTN1R.....	23-97	TCPR2.....	14-9
RUCLMAR.....	23-109	TCRn.....	14-7
RUCLMIR.....	23-108	TDFAR.....	20-23
SCBRR.....	15-18	TDLAR.....	20-7
SCEMR.....	15-29	TEA.....	7-13
SCFCR.....	15-22	TESTMODE.....	21-17
SCFDR.....	15-25	TFTR.....	20-16
SCFRDR.....	15-6	TFUCR.....	20-21
SCFSR.....	15-13	TLFRCR.....	19-17
SCFTDR.....	15-7	TOCR.....	14-5
SCLMAR.....	23-108	TPAUSECR.....	19-22
SCLR.....	23-92	TPAUSER.....	19-20
SCLSR.....	15-28	TRA.....	5-2
SCR.....	11-12	TRIMD.....	20-26
SCRSR.....	15-6	TROCR.....	19-13
SCSCR.....	15-10	TRSCER.....	20-14
SCSMR.....	15-8	TSFRCR.....	19-16
SCSPTR.....	15-26	TSTRn.....	14-5
SCTSR.....	15-7	TTB.....	7-13
SDBPR.....	31-8	UCLMAR.....	23-108
SDBSR.....	31-9	UCLMIR.....	23-108
SDINT.....	31-8	UFRMNUM.....	21-57
SDIR.....	31-7	USBADDR.....	21-58
SDMR.....	11-18	USBINDX.....	21-61
SDRA.....	11-16	USBLENG.....	21-62
SGR.....	2-10	USBREQ.....	21-59
SOFCFG.....	21-41	USBVAL.....	21-60
SPC.....	2-10	USERIMASK.....	13-17
SR.....	2-9, 23-93	VBR.....	2-10
SRCCTRL.....	26-8	VCR.....	11-8
SRCID.....	26-4	WDTBCNT.....	29-7
SRCIDCTRL.....	26-6	WDTBST.....	29-6
SRCOD.....	26-5	WDTCNT.....	29-7
SRCODCTRL.....	26-7	WDTCSR.....	29-5
SRCR.....	23-95	WDTST.....	29-4

WSAR	23-98	レジューム割り込み	21-123
ZCLPMAXR.....	23-116	ロード/ストアアーキテクチャ.....	3-1
ZCLPMINR.....	23-115	論理演算命令	3-11
ZSATVMINR	23-116		

SH7764グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2007年11月14日 Rev.1.00
2012年3月13日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7764 グループ