

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7785

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7780シリーズ

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。本 LSI は、CPU コアとして、SH-4A 拡張機能をサポートした SH-4A を内蔵しています。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザーを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき。
 目次にしたがって読んでください。
 本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- 各命令の詳細を理解したいとき。
 別冊の「SH-4A拡張機能ソフトウェアマニュアル」を参照してください。

凡例 **ビット表記** : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。
記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

略語の説明

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
BGA	Ball Grid Array ボールグリットアレイ
CMT	Compare Match Timer (Timer/Counter) コンペアマッチタイマ (タイマカウンタ)
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DDR	Double Data Rate ダブルデータレート
DDRIF	DDR-SDRAM Interface DDR-SDRAM インタフェース
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ (DMA コントローラ)
FIFO	First-In First-Out 先入れ先出し
FLCTL	NAND Flash Memory Controller NAND フラッシュメモリコントローラ
FPU	Floating Point Unit 浮動小数点演算装置
HAC	Audio Codec オーディオコーデック
HSPI	Serial Protocol Interface シリアルプロトコルインタフェース
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
JTAG	Joint Test Action Group バウンダリスキャン規格化グループ

LBSC	Local Bus State Controller ローカルバスステートコントローラ
LRAM	L Memory Lメモリ（内蔵RAM）
LRU	Least Recently Used （仮想記憶ページ置き換えアルゴリズムの名前）
LSB	Least Significant Bit 最下位ビット
MMCIF	Multimedia Card Interface マルチメディアカードインタフェース
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PCI	Peripheral Components Interconnect ペリフェラルコンポーネントインタコネクタ
PCIC	PCI Controller PCI（ローカルバス）コントローラ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Realtime Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO内蔵シリアルコミュニケーションインタフェース
SIOF	Serial Interface with FIFO シリアルI/O FIFO付き
SSI	Serial Sound Interface シリアルサウンドインタフェース
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット

UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watchdog Timer ウォッチドッグタイマ

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 本LSIの特長	1-2
1.2 ブロック図	1-10
1.3 ピン配置表	1-11
1.4 ピン配置図	1-24
1.5 物理メモリアドレスマップ	1-26
2. プログラミングモデル	2-1
2.1 データフォーマット	2-1
2.2 レジスタの構成	2-2
2.2.1 特権モードとバンク	2-2
2.2.2 汎用レジスタ	2-5
2.2.3 浮動小数点レジスタ	2-6
2.2.4 コントロールレジスタ	2-9
2.2.5 システムレジスタ	2-11
2.3 メモリ割り付けレジスタ	2-14
2.4 レジスタのデータ形式	2-14
2.5 メモリ上でのデータ形式	2-15
2.6 処理状態	2-16
2.7 使用上の注意事項	2-17
2.7.1 自己書き換えコードに対する注意事項	2-17
3. 命令セット	3-1
3.1 実行環境	3-1
3.2 アドレッシングモード	3-3
3.3 命令セット	3-6
4. パイプライン動作	4-1
4.1 パイプライン	4-1
4.2 並列実行性	4-12
4.3 発行レートと実行ステート	4-15
5. 例外処理	5-1
5.1 概要	5-1
5.2 レジスタの説明	5-1

5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-8
5.5.1	例外フロー	5-8
5.5.2	例外要因の受け付け	5-9
5.5.3	例外要求と BL ビット	5-10
5.5.4	例外処理からの復帰	5-10
5.6	各例外の説明	5-11
5.6.1	リセット	5-11
5.6.2	一般例外	5-12
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10
6.4	丸め	6-10
6.5	浮動小数点例外	6-11
6.6	グラフィックサポート機能	6-13
6.6.1	ジオメトリック演算命令	6-13
6.6.2	ペア単精度データ転送	6-14
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4
7.2	レジスタの説明	7-10
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-11

7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-12
7.2.3	変換テーブルベースレジスタ (TTB)	7-13
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-13
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCRCR)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR)	7-18
7.3	TLBの機能 (TLB互換モード ; MMUCR.ME = 0)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード ; MMUCR.ME = 1)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-28
7.4.3	アドレス変換方式	7-29
7.5	MMUの機能	7-31
7.5.1	MMU のハードウェア管理	7-31
7.5.2	MMU のソフトウェア管理	7-31
7.5.3	MMU の命令 (LDTLB)	7-32
7.5.4	ハードウェア ITLB ミスハンドリング	7-34
7.5.5	シノニム問題の回避	7-34
7.6	MMU例外	7-35
7.6.1	命令 TLB 多重ヒット例外	7-35
7.6.2	命令 TLB ミス例外	7-35
7.6.3	命令 TLB 保護違反例外	7-36
7.6.4	データ TLB 多重ヒット例外	7-37
7.6.5	データ TLB ミス例外	7-38
7.6.6	データ TLB 保護違反例外	7-39
7.6.7	初期ページ書き込み例外	7-40
7.7	メモリ割り付けTLBの構成	7-41
7.7.1	ITLB アドレスアレイ	7-42
7.7.2	ITLB データアレイ (TLB 互換モード)	7-43
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-44
7.7.4	UTLB アドレスアレイ	7-46
7.7.5	UTLB データアレイ (TLB 互換モード)	7-47
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-48
7.8	32ビットアドレス拡張モード	7-50
7.8.1	32 ビットアドレス拡張モード概要	7-50
7.8.2	32 ビットアドレス拡張モードへの切り替え	7-51
7.8.3	特権空間マッピングバッファ (PMB) 構成	7-51
7.8.4	PMB の機能	7-53

7.8.5	メモリ割り付け PMB の構成	7-54
7.8.6	32 ビットアドレス拡張モード使用時の注意事項	7-55
7.9	32ビットブート機能	7-57
7.9.1	PMB の初期エントリ	7-57
7.9.2	32 ビットブート時の注意点	7-57
7.10	使用上の注意事項	7-59
7.10.1	LDTLB 命令使用上の注意事項	7-59
8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-7
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-8
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-9
8.3	オペランドキャッシュの動作説明	8-11
8.3.1	読み出し動作	8-11
8.3.2	プリフェッチ動作	8-12
8.3.3	書き込み動作	8-13
8.3.4	ライトバックバッファ	8-14
8.3.5	ライトスルーバッファ	8-14
8.3.6	OC 2 ウェイモード	8-14
8.4	命令キャッシュの動作説明	8-15
8.4.1	読み出し動作	8-15
8.4.2	プリフェッチ動作	8-15
8.4.3	IC 2 ウェイモード	8-16
8.4.4	命令キャッシュウェイ予測	8-16
8.5	キャッシュ操作命令	8-17
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-17
8.5.2	プリフェッチ動作	8-19
8.6	メモリ割り付けキャッシュの構成	8-20
8.6.1	IC アドレスアレイ	8-20
8.6.2	IC データアレイ	8-21
8.6.3	OC アドレスアレイ	8-22
8.6.4	OC データアレイ	8-23
8.6.5	メモリ割り付け連想ライトの動作	8-24
8.7	ストアキュー	8-25
8.7.1	SQ の構成	8-25
8.7.2	SQ への書き込み	8-25
8.7.3	外部メモリへの転送	8-25
8.7.4	SQ アクセスの例外判定	8-27

8.7.5	SQからの読み出し	8-27
8.8	32ビットアドレス拡張モード使用時の注意事項	8-27
9.	内蔵メモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-4
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-5
9.2.2	OLメモリ転送元アドレスレジスタ0 (LSA0)	9-6
9.2.3	OLメモリ転送元アドレスレジスタ1 (LSA1)	9-7
9.2.4	OLメモリ転送先アドレスレジスタ0 (LDA0)	9-8
9.2.5	OLメモリ転送先アドレスレジスタ1 (LDA1)	9-9
9.3	動作説明	9-10
9.3.1	CPUからの命令フェッチアクセス	9-10
9.3.2	CPUからのオペランドアクセスおよびFPUからのアクセス	9-10
9.3.3	SuperHywayバスマスタモジュールからのアクセス	9-11
9.3.4	OLメモリブロック転送	9-11
9.4	内蔵メモリの保護機能	9-13
9.5	使用上の注意事項	9-14
9.5.1	ページ競合	9-14
9.5.2	ページの切り替わり	9-14
9.5.3	内蔵メモリのコヒーレンシ	9-14
9.5.4	スリープモード	9-15
9.6	32ビットアドレス拡張モード使用時の注意事項	9-16
10.	割り込みコントローラ (INTC)	10-1
10.1	特長	10-1
10.1.1	割り込み方式	10-4
10.1.2	割り込み要因	10-4
10.2	入出力端子	10-9
10.3	レジスタの説明	10-10
10.3.1	外部割り込み要求レジスタ	10-13
10.3.2	ユーザモード割り込み禁止機能	10-27
10.3.3	内蔵周辺モジュール割り込みレジスタ	10-29
10.3.4	内蔵周辺モジュール別割り込み要因レジスタ (INT2B0 ~ INT2B7)	10-39
10.3.5	GPIO割り込み設定レジスタ (INT2GPIC)	10-44
10.4	割り込み要因	10-46
10.4.1	NMI割り込み	10-46
10.4.2	IRQ割り込み	10-46
10.4.3	IRL割り込み	10-47
10.4.4	内蔵周辺モジュール割り込み	10-49
10.4.5	内蔵周辺モジュール割り込み優先順位	10-50

10.4.6	割り込み例外処理と優先順位	10-51
10.5	動作説明	10-58
10.5.1	割り込み動作の流れ	10-58
10.5.2	多重割り込み	10-60
10.5.3	MAI ビットによる割り込みマスク	10-60
10.6	割り込み応答時間	10-61
10.7	使用上の注意事項	10-63
10.7.1	要因保持モード ICR0.LVLMODE が 0 の場合の、IRL 割り込みおよびレベル検出 IRQ 割り込みの処理ルーチン例	10-63
10.7.2	IRQ/IRL[7:0]端子機能設定時の注意事項	10-64
10.7.3	IRL 割り込み要求および IRQ 割り込み要求のクリア方法	10-64
11.	ローカルバスステートコントローラ (LBSC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-4
11.3	エリアの概要	11-7
11.3.1	空間分割	11-7
11.3.2	メモリバス幅	11-10
11.3.3	PCMCIA サポート	11-11
11.4	レジスタの説明	11-14
11.4.1	メモリアドレスマップ選択レジスタ (MMSELR)	11-16
11.4.2	バスコントロールレジスタ (BCR)	11-18
11.4.3	CSn バスコントロールレジスタ (CSnBCR)	11-22
11.4.4	CSn ウェイトコントロールレジスタ (CSnWCR)	11-27
11.4.5	CSnPCMCIA コントロールレジスタ (CSnPCR)	11-32
11.5	動作説明	11-37
11.5.1	エンディアン / アクセスサイズとデータアライメント	11-37
11.5.2	エリアの説明	11-48
11.5.3	SRAM インタフェース	11-52
11.5.4	パースト ROM インタフェース	11-61
11.5.5	PCMCIA インタフェース	11-64
11.5.6	MPX インタフェース	11-76
11.5.7	バイト制御 SRAM インタフェース	11-88
11.5.8	アクセスサイクル間ウェイト	11-93
11.5.9	バスアービトレーション	11-94
11.5.10	マスタモード	11-97
11.5.11	スレーブモード	11-97
11.5.12	マスタとスレーブの協調	11-98
11.5.13	低消費電力モードとバスアービトレーション	11-98
11.5.14	データバス幅に関する MODE 端子設定と汎用入出力ポート設定	11-98
11.5.15	LBSC 以外の機能とマルチプレクスされている端子	11-98

11.5.16	$\overline{\text{DACK}}_n$ 出力の分割に関するレジスタ設定	11-99
12.	DDR2-SDRAM インタフェース (DBSC2)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	データアライメント	12-7
12.3.1	DDR2-SDRAM でのデータアライメント	12-7
12.4	レジスタの説明	12-16
12.4.1	DBSC2 ステータスレジスタ (DBSTATE)	12-18
12.4.2	SDRAM 動作許可レジスタ (DBEN)	12-19
12.4.3	SDRAM コマンド制御レジスタ (DBCMDCNT)	12-20
12.4.4	SDRAM 構成設定レジスタ (DBCONF)	12-21
12.4.5	SDRAM タイミングレジスタ 0 (DBTR0)	12-23
12.4.6	SDRAM タイミングレジスタ 1 (DBTR1)	12-26
12.4.7	SDRAM タイミングレジスタ 2 (DBTR2)	12-28
12.4.8	SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0)	12-31
12.4.9	SDRAM リフレッシュ制御レジスタ 1 (DBRFCNT1)	12-32
12.4.10	SDRAM リフレッシュ制御レジスタ 2 (DBRFCNT2)	12-33
12.4.11	SDRAM リフレッシュステータスレジスタ (DBRFSTS)	12-34
12.4.12	DDRPAD 周波数設定レジスタ (DBFREQ)	12-35
12.4.13	DDRPAD DIC,ODT,OCD 設定レジスタ (DBDICODTOCD)	12-36
12.4.14	SDRAM モード設定レジスタ (DBMRCNT)	12-38
12.5	動作説明	12-39
12.5.1	サポートする SDRAM コマンド	12-39
12.5.2	SDRAM コマンド発行詳細	12-40
12.5.3	初期化シーケンス	12-43
12.5.4	セルフリフレッシュ動作について	12-44
12.5.5	オートリフレッシュ動作について	12-46
12.5.6	アドレスマルチプレクスについて	12-48
12.5.7	SDRAM アクセスとタイミング制約について	12-56
12.5.8	8bank 品 DDR2-SDRAM 使用上のご注意	12-70
12.5.9	SDRAM に対する ODT 制御信号出力に関するご注意	12-70
12.5.10	DDR2-SDRAM 電源バックアップ機能	12-72
12.5.11	イニシャライズおよびセルフリフレッシュ解除時などでの時間確保方法	12-74
12.5.12	サポートクロック比について	12-74
12.5.13	MCKE 信号の動作について	12-75
13.	PCI コントローラ (PCIC)	13-1
13.1	特長	13-1
13.2	入出力端子	13-4
13.3	レジスタの説明	13-6

13.3.1	コントロールレジスタ.....	13-12
13.3.2	コンフィグレーションレジスタ.....	13-13
13.3.3	PCI ローカルレジスタ.....	13-34
13.4	動作説明.....	13-72
13.4.1	サポートされる PCI コマンド.....	13-72
13.4.2	PCIC の初期化.....	13-73
13.4.3	マスタアクセス.....	13-74
13.4.4	ターゲットアクセス.....	13-80
13.4.5	ホストモード.....	13-86
13.4.6	ノーマルモード.....	13-89
13.4.7	パワーマネジメント.....	13-89
13.4.8	PCI バス基本インタフェース.....	13-91
14.	ダイレクトメモリアクセスコントローラ (DMAC).....	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-4
14.3.1	DMA ソースアドレスレジスタ 0~11 (SAR0~11).....	14-13
14.3.2	DMA ソースアドレスレジスタ B0~3、6~9 (SARB0~3、SARB6~9).....	14-13
14.3.3	DMA デスティネーションアドレスレジスタ 0~11 (DAR0~11).....	14-14
14.3.4	DMA デスティネーションアドレスレジスタ B0~3、6~9 (DARB0~3、DARB6~9).....	14-14
14.3.5	DMA トランスファカウントレジスタ 0~11 (TCR0~11).....	14-15
14.3.6	DMA トランスファカウントレジスタ B0~3、6~9 (TCRB0~3、TCRB6~9).....	14-15
14.3.7	DMA チャンネルコントロールレジスタ 0~11 (CHCR0~11).....	14-16
14.3.8	DMA オペレーションレジスタ 0、1 (DMAOR0、DMAOR1).....	14-23
14.3.9	DMA 拡張リソースセクタ 0~5 (DMARS0~5).....	14-26
14.4	動作説明.....	14-32
14.4.1	DMA 転送要求.....	14-32
14.4.2	チャンネルの優先順位.....	14-36
14.4.3	DMA 転送の種類.....	14-39
14.4.4	転送フロー.....	14-46
14.4.5	リピートモード転送.....	14-48
14.4.6	リロードモード転送.....	14-49
14.4.7	DREQ 端子のサンプリングタイミング.....	14-50
14.5	DMACの割り込み要因.....	14-58
14.6	使用上の注意.....	14-59
14.6.1	モジュールストップ、周波数変更について.....	14-59
14.6.2	アドレスエラーについて.....	14-59
14.6.3	NMI 割り込みについて.....	14-59
14.6.4	バーストモード転送時の注意.....	14-59
14.6.5	DACK の分割出力.....	14-59

14.6.6	外部リクエストでの注意.....	14-60
15.	クロック発振器 (CPG)	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-4
15.3	クロック動作モード.....	15-5
15.4	レジスタの説明.....	15-7
15.4.1	周波数制御レジスタ 0 (FRQCR0)	15-8
15.4.2	周波数制御レジスタ 1 (FRQCR1)	15-9
15.4.3	周波数表示レジスタ 1 (FRQMR1)	15-11
15.4.4	PLL コントロールレジスタ (PLL CR)	15-13
15.5	周波数の算出方法.....	15-14
15.6	周波数の変更方法.....	15-15
15.6.1	バスクロック以外のクロックの周波数変更.....	15-15
15.6.2	バスクロックの周波数変更.....	15-15
15.7	ボード設計上の注意事項.....	15-21
16.	リセット、ウォッチドッグタイマ (WDT)	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-3
16.3	レジスタの説明.....	16-3
16.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST)	16-5
16.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)	16-6
16.3.3	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)	16-8
16.3.4	ウォッチドッグタイマカウンタ (WDTCNT)	16-9
16.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT)	16-9
16.4	動作説明.....	16-10
16.4.1	リセット要求.....	16-10
16.4.2	ウォッチドッグタイマモードの使用法.....	16-11
16.4.3	インターバルタイマモードの使用法.....	16-12
16.4.4	WDT オーバフロー発生までの時間.....	16-12
16.4.5	WDT カウンタのクリア方法.....	16-13
16.5	リセット中の端子タイミング.....	16-14
16.5.1	$\overline{\text{PRESET}}$ 端子によるパワーオンリセット.....	16-14
16.5.2	WDT オーバフローによるパワーオンリセット.....	16-17
16.5.3	WDT オーバフローによるマニュアルリセット.....	16-19
17.	低消費電力モード.....	17-1
17.1	特長.....	17-1
17.1.1	低消費電力モードの種類.....	17-1
17.2	入出力端子.....	17-3

17.3	レジスタの説明	17-4
17.3.1	スリープコントロールレジスタ (SLPCR)	17-5
17.3.2	スタンバイコントロールレジスタ 0 (MSTPCR0)	17-6
17.3.3	スタンバイコントロールレジスタ 1 (MSTPCR1)	17-8
17.3.4	スタンバイ表示レジスタ (MSTPMR)	17-9
17.4	スリープモード	17-11
17.4.1	スリープモードへの遷移	17-11
17.4.2	スリープモードの解除	17-11
17.5	ディープスリープモード	17-12
17.5.1	ディープスリープモードへの遷移	17-12
17.5.2	ディープスリープモードの解除	17-12
17.6	モジュールスタンバイ機能	17-14
17.6.1	モジュールスタンバイ機能への遷移	17-14
17.6.2	モジュールスタンバイ機能の解除	17-14
17.7	STATUS端子の変化タイミング	17-15
17.7.1	リセットの場合	17-15
17.7.2	スリープ解除の場合	17-15
17.8	DDR2-SDRAM電源バックアップ	17-15
18.	タイマユニット (TMU)	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	タイマスタートレジスタ (TSTRn) (n=0, 1)	18-5
18.3.2	タイマコンスタントレジスタ (TCORn) (n=0~5)	18-7
18.3.3	タイマカウンタ (TCNTn) (n=0~5)	18-7
18.3.4	タイマコントロールレジスタ (TCRn) (n=0~5)	18-8
18.3.5	インプットキャプチャレジスタ 2 (TCPR2)	18-11
18.4	動作説明	18-12
18.4.1	カウンタの動作	18-12
18.4.2	インプットキャプチャ機能	18-14
18.5	割り込み	18-15
18.6	使用上の注意事項	18-16
18.6.1	レジスタの書き込みについて	18-16
18.6.2	TCNT レジスタの読み出しについて	18-16
18.6.3	外部クロック周波数について	18-16
19.	ディスプレイユニット (DU)	19-1
19.1	特長	19-1
19.2	入出力端子	19-4
19.3	レジスタの説明	19-5

19.3.1	表示システム制御レジスタ (DSYSR)	19-18
19.3.2	表示モードレジスタ (DSMR)	19-21
19.3.3	表示ステータスレジスタ (DSSR)	19-24
19.3.4	表示ステータスレジスタクリアレジスタ (DSRCR)	19-28
19.3.5	表示割り込み許可レジスタ (DIER)	19-30
19.3.6	カラーパレット制御レジスタ (CPCR)	19-32
19.3.7	表示プレーン優先順位レジスタ (DPPR)	19-34
19.3.8	表示拡張機能許可レジスタ (DEFR)	19-37
19.3.9	水平表示開始位置レジスタ (HDSR)	19-39
19.3.10	水平表示終了位置レジスタ (HDER)	19-40
19.3.11	垂直表示開始位置レジスタ (VDSR)	19-41
19.3.12	垂直表示終了位置レジスタ (VDER)	19-42
19.3.13	水平走査周期レジスタ (HCR)	19-43
19.3.14	水平同期パルス幅レジスタ (HSWR)	19-44
19.3.15	垂直走査周期レジスタ (VCR)	19-45
19.3.16	垂直同期位置レジスタ (VSPR)	19-46
19.3.17	等価パルス幅レジスタ (EQWR)	19-47
19.3.18	セパレーション幅レジスタ (SPWR : SeParation Width Register)	19-48
19.3.19	CLAMP 信号開始位置レジスタ (CLAMPSR)	19-49
19.3.20	CLAMP 信号幅レジスタ (CLAMPWR)	19-50
19.3.21	DE 信号開始位置レジスタ (DESR)	19-51
19.3.22	DE 信号幅レジスタ (DEWR)	19-52
19.3.23	カラーパレット 1 透過色レジスタ (CP1TR)	19-53
19.3.24	カラーパレット 2 透過色レジスタ (CP2TR)	19-56
19.3.25	カラーパレット 3 透過色レジスタ (CP3TR)	19-59
19.3.26	カラーパレット 4 透過色レジスタ (CP4TR)	19-62
19.3.27	表示オフ時出力レジスタ (DOOR)	19-65
19.3.28	色検出レジスタ (CDER)	19-66
19.3.29	下地色レジスタ (BPOR)	19-67
19.3.30	ラスト割り込みオフセットレジスタ (RINTOFSR)	19-68
19.3.31	プレーン n モードレジスタ (PnMR) (n = 1 ~ 6)	19-69
19.3.32	プレーン n メモリ幅レジスタ (PnMWR) (n = 1 ~ 6)	19-72
19.3.33	プレーン n ブレンド比レジスタ (PnALPHAR) (n = 1 ~ 6)	19-73
19.3.34	プレーン n 表示サイズ X レジスタ (PnDSXR) (n = 1 ~ 6)	19-76
19.3.35	プレーン n 表示サイズ Y レジスタ (PnDSYR) (n = 1 ~ 6)	19-77
19.3.36	プレーン n 表示位置 X レジスタ (PnDPXR) (n = 1 ~ 6)	19-78
19.3.37	プレーン n 表示位置 Y レジスタ (PnDPYR) (n = 1 ~ 6)	19-79
19.3.38	プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R) (n = 1 ~ 6)	19-80
19.3.39	プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R) (n = 1 ~ 6)	19-81
19.3.40	プレーン n 開始位置 X レジスタ (PnSPXR) (n = 1 ~ 6)	19-82
19.3.41	プレーン n 開始位置 Y レジスタ (PnSPYR) (n = 1 ~ 6)	19-83

19.3.42	プレーン n ラップアラウンド開始位置レジスタ (PnWASPR) (n = 1 ~ 6)	19-84
19.3.43	プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR) (n = 1 ~ 6)	19-85
19.3.44	プレーン n プリンキング周期レジスタ (PnBTR) (n = 1 ~ 6)	19-86
19.3.45	プレーン n 透過色 1 レジスタ (PnTC1R) (n = 1 ~ 6)	19-87
19.3.46	プレーン n 透過色 2 レジスタ (PnTC2R) (n = 1 ~ 6)	19-88
19.3.47	プレーン n メモリ長レジスタ (PnMLR) (n = 1 ~ 6)	19-89
19.3.48	カラーパレット 1 レジスタ 000 ~ 255 (CP1_000R ~ CP1_255R)	19-90
19.3.49	カラーパレット 2 レジスタ 000 ~ 255 (CP2_000R ~ CP2_255R)	19-92
19.3.50	カラーパレット 3 レジスタ 000 ~ 255 (CP3_000R ~ CP3_255R)	19-94
19.3.51	カラーパレット 4 レジスタ 000 ~ 255 (CP4_000R ~ CP4_255R)	19-96
19.3.52	外部同期制御レジスタ (ESCR)	19-98
19.3.53	出力信号タイミング調整レジスタ (OTAR)	19-100
19.4	動作説明	19-107
19.4.1	出力画面構造	19-107
19.4.2	表示オン / オフ	19-109
19.4.3	プレーンパラメータ	19-110
19.4.4	メモリ割り付け	19-111
19.4.5	入力表示データフォーマット	19-112
19.4.6	出力データフォーマット	19-114
19.4.7	エンディアン変換	19-114
19.4.8	カラーパレット	19-116
19.4.9	プレーンの重ね合わせ表示	19-117
19.4.10	表示の競合	19-120
19.4.11	プリンキング	19-122
19.4.12	スクロール表示	19-123
19.4.13	ラップアラウンド表示	19-124
19.4.14	左上はみ出し表示	19-125
19.4.15	ダブルバッファ制御	19-126
19.4.16	同期方式	19-127
19.5	表示制御	19-129
19.5.1	表示タイミング生成	19-129
19.5.2	CSYNC	19-131
19.5.3	走査方式	19-132
19.5.4	色検出	19-136
19.5.5	出力信号タイミング調整	19-137
19.5.6	CLAMP 信号と DE 信号	19-138
19.6	パワーダウンシーケンス	19-139
19.6.1	パワーダウンシーケンス実行前手順	19-139
19.6.2	パワーダウンシーケンス解除後の表示起動	19-139

20.	グラフィックスデータトランслーションアクセラレータ (GDTA)	20-1
20.1	特長	20-1
20.1.1	GDTA のアドレス空間マップ	20-4
20.2	レジスタ説明	20-5
20.2.1	GA マスクレジスタ (GACMR)	20-8
20.2.2	GA イネーブルレジスタ (GACER)	20-8
20.2.3	GA 割り込み要因表示レジスタ (GACISR)	20-9
20.2.4	GA 割り込み要因表示クリアレジスタ (GACICR)	20-10
20.2.5	GA 割り込みイネーブルレジスタ (GACIER)	20-11
20.2.6	GA CL 入力データアライメントレジスタ (DRCL_CTL)	20-12
20.2.7	GA CL 出力データアライメントレジスタ (DWCL_CTL)	20-13
20.2.8	GA MC 入力データアライメントレジスタ (DRMC_CTL)	20-14
20.2.9	GA MC 出力データアライメントレジスタ (DWMC_CTL)	20-15
20.2.10	GA バッファ RAM0 データアライメントレジスタ (DCP_CTL)	20-16
20.2.11	GA バッファ RAM1 データアライメントレジスタ (DID_CTL)	20-17
20.2.12	CL Command FiFo (CLCF)	20-18
20.2.13	CL コントロ - ルレジスタ (CLCR)	20-19
20.2.14	CL ステータスレジスタ (CLSR)	20-21
20.2.15	CL 入力フレ - ム幅設定レジスタ (CLWR)	20-22
20.2.16	CL 入力フレ - ム高さ設定レジスタ (CLHR)	20-23
20.2.17	CL 入力 Y パディングサイズ設定レジスタ (CLYPR)	20-24
20.2.18	CL 入力 UV パディングサイズ設定レジスタ (CLIUVPR)	20-25
20.2.19	CL 出力パディングサイズ設定レジスタ (CLOPR)	20-26
20.2.20	CL パレットポインタレジスタ (CLPLPR)	20-26
20.2.21	MC Command FiFo (MCCF)	20-27
20.2.22	MC ステータスレジスタ (MCSR)	20-30
20.2.23	MC 入力フレ - ム幅設定レジスタ (MCWR)	20-31
20.2.24	MC 入力フレ - ム高さ設定レジスタ (MCHR)	20-32
20.2.25	MC 入力 Y パディングサイズ設定レジスタ (MCYPR)	20-32
20.2.26	MC 入力 UV パディングサイズ設定レジスタ (MCUVPR)	20-33
20.2.27	MC 出力フレーム Y ポインタレジスタ (MCOYPR)	20-34
20.2.28	MC 出力フレーム U ポインタレジスタ (MCOUPR)	20-34
20.2.29	MC 出力フレーム V ポインタレジスタ (MCOVPR)	20-35
20.2.30	MC 過去フレーム Y ポインタレジスタ (MCPYPR)	20-35
20.2.31	MC 過去フレーム U ポインタレジスタ (MCPUPR)	20-36
20.2.32	MC 過去フレーム V ポインタレジスタ (MCPVPR)	20-36
20.2.33	MC 未来フレーム Y ポインタレジスタ (MCFYPR)	20-37
20.2.34	MC 未来フレーム U ポインタレジスタ (MCFUPR)	20-37
20.2.35	MC 未来フレーム V ポインタレジスタ (MCFVPR)	20-38
20.3	GDTA動作説明	20-39

20.3.1	CL 動作説明	20-39
20.3.2	MC 動作説明	20-44
20.4	割り込み処理	20-53
20.5	データアライメント	20-53
20.6	使用上の注意事項	20-55
20.6.1	モジュールストップについて	20-55
20.6.2	ディープスリープについて	20-55
20.6.3	周波数変更について	20-55
21.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	21-1
21.1	特長	21-1
21.2	入出力端子	21-6
21.3	レジスタの説明	21-7
21.3.1	レシーブシフトレジスタ (SCRSR)	21-12
21.3.2	レシーブ FIFO データレジスタ (SCFRDR)	21-13
21.3.3	トランスミットシフトレジスタ (SCTSR)	21-13
21.3.4	トランスミット FIFO データレジスタ (SCFTDR)	21-13
21.3.5	シリアルモードレジスタ (SCSMR)	21-14
21.3.6	シリアルコントロールレジスタ (SCSCR)	21-16
21.3.7	シリアルステータスレジスタ (SCFSR)	21-19
21.3.8	ビットレートレジスタ (SCBRR)	21-23
21.3.9	FIFO コントロールレジスタ (SCFCR)	21-24
21.3.10	トランスミット FIFO データ数レジスタ (SCTFDR)	21-26
21.3.11	レシーブ FIFO データ数レジスタ (SCRFDR)	21-26
21.3.12	シリアルポートレジスタ (SCSPTR)	21-27
21.3.13	ラインステータスレジスタ (SCLSR)	21-29
21.3.14	シリアルエラーレジスタ (SCRER)	21-30
21.4	動作説明	21-31
21.4.1	概要	21-31
21.4.2	調歩同期式モードの動作	21-33
21.4.3	クロック同期式モードの動作	21-44
21.5	SCIF割り込み要因とDMAC	21-52
21.6	使用上の注意事項	21-53
22.	シリアル I/O FIFO 付き (SIOF)	22-1
22.1	特長	22-1
22.2	入出力端子	22-2
22.3	レジスタの説明	22-3
22.3.1	モードレジスタ (SIMDR)	22-5
22.3.2	コントロールレジスタ (SICTR)	22-7
22.3.3	送信データレジスタ (SITDR)	22-9

22.3.4	受信データレジスタ (SIRDR)	22-10
22.3.5	送信制御データレジスタ (SITCR)	22-11
22.3.6	受信制御データレジスタ (SIRCR)	22-12
22.3.7	ステータスレジスタ (SISTR)	22-13
22.3.8	割り込み許可レジスタ (SIHER)	22-18
22.3.9	FIFO コントロールレジスタ (SIFCTR)	22-20
22.3.10	クロックセレクトレジスタ (SISCR)	22-22
22.3.11	送信データアサインレジスタ (SITDAR)	22-23
22.3.12	受信データアサインレジスタ (SIRDAR)	22-24
22.3.13	制御データアサインレジスタ (SICDAR)	22-25
22.4	動作説明	22-26
22.4.1	シリアルクロック	22-26
22.4.2	シリアルタイミング	22-27
22.4.3	転送データフォーマット	22-28
22.4.4	転送データのレジスタ割り付け	22-29
22.4.5	制御データインタフェース	22-32
22.4.6	FIFO	22-33
22.4.7	送受信手順	22-35
22.4.8	割り込み	22-39
22.4.9	送受信タイミング	22-41
23.	シリアルペリフェラルインタフェース (HSPI)	23-1
23.1	特長	23-1
23.2	入出力端子	23-3
23.3	レジスタの説明	23-3
23.3.1	コントロールレジスタ (SPCR)	23-4
23.3.2	ステータスレジスタ (SPSR)	23-6
23.3.3	システムコントロールレジスタ (SPSCR)	23-8
23.3.4	トランスミットバッファレジスタ (SPTBR)	23-10
23.3.5	レシーブバッファレジスタ (SPRBR)	23-11
23.4	動作説明	23-12
23.4.1	FIFO モード無効時の動作	23-12
23.4.2	FIFO モード有効時の動作	23-13
23.4.3	タイミング図	23-14
23.4.4	HSPI ソフトリセット	23-16
23.4.5	クロック極性と送信制御	23-16
23.4.6	送信と受信ルーチン	23-16
23.4.7	各種フラグと割り込みのタイミング	23-17
23.4.8	低消費電力とクロック同期	23-17

24.	マルチメディアカードインタフェース (MMCIF)	24-1
24.1	特長	24-1
24.2	入出力端子	24-3
24.3	レジスタの説明	24-3
24.3.1	コマンドレジスタ 0~5 (CMDR0~CMDR5)	24-6
24.3.2	コマンドスタートレジスタ (CMDSTRT)	24-7
24.3.3	オペレーションコントロールレジスタ (OPCR)	24-8
24.3.4	カードステータスレジスタ (CSTR)	24-10
24.3.5	割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2)	24-12
24.3.6	割り込みステータスレジスタ 0~2 (INTSTR0~INTSTR2)	24-14
24.3.7	転送クロックコントロールレジスタ (CLKON)	24-19
24.3.8	コマンドタイムアウトコントロールレジスタ (CTOCR)	24-20
24.3.9	転送バイト数カウントレジスタ (TBCR)	24-21
24.3.10	モードレジスタ (MODER)	24-22
24.3.11	コマンドタイプレジスタ (CMDTYR)	24-22
24.3.12	レスポンスタイプレジスタ (RSPTYR)	24-24
24.3.13	転送ブロック数カウンタ (TBNCR)	24-26
24.3.14	レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD)	24-27
24.3.15	データタイムアウトレジスタ (DTOUTR)	24-29
24.3.16	データレジスタ (DR)	24-30
24.3.17	FIFO ポインタクリアレジスタ (FIFOCLR)	24-31
24.3.18	DMA コントロールレジスタ (DMACR)	24-32
24.4	動作説明	24-33
24.4.1	MMC モードの動作	24-33
24.5	MMCIF割り込み要因	24-60
24.6	DMA使用時の動作説明	24-60
24.6.1	読み出しシーケンス時の動作	24-60
24.6.2	書き込みシーケンス時の動作	24-70
24.7	リトルエンディアン設定時のレジスタアクセス	24-80
25.	オーディオコーデックインタフェース (HAC)	25-1
25.1	特長	25-1
25.2	入出力端子	25-2
25.3	レジスタの説明	25-3
25.3.1	コントロールステータスレジスタ (HACCR)	25-5
25.3.2	コマンド/ステータスアドレスレジスタ (HACCSAR)	25-7
25.3.3	コマンド/ステータスデータレジスタ (HACCSDR)	25-9
25.3.4	PCM レフトチャネルレジスタ (HACPCML)	25-10
25.3.5	PCM ライトチャネルレジスタ (HACPCMR)	25-12
25.3.6	TX 割り込みイネーブルレジスタ (HACTIER)	25-13

25.3.7	TX ステータスレジスタ (HACTSR)	25-14
25.3.8	RX 割り込みイネーブルレジスタ (HACRIER)	25-16
25.3.9	RX ステータスレジスタ (HACRSR)	25-17
25.3.10	HAC コントロールレジスタ (HACACR)	25-19
25.4	ACフレームの-slot構成	25-21
25.5	動作説明	25-22
25.5.1	レシーバ	25-22
25.5.2	トランスミッタ	25-22
25.5.3	DMA	25-23
25.5.4	割り込み	25-23
25.5.5	初期化シーケンス	25-24
25.5.6	低消費電力モード	25-29
25.5.7	注意事項	25-29
25.5.8	参考	25-29
26.	シリアルサウンドインタフェース (SSI)	26-1
26.1	特長	26-1
26.2	入出力端子	26-2
26.3	レジスタの説明	26-3
26.3.1	コントロールレジスタ (SSICR)	26-4
26.3.2	ステータスレジスタ (SSISR)	26-10
26.3.3	トランスミットデータレジスタ (SSITDR)	26-14
26.3.4	レシーブデータレジスタ (SSIRDR)	26-15
26.4	動作説明	26-16
26.4.1	バスフォーマット	26-16
26.4.2	非圧縮モード	26-16
26.4.3	圧縮モード	26-25
26.4.4	動作モード	26-27
26.4.5	送信動作	26-28
26.4.6	受信動作	26-30
26.4.7	シリアルビットクロックコントロール	26-33
26.5	使用上の注意事項	26-34
26.5.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	26-34
26.5.2	SSI モジュールの端子機能設定について	26-34
26.5.3	スリープモード使用時の注意事項	26-35
27.	NAND フラッシュメモリコントローラ (FLCTL)	27-1
27.1	特長	27-1
27.2	入出力端子	27-4
27.3	レジスタの説明	27-6
27.3.1	共通コントロールレジスタ (FLCMNCR)	27-7

27.3.2	コマンド制御レジスタ (FLCMDCR)	27-9
27.3.3	コマンドコードレジスタ (FLCMCDR)	27-11
27.3.4	アドレスレジスタ (FLADR)	27-12
27.3.5	アドレスレジスタ 2 (FLADR2)	27-14
27.3.6	データカウンタレジスタ (FLDTCNTR)	27-15
27.3.7	データレジスタ (FLDATAR)	27-16
27.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	27-17
27.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	27-21
27.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	27-22
27.3.11	データ FIFO レジスタ (FLDTFIFO)	27-23
27.3.12	管理コード FIFO レジスタ (FLECFIFO)	27-24
27.3.13	転送制御レジスタ (FLTRCR)	27-25
27.4	動作説明	27-26
27.4.1	動作モード	27-26
27.4.2	コマンドアクセスモード	27-26
27.4.3	セクタアクセスモード	27-30
27.4.4	ステータスリード	27-32
27.5	レジスタ設定の手順例	27-34
27.6	割り込み処理	27-37
27.7	DMA転送の設定	27-37
28.	汎用入出力ポート (GPIO)	28-1
28.1	特長	28-1
28.2	レジスタの説明	28-5
28.2.1	ポート A コントロールレジスタ (PACR)	28-8
28.2.2	ポート B コントロールレジスタ (PBCR)	28-10
28.2.3	ポート C コントロールレジスタ (PCCR)	28-12
28.2.4	ポート D コントロールレジスタ (PDCR)	28-14
28.2.5	ポート E コントロールレジスタ (PECR)	28-16
28.2.6	ポート F コントロールレジスタ (PFCR)	28-18
28.2.7	ポート G コントロールレジスタ (PGCR)	28-20
28.2.8	ポート H コントロールレジスタ (PHCR)	28-22
28.2.9	ポート J コントロールレジスタ (PJCR)	28-24
28.2.10	ポート K コントロールレジスタ (PKCR)	28-26
28.2.11	ポート L コントロールレジスタ (PLCR)	28-28
28.2.12	ポート M コントロールレジスタ (PMCR)	28-30
28.2.13	ポート N コントロールレジスタ (PNCR)	28-31
28.2.14	ポート P コントロールレジスタ (PPCR)	28-33
28.2.15	ポート Q コントロールレジスタ (PQCR)	28-35
28.2.16	ポート R コントロールレジスタ (PRCR)	28-37
28.2.17	ポート A データレジスタ (PADR)	28-38

28.2.18	ポート B データレジスタ (PBDR)	28-39
28.2.19	ポート C データレジスタ (PCDR)	28-39
28.2.20	ポート D データレジスタ (PDDR)	28-40
28.2.21	ポート E データレジスタ (PEDR)	28-40
28.2.22	ポート F データレジスタ (PFDR)	28-41
28.2.23	ポート G データレジスタ (PGDR)	28-41
28.2.24	ポート H データレジスタ (PHDR)	28-42
28.2.25	ポート J データレジスタ (PJDR)	28-42
28.2.26	ポート K データレジスタ (PKDR)	28-43
28.2.27	ポート L データレジスタ (PLDR)	28-43
28.2.28	ポート M データレジスタ (PMDR)	28-44
28.2.29	ポート N データレジスタ (PNDR)	28-44
28.2.30	ポート P データレジスタ (PPDR)	28-45
28.2.31	ポート Q データレジスタ (PQDR)	28-45
28.2.32	ポート R データレジスタ (PRDR)	28-46
28.2.33	ポート E プルアップ制御レジスタ (PEPUPR)	28-47
28.2.34	ポート H プルアップ制御レジスタ (PHPUPR)	28-48
28.2.35	ポート J プルアップ制御レジスタ (PJPUPR)	28-49
28.2.36	ポート K プルアップ制御レジスタ (PKPUPR)	28-50
28.2.37	ポート L プルアップ制御レジスタ (PLPUPR)	28-51
28.2.38	ポート M プルアップ制御レジスタ (PMPUPR)	28-51
28.2.39	ポート N プルアップ制御レジスタ (PNPUPR)	28-52
28.2.40	入力端子プルアップ制御レジスタ 1 (PPUPR1)	28-53
28.2.41	入力端子プルアップ制御レジスタ 2 (PPUPR2)	28-53
28.2.42	周辺モジュールセレクトレジスタ 1 (P1MSELR)	28-55
28.2.43	周辺モジュールセレクトレジスタ 2 (P2MSELR)	28-58
28.3	使用例	28-60
28.3.1	ポート出力機能	28-60
28.3.2	ポート入力機能	28-61
28.3.3	周辺モジュール機能	28-61
29.	ユーザブ레이크コントローラ (UBC)	29-1
29.1	特長	29-1
29.2	レジスタの説明	29-3
29.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	29-4
29.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	29-10
29.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	29-12
29.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	29-13
29.2.5	マッチデータ設定レジスタ 1 (CDR1)	29-14
29.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	29-15
29.2.7	実行回数ブ레이크レジスタ 1 (CETR1)	29-16

29.2.8	チャンネルマッチフラグレジスタ (CCMFR)	29-17
29.2.9	ブレークコントロールレジスタ (CBCR)	29-18
29.3	動作説明	29-19
29.3.1	アクセスに関する用語の説明	29-19
29.3.2	ユーザブレーク動作の流れ	29-19
29.3.3	命令フェッチサイクルブレーク	29-21
29.3.4	オペランドアクセスサイクルブレーク	29-22
29.3.5	シーケンシャルブレーク	29-23
29.3.6	退避されるプログラムカウンタの値	29-24
29.4	ユーザブレークデバッグサポート機能	29-25
29.5	ユーザブレーク使用例	29-26
29.6	使用上の注意事項	29-31
30.	ユーザデバッグインタフェース (H-UDI)	30-1
30.1	特長	30-1
30.2	入出力端子	30-3
30.3	レジスタの説明	30-4
30.3.1	インストラクションレジスタ (SDIR)	30-5
30.3.2	割り込み要因レジスタ (SDINT)	30-6
30.3.3	バイパスレジスタ (SDBPR)	30-6
30.3.4	バウンダリスキャンレジスタ (SDBSR)	30-7
30.4	動作説明	30-15
30.4.1	バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)	30-15
30.4.2	TAP 制御	30-17
30.4.3	H-UDI リセット	30-18
30.4.4	H-UDI 割り込み	30-18
30.5	注意事項	30-19
31.	レジスタ一覧	31-1
31.1	レジスタアドレス一覧	31-1
31.2	各動作モードにおけるレジスタの状態	31-23
32.	電気的特性	32-1
32.1	絶対最大定格	32-1
32.2	DC特性	32-2
32.3	AC特性	32-6
32.3.1	クロック・制御信号タイミング	32-7
32.3.2	制御信号タイミング	32-11
32.3.3	バスタイミング	32-12
32.3.4	DBSC2 信号タイミング	32-30

32.3.5	INTC モジュール信号タイミング	32-36
32.3.6	PCI 信号タイミング	32-38
32.3.7	DMAC モジュール信号タイミング	32-41
32.3.8	TMU モジュール信号タイミング	32-42
32.3.9	SCIF モジュール信号タイミング	32-43
32.3.10	H-UDI モジュール信号タイミング	32-45
32.3.11	GPIO 信号タイミング	32-47
32.3.12	HSPI モジュール信号タイミング	32-48
32.3.13	SIOF モジュール信号タイミング	32-49
32.3.14	MMCIF モジュール信号タイミング	32-53
32.3.15	HAC インタフェースモジュール信号タイミング	32-54
32.3.16	SSI インタフェースモジュール信号タイミング	32-56
32.3.17	NAND 型フラッシュメモリインタフェースタイミング	32-58
32.3.18	DU モジュール信号タイミング	32-62
32.4	AC特性測定条件	32-66
付録		付録-1
A.	外形寸法図	付録-1
B.	モード端子の設定	付録-2
C.	端子機能	付録-5
C.1	端子状態	付録-5
C.2	未使用端子の処理	付録-15
D.	電源投入および切断順序	付録-24
D.1	異電位電源間の電源の投入および切断順序について	付録-24
D.2	DDR2-SDRAM 電源バックアップモード時の異電位電源間の電源の投入および切断順序について	付録-25
D.3	同電位電源間の電源の投入および切断順序について	付録-26
E.	バージョンレジスタ	付録-27
F.	品名一覧	付録-28
G.	CPU動作モードレジスタ (CPUOPM)	付録-29
H.	命令プリフェッチとその副作用について	付録-30
I.	サブルーチン復帰投機実行	付録-31

図目次

1. 概要	1-1
図 1.1 ブロック図	1-10
図 1.2 SH7785 のピン配置図 (1) (パッケージ TOP VIEW)	1-24
図 1.3 SH7785 のピン配置図 (2) (パッケージ BOTTOM VIEW)	1-25
図 1.4 AREASEL ビットと物理メモリアドレスマップとの関連	1-26
2. プログラミングモデル	2-1
図 2.1 データフォーマット	2-1
図 2.2 処理モード別の CPU レジスタ構成	2-4
図 2.3 汎用レジスタ	2-5
図 2.4 浮動小数点レジスタ	2-8
図 2.5 SZ ビットとエンディアンの関係	2-13
図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式	2-14
図 2.7 メモリ上のデータ形式	2-15
図 2.8 処理状態遷移図	2-16
4. パイプライン動作	4-1
図 4.1 基本パイプライン	4-1
図 4.2 命令実行パターン (1)	4-3
図 4.2 命令実行パターン (2)	4-4
図 4.2 命令実行パターン (3)	4-5
図 4.2 命令実行パターン (4)	4-6
図 4.2 命令実行パターン (5)	4-7
図 4.2 命令実行パターン (6)	4-8
図 4.2 命令実行パターン (7)	4-9
図 4.2 命令実行パターン (8)	4-10
図 4.2 命令実行パターン (9)	4-11
5. 例外処理	5-1
図 5.1 命令実行と例外処理	5-8
図 5.2 一般例外の受け付け順序の例	5-9
6. 浮動小数点ユニット (FPU)	6-1
図 6.1 単精度浮動小数点フォーマット	6-2
図 6.2 倍精度浮動小数点フォーマット	6-2

図 6.3	単精度の NaN ビットパターン	6-4
図 6.4	浮動小数点レジスタ	6-7
図 6.5	SZ ビットとエンディアンの関係	6-9
7.	メモリマネジメントユニット (MMU)	7-1
図 7.1	MMU の役割	7-3
図 7.2	仮想アドレス空間 (MMUCR.AT = 0)	7-4
図 7.3	仮想アドレス空間 (MMUCR.AT = 1)	7-5
図 7.4	P4 領域	7-6
図 7.5	物理アドレス空間	7-8
図 7.6	UTLB の構成 (TLB 互換モード)	7-20
図 7.7	ページサイズとアドレスの関係 (TLB 互換モード)	7-22
図 7.8	ITLB の構成 (TLB 互換モード)	7-22
図 7.9	UTLB を用いたメモリアクセスフロー (TLB 互換モード)	7-23
図 7.10	ITLB を用いたメモリアクセスフロー (TLB 互換モード)	7-24
図 7.11	UTLB の構成 (TLB 拡張モード)	7-25
図 7.12	ページサイズとアドレスの関係 (TLB 拡張モード)	7-27
図 7.13	ITLB の構成 (TLB 拡張モード)	7-28
図 7.14	UTLB を用いたメモリアクセスフロー (TLB 拡張モード)	7-29
図 7.15	ITLB を用いたメモリアクセスフロー (TLB 拡張モード)	7-30
図 7.16	LDTLB 命令の動作 (TLB 互換モード)	7-32
図 7.17	LDTLB 命令の動作 (TLB 拡張モード)	7-33
図 7.18	メモリ割り付け ITLB アドレスアレイ	7-42
図 7.19	メモリ割り付け ITLB データアレイ (TLB 互換モード)	7-43
図 7.20	メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)	7-44
図 7.21	メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)	7-45
図 7.22	メモリ割り付け UTLB アドレスアレイ	7-46
図 7.23	メモリ割り付け UTLB データアレイ (TLB 互換モード)	7-47
図 7.24	メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)	7-48
図 7.25	メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)	7-49
図 7.26	物理アドレス空間 (32 ビットアドレス拡張モード)	7-50
図 7.27	PMB の構成	7-51
図 7.28	メモリ割り付け PMB アドレスアレイ	7-54
図 7.29	メモリ割り付け PMB データアレイ	7-55
8.	キャッシュ	8-1
図 8.1	オペランドキャッシュの構成 (キャッシュサイズ = 32K バイトの場合)	8-2
図 8.2	命令キャッシュの構成 (キャッシュサイズ = 32K バイトの場合)	8-3
図 8.3	ライトバックバッファの構成	8-14
図 8.4	ライトスルーバッファの構成	8-14
図 8.5	メモリ割り付け IC アドレスアレイ (キャッシュサイズ = 32K バイトの場合)	8-21

図 8.6	メモリ割り付け IC データアレイ (キャッシュサイズ = 32K バイトの場合)	8-22
図 8.7	メモリ割り付け OC アドレスアレイ (キャッシュサイズ = 32K バイトの場合)	8-23
図 8.8	メモリ割り付け OC データアレイ (キャッシュサイズ = 32K バイトの場合)	8-24
図 8.9	ストアキューの構成	8-25
10.	割り込みコントローラ (INTC)	10-1
図 10.1	INTC のブロック図	10-2
図 10.2	外部端子からの割り込み要求の入力コントロール回路	10-3
図 10.3	IRL 割り込みの接続例	10-47
図 10.4	内蔵周辺モジュール割り込みの優先レベルについて	10-50
図 10.5	割り込み動作フロー	10-59
図 10.6	割り込み処理ルーチンの例	10-63
11.	ローカルバスステートコントローラ (LBSC)	11-1
図 11.1	LBSC のブロック図	11-3
図 11.2	仮想アドレス空間とローカルバスメモリ空間の対応	11-7
図 11.3	ローカルバスメモリ空間割り付け	11-9
図 11.4	BCR.ASYNCn の設定による \overline{RDY} サンプリングタイミング例 (CSnWCR により 2 サイクルウェイトが挿入されています。)	11-21
図 11.5	SRAM インタフェースの基本タイミング	11-53
図 11.6	32 ビットデータ幅 SRAM 接続例	11-54
図 11.7	16 ビットデータ幅 SRAM 接続例	11-55
図 11.8	8 ビットデータ幅 SRAM 接続例	11-56
図 11.9	SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	11-57
図 11.10	SRAM インタフェースのウェイトステートタイミング (\overline{RDY} 信号によるウェイトステート挿入、 \overline{RDY} 信号は同期入力)	11-58
図 11.11	SRAM インタフェースのウェイトステートタイミング例	11-60
図 11.12	パースト ROM 基本アクセスタイミング	11-62
図 11.13	パースト ROM ウェイトアクセスタイミング	11-63
図 11.14	パースト ROM ウェイトアクセスタイミング	11-63
図 11.15	ATA 補完モード DMA 転送時の \overline{CE}_{xx} 信号と \overline{DACK}_n 信号の出力	11-65
図 11.16	PCMCIA インタフェース例	11-69
図 11.17	PCMCIA メモリカードインタフェース基本タイミング	11-70
図 11.18	PCMCIA メモリカードインタフェースウェイトタイミング	11-71
図 11.19	PCMCIA I/O カードインタフェース基本タイミング	11-73
図 11.20	PCMCIA I/O カードインタフェースウェイトタイミング	11-74
図 11.21	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	11-75
図 11.22 (1)	32 ビットデータ幅 MPX の接続例	11-77
図 11.22 (2)	64 ビットデータ幅 MPX の接続例	11-77

図 11.23	MPX インタフェースタイミング 1 (シングルリードサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット)	11-78
図 11.24	MPX インタフェースタイミング 2 (シングルリード、IW=0000、外部ウェイト 1 挿入、バス幅 64 ビット)	11-79
図 11.25	MPX インタフェースタイミング 3 (シングルライトサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット)	11-80
図 11.26	MPX インタフェースタイミング 4 (シングルライト、IW=0001、外部ウェイト 1 挿入、バス幅 64 ビット)	11-81
図 11.27	MPX インタフェースタイミング 5 (バーストリードサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)	11-82
図 11.28	MPX インタフェースタイミング 6 (バーストリードサイクル、IW=0000、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)	11-82
図 11.29	MPX インタフェースタイミング 7 (バーストライトサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)	11-83
図 11.30	MPX インタフェースタイミング 8 (バーストライトサイクル、IW=0001、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)	11-84
図 11.31	MPX インタフェースタイミング 9 (バーストリードサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	11-84
図 11.32	MPX インタフェースタイミング 10 (バーストリードサイクル、IW=0000、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	11-85
図 11.33	MPX インタフェースタイミング 11 (バーストライトサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)	11-86
図 11.34	MPX インタフェースタイミング 12 (バーストライトサイクル、IW=0001、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)	11-87
図 11.35	32 ビットデータ幅バイト制御 SRAM の例	11-88
図 11.36	64 ビットデータ幅バイト制御 SRAM の例	11-89
図 11.37	バイト制御 SRAM 基本リードサイクル (ウェイトなし)	11-90
図 11.38	バイト制御 SRAM のウェイトステートタイミング例	11-91
図 11.39	バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)	11-92
図 11.40	アクセスサイクル間ウェイト (アクセスサイズは 4 バイト)	11-94
図 11.41	アービトレーションシーケンス	11-96
12. DDR2-SDRAM インタフェース (DBSC2)		12-1
図 12.1	DBSC2 ブロック図	12-2
図 12.2	バーストアクセス動作	12-8
図 12.3	外部バス幅 16 ビット時、16/32 バイトアクセス時に発生させるアドレス	12-14
図 12.4	外部バス幅 32 ビット時、16/32 バイトアクセス時に発生させるアドレス	12-15
図 12.5	SuperHyway からのリクエストに応じ SDRAM に対して発行するリード/ライトコマンド	12-41
図 12.6	先行プリチャージ/アクティバート処理の例	12-42
図 12.7	オートリフレッシュとしきい値との関係	12-47
図 12.8	1/2/4/8/16 バイトリード (32 ビットバス幅設定)	12-57
図 12.9	32 バイトリード (32 ビットバス幅設定)	12-58

図 12.10	1/2/4/8/16 バイトライト (32 ビットバス幅設定)	12-59
図 12.11	32 バイトライト (32 ビットバス幅設定)	12-60
図 12.12	オートリフレッシュ動作.....	12-61
図 12.13	セルフリフレッシュ動作.....	12-62
図 12.14	tRP、tRCD、CL、tRAS について.....	12-63
図 12.15	tRRD、tRTP について.....	12-64
図 12.16	tWR について.....	12-65
図 12.17	tRC について.....	12-66
図 12.18	READ-WRITE 間最小間隔について.....	12-67
図 12.19	WRITE-READ 間最小間隔について.....	12-68
図 12.20	tRFC について.....	12-69
図 12.21	CL=4 のときの ODT 制御信号.....	12-71
図 12.22	ODT 制御信号 1 サイクル延長時の注意点.....	12-71
図 12.23	SDRAM 電源バックアップ機能.....	12-72
図 12.24	MCKE 信号動作.....	12-75
13.	PCI コントローラ (PCIC)	13-1
図 13.1	PCIC ブロック図.....	13-3
図 13.2	SuperHyway バスから PCI バスへのメモリマップ.....	13-75
図 13.3	SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 0 の場合)	13-76
図 13.4	SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 1 の場合)	13-76
図 13.5	SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 2 の場合)	13-77
図 13.6	SuperHyway バスから PCI I/O 空間 (PCI バス) へのアクセス.....	13-77
図 13.7	SuperHyway バスから PCI バスへのエンディアン変換 (非スワップ: TBS=0)	13-78
図 13.8	SuperHyway バスから PCI バスへのエンディアン変換 (スワップ: TBS=1)	13-79
図 13.9	PCI バスから SuperHyway バス空間へのメモリマップ.....	13-80
図 13.10	PCI バスから SuperHyway バスへのアドレス変換.....	13-81
図 13.11	PCI バスから SuperHyway バスへの I/O アクセス.....	13-82
図 13.12	PCI バスから SuperHyway バスへのエンディアン変換 (非スワップ: TBS=0)	13-83
図 13.13	PCI バスから SuperHyway バスへのエンディアン変換 (スワップ: TBS=1)	13-84
図 13.14	PCI バスから SuperHyway バスへのキャッシュフラッシュ/ページ実行フロー.....	13-85
図 13.15	タイプ 0 コンフィグレーションのアドレス発生.....	13-87
図 13.16	PCI バスパワーダウンステート遷移図.....	13-89
図 13.17	ホスト時マスタライトサイクル (シングル)	13-91
図 13.18	ホスト時マスタリードサイクル (シングル)	13-92
図 13.19	ノーマル時マスタライトサイクル (バースト)	13-93
図 13.20	ノーマル時マスタリードサイクル (バースト)	13-94
図 13.21	ノーマル時ターゲットリードサイクル (シングル)	13-96
図 13.22	ノーマル時ターゲットライトサイクル (シングル)	13-97

図 13.23	ホスト時ターゲットメモリリードサイクル (バースト)	13-98
図 13.24	ホスト時ターゲットメモリライトサイクル (バースト)	13-99
図 13.25	ホスト時マスタライトサイクル (バースト、ステッピングあり)	13-100
図 13.26	ホスト時ターゲットメモリリードサイクル (バースト、ステッピングあり)	13-101
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
図 14.1	DMAC ブロック図	14-2
図 14.2	ラウンドロビンモード (例: チャンネル 0~5)	14-37
図 14.3	ラウンドロビンモードでのチャンネル優先順位 (例: チャンネル 0~5)	14-38
図 14.4	デュアルアドレスモードのデータフロー	14-40
図 14.5	デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)	14-41
図 14.6	サイクルスチール通常モード 1 の DMA 転送例 (DREQ ローレベル検出)	14-42
図 14.7	サイクルスチール通常モード 2 の DMA 転送例 (DREQ ローレベル検出)	14-42
図 14.8	サイクルスチールインタミットモードの DMA 転送例 (DREQ ローレベル検出)	14-43
図 14.9	バーストモードでの DMA 転送例 (DREQ ローレベル検出)	14-44
図 14.10	優先順位固定モードでのバースモードとチャンネルの優先順位	14-45
図 14.11	DMA 転送フローチャート	14-47
図 14.12	リロードモード設定時の動作例	14-49
図 14.13	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、 32/64 ビットバス幅にロングワード転送)	14-50
図 14.14	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 2 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)	14-51
図 14.15	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 3 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)	14-51
図 14.16	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、 32/64 ビットバス幅にロングワード転送)	14-52
図 14.17	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 2 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)	14-53
図 14.18	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 3 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)	14-54
図 14.19	バーストモード・エッジ検出時の DREQ 入力検出タイミング例	14-54
図 14.20	バーストモード・レベル検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、 32/64 ビットバス幅にロングワード転送)	14-55
図 14.21	バーストモード・レベル検出時の DREQ 入力検出タイミング例 2 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)	14-56

図 14.22	バーストモード・レベル検出時の DREQ 入力検出タイミング例 3 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、 8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)	14-57
15.	クロック発振器 (CPG)	15-1
図 15.1	CPG ブロック図	15-2
図 15.2	バスクロックの周波数変更開始時	15-16
図 15.3	バスクロックの周波数変更終了時	15-16
図 15.4	水晶発振器使用時の注意	15-21
図 15.5	PLL 発振回路使用時の注意	15-22
16.	リセット、ウォッチドッグタイマ (WDT)	16-1
図 16.1	ブロック図	16-2
図 16.2	WDT のカウントアップ動作 (インターバルタイマモードの例)	16-12
図 16.3	電源投入シーケンス	16-14
図 16.4	通常動作中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット	16-15
図 16.5	スリープ中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット	16-16
図 16.6	通常動作中の WDT オーバフローによるパワーオンリセット	16-17
図 16.7	スリープ中の WDT オーバフローによるパワーオンリセット	16-18
図 16.8	通常動作中の WDT オーバフローによるマニュアルリセット	16-19
図 16.9	スリープ中の WDT オーバフローによるマニュアルリセット	16-20
17.	低消費電力モード	17-1
図 17.1	スリープ 割り込みの STATUS 出力	17-15
18.	タイマユニット (TMU)	18-1
図 18.1	TMU のブロック図	18-2
図 18.2	カウント動作設定手順例	18-12
図 18.3	TCNT のオートリロード動作	18-13
図 18.4	内部クロック動作時のカウントタイミング	18-13
図 18.5	外部クロック入力動作時のカウントタイミング	18-14
図 18.6	インプットキャプチャ機能使用時の動作タイミング	18-14
19.	ディスプレイユニット (DU)	19-1
図 19.1	ディスプレイユニット (DU) ブロック図	19-3
図 19.2	プレーン構成および重ね合わせ概略	19-108
図 19.3	パラメータ	19-110
図 19.4	エンディアン変換	19-115
図 19.5	ブレンディング・EOR 演算時のプレーン処理順序	19-118
図 19.6	カラーパレットの競合 (複数プレーンにおける同一カラーパレット選択)	19-120
図 19.7	カラーパレットの選択と透過色を組合わせた場合の表示結果	19-121

図 19.8	YC データの競合図.....	19-121
図 19.9	スクロール機能概略図.....	19-123
図 19.10	ラップアラウンド機能概略図.....	19-124
図 19.11	左上はみ出し表示概略図.....	19-125
図 19.12	TV 同期モード時の信号の流れ.....	19-128
図 19.13	表示画面の水平方向および垂直方向のタイミング生成図.....	19-129
図 19.14	CSYNC タイミングチャート (ノンインタレース、インタレースフレーム前半).....	19-131
図 19.15	CSYNC タイミングチャート (インタレースフレーム後半).....	19-131
図 19.16	各走査方式による表示例.....	19-133
図 19.17	ノンインタレース方式の表示.....	19-134
図 19.18	インタレース方式の表示.....	19-135
図 19.19	出力タイミング調整可能範囲.....	19-137
図 19.20	CLAMP 信号と DE 信号.....	19-138
20.	グラフィックスデータトランスレーションアクセラレータ (GDTA).....	20-1
図 20.1	GDTA のブロック構成図.....	20-2
図 20.2	GDTA のアドレス空間マップ (物理アドレス).....	20-4
図 20.3	YUYV 変換機能概要.....	20-39
図 20.4	ARGB 変換機能概要.....	20-41
図 20.5	CL 処理手順.....	20-43
図 20.6	予測画生成機能概要図.....	20-45
図 20.7	MC 処理手順.....	20-52
図 20.8	GDTA データアライメント変換パターン.....	20-54
21.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF).....	21-1
図 21.1	SCIF のブロック図.....	21-3
図 21.2	$\overline{\text{SCIF0_RTS}}$ 端子.....	21-4
図 21.3	$\overline{\text{SCIF0_CTS}}$ 端子.....	21-4
図 21.4	SCIF _n _SCK 端子 (n=0~5).....	21-5
図 21.5	SCIF _n _TXD 端子 (n=0~5).....	21-5
図 21.6	SCIF _n _RXD 端子 (n=0~5).....	21-6
図 21.7	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例).....	21-33
図 21.8	SCIF の初期化フローチャートの例.....	21-36
図 21.9	シリアル送信のフローチャートの例.....	21-37
図 21.10	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	21-39
図 21.11	モデムコントロール ($\overline{\text{CTS}}$) 時の動作例 (チャンネル 0 のみ).....	21-39
図 21.12	シリアル受信のフローチャートの例 (1).....	21-40
図 21.12	シリアル受信のフローチャートの例 (2).....	21-41
図 21.13	SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	21-43
図 21.14	モデムコントロール ($\overline{\text{SCIF_RTS}}$) 時の動作例 (チャンネル 1、チャンネル 2 のみ).....	21-43

図 21.15	クロック同期式通信のデータフォーマット	21-44
図 21.16	SCIF 初期化フローチャートの例	21-45
図 21.17	シリアル送信のフローチャートの例	21-46
図 21.18	SCIF 送信時の動作例	21-47
図 21.19	シリアル受信のフローチャートの例 (1)	21-48
図 21.19	シリアル受信のフローチャートの例 (2)	21-49
図 21.20	SCIF の受信時の動作例	21-50
図 21.21	シリアル送受信のフローチャートの例	21-51
図 21.22	受信データサンプリングタイミング	21-54
22.	シリアル I/O FIFO 付き (SIOF)	22-1
図 22.1	SIOF のブロック図	22-2
図 22.2	シリアルクロック供給系統図	22-26
図 22.3	シリアルデータ同期タイミング	22-27
図 22.4	SIOF 送受信タイミング	22-28
図 22.5	送受信データビットアライメント	22-30
図 22.6	制御データビットアライメント	22-31
図 22.7	制御データインタフェース (スロット位置)	22-32
図 22.8	制御データインタフェース (セカンダリ FS)	22-33
図 22.9	マスタモードの送信動作例	22-35
図 22.10	マスタモードの受信動作例	22-36
図 22.11	スレーブモードの送信動作例	22-37
図 22.12	スレーブモードの受信動作例	22-38
図 22.13	送受信タイミング (8 ビットモノラル - 1)	22-41
図 22.14	送受信タイミング (8 ビットモノラル - 2)	22-41
図 22.15	送受信タイミング (16 ビットモノラル)	22-42
図 22.16	送受信タイミング (16 ビットステレオ - 1)	22-42
図 22.17	送受信タイミング (16 ビットステレオ - 2)	22-43
図 22.18	送受信タイミング (16 ビットステレオ - 3)	22-43
図 22.19	送受信タイミング (16 ビットステレオ - 4)	22-44
図 22.20	送受信タイミング (16 ビットステレオ)	22-44
23.	シリアルペリフェラルインタフェース (HSPI)	23-1
図 23.1	HSPI のブロック図	23-2
図 23.2	動作フローチャート	23-12
図 23.3	FBS=0 のときのタイミング	23-14
図 23.4	FBS=0 のときのタイミング (連続転送)	23-14
図 23.5	FBS=1 のときのタイミング	23-15
図 23.6	FBS=1 のときのタイミング (連続転送)	23-15
図 23.7	各種フラグと割り込みのタイミング	23-17

24. マルチメディアカードインタフェース (MMCIF)	24-1
図 24.1 MMCIF のブロック図	24-2
図 24.2 DR アクセスの例	24-31
図 24.3 コマンドレスポンスを要さないコマンドシーケンスの例	24-34
図 24.4 コマンドレスポンスを要さないコマンドの動作フローチャートの例	24-35
図 24.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)	24-36
図 24.6 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)	24-37
図 24.7 データ転送を伴わないコマンドの動作フローチャート	24-38
図 24.8 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)	24-40
図 24.9 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)	24-41
図 24.10 読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送)	24-42
図 24.11 読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送)	24-42
図 24.12 読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)	24-43
図 24.13 (1) 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	24-44
図 24.13 (2) 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	24-45
図 24.13 (3) 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	24-46
図 24.13 (4) 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	24-47
図 24.14 読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)	24-48
図 24.15 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)	24-50
図 24.16 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)	24-51
図 24.17 書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)	24-52
図 24.18 書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送)	24-53
図 24.19 書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送)	24-54
図 24.20 (1) 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	24-55
図 24.20 (2) 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)	24-56
図 24.20 (3) 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	24-57
図 24.20 (4) 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)	24-58
図 24.21 書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)	24-59
図 24.22 リードシーケンスフローの例 (シングルブロック転送)	24-62
図 24.23 (1) リードシーケンスフローの例 (open-ended マルチブロック転送)	24-63
図 24.23 (2) リードシーケンスフローの例 (open-ended マルチブロック転送)	24-64
図 24.23 (3) リードシーケンスフローの例 (pre-defined マルチブロック転送)	24-65
図 24.23 (4) リードシーケンスフローの例 (pre-defined マルチブロック転送)	24-66

図 24.24	ストリームリード転送の動作フローの例	24-67
図 24.25 (1)	オートモード pre-defined マルチブロックリード転送の動作フローの例	24-68
図 24.25 (2)	オートモード pre-defined マルチブロックリード転送の動作フローの例	24-69
図 24.26	ライトシーケンスフローの例 (シングルブロック転送)	24-72
図 24.27 (1)	ライトシーケンスフローの例 (open-ended マルチブロック転送)	24-73
図 24.27 (2)	ライトシーケンスフローの例 (open-ended マルチブロック転送)	24-74
図 24.27 (3)	ライトシーケンスフローの例 (pre-defined マルチブロック転送)	24-75
図 24.27 (4)	ライトシーケンスフローの例 (pre-defined マルチブロック転送)	24-76
図 24.28	ストリームライト転送動作フローの例	24-77
図 24.29 (1)	オートモード pre-defined マルチブロックライト転送動作フローの例	24-78
図 24.29 (2)	オートモード pre-defined マルチブロックライト転送動作フローの例	24-79
25.	オーディオコーデックインタフェース (HAC)	25-1
図 25.1	ブロック図	25-2
図 25.2	AC97 フレームの-slot構成 (ハッチング部分はサポートしません)	25-21
図 25.3	初期化シーケンス例	25-24
図 25.4	外部コーデックレジスタ書き込みフローチャート例	25-25
図 25.5	外部コーデックレジスタ読み出しフローチャート例	25-26
図 25.6	外部コーデックレジスタ読み出しフローチャート例 (続き)	25-27
図 25.7	外部コーデックレジスタ読み出しフローチャート例 (続き)	25-28
26.	シリアルサウンドインタフェース (SSI)	26-1
図 26.1	SSI のブロック図	26-2
図 26.2	Philips フォーマット (パディングなし)	26-17
図 26.3	Philips フォーマット (パディングあり)	26-18
図 26.4	Sony フォーマット (シリアルデータ、パディングビットの順に送受信)	26-18
図 26.5	松下フォーマット (パディングビット、シリアルデータの順に送受信)	26-19
図 26.6	マルチチャンネルフォーマット (4 チャンネル、パディングなし)	26-21
図 26.7	マルチチャンネルフォーマット (6 チャンネル、High パディング)	26-21
図 26.8	マルチチャンネルフォーマット (8 チャンネル、シリアルデータ、パディングビットの順に送受信、パディングあり)	26-22
図 26.9	基本フォーマット例 (送信モード、任意のシステム / データワード長)	26-22
図 26.10	反転クロック	26-23
図 26.11	反転ワード選択信号	26-23
図 26.12	反転パディング極性	26-23
図 26.13	パディングビット、シリアルデータの順に送受信、遅延あり	26-24
図 26.14	パディングビット、シリアルデータの順に送受信、遅延なし	26-24
図 26.15	シリアルデータ、パディングビットの順に送受信、遅延なし	26-24
図 26.16	パラレルデータの右詰め、遅延あり	26-25
図 26.17	ミュート有効	26-25
図 26.18	圧縮データフォーマット、マスタトランスミッタ、バーストモード無効	26-26

図 26.19	圧縮データフォーマット、マスタトランスミッタ、バーストモード有効	26-26
図 26.20	動作モード遷移図	26-27
図 26.21	DMA コントローラを使用した送信	26-29
図 26.22	割り込みデータフロー制御を使用した送信	26-30
図 26.23	DMA コントローラを使用した受信	26-31
図 26.24	割り込みデータフロー制御を使用した受信	26-32
図 26.25	スレーブモード時 SSI 転送終了 / 再開タイミング例	26-35
27.	NAND フラッシュメモリコントローラ (FLCTL)	27-1
図 27.1	FLCTL のブロック図	27-3
図 27.2	NAND 型フラッシュメモリの読み出し動作タイミング	27-26
図 27.3	NAND 型フラッシュメモリの書き込み動作タイミング	27-27
図 27.4	NAND 型フラッシュメモリのステータスリード動作タイミング	27-27
図 27.5	NAND 型フラッシュメモリの読み出し動作タイミング	27-28
図 27.6	NAND 型フラッシュメモリの書き込み動作タイミング	27-29
図 27.7	NAND 型フラッシュメモリのステータスリード動作タイミング	27-29
図 27.8	DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図	27-30
図 27.9	セクタ番号と NAND 型フラッシュメモリのアドレスの展開例	27-31
図 27.10	不良セクタがある場合のセクタアクセス例	27-32
図 27.11	NAND コマンドアクセス (Block Erase)	27-34
図 27.12	NAND セクタアクセス (Flash Write) DMAC 使用例	27-35
図 27.13	NAND コマンドアクセス (Flash Read)	27-36
28.	汎用入出力ポート (GPIO)	28-1
図 28.1	ポート A の出力動作タイミング	28-60
図 28.2	ポート A の入力動作タイミング	28-61
29.	ユーザブ레이크コントローラ (UBC)	29-1
図 29.1	UBC のブロック図	29-2
図 29.2	ユーザブ레이크デバッグサポート機能のフローチャート	29-25
30.	ユーザデバッグインタフェース (H-UDI)	30-1
図 30.1	H-UDI のブロック図	30-2
図 30.2	バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス	30-16
図 30.3	TAP 制御状態遷移図	30-17
図 30.4	H-UDI リセット	30-18
32.	電気的特性	32-1
図 32.1	EXTAL クロック入力タイミング	32-8
図 32.2	CLKOUT クロック出力タイミング (1)	32-8
図 32.3	CLKOUT クロック出力タイミング (2)	32-9

図 32.4	パワーオン時発振安定時間	32-9
図 32.5	PLL 同期安定時間	32-10
図 32.6	MODE 端子セットアップ/ホールドタイミング	32-10
図 32.7	制御信号タイミング	32-11
図 32.8	STATUS 信号出力タイミング (パワーオンリセット時)	32-11
図 32.9	SRAM バスサイクル 基本バスサイクル (ノーウェイト)	32-13
図 32.10	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)	32-14
図 32.11	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)	32-15
図 32.12	SRAM バスサイクル 基本バスサイクル (CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnBCR.RDSPL=1、CSnWCR.WTH=001)	32-16
図 32.13	バースト ROM バスサイクル (ノーウェイト)	32-17
図 32.14	バースト ROM バスサイクル (1 番目のデータ: 内部 1 ウェイト + 外部 1 ウェイト、2、3、4 番目のデータ: 内部 1 ウェイト)	32-18
図 32.15	バースト ROM バスサイクル (CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)	32-19
図 32.16	バースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)	32-20
図 32.17	PCMCIA メモリバスサイクル	32-21
図 32.18	PCMCIA I/O バスサイクル	32-22
図 32.19	PCMCIA I/O バスサイクル (TED=1、TEH=1、内部 1 ウェイト、バスサイジング)	32-23
図 32.20	MPX 基本バスサイクル、リード	32-24
図 32.21	MPX 基本バスサイクル、ライト	32-25
図 32.22	MPX バスサイクル、バーストリード	32-26
図 32.23	MPX バスサイクル、バーストライト	32-27
図 32.24	メモリバイト制御 SRAM バスサイクル	32-28
図 32.25	メモリバイト制御 SRAM バスサイクル 基本リードサイクル (CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)	32-29
図 32.26	出力クロック	32-31
図 32.27	コマンド系端子と出力クロックとの関係	32-31
図 32.28	データリード時の DQS 入力	32-32
図 32.29	DQS 入力波形の制約 (リード)	32-32
図 32.30	DQS に対する DQ 入力波形の制約 (リード時)	32-33
図 32.31	CK に対する DQS 出力波形の関係 (ライト時)	32-34
図 32.32	DQS 出力波形の関係 (ライト時)	32-34
図 32.33	DQS と DQ/DQM 出力波形の関係 (ライト時)	32-35
図 32.34	DQ 出力が HiZ へ遷移するまでの時間 (ライト時)	32-35
図 32.35	割り込み信号入力タイミング (1)	32-36
図 32.36	割り込み信号入力タイミング (2)	32-36
図 32.37	IRQOUT タイミング	32-37
図 32.38	PCI クロック入力タイミング	32-39
図 32.39	PCI 出力信号タイミング	32-39
図 32.40	PCI 入力信号タイミング	32-40

図 32.41	$\overline{DREQ}/\overline{DRAK}$ タイミング	32-41
図 32.42	TCLK 入力タイミング	32-42
図 32.43	SCIFn_CLK 入力クロックタイミング	32-43
図 32.44	SCIF I/O 同期モードクロックタイミング	32-44
図 32.45	TCK 入力タイミング	32-45
図 32.46	\overline{RESET} ホールドタイミング	32-45
図 32.47	H-UDI データ転送タイミング	32-46
図 32.48	端子ブレイクタイミング	32-46
図 32.49	GPIO 信号タイミング	32-47
図 32.50	HSPI データ出力/入力タイミング	32-48
図 32.51	SIOF_MCLK 入力タイミング	32-49
図 32.52	SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)	32-50
図 32.53	SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)	32-50
図 32.54	SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)	32-51
図 32.55	SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)	32-51
図 32.56	SIOF 送受信タイミング (スレープモード 1・スレープモード 2 時)	32-52
図 32.57	MMCIF 送信タイミング	32-53
図 32.58	MMCIF 受信タイミング (立ち上がりサンプリング)	32-53
図 32.59	HAC コールドリセットタイミング	32-54
図 32.60	HAC ウォームリセットタイミング	32-54
図 32.61	HAC クロック入力タイミング	32-54
図 32.62	HAC インタフェースモジュール信号タイミング	32-55
図 32.63	SSI クロック入力、出力タイミング	32-56
図 32.64	SSI 送信タイミング (1)	32-56
図 32.65	SSI 送信タイミング (2)	32-57
図 32.66	SSI 受信タイミング (1)	32-57
図 32.67	SSI 受信タイミング (2)	32-57
図 32.68	NAND 型フラッシュメモリのコマンド発行タイミング	32-59
図 32.69	NAND 型フラッシュメモリのアドレス発行タイミング	32-59
図 32.70	NAND 型フラッシュメモリのデータリードタイミング	32-60
図 32.71	NAND 型フラッシュメモリのデータライトタイミング	32-60
図 32.72	NAND 型フラッシュメモリのステータスリードタイミング	32-61
図 32.73	PCICLK/DCLKIN クロック入力タイミング	32-63
図 32.74	表示タイミング (PCICLK/DCLKIN 基準)	32-64
図 32.75	表示タイミング ($\overline{DEVSEL}/\overline{DCLKOUT}$ 基準)	32-64
図 32.76	TV 同期モード表示タイミング	32-65
図 32.77	出力付加回路	32-67
付録	付録-1	
図 A.1	外形寸法図 (436 ピン BGA)	付録-1
図 D.1	異電位間の電源投入/切断シーケンス	付録-24

図 D.2	DDR2-SDRAM 電源バックアップモード時の異電位間の電源投入 / 切断シーケンス.....	付録-25
図 H.1	命令のプリフェッチ	付録-30

表目次

1. 概要	1-1
表 1.1 本 LSI の特長	1-2
表 1.2 ピン機能表	1-11
2. プログラミングモデル	2-1
表 2.1 レジスタの初期値	2-3
表 2.2 FPU 例外処理に関連するビットの割り付け	2-13
3. 命令セット	3-1
表 3.1 遅延分岐命令の実行順序	3-1
表 3.2 アドレッシングモードと実効アドレス	3-3
表 3.3 命令リストの表記	3-6
表 3.4 固定小数点転送命令	3-8
表 3.5 算術演算命令	3-9
表 3.6 論理演算命令	3-11
表 3.7 シフト命令	3-12
表 3.8 分岐命令	3-13
表 3.9 システム制御命令	3-13
表 3.10 浮動小数点単精度命令	3-16
表 3.11 浮動小数点倍精度命令	3-17
表 3.12 浮動小数点制御命令	3-17
表 3.13 浮動小数点グラフィック強化命令	3-18
4. バイプライン動作	4-1
表 4.1 命令実行パターン表記説明	4-2
表 4.2 命令グループ	4-12
表 4.3 先行・後行掛け合わせ表	4-14
表 4.4 発行レートと実行ステート	4-16
5. 例外処理	5-1
表 5.1 レジスタ構成	5-1
表 5.2 各処理モードにおけるレジスタの状態	5-1
表 5.3 例外一覧	5-7
表 5.4 UTLB プロテクション情報 (TLB 互換モードの場合)	5-14
表 5.5 UTLB プロテクション情報 (TLB 拡張モードの場合)	5-14

表 5.6	ITLB プロテクション情報 (TLB 互換モードの場合)	5-15
表 5.7	ITLB プロテクション情報 (TLB 拡張モードの場合)	5-16
6.	浮動小数点ユニット (FPU)	6-1
表 6.1	浮動小数点のフォーマットとパラメータ	6-3
表 6.2	浮動小数点の範囲	6-3
表 6.3	FPU 例外処理に関連するビットの割り付け	6-10
7.	メモリマネジメントユニット (MMU)	7-1
表 7.1	レジスタ構成	7-10
表 7.2	各処理状態におけるレジスタの状態	7-10
8.	キャッシュ	8-1
表 8.1	キャッシュの特長	8-1
表 8.2	ストアキューの特長	8-1
表 8.3	レジスタ構成	8-4
表 8.4	各処理モードにおけるレジスタの状態	8-4
9.	内蔵メモリ	9-1
表 9.1	OL メモリアドレス	9-1
表 9.2	IL メモリアドレス	9-2
表 9.3	U メモリアドレス	9-3
表 9.4	レジスタ構成	9-4
表 9.5	各処理状態におけるレジスタの状態	9-4
表 9.6	内蔵メモリへのアクセスに対する保護機能による例外	9-13
10.	割り込みコントローラ (INTC)	10-1
表 10.1	割り込み要因	10-5
表 10.2	INTC の端子構成	10-9
表 10.3	INTC のレジスタ構成	10-10
表 10.4	各処理モードにおけるレジスタの状態	10-11
表 10.5	割り込み要求元と INT2PRI0 ~ INT2PRI9 レジスタ	10-29
表 10.6	各ビットと INT2A0 レジスタの対応表	10-31
表 10.7	各モジュールの割り込み要因がセット / クリアされた場合の INT2A0、INT2A1 への 反映時間	10-32
表 10.8	各ビットと INT2A1 レジスタの対応表	10-34
表 10.9	各ビットと INT2MSKR レジスタの対応表	10-36
表 10.10	各ビットと INT2MSKCLR レジスタの対応表	10-38
表 10.11	各ビットと INT2GPIC レジスタの対応表	10-45
表 10.12	IRL 割り込み端子 ($\overline{IRL3}$ ~ $\overline{IRL0}$ または $\overline{IRL7}$ ~ $\overline{IRL4}$) と割り込みレベル	10-48
表 10.13	割り込み例外処理要因と優先順位	10-52

表 10.14	割り込み応答時間	10-61
表 10.15	割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み禁止 割り込み許可の場合)	10-62
表 10.16	割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み許可 割り込み禁止の場合)	10-62
表 10.17	IRQ/IRL[7:0]端子機能切り替え手順.....	10-64
11.	ローカルバスステートコントローラ (LBSC)	11-1
表 11.1	端子構成	11-4
表 11.2	ローカルバスメモリ空間マップ.....	11-8
表 11.3	PCMCIA インタフェースの特長.....	11-11
表 11.4	PCMCIA サポートインタフェース.....	11-11
表 11.5	レジスタ構成 (1)	11-14
表 11.5	レジスタ構成 (2)	11-15
表 11.6 (1)	64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	11-38
表 11.6 (2)	64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	11-39
表 11.7	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント.....	11-40
表 11.8	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント.....	11-41
表 11.9	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント.....	11-42
表 11.10 (1)	64 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-43
表 11.10 (2)	64 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-44
表 11.11	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント.....	11-45
表 11.12	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント.....	11-46
表 11.13	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-47
表 11.14	PCMCIA インタフェース使用時のアドレスと CE の関係	11-66
表 11.15	データバス幅の選択に対する、MODE 端子設定とポート設定	11-98
表 11.16	SRAM/バースト ROM/バイト制御 SRAM インタフェース使用時の DMA1 転送での DACK _n 出力の分割に関するレジスタ設定.....	11-99
表 11.17	PCMCIA インタフェース使用時に DMA1 転送での $\overline{\text{DACK}}_n$ 出力の分割に関する レジスタ設定	11-100
表 11.18	MPX インタフェース使用のリードアクセス時に DMA1 転送での $\overline{\text{DACK}}_n$ 出力の分割に 関するレジスタ設定	11-100
表 11.19	MPX インタフェース使用のライトアクセス時に DMA1 転送での $\overline{\text{DACK}}_n$ 出力の分割に 関するレジスタ設定	11-101
12.	DDR2-SDRAM インタフェース (DBSC2)	12-1
表 12.1	DBSC2 端子構成.....	12-3
表 12.2	メモリ接続例 (2Gbit 品 : 256Mx8bit 使用時)	12-4
表 12.3	外部バス幅 32 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置.....	12-9
表 12.4	外部バス幅 16 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置.....	12-10
表 12.5	外部バス幅 32 ビット / リトルエンディアンのアクセスとデータアライメント	12-11

表 12.6	外部バス幅 32 ビット/ビッグエンディアンのアクセスとデータアライメント	12-11
表 12.7	外部バス幅 16 ビット/リトルエンディアンのアクセスとデータアライメント	12-12
表 12.8	外部バス幅 16 ビット/ビッグエンディアンのアクセスとデータアライメント	12-13
表 12.9	DBSC2 レジスタ構成	12-16
表 12.10	各処理モードにおけるレジスタの状態	12-17
表 12.11	発行する SDRAM コマンド	12-39
表 12.12	外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=00) (16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)	12-48
表 12.13	外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=00) (16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)	12-49
表 12.14	外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=01) (16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)	12-50
表 12.15	外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=01) (16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)	12-51
表 12.16	外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=10) (16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)	12-52
表 12.17	外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=10) (16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)	12-53
表 12.18	外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=11) (16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)	12-54
表 12.19	外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=11) (16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)	12-55
13.	PCI コントローラ (PCIC)	13-1
表 13.1	信号の説明	13-4
表 13.2	PCIC レジスタ一覧	13-6
表 13.3	各処理状態におけるレジスタの状態	13-9
表 13.4	サポートされる PCI バスコマンド	13-72
表 13.5	PCIC メモリマップ	13-74
表 13.6	割り込み優先順位	13-88
14.	ダイレクトメモリアクセスコントローラ (DMAC)	14-1
表 14.1	外部バスに対する端子構成	14-3
表 14.2	レジスタ構成 (1)	14-4
表 14.2	レジスタ構成 (2)	14-8
表 14.3	転送要求元一覧	14-31
表 14.4	RS ビットによる外部リクエストモードの設定	14-32
表 14.5	DL、DS ビットによる外部リクエスト検出の選択	14-33
表 14.6	DO ビットによる外部リクエスト検出の選択	14-33
表 14.7	AM ビットによるアクノリッジモードの選択	14-33
表 14.8	内蔵周辺モジュールリクエストモード一覧	14-34
表 14.9	オートリクエスト、外部リクエストでの DMA 転送区間	14-39

表 14.10	内蔵周辺モジュールリクエストでの DMA 転送区間	14-39
表 14.11	DMAC の割り込み要因	14-58
15.	クロック発振器 (CPG)	15-1
表 15.1	CPG の端子構成と機能	15-4
表 15.2	クロック動作モードと分周器および PLL の動作	15-5
表 15.3	クロック動作モードと各クロックの周波数逡倍率 (MODE12、MODE11 とともにハイレベルの場合)	15-6
表 15.4	クロック動作モードと各クロックの周波数逡倍率 (MODE12、MODE11 どちらかがローレベルの場合)	15-6
表 15.5	レジスタ構成	15-7
表 15.6	各処理状態におけるレジスタの状態	15-7
表 15.7	分周器 2 の分周率と周波数との関係	15-14
表 15.8	設定可能なクロック周波数の組み合わせ (CPU クロック × 1/2 倍、DDR クロック × 1/4 倍)	15-17
表 15.9	設定可能なクロック周波数の組み合わせ (CPU クロック × 1/4 倍、DDR クロック × 1/4 倍)	15-18
表 15.10	設定可能なクロック周波数の組み合わせ (CPU クロック × 1/2 倍、DDR クロック × 1/6 倍)	15-19
表 15.11	設定可能なクロック周波数の組み合わせ (CPU クロック × 1/6 倍、DDR クロック × 1/6 倍)	15-20
16.	リセット、ウォッチドッグタイマ (WDT)	16-1
表 16.1	リセット、WDT の端子構成と機能	16-3
表 16.2	レジスタ構成	16-3
表 16.3	各処理モードにおけるレジスタの状態	16-4
17.	低消費電力モード	17-1
表 17.1	低消費電力モードの状態	17-2
表 17.2	端子構成	17-3
表 17.3	レジスタ構成	17-4
表 17.4	各処理モードにおけるレジスタの状態	17-4
18.	タイマユニット (TMU)	18-1
表 18.1	端子構成	18-3
表 18.2	レジスタ構成 (1)	18-3
表 18.2	レジスタ構成 (2)	18-4
表 18.3	TMU の割り込み要因	18-15
19.	ディスプレイユニット (DU)	19-1
表 19.1	ディスプレイユニット (DU) 端子構成	19-4

表 19.2	レジスタ構成	19-6
表 19.3	各処理モードにおけるレジスタの状態	19-11
表 19.4	プレーンの表示機能	19-107
表 19.5	レーン 1~6 の表示オン / オフ	19-109
表 19.6	メモリパラメータ・モニタパラメータ設定レジスタ	19-110
表 19.7	メモリ割付設定レジスタ	19-111
表 19.8	出力データフォーマット	19-114
表 19.9	エンディアン変換単位	19-114
表 19.10	重ね合わせ表示	19-117
表 19.11	各表示データフォーマットにおける RGB888 展開時のビット構成	19-117
表 19.12	透過色指定レジスタ	19-119
表 19.13	表示画面で定義した変数	19-129
表 19.14	表示画面のレジスタ設定値対応表	19-130
表 19.15	CDE 端子の出力レベル	19-136
表 19.16	出力信号のタイミング設定パラメータ	19-137
20.	グラフィックスデータトランスレーションアクセラレータ (GDTA)	20-1
表 20.1	GDTA のレジスタ構成 (GDTA 共通レジスタ部)	20-5
表 20.2	GDTA のレジスタ構成 (CL 部)	20-5
表 20.3	GDTA のレジスタ構成 (MC 部)	20-6
表 20.4	GDTA の各処理モードにおけるレジスタの状態 (GDTA 共通レジスタ部)	20-6
表 20.5	GDTA の各処理モードにおけるレジスタの状態 (CL 部)	20-7
表 20.6	GDTA の各処理モードにおけるレジスタの状態 (MC 部)	20-7
表 20.7	CL_DA 設定値 CL 出力データアライメント対応表	20-20
表 20.8	YUYV4:2:2 変換シーケンス	20-40
表 20.9	ARGB8888 変換シーケンス	20-42
表 20.10	予測画生成シーケンス	20-46
表 20.11	GDTA の割り込み要求	20-53
表 20.12	GDTA のデータアライメント変換	20-53
21.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	21-1
表 21.1	SCIF の端子構成	21-6
表 21.2	レジスタ構成 (1)	21-7
表 21.2	レジスタ構成 (2)	21-10
表 21.3	SCSMR の設定値	21-23
表 21.4	SCSMR の設定値とシリアル送信 / 受信フォーマット	21-32
表 21.5	SCSMR、SCSCR の設定と SCIF のクロックソースの選択	21-32
表 21.6	シリアル送信 / 受信フォーマット (調歩同期式モード)	21-34
表 21.7	SCIF 割り込み要因	21-52

22. シリアル I/O FIFO 付き (SIOF)	22-1
表 22.1 端子構成	22-2
表 22.2 レジスタ構成	22-3
表 22.3 各処理モードにおけるレジスタの状態	22-4
表 22.4 転送モードごとの動作	22-6
表 22.5 SIOF シリアルクロック周波数例	22-27
表 22.6 シリアル転送モード	22-28
表 22.7 フレーム長	22-29
表 22.8 送信データ音声モード	22-30
表 22.9 受信データ音声モード	22-31
表 22.10 制御データのチャンネル数設定	22-31
表 22.11 送信要求発行条件	22-34
表 22.12 受信要求発行条件	22-34
表 22.13 送受信リセット	22-39
表 22.14 SIOF 割り込み要因	22-39
23. シリアルペリフェラルインタフェース (HSPI)	23-1
表 23.1 端子構成	23-3
表 23.2 レジスタ構成 (1)	23-3
表 23.2 レジスタ構成 (2)	23-3
24. マルチメディアカードインタフェース (MMCIF)	24-1
表 24.1 端子構成	24-3
表 24.2 レジスタ構成 (1)	24-3
表 24.2 レジスタ構成 (2)	24-5
表 24.3 CMDR の構成	24-6
表 24.4 コマンドと CMDTYR、RSPTYR の設定	24-25
表 24.5 コマンドレスポンスバイト数と RSPR レジスタの対応	24-27
表 24.6 MMCIF 割り込み要因	24-60
25. オーディオコーデックインタフェース (HAC)	25-1
表 25.1 HAC の端子構成	25-2
表 25.2 レジスタ構成 (1)	25-3
表 25.2 レジスタ構成 (2)	25-4
表 25.3 AC97 送信フレームの説明	25-21
表 25.4 AC97 受信フレームの説明	25-22
26. シリアルサウンドインタフェース (SSI)	26-1
表 26.1 端子構成	26-2
表 26.2 レジスタ構成 (1)	26-3

表 26.2	レジスタ構成 (2)	26-3
表 26.3	SSI モジュールのバスフォーマット	26-16
表 26.4	有効な設定とパディングビット数	26-20
27.	NAND フラッシュメモリコントローラ (FLCTL)	27-1
表 27.1	端子構成	27-4
表 27.2	レジスタ構成	27-6
表 27.3	各処理モードにおけるレジスタの状態	27-6
表 27.4	NAND 型フラッシュメモリ (512 + 16 バイト) のステータスリード	27-33
表 27.5	NAND 型フラッシュメモリ (2048 + 64 バイト) のステータスリード	27-33
表 27.6	FLCTL の割り込み要求	27-37
表 27.7	DMA 転送の設定	27-37
28.	汎用入出力ポート (GPIO)	28-1
表 28.1	ポートコントロールレジスタで制御されるマルチプレクス一覧表	28-1
表 28.2	レジスタ構成 (1)	28-5
表 28.2	レジスタ構成 (2)	28-6
29.	ユーザブレイクコントローラ (UBC)	29-1
表 29.1	レジスタ構成	29-3
表 29.2	各処理状態におけるレジスタの状態	29-3
表 29.3	マッチデータ設定レジスタの指定	29-14
表 29.4	オペランドサイズ指定と比較対象アドレス	29-22
30.	ユーザデバッグインタフェース (H-UDI)	30-1
表 30.1	H-UDI の端子構成	30-3
表 30.2	レジスタ構成 (1)	30-4
表 30.2	レジスタ構成 (2)	30-4
表 30.3	各処理状態におけるレジスタの状態	30-4
表 30.4	バウンダリスキャンレジスタの構成	30-7
表 30.5	バウンダリスキャン TAP コントローラのサポートコマンド	30-15
31.	レジスタ一覧	31-1
表 31.1	レジスタアドレス一覧表	31-2
表 31.2	各動作モードにおけるレジスタの状態 (1)	31-23
表 31.3	各動作モードにおけるレジスタの状態 (2)	31-29
表 31.4	各動作モードにおけるレジスタの状態 (3)	31-33
表 31.5	各動作モードにおけるレジスタの状態 (4)	31-34
表 31.6	各動作モードにおけるレジスタの状態 (5)	31-45
表 31.7	各動作モードにおけるレジスタの状態 (6)	31-46
表 31.8	各動作モードにおけるレジスタの状態 (7)	31-51

表 31.9	各動作モードにおけるレジスタの状態 (8)	31-51
32.	電気的特性	32-1
表 32.1	絶対最大定格	32-1
表 32.2	DC 特性	32-2
表 32.3	出力許容電流値	32-5
表 32.4	ODT 特性	32-5
表 32.5	クロックタイミング	32-6
表 32.6	クロック・制御信号タイミング	32-7
表 32.7	制御信号タイミング	32-11
表 32.8	バスタイミング	32-12
表 32.9	DBSC2 信号タイミング	32-30
表 32.10	INTC モジュール信号タイミング	32-36
表 32.11	PCI 信号タイミング	32-38
表 32.12	DMAC モジュール信号タイミング	32-41
表 32.13	TMU モジュール信号タイミング	32-42
表 32.14	SCIF モジュール信号タイミング	32-43
表 32.15	H-UDI モジュール信号タイミング	32-45
表 32.16	GPIO 信号タイミング	32-47
表 32.17	HSPI モジュール信号タイミング	32-48
表 32.18	SIOF モジュール信号タイミング	32-49
表 32.19	MMCIF モジュール信号タイミング	32-53
表 32.20	HAC インタフェースモジュール信号タイミング	32-54
表 32.21	SSI インタフェースモジュール信号タイミング	32-56
表 32.22	NAND 型フラッシュメモリインタフェースタイミング	32-58
表 32.23	PCICKL/DCLKIN タイミング	32-62
表 32.24	表示タイミング	32-62
表 32.25	端子名対応表	32-63
付録		付録-1
表 B.1	クロック動作モード	付録-2
表 B.2	エリア 0 のメモリタイプ・バス幅	付録-2
表 B.3	エンディアン	付録-3
表 B.4	マスタ/スレーブ	付録-3
表 B.5	クロック入力	付録-3
表 B.6	バスモード	付録-3
表 B.7	バスアドレスモード	付録-3
表 B.8	モード制御	付録-3
表 B.9	モード制御	付録-4
表 C.1	リセット、低消費電力状態、バス解放状態での端子状態	付録-5
表 C.2	未使用端子の処理	付録-15

表 E.1	バージョンレジスタの構成.....	付録-27
表 F.1	SH7785 品名一覧.....	付録-28

1. 概要

本 LSI には、DDR2-SDRAM インタフェース、PCI コントローラ、DMA コントローラ、タイマ、シリアル、オーディオインタフェースや YUV データ変換や動画補正処理をサポートするグラフィックスデータトランスレーションアクセラレータ (GDTA)、デジタル RGB 表示をサポートするディスプレイユニット (DU) などを搭載しています。また、外部バスインタフェースは、DDR2 インタフェース、PCI インタフェース、ローカルバスを独立した専用インタフェースにより、大容量のデータ転送およびストリーミングデータ転送に適したバスインタフェース構成になっております。

本 LSI の CPU、FPU は、SH-1、SH-2、SH-3 および SH-4 マイクロコンピュータと命令セットレベルで上位互換性を特長とする 32 ビット RISC (縮小命令セットコンピュータ) マルチプロセッサである SH-4A を内蔵しており、CPU、FPU 性能 600MHz を実現し、命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能なオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリ管理ユニット) を内蔵しています。

1. 概要

1.1 本 LSI の特長

本 LSI の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項 目	特 長
LSI	<ul style="list-style-type: none">• CPU 動作周波数：600MHz• 電圧：1.1V（内部）、1.8V（DDR2-SDRAM）、3.3V（I/O）• パッケージ：436 ピン BGA（大きさ：19×19mm、ボールピッチ：0.8mm）• 外部バス（ローカルバス） 独立した 26 ビットアドレスと 64 ビットデータバス（64 ビット時 PCI バスは使用不可） 外部バス周波数：最大 100MHz• 外部バス（DDR2-SDRAM バス） 独立した 15 ビットアドレスと 32 ビットデータバス 外部バス周波数：最大 300MHz（最大 600Mbps）• 外部バス（PCI バス） 32 ビットアドレス / データマルチプレクスバス 外部バス周波数：33MHz または 66MHz
CPU	<ul style="list-style-type: none">• ルネサステクノロジオリジナルアーキテクチャ• 32 ビット内部データバス• 汎用レジスタファイル： 16 本の 32 ビット汎用レジスタ（および 8 本の 32 ビットシャドウレジスタ） 7 本の 32 ビット制御レジスタ 4 本の 32 ビットシステムレジスタ• RISC タイプ命令セット（SH-1、SH-2、SH-3、SH-4 と上位互換性あり）： 命令長：コードの効率改善のための 16 ビット固定長 ロードストアアーキテクチャ 遅延分岐命令 条件付き実行 C 言語に基づく命令セット• FPU を含む 2 命令同時実行型スーパースカラ• 命令実行時間：最大 2 命令 / サイクル• 仮想アドレス空間：4G バイト• 空間識別子 ASID：8 ビット、256 仮想アドレス空間• 乗算器内蔵• PVR.VER = H'30• 8 段パイプライン

項 目	特 長
FPU	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット×16 ワード×2 バンク (単精度×16 ワードまたは倍精度×8 ワード)×2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート: (単精度のみ) • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート: (単精度のみ) • 命令実行時間 レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB): 1 サイクル (単精度 / 倍精度) ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】FMAC は単精度に対してのみサポートしています • 3D グラフィック命令 (単精度のみ) 4 次元ベクトル変換および行列演算 (FTRV): 4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積: 1 サイクル (ピッチ)、5 サイクル (レイテンシ) • 10 段パイプライン
メモリ管理ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入れ換え方法およびランダムカウンタ方式入れ換えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能 • 29 ビット物理アドレスモードと 32 ビットアドレス拡張モード
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長 • オペランドキャッシュ (OC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長 • 選択可能な書き込み方式 (コピーバック/ライトスルー) • ストアキュー (32 バイト×2 エントリ) • 1 段コピーバックバッファ、1 段ライトスルーバッファ

1. 概要

項 目	特 長
LRAM	<ul style="list-style-type: none">• ILRAM 高速アクセスメモリ 8K バイト 3本の独立した読み出し/書き込みポート CPU、FPUからの8/16/32/64ビットアクセス 外部要求による8/16/32/64ビットおよび16/32バイトアクセス CPU、FPUアクセスでのメモリ保護機能をサポート• OLRAM 高速アクセスメモリ 16K バイト 3本の独立した読み出し/書き込みポート CPU、FPUからの8/16/32/64ビットアクセス 外部要求による8/16/32/64ビットおよび16/32バイトアクセス CPUおよびFPUアクセスでのメモリ保護機能をサポート
URAM	<ul style="list-style-type: none">• 大容量メモリ 128K バイト• 3本の独立した読み出し/書き込みポート• CPU、FPUからの8/16/32ビットアクセス• DMACからの8/16/32ビットアクセス
割り込みコントローラ (INTC)	<ul style="list-style-type: none">• 9本の独立した外部割り込み：NMI、IRQ7～IRQ0 NMI：立ち下がり/立ち上がり選択可能 IRQ：立ち下がり/立ち上がり/ハイレベル/ローレベル選択可能• 15レベルの符号化した外部割り込み：IRL3～IRL0またはIRL7～IRL4• 内蔵モジュール割り込み：モジュールごとに優先レベルを設定 内蔵モジュール割り込みを発行できるモジュールは以下のモジュールです。 TMU、DU、GDTA、SCIF、WDT、H-UDI、DMAC、HAC、PCIC、SIOF、HSPI、MMCIF、SSI、 FLCTL、GPIO

項 目	特 長
ローカルバスステート コントローラ (LBSC)	<ul style="list-style-type: none"> • ローカルバス専用インタフェース それぞれ最大 64M バイトの 7 つのエリアに分割した外部メモリ空間を管理 インタフェースタイプ、バス幅、ウェイトステート挿入を各エリアごと独立に設定可能 • SRAM インタフェース ウェイトステート挿入をレジスタによって設定可能 \overline{RDY} 端子によるウェイトステート挿入 接続可能エリア：全エリア (0、1、2、3、4、5、6) 設定可能バス幅：64、32、16、8 ビット • バースト ROM インタフェース ウェイトステート挿入をレジスタによって設定可能 バースト転送回数をレジスタによって設定可能 接続可能エリア：全エリア (0、1、2、3、4、5、6) 設定可能バス幅：64、32、16、8 ビット • MPX インタフェース アドレス / データマルチプレクス 接続可能エリア：全エリア (0、1、2、3、4、5、6) 設定可能バス幅：64、32 ビット • バイト制御 SRAM インタフェース 接続可能エリア：1、4 設定可能バス幅：64、32、16 ビット • PCMCIA インタフェース (リトルエンディアンモード時のみ) ウェイトステート挿入をレジスタによって設定可能 I/O バス幅のバスサイジング機能 接続可能エリア：5、6 設定可能バス幅：16、8 ビット • E-IDE / ATAPI デバイス (ATA3) との転送をサポート PIO モード 4、マルチワード DMA モード 2 の転送をサポート 接続可能エリア：5、6 • ビッグエンディアンまたはリトルエンディアンを設定可能

1. 概要

項 目	特 長
DDR2-SDRAM バスコントローラ (DBSC)	<ul style="list-style-type: none"> • DDR2-SDRAM バス専用インタフェース マルチバンク対応：4バンクのマルチバンクオペレーションに対応 バンク数：4、8バンク対応（ただし、同時に開くのは4バンクまで） 接続可能バス幅：32、16ビット 先行プリチャージ・アクティベート機能サポート バースト長：4（固定） バーストタイプ：シーケンシャル（固定） CAS レイテンシ：2、3、4、5、6 • オートリフレッシュモード 平均間隔をレジスタに設定可能。リクエストの空きがあれば先行リフレッシュ動作を実施 • セルフリフレッシュモード • 接続対象メモリ：接続可能最大メモリ容量 1G バイト 32ビットバス幅設定時： <ul style="list-style-type: none"> 16M × 16bit (256Mbit) × 2、32M × 16bit (512Mbit) × 2、64M × 16bit (1Gbit) × 2、 128M × 16bit (2Gbit) × 2、32M × 8bit (256Mbit) × 4、64M × 8bit (512Mbit) × 4、 128M × 8bit (1Gbit) × 4、256M × 8bit (2Gbit) × 4 16ビットバス幅設定時： <ul style="list-style-type: none"> 16M × 16bit (256Mbit) × 1、32M × 16bit (512Mbit) × 1、64M × 16bit (1Gbit) × 1、 128M × 16bit (2Gbit) × 1、32M × 8bit (256Mbit) × 2、64M × 8bit (512Mbit) × 2、 128M × 8bit (1Gbit) × 2、256M × 8bit (2Gbit) × 2 • ビッグエンディアンまたはリトルエンディアンを端子によるパワーオンリセット時に切り替え可能
PCI コントローラ (PCIC)	<ul style="list-style-type: none"> • PCI 規格のレビジョン 2.2 のサブセットをサポート 32ビットバス、33MHz または 66MHz • PCI マスタ/ターゲット機能をサポート • PCI ホスト/ノーマルモードをサポート バスアービタ内蔵（ホストモード時） • 4種類の外部マスタをサポート • 外部バスアービタモードをサポート • バースト転送をサポート • バリティチェックおよびエラーレポートをサポート • ホストモードでは、4種類の外部割り込み入力（$\overline{\text{INTA}}$ - $\overline{\text{INTD}}$）をサポート • ノーマルモードでは、1種類の外部割り込み出力（$\overline{\text{INTA}}$）をサポート • PCI メモリ空間：最大 512M バイト（32ビットアドレス拡張モード） 最大 64M バイト（29ビットアドレスモード）

項目	特長
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • チェネル数：12 • 12 チェネル物理アドレス DMA コントローラ • 4 チェネル外部リクエスト受け付け可能 (チャンネル0~3) • アドレス空間：4G バイト • 転送データサイズ：8、16、32 ビットまたは 16、32 バイト • アドレスモード：デュアルアドレスモード • 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、またはオートリクエストの3種類から選択可能 • DACK/DRAK 選択可能 (4つの外部端子) • パスモード：サイクルスチールモードとバーストモード選択可能 • 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
クロック発振器 (CPG)	<ul style="list-style-type: none"> • CPU 周波数：最大 600MHz • ローカルバス周波数：最大 100MHz • DDR2-SDRAM インタフェース周波数：最大 300MHz • 内蔵周辺バス周波数：最大 50MHz • 低消費電力モード スリープモード モジュールスタンバイ機能 DDR 電源バックアップ機能 (DDR 電源のみ電源供給)
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • チェネル数：1 • 1 チェネルのウォッチドッグタイマ (ウォッチドッグタイマモードまたはインターバルタイマモード選択可能) • リセット機能選択可能：パワーオンリセットまたはマニュアルリセット
タイマ (TMU)	<ul style="list-style-type: none"> • チェネル数：6 • 6 チェネルのオートリロード方式の 32 ビットダウンカウンタを内蔵 • インプットキャプチャ機能 (チャンネル2のみ) • 最大6種類 (外部クロックおよび周辺クロック) のカウンタ入力クロック選択可能
グラフィックスデータ トランスレーション アクセラレータ (GDTA)	<ul style="list-style-type: none"> • YUV データ変換処理 変換モード：YUYV モード (YUV4:2:0 YUV4:2:2)、ARGB モード (YUV4:2:0 ARG8888) • 動画補正処理 マクロブロック単位 (16 画素×16 画素) での動きベクトルによる予測画像の生成 モード：順方向、逆方向、両方向、イントラ展開 • データ転送専用 DMAC 内蔵 • カラーバレットデータ用 RAM 内蔵 • IDCT データ用 RAM 内蔵

1. 概要

項 目	特 長
ディスプレイユニット (DU)	<ul style="list-style-type: none"> • 表示プレーン <ul style="list-style-type: none"> 6 プレーン (480×234 ドット時の最大) 4 プレーン (854×480 ドット時の最大) 3 プレーン (800×600 ドット時の最大) • CRT 走査方式: ノンインタレース、インタレース、インタレースシンク&ビデオ • 同期方式: マスタモード (内部同期モード)、TV 同期モード (外部同期モード)、同期方式切り替えモード • カラーパレット内蔵 <ul style="list-style-type: none"> 26 万色中同時 256 色表示 4 組 (レイヤごとに設定可能) • ブレンド比設定 <ul style="list-style-type: none"> ブレンド比ありカラーパレット面数: 4 面 プレーン (面数と兼用) • デジタル RGB 出力: RGB 各 6 ビット精度 • ドットクロック: 外部入力、内部クロック切り替え可能 (分周率: 1~32 分周)
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • チャンネル数: 6 (最大) • 6 チャンネルに 64 バイト (8 ビット×64 段) の FIFO を内蔵 • 2 本の全二重通信チャンネル • 調歩同期式モードおよびクロック同期式モードをサポート • 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能 • モデムコントロール機能 (RTS、CTS) 内蔵 (チャンネル 0 のみ) • ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックを選択可能
FIFO 内蔵クロック同期 シリアル I/O (SIOF)	<ul style="list-style-type: none"> • チャンネル数: 1 (最大) • 全二重通信をサポート • 送受信独立の 64 バイト (32 ビット×16 段) の FIFO を内蔵 • 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応 • 同期方法はフレーム同期パルス / 左右チャンネル切り替えに対応 • リニア / オーディオ / A-Law、μ-Law CODEC チップに接続可能 • 内蔵周辺クロックおよび外部端子からのサンプリングレートクロックを入力選択可 • 最大サンプリングレート: 48kHz • 内蔵周辺クロックでのプリスケアラ内蔵
シリアルプロトコル インタフェース (HSPI)	<ul style="list-style-type: none"> • チェネル数: 1 (最大) • 全二重通信をサポート • マスタ / スleepモード • 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能

項目	特長
マルチメディアカード インタフェース (MMCIF)	<ul style="list-style-type: none"> • チャンネル数：1（最大） • マルチメディアカードシステム仕様バージョン 3.1 のサブセットをサポート • MMC モードをサポート • MMCCLK 出力（転送クロック出力）端子、MMCCMD 入出力（コマンド出力 / レスポンス入力）端子、MMCDAT 入出力（データ入出力）端子によるインタフェース
オーディオコーデック インタフェース (HAC)	<ul style="list-style-type: none"> • チャンネル数：2（最大） • オーディオコーデック用デジタルインタフェース • スロット 1～4 の送受信に対応 • 送受信 DMA 転送は 16 または 20 ビットを選択可能 • スロットデータの調整により各種サンプリングレートをサポート
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • チャンネル数：2（最大） • 圧縮データ転送および非圧縮データ転送をサポート • フレームサイズを設定可能
NAND フラッシュメモリ コントローラ (FLCTL)	<ul style="list-style-type: none"> • チャンネル数：1（最大） • NAND 型フラッシュメモリインタフェース • 動作モード：コマンドアクセスモード、セクタアクセスモードデータ転送用 FIFO フラッシュメモリのデータ転送用に 224 バイトの FIFO を内蔵 管理コードのデータ転送用に 32 バイトの FIFO を内蔵 CPU および DMAC からのアクセス時、オーバラン / アンダラン検出フラグビット
汎用 I/O (GPIO)	<ul style="list-style-type: none"> • 汎用 I/O ポート：入出力 111 本 • GPIO 割り込みサポート
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブレイク割り込みによるデバックをサポート • 2 本のブレイクチャンネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能 • シーケンシャルブレイク機能をサポート
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • JTAG インタフェース（TCK、TMS、TRST、TDI、TDO） • E10A エミュレータサポート • リアルタイム分岐トレース
パッケージ	<ul style="list-style-type: none"> • フリップチップ BGA 436 ピン（パッケージサイズ：19 × 19 mm、ボールピッチ：0.8mm）
電源電圧	<ul style="list-style-type: none"> • 内部（VDD）、PLL1（VDD-PLL1、VDDA-PLL1）、PLL2（VDD-PLL2）：1.1V • DDR2 I/O（VDD-DDR）：1.8V • I/O（VDDQ）、PLL1（VDDQ-PLL1）、PLL2（VDDQ-PLL2）：3.3V

1. 概要

1.2 ブロック図

本 LSI のブロック図を図 1.1 に示します。

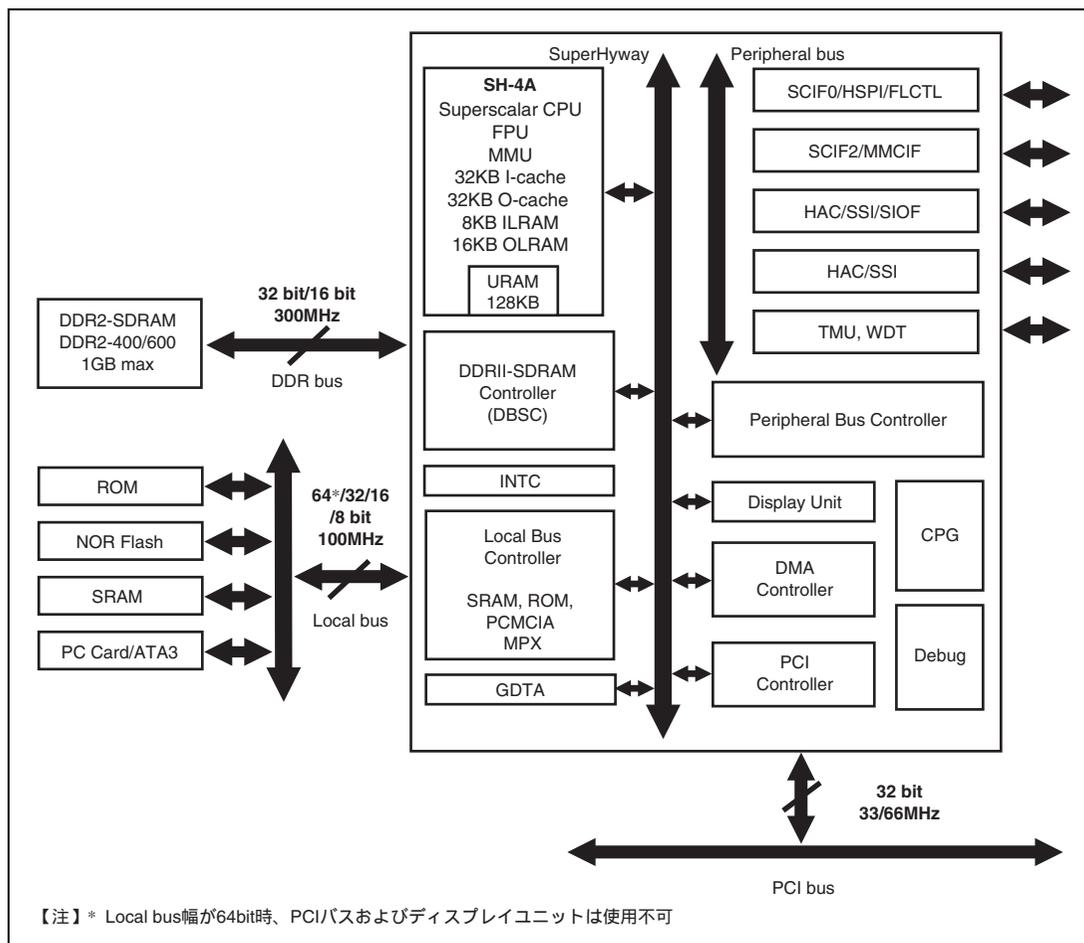


図 1.1 ブロック図

1.3 ピン配置表

表 1.2 ピン機能表

No.	端子番号	端子名	入出力	機能	GPIO
1	C8	MDQ0	IO	DDR データ	
2	A7	MDQ1	IO	DDR データ	
3	B7	MDQ2	IO	DDR データ	
4	E8	MDQ3	IO	DDR データ	
5	C7	MDQ4	IO	DDR データ	
6	F9	MDQ5	IO	DDR データ	
7	B9	MDQ6	IO	DDR データ	
8	A8	MDQ7	IO	DDR データ	
9	F11	MDQ8	IO	DDR データ	
10	F12	MDQ9	IO	DDR データ	
11	C10	MDQ10	IO	DDR データ	
12	E10	MDQ11	IO	DDR データ	
13	A10	MDQ12	IO	DDR データ	
14	A9	MDQ13	IO	DDR データ	
15	B11	MDQ14	IO	DDR データ	
16	E11	MDQ15	IO	DDR データ	
17	H1	MDQ16	IO	DDR データ	
18	G2	MDQ17	IO	DDR データ	
19	H3	MDQ18	IO	DDR データ	
20	H5	MDQ19	IO	DDR データ	
21	J6	MDQ20	IO	DDR データ	
22	G3	MDQ21	IO	DDR データ	
23	G1	MDQ22	IO	DDR データ	
24	J2	MDQ23	IO	DDR データ	
25	M6	MDQ24	IO	DDR データ	
26	K3	MDQ25	IO	DDR データ	
27	K1	MDQ26	IO	DDR データ	
28	K5	MDQ27	IO	DDR データ	
29	J1	MDQ28	IO	DDR データ	
30	L5	MDQ29	IO	DDR データ	
31	L6	MDQ30	IO	DDR データ	
32	L2	MDQ31	IO	DDR データ	
33	E9	MDM0	O	DDR データマスク	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
34	A11	MDM1	O	DDR データマスク	
35	J5	MDM2	O	DDR データマスク	
36	L1	MDM3	O	DDR データマスク	
37	C9	MDQS0	IO	DDR データストロープ	
38	C11	MDQS1	IO	DDR データストロープ	
39	J3	MDQS2	IO	DDR データストロープ	
40	L3	MDQS3	IO	DDR データストロープ	
41	D9	$\overline{\text{MDQS0}}$	IO	DDR データストロープ	
42	D11	$\overline{\text{MDQS1}}$	IO	DDR データストロープ	
43	J4	$\overline{\text{MDQS2}}$	IO	DDR データストロープ	
44	L4	$\overline{\text{MDQS3}}$	IO	DDR データストロープ	
45	F5	MA0	O	DDR アドレス	
46	B5	MA1	O	DDR アドレス	
47	D5	MA2	O	DDR アドレス	
48	E7	MA3	O	DDR アドレス	
49	G5	MA4	O	DDR アドレス	
50	E6	MA5	O	DDR アドレス	
51	F3	MA6	O	DDR アドレス	
52	F7	MA7	O	DDR アドレス	
53	G4	MA8	O	DDR アドレス	
54	A6	MA9	O	DDR アドレス	
55	E1	MA10	O	DDR アドレス	
56	C6	MA11	O	DDR アドレス	
57	G6	MA12	O	DDR アドレス	
58	D7	MA13	O	DDR アドレス	
59	F1	MA14	O	DDR アドレス	
60	A5	MBA0	O	DDR バンクアドレス 0	
61	D3	MBA1	O	DDR バンクアドレス 1	
62	C5	MBA2	O	DDR バンクアドレス 2	
63	A2	MCK0	O	DDR クロック 0	
64	B3	$\overline{\text{MCK0}}$	O	DDR クロック 0	
65	B1	MCK1	O	DDR クロック 1	
66	C2	$\overline{\text{MCK1}}$	O	DDR クロック 1	
67	E2	$\overline{\text{MCS}}$	O	DDR チップセレクト	
68	E4	MRAS	O	DDR RAS	
69	E3	$\overline{\text{MCAS}}$	O	DDR CAS	
70	E5	$\overline{\text{MWE}}$	O	DDR ライトイネーブル	

Rev.1.00 2009.09.18 1-12

RJJ09B0285-0100

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
71	C4	MODT	O	DDR ODT	
72	A4	MCKE	O	DDR クロックイネーブル	
73	D1	MVREF	I	DDR VREF	
74	C3	MBKPRST	I	DDR バックアップリセット	
75	AB10	D0	IO	データバス	
76	Y10	D1	IO	データバス	
77	AB11	D2	IO	データバス	
78	AA11	D3	IO	データバス	
79	Y11	D4	IO	データバス	
80	AB12	D5	IO	データバス	
81	AA12	D6	IO	データバス	
82	Y12	D7	IO	データバス	
83	V12	D8	IO	データバス	
84	AB13	D9	IO	データバス	
85	Y13	D10	IO	データバス	
86	V13	D11	IO	データバス	
87	U12	D12	IO	データバス	
88	AB14	D13	IO	データバス	
89	AA14	D14	IO	データバス	
90	Y14	D15	IO	データバス	
91	V14	D16	IO	データバス	G0
92	AB15	D17	IO	データバス	G1
93	Y15	D18	IO	データバス	G2
94	AB16	D19	IO	データバス	G3
95	AA16	D20	IO	データバス	G4
96	Y16	D21	IO	データバス	G5
97	W16	D22	IO	データバス	G6
98	AB17	D23	IO	データバス	G7
99	AB18	D24	IO	データバス	F0
100	AA18	D25	IO	データバス	F1
101	Y18	D26	IO	データバス	F2
102	W18	D27	IO	データバス	F3
103	AB19	D28	IO	データバス	F4
104	Y19	D29	IO	データバス	F5
105	AB20	D30	IO	データバス	F6
106	AA20	D31	IO	データバス	F7
107	AB9	A0	O	アドレスバス	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
108	AA9	A1	O	アドレスバス	
109	Y9	A2	O	アドレスバス	
110	W9	A3	O	アドレスバス	
111	AB8	A4	O	アドレスバス	
112	Y8	A5	O	アドレスバス	
113	V8	A6	O	アドレスバス	
114	AB7	A7	O	アドレスバス	
115	AA7	A8	O	アドレスバス	
116	Y7	A9	O	アドレスバス	
117	W7	A10	O	アドレスバス	
118	V7	A11	O	アドレスバス	
119	AB6	A12	O	アドレスバス	
120	Y6	A13	O	アドレスバス	
121	V6	A14	O	アドレスバス	
122	AB5	A15	O	アドレスバス	
123	AA5	A16	O	アドレスバス	
124	Y5	A17	O	アドレスバス	
125	W5	A18	O	アドレスバス	
126	AB4	A19	O	アドレスバス	
127	Y4	A20	O	アドレスバス	
128	AB3	A21	O	アドレスバス	
129	AA3	A22	O	アドレスバス	
130	Y3	A23	O	アドレスバス	
131	AB2	A24	O	アドレスバス	
132	AA1	A25	O	アドレスバス	
133	W11	$\overline{CS0}$	O	チップセレクト 0	
134	V11	$\overline{CS1}$	O	チップセレクト 1	
135	V10	$\overline{CS2}$	O	チップセレクト 2	
136	V9	$\overline{CS3}$	O	チップセレクト 3	
137	U7	$\overline{CS4}$	O	チップセレクト 4	
138	V5	$\overline{CS5}$	O	チップセレクト 5	
139	U5	$\overline{CS6}$	O	チップセレクト 6	
140	U11	RD/FRAME	O/O	リードストロープ / MPX インタフェースサイクルフレーム	
141	U9	R \overline{W}	O	リード / ライト	
142	V15	BS	O	バスサイクルスタート	
143	W12	WE0/REG	O/O	SRAM D7 - D0 ライトストロープ / PCMCIA IF REG	
144	W14	$\overline{WE1}$	O	SRAM D15 - D8 ライトストロープ	

Rev.1.00 2009.09.18 1-14

RJJ09B0285-0100

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
145	Y17	WE2/IORD	O/O	SRAM D23 - D16/PCMCIA IORD	
146	AB21	WE3/IOWR	O/O	SRAM D31 - D24/PCMCIA IOWR	
147	U16	RDY	I	バスレディ	
148	F22	CLKOUT	O	クロック出力	
149	F20	CLKOUTENB	O	クロック出力イネーブル	
150	G22	D32/AD0/DR0	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 0	D0
151	H22	D33/AD1/DR1	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 1	D1
152	H20	D34/AD2/DR2	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 2	D2
153	H18	D35/AD3/DR3	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 3	D3
154	J22	D36/AD4/DR4	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 4	D4
155	J21	D37/AD5/DR5	IO/IO/O	データバス / PCI アドレス / データ / デジタル Red 5	D5
156	J20	D38/AD6/DG0	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 0	D6
157	J19	D39/AD7/DG1	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 1	D7
158	K22	D40/AD8/DG2	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 2	C0
159	K20	D41/AD9/DG3	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 3	C1
160	K18	D42/AD10/DG4	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 4	C2
161	L22	D43/AD11/DG5	IO/IO/O	データバス / PCI アドレス / データ / デジタル Green 5	C3
162	L21	D44/AD12/DB0	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 0	C4
163	L20	D45/AD13/DB1	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 1	C5
164	L19	D46/AD14/DB2	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 2	C6
165	L18	D47/AD15/DB3	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 3	C7
166	P21	D48/AD16/DB4	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 4	B0
167	P20	D49/AD17/DB5	IO/IO/O	データバス / PCI アドレス / データ / デジタル Blue 5	B1
168	P19	D50/AD18	IO/IO	データバス / PCI アドレス / データ	B2
169	P18	D51/AD19	IO/IO	データバス / PCI アドレス / データ	B3
170	P17	D52/AD20	IO/IO	データバス / PCI アドレス / データ	B4
171	R22	D53/AD21	IO/IO	データバス / PCI アドレス / データ	B5
172	R20	D54/AD22	IO/IO	データバス / PCI アドレス / データ	B6
173	R18	D55/AD23	IO/IO	データバス / PCI アドレス / データ	B7
174	T20	D56/AD24	IO/IO	データバス / PCI アドレス / データ	A0
175	T19	D57/AD25	IO/IO	データバス / PCI アドレス / データ	A1
176	T18	D58/AD26	IO/IO	データバス / PCI アドレス / データ	A2
177	U22	D59/AD27	IO/IO	データバス / PCI アドレス / データ	A3
178	U20	D60/AD28	IO/IO	データバス / PCI アドレス / データ	A4
179	V21	D61/AD29	IO/IO	データバス / PCI アドレス / データ	A5
180	V20	D62/AD30	IO/IO	データバス / PCI アドレス / データ	A6
181	V19	D63/AD31	IO/IO	データバス / PCI アドレス / データ	A7

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
182	J18	WE4/CBE0	O/IO	SRAM D39 - D32/PCI コマンド / バイトイネーブル 0	R0
183	L17	WE5/CBE1	O/IO	SRAM D47 - D40/PCI コマンド / バイトイネーブル 1	R1
184	P22	WE6/CBE2	O/IO	SRAM D55 - D48/PCI コマンド / バイトイネーブル 2	R2
185	T21	WE7/CBE3	O/IO	SRAM D63 - D56/PCI コマンド / バイトイネーブル 3	R3
186	N18	PCIFRAME/VSYNC	IO/IO	PCI サイクルフレーム / 出力 VSYNC	P0
187	N20	IRDY/HSYNC	IO/IO	PCI イニシエータレディ / 出力 HSYNC	P1
188	N22	TRDY/DISP	IO/O	PCI ターゲットレディ / 表示期間	P2
189	T22	IDSEL	I	PCI コンフィグデバイス選択	
190	M19	LOCK/ODDF	IO/IO	PCI ロック / 奇数・偶数フィールド	P3
191	M17	DEVSEL/DCLKOUT	IO/O	PCI デバイス選択 / DU 出力ドットクロック	P5
192	M22	PAR	IO	PCI パリティ	
193	M18	STOP/CDE	IO/O	PCI ストップ / 色検出	P4
194	M21	SERR	IO	PCI システムエラー	Q0
195	M20	PERR	IO	PCI パリティエラー	Q1
196	T17	REQ0/REQOUT	I/O	PCI バス権要求 (ホスト) / バス要求出力	Q2
197	W20	GNT0/GNTIN	O/I	PCI バスグラント	Q3
198	U18	REQ1	I	PCI バス権要求 (ホスト)	E5*
199	V18	REQ2	I	PCI バス権要求 (ホスト)	E4*
200	W22	REQ3	I/I	PCI バス権要求 (ホスト)	E3*
201	Y21	GNT1	O	PCI バスグラント	E2*
202	Y20	GNT2	O	PCI バスグラント	E1*
203	AA22	GNT3/MMCCLK	O/O	PCI バスグラント / MMC クロック出力	E0*
204	Y22	PCIRESET	O	PCI リセット	
205	V22	PCICLK/DCLKIN	I/I	PCI 入力クロック / DU 入力ドットクロック	
206	G21	INTA	IO	PCI 割り込み A	Q4
207	A19	EXTAL	I	外部入力クロック / 水晶発振子	
208	A18	XTAL	O	水晶発振子	
209	N1	PRESET	I	パワーオンリセット	
210	C19	NMI	I	ノンマスクابل割り込み	
211	J17	IRQ/IRL0	I	IRQ IRL 割り込み要求 0	
212	G18	IRQ/IRL1	I	IRQ IRL 割り込み要求 1	
213	G19	IRQ/IRL2	I	IRQ IRL 割り込み要求 2	
214	G17	IRQ/IRL3	I	IRQ IRL 割り込み要求 3	
215	B18	STATUS0/DRAK0	O/O	ステータス 0 / DREQ0 受け付け確認	K7
216	A17	STATUS1/DRAK1	O/O	ステータス 1 / DREQ1 受け付け確認	K6
217	V17	BREQ/BSACK	I	バス権要求 (マスター) / バス権確認 (スレーブ)	M1
218	V16	BACK/BSREQ	O	バス権確認 (マスター) / バス権要求 (スレーブ)	M0

Rev.1.00 2009.09.18 1-16

RJJ09B0285-0100

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
219	C17	$\overline{DREQ0}$	I	DMA チャンネル 0 転送要求	K3
220	D16	$\overline{DREQ1}$	I	DMA チャンネル 1 転送要求	K2
221	E17	$\overline{DREQ2/INTB}$	I/I	DMA チャンネル 2 転送要求 / PCI 割り込み B	L7*
222	E20	$\overline{DREQ3/INTC}$	I/I	DMA チャンネル 3 転送要求 / PCI 割り込み C	L6*
223	C16	DACK0	O	DMA チャンネル 0 転送終了通知	K1
224	E16	DACK1	O	DMA チャンネル 1 転送終了通知	K0
225	E18	DACK2/SCIF2_TXD/MMCCMD/ SIOF_TXD	O/O/O/ IO/O	DMA チャンネル 2 転送終了通知 / SCIF2 送信データ / MMC コマンドレスポンス / SIOF 送信データ	K5
226	E19	DACK3/SCIF2_SCK/MMCCDAT/ SIOF_SCK	O/O/IO/ IO/IO	DMA チャンネル 3 転送終了通知 / SCIF2 シリアルクロック / MMC データ / SIOF シリアルクロック	K4
227	F16	$\overline{DRAK2/CE2A}$	O/O	DREQ2 受け付け確認 / PCMCIA CE2A	L5
228	A14	TCK	I	H-UDI クロック入力	
229	E15	TMS	I	H-UDI モード選択	
230	B14	TDI	I	H-UDI データ入力	
231	E13	TDO	O	H-UDI データ出力	
232	C15	\overline{TRST}	I	H-UDI リセット	
233	C14	$\overline{ASEBRK/BRKACK}$	I	H-UDI エミュレータ	
234	A13	AUDCK	O	H-UDI エミュレータ	
235	A12	AUDSYNC	O	H-UDI エミュレータ	
236	C12	AUDATA0	O	H-UDI エミュレータ	
237	D12	AUDATA1	O	H-UDI エミュレータ	
238	B12	AUDATA2	O	H-UDI エミュレータ	
239	C13	AUDATA3	O	H-UDI エミュレータ	
240	P2	SCIF0_TXD/HSPI_TX/ \overline{FWE}	O/O/O	SCIF0 送信データ / HSPI 送信データ / NAND フラッシュライトイネーブル	H0
241	P3	SCIF0_RXD/HSPI_RX/ \overline{FRB}	I/I/I	SCIF0 受信データ / HSPI 受信データ / NAND フラッシュレディ / ビジー	H1*
242	P1	SCIF0_SCK/HSPI_CLK/ \overline{FRE}	IO/IO/O	SCIF0 シリアルクロック / HSPI シリアルクロック / NAND フラッシュリードイネーブル	H2*
243	P5	SCIF0_RTS/HSPI_CS/ \overline{FSE}	IO/IO/O	SCIF0 モデム制御 (RTS) / HSPI チップセレクト / NAND フラッシュスベアエアリアイネーブル	H3*
244	P4	SCIF0_CTS/INTD/ \overline{FCE}	IO/I/O	SCIF0 モデム制御 (CTS) / PCI 割り込み D / NAND フラッシュチップセレクト	H4*
245	T1	SCIF1_TXD	O	SCIF1 送信データ	H5
246	T2	SCIF1_RXD	I	SCIF1 受信データ	H6
247	R1	SCIF1_SCK	IO	SCIF1 シリアルクロック	H7
248	D18	SCIF2_RXD/SIOF_RXD	I/I/I	SCIF2 受信データ / SIOF 受信データ	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
249	U3	SIOF_SCK/HAC0_BITCLK/SSI0_CLK	IO/I/O	SIOF シリアルクロック / HAC0 ビットクロック / SSI0 シリアルビットクロック	J2
250	V1	SIOF_MCLK/HAC_RES	I/O	SIOF マスタークロック / HAC リセット	J3
251	V2	SIOF_SYNC/HAC0_SYNC/SSI0_WS	IO/O/IO	SIOF フレーム同期 / HAC0 フレーム同期 / SSI0 ワード選択	J4
252	T4	SIOF_RXD/HAC0_SDIN/SSI0_SCK	I/I/O	SIOF 受信データ / HAC0 受信フレームシリアル入力データ / SSI0 シリアルビットクロック	J5
253	U1	SIOF_TXD/HAC0_SDOOUT/ SSI0_SDATA	O/O/IO	SIOF 送信データ / HAC0 送信フレームシリアル出力データ / SSI0 シリアルデータ	J6
254	V3	HAC1_BITCLK/SSI1_CLK	I/O	HAC1 ビットクロック / SSI1 シリアルビットクロック	J1
255	Y1	SCIF5_TXD/HAC1_SYNC/SSI1_WS	O/O/IO	SCIF5 送信データ / HAC1 フレーム同期 / SSI1 ワード選択	J7
256	Y2	SCIF5_RXD/HAC1_SDIN/SSI1_SCK	I/I/O	SCIF5 受信データ / HAC1 受信フレームシリアル入力データ / SSI1 シリアルビットクロック	N7
257	W1	SCIF5_SCK/HAC1_SDOOUT/ SSI1_SDATA	IO/O/IO	SCIF5 フレーム同期 / HAC1 送信フレームシリアル出力データ / SSI1 シリアルデータ	N6
258	M3	MODE0/IRQ/IRL4/FD4	I/I/O	モード制御 0 / IRQ IRL 割り込み要求 4 / NAND フラッシュデータ	L4
259	N3	MODE1/IRQ/IRL5/FD5	I/I/O	モード制御 1 / IRQ IRL 割り込み要求 5 / NAND フラッシュデータ	L3
260	N4	MODE2/IRQ/IRL6/FD6	I/I/O	モード制御 2 / IRQ IRL 割り込み要求 6 / NAND フラッシュデータ	L2
261	N5	MODE3/IRQ/IRL7/FD7	I/I/O	モード制御 3 / IRQ IRL 割り込み要求 7 / NAND フラッシュデータ	L1
262	R6	MODE4/SCIF3_TXD/FCLE	I/O/O	モード制御 4 / SCIF3 送信データ / NAND フラッシュコマンドラッチイネーブル	N5
263	R3	MODE5/SIOF_MCLK	I/I	モード制御 5 / SIOF マスタークロック	
264	T3	MODE6/SIOF_SYNC	I/O	モード制御 6 / SIOF フレーム同期	
265	P6	MODE7/SCIF3_RXD/FALE	I/I/O	モード制御 7 / SCIF3 受信データ / NAND フラッシュアドレスラッチイネーブル	N4
266	R5	MODE8/SCIF3_SCK/FD0	I/O/IO	モード制御 8 / SCIF3 シリアルクロック / NAND フラッシュデータ	N3
267	V4	MODE9/SCIF4_TXD/FD1	I/O/IO	モード制御 9 / SCIF4 送信データ / NAND フラッシュデータ	N2
268	T5	MODE10/SCIF4_RXD/FD2	I/I/O	モード制御 10 / SCIF4 受信データ / NAND フラッシュデータ	N1
269	W3	MODE11/SCIF4_SCK/FD3	I/O/IO	モード制御 11 / SCIF4 シリアルクロック / NAND フラッシュデータ	N0
270	G20	MODE12/DRAK3/CE2B	I/O/O	モード制御 12 / DREQ3 受け付け確認 / PCMCIA CE2B	L0
271	U14	MODE13/TCLK/IOIS16	I/O/I	モード制御 13 / TMU クロック / PCMCIA IOIS16	J0
272	C18	MPMD	I	モード制御	
273	A20	MODE14	I	Pulled-Up to VDDQ (not user application)	
274	F18	MRESETOUT/IRQOUT	O/O	マニュアルリセット出力 / 割り込み要求出力	
275	D14	THDAG	-	Thermal diode, Pull down to GND	
276	E14	THDAS	-	Thermal diode, Pull down to GND	
277	F14	THDCD	I	Thermal diode, Pull down to GND	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
278	A16	THDCTL	I	Thermal diode, Pull down to GND	
279	A1	VSS	-	GND	
280	A3	VSS	-	GND	
281	A15	VSSQ-TD	-	Thermal diode GND	
282	A21	VSSQ-PLL1	-	PLL1 GND	
283	A22	VSS	-	GND	
284	B2	VDD-DDR	-	DDR I/O VDD	
285	B4	VDD-DDR	-	DDR I/O VDD	
286	B6	VSS	-	GND	
287	B8	VDD-DDR	-	DDR I/O VDD	
288	B10	VSS	-	GND	
289	B13	VSS	-	GND	
290	B15	VDDQ	-	I/O VDD	
291	B16	VDDQ-TD	-	Thermal diode VDD	
292	B17	VSS	-	GND	
293	B19	VDDQ	-	I/O VDD	
294	B20	VDDQ-PLL1	-	PLL1 VDD (3.3V)	
295	B21	VDDQ	-	I/O VDD	
296	B22	VSSA-PLL1	-	PLL1 GND	
297	C1	VSS	-	GND	
298	C20	VDDA-PLL1	-	PLL1 VDD (1.1V)	
299	C21	VDD-PLL1	-	PLL1 VDD (1.1V)	
300	C22	VSS-PLL1	-	PLL1 GND	
301	D2	VDD-DDR	-	DDR I/O VDD	
302	D4	VSS	-	GND	
303	D6	VDD-DDR	-	DDR I/O VDD	
304	D8	VSS	-	GND	
305	D10	VDD-DDR	-	DDR I/O VDD	
306	D13	VDDQ	-	I/O VDD	
307	D15	VSS	-	GND	
308	D17	VDDQ	-	I/O VDD	
309	D19	VSS	-	GND	
310	D20	VDDQ-PLL2	-	PLL2 VDD (3.3V)	
311	D21	VDDQ	-	I/O VDD	
312	D22	VSSQ-PLL2	-	PLL2 GND	
313	E12	VDD-DDR	-	DDR I/O VDD	
314	E21	VDD-PLL2	-	PLL2 VDD (1.1V)	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
315	E22	VSS-PLL2	-	PLL2 GND	
316	F2	VSS	-	GND	
317	F4	VDD-DDR	-	DDR I/O VDD	
318	F6	VSS	-	GND	
319	F8	VDD-DDR	-	DDR I/O VDD	
320	F10	VSS	-	GND	
321	F13	VSS	-	GND	
322	F15	VDDQ	-	I/O VDD	
323	F17	VSS	-	GND	
324	F19	VDDQ	-	I/O VDD	
325	F21	VSS	-	GND	
326	G7	VSS	-	GND	
327	G8	VDD	-	内部 VDD	
328	G9	VSS	-	GND	
329	G10	VDD	-	内部 VDD	
330	G11	VSS	-	GND	
331	G12	VDD	-	内部 VDD	
332	G13	VSS	-	GND	
333	G14	VDD	-	内部 VDD	
334	G15	VSS	-	GND	
335	G16	VDD	-	内部 VDD	
336	H2	VDD-DDR	-	DDR I/O VDD	
337	H4	VSS	-	GND	
338	H6	VDD-DDR	-	DDR I/O VDD	
339	H7	VDD	-	内部 VDD	
340	H16	VSS	-	GND	
341	H17	VDDQ	-	I/O VDD	
342	H19	VSS	-	GND	
343	H21	VDDQ	-	I/O VDD	
344	J7	VSS	-	GND	
345	J16	VDD	-	内部 VDD	
346	K2	VSS	-	GND	
347	K4	VDD-DDR	-	DDR I/O VDD	
348	K6	VSS	-	GND	
349	K7	VDD	-	内部 VDD	
350	K10	VSS	-	GND	
351	K11	VSS	-	GND	

Rev.1.00 2009.09.18 1-20

RJJ09B0285-0100

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
352	K12	VSS	-	GND	
353	K13	VSS	-	GND	
354	K16	VSS	-	GND	
355	K17	VSS	-	GND	
356	K19	VDDQ	-	I/O VDD	
357	K21	VSS	-	GND	
358	L7	VSS	-	GND	
359	L10	VSS	-	GND	
360	L11	VSS	-	GND	
361	L12	VSS	-	GND	
362	L13	VSS	-	GND	
363	L16	VDD	-	内部 VDD	
364	M1	VSS	-	GND	
365	M2	VSS	-	GND	
366	M4	VDDQ	-	I/O VDD	
367	M5	VDD-DDR	-	DDR I/O VDD	
368	M7	VDD	-	内部 VDD	
369	M10	VSS	-	GND	
370	M11	VSS	-	GND	
371	M12	VSS	-	GND	
372	M13	VSS	-	GND	
373	M16	VSS	-	GND	
374	N2	VSS	-	GND	
375	N6	VSS	-	GND	
376	N7	VSS	-	GND	
377	N10	VSS	-	GND	
378	N11	VSS	-	GND	
379	N12	VSS	-	GND	
380	N13	VSS	-	GND	
381	N16	VDD	-	内部 VDD	
382	N17	VSS	-	GND	
383	N19	VDDQ	-	I/O VDD	
384	N21	VSS	-	GND	
385	P7	VDD	-	内部 VDD	
386	P16	VSS	-	GND	
387	R2	VDDQ	-	I/O VDD	
388	R4	VSS	-	GND	

1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
389	R7	VSS	-	GND	
390	R16	VDD	-	内部 VDD	
391	R17	VDDQ	-	I/O VDD	
392	R19	VSS	-	GND	
393	R21	VDDQ	-	I/O VDD	
394	T6	VDDQ	-	I/O VDD	
395	T7	VDD	-	内部 VDD	
396	T8	VSS	-	GND	
397	T9	VDD	-	内部 VDD	
398	T10	VSS	-	GND	
399	T11	VDD	-	内部 VDD	
400	T12	VSS	-	GND	
401	T13	VDD	-	内部 VDD	
402	T14	VSS	-	GND	
403	T15	VDD	-	内部 VDD	
404	T16	VSS	-	GND	
405	U2	VSS	-	GND	
406	U4	VDDQ	-	I/O VDD	
407	U6	VSS	-	GND	
408	U8	VDDQ	-	I/O VDD	
409	U10	VSS	-	GND	
410	U13	VSS	-	GND	
411	U15	VDDQ	-	I/O VDD	
412	U17	VSS	-	GND	
413	U19	VDDQ	-	I/O VDD	
414	U21	VSS	-	GND	
415	W2	VDDQ	-	I/O VDD	
416	W4	VSS	-	GND	
417	W6	VDDQ	-	I/O VDD	
418	W8	VSS	-	GND	
419	W10	VDDQ	-	I/O VDD	
420	W13	VDDQ	-	I/O VDD	
421	W15	VSS	-	GND	
422	W17	VDDQ	-	I/O VDD	
423	W19	VSS	-	GND	
424	W21	VDDQ	-	I/O VDD	
425	AA2	VDDQ	-	I/O VDD	

Rev.1.00 2009.09.18 1-22

RJJ09B0285-0100

No.	端子番号	端子名	入出力	機能	GPIO
426	AA4	VDDQ	-	I/O VDD	
427	AA6	VSS	-	GND	
428	AA8	VDDQ	-	I/O VDD	
429	AA10	VSS	-	GND	
430	AA13	VSS	-	GND	
431	AA15	VDDQ	-	I/O VDD	
432	AA17	VSS	-	GND	
433	AA19	VDDQ	-	I/O VDD	
434	AA21	VDDQ	-	I/O VDD	
435	AB1	VSS	-	GND	
436	AB22	VSS	-	GND	

【記号説明】

入出力欄で使用している記号の意味は次のとおりです。

- I : 入力
- O : 出力
- IO : 入出力
- : 入出力方向と関係なし

GPIO (汎用入出力ポート) 欄で使用している記号の意味は次のとおりです。

- A0、A1...、R0、R1 : GPIO ポート A0、A1...、R0、R1 として使用可能 (入出力 77 本)
- E0*、...、E5*、H1*、...、H4*、L6*、L7* : GPIO 割り込み入力端子として使用可能 (GPIO 入出力 77 本のうち 12 本)

1. 概要

1.4 ピン配置図

パッケージ：FC-BGA 436 ピン (PRBG0436GA-A)、19mm×19mm、ボールピッチ：0.8mm

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22																	
A	VSS	MCK0	VSS	MCKE	MBA0	MA9	MDQ1	MDQ7	MDQ13	MDQ12	MDM1	AUDSYNC	AUDCK A2	TCK	VSSQ TD	THD CTL	STATU S1/DRA K1	XTAL	EXTAL	MODE14	VSSQ- PLL1	VSS	A																
B	MCK1	VDD- DDR	MCK0	VDD- DDR	MA1	VSS	MDQ2	VDD- DDR	MDQ6	VSS	MDQ14	AUDAT A2	VSS	TDI	VDDQ	VDDQ- TD	VSS	STATUS9 /DRAK0	VDDQ	VDDQ- PLL1	VDDQ	VSSA- PLL1	B																
C	VSS	MCK1	MCKPRST	MODT	MBA2	MA11	MDQ4	MDQ0	MDQ0	MDQ10	MDQ5	AUDAT A0	AUDAT A3	ASEBRK /BRKACK	TRST	DACK0	DREQ0	MPMD	NMI	VDDA- PLL1	VDD- PLL1	VSS- PLL1	C																
D	MVREF	VDD- DDR	MBA1	VSS	MA2	VDD- DDR	MA13	VSS	MDQS0	VDD- DDR	MDQS1	AUDAT A1	VDDQ	THDAG	VSS	DREQ1	VDDQ	SCIF2_RXD /SIOF_RXD	VSS	VDDQ- PLL2	VDDQ	VSSQ- PLL2	D																
E	MA10	MCS	MCA5	MRAS	MWE	MA5	MA3	MDQ3	MDM0	MDQ11	MDQ15	VDD- DDR	TDO	THDAS	TMS	DACK1	DREQ2 /INTB	DACK2/ SCIF2_TXD /MMCK0/ SIOF_TXD	DACK3/ SCIF2_SCK /MMCK1/ SIOF_SCK	DREQ3 /INTC	VDD- PLL2	VSS- PLL2	E																
F	MA14	VSS	MA6	VDD- DDR	MA0	VSS	MA7	VDD- DDR	MDQ5	VSS	MDQ8	MDQ9	VSS	THDCC	VDDQ	DRAK2/ CE2A	VSS	MRESET0 UT/ IROUT	VDDQ	CLKOU TENB	VSS	CLKO UT	F																
G	MDQ22	MDQ17	MDQ21	MA8	MA4	MA12	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	IRL3	IRL1	IRL2	MODE12/ DRAK3/ CE2B	INTA	D32/AD 0/DR0	G																
H	MDQ16	VDD- DDR	MDQ18	VSS	MDQ19	VDD- DDR	VDD	<div style="border: 1px solid black; padding: 10px; width: fit-content; margin: auto;"> <h3 style="margin: 0;">PKG TOP VIEW</h3> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td> </tr> <tr> <td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td> </tr> <tr> <td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td> </tr> <tr> <td>VSS</td><td>VSS</td><td>VSS</td><td>VSS</td> </tr> </table> </div>								VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDQ	D35/AD3 DR3	VSS	D34/AD 2/DR2	VDDQ	D33/AD 1/DR1	H
VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS																																				
VSS	VSS	VSS	VSS																																				
J	MDQ28	MDQ23	MDQS 2	MDQS2	MDM2	MDQ20	VSS	VDD	IRL0	WE4/ CBE0	D39/AD 7/DG1	D38/AD 6/DG0	D37/AD 5/DR5	D36/AD 4/DR4	J																								
K	MDQ26	VSS	MDQ25	VDD- DDR	MDQ27	VSS	VDD	VSS	VSS	VSS	VSS	VSS	D42/AD 10/DG4	VDDQ	D41/AD 9/DG3	VSS	D40/AD 8/DG2	K																					
L	MDM3	MDQ31	MDQS 3	MDQS3	MDQ29	MDQ30	VSS	VDD	WE5/ CBE1	D47/AD 15/DB3	D46/AD 14/DB2	D45/AD 13/DB1	D44/AD 12/DB0	D43/AD 11/DG5	L																								
M	VSS	VSS	MODE0 /IRL4 /FD4	VDDQ	VDD- DDR	MDQ24	VDD	VSS	VSS	VSS	VSS	VSS	DEVSEL/ DCLKOUT	STOP /CDE	LOCK /ODDF	PERR	SERR	PAR	M																				
N	PRESET	VSS	MODE1 /IRL5 /FD5	MODE2 /IRL6 /FD6	MODE3 /IRL7 /FD7	VSS	VSS	VDD	VSS	VSS	VSS	VSS	VDD	VSS	PCIFRA ME/VS YNC	VDDQ	IRDY/ HSYNC	VSS	TRDY /DISP	N																			
P	SCIF1_SCK /HSP_CLK /FRE	SCIF1_TXD /HSP_TX /FWE	SCIF1_RXD /HSP_RX /FRB	SCIF1_CTS /INTD/ /FCE	SCIF1_RTS /HSP_CS /FSE	MODE7/ SCIF1 RDX/FALE	VDD	VSS	D52/A D20	D51/A D19	D50/A D18	D49/AD 17/DB5	D48/AD 16/DB4	WE6/ CBE2	P																								
R	SCIF1_SCK	VDDQ	MODE8/ SCK/MLK	VSS	MODE9/ SCIF3_ SCK/FD0	MODE4/ SCIF3_ TXD/FCLE	VSS	VDD	VDDQ	D55/A D23	VSS	D54/A D22	VDDQ	D53/A D21	R																								
T	SCIF1_TXD	SCIF1_RXD	MODE6/ OF_SYNC	SCIF1_RXD /HACL_ SDN/SS1 SCK	MODE10/ SCIF4_RXD /FD2	VDDQ	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	REG1/ REGOUT	D58/A D26	D57/A D25	D56/A D24	WE7/ CBE3	IDSEL	T																		
U	SCIF1_TXD /HACL_SCK /SDO/ /SS1SDA	VSS	SCIF1_RXD /HACL_SCK /BS1/ CLK/SS1_ CLK	VDDQ	CS6	VSS	CS4	VDDQ	R/W	VSS	RD/F FRAME	D12	VSS	MODE13 /TCLK/ /IO16	VDDQ	RDY	VSS	REQ1	VDDQ	D60/A D28	VSS	D59/A D27	U																
V	SCIF1_MCLK /HACL_RES	SCIF1_SYNC /HACL_WS	HACL1_B1 /TCLK/ /SS1_CLK	MODE9/ SCIF4_ TXD/FD1	CS5	A14	A11	A6	CS3	CS2	CS1	D8	D11	D16	BS	BACK/ BSREQ	BREQ/ BSACK	REQ2	D63/A D31	D62/A D30	D61/A D29	PCICK /DCLKN	V																
W	SCIF3_SCK /HACL_S0 /OUT/SS1_ SDATA	VDDQ	MODE11 /SCIF4_S CK/FD3	VSS	A18	VDDQ	A10	VSS	A3	VDDQ	CS0	WE0/ REG	VDDQ	WE1	VSS	D22	VDDQ	D27	VSS	GNT0/ GNTIN	VDDQ	REQ3	W																
Y	SCIF3_TXD /HACL_S1 /SYNC/ /SS1_WS	SCIF3_RXD /HACL1_ SDN/SS1_ SCK	A23	A20	A17	A13	A9	A5	A2	D1	D4	D7	D10	D15	D18	D21	WE2/ IORD	D26	D29	GNT2	GNT1	PCIRES ET	Y																
AA	A25	VDDQ	A22	VDDQ	A16	VSS	A8	VDDQ	A1	VSS	D3	D6	VSS	D14	VDDQ	D20	VSS	D25	VDDQ	D31	VDDQ	GNT3/ MMCKLCK	AA																
AB	VSS	A24	A21	A19	A15	A12	A7	A4	A0	D0	D2	D5	D9	D13	D17	D19	D23	D24	D28	D30	WE3/ OWR	VSS	AB																

図 1.2 SH7785 のピン配置図 (1) (パッケージ TOP VIEW)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22																		
AB	VSS	A24	A21	A19	A15	A12	A7	A4	A0	D0	D2	D5	D9	D13	D17	D19	D23	D24	D28	D30	WE3/ IOWR	VSS																		
AA	A25	VDDQ	A22	VDDQ	A16	VSS	A8	VDDQ	A1	VSS	D3	D6	VSS	D14	VDDQ	D20	VSS	D25	VDDQ	D31	VDDQ	GNT3/ MMC CLK																		
Y	SCIF3_TXD /HAC1_ SYNC/SSH1_ WS	SCIF3_RXD /HAC1_ SDIN/SSH1_ SCK	A23	A20	A17	A13	A9	A5	A2	D1	D4	D7	D10	D15	D18	D21	WE2/ IORD	D26	D29	GNT2	GNT1	PCIRE SET																		
W	SCIF3_SCK /HAC1_SD OUT/SSH1_ SDATA	VDDQ	MODE1V SCIF4_SCK /FD3	VSS	A18	VDDQ	A10	VSS	A3	VDDQ	CS0	WE0/ REG	VDDQ	WE1	VSS	D22	VDDQ	D27	VSS	GNT0 /GNTIN	VDDQ	REQ3																		
V	SCIF_MCLK /RAC_RES	SCIF_SYNC /HAC2_ SYNC/ S80_WS	HAC1_BIT CLK/SSH1_ CLK	MODE8S CIF4_TXD/ FD1	CS5	A14	A11	A6	CS3	CS2	CST	D8	D11	D16	BS	BACK/ BSREG	BREQ/ BSACK	REQ2	D63/A D31	D62/A D30	D61/A D29	PCICK /CLKIN																		
U	SCIF_TXD /HAC0_SDO UT/SS0_ SDATA	VSS	SCIF_SCK /HAC0_BIT CLK/S80L_ CLK	VDDQ	CS6	VSS	CS4	VDDQ	R/W	VSS	RD/ FRAME	D12	VSS	MODE13 /TCCLK/ IOIS16	VDDQ	RDY	VSS	REQ1	VDDQ	D60/A D28	VSS	D59/A D27																		
T	SCIF1_ TXD	SCIF1_ RXD	MODE6V SCIF_SYNC	SCIF3_RXD /HAC0_SD IN/SS1_ SCK	MODE10V SCIF4_RXD /FD2	VDDQ	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	REQ0/ REQOUT	D58/A D26	D57/A D25	D56/A D24	WE7/ CBE3	IDSEL																		
R	SCIF1_ SCK	VDDQ	MODE6V SCIF_MCLK	VSS	MODE8V SCIF3_SCK /FD0	MODE2V SCIF3_TXD /F0LE	VSS	<div style="text-align: center; border: 1px solid black; padding: 10px;"> <p>PKG BTM VIEW</p> <table border="1" style="margin: auto;"> <tr> <td>VSS</td> <td>VSS</td> <td>VSS</td> <td>VSS</td> </tr> </table> </div>										VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD	VDDQ	D55/A D23	VSS	D54/A D22	VDDQ	D53/A D21
VSS	VSS	VSS	VSS																																					
VSS	VSS	VSS	VSS																																					
VSS	VSS	VSS	VSS																																					
VSS	VSS	VSS	VSS																																					
P	SCIF0_SCK /HSP1_CLK /FRE	SCIF0_TXD /HSP1_TV /FWE	SCIF0_RXD /HSP1_RV /FRB	SCIF0_CTS /INTD/F /CE	SCIF0_RTS /HSP1_CS /FSE	MODE5V CIF3_RXD/ FALE	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	D52/A D20	D51/A D19	D50/A D18	D49/A D17/D B5	D48/A D16/D B4	WE6/ CBE2																	
N	PRESET	VSS	MODE1V /R0PFR0	MODE2V /R0PFR0	MODE3V /R0PFR0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD	VSS	PCIFRA ME/VS YNC	IRDY/ HSYNC	VSS	TRDY/ DISP																	
M	VSS	VSS	MODE0 /RL4/ FD4	VDDQ	VDD- DDR	MDQ24	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	DEVSE L/DC LKOUT	STOP /CODE	LOCK /JODDF	FERR	SERR	PAR																
L	MDM3	MDQ31	MDQS 3	MDQS3	MDQ29	MDQ30	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD	WE5/ CBET	D47/AD 15/DB3	D46/AD 14/DB2	D45/AD 13/DB1	D44/AD 12/DB0	D43/AD 11/DG5															
K	MDQ26	VSS	MDQ25	VDD- DDR	MDQ27	VSS	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	D42/AD 9/DG4	VDDQ	D41/AD 8/DG3	VSS	D40/AD 8/DG2															
J	MDQ28	MDQ23	MDQS 2	MDQS2	MDM2	MDQ20	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD	IRL0	WE4/ CBE0	D39/AD 7/DG1	D38/AD 6/DG0	D37/AD 5/DR5	D36/AD 4/DR4													
H	MDQ16	VDD- DDR	MDQ18	VSS	MDQ19	VDD- DDR	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDQ	D35/AD 3/DR3	VSS	D34/AD 2/DR2	VDDQ	D33/AD 1/DR1													
G	MDQ22	MDQ17	MDQ21	MA8	MA4	MA12	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS													
F	MA14	VSS	MA6	VDD- DDR	MA0	VSS	MA7	VDD- DDR	MDQ5	VSS	MDQ8	MDQ9	VSS	THDCD	VDDQ	DRAK2 /CEZ4	VSS	RESET OUT/ IROUT	VDDQ	CLKO UTENB	VSS	CLKOU T																		
E	MA10	MCS	MCS	MRAS	MWE	MA5	MA3	MDQ3	MDM0	MDQ11	MDQ15	VDD- DDR	TDO	THDAS	TMS	DACK1	DREQ2 /INTE	DAOK2S CIF2_TXD /MMC0BD	DAOK3S CIF2_SCK /MMC0ATI SCIF_SCK	DREQ3 /INTC	VDD- PLL2	VSS- PLL2																		
D	MVRE F	VDD- DDR	MBA1	VSS	MA2	VDD- DDR	MA13	VSS	MDQS0	VDD- DDR	MDQS1	AUDA TA1	VDDQ	THDAG	VSS	DREGT	VDDQ	SCIF2_RXD /SCIF_RXD	VSS	VDDQ -PLL2	VDDQ	VSSQ- PLL2																		
C	VSS	MCK1	MBKPRST	MODT	MBA2	MA11	MDQ4	MDQ0	MDQS 0	MDQ10	MDQS 1	AUDA TA0	AUDA TA3	ASEBR/ BRACK	TRST	DACK0	DREQ0	MPMD	NMI	VDDA- PLL1	VDD- PLL1	VSS- PLL1																		
B	MCK1	VDD- DDR	MCK0	VDD- DDR	MA1	VSS	MDQ2	VDD- DDR	MDQ6	VSS	MDQ14	AUDA TA2	VSS	TDI	VDDQ	VDDQ_ TD	VSS	STATUS0 /DRAK0	VDDQ	VDDQ -PLL1	VDDQ	VSSA- PLL1																		
A	VSS	MCK0	VSS	MCKE	MBA0	MA9	MDQ1	MDQ7	MDQ13	MDQ12	MDM1	AUDSY NC	AUDCK	TCK	VSSQ_ TD	THD CTL	STATUS1 /DRAK1	XTAL	EXTAL	MODE14	VSSQ- PLL1	VSS																		

図 1.3 SH7785 のピン配置図 (2) (パッケージ BOTTOM VIEW)

1. 概要

1.5 物理メモリアドレスマップ

本 LSI は 32 ビットの仮想アドレス空間をサポートします。また、物理アドレス空間は、29 ビットアドレス（通常モード）および 32 ビット拡張アドレスモード（拡張モード）をサポートしています。それぞれのマッピングなど、詳細については、「第 7 章 メモリマネジメントユニット（MMU）」を参照してください。

図 1.4 に AREASEL ビットとメモリアドレスマップの対応を示します。なお、物理アドレス空間は、本 LSI の内部バスである SuperHyway バスアドレス空間に一致します。

MMSELR.AREASEL[2:0]*	B'000	B'001	B'010	B'011	B'100	B'101	B'110
H'0000 0000	エリア0 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC	LBSC
H'0400 0000	エリア1 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC	LBSC
H'0800 0000	エリア2 (LBSC/DDRIF)	LBSC	LBSC	DBSC2	DBSC2	DBSC2	LBSC
H'0C00 0000	エリア3 (DDRIF)	DBSC3	DBSC3	DBSC3	DBSC3	DBSC3	LBSC
H'1000 0000	エリア4 (LBSC/DDRIF/PCIC)	LBSC	PCIC	LBSC	PCIC	DBSC4	PCIC
H'1400 0000	エリア5 (LBSC/DDRIF)	LBSC	LBSC	LBSC	LBSC	DBSC5	LBSC
H'1800 0000	エリア6 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC	LBSC
H'1C00 0000	エリア7 (リザーブ)						
H'2000 0000	(未定義)						
H'4000 0000	DDR-SDRAM (DDRIF)	DBSC0	DBSC0	DBSC0	DBSC0	DBSC0	DBSC0
H'4400 0000		DBSC1	DBSC1	DBSC1	DBSC1	DBSC1	DBSC1
H'4800 0000		DBSC2	DBSC2	DBSC2	DBSC2	DBSC2	DBSC2
H'4C00 0000		DBSC3	DBSC3	DBSC3	DBSC3	DBSC3	DBSC3
H'5000 0000		DBSC4	DBSC4	DBSC4	DBSC4	DBSC4	DBSC4
H'5400 0000		DBSC5	DBSC5	DBSC5	DBSC5	DBSC5	DBSC5
H'5800 0000		DBSC6	DBSC6	DBSC6	DBSC6	DBSC6	DBSC6
H'5C00 0000		DBSC7	DBSC7	DBSC7	DBSC7	DBSC7	DBSC7
H'6000 0000		DBSC8	DBSC8	DBSC8	DBSC8	DBSC8	DBSC8
H'6400 0000		DBSC9	DBSC9	DBSC9	DBSC9	DBSC9	DBSC9
H'6800 0000		DBSC10	DBSC10	DBSC10	DBSC10	DBSC10	DBSC10
H'6C00 0000		DBSC11	DBSC11	DBSC11	DBSC11	DBSC11	DBSC11
H'7000 0000		DBSC12	DBSC12	DBSC12	DBSC12	DBSC12	DBSC12
H'7400 0000		DBSC13	DBSC13	DBSC13	DBSC13	DBSC13	DBSC13
H'7800 0000		DBSC14	DBSC14	DBSC14	DBSC14	DBSC14	DBSC14
H'7C00 0000		DBSC15	DBSC15	DBSC15	DBSC15	DBSC15	DBSC15
H'8000 0000	(未定義)						
H'C000 0000	PCI (PCIC)	PCIC	PCIC	PCIC	PCIC	PCIC	PCIC
H'E000 0000	内部リソース						
H'FFFF FFFF							

29ビット物理
アドレス空間
(通常モード)

32ビット物理
アドレス空間
(拡張モード)

【注】* MMSELRレジスタAREASELビットについては、「11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)」を参照してください。

図 1.4 AREASEL ビットと物理メモリアドレスマップとの関連

2. プログラミングモデル

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

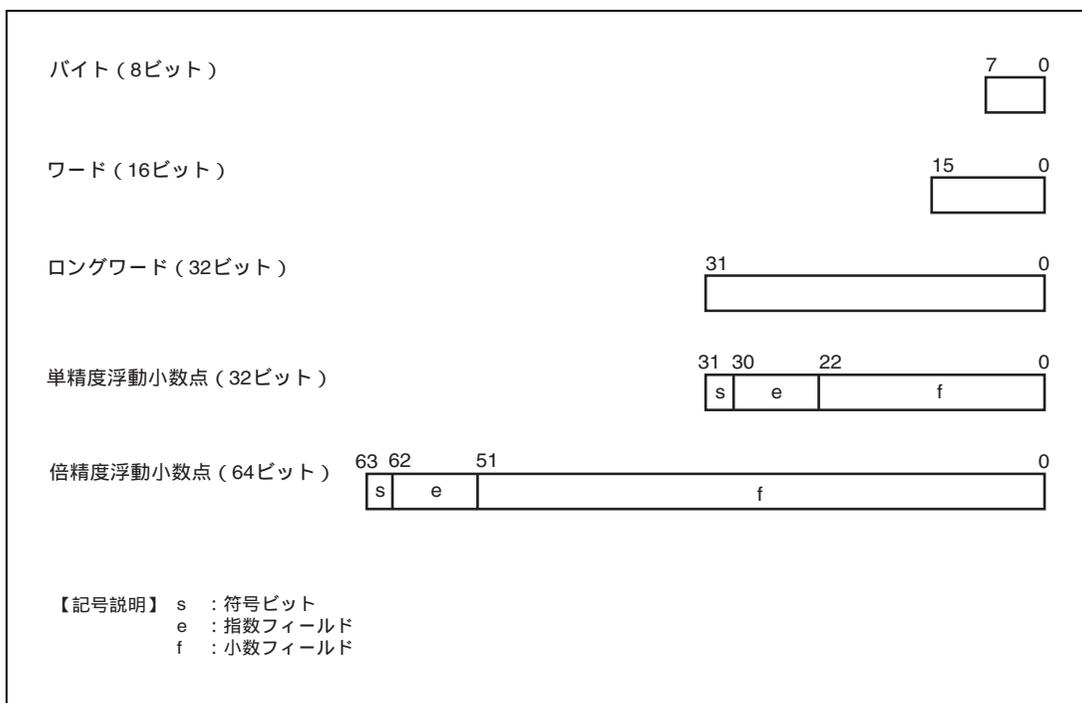


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12(レジスタベクタ)の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX(レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

2. プログラミングモデル

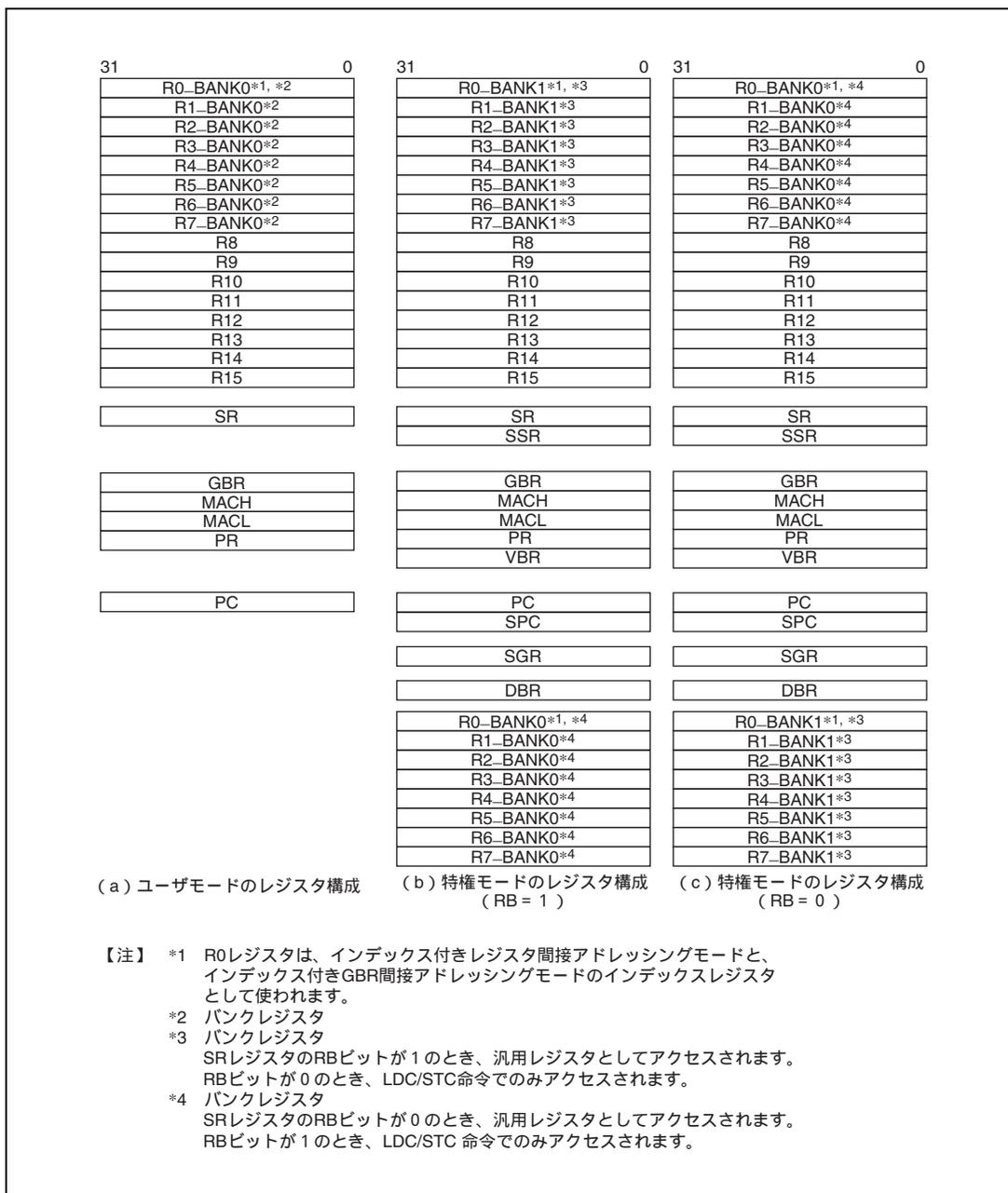


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15)があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0	R0-BANK0
R1	R1_BANK0	R1	R1-BANK0
R2	R2_BANK0	R2	R2-BANK0
R3	R3_BANK0	R3	R3-BANK0
R4	R4_BANK0	R4	R4-BANK0
R5	R5_BANK0	R5	R5-BANK0
R6	R6_BANK0	R6	R6-BANK0
R7	R7_BANK0	R7	R7-BANK0
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

2. プログラミングモデル

【プログラミング上の注意】

ユーザモードの R0～R7 は R0_BANK0～R7_BANK0 に、例外・割り込み後の R0～R7 は R0_BANK1～R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0～R7 (R0_BANK0～R7_BANK0) を回避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0～FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0～XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0～FR15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0～FR15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8, XF9}, XD10 = {XF10, XF11},

XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left(\begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right)$

2. プログラミングモデル

FPSCR.FR=0				FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
		FR4	FPR4_BANK0	XF4		XD4	
FV4	DR4	FR5	FPR5_BANK0	XF5			
		FR6	FPR6_BANK0	XF6	XD6		
	DR6	FR7	FPR7_BANK0	XF7			
		FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
	DR10	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
		FR14	FPR14_BANK0	XF14		XD14	
FV12	DR12	FR15	FPR15_BANK0	XF15			
		FR16	FPR16_BANK0	XF16			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
	XD2	XF2	FPR2_BANK1	FR2	DR2		
		XF3	FPR3_BANK1	FR3			
		XF4	FPR4_BANK1	FR4		DR4	FV4
XD4	XF5	XF6	FPR5_BANK1	FR5			
		XF7	FPR6_BANK1	FR6	DR6		
	XD6	XF8	FPR7_BANK1	FR7			
		XF9	FPR8_BANK1	FR8	DR8	FV8	
		XF10	FPR9_BANK1	FR9			
XD8	XF10	XF11	FPR10_BANK1	FR10	DR10		
		XF12	FPR11_BANK1	FR11			
	XD10	XF13	FPR12_BANK1	FR12	DR12	FV12	
		XF14	FPR13_BANK1	FR13			
		XF15	FPR14_BANK1	FR14			DR14
XD12	XF12	XF16	FPR15_BANK1	FR15			
		XF17	FPR16_BANK1	FR16			
	XD14	XF18	FPR17_BANK1	FR17			
		XF19	FPR18_BANK1	FR18			
		XF20	FPR19_BANK1	FR19			

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD						M	Q	IMASK					S	T	
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 一般例外または割り込みにより 1 にセットされます。
27 ~ 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します (FPU 命令 : HF***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
14~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 G. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第3章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SSR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										FR	SZ	PR	DN	Cause		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。

2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
20	SZ	0	R/W	<p>転送サイズモード</p> <p>0: FMOV 命令のデータサイズは 32 ビットです。</p> <p>1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
19	PR	0	R/W	<p>精度モード</p> <p>0: 浮動小数点命令を単精度演算として実行します。</p> <p>1: 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0: 非正規化数を非正規化数として扱います。</p> <p>1: 非正規化数を 0 として扱います。</p>
17 ~ 12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11 ~ 7	Enable(EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6 ~ 2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1, 0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00: 近傍への丸め</p> <p>01: 0 方向への丸め</p> <p>10: リザーブ (設定禁止)</p> <p>11: リザーブ (設定禁止)</p>

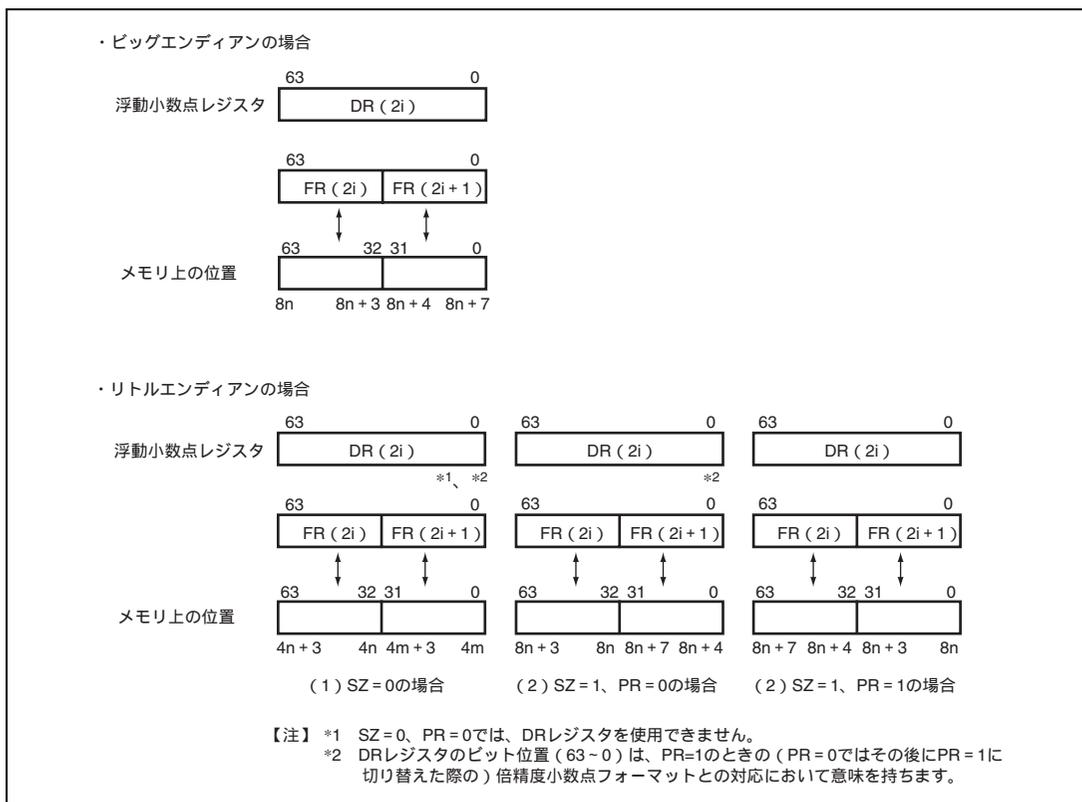


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPUL レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。

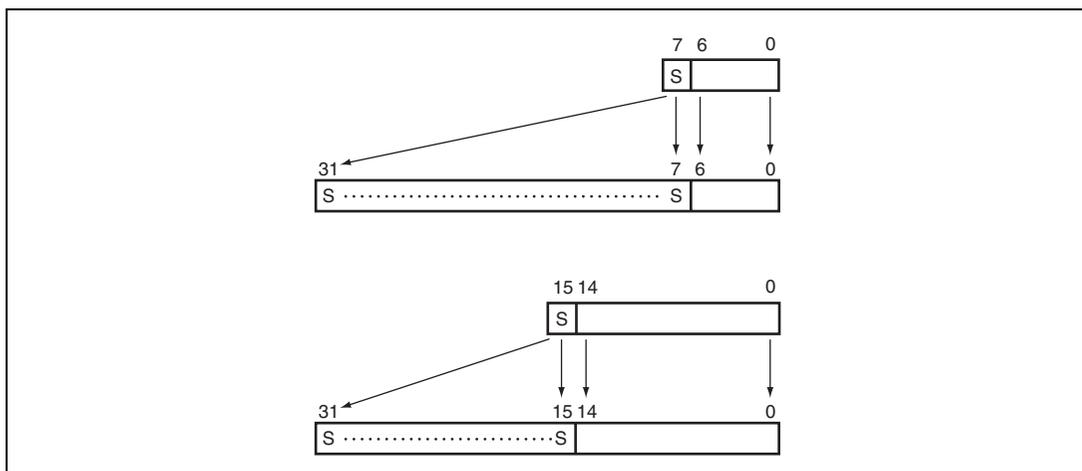


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.7に示します。

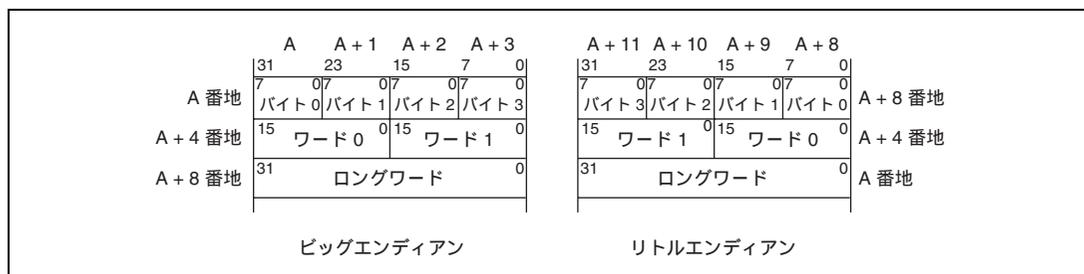


図 2.7 メモリ上のデータ形式

64ビットのデータ形式については図2.5を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタとCPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。低消費電力状態の詳細は、「第17章 低消費電力モード」を参照してください。

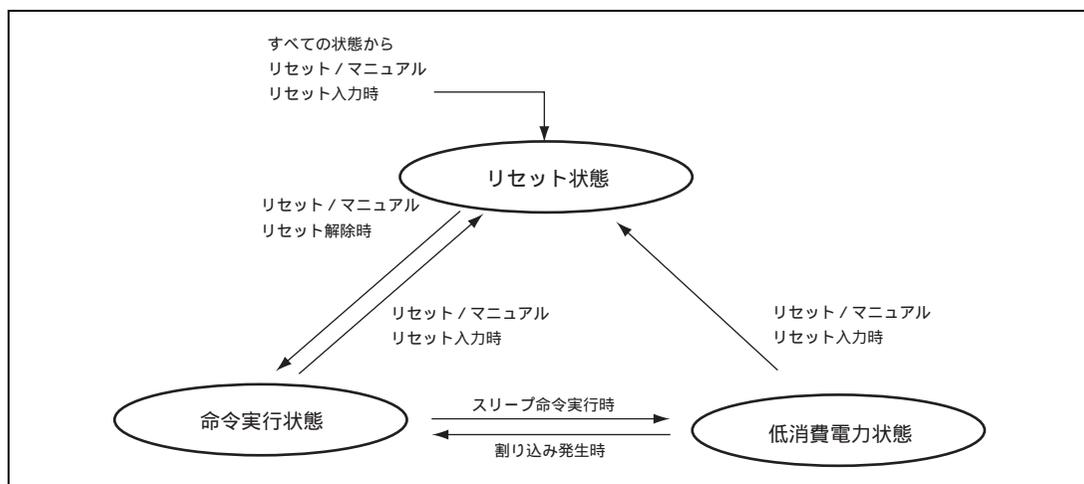


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコードに対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとすると、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

- (1) 書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

- (2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

- (3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

```
OCBP @Rm または OCBWB @Rm
```

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する命令列

2. プログラミングモデル

3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

3. 命令セット

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0        ;T ビットは ADD 演算で変更されません。
CMP/EQ R1, R0        ;R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET        ;T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

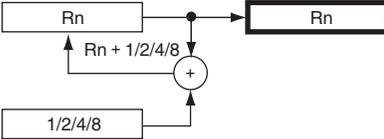
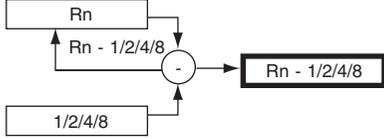
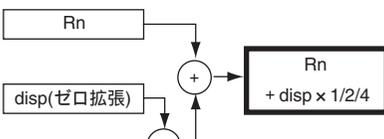
```
MOV.W   @(disp, PC), Rn
MOV.L   @(disp, PC), Rn
```

浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

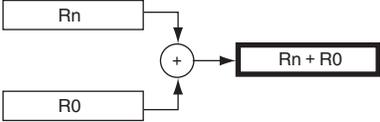
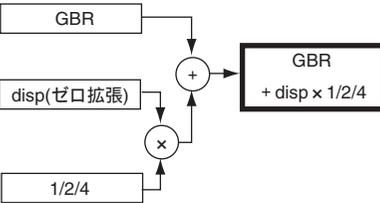
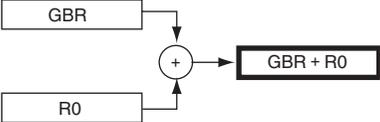
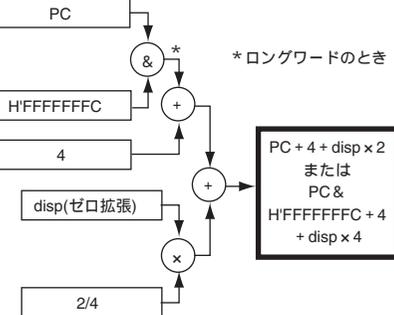
3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA: 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト: Rn + 1 Rn ワード: Rn + 2 Rn ロングワード: Rn + 4 Rn クワッドワード: Rn + 8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト: Rn - 1 Rn ワード: Rn - 2 Rn ロングワード: Rn - 4 Rn クワッドワード: Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト: Rn + disp EA ワード: Rn + disp × 2 EA ロングワード: Rn + disp × 4 EA

3. 命令セット

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>* ロングワードのとき</p>	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4$ EA

3. 命令セット

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレースメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレースメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレースメント付き PC 相対
- disp: 8, disp:12 ;PC 相対

3. 命令セット

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

3. 命令セット

項目	フォーマット	説明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、プロセッサバージョンレジスタ(PVR)のVERビットの値がH'20のSH-4Aで新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

3. 命令セット

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnnddddddd	-	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnnddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnnddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd	-	-	-

3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST	新規
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み/例外発生時 0 LDST	0000mmmm01100011	-	-	新規
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001	-	-	新規
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100mmmm11101001	-	-	新規
MOVT Rn	T Rn	0000nnnn00101001	-	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (× 1、× 2、× 4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111	-	オ - バ フロ -	-
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011	-	比較 結果	-
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111	-	比較 結果	-
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果	-

3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1 T それ以外のとき 0 T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	0010nnnnmmmm1100	-	比較 結果	-
DIV1 Rm,Rn	1ステップ除算(Rn÷Rm)	0011nnnnmmmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111	-	計算 結果	-
DIV0U	0 M/Q/T	000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101	-	-	-
DT Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101	-	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnmmmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110	-	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnmmmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnmmmm1010	-	ボロー	-
SUB Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ボロー T	0011nnnnmmmm1010	-	ボロー	-
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnmmmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき1 T それ以外とき0 T 両方に対して1 (Rn)のMSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき1 T それ以外のとき0 T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき1 T それ以外のとき0 T	11001000iiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき1 T それ以外のとき0 T	11001100iiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii	-	-	-

3. 命令セット

表 3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	T Rn MSB	0100nnnn00000100	-	MSB	-
ROTR	Rn	LSB Rn T	0100nnnn00000101	-	LSB	-
ROTCL	Rn	T Rn T	0100nnnn00100100	-	MSB	-
ROTCR	Rn	T Rn T	0100nnnn00100101	-	LSB	-
SHAD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-	-
SHAL	Rn	T Rn 0	0100nnnn00100000	-	MSB	-
SHAR	Rn	MSB Rn T	0100nnnn00100001	-	LSB	-
SHLD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-	-
SHLL	Rn	T Rn 0	0100nnnn00000000	-	MSB	-
SHLR	Rn	0 Rn T	0100nnnn00000001	-	LSB	-
SHLL2	Rn	Rn<<2 Rn	0100nnnn00001000	-	-	-
SHLR2	Rn	Rn>>2 Rn	0100nnnn00001001	-	-	-
SHLL8	Rn	Rn<<8 Rn	0100nnnn00011000	-	-	-
SHLR8	Rn	Rn>>8 Rn	0100nnnn00011001	-	-	-
SHLL16	Rn	Rn<<16 Rn	0100nnnn00101000	-	-	-
SHLR16	Rn	Rn>>16 Rn	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命令		動作	命令コード	特権	T ビット	新規
BF	label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000101111111111	-	-	-
BF/S	label	遅延分岐,T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000111111111111	-	-	-
BT	label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000100111111111	-	-	-
BT/S	label	遅延分岐,T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000110111111111	-	-	-
BRA	label	遅延分岐,disp × 2+PC+4 PC	1010111111111111	-	-	-
BRAF	Rn	遅延分岐,Rn+PC+4 PC	0000nnnn00100011	-	-	-
BSR	label	遅延分岐,PC+4 PR, disp × 2+PC+4 PC	1011111111111111	-	-	-
BSRF	Rn	遅延分岐,PC+4 PR, Rn+PC+4 PC	0000nnnn00000011	-	-	-
JMP	@Rn	遅延分岐,Rn PC	0100nnnn00101011	-	-	-
JSR	@Rn	遅延分岐,PC+4 PR,Rn PC	0100nnnn00001011	-	-	-
RTS		遅延分岐,PR PC	0000000000001011	-	-	-

表 3.9 システム制御命令

命令		動作	命令コード	特権	T ビット	新規
CLRMAC		0 MACH,MACL	0000000000101000	-	-	-
CLRS		0 S	0000000001001000	-	-	-
CLRT		0 T	0000000000001000	-	0	-
ICBI	@Rn	命令キャッシュブロックを無効化	0000nnnn11100011	-	-	新規
LDC	Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	-
LDC	Rm,GBR	Rm GBR	0100mmmm00011110	-	-	-
LDC	Rm,VBR	Rm VBR	0100mmmm00101110	特権	-	-
LDC	Rm,SGR	Rm SGR	0100mmmm00111010	特権	-	新規
LDC	Rm,SSR	Rm SSR	0100mmmm00111110	特権	-	-
LDC	Rm,SPC	Rm SPC	0100mmmm01001110	特権	-	-
LDC	Rm,DBR	Rm DBR	0100mmmm11111010	特権	-	-
LDC	Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-	-
LDC.L	@Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	-
LDC.L	@Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-	-

3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権	-	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110	-	-	-
LDTLB	PTEH/PTEL(/PTEA) TLB	000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに)R0 (Rn)	0000nnnn11000011	-	-	-
NOP	無操作	000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011	-	-	-
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-	新規
RTE	遅延分岐,SSR/SPC SR/PC	000000000101011	特権	-	-
SETS	1 S	0000000001011000	-	-	-
SETT	1 T	000000000011000	-	1	-
SLEEP	スリープもしくはスタンバイ	000000000011011	特権	-	-
STC SR,Rn	SR Rn	0000nnnn00000010	特権	-	-
STC GBR,Rn	GBR Rn	0000nnnn00010010	-	-	-
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	-	-
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権	-	-
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	-	-
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	-	-
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	-	-
STC Rm_BANK,Rn	Rm_BANK Rn(m=0~7)	0000nnnn1mmmm0010	特権	-	-

Rev.1.00 2009.09.18 3-14

RJJ09B0285-0100

3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmm0011	特権	-	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令に先行するデータアクセスの完了まで、本命令以降の命令によるデータアクセスを開始しません	0000000010101011	-	-	新規
TRAPA #imm	imm<<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiiii	-	-	-

3. 命令セット

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0 FRn	H'00000000 FRn	1111nnnn10001101	-	-	-
FLDI1 FRn	H'3F800000 FRn	1111nnnn10011101	-	-	-
FMOV FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-	-
FMOV.S @Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-	-
FMOV.S @(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-	-
FMOV.S @Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-	-
FMOV.S FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-	-
FMOV @Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-	-
FMOV @(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-	-
FMOV @Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-	-
FMOV DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-	-
FMOV DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-	-
FMOV DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-	-
FSTS FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-	-
FABS FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-	-
FADD FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果	-
FDIV FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-	-
FLOAT FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-	-
FMAC FR0,FRm,FRn	FR0 × FRm+FRn FRn	1111nnnnmmmm1110	-	-	-
FMUL FRm,FRn	FRn × FRm FRn	1111nnnnmmmm0010	-	-	-
FNEG FRn	FRn ^ H'80000000 FRn	1111nnnn01001101	-	-	-
FSQRT FRn	sqrt(FRn) FRn*	1111nnnn01101101	-	-	-
FSUB FRm,FRn	FRn - FRm FRn	1111nnnnmmmm0001	-	-	-
FTRC FRm,FPUL	(long)FRm FPUL	1111mmmm00111101	-	-	-

【注】 * sqrt(FRn)はFRnの平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF DRn	1111nnn001011101	-	-	-
FADD DRm,DRn	DRn+DRm DRn	1111nnn0mmm00000	-	-	-
FCMP/EQ DRm,DRn	DRn=DRm のとき 1 T それ以外るとき 0 T	1111nnn0mmm00100	-	比較 結果	-
FCMP/GT DRm,DRn	DRn>DRm のとき 1 T それ以外るとき 0 T	1111nnn0mmm00101	-	比較 結果	-
FDIV DRm,DRn	DRn/DRm DRn	1111nnn0mmm00011	-	-	-
FCNVDS DRm,FPUL	double_to_float(DRm) FPUL	1111mmm010111101	-	-	-
FCNVSD FPUL,DRn	float_to_double(FPUL) DRn	1111nnn010101101	-	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnn000101101	-	-	-
FMUL DRm,DRn	DRn × DRm DRn	1111nnn0mmm00010	-	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnn001001101	-	-	-
FSQRT DRn	sqrt(DRn) DRn*	1111nnn001101101	-	-	-
FSUB DRm,DRn	DRn - DRm DRn	1111nnn0mmm00001	-	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmm000111101	-	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-	-

3. 命令セット

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm XDn	1111nnn1mmm01100	-	-	-
FMOV XDm, DRn	XDm DRn	1111nnn0mmm11100	-	-	-
FMOV XDm, XDn	XDm XDn	1111nnn1mmm11100	-	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000	-	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001	-	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) XDn	1111nnn1mmmm0110	-	-	-
FMOV XDm, @Rn	XDm (Rn)	1111nnnnmmmm11010	-	-	-
FMOV XDm, @-Rn	Rn-8 Rn, XDm (Rn)	1111nnnnmmmm11011	-	-	-
FMOV XDm, @(R0, Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) FVn	1111nn0111111101	-	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL, DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

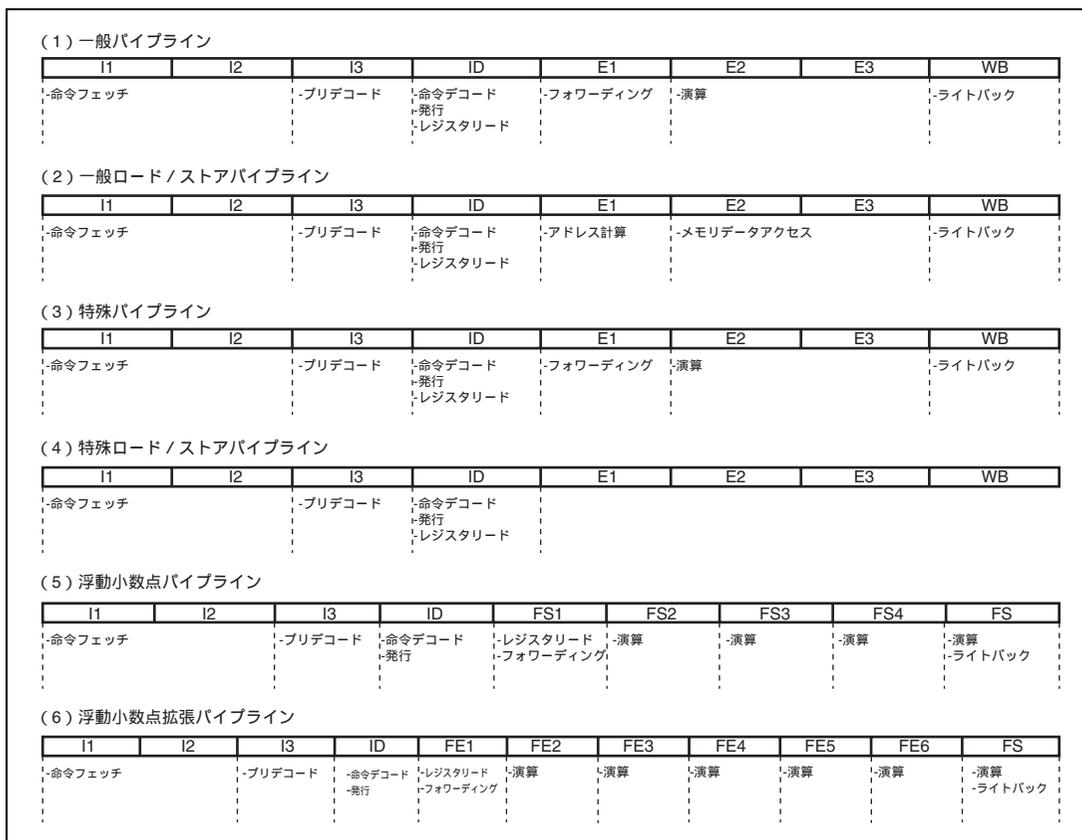


図 4.1 基本パイプライン

4. パイプライン動作

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1</td><td style="padding: 2px;">E2</td><td style="padding: 2px;">E3</td><td style="padding: 2px;">WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">S1</td><td style="padding: 2px;">S2</td><td style="padding: 2px;">S3</td><td style="padding: 2px;">WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">s1</td><td style="padding: 2px;">s2</td><td style="padding: 2px;">s3</td><td style="padding: 2px;">WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">M2</td><td style="padding: 2px;">M3</td><td style="padding: 2px;">MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">FE1</td><td style="padding: 2px;">FE2</td><td style="padding: 2px;">FE3</td><td style="padding: 2px;">FE4</td><td style="padding: 2px;">FE5</td><td style="padding: 2px;">FE6</td><td style="padding: 2px;">FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">FS1</td><td style="padding: 2px;">FS2</td><td style="padding: 2px;">FS3</td><td style="padding: 2px;">FS4</td><td style="padding: 2px;">FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

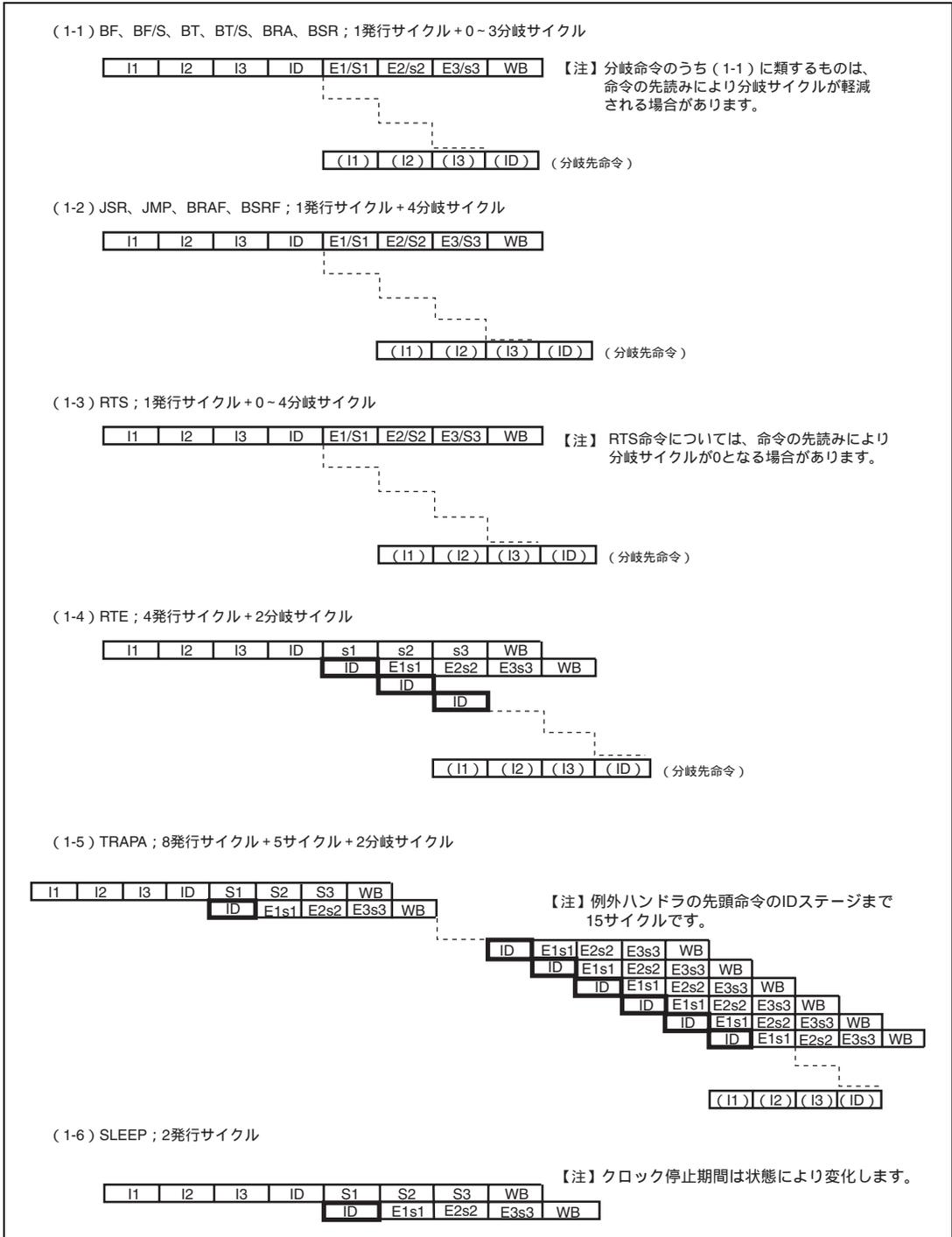


図 4.2 命令実行パターン(1)

4. パイプライン動作

(2-1) 1ステップ演算 (EXタイプ) ; 1発行サイクル

EXT[SUJ].[BW], MOVT, SWAP, XTRCT, ADD*, CMP*, DIV*, DT, NEG*, SUB*, AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#, ROT*, SHA*, SHL*, CLRS, CLRT, SETS, SETT

【注】AND#, OR#, TST#, XOR#はGBR相対命令を除く

I1	I2	I3	ID	E1	E2	E3	WB
----	----	----	----	----	----	----	----

(2-2) 1ステップ演算 (LSタイプ) ; 1発行サイクル

MOVA

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(2-3) 1ステップ演算 (MTタイプ) ; 1発行サイクル

MOV#, NOP

I1	I2	I3	ID	E1/S1	E2/s2	E3/s3	WB
----	----	----	----	-------	-------	-------	----

(2-4) MOV (MTタイプ) ; 1発行サイクル

MOV

I1	I2	I3	ID	E1/s1	E2/s2	E3/S3	WB
----	----	----	----	-------	-------	-------	----

図 4.2 命令実行パターン (2)

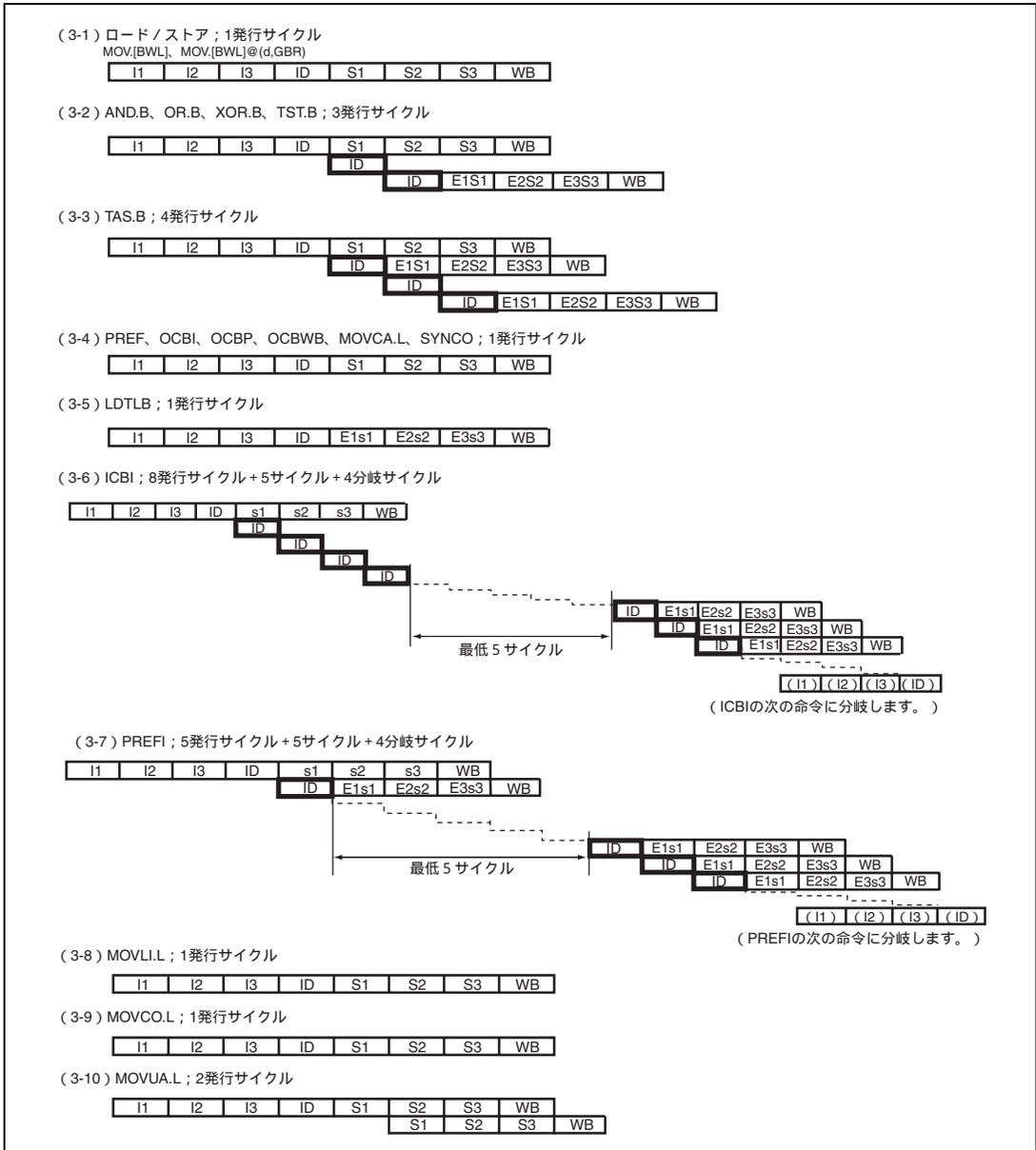


図 4.2 命令実行パターン (3)

4. パイプライン動作

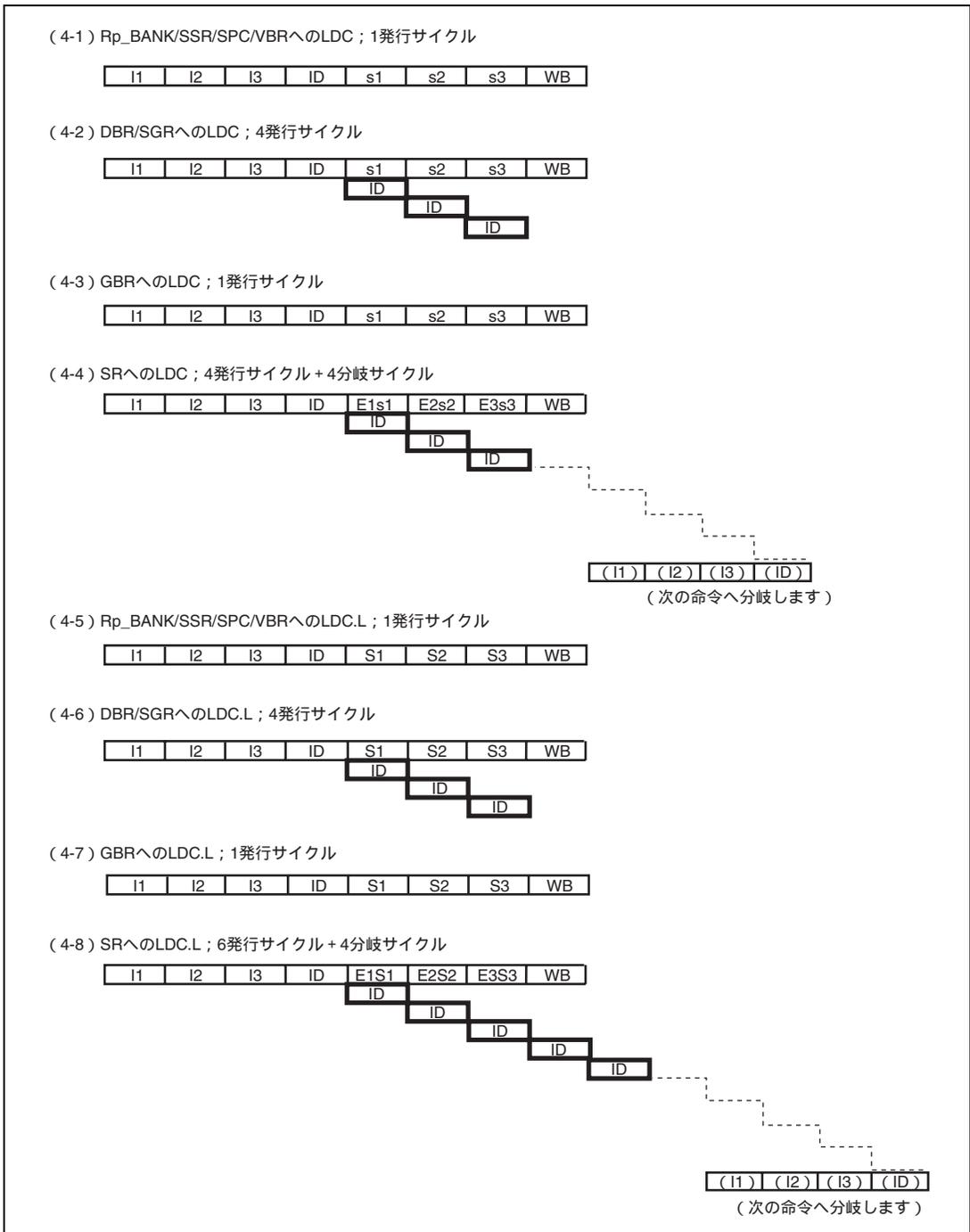


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

4. パイプライン動作

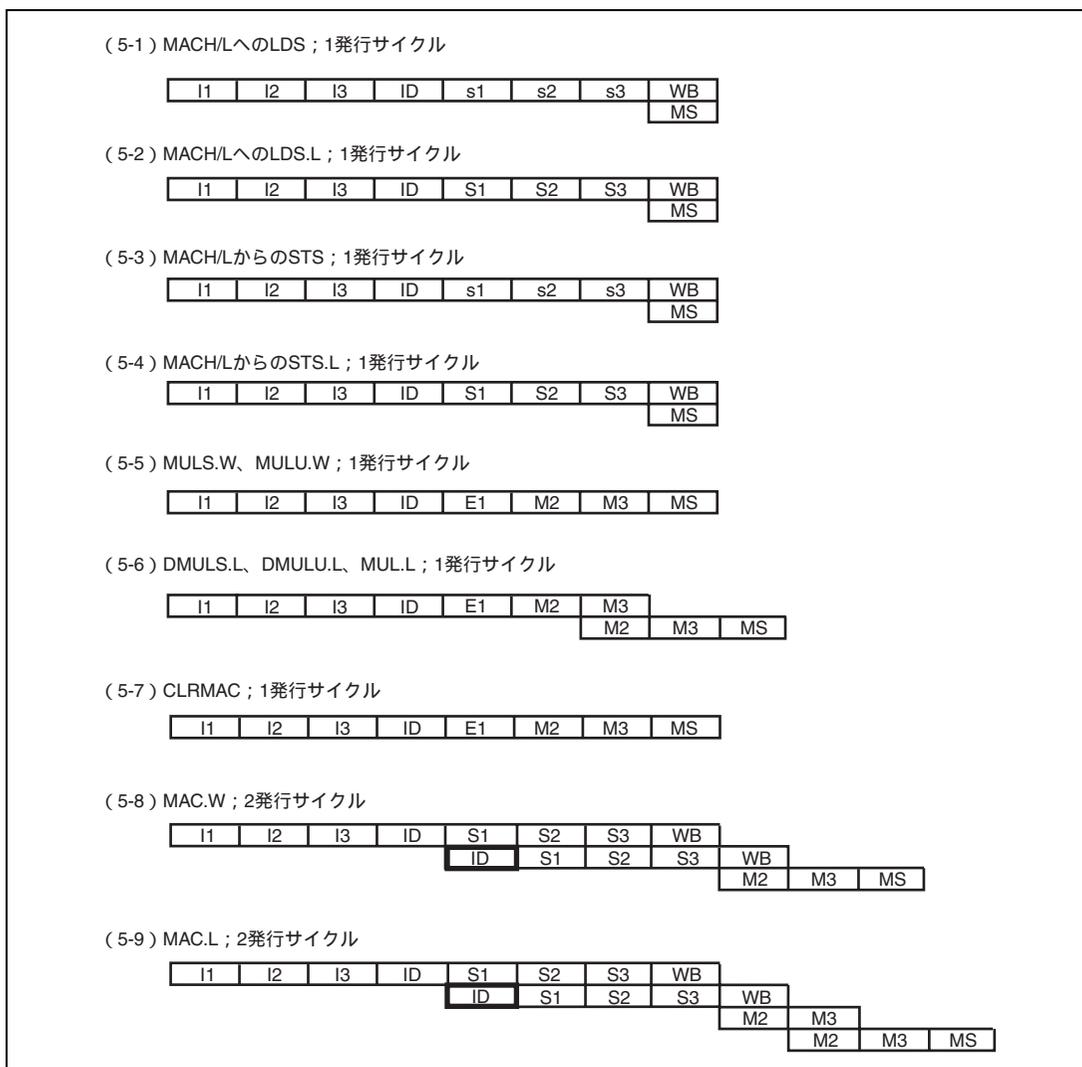


図 4.2 命令実行パターン (6)

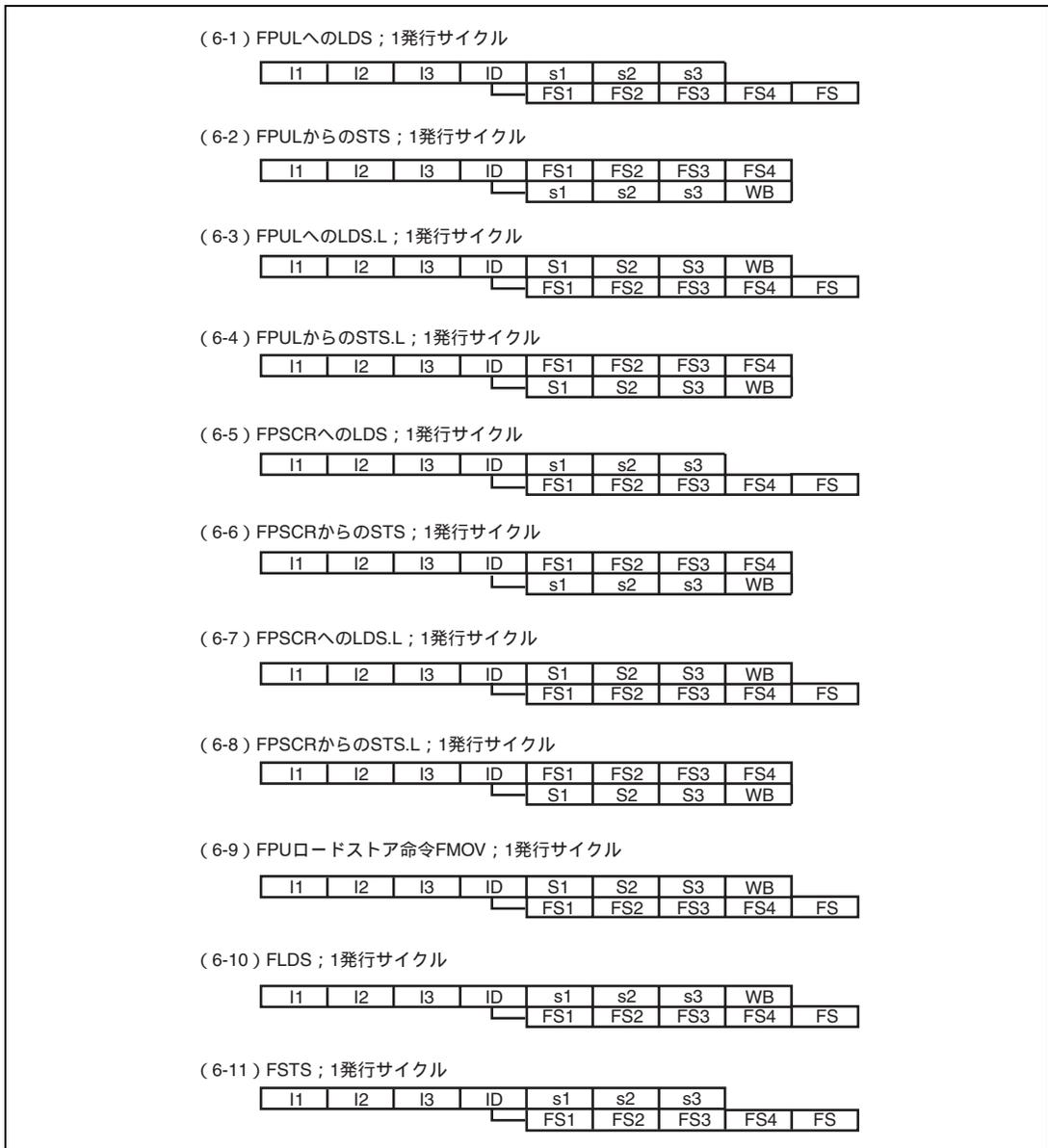


図 4.2 命令実行パターン (7)

4. パイプライン動作

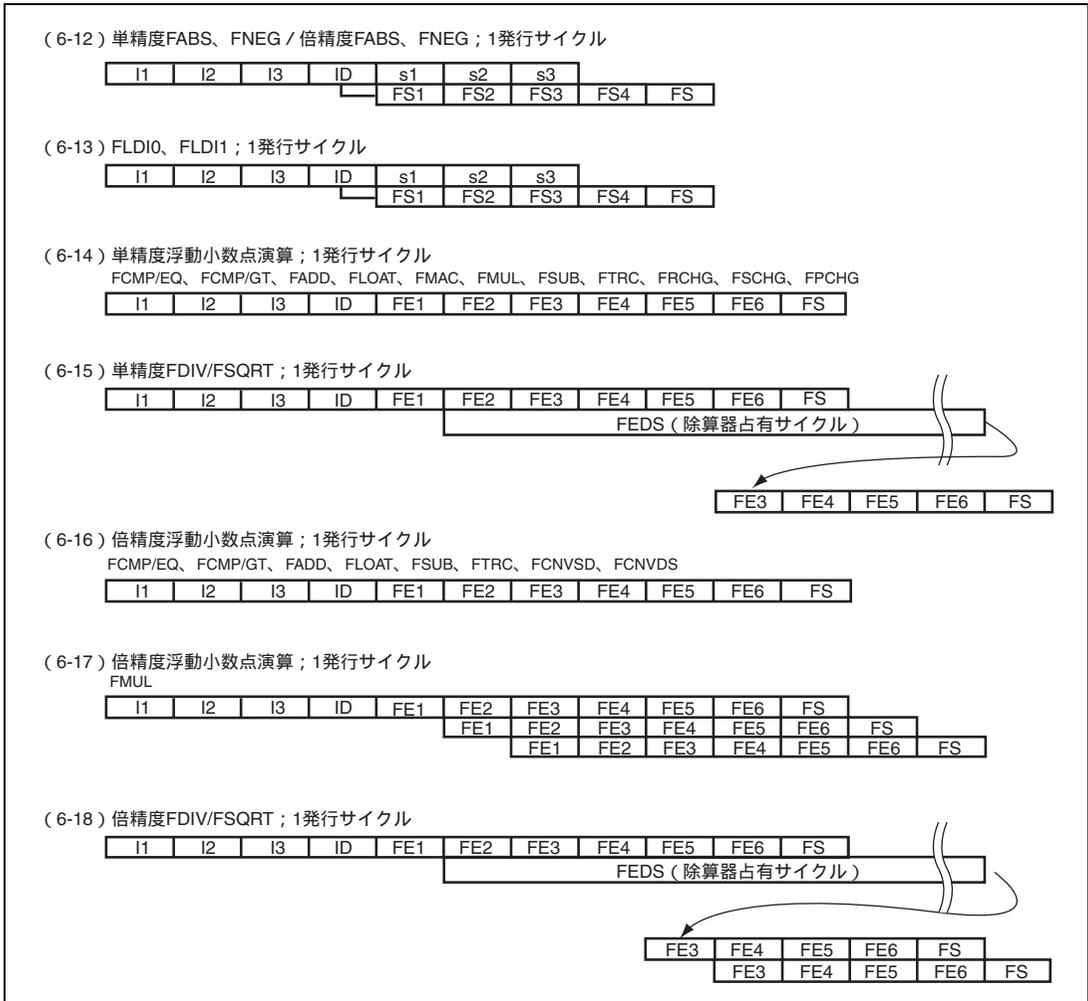


図 4.2 命令実行パターン (8)

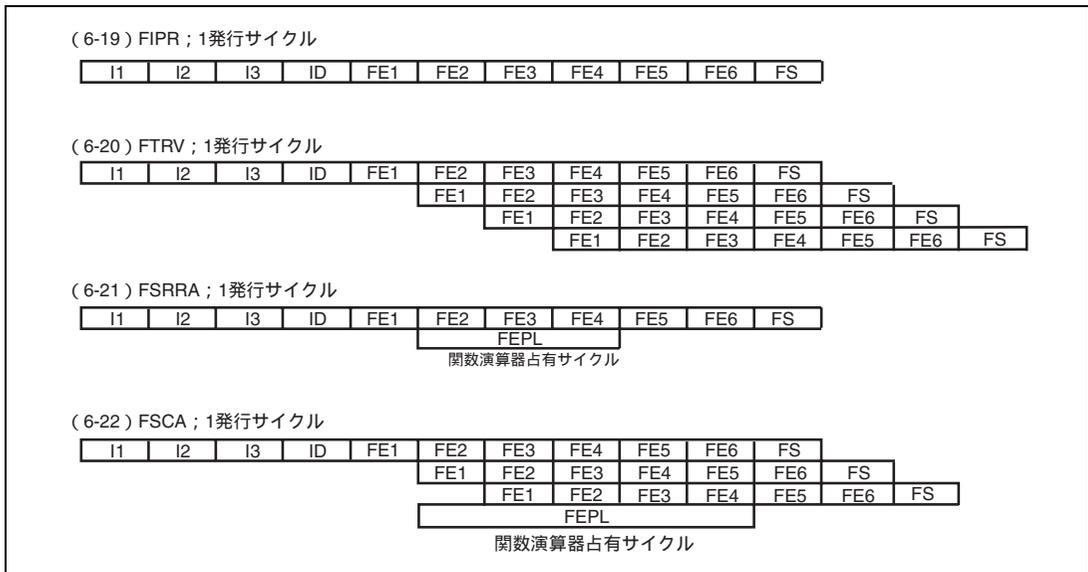


図 4.2 命令実行パターン (9)

4. パイプライン動作

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

4. パイプライン動作

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

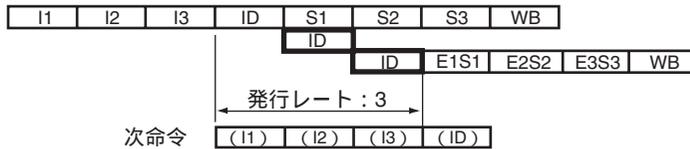
4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

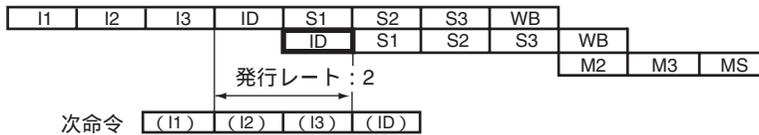
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

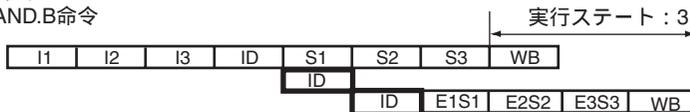


(2) 実行ステート

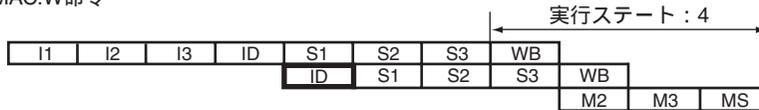
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・ CPU命令

(例) AND.B命令

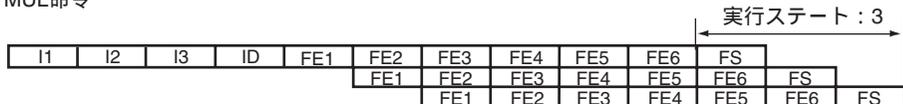


(例) MAC.W命令

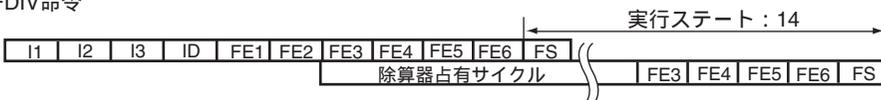


・ FPU命令

(例) FMUL命令



(例) FDIV命令



4. パイプライン動作

表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVLI.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOV.T	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1
72		MAC.L	@Rm+,@Rn+	CO	2	5	5-9

4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	シフト命令	96	ROTL	Rn	EX	1	1
97		ROTR	Rn	EX	1	1	2-1
98		ROTCL	Rn	EX	1	1	2-1
99		ROTCR	Rn	EX	1	1	2-1
100		SHAD	Rm,Rn	EX	1	1	2-1
101		SHAL	Rn	EX	1	1	2-1
102		SHAR	Rn	EX	1	1	2-1
103		SHLD	Rm,Rn	EX	1	1	2-1
104		SHLL	Rn	EX	1	1	2-1
105		SHLL2	Rn	EX	1	1	2-1
106		SHLL8	Rn	EX	1	1	2-1
107		SHLL16	Rn	EX	1	1	2-1
108		SHLR	Rn	EX	1	1	2-1
109		SHLR2	Rn	EX	1	1	2-1

4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6

4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
175	STS	MACL,Rn	LS	1	1	5-3	
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン	
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9	
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9	
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9	
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9	
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9	
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9	
	189	FLDS	FRm,FPUL	LS	1	1	6-10	
	190	FSTS	FPUL,FRn	LS	1	1	6-11	
	191	FABS	FRn	LS	1	1	6-12	
	192	FADD	FRm,FRn	FE	1	1	6-14	
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14	
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14	
	195	FDIV	FRm,FRn	FE	1	14	6-15	
	196	FLOAT	FPUL,FRn	FE	1	1	6-14	
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14	
	198	FMUL	FRm,FRn	FE	1	1	6-14	
	199	FNEG	FRn	LS	1	1	6-12	
	200	FSQRT	FRn	FE	1	14	6-15	
	201	FSUB	FRm,FRn	FE	1	1	6-14	
	202	FTRC	FRm,FPUL	FE	1	1	6-14	
	203	FMOV	DRm,DRn	LS	1	1	6-9	
	204	FMOV	@Rm,DRn	LS	1	1	6-9	
	205	FMOV	@Rm+,DRn	LS	1	1	6-9	
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
	207	FMOV	DRm,@Rn	LS	1	1	6-9	
	208	FMOV	DRm,@-Rn	LS	1	1	6-9	
	209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
	倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
		211	FADD	DRm,DRn	FE	1	1	6-16
212		FCMP/EQ	DRm,DRn	FE	1	1	6-16	
213		FCMP/GT	DRm,DRn	FE	1	1	6-16	
214		FCNVDS	DRm,FPUL	FE	1	1	6-16	
215		FCNVSD	FPUL,DRn	FE	1	1	6-16	
216		FDIV	DRm,DRn	FE	1	30	6-18	
217		FLOAT	FPUL,DRn	FE	1	1	6-16	

4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
244	FSRRA	FRn	FE	1	1	6-21	
245	FSCA	FPUL,DRn	FE	1	3	6-22	
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
TRAPA 例外レジスタ	TRA	不定	不定	保持	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持	保持
非サポート検出例外レジスタ	EXPMASK	H'0000 0013	H'0000 0013	保持	保持

5. 例外処理

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値 :	0	0	0	0	0	0										0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値 :	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値 :	0	0														
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5. 例外処理

5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	-	-	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。 詳細は「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。
3、2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	BRDSSLP	1	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SR および R15 の内容がそれぞれ SPC、SSR および SGR に退避されます。
2. SR のブロックビット (BL) が 1 に設定されます。
3. SR のモードビット (MD) が 1 に設定されます。
4. SR のレジスタバンクビット (RB) が 1 に設定されます。
5. リセット時、SR の FPU ディスエーブルビット (FD) が 0 に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット 13~0 に書き込まれます。
7. CPUOPM の割り込みモード切り替えビット (INTMU) が 1 の場合、SR の割り込みマスクレベルビット (IMASK) が割り込み受け付けレベルに変更されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/-	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/-	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
一般割り込み要求			4	-	(VBR)	H'600	-	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

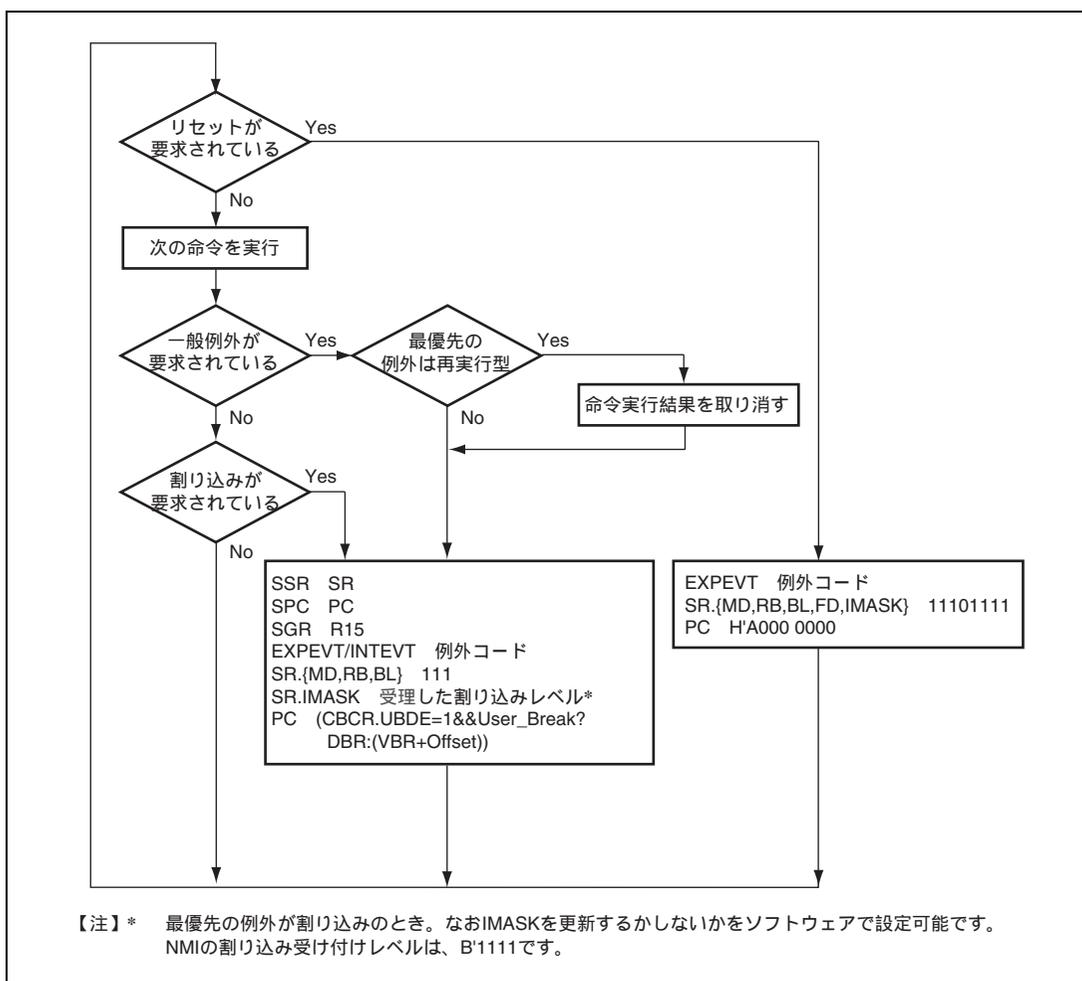


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

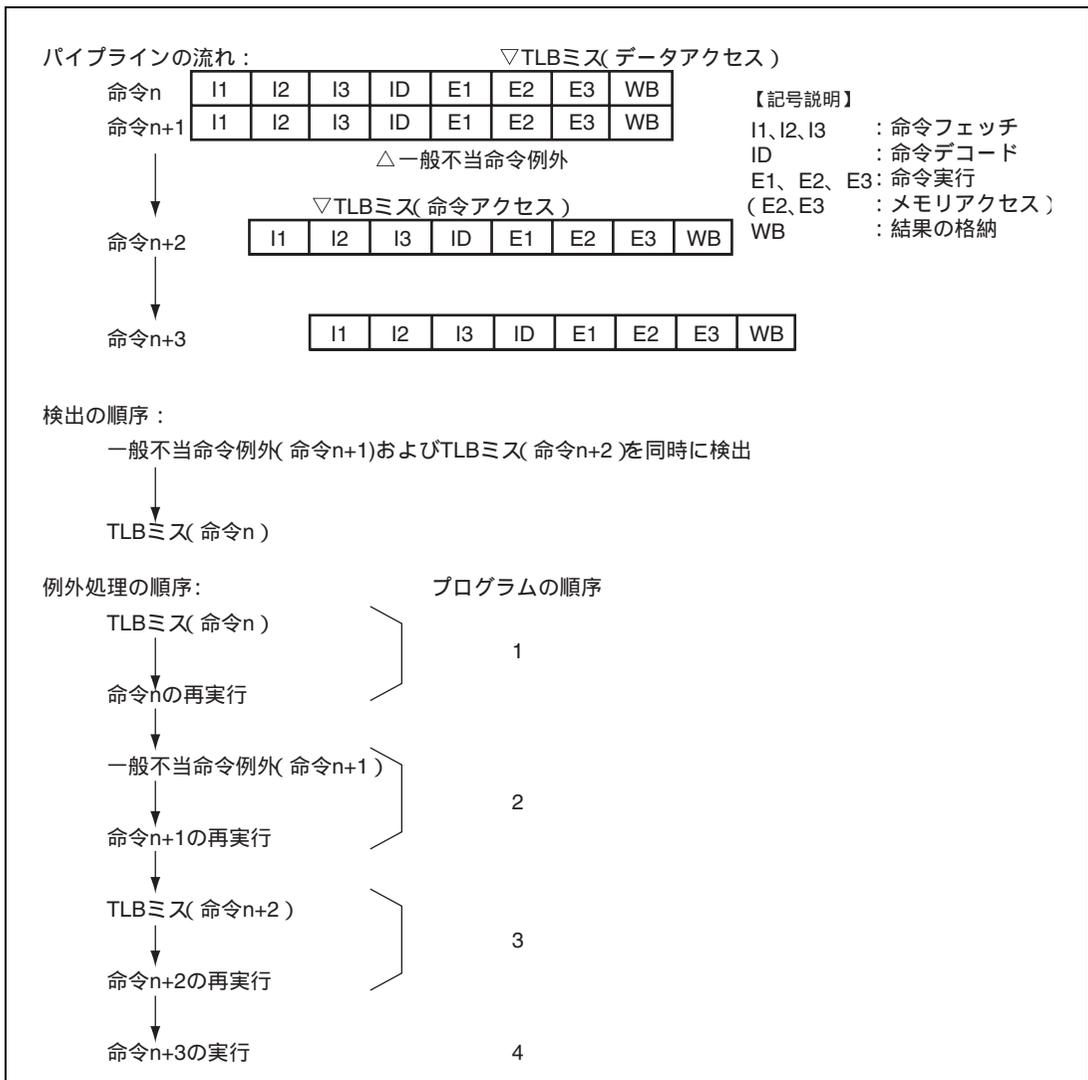


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、一般例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 29 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：

パワーオンリセット要求

【注】 「第16章 リセット、ウォッチドッグタイマ (WDT)」も参照してください。

- 動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：

マニュアルリセット要求

【注】 「第16章 リセット、ウォッチドッグタイマ (WDT)」も参照してください。

- 動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110 (ネゲート)、またはB'0111 (アサート)

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、「第30章 ユーザデバッグインタフェース (H-UDI)」および各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31 : 10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

5. 例外処理

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
}
```

```

        PC = VBR + H'00000400;
    }

```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

5. 例外処理

```
Initial_write_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000080;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因 : アクセスが表5.6、表5.7に示すITLBのプロテクション情報 (PRビット) に反する。

表 5.6 ITLB プロテクション情報 (TLB 互換モードの場合)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

5. 例外処理

表 5.7 ITLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5], EPR[3]	特権モードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
```

```
{  
  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000A0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
  
}
```

(6) データアドレスエラー

• 要因：

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1, 4n+2, 4n+3$) からアクセス(ただし、MOVUA 命令は除きます)
- クワッドワードをクワッドワードデータ境界以外 ($8n+1, 8n+2, 8n+3, 8n+4, 8n+5, 8n+6, 8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス

ただし、H'E000 0000 ~ H'E3FF FFFFおよびH'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。

- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み

メモリ割り付け連想書き込みについては「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
```

```
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

5. 例外処理

(7) 命令アドレスエラー

- 要因：

- ワード境界以外 ($2n + 1$) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

(8) 無条件トラップ

- 要因：TRAPA命令の実行

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

• 要因:

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令: H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス: VBR + H'0000 0100

- 遷移時動作:

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

5. 例外処理

(10) スロット不当命令例外

- 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm + ,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{  
  
    SPC = PC - 2;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000001A0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
  
}
```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()  
{  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000800;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
  
}
```

【注】 * FPU命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令H'FFFDを除く)と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

5. 例外処理

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は「第29章 ユーザブレークコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

5.6.3 割り込み

(1) NMI (ノンマスクابل割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。CPUOPMのINTMUビットが1のときに、NMI割り込みを受け付けた場合、SRのIMASKビットには、B'1111がセットされます。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

5. 例外処理

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

(2) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。CPUOPMのINTMUビットが1のときに、一般割り込みを受け付けた場合、SRのIMASKビットには、受け付けた割り込みのレベルが設定されます。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに一般例外または割り込みが発生した場合

1. 一般例外

ユーザブレイクを除く一般例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の一般例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の一般例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられませんが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

5. 例外处理

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、グラフィックサポート、システム制御
- SH-4AでSH-4に対して下記の3命令を追加しました。
FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

本 LSI は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

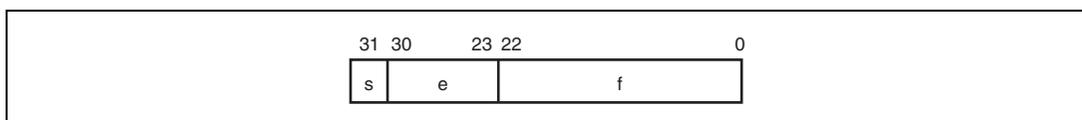


図 6.1 単精度浮動小数点フォーマット

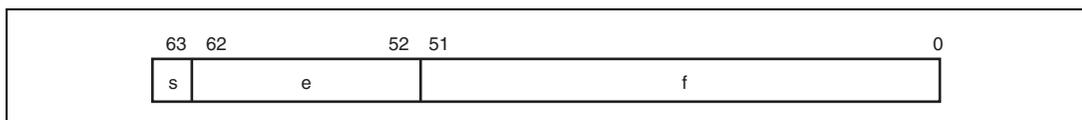


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{\max}	+127	+1023
E_{\min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{\min} \leq E \leq E_{\max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。
- $E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6. 浮動小数点ユニット (FPU)

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

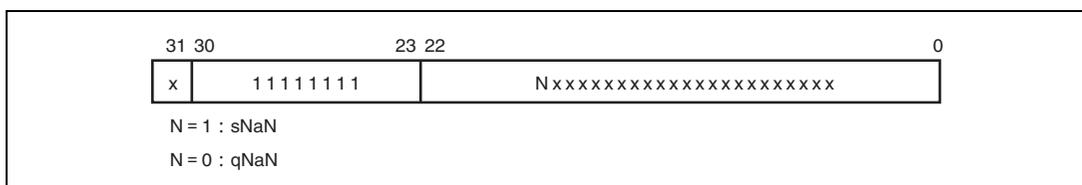


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCR レジスタの EN.V ビットが 0 の場合、演算結果 (出力) は qNaN になります。
- FPSCR レジスタの EN.V ビットが 1 の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の 3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として本 LSI が生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBFFFFFF
- 倍精度 qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPUのステータスレジスタFPSCRのDNビットが1の場合、非正規化数(ソースオペランドまたは演算結果)は、(レジスタ・レジスタ間の転送命令、FNEG、FABS以外の演算の)値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCRのDNビットが0の場合、非正規化数(ソースオペランドまたは演算結果)はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、

DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、

DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、

FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

6. 浮動小数点ユニット (FPU)

XD4 = {XF4、XF5}、XD6 = {XF6、XF7}、
 XD8 = {XF8、XF9}、XD10 = {XF10、XF11}、
 XD12 = {XF12、XF13}、XD14 = {XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left[\begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right]$

FPSCR.FR = 0				FPSCR.FR = 1		
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX
		FR1	FPR1 BANK0	XF1		
	DR2	FR2	FPR2 BANK0	XF2	XD2	
		FR3	FPR3 BANK0	XF3		
FV4	DR4	FR4	FPR4 BANK0	XF4	XD4	
		FR5	FPR5 BANK0	XF5		
	DR6	FR6	FPR6 BANK0	XF6	XD6	
		FR7	FPR7 BANK0	XF7		
FV8	DR8	FR8	FPR8 BANK0	XF8	XD8	
		FR9	FPR9 BANK0	XF9		
	DR10	FR10	FPR10 BANK0	XF10	XD10	
		FR11	FPR11 BANK0	XF11		
FV12	DR12	FR12	FPR12 BANK0	XF12	XD12	
		FR13	FPR13 BANK0	XF13		
	DR14	FR14	FPR14 BANK0	XF14	XD14	
		FR15	FPR15 BANK0	XF15		
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0
		XF1	FPR1 BANK1	FR1	DR2	
	XD2	XF2	FPR2 BANK1	FR2		
		XF3	FPR3 BANK1	FR3		
	XD4	XF4	FPR4 BANK1	FR4	DR4	FV4
		XF5	FPR5 BANK1	FR5		
	XD6	XF6	FPR6 BANK1	FR6	DR6	
		XF7	FPR7 BANK1	FR7		
	XD8	XF8	FPR8 BANK1	FR8	DR8	FV8
		XF9	FPR9 BANK1	FR9		
	XD10	XF10	FPR10 BANK1	FR10	DR10	
		XF11	FPR11 BANK1	FR11		
	XD12	XF12	FPR12 BANK1	FR12	DR12	FV12
		XF13	FPR13 BANK1	FR13		
	XD14	XF14	FPR14 BANK1	FR14	DR14	
		XF15	FPR15 BANK1	FR15		

図 6.4 浮動小数点レジスタ

6. 浮動小数点ユニット (FPU)

6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	FR	SZ	PR	DN	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	Cause				Enable (EN)				Flag				RM			
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。

6. 浮動小数点ユニット (FPU)

ビット	ビット名	初期値	R/W	説明
17~12	Cause	000000	R/W	FPU 例外要因フィールド
11~7	Enable (EN)	00000	R/W	FPU 例外イネーブルフィールド
6~2	Flag	00000	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
1、0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

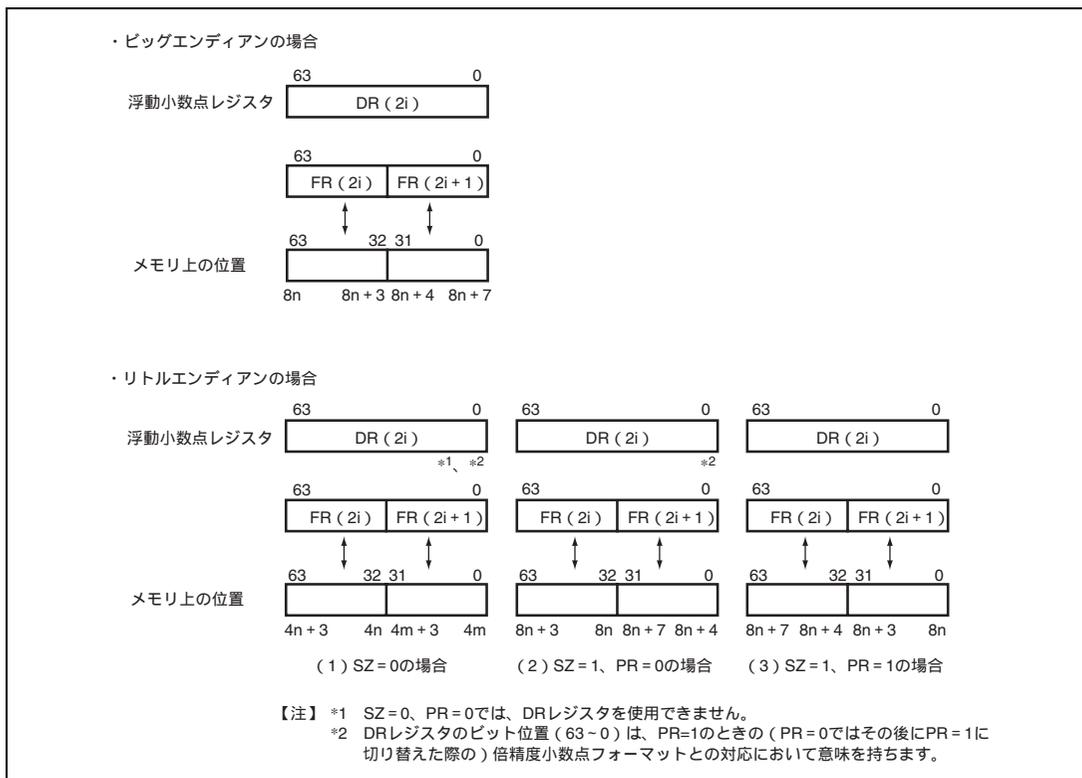


図 6.5 SZ ビットとエンディアンの関係

6. 浮動小数点ユニット (FPU)

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}} (2 \cdot 2^p)$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバーフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

6. 浮動小数点ユニット (FPU)

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。

- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

本 LSI は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、本 LSI は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m n) :
一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、本 LSI は 4次元演算をサポートしています。

6. 浮動小数点ユニット (FPU)

- 行列 (4×4) × 行列 (4×4) :

この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、本 LSI は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

7. メモリマネジメントユニット (MMU)

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットあるいは 32 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

本 LSI の MMU ではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関して、29 ビットアドレスモードと 32 ビットアドレス拡張モードがあります。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

29 ビットアドレスモードと 32 ビットアドレス拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (PASCRA レジスタの SE ビット) で行います。また、外部ピンからの指定で 32 ビットブートモード (パワーオンリセット時点から 32 ビットアドレス拡張モードであること) が可能です。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。物理アドレスのマッピング範囲に関しては、「7.1 MMU の概要」～「7.7 メモリ割り付け TLB の構成」を通じて、29 ビットアドレスモードで説明しその後「7.8 32 ビットアドレス拡張モード」で、32 ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

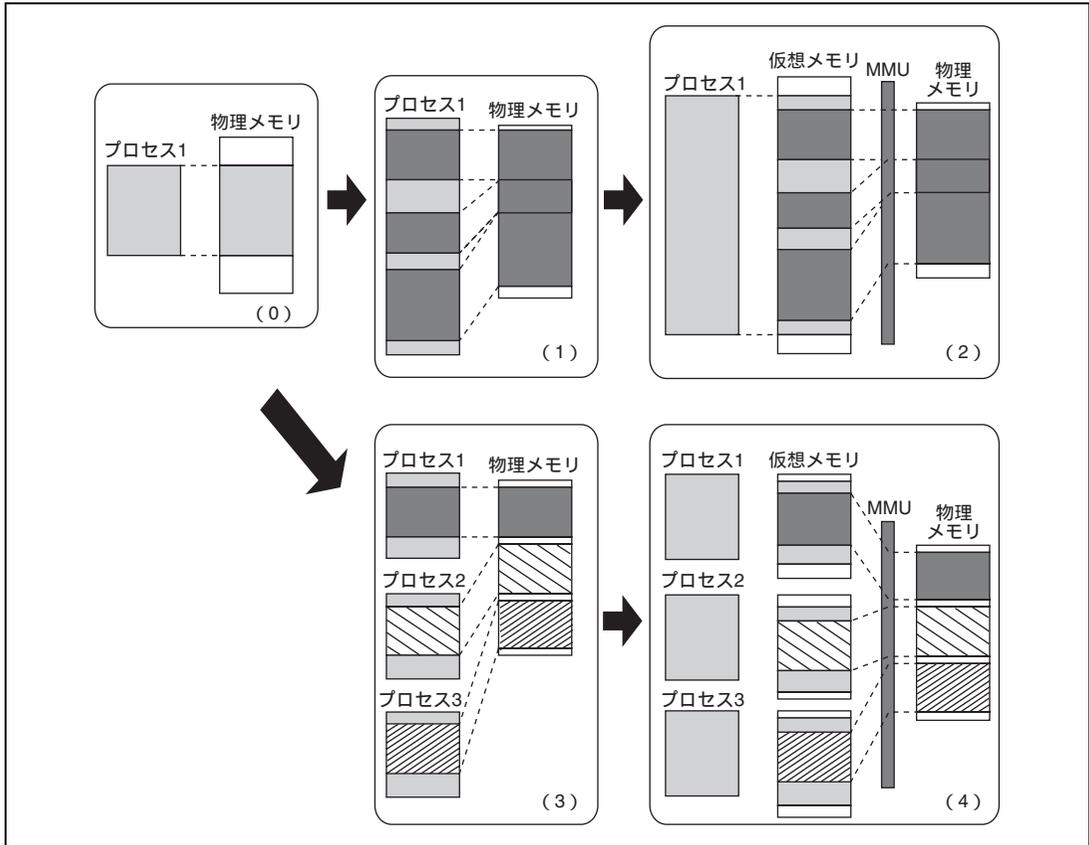


図 7.1 MMU の役割

7. メモリマネジメントユニット (MMU)

7.1.1 アドレス空間

(1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

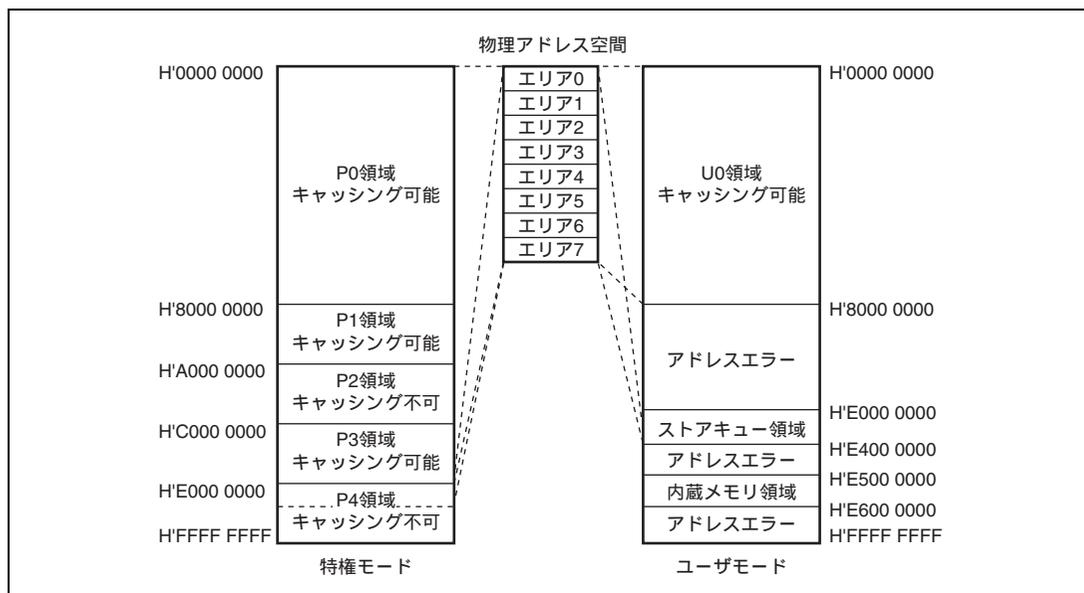


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

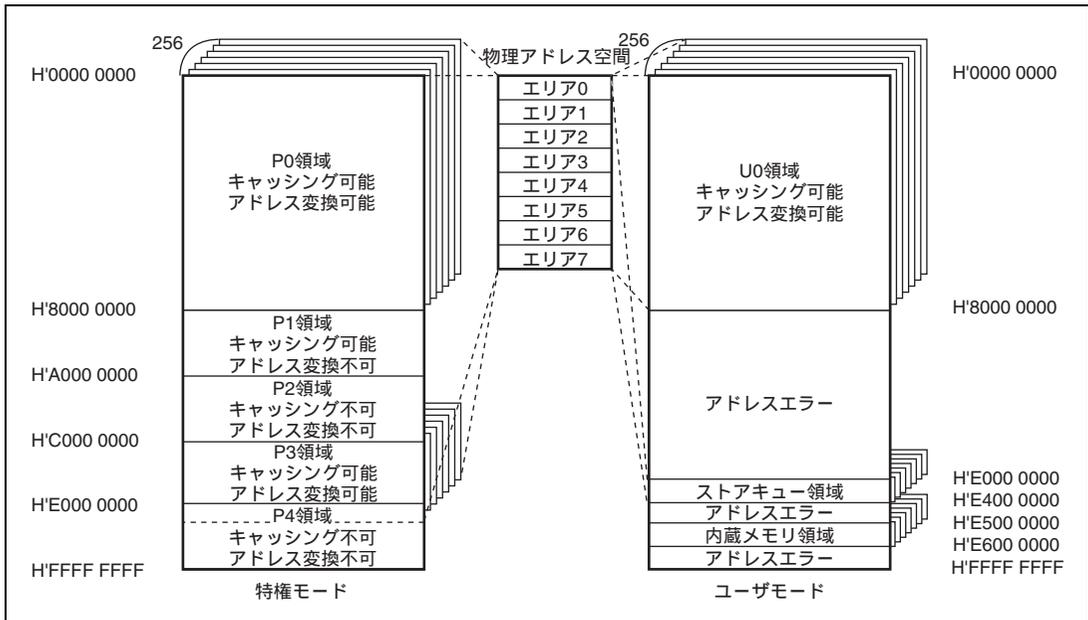


図 7.3 仮想アドレス空間 (MMUCR.AT = 1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

7. メモリマネジメントユニット (MMU)

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	
H'E600 0000	内蔵メモリ領域
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLB / PMBアドレスアレイ
H'F700 0000	共用TLB / PMBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細

は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F610 0000 ~ H'F61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

H'F700 0000 ~ H'F70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'F710 0000 ~ H'F71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は製品ハードウェアマニュアルの各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は「第 11 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

7. メモリマネジメントユニット (MMU)

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000	エリア7 (リザーブ領域)
H'1FFF FFFF	

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7. メモリマネジメントユニット (MMU)

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンス レジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	保持
ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持
ページテーブルエントリアシスタンス レジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持

7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. PTEH 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VPN															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPN						-	-	ASID							
初期値:	-	-	-	-	-	-	0	0	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	VPN	不定	R/W	仮想ページ番号
9、8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	ASID	不定	R/W	アドレス空間識別子

7. メモリマネジメントユニット (MMU)

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値 :	0	0	0													
R/W :	R	R	R	R/W												
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値 :							0									
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W								

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	不定	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)」および「7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W															

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA		MMU例外 / アドレスエラーを発生させた仮想アドレス													
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA		MMU例外 / アドレスエラーを発生させた仮想アドレス													
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新さ

7. メモリマネジメントユニット (MMU)

れることもあります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	LRUI	000000	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25、24	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23 ~ 18	URB	000000	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17、16	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

7. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
15~10	URC	000000	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一反想記憶モード / 多重反想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重反想記憶モード 1 : 単一反想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6~3	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/TLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7. メモリマネジメントユニット (MMU)

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	EPR					ESZ					-	-	-	-
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R	R	R	R									

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファードライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : バッファードライト (CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います) 1 : アンバッファードライト (CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います) UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

7. メモリマネジメントユニット (MMU)

7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												R2	R1	LT	MT	MC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
	⋮				⋮					
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT

図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット
 4K バイトページのとき、仮想アドレスの上位 20 ビット
 64K バイトページのとき、仮想アドレスの上位 16 ビット
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。

SZ[1:0] : ページサイズビット	ページサイズを指定します。 00 : 1K バイトページ 01 : 4K バイトページ 10 : 64K バイトページ 11 : 1M バイトページ
V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

7. メモリマネジメントユニット (MMU)

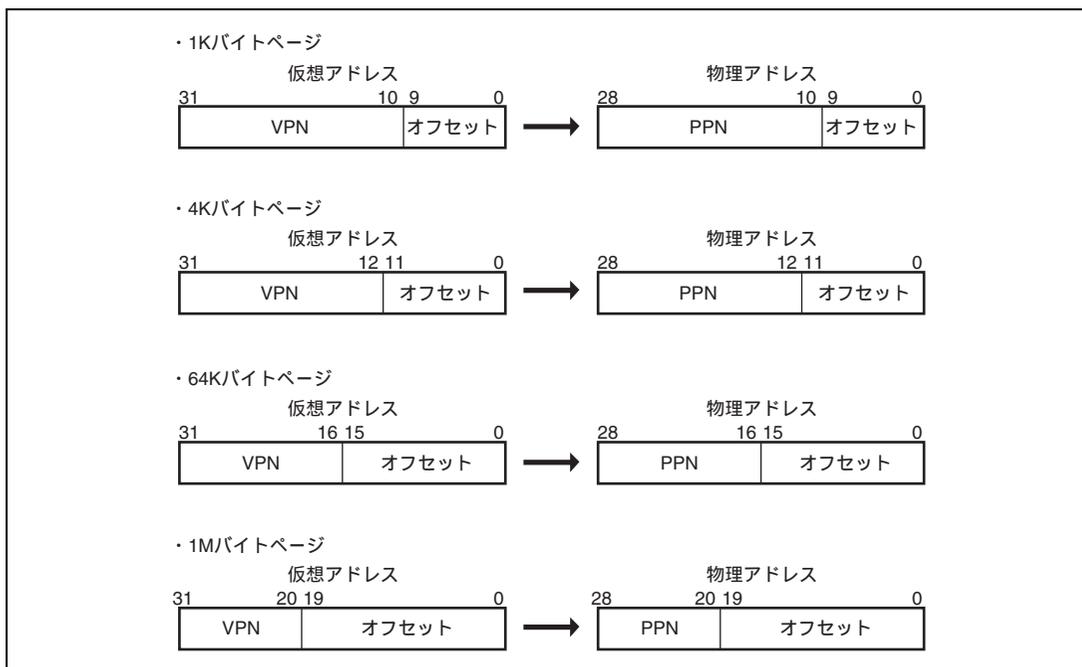


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。



図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

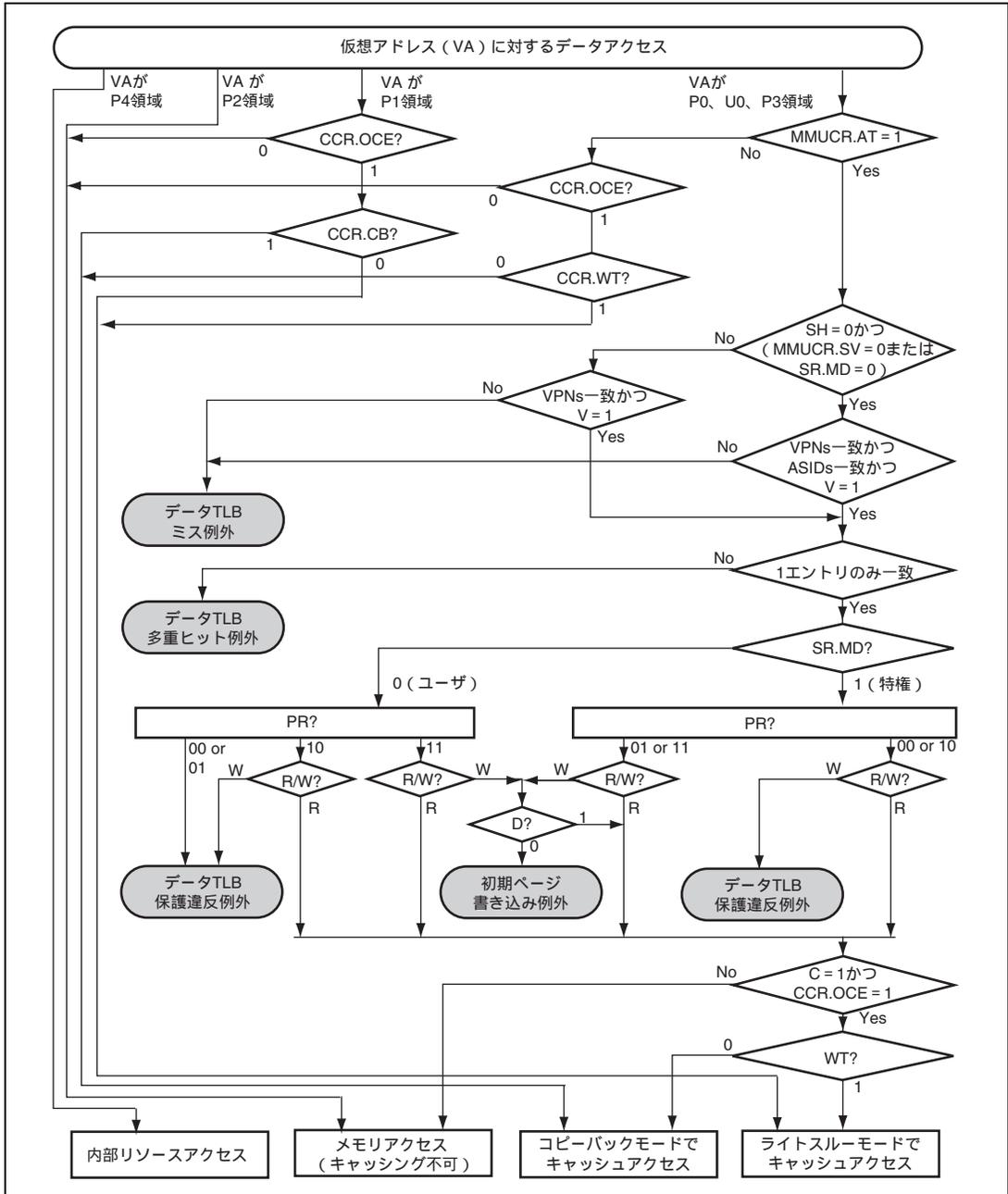


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

7. メモリマネジメントユニット (MMU)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

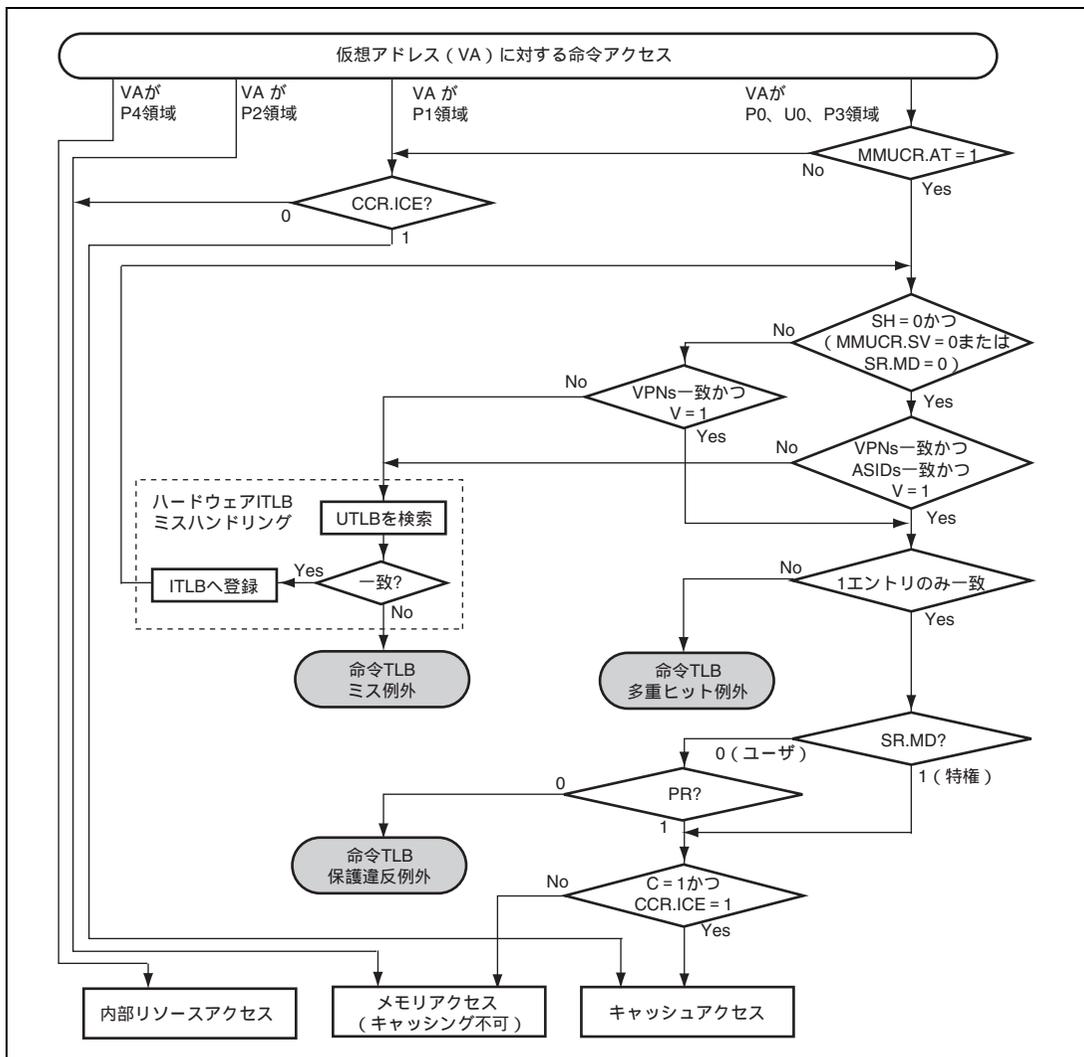


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号

1K バイトページのと看、仮想アドレスの上位 22 ビット
 4K バイトページのと看、仮想アドレスの上位 20 ビット
 8K バイトページのと看、仮想アドレスの上位 19 ビット
 64K バイトページのと看、仮想アドレスの上位 16 ビット
 256K バイトページのと看、仮想アドレスの上位 14 ビット
 1M バイトページのと看、仮想アドレスの上位 12 ビット
 4M バイトページのと看、仮想アドレスの上位 10 ビット
 64M バイトページのと看、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。

ESZ : ページサイズビット

ページサイズを指定します。
 0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ

7. メモリマネジメントユニット (MMU)

1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 19 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 8K バイトページのときは PPN[28:13]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 256K バイトページのときは PPN[28:18]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 4M バイトページのときは PPN[28:22]が有効です。 64M バイトページのときは PPN[28:26]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
EPR : 保護キーデータ	ページのアクセス権をコードで表した 6 ビットデータ 特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。 EPR[5] : 特権モードでの読み出し EPR[4] : 特権モードでの書き込み EPR[3] : 特権モードでの実行 (命令フェッチ) EPR[2] : ユーザモードでの読み出し EPR[1] : ユーザモードでの書き込み EPR[0] : ユーザモードでの実行 (命令フェッチ)
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。

7. メモリマネジメントユニット (MMU)

D: ダーティビット ページに書き込みが行われたかどうかを示します。

0: 書き込みが行われていない

1: 書き込みが行われた

WT: ライトスルービット キャッシュへの書き込みモードを指定します。

0: コピーバックモード

1: ライトスルーモード

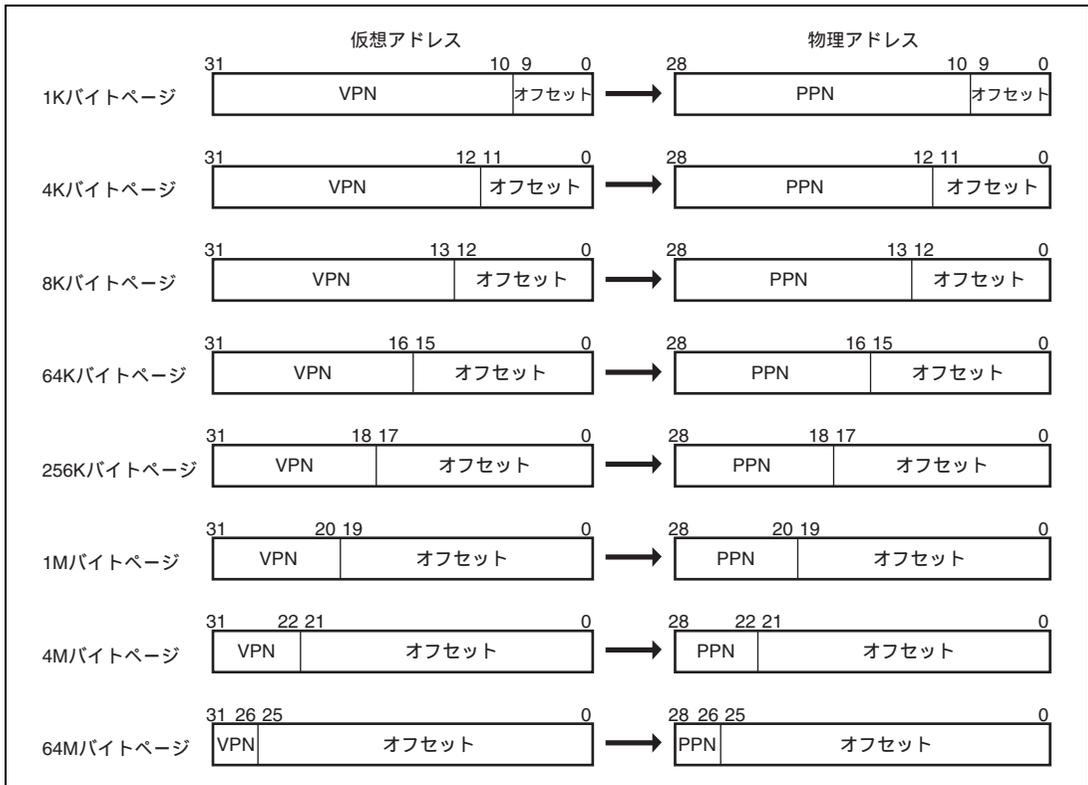


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7. メモリマネジメントユニット (MMU)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

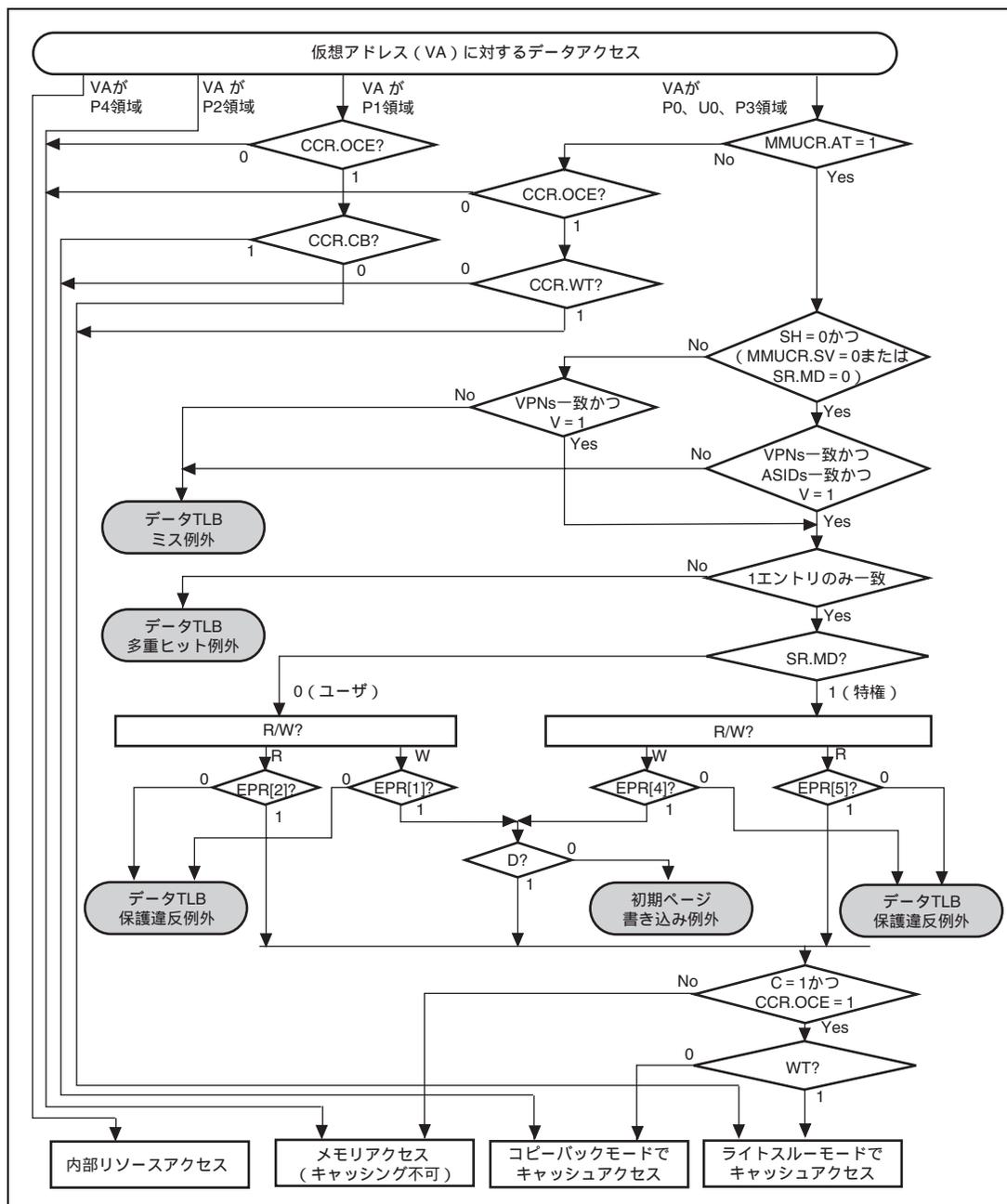


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

7. メモリマネジメントユニット (MMU)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

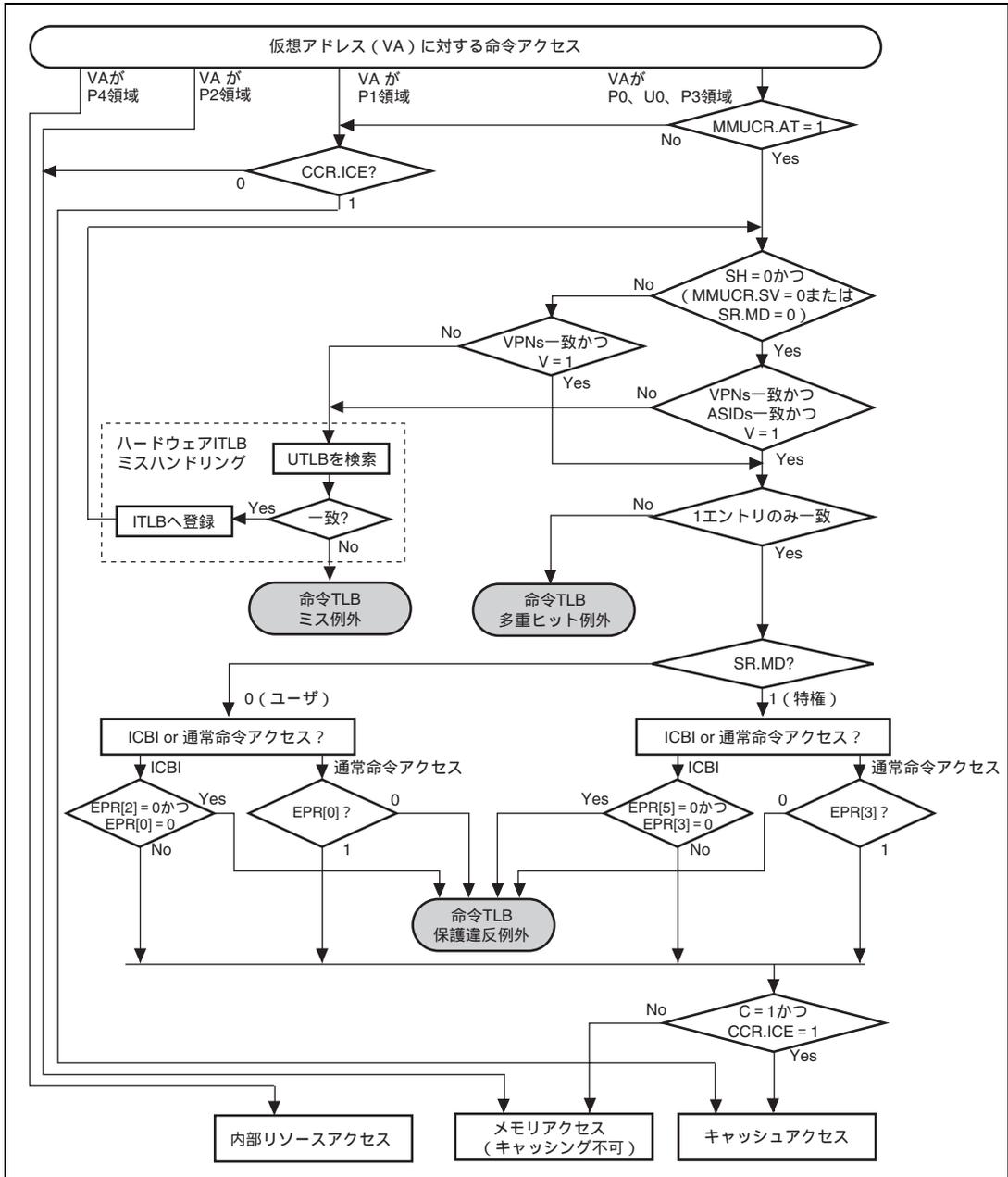


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7. メモリマネジメントユニット (MMU)

7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

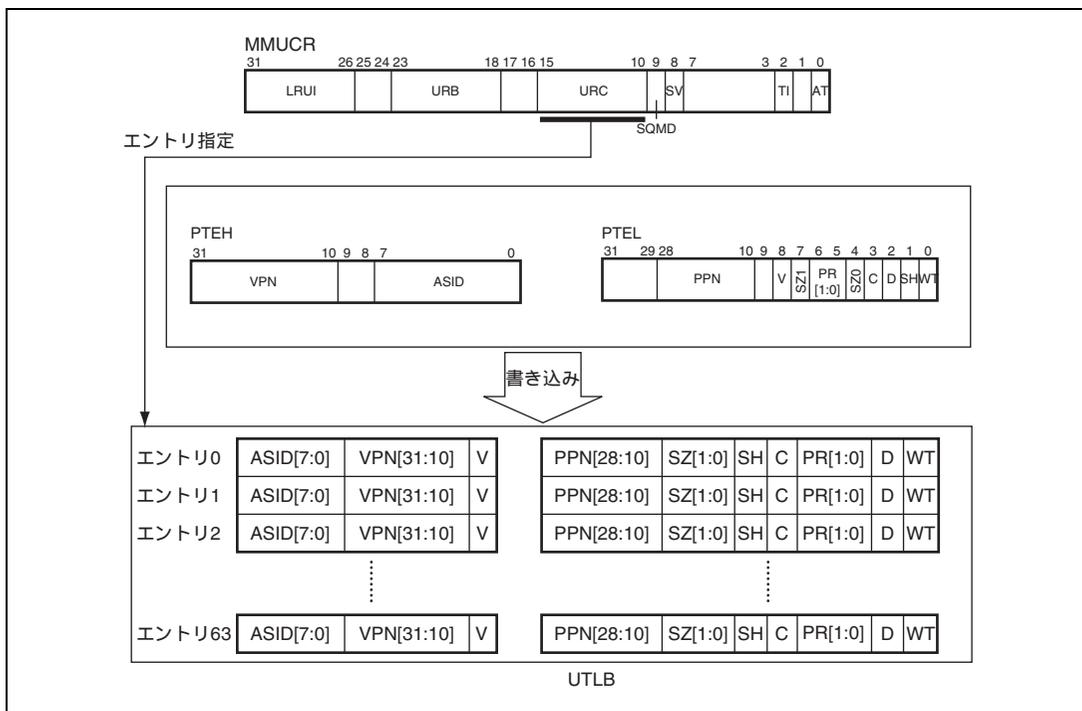


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

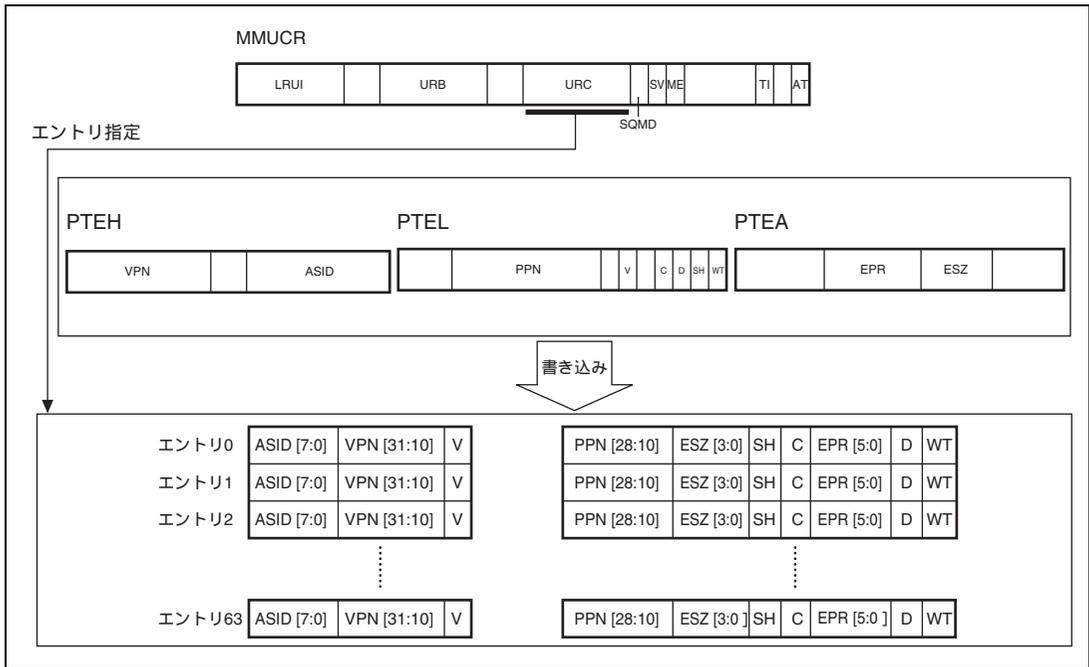


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7. メモリマネジメントユニット (MMU)

7.5.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14、図 7.15 および「第 5 章 例外処理」を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットが発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

7. メモリマネジメントユニット (MMU)

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

LDTLB命令の実行については、「7.10.1 LDTLB命令使用上の注意事項」を参照してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報がITLB エントリに存在するにもかかわらず、実際のアクセスタイプがPR あるいはEPR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'0A0をEXPEVTに設定します。

4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
 5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
 6. SRのMDビットを1に設定し、特権モードに切り替えます。
 7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
 8. SRのRBビットを1に設定します。
 9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。
- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)
命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理
データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。
 1. 例外の発生した仮想アドレスをTEAに設定します。
 2. 例外コードH'140をEXPEVTに設定します。
 3. リセット処理ルーチン (H'A000 0000) に分岐します。
- ソフトウェア処理 (リセットルーチン)
リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7. メモリマネジメントユニット (MMU)

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCWBW : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL、PTEA に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH、PTEL の内容を UTLB に書き込みます。TLB 拡張モードの場合は、PTEH、PTEL および PTEA の内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに

戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

LDTLB命令の実行については、「7.10.1 LDTLB命令使用上の注意事項」を参照してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR あるいは EPR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P1/P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP1/P2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

7. メモリマネジメントユニット (MMU)

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24] が ITLB アドレスアレイを示す H'F2 になっており、[9:8] でエントリを選択するようになっています。アドレス部[1:0] はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10] が VPN を、[8] が V を、[7:0] が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

2. ITLB アドレスアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

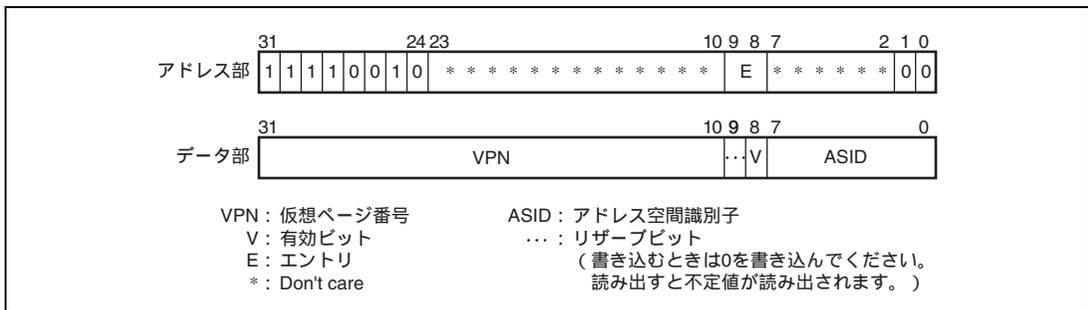


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23] が ITLB データアレイを示す H'F30 になっており、[9:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6] が PR を、[3] が C を、[1] が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

2. ITLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

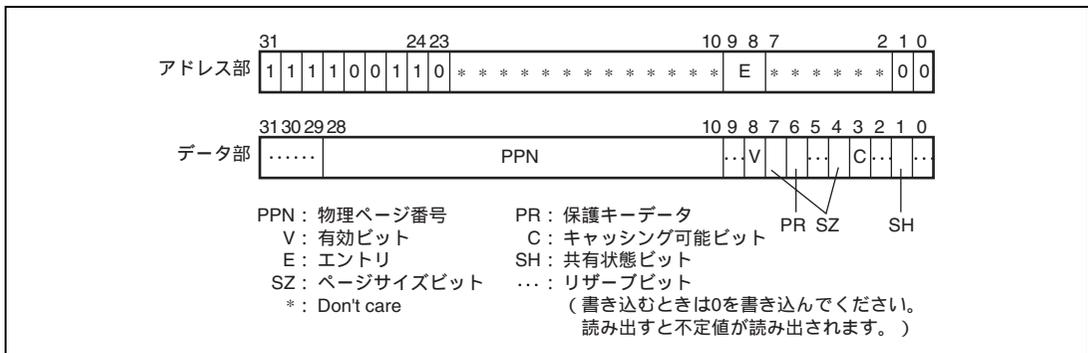


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

7. メモリマネジメントユニット (MMU)

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

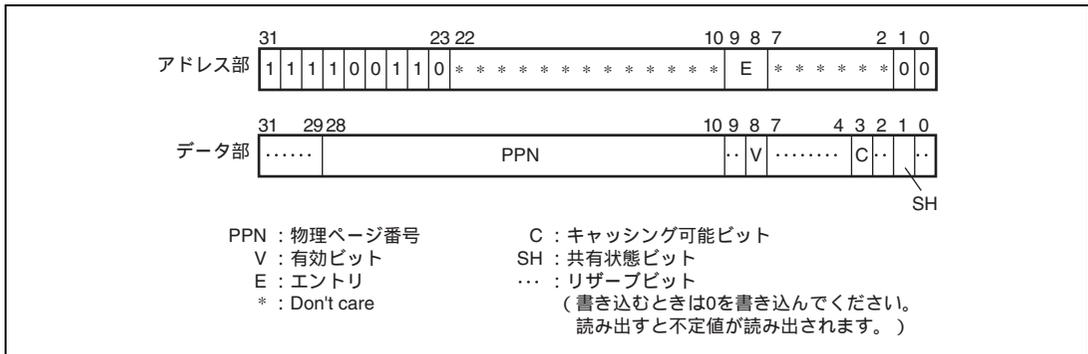


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

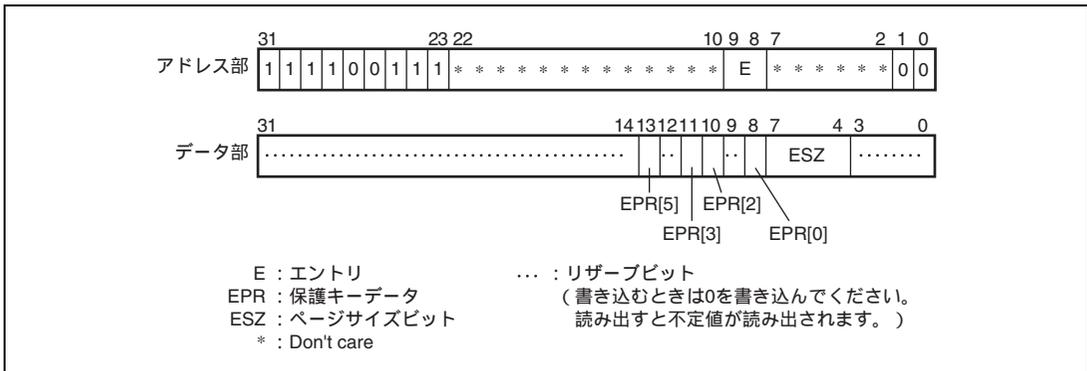


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7. メモリマネジメントユニット (MMU)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20] が UTLB アドレスアレイを示す HF60 になっており、[13:8] でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10] が VPN を、[9] が D を、[8] が V を、[7:0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せず ノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側のみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

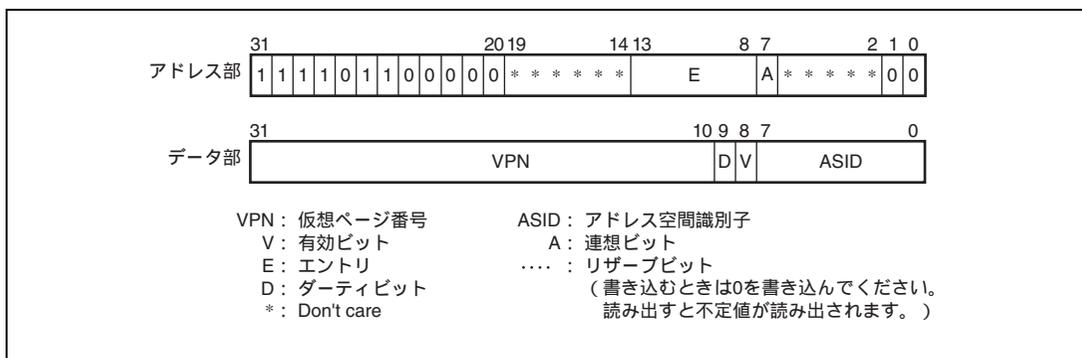


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。



図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7. メモリマネジメントユニット (MMU)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

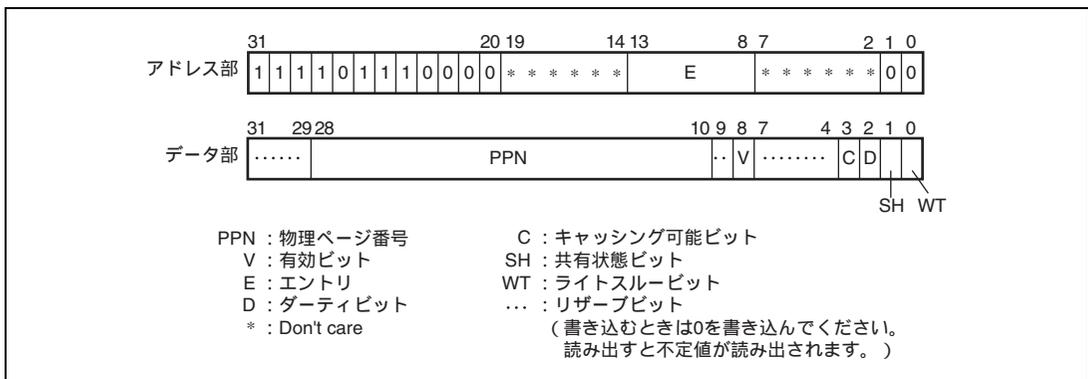


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の HF780 0000 ~ HF78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す HF78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

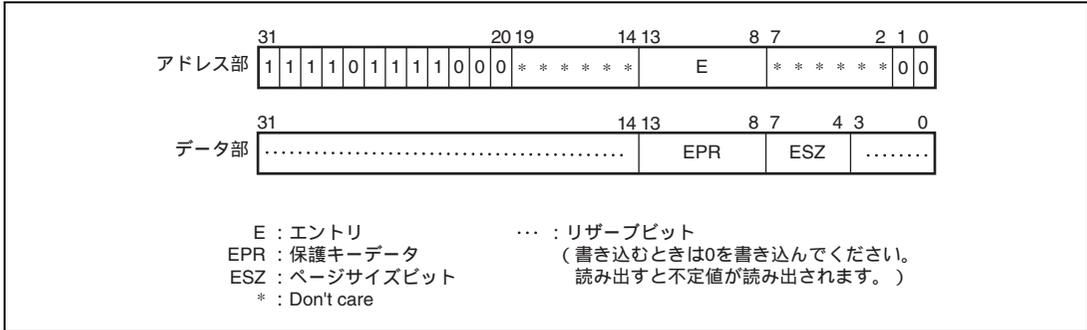


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 32 ビットアドレス拡張モード

本 LSI は PASCRC レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

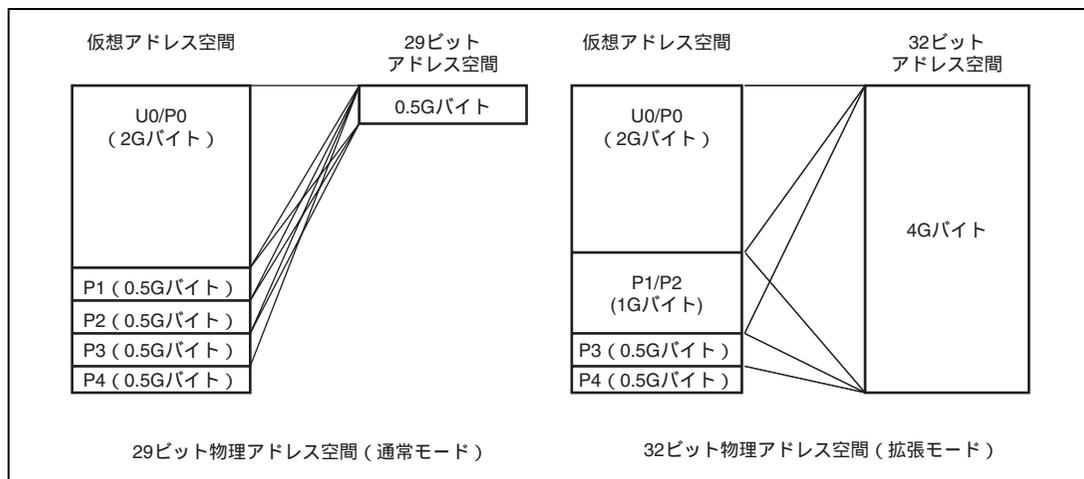


図 7.26 物理アドレス空間 (32 ビットアドレス拡張モード)

7.8.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

7.8.2 32 ビットアドレス拡張モードへの切り替え

PASCR レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次の様になります。

1. MMUCR.AT = 0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま 32 ビット物理アドレスとなります。P1/P2 領域のアドレスは PMB マッピング情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT = 1 のとき、U0/P0/P3 領域の仮想アドレスは TLB 変換情報に従い 32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスは PMB マッピングの情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域 (H'FC00 0000 ~ H'FFFF FFFF) は、MMUCR.AT にかかわらず、物理アドレスの [31:29] が B'111 となります。制御レジスタ領域を UTLB に登録してアクセスする場合には、PPN[31:29] には B'111 を設定してください。

7.8.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

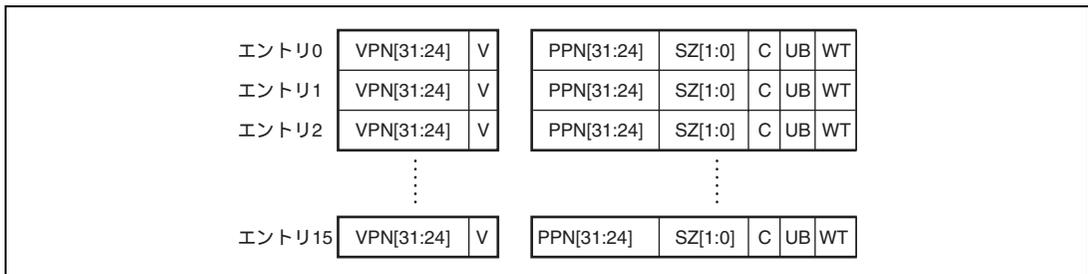


図 7.27 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページ のとき、仮想アドレスの上位 8 ビット

64M バイトページ のとき、仮想アドレスの上位 6 ビット

128M バイトページ のとき、仮想アドレスの上位 5 ビット

512M バイトページ のとき、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

7. メモリマネジメントユニット (MMU)

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのと看、PPN[31:24]が有効

64M バイトページのと看、PPN[31:26]が有効

128M バイトページのと看、PPN[31:27]が有効

512M バイトページのと看、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

7.8.4 PMB の機能

本 LSI がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、SH-4AはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本LSIはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

7. メモリマネジメントユニット (MMU)

7.8.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、プログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000 ~ H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000 ~ H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C=0 に設定したページの領域に配置してください。

1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

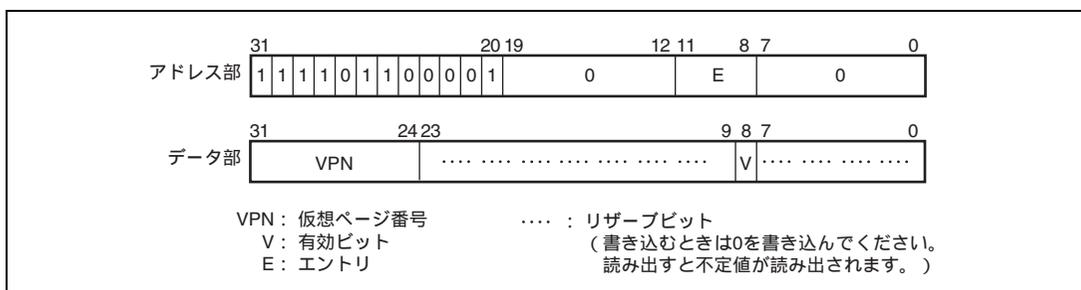


図 7.28 メモリ割り付け PMB アドレスアレイ

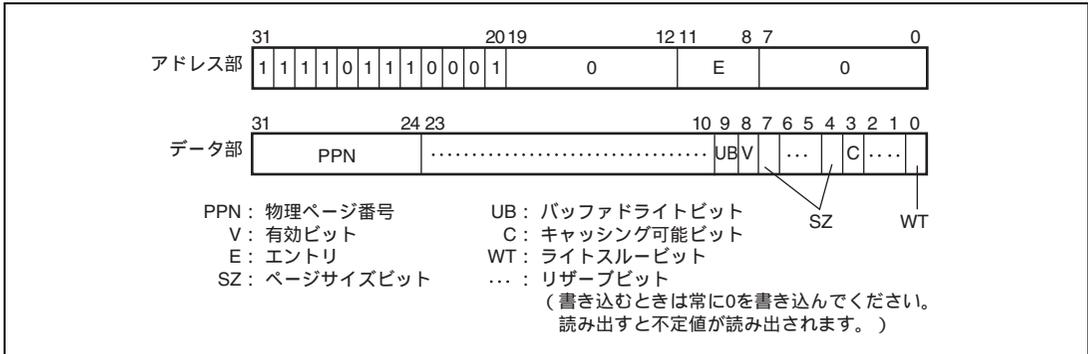


図 7.29 メモリ割り付け PMB データアレイ

7.8.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0: 29 ビットアドレスモード 1: 32 ビットアドレス拡張モード
30~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかどうかをエリアごとに指定します。 0: バッファドライト (CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います) 1: アンバッファドライト (CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います) UB [7]: 制御レジスタ領域のバッファドライト制御 UB [6:0]: エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

7. メモリマネジメントユニット (MMU)

(2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

TLB 拡張モード時は、データアレイ 1 のビット[9]でリード/ライトが行えます。

(4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(5) CCR.CB

CCR レジスタの CB ビットは無効になります。P1 領域に対するキャッシュブライタがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31 ~ 26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

L0SADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:0]に拡張されます。

また、32 ビット拡張アドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えはパワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へのアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。

3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアクセスが外部メモリアクセスを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異なるようにしてください。
4. PMBの登録時にVビットがアドレスアレイとデータアレイの両方にマッピングされていることに注意してください。すなわち、1回目的一方への書き込みではV=0を、2回目の他方への書き込みではV=1を選んでください。

7.9 32 ビットブート機能

本 LSI は外部ピンによる指定で、パワーオンリセットおよびマニュアルリセット後のアドレスモードを 29 ビットアドレスモード / 32 ビットアドレス拡張モードのどちらにするかを切り替え可能です。以下、32 ビットアドレス拡張モードでブートした場合の変更点を説明します。

7.9.1 PMB の初期エントリ

外部ピンで 32 ビットアドレス拡張モードを指定した場合には、パワーオンリセットおよびマニュアルリセット後、PMB に以下の初期エントリが登録され、PASCRA レジスタの SE ビットの初期値が 1 となります。エントリ 2 ~ 15 は V ビットのみ 0 に初期化されます。

エントリ	VPN[31:24]	PPN[31:24]	V	SZ[1:0]	C	UB	WT
0	10000000	00000000	1	11	1	0	1
1	10100000	00000000	1	11	0	0	0

7.9.2 32 ビットブート時の注意点

パワーオンリセットおよびマニュアルリセット直後から P1/P2 領域の PMB マッピングが行われるため、初期エントリとは異なるマッピングを行いたい場合にはブートルーチンでキャッシュと TLB をオン (CCR.ICE と CCR.OCE と MMUCR.AT を 1) にする前に、以下の手順に従って PMB ミス、PMB 多重ヒットが発生しないように注意して PMB を操作してください。なお、ブートルーチン以外での PMB 登録内容の変更は行わないでください。

(1) P1/P2 領域のプログラムで変更する場合

1. 初期エントリに対して SZ ビットのみを変更したエントリを上書き登録し、ページサイズの縮小を行います。このとき、PMB を変更するプログラムは、ページサイズ縮小後のページの先頭 1M バイト以内に配置してください。
2. ITLB に残っている PMB に対応したエントリを無効化するため、MMUCR レジスタの TI ビットに 1 を書き込みます。
3. 1. の操作で PMB 変換情報が不在となった P1/P2 領域を補う PMB エントリをメモリ割り付け PMB で登録します。

7. メモリマネジメントユニット (MMU)

- 以下の (a) ~ (c) のいずれかを実行します。この操作の前に1.の操作でPMB変換情報が不在となったP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

(a) RTE命令による分岐を実行

(b) 任意のアドレス (キャッシング不可領域でもよい) に対してICBI命令を実行

(c) メモリ割り付けPMBアクセスの前にIRMCR.MT = 0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

(2) P1/P2 領域以外のプログラムで変更する場合

- ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。

- メモリ割り付けPMBでPMBエントリを変更します。

- 以下の (a) ~ (c) のいずれかを実行します。この操作の前にP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

(a) RTE命令による分岐を実行

(b) 任意のアドレス (キャッシング不可領域でもよい) に対してICBI命令を実行

(c) メモリ割り付けPMBアクセスの前にIRMCR.MT = 0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

7.10 使用上の注意事項

7.10.1 LDTLB 命令使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の (1) または (2) のどちらかを行ってください。

- (1) 29 ビットアドレスモードのときは、次の (a) および (d) の両方を行ってください。32 ビットアドレス拡張モードのときは、(a) から (d) をすべて行ってください。
- (a) TLB ミス例外処理ルーチン^{*1}は P1 領域、P2 領域あるいは内蔵メモリ領域のみに配置し、TLB ミス例外処理ルーチンでの命令アクセス^{*3}は P1 領域、P2 領域あるいは内蔵メモリ領域のみになるようにしてください。TLB ミス例外処理ルーチンを内蔵メモリ領域に配置する場合は、RAMCR の RP ビットを 0 (初期値) にしてください。
- (b) TLB ミス例外処理ルーチン^{*1}での命令アクセス^{*3}は、PMB の 1 ページのみを使用してください。かつ、PMB のページの最後 64 バイトに置かないでください。(32 ビットアドレス拡張モードの場合のみ)
- (c) MMU 関係例外^{*2}処理ルーチンで UTLB に登録する際は、次の 1. と 2. の両方の条件に従ってください。(32 ビットアドレス拡張モードの場合のみ)
1. TLB ミス例外が発生したときで、アクセス権があるページを UTLB に登録する場合、次の 2 回の動作で例外が発生したページを UTLB に登録する方法は行わないでください。
 - TLB ミス例外を発生させた命令を再実行するときに保護違反例外が起こるような保護キーデータを指定して、TLB ミス例外が発生したページを UTLB に登録する。
 - 保護違反例外の例外処理ルーチンで保護違反例外が起こらない保護キーデータを指定して UTLB に登録し、保護違反例外を発生させた命令を再実行する。
 2. 初期書き込み例外が発生し、UTLB のダーティビットに 1 を設定したページが、該当書き込み命令が完了する前に UTLB から追い出された場合、再度登録する場合は、ダーティビットを 1 で登録してください。
- (d) TLB ミス例外処理ルーチンでは FDIV 命令または FSQRT 命令を使用しないでください。

(2) TLB ミス例外が発生した際は、MMUCR.URC に 1 を加算してから LDTLB 命令を実行してください。

- 【注】 *1 例外処理ルーチン：例外発生時の VBR + オフセットの番地から、元のプログラムに復帰する RTE および RTE の遅延スロットに至るまでに実行されるすべての命令を意味します。
- *2 MMU 関係例外：命令 TLB ミス例外、命令 TLB ミス保護違反例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外を意味します。
- *3 命令アクセス：PREFI 命令と ICBI 命令によるアクセスを含みます。

7. メモリマネジメントユニット (MMU)

8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

8.1 特長

キャッシュの特長を表 8.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

8. キャッシュ

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのこのウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのこのウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

本 LSI は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

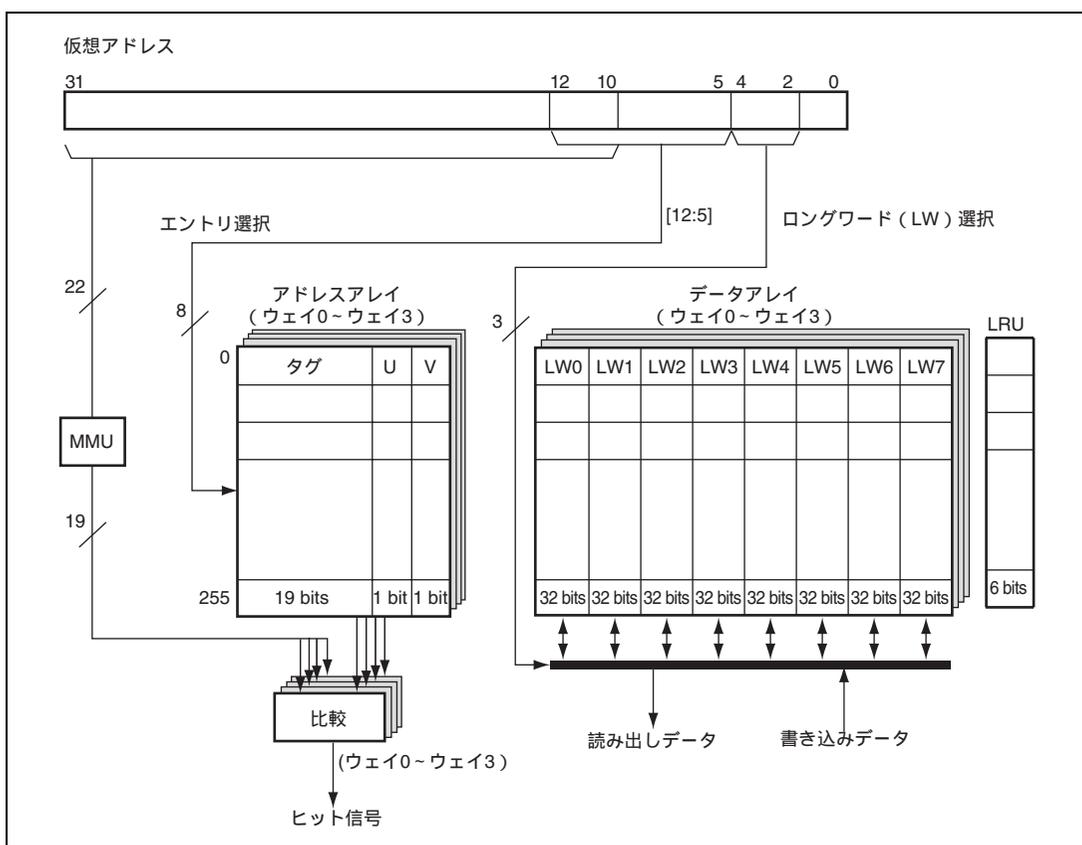


図 8.1 オペランドキャッシュの構成 (キャッシュサイズ = 32K バイトの場合)

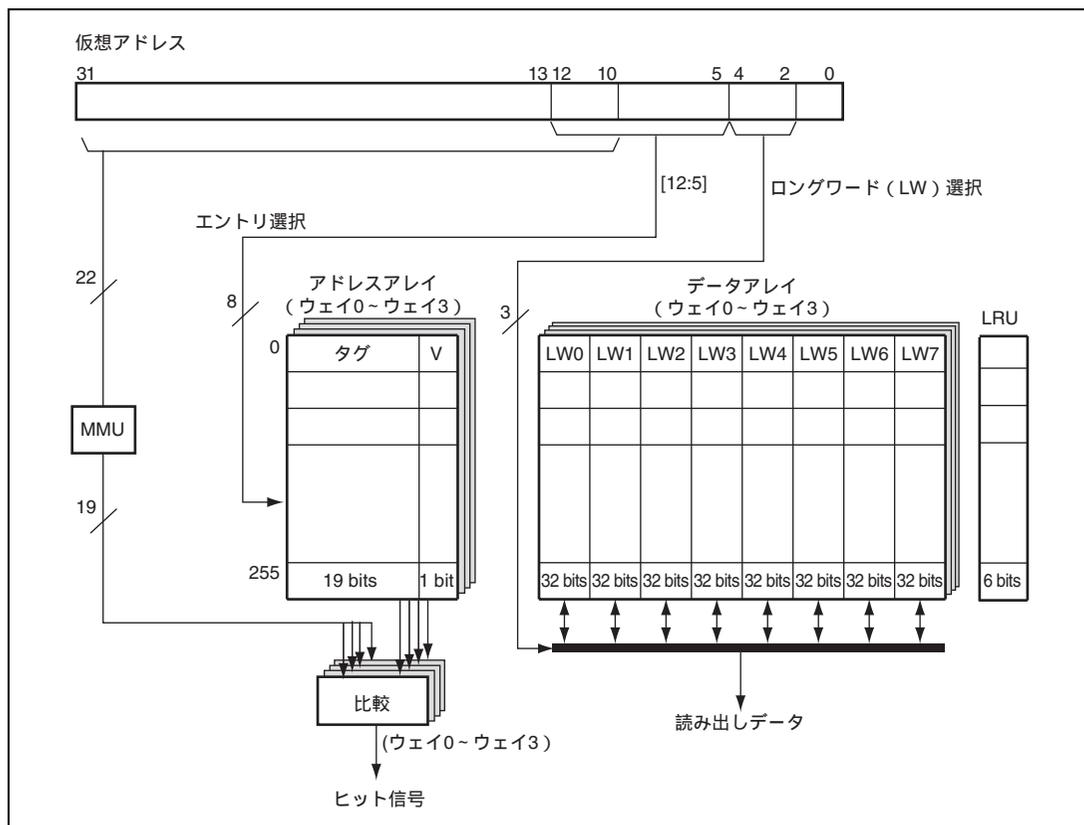


図 8.2 命令キャッシュの構成 (キャッシュサイズ=32K バイトの場合)

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「8.6 メモリ割り付けキャッシュの構成」参照) をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。

8. キャッシュ

せん。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリアドレスに登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
キューアドレス制御レジスタ 0	QACR0	不定	不定	保持	保持
キューアドレス制御レジスタ 1	QACR1	不定	不定	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

8. キャッシュ

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0: ライトスルーモード 1: コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0: コピーバックモード 1: ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0: OCを使用しない 1: OCを使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー 0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8. キャッシュ

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー 1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ、OL メモリあるいは U メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域または IL メモリ、OL メモリあるいは U メモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。

8. キャッシュ

ビット	ビット名	初期値	R/W	説明
6	OC2W	0	R/W	OC2 ウェイモードビット 0 : OC は 4 ウェイ動作 1 : OC は 2 ウェイ動作 詳細は「8.3.6 OC2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- | | | |
|--|----|----|
| • タグが一致かつVビットが1のウェイが存在する場合 | 3. | 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 | 5. | 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 6. | 7. |
3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッ

8. キャッシュ

シュラインヘデータを読み込みます（ただし、すでに書き込み済みのキャッシュミスしたデータを除く）。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス（ライトスルー）

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

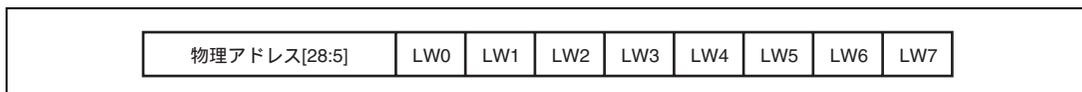


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

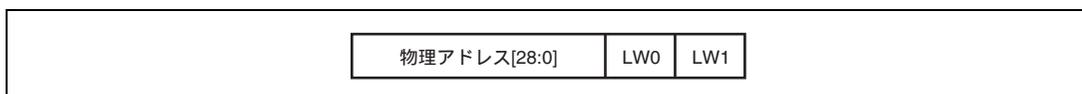


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

8. キャッシュ

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを1にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

本LSIは消費電力を低減するために命令キャッシュ(IC)ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを1にセットすると、ICウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんがICの消費電力が増加します。また、ICWPD ビットの切り換えはキャッシング不可のP2領域を走行するプログラムで行ってください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュパーズ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0,@Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- FLUSH トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

8. キャッシュ

(3) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWB のコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A から変更になっています。

1. インバリデイト命令 : OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

2. パージ命令 : OCBP @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

3. ライトバック命令 : OCBWB @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを 0 の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICデータアレイの内容の読み出し/書き込みが可能です。また特権モードのときP2領域のプログラムあるいはILメモリ領域のプログラムからMOV命令によってICアドレスアレイの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0(初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部ヘタグとVビットを読み出します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 IC アドレスアレイ連想ライト機能は、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

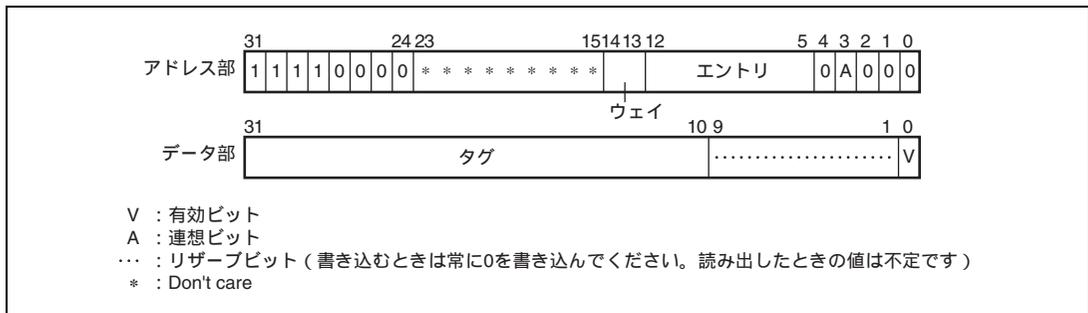


図 8.5 メモリ割り付け IC アドレスアレイ (キャッシュサイズ=32K バイトの場合)

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

8. キャッシュ

データ部はロングワードデータの指定に用います。

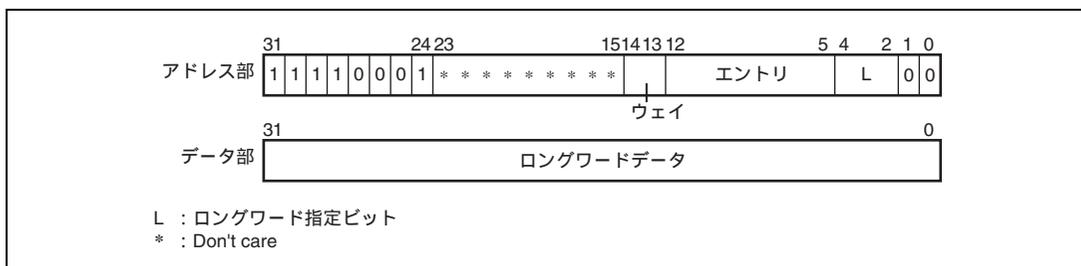
IC データアレイに対しては次の2種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイトとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。



8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の3種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応するOCエントリから、データ部へタグとUビットとVビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 OC アドレスアレイ連想ライト機能は、今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCB/OCBP/OCBWB 命令の使用を推奨します。

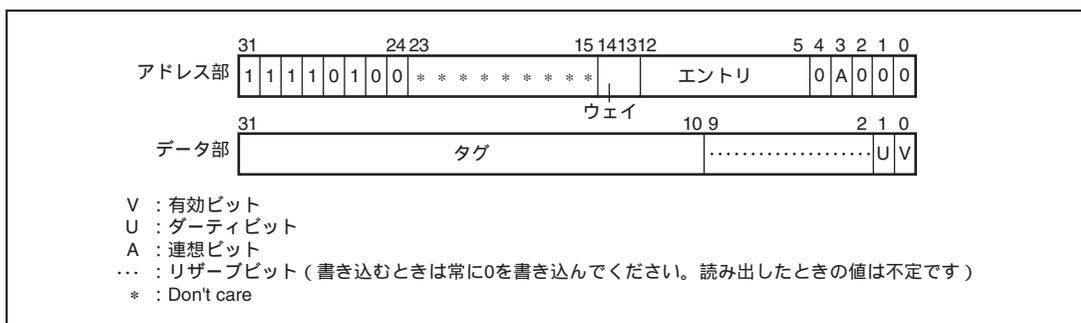


図 8.7 メモリ割り付け OC アドレスアレイ (キャッシュサイズ = 32K バイトの場合)

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

8. キャッシュ

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイトとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

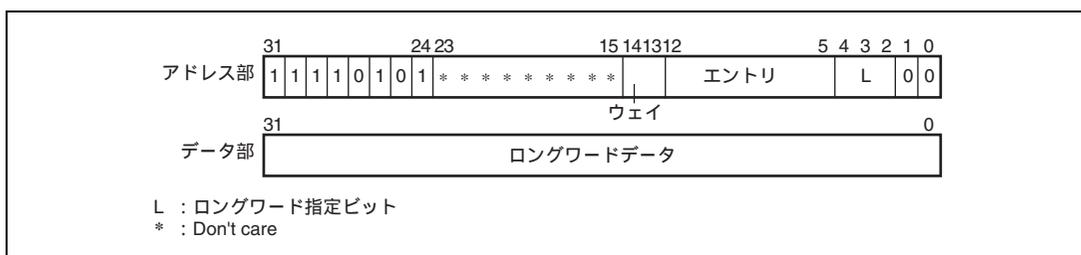


図 8.8 メモリ割り付け OC データアレイ (キャッシュサイズ=32K バイトの場合)

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。本 LSI では過渡的な措置として本機能を利用した場合にアドレスエラーが発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (H'FF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

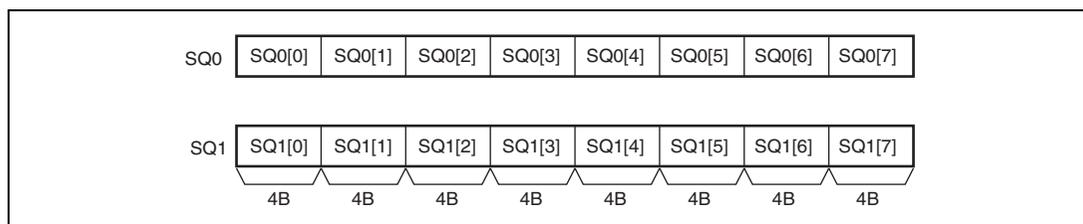


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

8. キャッシュ

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの [4:0] は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス [31:0] は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス [25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス [5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス [28:26] は、QACR0、QACR1 から生成します。

QACR0 [4:2] : SQ0 に対する物理アドレス [28:26]

QACR1 [4:2] : SQ1 に対する物理アドレス [28:26]

物理アドレスの [4:0] は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されません。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

1. IC および OC のタグが [28:10] の 19 ビットから、[31:10] の 22 ビットに拡張されます。
2. IC を操作する命令 (メモリ割り付け IC アクセスおよび CCR.ICI 書き込み) を配置する領域は、P1 または P2 領域とし、PMB の当該エントリのキャッシング可能ビット (C ビット) を 0 にしてください。
3. QACR0 レジスタの AREA0 ビットおよび QACR1 レジスタの AREA1 ビットがそれぞれ [4:2] の 3 ビットから [7:2] の 6 ビットに拡張されます。

8. キャッシュ

9. 内蔵メモリ

SH-4A は OL メモリ、IL メモリ、U メモリモジュールの 3 種類のメモリを内蔵しており、命令やデータを格納することができます。OL メモリはデータの格納に適しており、IL メモリは命令の格納に適しています。U メモリは命令やデータを格納することができます。

9.1 特長

(1) OL メモリ

- 容量：

OLメモリの容量は、16Kバイトです。

- ページ：

OLメモリは4ページ（ページ0A、0B、1Aおよび1B）に分かれています。

- メモリマップ：

OLメモリは、仮想アドレス空間、物理アドレス空間とも、表9.1に示されるアドレスに配置されています。

表 9.1 OL メモリアドレス

ページ	メモリアドレス
ページ 0A	H'E500 E000 ~ H'E500 EFFF
ページ 0B	H'E500 F000 ~ H'E500 FFFF
ページ 1A	H'E501 0000 ~ H'E501 0FFF
ページ 1B	H'E501 1000 ~ H'E501 1FFF

- ポート：

各ページは3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバス、となります。

9. 内蔵メモリ

(2) ILメモリ

- 容量：
ILメモリの容量は、8Kバイトです。
- ページ：
ILメモリは2ページ（ページ0、ページ1）に分かれています。
- メモリマップ：
ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.2に示されるアドレスに配置されています。

表 9.2 ILメモリアドレス

ページ	メモリアドレス
ページ 0	H'E520 0000 ~ H'E520 0FFF
ページ 1	H'E520 1000 ~ H'E520 1FFF

- ポート：
3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

(3) Uメモリ

- 容量：
Uメモリの容量は、128Kバイトです。
- アクセス方法：
命令フェッチやオペランドライトアクセスはキャッシュ・RAM内蔵バスからアクセスを行います。オペランドリードアクセスは、リードバッファを用いてシークンシャルなオペランドアクセスに最適化したアクセスが可能です。
- メモリマップ：
Uメモリは、仮想アドレス空間および物理アドレス空間で、それぞれ表9.3に示されるアドレスに配置されています。

CPUから、仮想アドレス空間のP4領域（SR.MD = 1の場合）、あるいは内蔵メモリ領域（SR.MD = 0かつRAMCR.RMD = 1の場合）からアクセス可能です。このアドレスを用いたアクセスは常に非キャッシュブルアクセスとなります。

表 9.3 U メモリアドレス

アドレス空間	メモリアドレス
仮想アドレス	H'E55F 0000 ~ H'E560 FFFF
物理アドレス	H'E55F 0000 ~ H'E560 FFFF

- ポート :

Uメモリは3本の独立した読み出し/書き込みポートを持ち、オペランドバス、キャッシュ・RAM内蔵バス、およびSuperHywayバスと接続されています。オペランドリードアクセスにはオペランドバス、命令フェッチおよびオペランドライトアクセスにはキャッシュ・RAM内蔵バス、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスが使用されます。

- 優先順位 :

Uメモリに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスとなります。

9. 内蔵メモリ

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.4 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
OL メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
OL メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
OL メモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
OL メモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 9.5 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持
OL メモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持	保持
OL メモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持	保持
OL メモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持	保持
OL メモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ/特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC2ウェイモードビット 詳細は「8.4.3 IC2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC2ウェイモードビット 詳細は「8.3.6 OC2ウェイモード」を参照してください。
5	ICWPD	0	R/W	ICウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

9. 内蔵メモリ

9.2.2 OLメモリ転送元アドレスレジスタ0 (LSA0)

LSA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、OLメモリページ0A、0Bへのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LOSADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOSADR						—	—	—	—	LOSSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	LOSADR	不定	R/W	OLメモリページ0ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	LOSSZ	不定	R/W	OLメモリページ0ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、LOSADRの値を使用するかを選択します。LOSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにLOSADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

9.2.3 OLメモリ転送元アドレスレジスタ1 (LSA1)

LSA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、OLメモリページ1A、1Bへのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-			L1SADR												
初期値:	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						-	-	-	-	L1SSZ					
初期値:	-	-	-	-	-	-	0	0	0	0	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1SADR	不定	R/W	OLメモリページ1ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ1A、1Bに対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1SSZ	不定	R/W	OLメモリページ1ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ1A、1Bに対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L1SADRの値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにL1SADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

9. 内蔵メモリ

9.2.4 OLメモリ転送先アドレスレジスタ0 (LDA0)

LDA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、OLメモリページ0A、0Bへのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0DADR						—	—	—	—	L0DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L0DADR	不定	R/W	OLメモリページ0ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ0A、0Bに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L0DSZ	不定	R/W	OLメモリページ0ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ0A、0Bに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L0DADRの値を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにL0DADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

9.2.5 OLメモリ転送先アドレスレジスタ1 (LDA1)

LDA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、OLメモリページ1A、1Bへのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—			L1DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1DADR	不定	R/W	OLメモリページ1ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1DSZ	不定	R/W	OLメモリページ1ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、OLメモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L1DADRの値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0:転送先物理アドレスにオペランドアドレスを使用します。 1:転送先物理アドレスにL1DADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

(1) OL メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。アクセスには複数サイクルがかかります。

(2) IL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

(3) U メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バス経由のアクセスとなり、一回の命令フェッチに複数サイクルがかかります。

9.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

【注】 PC 相対 (@ (disp,PC)) によるオペランドアクセスが可能です。

(1) OL メモリ

CPU および FPU からのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OL メモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に 1 サイクルアクセスになります。

(2) IL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルがかかります。

(3) U メモリ

CPU からのオペランドアクセスおよび FPU からのリードアクセスは、リードバッファを経由したアクセスとなります。リードバッファは 1 ライン 32 バイトのバッファ 2 本で構成されており、CPU からオペランドアクセスしたラインと FPU からリードアクセスしたラインを合計で最大 2 ラインまで保持しています。リードバッファにヒットした場合、1 サイクルでアクセス可能です。リードバッファにミスした場合、U メモリから要求されたデータを含む 32 バイトを読み出し、CPU へ返すとともに、リードバッファを更新します。このアクセスには複数サイクルがかかります。2 本あるリードバッファのどちらを更新するかは LRU アルゴリズムを用いて決定します。ライトアクセスでは U メモリを直接更新するとともに、当該ラインがリードバッファに保持されていた場合には、無効

化を行います。DMAC などの SuperHyway バスマスタモジュールが U メモリを書き換えた場合にもリードバッファの無効化をハードウェアが行いますので、ソフトウェアでコヒーレンスを保証する必要はありません。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの内蔵メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.3.4 OL メモリブロック転送

OL メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから OL メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、外部メモリから OL メモリへのブロック転送が開始されます。

OL メモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、OL メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディセーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) かつ RAMCR.RP = 1 の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

9. 内蔵メモリ

(2) MMU ディスエーブル (MMUCR.AT = 0) または RAMCR.RP = 0 の場合

LSA0 レジスタの LOSADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、L0SSZ ビットに、転送元の物理アドレスのビット 15~10 として PREF 命令で指定された仮想アドレスを使用するか、LOSADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト~64K バイト単位で設定可能です。

LDA0 レジスタの L0DADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、L0DSZ ビットに、転送先の物理アドレスのビット 15~10 として OCBWB 命令で指定された仮想アドレスを使用するか、L0DADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト~64K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 および LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

9.4 内蔵メモリの保護機能

本 LSI では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD=0のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定しません。

またMMUCR.AT = 1かつRAMCR.RP = 1のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.6にまとめます。

表 9.6 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
1	0	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
	1	1	0	0	アドレスエラー例外	-
				1	-	MMU 例外
			1	x	-	MMU 例外

【記号説明】 x : Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

(1) OL メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがOLメモリ以外からOLメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

(2) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。例えばページ毎に独立したプログラムを配置すると効率がよくなります。

9.5.3 内蔵メモリのコヒーレンシ

(1) OL メモリ

OLメモリに命令を配置する場合、OLメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく(OLメモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

(2) IL メモリ

IL メモリに命令を配置する場合、IL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (IL メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

(3) U メモリ

U メモリに命令を配置する場合、U メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (U メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

9.5.4 スリープモード

(1) OL メモリ、IL メモリ

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから OL メモリあるいは IL メモリへのアクセスは行えません。

(2) U メモリ

スリープモード中も、DMAC などの SuperHyway バスマスタモジュールから U メモリへアクセス可能です。

9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの LOSADR ビット、LSA1 レジスタの LISADR ビット、LDA0 レジスタの LODADR ビット、LDA1 レジスタの LIDADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

10. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU (SH-4A) への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

10.1 特長

INTC には次のような特長があります。

- 外部割り込みの割り込み優先順位を15レベル設定可能
割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。
- NMIノイズキャンセル
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- SR.BLビットが1にセットされたときのNMI要求のマスク
SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。
- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能
- 内蔵周辺モジュール割り込みの優先順位は30レベル設定可能
10本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求別に30レベルまで設定することができます。
- ユーザモード割り込み禁止機能
ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。
- レベル検出IRQおよびIRL割り込み要因の要因保持モード (ICR0.LVLMODE)
レベル検出設定時のIRQ割り込み、およびIRL割り込みについては、外部端子の入力レベルを保持しない場合でもINTC内部で割り込み要因を一時的に保持するモード (ICR0.LVLMODE = 0) と、INTC内部で割り込み要因を保持しないモード (ICR0.LVLMODE = 1) の2つのモードがあります。初期値はICR0.LVLMODE = 0ですが、初期化ルーチン内で、割り込みコントロールレジスタ0 (ICR0) の設定を行い、ICR0.LVLMODE = 1として使用することを推奨します。

10. 割り込みコントローラ (INTC)

図 10.1 に INTC のブロック図を示します。

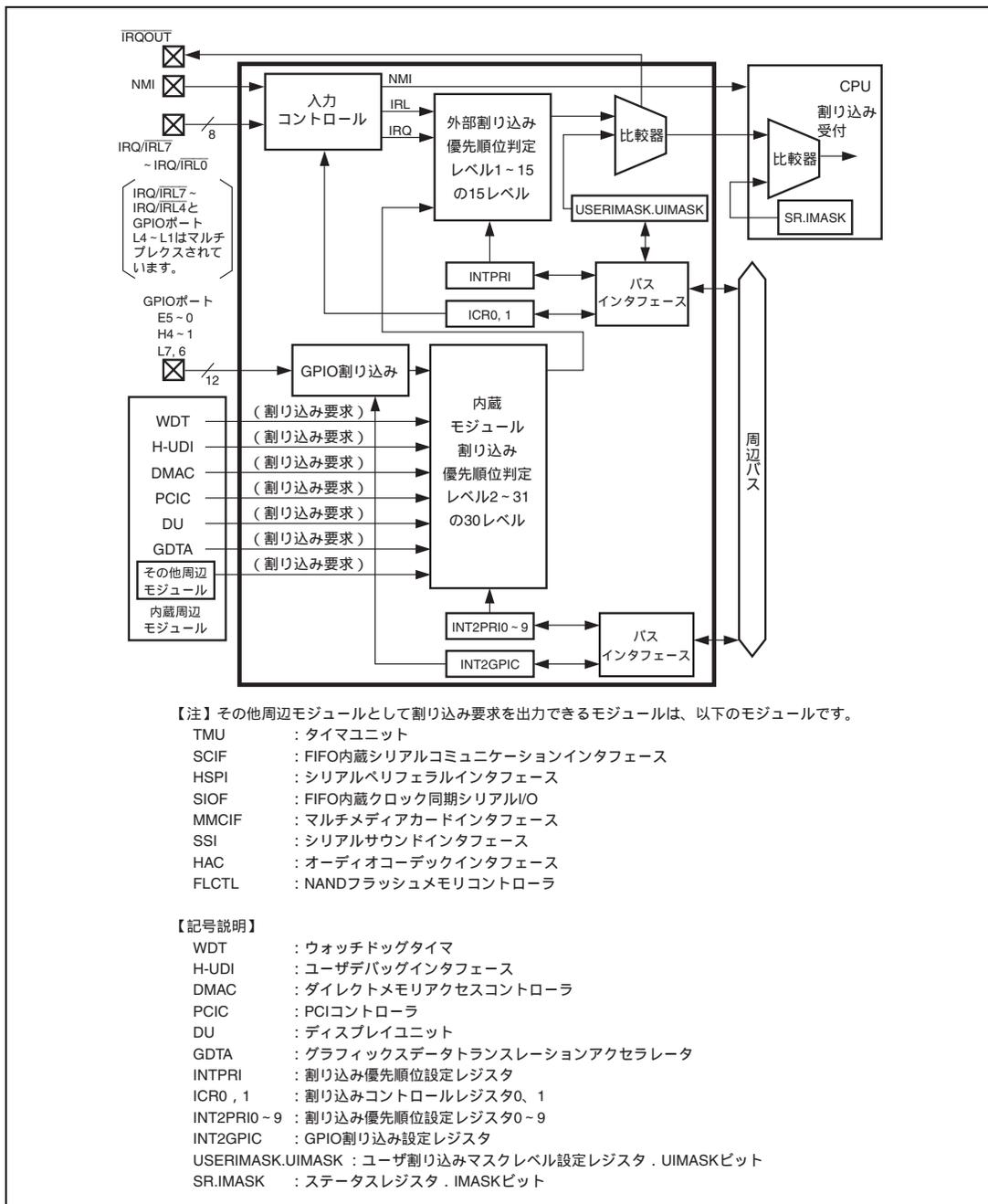


図 10.1 INTC のブロック図

図10.1の入力コントロール回路の詳細を図10.2に示します。

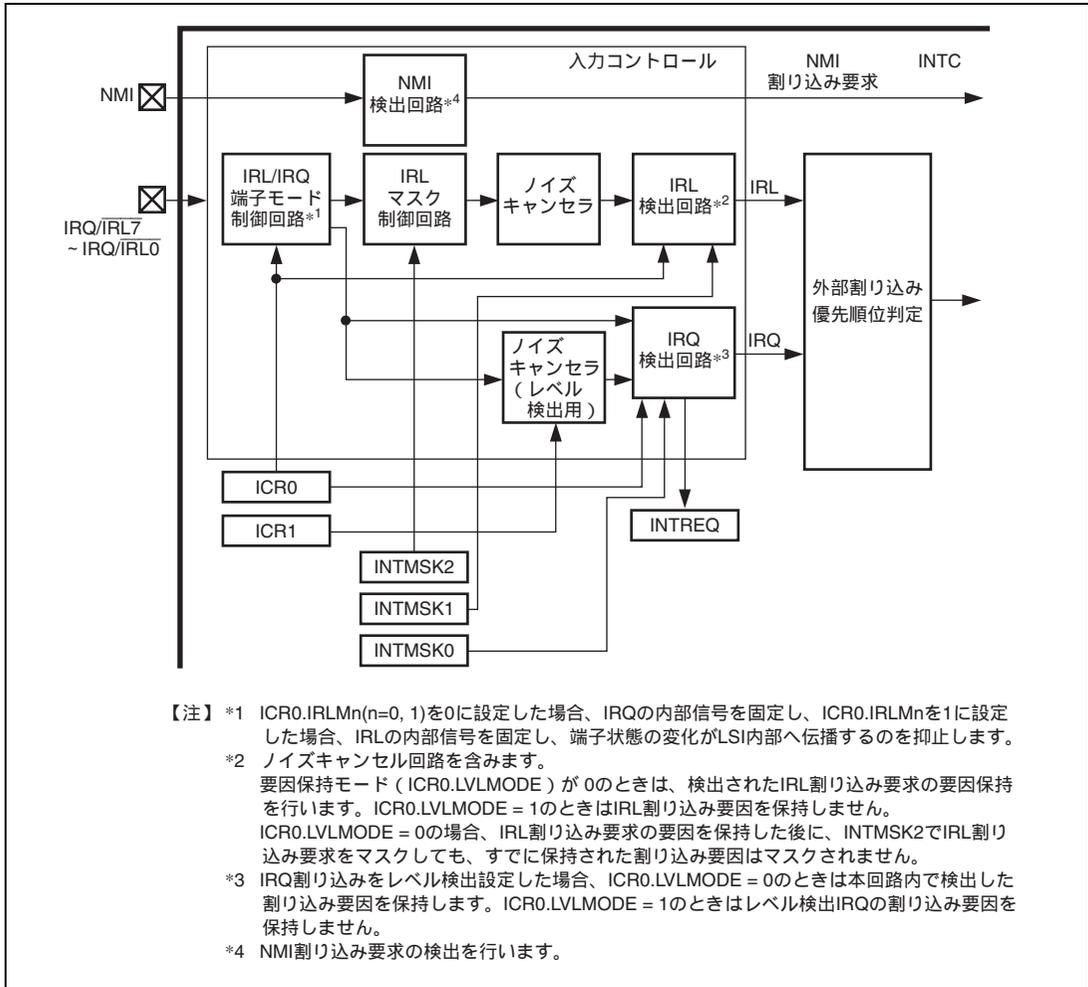


図 10.2 外部端子からの割り込み要求の入力コントロール回路

10. 割り込みコントローラ (INTC)

10.1.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. 割り込み例外処理ルーチンの先頭番地ベクタベースレジスタ (VBR) + H'600にジャンプします。
CPU動作モードレジスタのINTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

10.1.2 割り込み要因

割り込み種別の例を表 10.1 に示します。INTC では外部割り込み要因と内蔵周辺モジュール割り込み要因をサポートします。

外部割り込み要因とは、外部端子からの入力による NMI, IRL, IRQ 割り込みのことです。また、本 LSI では IRQ、IRL 割り込み入力は、同一端子に割り付けられているのでシステム形態により使用方法を選択設定します。

IRQ 割り込みでは検出方法としてレベルのほか、立ち上がりエッジ、立ち下がりエッジも選択可能です。

表 10.1 割り込み要因

要因	要因数 (最大)	優先順位	INTEVT	備考		
外部割り込み	NMI	1	-	H'1C0	<div style="display: flex; align-items: center; justify-content: center;"> <div style="writing-mode: vertical-rl; text-orientation: upright; margin-right: 5px;">高</div> <div style="border-left: 1px solid black; border-right: 1px solid black; height: 100%; position: relative;"> <div style="position: absolute; top: 0; right: 0;">▲</div> <div style="position: absolute; bottom: 0; right: 0;">低</div> </div> </div>	
	IRL	2	端子入力値の反転値 (負極性端子のため) 入力レベル= L: ローレベル H: ハイレベル (表 10.11 参照)	H'200		$\overline{\text{IRL}}[3:0] = \text{LLLL} (\text{H}'0)$
				H'B00		$\overline{\text{IRL}}[7:4] = \text{LLLL} (\text{H}'0)$
				H'220		$\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}'1)$
				H'B20		$\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}'1)$
				H'240		$\overline{\text{IRL}}[3:0] = \text{LLHL} (\text{H}'2)$
				H'B40		$\overline{\text{IRL}}[7:4] = \text{LLHL} (\text{H}'2)$
				H'260		$\overline{\text{IRL}}[3:0] = \text{LLHH} (\text{H}'3)$
				H'B60		$\overline{\text{IRL}}[7:4] = \text{LLHH} (\text{H}'3)$
				H'280		$\overline{\text{IRL}}[3:0] = \text{LHLL} (\text{H}'4)$
				H'B80		$\overline{\text{IRL}}[7:4] = \text{LHLL} (\text{H}'4)$
				H'2A0		$\overline{\text{IRL}}[3:0] = \text{LHLH} (\text{H}'5)$
				H'BA0		$\overline{\text{IRL}}[7:4] = \text{LHLH} (\text{H}'5)$
				H'2C0		$\overline{\text{IRL}}[3:0] = \text{LHHL} (\text{H}'6)$
				H'BC0		$\overline{\text{IRL}}[7:4] = \text{LHHL} (\text{H}'6)$
				H'2E0		$\overline{\text{IRL}}[3:0] = \text{LHHH} (\text{H}'7)$
				H'BE0		$\overline{\text{IRL}}[7:4] = \text{LHHH} (\text{H}'7)$
				H'300		$\overline{\text{IRL}}[3:0] = \text{HLLL} (\text{H}'8)$
				H'C00		$\overline{\text{IRL}}[7:4] = \text{HLLL} (\text{H}'8)$
				H'320		$\overline{\text{IRL}}[3:0] = \text{HLLH} (\text{H}'9)$
				H'C20		$\overline{\text{IRL}}[7:4] = \text{HLLH} (\text{H}'9)$
				H'340		$\overline{\text{IRL}}[3:0] = \text{HLHL} (\text{H}'A)$
				H'C40		$\overline{\text{IRL}}[7:4] = \text{HLHL} (\text{H}'A)$
				H'360		$\overline{\text{IRL}}[3:0] = \text{HLHH} (\text{H}'B)$
				H'C60		$\overline{\text{IRL}}[7:4] = \text{HLHH} (\text{H}'B)$
				H'380		$\overline{\text{IRL}}[3:0] = \text{HHLL} (\text{H}'C)$
				H'C80		$\overline{\text{IRL}}[7:4] = \text{HHLL} (\text{H}'C)$
				H'3A0		$\overline{\text{IRL}}[3:0] = \text{HHLH} (\text{H}'D)$
				H'CA0		$\overline{\text{IRL}}[7:4] = \text{HHLH} (\text{H}'D)$
				H'3C0		$\overline{\text{IRL}}[3:0] = \text{HHHL} (\text{H}'E)$
				H'CC0		$\overline{\text{IRL}}[7:4] = \text{HHHL} (\text{H}'E)$

10. 割り込みコントローラ (INTC)

要 因		要因数 (最大)	優先順位	INTEVT	備 考
外部割り込み	IRQ	8	INTPRI レジスタ設定値	H'240	IRQ[0]
				H'280	IRQ[1]
				H'2C0	IRQ[2]
				H'300	IRQ[3]
				H'340	IRQ[4]
				H'380	IRQ[5]
				H'3C0	IRQ[6]
				H'200	IRQ[7]
内蔵周辺モジュール割り込み*	WDT	1	INT2PRI0 ~ 9 レジスタ設定値	H'560	ITI*
	TMU-ch0	1		H'580	TUNI0*
	TMU-ch1	1		H'5A0	TUNI1*
	TMU-ch2	2		H'5C0	TUNI2*
				H'5E0	TICPI2*
	H-UDI	1		H'600	H-UDII
	DMAC (0)	7		H'620	DMINT0*
				H'640	DMINT1*
				H'660	DMINT2*
				H'680	DMINT3*
				H'6A0	DMINT4*
				H'6C0	DMINT5*
				H'6E0	DMAE0 (チャンネル0 ~ チャンネル5) *
	SCIF-ch0	4		H'700	ERI0*
				H'720	RX10*
				H'740	BRI0*
				H'760	TX10*
	SCIF-ch1	4		H'780	ERI1*
				H'7A0	RX11*
				H'7C0	BRI1*
				H'7E0	TX11*
	DMAC (1)	7		H'880	DMINT6*
				H'8A0	DMINT7*
				H'8C0	DMINT8*
H'8E0			DMINT9*		
H'900			DMINT10*		
H'920			DMINT11*		
H'940			DMAE1 (チャンネル6 ~ チャンネル11) *		

10. 割り込みコントローラ (INTC)

要因	要因数 (最大)	優先順位	INTEVT	備考	
内蔵周辺モジュール割り込み*	HSPI	1	INT2PRI0 ~ 9	H'960	SPII
	SCIF-ch2	4	レジスタ設定値	H'980	ERI2*, RXI2*, BRI2*, TXI2*
	SCIF-ch3	4		H'9A0	ERI3*, RXI3*, BRI3*, TXI3*
	SCIF-ch4	4		H'9C0	ERI4*, RXI4*, BRI4*, TXI4*
	SCIF-ch5	4		H'9E0	ERI5*, RXI5*, BRI5*, TXI5*
	PCIC(0)	1		H'AA0	PCISERR
	PCIC(1)	1		H'A20	PCIINTA
	PCIC(2)	1		H'A40	PCIINTB
	PCIC(3)	1		H'A60	PCIINTC
	PCIC(4)	1		H'A80	PCIINTD
	PCIC(5)	5		H'AA0	PCIERR
				H'AC0	PCIPWD3, PCIPWD2, PCIPWD1
				H'AE0	PCIPWD0
	SIOF	1		H'CE0	SIOFI
	MMCIF	4		H'D00	FSTAT
				H'D20	TRAN
				H'D40	ERR
				H'D60	FRDY
				H'D80	DUI
	DU	1		H'DA0	GACLI
	GDTA	3		H'DC0	GAMCI
				H'DE0	GAERI
	TMU-ch3	1		H'E00	TUNI3*
	TMU-ch4	1		H'E20	TUNI4*
	TMU-ch5	1		H'E40	TUNI5*
	SSI-ch0	1		H'E80	SSII0
	SSI-ch1	1		H'EA0	SSII1
	HAC-ch0	1		H'EC0	HACI0
	HAC-ch1	1		H'EE0	HACI1
	FLCTL	4		H'F00	FLSTE*
				H'F20	FLTEND*
			H'F40	FLTRQ0*	
			H'F60	FLTRQ1*	
GPIO	4		H'F80	GPIOI0 (ポート E0 ~ 2 端子)	
			H'FA0	GPIOI1 (ポート E3 ~ 5 端子)	
			H'FC0	GPIOI2 (ポート H1 ~ 4 端子)	
			H'FE0	GPIOI3 (ポート L6、7 端子)	

10. 割り込みコントローラ (INTC)

【注】 * 内蔵周辺モジュール割り込みの要因で使用している略称

ITI : WDT インターバルタイマ割り込み

TUNI0 ~ TUNI5 : TMU チャンネル 0 ~ 5 アンドフロー割り込み

TICPI2 : TMU チャンネル 2 インプットキャプチャ割り込み

DMINT0 ~ DMINT11 : DMAC チャンネル 0 ~ 11 転送終了割り込み

DMAE0 (ch0 ~ 5) : DMAC アドレスエラー割り込み (チャンネル 0 ~ 5)

DMAE1 (ch6 ~ 11) : DMAC アドレスエラー割り込み (チャンネル 6 ~ 11)

ERIO, ERI1, ERI2, ERI3, ERI4, ERI5 : SCIF チャンネル 0 ~ 5 受信エラー割り込み

RXI0, RXI1, RXI2, RXI3, RXI4, RXI5 : SCIF チャンネル 0 ~ 5 受信データフル割り込み

BRI0, BRI1, BRI2, BRI3, BRI4, BRI5 : SCIF チャンネル 0 ~ 5 ブレーク割り込み要求

TXI0, TXI1, TXI2, TXI3, TXI4, TXI5 : SCIF チャンネル 0 ~ 5 送信データエンプティ割り込み

FLSTE : FLCTL エラー割り込み

FLTEND : FLCTL エラー割り込み

FLTRQ0 : FLCTL データ FIFO 転送要求割り込み

FLTRQ1 : FLCTL 管理コード FIFO 転送要求割り込み

10.2 入出力端子

表 10.2 に端子構成を以下に示します。

表 10.2 INTC の端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み入力端子	入力	マスク不可能な割り込み要求信号入力
IRQ/ $\overline{\text{IRL7}}$ ~ IRQ/ $\overline{\text{IRL0}}$	外部割り込み入力端子 1	入力	IRQ7 ~ IRQ0 または $\overline{\text{IRL}}[7:4]$ 、 $\overline{\text{IRL}}[3:0]$ 割り込み要求信号の入力 IRQ/ $\overline{\text{IRL7}}$ 端子は、FD7 (FLCTL 入出力)、MIODE3 (モード制御入力)、ポート L1 (GPIO 入出力) 端子と、 IRQ/ $\overline{\text{IRL6}}$ 端子は、FD6 (FLCTL 入出力)、MODE2 (モード制御入力)、ポート L2 (GPIO 入出力) 端子と、 IRQ/ $\overline{\text{IRL5}}$ 端子は、FD5 (FLCTL 入出力)、MODE1 (モード制御入力)、ポート L3 (GPIO 入出力) 端子と、 IRQ/ $\overline{\text{IRL4}}$ 端子は、FD4 (FLCTL 入出力)、MODE3 (モード制御入力)、ポート L4 (GPIO 入出力) 端子と、 それぞれマルチプレクスされています。
$\overline{\text{IRQOUT}}$	割り込み要求出力端子	出力	割り込み要求が発生していることを外部デバイスに通知する信号の出力 $\overline{\text{IRQOUT}}$ 端子は、 $\overline{\text{MRESETOUT}}$ (リセット、ウォッチドッグタイマ (WDT) 出力) 端子とマルチプレクスされています。 $\overline{\text{IRQOUT}}$ は割り込み要求が発生していることを示す信号です。 $\overline{\text{IRQOUT}}$ は発生した割り込み要求の優先度が SR.IMASK 以下のため、CPU に受け付けられない場合でも、ローレベルを出力します。ただし、以下の場合、 $\overline{\text{IRQOUT}}$ にローレベルは出力されません。 (1) IRL 割り込み <ul style="list-style-type: none"> INTMSK1 で IRL 割り込みがマスクされている場合、または、 INTMSK2 で IRL 割り込みがマスクされている場合 (2) IRQ 割り込み <ul style="list-style-type: none"> INTMSK0 で IRQ 割り込みがマスクされている場合、または、 INTPRI で IRQ 割り込みの優先度が H'0 に設定されている場合 (3) 内蔵モジュール割り込み <ul style="list-style-type: none"> INT2MSKR で内蔵モジュール割り込みがマスクされている場合 または、 INT2PRI0 ~ INT2PRI9 で設定した優先度が H'00 または H'01 に設定されている場合

10. 割り込みコントローラ (INTC)

10.3 レジスタの説明

表 10.3 に INTC のレジスタ構成を示します。また、表 10.4 に各処理モードにおけるレジスタの状態を示します。

表 10.3 INTC のレジスタ構成

レジスタ名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32	Pck
割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32	Pck
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32	Pck
割り込み要因レジスタ	INTREQ	R/(W)* ¹	H'FFD0 0024	H'1FD0 0024	32	Pck
割り込みマスクレジスタ 0	INTMSK0	R/W	H'FFD0 0044	H'1FD0 0044	32	Pck
割り込みマスクレジスタ 1	INTMSK1	R/W	H'FFD0 0048	H'1FD0 0048	32	Pck
割り込みマスクレジスタ 2	INTMSK2	R/W	H'FFD4 0080	H'1FD4 0080	32	Pck
割り込みマスククリアレジスタ 0	INTMSKCLR0	R/W	H'FFD0 0064	H'1FD0 0064	32	Pck
割り込みマスククリアレジスタ 1	INTMSKCLR1	R/W	H'FFD0 0068	H'1FD0 0068	32	Pck
割り込みマスククリアレジスタ 2	INTMSKCLR2	R/W	H'FFD4 0084	H'1FD4 0084	32	Pck
NMI フラグコントロールレジスタ	NMIFCR	R/(W)* ²	H'FFD0 00C0	H'1FD0 00C0	32	Pck
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32	Pck
割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32	Pck
割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32	Pck
割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32	Pck
割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32	Pck
割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32	Pck
割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32	Pck
割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32	Pck
割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32	Pck
割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 0020	H'1FD4 0020	32	Pck
割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FFD4 0024	H'1FD4 0024	32	Pck
割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32	Pck
割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32	Pck
割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32	Pck
割り込みマスククリアレジスタ	INT2MSKCLR	R/W	H'FFD4 003C	H'1FD4 003C	32	Pck
モジュール別割り込み要因レジスタ 0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32	Pck
モジュール別割り込み要因レジスタ 1	INT2B1	R	H'FFD4 0044	H'1FD4 0044	32	Pck
モジュール別割り込み要因レジスタ 2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32	Pck
モジュール別割り込み要因レジスタ 3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32	Pck

10. 割り込みコントローラ (INTC)

レジスタ名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
モジュール別割り込み要因レジスタ 4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32	Pck
モジュール別割り込み要因レジスタ 5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32	Pck
モジュール別割り込み要因レジスタ 6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32	Pck
モジュール別割り込み要因レジスタ 7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32	Pck
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32	Pck

【注】 *1 割り込み要因レジスタ (INTREQ) は、読み出し、条件付き書き込み可能なレジスタです。詳細は「10.3.1 (4) 割り込み要因レジスタ (INTREQ)」を参照してください。

*2 NMI フラグコントロールレジスタ (NMIFCR) は、読み出し、一部条件付き書き込み可能なレジスタです。詳細は「10.3.1 (11) NMI フラグコントロールレジスタ (NMIFCR)」を参照してください。

表 10.4 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ SLEEP 命令 による	ディープ スリープ SLEEP 命令 による (DSLPP=1)
割り込みコントロールレジスタ 0	ICR0	H'x000 0000*	H'x000 0000*	保持	保持
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ	INTREQ	H'0000 0000	H'0000 0000	保持	保持
割り込みマスクレジスタ 0	INTMSK0	H'FF00 0000	H'FF00 0000	保持	保持
割り込みマスクレジスタ 1	INTMSK1	H'FF00 0000	H'FF00 0000	保持	保持
割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	H'0000 0000	保持	保持
割り込みマスククリアレジスタ 0	INTMSKCLR0	H'xx00 0000	H'xx00 0000	保持	保持
割り込みマスククリアレジスタ 1	INTMSKCLR1	H'x000 0000	H'x000 0000	保持	保持
割り込みマスククリアレジスタ 2	INTMSKCLR2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000*	H'x000 0000*	保持	保持
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'0000 0000	保持	保持

10. 割り込みコントローラ (INTC)

名 称	略 称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ SLEEP 命令 による	ディープ スリープ SLEEP 命令 による (DSLPE=1)
割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	H'0000 0000	保持	保持
割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	H'0000 0000	保持	保持
割り込み要因レジスタ (マスク状態の 影響なし)	INT2A0	H'xxxx xxxx	H'xxxx xxxx	保持	保持
割り込み要因レジスタ (マスク状態の 影響あり)	INT2A1	H'0000 0000	H'0000 0000	保持	保持
割り込みマスクレジスタ	INT2MSKR	H'FFFF FFFF	H'FFFF FFFF	保持	保持
割り込みマスククリアレジスタ	INT2MSKCLR	H'0000 0000	H'0000 0000	保持	保持
モジュール別割り込み要因レジスタ 0	INT2B0	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 1	INT2B1	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 2	INT2B2	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 3	INT2B3	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 4	INT2B4	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 5	INT2B5	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 6	INT2B6	H'xxxx xxxx	H'xxxx xxxx	保持	保持
モジュール別割り込み要因レジスタ 7	INT2B7	H'xxxx xxxx	H'xxxx xxxx	保持	保持
GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	H'0000 0000	保持	保持

【注】 * ICR0.NMIL、NMIFCR.NMIL の初期値は、NMI 端子に入力されている信号レベルにより異なります。

10.3.1 外部割り込み要求レジスタ

(1) 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み入力端子や NMI 端子の入力信号検出モードを設定し、NMI 端子への入力レベルを示す読み出し、一部書き込み可能な 32 ビットのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM0	IRLM1	LVL MODE	—	—	—	—	—
初期値 :	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルがローレベルの間すべての割り込みをマスクするかどうかを指定します。 0 : NMI がローレベルでも割り込み許可 1 : NMI がローレベルの期間、割り込み禁止
29~26	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のとき、NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するか選択します。 0 : SR.BL が 1 のとき NMI 割り込み要求を保留する (初期値) 1 : SR.BL が 1 のとき NMI 割り込みを保留しない 【注】 SR.BL が 1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりがエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0 : NMI 入力の立ち下がりがエッジで割り込み要求を検出 (初期値) 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出

10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
23	IRLM0 ^{*1*} 2	0	R/W	<p>IRL 端子モード 0</p> <p>IRQ/IRL3 ~ IRQ/IRL0 端子をエンコードされた割り込み (IRL3 ~ IRL0 割り込み) 要求として使用するか、4 つの独立した割り込み (IRQ3 ~ IRQ0 割り込み) 要求として使用するかどうかを選択します。</p> <p>0 : IRQ/IRL3 ~ IRQ/IRL0 端子はエンコード割り込み要求として使用 (初期値)</p> <p>1 : IRQ/IRL3 ~ IRQ/IRL0 端子は 4 つの独立した割り込み要求として使用</p>
22	IRLM1 ^{*1*} 2	0	R/W	<p>IRL 端子モード 1</p> <p>IRQ/IRL7 ~ IRQ/IRL4 をエンコードされた割り込み (IRL7 ~ IRL4 割り込み) 要求として使用するか、4 つの独立した割り込み (IRQ7 ~ IRQ4 割り込み) 要求として使用するかどうかを選択します。</p> <p>0 : IRQ/IRL7 ~ IRQ/IRL4 端子はエンコード割り込み要求として使用 (初期値)</p> <p>1 : IRQ/IRL7 ~ IRQ/IRL4 端子は 4 つの独立した割り込み要求として使用</p>
21	LVLMODE	0	R/W	<p>要因保持モード</p> <p>レベル検出 IRQ および IRL 割り込みについて、検出した割り込み要因の保持を INTC で行うかどうかを選択します。</p> <p>0 : レベル検出 IRQ および IRL の割り込み要因を保持します。 (初期値)</p> <p>1 : レベル検出 IRQ および IRL の割り込み要因を保持しません。</p> <p>本ビットの書き換えは、IRQ 割り込み、IRL 割り込みのマスク (INTMSK0, INTMSK1) 解除を行う前の初期化ルーチン内で行い、それ以後はパワーオンリセット、またはマニュアルリセットを行うまで書き換えないでください。本ビットの初期値は 0 ですが、初期化ルーチンで 1 に設定した後、INTC を使用することを推奨します。</p> <p>本ビットを 0 に設定した場合の詳細動作については、10.4.2、10.4.3、10.7.1、10.7.3 を参照してください。</p>
20~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

- 【注】 *1 IRLM0、IRLM1 を 0 から 1 に変更した場合、検出あるいは保持されていた IRL 割り込み要因はクリアされます。IRLM0、IRLM1 を 1 から 0 に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされません。
- *2 IRQ/IRL3 ~ IRQ/IRL0 端子または IRQ/IRL7 ~ IRQ/IRL4 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ割り込みマスクレジスタ 0 (INTMSK0) の IM00 ~ IM03、IM04 ~ IM07 に 1 を書き込んでください。

(2) 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL0}$ に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを端子ごとに指定する読み出し/書き込み可能な 32 ビットのレジスタです。ICR0 の IRLM0、IRLM1 に 1 を書き込んで、 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 、 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子を独立した割り込み ($IRQ7 \sim IRQ0$ 割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31, 30	IRQ0S	00	R/W	IRQn センスセレクト $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL0}$ 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するか選択します。 IRQnS IRQn 割り込み要求検出方法 00: 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01: 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10: 割り込み要求を IRQn 入力のローレベルで検出 11: 割り込み要求を IRQn 入力のハイレベルで検出 【注】 n = 0 ~ 7
29, 28	IRQ1S	00	R/W	
27, 26	IRQ2S	00	R/W	
25, 24	IRQ3S	00	R/W	
23, 22	IRQ4S	00	R/W	
21, 20	IRQ5S	00	R/W	
19, 18	IRQ6S	00	R/W	
17, 16	IRQ7S	00	R/W	
15 ~ 0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

- 【注】 1. IRQ がレベル入力に設定され ($IRQnS1=1$)、かつ、割り込みコントロールレジスタ 0 (ICR0) の要因保持モード ICR0.LVLMODE が 0 の場合、CPU が何らかの割り込みを受け付けるまで要因を保持します (IRQ であるとは限りません)。これにより、SLEEP からの復帰時に、復帰前に割り込み要因が取り下げられた場合でも割り込みハンドラに分岐することが保証されます。保持された割り込みは、該当する割り込みのマスキット (割り込みマスクレジスタの IM ビット) を 1 にすることでクリアできます (「10.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」参照)。
2. IRQnS の設定をエッジ検出 (IRQnS が 00 または 01) からレベル検出 (IRQnS が 10 または 11) に変更した場合、エッジ検出されていた IRQ 割り込み要因はクリアされます。また、IRQnS の設定をレベル検出 (IRQnS が 10 または 11) からエッジ検出 (IRQnS が 00 または 01) に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされます。IRQnS の設定を立ち下がりエッジ検出 (IRQnS が 00) から立ち上がりエッジ検出 (IRQnS が 01) に変更した場合、または、立ち上がりエッジ検出 (IRQnS が 01) から立ち下がりエッジ検出 (IRQnS が 00) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。IRQnS の設定をローレベル検出 (IRQnS が 10) からハイレベル検出 (IRQnS が 11) に変更した場合、または、ハイレベル検出 (IRQnS が 11) からローレベル検出 (IRQnS が 10) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。

10. 割り込みコントローラ (INTC)

(3) 割り込み優先順位設定レジスタ (INTPRI)

INTPRI は IRQ7 ~ IRQ0 割り込みの優先順位 (レベル 15 ~ 0) を設定する読み出し / 書き込み可能な 32 ビットのレジスタです。ICR0 の IRLM0、IRLM1 に 1 を書き込んで、IRQ/IRL3 ~ IRQ/IRL0、IRQ/IRL7 ~ IRQ/IRL4 端子を独立した割り込み (IRQ7 ~ IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				IP2				IP3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4				IP5				IP6				IP7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31 ~ 28	IP0	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位
27 ~ 24	IP1	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位
23 ~ 20	IP2	H'0	R/W	IRQ2 の独立した割り込み要求の優先順位
19 ~ 16	IP3	H'0	R/W	IRQ3 の独立した割り込み要求の優先順位
15 ~ 12	IP4	H'0	R/W	IRQ4 の独立した割り込み要求の優先順位
11 ~ 8	IP5	H'0	R/W	IRQ5 の独立した割り込み要求の優先順位
7 ~ 4	IP6	H'0	R/W	IRQ6 の独立した割り込み要求の優先順位
3 ~ 0	IP7	H'0	R/W	IRQ7 の独立した割り込み要求の優先順位

【注】 各 4 ビットのフィールドに H'F ~ H'1 の値を設定して割り込み優先順位を定めてください。値が大きいくほど優先レベルが高くなります。また、H'0 を設定した場合は割り込み要求がマスクされます。(初期値)

(4) 割り込み要因レジスタ (INTREQ)

INTREQ は INTC にどの IRQ_n (n=0~7) 割り込みが要求されているかを示す読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

INTPRI、INTMSK0 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	IR4	IR5	IR6	IR7	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時 (IRQnS* ¹ = 00 または 01)	レベル検出時 (IRQnS* ¹ = 10 または 11)
31	IR0	0	R/W	読み込み時 0: 対応する割り込み要求を検出して いません 1: 対応する割り込み要求を検出しま した 書き込み時* ² 各ビットをクリアする場合、必ず 1 を 読み出した後に 0 を書き込んでくださ い。1 の書き込みは無視されます。	読み込み時 (ICR0.LVLMODE = 0 の場 合) 0: 対応する割り込み要因が検出され ていません 1: 対応する割り込み要因が検出され ました 読み込み時 (ICR0.LVLMODE = 1 の場 合) 0: 対応する割り込み端子がアサート されていません 1: 対応する割り込み端子がアサート されました。ただし、まだ CPU が受け付けていません 書き込みは無効です* ³ 。
30	IR1	0	R/W		
29	IR2	0	R/W		
28	IR3	0	R/W		
27	IR4	0	R/W		
26	IR5	0	R/W		
25	IR6	0	R/W		
24	IR7	0	R/W		
23~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	

【注】 *1 n=0~7

*2 クリアしたくないビットには 1 を書き込むようにしてください。

*3 レベル検出した IRQ 割り込み要求のクリア方法については、「10.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

10. 割り込みコントローラ (INTC)

(5) 割り込みマスクレジスタ 0 (INTMSK0)

INTMSK0 は、IRQ_n (n=0~7) 割り込み要求ごとにマスクするかどうかをする読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR0 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは INTMSKCLR0 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

IRQ/IRL3 ~ IRQ/IRL0 端子または IRQ/IRL7 ~ IRQ/IRL4 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ IM00 ~ IM03、IM04 ~ IM07 には 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	IM04	IM05	IM06	IM07	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM00	1	R/W	IRQ0 の独立した割り込み要因のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM01	1	R/W	IRQ1 の独立した割り込み要因のマスク	
29	IM02	1	R/W	IRQ2 の独立した割り込み要因のマスク	
28	IM03	1	R/W	IRQ3 の独立した割り込み要因のマスク	
27	IM04	1	R/W	IRQ4 の独立した割り込み要因のマスク	
26	IM05	1	R/W	IRQ5 の独立した割り込み要因のマスク	
25	IM06	1	R/W	IRQ6 の独立した割り込み要因のマスク	
24	IM07	1	R/W	IRQ7 の独立した割り込み要因のマスク	
23~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	

(6) 割り込みマスクレジスタ 1 (INTMSK1)

INTMSK1 は、IRL 割り込み要求をマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR1 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは INTMSKCLR1 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	IM11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM10	1	R/W	IRQ/IRL3 ~ IRQ/IRL0 がエンコードされた割り込み入力の場合における IRL3 ~ IRL0 の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする
30	IM11	1	R/W	IRQ/IRL7 ~ IRQ/IRL4 がエンコードされた割り込み入力の場合における IRL7 ~ IRL4 の割り込み要因のマスク	書き込み時 0: 無効 1: 割り込みをマスクする
29 ~ 24	-	すべて 1	R	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。	
23 ~ 0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	

10. 割り込みコントローラ (INTC)

(7) 割り込みマスクレジスタ 2 (INTMSK2)

INTMSK2 は、IRL 割り込み要求をレベルごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR2 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは INTMSKCLR2 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

IRQ/IRL[3:0]または IRQ/IRL[7:4]端子がエンコードされた IRL 割り込み入力の場合かつ、INTMSK1 で IRL 割り込みをマスクしていない場合に有効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM015	IM014	IM013	IM012	IM011	IM010	IM009	IM008	IM007	IM006	IM005	IM004	IM003	IM002	IM001	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R														
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IM115	IM114	IM113	IM112	IM111	IM110	IM109	IM108	IM107	IM106	IM105	IM104	IM103	IM102	IM101	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R														

ビット	ビット名	初期値	R/W	説明	
31	IM015	0	R/W	IRL[3:0]が LLLL(H'0)入力の場合の割り込み要因のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM014	0	R/W	IRL[3:0]が LLLH(H'1)入力の場合の割り込み要因のマスク	
29	IM013	0	R/W	IRL[3:0]が LLHL(H'2)入力の場合の割り込み要因のマスク	
28	IM012	0	R/W	IRL[3:0]が LLHH(H'3)入力の場合の割り込み要因のマスク	
27	IM011	0	R/W	IRL[3:0]が LHLL(H'4)入力の場合の割り込み要因のマスク	
26	IM010	0	R/W	IRL[3:0]が LHLH(H'5)入力の場合の割り込み要因のマスク	
25	IM009	0	R/W	IRL[3:0]が LHHL(H'6)入力の場合の割り込み要因のマスク	
24	IM008	0	R/W	IRL[3:0]が LHHH(H'7)入力の場合の割り込み要因のマスク	
23	IM007	0	R/W	IRL[3:0]が HLLL(H'8)入力の場合の割り込み要因のマスク	
22	IM006	0	R/W	IRL[3:0]が HLLH(H'9)入力の場合の割り込み要因のマスク	
21	IM005	0	R/W	IRL[3:0]が HLHL(H'A)入力の場合の割り込み要因のマスク	

10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明	
20	IM004	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLHH(H'B)入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
19	IM003	0	R/W	$\overline{\text{IRL}}[3:0]$ が HLLL(H'C)入力の場合の割り込み要因のマスク	
18	IM002	0	R/W	$\overline{\text{IRL}}[3:0]$ が HHLH(H'D)入力の場合の割り込み要因のマスク	
17	IM001	0	R/W	$\overline{\text{IRL}}[3:0]$ が HHHH(H'E)入力の場合の割り込み要因のマスク	
16	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。	
15	IM115	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLL(H'0)入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
14	IM114	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLLH(H'1)入力の場合の割り込み要因のマスク	
13	IM113	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHL(H'2)入力の場合の割り込み要因のマスク	
12	IM112	0	R/W	$\overline{\text{IRL}}[7:4]$ が LLHH(H'3)入力の場合の割り込み要因のマスク	
11	IM111	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHLL(H'4)入力の場合の割り込み要因のマスク	
10	IM110	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHLH(H'5)入力の場合の割り込み要因のマスク	
9	IM109	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHL(H'6)入力の場合の割り込み要因のマスク	
8	IM108	0	R/W	$\overline{\text{IRL}}[7:4]$ が LHHH(H'7)入力の場合の割り込み要因のマスク	
7	IM107	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLLL(H'8)入力の場合の割り込み要因のマスク	
6	IM106	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLLH(H'9)入力の場合の割り込み要因のマスク	
5	IM105	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHL(H'A)入力の場合の割り込み要因のマスク	
4	IM104	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLHH(H'B)入力の場合の割り込み要因のマスク	
3	IM103	0	R/W	$\overline{\text{IRL}}[7:4]$ が HLLL(H'C)入力の場合の割り込み要因のマスク	
2	IM102	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHLH(H'D)入力の場合の割り込み要因のマスク	
1	IM101	0	R/W	$\overline{\text{IRL}}[7:4]$ が HHHH(H'E)入力の場合の割り込み要因のマスク	
0	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。	

10. 割り込みコントローラ (INTC)

(8) 割り込みマスククリアレジスタ 0 (INTMSKCLR0)

INTMSKCLR0 は、IRQ_n (n=0~7) 割り込み要求ごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	IC04	IC05	IC06	IC07	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC00	不定	R/W	IRQ0 の独立した割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC01	不定	R/W	IRQ1 の独立した割り込み要因のマスククリア	
29	IC02	不定	R/W	IRQ2 の独立した割り込み要因のマスククリア	
28	IC03	不定	R/W	IRQ3 の独立した割り込み要因のマスククリア	
27	IC04	不定	R/W	IRQ4 の独立した割り込み要因のマスククリア	
26	IC05	不定	R/W	IRQ5 の独立した割り込み要因のマスククリア	
25	IC06	不定	R/W	IRQ6 の独立した割り込み要因のマスククリア	
24	IC07	不定	R/W	IRQ7 の独立した割り込み要因のマスククリア	
23~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	

10. 割り込みコントローラ (INTC)

(9) 割り込みマスククリアレジスタ 1 (INTMSKCLR1)

INTMSKCLR1 は、IRL 割り込み要求のマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	IC11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC10	不定	R/W	IRL3 ~ IRL0 がエンコードされた割り込み入力の場合における IRL3 ~ IRL0 の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時
30	IC11	不定	R/W	IRL7 ~ IRL4 がエンコードされた割り込み入力の場合における IRL7 ~ IRL4 の割り込み要因のマスククリア	0: 無効 1: 割り込みマスククリア (割り込みを許可する)
29 ~ 0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	

10. 割り込みコントローラ (INTC)

(10) 割り込みマスククリアレジスタ 2 (INTMSKCLR2)

INTMSKCLR2 は、IRL 割り込み要求のレベルごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC015	IC014	IC013	IC012	IC011	IC010	IC009	IC008	IC007	IC006	IC005	IC004	IC003	IC002	IC001	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R/W	R														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC115	IC114	IC113	IC112	IC111	IC110	IC109	IC108	IC107	IC106	IC105	IC104	IC103	IC102	IC101	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R/W	R														

ビット	ビット名	初期値	R/W	説明	
31	IC015	不定	R/W	IRL[3:0]が LLLL(H'0)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC014	不定	R/W	IRL[3:0]が LLLH(H'1)入力の場合の割り込み要因のマスククリア	
29	IC013	不定	R/W	IRL[3:0]が LLHL(H'2)入力の場合の割り込み要因のマスククリア	
28	IC012	不定	R/W	IRL[3:0]が LLHH(H'3)入力の場合の割り込み要因のマスククリア	
27	IC011	不定	R/W	IRL[3:0]が LHLL(H'4)入力の場合の割り込み要因のマスククリア	
26	IC010	不定	R/W	IRL[3:0]が LHLH(H'5)入力の場合の割り込み要因のマスククリア	
25	IC009	不定	R/W	IRL[3:0]が LHHL(H'6)入力の場合の割り込み要因のマスククリア	
24	IC008	不定	R/W	IRL[3:0]が LHHH(H'7)入力の場合の割り込み要因のマスククリア	
23	IC007	不定	R/W	IRL[3:0]が HLLL(H'8)入力の場合の割り込み要因のマスククリア	
22	IC006	不定	R/W	IRL[3:0]が HLLH(H'9)入力の場合の割り込み要因のマスククリア	
21	IC005	不定	R/W	IRL[3:0]が HLHL(H'A)入力の場合の割り込み要因のマスククリア	
20	IC004	不定	R/W	IRL[3:0]が HLHH(H'B)入力の場合の割り込み要因のマスククリア	

10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明	
19	IC003	不定	R/W	$\overline{\text{IRL}}[3:0]$ が HLLH(H'C)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
18	IC002	不定	R/W	$\overline{\text{IRL}}[3:0]$ が HLLH(H'D)入力の場合の割り込み要因のマスククリア	
17	IC001	不定	R/W	$\overline{\text{IRL}}[3:0]$ が HHHH(H'E)入力の場合の割り込み要因のマスククリア	
16	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。	
15	IC115	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LLLL(H'0)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
14	IC114	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LLLH(H'1)入力の場合の割り込み要因のマスククリア	
13	IC113	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LLHL(H'2)入力の場合の割り込み要因のマスククリア	
12	IC112	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LLHH(H'3)入力の場合の割り込み要因のマスククリア	
11	IC111	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LHLL(H'4)入力の場合の割り込み要因のマスククリア	
10	IC110	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LHLH(H'5)入力の場合の割り込み要因のマスククリア	
9	IC109	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LHHL(H'6)入力の場合の割り込み要因のマスククリア	
8	IC108	不定	R/W	$\overline{\text{IRL}}[7:4]$ が LHHH(H'7)入力の場合の割り込み要因のマスククリア	
7	IC107	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLLL(H'8)入力の場合の割り込み要因のマスククリア	
6	IC106	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLLH(H'9)入力の場合の割り込み要因のマスククリア	
5	IC105	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLHL(H'A)入力の場合の割り込み要因のマスククリア	
4	IC104	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLHH(H'B)入力の場合の割り込み要因のマスククリア	
3	IC103	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLLH(H'C)入力の場合の割り込み要因のマスククリア	
2	IC102	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HLLH(H'D)入力の場合の割り込み要因のマスククリア	
1	IC101	不定	R/W	$\overline{\text{IRL}}[7:4]$ が HHHH(H'E)入力の場合の割り込み要因のマスククリア	
0	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。	

10. 割り込みコントローラ (INTC)

(11) NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、読み出し、一部条件付き書き込み可能な NMI フラグ (NMIFL ビット) を持つ 32 ビットレジスタです。NMIFL ビットは、INTC により NMI が検出されると自動的に 1 にセットされます。NMIFL ビットは 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値 :	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
30 ~ 17	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
16	NMIFL	0	R/W	NMI フラグ (NMI 割り込み要求検出) NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求を検出した場合、自動的に 1 にセットされます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 読み出し時 1 : NMI が検出された 0 : NMI が検出されていない 書き込み時 0 : NMI フラグをクリア 1 : 無効 (1 書き込みは無視されます)
15 ~ 0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

10.3.2 ユーザモード割り込み禁止機能

(1) ユーザ割り込みマスキングレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定するための読み出し、一部条件付き書き込み可能な 32 ビットレジスタです。INTC のその他のレジスタとは異なる 64KB ページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換をすることにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外の全割り込みがマスクされます。

UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスキングレジスタの対応する割り込みの割り込みマスキングビットが 0 (割り込み許可) であること、また SR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット、マニュアルリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	書き込みコード (H'A5)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	(書き込みコード)	H'00	R/W	リザーブビット 読み出しは 0 が読み出されます。 UIMASK ビットに値を書き込むときは、本ビットは H'A5 に設定してください (書き込んでください)。
23~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~4	UIMASK	H'0	R/W	ユーザ割り込みマスキングレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

10. 割り込みコントローラ (INTC)

(2) ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64KB 空間に配置されています。ユーザモードで本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS の場合、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ず UIMASK ビットを 0 にクリアしてください。誤って UIMASK ビットに 0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
(A) デバイスドライバ中で割り込み受け付けられるべき割り込み (OS で使用する割り込み; タイマ割り込み等)
(B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみ USERIMASK が存在するアドレス空間へのアクセスを許可するように MMU を設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

10.3.3 内蔵周辺モジュール割り込みレジスタ

(1) 割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI9)

割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI9) は、内蔵周辺モジュール割り込みの優先順位 (レベル 31 ~ 0) を設定します。INT2PRI0 ~ INT2PRI9 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタです。リセット時は H'0000 0000 に初期化されます。

本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り、30 レベル (H'00 と H'01 は割り込み要求をマスク) の優先レベルに割り付け設定することが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INT2PRI0 ~ INT2PRI9 レジスタの各ビットの対応を表 10.5 に示します。

表 10.5 割り込み要求元と INT2PRI0 ~ INT2PRI9 レジスタ

レジスタ	ビット			
	28 ~ 24	20 ~ 16	12 ~ 8	4 ~ 0
INT2PRI0	TMU-ch0	TMU-ch1	TMU-ch2	TMU-ch2 Input Capture
INT2PRI1	TMU-ch3	TMU-ch4	TMU-ch5	リザーブ*
INT2PRI2	SCIF-ch0	SCIF-ch1	SCIF-ch2	SCIF-ch3
INT2PRI3	SCIF-ch4	SCIF-ch5	WDT	リザーブ*
INT2PRI4	H-JDI	DMAC(0)	DMAC(1)	リザーブ*
INT2PRI5	HAC-ch0	HAC-ch1	PCIC(0)	PCIC(1)
INT2PRI6	PCIC(2)	PCIC(3)	PCIC(4)	PCIC(5)
INT2PRI7	SIOF	HSPI	MMCIF	リザーブ*
INT2PRI8	FLCTL	GPIO	SSI-ch0	SSI-ch1
INT2PRI9	DU	GDTA	リザーブ*	リザーブ*

【注】 大きい値ほど優先度が高くなります。なお、設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。詳細な割り込み要因については表 10.1 を参照してください。

* リザーブビットは、読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

10. 割り込みコントローラ (INTC)

(2) 割り込み要因レジスタ (マスク状態の影響なし) (INT2A0)

INT2A0 は、内蔵周辺モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1 レジスタを使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—													
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

各ビットと INT2A0 レジスタの対応を表 10.6 に示します。

表 10.6 各ビットと INT2A0 レジスタの対応表

ビット	初期値	R/W	要因	機能	内容
31~29	すべて 0	R	リザーブ ビット	読み出しは0が読み出されます。書き込みは無効です。	<p>内蔵周辺モジュール種別ごとに割り込み要因を表示します(割り込みマスクレジスタの状態の影響は受けないレジスタです)。</p> <p>0: 割り込みなし 1: 割り込み発生</p> <p>【注】INTEVT コードを直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p>
28	不定	R	GDTA	GDTA 割り込み要因表示	
27	不定	R	DU	DU 割り込み要因表示	
26	不定	R	SSI-ch1	SSI チャンネル 1 割り込み要因表示	
25	不定	R	SSI-ch0	SSI チャンネル 0 割り込み要因表示	
24	不定	R	GPIO	GPIO 割り込み要因表示	
23	不定	R	FLCTL	FLCTL 割り込み要因表示	
22	不定	R	MMCIF	MMCIF 割り込み要因表示	
21	不定	R	HSPI	HSPI 割り込み要因表示	
20	不定	R	SIOF	SIOF 割り込み要因表示	
19	不定	R	PCIC(5)	PCIERR、PCIPWD3~0 割り込み要因表示	
18	不定	R	PCIC(4)	PCIINTD 割り込み要因表示	
17	不定	R	PCIC(3)	PCIINTC 割り込み要因表示	
16	不定	R	PCIC(2)	PCIINTB 割り込み要因表示	
15	不定	R	PCIC(1)	PCIINTA 割り込み要因表示	
14	不定	R	PCIC(0)	PCISERR 割り込み要因表示	
13	不定	R	HAC-ch1	HAC チャンネル 1 割り込み要因表示	
12	不定	R	HAC-ch0	HAC チャンネル 0 割り込み要因表示	
11	不定	R	DMAC(1)	DMAC チャンネル 6~11 割り込みおよびアドレスエラー割り込み要因表示	
10	不定	R	DMAC(0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込み要因表示	
9	不定	R	H-UDI	H-UDI 割り込み要因表示	
8	不定	R	WDT	WDT 割り込み要因表示	
7	不定	R	SCIF-ch5	SCIF チャンネル 5 割り込み要因表示	
6	不定	R	SCIF-ch4	SCIF チャンネル 4 割り込み要因表示	
5	不定	R	SCIF-ch3	SCIF チャンネル 3 割り込み要因表示	
4	不定	R	SCIF-ch2	SCIF チャンネル 2 割り込み要因表示	
3	不定	R	SCIF-ch1	SCIF チャンネル 1 割り込み要因表示	
2	不定	R	SCIF-ch0	SCIF チャンネル 0 割り込み要因表示	
1	不定	R	TMU-ch3 ~ch5	TMU チャンネル 3~5 割り込み要因表示	
0	不定	R	TMU-ch0 ~ch2	TMU チャンネル 0~2 割り込み要因表示	

10. 割り込みコントローラ (INTC)

なお、各モジュールの割り込み要因がセットあるいはクリアされた場合、INT2A0 への反映時間は表 10.7 のようになります。

表 10.7 各モジュールの割り込み要因がセット/クリアされた場合の INT2A0、INT2A1 への反映時間

モジュール		各モジュールの割り込み要因セット/クリアと INT2A0、INT2A1 の表示の関係
WDT, TMU, SCIF, HSPI, SIOF, MMCIF, DU, SSI, HAC, FLCTL		各モジュールの割り込み要因が、割り込み要求の発生を示す各モジュール内のレジスタ*にセットされた場合、割り込み要因の有無をそれらのレジスタで読み出しても、INT2A0, INT2A1 で読み出しても同じ内容になります。すなわち、INT2A0, INT2A1 への反映に必要な時間はハードウェアで確保されます。 割り込み要因がクリアされる場合、各モジュールの割り込み要因フラグをクリアする手順をとった後、INT2A0, INT2A1 を読み出せば、クリア後の情報を読み出すことができます。
HUDI, GDTA		各モジュールの割り込み要因が、割り込み要求の発生を示す各モジュール内のレジスタ (HUDI では SDINT、GDTA では GACISR) にセットされた場合、割り込み要因の有無をそれらのレジスタで読み出しても、INT2A0, INT2A1 で読み出しても同じ内容になります。すなわち、INT2A0, INT2A1 への反映に必要な時間はハードウェアで確保されます。 割り込み要因がクリアされる場合、各モジュールの割り込み要因フラグをクリアする手順をとった後、割り込み要求の発生を示す各モジュール内のレジスタ (HUDI では SDINT、GDTA では GACISR) を 1 回ダミーリードすることで、INT2A0, INT2A1 への反映に必要な時間が確保されます。
PCIC (端子入力の割り込み要因 PCIINTA, PCIINTB, PCIINTC, PCIINTD を除く)		PCIC の割り込み要因が、割り込み要求の発生を示すレジスタ PCIIR, PCIAINT, PCIPINT にセットされた場合、INTC 内の任意のレジスタを 1 回ダミーリードした後に INT2A0, INT2A1 を読み出すことで、INT2A0, INT2A1 への反映に必要な時間が確保されます。 PCIC の割り込み要因がクリアされる場合、割り込み要求の発生を示すレジスタ PCIIR, PCIAINT, PCIPINT への書き込み後、同レジスタを 1 回ダミーリードし、さらに INTC 内の任意のレジスタを 1 回ダミーリードすることで、INT2A0, INT2A1 への反映に必要な時間が確保されます。
DMAC	割り込み要因 DMAE0, DMAE1	割り込み要因 DMAE0, DMAE1 が、DMAOR0, DMAOR1 にセットされた場合、DMAOR0, DMAOR1 を読み出しても、INT2A0, INT2A1 を読み出しても同じ内容になります。すなわち、INT2A0, INT2A1 への反映に必要な時間はハードウェアで確保されます。 割り込み要因 DMAE0, DMAE1 (DMAOR0.AE, DMAOR1.AE) がクリアされる場合、割り込み要求の発生を示すレジスタ DMAOR0, DMAOR1 への書き込み後、DMAOR0, DMAOR1 を 1 回ダミーリードすることで、INT2A0, INT2A1 への反映に必要な時間が確保されます。
	割り込み要因 DMINT0 ~ 11	CHCR0 ~ 11 の HE, TE ビットのセットと、実際に INTC へ出力される割り込み要求のセットタイミングは異なります。詳しくは、ダイレクトメモリアクセスコントローラ (DMAC) の章を参照してください。 割り込み要因 DMINT0 ~ 11 (CHCR0 ~ 11 の HE ビット, TE ビット) がクリアされる場合、割り込み要求の発生を示すレジスタ CHCR0 ~ 11 への書き込み後、CHCR0 ~ 11 を 1 回ダミーリードすることで、INT2A0, INT2A1 への反映に必要な時間が確保されます。

【注】 * 割り込み要求の発生を示す各モジュール内のレジスタは以下になります。

WDT : ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)

TMU : タイマーコントロールレジスタ 0 ~ 5 (TCR0 ~ 5)

SCIF : シリアルステータスレジスタ 0 ~ 6 (SCFSR0 ~ 6)、ラインステータスレジスタ 0 ~ 6 (SCLSR0 ~ 6)

HSPI : ステータスレジスタ (SPSR)

SIOF : ステータスレジスタ (SISTR)

MMCIF : 割り込みステータスレジスタ 0~2 (INTSTR0~2)

DU : 表示ステータスレジスタ (DSSR)

SSI : ステータスレジスタ (SSISR)

HAC : TX ステータスレジスタ (HACTSR)、RX ステータスレジスタ (HACRSR)

FLCTL : 割り込み DMA 制御レジスタ (FLINTDMACR)、転送制御レジスタ (FLTRCR)

(3) 割り込み要因レジスタ (マスク状態の影響あり) (INT2A1)

INT2A1 は、内蔵周辺モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態にかかわらず割り込みへ発生の有無を確認する場合は、INT2A0 レジスタを使用してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

各ビットと INT2A1 レジスタの対応を表 10.8 に示します。

10. 割り込みコントローラ (INTC)

表 10.8 各ビットと INT2A1 レジスタの対応表

ビット	初期値	R/W	要因	機能	内容
31~29	すべて 0	R	リザーブ ビット	読み出しは0が読み出されます。書き込みは無効です。	<p>内蔵モジュール種別ごとに割り込み要因を表示します(割り込みマスクレジスタの影響を受けるレジスタです)。</p> <p>0: 割り込みなし 1: 割り込み発生</p> <p>【注】INTEVT コードを直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。</p>
28	0	R	GDTA	GDTA 割り込み要因表示	
27	0	R	DU	DU 割り込み要因表示	
26	0	R	SSI-ch1	SSI チャンネル 1 割り込み要因表示	
25	0	R	SSI-ch0	SSI チャンネル 0 割り込み要因表示	
24	0	R	GPIO	GPIO 割り込み要因表示	
23	0	R	FLCTL	FLCTL 割り込み要因表示	
22	0	R	MMCIF	MMCIF 割り込み要因表示	
21	0	R	HSPI	HSPI 割り込み要因表示	
20	0	R	SIOF	SIOF 割り込み要因表示	
19	0	R	PCIC(5)	PCIERR、PCIPWD3~0 割り込み要因表示	
18	0	R	PCIC(4)	PCIINTD 割り込み要因表示	
17	0	R	PCIC(3)	PCIINTC 割り込み要因表示	
16	0	R	PCIC(2)	PCIINTB 割り込み要因表示	
15	0	R	PCIC(1)	PCIINTA 割り込み要因表示	
14	0	R	PCIC(0)	PCISERR 割り込み要因表示	
13	0	R	HAC-ch1	HAC チャンネル 1 割り込み要因表示	
12	0	R	HAC-ch0	HAC チャンネル 0 割り込み要因表示	
11	0	R	DMAC(1)	DMAC チャンネル 6~11 割り込みおよびアドレスエラー割り込み要因表示	
10	0	R	DMAC(0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込み要因表示	
9	0	R	H-UDI	H-UDI 割り込み要因表示	
8	0	R	WDT	WDT 割り込み要因表示	
7	0	R	SCIF-ch5	SCIF チャンネル 5 割り込み要因表示	
6	0	R	SCIF-ch4	SCIF チャンネル 4 割り込み要因表示	
5	0	R	SCIF-ch3	SCIF チャンネル 3 割り込み要因表示	
4	0	R	SCIF-ch2	SCIF チャンネル 2 割り込み要因表示	
3	0	R	SCIF-ch1	SCIF チャンネル 1 割り込み要因表示	
2	0	R	SCIF-ch0	SCIF チャンネル 0 割り込み要因表示	
1	0	R	TMU-ch3 ~ch5	TMU チャンネル 3~5 割り込み要因表示	
0	0	R	TMU-ch0 ~ch2	TMU チャンネル 0~2 割り込み要因表示	

なお、各モジュールの割り込み要因がセットあるいはクリアされた場合、INT2A1 への反映時間は表 10.7 のようになります。

また、割り込みマスクレジスタ (INT2MSKR) で割り込みマスク設定をした場合、あるいは、割り込みマスククリアレジスタ (INT2MSKCLR) で INT2MSKR の割り込みマスク設定をクリアした場合、INT2A1 への反映に必要な時間はハードウェアで確保されます。したがって、割り込みマスク設定後あるいは割り込みマスククリア後、INT2A1 を読み出すと、常に INT2MSKR の設定を反映した情報を読み出すことができます。

(4) 割り込みマスクレジスタ (INT2MSKR)

INT2MSKR は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し、条件付き書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (=すべてマスク) に初期化されます。

本レジスタへの書き込み後、あるいは INT2MSKCLR 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものととなります)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—													
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R/W												
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

各ビットと INT2MSKR レジスタの対応を表 10.9 に示します。

10. 割り込みコントローラ (INTC)

表 10.9 各ビットと INT2MSKR レジスタの対応表

ビット	初期値	R/W	対象	機能	内容
31~29	すべて 1	R	リザーブ ビット	読み出しは 1 が読み出されます。 書き込む値も常に 1 にしてください。	内蔵周辺モジュール別に割り 込みマスクを設定します。 書き込み時 0：無効 1：割り込みマスク設定 読み出し時 0：マスク設定なし 1：マスク設定あり
28	1	R/W	GDTA	GDTA 割り込みマスク	
27	1	R/W	DU	DU 割り込みマスク	
26	1	R/W	SSI-ch1	SSI チャンネル 1 割り込みマスク	
25	1	R/W	SSI-ch0	SSI チャンネル 0 割り込みマスク	
24	1	R/W	GPIO	GPIO 割り込みマスク	
23	1	R/W	FLCTL	FLCTL 割り込みマスク	
22	1	R/W	MMCIF	MMCIF 割り込みマスク	
21	1	R/W	HSPI	HSPI 割り込みマスク	
20	1	R/W	SIOF	SIOF 割り込みマスク	
19	1	R/W	PCIC(5)	PCIERR、PCIPWD3~0 割り込みマスク	
18	1	R/W	PCIC(4)	PCIINTD 割り込みマスク	
17	1	R/W	PCIC(3)	PCIINTC 割り込みマスク	
16	1	R/W	PCIC(2)	PCIINTB 割り込みマスク	
15	1	R/W	PCIC(1)	PCIINTA 割り込みマスク	
14	1	R/W	PCIC(0)	PCISERR 割り込みマスク	
13	1	R/W	HAC-ch1	HAC チャンネル 1 割り込みマスク	
12	1	R/W	HAC-ch0	HAC チャンネル 0 割り込みマスク	
11	1	R/W	DMAC(1)	DMAC チャンネル 6~11 割り込みおよびアドレス エラー割り込みマスク	
10	1	R/W	DMAC(0)	DMAC チャンネル 0~5 割り込みおよびアドレスエ ラー割り込みマスク	
9	1	R/W	H-UDI	H-UDI 割り込みマスク	
8	1	R/W	WDT	WDT 割り込みマスク	
7	1	R/W	SCIF-ch5	SCIF チャンネル 5 割り込みマスク	
6	1	R/W	SCIF-ch4	SCIF チャンネル 4 割り込みマスク	
5	1	R/W	SCIF-ch3	SCIF チャンネル 3 割り込みマスク	
4	1	R/W	SCIF-ch2	SCIF チャンネル 2 割り込みマスク	
3	1	R/W	SCIF-ch1	SCIF チャンネル 1 割り込みマスク	
2	1	R/W	SCIF-ch0	SCIF チャンネル 0 割り込みマスク	
1	1	R/W	TMU-ch3 ~ch5	TMU チャンネル 3~5 割り込みマスク	
0	1	R/W	TMU-ch0 ~ch2	TMU チャンネル 0~2 割り込みマスク	

(5) 割り込みマスククリアレジスタ (INT2MSKCLR)

INT2MSKCLR は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しデータは常に 0 です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W												
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

各ビットと INT2MSKCLR レジスタの対応を表 10.10 に示します。

10. 割り込みコントローラ (INTC)

表 10.10 各ビットと INT2MSKCLR レジスタの対応表

ビット	初期値	R/W	対象	機能	内容
31~29	すべて 0	R	リザーブ ビット	読み出しは0が読み出されます。書き込む値は常に0にしてください。	内蔵周辺モジュール別の割り込みマスクをクリア設定します。 書き込み時 0：無効 1：割り込みマスククリア（割り込みを許可する） 読み出し時 常に0です
28	0	R/W	GDTA	GDTA 割り込みマスククリア設定	
27	0	R/W	DU	DU 割り込みマスククリア設定	
26	0	R/W	SSI-ch1	SSI チャンネル 1 割り込みマスククリア設定	
25	0	R/W	SSI-ch0	SSI チャンネル 0 割り込みマスククリア設定	
24	0	R/W	GPIO	GPIO 割り込みマスククリア設定	
23	0	R/W	FLCTL	FLCTL 割り込みマスククリア設定	
22	0	R/W	MMCIF	MMCIF 割り込みマスククリア設定	
21	0	R/W	HSPI	HSPI 割り込みマスククリア設定	
20	0	R/W	SIOF	SIOF 割り込みマスククリア設定	
19	0	R/W	PCIC(5)	PCIERR、PCIPWD3~0 割り込みマスククリア設定	
18	0	R/W	PCIC(4)	PCIINTD 割り込みマスククリア設定	
17	0	R/W	PCIC(3)	PCIINTC 割り込みマスククリア設定	
16	0	R/W	PCIC(2)	PCIINTB 割り込みマスククリア設定	
15	0	R/W	PCIC(1)	PCIINTA 割り込みマスククリア設定	
14	0	R/W	PCIC(0)	PCISERR 割り込みマスククリア設定	
13	0	R/W	HAC-ch1	HAC チャンネル 1 割り込みマスククリア設定	
12	0	R/W	HAC-ch0	HAC チャンネル 0 割り込みマスククリア設定	
11	0	R/W	DMAC(1)	DMAC チャンネル 6~11 割り込みおよびアドレスエラー割り込みマスククリア設定	
10	0	R/W	DMAC(0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込みマスククリア設定	
9	0	R/W	H-UDI	H-UDI 割り込みマスククリア設定	
8	0	R/W	WDT	WDT 割り込みマスククリア設定	
7	0	R/W	SCIF-ch5	SCIF チャンネル 5 割り込みマスククリア設定	
6	0	R/W	SCIF-ch4	SCIF チャンネル 4 割り込みマスククリア設定	
5	0	R/W	SCIF-ch3	SCIF チャンネル 3 割り込みマスククリア設定	
4	0	R/W	SCIF-ch2	SCIF チャンネル 2 割り込みマスククリア設定	
3	0	R/W	SCIF-ch1	SCIF チャンネル 1 割り込みマスククリア設定	
2	0	R/W	SCIF-ch0	SCIF チャンネル 0 割り込みマスククリア設定	
1	0	R/W	TMU-ch3 ~ch5	TMU チャンネル 3~5 割り込みマスククリア設定	
0	0	R/W	TMU-ch0 ~ch2	TMU チャンネル 0~2 割り込みマスククリア設定	

10.3.4 内蔵周辺モジュール別割り込み要因レジスタ (INT2B0~INT2B7)

INT2B0~INT2B7は、割り込み要因レジスタで表示されているモジュール種別の要因に対して、更に詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、いずれも読み出し専用の32ビットのレジスタです。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュールの割り込みマスクレジスタ、または割り込みイネーブルレジスタを設定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) INT2B0 レジスタ : TMU モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
TMU モジュール	31~7	-	リザーブビット 読み出しは0が読み出されます。書き込みは無効です。	TMUの割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにてTMUをマスク設定しても表示は消えません。
	6	TUNI5	TMUチャンネル5 アンダフロー割り込み	
	5	TUNI4	TMUチャンネル4 アンダフロー割り込み	
	4	TUNI3	TMUチャンネル3 アンダフロー割り込み	
	3	TICPI2	TMUチャンネル2 インプットキャプチャ割り込み	
	2	TUNI2	TMUチャンネル2 アンダフロー割り込み	
	1	TUNI1	TMUチャンネル1 アンダフロー割り込み	
	0	TUNI0	TMUチャンネル0 アンダフロー割り込み	

(2) INT2B1 レジスタ : SCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF モジュール	31~24	-	リザーブビット 読み出しは0が読み出されます。書き込みは無効です。	SCIFの割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにてSCIFをマスク設定しても表示は消えません。
	23	TXI5	SCIFチャンネル5 送信FIFOデータエンプティによる割り込み	
	22	BRI5	SCIFチャンネル5 ブレークまたはオーバーランエラーによる割り込み	
	21	RXI5	SCIFチャンネル5 受信FIFOデータフルまたは受信データレディによる割り込み	
	20	ERI5	SCIFチャンネル5 受信エラー割り込み	

10. 割り込みコントローラ (INTC)

モジュール	ビット	要 因		説 明
SCIF モジュール	19	TXI4	SCIF チャンネル 4 送信 FIFO データエンプティによる割り込み	SCIF の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて SCIF をマスク設定しても表示は消えません。
	18	BRI4	SCIF チャンネル 4 ブレークまたはオーバーランエラーによる割り込み	
	17	RXI4	SCIF チャンネル 4 受信 FIFO データフルまたは受信データレディによる割り込み	
	16	ERI4	SCIF チャンネル 4 受信エラー割り込み	
	15	TXI3	SCIF チャンネル 3 送信 FIFO データエンプティによる割り込み	
	14	BRI3	SCIF チャンネル 3 ブレークまたはオーバーランエラーによる割り込み	
	13	RXI3	SCIF チャンネル 3 受信 FIFO データフルまたは受信データレディによる割り込み	
	12	ERI3	SCIF チャンネル 3 受信エラー割り込み	
	11	TXI2	SCIF チャンネル 2 送信 FIFO データエンプティによる割り込み	
	10	BRI2	SCIF チャンネル 2 ブレークまたはオーバーランエラーによる割り込み	
	9	RXI2	SCIF チャンネル 2 受信 FIFO データフルまたは受信データレディによる割り込み	
	8	ERI2	SCIF チャンネル 2 受信エラー割り込み	
	7	TXI1	SCIF チャンネル 1 送信 FIFO データエンプティによる割り込み	
	6	BRI1	SCIF チャンネル 1 ブレークまたはオーバーランエラーによる割り込み	
	5	RXI1	SCIF チャンネル 1 受信 FIFO データフルまたは受信データレディによる割り込み	
	4	ERI1	SCIF チャンネル 1 受信エラー割り込み	
	3	TXI0	SCIF チャンネル 0 送信 FIFO データエンプティによる割り込み	
	2	BRI0	SCIF チャンネル 0 ブレークまたはオーバーランエラーによる割り込み	
	1	RXI0	SCIF チャンネル 0 受信 FIFO データフルまたは受信データレディによる割り込み	
	0	ERI0	SCIF チャンネル 0 受信エラー割り込み	

10. 割り込みコントローラ (INTC)

(3) INT2B2 レジスタ : DMAC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
DMAC モジュール	31~14	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	DMAC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて DMAC をマスク設定しても表示は消えません。
	13	DMAE1	チャンネル 6~11 DMA アドレスエラー割り込み	
	12	DMINT11	チャンネル 11 DMA 転送終了割り込み	
	11	DMINT10	チャンネル 10 DMA 転送終了割り込み	
	10	DMINT9	チャンネル 9 DMA 転送終了/ハーフエンド割り込み	
	9	DMINT8	チャンネル 8 DMA 転送終了/ハーフエンド割り込み	
	8	DMINT7	チャンネル 7 DMA 転送終了/ハーフエンド割り込み	
	7	DMINT6	チャンネル 6 DMA 転送終了/ハーフエンド割り込み	
	6	DMAE0	チャンネル 0~5 DMA アドレスエラー割り込み	
	5	DMINT5	チャンネル 5 DMA 転送終了割り込み	
	4	DMINT4	チャンネル 4 DMA 転送終了割り込み	
	3	DMINT3	チャンネル 3 DMA 転送終了/ハーフエンド割り込み	
	2	DMINT2	チャンネル 2 DMA 転送終了/ハーフエンド割り込み	
	1	DMINT1	チャンネル 1 DMA 転送終了/ハーフエンド割り込み	
0	DMINT0	チャンネル 0 DMA 転送終了/ハーフエンド割り込み		

(4) INT2B3 レジスタ : PCIC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
PCIC モジュール	31~10	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	PCIC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて PCIC をマスク設定しても表示は消えません。
	9	PCIPWD0	PCIC パワーステート D0 ステート割り込み	
	8	PCIPWD1	PCIC パワーステート D1 ステート割り込み	
	7	PCIPWD2	PCIC パワーステート D2 ステート割り込み	
	6	PCIPWD3	PCIC パワーステート D3 ステート割り込み	
	5	PCIERR	PCIC エラー割り込み	
	4	PCIINTD	PCIC INTD 割り込み	
	3	PCIINTC	PCIC INTC 割り込み	
	2	PCIINTB	PCIC INTB 割り込み	
	1	PCIINTA	PCIC INTA 割り込み	
0	PCISERR	PCIC SERR 割り込み		

10. 割り込みコントローラ (INTC)

(5) INT2B4 レジスタ : MMCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
MMCIF モジュール	31~4	-	リザーブビット 読み出しは0が読み出されます。書き込みは無効です。	MMCIF の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて MMCIF をマスク設定しても表示は消えません。
	3	FRDY	FIFO 準備完了による割り込み	
	2	ERR	CRC エラー、データタイムアウトエラー、コマンドタイムアウトエラーのいずれかの割り込み	
	1	TRAN	データレスポンス、データ転送終了、コマンドレスポンス受信終了、コマンド送信終了、データビジー終了のいずれかの割り込み	
	0	FSTAT	FIFO エンプティまたは FIFO フル割り込み	

(6) INT2B5 レジスタ : FLCTL モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
FLCTL モジュール	31~4	-	リザーブビット 読み出しは0が読み出されます。書き込みは無効です。	FLCTL の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて FLCTL をマスク設定しても表示は消えません。
	3	FLTRQ1	FLCTL FLECFIFO 転送要求割り込み	
	2	FLTRQ0	FLCTL TLDFIFO 転送要求割り込み	
	1	FLTEND	FLCTL 転送終了割り込み	
	0	FLSTE	FLCTL ステータスエラーまたはレディ/ビジータイムアウトエラー割り込み	

10. 割り込みコントローラ (INTC)

(7) INT2B6 レジスタ : GPIO モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GPIO モジュール	31~26	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	GPIO の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて GPIO をマスク設定しても表示は消えません。
	25	PORTL7I	ポート L7 端子からの GPIO 割り込み	
	24	PORTL6I	ポート L6 端子からの GPIO 割り込み	
	23~20	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	
	19	PORTH4I	ポート H4 端子からの GPIO 割り込み	
	18	PORTH3I	ポート H3 端子からの GPIO 割り込み	
	17	PORTH2I	ポート H2 端子からの GPIO 割り込み	
	16	PORTH1I	ポート H1 端子からの GPIO 割り込み	
	15~11	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	
	10	PORTE5I	ポート E5 端子からの GPIO 割り込み	
	9	PORTE4I	ポート E4 端子からの GPIO 割り込み	
	8	PORTE3I	ポート E3 端子からの GPIO 割り込み	
	7~3	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	
	2	PORTE2I	ポート E2 端子からの GPIO 割り込み	
	1	PORTE1I	ポート E1 端子からの GPIO 割り込み	
	0	PORTE0I	ポート E0 端子からの GPIO 割り込み	

(8) INT2B7 レジスタ : GDTA モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GDTA モジュール	31~3	-	リザーブビット 読み出しは 0 が読み出されます。書き込みは無効です。	GDTA の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて GDTA をマスク設定しても表示は消えません。
	2	GAERI	GDTA エラー割り込み	
	1	GAMCI	MC 転送完了割り込み	
	0	GACLI	CL 転送完了割り込み	

10. 割り込みコントローラ (INTC)

10.3.5 GPIO 割り込み設定レジスタ (INT2GPIC)

INT2GPIC は、GPIO 割り込みとしてポート E0 ~ E2、E3 ~ E5、H1 ~ H4、L6、L7 からの割り込み要求入力を許可します。

GPIO 割り込みは、ローアクティブなレベル割り込みです。GPIO 割り込みとして使用する各ポートコントロールレジスタ (E、H、L) で該当する端子をポート入力に設定した後、割り込み要求の許可を行ってください。ポートコントロールレジスタについては、「第 28 章 汎用入出力ポート (GPIO)」を参照してください。

本レジスタへの書き込み後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (割り込み要求許可/禁止状態は読み出した状態を反映したものとします)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

割り込み入力端子と INT2GPIC レジスタの各ビットの対応を表 10.11 に示します。

表 10.11 各ビットと INT2GPIC レジスタの対応表

ビット	名称	初期値	R/W	説明	内容
31~26	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	GPIO 割り込み入力端子別に 割り込み要求を許可します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
25	PORTL7E	0	R/W	ポート L7 端子からの GPIO 割り込み要求を許可	
24	PORTL6E	0	R/W	ポート L6 端子からの GPIO 割り込み要求を許可	
23~20	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	
19	PORTH4E	0	R/W	ポート H4 端子からの GPIO 割り込み要求を許可	
18	PORTH3E	0	R/W	ポート H3 端子からの GPIO 割り込み要求を許可	
17	PORTH2E	0	R/W	ポート H2 端子からの GPIO 割り込み要求を許可	
16	PORTH1E	0	R/W	ポート H1 端子からの GPIO 割り込み要求を許可	
15~11	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	
10	PORTE5E	0	R/W	ポート E5 端子からの GPIO 割り込み要求を許可	
9	PORTE4E	0	R/W	ポート E4 端子からの GPIO 割り込み要求を許可	
8	PORTE3E	0	R/W	ポート E3 端子からの GPIO 割り込み要求を許可	
7~3	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	
2	PORTE2E	0	R/W	ポート E2 端子からの GPIO 割り込み要求を許可	
1	PORTE1E	0	R/W	ポート E1 端子からの GPIO 割り込み要求を許可	
0	PORTE0E	0	R/W	ポート E0 端子からの GPIO 割り込み要求を許可	

GPIO のポートを割り込み入力端子として使用した場合、GPIO が割り込みを検出すると、GPIO から INTC へ割り込みが通知されますが、INTC としては割り込み要因レジスタ INT2A0 または INT2A1 に 1bit の要因として表示します。この場合、モジュール別割り込み要因レジスタ INT2B6 を参照することでどのポートの何番の端子から割り込みが発生しているかを特定することが可能です。ポートの特定は INTEVT コードを参照することでも可能です。

10.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

10.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIエッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

CPU動作モードレジスタのINTMUビット (CPUOPM.INTMU) が1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、レベル15に自動的に設定されます。CPUOPM.INTMUが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

10.4.2 IRQ 割り込み

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない特長

IRQ 割り込みは、ICR0のIRLM0、IRLM1ビットに1を書き込んで、 $\overline{\text{IRQ}}/\overline{\text{IRL}}3 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}0$ 、 $\overline{\text{IRQ}}/\overline{\text{IRL}}7 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}4$ 端子を独立した割り込み要求として使用する場合に有効になります。ICR1のIRQnS1、IRQnS0 (n=7~0) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ (INTPRI) により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する特長

レベル検出設定時のIRQ 割り込みについては、要因保持モード (ICR0.LVLMODE) の設定により、以下のような特長があります。ICR0.LVLMODEの初期値は0ですが、1に設定変更してからINTCを使用することを推奨します。

(a) 要因保持モード ICR0.LVLMODE が0の場合

レベル検出設定時、IRQ 割り込み要求の検出後、CPUが受け付ける前にIRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQで要因を保持しています。CPUが何らかの割り込み (IRQ 割り込みとは限りません) を受け付けるか、該当する割り込みマスクビットに1をセットするまで要因を保持します。

INTCで保持されたレベルIRQ 割り込み要因をクリアするには、割り込み処理ルーチンでIRQ 割り込みの端子

状態を変更して要求を取り下げた後、INTREQ で保持している要因を 0 にクリアしてください。クリア方法の詳細は「10.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

(b) 要因保持モード ICR0.LVLMODE が 1 の場合

INTC ではレベル検出 IRQ の割り込み要因を保持しません。

10.4.3 IRL 割り込み

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない特長

IRL 割り込みは、IRQ/ $\overline{\text{IRL3}}$ ~ IRQ/ $\overline{\text{IRL0}}$ 端子または IRQ/ $\overline{\text{IRL7}}$ ~ IRQ/ $\overline{\text{IRL4}}$ 端子でレベルとして入力される割り込みです。

優先レベルは IRQ/ $\overline{\text{IRL3}}$ ~ IRQ/ $\overline{\text{IRL0}}$ 端子または IRQ/ $\overline{\text{IRL7}}$ ~ IRQ/ $\overline{\text{IRL4}}$ 端子で示されるレベルです。IRQ/ $\overline{\text{IRL3}}$ ~ IRQ/ $\overline{\text{IRL0}}$ または IRQ/ $\overline{\text{IRL7}}$ ~ IRQ/ $\overline{\text{IRL4}}$ がすべて Low (ローレベル) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。すべて High (ハイレベル) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。図 10.3 に IRL 割り込みの接続例を、表 10.12 に IRL 端子と割り込みレベルの対応を示します。

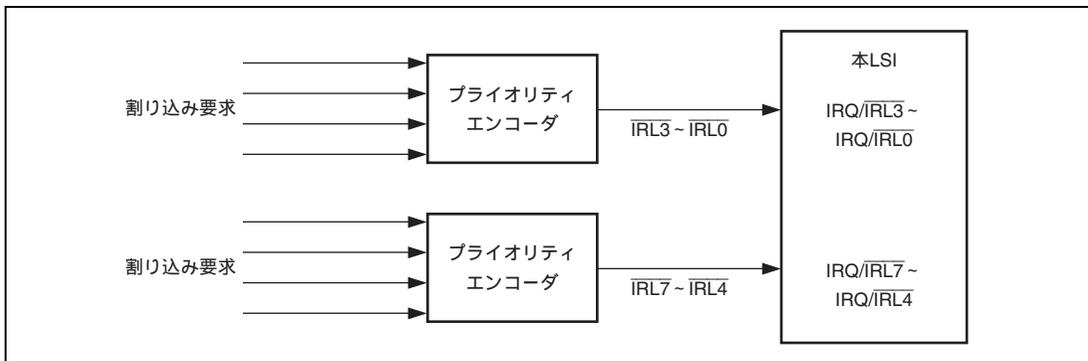


図 10.3 IRL 割り込みの接続例

10. 割り込みコントローラ (INTC)

表 10.12 IRL 割り込み端子 (IRL3 ~ IRL0 または IRL7 ~ IRL4) と割り込みレベル

IRL3 または IRL7	IRL2 または IRL6	IRL1 または IRL5	IRL0 または IRL4	割り込み優先レベル	割り込み要求
Low	Low	Low	Low	15	レベル 15 割り込み要求
Low	Low	Low	High	14	レベル 14 割り込み要求
Low	Low	High	Low	13	レベル 13 割り込み要求
Low	Low	High	High	12	レベル 12 割り込み要求
Low	High	Low	Low	11	レベル 11 割り込み要求
Low	High	Low	High	10	レベル 10 割り込み要求
Low	High	High	Low	9	レベル 9 割り込み要求
Low	High	High	High	8	レベル 8 割り込み要求
High	Low	Low	Low	7	レベル 7 割り込み要求
High	Low	Low	High	6	レベル 6 割り込み要求
High	Low	High	Low	5	レベル 5 割り込み要求
High	Low	High	High	4	レベル 4 割り込み要求
High	High	Low	Low	3	レベル 3 割り込み要求
High	High	Low	High	2	レベル 2 割り込み要求
High	High	High	Low	1	レベル 1 割り込み要求
High	High	High	High	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込み受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

ICR0 の IRLM0、IRLM1 ビットに 1 を書き込むことにより、IRQ $\overline{IRL0}$ ~ IRQ $\overline{IRL3}$ 端子、IRQ $\overline{IRL7}$ ~ IRQ $\overline{IRL4}$ 端子を独立した IRQ 割り込みとして使うことができます。詳細は、「10.4.2 IRQ 割り込み」を参照してください。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する特長

(a) 要因保持モード ICR0.LVLMODE が 0 の場合

IRL 割り込み要求の検出後、CPU が受け付ける前に、IRL 割り込みの端子状態を変更して、割り込み要求が取り下げられた場合、またはより低い優先レベルに変化した場合は、CPU が何らかの割り込み (IRL 割り込みとは限りません) を受け付けるまで、最も高い IRL 割り込みを保持します。

保持された IRL 割り込み要因は、割り込み処理ルーチンで IRL 割り込みの端子状態を変更して、割り込み要求

を取り下げた後、該当する割り込みマスクビットを1にすることでクリアできます (IRQ/IRL[3:0]端子のIRL割り込み要求をクリアする場合は、INTMSK1のIM10ビットに1を、IRQ/IRL[7:4]端子のIRL割り込み要求をクリアする場合は、INTMSK1のIM11ビットに1を書き込んでください。INTMSK2でレベルごとのマスクをしても、検出しているIRL割り込み要因をクリアすることはできません)。

(b) 要因保持モード ICR0.LVLMODE が1の場合

INTCではIRL割り込み要因を保持しません。

10.4.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中でINTEVTの値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0~INT2PRI9によって、モジュールごとに優先レベル31~0の範囲で設定できます。ただし、CPUに通知するときには、最下位1ビットを切り捨てた4ビットに変換します。詳細は、「10.4.5 内蔵周辺モジュール割り込み優先順位」を参照してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SRのBLビットが1のとき、もしくは割り込みマスクの設定にて該当割り込みが起きない状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺モジュールのレジスタを読み出し、その後、表 10.14 で示される内蔵周辺モジュールの優先順位判定時間待ってから (たとえば周辺モジュールクロックで動作するINTCのレジスタを1回読み出す) BLビットを0にするか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BLビットが0のときにフラグの更新を行うとINTEVTの値が0で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本LSI内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE命令を実行することにより、問題なく処理を続けることができます。

なお、GPIO割り込みは、ローアクティブなレベル割り込みで、IRL割り込みやレベル検出設定のIRQ割り込みと異なり、端子状態を変更して割り込み要求が取り下げられた場合、GPIO割り込み要求の要因はハードウェアで保持されません。

10.4.5 内蔵周辺モジュール割り込み優先順位

内蔵周辺モジュール割り込みは、割り込み時に、要因固有の割り込み例外コードを SH-4A へ出力します。SH-4A は割り込みを受け付けると INTEVT レジスタに該当 INTEVT コードを表示します。割り込みハンドラは、SH-4A の INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 10.1 を参照してください。

また、内蔵周辺モジュール割り込みでは図 10.4 に示すように、個々の割り込み要因を 5 ビットで 30 レベル (H'00 と H'01 は割り込み要求をマスク) に設定することが可能です。SH-4A の割り込みレベル受信インタフェースは 4 ビットで 15 レベル (H'0 は割り込み要求をマスク) ですが、内蔵周辺モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。例えば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する INTEVT コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する INTEVT コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 10.13 に示す優先順位で INTEVT コードが通知されます。

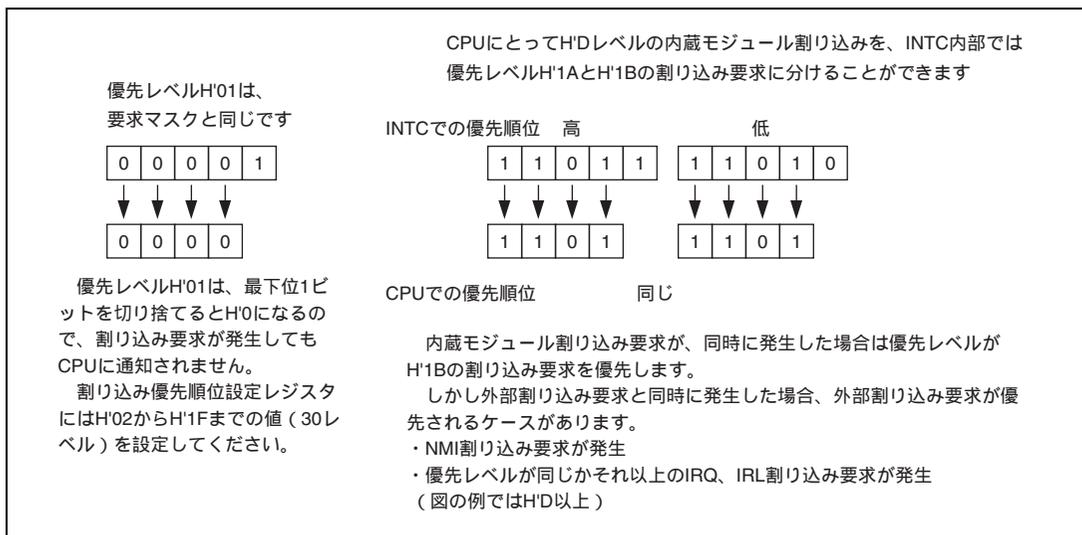


図 10.4 内蔵周辺モジュール割り込みの優先レベルについて

10.4.6 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 10.13 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

内蔵周辺モジュールの優先順位は、INT2PRI0 ~ INT2PRI9 によって、優先レベル 31 ~ 0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.13 に示すデフォルト優先順位に従って処理されます。

INTPRI、INT2PRI0 ~ INT2PRI9 の更新は、SR の BL ビットが 1 のとき、もしくは割り込みマスクの設定にて該当割り込みが起きない状態で行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にするか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより内部的に必要なタイミングが確保されます。

10. 割り込みコントローラ (INTC)

表 10.13 割り込み例外処理要因と優先順位

割り込み要因	INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
NMI	-	H'1C0	16	-	-	-	高
入力レベル= L : ローレベル H : ハイレベル (表 10.11 参照)	$\overline{\text{IRL}}[3:0] = \text{LLLL (H'0)}$	H'200	15	INTMSK2[31] INTMSKCLR2[31]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LLLL (H'0)}$	H'B00		INTMSK2[15] INTMSKCLR2[15]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LLLH (H'1)}$	H'220	14	INTMSK2[14] INTMSKCLR2[14]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LLLH (H'1)}$	H'B20		INTMSK2[30] INTMSKCLR2[30]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LLHL (H'2)}$	H'240	13	INTMSK2[13] INTMSKCLR2[13]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LLHL (H'2)}$	H'B40		INTMSK2[29] INTMSKCLR2[29]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LLHH (H'3)}$	H'260	12	INTMSK2[12] INTMSKCLR2[12]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LLHH (H'3)}$	H'B60		INTMSK2[28] INTMSKCLR2[28]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LHLL (H'4)}$	H'280	11	INTMSK2[11] INTMSKCLR2[11]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LHLL (H'4)}$	H'B80		INTMSK2[27] INTMSKCLR2[27]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LHLH (H'5)}$	H'2A0	10	INTMSK2[10] INTMSKCLR2[10]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LHLH (H'5)}$	H'BA0		INTMSK2[26] INTMSKCLR2[26]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LHHL (H'6)}$	H'2C0	9	INTMSK2[9] INTMSKCLR2[9]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LHHL (H'6)}$	H'BC0		INTMSK2[25] INTMSKCLR2[25]	-	-	低
	$\overline{\text{IRL}}[3:0] = \text{LHHH (H'7)}$	H'2E0	8	INTMSK2[8] INTMSKCLR2[8]	-	-	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{LHHH (H'7)}$	H'BE0		INTMSK2[24] INTMSKCLR2[24]	-	-	低

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
IRL 入力レベル= L : ローレベル H : ハイレベル (表 10.11 参照)	$\overline{\text{IRL}}[3:0] = \text{HLLL (H'8)}$	H'300	7	INTMSK2[7] INTMSKCLR2[7]	-	-	高 ↑	高 ↑ 低
	$\overline{\text{IRL}}[7:4] = \text{HLLL (H'8)}$	H'C00		INTMSK2[23] INTMSKCLR2[23]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HLLH (H'9)}$	H'320	6	INTMSK2[6] INTMSKCLR2[6]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HLLH (H'9)}$	H'C20		INTMSK2[22] INTMSKCLR2[22]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HLHL (H'A)}$	H'340	5	INTMSK2[5] INTMSKCLR2[5]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HLHL (H'A)}$	H'C40		INTMSK2[21] INTMSKCLR2[21]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HLLH (H'B)}$	H'360	4	INTMSK2[4] INTMSKCLR2[4]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HLLH (H'B)}$	H'C60		INTMSK2[20] INTMSKCLR2[20]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HHLL (H'C)}$	H'380	3	INTMSK2[3] INTMSKCLR2[3]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HHLL (H'C)}$	H'C80		INTMSK2[19] INTMSKCLR2[19]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HHLH (H'D)}$	H'3A0	2	INTMSK2[2] INTMSKCLR2[2]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HHLH (H'D)}$	H'CA0		INTMSK2[18] INTMSKCLR2[18]	-	-	低	
	$\overline{\text{IRL}}[3:0] = \text{HHHL (H'E)}$	H'3C0	1	INTMSK2[1] INTMSKCLR2[1]	-	-	高 ↑	
	$\overline{\text{IRL}}[7:4] = \text{HHHL (H'E)}$	H'CC0		INTMSK2[17] INTMSKCLR2[17]	-	-	低	

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
IRQ	IRQ[0]	H'240	INTPRI [31:28]	INTMSK0[31] INTMSKCLR0[31]	INTREQ[31]	-		高 ↑ 低
	IRQ[1]	H'280	INTPRI [27:24]	INTMSK0[30] INTMSKCLR0[30]	INTREQ[30]	-		
	IRQ[2]	H'2C0	INTPRI [23:20]	INTMSK0[29] INTMSKCLR0[29]	INTREQ[29]	-		
	IRQ[3]	H'300	INTPRI [19:16]	INTMSK0[28] INTMSKCLR0[28]	INTREQ[28]	-		
	IRQ[4]	H'340	INTPRI [15:12]	INTMSK0[27] INTMSKCLR0[27]	INTREQ[27]	-		
	IRQ[5]	H'380	INTPRI [11:8]	INTMSK0[26] INTMSKCLR0[26]	INTREQ[26]	-		
	IRQ[6]	H'3C0	INTPRI [7:4]	INTMSK0[25] INTMSKCLR0[25]	INTREQ[25]	-		
	IRQ[7]	H'200	INTPRI [3:0]	INTMSK0[24] INTMSKCLR0[24]	INTREQ[24]	-		
WDT	ITI*	H'560	INT2PRI3 [12:8]	INT2MSKR[8] INT2MSKCLR[8]	INT2A0[8] INT2A1[8]	-		
TMU-ch0	TUNIO*	H'580	INT2PRI0 [28:24] [20:16] [12:8] [4:0]	INT2MSKR[0] INT2MSKCLR[0]	INT2A0[0] INT2A1[0]	INT2B0[0]		
TMU-ch1	TUNI1*	H'5A0				INT2B0[1]		
TMU-ch2	TUNI2*	H'5C0				INT2B0[2]		
	TICPI2*	H'5E0				INT2B0[3]		
H-UDI	H-UDII	H'600	INT2PRI4 [28:24]	INT2MSKR[9] INT2MSKCLR[9]	INT2A0[9] INT2A1[9]	-		
DMAC(0)	DMINT0*	H'620	INT2PRI4 [20:16]	INT2MSKR[10] INT2MSKCLR[10]	INT2A0[10] INT2A1[10]	INT2B2[0]	高 ↑ 低	
	DMINT1*	H'640				INT2B2[1]		
	DMINT2*	H'660				INT2B2[2]		
	DMINT3*	H'680				INT2B2[3]		
	DMINT4*	H'6A0				INT2B2[4]		
	DMINT5*	H'6C0				INT2B2[5]		
	DMAE0 (ch0 ~ 5) *	H'6E0				INT2B2[6]		

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
SCIF-ch0	ERI0*	H'700	INT2PRI2 [28:24]	INT2MSKR[2] INT2MSKCLR[2]	INT2A0[2] INT2A1[2]	INT2B1[0]	高 ↑ 低	高 ↑
	RX10*	H'720				INT2B1[1]		
	BRI0*	H'740				INT2B1[2]		
	TX10*	H'760				INT2B1[3]		
SCIF-ch1	ERI1*	H'780	INT2PRI2 [20:16]	INT2MSKR[3] INT2MSKCLR[3]	INT2A0[3] INT2A1[3]	INT2B1[4]	高 ↑ 低	↑
	RX11*	H'7A0				INT2B1[5]		
	BRI1*	H'7C0				INT2B1[6]		
	TX11*	H'7E0				INT2B1[7]		
DMAC(1)	DMINT6*	H'880	INT2PRI4 [12:8]	INT2MSKR[11] INT2MSKCLR[11]	INT2A0[11] INT2A1[11]	INT2B2[7]	高 ↑ 低	↑
	DMINT7*	H'8A0				INT2B2[8]		
	DMINT8*	H'8C0				INT2B2[9]		
	DMINT9*	H'8E0				INT2B2[10]		
	DMINT10*	H'900				INT2B2[11]		
	DMINT11*	H'920				INT2B2[12]		
	DMAE1 (ch6 ~ 11) *	H'940				INT2B2[13]		
HSP1	SPI1	H'960	INT2PRI7 [20:16]	INT2MSKR[21] INT2MSKCLR[21]	INT2A0[21] INT2A1[21]	-		
SCIF-ch2	ERI2*	H'980	INT2PRI2 [12:8]	INT2MSKR[4] INT2MSKCLR[4]	INT2A0[4] INT2A1[4]	INT2B1[8]		
	RX12*					INT2B1[9]		
	BRI2*					INT2B1[10]		
	TX12*					INT2B1[11]		
SCIF-ch3	ERI3*	H'9A0	INT2PRI2 [4:0]	INT2MSKR[5] INT2MSKCLR[5]	INT2A0[5] INT2A1[5]	INT2B1[12]		
	RX13*					INT2B1[13]		
	BRI3*					INT2B1[14]		
	TX13*					INT2B1[15]		
SCIF-ch4	ERI4*	H'9C0	INT2PRI3 [28:24]	INT2MSKR[6] INT2MSKCLR[6]	INT2A0[6] INT2A1[6]	INT2B1[16]		
	RX14*					INT2B1[17]		
	BRI4*					INT2B1[18]		
	TX14*					INT2B1[19]		
SCIF-ch5	ERI5*	H'9E0	INT2PRI3 [20:16]	INT2MSKR[7] INT2MSKCLR[7]	INT2A0[7] INT2A1[7]	INT2B1[20]		↑
	RX15*					INT2B1[21]		
	BRI5*					INT2B1[22]		
	TX15*					INT2B1[23]		
								低

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
PCIC(0)	PCISERR	H'A00	INT2PRI5 [12:8]	INT2MSKR[14] INT2MSKCLR[14]	INT2A0[14] INT2A1[14]	INT2B3[0]		高 ↑ 低
PCIC(1)	PCIINTA	H'A20	INT2PRI5 [4:0]	INT2MSKR[15] INT2MSKCLR[15]	INT2A0[15] INT2A1[15]	INT2B3[1]		
PCIC(2)	PCIINTB	H'A40	INT2PRI6 [28:24]	INT2MSKR[16] INT2MSKCLR[16]	INT2A0[16] INT2A1[16]	INT2B3[2]		
PCIC(3)	PCIINTC	H'A60	INT2PRI6 [20:16]	INT2MSKR[17] INT2MSKCLR[17]	INT2A0[17] INT2A1[17]	INT2B3[3]		
PCIC(4)	PCIINTD	H'A80	INT2PRI6 [12:8]	INT2MSKR[18] INT2MSKCLR[18]	INT2A0[18] INT2A1[18]	INT2B3[4]		
PCIC(5)	PCIERR	H'AA0	INT2PRI6 [4:0]	INT2MSKR[19] INT2MSKCLR[19]	INT2A0[19] INT2A1[19]	INT2B3[5]	高 ↑ 低	
	PCIPWD3	H'AC0				INT2B3[6]		
	PCIPWD2					INT2B3[7]		
	PCIPWD1					INT2B3[8]		
	PCIPWD0	H'AE0	INT2B3[9]					
SIOF	SIOFI	H'CE0	INT2PRI7 [28:24]	INT2MSKR[20] INT2MSKCLR[20]	INT2A0[20] INT2A1[20]	-		
MMCIF	FSTAT	H'D00	INT2PRI7 [12:8]	INT2MSKR[22] INT2MSKCLR[22]	INT2A0[22] INT2A1[22]	INT2B4[0]	高 ↑ 低	
	TRAN	H'D20				INT2B4[1]		
	ERR	H'D40				INT2B4[2]		
	FRDY	H'D60				INT2B4[3]		
DU	DUI	H'D80	INT2PRI9 [28:24]	INT2MSKR[27] INT2MSKCLR[27]	INT2A0[27] INT2A1[27]			
GDTA	GACLI	H'DA0	INT2PRI9 [20:16]	INT2MSKR[28] INT2MSKCLR[28]	INT2A0[28] INT2A1[28]	INT2B7[0]	高 ↑ 低	
	GAMCI	H'DC0				INT2B7[1]		
	GAERI	H'DE0				INT2B7[2]		
TMU-ch3	TUNI3*	H'E00	INT2PRI1 [28:24]	INT2MSKR[1] INT2MSKCLR[1]	INT2A0[1] INT2A1[1]	INT2B0[4]		
TMU-ch4	TUNI4*	H'E20				INT2PRI1 [20:16]	INT2B0[5]	
TMU-ch5	TUNI5*	H'E40				INT2PRI1 [12:8]	INT2B0[6]	
SSI-ch0	SSI0	H'E80	INT2PRI8 [12:8]	INT2MSKR[25] INT2MSKCLR[25]	INT2A0[25] INT2A1[25]	-		
SSI-ch1	SSI1	H'EA0	INT2PRI8 [4:0]	INT2MSKR[26] INT2MSKCLR[26]	INT2A0[26] INT2A1[26]	-	低	

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT コード	割り込み 優先順位	INTC でのマスク / クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
HAC-ch0	HACI0	H'EC0	INT2PRI5 [28:24]	INT2MSKR[12] INT2MSKCLR[12]	INT2A0[12] INT2A1[12]	-		高 ↑
HAC-ch1	HACI1	H'EE0	INT2PRI5 [20:16]	INT2MSKR[13] INT2MSKCLR[13]	INT2A0[13] INT2A1[13]	-		
FLCTL	FLSTE*	H'F00	INT2PRI8 [28:24]	INT2MSKR[23] INT2MSKCLR[23]	INT2A0[23] INT2A1[23]	INT2B5[0]	高 ↑ 低	
	FLTEND*	H'F20				INT2B5[1]		
	FLTRQ0*	H'F40				INT2B5[2]		
	FLTRQ1*	H'F60				INT2B5[3]		
GPIO	GPIO0 (ポート E0 端子)	H'F80	INT2PRI8 [20:16]	INT2MSKR[24] INT2MSKCLR[24]	INT2A0[24] INT2A1[24]	INT2B6[0]	高 ↑ 低	
	GPIO0 (ポート E1 端子)					INT2B6[1]		
	GPIO0 (ポート E2 端子)					INT2B6[2]		
	GPIO1 (ポート E3 端子)	H'FA0				INT2B6[8]		
	GPIO1 (ポート E4 端子)					INT2B6[9]		
	GPIO1 (ポート E5 端子)					INT2B6[10]		
	GPIO2 (ポート H1 端子)	H'FC0				INT2B6[16]		
	GPIO2 (ポート H2 端子)					INT2B6[17]		
	GPIO2 (ポート H3 端子)					INT2B6[18]		
	GPIO2 (ポート H4 端子)					INT2B6[19]		
	GPIO3 (ポート L6 端子)	H'FE0				INT2B6[24]		
	GPIO3 (ポート L7 端子)					INT2B6[25]		

【注】 ITI : WDT インターバルタイマ割り込み

TUNIO ~ TUNIS : TMU チャンネル 0 ~ 5 アンダフロー割り込み

TICPI2 : TMU チャンネル 2 インพุットキャプチャ割り込み

DMINT0 ~ DMINT11 : DMAC チャンネル 0 ~ 11 転送終了割り込み

DMAE0 (ch0~5) : DMAC アドレスエラー割り込み (チャンネル 0 ~ 5)

DMAE1 (ch6~11) : DMAC アドレスエラー割り込み (チャンネル 6 ~ 11)

ERI0, ERI1, ERI2, ERI3, ERI4, ERI5 : SCIF チャンネル 0 ~ 5 受信エラー割り込み

RX10, RX11, RX12, RX13, RX14, RX15 : SCIF チャンネル 0 ~ 5 受信データフル割り込み

BRI0, BRI1, BRI2, BRI3, BRI4, BRI5 : SCIF チャンネル 0 ~ 5 ブレーク割り込み要求

TX10, TX11, TX12, TX13, TX14, TX15 : SCIF チャンネル 0 ~ 5 送信データエンプティ割り込み

FLSTE : FLCTL エラー割り込み

FLTEND : FLCTL エラー割り込み

FLTRQ0 : FLCTL データ FIFO 転送要求割り込み

FLTRQ1 : FLCTL 管理コード FIFO 転送要求割り込み

10.5 動作説明

10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.5 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI9に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表10.13に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル(IMASK)が比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ(INTEVT)に割り込み要因コードがセットされます。
6. ステータスレジスタ(SR)とプログラムカウンタ(PC)が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット(BL)、モードビット(MD)、レジスタバンクビット(RB)が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地(ベクタベースレジスタ(VBR)に設定された値とH'0000 0600の和)にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえばINTEVTレジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU動作モードレジスタのINTMUビット(CPUOPM.INTMU)が1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。
 2. 割り込み要因フラグは、例外処理ルーチン中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 10.14 で示される時間待ってから、BLビットをクリアするか、RTE命令を実行します。
 3. IRQ割り込み、IRL割り込み、および内蔵周辺モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR0、1、INT2MSKCLRを使用して、要因ごとの割り込みマスク(INTMSK0、1、INT2MSKR)をクリアする必要があります。

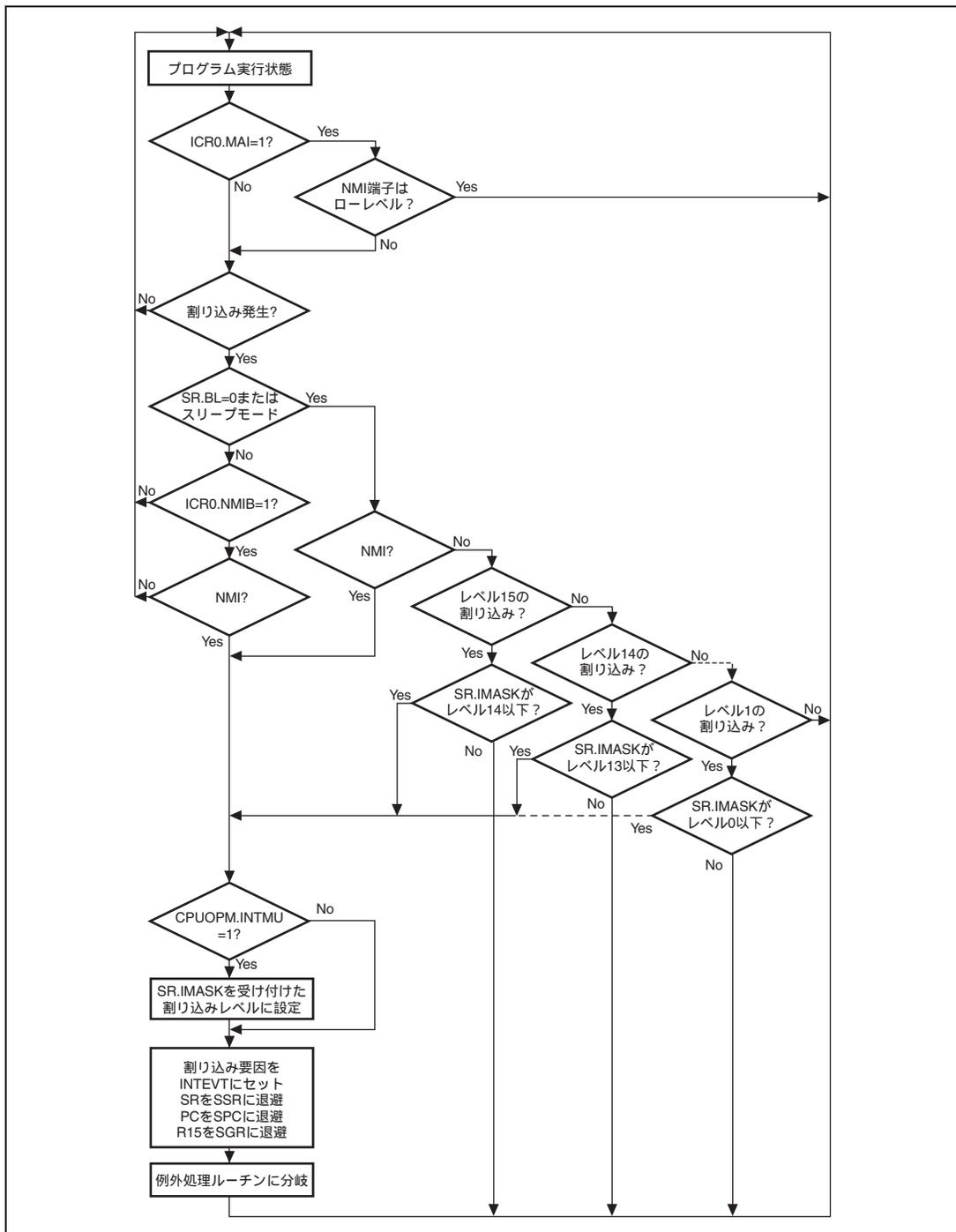


図 10.5 割り込み動作フロー

10. 割り込みコントローラ (INTC)

10.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRレジスタの割り込みマスクレベル(IMASK)は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスクレベル(IMASK)を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

10.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

10.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 10.14 に示します。

表 10.14 割り込み応答時間

項 目	ステート数					備 考	
	NMI	IRL	IRQ	周辺モジュール			
				GPIO/PCIC 以外	GPIO/PCIC		
優先順位判定時間	6Bcyc+2Pcyc	8Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc	7Pcyc		
CPU が実行中のシーケンス 終了までの待ち時間	S-1(≥0) × Icyc						
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令フェッチの SHwy バスリクエストを発行 するまでの時間	11Icyc+1Scyc						
応答時間	合計	(S+10)Icyc +1Scyc +6Bcyc +2Pcyc	(S+10)Icyc +1Scyc +8Bcyc +2Pcyc	(S+10)Icyc +1Scyc +4Bcyc +2Pcyc	(S+10)Icyc +1Scyc +5Pcyc	(S+10)Icyc +1Scyc +7Pcyc	

Icyc : CPU 等に供給される内部クロックの 1 サイクル期間

Scyc : SHwy クロックの 1 サイクル期間

Bcyc : CLKOUT の 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

割り込みの許可 / 禁止を設定するレジスタ INTMSK0, INTMSK1, INTMSK2, INT2MSKR, INT2GPCIC の設定値を、割り込み禁止状態から割り込み許可状態に変更した場合に、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 10.15 に示します。

10. 割り込みコントローラ (INTC)

表 10.15 割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み禁止 割り込み許可の場合)

項 目		ステート数				備 考
		IRL		IRQ	周辺モジュール	
		INTMSK1	INTMSK2	INTMSK0	INT2MSKR, INT2GPIC	
優先順位判定時間*		1Pcyc	8Bcyc+2Pcyc	1Pcyc	4Pcyc	
CPU が実行中のシーケンス終了までの待ち時間		S-1(≥ 0) \times lcyc				
割り込み例外処理 (SR、PC の回避) から、例外処理ルーチンの先頭命令フェッチの SHwy バスリクエストを発行するまでの時間		11lcyc+1Scyc				
応答時間	合計	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +8Bcyc +2Pcyc	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +4Pcyc	

lcyc : CPU 等に供給される内部クロックの 1 サイクル期間

Scyc : SHwy クロックの 1 サイクル期間

Bcyc : CLKOUT の 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

【注】 * INTMSK0、INTMSK1、INTMSK2、INT2MSKR は、それぞれ INTMSKCLR0、INTMSKCLR1、INTMSKCLR2、INT2MSKCLR レジスタへの書き込みにより、INTMSK0、INTMSK1、INTMSK2、INT2MSKR のマスクビットをクリアして、割り込みを許可します。表 10.15 中の優先順位判定時間は、INTMSK0、INTMSK1、INTMSK2、INT2MSKR の値が変更されてからの時間です。

割り込みの許可/禁止を設定するレジスタ INTMSK0、INTMSK1、INTMSK2、INT2MSKR、INT2GPIC の設定値を、割り込み許可状態から割り込み禁止状態に書き換えた場合に、INTC から CPU に対する割り込み要求信号が取り下げられるまでの時間を表 10.16 に示します。

表 10.16 割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み許可 割り込み禁止の場合)

項 目		ステート数				備 考
		IRL		IRQ	周辺モジュール	
		INTMSK1	INTMSK2	INTMSK0	INT2MSKR, INT2GPIC	
優先順位判定時間		1Pcyc	8Bcyc+2Pcyc*	1Pcyc	4Pcyc	

【注】 * すでに内部で保持された IRL 割り込み要因は、INTMSK2 でマスク設定しても、CPU に対する割り込み要求信号は取り下げられません。

10.7 使用上の注意事項

10.7.1 要因保持モード ICR0.LVLMODE が 0 の場合の、IRL 割り込みおよびレベル検出 IRQ 割り込みの処理ルーチン例

要因保持モード ICR0.LVLMODE が 0 の場合、INTC が保持している IRL 割り込み要求およびレベル検出 IRQ 割り込み要求は、CPU が割り込みを受け付けた後も検出を行うため、割り込み処理ルーチンでクリアする必要があります。また、IRQ 割り込み要求 (INTREQ) もクリアする必要があります。

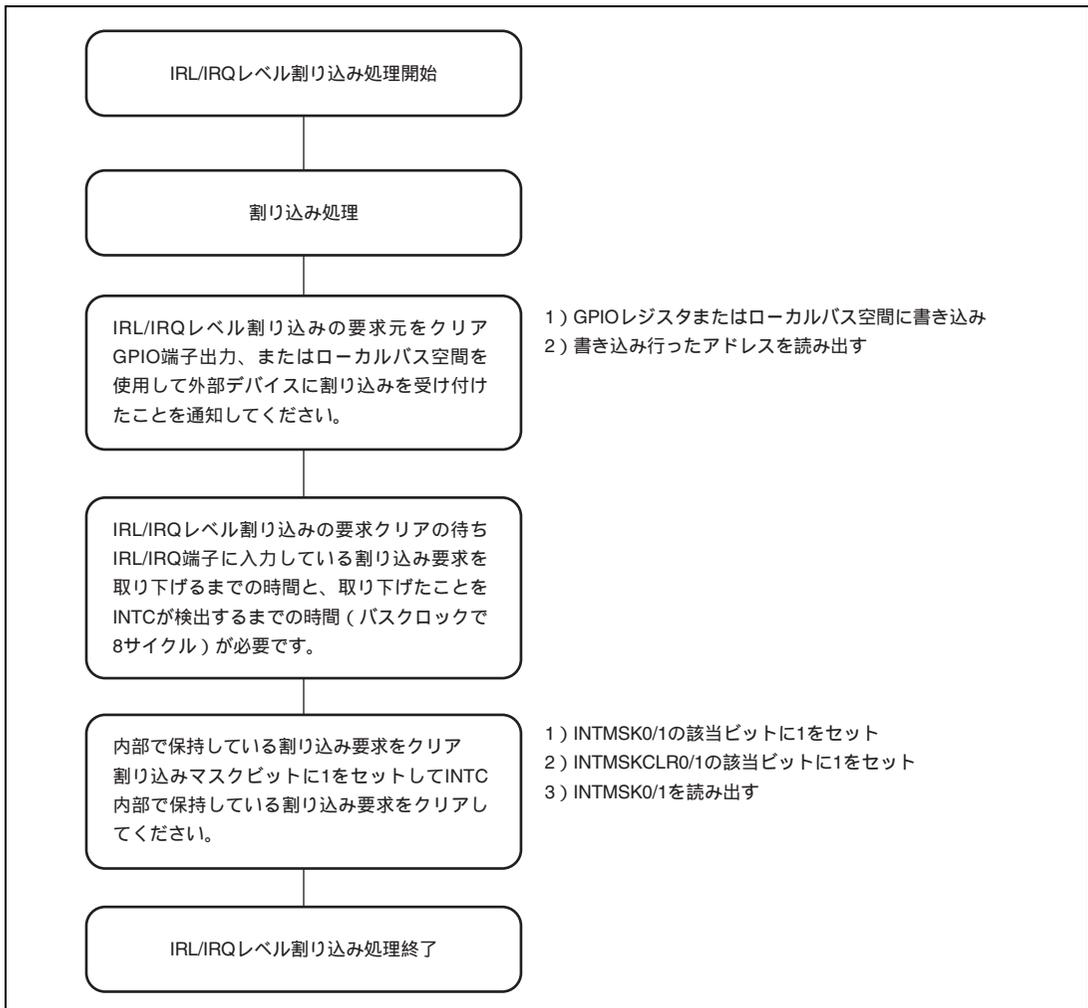


図 10.6 割り込み処理ルーチンの例

CPU が受け付けた IRL 割り込み要求およびレベル検出設定時の IRQ 割り込み要求を取り下げるために、割り込み処理ルーチン内で外部に通知する必要があります。たとえば、受け付けたレベルや端子を判別できるデータを

10. 割り込みコントローラ (INTC)

GPIO 端子に出力するか、ローカルバス空間上の特定のアドレスに書き込むことで外部のデバイスに通知することができます。その際、GPIO レジスタやローカルバス空間への書き込み、同じアドレスの読み出しは連続して行ってください。

また、INTC 内部で保持している割り込み要求をクリアするために INTC レジスタにデータを書き込んだ後には、割り込み要求クリアを CPU が検出するまでの待ち時間が必要です。この待ち時間を確保するために、INTMSK0/1 への書き込み、INTMSKCLR0/1 への書き込み、INTMSK0/1 の読み出しは連続して行ってください。

10.7.2 IRQ/IRL[7:0]端子機能設定時の注意事項

IRQ/IRL[7:0]端子機能切り替え時に、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRL 割り込み要求および IRQ 割り込み要求をマスク状態に設定してから、IRQ/IRL[7:0]端子機能切り替えを行ってください。

表 10.17 IRQ/IRL[7:0]端子機能切り替え手順

手順	項目	内容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1 のリザーブビット以外の全ビットに 1 を書き込む
2	IRQ/IRL[7:4]端子を IRL7~4 に設定	P1MSELR の PMSEL14 ビットに 0 を書き込む PLCR の PL4MD1 ビット、PL4MD0 ビット、PL3MD1 ビット、PL3MD0 ビット、PL2MD1 ビット、PL2MD0 ビット、PL1MD1 ビット、PL1MD0 ビットに 0 を書き込む
3	IRQ/IRL[7:0]端子を IRL または IRQ に設定	ICR0 の IRLM0 ビット、IRLM1 ビットを設定する
4	IRL 割り込み要求、IRQ 割り込み要求の検出を開始	INTMSKCLR0、INTMSKCLR1 の該当するビットに 1 を書き込む

10.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法

INTC で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない、割り込み要求のクリア方法

- エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ7~0 割り込み要求のクリアは、INTREQ の該当するビット IR7~IR0 から 1 を読み出した後、0 を書き込んでください。INTMSK0 で該当するビットに 1 を書き込んで、検出している IRQ 割り込み要求をクリアすることはできません。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する、割り込み要求のクリア方法

(a) 要因保持モード ICR0.LVLMODE が 0 の場合

- IRL 割り込み要求のクリア方法

IRQ/IRL[3:0]端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM10 ビットに 1 を、IRQ/IRL[7:4]端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM11 ビットに 1 を書き込んでください。INTMSK2 でレベルごとのマスクをしても、検出している IRL 割り込み要求をクリアすることはできません。

- レベル検出設定時の IRQ 割り込み要求のクリア方法

レベル検出設定をしているIRQ7~0割り込み要求のクリアは、INTMSK0の該当するビットIM07~IM00に1を書き込んでください。INTPRIで該当するビットに0を書き込んでも、検出しているIRQ割り込み要求をクリアすることはできません。検出しているIRQ割り込み要求 (CPUが割り込みを受け付けるとクリアします) はINTREQを読み出すことで確認できます。

- (b) 要因保持モード ICR0.LVLMODE が 1 の場合

レベル検出の IRQ 割り込み、および、IRL 割り込み要求を検出しても、INTC は割り込み要因の保持をしません。

10. 割り込みコントローラ (INTC)

11. ローカルバスステートコントローラ (LBSC)

ローカルバスステートコントローラ(LBSC)は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。LBSCの機能によって、SRAM、ROMなどを本LSIに接続することができ、PCMCIAインタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

11.1 特長

LBSCには、次のような特長があります。

- 7つに分割した外部メモリ空間のうち0~6を管理
 - エリア0~6までの各エリアは、最大64Mバイト
 - 各エリアのバス幅をレジスタにより設定可能(エリア0のみ、外部端子により設定)
 - $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - エリアごとに接続できるメモリの種類を指定
 - 各エリアに接続するメモリの制御信号を出力
 - 連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - 接続可能エリア：0~6
 - 設定可能バス幅：64、32、16、8ビット
- バーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のバースト転送動作
 - 接続可能エリア：0~6
 - 設定可能バス幅：64、32、16、8ビット
- MPXインタフェース
 - アドレス・データマルチプレクス
 - 接続可能エリア：0~6
 - 設定可能バス幅：64、32ビット

11. ローカルバスステートコントローラ (LBSC)

- バイト制御SRAMインタフェース
 - バイト制御可能なSRAMインタフェース
 - 接続可能エリア：1、4
 - 設定可能バス幅：64、32、16ビット
- PCMCIAインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - I/Oバス幅のバスサイジング機能
 - リトルエンディアンのみサポート
 - 接続可能エリア：5、6
 - 設定可能バス幅：16、8ビット
 - ATAデバイスアクセスのための機能

LBSC のブロック図を図 11.1 に示します。

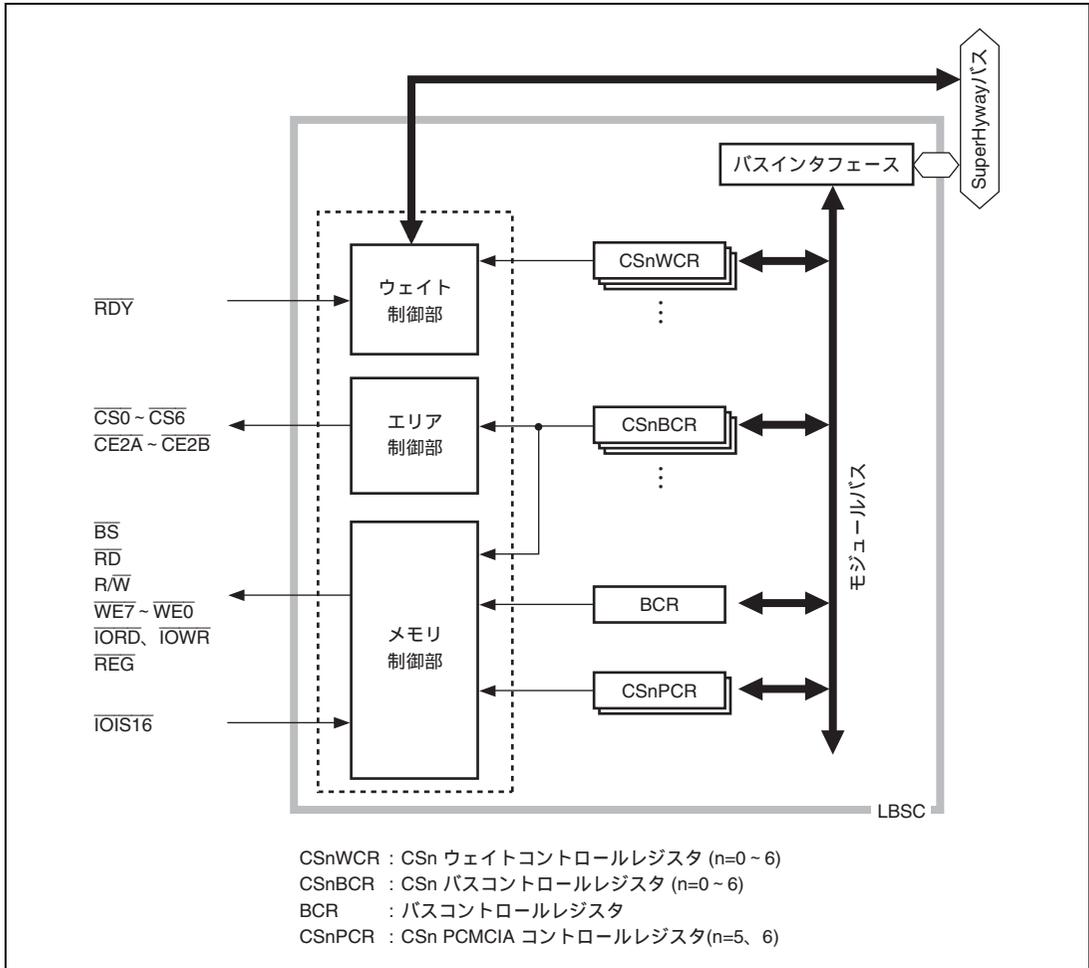


図 11.1 LBSC のブロック図

11. ローカルバスステートコントローラ (LBSC)

11.2 入出力端子

LBSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	機能	入出力	説明
A25 ~ A0	アドレスバス	出力	アドレス出力
D63 ~ D0	データバス	入出力	データ入出力 D63 ~ D56 端子は、PCI、DU、Port A7 ~ A0 (GPIO 入出力) と、 D55 ~ D48 端子は、PCI、DU、Port B7 ~ B0 (GPIO 入出力) と、 D47 ~ D40 端子は、PCI、DU、Port C7 ~ C0 (GPIO 入出力) と、 D39 ~ D32 端子は、PCI、DU、Port D7 ~ D0 (GPIO 入出力) と、 D31 ~ D24 端子は、Port F7 ~ F0 (GPIO 入出力) と、 D23 ~ D16 端子は、Port G7 ~ G0 (GPIO 入出力) と、 それぞれマルチプレクスされています。
BS	バスサイクル開始	出力	バスサイクルの開始を示す信号 MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
CS6 ~ CS0	チップセレクト 6 ~ 0	出力	アクセス中のエリアを示すチップセレクト信号 CS5、CS6 は、PCMCIA の CE1A、CE1B としても使用
R/W	リード/ライト	出力	データバスの入出力方向指示信号 PCMCIA インタフェースの書き込み指示信号としても使用
R \bar{D} / FRAME	リード/サイクルフ レーム	出力	リードサイクルを示すストロープ信号 MPX バス使用時、FRAME 信号
WE0/ REG	データイネーブル 0	出力	SRAM インタフェース設定時、D7 ~ D0 対応のライトストロープ信号 PCMCIA インタフェース設定時、REG 信号
WE1	データイネーブル 1	出力	SRAM インタフェース設定時、D15 ~ D8 対応のライトストロープ信号 PCMCIA インタフェース設定時、ライトストロープ信号
WE2/ IORD	データイネーブル 2	出力	SRAM インタフェース設定時、D23 ~ D16 対応のライトストロープ信号 PCMCIA インタフェース設定時、IORD 信号
WE3/ IOWR	データイネーブル 3	出力	SRAM インタフェース設定時、D31 ~ D24 対応のライトストロープ信号 PCMCIA インタフェース設定時、IOWR 信号
WE4	データイネーブル 4	出力	SRAM インタフェース設定時、D39 ~ D32 対応のライトストロープ信号 WE4 端子は、PCI/Port R0 (GPIO 入出力) に、マルチプレクスされています。
WE5	データイネーブル 5	出力	SRAM インタフェース設定時、D47 ~ D40 対応のライトストロープ信号 WE5 端子は、PCI/Port R1 (GPIO 入出力) に、マルチプレクスされています。
WE6	データイネーブル 6	出力	SRAM インタフェース設定時、D55 ~ D48 対応のライトストロープ信号 WE6 端子は、PCI/Port R2 (GPIO 入出力) に、マルチプレクスされています。

11. ローカルバスステートコントローラ (LBSC)

端子名	機能	入出力	説明
WE7	データインベールフ	出力	SRAM インタフェース設定時、D63 ~ D56 対応のライトストロープ信号 WE7 端子は、PCI/Port R3 (GPIO 入出力) に、マルチプレクスされています。
RDY	レディ	入力	ウェイトステート要求信号
IOIS16	16 ビット I/O	入力	PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効。 IOIS16 端子は、TCLK (TMU 入出力) および Port J0 (GPIO 入出力) 端子とマルチプレクスされています。
BREQ	バス解放要求	入力	バス解放の要求信号 BREQ 端子は、Port M1 (GPIO 入出力) 端子とマルチプレクスされています。
BACK	バス使用許可	出力	バス使用の許可信号 BACK 端子は、Port M0 (GPIO 入出力) 端子とマルチプレクスされています。
CE2A* ¹ CE2B* ²	PCMCIA カードセレクト	出力	PCMCIA 使用時、CE2A、CE2B リトルエンディアンモード時のみ有効。 CE2A 端子は、DRACK2 (DMAC 出力) および Port L5 (GPIO 出力) 端子と、 CE2B 端子は、MODE12、DRACK3 (DMAC 出力) および Port L0 (GPIO 出力) 端子と、それぞれマルチプレクスされています。
MODE5 MODE6 MODE7	エリア 0 バス幅、メモリ種	入力	PRESET 端子によるパワーオンリセット時、エリア 0 のバス幅、MPX インタフェース設定信号 MODE3 端子は IRL7 INTC 入力 および FD7 FLCTL 入出力 端子と、MODE4 端子は SCIF3_TXD (INTC 出力) および FCLE (FLCTL 出力) 端子と、それぞれマルチプレクスされています。
MODE8	エンディアン切り替え	入力	PRESET 端子によるパワーオンリセット時、エンディアン設定 MODE8 端子は、SCIF3_SCK (SCIF 入出力)、FD0 (FLCTL 入出力)、および Port N3 (GPIO 出力) 端子とマルチプレクスされています。
MODE9	マスタ/スレーブの切り替え	入力	PRESET 端子によるパワーオンリセット時、マスタ/スレーブを示す。 MODE5 端子は、SCIF4_TXD (SCIF 出力)、FD1 (FLCTL 入出力) および Port N2 (GPIO 出力) 端子とマルチプレクスされています。
MODE11 MODE12	バスモード切り替え	入力	ローカルバス、PCI バス、DU バスの切り替え設定 PRESET 端子によるパワーオンリセット時、D63 ~ D32、WE7 ~ WE4 のバスモードを切り替えます。 MODE11 端子は、SCIF4_SCK (SCIF 入出力)、FD3 (FLCTL 入出力) および Port N0 (GPIO 出力) 端子と、 MODE12 端子は、DRACK3 (DMAC0 出力)、CE2B (LBSC 出力) および Port L0 (GPIO 出力) 端子と、マルチプレクスされています。
DACK0* ³	DMAC0 アクノリッジ信号	出力	DMAC チャンネル 0 のデータアクノリッジ DACK0 端子は Port K1 (GPIO 入出力) 端子とマルチプレクスされています。
DACK1* ³	DMAC1 アクノリッジ信号	出力	DMAC チャンネル 1 のデータアクノリッジ DACK1 端子は Port K0 (GPIO 入出力) 端子とマルチプレクスされています。

11. ローカルバスステートコントローラ (LBSC)

端子名	機能	入出力	説明
$\overline{\text{DACK2}}^{*3}$	DMAC2 アクノリッジ信号	出力	DMAC チャンネル 2 のデータアクノリッジ $\overline{\text{DACK2}}$ 端子は Port K5 (GPIO 入出力) 端子とマルチプレクスされています。
$\overline{\text{DACK3}}^{*3}$	DMAC3 アクノリッジ信号	出力	DMAC チャンネル 3 のデータアクノリッジ $\overline{\text{DACK3}}$ 端子は Port K4 (GPIO 入出力) 端子とマルチプレクスされています。

- 【注】 *1 $\overline{\text{CE2A}}$ は CS5 バスコントロールレジスタ (CS5BCR) の TYPE ビットを B'100 としたときに出力となります。
- *2 $\overline{\text{CE2B}}$ は CS6 バスコントロールレジスタ (CS6BCR) の TYPE ビットを B'100 としたときに出力となります。
- *3 $\overline{\text{DACK0}} - \overline{\text{DACK3}}$ 端子は DMAC0 の CHCR0 ~ CHCR3 の AL ビットで極性選択可能 (初期値はローアクティブ)。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

11.3 エリアの概要

11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、ローカルバスのメモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、ローカルバスのアドレスのエリア分割について記述します。

本 LSI は、表 11.2 に示すように外部アドレスの 7 つのエリアに各々各種メモリ / PC カードを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$ に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$ をアサートします。

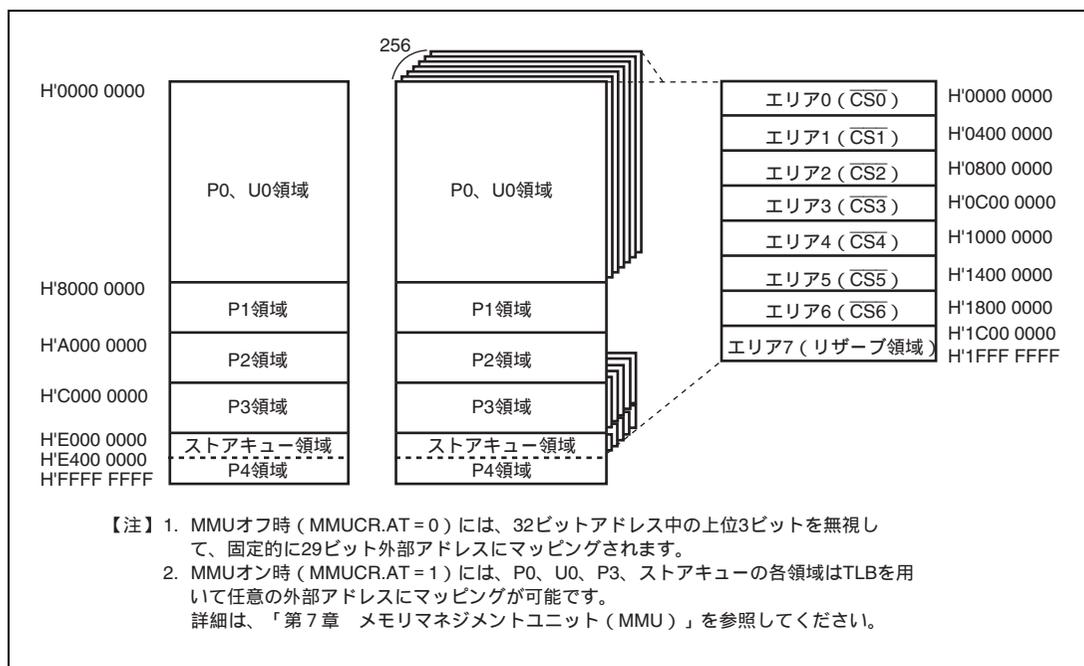


図 11.2 仮想アドレス空間とローカルバスメモリ空間の対応

11. ローカルバスステートコントローラ (LBSC)

表 11.2 ローカルバスメモリ空間マップ

エリア	ローカルバス アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセスサイズ ^{*7}
0	H'00000000 ~ H'03FFFFFF	64MB	SRAM	8,16,32,64 ^{*1}	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32,64 ^{*1}	
			MPX	32,64 ^{*1}	
1	H'04000000 ~ H'07FFFFFF	64MB	SRAM	8,16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32,64 ^{*2}	
			MPX	32,64 ^{*2}	
			バイト制御 SRAM	16,32,64 ^{*2}	
2	H'08000000 ~ H'0BFFFFFF	64MB	SRAM	8,16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32,64 ^{*2}	
			MPX	32,64 ^{*2}	
			(DDR2-SDRAM) ^{*3}	16,32	8、16、32 ビット、 32 バイト
3	H'0C000000 ~ H'0FFFFFFF	64MB	SRAM	8,16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32,64 ^{*2}	
			MPX	32,64 ^{*2}	
			(DDR2-SDRAM) ^{*3}	16,32	8、16、32 ビット、 32 バイト
4	H'10000000 ~ H'13FFFFFF	64MB	SRAM	8,16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32,64 ^{*2}	
			MPX	32,64 ^{*2}	
			バイト制御 SRAM	16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			(DDR2-SDRAM) ^{*3}	16,32	
			(PCI) ^{*4}	32	
5	H'14000000 ~ H'17FFFFFF	64MB	SRAM	8,16,32,64 ^{*2}	8、16、32 ビット、 32 バイト
			MPX	32,64 ^{*2}	
			バースト ROM	8,16,32,64 ^{*2}	
			PCMCIA	8,16 ^{*2,*5}	
			(DDR2-SDRAM) ^{*3}	16,32	8、16、32 ビット、 32 バイト

11. ローカルバスステートコントローラ (LBSC)

エリア	ローカルバス アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセスサイズ*7
6	H'18000000 ~ H'1BFFFFFF	64MB	SRAM	8、16、32、64*2	8、16、32 ビット、 32 バイト
			MPX	32、64*2	
			バースト ROM	8、16、32、64*2	
			PCMCIA	8、16*2*5	
7*6	H'1C000000 ~ H'1FFFFFFF	64MB	-	-	-

- 【注】 *1 外部端子でメモリバス幅を指定します。
 *2 レジスタでメモリバス幅を指定します。
 *3 該当エリアを、MMSELR の設定により、DDR2-SDRAM に割り当てることができます。詳細は「第 12 章 DDR2-SDRAM インタフェース」を参照してください。
 *4 該当エリアを、MMSELR の設定により、PCI に割り当てることができます。詳細は「第 13 章 PCI コントローラ」を参照してください。
 *5 PCMCIA インタフェース使用時は、バス幅は 8、16 ビットのいずれかのみです。
 *6 リザーブ領域にはアクセスしないでください。アクセスした場合、動作の保証はできません。
 *7 LBSC が 8、16 バイトのアクセスをバスマスタから要求された場合、アクセスサイズ 32 ビットとして、それぞれ 2 回、4 回のアクセスを行います。

エリア0:	H'0000 0000	SRAM / バーストROM / MPX	} PCMCIAインタフェースは、 メモリ//Oカード兼用
エリア1:	H'0400 0000	SRAM / バーストROM / MPX / バイト制御SRAM	
エリア2:	H'0800 0000	SRAM / バーストROM / MPX (DDR2-SDRAM)	
エリア3:	H'0C00 0000	SRAM / バーストROM / MPX (DDR2-SDRAM)	
エリア4:	H'1000 0000	SRAM / バーストROM / MPX / バイト制御SRAM (DDR2-SDRAM / PCI)	
エリア5: (前半) H'1400 0000 (後半) H'1600 0000		SRAM / バーストROM / MPX / PCMCIA (前半、後半) (DDR2-SDRAM)	
エリア6: (前半) H'1800 0000 (後半) H'1A00 0000		SRAM / バーストROM / MPX / PCMCIA (前半、後半)	

図 11.3 ローカルバスメモリ空間割り付け

11. ローカルバスステートコントローラ (LBSC)

11.3.2 メモリバス幅

LBSC のメモリバス幅は、空間ごとに設定できます。エリア 0 では、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に外部端子を用いてバスサイズを 8 ビット、16 ビット、32 ビット、64 ビットから選べます。パワーオンリセット時に外部端子 (MODE6、MODE5) とバス幅の関係は次のようになります。

MODE6	MODE5	バス幅
0	0	64 ビット
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット

【注】 64 ビットバスを使用する場合は、MODE12、MODE11 端子をそれぞれ 1、0 に設定してください。

また MODE12、MODE11 をそれぞれ 1、0 に設定することにより D63 ~ D32 と $\overline{\text{WE7}} \sim \overline{\text{WE4}}$ を LBSC で使用できます。64 ビットバスを使用する場合は MODE12、MODE11 端子をそれぞれ 1、0 に設定してください。MODE12、MODE11 とバスモード切り替え設定の関係は次のようになります。

MODE12	MODE11	バスモード (D63 ~ D32、 $\overline{\text{WE7}} \sim \overline{\text{WE4}}$)
0	0	PCI (ホスト)
0	1	PCI (ノーマル)
1	0	LBSC
1	1	DU

エリア 0 ~ 6 で SRAM インタフェース、ROM のいずれかを使用する場合は、CSn バスコントロールレジスタ (CSnBCR) によってバス幅を 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM を使用する場合、バス幅を 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バイト制御 SRAM インタフェースを使用する場合、バス幅を 16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを使用する場合、バス幅を 32 ビット、または 64 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「11.5.5 PCMCIA インタフェース」を参照してください。

メモリバス幅に関する詳細は、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。

エリア 7 のアドレスの範囲、H'1C00 0000 ~ H'1FFF FFFF は予約エリアですので使用しないでください。

11.3.3 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2(PCMCIA2.1) で定められた“ IC メモリカードインタフェース”と“ I/O カードインタフェース”です。

外部メモリ空間のエリア 5 と 6 では、“ IC メモリカードインタフェース”と“ I/O カードインタフェース”の両方をサポートします。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 11.3 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリタイプ	マスク ROM、OTEPROM、EPROM、EEPROM、フラッシュメモリ、SRAM、ATA デバイス
COMMONメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、ATA デバイスコントロールレジスタへのアクセス

表 11.4 PCMCIA サポートインタフェース

端子	IC メモリカードインタフェース			I/O カードインタフェース			SH7785 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	CS5 or CS6
8	A10	I	アドレス	A10	I	アドレス	A10
9	\overline{OE}	I	出カイネーブル	\overline{OE}	I	出カイネーブル	RD
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	\overline{WE}	I	ライトイネーブル	\overline{WE}	I	ライトイネーブル	$\overline{WE1}$
16	\overline{READY}	O	レディ	\overline{IREQ}	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-

11. ローカルバスステートコントローラ (LBSC)

端子	IC メモリカードインタフェース			I/O カードインタフェース			SH7785 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
18	VPP1 (VPP)		プログラム電源	VPP1 (VPP)		プログラム/ペリフェラル用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	\overline{WP}^{*1}	O	ライトプロテクト	$\overline{IOIS16}$	O	16ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{CD1}$	O	カード検出	$\overline{CD1}$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2}$	I	カードイネーブル	CE2A または CE2B
43	RFSH (\overline{VST})	I	リフレッシュ要求	RFSH (\overline{VST})	I	リフレッシュ要求	ポートから出力
44	RSRVD		リザーブ	\overline{IORD}	I	I/O リード	\overline{IORD}
45	RSRVD		リザーブ	\overline{IOWR}	I	I/O ライト	\overline{IOWR}
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-

11. ローカルバスステートコントローラ (LBSC)

端子	IC メモリカードインタフェース			I/O カードインタフェース			SH7785 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
52	VPP2 (VPP)		プログラム電源	VPP2 (VPP)		プログラム / ペリフェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RSRVD		リザーブ	RSRVD		リザーブ	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	\overline{RDY}^{*2}
60	RSRVD		リザーブ	INPACK	O	入力応答	-
61	\overline{REG}	I	アトリビュートメモリ空間セレクト	\overline{REG}	I	アトリビュートメモリ空間セレクト	\overline{REG}
62	BVD2	O	電池電圧検出	\overline{SPKR}	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	STSCHG	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{CD2}$	O	カード検出	$\overline{CD2}$	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	-

【注】 *1 \overline{WP} はサポートしていません。

*2 極性に注意してください。

「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、SH7785 対応端子は本 LSI 側での極性を示します。

11. ローカルバスステートコントローラ (LBSC)

11.4 レジスタの説明

LBSC には表 11.5 に示すレジスタがあります。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

表 11.5 レジスタ構成 (1)

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*	同期 クロック
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FC40 0020	H'1C40 0020	32	SHck
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	H'1F80 1000	32	Bck
CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	H'1F80 2000	32	Bck
CS1 バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	H'1F80 2010	32	Bck
CS2 バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	H'1F80 2020	32	Bck
CS3 バスコントロールレジスタ	CS3BCR	R/W	H'FF80 2030	H'1F80 2030	32	Bck
CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	H'1F80 2040	32	Bck
CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	H'1F80 2050	32	Bck
CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	H'1F80 2060	32	Bck
CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	H'1F80 2008	32	Bck
CS1 ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	H'1F80 2018	32	Bck
CS2 ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	H'1F80 2028	32	Bck
CS3 ウェイトコントロールレジスタ	CS3WCR	R/W	H'FF80 2038	H'1F80 2038	32	Bck
CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	H'1F80 2048	32	Bck
CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	H'1F80 2058	32	Bck
CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	H'1F80 2068	32	Bck
CS5PCMCIA コントロールレジスタ	CS5PCR	R/W	H'FF80 2070	H'1F80 2070	32	Bck
CS6PCMCIA コントロールレジスタ	CS6PCR	R/W	H'FF80 2080	H'1F80 2080	32	Bck

【注】 * 指定アクセスサイズ以外でのアクセスは行わないでください。

11. ローカルバスステートコントローラ (LBSC)

表 11.5 レジスタ構成 (2)

名 称	略 称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ SLEEP 命令 による	ディープ スリープ SLEEP 命令 による (DSLIP=1)
メモリアドレスマップ選択レジスタ	MMSELR	H'0000 0000	H'0000 0000	保持	保持
バスコントロールレジスタ	BCR	H'x000 0000	保持	保持	保持
CS0 バスコントロールレジスタ	CS0BCR	H'7777 77F0	保持	保持	保持
CS1 バスコントロールレジスタ	CS1BCR	H'7777 77F0	保持	保持	保持
CS2 バスコントロールレジスタ	CS2BCR	H'7777 77F0	保持	保持	保持
CS3 バスコントロールレジスタ	CS3BCR	H'7777 77F0	保持	保持	保持
CS4 バスコントロールレジスタ	CS4BCR	H'7777 77F0	保持	保持	保持
CS5 バスコントロールレジスタ	CS5BCR	H'7777 77F0	保持	保持	保持
CS6 バスコントロールレジスタ	CS6BCR	H'7777 77F0	保持	保持	保持
CS0 ウェイトコントロールレジスタ	CS0WCR	H'7777 770F	保持	保持	保持
CS1 ウェイトコントロールレジスタ	CS1WCR	H'7777 770F	保持	保持	保持
CS2 ウェイトコントロールレジスタ	CS2WCR	H'7777 770F	保持	保持	保持
CS3 ウェイトコントロールレジスタ	CS3WCR	H'7777 770F	保持	保持	保持
CS4 ウェイトコントロールレジスタ	CS4WCR	H'7777 770F	保持	保持	保持
CS5 ウェイトコントロールレジスタ	CS5WCR	H'7777 770F	保持	保持	保持
CS6 ウェイトコントロールレジスタ	CS6WCR	H'7777 770F	保持	保持	保持
CS5PCMCIA コントロールレジスタ	CS5PCR	H'7700 0000	保持	保持	保持
CS6PCMCIA コントロールレジスタ	CS6PCR	H'7700 0000	保持	保持	保持

11. ローカルバスステートコントローラ (LBSC)

11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)

メモリアドレスマップ選択レジスタ (MMSELR) は 32 ビット幅のレジスタで、エリア 2 からエリア 5 の空間について、メモリアドレスマップの選択を行います。本レジスタへのアクセスは、アドレス H'FC40 0020 に対して行ってください。また、書き込み、読み出しとも、ロングワードで行ってください。書き込みは、誤書き込みを防ぐため、上位ワードが H'A5A5 の場合のみ受け付けられます。読み出しする場合、上位 29 ビットは 0 が読み出されます。本レジスタは、パワーオンリセット、およびマニュアルリセットで H'0000 0000 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	書き込みコード (H'A5A5)															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AREASEL															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	(書き込みコード)	すべて 0	R/W	リザーブビット 本レジスタの AREASEL (ビット 2~0) に書き込むときのみ H'A5A5 に設定してください (書き込んでください)。 読み出しは 0 が読み出されます。
15~3	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
2~0	AREASEL	000	R/W	DDR2-SDRAM/PCI メモリ空間選択 000: エリア 3 (H'0C00 0000 ~ H'0FFF FFFF) を DDR2-SDRAM 空間とし、他エリアをローカルバス空間とする。 001: エリア 3 (H'0C00 0000 ~ H'0FFF FFFF) を DDR2-SDRAM 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI 空間とし、他エリアをローカルバス空間とする。 010: エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDR2-SDRAM 空間とし、他エリアをローカルバス空間とする。 011: エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDR2-SDRAM 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI 空間とし、他エリアをローカルバス空間とする。 100: エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) を DDR2-SDRAM 空間とする 101: エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) をローカルバス空間とする 110: エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI 空間とし、他エリアをローカルバス空間とする。 111: 設定禁止

本レジスタへの書き込みは必ず CPU により行ってください。本レジスタに書き込みを行うときには、DMAC、GDTA、DU および PCIC からのアクセスが発生しないように設定した上で、本レジスタへの書き込みを行う MOV 命令の直前に SYNCO 命令を置くなどし、未処理のアクセスがないようにしてから書き込みを行ってください。

また、本レジスタへの書き込みを行う MOV 命令の直後に、

本レジスタを読み出す MOV 命令

本レジスタを読み出す MOV 命令

SYNCO 命令

を置いてください。

例)

```
.....  
MOV.L   #H'FC400020, R0  
MOV.L   #MMSELR_DATA, R1 ; MMSELR_DATA = 本レジスタへの書き込み値 (上位ワード= H'A5A5)  
SYNCO  
MOV.L   R1, @R0          ; 本レジスタへの書き込み  
MOV.L   @R0, R2  
MOV.L   @R0, R2  
SYNCO  
.....
```

本レジスタに書き込みを行う命令は、キャッシング不可の P2 領域で、かつ本レジスタ書き換えによる影響のない領域に配置してください。

また、本レジスタへの書き込みは、命令キャッシュ、オペランドキャッシュおよび MMU によるアドレス変換を有効にする前に、それ以降はパワーオンリセットまたはマニュアルリセットを行うまで書き換えしないでください。

11. ローカルバスステートコントローラ (LBSC)

11.4.2 バスコントロールレジスタ (BCR)

バスコントロールレジスタ (BCR) は、各エリアの機能、バスサイクルの状態などを指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

BCR レジスタは、パワーオンリセットで、ビッグエンディアン時には H'0000 0000、リトルエンディアン時には H'8000 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	END IAN	MAS TER	—	—	—	DPUP	—	OPUP	DACKBST[3:0]			—	—	BREQ EN	DMA BST	
初期値 :	x*	x*	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	HIZ CNT	—	—	—	—	—	—	ASYNC[6:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ビット 31 (ENDIAN ビット) とビット 30 (MASTER ビット) の初期値は外部端子 (MODE8、MODE9) の設定によります。

ビット	ビット名	初期値	R/W	説 明
31	ENDIAN	x	R	エンディアンフラグ PRESET 端子によるパワーオンリセット時に、エンディアン指定の外部端子 (MODE8) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。 0: パワーオンリセット時に、エンディアン設定外部端子 (MODE8) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。 1: パワーオンリセット時に、エンディアン設定外部端子 (MODE8) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。
30	MASTER	x	R	マスタ/スレーブフラグ PRESET 端子によるパワーオンリセット時に、マスタ/スレーブ指定の外部端 (MODE9) の値をサンプリングします。全空間のマスタ/スレーブはこのビットで決定されます。 0: パワーオンリセット時に、マスタ/スレーブ設定外部端子 (MODE9) がハイレベルであり、本 LSI がマスタとして設定されたことを示します。 1: パワーオンリセット時に、マスタ/スレーブ設定外部端子 (MODE9) がローレベルであり、本 LSI がスレーブとして設定されたことを示します。
29~27	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
26	DPUP	0	R/W	<p>データ端子プルアップ抵抗制御</p> <p>データ端子 (D63~D0) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はプルアップされません。</p> <p>0: データ端子 (D63~D0) のプルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。*</p> <p>1: データ端子 (D63~D0) のプルアップ抵抗は、オフ。</p> <p>【注】 * データ端子のプルアップが必要な場合、プルアップ抵抗を外付けすることを推奨します。</p>
25	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
24	OPUP	0	R/W	<p>コントロール出力端子プルアップ抵抗制御</p> <p>コントロール出力端子 (A [25:0]、BS、CS\bar{n}、RD、WEn、R/W、CE2A、CE2B) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0: コントロール出力端子 (A [25:0]、BS、CS\bar{n}、RD、WEn、R/W、CE2A、CE2B) のプルアップ抵抗は、オン。</p> <p>1: コントロール出力端子 (A [25:0]、BS、CS\bar{n}、RD、WEn、R/W、CE2A、CE2B) のプルアップ抵抗は、オフ。</p>
23~20	DACKBST [3:0]	0000	R/W	<p>DACKBST3~0</p> <p>0: \overline{DACKn} 端子をバスサイクルに同期してアサートします (n=0~3)。</p> <p>1: DMA 転送がバーストモードのとき、転送開始から終了まで、対応する \overline{DACKn} 端子をアサートし続けます。</p> <p>対応する DMA 転送チャネルの DACK 出力エリアのメモリ種が PCMCIA インタフェースに設定時のみ 1 にセット可能です。それ以外の場合は 0 にクリアしてください。</p> <p>各ビットに対応する端子は以下のとおりです。</p> <p>DACKBST [3]: $\overline{DACK3}$</p> <p>DACKBST [2]: $\overline{DACK2}$</p> <p>DACKBST [1]: $\overline{DACK1}$</p> <p>DACKBST [0]: $\overline{DACK0}$</p>
19、18	-	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
17	BREQEN	0	R/W	<p>\overline{BREQ} イネーブル</p> <p>外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けない状態に初期化されます。また、スレープモードで LSI を起動した場合、BREQEN の値にかかわらず、外部リクエストを受け付けます。</p> <p>0: 外部リクエストを受け付けません。</p> <p>1: 外部リクエストを受け付けます。</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
16	DMABST	0	R/W	DMAC バーストモード転送優先指定 DMAC チャンネル 0~5 によるバーストモード転送の優先度を指定します。オフの設定の場合、優先度はバス権解放、DMAC (バーストモード)、CPU、DMAC、PCIC となり、オンの設定の場合、DMAC のバースト転送が終了するまでバス権の解放は実行されなくなります。このビットは、パワーオンリセット時に初期化されます。 0 : DMAC バーストモード転送優先指定オフ 1 : DMAC バーストモード転送優先指定オン
15	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
14	HIZCNT	0	R/W	ハイインピーダンス (High-Z) コントロール \overline{WE}_n 、 $\overline{RD}/\overline{FRAME}$ 信号のバス権解放時の状態を指定します。 0 : \overline{WE}_n 、 $\overline{RD}/\overline{FRAME}$ 信号はバス権解放時、ハイインピーダンス。 1 : \overline{WE}_n 、 $\overline{RD}/\overline{FRAME}$ 信号をバス権解放時ドライブ。
13~7	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
6~0	ASYNC [6:0]	000000	R/W	非同期入力 対応する端子の非同期入力を可能にします。 0 : 対応する端子は CLKOUT に対する同期入力。 1 : 対応する端子は CLKOUT に対して非同期入力。 ASYNC [6] : $\overline{DREQ3}$ ASYNC [5] : $\overline{DREQ2}$ ASYNC [4] : $\overline{DREQ1}$ ASYNC [3] : $\overline{DREQ0}$ ASYNC [2] : $\overline{IOIS16}$ ASYNC [1] : \overline{BREQ} ASYNC [0] : \overline{RDY}

非同期入力設定 (ASYNC_n=1) にした場合、サンプリングタイミングは、同期入力設定 (ASYNC_n=0) *時の 1 サイクル前になります (図 11.4 参照)。

本章および、「第 32 章 電気的特性」に示されているタイミングはすべて同期入力設定時 (ASYNC_n=0) のものとなっています。

【注】 * 同期入力の設定では、必ずセットアップホールド時間を満たしてください。

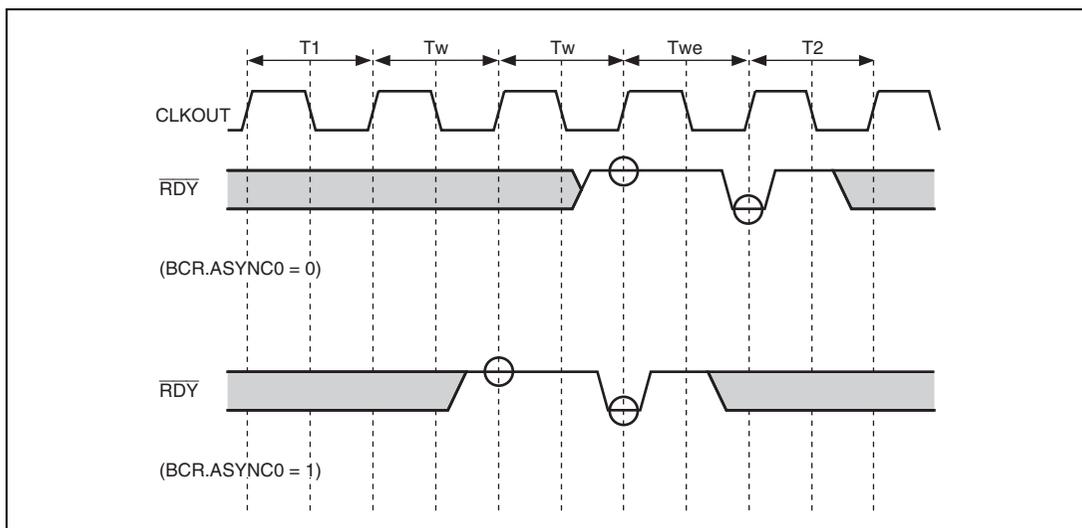


図 11.4 BCR.ASYNCn の設定による RDY サンプルングタイミング例
 (CSnWCR により 2 サイクルウェイトが挿入されています。)

11. ローカルバスステートコントローラ (LBSC)

11.4.3 CSn バスコントロールレジスタ (CSnBCR)

CSn バスコントロールレジスタ (CSnBCR) は、エリア n (n=0~6) のバス幅、サイクル間アイドル、パーストROM の設定、メモリタイプを指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、CSnBCR レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。サイクル間アイドル中は \overline{CSn} 、 \overline{RD} 、 $\overline{WE_n}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{BS} 、 R/\overline{W} はハイレベル状態、データは非ドライブ状態になります。

CSnBCR レジスタは、パワーオンリセットで H'7777 77F0 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW			—	IWRWD			—	IWRWS			—	IWRRD		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IWRRS			BST		SZ*		RDSPL	BW			MPX*		TYPE	
初期値 :	0	1	1	1	0	1	1	1	1	1	1	1	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

【注】 * CS0BCR の SZ、MPX はリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
30~28	IWW	111	R/W	ライト-リード/ライト-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
27	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
26~24	IWRWD	111	R/W	別空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
23	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
22~20	IWRWS	111	R/W	同一空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
19	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
18 ~ 16	IWRRD	111	R/W	別空間リード-リードサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
15	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込み値は常に0にしてください。
14 ~ 12	IWRRS	111	R/W	同一空間リード-リードサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
11, 10	BST	01	R/W	バースト回数 バースト ROM インタフェースを使用する場合の、バースト回数を指定します。MPX インタフェースには影響しません。 00 : 4 連続アクセス (バス幅 8、16、32、64 ビット時、いずれでも使用可) 01 : 8 連続アクセス (バス幅 8、16、32 ビット時のみ使用可) 10 : 16 連続アクセス (バス幅 8、16 ビット時のみ使用可) 11 : 32 連続アクセス (バス幅 8 ビット時のみ使用可)

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
9, 8	SZ	11	R/W*	<p>バス幅</p> <p>CS0BCR ではパワーオンリセット時に、バスサイズを指定する外部端子 (MODE5、MODE6) をサンプリングします。MPX インタフェース使用時は 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM インタフェース使用時は 16 ビット、32 ビットまたは 64 ビットに設定してください。</p> <p>00 : 64 ビット (MODE12、MODE11 端子をそれぞれ 1、0 に設定しておく必要があります。)</p> <p>01 : 8 ビット</p> <p>10 : 16 ビット</p> <p>11 : 32 ビット</p> <p>【注】* CS0BCR の SZ ビットはリードのみ可能です。</p> <p>また、MODE7 端子でエリア 0 を MPX インタフェースに設定した場合、CS0BCR の SZ ビットは 00 か 11 に設定してください。</p>
7	RDSPL	1	R/W	<p>\overline{RD} ホールドサイクル</p> <p>\overline{RD} のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを 1 に設定するときは、CS nWCR の RDH ビットで設定する \overline{RD} ネゲート - CSn ネゲート遅延サイクルを 1 以上に設定してください。またこのビットを 1 に設定することにより、\overline{RD} ネゲート - CSn ネゲート遅延サイクルは 1 サイクル減ります。[SRAM インタフェース / バースト ROM インタフェース / バイト制御 SRAM インタフェース設定時のみ有効]</p> <p>0 : なし</p> <p>1 : 1 サイクル挿入</p>
6~4	BW	111	R/W	<p>バーストピッチ</p> <p>バースト ROM インタフェースを使用時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイト数を指定します。</p> <p>000 : 挿入ウェイトステートなし、\overline{RDY} 端子無視</p> <p>001 : 1 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>010 : 2 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>011 : 3 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>100 : 4 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>101 : 5 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>110 : 6 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p> <p>111 : 7 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
3	MPX	0	R/W*	<p>MPX インタフェース指定</p> <p>MPX インタフェースタイプを指定します。</p> <p>0 : TYPE2 ~ TYPE0 ビットで指定するメモリタイプが選択されます</p> <p>1 : MPX インタフェースが指定されます</p> <p>【注】* CS0BCR の MPX はリードのみ可能です。</p>
2~0	TYPE	000	R/W	<p>メモリタイプ指定</p> <p>空間に接続するメモリのタイプを指定します。</p> <p>000 : SRAM (初期値)</p> <p>001 : バイト制御 SRAM*¹</p> <p>010 : バースト ROM (リード時バースト、ライト時 SRAM)</p> <p>011 : リザーブ (設定禁止)</p> <p>100 : PCMCIA*²</p> <p>101 : リザーブ (設定禁止)</p> <p>110 : リザーブ (設定禁止)</p> <p>111 : リザーブ (設定禁止)</p> <p>【注】*¹ CS1BCR、CS4BCR のみ設定可能。</p> <p>*² CS5BCR、CS6BCR のみ設定可能。</p>

11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)

CSn ウェイトコントロールレジスタ (CSnWCR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、エリア n (n=0~6) の挿入ウェイトステート数、バーストメモリアクセスを行う場合の第 1 データの挿入ウェイトステート数、アドレスから読み出し / 書き込みストロープのアサートまでのセットアップ時間、書き込みストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。

CSnWCR レジスタは、パワーオンリセットで H'7777 770F に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ADS			—	ADH			—	RDS			—	RDH		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WTS			—	WTH			—	BSH			IW[3:0]			
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W :	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
30~28	ADS	111	R/W	アドレスセットアップサイクル アドレスの \overline{CSn} アサートに対するセットアップ時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入
27	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
26~24	ADH	111	R/W	<p>アドレスホールドサイクル</p> <p>アドレスの \overline{CSn} ネゲートに対するホールド時間に挿入されるサイクル数を指定します。[SRAM インタフェース/バイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
23	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
22~20	RDS	111	R/W	<p>\overline{CSn} アサート - \overline{RD} アサート遅延サイクル</p> <p>\overline{CSn} アサートから \overline{RD} アサートに挿入されるサイクル数を指定します。[SRAM インタフェース/バイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし (1 サイクル遅延) 001 : 1 サイクル挿入 (2 サイクル遅延) 010 : 2 サイクル挿入 (3 サイクル遅延) 011 : 3 サイクル挿入 (4 サイクル遅延) 100 : 4 サイクル挿入 (5 サイクル遅延) 101 : 5 サイクル挿入 (6 サイクル遅延) 110 : 6 サイクル挿入 (7 サイクル遅延) 111 : 7 サイクル挿入 (8 サイクル遅延)</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
18~16	RDH	111	R/W	\overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクル \overline{RD} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します。 [SRAM インタフェース / バイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし (0 サイクル遅延) 001 : 1 サイクル挿入 (1 サイクル遅延) 010 : 2 サイクル挿入 (2 サイクル遅延) 011 : 3 サイクル挿入 (3 サイクル遅延) 100 : 4 サイクル挿入 (4 サイクル遅延) 101 : 5 サイクル挿入 (5 サイクル遅延) 110 : 6 サイクル挿入 (6 サイクル遅延) 111 : 7 サイクル挿入 (7 サイクル遅延)
15	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
14~12	WTS	111	R/W	\overline{CSn} アサート - \overline{WEn} アサート遅延サイクル \overline{CSn} アサートから \overline{WEn} アサートに挿入されるサイクル数を指定します。 [SRAM インタフェース / バイト制御 SRAM インタフェースおよびパースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)
11	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
10~8	WTH	111	R/W	<p>\overline{WE}_n ネゲート - \overline{CS}_n ネゲート遅延サイクル</p> <p>\overline{WE}_n ネゲートから \overline{CS}_n ネゲートに挿入されるサイクル数を指定します。 [SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
6~4	BSH	000	R/W	<p>\overline{BS} ホールドサイクル</p> <p>\overline{BS} のアサート時間を延長するために挿入されるサイクル数を指定します。延長は、リード時 CS_nWCR の RDS、ライト時 CS_nWCR の WTS が 000 以外に設定されているとき有効です。また、このビットの設定により、アクセスの総サイクル数は変わりません。</p> <p>000 : \overline{BS} アサートは 1 サイクル 001 : \overline{BS} アサートは 2 サイクル 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説 明
3~0	IW [3:0]	1111	R/W	<p>挿入ウェイトサイクル</p> <p>挿入ウェイトサイクル数を指定します。SRAM インタフェース/バイト制御 SRAM インタフェース/バースト ROM インタフェース(第 1 データのみ)および PCMCIA インタフェースのときは以下の挿入ウェイトサイクルになります。\overline{RDY} 端子による外部ウェイト挿入はサイクル挿入なしのときにはできません。</p> <p>0000 : サイクル挿入なし 0001 : 1 サイクル挿入 0010 : 2 サイクル挿入 0011 : 3 サイクル挿入 0100 : 4 サイクル挿入 0101 : 5 サイクル挿入 0110 : 6 サイクル挿入 0111 : 7 サイクル挿入 1000 : 8 サイクル挿入 1001 : 9 サイクル挿入 1010 : 11 サイクル挿入 1011 : 13 サイクル挿入 1100 : 15 サイクル挿入 1101 : 17 サイクル挿入 1110 : 21 サイクル挿入 1111 : 25 サイクル挿入</p> <p>MPX インタフェース設定時には IW [2:0]の設定により、以下の挿入ウェイトサイクルになります。このとき、IW [3]の設定は無効になります。また、どの設定においても \overline{RDY} 端子による外部ウェイト挿入が可能です。</p> <p>IW [2]による第 2 データ以降の挿入ウェイトサイクル 0 : 0 サイクル挿入 1 : 1 サイクル挿入</p> <p>IW [1:0]による第 1 データの挿入ウェイトサイクル 00 : リード時 1 サイクル、ライト時 0 サイクル挿入 01 : リード時 1 サイクル、ライト時 1 サイクル挿入 10 : リード時 2 サイクル、ライト時 2 サイクル挿入 11 : リード時 3 サイクル、ライト時 3 サイクル挿入</p>

11. ローカルバスステートコントローラ (LBSC)

11.4.5 CSnPCMCIA コントロールレジスタ (CSnPCR)

CSn PCMCIA コントロールレジスタ (CSnPCR, n=5,6)は、読み出し / 書き込み可能な 32 ビットのレジスタで、CS5PCR はエリア 5、CS6PCR はエリア 6 に接続する PCMCIA インタフェースに対するタイミングコントロール、空間属性、 \overline{OE} 、 \overline{WE} 信号のアサート / ネゲートタイミングを指定します。また、CSnPCR はエリア 5、6 の前半と後半で別々に設定できます。エリア 5 の前半はローカルバスアドレスで H'1400 0000 ~ H'15FF FFFF、エリア 5 の後半は H'1600 0000 ~ H'17FF FFFF、エリア 6 の前半は H'1800 0000 ~ H'19FF FFFF、エリア 6 の後半は H'1A00 0000 ~ H'1BFF FFFF を示します。なお、エリア 5、6 の前半の \overline{OE} 、 \overline{WE} 信号のアサート幅は、CSnWCR の IW ビットで設定します。

CSnPCR レジスタは、パワーオンリセットで H'7700 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SAA			—	SAB			PCWA		PCWB		PCIW			
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TEDA			—	TEDB			—	TEHA		—	TEHB			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
30 ~ 28	SAA	111	R/W	空間属性 A エリアの前半に接続する PCMCIA の空間属性を設定します。 000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ
27	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
26~24	SAB	111	R/W	<p>空間属性 B</p> <p>エリアの後半に接続する PCMCIA の空間属性を設定します。</p> <p>000 : ATA 補完モード</p> <p>001 : ダイナミック I/O バスサイジング</p> <p>010 : 8 ビット I/O 空間</p> <p>011 : 16 ビット I/O 空間</p> <p>100 : 8 ビット共有メモリ</p> <p>101 : 16 ビット共有メモリ</p> <p>110 : 8 ビットアトリビュートメモリ</p> <p>111 : 16 ビットアトリビュートメモリ</p>
23、22	PCWA	00	R/W	<p>PCMCIA ウェイト A</p> <p>低速な PCMCIA 用ウェイトサイクルで、CSnWCR の IW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし</p> <p>01 : 15 ウェイトサイクル挿入</p> <p>10 : 30 ウェイトサイクル挿入</p> <p>11 : 50 ウェイトサイクル挿入</p>
21、20	PCWB	00	R/W	<p>PCMCIA ウェイト B</p> <p>低速な PCMCIA 用ウェイトサイクルで、PCIW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし</p> <p>01 : 15 ウェイトサイクル挿入</p> <p>10 : 30 ウェイトサイクル挿入</p> <p>11 : 50 ウェイトサイクル挿入</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
19~16	PCIW	0000	R/W	<p>PCMCIA 挿入ウェイトサイクル B</p> <p>挿入ウェイトサイクル数を指定します。PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。エリアの前半のときは CSnWCR の IW ビットの設定が適用されます。</p> <p>0000 : サイクル挿入なし 0001 : 1 サイクル挿入 0010 : 2 サイクル挿入 0011 : 3 サイクル挿入 0100 : 4 サイクル挿入 0101 : 5 サイクル挿入 0110 : 6 サイクル挿入 0111 : 7 サイクル挿入 1000 : 8 サイクル挿入 1001 : 9 サイクル挿入 1010 : 11 サイクル挿入 1011 : 13 サイクル挿入 1100 : 15 サイクル挿入 1101 : 17 サイクル挿入 1110 : 21 サイクル挿入 1111 : 25 サイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
14~12	TEDA	000	R/W	<p>OE/WE アサート遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、アドレス出力から、OE/WE アサートまでの遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
10~8	TEDB	000	R/W	<p>$\overline{OE}/\overline{WE}$ アサート遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、アドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
6~4	TEHA	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネゲート - アドレス遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
2~0	TEHB	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネゲート - アドレス遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、$\overline{OE}/\overline{WE}$ ネゲートからのアドレスホールド遅延時間を設定します。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 6 サイクル挿入 101 : 9 サイクル挿入 110 : 12 サイクル挿入 111 : 15 サイクル挿入</p>

11.5 動作説明

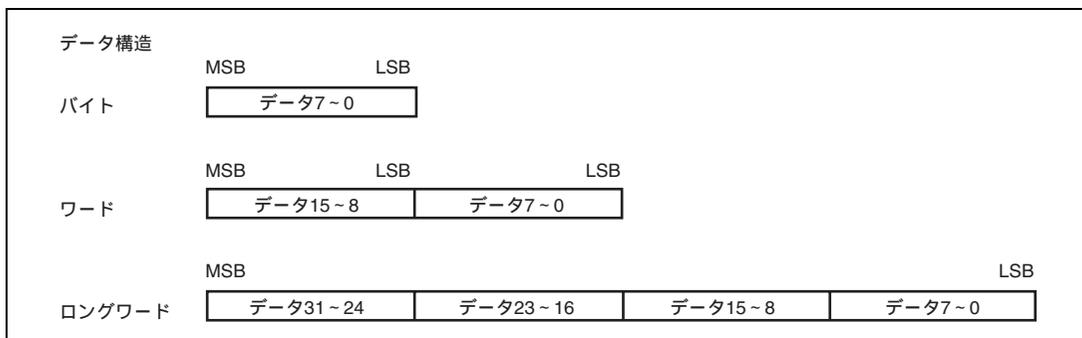
11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MODE8 端子) で $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MODE8 端子がローレベルのときビッグエンディアンになり、MODE8 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット、64 ビット幅の 4 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。たとえば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

8、16 バイト転送時は、それぞれ 4 バイト 2 回、4 バイト 4 回としてアクセスを行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.6 ~ 表 11.13 に示します。



11. ローカルバスステートコントローラ (LBSC)

表 11.6 (1) 64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス							
アクセス サイズ	アドレス		D63 ~ D56	D55 ~ D48	D47 ~ D40	D39 ~ D32	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
バイト	8n	1	データ 7~0	-	-	-	-	-	-	-
	8n+1	1	-	データ 7~0	-	-	-	-	-	-
	8n+2	1	-	-	データ 7~0	-	-	-	-	-
	8n+3	1	-	-	-	データ 7~0	-	-	-	-
	8n+4	1	-	-	-	-	データ 7~0	-	-	-
	8n+5	1	-	-	-	-	-	データ 7~0	-	-
	8n+6	1	-	-	-	-	-	-	データ 7~0	-
	8n+7	1	-	-	-	-	-	-	-	データ 7~0
ワード	8n	1	データ 15~8	データ 7~0	-	-	-	-	-	-
	8n+2	1	-	-	データ 15~8	データ 7~0	-	-	-	-
	8n+4	1	-	-	-	-	データ 15~8	データ 7~0	-	-
	8n+6	1	-	-	-	-	-	-	データ 15~8	データ 7~0
ロング ワード	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	-	-	-	-
	8n+4	1	-	-	-	-	データ 31~24	データ 23~16	データ 15~8	データ 7~0
32 バイト*	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	8n+8	2	データ 127~ 120	データ 119~ 112	データ 111~ 104	データ 103~96	データ 95~88	データ 87~80	データ 79~72	データ 71~64
	8n+16	3	データ 191~ 184	データ 183~ 176	データ 175~ 168	データ 167~ 160	データ 159~ 152	データ 151~ 144	データ 143~ 136	データ 135~ 128

11. ローカルバスステートコントローラ (LBSC)

動作		No.	データバス							
アクセス サイズ	アドレス		D63 ~ D56	D55 ~ D48	D47 ~ D40	D39 ~ D32	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
32 バイト*	8n+24	4	データ 255 ~ 248	データ 247 ~ 240	データ 239 ~ 232	データ 231 ~ 224	データ 223 ~ 216	データ 215 ~ 208	データ 207 ~ 200	データ 199 ~ 192

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.6 (2) 64 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	ストローブ信号							
アクセス サイズ	アドレス		WE7	WE6	WE5	WE4	WE3	WE2	WE1	WE0
バイト	8n	1	アサート	-	-	-	-	-	-	-
	8n+1	1	-	アサート	-	-	-	-	-	-
	8n+2	1	-	-	アサート	-	-	-	-	-
	8n+3	1	-	-	-	アサート	-	-	-	-
	8n+4	1	-	-	-	-	アサート	-	-	-
	8n+5	1	-	-	-	-	-	アサート	-	-
	8n+6	1	-	-	-	-	-	-	アサート	-
	8n+7	1	-	-	-	-	-	-	-	アサート
ワード	8n	1	アサート	アサート	-	-	-	-	-	-
	8n+2	1	-	-	アサート	アサート	-	-	-	-
	8n+4	1	-	-	-	-	アサート	アサート	-	-
	8n+6	1	-	-	-	-	-	-	アサート	アサート
ロング ワード	8n	1	アサート	アサート	アサート	アサート	-	-	-	-
	8n+4	1	-	-	-	-	アサート	アサート	アサート	アサート
32 バイト*	8n	1	アサート	アサート	アサート	アサート	アサート	アサート	アサート	アサート
	8n+8	2	アサート	アサート	アサート	アサート	アサート	アサート	アサート	アサート
	8n+16	3	アサート	アサート	アサート	アサート	アサート	アサート	アサート	アサート
	8n+24	4	アサート	アサート	アサート	アサート	アサート	アサート	アサート	アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.7 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロブ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	データ 7~0	-	-	-	アサート			
	4n+1	1	-	データ 7~0	-	-		アサート		
	4n+2	1	-	-	データ 7~0	-			アサート	
	4n+3	1	-	-	-	データ 7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
32 バイト*	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+8	3	データ 95~88	データ 87~80	データ 79~72	データ 71~64	アサート	アサート	アサート	アサート

8n+28	8	データ 255~ 248	データ 247~ 240	データ 239~ 232	データ 231~ 224	アサート	アサート	アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.8 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	2n	1	-	-	データ 7~0	-			アサート	
	2n+1	1	-	-	-	データ7 ~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート
32 バイト*	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート

	8n+30	16	-	-	データ 255~ 248	データ 247~ 240			アサート	アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.9 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロブ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート
32 バイト*	8n	1	-	-	-	データ 7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート

	8n+31	32	-	-	-	データ 255 ~ 248				アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.10 (1) 64 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

動作		No.	データバス							
アクセス サイズ	アドレス		D63 ~ D56	D55 ~ D48	D47 ~ D40	D39 ~ D32	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
バイト	8n	1	-	-	-	-	-	-	-	データ 7~0
	8n+1	1	-	-	-	-	-	-	データ 7~0	-
	8n+2	1	-	-	-	-	-	データ 7~0	-	-
	8n+3	1	-	-	-	-	データ 7~0	-	-	-
	8n+4	1	-	-	-	データ 7~0	-	-	-	-
	8n+5	1	-	-	データ 7~0	-	-	-	-	-
	8n+6	1	-	データ 7~0	-	-	-	-	-	-
	8n+7	1	データ 7~0	-	-	-	-	-	-	-
ワード	8n	1	-	-	-	-	-	-	データ 15~8	データ 7~0
	8n+2	1	-	-	-	-	データ 15~8	データ 7~0	-	-
	8n+4	1	-	-	データ 15~8	データ 7~0	-	-	-	-
	8n+6	1	データ 15~8	データ 7~0	-	-	-	-	-	-
ロング ワード	8n	1	-	-	-	-	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	8n+4	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	-	-	-	-
32 バイト*	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	8n+8	2	データ 127~ 120	データ 119~ 112	データ 111~ 104	データ 103~96	データ 95~88	データ 87~80	データ 79~72	データ 71~64
	8n+16	3	データ 191~ 184	データ 183~ 176	データ 175~ 168	データ 167~ 160	データ 159~ 152	データ 151~ 144	データ 143~ 136	データ 135~ 128

11. ローカルバスステートコントローラ (LBSC)

動作		No.	データバス							
アクセス サイズ	アドレス		D63 ~ D56	D55 ~ D48	D47 ~ D40	D39 ~ D32	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
32 バイト*	8n+24	4	データ 255 ~ 248	データ 247 ~ 240	データ 239 ~ 232	データ 231 ~ 224	データ 223 ~ 216	データ 215 ~ 208	データ 207 ~ 200	データ 199 ~ 192

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.10 (2) 64 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	ストローブ信号							
アクセス サイズ	アドレス		$\overline{WE7}$	$\overline{WE6}$	$\overline{WE5}$	$\overline{WE4}$	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	8n	1	-	-	-	-	-	-	-	アサート
	8n+1	1	-	-	-	-	-	-	アサート	-
	8n+2	1	-	-	-	-	-	アサート	-	-
	8n+3	1	-	-	-	-	アサート	-	-	-
	8n+4	1	-	-	-	アサート	-	-	-	-
	8n+5	1	-	-	アサート	-	-	-	-	-
	8n+6	1	-	アサート	-	-	-	-	-	-
	8n+7	1	アサート	-	-	-	-	-	-	-
ワード	8n	1	-	-	-	-	-	-	アサート	アサート
	8n+2	1	-	-	-	-	アサート	アサート	-	-
	8n+4	1	-	-	アサート	アサート	-	-	-	-
	8n+6	1	アサート	アサート	-	-	-	-	-	-
ロング ワード	8n	1	-	-	-	-	アサート	アサート	アサート	アサート
	8n+4	1	アサート	アサート	アサート	アサート	-	-	-	-
32 バイト*	8n	1	アサート							
	8n+8	2	アサート							
	8n+16	3	アサート							
	8n+24	4	アサート							

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.11 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロブ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
32 バイト*	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+8	3	データ 95~88	データ 87~80	データ 79~72	データ 71~64	アサート	アサート	アサート	アサート

8n+28	8	データ 255~ 248	データ 247~ 240	データ 239~ 232	データ 231~ 224	アサート	アサート	アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.12 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$	$\overline{WE2}$	$\overline{WE1}$	$\overline{WE0}$
バイト	2n	1	-	-	-	データ 7~0				アサート
	2n+1	1	-	-	データ 7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
32 バイト*	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート

8n+30	16	-	-	データ 255~ 248	データ 247~ 240			アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11. ローカルバスステートコントローラ (LBSC)

表 11.13 8 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロング ワード	4n	1	-	-	-	データ 7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート
32 バイト*	8n	1	-	-	-	データ 7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート

	8n+31	32	-	-	-	データ 255~ 248				アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11.5.2 エリアの説明

(1) エリア 0

エリア 0 は、ローカルバスアドレスの 28~26 ビットが 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、外部端子の MODE6、MODE5 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビット、64 ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア 0 をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、CS0WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS0BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2~9 の範囲で決まります。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS0}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS0}$ ネゲート遅延サイクルは、CS0WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS0WCR の RDS 設定値が 000 以外、およびライト時 CS0WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(2) エリア 1

エリア 1 は、ローカルバスアドレスの 28~26 ビットが 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM およびバイト制御 SRAM です。

バス幅は、CS1BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS1BCR レジスタの SZ ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると $\overline{CS1}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、CS1BCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS1BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS0}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS0}$ ネゲート遅延サイクルは、CS1WCR

レジスタより、0~7サイクルに設定することができます。また、リード時 CS1WCR の RDS 設定値が 000 以外、およびライト時 CS1WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(3) エリア 2

エリア 2 は、ローカルバスアドレスの 28~26 ビットが 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、SRAM インタフェースを設定する場合、CS2BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS2BCR レジスタの SZ ビットにより、32 ビットまたは、64 ビットに設定してください。

エリア 2 をアクセスすると $\overline{CS2}$ 信号がアサートされます。

SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、CS2WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS2BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS2}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS2}$ ネゲート遅延サイクルは、CS2WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS2WCR の RDS 設定値が 000 以外、およびライト時 CS2WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(4) エリア 3

エリア 3 は、ローカルバスアドレスの 28~26 ビットが 011 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、SRAM インタフェースを設定する場合、CS3BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS3BCR レジスタの SZ ビットにより、32 ビットまたは 64 ビットに設定してください。

エリア 3 をアクセスすると $\overline{CS3}$ 信号がアサートされます。また、SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、CS3WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS3BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS3}$ アサートに対するリード/ライトストロープ信号のア

11. ローカルバスステートコントローラ (LBSC)

サート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS3}$ ネゲート遅延サイクルは、CS3WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS3WCR の RDS 設定値が 000 以外、およびライト時 CS3WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(5) エリア 4

エリア 4 は、ローカルバスアドレスの 28~26 ビットが 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御 SRAM、バースト ROM です。

バス幅は、CS4BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS4BCR レジスタの SZ ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビット、64 ビットに設定してください。詳細は、「11.3.2 メモリバス幅」を参照してください。

エリア 4 をアクセスすると $\overline{CS4}$ 信号がアサートされます。

また、SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。

バスサイクル数は、CS4WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

詳細は、「11.5.8 アクセスサイクル間ウェイト」を参照してください。

バースト ROM インタフェースを使用する場合、CS4BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS4}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS4}$ ネゲート遅延サイクルは、CS4WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS4WCR の RDS 設定値が 000 以外、およびライト時 CS4WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(6) エリア 5

エリア 5 は、ローカルバスアドレスの 28~26 ビットが 101 のエリアです。

バス幅は、SRAM インタフェース、バースト ROM インタフェースを設定する場合、CS5BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS5BCR レジスタの SZ ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、CS5BCR レジスタの SZ ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 5 をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE7}$ がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{IORD} 、 \overline{IOWR} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS5WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。バースト ROM インタフェースを使用する場合、CS5BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 の時は、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS5}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS5}$ ネゲート遅延サイクルは、CS5WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS5WCR の RDS 設定値が 000 以外、およびライト時 CS5WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロープ信号に対してアドレス、 $\overline{CE1A}$ 、 $\overline{CE2A}$ のセットアップ、ホールド時間を CS5PCR レジスタの TEDA/B ビット、TEHA/B ビットによって、0~15 サイクルの範囲で設定できます。さらに、PCWA/B ビットによりウェイトサイクルを 0~50 の範囲で設定できます。CS5PCR で設定したウェイトは、CS5WCR の IW、CS5PCR の PCIW で設定したウェイト数に加算されます。

(7) エリア 6

エリア 6 は、ローカルバスアドレスの 28~26 ビットが 110 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、CS6BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM インタフェースを設定する場合は、CS6BCR レジスタの SZ ビットにより、バス幅を 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX インタフェースを設定する場合は、CS6BCR レジスタの SZ ビットにより、バス幅を 32 ビットまたは、64 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、CS6BCR レジスタの SZ ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 6 をアクセスすると $\overline{CS6}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0}$ ~ $\overline{WE7}$ がアサートされます。PCMCIA インタフェースを設定する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{IORD} 、 \overline{IOWR} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS6BCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS6BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS6}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS6}$ ネゲート遅延サイクルは、CS6WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS6WCR の RDS 設定値が 000 以外、

11. ローカルバスステートコントローラ (LBSC)

およびライト時 CS6WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス、 $\overline{CE1B}$ 、 $\overline{CE2B}$ のセットアップ、ホールド時間を CS6PCR レジスタの TEDA/B ビット、TEHA/B ビットによって、0~15 サイクルの範囲で設定できます。さらに、PCWA/B ビットによりウェイトサイクルを 0~50 の範囲で設定できます。CS6PCR で設定したウェイトは、CS6WCR の IW、CS6PCR の PCIW で設定したウェイト数に加算されます。

11.5.3 SRAM インタフェース

(1) 基本タイミング

本 LSI の SRAM インタフェースは、主に SRAM の接続を考慮してストロブ信号を出力します。図 11.5 に SRAM インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルまたは 2 サイクルアサートされます。 \overline{CSn} 信号は、T1 の立ち上がりでアサートされ T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子 (A [25 : 0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すこととなります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

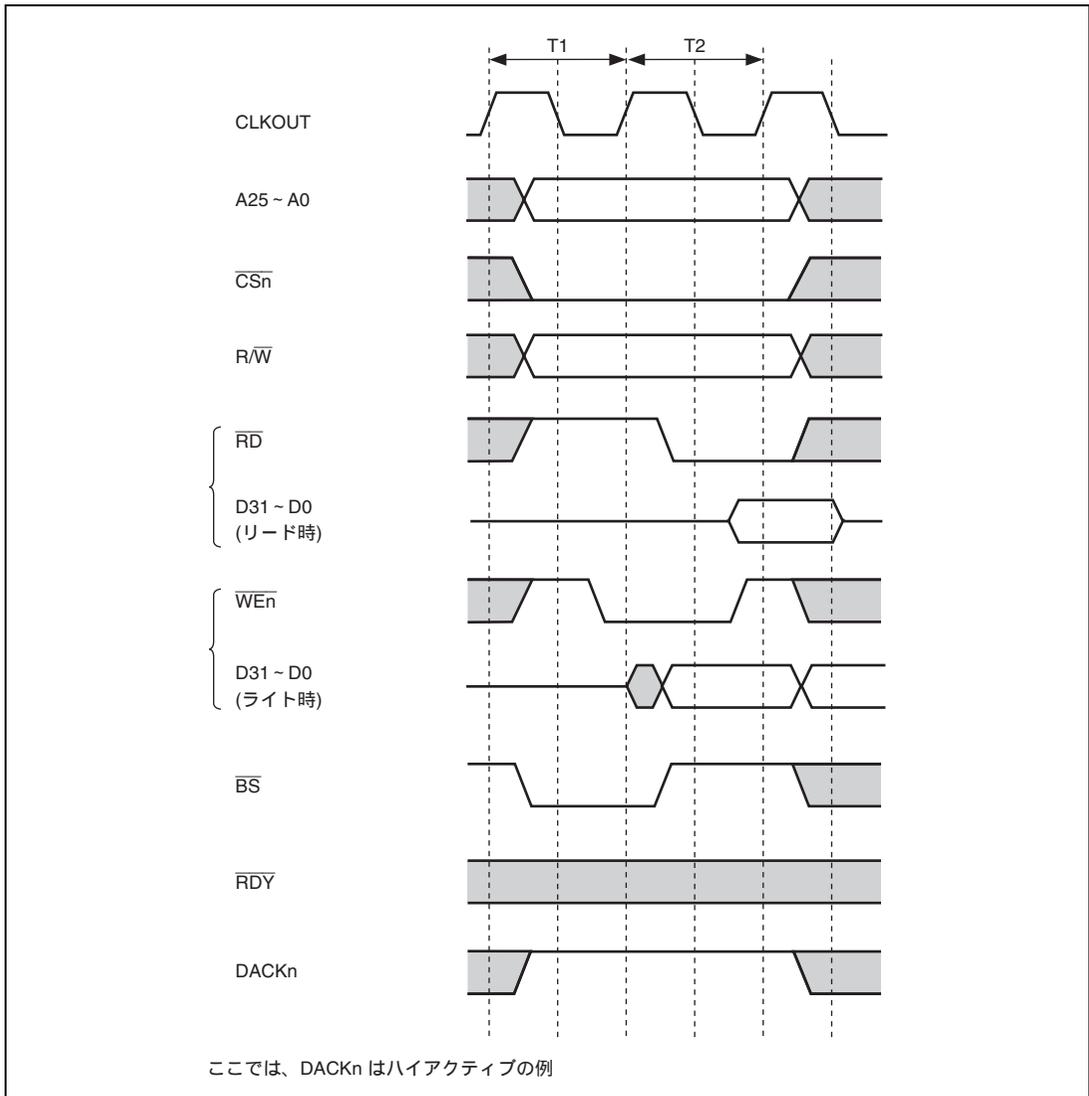


図 11.5 SRAM インタフェースの基本タイミング

11. ローカルバスステートコントローラ (LBSC)

図 11.6 に 32 ビットデータ幅の SRAM との接続例を、図 11.7 に 16 ビットデータ幅の SRAM との接続例を、図 11.8 に 8 ビットデータ幅の SRAM との接続例を示します。

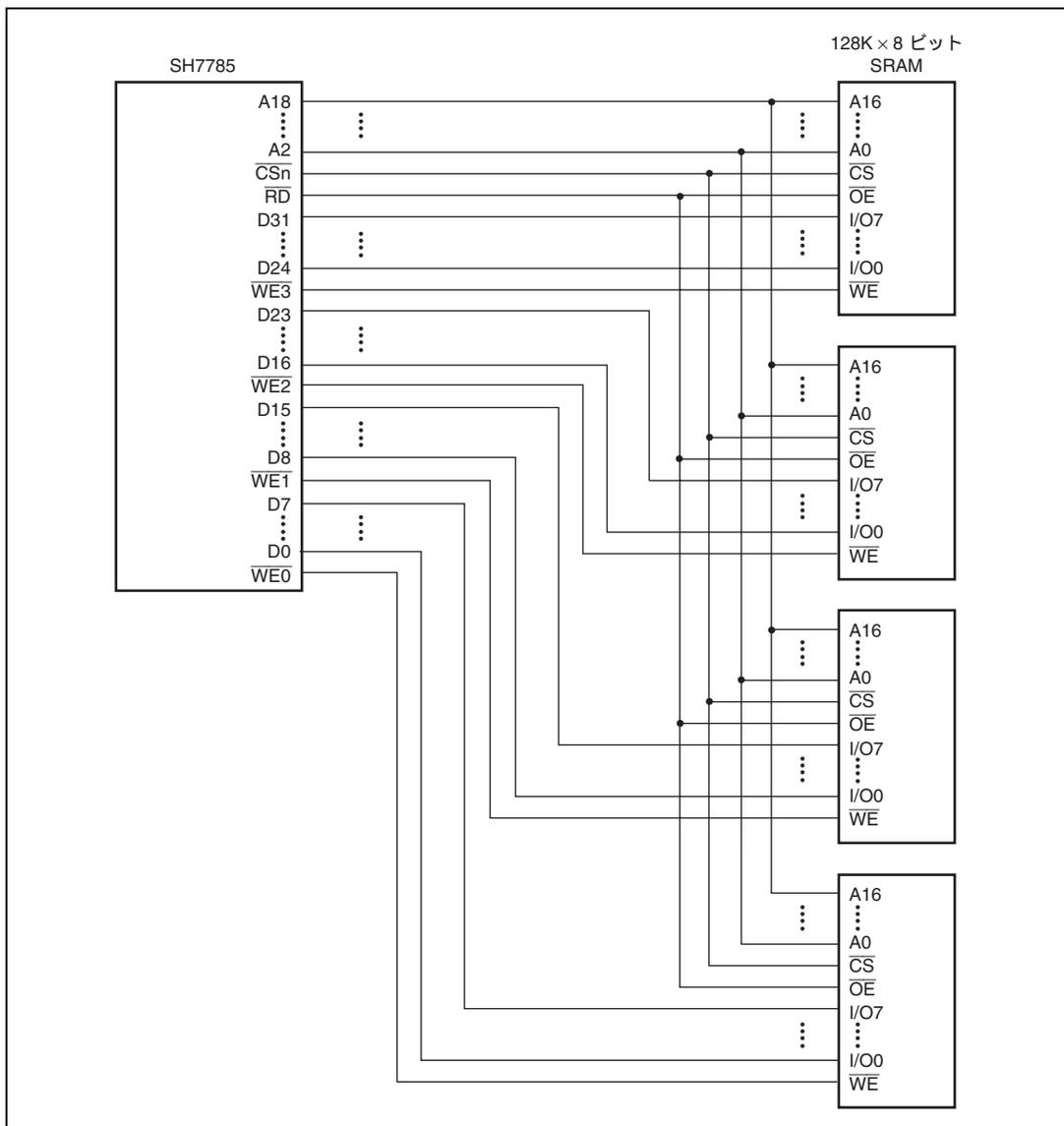


図 11.6 32 ビットデータ幅 SRAM 接続例

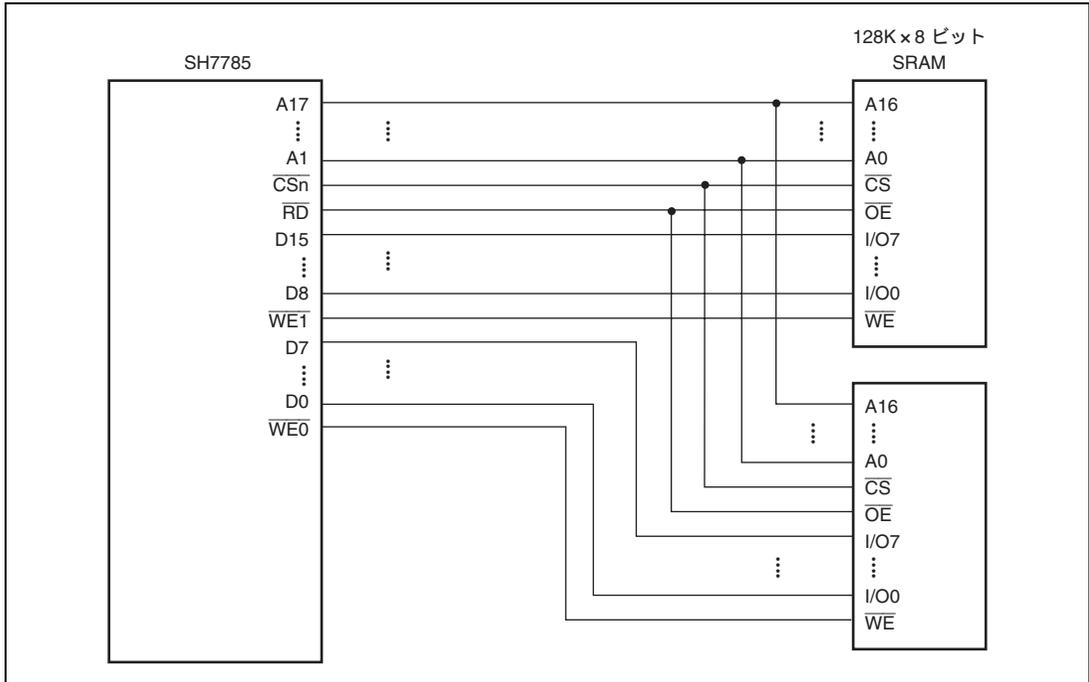


図 11.7 16 ビットデータ幅 SRAM 接続例

11. ローカルバスステートコントローラ (LBSC)

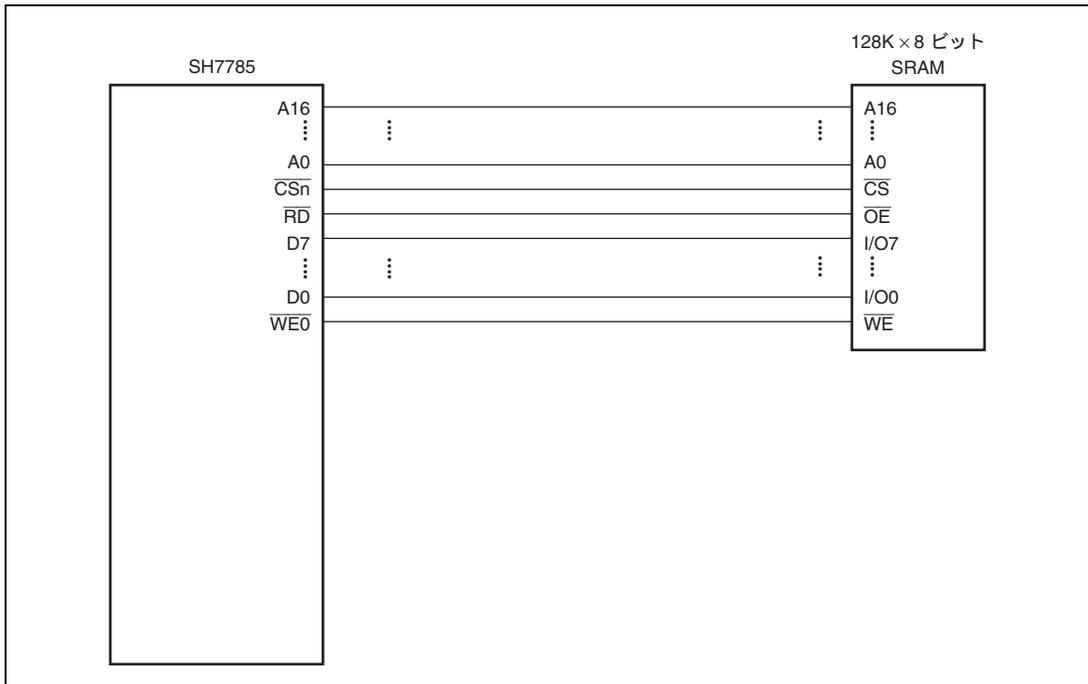


図 11.8 8 ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。CSnWCR の IW ビットが 0 以外の場合は、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)」の項を参照してください。

CSnWCR によって、図 11.9 に示す SRAM インタフェースのウェイトタイミングで、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

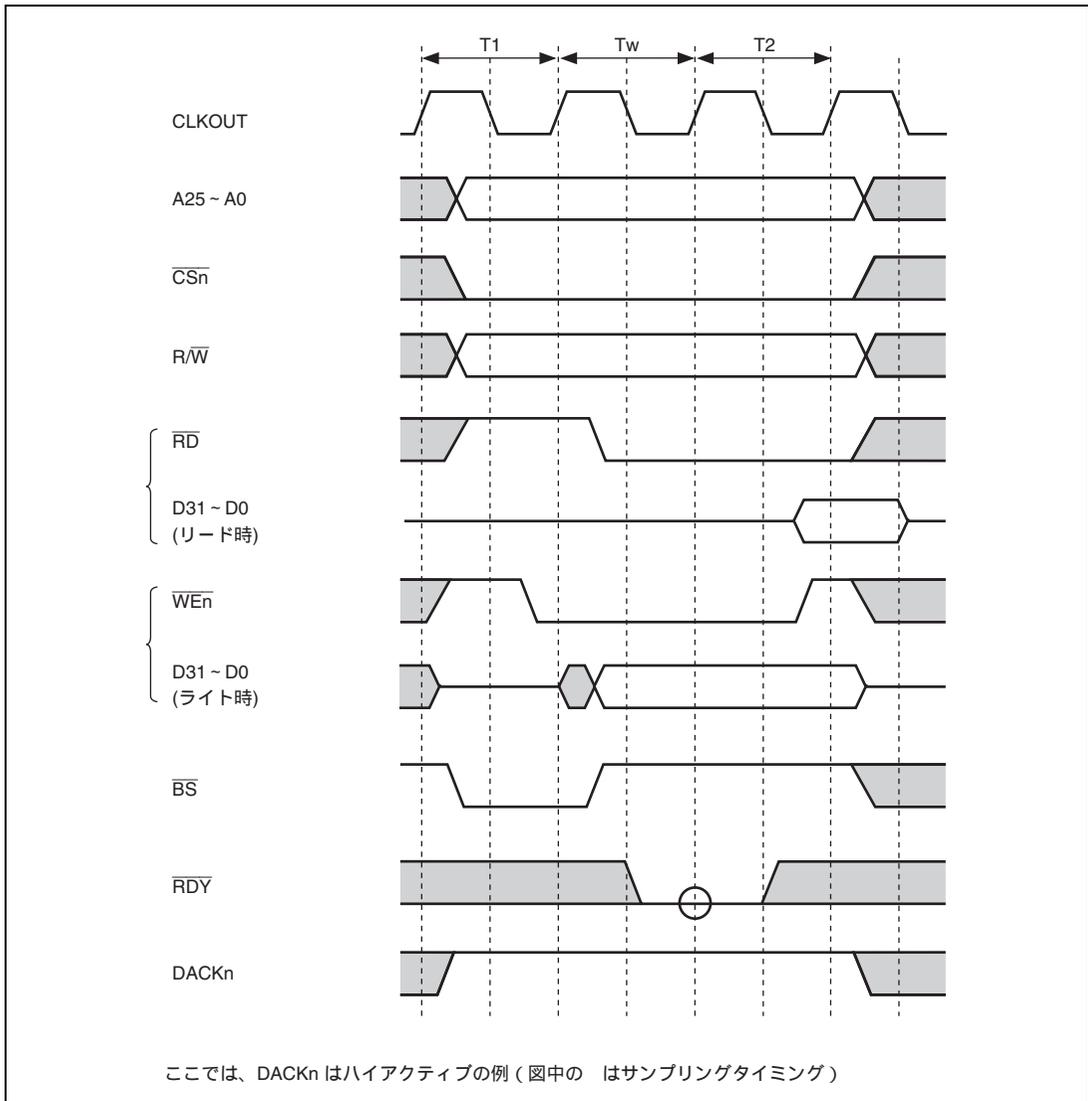


図 11.9 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

11. ローカルバスステートコントローラ (LBSC)

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 \overline{RDY} 信号もサンプリングされます。 \overline{RDY} 信号のサンプリングを図 11.10 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで \overline{RDY} 信号をアサートしても何も影響を与えません。 \overline{RDY} 信号はクロックの立ち上がりでサンプリングされます。

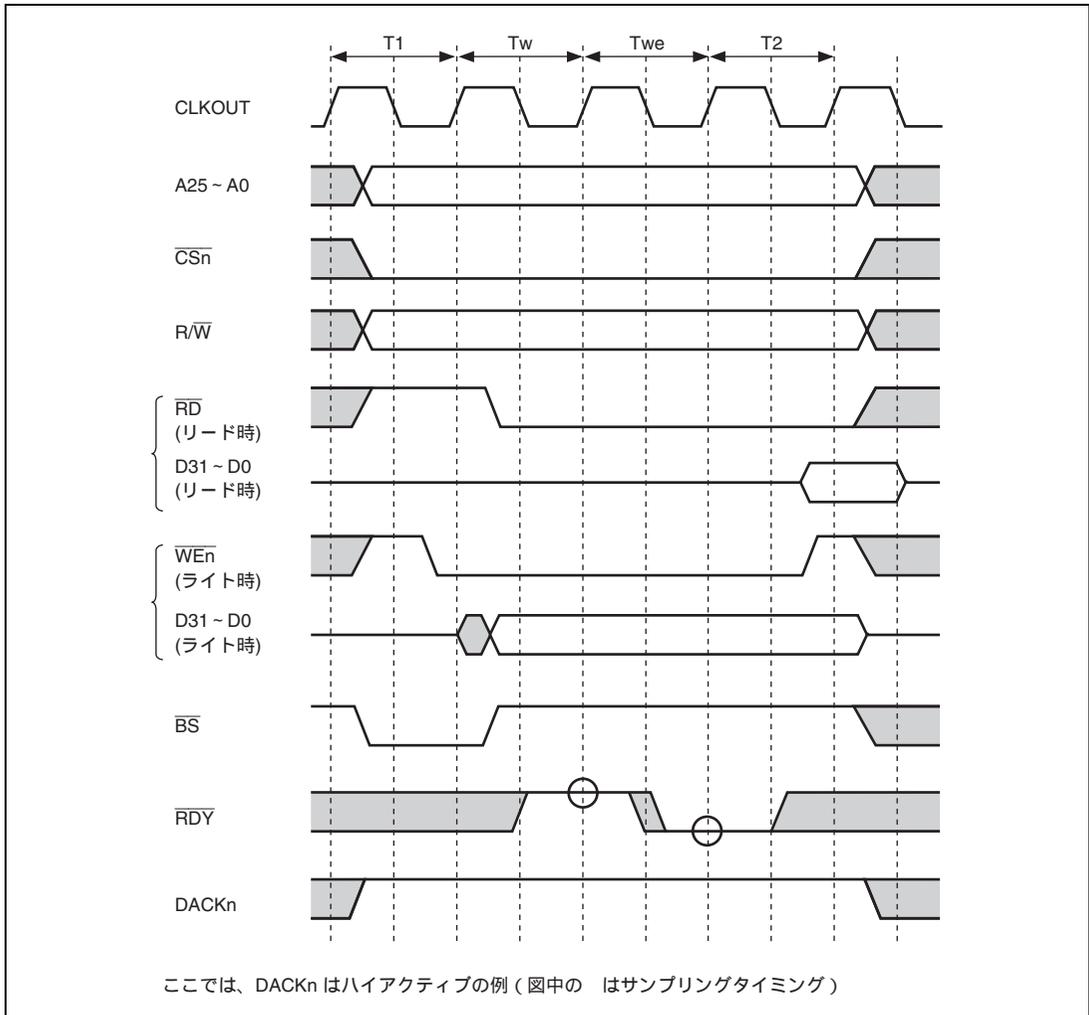


図 11.10 SRAM インタフェースのウェイトステートタイミング
(\overline{RDY} 信号によるウェイトステート挿入、 \overline{RDY} 信号は同期入力)

(3) リードストロブネゲートタイミング

SRAM インタフェース時、CSnBCR の RDSPL の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。バイト制御 SRAM 設定時は RDSPL に 0 を設定してください。

11. ローカルバスステートコントローラ (LBSC)

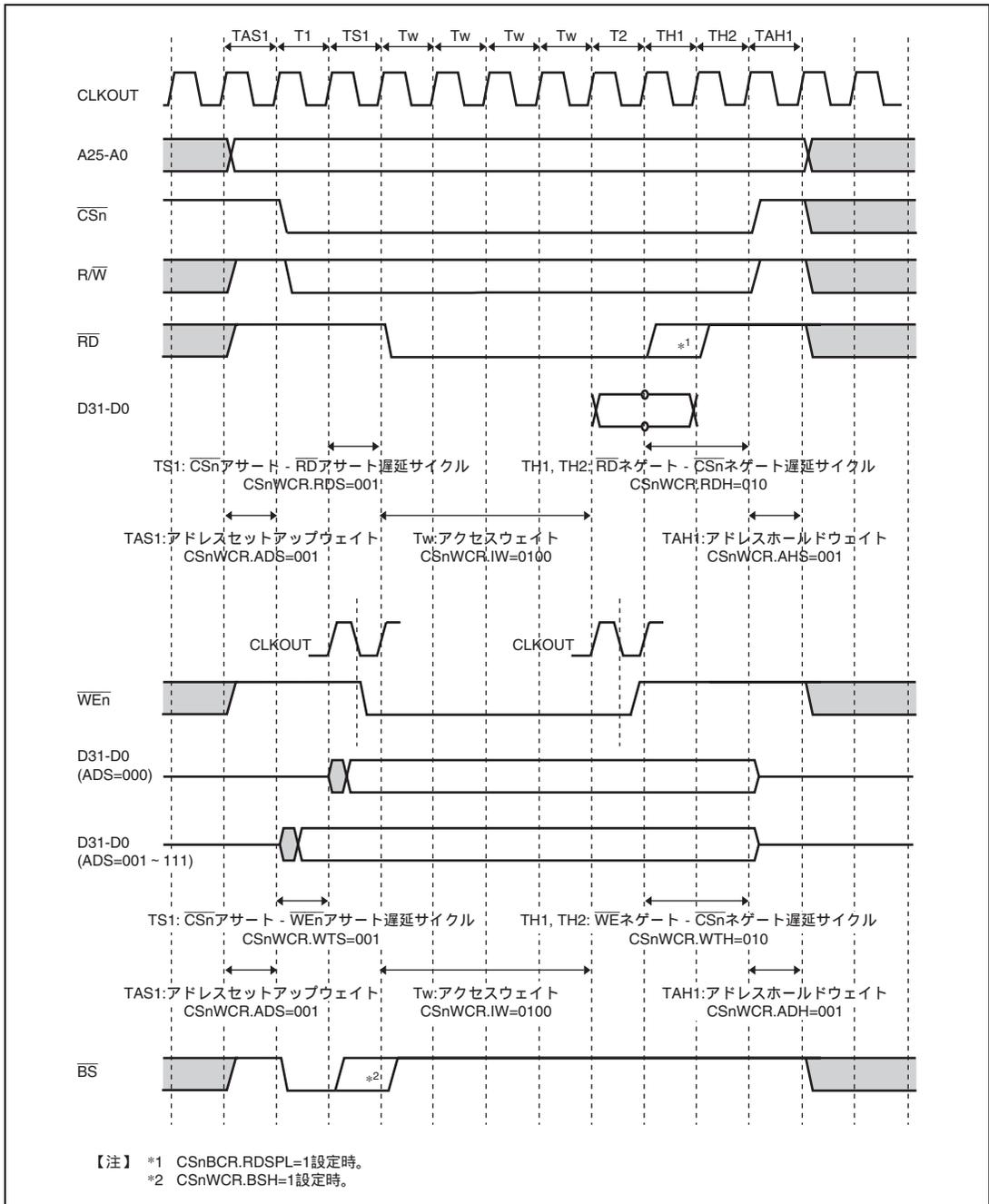


図 11.11 SRAM インタフェースのウェイトステートタイミング例

11.5.4 バースト ROM インタフェース

CSnBCR の TYPE ビットを 010 に設定することにより、エリア 0、エリア 1、エリア 2、エリア 3、エリア 4、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 11.12 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には CSnBCR の BST ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に $\overline{\text{RDY}}$ 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 11.13 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。また、バス幅とバースト回数を掛けたバイト境界で、バーストをいったん中止し、その後再開します。この途中ではバス権を解放しません。

バースト ROM の設定を行い、CSnWCR でセットアップ/ホールドを指定した場合のタイミングを図 11.14 に示します。

11. ローカルバスステートコントローラ (LBSC)

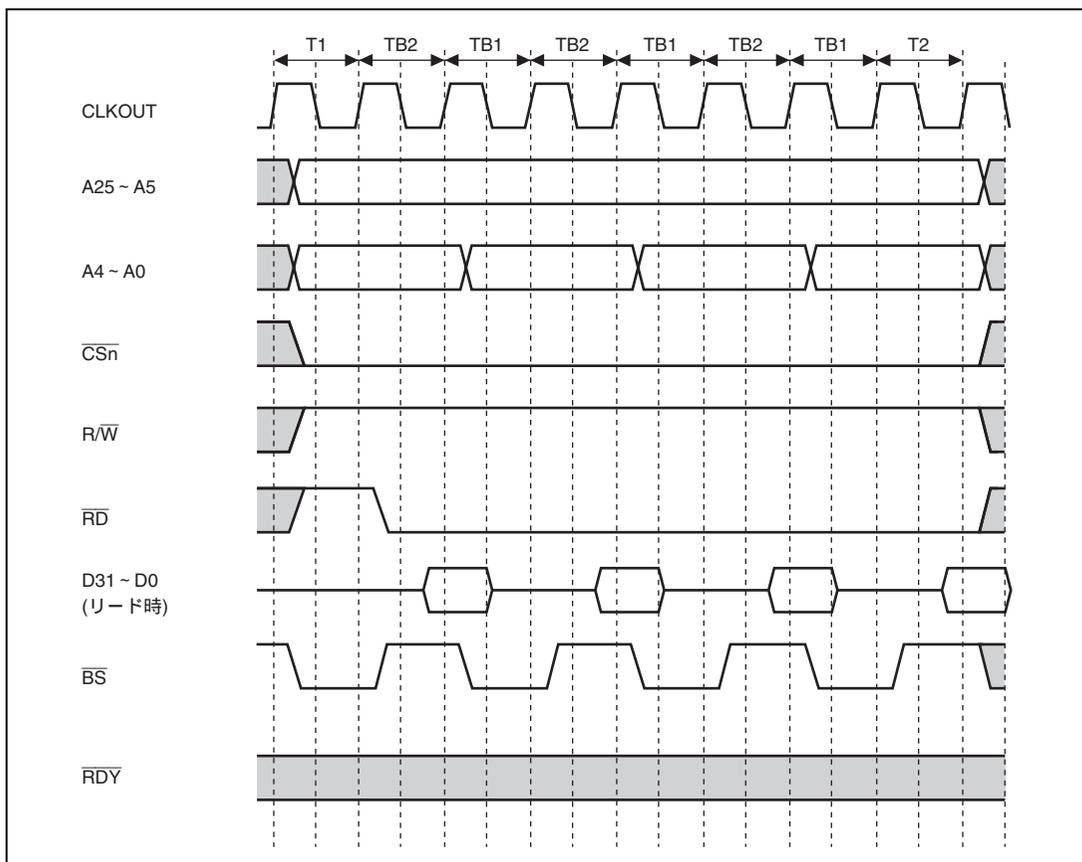


図 11.12 パースト ROM 基本アクセスタイミング

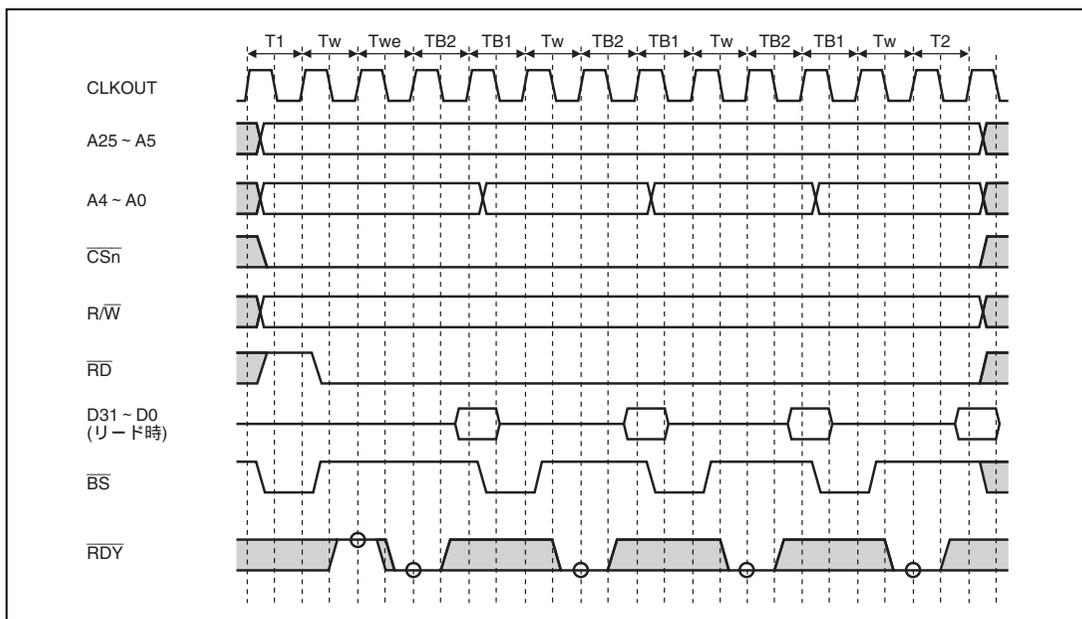
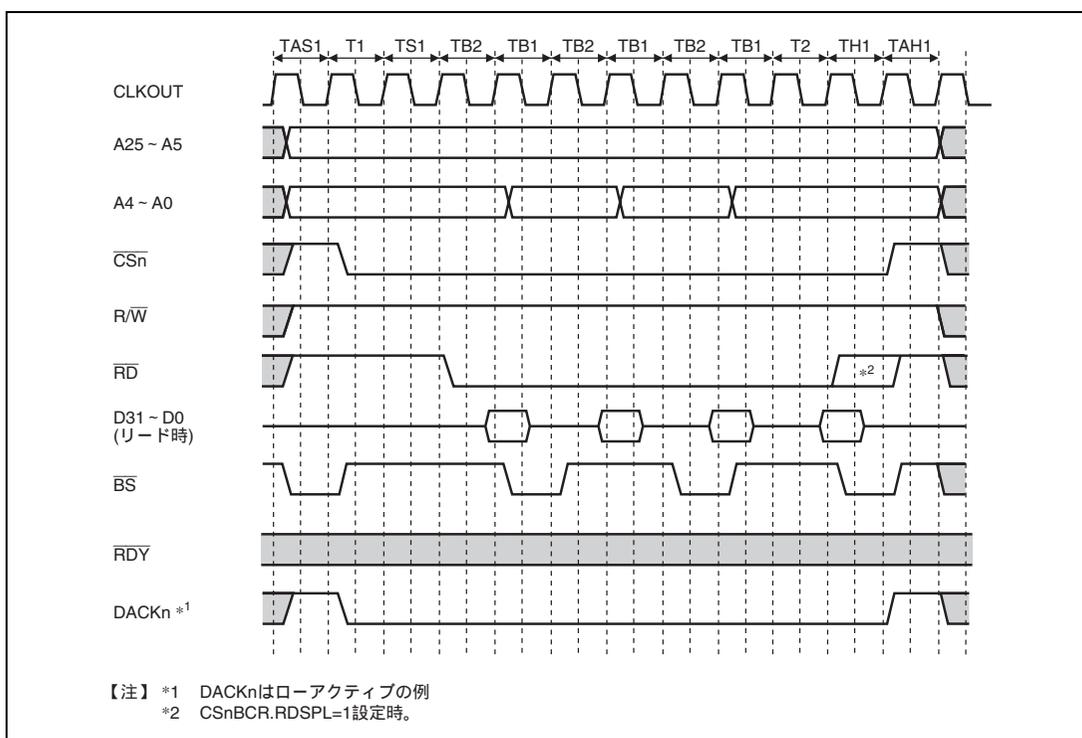


図 11.13 バースト ROM ウェイトアクセスタイミング



【注】 $*1$ DACKnはローアクティブの例
 $*2$ $\overline{CSnBCR.RDSPL}=1$ 設定時。

図 11.14 バースト ROM ウェイトアクセスタイミング

11.5.5 PCMCIA インタフェース

本 LSI では CS5BCR、CS6BCR の TYPE ビットを設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2(PCMCIA2.1 以下略) で定める“ IC メモリカードインタフェース ”または“ I/O カードインタフェース ”になります。

図 11.15 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリープ状態バッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースのメモリ空間は CSnPCR の SAA および SAB ビットの設定により、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、ダイナミックバスサイジング、ATA 補完モードが選択できます。

アクセス先がエリアの前半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWA、TEDA、TEHA ビットが選択されます。アクセス先がエリアの後半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWB、TEDB、TEHB ビットが選択されます。

低速バスサイクルに挿入するウェイト状態数は、PCWA/B ビットにより、0、15、30、または 50 に設定できます。この値は、CSnWCR の IW または CSnPCR の PCIW で指定された挿入ウェイト状態数に加算されます。 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} セットアップ時間は、TEDA/B ビット (0~15 に設定可能) により、設定することができます。また、 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} データホールド時間は、TEHA/B ビット (0~15 に設定可能) により、設定することができます。

また、アクセスサイクル間ウェイトは、CS5 バスコントロールレジスタ (CS5BCR)、または CS6 バスコントロールレジスタ (CS6BCR) のアクセスサイクル間ウェイトビット IWW、IWWRD、IWWRS、IWRD、IWRRS により設定します。選択されるアクセスサイクル間ウェイトは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、CS5BCR のアクセスサイクル間ウェイトビットが、エリア 6 のアクセス時には、CS6BCR のアクセスサイクル間ウェイトビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われません。この途中ではバス権を解放しません。

ATA 補完モードは、本 LSI に接続する ATA デバイス内部の特定のレジスタにアクセスするときに使用します。DMAC を使用しないバイトアクセスのときには $\overline{CE1x}$ (x=A または B) がネゲートされ、 $\overline{CE2x}$ がアサートされません。DMAC を使用しないワードアクセスの時には $\overline{CE1x}$ がアサートされ、 $\overline{CE2x}$ がネゲートされます。DMA によるアクセスのときには $\overline{CE1x}$ 、および $\overline{CE2x}$ はネゲートされます。対象となるレジスタは Device Control Register、Alternate Status Register、Data Register、Data Port です。Device Control Register、Alternate Status Register には DMAC を使用しないバイトアクセス、Data Register には DMAC を使用しないワードアクセスを行ってください。Data Port

へのアクセスはDMA転送を使用します。このときDMACのDMAチャンネルコントロールレジスタ(CHCR)の設定例は、外部リクエスト、バーストモード、レベル検出、オーバーラン0、およびPCMCIA接続エリアに対する $\overline{\text{DACK}}$ 出力です。さらに、DMAチャンネルに対応するBCR.DACKBSTビットを1にセットすると、該当チャンネルの $\overline{\text{DACK}}$ はDMA転送の初回から最終回までアサートされつづけます。このとき、転送途中で対応する $\overline{\text{DREQ}}$ をネゲートしても、 $\overline{\text{DACK}}$ はネゲートされません。また、ATA補完モードを設定している空間に対してDMA転送の $\overline{\text{DACK}}$ 出力するアクセスを行うとき、 $\overline{\text{CE1x}}$ および $\overline{\text{CE2x}}$ はアサートされません。

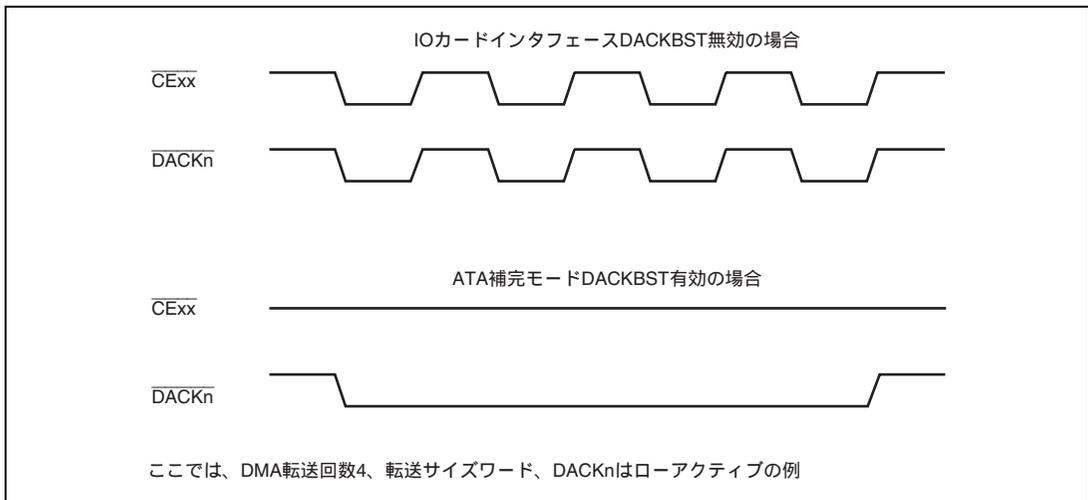


図 11.15 ATA 補完モード DMA 転送時の $\overline{\text{CExx}}$ 信号と $\overline{\text{DACKn}}$ 信号の出力

11. ローカルバスステートコントローラ (LBSC)

表 11.14 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	リード / ライト	アクセス サイズ(ビ ット)* ¹	奇数 / 偶数	IOIS16	アクセス	CE2	CE1	A0	D15~D8	D7~D0
8	リード	8	偶数	*	-	H	L	L	無効	リードデータ
			奇数	*	-	H	L	H	無効	リードデータ
		16	偶数	*	1 回目	H	L	L	無効	下位リード データ
			偶数	*	2 回目	H	L	H	無効	上位リード データ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	H	L	L	無効	ライトデータ
			奇数	*	-	H	L	H	無効	ライトデータ
		16	偶数	*	1 回目	H	L	L	無効	下位ライト データ
			偶数	*	2 回目	H	L	H	無効	上位ライト データ
			奇数	*	-	-	-	-	-	-
16	リード	8	偶数	*	-	H	L	L	無効	リードデータ
			奇数	*	-	L	H	H	リードデータ	無効
		16	偶数	*	-	L	L	L	上位リード データ	下位リード データ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	H	L	L	無効	ライトデータ
			奇数	*	-	L	H	H	ライトデータ	無効
		16	偶数	*	-	L	L	L	上位ライト データ	下位ライト データ
			奇数	*	-	-	-	-	-	-
ダイナミック バスサイ ジング* ²	リード	8	偶数	L	-	H	L	L	無効	リードデータ
			奇数	L	-	L	H	H	リードデータ	無効
		16	偶数	L	-	L	L	L	上位リード データ	下位リード データ
			奇数	L	-	-	-	-	-	-
	ライト	8	偶数	L	-	H	L	L	無効	ライトデータ
			奇数	L	-	L	H	H	ライトデータ	無効
		16	偶数	L	-	L	L	L	上位ライト データ	下位ライト データ
			奇数	L	-	-	-	-	-	-

11. ローカルバスステートコントローラ (LBSC)

バス (ビット)	リード / ライト	アクセス サイズ(ピ ット)* ¹	奇数 / 偶数	IOIS16	アクセス	CE2	CE1	A0	D15 ~ D8	D7 ~ D0
ダイナミック バスサイ ジング* ²	リード	8	偶数	H	-	H	L	L	無効	リードデータ
			奇数	H	1回目	L	H	H	無視	無効
			奇数	H	2回目	H	L	L	無効	リードデータ
		16	偶数	H	1回目	L	L	L	無効	下位リード データ
			偶数	H	2回目	H	L	H	無効	上位リード データ
			奇数	H	-	-	-	-	-	-
	ライト	8	偶数	H	-	H	L	L	無効	ライトデータ
			奇数	H	1回目	L	H	H	無効	ライトデータ
			奇数	H	2回目	H	L	H	無効	ライトデータ
		16	偶数	H	1回目	L	L	L	上位ライト データ	下位ライト データ
			偶数	H	2回目	H	L	H	無効	上位ライト データ
			奇数	H	-	-	-	-	-	-
ATA 補完 モード	DACK を出力 しない リード	8	偶数	*	-	L	H	L	無効	リードデータ
			奇数	*	-	-	-	-	-	-
		16	偶数	*	-	H	L	L	上位リード データ	下位リード データ
			奇数	*	-	-	-	-	-	-
			偶数	*	-	-	-	-	-	-
		DACK を出力 しない ライト	8	偶数	*	-	L	H	L	無効
	奇数			*	-	-	-	-	-	-
	16		偶数	*	-	H	L	L	上位ライト データ	下位ライト データ
			奇数	*	-	-	-	-	-	-
			偶数	*	-	-	-	-	-	-
	DACK を出力 する リード		8	偶数	*	-	H	H	L	無効
		奇数		*	-	H	H	L	リードデータ	無効
		16	偶数	*	-	H	H	H	上位ライト データ	下位ライト データ
			奇数	*	-	-	-	-	-	-
			偶数	*	-	-	-	-	-	-
		DACK を出力 するラ イト	8	偶数	*	-	H	H	L	無効
	奇数			*	-	H	H	L	リードデータ	無効
	16		偶数	*	-	H	H	H	上位ライト データ	下位ライト データ
奇数			*	-	-	-	-	-	-	

11. ローカルバスステートコントローラ (LBSC)

【注】 * Don't care

L ローレベル

H ハイレベル

*1 32 ビット / 64 ビット / 16 バイト / 32 バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

*2 PCMCIA I/O カードインタフェース時のみ

11. ローカルバスステートコントローラ (LBSC)

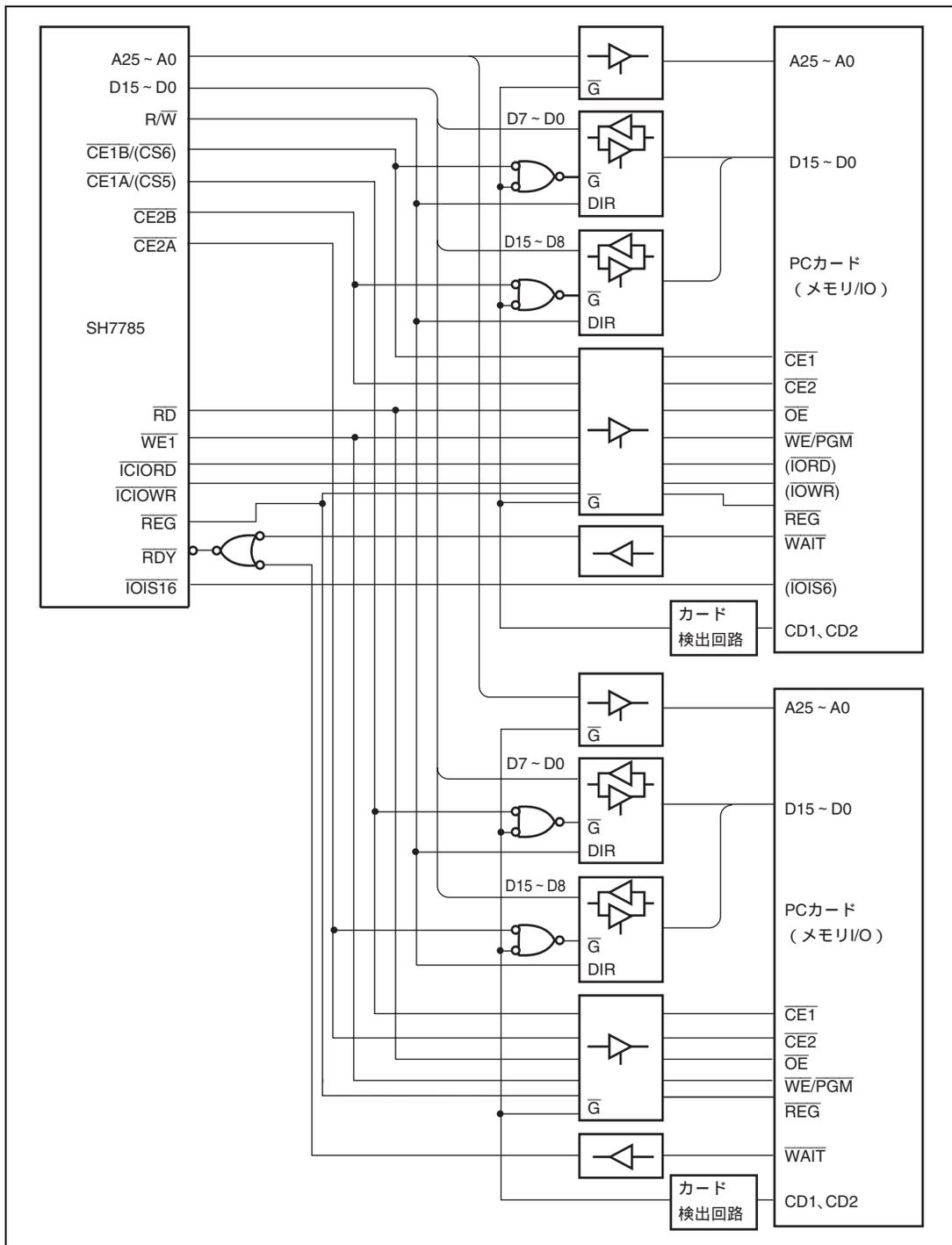


図 11.16 PCMCIA インタフェース例

11. ローカルバスステートコントローラ (LBSC)

(1) メモリカードインタフェース基本タイミング

図 11.17 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを、図 11.18 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

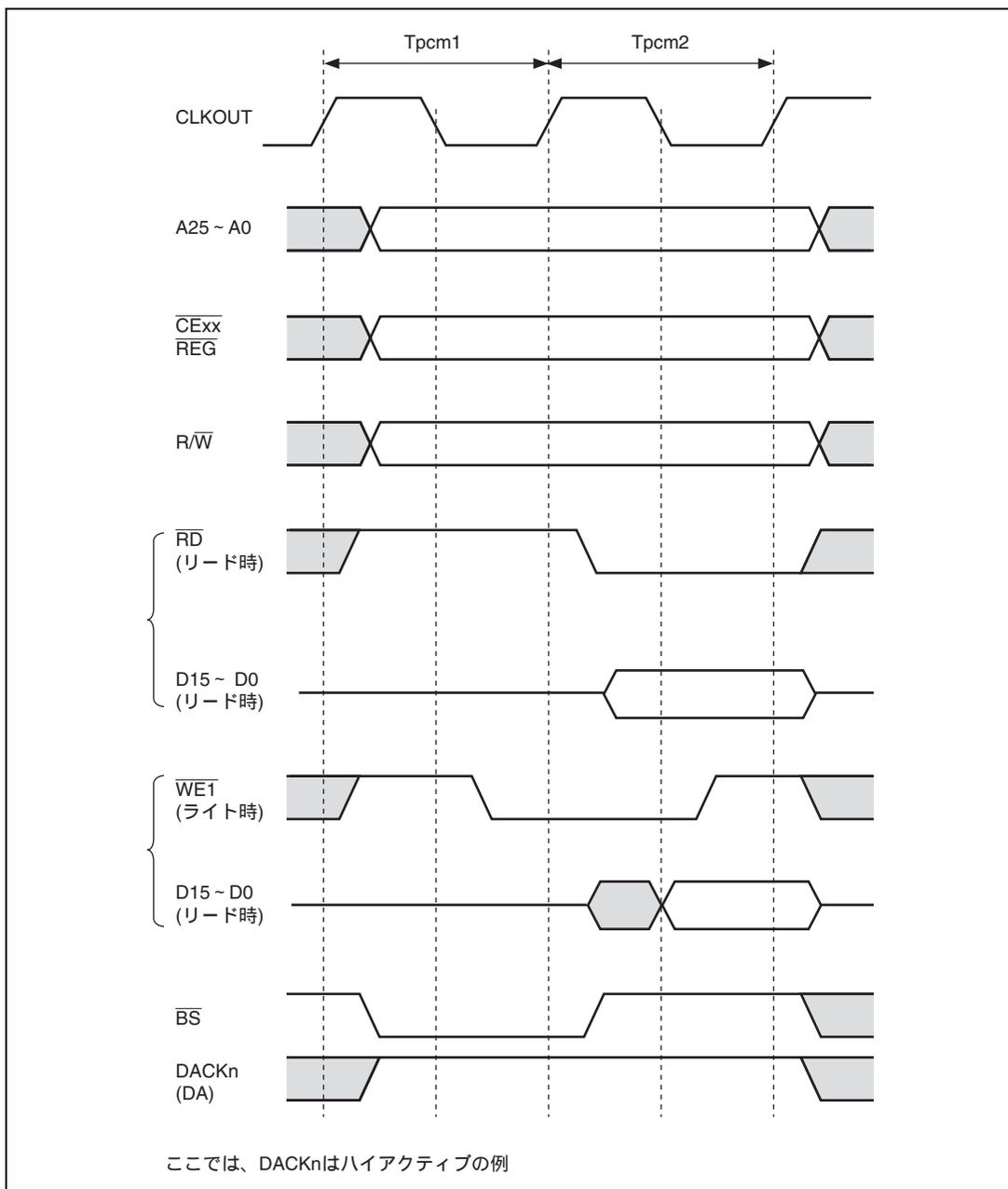


図 11.17 PCMCIA メモリカードインタフェース基本タイミング

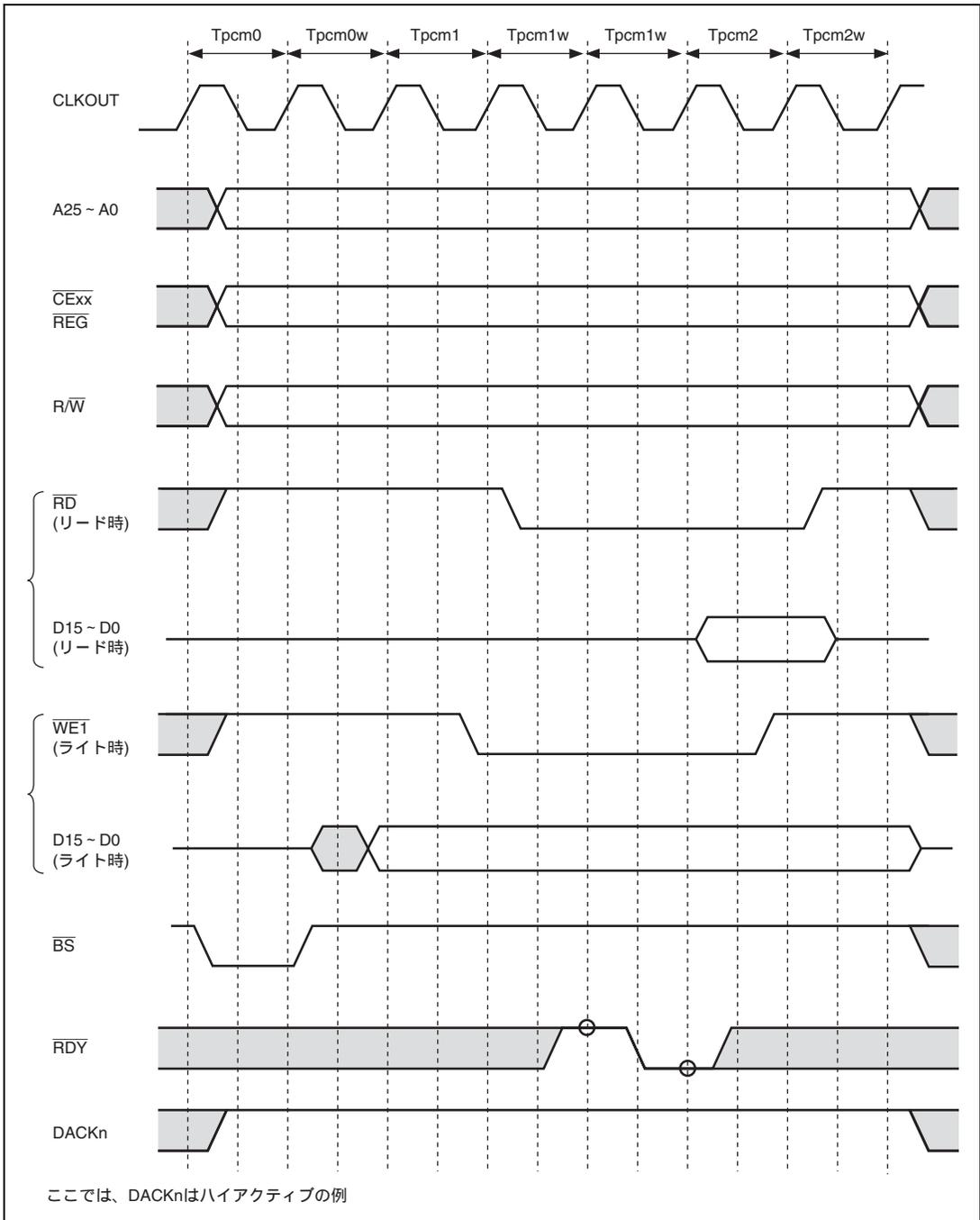


図 11.18 PCMCIA メモリカードインタフェースウェイトタイミング

11. ローカルバスステートコントローラ (LBSC)

(2) I/O カードインタフェースタイミング

図 11.19、図 11.20 に PCMCIA の “ I/O カードインタフェース ” のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス $2n+1$ に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 11.21 に示します。

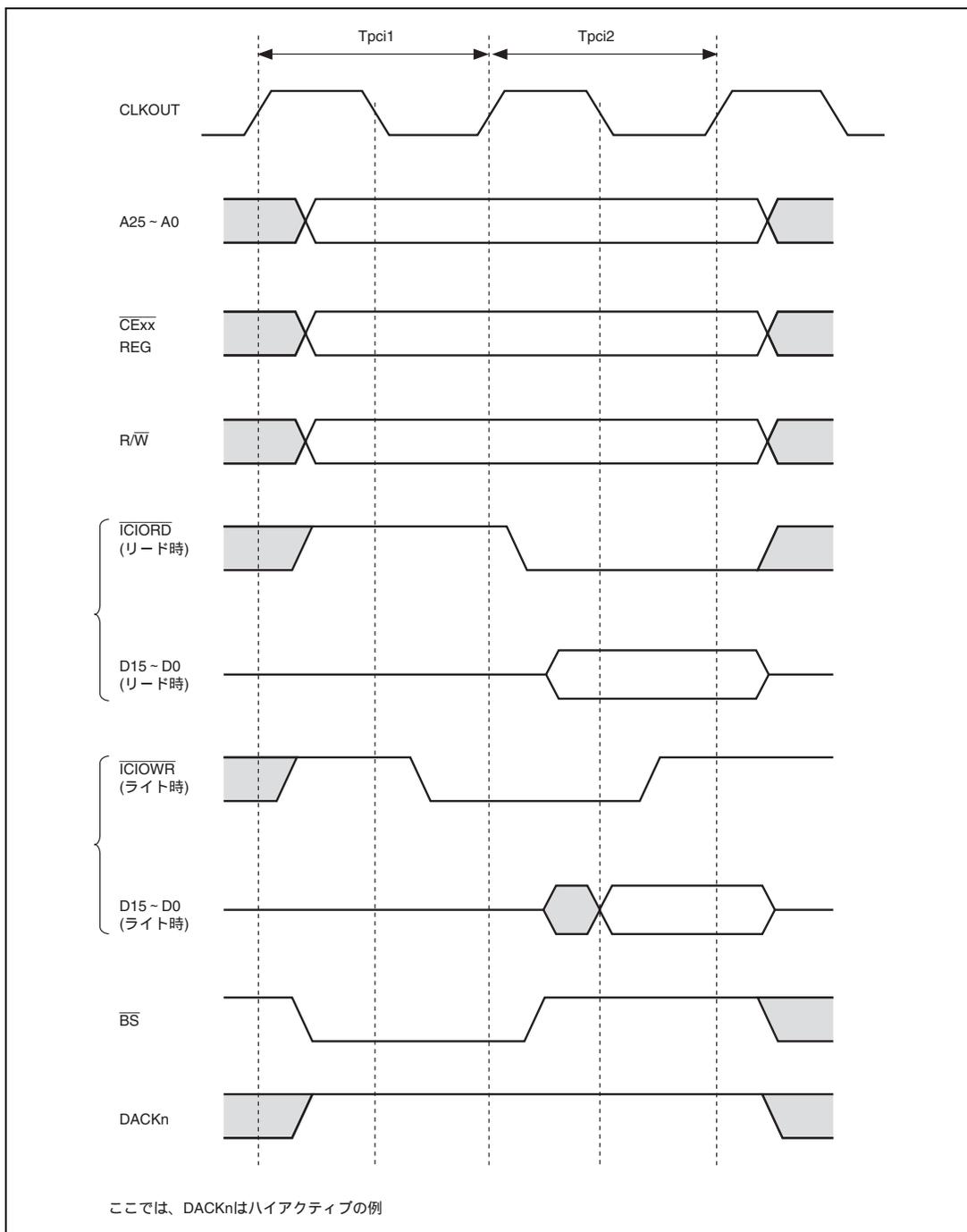


図 11.19 PCMCIA I/O カードインタフェース基本タイミング

11. ローカルバスステートコントローラ (LBSC)

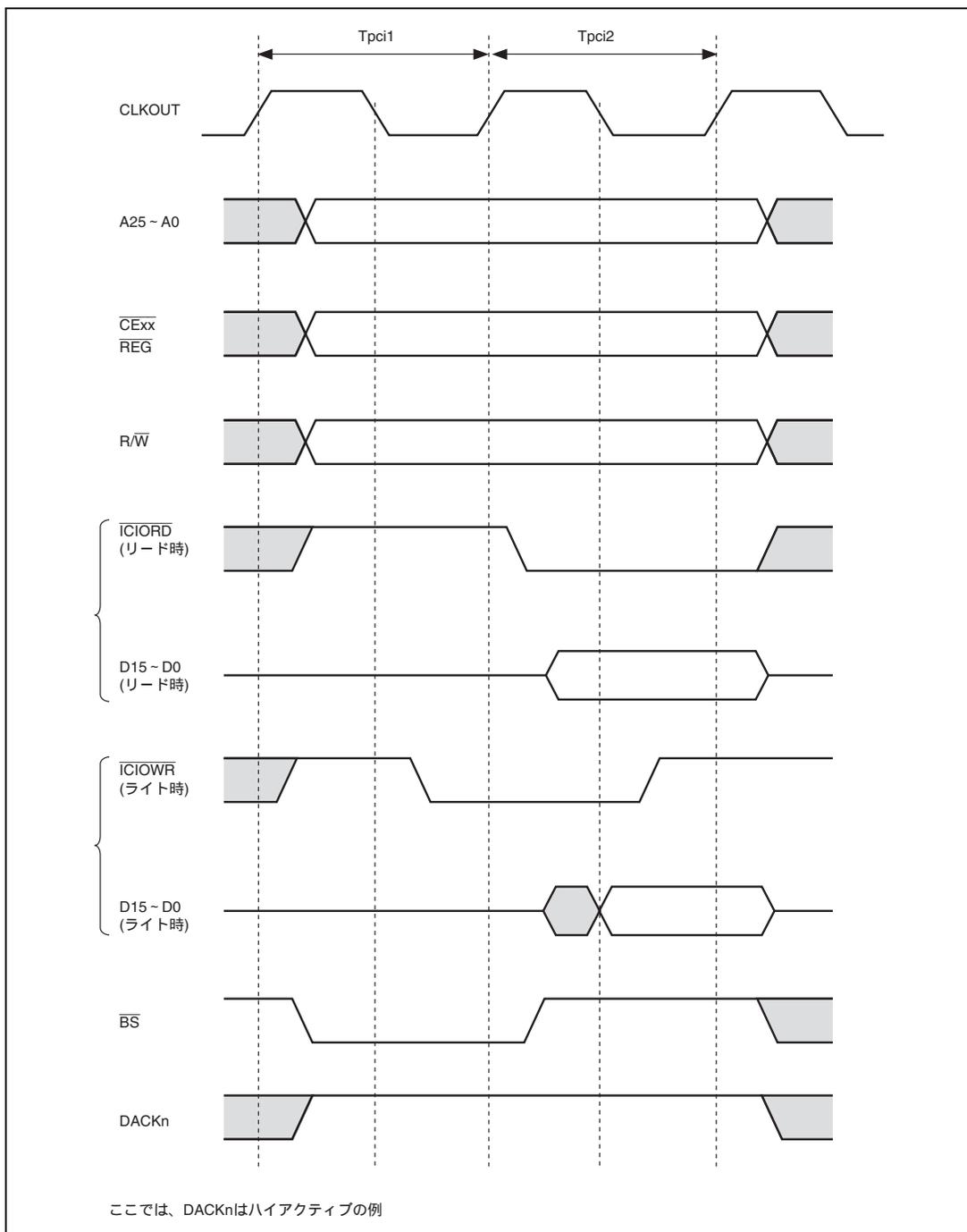


図 11.20 PCMCIA I/O カードインタフェースウェイトタイミング

11. ローカルバスステートコントローラ (LBSC)

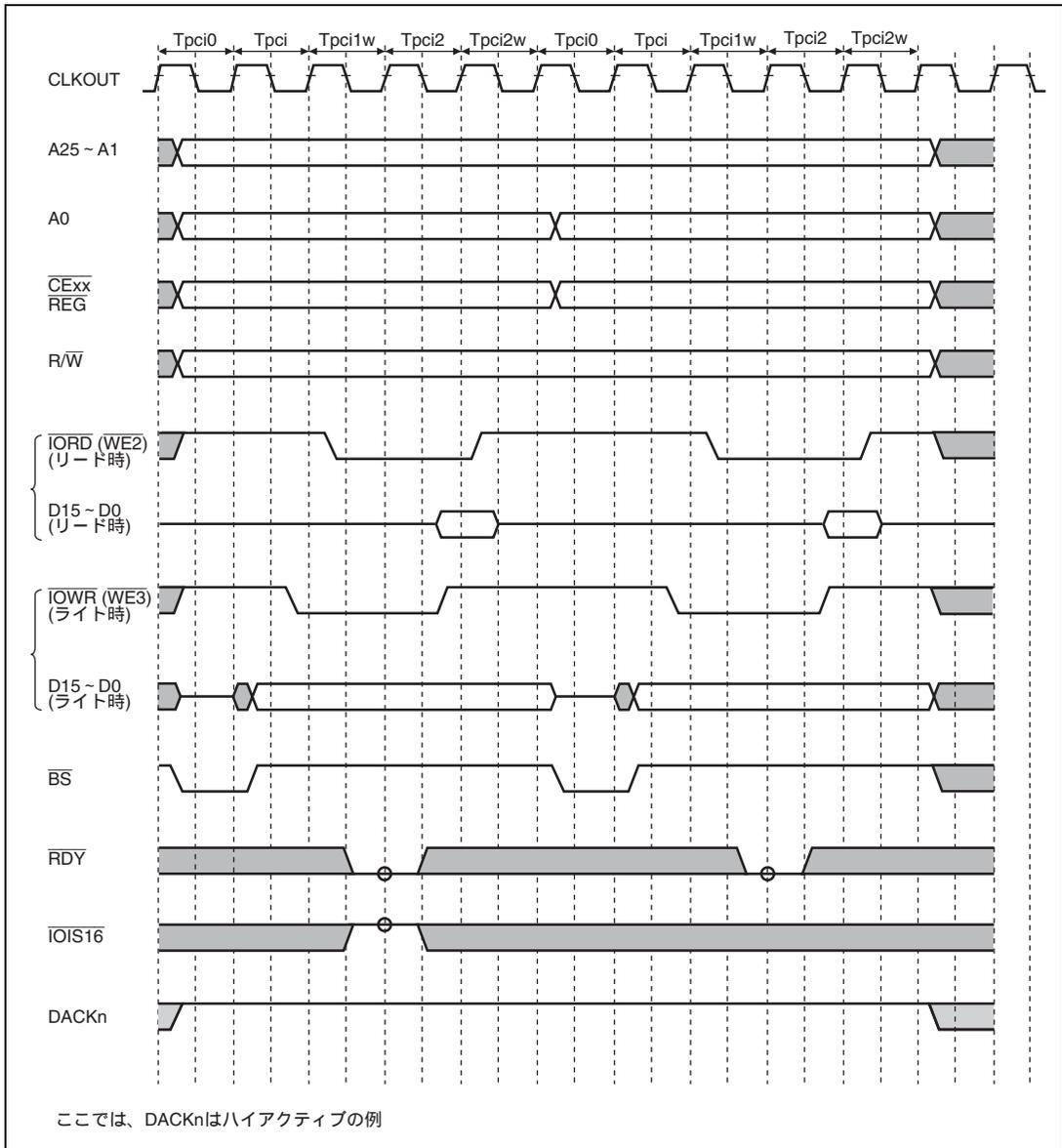


図 11.21 PCMCIA I/O カードインターフェースダイナミックバスサイジングタイミング

11. ローカルバスステートコントローラ (LBSC)

11.5.6 MPX インタフェース

$\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MODE7 端子をに 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。CS1BCR ~ CS6BCR の MPX ビットにより、エリア 1 ~ 6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス / データマルチプレクス形式のバスプロトコルを提供し、アドレス / データマルチプレクス形式の 64 ビットまたは 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25 ~ D0 に、アクセスサイズは 64 ビットバスのとき D63 ~ D61、32 ビットバスのとき D31 ~ D29 に出力されます。 $\overline{\text{BS}}$ 信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合、ネゲート期間は生まれません。 $\overline{\text{FRAME}}$ 信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始したときにネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「11.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25 ~ A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

D63/D31	D62/D30	D61/D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	使用しません
1	x	x	32 バイトバースト

X : Don't care

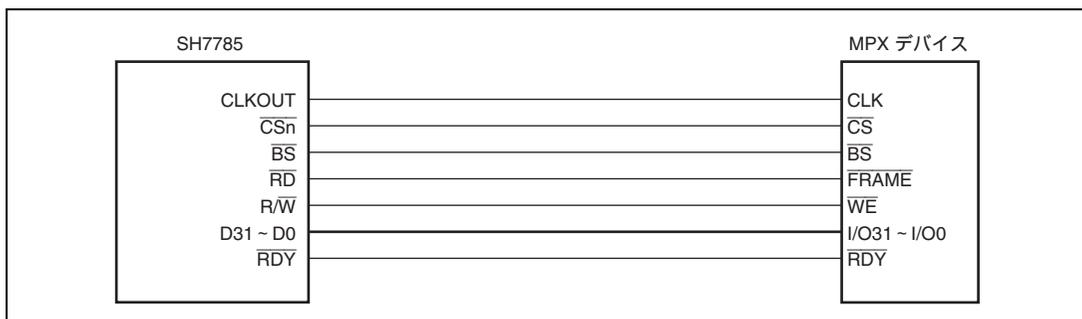


図 11.22 (1) 32 ビットデータ幅 MPX の接続例

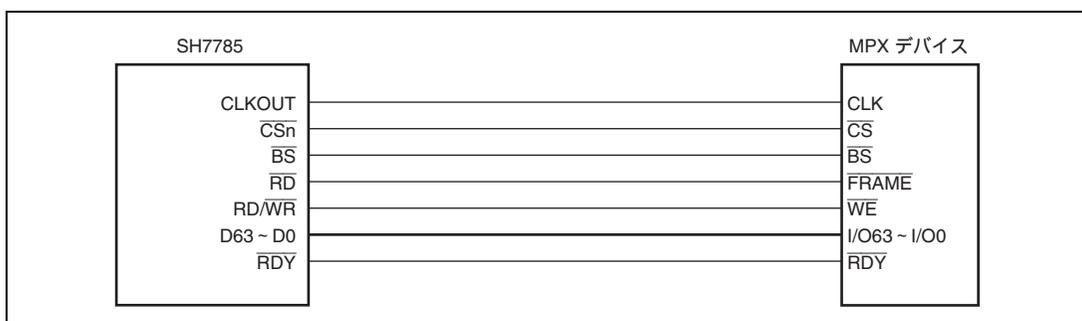


図 11.22 (2) 64 ビットデータ幅 MPX の接続例

次に MPX インタフェースタイミングを示します。

エリア 0 で MPX インタフェースを使用する場合、MODE5、6 によるバスサイズ指定は 64 ビットまたは 32 ビットに設定してください。エリア 1~6 で MPX インタフェースを使用する場合、CSnBCR によるバスサイズ指定は 32 ビットまたは 64 ビットとしてください。

なお、ウェイト制御は CSnWCR によるウェイトと $\overline{\text{RDY}}$ 端子によるウェイト挿入が可能です。

リード時は CSnWCR を 0 に設定していても、アドレス出力の次に自動的に 1 サイクルのウェイトが挿入されません。

11. ローカルバスステートコントローラ (LBSC)

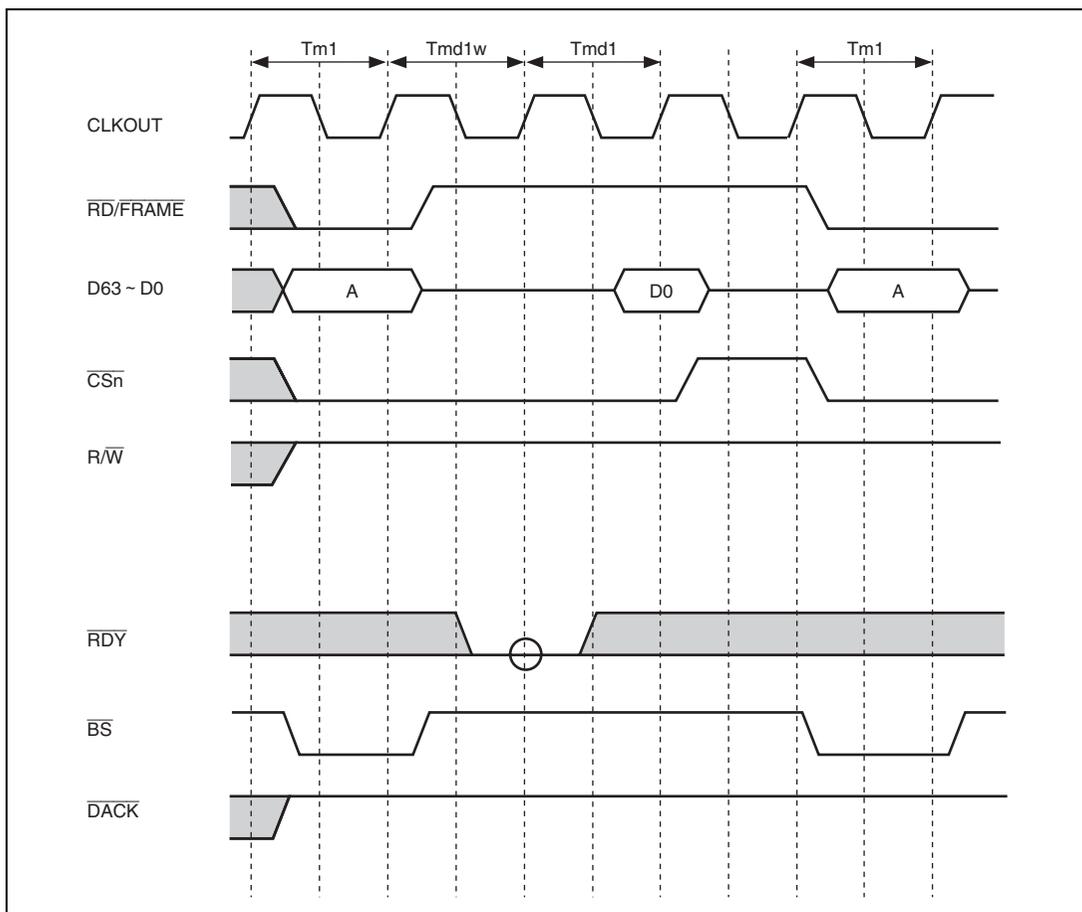


図 11.23 MPX インタフェースタイミング 1 (シングルリードサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット)

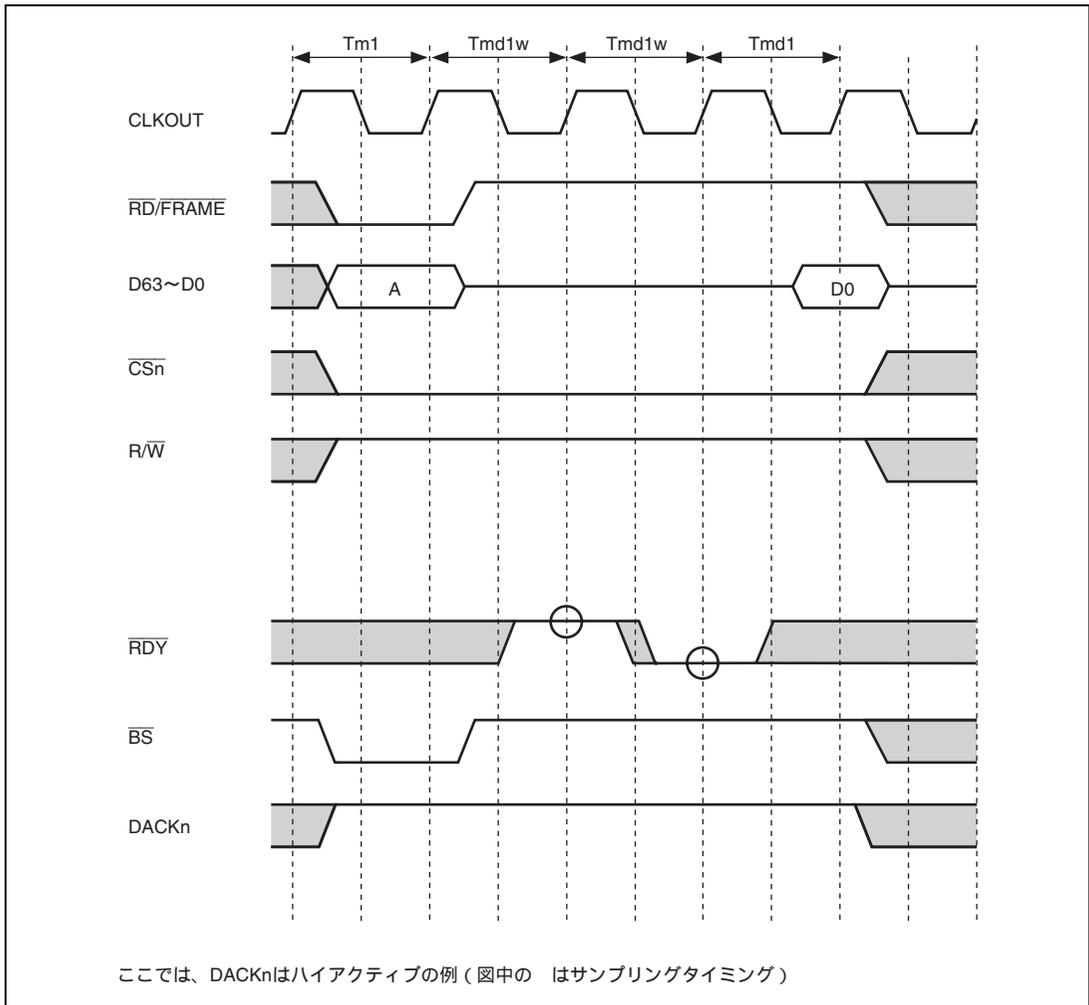


図 11.24 MPX インタフェースタイミング 2 (シングルリード、IW=0000、外部ウェイト 1 挿入、バス幅 64 ビット)

11. ローカルバスステートコントローラ (LBSC)

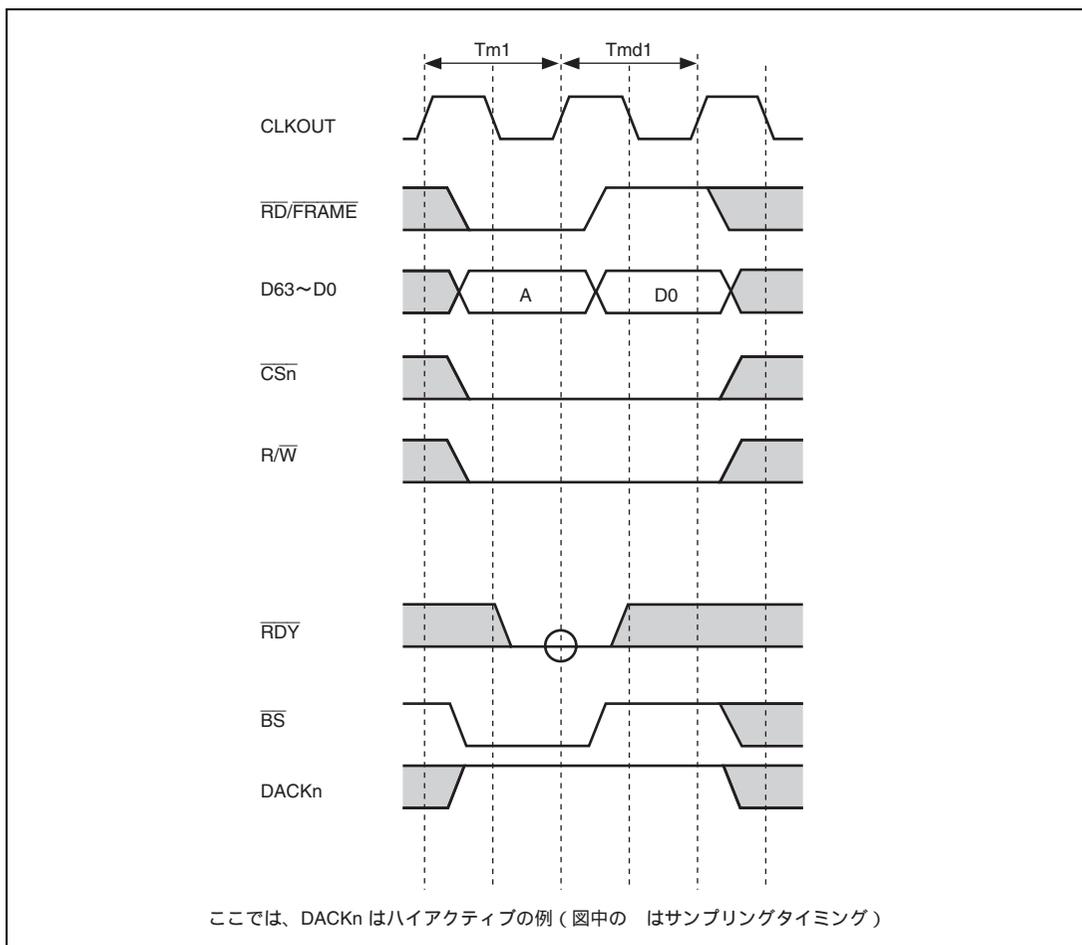


図 11.25 MPX インタフェースタイミング 3 (シングルライトサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット)

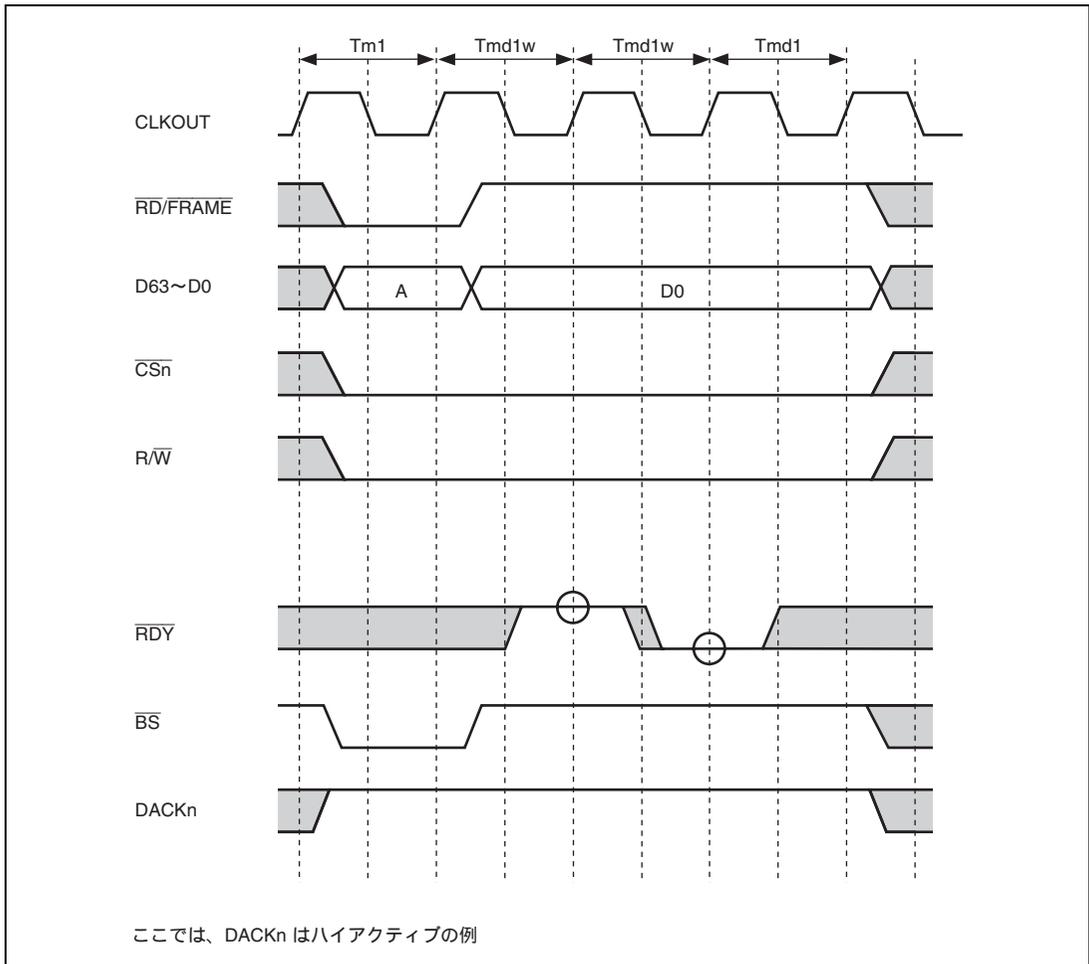


図 11.26 MPX インタフェースタイミング 4 (シングルライト、IW=0001、外部ウェイト 1 挿入、バス幅 64 ビット)

11. ローカルバスステートコントローラ (LBSC)

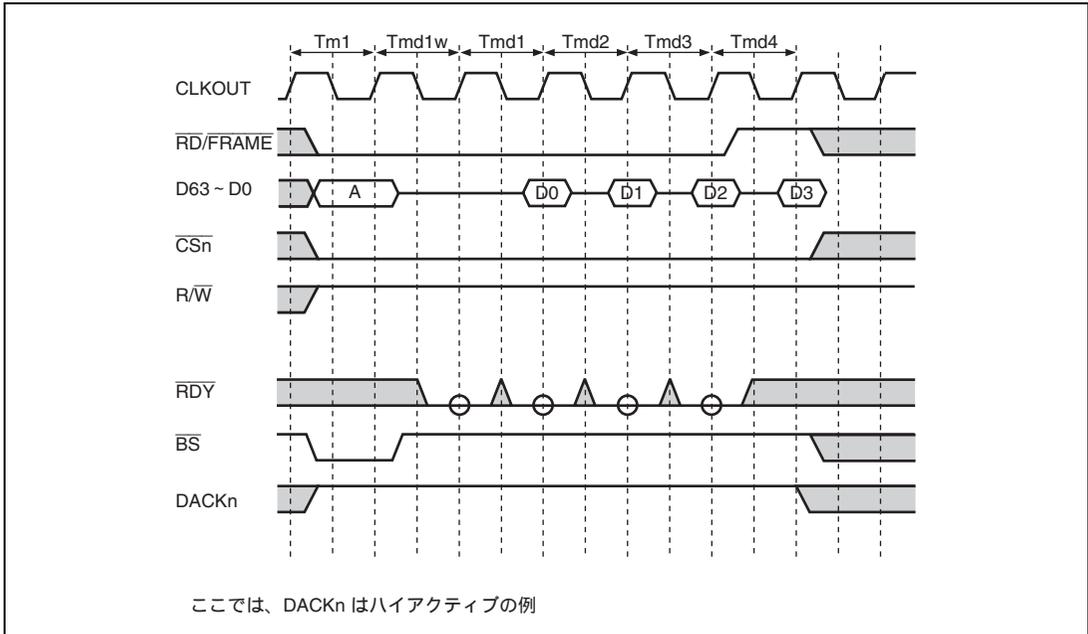


図 11.27 MPX インタフェースタイミング 5 (バーストリードサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)

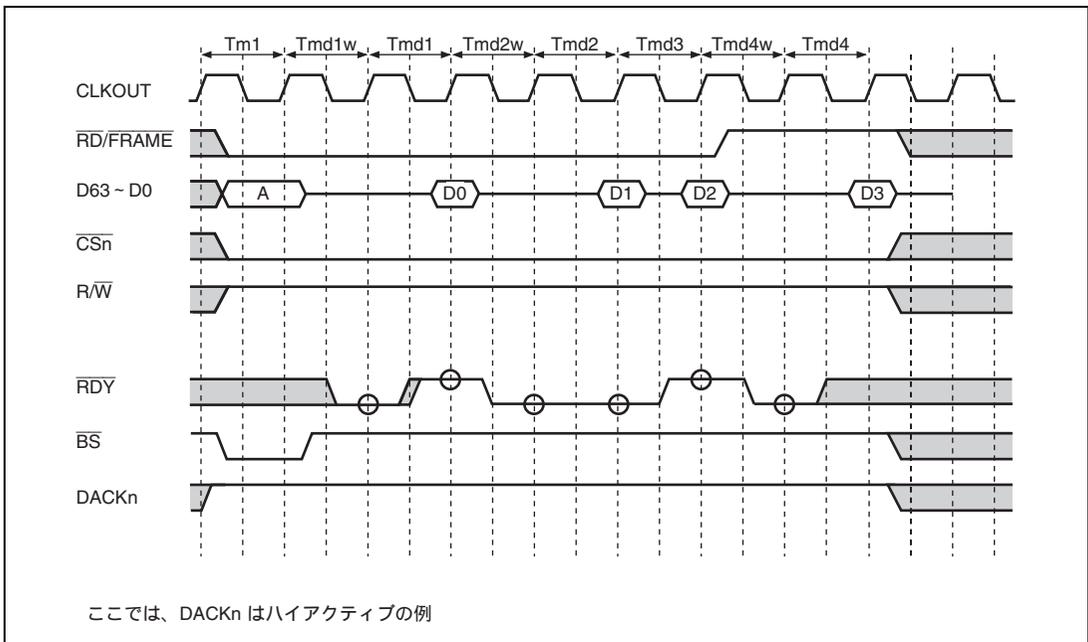


図 11.28 MPX インタフェースタイミング 6 (バーストリードサイクル、IW=0000、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)

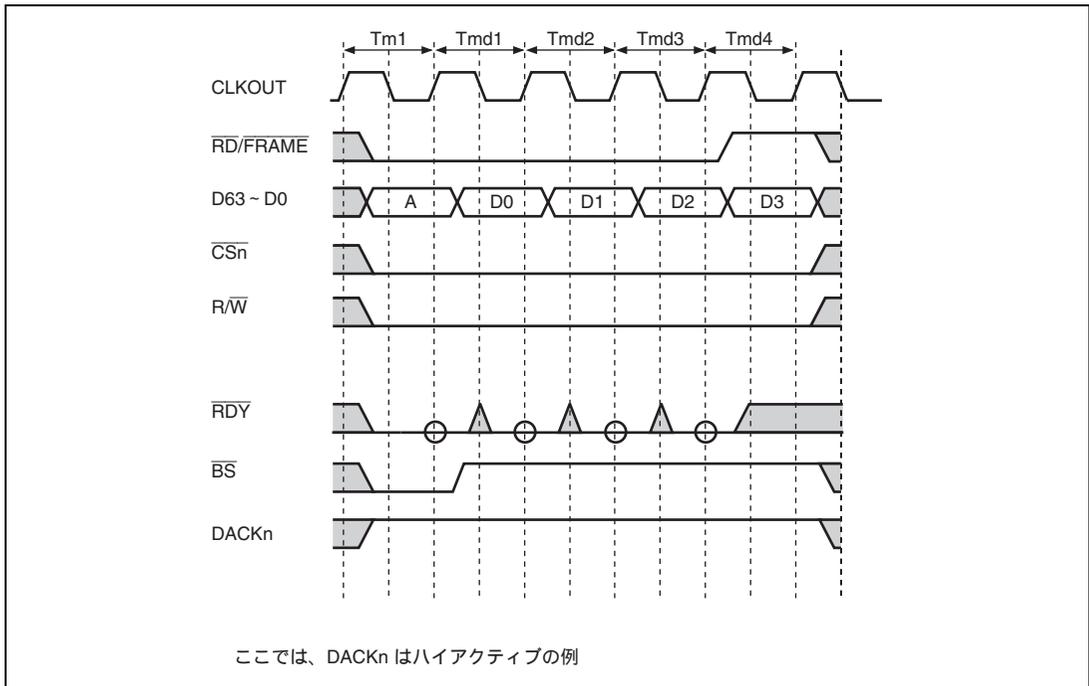


図 11.29 MPX インタフェースタイミング7 (バーストライトサイクル、IW=0000、外部ウェイトなし、バス幅 64 ビット、転送データサイズ 32 バイト)

11. ローカルバスステートコントローラ (LBSC)

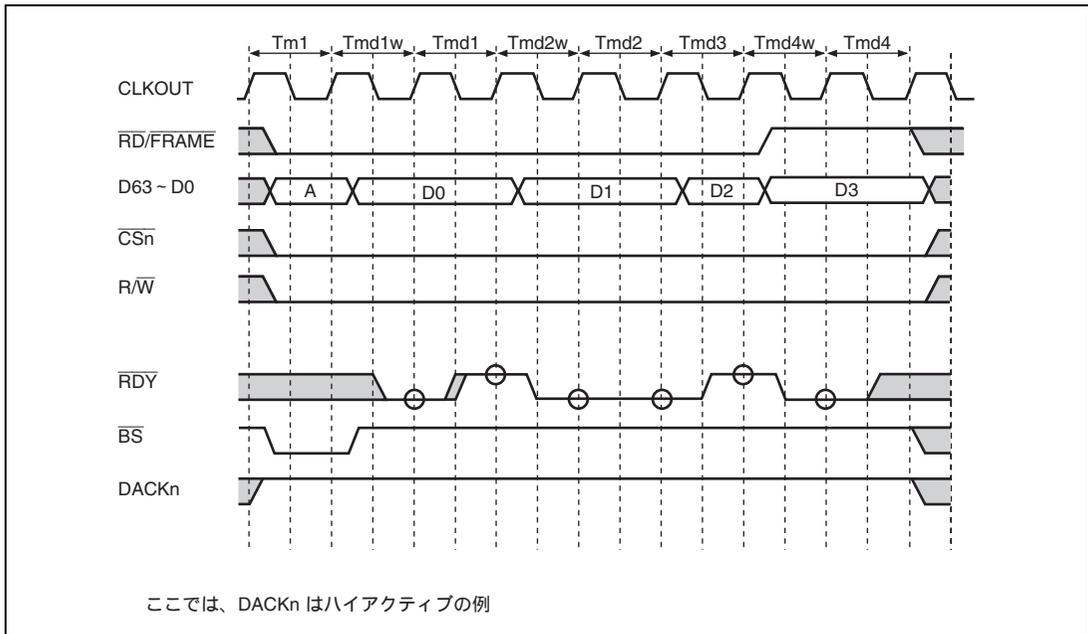


図 11.30 MPX インタフェースタイミング 8 (バーストライトサイクル、IW=0001、外部ウェイト制御、バス幅 64 ビット、転送データサイズ 32 バイト)

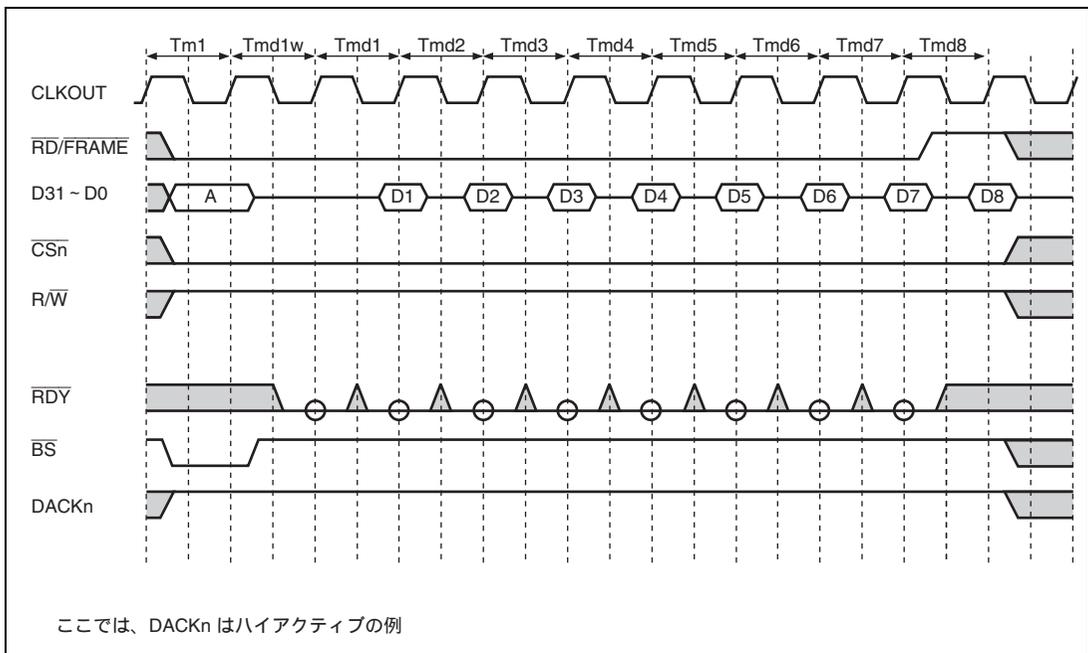


図 11.31 MPX インタフェースタイミング 9 (バーストリードサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

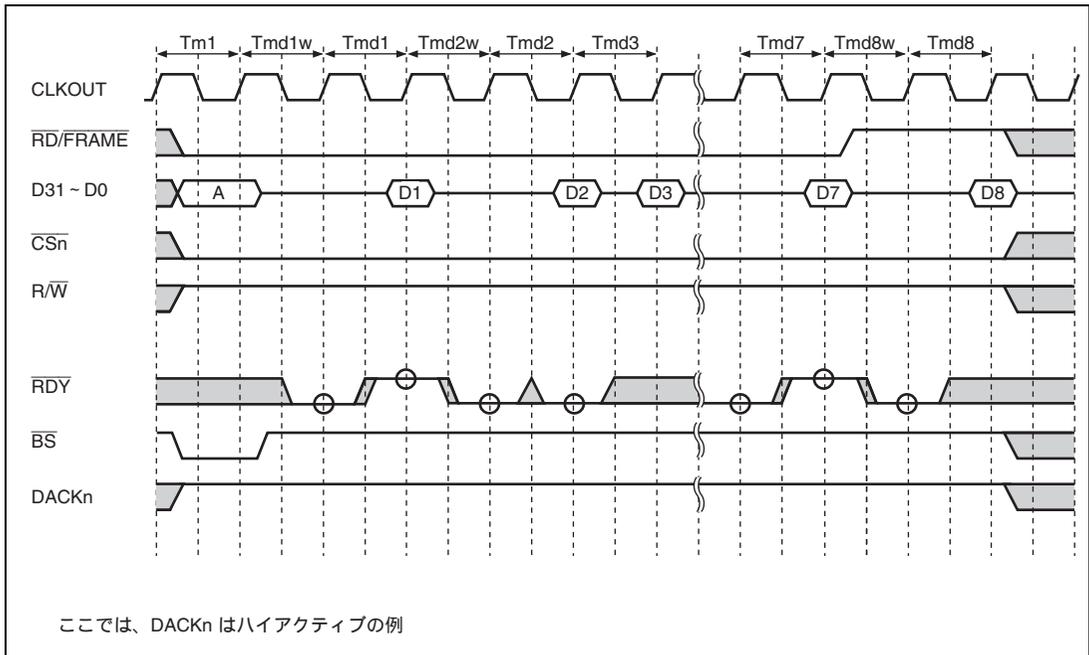


図 11.32 MPX インタフェースタイミング 10 (パーストリードサイクル、IW=0000、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

11. ローカルバスステートコントローラ (LBSC)

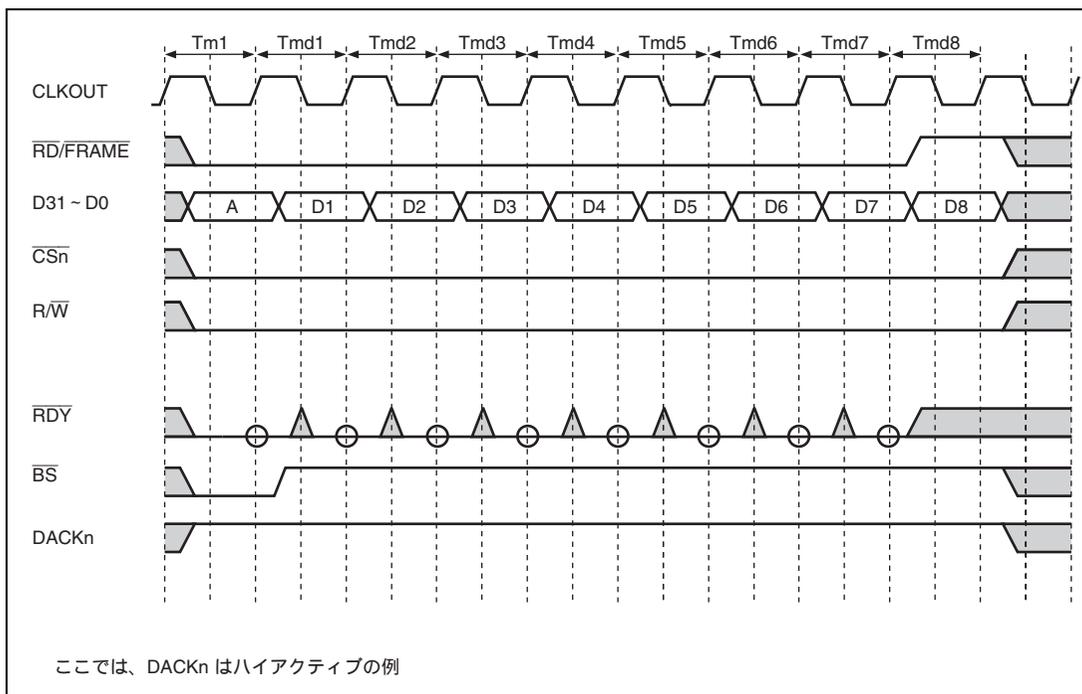


図 11.33 MPX インタフェースタイミング 11 (バーストライトサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

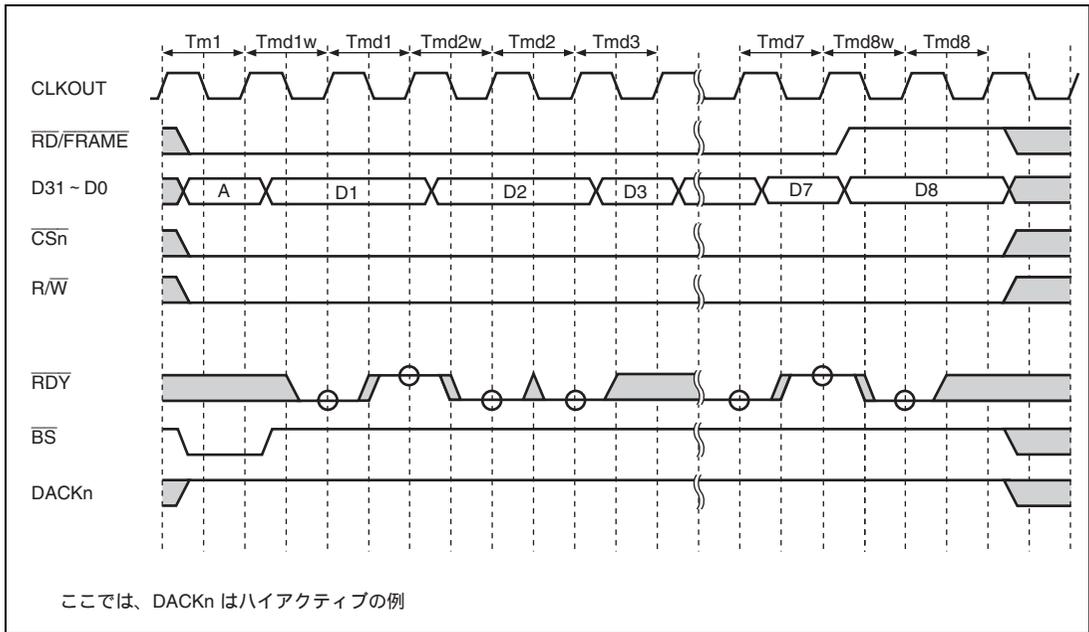


図 11.34 MPX インタフェースタイミング 12 (バーストライトサイクル、IW=0001、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

11.5.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロープ ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロープ、下位バイトセレクトストロープ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{WE_n}$ 端子のタイミングが異なります。リードアクセス時、読み込むバイトの $\overline{WE_n}$ 信号だけがアサートされます。アサートは $\overline{WE_n}$ 信号と同じく、CLKOUT クロックの立ち下がりに同期して行われますが、ネゲートは、CLKOUT の立ち上がりに同期して行われ、これは、 \overline{RD} 信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われます。この途中ではバス権を解放しません。

図 11.35、図 11.36 にバイト制御 SRAM の接続例を、図 11.37 ~ 図 11.39 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

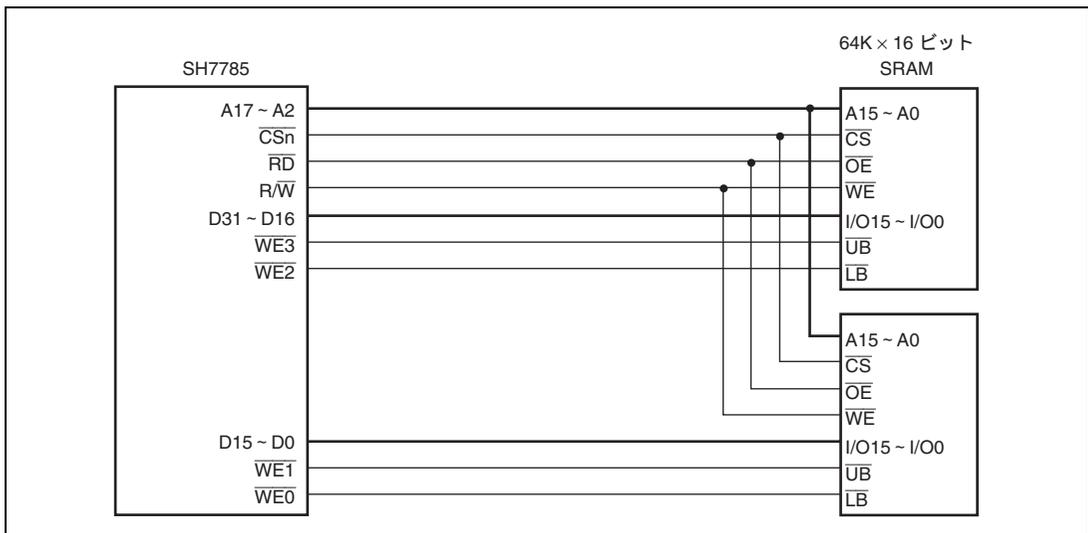


図 11.35 32 ビットデータ幅バイト制御 SRAM の例

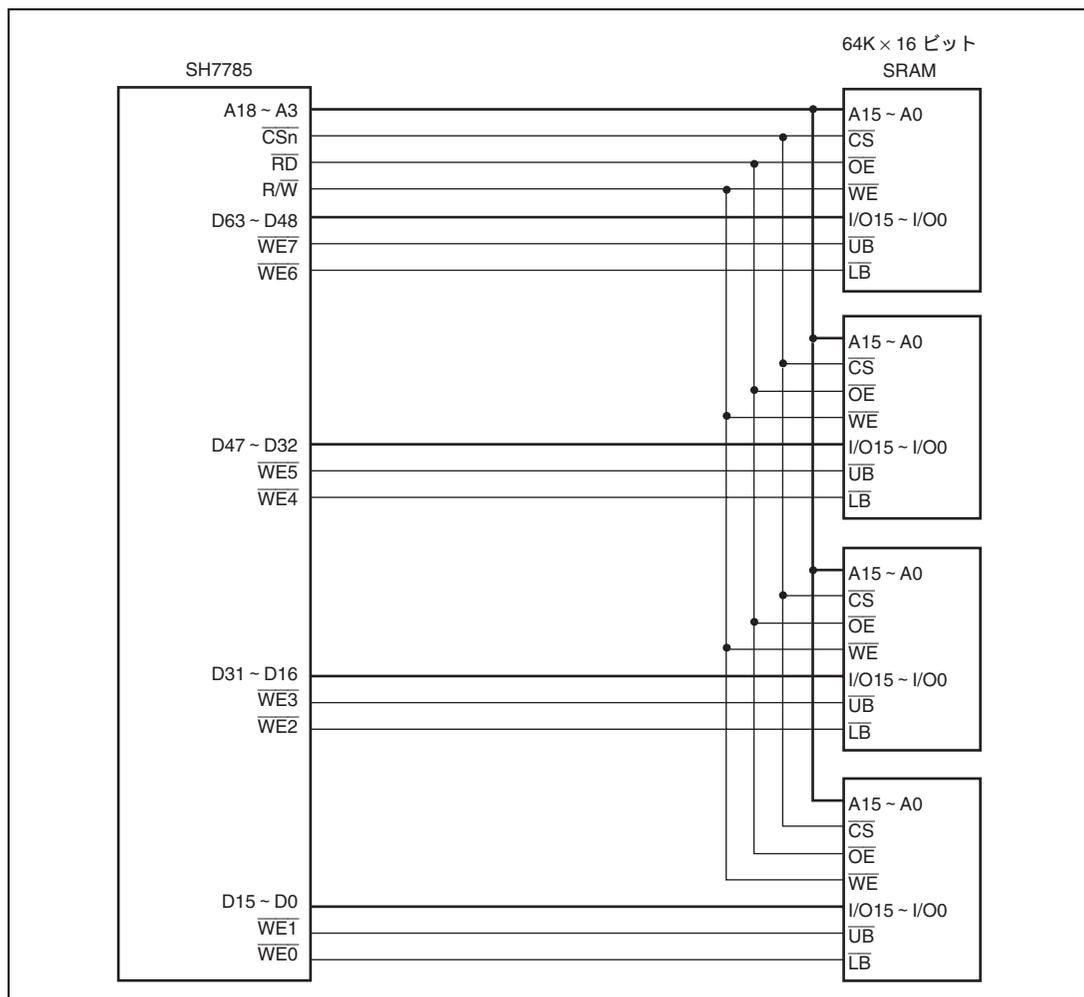


図 11.36 64 ビットデータ幅バイト制御 SRAM の例

11. ローカルバスステートコントローラ (LBSC)

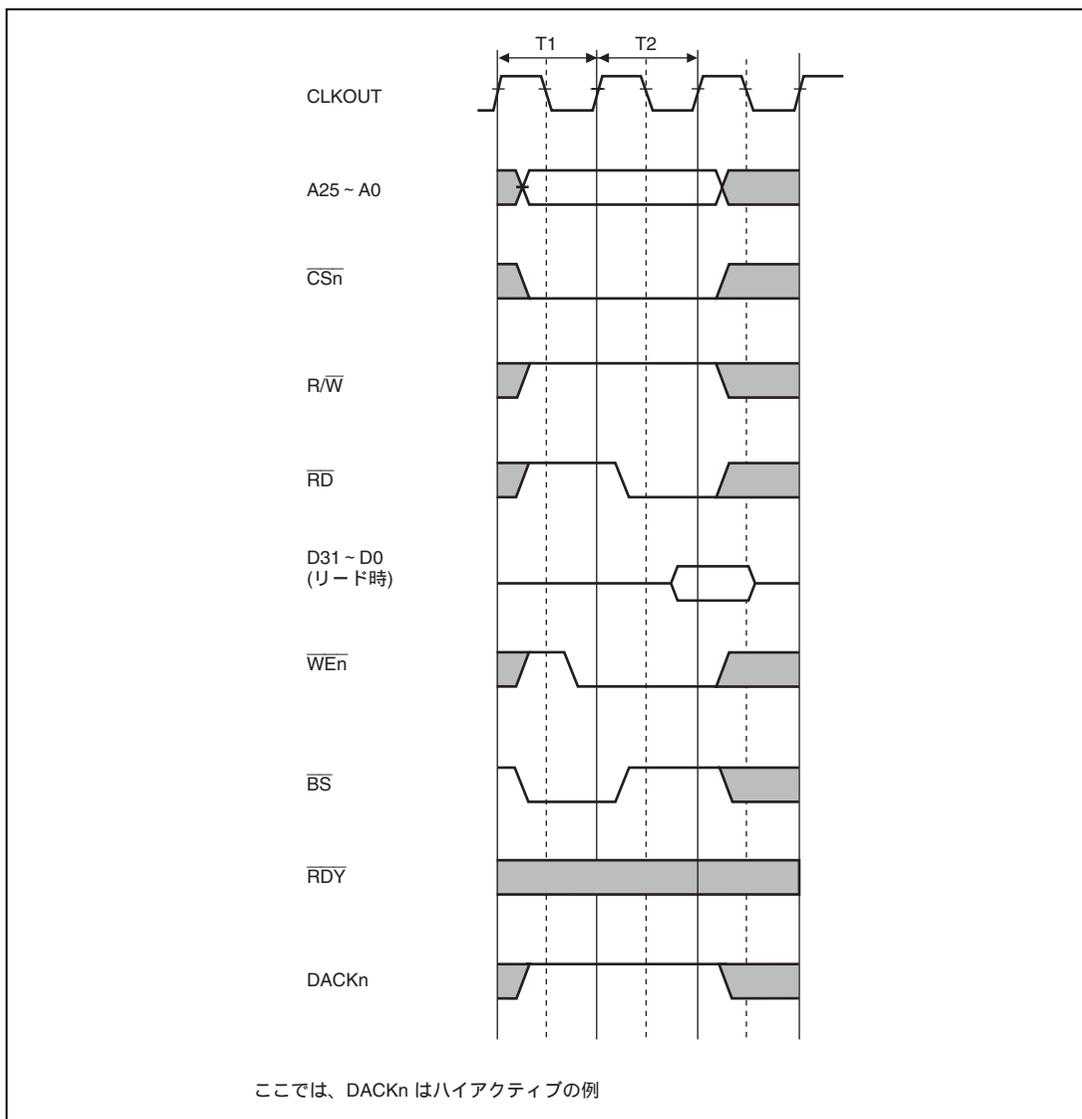


図 11.37 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

11. ローカルバスステートコントローラ (LBSC)

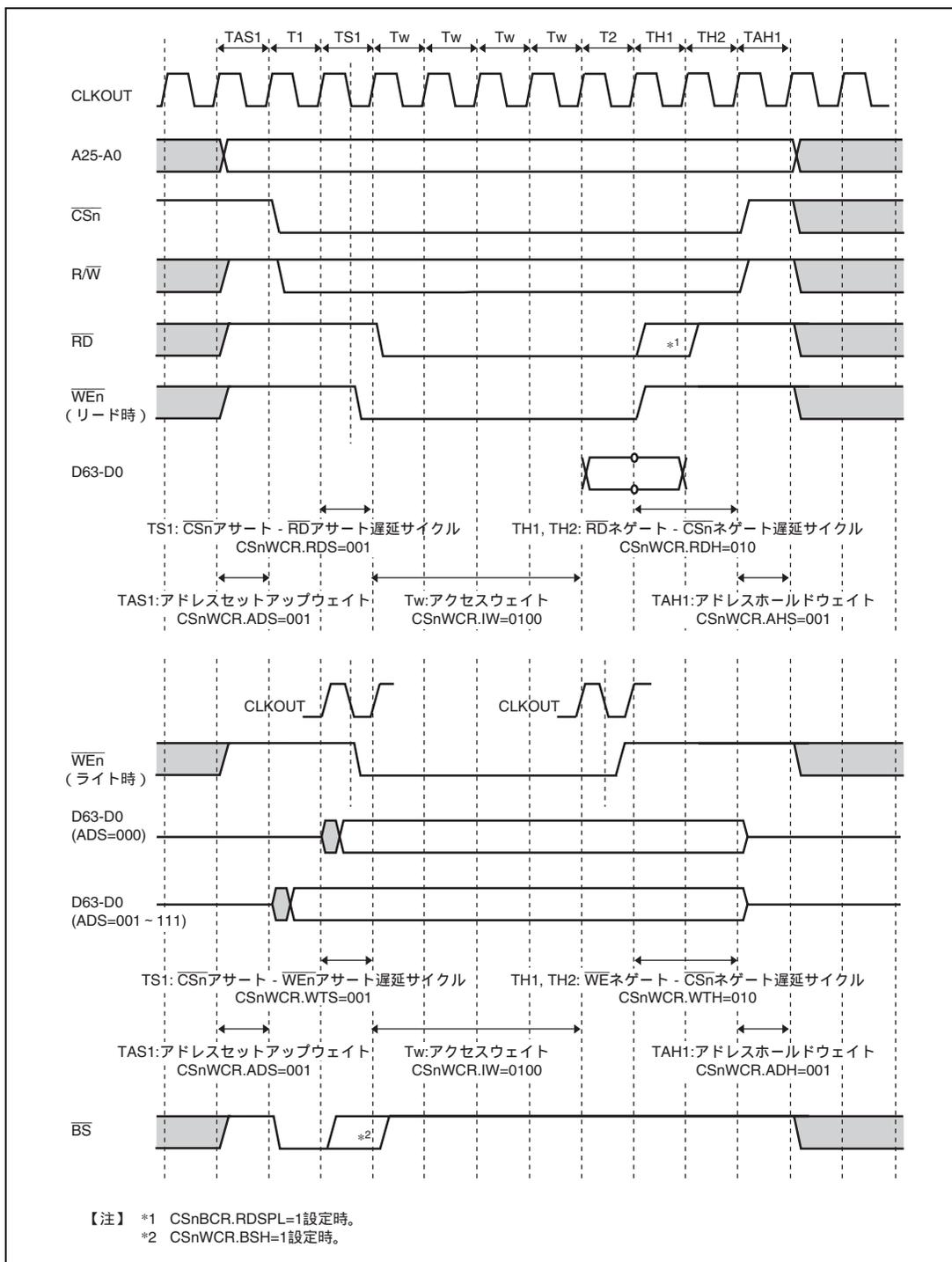


図 11.38 バイト制御 SRAM のウェイト状態タイミング例

11. ローカルバスステートコントローラ (LBSC)

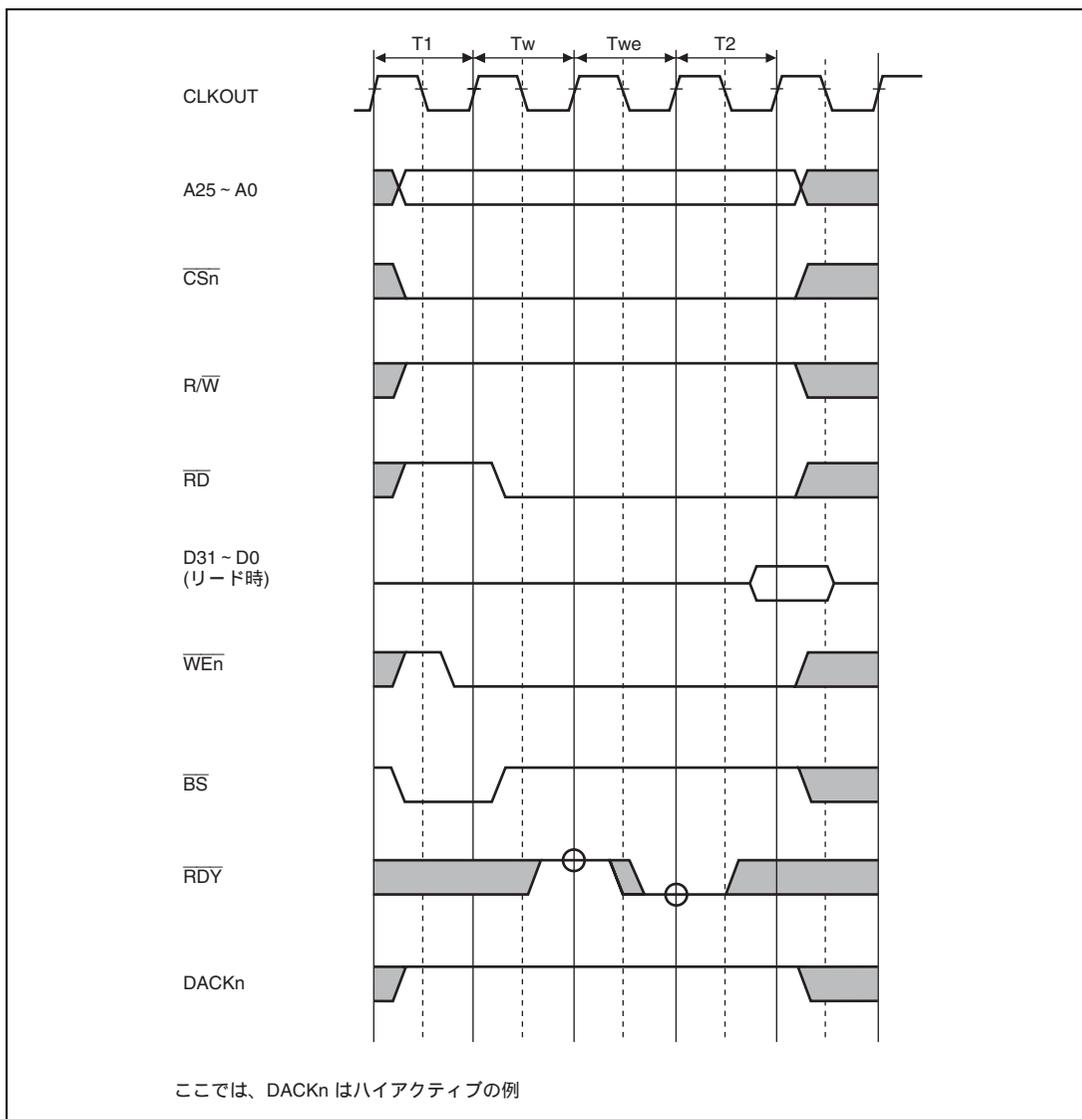


図 11.39 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

11.5.8 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。CSnBCRのアクセスサイクル間ウェイト設定ビット IWW、IWRWD、IWRWS、IWRRD、IWRRS によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

バスアービトレーションを行う場合には、アクセスサイクル間ウェイト後、バスが解放されます。

デュアルアドレスモードでの DMA 転送の場合にも、CSnBCR アイドルサイクル設定ビットによって指定された通常のサイクル間ウェイトが挿入されます。

リードアクセス終了後、連続して MPX インタフェースに設定したエリアへのアクセスが起こる場合、アクセスサイクル間ウェイトを 0 に設定していても、1 サイクル挿入します。

また、アクセスサイズが 4 バイト以上のときは、アクセスサイズ 32 バイトを除きバス幅に関係なく 4 バイト単位にアイドルサイクルが挿入されます。

アクセスサイズが 4 バイト未満 (8 ビット、16 ビット) と 32 バイトのときはアクセスサイズ単位にアイドルが挿入されます。

11. ローカルバスステートコントローラ (LBSC)

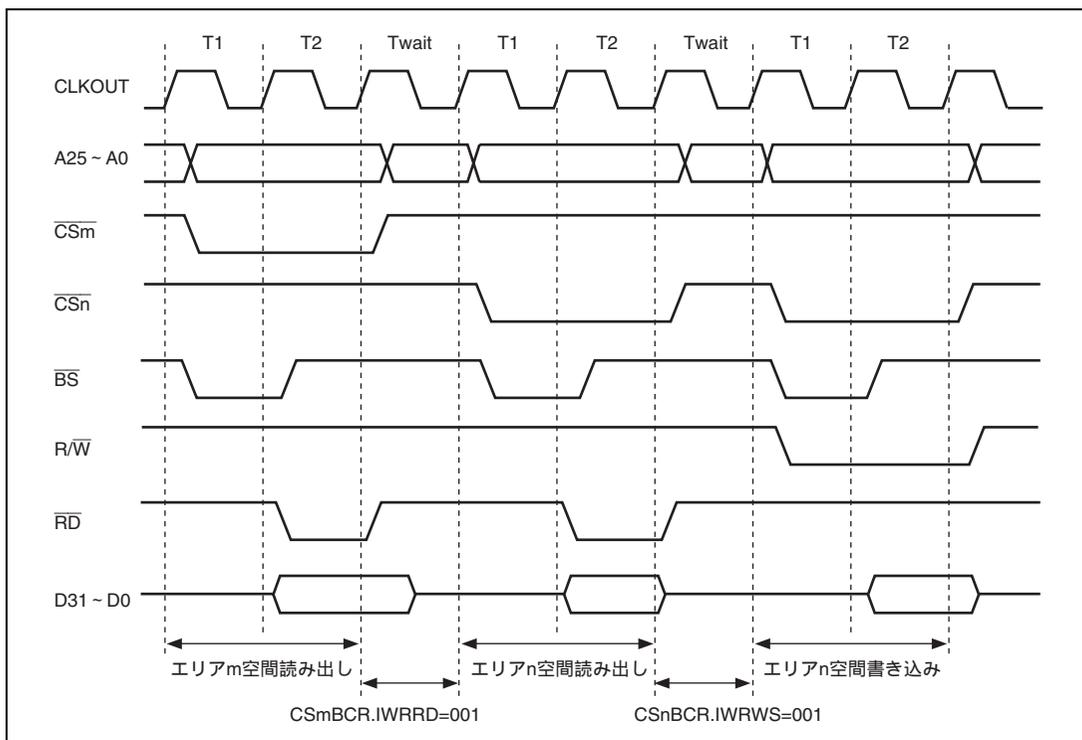


図 11.40 アクセスサイクル間ウェイト (アクセスサイズは 4 バイト)

11.5.9 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

バスアービトレーションには、マスタモードとスレーブモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行います。スレーブモードは定常状態でバス権を有しておらず、外部バスアクセスサイクルが発生することにバス権の要求を行い、アクセス終了後はバスを再び開放します。

マスタモードとスレーブモードは外部モードピンの設定によって指定できます。外部モードピンの設定は「付録 B. モード端子の設定」を参照してください。マスタモードとスレーブモードでは、バス権を所有していないときにはバスをハイインピーダンス状態とします。マスタモードでは、バス権要求を行う外部バスデバイスを接続することができます。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には CPU、DMAC、GDTA、DU、PCIC の 5 つのバスマスタがあります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関する優先順位は、高い方から順に、外部デバイスによるバス権要求、本 LSI 内部のバスマスタの順になり、本 LSI 内部のバスマスタ間の優先順位はラウンドロビンとなります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。

本 LSI 内部の CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部または外部の他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

11. ローカルバスステートコントローラ (LBSC)

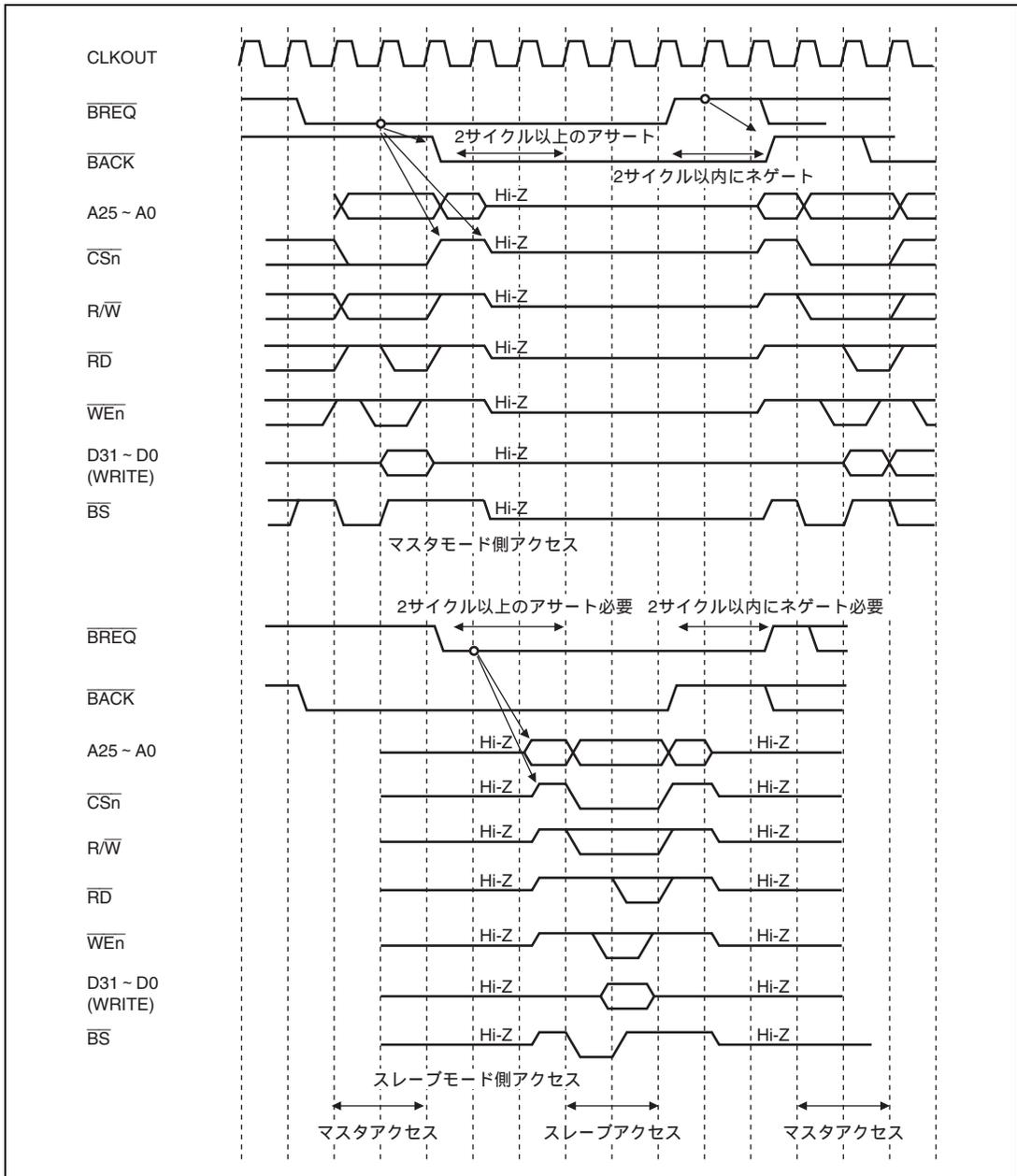


図 11.41 アービトレーションシーケンス

11.5.10 マスタモード

マスタモードのプロセッサは、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (ローレベル) を受け、実行中のバスサイクルが終わりしだいバスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (ローレベル) にします。スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (ハイレベル) を受けて $\overline{\text{BACK}}$ をネゲート (ハイレベル) し、バスの使用を再開します。

バス解放時はバスアービトレーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する $\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$ 、 $\overline{\text{DACK2}}$ 、 $\overline{\text{DACK3}}$ を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

具体的なバス解放シーケンスは次のとおりです。まず、 $\overline{\text{BACK}}$ をクロックの立ち上がり同期してアサートします。この $\overline{\text{BACK}}$ アサートの次のクロックの立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{R}\overline{\text{W}}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、A25 ~ A0) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、直ちに $\overline{\text{BACK}}$ をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してバスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ 信号のネゲートが必要です。

11.5.11 スレーブモード

スレーブモードでは通常、バスは解放状態となっており、バスアービトレーションシーケンスを行ってバス権を獲得しない限り、外部デバイスにアクセスすることはできません。リセット時もバス解放状態であり、リセットベクタのフェッチからバスアービトレーションシーケンスが開始されます。

バス権獲得のためにクロックの立ち上がり同期して $\overline{\text{BSREQ}}$ 信号をアサート (ローレベル) にします。バス使用許可である $\overline{\text{BSACK}}$ 信号のアサート (ローレベル) をクロック立ち上がりでサンプリングします。 $\overline{\text{BSACK}}$ のアサートを検出すると、2 サイクル後にバス制御信号をネゲートレベルでドライブします。これに続くクロックの立ち上がりで、バスサイクルを開始します。アクセスサイクルの終了時に最後にネゲートされる信号は、クロック立ち上がり同期しています。バスサイクル終了と同時に、 $\overline{\text{BSREQ}}$ 信号をネゲートしバスの解放をマスタに通知します。次のクロックの立ち上がりで、制御信号をハイインピーダンスにします。

スレーブモードのプロセッサがアクセスを開始するためには、2 サイクル以上の $\overline{\text{BSACK}}$ 信号のアサートが必要です。

11. ローカルバスステートコントローラ (LBSC)

11.5.12 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 $\overline{\text{BREQ}}$ イネーブルビット (BCR.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$ イネーブルビットに 1 を書き込んでください。

11.5.13 低消費電力モードとバスアービトレーション

ディープスリープモードを使用する場合、バスアービトレーションを行うシステムではマスタモードのプロセッサのバス権開放イネーブルビット (BCR.BREQEN) を 0 に設定してから、ディープスリープモードに遷移させてください。バス権開放イネーブルビットを 1 に設定したままでディープスリープモードに遷移した場合の動作は保証されません。

11.5.14 データバス幅に関する MODE 端子設定と汎用入出力ポート設定

ローカルバスで使用するデータバス幅の選択に対する、MODE 端子設定とポート設定 (GPIO ポートコントロールレジスタ設定) の例を表 11.15 で示します。

表 11.15 データバス幅の選択に対する、MODE 端子設定とポート設定

データバス幅	使用するデータ端子	MODE12	MODE11	GPIO ポートコントロールレジスタ					
				PACR	PBCR	PCCR	PDCR	PFCR	PGCR
64 ビット	D63 ~ D0	H	L	H'0000	H'0000	H'0000	H'0000	H'0000	H'0000
32 ビット	D31 ~ D0	任意	任意	任意	任意	任意	任意	H'0000	H'0000
16 ビット	D15 ~ D0			任意	任意	任意	任意	任意	任意
8 ビット	D7 ~ D0			任意	任意	任意	任意	任意	任意

【注】 L ローレベル

H ハイレベル

また、表中の「任意」については、システムに合った設定をしてください。

11.5.15 LBSC 以外の機能とマルチプレクスされている端子

LBSC の使用する端子には、汎用入出力ポート (GPIO) や他周辺モジュールの使用する機能とマルチプレクスされているものがあります。LBSC で使用する端子は、GPIO のレジスタにて LBSC 機能に設定してからアクセス開始してください。たとえば、PCMCIA インタフェースを使用する場合は、アクセスを開始する前に、GPIO.P1MSELR と GPIO.PLCR にて CE2A、CE2B の機能を有効にする必要があります。

11.5.16 $\overline{\text{DACK}}_n$ 出力の分割に関するレジスタ設定

ローカルバス空間に対する DMA 転送のアクセスサイズがデータバス幅よりも大きい場合、複数のバスサイクルが発生します。複数のバスサイクルが発生し、かつバスサイクル間で CS がネゲートする設定の場合、 $\overline{\text{CS}}$ と同様に $\overline{\text{DACK}}_n$ 出力が分割されます。

DMA 転送で $\overline{\text{DACK}}_n$ 出力の分割をしない場合、および分割をする場合のレジスタ設定を表 11.16 ~ 表 11.19 に示します。

表 11.16 SRAM/バースト ROM/バイト制御 SRAM インタフェース使用時の DMA1 転送での $\overline{\text{DACK}}_n$ 出力の分割に関するレジスタ設定

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	分割しない場合		分割する場合
			CSnBCR.IWRRD, IWRRS または IWW	CSnWCR.ADS および ADH	CSnWCR.ADS および ADH
8	バイト	1	-	-	分割できません
	ワード	2	-	B'000	B'111 ~ B'001
	ロングワード	4	-	B'000	B'111 ~ B'001
	16 バイト	16	B'000	B'000	B'111 ~ B'001
	32 バイト	32	-	B'000	B'111 ~ B'001
16	バイト	1	-	-	分割できません
	ワード	1	-	-	分割できません
	ロングワード	2	-	B'000	B'111 ~ B'001
	16 バイト	8	B'000	B'000	B'111 ~ B'001
	32 バイト	16	-	B'000	B'111 ~ B'001
32	バイト	1	-	-	分割できません
	ワード	1	-	-	分割できません
	ロングワード	1	-	-	分割できません
	16 バイト	4	B'000	B'000	B'111 ~ B'001
	32 バイト	8	-	B'000	B'111 ~ B'001
64	バイト	1	-	-	分割できません
	ワード	1	-	-	分割できません
	ロングワード	1	-	-	分割できません
	16 バイト	4	B'000	B'000	B'111 ~ B'001
	32 バイト	4	-	B'000	B'111 ~ B'001

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が 1 のときは、DMA1 転送の $\overline{\text{DACK}}_n$ 出力が 1 回なので分割できません。

11. ローカルバスステートコントローラ (LBSC)

表 11.17 PCMCIA インタフェース使用時に DMA1 転送での \overline{DACKn} 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合	分割する場合
			CSnBCR.IWRRD, IWRRS または IWW	CSnBCR.IWRRD, IWRRS または IWW
8	バイト	1	-	分割できません
	ワード	2	-	分割できません* ¹
	ロングワード	4	-	分割できません* ¹
	16 バイト	16	B'000	B'111 ~ B'001* ²
	32 バイト	32	-	分割できません* ¹
16	バイト	1	-	分割できません
	ワード	1	-	分割できません
	ロングワード	2	-	分割できません* ¹
	16 バイト	8	B'000	B'111 ~ B'001* ²
	32 バイト	16	-	分割できません* ¹

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の \overline{DACKn} 出力が1回なので分割できません。

*1 複数のバスサイクルが発生しますが分割できません。

*2 ロングワード単位でのみ分割します。

表 11.18 MPX インタフェース使用のリードアクセス時に DMA1 転送での \overline{DACKn} 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合	分割する場合
			CSnBCR.IWRRD, または IWRRS	CSnBCR.IWRRD, または IWRRS
32	バイト	1	-	分割できません
	ワード	1	-	分割できません
	ロングワード	1	-	分割できません
	16 バイト	4	必ず分割します	-
	32 バイト	1	-	分割できません
64	バイト	1	-	分割できません
	ワード	1	-	分割できません
	ロングワード	1	-	分割できません
	16 バイト	4	必ず分割します	-
	32 バイト	1	-	分割できません

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の \overline{DACKn} 出力が1回なので分割できません。

11. ローカルバスステートコントローラ (LBSC)

表 11.19 MPX インタフェース使用のライトアクセス時に DMA1 転送での \overline{DACKn} 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合		分割する場合
			CSnBCR.IWW	CSnWCR.IW[1:0]	CSnBCR.IWW
32	バイト	1	-	-	分割できません
	ワード	1	-	-	分割できません
	ロングワード	1	-	-	分割できません
	16 バイト	4	B'000	B'11 ~ B'01	B'111 ~ B'001
	32 バイト	1	-	-	分割できません
64	バイト	1	-	-	分割できません
	ワード	1	-	-	分割できません
	ロングワード	1	-	-	分割できません
	16 バイト	4	B'000	B'11 ~ B'01	B'111 ~ B'001
	32 バイト	1	-	-	分割できません

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の \overline{DACKn} 出力が1回なので分割できません。

11. ローカルバスステートコントローラ (LBSC)

12. DDR2-SDRAM インタフェース (DBSC2)

DDR2-SDRAM インタフェース (DBSC2) は、DDR2-SDRAM の制御を行うインタフェースです。

12.1 特長

- 32ビットまたは16ビットの外部データバス幅をサポート
- DDR2-600 (コントローラ動作300MHz) からDDR2-400 (コントローラ動作200MHz) をサポート
- 内部バスである64ビット幅SuperHywayバスに接続
- SuperHywayクロックとDDRクロック比は1:1をサポート
- SuperHywayとのインタフェースのためのキューを搭載
- 端子によるパワーオンリセット時にビッグ/リトルエンディアン切り替え可能
- 4バンクまたは8バンクDDR2-SDRAMに対応
- バースト長は4、シーケンシャルモードをサポート
- Additive Latency (AL) は0のみサポート
- 差動データストロブ信号 (DQS、 \overline{DQS}) をサポート
ただし、RDQSは未サポート
- セルフリフレッシュをサポート
- 電源バックアップモードをサポート
- 対応可能なメモリ品のアドレス×ビット幅 (bit) は下記のとおりです。

詳細は表12.12～12.19を参照してください。

(なお、8bank品をご使用される際には「12.5.8 8bank品DDR2-SDRAM使用上のご注意」を参照ください。)

DDR2-SDRAMデータバス幅：32ビット

- 256M bit (16M×16bit) 2個並列接続 (合計容量 512M bit)
- 256M bit (32M×8bit) 4個並列接続 (合計容量 1G bit)
- 512M bit (32M×16bit) 2個並列接続 (合計容量 1G bit)
- 512M bit (64M×8bit) 4個並列接続 (合計容量 2G bit)
- 1G bit (64M×16bit) 2個並列接続 (合計容量 2G bit)
- 1G bit (128M×8bit) 4個並列接続 (合計容量 4G bit)
- 2G bit (128M×16bit) 2個並列接続 (合計容量 4G bit)
- 2G bit (256M×8bit) 4個並列接続 (合計容量 8G bit)

DDR2-SDRAMデータバス幅：16ビット

- 256M bit (16M×16bit) 1個並列接続 (合計容量 256M bit)

12. DDR2-SDRAM インタフェース (DBSC2)

- 256M bit (32M×8bit) 2個並列接続 (合計容量 512M bit)
- 512M bit (32M×16bit) 1個並列接続 (合計容量 512M bit)
- 512M bit (64M×8bit) 2個並列接続 (合計容量 1G bit)
- 1G bit (64M×16bit) 1個並列接続 (合計容量 1G bit)
- 1G bit (128M×8bit) 2個並列接続 (合計容量 2G bit)
- 2G bit (128M×16bit) 1個並列接続 (合計容量 2G bit)
- 2G bit (256M×8bit) 2個並列接続 (合計容量 4G bit)

図 12.1 に DBSC2 のブロック図を示します。

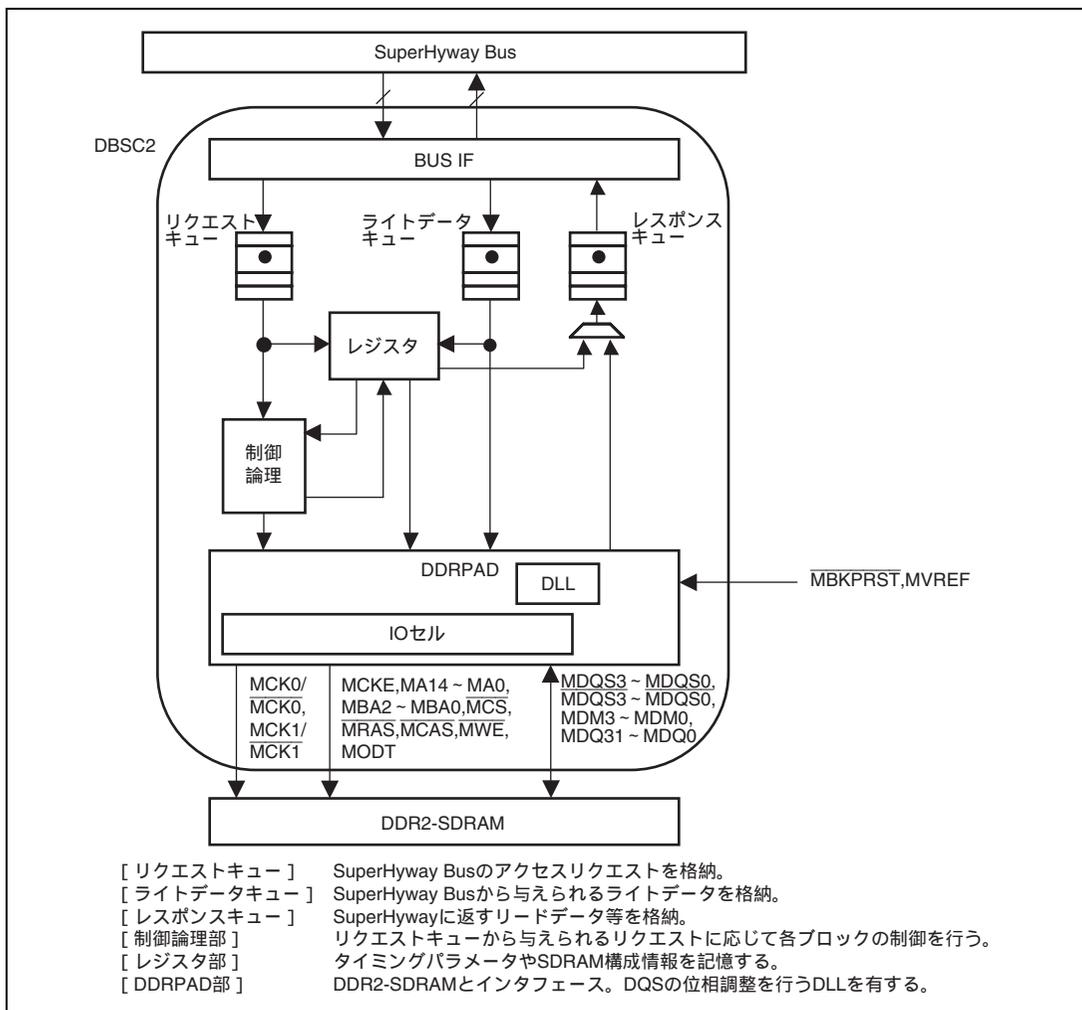


図 12.1 DBSC2 ブロック図

12.2 入出力端子

表 12.1 に DBSC2 の端子構成を記載します。

表 12.1 DBSC2 端子構成

端子名	機能	入出力	説明
MCK0	DDR2-SDRAM クロック 0	出力	DDR2-SDRAM 用クロック出力
$\overline{\text{MCK0}}$	DDR2-SDRAM クロック 0	出力	DDR2-SDRAM 用クロック出力 MCK0 の反転クロック出力
MCK1	DDR2-SDRAM クロック 1	出力	DDR2-SDRAM 用クロック出力
$\overline{\text{MCK1}}$	DDR2-SDRAM クロック 1	出力	DDR2-SDRAM 用クロック出力 MCK1 の反転クロック出力
MCKE	クロックイネーブル	出力	CKE 出力信号
MCS	チップセレクト	出力	チップセレクト出力信号
MWE	ライトイネーブル	出力	ライトイネーブル出力信号
MRAS	ロウアドレスストローブ	出力	ロウアドレスストローブ出力信号
MCAS	カラムアドレスストローブ	出力	カラムアドレスストローブ出力信号
MA14 ~ MA0	アドレス	出力	アドレス出力信号
MBA2, MBA1, MBA0	バンクアクティブ	出力	バンクアドレス出力信号
MDQ31 ~ MDQ0	データ	入出力	データ入出力信号
MDQS3 ~ MDQS0	入力/出力データストローブ	入出力	データストローブ入出力信号
$\overline{\text{MDQS3}} \sim \overline{\text{MDQS0}}$	入力/出力データストローブ	入出力	データストローブ入出力信号 MDQS3 ~ MDQS0 の反転
MDM3 ~ MDM0	データマスク	出力	データマスク出力信号
MODT	ODT イネーブル	出力	SDRAM 内の ODT のイネーブル出力信号
MBKPRST	電源バックアップリセット	入力	電源バックアップモードで使用します。本端子がローレベルのとき、CKE をローレベルにします
MVREF	リファレンス電圧入力	入力	入力基準電圧

SDRAM 動作クロック MCK0、 $\overline{\text{MCK0}}$ 、MCK1、 $\overline{\text{MCK1}}$ の周波数は DDR クロックの周波数と同じです。

MDQ7 ~ MDQ0 は MDQS0 と MDM0、MDQ15 ~ MDQ8 は MDQS1 と MDM1、MDQ23 ~ MDQ16 は MDQS2 と MDM2、MDQ31 ~ MDQ24 は MDQS3 と MDM3 に対応しています。外部バス幅 16 ビット時には、MDQ15 ~ MDQ0 を使用します。

表 12.2 に外部バス幅 32 ビット設定時、2Gbit 品 (256M × 8bit) を合計 4 個接続した例を示します。コマンド系 (MCKE、 $\overline{\text{MWE}}$ 、 $\overline{\text{MCS}}$ 、 $\overline{\text{MRAS}}$ 、 $\overline{\text{MCAS}}$ 、MA14 ~ MA0、MBA2 ~ MBA0) の信号には 4 個共通に接続します。データ系 (MDQ31 ~ MDQ0、MDQS3 ~ MDQS0、 $\overline{\text{MDQS3}} \sim \overline{\text{MDQS0}}$ 、MDM3 ~ MDM0) は、8 ビット分単位でメモリに接続します。クロック MCK1、 $\overline{\text{MCK1}}$ はデータ系の上位側 (MDQ31 ~ MDQ16、MDQS3、MDQS2、 $\overline{\text{MDQS3}}$ 、 $\overline{\text{MDQS2}}$ 、MDM3、MDM2) に接続しているメモリに接続し、MCK0、 $\overline{\text{MCK0}}$ は下位側 (MDQ15 ~ MDQ0、MDQS1、

12. DDR2-SDRAM インタフェース (DBSC2)

MDQS0、 $\overline{\text{MDQS1}}$ 、 $\overline{\text{MDQS0}}$ 、MDM1、MDM0) に接続します。アドレス端子は、MA14 から MA0 まで順に DDR2-SDRAM のアドレス端子に順番を入れ替えることなく接続することが必要です。

なお、使用しない端子は何も接続しないでください。

表 12.2 メモリ接続例 (2Gbit 品 : 256M × 8bit 使用時)

	MCK1、 MCK $\overline{1}$	MCK0、 MCK $\overline{0}$	MODT、 MCKE、 MCS、 MRAS、 MCAS、 MWE、 MA14 ~ MA0、 MBA2 ~ MBA0	MDQ31 ~ MDQ24、 MDQS3、 MDQS3、 MDM3	MDQ23 ~ MDQ16、 MDQS2、 MDQS2、 MDM2	MDQ15 ~ MDQ8、 MDQS1、 MDQS1、 MDM1	MDQ7 ~ MDQ0、 MDQS0、 MDQS0、 MDM0
メモリ#1	接続* ¹		接続* ²	接続* ³			
メモリ#2	接続* ¹		接続* ²		接続* ⁴		
メモリ#3		接続* ¹	接続* ²			接続* ⁵	
メモリ#4		接続* ¹	接続* ²				接続* ⁶

【注】 *1 メモリとの接続は下記のように行います。

メモリ#1,2 端子名	SH7785 端子名	メモリ#3,4 端子名	SH7785 端子名
CK	MCK1	CK	MCK0
$\overline{\text{CK}}$	MCK $\overline{1}$	$\overline{\text{CK}}$	MCK $\overline{0}$

*2 メモリとの接続は下記のように行います。

メモリ#1,2,3,4 端子名	SH7785 端子名	メモリ#1,2,3,4 端子名	SH7785 端子名
ODT	MODT	A8	MA8
CKE	MCKE	A7	MA7
CS	MCS	A6	MA6
$\overline{\text{RAS}}$	$\overline{\text{MRAS}}$	A5	MA5
$\overline{\text{CAS}}$	$\overline{\text{MCAS}}$	A4	MA4
$\overline{\text{WE}}$	$\overline{\text{MWE}}$	A3	MA3
A14	MA14	A2	MA2
A13	MA13	A1	MA1
A12	MA12	A0	MA0
A11	MA11	BA2	MBA2
A10	MA10	BA1	MBA1
A9	MA9	BA0	MBA0

*3 メモリとの接続は下記のように行います。

メモリ#1 端子名	SH7785 端子名
DQS	MDQS3
$\overline{\text{DQS}}$	$\overline{\text{MDQS3}}$
DM	MDM3
DQ7	MDQ31
DQ6	MDQ30
DQ5	MDQ29
DQ4	MDQ28
DQ3	MDQ27
DQ2	MDQ26
DQ1	MDQ25
DQ0	MDQ24

*4 メモリとの接続は下記のように行います。

メモリ#2 端子名	SH7785 端子名
DQS	MDQS2
$\overline{\text{DQS}}$	$\overline{\text{MDQS2}}$
DM	MDM2
DQ7	MDQ23
DQ6	MDQ22
DQ5	MDQ21
DQ4	MDQ20
DQ3	MDQ19
DQ2	MDQ18
DQ1	MDQ17
DQ0	MDQ16

12. DDR2-SDRAM インタフェース (DBSC2)

*5 メモリとの接続は下記のように行います。

メモリ#3 端子名	SH7785 端子名
DQS	MDQS1
$\overline{\text{DQS}}$	$\overline{\text{MDQS1}}$
DM	MDM1
DQ7	MDQ15
DQ6	MDQ14
DQ5	MDQ13
DQ4	MDQ12
DQ3	MDQ11
DQ2	MDQ10
DQ1	MDQ9
DQ0	MDQ8

*6 メモリとの接続は下記のように行います。

メモリ#4 端子名	SH7785 端子名
DQS	MDQS0
$\overline{\text{DQS}}$	$\overline{\text{MDQS0}}$
DM	MDM0
DQ7	MDQ7
DQ6	MDQ6
DQ5	MDQ5
DQ4	MDQ4
DQ3	MDQ3
DQ2	MDQ2
DQ1	MDQ1
DQ0	MDQ0

12.3 データアライメント

12.3.1 DDR2-SDRAM でのデータアライメント

本メモリコントローラは、DDR2-SDRAM をバースト長 4 でアクセス (図 12.2) するため、表 12.3、表 12.4 にあるようにアクセスサイズに応じて、不要なリードデータは読み捨て、ライト時にはデータマスク信号を使いデータをマスクしています。表 12.3、表 12.4 の回数は図 12.2 に示すライト/リード時のバースト回数に対応しています。例えばリトルエンディアンで外部バス幅 32 ビット設定時、アドレス $8n+0,1,2,3$ のバイトアクセスが生じた場合には、2 回目 (DQS の fall edge に対応) に有効データが存在することになります。

表 12.5 ~ 表 12.8 に、外部バス上のデータの対応関係をアクセスサイズに応じて示します。なお、16 バイト、32 バイトアクセス時には、図 12.3、図 12.4 にあるように、クワッドワード (8 バイト) アクセスを組み合わせ、サイズに応じて必要回 SDRAM コマンドを発行しアクセスします。SDRAM の規格上、コマンドとして与えたアドレスに対してシーケンシャル (0 1 2 3、1 2 3 0、2 3 0 1、3 0 1 2) なアドレス変化をするため、リード時とライト時にコマンドとして与えるアドレスが異なります。

エンディアン切り替えは、パワーオンリセット時に外部端子 MODE8 の切り替えにより設定します。

12. DDR2-SDRAM インタフェース (DBSC2)

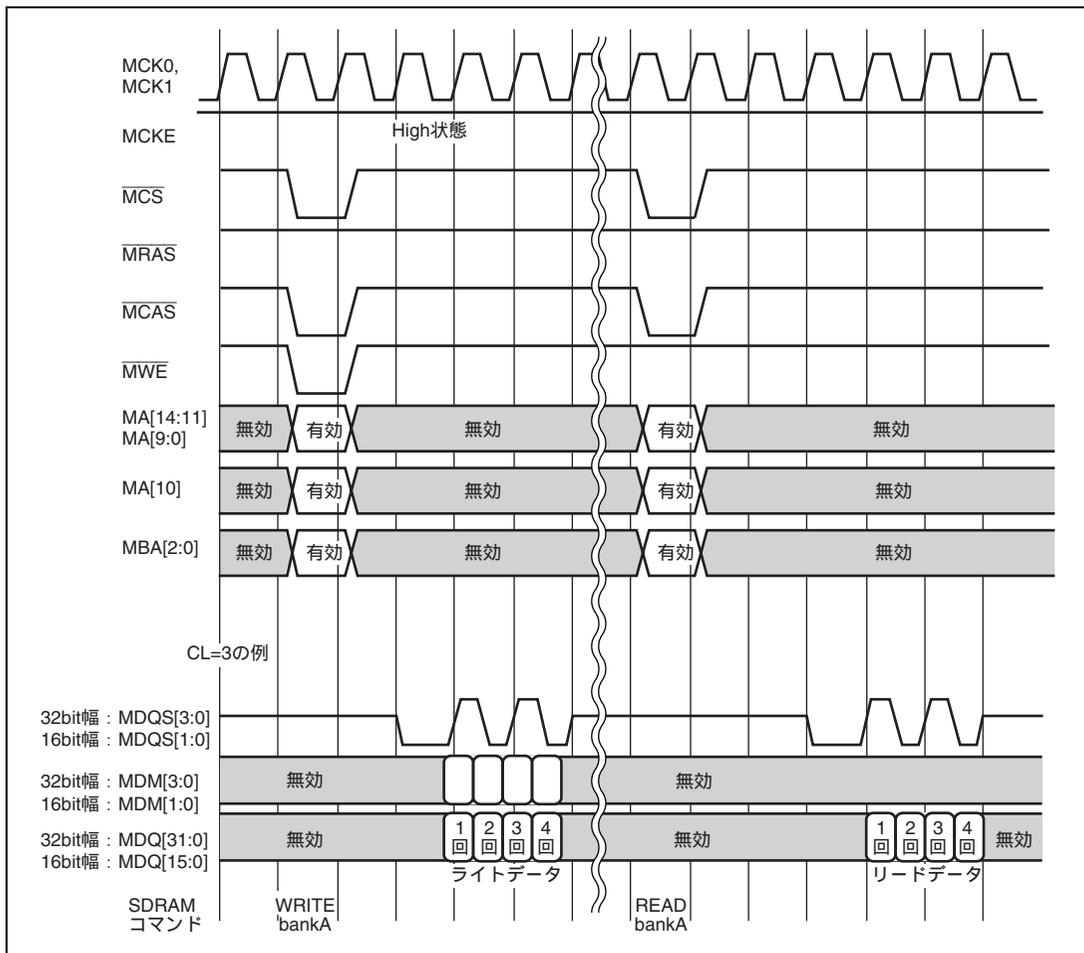


図 12.2 バーストアクセス動作

表 12.3 外部バス幅 32 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置

リトルエンディアン時	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	無効	有効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	有効	無効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効

ビッグエンディアン時	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	有効	無効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	無効	有効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	無効	有効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.4 外部バス幅 16 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置

リトルエンディアン時	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1$)	無効	無効	無効	有効
バイトアクセス (アドレス $8n+2,3$)	無効	無効	有効	無効
バイトアクセス (アドレス $8n+4,5$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+6,7$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+0$)	無効	無効	無効	有効
ワードアクセス (アドレス $8n+2$)	無効	無効	有効	無効
ワードアクセス (アドレス $8n+4$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+6$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	無効	無効	有効	有効
ロングワードアクセス (アドレス $8n+4$)	有効	有効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	有効	有効

ビッグエンディアン時	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1$)	有効	無効	無効	無効
バイトアクセス (アドレス $8n+2,3$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+4,5$)	無効	無効	有効	無効
バイトアクセス (アドレス $8n+6,7$)	無効	無効	無効	有効
ワードアクセス (アドレス $8n+0$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+2$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+4$)	無効	無効	有効	無効
ワードアクセス (アドレス $8n+6$)	無効	無効	無効	有効
ロングワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	無効	無効	有効	有効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	有効	有効

表 12.5 外部バス幅 32 ビット/リトルエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地				データ 7~0
	1 番地			データ 7~0	
	2 番地		データ 7~0		
	3 番地	データ 7~0			
	4 番地				データ 7~0
	5 番地			データ 7~0	
	6 番地		データ 7~0		
	7 番地	データ 7~0			
ワード	0 番地			データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0		
	4 番地			データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0		
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目: 4 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目: 0 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 12.6 外部バス幅 32 ビット/ビッグエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地	データ 7~0			
	1 番地		データ 7~0		
	2 番地			データ 7~0	
	3 番地				データ 7~0
	4 番地	データ 7~0			
	5 番地		データ 7~0		
	6 番地			データ 7~0	
	7 番地				データ 7~0
ワード	0 番地	データ 15~8	データ 7~0		
	2 番地			データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0		
	6 番地			データ 15~8	データ 7~0
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目: 0 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目: 4 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.7 外部バス幅 16 ビット/リトルエンディアンへのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ15~8	MDQ7~0
バイト	0 番地		データ 7~0
	1 番地	データ 7~0	
	2 番地		データ 7~0
	3 番地	データ 7~0	
	4 番地		データ 7~0
	5 番地	データ 7~0	
	6 番地		データ 7~0
ワード	0 番地	データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0
ロングワード	0 番地 (1 回目 : 2 番地)	データ 31~24	データ 23~16
	0 番地 (2 回目 : 0 番地)	データ 15~8	データ 7~0
	4 番地 (1 回目 : 6 番地)	データ 31~24	データ 23~16
	4 番地 (2 回目 : 4 番地)	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目 : 6 番地)	データ 63~56	データ 55~48
	0 番地 (2 回目 : 4 番地)	データ 47~40	データ 39~32
	0 番地 (3 回目 : 2 番地)	データ 31~24	データ 23~16
	0 番地 (4 回目 : 0 番地)	データ 15~8	データ 7~0

表 12.8 外部バス幅 16 ビット/ビッグエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ15~8	MDQ7~0
バイト	0 番地	データ 7~0	
	1 番地		データ 7~0
	2 番地	データ 7~0	
	3 番地		データ 7~0
	4 番地	データ 7~0	
	5 番地		データ 7~0
	6 番地	データ 7~0	
	7 番地		データ 7~0
ワード	0 番地	データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0
ロングワード	0 番地 (1 回目: 0 番地)	データ 31~24	データ 23~16
	0 番地 (2 回目: 2 番地)	データ 15~8	データ 7~0
	4 番地 (1 回目: 4 番地)	データ 31~24	データ 23~16
	4 番地 (2 回目: 6 番地)	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目: 0 番地)	データ 63~56	データ 55~48
	0 番地 (2 回目: 2 番地)	データ 47~40	データ 39~32
	0 番地 (3 回目: 4 番地)	データ 31~24	データ 23~16
	0 番地 (4 回目: 6 番地)	データ 15~8	データ 7~0

12. DDR2-SDRAM インタフェース (DBSC2)

外部バス幅16ビット設定時

16バイトリード/ライトアクセス(合計2回コマンド発行)

	1回目	2回目
16n+0番地	16n+0	16n+8
16n+8番地	16n+8	16n+0

32バイトリードアクセス(合計4回コマンド発行)

	1回目	2回目	3回目	4回目
32n+0番地	32n+0	32n+8	32n+16	32n+24
32n+8番地	32n+0	32n+8	32n+16	32n+24
32n+16番地	32n+16	32n+24	32n+0	32n+8
32n+24番地	32n+16	32n+24	32n+0	32n+8

32バイトライトアクセス(合計4回コマンド発行)

	1回目	2回目	3回目	4回目
32n+0番地	32n+0	32n+8	32n+16	32n+24
32n+8番地	32n+16	32n+24	32n+0	32n+8
32n+16番地	32n+16	32n+24	32n+0	32n+8
32n+24番地	32n+0	32n+8	32n+16	32n+24

図 12.3 外部バス幅 16 ビット時、16/32 バイトアクセス時に発生させるアドレス

外部バス幅32ビット設定時		
16バイトリード/ライトアクセス(合計1回コマンド発行)		
	1回目	
16n+0番地	16n+0	
16n+8番地	16n+8	
32バイトリードアクセス(合計2回コマンド発行)		
	1回目	2回目
32n+0番地	32n+0	32n+16
32n+8番地	32n+0	32n+16
32n+16番地	32n+16	32n+0
32n+24番地	32n+16	32n+0
32バイトライトアクセス(合計2回コマンド発行)		
	1回目	2回目
32n+0番地	32n+0	32n+16
32n+8番地	32n+16	32n+0
32n+16番地	32n+16	32n+0
32n+24番地	32n+0	32n+16

図 12.4 外部バス幅 32 ビット時、16/32 バイトアクセス時に発生させるアドレス

12.4 レジスタの説明

DBSC2 のレジスタ構成を表 12.9 に、各処理モードにおけるレジスタの状態を表 12.10 に示します。

レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

DBSC2 のレジスタ領域は、P4 アドレスで H'FE80 0000 ~ H'FEFF FFFF、エリア 7 アドレスで H'1E80 0000 ~ H'1EFF FFFF です。表 12.9 に示したレジスタ以外をアクセスした場合の動作は保証しません。

表 12.9 DBSC2 レジスタ構成

レジスタ名	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ (bit)	同期 クロック
DBSC2 ステータスレジスタ	DBSTATE	R	H'FE80 000C	H'1E80 000C	32	DDRck
SDRAM 動作許可レジスタ	DBEN	R/W	H'FE80 0010	H'1E80 0010	32	DDRck
SDRAM コマンド制御レジスタ	DBCMDCNT	R/W	H'FE80 0014	H'1E80 0014	32	DDRck
SDRAM 構成設定レジスタ	DBCONF	R/W	H'FE80 0020	H'1E80 0020	32	DDRck
SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FE80 0030	H'1E80 0030	32	DDRck
SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FE80 0034	H'1E80 0034	32	DDRck
SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FE80 0038	H'1E80 0038	32	DDRck
SDRAM リフレッシュ制御レジスタ 0	DBRFCNT0	R/W	H'FE80 0040	H'1E80 0040	32	DDRck
SDRAM リフレッシュ制御レジスタ 1	DBRFCNT1	R/W	H'FE80 0044	H'1E80 0044	32	DDRck
SDRAM リフレッシュ制御レジスタ 2	DBRFCNT2	R/W	H'FE80 0048	H'1E80 0048	32	DDRck
SDRAM リフレッシュステータスレジスタ	DBRFSTS	R/W	H'FE80 004C	H'1E80 004C	32	DDRck
DDRPAD 周波数設定レジスタ	DBFREQ	R/W	H'FE80 0050	H'1E80 0050	32	DDRck
DDRPAD DIC, ODT, OCD 設定レジスタ	DBDICODTOCD	R/W	H'FE80 0054	H'1E80 0054	32	DDRck
SDRAM モード設定レジスタ	DBMRCNT	W	H'FE80 0060	H'1E80 0060	32	DDRck

表 12.10 各処理モードにおけるレジスタの状態

レジスタ名	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
		PRESET 端子/ WDT/ H-UDI による	WDT/多重例外 による	SLEEP 命令による
DBSC2 ステータスレジスタ	DBSTATE	H'0000x00*	保持	保持
SDRAM 動作許可レジスタ	DBEN	H'0000 0000	保持	保持
SDRAM コマンド制御レジスタ	DBCMDCNT	H'0000 0000	保持	保持
SDRAM 構成設定レジスタ	DBCONF	H'009A 0001	保持	保持
SDRAM タイミングレジスタ 0	DBTR0	H'0203 0501	保持	保持
SDRAM タイミングレジスタ 1	DBTR1	H'0001 0001	保持	保持
SDRAM タイミングレジスタ 2	DBTR2	H'0104 0303	保持	保持
SDRAM リフレッシュ制御レジスタ 0	DBRFCNT0	H'0000 0000	保持	保持
SDRAM リフレッシュ制御レジスタ 1	DBRFCNT1	H'0000 0200	保持	保持
SDRAM リフレッシュ制御レジスタ 2	DBRFCNT2	H'1000 0080	保持	保持
SDRAM リフレッシュステータスレジスタ	DBRFSTS	H'0000 0000	保持	保持
DDRPAD 周波数設定レジスタ	DBFREQ	H'0000 0000	保持	保持
DDRPAD DIC, ODT, OCD 設定レジスタ	DBDICODTOCD	H'0000 0007	保持	保持
SDRAM モード設定レジスタ	DBMRCNT	不定	保持	保持

【注】 * 初期値は外部端子 MODE8 の設定によります。

12. DDR2-SDRAM インタフェース (DBSC2)

12.4.1 DBSC2 ステータスレジスタ (DBSTATE)

DBSTATE はリードオンリレジスタです。書き込みは無効です。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENDN	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	x*	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 初期値は外部端子 MODE8 の設定によります。

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて0	R	リザーブビット 読み出しは0が読み出されます。
8	ENDN	x*	R	エンディアン表示ビット 外部端子 MODE8 により設定された DBSC2 のエンディアンを表示します。 0 : ビッグエンディアン 1 : リトルエンディアン
7~0	—	すべて0	R	リザーブビット 読み出しは0が読み出されます。

【注】 * 初期値は外部端子 MODE8 の設定によります。

12.4.2 SDRAM 動作許可レジスタ (DBEN)

DBEN はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	ACEN	0	R/W	SDRAM アクセスイネーブルビット 本ビットの設定により SDRAM へのデータアクセス許可を行います。0 のときアクセス無効、1 のときアクセス許可です。アクセス無効時、SDRAM にアクセスを行っても無視されます。初期化シーケンスやセルフリフレッシュ制御時に操作します。 0: アクセス無効 1: アクセス許可

12. DDR2-SDRAM インタフェース (DBSC2)

12.4.3 SDRAM コマンド制御レジスタ (DBCMDCNT)

DBCMDCNT はリード/ライト可能なレジスタです。パワーオンリセット時に初期化されます。CMD2～CMD0 ビットの読み出し値は常に 000 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CMD2	CMD1	CMD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～3	—	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
2～0	CMD2～ CMD0	000	R/W	SDRAM コマンド発行ビット 本ビットにより DDR2-SDRAM の初期化シーケンス、セルフリフレッシュ移行/ 解除を実行するために必要なコマンド発行を行います。このビットに書き込み を行うと書き込み値に応じたコマンドが 1 回発行されます。たとえばオートリ フレッシュコマンドを 2 回発行するためには、このビットに 2 回"100"を書き込 む必要があります。プリチャージ期間、オートリフレッシュと次コマンドの最 小間隔などは後述の SDRAM タイミングレジスタで設定された値が用いられます。 本ビットは常に"000"が読み出されます。 なお、MCKE 信号をイネーブル"H"にする制御は 1 回ライトを行うと、常にイネ ーブルになります。セルフリフレッシュ制御中では MCKE 信号は Low になりま すが、解除されると自動的に CKE は"H"になります。MCKE 信号の動作につ いては「12.5.13 MCKE 信号の動作について」を参照してください。 000: 通常動作時 (パワーオンリセット時) 001: 設定禁止 (動作は保証しません) 010: プリチャージ (PALL) コマンド発行 011: MCKE 信号をイネーブル"H"にする 100: オートリフレッシュ (REF) コマンド発行 101～111: 設定禁止 (動作は保証しません)

【注】 このレジスタはオートリフレッシュの自動発行不許可 (DBRFCNT0 レジスタの ARFEN が 0) のときのみ書き込みを行ってください。

12.4.4 SDRAM 構成設定レジスタ (DBCONF)

DBCONF はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	SPILT7	SPILT6	SPILT5	SPILT4	SPILT3	SPILT2	SPILT1	SPILT0
初期値 :	0	0	0	0	0	0	0	0	1	0	0	1	1	0	1	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W						
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BASFT1	BASFT0	—	—	—	—	—	—	BWID TH1	BWID TH0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
23 ~ 16	SPLIT7 ~ SPLIT0	1001 1010	R/W	メモリ構成選択ビット 使用するメモリ構成を選択します。BASFT ビットおよび BWIDTH ビットの設定と組み合わせて使用します。上記以外の値を設定した場合の動作は保証しません。アドレスマルチプレクスの詳細については、「12.5.6 アドレスマルチプレクスについて」を参照してください。 1001 1010 : 256Mbit 品 16M × 16bit 1001 1011 : 512Mbit 品 32M × 16bit 1101 1011 : 1Gbit 品 64M × 16bit 1110 0011 : 2Gbit 品 128M × 16bit 0001 1011 : 256Mbit 品 32M × 8bit 0010 0011 : 512Mbit 品 64M × 8bit 0110 0011 : 1Gbit 品 128M × 8bit 0110 1011 : 2Gbit 品 256M × 8bit
15 ~ 10	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
9、8	BASFT1、 BASFT0	00	R/W	バンクアドレスシフトビット バンクアドレスのアドレス下位側へのシフト量を選択します。 00 : シフトなし 01 : バンクアドレスを下位へ1ビットシフト 10 : バンクアドレスを下位へ2ビットシフト 11 : バンクアドレスを下位へ3ビットシフト

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
1、0	BWIDTH1、 BWIDTH0	01	R/W	SDRAM バス幅設定ビット 外部データバス幅の設定を行います。 00：設定禁止（動作は保証しません） 01：16ビット 10：32ビット 11：設定禁止（動作は保証しません）

【注】 このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。

- ・SDRAM のアクセス無効中 (DBEN レジスタの ACEN が 0 のとき)
- ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12.4.5 SDRAM タイミングレジスタ 0 (DBTR0)

DBTR0 はリード / ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CL2	CL1	CL0	—	—	—	—	TRAS3	TRAS2	TRAS1	TRAS0
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TRFC6	TRFC5	TRFC4	TRFC3	TRFC2	TRFC1	TRFC0	—	—	—	—	—	TRCD2	TRCD1	TRCD0
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1
R/W :	R	R/W	R	R	R	R	R	R/W	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
26~24	CL2~CL0	010	R/W	CAS レイテンシ設定ビット CAS レイテンシの設定です。DDR2-SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。 ODT (On Die Termination) イネーブル出力信号 MODT を使用する場合には 4 サイクル以上に設定してください。 000 : 設定禁止 (動作は保証しません) 001 : 設定禁止 (動作は保証しません) 010 : 2 サイクル 011 : 3 サイクル 100 : 4 サイクル 101 : 5 サイクル 110 : 6 サイクル 111 : 設定禁止 (動作は保証しません)
23~20	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説 明
19~16	TRAS3~ TRAS0	0011	R/W	<p>tRAS (ACT-PRE 期間) 設定ビット</p> <p>同一バンクに対する ACT-PRE 最小期間制約を設定します。DDR2-SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。</p> <p>0000 : 設定禁止 (動作は保証しません)</p> <p>：</p> <p>0010 : 設定禁止 (動作は保証しません)</p> <p>0011 : 4 サイクル</p> <p>0100 : 5 サイクル</p> <p>：</p> <p>1110 : 15 サイクル</p> <p>1111 : 設定禁止 (動作は保証しません)</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。0 以外を書き込んだときの動作は保証しません。</p>
14~8	TRFC6~ TRFC0	000 0101	R/W	<p>tRFC (REF-ACT/REF 期間) 設定ビット</p> <p>REF-ACT/REF 最小期間制約を設定します。DDR2-SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。</p> <p>000 0000 : 設定禁止 (動作は保証しません)</p> <p>：</p> <p>000 0100 : 設定禁止 (動作は保証しません)</p> <p>000 0101 : 6 サイクル</p> <p>000 0110 : 7 サイクル</p> <p>：</p> <p>100 0001 : 66 サイクル</p> <p>100 0010 : 設定禁止 (動作は保証しません)</p> <p>：</p> <p>111 1111 : 設定禁止 (動作は保証しません)</p>
7~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。0 以外を書き込んだときの動作は保証しません。</p>

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説 明
2~0	TRCD2 ~ TRCD0	001	R/W	<p>tRCD (ACT-READ/WRITE 期間) 設定ビット</p> <p>同一バンクの ACT-READ/WRITE 最小期間制約を設定します。DDR2-SDRAM の仕様に合わせてください。サイクル数は DDR クロックのサイクル数です。</p> <p>000 : 設定禁止 (動作は保証しません)</p> <p>001 : 2 サイクル</p> <p>010 : 3 サイクル</p> <p>011 : 4 サイクル</p> <p>100 : 5 サイクル</p> <p>101 : 設定禁止 (動作は保証しません)</p> <p>：</p> <p>111 : 設定禁止 (動作は保証しません)</p>

- 【注】
1. 本メモリコントローラがサポートする AL (Additive Latency) は 0 のみです。
 2. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・SDRAM のアクセス無効中 (DBEN レジスタの ACEN が 0 のとき)
 - ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12. DDR2-SDRAM インタフェース (DBSC2)

12.4.6 SDRAM タイミングレジスタ 1 (DBTR1)

DBTR1 はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	TRP2	TRP1	TRP0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TRRD2	TRRD1	TRRD0	—	—	—	—	—	TWR2	TWR1	TWR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	—	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
18~16	TRP2~ TRP0	001	R/W	tRP (PRE-ACT/REF 期間) 設定ビット 同一バンクの PRE-ACT 最小期間制約を設定します。DDR2-SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。 000 : 設定禁止 (動作は保証しません) 001 : 2 サイクル 010 : 3 サイクル 011 : 4 サイクル 100 : 5 サイクル 101 : 設定禁止 (動作は保証しません) : 111 : 設定禁止 (動作は保証しません)
15~11	—	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
10~8	TRRD2~ TRRD0	000	R/W	tRRD (ACT (A) -ACT (B) 期間) 設定ビット 異なるバンク間の ACT-ACT 最小期間制約を設定します。DDR2-SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。 000 : 1 サイクル 001 : 2 サイクル 010 : 3 サイクル 011 : 4 サイクル 100 : 設定禁止 (動作は保証しません) : 111 : 設定禁止 (動作は保証しません)

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
2~0	TWR2~ TWR0	001	R/W	tWR (ライトリカバリ期間) 設定ビット ライトリカバリ最小時間制約を設定します。DDR2-SDRAM の仕様に合わせて 設定ください。サイクル数はDDRクロックのサイクル数です。 000 : 設定禁止 (動作は保証しません) 001 : 2 サイクル 010 : 3 サイクル 011 : 4 サイクル 100 : 5 サイクル 101 : 設定禁止 (動作は保証しません) : 111 : 設定禁止 (動作は保証しません)

【注】 このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。

- ・SDRAM のアクセス無効中 (DBEN レジスタの ACEN が 0 のとき)
- ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12. DDR2-SDRAM インタフェース (DBSC2)

12.4.7 SDRAM タイミングレジスタ 2 (DBTR2)

DBTR2 はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TRTP1	TRTP0	—	—	—	TRC4	TRC3	TRC2	TRC1	TRC0
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RDWR3	RDWR2	RDWR1	RDWR0	—	—	—	—	WRRD3	WRRD2	WRRD1	WRRD0
初期値 :	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
25、24	TRTP1、 TRTP0	01	R/W	tRTP (READ-PRE コマンド最小時間) 設定ビット 同一バンクに対する READ-PRE コマンド間の最小時間制約を設定します。 SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。 00 : 設定禁止 (動作は保証しません) 01 : 2 サイクル 10 : 3 サイクル 11 : 設定禁止 (動作は保証しません)
23~21	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説明
20 ~ 16	TRC4 ~ TRC0	00100	R/W	<p>tRC (ACT-ACT/REF 期間) 設定ビット</p> <p>ACT コマンドから ACT コマンド (同一バンク)/REF コマンドまでの最小時間制約を設定します。SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。</p> <p>00000 : 設定禁止 (動作は保証しません)</p> <p style="text-align: center;">:</p> <p>00011 : 設定禁止 (動作は保証しません)</p> <p>00100 : 5 サイクル</p> <p>00101 : 6 サイクル</p> <p style="text-align: center;">:</p> <p>10010 : 19 サイクル</p> <p>10011 : 設定禁止 (動作は保証しません)</p> <p style="text-align: center;">:</p> <p>11111 : 設定禁止 (動作は保証しません)</p>
15 ~ 12	—	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。0 以外を書き込んだときの動作は保証しません。</p>
11 ~ 8	RDWR3 ~ RDWR0	0011	R/W	<p>READ-WRITE コマンド最小間隔設定ビット</p> <p>READ-WRITE コマンド最小間隔時間制約を設定します。SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。</p> <p>0000 : 設定禁止 (動作は保証しません)</p> <p style="text-align: center;">:</p> <p>0010 : 設定禁止 (動作は保証しません)</p> <p>0011 : 4 サイクル</p> <p>0100 : 5 サイクル</p> <p style="text-align: center;">:</p> <p>1000 : 9 サイクル</p> <p>1001 : 設定禁止 (動作は保証しません)</p> <p style="text-align: center;">:</p> <p>1111 : 設定禁止 (動作は保証しません)</p>
7 ~ 4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。0 以外を書き込んだときの動作は保証しません。</p>

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説明
3~0	WRRD3~ WRRD0	0011	R/W	<p>WRITE-READ コマンド最小間隔設定ビット</p> <p>WRITE-READ コマンド最小間隔時間制約を設定します。SDRAM の仕様に合わせて設定ください。サイクル数は DDR クロックのサイクル数です。</p> <p>0000 : 設定禁止 (動作は保証しません)</p> <p> :</p> <p>0010 : 設定禁止 (動作は保証しません)</p> <p>0011 : 4 サイクル</p> <p>0100 : 5 サイクル</p> <p> :</p> <p>1010 : 11 サイクル</p> <p>1011 : 設定禁止 (動作は保証しません)</p> <p> :</p> <p>1111 : 設定禁止 (動作は保証しません)</p>

【注】 このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。

- ・SDRAM のアクセス無効中 (DBEN レジスタの ACEN が 0 のとき)
- ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12.4.8 SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0)

DBRFCNT0 はリードライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARFEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRFEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
16	ARFEN	0	R/W	オートリフレッシュ許可ビット このビットでオートリフレッシュの自動発行の許可/無効の設定を行います。DBRFCNT1/2の設定値に従って定期的にオートリフレッシュコマンドを発行します。オートリフレッシュコマンド発行タイミングについての詳細は「12.5.5 オートリフレッシュ動作について」を参照してください。 0 : オートリフレッシュ自動発行無効 1 : オートリフレッシュ自動発行許可
15~1	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	SRFEN	0	R/W	セルフリフレッシュモードビット このビットでセルフリフレッシュモードへの移行/解除を行います。1を書き込むことで、セルフリフレッシュへの移行を行います。0を書き込むことでセルフリフレッシュの解除を行います。セルフリフレッシュへの移行/解除の詳細は、「12.5.4 セルフリフレッシュ動作について」を参照してください。 0 : セルフリフレッシュ解除 1 : セルフリフレッシュ移行

12.4.9 SDRAM リフレッシュ制御レジスタ 1 (DBRFCNT1)

DBRFCNT1 はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TREFI12	TREFI11	TREFI10	TREFI9	TREFI8	TREFI7	TREFI6	TREFI5	TREFI4	TREFI3	TREFI2	TREFI1	TREFI0
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
12~0	TREFI12~ TREFI0	0 0010 0000 0000	R/W	平均リフレッシュ間隔設定ビット オートリフレッシュ動作の平均間隔を設定します。リフレッシュ実行時に、リフレッシュ間隔カウントレジスタにこの値が加算されます。 サイクル数はDDRクロックのサイクル数です。 0 0000 0000 0000 : 設定禁止 (動作は保証しません) : 0 0000 0011 1111 : 設定禁止 (動作は保証しません) 0 0000 0100 0000 : 65 サイクル 0 0000 0100 0001 : 66 サイクル : 1 1111 1111 1111 : 8192 サイクル

【注】 このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。

- ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12.4.10 SDRAM リフレッシュ制御レジスタ 2 (DBRFCNT2)

DBRFCNT2 はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LV1 TH14	LV1 TH13	LV1 TH12	LV1 TH11	LV1 TH10	LV1 TH9	LV1 TH8	LV1 TH7	LV1 TH6	LV1 TH5	LV1 TH4	LV1 TH3	LV1 TH2	LV1 TH1	LV1 TH0
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LV0 TH7	LV0 TH6	LV0 TH5	LV0 TH4	LV0 TH3	LV0 TH2	LV0 TH1	LV0 TH0
初期値 :	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
30~16	LV1TH14~ LV1TH0	001 0000 0000 0000	R/W	レベル1しきい値設定ビット SuperHywayバスによるアクセスリクエストの空きがあるとオートリフレッシュを実施するしきい値サイクルを設定します。サイクル数はDDRクロックのサイクル数です。 内部リフレッシュカウンタ値がLV1THを超えていて、SuperHywayバスによるリクエストが連続した場合、オートリフレッシュよりもリクエスト処理の方が優先されます。 LV1THとLV0THの関係はLV1TH > LV0THを満たす必要があります。LV1TH < LV0THとした場合の動作は保証しません。 LV1THの値はSDRAMタイミングレジスタ0で設定したACTとPRE間制約TRASより大きく設定してください。TRAS以下に設定した場合の動作は保証しません。
15~8	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
7~0	LV0TH7~ LV0TH0	1000 0000	R/W	レベル0しきい値設定ビット オートリフレッシュを実施するしきい値サイクルを設定します。サイクル数はDDRクロックのサイクル数です。 SuperHywayバスからのアクセスによる一単位のリクエストが終了すると、後続のリクエストより優先してオートリフレッシュを行います。

- 【注】 1. DBRFCNT1 レジスタの TREFI ビット値と、このレジスタの LV1TH ビット値を加算したものが、オートリフレッシュカウンタの最大値、すなわちオートリフレッシュを定期的に発行する際のリフレッシュコマンドの最大間隔になります。なお、この加算値が各メモリベンダのデータシートに記載された ACT-PRE コマンド間隔の最大値に収まるように LV1TH ビットを設定してください。また、動作説明は「12.5.5 オートリフレッシュ動作」を参照してください。

12. DDR2-SDRAM インタフェース (DBSC2)

2. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
- ・オートリフレッシュの自動発行不許可中 (DBRFCNT0 レジスタの ARFEN が 0 のとき)

12.4.11 SDRAM リフレッシュステータスレジスタ (DBRFSTS)

DBRFSTS はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFUDF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	RFUDF	0	R/W	リフレッシュカウンタアンダーフロービット リフレッシュカウンタが1から0に遷移した場合にカウンタのアンダーフローとして本ビットが1セットされます。このビットに0を書き込むことにより0クリアされます。 アンダーフローが発生した場合、最大のコマンド実行サイクル数に比べてLV0TH ビットの値が小さいため、カウンタ値が0になるまでにリフレッシュが発行できないことが原因として考えられます。その場合はLV0TH ビットの値を変更してください。リフレッシュカウンタについては「12.5.5 オートリフレッシュ動作について」を参照してください。 0: アンダーフローなし 1: アンダーフロー発生

12.4.12 DDRPAD 周波数設定レジスタ (DBFREQ)

DBFREQ はリード / ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DLLRST	—	—	—	—	—	FREQ2	FREQ1	FREQ0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
8	DLLRST	0	R/W	DLL リセットビット DDRPAD 内にある DLL をリセットします。FREQ ビットによる周波数設定は本ビットが0のとき行ってください。本ビットが1のときに FREQ ビットの変更を行った場合、動作は保証しません。 0 : 周波数設定リセット 1 : 周波数設定値を生成 / 保持
7~3	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
2~0	FREQ2~ FREQ0	000	R/W	周波数設定ビット DDR2-SDRAM のデータバス動作周波数を設定します。 000 : 300MHz 以下 (DDR2-600) 001 : 設定禁止 010 : 200MHz (DDR2-400) 100~111 : 設定禁止 (動作は保証しません)

【注】 本レジスタは初期化、セルフリフレッシュの解除、電源バックアップの解除で使用します。使用方法の詳細は「12.5.3 初期化シーケンス」「12.5.4 セルフリフレッシュ動作について」「12.5.10 (2) SDRAM 電源バックアップモードからの復帰」を参照してください。

12. DDR2-SDRAM インタフェース (DBSC2)

12.4.13 DDRPAD DIC,ODT,OCD 設定レジスタ (DBDICODTOCD)

DBDICODTOCD はリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DDRSIG	—	—	—	—	DIC_AD	DIC_DQ	DIC_CK	DIC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ODTEN1	ODTEN0	ODT_EARLY	T_ODT1	T_ODT0	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
24	DDRSIG	0	R/W	ライトプリアンプ時間設定ビット DDR2-SDRAM へのライト時に出力する DQS 信号のプリアンプ時間の切り替えを行います。サイクル数は DDR クロックのサイクル数です。 0 : ライトプリアンプ時間 0.5 サイクル 1 : ライトプリアンプ時間 1 サイクル
23~20	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
19	DIC_AD	0	R/W	アドレス、コマンド端子のインピーダンス値 DDR2-SDRAM の EMRS (1) の DIC に設定する値と同じ値を与えてください。 0 : Normal 1 : Weak
18	DIC_DQ	0	R/W	データ端子のインピーダンス値 DDR2-SDRAM の EMRS (1) の DIC に設定する値と同じ値を与えてください。 0 : Normal 1 : Weak
17	DIC_CK	0	R/W	クロック端子のインピーダンス値 DDR2-SDRAM の EMRS (1) の DIC に設定する値と同じ値を与えてください。 0 : Normal 1 : Weak

12. DDR2-SDRAM インタフェース (DBSC2)

ビット	ビット名	初期値	R/W	説 明
16	DIC	0	R/W	SDRAM の EMRS (1) の DIC に設定したインピーダンス値 DDR2-SDRAM の EMRS (1) の DIC に設定する値と同じ値を与えてください。 0 : Normal 1 : Weak
15~13	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込み値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
12、11	ODTEN1、 ODTEN0	00	R/W	ODT 出力モード切り替え ODT 出力モードの切り替えを行います。ODTEN を 01 に設定した際の動作上の注意点は「12.5.9 SDRAM に対する ODT 制御信号出力に関するご注意」を参照してください。 00 : WRITE コマンドに関係なく ODT 端子を Low に固定出力 01 : WRITE コマンド発行時に ODT 端子を動的に High に設定 10、11 : WRITE コマンドに関係なく ODT 端子を High に固定出力
10	ODT_ EARLY	0	R/W	ODT アサート期間設定 ODT アサート期間の設定を行います。サイクル数は DDR クロックのサイクル数です。ODTEN を 01 に設定した場合のみ設定が有効です。ODT_EARLY の設定により 1 サイクル ODT を延長するためには CL を 5 以上に設定の上、DBTR2 レジスタの RDWR ビットの設定値を DDR2-SDRAM の仕様が要求する値に 1 加えたものとする必要があります。なお、動作上の注意点は「12.5.9 SDRAM に対する ODT 制御信号出力に関するご注意」を参照してください。 0 : ODT 端子を 1 ライトコマンドに対して 3 サイクル High アサート 1 : ODT 端子を 1 ライトコマンドに対して 4 サイクル High アサート
9、8	T_ODT1、 T_ODT0	00	R/W	ODT 抵抗値設定 DDR2-SDRAM のリード時にオンする DDRPAD 内蔵 ODT 抵抗の抵抗値です。DDR2-SDRAM の EMRS (1) に設定する Rtt と同じ値を与えてください。 00 : ODT 無効 01 : 75Ω 10 : 150Ω 11 : 設定禁止 (動作は保証しません)
7~3	—	すべて 0	R	リザーブビット 読み出しは0が読み出されます。書き込み値は常に0にしてください。 0以外を書き込んだときの動作は保証しません。
2~0	—	111	R/W	リザーブビット 本ビットには必ず 111 を書き込んでください。111 以外を書き込んだ場合の動作は保証しません。

12.4.14 SDRAM モード設定レジスタ (DBMRCNT)

DBMRCNT はライトオンリレジスタです。リードを行った場合の動作は保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	BA2	BA1	BA0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~19	-	不定	W	リザーブビット 書き込む値は常に0にしてください。読み出し値は無効です。
18~16	BA2~BA0	不定	W	SDRAM 内モードレジスタ、拡張モードレジスタ設定用ビット バンクアドレス端子 MBA2、MBA1、MBA0 が bit18、bit17、bit16 に対応しています。
15	-	不定	W	リザーブビット 書き込む値は常に0にしてください。読み出し値は無効です。
14~0	MA14~MA0	不定	W	SDRAM 内モードレジスタ、拡張モードレジスタ設定用ビット アドレス端子 MA14、MA13、...、MA0 が bit14、bit13、...、bit0 に対応しています。

本レジスタへのライトにより DDR2-SDRAM のアドレス、バンクアドレス端子を直接操作して、モードレジスタ、拡張モードレジスタの設定を行います。本レジスタにライトを行うと、DDR2-SDRAM にモードレジスタ設定 (MRS) / 拡張モードレジスタ設定 (EMRS) コマンドを与えます。コマンドを与える際には、バースト長は 4、シーケンシャルアクセスモード、Additive Latency (AL) は 0、DQS は Eneble、RDQS は Disable となるように設定し、さらに Cas Latency (CL) / ライトリカバリ (WR) は SDRAM タイミングレジスタ 0、1 (DBTR0、DBTR1) の対応するビットと等しくなるよう設定してください。

12.5 動作説明

12.5.1 サポートする SDRAM コマンド

DBSC2 が発行する SDRAM コマンドを表 12.11 に示します。コマンドは $\overline{\text{MCK0}}$ 、 $\overline{\text{MCK0}}$ 、 $\overline{\text{MCK1}}$ 、 $\overline{\text{MCK1}}$ に同期して SDRAM へ与えられます。「n-1」はコマンドを発行する 1 サイクル前に DDR2-SDRAM に与えた信号の状態、「n」はコマンド発行時の信号の状態を示しています。

表 12.11 発行する SDRAM コマンド

機能	シンボル	MCKE		MCS	MRAS	MCAS	MWE	MA [14:11]	MA10/ AP	MBA [2:0]	MA [9:0]
		n-1	n								
Device deslect	DSEL	H	H	H	X	X	X	X	X	X	X
Read	READ	H	H	L	H	L	H	V	L	V	V
Write	WRITE	H	H	L	H	L	L	V	L	V	V
Bank Activate	ACT	H	H	L	L	H	H	V	V	V	V
Precharge select bank	PRE	H	H	L	L	H	L	X	L	V	X
Precharge all banks	PALL	H	H	L	L	H	L	X	H	X	X
Auto refresh	REF	H	H	L	L	L	H	X	X	X	X
Self refresh entry from IDLE	SLFRSH	H	L	L	L	L	H	X	X	X	X
Self refresh exit	SLFRSHX	L	H	H	X	X	X	X	X	X	X
Mode register set	MRS/EMRS	H	H	L	L	L	L	V	V	V	V

【注】 H：ハイレベル

L：ローレベル

X：ハイレベルまたはローレベル（don't care）

V：有効データ

上記の DSEL コマンドは、SDRAM に対しアクセスを行わないときに発行しますので、ユーザが明示的に発行することはできません。

12.5.2 SDRAM コマンド発行詳細

(1) 基本アクセス

DBSC2 は、SuperHyway から与えられたリクエストをキューに格納した後、処理の開始は後で説明する「(2) 先行プリチャージ/アクティベート処理」により前後しますが、完了はキューの受け付け順になります。

初めに、リード/ライトリクエストが与えられると、SDRAM の初期化が完了した時点では、すべてのバンクはクローズ状態でページミスとなるため、DBSC2 は最初にアクティベート (ACT) コマンドを発行して対応するバンクを開きます。バンクを開いた後、リード/ライトリクエストに対応した SDRAM に対するリード/ライトコマンドを発行します。このとき、発行するリード/ライトコマンドの回数は、図 12.5 に示すようにバス幅やリクエストサイズ (1、2、4、8、16、32 バイト) によって異なります。たとえば、外部バス幅 32 ビットで SuperHyway から 32 バイトリードを行った場合には、2 回のリードコマンド発行が必要です。1 サイクル目のリードコマンド発行でデータが 4 パースト長分 (DDR クロックで 2 サイクル分) 読み出されるため、リードコマンド発行は 3 サイクル目まで待たされることになります。

アクセスが終了した時点で、DBSC2 はプリチャージ (PRE) コマンドを発行することなくバンクを開いたままにしておきます。バンクを閉じるのは (1) 後続のリクエストが同じバンクでロウアドレスが異なる場合、(2) オートリフレッシュ要求が発生した場合、(3) セルフリフレッシュの処理のためユーザが SDRAM コマンド制御レジスタでプリチャージオール (PALL) コマンドを発行した場合です。

このように、セルフリフレッシュを除いた通常のアクセス時では、DBSC2 がバンクの管理をハードウェアで行うため、ユーザ側での考慮は初期化時のレジスタ設定を除き不要です。

また、本コントローラは 4 バンクのマルチバンクオペレーションを行います。したがって、同時に開かれているバンクの最大数は 4 個です。SuperHyway からのアクセスアドレスと SDRAM のバンク/ロウアドレスの対応は「12.5.6 アドレスマルチプレクス」を参照してください。

なお、1G ビット品以上のサイズの SDRAM をご使用の場合、注意点がありますので「12.5.8 8bank 品 DDR2-SDRAM 使用上のご注意」を参照してください。

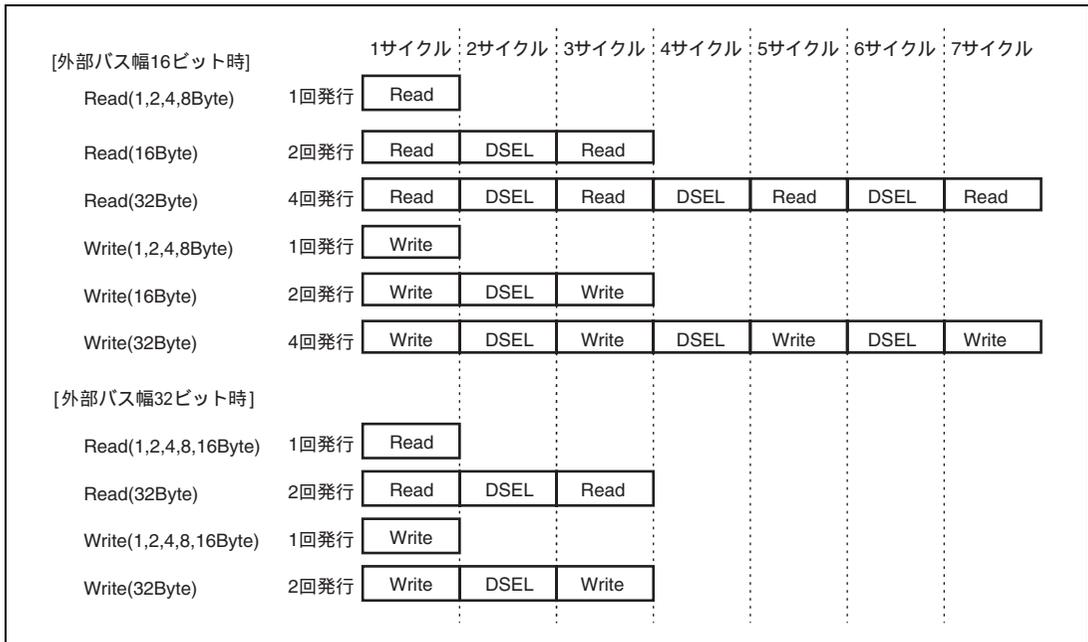


図 12.5 SuperHyway からのリクエストに応じ SDRAM に対して発行するリード/ライトコマンド

(2) 先行プリチャージ/アクティベート処理

DBSC2 は、DDR2-SDRAM のマルチバンク機能を生かし、SDRAM コマンドの空きサイクルをできるだけなくしバスの利用効率を上げるため、後続のリクエストキューのページミス処理に対応する PRE/ACT コマンドを先行して発行します。先行するのは PRE/ACT コマンドのみですので、リードライトの順番が崩れることはありません。先行 PRE/ACT コマンドを発行するのは、後続リクエストが (1) ページミスかつ (2) 現在処理中のリクエストと異なったバンクへのアクセスの場合に限られます。先行プリチャージ/アクティベート処理の実行例を図 12.5 に示します。この例では、外部バス幅が 32 ビットで、PRE-ACT 最小時間制約が 3 サイクル、ACT-READ/WRITE 最小時間制約が 3 サイクル、ACT(A)-ACT(B) 最小時間制約が 2 サイクルのとき、SDRAM に対するコマンド発行がどのように行われているかを示しています。この例では、1 番目から 4 番目までリクエストが積まれており 1 番目が最初にキューに与えられたリクエストです。

まず、DBSC2 は Time1 で 1 番目の Read (16Byte) のリクエスト処理に対する PRE コマンドを SDRAM へ発行します。その後、時刻 Time2 で発行するコマンドを決定する際、優先順位の高い 1 番目の Read (16Byte) のリクエスト処理として必要な ACT コマンドの発行は、タイミング制約のために Time2 では発行することができないことがわかります。そのため、DBSC2 は Time2 で発行するコマンドを後続のリクエストキューから検索します。検索の結果、3 番目の Read (8Byte) と 4 番目の Read (16Byte) のリクエストが、先行プリチャージ処理可能であることがわかります。DBSC2 は先行したリクエストを優先するため、3 番目の Read (8Byte) に対する先行プリチャージ処理を行うことを決定し、SDRAM へ PRE コマンドを発行します。

時刻が Time3 に進んだ際、Time3 でも 1 番目の Read (16Byte) のリクエスト処理に対する ACT コマンド発行が

12. DDR2-SDRAM インタフェース (DBSC2)

行えないため、後続のリクエストキューから発行できるコマンドを検索します。ここでも 3 番目の Read (8Byte) に対するリクエスト処理の ACT コマンド発行はタイミング制約のために行うことができず、結果として 4 番目の Read (16Byte) のリクエスト処理に対応した PRE コマンド発行を選択します。

Time4 になって、1 番目の Read(16Byte) のリクエスト処理を実行することができるようになり、DDR2-SDRAM へ ACT コマンドを発行します。

その後は、上記で示した処理を繰り返します。

リクエスト 番号	リクエスト 内容	アクセス 対象バンク	リクエスト時 ページ状態	Time 1	Time 2	Time 3	Time 4	Time 5	Time 6	Time 7	Time 8	Time 9	Time 10	Time 11	Time 12	Time 13	Time 14	Time 15
1番目	Read(16Byte)	Bank0	Miss	PRE			ACT			READ								
2番目	Read(32Byte)	Bank1	Hit									READ		READ				
3番目	Read(8Byte)	Bank2	Miss		PRE				ACT								READ	
4番目	Read(16Byte)	Bank3	Miss			PRE					ACT							READ
SDRAMへのコマンド				PRE	PRE	PRE	ACT		ACT	READ	ACT	READ		READ		READ		READ

DDR2-SDRAMはバースト長4のため、READ-READ間は必ず2サイクルになります。

図 12.6 先行プリチャージ/アクティベート処理の例

12.5.3 初期化シーケンス

以下に初期化シーケンス例を示します。電源やタイミングパラメータなど、詳細は各メモリベンダのデータシートを参照して決定してください。

- (1) 各社 SDRAM ベンダのガイドに従い電源やリファレンス電圧を供給してください。
- (2) SH7785 のパワーオンリセット解除後、CPU が動作開始してから、電源バックアップモードであったのか通常の初期化シーケンスなのかを判定し(電源バックアップモード時の設定方法については「12.5.10(2) SDRAM 電源バックアップモードからの復帰」を参照してください)、初期化シーケンスであった場合 100 μ s 以上ソフトウェアで待ちます。(100 μ s など特定の期間を待つ方法例が「12.5.11 イニシャライズおよびセルフリフレッシュ解除時等での時間確保方法」に記載がありますので参照してください。)
- (3) SDRAM 構成設定レジスタ (DBCONF)、SDRAM タイミングレジスタ 0 (DBTR0)、SDRAM タイミングレジスタ 1 (DBTR1)、SDRAM タイミングレジスタ 2 (DBTR2) の設定を行ってください。
- (4) DDRPAD 周波数設定レジスタ (DBFREQ) に書き込みを行うことにより、DLL の設定を行います。
 - (a) DLLRST=0 に設定します。
 - (b) FREQ ビットに DDRPAD の周波数を設定してください。
 - (c) DLLRST=1 設定にした後、DDRPAD で必要としている DLL 安定時間 100 μ s をソフトウェアで待ちます。(2) での待ち時間と合わせて SDRAM が要求する 200 μ s のクロック安定供給時間を確保できません。
- (5) DDRPAD DIC,ODT,OCD 設定レジスタ (DBDICODTOCD) に書き込みを行います。書き込む値は SDRAM の EMRS (1) に設定する値に合わせます。
- (6) SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットへ書き込みを行うことにより MCKE 信号をハイレベル (H) にし、400ns 以上ソフトウェアで待ちます。
- (7) SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットへ書き込みを行うことにより、PALL コマンドを発行します。
- (8) SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に EMRS (2) コマンドを発行します。その後、EMRS (3) コマンドを発行します。
- (9) SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に EMRS (1) コマンドを発行し、DDR2-SDRAM 内の EMRS (1) レジスタに各種パラメータを設定します。DIC、ODT、OCD の値は DDRPAD DIC,ODT,OCD 設定レジスタの DIC ビット、ODT ビット、OCD ビットの設定と合わせてください。
- (10) SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に MRS コマンドを発行し、各種パラメータを設定します。このとき、動作モードは通常モード、DLL リセットはリセット、バースト長は 4、バーストタイプはシーケンシャルに設定します。なお、Additive Latency は 0 に設定し、CAS レイテンシとライトリカバリ時間は SDRAM タイミングレジスタ 0、1 (DBTR0、DBTR1) の設定と合わせてください。
- (11) SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットへ書き込みを行うことにより、PALL コマンドを発行します。

12. DDR2-SDRAM インタフェース (DBSC2)

- (12) SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットへ書き込みを行うことにより、REF コマンドを発行します。その後、もう一度 DBCMDCNT の CMD ビットへ書き込み REF コマンドを発行します。
- (13) SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に MRS コマンドを発行します。SDRAM 内の DLL のリセット解除を行うパラメータ以外は、(10) で設定した値と等しくします。
- (14) 最低でも 200 クロック経過するのをソフトウェアで待った後、SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に EMRS (1) コマンドを発行し、OCD default コマンドを与えます。その後、SDBMRCNT に書き込みを行い、EMRS (1) コマンドを発行し、OCD Calibration Mode Exit コマンドを与えます。
- (15) SDRAM 動作許可レジスタ (DBEN) の ACEN ビットを 1 (アクセス許可) に設定します。
- (16) SDRAM リフレッシュ制御レジスタ 1 (DBRFCNT1)、SDRAM リフレッシュ制御レジスタ 2 (DBRFCNT2) の設定を行ってオートリフレッシュの間隔などを設定ください。
- (17) SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0) の ARFEN ビットを 1 (オートリフレッシュ自動発行許可) に設定します。以降、通常アクセスが可能になります。

12.5.4 セルフリフレッシュ動作について

セルフリフレッシュにより、SDRAM の低消費電力化を図ったり、クロック周波数の変更やクロック停止を行うことができます。

また、セルフリフレッシュ動作と電源制御を組み合わせることにより、SDRAM の電源以外をオフにする電源バックアップモードの実現も可能です。電源バックアップモードの詳細については、「12.5.10 DDR2-SDRAM 電源バックアップ機能」で説明します。

(1) セルフリフレッシュ (クロックを停止しない場合)

SDRAM にアクセスする必要がない場合、SDRAM をセルフリフレッシュモードに移行させることで、SDRAM 中のデータ内容を保持したまま SDRAM の消費電力を抑えることが可能です。

セルフリフレッシュモードへの移行は、SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0) のセルフリフレッシュ許可ビット (SRFEN) に 1 を書き込むことで行います。また、セルフリフレッシュの解除はセルフリフレッシュ許可ビット (SRFEN) に 0 を書き込むことで行います。

セルフリフレッシュ中はアクセス不許可になっているため、DDR2-SDRAM に対するデータアクセスを実施すると、アクセスは無視されます。

セルフリフレッシュへの移行は、以下の手順に従い、行ってください。

1. 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断して、SDRAM が要求するオートリフレッシュの間隔を超えないようにしてください。
2. SDRAM 動作許可レジスタ (DBEN) の ACEN ビットを 0 (アクセス無効) に設定します。
3. SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0) の ARFEN ビットを 0 (オートリフレッシュ自動発行無効)

に設定します。

4. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行します。
5. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行します。
6. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のSRFENビットを1に設定することにより、セルフリフレッシュに移行します。

セルフリフレッシュの解除は下記の手順に従い、行ってください。

1. 割り込みなどにより解除処理が中断しないようにしてください (オートリフレッシュの期間確保のため)。
2. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のSRFENビットを0に設定することにより、セルフリフレッシュを解除します。
3. SDRAMへのアクセスが可能になるまでの時間としてメモリベンダが指定するセルフリフレッシュ状態解除後、非リードコマンド発行までの時間 (tXSNR時間) 以上、ソフトウェアで待ちます。
4. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行します。
5. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定します。
6. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定します。以降、通常アクセスが可能になります。

(2) セルフリフレッシュ (クロックを停止または周波数変更を行う場合)

セルフリフレッシュモードへの移行は、SDRAM リフレッシュ制御レジスタ0 (DBRFCNT0) のセルフリフレッシュ許可ビット (SRFEN) に1を書き込むことで行います。また、セルフリフレッシュの解除はセルフリフレッシュ許可ビット (SRFEN) に0を書き込むことで行います。

セルフリフレッシュ中はアクセス無効になっているため、SDRAM に対するデータアクセスを実施しても、SDRAM に対してコマンドが発行されることはありません。

セルフリフレッシュへの移行時は、以下の手順に従ってください。

1. 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断して、SDRAM が要求するオートリフレッシュの間隔を超えないようにしてください。
2. SDRAM動作許可レジスタ (DBEN) のACENビットを0 (アクセス無効) に設定します。
3. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のARFENビットを0 (オートリフレッシュ自動発行無効) に設定します。
4. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行します。

12. DDR2-SDRAM インタフェース (DBSC2)

5. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行します。
6. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のSRFENビットを1に設定することにより、セルフリフレッシュに移行します。
7. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) をリードして、SRFENビットが1となっていることを確認します。
8. CPGの設定により、本コントローラへのクロックの停止または周波数変更を行います。

セルフリフレッシュの解除は下記の手順に従ってください。

1. クロックの供給を再開し、安定したクロックがコントローラに与えられるまで待ちます。
2. DDRPAD周波数設定レジスタ (DBFREQ) に書き込みを行うことにより、DLLの設定を行います。
 - (a) DLLRST=0に設定します。
 - (b) FREQビットにDDRPADの周波数を設定してください。
 - (c) DLLRST=1に設定した後、DDRPADで必要としているDLL安定時間100 μ s以上ソフトウェアで待ちます。
3. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のSRFENビットを0に設定することにより、セルフリフレッシュを解除します。
4. DDR2-SDRAMへのアクセスが可能になるまでの時間としてメモリベンダが指定するtXSNR時間(セルフリフレッシュ状態解除後、非リードコマンド発行までの時間)以上、ソフトウェアにより待ちます。
5. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行します。
6. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定します。
7. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定します。以降、通常アクセスが可能になります。

12.5.5 オートリフレッシュ動作について

SDRAM リフレッシュ制御レジスタ 0 (DBRFCNT0) のオートリフレッシュ許可ビット (ARFEN) が 1 のとき、オートリフレッシュが定期的に発行されます。SDRAM へのデータアクセスを行う場合には、必ず設定を行ってください。

平均リフレッシュ間隔は、SDRAM リフレッシュ制御レジスタ 1 (DBRFCNT1) の TREFI ビットで設定します。

オートリフレッシュによるデータ転送能力の低下を最小限にするために、オートリフレッシュの実施タイミングを

Level0 : SuperHyway コマンドの切れ目にリフレッシュ発行

Level1 : リクエストの空きサイクルにリフレッシュを発行

Level2 : リフレッシュを発行しない

の 3 レベルに分けて制御可能です。Level0 と Level1 のしきい値は SDRAM リフレッシュ制御レジスタ 2

(DBRFCNT2) の LV0TH ビット、Level1 と Level2 のしきい値は LV1TH ビットで設定します。

リフレッシュタイミングは、14 ビットのリフレッシュカウンタにより制御されます。リフレッシュカウンタは、リフレッシュが行われるまで、DDR クロックでダウンカウントされます。リフレッシュが行われると、SDRAM リフレッシュ制御レジスタ 1 (DBRFCNT1) の TREFI ビットで設定した平均リフレッシュ間隔分、カウンタ値が加算されます。図 12.7 にリフレッシュ動作とリフレッシュカウンタの更新の 1 例を示します。

オートリフレッシュ前に開いているバンクがある場合、本コントローラは自動的に PALL(プリチャージオール) コマンドを用いて全バンクのプリチャージを実施してから、REF(オートリフレッシュ) コマンドを発行します。したがって、リフレッシュ後は、すべてのバンクに対するデータアクセスは、ページミス状態になります。

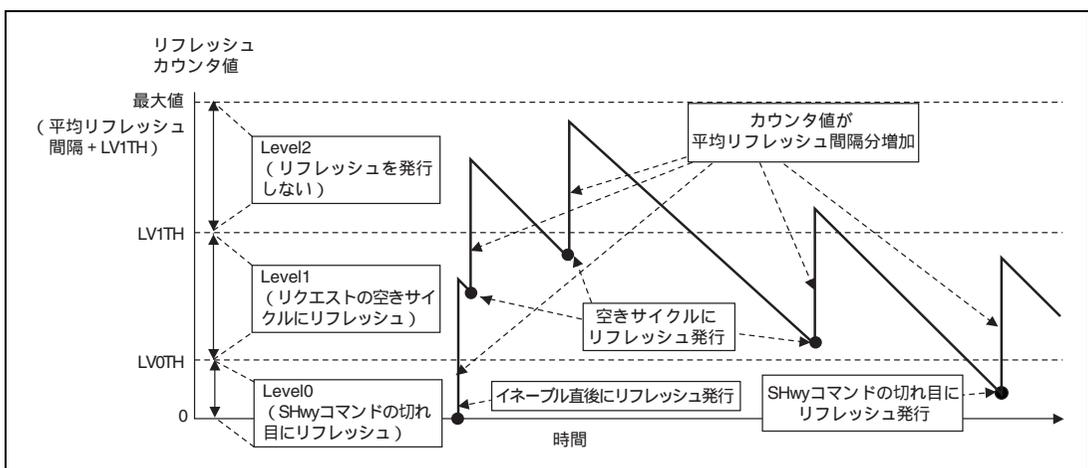


図 12.7 オートリフレッシュとしきい値との関係

12. DDR2-SDRAM インタフェース (DBSC2)

12.5.6 アドレスマルチプレクスについて

SDRAM 構成レジスタ (DBCNF) の設定により各種サイズのメモリを接続可能です。BWIDTH ビットで外部バス幅を設定し、SPLIT ビットで接続するメモリサイズを設定します。BASFT ビットの設定によりバンクアドレスの位置を下位ビットの方に移すため、アプリケーションによってはページヒットの可能性が高まります。

表 12.12 外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=00)
(16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A11	A10			A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL		A11	A10							A9	A8	A7	A6	A5	A4	A3	A2	A1
32M x 8b	ROW		A12	A11			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A12	A11						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M x 16b	ROW		A12	A11			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A12	A11						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M x 8b	ROW		A12	A11		A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A12	A11						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64Mx16b	ROW	A11	A12	A13			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A11	A12	A13						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M x 8b	ROW	A11	A12	A13		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A11	A12	A13						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128Mx16b	ROW	A11	A12	A13		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A11	A12	A13						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
256M x 8b	ROW	A11	A12	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A11	A12	A13						A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.13 外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=00)
(16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A12	A11			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A12	A11							A10	A9	A8	A7	A6	A5	A4	A3	A2
32M x 8b	ROW		A12	A13			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
32M x 16b	ROW		A12	A13			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
64M x 8b	ROW		A12	A13		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
64M x 16b	ROW	A14	A12	A13			A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
128M x 8b	ROW	A14	A12	A13		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
128M x 16b	ROW	A14	A12	A13		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
256M x 8b	ROW	A14	A12	A13	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A12	A13						A11	A10	A9	A8	A7	A6	A5	A4	A3	A2

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.14 外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=01)
(16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A10	A9			A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL		A10	A9							A11	A8	A7	A6	A5	A4	A3	A2	A1
32M x 8b	ROW		A11	A10			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A11	A10						A12	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M x 16b	ROW		A11	A10			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A11	A10						A12	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M x 8b	ROW		A11	A10		A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A11	A10						A12	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M x 16b	ROW	A10	A11	A12			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A10	A11	A12						A13	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M x 8b	ROW	A10	A11	A12		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A10	A11	A12						A13	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M x 16b	ROW	A10	A11	A12		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A10	A11	A12						A13	A9	A8	A7	A6	A5	A4	A3	A2	A1
256M x 8b	ROW	A10	A11	A12	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A10	A11	A12						A13	A9	A8	A7	A6	A5	A4	A3	A2	A1

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.15 外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=01)
(16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A11	A10			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A11	A10							A12	A9	A8	A7	A6	A5	A4	A3	A2
32M x 8b	ROW		A11	A12			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A11	A12						A13	A10	A9	A8	A7	A6	A5	A4	A3	A2
32M x 16b	ROW		A11	A12			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A11	A12						A13	A10	A9	A8	A7	A6	A5	A4	A3	A2
64M x 8b	ROW		A11	A12		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A11	A12						A13	A10	A9	A8	A7	A6	A5	A4	A3	A2
64Mx16b	ROW	A13	A11	A12			A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A11	A12						A14	A10	A9	A8	A7	A6	A5	A4	A3	A2
128M x 8b	ROW	A13	A11	A12		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A11	A12						A14	A10	A9	A8	A7	A6	A5	A4	A3	A2
128Mx16b	ROW	A13	A11	A12		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A11	A12						A14	A10	A9	A8	A7	A6	A5	A4	A3	A2
256M x 8b	ROW	A13	A11	A12	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A11	A12						A14	A10	A9	A8	A7	A6	A5	A4	A3	A2

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.16 外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=10)
(16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A9	A8			A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL		A9	A8							A11	A10	A7	A6	A5	A4	A3	A2	A1
32M x 8b	ROW		A10	A9			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A10	A9						A12	A11	A8	A7	A6	A5	A4	A3	A2	A1
32M x 16b	ROW		A10	A9			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A10	A9						A12	A11	A8	A7	A6	A5	A4	A3	A2	A1
64M x 8b	ROW		A10	A9		A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A10	A9						A12	A11	A8	A7	A6	A5	A4	A3	A2	A1
64M x 16b	ROW	A9	A10	A11			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A9	A10	A11						A13	A12	A8	A7	A6	A5	A4	A3	A2	A1
128M x 8b	ROW	A9	A10	A11		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A9	A10	A11						A13	A12	A8	A7	A6	A5	A4	A3	A2	A1
128M x 16b	ROW	A9	A10	A11		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A9	A10	A11						A13	A12	A8	A7	A6	A5	A4	A3	A2	A1
256M x 8b	ROW	A9	A10	A11	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A9	A10	A11						A13	A12	A8	A7	A6	A5	A4	A3	A2	A1

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.17 外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=10)
(16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A10	A9			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A10	A9							A12	A11	A8	A7	A6	A5	A4	A3	A2
32M x 8b	ROW		A10	A11			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A10	A11						A13	A12	A9	A8	A7	A6	A5	A4	A3	A2
32M x 16b	ROW		A10	A11			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A10	A11						A13	A12	A9	A8	A7	A6	A5	A4	A3	A2
64M x 8b	ROW		A10	A11		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A10	A11						A13	A12	A9	A8	A7	A6	A5	A4	A3	A2
64Mx16b	ROW	A12	A10	A11			A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A12	A10	A11						A14	A13	A9	A8	A7	A6	A5	A4	A3	A2
128M x 8b	ROW	A12	A10	A11		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A12	A10	A11						A14	A13	A9	A8	A7	A6	A5	A4	A3	A2
128Mx16b	ROW	A12	A10	A11		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A12	A10	A11						A14	A13	A9	A8	A7	A6	A5	A4	A3	A2
256M x 8b	ROW	A12	A10	A11	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A12	A10	A11						A14	A13	A9	A8	A7	A6	A5	A4	A3	A2

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.18 外部バス幅 16bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=11)
(16bit 品使用時は 1 個接続、8bit 品使用時は 2 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A8	A7			A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL		A8	A7							A11	A10	A9	A6	A5	A4	A3	A2	A1
32M x 8b	ROW		A9	A8			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A9	A8						A12	A11	A10	A7	A6	A5	A4	A3	A2	A1
32M x 16b	ROW		A9	A8			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A9	A8						A12	A11	A10	A7	A6	A5	A4	A3	A2	A1
64M x 8b	ROW		A9	A8		A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A9	A8						A12	A11	A10	A7	A6	A5	A4	A3	A2	A1
64M x 16b	ROW	A8	A9	A10			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A8	A9	A10						A13	A12	A11	A7	A6	A5	A4	A3	A2	A1
128M x 8b	ROW	A8	A9	A10		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A8	A9	A10						A13	A12	A11	A7	A6	A5	A4	A3	A2	A1
128M x 16b	ROW	A8	A9	A10		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A8	A9	A10						A13	A12	A11	A7	A6	A5	A4	A3	A2	A1
256M x 8b	ROW	A8	A9	A10	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A8	A9	A10						A13	A12	A11	A7	A6	A5	A4	A3	A2	A1

12. DDR2-SDRAM インタフェース (DBSC2)

表 12.19 外部バス幅 32bit 設定時の SDRAM のアドレス端子と論理アドレスの関係 (BASFT=11)
(16bit 品使用時は 2 個接続、8bit 品使用時は 4 個接続)

種類		MBA	MBA	MBA	MA														
		2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M x 16b	ROW		A9	A8			A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL		A9	A8							A12	A11	A10	A7	A6	A5	A4	A3	A2
32M x 8b	ROW		A9	A10			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A9	A10						A13	A12	A11	A8	A7	A6	A5	A4	A3	A2
32M x 16b	ROW		A9	A10			A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A9	A10						A13	A12	A11	A8	A7	A6	A5	A4	A3	A2
64M x 8b	ROW		A9	A10		A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL		A9	A10						A13	A12	A11	A8	A7	A6	A5	A4	A3	A2
64Mx16b	ROW	A11	A9	A10			A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A11	A9	A10						A14	A13	A12	A8	A7	A6	A5	A4	A3	A2
128M x 8b	ROW	A11	A9	A10		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A11	A9	A10						A14	A13	A12	A8	A7	A6	A5	A4	A3	A2
128Mx16b	ROW	A11	A9	A10		A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A11	A9	A10						A14	A13	A12	A8	A7	A6	A5	A4	A3	A2
256M x 8b	ROW	A11	A9	A10	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A11	A9	A10						A14	A13	A12	A8	A7	A6	A5	A4	A3	A2

12.5.7 SDRAM アクセスとタイミング制約について

本節では、DDR2-SDRAM の基本アクセスと観測される波形の関係を示した後、DDR2-SDRAM アクセスと SDRAM タイミングレジスタ 0~2 (DBTR0~DBTR2) の設定による CAS レイテンシ (CL)、tRAS、tRFC、tRCD、tRP、tRRD、tWR、tRTP、tRC、READ-WRITE 間最小間隔、WRITE-READ 間最小間隔の制約の対応を示します。

(1) SDRAM 基本アクセス

本節では基本的な SDRAM アクセスであるリード、ライト、オートリフレッシュ、セルフリフレッシュ動作時に外部バスで観測される波形について説明します。ライトと ODT 制御信号出力の関係は「12.5.9 SDRAM に対する ODT 制御信号出力に関するご注意」を参照してください。

32 ビットバス幅設定時、1/2/4/8/16 バイトリードを行った場合の波形を図 12.8 に示します。READ コマンドを 1 回だけ発行するシングルリードとなります。この図の例では、bankA に対するリードアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には READ コマンド発行からアクセスが開始されます。

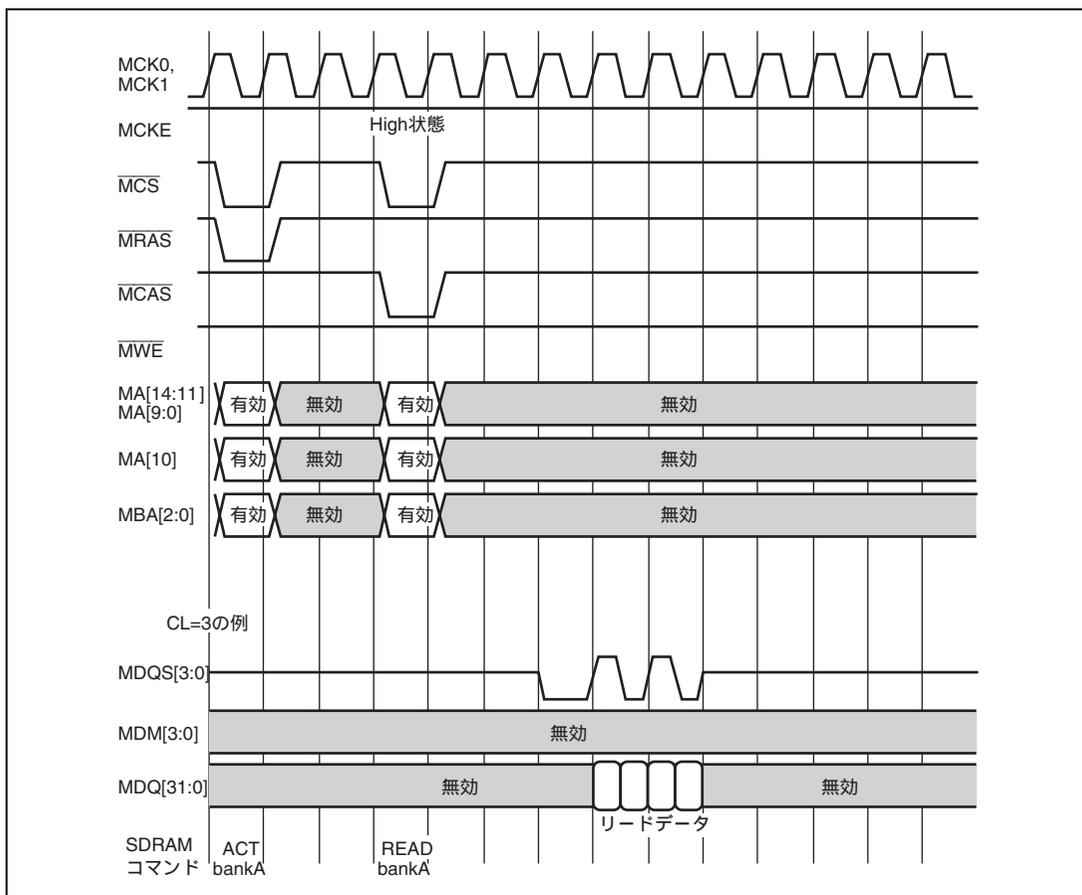


図 12.8 1/2/4/8/16 バイトリード (32 ビットバス幅設定)

12. DDR2-SDRAM インタフェース (DBSC2)

32 ビットバス幅設定時、32 バイトリードを行った場合の波形を、図 12.9 に示します。32 バイトリードアクセスを行うため、READ コマンドを 2 回発行しています。この図の例では、bankA に対するリードアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には、READ コマンド発行からアクセスが開始されます。

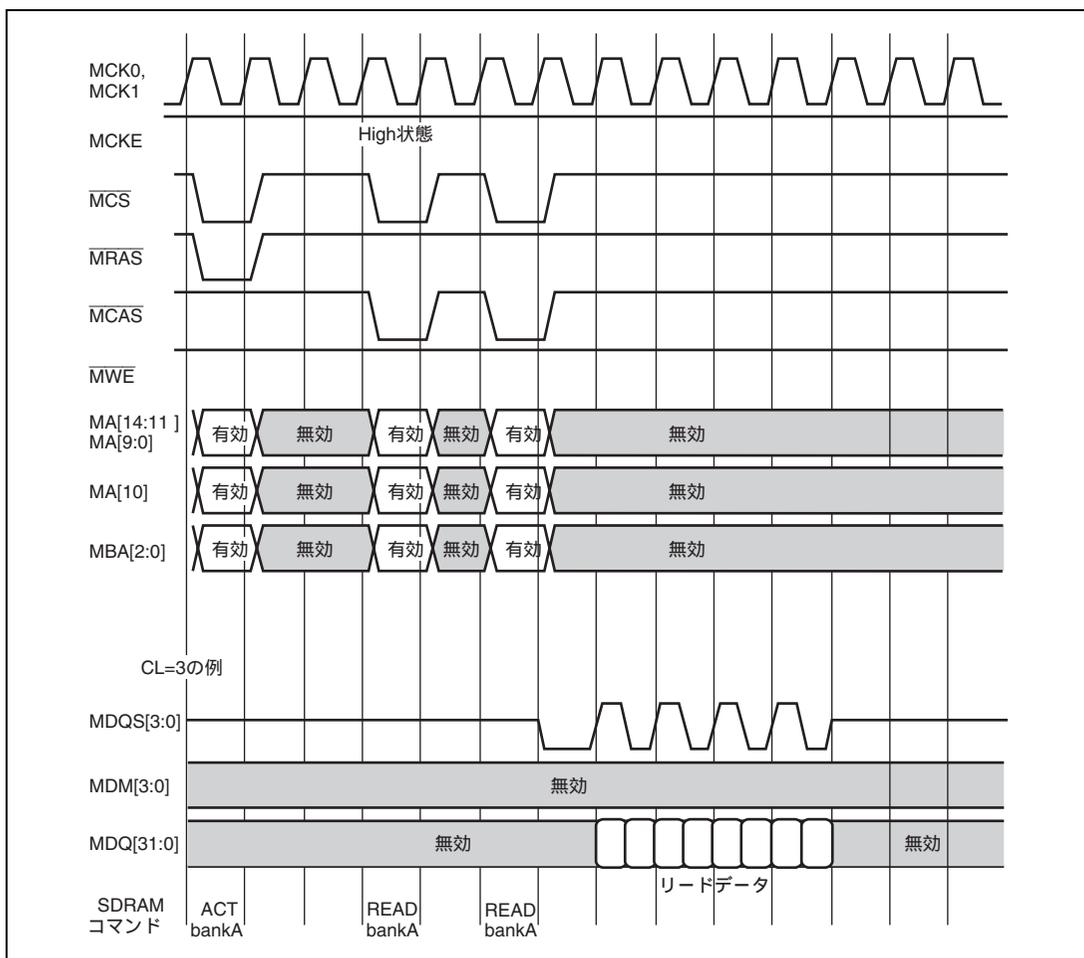


図 12.9 32 バイトリード (32 ビットバス幅設定)

32 ビットバス幅設定時、1/2/4/8/16 バイトライトを行った場合の波形を、図 12.10 に示します。WRITE コマンドを 1 回だけ発行するシングルライトとなります。この図の例では、bankA に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には WRITE コマンド発行からアクセスが開始されます。

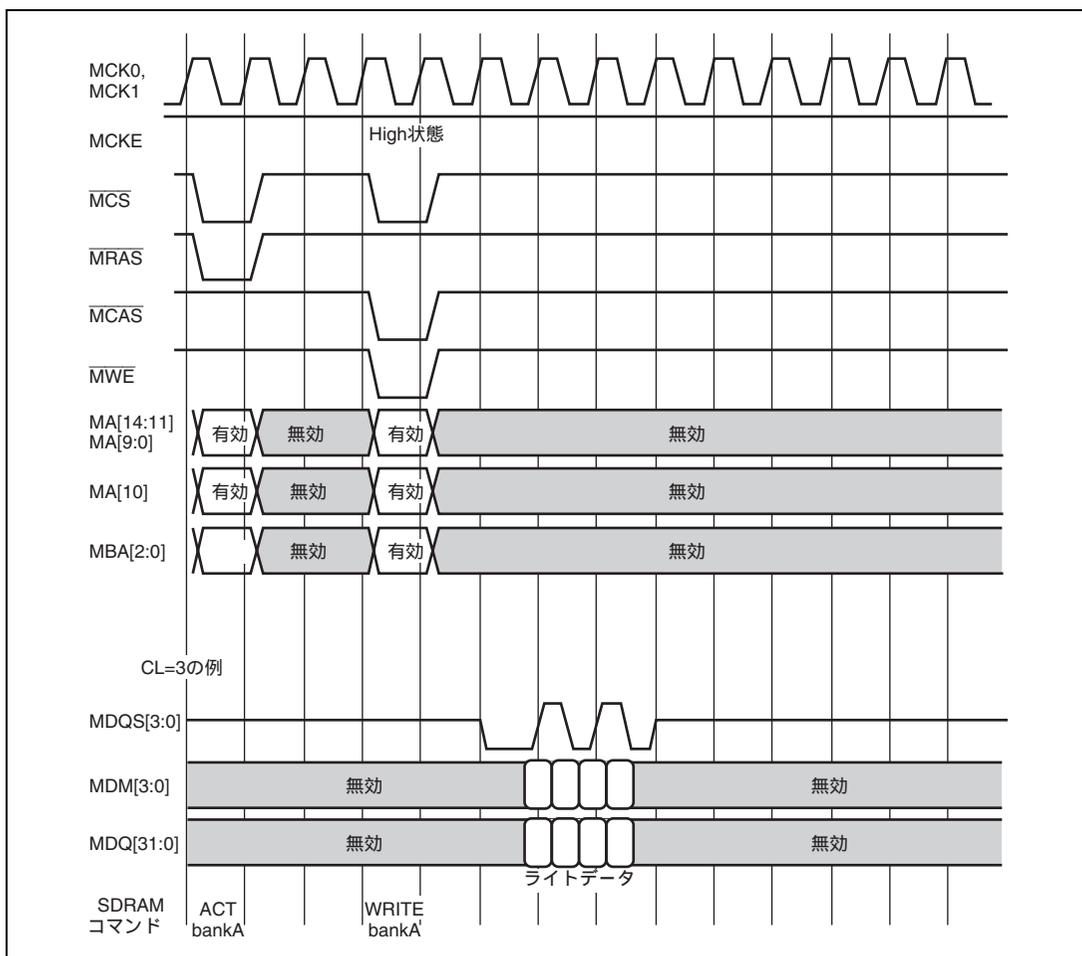


図 12.10 1/2/4/8/16 バイトライト (32 ビットバス幅設定)

12. DDR2-SDRAM インタフェース (DBSC2)

32 ビットバス幅設定時、32 バイトライトを行った場合の波形を、図 12.11 に示します。32 バイトライトアクセスを行うため、WRITE コマンドを 2 回発行しています。この図の例では、bankA に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には、WRITE コマンド発行からアクセスが開始されます。

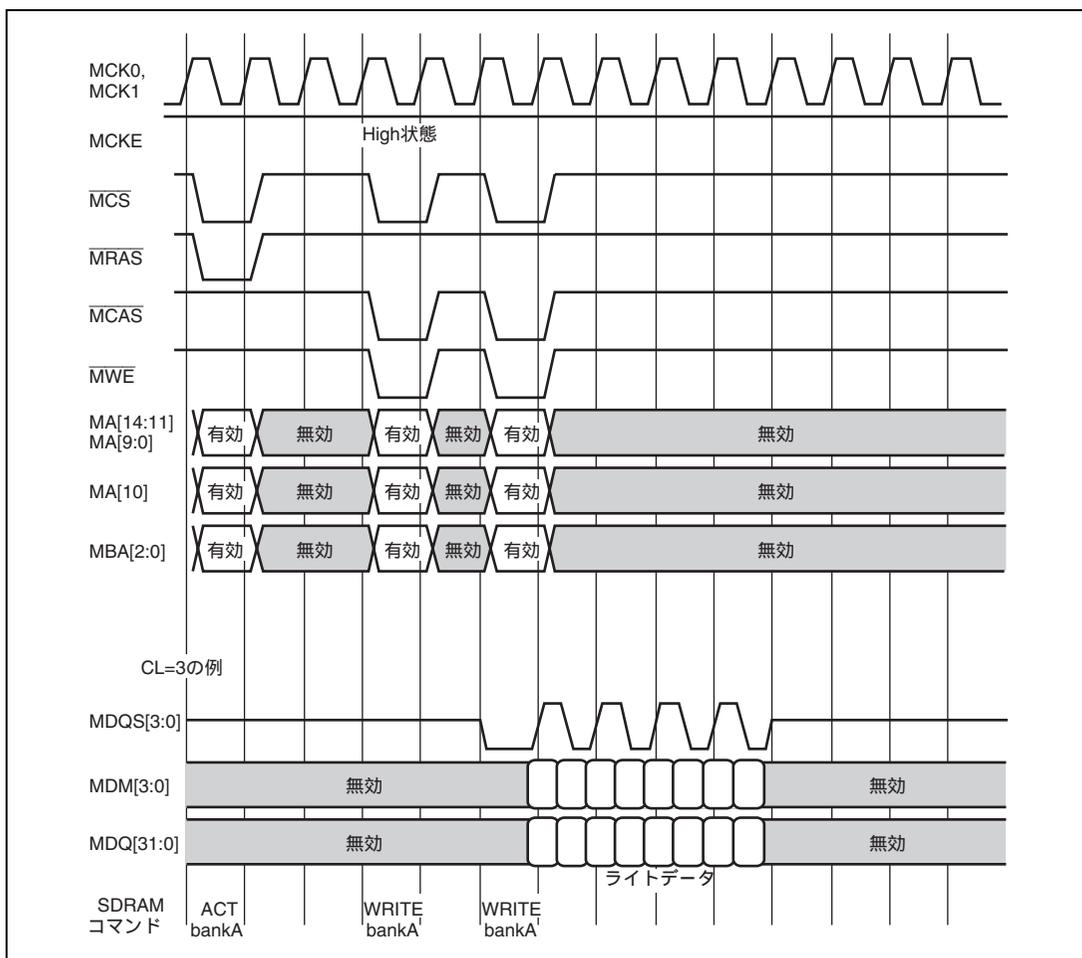


図 12.11 32 バイトライト (32 ビットバス幅設定)

図 12.12 に SDRAM リフレッシュ制御レジスタ 0,1,2 の設定により発生したオートリフレッシュ動作時の波形を示します。本メモリコントローラは、REF コマンド発行前に DDR2-SDRAM のバンクが一つでもアクティブされている場合、PALL コマンドを発行してから REF コマンド発行を自動的に行います。そのため、オートリフレッシュ動作のために、バンクがすべてプリチャージされていることをソフトウェアで管理する必要はありません。

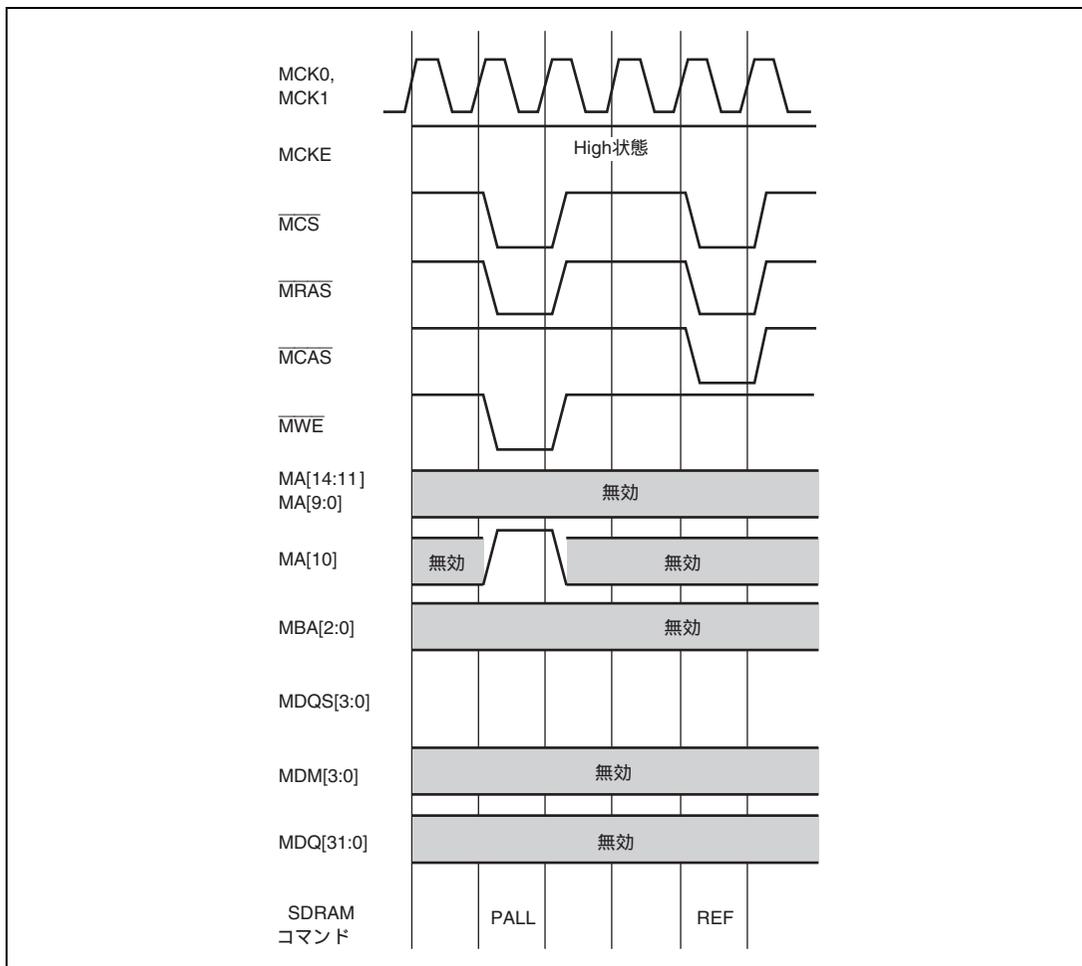


図 12.12 オートリフレッシュ動作

12. DDR2-SDRAM インタフェース (DBSC2)

図 12.13 にセルフリフレッシュ動作を示します。セルフリフレッシュ動作を行うためには、シーケンスを守る必要があり、詳細は「12.5.4 セルフリフレッシュ動作について」に記載がありますので参照してください。

「12.5.4 セルフリフレッシュ動作について」のシーケンスとおりに処理を行うと、SDRAM に対して与えるコマンドは図 12.12 のようになります。セルフリフレッシュへ遷移させる前に、PALL コマンドをソフトウェアにて発行します。その後、ソフトウェアで REF コマンドを発行し、ソフトウェアで SLFRSH (セルフリフレッシュ) コマンドを発行します。ソフトウェアでセルフリフレッシュ解除を行うまで SDRAM はセルフリフレッシュ状態になります。ソフトウェアでの SLFRSHX (セルフリフレッシュ解除) コマンド発行後、REF コマンド発行までの時間には SDRAM が要求する制約があり、時間 t_{XSNR} だけ待つ必要があります。待ち方の一例は「12.5.11 イニシャライズおよびセルフリフレッシュ解除時などでの時間確保方法」にあります。

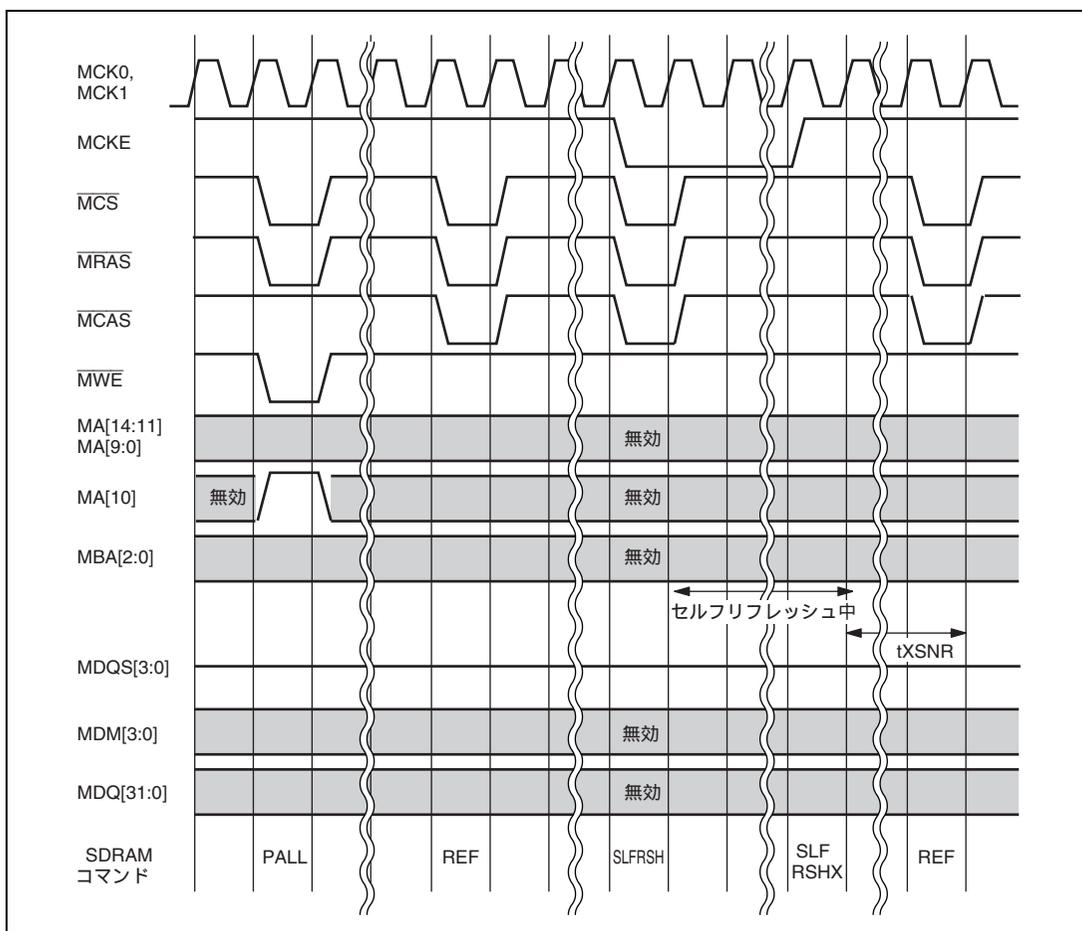


図 12.13 セルフリフレッシュ動作

(2) タイミング制約について

図 12.14 に CL、tRAS、tRCD、tRP の設定値とコマンド発行の関係を示します。図 12.15 には tRRD、tRTP の関係、図 12.16 には tWR の関係、図 12.17 には tRC の関係、図 12.18 には READ-WRITE 間の関係、図 12.19 には WRITE-READ 間の関係、図 12.20 には tRFC の関係を示しています。

図 12.14 は、バンク A が開かれている状態で同じバンク A に対するリードアクセスがありページミスが発生した場合の動作に対応しています。PRE コマンドと ACT コマンド間の制約 tRP、ACT コマンドと READ コマンド間の制約 tRCD、ACT コマンドと PRE コマンド間の制約 tRCD が関係します。本メモリコントローラは各制約を満たすまでコマンドの発行を延期します。

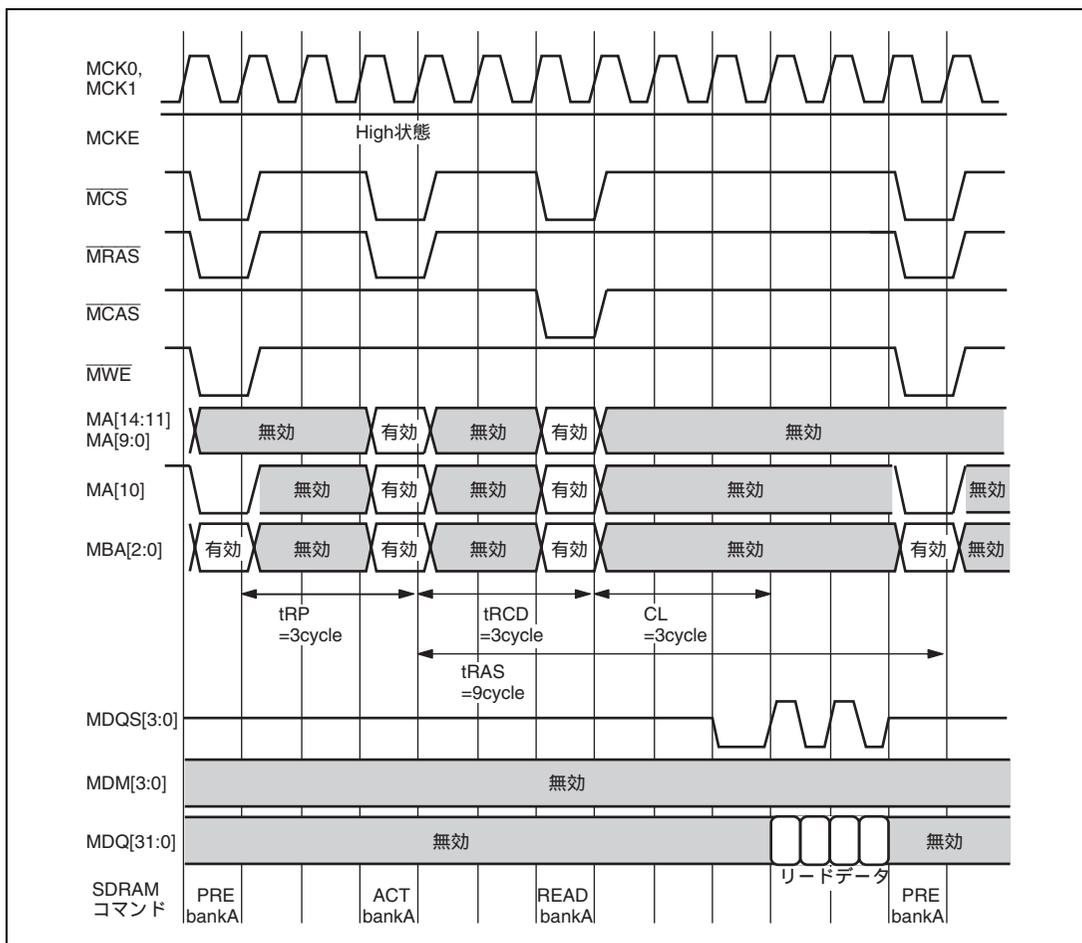


図 12.14 tRP、tRCD、CL、tRAS について

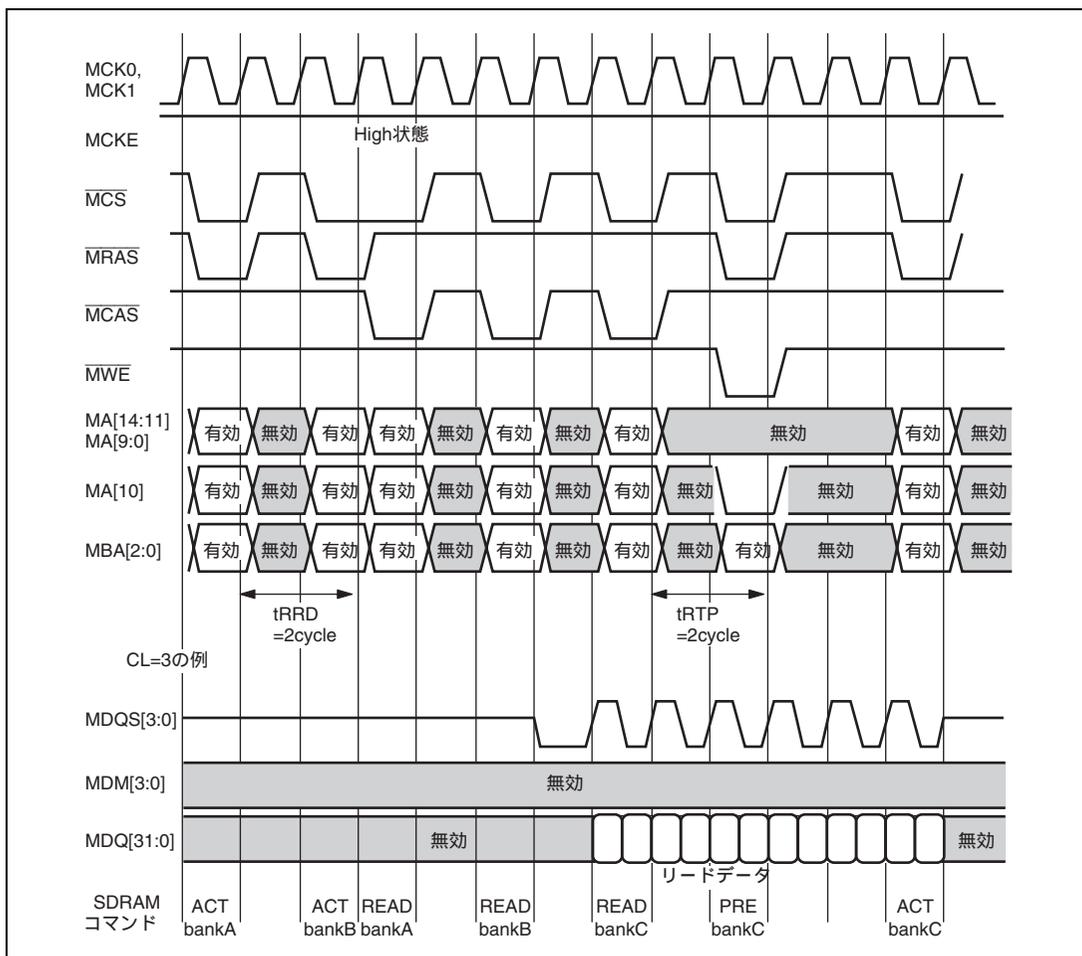


図 12.15 t_{RRD} 、 t_{RTP} について

図 12.15 は、バンク A、B のページが共に閉じており、バンク C のページが開かれてページヒットしている場合を示しています。まずバンク A の ACT コマンド発行から開始し、 t_{RRD} 時間制約を満たした後、バンク B の ACT コマンドを発行します。バンク A の ACT コマンド発行から t_{RC} 時間経過したため、READ コマンド発行が可能になります。READ コマンドはバースト長 4 なので 2 サイクル後に、バンク B に対する READ コマンドを発行することが可能になります。さらに 2 サイクル後、バンク C に対する READ コマンドを発行します。ただし、次のリクエストはバンク C を閉じる必要のあるアクセスなので、 t_{RTP} 時間経過後に PRE コマンドを発行しています。

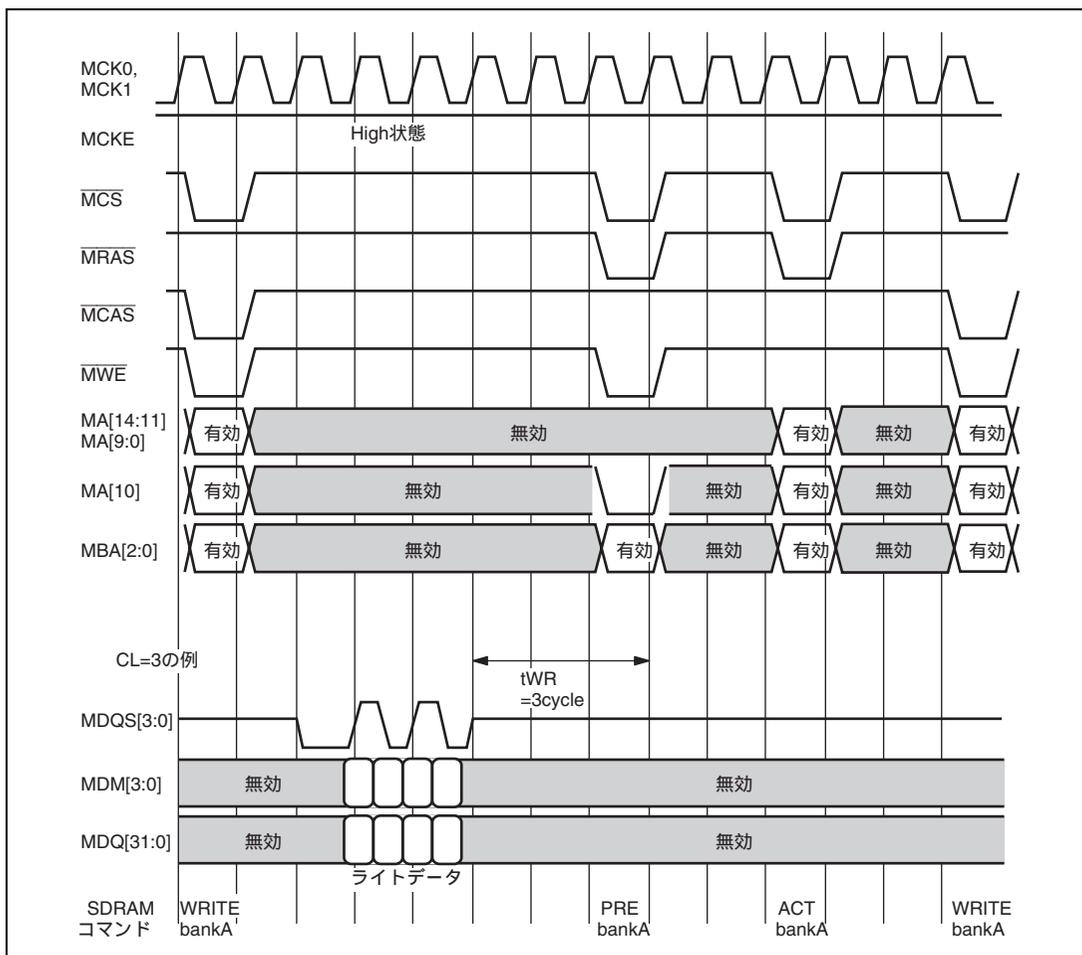


図 12.16 tWR について

図 12.16 は、ライトリクエスト後にバンク B を閉じる必要のあるアクセスが生じた場合を示しています。WRITE コマンド発行後に、PRE コマンド発行のためには、ライトデータが出力されてから tWR 時間以上経過を待つ必要があります。

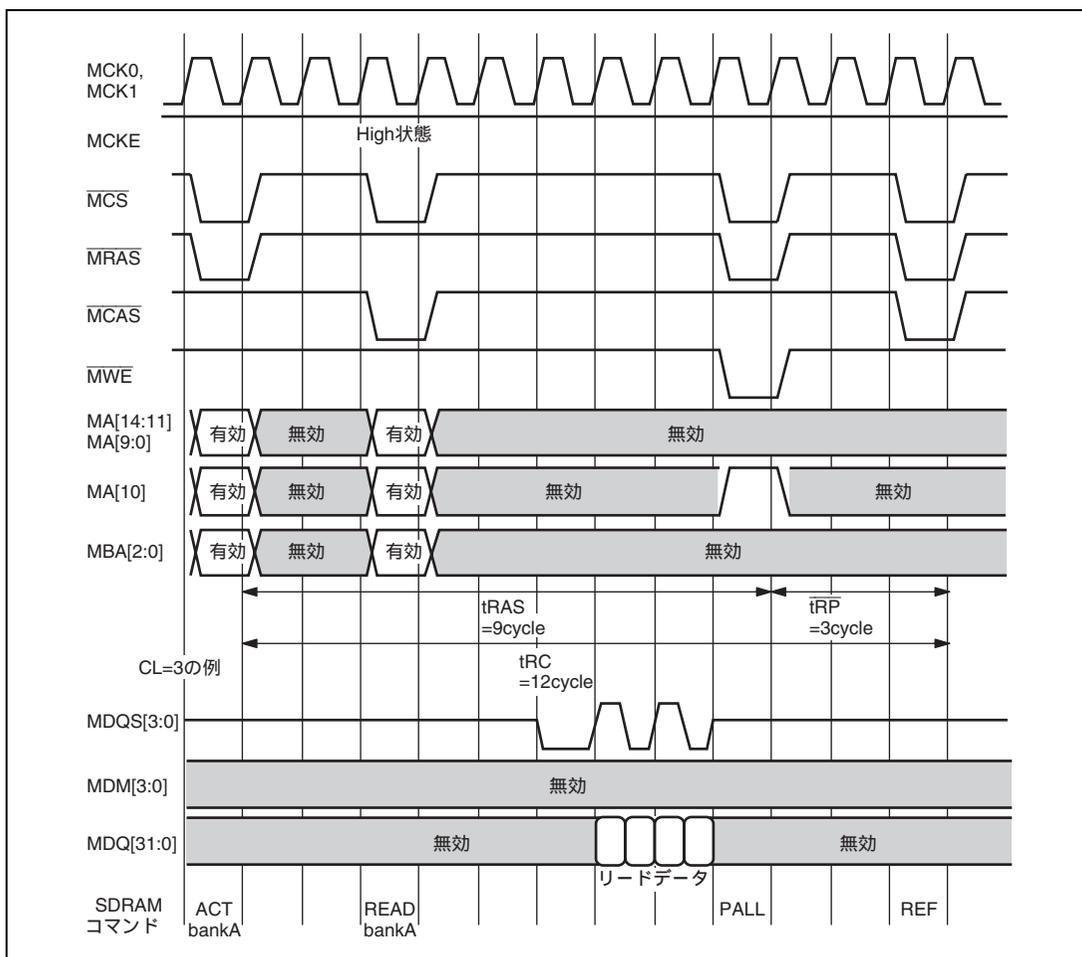
図 12.17 t_{RC} について

図 12.17 は、ページが閉じられていたバンク A のリードアクセスの後、オートリフレッシュを行う場合の例です。バンク A に対して ACT コマンドと READ コマンドを発行してデータリードを行った後、オートリフレッシュを行うため、PALL コマンドを使いすべてのバンクを閉じる必要があります。PALL コマンド発行のためには、 t_{RAS} 時間制約を満たす必要があり、それまで PALL コマンド発行が延期されます。その後、REF コマンドを発行する際、 t_{RP} と t_{RC} 時間を同時に満たす必要があり、それらの制約がすべて満たされた際に、REF コマンドが発行されオートリフレッシュが行われます。

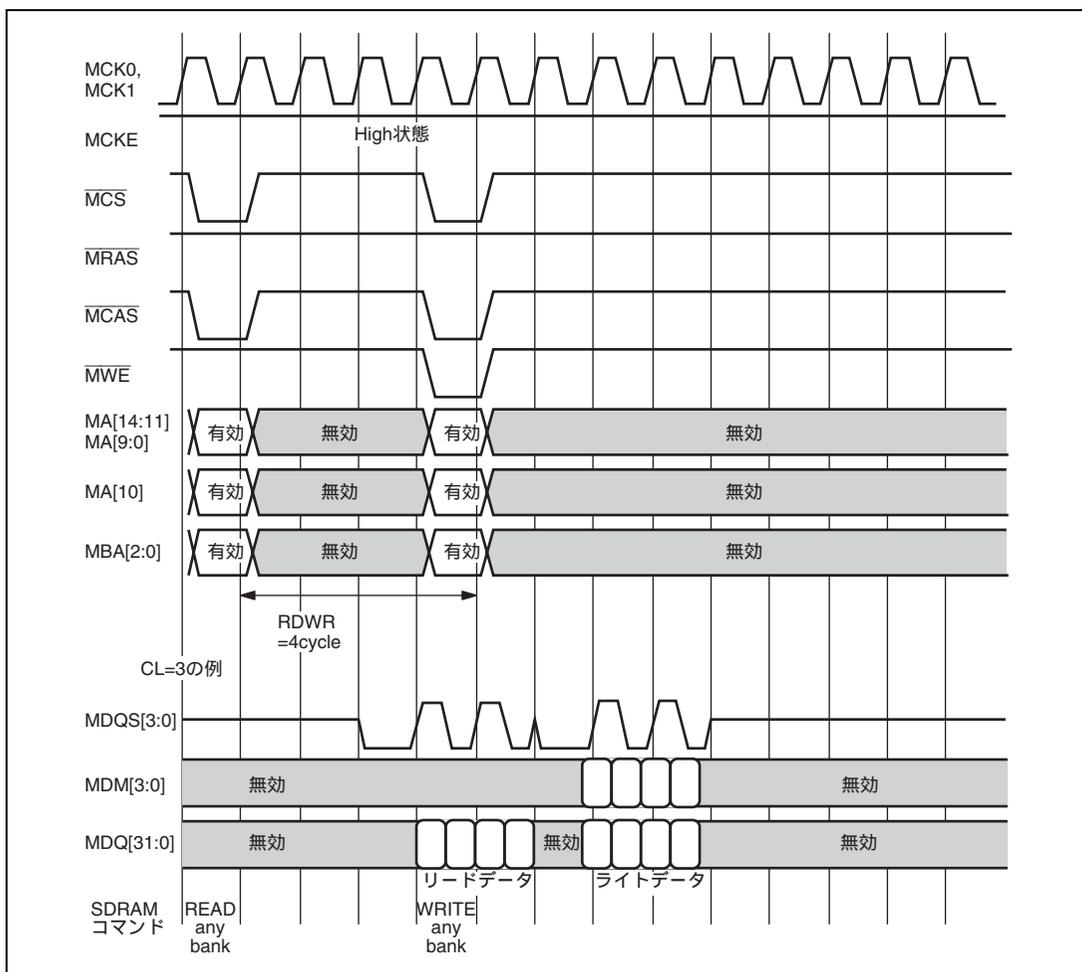


図 12.18 READ-WRITE 間最小間隔について

図 12.18 は READ コマンド発行後、WRITE コマンドを発行した場合の例です。本メモリコントローラは、READ コマンド発行後、WRITE コマンド発行のために、最低 RDWR で規定した時間分経過するのを待ちます。

12. DDR2-SDRAM インタフェース (DBSC2)

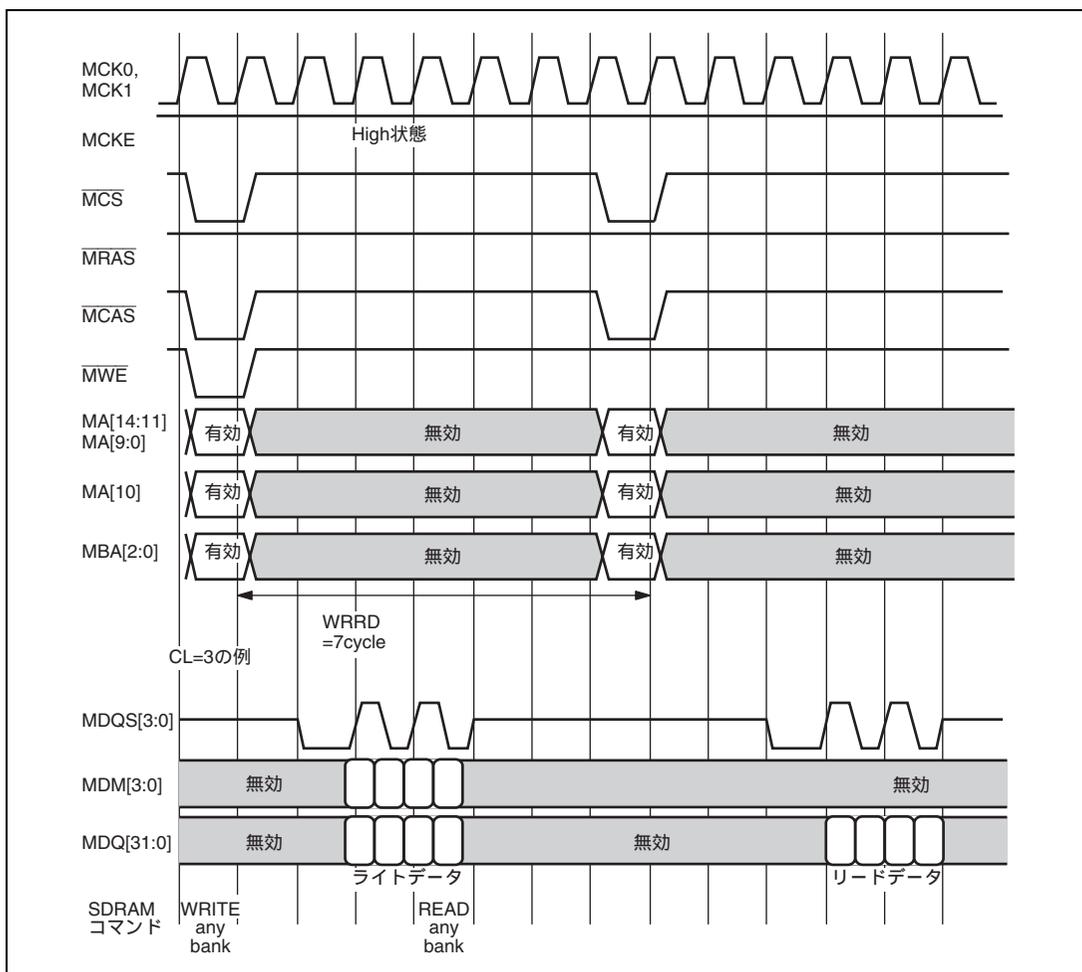


図 12.19 WRITE-READ 間最小間隔について

図 12.19 は WRITE コマンド発行後、READ コマンドを発行した場合の例です。本メモリコントローラは、WRITE コマンド発行後、READ コマンド発行のために、最低 WRRD で規定した時間分経過するのを待ちます。

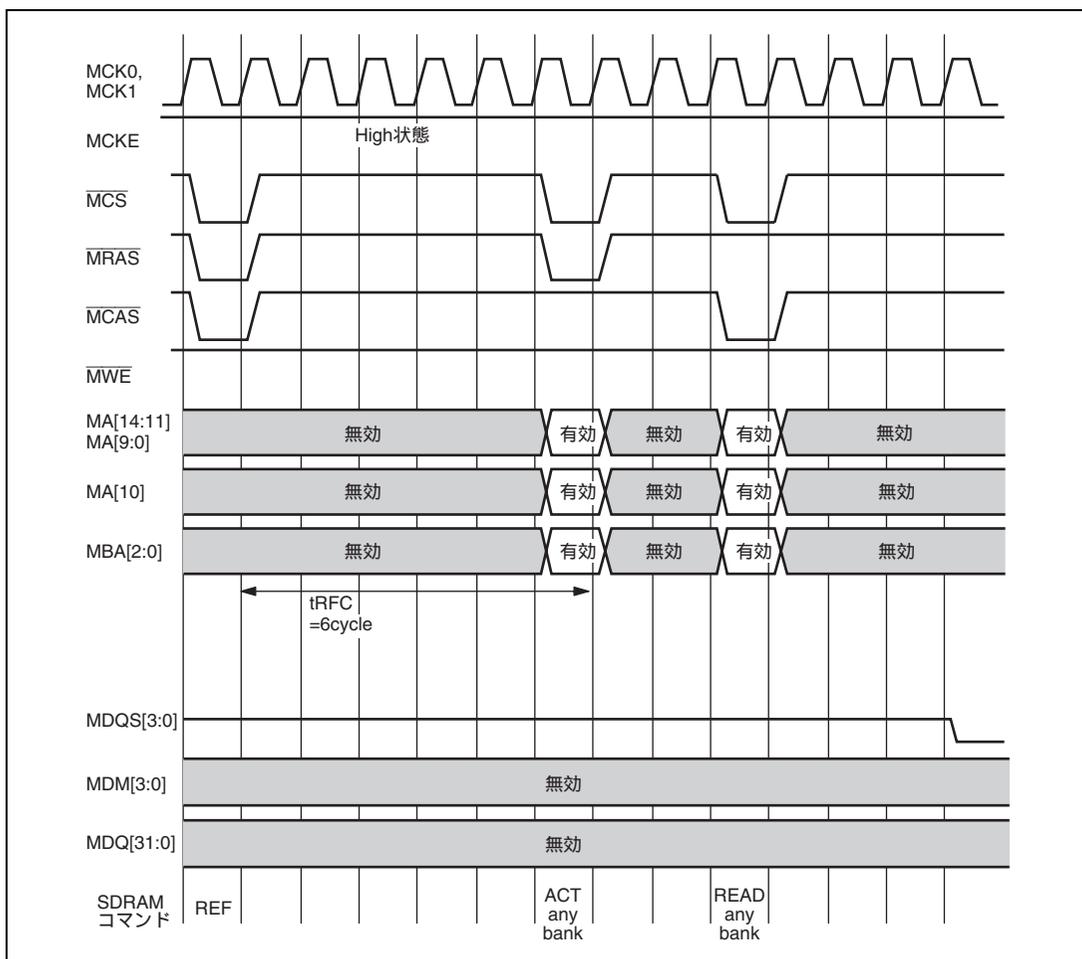
図 12.20 t_{RFC} について

図 12.20 は REF コマンド発行後、READ リクエストが発生した場合の動作例です。本コントローラは REF コマンド発行後、 t_{RFC} で規定した時間分、ACT コマンド発行を待ちます。

12.5.8 8bank 品 DDR2-SDRAM 使用上のご注意

DDR2-SDRAMの規格から、8bank 品には同時にアクティベートできるバンク数に制約があります。この制約は、アクティベートしておくバンク数が常に4バンクを超えなければ守ることができます。この制約を守るため、本メモリコントローラは、 $(BA2,BA1,BA0) = (1,X,Y)$ と $(0,X,Y)$ は同じバンクに対するアクセスとして取り扱いします。この扱いにより同時にアクティベートされるバンク数は4までとなります。動作例として、 $(BA2,BA1,BA0) = (0,0,0)$ のバンクに対応するページが開かれており、次に $(BA2,BA1,BA0) = (1,0,0)$ のアクセスが生じた場合を考えます。本メモリコントローラは $(BA2,BA1,BA0) = (0,0,0)$ に対応するバンクのページを PRE コマンドにより閉じてから、 $(BA2,BA1,BA0) = (1,0,0)$ に対応するバンクに対し ACT コマンドを与えてページを開き、アクセスを行います。本コントローラは上記の制御を行うため、同時に動作するプログラムを $(BA2,BA1,BA0) = (1,X,Y)$ と $(0,X,Y)$ になるアドレス領域に配置すると、ページミスが多く発生する場合があります。

12.5.9 SDRAM に対する ODT 制御信号出力に関するご注意

本コントローラから SDRAM に対して ODT 制御信号を出力する場合には、下記の注意点があります。

- SDRAMへODT制御信号を出力する場合、CASレイテンシーはDDRクロックで最低4サイクル必要です。(図 12.21)
- ODTをDBDICODTOCDレジスタのODT_EARLYビットでODT制御信号をDDRクロックで1サイクル分手前から出力して延長する場合には、CASレイテンシーはDDRクロックで最低5サイクル必要で、かつDBTR2レジスタのRDWRビットの設定値をSDRAMの仕様が要求する値に1加えたものとする必要があります。(図 12.22)

なお、本コントローラは t_{AOND} が 2 サイクル、 t_{AOFD} が 2.5 サイクルのメモリのみサポートしています。

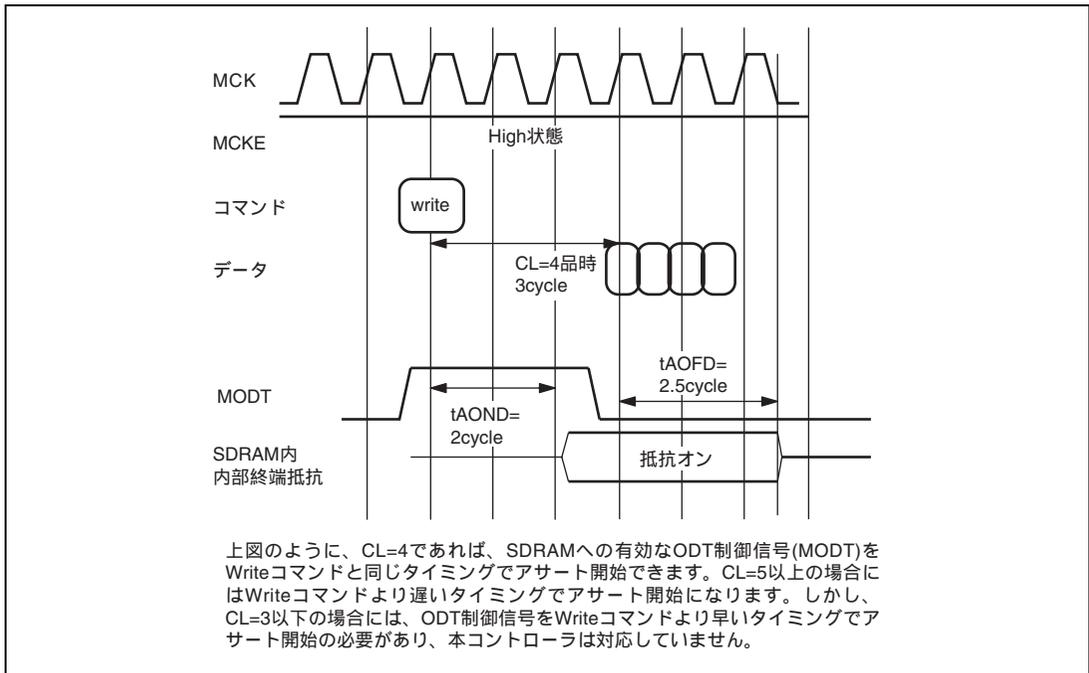


図 12.21 CL=4 のときの ODT 制御信号

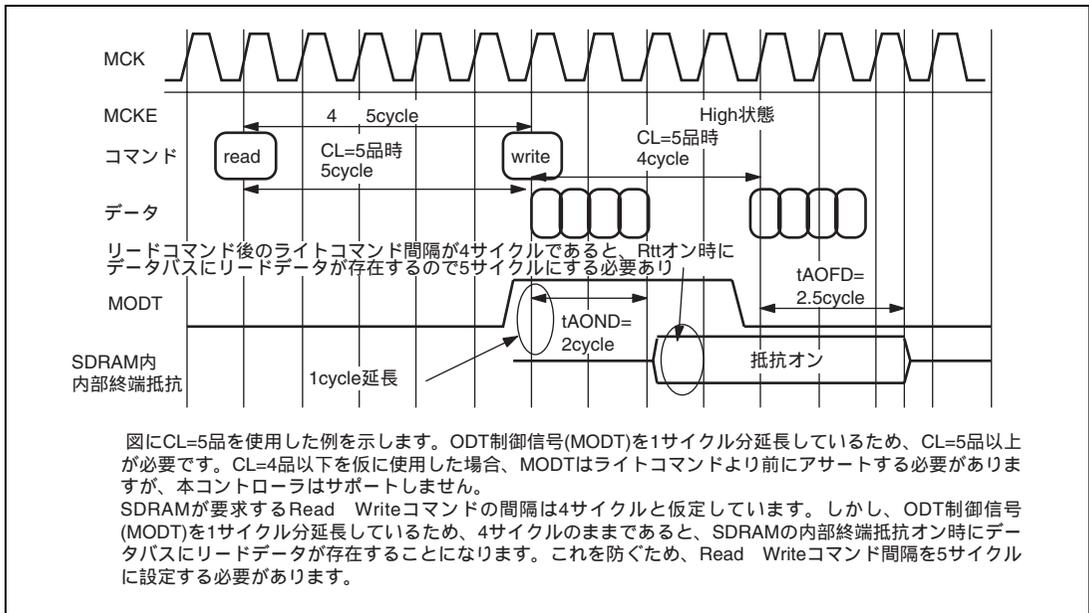


図 12.22 ODT 制御信号 1 サイクル延長時の注意点

12.5.10 DDR2-SDRAM 電源バックアップ機能

SDRAM 電源バックアップ機能とは、SDRAM のセルフリフレッシュ状態を利用して、SDRAM のデータを保持しつつ、本メモリコントローラを含む大部分 (1.8V I/O 以外) のチップの電源をオフする機能です。本機能によりシステムの消費電力削減が可能になるだけでなく、SDRAM 内に有効データが保存されているので再度データを SDRAM に転送する時間が削減できます (図 12.23 参照)。なお、本機能を実現するためには、本メモリコントローラを含むチップ以外に、チップとメモリの状態を監視する外部素子 (マイコンなど) などが別途必要です。

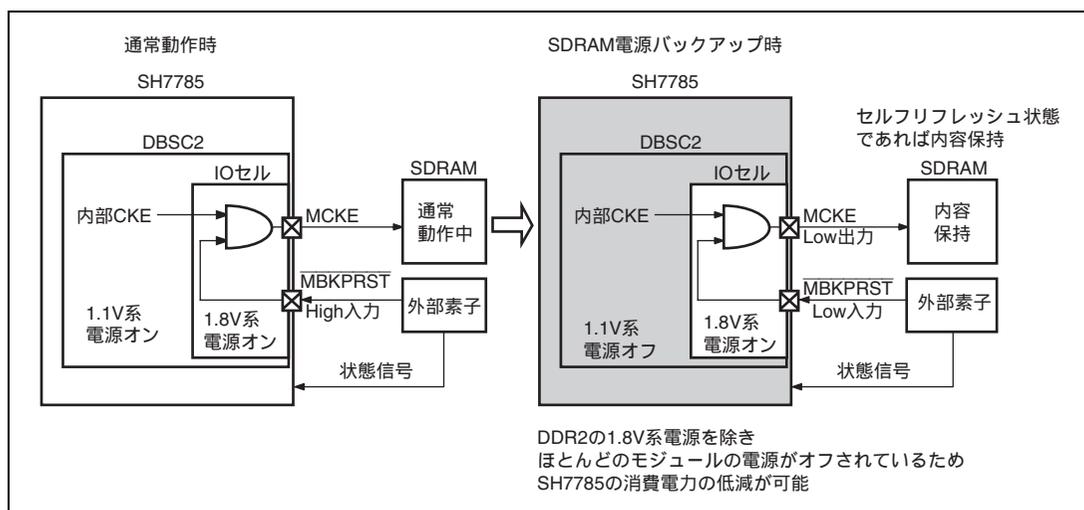


図 12.23 SDRAM 電源バックアップ機能

電源バックアップ機能実現のためには、1.8V I/O 以外の電源オフ時でも MCKE をロー (Low) レベルに保持する制御信号 $\overline{\text{MBKPRST}}$ が必要です。本信号がローレベルにあるとき、チップ内部の電源がオフ状態でも MCKE 端子はローを保持することができます。SDRAM を DBSC2 でセルフリフレッシュ状態にした後、この $\overline{\text{MBKPRST}}$ 信号を使い MCKE 信号をローレベルに保てば、チップ内部の電源がオフになっても、SDRAM のセルフリフレッシュ状態を保持できます。

電源バックアップ状態の解除は、パワーオンリセットにより行います。これにより、本メモリコントローラのレジスタは初期化が行われるため、セルフリフレッシュの制御論理も初期化されます。内部 CKE 信号が不定になるパワーオンリセット前やパワーオンリセット期間中も SDRAM をセルフリフレッシュ状態にしておくため、 $\overline{\text{MBKPRST}}$ 信号はローレベルを保持しておく必要があります。なお、パワーオンリセットによりメモリコントローラは内部 CKE 信号をローレベルに確定しますので、パワーオンリセット解除後は $\overline{\text{MBKPRST}}$ をハイ (High) レベルにします。(電源バックアップ状態ではない場合には $\overline{\text{MBKPRST}}$ は常にハイレベルで問題ありません。)

このように、電源バックアップ状態の解除をパワーオンリセットにより行うため、ソフトウェアは通常の SDRAM の初期化シーケンスが必要なのか、それとも電源バックアップ状態の解除からなのかを判断する必要があります。この判断のために、外部素子は状態信号をチップに与えます。なお、与え方は任意で汎用ポートなどを

使用します。

パワーオンリセット後に、ソフトウェアは、外部素子から与えられた状態信号をモニタし、電源バックアップ状態であったのか SDRAM の初期化が必要なのかを判断します。なお、MCKE をレジスタ設定によりハイレベルにする前に、状態信号は非電源バックアップ状態を意味するようにしておく必要があります。(MCKE 端子をハイにした後、パワーオンリセットが入ると SDRAM 内部のデータが破壊されます。そのため、先に状態信号を非電源バックアップ状態しておかないと、破壊されたデータを正しいデータとして扱う恐れがあります。)

このように、SDRAM 電源バックアップモードへの遷移や解除には手順があり、この手順を守らないと SDRAM 内部のデータが破壊されます。

以下では、その手順を説明します。

(1) SDRAM 電源バックアップモードへの遷移

下記のフローで行います。

1. 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断しないようにして、SDRAMが要求するオートリフレッシュの間隔を超えないようにしてください。
2. SDRAM動作許可レジスタ (DBEN) のACENビットを0 (アクセス無効) に設定します。
3. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のARFENビットを0 (オートリフレッシュ自動発行無効) に設定します。
4. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行します。
5. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行します。
6. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のSRFENビットを1に設定することにより、セルフリフレッシュに移行します。
7. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) をリードして、SRFENビットが1となっていることを確認します。
8. 外部素子に汎用ポートなどの手段を使いSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、 $\overline{\text{MBKPRST}}$ 信号をハイレベルからローレベルにします。
9. DBSC2の1.8V I/Oを除き不要な電源をオフします。

(2) SDRAM 電源バックアップモードからの復帰

下記のフローで行います。

1. チップの電源をオン状態にします。
2. パワーオンリセットをSH7785に与えます。
3. パワーオンリセットの解除後、外部素子は $\overline{\text{MBKPRST}}$ 信号をローレベルからハイレベルにします。

12. DDR2-SDRAM インタフェース (DBSC2)

4. 外部素子から汎用ポートなどを用いてSDRAMのイニシャライズシーケンスなのか、電源バックアップモードからの復帰なのかを判定します。SDRAMのイニシャライズシーケンスであった場合は「12.5.3 初期化シーケンス」を参照してください。
5. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0 (DBTR0)、SDRAMタイミングレジスタ1 (DBTR1)、SDRAMタイミングレジスタ2 (DBTR2) の設定を行ってください。
6. DDRPAD周波数設定レジスタ (DBFREQ) に書き込みを行うことにより、DLLの設定を行います。
 - (a) DLLRST=0に設定します。
 - (b) FREQビットにDDRPADの周波数を設定してください。
 - (c) DLLRST=1設定にした後、DDRPADで必要としているDLL安定時間100 μ s以上ソフトウェアで待ちます。
7. DDRPAD DIC,ODT, OCD設定レジスタ (DBDICODTOCD) に書き込みを行います。書き込む値はSDRAMのEMRS (1) に設定する値にあわせてます。
8. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりMCKE信号をハイレベルにし、メモリベンダが要求するセルフリフレッシュ状態解除後、非リードコマンド発行までの時間 (t_{XSNR} 時間) 以上、ソフトウェアで待ちます。
9. コマンド制御レジスタ (DBCMDCNT) に書き込みを行うことにより、REF (リフレッシュ) コマンドを発行します。
10. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定します。
11. SDRAMリフレッシュ制御レジスタ1 (DBRFCNT1)、SDRAMリフレッシュ制御レジスタ2 (DBRFCNT2) の設定を行ってください。
12. SDRAMリフレッシュ制御レジスタ0 (DBRFCNT0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定します。以降、通常アクセスが可能になります。

12.5.11 イニシャライズおよびセルフリフレッシュ解除時などでの時間確保方法

DBSC2 のレジスタ設定によりイニシャライズ設定を行ったり、セルフリフレッシュ解除を行う際に、SDRAM の仕様から規定時間の経過を待つ必要があります。その待ち方の一例として DBSC2 ステータスレジスタ (DBSTATE) のリードを行う方法があります。DBSC2 ステータスレジスタ (DBSTATE) のリードを実行すると、メモリクロックで最低 8 サイクル分時間が経過します。300MHz 動作であれば、1 回の DBSTATE の読み出しで 26ns 程度時間が経過します。これを利用して、リードアクセスを必要回数繰り返すことにより時間の確保が可能です。

12.5.12 サポートクロック比について

DBSC2 がサポートするクロック比は、SuperHyway クロックと DDR クロックの比が 1:1 のみです。クロック比 1:1 以外はサポートしませんので、ご注意ください。

12.5.13 MCKE 信号の動作について

MCKE 信号の動作を図 12.24 を用いて説明します。ここでは、 $\overline{\text{MBKPRST}}$ がハイレベル入力であることを前提として説明します。MCKE 信号はパワーオンリセット前は不定ですが、パワーオンリセットによりローレベル出力となります。パワーオンリセット解除後、SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットの "011" の書き込みにより、MCKE 信号はイネーブル状態である High 出力になります。DBCMDCNT の CMD の "011" 設定によりハイレベル出力となると、セルフリフレッシュ状態へ移行させる以外に、本コントローラは MCKE 信号をローレベル出力とすることはありません。(いったん、DBCMDCNT の CMD ビットに "011" と設定を行うと、後で CMD にどのような値を書き込んでも MCKE 信号をローレベル出力とすることはありません。) セルフリフレッシュ状態への遷移後に、DBRFCNT0 の SRFEN に対して 0 書き込みを行い、セルフリフレッシュ状態の解除を行えば、MCKE 信号は再びハイレベル出力となります。

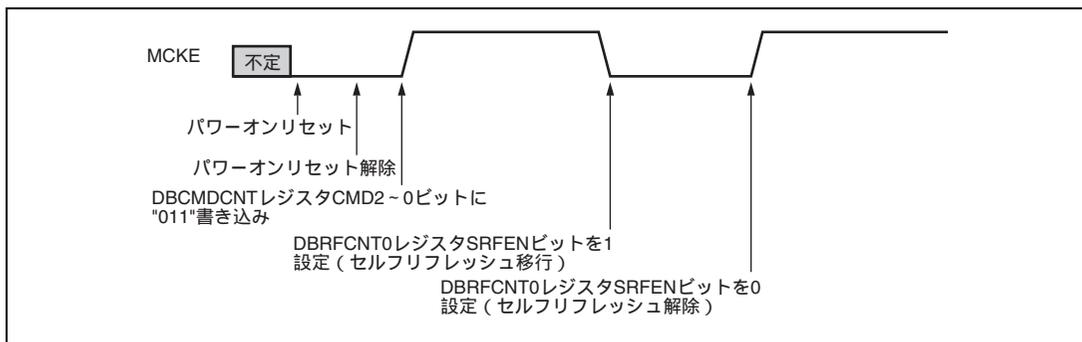


図 12.24 MCKE 信号動作

13. PCI コントローラ (PCIC)

PCI コントローラ (PCIC) は、PCI バスの制御を行い、本 LSI 外部バスに接続されるメモリと PCI バスに接続される PCI デバイス間のデータ転送を行うことができ、PCI バスを用いたシステム設計が容易になると同時に、コンパクトで高速なデータ転送が可能になります。

PCIC は PCI バスと本 LSI 内部バス (SuperHyway バス) との間を結ぶバスブリッジとして動作し、PCI バス上の PCI デバイスから、本 LSI 外部バスに接続されるメモリなどへの転送チャンネルを提供します。

PCIC は、ホストモード、ノーマルモード (非ホストモード) の 2 つのモードを持ちます。ホストモードでは PCI バス上のアービトレーションを行うことができます。ノーマルモードでは PCI バスアービトレーションは外部 PCI バスアービタによって行われます。

13.1 特長

PCIC には以下の特長があります。

- PCI のレビジョン 2.2 のサブセットをサポート
- 33 MHz 又は 66 MHz 動作
- 32 ビットデータバス
- PCI マスタおよびターゲット機能
- PCI パワーマネジメント Rev. 1.1 のサブセットをサポート
- ホストモードおよびノーマルモードをサポート
- PCI アービタ (ホストモード時)
- 4 種類の外部マスタをサポート
- 擬似ラウンドロビンまたは固定優先順位アービトレーション
- 外部バスアービタモードをサポート
- コンフィグレーションメカニズム #1 をサポート (ホストモード)
- パースト転送をサポート
- パリティチェックおよびエラーレポート
- 排他的アクセス (ターゲット時のみ)

本 LSI 内部モジュールと外部 PCI マスタ間の排他的アクセスは、サポートしていません。

PCIC がマスタのとき: 未サポート

PCIC がターゲットのとき: ロックされると、 $\overline{\text{LOCK}}$ をアサートした PCI デバイスからのみアクセス可能

(ロック転送中においても SuperHyway バスはロックされません)

13. PCI コントローラ (PCIC)

- PCICがターゲットのとき、PCIバス上のメモリと本LSI外部バス上のメモリ間のキャッシュスヌープ機能をサポート。
(キャッシュコヒーレントは性能を犠牲にすることでサポートできます)
- ホストモードでは、4種類の外部割り込み入力 ($\overline{\text{INTA}}$ 、 $\overline{\text{INTB}}$ 、 $\overline{\text{INTC}}$ および $\overline{\text{INTD}}$) をサポート
- ノーマルモードでは、1種類の外部割り込み出力 ($\overline{\text{INTA}}$) をサポート
- SH7785のエンディアンは、ビッグエンディアンおよびリトルエンディアン両方をサポート
(ただし、PCIバスはリトルエンディアンで動作)

【注】 以下のPCIの機能はサポートされていません。

- キャッシュサポート ($\overline{\text{SBO}}$ 、SDONE ピンなし)
- アドレスラップアラウンドメカニズム
- PCI JTAG (本LSIとしてはJTAGをサポートしています)
- デュアルアドレスサイクル
- インタラプトアクノリッジサイクル
- 高速 Back-to-Back 転送開始 (ターゲットデバイスとして動作するときにサポートします)
- 初期化、システムブート用拡張ROM

図 13.1 に PCIC のブロック図を示します。

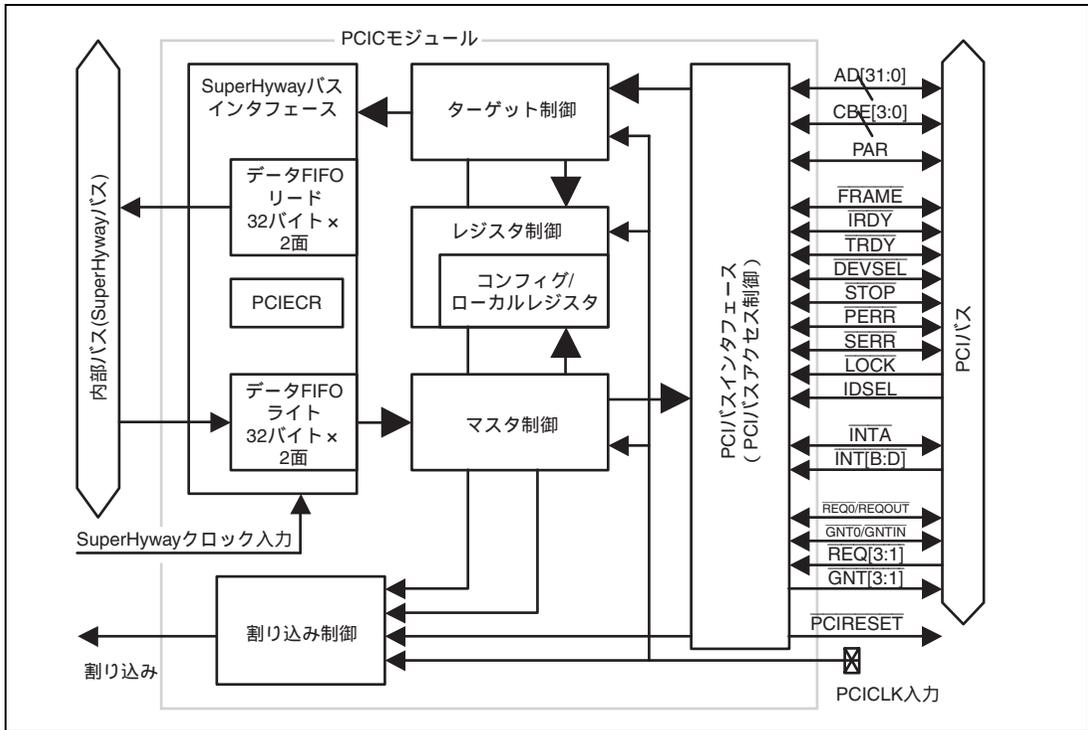


図 13.1 PCIC ブロック図

PCIC は PCI バスインタフェースブロックと SuperHyway バスインタフェースブロックの 2 つのブロックからなります。

PCI バスインタフェースブロックは PCI コンフィグレーションレジスタ、ローカルレジスタ、PCI マスタ/ターゲット制御からなります。

SuperHyway バスインタフェースブロックは、PCI バスインタフェースからのアクセスを SuperHyway バスへのアクセスに変換し、また SuperHyway バスからのアクセス (CPU または DMAC) を PCI バスインタフェースブロックへのアクセスに変換する機能を持っています。SuperHyway バスインタフェースブロックにはコントロールレジスタ (PCIECR)、SuperHyway バス PCI バスアクセス制御ブロック、PCI バス SuperHyway バスアクセス制御ブロックからなります。

割り込み制御は、本 LSI の INTC への割り込みの発行を制御する機能を持っています。

13. PCI コントローラ (PCIC)

13.2 入出力端子

表 13.1 に PCIC の端子構成を示します。

表 13.1 信号の説明

信号名	PCI 規格 信号	入出力	説 明
D32/AD0/DR0 ~ D37/AD5/DR5, D38/AD6/DG0 ~ D43/AD11/DG5, D44/AD12/DB0 ~ D49/AD17/DB5, D50/AD18 ~ D63 /AD31	AD[31:0]	TRI	アドレスバスとデータバスをマルチプレクスした PCI アドレス / データバス 各バス処理はアドレスフェーズの後に 1 つ以上のデータフェーズが続きます。
WE7/CBE3 ~ WE4/CBE0	C/BE[3:0]	TRI	PCI コマンド / バイトイネーブル マルチプレクスされたコマンドおよびバイトイネーブル。アドレスフェーズ 中はコマンドタイプを示し、データフェーズ中はバイトイネーブルを示しま す。
PAR	PAR	TRI	PCI パリティ信号 AD[31:0]と C/BE[3:0]間の偶数パリティを生成 / 検出します。
PCICLK/DCLKIN	CLK	IN	PCI クロック PCI バスでのすべての処理のタイミングを与えます。
PCIFRAME/ VSYNC	FRAME	STRI	PCI フレーム 現在のイニシエータによってドライブされ、処理の開始および持続を示しま す。
TRDY/DISP	TRDY	STRI	PCI ターゲットレディ 選択されたターゲットによってドライブされます。ターゲットが処理の開始 および持続が可能であることを示します。
IRDY/HSYNC	IRDY	STRI	PCI イニシエータレディ 現在のバスマスタによってドライブします。書き込み中は、有効なデータが AD[31:0]ライン上に存在することを示します。読み出し中は、マスタがデー タを受け入れる用意があることを示します。
STOP/CDE	STOP	STRI	PCI ストップ 現在の処理を停止するために選択されたターゲットによってドライブしま す。
LOCK/ODDF	LOCK	STRI	PCI ロック ターゲット時に排他的アクセス (ターゲットリソースのロック) を受け付け るための信号
IDSEL	IDSEL	IN	PCI コンフィグデバイス選択 コンフィグレーションサイクルで PCIC を選択するときに入力します (ノ ーマルモードのみ)。

13. PCI コントローラ (PCIC)

信号名	PCI 規格 信号	入出力	説明
DEVSEL/ DCLKOUT	DEVSEL	STRI	PCI デバイス選択 PCIC がターゲットとしてその PCI デバイスのアドレスをデコードしたことを示します。入力としては、PCIC が選択されたことを示します。
SCIF0_CTS/ INTD/FCE	INTD	IN	割り込み D PCI デバイスが PCI 割り込みを要求していることを示します。ホストモードのみ。
DREQ3/INTC	INTC	IN	割り込み C PCI デバイスが PCI 割り込みを要求していることを示します。ホストモードのみ。
DREQ2/INTB	INTB	IN	割り込み B PCI デバイスが PCI 割り込みを要求していることを示します。ホストモードのみ。
INTA	INTA	O/D	割り込み A ホストモードで PCI デバイスが割り込みを要求していることを示します。 ノーマルモードで PCIC が割り込みを要求するために出力します。
REQ3	REQ3	IN	PCI バスリクエスト (ホストモードのみ)
REQ2 ~ REQ1	REQ[2:1]	IN	PCI バスリクエスト (ホストモードのみ)
GNT3/MMCCLK	GNT3	TRI	PCI バスgrant (ホストモードのみ)
GNT2 ~ GNT1	GNT[2:1]	TRI	PCI バスgrant (ホストモードのみ)
REQ0/REQOUT	REQ0	TRI	PCI バスリクエスト (ホストモードで入力/出力、ノーマルモードで出力)
GNT0/GNTIN	GNT0	TRI	PCI バスgrant (ホストモードで出力/入力、ノーマルモードで入力)
SERR	SERR	O/D	PCI システムエラー
PERR	PERR	STRI	PCI パリティエラー
PCIRESET		OUT	PCI リセット出力
MODE12 MODE11		IN	PCI 動作モード選択 MODE12 MODE11 00 : PCI ホストモード、PCICLK による PCI ホストブリッジ動作 01 : PCI ノーマルモード PCICLK による非 PCI ホストブリッジ動作 10 : LocalBus64bit モード (PCI 使用不可) 11 : DU モード (PCI 使用不可)

【注】 TRI : トライステート

STRI : サステインドトライステート

O/D : オープンドレイン

IN : 入力のみ

OUT : 出力のみ

13. PCI コントローラ (PCIC)

13.3 レジスタの説明

表 13.2 に PCIC のレジスタ一覧を示します。アクセスサイズは各レジスタの最大のアクセスサイズを示しています。PCI コンフィグレジスタ空間のレジスタは、32 ビット / 16 ビット / 8 ビットどのサイズでもアクセス可能です。

表 13.2 PCIC レジスタ一覧

レジスタ名称	略 称	SH* ¹ R/W	PCI* ¹ R/W	P4 アドレス	エリア 7 アドレス	同期クロック	アクセス サイズ
コントロールレジスタ空間 (物理アドレス : H'FE00 0000 ~ H'FE03 FFFF)							
PCIC イネーブル制御レジスタ	PCIECR	R/W	-	H'FE00 0008	H'1E00 00008	SHck	32
PCI コンフィグレジスタ空間 (物理アドレス : H'FE04 0000 ~ H'FE04 00FF)							
PCI ベンダ ID レジスタ	PCIVID	R	R	H'FE04 0000	H'1E04 0000	PCclk	(32)/16/8 * ³
PCI デバイス ID レジスタ	PCIDID	R	R	H'FE04 0002	H'1E04 0002	PCclk	(32)/16/8 * ³
PCI コマンドレジスタ	PCICMD	R/W	R/W	H'FE04 0004	H'1E04 0004	PCclk	(32)/16/8 * ³
PCI ステータスレジスタ	PCISTATUS	R/W	R/W	H'FE04 0006	H'1E04 0006	PCclk	(32)/16/8 * ³
PCI レビジョン ID レジスタ	PCIRID	R	R	H'FE04 0008	H'1E04 0008	PCclk	(32)/(16)/8 * ³
PCI プログラムインタフェースレジスタ	PCIPIF	R/W	R	H'FE04 0009	H'1E04 0009	PCclk	(32)/(16)/8 * ³
PCI サブクラスコードレジスタ	PCISUB	R/W	R	H'FE04 000A	H'1E04 000A	PCclk	(32)/(16)/8 * ³
PCI ベースクラスコードレジスタ	PCIBCC	R/W	R	H'FE04 000B	H'1E04 000B	PCclk	(32)/(16)/8 * ³
PCI キャッシュラインサイズレジスタ	PCICLS	R	R	H'FE04 000C	H'1E04 000C	PCclk	(32)/(16)/8 * ³
PCI レイテンシタイムレジスタ	PCILTM	R/W	R/W	H'FE04 000D	H'1E04 000D	PCclk	(32)/(16)/8 * ³
PCI ヘッドタイプレジスタ	PCIHDR	R	R	H'FE04 000E	H'1E04 000E	PCclk	(32)/(16)/8 * ³
PCI BIST レジスタ	PCIBIST	R	R	H'FE04 000F	H'1E04 000F	PCclk	(32)/(16)/8 * ³
PCI I/O ベースアドレスレジスタ	PCIIBAR	R/W	R/W	H'FE04 0010	H'1E04 0010	PCclk	32/16/8
PCI メモリベースアドレス 0 レジスタ	PCIMBAR0	R/W	R/W	H'FE04 0014	H'1E04 0014	PCclk	32/16/8
PCI メモリベースアドレス 1 レジスタ	PCIMBAR1	R/W	R/W	H'FE04 0018	H'1E04 0018	PCclk	32/16/8

13. PCI コントローラ (PCIC)

レジスタ名称	略 称	SH*1 R/W	PCI*1 R/W	P4 アドレス	エリア 7 アドレス	同期クロック	アクセス サイズ
PCI サブシステムベンダ ID レジスタ	PCISVID	R/W	R	H'FE04 002C	H'1E04 002C	PCclk	(32)/16/8 *3
PCI サブシステム ID レジスタ	PCISID	R/W	R	H'FE04 002E	H'1E04 002E	PCclk	(32)/16/8 *3
PCI 拡張機能ポインタレジスタ	PCICP	R	R	H'FE04 0034	H'1E04 0034	PCclk	(32)/(16)/8 *3
PCI 割り込みラインレジスタ	PCIINTLINE	R/W	R/W	H'FE04 003C	H'1E04 003C	PCclk	(32)/(16)/8 *3
PCI 割り込み端子指定レジスタ	PCIINTPIN	R/W	R	H'FE04 003D	H'1E04 003D	PCclk	(32)/(16)/8 *3
PCI 最小グラント指定レジスタ	PCIMINGNT	R	R	H'FE04 003E	H'1E04 003E	PCclk	(32)/(16)/8 *3
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	R	R	H'FE04 003F	H'1E04 003F	PCclk	(32)/(16)/8 *3
PCI 拡張機能 ID レジスタ	PCICID	R	R	H'FE04 0040	H'1E04 0040	PCclk	(32)/(16)/8 *3
PCI 次項目ポインタレジスタ	PCINIP	R	R	H'FE04 0041	H'1E04 0041	PCclk	(32)/(16)/8 *3
PCI パワーマネジメントレジスタ	PCIPMC	R/W	R/W	H'FE04 0042	H'1E04 0042	PCclk	(32)/16/8 *3
PCI パワーマネジメントコントロール/ステータスレジスタ	PCIPMCSR	R/W	R/W	H'FE04 0044	H'1E04 0044	PCclk	(32)/16/8 *3
PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSR BSE	R/W	R	H'FE04 0046	H'1E04 0046	PCclk	(32)/(16)/8 *3
PCI パワー消費/放散データレジスタ	PCIPCDD	R/W	R	H'FE04 0047	H'1E04 0047	PCclk	(32)/(16)/8 *3
PCI ローカルレジスタ空間 (物理アドレス : H'FE04 0100 ~ H'FE04 03FF)							
PCI コントロールレジスタ	PCICR	R/W	R	H'FE04 0100	H'1E04 0100	PCclk	32/16/8
PCI ローカルスペースレジスタ 0	PCILSR0	R/W	R	H'FE04 0104	H'1E04 0104	PCclk	32/16/8
PCI ローカルスペースレジスタ 1	PCILSR1	R/W	R	H'FE04 0108	H'1E04 0108	PCclk	32/16/8
PCI ローカルアドレスレジスタ 0	PCILAR0	R/W	R	H'FE04 010C	H'1E04 010C	PCclk	32/16/8
PCI ローカルアドレスレジスタ 1	PCILAR1	R/W	R	H'FE04 0110	H'1E04 0110	PCclk	32/16/8

13. PCI コントローラ (PCIC)

レジスタ名称	略 称	SH*1 R/W	PCI*1 R/W	P4 アドレス	エリア 7 アドレス	同期クロック	アクセス サイズ
PCI 割り込みレジスタ	PCIIR	R/W	R	H'FE04 0114	H'1E04 0114	PCclk	32/16/8
PCI 割り込みマスクレジスタ	PCIIMR	R/W	R	H'FE04 0118	H'1E04 0118	PCclk	32/16/8
PCI エラーアドレス情報レジスタ	PCIAIR	R	R	H'FE04 011C	H'1E04 011C	PCclk	32/16/8
PCI エラーコマンド情報レジスタ	PCICIR	R	R	H'FE04 0120	H'1E04 0120	PCclk	32/16/8
PCI アービタ割り込みレジスタ	PCIAINT	R/W	R	H'FE04 0130	H'1E04 0130	PCclk	32/16/8
PCI アービタ割り込みマスクレジスタ	PCIAINTM	R/W	R	H'FE04 0134	H'1E04 0134	PCclk	32/16/8
PCI バスマスタエラー情報レジスタ	PCIBMIR	R	R	H'FE04 0138	H'1E04 0138	PCclk	32/16/8
PCI PIO アドレスレジスタ*2	PCIPAR	R/W	-	H'FE04 01C0	H'1E04 01C0	PCclk	32/16/8
PCI パワーマネジメント割り込みレジスタ	PCIPINT	R/W	-	H'FE04 01CC	H'1E04 01CC	PCclk	32/16/8
PCI パワーマネジメント割り込みマスクレジスタ	PCIPINTM	R/W	-	H'FE04 01D0	H'1E04 01D0	PCclk	32/16/8
PCI メモリバンクレジスタ 0	PCIMBR0	R/W	-	H'FE04 01E0	H'1E04 01E0	PCclk	32/16/8
PCI メモリバンクマスクレジスタ 0	PCIMBMR0	R/W	-	H'FE04 01E4	H'1E04 01E4	PCclk	32/16/8
PCI メモリバンクレジスタ 1	PCIMBR1	R/W	-	H'FE04 01E8	H'1E04 01E8	PCclk	32/16/8
PCI メモリバンクマスクレジスタ 1	PCIMBMR1	R/W	-	H'FE04 01EC	H'1E04 01EC	PCclk	32/16/8
PCI メモリバンクレジスタ 2	PCIMBR2	R/W	-	H'FE04 01F0	H'1E04 01F0	PCclk	32/16/8
PCI メモリバンクマスクレジスタ 2	PCIMBMR2	R/W	-	H'FE04 01F4	H'1E04 01F4	PCclk	32/16/8
PCI I/O バンクレジスタ	PCIOBR	R/W	-	H'FE04 01F8	H'1E04 01F8	PCclk	32/16/8
PCI I/O バンクマスクレジスタ	PCIOBMR	R/W	-	H'FE04 01FC	H'1E04 01FC	PCclk	32/16/8
PCI キャッシュスヌープコントロールレジスタ 0	PCICSCR0	R/W	-	H'FE04 0210	H'1E04 0210	PCclk	32/16/8

13. PCI コントローラ (PCIC)

レジスタ名称	略 称	SH*1 R/W	PCI*1 R/W	P4 アドレス	エリア 7 アドレス	同期クロック	アクセス サイズ
PCI キャッシュスヌープ コントロールレジスタ 1	PCICSCR1	R/W	-	H'FE04 0214	H'1E04 0214	PCclk	32/16/8
PCI キャッシュスヌープ アドレスレジスタ 0	PCIC SAR0	R/W	-	H'FE04 0218	H'1E04 0218	PCclk	32/16/8
PCI キャッシュスヌープ アドレスレジスタ 1	PCIC SAR1	R/W	-	H'FE04 021C	H'1E04 021C	PCclk	32/16/8
PCI PIO データレジスタ	PCIPDR	R/W	-	H'FE04 0220	H'1E04 0220	PCclk	32/16/8

【注】 *1 SH : SuperHyway バス (内部バス)、PCI : PCI ローカルバス。R/W 欄の「WC」はライトクリア (1 の書き込みでクリア)、「-」はアクセス禁止です。

*2 PIO : Programed I/O

*3 該当のレジスタサイズより大きなアドレスでアクセスすることで複数のレジスタにアクセスすることもできます。上記アドレス以外はリザーブ領域となります。リザーブ領域はアクセス禁止です。

表 13.3 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
コントロールレジスタ空間 (物理アドレス : H'FE00 0000 ~ H'FE03 FFFF)				
PCIC イネーブル制御レジスタ	PCIECR	H'0000 0000	保持	保持
PCI コンフィグレジスタ空間 (物理アドレス : H'FE04 0000 ~ H'FE04 00FF)				
PCI ベンダ ID レジスタ	PCIVID	H'1912	保持	保持
PCI デバイス ID レジスタ	PCIDID	H'0007	保持	保持
PCI コマンドレジスタ	PCICMD	H'0080	保持	保持
PCI ステータスレジスタ	PCISTATUS	H'0290	保持	保持
PCI レビジョン ID レジスタ	PCIRID	H'XX	保持	保持
PCI プログラムインタフェースレジスタ	PCIPIF	H'00	保持	保持
PCI サブクラスコードレジスタ	PCISUB	H'00	保持	保持
PCI ベースクラスコードレジスタ	PCIBCC	H'XX	保持	保持
PCI キャッシュラインサイズレジスタ	PCICLS	H'20	保持	保持
PCI レイテンシタイムレジスタ	PCILTM	H'00	保持	保持
PCI ヘッドタイプレジスタ	PCIHDR	H'00	保持	保持
PCI BIST レジスタ	PCIBIST	H'00	保持	保持
PCI I/O ベースアドレスレジスタ	PCIIBAR	H'0000 0001	保持	保持
PCI メモリベースアドレス 0 レジスタ	PCIMBAR0	H'0000 0000	保持	保持

13. PCI コントローラ (PCIC)

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
PCI メモリベースアドレスレジスタ	PCIMBAR1	H'0000 0000	保持	保持
PCI サブシステムベンダ ID レジスタ	PCISVID	H'0000	保持	保持
PCI サブシステム ID レジスタ	PCISID	H'0000	保持	保持
PCI 拡張機能ポインタレジスタ	PCICP	H'40	保持	保持
PCI 割り込みラインレジスタ	PCIINTLINE	H'00	保持	保持
PCI 割り込み端子指定レジスタ	PCIINTPIN	H'01	保持	保持
PCI 最小グラント指定レジスタ	PCIMINGNT	H'00	保持	保持
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	H'00	保持	保持
PCI 拡張機能 ID レジスタ	PCICID	H'01	保持	保持
PCI 次項目ポインタレジスタ	PCINIP	H'00	保持	保持
PCI パワーマネジメントレジスタ	PCIPMC	H'000A	保持	保持
PCI パワーマネジメントコントロール/ステータスレジスタ	PCIPMCSR	H'0000	保持	保持
PCIPMCSRブリッジサポート拡張レジスタ	PCIPMCSRBASE	H'00	保持	保持
PCI パワー消費/放散データレジスタ	PCIPCDD	H'00	保持	保持
PCI ローカルレジスタ空間 (物理アドレス : H'FE04 0100 ~ H'FE04 03FF)				
PCI コントロールレジスタ	PCICR	H'0000 00xx	保持	保持
PCI ローカルスペースレジスタ 0	PCILSR0	H'0000 0000	保持	保持
PCI ローカルスペースレジスタ 1	PCILSR1	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 0	PCILAR0	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 1	PCILAR1	H'0000 0000	保持	保持
PCI 割り込みレジスタ	PCIIR	H'0000 0000	保持	保持
PCI 割り込みマスクレジスタ	PCIIMR	H'0000 0000	保持	保持
PCI エラーアドレス情報レジスタ	PCIAIR	H'xxxx xxxx	保持	保持
PCI エラーコマンド情報レジスタ	PCICIR	H'xx00 000x	保持	保持
PCI アービタ割り込みレジスタ	PCIAINT	H'0000 0000	保持	保持
PCI アービタ割り込みマスクレジスタ	PCIAINTM	H'0000 0000	保持	保持
PCI バスマスタエラー情報レジスタ	PCIBMIR	H'0000 00xx	保持	保持
PCI PIO アドレスレジスタ	PCIPAR	H'80xx xxxx	保持	保持
PCI パワーマネジメント割り込みレジスタ	PCIPINT	H'0000 0000	保持	保持
PCI パワーマネジメント割り込みマスクレジスタ	PCIPINTM	H'0000 0000	保持	保持

13. PCI コントローラ (PCIC)

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
PCI メモリバンクレジスタ 0	PCIMBR0	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 0	PCIMBMR0	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 1	PCIMBR1	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 1	PCIMBMR1	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 2	PCIMBR2	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 2	PCIMBMR2	H'0000 0000	保持	保持
PCI I/O バンクレジスタ	PCIIOBR	H'0000 0000	保持	保持
PCI I/O バンクマスクレジスタ	PCIIOBMR	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロールレジスタ 0	PCICSCR0	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロールレジスタ 1	PCICSCR1	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 0	PCICSAR0	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 1	PCICSAR1	H'0000 0000	保持	保持
PCI PIO データレジスタ	PCIPDR	H'xxxx xxxx	保持	保持

13. PCI コントローラ (PCIC)

13.3.1 コントロールレジスタ

(1) PCIC イネーブル制御レジスタ (PCIECR)

PCIC イネーブル制御レジスタは、PCIC の有効 / 無効を設定するためのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~1		すべて 0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	ENBL	0	SH:R/W PCI:-	PCIC イネーブルビット PCIC をイネーブル (有効) にするためのビットです。本ビットが0のとき、PCIC はディスエーブルとなり、CPU から PCIC へのアクセスは、ホストモード時、ノーマルモード時ともに無効 (ライト無効 / リード0) となり、外部 PCI デバイスから PCIC へのアクセスは、ホストモード時は無効 (ライト無効 / リード0)、ノーマルモード時はリトライを返します。 ただし、PCIECR へのアクセスは CPU からはホストモード、ノーマルモードとも可能です。外部 PCI デバイスから PCIECR へのアクセスはホストモード、ノーマルモードともできません。 0: PCIC ディスエーブル 1: PCIC イネーブル

13.3.2 コンフィグレーションレジスタ

コンフィグレーションレジスタは、PCI コンプライアントデバイス中でのコンフィグレーションレジスタ空間のプログラミングモデルおよび使用ルールを定義します。詳細は、PCI Local Bus Specification Revision 2.2 Chapter 6 Configuration Space を参照してください。

(1) PCI ベンダ ID レジスタ (PCIVID)

このフィールドは、PCI ベンダ ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VID															
初期値:	0	0	0	1	1	0	0	1	0	0	0	1	0	0	1	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	VID	H'1912	SH:R PCI:R	PCI ベンダ ID PCI-SIG によって割り当てられた PCI デバイスのベンダ ID を示します。 ルネサステクノロジのベンダ ID は H'1912 です。

(2) PCI デバイス ID レジスタ (PCIDID)

このフィールドでは、PCI デバイス ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	DID	H'0007	SH:R PCI:R	PCI デバイス ID PCI デバイスのベンダによって割り当てられた本 LSI のデバイス ID を示します。 SH7785 のデバイス ID は H'0007 です。

13. PCI コントローラ (PCIC)

(3) PCI コマンドレジスタ (PCICMD)

PCI コマンドレジスタは、PCI サイクルを発生し応答するために、PCIC の基本機能を制御します。0 がこのレジスタにライトされると、コンフィグレーションアクセスを除くすべての外部 PCI デバイスからのアクセスコマンドを無視します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FBBE	SERRE	WCC	PER	VGAPS	MWIE	SC	BM	MS	IOS
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
SH:R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
PCI:R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9	FBBE	0	SH:R PCI:R	高速バクトゥバクトゥ制御 マスタ時に異なるターゲットに対する高速バクトゥバクトゥを発行するかどうかを設定します。 0: 高速バクトゥバクトゥ制御は同じターゲットのみ許す 1: 異なるターゲットに対する高速バクトゥバクトゥ制御を許す(未サポート)
8	SERRE	0	SH:R/W PCI:R/W	SERR 出力制御 SERR の出力を制御します。 0: SERR 出力ディスエーブル(HiZでかつ内蔵プルアップ抵抗でプルアップ) 1: SERR 出力イネーブル(PCICR.SERR ビットの設定により出力可能)
7	WCC	1	SH:R/W PCI:R/W	ウェイトサイクル制御 アドレス・データステッピングを制御します。 WCC=1 のとき、マスタライト時はアドレスとデータ、マスタリード時はアドレスのみ、ターゲットリード時はデータのみを2クロック間出力します。 0: アドレス/データステッピング制御を禁止する 1: アドレス/データステッピング制御を許可する
6	PER	0	SH:R/W PCI:R/W	パリティエラー応答 パリティエラーを検出、もしくはパリティエラー報告を受信した場合のデバイスの応答を制御します。PER=1 のときのみ、PERR をアサートします。 0: 検出したパリティエラーを無視する 1: 検出したパリティエラーに応答する
5	VGAPS	0	SH:R PCI:R	VGA パレットスヌープ制御 0: VGA 互換デバイスである 1: パレットレジスタライトに対応しない(未サポート)

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
4	MWIE	0	SH:R PCI:R	メモリアイトアンドインバリデード制御 マスタのとき、メモリアイトアンドインバリデードコマンドの発行を制御します。 0:メモリアイトを使用する 1:メモリアイトアンドインバリデードコマンドを実行可能(未サポート)
3	SC	0	SH:R PCI:R	スペシャルサイクル制御 ターゲット時、スペシャルサイクルをサポートしているかを示します。 0:スペシャルサイクルを無視する 1:スペシャルサイクルを監視する(未サポート)
2	BM	0	SH:R/W PCI:R/W	PCI バスマスタ制御 バスマスタ動作を制御します。 0:バスマスタ動作不可 1:バスマスタとして動作可能
1	MS	0	SH:R/W PCI:R/W	メモリ空間制御 ターゲット時、メモリ空間へのアクセスを制御します。本ビットが0のとき、PCIC に対するメモリ転送はすべてマスタアポートで終了します。 0:メモリ空間へのアクセスを禁止する 1:メモリ空間へのアクセスを許可する
0	IOS	0	SH:R/W PCI:R/W	I/O 空間制御 ターゲット時、I/O 空間へのアクセスを制御します。本ビットが0のとき、PCIC に対する I/O 転送はすべてマスタアポートで終了します。 0:I/O 空間へのアクセスを禁止する 1:I/O 空間へのアクセスを許可する

13. PCI コントローラ (PCIC)

(4) PCI ステータスレジスタ (PCISTATUS)

PCI ステータスレジスタは、PCI バス関連のイベントのステータス情報を記録するために使用します。リザーブビットは、読み出されると 0 を返す読み出し専用となります。

このレジスタからの読み出しは、通常通り行われます。書き込みの場合、ライトクリアビットはリセットはできませんが設定はできません (下記図中で R/WC と表記)。クリアするビットには 1 を書き込んでください。たとえば、ビット 14 をクリアし他のビットに影響を与えないようにするには、本レジスタに B'0100 0000 0000 0000 の値を書き込む必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE	SSE	RMA	RTA	STA	DEVSEL	MDPE	FBBC	—	66C	CL	—	—	—	—	—
初期値:	0	0	0	0	0	0	1	0	1	0	0	1	0	0	0	0
SH R/W:	R/WC	R/WC	R/WC	R/WC	R/WC	R	R	R/WC	R	R	R/W	R	R	R	R	R
PCI R/W:	R/WC	R/WC	R/WC	R/WC	R/WC	R	R	R/WC	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DPE	0	SH:R/WC PCI:R/WC	パリティエラー検出ステータス PCIC がマスタ時のリードデータ、またはターゲット時のライトデータにパリティエラーが検出されたことを示します。パリティエラー応答ビットの値に関係なく、本ビットは設定されます。 0: パリティエラーを検出していません。 1: パリティエラーを検出した。
14	SSE	0	SH:R/WC PCI:R/WC	システムエラー出力ステータス PCIC が SERR をアサートしたことを示します。 0: SERR をアサートしていません。 1: SERR をアサートした (クリアされるまで値を保持)。
13	RMA	0	SH:R/WC PCI:R/WC	マスタポート受信ステータス PCIC がマスタ時にマスタポートでトランザクションが終了したことを示します。 0: マスタポートを使用したトランザクションの終了はなし。 1: バスマスタが、マスタポートによるトランザクションの終了を検出した。ただし、スペシャルサイクルでのマスタポートでは、設定されません。
12	RTA	0	SH:R/WC PCI:R/WC	ターゲットポート受信ステータス PCIC がマスタ時に、ターゲットポートでトランザクションを終了したことを示します。 0: ターゲットポートを使用したトランザクションの終了はなし。 1: バスマスタが、ターゲットポートによるトランザクションの終了を検出した。

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
11	STA	0	SH:R/W PCI:R/W	ターゲットアポート実行ステータス PCIC がターゲット時に、ターゲットアポートでトランザクションを終了させたことを示します。 0 : ターゲットアポートを使用したトランザクションの終了を行っていない。 1 : ターゲットアポートによるトランザクションの終了を行った。
10、9	DEVSEL	01	SH:R PCI:R	DEVSEL タイミングステータス PCIC がターゲット時の DEVSEL 応答タイミングを示します。 00 : 高速 (未サポート) 01 : 中速 10 : 低速 (未サポート) 11 : 予約
8	MDPE	0	SH:R/W PCI:R/W	データパリティステータス PCIC がマスタ時、 \overline{PERR} をアサート、または \overline{PERR} を検出したことを示します。パリティエラー応答ビットが 1 のときのみ本ビットが設定されます。 0 : データパリティエラーが発生していない。 1 : データパリティエラーが発生した。
7	FBBC	1	SH:R PCI:R	高速バックトゥバックステータス PCIC がターゲット時に異なるターゲットに対する高速バックトゥバック転送が受けられるかを示します。 0 : ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応していない 1 : ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応している
6	-	0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5	66C	0	SH:R/W PCI:R	66MHz 動作可能ステータス PCIC が 66MHz で動作可能であることを示します。 0 : 33MHz 動作可能 1 : 66MHz 動作可能
4	CL	1	SH:R PCI:R	PCI パワーマネジメント : 拡張機能 PCI パワーマネジメントをサポートしているかを示します。 0 : パワーマネジメント未サポート 1 : パワーマネジメントサポート
3~0	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(5) PCI レビジョン ID レジスタ (PCIRID)

PCI レビジョン ID レジスタは、PCI デバイスに固有なレビジョンの識別子を示します。

ビット :	7	6	5	4	3	2	1	0
	RID							
初期値 :	x	x	x	x	x	x	x	x
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RID	H'xx	SH:R PCI:R	レビジョン ID PCIC のレビジョンレベルを示します。 初期値は本 LSI の論理バージョンにより異なります。

(6) PCI プログラムインタフェースレジスタ (PCIPIF)

このフィールドは、IDE コントローラクラスコードのプログラミングインタフェースです。コード値の詳細については、PCI Local Bus Specification Revision 2.2 Appendix D を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MIDED	—	—	—	PIS	OMS	PIP	OMP
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MIDED	0	SH:R/W PCI:R	PCI マスタ IDE デバイス PCI マスタ IDE デバイスを指定します。 0 : PCI スレーブ IDE デバイス 1 : PCI マスタ IDE デバイス PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んで値は更新されません。
6~4	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3	PIS	0	SH:R/W PCI:R	PCI プログラムブルインジケータ (Secondary) PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んで値は更新されません。
2	OMS	0	SH:R/W PCI:R	PCI オペレーティングモード (Secondary) PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んで値は更新されません。

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
1	PIP	0	SH:R/W PCI:R	PCI プログラムブリンジケータ (Primary) PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んでも値は更新されません。
0	OMP	0	SH:R/W PCI:R	PCI オペレーティングモード (Primary) PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んでも値は更新されません。

(7) PCI サブクラスコードレジスタ (PCISUB)

このフィールドは、サブクラスコードを定義します。コード値の詳細については、PCI Local Bus Specification Revision 2.2 Appendix D を参照してください。

ビット:	7	6	5	4	3	2	1	0
	SUB							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W							
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SUB	H'00	SH:R/W PCI:R	サブクラスコード サブクラスコードを示します。初期値は H'00 です。

(8) PCI ベースクラスコードレジスタ (PCIBCC)

このフィールドは、ベースクラスコードを定義します。コード値の詳細については、PCI Local Bus Specification Revision 2.2 Appendix D を参照してください。

ビット:	7	6	5	4	3	2	1	0
	BCC							
初期値:	x	x	x	x	x	x	x	x
SH R/W:	R/W							
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	BCC	H'xx	SH:R/W PCI:R	ベースクラスコード ベースクラスコードを示します。初期値は H'xx です。

13. PCI コントローラ (PCIC)

(9) PCI キャッシュラインサイズレジスタ (PCICLS)

ビット:	7	6	5	4	3	2	1	0
	CLS							
初期値:	0	0	1	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CLS	H'20	SH:R PCI:R	キャッシュラインサイズ メモリアダプタはキャッシュ未サポートのため、SBO、SDON を無視します。

(10) PCI レイテンシタイムレジスタ (PCILTM)

ビット:	7	6	5	4	3	2	1	0
	LTM							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W							
PCI R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7~0	LTM	H'00	SH:R/W PCI:R/W	レイテンシタイムレジスタ PCIC がマスタ時、PCI バスの最大占有時間をクロック数で指定します。

(11) PCI ヘッダタイプレジスタ (PCIHDR)

ビット:	7	6	5	4	3	2	1	0
	MFE	HDR						
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MFE	0	SH:R PCI:R	多機能ステータス (HEAD7) デバイスが多機能か単機能かを示します。 0: 単機能デバイス 1: デバイスは 2 から 8 までの多機能デバイスを持っている (未サポート)
6~0	HDR	H'00	SH:R PCI:R	コンフィグレーションレイアウトタイプ (HEAD6~0) コンフィグレーションレジスタのレイアウトタイプを示します。 H'00: タイプ 00h のレイアウトをサポート H'01: タイプ 01h のレイアウトをサポートする (未サポート)

(12) PCI BIST レジスタ (PCIBIST)

ビット:	7	6	5	4	3	2	1	0
	BISTC	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BISTC	0	SH:R PCI:R	BIST 機能の制御とステータスに使用します。 0: 機能なし 1: 機能あり (未サポート)
6~0	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

13. PCI コントローラ (PCIC)

(13) PCI I/O ベースアドレスレジスタ (PCIIBAR)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダの I/O ベースアドレスレジスタです。PCIIBAR では PCIC の I/O 空間 (PCIC 制御レジスタ領域) のベースアドレスを指定します。

「13.4.4 (2) PCIC I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOB1 (upper)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOB1 (upper)								IOB2 (lower)						—	ASI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	IOB1	H'0000 00	SH:R/W PCI:R/W	I/O 空間ベースアドレス (上位 24 ビット) PCIC 内の I/O 空間 (PCIC 制御レジスタ領域) のベースアドレス上位 24 ビットを指定します。
7~2	IOB2	000000	SH:R PCI:R	I/O 空間ベースアドレス (下位 6 ビット) ハードウェアで B' 000000 に固定されています。
1	-	0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	ASI	1	SH:R PCI:R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0: メモリ空間 1: I/O 空間

(14) PCI メモリベースアドレスレジスタ 0 (PCIMBAR0)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR0 では本 LSI 内部バス (SuperHyway バス) のメモリ空間 0 (ローカルアドレス空間 0) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA1												MBA2			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA2												LAP	LAT	ASI	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																																	
31~20	MBA1	H'000	SH:R/W PCI:R/W	<p>メモリ空間 0 ベースアドレス (上位 12 ビット)</p> <p>ローカルアドレス空間 0 (本 LSI 内部バスのアドレス空間) のベースアドレス上位 12 ビットを指定します。</p> <p>PCILSR0.LSR で指定したローカルアドレス空間の容量によって、MBA1 の有効ビットは下記のようになります。</p> <p style="text-align: center;">ローカル</p> <table border="1"> <thead> <tr> <th>PCILSR0.LSR ([28:20])</th> <th>アドレス空間 0 の容量</th> <th>MBA1 の有効ビット</th> </tr> </thead> <tbody> <tr> <td>B'0 0000 0000</td> <td>1Mbyte</td> <td>[31:20]</td> </tr> <tr> <td>B'0 0000 0001</td> <td>2Mbyte</td> <td>[31:21]</td> </tr> <tr> <td>B'0 0000 0011</td> <td>4Mbyte</td> <td>[31:22]</td> </tr> <tr> <td>B'0 0000 0111</td> <td>8Mbyte</td> <td>[31:23]</td> </tr> <tr> <td>B'0 0000 1111</td> <td>16Mbyte</td> <td>[31:24]</td> </tr> <tr> <td>B'0 0001 1111</td> <td>32Mbyte</td> <td>[31:25]</td> </tr> <tr> <td>B'0 0011 1111</td> <td>64Mbyte</td> <td>[31:26]</td> </tr> <tr> <td>B'0 0111 1111</td> <td>128Mbyte</td> <td>[31:27]</td> </tr> <tr> <td>B'0 1111 1111</td> <td>256Mbyte</td> <td>[31:28]</td> </tr> <tr> <td>B'1 1111 1111</td> <td>512Mbyte</td> <td>[31:29]</td> </tr> </tbody> </table> <p>上記以外の設定は禁止</p>	PCILSR0.LSR ([28:20])	アドレス空間 0 の容量	MBA1 の有効ビット	B'0 0000 0000	1Mbyte	[31:20]	B'0 0000 0001	2Mbyte	[31:21]	B'0 0000 0011	4Mbyte	[31:22]	B'0 0000 0111	8Mbyte	[31:23]	B'0 0000 1111	16Mbyte	[31:24]	B'0 0001 1111	32Mbyte	[31:25]	B'0 0011 1111	64Mbyte	[31:26]	B'0 0111 1111	128Mbyte	[31:27]	B'0 1111 1111	256Mbyte	[31:28]	B'1 1111 1111	512Mbyte	[31:29]
PCILSR0.LSR ([28:20])	アドレス空間 0 の容量	MBA1 の有効ビット																																			
B'0 0000 0000	1Mbyte	[31:20]																																			
B'0 0000 0001	2Mbyte	[31:21]																																			
B'0 0000 0011	4Mbyte	[31:22]																																			
B'0 0000 0111	8Mbyte	[31:23]																																			
B'0 0000 1111	16Mbyte	[31:24]																																			
B'0 0001 1111	32Mbyte	[31:25]																																			
B'0 0011 1111	64Mbyte	[31:26]																																			
B'0 0111 1111	128Mbyte	[31:27]																																			
B'0 1111 1111	256Mbyte	[31:28]																																			
B'1 1111 1111	512Mbyte	[31:29]																																			
19~4	MBA2	H'0000	SH:R PCI:R	<p>メモリ空間 0 ベースアドレス (下位 16 ビット)</p> <p>ハードウェアで H'0000 に固定されています。</p>																																	

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	LAP	0	SH:R PCI:R	プリフェッチ制御 ローカルアドレス空間 0 がプリフェッチ可能かを示します。 0 : プリフェッチ不可能 1 : プリフェッチ可能 (未サポート)
2、1	LAT	00	SH:R PCI:R	メモリタイプ ローカルアドレス空間 0 のメモリタイプを示します。 00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 01 : リザーブ 10 : ベースアドレスは 64 ビット幅 (未サポート) 11 : リザーブ
0	ASI	0	SH:R PCI:R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0 : メモリ空間 1 : I/O 空間

(15) PCI メモリベースアドレスレジスタ 1 (PCIMBAR1)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR1 では本 LSI 内部バス (SuperHyway バス) のメモリ空間 1 (ローカルアドレス空間 1) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA1												MBA2			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA2												LAP	LAT	ASI	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																																	
31~20	MBA1	H'000	SH:R/W PCI:R/W	<p>メモリ空間 1 ベースアドレス (上位 12 ビット)</p> <p>ローカルアドレス空間 1 (本 LSI 内部バスのアドレス空間) のベースアドレス上位 12 ビットを指定します。</p> <p>PCILSR1.LSR で指定したローカルアドレス空間の容量によって、MBA1 の有効ビットは下記のようになります。</p> <p style="text-align: center;">ローカル</p> <table border="1"> <thead> <tr> <th>PCILSR1.LSR ([28:20])</th> <th>アドレス空間 1 の容量</th> <th>MBA1 の有効ビット</th> </tr> </thead> <tbody> <tr> <td>B'0 0000 0000</td> <td>1Mbyte</td> <td>[31:20]</td> </tr> <tr> <td>B'0 0000 0001</td> <td>2Mbyte</td> <td>[31:21]</td> </tr> <tr> <td>B'0 0000 0011</td> <td>4Mbyte</td> <td>[31:22]</td> </tr> <tr> <td>B'0 0000 0111</td> <td>8Mbyte</td> <td>[31:23]</td> </tr> <tr> <td>B'0 0000 1111</td> <td>16Mbyte</td> <td>[31:24]</td> </tr> <tr> <td>B'0 0001 1111</td> <td>32Mbyte</td> <td>[31:25]</td> </tr> <tr> <td>B'0 0011 1111</td> <td>64Mbyte</td> <td>[31:26]</td> </tr> <tr> <td>B'0 0111 1111</td> <td>128Mbyte</td> <td>[31:27]</td> </tr> <tr> <td>B'0 1111 1111</td> <td>256Mbyte</td> <td>[31:28]</td> </tr> <tr> <td>B'1 1111 1111</td> <td>512Mbyte</td> <td>[31:29]</td> </tr> </tbody> </table> <p>上記以外の設定は禁止</p>	PCILSR1.LSR ([28:20])	アドレス空間 1 の容量	MBA1 の有効ビット	B'0 0000 0000	1Mbyte	[31:20]	B'0 0000 0001	2Mbyte	[31:21]	B'0 0000 0011	4Mbyte	[31:22]	B'0 0000 0111	8Mbyte	[31:23]	B'0 0000 1111	16Mbyte	[31:24]	B'0 0001 1111	32Mbyte	[31:25]	B'0 0011 1111	64Mbyte	[31:26]	B'0 0111 1111	128Mbyte	[31:27]	B'0 1111 1111	256Mbyte	[31:28]	B'1 1111 1111	512Mbyte	[31:29]
PCILSR1.LSR ([28:20])	アドレス空間 1 の容量	MBA1 の有効ビット																																			
B'0 0000 0000	1Mbyte	[31:20]																																			
B'0 0000 0001	2Mbyte	[31:21]																																			
B'0 0000 0011	4Mbyte	[31:22]																																			
B'0 0000 0111	8Mbyte	[31:23]																																			
B'0 0000 1111	16Mbyte	[31:24]																																			
B'0 0001 1111	32Mbyte	[31:25]																																			
B'0 0011 1111	64Mbyte	[31:26]																																			
B'0 0111 1111	128Mbyte	[31:27]																																			
B'0 1111 1111	256Mbyte	[31:28]																																			
B'1 1111 1111	512Mbyte	[31:29]																																			
19~4	MBA2	H'0000	SH:R PCI:R	<p>メモリ空間 1 ベースアドレス (下位 16 ビット)</p> <p>ハードウェアで H'0000 に固定されています。</p>																																	

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	LAP	0	SH:R PCI:R	プリフェッチ制御 ローカルアドレス空間 1 がプリフェッチ可能かを示します。 0 : プリフェッチ不可能 1 : プリフェッチ可能 (未サポート)
2、1	LAT	00	SH:R PCI:R	メモリタイプ ローカルアドレス空間 1 のメモリタイプを示します。 00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 01 : リザーブ 10 : ベースアドレスは 64 ビット幅 (未サポート) 11 : リザーブ
0	ASI	0	SH:R PCI:R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0 : メモリ空間 1 : I/O 空間

(16) PCI サブシステムベンダ ID レジスタ (PCISVID)

PCI Local Bus Specifacaton Rev.2.2 の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SVID	H'0000	SH:R/W PCI:R	サブシステム ID PCIC のサブシステム ID を指定します。 PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んでも値は更新されません。

(17) PCI サブシステム ID レジスタ (PCISID)

PCI Local Bus Specifacaton Rev.2.2 の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W															
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SID	H'0000	SH:R/W* PCI:R	サブシステムベンダ ID PCIC のサブシステムベンダ ID を指定します。 PCIC 内部レジスタ初期化中 (PCICR.CFINT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINT=1) 以降に書き込んでも値は更新されません。

13. PCI コントローラ (PCIC)

(18) PCI 拡張機能ポインタレジスタ (PCICP)

このレジスタは、PCI Power Management Specification で定義された PCI コンフィグレーションレジスタの拡張機能ポインタレジスタです。

ビット :	7	6	5	4	3	2	1	0
	CP							
初期値 :	0	1	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CP	H'40	SH:R PCI:R	拡張機能ポインタ 拡張機能(パワーマネジメント)ID レジスタのアドレスオフセットを示します。

(19) PCI 割り込みラインレジスタ (PCIINTLINE)

ビット :	7	6	5	4	3	2	1	0
	INTLINE							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	INTLINE	H'00	SH:R/W PCI:R/W	PCI 割り込みライン 本 LSI からの PCI 割り込み経路の情報を設定します。初期化時にシステムソフトウェアにより設定します。初期値は H'00 です。 なお、このレジスタの設定値は、本 LSI の動作には影響を与えません。

(20) PCI 割り込み端子指定レジスタ (PCIINTPIN)

ビット :	7	6	5	4	3	2	1	0
	INTPIN							
初期値 :	0	0	0	0	0	0	0	1
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	INTPIN	H'01	SH:R/W PCI:R	割り込み端子指定 PCIC から PCI 割り込み出力する場合、接続先としてどの割り込み端子を使用するかを指定します。初期値は H'01 です。 H'00 : PCI 割り込み端子を使用しない H'01 : \overline{INTA} を使用する H'02 : \overline{INTB} を使用する H'03 : \overline{INTC} を使用する H'04 : \overline{INTD} を使用する H'05 ~ H'FF : リザーブ

(21) 最小グラント指定レジスタ (PCIMINGNT)

このレジスタは設定できません。

ビット :	7	6	5	4	3	2	1	0
	MINGNT							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	MINGNT	H'00	SH:R PCI:R	最小グラント指定 PCI マスタデバイスが必要とするバースト期間を指定します。(未サポート)

13. PCI コントローラ (PCIC)

(22) 最大レイテンシ指定レジスタ (PCIMAXLAT)

このレジスタは設定できません。

ビット :	7	6	5	4	3	2	1	0
	MAXLAT							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	MAXLAT	H'00	SH:R PCI:R	最大レイテンシ指定 (MILAT7~0) PCI マスタデバイスがバス権を要求してから獲得するまでの最大時間を指定します。(未サポート)

(23) PCI 拡張機能 ID レジスタ (PCICID)

ビット :	7	6	5	4	3	2	1	0
	CID							
初期値 :	0	0	0	0	0	0	0	1
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CID	H'01	SH:R PCI:R	拡張機能 ID 拡張機能の ID を示します。 H'01 : 拡張機能はパワーマネジメント機能であることを示します。

(24) PCI 次項目ポインタレジスタ (PCINIP)

次項目ポインタレジスタは、機能の拡張機能リスト内の位置を示します。

ビット :	7	6	5	4	3	2	1	0
	NIP							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	NIP	H'00	SH:R PCI:R	次項目ポインタ H'00 : パワーマネジメント機能はリスト内の最終項目であることを示します。

(25) PCI パワーマネジメントレジスタ (PCIPMC)

PCI パワーマネジメントレジスタは、パワーマネジメントに関連する機能情報を提供するレジスタです。詳細は、PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface を参照してください。このレジスタはパワーオンリセットによってクリアされません。PCIC 内部レジスタ初期化中 (PCICR.CFINT=0 のとき) に設定する必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCS				D2S	D1S	—	—	—	DSI	—	PMEC	PMV			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
SH R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	PMCS	00000	SH:R PCI:R	PME サポート この 5 ビットフィールドは、機能により \overline{PME} をアサートするパワーの状態を示します。すべてのビットに関して 0 は、パワーがその状態のとき機能が \overline{PME} 信号をアサートできないことを示します。(未サポート) (ビット 11) xxxx1: \overline{PME} は D0 からアサートできる (ビット 12) xxx1x: \overline{PME} は D1 からアサートできる (ビット 13) xx1xx: \overline{PME} は D2 からアサートできる (ビット 14) x1xxx: \overline{PME} は D3hot からアサートできる (ビット 15) 1xxxx: \overline{PME} は D3cold からアサートできる 【注】 本 LSI の PCIC には \overline{PME} 端子はありません。
10	D2S	0	SH:R/W PCI:R	D2 サポート このビットが 1 ならば、この機能は D2 パワーマネジメント状態をサポートします。D2 をサポートしない機能は、本ビットに常に 0 を返す必要があります。
9	D1S	0	SH:R/W PCI:R	D1 サポート このビットが 1 ならば、この機能は D1 パワーマネジメント状態をサポートします。D1 をサポートしない機能は、本ビットに常に 0 を返す必要があります。
8~6	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5	DSI	0	SH:R PCI:R	DSI 書き込む値は常に 0 にしてください。 0: 固有の初期化は不要であることを示します。
4	-	0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	PMEC	1	SH:R/W PCI:R	PCI PME クロック PME をサポートするのにクロックが必要か否かを指定します。 0: PME サポートのためのクロックは不要であることを示します。 【注】 本 LSI の PCIC には PME 端子はありません。
2~0	PMV	010	SH:R/W PCI:R	バージョン パワーマネジメント仕様のバージョンを示します。 010: パワーマネジメント仕様がレビジョン 1.1 であることを示します。

(26) PCI パワーマネジメントコントロール/ステータスレジスタ (PCIPMCSR)

このレジスタは、PCI 機能の PME (パワーマネジメントイベント) を管理します。詳細は、PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMES	DSC		DSL			PME EN	—	—	—	—	—	—	—	—	PS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH:R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
PCI:R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PMES	0	SH:R PCI:R	PME ステータス PME 端子の状態を表示するビットです (未サポート)。 【注】 本 LSI の PCIC には PME 端子はありません。
14, 13	DSC	00	SH:R PCI:R	データスケール データフィールドの値のスケール値を指定します (未サポート)。
12~9	DSL	0000	SH:R PCI:R	データセレクト データフィールドに出力する値の選択をします (未サポート)。
8	PMEEN	0	SH:R PCI:R	PME イネーブル PME 信号出力制御を行います (未サポート)。 【注】 本 LSI の PCIC には PME 端子はありません。
7~2	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
1, 0	PS	00	SH:R/W PCI:R/W	パワーステート パワーステートを指定します。 未サポートステートを指定しても、ステート遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00: D0 ステート 01: D1 ステート 10: D2 ステート 11: D3 ステート

(27) PCIPMCSRブリッジサポート拡張レジスタ (PCIPMCSRBASE)

このレジスタは、PCIブリッジに特有な機能をサポートし、すべてのPCI-to-PCIブリッジに必要となります。

ビット:	7	6	5	4	3	2	1	0
	BPC CEN	B2B3N	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BPCEN	0	SH:R PCI:R	バスパワー/クロックコントロールメカニズムを禁止するとシステムソフトは、ブリッジのPCI_PMCSR パワーステートフィールドを、ブリッジの2次バスのパワーまたはクロックを制御には使用しません。
6	B2B3N	0	SH:R PCI:R	このビットの状態は、機能を D3hot にするプログラミングの結果として、発生する動作を決定します。 0: ブリッジ機能が D3 hot にプログラムされた場合、2次バスへの電源供給が停止する (B3) ことを示します。 1: ブリッジ機能が D3 hot にプログラムされた場合、2次バスの PCI クロックが停止する (B2) ことを示します。 このビットは、ビット 7 (PCI_BPCEN) が 1 の場合のみ有効です。
5~0	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

(28) PCI パワー消費/放散データ (PCIPCDD)

データレジスタは、オプションな、8ビットのレジスタ (PCIバスからはリード専用) であり、状態に依存した消費パワーや熱放散などの動作データを通知する機能を持ちます。詳細は、PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface を参照してください。

ビット:	7	6	5	4	3	2	1	0
	PCDD							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	PCDD	H'00	SH:R/W PCI:R	このレジスタは PMCSR.DSL フィールドから要求された状態依存データを通知するのに使用します。 このレジスタの値は、PCIPMCSR.DSC フィールドから通知された値によってスケールされます。

13. PCI コントローラ (PCIC)

13.3.3 PCI ローカルレジスタ

(1) PCI コントロールレジスタ (PCICR)

PCI コントロールレジスタ(PCICR)は、本 LSI の PCIC の動作を制御する 32 ビットレジスタです。

このレジスタへの書き込みは、ビット 31~24 の値が H'A5 のときのみ有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PFCS	FTO	PFE	TBS	—	BMAM	—	—	—	IOCS	RST CTL	CFINT
初期値:	0	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0
SH R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	H'00	SH:R/W PCI:R	リザーブビット 本レジスタのビット 11~8、6、2~0 に書き込むときのみ H'A5 に設定してください (書き込んでください)。読み出しは 0 が読み出されます。
23~12	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11	PFCS	0	SH:R/W PCI:R	PCI プリフェッチコマンドセッティング 外部 PCI デバイスからのターゲットメモリリードアクセス時のリードサイズを指定します。PCI バス上のアクセスサイズによらず、下記指定のサイズでメモリに対して、プリフェッチを行います。ターゲットメモリライトアクセスは無効です。本ビットは PFE ビットが 1 のときのみ有効となります。 0: 常に 8 バイトでリードアクセスを行います。 1: 常に 32 バイトでリードアクセスを行います。
10	FTO	0	SH:R/W PCI:R	PCI TRDY コントロールイネーブル ターゲットアクセス時の転送が続けられない場合に、ディスコネクトまでに、TRDY を最大 5 サイクルネゲートしてウェイトを挿入する機能を設定します。 0: ディスエーブル 1: イネーブル
9	PFE	0	SH:R/W PCI:R	PCI プリフェッチイネーブル 外部 PCI デバイスによるターゲットメモリアクセス時に、メモリに対してプリフェッチを行うかを指定します。PCI バス上のアクセスサイズによらず、プリフェッチを行います。ターゲットメモリライトアクセスは無効です。 0: ディスエーブル 1: イネーブル

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
8	TBS	0	SH:R/W PCI:R	<p>バイトスワップ</p> <p>PCI バスへのアクセス時のデータのバイトを入れ替えるかを指定します。</p> <p>0: データをそのまま転送</p> <p>1: データのバイトを入れ替え転送</p> <p>【注】 詳細は、「13.4.3 (5)、13.4.4 (6) エンディアン」を参照してください。</p>
7	-	0	SH:R PCI:R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
6	BMAM	0	SH:R/W PCI:R	<p>バスマスタアービトレーション</p> <p>PCIC がホスト動作時に、PCIC の PCI バスアービトレーションモードを制御します。PCIC がノーマル動作時には本ビットの値は無視されます。</p> <p>【注】 詳細は、「13.4.5 (3) アービトレーション」を参照してください。</p> <p>0: 優先順位固定 (PCIC>デバイス 0>デバイス 1>デバイス 2>デバイス 3)</p> <p>1: 擬似ラウンドロビン (バス権を持つデバイスの優先度を次のアクセスでは一番低く設定します)</p>
5~4	-	xx	SH:R PCI:R	<p>リザーブビット</p> <p>読み出しは不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
3	SERR	0	SH:R/W PCI:R	<p>\overline{SERR} 出力</p> <p>\overline{SERR} 出力のソフト制御を行います。1 が書き込まれたとき、1PCICLK 期間ローレベルが出力されます。読み出し時は常に 0 が読み出されます。</p> <p>PCIC ノーマル動作時のみ使用可能です。PCIC がホストモード時には、SH7785 に対して \overline{SERR} アサート割り込みが発生します。</p> <p>0: \overline{SERR} 端子はハイインピーダンス (内蔵プルアップ抵抗でハイレベルにドライブされる)</p> <p>1: \overline{SERR} アサート (1PCICLK 期間ローレベル出力)</p>
2	IOCS	0	SH:R/W PCI:R	<p>\overline{INTA} 出力</p> <p>\overline{INTA} 出力のソフト制御を行います。PCIC がノーマル動作時のみ有効です。</p> <p>0: \overline{INTA} 端子はハイインピーダンス (内蔵プルアップ抵抗でハイレベルにドライブされる)</p> <p>1: \overline{INTA} アサート (ローレベル出力)</p>
1	RSTCTL	0	SH:R/W PCI:R	<p>$\overline{PCiRESET}$ 出力</p> <p>本ビット設定により、$\overline{PCiRESET}$ 端子の状態を制御可能です。パワーオンリセット中にも、$\overline{PCiRESET}$ はローレベルに出力されます。</p> <p>0: $\overline{PCiRESET}$ をネゲート (ハイレベル出力)</p> <p>1: $\overline{PCiRESET}$ アサート (ローレベル出力)</p>

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
0	CFINT	0	SH:R/W PCI:R	<p>PCIC 内部レジスタ初期化制御</p> <p>PCIC 内部レジスタの初期化終了後、このビットを 1 に設定してください。このビットをセットすることにより、PCI バスからのアクセスが可能となります。初期化中は、ホスト動作時には PCI バス上の他のデバイスにバス権を与えません。ノーマル動作時には PCI バスからのアクセスを受け付けず、リトライを返します。</p> <p>0：初期化中 1：初期化終了</p>

(2) PCI ローカルスペースレジスタ 0 (PCILSR0)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LSR								—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R/W	R	R	R	R								
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MBA RE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
28~20	LSR	0 0000 0000	SH:R/W PCI:R	ローカルアドレス空間 0 の容量 (9 ビット) ローカルアドレス空間 0 (本 LSI 内部バスのアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量 - 1)Mbyte を指定してください。すべて 0 を指定すると、1M バイトの空間が確保されます (初期値)。 B'0 0000 0000 : 1Mbyte B'0 0000 0001 : 2Mbyte B'0 0000 0011 : 4Mbyte B'0 0000 0111 : 8Mbyte B'0 0000 1111 : 16Mbyte B'0 0001 1111 : 32Mbyte B'0 0011 1111 : 64Mbyte B'0 0111 1111 : 128Mbyte B'0 1111 1111 : 256Mbyte B'1 1111 1111 : 512Mbyte 上記以外の設定は禁止
19~1	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	MBARE	0	SH:R/W PCI:R	PCI メモリベースアドレスレジスタ 0 イネーブル 本ビットを 1 にすることでローカルアドレス空間 0 へのアクセスが可能となります。 0 : MBAR0 ディスエーブル 1 : MBAR0 イネーブル

13. PCI コントローラ (PCIC)

(3) PCI ローカルスペースレジスタ 1 (PCILSR1)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LSR									—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R/W	R	R	R	R								
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MBARE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
28~20	LSR	0 0000 0000	SH:R/W PCI:R	ローカルアドレス空間 1 の容量 (9 ビット) ローカルアドレス空間 1 (本 LSI 内部バスのアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量 - 1) Mbyte を指定してください。すべてゼロを指定すると、1M バイトの空間が確保されます (初期値)。 B'0 0000 0000 : 1Mbyte B'0 0000 0001 : 2Mbyte B'0 0000 0011 : 4Mbyte B'0 0000 0111 : 8Mbyte B'0 0000 1111 : 16Mbyte B'0 0001 1111 : 32Mbyte B'0 0011 1111 : 64Mbyte B'0 0111 1111 : 128Mbyte B'0 1111 1111 : 256Mbyte B'1 1111 1111 : 512Mbyte 上記以外の設定は禁止
19~1	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	MBARE	0	SH:R/W PCI:R	PCI メモリベースアドレスレジスタ 1 イネーブル 本ビットを 1 にすることでローカルアドレス空間 1 へのアクセスが可能となります。 0 : MBAR1 ディスエーブル (外部 PCI デバイスからのローカルアドレス空間 1 へのアクセスを受け付けない) 1 : MBAR1 イネーブル

(4) PCI ローカルアドレスレジスタ 0 (PCILAR0)

「13.4.3 (2) PCI メモリ空間のアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LAR												—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R	R	R	R											
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	LAR	H'000	SH:R/W PCI:R	ローカルアドレス 0 (12 ビット) ローカルアドレス空間 0 (本 LSI 内部バス空間) の先頭アドレスのビット 31~20 を指定します。 PCILSR0.LSR で指定したローカルアドレス空間の容量によって、LAR の有効ビットは下記ようになります。 PCILSR0.LSR ([28:20])=B'0 0000 0000 : LAR の有効ビットは[31:20] PCILSR0.LSR ([28:20])= B'0 0000 0001 : LAR の有効ビットは[31:21] PCILSR0.LSR ([28:20])= B'0 0000 0011 : LAR の有効ビットは[31:22] PCILSR0.LSR ([28:20])= B'0 0000 0111 : LAR の有効ビットは[31:23] PCILSR0.LSR ([28:20])= B'0 0000 1111 : LAR の有効ビットは[31:24] PCILSR0.LSR ([28:20])= B'0 0001 1111 : LAR の有効ビットは[31:25] PCILSR0.LSR ([28:20])= B'0 0011 1111 : LAR の有効ビットは[31:26] PCILSR0.LSR ([28:20])= B'0 0111 1111 : LAR の有効ビットは[31:27] PCILSR0.LSR ([28:20])= B'0 1111 1111 : LAR の有効ビットは[31:28] PCILSR0.LSR ([28:20])= B'1 1111 1111 : LAR の有効ビットは[31:29] 上記以外の設定は禁止
19~0	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(5) PCI ローカルアドレスレジスタ 1 (PCILAR1)

「13.4.3 (2) PCI メモリ空間のアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LAR												—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R	R	R	R											
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	LAR	H'000	SH:R/W PCI:R	<p>ローカルアドレス 1 (12 ビット)</p> <p>ローカルアドレス空間 1 (本 LSI 内部バス空間) の先頭アドレスのビット 31 ~ 20 を指定します。</p> <p>PCILSR1.LSR で指定したローカルアドレス空間の容量によって、LAR の有効ビットは下記ようになります。</p> <p>PCILSR1.LSR ([28:20])=B'0 0000 0000 : LAR の有効ビットは[31:20]</p> <p>PCILSR1.LSR ([28:20])= B'0 0000 0001 : LAR の有効ビットは[31:21]</p> <p>PCILSR1.LSR ([28:20])= B'0 0000 0011 : LAR の有効ビットは[31:22]</p> <p>PCILSR0.LSR ([28:20])= B'0 0000 0111 : LAR の有効ビットは[31:23]</p> <p>PCILSR0.LSR ([28:20])= B'0 0000 1111 : LAR の有効ビットは[31:24]</p> <p>PCILSR0.LSR ([28:20])= B'0 0001 1111 : LAR の有効ビットは[31:25]</p> <p>PCILSR0.LSR ([28:20])= B'0 0011 1111 : LAR の有効ビットは[31:26]</p> <p>PCILSR0.LSR ([28:20])= B'0 0111 1111 : LAR の有効ビットは[31:27]</p> <p>PCILSR1.LSR ([28:20])= B'0 1111 1111 : LAR の有効ビットは[31:28]</p> <p>PCILSR1.LSR ([28:20])= B'1 1111 1111 : LAR の有効ビットは[31:29]</p> <p>上記以外の設定は禁止</p>
19~0	-	すべて 0	SH:R PCI:R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

(6) PCI 割り込みレジスタ (PCIIR)

このレジスタには、割り込み要因を記録します。割り込みが発生した場合、当該のビットに 1 がセットされます。当該のビットに 0 をライトした場合、要因がクリアされます。1 をライトした場合は無効です。複数の割り込みが発生した場合、最初の要因のみが記録されます。割り込みが無効な場合、割り込み要因は対応するビットに書き込まれ、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTA DI	—	—	—	—	TMT OI	MDEI	APE DI	SDI	DPEI TW	PEDI TR	TAD IM	MAD IM	MW PDI	MRD PEI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R/WC	R	R	R	R	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 15	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
14	TTADI	0	SH:R/WC PCI:R	ターゲット時のターゲットアポート検出割り込み PCIC がターゲット時、ターゲットアポートによりトランザクションを終了させたことを示します。 ターゲットアポートは、I/O 転送中にアドレスの下位 2 ビット (ビット 1、0) とバイトイネーブルの組み合わせが不正 (イリーガルバイトイネーブル) であったときに発生させます。 0 : ターゲットアポート検出割り込みは発生していない [クリア条件] 本ビットへの 1 の書き込み(ライトクリア) 1 : ターゲットアポート検出割り込み発生 [セット条件] ターゲットアポート割り込み発生
13 ~ 10	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
9	TMTOI	0	SH:R/WC PCI:R	<p>ターゲットメモリーリードリトライタイムアウト割り込み</p> <p>PCIC がターゲット時、PCICLK の 2¹⁵ クロック以内にマスタがリトライ処理を行わなかったことを示します。メモリーリード転送に対してのみ検出されます。</p> <p>0 : ターゲットメモリーリードリトライタイムアウト割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み(ライトクリア)</p> <p>1 : ターゲットメモリーリードリトライタイムアウト割り込み発生</p> <p>[セット条件] ターゲットメモリーリードリトライタイムアウト割り込み発生</p>
8	MDEI	0	SH:R/WC PCI:R	<p>マスタ機能ディスエーブルエラー割り込み</p> <p>PCI コマンドレジスタのビット 2 (BM) が 0 に設定され、バスマスタとしての動作が禁止されているのにマスタ動作 (PIO 動作、DMA 動作) を行おうとしたことを示します。</p> <p>0 : マスタ機能ディスエーブルエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタ機能ディスエーブルエラー割り込み発生</p> <p>[セット条件] マスタ機能ディスエーブルエラー割り込み発生</p>
7	APEDI	0	SH:R/WC PCI:R	<p>アドレスパリティエラー検出割り込み</p> <p>アドレスパリティエラーを検出したことを示します。</p> <p>アドレスパリティエラーは PCI コマンドレジスタのビット 8 (SERRE) とビット 6 (PER) がともに 1 のときのみ検出します。</p> <p>0 : アドレスパリティエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : アドレスパリティエラー割り込み発生</p> <p>[セット条件] アドレスパリティエラー割り込み発生</p>

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
6	SDI	0	SH:R/W PCI:R	<p>$\overline{\text{SERR}}$ 検出割り込み</p> <p>PCIC がホスト時、$\overline{\text{SERR}}$ 信号がアサートされているのを検出したことを示します。</p> <p>0 : $\overline{\text{SERR}}$ 検出割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : $\overline{\text{SERR}}$ 検出割り込み発生</p> <p>[セット条件] $\overline{\text{SERR}}$ 検出割り込み発生</p>
5	DPEITW	0	SH:R/W PCI:R	<p>ターゲットライト時のデータパリティエラー割り込み</p> <p>PCIC がターゲット時、ターゲットライト時のデータパリティエラーはターゲットライト中にデータパリティエラーを検出したことを示します。ターゲットライト時のデータパリティエラーは PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : ターゲットライト時のデータパリティエラー検出割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : ターゲットライト時のデータパリティエラー検出割り込み発生</p> <p>[セット条件] ターゲットライト時のデータパリティエラー検出割り込み発生</p>
4	PEDITR	0	SH:R/W PCI:R	<p>ターゲットリード時の $\overline{\text{PERR}}$ 検出割り込み</p> <p>PCIC がターゲット時、ターゲットリード中に $\overline{\text{PERR}}$ を受信したことを示します。ターゲットリード時の $\overline{\text{PERR}}$ 検出は PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : ターゲットリード時の $\overline{\text{PERR}}$ 検出割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : ターゲットリード時の $\overline{\text{PERR}}$ 検出割り込み発生</p> <p>[セット条件] ターゲットリード時の $\overline{\text{PERR}}$ 検出割り込み発生</p>

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	TADIM	0	SH:R/WC PCI:R	<p>マスタ時のターゲットアポート割り込み</p> <p>PCIC がマスタ時に、ターゲットアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタ時のターゲットアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタ時のターゲットアポート割り込み発生</p> <p>[セット条件]</p> <p>マスタ時のターゲットアポート割り込み発生</p>
2	MADIM	0	SH:R/WC PCI:R	<p>マスタ時のマスタアポート割り込み</p> <p>PCIC がマスタ時に、マスタアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタ時のマスタアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタ時のマスタアポート割り込み発生</p> <p>[セット条件]</p> <p>マスタ時のマスタアポート割り込み発生</p>
1	MWPDI	0	SH:R/WC PCI:R	<p>マスタライト PERR 検出割り込み</p> <p>PCIC がマスタ時に、ターゲットへのデータライト中に、ターゲットからの PERR を受信したことを示します。マスタライト PERR は PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : マスタライト PERR 検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタライト PERR 検出割り込み発生</p> <p>[セット条件]</p> <p>マスタライト PERR 検出割り込み発生</p>
0	MRDPEI	0	SH:R/WC PCI:R	<p>マスタリードデータパリティエラー割り込み</p> <p>PCIC がマスタ時に、ターゲットからのデータリード中に、パリティエラーを検出したことを示します。マスタリードデータパリティエラーは PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : マスタリードデータパリティエラー検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタリードデータパリティエラー検出割り込み発生</p> <p>[セット条件]</p> <p>マスタリードデータパリティエラー検出割り込み発生</p>

(7) PCI 割り込みマスクレジスタ (PCIIMR)

このレジスタは PCIIR のマスクレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH:R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI:R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTA DIM	—	—	—	—	TMT OIM	MDE IM	APE DIM	SDIM	DPEI TWM	PEDI TRM	TAD IMM	MAD IMM	MW PDIM	MRD PEIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH:R/W:	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI:R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
14	TTADIM	0	SH:R/W PCI:R	ターゲット時のターゲットアポート割り込みマスク 0: TTADI を禁止 (マスク) 1: TTADIM を許可 (受け付け)
13~10	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9	TMTOIM	0	SH:R/W PCI:R	ターゲットリトライタイムアウト割り込みマスク 0: TMTOI を禁止 (マスク) 1: TMTOI を許可 (受け付け)
8	MDEIM	0	SH:R/W PCI:R	マスタ機能ディスエーブルエラー割り込みマスク 0: MDEI を禁止 (マスク) 1: MDEI を許可 (受け付け)
7	APEDIM	0	SH:R/W PCI:R	アドレスパリティエラー検出割り込みマスク 0: APEDI を禁止 (マスク) 1: APEDI を許可 (受け付け)
6	SDIM	0	SH:R/W PCI:R	SERR 検出割り込みマスク 0: SDI を禁止 (マスク) 1: SDI を許可 (受け付け)
5	DPEITWM	0	SH:R/W PCI:R	ターゲットライト時のデータパリティエラー割り込みマスク 0: DPEITW を禁止 (マスク) 1: DPEITW を許可 (受け付け)
4	PEDITRM	0	SH:R/W PCI:R	ターゲットリード時の PERR 検出割り込みマスク 0: PEDITR を禁止 (マスク) 1: PEDITR を許可 (受け付け)

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	TADIMM	0	SH:R/W PCI:R	マスク時のターゲットアポート割り込みマスク 0: TADIM を禁止 (マスク) 1: TADIM を許可 (受け付け)
2	MADIMM	0	SH:R/W PCI:R	マスタ時のマスタアポート割り込みマスク 0: MADIM を禁止 (マスク) 1: MADIM を許可 (受け付け)
1	MWPDIM	0	SH:R/W PCI:R	マスタライトデータパリティエラー割り込みマスク 0: MWPDIM を禁止 (マスク) 1: MWPDIM を許可 (受け付け)
0	MRDPEIM	0	SH:R/W PCI:R	マスタリードデータパリティエラー割り込みマスク 0: MRDPEI を禁止 (マスク) 1: MRDPEI を許可 (受け付け)

(8) PCI エラーアドレス情報レジスタ (PCIAIR)

このレジスタには、割り込みが検出された場合の PCI アクセスアドレス情報を記録します。

本レジスタの値は割り込みが検出されるまでは不定です。また、マスクレジスタとは無関係に、割り込みが検出された場合、常に値が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AIR															
初期値:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AIR															
初期値:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	AIR	H'xxxx xxxx	SH:R PCI:R	アドレスログ エラー発生時の PCI アドレス情報 (AD[31:0]線の値) を保持します。

(9) PCI エラーコマンド情報レジスタ (PCICIR)

このレジスタには、割り込みが検出された場合の PCI コマンド情報を記録します。

本レジスタの値は割り込みが検出されるまでは不定です。また、マスクレジスタとは無関係に、割り込みが検出された場合、常に値が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MTEM	—	—	—	—	RW TET	—	—	—	—	—	—	—	—	—	—
初期値:	x	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ECL				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MTEM	x	SH:R PCI:R	マスタエラー マスタリード、マスタライト転送時にエラーが発生したことを示します。 0: マスタエラーなし 1: マスタエラー発生
30~27	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
26	RWTET	x	SH:R PCI:R	ターゲットエラー ターゲットリード、ターゲットライト転送時にエラーが発生したことを示します。 0: ターゲットエラーなし 1: ターゲットエラー発生
25~4	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3~0	ECL	xxxx	SH:R PCI:R	コマンドログ エラー発生時の PCI コマンド情報 (C/BE[3:0]線の値) を保持します。

13. PCI コントローラ (PCIC)

(10) PCI アービタ割り込みレジスタ (PCIAINT)

ホストモードで、このレジスタには、割り込み要因を記録します。

もし複数の割り込み要因が発生した場合、最初の要因が記録されます。もし割り込みがマスク設定されている場合、その要因が対応するビットに1がセットされますが、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MBI	TB TOI	MB TOI	—	—	—	—	—	—	—	TAI	MAI	RD PEI	WD PEI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R/WC	R/WC	R/WC	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
13	MBI	0	SH:R/WC PCI:R	マスタブローケン割り込み バス権を与えられたマスタが、16クロック以内にトランザクションを開始しない (PCIFRAME をアサートしない) ときに検出されます。 0: マスタブローケン割り込みなし 1: マスタブローケン割り込み発生
12	TBTOI	0	SH:R/WC PCI:R	ターゲットバスタイムアウト割り込み 最初のデータ転送で $\overline{\text{TRDY}}$ または $\overline{\text{STOP}}$ が16クロック以内、2つめ以降のデータ転送で $\overline{\text{TRDY}}$ または $\overline{\text{STOP}}$ が8クロック以内にアサートされないときに検出されます。 0: ターゲットバスタイムアウト割り込みなし 1: ターゲットバスタイムアウト割り込み発生
11	MBTOI	0	SH:R/WC PCI:R	マスタバスタイムアウト割り込み データ転送で $\overline{\text{IRDY}}$ が8クロック以内にアサートされないときに検出されます。 0: マスタバスタイムアウト割り込みなし 1: マスタバスタイムアウト割り込み発生
10~4	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	TAI	0	SH:R/WC PCI:R	ターゲットアポート割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがターゲットアポートで終了したことを示します。 0: ターゲットアポート割り込みなし 1: ターゲットアポート割り込み発生
2	MAI	0	SH:R/WC PCI:R	マスタアポート割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがマスタアポートで終了したことを示します。 0: マスタアポート割り込みなし 1: マスタアポート割り込み発生
1	RDPEI	0	SH:R/WC PCI:R	リードパリティエラー割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、データリード時の $\overline{\text{PERR}}$ アサートを検出したことを示します。 0: リードパリティエラー割り込みなし 1: リードパリティエラー割り込み発生
0	WDPEI	0	SH:R/WC PCI:R	ライトデータパリティエラー割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、データライト時の $\overline{\text{PERR}}$ アサートを検出したことを示します。 0: ライトデータパリティエラー割り込みなし 1: ライトデータパリティエラー割り込み発生

13. PCI コントローラ (PCIC)

(11) PCI アービタ割り込みマスクレジスタ (PCIAINTM)

このレジスタは PCIAINT のマスクレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MBIM	TBT OIM	MBT OIM	—	—	—	—	—	—	—	TAIM	MAIM	RDP EIM	WDP EIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
13	MBIM	0	SH:R/W PCI:R	マスタブロック割り込みマスク 0: MBIを禁止(マスク) 1: MBIを許可(受け付け)
12	TBTOIM	0	SH:R/W PCI:R	ターゲットバスタイムアウト割り込みマスク 0: TBTOIを禁止(マスク) 1: TBTOIを許可(受け付け)
11	MBTOIM	0	SH:R/W PCI:R	マスタバスタイムアウト割り込みマスク 0: MBTOIを禁止(マスク) 1: MBTOIを許可(受け付け)
10~4	-	すべて0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3	TAIM	0	SH:R/W PCI:R	ターゲットアポート割り込みマスク 0: TAIを禁止(マスク) 1: TAIを許可(受け付け)
2	MAIM	0	SH:R/W PCI:R	マスタアポート割り込みマスク 0: MAIを禁止(マスク) 1: MAIを許可(受け付け)
1	RDPEIM	0	SH:R/W PCI:R	リードデータパリティエラー割り込みマスク 0: RDPEIを禁止(マスク) 1: RDPEIを許可(受け付け)
0	WDPEIM	0	SH:R/W PCI:R	ライトデータパリティエラー割り込みマスク 0: WDPEIを禁止(マスク) 1: WDPEIを許可(受け付け)

(12) PCI バスマスタエラー情報レジスタ (PCIBMIR)

ホストモードでは、このレジスタには、PCIAINT の設定によって割り込みが発生した場合のバスマスタを記録します。

複数の割り込みが発生した場合、最初の要因のみが記録されます。

割り込みがマスク設定されている場合、その要因が対応するビットに 1 がセットされますが、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	REQ3 BME	REQ2 BME	REQ1 BME	REQ0 BME	PCIC BME
初期値:	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	SH:R PCI:R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
4	REQ3BME	x	SH:R PCI:R	REQ3 エラー デバイス3 (REQ3) がバスマスタ時にエラーが発生したことを示します。 0: デバイス3 バスマスタエラーなし 1: デバイス3 バスマスタエラー発生
3	REQ2BME	x	SH:R PCI:R	REQ2 エラー デバイス2 (REQ2) がバスマスタ時にエラーが発生したことを示します。 0: デバイス2 バスマスタエラーなし 1: デバイス2 バスマスタエラー発生
2	REQ1BME	x	SH:R PCI:R	REQ1 エラー デバイス1 (REQ1) がバスマスタ時にエラーが発生したことを示します。 0: デバイス1 バスマスタエラーなし 1: デバイス1 バスマスタエラー発生
1	REQ0BME	x	SH:R PCI:R	REQ0 エラー デバイス0 (REQ0) がバスマスタ時にエラーが発生したことを示します。 0: デバイス0 バスマスタエラーなし 1: デバイス0 バスマスタエラー発生
0	PCICBME	x	SH:R PCI:R	PCIC エラー PCIC がバスマスタ時にエラーが発生したことを示します。 0: PCIC バスマスタエラーなし 1: PCIC バスマスタエラー発生

(13) PCI PIO アドレスレジスタ (PCIPAR)

本レジスタの設定により、PCI バス上にコンフィグレーションサイクルを発生させます。詳細については「13.4.5

(2) コンフィグレーションアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCIE	—	—	—	—	—	—	—	BN							
初期値:	1	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
SH R/W:	R	R	R	R	R	R	R	R	R/W							
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DN				FN				CRA				—	—		
初期値:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明																																				
31	CCIE	1	SH:R PCI:-	コンフィグレーションサイクル発行イネーブル 1: コンフィグレーションサイクル発行イネーブルを示します。																																				
30~24	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは常に0が読み出されます。書き込む値は常に0にしてください。																																				
23~16	BN	H'xx	SH:R/W PCI:-	PCIバス番号 コンフィグレーションアクセスの対象となるPCIバスの番号を指定します。バス番号0はPCICが接続されているバスを示します。バス番号は8ビットで表され最大値は255です。																																				
15~11	DN	xxxxx	SH:R/W PCI:-	デバイス番号 コンフィグレーションアクセスの対象となるデバイスの番号を指定します。デバイス番号は5ビットで表され、0から31の中の値を取ります。 本フィールドに設定されたデバイス番号に対応して、IDSELの代わりにAD[31:16]線のAD[n] (n=16~31)1本だけをHighにドライブします(他はすべてLow)。デバイス番号とIDSELの関係は以下のとおりです。デバイス番号がH'10以上の場合は、AD[31:16]はすべてLowにドライブします。 <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>デバイス番号</th> <th>IDSEL</th> <th>デバイス番号</th> <th>IDSEL</th> </tr> </thead> <tbody> <tr> <td>H'0</td> <td>AD[16]=High</td> <td>H'8</td> <td>AD[24]=High</td> </tr> <tr> <td>H'1</td> <td>AD[17]=High</td> <td>H'9</td> <td>AD[25]=High</td> </tr> <tr> <td>H'2</td> <td>AD[18]=High</td> <td>H'A</td> <td>AD[26]=High</td> </tr> <tr> <td>H'3</td> <td>AD[19]=High</td> <td>H'B</td> <td>AD[27]=High</td> </tr> <tr> <td>H'4</td> <td>AD[20]=High</td> <td>H'C</td> <td>AD[28]=High</td> </tr> <tr> <td>H'5</td> <td>AD[21]=High</td> <td>H'D</td> <td>AD[29]=High</td> </tr> <tr> <td>H'6</td> <td>AD[22]=High</td> <td>H'E</td> <td>AD[30]=High</td> </tr> <tr> <td>H'7</td> <td>AD[23]=High</td> <td>H'F</td> <td>AD[31]=High</td> </tr> </tbody> </table>	デバイス番号	IDSEL	デバイス番号	IDSEL	H'0	AD[16]=High	H'8	AD[24]=High	H'1	AD[17]=High	H'9	AD[25]=High	H'2	AD[18]=High	H'A	AD[26]=High	H'3	AD[19]=High	H'B	AD[27]=High	H'4	AD[20]=High	H'C	AD[28]=High	H'5	AD[21]=High	H'D	AD[29]=High	H'6	AD[22]=High	H'E	AD[30]=High	H'7	AD[23]=High	H'F	AD[31]=High
デバイス番号	IDSEL	デバイス番号	IDSEL																																					
H'0	AD[16]=High	H'8	AD[24]=High																																					
H'1	AD[17]=High	H'9	AD[25]=High																																					
H'2	AD[18]=High	H'A	AD[26]=High																																					
H'3	AD[19]=High	H'B	AD[27]=High																																					
H'4	AD[20]=High	H'C	AD[28]=High																																					
H'5	AD[21]=High	H'D	AD[29]=High																																					
H'6	AD[22]=High	H'E	AD[30]=High																																					
H'7	AD[23]=High	H'F	AD[31]=High																																					
10~8	FN	xxx	SH:R/W PCI:-	機能番号 コンフィグレーションアクセスの対象となる機能の番号を指定します。機能番号は3ビットで表され、0から7までの値を取ります。																																				
7~2	CRA	xxxxxx	SH:R/W PCI:-	コンフィグレーションレジスタアドレス コンフィグレーションアクセスの対象となるレジスタをロングワード境界で設定します。																																				
1, 0	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。																																				

(14) PCI パワーマネジメント割り込みレジスタ (PCIPINT)

このレジスタはパワーマネジメント割り込み要因を記録します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PMD 3H	PMD 2	PMD 1	PMD 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3	PMD3H	0	SH:R/WC PCI:-	PCI パワーマネジメント D3H (D3hot) ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D3H (D3hot) ステータス遷移割り込みなし 1: D3H (D3hot) ステータス遷移割り込み発生
2	PMD2	0	SH:R/WC PCI:-	PCI パワーマネジメント D2 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D2 ステータス遷移割り込みなし 1: D2 ステータス遷移割り込み発生
1	PMD1	0	SH:R/WC PCI:-	PCI パワーマネジメント D1 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D1 ステータス遷移割り込みなし 1: D1 ステータス遷移割り込み発生
0	PMD0	0	SH:R/WC PCI:-	PCI パワーマネジメント D0 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D0 ステータス遷移割り込みなし 1: D0 ステータス遷移割り込み発生

13. PCI コントローラ (PCIC)

(15) PCI パワーマネジメント割り込みマスクレジスタ (PCIPINTM)

このレジスタは PCIPINT のマスクレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PMD 3HM	PMD 2M	PMD 1M	PMD 0M
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3	PMD3HM	0	SH:R/W PCI:-	PCI パワーマネジメント D3H (D3hot) ステータス遷移割り込みマスク 0: PMD3H は禁止 (マスク) 1: PMD3H は許可 (受け付け)
2	PMD2M	0	SH:R/W PCI:-	PCI パワーマネジメント D2 ステータス遷移割り込みマスク 0: PMD2 は禁止 (マスク) 1: PMD2 は許可 (受け付け)
1	PMD1M	0	SH:R/W PCI:-	PCI パワーマネジメント D1 ステータス遷移割り込みマスク 0: PMD1 は禁止 (マスク) 1: PMD1 は許可 (受け付け)
0	PMD0M	0	SH:R/W PCI:-	PCI パワーマネジメント D0 ステータス遷移割り込みマスク 0: PMD0 は禁止 (マスク) 1: PMD0 は許可 (受け付け)

(16) PCI メモリバンクレジスタ 0 (PCIMBR0)

このレジスタは CPU または DMAC による PCI メモリ空間 0 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間アドレス上位 14 ビットの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA0														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA0	H'0000	SH:R/W PCI:-	メモリ空間 0 バンクアドレス (14 ビット) マスタ転送時 PCI のメモリ空間 0 に対するバンクアドレス設定を行います。
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(17) PCI メモリバンクマスクレジスタ 0 (PCIMBR0)

このレジスタは PCIMBR0 のマスクレジスタです。CPU または DMAC による PCI メモリ空間 0 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間サイズの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	MSBAM0						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~18	MSBAM0	0000 00	SH:R/W PCI:-	PCI メモリ空間 0 バンクアドレスマスク (6 ビット) 0000 00 : 256K バイト 0000 01 : 512K バイト 0000 11 : 1M バイト 0001 11 : 2M バイト 0011 11 : 4M バイト 0111 11 : 8M バイト 1111 11 : 16M バイト 上記以外は設定禁止
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されず。書き込む値は常に 0 にしてください。

(18) PCI メモリバンクレジスタ 1 (PCIMBR1)

このレジスタは CPU または DMAC による PCI メモリ空間 1 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間アドレス上位 14 ビットの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA1														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA1	H'0000	SH:R/W PCI:-	メモリ空間 1 バンクアドレス (14 ビット) マスタ転送時 PCI のメモリ空間 1 に対するバンクアドレス設定を行います。
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(19) PCI メモリバンクマスクレジスタ 1 (PCIMBMR1)

このレジスタは PCIMBR1 のマスクレジスタです。CPU または DMAC による PCI メモリ空間 1 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間サイズの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MSBAM1								—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
25~18	MSBAM1	H'00	SH:R/W PCI:-	PCI メモリ空間 1 バンクアドレスマスク (8 ビット) 00 0000 00 : 256K バイト 00 0000 01 : 512K バイト 00 0000 11 : 1M バイト 00 0001 11 : 2M バイト 00 0011 11 : 4M バイト 00 0111 11 : 8M バイト 00 1111 11 : 16M バイト 01 1111 11 : 32M バイト 11 1111 11 : 64M バイト 上記以外は設定禁止
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

(20) PCI メモリバンクレジスタ 2 (PCIMBR2)

このレジスタは CPU または DMAC による PCI メモリ空間 2 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間アドレス上位 14 ビットの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA2														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA2	すべて 0	SH:R/W PCI:-	メモリ空間 2 バンクアドレス (14 ビット) PCI のメモリ空間 2 に対するバンクアドレス設定を行います。
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(21) PCI メモリバンクマスクレジスタ 2 (PCIMBR2)

このレジスタは PCIMBR2 のマスクレジスタです。CPU または DMAC による PCI メモリ空間 2 へのメモリリード/メモリライトの際に、PCI バス上のメモリ空間サイズの指定を行います。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	MSBAM2											—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
28~18	MSBAM2	H'000	SH:R/W PCI:-	PCI メモリ空間 2 バンクアドレスマスク (11 ビット) 0 0000 0000 00 : 256K バイト 0 0000 0000 01 : 512K バイト 0 0000 0000 11 : 1M バイト 0 0000 0001 11 : 2M バイト 0 0000 0011 11 : 4M バイト 0 0000 0111 11 : 8M バイト 0 0000 1111 11 : 16M バイト 0 0001 1111 11 : 32M バイト 0 0011 1111 11 : 64M バイト 0 0111 1111 11 : 128M バイト 0 1111 1111 11 : 256M バイト 1 1111 1111 11 : 512M バイト 上記以外は設定禁止
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

(22) PCI I/O バンクレジスタ (PCIIOBR)

このレジスタは CPU または DMAC による PCI I/O 空間への IO リード / IO ライトの際に、PCI バス上の I/O 空間アドレス上位 14 ビットの指定を行います。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIO SBA														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PIO SBA	H'0000	SH:R/W PCI:-	I/O 空間バンクアドレス (14 ビット) PCI の I/O 空間に対するバンクレジスタ設定を行います。
17~0	-	すべて 0	SH:R PCI:-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

13. PCI コントローラ (PCIC)

(23) PCI I/O バンクマスクレジスタ (PCIIOBMR)

このレジスタは PCIIOBR のマスクレジスタです。CPU または DMAC による PCI I/O 空間への IO リード / IO ライトの際に、PCI バス上の I/O 空間サイズの指定を行います。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	IOBAM			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
20~18	IOBAM	000	SH:R/W PCI:-	PCI I/O 空間バンクアドレスマスク (3ビット) 000 : 256K バイト 001 : 512K バイト 011 : 1M バイト 111 : 2M バイト 上記以外 : 設定禁止
17~0	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

(24) PCI キャッシュスヌープコントロールレジスタ 0 (PCICSCR0)

外部 PCI デバイスは、PCIC を経由して本 LSI のメモリにアクセスできます。PCI デバイスがキャッシュ可能な領域にアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープコマンドを発行できます。本レジスタにより、スヌープアドレスレジスタ 0 を使用することを指定できます。詳細は「13.4.4 (7) キャッシュコヒーレンシー」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RANGE			SNPMD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
4~2	RANGE	000	SH:R/W PCI:-	比較アドレス範囲 比較対象となる PCIC SAR0 のアドレス範囲を指定します。 000 : PCIC SAR0.CADR [31:12]を比較 (4K バイト) 001 : PCIC SAR0.CADR [31:16]を比較 (64K バイト) 010 : PCIC SAR0.CADR [31:20]を比較 (1M バイト) 011 : PCIC SAR0.CADR [31:24]を比較 (16M バイト) 100 : PCIC SAR0.CADR [31:25]を比較 (32M バイト) 101 : PCIC SAR0.CADR [31:26]を比較 (64M バイト) 110 : PCIC SAR0.CADR [31:27]を比較 (128M バイト) 111 : PCIC SAR0.CADR [31:28]を比較 (256M バイト) PCIC SCR0.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1、0	SNPMD	00	SH:R/W PCI:-	PCIC SAR0 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR0 を比較するかどうか指定します。また、PCIC SAR0 を比較する場合、どのようにスヌープコマンドを発行するかを指定します。 00 : PCIC SAR0 は比較しません。 01 : リザーブ (設定禁止) 10 : PCIC SAR0 を比較します。その範囲でアドレスが一致した場合、スヌープコマンドは発行されません。アドレスが一致しなかった場合は発行されます。 11 : PCIC SAR0 を比較します。その範囲でアドレスが一致した場合、スヌープコマンドは発行されます。アドレスが一致しなかった場合は発行されません。

(25) PCI キャッシュスヌープコントロールレジスタ 1 (PCICSCR1)

外部 PCI デバイスは、PCIC を経由して本 LSI のメモリにアクセスできます。PCI デバイスがキャッシュ可能な領域にアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープコマンドを発行できます。本レジスタにより、スヌープアドレスレジスタ 1 を使用することを指定できます。詳細は「13.4.4 (7) キャッシュコヒーレンシー」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RANGE			SNPMD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	SH:R PCI:-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
4~2	RANGE	000	SH:R/W PCI:-	比較アドレス範囲 比較対象となる PCIC SAR1 のアドレス範囲を指定します。 000 : PCIC SAR1.CADR [31:12]を比較 (4K バイト) 001 : PCIC SAR1.CADR [31:16]を比較 (64K バイト) 010 : PCIC SAR1.CADR [31:20]を比較 (1M バイト) 011 : PCIC SAR1.CADR [31:24]を比較 (16M バイト) 100 : PCIC SAR1.CADR [31:25]を比較 (32M バイト) 101 : PCIC SAR1.CADR [31:26]を比較 (64M バイト) 110 : PCIC SAR1.CADR [31:27]を比較 (128M バイト) 111 : PCIC SAR1.CADR [31:28]を比較 (256M バイト) PCIC SCR1.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1、0	SNPMD	00	SH:R/W PCI:-	PCIC SAR1 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR1 を比較するかどうか指定します。また、PCIC SAR1 を比較する場合、どのようにスヌープコマンドを発行するかを指定します。 00 : PCIC SAR1 は比較しません。 01 : リザーブ (設定禁止) 10 : PCIC SAR1 を比較します。その範囲でアドレスが一致した場合、スヌープコマンドは発行されません。アドレスが一致した場合は発行されません。 11 : PCIC SAR1 を比較します。その範囲でアドレスが一致しなかった場合、スヌープコマンドは発行されます。アドレスが一致しなかった場合は発行されません。

(26) PCI キャッシュスヌープアドレスレジスタ 0 (PCICSAR 0)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。詳細は「13.4.4 (7) キャッシュコヒーレンシー」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH:R/W PCI: -	比較対象アドレス 外部デバイスから PCI に要求されたアドレスと比較するアドレスを指定します。

13. PCI コントローラ (PCIC)

(27) PCI キャッシュスヌープアドレスレジスタ 1 (PCICSAR 1)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。詳細は「13.4.4 (7) キャッシュコヒーレンシー」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH:R/W PCI: -	比較対象アドレス 外部デバイスから PCI に要求されたアドレスと比較するアドレスを指定します。

(28) PCI PIO データレジスタ (PCIPDR)

本レジスタのリード/ライトを実行することにより、PCIバス上にコンフィグレーションサイクルを発生させます。詳細は「13.4.5 (2) コンフィグレーションアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PDR															
初期値:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
SH R/W:	R/W															
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDR															
初期値:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
SH R/W:	R/W															
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~0	PDR	H'xxxx xxxx	SH:R/W PCI: -	PCI PIO データレジスタ このレジスタで、リード/ライトを実行する事により、PCIバス上にコンフィグレーションサイクルを発生させます。

13. PCI コントローラ (PCIC)

13.4 動作説明

13.4.1 サポートされる PCI コマンド

表 13.4 サポートされる PCI バスコマンド

C/BE[3:0]	コマンド	PCI マスタ	PCI ターゲット
0000	インタラプトアクノリッジサイクル	×	
0001	スペシャルサイクル	* ¹	
0010	I/O リード		* ²
0011	I/O ライト		* ²
0100	予約		
0101	予約		
0110	メモリリード		
0111	メモリライト		
1000	予約		
1001	予約		
1010	コンフィグレーションリード	* ¹	* ²
1011	コンフィグレーションライト	* ¹	* ²
1100	メモリリードマルチプル	×	* ³
1101	デュアルアドレスサイクル	×	×
1110	メモリリードライン	×	* ³
1111	メモリライトアンドインバリデート	×	* ⁴

【記号説明】

サポート

制限付きでサポート

× サポートしない

応答しない

【注】 *1 ホストモードのみサポート

*2 シングル転送のみ

*3 メモリリードとして動作

*4 メモリライトとして動作

13.4.2 PCIC の初期化

PCIC ではパワーオンリセット後に、PCIC イネーブル制御レジスタ (PCIECR) のイネーブルビット (ENBL) と PCI コントロールレジスタ (PCICR) の内部レジスタ初期化制御ビット (CFINIT) がクリアされます。このとき、PCIC が PCI バスのホストとして動作する場合 (ホストモード) には PCI バス上のデバイスのアービトレーションは行われず、PCI バス上のバス権は常に PCIC に与えられています。ホストとして動作しない場合 (ノーマルモード) には、PCI バスに接続されている外部 PCI デバイスからのアクセスを受け付けず、必ず PCI バスに対しリトライを返します。

また、PCIECR.ENBL=0 のときは、CPU から PCIC へのアクセスはコントロールレジスタ空間 (PCIECR) へのアクセスを除き、すべて無効となり (ライトは無効、リードはすべて 0 がリードされます)、各レジスタ、PCI バスへのリード/ライトアクセスは実行されません。

PCIC の初期化を行うには、以下の手順で行ってください。

1. PCIECR の ENBL ビットに 1 をセット
2. (PCICR の CFINIT ビットがクリアされている期間に、) PCIC 内の PCI コンフィグレーションレジスタおよび PCI ローカルレジスタを初期化
3. PCICR の CFINIT に 1 をセット

すべてのレジスタの初期化終了後、CFINIT ビットを 1 にセットしてください。その後、ホストモード時にはアービトレーションが有効になり、ノーマルモード時には PCI バスからのアクセスを受け付けるようになります。

ホストモード・ノーマルモードのいずれの場合も、CFINIT ビットがクリアされている期間内の PCIC から外部 PCI デバイスへのアクセスは禁止です。CFINIT ビットを 1 にセットしてから行ってください。

特に、PCI コマンド (PCICMD)、PCI ステータス (PCISTATUS)、PCI サブシステムベンダ ID (PCISVID)、PCI サブシステム ID (PCISID)、PCI ローカルスペースレジスタ 0/1 (PCILSR0/1)、PCI ローカルアドレスレジスタ 0/1 (PCILAR0/1) については、CFINIT ビットがクリアされている期間 (1 にセットする前) に必ず設定してください。

13. PCI コントローラ (PCIC)

13.4.3 マスタアクセス

ここでは、本 PCIC が、PCI バスのマスタとなったとき、どのようにソフトウェアから制御されるかについて示します。ホストモードおよびノーマルモードのそれぞれのモードにおいて、PCIC を使用する場合について説明します。

(1) アドレスマップ

表 13.5 に PCIC メモリマップを示します。

表 13.5 PCIC メモリマップ

メモリ空間	29 ビットアドレス モード時物理アドレス	32 ビットアドレス モード時物理アドレス	物理アドレスサイズ
PCI メモリ空間 1 (エリア 4 : PCI 選択時)	H'1000 0000 ~ H'13FF FFFF	H'1000 0000 ~ H'13FF FFFF	64 MB
PCI メモリ空間 2 (32 ビットアドレスモード時のみ)	-	H'C000 0000 ~ H'DFFF FFFF	512 MB
PCI メモリ空間 0	H'FD00 0000 ~ H'FDFF FFFF	H'FD00 0000 ~ H'FDFF FFFF	16 MB
コントロールレジスタ空間	H'FE00 0000 ~ H'FE03 FFFF	H'FE00 0000 ~ H'FE03 FFFF	256 KB
PCI 内部レジスタ	H'FE04 0000 ~ H'FE07 FFFF	H'FE04 0000 ~ H'FE07 FFFF	256 KB
リザーブ	H'FE08 0000 ~ H'FE1F FFFF	H'FE08 0000 ~ H'FE1F FFFF	1.5 MB
PCI I/O 空間	H'FE20 0000 ~ H'FE3F FFFF	H'FE20 0000 ~ H'FE3F FFFF	2 MB

PCIC には、4 種類 (物理的には 6 種類) のアドレス空間があります。PCI メモリ (3 種類)、コントロールレジスタ空間、PCI 内部レジスタ (PCI コンフィグレーションレジスタおよび PCI ローカルレジスタ) 空間、および I/O 空間です。

(2) PCI メモリ空間へのアクセス

図 13.2 に SuperHyway バスから PCI バスへのメモリマップを示します。

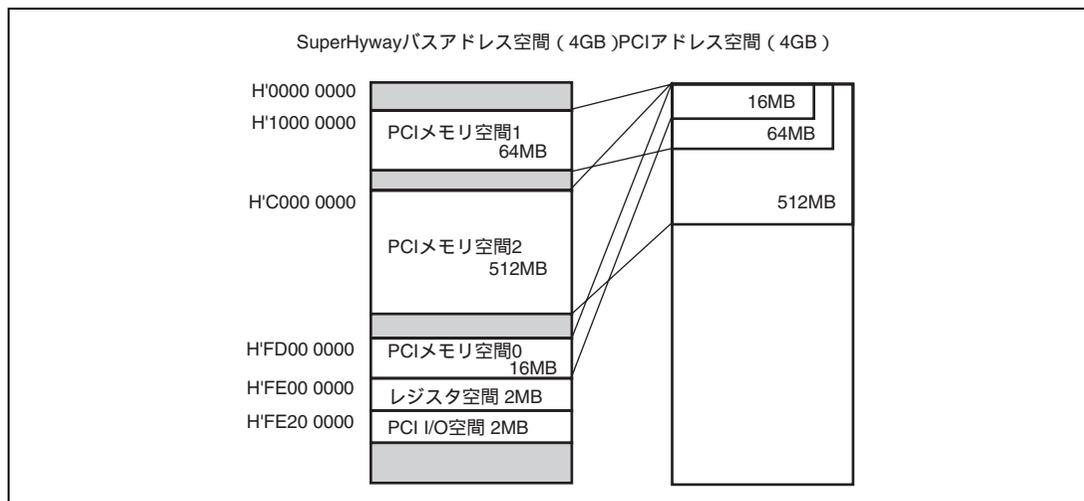


図 13.2 SuperHyway バスから PCI バスへのメモリマップ

PCI メモリ空間にアクセスするためには、PCI メモリバンクレジスタ (PCIMBR) および PCI メモリバンクマスクレジスタ (PCIMBMR) を使用してください。このレジスタは、16M~512M バイトのアドレス空間を割り当てることができます。PCI アドレスの割り当ては、ソフトウェアによってプログラム可能です。

メモリ転送ではバースト転送をサポートします。

CPU または DMAC から 32 バイトバーストのアクセスを連続して実行すると、PCI バス上で 32 バイト以上 (すなわち、64 バイト、96 バイトなど) のバースト転送を行います。

PCI メモリ空間は、PCI メモリ空間 0 が H'FD00 0000 ~ H'FDFF FFFF (16M バイト)、PCI メモリ空間 1 が H'1000 0000 ~ H'13FF FFFF (64M バイト、LBSC 空間との選択)、PCI メモリ空間 2 が H'C000 0000 ~ H'DFFF FFFF (512M バイト、32 ビットアドレスモード時のみ)、に割り付けられています。

SuperHyway バスから PCI バスへアドレスの変換方法を以下に示します。

SuperHyway バス上のアドレス下位 15 ビット ([17:3]) は、そのままに PCI バス上に送られます。

PCI メモリ空間 0 の場合、中間の 6 ビット ([23:18]) は、PCI メモリバンクマスクレジスタ 0 (PCIMBMR0) によって制御されます。

- PCIMBMR0 [23:18] B'1111 11 の場合 : PCIバスアドレス[23:18] = SuperHywayバスアドレス[23:18]
- PCIMBMR0 [23:18] B'0000 00 の場合 : PCIバスアドレス[23:18] = PCIMBR0[23:18]

SuperHyway バス上のアドレス上位 8 ビット [31:24] は、PCI メモリバンクレジスタ PCIMBR0[31:24] に置き換えられます。

13. PCI コントローラ (PCIC)

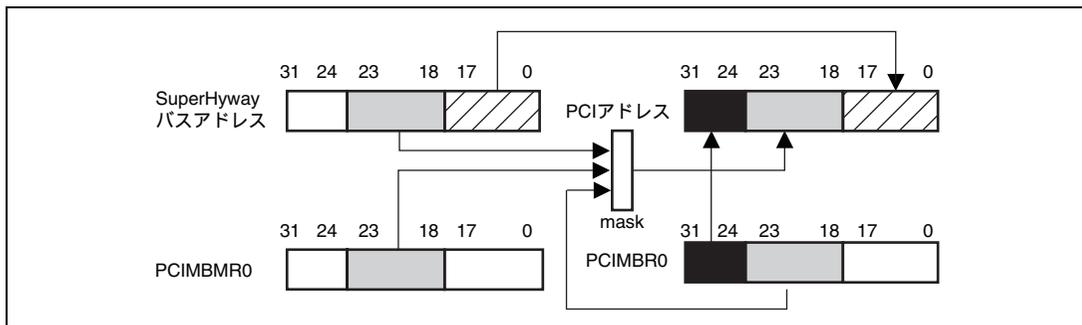


図 13.3 SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 0 の場合)

PCI メモリ空間 1 の場合、中間の 8 ビット ([25:18]) は、PCI メモリバンクマスクレジスタ 1 (PCIMBMR1) によって制御されます。

- PCIMBMR1 [25:18] B'11 1111 11 の場合 : PCI バスアドレス[25:18] = SuperHyway バスアドレス[25:18]
- PCIMBMR0 [25:18] B'00 0000 00 の場合 : PCI バスアドレス[25:18] = PCIMBMR1[25:18]

SuperHyway バス上のアドレス上位 6 ビット[31:26]は、PCI メモリバンクレジスタ PCIMBR1[31:26]に置き換えられます。

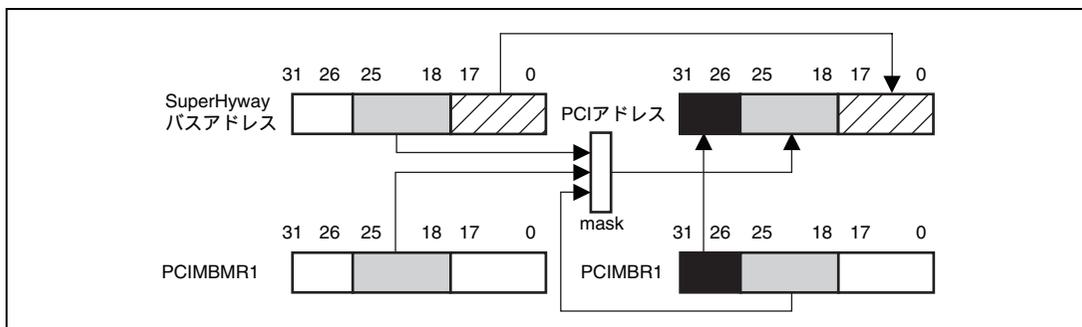


図 13.4 SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 1 の場合)

PCI メモリ空間 2 の場合、中間の 11 ビット ([28:18]) は、PCI メモリバンクマスクレジスタ 2 (PCIMBMR2) によって制御されます。

- PCIMBMR2 [28:18] B'1 1111 1111 11 の場合 : PCI バスアドレス[28:18] = SuperHyway バスアドレス[28:18]
- PCIMBMR2 [28:18] B'0 0000 0000 00 の場合 : PCI バスアドレス[28:18] = PCIMBMR2[28:18]

SuperHyway バス上のアドレス上位 3 ビット[31:29]は、PCI メモリバンクマスクレジスタ PCIMBR2[31:29]に置き換えられます。

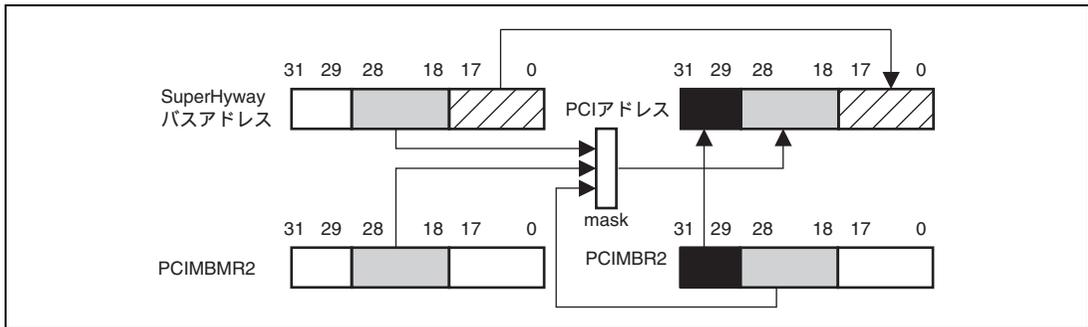


図 13.5 SuperHyway バスから PCI メモリ (PCI バス) へのアクセス (PCI メモリ空間 2 の場合)

(3) PCI I/O 空間へのアクセス

I/O 転送ではバースト転送をサポートしません。必ず 4 バイト以下のサイズでアクセスしてください。

PCI I/O 空間は、H'FE20 0000 ~ H'FE3F FFFF (2 M バイト) に割り付けられます。

SuperHyway バスから PCI バスへアドレスの変換方法を以下に示します。

SuperHyway バス上のアドレス下位 15 ビット ([17:3]) は、そのまま PCI バス上に送られます。

中間の 3 ビット ([20:18]) は、PCI I/O バンクマスクレジスタによって制御されます。

- PCIOBMR[20:18] B'111 の場合 : PCI バスアドレス[20:18] = SuperHyway バスアドレス[20:18]
- PCIOBMR[20:18] B'000 の場合 : PCI バスアドレス[20:18] = PCIOBR[20:18]

SuperHyway バス上のアドレス上位 11 ビット [31:21] は、PCI I/O バンクレジスタ PCIOBR[31:21] に置き換えられます。

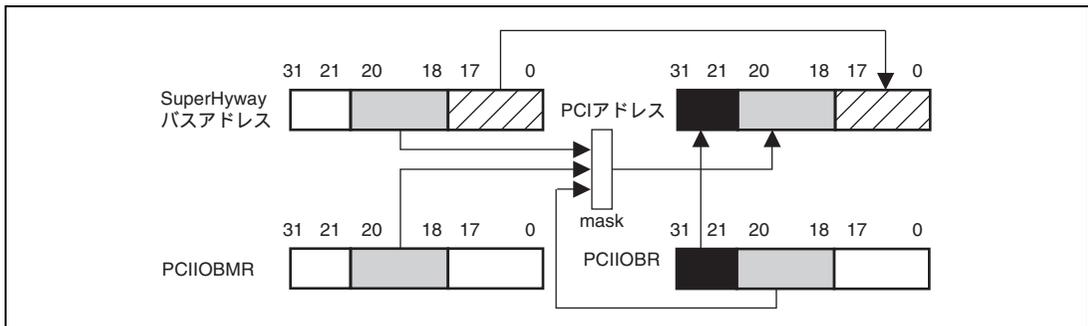


図 13.6 SuperHyway バスから PCI I/O 空間 (PCI バス) へのアクセス

(4) PCIC 内部レジスタへのアクセス

すべての PCIC 内部レジスタ、すなわち、PCIC コントロールレジスタ、PCI コンフィグレーションレジスタおよび PCI ローカルレジスタは、CPU からアクセス可能です。アクセスサイズとしては 4 バイト、2 バイトおよび 1 バイトサイズの転送をサポートします。

13. PCI コントローラ (PCIC)

(5) エンディアン

本 LSI の PCIC は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンですので、データスワップおよびデータ非スワップの両方をサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットによって決定します。

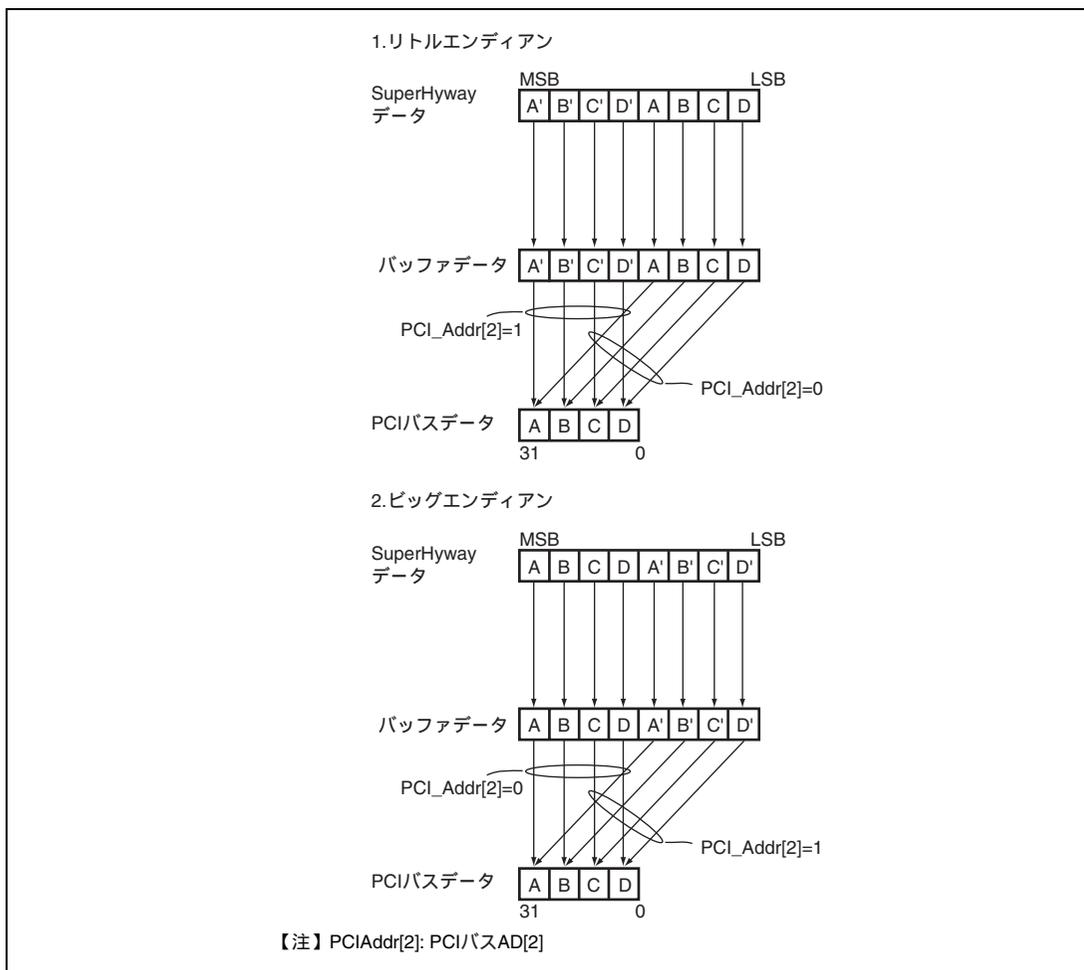


図 13.7 SuperHyway バスから PCI バスへのエンディアン変換 (非スワップ : TBS=0)

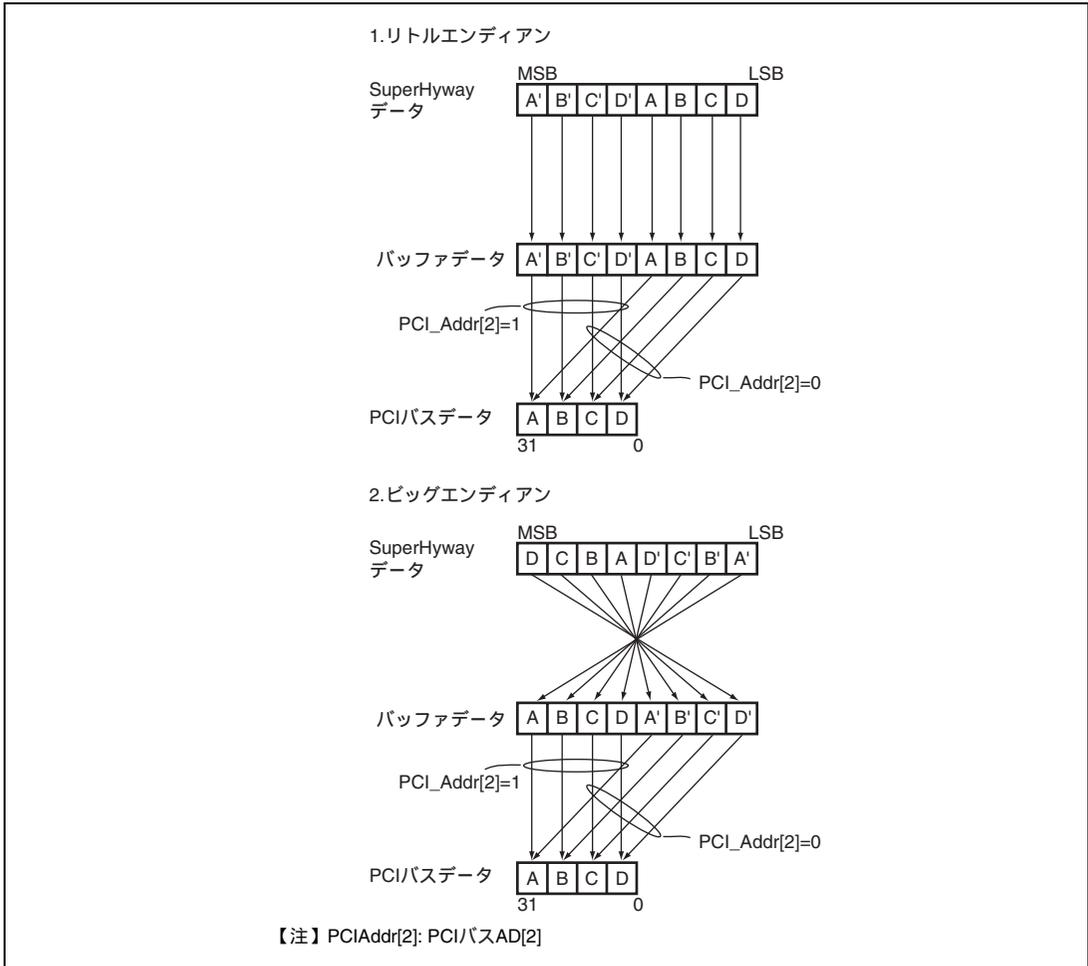


図 13.8 SuperHyway バスから PCI バスへのエンディアン変換 (スワップ : TBS=1)

13.4.4 ターゲットアクセス

ここでは、PCIC が外部 PCI バスマスタによってどのようにアクセスされるかの概要を示します。ホストモードおよびノーマルモードの両方について説明します。

(1) 本 LSI メモリ空間へのアクセス

ここでは、外部 PCI バスマスタから本 LSI の PCIC へのアクセスについて説明します。

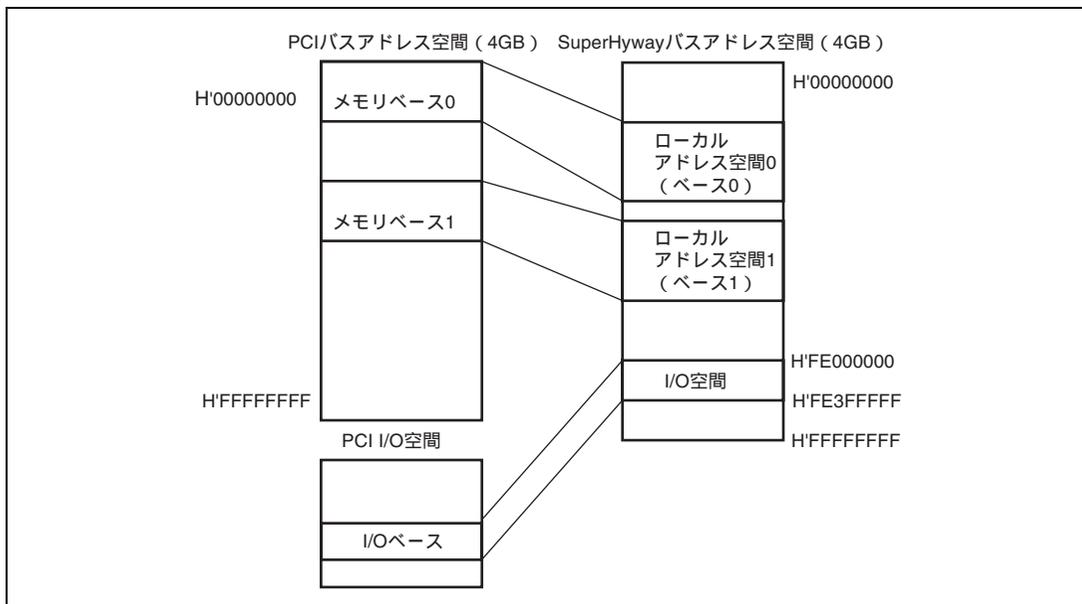


図 13.9 PCI バスから SuperHyway バス空間へのメモリマップ

本 LSI のアドレス空間をアクセスするためには、PCI メモリベースアドレスレジスタ (PCIMBAR0/1)、PCI ローカルスペースレジスタ (PCILSR0/1)、および PCI ローカルアドレスレジスタ (PCILAR0/1) を使用してください。PCI アドレスの割り当てはソフトウェアによってプログラムします。PCIC には、ローカルアドレス空間 0 (ベース 0) とローカルアドレス空間 1 (ベース 1) の 2 種類のメモリマッピングのためのレジスタがあります。

これらのレジスタにより、2 種類の空間 (ベース) を割り当てることができます。

これらの空間の容量は、PCILSR0/1 (1 M ~ 512 M バイト) により設定することができます。

PCI ターゲットメモリ転送のために、PCI バス上のシングルロングワード (32 ビット) およびバースト転送をサポートしています。

PCIC 内部レジスタ (PCI コンフィグレジスタ、PCI ローカルレジスタ) へのアクセスは後述のコンフィグアクセスおよび I/O 空間へのアクセスを参照ください。

PCI バス上のアドレス空間の一定の範囲が内部バスアドレス空間上のローカルアドレス空間に対応します。本 LSI 内部のローカルアドレス空間 0 の制御を行うのが、PCIMBAR0、PCILSR0、PCILAR0 です。ローカルアドレス空間 1 の制御を行うのが、PCIMBAR1、PCILSR1、PCILAR1 です。図 13.10 に PCI バスから本 LSI の SuperHyway バスへのアドレス変換を示します。

PCIMBAR は外部 PCI デバイスを使用する PCI バス上のメモリ空間の先頭アドレスを示します。PCILAR は本 LSI のローカルアドレス空間の先頭アドレスを示します。PCILSR は外部 PCI デバイスが使用できるアドレス空間の容量を示します。

PCIMBAR と PCILAR は PCILSR に設定されたサイズ分より上位のアドレスビットが有効になります。PCIMBAR の上位ビットと外部 PCI デバイスが出力する PCI アドレスとが比較され、PCIC に対するアクセスかどうかの判定が行われます。アドレスが一致した場合には PCIC へのアクセスと判断され、PCILAR の上位ビットと、外部 PCI デバイスが出力する PCI アドレスの下位ビットによって、SuperHyway バスのローカルアドレスが生成されます。このアドレスに対し、PCI コマンド (メモリリード/ライト) が実行されます。外部 PCI デバイスが出力するアドレスの上位ビットが、PCIMBAR の上位ビットと一致しない場合には、PCIC は PCI コマンドに対し、応答しません。

PCIC ではメモリリードコマンドのためのデータのプリフェッチングをサポートしています。PCI バスからバーストリードを行うと、8 バイトまたは 32 バイト単位のブロック単位にプリフェッチされます (PCICR.PFCS および PCICR.PFE の設定によります)。

すべての PCILSR0/1.MBARE が 0 の場合には、PCI バスアドレスは、SuperHyway バスまで変更されずに転送されます。

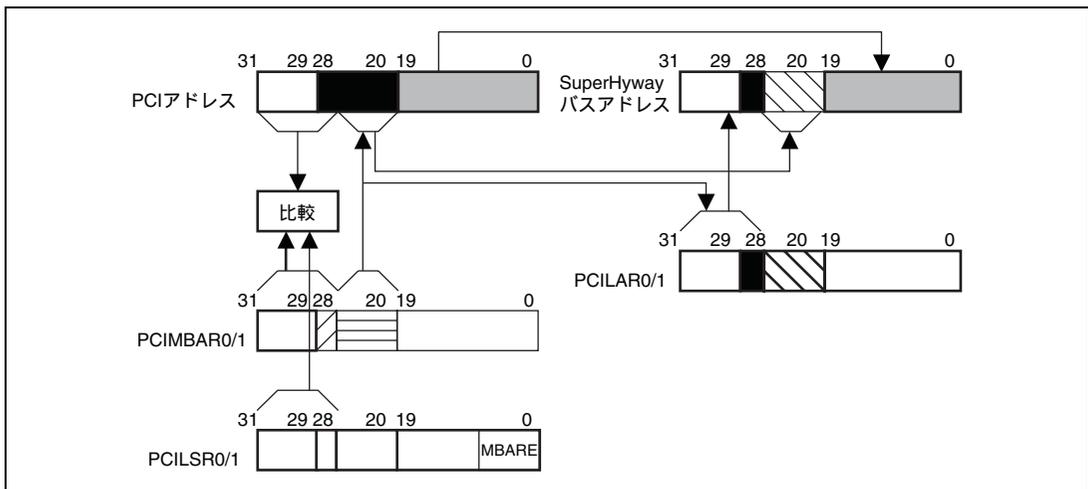


図 13.10 PCI バスから SuperHyway バスへのアドレス変換

13. PCI コントローラ (PCIC)

(2) PCIC I/O 空間へのアクセス

PCI I/O アドレス空間は、256 バイトを割り当てる必要があります。

下位 8 ビット ([7:3]) が、SuperHyway バスに変更されずに送られます。

PCI アドレス[31:8]と PCI I/O ベースアドレスレジスタ [31:8] (PCIIBAR) が一致すると、上位 24 ビットが H'FE0401 に置換され、PCI ローカルレジスタに対してアクセスを実行します。

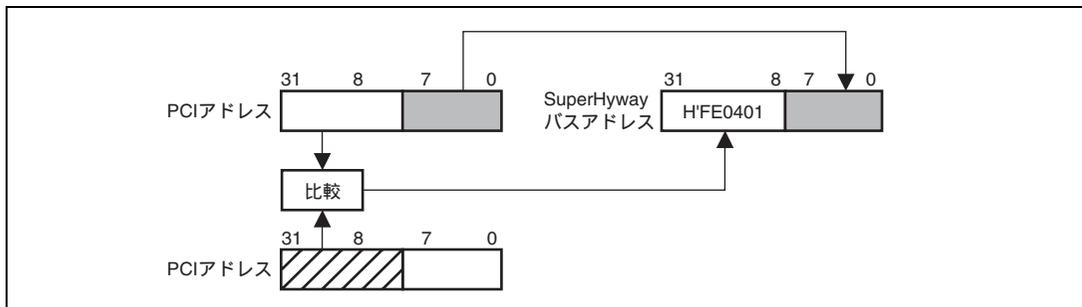


図 13.11 PCI バスから SuperHyway バスへの I/O アクセス

(3) PCIC 各レジスタへのアクセス

• コンフィグレーションレジスタ

コンフィグレーションレジスタのリードまたはライトは、コンフィグアクセスにてコンフィグレーションレジスタ空間のベースアドレス+オフセットでアクセスしてください。バースト転送は切断され終了します。

• ローカルレジスタ

I/Oリードまたはライトコマンドを使用して、PCIアドレス+オフセットでアクセスしてください。

シングルLWアクセスのみとなります。バースト転送は切断され終了します。

• コントロールレジスタ

PCIバスからメモリリードまたはメモリライトコマンドを使用して、コントロールレジスタ空間へのリード/ライトは行わないでください。

(4) SH7785 へのアクセス

• メモリ空間

「13.4.4 (1) 本LSIメモリ空間へのアクセス」を参照ください。アクセス可能な空間はSH7785メモリマップ上でエリア0~2、4~6、DDR2-SDRAM空間およびURAM空間です。

ただしエリア0~2、4~6に対してはシングルアクセスのみ、かつ C/\overline{BE} (データ転送中のバイトイネーブル)の組み合わせが、以下の組み合わせの場合のみ可能です。

$C/\overline{BE}[3:0] = \text{LLLL/LLHH/HHLL/LHHH/HLHH/HHLH/HHHL}$ (H: ハイレベル, L: ローレベル)

バーストアクセス使用時にはDDR2-SDRAM空間もしくはURAM空間を使用ください。

• 内蔵I/O空間

PCIバスからメモリリードまたはメモリライトコマンドを使用して、内蔵I/O空間 (ただしCPU内のURAM/ILRAM/OLRAMは除く) のリード/ライトは行わないでください。リードライト時の動作は保証しません。

(5) 排他的アクセス

PCI バス上のロックアクセスをサポートしています。

一度ロックされると、 $\overline{\text{LOCK}}$ をアサートした PCI バス上のマスタデバイスからのみアクセスできます。

SuperHyway バス上のリソースロックは行いません (ロック転送中に他の内部モジュールによってアクセスは可能)。

(6) エンディアン

本 LSI は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンであるため、本デバイスではデータスワップおよびデータ非スワップをサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットの設定によって行われます。

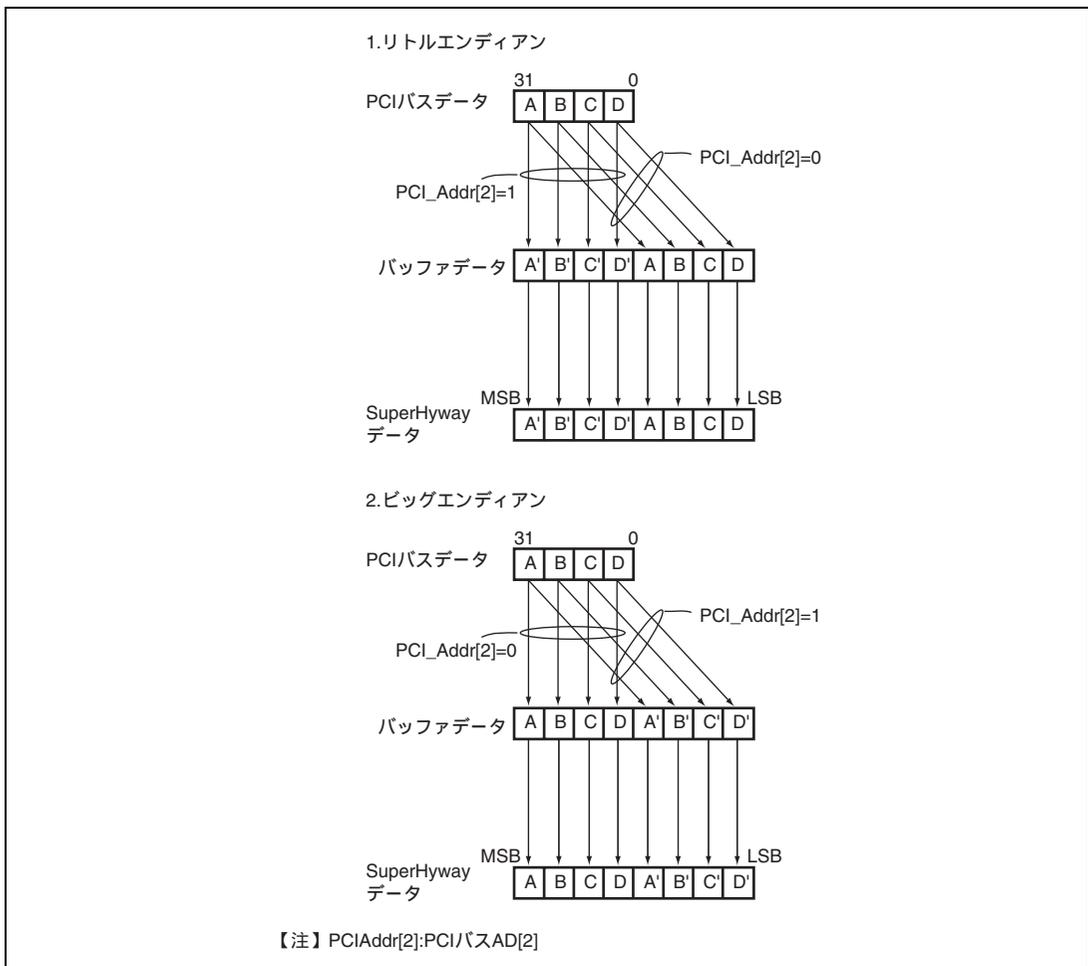


図 13.12 PCI バスから SuperHyway バスへのエンディアン変換 (非スワップ : TBS = 0)

13. PCI コントローラ (PCIC)

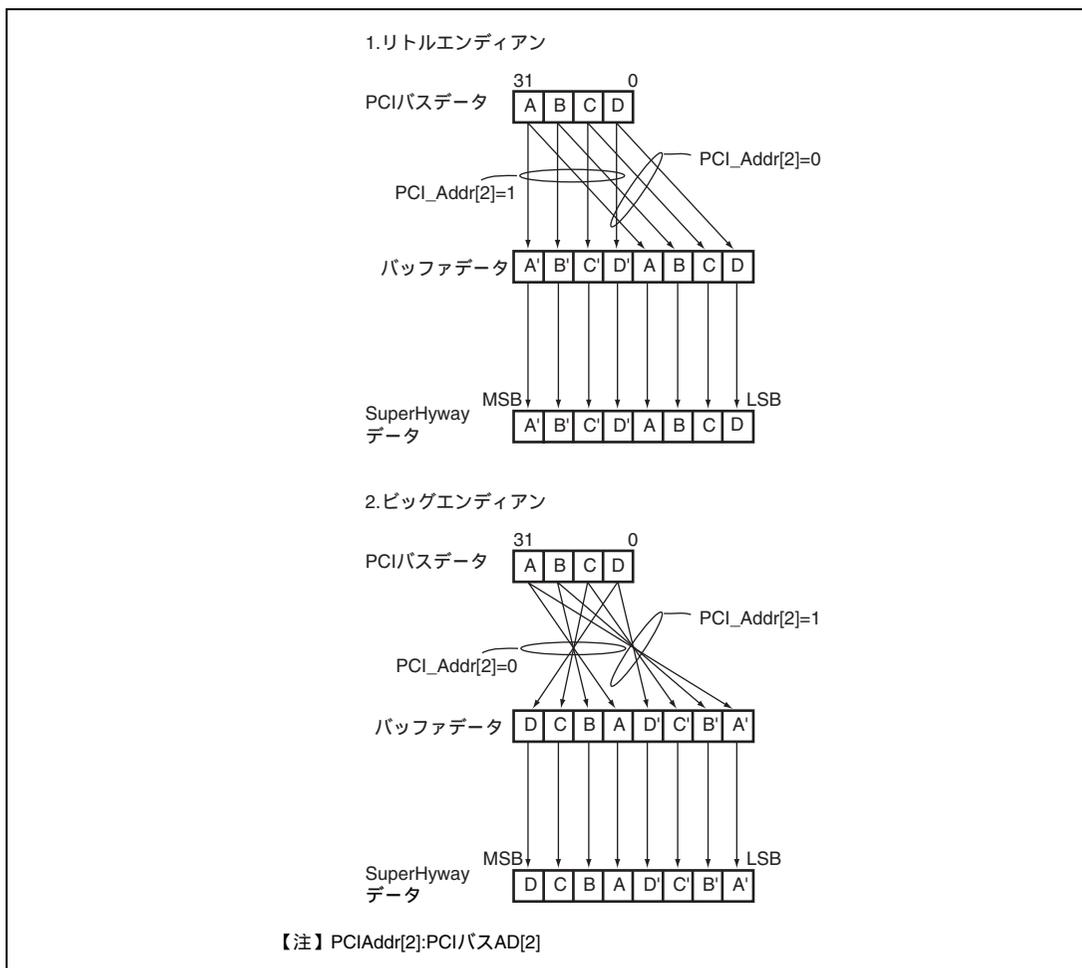


図 13.13 PCI バスから SuperHyway バスへのエンディアン変換 (スワップ : TBS = 1)

(7) キャッシュコヒーレンシー

PCIC は、キャッシュコヒーレンシーをサポートします。

PCIC が、ターゲットデバイスとして動作したときに、PCI バス上でマスタデバイスからのアクセスに対しキャッシュコヒーレンシーを保証します (ホストモードおよびノーマルモード)。本 LSI のキャッシュ可能な領域をアクセスするときは、PCI キャッシュスヌープコントロールレジスタ 0/1 (PCICSCR0/1)、PCI キャッシュスヌープアドレスレジスタ 0/1 (PCICSAR0/1) を設定してください。

本機能を使用した場合の注意点を以下に示します。

- スヌープアドレスの設定は最大2条件設定できます。アドレスの比較は設定された2条件の論理和をとります。
- 本機能を使用した場合、アドレスヒットした場合のアクセス時に、CPUへキャッシュのフラッシュ/パージリクエストを実行後、メモリへのリード/ライトを実行します。そのためPCIバス上での転送性能およびCPUの処理性能を大幅に下げることになります。
- 本機能使用時にプリフェッチ機能を使用しないでください (PCICRのPFEビットを1にしないでください)。
- CPUがスリープ時には本機能を使用しないでください。CPUがスリープ状態のときにキャッシュヒットが発生した場合にはSuperHywayバス上でエラーアクセスとなり、メモリへのリード/ライトが実行されません。CPUをスリープする前には、PCICSCRのSNPMDビット (スヌープモード) に00 (スヌープ機能オフ) を設定してください。また、CPUのスリープ前後でのコヒーレンシーを保証する場合には、スリープ命令実行前にキャッシュのパージを行ってください。
- 本機能使用時にエミュレータを使用したデバッグ機能を用いしないでください。
(エミュレータ使用時には本機能を使用しないでください)

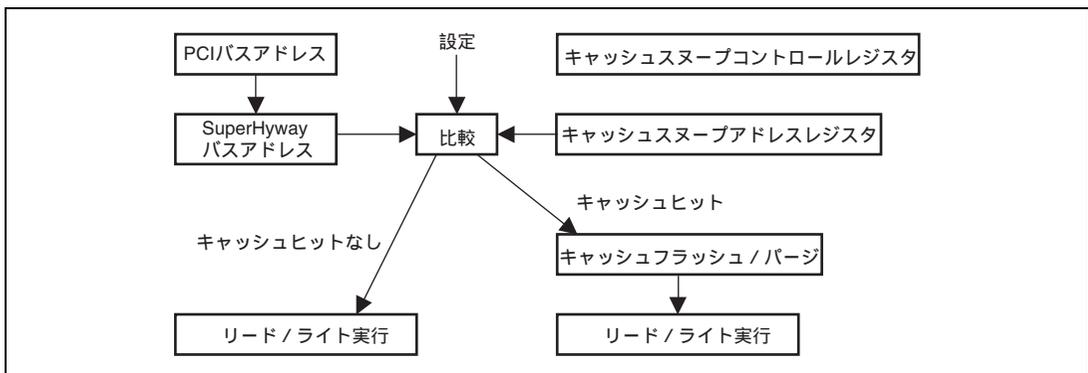


図 13.14 PCI バスから SuperHyway バスへのキャッシュフラッシュ/パージ実行フロー

13.4.5 ホストモード

(1) ホストモード時の動作

本 LSI の PCI インタフェースは PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。

PCIC がホストモードに設定されているときとノーマルモードに設定されているときでは、バスパーキングを PCIC が無条件に行うか否か、PCI バスのアービトラション機能が有効か無効かの 2 点において異なります。

またホストモードでは、PCI バス上の転送が行われていないときには、AD、 $\overline{C}/\overline{BE}$ 、PAR の各信号線は PCIC がドライブします。その後 PCIC がマスタとして転送を開始するときには、最低でもアドレスフェーズが終了するまで、これらの信号をドライブし続けます。PCIC 内のアービタと PCIC 間の REQ および GNT 信号は内部で接続されます。このとき $\overline{REQ0}/\overline{REQOUT}$ 、 $\overline{REQ1}$ 、 $\overline{REQ2}$ 、 $\overline{REQ3}$ の各端子はそれぞれ外部のマスタ 0 ~ マスタ 3 からの REQ 入力として、 $\overline{GNT0}/\overline{GNTIN}$ 、 $\overline{GNT1}$ 、 $\overline{GNT2}$ 、 $\overline{GNT3}$ の各端子はそれぞれ外部のマスタ 0 ~ マスタ 3 への GNT 出力として動作します。PCIC を含め最大 5 マスタのアービトラションが可能です。

(2) コンフィグレーションアクセス

コンフィグレーションメカニズム#1 は、それぞれコンフィグレーションアドレスレジスタおよびコンフィグレーションデータレジスタに対応する PCI PIO (Programed I/O) アドレスレジスタ (PCIPAR) および PCI PIO データレジスタ (PCIPDR) をサポートします。

PCIPAR をセットし、PCIPDR をリードまたはライトすると、PCI バス上でコンフィグレーションサイクルが発行されます。タイプ 0 の転送では、ビット[10:2]は変化せずに PCI バスに送られます。しかし、AD[31:11]は IDSEL 信号として使用されるように変更されます。

デバイス番号を 0 にセットすると、AD16 は 1 になり、他は 0 になります。

デバイス番号を 1 にセットすると、AD17 は 1 になり、他は 0 になります。以降、同じようにデバイス番号を 2 にセットすると、AD18 は 1 になり、3 にセットすると AD19 が 1 になるというかたちで対応しており、

デバイス番号を 16 にセットすると、AD31 は 1 になり、他は 0 になります。

また、タイプ 1 の転送ではコンフィグレーションアドレスレジスタビット[23:0]の値がそのまま PCI バスアドレスに出力され、ビット[31:24]には 0 が出力されます。

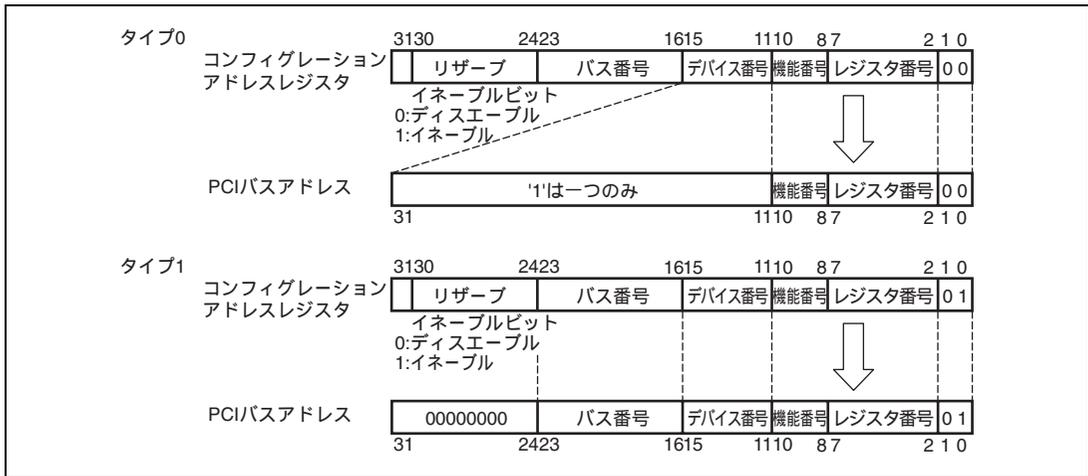


図 13.15 タイプ0 コンフィグレーションのアドレス発生

コンフィグレーションアクセスでは、PCI マスタポート (デバイス未接続) は、割り込みを発生させません。コンフィグレーション書き込みは、正常に終了します。コンフィグレーション読み出しは、0 を返します。

(3) スペシャルサイクルアクセス

PCIC がホストデバイスとして動作する場合には、PCIPAR に H'8000 FF00 を設定し、PCIPDR への書き込みを行うことでスペシャルサイクルを発行することができます。

(4) アービトレーション

ホストモードでは、PCIC 内の PCI バスアービタが作動します。

4 種類の外部マスタをサポートします ($\overline{\text{REQ}}$ と $\overline{\text{GNT}}$ ペア 4 つ)。

2 つ以上のデバイスから同時にバスの使用が要求されている場合には、優先順位が高いデバイスのバス要求を許可します。

デバイスの優先順位を決定するために、PCI バスアービタは、固定優先順位と擬似ラウンドロビンの 2 モードをサポートします。2 つのモードはレジスタフィールド PCICR.BMAM によって選択します。

以下デバイス n は $\overline{\text{REQ}}_n$ を使用する PCI デバイスを示します。

(a) 固定優先順位

PCICR.BMAM を 0 に設定してください。

デバイスの優先順位を以下のデフォルト値で固定します。

- PCIC > デバイス0 > デバイス1 > デバイス2 > デバイス3

PCIC は、他のデバイス以上にバスを優先的に使用することができます。

(b) 擬似ラウンドロビン

PCICR.BMAM を 1 に設定してください。

最後に許可されたデバイスが最下位の優先順位を割り当てます。

13. PCI コントローラ (PCIC)

最初の優先順位は、固定優先順位モードと同じです。

デバイス 1 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- PCIC > デバイス0 > デバイス2 > デバイス3 > デバイス1

そして、PCIC がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス3 > デバイス1 > PCIC

そして、デバイス 3 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス1 > PCIC > デバイス3

ホストモードでは、バスパーキングは常に PCIC によって行われます。

(5) 割り込み

- PCICには、10種類の割り込みがあります（これらの信号は本LSIのINTCに接続しています）。
- 本LSIの INTCにより、これらの割り込みの優先順位を許可 / 禁止および設定できます。
- PCICがノーマルモードで動作する場合に、PCIバス上のホストデバイスに対する割り込みとして、INTA出力が用意されています。INTAは、PCIコントロールレジスタ (PCICR) のINTA出力ビット (IOCS) でアサート / ネゲートの制御を行うことができます。

表 13.6 割り込み優先順位

名 称	割り込み要因	INTEVT	優先順位
PCISERR	ホストモードでの \overline{SERR} アサート検出	H'A00	
PCIINTA	ホストモードでの \overline{INTA} (PCI 割り込み A) アサート検出	H'A20	
PCIINTB	ホストモードでの \overline{INTB} (PCI 割り込み B) アサート検出	H'A40	
PCIINTC	ホストモードでの \overline{INTC} (PCI 割り込み C) アサート検出	H'A60	
PCIINTD	ホストモードでの \overline{INTD} (PCI 割り込み D) アサート検出	H'A80	
PCIEER	PCI がエラー時、PCIIR と PCIAINT による (マスク可能)	H'AA0	
PCIPWD3	D3 へのパワーステート、PCIPINT による (マスク可能)	H'AC0	
PCIPWD2	D2 へのパワーステート、PCIPINT による (マスク可能)		
PCIPWD1	D1 へのパワーステート、PCIPINT による (マスク可能)		
PCIPWD0	D0 へのパワーステート、PCIPINT による (マスク可能)		
		H'AE0	低

PCIC では PCI バス上で発生したエラー情報を保持しておく事ができます。PCI エラーアドレス情報レジスタ (PCIAIR) にエラー発生時のアドレスを、PCI エラーコマンド情報レジスタ (PCICIR) にエラー発生時の転送の種類およびコマンドの値が保持されます。また、PCIC がホストモードのときには PCI バスマスタエラー情報レジスタ (PCIBMIR) にエラー発生時のバスマスタ情報が保持されます。

各エラー情報の保持は、1 つのエラー情報しか行われません。このためエラーが複数回発生した場合、最初のエラー情報のみ保持され、2 つめ以降のエラー情報に関しては保持されません。エラー情報はパワーオンリセットによりクリアされます。

13.4.6 ノーマルモード

ノーマルモードでは、本 LSI の PCIC のバスアービタは動作しません。PCI バスアービトレーションは、外部 PCI バスアービタによって行われます。

ノーマルモードでは、バスパーキングを行うマスタは、外部のアービタによって出力される GNT 信号によって決められます。パーキングを行うマスタと、次に転送を始めるマスタが異なる場合、アドレスフェーズの前に最低 1 クロック期間のハイインピーダンス状態が生じます。

また、ノーマルモード時には、 $\overline{\text{GNT0}}/\overline{\text{GNTIN}}$ 端子は PCIC の GNT 入力として、 $\overline{\text{REQ0}}/\overline{\text{REQOUT}}$ 端子は PCIC の REQ 出力として動作します。

13.4.7 パワーマネジメント

PCIC では、PCI のパワーマネジメント (Ver.1.1 のサブセットをサポート) したコンフィグレーションレジスタをサポートします。サポートされている特長は以下のとおりです。

- PCI のパワーマネジメント制御用コンフィグレーションレジスタをサポート
- PCI バス上のホストデバイスからのパワーダウン / 復帰要求に応じた割り込みをサポート

PCI のパワーマネジメント制御用コンフィグレーションレジスタとして、以下の 7 つのレジスタがあります。PCI 拡張機能ポインタレジスタ (PCICP) はパワーマネジメント用コンフィグレーションレジスタに対するアドレスオフセットを示します。PCIC では PCICP は H'40 (固定) です。PCI 拡張機能 ID レジスタ (PCICID)、PCI 次項目ポインタレジスタ (PCINIP)、PCI パワーマネジメントレジスタ (PCIPMC)、PCI パワーマネジメントコントロール / ステータスレジスタ (PCIPMCSR)、PCIPMCSR ブリッジサポート拡張レジスタ (PCIPMCSRBASE)、PCI パワー消費 / 拡散データ (PCDD) がパワーマネジメントレジスタで、パワーステート D0 (通常状態)、パワーステート D1 (バスアイドル)、パワーステート D2 (クロック停止)、パワーステート D3 (パワーダウンモード) の 4 つのステートをサポートします。

PCI バス上のパワーダウンステートの遷移図を図 13.16 に示します。

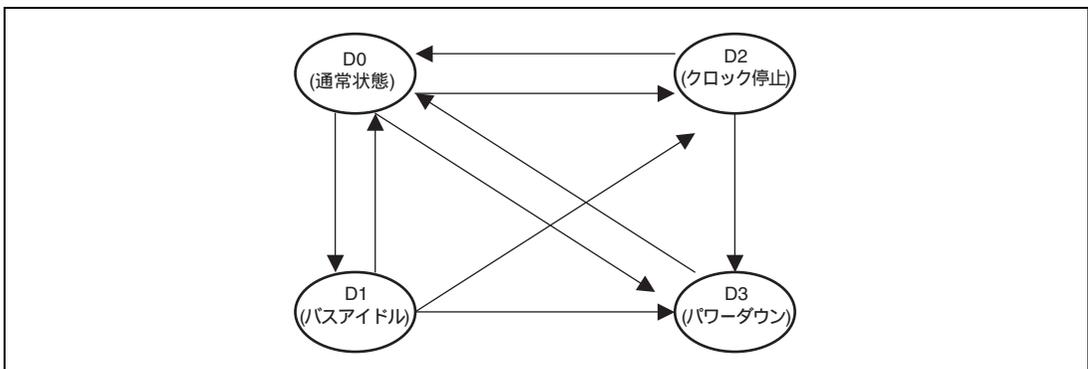


図 13.16 PCI バスパワーダウンステート遷移図

13. PCI コントローラ (PCIC)

PCIC は PCI パワーマネジメントコントロール/ステータスレジスタのパワーステート (PS) ビットが変化したこと (外部 PCI デバイスからのライト) を検出して、パワーマネジメント割り込みを発生します。パワーマネジメント割り込みを制御するために、PCI パワーマネジメント割り込みレジスタ (PCIPINT)、PCI パワーマネジメント割り込みマスクレジスタ (PCIPINTM) が用意されています。パワーマネジメント割り込みとしては、パワーステート D1/D2/D3 から D0 への遷移を検出するパワーステート D0 (PCIPWD0) 割り込み、パワーステート D0 から D1 への遷移を検出するパワーステート D1 (PCIPWD1) 割り込み、パワーステート D0/D1 から D2 への遷移を検出するパワーステート D2 (PCIPWD2) 割り込み、パワーステート D0/D1/D2 から D3 への遷移を検出するパワーステート D3 (PCIPWD3) 割り込みが用意されています。各パワーステート割り込みごとに割り込みマスクを設定できます。

パワーオンリセット時はパワーステート D0 割り込みは発生しません。

PCIC がノーマルモードで動作し、外部のホストデバイスからパワーダウン割り込みを受け付ける場合には、以下の点に注意してください。

PCI のパワーマネジメントでは、ホストデバイスはパワーステート D3 への遷移を指示してから、最速 16 クロックで PCI バスクロックを停止します。そのため、パワーステート D3 割り込みの検出後は、CPU と PCI バスの両方からアクセス可能な PCIC 内のローカルレジスタ、コンフィグレジスタおよび PCI バスへのアクセス (IO およびメモリ空間) に対してリード/ライトを実行しないでください。これらのアクセス制御は PCI バスクロックで動作しているため、アクセスの途中でこのクロックが停止した場合、リード/ライトサイクルが終了せず、SuperHyway バス上でハングアップしてしまいます。

13.4.8 PCI バス基本インタフェース

本 LSI の PCI インタフェースは PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。以下、各動作モードでの動作タイミングを示します。

(1) マスタリード/ライトサイクルのタイミング

図 13.17 にホストモードでのシングルライトサイクル例を、図 13.18 にホストモードでのシングルリードサイクル例を、図 13.19 にノーマルモード時のバーストライトサイクル例を、図 13.20 にノーマルモード時のバーストリードサイクル例を示します。ただし $\overline{\text{DEVSEL}}$ 、 $\overline{\text{TRDY}}$ の応答速度は接続されたターゲットデバイスにより異なります。コンフィグレーション転送の発行はホストモードでのみ可能です。

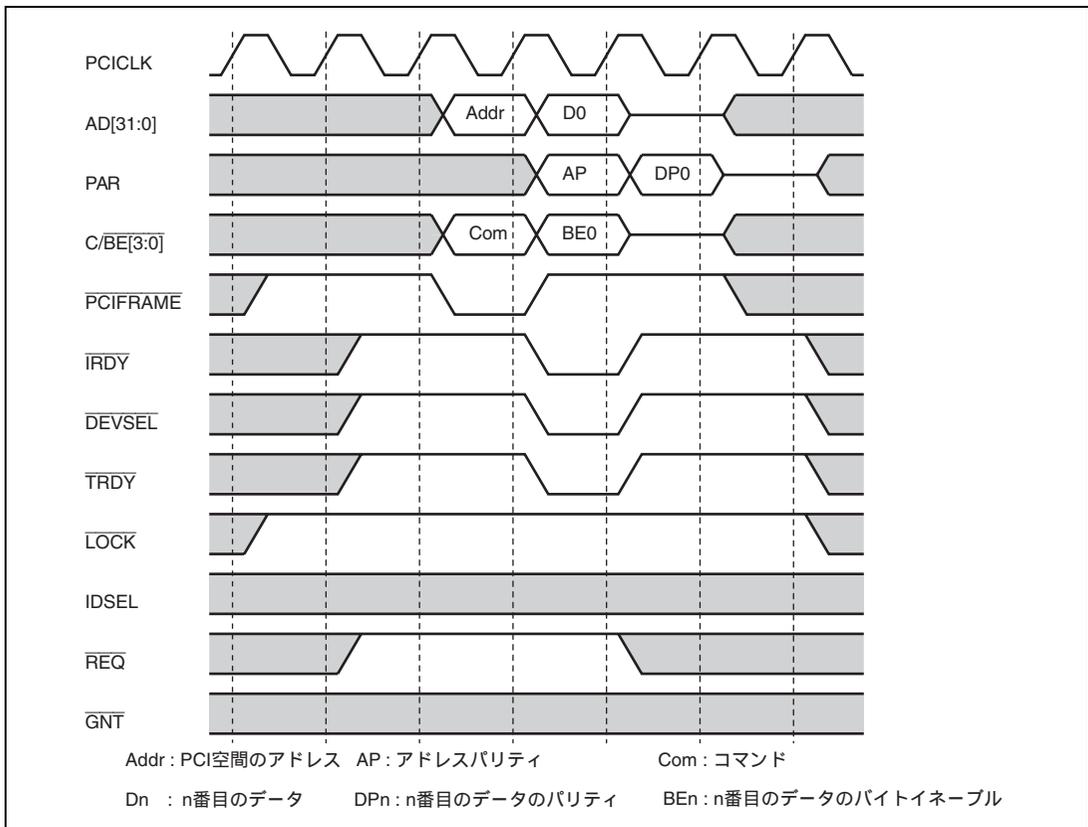


図 13.17 ホスト時マスタライトサイクル (シングル)

13. PCI コントローラ (PCIC)

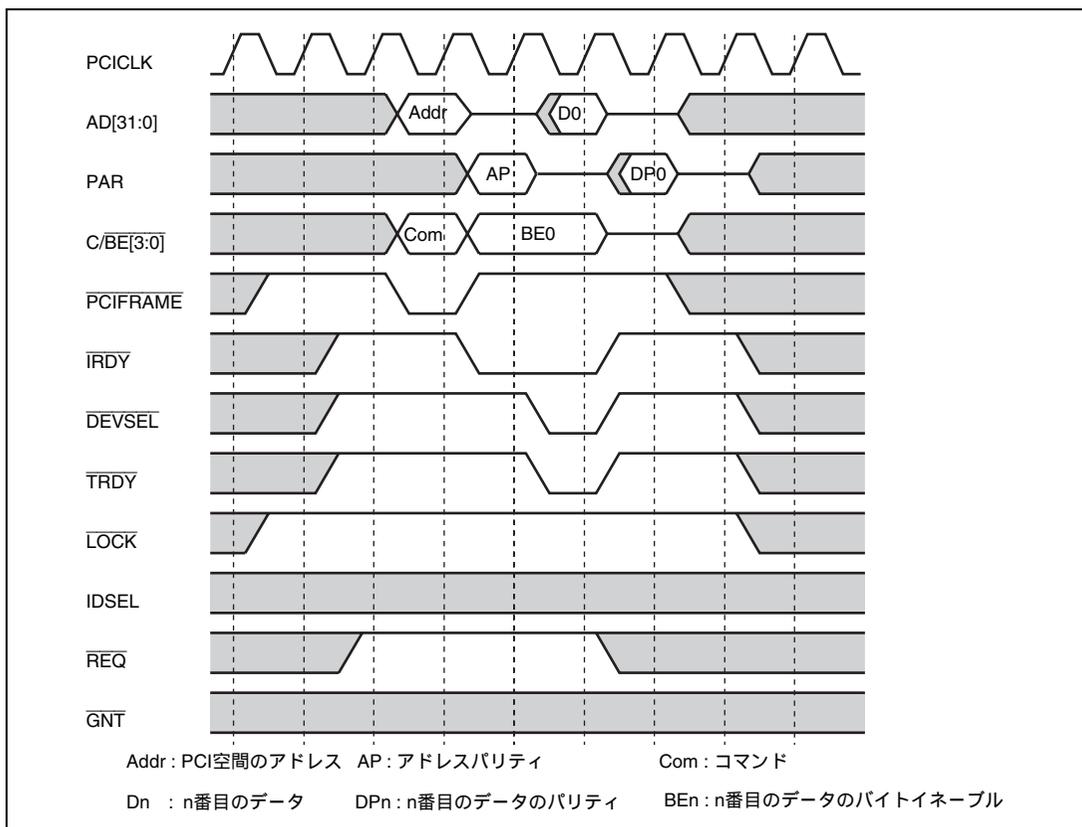


図 13.18 ホスト時マスターリードサイクル (シングル)

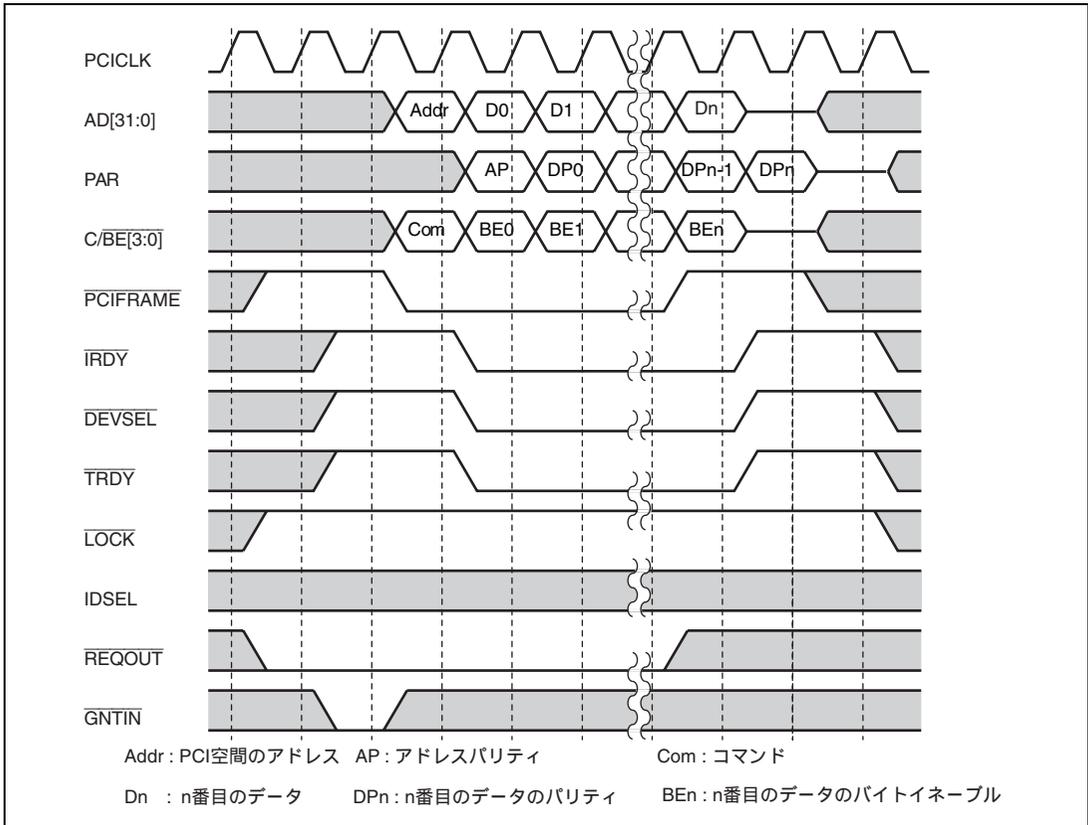


図 13.19 ノーマル時マスタライトサイクル (バースト)

13. PCI コントローラ (PCIC)

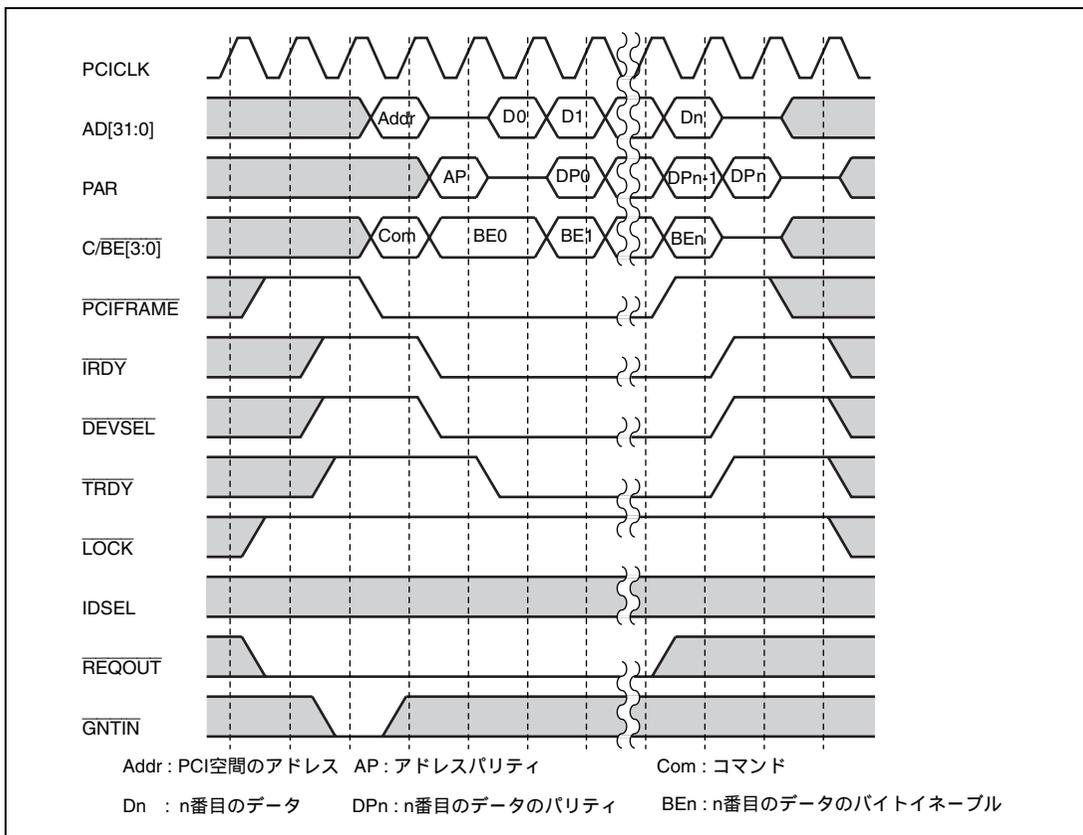


図 13.20 ノーマル時マスターリードサイクル (バースト)

(2) ターゲットリード/ライトサイクルのタイミング

PCIC は、外部マスタからのターゲットメモリリードアクセスに対して、PCIC 内部の FIFO に 8 ロングワードのデータが準備できるまでリトライで応答します。つまり初めてのターゲットメモリリードサイクルには必ずリトライで応答します。

また、PCIC に対するターゲットメモリライトアクセスがあった場合、ライトされたデータがローカルメモリに完全に書き込まれるまでは PCIC はリトライを返します。ターゲットメモリライトしたデータを直後にターゲットリードする場合、そのデータの内容は保証されます。

コンフィグレーション空間および I/O 空間に対するターゲットアクセスはシングル転送のみです。バーストアクセス要求があった場合には、1 つめの転送が終了した時点でディスコネクトします。なお、PCIC に対するターゲットアクセスでは、DEVSEL の応答速度は 2 クロック (Medium) に固定されています。

図 13.21 にノーマルモードでのターゲットシングルリードサイクル例を、図 13.22 にノーマルモードでのターゲットシングルライトサイクル例を、図 13.23 にホストモードでのターゲットバーストリードサイクル例を、図 13.24 にホストモードでのターゲットバーストサイクル例を示します。

13. PCI コントローラ (PCIC)

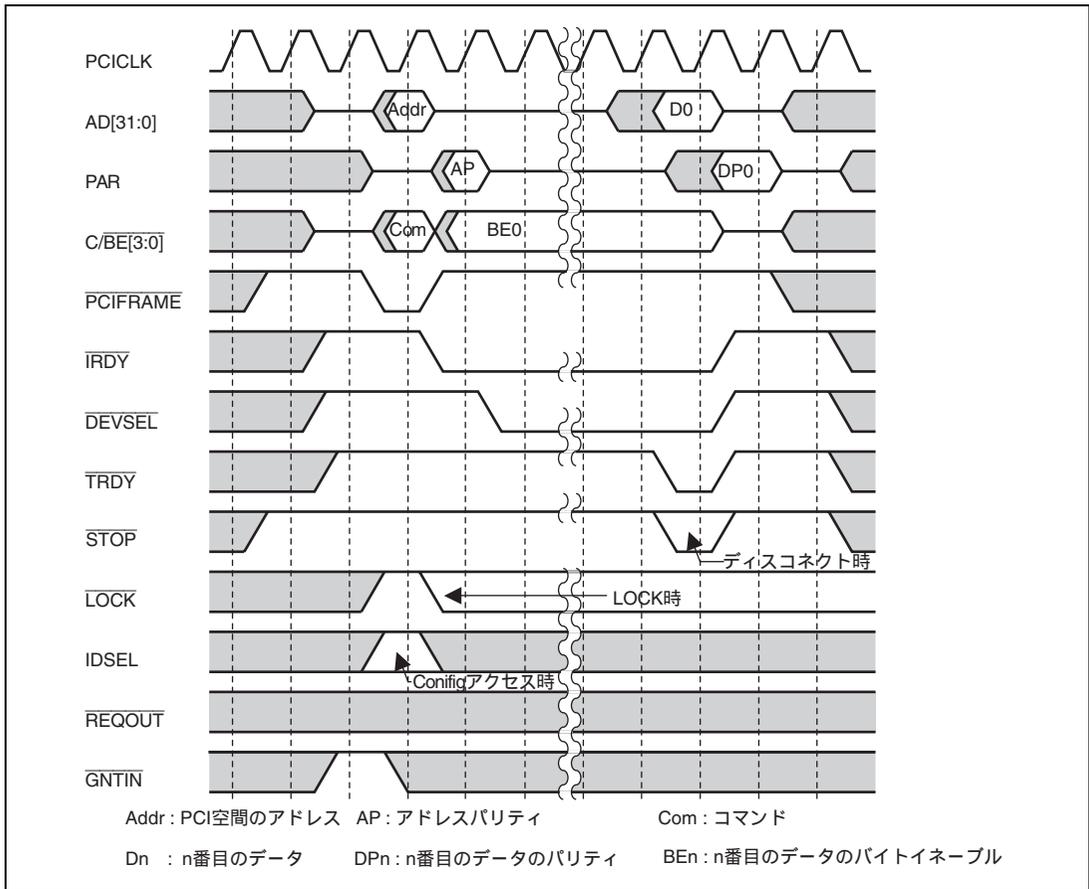


図 13.21 ノーマル時ターゲットリードサイクル (シングル)

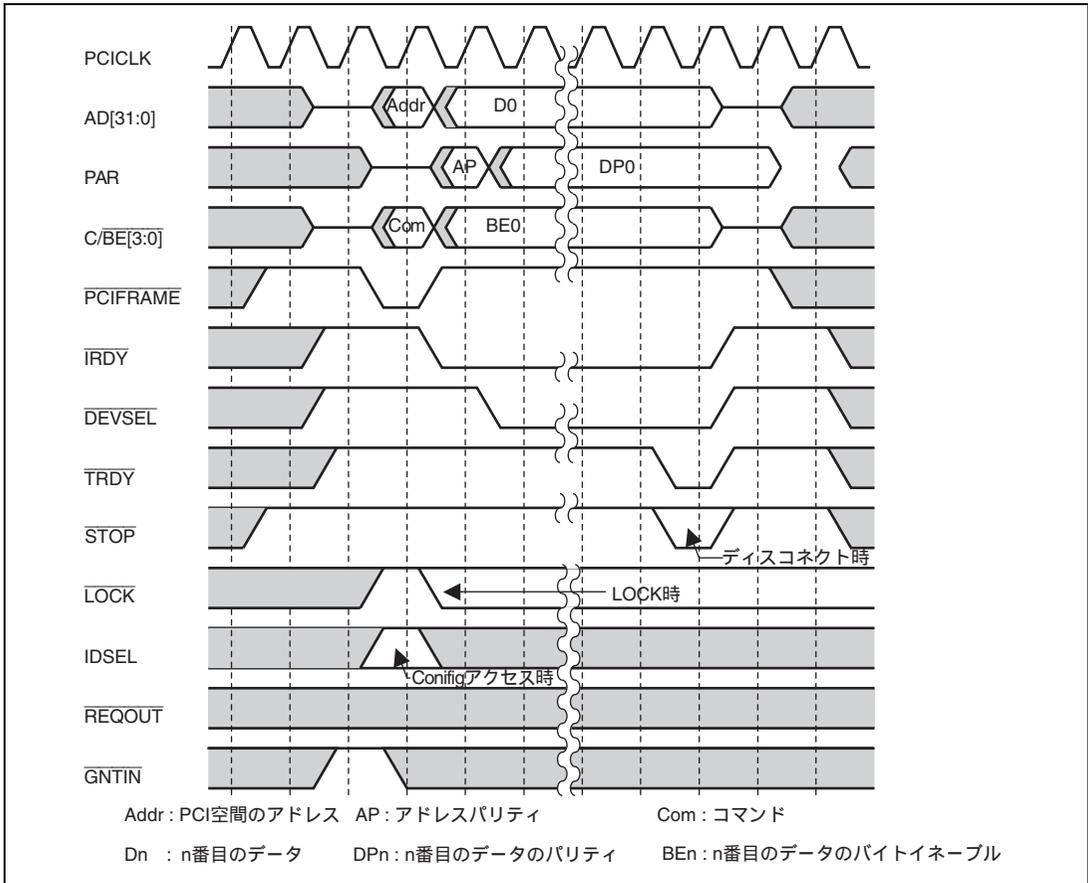


図 13.22 ノーマル時ターゲットライトサイクル (シングル)

13. PCI コントローラ (PCIC)

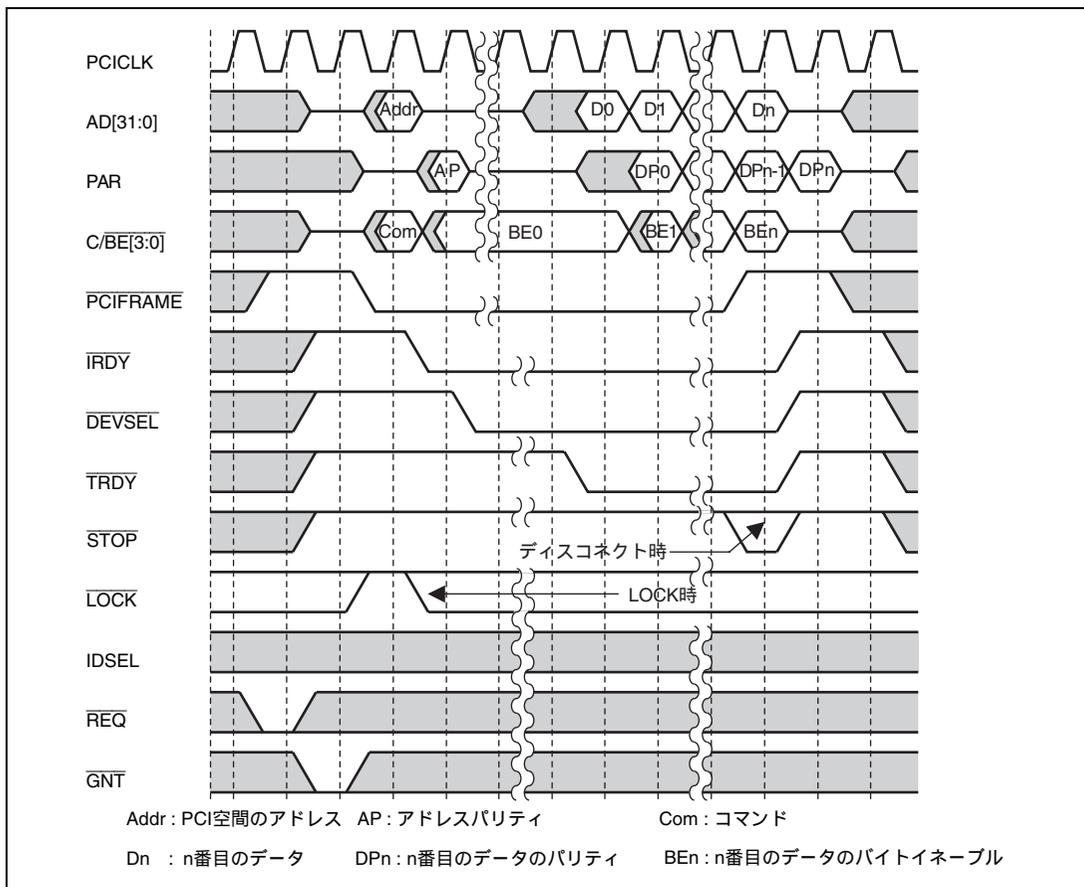


図 13.23 ホスト時ターゲットメモリアドレスリードサイクル (バースト)

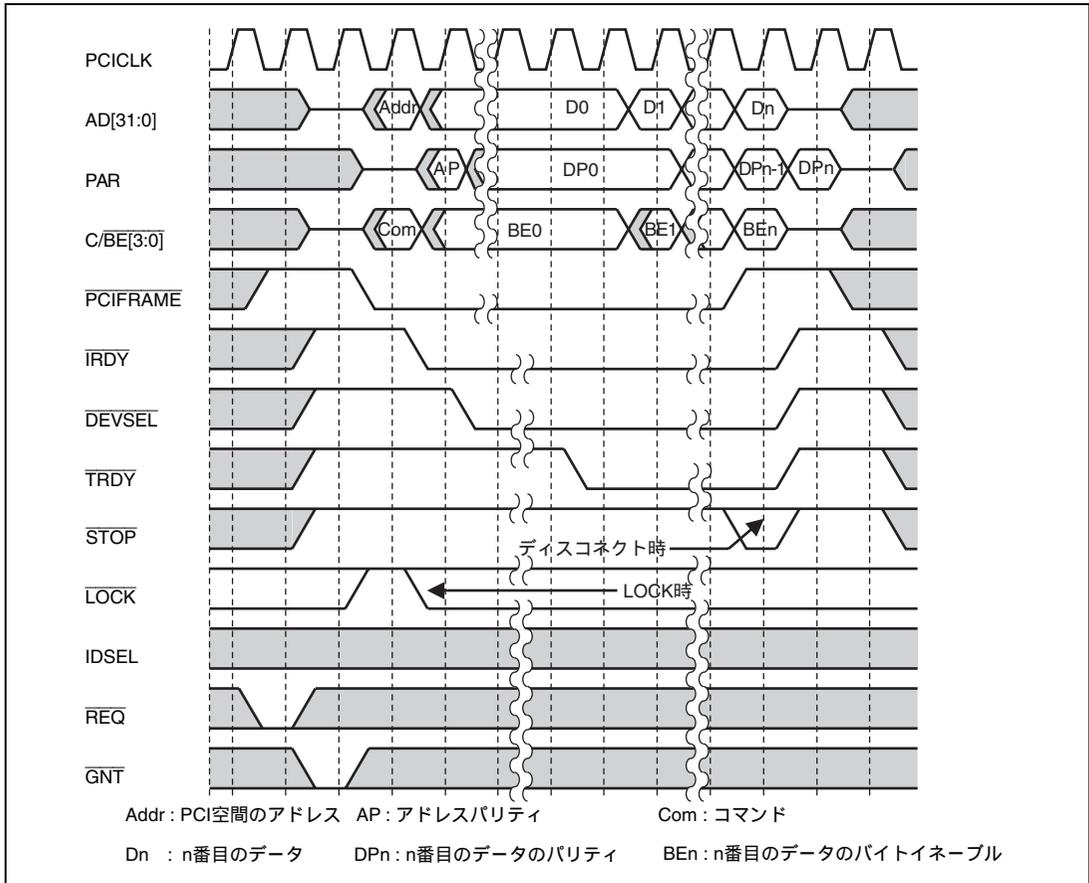


図 13.24 ホスト時ターゲットメモリアイトサイクル (バースト)

13. PCI コントローラ (PCIC)

(3) アドレス/データステッピングのタイミング

PCIC は、PCICMD レジスタの SC ビットを 1 にすることにより、PCIC が AD バスをドライブする際、1 クロックのウェイト (ステッピング) を挿入することができます。これにより、PCIC は 2 クロックかけて AD バスをドライブすることになります。PCI バスの負荷が重く、1 クロックで AD バスが規定の論理レベルに達しない環境で使用します。また、PCIC がホストモード時、コンフィグレーション転送を発行する際にも、使用することを推奨します。

図 13.25 にアドレスステッピングありの場合のバーストメモリライトサイクル例を、図 13.26 にアドレスステッピングありの場合のターゲットバーストリードサイクル例を示します。

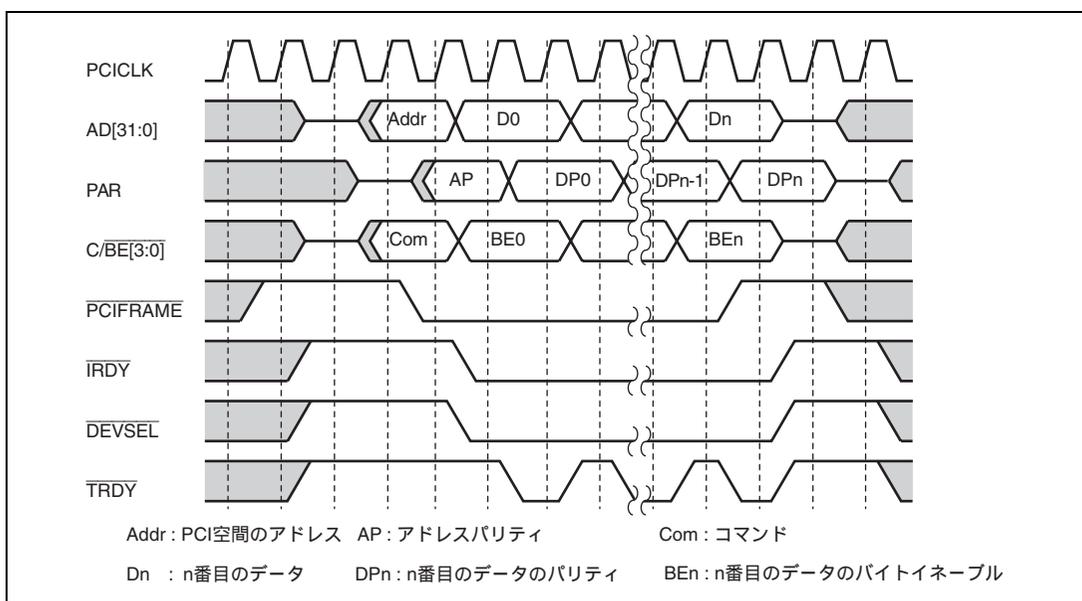


図 13.25 ホスト時マスターライトサイクル (バースト、ステッピングあり)

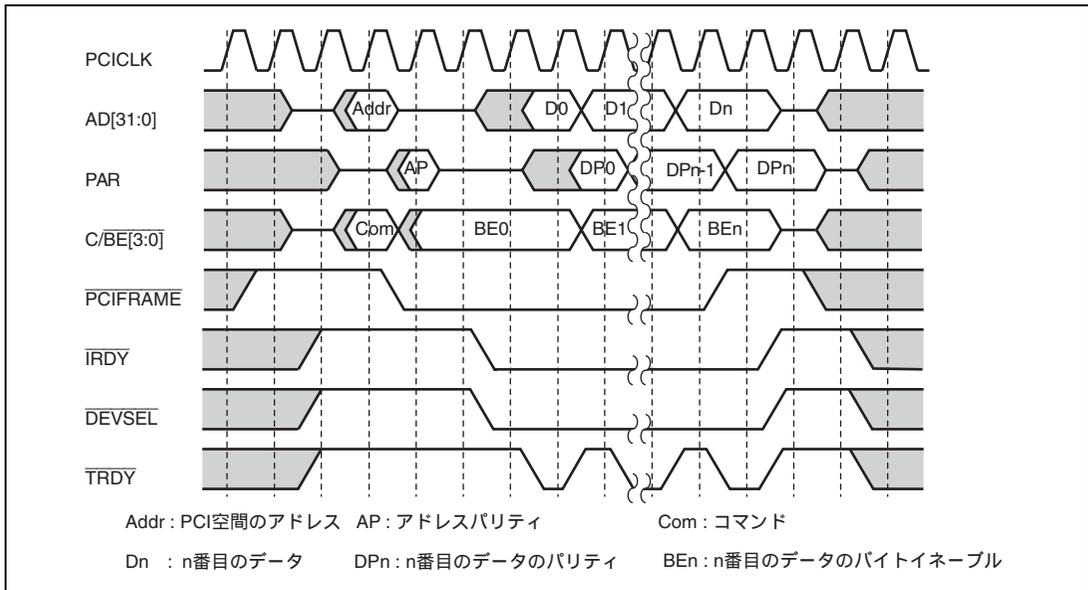


図 13.26 ホスト時ターゲットメモリアドレス読み取りサイクル (バースト、ステッピングあり)

13. PCI コントローラ (PCIC)

14. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

14.1 特長

- チャンネル数：12チャンネル (うちチャンネル0~3は外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
外部リクエスト (チャンネル0~3)、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
SCIF0~SCIF5、HAC0、HAC1、HSPI、SIOF、SSIO、SSII、FLCTL、MMCIF
- バスモード：
サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能、
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- DMA転送終了通知信号：DACKは独立にアクティブレベルを設定可能

DMAC のブロック図を図 14.1 に示します。

14. ダイレクトメモリアクセスコントローラ (DMAC)

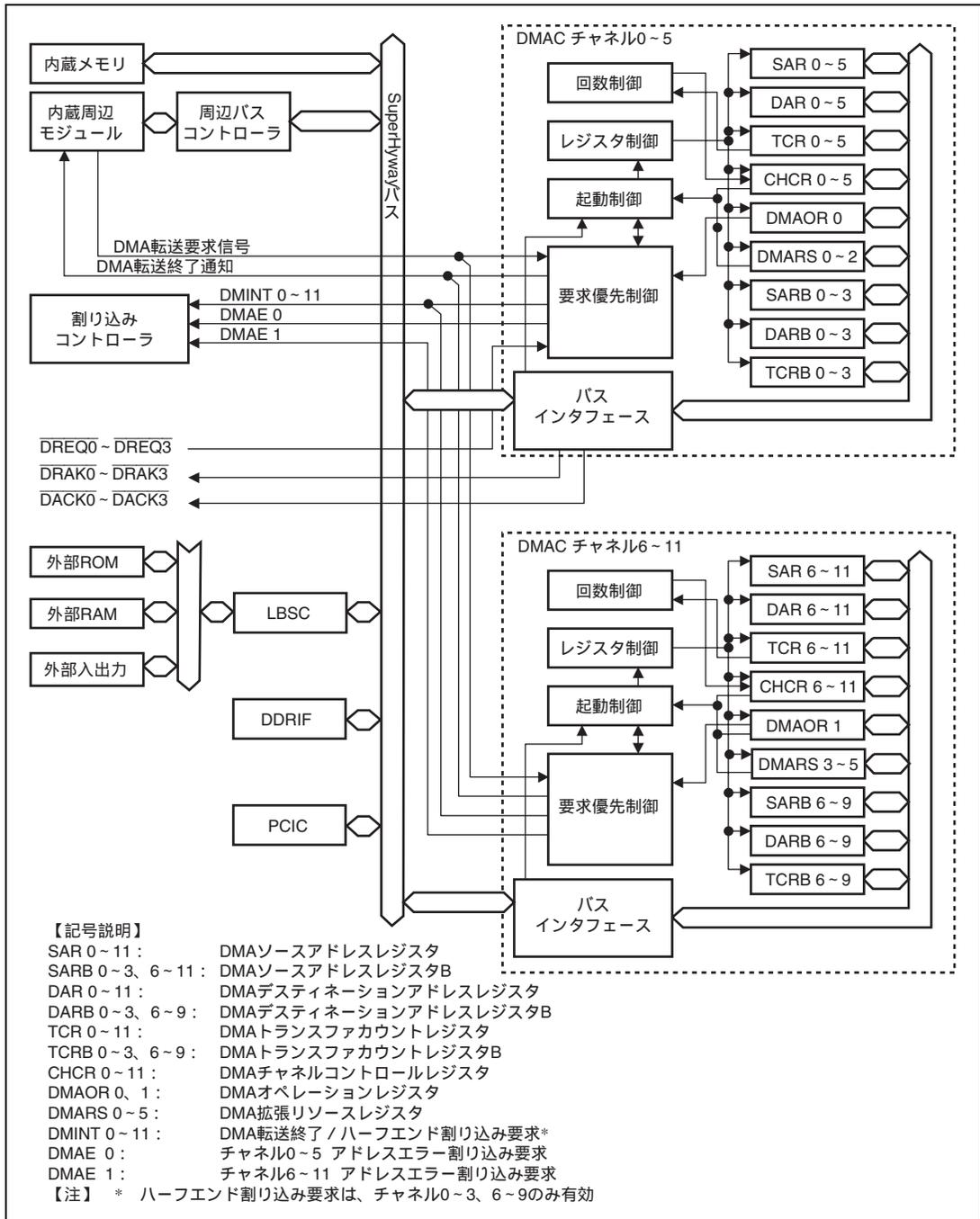


図 14.1 DMAC ブロック図

14.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 14.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子 (チャンネル 0 ~ 3) を持ちます。

表 14.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}^{*1}$	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{\text{DRAK0}}^{*2*3}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{\text{DACK0}}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストロープを出力
1	DMA 転送要求	$\overline{\text{DREQ1}}^{*1}$	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{\text{DRAK1}}^{*2*3}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{\text{DACK1}}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロープを出力
2	DMA 転送要求	$\overline{\text{DREQ2}}^{*1}$	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{\text{DRAK2}}^{*2*3}$	出力	チャンネル 2 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{\text{DACK2}}^{*2}$	出力	チャンネル 2 から外部デバイスへの DMA 転送要求に対するストロープを出力
3	DMA 転送要求	$\overline{\text{DREQ3}}^{*1}$	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{\text{DRAK3}}^{*2*3}$	出力	チャンネル 3 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{\text{DACK3}}^{*2}$	出力	チャンネル 3 から外部デバイスへの DMA 転送要求に対するストロープを出力

【注】 *1 初期値はローレベル検出です。

*2 初期値はローアクティブです。

*3 $\overline{\text{DRAK0}} \sim \overline{\text{DRAK3}}$ のアサートサイクルは 1CLKOUT サイクルです。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3 レジスタの説明

表 14.2 にレジスタ構成を示します。

表 14.2 レジスタ構成 (1)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*3	同期 クロック
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FC808020	H'1C808020	32	Bck
	DMA ディスティネーションアドレスレジスタ 0	DAR0	R/W	H'FC808024	H'1C808024	32	Bck
	DMA トランスファカウントレジスタ 0	TCR0	R/W	H'FC808028	H'1C808028	32	Bck
	DMA チャネルコントロールレジスタ 0	CHCR0	R/W*1	H'FC80802C	H'1C80802C	32	Bck、 Pck*4
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FC808030	H'1C808030	32	Bck
	DMA ディスティネーションアドレスレジスタ 1	DAR1	R/W	H'FC808034	H'1C808034	32	Bck
	DMA トランスファカウントレジスタ 1	TCR1	R/W	H'FC808038	H'1C808038	32	Bck
	DMA チャネルコントロールレジスタ 1	CHCR1	R/W*1	H'FC80803C	H'1C80803C	32	Bck、 Pck*4
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FC808040	H'1C808040	32	Bck
	DMA ディスティネーションアドレスレジスタ 2	DAR2	R/W	H'FC808044	H'1C808044	32	Bck
	DMA トランスファカウントレジスタ 2	TCR2	R/W	H'FC808048	H'1C808048	32	Bck
	DMA チャネルコントロールレジスタ 2	CHCR2	R/W*1	H'FC80804C	H'1C80804C	32	Bck、 Pck*4
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FC808050	H'1C808050	32	Bck
	DMA ディスティネーションアドレスレジスタ 3	DAR3	R/W	H'FC808054	H'1C808054	32	Bck
	DMA トランスファカウントレジスタ 3	TCR3	R/W	H'FC808058	H'1C808058	32	Bck
	DMA チャネルコントロールレジスタ 3	CHCR3	R/W*1	H'FC80805C	H'1C80805C	32	Bck、 Pck*4
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	R/W*2	H'FC808060	H'1C808060	16	Bck、 Pck*5

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*3	同期 クロック
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FC808070	H'1C808070	32	Bck
	DMA ディスティネーションアドレスレジスタ 4	DAR4	R/W	H'FC808074	H'1C808074	32	Bck
	DMA トランスファカウントレジスタ 4	TCR4	R/W	H'FC808078	H'1C808078	32	Bck
	DMA チャネルコントロールレジスタ 4	CHCR4	R/W*1	H'FC80807C	H'1C80807C	32	Bck、 Pck*4
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FC808080	H'1C808080	32	Bck
	DMA ディスティネーションアドレスレジスタ 5	DAR5	R/W	H'FC808084	H'1C808084	32	Bck
	DMA トランスファカウントレジスタ 5	TCR5	R/W	H'FC808088	H'1C808088	32	Bck
	DMA チャネルコントロールレジスタ 5	CHCR5	R/W*1	H'FC80808C	H'1C80808C	32	Bck、 Pck*4
0	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FC808120	H'1C808120	32	Bck
	DMA ディスティネーションアドレスレジスタ B0	DARB0	R/W	H'FC808124	H'1C808124	32	Bck
	DMA トランスファカウントレジスタ B0	TCRB0	R/W	H'FC808128	H'1C808128	32	Bck
1	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FC808130	H'1C808130	32	Bck
	DMA ディスティネーションアドレスレジスタ B1	DARB1	R/W	H'FC808134	H'1C808134	32	Bck
	DMA トランスファカウントレジスタ B1	TCRB1	R/W	H'FC808138	H'1C808138	32	Bck
2	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FC808140	H'1C808140	32	Bck
	DMA ディスティネーションアドレスレジスタ B2	DARB2	R/W	H'FC808144	H'1C808144	32	Bck
	DMA トランスファカウントレジスタ B2	TCRB2	R/W	H'FC808148	H'1C808148	32	Bck
3	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FC808150	H'1C808150	32	Bck
	DMA ディスティネーションアドレスレジスタ B3	DARB3	R/W	H'FC808154	H'1C808154	32	Bck
	DMA トランスファカウントレジスタ B3	TCRB3	R/W	H'FC808158	H'1C808158	32	Bck
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FC809000	H'1C809000	16	Pck
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FC809004	H'1C809004	16	Pck
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FC809008	H'1C809008	16	Pck

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*3	同期 クロック
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'FCC08020	H'1CC08020	32	Bck
	DMA ディスティネーションアドレスレジスタ 6	DAR6	R/W	H'FCC08024	H'1CC08024	32	Bck
	DMA トランスファカウントレジスタ 6	TCR6	R/W	H'FCC08028	H'1CC08028	32	Bck
	DMA チャネルコントロールレジスタ 6	CHCR6	R/W*1	H'FCC0802C	H'1CC0802C	32	Bck、 Pck*4
7	DMA ソースアドレスレジスタ 7	SAR7	R/W	H'FCC08030	H'1CC08030	32	Bck
	DMA ディスティネーションアドレスレジスタ 7	DAR7	R/W	H'FCC08034	H'1CC08034	32	Bck
	DMA トランスファカウントレジスタ 7	TCR7	R/W	H'FCC08038	H'1CC08038	32	Bck
	DMA チャネルコントロールレジスタ 7	CHCR7	R/W*1	H'FCC0803C	H'1CC0803C	32	Bck、 Pck*4
8	DMA ソースアドレスレジスタ 8	SAR8	R/W	H'FCC08040	H'1CC08040	32	Bck
	DMA ディスティネーションアドレスレジスタ 8	DAR8	R/W	H'FCC08044	H'1CC08044	32	Bck
	DMA トランスファカウントレジスタ 8	TCR8	R/W	H'FCC08048	H'1CC08048	32	Bck
	DMA チャネルコントロールレジスタ 8	CHCR8	R/W*1	H'FCC0804C	H'1CC0804C	32	Bck、 Pck*4
9	DMA ソースアドレスレジスタ 9	SAR9	R/W	H'FCC08050	H'1CC08050	32	Bck
	DMA ディスティネーションアドレスレジスタ 9	DAR9	R/W	H'FCC08054	H'1CC08054	32	Bck
	DMA トランスファカウントレジスタ 9	TCR9	R/W	H'FCC08058	H'1CC08058	32	Bck
	DMA チャネルコントロールレジスタ 9	CHCR9	R/W*1	H'FCC0805C	H'1CC0805C	32	Bck、 Pck*4
6~11 共通	DMA オペレーションレジスタ 1	DMAOR1	R/W*2	H'FCC08060	H'1CC08060	16	Bck、 Pck*5
10	DMA ソースアドレスレジスタ 10	SAR10	R/W	H'FCC08070	H'1CC08070	32	Bck
	DMA ディスティネーションアドレスレジスタ 10	DAR10	R/W	H'FCC08074	H'1CC08074	32	Bck
	DMA トランスファカウントレジスタ 10	TCR10	R/W	H'FCC08078	H'1CC08078	32	Bck
	DMA チャネルコントロールレジスタ 10	CHCR10	R/W*1	H'FCC0807C	H'1CC0807C	32	Bck、 Pck*4

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*3	同期 クロック
11	DMA ソースアドレスレジスタ 11	SAR11	R/W	H'FCC08080	H'1CC08080	32	Bck
	DMA ディスティネーションアドレスレジスタ 11	DAR11	R/W	H'FCC08084	H'1CC08084	32	Bck
	DMA トランスファカウントレジスタ 11	TCR11	R/W	H'FCC08088	H'1CC08088	32	Bck
	DMA チャネルコントロールレジスタ 11	CHCR11	R/W*1	H'FCC0808C	H'1CC0808C	32	Bck、 Pck*4
6	DMA ソースアドレスレジスタ B6	SARB6	R/W	H'FCC08120	H'1CC08120	32	Bck
	DMA ディスティネーションアドレスレジスタ B6	DARB6	R/W	H'FCC08124	H'1CC08124	32	Bck
	DMA トランスファカウントレジスタ B6	TCRB6	R/W	H'FCC08128	H'1CC08128	32	Bck
7	DMA ソースアドレスレジスタ B7	SARB7	R/W	H'FCC08130	H'1CC08130	32	Bck
	DMA ディスティネーションアドレスレジスタ B7	DARB7	R/W	H'FCC08134	H'1CC08134	32	Bck
	DMA トランスファカウントレジスタ B7	TCRB7	R/W	H'FCC08138	H'1CC08138	32	Bck
8	DMA ソースアドレスレジスタ B8	SARB8	R/W	H'FCC08140	H'1CC08140	32	Bck
	DMA ディスティネーションアドレスレジスタ B8	DARB8	R/W	H'FCC08144	H'1CC08144	32	Bck
	DMA トランスファカウントレジスタ B8	TCRB8	R/W	H'FCC08148	H'1CC08148	32	Bck
9	DMA ソースアドレスレジスタ B9	SARB9	R/W	H'FCC08150	H'1CC08150	32	Bck
	DMA ディスティネーションアドレスレジスタ B9	DARB9	R/W	H'FCC08154	H'1CC08154	32	Bck
	DMA トランスファカウントレジスタ B9	TCRB9	R/W	H'FCC08158	H'1CC08158	32	Bck
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'FCC09000	H'1CC09000	16	Pck
8/9	DMA 拡張リソースセクタ 4	DMARS4	R/W	H'FCC09004	H'1CC09004	16	Pck
10/11	DMA 拡張リソースセクタ 5	DMARS5	R/W	H'FCC09008	H'1CC09008	16	Pck

- 【注】 *1 CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- *2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- *3 指定アクセスサイズ以外のアクセスは行わないでください。
- *4 CHCR の HE、TE ビットの同期クロックは Bck で、CHCR の HE、TE ビット以外のビットの同期クロックは Pck です。
- *5 DMAOR の AE、NMIF、DME ビットの同期クロックは Bck で、CMS、PR ビットは Pck 同期クロックです。

14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI に よる	マニュアルリセット WDT /多重例外に よる	スリープ SLEEP 命令に よる	ディープスリープ SLEEP 命令に よる (DSLPL=1)	モジュールスタンバイ
0	DMA ソースアドレスレジスタ 0	SAR0	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 0	DAR0	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 0	TCR0	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 0	CHCR0	H'40000000	H'40000000	保持	保持	保持
1	DMA ソースアドレスレジスタ 1	SAR1	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 1	DAR1	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 1	TCR1	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 1	CHCR1	H'40000000	H'40000000	保持	保持	保持
2	DMA ソースアドレスレジスタ 2	SAR2	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 2	DAR2	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 2	TCR2	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 2	CHCR2	H'40000000	H'40000000	保持	保持	保持
3	DMA ソースアドレスレジスタ 3	SAR3	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 3	DAR3	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 3	TCR3	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 3	CHCR3	H'40000000	H'40000000	保持	保持	保持

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名称	略称	パワーオン リセット PRESET 端子/WDT/ H-UDI に よる	マニュアル リセット WDT /多重例外に よる	スリープ SLEEP 命令に よる	ディープ スリープ SLEEP 命令に よる (DSLPL=1)	モジュール スタンバイ
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	H'0000	H'0000	保持	保持	保持
4	DMA ソースアドレスレジスタ 4	SAR4	不定	不定	保持	保持	保持
	DMA ディスティネーション アドレスレジスタ 4	DAR4	不定	不定	保持	保持	保持
	DMA トランスファカウン トレジスタ 4	TCR4	不定	不定	保持	保持	保持
	DMA チャンネルコントロー ルレジスタ 4	CHCR4	H'40000000	H'40000000	保持	保持	保持
5	DMA ソースアドレスレジ スタ 5	SAR5	不定	不定	保持	保持	保持
	DMA ディスティネーション アドレスレジスタ 5	DAR5	不定	不定	保持	保持	保持
	DMA トランスファカウン トレジスタ 5	TCR5	不定	不定	保持	保持	保持
	DMA チャンネルコントロー ルレジスタ 5	CHCR5	H'40000000	H'40000000	保持	保持	保持
0	DMA ソースアドレスレジ スタ B0	SARB0	不定	不定	保持	保持	保持
	DMA ディスティネーション アドレスレジスタ B0	DARB0	不定	不定	保持	保持	保持
	DMA トランスファカウン トレジスタ B0	TCRB0	不定	不定	保持	保持	保持
1	DMA ソースアドレスレジ スタ B1	SARB1	不定	不定	保持	保持	保持
	DMA ディスティネーション アドレスレジスタ B1	DARB1	不定	不定	保持	保持	保持
	DMA トランスファカウン トレジスタ B1	TCRB1	不定	不定	保持	保持	保持

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI に よる	マニュアルリセット WDT /多重例外に よる	スリープ SLEEP 命令に よる	ディープスリープ SLEEP 命令に よる (DSLPL=1)	モジュールスタンバイ
2	DMA ソースアドレスレジスタ B2	SARB2	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B2	DARB2	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B2	TCRB2	不定	不定	保持	保持	保持
3	DMA ソースアドレスレジスタ B3	SARB3	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B3	DARB3	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B3	TCRB3	不定	不定	保持	保持	保持
0/1	DMA 拡張リソースセクタ 0	DMARS0	H'0000	H'0000	保持	保持	保持
2/3	DMA 拡張リソースセクタ 1	DMARS1	H'0000	H'0000	保持	保持	保持
4/5	DMA 拡張リソースセクタ 2	DMARS2	H'0000	H'0000	保持	保持	保持
6	DMA ソースアドレスレジスタ 6	SAR6	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 6	DAR6	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 6	TCR6	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 6	CHCR6	H'40000000	H'40000000	保持	保持	保持
7	DMA ソースアドレスレジスタ 7	SAR7	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 7	DAR7	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 7	TCR7	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 7	CHCR7	H'40000000	H'40000000	保持	保持	保持

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI に よる	マニュアルリセット WDT /多重例外に よる	スリープ SLEEP 命令に よる	ディープスリープ SLEEP 命令に よる (DSLPL=1)	モジュールスタンバイ
8	DMA ソースアドレスレジスタ 8	SAR8	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 8	DAR8	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 8	TCR8	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 8	CHCR8	H'40000000	H'40000000	保持	保持	保持
9	DMA ソースアドレスレジスタ 9	SAR9	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 9	DAR9	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 9	TCR9	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 9	CHCR9	H'40000000	H'40000000	保持	保持	保持
6~11 共通	DMA オペレーションレジスタ 1	DMAOR1	H'0000	H'0000	保持	保持	保持
10	DMA ソースアドレスレジスタ 10	SAR10	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 10	DAR10	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 10	TCR10	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 10	CHCR10	H'40000000	H'40000000	保持	保持	保持
11	DMA ソースアドレスレジスタ 11	SAR11	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ 11	DAR11	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ 11	TCR11	不定	不定	保持	保持	保持
	DMA チャンネルコントロールレジスタ 11	CHCR11	H'40000000	H'40000000	保持	保持	保持

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI に よる	マニュアルリセット WDT /多重例外に よる	スリープ SLEEP 命令に よる	ディープスリープ SLEEP 命令に よる (DSLPL=1)	モジュールスタンバイ
6	DMA ソースアドレスレジスタ B6	SARB6	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B6	DARB6	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B6	TCRB6	不定	不定	保持	保持	保持
7	DMA ソースアドレスレジスタ B7	SARB7	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B7	DARB7	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B7	TCRB7	不定	不定	保持	保持	保持
8	DMA ソースアドレスレジスタ B8	SARB8	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B8	DARB8	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B8	TCRB8	不定	不定	保持	保持	保持
9	DMA ソースアドレスレジスタ B9	SARB9	不定	不定	保持	保持	保持
	DMA ディスティネーションアドレスレジスタ B9	DARB9	不定	不定	保持	保持	保持
	DMA トランスファカウンタレジスタ B9	TCRB9	不定	不定	保持	保持	保持
6/7	DMA 拡張リソースセクタ 3	DMARS3	H'0000	H'0000	保持	保持	保持
8/9	DMA 拡張リソースセクタ 4	DMARS4	H'0000	H'0000	保持	保持	保持
10/11	DMA 拡張リソースセクタ 5	DMARS5	H'0000	H'0000	保持	保持	保持

14.3.1 DMA ソースアドレスレジスタ 0~11 (SAR0~11)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

29 ビットアドレスモード使用時以下のようにソースアドレスを変更して出力します。

- ビット31~29が111以外、かつエリア0~6の場合、上位3ビットを000として出力します。
- ビット31~29が111以外、かつエリア7の場合、上位3ビットを111として出力します。
- ビット31~29が111の場合、書き込まれたアドレスそのまま出力します。

32 ビットアドレスモード使用時には書き込まれたアドレスをそのまま出力します。

SAR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14.3.2 DMA ソースアドレスレジスタ B0~3、6~9 (SARB0~3、SARB6~9)

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SARB の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3.3 DMA デスティネーションアドレスレジスタ 0~11 (DAR0~11)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

29 ビットアドレスモード使用時以下のようにデスティネーションアドレスを変更して出力します。

- ビット31~29が111以外、かつエリア0~6の場合、上位3ビットを000として出力します。
- ビット31~29が111以外、かつエリア7の場合、上位3ビットを111として出力します。
- ビット31~29が111の場合、書き込まれたアドレスそのまま出力します。

32 ビットアドレスモード使用時には書き込まれたアドレスをそのまま出力します。

DAR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14.3.4 DMA デスティネーションアドレスレジスタ B0~3、6~9 (DARB0~3、DARB6~9)

DARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DARB の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14.3.5 DMA トランスファカウントレジスタ 0~11 (TCR0~11)

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—								
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14.3.6 DMA トランスファカウントレジスタ B0~3、6~9 (TCRB0~3、TCRB6~9)

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードではリロードする転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、ビット 7~0 は転送回数カウンタとして動作し、値が 0 になると SAR / DAR が更新され、TCRB のビット 23~16 がビット 7~0 にロードされます。ビット 23~16 はリロードするまでの転送回数を設定してください。リロードモード使用時、設定可能な TCRB のビット 23~16 とビット 7~0 の値は H'FF (255 回) ~ H'01 (1 回) で、ビット 23~16 とビット 7~0 は同じ値を設定し、ビット 15~8 は H'00 を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

TCRB のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCRB の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—								
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3.7 DMA チャンネルコントロールレジスタ 0~11 (CHCR0~11)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			—	DO	RL	—	TS2	HE	HIE	AM	AL
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * R/(W) : フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
30	LCKN	1	R/W	バスロック信号抑止ビット SuperHyway バス読み出し命令時に SuperHyway バスロック信号の出力 / 抑止を設定します。本ビットはサイクルスチールモード実行時に有効となります。バーストモード実行時には 0 を設定してください。 SuperHyway バスロック信号を抑止することにより、DMAC 以外のバスマスタのバス要求が受け付けられません。これにより、システム全体のバス使用効率を上げることが可能です。 本ビットはチャンネル 0~5 でのみ 0 および 1 の設定が可能です。 チャンネル 6~11 は 0 に設定禁止です。書き込む場合は常に 1 にしてください。 0 : バスロック信号出力許可 1 : バスロック信号出力抑止
29~28	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
27~25	RPT[2:0]	000	R/W	DMA 設定更新指定ビット 本ビットは CHCR0~3、CHCR6~9 でのみ有効となります。 000 : 通常モード 001 : リピートモード : SAR / DAR / TCR をリピートします 010 : リピートモード : DAR / TCR をリピートします 011 : リピートモード : SAR / TCR をリピートします 100 : リザーブ (設定禁止) 101 : リロードモード : SAR / DAR をリロードします 110 : リロードモード : DAR をリロードします 111 : リロードモード : SAR をリロードします

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
24	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR0~3 でのみ有効です。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	RL	0	R/W	リクエストチェックレベルビット DRAK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0~3 でのみ有効です。DRAK のアクティブ方向を変更した場合、外部端子に反映するまでにレジスタ書き込み完了後、外部バスクロックで 1 サイクルかかります。 0 : DRAK をローアクティブ出力 1 : DRAK をハイアクティブ出力
21	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
20	TS2	0	R/W	DMA 転送サイズ指定ビット TS[1:0]と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、アクセスサイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。 TS[2:0] 000 : バイト単位 001 : ワード (2 バイト) 単位 010 : ロングワード (4 バイト) 単位 011 : 16 バイト単位 100 : 32 バイト単位 上記以外 : 設定禁止

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。</p> <ul style="list-style-type: none"> • 偶数回のときは、(転送前にセットした TCR) / 2 で HE は 1 にセット • 奇数回のときは、(転送前にセットした TCR - 1) / 2 で HE は 1 にセット • 最大転送回数のときは、8,388,608 回 (H'00800000) で HE は 1 にセット <p>転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。本ビットは CHCR0~3、CHCR6~9 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、 TCR > (転送前にセットした TCR) / 2 【クリア条件】 HE ビットの 1 読み出し後、0 書き込み 1 : TCR = (転送前にセットした TCR) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。TCR の値が 1/2 の転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。</p> <p>リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR0~3、CHCR6~9 でのみ有効となります。</p> <p>0 : ハーフエンド割り込みを禁止 1 : ハーフエンド割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。DACK の出力は LBSC 空間のみ出力可能です。本ビットは CHCR0~3 でのみ有効です。</p> <p>0 : 読み出しサイクルで DACK を出力 (DMA 転送元が LBSC 空間であるときのみ DACK を出力します) 1 : 書き込みサイクルで DACK を出力 (DMA 転送先が LBSC 空間であるときのみ DACK を出力します)</p>

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0~3 でのみ有効です。DACK のアクティブ方向を変更した場合、外部端子に反映するまでにレジスタ書き込み完了後、外部バスクロックで 2 サイクルかかります。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード 1、0</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスは増加</p> <p>バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : デスティネーションアドレスは減少</p> <p>バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p> <p>どの設定 (00/01/10) でもバス幅より大きい転送サイズを指定した場合は、複数のバスサイクルに分割され、分割されたバスサイクルのアドレスは増加します。</p>

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード 1、0</p> <p>DMA 転送元のアドレスの増減を指定します。</p> <p>00：ソースアドレスは固定</p> <p>01：ソースアドレスは増加</p> <p> バイト単位転送時は + 1</p> <p> ワード単位転送時は + 2</p> <p> ロングワード単位転送時は + 4</p> <p> 16 バイト単位転送時は + 16</p> <p> 32 バイト単位転送時は + 32</p> <p>10：ソースアドレスは減少</p> <p> バイト単位転送時は - 1</p> <p> ワード単位転送時は - 2</p> <p> ロングワード単位転送時は - 4</p> <p> 16 / 32 バイト単位転送時は設定禁止</p> <p>11：設定禁止</p> <p>どの設定 (00/01/10) でもバス幅より大きい転送サイズを指定した場合は、複数のバスサイクルに分割され、分割されたバスサイクルのアドレスは増加します。</p>
11～8	RS[3:0]	0000	R/W	<p>リソースセレクト 3～0</p> <p>転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000：外部リクエスト、デュアルアドレスモード</p> <p>0100：オートリクエスト</p> <p>1000：内蔵周辺モジュールリクエスト</p> <p>DMA 拡張リソースセクタ (DMARS0～5) で選択</p> <p>上記以外：設定禁止</p> <p>【注】外部リクエストの指定は CHCR0～3 でのみ有効です。 CHCR4～11 では外部リクエスト指定は設定禁止です。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは CHCR0～3 でのみ有効です。またチャンネル 0～3 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00：ローレベル検出</p> <p>01：立ち下がりエッジ検出</p> <p>10：ハイレベル検出</p> <p>11：立ち上がりエッジ検出</p>

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0: サイクルスチールモード</p> <p>1: バーストモード</p> <p>内蔵周辺モジュールリクエストを設定したときはサイクルスチールモードとしてください。本ビットはチャンネル 0~5 でのみ 0 および 1 の設定が可能です。</p> <p>チャンネル 6~11 は 1 に設定禁止です。書き込む場合は常に 0 にしてください。</p>
4, 3	TS[1:0]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS2 (ビット 20) の説明を参照ください。</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わった時に、CPU に対し割り込み (DMINT) を要求します。最終転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。</p> <p>0: 割り込み要求を禁止</p> <p>1: 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0: DMA 転送中または DMA 転送の転送中断</p> <p>【クリア条件】TE ビットの 1 読み出し後、0 書き込み</p> <p>1: TCR = 0 (DMA 最終転送中または DMA 転送終了)</p>

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、内蔵周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>内蔵周辺モジュールリクエスト設定時に、DE ビットを 0 クリアし転送を中断する場合は、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.8 DMA オペレーションレジスタ 0、1 (DMAOR0、DMAOR1)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DMAOR0 はチャンネル 0 ~ 5 の共通レジスタ、DMAOR1 はチャンネル 6 ~ 11 の共通レジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMS[1:0]	—	—	PR[1:0]	—	—	—	—	—	—	—	AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト 1、0 サイクルスチールモード時に通常モードとインタミットモードを選択します。 インタミットモードを有効にするためには、DMAOR0 に対応する全チャンネル (チャンネル 0 ~ 5)、または DMAOR1 に対応する全チャンネル (チャンネル 6 ~ 11) のバスモードがサイクルスチールモードであることが必要です。 00 : 通常モード 01 : 設定禁止 10 : インタミットモード 16 外部バスクロック 16 クロック待った後に 1 回 DMA 転送を実行 11 : インタミットモード 64 外部バスクロック 64 クロック待った後に 1 回 DMA 転送を実行 詳細は 14.4.3 (2) (a) サイクルスチールモードのインタミットモード 16、インタミットモード 64 を参照ください。
11、10	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
9, 8	PR[1:0]	00	R/W	<p>プライオリティモード 1、0</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5 (DMAOR0) CH6 > CH7 > CH8 > CH9 > CH10 > CH11 (DMAOR1)</p> <p>01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5 (DMAOR0) CH6 > CH8 > CH9 > CH7 > CH10 > CH11 (DMAOR1)</p> <p>10 : 設定禁止</p> <p>11 : CH0 ~ CH5 のラウンドロビンモード (DMAOR0) CH6 ~ CH11 のラウンドロビンモード (DMAOR1)</p> <p>ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャンネル (チャンネル 0 ~ 5) でサイクルスチールモードとバーストモードの混在はできません。DMAOR1 に対応する全チャンネル (チャンネル 6 ~ 11) はサイクルスチールモードの通常モード 2 (CHCR.LCKN=1、CHCR.TB=0) のみ設定可能です。</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラーが発生したことを示すフラグです。</p> <p>本ビットは、以下の条件でセットされます。</p> <p>SAR または DAR に設定された値が転送サイズ境界と不一致の場合 転送元または転送先がアドレスマップ上の undefine 空間の場合 転送元または転送先がモジュールストップ中の場合</p> <p>DMAOR0 の AE ビットがセットされると、DMAOR0 に対応するチャンネル (チャンネル 0 ~ 5) の CHCR0 ~ 5 の DE ビットと DMAOR0 の DME ビットを 1 にセットしても、チャンネル 0 ~ 5 の DMA 転送は許可されません。</p> <p>同様に DMAOR1 の AE ビットがセットされると、DMAOR1 に対応するチャンネルチャンネル 6 ~ 11 の CHCR6 ~ 11 の DE ビットと DMAOR1 の DME ビットを 1 にセットしても、チャンネル 6 ~ 11 の DMA 転送は許可されません。</p> <p>0 : DMAC によるアドレスエラーなし</p> <p>【クリア条件】 AE ビットの 1 読み出し後、0 書き込み</p> <p>1 : DMA 転送中にアドレスエラー発生</p>

14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、DMA 転送は停止します。NMI 割り込み復帰後は、全チャンネルの再設定をした後、転送を開始してください。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし</p> <p>【クリア条件】 NMIF ビットの 1 読み出し後、0 書き込み</p> <p>1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>DRMOR0 に対応する全チャンネル (チャンネル 0~5)、DRMOR1 に対応する全チャンネル (チャンネル 6~11) の DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットとチャンネルに対応する DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットを 0 にクリアすると DRMOR0 に対応する全チャンネル (チャンネル 0~5)、DRMOR1 に対応する全チャンネル (チャンネル 6~11) の DMA 転送が中断されます。</p> <p>内蔵周辺モジュールリクエスト設定時に、DME ビットを 0 クリアし転送を中断する場合は、DMAOR に対応する全チャンネルの周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : チャンネル 0~5 の DMA 転送を禁止 (DRMOR0) チャンネル 6~11 の DMA 転送を禁止 (DRMOR1)</p> <p>1 : チャンネル 0~5 の DMA 転送を許可 (DRMOR0) チャンネル 6~11 の DMA 転送を許可 (DRMOR1)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.3.9 DMA 拡張リソースセクタ 0~5 (DMARS0~5)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5、DMARS3 はチャンネル 6 および 7、DMARS4 はチャンネル 8 および 9、DMARS5 はチャンネル 10 および 11、の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0~SCIF5、HAC0、HAC1、HSPI、SIOF、SSI0、SSI1、FLCTL、MMCIF の転送要求を設定できます。

表 14.3 以外の MID / RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR レジスタのリソースセレクトビット (RS3~0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

• DMARS0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch1MID						Ch1RID		Ch0MID						Ch0RID	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch3MID						Ch3RID		Ch2MID						Ch2RID	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch5MID						Ch5RID		Ch4MID						Ch4RID	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS3

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch7MID						Ch7RID		Ch6MID						Ch6RID	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS4

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch9MID						Ch9RID		Ch8MID						Ch8RID	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14. ダイレクトメモリアクセスコントローラ (DMAC)

- DMARS5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ch11MID						Ch11RID		Ch10MID						Ch10RID	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS0 の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C0RID0	0	R/W	

14. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS1 の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C2RID0	0	R/W	

• DMARS2 の設定

ビット	ビット名	初期値	R/W	説明
15	C5MID5	0	R/W	DMA チャンネル 5 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C5MID4	0	R/W	
13	C5MID3	0	R/W	
12	C5MID2	0	R/W	
11	C5MID1	0	R/W	
10	C5MID0	0	R/W	
9	C5RID1	0	R/W	DMA チャンネル 5 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C5RID0	0	R/W	
7	C4MID5	0	R/W	DMA チャンネル 4 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C4MID4	0	R/W	
5	C4MID3	0	R/W	
4	C4MID2	0	R/W	
3	C4MID1	0	R/W	
2	C4MID0	0	R/W	
1	C4RID1	0	R/W	DMA チャンネル 4 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C4RID0	0	R/W	

14. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS3 の設定

ビット	ビット名	初期値	R/W	説明
15	C7MID5	0	R/W	DMA チャンネル 7 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C7MID4	0	R/W	
13	C7MID3	0	R/W	
12	C7MID2	0	R/W	
11	C7MID1	0	R/W	
10	C7MID0	0	R/W	
9	C7RID1	0	R/W	DMA チャンネル 7 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C7RID0	0	R/W	
7	C6MID5	0	R/W	DMA チャンネル 6 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C6MID4	0	R/W	
5	C6MID3	0	R/W	
4	C6MID2	0	R/W	
3	C6MID1	0	R/W	
2	C6MID0	0	R/W	
1	C6RID1	0	R/W	DMA チャンネル 6 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C6RID0	0	R/W	

• DMARS4 の設定

ビット	ビット名	初期値	R/W	説明
15	C9MID5	0	R/W	DMA チャンネル 9 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C9MID4	0	R/W	
13	C9MID3	0	R/W	
12	C9MID2	0	R/W	
11	C9MID1	0	R/W	
10	C9MID0	0	R/W	
9	C9RID1	0	R/W	DMA チャンネル 9 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C9RID0	0	R/W	
7	C8MID5	0	R/W	DMA チャンネル 8 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C8MID4	0	R/W	
5	C8MID3	0	R/W	
4	C8MID2	0	R/W	
3	C8MID1	0	R/W	
2	C8MID0	0	R/W	
1	C8RID1	0	R/W	DMA チャンネル 8 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C8RID0	0	R/W	

14. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS5 の設定

ビット	ビット名	初期値	R/W	説明
15	C11MID5	0	R/W	DMA チャンネル 11 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
14	C11MID4	0	R/W	
13	C11MID3	0	R/W	
12	C11MID2	0	R/W	
11	C11MID1	0	R/W	
10	C11MID0	0	R/W	
9	C11RID1	0	R/W	DMA チャンネル 11 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
8	C11RID0	0	R/W	
7	C10MID5	0	R/W	DMA チャンネル 10 転送要求元モジュール ID5 ~ 0 (MID) 表 14.3 参照
6	C10MID4	0	R/W	
5	C10MID3	0	R/W	
4	C10MID2	0	R/W	
3	C10MID1	0	R/W	
2	C10MID0	0	R/W	
1	C10RID1	0	R/W	DMA チャンネル 10 転送要求元レジスタ ID1 ~ 0 (RID) 表 14.3 参照
0	C10RID0	0	R/W	

14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.3 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID+RID)	MID	RID	機能
SSI0	H'03	B'000000	B'11	送受信
SSI1	H'07	B'000001	B'11	送受信
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF1	H'25	B'001001	B'01	送信
	H'26		B'10	受信
SCIF2	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
SCIF3	H'2D	B'001011	B'01	送信
	H'2E		B'10	受信
SCIF4	H'31	B'001100	B'01	送信
	H'32		B'10	受信
SCIF5	H'35	B'001101	B'01	送信
	H'36		B'10	受信
HAC0	H'41	B'010000	B'01	送信
	H'42		B'10	受信
HAC1	H'45	B'010001	B'01	送信
	H'46		B'10	受信
SIOF	H'51	B'010100	B'01	送信
	H'52		B'10	受信
FLCTL	H'83	B'100000	B'11	データ部送受信
	H'87	B'100001	B'11	管理コード部送受信
MMCIF	H'93	B'100100	B'11	送受信
HSPI	H'A1	B'101000	B'01	送信
	H'A2		B'10	受信

14.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

14.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS[3:0] ビットおよび DMARS0 ~ 5 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよびチャンネル 0 ~ 5 共通の DMAOR0、チャンネル 6 ~ 11 共通の DMAOR1 の DME ビットを 1 にセットすると転送が開始されます。ただしチャンネル 0 ~ 5 では DMAOR0 の AE ビット、NMIF ビットがすべて 0、チャンネル 6 ~ 11 では DMAOR1 の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 ($\overline{DREQ0} \sim \overline{DREQ3}$) によって転送を開始させるモードです。DMA チャンネル 0 ~ 3 のみ有効です。表 14.4 に外部リクエストモードの設定を示します。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 14.4 RS ビットによる外部リクエストモードの設定

CHCR				アドレスモード	転送元	転送先
RS3	RS2	RS1	RS0			
0	0	0	0	デュアルアドレスモード	任意	任意

14. ダイレクトメモリアクセスコントローラ (DMAC)

DREQ をエッジで検出するかレベルで検出するかは、表 14.5 に示す CHCR0~3 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 14.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出 (初期値 $\overline{\text{DREQ}}$)
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると $\overline{\text{DREQ}}$ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び $\overline{\text{DREQ}}$ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングは CHCR の DO ビットの設定で異なります。

詳細は「14.4.7 DREQ 端子のサンプリングタイミング」を参照してください。

表 14.6 DO ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト
DO	
0	オーバラン 0 (初期値)
1	オーバラン 1

DACK の出力は LBSC 空間のみ出力可能で $\overline{\text{CSn}}$ と同じタイミングで出力されます。DACK を読み出しサイクルで出力するか、書き込みサイクルで出力するかの設定は表 14.7 に示す CHCR の AM ビットで選択します。

表 14.7 AM ビットによるアクノリッジモードの選択

CHCR	外部リクエスト
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0~5 にて設定する SCIF0~SCIF5、HAC0、HAC1、HSPI、SIOF、SSI0、SSI1、MMCIF からの送信データエンプティ転送要求と受信データフル転送要求、FLCTL からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

14. ダイレクトメモリアクセスコントローラ (DMAC)

転送要求を SCIF0 の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF0 のトランスミット FIFO データレジスタとする必要があります。同様に転送要求を SCIF0 の受信データフル転送要求に設定した場合、転送元を当該 SCIF0 のレシーブ FIFO データレジスタとする必要があります。これらは SCIF1 ~ SCIF5、HAC0、HAC1、HSPI、SIOF、SSIO、SSI1、MMCIF も同様です。

表 14.8 に内蔵周辺モジュールリクエストモードの選択を行うための設定を示します。

表 14.8 内蔵周辺モジュールリクエストモード一覧

CHCR RS[3 : 0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1000	000000	11	SSIO 送信部	送信データエンプティ要求 (送信モード時、SSISR0 レジスタの DMRQ ビットが 1)	任意	SSITDR0	サイクルスチール
			SSIO 受信部	未読データあり (受信モード時、SSISR0 レジスタの DMRQ ビットが 1)	SSIRDR0	任意	サイクルスチール
	000001	11	SSI1 送信部	送信データエンプティ要求 (送信モード時、SSISR1 レジスタの DMRQ ビットが 1)	任意	SSITDR1	サイクルスチール
			SSI1 受信部	未読データあり (受信モード時、SSISR1 レジスタの DMRQ ビットが 1)	SSIRDR1	任意	サイクルスチール
	001000	01	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR0	サイクルスチール
			SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクルスチール
	001001	01	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR1	サイクルスチール
			SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクルスチール
	001010	01	SCIF2 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR2	サイクルスチール
			SCIF2 受信部	RXI (受信 FIFO データフル)	SCFRDR2	任意	サイクルスチール
	001011	01	SCIF3 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR3	サイクルスチール
			SCIF3 受信部	RXI (受信 FIFO データフル)	SCFRDR3	任意	サイクルスチール

14. ダイレクトメモリアクセスコントローラ (DMAC)

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	RS[3 : 0]	MID					
1000	001100	01	SCIF4 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR4	サイクル スチール
		10	SCIF4 受信部	RXI (受信 FIFO データフル)	SCFRDR4	任意	サイクル スチール
	001101	01	SCIF5 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR5	サイクル スチール
		10	SCIF5 受信部	RXI (受信 FIFO データフル)	SCFRDR5	任意	サイクル スチール
	010000	01	HAC0 送信部	送信データエンプティ要求	任意	HACPCML0, HACPCMR0	サイクル スチール
		10	HAC0 受信部	未読受信データあり	HACPCML0, HACPCMR0	任意	サイクル スチール
	010001	01	HAC1 送信部	送信データエンプティ要求	任意	HACPCML1, HACPCMR1	サイクル スチール
		10	HAC1 受信部	未読受信データあり	HACPCML1, HACPCMR1	任意	サイクル スチール
	010100	01	SIOF 送信部	送信 FIFO データエンプティ要 求	任意	SITDR	サイクル スチール
		10	SIOF 受信部	受信 FIFO データフル要求	SIRDR	任意	サイクル スチール
	100000	11	FLCTL データ部 送信	送信 FIFO データエンプティ 要求	任意	FLDTFIFO	サイクル スチール
			FLCTL データ部 受信	受信 FIFO データフル要求	FLDTFIFO	任意	サイクル スチール
	100001	11	FLCTL 管理 コード部送信	送信 FIFO データエンプティ 要求	任意	FLECFIFO	サイクル スチール
			FLCTL 管理 コード部受信	受信 FIFO データフル要求	FLECFIFO	任意	サイクル スチール
	100100	11	MMCIF データ部送信	FIFO ライト要求	任意	DR	サイクル スチール
			MMCIF データ部受信	FIFO リード要求	DR	任意	サイクル スチール
	101000	01	HSPI 送信部	送信データ	任意	SPTBR	サイクル スチール
		10	HSPI 受信部	受信データ	SPRBR	任意	サイクル スチール

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択は DMAOR0 (チャンネル0~5)、DMAOR1 (チャンネル6~11) の PR[1:0]ビットにより行います。

チャンネル0~5 とチャンネル6~11 の優先順位の関係はラウンドロビンです。

リセット直後の優先順位は CH0~5 > CH6~11 です。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

- チャンネル0~5

CH0 > CH1 > CH2 > CH3 > CH4 > CH5

CH0 > CH2 > CH3 > CH1 > CH4 > CH5

- チャンネル6~11

CH6 > CH7 > CH8 > CH9 > CH10 > CH11

CH6 > CH8 > CH9 > CH7 > CH10 > CH11

これらの選択は DMAOR0/1 の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、16バイト、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図14.2に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 と CH6 > CH7 > CH8 > CH9 > CH10 > CH11 です。

ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャンネル(チャンネル0~5)でサイクルスチールモードとバーストモードの混在はできません。

DMAOR1 に対応する全チャンネル(チャンネル6~11)はサイクルスチールモードの通常モード (CHCR.LCKN=1、CHCR.TB=0) のみ設定可能です。

14. ダイレクトメモリアクセスコントローラ (DMAC)

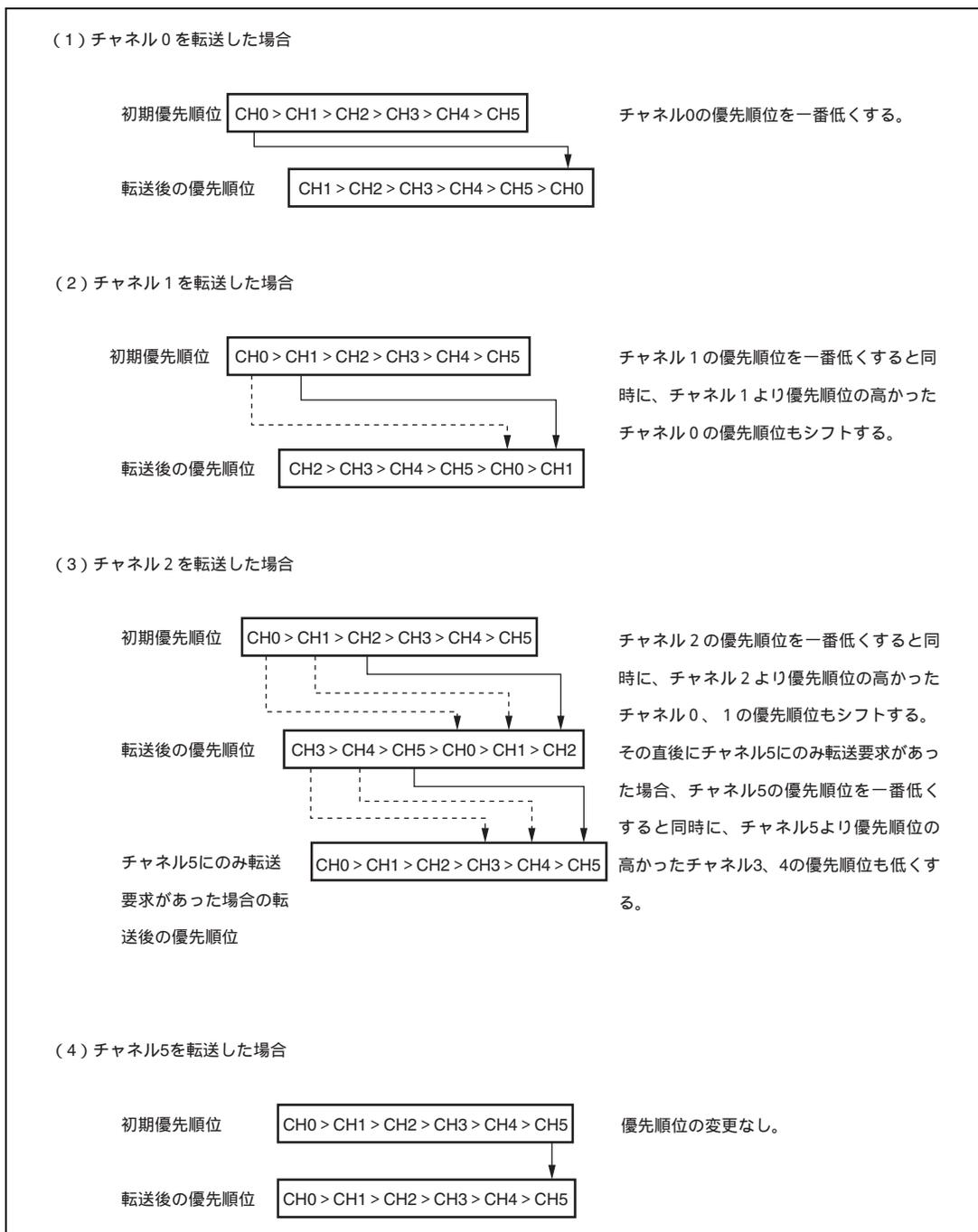


図 14.2 ラウンドロビンモード (例：チャンネル0～5)

14. ダイレクトメモリアクセスコントローラ (DMAC)

図 14.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します。
(チャンネル3は転送待ち)
3. チャンネル0の転送中にチャンネル1に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します。
(チャンネル3は転送待ち)。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

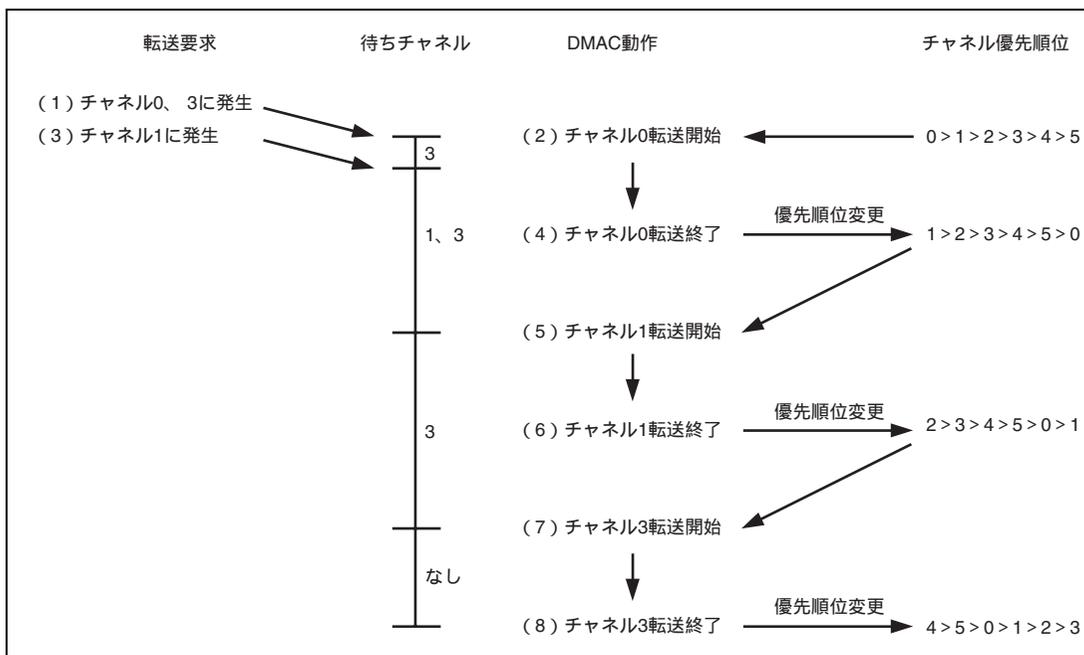


図 14.3 ラウンドロビンモードでのチャンネル優先順位 (例: チャンネル 0~5)

14.4.3 DMA 転送の種類

表 14.9、表 14.10 に DMAC がサポートできる転送区間を示します。

DMA 転送としてはデュアルアドレスモードをサポートします。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。

表 14.9 オートリクエスト、外部リクエスト*²での DMA 転送区間

転送元	転送先				
	LBSC 空間	DBSC 空間	PCIC バス空間	内蔵周辺 モジュール * ¹	L メモリ U メモリ
LBSC 空間	○	○	○	○	○
DBSC 空間	○	○	○	○	○
PCIC バス空間	○	○	○	○	○
内蔵周辺モジュール * ¹	○	○	○	○	○
L メモリ、U メモリ	○	○	○	○	○

【注】 ○：転送可能

*¹ 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ

*² 外部リクエストはチャンネル 0-3 のみです。

表 14.10 内蔵周辺モジュールリクエストでの DMA 転送区間 *² *³

転送元	転送先				
	LBSC 空間	DBSC 空間	PCIC バス空間	内蔵周辺 モジュール * ¹	L メモリ U メモリ
LBSC 空間	×	×	×	○	×
DBSC 空間	×	×	×	○	×
PCIC バス空間	×	×	×	○	×
内蔵周辺モジュール * ¹	○	○	○	○	○
L メモリ、U メモリ	×	×	×	○	×

【注】 ○：転送可能

×：転送不可

*¹ 転送元または転送先が内蔵周辺モジュールの場合、レジスタで許されるアクセスサイズ

*² 転送元または転送先は内蔵周辺モジュールリクエストの要求元レジスタである必要があります。

*³ サイクルスチールモードのみ設定可能です。

14. ダイレクトメモリアクセスコントローラ (DMAC)

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMACは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図14.4のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

図14.5にデュアルアドレスモードでのDMA転送タイミング例を示します。

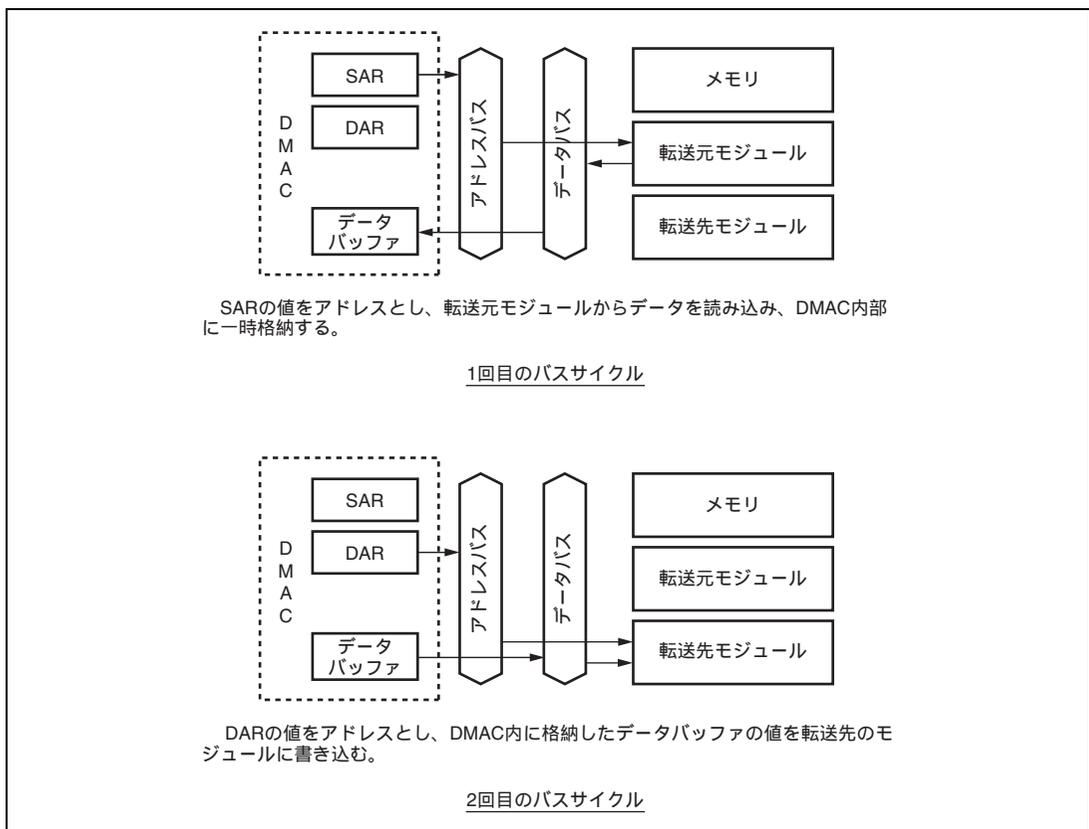


図 14.4 デュアルアドレスモードのデータフロー

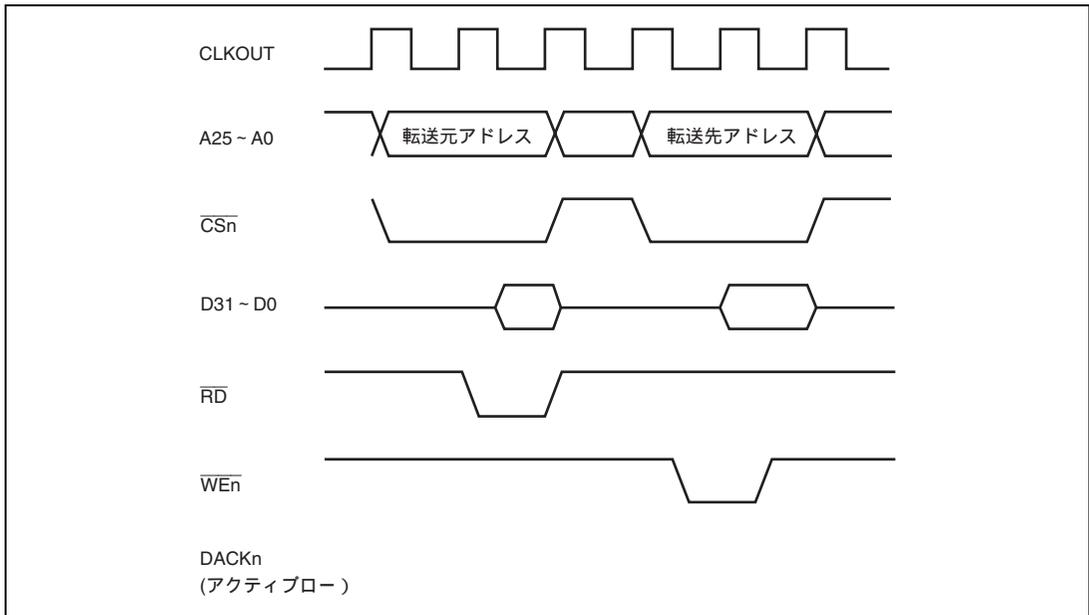


図 14.5 デュアルモードの DMA 転送タイミング例 (転送元：通常メモリ、転送先：通常メモリ)

14. ダイレクトメモリアクセスコントローラ (DMAC)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の LCKN ビット、TB ビットによって行います。

(a) サイクルスチールモード

- 通常モード 1 (CHCR.LCKN=0、CHCR.TB=0)

サイクルスチールの通常モード 1 では、DMAC は一回の転送単位 (バイト、ワード、ロングワード、16 バイト、または 32 バイト単位) の転送を終了するたびに SuperHyway バスのバス権を他のバスマスタに渡します。その後転送要求があれば、次の転送要求を発行し、再び 1 転送単位の転送を行い、その転送を終了するとまた SuperHyway バスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールの通常モード 1 はチャンネル 0~5 でのみ設定可能です。

図 14.6 にサイクルスチール通常モード 1 での DMA 転送タイミング例を示します。

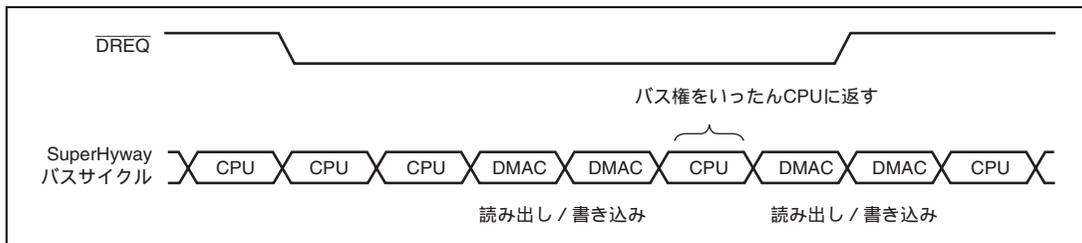


図 14.6 サイクルスチール通常モード 1 の DMA 転送例 (DREQ ローレベル検出)

- 通常モード 2 (CHCR.LCKN=1、CHCR.TB=0)

サイクルスチールの通常モード 2 では、DMAC は SuperHyway バスのバス権の確保は行わず 1 転送単位の読み出しサイクル、書き込みサイクルごとに SuperHyway バスのバス権を取りに行く転送です。

図 14.7 にサイクルスチールモード 2 での DMA 転送タイミング例を示します。

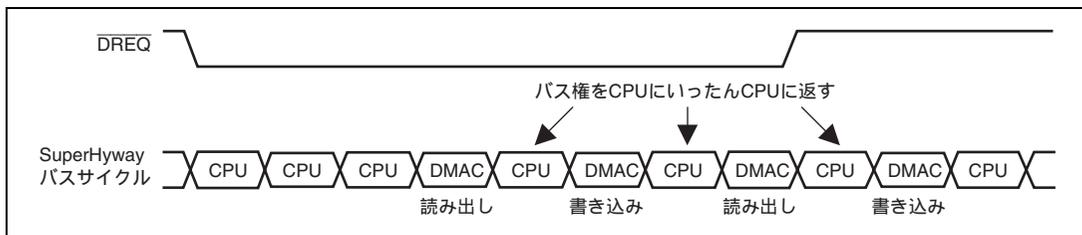


図 14.7 サイクルスチール通常モード 2 の DMA 転送例 (DREQ ローレベル検出)

14. ダイレクトメモリアクセスコントローラ (DMAC)

- インタミットモード 16 (DMAOR.CMS=10、CHCR.LCKN=0/1、CHCR.TB=0)
インタミットモード 64 (DMAOR.CMS=11、CHCR.LCKN=0/1、CHCR.TB=0)

サイクルスチールのインタミットモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、16 バイト、または 32 バイト単位) の転送を終了するたびに SuperHyway バスのバス権を他のバスマスタに渡します。その後転送要求があれば、Bck で 16 クロックまたは 64 クロック待った後に、次の転送要求を発行し、再び 1 転送単位の転送を行い、その転送を終了するとまた SuperHyway バスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モード 1、通常モード 2 に比べ、低く抑えることが可能です。

DMAC が再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときには、DMA 転送がさらに待たされる場合があります。

インタミットモードは、DMAOR0 に対応する全チャンネル (チャンネル 0~5)、または DMAOR1 に対応する全チャンネル (チャンネル 6~11) のバスモードがサイクルスチールモードであることが必要です。

図 14.8 にサイクルスチールインタミットモードでの DMA 転送タイミング例を示します。

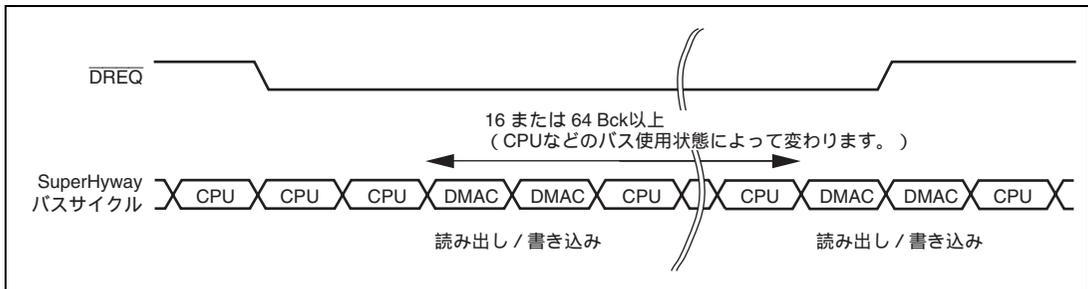


図 14.8 サイクルスチールインタミットモードの DMA 転送例 (DREQ ローレベル検出)

14. ダイレクトメモリアクセスコントローラ (DMAC)

(b) バーストモード (CHCR.LCKN=0, CHCR.TB=1)

バーストモードではDMACは一度SuperHywayバスのバス権を取ると、転送終了条件が満たされるまでSuperHywayバスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQをレベルで検出する場合には、DREQがアクティブなレベルでなくなると、転送終了条件が満たされていない場合でも、すでに要求を受け付けたDMA転送要求を終了後に他のバスマスタにSuperHywayバスのバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

バーストモードはチャンネル0~5でのみ設定可能です。

図14.9にバーストモードでのDMA転送タイミングを示します。

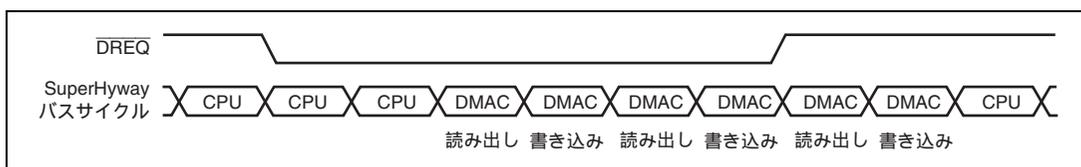


図 14.9 バーストモードでの DMA 転送例 (DREQ ローレベル検出)

(3) バースモードとチャンネルの優先順位

優先順位固定モードでのバースモードとチャンネルの優先順位を図14.3に示します。

優先順位固定モード (CH0 > CH1) において、チャンネル1がバースモード転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、チャンネル0もバースモードの場合は、優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1の転送を継続します。(図14.3(h))

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。(図14.3(d))

つまり、バス状態は、サイクルスチールモード転送終了後のCPUサイクルがバースモード転送に置き換わった形になります(以後、バースモードの優先実行と呼びます)。

競合するバースモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA転送を複数チャンネルで行う場合は、競合するすべてのバースモード転送が終了するまで、バス権はバスマスタに開放しません。

ラウンドロビンモードでは、図14.3に示した仕様で優先順位が変化します。ただし、バースモードがサイクルスチールモードのチャンネルとバースモードのチャンネルを混在することはできません。

14. ダイレクトメモリアクセスコントローラ (DMAC)

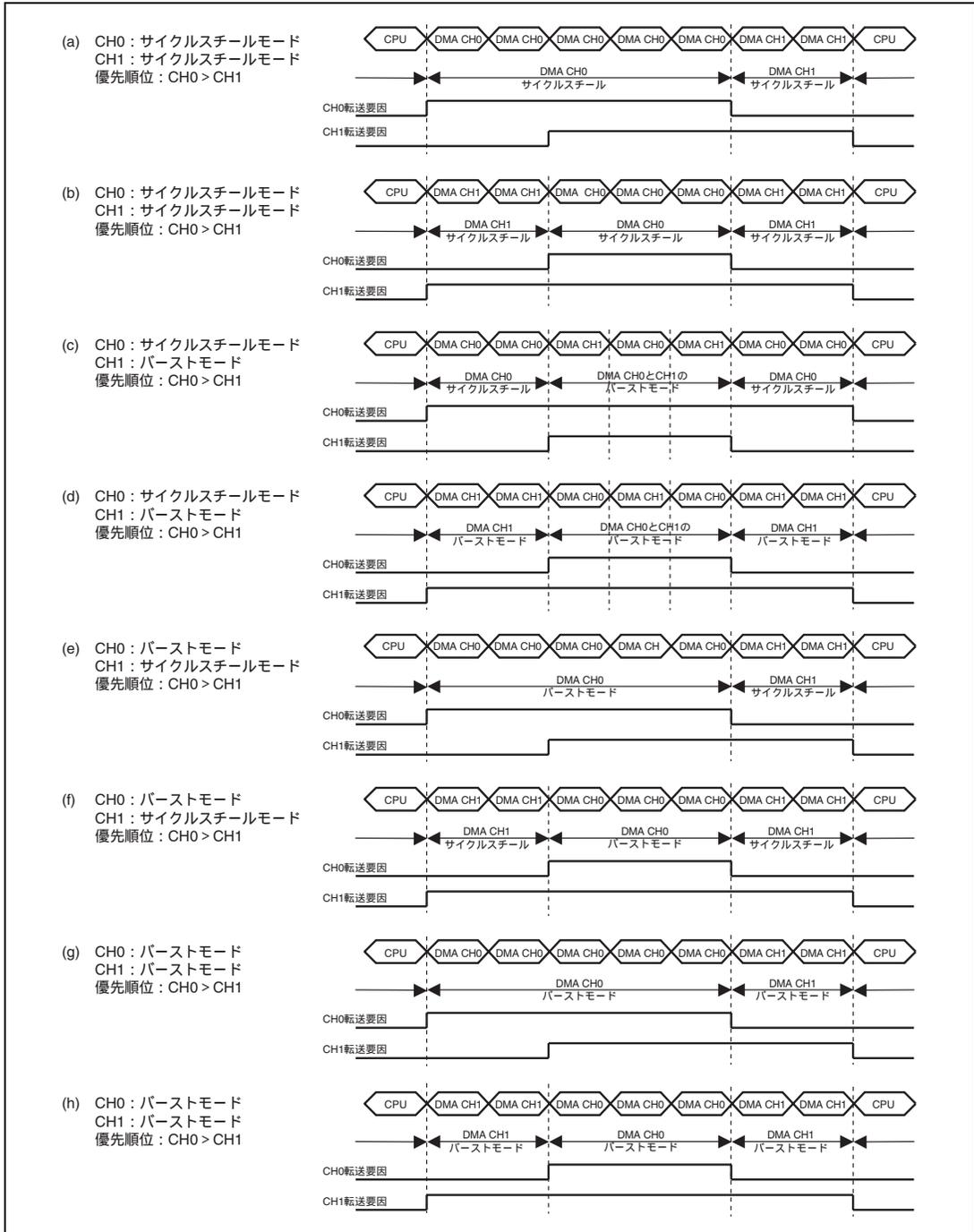


図 14.10 優先順位固定モードでのバースモードとチャンネルの優先順位

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS[2:0] の設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DMINT 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 14.11 に DMA 転送のフローチャートを示します。

14. ダイレクトメモリアクセスコントローラ (DMAC)

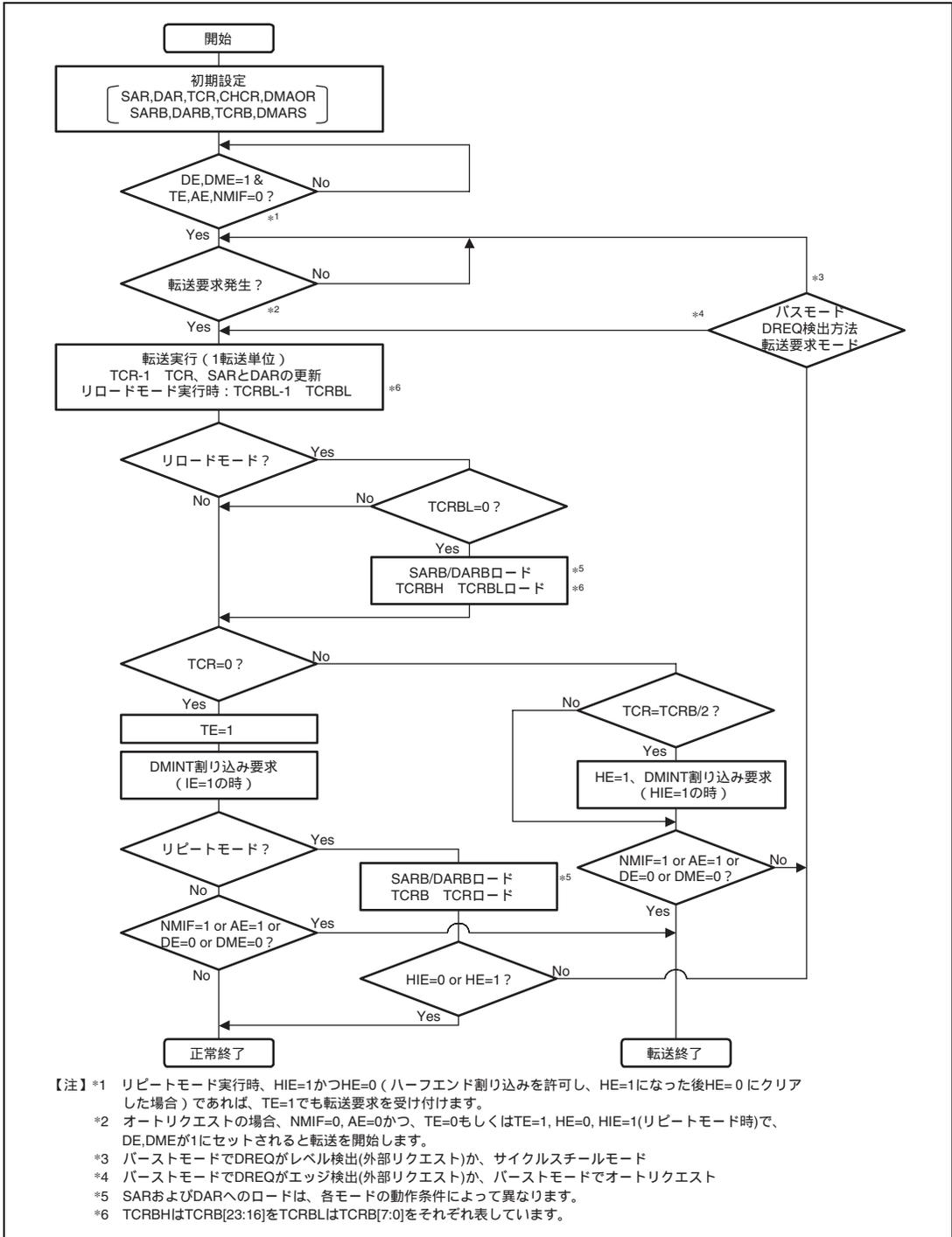


図 14.11 DMA 転送フローチャート

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.4.5 リピートモード転送

DMACのリピートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODECから音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは40ワードの音声データを受け取るごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データはSIOFにより受け取ることと仮定します。

1. DMACの設定

SARにSIOFの受信データレジスタのアドレスを設定します。

DARに内部メモリのデータ格納領域のアドレスを設定します。

TCRにH'50 (80回)を設定します。

CHCRに以下の設定をします。

RPT (ビット27、26、25) = B'010 : リピートモード (DARをリピート領域として使用)

HIE (ビット18) = B'1 : TCR/2の割り込み発生

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'00 : SARは固定

IE (ビット2) = B'1 : 割り込み許可

DE (ビット0) = B'1 : DMA転送許可

このほか、TB、TSなど使用条件に合わせて設定。

DMAORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

2. 音声データの受信転送をSIOF/DMACが実行。

3. TCRが初期設定値の1/2になり割り込み発生。

割り込み処理にて、CHCRを読み出しHE (ビット19) に1がセットされていることを確認し、HE (ビット19) を0にクリアし、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行。

4. TCRが0になり割り込み発生。

割り込み処理にて、CHCRを読み出しTE (ビット1) に1がセットされていることを確認し、TE (ビット1) を0にクリアし、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行。

この際DMACでは、DARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値H'50 (80回)に戻ります。

5. 以後、2.~4.がDME = B'0もしくはDE = B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。(2.でHEを0クリアしなかった場合、または4.でTEを0クリアしなかった場合、HE=1かつTE=1の条件で停止します。)

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り換えながら、逐次音声圧縮が可能となります。

14.4.6 リロードモード転送

DMACのリロードモード転送を使用すると、CHCRのRPTビットの設定により、TCRBのビット23~16とビット7~0に設定した回数の転送ごとにSARB/DARBに設定された値をSAR/DARにリロードし、TCRが0になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。リロードモードの動作例を図14.12に示します。

リロードモード実行時は、TCRBをリロードカウンタとして使用します。「14.3.6 DMAトランスファカウントレジスタB0~3、6~9 (TCRB0~3、TCRB6~9)」の項を参照し、TCRBを設定してください。

図14.12 リロードモード設定時の例に示します。

以下のようなレジスタ設定をしたときのリロードモード転送の転送元アドレスと転送先アドレスを示します。

・レジスタ設定

SARに転送元アドレスを設定 (SARBにもSARの書き込みデータが書き込まれます)

DARに転送先アドレスを設定

TCRにH'0000000C (12回転送) を設定

TCRBにH'00040004 (4回の転送ごとにリロード) を設定

CHCRを以下のように設定。

RPT (ビット27、26、25) = B'111 : リロードモード (SARをリロード)

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'01 : SARは増加

TS (ビット20、4、3) = B'010 : ロングワード (4バイト) 単位転送

・上記のレジスタ設定をしたときのDMA転送元アドレスとDMA転送先アドレス

1回目 : 転送元アドレス = SAR	転送先アドレス = DAR
2回目 : 転送元アドレス = SAR+H'04	転送先アドレス = DAR+H'04
3回目 : 転送元アドレス = SAR+H'08	転送先アドレス = DAR+H'08
4回目 : 転送元アドレス = SAR+H'0C	転送先アドレス = DAR+H'0C
5回目 : 転送元アドレス = SAR	転送先アドレス = DAR+H'10 (SARBの値がSARにリロード)
6回目 : 転送元アドレス = SAR+H'04	転送先アドレス = DAR+H'14
7回目 : 転送元アドレス = SAR+H'08	転送先アドレス = DAR+H'18
8回目 : 転送元アドレス = SAR+H'0C	転送先アドレス = DAR+H'1C
9回目 : 転送元アドレス = SAR	転送先アドレス = DAR+H'20 (SARBの値がSARにリロード)
10回目 : 転送元アドレス = SAR+H'04	転送先アドレス = DAR+H'24
11回目 : 転送元アドレス = SAR+H'08	転送先アドレス = DAR+H'28
12回目 : 転送元アドレス = SAR+H'0C	転送先アドレス = DAR+H'2C

図 14.12 リロードモード設定時の動作例

14.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 14.13、図 14.14、図 14.15、図 14.16 に示します。

図 14.13、図 14.16、図 14.20 は 8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、32/64 ビットバス幅にロングワード転送した場合の DREQ 入力のサンプリングタイミングで DMA1 で 1 回の DACK が出力されます。

図 14.14、図 14.17、図 14.21 は 8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定とした場合の DREQ 入力のサンプリングタイミングです。

図 14.15、図 14.18、図 14.22 は 8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK つながる設定とした場合の DREQ 入力のサンプリングタイミングです。

8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送をした場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で CS がネゲートする設定の場合、CS と同様に DACK 出力が分割されます。詳細は「11.5.16 $\overline{\text{DACKn}}$ 出力の分割に関するレジスタ設定」を参照してください。

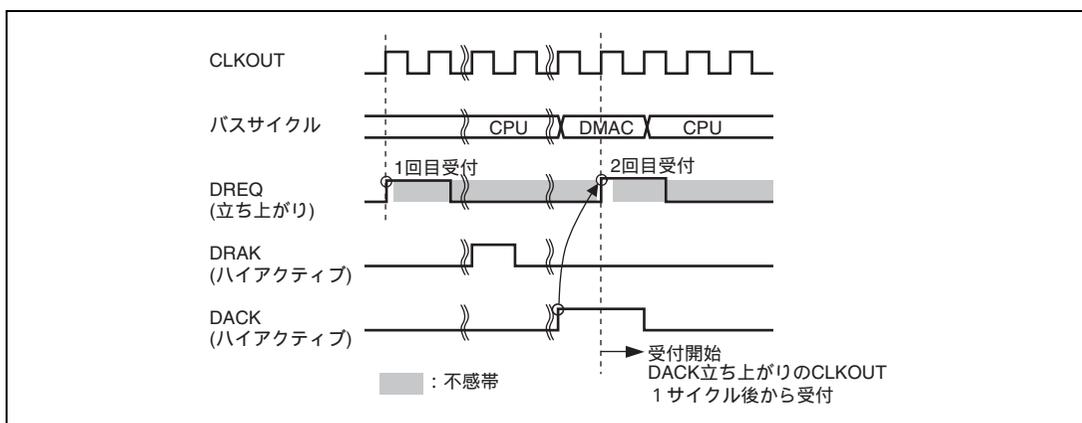


図 14.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、32/64 ビットバス幅にロングワード転送)

14. ダイレクトメモリアクセスコントローラ (DMAC)

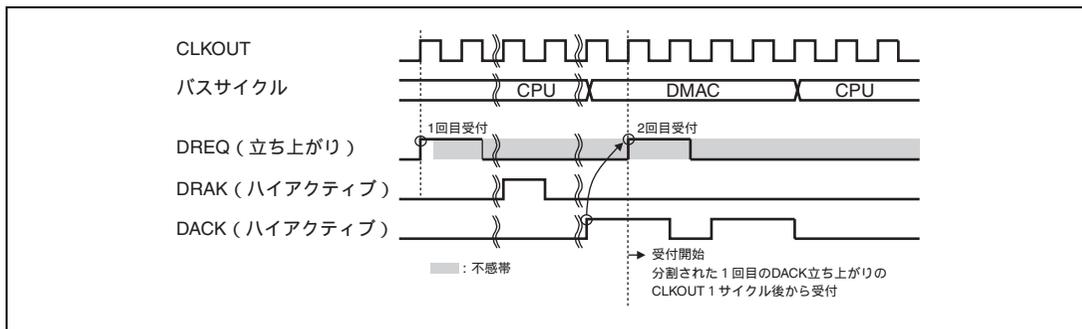


図 14.14 サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング例2(8ビットバス幅にワード転送、8/16ビットバス幅にロングワード転送、8/16/32/64ビットバス幅に16/32バイト転送でDMA1転送のDACKが分割される設定)

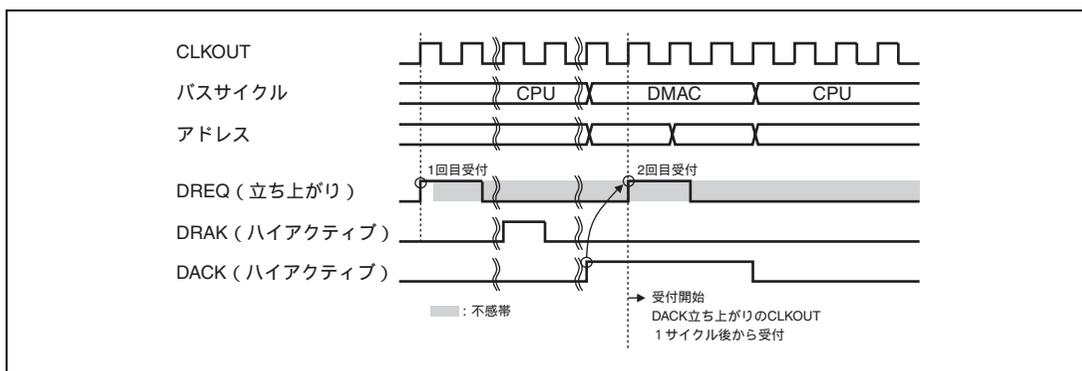


図 14.15 サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング例3(8ビットバス幅にワード転送、8/16ビットバス幅にロングワード転送、8/16/32/64ビットバス幅に16/32バイト転送でDMA1転送のDACKがつながる設定)

14. ダイレクトメモリアクセスコントローラ (DMAC)

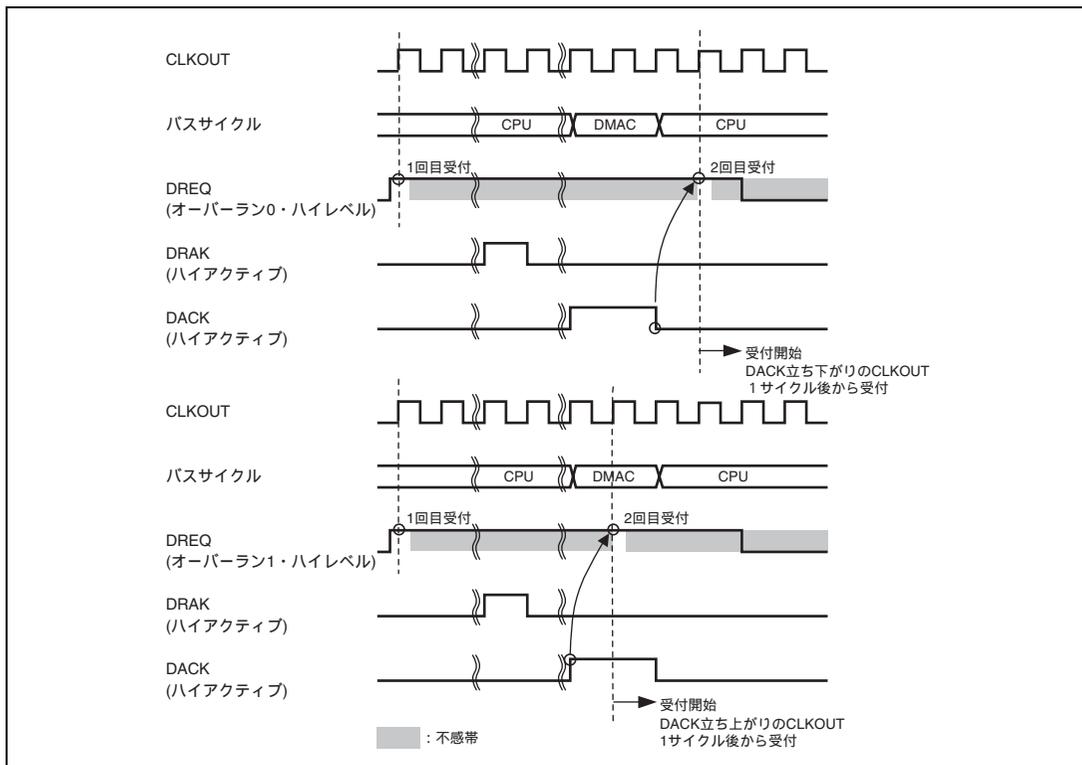


図 14.16 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、32/64 ビットバス幅にロングワード転送)

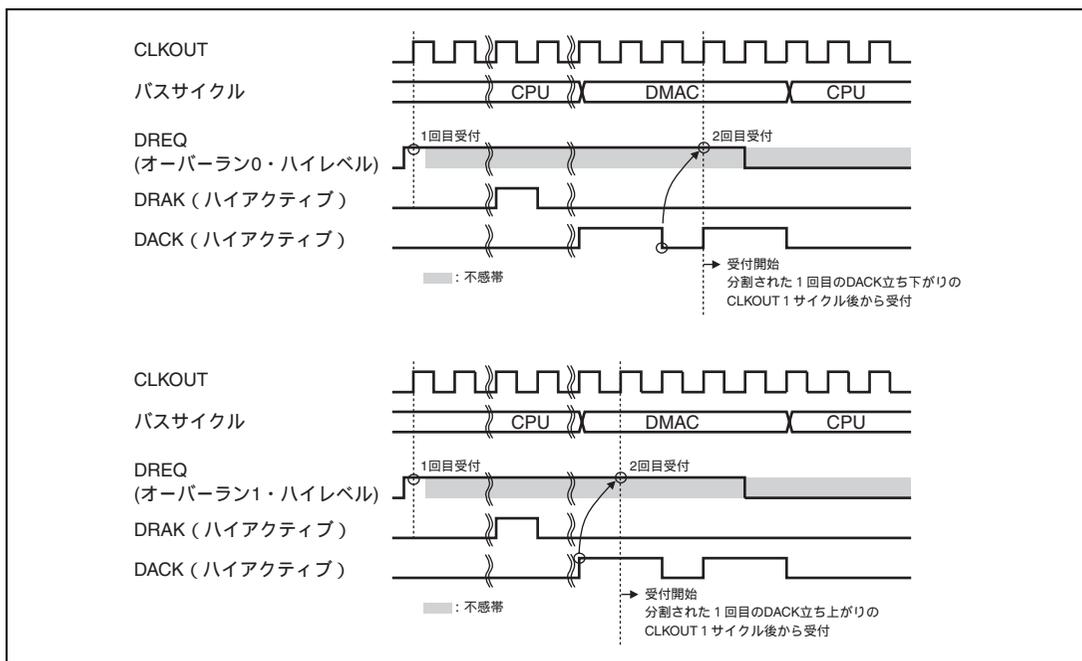


図 14.17 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 2 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)

14. ダイレクトメモリアクセスコントローラ (DMAC)

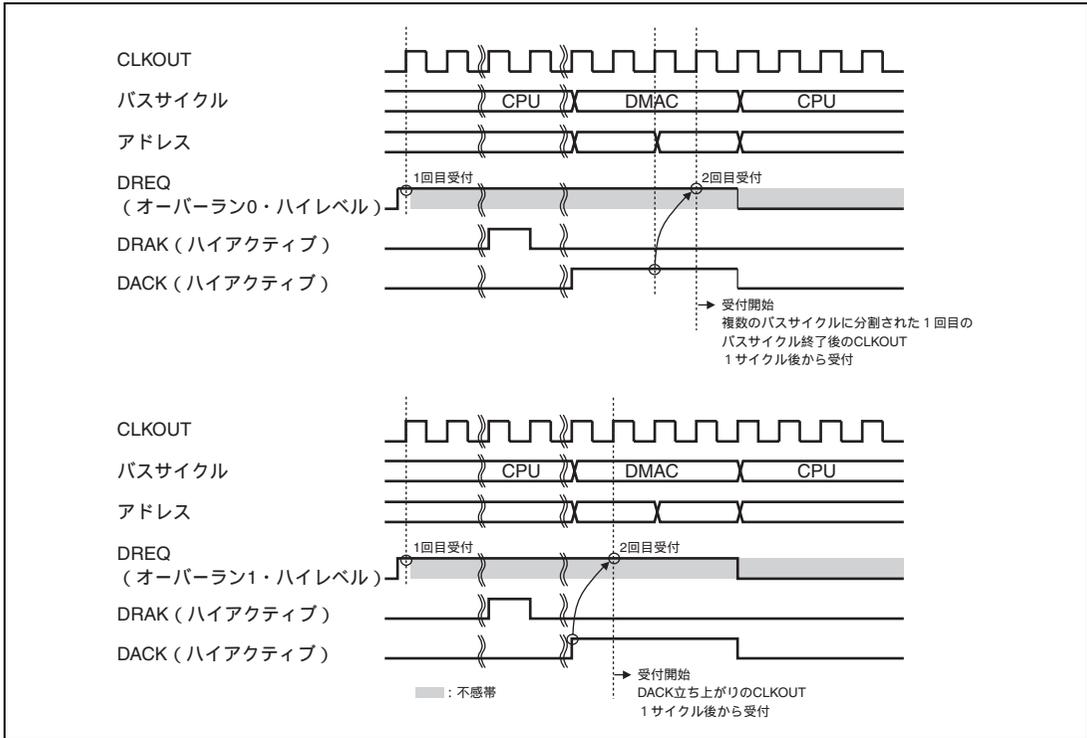


図 14.18 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 3 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)

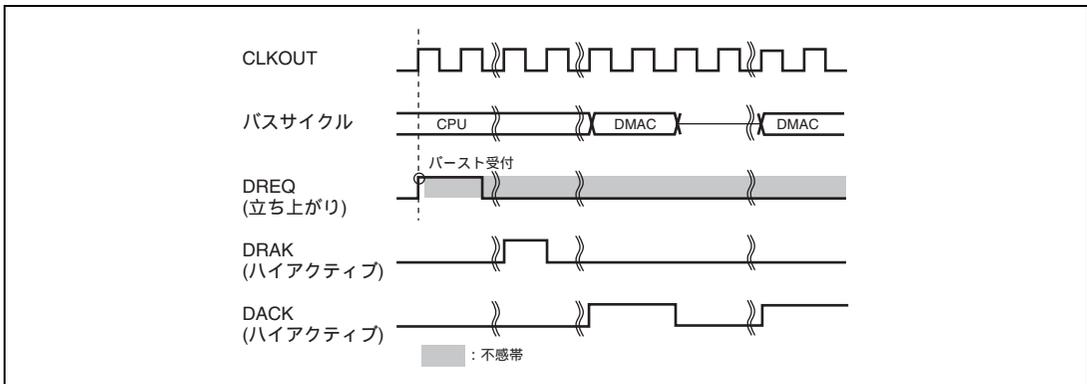


図 14.19 バーストモード・エッジ検出時の DREQ 入力検出タイミング例

14. ダイレクトメモリアクセスコントローラ (DMAC)

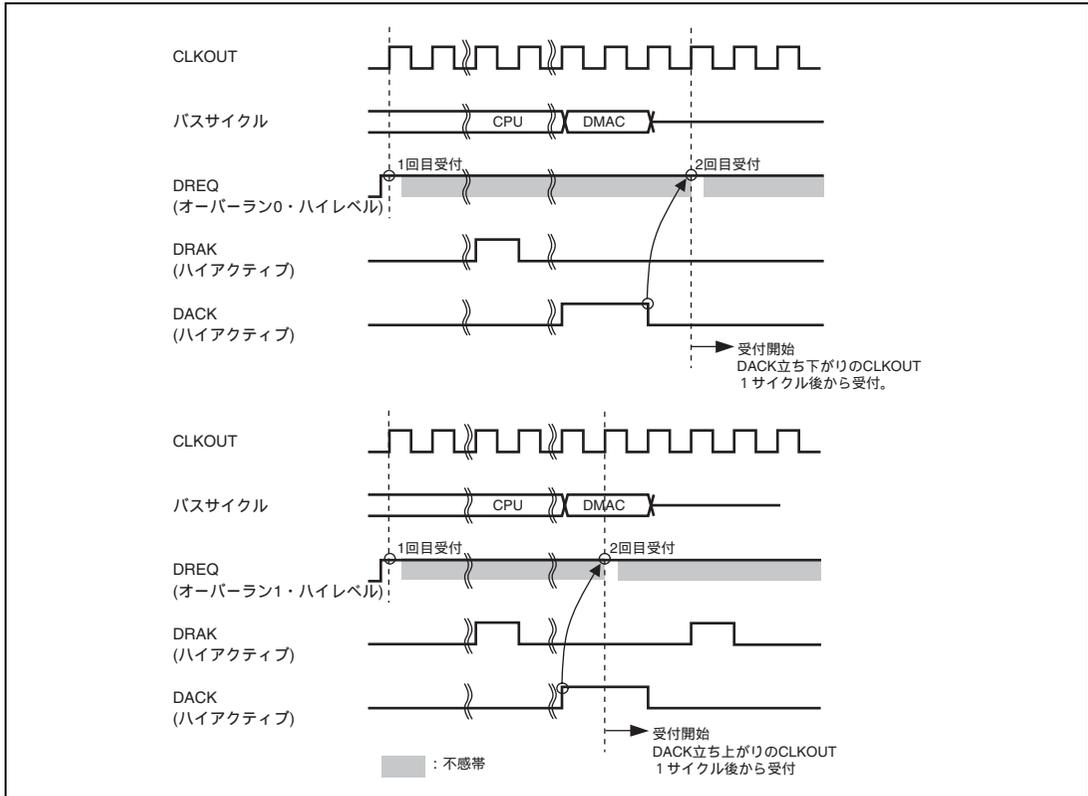


図 14.20 バーストモード・レベル検出時の DREQ 入力検出タイミング例 1 (8/16/32/64 ビットバス幅にバイト転送、16/32/64 ビットバス幅にワード転送、32/64 ビットバス幅にロングワード転送)

14. ダイレクトメモリアクセスコントローラ (DMAC)

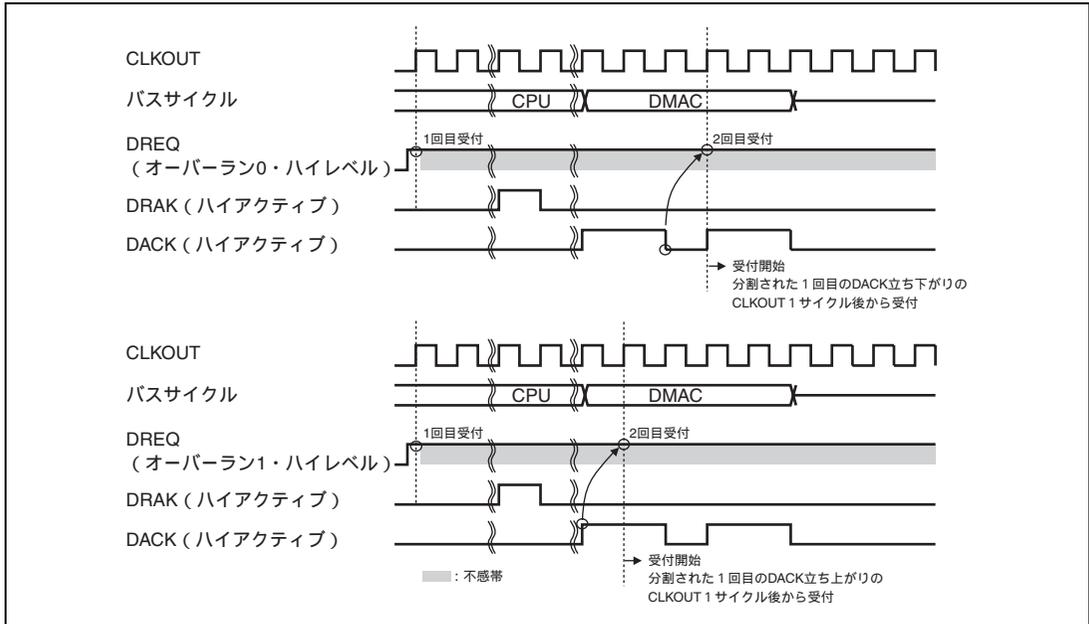


図 14.21 バーストモード・レベル検出時の DREQ 入力検出タイミング例 2 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)

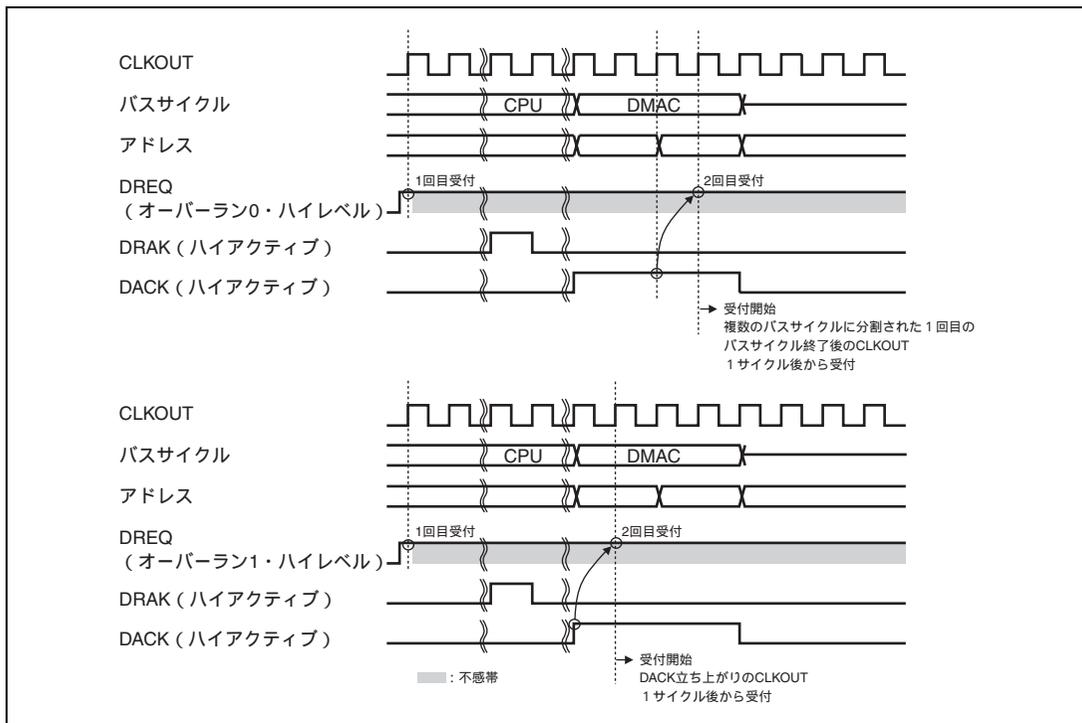


図 14.22 バーストモード・レベル検出時の DREQ 入力検出タイミング例 3 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32/64 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.5 DMAC の割り込み要因

DMAC は各チャンネルごとに DMA 転送終了 / ハーフエンド割り込み (DMINT0 ~ 11) 要求とチャンネル 0 ~ 5 共通の DMA アドレスエラー割り込み (DMAE0) 要求、チャンネル 6 ~ 11 共通のアドレスエラー割り込み (DMAE1) 要求の 14 種類の割り込み要因を持っています。

表 14.11 に各割り込み要因を示します。各割り込み要因は独立に割り込みコントローラに送られます。

表 14.11 DMAC の割り込み要因

割り込み要因	内容
DMINT0	チャンネル 0 DMA 転送終了 / ハーフエンド割り込み
DMINT1	チャンネル 1 DMA 転送終了 / ハーフエンド割り込み
DMINT2	チャンネル 2 DMA 転送終了 / ハーフエンド割り込み
DMINT3	チャンネル 3 DMA 転送終了 / ハーフエンド割り込み
DMINT4	チャンネル 4 DMA 転送終了 / ハーフエンド割り込み
DMINT5	チャンネル 5 DMA 転送終了 / ハーフエンド割り込み
DMAE0	チャンネル 0 ~ 5 共通 DMA アドレスエラー割り込み
DMINT6	チャンネル 6 DMA 転送終了 / ハーフエンド道割り込み
DMINT7	チャンネル 7 DMA 転送終了 / ハーフエンド割り込み
DMINT8	チャンネル 8 DMA 転送終了 / ハーフエンド割り込み
DMINT9	チャンネル 9 DMA 転送終了 / ハーフエンド割り込み
DMINT10	チャンネル 10 DMA 転送終了 / ハーフエンド割り込み
DMINT11	チャンネル 11 DMA 転送終了 / ハーフエンド割り込み
DMAE1	チャンネル 6 ~ 11 共通 DMA アドレスエラー割り込み

14.6 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

14.6.1 モジュールストップ、周波数変更について

本 DMAC 動作中に、H-UDI、UBC、DMAC、GDTA の動作制御する MSTPCR1 レジスタの該当ビットの 1 セットあるいは 0 クリアした場合、または周波数変更をした場合、転送内容は保証できません。

DMAOR0、DMAOR1 レジスタの DME (ビット 0) がともに "0" であるか、または CHCR0 ~ 11 レジスタの TE (ビット 1) がすべて "1" であることを確認後、スタンバイコントロールレジスタ (MSTPCR1) の設定、周波数変更を行ってください。

14.6.2 アドレスエラーについて

DMA アドレスエラーが発生した場合、DMAOR* に対応する全チャンネルの再設定をしてから転送を開始してください。

【注】 * DMAOR0 の AE ビットが 1 にセットされた場合は、チャンネル 0 ~ 5 の再設定をしてください。また、DMAOR1 の AE ビットが 1 にセットされた場合は、チャンネル 6 ~ 11 の再設定をしてください。

14.6.3 NMI 割り込みについて

NMI 割り込みが発生した場合、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルのレジスタの再設定をした後、転送を開始してください。

14.6.4 バーストモード転送時の注意

バーストモード転送中は、そのチャンネルの転送が完了するまでスリープモードに遷移させないでください。

14.6.5 DACK の分割出力

8 ビット、16 ビット、32 ビット、64 ビットバス幅に 16 バイト、32 バイト転送を行ったり、8 ビット、16 ビットバス幅にロングワード転送を行ったり、8 ビットバス幅にワード転送をする場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で CS がネゲートする設定の場合、CS と同様に DACK 出力が分割されるので注意してください。

14. ダイレクトメモリアクセスコントローラ (DMAC)

14.6.6 外部リクエストでの注意

CSnBCR レジスタの IWRRD、IWRRS、IWW に B'000 (アイドルサイクルなし) を設定した場合、2 回以上の DMA 転送の DACK がつながる場合があります。2 回以上の DMA 転送の DACK つながる場合で、以下の設定では、動作の保証はできません。CSnBCR レジスタの IWRRD、IWRRS、IWW に B'001 ~ B'111 としアイドルサイクル 1 サイクル以上挿入してください。

1. DMA 転送元が LBSC 空間、転送先が LBSC 空間以外で読み出しサイクルに DACK 出力 (CHCR.AM=0) を設定し、外部リクエスト DREQ レベル検出オーバーラン 1 (サイクルスチールモード、バーストモード)、または外部リクエスト DREQ エッジ検出 (サイクルスチールモード、バーストモード) を設定した場合。

転送元 LBSC 空間の CSnBCR レジスタの IWRRD=B'001 ~ B'111 (別空間リーダーリードサイクル間アイドルを 1 サイクル以上挿入) かつ IWRRS=B'001 ~ B'111 (同一空間リーダーリードサイクル間アイドルを 1 サイクル以上挿入) として 2 つの以上 DMA 転送単位の DACK がつながらないようにしてください。

2. 転送元が LBSC 空間以外、DMA 転送先が LBSC 空間で書き込みサイクルに DACK 出力 (CHCR.AM=1) を設定し、外部リクエスト DREQ レベル検出オーバーラン 1 (サイクルスチールモード、バーストモード)、または外部リクエスト DREQ エッジ検出 (サイクルスチールモード、バーストモード) を設定した場合。

転送先 LBSC 空間の CSnBCR レジスタの IWW=B'001 ~ B'111 (ライターリード/ライターライトサイクル間アイドルを 1 サイクル以上挿入) として 2 つの以上 DMA 転送単位の DACK がつながらないようにしてください。

15. クロック発振器 (CPG)

クロック発振器 (CPG) は SH7785 の内部および外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL 回路、分周器および制御部で構成されます。

15.1 特長

- SH7785内部用のクロックを生成*

CPU、FPU、キャッシュ、TLBで使用するCPUクロック (Ick) と、SuperHywayで使用するSuperHywayクロック (SHck)、グラフィックスデータトランスレーションアクセラレータで使用するGDTAクロック (GAck)、ディスプレイユニットで使用するDUクロック (DUck)、その他の内蔵周辺モジュールとのインタフェースで使用する周辺クロック (Pck)、およびURAMで使用するRAMクロック (Uck) を生成します。

- SH7785外部用のクロックを生成

外部バスインタフェースで使用するバスクロック (Bck) とDBSC2で使用するメモリクロックとしてDDRクロック (DDRck) を生成します。

- クロック動作モード

CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。

- 低消費電力モードの制御

スリープモードでのCPUの停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

詳細は、「第17章 低消費電力モード」を参照してください。

図 15.1 に CPG のブロック図を示します。

【注】 * 各モジュールで使用しているクロックは、各モジュールの章を参照ください。

15. クロック発振器 (CPG)

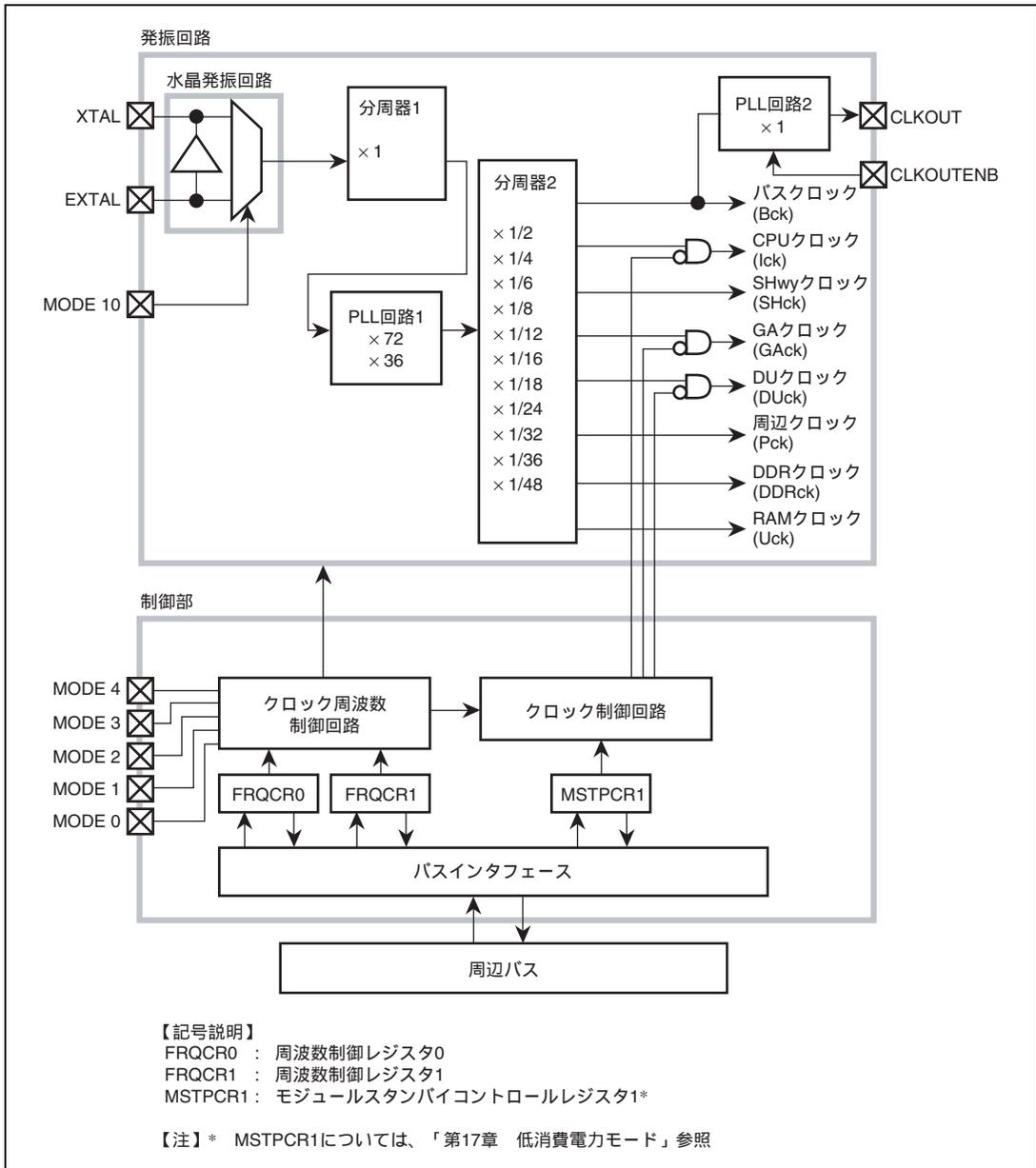


図 15.1 CPG ブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、PLL 回路 1 の入力クロック周波数を 36 倍または 72 倍に逡倍する機能を持ちます。

(2) PLL 回路 2

PLL 回路 2 は、バスクロック (Bck) と、ローカルバスで使用する CLKOUT のクロックの位相を合わせる機能を持ちます。

(3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

水晶発振子はモード端子 MODE10 の設定により使用可能となります。

(4) 分周器 1

分周率は、モード端子 MODE3、MODE4 の組み合わせにより設定します。

(5) 分周器 2

分周器 2 は、CPU クロック (Ick)、SuperHyway クロック (SHck)、GDТА クロック (GAck)、DU クロック (DUck)、周辺クロック (Pck)、DDR クロック (DDRck)、バスクロック (Bck)、および RAM クロック (Uck) を生成します。

分周率は、モード端子 MODE0、MODE1 の組み合わせにより設定します。

15. クロック発振器 (CPG)

15.2 入出力端子

CPG の端子構成を表 15.1 に示します。

表 15.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MODE0 MODE1 MODE2 MODE3 MODE4* ¹	モード端子 0、1、 2、3、4 クロック動作モ ード* ¹	入力	クロック動作モードを設定します。 MODE0 端子は、IRL4 (INTC)、FD4 (FLCTL)、PL4 (GPIO) 端子と、 MODE1 端子は、IRL5 (INTC)、FD5 (FLCTL)、PL3 (GPIO) 端子と、 MODE2 端子は、IRL6 (INTC)、FD6 (FLCTL)、PL2 (GPIO) 端子と、 MODE3 端子は、IRL7 (INTC)、FD7 (FLCTL)、PL1 (GPIO) 端子と、 MODE4 端子は、SCIF3_TXD (SCIF チャネル 3)、FCLE (FLCTL)、PN5 (GPIO) 端子と、それぞれマルチプレクスされています。
MODE10	モード端子 10 クロック入力モ ード* ¹	入力	水晶発振子の使用/不使用を設定します。 MODE10 がローレベルのとき、EXTAL から外部クロックを入力します。 MODE10 がハイレベルのとき、EXTAL, XTAL に水晶発振子を接続します。 SCIF4_RXD (SCIF チャネル 4)、FD2 (FLCTL)、PN1 (GPIO) 端子とマル チプレクスされています。
XTAL	クロック端子	出力	水晶発振子を接続します。
EXTAL		入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
CLKOUT* ²		出力	ローカルバスクロック出力端子として使用します
CLKOUTENB	クロック出力イ ネーブル	出力	CLKOUT 出力クロックが不安定なときにローレベルを出力します。 PRESET 端子入力がローレベルのときは、CLKOUT 出力クロックの状態に関 係なくハイレベルを出力します。

【注】 *1 PRESET 端子によるパワーオンリセット時に、モード端子の状態を取り込み、クロック動作モード、およびクロック入力モードが決まります。

*2 CLKOUT の AC タイミング保証は、電気的特性の章を参照してください。なお、水晶発振回路の入力周波数と通倍率の関係にご注意ください。

15.3 クロック動作モード

モード端子 (MODE4、MODE3、MODE2、MODE1、MODE0) の組み合わせとクロック動作モードの関係を表 15.2 に示します。

表 15.2 クロック動作モードと分周器および PLL の動作

クロック 動作モード	モード制御端子組み合わせ*1*2					分周器 1	PLL1	PLL2
	MODE4	MODE3	MODE2	MODE1	MODE0			
0	L	L	L	L	L	×1	On (×72)	On
1	L	L	L	L	H	×1	On (×72)	On
2	L	L	L	H	L	×1	On (×72)	On
3	L	L	L	H	H	×1	On (×72)	On
16	H	L	L	L	L	×1	On (×36)	On
17	H	L	L	L	H	×1	On (×36)	On
18	H	L	L	H	L	×1	On (×36)	On
19	H	L	L	H	H	×1	On (×36)	On

【注】 *1 上記以外のモード端子 (MODE4、MODE3、MODE2、MODE1、MODE0) の組み合わせは設定禁止です。

*2 Lはローレベル、Hはハイレベルです。

15. クロック発振器 (CPG)

表 15.3 クロック動作モードと各クロックの周波数通倍率 (MODE12、MODE11 とともにハイレベルの場合)

クロック動作モード	FRQMR1 初期値	周波数通倍率 (対入力クロック)							
		CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
0	H'1225 2448	×36	×18	×18	×9	×9	×3	×18	×6
1	H'122B 244B	×36	×18	×18	×9	×9	×3/2	×18	×3/2
2	H'1335 3558	×36	×12	×12	×6	×6	×3	×12	×6
3	H'133B 355B	×36	×12	×12	×6	×6	×3/2	×12	×3/2
16	H'1225 2448	×18	×9	×9	×9/2	×9/2	×3/2	×9	×3
17	H'122B 244B	×18	×9	×9	×9/2	×9/2	×3/4	×9	×3/4
18	H'1335 3558	×18	×6	×6	×3	×3	×3/2	×6	×3
19	H'133B 355B	×18	×6	×6	×3	×3	×3/4	×6	×3/4

表 15.4 クロック動作モードと各クロックの周波数通倍率 (MODE12、MODE11 どちらかがローレベルの場合)

クロック動作モード	FRQMR1 初期値	周波数通倍率 (対入力クロック)							
		CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
0	H'1225 24F8	×36	×18	×18	×9	停止	×3	×18	×6
1	H'122B 24FB	×36	×18	×18	×9	停止	×3/2	×18	×3/2
2	H'1335 35F8	×36	×12	×12	×6	停止	×3	×12	×6
3	H'133B 35FB	×36	×12	×12	×6	停止	×3/2	×12	×3/2
16	H'1225 24F8	×18	×9	×9	×9/2	停止	×3/2	×9	×3
17	H'122B 24FB	×18	×9	×9	×9/2	停止	×3/4	×9	×3/4
18	H'1335 35F8	×18	×6	×6	×3	停止	×3/2	×6	×3
19	H'133B 35FB	×18	×6	×6	×3	停止	×3/4	×6	×3/4

15.4 レジスタの説明

表 15.5 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 15.6 に示します。

表 15.5 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
周波数制御レジスタ 0	FRQCR0	R/W	H'FFC8 0000	H'1FC8 0000	32	Pck
周波数制御レジスタ 1	FRQCR1	R/W	H'FFC8 0004	H'1FC8 0004	32	Pck
周波数表示レジスタ 1	FRQMR1	R	H'FFC8 0014	H'1FC8 0014	32	Pck
スリープコントロールレジスタ	SLPCR	R/W	H'FFC8 0020	H'1FC8 0020	32	Pck
PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32	Pck
スタンバイコントロールレジスタ 0*	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32	Pck
スタンバイコントロールレジスタ 1*	MSTPCR1	R/W	H'FFC8 0034	H'1FC8 0034	32	Pck
スタンバイ表示レジスタ*	MSTPMR	R	H'FFC8 0044	H'1FC8 0044	32	Pck

【注】 * スタンバイコントロールレジスタについては、「第 17 章 低消費電力モード」を参照してください。

表 15.6 各処理状態におけるレジスタの状態

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープスリープ
		PRESET 端子 /WDT/H-UDI による	WDT/多重例外による	SLEEP 命令による
周波数制御レジスタ 0	FRQCR0	H'0000 0000	保持	保持
周波数制御レジスタ 1	FRQCR1	H'0000 0000	保持	保持
周波数表示レジスタ 1	FRQMR1	H'1xxx xxxx* ²	保持	保持
スリープコントロールレジスタ	SLPCR	H'0000 0000	保持	保持
PLL コントロールレジスタ	PLLCR	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 0* ¹	MSTPCR0	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 1* ¹	MSTPCR1	H'0000 0000	保持	保持
スタンバイ表示レジスタ* ¹	MSTPMR	H'00x0 0000* ³	保持	保持

【注】 *¹ スタンバイコントロールレジスタについては、「第 17 章 低消費電力モード」を参照してください。

*² PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MODE0、MODE1、MODE2、MODE3、MODE4、MODE11、MODE12 の組み合わせにより決まります。表 15.3、または表 15.4 を参照してください。

*³ PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MODE11、MODE12 の組み合わせにより決まります。

15. クロック発振器 (CPG)

15.4.1 周波数制御レジスタ 0 (FRQCR0)

FRQCR0 は、読み出しと一部分書き込み可能な 32 ビットのレジスタで、各クロックの周波数を変更するためのシーケンスを実行するためのレジスタです。シーケンスを実行した後、自動的に 0 にクリアされます。FRQCR0 はロングワードアクセスのみ可能です。

FRQCR0 への書き込みは上位バイトをコード値 (H'CF) にしてロングワードサイズで行ってください。これ以外のコード値での書き込みは無効です。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'CF)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRQE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R/W	コード値 (H'CF) 読み出しは 0 が読み出されます。本レジスタへの書き込み時は H'CF を書き込んでください。
23~1	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	FRQE	0	R/W	周波数変更シーケンスイネーブル FRQCR1 に設定した値にしたがい各クロックの周波数を変更するためのシーケンス実行を許可します。シーケンス実行後、本ビットは自動的に 0 にクリアされます。 0 : 周波数を変更するためのシーケンス実行を禁止 1 : 周波数を変更するためのシーケンス実行を許可 【注】設定禁止の分周比の組み合わせがありますので、表 15.8 ~ 表 15.11 以外の値を FRQCR1 に設定した状態では、FRQE に 1 をセットしないでください。

15.4.2 周波数制御レジスタ 1 (FRQCR1)

FRQCR1 は、読み出しと書き込み可能な 32 ビットのレジスタで、CPU クロック (Ick)、SuperHyway クロック (SHck)、周辺クロック (Pck)、DDR クロック (DDRck)、バスクロック (Bck)、GDTA クロック (GAck)、DU クロック (DUck) および RAM クロック (Uck) の分周器 2 の分周率の設定が可能です。各クロックの分周器 2 での分周率を確認するには、FRQMR1 を読み出ししてください。FRQCR1 はロングワードアクセスのみ可能です。

H'0 以外の値を書き込んだクロックの分周率を変更するので、分周率を変更したいクロックに対応するビットにのみ H'0 以外の値を設定してください。それ以外のビットには、H'0 を設定してください。

各クロックを FRQCR1 に設定した分周率に変更するためには、FRQCR0 の FRQE ビットに 1 をセットして、周波数を変更するためのシーケンスを実行する必要があります。シーケンスを実行した後、本レジスタは自動的に H'0000 0000 にクリアします。

ただし、DDR クロック (DDRck) の分周率を変更する場合は、SDRAM をセルフリフレッシュ状態に移行させてください。セルフリフレッシュ状態への移行、解除の手順は、「第 12 章 DDR2-SDRAM インタフェース」を参照してください。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IFC3	IFC2	IFC1	IFC0	UFC3	UFC2	UFC1	UFC0	SFC3	SFC2	SFC1	SFC0	BFC3	BFC2	BFC1	BFC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFC3	MFC2	MFC1	MFC0	S2FC3	S2FC2	S2FC1	S2FC0	S3FC3	S3FC2	S3FC1	S3FC0	PFC3	PFC2	PFC1	PFC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	IFC3	0	R/W	CPU クロック (Ick) 周波数の分周率
30	IFC2	0	R/W	0000 : 変更しない 0010 : × 1/4 倍
29	IFC1	0	R/W	0001 : × 1/2 倍 0011 : × 1/6 倍
28	IFC0	0	R/W	上記以外 : 設定しないでください
27	UFC3	0	R/W	RAM クロック (Uck) 周波数の分周率
26	UFC2	0	R/W	0000 : 変更しない 0011 : × 1/6 倍
25	UFC1	0	R/W	0010 : × 1/4 倍
24	UFC0	0	R/W	上記以外 : 設定しないでください
23	SFC3	0	R/W	SuperHyway クロック (SHck) 周波数の分周率
22	SFC2	0	R/W	0000 : 変更しない 0011 : × 1/6 倍
21	SFC1	0	R/W	0010 : × 1/4 倍
20	SFC0	0	R/W	上記以外 : 設定しないでください

15. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
19	BFC3	0	R/W	バスクロック (Bck) 周波数の分周率 0000 : 変更しない 0111 : × 1/18 倍 1010 : × 1/36 倍 0101 : × 1/12 倍 1000 : × 1/24 倍 1011 : × 1/48 倍 0110 : × 1/16 倍 1001 : × 1/32 倍 上記以外 : 設定しないでください
18	BFC2	0	R/W	
17	BFC1	0	R/W	
16	BFC0	0	R/W	
15	MFC3	0	R/W	DDR クロック (DDRck) 周波数の分周率 0000 : 変更しない 0011 : × 1/6 倍 0010 : × 1/4 倍 上記以外 : 設定しないでください
14	MFC2	0	R/W	
13	MFC1	0	R/W	
12	MFC0	0	R/W	
11	S2FC3	0	R/W	GDTA クロック (GAck) 周波数の分周率 0000 : 変更しない 0101 : × 1/12 倍 0100 : × 1/8 倍 上記以外 : 設定しないでください
10	S2FC2	0	R/W	
9	S2FC1	0	R/W	
8	S2FC0	0	R/W	
7	S3FC3	0	R/W	DU クロック (DUck) 周波数の分周率 0000 : 変更しない 0110 : × 1/16 倍 1001 : × 1/32 倍 0100 : × 1/8 倍 0111 : × 1/18 倍 1010 : × 1/36 倍 0101 : × 1/12 倍 1000 : × 1/24 倍 1011 : × 1/48 倍 上記以外 : 設定しないでください
6	S3FC2	0	R/W	
5	S3FC1	0	R/W	
4	S3FC0	0	R/W	
3	PFC3	0	R/W	周辺クロック (Pck) 周波数の分周率 0000 : 変更しない 1000 : × 1/24 倍 1010 : × 1/36 倍 0111 : × 1/18 倍 1001 : × 1/32 倍 1011 : × 1/48 倍 上記以外 : 設定しないでください
2	PFC2	0	R/W	
1	PFC1	0	R/W	
0	PFC0	0	R/W	

15.4.3 周波数表示レジスタ 1 (FRQMR1)

FRQMR1 は、読み出し可能な 32 ビットのレジスタで、CPU クロック (Ick)、SuperHyway クロック (SHck)、周辺クロック (Pck)、DDR クロック (DDRck)、バスクロック (Bck)、GDTA クロック (GAck)、DU クロック (DUck) および RAM クロック (Uck) の分周器 2 での分周率を読み出すことが可能です。FRQMR1 はロングワードアクセスのみ可能です。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IFST3	IFST2	IFST1	IFST0	UFST3	UFST2	UFST1	UFST0	SFST3	SFST2	SFST1	SFST0	BFST3	BFST2	BFST1	BFST0
初期値 :	0	0	0	1	0	0	1	x	0	0	1	x	x	x	x	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFST3	MFST2	MFST1	MFST0	S2FST3	S2FST2	S2FST1	S2FST0	S3FST3	S3FST2	S3FST1	S3FST0	PFST3	PFST2	PFST1	PFST0
初期値 :	0	0	1	x	0	1	0	x	x	1	x	x	1	0	x	x
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 初期値 (x:不定値のビット)は、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に取り込んだモード端子 MODE0、MODE1、MODE2、MODE3、MODE4、MODE11、MODE12の組み合わせにより決まります。表 15.3、または表 15.4 を参照してください。

ビット	ビット名	初期値	R/W	説明	
31	IFC3	0	R	CPU クロック (Ick) 周波数の分周率	
30	IFC2	0	R		0001 : $\times 1/2$ 倍
29	IFC1	0	R		0010 : $\times 1/4$ 倍
28	IFC0	1	R		0011 : $\times 1/6$ 倍
27	UFC3	0	R	RAM クロック (Uck) 周波数の分周率	
26	UFC2	0	R		0010 : $\times 1/4$ 倍
25	UFC1	1	R		0011 : $\times 1/6$ 倍
24	UFC0	x	R		
23	SFC3	0	R	SuperHyway クロック (SHck) 周波数の分周率	
22	SFC2	x	R		0010 : $\times 1/4$ 倍
21	SFC1	x	R		0011 : $\times 1/6$ 倍
20	SFC0	0	R		
19	BFC3	0	R	バスクロック (Bck) 周波数の分周率	
18	BFC2	x	R		0101 : $\times 1/12$ 倍 1000 : $\times 1/24$ 倍 1011 : $\times 1/48$ 倍
17	BFC1	x	R		0110 : $\times 1/16$ 倍 1001 : $\times 1/32$ 倍
16	BFC0	x	R		0111 : $\times 1/18$ 倍 1010 : $\times 1/36$ 倍

15. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
15	MFC3	0	R	DDR クロック (DDRck) 周波数の分周率 0010 : × 1/4 倍 0011 : × 1/6 倍
14	MFC2	1	R	
13	MFC1	0	R	
12	MFC0	x	R	
11	S2FC3	0	R	GDTA クロック (GAck) 周波数の分周率 0100 : × 1/8 倍 0101 : × 1/12 倍 1111 : クロック供給を停止
10	S2FC2	1	R	
9	S2FC1	0	R	
8	S2FC0	x	R	
7	S3FC3	x	R	DU クロック (DUck) 周波数の分周率 0100 : × 1/8 倍 0111 : × 1/18 倍 1010 : × 1/36 倍 0101 : × 1/12 倍 1000 : × 1/24 倍 1011 : × 1/48 倍 0110 : × 1/16 倍 1001 : × 1/32 倍 1111 : クロック供給を停止
6	S3FC2	1	R	
5	S3FC1	x	R	
4	S3FC0	x	R	
3	PFC3	1	R	周辺クロック (Pck) 周波数の分周率 0111 : × 1/18 倍 1001 : × 1/32 倍 1011 : × 1/48 倍 1000 : × 1/24 倍 1010 : × 1/36 倍
2	PFC2	0	R	
1	PFC1	x	R	
0	PFC0	x	R	

15.4.4 PLL コントロールレジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W						
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~16	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。0 以外の値を書き込んだ場合、動作は保障しません。
15~2	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
1	CKOFF	0	R/W	CLKOUT 出力イネーブル 0 : CLKOUT 端子からクロックを出力します。 1 : CLKOUT 端子をハイインピーダンス状態にします。
0	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

15.5 周波数の算出方法

周波数制御レジスタ FRQCR1、周波数表示レジスタ FRQMR1 で記載した分周器 2 の分周率と、EXTAL 入力との関係を表 15.7 に示します。

表 15.7 分周器 2 の分周率と周波数との関係

分周器 2 の分周率	周波数 (対入力クロック)	
	クロック動作モード 0 ~ 3	クロック動作モード 16 ~ 19
× 1/2 倍	36 週倍	18 週倍
× 1/4 倍	18 週倍	9 週倍
× 1/6 倍	12 週倍	6 週倍
× 1/8 倍	9 週倍	9/2 週倍
× 1/12 倍	6 週倍	3 週倍
× 1/16 倍	9/2 週倍	9/4 週倍
× 1/18 倍	4 週倍	2 週倍
× 1/24 倍	3 週倍	3/2 週倍
× 1/32 倍	9/4 週倍	9/8 週倍
× 1/36 倍	2 週倍	1 週倍
× 1/48 倍	3/2 週倍	3/4 週倍

15.6 周波数の変更方法

内部クロックおよびローカルバスクロック CLKOUT の周波数をソフトウェアにより変更するためには、以下の手順で周波数制御レジスタ FRQCR0、FRQCR1 を設定してください。表 15.8～表 15.11 に設定可能な周波数の組み合わせを示します。

15.6.1 バスクロック以外のクロックの周波数変更

バスクロック以外のクロックの周波数を変更する場合は、WDT によるカウントアップは行いません。周波数変更の手順を以下に示します。

1. FRQCR1 レジスタで分周率を変更したいクロックに対応するビットに目的とする値 (H'0 以外) を設定します。*
2. FRQCR0 レジスタに H'CF000001 を設定し、周波数変更シーケンスの実行を許可します。この書き込みにより、周波数変更シーケンスを開始します。
3. FRQCR0 レジスタから H'00000000 が読み出せた時点で周波数変更シーケンスは終了しており、内部クロックは設定された分周率のクロックに切り替わっています。

【注】 * DDR クロック周波数を変更するために FRQCR1.MFC[3:0] に H'0 以外の値を設定した場合は、2. を実行する前に SDRAM をセルフリフレッシュ状態に移行させてください。セルフリフレッシュ状態への移行、解除の手順は、「第 12 章 DDR2-SDRAM インタフェース」を参照してください。

15.6.2 バスクロックの周波数変更

バスクロックの周波数を変更する場合は、PLL 回路 2 の発振安定後に WDT によるカウントアップを行います。WDT のカウントオーバーフロー後に本 LSI は動作を再開します。

図 15.2 と図 15.3 にバスクロックの周波数変更時の CLKOUT 端子と CLKOUTENB 端子のタイミングを示します。

また、周波数変更の手順を以下に示します。

1. WDTCSR の TME ビットに 0 を書き込んで、WDT を停止します。
2. WDTBST に PLL 回路 2 の発振安定後に、本 LSI が動作を再開するまでの時間を設定します。H'55000001 を書き込んだときが最小で、H'55000000 を書き込んだときが最大となります。
3. FRQCR1 レジスタで分周率を変更したいクロックに対応するビットに目的とする値 (H'0 以外) を設定します。*
4. FRQCR0 レジスタに H'CF000001 を設定し、周波数変更シーケンスの実行を許可します。この書き込みにより、周波数変更シーケンスを開始します。
5. CLKOUTENB 端子出力がローレベルになり、周辺クロック (Pck) 周期で 10 サイクル後に CLKOUT 端子に不安定なクロックが出力されます。
6. PLL 回路 2 の発振安定後、周辺クロック (Pck) 周期で 10 サイクル後に CLKOUTENB 端子にハイレベルを出力します。
7. WDT のカウントアップを開始し、WDTBCNT の値が WDTBST の値と等しくなると、本 LSI は動作を再開します。

15. クロック発振器 (CPG)

8. FRQCR0レジスタからH'00000000が読み出せた時点で周波数変更シーケンスは終了しており、内部クロックは設定された分周率のクロックに切り替わっています。

【注】 * DDR クロック周波数を変更するために FRQCR1.MFC[3:0]に H'0 以外の値を設定した場合は、2.を実行する前に SDRAM をセルフリフレッシュ状態に移行させてください。セルフリフレッシュ状態への移行、解除の手順は、「第 12 章 DDR2-SDRAM インタフェース」を参照してください。

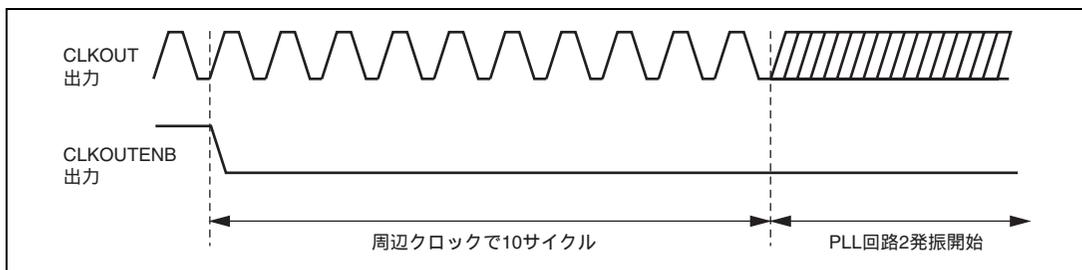


図 15.2 バスクロックの周波数変更開始時

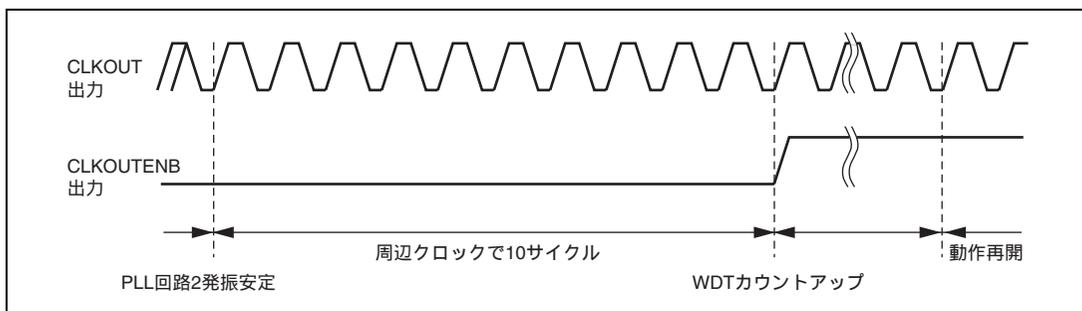


図 15.3 バスクロックの周波数変更終了時

表 15.8 設定可能なクロック周波数の組み合わせ (CPU クロック × 1/2 倍、DDR クロック × 1/4 倍)

FRQMR1 読み出し値	分周器 2 の分周率							
	CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
H'1225 2448	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/24	× 1/4	× 1/12
H'1225 2458	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/24	× 1/4	× 1/12
H'1225 2488	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/24	× 1/4	× 1/12
H'1225 244B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/12
H'1225 245B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/12
H'1225 246B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/12
H'1225 248B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/12
H'1225 24BB	× 1/2	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/12
H'1226 244B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/16
H'1226 245B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/16
H'1226 246B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/16
H'1226 248B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/16
H'1226 24BB	× 1/2	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/16
H'1228 2448	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/24	× 1/4	× 1/24
H'1228 2458	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/24	× 1/4	× 1/24
H'1228 2488	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/24	× 1/4	× 1/24
H'1228 244B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/24
H'1228 245B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/24
H'1228 246B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/24
H'1228 248B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/24
H'1228 24BB	× 1/2	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/24
H'122B 244B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/48
H'122B 245B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/48
H'122B 246B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/48
H'122B 248B	× 1/2	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/48
H'122B 24BB	× 1/2	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/48

【注】 上表以外の設定は禁止

15. クロック発振器 (CPG)

表 15.9 設定可能なクロック周波数の組み合わせ (CPU クロック × 1/4 倍、DDR クロック × 1/4 倍)

FRQMR1 読み出し値	分周器 2 の分周率							
	CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
H'2225 2448	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/24	× 1/4	× 1/12
H'2225 2458	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/24	× 1/4	× 1/12
H'2225 2488	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/24	× 1/4	× 1/12
H'2225 244B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/12
H'2225 245B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/12
H'2225 246B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/12
H'2225 248B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/12
H'2225 24BB	× 1/4	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/12
H'2226 244B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/16
H'2226 245B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/16
H'2226 246B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/16
H'2226 248B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/16
H'2226 24BB	× 1/4	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/16
H'2228 2448	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/24	× 1/4	× 1/24
H'2228 2458	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/24	× 1/4	× 1/24
H'2228 2488	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/24	× 1/4	× 1/24
H'2228 244B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/24
H'2228 245B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/24
H'2228 246B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/24
H'2228 248B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/24
H'2228 24BB	× 1/4	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/24
H'222B 244B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/8	× 1/48	× 1/4	× 1/48
H'222B 245B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/12	× 1/48	× 1/4	× 1/48
H'222B 246B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/16	× 1/48	× 1/4	× 1/48
H'222B 248B	× 1/4	× 1/4	× 1/4	× 1/8	× 1/24	× 1/48	× 1/4	× 1/48
H'222B 24BB	× 1/4	× 1/4	× 1/4	× 1/8	× 1/48	× 1/48	× 1/4	× 1/48

【注】 上表以外の設定は禁止

表 15.10 設定可能なクロック周波数の組み合わせ (CPU クロック×1/2 倍、DDR クロック×1/6 倍)

FRQMR1 読み出し値	分周器 2 の分周率							
	CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
H'1335 3558	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/24	× 1/6	× 1/12
H'1335 3588	× 1/2	× 1/6	× 1/6	× 1/12	× 1/24	× 1/24	× 1/6	× 1/12
H'1335 355A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/12
H'1335 357A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/12
H'1335 35AA	× 1/2	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/12
H'1335 355B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/12
H'1335 358B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/12
H'1335 35BB	× 1/2	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/12
H'1337 355A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/18
H'1337 357A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/18
H'1337 35AA	× 1/2	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/18
H'1338 3558	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/24	× 1/6	× 1/24
H'1338 3588	× 1/2	× 1/6	× 1/6	× 1/12	× 1/24	× 1/24	× 1/6	× 1/24
H'1338 355B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/24
H'1338 358B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/24
H'1338 35BB	× 1/2	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/24
H'133A 355A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/36
H'133A 357A	× 1/2	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/36
H'133A 35AA	× 1/2	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/36
H'133B 355B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/48
H'133B 358B	× 1/2	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/48
H'133B 35BB	× 1/2	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/48

【注】 上表以外の設定は禁止

15. クロック発振器 (CPG)

表 15.11 設定可能なクロック周波数の組み合わせ (CPU クロック × 1/6 倍、DDR クロック × 1/6 倍)

FRQMR1 読み出し値	分周器 2 の分周率							
	CPU クロック lck	RAM クロック Uck	Super Hyway クロック SHck	GDTA クロック GAck	DU クロック DUck	周辺 クロック Pck	DDR クロック DDRck	バス クロック Bck
H'3335 3558	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/24	× 1/6	× 1/12
H'3335 3588	× 1/6	× 1/6	× 1/6	× 1/12	× 1/24	× 1/24	× 1/6	× 1/12
H'3335 355A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/12
H'3335 357A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/12
H'3335 35AA	× 1/6	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/12
H'3335 355B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/12
H'3335 358B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/12
H'3335 35BB	× 1/6	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/12
H'3337 355A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/18
H'3337 357A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/18
H'3337 35AA	× 1/6	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/18
H'3338 3558	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/24	× 1/6	× 1/24
H'3338 3588	× 1/6	× 1/6	× 1/6	× 1/12	× 1/24	× 1/24	× 1/6	× 1/24
H'3338 355B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/24
H'3338 358B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/24
H'3338 35BB	× 1/6	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/24
H'333A 355A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/36	× 1/6	× 1/36
H'333A 357A	× 1/6	× 1/6	× 1/6	× 1/12	× 1/18	× 1/36	× 1/6	× 1/36
H'333A 35AA	× 1/6	× 1/6	× 1/6	× 1/12	× 1/36	× 1/36	× 1/6	× 1/36
H'333B 355B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/12	× 1/48	× 1/6	× 1/48
H'333B 358B	× 1/6	× 1/6	× 1/6	× 1/12	× 1/24	× 1/48	× 1/6	× 1/48
H'333B 35BB	× 1/6	× 1/6	× 1/6	× 1/12	× 1/48	× 1/48	× 1/6	× 1/48

【注】 上表以外の設定は禁止

15.7 ボード設計上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

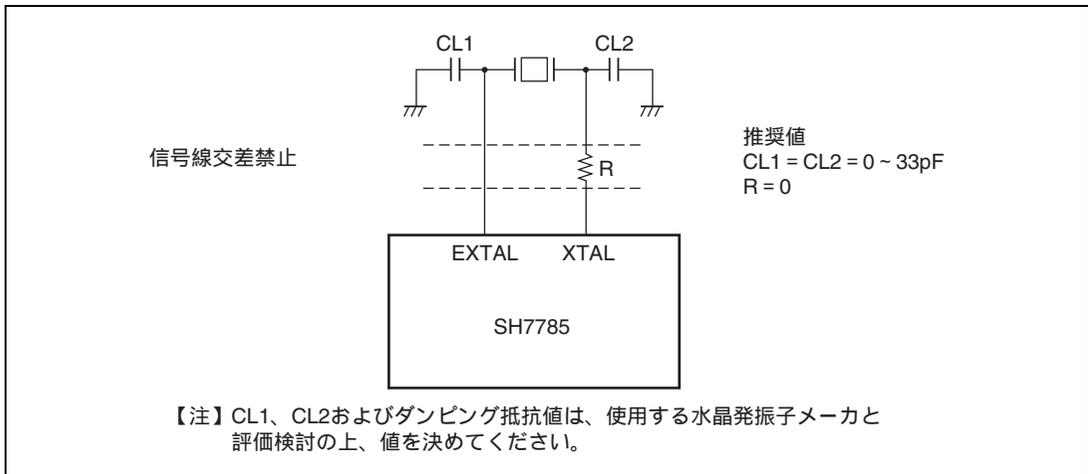


図 15.4 水晶発振器使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL 発振回路使用時の注意

VDDQ-PLL1、VDDQ-PLL2 と VSSQ-PLL1、VSSQ-PLL2 は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB およびバイパスコンデンサ CPB、CB を挿入してください。

15. クロック発振器 (CPG)

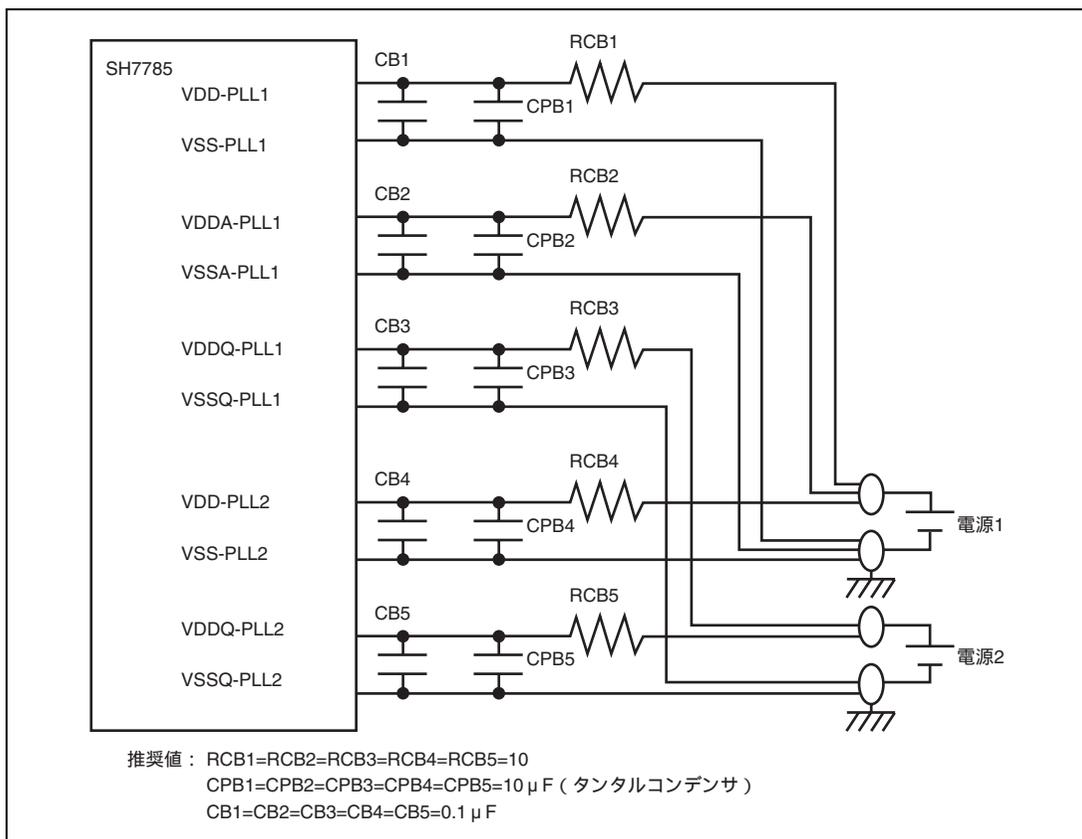


図 15.5 PLL 発振回路使用時の注意

16. リセット、ウォッチドッグタイマ (WDT)

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御と、本 LSI 内部のリセットを制御します。

WDT は 1 チャンネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

16.1 特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- カウンタオーバーフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- ウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをリセットします。
- リセットの種類は、パワーオンリセットとマニュアルリセットを選択できます。また、マニュアルリセット選択時には、`MRESETOUT`端子からマニュアルリセット信号を出力します。
- インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT関連のレジスタは、容易に書き換えられないように上位8ビットにコード値を設定しています。

16. リセット、ウォッチドッグタイマ (WDT)

図 16.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

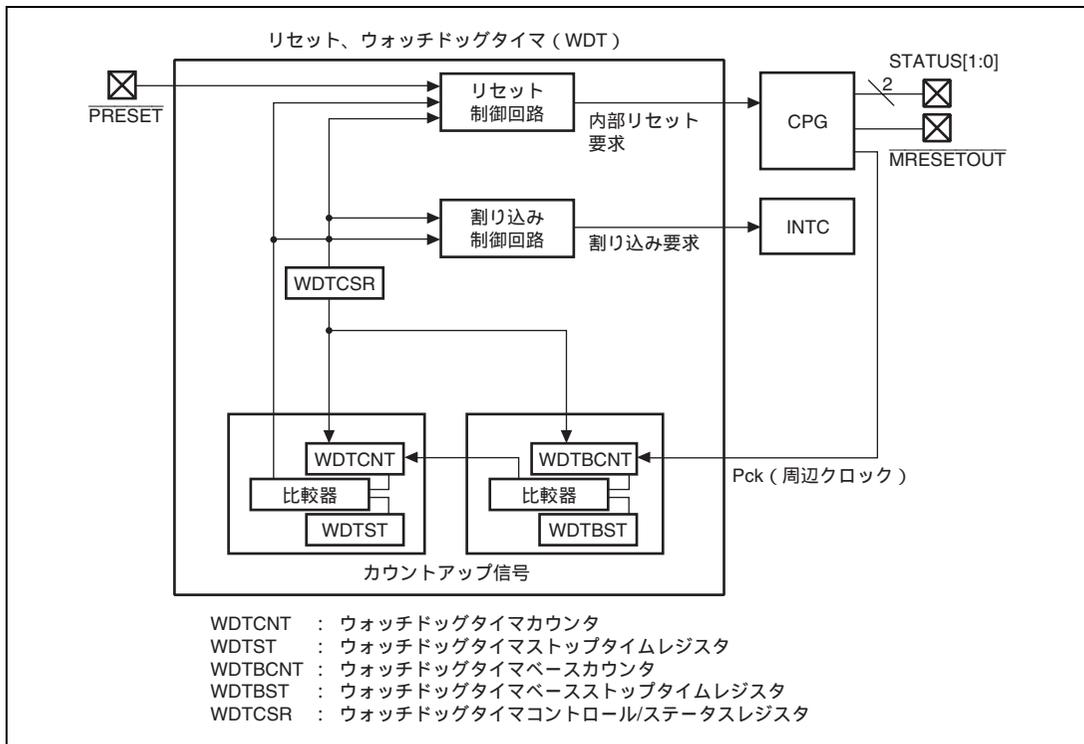


図 16.1 ブロック図

16.2 入出力端子

リセット、WDT の端子構成と機能を表 16.1 に示します。

表 16.1 リセット、WDT の端子構成と機能

端子名	機 能	入出力	説 明
PRESET	パワーオンリセット 入力端子	入力	端子にローレベルを入力することによりパワーオンリセット状態に 遷移します。
MRESETOUT	マニュアルリセット 出力端子	出力	マニュアルリセット発行中にローレベルを出力します。 MRESETOUT 端子は、IRQOUT (INTC) 端子とマルチプレクスさ れています。
STATUS[1:0]	ステータス出力	出力	本 LSI の動作状態を表します。 STATUS1* STATUS0* 動作状態 H H : リセット H L : スリープモード L L : 通常動作 STATUS1 端子は、DRAK1 (DMAC)、PK6 (GPIO) 端子と、 STATUS0 端子は、DRAK0 (DMAC)、PK7 (GPIO) 端子と、 それぞれマルチプレクスされています。

【注】 * L はローレベル、H はハイレベルです。

16.3 レジスタの説明

表 16.2 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 16.3 に示します。

表 16.2 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
ウォッチドッグタイマストップタイム レジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32	Pck
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32	Pck
ウォッチドッグタイマベースストップ タイムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32	Pck
ウォッチドッグタイマカウンタ	WDTCNT	R	H'FFCC 0010	H'1FCC0010	32	Pck
ウォッチドッグタイマベースカウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32	Pck

16. リセット、ウォッチドッグタイマ (WDT)

表 16.3 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット		マニュアル リセット	スリープ/ ディープ スリープ
		PRESET 端子 による	WDT/H-UDI に よる	WDT/多重例外 による	SLEEP 命令 による
ウォッチドッグタイマストップタイム レジスタ	WDTST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持
ウォッチドッグタイマベースストップ タイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマカウンタ	WDCNT	H'0000 0000	H'0000 0000	保持	保持
ウォッチドッグタイマベースカウンタ	WDTBCNT	H'0000 0000	H'0000 0000	保持	保持

16.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTCNT のオーバーフロー値を設定します。H'5A00 0001 を設定したときがオーバーフローまでの最小時間で、H'5A00 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'5A)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出しは 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23 ~ 12	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ~ 0	WDTST	すべて 0	R/W	タイマストップビット WDTCNT のオーバーフロー値を設定します。 001 : オーバフローの最小値 000 : オーバフローの最大値

16. リセット、ウォッチドッグタイマ (WDT)

16.3.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WDTCSR)

WDTCSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバフローフラグから成ります。

WDTCSR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'A5)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TME	WT/IT	RSTS	WOVF	IOVF	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出しは 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。 0 : カウントアップ停止 1 : カウントアップ開始
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/IT を書き替えるとカウントアップが正しく行われない場合があります。 0 : インターバルタイマモード 1 : ウォッチドッグタイマモード
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WDTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。 0 : パワーオンリセット 1 : マニュアルリセット

16. リセット、ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WDCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WDCNT がオーバーフローした
3	IOVF	0	R/W	インターバルタイマオーバーフロー インターバルタイマモードで WDCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードではセットされません。 0: オーバフローなし 1: インターバルタイマモードで WDCNT がオーバーフローした
2-0	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

16. リセット、ウォッチドッグタイマ (WDT)

16.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し / 書き込み可能な 32 ビットのレジスタで、バスクロックの周波数を変更した場合の WDTBCNT のオーバーフロー値を設定します。H'5500 0001 を設定したときがオーバーフローまでの最小時間で、H'5500 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTBST への書き込みは上位バイトをコード値 (H'55) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'55)								—	—	—	—	—	—	—	WDTBST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBST															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'55) 読み出しは 0 が読み出されます。本レジスタへの書き込みは H'55 を書き込んでください。
23~18	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
17~0	WDTBST	H'00000	R/W	ベースタイムストップビット WDTBCNT のオーバーフロー値を設定します。 H'00001 : オーバフローの最小値 H'00000 : オーバフローの最大値

16.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバフローによりカウントアップします。WDTCNT がオーバフローすると、ウォッチドッグタイマモードでは選択したリセットが発生し、インターバルタイマモードでは割り込みが発生します。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。
11~0	WDTCNT	H'000	R	カウンタ値

16.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (Pck) によりカウントアップします。WDTBCNT がオーバフローすると、WDTCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTBCNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。
17~0	WDTBCNT	H'00000	R	ベースカウンタ値

16.4 動作説明

16.4.1 リセット要求

リセットには、パワーオンリセットとマニュアルリセットがあります。それぞれの発生要因を説明します。

(1) パワーオンリセット

- 要因:

- $\overline{\text{PRESET}}$ 端子からローレベルを入力した場合
- WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが0の状態、WDTCNTがオーバーフローした場合
- H-UDIリセットが発生した場合

詳細は「第30章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

- 遷移先アドレス: H'A000 0000

- 遷移時動作:

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。

CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

電源投入時には必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDIを初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

```
Power_on_reset()
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD=0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A000 0000;
}
```

(2) マニュアルリセット

- 要因：
 - SRのBLビットが1のときユーザブ레이크を除く一般例外が発生した場合
 - WDTCSRのWT/IT̄ビットが1かつWDTCSRのRSTSビットが1の状態で、WDTCNTがオーバーフローした場合
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset()
{
    EXPEVT = H'0000 0020;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A000 0000;
}
```

16.4.2 ウォッチドッグタイマモードの使用法

1. WDTSTにWDTCNTのオーバーフロー時間を設定する。
2. WDTCSRのWT/IT̄ビットに1、RSTSビットにリセットのタイプを設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTがオーバーフローしないように定期的にWDTCNT、またはWDTBCNTをクリアしてください。クリア方法は「16.4.5 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTがオーバーフローすると、WDTCSRのWOVFフラグを1にセットし、RSTSビットで指定したリセットが発生します。リセット解除後、WDTCNT、およびWDTBCNTはカウントを再開します。

16.4.3 インターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDCNTのオーバーフロー時間を設定する。
2. WDTCSRのWT/ITビットに0を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. WDCNTがオーバーフローすると、WDTCSRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDCNT、およびWDTBCNTはカウントを続行しています。

16.4.4 WDT オーバフロー発生までの時間

WDCNT と WDTBCNT との関係を図 16.2 に示します。

図はインターバルタイマモードの例で、WDCNT のオーバーフロー後もカウントアップを続けます。

ウォッチドッグタイマモードでは、リセット解除後に WDCNT、WDTBCNT を 0 にクリアしてカウントアップを再開します。

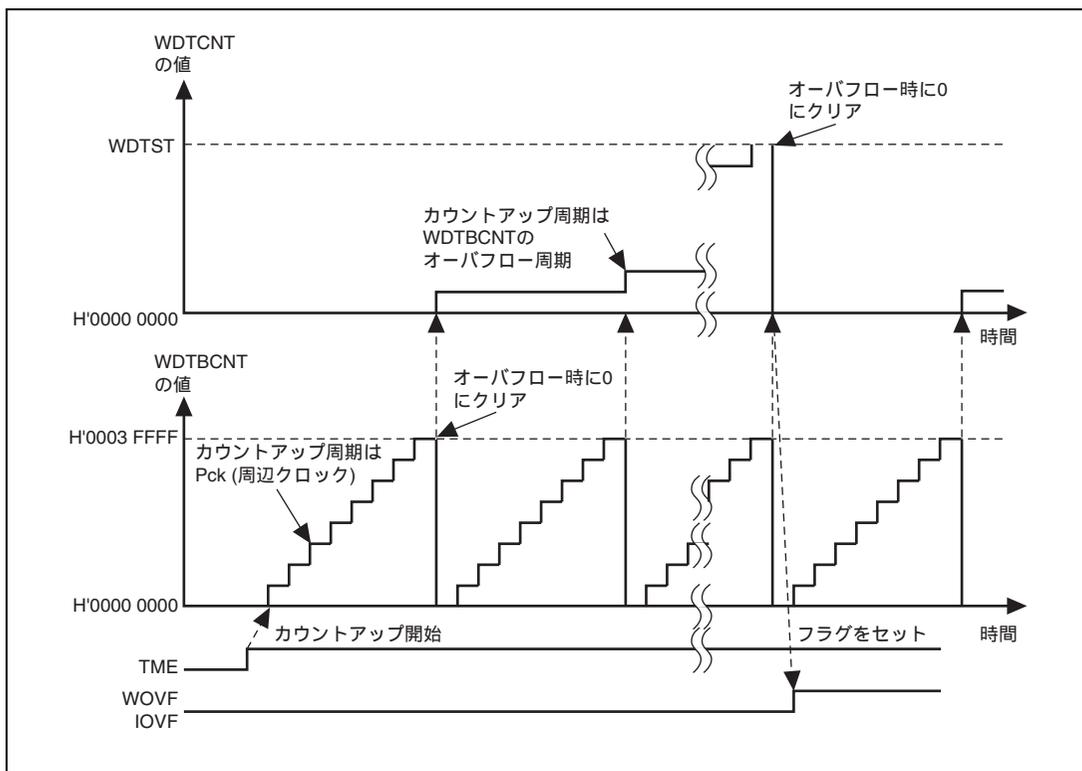


図 16.2 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT は 18 ビットのカウンタで、周辺クロックでカウントアップします。周辺クロック Pck の周期を tPck (ns) とすると、WDTBCNT のオーバフロー周期は、

$$2^{18}[\text{bit}] \times \text{tPck}[\text{ns}] = 0.262 \times \text{tPck} [\text{ms}]$$

となります。

WDTCNT は 12 ビットのカウンタで、WDTBCNT でオーバフローが発生するとカウントアップします。WDTST の全ビットに"0"を書き込んだ場合がオーバフローまでの最大時間になります。周辺クロック Pck の周期を tPck (ns) とすると、

WDTCNT のオーバフロー周期の最大時間は、

$$2^{12}[\text{bit}] \times (0.262 \times \text{tPck})[\text{ms}] = 1.073 \times \text{tPck} [\text{s}]$$

また最小時間は、WDTST に H'5A00 0001 を書き込んだ場合で、WDTBCNT のオーバフロー周期と等しくなります。

例えば、周辺クロックが 50MHz の場合、tPck は 20ns となり

$$\text{WDTBCNT のオーバフロー周期} : 0.262 \times 20 = 5.24[\text{ms}]$$

$$\text{WDTCNT のオーバフロー周期の最大時間} : 1.073 \times 20 = 21.46[\text{s}]$$

となります。

16.4.5 WDT カウンタのクリア方法

WDTBST にコード値を書き込むことにより WDTBCNT が、WDTST にオーバフロー値を設定することにより WDTCNT が、それぞれ 0 にクリアされます。

16.5 リセット中の端子タイミング

16.5.1 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、PLL 発振安定時間を確保する必要があります。したがって、PLL 発振安定時間中に $\overline{\text{PRESET}}$ 端子にハイレベルを入力しないでください。PLL 発振安定時間は、PLL1 発振安定時間と PLL2 発振安定時間を合計した時間です。

$\overline{\text{PRESET}}$ 端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

(1) 電源投入シーケンス

電源投入時は、必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

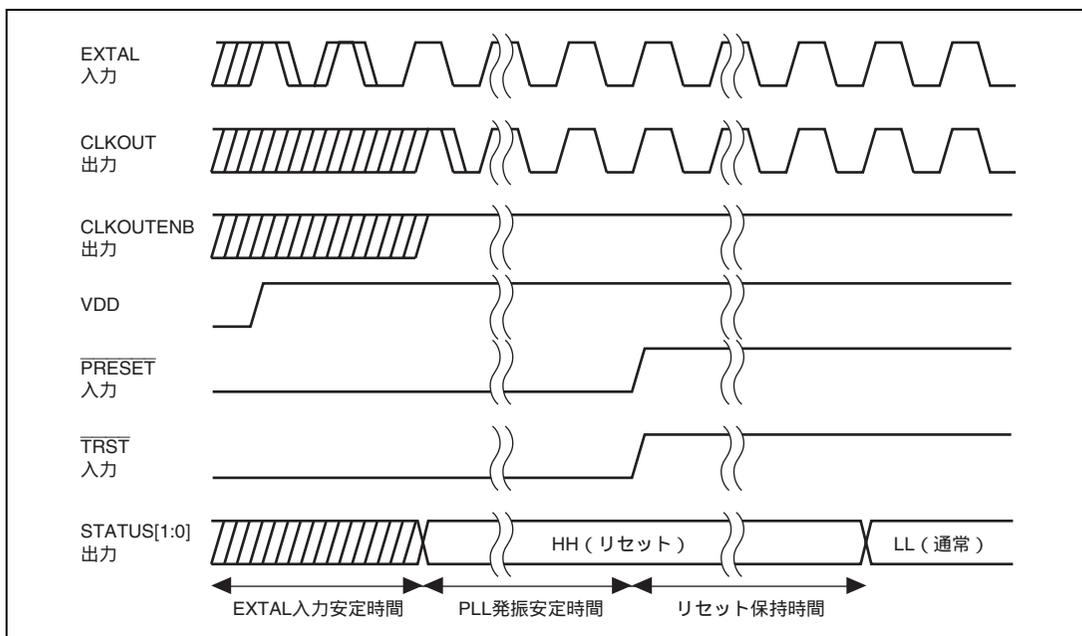


図 16.3 電源投入シーケンス

(2) 通常動作中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

通常動作中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

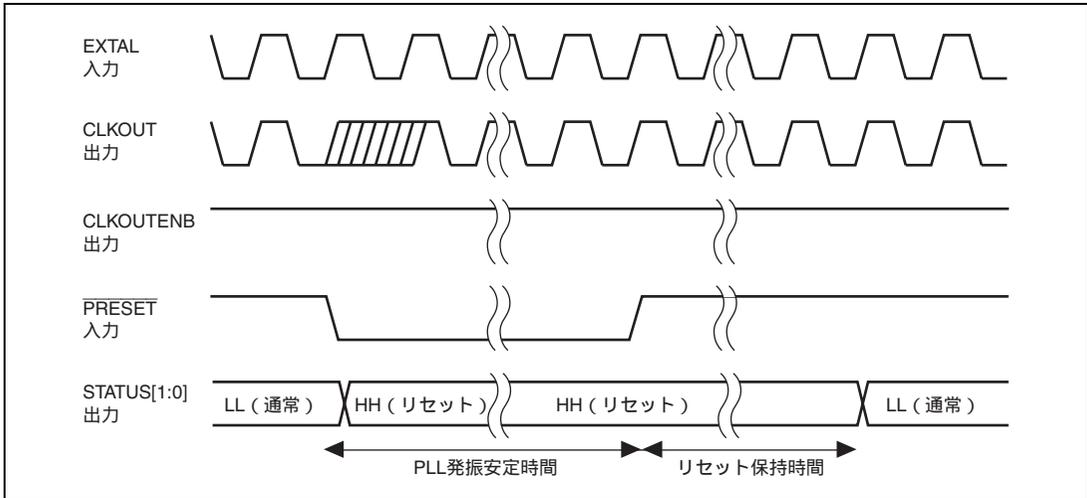


図 16.4 通常動作中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

16. リセット、ウォッチドッグタイマ (WDT)

(3) スリープ中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

スリープ中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

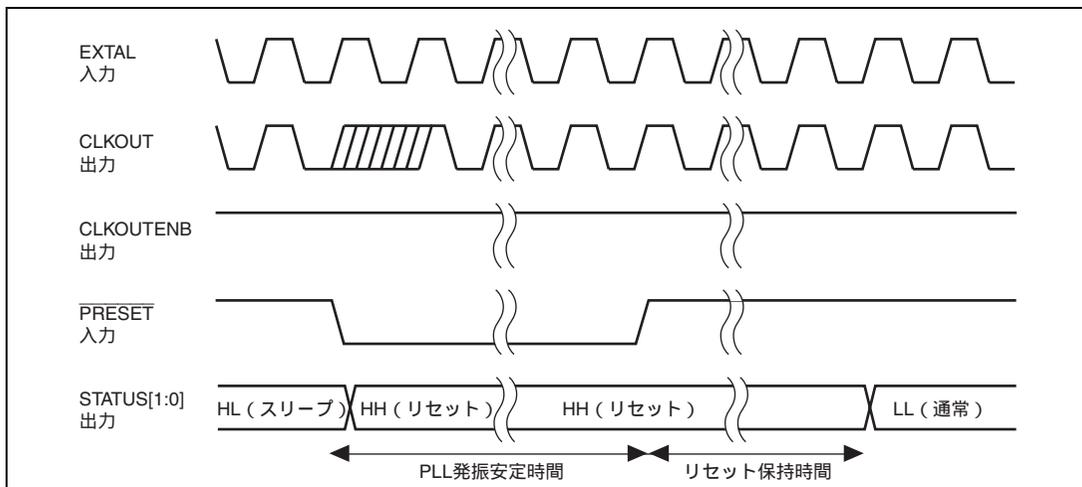


図 16.5 スリープ中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

16.5.2 WDT オーバフローによるパワーオンリセット

WDT オーバフローによるパワーオンリセットの期間 (WDT リセット時間) は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

また、WDT オーバフローからパワーオンリセット状態に遷移するまでの時間 (WDT リセット要求時間) は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

さらに、バスクロックの周波数を、初期値から変更していた場合には、PLL 回路 2 の発振安定時間 (PLL 発振安定時間)、本 LSI が動作を再開するまでの時間 (WDT カウントアップ) が必要になります。このときの、WDT リセット時間は周辺クロック (Pck) 周期の 2 クロック以上になります。

(1) 通常動作中に WDT オーバフローによりパワーオンリセットを発生させた場合

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

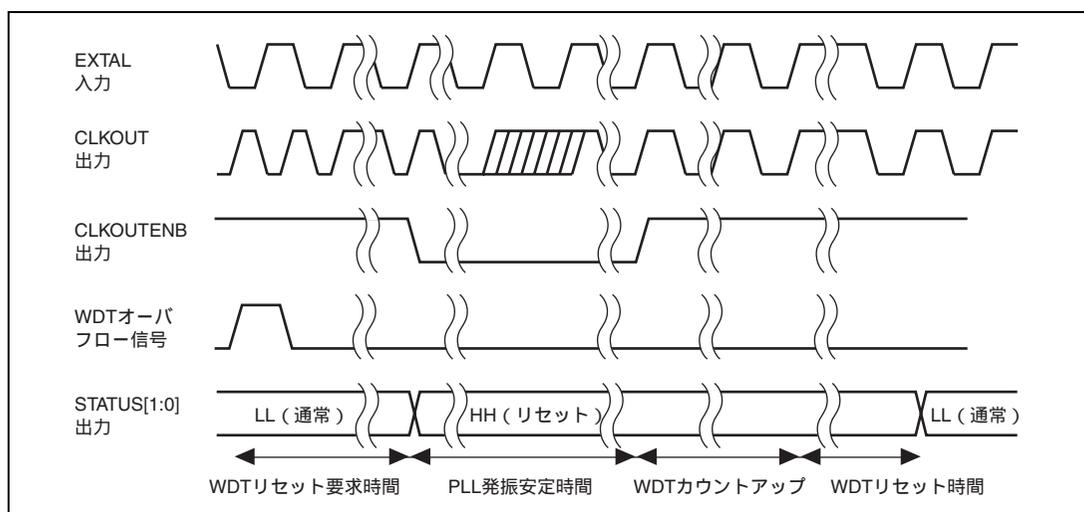


図 16.6 通常動作中の WDT オーバフローによるパワーオンリセット

16. リセット、ウォッチドッグタイマ (WDT)

(2) スリープ中に WDT オーバフローによりパワーオンリセットを発生させた場合

STATUS[1:0]がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

さらに、バスクロックの周波数を、初期値から変更していた場合には、PLL 回路 2 の発振安定時間 (PLL 発振安定時間)、本 LSI が動作を再開するまでの時間 (WDT カウントアップ) が必要になります。このときの、WDT リセット時間は周辺クロック (Pck) 周期の 2 クロック以上になります。

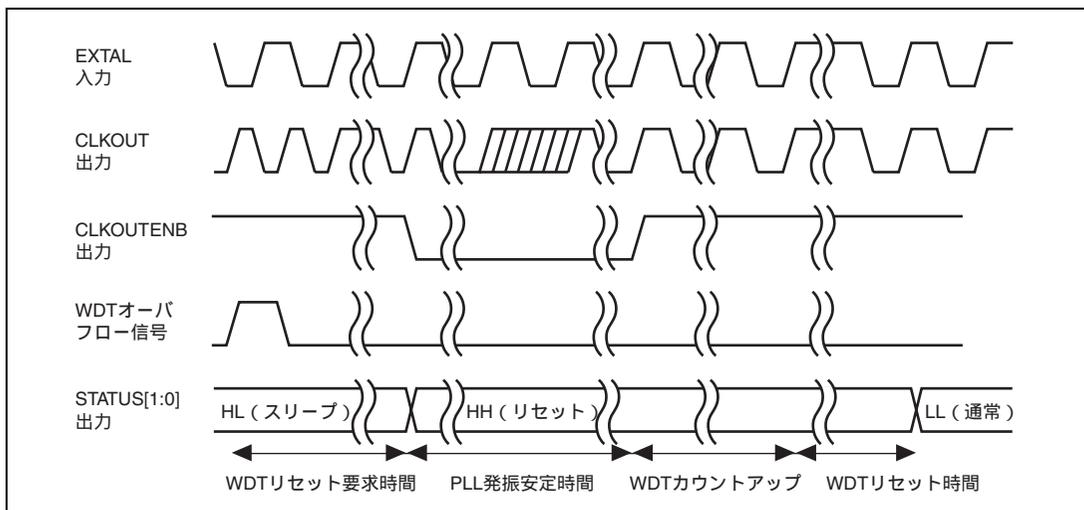


図 16.7 スリープ中の WDT オーバフローによるパワーオンリセット

16.5.3 WDT オーバフローによるマニュアルリセット

WDT オーバフローによるマニュアルリセットの期間 (WDT マニュアルリセット時間) は、周辺クロック (Pck) 周期の 30 サイクル以上になります。

また、WDT オーバフローからマニュアルリセット状態に遷移するまでの時間 (WDT リセット要求時間) は、周辺クロック (Pck) 周期の 8 サイクル以上になります。

(1) 通常動作中に WDT オーバフローによりマニュアルリセットが発生させた場合

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

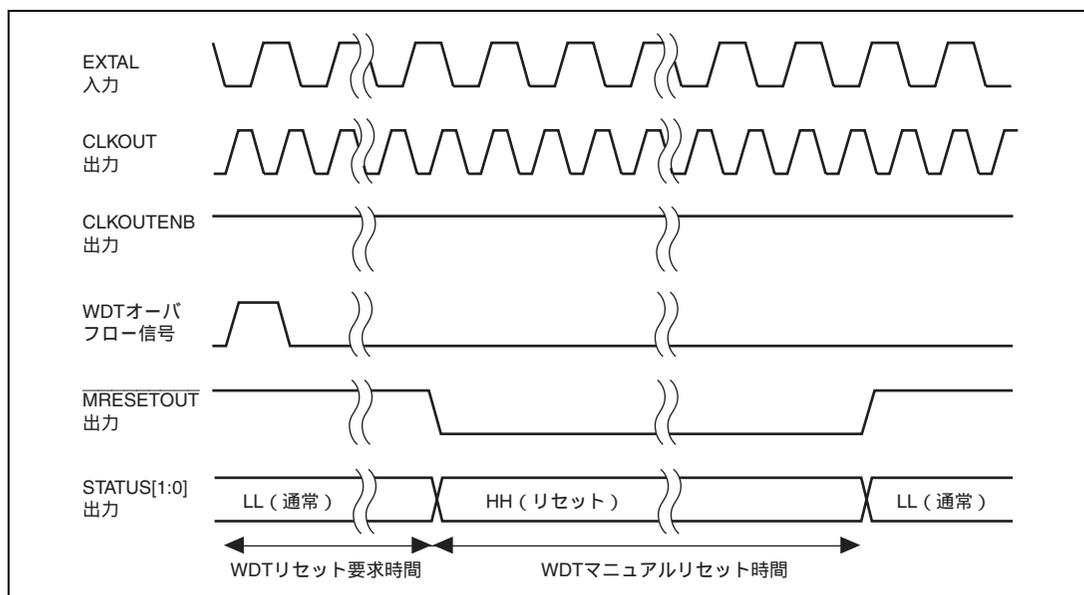


図 16.8 通常動作中の WDT オーバフローによるマニュアルリセット

16. リセット、ウォッチドッグタイマ (WDT)

(2) スリープ中に WDT オーバフローによりマニュアルリセットを発生させた場合

STATUS[1:0]がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります

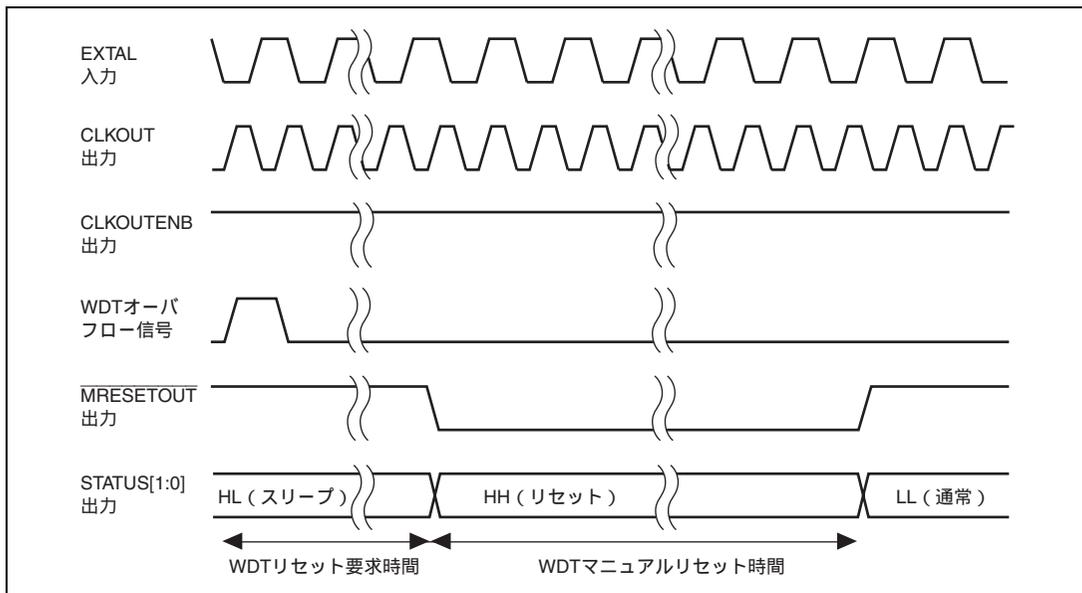


図 16.9 スリープ中の WDT オーバフローによるマニュアルリセット

17. 低消費電力モード

低消費電力モードでは、内蔵モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

17.1 特長

- スリープモード/ディープスリープモード/モジュールスタンバイモードのサポート
- 1.8V系電源のみを保持し、他の電源をオフするDDR2-SDRAM電源バックアップモードのサポート

17.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ディープスリープモード
3. モジュールスタンバイ機能
4. DDR2-SDRAM電源バックアップ

17. 低消費電力モード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や内蔵モジュールなどの状態、各モードの解除方法を、表 17.1 に示します。

表 17.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態							解除方法	
		CPG	CPU	内蔵メモリ	内蔵モジュール			端子		DDR2-SDRAM
					DMAC	GDTA	その他			
スリープモード	SLEEP 命令を実行 (17.4 参照)	動作	停止 (レジスタは保持)	保持	動作	動作	動作	動作状態を保持	オートリフレッシュまたはセルフリフレッシュ ^{*3}	(1) 割り込み (2) パワーオンリセット (3) マニュアルリセット
ディープスリープモード	スリープコントロールレジスタ SLPCR の DSLP ビットが 1 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	停止 (レジスタは保持)	停止 (レジスタは保持)	動作 (DU、TMU、SCIF、SIOF、HSPI、MMCIF、HAC、SSI、FLCTL、UBC は停止 ^{*1})	動作状態を保持	セルフリフレッシュ ^{*3}	(1) 割り込み (2) パワーオンリセット (3) マニュアルリセット
モジュールスタンバイ機能	スタンバイコントロールレジスタ MSTPCR0/MSTPCR1 の該当ビットを 1 にする。 (17.3.2、17.3.3 参照)	動作	動作	保持	チャンネル 0 ~ 5、6 ~ 11 の 6 チャンネル単位で停止	停止	指定モジュールが停止	動作状態を保持	オートリフレッシュまたはセルフリフレッシュ ^{*3}	スタンバイコントロールレジスタ (MSTPCR0/MSTPCR1) の該当ビットを 0 にする。 (17.3.2、17.3.3 参照)
DDR2-SDRAM 電源バックアップ ^{*2}	17.8 参照	停止	停止	不定	停止	停止	停止	1.8V 系インタフェース以外は不定 (MBKPRST 入力 がローレベル時 MCKE はハイレベル出力)	セルフリフレッシュ ^{*3}	パワーオンリセット

【注】 *1 スリープ命令を実行しディープスリープモードへ遷移する前に、モジュールスタンバイ機能を用いて TMU、SCIF、SIOF、HSPI、MMCIF、HAC、SSI、FLCTL、UBC の各モジュールを停止状態にしておく必要があります。詳細は、「17.5 ディープスリープモード」を参照してください。

*2 DDR2-SDRAM 電源バックアップ時は、1.8V 電源以外の電源 (1.1V、3.3V 電源) は遮断されますので DDR2 インタフェースのパッド部分以外は DDR2 インタフェースの制御部を含め、すべて停止するとともにレジスタ情報も保持されません。

*3 オートリフレッシュ、セルフリフレッシュ動作は「第 12 章 DDR2-SDRAM インタフェース (DBSC2)」を参照してください。

17.2 入出力端子

低消費電力モードに関連する端子を表 17.2 に示します。

表 17.2 端子構成

端子名	機能	入出力	説明
STATUS1	処理状態 1	出力	本 LSI の動作状態を表します。 STATUS1* STATUS0* 動作状態 H H : リセット H L : スリープモード L L : 通常動作 STATUS1 端子は、DRAK1 (DMAC)、PK6 (GPIO) 端子と、 STATUS0 端子は、DRAK0 (DMAC)、PK7 (GPIO) 端子と、 それぞれマルチプレクスされています。
STATUS0	処理状態 0		

【注】 * L はローレベル、H はハイレベルです。

17.3 レジスタの説明

表 17.3 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 17.3 に示します。

表 17.3 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
スリープコントロールレジスタ	SLPCR	R/W	H'FFC8 0020	H'1FC8 0020	32	Pck
スタンバイコントロールレジスタ 0	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32	Pck
スタンバイコントロールレジスタ 1	MSTPCR1	R/W	H'FFC8 0034	H'1FC8 0034	32	Pck
スタンバイ表示レジスタ	MSTPMR	R	H'FFC8 0044	H'1FC8 0044	32	Pck

【注】 スタンバイコントロールレジスタ 0/1 については、図 15.1 を参照してください。

表 17.4 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープスリープ
		PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による
スタンバイコントロールレジスタ 0*1	MSTPCR0	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 1*1	MSTPCR1	H'0000 0000	保持	保持
スタンバイ表示レジスタ 1	MSTPMR1	H'00x0 0000*2	保持	保持

【注】 *1 スタンバイコントロールレジスタ 0/1 については、図 15.1 を参照してください。

*2 パワーオンリセット後の初期値は、モード端子 (MODE11、MODE12) の組み合わせにより決まります。

MODE12 にローレベルを入力した場合、H'00100000

MODE12 にハイレベル、MODE11 にローレベルを入力した場合、H'00300000

MODE12、MODE11 とともにハイレベルを入力した場合、H'00200000

17.3.1 スリープコントロールレジスタ (SLPCR)

SLPCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、ディープスリープモードへの遷移を指定できます。SLPCR は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSL
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~2	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
1	-	0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	DSL	0	R/W	ディープスリープ SLEEP 命令の実行でディープスリープモードへの遷移を許可します。 0 : SLEEP 命令の実行でスリープモードに遷移 1 : SLEEP 命令の実行でディープスリープモードに遷移

17. 低消費電力モード

17.3.2 スタンバイコントロールレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し / 書き込み可能な 32 ビットのレジスタで、周辺モジュールに対し、個別に動作、停止の指定ができます。MSTPCR0 は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および UDI リセット時リセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MSTP[29:24]						—	—	MSTP[21:20]		—	—	MSTP[17:16]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MSTP[13:12]		—	—	MSTP[9:8]		—	—	—	—	MSTP[3:2]		—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
29 ~ 24	MSTP[29:24]	000000	R/W	モジュールストップビット 29 ~ 24 該当ビットのモジュールへのクロックの供給の停止を指定します。 [29]: SCIF チャネル 5、[28]: SCIF チャネル 4、[27]: SCIF チャネル 3、 [26]: SCIF チャネル 2、[25]: SCIF チャネル 1、[24]: SCIF チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
23, 22	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
21, 20	MSTP[21:20]	00	R/W	モジュールストップビット 21, 20 該当ビットのモジュールへのクロックの供給の停止を指定します。 [20]: SSI チャネル 1、[19]: SSI チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
19, 18	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
17, 16	MSTP[17:16]	00	R/W	モジュールストップビット 17, 16 該当ビットのモジュールへのクロックの供給の停止を指定します。 [17]: HAC チャネル 1、[16]: HAC チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
15, 14	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

17. 低消費電力モード

ビット	ビット名	初期値	R/W	説 明
13、12	MSTP[13:12]	00	R/W	モジュールストップビット 13、12 該当ビットのモジュールへのクロックの供給の停止を指定します。 [13]: MMCIF、[12]: FLCTL 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
11、10	-	すべて 0	R/W	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9、8	MSTP[9:8]	00	R/W	モジュールストップビット 9、8 該当ビットのモジュールへのクロックの供給の停止を指定します。 [9]: TMU チャンネル 3~5、[8]: TMU チャンネル 0~2 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
7~4	-	すべて 0	R/W	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3、2	MSTP[3:2]	00	R/W	モジュールストップビット 3、2 該当ビットのモジュールへのクロックの供給の停止を指定します。 [3]: SIOF、[2]: HSPI 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
1、0	-	すべて 0	R/W	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

17. 低消費電力モード

17.3.3 スタンバイコントロールレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、H-UDI/UBC/DMAC/GDTA モジュールに対し、個別に動作、停止の指定ができます。MSTPCR1 は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時リセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	MSTP119	—	MSTP117	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W										
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSTP[105:104]	—	—	—	—	MSTP100
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W										

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
19	MSTP119	0	R/W	モジュールストップビット 119 H-UDI モジュールへのクロックの供給の停止を指定します。 0 : H-UDI 動作 1 : H-UDI 停止
18	-	0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
17	MSTP117	0	R/W	モジュールストップビット 117 UBC モジュールへのクロックの供給の停止を指定します。 0 : UBC 動作 1 : UBC 停止
16~6	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5、4	MSTP[105:104]	00	R/W	モジュールストップビット 105、104 該当ビットの DMAC チャネルへのクロックの供給の停止を指定します。 MSTP105: DMAC チャネル 11~6、MSTP104: DMAC チャネル 5~0 0 : DMAC 動作 1 : DMAC 停止

ビット	ビット名	初期値	R/W	説明
3~1	-	すべて0	R/W	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	MSTP100	0	R/W	モジュールストップビット 100 GDTA モジュールへのクロックの供給の停止を指定します。 クロック停止に移行する場合は、GDTA 動作の終了を確認後、ビットを1にしてください。 0 : GDTA 動作 1 : GDTA 停止*

【注】 * GDTA モジュールのモジュールスタンバイ移行時は、GDTA 動作が終了したことを確認してから行ってください。手順は、「20.7.1 モジュールストップについて」を参照してください。

17.3.4 スタンバイ表示レジスタ (MSTPMR)

MSTPMR は、読み出し可能な 32 ビットのレジスタで、PCIC / ディスプレイユニット (DU) / DMAC / GDTA モジュールのモジュールスタンバイ状態かどうかを表示します。MSTPMR は、ロングワードアクセスのみ可能で、書き込みは無効です。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	MSTP MPCI	MSTP MDU	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSTPS 105	MSTPS 104	—	—	—	MSTPS 100
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

17. 低消費電力モード

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
21	MSTPMPCI	x	R	モジュールストップ表示ビット PCIC PCIC モジュールへのクロックの供給の状態を表示します。 MODE12 端子にハイレベルを入力したときに、PCIC へのクロック供給を停止します。 0 : PCIC 動作 (MODE12 端子 : ローレベル) 1 : PCIC 停止 (MODE12 端子 : ハイレベル)
20	MSTPMDU	x	R	モジュールストップ表示ビット DU DU モジュールへのクロックの供給の状態を表示します。MODE12、MODE11 端子のどちらかにローレベルを入力したときに、DU へのクロック供給を停止します。 0 : DU 動作 (MODE12、MODE11 端子 : どちらもハイレベル) 1 : DU 停止 (MODE12、MODE11 端子 : どちらもあるいはどちらかローレベル)
19~6	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
5、4	MSTPS[105:104]	00	R	モジュールストップ表示ビット 105、104 該当ビットの DMAC チャンネルへのクロックの供給の状態を表示します。 MSTPS105: DMAC チャンネル 11~6、MSTPS104: DMAC チャンネル 5~0 0 : DMAC 動作 1 : DMAC 停止
3~1	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	MSTPS100	0	R	モジュールストップビット 100 GDTA モジュールへのクロックの供給の状態を表示します。 0 : GDTA 動作 1 : GDTA 停止

17.4 スリープモード

17.4.1 スリープモードへの遷移

スリープモードへ移行する場合は、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。

CPU 以外の内蔵モジュールは動作を続けます。また、CLKOUT 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

ただし、スリープモードに遷移する前に、DU 動作を終了させてください。また、GDTA 動作の終了を確認してください。モジュールの動作中にスリープモードに遷移した場合の動作結果は保証されません。

17.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、 $\overline{\text{IRQ/IRL}}[7:0]$ 、内蔵モジュール)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

(1) 割り込みによる解除

NMI、 $\overline{\text{IRQ/IRL}}[7:0]$ 、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

STATUS 端子の変化タイミングは、「17.7.2 スリープ解除の場合」を参照してください。

(2) リセットによる解除

$\overline{\text{PRESET}}$ 端子によるパワーオンリセット、およびウォッチドッグタイマオーバーフロー時に発生するパワーオンリセット、H-UDI リセット、マニュアルリセットにより、スリープモードは解除されます。STATUS 端子の変化タイミングは、「16.5 リセット中の端子タイミング」を参照してください。

17.5 ディープスリープモード

17.5.1 ディープスリープモードへの遷移

本 LSI は、SLPCR レジスタの DSLP ビットが 1 のときに SLEEP 命令を実行すると、プログラム実行状態からディープスリープモードに遷移します。ディープスリープモードへの遷移の手順を以下に示します。

1. スタンバイコントロールレジスタ (MSTPCR0 および MSTPCR1) を設定 (MSTPCR0 に H'3F33 330C を、MSTPCR1 に H'0002 0031 を書き込みください) し、H-UDI を除く内蔵モジュールを停止させてください。
モジュールスタンバイモードへの遷移については、「17.6.1 モジュールスタンバイ機能への遷移」および各モジュール章を参照してください。
2. SLPSCR レジスタの DSLP ビットが 1 のときに、SLEEP 命令を実行してください。

CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。DU モジュールは、モジュールスタンバイ機能で停止した他のモジュールと同様に停止します*。DMAC を除く周辺モジュールは動作を継続します。また、CLKOUT 端子にはクロックが出力され続けますが、オートリフレッシュを含むすべてのバスアクセスは停止します。リフレッシュが必要なメモリを使用する場合は、ディープスリープモードへ遷移する前に、セルフリフレッシュモードを選択してください。

【注】 * DU、PCIC、LBSC、DBSC2 モジュールのディープスリープモードへ遷移に関しては、各章の注意事項を参照してください。

ディープスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。ただし、PCIC を使用しているときは、ディープスリープモードへの遷移は禁止です。ディープスリープモードに遷移した場合の動作結果は保証されません。

また、モジュールの動作中にディープスリープモードに遷移した場合の動作結果も保証されません。

17.5.2 ディープスリープモードの解除

ディープスリープモードは、割り込み (NMI、IRQ、IRL、GPIO、WDT インターバルタイマ、H-UDI) またはリセットにより解除されます。

ディープスリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ、IRL、GPIO、WDT インターバルタイマの各割り込みが発生すると、ディープスリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

STATUS 端子の変化タイミングは、スリープモードへの遷移時とほとんど同じです。「17.7.2 スリープ解除の場合」を参照してください。

(2) リセットによる解除

$\overline{\text{PRESET}}$ 端子によるパワーオンリセット、および WDT オーバフロー時に発生するパワーオンリセット、H-UDI リセット、WDT オーバフロー時に発生するマニュアルリセットにより、ディープスリープモードは解除されます。

STATUS 端子の変化タイミングは、スリープモードへの遷移時とほぼ同じです。詳細は「16.5 リセット中の端子タイミング」を参照してください。

17.6 モジュールスタンバイ機能

17.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビット^{*1}に 1 をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。^{*2}

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

ただし、SSI、HSPI、HAC、MMCIF は、モジュールスタンバイ状態であってもマニュアルリセットで初期化されます。また、GDTA、DMAC をモジュールスタンバイする場合は、GDTA の動作の終了を確認してください。

【注】 *1 スタンバイコントロールレジスタの各 MSTP ビットの説明を参照ください。

*2 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

17.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、スタンバイコントロールレジスタの各 MSTP ビットを 0 にクリアするかまたはパワーオンリセットにより行います。

17.7 STATUS 端子の変化タイミング

17.7.1 リセットの場合

詳細は、「16.5 リセット中の端子タイミング」を参照してください。

17.7.2 スリープ解除の場合

(1) スリープ 割り込み

STATUS 端子の変化タイミングを図 17.1 に示します。

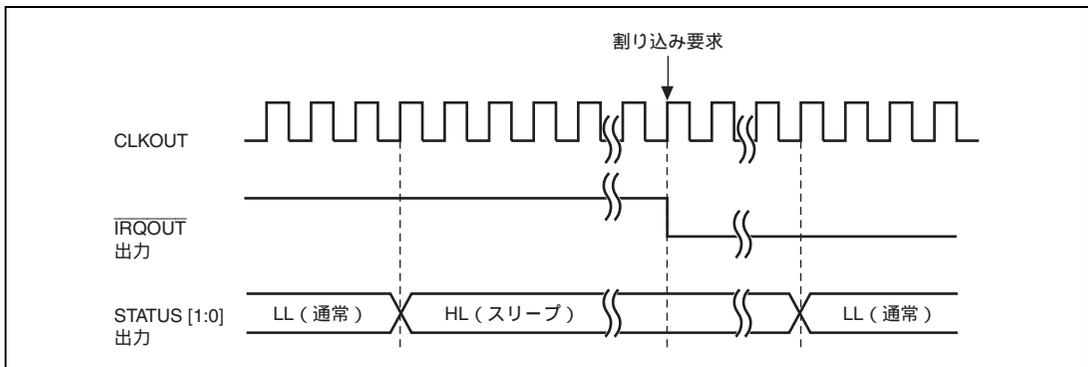


図 17.1 スリープ 割り込みの STATUS 出力

17.8 DDR2-SDRAM 電源バックアップ

詳細は、「12.5.10 DDR2-SDRAM 電源バックアップ機能」を参照してください。

18. タイマユニット (TMU)

本 LSI は 6 チャンネル (チャンネル 0~5) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : TiMer Unit) を内蔵しています。

18.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2のみ、インプットキャプチャ機能を搭載
- チャンネル0、1、2のみ外部クロック選択時もしくはチャンネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し / 書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、6種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、周辺クロックを分周した5種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)
- チャンネル3~5は、5種類のカウンタ入力クロックを選択可能
5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024)
- 2種類の割り込み要因
アンドフロー × 1要因 (各チャンネル)、インプットキャプチャ × 1要因 (チャンネル2) があります。

18. タイムユニット (TMU)

図 18.1 に TMU のブロック図を示します。

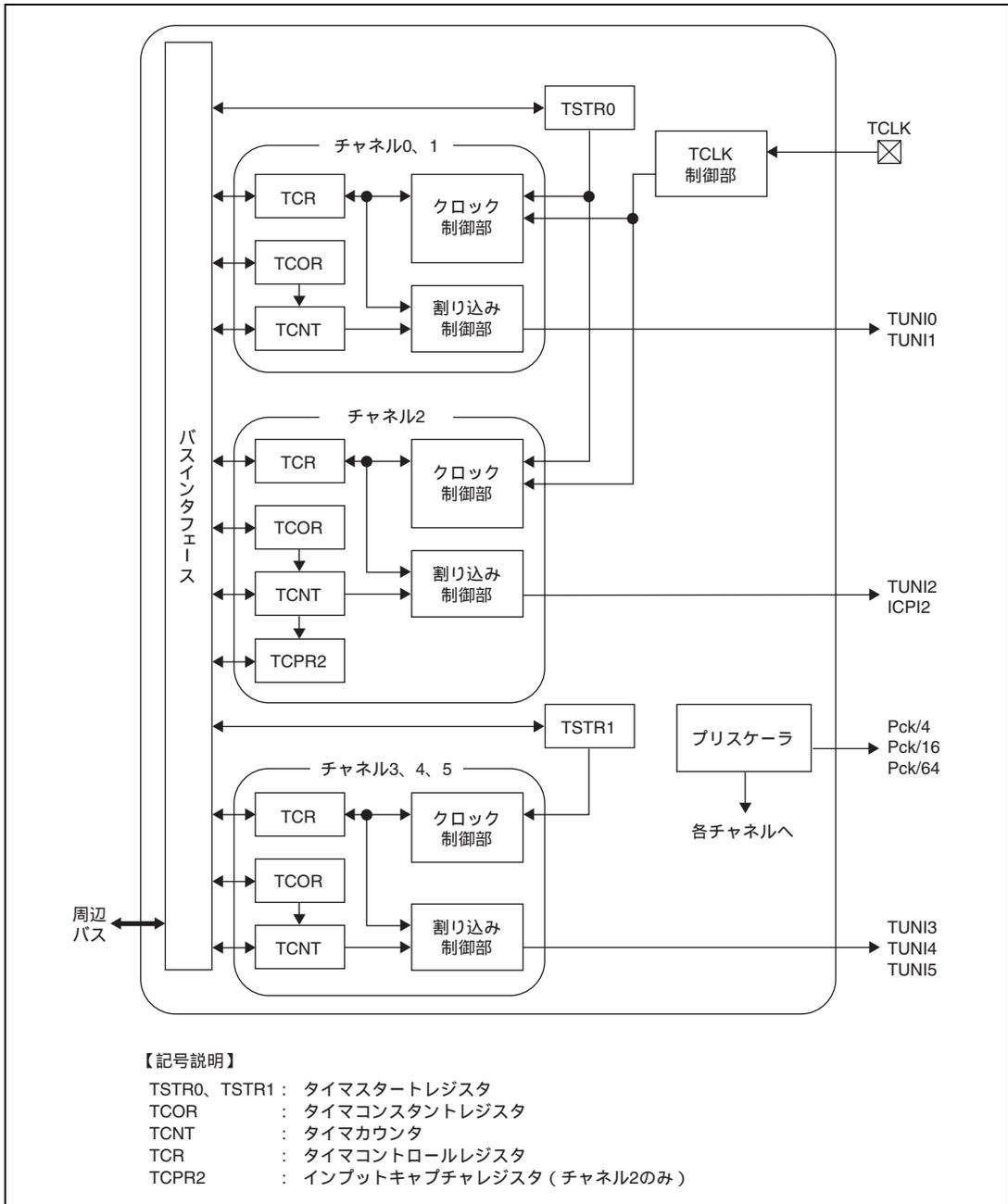


図 18.1 TMU のブロック図

18.2 入出力端子

表 18.1 に TMU の端子構成を示します。

表 18.1 端子構成

名称	略称	入出力	機能
クロック入力	TCLK	入力	チャンネル 0、1、2 外部クロック入力端子 / チャンネル 2 インพุットキャプチャ制御入力端子

18.3 レジスタの説明

TMU には以下のレジスタがあります。

表 18.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
0,1,2 共通	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD80004	H'1FD80004	8	Pck
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD80008	H'1FD80008	32	Pck
	タイマカウンタ 0	TCNT0	R/W	H'FFD8000C	H'1FD8000C	32	Pck
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD80010	H'1FD80010	16	Pck
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD80014	H'1FD80014	32	Pck
	タイマカウンタ 1	TCNT1	R/W	H'FFD80018	H'1FD80018	32	Pck
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8001C	H'1FD8001C	16	Pck
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD80020	H'1FD80020	32	Pck
	タイマカウンタ 2	TCNT2	R/W	H'FFD80024	H'1FD80024	32	Pck
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD80028	H'1FD80028	16	Pck
	インพุットキャプチャレジスタ 2	TCPR2	R	H'FFD8002C	H'1FD8002C	32	Pck
3,4,5 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDC0004	H'1FDC0004	8	Pck
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDC0008	H'1FDC0008	32	Pck
	タイマカウンタ 3	TCNT3	R/W	H'FFDC000C	H'1FDC000C	32	Pck
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDC0010	H'1FDC0010	16	Pck
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDC0014	H'1FDC0014	32	Pck
	タイマカウンタ 4	TCNT4	R/W	H'FFDC0018	H'1FDC0018	32	Pck
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDC001C	H'1FDC001C	16	Pck
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDC0020	H'1FDC0020	32	Pck
	タイマカウンタ 5	TCNT5	R/W	H'FFDC0024	H'1FDC0024	32	Pck
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDC0028	H'1FDC0028	16	Pck

18. タイマユニット (TMU)

表 18.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/ 多重例外による	スリープ Sleep 命令 による	モジュール スタンバイ
0,1,2 共通	タイマスタートレジスタ 0	TSTR0	H'00	H'00	保持	保持
0	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	H'0000	保持	保持
1	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	H'0000	保持	保持
2	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	H'0000	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	保持	保持	保持	保持
3,4,5 共通	タイマスタートレジスタ 1	TSTR1	H'00	H'00	保持	保持
3	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	H'0000	保持	保持
4	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	H'0000	保持	保持
5	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 5	TCR5	H'0000	H'0000	保持	保持

18.3.1 タイマスタートレジスタ (TSTRn) (n=0, 1)

TSTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

- TSTR0

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0 : TCNT2 のカウント動作は停止 1 : TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作する
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作する

18. タイムユニット (TMU)

- TSTR1

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR5	STR4	STR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
2	STR5	0	R/W	カウンタスタート5 TCNT5を動作させるか、停止させるかを選択します。 0: TCNT5のカウンタ動作は停止 1: TCNT5はカウンタ動作する
1	STR4	0	R/W	カウンタスタート4 TCNT4を動作させるか、停止させるかを選択します。 0: TCNT4のカウンタ動作は停止 1: TCNT4はカウンタ動作する
0	STR3	0	R/W	カウンタスタート3 TCNT3を動作させるか、停止させるかを選択します。 0: TCNT3のカウンタ動作は停止 1: TCNT3はカウンタ動作する

18.3.2 タイマコンスタントレジスタ (TCORn) (n=0~5)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

18.3.3 タイマカウンタ (TCNTn) (n=0~5)

TCNT は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT は、TCR の TPSC2 ~ TPSC0 ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TCR の UNF が 1 にセットされます。また、同時に TCNT には、TCOR の値が設定され、設定された値からカウントダウン動作を続けます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

18. タイムユニット (TMU)

18.3.4 タイムコントロールレジスタ (TCRn) (n=0~5)

TCR は、読み出し / 書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生を制御を行います。また、チャンネル 2 の TCR はインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生を制御を行います。

- TCR0、TCR1、TCR3、TCR4、TCR5

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	UNF	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- TCR2

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9	ICPF* ¹	0	R/W	インพุットキャプチャ割り込みフラグ チャンネル2のみの機能で、インพุットキャプチャの発生を示すステータスフラグです。 0: インพุットキャプチャが発生していないことを示します [クリア条件] ICPFに0を書き込んだとき 1: インพุットキャプチャが発生したことを示します [セット条件] インพุットキャプチャが発生したとき* ²
8	UNF	0	R/W	アンダフローフラグ TCNTのアンダフローの発生を示すステータスフラグです。 0: TCNTがアンダフローを起こしていないことを示します [クリア条件] UNFに0を書き込んだとき 1: TCNTがアンダフローを起こしたことを示します [セット条件] TCNTがアンダフローを起こしたとき* ²
7 6	ICPE1* ¹ ICPE0* ¹	0 0	R/W R/W	インพุットキャプチャ制御 チャンネル2のみの機能で、インพุットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。 TCLK端子の立ち上がりエッジ/立ち下がりエッジのいずれかを使ってTCPR2にTCNT2の値をセットするかは、CKEGビットで設定します。 TCR2のICPFビットが0のときのみ、TCNT2の値がTCPR2にセットされます。ICPFビットが1のときは、インพุットキャプチャが発生してもTCPR2はセットされません。 00: インพุットキャプチャ機能を使用しないことを示します 01: リザーブ(設定禁止) 10: インพุットキャプチャ機能を使用するが、インพุットキャプチャによる割り込み(TICPI2)を許可しないことを示します。 11: インพุットキャプチャ機能を使用し、またインพุットキャプチャによる割り込み(TICPI2)を許可することを示します。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNTのアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: アンダフローによる割り込み(TUNI)を許可しない 1: アンダフローによる割り込み(TUNI)を許可する

18. タイムユニット (TMU)

ビット	ビット名	初期値	R/W	説明
4	CKEG1	0	R/W	クロックエッジ 1、0
3	CKEG0	0	R/W	TCLK 端子からの外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00 : 立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01 : 立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X : 立ち上がり/立ち下がり両エッジでカウント/インプットキャプチャレジスタセット
2	TPSC2	0	R/W	タイムプリスケアラ 2~0
1	TPSC1	0	R/W	TCNT のカウントクロックを選択します。
0	TPSC0	0	R/W	000 : Pck/4 でカウント 001 : Pck/16 でカウント 010 : Pck/64 でカウント 011 : Pck/256 でカウント 100 : Pck/1024 でカウント 101 : 設定禁止 110 : 設定禁止 111 : 外部クロック (TCLK) でカウント ^{*3}

【注】 X : Don't care

- *1 チャンネル 0、1、3、4、5 ではリザーブビットです (初期値 0、リードのみ)。
- *2 1 を書き込むと元の値が保持されます。
- *3 チャンネル 3、4、5 では設定禁止です。

18.3.5 インพุットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインพุットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インพุットキャプチャ機能を制御します。インพุットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT は、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

18.4.1 カウンタの動作

TSTR0 ~ TSTR1 の STR5 ~ STR0 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR の UNF フラグが 1 にセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 18.2 にカウント動作の設定手順例を示します。

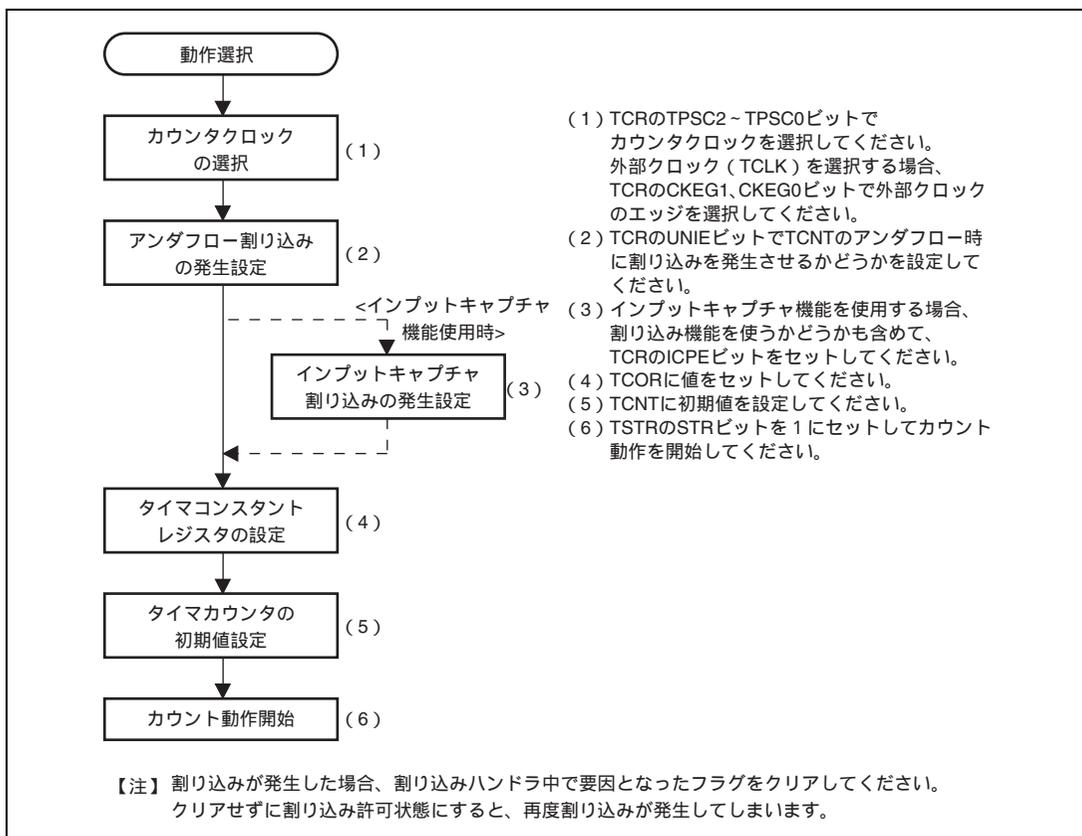


図 18.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 18.3 に TCNT のオートリロード動作を示します。

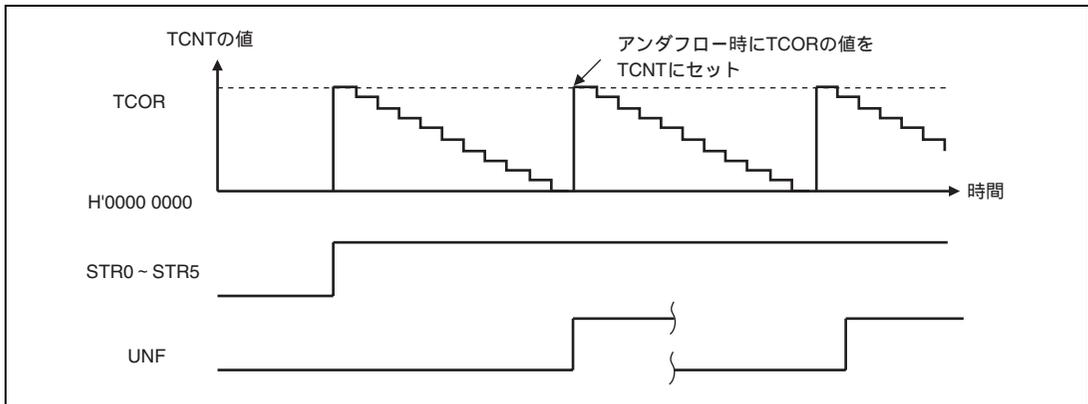


図 18.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺クロックを分周した 5 種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図 18.4 に示します。

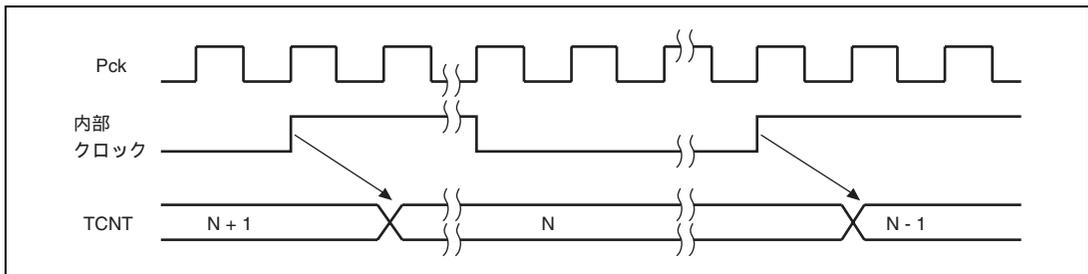


図 18.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

チャンネル 0、1、2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック入力端子 (TCLK) からの入力を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

18. タイマユニット (TMU)

図 18.5 に両エッジ検出時のタイミングを示します。

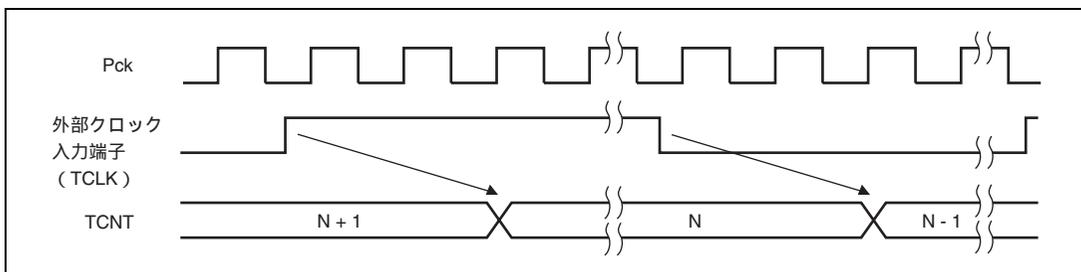


図 18.5 外部クロック入力動作時のカウントタイミング

18.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCR2のTPSC2～TPSC 0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCR2のICPE1、ICPE 0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCR2のCKEG1、CKEG 0ビットでTCLK端子の立ち上がり / 立ち下がりのどのエッジを使用してTCPR2にTCNTの値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。

図 18.7 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

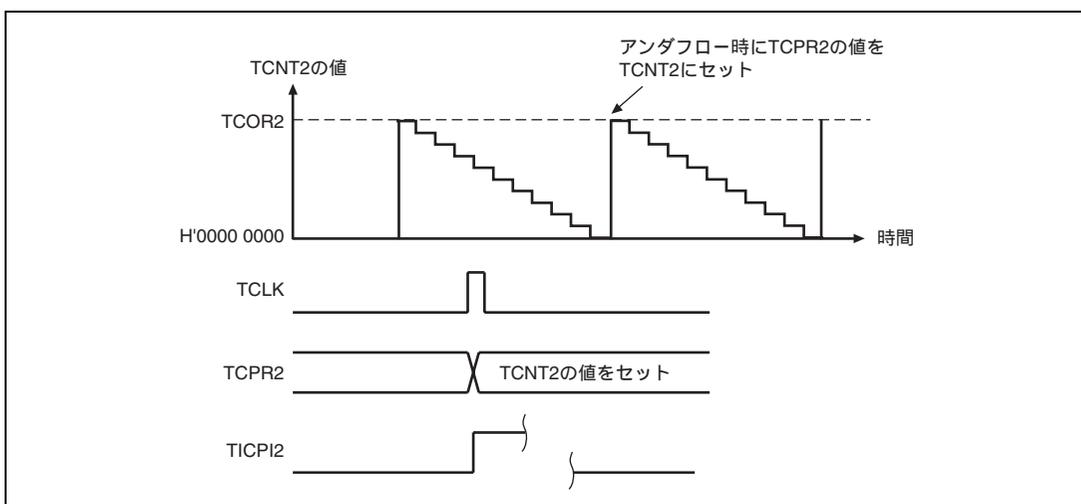


図 18.6 インพุットキャプチャ機能使用時の動作タイミング

18.5 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 18.3 に TMU の割り込み要因を示します。

表 18.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンダフロー割り込み 3
4	TUNI4	アンダフロー割り込み 4
5	TUNI5	アンダフロー割り込み 5

18.6 使用上の注意事項

18.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR5 ~ STR0) をクリアして、タイマのカウンタ動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウンタ動作中に行うことができます。カウンタ動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

18.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

18.6.3 外部クロック周波数について

チャンネル 0 ~ 2 への外部クロック (TCLK) は $Pck/4$ を超えないようにしてください。

19. ディスプレイユニット (DU)

19.1 特長

ディスプレイユニット (DU) には次のような特長があります。

(1) プレーン

表示面を本章ではプレーンと呼びます。各プレーンは内蔵レジスタ設定によりパラメータの独立設定が可能です。また、内蔵レジスタ設定により表示優先順位の設定が可能であり、最大 6 画面の合成表示が可能です (ただし、画面サイズが 480 × 234 の場合)。また、画面サイズが WVGA (854 × 480) の場合は最大 4 画面、画面サイズが SVGA (800 × 600) の場合は最大 3 画面まで合成が可能です。

- 表示サイズ
- 表示位置
- 表示データフォーマット (8bit/pixel、16bit/pixel、ARGB (1555)、YC)
- プレーンの重ね合わせ
- スクロール
- ラップアラウンド
- ブリンキング
- バッファ制御

内蔵レジスタ設定により 2 種類の制御モードの選択が可能です。

- マニュアルディスプレイチェンジモード (ダブルバッファ)
- オートディスプレイチェンジモード (ダブルバッファ)

(2) 同期方式

表示出力タイミングを内蔵レジスタ設定により 3 種類の同期モードの選択が可能です。

- マスタモード (内部同期モード)
- TV同期モード (外部同期モード)
- 同期方式切り替えモード

19. ディスプレイユニット (DU)

(3) CRT スキャンモード (CRT 走査方式)

内蔵レジスタ設定により 3 種類のスキャンモードの選択が可能です。

- ノンインタレースモード
- インタレースシンクモード
- インタレースシンク & ビデオモード

(4) YC RGB 色空間変換機能

YC 形式で格納された画像データを RGB 色空間に変換し、ウィンドウ表示が可能です。

(ただし、YC RGB 変換を複数のプレーンに指定した場合は、最も上位のプレーンの画素のみ YC RGB 変換可能です)

(5) カラーパレット

26 万色中、同時に 256 色の表示可能な 4 面のカラーパレットを内蔵し、プレーンの表示フォーマットにおいて 8bit/pixel データ選択時に、4 面のうち 1 つを選択可能です。

また、256 色毎に 8 ビットのブレンド比を持っています。

(6) レジスタアクセス制御

制御レジスタを内蔵し、周辺バスインタフェースに従ったレジスタアクセスが可能です。アクセスサイズは 32 ビット固定です。

図 19.1 にディスプレイユニット (DU) のブロック図を示します。

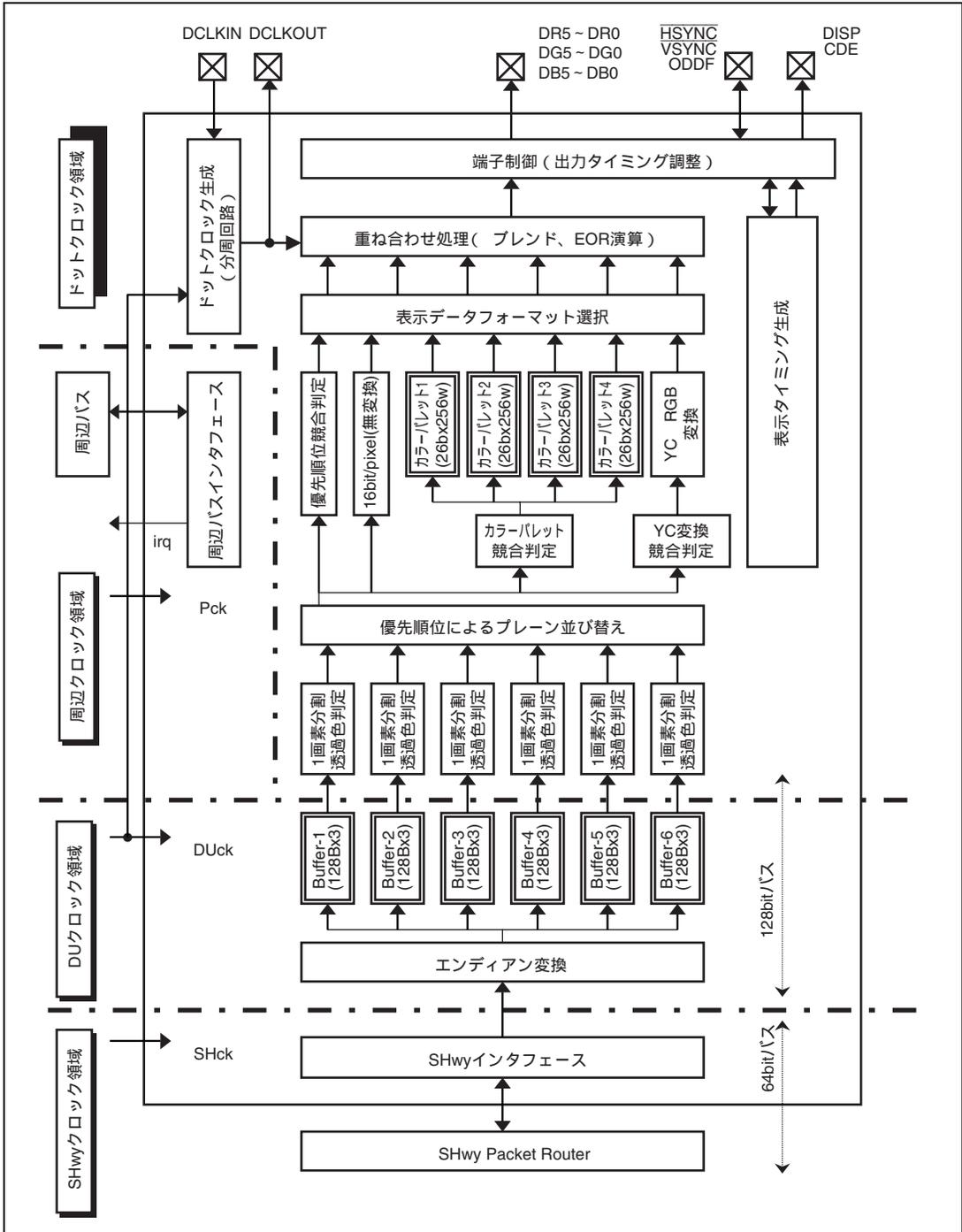


図 19.1 ディスプレイユニット (DU) ブロック図

19. ディスプレイユニット (DU)

19.2 入出力端子

表 19.1 にディスプレイユニット (DU) の端子構成を示します。

表 19.1 ディスプレイユニット (DU) 端子構成

名称	本数	入出力	機能	本章内信号名
DCLKIN	1	入力	入力ドットクロック	DCLKIN
DCLKOUT	1	出力	出力ドットクロック	DCLKOUT
HSYNC	1	入出力	コンボジット同期出力信号 (初期値)	CSYNC
			水平同期出力 / 外部水平同期入力	HSYCN (出力) / EXHSYNC (入力)
VSYNC	1	入出力	垂直同期出力 / 外部垂直同期入力 (初期値)	VSYNC (出力) / EXVSYNC (入力)
			コンボジット同期出力信号	CSYNC
ODDF	1	入出力	奇数・偶数フィールド (初期値)	ODDF
			CLAMP 出力信号	CLAMP
DISP	1	出力	表示期間	DISP
			コンボジット同期出力信号	CSYNC
			DE 出力信号	DE
CDE	1	出力	色検出	CDE
DR0	1	出力	デジタル Red 0	デジタル RGB
DR1	1	出力	デジタル Red 1	
DR2	1	出力	デジタル Red 2	
DR3	1	出力	デジタル Red 3	
DR4	1	出力	デジタル Red 4	
DR5	1	出力	デジタル Red 5	
DG0	1	出力	デジタル Green 0	
DG1	1	出力	デジタル Green 1	
DG2	1	出力	デジタル Green 2	
DG3	1	出力	デジタル Green 3	
DG4	1	出力	デジタル Green 4	
DG5	1	出力	デジタル Green 5	
DB0	1	出力	デジタル Blue 0	
DB1	1	出力	デジタル Blue 1	
DB2	1	出力	デジタル Blue 2	
DB3	1	出力	デジタル Blue 3	
DB4	1	出力	デジタル Blue 4	
DB5	1	出力	デジタル Blue 5	

【注】 本章では特に断らない限り、ドットクロックは出力ドットクロックを表します。

19.3 レジスタの説明

レジスタの更新方法には、外部更新と内部更新があります。

(1) 外部更新

外部更新とは、CPU によるアドレスマップドレジスタへの設定値が、CPU のアクセス終了後に反映される更新のことをいいます。また、表示制御に関係するレジスタ（例えば表示システム制御レジスタ）で、外部更新にて設定値が更新されるレジスタは、垂直ブランキング期間の開始位置を示す表示ステータスレジスタ (DSSR) における VBK フラグ、および FRM フラグを利用することで、垂直ブランキング期間中に表示のちらつきなく書き換えることが可能です。

(2) 内部更新

内部更新とは、アドレスマップドレジスタに設定された値がディスプレイユニット (DU) の内部の更新タイミングで反映される更新をいいます。このため、内部更新機能付きレジスタの場合、CPU が表示タイミングを意識せずに表示動作に関するアドレスマップドレジスタを書き換えても、表示のちらつきを生じさせないようにすることができます。

内部更新は表示システム制御レジスタ (DSYSR) の DRES ビット = 1 の期間および毎フレームの先頭で行います。毎フレームの先頭で行う内部更新は、表示システム制御レジスタ (DSYSR) の IUPD ビットで禁止することができます。

また、表示モードレジスタ (DSMR) の

VSPM ビット： $\overline{\text{VSYNC}}$ 端子のピンモード、

ODPM ビット：ODDF 端子のピンモード、

DIPM ビット：DISP 端子のピンモード、

CSPM ビット： $\overline{\text{HSYNC}}$ 端子のピンモード、

DIL ビット：DISP 端子の極性反転ビット、

VSL ビット： $\overline{\text{VSYNC}}$ 端子の極性反転ビット、

HSL ビット： $\overline{\text{HSYNC}}$ 端子の極性反転ビット、

および

出力信号タイミング調整レジスタ (OTAR) の全ビット

は表示システム制御レジスタ (DSYSR) の DRES ビットに 1 をセットすることによって内部更新されます。

インタレースシンク & ビデオモードにおけるプレーン n 開始位置 X,Y レジスタ (PhSPXR, PhSPYR) は、フィールドの先頭においても内部更新されます。

毎フレームの先頭で行う内部更新のタイミングは、表示システム制御レジスタ (DSYSR) の同期方式が、マスターモード (TVM=00) のときは VSYNC の立ち上がり設定時となり、TV 同期モード (TVM=10) のときは EXVSYNC の立ち上がり検出時となります。また、同期方式切り替えモード (TVM=11) のときは内部更新は行われず、データを保持します。

内部更新機能付きのアドレスマップドレジスタを、表 19.2 に示します。これらのレジスタの初期設定は、表示

19. ディスプレイユニット (DU)

システム制御レジスタ (DSYSR) の DRES ビット = 1 の期間に行ってください。その他、レジスタの変更時の注意は各レジスタの説明を参照してください。

表 19.2 レジスタ構成

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
表示制御レジスタ						
表示システム制御レジスタ	DSYSR	R/W	H'FFF8 0000	H'1FF8 0000	32	Pck
表示モードレジスタ	DSMR	R/W	H'FFF8 0004	H'1FF8 0004	32	Pck
表示ステータスレジスタ	DSSR	R	H'FFF8 0008	H'1FF8 0008	32	Pck
表示ステータスレジスタクリアレジスタ	DSRCR	W	H'FFF8 000C	H'1FF8 000C	32	Pck
表示割り込み許可レジスタ	DIER	R/W	H'FFF8 0010	H'1FF8 0010	32	Pck
カラーパレット制御レジスタ	CPCR	R/W	H'FFF8 0014	H'1FF8 0014	32	Pck
表示プレーン優先順位レジスタ	DPPR	R/W	H'FFF8 0018	H'1FF8 0018	32	Pck
表示拡張機能許可レジスタ	DEFR	R/W	H'FFF8 0020	H'1FF8 0020	32	Pck
表示タイミング生成レジスタ						
水平表示開始位置レジスタ	HDSR	R/W	H'FFF8 0040	H'1FF8 0040	32	Pck
水平表示終了位置レジスタ	HDER	R/W	H'FFF8 0044	H'1FF8 0044	32	Pck
垂直表示開始位置レジスタ	VDSR	R/W	H'FFF8 0048	H'1FF8 0048	32	Pck
垂直表示終了位置レジスタ	VDER	R/W	H'FFF8 004C	H'1FF8 004C	32	Pck
水平走査周期レジスタ	HCR	R/W	H'FFF8 0050	H'1FF8 0050	32	Pck
水平同期パルス幅レジスタ	HSWR	R/W	H'FFF8 0054	H'1FF8 0054	32	Pck
垂直走査周期レジスタ	VCR	R/W	H'FFF8 0058	H'1FF8 0058	32	Pck
垂直同期位置レジスタ	VSPR	R/W	H'FFF8 005C	H'1FF8 005C	32	Pck
等価パルス幅レジスタ	EQWR	R/W	H'FFF8 0060	H'1FF8 0060	32	Pck
セパレーション幅レジスタ	SPWR	R/W	H'FFF8 0064	H'1FF8 0064	32	Pck
CLAMP 信号開始位置レジスタ	CLAMPSR	R/W	H'FFF8 0070	H'1FF8 0070	32	Pck
CLAMP 信号幅レジスタ	CLAMPWR	R/W	H'FFF8 0074	H'1FF8 0074	32	Pck
DE 信号開始位置レジスタ	DESR	R/W	H'FFF8 0078	H'1FF8 0078	32	Pck
DE 信号幅レジスタ	DEWR	R/W	H'FFF8 007C	H'1FF8 007C	32	Pck
表示属性レジスタ						
カラーパレット 1 透過色レジスタ	CP1TR	R/W	H'FFF8 0080	H'1FF8 0080	32	Pck
カラーパレット 2 透過色レジスタ	CP2TR	R/W	H'FFF8 0084	H'1FF8 0084	32	Pck
カラーパレット 3 透過色レジスタ	CP3TR	R/W	H'FFF8 0088	H'1FF8 0088	32	Pck
カラーパレット 4 透過色レジスタ	CP4TR	R/W	H'FFF8 008C	H'1FF8 008C	32	Pck
表示オフ時出力レジスタ	DOOR	R/W	H'FFF8 0090	H'1FF8 0090	32	Pck
色検出レジスタ	CDER	R/W	H'FFF8 0094	H'1FF8 0094	32	Pck
下地色レジスタ	BPOR	R/W	H'FFF8 0098	H'1FF8 0098	32	Pck

19. ディスプレイユニット (DU)

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
ラスト割り込みオフセットレジスタ	RINTOFSR	R/W	H'FFF8 009C	H'1FF8 009C	32	Pck
表示プレーンレジスタ						
プレーン1モードレジスタ	P1MR	R/W	H'FFF8 0100	H'1FF8 0100	32	Pck
プレーン1メモリ幅レジスタ	P1MWR	R/W	H'FFF8 0104	H'1FF8 0104	32	Pck
プレーン1ブレンド比レジスタ	P1ALPHAR	R/W	H'FFF8 0108	H'1FF8 0108	32	Pck
プレーン1表示サイズXレジスタ	P1DSXR	R/W	H'FFF8 0110	H'1FF8 0110	32	Pck
プレーン1表示サイズYレジスタ	P1DSYR	R/W	H'FFF8 0114	H'1FF8 0114	32	Pck
プレーン1表示位置Xレジスタ	P1DPXR	R/W	H'FFF8 0118	H'1FF8 0118	32	Pck
プレーン1表示位置Yレジスタ	P1DPYR	R/W	H'FFF8 011C	H'1FF8 011C	32	Pck
プレーン1表示領域開始アドレス0レジスタ	P1DSA0R	R/W	H'FFF8 0120	H'1FF8 0120	32	Pck
プレーン1表示領域開始アドレス1レジスタ	P1DSA1R	R/W	H'FFF8 0124	H'1FF8 0124	32	Pck
プレーン1開始位置Xレジスタ	P1SPXR	R/W	H'FFF8 0130	H'1FF8 0130	32	Pck
プレーン1開始位置Yレジスタ	P1SPYR	R/W	H'FFF8 0134	H'1FF8 0134	32	Pck
プレーン1ラップアラウンド開始位置レジスタ	P1WASPR	R/W	H'FFF8 0138	H'1FF8 0138	32	Pck
プレーン1ラップアラウンドメモリ幅レジスタ	P1WAMWR	R/W	H'FFF8 013C	H'1FF8 013C	32	Pck
プレーン1プリンキング周期レジスタ	P1BTR	R/W	H'FFF8 0140	H'1FF8 0140	32	Pck
プレーン1透過色1レジスタ	P1TC1R	R/W	H'FFF8 0144	H'1FF8 0144	32	Pck
プレーン1透過色2レジスタ	P1TC2R	R/W	H'FFF8 0148	H'1FF8 0148	32	Pck
プレーン1メモリ長レジスタ	P1MLR	R/W	H'FFF8 0150	H'1FF8 0150	32	Pck
プレーン2モードレジスタ	P2MR	R/W	H'FFF8 0200	H'1FF8 0200	32	Pck
プレーン2メモリ幅レジスタ	P2MWR	R/W	H'FFF8 0204	H'1FF8 0204	32	Pck
プレーン2ブレンド比レジスタ	P2ALPHAR	R/W	H'FFF8 0208	H'1FF8 0208	32	Pck
プレーン2表示サイズXレジスタ	P2DSXR	R/W	H'FFF8 0210	H'1FF8 0210	32	Pck
プレーン2表示サイズYレジスタ	P2DSYR	R/W	H'FFF8 0214	H'1FF8 0214	32	Pck
プレーン2表示位置Xレジスタ	P2DPXR	R/W	H'FFF8 0218	H'1FF8 0218	32	Pck
プレーン2表示位置Yレジスタ	P2DPYR	R/W	H'FFF8 021C	H'1FF8 021C	32	Pck
プレーン2表示領域開始アドレス0レジスタ	P2DSA0R	R/W	H'FFF8 0220	H'1FF8 0220	32	Pck
プレーン2表示領域開始アドレス1レジスタ	P2DSA1R	R/W	H'FFF8 0224	H'1FF8 0224	32	Pck
プレーン2開始位置Xレジスタ	P2SPXR	R/W	H'FFF8 0230	H'1FF8 0230	32	Pck
プレーン2開始位置Yレジスタ	P2SPYR	R/W	H'FFF8 0234	H'1FF8 0234	32	Pck
プレーン2ラップアラウンド開始位置レジスタ	P2WASPR	R/W	H'FFF8 0238	H'1FF8 0238	32	Pck
プレーン2ラップアラウンドメモリ幅レジスタ	P2WAMWR	R/W	H'FFF8 023C	H'1FF8 023C	32	Pck

19. ディスプレイユニット (DU)

レジスタ名	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
ブレーン 2 プリンキング周期レジスタ	P2BTR	R/W	H'FFF8 0240	H'1FF8 0240	32	Pck
ブレーン 2 透過色 1 レジスタ	P2TC1R	R/W	H'FFF8 0244	H'1FF8 0244	32	Pck
ブレーン 2 透過色 2 レジスタ	P2TC2R	R/W	H'FFF8 0248	H'1FF8 0248	32	Pck
ブレーン 2 メモリ長レジスタ	P2MLR	R/W	H'FFF8 0250	H'1FF8 0250	32	Pck
ブレーン 3 モードレジスタ	P3MR	R/W	H'FFF8 0300	H'1FF8 0300	32	Pck
ブレーン 3 メモリ幅レジスタ	P3MWR	R/W	H'FFF8 0304	H'1FF8 0304	32	Pck
ブレーン 3 ブレンド比レジスタ	P3ALPHAR	R/W	H'FFF8 0308	H'1FF8 0308	32	Pck
ブレーン 3 表示サイズ X レジスタ	P3DSXR	R/W	H'FFF8 0310	H'1FF8 0310	32	Pck
ブレーン 3 表示サイズ Y レジスタ	P3DSYR	R/W	H'FFF8 0314	H'1FF8 0314	32	Pck
ブレーン 3 表示位置 X レジスタ	P3DPXR	R/W	H'FFF8 0318	H'1FF8 0318	32	Pck
ブレーン 3 表示位置 Y レジスタ	P3DPYR	R/W	H'FFF8 031C	H'1FF8 031C	32	Pck
ブレーン 3 表示領域開始アドレス 0 レジスタ	P3DSA0R	R/W	H'FFF8 0320	H'1FF8 0320	32	Pck
ブレーン 3 表示領域開始アドレス 1 レジスタ	P3DSA1R	R/W	H'FFF8 0324	H'1FF8 0324	32	Pck
ブレーン 3 開始位置 X レジスタ	P3SPXR	R/W	H'FFF8 0330	H'1FF8 0330	32	Pck
ブレーン 3 開始位置 Y レジスタ	P3SPYR	R/W	H'FFF8 0334	H'1FF8 0334	32	Pck
ブレーン 3 ラップアラウンド開始位置レジスタ	P3WASPR	R/W	H'FFF8 0338	H'1FF8 0338	32	Pck
ブレーン 3 ラップアラウンドメモリ幅レジスタ	P3WAMWR	R/W	H'FFF8 033C	H'1FF8 033C	32	Pck
ブレーン 3 プリンキング周期レジスタ	P3BTR	R/W	H'FFF8 0340	H'1FF8 0340	32	Pck
ブレーン 3 透過色 1 レジスタ	P3TC1R	R/W	H'FFF8 0344	H'1FF8 0344	32	Pck
ブレーン 3 透過色 2 レジスタ	P3TC2R	R/W	H'FFF8 0348	H'1FF8 0348	32	Pck
ブレーン 3 メモリ長レジスタ	P3MLR	R/W	H'FFF8 0350	H'1FF8 0350	32	Pck
ブレーン 4 モードレジスタ	P4MR	R/W	H'FFF8 0400	H'1FF8 0400	32	Pck
ブレーン 4 メモリ幅レジスタ	P4MWR	R/W	H'FFF8 0404	H'1FF8 0404	32	Pck
ブレーン 4 ブレンド比レジスタ	P4ALPHAR	R/W	H'FFF8 0408	H'1FF8 0408	32	Pck
ブレーン 4 表示サイズ X レジスタ	P4DSXR	R/W	H'FFF8 0410	H'1FF8 0410	32	Pck
ブレーン 4 表示サイズ Y レジスタ	P4DSYR	R/W	H'FFF8 0414	H'1FF8 0414	32	Pck
ブレーン 4 表示位置 X レジスタ	P4DPXR	R/W	H'FFF8 0418	H'1FF8 0418	32	Pck
ブレーン 4 表示位置 Y レジスタ	P4DPYR	R/W	H'FFF8 041C	H'1FF8 041C	32	Pck
ブレーン 4 表示領域開始アドレス 0 レジスタ	P4DSA0R	R/W	H'FFF8 0420	H'1FF8 0420	32	Pck
ブレーン 4 表示領域開始アドレス 1 レジスタ	P4DSA1R	R/W	H'FFF8 0424	H'1FF8 0424	32	Pck
ブレーン 4 開始位置 X レジスタ	P4SPXR	R/W	H'FFF8 0430	H'1FF8 0430	32	Pck
ブレーン 4 開始位置 Y レジスタ	P4SPYR	R/W	H'FFF8 0434	H'1FF8 0434	32	Pck
ブレーン 4 ラップアラウンド開始位置レジスタ	P4WASPR	R/W	H'FFF8 0438	H'1FF8 0438	32	Pck

19. ディスプレイユニット (DU)

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
ブレーン 4 ラップアラウンドメモリ幅レジスタ	P4WAMWR	R/W	H'FFF8 043C	H'1FF8 043C	32	Pck
ブレーン 4 プリンキング周期レジスタ	P4BTR	R/W	H'FFF8 0440	H'1FF8 0440	32	Pck
ブレーン 4 透過色 1 レジスタ	P4TC1R	R/W	H'FFF8 0444	H'1FF8 0444	32	Pck
ブレーン 4 透過色 2 レジスタ	P4TC2R	R/W	H'FFF8 0448	H'1FF8 0448	32	Pck
ブレーン 4 メモリ長レジスタ	P4MLR	R/W	H'FFF8 0450	H'1FF8 0450	32	Pck
ブレーン 5 モードレジスタ	P5MR	R/W	H'FFF8 0500	H'1FF8 0500	32	Pck
ブレーン 5 メモリ幅レジスタ	P5MWR	R/W	H'FFF8 0504	H'1FF8 0504	32	Pck
ブレーン 5 ブレンド比レジスタ	P5ALPHAR	R/W	H'FFF8 0508	H'1FF8 0508	32	Pck
ブレーン 5 表示サイズ X レジスタ	P5DSXR	R/W	H'FFF8 0510	H'1FF8 0510	32	Pck
ブレーン 5 表示サイズ Y レジスタ	P5DSYR	R/W	H'FFF8 0514	H'1FF8 0514	32	Pck
ブレーン 5 表示位置 X レジスタ	P5DPXR	R/W	H'FFF8 0518	H'1FF8 0518	32	Pck
ブレーン 5 表示位置 Y レジスタ	P5DPYR	R/W	H'FFF8 051C	H'1FF8 051C	32	Pck
ブレーン 5 表示領域開始アドレス 0 レジスタ	P5DSA0R	R/W	H'FFF8 0520	H'1FF8 0520	32	Pck
ブレーン 5 表示領域開始アドレス 1 レジスタ	P5DSA1R	R/W	H'FFF8 0524	H'1FF8 0524	32	Pck
ブレーン 5 開始位置 X レジスタ	P5SPXR	R/W	H'FFF8 0530	H'1FF8 0530	32	Pck
ブレーン 5 開始位置 Y レジスタ	P5SPYR	R/W	H'FFF8 0534	H'1FF8 0534	32	Pck
ブレーン 5 ラップアラウンド開始位置レジスタ	P5WASPR	R/W	H'FFF8 0538	H'1FF8 0538	32	Pck
ブレーン 5 ラップアラウンドメモリ幅レジスタ	P5WAMWR	R/W	H'FFF8 053C	H'1FF8 053C	32	Pck
ブレーン 5 プリンキング周期レジスタ	P5BTR	R/W	H'FFF8 0540	H'1FF8 0540	32	Pck
ブレーン 5 透過色 1 レジスタ	P5TC1R	R/W	H'FFF8 0544	H'1FF8 0544	32	Pck
ブレーン 5 透過色 2 レジスタ	P5TC2R	R/W	H'FFF8 0548	H'1FF8 0548	32	Pck
ブレーン 5 メモリ長レジスタ	P5MLR	R/W	H'FFF8 0550	H'1FF8 0550	32	Pck
ブレーン 6 モードレジスタ	P6MR	R/W	H'FFF8 0600	H'1FF8 0600	32	Pck
ブレーン 6 メモリ幅レジスタ	P6MWR	R/W	H'FFF8 0604	H'1FF8 0604	32	Pck
ブレーン 6 ブレンド比レジスタ	P6ALPHAR	R/W	H'FFF8 0608	H'1FF8 0608	32	Pck
ブレーン 6 表示サイズ X レジスタ	P6DSXR	R/W	H'FFF8 0610	H'1FF8 0610	32	Pck
ブレーン 6 表示サイズ Y レジスタ	P6DSYR	R/W	H'FFF8 0614	H'1FF8 0614	32	Pck
ブレーン 6 表示位置 X レジスタ	P6DPXR	R/W	H'FFF8 0618	H'1FF8 0618	32	Pck
ブレーン 6 表示位置 Y レジスタ	P6DPYR	R/W	H'FFF8 061C	H'1FF8 061C	32	Pck
ブレーン 6 表示領域開始アドレス 0 レジスタ	P6DSA0R	R/W	H'FFF8 0620	H'1FF8 0620	32	Pck
ブレーン 6 表示領域開始アドレス 1 レジスタ	P6DSA1R	R/W	H'FFF8 0624	H'1FF8 0624	32	Pck
ブレーン 6 開始位置 X レジスタ	P6SPXR	R/W	H'FFF8 0630	H'1FF8 0630	32	Pck
ブレーン 6 開始位置 Y レジスタ	P6SPYR	R/W	H'FFF8 0634	H'1FF8 0634	32	Pck

19. ディスプレイユニット (DU)

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
ブレーン6ラップアラウンド開始位置レジスタ	P6WASPR	R/W	H'FFF8 0638	H'1FF8 0638	32	Pck
ブレーン6ラップアラウンドメモリ幅レジスタ	P6WAMWR	R/W	H'FFF8 063C	H'1FF8 063C	32	Pck
ブレーン6プリンキング周期レジスタ	P6BTR	R/W	H'FFF8 0640	H'1FF8 0640	32	Pck
ブレーン6透過色1レジスタ	P6TC1R	R/W	H'FFF8 0644	H'1FF8 0644	32	Pck
ブレーン6透過色2レジスタ	P6TC2R	R/W	H'FFF8 0648	H'1FF8 0648	32	Pck
ブレーン6メモリ長レジスタ	P6MLR	R/W	H'FFF8 0650	H'1FF8 0650	32	Pck
カラーパレットレジスタ						
カラーパレット1レジスタ 000	CP1_000R	R/W	H'FFF8 1000	H'1FF8 1000	32	Pck
⋮						
カラーパレット1レジスタ 255	CP1_255R	R/W	H'FFF8 13FC	H'1FF8 13FC	32	Pck
カラーパレット2レジスタ 255	CP2_000R	R/W	H'FFF8 2000	H'1FF8 2000	32	Pck
⋮						
カラーパレット2レジスタ 255	CP2_255R	R/W	H'FFF8 23FC	H'1FF8 23FC	32	Pck
カラーパレット3レジスタ 000	CP3_000R	R/W	H'FFF8 3000	H'1FF8 3000	32	Pck
⋮						
カラーパレット3レジスタ 255	CP3_255R	R/W	H'FFF8 33FC	H'1FF8 0524	32	Pck
カラーパレット4レジスタ 000	CP4_000R	R/W	H'FFF8 4000	H'1FF8 4000	32	Pck
⋮						
カラーパレット4レジスタ 255	CP4_255R	R/W	H'FFF8 43FC	H'1FF8 43FC	32	Pck
外部同期制御レジスタ						
外部同期制御レジスタ	ESCR	R/W	H'FFF9 0000	H'1FF9 0000	32	Pck
出力信号タイミング調整レジスタ	OTAR	R/W	H'FFF9 0004	H'1FF9 0004	32	Pck

表 19.3 各処理モードにおけるレジスタの状態

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示制御レジスタ							
表示システム制御レジスタ	DSYSR	H'0000 0280	保持	保持	保持	保持	DSEC DEN
表示モードレジスタ	DSMR	H'0000 0000	保持	保持	保持	保持	全ビット ただし下記 ビットは表 示システム 制御レジス タ(DSYSR) の DRES で 更新されま す。 VSPM ODPM DIPM CSPM DIL VSL HSL
表示ステータスレジスタ	DSSR	H'3000 0000	保持	保持	保持	保持	なし
表示ステータスレジスタクリアレジスタ	DSRCR	不定	保持	保持	保持	保持	なし
表示割り込み許可レジスタ	DIER	H'0000 0000	保持	保持	保持	保持	なし
カラーバレット制御レジスタ	CPCR	H'0000 0000	保持	保持	保持	保持	全ビット
表示プレーン優先順位レジスタ	DPPR	H'0054 3210	保持	保持	保持	保持	全ビット
表示拡張機能許可レジスタ	DEFR	H'0000 0000	保持	保持	保持	保持	なし
表示タイミング生成レジスタ							
水平表示開始位置レジスタ	HDSR	不定	保持	保持	保持	保持	全ビット
水平表示終了位置レジスタ	HDER	不定	保持	保持	保持	保持	全ビット
垂直表示開始位置レジスタ	VDSR	不定	保持	保持	保持	保持	全ビット
垂直表示終了位置レジスタ	VDER	不定	保持	保持	保持	保持	全ビット
水平走査周期レジスタ	HCR	不定	保持	保持	保持	保持	全ビット
水平同期ハルス幅レジスタ	HSWR	不定	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示タイミング生成レジスタ							
垂直走査周期レジスタ	VCR	不定	保持	保持	保持	保持	全ビット
垂直同期位置レジスタ	VSPR	不定	保持	保持	保持	保持	全ビット
等価パルス幅レジスタ	EQWR	不定	保持	保持	保持	保持	全ビット
セパレーション幅レジスタ	SPWR	不定	保持	保持	保持	保持	全ビット
CLAMP 信号開始位置レジスタ	CLAMP SR	不定	保持	保持	保持	保持	全ビット
CLAMP 信号幅レジスタ	CLAMPWR	不定	保持	保持	保持	保持	全ビット
DE 信号開始位置レジスタ	DESR	不定	保持	保持	保持	保持	全ビット
DE 信号幅レジスタ	DEWR	不定	保持	保持	保持	保持	全ビット
表示属性レジスタ							
カラーパレット 1 透過色レジスタ	CP1TR	H'0000 0000	保持	保持	保持	保持	全ビット
カラーパレット 2 透過色レジスタ	CP2TR	H'0000 0000	保持	保持	保持	保持	全ビット
カラーパレット 3 透過色レジスタ	CP3TR	H'0000 0000	保持	保持	保持	保持	全ビット
カラーパレット 4 透過色レジスタ	CP4TR	H'0000 0000	保持	保持	保持	保持	全ビット
表示オフ時出力レジスタ	DOOR	不定	保持	保持	保持	保持	全ビット
色検出レジスタ	CDER	不定	保持	保持	保持	保持	全ビット
下地色レジスタ	BPOR	不定	保持	保持	保持	保持	全ビット
ラスト割り込みオフセットレジスタ	RINTOFSR	不定	保持	保持	保持	保持	全ビット
表示プレーンレジスタ							
プレーン 1 モードレジスタ	P1MR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 1 メモリ幅レジスタ	P1MWR	不定	保持	保持	保持	保持	全ビット
プレーン 1 ブレンド比レジスタ	P1ALPHAR	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示サイズ X レジスタ	P1DSXR	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示サイズ Y レジスタ	P1DSYR	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示位置 X レジスタ	P1DPXR	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示位置 Y レジスタ	P1DPYR	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示領域開始アドレス 0 レジスタ	P1DSA0R	不定	保持	保持	保持	保持	全ビット
プレーン 1 表示領域開始アドレス 1 レジスタ	P1DSA1R	不定	保持	保持	保持	保持	全ビット
プレーン 1 開始位置 X レジスタ	P1SPXR	不定	保持	保持	保持	保持	全ビット
プレーン 1 開始位置 Y レジスタ	P1SPYR	不定	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示プレーンレジスタ							
プレーン 1 ラップアラウンド開始 位置レジスタ	P1WASPR	不定	保持	保持	保持	保持	全ビット
プレーン 1 ラップアラウンドメモ リ幅レジスタ	P1WAMWR	不定	保持	保持	保持	保持	全ビット
プレーン 1 プリンキング周期レジ スタ	P1BTR	H'0000 0101	保持	保持	保持	保持	全ビット
プレーン 1 透過色 1 レジスタ	P1TC1R	不定	保持	保持	保持	保持	全ビット
プレーン 1 透過色 2 レジスタ	P1TC2R	不定	保持	保持	保持	保持	全ビット
プレーン 1 メモリ長レジスタ	P1MLR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 2 モードレジスタ	P2MR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 2 メモリ幅レジスタ	P2MWR	不定	保持	保持	保持	保持	全ビット
プレーン 2 ブレンド比レジスタ	P2ALPHAR	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示サイズ X レジスタ	P2DSXR	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示サイズ Y レジスタ	P2DSYR	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示位置 X レジスタ	P2DPXR	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示位置 Y レジスタ	P2DPYR	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示領域開始アドレス 0 レジスタ	P2DSA0R	不定	保持	保持	保持	保持	全ビット
プレーン 2 表示領域開始アドレス 1 レジスタ	P2DSA1R	不定	保持	保持	保持	保持	全ビット
プレーン 2 開始位置 X レジスタ	P2SPXR	不定	保持	保持	保持	保持	全ビット
プレーン 2 開始位置 Y レジスタ	P2SPYR	不定	保持	保持	保持	保持	全ビット
プレーン 2 ラップアラウンド開始 位置レジスタ	P2WASPR	不定	保持	保持	保持	保持	全ビット
プレーン 2 ラップアラウンドメモ リ幅レジスタ	P2WAMWR	不定	保持	保持	保持	保持	全ビット
プレーン 2 プリンキング周期レジ スタ	P2BTR	H'0000 0101	保持	保持	保持	保持	全ビット
プレーン 2 透過色 1 レジスタ	P2TC1R	不定	保持	保持	保持	保持	全ビット
プレーン 2 透過色 2 レジスタ	P2TC2R	不定	保持	保持	保持	保持	全ビット
プレーン 2 メモリ長レジスタ	P2MLR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 3 モードレジスタ	P3MR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 3 メモリ幅レジスタ	P3MWR	不定	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示プレーンレジスタ							
プレーン 3 ブレンド比レジスタ	P3ALPHAR	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示サイズ X レジスタ	P3DSXR	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示サイズ Y レジスタ	P3DSYR	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示位置 X レジスタ	P3DPXR	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示位置 Y レジスタ	P3DPYR	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示領域開始アドレス 0 レジスタ	P3DSA0R	不定	保持	保持	保持	保持	全ビット
プレーン 3 表示領域開始アドレス 1 レジスタ	P3DSA1R	不定	保持	保持	保持	保持	全ビット
プレーン 3 開始位置 X レジスタ	P3SPXR	不定	保持	保持	保持	保持	全ビット
プレーン 3 開始位置 Y レジスタ	P3SPYR	不定	保持	保持	保持	保持	全ビット
プレーン 3 ラップアラウンド開始 位置レジスタ	P3WASPR	不定	保持	保持	保持	保持	全ビット
プレーン 3 ラップアラウンドメモ リ幅レジスタ	P3WAMWR	不定	保持	保持	保持	保持	全ビット
プレーン 3 プリンキング周期レジ スタ	P3BTR	H'0000 0101	保持	保持	保持	保持	全ビット
プレーン 3 透過色 1 レジスタ	P3TC1R	不定	保持	保持	保持	保持	全ビット
プレーン 3 透過色 2 レジスタ	P3TC2R	不定	保持	保持	保持	保持	全ビット
プレーン 3 メモリ長レジスタ	P3MLR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 4 モードレジスタ	P4MR	H'0000 0000	保持	保持	保持	保持	全ビット
プレーン 4 メモリ幅レジスタ	P4MWR	不定	保持	保持	保持	保持	全ビット
プレーン 4 ブレンド比レジスタ	P4ALPHAR	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示サイズ X レジスタ	P4DSXR	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示サイズ Y レジスタ	P4DSYR	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示位置 X レジスタ	P4DPXR	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示位置 Y レジスタ	P4DPYR	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示領域開始アドレス 0 レジスタ	P4DSA0R	不定	保持	保持	保持	保持	全ビット
プレーン 4 表示領域開始アドレス 1 レジスタ	P4DSA1R	不定	保持	保持	保持	保持	全ビット
プレーン 4 開始位置 X レジスタ	P4SPXR	不定	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示ブレンレジスタ							
ブレン 4 開始位置 Y レジスタ	P4SPYR	不定	保持	保持	保持	保持	全ビット
ブレン 4 ラップアラウンド開始 位置レジスタ	P4WASPR	不定	保持	保持	保持	保持	全ビット
ブレン 4 ラップアラウンドメモ リ幅レジスタ	P4WAMWR	不定	保持	保持	保持	保持	全ビット
ブレン 4 プリンキング周期レジ スタ	P4BTR	H'0000 0101	保持	保持	保持	保持	全ビット
ブレン 4 透過色 1 レジスタ	P4TC1R	不定	保持	保持	保持	保持	全ビット
ブレン 4 透過色 2 レジスタ	P4TC2R	不定	保持	保持	保持	保持	全ビット
ブレン 4 メモリ長レジスタ	P4MLR	H'0000 0000	保持	保持	保持	保持	全ビット
ブレン 5 モードレジスタ	P5MR	H'0000 0000	保持	保持	保持	保持	全ビット
ブレン 5 メモリ幅レジスタ	P5MWR	不定	保持	保持	保持	保持	全ビット
ブレン 5 ブレンド比レジスタ	P5ALPHAR	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示サイズ X レジスタ	P5DSXR	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示サイズ Y レジスタ	P5DSYR	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示位置 X レジスタ	P5DPXR	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示位置 Y レジスタ	P5DPYR	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示領域開始アドレ ス 0 レジスタ	P5DSA0R	不定	保持	保持	保持	保持	全ビット
ブレン 5 表示領域開始アドレ ス 1 レジスタ	P5DSA1R	不定	保持	保持	保持	保持	全ビット
ブレン 5 開始位置 X レジスタ	P5SPXR	不定	保持	保持	保持	保持	全ビット
ブレン 5 開始位置 Y レジスタ	P5SPYR	不定	保持	保持	保持	保持	全ビット
ブレン 5 ラップアラウンド開始 位置レジスタ	P5WASPR	不定	保持	保持	保持	保持	全ビット
ブレン 5 ラップアラウンドメモ リ幅レジスタ	P5WAMWR	不定	保持	保持	保持	保持	全ビット
ブレン 5 プリンキング周期レジ スタ	P5BTR	H'0000 0101	保持	保持	保持	保持	全ビット
ブレン 5 透過色 1 レジスタ	P5TC1R	不定	保持	保持	保持	保持	全ビット
ブレン 5 透過色 2 レジスタ	P5TC2R	不定	保持	保持	保持	保持	全ビット
ブレン 5 メモリ長レジスタ	P5MLR	H'0000 0000	保持	保持	保持	保持	全ビット
ブレン 6 モードレジスタ	P6MR	H'0000 0000	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
表示プレーンレジスタ							
プレーン 6 メモリ幅レジスタ	P6MWR	不定	保持	保持	保持	保持	全ビット
プレーン 6 ブレンド比レジスタ	P6ALPHAR	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示サイズ X レジスタ	P6DSXR	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示サイズ Y レジスタ	P6DSYR	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示位置 X レジスタ	P6DPXR	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示位置 Y レジスタ	P6DPYR	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示領域開始アドレス 0 レジスタ	P6DSA0R	不定	保持	保持	保持	保持	全ビット
プレーン 6 表示領域開始アドレス 1 レジスタ	P6DSA1R	不定	保持	保持	保持	保持	全ビット
プレーン 6 開始位置 X レジスタ	P6SPXR	不定	保持	保持	保持	保持	全ビット
プレーン 6 開始位置 Y レジスタ	P6SPYR	不定	保持	保持	保持	保持	全ビット
プレーン 6 ラップアラウンド開始 位置レジスタ	P6WASPR	不定	保持	保持	保持	保持	全ビット
プレーン 6 ラップアラウンドメモ リ幅レジスタ	P6WAMWR	不定	保持	保持	保持	保持	全ビット
プレーン 6 プリンキング周期レジ スタ	P6BTR	H'0000 0101	保持	保持	保持	保持	全ビット
プレーン 6 透過色 1 レジスタ	P6TC1R	不定	保持	保持	保持	保持	全ビット
プレーン 6 透過色 2 レジスタ	P6TC2R	不定	保持	保持	保持	保持	全ビット
プレーン 6 メモリ長レジスタ	P6MLR	H'0000 0000	保持	保持	保持	保持	全ビット
カラーパレットレジスタ							
カラーパレット 1 レジスタ 000	CP1_000R	不定	保持	保持	保持	保持	全ビット
:							
カラーパレット 1 レジスタ 255	CP1_255R	不定	保持	保持	保持	保持	全ビット
カラーパレット 2 レジスタ 000	CP2_000R	不定	保持	保持	保持	保持	全ビット
:							
カラーパレット 2 レジスタ 255	CP2_255R	不定	保持	保持	保持	保持	全ビット
カラーパレット 3 レジスタ 000	CP3_000R	不定	保持	保持	保持	保持	全ビット
:							
カラーパレット 3 レジスタ 255	CP3_255R	不定	保持	保持	保持	保持	全ビット
カラーパレット 4 レジスタ 000	CP4_000R	不定	保持	保持	保持	保持	全ビット

19. ディスプレイユニット (DU)

レジスタ名	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による	内部更新 機能を持つ ビット
:							
カラーバレット 4 レジスタ 255	CP4_255R	不定	保持	保持	保持	保持	全ビット
外部同期制御レジスタ							
外部同期制御レジスタ	ESCR	H'0000 0000	保持	保持	保持	保持	なし
出力信号タイミング調整レジスタ	OTAR	H'0000 0000	保持	保持	保持	保持	表示システム制御レジスタ (DSYSR) の表示リセット DRES で更新されます。

19. ディスプレイユニット (DU)

19.3.1 表示システム制御レジスタ (DSYSR)

表示システム制御レジスタ (DSYSR : Display unit SYStem control Register) はディスプレイユニット (DU) のシステム動作を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DSEC	—	—	—	IUPD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
内部更新:												O				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DRES	DEN	TVM		SCM		—	—	—	—
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
内部更新:																O

ビット	ビット名	初期値	R/W	内部更新	説明
31~21	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
20	DSEC	0	R/W	あり	表示データエンディアン変換 (DiSPlay data Endian Change) データスワップの詳細に関しては、「19.4.7 エンディアン変換」を参照してください。 0: メモリ上の表示データをバイトデータ/ワードデータスワップを行いません。 1: メモリ上の表示データをバイトデータ/ワードデータスワップを行います。
19~17	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
16	IUPD	0	R/W	なし	内部更新ディスエーブル (Internal UPdating Disable) DRES=1 の場合は本ビットに関係なく内部更新します。 内部更新の詳細に関しては「19.3 (2) 内部更新」を参照してください。 0: 内部更新は垂直同期信号 (VSYNC) アサート毎に行われます。 1: 本ビットに1を設定することにより内部更新を禁止することができます。 本ビットに0が設定されると、次の垂直同期信号 (VSYNC) によりレジスタ更新が行われます。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
15~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9 8	DRES DEN	1 0	R/W R/W	なし あり	表示リセット (Display RESet) 表示イネーブル (Display ENable) 00: 表示同期動作を開始します。 未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、ディスプレイユニット (DU) 内のすべてのレジスタ設定後に DRES=0 にしてください。 DEN=0 では、表示データは表示オフ時出力レジスタ (DOOR) に設定された値となります。 01: 表示同期動作を開始します。 未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、ディスプレイユニット (DU) 内のすべてのレジスタ設定後に DRES=0、DEN=1 にしてください。 DEN=1 では、表示データは次のフレームからメモリ上に格納された値となります。 10: 表示同期動作を停止します。 表示動作および同期動作が停止します。表示ステータスレジスタ (DSSR) の下記ビットを除きレジスタ設定値は保持します。本設定では以下のように動作します。 (1) 表示データは、すべて0が出力されます。 (2) 表示ステータスレジスタ (DSSR) の下記ビットを0クリアします。 ・TV同期信号エラーフラグ (TVR) ・フレームフラグ (FRM) ・垂直ブランキングフラグ (VBK) ・ラスタ割り込みフラグ (RINT) ・水平ブランキングフラグ (HBK) (3) HSYNC、VSYNC、ODDF 端子は入力となります。ただし、表示モードレジスタ (DSMR) の ODPM ビット=1 のとき、ODDF 端子は CLAMP 出力となります。 11: 設定禁止

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
7、6	TVM	10	R/W	なし	<p>TV同期モード (TV synchronization Mode)</p> <p>00: マスタモード HSYNC, VSYNC, CSYNC を出力します。</p> <p>01: 同期方式の切り替えモード TV同期モードからマスタモード、またはマスタモードからTV同期モードへの切り替えは、必要な場合、本モードを経由して行ってください。本モードでは表示系の動作が強制停止し、DISP はローレベルを出力します。また、DCLKIN 端子へのクロック供給を停止 (入力は無効) することもできます (LSI 内部はハイレベル固定)。 DCLKIN 端子へのクロック供給がある場合 DCLKOUT 端子からクロックが出力します。 HSYNC 端子は EXHSYNC 入力、VSYNC 端子は EXVSYNC 入力、ODDF 端子は ODDF 入力となります。 ただし、表示モードレジスタ (DSMR) の ODPM ビット=1 の時、ODDF 端子は CLAMP 出力となります。</p> <p>10: TV同期モード HSYNC 端子は EXHSYNC 入力、VSYNC 端子は EXVSYNC 入力、ODDF 端子は ODDF 入力となります。 ただし、表示モードレジスタ (DSMR) の ODPM ビット=1 のとき、ODDF 端子は CLAMP 出力となります。</p> <p>11: 設定禁止</p>
5、4	SCM	00	R/W	なし	<p>スキャンモード (SCan Mode)</p> <p>00: ノンインタレースモード</p> <p>01: 設定禁止</p> <p>10: インタレースシンクモード</p> <p>11: インタレースシンク & ビデオモード</p>
3~0	-	すべて 0	R	なし	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19.3.2 表示モードレジスタ (DSMR)

表示モードレジスタ (DSMR : Display unit Mode Register) はディスプレイユニット (DU) の表示動作を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	VSPM	ODPM	DIPM	CSPM	—	—	—	—	DIL	VSL	HSL	DDIS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
内部更新:				*	*	*	*	*					*	*	*	O
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDEL	CDEM	CDED	—	—	—	ODEV	CSY	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R
内部更新:	O	O	O	O				O								

【注】 * 表示システム制御レジスタ (DSYSR) の DRES ビット=1 で更新されます。

ビット	ビット名	初期値	R/W	内部更新	説明
31~29	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
28	VSPM	0	R/W	*	VSYNC ピンモード (VSync Pin Mode) 本レジスタによる設定よりも表示システム制御レジスタ (DSYSR) による設定が優先されます。 0: $\overline{\text{VSYNC}}$ 端子に VSYNC 信号を出力します。 1: $\overline{\text{VSYNC}}$ 端子に CSYNC 信号を出力します。
27	ODPM	0	R/W	*	ODDF ピンモード (ODdf Pin Mode) 0: ODDF 端子に ODDF 信号を出力します。 1: ODDF 端子に CLAMP 信号を出力します。 表示制御レジスタ (DSYSR) の TVM ビットが TV 同期モードの場合でも、ODDF 端子は出力となります。
26、25	DIPM	00	R/W	*	DISP ピンモード (Disp Pin Mode) 00: DISP 端子に DISP 信号を出力します。 01: DISP 端子に CSYNC 信号を出力します。 10: 設定禁止 11: DISP 端子に DE 信号を出力します。
24	CSPM	0	R/W	*	CSYNC ピンモード (CSync Pin Mode) 本レジスタによる設定よりも表示システム制御レジスタ (DSYSR) による設定が優先されます。 0: $\overline{\text{HSYNC}}$ 端子に CSYNC 信号を出力します。 1: $\overline{\text{HSYNC}}$ 端子に HSYNC 信号を出力します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
23~20	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
19	DIL	0	R/W	*	DISP 極性選択 (Disp poLarity select) 0 : DISP 信号は表示期間がハイレベルとなります。 1 : DISP 信号の表示期間がローレベルとなります。
18	VSL	0	R/W	*	Vsync 極性選択 (Vsync polarity SeLect) 0 : VSYNC 信号はローアクティブになります。 1 : VSYNC 信号はハイアクティブになります。
17	HSL	0	R/W	*	Hsync 極性選択 (Hsync polarity SeLect) 0 : HSYNC 信号はローアクティブになります。 1 : HSYNC 信号はハイアクティブになります。
16	DDIS	0	R/W	あり	DISP 出力ディスエーブル (Disp DISable) 0 : DISP 信号を出力します。 1 : DISP 信号を出力しません。(ローレベル固定)
15	CDEL	0	R/W	あり	CDE 極性選択 (CDE polarity SeLect) 0 : CDE 信号は出力表示データと色検出レジスタ (CDER) が一致したとき、ハイレベルとなり、不一致したとき、ローレベルになります。 1 : CDE 信号は出力表示データと色検出レジスタ (CDER) が一致したとき、ローレベルとなり、不一致したとき、ハイレベルになります。
14, 13	CDEM	00	R/W	あり	CDE 出力モード (CDE output Mode) 00 : CDE 信号をそのまま出力します。 01 : CDE 信号をそのまま出力します。 10 : 表示期間外 (DISP 信号がインアクティブ期間) はローレベルを出力します。 11 : 表示期間外 (DISP 信号がインアクティブ期間) はハイレベルを出力します。
12	CDED	0	R/W	あり	CDE ディスエーブル (CDE Disable) 0 : CDE 信号を出力します。 1 : CDE 信号を出力しません。(ローレベル固定)
11~9	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明															
8	ODEV	0	R/W	あり	ODDF 信号極性選択 (ODd EVen select for ODDF signal) 0: インタレース表示の同一フレームにおいて、ODDF 端子がローレベルにより前半のフィールドを示します。 1: インタレース表示の同一フレームにおいて、ODDF 端子がハイレベルにより前半のフィールドを示します。															
7、6	CSY	00	R/W	なし	CSYNC モード (CSYnc mode) CSYNC 波形の詳細に関しては「19.5.2 CSYNC」を参照してください。 00: VSYNC と HSYNC と CSYNC の関係は下記のようになります。 <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="padding-right: 20px;">VSYNC</td> <td style="padding-right: 20px;">HSYNC</td> <td>CSYNC</td> </tr> <tr> <td>ローレベル</td> <td>ローレベル</td> <td>ハイレベル</td> </tr> <tr> <td>ローレベル</td> <td>ハイレベル</td> <td>ローレベル</td> </tr> <tr> <td>ハイレベル</td> <td>ローレベル</td> <td>ローレベル</td> </tr> <tr> <td>ハイレベル</td> <td>ハイレベル</td> <td>ハイレベル</td> </tr> </table> 01: 設定禁止 10: VSYNC 立ち下がりから 3 ラスタの期間は等価パルス、その後 3 ラスタはセパレーション、その後 3 ラスタは等価パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。 11: VSYNC 立ち下がりから 1/2 ラスタ後、2.5 ラスタの期間は等価パルス、その後 2.5 ラスタはセパレーション、その後 2.5 ラスタは等価パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。	VSYNC	HSYNC	CSYNC	ローレベル	ローレベル	ハイレベル	ローレベル	ハイレベル	ローレベル	ハイレベル	ローレベル	ローレベル	ハイレベル	ハイレベル	ハイレベル
VSYNC	HSYNC	CSYNC																		
ローレベル	ローレベル	ハイレベル																		
ローレベル	ハイレベル	ローレベル																		
ハイレベル	ローレベル	ローレベル																		
ハイレベル	ハイレベル	ハイレベル																		
5~0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。															

【注】 * 表示システム制御レジスタ (DSYSR) の DRES ビット=1 で更新されます。

19. ディスプレイユニット (DU)

19.3.3 表示ステータスレジスタ (DSSR)

表示ステータスレジスタ (DSSR : DiSplay Unit Status Register) はディスプレイユニット (DU) の内部状態を外部から読み出すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DFB6	DFB5	DFB4	DFB3	DFB2	DFB1
初期値:	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVR	FRM	—	—	VBK	—	RINT	HBK	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
29、28	-	すべて1	R	-	リザーブビット 読み出しは1が読み出されます。書き込む値は常に1にしてください。
27~22	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
21	DFB6	0	R	なし	ディスプレイフレームバッファ6フラグ (Display Frame Buffer 6 Flag) 0: プレーン6において P6DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン6において P6DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
20	DFB5	0	R	なし	ディスプレイフレームバッファ5フラグ (Display Frame Buffer 5 Flag) 0: プレーン5において P5DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン5において P5DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
19	DFB4	0	R	なし	ディスプレイフレームバッファ 4 フラグ (Display Frame Buffer 4 Flag) 0: プレーン 4 において P4DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 4 において P4DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
18	DFB3	0	R	なし	ディスプレイフレームバッファ 3 フラグ (Display Frame Buffer 3 Flag) 0: プレーン 3 において P3DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 3 において P3DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
17	DFB2	0	R	なし	ディスプレイフレームバッファ 2 フラグ (Display Frame Buffer 2 Flag) 0: プレーン 2 において P2DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 2 において P2DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
16	DFB1	0	R	なし	ディスプレイフレームバッファ 1 フラグ (Display Frame Buffer 1 Flag) 0: プレーン 1 において P1DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 1 において P1DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
15	TVR	0	R	なし	TV 同期信号エラーフラグ (TV synchronization eRror flag) 0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の TVCL ビットにより TVR ビットを 0 にクリアしてから、垂直走査周期レジスタ (VCR) の設定で決まる垂直周期内に、EXVSYNC の立ち上がりが毎回検出されていることを示します。 1: TV 同期モード時に、垂直走査周期レジスタ (VCR) の設定値で決まる垂直周期内に、EXVSYNC の立ち上がりが検出されなかったことを示します。 TVR ビットは表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の TVCL ビットにより 0 にクリアされるまで状態を保持します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
14	FRM	0	R	なし	<p>フレームフラグ (FRaMe flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の FRCL ビットにより FRM ビットを 0 にクリアしてから、ノンインタレースでは次の表示終了までの期間を示し、インタレースシンクまたはインタレースシンク & ビデオでは次の偶数フィールドの表示終了までの期間を示します。</p> <p>1: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の FRCL ビットにより FRM ビットを 0 にクリアした後の、ノンインタレースでは最初の垂直ブランキング期間から、インタレースシンクまたはインタレースシンク & ビデオでは最初の偶数フィールドの垂直ブランキング期間から、再度 FRM ビットをクリアするまでの期間を示します。(フレーム単位)</p>
13、12	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
11	VBK	0	R	なし	<p>垂直ブランキングフラグ (Vertical BlanKing flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の VBCL ビットにより VBK ビットを 0 にクリアしてから次の表示終了までの期間を示します。</p> <p>1: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の VBCL ビットにより VBK ビットをクリアした後の最初の垂直ブランキング期間から再度 VBK ビットを 0 にクリアするまでの期間を示します。(フィールド単位)。</p>
10	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
9	RINT	0	R	なし	<p>ラスタ割り込みフラグ (Raster INterrupt flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の RICL ビットにより RINT ビットを 0 にクリアした後、次の表示開始からラスタ割り込みオフセットレジスタで設定されたラスタが経過するまでの期間を示します。</p> <p>1: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の RICL ビットにより RINT ビットをクリアした後、次の表示開始からラスタ割り込みオフセットレジスタで設定されたラスタが経過した後から、再度ビットを 0 にクリアするまでの期間を示します。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
8	HBK	0	R	なし	<p>水平ブランキングフラグ (Horizontal Blanking Flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の HBCL ビットにより HBK ビットを 0 にクリアしてから次の水平ブランキングの期間を示します。</p> <p>1: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の HBCL ビットにより HBK ビットを 0 にクリアした後の最初の水平ブランキング期間から再度 HBK ビットをクリアするまでの期間を示します。</p>
7~0	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

19.3.4 表示ステータスレジスタクリアレジスタ (DSRCR)

表示ステータスレジスタクリアレジスタ (DSRCR : Display unit Status Register Clear Register) は表示ステータスレジスタ (DSSR) の各フラグをクリアするレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVCL	FRCL	—	—	VBCL	—	RICL	HBCL	—	—	—	—	—	—	—	—
初期値:	—	—	0	0	—	0	—	—	0	0	0	0	0	0	0	0
R/W:	W	W	R	R	W	R	W	W	R	R	R	R	R	R	R	R
内部更新:																

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
15	TVCL	不定	W	なし	TV同期信号エラーフラグクリア 0: 表示ステータスレジスタ (DSSR) のTVRフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のTVRフラグを0にクリアします。
14	FRCL	不定	W	なし	フレームフラグクリア 0: 表示ステータスレジスタ (DSSR) のFRMフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のFRMフラグを0にクリアします。
13、12	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
11	VBCL	不定	W	なし	垂直ブランキングフラグクリア 0: 表示ステータスレジスタ (DSSR) のVBKフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のVBKフラグを0にクリアします。
10	-	0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
9	RICL	不定	W	なし	垂直ブランキングフラグクリア 0: 表示ステータスレジスタ (DSSR) の RINT フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の RINT フラグを 0 にクリアします。
8	HBCL	不定	W	なし	垂直ブランキングフラグクリア 0: 表示ステータスレジスタ (DSSR) の HBK フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の HBK フラグを 0 にクリアします。
7~0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.5 表示割り込み許可レジスタ (DIER)

表示割り込み許可レジスタ (DIER : Display unit Interrupt Enable Register) は、表示ステータスレジスタ (DSSR) に反映されるディスプレイユニット (DU) 内部状態を要因とした、CPU への割り込みを許可するレジスタです。本レジスタにビットセットすると、表示ステータスレジスタ (DSSR) の同一ビット位置へビットセットされた場合に CPU への割り込みを発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVE	FRE	—	—	VBE	—	RIE	HBE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R
内部更新:																

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
15	TVE	0	R/W	なし	TV同期信号エラー割り込み許可 0: 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを許可します。
14	FRE	0	R/W	なし	フレームフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを許可します。
13, 12	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
11	VBE	0	R/W	なし	垂直ブランキングフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを許可します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
10	-	0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9	RIE	0	R/W	なし	垂直ブランキングフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを許可します。
8	HBE	0	R/W	なし	垂直ブランキングフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを許可します。
7~0	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

ディスプレイユニット (DU) からの割り込み発生は表示ステータスレジスタ (DSSR) と本レジスタから次の条件となります。

$$\text{割り込み発生条件} = a + b + c + d + e$$

- (1) $a = \text{TVR} \cdot \text{TVE}$
- (2) $b = \text{FRM} \cdot \text{FRE}$
- (3) $c = \text{VBK} \cdot \text{VBE}$
- (4) $d = \text{RINT} \cdot \text{RIE}$
- (5) $e = \text{HBK} \cdot \text{HBE}$

ディスプレイユニット (DU) からの割り込みは割り込みコントローラ (INTC) の割り込み要因レジスタ (マスク状態の影響なし) (INT2A0) のビット 27 または割り込み要因レジスタ (マスク状態の影響あり) (INT2A1) のビット 27 に反映されます。

19. ディスプレイユニット (DU)

19.3.6 カラーパレット制御レジスタ (CPCR)

カラーパレット制御レジスタ (CPCR : Color Palette Control Register) はカラーパレットの切り替えを許可するレジスタです。

カラーパレットの切り替えに関しては「19.4.8 カラーパレット」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CP4CE	CP3CE	CP2CE	CP1CE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
内部更新 :													0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																

ビット	ビット名	初期値	R/W	内部更新	説明
31~20	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
19	CP4CE	0	R/W	あり	カラーパレット4切り替えイネーブル (Color Palette 4 Change Enable) 0 : カラーパレット4の切り替えを行いません。 1 : カラーパレット4の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) の DRES ビットを1から0に設定したとき、または内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット4の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。
18	CP3CE	0	R/W	あり	カラーパレット3切り替えイネーブル (Color Palette 3 Change Enable) 0 : カラーパレット3の切り替えを行いません。 1 : カラーパレット3の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) の DRES ビットを1から0に設定したとき、または内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット3の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
17	CP2CE	0	R/W	あり	<p>カラーパレット 2 切り替えイネーブル (Color Palette 2 Change Enable)</p> <p>0 : カラーパレット 2 の切り替えを行いません。</p> <p>1 : カラーパレット 2 の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) の DRES ビットを 1 から 0 に設定したとき、または内部更新タイミング時です。本ビットは 1 設定のみ有効で、0 設定は無効となります。カラーパレット 2 の切り替え後、0 にクリアされます。1 設定とクリアが同時に発生した場合は 0 クリアが優先します。</p>
16	CP1CE	0	R/W	あり	<p>カラーパレット 1 切り替えイネーブル (Color Palette 1 Change Enable)</p> <p>0 : カラーパレット 1 の切り替えを行いません。</p> <p>1 : カラーパレット 1 の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) の DRES ビットを 1 から 0 に設定したとき、または内部更新タイミング時です。本ビットは 1 設定のみ有効で、0 設定は無効となります。カラーパレット 1 の切り替え後、0 にクリアされます。1 設定とクリアが同時に発生した場合は 0 クリアが優先します。</p>
15~0	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

19.3.7 表示プレーン優先順位レジスタ (DPPR)

表示プレーン優先順位レジスタ (DPPR : Display Plane Priority Register) は合成面の優先順位と表示オン/オフを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	—	—	—	—	—	—	—	—	DPE6	DPS6			DPE5	DPS5					
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0			
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
内部更新:									0	0	0	0	0	0	0	0			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	DPE4		DPS4			DPE3		DPS3			DPE2		DPS2			DPE1		DPS1	
初期値:	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0			
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
23	DPE6	0	R/W	あり	表示プレーン優先順位6許可 (Display plane Priority 6 Enable)
22~20	DPS6	101	R/W	あり	表示プレーン優先順位6選択 (Display plane Priority 6 Select) 1000 : 優先順位6にプレーン1を選択し、表示します。 1001 : 優先順位6にプレーン2を選択し、表示します。 1010 : 優先順位6にプレーン3を選択し、表示します。 1011 : 優先順位6にプレーン4を選択し、表示します。 1100 : 優先順位6にプレーン5を選択し、表示します。 1101 : 優先順位6にプレーン6を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位6は表示しません。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
19 18~16	DPE5 DPS5	0 100	R/W R/W	あり あり	表示プレーン優先順位 5 許可 (Display plane Priority 5 Enable) 表示プレーン優先順位 5 選択 (Display plane Priority 5 Select) 1000 : 優先順位 5 にプレーン 1 を選択し、表示します。 1001 : 優先順位 5 にプレーン 2 を選択し、表示します。 1010 : 優先順位 5 にプレーン 3 を選択し、表示します。 1011 : 優先順位 5 にプレーン 4 を選択し、表示します。 1100 : 優先順位 5 にプレーン 5 を選択し、表示します。 1101 : 優先順位 5 にプレーン 6 を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位 5 は表示しません。
15 14~12	DPE4 DPS4	0 011	R/W R/W	あり あり	表示プレーン優先順位 4 許可 (Display plane Priority 4 Enable) 表示プレーン優先順位 4 選択 (Display plane Priority 4 Select) 1000 : 優先順位 4 にプレーン 1 を選択し、表示します。 1001 : 優先順位 4 にプレーン 2 を選択し、表示します。 1010 : 優先順位 4 にプレーン 3 を選択し、表示します。 1011 : 優先順位 4 にプレーン 4 を選択し、表示します。 1100 : 優先順位 4 にプレーン 5 を選択し、表示します。 1101 : 優先順位 4 にプレーン 6 を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位 4 は表示しません。
11 10~8	DPE3 DPS3	0 010	R/W R/W	あり あり	表示プレーン優先順位 3 許可 (Display plane Priority 3 Enable) 表示プレーン優先順位 3 選択 (Display plane Priority 3 Select) 1000 : 優先順位 3 にプレーン 1 を選択し、表示します。 1001 : 優先順位 3 にプレーン 2 を選択し、表示します。 1010 : 優先順位 3 にプレーン 3 を選択し、表示します。 1011 : 優先順位 3 にプレーン 4 を選択し、表示します。 1100 : 優先順位 3 にプレーン 5 を選択し、表示します。 1101 : 優先順位 3 にプレーン 6 を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位 3 は表示しません。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
7 6~4	DPE2 DPS2	0 001	R/W R/W	あり あり	表示プレーン優先順位 2 許可 (Display plane Priority 2 Enable) 表示プレーン優先順位 2 選択 (Display plane Priority 2 Select) 1000 : 優先順位 2 にプレーン 1 を選択し、表示します。 1001 : 優先順位 2 にプレーン 2 を選択し、表示します。 1010 : 優先順位 2 にプレーン 3 を選択し、表示します。 1011 : 優先順位 2 にプレーン 4 を選択し、表示します。 1100 : 優先順位 2 にプレーン 5 を選択し、表示します。 1101 : 優先順位 2 にプレーン 6 を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位 2 は表示しません。
3 2~0	DPE1 DPS1	0 000	R/W R/W	あり あり	表示プレーン優先順位 1 許可 (Display plane Priority 1 Enable) 表示プレーン優先順位 1 選択 (Display plane Priority 1 Select) 1000 : 優先順位 1 にプレーン 1 を選択し、表示します。 1001 : 優先順位 1 にプレーン 2 を選択し、表示します。 1010 : 優先順位 1 にプレーン 3 を選択し、表示します。 1011 : 優先順位 1 にプレーン 4 を選択し、表示します。 1100 : 優先順位 1 にプレーン 5 を選択し、表示します。 1101 : 優先順位 1 にプレーン 6 を選択し、表示します。 1110 : 設定禁止。 1111 : 設定禁止。 0--- : 優先順位 1 は表示しません。

19.3.8 表示拡張機能許可レジスタ (DEFR)

表示拡張機能許可レジスタ (DEFR : Display unit Extensional Function enable Register) は拡張機能を許可するレジスタです。

表示拡張機能許可レジスタ (DEFR) は外部更新のため、表示リセット中 (表示システム制御レジスタ (DSYSR) の DRES ビット=1、DEN ビット=0) に設定してください。表示中に更新すると表示がちらつく場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DCKE	ABRE	—	—	—	DSAE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
内部更新:																

ビット	ビット名	初期値	R/W	内部更新	説明
31~6	-	すべて0	R	-	リザーブビット 読み出しは不定が読み出されます。書き込む値は常に0にしてください。
5	DCKE	0	R/W	なし	入力ドットクロック選択許可 (input Dot Clock select Enable) 0: 外部同期制御レジスタ (ESCR) の DCLKSEL ビットと FRQSEL ビットのビット4は無効です。 1: 外部同期制御レジスタ (ESCR) の DCLKSEL ビットと FRQSEL ビットのビット4を有効にします。下記の機能を使用することができます。 ・入力ドットクロックとして DCLKIN 端子からのクロックと DU クロック (DUck) を選択することができます。選択は外部同期制御レジスタ (ESCR) の DCLKSEL ビットで行います。 ・ドットクロック分周比は0~32分周まで選択できます。分周比は外部同期制御レジスタ (ESCR) の FRQSEL ビットで設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
4	ABRE	0	R/W	なし	<p>アルファブレンド比拡張許可 (Alpha Blend Ratio Enable)</p> <p>0: カラーパレットレジスタ 1~4 のビット 31-24 とブレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットは無効です。</p> <p>アルファブレンド比はブレーン n ブレンド比レジスタ (PnALPHAR) の PnALPHA ビットのみです。</p> <p>1: カラーパレットレジスタ 1~4 のビット 31-24 とブレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットを有効にします。</p> <p>アルファブレンド比として次を選択することができます。選択はブレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットで行います。</p> <ul style="list-style-type: none"> ・ブレーン n ブレンド比レジスタ (PnALPHAR) の PnALPHA ビット。 ・カラーパレットレジスタ 1~4 のビット 31-24。 ・アルファブレンドデータ (表示データ)。 <p>アルファブレンド比に関しては「19.4.9 ブレーンの重ね合わせ表示」を参照してください。</p>
3~1	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは不定が読み出されます。書き込む値は常に 0 にしてください。</p>
0	DSAE	0	R/W	なし	<p>表示領域開始アドレス拡張許可 (Display area Start Address Enable)</p> <p>0: ブレーン n 表示領域開始アドレス 0~1 レジスタ (PnDSA0 ~ 1R) はビット 28-4 が有効です。ビット 31-29 は B'000 となります。</p> <p>1: ブレーン n 表示領域開始アドレス 0~1 レジスタ (PnDSA0 ~ 1R) はビット 31-4 が有効です。</p>

19.3.9 水平表示開始位置レジスタ (HDSR)

水平表示開始位置レジスタ (HDSR : Horizontal Display Start Register) は水平表示開始位置を設定します。パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
内部更新:																	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	HDS									—
初期値:	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R/W									
内部更新:								0	0	0	0	0	0	0	0	0	

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
8~0	HDS	不定	R/W	あり	水平表示開始位置 (Horizontal Display Start) 水平表示開始位置をドットクロック単位で設定してください。

19. ディスプレイユニット (DU)

19.3.10 水平表示終了位置レジスタ (HDER)

水平表示終了位置レジスタ (HDER : Horizontal Display End Register) は水平表示終了位置を設定します。パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HDE										
初期値:	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W										
内部更新:						○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	HDE	不定	R/W	あり	水平表示終了位置 (Horizontal Display End) 水平表示終了位置をドットクロック単位で設定してください。

19.3.11 垂直表示開始位置レジスタ (VDSR)

垂直表示開始位置レジスタ (VDSR : Vertical Display Start Register) は垂直表示開始位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
内部更新:																	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	VDS									—
初期値:	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R/W									
内部更新:								0	0	0	0	0	0	0	0	0	

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
8~0	VDS	不定	R/W	あり	垂直表示開始位置 (Vertical Display Start) 垂直表示開始位置をラスタライン単位で設定してください。

19. ディスプレイユニット (DU)

19.3.12 垂直表示終了位置レジスタ (VDER)

垂直表示終了位置レジスタ (VDER : Vertical Display End Register) は垂直表示終了位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VDE									
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W									
内部更新:							○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	VDE	不定	R/W	あり	垂直表示終了位置 (Vertical Display End) 垂直表示終了位置をラスタライン単位で設定してください。

19.3.13 水平走査周期レジスタ (HCR)

水平走査周期レジスタ (HCR : Horizontal Cycle Register) は水平走査周期を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HC										
初期値:	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W										
内部更新:						○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	HC	不定	R/W	あり	水平走査周期 (Horizontal Cycle) 水平帰線期間を含めた1水平走査周期をドットクロック単位で設定してください。 TV同期モード時は、EXHSYNCの周期より、本レジスタによるHSYNCの周期が同じか、大きくなるように本レジスタを設定してください。

19. ディスプレイユニット (DU)

19.3.14 水平同期パルス幅レジスタ (HSWR)

水平同期パルス幅レジスタ (HSWR : Horizontal Sync Width Register) は水平同期信号のローレベルパルス幅を設定します。パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
内部更新:																	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	HSW									—
初期値:	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R/W									
内部更新:								○	○	○	○	○	○	○	○	○	

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
8~0	HSW	不定	R/W	あり	水平同期パルス幅 (Horizontal Sync Width) 水平同期信号のローレベルパルス幅をドットクロック単位で設定してください。

19.3.15 垂直走査周期レジスタ (VCR)

垂直走査周期レジスタ (VCR : Vertical Cycle Register) は垂直走査周期を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VC									
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W									
内部更新:							○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	VC	不定	R/W	あり	垂直走査周期 (VC : Vertical Cycle) 垂直帰線期間を含めた垂直走査周期をラスタライン単位で設定してください。 TV同期モード時は、EXVSYNCの立ち上がりの検出期限時間を設定してください。期限内に検出されない则表示ステータスレジスタ (DSSR) のTVRフラグに結果を反映します。

19. ディスプレイユニット (DU)

19.3.16 垂直同期位置レジスタ (VSPR)

垂直同期位置レジスタ (VSPR: Vertical Sync Point Register) は垂直同期信号の開始位置をラスタライン単位で設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VSP									
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W									
内部更新:							0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	VSP	不定	R/W	あり	垂直同期位置 (Vertical Sync Point) 垂直同期信号の開始位置をラスタライン単位で設定してください。 TV同期モード時は、EXVSYNCの立ち下がりより、本レジスタによるVSYNCの立ち下がり設定位置が同じか、後になるように本レジスタを設定してください。

19.3.17 等価パルス幅レジスタ (EQWR)

等価パルス幅レジスタ (EQWR : Equal pulse Width Register) は CSYNC 信号の等価パルスのローレベルパルス幅を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EQW						
初期値 :	0	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R/W						
内部更新 :										0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~7	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
6~0	EQW	不定	R/W	あり	等価パルス幅 (Equal pulse Width) CSYNC 信号の等価パルスのローレベルパルス幅をドットクロック単位で設定してください。 本設定を有効にするには、表示モードレジスタ (DSMR) の CSY ビットのビット1を1に設定してください。

19. ディスプレイユニット (DU)

19.3.18 セパレーション幅レジスタ (SPWR : SeParation Width Register)

セパレーション幅レジスタ (SPWR : SeParation Width Register) は CSYNC 信号のセパレーションパルスのローレベルパルス幅を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPW									
初期値 :	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W									
内部更新 :							0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	SPW	不定	R/W	あり	セパレーション幅 (SeParation Width) CSYNC 信号のセパレーションパルスのローレベルパルス幅をドットクロック単位で設定してください。水平走査周期レジスタ (HCR) の HC ビットの 1/2 より小さい値を設定してください。 本設定を有効にするには、表示モードレジスタ (DSMR) の CSY ビットのビット1を1に設定してください。

19.3.19 CLAMP 信号開始位置レジスタ (CLAMPSR)

CLAMP 信号開始位置レジスタ (CLAMPSR : CLAMP signal Start Register) は CLAMP 信号の立ち上がり位置を設定します。

CLAMP 信号および DE 信号のタイミングチャートに関しては「19.5.6 CLAMP 信号と DE 信号」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPS										
初期値 :	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :						○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	CLAMPS	不定	R/W	あり	CLAMP 信号開始位置 (CLAMP signal Start) CLAMP 信号の立ち上がり位置を HSYNC 信号の立ち下がり基準としてドットクロック単位で設定してください。 HSYNC 信号の立ち下がりから (設定値 + 1) サイクル後に CLAMP 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同じサイクルで CLAMP 信号を立ち上げることはできません。

19. ディスプレイユニット (DU)

19.3.20 CLAMP 信号幅レジスタ (CLAMPWR)

CLAMP 信号幅レジスタ (CLAMPWR : CLAMP signal Width Register) は CLAMP 信号のハイレベル幅を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPW										
初期値 :	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :						0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	CLAMPW	不定	R/W	あり	CLAMP 信号幅 (CLAMP signal Width) CLAMP 信号のハイレベル幅をドットクロック単位で設定してください。 CLAMP 信号がハイレベルのときに HSYNC 信号が立ち下がった場合、CLAMP 信号も立ち下がります。

19.3.21 DE 信号開始位置レジスタ (DESR)

DE 信号開始位置レジスタ (DESR : DE signal Start Register) は DE 信号の立ち上がり位置を設定します。
 パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DES										
初期値 :	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W										
内部更新 :						0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
10~0	DES	不定	R/W	あり	DE 信号開始位置 (DE signal Start) DE 信号の立ち上がり位置を HSYNC 信号の立ち下がり基準としてドットクロック単位で設定してください。 HSYNC 信号の立ち下がりから (設定値 + 1) サイクル後に DE 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同ーサイクルで DE 信号を立ち上げることはできません。 垂直ブランキング期間はローレベル固定になります。

19. ディスプレイユニット (DU)

19.3.22 DE 信号幅レジスタ (DEWR)

DE 信号幅レジスタ (DEWR : DE signal Width Register) は DE 信号のハイレベル幅を設定します。パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DEW										
初期値:	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W										
内部更新:						○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	DEW	不定	R/W	あり	DE 信号幅 (DE signal Width) DE 信号のハイレベル幅をドットクロック単位で設定してください。 DE 信号がハイレベルのときに HSYNC 信号が立ち下がった場合、DE 信号も立ち下がります。

19.3.23 カラーパレット 1 透過色レジスタ (CP1TR)

カラーパレット 1 透過色レジスタ (CP1TR : Color Palette 1 Transparent color Register) はカラーパレット 1 の透過色を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP1IF	CP1IE	CP1ID	CP1IC	CP1IB	CP1IA	CP1I9	CP1I8	CP1I7	CP1I6	CP1I5	CP1I4	CP1I3	CP1I2	CP1I1	CP1I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15	CP1IF	0	R/W	あり	カラーパレット 1 インデックス F (Color Palette 1 Index F) 0: カラーパレット 1 のインデックス F のカラーを透過色に設定しません。 1: カラーパレット 1 のインデックス F のカラーを透過色に設定します。
14	CP1IE	0	R/W	あり	カラーパレット 1 インデックス E (Color Palette 1 Index E) 0: カラーパレット 1 のインデックス E のカラーを透過色に設定しません。 1: カラーパレット 1 のインデックス E のカラーを透過色に設定します。
13	CP1ID	0	R/W	あり	カラーパレット 1 インデックス D (Color Palette 1 Index D) 0: カラーパレット 1 のインデックス D のカラーを透過色に設定しません。 1: カラーパレット 1 のインデックス D のカラーを透過色に設定します。
12	CP1IC	0	R/W	あり	カラーパレット 1 インデックス C (Color Palette 1 Index C) 0: カラーパレット 1 のインデックス C のカラーを透過色に設定しません。 1: カラーパレット 1 のインデックス C のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
11	CP11B	0	R/W	あり	カラーパレット1インデックスB (Color Palette 1 Index B) 0: カラーパレット1のインデックスBのカラーを透過色に設定しません。 1: カラーパレット1のインデックスBのカラーを透過色に設定します。
10	CP11A	0	R/W	あり	カラーパレット1インデックスA (Color Palette 1 Index A) 0: カラーパレット1のインデックスAのカラーを透過色に設定しません。 1: カラーパレット1のインデックスAのカラーを透過色に設定します。
9	CP119	0	R/W	あり	カラーパレット1インデックス9 (Color Palette 1 Index 9) 0: カラーパレット1のインデックス9のカラーを透過色に設定しません。 1: カラーパレット1のインデックス9のカラーを透過色に設定します。
8	CP118	0	R/W	あり	カラーパレット1インデックス8 (Color Palette 1 Index 8) 0: カラーパレット1のインデックス8のカラーを透過色に設定しません。 1: カラーパレット1のインデックス8のカラーを透過色に設定します。
7	CP117	0	R/W	あり	カラーパレット1インデックス7 (Color Palette 1 Index 7) 0: カラーパレット1のインデックス7のカラーを透過色に設定しません。 1: カラーパレット1のインデックス7のカラーを透過色に設定します。
6	CP116	0	R/W	あり	カラーパレット1インデックス6 (Color Palette 1 Index 6) 0: カラーパレット1のインデックス6のカラーを透過色に設定しません。 1: カラーパレット1のインデックス6のカラーを透過色に設定します。
5	CP115	0	R/W	あり	カラーパレット1インデックス5 (Color Palette 1 Index 5) 0: カラーパレット1のインデックス5のカラーを透過色に設定しません。 1: カラーパレット1のインデックス5のカラーを透過色に設定します。
4	CP114	0	R/W	あり	カラーパレット1インデックス4 (Color Palette 1 Index 4) 0: カラーパレット1のインデックス4のカラーを透過色に設定しません。 1: カラーパレット1のインデックス4のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
3	CP1I3	0	R/W	あり	カラーパレット1インデックス3 (Color Palette 1 Index 3) 0: カラーパレット1のインデックス3のカラーを透過色に設定しません。 1: カラーパレット1のインデックス3のカラーを透過色に設定します。
2	CP1I2	0	R/W	あり	カラーパレット1インデックス2 (Color Palette 1 Index 2) 0: カラーパレット1のインデックス2のカラーを透過色に設定しません。 1: カラーパレット1のインデックス2のカラーを透過色に設定します。
1	CP1I1	0	R/W	あり	カラーパレット1インデックス1 (Color Palette 1 Index 1) 0: カラーパレット1のインデックス1のカラーを透過色に設定しません。 1: カラーパレット1のインデックス1のカラーを透過色に設定します。
0	CP1I0	0	R/W	あり	カラーパレット1インデックス0 (Color Palette 1 Index 0) 0: カラーパレット1のインデックス0のカラーを透過色に設定しません。 1: カラーパレット1のインデックス0のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

19.3.24 カラーパレット 2 透過色レジスタ (CP2TR)

カラーパレット 2 透過色レジスタ (CP2TR : Color Palette 2 Transparent color Register) はカラーパレット 2 の透過色を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP2IF	CP2IE	CP2ID	CP2IC	CP2IB	CP2IA	CP2I9	CP2I8	CP2I7	CP2I6	CP2I5	CP2I4	CP2I3	CP2I2	CP2I1	CP2I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15	CP2IF	0	R/W	あり	カラーパレット 2 インデックス F (Color Palette 2 Index F) 0: カラーパレット 2 のインデックス F のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス F のカラーを透過色に設定します。
14	CP2IE	0	R/W	あり	カラーパレット 2 インデックス E (Color Palette 2 Index E) 0: カラーパレット 2 のインデックス E のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス E のカラーを透過色に設定します。
13	CP2ID	0	R/W	あり	カラーパレット 2 インデックス D (Color Palette 2 Index D) 0: カラーパレット 2 のインデックス D のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス D のカラーを透過色に設定します。
12	CP2IC	0	R/W	あり	カラーパレット 2 インデックス C (Color Palette 2 Index C) 0: カラーパレット 2 のインデックス C のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス C のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
11	CP21B	0	R/W	あり	カラーパレット 2 インデックス B (Color Palette 2 Index B) 0: カラーパレット 2 のインデックス B のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス B のカラーを透過色に設定します。
10	CP21A	0	R/W	あり	カラーパレット 2 インデックス A (Color Palette 2 Index A) 0: カラーパレット 2 のインデックス A のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス A のカラーを透過色に設定します。
9	CP219	0	R/W	あり	カラーパレット 2 インデックス 9 (Color Palette 2 Index 9) 0: カラーパレット 2 のインデックス 9 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 9 のカラーを透過色に設定します。
8	CP218	0	R/W	あり	カラーパレット 2 インデックス 8 (Color Palette 2 Index 8) 0: カラーパレット 2 のインデックス 8 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 8 のカラーを透過色に設定します。
7	CP217	0	R/W	あり	カラーパレット 2 インデックス 7 (Color Palette 2 Index 7) 0: カラーパレット 2 のインデックス 7 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 7 のカラーを透過色に設定します。
6	CP216	0	R/W	あり	カラーパレット 2 インデックス 6 (Color Palette 2 Index 6) 0: カラーパレット 2 のインデックス 6 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 6 のカラーを透過色に設定します。
5	CP215	0	R/W	あり	カラーパレット 2 インデックス 5 (Color Palette 2 Index 5) 0: カラーパレット 2 のインデックス 5 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 5 のカラーを透過色に設定します。
4	CP214	0	R/W	あり	カラーパレット 2 インデックス 4 (Color Palette 2 Index 4) 0: カラーパレット 2 のインデックス 4 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 4 のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
3	CP2I3	0	R/W	あり	カラーパレット 2 インデックス 3 (Color Palette 2 Index 3) 0: カラーパレット 2 のインデックス 3 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 3 のカラーを透過色に設定します。
2	CP2I2	0	R/W	あり	カラーパレット 2 インデックス 2 (Color Palette 2 Index 2) 0: カラーパレット 2 のインデックス 2 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 2 のカラーを透過色に設定します。
1	CP2I1	0	R/W	あり	カラーパレット 2 インデックス 1 (Color Palette 2 Index 1) 0: カラーパレット 2 のインデックス 1 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 1 のカラーを透過色に設定します。
0	CP2I0	0	R/W	あり	カラーパレット 2 インデックス 0 (Color Palette 2 Index 0) 0: カラーパレット 2 のインデックス 0 のカラーを透過色に設定しません。 1: カラーパレット 2 のインデックス 0 のカラーを透過色に設定します。

19.3.25 カラーパレット 3 透過色レジスタ (CP3TR)

カラーパレット 3 透過色レジスタ (CP3TR : Color Palette 3 Transparent color Register) はカラーパレット 3 の透過色を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP3IF	CP3IE	CP3ID	CP3IC	CP3IB	CP3IA	CP3I9	CP3I8	CP3I7	CP3I6	CP3I5	CP3I4	CP3I3	CP3I2	CP3I1	CP3I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15	CP3IF	0	R/W	あり	カラーパレット 3 インデックス F (Color Palette 3 Index F) 0: カラーパレット 3 のインデックス F のカラーを透過色に設定しません。 1: カラーパレット 3 のインデックス F のカラーを透過色に設定します。
14	CP3IE	0	R/W	あり	カラーパレット 3 インデックス E (Color Palette 3 Index E) 0: カラーパレット 3 のインデックス E のカラーを透過色に設定しません。 1: カラーパレット 3 のインデックス E のカラーを透過色に設定します。
13	CP3ID	0	R/W	あり	カラーパレット 3 インデックス D (Color Palette 3 Index D) 0: カラーパレット 3 のインデックス D のカラーを透過色に設定しません。 1: カラーパレット 3 のインデックス D のカラーを透過色に設定します。
12	CP3IC	0	R/W	あり	カラーパレット 3 インデックス C (Color Palette 3 Index C) 0: カラーパレット 3 のインデックス C のカラーを透過色に設定しません。 1: カラーパレット 3 のインデックス C のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
11	CP31B	0	R/W	あり	カラーパレット3インデックスB (Color Palette 3 Index B) 0: カラーパレット3のインデックスBのカラーを透過色に設定しません。 1: カラーパレット3のインデックスBのカラーを透過色に設定します。
10	CP31A	0	R/W	あり	カラーパレット3インデックスA (Color Palette 3 Index A) 0: カラーパレット3のインデックスAのカラーを透過色に設定しません。 1: カラーパレット3のインデックスAのカラーを透過色に設定します。
9	CP319	0	R/W	あり	カラーパレット3インデックス9 (Color Palette 3 Index 9) 0: カラーパレット3のインデックス9のカラーを透過色に設定しません。 1: カラーパレット3のインデックス9のカラーを透過色に設定します。
8	CP318	0	R/W	あり	カラーパレット3インデックス8 (Color Palette 3 Index 8) 0: カラーパレット3のインデックス8のカラーを透過色に設定しません。 1: カラーパレット3のインデックス8のカラーを透過色に設定します。
7	CP317	0	R/W	あり	カラーパレット3インデックス7 (Color Palette 3 Index 7) 0: カラーパレット3のインデックス7のカラーを透過色に設定しません。 1: カラーパレット3のインデックス7のカラーを透過色に設定します。
6	CP316	0	R/W	あり	カラーパレット3インデックス6 (Color Palette 3 Index 6) 0: カラーパレット3のインデックス6のカラーを透過色に設定しません。 1: カラーパレット3のインデックス6のカラーを透過色に設定します。
5	CP315	0	R/W	あり	カラーパレット3インデックス5 (Color Palette 3 Index 5) 0: カラーパレット3のインデックス5のカラーを透過色に設定しません。 1: カラーパレット3のインデックス5のカラーを透過色に設定します。
4	CP314	0	R/W	あり	カラーパレット3インデックス4 (Color Palette 3 Index 4) 0: カラーパレット3のインデックス4のカラーを透過色に設定しません。 1: カラーパレット3のインデックス4のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
3	CP3I3	0	R/W	あり	カラーパレット3インデックス3 (Color Palette 3 Index 3) 0: カラーパレット3のインデックス3のカラーを透過色に設定しません。 1: カラーパレット3のインデックス3のカラーを透過色に設定します。
2	CP3I2	0	R/W	あり	カラーパレット3インデックス2 (Color Palette 3 Index 2) 0: カラーパレット3のインデックス2のカラーを透過色に設定しません。 1: カラーパレット3のインデックス2のカラーを透過色に設定します。
1	CP3I1	0	R/W	あり	カラーパレット3インデックス1 (Color Palette 3 Index 1) 0: カラーパレット3のインデックス1のカラーを透過色に設定しません。 1: カラーパレット3のインデックス1のカラーを透過色に設定します。
0	CP3I0	0	R/W	あり	カラーパレット3インデックス0 (Color Palette 3 Index 0) 0: カラーパレット3のインデックス0のカラーを透過色に設定しません。 1: カラーパレット3のインデックス0のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

19.3.26 カラーパレット 4 透過色レジスタ (CP4TR)

カラーパレット 4 透過色レジスタ (CP4TR : Color Palette 4 Transparent color Register) はカラーパレット 4 の透過色を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP4IF	CP4IE	CP4ID	CP4IC	CP4IB	CP4IA	CP4I9	CP4I8	CP4I7	CP4I6	CP4I5	CP4I4	CP4I3	CP4I2	CP4I1	CP4I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
内部更新:	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15	CP4IF	0	R/W	あり	カラーパレット 4 インデックス F (Color Palette 4 Index F) 0: カラーパレット 4 のインデックス F のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス F のカラーを透過色に設定します。
14	CP4IE	0	R/W	あり	カラーパレット 4 インデックス E (Color Palette 4 Index E) 0: カラーパレット 4 のインデックス E のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス E のカラーを透過色に設定します。
13	CP4ID	0	R/W	あり	カラーパレット 4 インデックス D (Color Palette 4 Index D) 0: カラーパレット 4 のインデックス D のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス D のカラーを透過色に設定します。
12	CP4IC	0	R/W	あり	カラーパレット 4 インデックス C (Color Palette 4 Index C) 0: カラーパレット 4 のインデックス C のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス C のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
11	CP41B	0	R/W	あり	カラーパレット 4 インデックス B (Color Palette 4 Index B) 0: カラーパレット 4 のインデックス B のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス B のカラーを透過色に設定します。
10	CP41A	0	R/W	あり	カラーパレット 4 インデックス A (Color Palette 4 Index A) 0: カラーパレット 4 のインデックス A のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス A のカラーを透過色に設定します。
9	CP419	0	R/W	あり	カラーパレット 4 インデックス 9 (Color Palette 4 Index 9) 0: カラーパレット 4 のインデックス 9 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 9 のカラーを透過色に設定します。
8	CP418	0	R/W	あり	カラーパレット 4 インデックス 8 (Color Palette 4 Index 8) 0: カラーパレット 4 のインデックス 8 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 8 のカラーを透過色に設定します。
7	CP417	0	R/W	あり	カラーパレット 4 インデックス 7 (Color Palette 4 Index 7) 0: カラーパレット 4 のインデックス 7 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 7 のカラーを透過色に設定します。
6	CP416	0	R/W	あり	カラーパレット 4 インデックス 6 (Color Palette 4 Index 6) 0: カラーパレット 4 のインデックス 6 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 6 のカラーを透過色に設定します。
5	CP415	0	R/W	あり	カラーパレット 4 インデックス 5 (Color Palette 4 Index 5) 0: カラーパレット 4 のインデックス 5 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 5 のカラーを透過色に設定します。
4	CP414	0	R/W	あり	カラーパレット 4 インデックス 4 (Color Palette 4 Index 4) 0: カラーパレット 4 のインデックス 4 のカラーを透過色に設定しません。 1: カラーパレット 4 のインデックス 4 のカラーを透過色に設定します。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
3	CP4I3	0	R/W	あり	カラーパレット4インデックス3 (Color Palette 4 Index 3) 0: カラーパレット4のインデックス3のカラーを透過色に設定しません。 1: カラーパレット4のインデックス3のカラーを透過色に設定します。
2	CP4I2	0	R/W	あり	カラーパレット4インデックス2 (Color Palette 4 Index 2) 0: カラーパレット4のインデックス2のカラーを透過色に設定しません。 1: カラーパレット4のインデックス2のカラーを透過色に設定します。
1	CP4I1	0	R/W	あり	カラーパレット4インデックス1 (Color Palette 4 Index 1) 0: カラーパレット4のインデックス1のカラーを透過色に設定しません。 1: カラーパレット4のインデックス1のカラーを透過色に設定します。
0	CP4I0	0	R/W	あり	カラーパレット4インデックス0 (Color Palette 4 Index 0) 0: カラーパレット4のインデックス0のカラーを透過色に設定しません。 1: カラーパレット4のインデックス0のカラーを透過色に設定します。

19.3.27 表示オフ時出力レジスタ (DOOR)

表示オフ時出力レジスタ (DOOR : Display Off mode Output Register) は表示オフ時に出力する表示データを設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DOR						—	—
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:									0	0	0	0	0	0		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOG						—	—	DOB						—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:	0	0	0	0	0	0			0	0	0	0	0	0		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
23~18	DOR	不定	R/W	あり	表示オフ時出力赤 (Display Off mode output Red) 表示オフ時に出力する赤色表示データを設定してください。
17、16	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
15~10	DOG	不定	R/W	あり	表示オフ時出力緑 (Display Off mode output Green) 表示オフ時に出力する緑色表示データを設定してください。
9、8	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
7~2	DOB	不定	R/W	あり	表示オフ時出力青 (Display Off mode output Blue) 表示オフ時に出力する青色表示データを設定してください。
1、0	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

19.3.28 色検出レジスタ (CDER)

色検出レジスタ (CDER : Color DEtection Register) は色検出のためのカラーを設定します。

表示出力データと本レジスタの設定値が一致したときに CDE 端子よりハイレベルを出力します。出力カラーデータフォーマットについては「19.4.6 出力データフォーマット」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CDR						—	—
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:									0	0	0	0	0	0		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG						—	—	CDB						—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:	0	0	0	0	0	0			0	0	0	0	0	0		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
23~18	CDR	不定	R/W	あり	カラー検出赤 (Color Detection Red) 色検出のための赤色データを設定してください。
17、16	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
15~10	CDG	不定	R/W	あり	カラー検出緑 (Color Detection Green) 色検出のための緑色データを設定してください。
9、8	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
7~2	CDB	不定	R/W	あり	カラー検出青 (Color Detection Blue) 色検出のための青色データを設定してください。
1、0	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19.3.29 下地色レジスタ (BPOR)

下地色レジスタ (BPOR : Background Plane Output Register) は表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する色を設定します。

詳細な条件については「19.4.2 表示オン/オフ」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	BPOR						—	—
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:									0	0	0	0	0	0		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BPOG						—	—	BPOB						—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
内部更新:	0	0	0	0	0	0			0	0	0	0	0	0		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
23~18	BPOR	不定	R/W	あり	下地色赤 (Background Plane Output Red) 表示するプレーンのない場合に出力する赤色表示データを設定してください。
17、16	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
15~10	BPOG	不定	R/W	あり	下地色緑 (Background Plane Output Green) 表示するプレーンのない場合に出力する緑色表示データを設定してください。
9、8	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
7~2	BPOB	不定	R/W	あり	下地色青 (Background Plane Output Blue) 表示するプレーンのない場合に出力する青色表示データを設定してください。
1、0	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

19.3.30 ラスタ割り込みオフセットレジスタ (RINTOFSR)

ラスタ割り込みオフセットレジスタ (RINTOFSR : Raster INTerrupt OffSet Register) はラスタ割り込み用のラスタオフセット値を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RINTOFS									
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:							0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	RINTOFS	不定	R/W	あり	ラスタ割り込みオフセット (Raster INTerrupt OffSet) 垂直表示開始位置レジスタ (VDSR) で設定したラスタライン数を基準とするラスタオフセット値を設定してください。 オフセット値を n とすると VDS + n ラスタ目の水平表示期間後、HSYNC の立ち下がりで表示ステータスレジスタ (DSSR) の RINT ビットが 1 にセットされます。

19.3.31 プレーン n モードレジスタ (PnMR) (n = 1 ~ 6)

プレーン n モードレジスタ (PnMR : Plane n Mode Register、n = 1 ~ 6) はプレーン n の表示動作を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	PnYCDF	—	—	PnTC	PnWAE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W
内部更新 :												O			O	O
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PnSPIM			—	—	PnCPSL		PnDC	—	PnBM		—	—	PnDDF	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W
内部更新 :		O	O	O			O	O	O		O	O			O	O

ビット	ビット名	初期値	R/W	内部更新	説明
31~21	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
20	PnYCDF	0	R/W	あり	プレーン nYC データ形式 (Plane n YC Data Format) 0 : YC データの並びを UYVY 形式に設定します。 1 : YC データの並びを YUYV 形式に設定します。
19, 18	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
17	PnTC	0	R/W	あり	プレーン n 透過色指定 (Plane n Transparent Color) 0 : 8bit/pixel 表示設定時、プレーン n 透過色 1 レジスタ (PnTC1R) に設定した透過色になります。 1 : 8bit/pixel 表示設定時、カラーパレット透過色レジスタ 1~4 (CP1TR ~ CP4TR) のいずれかに設定した透過色になります。 カラーパレット透過色レジスタ 1~4 (CP1TR ~ CP4TR) は PnCPSL ビットの設定値により決まります。
16	PnWAE	0	R/W	あり	プレーン n ラップアラウンドイネーブル (Plane n Wrap Around Enable) 0 : プレーン n のラップアラウンドを行いません。 1 : プレーン n のラップアラウンドを行います。
15	-	0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
14~12	PnSPIM	000	R/W	あり	<p>プレーン n 重ね合わせモード (Plane n SuPerImpose Mode)</p> <p>000: プレーン n は透過色処理を行います。 プレーン n が透過色の場合は下位プレーンを表示します。</p> <p>001: プレーン n と下位プレーンとのブレンディングを行います。 プレーン n が透過色の場合はブレンディングを行わず、下位プレーンを表示します。</p> <p>010: プレーン n と下位プレーンとの EOR 演算を行います。 プレーン n が透過色の場合は EOR 演算を行わず、下位プレーンを表示します。</p> <p>011: 設定禁止</p> <p>100: プレーン n は透過処理を行いません。 プレーン n を表示します。</p> <p>101: プレーン n と下位プレーンとのブレンディングを行います。 プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとのブレンディングを行います。</p> <p>110: プレーン n と下位プレーンとの EOR 演算を行います。 プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとの EOR 演算を行います。</p> <p>111: 設定禁止</p>
11、10	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
9、8	PnCPSL	00	R/W	あり	<p>プレーン n カラーパレットセレクト (Plane n Color Palette SeLect)</p> <p>PnDDF ビットが 8bit/pixel 設定時に使用するカラーパレットを指定します。</p> <p>00: カラーパレット 1 を選択します。</p> <p>01: カラーパレット 2 を選択します。</p> <p>10: カラーパレット 3 を選択します。</p> <p>11: カラーパレット 4 を選択します。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
7	PnDC	0	R/W	あり	<p>プレーン n 表示エリアチェンジ (Plane n Display area Change)</p> <p>マニュアルディスプレイチェンジモード時に、フレームバッファの切り替えを制御します。</p> <p>0: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行いません。</p> <p>1: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行います。</p> <p>PnDC ビット=0 のとき、ビットセットが可能です。切り替え単位は、フレーム単位で行います。</p> <p>本ビットはフレームバッファ切り替え後(垂直ブランキング検出後)、0 にクリアされます。</p>
6	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	PnBM	00	R/W	あり	<p>プレーン n バッファモード (Plane n Buffer Mode)</p> <p>マニュアルディスプレイチェンジモード、オートディスプレイチェンジモード (プリンキングモード) 設定時はプレーン n 表示領域開始アドレス 0/1 レジスタ (PnDSA0/1R) を使用したダブルバッファ制御を行います。</p> <p>00: マニュアルディスプレイチェンジモード</p> <p>01: 設定禁止</p> <p>10: オートディスプレイチェンジモード (プリンキングモード)</p> <p>11: 設定禁止</p>
3、2	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
1、0	PnDDF	00	R/W	あり	<p>プレーン n 表示データフォーマット (Plane n Display Data Format)</p> <p>00: 8bit/pixel</p> <p>01: 16bit/pixel</p> <p>10: ARGB</p> <p>11: YC (YUV422 を RGB888 へ変換します)</p>

19. ディスプレイユニット (DU)

19.3.32 プレーン n メモリ幅レジスタ (PnMWR) (n=1~6)

プレーン n メモリ幅レジスタ (PnMWR : Plane n Memory Width Register、n=1~6) はプレーン n のメモリ幅を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PnMWX								—	—	—	—	
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
内部更新:				O	O	O	O	O	O	O	O	O				

ビット	ビット名	初期値	R/W	内部更新	説明
31~13	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
12~4	PnMWX	不定	R/W	あり	プレーン n メモリ幅 X (Plane n Memory Width X) プレーン n のメモリ幅を 16 画素 ~ 4096 画素まで 16 画素単位に設定してください。
3~0	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19.3.33 プレーン n ブレンド比レジスタ (PnALPHAR) (n = 1 ~ 6)

プレーン n ブレンド比レジスタ (PnALPHAR : Plane n Blending Ratio Register、n = 1 ~ 6) はプレーン n のブレンド比およびブレンド比の選択を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PnBRSL		PnALPHA							
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:							0	0	0	0	0	0	0	0	0	0

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9、8	PnBRSL	00	R/W	あり	<p>プレーン n ブレンド比セレクト (Plane n Blending Ratio SeLect)</p> <p>本ビットは次の2つの条件を満たす場合に有効となります。</p> <ul style="list-style-type: none"> ・プレーン n モードレジスタ (PnMR) の PnSPIM ビットがブレンド指定の場合。 ・表示拡張機能許可レジスタ (DEFR) の ABRE ビットに1を設定した場合。 <p>00: 本レジスタの PnALPHA ビットをブレンド比とします。 01: 設定禁止。 10: プレーン n モードレジスタ (PnMR) の PnCPSL ビットで指定したカラーパレットレジスタのビット31-24をブレンド比とします。</p> <p>【注】プレーン n モードレジスタ (PnMR) の PnDDF ビットで表示データフォーマットを 8bit/pixel に指定した場合のみ有効となります。8bit/pixel 以外の場合は本レジスタの PnALPHA ビットをブレンド比とします。</p> <p>11: 本レジスタの PnALPHA ビットのビット2-0で指定したプレーンの表示データをブレンド比とします。</p> <ul style="list-style-type: none"> ・ビット2-0=000: プレーン1の表示データをブレンド比とします。 ・ビット2-0=001: プレーン2の表示データをブレンド比とします。 ・ビット2-0=010: プレーン3の表示データをブレンド比とします。 ・ビット2-0=011: プレーン4の表示データをブレンド比とします。 ・ビット2-0=100: プレーン5の表示データをブレンド比とします。 ・ビット2-0=101: プレーン6の表示データをブレンド比とします。 <p>【注】</p> <ol style="list-style-type: none"> (1) 自プレーンを指定した場合は本レジスタの PnALPHA ビットをブレンド比とします。 (2) 指定したプレーンは次の条件を設定してください。条件をさない場合、ブレンド比は不定値となります。 <ul style="list-style-type: none"> ・表示プレーン優先順位レジスタ (DPPR) で表示はオンとしてください。 ・表示データフォーマットは 8bit/pixel としてください。 ・表示サイズ (プレーン n 表示サイズ X レジスタ (PnDSXR)、プレーン n 表示サイズ Y レジスタ (PnDSYR)) は自プレーンと同じか大きくなるようにしてください。 ・表示位置 (プレーン n 表示位置 X レジスタ (PnDPXR)、プレーン n 表示位置 Y レジスタ (PnDPYR)) は自プレーンと同じとしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
7~0	PnALPHA	不定	R/W	あり	<p>プレーン n ブレンド比 (Plane n Blending Ratio)</p> <p>プレーン n のブレンド比であるアルファ値 () を設定してください。</p> <p>ブレンド結果 = (x プレーン n + (H'100 -) x 下位プレーン) / H'100</p> <p>【注】上記式でブレンド結果、 、プレーン n、下位プレーンはすべて 8 ビットデータとなります。</p>

19. ディスプレイユニット (DU)

19.3.34 プレーン n 表示サイズ X レジスタ (PnDSXR) (n=1~6)

プレーン n 表示サイズ X レジスタ (PnDSXR : Plane n Display Size X Register、n=1~6) はプレーン n の水平方向の表示サイズを設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDSX										
初期値:	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:						0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10~0	PnDSX	不定	R/W	あり	プレーン n 表示サイズ X (Plane n Display Size X) プレーン n の水平方向の表示サイズをドットクロック単位で設定してください。 【注】プレーン n モードレジスタ (PnMR) の PnDDF ビットで YC を設定した場合には偶数値を設定してください。

19.3.35 プレーン n 表示サイズ Y レジスタ (PnDSYR) (n=1~6)

プレーン n 表示サイズ Y レジスタ (PnDSYR : Plane n Display Size Y Register、n=1~6) はプレーン n の垂直方向の表示サイズを設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PnDSY									
初期値 :	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :							O	O	O	O	O	O	O	O	O	O

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	PnDSY	不定	R/W	あり	プレーン n 表示サイズ Y (Plane n Display Size Y) プレーン n の垂直方向の表示サイズをラスタライン単位で設定してください。

19. ディスプレイユニット (DU)

19.3.36 プレーン n 表示位置 X レジスタ (PnDPXR) (n = 1 ~ 6)

プレーン n 表示位置 X レジスタ (PnDPXR : Plane n Display Position X Register, n = 1 ~ 6) はプレーン n の表示モニタに対する水平開始位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDPX										
初期値 :	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :						0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 11	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
10 ~ 0	PnDPX	不定	R/W	あり	プレーン n 表示位置 X (Plane n Display Position X) プレーン n の表示モニタに対する水平開始位置を表示モニタの左上を原点として、ドットクロック単位で設定してください。

19.3.37 プレーン n 表示位置 Y レジスタ (PnDPYR) (n = 1 ~ 6)

プレーン n 表示位置 Y レジスタ (PnDPYR : Plane n Display Position Y Register, n = 1 ~ 6) はプレーン n の表示モニタに対する垂直開始位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PnDPY									
初期値 :	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :							0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
9~0	PnDPY	不定	R/W	あり	プレーン n 表示位置 Y (Plane n Display Position Y) プレーン n の表示モニタに対する垂直開始位置を表示モニタの左上を原点として、ラスタライン単位で設定してください。

19. ディスプレイユニット (DU)

19.3.38 プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R) (n = 1 ~ 6)

プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R:Plane n Display Area Start Address 0 Register、n = 1 ~ 6) はプレーン n のフレームバッファ 0 のメモリ領域を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	PnDSA0																
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PnDSA0												—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0				

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA0	不定	R/W	あり	プレーン n 表示領域開始アドレス 0 (Plane n Display Area Start Address0) ビット 31-29 を有効にするには表示拡張機能許可レジスタ (DEFR) の DSAE ビットに 1 を設定してください。 初期状態では有効にならず、0 固定となります。 プレーン n のバッファモードがマニュアルディスプレイチェンジモードあるいはオートディスプレイチェンジモード時に、フレームバッファ 0 として使用します。 【注】本レジスタは 32 ビットアドレスモードにおいては、ビット 31-29 が無効な場合、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28 ~ A4) をビット 28-4 に指定してください。
3~0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19.3.39 プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R) (n = 1 ~ 6)

プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R:Plane n Display Area Start Address 1 Register、n = 1 ~ 6) はプレーン n のフレームバッファ 1 のメモリ領域を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	PnDSA1																
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PnDSA1												—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0				

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA1	不定	R/W	あり	プレーン n 表示領域開始アドレス 1 (Plane n Display Area Start Address1) ビット 31-29 を有効にするには表示拡張機能許可レジスタ (DEFR) の DSAE ビットに 1 を設定してください。 初期状態では有効にならず、0 固定となります。 プレーン n のバッファモードがマニュアルディスプレイチェンジモードあるいはオートディスプレイチェンジモード時に、フレームバッファ 1 として使用します。 【注】本レジスタは 32 ビットアドレスモードにおいては、ビット 31-29 が無効な場合、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28~A4) をビット 28-4 に指定してください。
3~0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.40 プレーン n 開始位置 X レジスタ (PnSPXR) (n = 1 ~ 6)

プレーン n 開始位置 X レジスタ (PnSPXR : Plane n Start Position X Register, n = 1 ~ 6) はメモリ上におけるプレーン n の水平開始位置を設定します。パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnSPX											
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:					○	○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 12	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ~ 0	PnSPX	不定	R/W	あり	プレーン n 開始位置 X (n Start Position X) メモリ上におけるプレーン n の水平開始位置をドット単位で設定してください。 【注】1 プレーン n モードレジスタ (PnMR) の PnDDF ビットで YC を設定した場合には偶数値を設定してください。 2 プレーン n メモリ幅 X レジスタ (PnMWX) の 2 倍を超える値は設定禁止です。

19.3.41 プレーン n 開始位置 Y レジスタ (PnSPYR) (n = 1 ~ 6)

プレーン n 開始位置 Y レジスタ (PnSPYR : Plane n Start Position Y Register, n = 1 ~ 6) はメモリ上におけるプレーン n の垂直開始位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnSPY															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15 ~ 0	PnSPY	不定	R/W	あり	プレーン n 表示位置 Y (Plane n Display Position Y) メモリ上におけるプレーン n の垂直開始位置をラスタライン単位で設定してください。 【注】 {プレーン n ラップアラウンド開始位置 Y (PnWASPY) + プレーン n ラップアラウンドメモリ幅 Y (PnWAMWY) の 2 倍} を超える値は設定禁止です。

19. ディスプレイユニット (DU)

19.3.42 プレーン n ラップアラウンド開始位置レジスタ (PnWASPR) (n = 1 ~ 6)

プレーン n ラップアラウンド開始位置レジスタ (PnWASPR : Plane n Wrap Around Start Position Register、n = 1 ~ 6) はプレーン n の 1 ラップアラウンドエリアの Y 方向開始位置を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PnWASPY										—	—	—	—
初期値:	0	0	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
内部更新:			0	0	0	0	0	0	0	0	0	0				

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 14	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
13 ~ 4	PnWASPY	不定	R/W	あり	プレーン n ラップアラウンド開始位置 Y (Plane n Wrap Around Start Position Y) プレーン n 表示領域開始アドレス 0 ~ 1 レジスタ (PnDSA0 ~ 1R) で指定するアドレスを基準に、1 ラップアラウンドエリアの Y 方向開始位置を設定してください。 開始位置は 16 ラスタラインごとの設定が可能です。
3 ~ 0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19.3.43 プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR) (n=1~6)

プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR : Plane n Wrap Around Memory Width Register、n = 1~6) はプレーン n のラップアラウンドの Y 方向メモリ幅を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnWAMWY											
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:					○	○	○	○	○	○	○	○	○	○	○	○

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
11~0	PnWAMWY	不定	R/W	あり	プレーン n ラップアラウンドメモリ幅 Y (Plane n Wrap Around Memory Width Y) ラップアラウンドの Y 方向メモリ幅を 240 から 4095 ラスタラインの範囲でラスタライン単位で設定してください。

19. ディスプレイユニット (DU)

19.3.44 プレーン n ブlinking周期レジスタ (PnBTR) (n = 1 ~ 6)

プレーン n ブlinking周期レジスタ (PnBTR : Plane n Blinking Time Register、n = 1 ~ 6) はプレーン n の表示期間長を設定します。

プレーン n モードレジスタ (PnMR) の PnBM ビットがオートディスプレイチェンジモード (ブlinkingモード) に設定されたとき、本レジスタにプレーン n 表示領域開始アドレス 0 ~ 1 レジスタ (PnDSA0 ~ 1R) が表示される期間の長さをフィールド単位で設定することにより、プレーン n 表示領域開始アドレス 0 ~ 1 レジスタ (PnDSA0 ~ 1R) を使用したブlinking動作を行います。

1 を設定すると、1 フィールドごとにプレーン n 表示領域開始アドレス 0 ~ 1 レジスタ (PnDSA0 ~ 1R) を切り替えて表示します。

0 を設定した場合は 1 と同じ動作になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnBTA								PnBTB							
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15 ~ 8	PnBTA	H'01	R/W	あり	プレーン n ブlinking周期 A (Plane n Blinking Time A) プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R) が表示される期間の長さをフィールド単位で設定してください。
7 ~ 0	PnBTB	H'01	R/W	あり	プレーン n ブlinking周期 B (Plane n Blinking Time B) プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R) が表示される期間の長さをフィールド単位で設定してください。

19.3.45 プレーン n 透過色 1 レジスタ (PnTC1R) (n = 1 ~ 6)

プレーン n 透過色 1 レジスタ (PnTC1R : Plane n Transparent Color 1 Register、n = 1 ~ 6) は 8bit/pixel データフォーマットのプレーン n 用の透過色を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PnTC1							
初期値 :	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :									0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~0	PnTC1	不定	R/W	あり	プレーン n 透過色 1 (Plane n Transparent Color 1) 8bit/pixel データフォーマットのプレーン n 用の透過色を設定してください。 本レジスタに設定した透過色を有効にするためには、プレーン n モードレジスタ (PnMR) の PnTC ビットを 0 に設定してください。

19. ディスプレイユニット (DU)

19.3.46 プレーン n 透過色 2 レジスタ (PnTC2R) (n = 1 ~ 6)

プレーン n 透過色 2 レジスタ (PnTC2R : Plane n Transparent Color 2 Register, n = 1 ~ 6) は 16bit/pixel、ARGB データフォーマットのプレーン n 用の透過色を設定します。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
内部更新 :																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnTC2															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新 :	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15 ~ 0	PnTC2	不定	R/W	あり	プレーン n 透過色 2 (Plane n Transparent Color 2) 16bit/pixel、ARGB データフォーマットのプレーン n 用の透過色を設定してください。 ARGB の場合、本レジスタのビット 14 ~ 0 と比較し、ビット 15 は無視します。

19.3.47 プレーン n メモリ長レジスタ (PnMLR) (n = 1 ~ 6)

プレーン n メモリ長レジスタ (PnMLR : Plane n Memory Length Register、n = 1 ~ 6) はプレーン n のメモリの長さ (Y 方向のメモリ領域) を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PnMLY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
内部更新:																0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnMLY															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
内部更新:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 17	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
16 ~ 0	PnMLY	0	R/W	あり	プレーン n メモリ長 Y (PnMLY : Plane n Memory Length Y) プレーン n のメモリの長さ (Y 方向のメモリ領域) をラスタライン単位で設定してください。 表示がこの領域を越えた場合、表示データは下地色レジスタ (BPOR) のデータとなります。 設定値が 0 の場合は領域は無限として扱いますので、表示データが下地色レジスタになることはありません。

19. ディスプレイユニット (DU)

19.3.48 カラーパレット 1 レジスタ 000 ~ 255 (CP1_000R ~ CP1_255R)

カラーパレット 1 レジスタ 000 ~ 255 (CP1_000R ~ CP1_255R : Color Palette 1 (000 ~ 255) Register) は RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 色表示可能なカラーパレットとして使用します。また、ビット 31 - 24 はブレンド比として使用します。

8bit/pixel データの表示時に有効となります。

カラーパレットの動作に関しては「19.4.8 カラーパレット」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP1_000A ~ CP1_255A								CP1_000R ~ CP1_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
内部更新:	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP1_000G ~ CP1_255G							—	—	CP1_000B ~ CP1_255B							—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
内部更新:	○	○	○	○	○	○			○	○	○	○	○	○				

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP1_000A ~ CP1_255A	不定	R/W	あり	カラーパレット 1_000~255 ブレンド比 (Color Palette 1 000~255 Blending Ratio) このビットを有効にするには表示拡張機能許可レジスタ (DEFR) の ABRE ビットに 1 を設定してください。初期状態では有効になりません。 プレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットが 10 のとき、ブレンド比であるアルファ値となります。
23~18	CP1_000R ~ CP1_255R	不定	R/W	あり	カラーパレット 1_000~255 赤 (Color Palette 1 000~255 Red) カラーパレット 1 の赤色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~18	CP1_000G ~ CP1_255G	不定	R/W	あり	カラーパレット 1_000~255 緑 (Color Palette 1 000~255 Green) カラーパレット 1 の緑色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~2	CP1_000B ~ CP1_255B	不定	R/W	あり	カラーパレット 1_000~255 青 (Color Palette 1 000~255 Blue) カラーパレット 1 の青色データを設定してください。
1、0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.49 カラーパレット 2 レジスタ 000 ~ 255 (CP2_000R ~ CP2_255R)

カラーパレット 2 レジスタ 000 ~ 255 (CP2_000R ~ CP2_255R : Color Palette 2 (000 ~ 255) Register) は RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 色表示可能なカラーパレットとして使用します。また、ビット 31 - 24 はブレンド比として使用します。

8bit/pixel データの表示時に有効となります。

カラーパレットの動作に関しては「19.4.8 カラーパレット」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP2_000A ~ CP2_255A								CP2_000R ~ CP2_255R								—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新 :	○	○	○	○	○	○	○	○	○	○	○	○	○	○				
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP2_000G ~ CP2_255G							—	—	CP2_000B ~ CP2_255B							—	—
初期値 :	—	—	—	—	—	—	0	0	—	—	—	—	—	—	0	0		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新 :	○	○	○	○	○	○			○	○	○	○	○	○				

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP2_000A ~ CP2_255A	不定	R/W	あり	カラーパレット 2_000~255 ブレンド比 (Color Palette 2 000 ~ 255 Blending Ratio) このビットを有効にするには表示拡張機能許可レジスタ (DEFR) の ABRE ビットに 1 を設定してください。初期状態では有効になりません。 プレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットが 10 のとき、ブレンド比であるアルファ値となります。
23~18	CP2_000R ~ CP2_255R	不定	R/W	あり	カラーパレット 2_000~255 赤 (Color Palette 2 000 ~ 255 Red) カラーパレット 2 の赤色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~18	CP2_000G ~ CP2_255G	不定	R/W	あり	カラーパレット 2_000~255 緑 (Color Palette 2 000 ~ 255 Green) カラーパレット 2 の緑色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~2	CP2_000B ~ CP2_255B	不定	R/W	あり	カラーパレット 2_000~255 青 (Color Palette 2 000 ~ 255 Blue) カラーパレット 2 の青色データを設定してください。
1、0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.50 カラーパレット 3 レジスタ 000 ~ 255 (CP3_000R ~ CP3_255R)

カラーパレット 3 レジスタ 000 ~ 255 (CP3_000R ~ CP3_255R : Color Palette 3 (000 ~ 255) Register) は RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 色表示可能なカラーパレットとして使用します。また、ビット 31 - 24 はブレンド比として使用します。

8bit/pixel データの表示時に有効となります。

カラーパレットの動作に関しては「19.4.8 カラーパレット」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP3_000A ~ CP3_255A								CP3_000R ~ CP3_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新:	○	○	○	○	○	○	○	○	○	○	○	○	○	○				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP3_000G ~ CP3_255G							—	—	CP3_000B ~ CP3_255B							—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新:	○	○	○	○	○	○				○	○	○	○	○				

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP3_000A ~ CP3_255A	不定	R/W	あり	カラーパレット 3_000~255 ブレンド比 (Color Palette 3 000~255 Blending Ratio) このビットを有効にするには表示拡張機能許可レジスタ (DEFR) の ABRE ビットに 1 を設定してください。初期状態では有効になりません。 プレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットが 10 のとき、ブレンド比であるアルファ値となります。
23~18	CP3_000R ~ CP3_255R	不定	R/W	あり	カラーパレット 3_000~255 赤 (Color Palette 3 000~255 Red) カラーパレット 3 の赤色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~18	CP3_000G ~ CP3_255G	不定	R/W	あり	カラーパレット 3_000~255 緑 (Color Palette 3 000~255 Green) カラーパレット 3 の緑色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~2	CP3_000B ~ CP3_255B	不定	R/W	あり	カラーパレット 3_000~255 青 (Color Palette 3 000~255 Blue) カラーパレット 3 の青色データを設定してください。
1、0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.51 カラーパレット 4 レジスタ 000 ~ 255 (CP4_000R ~ CP4_255R)

カラーパレット 4 レジスタ 000 ~ 255 (CP4_000R ~ CP4_255R : Color Palette 4 (000 ~ 255) Register) は RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 色表示可能なカラーパレットとして使用します。また、ビット 31 - 24 はブレンド比として使用します。

8bit/pixel データの表示時に有効となります。

カラーパレットの動作に関しては「19.4.8 カラーパレット」を参照してください。

パワーオンリセット、マニュアルリセット時は値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP4_000A ~ CP4_255A								CP4_000R ~ CP4_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新:	○	○	○	○	○	○	○	○	○	○	○	○	○	○				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP4_000G ~ CP4_255G							—	—	CP4_000B ~ CP4_255B							—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	—	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
内部更新:	○	○	○	○	○	○			○	○	○	○	○	○				

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP4_000A ~ CP4_255A	不定	R/W	あり	カラーパレット 4_000~255 ブレンド比 (Color Palette 4 000~255 Blending Ratio) このビットを有効にするには表示拡張機能許可レジスタ (DEFR) の ABRE ビットに 1 を設定してください。初期状態では有効になりません。 プレーン n ブレンド比レジスタ (PnALPHAR) の PnBRSL ビットが 10 のとき、ブレンド比であるアルファ値となります。
23~18	CP4_000R ~ CP4_255R	不定	R/W	あり	カラーパレット 4_000~255 赤 (Color Palette 4 000~255 Red) カラーパレット 4 の赤色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
23~18	CP4_000G ~ CP4_255G	不定	R/W	あり	カラーパレット 4_000~255 緑 (Color Palette 4 000~255 Green) カラーパレット 4 の緑色データを設定してください。
17、16	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~2	CP4_000B ~ CP4_255B	不定	R/W	あり	カラーパレット 4_000~255 青 (Color Palette 4 000~255 Blue) カラーパレット 4 の青色データを設定してください。
1、0	-	すべて 0	R	-	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

19. ディスプレイユニット (DU)

19.3.52 外部同期制御レジスタ (ESCR)

外部同期制御レジスタ (ESCR : External Synchronization Control Register) はドットクロックを制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DCLKSEL	—	—	—	DCLKDIS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
内部更新:																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FRQSEL				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
内部更新:																

ビット	ビット名	初期値	R/W	内部更新	説明
31~21	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
20	DCLKSEL	0	R/W	なし	入力ドットクロック選択 (DOTCLKIN SElect) このビットを有効にするには表示拡張機能許可レジスタ (DEFR) の DCKE ビットに 1 を設定してください。初期状態では 0 固定となります。 0 : 入力ドットクロックは DCLKIN 端子になります。 1 : 入力ドットクロックは DUck になります。 本設定の場合、ドットクロック生成回路で生成される分周後ドットクロックの周波数が 50MHz 以下となるようにしてください。
19~17	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
16	DCLKDIS	0	R/W	なし	出力ドットクロックディスエーブル (DOTCLKOUT DISable) 0 : DOTCLKOUT を出力します。 1 : DOTCLKOUT を出力しません。DOTCLKOUT はローレベル固定となります。
15~5	-	すべて0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
4~0	FRQSEL	0	R/W	なし	<p>ドットクロック分周比選択 (FRequency SElect)</p> <p>ビット 4 を有効にするには表示拡張機能許可レジスタ (DEFR) の DCKE に 1 を設定してください。初期状態ではビット 4 は 0 固定となり、分周比は 16 分周までとなります。</p> <p>00000 : 入力ドットクロック (逡倍用クロック) の分周を行いません。</p> <p>00001 : 入力ドットクロック (逡倍用クロック) の 2 分周</p> <p>00010 : 入力ドットクロック (逡倍用クロック) の 3 分周</p> <p>00011 : 入力ドットクロック (逡倍用クロック) の 4 分周</p> <p>00100 : 入力ドットクロック (逡倍用クロック) の 5 分周</p> <p>00101 : 入力ドットクロック (逡倍用クロック) の 6 分周</p> <p>00110 : 入力ドットクロック (逡倍用クロック) の 7 分周</p> <p>00111 : 入力ドットクロック (逡倍用クロック) の 8 分周</p> <p>01000 : 入力ドットクロック (逡倍用クロック) の 9 分周</p> <p>01001 : 入力ドットクロック (逡倍用クロック) の 10 分周</p> <p>01010 : 入力ドットクロック (逡倍用クロック) の 11 分周</p> <p>01011 : 入力ドットクロック (逡倍用クロック) の 12 分周</p> <p>01100 : 入力ドットクロック (逡倍用クロック) の 13 分周</p> <p>01101 : 入力ドットクロック (逡倍用クロック) の 14 分周</p> <p>01110 : 入力ドットクロック (逡倍用クロック) の 15 分周</p> <p>01111 : 入力ドットクロック (逡倍用クロック) の 16 分周</p> <p>10000 : 入力ドットクロック (逡倍用クロック) の 17 分周</p> <p>10001 : 入力ドットクロック (逡倍用クロック) の 18 分周</p> <p>10010 : 入力ドットクロック (逡倍用クロック) の 19 分周</p> <p>10011 : 入力ドットクロック (逡倍用クロック) の 20 分周</p> <p>10100 : 入力ドットクロック (逡倍用クロック) の 21 分周</p> <p>10101 : 入力ドットクロック (逡倍用クロック) の 22 分周</p> <p>10110 : 入力ドットクロック (逡倍用クロック) の 23 分周</p> <p>10111 : 入力ドットクロック (逡倍用クロック) の 24 分周</p> <p>11000 : 入力ドットクロック (逡倍用クロック) の 25 分周</p> <p>11001 : 入力ドットクロック (逡倍用クロック) の 26 分周</p> <p>11010 : 入力ドットクロック (逡倍用クロック) の 27 分周</p> <p>11011 : 入力ドットクロック (逡倍用クロック) の 28 分周</p> <p>11100 : 入力ドットクロック (逡倍用クロック) の 29 分周</p> <p>11101 : 入力ドットクロック (逡倍用クロック) の 30 分周</p> <p>11110 : 入力ドットクロック (逡倍用クロック) の 31 分周</p> <p>11111 : 入力ドットクロック (逡倍用クロック) の 32 分周</p>

19. ディスプレイユニット (DU)

19.3.53 出力信号タイミング調整レジスタ (OTAR)

出力信号タイミング調整レジスタ (OTAR : Output signal Timing Adjustment Register) は出力信号のタイミングを選択するレジスタです。

調整タイミングについては「19.5.5 出力信号タイミング調整」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DEA			—	CLAMPA			—	DRGBA			—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R
内部更新 :		*	*	*		*	*	*		*	*	*				
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CDEA		—	DISPA			—	SYNCA			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
内部更新 :						*	*	*		*	*	*		*	*	*

【注】 * 表示システム制御レジスタ (DSYSR) の DRES ビット=1 で更新されます。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
31	-	0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
30~28	DEA	0	R/W	*	DE 信号出力タイミング調整 (DE output timing Adjustment) 000: 出力タイミングの調整を行いません。ドットクロックの立ち上がりでDE 信号を出力し、基準タイミングとなります。 001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングでDE 信号を出力します。 010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングでDE 信号を出力します。 011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングでDE 信号を出力します。 100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングでDE 信号を出力します。 101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングでDE 信号を出力します。 110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングでDE 信号を出力します。 111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングでDE 信号を出力します。
27	-	0	R	-	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
26~24	CLAMPA	0	R/W	*	<p>CLAMP 信号出力タイミング調整 (CLAMP output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。ドットクロックの立ち上がりで CLAMP 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p>
23	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説 明
22~20	DRGBA	0	R/W	*	<p>デジタル RGB 出力タイミング調整 (DigitalRGB output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。ドットクロックの立ち上がりでデジタル RGB を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングでデジタル RGB を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB を出力します。</p>
19	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
18~16	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは不定が読み出されます。書き込む値は常に 0 にしてください。</p>
15~11	-	すべて 0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
10~8	CDEA	0	R/W	*	<p>CDE 信号出力タイミング調整 (CDE output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。ドットクロックの立ち上がりで CDE 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CDE 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p>
7	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
6~4	DISPA	0	R/W	*	<p>DISP 信号出力タイミング調整 (DISP output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。ドットクロックの立ち上がりで DISP 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで DISP 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p>
3	-	0	R	-	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

19. ディスプレイユニット (DU)

ビット	ビット名	初期値	R/W	内部更新	説明
2~0	SYNCA	0	R/W	*	<p>SYNC*信号出力タイミング調整 (SYNc output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。ドットクロックの立ち上がりで SYNC*信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで SYNC*信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで SYNC*信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで SYNC*信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで SYNC*信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC*信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC*信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC*信号を出力します。</p> <p>【注】* HSYNC、VSYNC、CSYNC、ODDF 信号</p>

【注】 * 表示システム制御レジスタ (DSYSR) の DRES ビット = 1 で更新されます。

19.4 動作説明

19.4.1 出力画面構造

ディスプレイユニット (DU) は、最大 6 階層表示でウィンドウ表示を行います。それぞれのウィンドウをプレーンと呼び、プレーンごとの重ね合わせ順序は任意に設定可能です。各プレーンは、表示オン/オフや表示データフォーマット (8bit/pixel, 16bit/pixel, ARGB, YC)、ブレンディング機能などの独自設定が可能です。

各プレーンはダブルバッファ構成となり、スムーズな表示が可能です。

【注】 高解像度表示の場合、合成するプレーン面数や表示サイズによりユニファイドメモリのトラフィック量が多くなり、トラフィック量起因による制限が発生する場合がありますが、表示機能には制限がありません。

表 19.4 プレーンの表示機能

	表示 オン/ オフ	表示データフォーマット				重ね合わせ	ブリン キング	サイズ	スクロ ール	ラップ アラウ ンド
		8bit/ pixel	16bit/ pixel	ARGB	YC					
プレーン 1		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
プレーン 2		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
プレーン 3		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
プレーン 4		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
プレーン 5		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
プレーン 6		* ¹			* ²	ブレンド / 透過色 / EOR 演算		X, Y 任意		
下地色* ³	x	x	x	x	x	x	x	x	x	x

【注】 *¹ カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 のいずれかを選択。

*² YC→RGB 変換を複数のプレーンに指定した場合は、最も上位のプレーンの画素のみ YC→RGB 変換可能です。

*³ 下地色は RGB:6・6・6 のデータフォーマットとなります。

19. ディスプレイユニット (DU)

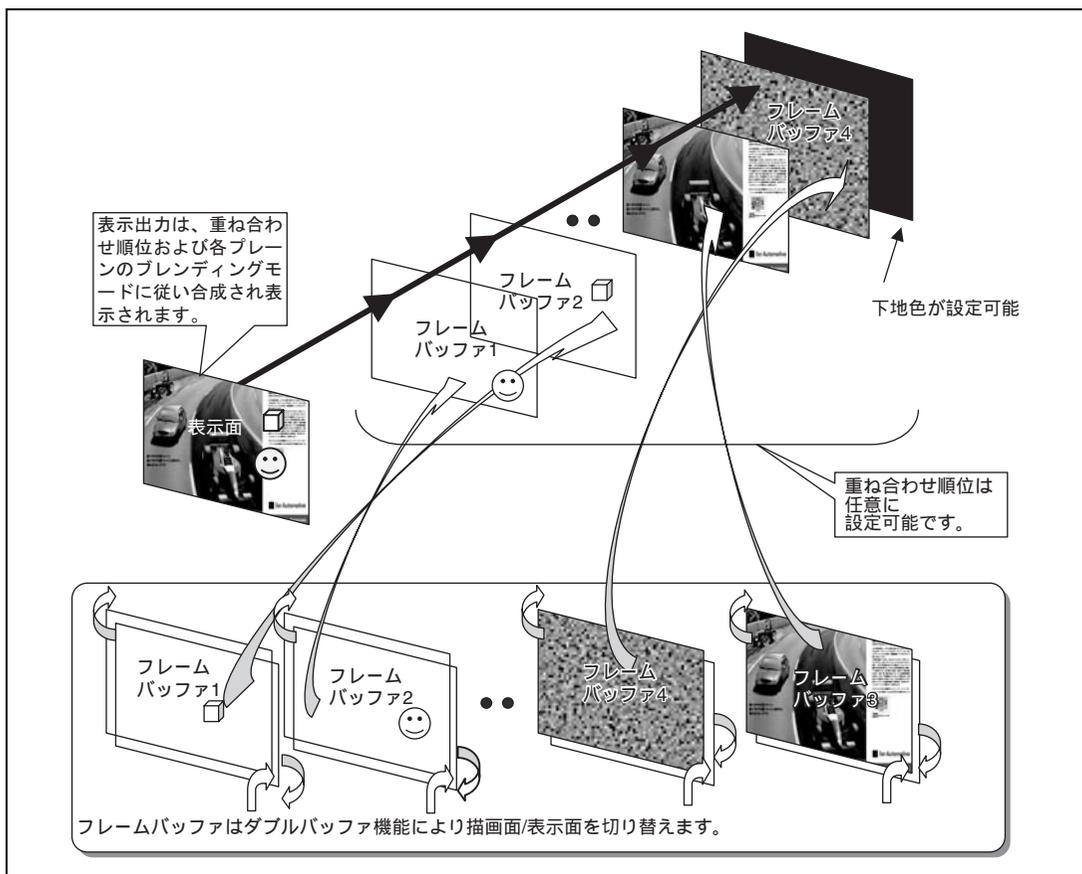


図 19.2 プレーン構成および重ね合わせ概略

19.4.2 表示オン / オフ

すべての表示オン / オフは、表示システム制御レジスタ (DSYSR) の DEN ビットで設定します。DEN が 0 の場合は表示オフ時出力レジスタ (DOOR) に設定された表示データを表示します。

プレーン 1~6 の表示オン / オフは、表示プレーン優先順位レジスタ (DPPR) で設定します。下記のような表示条件の場合は下地色レジスタ (BPOR) に設定された表示データを表示します。

1. プレーン1~6がすべて表示オフ
2. 表示サイズと表示位置により表示するプレーンのない領域
3. 表示するプレーンの画素がすべて透過色である場合

表 19.5 レーン 1~6 の表示オン / オフ

表示面	表示プレーン優先順位レジスタ (DPPR)
プレーン 1	優先順位 1~6 のいずれかにプレーン 1 を選択し、当該許可ビットに 1 を設定
プレーン 2	優先順位 1~6 のいずれかにプレーン 2 を選択し、当該許可ビットに 1 を設定
プレーン 3	優先順位 1~6 のいずれかにプレーン 3 を選択し、当該許可ビットに 1 を設定
プレーン 4	優先順位 1~6 のいずれかにプレーン 4 を選択し、当該許可ビットに 1 を設定
プレーン 5	優先順位 1~6 のいずれかにプレーン 5 を選択し、当該許可ビットに 1 を設定
プレーン 6	優先順位 1~6 のいずれかにプレーン 6 を選択し、当該許可ビットに 1 を設定

【注】 表示プレーン優先順位レジスタ (DPPR) で表示オンとしても、次の条件の場合は表示オフとして扱われ、該当プレーンは表示しません。

1. プレーン n 表示位置 X レジスタ (PnDPXR) に設定した値が画面サイズ { 水平表示終了位置レジスタ (HDE) - 水平表示開始位置レジスタ (HDS) } より大きいプレーン。
2. プレーン n 表示位置 Y レジスタ (PnDPYR) に設定した値が画面サイズ { 垂直表示終了位置レジスタ (VDE) - 垂直表示開始位置レジスタ (VDS) } より大きいプレーン。
3. プレーン n 表示サイズ X レジスタ (PnDSXR) に設定した値が 0 であるプレーン。
4. プレーン n 表示サイズ Y レジスタ (PnDSYR) に設定した値が 0 であるプレーン。
5. プレーン n メモリ幅レジスタ (PnMWR) に設定した値が 0 であるプレーン。
6. プレーン n 開始位置 X レジスタ (PnSPXR) に設定した値がプレーン n メモリ幅レジスタ (PnMWR) に設定した値の 2 倍以上であるプレーン。

19. ディスプレイユニット (DU)

19.4.3 プレーンパラメータ

プレーンでは表示領域開始位置・メモリ幅・表示開始位置・表示サイズをレジスタによって設定します。

プレーンに関する各種開始位置およびサイズ概念図と各種開始位置とサイズの設定に関するレジスタを以下に示します。

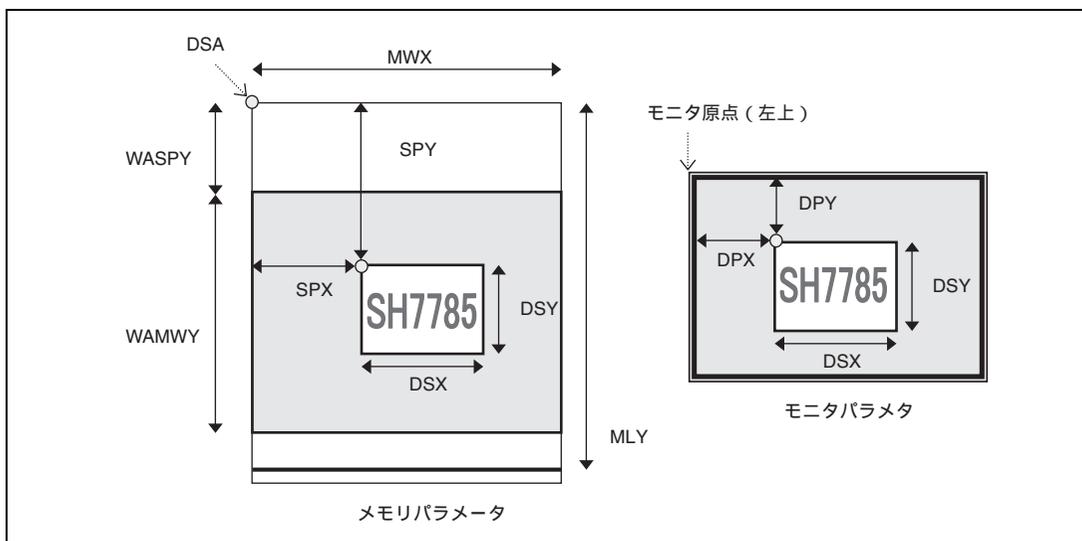


図 19.3 パラメータ

表 19.6 メモリパラメータ・モニタパラメータ設定レジスタ

No	図中の名称	設定レジスタ名	説明
	MWX (プレーンメモリ幅)	PnMWXR	プレーンの X 方向のメモリ幅を 16 画素 ~ 4096 画素まで 16 画素単位に設定します。
	DSA (表示領域開始位置)	PnDSA0R ~ PnDSA2R	メモリ領域におけるプレーン n の開始アドレスを設定します。
	WASPY (プレーン n ラップアラウンド開始位置)	PnWASPR	DSA で設定したアドレスを基準に、プレーン n ラップアラウンドエリアの Y 方向開始位置をラスタライン単位で設定します。
	WAMWY (ラップアラウンドメモリ幅)	PnWAMWR	ラップアラウンドの Y 方向のメモリ幅を 240 ~ 4095 ラインの範囲で任意設定します。
	SPX (開始位置 X)	PnSPXR	DSA で設定したアドレスを原点として表示開始位置までの X 方向の距離を画素単位で設定します
	SPY (開始位置 Y)	PnSPYR	DSA で設定したアドレスを原点として表示開始位置までの Y 方向の距離をラスタ単位で設定します
	DSX (表示サイズ X)	PnDSXR	プレーン n の X 方向の表示サイズを画素単位で設定します。
	DSY (表示サイズ Y)	PnDSYR	プレーン n の Y 方向の表示サイズをラスタライン単位で設定します。

No	図中の名称	設定レジスタ名	説明
	DPX (表示位置 X)	PnDPXR	モニタの左上を原点として表示位置までの X 方向の距離を画素単位で設定します。
	DPY (表示位置 Y)	PnDPYR	モニタの左上を原点として表示位置までの Y 方向の距離をラスタライン単位で設定します。
	MLY (メモリ長 Y)	PnMLR	プレーン n の Y 方向のメモリ領域をラスタライン単位で設定します。

19.4.4 メモリ割り付け

各プレーンは表示面の表示領域開始アドレスを個別に設定することができます。表示領域開始アドレスレジスタには、使用するメモリ領域の先頭アドレスを各々に設定します。

ディスプレイユニット (DU) では、プレーン毎の表示領域開始アドレス 0 および 1 を使用してダブルバッファ制御を行い各プレーンを表示します。

各プレーンで使用する、表示領域開始アドレスレジスタ一覧を以下に示します。

表 19.7 メモリ割付設定レジスタ

表示面	設定レジスタ名称	
プレーン 1	プレーン 1 表示領域開始アドレスレジスタ 0	P1DSA0
	表示領域開始アドレスレジスタ 1	P1DSA1
プレーン 2	プレーン 2 表示領域開始アドレスレジスタ 0	P2DSA0
	表示領域開始アドレスレジスタ 1	P2DSA1
プレーン 3	プレーン 3 表示領域開始アドレスレジスタ 0	P3DSA0
	表示領域開始アドレスレジスタ 1	P3DSA1
プレーン 4	プレーン 4 表示領域開始アドレスレジスタ 0	P4DSA0
	表示領域開始アドレスレジスタ 1	P4DSA1
プレーン 5	プレーン 5 表示領域開始アドレスレジスタ 0	P5DSA0
	表示領域開始アドレスレジスタ 1	P5DSA1
プレーン 6	プレーン 6 表示領域開始アドレスレジスタ 0	P6DSA0
	表示領域開始アドレスレジスタ 1	P6DSA1

19. ディスプレイユニット (DU)

19.4.5 入力表示データフォーマット

表示される入力カラーデータには次の形式があります。

- 8bit/pixel

カラーパレットのインデックスです。カラーパレットによって RGB 各 6 ビット (RGB666) の画像データに変換して表示します。

メモリ上のデータ配置は次のとおりです。

	A+3	A+2	A+1	A
	31	23	15	7 0
A 番地	インデックス 3	インデックス 2	インデックス 1	インデックス 0
A+4 番地	インデックス 7	インデックス 6	インデックス 5	インデックス 4
A+8 番地	インデックス 11	インデックス 10	インデックス 9	インデックス 8

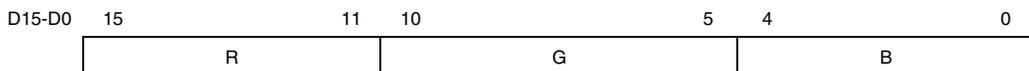
リトルエンディアン

	A	A+1	A+2	A+3
	31	23	15	7 0
A 番地	インデックス 0	インデックス 1	インデックス 2	インデックス 3
A+4 番地	インデックス 4	インデックス 5	インデックス 6	インデックス 7
A+8 番地	インデックス 8	インデックス 9	インデックス 10	インデックス 11

ビッグエンディアン

- 16bit/pixel : RGB

RGB のレベルを R : 5 ビット、G : 6 ビット、B : 5 ビット (RGB565) で表現します。



メモリ上のデータ配置は次のとおりです。

	A+2	A
	31	15 0
A 番地	RGB565-1	RGB565-0
A+4 番地	RGB565-3	RGB565-2
A+8 番地	RGB565-5	RGB565-4

リトルエンディアン

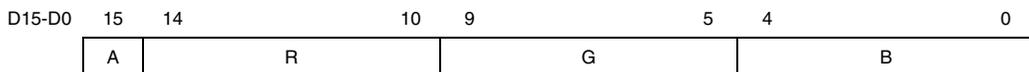
	A	A+2
	31	15 0
A 番地	RGB565-0	RGB565-1
A+4 番地	RGB565-2	RGB565-3
A+8 番地	RGB565-4	RGB565-5

ビッグエンディアン

- 16bit/pixel : ARGB

ARGB のレベルを A : 1, R : 5, G : 5, B : 5 ビット (ARGB555) で表現します。RGB の値の他にアルファ値を設定します。

A 値によるブレンディング制御はブレン n モードレジスタ (PnMR) の PnSPIM ビットがブレンディングを行う設定の場合に有効となり、A 値=1 でブレンディングを行います。PnSPIM がブレンディング設定でないとき、A 値=1 でもブレンディングを行いません。



19. ディスプレイユニット (DU)

	A+2	A
	31	15
A 番地	ARGB555-1	ARGB555-0
A+4 番地	ARGB555-3	ARGB555-2
A+8 番地	ARGB555-5	ARGB555-4

リトルエンディアン

	A	A+2
	31	15
A 番地	ARGB555-0	ARGB555-1
A+4 番地	ARGB555-2	ARGB555-3
A+8 番地	ARGB555-4	ARGB555-5

ビッグエンディアン

- YC

YC (YCbCr) = 4:2:2 形式の画像データです。演算回路により RGB 各 8 ビットの画像データに変換して表示します。

YC のデータ並びは UYVY 形式と YUYV 形式に対応しています。UYVY 形式と YUYV 形式はプレーン n モードレジスタ (PnMR) の PnYCDF ビットにて選択できます。

RGB 各 8 ビットの変換式は下記のとおりです。

$$R = Y + 1.37 \times (Cr - 128)$$

$$G = Y - 0.698 \times (Cr - 128) - 0.336 \times (Cb - 128)$$

$$B = Y + 1.73 \times (Cb - 128)$$

$$16 \quad Y \quad 235$$

$$16 \quad Cr \quad 240$$

$$16 \quad Cb \quad 240$$

- この計算式に対して係数は、8ビットで下記としています。

(1) 1.37 (10進数) = 1.0101111 (2進数)

(2) 1.73 (10進数) = 1.1011110 (2進数)

(3) 0.698 (10進数) = 0.10110010 (2進数)

(4) 0.336 (10進数) = 0.01010110 (2進数)

- 計算過程で内部処理は16ビットです。
- すべて計算は固定少数点で切り捨てとしています。

(1) UYVY 形式

	A+3	A+2	A+1	A
	31	23	15	7
A 番地	Y1	V0	Y0	U0
A+4 番地	Y3	V2	Y2	U2
A+8 番地	Y5	V4	Y4	U4

リトルエンディアン

	A	A+1	A+2	A+3
	31	23	15	7
A 番地	U0	Y0	V0	Y1
A+4 番地	U2	Y2	V2	Y3
A+8 番地	U4	Y4	V4	Y5

ビッグエンディアン

19. ディスプレイユニット (DU)

(2) YUYV 形式

	A+3	A+2	A+1	A
	31	23	15	7 0
A 番地	V0	Y1	U0	Y0
A+4 番地	V2	Y3	U2	Y2
A+8 番地	V4	Y5	U4	Y4

リトルエンディアン

	A	A+1	A+2	A+3
	31	23	15	7 0
A 番地	Y0	U0	Y1	V0
A+4 番地	Y2	U2	Y3	V2
A+8 番地	Y4	U4	Y5	V4

ビッグエンディアン

19.4.6 出力データフォーマット

ディスプレイユニット (DU) からデジタル RGB 出力する場合、各表示データフォーマットを RGB666 に展開した後出力します。出力時のフォーマットを下表に記します。

表 19.8 出力データフォーマット

端子出力データ	DR	DR	DR	DR	DR	DR	DG	DG	DG	DG	DG	DG	DB	DB	DB	DB	DB	DB			
	5	4	3	2	1	0	5	4	3	2	1	0	5	4	3	2	1	0			
8bit/pixel	R (6 bit)						G (6 bit)						B (6 bit)								
16bit/pixel	R (5 bit)						0	G (6 bit)						B (5 bit)						0	
ARGB	R (5 bit)						0	G (5 bit)						0	B (5 bit)						0
YC RGB	R (8bit 中上位 6bit)						G (8bit 中上位 6bit)						B (8bit 中上位 6bit)								

19.4.7 エンディアン変換

ディスプレイユニット (DU) は、表示システム制御レジスタ (DSYSR) の DSEC ビットの設定によりビッグエンディアン/リトルエンディアンの変換が可能です。

ディスプレイユニット (DU) 内部はリトルエンディアン固定となっており、表示システム制御レジスタ (DSYSR) の DSEC ビットを 1 に設定することで、メモリ上にビッグエンディアンで配置された表示データをリトルエンディアンに変換して読み出しが行えます。

エンディアン変換の単位 (バイト/ワード) は、プレーン n モードレジスタ (PnMR) の PnDDF ビットの設定に従います。

表 19.9 エンディアン変換単位

PnMR/PnDDF	データフォーマット	エンディアン変換の単位
00	8bit/pixel	バイト単位
01	16bit/pixel	ワード単位
10	ARGB	ワード単位
11	YC	バイト単位

以下に各単位におけるエンディアン変換を図 19.4 に示します。

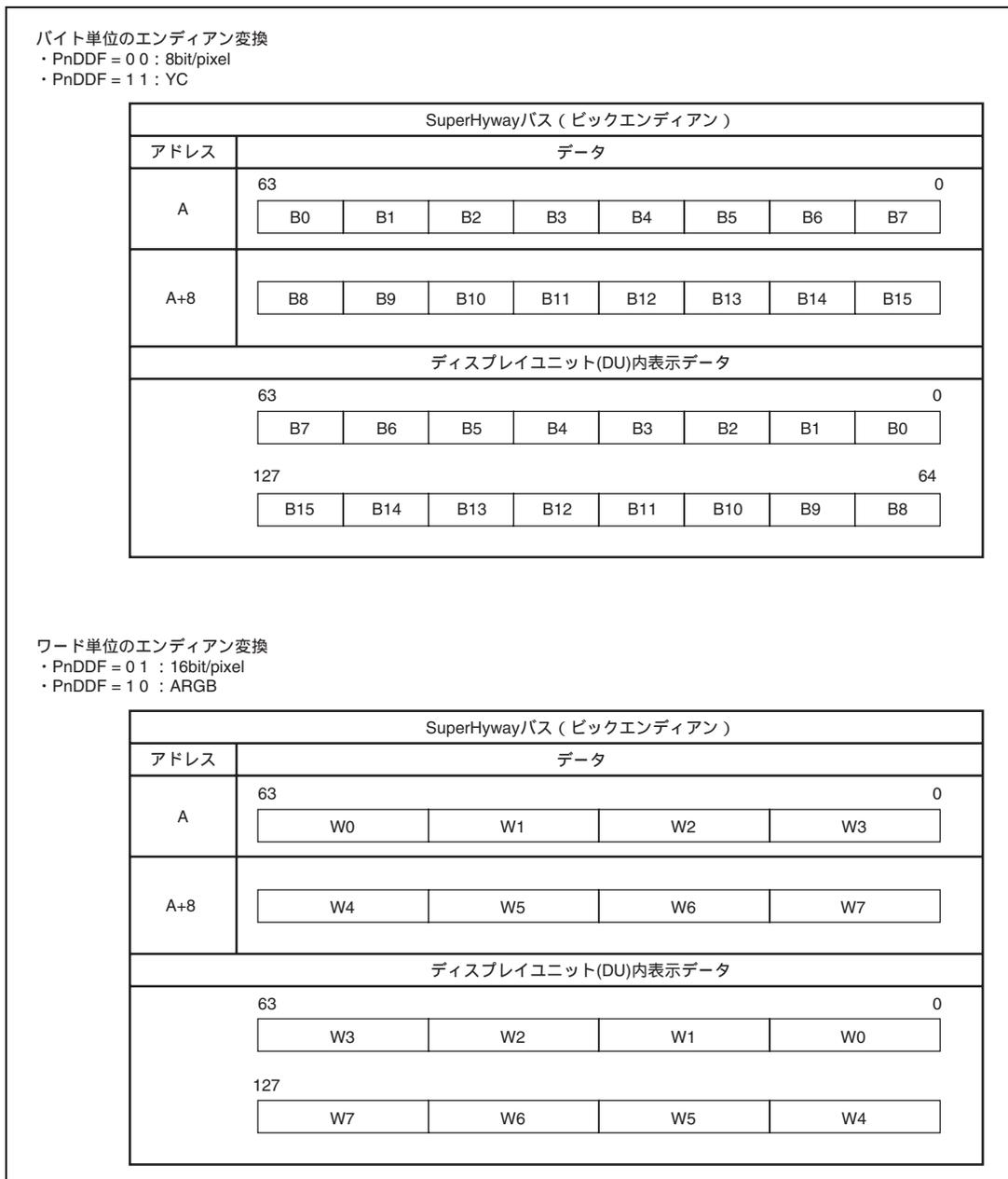


図 19.4 エンディアン変換

19.4.8 カラーパレット

8bit/pixel データはカラーパレットを使用します。カラーパレットは4つ使用でき、それぞれカラーパレット1、カラーパレット2、カラーパレット3、カラーパレット4と呼びます。

各プレーンで使用するカラーパレットは、プレーン_nモードレジスタ (PnMR) の PnCPSL ビットでカラーパレット1、カラーパレット2、カラーパレット3、カラーパレット4のいずれかに設定します。それぞれのカラーパレットは2面の交替バッファで構成されており、一方が表示面、他方がCPUアクセス面となります。各カラーパレットの設定後、カラーパレット制御レジスタ (CPCR) のカラーパレット切り替えイネーブルビット (CP4CE、CP3CE、CP2CE、CP1CE) を1にセットすることにより、次のVSYNCの立ち下がり (内部更新タイミング)、または表示リセット解除 (表示システム制御レジスタ (DSYSR) の DRES ビット1=0) で設定したカラーパレットが有効になります。

【カラーパレット使用上の注意】

1. 交替バッファで構成されているため、カラーパレットの更新時には全面書き換えが必要です。ただし、カラーパレットの更新内容を管理している場合は、該当部分のみの書き換えでも問題ありません。
2. カラーパレットの設定終了時には、必ず切り替えイネーブルビットを1に設定してください。
3. 書き込みを行ったカラーパレットの面をCPUからリードする場合は、切り替えイネーブルビットを1にセットする前に行ってください。1にセットした後に読み出すとカラーパレットが切り替わった後の別の面の内容を読み出す可能性があります。

(1) カラーパレット設定手順

(a) 初期状態からの切り替え手順

初期状態 (パワーオンリセット後) は表示リセット状態です。

1. ディスプレイユニット (DU) のレジスタを設定。
2. カラーパレット1、カラーパレット2、カラーパレット3またはカラーパレット4を設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに1を設定。
4. 表示リセットを解除。

(b) 表示状態からの切り替え手順

表示状態は表示システム制御レジスタ (DSYSR) の DRES ビット=0、DEN ビット=1 の状態です。

1. カラーパレット切り替えイネーブルの0を確認。
2. カラーパレット1、カラーパレット2、カラーパレット3またはカラーパレット4を設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに1を設定。

19.4.9 プレーンの重ね合わせ表示

各プレーンは、ブレンディング、透過色、EOR 演算の 3 種類を組合わせた重ね合わせ表示が可能です。プレーン n モードレジスタ (PnMR) の PnSPIM ビットを設定することで重ね合わせ表示を選択します。

ただし、同一プレーンに対しブレンディングと EOR 演算を同時に行うことはできません。

ブレンディングおよび EOR 演算は表示データフォーマットを RGB888 に展開したあとに行います。

各入力表示データフォーマットの補完フォーマットを表 19.11 に示します。

ブレンディングおよび EOR 演算は下位のプレーンから上位のプレーンの順に処理を行って行きます。これをブロック図化したものを図 19.5 に示します。

表 19.10 重ね合わせ表示

PnSPIM	重ね合わせ表示
000	指定プレーンは透過処理を行います。 指定プレーンが透過色の場合は下位プレーンを表示します。(初期値)
001	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンが透過色の場合はブレンディングを行わず、下位プレーンを表示します。
010	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンが透過色の場合は EOR 演算を行わず、下位プレーンを表示します。
011	設定禁止。
100	指定プレーンは透過処理を行いません。 指定プレーンを表示します。
101	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとのブレンディングを行います。
110	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとの EOR 演算を行います。
111	設定禁止。

表 19.11 各表示データフォーマットにおける RGB888 展開時のビット構成

データ フォーマット	R(8bit)			G(8bit)			B(8bit)		
8bit/pixel	R(6bit)	0	0	G(6bit)	0	0	B(6bit)	0	0
16bit/pixel	R(5bit)	0	0	G(6bit)	0	0	B(5bit)	0	0
ARGB	R(5bit)	0	0	G(5bit)	0	0	B(5bit)	0	0
YC RGB	R(8bit)			G(8bit)			B(8bit)		

19. ディスプレイユニット (DU)

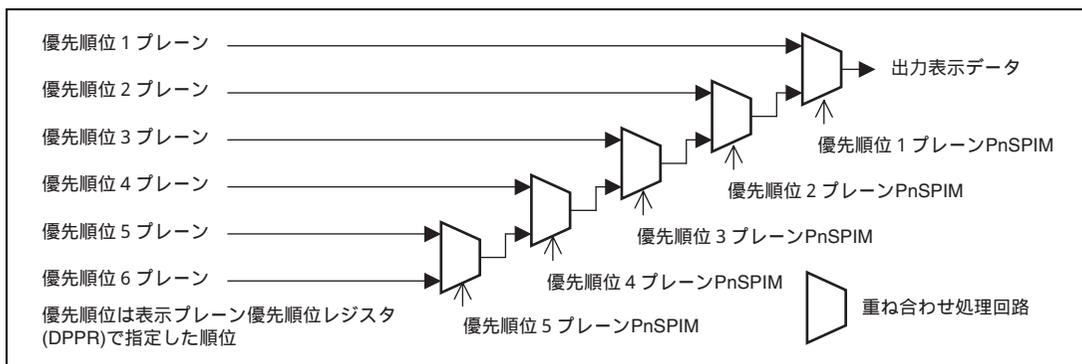


図 19.5 ブレンディング・EOR 演算時のプレーン処理順序

ブレンディングあるいは EOR 演算する表示データのデータフォーマットが 8bit/pixel の場合は、あらかじめ使用するカラーパレット優先の選択を行ってから ブレンディングあるいは EOR 演算のオン/オフを設定してください。このとき ブレンディングあるいは EOR 演算する両プレーンが同一のカラーパレットを選択している場合 (カラーパレット競合)、ブレンディングあるいは EOR 演算されず指定プレーンのみ表示されます。下位プレーンがすべて表示オフのとき、指定プレーンを表示します。つまり、下地色レジスタ (BPOR) に指定された表示データと指定プレーンとのブレンディングあるいは EOR 演算は行いません。

(1) ブレンディング

ブレンディングは、プレーン n ブレンド比レジスタ (PnALPHAR) の PnALPHA ビットで設定されたアルファ値 ()、カラーパレット内のブレンド比ビットで設定されたアルファ値 () あるいは入力表示データのアルファ値 () に従いブレンディング処理を行います。

$$\text{ブレンディング結果} = (\quad \times \text{指定プレーン} + (H'100 - \quad) \times \text{下位プレーン}) / H'100$$

- 【注】
1. 上記式でブレンディング結果、指定プレーン、下位プレーンはすべて 8 ビットデータとなります。
 2. アルファ値を 0 に設定した場合は、下位プレーンのみを表示します。
 3. 近似補正はしていません。アルファ値 = H'FF、指定プレーン = H'FF、下位プレーン = H'00 時、結果は H'FE になります。

ここで、プレーン n モードレジスタ (PnMR) の PnDDF ビットが ARGB に設定かつ、プレーン n モードレジスタ (PnMR) の PnSPIM ビットがブレンディングを行う設定の場合、入力 ARGB データフォーマットの A 値に従い、ブレンディングが行われます。

(2) 透過色

各プレーンは、プレーン n モードレジスタ (PnMR) の PnSPIM のビット 2 を 0 に設定することで指定面と下位プレーンとの透過色処理が可能です。ただし、YC の場合は透過色処理は行うことはできません。

入力表示データとレジスタ値が一致した場合、透過色と判定します。

- 8bit/pixelモードの場合

プレーン_nモードレジスタ (PnMR) のPnTCビット=0 (初期値) のときプレーン_n透過色1レジスタ (PnTC1R) に従い透過色処理を行います。プレーン_nモードレジスタ (PnMR) のPnTCビット=1のとき、カラーパレット1~4透過色レジスタ (CP1TR ~ CP4TR) の設定に従った各カラーパレット1、カラーパレット2、カラーパレット3、カラーパレット4の最大同時16色を透過色に指定できます。透過色に指定できるのはインデックスH'00 ~ H'0Fのみで、H'10 ~ H'FFは透過色に指定できません。

カラーパレット1~4透過色レジスタはプレーン_nモードレジスタ (PnMR) のPnCPSLビットで選択します。

- 16bit/pixelモード, ARGBモードの場合

プレーン_nモードレジスタ (PnMR) のPnTCビットの設定に関係なくプレーン_n透過色2レジスタ (PnTC2R) に従い透過色処理を行います。

ARGBの場合、プレーン_n透過色2レジスタ (PnTC2R) のビット14~0と比較し、ビット15は無視します。

以上を纏め、表 19.12 にプレーン_nモードレジスタ (PnMR) の PnTC ビット=0、1 のそれぞれの場合に有効となる透過色指定レジスタを示します。

表 19.12 透過色指定レジスタ

データフォーマット	透過色指定ビット (PnMR) / PnTC	カラーパレットセレクトビット (PnMR) / PnCPSL	透過色指定レジスタ
8bit/pixel	0		PnTC1R
	1	00	CP1TR
	1	01	CP2TR
	1	10	CP3TR
	1	11	CP4TR
16bit/pixel			PnTC2R
ARGB			PnTC2R

(3) EOR 演算

指定プレーンと下位プレーンとの EOR 演算を行います。

19.4.10 表示の競合

(1) カラーパレットの競合

ブレンディングおよび EOR 演算を行う場合、入力表示データフォーマットが 8bit/pixel のプレーン間において同一のカラーパレットを選択しているとカラーパレットの競合が発生する場合があります。これは競合判定をプレーンの面単位ではなく、画素単位に行うためです。

図 19.6 に、プレーン 1、プレーン 2、プレーン 3 が 8bit/pixel、プレーン 1 は ブレンディング、プレーン 2 は EOR 演算を指定し、各プレーンが同一カラーパレットを選択していた場合の競合を示します。(プレーン 1、プレーン 2、プレーン 3 に透過色の画素がないものとします)

競合が発生した場合は、ブレンディングおよび EOR 演算は無効となり最も上の優先順位にあるプレーンが表示されます。

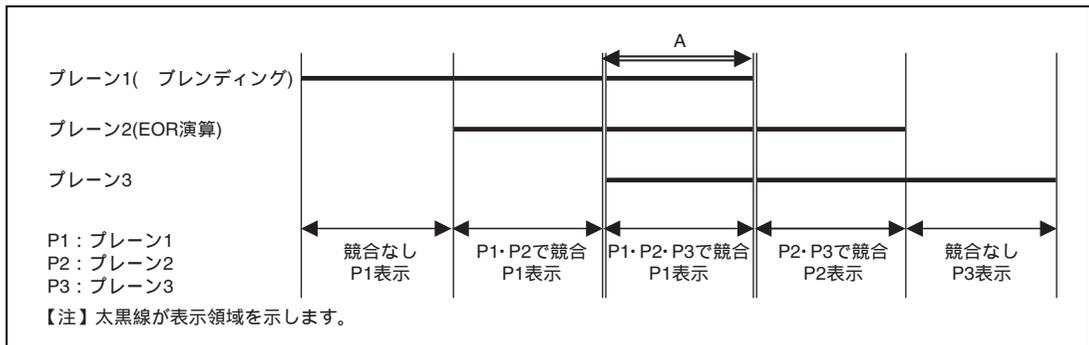


図 19.6 カラーパレットの競合 (複数プレーンにおける同一カラーパレット選択)

また、図 19.6 の表示区間 A において、カラーパレットの選択と透過色を組合わせた場合の表示結果を図 19.7 にまとめます。

- P1 P2はプレーン1とプレーン2の ブレンディングを示します。
- P2 P3はプレーン2とプレーン3のEOR演算を示します。
- P1 (P2 P3)はプレーン2とプレーン3のEOR演算結果とプレーン1との ブレンディングを示します。
- BPORは下地色レジスタの表示データを示します。

		カラーパレット選択： 同一カラーパレット選択、×異なるカラーパレット選択				
		P1	P2	P3		
透過色、非透過色	P1				×	×
	P2			×		×
	P3		×			×
		P1	P1	P1 P2	P1 P2	P1(P2 P3)
		P1	P1	P1 P2	P1 P2	P1 P2
		P1	P1 P3	P1	P1 P3	P1 P3
		P1	P1	P1	P1	P1
		P2	P2 P3	P2 P3	P2	P2 P3
		P2	P2	P2	P2	P2
	P3	P3	P3	P3	P3	
	BPOR	BPOR	BPOR	BPOR	BPOR	

図 19.7 カラーパレットの選択と透過色を組合わせた場合の表示結果

(2) YC データの競合

ディスプレイユニット (DU) 内には YC-RGB 変換回路を 1 セットのみ有していますので、同時に 2 ブレーン以上の YC-RGB 変換を行うことができません。同時に 2 ブレーン以上の YC-RGB 変換の必要な画素があった場合は、最も上にあるブレーンの画素を YC-RGB 変換し、下位のブレーンは表示されません。

図 19.8 に 3 ブレーンが YC データの場合の YC-RGB 変換するブレーンを示します。

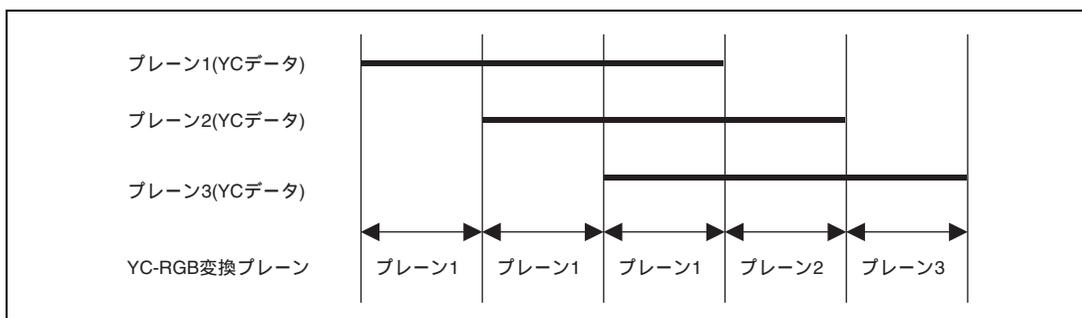


図 19.8 YC データの競合図

19. ディスプレイユニット (DU)

(3) プレーンの優先順位

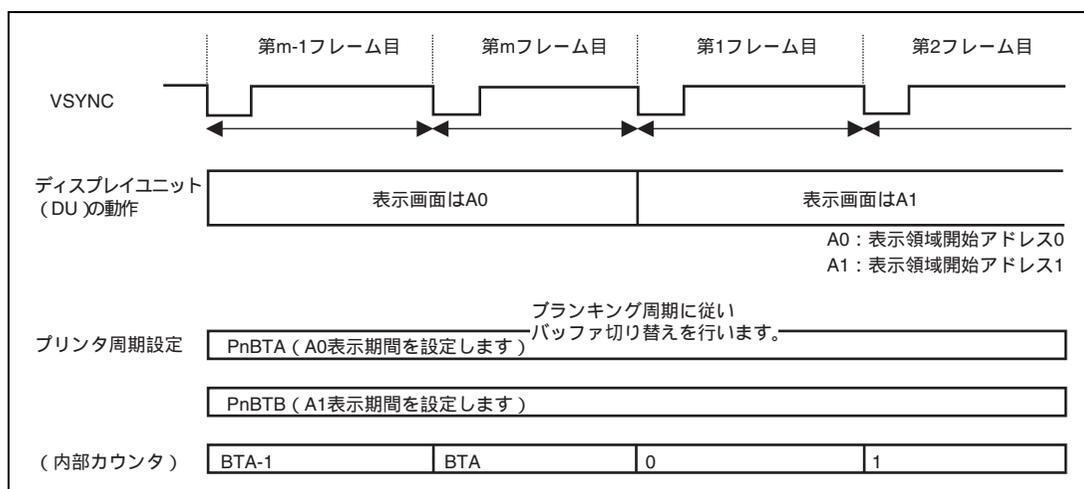
各プレーンの表示優先順位は表示プレーン優先順位レジスタ (DPPR) にて設定しますが、1つのプレーンが2つ以上の順位に設定された場合は、最も上の順位を選択します。

例えば、表示プレーン優先順位レジスタ (DPPR) の設定値が H'00CBD888 の場合、優先順位と表示オン/オフの結果は次のとおりになります。

優先順位 1 プレーン	プレーン 1
優先順位 2 プレーン	該当プレーンなし
優先順位 3 プレーン	該当プレーンなし
優先順位 4 プレーン	プレーン 6
優先順位 5 プレーン	プレーン 4
優先順位 6 プレーン	プレーン 5
表示オフプレーン	プレーン 2、プレーン 3

19.4.11 ブリンキング

各プレーンは、表示領域開始アドレス 0 および 1 を使用してブリンキング動作が可能です。各プレーンは通常プレーン n モードレジスタ (PnMR) の PnBM ビットの設定に従いダブルバッファ制御を行います。プレーン n モードレジスタ (PnMR) の PnBM ビットをオートディスプレイ (ブリンキングモード) = 10 に設定することにより、プレーン n ブリンキング周期レジスタ (PnBTR) の PnBTA ビットと PnBTB ビットで設定した周期でブリンキングを行います。PnBTA ビットと PnBTB ビットに 0 を設定した場合は 1 と同じ動作となります。



19.4.12 スクロール表示

各プレーンは、表示領域と表示画面のサイズおよび開始位置をプレーンごと独立に設定することにより、スムーズなスクロール処理がプレーン独立に可能です。

スクロール表示を行うためには、各プレーンの表示領域開始アドレス 0~1 レジスタ (PnDSA0~1R) で指定したメモリの先頭を原点として、プレーン n 表示開始位置 X,Y (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) をサイクリックに設定することにより可能です。

スクロール表示概要を図 19.9 に示します。表示開始位置を A から B に設定することによりスクロール表示を行います。

【注】 各プレーンの表示サイズなどの領域設定は、メモリ構成領域外を表示しないように設定してください。

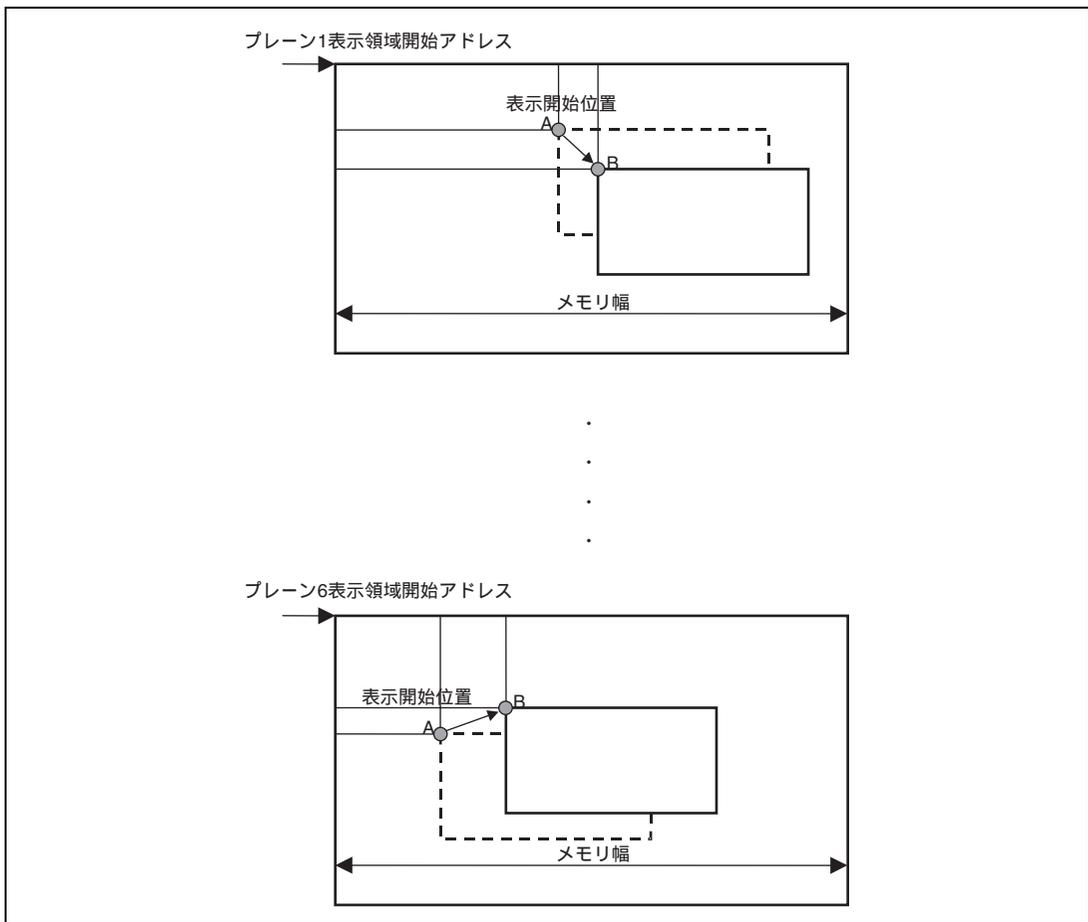


図 19.9 スクロール機能概略図

19.4.13 ラップアラウンド表示

各プレーンは、スクロール表示に加えて、球面スクロールを実現できるラップアラウンド表示ができます。ラップアラウンド表示を有効にする場合、プレーン n モードレジスタ (PnMR) の PnWAE にビットセットします。スクロール表示のため、プレーン n 表示開始位置 X、Y (プレーン n 開始位置 X レジスタ (PnSPXR) に設定するプレーン n 開始位置 X、プレーン n 開始位置 Y レジスタ (PnSPYR) に設定するプレーン n 開始位置 Y) を変化させた結果、プレーン n がラップアラウンドエリアをはみ出した場合でも、ラップアラウンド表示では、図 19.10 のようにラップアラウンドエリアを球面に見立てて、はみ出した部分を補完して表示します。ラップアラウンドエリアの指定方法を以下に示します。

1. プレーン n 表示領域開始アドレス 0 ~ 1 レジスタ (PnDSA0 ~ 1R) にプレーン n で使用するメモリの先頭アドレスを指定します。
2. 指定したメモリの先頭を原点として、プレーン n ラップアラウンド開始位置レジスタ (PnWASPR) でラップアラウンドエリアの左上座標を指定します。ラップアラウンドエリアの X 方向幅は、プレーン n メモリ幅レジスタ (PnMWR) で設定するメモリ幅です。
3. ラップアラウンドエリアの Y 方向幅は、プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR) で設定します。

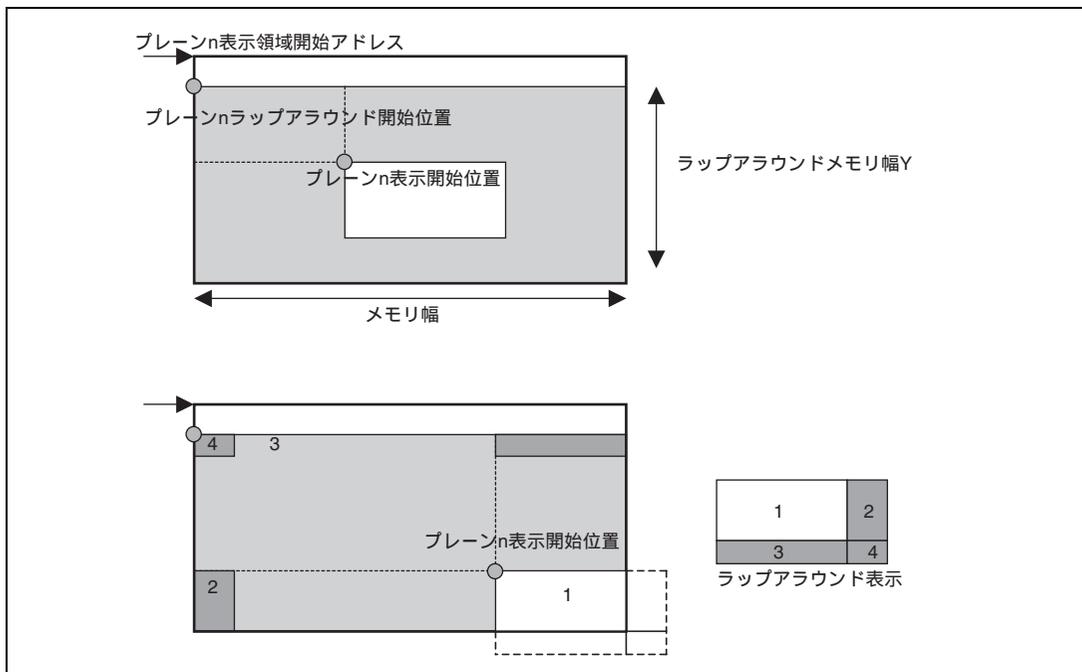


図 19.10 ラップアラウンド機能概略図

【注】 ラップアラウンド表示が無効な場合 (プレーン n モードレジスタ (PnMR) の PnWAE ビット=0)、ラップアラウンドエリアをはみ出した部分は下地色レジスタ (BPOR) で指定した色となり、この色にて重ね合わせ処理を行います。

19.4.14 左上はみ出し表示

各プレーンは、メモリ上の表示開始位置 (プレーン n 開始位置 X レジスタ (PnSPXR)、プレーン n 開始位置 Y レジスタ (PnSPYR)) と表示サイズ (プレーン n 表示サイズ X レジスタ (PnDSXR)、プレーン n 表示サイズ Y レジスタ (PnDSYR)) を任意に設定できるので、これらのレジスタを組合わせて使うことにより、メモリ上の表示データを書き換えることなく、モニタの原点 (左上) に対して左上へのはみ出し表示ができます。

もとの絵のサイズが (DSX,DSY)、開始位置が (SPX,SPY) の絵に対して、サイズを (DSX- X,DSY- Y)、開始位置を (SPX+ X,SPY+ Y) に設定することにより、左側に X、上側に Y 分はみ出して表示することができます。このとき、表示位置 (プレーン n 表示位置 X レジスタ (PnDPXR)、プレーン n 表示位置 Y レジスタ (PnDPYR)) は 0 固定しておきます。

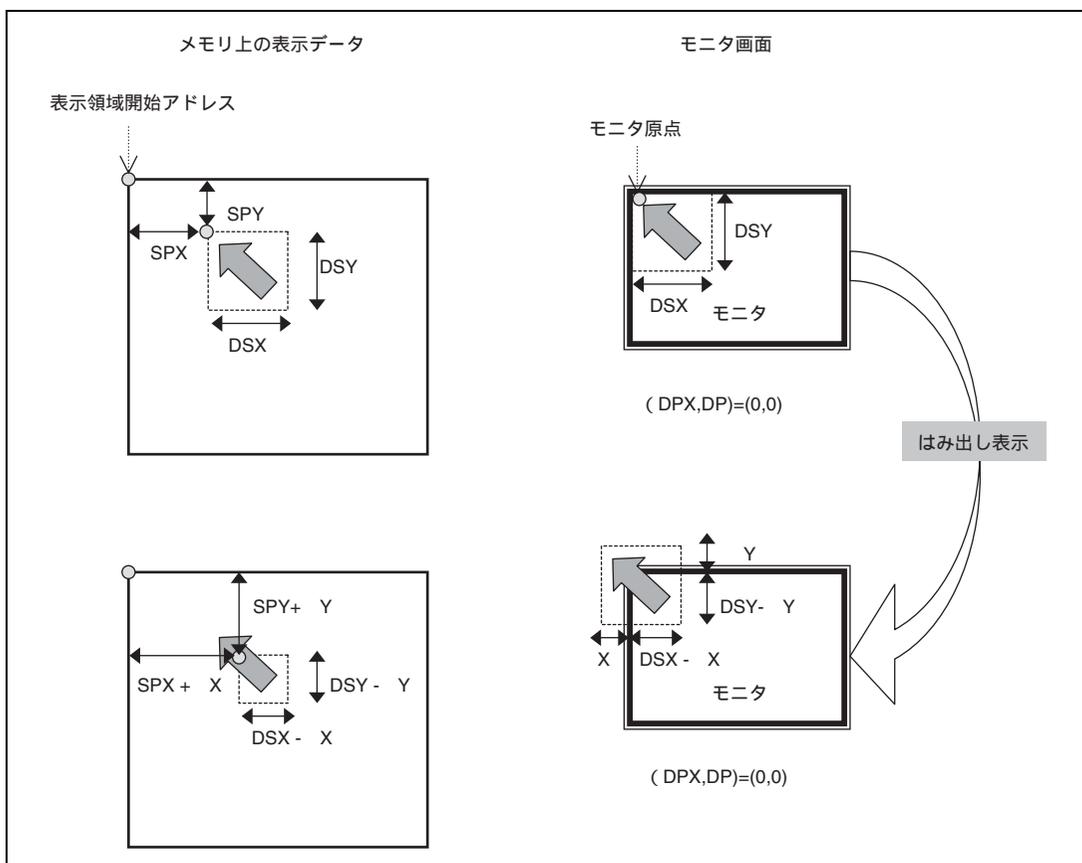


図 19.11 左上はみ出し表示概略図

19. ディスプレイユニット (DU)

19.4.15 ダブルバッファ制御

ディスプレイユニット (DU) のダブルバッファ制御は、表示の切り替えをすべてソフトウェアで制御するマニュアルディスプレイチェンジモード、プリンキングを実現するオートディスプレイチェンジモードの2種類の機能を備えています。

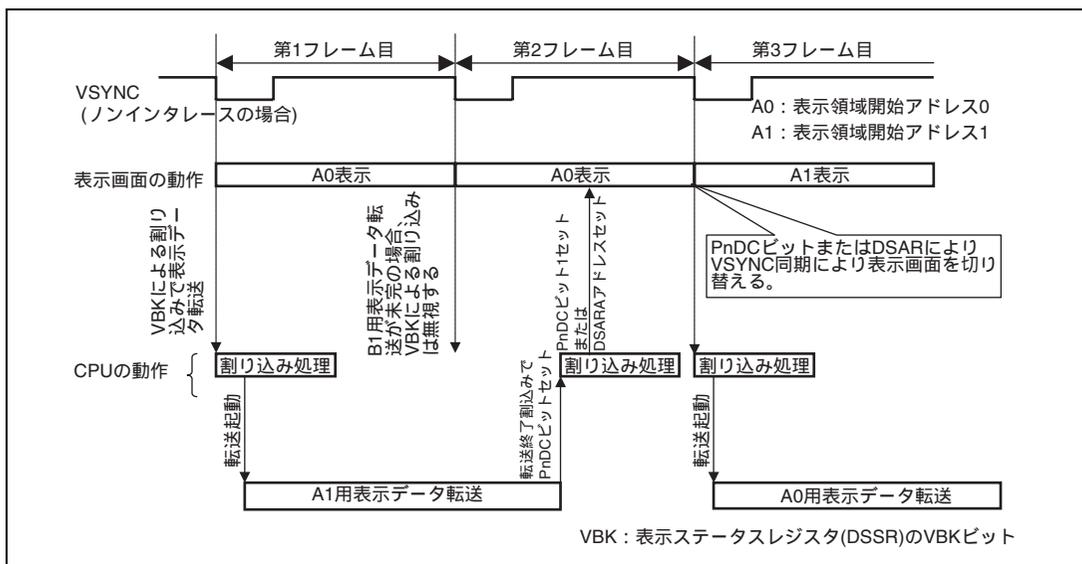
マニュアルディスプレイチェンジモードの場合、ディスプレイチェンジは、ノンインタレースおよびインタレースシンクのとき、フレーム単位で行われ、インタレースシンク & ビデオのとき、フィールド単位で行われます。オートディスプレイチェンジモードの場合はすべてフィールド単位となります。

(1) マニュアルディスプレイチェンジモード

マニュアルディスプレイチェンジモードは、表示のフレーム切り替えをソフトウェアで制御するモードです。表示の切り替えはソフトウェアによってプレーン n モードレジスタ (PnMR) の PnDC ビットで切り替えを行うか、表示ステータスレジスタ (DSSR) の DFBn ビットで示されるプレーン n 表示領域開始アドレス 0~1 レジスタ (PnDSA0~1R) にバッファ 0 またはバッファ 1 の開始アドレスを設定することで行えます。

なお、本モードから他のモードへ移行するときは必ず PnDC ビットに 1 を設定した後に行ってください。

以下にマニュアルディスプレイモードを使用した場合の制御例を示します。



(2) オートディスプレイチェンジモード

オートディスプレイチェンジモードは「19.4.11 プリンキング」を参照してください。

19.4.16 同期方式

外部機器との同期動作を容易にするため、マスタモードの他に TV 同期機能を備えています。マスタモード、TV 同期モードの選択は、表示システム制御レジスタ (DSYSR) の TVM ビットで行います。同期方式に関わらず、垂直同期位置レジスタ (VSPR) で設定される垂直同期信号 (VSYNC) の立ち下がり位置を検出し、表示ステータスレジスタ (DSSR) の FRM ビットと VBK ビットに反映します。

(1) マスタモード (内部同期モード)

表示タイミング生成レジスタに、水平、垂直同期信号 (HSYNC、VSYNC) の周期、パルス幅を設定することで、その波形を出力します。また、それに同期して表示データを出力します。

インタレースシンクモード、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を出力します。

(2) TV 同期モード (外部同期モード)

TV 同期モードは TV、ビデオなどの外部の同期信号発生回路から入力される水平同期信号、垂直同期信号 (EXHSYNC、EXVSYNC) に同期して表示データを出力します。EXHSYNC 信号の立ち下がりエッジおよび EXVSYNC の立ち上がりエッジを基準として表示データを出力します。

外部の同期信号発生回路から水平同期信号、垂直同期信号およびクロックを、 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、DCLKIN 端子にそれぞれ入力してください。CSYNC はハイレベルとなります。インタレースシンクモード、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を入力してください。ノンインタレースモードの場合は ODDF 端子をローレベルまたはハイレベルに固定してください。

また、TV 同期モードで動作させる際にも、表示タイミング生成レジスタの水平走査周期レジスタ (HCR)、水平同期パルス幅レジスタ (HSWR)、垂直走査周期レジスタ (VCR)、垂直同期位置レジスタ (VSPR) の設定は必須です。

ディスプレイユニット (DU) に設定した表示サイズ分の表示完了前であっても後であっても、EXVSYNC 信号が入力されると、ディスプレイユニット (DU) は垂直表示完了動作を行い次画面の制御に移行します。EXVSYNC 信号が入力されない場合は、垂直帰線期間のまま EXVSYNC 信号を待ち続けます (自走制御は行いません)。同様に EXHSYNC 信号が入力されると、ディスプレイユニット (DU) は水平表示完了動作を行い次ラスタの制御に移行します。EXHSYNC 信号が入力されない場合は、水平帰線期間のまま EXHSYNC 信号を待ち続けます (自走制御は行いません)。

19. ディスプレイユニット (DU)

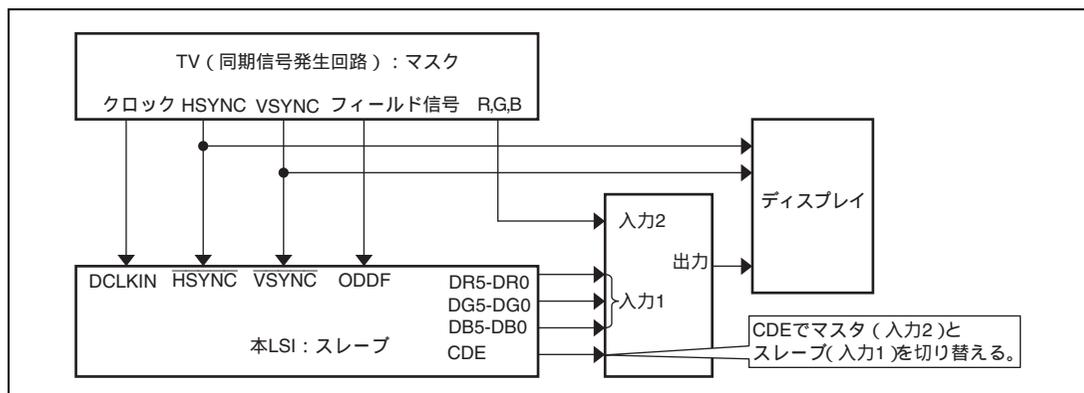


図 19.12 TV 同期モード時の信号の流れ

(3) 同期方式切り替えモード

マスタモードから TV 同期モード、または TV 同期モードからマスタモードに切り替える際に、必要な場合は、本モードを経由して切り替えてください。本モードを経由しなくても、同期方式を切り替えることは可能です。

本モードではディスプレイユニット (DU) に接続する入出力端子が入力になるため、端子の衝突を避けることができます。また、本モードでは表示動作を行っておらず、内部ドットクロックも停止しており、入力するドットクロックが乱れても表示動作に影響を与えません。

19.5 表示制御

19.5.1 表示タイミング生成

ディスプレイユニット (DU) では表示画面の水平方向および垂直方向表示タイミングを生成します。表示タイミングは表示タイミング生成レジスタで設定します。図 19.13 にノンインタレースモード時の表示タイミングを示します。またここでは表示画面を表 19.13 に示す変数で定義します。

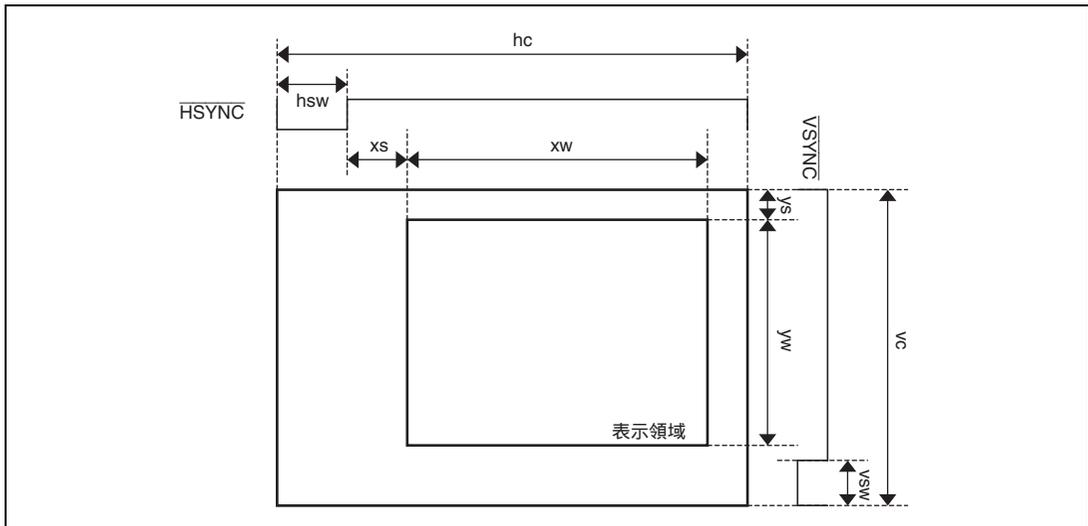


図 19.13 表示画面の水平方向および垂直方向のタイミング生成図

表 19.13 表示画面で定義した変数

変数	内容	単位
hc ^{*1}	水平走査周期	ドットクロック
hsw	水平同期パルス幅	ドットクロック
xs	HSYNC の立ち上がりから表示画面水平方向の表示開始位置まで	ドットクロック
xw	表示画面の 1 ラスタ当たりの表示幅	ドットクロック
vc ^{*2}	垂直走査周期	ラスタライン数
vsw	垂直同期パルス幅	ラスタライン数
ys	VSYNC の立ち上がりから表示画面垂直方向の表示開始位置まで	ラスタライン数
yw	表示画面の垂直表示期間	ラスタライン数

【注】 *1 $hsw + xs + xw < hc + 18$ (10 進) を満たすように設定してください。

*2 $vsw + ys + yw < vc$ を満たすように設定してください。

19. ディスプレイユニット (DU)

表示タイミング生成レジスタは、走査方式、および同期方式により設定値が異なります。そのため表示タイミング生成レジスタの設定は表 19.14 に示すような計算を行ったうえで設定します。

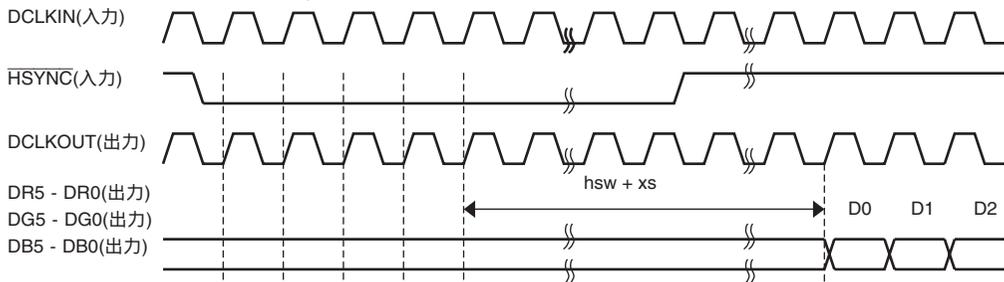
表 19.14 表示画面のレジスタ設定値対応表

レジスタ名称	ビット名称	同期方式	
		マスタモード	TV 同期モード
水平表示開始位置レジスタ (HDSR)	HDS	$hsw + xs - 19$	$hsw + xs - 24$ * ²
水平表示終了位置レジスタ (HDER)	HDE	$hsw + xs - 19 + xw$	$hsw + xs - 24 + xw$ * ²
垂直表示開始位置レジスタ (VDSR)	VDS	$ys - 2$ * ³	$ys - 2$ * ³
垂直表示終了位置レジスタ (VDER)	VDE	$ys - 2 + yw$	$ys - 2 + yw$
水平同期パルス幅レジスタ (HSWR)	HSW	$hsw - 1$	$hsw - 1$
水平走査周期レジスタ (HCR)	HC	$hc - 1$	$hc - 1$
垂直同期位置レジスタ (VSPR)	VSP	$vc - vsw - 1$	$vc - vsw - 1$
垂直走査周期レジスタ (VCR)	VC	$vc - 1$	$vc - 1$

【注】 表中の数値は 10 進表記です。

*1 すべての走査モードで、VDS、VDE、VSP、VC の設定値は 1 フィールド単位の設定になります。

*2 HDS、HDE の規定は HSYNC の立ち下がり、DCLKOUT の立ち上がりで検出し、さらに DCLKOUT の 4 つめの立ち上がりからの値です。



*3 VDS は、1 以上にしてください。

*4 HC は、 $HC > HDE$ の条件を満たすように設定してください。

19.5.2 CSYNC

マスタモードの場合、CSYNC (コンポジット同期信号) を出力します。等価パルス幅レジスタ (EQWR) で、CSYNC の等価パルスのローレベルパルス幅を設定します。セパレーション幅レジスタ (SPWR) で、CSYNC のセパレーションパルスのローレベルパルス幅を設定します。

CSYNC 波形の選択は表示モードレジスタ (DSMR) の CSY ビットで行います。

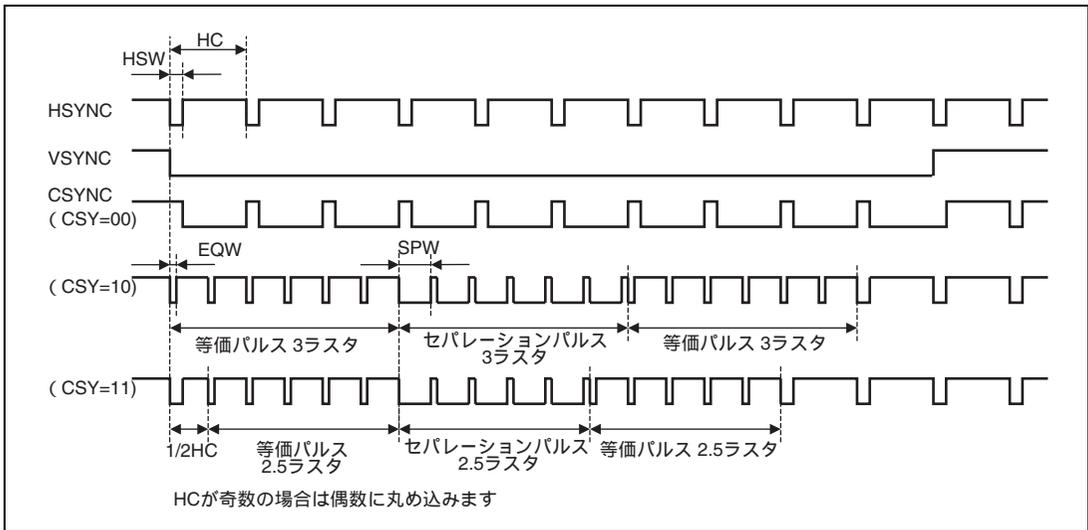


図 19.14 CSYNC タイミングチャート (ノンインタレース、インタレースフレーム前半)

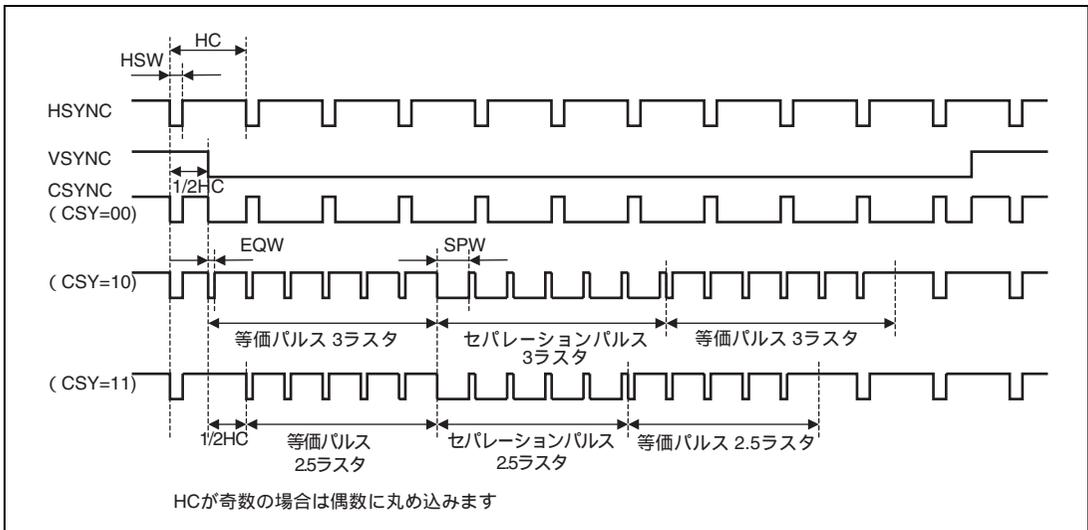


図 19.15 CSYNC タイミングチャート (インタレースフレーム後半)

19.5.3 走査方式

走査方式をノンインタレースモード、インタレースシンクモード、およびインタレースシンク&ビデオモードから選択できます。モード選択は、表示システム制御レジスタ (DSYSR) の SCM ビットで行います。

1. ノンインタレースモード
1フィールドで1フレームを構成する走査方式です。
2. インタレースシンクモード
2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、同じデータを表示します。
3. インタレースシンク&ビデオモード
2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、異なるデータを表示します。

表示モードレジスタ (DSMR) の ODEV ビットで、インタレースシンクモード、インタレースシンク&ビデオモードにおけるフィールドの表示順を設定します。ODEV ビットが 0 のとき、1 フレームは、奇数フィールド、偶数フィールドの表示順となり、ODEV ビットが 1 のとき、1 フレームは偶数フィールド、奇数フィールドの順になります。

マスタモードのときは、ODDF 端子より偶数フィールド表示中はハイレベルを、奇数フィールド表示中はローレベルを出力します。TV同期モードのときは、ODDF 端子に偶数フィールドを表示させたい場合はハイレベルを、奇数フィールドを表示させたい場合はローレベルを入力します。

【注】 TV同期モードでノンインタレースモードの場合は ODDF 端子をローレベルまたはハイレベルに固定してください。

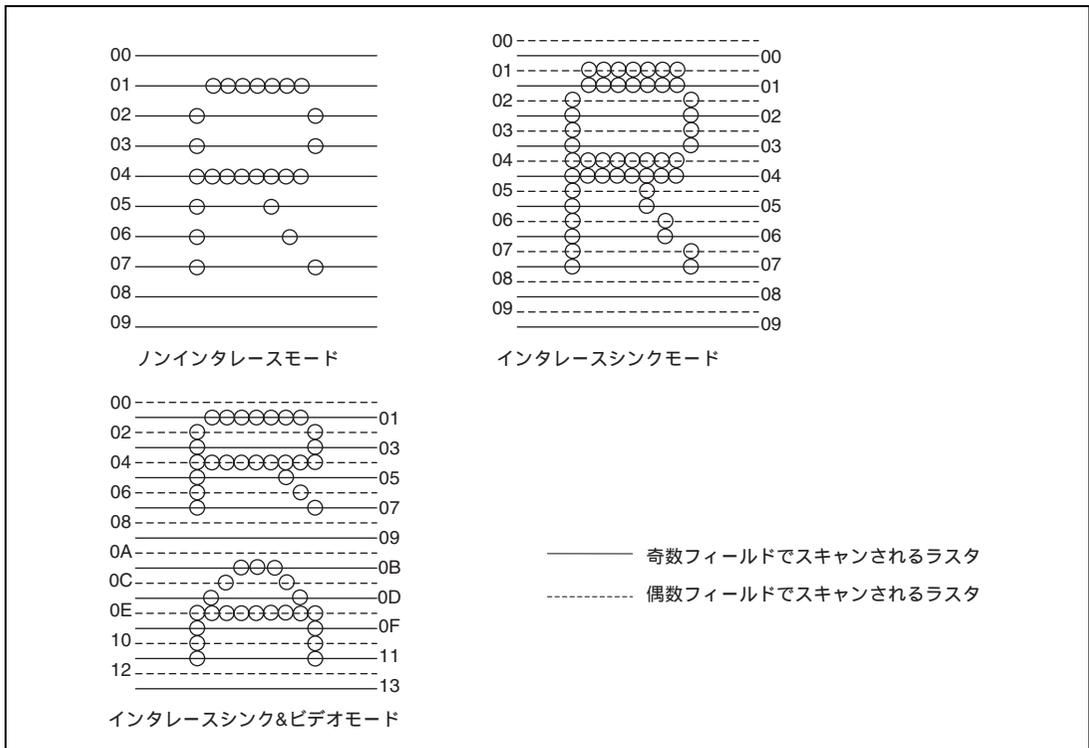


図 19.16 各走査方式による表示例

19. ディスプレイユニット (DU)

- 垂直走査周期例

ノンインタレース : 1/60秒フィールド、1/30秒フィールド

インタレースシンク : 1/30秒フレーム

インタレースシンク & ビデオ : 1/30秒フレーム

- ノンインタレース方式の表示

入力される画像信号の間を空けずに、一度に全ライン表示する方式です。

高解像度表示のできるモニタなどの入力方式です。

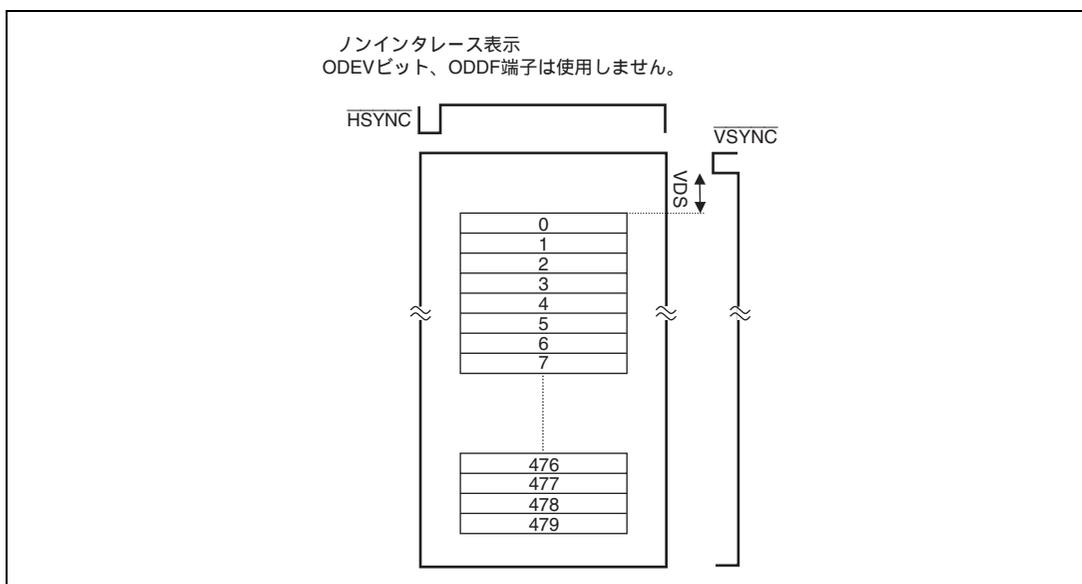


図 19.17 ノンインタレース方式の表示

• インタレース方式の表示

入力される画像信号を走査周期VCごとに、偶数ラインと奇数ラインを切り替えて交互に表示し、2VC周期で1画面(1フレーム)を合成(先の1VCのデータは残像)して表示する方式です。これは通常のTVやビデオの入力方式です。

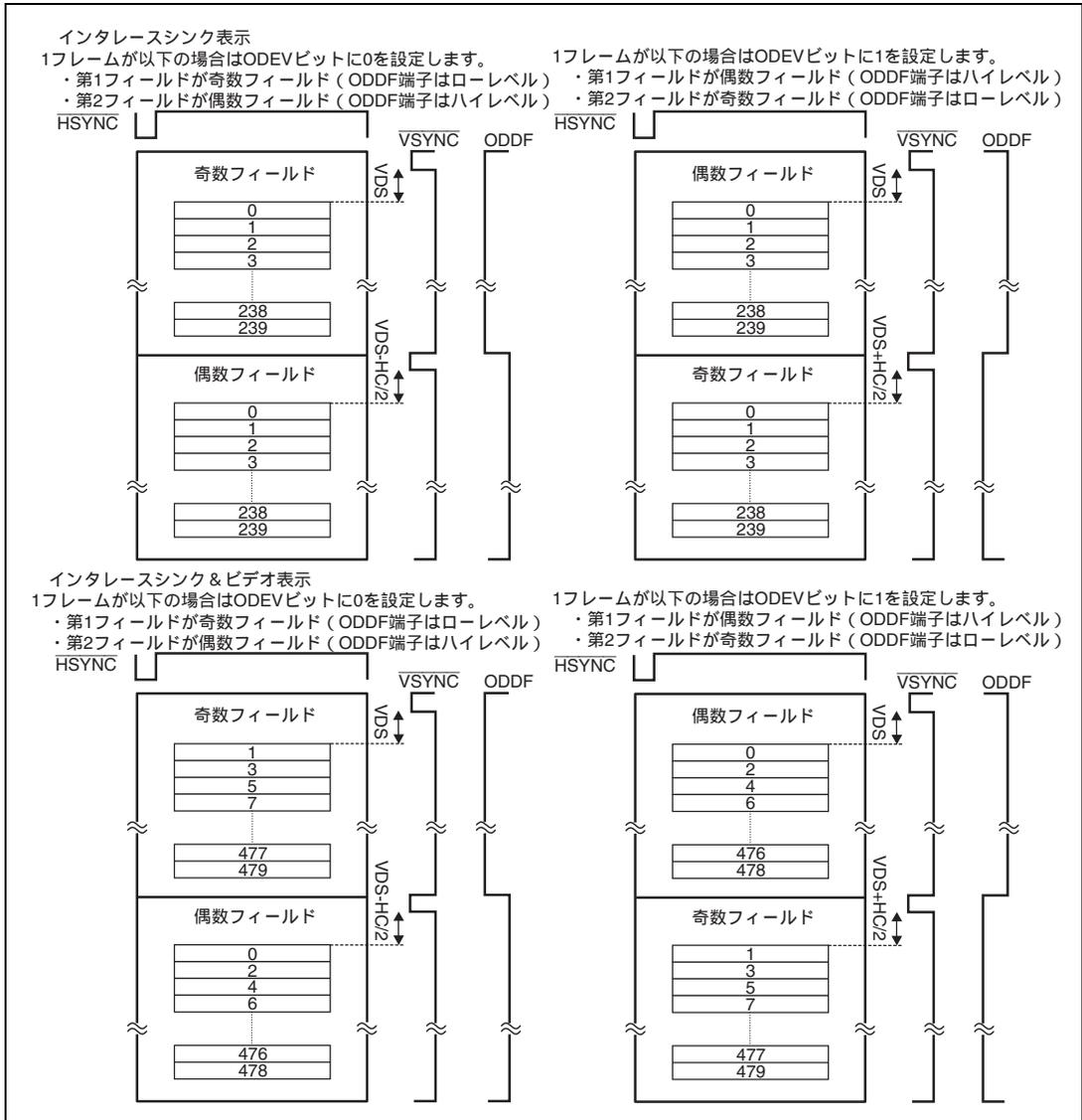


図 19.18 インタレース方式の表示

19. ディスプレイユニット (DU)

19.5.4 色検出

出力表示データと、色検出レジスタ (CDER) に設定したカラーが一致したとき、CDE 端子よりハイレベルを出力します。

表示モードレジスタ (DSMR) の CDEM ビットにより、表示期間外のレベルを固定することができます。また、表示モードレジスタ (DSMR) の CDEL ビットにより、出力レベルの極性を選択できます。

表 19.15 CDE 端子の出力レベル

CDEL	CDEM	表示期間中の CDE 端子		表示期間外の CDE 端子	
		出力表示データと色検出レジスタとの比較結果		色検出レジスタの値*	
		一致	不一致	0	0 以外
0	00	ハイレベル	ローレベル	ハイレベル	ローレベル
0	01	ハイレベル	ローレベル	ハイレベル	ローレベル
0	10	ハイレベル	ローレベル	ローレベル	ローレベル
0	11	ハイレベル	ローレベル	ハイレベル	ハイレベル
1	00	ローレベル	ハイレベル	ローレベル	ハイレベル
1	01	ローレベル	ハイレベル	ローレベル	ハイレベル
1	10	ローレベル	ハイレベル	ハイレベル	ハイレベル
1	11	ローレベル	ハイレベル	ローレベル	ローレベル

【注】 * 表示期間外は出力表示データが 0 となります。

19.5.5 出力信号タイミング調整

ディスプレイユニット (DU) は、それぞれの出力信号 (HSYNC、VSYNC、CSYNC、ODDF の同期信号 4 本ならびに、DISP、CDE、CLAMP、DE、デジタル RGB) の出力ドットクロックに対する出力タイミングを選択可能です。タイミングの選択は出力信号タイミング調整レジスタ (OTAR) で設定します。

表 19.16 出力信号のタイミング設定パラメータ

OTAR の各ビット名	内容
SYNCA	HSYNC、VSYNC、CSYNC、ODDF 信号の出力タイミングを設定します。
DISPA	DISP 信号の出力タイミングを設定します。
CDEA	CDE 信号の出力タイミングを設定します。
DRGBA	デジタル RGB 信号の出力タイミングを設定します。
CLAMPA	CLAMP 信号の出力タイミングを設定します。
DEA	DE 信号の出力タイミングを設定します。

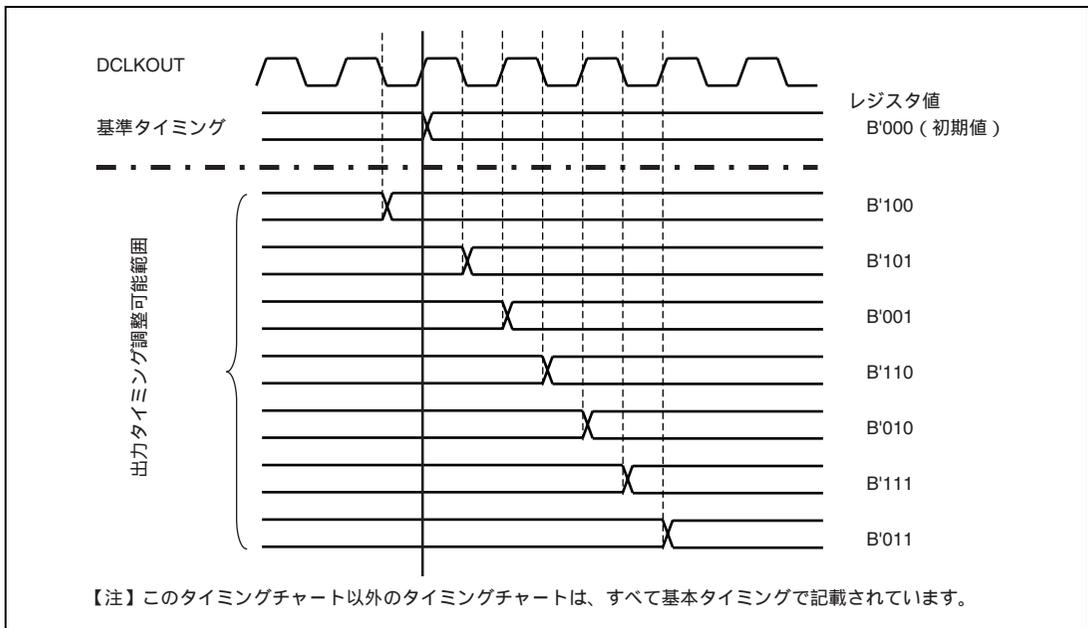


図 19.19 出力タイミング調整可能範囲

19. ディスプレイユニット (DU)

19.5.6 CLAMP 信号と DE 信号

ディスプレイユニット(DU)は表示期間を示す DISP 信号とは独立した CLAMP 信号と DE 信号を生成します。

CLAMP 信号と DE 信号は HSYNC 信号の立ち下がりを基準として立ち上がり開始位置とハイレベル幅を任意にドットクロック単位で設定することができます。図 19.20 にタイミングチャートを示します。

ただし、DE 信号は垂直ブランキング期間にはローレベル固定になります。

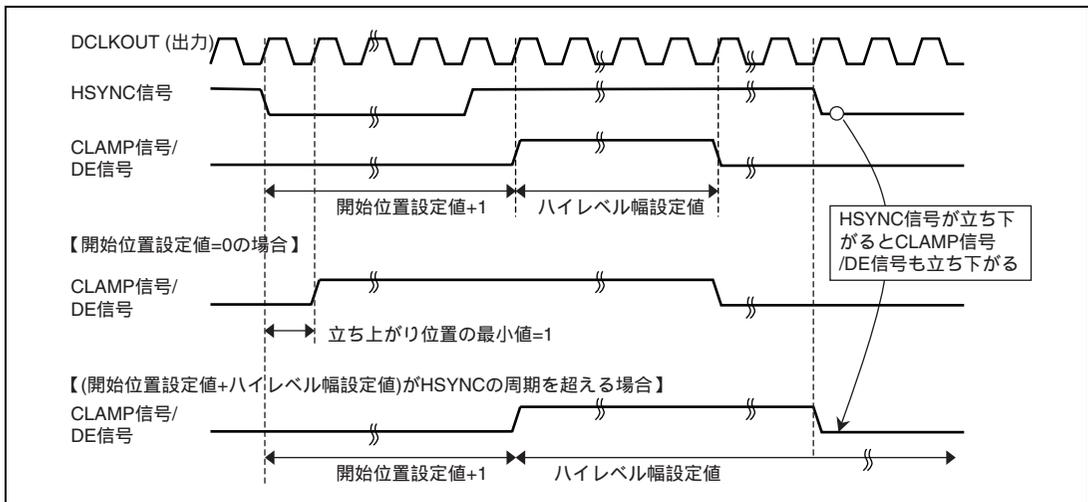


図 19.20 CLAMP 信号と DE 信号

19.6 パワーダウンシーケンス

下記のモード・機能によりパワーダウンシーケンスを実行する場合は表示動作を停止させた後に実行してください。

- (1) スリープモード
- (2) ディープスリープモード
- (3) モジュールスタンバイ
- (4) 周波数変更
- (5) マニュアルリセット

ディスプレイユニット (DU) がパワーダウンシーケンスに入ってもレジスタ内容は保持されます。また、パワーダウンシーケンスの期間、ディスプレイユニット (DU) へのアクセスはしないようにしてください。

19.6.1 パワーダウンシーケンス実行前手順

1. 表示システム制御レジスタ (DSYSR) のDENビット=0、DRESビット=0として表示オフの設定を行います。
2. 次のVBKフラグを表示ステータスレジスタ (DSSR) のVBKビットで確認します (VBKのタイミングで表示オフが実行されるため)。
3. ディスプレイユニット (DU) は表示オフ時出力レジスタ (DOOR) のデータを表示します。
4. パワーダウンシーケンスを実行してください。
5. ディスプレイユニット (DU) は表示動作を停止します。

19.6.2 パワーダウンシーケンス解除後の表示起動

1. パワーダウンシーケンスを解除し、クロックを起動してください。
2. 表示システム制御レジスタ (DSYSR) のDENビット=1、DRESビット=0として表示オンの設定を行います。

19. ディスプレイユニット (DU)

20. グラフィックスデータトランスレーション アクセラレ - タ (GDTA)

本ブロックは、YUV4:2:0 フォ - マットから YUV4:2:2 フォ - マット変換、または ARGB 変換を行う YUV デ - タ変換処理 (CL) および動きベクトルによる予測画像の生成を行う動画処理 (MC) を内蔵しています。

GDTA 内部には GADMAC が存在し、CPU を介さず内部 GADMAC により、外部 DDR2-SDRAM と内部画像処理機能ブロックとの高速なデ - タ転送を行います。また、本ブロックにはバッファ RAM が存在し、このバッファ RAM は CL での色変換テーブルデータ、MC での IDCT データの格納ワーク RAM として使用されます。内部 GADMAC にて RAM 読み出しアクセスを行い、高速な画像処理を実現させます。

20.1 特長

- CL : YUVデ - タ変換処理部
外部メモリ上にある画像を読み出し、デ - タ処理、外部メモリへの書き戻し
変換モ - ド : YUV4:2:0 YUV4:2:2 (YUYVモード)、ARGB8888 (ARGBモード)
- MC : 動画処理制御部
外部メモリ上にある画像を読み出し、デ - タ処理、外部メモリへの書き戻し
マクロブロック単位 (Y : 16画素 × 16ライン、U/V : 8画素 × 8ライン) での動きベクトルによる予測画像の生成
モ - ド : 順方向、逆方向、両方向、イントラ展開
- デ - タ転送専用GADMAC内蔵およびデ - タバッファRAMを内蔵
デ - タ転送専用のGADMACを4チャンネル内蔵しており、CPUを介さずに高速なデ - タ転送が可能です。

また、CL での色変換テーブルデ - タ格納用 RAM、MC での IDCT データ格納用 RAM として各 8K バイトのバッファ RAM を内蔵しています。

図 20.1 に GDTA のブロック構成図を示します。

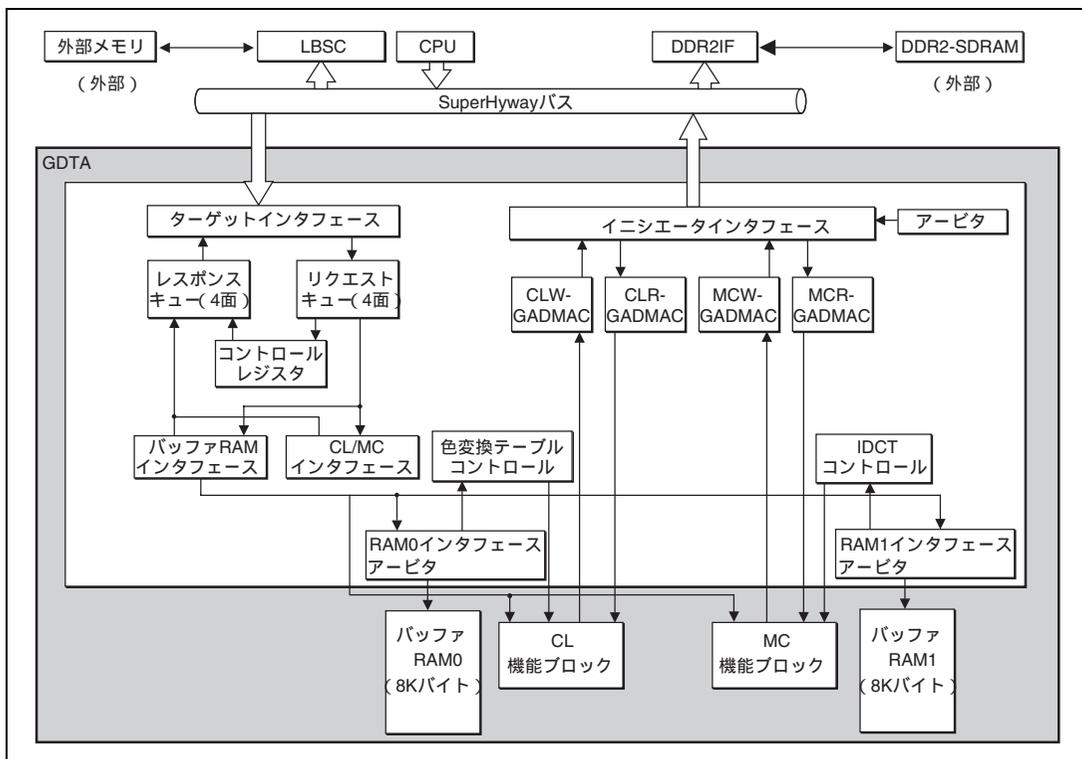


図 20.1 GDTA のブロック構成図

(1) ターゲットインタフェース

ターゲットインタフェースは、CPU から GDTA 内レジスタ、パッファRAM0/I および CL、MC 機能ブロック (画像処理機能ブロック) へのアクセス制御を行います。ターゲットインタフェースは高速な SuperHyway バス受信部にリクエストキュー/レスポンスキューを置いており、本バスにおけるイニシエータのアクセス負担を軽減します。

(2) イニシエータインタフェース

GDTA 内部に GADMAC を 4 チャンネル内蔵しており、外部メモリと内部画像処理機能ブロック間の DMA データ転送時のデータ制御を行います。

(3) GADMAC (CLR_GADMAC, CLW_GADMAC, MCR_GADMAC, MCW_GADMAC)

GADMAC は、外部メモリと内部画像処理機能ブロック間のデータ転送を行う DMA 制御を行います。CL 機能用 2 チャンネルと MC 機能用 2 チャンネルの計 4 チャンネル内蔵しております。GADMAC は、CL 機能ブロックおよび MC 機能ブロック内レジスタにて制御されます。

各チャンネルの用途は以下のようになります。

CLR_GADMAC : 外部メモリから CL 機能ブロックへのデータ転送 (読み込みデータ転送)

CLW_GADMAC : CL 機能ブロックから外部メモリへのデータ転送 (書き込みデータ転送)

MCR_GADMAC : 外部メモリから MC 機能ブロックへのデータ転送 (読み込みデータ転送)

MCW_GADMAC : MC 機能ブロックから外部メモリへのデータ転送 (書き込みデータ転送)

外部メモリ : 外部 DDR2-SDRAM や LocalBUS に接続される外部メモリ

(4) 色変換テーブルコントロール

色変換テーブルコントロールは、バッファ RAM0 と CL 機能ブロック間の色変換テーブルデータ転送を行います。

(5) IDCT コントロール

IDCT コントロールは、バッファ RAM1 と MC 機能ブロック間の IDCT データ転送を行います。

(6) バッファ RAM

バッファ RAM は、2 面あり、それぞれが 8K バイト容量の SRAM から構成されています。その用途は CL 機能として色変換テーブルデータの格納用(バッファ RAM0)、MC 機能として IDCT データの格納用(バッファ RAM1) として使用します。また、本バッファ RAM は、合計 16K バイトの容量すべてが CPU から見たメモリマップに割り付いています。有効アクセスサイズ : 4,8,16,32B 無効アクセスサイズ : 1,2B

(7) バッファ RAM インタフェース

バッファ RAM インタフェースは、バッファ RAM0/1 へのアクセス制御を行います。また、CPU および色変換テーブルデータ転送部または IDCT データ転送部からのアクセスが競合した際のバス調停を行います。バッファ RAM インタフェースは 2 面あるバッファ RAM に対し独立に 2 ブロック存在します。したがって、色変換テーブルデータ転送部からバッファ RAM0 への読み出しと IDCT データ転送部からバッファ RAM1 への読み出しが並走する中でもアクセス競合が発生しないため、待ち合わせなどによる処理時間の遅延が発生しません。

(8) CL 機能ブロック

CL としての機能を実現するブロックです。具体的には YUV4:2:0 フォーマットのデータを YUV4:2:2 フォーマット、または ARGB8888 フォーマットに変換します。

(9) MC 機能ブロック

MC としての機能を実現するブロックです。具体的には動きベクトルによる予測画像の生成を行います。

(10) CL/MC バスインタフェース

各バスインタフェースは、CPU からの CL/MC 機能ブロックへのアクセス制御を行います。

(11) Arbiter

GDTA 内蔵の各 GADMAC から SuperHyway バスへのアクセスが競合した際のバス調停を行います。

20.1.1 GDTA のアドレス空間マップ

図 20.2 に GDTA のアドレス空間マップ (物理アドレス) を示します。GDTA は、複数の機能ブロックから構成されており、機能ブロック単位にアドレス空間を分割所有しています。しかし、実在するアドレスはマップ上のすべてではなく、各機能ブロック内における後ろのアドレスは、同機能ブロックのミラ - 空間としてマッピングされています。各機能ブロックにおいて実在するアドレスは、「20.2 レジスタ説明」を参照ください。

また、ミラ - 空間はバッファ RAM にも存在します。

【注】 H'FE40_3000 ~ H'FE40_3FFF 空間は、DRCL_CTL レジスタ、DWCL_CTL レジスタ、DRMC_CTL レジスタ、DWMC_CTL レジスタ、DCP_CTL レジスタおよび DID_CTL レジスタ空間以外、予約領域のためライトアクセスは禁止です。アクセスした場合は、動作保証されません。

P4アドレス	エリア7アドレス	
H'FE40 0000	H'1E40 0000	Bus Interface部 共通レジスタ
H'FE40 1000	H'1E40 1000	CL
H'FE40 2000	H'1E40 2000	MC
H'FE40 3000	H'1E40 3000	予約領域
H'FE41 0000	H'1E41 0000	バッファRAM0 (8Kバイト)
H'FE41 2000	H'1E41 2000	未定義 (バッファRAM0 ミラ - 空間8Kバイト×7)
H'FE42 0000	H'1E42 0000	バッファRAM1 (8Kバイト)
H'FE42 2000	H'1E42 2000	未定義 (バッファRAM1 ミラ - 空間8Kバイト×7)
H'FE43 0000	H'1E43 0000	予約領域
H'FE4F FFFF	H'1E4F FFFF	

図 20.2 GDTA のアドレス空間マップ (物理アドレス)

20.2 レジスタ説明

GDTA のレジスタ構成を表 20.1 ~ 表 20.3 に示します。また、各処理モードにおけるレジスタの状態を表 20.4 ~ 表 20.6 に示します。

表 20.1 GDTA のレジスタ構成 (GDTA 共通レジスタ部)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	周期 クロック
GA マスクレジスタ	GACMR	R/W	H'FE40 000C	H'1E40 000C	32	GAck
GA イネーブルレジスタ	GACER	R/W	H'FE40 0010	H'1E40 0010	32	GAck
GA 処理終了割り込み要因表示レジスタ	GACISR	R	H'FE40 0014	H'1E40 0014	32	GAck
GA 処理終了割り込み要因表示クリアレジスタ	GACICR	W	H'FE40 0018	H'1E40 0018	32	GAck
GA 割り込みイネーブルレジスタ	GACIER	R/W	H'FE40 001C	H'1E40 001C	32	GAck
GA CL 出力データアライメントレジスタ	DWCL_CTL	R/W	H'FE40 3000	H'1E40 3000	32	GAck
GA CL 入力データアライメントレジスタ	DRCL_CTL	R/W	H'FE40 3200	H'1E40 3200	32	GAck
GA MC 入力データアライメントレジスタ	DRMC_CTL	R/W	H'FE40 3400	H'1E40 3400	32	GAck
GA MC 出力データアライメントレジスタ	DWMC_CTL	R/W	H'FE40 3600	H'1E40 3600	32	GAck
GA バッファ RAM0 データアライメントレジスタ	DCP_CTL	R/W	H'FE40 3800	H'1E40 3800	32	GAck
GA バッファ RAM1 データアライメントレジスタ	DID_CTL	R/W	H'FE40 3A00	H'1E40 3A00	32	GAck

表 20.2 GDTA のレジスタ構成 (CL 部)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	周期 クロック
CL Command FiFo	CLCF	W	H'FE40 1000	H'1E40 1000	32	GAck
CL コントロ - ルレジスタ	CLCR	R/W	H'FE40 1004	H'1E40 1004	32	GAck
CL ステータスレジスタ	CLSR	R	H'FE40 1008	H'1E40 1008	32	GAck
CL 入力フレ - ム幅設定レジスタ	CLIWR	R/W	H'FE40 100C	H'1E40 100C	32	GAck
CL 入力フレ - ム高さ設定レジスタ	CLIHR	R/W	H'FE40 1010	H'1E40 1010	32	GAck
CL 入力 Y パディングサイズ設定レジスタ	CLIYPR	R/W	H'FE40 1014	H'1E40 1014	32	GAck
CL 入力 UV パディングサイズ設定レジスタ	CLIUVP	R/W	H'FE40 1018	H'1E40 1018	32	GAck
CL 出力パディングサイズ設定レジスタ	CLOPR	R/W	H'FE40 101C	H'1E40 101C	32	GAck
CL パレットポイント設定レジスタ	CLPLPR	R/W	H'FE40 1020	H'1E40 1020	32	GAck

20. グラフィックステータトランслーションアクセラレータ (GDTA)

表 20.3 GDTA のレジスタ構成 (MC 部)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	周期 クロック
MC Command FiFo	MCCF	W	H'FE40 2000	H'1E40 2000	32	GAck
MC ステータスレジスタ	MCSR	R	H'FE40 2004	H'1E40 2004	32	GAck
MC 入力フレ - ム幅設定レジスタ	MCIWR	R/W	H'FE40 2008	H'1E40 2008	32	GAck
MC 入力フレ - ム高さ設定レジスタ	MCIHR	R/W	H'FE40 200C	H'1E40 200C	32	GAck
MC 入力 Y パディングサイズ設定レジスタ	MCIYPR	R/W	H'FE40 2010	H'1E40 2010	32	GAck
MC 入力 UV パディングサイズ設定レジスタ	MCIUVPR	R/W	H'FE40 2014	H'1E40 2014	32	GAck
MC 出力フレ - ム Y ポインタレジスタ	MCOYPR	R/W	H'FE40 2018	H'1E40 2018	32	GAck
MC 出力フレ - ム U ポインタレジスタ	MCOUPR	R/W	H'FE40 201C	H'1E40 201C	32	GAck
MC 出力フレ - ム V ポインタレジスタ	MCOVPR	R/W	H'FE40 2020	H'1E40 2020	32	GAck
MC 過去フレ - ム Y ポインタレジスタ	MCPYPR	R/W	H'FE40 2024	H'1E40 2024	32	GAck
MC 過去フレ - ム U ポインタレジスタ	MCPUPR	R/W	H'FE40 2028	H'1E40 2028	32	GAck
MC 過去フレ - ム V ポインタレジスタ	MCPVPR	R/W	H'FE40 202C	H'1E40 202C	32	GAck
MC 未来フレ - ム Y ポインタレジスタ	MCFYPR	R/W	H'FE40 2030	H'1E40 2030	32	GAck
MC 未来フレ - ム U ポインタレジスタ	MCFUPR	R/W	H'FE40 2034	H'1E40 2034	32	GAck
MC 未来フレ - ム V ポインタレジスタ	MCFVPR	R/W	H'FE40 2038	H'1E40 2038	32	GAck

表 20.4 GDTA の各処理モードにおけるレジスタの状態 (GDTA 共通レジスタ部)

レジスタ略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ディープ スリープ Sleep 命令による	モジュール スタンバイ
GACMR	H'0000 0000	H'0000 0000	保持	保持
GACER	H'0000 0000	H'0000 0000	保持	保持
GACISR	H'0000 0000	H'0000 0000	保持	保持
GACICR	H'0000 0000	H'0000 0000	保持	保持
GACIER	H'0000 0000	H'0000 0000	保持	保持
DRCL_CTL	H'0000 0000	H'0000 0000	保持	保持
DWCL_CTL	H'0000 0000	H'0000 0000	保持	保持
DRMC_CTL	H'0000 0000	H'0000 0000	保持	保持
DWMC_CTL	H'0000 0000	H'0000 0000	保持	保持
DCP_CTL	H'0000 0000	H'0000 0000	保持	保持
DID_CTL	H'0000 0000	H'0000 0000	保持	保持

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

表 20.5 GDTA の各処理モードにおけるレジスタの状態 (CL 部)

レジスタ略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ディープ スリープ Sleep 命令による	モジュール スタンバイ
CLCF	H'0000 0000	H'0000 0000	H'0000 0000*	H'0000 0000*
CLCR	H'0000 0000	H'0000 0000	保持	保持
CLSR	H'0000 0000	H'0000 0000	保持	保持
CLIWR	H'0000 0000	H'0000 0000	保持	保持
CLHR	H'0000 0000	H'0000 0000	保持	保持
CLYPR	H'0000 0000	H'0000 0000	保持	保持
CLIUVP	H'0000 0000	H'0000 0000	保持	保持
CLOPR	H'0000 0000	H'0000 0000	保持	保持
CLPLPR	H'0000 0000	H'0000 0000	保持	保持

【注】 読み出し時は、常に 0 が読み出されます。

表 20.6 GDTA の各処理モードにおけるレジスタの状態 (MC 部)

レジスタ略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ディープ スリープ Sleep 命令による	モジュール スタンバイ
MCCF	H'0000 0000	H'0000 0000	H'0000 0000*	H'0000 0000*
MCSR	H'0000 0000	H'0000 0000	保持	保持
MCIWR	H'0000 0000	H'0000 0000	保持	保持
MCIHR	H'0000 0000	H'0000 0000	保持	保持
MCIYPR	H'0000 0000	H'0000 0000	保持	保持
MCIUVP	H'0000 0000	H'0000 0000	保持	保持
MCOYPR	H'0000 0000	H'0000 0000	保持	保持
MCOUPR	H'0000 0000	H'0000 0000	保持	保持
MCOVPR	H'0000 0000	H'0000 0000	保持	保持
MCPYPR	H'0000 0000	H'0000 0000	保持	保持
MCPUPR	H'0000 0000	H'0000 0000	保持	保持
MCPVPR	H'0000 0000	H'0000 0000	保持	保持
MCFYPR	H'0000 0000	H'0000 0000	保持	保持
MCFUPR	H'0000 0000	H'0000 0000	保持	保持
MCFVPR	H'0000 0000	H'0000 0000	保持	保持

【注】 読み出し時は、常に 0 が読み出されます。

20.2.1 GA マスクレジスタ (GACMR)

GACMR レジスタは、GDTA 共通レジスタ部に存在するレジスタで、GA イネーブルレジスタ (GACER) の書き込みを許可するレジスタです。書き込みを許可するために Key コードを書き込む必要があります。初期値では、Key コードは書き込まれていないため、GACER レジスタへの書き込みはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GACM															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GACM															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	GACM	すべて 0	R/W	GACER レジスタへの書き込みを許可するための Key コード [H'A55A 0FF0] の書き込み Key コード以外設定時、GA イネーブルレジスタへの書き込みは無効です。

20.2.2 GA イネーブルレジスタ (GACER)

GACER レジスタは、GDTA 共通レジスタ部に存在するレジスタで、本ブロックの動作を制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MC_EN	CL_EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	-	リザ - ビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
1	MC_EN	0	R/W	MC レジスタへのアクセスを許可します。 0 : ライト : 無効 リード : 不定 1 : リードライト可能
0	CL_EN	0	R/W	CL レジスタへのアクセスを許可します。 0 : ライト : 無効 リード : 不定 1 : リードライト可能

20.2.3 GA 割り込み要因表示レジスタ (GACISR)

GACISR レジスタは、GDTA 共通レジスタ部に存在するレジスタで、各モジュールの割り込み要因を表示するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MC_ERR	CL_ERR	MC_END	CL_END
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R	R

ビット	ビット名	初期値	R/W	説明
30~4	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
3	MC_ERR	0	R	MC モジュールのエラー要因割り込み表示 0: エラー要因なし 1: エラー要因発生
2	CL_ERR	0	R	CL モジュールのエラー要因割り込み表示 0: エラー要因なし 1: エラー要因発生
1	MC_END	0	R	MC モジュールの処理終了割り込み表示 0: [クリア方法] GACISR レジスタ MC_ENCR ビット'1'ライト 1: 処理終了
0	CL_END	0	R	CL モジュールの処理終了割り込み表示 0: [クリア方法] GACISR レジスタ CL_ENCR ビット'1'ライト 1: 処理終了

【注】 MC 処理終了表示について

MC 処理終了は、コマンドに対する処理が完了し、MCCF (「20.2.21 MC Command FiFo (MCCF)」参照) へ終了コマンドをライトすることにより、MC 処理完了を表示します。

20.2.4 GA 割り込み要因表示クリアレジスタ (GACICR)

GACICR レジスタは GDТА 共通レジスタ部に存在するレジスタで、各モジュールの割り込み要因表示をクリアするレジスタです。

読み出しを行った場合には0が読めます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MC_	CL_	MC_	CL_
													ERRCR	ERRCR	ENCR	ENCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	W	W	W	W

ビット	ビット名	初期値	R/W	説明
30~4	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
3	MC_ ERCCR	0	W	MCのエラー要因割り込み表示クリア (MC_ERR クリア) 0: 無効 1: エラー要因割り込み表示クリア
2	CL_ ERCCR	0	W	CLのエラー要因割り込み表示クリア (CL_ERR クリア) 0: 無効 1: エラー要因割り込み表示クリア
1	MC_ ENCR	0	W	MCの処理終了割り込み表示クリア (MC_END クリア) 0: 無効 1: 処理終了割り込み表示クリア
0	CL_ ENCR	0	W	CLの処理終了割り込み表示クリア (CL_END クリア) 0: 無効 1: 処理終了割り込み表示クリア

20.2.5 GA 割り込みイネーブルレジスタ (GACIER)

GACIER レジスタは、GDTA 共通レジスタ部に存在するレジスタで、各モジュールの割り込み出力を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MC_	CL_	MC_	CL_
													EREN	EREN	ENEN	ENEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
3	MC_ EREN	0	R/W	MC モジュールのエラー要因発生による割り込み出力制御 0: 割り込み出力なし 1: 割り込みを出力する
2	CL_ EREN	0	R/W	CL モジュールのエラー要因発生による割り込み出力制御 0: 割り込み出力なし 1: 割り込みを出力する
1	MC_ ENEN	0	R/W	MC モジュールの処理終了による割り込み出力制御 0: 割り込み出力なし 1: 割り込みを出力する
0	CL_ ENEN	0	R/W	CL モジュールの処理終了による割り込み出力制御 0: 割り込み出力なし 1: 割り込みを出力する

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

20.2.6 GA CL 入力データアライメントレジスタ (DRCL_CTL)

DRCL_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、CL 入力データのデータアライメントを指定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DCLR_DTAM	DCLR_DTSA	DCLR_DTUA		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	-	リザ - ブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
4	DCLR_DTAM	0	R/W	データアライメント変換モード指定 0 : エンディアン信号によりデータアライメントを行います。 1 : DRCL_CTL レジスタ設定値によりデータアライメントを行います。
3, 2	DCLR_DTSA	00	R/W	データアライメントを行うデータサイズを指定します。 00 : 変換なし 01 : 64 ビット 10 : 32 ビット 11 : 16 ビット
1, 0	DCLR_DTUA	00	R/W	データアライメント変換単位を指定します。 00 : 変換なし 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20.2.7 GA CL 出力データアライメントレジスタ (DWCL_CTL)

DWCL_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、CL 出力データのデータアライメントを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DCLW_DTAM	DCLW_DTSA	DCLW_DTUA		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	-	リザ - ブビット 読み出しは0が読み出されます。書き込む値は常に0としてください
4	DCLW_DTAM	0	R/W	データアライメント変換モード指定 0: エンディアン信号によりデータアライメントを行います。 1: DWCL_CTL レジスタ設定値によりデータアライメントを行います。
3、2	DCLW_DTSA	00	R/W	データアライメントを行うデータサイズを指定します。 00: 変換なし 01: 64 ビット 10: 32 ビット 11: 16 ビット
1、0	DCLW_DTUA	00	R/W	データアライメント変換単位を指定します。 00: 変換なし 01: 8 ビット 10: 16 ビット 11: 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20. グラフィックステータトランслーションアクセラレータ (GDTA)

20.2.8 GA MC 入力データアライメントレジスタ (DRMC_CTL)

DRMC_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、MC 入力データのデータアライメントを指定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DMCR_DTAM	DMCR_DTSA	DMCR_DTUA		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	-	リザ - ブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
4	DMCR_DTAM	0	R/W	データアライメント変換モード指定 0 : エンディアン信号によりデータアライメントを行います。 1 : DRMC_CTL レジスタ設定値によりデータアライメントを行います。
3, 2	DMCR_DTSA	00	R/W	データアライメントを行うデータサイズを指定します。 00 : 変換なし 01 : 64 ビット 10 : 32 ビット 11 : 16 ビット
1, 0	DMCR_DTUA	00	R/W	データアライメント変換単位を指定します。 00 : 変換なし 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20.2.9 GA MC 出力データアライメントレジスタ (DWMC_CTL)

DWMC_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、MC 出力データのデータアライメントを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DMCW_DTAM	DMCW_DTSA	DMCW_DTUA		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	-	リザ - ブビット 読み出しは0が読み出されます。書き込む値は常に0としてください
4	DMCW_DTAM	0	R/W	データアライメント変換モード指定 0: エンディアン信号によりデータアライメントを行います。 1: DWMC_CTL レジスタ設定値によりデータアライメントを行います。
3, 2	DMCW_DTSA	00	R/W	データアライメントを行うデータサイズを指定します。 00: 変換なし 01: 64 ビット 10: 32 ビット 11: 16 ビット
1, 0	DMCW_DTUA	00	R/W	データアライメント変換単位を指定します。 00: 変換なし 01: 8 ビット 10: 16 ビット 11: 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

20.2.10 GA バッファ RAM0 データアライメントレジスタ (DCP_CTL)

DCP_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、バッファ RAM0 格納データのデータアライメントを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DCP_DTAM	DCP_DTSA	DCP_DTUA		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	-	リザ - ブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
4	DCP_DTAM	0	R/W	データアライメント変換モード指定 0: エンディアン信号によりデータアライメントを行います。 1: DCP_CTL レジスタ設定値によりデータアライメントを行います。
3, 2	DCP_DTSA	00	R/W	データアライメントを行うデータサイズを指定します。 00: 変換なし 01: 64 ビット 10: 32 ビット 11: 16 ビット
1, 0	DCP_DTUA	00	R/W	データアライメント変換単位を指定します。 00: 変換なし 01: 8 ビット 10: 16 ビット 11: 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20.2.11 GA バッファ RAM1 データアライメントレジスタ (DID_CTL)

DID_CTL レジスタは、GDTA 共通レジスタ部に存在するレジスタで、バッファ RAM1 格納データのデータアライメントを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DID_	DID_	DID_	DID_	DID_
												DTAM	DTSA	DTUA		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
4	DID_	0	R/W	データアライメント変換モード指定 0: エンディアン信号によりデータアライメントを行います。 1: DID_CTL レジスタ設定値によりデータアライメントを行います。
3、2	DID_	00	R/W	データアライメントを行うデータサイズを指定します。 00: 変換なし 01: 64 ビット 10: 32 ビット 11: 16 ビット
1、0	DID_	00	R/W	データアライメント変換単位を指定します。 00: 変換なし 01: 8 ビット 10: 16 ビット 11: 32 ビット

【注】 データアライメント変換パターンの詳細については、「20.5 データアライメント」を参照してください。

20.2.12 CL Command FiFo (CLCF)

CLCFは、CLレジスタ部に存在するレジスタで、コマンドを受け付けるレジスタです。本レジスタはFIFO方式となっており、書き込みを行った順序により4種のコマンドパラメータを認識します。本レジスタは書き込みを行った値を保持しません。

よって、読み出しを行った場合には0が読めます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CL_CF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CL_CF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~0	CL_CF	すべて0	W	Command FiFo レジスタ

【注】 1. 設定方法

本レジスタをアクセスする場合は、GACER レジスタの CL_EN ビットを1にセットしてください。CL_EN ビットが1の場合にのみアクセス可能となります。CL_EN ビットが0の場合は無効(書き込み:無効 読み出し:不定)となります。

書き込み順序により設定内容が以下のようになります。

書き込み順序	設定内容
CL コマンドパラメータ 1	入力 Y ポインタ
CL コマンドパラメータ 2	入力 U ポインタ
CL コマンドパラメータ 3	入力 V ポインタ
CL コマンドパラメータ 4	出力ポインタ

} CL コマンド

入力 Y ポインタ: 入力 Y データポインタ (入力 Y データ格納アドレス)

入力 U ポインタ: 入力 U データポインタ (入力 U データ格納アドレス)

入力 V ポインタ: 入力 V データポインタ (入力 V データ格納アドレス)

出力ポインタ: 出力データポインタ (出力データ格納アドレス)

2. 連続設定を行う場合の設定方法

本レジスタを連続的に設定する場合は、CLSR の CL_CFF ビットが0となっているときには、次コマンド受付可能状態となっています。

コマンドのみ変更して処理を行いたい場合は、本レジスタのみの設定が可能です。

3. 入力 Y/U/V ポインタ、出力ポインタは、32 バイト境界を守ってください。32 バイト境界を守らない場合、下位アドレスを 0 と見なします。
4. 2 コマンド受付可能です。コマンド FIFO フル時、次コマンドをライトされた場合、コマンド FIFO に蓄積されているコマンドが保護され、次コマンドが無効となります。

20.2.13 CL コントロ - ルレジスタ (CLCR)

CLCR レジスタは、CL レジスタ部に存在するレジスタで、CL の動作モードを設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CL_DA					—	CL_OD	CL_OA	CL_MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	-	リザ - ビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
8~4	CL_DA	すべて 0	R/W	出力データアライメント指定 指定された値に対するアライメントは、表 20.7 を参照ください。
3	-	0	-	リザ - ビット 読み出しは 0 が読み出されます。書き込む値は常に 0 としてください
2	CL_OD	0	R/W	出力アクセスサイズ設定 (出力時のアクセスサイズを設定) 0 : 出力 4Byte 1 : 出力 32Byte
1	CL_OA	0	R/W	出力アドレスモード設定 0 : 出力アドレス増加 出力 4Byte 時、H'4 づつ増加し、出力 32Byte 時、H'20 づつ増加します。 1 : 出力アドレス固定 CLCF レジスタへのコマンドパラメータ 4 (出力ポインタ) にて設定されたアドレスが出力されます。
0	CL_MD	0	R/W	変換モード設定 0 : YUYV 変換 YUV420 フォ - マット YUV422 フォ - マットに変換します 1 : ARGB 変換 YUV420 フォ - マット ARGB8888 フォ - マットに変換します

20 . グラフィックステータトランスレーションアクセラレータ (GDTA)

表 20.7 CL_DA 設定値 CL 出力データアライメント対応表

CL_DA	YUYV 変換	ARGB 変換	CL_DA	YUYV 変換	ARGB 変換	CL_DA	YUYV 変換	ARGB 変換
H'0	Y0UY1V	ARGB	H'B	Y1VUY0	GBRA	H'16	VUY0Y1	BRAG
H'1	Y0UVY1	ARBG	H'C	UY1Y0V	RGAB	H'17	VUY1Y0	BRGA
H'2	Y0Y1UV	AGRB	H'D	UY1VY0	RGBA	H'18	Y0UY1V	ARGB
H'3	Y0Y1VU	AGBR	H'E	UY0Y1V	RAGB	H'19	Y0UY1V	ARGB
H'4	Y0VY1U	ABGR	H'F	UY0VY1	RABG	H'1A	Y0UY1V	ARGB
H'5	Y0VUY1	ABRG	H'10	UVY0Y1	RBAG	H'1B	Y0UY1V	ARGB
H'6	Y1UY0V	GRAB	H'11	UVY1Y0	RBGA	H'1C	Y0UY1V	ARGB
H'7	Y1UVY0	GRBA	H'12	VY1Y0U	BGAR	H'1D	Y0UY1V	ARGB
H'8	Y1Y0UV	GARB	H'13	VY1UY0	BGRA	H'1E	Y0UY1V	ARGB
H'9	Y1Y0VU	GABR	H'14	VY0Y1U	BAGR	H'1F	Y0UY1V	ARGB
H'A	Y1VY0U	GBAR	H'15	VY0UY1	BARG	-	-	-

20.2.14 CL ステータスレジスタ (CLSR)

CLSR レジスタは、CL レジスタ部に存在するレジスタで、CL の内部状態を表示するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CLSR_EXE	CL_CFF	CL_CFS	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
3	CLSR_EXE	0	R	CL 実行状態表示 0 : 停止中 1 : 実行中
2	CL_CFF	0	R	CL_CF (コマンド FIFO) の状態表示 ビット[2]:コマンドバッファ受け付け状態表示 0 : コマンド受け付け可能状態 1 : コマンドバッファ Full 状態
1、0	CL_CFS	00	R	コマンドポインタ表示 00 : CL_CF コマンドパラメータ 1 設定待ち状態 01 : CL_CF コマンドパラメータ 2 設定待ち状態 10 : CL_CF コマンドパラメータ 3 設定待ち状態 11 : CL_CF コマンドパラメータ 4 設定待ち状態

20.2.15 CL 入力フレ - ム幅設定レジスタ (CLWR)

CLWR レジスタは、CL レジスタ部に存在するレジスタで、入力画像幅を設定するレジスタです。設定単位は画素数です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_W											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ブビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	CL_W	すべて0	R/W	フレ - ム幅設定 画素単位で設定してください 設定値は、 $2 \times n$ ($n: 0 < \text{整数}$) としてください。

- 【注】
1. 設定値0にて、CL 処理を行うことは禁止です。
 2. 1画素 = 1バイトと換算して加算します。
 3. $\text{CLIWR (バイト)} + \text{CLYPR (バイト)}$ 32バイト $\times n$ としてください。 ($n: 0 < \text{整数}$)
 4. $\text{CLIWR (バイト)} / 2 + \text{CLUVPR (バイト)}$ 32バイト $\times n$ としてください。 ($n: 0 < \text{整数}$)

20.2.16 CL 入力フレ - ム高さ設定レジスタ (CLHR)

CLHR レジスタは、CL レジスタ部に存在するレジスタで、入力画像高さを設定するレジスタです。設定単位はライン数です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_H											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ブビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	CL_H	すべて0	R/W	フレ - ム高さ設定 ライン単位で設定してください

【注】 設定値0にて、CL処理を行うことは禁止です。

20.2.17 CL 入力 Y パディングサイズ設定レジスタ (CLYIPR)

CLYIPR レジスタは、CL レジスタ部に存在するレジスタで、入力 Y パディングサイズを設定するレジスタです。設定単位はバイトです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_IYP											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - フビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	CL_IYP	すべて0	R/W	入力 Y パディングサイズ設定 バイト単位で設定してください 設定値は、 $2 \times n$ ($n: 0 < \text{整数}$) としてください。

- 【注】
- 1画素 = 1バイトと換算して加算します。
 2. CL_IWR (バイト) + CL_IYP (バイト) 32バイト × n としてください。 ($n: 0 < \text{整数}$)

20.2.18 CL 入力 UV パディングサイズ設定レジスタ (CLIUVPR)

CLIUVPR レジスタは、CL レジスタ部に存在するレジスタで、入力 UV パディングサイズを設定するレジスタです。

設定単位はバイトです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_IUVP											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	CL_ IUVP	すべて0	R/W	入力 UV パディングサイズ設定 バイト単位で設定してください

- 【注】
- 1 画素 = 1 バイトと換算して加算します。
 2. $CL_IWR (\text{バイト}) / 2 + CL_IUVP (\text{バイト}) \times n$ 32 バイト $\times n$ としてください。 ($n: 0 < \text{整数}$)

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

20.2.19 CL 出力パディングサイズ設定レジスタ (CLOPR)

CLOPR レジスタは、CL レジスタ部に存在するレジスタで、出力パディングサイズを設定するレジスタです。設定単位はバイトです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_OP											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ブビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	CL_OP	すべて0	R/W	出力パディングサイズ設定 バイト単位で設定してください 設定値は、 $2 \times n$ ($n: 0 < \text{整数}$) としてください。

20.2.20 CL パレットポインタレジスタ (CLPLPR)

CLPLPR は、CL レジスタ部に存在するレジスタで、色変換テーブルポインタを設定するレジスタです。ワークとして使用する RAM0 のアドレスを指定してください。本設定は ARGB 変換モードに使用し、YUYV 変換モード時には使用しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CL_PLPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CL_PLPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CL_PLPT	すべて0	R/W	パレットポインタ設定 アドレスを指定してください アドレス指定範囲: H'FE41_0000 ~ H'FE41_1FFF (P4 アドレス)

【注】 指定アドレスは、4バイト境界を守ってください。

20.2.21 MC Command FiFo (MCCF)

MCCF は、MC レジスタ部に存在するレジスタで、コマンドを受け付けるレジスタです。本レジスタは FIFO 方式となっており、書き込みを行った順序により最大 8 種のコマンドパラメータを認識します。本レジスタは書き込みを行った値を保持しません。

よって、読み出しを行った場合には 0 が読めます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_CF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_CF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~0	MC_CF	すべて 0	W	Command FiFo レジスタ

- 設定方法

本レジスタにアクセスする場合は、GACER レジスタの MC_EN ビットを 1 にセットしてください。MC_EN ビットが 1 の場合にのみアクセス可能となります。MC_EN ビットが 0 の場合は書き込み無効、読み出し不定となります。

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

書き込み順序により設定内容が以下のようになります。

書き込み 順序	イントラ展開	順方向展開	逆方向展開	両方向展開	終了コマンド
コマンド パラメータ 1	ビット[31:26]:cbp ビット[2:0]:H'0	ビット[31:26]:cbp ビット[2:0]:H'1	ビット[31:26]:cbp ビット[2:0]:H'2	ビット[31:26]:cbp ビット[2:0]:H'3	ビット[2:0]: H'4
コマンド パラメータ 2	mbcol	mbcol	mbcol	mbcol	-
コマンド パラメータ 3	mbrow	mbrow	mbrow	Mbrow	-
コマンド パラメータ 4	バッファ RAM ポインタ	Forward_Recon_ down	Back_Recon_ down	Forward_Recon_ down	-
コマンド パラメータ 5	-	Forward_Recon_ right	Back_Recon_ right	Forward_Recon_ right	-
コマンド パラメータ 6	-	バッファ RAM ポインタ	バッファ RAM ポインタ	Back_Recon_ down	-
コマンド パラメータ 7	-	-	-	Back_Recon_ right	-
コマンド パラメータ 8	-	-	-	バッファ RAM ポインタ	-

MC
コマンド

MC 動作モード :

ビット [2:0] : H'0 イントラ展開
 ビット [2:0] : H'1 順方向展開
 ビット [2:0] : H'2 逆方向展開
 ビット [2:0] : H'3 両方向展開
 ビット [2:0] : H'4 終了コマンド (ビット [2] : 1 のときは、終了コマンドとして認識します。)

cbp : 符号化ブロックパターン (coded_block_pattern)

ビット 31 : Y0 IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)
 ビット 30 : Y1 IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)
 ビット 29 : Y2 IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)
 ビット 28 : Y3 IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)
 ビット 27 : U IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)
 ビット 26 : V IDCT データの有無を示します。 (0/1 : IDCT データ無効 / IDCT データ有効)

mbcol : マクロブロック単位での行位置 (単位はマクロブロック数)

mbrow : マクロブロック単位での列位置 (単位はマクロブロック数)

Forward_Recon_down : 過去フレームの縦方向ベクトル (単位は半画素数)

Forward_Recon_right : 過去フレームの横方向ベクトル (単位は半画素数)

Back_Recon_down : 未来フレームの縦方向ベクトル (単位は半画素数)

Back_Recon_right : 未来フレームの横方向ベクトル (単位は半画素数)

バッファ RAM ポインタ : 使用するバッファ RAM1 ポインタ (IDCT 格納 RAM1 アドレス)

- MCommandFiFoレジスタ (MCCF) 設定注意事項

1. バッファRAMポインタは、4バイト境界を守ってください。4バイト境界を守らない場合、下位アドレスを0と見なします。
2. 連続設定を行う場合、MCSRのMC_CFFビットが0となっている場合には、次コマンド受付可能状態となっています。
コマンドのみ変更して処理を行いたい場合は、本レジスタのみの設定で可能です。
3. 4つのコマンド受付可能です。コマンドFIFOフル時、次コマンドをライトされた場合、コマンドFIFOに蓄積されているコマンドが保護され、次コマンドが排除されます。
4. cbp : 6'h00の場合もRAM1ポインタを指定してください。(指定アドレスはHFE42_0000としてください)
5. イントラ展開モード時、cbp設定値 : 6'h3F以外の場合、出力データ値は保証されません。

20.2.22 MC ステータスレジスタ (MCSR)

MCSR レジスタは、MC レジスタ部に存在するレジスタで、MC の内部状態を表示するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	MC_CFA		—	—	—	—	—	MC_CFF	MC_CFS		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R	R	R	—	—	—	—	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
10~8	MC_CFA	000	R	MCCF (コマンド FIFO) コマンド蓄積数表示 最大蓄積数 : 4 蓄積数 000 : 0 001 : 1 010 : 2 011 : 3 100 : 4
7~4	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
3	MC_CFF	0	R	MCCF の状態表示 コマンドバッファ受け付け状態表示 0 : コマンド受け付け可能状態 1 : コマンドバッファ full 状態
2~0	MC_CFS	000	R	コマンドポインタ表示 000 : MCCF コマンドパラメータ 1 設定待ち状態 001 : MCCF コマンドパラメータ 2 設定待ち状態 010 : MCCF コマンドパラメータ 3 設定待ち状態 011 : MCCF コマンドパラメータ 4 設定待ち状態 100 : MCCF コマンドパラメータ 5 設定待ち状態 101 : MCCF コマンドパラメータ 6 設定待ち状態 110 : MCCF コマンドパラメータ 7 設定待ち状態 111 : MCCF コマンドパラメータ 8 設定待ち状態

20.2.23 MC 入力フレーム幅設定レジスタ (MCWR)

MCWR レジスタは、MC レジスタ部に存在するレジスタで、入力フレーム幅を設定するレジスタです。設定単位は画素数です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MC_W											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ-ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	MC_W	すべて0	R/W	フレーム幅設定 画素数を設定してください

【注】 設定値0にて、MC処理を行うことは禁止です。1画素=1バイトと換算して加算します。

1. MCWR (バイト) + MCYPR (バイト) 16バイト×n としてください。(n:0<整数)
2. MCWR (バイト) / 2 + MCVPR (バイト) 8バイト×n としてください。(n:0<整数)
MCWR (バイト) / 2 : MCWR 設定値を1ビット右シフトします。(設定値奇数の場合:ビット0設定値は切り捨てとなります。)

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

20.2.24 MC 入力フレ - ム高さ設定レジスタ (MCHR)

MCHR レジスタは、MC レジスタ部に存在するレジスタで、入力画像高さを設定するレジスタです。設定単位はライン数です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MC_H											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	MC_H	すべて0	R/W	フレ - ム高さ設定 ライン数を設定してください

【注】 設定値0にて、MC 処理を行うことは禁止です。

20.2.25 MC 入力 Y パディングサイズ設定レジスタ (MCYPR)

MCYPR レジスタは、MC レジスタ部に存在するレジスタで、入力 Y パディングサイズを設定するレジスタです。設定単位はバイト数です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MC_YP											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	MC_YP	すべて0	R/W	入力 Y パディングサイズ設定 バイト数を設定してください

【注】 1. 1画素 = 1バイトと換算して加算します。

2. MCWR (バイト) + MCYPR (バイト) 16バイト × n としてください。 (n: 0 < 整数)

20.2.26 MC 入力 UV パディングサイズ設定レジスタ (MCUVPR)

MCUVPR レジスタは、MC レジスタ部に存在するレジスタで、入力 UV パディングサイズを設定するレジスタです。

設定単位はバイト数です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MC_UVP											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	-	リザ - ビット 読み出しは0が読み出されます。書き込む値は常に0としてください
11~0	MC_UVP	すべて0	R/W	入力 UV パディングサイズ設定 バイト数を設定してください

- 【注】
- 1画素 = 1バイトと換算して加算します。
 - MCWR (バイト) / 2 + MCVPR (バイト) 8バイト × n としてください。 (n: 0 < 整数)
MCWR (バイト) / 2 : MCWR 設定値を1ビット右シフトします。(設定値奇数の場合: ビット0設定値は切り捨てとなります。)

20.2.27 MC 出力フレーム Y ポインタレジスタ (MCOYPR)

MCOYPR レジスタは、MC レジスタ部に存在するレジスタで、出力フレームの Y ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_OYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_OYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_OYPT	すべて0	R/W	出力フレーム Y ポインタ設定 アドレスを設定してください。[3:0]: 0 ライトとしてください。

【注】 指定アドレスは、16 バイト境界を守ってください。

20.2.28 MC 出力フレーム U ポインタレジスタ (MCOUPR)

MCOUPR レジスタは、MC レジスタ部に存在するレジスタで、出力フレームの U ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_OUPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_OUPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_OUPT	すべて0	R/W	出力フレーム U ポインタ設定 アドレスを設定してください。[2:0]: 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20.2.29 MC 出力フレーム V ポインタレジスタ (MCOVPR)

MCOVPR レジスタは、MC レジスタ部に存在するレジスタで、出力フレームの V ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_OVPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_OVPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_OVPT	すべて 0	R/W	出力フレーム V ポインタ設定 アドレスを設定してください。[2:0]: 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20.2.30 MC 過去フレーム Y ポインタレジスタ (MCPYPR)

MCPYPR レジスタは、MC レジスタ部に存在するレジスタで、過去フレームの Y ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_PYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_PYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_PYPT	すべて 0	R/W	過去フレーム Y ポインタ設定 アドレスを設定してください。[3:0]: 0 ライトとしてください。

【注】 指定アドレスは、16 バイト境界を守ってください。

20.2.31 MC 過去フレーム U ポインタレジスタ (MCPUPR)

MCPUPR レジスタは、MC レジスタ部に存在するレジスタで、過去フレームの U ポインタを設定するレジスタです。アドレスを設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_PUPT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_PUPT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_PUPT	すべて 0	R/W	過去フレーム U ポインタ設定 アドレスを設定してください。[2:0] : 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20.2.32 MC 過去フレーム V ポインタレジスタ (MCPVPR)

MCPVPR レジスタは、MC レジスタ部に存在するレジスタで、過去フレームの V ポインタを設定するレジスタです。アドレスを設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_PVPT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_PVPT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_PVPT	すべて 0	R/W	過去フレーム V ポインタ設定 アドレスを設定してください。[2:0] : 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20.2.33 MC 未来フレーム Y ポインタレジスタ (MCFYPR)

MCFYPR レジスタは、MC レジスタ部に存在するレジスタで、未来フレームの Y ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_FYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_FYPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_FYPT	すべて 0	R/W	未来フレーム Y ポインタ設定 アドレスを設定してください。[3:0]: 0 ライトとしてください。

【注】 指定アドレスは、16 バイト境界を守ってください。

20.2.34 MC 未来フレーム U ポインタレジスタ (MCFUPR)

MCFUPR レジスタは、MC レジスタ部に存在するレジスタで、未来フレームの U ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_FUPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_FUPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_FUPT	すべて 0	R/W	未来フレーム U ポインタ設定 アドレスを設定してください。[2:0]: 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20. グラフィックステータトランслーションアクセラレータ (GDТА)

20.2.35 MC 未来フレーム V ポインタレジスタ (MCFVPR)

MCFVPR レジスタは、MC レジスタ部に存在するレジスタで、未来フレームの V ポインタを設定するレジスタです。アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MC_FVPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC_FVPT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MC_FVPT	すべて 0	R/W	未来フレーム V ポインタ設定 アドレスを設定してください。[2:0]: 0 ライトとしてください。

【注】 指定アドレスは、8 バイト境界を守ってください。

20.3 GDTA 動作説明

20.3.1 CL 動作説明

CL は、GACER レジスタ CL_EN ビットに'1'を書き込むことにより CL レジスタ部のレジスタにアクセスが可能となります。CL は、初期設定として入力フレーム幅/高さ、入力パディングサイズ、出力パディングサイズ、動作モード、(ARGB 変換モード時はパレットポイント設定)を行った後、CLCF レジスタに対し、順次書き込まれたデータを受け付け、4 コマンドパラメータ分受け付けた時点(入力 Y/U/V ポインタ、出力ポインタ)で処理が開始されます。処理は、設定された入力 1 フレーム分(幅×高さ)のデータを読み出し、CLCR レジスタ CL_MD ビットの設定により本モジュール内で YUYV 変換または ARGB 変換を行います。1 フレーム単位に処理を行い、変換後データを出力先に対し、1 フレーム分送出します。また、CL は 2 面分のコマンドを蓄積でき、2 面分たまった状態(コマンド FIFO フル)では次フレーム設定(CLCF レジスタ)は受け付けません。

処理終了判定は、割り込みもしくは GACISR レジスタの CL_END ビットで確認することができます。

(1) YUYV 変換機能概要

以下に YUYV 変換仕様概要を示します。

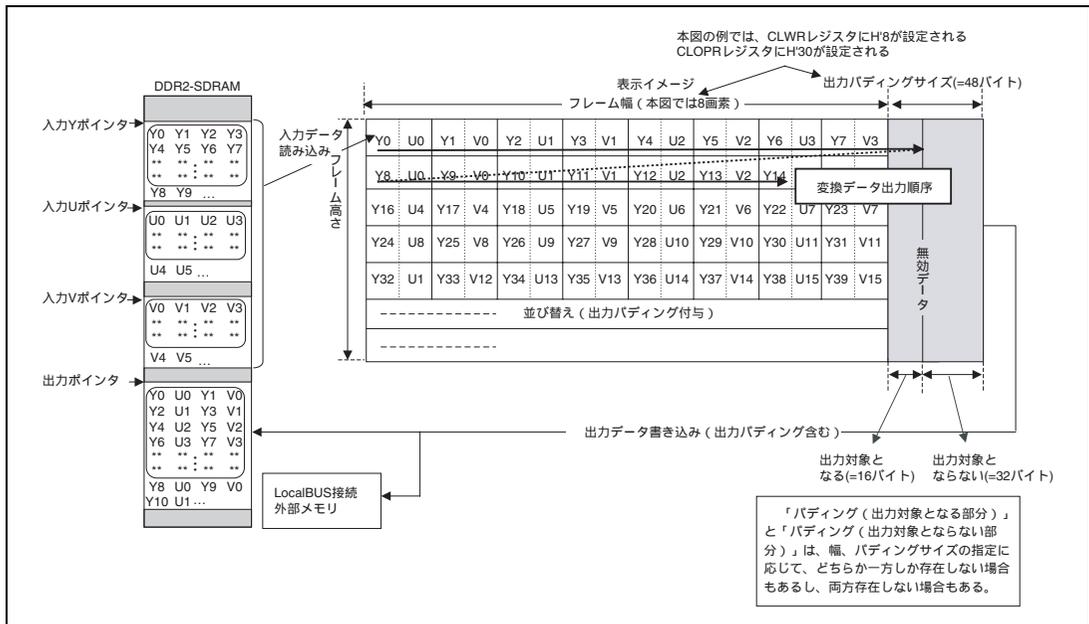


図 20.3 YUYV 変換機能概要

図 20.3 に示す YUYV4:2:2 変換シーケンスを表 20.8 に示します。

表中の No.は、図 20.3 内の番号を意味します。

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

表 20.8 YUYV4:2:2 変換シーケンス

No.	動作	動作内容
	入力データ 読み出し	<p>DDR2-SDRAM に YUV 分離して格納されている入力データを GDTA に読み込みます。</p> <p>入力データは、入力 Y (UV) パディングサイズで規定されるパディング分のデータが含まれているが、GDTA はそのパディング分を除きデータを読み込みます。ただし、入力フレーム幅が、32 バイト境界に満たない場合は、その分のパディング分を GDTA 内に読み込みます。DDR2-SDRAM から GDTA への転送は、32byte 単位に読み込むため、入力データサイズは、1line (フレーム幅 + 入力パディング分) の入力データを 32byte の整数倍にしてください。また、Y と UV の入力パディングサイズ指定値ずれによる動作は保証しません。</p>
	並び替え	<p>図 20.3 の表示イメージに示しますフォーマットに従い YUV データの並び替えを行います。</p> <p>(YUYV4:2:0 YUYV4:2:2 変換の場合、Y に対し UV のデータ量は 1/2 のため奇数 line の UV データは、偶数 line の UV データを使用します。例えば : line0 の UV データを line1 にも使用します。)</p> <p>出力先によらず変換データを図 20.3 の表示イメージ図中の変換データ出力順序に従い出力します。また、変換データを出力する際、CLOPR レジスタにより指定された出力パディングを付加し出力します。</p>
	出力データ 書き込み	<p>出力データの転送単位が 32byte のため、1line の出力データ量を出力パディングを含み 32byte の整数倍となるようにしてください。</p> <p>(転送先が外部デバイス時も同様に 1line32Byte の整数倍としてください。)</p> <p>32 バイト境界調整として使用する以外のパディング分は、出力しません。</p> <p>出力データライトアドレスは、1line ごとに出力パディングサイズで設定されたパディング分アドレスを加算し、次 line 出力のアドレスとします。</p>

(2) ARGB 変換機能概要

以下に ARGB 変換仕様概要を示します。

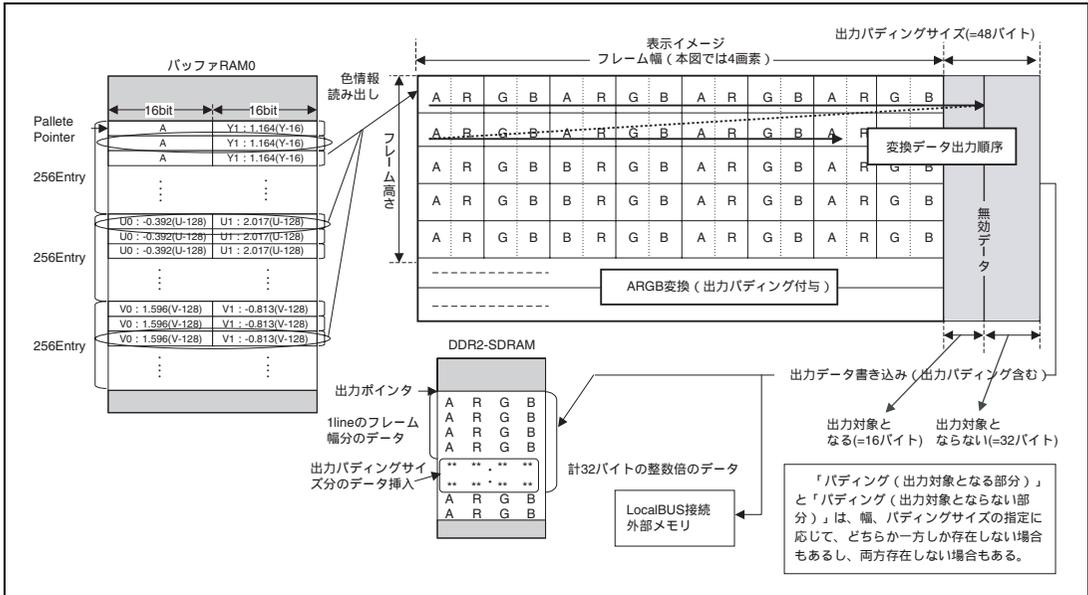


図 20.4 ARGB 変換機能概要

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

図 20.4 に示す ARGB8888 変換シーケンスを表 20.9 に示します。

表中の No.は、図 20.4 内の番号を意味します。(、 については図 20.3 内の番号を意味します。)

表 20.9 ARGB8888 変換シーケンス

No.	動作	動作内容
	入力データ 読み込み	DDR2-SDRAM に YUV 分離して格納されている入力データを GDTA に読み込みます。 入力データは、入力 Y (UV) パディングサイズで規定されるパディング分のデータが含まれているが、GDTA はそのパディング分を除きデータを読み込みます。但し、入力フレーム幅が、32 バイト境界に満たない場合は、その分のパディング分を GDTA 内に読み込みます。DDR2-SDRAM から GDTA への転送は、32byte 単位に読み込むため、入力データサイズは、1line (フレーム幅 + 入力パディング分) の入力データを 32byte の整数倍にしてください。また、Y と UV の入力パディングサイズ指定値ずれによる動作は保証しません。
	並び替え	図 20.3 の表示イメージに示すフォーマットに従い YUV データの並び替えを行います。 (YUV4:2:0 YUV4:2:2 変換の場合、Y に対し UV のデータ量は 1/2 のため奇数 line の UV データは、偶数 line の UV データを使用します。例えば :line0 の UV データを line1 にも使用します。)
	色情報 読み込み	にて変換処理されたデータをバッファ RAM0 に格納されている色変換テーブルのアドレス (CLPLPR レジスタ設定アドレス + 変換されたデータ) として使用し、色情報をバッファ RAM0 から読み出します。 (変換されたデータ: により変換したデータを 2 ビット左シフトして、RAM0 アドレス加算値とします。) (バッファ RAM0 の Palette Pointer 値 (CLPLPR レジスタ設定アドレス) に、DDR2-SDRAM から読み出した Y の値を加算したバッファ RAM0 アドレスに格納されている色情報を読み込みます。(U、V も同様))
	ARGB 変換	バッファ RAM0 から読み出した色情報から以下の式により ARGB を生成し、図 20.4 の表示イメージに示すフォーマットに従い変換データを出力します。ARGB 変換は以下の変換論理により変換します。 $A = \text{RAM0 より読み出した符号なし 16 ビット (整数 11 ビット、小数 5 ビット) のデータに対し、clip.0.255}((A + 16) \gg 5);$ 左記演算結果を出力します。 $R = \text{clip_0_255}((Y1 + V0 + 16) \gg 5);$ $G = \text{clip_0_255}((Y1 + U0 + V1 + 16) \gg 5);$ $B = \text{clip_0_255}((Y1 + U1 + V2 + 16) \gg 5);$ Y1=0 のとき、R,G,B=0 に変換します。 $\text{clip_0_255} : 8 \text{ ビット飽和演算} (0 \times 255) \text{ (最上位ビット (bit15) により符号判定を行います。)}$ また、出力先によらず変換データを図 20.4 の表示イメージ図中の変換データ出力順序に従い出力します。 変換データを出力する際、CLWR レジスタにより認定されたフレーム幅 × 4 を 32 整数倍に切り上げたサイズを出力します。
	出力データ 書き込み	出力データの転送単位が 32byte のため、1line の出力データ量を出力パディングを含み 32byte の整数倍となるようにしてください。 32 バイト境界調整として使用する以外のパディング分は、出力しません。 出力データライトアドレスは、1line ごとに出力パディングサイズで設定されたパディング分アドレスを加算し、次 line 出力のアドレスとします。

(3) CL 処理手順

CPU から各初期設定を行い処理起動します。YUYV 変換モード、ARGB 変換モード共に処理手順は同じですが、ARGB 変換モード時には色変換テーブルのデータがバッファ RAM0 に用意されている必要があります。以下手順を示します。

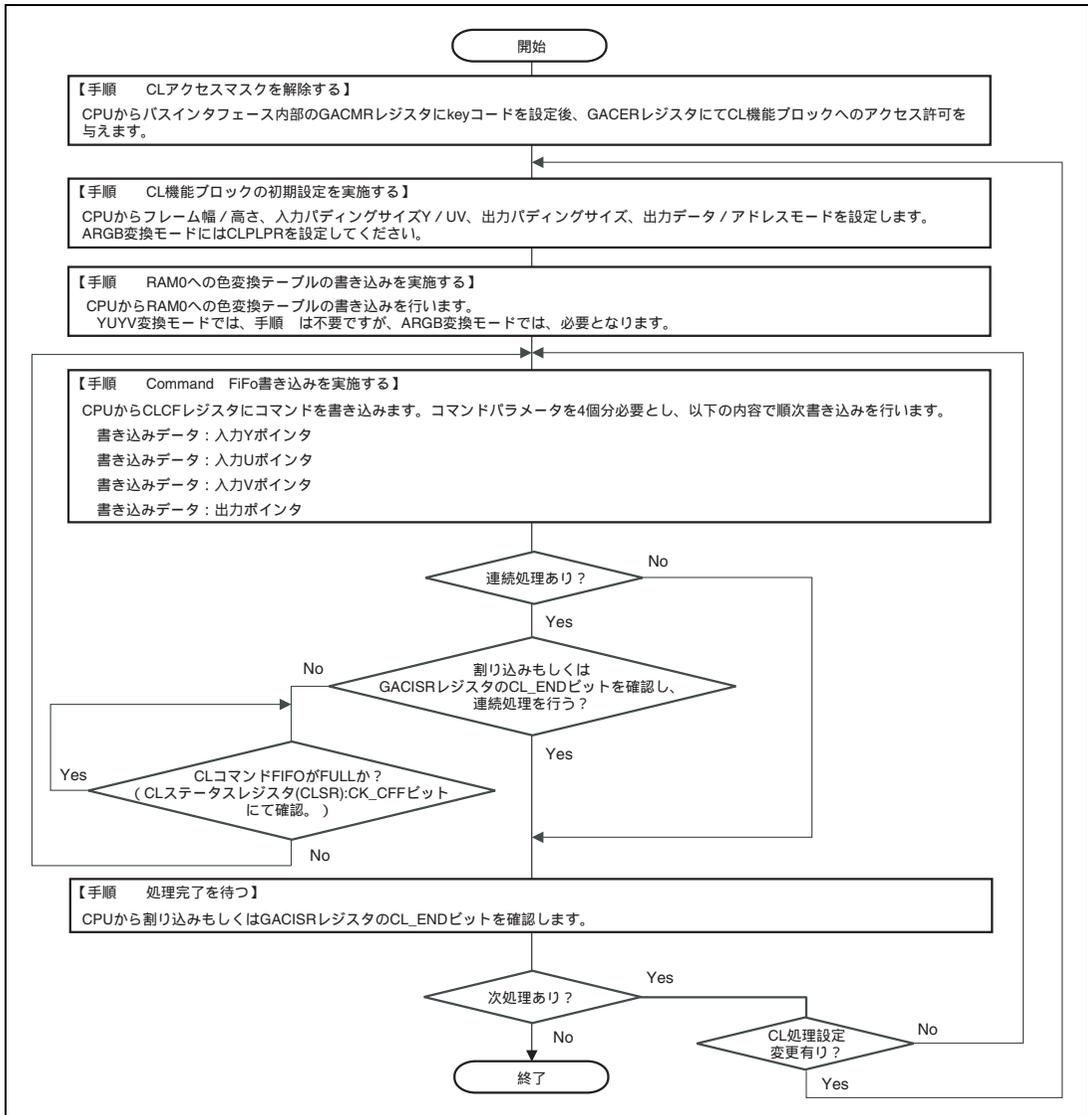


図 20.5 CL 処理手順

20.3.2 MC 動作説明

MC は、GACER レジスタ MC_EN ビットに'1'を書き込むことにより MC レジスタ部のレジスタにアクセスが可能となります。MC は、初期設定として入力フレーム幅/高さ、入力 YUV パディングサイズ、出力フレーム YUV ポインタ、過去フレーム YUV ポインタ、未来フレーム YUV ポインタを行った後、MCCF レジスタに対し、順次書き込まれたデータを受け付け、最大 8 コマンドパラメータ分受け付けた時点 (予測モード、ベクトル、バッファ RAM1 アドレス) で処理が開始されます。処理は、設定された入力フレームのマクロブロック (Y:16 画素×16 ライン、U/V:8 画素×8 ライン) 単位でデータを読み出し、本モジュール内で予測画像生成を行います。生成データを出力先に対し、マクロブロック分送出します。

また、MC は 4 面分のコマンドを蓄積でき、4 面分たまった状態 (コマンド FIFO フル) には次フレーム設定 (MCCF レジスタ) は受け付けません。

処理終了判定は、割り込みもしくは GACISR レジスタの MC_END ビットで確認することができます。

図 20.6 は、「順方向マクロ展開」における Y マクロ 1 個分の処理を示します。(Y,U,V の 3 処理後、終了コマンドライトにより終了割り込みを通知します)。これに対し、「逆方向マクロ展開」は、図 20.6 の DDR からのデータ取り込みアドレスを未来フレームポインタに変えるのみで他の処理は同じです。よって、「両方向マクロ展開」は、 $(\text{半画素補正した過去データ} + \text{半画素補正した未来データ} + 1) / 2$ を補正処理結果として IDCT データとの演算を行います。

最後に、「イントラマクロ展開」に関しては、IDCT 符号付データ (最上位ビット (ビット 15) により符号判定を行います。) を符号なし 8bit に変換し出力対象位置に書き込みます。

(1) 予測画生成機能概要

以下に予測画生成機能概要を示します。

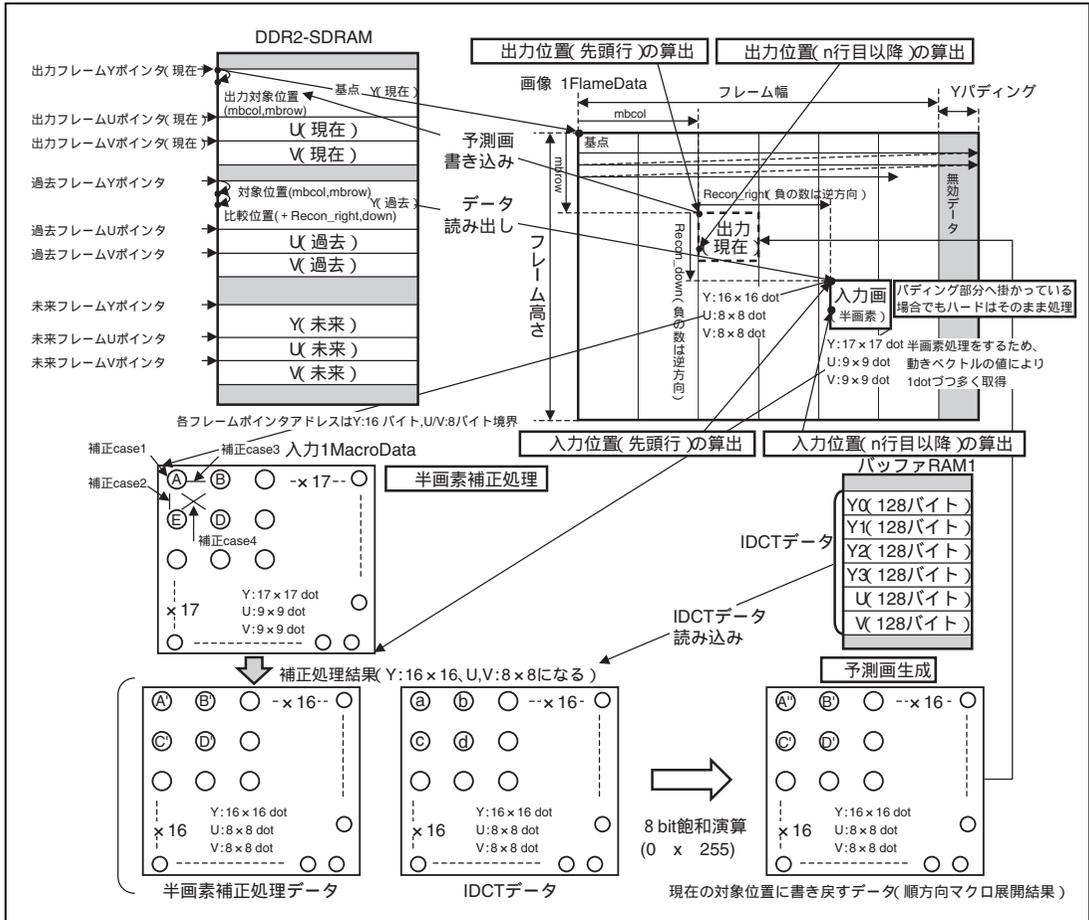


図 20.6 予測画生成機能概要図

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

図 20.6 に示す予測画生成シーケンスを表 20.10 に示します。

表中の No. は、図 20.6 内の番号を意味します。

表 20.10 予測画生成シーケンス

No.	動作	動作内容
	出力位置 (先頭行) の算出	<p>下記演算式により出力位置 (先頭行) (DDR2-SDRAM 出力アドレス) の算出を行います。</p> <p>先頭行出力アドレス演算式</p> <ul style="list-style-type: none"> • Y 出力対象アドレス <p>演算式: $\text{出力フレーム Y ポインタ値 (基点)} + [\text{mbrow} \times 16 \times (\text{幅} + \text{Y パディング})] + [\text{mbcol} \times 16]$</p> <p>出力フレーム Y ポインタ値 (基点): MCOYPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>Y パディング: MCIYPR レジスタ設定値から算出</p> <p>以降、16dot 分データ (=16 バイト分データ) を連続で処理します。</p> <ul style="list-style-type: none"> • U/V 出力対象アドレス <p>演算式: $\text{出力フレーム U ポインタ値 (基点)} + [\text{mbrow} \times 8 \times (\text{幅}/2 + \text{U パディング})] + [\text{mbcol} \times 8]$</p> <p>出力フレーム U ポインタ値 (基点): MCOUPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>U パディング: MCIUVPR レジスタ設定値から算出</p> <p>以降、8dot 分データ (=8 バイト分データ) を連続で処理します。</p> <p>V ポインタアドレスは U ポインタアドレスと同様の演算式により算出されます。</p>

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

No.	動作	動作内容
	出力位置 (n 行目以降) の算出	<p>下記演算式により出力位置 (n 行目以降) (DDR2-SDRAM 出力アドレス) の算出を行います。</p> <p>n 行目以降出力アドレス演算式</p> <ul style="list-style-type: none"> • Y 出力対象アドレス <p style="margin-left: 2em;">演算式: 出力フレーム Y ポインタ値 (基点) + [(mbrow × 16 + n - 1) × (幅 + Y パディング)] + [mbcol × 16]</p> <p style="margin-left: 2em;">出力フレーム Y ポインタ値 (基点): MCOYPR レジスタ設定アドレス</p> <p style="margin-left: 2em;">mbrow: MCCF レジスタ設定値から算出</p> <p style="margin-left: 2em;">mbcol: MCCF レジスタ設定値から算出</p> <p style="margin-left: 2em;">幅: MCIWR レジスタ設定値から算出</p> <p style="margin-left: 2em;">Y パディング: MCIYPR レジスタ設定値から算出</p> <p>以降、16dot 分データ (=16 バイト分データ) を連続で処理します。</p> <ul style="list-style-type: none"> • U/V 出力対象アドレス <p style="margin-left: 2em;">演算式: 出力フレーム U ポインタ値 (基点) + [(mbrow × 8 + n - 1) × (幅/2 + U パディング)] + [mbcol × 8]</p> <p style="margin-left: 2em;">出力フレーム U ポインタ値 (基点): MCOUPR レジスタ設定アドレス</p> <p style="margin-left: 2em;">mbrow: MCCF レジスタ設定値から算出</p> <p style="margin-left: 2em;">mbcol: MCCF レジスタ設定値から算出</p> <p style="margin-left: 2em;">幅: MCIWR レジスタ設定値から算出</p> <p style="margin-left: 2em;">U パディング: MCIUVR レジスタ設定値から算出</p> <p>以降、8dot 分データ (=8 バイト分データ) を連続で処理します。</p> <p>V ポインタアドレスは U ポインタアドレスと同様の演算式により算出されます。</p>

20. グラフィックステータトランслーションアクセラレータ (GDTA)

No.	動作	動作内容																																																								
	入力位置 (先頭行) の算出	<p>下記演算式により入力位置(先頭行)(DDR2-SDRAM 入力アドレス)の算出を行います。</p> <p>先頭行入力アドレス演算式</p> <ul style="list-style-type: none"> Y 入力比較アドレス <p>演算式: $\text{過去フレーム Y ポインタ値 (基点)} + [(\text{mbrow} \times 16 + (\text{Recon_down} \gg 1)) \times (\text{幅} + \text{Y パディング})]$</p> <p>+ $[\text{mbcol} \times 16 + (\text{Recon_right} \gg 1)]$</p> <p>過去フレーム Y ポインタ値(基点): MCPYPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>Recon_down: MCCF レジスタ設定値から算出</p> <p>Recon_right: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>Y パディング: MCIYPR レジスタ設定値から算出</p> <p>動きベクトル値により 16dot 分(16 バイト分)または 17dot 分(17 バイト分)データを連続で処理します。</p> <p>未来フレームの場合も過去フレームと同様の演算式により算出されます。</p> <p>Recon_down>>1 算出結果は以下のようになります。</p> <table border="1"> <tr> <td>Recon_down</td> <td>-6</td> <td>-5</td> <td>-4</td> <td>-3</td> <td>-2</td> <td>-1</td> <td>0</td> <td>1</td> <td>2</td> <td>3</td> <td>4</td> <td>5</td> <td>6</td> </tr> <tr> <td>Recon_down>>1</td> <td>-3</td> <td>-3</td> <td>-2</td> <td>-2</td> <td>-1</td> <td>-1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>2</td> <td>2</td> <td>3</td> </tr> </table> <p>Recon_right>>1 も同様の算出結果になります。</p> U/V 入力比較アドレス <p>演算式: $\text{過去フレーム U ポインタ値 (基点)} + [(\text{mbrow} \times 8 + ((\text{Recon_down}/2) \gg 1)) \times (\text{幅}/2 + \text{U パディング})] + [\text{mbcol} \times 8 + ((\text{Recon_right}/2) \gg 1)]$</p> <p>過去フレーム U ポインタ値(基点): MCPUPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>Recon_down: MCCF レジスタ設定値から算出</p> <p>Recon_right: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>U パディング: MCIUVPR レジスタ設定値から算出</p> <p>動きベクトル値により 8dot 分(8 バイト分)または 9dot 分(9 バイト分)データを連続で処理します。</p> <p>未来フレームの場合も過去フレームと同様の演算式により算出されます。</p> <p>V ポインタアドレスは U ポインタアドレスと同様の演算式により算出されます。</p> <p>(Recon_down/2) >>1 算出結果は以下のようになります。</p> <table border="1"> <tr> <td>Recon_down</td> <td>-6</td> <td>-5</td> <td>-4</td> <td>-3</td> <td>-2</td> <td>-1</td> <td>0</td> <td>1</td> <td>2</td> <td>3</td> <td>4</td> <td>5</td> <td>6</td> </tr> <tr> <td>(Recon_down/2) >>1</td> <td>-2</td> <td>-1</td> <td>-1</td> <td>-1</td> <td>-1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> </table> <p>(Recon_Right/2) >>1 も同様の算出結果になります。</p> 	Recon_down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	Recon_down>>1	-3	-3	-2	-2	-1	-1	0	0	1	1	2	2	3	Recon_down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	(Recon_down/2) >>1	-2	-1	-1	-1	-1	0	0	0	0	0	1	1	1
Recon_down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6																																													
Recon_down>>1	-3	-3	-2	-2	-1	-1	0	0	1	1	2	2	3																																													
Recon_down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6																																													
(Recon_down/2) >>1	-2	-1	-1	-1	-1	0	0	0	0	0	1	1	1																																													

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

No.	動作	動作内容
	入力位置 (n 行目以降) の算出	<p>下記演算式により入力位置 (n 行目以降) (DDR2-SDRAM 入力アドレス) の算出を行います。</p> <p>n 行目以降入力アドレス演算式</p> <ul style="list-style-type: none"> • Y 入力比較アドレス <p>演算式: $\text{過去フレーム Y ポインタ値 (基点)} + [(\text{mbrow} \times 16 + (\text{Recon_down} \gg 1) + n - 1) \times (\text{幅} + \text{Y パディング})] + [\text{mbcol} \times 16 + (\text{Recon_right} \gg 1)]$</p> <p>過去フレーム Y ポインタ値 (基点): MCPYPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>Recon_down: MCCF レジスタ設定値から算出</p> <p>Recon_right: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>Y パディング: MCIYPR レジスタ設定値から算出</p> 動きベクトル値により 16dot 分 (16 バイト分) または 17dot 分 (17 バイト分) データを連続で処理します。未来フレームの場合も過去フレームと同様の演算式により算出されます。 • U/V 入力比較アドレス <p>演算式: $\text{過去フレーム U ポインタ値 (基点)} + [(\text{mbrow} \times 8 + ((\text{Recon_down}/2) \gg 1) + n - 1) \times (\text{幅}/2 + \text{U パディング})] + [\text{mbcol} \times 8 + ((\text{Recon_right}/2) \gg 1)]$</p> <p>過去フレーム U ポインタ値 (基点): MCPUPR レジスタ設定アドレス</p> <p>mbrow: MCCF レジスタ設定値から算出</p> <p>mbcol: MCCF レジスタ設定値から算出</p> <p>Recon_down: MCCF レジスタ設定値から算出</p> <p>Recon_right: MCCF レジスタ設定値から算出</p> <p>幅: MCIWR レジスタ設定値から算出</p> <p>U パディング: MCIUVR レジスタ設定値から算出</p> 動きベクトル値により 8dot 分 (8 バイト分) または 9dot 分 (9 バイト分) データを連続で処理します。未来フレームの場合も過去フレームと同様の演算式により算出されます。 V ポインタアドレスは U ポインタアドレスと同様の演算式により算出されます。
	データ 読み出し	<p>、にて算出したアドレスにて、DDR2-SDRAM から入力データを GDTA に読み込みます。</p>

20 . グラフィックステータトランスレーションアクセラレータ (GDTA)

No.	動作	動作内容																																										
	半画素補正処理	<p>にて読み込んだデータに対して、半画素補正処理を行います。</p> <p>(Y ポインタの場合 : 4 画素単位に 右方向に 16、下方向に 16 で計 256 分処理)</p> <p>Recon_down 値により半画素補正 even/odd 判定を行います。判定結果は以下になります。</p> <p>(Recon_Right 値による半画素補正 even/odd 判定も同様に行います。)</p> <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th>Recon_Down</th> <th>-6</th> <th>-5</th> <th>-4</th> <th>-3</th> <th>-2</th> <th>-1</th> <th>0</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> </tr> </thead> <tbody> <tr> <td>Y even/odd</td> <td>even</td> <td>odd</td> <td>even</td> <td>odd</td> <td>even</td> <td>odd</td> <td>even</td> <td>odd</td> <td>even</td> <td>odd</td> <td>even</td> <td>odd</td> <td>even</td> </tr> <tr> <td>U/V even/odd</td> <td>odd</td> <td>even</td> <td>even</td> <td>odd</td> <td>odd</td> <td>even</td> <td>even</td> <td>even</td> <td>odd</td> <td>odd</td> <td>even</td> <td>even</td> <td>odd</td> </tr> </tbody> </table> <p>図 20.4.4 内の入力 1MacroData に示す各補正 case による演算式を以下に示します。</p> <p>補正 case1 : right = even , down = even $(A + A + 1) \div 2 = A$ (小数点以下切捨て (変化なし))</p> <p>補正 case2 : right = even , down = odd $(A + C + 1) \div 2 = A'$ とする (小数点以下切捨て)</p> <p>補正 case3 : right = odd , down = even $(A + B + 1) \div 2 = A'$ とする (小数点以下切捨て)</p> <p>補正 case4 : right = odd , down = odd $(A + D + B + C + 2) \div 4 = A'$ とする (小数点以下切捨て)</p> <p>両方向展開時は、半画素補正後の過去データおよび半画素補正後の未来データを以下の演算式により演算した結果を半画素補正結果とし、IDCT データとの演算処理を行います。</p> <p>$(\text{半画素補正後の過去データ} + \text{半画素補正後の未来データ} + 1) / 2 = \text{半画素補正結果}$</p> <p>設定により入力マクロデータがパディングエリア内および画面高さを超えるデータ (無効画像データ) となる場合があるがハードはそのまま処理します。</p>	Recon_Down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	Y even/odd	even	odd	even	U/V even/odd	odd	even	even	odd	odd	even	even	even	odd	odd	even	even	odd										
Recon_Down	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6																															
Y even/odd	even	odd	even	odd	even	odd	even	odd	even	odd	even	odd	even																															
U/V even/odd	odd	even	even	odd	odd	even	even	even	odd	odd	even	even	odd																															

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

No.	動作	動作内容						
	IDCT データ 読み込み	<p>バッファ RAM1 に格納させている IDCT データを読み込みます。 (CBP 設定にて 1 と指定されたブロックのみバッファ RAM1 より読み込みます。)</p> <p>IDCT データは、16 ビットの符号付きデータとして、バッファ RAM1 に格納してください。 (最上位ビット (ビット 15) にて符号判定を行います。)</p> <p>また、IDCT データは、CBP の値によらず、Y0 (128 バイト)、Y1 (128 バイト)、Y2 (128 バイト)、Y3 (128 バイト)、U (128 バイト)、V (128 バイト) の順に連続アドレスで格納してください。CBP=0 ブロックがある場合も、アドレス空間を詰めず、データフォーマットを Y0、Y1、Y2、Y3、U、V の順に連続アドレスで格納してください。</p> <p>CBP は、六つのブロック (4 個の輝度ブロックと 2 個の色差ブロックのうち、比較画と比べ、符号化要否を示します。上記 Y0、Y1、Y2、Y3、U、V は以下フォーマットによるブロック位置の CBP を示します。</p> <div style="display: flex; justify-content: space-around; align-items: center;"> <div style="text-align: center;"> <p>輝度 Y</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 5px;">Y0</td> <td style="padding: 5px;">Y1</td> </tr> <tr> <td style="padding: 5px;">Y2</td> <td style="padding: 5px;">Y3</td> </tr> </table> </div> <div style="text-align: center;"> <p>色差 U/V</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 5px;">U</td> </tr> <tr> <td style="padding: 5px;">V</td> </tr> </table> </div> </div> <p style="text-align: center;">図 20.7 YUV4:2:0 の CBP ブロック図</p> <p>(CBP=0 ブロックのデータ : データ無効)</p> <p>RAM1 より読み出した IDCT データは、9 ビット飽和演算 (-256 x 255) を行います。 (最上位ビット (ビット 15) にて符号判定を行います。)</p> <p>IDCT データ読み出しは、動作と並列に動作します。</p>	Y0	Y1	Y2	Y3	U	V
Y0	Y1							
Y2	Y3							
U								
V								
	予測画 生成	<p>にて生成した半画素処理データとにて読み込んだ IDCT データ (9 ビット飽和演算後データ) により以下の演算式から予測画データの生成を行います。</p> <p>演算式 : (データ + データ) (飽和演算) (0 x 255)</p>						
	予測画 書き込み	<p>、にて算出したアドレスにて、DDR2-SDRAM へ予測画データを書き込みます。</p>						

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

(2) MC 処理手順

CPU から各初期設定を行い処理起動します。バッファ RAM1 には IDCT データが用意されている必要があります。以下手順を示します。

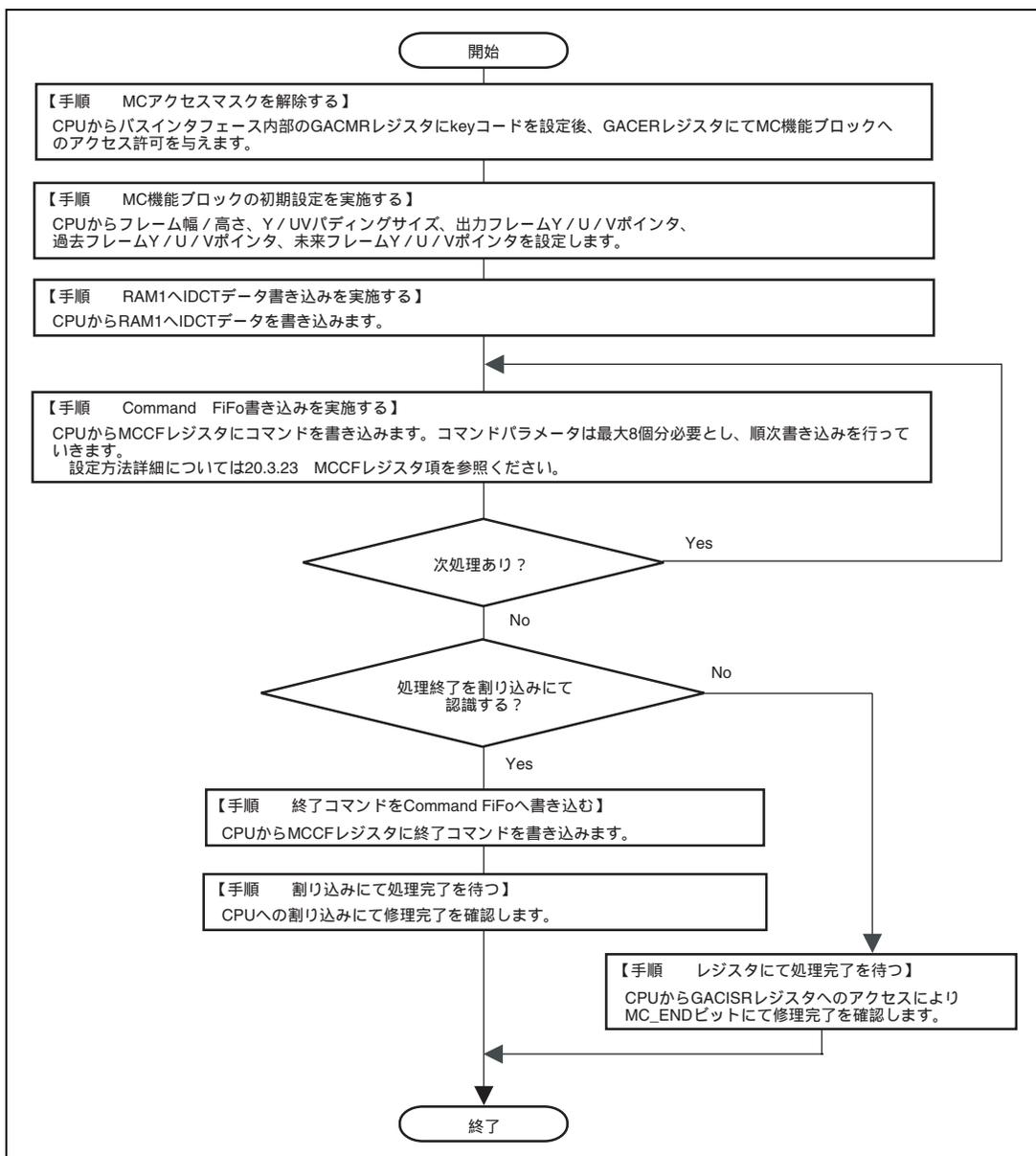


図 20.7 MC 処理手順

20.4 割り込み処理

GDTA には、4 種類の割り込み要因があります。割り込み要因は、CL 処理終了、MC 処理終了、CL エラーまたは MC エラーの割り込みフラグを持っており、割り込みイネーブルビットにより、割り込み要求が発生します。

CL エラーと MC エラーは共通 GAERI の割り込みを使用します。

表 20.11 GDTA の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味
CL_END 割り込み (GACLI)	CL_END	CL_ENEN	CL 処理終了
MC_END 割り込み (GAMCI)	MC_END	MC_ENEN	MC 処理終了
CL_ERR 割り込み	CL_ERR または	CL_EREN	CL エラー
MC_ERR 割り込み	MC_ERR	MC_EREN	MC エラー

20.5 データアライメント

GDTA は、入力データ、出力データおよび RAM0/1 データのデータアライメント変換を、エンディアン信号 (MD8 端子) または GDTA 内部レジスタにより行います。

DRCL_CTL レジスタ、DWCL_CTL レジスタ、DRMC_CTL レジスタ、DWMC_CTL レジスタ、DCP_CTL レジスタおよび DID_CTL レジスタ設定値とデータアライメント変換パターンの対応表を表 20.12 に示します。

表 20.12 GDTA のデータアライメント変換

番号	DTAM	DTSA	DTUA	Little (MD8)	データアライメント変換パターン	備考
1	0	H'00	H'00	0	CP3	
2	0	H'00	H'00	1	CP3	
3	1	H'00	H'00	*	CP3	
4	1	H'01	H'01	*	CP1	
5	1	H'01	H'10	*	CP2	
6	1	H'01	H'11	*	CP3	
7	1	H'10	H'01	*	CP1	
8	1	H'10	H'10	*	CP2	
9	1	H'11	H'01	*	CP1	

【注】 * データアライメント変換パターン番号は、図 20.9 GDTA データアライメント変換パターンを参照してください。

20. グラフィックステータトランスレーションアクセラレータ (GDTA)

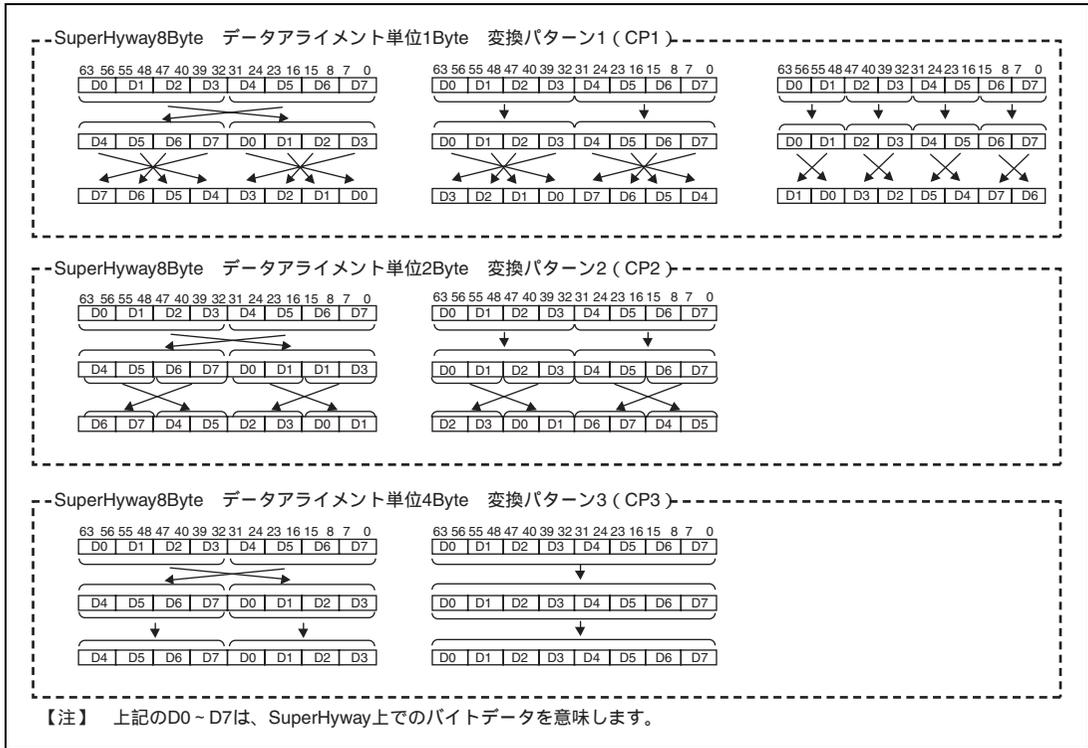


図 20.8 GDTA データアライメント変換パターン

20.6 使用上の注意事項

本 GDTA を使用する際は、以下のことを注意してください。

20.6.1 モジュールストップについて

本 GDTA 動作中に、CPG のレジスタ設定によるモジュールストップを行わないでください。(GDTA 以外のモジュールストップを行う場合も、GDTA 動作中は、CPG のレジスタ設定によるモジュールストップを行わないでください。)

GDTA 動作中にモジュールストップさせた場合、GDTA の処理を停止します。CL/MC 共にコマンド FIFO に設定された処理内容もクリアされます。

モジュールストップさせる場合、CL ステータスレジスタ (CLSR) の CLSR_EXE (ビット 3) が 0 かつ MC ステータスレジスタ (MCSR) の MC_CFA (ビット 10~8) が 000 であることを確認後、モジュールストップを設定してください。

処理を再開する場合は、モジュールストップ解除後、「20.3.1 (3) CL 処理手順」、「20.3.2 (2) MC 処理手順」に従い処理を再開してください。(モジュールストップを行った際、処理中および CL/MC コマンド FIFO に設定された処理内容については、再度処理を実行してください。)

20.6.2 ディープスリープについて

本 GDTA 動作中に、ディープスリープに遷移させないでください。

GDTA 動作中に、ディープスリープさせた場合、GDTA の処理を停止します。CL/MC 共にコマンド FIFO に設定された処理要求もクリアされます。

ディープスリープに遷移させる場合、CL ステータスレジスタ (CLSR) の CLSR_EXE (ビット 3) が 0 かつ MC ステータスレジスタ (MCSR) の MC_CFA (ビット 10~8) が 000 であることを確認後、実行してください。

処理を再開する場合は、ディープスリープ解除後、「20.3.1 (3) CL 処理手順」、「20.3.2 (2) MC 処理手順」に従い処理を再開してください。(ディープスリープに遷移した際、処理中および CL/MC コマンド FIFO に設定された処理内容については、再度処理を実行してください。)

20.6.3 周波数変更について

本 GDTA 動作中に、CPG のレジスタ設定による周波数変更を行わないでください。GDTA 動作中に周波数変更した場合、GDTA の処理を停止します。CL/MC 共にコマンド FIFO に設定された処理内容もクリアされます。

周波数変更する場合、CL ステータスレジスタ (CLSR) の CLSR_EXE (ビット 3) が 0 かつ MC ステータスレジスタ (MCSR) の MC_CFA (ビット 10~8) が 000 であることを確認後、周波数変更を行ってください。

処理を再開する場合は、周波数変更後、「20.3.1 (3) CL 処理手順」、「20.3.2 (2) MC 処理手順」に従い処理を再開してください。(周波数変更を行った際、処理中および CL/MC コマンド FIFO に設定された処理内容については、再度処理を実行してください。)

21. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、6 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 64 段内蔵しており、効率の良い高速連続通信を行うことができます。チャンネル 0 は、モデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています。

21.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に SCIF0_RXD ~ SCIF5_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに 64 段の FIFO バッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- データの送受信はLSBが先頭 (LSB First)
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、またはSCIF0_SCK ~ SCIF5_SCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ($\overline{\text{SCIF0_RTS}}$ 、 $\overline{\text{SCIF0_CTS}}$) を内蔵しています。(チャネル0のみ)
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 21.1 に SCIF のブロック図を、図 21.2～図 21.6 に I/O ポートのブロック図を示します。本 LSI は 6 チャンネルあります。図 21.1～図 21.6 では、チャンネルを省略して説明しています。

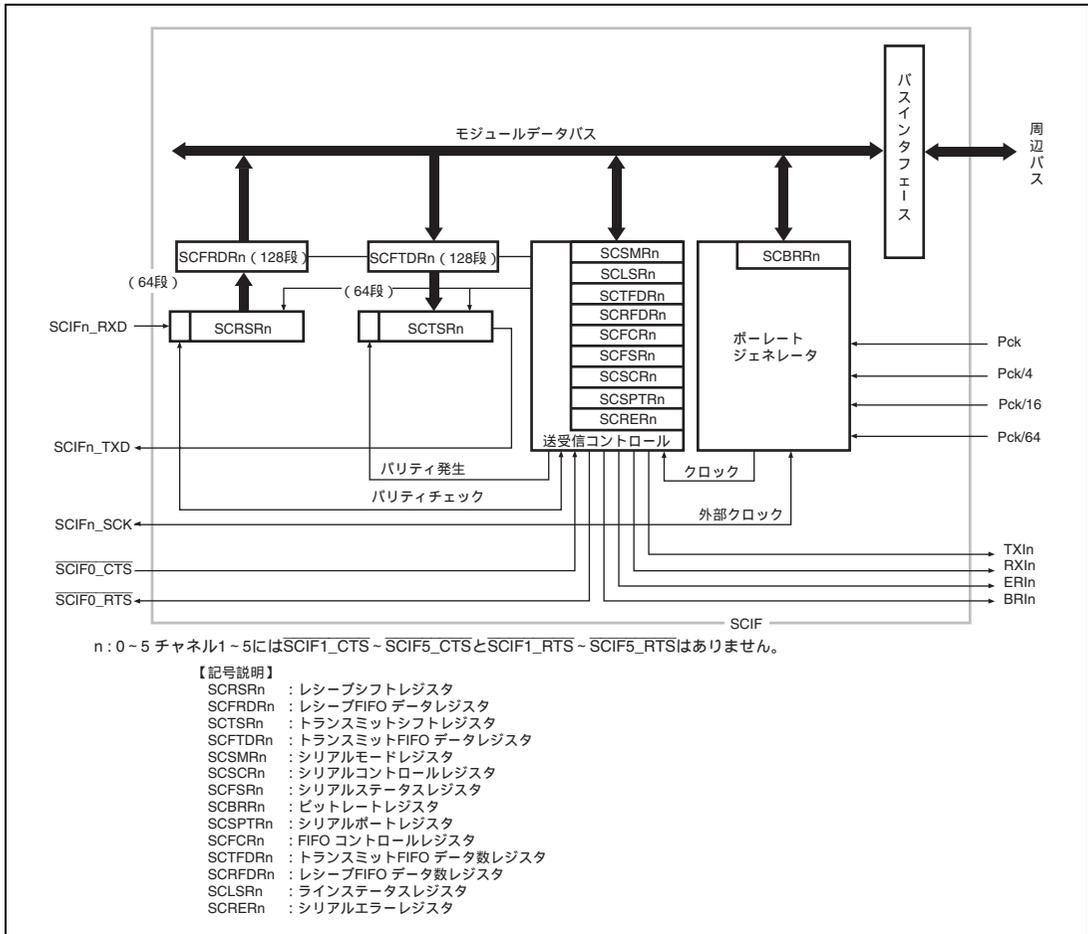


図 21.1 SCIF のブロック図

SCIF の I/O ポートのブロック図を図 21.2～図 21.6 に示します。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

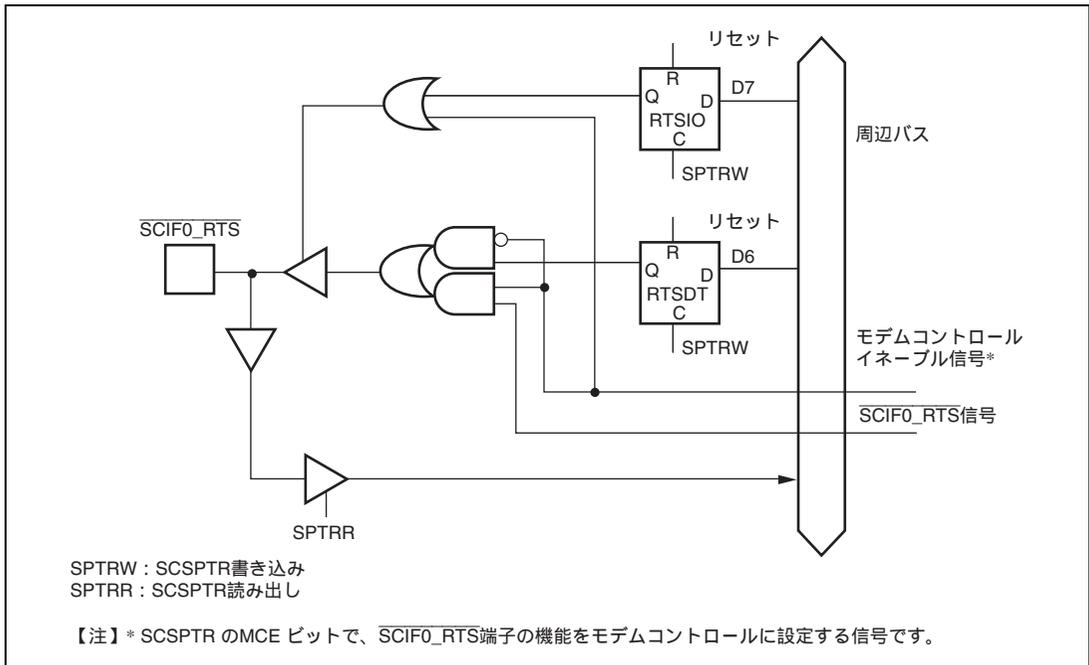


図 21.2 SCIF0_RTS 端子

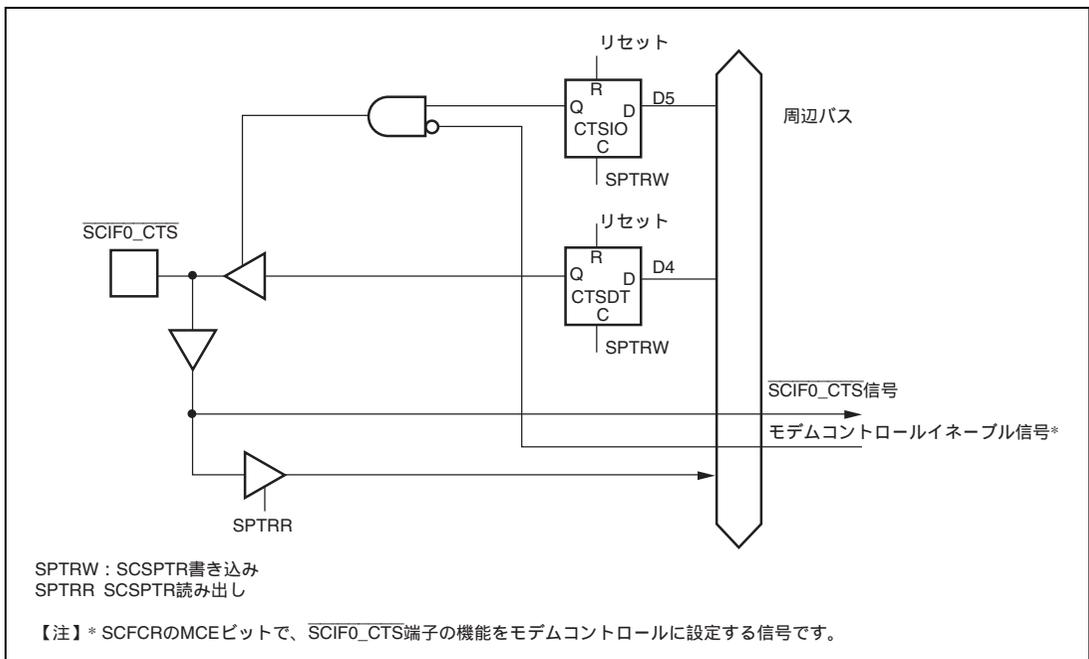


図 21.3 SCIF0_CTS 端子

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

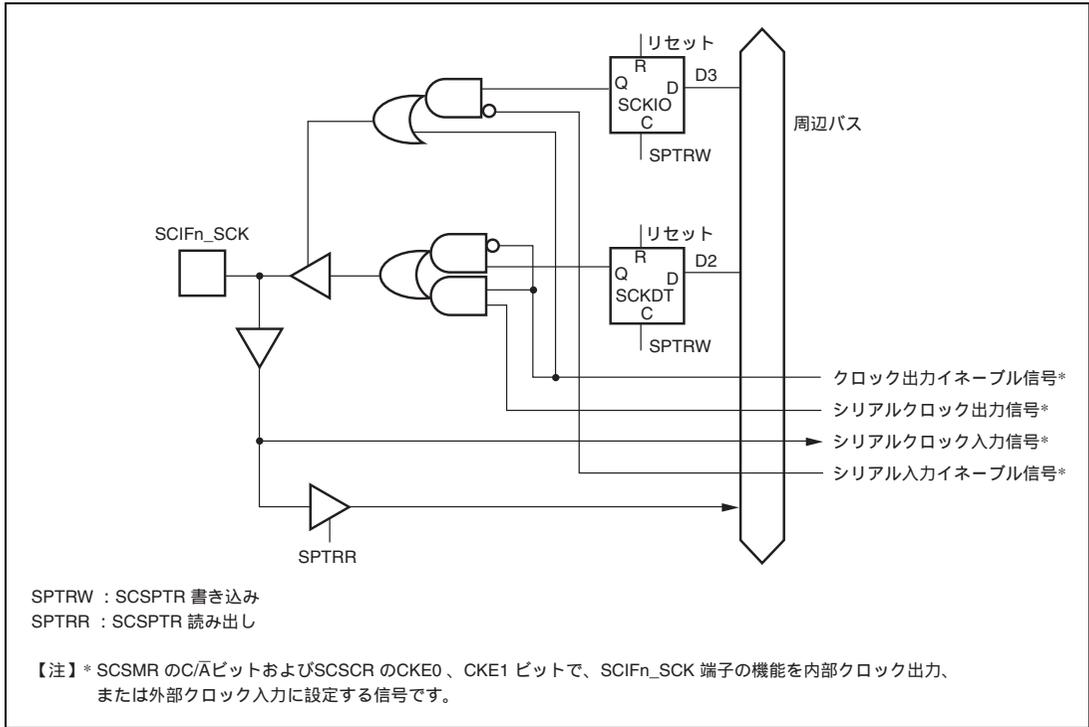


図 21.4 SCIFn_SCK 端子 (n = 0 ~ 5)

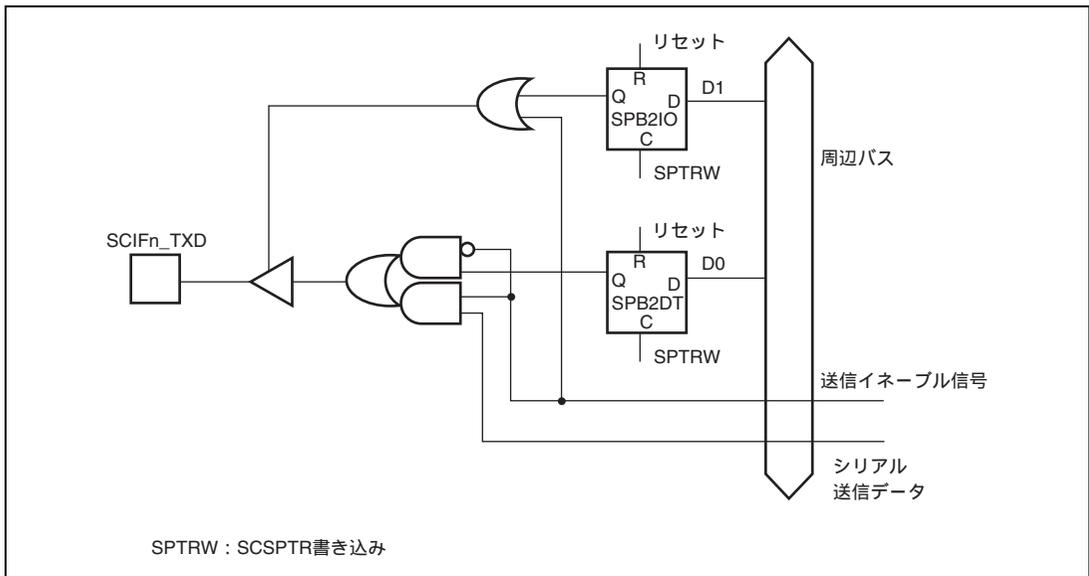


図 21.5 SCIFn_TXD 端子 (n = 0 ~ 5)

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

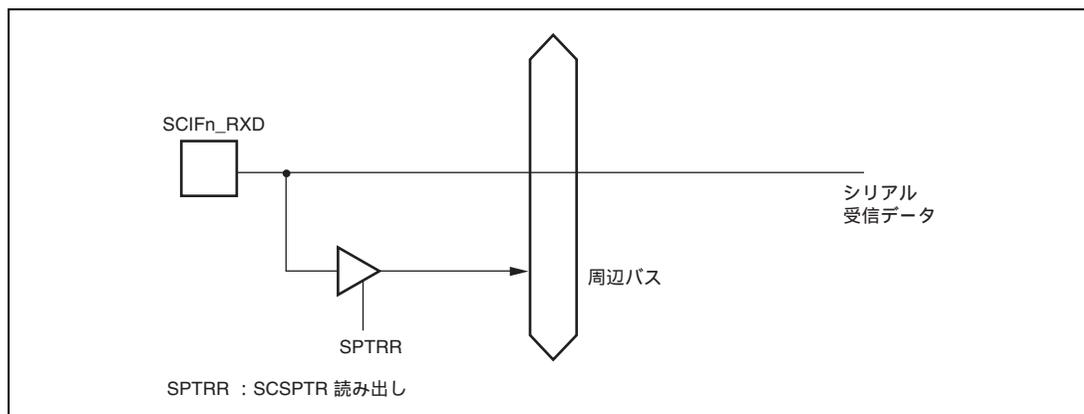


図 21.6 SCIFn_RXD 端子 (n=0~5)

21.2 入出力端子

SCIF の端子構成を表 21.1 に示します。各チャンネルとも端子の機能は同じですので、本文中ではチャンネルを省略して説明しています。なお、モデムコントロール端子はチャンネル 0 にあります。

表 21.1 SCIF の端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCIF0_SCK ~ SCIF5_SCK	入出力	クロック入出力
レシーブデータ端子	SCIF0_RXD ~ SCIF5_RXD	入力	受信データ入力
トランスミットデータ端子	SCIF0_TXD ~ SCIF5_TXD	出力	送信データ出力
モデムコントロール端子	SCIF0_CTS	入出力	送信可
モデムコントロール端子	SCIF0_RTS	入出力	送信要求

【注】 SCIF の動作設定を SCSMR の C/ \bar{A} ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

21.3 レジスタの説明

SCIF には以下のレジスタがあります。各チャンネルともレジスタの構成は同じですので、本文中ではチャンネルを省略して説明しています。

表 21.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
0	シリアルモードレジスタ 0	SCSMR0	R/W	H'FFEA 0000	H'1FEA 0000	16	Pck
	ビットレートレジスタ 0	SCBRR0	R/W	H'FFEA 0004	H'1FEA 0004	8	Pck
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFEA 0008	H'1FEA 0008	16	Pck
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFEA 000C	H'1FEA 000C	8	Pck
	シリアルステータスレジスタ 0	SCFSR0	R/W* ¹	H'FFEA 0010	H'1FEA 0010	16	Pck
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFEA 0014	H'1FEA 0014	8	Pck
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFEA 0018	H'1FEA 0018	16	Pck
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FFEA 001C	H'1FEA 001C	16	Pck
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FFEA 0020	H'1FEA 0020	16	Pck
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FFEA 0024	H'1FEA 0024	16	Pck
	ラインステータスレジスタ 0	SCLSR0	R/W* ²	H'FFEA 0028	H'1FEA 0028	16	Pck
	シリアルエラーレジスタ 0	SCRER0	R	H'FFEA 002C	H'1FEA 002C	16	Pck
1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFEB 0000	H'1FEB 0000	16	Pck
	ビットレートレジスタ 1	SCBRR1	R/W	H'FFEB 0004	H'1FEB 0004	8	Pck
	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFEB 0008	H'1FEB 0008	16	Pck
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFEB 000C	H'1FEB 000C	8	Pck
	シリアルステータスレジスタ 1	SCFSR1	R/W* ¹	H'FFEB 0010	H'1FEB 0010	16	Pck
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFEB 0014	H'1FEB 0014	8	Pck
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFEB 0018	H'1FEB 0018	16	Pck
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FFEB 001C	H'1FEB 001C	16	Pck
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	R	H'FFEB 0020	H'1FEB 0020	16	Pck
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FFEB 0024	H'1FEB 0024	16	Pck
	ラインステータスレジスタ 1	SCLSR1	R/W* ²	H'FFEB 0028	H'1FEB 0028	16	Pck
	シリアルエラーレジスタ 1	SCRER1	R	H'FFEB 002C	H'1FEB 002C	16	Pck

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
2	シリアルモードレジスタ 2	SCSMR2	R/W	H'FFEC 0000	H'1FEC 0000	16	Pck
	ビットレートレジスタ 2	SCBRR2	R/W	H'FFEC 0004	H'1FEC 0004	8	Pck
	シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFEC 0008	H'1FEC 0008	16	Pck
	トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFEC 000C	H'1FEC 000C	8	Pck
	シリアルステータスレジスタ 2	SCFSR2	R/W ^{*1}	H'FFEC 0010	H'1FEC 0010	16	Pck
	レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFEC 0014	H'1FEC 0014	8	Pck
	FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFEC 0018	H'1FEC 0018	16	Pck
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	R	H'FFEC 001C	H'1FEC 001C	16	Pck
	レシーブ FIFO データ数レジスタ 2	SCRFDR2	R	H'FFEC 0020	H'1FEC 0020	16	Pck
	シリアルポートレジスタ 2	SCSPTR2	R/W	H'FFEC 0024	H'1FEC 0024	16	Pck
	ラインステータスレジスタ 2	SCLSR2	R/W ^{*2}	H'FFEC 0028	H'1FEC 0028	16	Pck
	シリアルエラーレジスタ 2	SCRER2	R	H'FFEC 002C	H'1FEC 002C	16	Pck
3	シリアルモードレジスタ 3	SCSMR3	R/W	H'FFED 0000	H'1FED 0000	16	Pck
	ビットレートレジスタ 3	SCBRR3	R/W	H'FFED 0004	H'1FED 0004	8	Pck
	シリアルコントロールレジスタ 3	SCSCR3	R/W	H'FFED 0008	H'1FED 0008	16	Pck
	トランスミット FIFO データレジスタ 3	SCFTDR3	W	H'FFED 000C	H'1FED 000C	8	Pck
	シリアルステータスレジスタ 3	SCFSR3	R/W ^{*1}	H'FFED 0010	H'1FED 0010	16	Pck
	レシーブ FIFO データレジスタ 3	SCFRDR3	R	H'FFED 0014	H'1FED 0014	8	Pck
	FIFO コントロールレジスタ 3	SCFCR3	R/W	H'FFED 0018	H'1FED 0018	16	Pck
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	R	H'FFED 001C	H'1FED 001C	16	Pck
	レシーブ FIFO データ数レジスタ 3	SCRFDR3	R	H'FFED 0020	H'1FED 0020	16	Pck
	シリアルポートレジスタ 3	SCSPTR3	R/W	H'FFED 0024	H'1FED 0024	16	Pck
	ラインステータスレジスタ 3	SCLSR3	R/W ^{*2}	H'FFED 0028	H'1FED 0028	16	Pck
	シリアルエラーレジスタ 3	SCRER3	R	H'FFED 002C	H'1FED 002C	16	Pck
4	シリアルモードレジスタ 4	SCSMR4	R/W	H'FFEE 0000	H'1FEE 0000	16	Pck
	ビットレートレジスタ 4	SCBRR4	R/W	H'FFEE 0004	H'1FEE 0004	8	Pck
	シリアルコントロールレジスタ 4	SCSCR4	R/W	H'FFEE 0008	H'1FEE 0008	16	Pck
	トランスミット FIFO データレジスタ 4	SCFTDR4	W	H'FFEE 000C	H'1FEE 000C	8	Pck
	シリアルステータスレジスタ 4	SCFSR4	R/W ^{*1}	H'FFEE 0010	H'1FEE 0010	16	Pck
	レシーブ FIFO データレジスタ 4	SCFRDR4	R	H'FFEE 0014	H'1FEE 0014	8	Pck
	FIFO コントロールレジスタ 4	SCFCR4	R/W	H'FFEE 0018	H'1FEE 0018	16	Pck
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	R	H'FFEE 001C	H'1FEE 001C	16	Pck
	レシーブ FIFO データ数レジスタ 4	SCRFDR4	R	H'FFEE 0020	H'1FEE 0020	16	Pck
	シリアルポートレジスタ 4	SCSPTR4	R/W	H'FFEE 0024	H'1FEE 0024	16	Pck

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ	同期 クロック
4	ラインステータスレジスタ 4	SCLSR4	R/W ^{*2}	H'FFEE 0028	H'1FEE 0028	16	Pck
	シリアルエラーレジスタ 4	SCRER4	R	H'FFEE 002C	H'1FEE 002C	16	Pck
5	シリアルモードレジスタ 5	SCSMR5	R/W	H'FFEF 0000	H'1FEF 0000	16	Pck
	ビットレートレジスタ 5	SCBRR5	R/W	H'FFEF 0004	H'1FEF 0004	8	Pck
	シリアルコントロールレジスタ 5	SCSCR5	R/W	H'FFEF 0008	H'1FEF 0008	16	Pck
	トランスミット FIFO データレジスタ 5	SCFTDR5	W	H'FFEF 000C	H'1FEF 000C	8	Pck
	シリアルステータスレジスタ 5	SCFSR5	R/W ^{*1}	H'FFEF 0010	H'1FEF 0010	16	Pck
	レシーブ FIFO データレジスタ 5	SCFRDR5	R	H'FFEF 0014	H'1FEF 0014	8	Pck
	FIFO コントロールレジスタ 5	SCFCR5	R/W	H'FFEF 0018	H'1FEF 0018	16	Pck
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	R	H'FFEF 001C	H'1FEF 001C	16	Pck
	レシーブ FIFO データ数レジスタ 5	SCRFDR5	R	H'FFEF 0020	H'1FEF 0020	16	Pck
	シリアルポートレジスタ 5	SCSPTR5	R/W	H'FFEF 0024	H'1FEF 0024	16	Pck
	ラインステータスレジスタ 5	SCLSR4	R/W ^{*2}	H'FFEF 0028	H'1FEF 0028	16	Pck
	シリアルエラーレジスタ 5	SCRER4	R	H'FFEF 002C	H'1FEF 002C	16	Pck

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 21.2 レジスタ構成 (2)

チャネル	名称	略称	パワーオン リセット <small>PRESET 端子/WDT /H-UDI による</small>	マニュアル リセット <small>WDT /多重例外による</small>	スリープ/ディ ープスリープ <small>Sleep 命令による</small>	モジュール スタンバイ
0	シリアルモードレジスタ 0	SCSMR0	H'0000	H'0000	保持	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持	保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持	保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 0	SCSPTR0	H'0000* ³	H'0000* ³	保持	保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 0	SCRER0	H'0000	H'0000	保持	保持
1	シリアルモードレジスタ 1	SCSMR1	H'0000	H'0000	保持	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持	保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持	保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 1	SCSPTR1	H'0000* ⁴	H'0000* ⁴	保持	保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	H'0000	保持	保持
2	シリアルモードレジスタ 2	SCSMR2	H'0000	H'0000	保持	保持
	ビットレートレジスタ 2	SCBRR2	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 2	SCSCR2	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 2	SCFTDR2	不定	不定	保持	保持
	シリアルステータスレジスタ 2	SCFSR2	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 2	SCFRDR2	不定	不定	保持	保持
	FIFO コントロールレジスタ 2	SCFCR2	H'0000	H'0000	保持	保持

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャネル	名称	略称	パワーオン リセット <small>PRESET 端子/WDT /H-UDI による</small>	マニュアル リセット <small>WDT /多重例外による</small>	スリープ/ディ ープスリープ <small>Sleep 命令による</small>	モジュール スタンバイ
2	トランスミット FIFO データ数レジスタ 2	SCTFDR2	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 2	SCRFRDR2	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 2	SCSPTR2	H'0000*4	H'0000*4	保持	保持
	ラインステータスレジスタ 2	SCLSR2	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 2	SCRER2	H'0000	H'0000	保持	保持
3	シリアルモードレジスタ 3	SCSMR3	H'0000	H'0000	保持	保持
	ビットレートレジスタ 3	SCBRR3	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 3	SCSCR3	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 3	SCFTDR3	不定	不定	保持	保持
	シリアルステータスレジスタ 3	SCFSR3	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 3	SCFRDR3	不定	不定	保持	保持
	FIFO コントロールレジスタ 3	SCFCR3	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 3	SCRFRDR3	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 3	SCSPTR3	H'0000*4	H'0000*4	保持	保持
	ラインステータスレジスタ 3	SCLSR3	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 3	SCRER3	H'0000	H'0000	保持	保持
4	シリアルモードレジスタ 4	SCSMR4	H'0000	H'0000	保持	保持
	ビットレートレジスタ 4	SCBRR4	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 4	SCSCR4	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 4	SCFTDR4	不定	不定	保持	保持
	シリアルステータスレジスタ 4	SCFSR4	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 4	SCFRDR4	不定	不定	保持	保持
	FIFO コントロールレジスタ 4	SCFCR4	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 4	SCRFRDR4	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 4	SCSPTR4	H'0000*4	H'0000*4	保持	保持
	ラインステータスレジスタ 4	SCLSR4	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 4	SCRER4	H'0000	H'0000	保持	保持

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

チャンネル	名称	略称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ディ ープスリープ Sleep 命令による	モジュール スタンバイ
5	シリアルモードレジスタ 5	SCSMR5	H'0000	H'0000	保持	保持
	ビットレートレジスタ 5	SCBRR5	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 5	SCSCR5	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 5	SCFTDR5	不定	不定	保持	保持
	シリアルステータスレジスタ 5	SCFSR5	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 5	SCFRDR5	不定	不定	保持	保持
	FIFO コントロールレジスタ 5	SCFCR5	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 5	SCRFDR5	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 5	SCSPTR5	H'0000*4	H'0000*4	保持	保持
	ラインステータスレジスタ 5	SCLSR5	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 5	SCRER5	H'0000	H'0000	保持	保持

- 【注】 *1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。
 *2 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。
 *3 ビット 2、0 は不定です。
 *4 ビット 6、4、2、0 は不定です。

21.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	—	—	—	—	—	—	—	—
R/W:	—	—	—	—	—	—	—	—

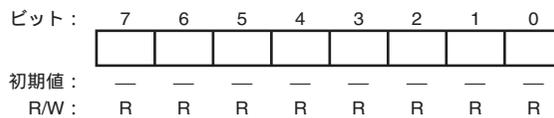
21.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

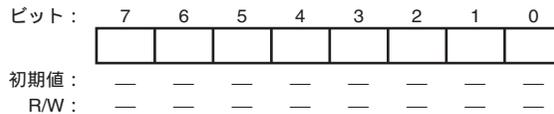


21.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

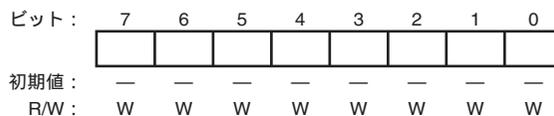


21.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 64 バイトでいっぱいのはきは次のデータを書き込むことはできません。書き込んだデータは無視されます。



21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

21.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C/Ā	CHR	PE	O/Ē	STOP	—	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7	C/Ā	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可 ^{*1}

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*² 1 : 2 ストップビット*³</p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>内蔵ボーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類から選択できます。選択したクロックと、ビットレートレジスタの設定値、およびボーレートの関係については、「21.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : Pck 01 : Pck/4 10 : Pck/16 11 : Pck/64</p> <p>【注】 Pck : 周辺クロック</p>

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 【注】 *1 PE ビットに 1 をセットすると送信時には、O/E#ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E#ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。
- *2 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。
- *3 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

21.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、SCFSR の TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR の TDFE フラグを 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信 FIFO データエンpty 割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンpty 割り込み (TXI) 要求を許可
6	RIE	0	R/W	レシーブインタラプトイネーブル ^{*1} SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレイク割り込み (BRI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレイク割り込み (BRI) 要求を許可

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可^{*2}</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても SCFSR の ER、BRK、FER、PER、RDF、DR、SCLSR の OREER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0 : 受信動作を禁止</p> <p>1 : 受信動作を許可^{*3}</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、SCFSR の ER、BRK、SCLSR の OREER の各フラグで 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。</p> <p>RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0 SCIF のクロックソースの選択、および SCIF_SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときにのみ有効です。外部クロック動作 (CKE1=1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。 調歩同期式 00 : クロックソースは内部クロックで、SCIF_SCK 端子は SCSPTR の設定によりポートとして使用可能 01 : クロックソースは内部クロックで、SCIF_SCK 端子はクロック出力 *4 1x : クロックソースは外部クロックで、SCIF_SCK 端子はクロック入力 *5 クロック同期式 0x : クロックソースは内部クロックで、SCIF_SCK 端子は同期クロック出力 1x : クロックソースは外部クロックで、SCIF_SCK 端子は同期クロック入力 【記号説明】 x : Don't care
0	CKE0	0	R/W	

【注】 *1 RXI 割り込み要求の解除は、SCFSR の RDF フラグまたは DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えません。

*2 なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセット(SCFCR の TFCL ビットに 1 をセット)してください。

*3 RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセット(SCFCR の RFCL ビットに 1 をセット)してください。

*4 出力クロックの周波数はビットレートの 16 倍

*5 入力クロックの周波数はビットレートの 16 倍

(ビットレートレジスタの設定値、およびボーレートの関係については、「21.3.8 ビットレートレジスタ (SCBRR)」を参照してください。)

21.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、SCIF の動作状態を示すステータスフラグです。

SCFSR は常に CPU から読み出し / 書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7	ER	0	R/W* ¹	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCFSR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W* ¹	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信データを書き込み、TEND フラグが 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき • DMAC で SCFTDR へデータを書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信後に SCFTDR に送信データがないとき
5	TDFE	1	R/W* ¹	<p>トランスミット FIFO データエンプティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき • DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*³
4	BRK	0	R/W* ¹	<p>ブレーク検出</p> <p>受信データのブレーク信号を検出して示します。</p> <p>0: ブレーク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブレーク信号を受信したことを表示*⁴</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、SCFRDR に格納された受信データ (次に SCFRDR から読み出すデータ) にフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出す受信データにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、SCFRDR に格納された受信データ (次に SCFRDR から読み出すデータ) にパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出すデータにパリティエラーあり
1	RDF	0	R/W* 1</td <td> <p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1: SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*5 </td>	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1: SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*5

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/W*1	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1: 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*6

【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

- 【注】 *1 フラグをクリアするために 0 を書き込むことのみ可能です。
- *2 2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません
- *3 SCFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCTFDR に示されます。
- *4 ブレーク検出すると受信データ (H'00) の FIFO への転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。
- *5 SCFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態データを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCRFDR に示されます。
- *6 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します

21.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : 0、1、2、3

(n とボーレートジェネレータ入力クロックの関係は、表 21.3 を参照してください)

表 21.3 SCSMR の設定値

n	ボーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

21.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信の各 FIFO レジスタのリセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RST RG2*1	RST RG1*1	RST RG0*1	RTRG1	RTRG0	TTRG1	TTRG0	MCE*1	TFCL	RFCL	LOOP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
10	RSTRG2*1	0	R/W	SCIF_RTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき、SCIF_RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
9	RSTRG1*1	0	R/W	
8	RSTRG0*1	0	R/W	
7	RTRG1	0	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 32 11 : 48
6	RTRG0	0	R/W	

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする未送信のデータ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、下に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32) *²</p> <p>01 : 16 (48)</p> <p>10 : 2 (62)</p> <p>11 : 0 (64)</p>
3	MCE* ¹	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{SCIF_CTS}}$、$\overline{\text{SCIF_RTS}}$ を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0 : モデム信号を無効*³</p> <p>1 : モデム信号を有効</p>
2	TFCL	0	R/W	<p>トランスミット FIFO データ数レジスタクリア</p> <p>トランスミット FIFO データ数レジスタ内の送信データ数を 0 にクリアします。</p> <p>0 : クリアしない*⁴</p> <p>1 : FIFO データ数を 0 にクリアする</p>
1	RFCL	0	R/W	<p>レシーブ FIFO データ数レジスタクリア</p> <p>レシーブ FIFO データ数レジスタ内の受信データ数を 0 にクリアします。</p> <p>0 : クリアしない*⁴</p> <p>1 : FIFO データ数を 0 にクリアする</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (SCIF_TXD) と受信入力端子 (SCIF_RXD)、$\overline{\text{SCIF_RTS}}$ 端子と $\overline{\text{SCIF_CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

【注】 *1 チャンネル 0 にのみあります。チャンネル 1~5 ではリザーブビットです。

*2 () 内の値はフラグ発生時の SCFTDR の空き数を示します。

*3 $\overline{\text{SCIF_CTS}}$ は入力値にかかわらず 0 アクティブに、 $\overline{\text{SCIF_RTS}}$ 出力も 0 に固定します。

*4 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

21.3.10 トランスミット FIFO データ数レジスタ (SCTFDR)

SCTFDR は、SCFTDR 内に格納されている送信データ数を示す 16 ビット長のレジスタです。

SCTFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	T6	T5	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
6~0	T6~T0	すべて 0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR に最大数 (64 バイト) の送信データが格納されていることを示します。

21.3.11 レシーブ FIFO データ数レジスタ (SCRFDR)

SCRFDR は、SCFRDR 内に格納されている受信データ数を示す 16 ビット長のレジスタです。SCRFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	R6	R5	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
6~0	R6~R0	すべて 0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR に最大数 (64 バイト) の受信データが格納されていることを示します。

21.3.12 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されません。ビット 6、4、2、0 は不定です。モジュールスタンバイ時には初期化されません。シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTS IO*	RTS DT*	CTS IO*	CTS DT*	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値 :	0	0	0	0	0	0	0	0	0	—	0	—	0	—	0	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7	RTSIO*	0	R/W	シリアルポート SCIF_RTS ポート入出力 シリアルポートの SCIF_RTS 端子の入出力を指定します。実際に SCIF_RTS 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : SCIF_RTS 端子に RTSDT ビットの値を出力しないことを示します 1 : SCIF_RTS 端子に RTSDT ビットの値を出力することを示します
6	RTSDT*	-	R/W	シリアルポート SCIF_RTS ポートデータ シリアルポートの SCIF_RTS 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が SCIF_RTS 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは SCIF_RTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します 1 : 入出力データがハイレベルであることを示します
5	CTSIO*	0	R/W	シリアルポート SCIF_CTS ポート入出力 シリアルポートの SCIF_CTS 端子の入出力を指定します。実際に SCIF_CTS 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : CTS 端子に CTSDT ビットの値を出力しないことを示します 1 : CTS 端子に CTSDT ビットの値を出力することを示します

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	CTSDT*	-	R/W	シリアルポート SCIF_CTS ポートデータ シリアルポートの SCIF_CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTSDT ビットの値が SCIF_CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは SCIF_CTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_SCK 端子の入出力を指定します。実際に SCIF_SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCIF_SCK 端子に SCKDT ビットの値を出力しないことを示します 1: SCIF_SCK 端子に SCKDT ビットの値を出力することを示します
2	SCKDT	-	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCIF_SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCIF_SCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0: SCIF_TXD 端子に SPB2DT ビットの値を出力しないことを示します 1: SCIF_TXD 端子に SPB2DT ビットの値を出力することを示します
0	SPB2DT	-	R/W	シリアルポートブレイクデータ シリアルポートの SCIF_RXD 端子の入力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2DT ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

【注】 * チャネル 0 のみです。チャネル 1~5 ではリザーブビットです。

21.3.13 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15-1	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	ORER	0	R/W* ¹	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示* ² [クリア条件] <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にオーバランエラーが発生したことを表示* ³ [セット条件] <ul style="list-style-type: none"> • SCFRDR が最大数 (64 バイト) のデータを受信した状態で次のシリアル受信を完了したとき

【注】 *¹ フラグをクリアするために 0 を書き込むことのみ可能です。

*² SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*³ SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

21.3.14 シリアルエラーレジスタ (SCRER)

SCRER は 16 ビットのレジスタで、SCFRDR 内のデータの受信エラー数を示します。SCRER は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PER5	PER4	PER3	PER2	PER1	PER0	—	—	FER5	FER4	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
13	PER5	0	R	パリティエラー数 SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PER5 ~ PER0 に示される値がパリティエラー発生データ数を表示します。 SCFRDR の 64 バイトの受信データすべてがパリティエラーをとまなう場合、PER5 ~ PER0 は 0 を表示します。
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7、6	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5	FER5	0	R	フレーミングエラー数 SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、FER5 ~ FER0 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとまなう場合、FER5 ~ FER0 は 0 を表示します。
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

21.4 動作説明

21.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「21.4.2 調歩同期式モードの動作」を参照してください。

送受信おのおのに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{SCIF_RTS}}$ 、 $\overline{\text{SCIF_CTS}}$ 信号を内蔵しています(SCIF0 のみ)。

送受信フォーマットの選択は、SCSMR で行います。これを表 21.4 に示します。また、SCIF のクロックソースは、SCSMR の $\overline{\text{C/A}}$ ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 21.5 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- データの送受信はLSBが先頭 (LSB First)
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタのおのおのの格納データ数を表示
- SCIFのクロックソース：周辺クロック (Pck) / SCIF_SCK端子入力から選択可能
 周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作
 (SCIF_SCK端子からビットレートの16倍の周波数でクロックを出力可能)
 SCIF_SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要
 (内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭 (LSB First)
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：周辺クロック (Pck) / SCIF_SCK端子入力から選択可能
 周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 SCIF_SCK端子入力を選択した場合：入力同期クロックで動作 (内蔵ポーレートジェネレータを使用しない)

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 21.4 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	*	*	*	クロック同期式モード	8 ビットデータ	なし	なし

【注】 * Don't care

表 21.5 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定		モード	クロック ソース	SCIF_SCK 端子の機能	
	ビット 7	ビット 1				ビット 0
	C/ \bar{A}	CKE1				CKE0
0	0	0	調歩同期式モード	内部	SCIF は SCIF_SCK 端子を使用しません	
		1			ビットレートの 16 倍の周波数でクロックを出力	
	1	0		外部	ビットレートの 16 倍の周波数でクロックを入力	
		1				
1	0	0	クロック同期式モード	内部	同期クロックを出力	
		1				
	1	0		外部	同期クロックを入力	
		1				

21.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 21.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数で入出力するクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

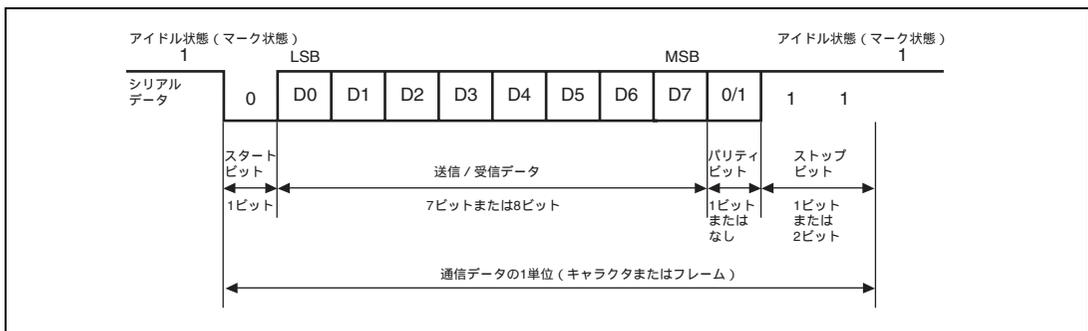


図 21.7 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 21.6 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 21.6 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	S [8ビットデータ] STOP											
0	0	1	S [8ビットデータ] STOP										STOP	
0	1	0	S [8ビットデータ] P										STOP	
0	1	1	S [8ビットデータ] P										STOP	STOP
1	0	0	S [7ビットデータ]									STOP		
1	0	1	S [7ビットデータ]									STOP	STOP	
1	1	0	S [7ビットデータ] P									STOP		
1	1	1	S [7ビットデータ] P									STOP	STOP	

【記号説明】 S : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよび SCSCR の CKE1、CKE0 ビットの設定により、内蔵ボレーレートジェネレータの生成した内部クロックまたは SCIF_SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 21.5 を参照してください。

外部クロックを SCIF_SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数でクロックを入力してください。

内部クロックで動作させるとき、SCIF_SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

(3) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR および、SCFRDR の内容は保持されますので注意してください。
2. TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 21.8 に SCIF の初期化フローチャートの例を示します。

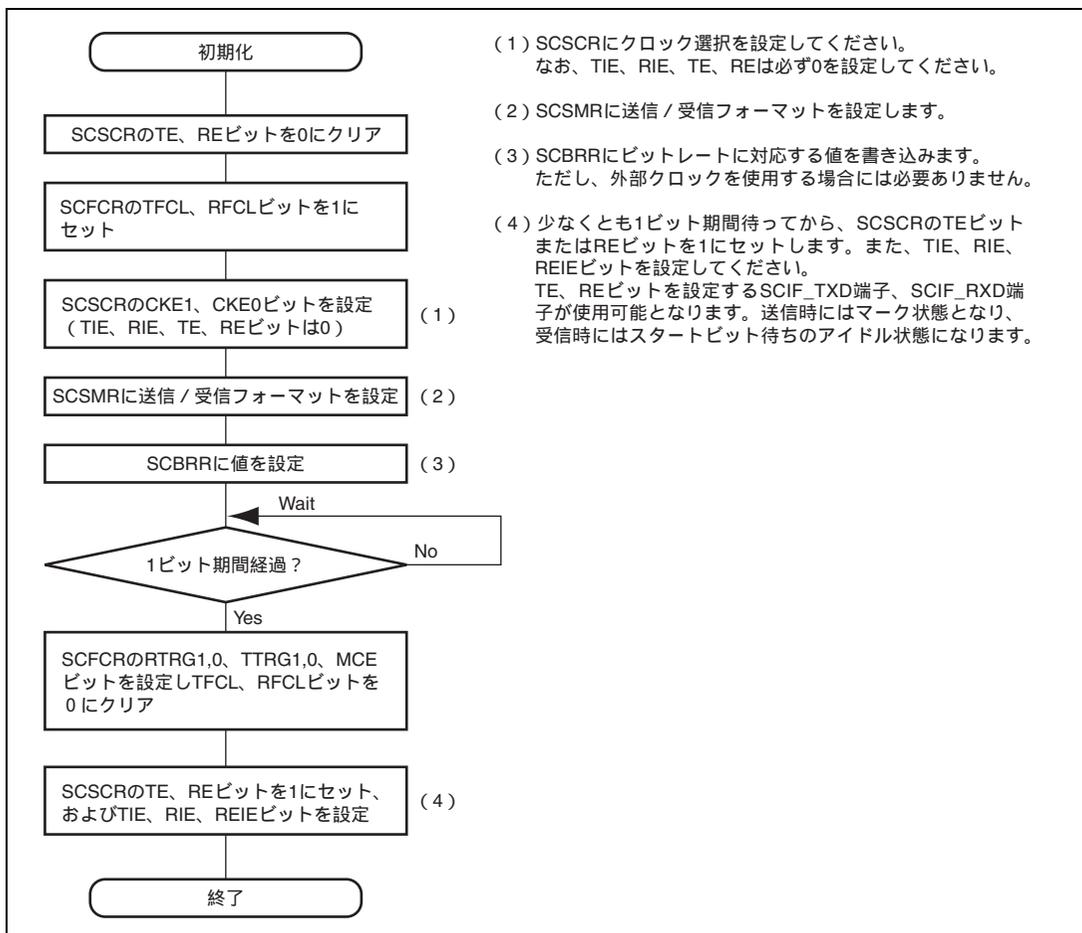


図 21.8 SCIF の初期化フローチャートの例

(4) シリアルデータ送信 (調歩同期式)

図 21.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

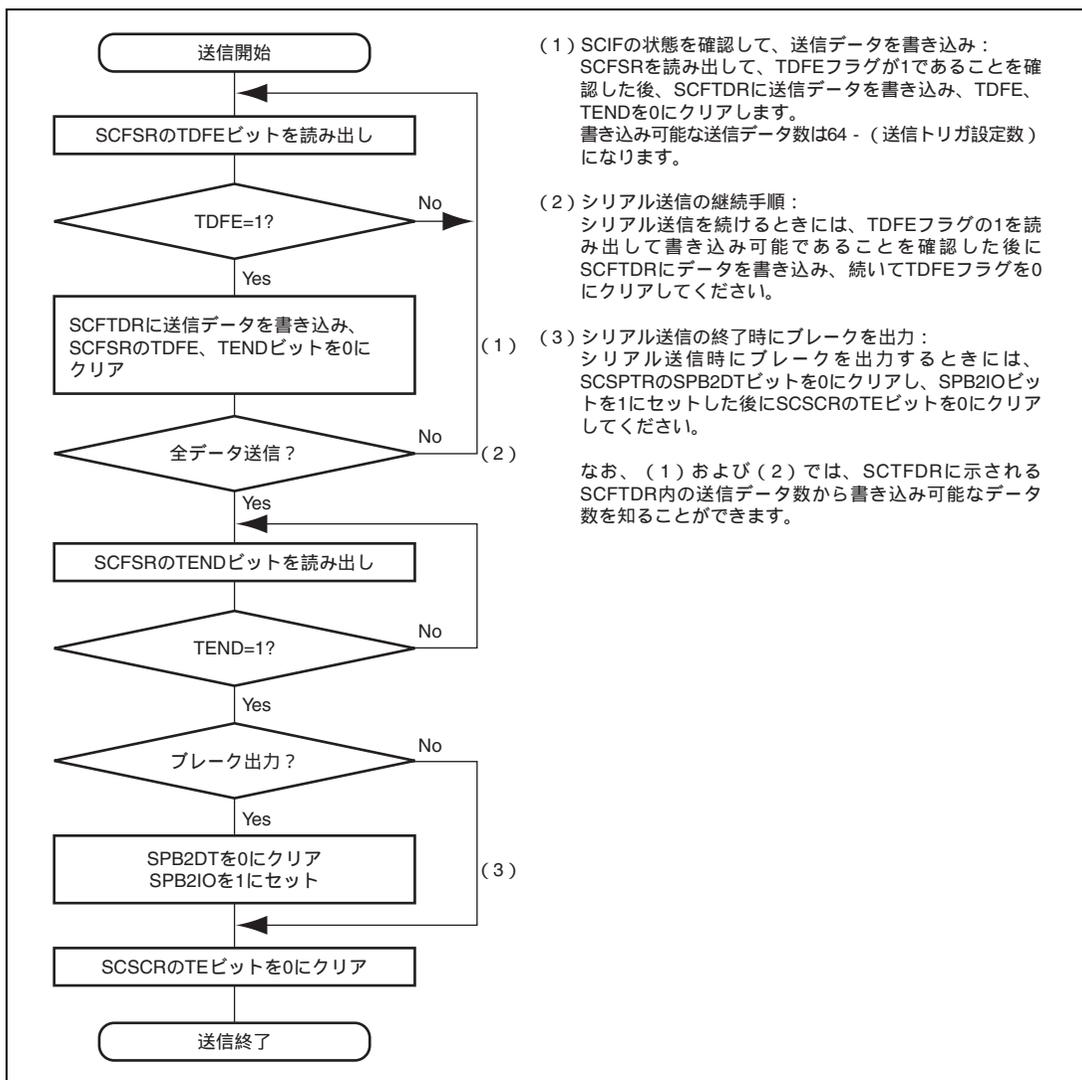


図 21.9 シリアル送信のフローチャートの例

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIF_TXD 端子から送り出されます。

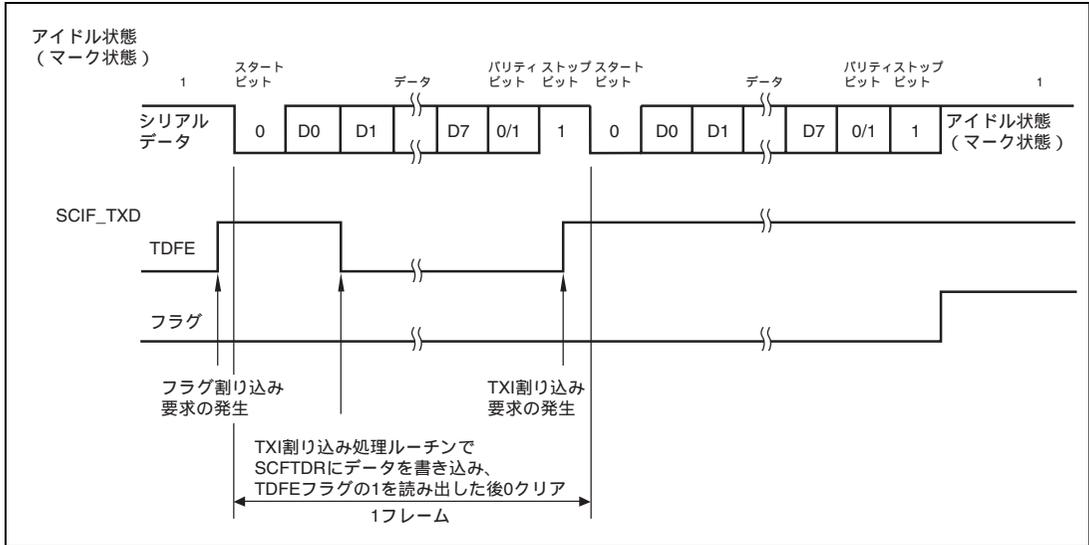
- (a) スタートビット：1 ビットの 0 が出力されます。
- (b) 送信データ：8 ビットまたは 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。

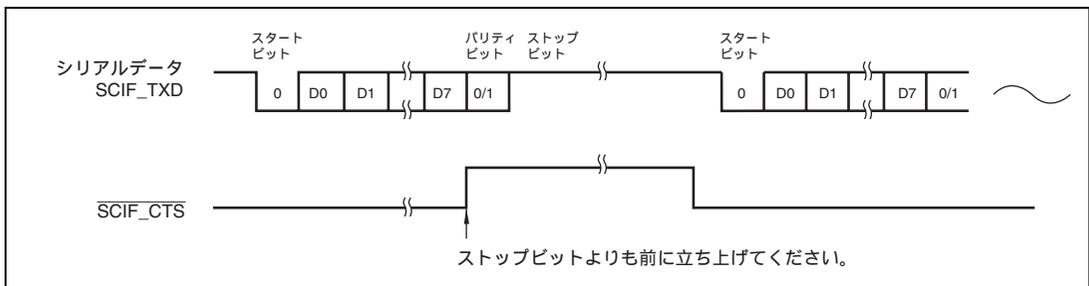
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF_TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 21.10 に示します。



4. モデムコントロールイネーブル時は $\overline{\text{SCIF_CTS}}$ 入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{SCIF_CTS}}$ が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{SCIF_CTS}}$ を 0 にすると再びスタートビットから次の送信データを出力します。
- モデムコントロール時の動作例を図 21.11 に示します。



21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) シリアルデータ受信 (調歩同期式)

図21.12にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図21.12の手順で行ってください。

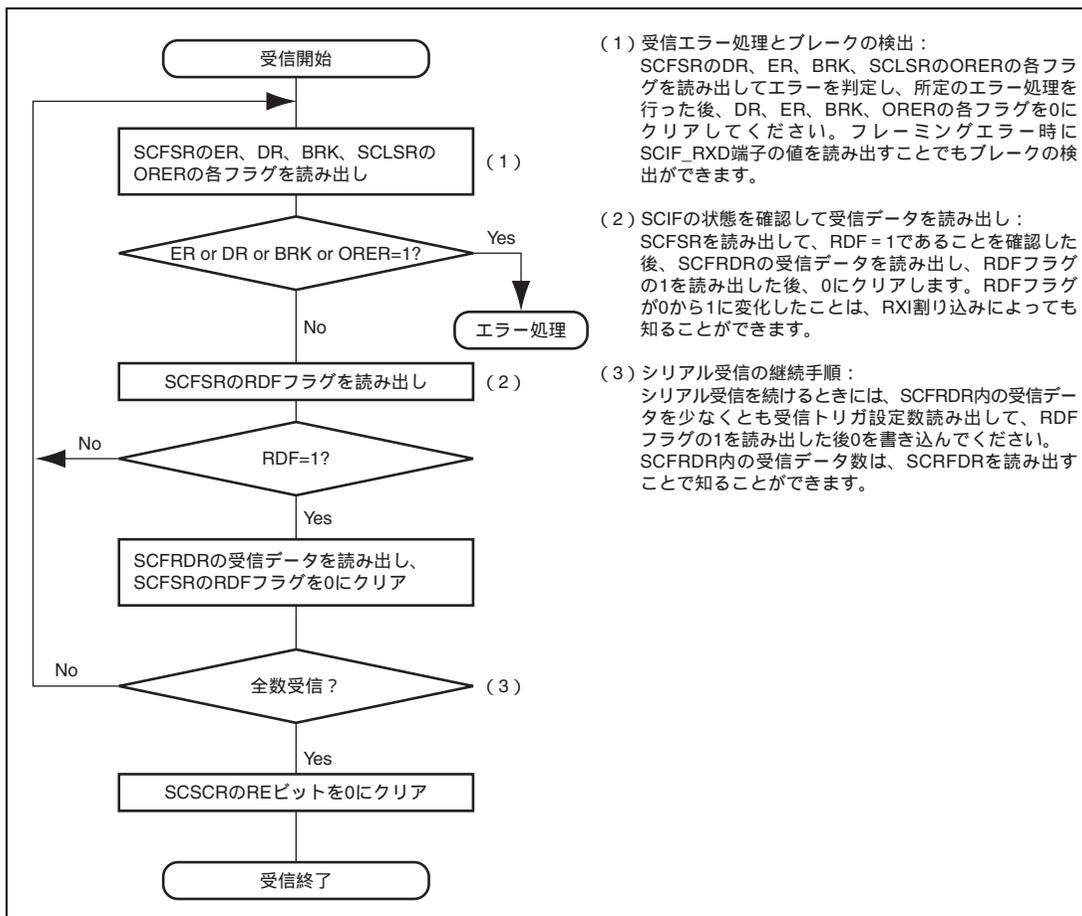


図 21.12 シリアル受信のフローチャートの例 (1)

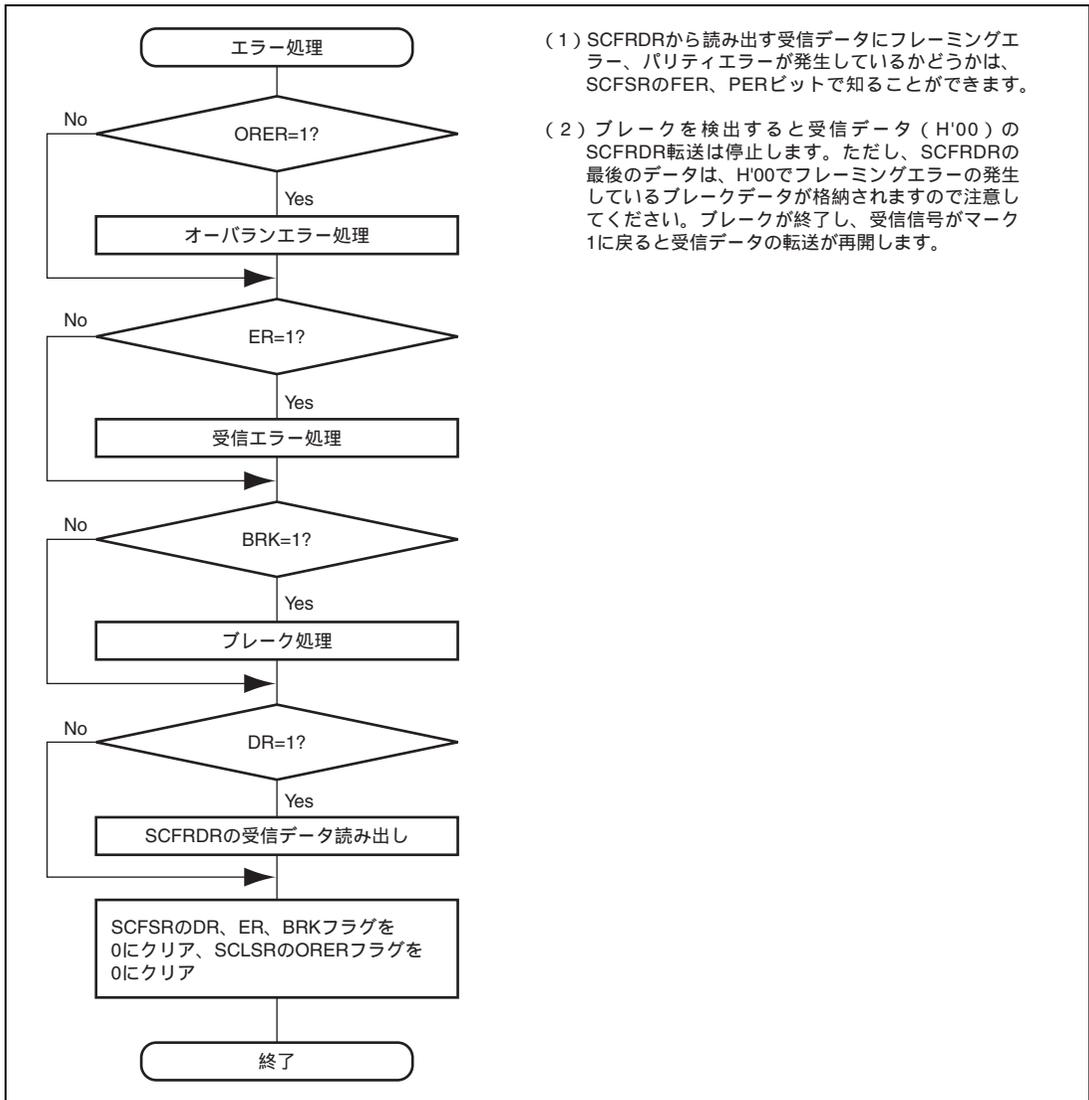


図 21.12 シリアル受信のフローチャートの例 (2)

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。*
- (c) オーバランエラーチェック：ORER フラグが0であり、オーバランエラーが発生していないことをチェックします。*
- (d) ブレークチェック：BRK フラグが0であり、ブレーク状態でないことをチェックします。*

(b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。
また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。
さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 21.13 に示します。

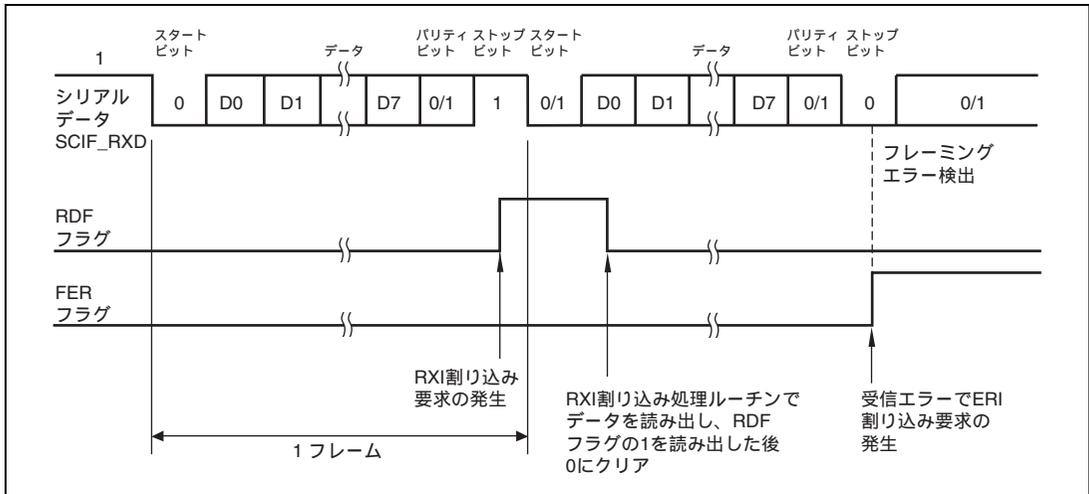


図 21.13 SCIF の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{SCIF_RTS}}$ 信号を出力します。 $\overline{\text{SCIF_RTS}}$ が0のときは受信可能状態です。 $\overline{\text{SCIF_RTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ値は、「21.3.9 FIFOコントロールレジスタ (SCFCR)」のビット10~8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{SCIF_RTS}}$ が1になります。モデムコントロール時の動作例を図21.14に示します。

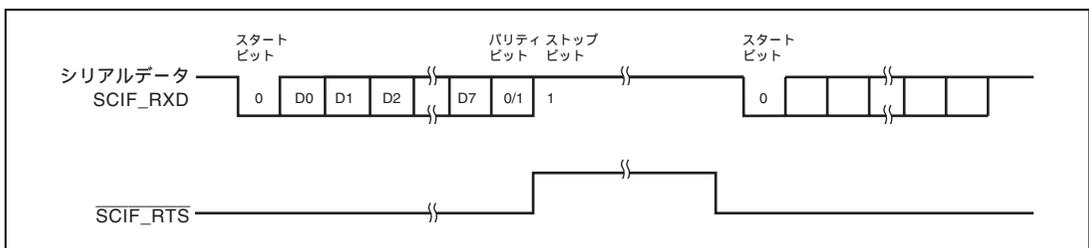


図 21.14 モデムコントロール (SCIF_RTS) 時の動作例 (チャンネル1、チャンネル2のみ)

21.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 21.15 に示します。

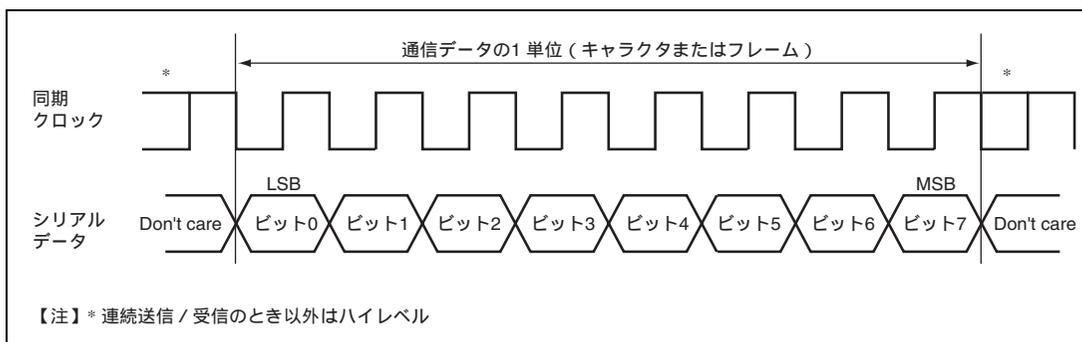


図 21.15 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF_SCK 端子から入力された外部同期クロックの2種類から選択できます。SCIF のクロックソース選択については、表 21.5 を参照してください。

内部クロックで動作させるとき、SCIF_SCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが1の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 21.16 に SCIF の初期化フローチャート例を示します。

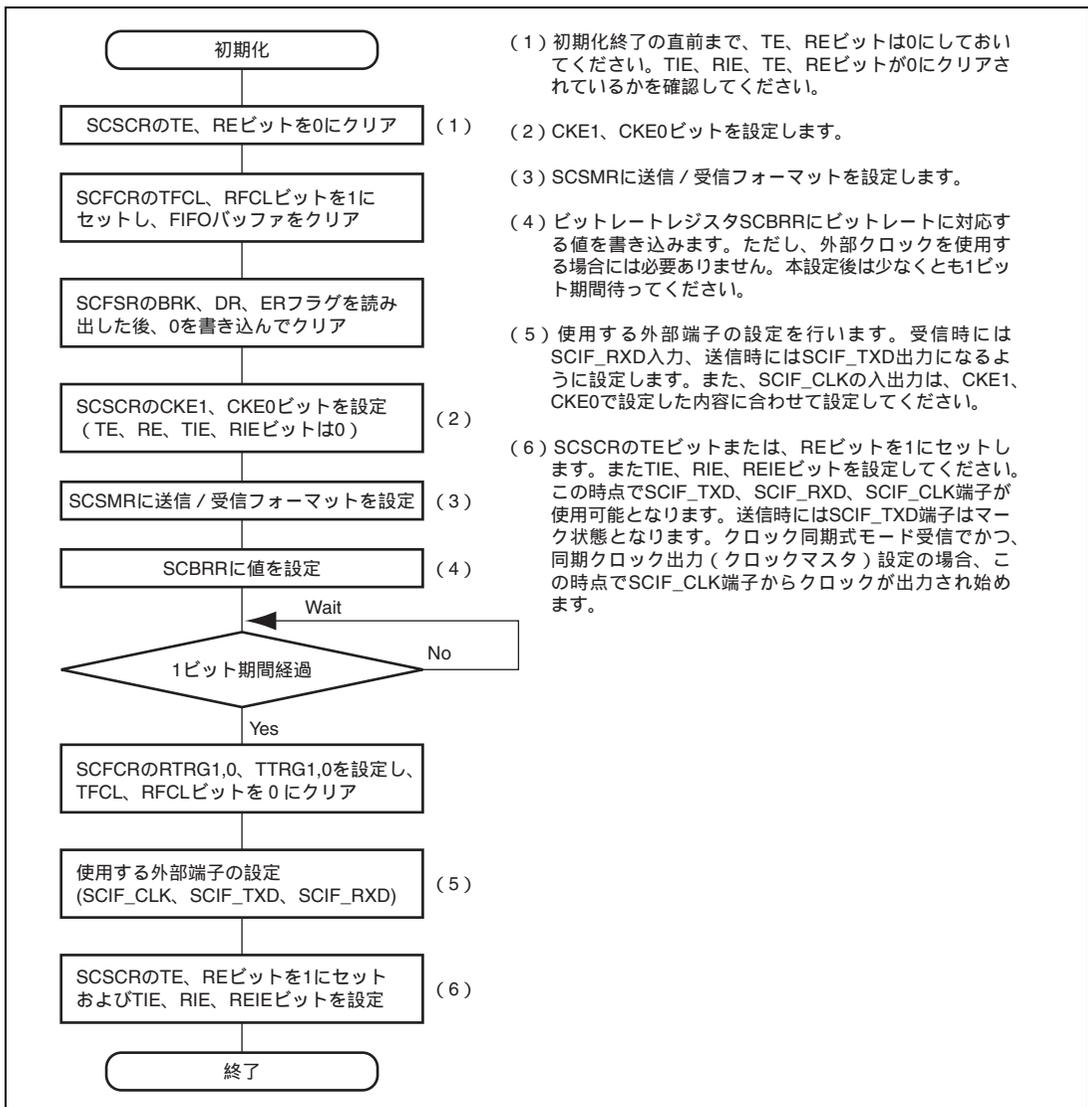


図 21.16 SCIF 初期化フローチャートの例

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(4) シリアルデータ送信 (クロック同期式)

図 21.17 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

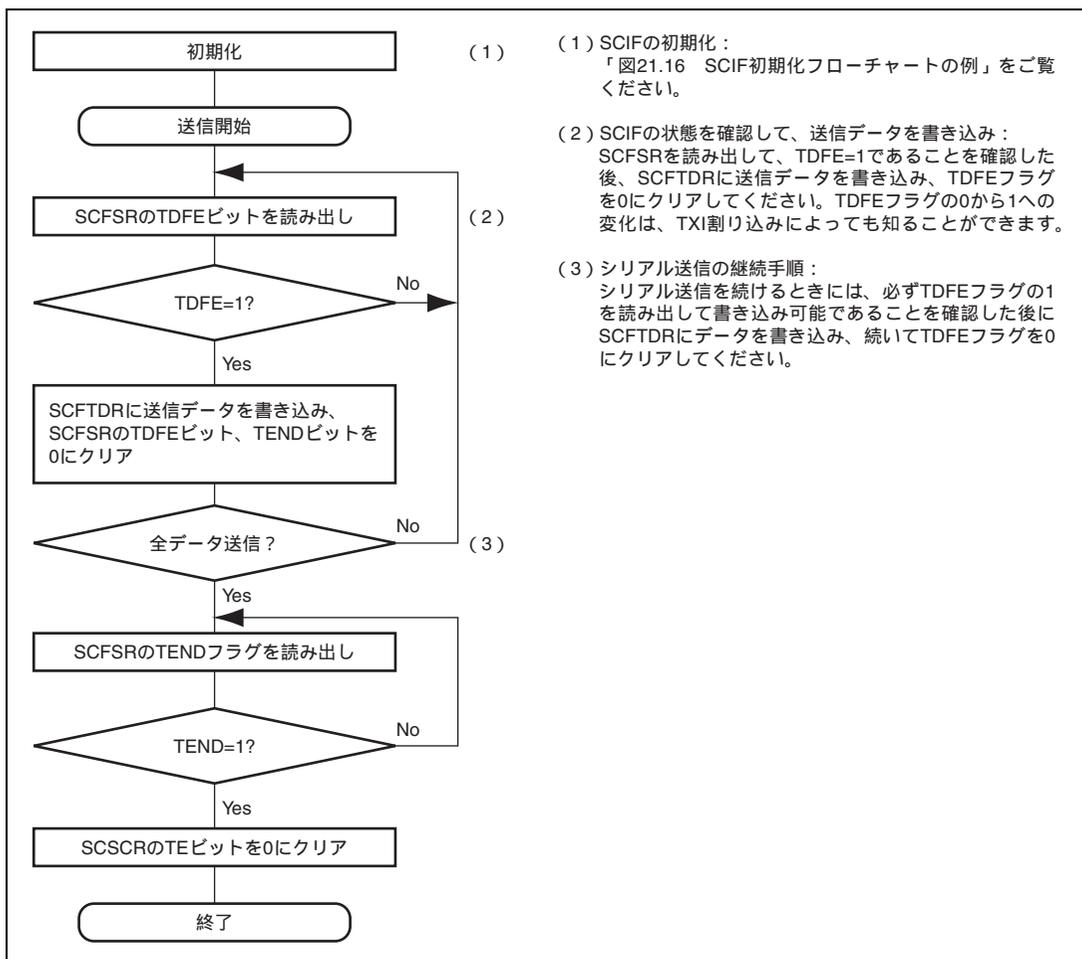


図 21.17 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

- SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
- SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブ

ティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSBから順にSCIF_TXD端子から送り出されます。

3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIF_TXD 端子) は状態を保持します。
4. シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCIF_SCK端子から出力する同期クロックはハイレベル固定になります。

図 21.18 に SCIF の送信時の動作例を示します。

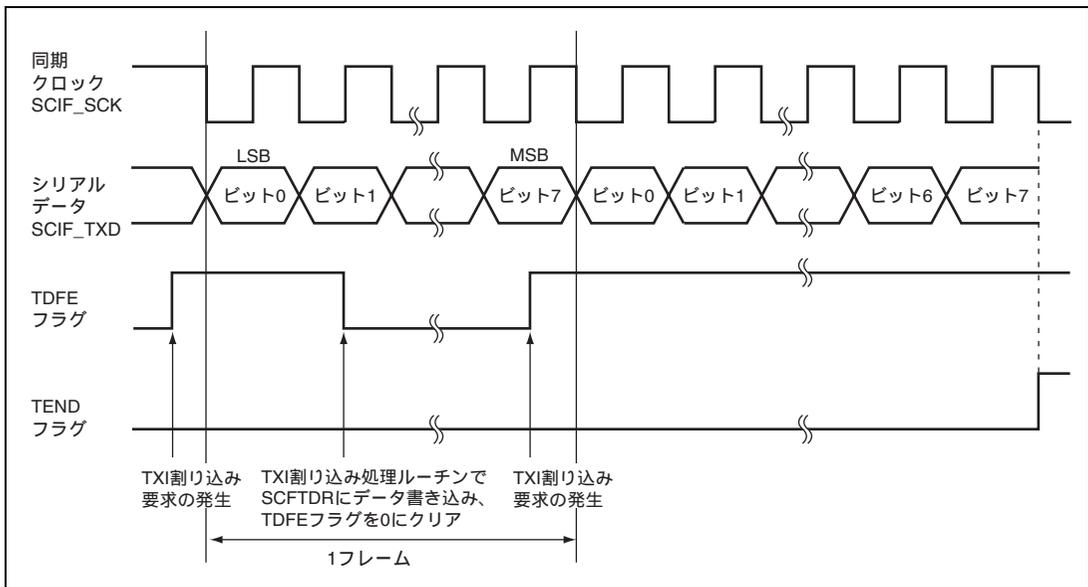


図 21.18 SCIF 送信時の動作例

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) シリアルデータ受信 (クロック同期式)

図 21.19 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER7~0、FER7~0 の各フラグが 0 にクリアされていることを確認してください。

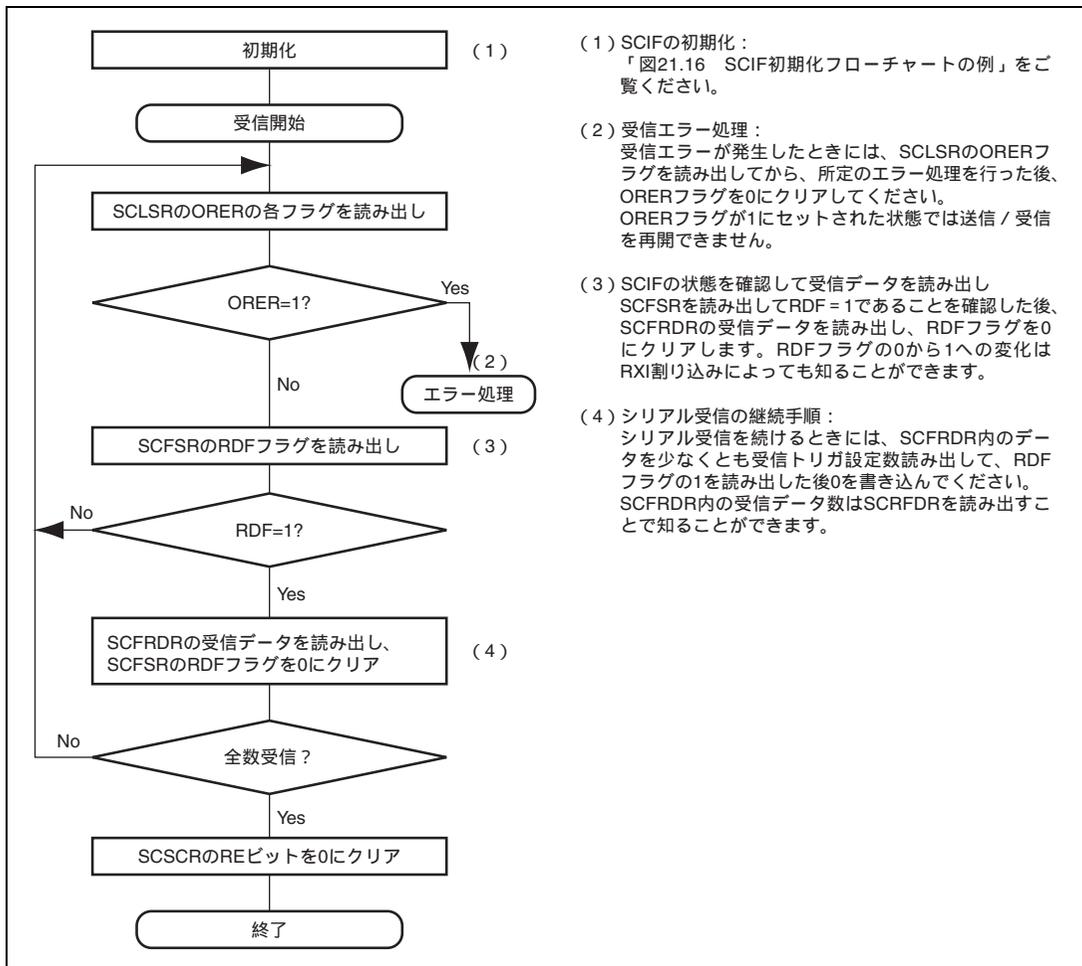


図 21.19 シリアル受信のフローチャートの例 (1)

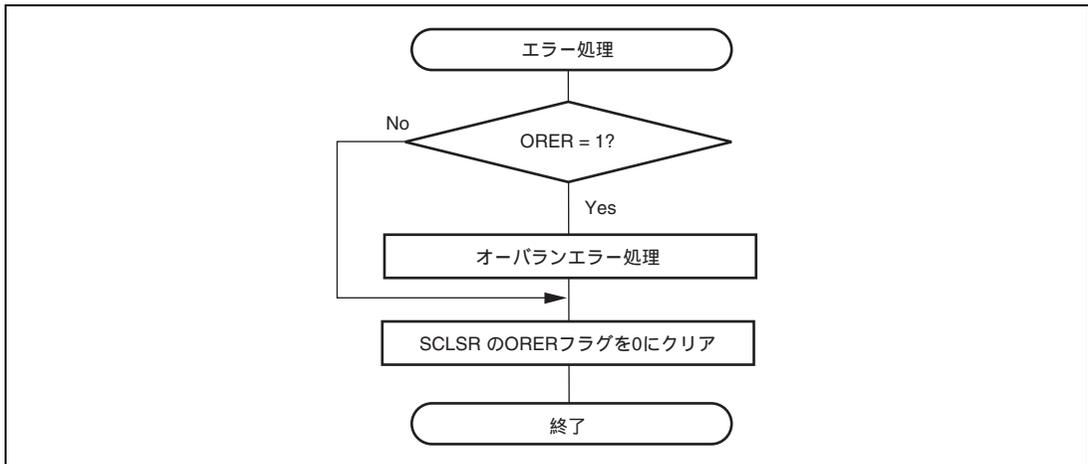


図 21.19 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブ레이크割り込み (BRI) 要求を発生します。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 21.20 に SCIF の受信時の動作例を示します。

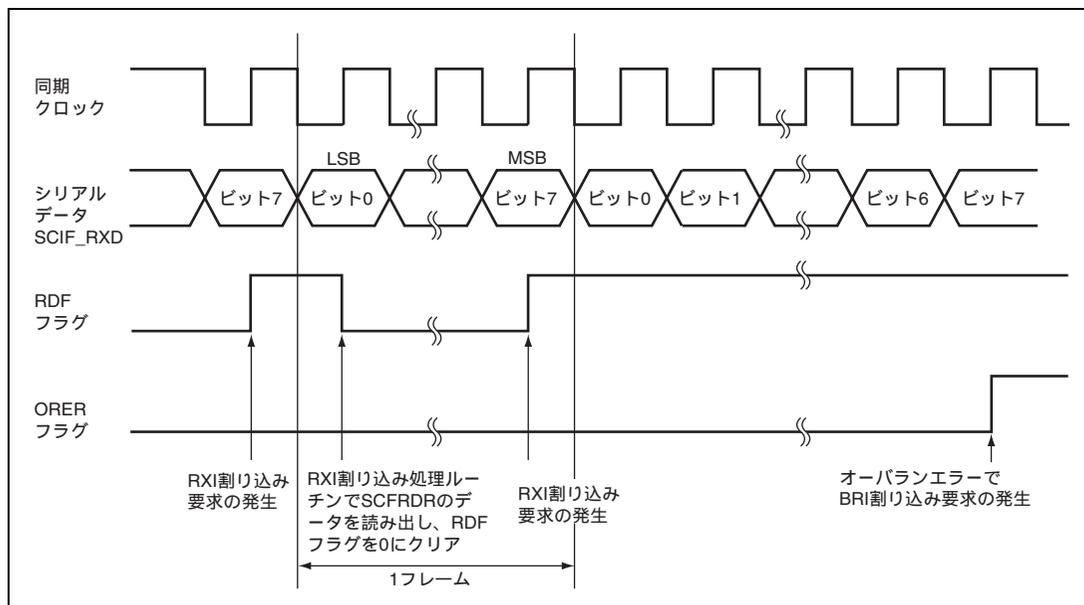


図 21.20 SCIF の受信時の動作例

(6) シリアルデータ送受信同時動作 (クロック同期式)

図 21.21 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

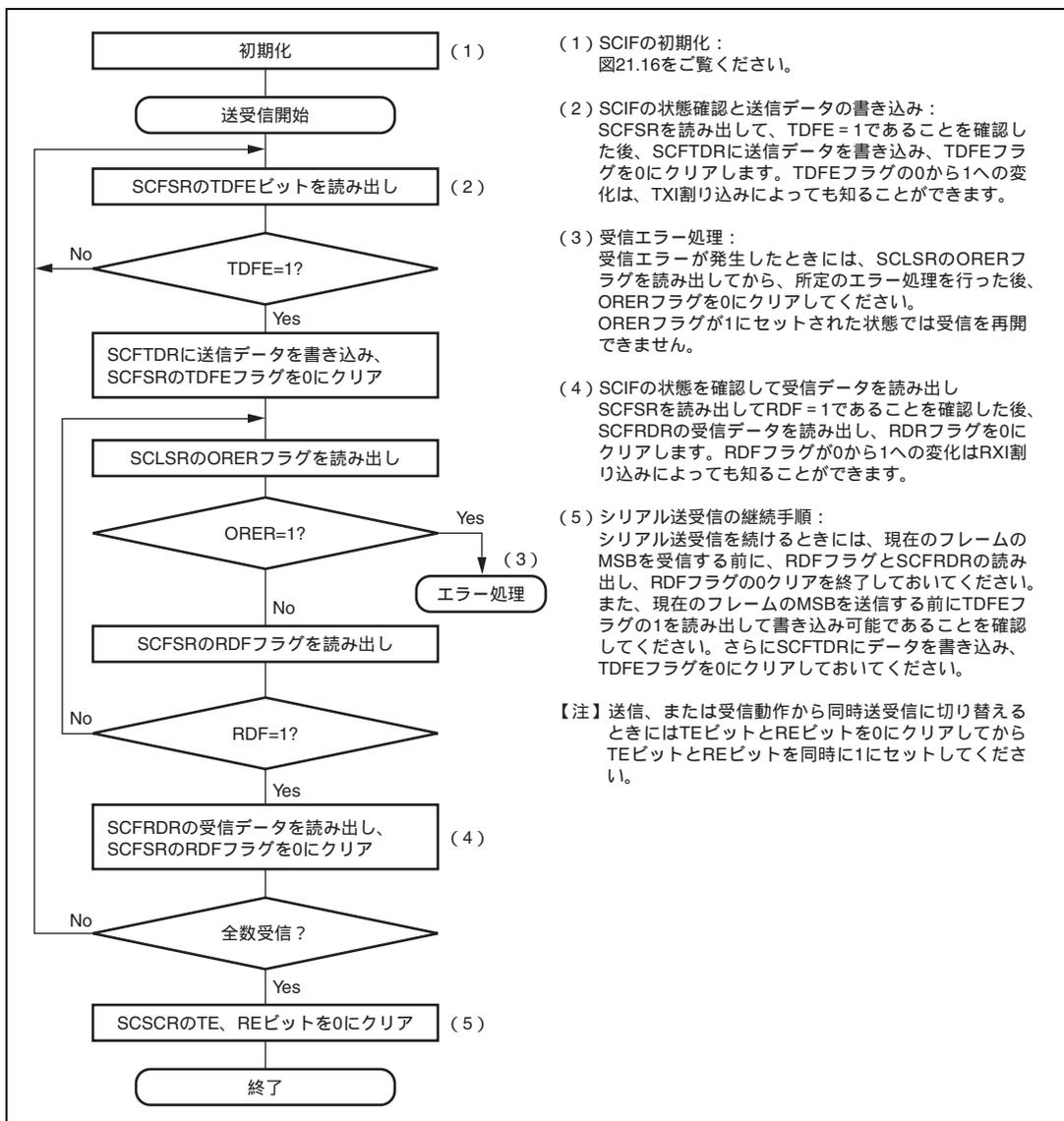


図 21.21 シリアル送受信のフローチャートの例

21.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 21.7 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 21.7 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR)*による割り込み	可	
BRI	ブ레이크 (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR による RXI 割り込みは、調歩同期モード時のみ可能です。

21.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCTFDR で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCRFDR で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF_RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

SCIF_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SCIF_TXD 端子からは 0 が出力されます。

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 21.22 に示します。

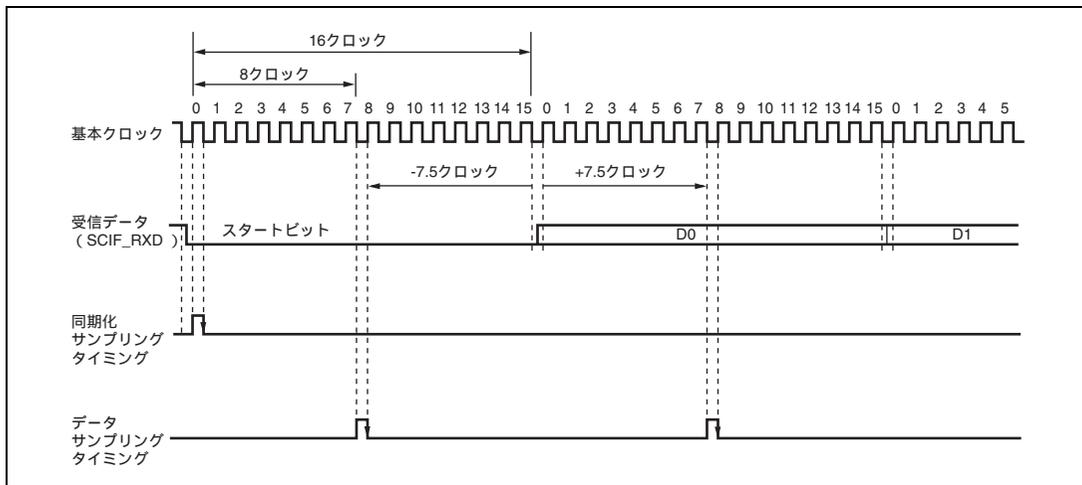


図 21.22 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

M = (0.5 - 1/(2 × 16)) × 100%

= 46.875%

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

22. シリアル I/O FIFO 付き (SIOF)

本 LSI は、FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を内蔵しています。

22.1 特長

- シリアル転送
 - FIFO容量32ビット×16段(送受信独立)
 - 8ビット/16ビット/16ビットステレオ音声入出力に対応
 - データの送受信はMSBが先頭(MSB First)
 - サンプリングレート最大48kHzに対応
 - 同期方法はフレーム同期パルス/左右チャンネル切り替えに対応
 - CODEC制御データインタフェースに対応
 - リニア/オーディオ/A-Law、 μ -Law CODECチップに接続可能
 - マスタ/スレーブ両モードに対応
- シリアルクロック
 - クロックソースとして外部端子入力と周辺クロック(Pck)からの選択が可能
- 割り込み: 1種類
- DMA転送
 - 送信の転送要求による、DMA転送を用いた送受信動作に対応

22. シリアル I/O FIFO 付き (SIOF)

図 22.1 に SIOF のブロック図を示します。

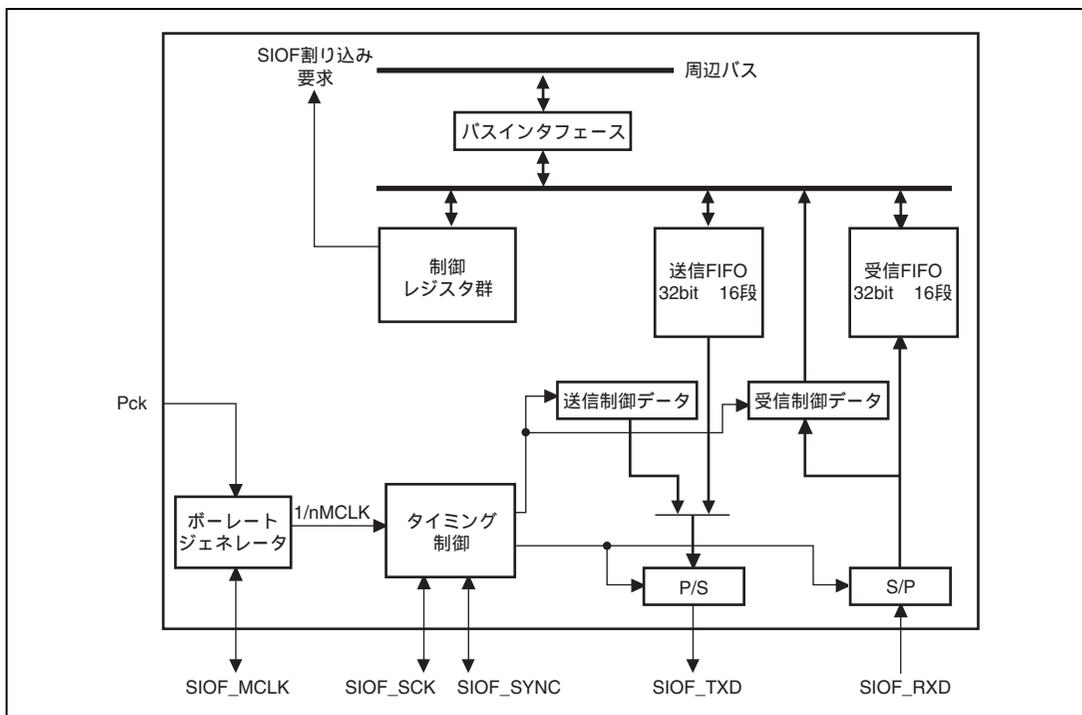


図 22.1 SIOF のブロック図

22.2 入出力端子

本モジュールの端子構成を表 22.1 に示します。

表 22.1 端子構成

端子名*	機能	入出力	説明
SIOF_MCLK	マスタクロック	入力	マスタクロック入力端子です。
SIOF_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通)端子です。
SIOF_SYNC	フレーム同期信号	入出力	フレーム同期信号(送受信共通)です。
SIOF_TXD	送信データ	出力	送信データ端子です。
SIOF_RXD	受信データ	入力	受信データ端子です。

【注】 * PFC の設定により、使用する端子グループが選択可能です。

詳細については「第 28 章 汎用入出力ポート (GPIO)」の周辺モジュールセレクトレジスタ 1、周辺モジュールセレクトレジスタ 2 を参照してください。

22.3 レジスタの説明

SIOF のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。

表 22.2 レジスタ構成

レジスタ名称	略称	R/W	P4 アドレス	エリア7アドレス	アクセス サイズ	同期 クロック
モードレジスタ	SIMDR	R/W	H'FFE2 0000	H'1FE2 0000	16	Pck
クロックセレクトレジスタ	SISCR	R/W	H'FFE2 0002	H'1FE2 0002	16	Pck
送信データアサインレジスタ	SITDAR	R/W	H'FFE2 0004	H'1FE2 0004	16	Pck
受信データアサインレジスタ	SIRDAR	R/W	H'FFE2 0006	H'1FE2 0006	16	Pck
制御データアサインレジスタ	SICDAR	R/W	H'FFE2 0008	H'1FE2 0008	16	Pck
コントロールレジスタ	SICTR	R/W	H'FFE2 000C	H'1FE2 000C	16	Pck
FIFO コントロールレジスタ	SIFCTR	R/W	H'FFE2 0010	H'1FE2 0010	16	Pck
ステータスレジスタ	SISTR	R/W	H'FFE2 0014	H'1FE2 0014	16	Pck
割り込み許可レジスタ	SIHER	R/W	H'FFE2 0016	H'1FE2 0016	16	Pck
送信データレジスタ	SITDR	W	H'FFE2 0020	H'1FE2 0020	32	Pck
受信データレジスタ	SIRDR	R	H'FFE2 0024	H'1FE2 0024	32	Pck
送信制御データレジスタ	SITCR	R/W	H'FFE2 0028	H'1FE2 0028	32	Pck
受信制御データレジスタ	SIRCR	R/W	H'FFE2 002C	H'1FE2 002C	32	Pck

22. シリアル I/O FIFO 付き (SIOF)

表 22.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	モジュール スタンバイ	スリープ
SIMDR	H'8000	H'8000	保持	保持
SISCR	H'C000	H'C000	保持	保持
SITDAR	H'0000	H'0000	保持	保持
SIRDAR	H'0000	H'0000	保持	保持
SICDAR	H'0000	H'0000	保持	保持
SICTR	H'0000	H'0000	保持	保持
SIFCTR	H'1000	H'1000	保持	保持
SISTR	H'0000	H'0000	保持	保持
SIER	H'0000	H'0000	保持	保持
SITDR	H'xxxxxxxx	H'xxxxxxxx	保持	保持
SIRDR	H'xxxxxxxx	H'xxxxxxxx	保持	保持
SITCR	H'00000000	H'00000000	保持	保持
SIRCR	H'xxxxxxxx	H'xxxxxxxx	保持	保持

22.3.1 モードレジスタ (SIMDR)

SIMDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD[1:0]	SYN CAT	REDG	FL[3:0]				TXDIZ	RCIM	SYN CAC	SYN CDL	—	—	—	—	
初期値 :	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15, 14	TRMD[1:0]	10	R/W	転送モード 1、0 表 22.4 に示す転送モードを選択します。 00 : スleepモード 1 01 : スleepモード 2 10 : マスタモード 1 11 : マスタモード 2
13	SYNCAT	0	R/W	SIOF_SYNC 端子有効タイミング SIOF_SYNC 信号を同期パルスで出力する場合の出力位置を示します。 0 : フレームの先頭ビットデータ 1 : スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0 : SIOF_RXD を SIOF_SCK の立ち下がりエッジでサンプリングする 1 : SIOF_RXD を SIOF_SCK の立ち上がりエッジでサンプリングする 【注】 SIOF_TXD の送出タイミングは、SIOF_RXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。
11~8	FL[3:0]	0000	R/W	フレーム長 3~0 転送データフォーマットのフレーム長を設定します。設定値とデータ長、フレーム長との対応は表 22.7 を参照してください。
7	TXDIZ	0	R/W	送信無効時*SIOF_TXD 端子の出力 0 : 無効時ハイレベル出力 1 : 無効時ハイインピーダンス状態 【注】* 無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合です。
6	RCIM	0	R/W	受信制御データ割り込みモード 0 : SIRCR の内容が変化したときに SISTR の RCRDY ビットをセットする 1 : SIRCR への制御データ受信タイミングごとに SISTR の RCRDY ビットをセットする

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
5	SYNCAC	0	R/W	SIOF_SYNC 端子極性 SIOF_SYNC 信号を同期パルスで出力する場合に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOF_SYNC 端子に対しデータ端子ビットの遅延 SIOF_SYNC 信号が同期パルスの場合に有効となります。また、スレープモード時は 1 ビット遅延を指定してください。 0: ビット遅延なし 1: 1 ビット遅延
3~0		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

表 22.4 に、転送モードごとの動作を示します。

表 22.4 転送モードごとの動作

転送モード	マスタ/スレープ	SIOF_SYNC	ビット遅延	制御データ方式*
スレープモード 1	スレープ	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	スレープ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス		スロット位置
マスタモード 2	マスタ	L/R	なし	非対応

【注】 * 制御データ方式については、FL ビットに 1xxx を設定した場合に有効となります。(x: Don't care)
詳細については、「22.4.5 制御データインタフェース」を参照ください。

22.3.2 コントロールレジスタ (SICTR)

SICTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	—	—	—	—	TXE	RXE	—	—	—	—	—	—	TXRST	RXRST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOF_SCK の出力を禁止 (ローレベルを出力する) 1 : SIOF_SCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はボーレートジェネレータを初期化し、動作を開始すると同時に SIOF_SCK にボーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0 : SIOF_SYNC の出力を禁止 (ローレベルを出力する) 1 : SIOF_SYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。
13~10		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0 : SIOF_TXD からのデータ送出を禁止 (TXDIZ ビットの設定値に合わせて出力する。) 1 : SIOF_TXD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭 (フレーム同期信号の立ち上がり) 時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、SIOF_TXD から送信データの送出を開始します。 • 送信リセット時に初期化されます。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
8	RXE	0	R/W	<p>受信イネーブル</p> <p>0 : SIOF_RXD からのデータ受信を禁止</p> <p>1 : SIOF_RXD からのデータ受信を許可</p> <ul style="list-style-type: none"> • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの1設定が有効になると、SIOFはSIOF_RXDからの受信データの取り込みを開始します。受信FIFOにデータが格納されると、SIFCTRのRFWMビットの設定に従い、受信転送要求を発行します。 • 受信リセット時に初期化されます。
7~2		すべて0	R	<p>リザーブビット</p> <p>読み出しは0が読み出されます。書き込む値は常に0にしてください。</p>
1	TXRST	0	R/W	<p>送信リセット</p> <p>0 : 送信動作をリセットしない</p> <p>1 : 送信動作をリセットする</p> <ul style="list-style-type: none"> • 本ビットへの設定は、直ちに有効となります。初期化の対象は「22.4.7(5)送受信リセット」を参照してください。 • 本ビットはリセット動作を完了すると自動的にクリアされるため、読み出し時の値は常に0です。
0	RXRST	0	R/W	<p>受信リセット</p> <p>0 : 受信動作をリセットしない</p> <p>1 : 受信動作をリセットする</p> <ul style="list-style-type: none"> • 本ビットへの設定は、直ちに有効となります。初期化の対象は「22.4.7(5)送受信リセット」を参照してください。 • 本ビットはリセット動作を完了すると自動的にクリアされるため、読み出し時の値は常に0です。

22.3.3 送信データレジスタ (SITDR)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOF の送信データを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	SITDL[15:0]	不定	W	左チャンネル送信データ 左チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15 ~ 0	SITDR[15:0]	不定	W	右チャンネル送信データ 右チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

22. シリアル I/O FIFO 付き (SIOF)

22.3.4 受信データレジスタ (SIRDR)

SIRDR は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRD[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRD[15:0]	不定	R	左チャンネル受信データ 左チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR[15:0]	不定	R	右チャンネル受信データ 右チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

22.3.5 送信制御データレジスタ (SITCR)

SITCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL3~0 ビットに 1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、表 22.3 に示す初期化条件のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITC0[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITC1[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	SITC0[15:0]	H'0000	R/W	制御 0 チャネル送信データ 制御 0 チャネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SITC1[15:0]	H'0000	R/W	制御 1 チャネル送信データ 制御 1 チャネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

22. シリアル I/O FIFO 付き (SIOF)

22.3.6 受信制御データレジスタ (SIRCR)

SIRCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL3 ~ 0 ビットに 1xxx (x : Don't care) を設定したときに有効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRC0[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRC1[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	SIRC0[15:0]	不定	R/W	制御 0 チャネル受信データ 制御 0 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15 ~ 0	SIRC1[15:0]	不定	R/W	制御 1 チャネル受信データ 制御 1 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

22.3.7 ステータスレジスタ (SISTR)

SISTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIIER の対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDY	TFEMP	TDREQ	—	RCRDY	RFFUL	RDREQ	—	—	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15		0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
14	TCRDY	0	R	送信制御データレディ 0 : SITCR への書き込みを行わないでください 1 : SITCR への書き込みが可能である <ul style="list-style-type: none"> • 本ビットが 0 時に SITCR への書き込みを行うと SITCR は上書きされ、以前の内容は SIOF_TXD から送出されません。 • 本ビットは SITCR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIIER の TCRDYE ビットに 1 を設定してください。
13	TFEMP	0	R	送信 FIFO エンプティ 0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である <ul style="list-style-type: none"> • 本ビットは SITCR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIIER の TFEMPE ビットに 1 を設定してください。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値より少ない</p> <p>1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になった</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になったときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIER の TDREQE ビットに 1 を設定してください。
11		0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0: SIRCR に有効データが格納されていない</p> <p>1: SIRCR に有効データが格納されている</p> <ul style="list-style-type: none"> • 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。 • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIER の RCRDYE ビットに 1 を設定してください。
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0: 受信 FIFO が満杯でない</p> <p>1: 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIER の RFFULE ビットに 1 を設定してください。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値より少ない</p> <p>1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値以上になった</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による受信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると自動的に 0 クリアします。 • 本要因による割り込み発行を許可する場合、SIER の RDREQE ビットに 1 を設定してください。
7、6		すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0: スロットアサインエラー未発生</p> <p>1: スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOF_TXD への送信および SIOF_RXD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の SAERRE ビットに 1 を設定してください。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の FSERRE ビットに 1 を設定してください。
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の TFOVFE ビットに 1 を設定してください。
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0 : 送信 FIFO アンダフロー未発生 1 : 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO が空時に送信動作による読み出しが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の TFUDFE ビットに 1 を設定してください。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0 : 受信 FIFO アンダフロー未発生 1 : 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空のときに SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の RFUDFE ビットに 1 を設定してください。
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0 : 受信 FIFO オーバフロー未発生 1 : 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本要因による割り込み発行を許可する場合、SIER の RFOVFE ビットに 1 を設定してください。

22. シリアル I/O FIFO 付き (SIOF)

22.3.8 割り込み許可レジスタ (SIER)

SIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TD MAE	TCR DYE	TFE MPE	TDR EQE	RD MAE	RC RDYE	RF FULE	RD REQE	—	—	SA ERRE	FS ERRE	TF OVFE	TF UDFE	RF UDFE	RF OVFE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル TDREQE=1 設定時に、CPU への割り込み / DMA 転送要求として伝えます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル RDREQE =1 設定時に、CPU への割り込み / DMA 転送要求として伝えます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0 : 受信制御データレディによる割り込みを禁止 1 : 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0 : 受信データ転送リクエストによる割り込みを禁止 1 : 受信データ転送リクエストによる割り込みを許可
7, 6		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0: スロットアサインエラーによる割り込みを禁止 1: スロットアサインエラーによる割り込みを許可
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0: フレーム同期エラーによる割り込みを禁止 1: フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0: 送信 FIFO オーバフローによる割り込みを禁止 1: 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0: 送信 FIFO アンダフローによる割り込みを禁止 1: 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0: 受信 FIFO アンダフローによる割り込みを禁止 1: 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0: 受信 FIFO オーバフローによる割り込みを禁止 1: 受信 FIFO オーバフローによる割り込みを許可

22. シリアル I/O FIFO 付き (SIOF)

22.3.9 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM[2:0]			TFUA[4:0]				RFWM[2:0]			RFUA[4:0]					
初期値 :	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	TFWM[2:0]	000	R/W	送信 FIFO ウォータマーク 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する 送信データを DMA 転送しているときは、111 に設定禁止です。 • 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
12~8	TFUA[4:0]	10000	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な段数を B'00000 (満杯) ~ B'10000 (空) で表示します。

22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
7~5	RFWM[2:0]	000	R/W	<p>受信 FIFO ウォータマーク</p> <p>000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する</p> <p>001 : 設定禁止</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する</p> <p>101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する</p> <p>110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する</p> <p>111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する</p> <ul style="list-style-type: none"> 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
4~0	RFUA[4:0]	00000	R	<p>受信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な段数を B'00000 (空) ~ B'10000 (満杯) で表示します。</p>

22. シリアル I/O FIFO 付き (SIOF)

22.3.10 クロックセレクトレジスタ (SISCR)

SISCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD[1:0] ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSEL	MSIMM	—	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値 :	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSEL	1	R/W	マスタクロックソース選択 マスタクロックとは、ボーレートジェネレータに入力するクロックを指します。 0 : マスタクロックとして SIOF_MCLK 端子入力信号を使用 1 : マスタクロックとして周辺クロック (Pck) を使用
14	MSIMM	1	R/W	マスタクロック直接選択 0 : シリアルクロックとしてボーレートジェネレータ出力クロックを使用 1 : シリアルクロックとしてマスタクロックをそのまま使用
13		0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ボーレートジェネレータに内蔵されたプリスケアラの分周比を設定します。 設定の範囲は B'00000 (× 1/1) ~ B'11111 (× 1/32) となります。
7~3		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ボーレートジェネレータ分周比 マスタクロックを BRPS[4:0] で分周したプリスケアラ出力の分周比を設定します。 000 : プリスケアラ出力 × 1/2 001 : プリスケアラ出力 × 1/4 010 : プリスケアラ出力 × 1/8 011 : プリスケアラ出力 × 1/16 100 : プリスケアラ出力 × 1/32 101 : 設定禁止 110 : 設定禁止 111 : プリスケアラ出力 × 1/1 • 111 は BRPS[4:0] ビットが B'00001 の場合のみ設定可能です。

22.3.11 送信データアサインレジスタ (SITDAR)

SITDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	—	—	—	TDLA[3:0]				TDRE	TLREP	—	—	TDRA[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0 : 左チャンネルデータの送信を許可しない 1 : 左チャンネルデータの送信を許可する
14~12		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11~8	TDLA[3:0]	0000	R/W	送信左チャンネルデータアサイン 3~0 送信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左チャンネルデータの送信データは SITDR の SITDL ビットに設定します。
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0 : 右チャンネルデータの送信を許可しない 1 : 右チャンネルデータの送信を許可する
6	TLREP	0	R/W	送信左チャンネルリピート 0 : 右チャンネルデータとして SITDR の SITDR ビット設定値を送出する 1 : 右チャンネルデータとして SITDR の SITDL ビット設定値を繰り返して送出的 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TDRA[3:0]	0000	R/W	送信右チャンネルデータアサイン 3~0 送信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右チャンネルデータの送信データは SITDR の SITDR ビットに設定します。

22. シリアル I/O FIFO 付き (SIOF)

22.3.12 受信データアサインレジスタ (SIRDAR)

SIRDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置を設定します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	—	—	—	RDLA[3:0]				RDRE	—	—	—	RDRA[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0 : 左チャンネルデータの受信を許可しない 1 : 左チャンネルデータの受信を許可する
14~12		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11~8	RDLA[3:0]	0000	R/W	受信左チャンネルデータアサイン 3~0 受信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 左チャンネルデータの受信データは SIRDAR の SIRDLE ビットに格納されます。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0 : 右チャンネルデータの受信を許可しない 1 : 右チャンネルデータの受信を許可する
6~4		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3~0	RDRA[3:0]	0000	R/W	受信右チャンネルデータアサイン 3~0 受信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 右チャンネルデータの受信データは SIRDAR の SIRDRE ビットに格納されます。

22.3.13 制御データアサインレジスタ (SICDAR)

SICDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR の FL ビットに 1xxx (x : Don't care) を設定したときに有効となります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	—	—	—	CD0A[3:0]				CD1E	—	—	—	CD1A[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CD0E	0	R/W	制御 0 チャンネルデータイネーブル 0 : 制御 0 チャンネルデータの送受信を許可しない 1 : 制御 0 チャンネルデータの送受信を許可する
14~12		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11~8	CD0A[3:0]	0000	R/W	制御 0 チャンネルデータアサイン 3~0 送受信フレームにおける制御 0 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 0 チャンネルデータの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0 チャンネルデータの受信データは SIRCR の SIRD0 ビットに格納されます。
7	CD1E	0	R/W	制御 1 チャンネルデータイネーブル 0 : 制御 1 チャンネルデータの送受信を許可しない 1 : 制御 1 チャンネルデータの送受信を許可する
6~4		すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3~0	CD1A[3:0]	0000	R/W	制御 1 チャンネルデータアサイン 3~0 送受信フレームにおける制御 1 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 1 チャンネルデータの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1 チャンネルデータの受信データは SIRCR の SIRD1 ビットに格納されます。

22.4 動作説明

22.4.1 シリアルクロック

(1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOF_SCK、SIOF_SYNC は入力
- マスタモード : SIOF_SCK、SIOF_SYNC は出力

(2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータを用いてシリアルクロックを生成します。ポーレートジェネレータは、SISCR の BRPS[4:0] ビットで 1 ~ 1/32 の 32 通りの分周比を選択可能なプリスケアラと、SISCR の BRDV[2:0] ビットで 1、1/2、1/4、1/8、1/16、1/32 の 6 通りの分周比を選択可能な分周器で構成しています。ポーレートジェネレータの分周比は、プリスケアラの分周比と分周期の分周比を乗じた 1/1 ~ 1/1024 になります。

ただし、ポーレートジェネレータでマスタクロックを分周しない (分周比が 1/1) 場合、SISCR の MSIMM ビットに 1 をセットしてマスタクロックをそのままシリアルクロックとして使用してください。

図 22.2 にシリアルクロック供給系統図を示します。

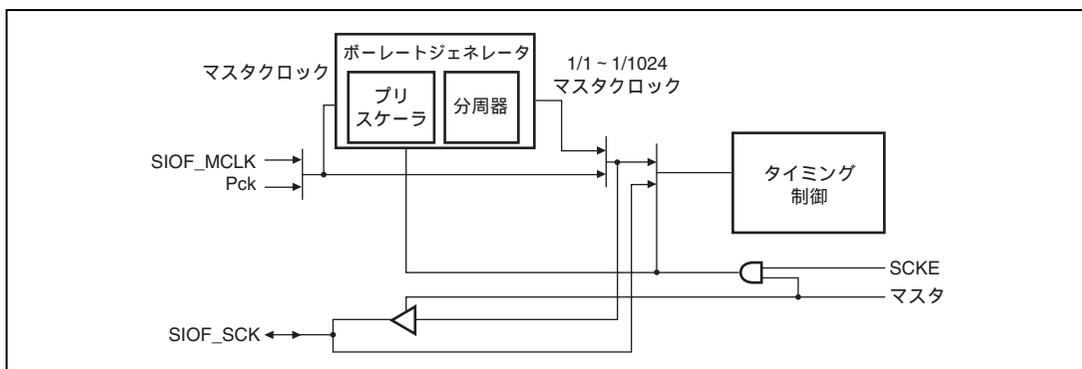


図 22.2 シリアルクロック供給系統図

また、表 22.5 にシリアルクロック周波数の例を示します。

表 22.5 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

【注】 * 制御データ方式については、FL ビットに 1xxx を設定した場合に有効となります。(x : Don't care)

22.4.2 シリアルタイミング

(1) SIOF_SYNC

SIOF_SYNC はフレーム同期信号です。転送モードによって下記の 2 とおりの機能を持ちます。

- 同期パルス：フレーム先頭を表す1ビット幅のパルス
- L/R : ステレオデータの左チャンネル(L)をハイレベル、右チャンネル(R)をローレベルで表す1/2フレーム幅のパルス

図 22.3 に SIOF_SYNC による同期タイミングを示します。

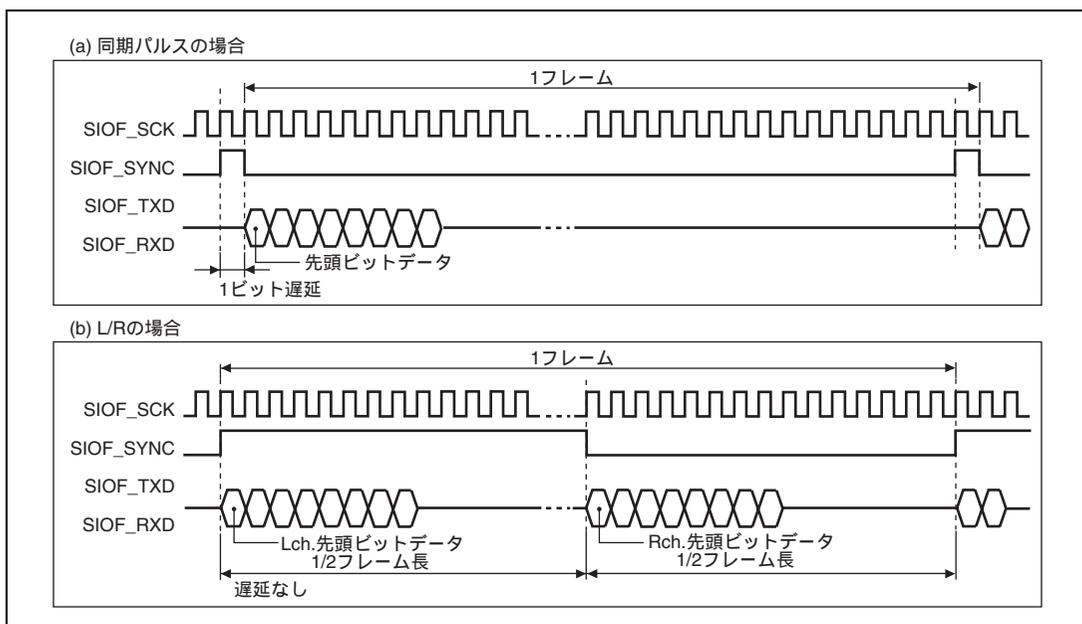


図 22.3 シリアルデータ同期タイミング

22. シリアル I/O FIFO 付き (SIOF)

(2) 送受信タイミング

SIOF_SCK に対する SIOF_TXD の送信タイミングおよび SIOF_RXD の受信タイミングは、サンプリングタイミングとして下記の 2 とおりの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットで行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 22.4 に送受信タイミングを示します。

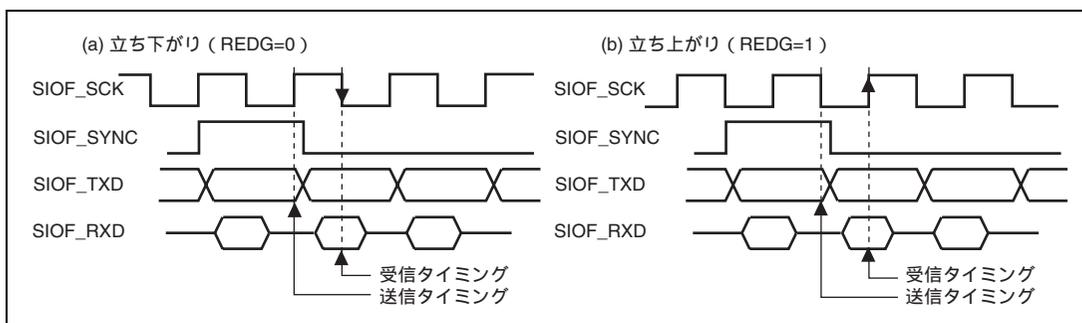


図 22.4 SIOF 送受信タイミング

22.4.3 転送データフォーマット

SIOF は、下記の転送を行います。

- 送受信データ8ビット / 16ビット / 16ビットステレオの転送データ
- 制御データ16ビット長 (送信 / 受信制御データレジスタを用いてインタフェースを行います)

(1) 転送モード

SIOF は、転送モードとして表 22.6 に示すように 4 とおりのモードを持っています。転送モードの設定は SIMDR の TRMD[1:0] ビットで行います。

表 22.6 シリアル転送モード

TRMD[1:0]	転送モード	SIOF_SYNC	ビット遅延	制御データ方式*
00	スレープモード 1	同期パルス	SYNCDL ビット	スロット位置
01	スレープモード 2	同期パルス		セカンダリ FS
10	マスタモード 1	同期パルス		スロット位置
11	マスタモード 2	L/R	なし	非対応

【注】 * 制御データ方式については、FL ビットに 1xxx を設定した場合に有効となります。(x : Don't care)

(2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL[3:0]ビットに対して設定を行います。表 22.7 に設定値とフレーム長の関係を示します。

表 22.7 フレーム長

FL3~FL0	スロット長	1 フレーム当たりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル/ステレオ
1101	16	64	16 ビットモノラル/ステレオ
1110	16	128	16 ビットモノラル/ステレオ
1111	16	256	16 ビットモノラル/ステレオ

【注】 x : Don't care

(3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ (送受信共通) の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記のレジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR
- 制御データ : SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

22.4.4 転送データのレジスタ割り付け

(1) 送受信データ

送受信データの書き込み / 読み出しは下記のレジスタに対して行います。

- 送信データ書き込み : SITDR (32ビットアクセス)
- 受信データ読み出し : SIRDR (32ビットアクセス)

22. シリアル I/O FIFO 付き (SIOF)

図 22.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

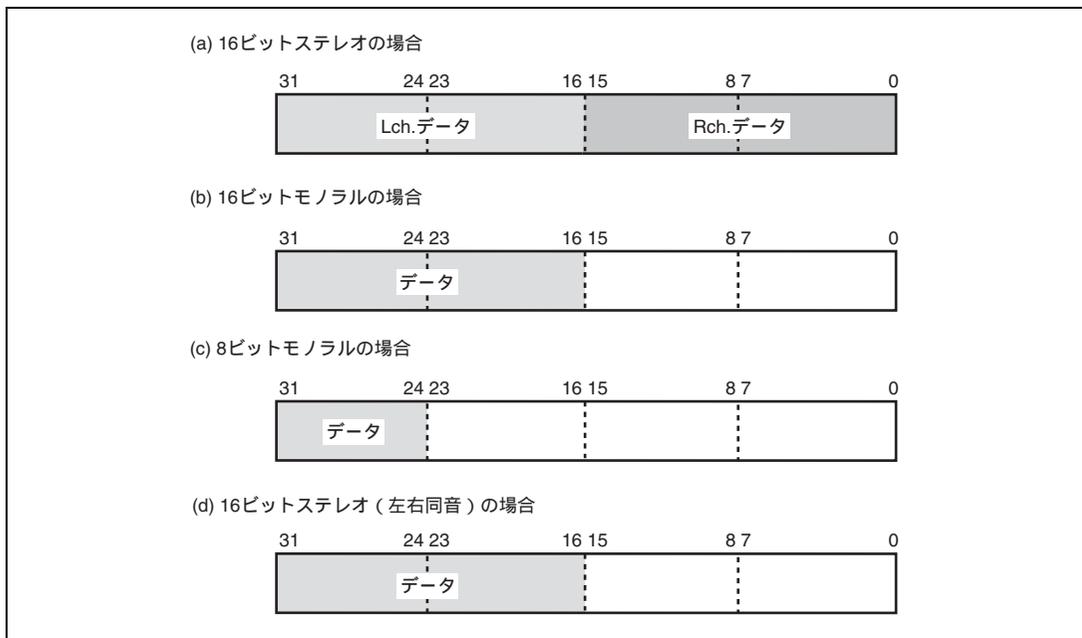


図 22.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。このため、8ビットデータ時にはバイト転送、16ビットデータ時にはワード転送でアクセスを行う必要があります。ハッチングが掛かっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDARのTDLEビットおよびTDREビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDARのRDLEビットおよびRDREビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDARのTLREPビットに設定を行います。表 22.8 に送信データにおける音声モードの設定を、表 22.9 に受信データにおける音声モードの設定を示します。

表 22.8 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 22.9 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

(2) 制御データ

制御データの書き込み/読み出しは下記のレジスタに対して行います。

- 送信制御データ書き込み：SITCR (32ビットアクセス)
- 受信制御データ読み出し：SIRCR (32ビットアクセス)

図 22.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

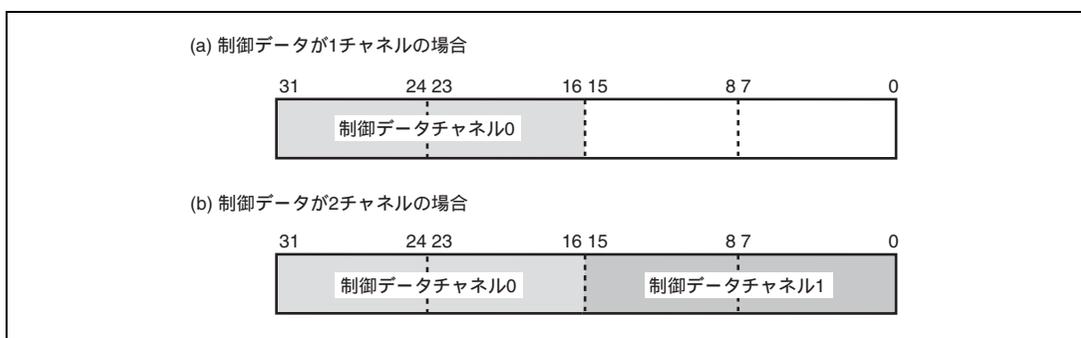


図 22.6 制御データビットアライメント

制御データのチャンネル数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 22.10 に制御データにおけるチャンネル数の設定を示します。

表 22.10 制御データのチャンネル数設定

チャンネル数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

22.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリ FS による制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

(1) スロット位置による制御 (マスタモード 1、スレーブモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 22.7 にスロット位置による制御データインタフェースのタイミング例を示します。

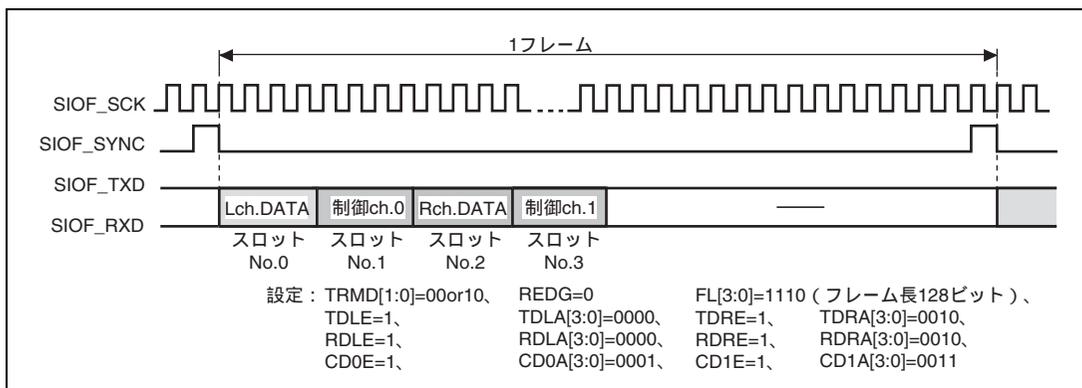


図 22.7 制御データインタフェース (スロット位置)

(2) セカンダリ FS による制御 (スレーブモード 2)

SIOF_SYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB = 1 の送信データ送出 (SITCDR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCDR 設定データ) の送信および受信 (SIRCDR へ格納) を行う

図 22.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

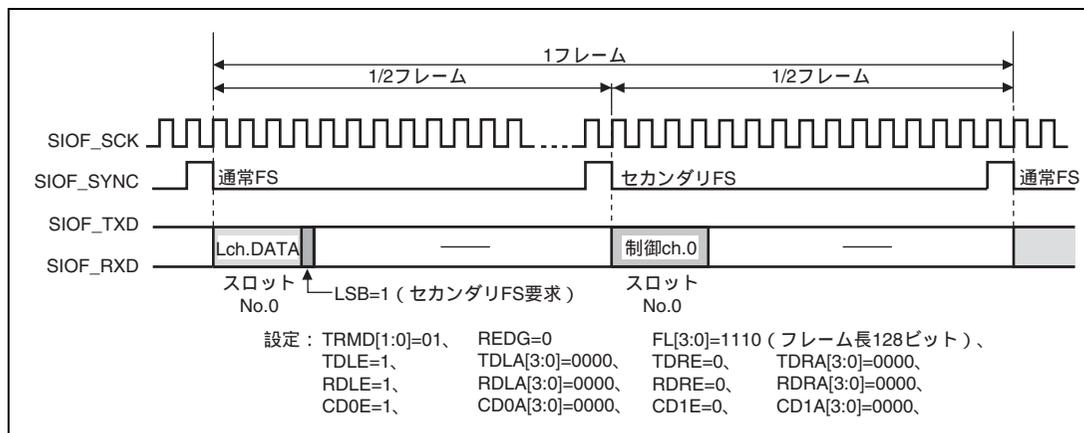


図 22.8 制御データインタフェース (セカンダリ FS)

22.4.6 FIFO

(1) 概要

SIOF 送受信 FIFO の特徴を以下に示します。

- 送受信それぞれ32ビット×16段の容量
- CPU、DMACのアクセスサイズにかかわらず、1回の読み出し / 書き込みサイクルでポインタは更新されます。
(1段のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求：TDREQ (送信用割り込み要因)
- 受信要求：RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0]ビットに、受信 FIFO の転送要求は RFWM[2:0]ビットに設定します。表 22.11 に送信要求発行条件を、表 22.12 に受信要求発行条件を示します。

22. シリアル I/O FIFO 付き (SIOF)

表 22.11 送信要求発行条件

TFWM[2:0]	リクエスト段数* ¹	送信要求発行	使用領域
000	1	空き領域が 16 段	小   大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111* ²	16	空き領域が 1 段以上	

表 22.12 受信要求発行条件

RFWM[2:0]	リクエスト段数* ¹	受信要求発行	使用領域
000	1	有効データが 1 段以上	小   大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

【注】 *1 リクエスト段数とは、送信 / 受信 FIFO の有効データの段数を示します。

*2 DMA 転送使用時は設定禁止です。

データ領域もしくは空き領域が上記の段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

(3) 段数表示

送受信 FIFO の使用状況を、下記の内容でレジスタに表示します。

- 送信FIFO : SIFCTRのTFUA[4:0]ビットに空き領域の段数を表示
- 受信FIFO : SIFCTRのRFUA[4:0]ビットに有効データの段数を表示

上記の内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

22.4.7 送受信手順

各レジスタの設定は、PFC の設定後に行ってください。

(1) マスタモード送信

図 22.9 にマスタモード時の送信の設定例および動作を示します。

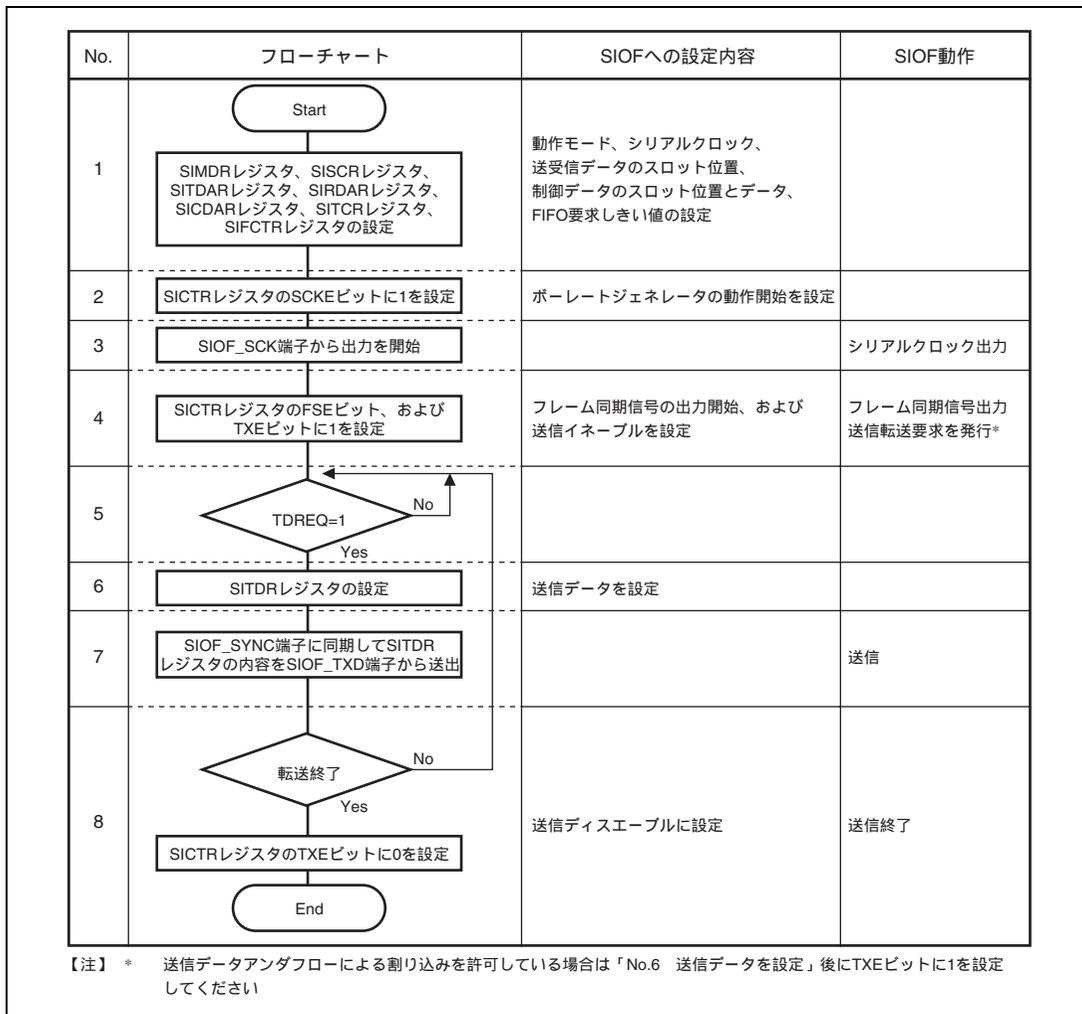


図 22.9 マスタモードの送信動作例

22. シリアル I/O FIFO 付き (SIOF)

(2) マスタモード受信

図 22.10 にマスタモードの受信の設定例および動作を示します。

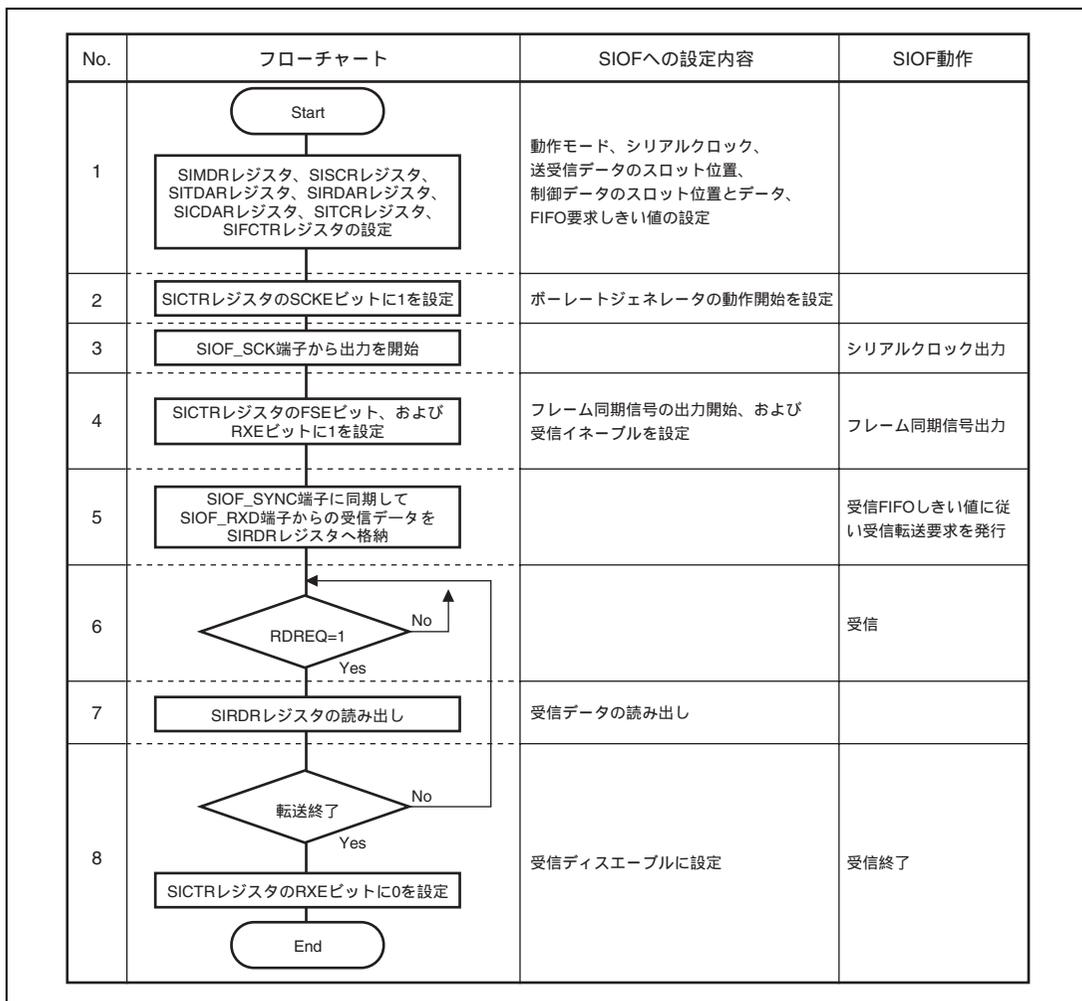


図 22.10 マスタモードの受信動作例

(3) スレーブモード送信

図 22.11 にスレーブモードの送信の設定例および動作を示します。

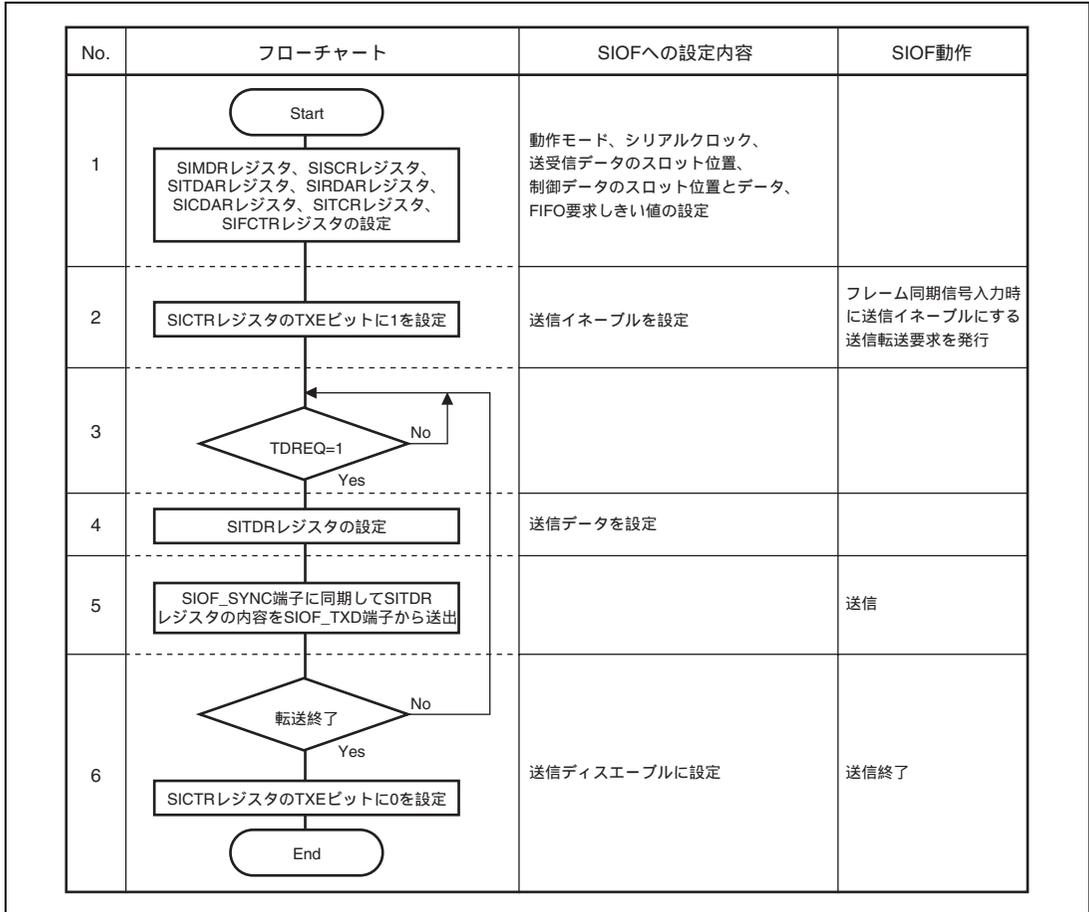


図 22.11 スレーブモードの送信動作例

22. シリアル I/O FIFO 付き (SIOF)

(4) スレープモード受信

図 22.12 にスレープモードの受信の設定例および動作を示します。

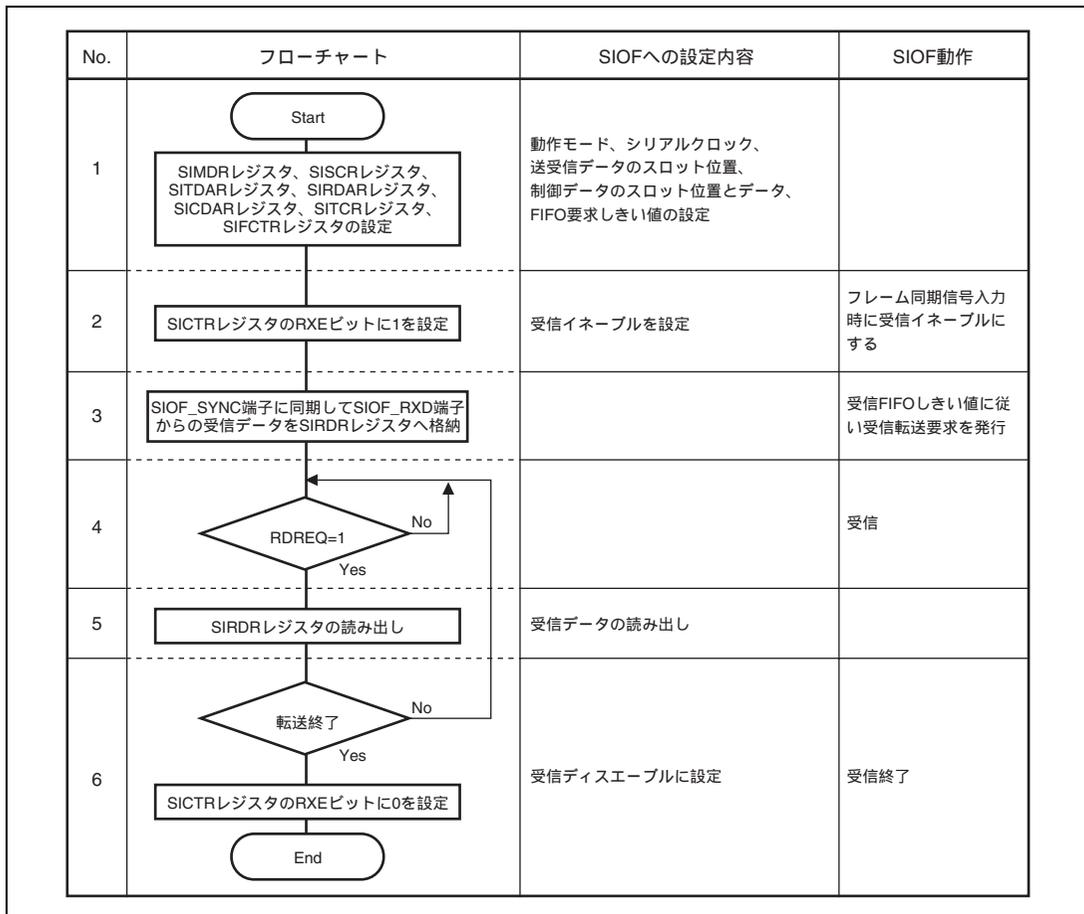


図 22.12 スレープモードの受信動作例

(5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 22.13 に送受信リセットで初期化される内容を示します。

表 22.13 送受信リセット

種類	初期化対象
送信リセット	SIOF_TXD 端子からの送信を停止 (TXDIZ ビットの設定値に合わせて出力する。) 送信 FIFO ライトポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIOF_RXD 端子からの受信を停止 受信 FIFO ライトポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

22.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

(1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 22.14 に SIOF 割り込み要因一覧を示します。

表 22.14 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空のときにシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空のときに受信 FIFO 読み出しを行った
11		FSERR	フレーム同期エラー	設定ビット数以前に同期信号が入力された (スリーブ時)
12		SAERR	スロットアサインエラー	シリアルデータ、制御データのスロット設定が重複している

22. シリアル I/O FIFO 付き (SIOF)

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

(2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表すビットであり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送による FIFO アクセスを実行した時点で、FIFO 転送要求は必ず 1 サイクル期間 0 にクリアします。

(3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記の動作を行います。

- 送信FIFOアンダフロー (TFUDF)
直前の送信データを再び送出します。
- 送信FIFOオーバフロー (TFOVF)
送信FIFOの内容は保護され、オーバフローとなった書き込みは無視します。
- 受信FIFOオーバフロー (RFOVF)
オーバフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー (RFUDF)
不定値がバス上に出力されます。
- フレーム同期エラー (FSERR)
エラーとなった同期信号に従って、内部カウンタはリセットされます。
- スロットアサインエラー (SAERR)
送受信データと制御データが重複した場合には、送受信データが優先されます。
制御データ同志が重複した場合には、送受信データは保証されません。

22.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 22.13 ~ 図 22.19 に示します。

(1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

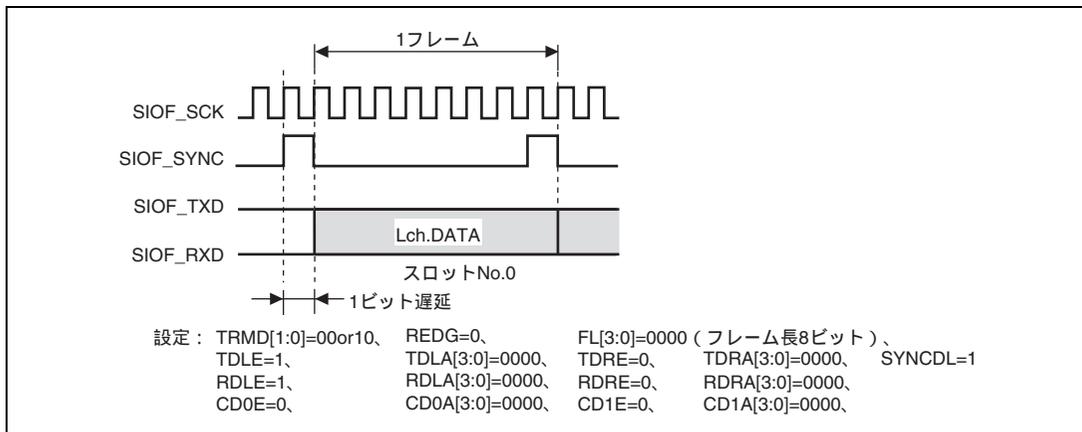


図 22.13 送受信タイミング (8 ビットモノラル - 1)

(2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

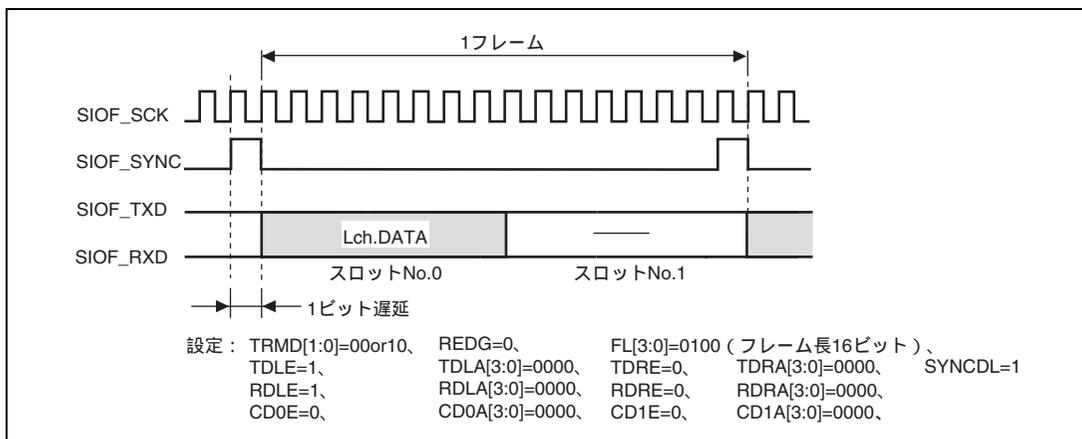


図 22.14 送受信タイミング (8 ビットモノラル - 2)

22. シリアル I/O FIFO 付き (SIOF)

(3) 16 ビットモノラルの場合

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

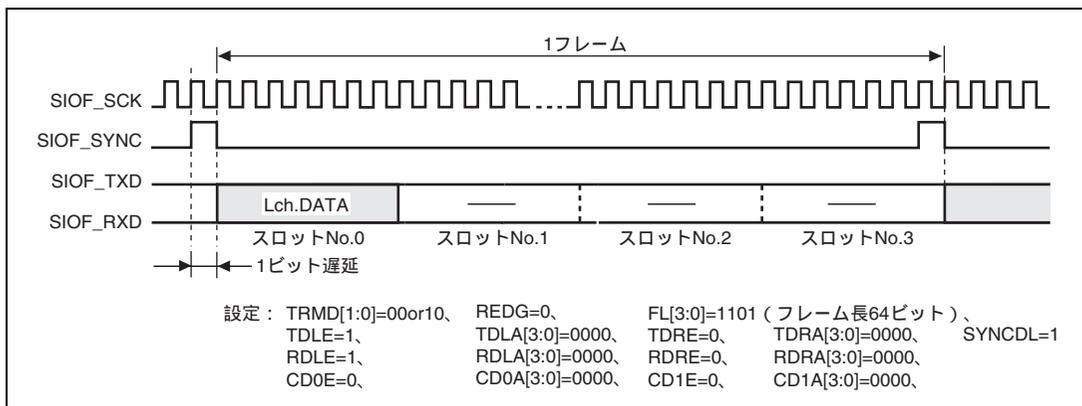


図 22.15 送受信タイミング (16 ビットモノラル)

(4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

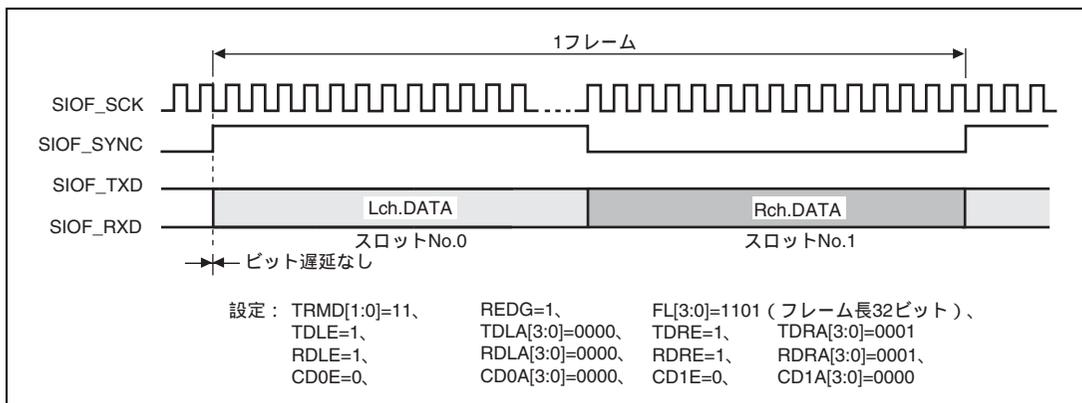


図 22.16 送受信タイミング (16 ビットステレオ - 1)

(5) 16 ビットステレオの場合 (その2)

L/R 方式、立ち上がりサンプリング、L チャンネル送信データはスロット No.0、L チャンネル受信データはスロット No.1、R チャンネル送信データはスロット No.2、R チャンネル受信データはスロット No.3、フレーム長は 64 ビット

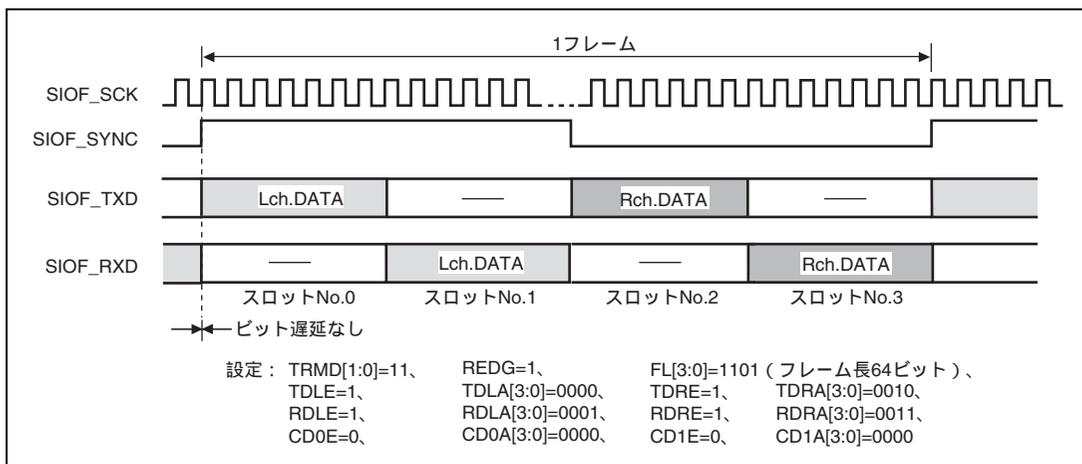


図 22.17 送受信タイミング (16 ビットステレオ - 2)

(6) 16 ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

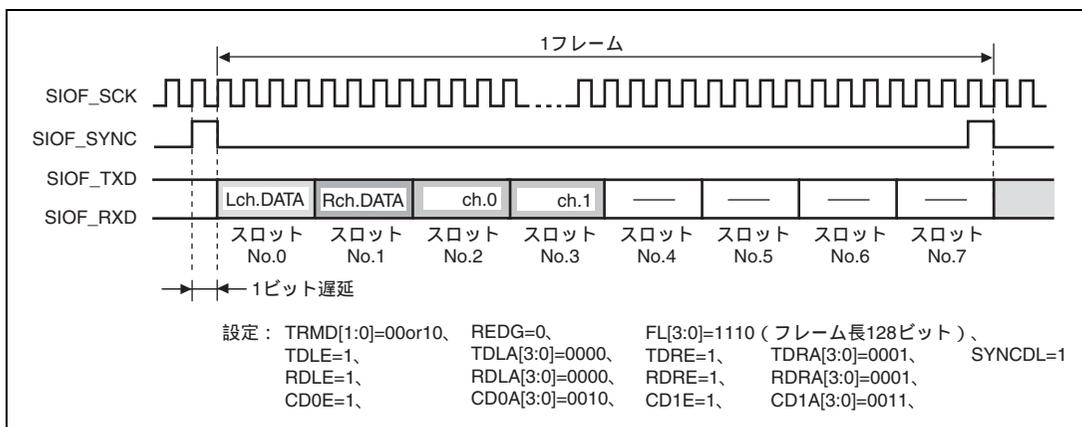


図 22.18 送受信タイミング (16 ビットステレオ - 3)

22. シリアル I/O FIFO 付き (SIOF)

(7) 16 ビットステレオの場合 (その4)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.2、制御チャンネルデータ 0 はスロット No.1、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

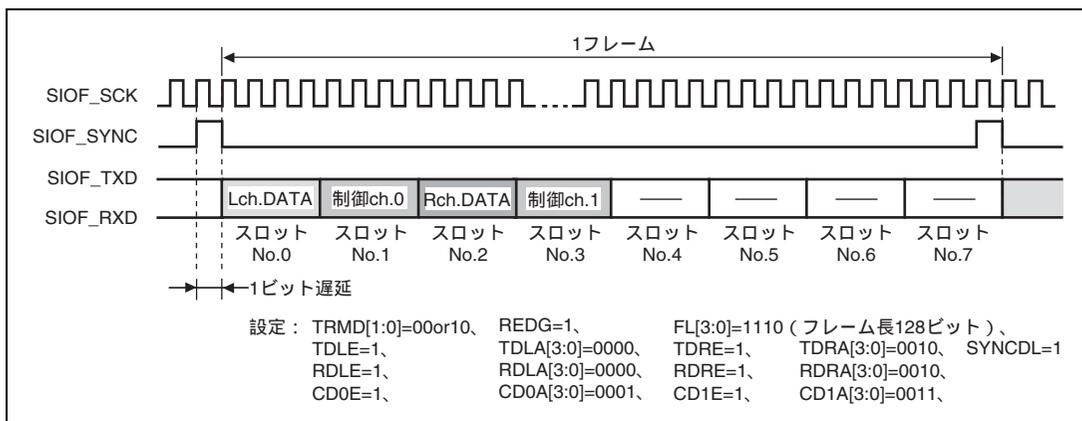


図 22.19 送受信タイミング (16 ビットステレオ - 4)

(8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

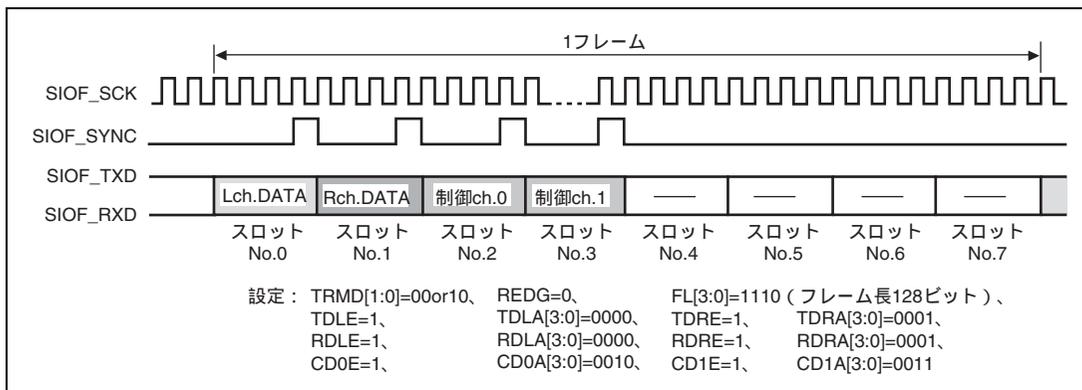


図 22.20 送受信タイミング (16 ビットステレオ)

23. シリアルペリフェラルインタフェース (HSPI)

本 LSI は、シリアルペリフェラルインタフェース (HSPI) を 1 チャンネル内蔵しています。

23.1 特長

HSPI には次のような特長があります。

- 動作モード：マスタモード、スレーブモード
- 送信部と受信部はダブルバッファ構造で、全二重通信が可能
- 周辺クロック (Pck) 分周機能により、広範囲のビットレートをサポート
- クロックのレジスタ設定により、2種類の送信プロトコルを設定でき、シリアルクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかと同期した送信 / 受信機能を実現しています。
- 受信エラーに関しては、レシーブバッファのオーバーフローを検出できます。
- マスタ設定のとき、データ転送中に自動的に、または手動でコントロールすることにより、スレーブモジュールに対するチップセレクト信号を生成できます。
- 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

23. シリアルペリフェラルインタフェース (HSPI)

図 23.1 に HSPI のブロック図を示します。

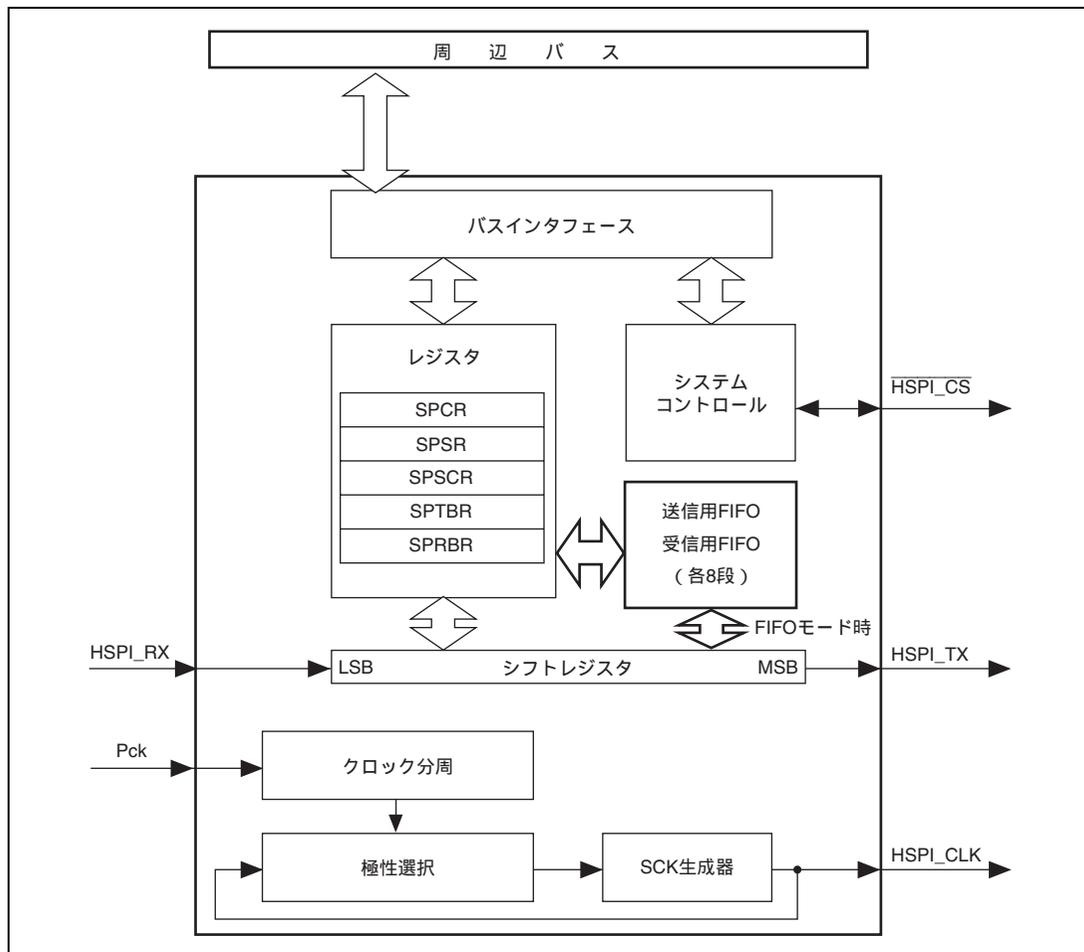


図 23.1 HSPI のブロック図

23.2 入出力端子

表 23.1 に HSPI の端子構成を示します。

表 23.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	HSPI_CLK	入出力	クロック入出力
送信データ端子	HSPI_TX	出力	送信データ出力
受信データ端子	HSPI_RX	入力	受信データ入力
チップセレクト端子	HSPI_CS	入出力	チップセレクト

23.3 レジスタの説明

表 23.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7アドレス	サイズ	同期クロック
コントロールレジスタ	SPCR	R/W	H'FFE5 0000	H'1FE5 0000	32	Pck
ステータスレジスタ	SPSR	R*1	H'FFE5 0004	H'1FE5 0004	32	Pck
システムコントロールレジスタ	SPSCR	R/W	H'FFE5 0008	H'1FE5 0008	32	Pck
トランスミットバッファレジスタ	SPTBR	R/W	H'FFE5 000C	H'1FE5 000C	32	Pck
レシーブバッファレジスタ	SPRBR	R	H'FFE5 0010	H'1FE5 0010	32	Pck

【注】 *1 ビット 4、3 はフラグをクリアするための 0 書き込みが可能です。

表 23.2 レジスタ構成 (2)

名称	略称	パワーオン リセット PRESET \bar 端子/WDT /H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ/ ディープ スリープ Sleep 命令 による	モジュール スタンバイ による	ソフト リセットによる
コントロールレジスタ	SPCR	H'0000 0000	H'0000 0000	保持	保持	保持
ステータスレジスタ	SPSR	H'XXXX X120*2	H'XXXX X120*2	保持	保持	b'XXXX X1XX*3
システムコントロールレジスタ	SPSCR	H'0000 0040	H'0000 0040	保持	保持	保持
トランスミットバッファレジスタ	SPTBR	H'0000 0000	H'0000 0000	保持	保持	保持
レシーブバッファレジスタ	SPRBR	H'0000 0000	H'0000 0000	保持	保持	保持

【注】 *2 X は不定値を示します。

*3 X は不定値を示します。ビット 9/6/4/3 は保持されます。それ以外のビットは初期値が不定以外のビットは初期化されます。

23. シリアルペリフェラルインタフェース (HSPI)

23.3.1 コントロールレジスタ (SPCR)

SPCR は、32 ビットの読み出し / 書き込み可能なレジスタで、転送データのシフトタイミングの制御、クロック極性、およびクロック周波数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FBS	CLKP	IDIV	CLKC4	CLKC3	CLKC2	CLKC1	CLKC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビットです。 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7	FBS	0	R/W	ファーストビットスタート 各ビットの転送されたデータとシリアルクロックの間のタイミングを制御します。 0 : HSPI から転送された最初のビットが、 $\overline{\text{HSPI_CS}}$ 端子がローレベルになった後の最初の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが $\overline{\text{HSPI_CS}}$ 端子がローレベルになった後の最初のレジスタで設定した HSPI_CLK エッジでサンプルされます。 1 : HSPI から転送された最初のビットが、 $\overline{\text{HSPI_CS}}$ 端子がローレベルになった後の 2 番目の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが $\overline{\text{HSPI_CS}}$ 端子がローレベルになった後の 2 番目のレジスタで設定した HSPI_CLK エッジでサンプルされます。
6	CLKP	0	R/W	シリアルクロック極性 0 : HSPI_CLK 信号は反転されず、インアクティブ期間中はローレベルです。 1 : HSPI_CLK 信号は反転され、インアクティブ期間中はハイレベルです。
5	IDIV	0	R/W	初期クロック分周比 0 : 初期化時、中間周波数を生成するために周辺クロック (Pck) は 4 で分周され、マスタモード用のシリアルクロックを生成するためにさらに分周されます。 1 : 初期化時、中間周波数を生成するために周辺クロック (Pck) は 32 で分周され、マスタモード用のシリアルクロックを生成するためにさらに分周されます。

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
4	CLKC4	0	R/W	クロック分周カウント
3	CLKC3	0	R/W	中間周波数で分周して得られるシリアルクロックの分周比を設定します。
2	CLKC2	0	R/W	00000 : 1 中間周波数サイクル。
1	CLKC1	0	R/W	シリアルクロック周波数は、中間周波数/2
0	CLKC0	0	R/W	00001 : 2 中間周波数サイクル。 シリアルクロック周波数は、中間周波数/4 00010 : 3 中間周波数サイクル。 シリアルクロック周波数は、中間周波数/6 :: 11111 : 32 中間周波数サイクル。 シリアルクロック周波数は、中間周波数/64

シリアルクロック周波数は以下の計算式で求められます。

$$\text{シリアルクロック周波数} = \frac{Pck}{(\text{初期クロック分周比} \times (\text{クロック分周カウント} + 1) \times 2)}$$

HSPI がスレーブとして動作する場合、IDIV と CLKC ビットは無視され、HSPI は外部から供給されたシリアルクロックと同期します。動作可能な外部シリアルクロックの最大値は、Pck/8 です。

FBS または CLKP、IDIV、CLKC ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

IDIV、CLKC を設定、変更すると内部シリアルクロック作成用カウンタがリセットされます。そのため設定、変更を行った場合は、最低 1 シリアルクロック (設定した IDIV、CLKC によって異なります) 経過後にデータの送受信を行ってください。

23. シリアルペリフェラルインタフェース (HSPI)

23.3.2 ステータスレジスタ (SPSR)

SPSR のステータスフラグにより、システムが正しく動作しているかどうかを確認できます。

SPSCR の ROIE ビットが 1 に設定されている場合、レシーブバッファオーバーラン発生やレシーブバッファオーバーラン警告により割り込み要求を発生します。SPSCR の TFIE ビットが 1 に設定されている場合、送信完了フラグにより割り込み要求を発生します。SPSCR の該当イネーブルビットが 1 に設定されている場合、受信 FIFO ハーフウェイや受信 FIFO フル、送信 FIFO エンプティ、送信 FIFO ハーフウェイフラグにより割り込み要求を発生します。SPSCR の RNIE ビットが 1 に設定されていると、受信 FIFO が空ではない場合に割り込み要求を発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXFU	TXHA	TXEM	RXFU	RXHA	RXEM	RXOO	RXOW	RXFL	TXFN	TXFL
初期値 :	—	—	—	—	—	0	0	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて不定	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
10	TXFU	0	R	送信 FIFO フルフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が送信データでいっぱいになり、次の送信データを受け付けなくなったときにこのフラグは 1 にセットされます。送信データが転送のために HSPI バスに出力されたときにこのフラグは 0 にクリアされます。
9	TXHA	0	R	送信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が中間点に到達したとき、つまり、4 バイトに送信データを格納し、4 バイトが空いている状態のときにこのフラグは 1 にセットされます。送信 FIFO にさらにデータが書き込まれたときにこのフラグは 0 にクリアされます。次に続く FIFO レベルが中間点より下回っても、このフラグは中間点より上回るまでは 1 にセットされたままです。 TXHA=1 かつ THIE=1 のとき、割り込みが発生します。
8	TXEM	1	R	送信 FIFO エンプティフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO に送信データが入ってないときにこのフラグは 1 にセットされます。送信 FIFO にデータが書き込まれたときにこのフラグは 0 にクリアされます。 TXEM=1 かつ TEIE=1 のとき、割り込みが発生します。

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
7	RXFU	0	R	<p>受信 FIFO フルフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が受信データでいっぱいになり、次の受信データを受けつけなくなったときにこのフラグは 1 にセットされます。受信 FIFO からデータが読み出されたときにこのフラグは 0 にクリアされます。</p> <p>RXFU=1 かつ RFIE=1 のとき、割り込みが発生します。</p>
6	RXHA	0	R	<p>受信 FIFO ハーフウェイフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が中間点に到達したとき、つまり、4 バイトに受信データを格納し、4 バイトが空いている状態のときにこのフラグは 1 にセットされます。受信 FIFO を読み出し、4 バイト (中間点) を下回った場合にフラグは 0 にクリアされます。</p> <p>RXHA=1 かつ RHIE=1 のとき、割り込みが発生します。</p>
5	RXEM	1	R	<p>受信 FIFO エンプティフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO に受信データが入ってないときにこのフラグは 1 にセットされます。受信 FIFO にデータが書き込まれたときにこのフラグは 0 にクリアされます。</p> <p>RXEM=0 かつ RNIE=1 のとき、割り込みが発生します。</p>
4	RXOO	0	R/W*	<p>レシーブバッファオーバーラン発生フラグ</p> <p>新しいデータを受信したが、前の受信データが HSPI の SPRBR からまだ読み出されてないときにこのフラグは 1 にセットされます。新しく受信したデータは、前に受信したデータを上書きしません。RXOO フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOO=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
3	RXOW	0	R/W*	<p>レシーブバッファオーバーラン警告フラグ</p> <p>新しいシリアルデータ転送が開始されたのに、前の受信データが HSPI の SPRBR からまだ読み出されてないときにこのフラグは 1 にセットされます。RXOW フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOW=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
2	RXFL	0	R	<p>レシーブバッファフルステータスフラグ</p> <p>本ステータスフラグは、SPRBR に読み出されていない新しいデータが格納されていることを示します。シリアルバス転送の終わりの方で、シフトレジスタ内容がレシーブバッファにロードされた時点でこのフラグは 1 にセットされます。SPRBR を読み出すことで、このビットを 0 にクリアできます。</p>
1	TXFN	0	R	<p>送信完了ステータスフラグ</p> <p>本ステータスフラグは、最後の転送が完了したことを示します。SPTBR が周辺バスからデータを受信できるようになったときにこのフラグは 1 にセットされます。SPTBR にデータを書き込むことで、このビットを 0 にクリアできます。</p> <p>TXFN=1 かつ TFIE=1 のとき、割り込みが発生します。</p>

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
0	TXFL	0	R	トランスミットバッファフルステータスフラグ 本ステータスフラグは、SPTBR に送信していないデータがあることを示します。周辺バスからのデータが SPTBR に書き込まれたときにこのフラグは 1 にセットされます。SPTBR が周辺バスからのデータを受信できるようになったときにこのビットは 0 にリセットされます。

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは各ビットの初期値に初期化されますが、1 の書き込みは無視されます。

23.3.3 システムコントロールレジスタ (SPSCR)

SPSCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みまたは FIFO モードの制御、データを送受信するときの LSB / MSB ファーストの選択、ソフトリセットの発生を行うことができます。

FFEN または LMSB、CSA、MASL ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31 ~ 14	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
13	TEIE	0	R/W	送信 FIFO エンプティ割り込みイネーブル 0 : 送信 FIFO エンプティ割り込みを禁止 1 : 送信 FIFO エンプティ割り込みを許可
12	THIE	0	R/W	送信 FIFO ハーフウェイ割り込みイネーブル 0 : 送信 FIFO ハーフウェイ割り込みを禁止 1 : 送信 FIFO ハーフウェイ割り込みを許可
11	RNIE	0	R/W	受信 FIFO ノットエンプティ割り込みイネーブル 0 : 受信 FIFO ノットエンプティ割り込みを禁止 1 : 受信 FIFO ノットエンプティ割り込みを許可
10	RHIE	0	R/W	受信 FIFO ハーフウェイ割り込みイネーブル 0 : 受信 FIFO ハーフウェイ割り込みを禁止 1 : 受信 FIFO ハーフウェイ割り込みを許可

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
9	RFIE	0	R/W	受信 FIFO フル割り込みイネーブル 0 : 受信 FIFO フル割り込みを禁止 1 : 受信 FIFO フル割り込みを許可
8	FFEN	0	R/W	FIFO モードイネーブル FIFO モードを許可 / 禁止します。FIFO モードが許可されているとき、送信データと受信データのためにそれぞれ 1 つずつ 8 エントリ FIFO が使用可能になります。これらの FIFO は、SPTBR と SPRBR 経由で読み出しと書き込みができます。FIFO モードが禁止されているとき、存在する SPTBR と SPRBR が直接使われるため、HSPI バス上のすべての転送ごとに新しいデータを SPTBR に書き込んだり、SPRBR から読み出ししたりする必要があります。 SPTBR と SPRBR のデータを DMA 転送する場合、FIFO モードを無効にしてください。 0 : FIFO モードを禁止 1 : FIFO モードを許可
7	LMSB	0	R/W	LSB / MSB ファーストコントロール 0 : データの送受信は最上位ビット (MSB) から行われます。 1 : データの送受信は最下位ビット (LSB) から行われます。
6	CSV	1	R/W	チップセレクト値 HSPI がマスタモード時、チップセレクト信号の手動生成が選択されているとき (CSA=1)、このビットがチップセレクト出力値をコントロールします。 0 : チップセレクト出力がローレベル 1 : チップセレクト出力がハイレベル
5	CSA	0	R/W	自動 / 手動チップセレクト 0 : チップセレクト出力をデータ転送中に自動生成 1 : チップセレクト出力を手動でコントロールし、CSV ビットが値を決定
4	TFIE	0	R/W	送信完了割り込みイネーブル 0 : 送信完了割り込みを禁止 1 : 送信完了割り込みを許可
3	ROIE	0	R/W	レシーブオーバーラン発生 / 警告割り込みイネーブル 0 : レシーブオーバーラン発生 / 警告割り込みを禁止 1 : レシーブオーバーラン発生 / 警告割り込みを許可
2	RXDE	0	R/W	受信 DMA イネーブル 0 : 受信 DMA 転送要求を禁止 1 : 受信 DMA 転送要求を許可
1	TXDE	0	R/W	送信 DMA イネーブル 0 : 送信 DMA 転送要求を禁止 1 : 送信 DMA 転送要求を許可

23. シリアルペリフェラルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
0	MASL	0	R/W	マスタ/スレーブセレクト 0 : HSPI はスレーブとして動作 1 : HSPI はマスタとして動作

23.3.4 トランスミットバッファレジスタ (SPTBR)

SPTBR は、読み出し / 書き込み可能な 32 ビットのレジスタで、送信するデータを格納します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	TD	すべて 0	R/W	送信データ これらのビットに書き込まれたデータは送信のためのシフトレジスタに転送されます。 読み出し時には、送信バッファに格納されているデータが読み出されます。

23.3.5 レシーブバッファレジスタ (SPRBR)

SPRBR は、読み出し専用の 32 ビットのレジスタで、受信したデータを格納します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	RD	すべて 0	R	受信データ 前回受信したデータの読み出しが完了しているならば、1 バイトを受信するごとにシフトレジスタからデータがこれらのビットに格納されます。

23.4 動作説明

23.4.1 FIFO モード無効時の動作

図 23.2 に送信 / 受信動作の手順フローを示します。

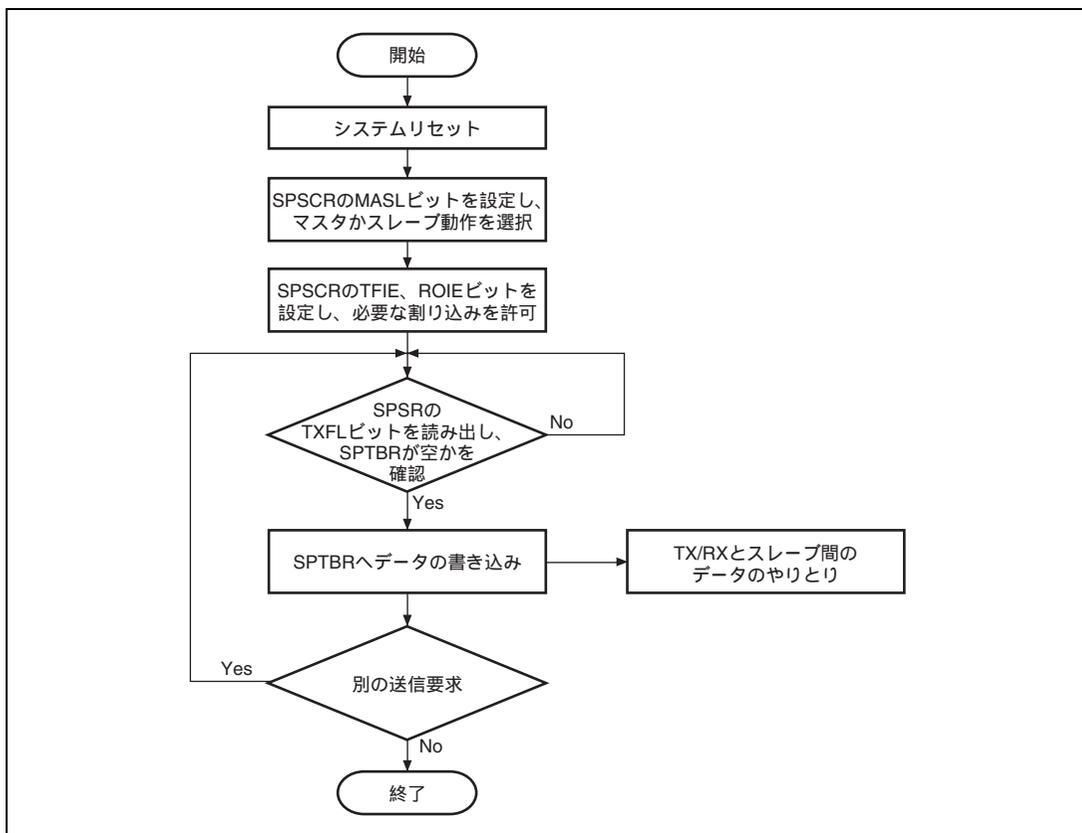


図 23.2 動作フローチャート

マスタは SPCR の設定により HSPI_CLK の立ち下がりか立ち上がりエッジでスレープにデータを送信し、反対のエッジでスレープからのデータをサンプリングします。マスタとスレープ間のデータ転送は、SPSR の TXFN ビット (送信完了ステータスフラグ) が 1 にセットされたときに終了します。HSPI モジュールが受信専用 (ヌルデータ送信中) に設定されている場合にも、TXFN ビットを使えば、HSPI 転送イベント (バイト送信とバイト受信) がいつ発生したかを調べることができます。データ送信方式のデフォルトは MSB ファーストですが、SPSCR の LMSB ビットの設定によっては、LSB ファーストも可能です。

送信動作中のスレープは、マスタからの HSPI_CLK 出力と同期して、マスタにデータを送信しています。スレープから送信されたデータはサンプリングされたあとでシフトレジスタに転送され、送信完了時には SPRBR に転送されます。

HSPI がスレーブとして動作する場合、 $\overline{\text{HSPI_CS}}$ 端子を用いて HSPI を選択し、外部マスタからのデータを受信できるように準備します。SPCR の FBS ビットが 0 のとき、バイトデータとバイトデータの間は $\overline{\text{HSPI_CS}}$ 端子をハイレベルに保持する必要があります (1 バイト転送後には、 $\overline{\text{HSPI_CS}}$ 端子をハイレベルにする必要があります)。FBS = 1 のとき、複数バイトの送信期間なら、 $\overline{\text{HSPI_CS}}$ 端子がローレベルでも問題ありません。常に FBS = 1 となるようにシステムが構成されている場合、 $\overline{\text{HSPI_CS}}$ 端子をグランドに固定できます (ただし、HSPI がスレーブとして動作する場合にのみ限られます)。

23.4.2 FIFO モード有効時の動作

CPU の割り込みオーバーヘッドを低減するために FIFO モードが用意されています。FIFO モード有効時、送信前に最大 8 バイトのデータが書き込みでき、受信 FIFO からの読み出し前に最大 8 バイトのデータを受信できます。HSPI モジュールと外部デバイス間で、決められたデータ量を転送する場合、以下の手順に従ってください。

1. 要求された HSPI 転送特性 (マスタ/スレーブ、クロック極性など) を満足できるようにモジュールをセットアップし、FIFO モードを有効にします。
2. SPTBR 経由で送信 FIFO にバイトデータを書き込みます。8 バイトより多いデータを送信する場合は、データ送信時の FIFO レベルが分かるように送信 FIFO ハーフウェイ割り込みを許可します。
3. 送信 FIFO ハーフウェイ割り込みが発生したら、送信 FIFO にさらにデータを書き込み、SPRBR 経由で受信 FIFO からデータを読み出します。
4. すべての送信データを送信 FIFO に書き込んだら、送信 FIFO ハーフウェイ割り込みを禁止し、受信 FIFO が空になるまでデータを読み出します。送信された最後のバイトデータがいつ受信されたかが分かるように受信 FIFO ノットエンプティ割り込みを許可します。
5. 予定されているデータの受信が完了するまでは、受信 FIFO ノットエンプティ割り込みには対処します。
6. 次に使うときまでモジュールを無効にします。

アプリケーションによっては、外部の HSPI デバイスから未定量のデータを受信することもあります。この場合は、以下の手順に従ってください。

1. 要求された HSPI 転送特性 (マスタ/スレーブ、クロック極性など) を満足できるようにモジュールをセットアップし、FIFO モードを有効にします。
2. 送信するデータを送信 FIFO に書き込みます。受信 FIFO ノットエンプティ割り込みを許可します。
3. 受信 FIFO ノットエンプティ割り込みに対処し、受信 FIFO が空になるまでデータを読み出します。必要に応じて、さらにデータを送信 FIFO に書き込みます。
4. 送信が停止するときにモジュールを無効にします。

23.4.3 タイミング図

HSPIのシフトとサンプリング処理におけるタイミング関係を以下の図で示します。図 23.3 に SPCR の FBS ビットが 0 のときの状態、図 23.4 に SPCR の FBS ビットが 0 (連続転送) のときの状態、図 23.5 に SPCR の FBS ビットが 1 のとき、図 23.6 に SPCR の FBS ビットが 1 (連続転送) のとき状態を示します。これらの図からも分かるように、SPCR の CLKP ビットが 0 のとき、送信データは HSPI_CLK の立ち下がりエッジでシフトされ、受信データは HSPI_CLK の立ち上がりエッジでサンプリングされます。逆のことが、CLKP ビットが 1 のときに起こります。

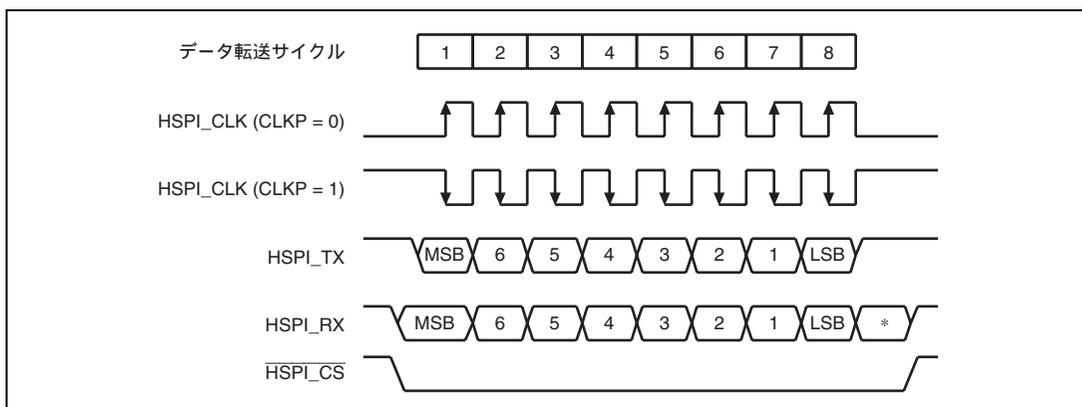


図 23.3 FBS=0 のときのタイミング

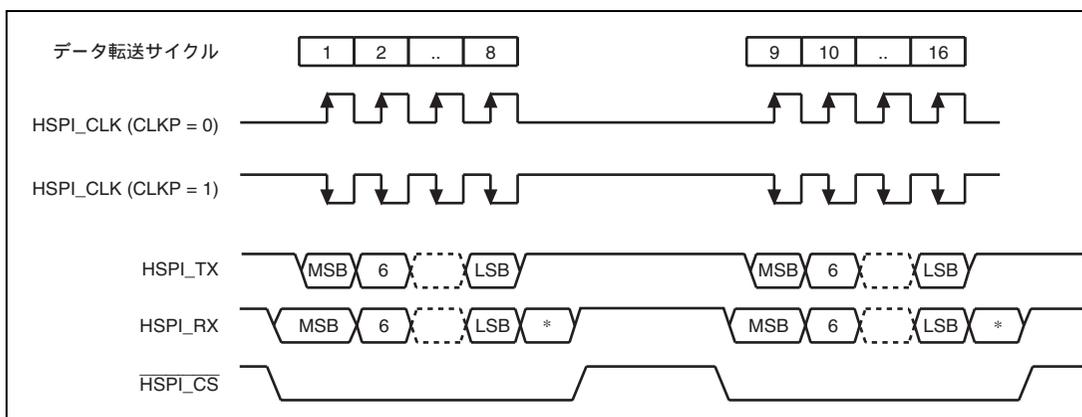


図 23.4 FBS=0 のときのタイミング (連続転送)

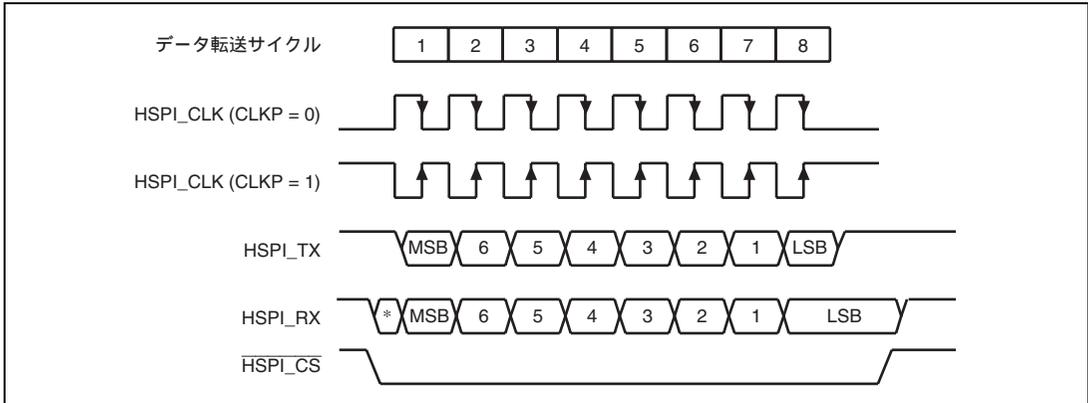


図 23.5 FBS=1 のときのタイミング

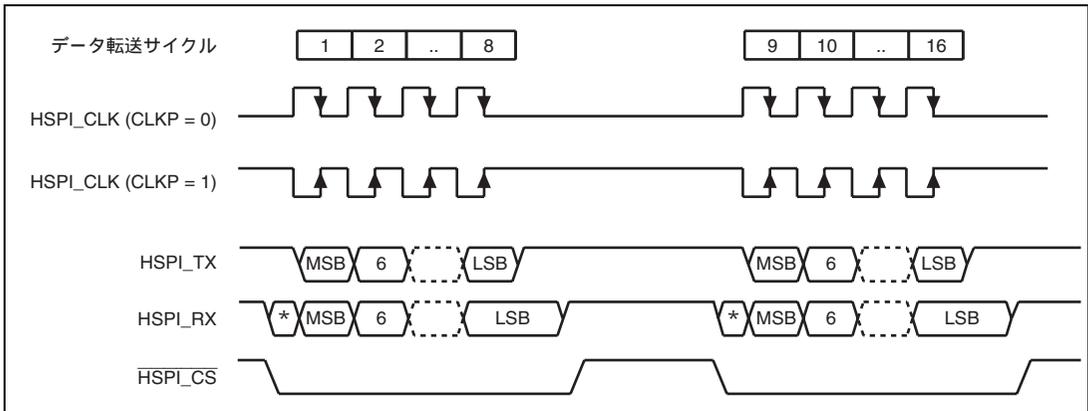


図 23.6 FBS=1 のときのタイミング (連続転送)

図中の*は don't care データを示します。

23.4.4 HSPI ソフトリセット

ソフトリセットにより、モジュールを決められた状態に戻し、受信と送信 FIFO ポインタを初期化することができます。SPCR と SPSCR の割り込みとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。HSPI ソフトリセット後のデータ転送は、HSPI のデータ送信、受信プロトコルを守り、初めから行ってください。それ以外は動作保障しません。

HSPI がスレーブモード時にマスタデバイスがデータ転送中の場合を除いて $\overline{\text{HSPI_CS}}$ をローレベルにする場合、ソフトリセット後に CSA を設定し直してください。これにより、データの誤った受信を防ぐことができます。

23.4.5 クロック極性と送信制御

SPCR を使って、転送データのシフトタイミングと極性を設定できます。SPCR の FBS ビットで異なる 2 つの転送方式から選択できます。SPSR.CSA=0 のとき、MSB または LSB は、 $\overline{\text{HSPI_CS}}$ の立ち下がりエッジで有効になります。SPCR の CLKP ビットを使って、マスタとスレーブで HSPI_CLK の立ち上がりエッジと立ち下がりエッジのどちらでデータをシフトしてサンプリングするかを制御する図 23.1 HSPI のブロック図の極性選択ブロックを制御できます。

23.4.6 送信と受信ルーチン

接続されたマスタとスレーブは、HSPI_CLK に同期した巡回シフトレジスタとして機能すると考えることができます。マスタからの送信バイトは、8 HSPI_CLK サイクルでスレーブからの受信バイトと交換されます。送信部、および受信部ともにダブルバッファ構造になっていますので連続読み出し / 書き込みができます。FIFO モード有効時、送信データと受信データのために 8 エントリ FIFO があります。

23.4.7 各種フラグと割り込みのタイミング

ステータスレジスタ (SPSR) の各種フラグとシステムコントロールレジスタ (SPSCR) を設定したときの割り込みタイミングを図 23.7 に示します。

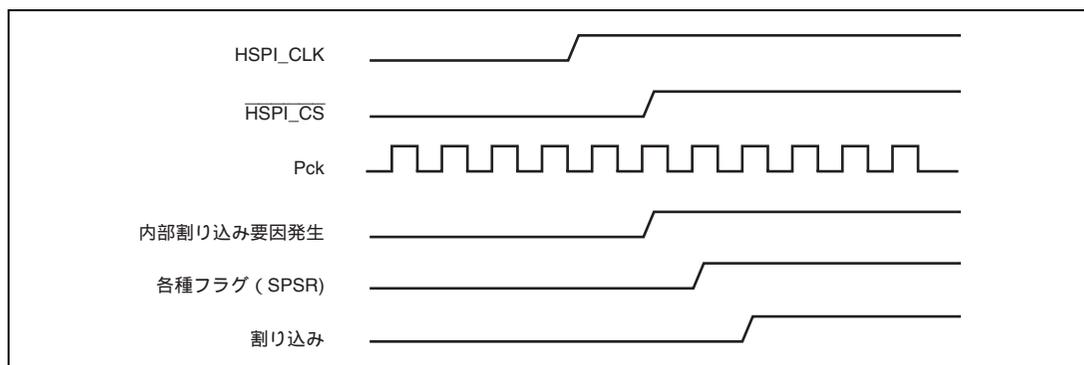


図 23.7 各種フラグと割り込みのタイミング

各種要因 (受信 FIFO ハーフウェイなど) の状態が発生すると、Pck 同期にてステータスレジスタ (SPSR) へ反映し、割り込みを発生します。

23.4.8 低消費電力とクロック同期

HSPI はバスクロックに同期して動作します。

CPG モジュールのスタンバイコントロールレジスタ 0 (MSTPCR0) の MSTP2 ビットでモジュールスタンバイモードを許可 / 禁止します。

モジュールスタンバイに入れるには、以下の手順に従ってください。

1. すべてのデータ転送が行われたかを確認します。すなわち、トランスミットバッファ (または FIFO) が空で、レシーブバッファ (または FIFO) が空になるまで読み出されている必要があります。
2. すべての DMA 要求と、割り込み要求を禁止します。FIFO モードも無効にします。
3. スタンバイコントロールレジスタ 0 (MSTPCR0) の MSTP2 ビットを 0 にセットします。

HSPI を起動するには、スタンバイコントロールレジスタ 0 (MSTPCR0) の MSTP2 ビットに 0 を書き込んでください。

23. シリアルペリフェラルインタフェース (HSPI)

24. マルチメディアカードインタフェース (MMCIF)

本 LSI は、マルチメディアカードインタフェース (MMCIF) を内蔵しており、カードインタフェースとして、MMC モードのインタフェースが使用可能です。MMCIF は、クロック同期のシリアルインタフェースで、コマンド / レスポンスとデータを区別して通信します。マルチメディアカードでは、いくつかのコマンド / レスポンスのタイプが定義されています。MMCIF は、コマンド発行時に、コマンドコードとコマンドタイプ / レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ / レスポンスタイプの組み合わせの範囲内なら、セキュアマルチメディアカード (Secure-MMC) で拡張されたコマンドや将来のコマンドの追加にも対応が可能です。

24.1 特長

MMCIF には次のような特長があります。

- The MultiMediaCard System Specification Version3.1に対応したインタフェース
- MMCモードに対応
- データ転送用FIFOを16ビット64段搭載
- DMA転送に対応
- 割り込み要因：4種類

FIFOエンプティ / フル (FSTAT)、コマンド / レスポンス / データ転送完了 (TRAN)、転送エラー (ERR)、FIFOレディ (FRDY)

- MMCCLK出力(転送クロック出力)端子、MMCCMD入出力(コマンド出力 / レスポンス入力)端子、MMCDAT入出力(データ入出力)端子によるインタフェース

24. マルチメディアカードインタフェース (MMCIF)

図 24.1 に MMCIF のブロック図を示します。

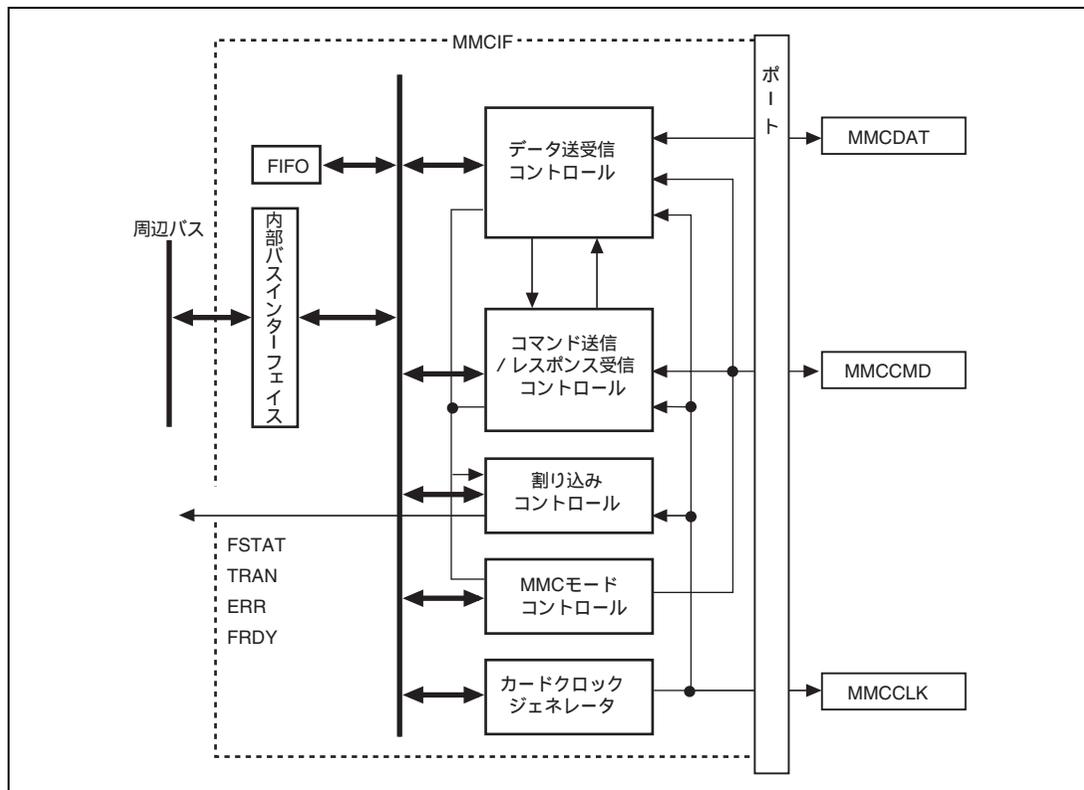


図 24.1 MMCIF のブロック図

24.2 入出力端子

MMCIF の端子構成を表 24.1 に示します。

表 24.1 端子構成

名称	入出力	機能
MMCCCLK	入出力	カードクロック出力
MMCCCMD	入出力	コマンド出力 / レスポンス入力
MMCDAT	入出力	データ入出力

【注】 カードの挿抜、オープンドレイン / CMOS モードの切り替え信号などは、本 LSI のポートをご利用ください。

24.3 レジスタの説明

MMCIF のレジスタ構成を以下に示します。

表 24.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
コマンドレジスタ 0	CMDR0	R/W	H'FFE6 0000	H'1FE6 0000	8	Pck
コマンドレジスタ 1	CMDR1	R/W	H'FFE6 0001	H'1FE6 0001	8	Pck
コマンドレジスタ 2	CMDR2	R/W	H'FFE6 0002	H'1FE6 0002	8	Pck
コマンドレジスタ 3	CMDR3	R/W	H'FFE6 0003	H'1FE6 0003	8	Pck
コマンドレジスタ 4	CMDR4	R/W	H'FFE6 0004	H'1FE6 0004	8	Pck
コマンドレジスタ 5	CMDR5	R	H'FFE6 0005	H'1FE6 0005	8	Pck
コマンドスタートレジスタ	CMDSTRT	R/W	H'FFE6 0006	H'1FE6 0006	8	Pck
オペレーションコントロールレジスタ	OPCR	R/W	H'FFE6 000A	H'1FE6 000A	8	Pck
カードステータスレジスタ	CSTR	R	H'FFE6 000B	H'1FE6 000B	8	Pck
割り込みコントロールレジスタ 0	INTCR0	R/W	H'FFE6 000C	H'1FE6 000C	8	Pck
割り込みコントロールレジスタ 1	INTCR1	R/W	H'FFE6 000D	H'1FE6 000D	8	Pck
割り込みステータスレジスタ 0	INTSTR0	R/W	H'FFE6 000E	H'1FE6 000E	8	Pck
割り込みステータスレジスタ 1	INTSTR1	R/W	H'FFE6 000F	H'1FE6 000F	8	Pck
転送クロックコントロールレジスタ	CLKON	R/W	H'FFE6 0010	H'1FE6 0010	8	Pck
コマンドタイムアウトコントロールレジスタ	CTOCR	R/W	H'FFE6 0011	H'1FE6 0011	8	Pck
転送バイト数カウントレジスタ	TBCR	R/W	H'FFE6 0014	H'1FE6 0014	8	Pck
モードレジスタ	MODER	R/W	H'FFE6 0016	H'1FE6 0016	8	Pck
コマンドタイプレジスタ	CMDTYR	R/W	H'FFE6 0018	H'1FE6 0018	8	Pck
レスポンスタイプレジスタ	RSPTYR	R/W	H'FFE6 0019	H'1FE6 0019	8	Pck
転送ブロック数カウンタ	TBNCR	R/W	H'FFE6 001A	H'1FE6 001A	16	Pck
レスポンスレジスタ 0	RSPR0	R/W	H'FFE6 0020	H'1FE6 0020	8	Pck

24. マルチメディアカードインタフェース (MMCIF)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
レスポンスレジスタ 1	RSPR1	R/W	H'FFE6 0021	H'1FE6 0021	8	Pck
レスポンスレジスタ 2	RSPR2	R/W	H'FFE6 0022	H'1FE6 0022	8	Pck
レスポンスレジスタ 3	RSPR3	R/W	H'FFE6 0023	H'1FE6 0023	8	Pck
レスポンスレジスタ 4	RSPR4	R/W	H'FFE6 0024	H'1FE6 0024	8	Pck
レスポンスレジスタ 5	RSPR5	R/W	H'FFE6 0025	H'1FE6 0025	8	Pck
レスポンスレジスタ 6	RSPR6	R/W	H'FFE6 0026	H'1FE6 0026	8	Pck
レスポンスレジスタ 7	RSPR7	R/W	H'FFE6 0027	H'1FE6 0027	8	Pck
レスポンスレジスタ 8	RSPR8	R/W	H'FFE6 0028	H'1FE6 0028	8	Pck
レスポンスレジスタ 9	RSPR9	R/W	H'FFE6 0029	H'1FE6 0029	8	Pck
レスポンスレジスタ 10	RSPR10	R/W	H'FFE6 002A	H'1FE6 002A	8	Pck
レスポンスレジスタ 11	RSPR11	R/W	H'FFE6 002B	H'1FE6 002B	8	Pck
レスポンスレジスタ 12	RSPR12	R/W	H'FFE6 002C	H'1FE6 002C	8	Pck
レスポンスレジスタ 13	RSPR13	R/W	H'FFE6 002D	H'1FE6 002D	8	Pck
レスポンスレジスタ 14	RSPR14	R/W	H'FFE6 002E	H'1FE6 002E	8	Pck
レスポンスレジスタ 15	RSPR15	R/W	H'FFE6 002F	H'1FE6 002F	8	Pck
レスポンスレジスタ 16	RSPR16	R/W	H'FFE6 0030	H'1FE6 0030	8	Pck
CRC ステータスレジスタ	RSPRD	R/W	H'FFE6 0031	H'1FE6 0031	8	Pck
データタイムアウトレジスタ	DTOUTR	R/W	H'FFE6 0032	H'1FE6 0032	16	Pck
データレジスタ	DR	R/W	H'FFE6 0040	H'1FE6 0040	16	Pck
FIFO ポインタクリアレジスタ	FIFOCLR	W	H'FFE6 0042	H'1FE6 0042	8	Pck
DMA コントロールレジスタ	DMACR	R/W	H'FFE6 0044	H'1FE6 0044	8	Pck
割り込みコントロールレジスタ 2	INTCR2	R/W	H'FFE6 0046	H'1FE6 0046	8	Pck
割り込みステータスレジスタ 2	INTSTR2	R/W	H'FFE6 0048	H'1FE6 0048	8	Pck

24. マルチメディアカードインタフェース (MMCIF)

表 24.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
コマンドレジスタ 0	CMDR0	H'00	H'00	保持	保持
コマンドレジスタ 1	CMDR1	H'00	H'00	保持	保持
コマンドレジスタ 2	CMDR2	H'00	H'00	保持	保持
コマンドレジスタ 3	CMDR3	H'00	H'00	保持	保持
コマンドレジスタ 4	CMDR4	H'00	H'00	保持	保持
コマンドレジスタ 5	CMDR5	H'00	H'00	保持	保持
コマンドスタートレジスタ	CMDSTRT	H'00	H'00	保持	保持
オペレーションコントロールレジスタ	OPCR	H'00	H'00	保持	保持
カードステータスレジスタ	CSTR	H'0x	H'0x	保持	保持
割り込みコントロールレジスタ 0	INTCR0	H'00	H'00	保持	保持
割り込みコントロールレジスタ 1	INTCR1	H'00	H'00	保持	保持
割り込みステータスレジスタ 0	INTSTR0	H'00	H'00	保持	保持
割り込みステータスレジスタ 1	INTSTR1	H'00	H'00	保持	保持
転送クロックコントロールレジスタ	CLKON	H'00	H'00	保持	保持
コマンドタイムアウトコントロールレジスタ	CTOCR	H'00	H'00	保持	保持
転送バイト数カウントレジスタ	TBCR	H'00	H'00	保持	保持
モードレジスタ	MODER	H'00	H'00	保持	保持
コマンドタイプレジスタ	CMDTYR	H'00	H'00	保持	保持
レスポンスタイプレジスタ	RSPTYR	H'00	H'00	保持	保持
転送ブロック数カウンタ	TBNCR	H'0000	H'0000	保持	保持
レスポンスレジスタ 0	RSPR0	H'00	H'00	保持	保持
レスポンスレジスタ 1	RSPR1	H'00	H'00	保持	保持
レスポンスレジスタ 2	RSPR2	H'00	H'00	保持	保持
レスポンスレジスタ 3	RSPR3	H'00	H'00	保持	保持
レスポンスレジスタ 4	RSPR4	H'00	H'00	保持	保持
レスポンスレジスタ 5	RSPR5	H'00	H'00	保持	保持
レスポンスレジスタ 6	RSPR6	H'00	H'00	保持	保持
レスポンスレジスタ 7	RSPR7	H'00	H'00	保持	保持
レスポンスレジスタ 8	RSPR8	H'00	H'00	保持	保持
レスポンスレジスタ 9	RSPR9	H'00	H'00	保持	保持
レスポンスレジスタ 10	RSPR10	H'00	H'00	保持	保持
レスポンスレジスタ 11	RSPR11	H'00	H'00	保持	保持
レスポンスレジスタ 12	RSPR12	H'00	H'00	保持	保持
レスポンスレジスタ 13	RSPR13	H'00	H'00	保持	保持
レスポンスレジスタ 14	RSPR14	H'00	H'00	保持	保持

24. マルチメディアカードインタフェース (MMCIF)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
レスポンスレジスタ 15	RSPR15	H'00	H'00	保持	保持
レスポンスレジスタ 16	RSPR16	H'00	H'00	保持	保持
CRC ステータスレジスタ	RSPRD	H'00	H'00	保持	保持
データタイムアウトレジスタ	DTOUTR	H'FFFF	H'FFFF	保持	保持
データレジスタ	DR	H'xxxx	H'xxxx	保持	保持
FIFO ポインタクリアレジスタ	FIFOCLR	H'00	H'00	保持	保持
DMA コントロールレジスタ	DMACR	H'00	H'00	保持	保持
割り込みコントロールレジスタ 2	INTCR2	H'00	H'00	保持	保持
割り込みステータスレジスタ 2	INTSTR2	H'0x	H'0x	保持	保持

24.3.1 コマンドレジスタ 0~5 (CMDR0~CMDR5)

CMDR は、6 個の 8 ビットレジスタです。CMDR には表 24.3 のようにコマンドを書き込み、CMDSTRT の CMDSTART ビットを 1 にセットすることによりコマンドを送出します。

表 24.3 CMDR の構成

レジスタ	内容	操作
CMDR0~CMDR4	コマンド指数	コマンド指数書き込み
CMDR5	CRC、End ビット	CRC、End ビットは自動設定のため設定不要。 CMDR5 のリード値は 0 ですが、MMCIF にて自動的に設定し、送信します。

(1) CMDR0~CMDR4



ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R/W	コマンド指数 MMC カード側の仕様をご参照ください。 コマンド送信時は CMDR0 の MSB から CMDR5 の LSB まで順番に送信されます。

(2) CMDR5

ビット:	7	6	5	4	3	2	1	0
	CRC							End
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~1	CRC	すべて0	R	読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	End	0	R	読み出しは0が読み出されます。書き込む値は常に0にしてください。

24.3.2 コマンドスタートレジスタ (CMDSTRT)

CMDSTRT は、読み出し / 書き込み可能な 8 ビットのレジスタで、コマンド送出の開始をトリガします。コマンド送出開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

- 前コマンドのレスポンスの解析、必要ならばコマンドレスポンスレジスタの書き込みクリア
- 必要ならば前コマンドの受信データの解析 / 転送
- 必要ならば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCR、TBNCRの設定
- CMDR0~CMDR4の設定

CMDR0~CMDR4、CMDTYR、RSPTYR、TBCR、TBNCRは、コマンド送出が終了するまで (CSTRのCWRE フラグが1にセット中、またはコマンド送信終了割り込み発生) 変更しないでください。

コマンドシーケンスは、MMCIF 側と MMC カード側それぞれのシーケンサで管理されています。これらは、通常は同期して動作していますが、エラーの発生やコマンドの中止などが発生すると一時的に同期できない場合があります。OPCR の CMDOFF ビットのセット、CMD12 コマンドの発行や、エラー処理の場合は注意が必要です。MMCIF 側、カード側両方のコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。エラー発生時の動作は、「24.4 動作説明」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CMD START
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	CMDSTART	0	R/W	1の書き込みでコマンド送出を開始します。1を書き込んだ後 MMCIF が CMDSTART を受付後に0クリアされます。 0を書き込んだとき：動作に影響ありません。 1を書き込んだとき：コマンド送出を開始します

24.3.3 オペレーションコントロールレジスタ (OPCR)

OPCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、コマンドの動作中止、データ転送の中断 / 継続を制御します。

ビット：	7	6	5	4	3	2	1	0
	CMD OFF	—	RD_ CONTI	DATAEN	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CMDOFF	0	R/W	コマンドオフ コマンド送出後に1を書き込むことで、そのコマンドに関する動作 (MMCIF のコマンドシーケンス) をすべて中止します。1を書き込んだ後 MMCIF が CMDOFF を受付時に0にクリアされます。 書き込み有効期間：コマンド送出完了からコマンドシーケンス終了まで (有効期間以外は書き込まないでください) 0を書き込んだとき：動作に影響ありません。 1を書き込んだとき：コマンドシーケンスを強制的に中止します。
6	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
5	RD_ CONTI	0	R/W	読み出しコンティニュー 1の書き込みにより、FIFO フルやマルチブロック読み出しのブロック読み出し終了によるシーケンス中断状態で、読み出しデータの受信を再開します。1を書き込んだ後 MMCIF が RD_CONTI を受付時に0にクリアされます。 書き込み有効期間：読み出しデータ受信シーケンス中断中 (有効期間以外は書き込まないでください) 0を書き込んだとき：動作に影響ありません。 1を書き込んだとき：読み出しデータ受信を再開します。

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
4	DATAEN	0	R/W	<p>データイネーブル</p> <p>書き込みデータを伴うコマンドで、書き込みデータの送信を開始します。1を書き込んだ後 MMCIF が DATAEN を受付時に 0 にクリアされます。FIFO エンプティやマルチブロック書き込みのブロック書き込み終了によるシーケンス中断状態で書き込みデータの送信を再開します。</p> <p>書き込み有効期間：</p> <p>(1) 書き込みデータを伴うコマンドレスポンス受信後、(2) FIFO エンプティによるシーケンス停止状態、(3) マルチブロック書き込みの 1 ブロック書き込み終了後</p> <p>(有効期間以外は書き込まないでください)</p> <p>0 を書き込んだとき：動作に影響ありません</p> <p>1 を書き込んだとき：書き込みデータ送信を開始または再開します。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

書き込みデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行う必要があります。また、データ転送は、FIFO のフル/エンプティにより一時的に停止し、準備が整ったところでデータ転送を再開する必要があります。

マルチブロック転送の場合は、ブロックの区切りごとに一時的に停止し、次のブロックに進むか、CMD12 コマンドを発行してマルチブロック転送コマンドを中止するかを選択が可能です。次のブロックに進むときは、RD_CONTI ビットや DATAEN ビットを 1 にセットします。CMD12 を発行する場合は、CMDOFF ビットを 1 にセットして MMCIF 側のコマンドシーケンスを中止します。また、pre-define マルチブロック転送でオートモードを使用する場合は、ブロック間での RD_CONTI ビットや DATAEN ビットの設定を省略することが可能です。

24. マルチメディアカードインタフェース (MMCIF)

24.3.4 カードステータスレジスタ (CSTR)

CSTR は、コマンドシーケンス実行中の MMCIF のステータスを示します。

ビット :	7	6	5	4	3	2	1	0
	BUSY	FIFO_ FULL	FIFO_ EMPTY	CWRE	DTBUSY	DTBUSY _TU	—	REQ
初期値 :	0	0	0	0	0	—	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUSY	0	R	<p>コマンドビジー</p> <p>コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MMCIF のコマンドシーケンスが中止されるため、0 にクリアされます。</p> <p>0 : コマンド待ちのアイドル状態、またはデータビジー状態です。 1 : コマンドシーケンス実行中です。</p>
6	FIFO_ FULL	0	R	<p>FIFO フル</p> <p>カードよりデータを受信する際に、FIFO がフルになると 1 にセットされます。RD_CONTI を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。</p> <p>FIFO の空きの有無を示します。</p> <p>0 : FIFO に空きがあります。 1 : FIFO がフル状態です。</p>
5	FIFO_ EMPTY	0	R	<p>FIFO エンプティ</p> <p>カードにデータを送信する際に、FIFO がエンプティになると 1 にセットされます。DATA_EN を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。</p> <p>FIFO のデータの有無を示します。</p> <p>0 : FIFO にデータがあります。 1 : FIFO がエンプティ状態です。</p>
4	CWRE	0	R	<p>コマンドレジスタ書き込みイネーブル</p> <p>CMDR のコマンドが送信中か送信済みかを示します。</p> <p>0 : CMDR のコマンドが送信済み、または CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。 1 : CMDR のコマンドを送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作します。</p>

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
3	DTBUSY	0	R	<p>データビジー</p> <p>コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、または書き込みデータを伴うコマンドのシーケンス終了後、カードがビジーである状態を表示します。</p> <p>0: コマンド待ちのアイドル状態、またはコマンドシーケンス実行中です。</p> <p>1: コマンドシーケンスの終了後、カード側がデータビジー表示をしています。</p>
2	DTBUSY_TU	-	R	<p>データビジー端子状態</p> <p>MMCDAT 端子のレベルが設定されます。このビットを読むことによって MMCDAT 端子のレベルを知ることができます。</p> <p>0: MMCDAT 端子にローレベルが入力されている。</p> <p>1: MMCDAT 端子にハイレベルが入力されている。</p>
1	-	0	R	<p>リザーブビット</p> <p>読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	REQ	0	R	<p>割り込み要求</p> <p>割り込み処理要求の有無を示します。</p> <p>INTSTR0、INTSTR1、INTSTR2 のフラグがいずれか 1 つでもセットされた場合に、本ビットに 1 が表示されます。</p> <p>INTSTR0、INTSTR1、INTSTR2 のフラグのセットは、INTCR0、INTCR1、INTCR2 のイネーブルビットによって制御されます。</p> <p>0: 割り込み要求がない。</p> <p>1: 割り込み要求がある。</p>

24. マルチメディアカードインタフェース (MMCIF)

24.3.5 割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2)

INTCR は、割り込みの許可 / 禁止を制御します。

(1) INTCR0

ビット :	7	6	5	4	3	2	1	0
	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	BTIE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	FEIE	0	R/W	FIFO エンプティ割り込みフラグセットイネーブル 0 : FIFO エンプティ割り込み禁止 (FEI フラグのセットを禁止) 1 : FIFO エンプティ割り込み許可 (FEI フラグのセットを許可)
6	FFIE	0	R/W	FIFO フル割り込みフラグセットイネーブル 0 : FIFO フル割り込み禁止 (FFI フラグのセットを禁止) 1 : FIFO フル割り込み許可 (FFI フラグのセットを許可)
5	DRPIE	0	R/W	データレスポンス割り込みフラグセットイネーブル 0 : データレスポンス割り込み禁止 (DRPI フラグのセットを禁止) 1 : データレスポンス割り込み許可 (DRPI フラグのセットを許可)
4	DTIE	0	R/W	データ転送終了割り込みフラグセットイネーブル 0 : データ転送終了割り込み禁止 (DTI フラグのセットを禁止) 1 : データ転送終了割り込み許可 (DTI フラグのセットを許可)
3	CRPIE	0	R/W	コマンドレスポンス受信終了割り込みフラグセットイネーブル 0 : コマンドレスポンス受信終了割り込み禁止 (CRPI フラグのセットを禁止) 1 : コマンドレスポンス受信終了割り込み許可 (CRPI フラグのセットを許可)
2	CMDIE	0	R/W	コマンド送信終了割り込みフラグセットイネーブル 0 : コマンド送信終了割り込み禁止 (CMDI フラグのセットを禁止) 1 : コマンド送信終了割り込み許可 (CMDI フラグのセットを許可)
1	DBSYIE	0	R/W	データビジー終了割り込みフラグセットイネーブル 0 : データビジー終了割り込み禁止 (DBSYI フラグのセットを禁止) 1 : データビジー終了割り込み許可 (DBSYI フラグのセットを許可)
0	BTIE	0	R/W	マルチブロック転送終了フラグセットイネーブル 0 : マルチブロック転送終了フラグのセットを禁止 1 : マルチブロック転送終了フラグのセットを許可

24. マルチメディアカードインタフェース (MMCIF)

(2) INTCR1

ビット:	7	6	5	4	3	2	1	0
	INTR Q2E	INTR Q1E	INTR Q0E	—	—	CRCE RIE	DTE RIE	CTE RIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ2E	0	R/W	ERR 割り込みイネーブル 0: ERR の割り込み禁止 1: ERR の割り込み許可
6	INTRQ1E	0	R/W	TRAN 割り込みイネーブル 0: TRAN の割り込み禁止 1: TRAN の割り込み許可
5	INTRQ0E	0	R/W	FSTAT 割り込みイネーブル 0: FSTAT の割り込み禁止 1: FSTAT の割り込み許可
4、3	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
2	CRCE RIE	0	R/W	CRC エラー割り込みフラグセットイネーブル 0: CRC エラー割り込み禁止 (CRCERI フラグのセットを禁止) 1: CRC エラー割り込み許可 (CRCERI フラグのセットを許可)
1	DTE RIE	0	R/W	データタイムアウトエラー割り込みフラグセットイネーブル 0: データタイムアウトエラー割り込み禁止 (DTERI フラグのセットを禁止) 1: データタイムアウトエラー割り込み許可 (DTERI フラグのセットを許可)
0	CTE RIE	0	R/W	コマンドタイムアウトエラー割り込みフラグセットイネーブル 0: コマンドタイムアウトエラー割り込み禁止 (CTERI フラグのセットを禁止) 1: コマンドタイムアウトエラー割り込み許可 (CTERI フラグのセットを許可)

24. マルチメディアカードインタフェース (MMCIF)

(3) INTCR2

ビット:	7	6	5	4	3	2	1	0
	INTR Q3E	—	—	—	—	—	—	FRDYIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	INTRQ3E	0	R/W	FRDY 割り込みイネーブル 0: FRDY の割り込み禁止 1: FRDY の割り込み許可
6~1	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	FRDYIE	0	R/W	FIFO 準備完了割り込みフラグセットイネーブル 0: FIFO 準備完了割り込み禁止 (FRDYI フラグのセットを禁止) 1: FIFO 準備完了割り込み許可 (FRDYI フラグのセットを許可)

24.3.6 割り込みステータスレジスタ 0~2 (INTSTR0~INTSTR2)

INTSTR は、MMCIF の割り込み FSTAT、TRAN、ERR、FRDY と、割り込みフラグを制御します。

(1) INTSTR0

ビット:	7	6	5	4	3	2	1	0
	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	BTI
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明	割り込み出力
7	FEI	0	R/W	FIFO エンプティ割り込みフラグ 0: 割り込み要求なし [クリア条件] FEI=1を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] FEIE=1の状態、データ送信中にFIFOがエンプティとなったとき (CSTRのFIFO_EMPTYビットがセットされたとき)	FSTAT

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
6	FFI	0	R/W	FIFO フル割り込みフラグ 0: 割り込み要求なし [クリア条件] FFI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] FFIE = 1 の状態で、データ受信中に FIFO がフルとなったとき (CSTR の FIFO_FULL ビットがセットされたとき)	FSTAT
5	DRPI	0	R/W	データレスポンス割り込みフラグ 0: 割り込み要求なし [クリア条件] DRPI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] DRPIE = 1 の状態で CRC ステータスを受信したとき	TRAN
4	DTI	0	R/W	データ転送終了割り込みフラグ 0: 割り込み要求なし [クリア条件] DTI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] DTIE = 1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき	TRAN
3	CRPI	0	R/W	コマンドレスポンス受信終了割り込みフラグ 0: 割り込み要求なし [クリア条件] CRPI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] CRPIE = 1 の状態で、コマンドレスポンスの受信が終了したとき	TRAN

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
2	CMDI	0	R/W	<p>コマンド送信終了割り込みフラグ</p> <p>0: 割り込み要求なし [クリア条件] CMDI=1を読み出した後に0を書き込んだとき (1書き込みは無効です)</p> <p>1: 割り込み要求あり [セット条件] CMDIE=1の状態、コマンドの送信が終了したとき (CSTRのCWREビットがクリアされたとき)</p>	TRAN
1	DBSYI	0	R/W	<p>データビジー終了割り込みフラグ</p> <p>0: 割り込み要求なし [クリア条件] DBSYI=1を読み出した後に0を書き込んだとき (1書き込みは無効です)</p> <p>1: 割り込み要求あり [セット条件] DBSYIE=1の状態、データビジーの状態が解消したとき (CSTRのDTBUSYビットがクリアされたとき)</p>	TRAN
0	BTI	0	R/W	<p>マルチブロック転送終了フラグ</p> <p>0: 割り込み要求なし [クリア条件] BTI=1を読み出した後に0を書き込んだとき (1書き込みは無効です)</p> <p>1: 割り込み要求あり [セット条件] BTIE=1の状態、TBNCR=0で、TBCRで設定した バイト数のデータ転送が終了したとき</p>	TRAN

(2) INTSTR1

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC ERI	DTERI	CTERI
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~3	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。	-
2	CRCERI	0	R/W	CRC エラー割り込みフラグ 0: 割り込み要求なし [クリア条件] CRCERI = 1 を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] CRCERIE = 1 の状態で、コマンドレスポンスまたは受信データのCRCエラーおよび、送信データレスポンスでCRCステータスのエラーを検出したとき コマンドレスポンスに対してはRSPTYRのRTY4をイネーブル時、CRCをチェックします。	ERR
1	DTERI	0	R/W	データタイムアウトエラー割り込みフラグ 0: 割り込み要求なし [クリア条件] DTERI = 1 を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] DTERIE = 1 の状態で、DTOUTRに設定したデータタイムアウトエラーが発生したとき	ERR

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
0	CTERI	0	R/W	コマンドタイムアウトエラー割り込みフラグ 0: 割り込み要求なし [クリア条件] CTERI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] CTERIE = 1 の状態で、TOCR に設定したコマンドタイムアウトエラーが発生したとき	ERR

(3) INTSTR2

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FRDY _TU	FRDYI
初期値 :	0	0	0	0	0	0	—	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~2	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。	-
1	FRDY_TU	-	R	FIFO 準備完了フラグ DMAEN、FRDYIE のセット値に関わらず、FIFO のデータ量が DMACR[2:0] で設定したアサート条件以内であれば 0、アサート条件以外であれば 1 が読み出されます。	-
0	FRDYI	0	R/W	FIFO 準備完了割り込みフラグ 0: 割り込み要求なし [クリア条件] FRDYI = 1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] FRDYIE = 1 かつ DMAEN = 1 の状態で、FIFO の残データが DMACR で設定したアサート条件以外のとき 【注】 FRDYI は、クリア後もセット条件であればセットされます。クリアするときは、INTCR2 の FRDYIE によりフラグのセットを禁止にしてクリアしてください。	FRDY

24.3.7 転送クロックコントロールレジスタ (CLKON)

CLKON は、転送クロックの周波数およびオン/オフを制御します。

MMC モードでのオープンドレイン形式出力状態では、十分に遅い転送クロックで転送を行ってください。

コマンドシーケンス中は、クロックのオン/オフ、周波数の変更は行わないでください。

ビット :	7	6	5	4	3	2	1	0
	CLKON	—	—	—	CSEL3	CSEL2	CSEL1	CSEL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CLKON	0	R/W	クロックオン 0 : MMCCLK 端子からの転送クロック出力を停止します。 1 : MMCCLK 端子から転送クロックを出力します。
6~4	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3	CSEL3	0	R/W	転送クロック周波数セレクト 0000 : リザーブ 0001 : 周辺クロック (Pck) を 2 分周して転送クロックとします。 0010 : 周辺クロックを 4 分周して転送クロックとします。 0011 : 周辺クロックを 8 分周して転送クロックとします。 0100 : 周辺クロックを 16 分周して転送クロックとします。 0101 : 周辺クロックを 32 分周して転送クロックとします。 0110 : 周辺クロックを 64 分周して転送クロックとします。 0111 : 周辺クロックを 128 分周して転送クロックとします。 1000 : 周辺クロックを 256 分周して転送クロックとします。 1001 ~ 1111 : 設定禁止です。
2	CSEL2	0	R/W	
1	CSEL1	0	R/W	
0	CSEL0	0	R/W	

24.3.8 コマンドタイムアウトコントロールレジスタ (CTOCR)

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドタイムアウトを監視するために、周辺バスからはアクセスできないカウンタ (CTOUTC) があり、転送クロックをカウントしています。CTOUTC は、初期値が 0 で、コマンド送出開始から転送クロックのカウントを開始します。CTOUTC は、コマンドレスポンス受信を完了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされ転送クロックのカウントを停止します。

コマンドレスポンスが受信できない場合は、CTOUTC は転送クロックのカウントを続け、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが 1 にセットされていると、INTSTR1 の CTERI フラグがセットされます。CTOUTC は、その後も転送クロックのカウントを継続するため、繰り返し CTERI フラグのセット条件が発生します。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CTSELO
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	CTSELO	1	R/W	コマンドタイムアウトセレクト 0 : コマンド送信完了からレスポンス受信完了まで 128 転送クロック 1 : コマンド送信完了からレスポンス受信完了まで 256 転送クロック 転送クロック : MMCCLK

【注】 R2 レスポンス (17 バイトのコマンドレスポンス) を要求するときには、CTSELO を 0 にクリアすると、レスポンス受信中に、タイムアウトを発生するため、CTSELO を 1 に設定してください。

24.3.9 転送バイト数カウントレジスタ (TBCR)

TBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ひとつのシングルブロック転送コマンドあたりの転送バイト数 (ブロックサイズ) を設定します。スタートビット、エンドビット、CRC を含まない、データブロックバイト数を設定します。

マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。ストリーム転送コマンドでは、本設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	C3	C2	C1	C0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3	C3	0	R/W	転送データブロックサイズ
2	C2	0	R/W	0000 : 1 バイト
1	C1	0	R/W	0001 : 2 バイト
0	C0	0	R/W	0010 : 4 バイト
				0011 : 8 バイト
				0100 : 16 バイト
				0101 : 32 バイト
				0110 : 64 バイト
				0111 : 128 バイト
				1000 : 256 バイト
				1001 : 512 バイト
				1010 : 1024 バイト
				1011 : 2048 バイト
				1100 ~ 1111 : 設定禁止

24.3.10 モードレジスタ (MODER)

MODER は、読み出し / 書き込み可能な 8 ビットのレジスタで、MMCIF の動作モードを設定します。MMCIF でマルチメディアカードを操作する場合は、コマンドを送出し、コマンドシーケンスの終了およびデータビジー状態の終了を待ち、次のコマンドを送出する繰り返しとなります。

コマンド送出から、コマンドレスポンス受信、データ送信 / 受信、データレスポンス受信などの一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の CMDSTART ビットを 1 にセットすることによってコマンドが送出されるところから始まり、必要なデータ送信 / 受信やレスポンス受信がすべて完了したときに終了します。コマンドシーケンス実行中および終了後に、マルチメディアカードには、カード内のフラッシュメモリの書き込み / 消去のためにある特定のコマンドしか受け付けられないデータビジー状態があります。データビジー状態は、MMC DAT 端子に、カード側からのローレベル出力で表示されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MODE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
0	MODE	0	R/W	モード動作 MMCIF の動作モードを設定します。 0 : MMC モードで動作します。 1 : 設定禁止

24.3.11 コマンドタイプレジスタ (CMDTYR)

CMDTYR は、読み出し / 書き込み可能な 8 ビットのレジスタで、RSPTYR とともにコマンドの形式を設定します。TY1、TY0 ビットで転送データの有無および方向を設定し、TY6 ~ TY2 で付加的な設定をします。TY6 ~ TY2 は、すべて 0 にクリアするか、いずれかひとつだけを 1 にセットしてください。TY6 ~ TY2 ビットを 1 にセットする場合は、TY1、TY0 ビットを TY6 ~ TY2 のビットの意味に対応した設定にする必要があります。正しい設定が行われなかった場合、動作の保証はされません。シングルブロック転送の際は、TY1 ~ TY0 を 01 または 10 に設定し、TY6 ~ TY2 ビットを 0 にセットします。

ビット :	7	6	5	4	3	2	1	0
	—	TY6	TY5	TY4	TY3	TY2	TY1	TY0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W						

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出しは0が読み出されます。書き込み値は常に0にしてください。
6	TY6	0	R/W	タイプ 6 pre-defined マルチブロック転送を設定します。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
5	TY5	0	R/W	タイプ 5 セキュア MMC 使用時のマルチブロック転送を設定します。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
4	TY4	0	R/W	タイプ 4 CMD12 を設定する際、1 にセットします。TY[1:0]を 00 に設定する必要があります。
3	TY3	0	R/W	タイプ 3 ストリーム転送を設定する際、1 にします。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットで設定されたストリーム転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
2	TY2	0	R/W	タイプ 2 open-ended マルチブロック転送を設定する際、1 にします。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
1 0	TY1 TY0	0 0	R/W R/W	タイプ 1、0 転送データの有無および方向を設定します。 00 : データ転送を伴わないコマンド 01 : 読み出しデータの受信を伴うコマンド 10 : 書き込みデータの送信を伴うコマンド 11 : 設定禁止

24. マルチメディアカードインタフェース (MMCIF)

24.3.12 レスポンスタイプレジスタ (RSPTYR)

RSPTYR は、読み出し / 書き込み可能な 8 ビットのレジスタで、CMDTYR とともにコマンドの形式を設定します。RTY2 ~ RTY0 でレスポンスバイト数を設定し、RTY6 ~ RTY4 で付加的な設定をします。

ビット :	7	6	5	4	3	2	1	0
	—	RTY6	RTY5	RTY4	—	RTY2	RTY1	RTY0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
6	RTY6	0	R/W	レスポンスタイプ 6 CRC7 を含むカードレジスタの値をレスポンスとしてリードするコマンド時の、レスポンス (MMC モード R2 レスポンス) の CRC チェックを行うときに設定します。RTY[2:0] は、101 を設定する必要があります。
5	RTY5	0	R/W	レスポンスタイプ 5 MMC カードからのデータビジー状態有無を設定します。 0 : データビジーのないコマンド 1 : データビジーのあるコマンド
4	RTY4	0	R/W	レスポンスタイプ 4 コマンドレスポンス (R2 レスポンス以外) の CRC を CRC7 でチェックする設定にします。RTY[2:0] を、100 に設定する必要があります。 0 : CRC を CRC7 でチェックしない 1 : CRC を CRC7 でチェックする
3	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
2	RTY2	0	R/W	レスポンスタイプ 2~0 コマンドレスポンスバイト数を設定します。 000 : コマンドレスポンスを要しないコマンド 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : コマンドレスポンス 6 バイトを要するコマンド R1、R1b、R3、R4、R5 レスポンスで設定します。 101 : コマンドレスポンス 17 バイトを要するコマンド R2 レスポンスで設定します。 110 : 設定禁止 111 : 設定禁止
1	RTY1	0	R/W	
0	RTY0	0	R/W	

24. マルチメディアカードインタフェース (MMCIF)

表 24.4 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR の設定の対応を示します。

表 24.4 コマンドと CMDTYR、RSPTYR の設定

CMD INDEX	略称	resp	CMDTYR					RSPTYR				
			6	5	4	3	2	1-0	6	5	4	2-0
CMD0	GO_IDLE_STATE							00				000
CMD1	SEND_OP_COND	R3						00				100
CMD2	ALL_SEND_CID	R2						00	*4			101
CMD3	SET_RELATIVE_ADDR	R1						00			*4	100
CMD4	SET_DSR							00				000
CMD7	SELECT/DESELECT_CARD	R1b						00		1	*4	100
CMD9	SEND_CSD	R2						00	*4			101
CMD10	SEND_CID	R2						00	*4			101
CMD11	READ_DAT_UNTIL_STOP	R1				1		01			*4	100
CMD12	STOP_TRANSMISSION	R1b			1			00		1	*4	100
CMD13	SEND_STATUS	R1						00			*4	100
CMD15	GO_INACTIVE_STATE							00				000
CMD16	SET_BLOCKLEN	R1						00			*4	100
CMD17	READ_SINGLE_BLOCK	R1		*3				01			*4	100
CMD18	READ_MULTIPLE_BLOCK	R1	*2				*2	01			*4	100
CMD20	WRITE_DAT_UNTIL_STOP	R1				1		10			*4	100
CMD23 *6	SET_BLOCK_COUNT	R1						00			*4	100
CMD24	WRITE_BLOCK	R1		*3				10			*4	100
CMD25	WRITE_MULTIPLE_BLOCK	R1	*2				*2	10			*4	100
CMD26	PROGRAM_CID	R1						10			*4	100
CMD27	PROGRAM_CSD	R1						10			*4	100
CMD28	SET_WRITE_PROT	R1b						00		1	*4	100
CMD29	CLR_WRITE_PROT	R1b						00		1	*4	100
CMD30	SEND_WRITE_PROT	R1						01			*4	100
CMD32 *1	TAG_SECTOR_START	R1						00			*4	100
CMD33 *1	TAG_SECTOR_END	R1						00			*4	100
CMD34 *1	UNTAG_SECTOR	R1						00			*4	100
CMD35	TAG_ERASE_GROUP_START	R1						00			*4	100
CMD36	TAG_ERASE_GROUP_END	R1						00			*4	100
CMD37 *1	UNTAG_ERASE_GROUP	R1						00			*4	100
CMD38	ERASE	R1b						00		1	*4	100
CMD39	FAST_IO	R4						00			*4	100

24. マルチメディアカードインタフェース (MMCIF)

CMD INDEX	略称	resp	CMDTYR					RSPTYR				
			6	5	4	3	2	1-0	6	5	4	2-0
CMD40	GO_IRQ_STATE	R5						00			*4	100
CMD42	LOCK_UNLOCK	R1b						10		1	*4	100
CMD55	APP_CMD	R1						00			*4	100
CMD56	GEN_CMD	R1b						*5	1		*4	100

【注】 *1 : MMCA Ver3.1 以降のカードではこれらのコマンドはサポートしていません。

*2 : 予めブロック数を設定する転送時は TY6,2=[10]、設定しない転送時は TY6,2=[01]を設定します。

*3 : セキュア MMC 使用時のマルチブロック転送時設定します。

*4 : コマンドレスポンスの CRC のチェック時 1 を設定します。

*5 : リード時は 01、ライト時は 10 を設定します。

*6 : MMCA Ver3.1 で追加になったコマンドです。

空欄 : 0 を設定してください。

24.3.13 転送ブロック数カウンタ (TBNCR)

TBNCR は、CMDTYR の TY5、TY6 ビットでマルチブロック転送を設定した場合、必ず TBNCR に 0 以外の値をライトする必要があります。TBNCR には、転送するブロック数を設定してください。TBNCR の内容は、1 ブロックの転送が完了するたびにデクリメントされ、0 になるとコマンドシーケンスを終了します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBNCR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-0	TBNCR	すべて 0	R/W	転送ブロック数カウンタ [クリア条件] 指定ブロック数転送時および 0 ライト時

24.3.14 レスポンスレジスタ 0 ~ 16、D (RSPR0 ~ RSPR16、RSPRD)

RSPR0 ~ RSPR16 はコマンドレスポンスレジスタで、17 個の 8 ビットレジスタです。RSPRD は 8 ビットの CRC ステータスレジスタです。

コマンドレスポンスバイト数は、コマンドにより異なります。MMCIF では、コマンドレスポンスバイト数を、RSPTYR で指定することができます。コマンドレスポンスは、RSPR16 のビット 0 からシフトインされ、コマンドレスポンスバイト数 × 8 ビットまでシフトされます。表 24.5 にコマンドレスポンスバイト数と有効な RSPR の対応を示します。

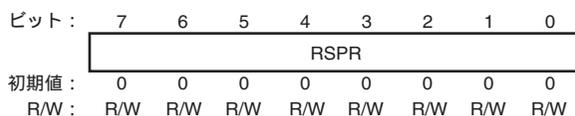
表 24.5 コマンドレスポンスバイト数と RSPR レジスタの対応

RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1、R1b、R3、R4、R5)	17 バイト (R2)
RSPR0	-	1 バイト目
RSPR1	-	2 バイト目
RSPR2	-	3 バイト目
RSPR3	-	4 バイト目
RSPR4	-	5 バイト目
RSPR5	-	6 バイト目
RSPR6	-	7 バイト目
RSPR7	-	8 バイト目
RSPR8	-	9 バイト目
RSPR9	-	10 バイト目
RSPR10	-	11 バイト目
RSPR11	1 バイト目	12 バイト目
RSPR12	2 バイト目	13 バイト目
RSPR13	3 バイト目	14 バイト目
RSPR14	4 バイト目	15 バイト目
RSPR15	5 バイト目	16 バイト目
RSPR16	6 バイト目	17 バイト目

RSPR0 ~ 16 は、単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にクリアされず、RSPR0 のビット 7 からシフトアウトされるまでシフトされ続けます。不要なバイトを H'00 にクリアするためには、各 RSPR に任意の値を書き込んでください。

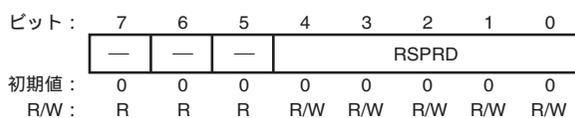
24. マルチメディアカードインタフェース (MMCIF)

(1) RSPR0 ~ RSPR16



ビット	ビット名	初期値	R/W	説明
7~0	RSPR	すべて0	R/W	任意の値の書き込みで H'00 にクリアされます。 RSPR0~16 は連結された 17 バイトのシフトレジスタです。

(2) RSPRD



ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
4~0	RSPRD	すべて0	R/W	任意の値のライトで B'00000 にクリアされます。 CRC ステータスが格納されます。CRC ステータスはデータライト時に MMC カードから送信されるレスポンスです。

24.3.15 データタイムアウトレジスタ (DTOUTR)

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、周辺バスからはアクセスできない 16 ビットカウンタ (DTOUTC) とプリスケアラがあり、周辺クロックをカウントします。プリスケアラは、常に周辺クロックをカウントしており、10,000 周辺クロックごとにカウントパルスを出します。DTOUTC は、初期値が 0 で、コマンドシーケンスの開始からプリスケアラ出力のカウントを開始します。DTOUTC は、コマンドシーケンスが終了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされプリスケアラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケアラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCR1 の DTERIE ビットが 1 にセットされていると、INTSTR1 の DTERI フラグがセットされます。DTOUTC は、その後もプリスケアラ出力のカウントを継続するため、繰り返し DTERI フラグのセット条件が発生します。データタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTOUTR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-0	DTOUTR	すべて 1	R/W	データタイムアウト時間 / 10,000 データタイムアウト時間は、周辺クロック周期 × DTOUTR 設定値 × 10,000 となります。

24.3.16 データレジスタ (DR)

DR は、FIFO のデータを読み出し / 書き込みするためのレジスタです。

本レジスタのアドレスに対しワード、バイトアクセス可能です。



ビット	ビット名	初期値	R/W	説明
15~0	DR	-	R/W	FIFO のデータを読み出し / 書き込みするためのレジスタです。 ワード、バイトアクセス可能です。 DR にワードサイズでアクセスするときには、送信および受信順序は上位バイト、下位バイトとなります。ワードアクセスとバイトアクセスが順不同で行われても問題ありません。また、(DR のアドレス + 1) 番地にバイトサイズでアクセスすることはできません。

以下に、DR にアクセスするときの例を示します。

FIFO がエンプティの状態、DR に対して下記の 1. ~ 4. に示すようなデータの書き込みをしたとき、送信データは図 24.2 に示すように FIFO へ格納されます。

1. DR にワードアクセスで H'0123 を書き込み
2. DR にバイトアクセスで H'45 を書き込み
3. DR にワードアクセスで H'6789 を書き込み
4. DR にバイトアクセスで H'AB を書き込み

また図 24.2 のように、受信データが FIFO へ格納されているとき (例えば、FIFO がエンプティの状態データの受信を開始し、データ H'01、H'23、.....、H'AB を順番で受信した後) には、DR から下記の 5. ~ 8. に示す例のようにデータを読み出すことができます。

5. DR からバイトアクセスで H'01 を読み出し
6. DR からワードアクセスで H'2345 を読み出し
7. DR からバイトアクセスで H'67 を読み出し
8. DR からワードアクセスで H'89AB を読み出し

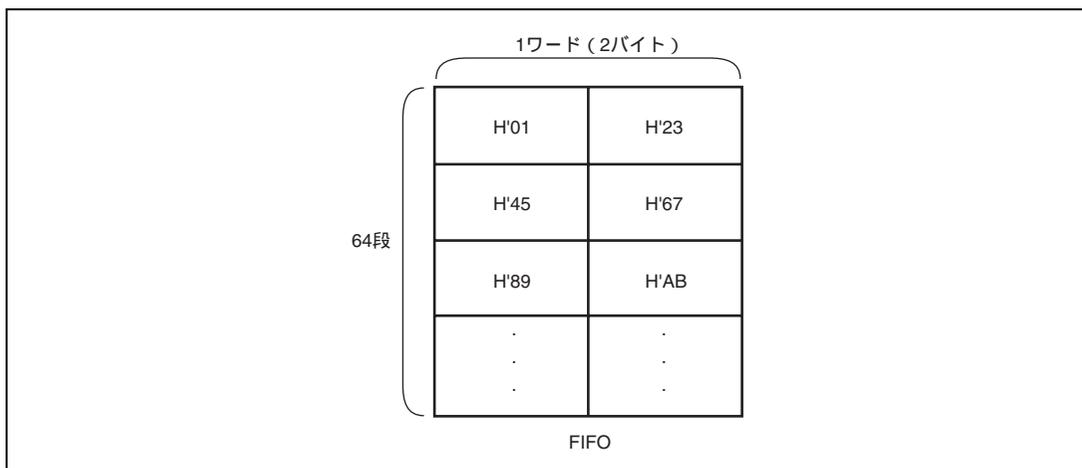


図 24.2 DR アクセスの例

24.3.17 FIFO ポインタクリアレジスタ (FIFOCLR)

FIFOCLR に任意の値を書き込むことによって、FIFO の書き込みポインタ、読み出しポインタがクリアされます。

ビット :	7	6	5	4	3	2	1	0
	FIFOCLR							
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7~0	FIFOCLR	H'00	W	任意の値を書き込むことで、FIFO ポインタがクリアされます。

24. マルチメディアカードインタフェース (MMCIF)

24.3.18 DMA コントロールレジスタ (DMACR)

DMACR は、DMA 要求信号出力を設定します。DMAEN で DMA 要求信号の許可、禁止を設定し、SET2 ~ SET0 で設定した値により DMA 要求信号を出力します。

ビット：	7	6	5	4	3	2	1	0
	DMAEN	AUTO	—	—	—	SET2	SET1	SET0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DMAEN	0	R/W	DMA イネーブル 0 : DMA 要求信号の出力禁止 1 : DMA 要求信号の出力許可
6	AUTO	0	R/W	DMA 転送を使用する pre-define マルチブロック転送で、オートモードを使用する際設定します。 0 : オートモードを使用しない。 1 : オートモードを使用。
5~3	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
2	SET2	0	R/W	DMA 要求信号アサート条件 DMA 要求信号アサート条件を設定します。 000 : 出力しません 001 : FIFO 残データが FIFO 容量の 1/4 以下 010 : FIFO 残データが FIFO 容量の 1/2 以下 011 : FIFO 残データが FIFO 容量の 3/4 以下 100 : FIFO 残データが 1 バイト以上 101 : FIFO 残データが FIFO 容量の 1/4 以上 110 : FIFO 残データが FIFO 容量の 1/2 以上 111 : FIFO 残データが FIFO 容量の 3/4 以上
1	SET1	0	R/W	
0	SET0	0	R/W	

24.4 動作説明

マルチメディアカードは、着脱可能な外部記憶メディアです。MMCIFはMMCモードでの動作が可能です。

MMCIFは、カードが接続されカードの電源がONされている状態で、適切な転送クロックの周波数を設定後、転送クロックを印加し動作開始してください。

コマンドシーケンス中、データビジー中のカードの挿抜は行わないでください。

24.4.1 MMCモードの動作

MMCモードは、転送クロックを出力するMMCCLK端子、コマンドを送信しレスポンスを受信するMMCCMD端子、データを送受信するMMC DAT端子からなる動作モードです。この端子構成により、データ送受信中でも次のコマンドを発行できることが特長になっています。この特長は、マルチブロック転送やストリーム転送にいかされています。例えば、現在のコマンドシーケンスを中止させるCMD12が挙げられます。

また、MMCモードでは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されているカードの情報を認識した後、個々のカードに相対アドレスを与えます。相対アドレスによって1枚のカードを選択し、他のカードを非選択にした後、選択したカードに対して種々のコマンドを発行します。

MMCモードでのコマンドは、大別するとブロードキャスト型、相対アドレス型、フラッシュメモリ操作型の3種類に分けることができます。これらのコマンドをカードの状態に合わせ、適切に与えることによってカードを操作することができます。

(1) ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2、CMD4はブロードキャスト型のコマンドです。これにCMD3を加えて、個々のカードに相対アドレスを与えるシーケンスを構成します。本シーケンスの間は、CMD出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード-オアされます。このとき、転送クロックの周波数は充分遅くしておく必要があります。

- CMD0で、すべてのカードをアイドル状態に初期化します。
- CMD1で、すべてのカードのオペレーションコンディションレジスタ(OCR)をワイヤード-オアで読み出し、動作できないカードを不活性化します。
不活性化されなかったカードはレディ状態になります。

- CMD2で、すべてのレディ状態のカードのカードアイデンティフィケーション(CID)をワイヤード-オアで読み出します。

個々のカードは、自身のCIDとMMCCMD上のデータを比較し、異なっていればただちにCID出力を中止します。

CIDを最後まで出力できた1枚のカードは認識状態になります。

R2レスポンスを必要とするときはCTOCRをH'01に設定してください。

24. マルチメディアカードインタフェース (MMCIF)

- CMD3で、認識状態のカードに相対アドレス (RCA) を与えます。
RCAを得たカードはスタンバイ状態になります。
- CMD2、CMD3を繰り返し、すべてのレディ状態のカードにRCAを与え、スタンバイ状態にします。

(2) 相対アドレス型コマンドの動作

CMD7、CMD9、CMD10、CMD13、CMD15、CMD39、CMD55 は、RCA でカードをアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは、カードの管理情報や固有情報を読み取るほか、特定のカードの状態を変更するために用います。

CMD7 は、アドレスした 1 枚のカードを転送状態に設定し、それ以外のカードをスタンバイ状態にします。転送状態のカードのみが、ブロードキャスト型、相対アドレス型以外の、フラッシュメモリ操作型コマンドを実行することができます。

(3) コマンドレスポンスを要しないコマンドの動作

ブロードキャスト型コマンドの中には、コマンドレスポンスを要しないコマンドがあります。

図 24.3 に、コマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。

図 24.4 に、コマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのCMDSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了までMMCCMDをドライブします。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングかコマンド送信終了割り込み (CMDI) で検出します。

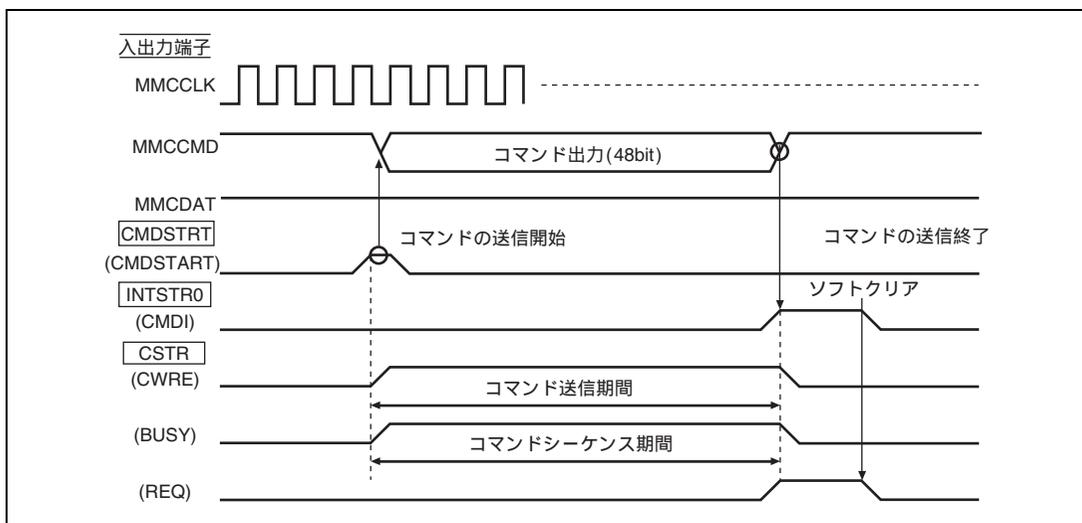


図 24.3 コマンドレスポンスを要さないコマンドシーケンスの例

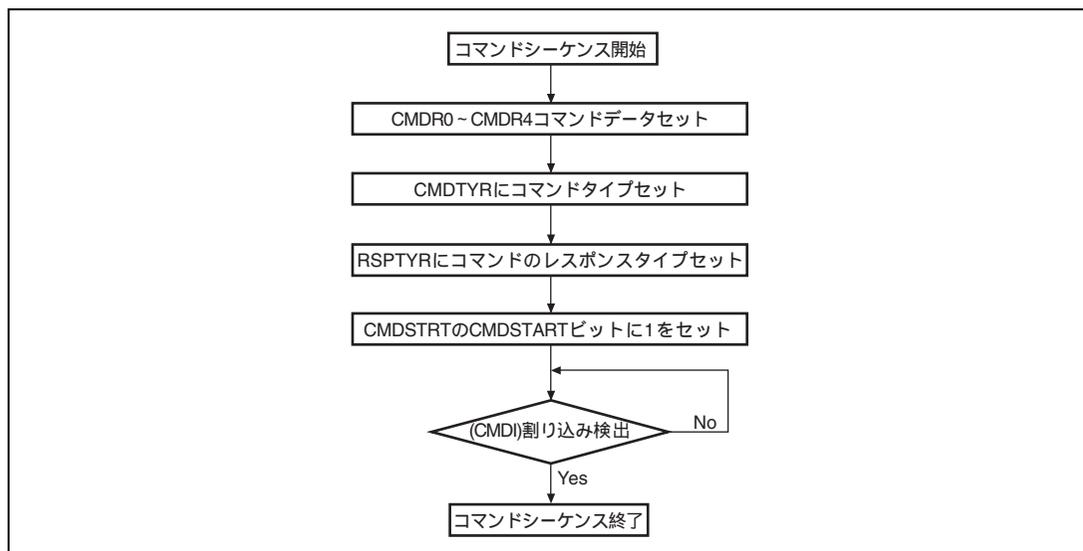


図 24.4 コマンドレスポンスを要さないコマンドの動作フローチャートの例

(4) データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型、フラッシュメモリ操作型のすべてにデータ転送を伴わないコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスで、所望のデータ転送を実行します。フラッシュメモリの書き込み/消去など時間を要する処理に関するコマンドでは、カードは MMCDAT にデータビジー状態を表示します。

図 24.5 と図 24.6 に、データ転送を伴わないコマンドのコマンドシーケンスの例を示します。

図 24.7 に、データ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのCMDSTARTビットを1にセットして、コマンド送出を開始します。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス受信終了割り込み (CRPI) で検出します。
- CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態終了は、データビジー終了割り込み (DBSYI) で検出します。
- CRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- MMCCMDおよびMMCDATは、MMCIFおよびマルチメディアカードがドライブしていないときは、ハイインピーダンス状態で、プルアップによりハイレベルになっております。

24. マルチメディアカードインタフェース (MMCIF)

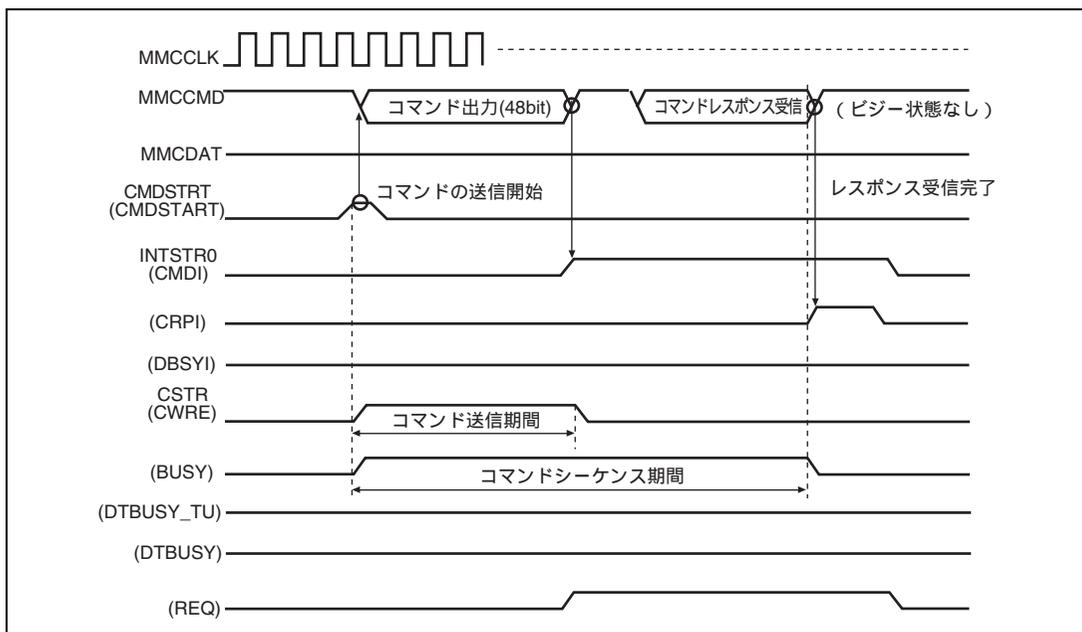


図 24.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)

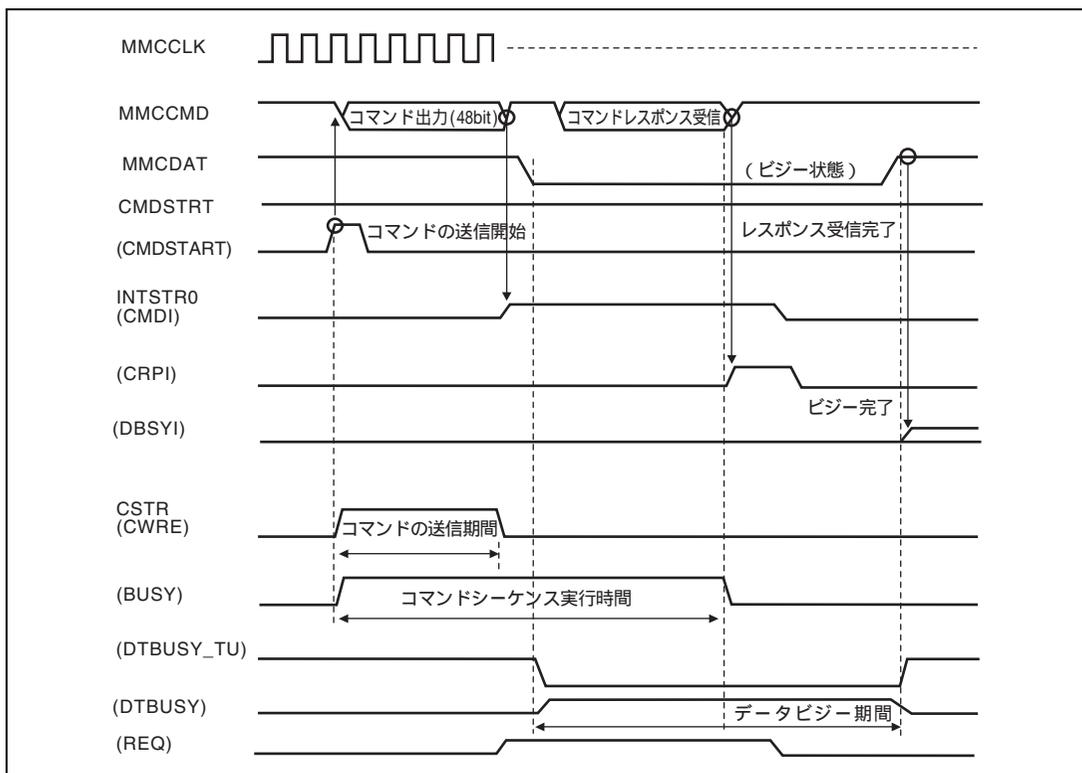


図 24.6 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)

24. マルチメディアカードインタフェース (MMCIF)

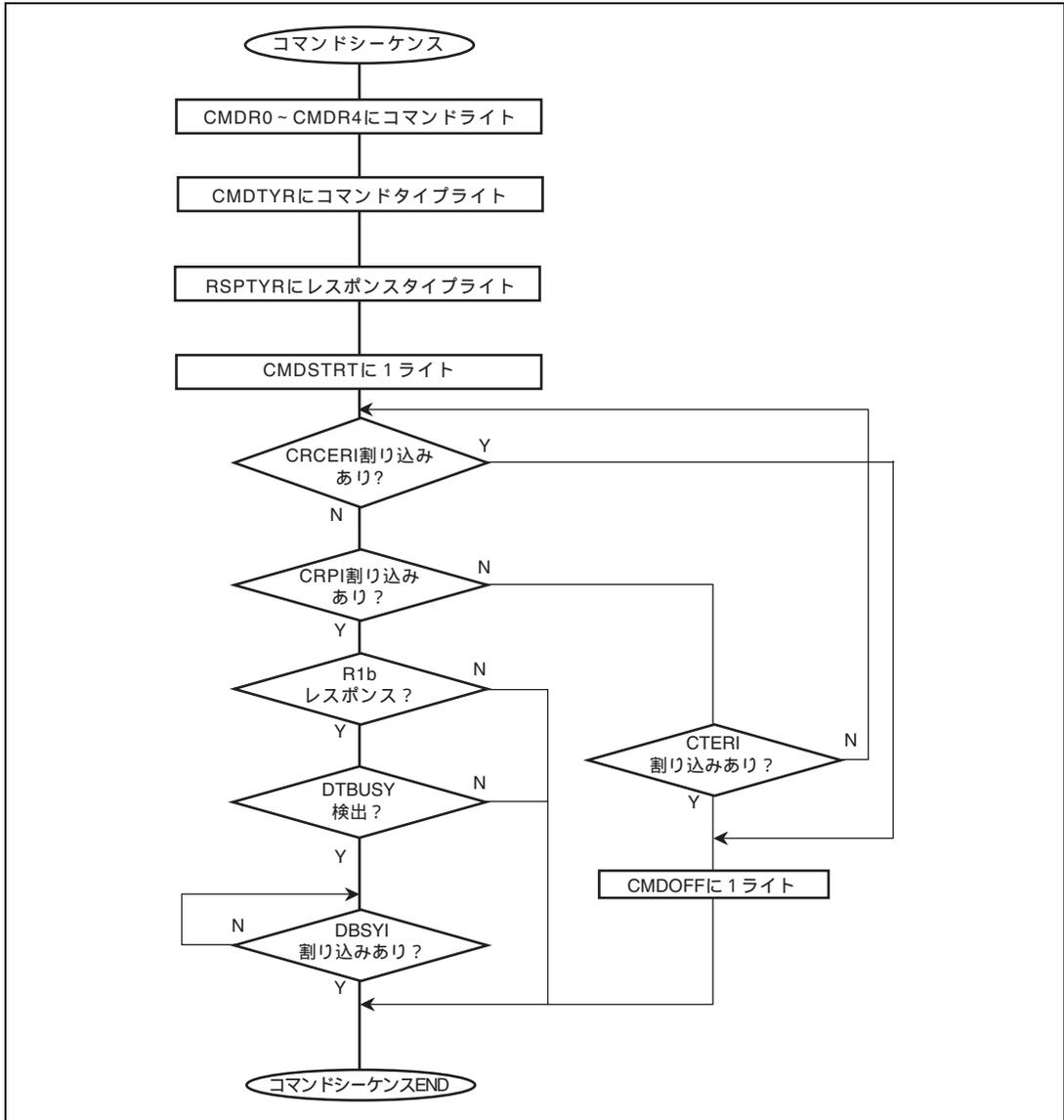


図 24.7 データ転送を伴わないコマンドの動作フローチャート

(5) 読み出しデータを伴うコマンド

フラッシュメモリ操作型の中に、読み出しデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MMCDAT から受信します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がフルになったときにコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

【注意事項】

マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。

図 24.8 ~ 図 24.11 に、読み出しデータを伴うコマンドのコマンドシーケンスの例を示します。

図 24.12 ~ 図 24.14 に、読み出しデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の CMDSTART ビットを 1 にセットして、コマンド送出を開始します。エンドビットの送出完了まで MMCCMD をドライブします。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- カードから読み出しデータを受信します。
- マルチブロック転送でのブロック間中断および FIFO フルによる中断を、それぞれデータ転送終了割り込み (DTI) および FIFO フル割り込み (FFI) で検出します。
コマンドシーケンスを継続する場合は、OPCR の RD_CONTI ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送の場合は、途中でシーケンスを中止するとき以外は CMD12 を必要としません。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了割り込み (DTI)、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- リードデータ受信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトし、FIFO をクリアしてください。

24. マルチメディアカードインタフェース (MMCIF)

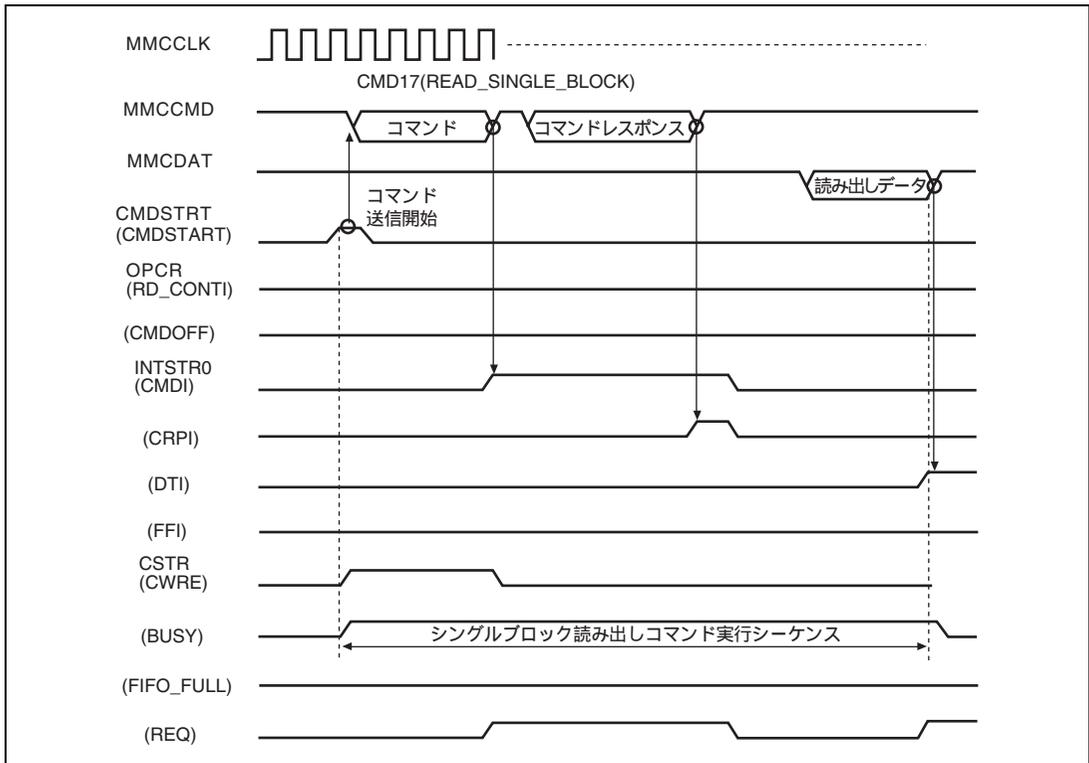


図 24.8 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

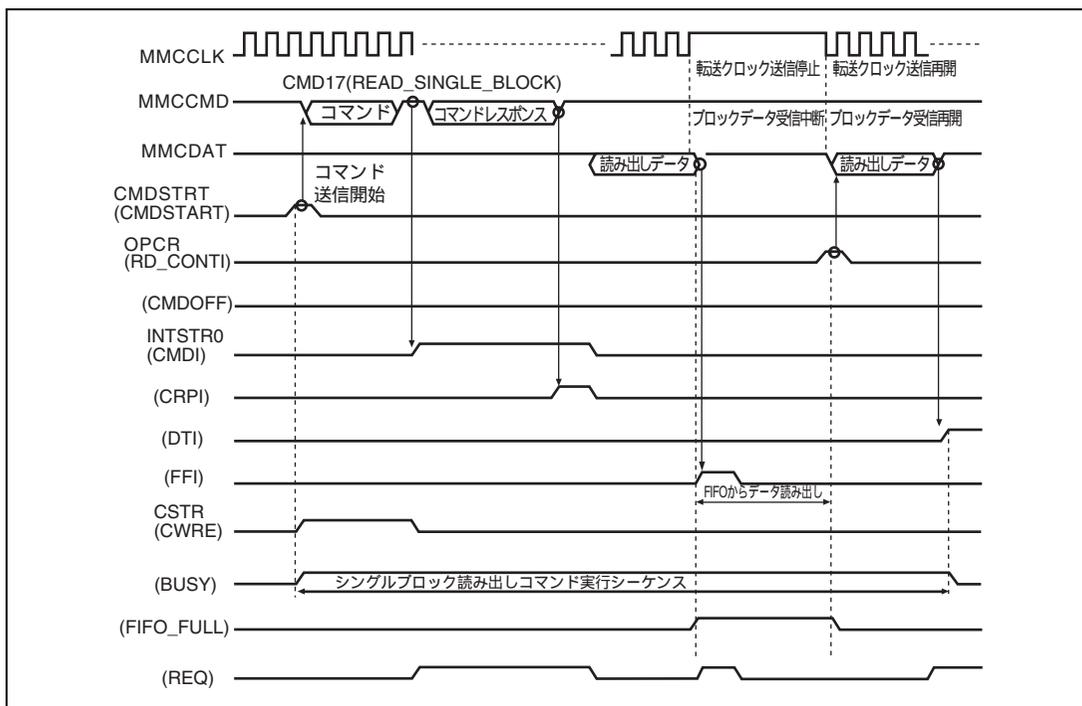


図 24.9 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

24. マルチメディアカードインタフェース (MMCIF)

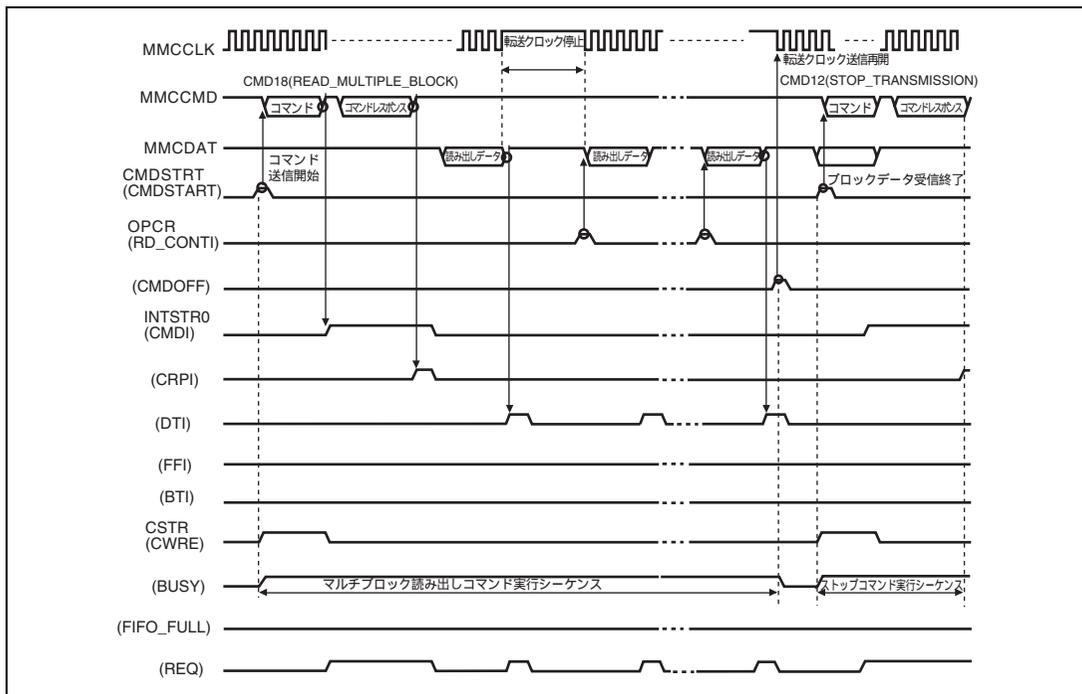


図 24.10 読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送)

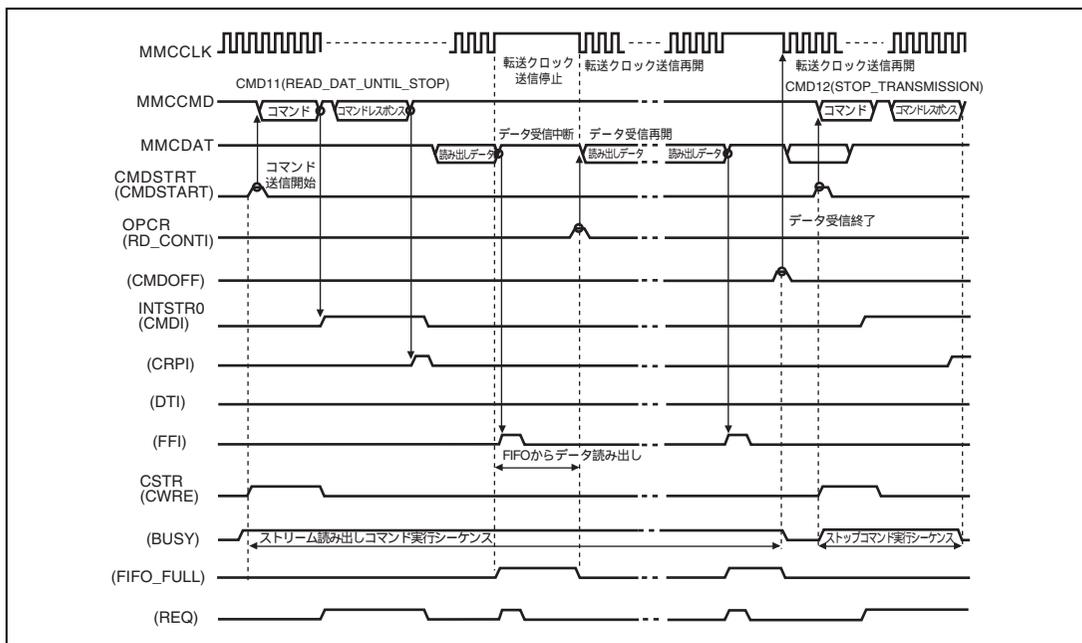


図 24.11 読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送)

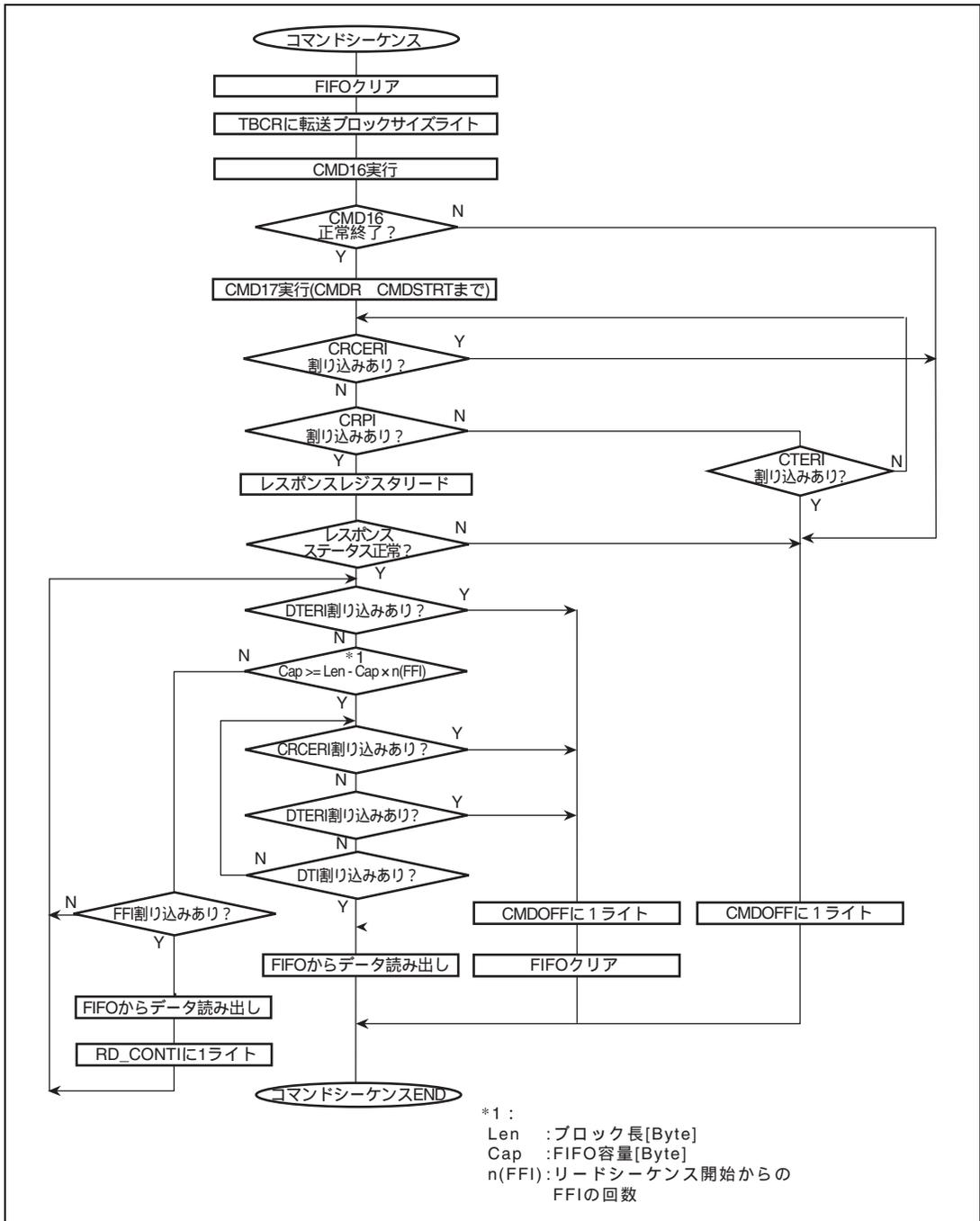


図 24.12 読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

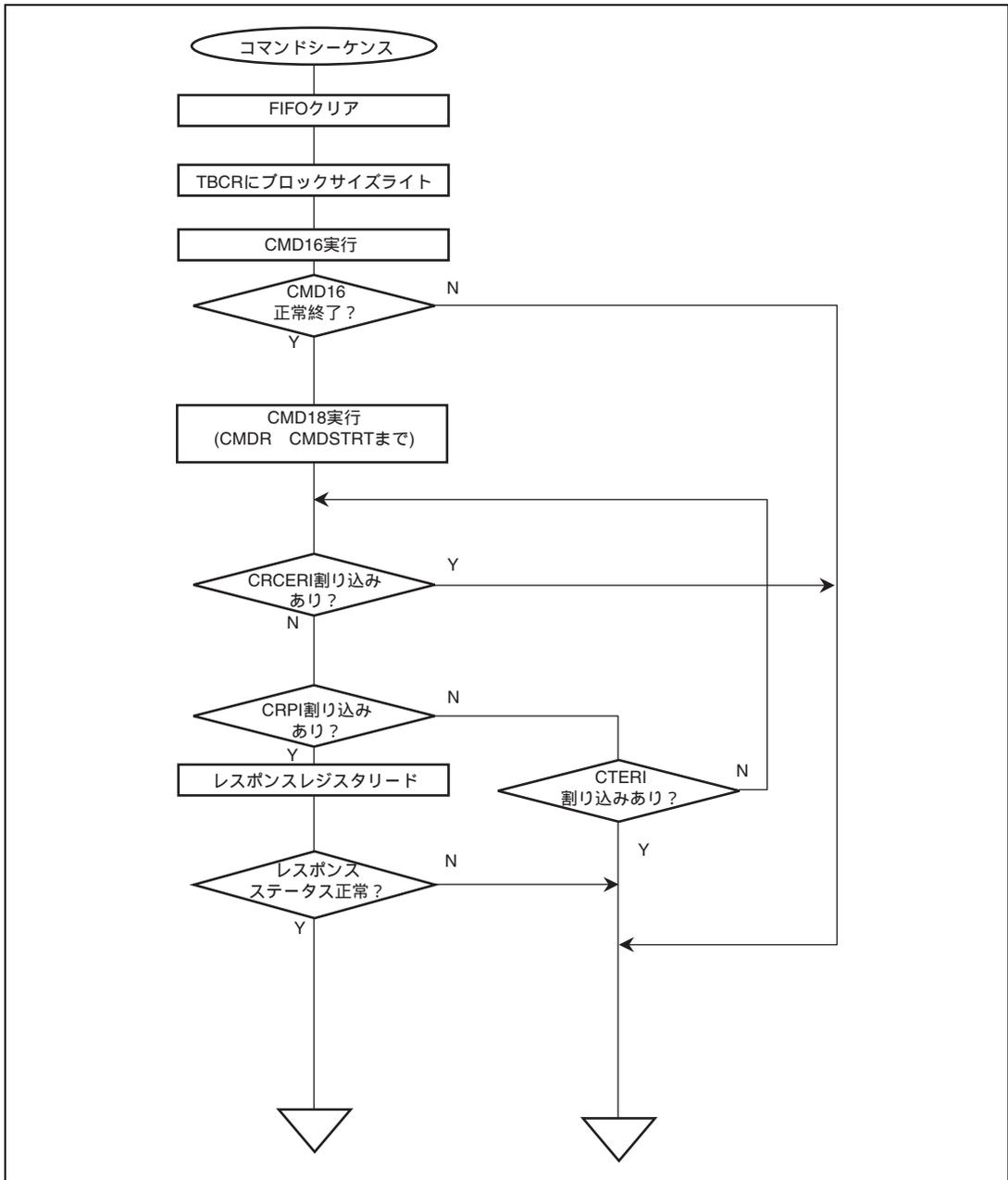


図 24.13 (1) 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

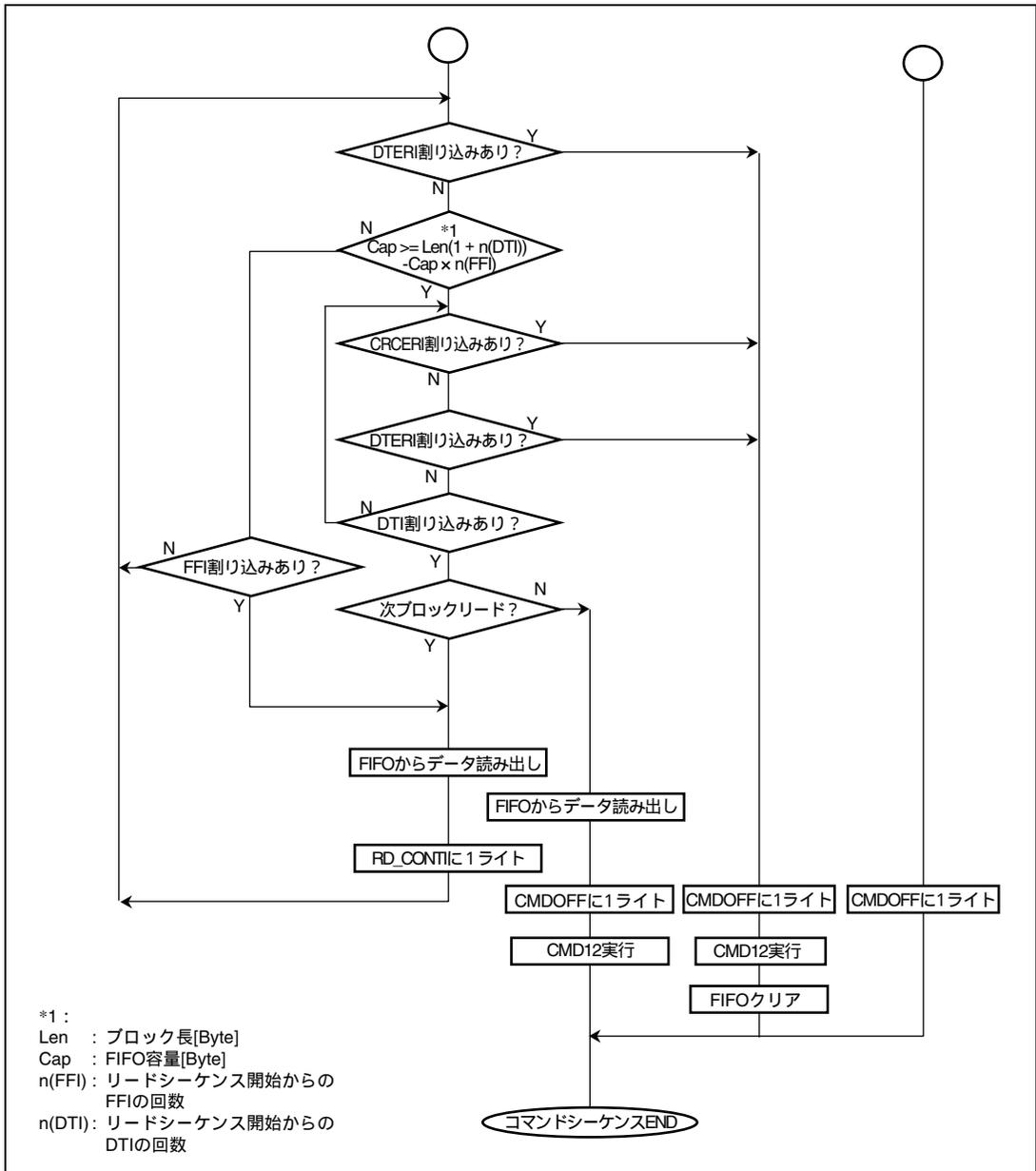


図 24.13 (2) 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

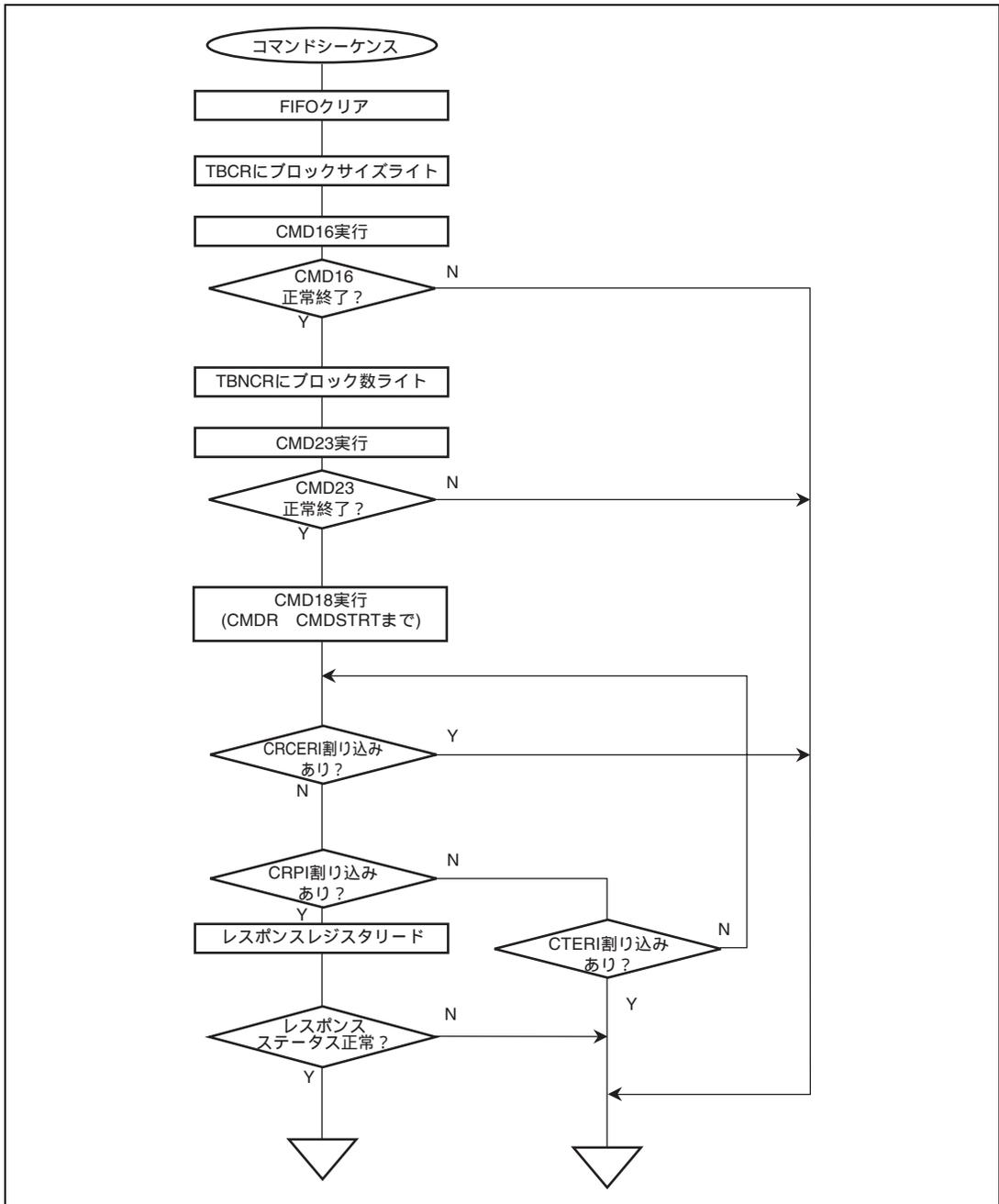


図 24.13 (3) 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

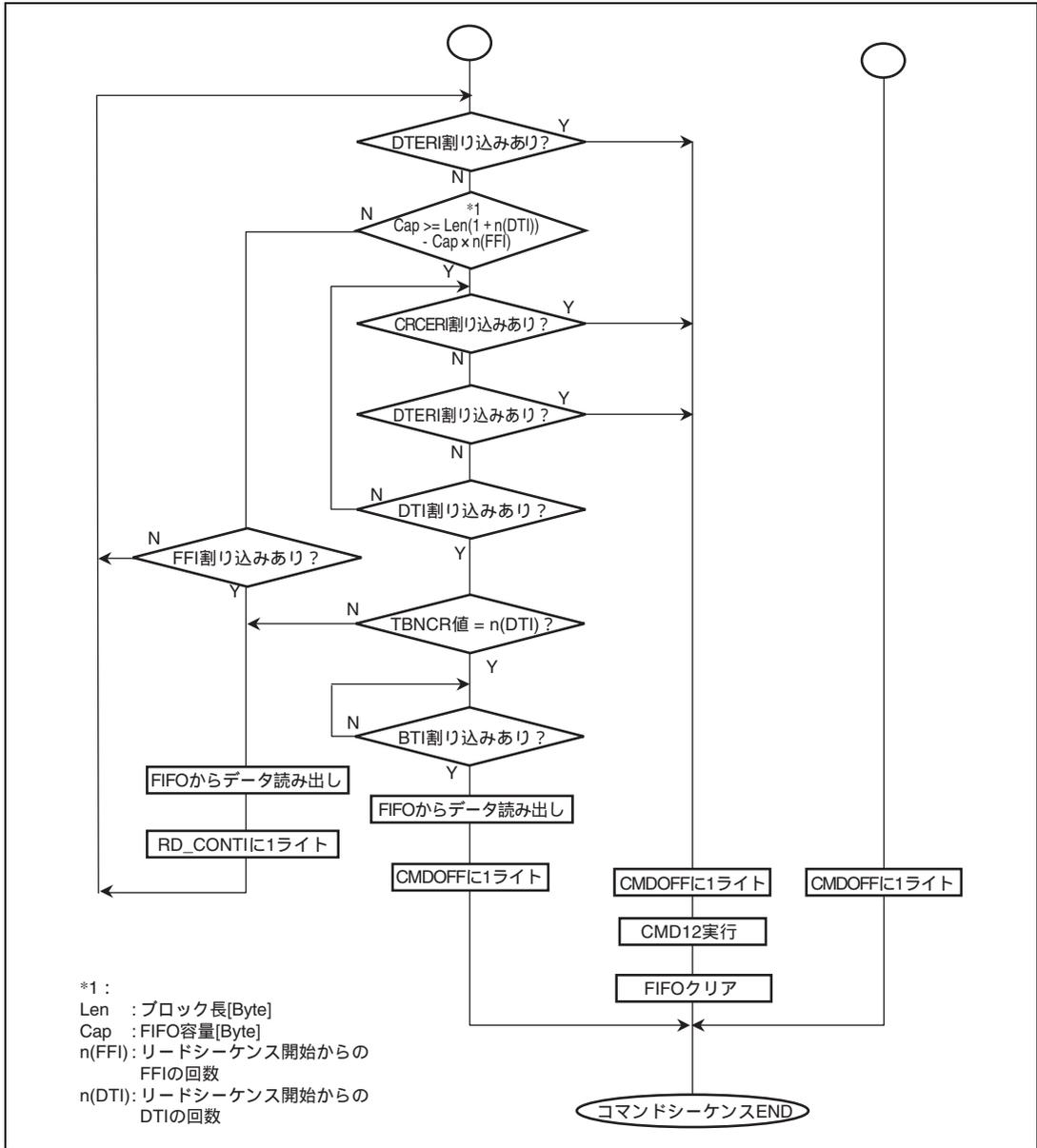


図 24.13 (4) 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

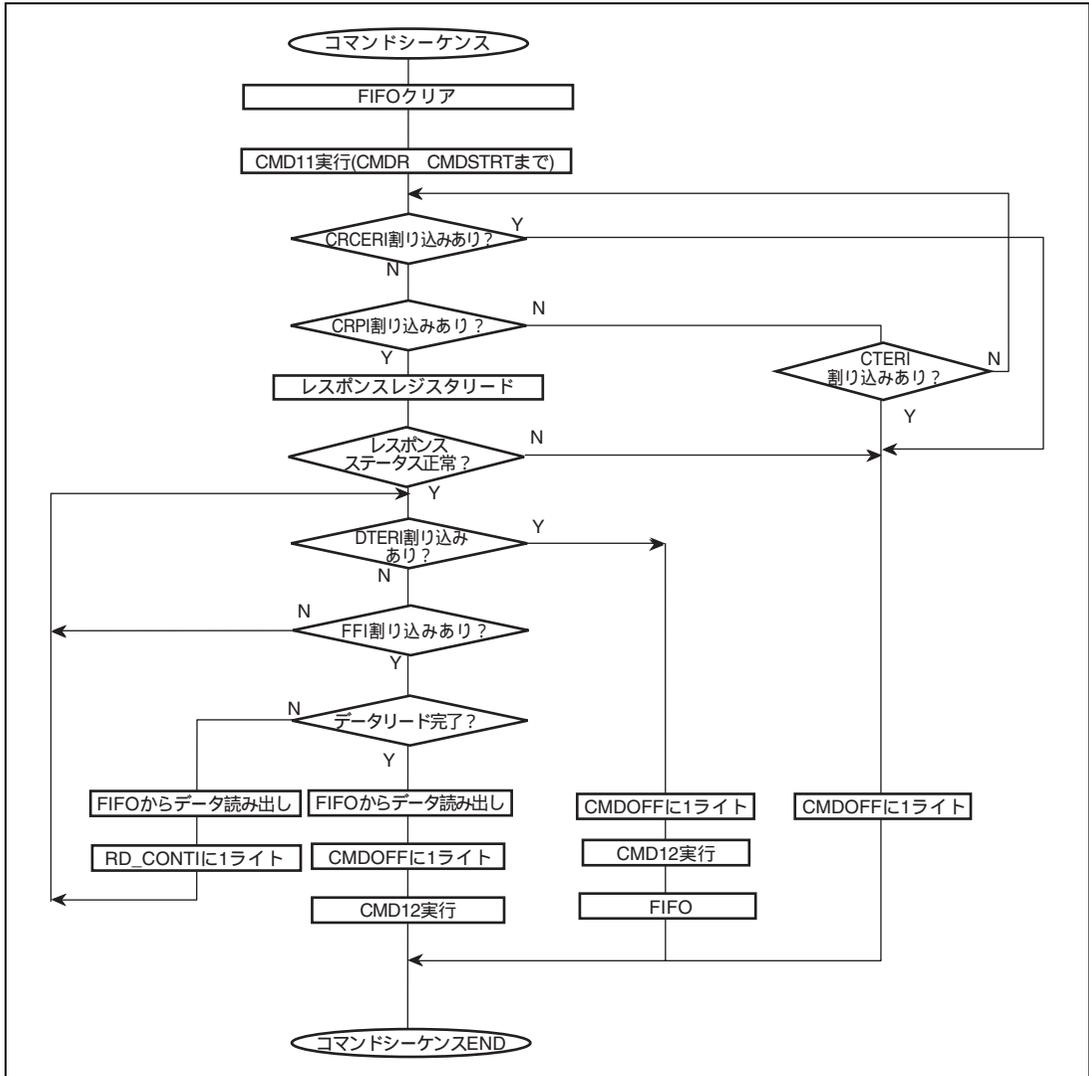


図 24.14 読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

(6) 書き込みデータを伴うコマンド

フラッシュメモリ操作型の中に、書き込みデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MMCDAT から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、カードは MMCDAT にデータビジー状態を表示します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の 2 つの方式があります。

また、マルチブロック転送のブロック間、FIFO がエンプティになった時にコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 24.15 ~ 図 24.18 に、書き込みデータを伴うコマンドのコマンドシーケンスの例を示します。

図 24.19 ~ 図 24.21 に、書き込みデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFO をクリアします。
- CMDSTRT の CMDSTART ビットを 1 にセットして、コマンド送出を開始します。エンドビットの送出完了まで MMCCMD をドライブします。
- コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- FIFO に書き込みデータをセットします。
- OPCR の DATAEN ビットを 1 にセットして、書き込みデータの送信を開始します。エンドビットの送出完了まで MMCDAT をドライブします。
- マルチブロック転送でのブロック間中断および FIFO エンプティによる中断を、それぞれデータレスポンス完了フラグ (DRPI) および FIFO エンプティフラグ (FEI) で検出します。コマンドシーケンスを継続する場合は、FIFO にライトデータを補充し、OPCR の DATAEN ビットを 1 にセットします。終了する場合は、OPCR の CMDOFF ビットを 1 にセットして、CMD12 を発行します。ただし、pre-defined マルチブロック転送で、途中でシーケンスを中止するとき以外は CMD12 を必要としません。
- コマンドシーケンス終了の検出は、CSTR の BUSY フラグのポーリングか、データ転送終了割り込み (DTI) データレスポンス割り込み (DRPI)、またはマルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- CSTR の DTBUSY により、データビジーであることを確認し、データビジーであればデータビジー状態の終了をデータビジー終了割り込み (DBSYI) で検出します。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。
- ライトデータ送信時の CRC エラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFF ビットに 1 をライトしてください。

【注】 ストリーム転送によって、カードへ書き込むときには、FIFO エンプティ割り込み確認後も MMCIF はカードへのデータ転送を継続しています。その場合、転送クロックの 24 クロック分以上経過してから、コマンドシーケンスを終了してください。

24. マルチメディアカードインタフェース (MMCIF)

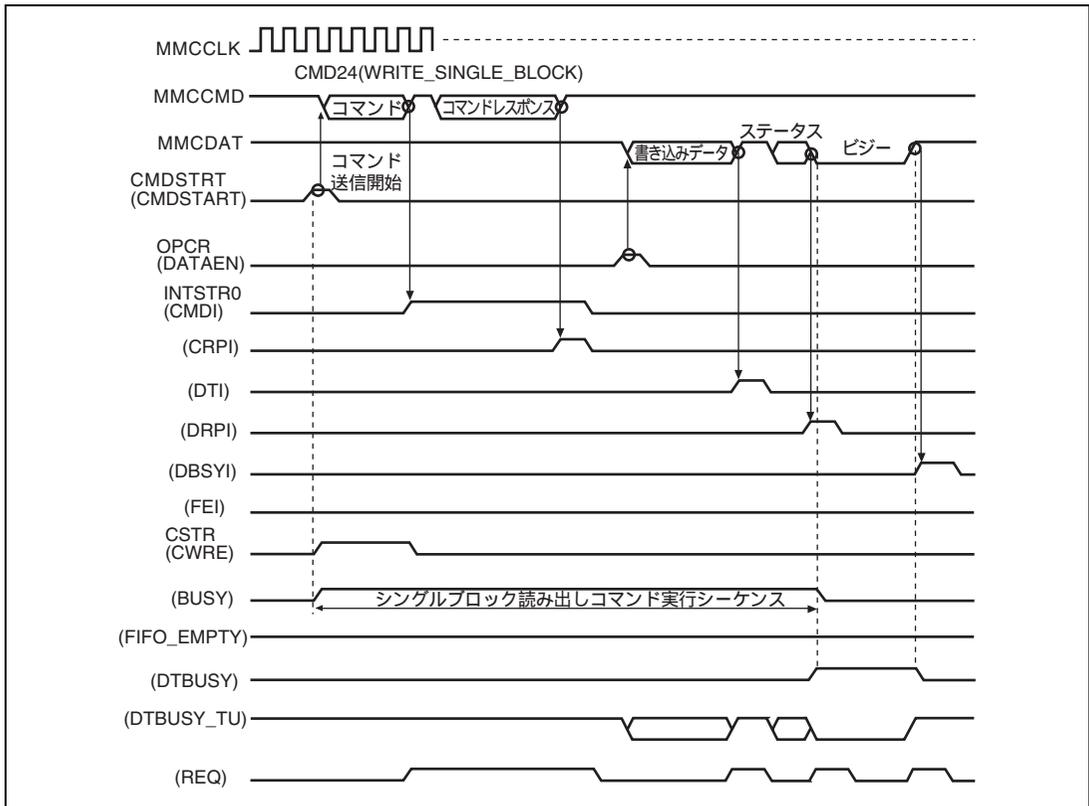


図 24.15 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ FIFO サイズ)

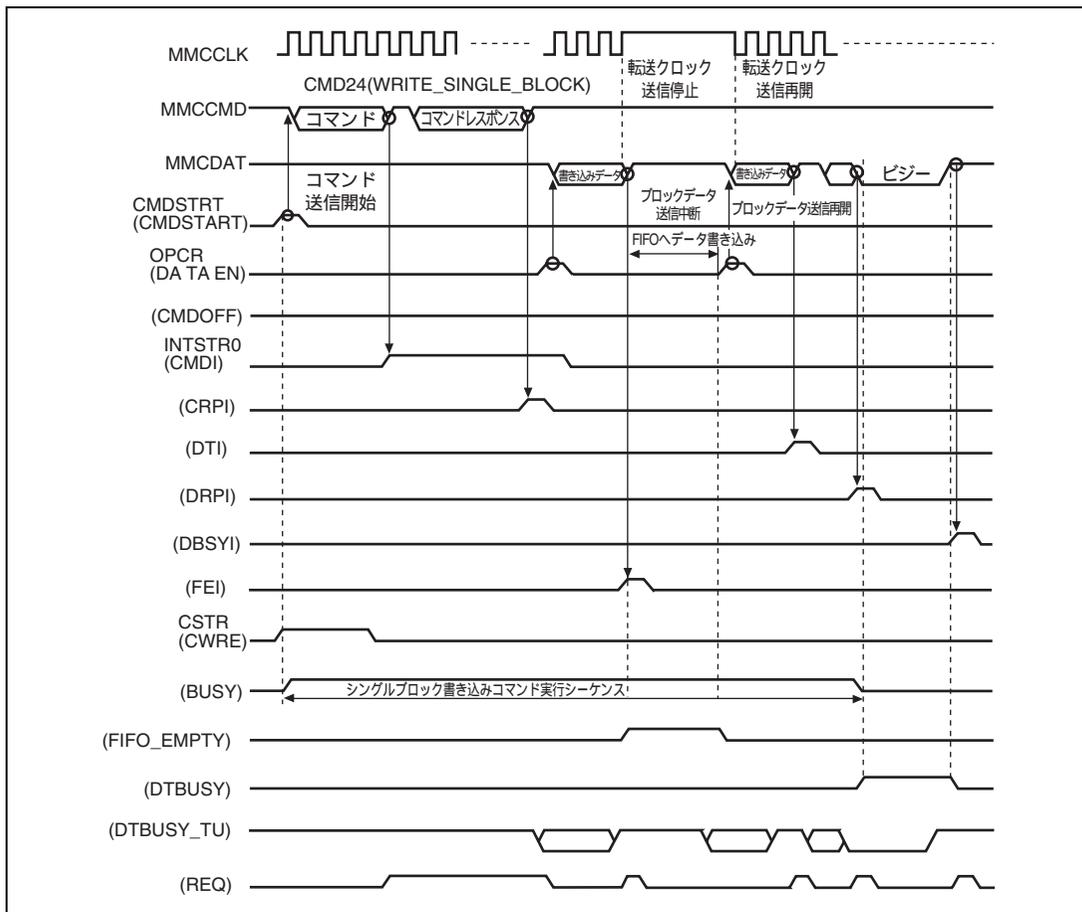


図 24.16 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ > FIFO サイズ)

24. マルチメディアカードインタフェース (MMCIF)

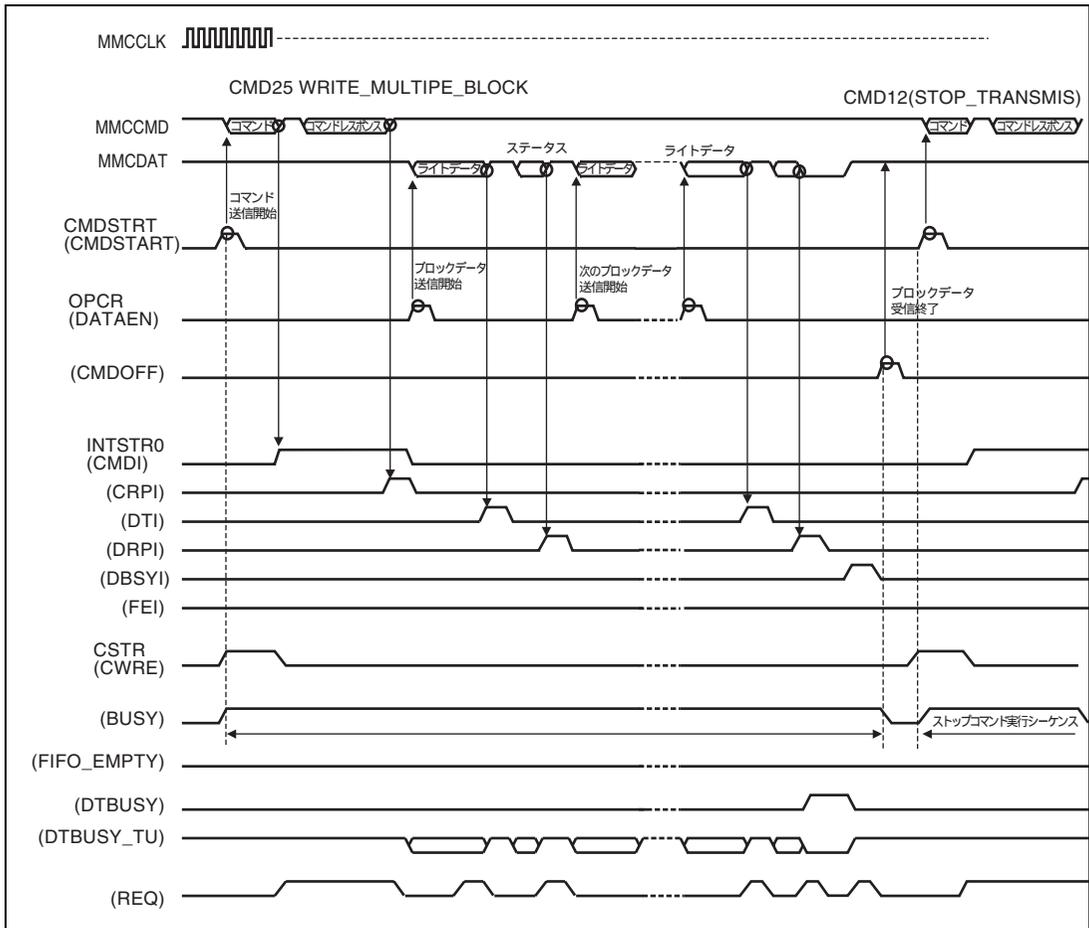


図 24.17 書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

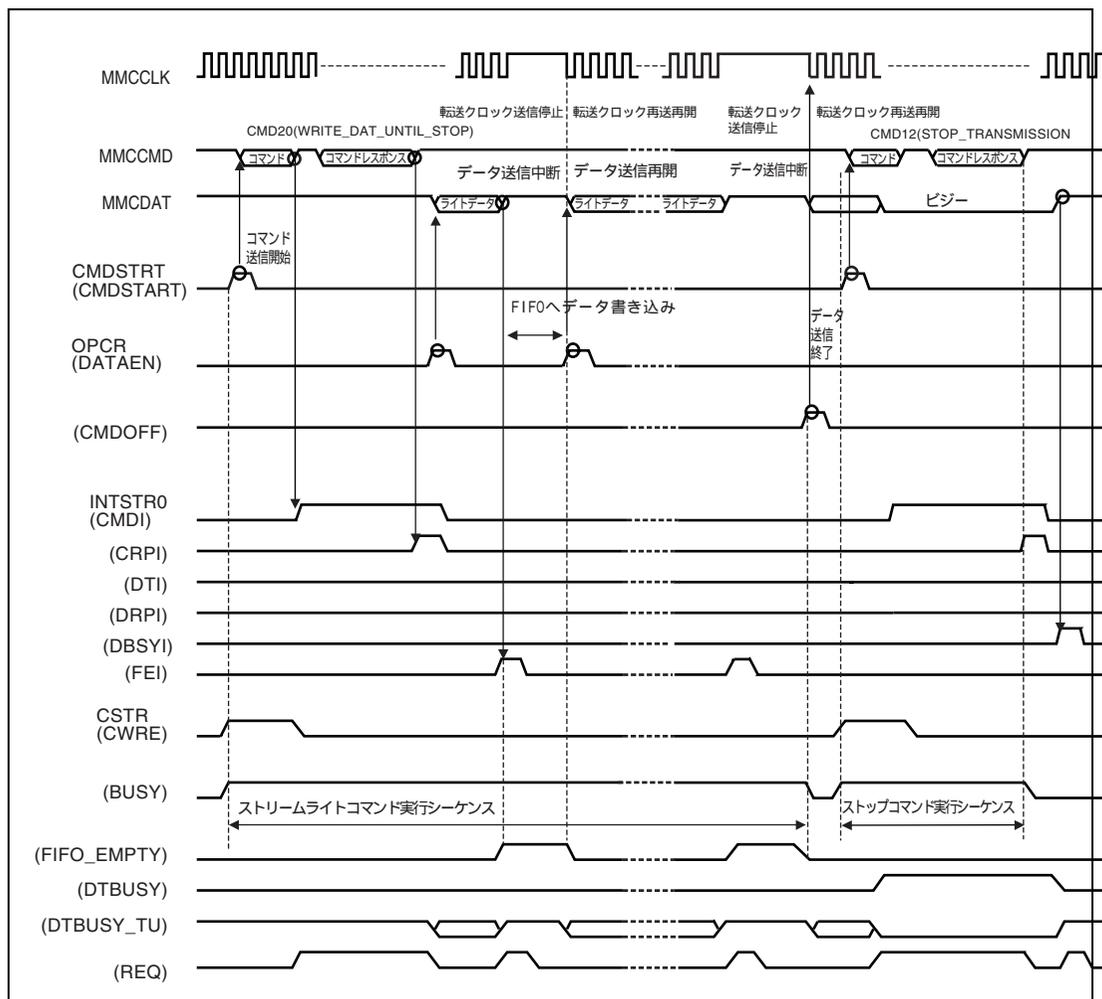


図 24.18 書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送)

24. マルチメディアカードインタフェース (MMCIF)

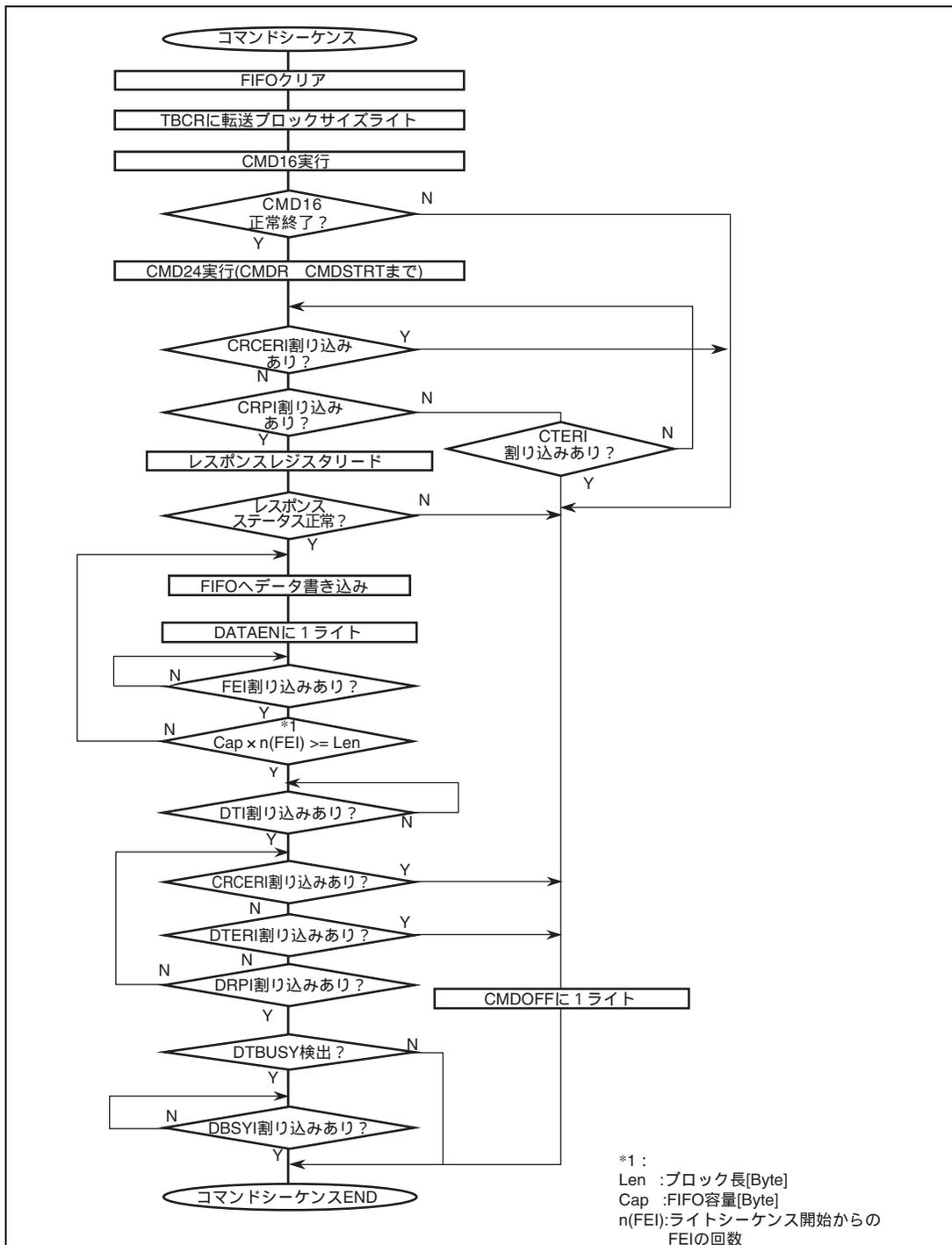


図 24.19 書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送)

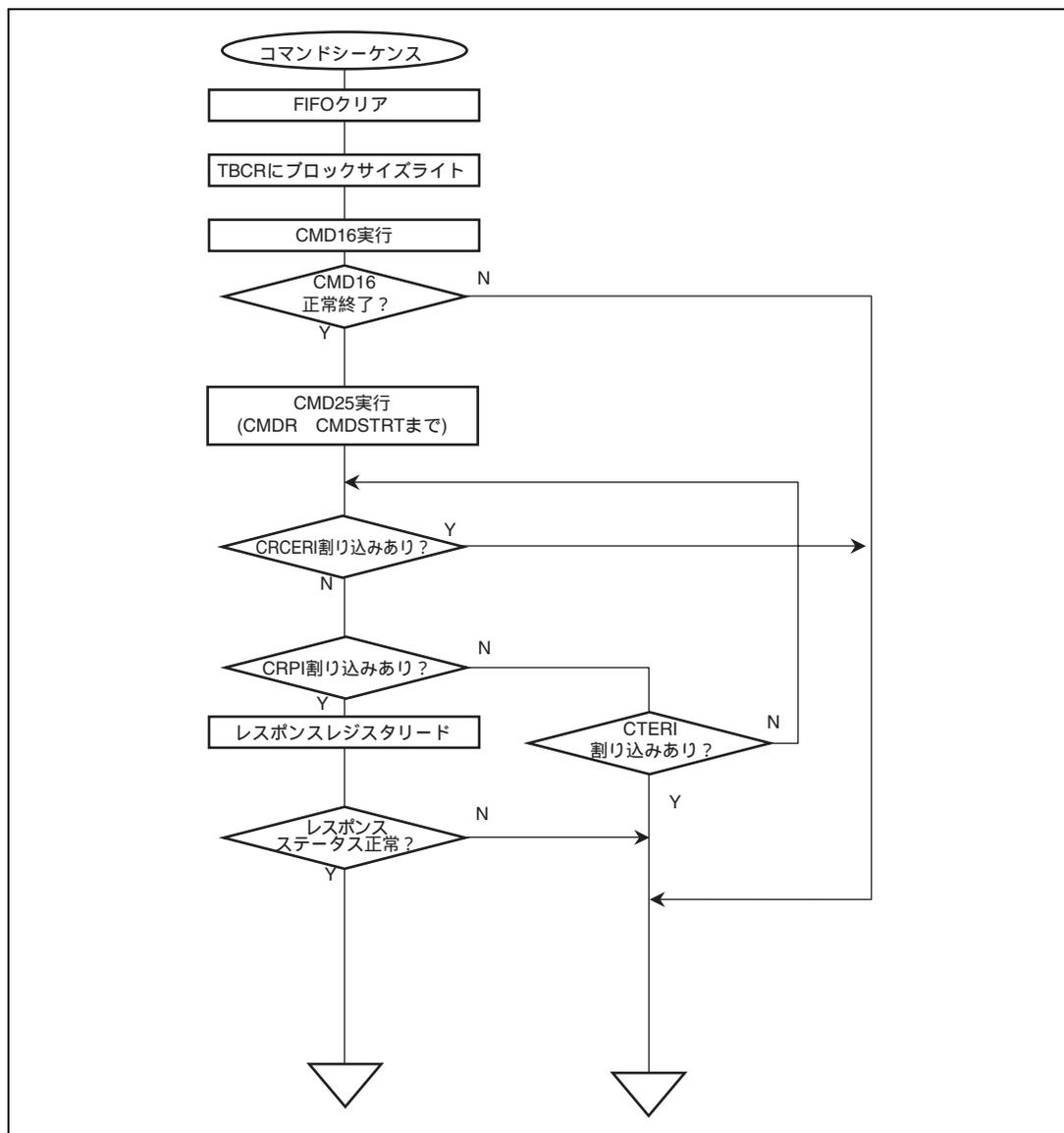


図 24.20 (1) 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

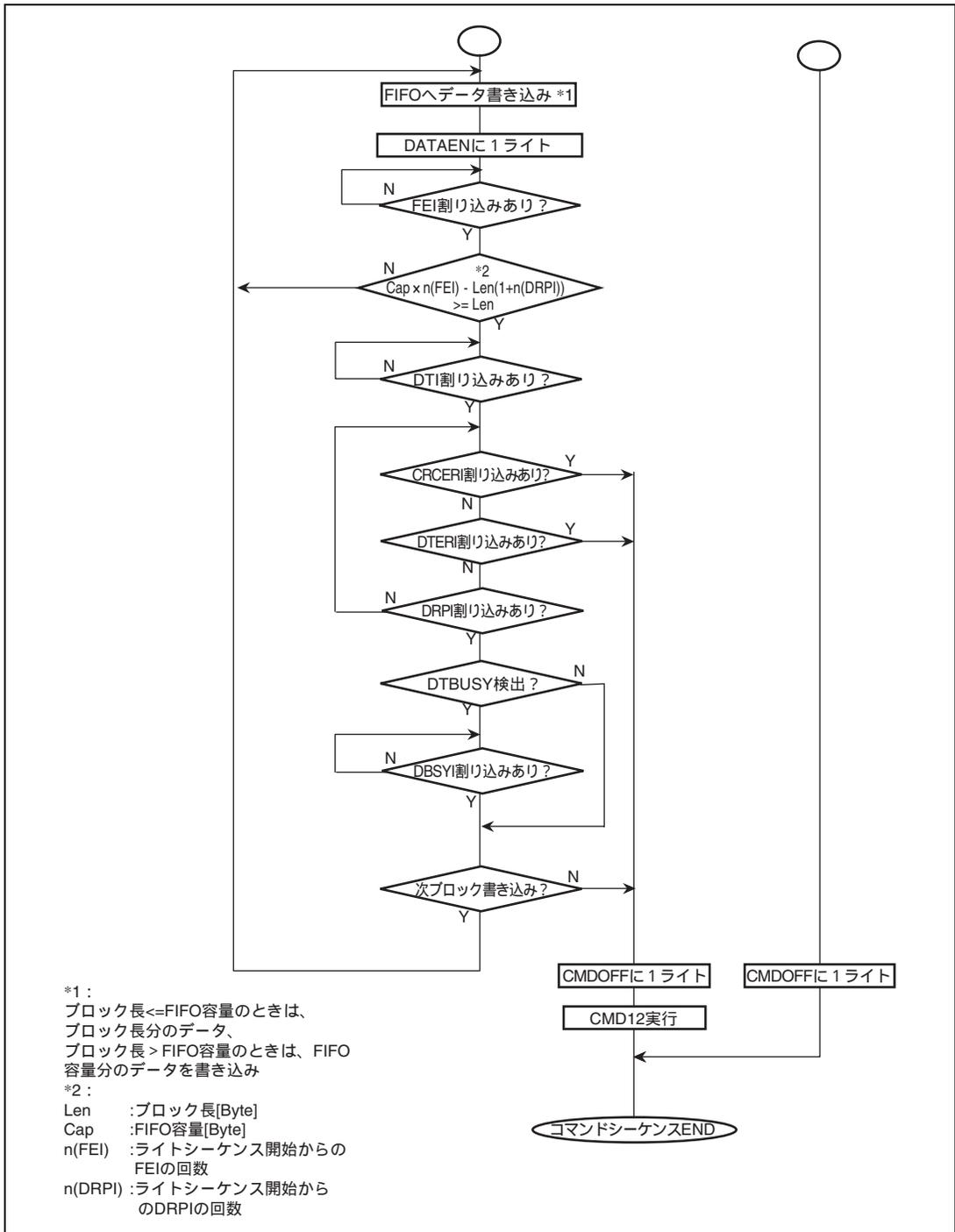


図 24.20 (2) 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送)

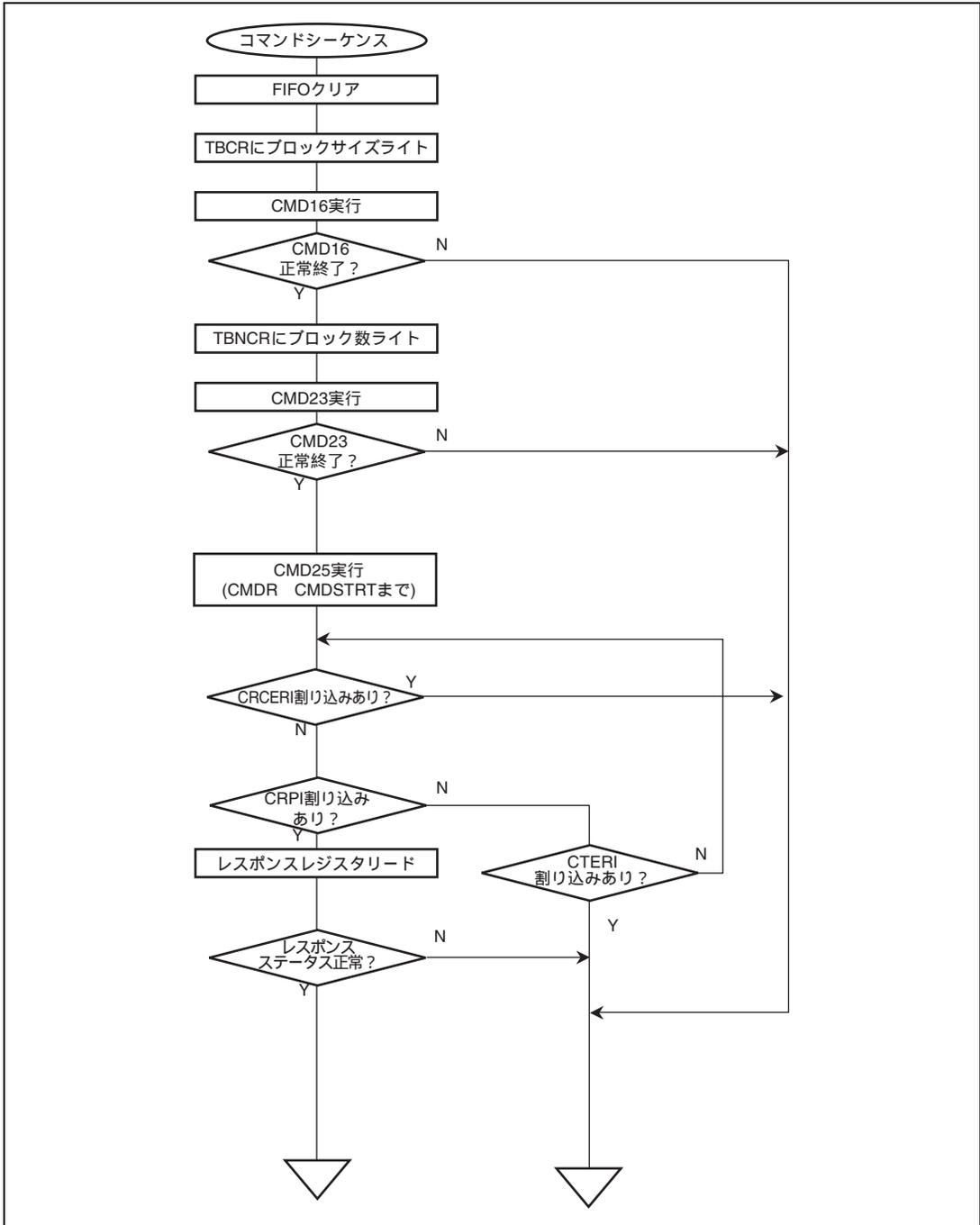


図 24.20 (3) 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

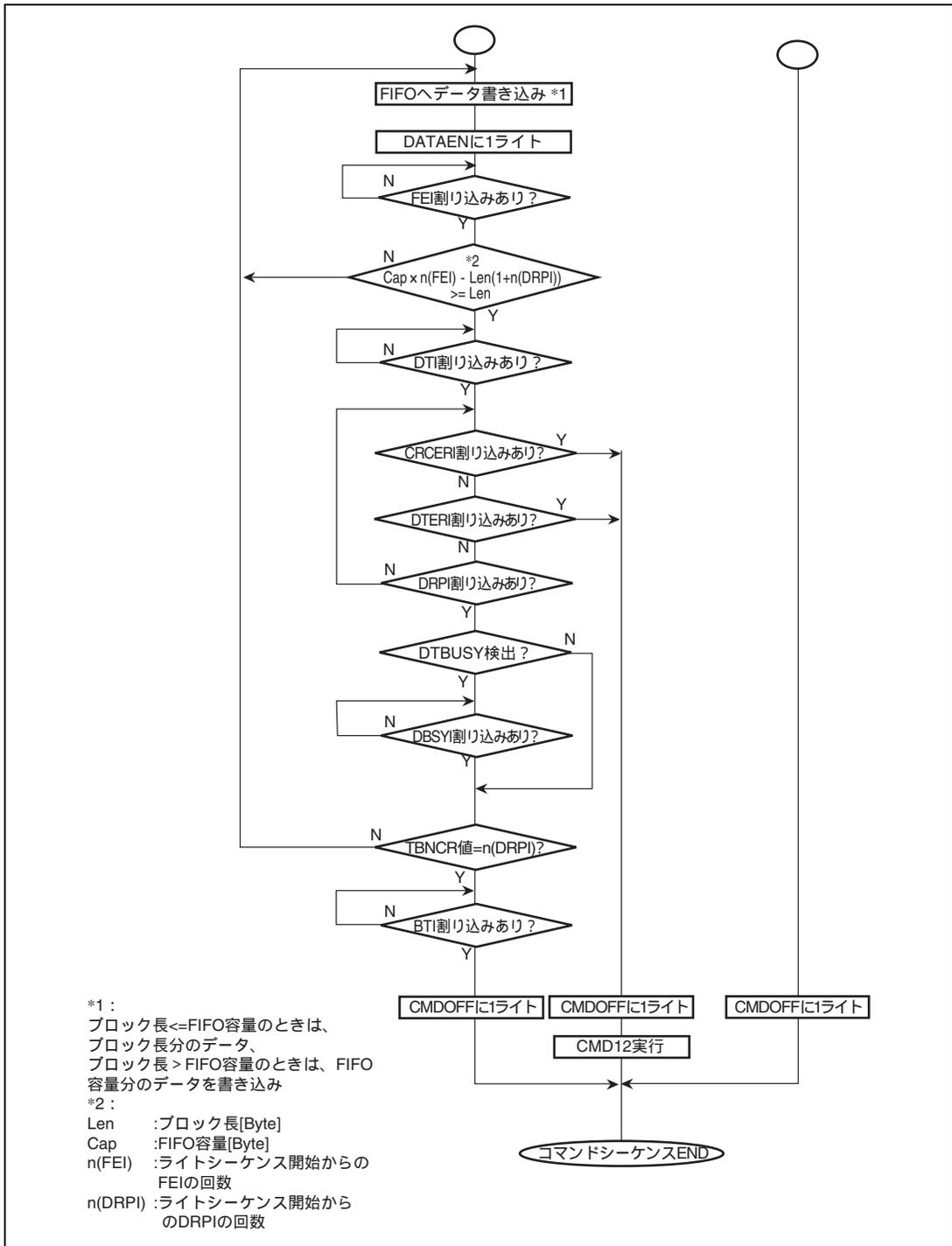


図 24.20 (4) 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送)

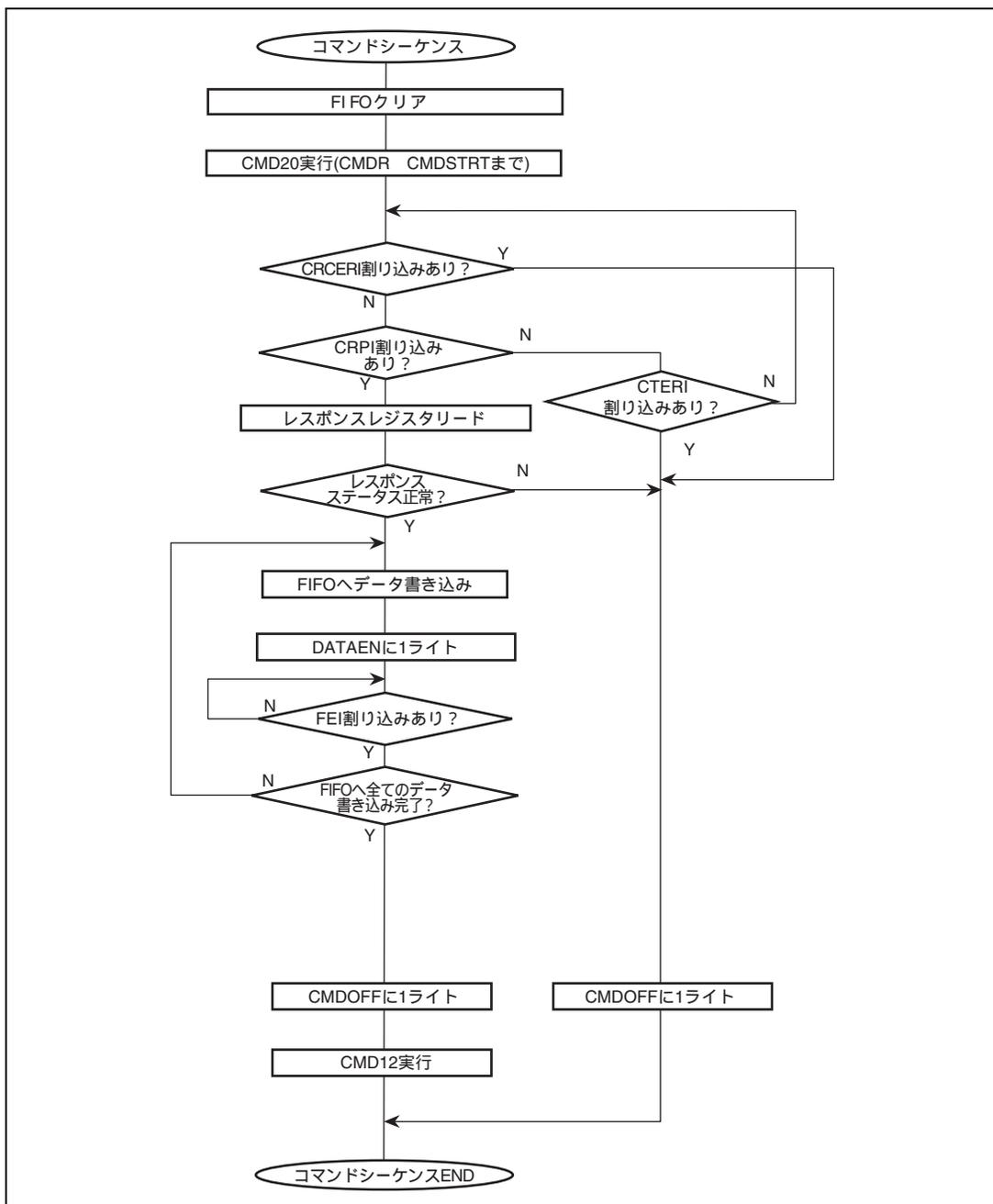


図 24.21 書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

24.5 MMCIF 割り込み要因

表 24.6 に MMCIF の割り込み要因を示します。割り込み要因は 4 グループに分類されており、4 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0~2 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因は、フラグをセットしません。

表 24.6 MMCIF 割り込み要因

名称	割り込み要因	割り込みフラグ
FSTAT	FIFO エンプティ	FEI
	FIFO フル	FFI
TRAN	データレスポンス	DPRI
	データ転送終了	DTI
	コマンドレスポンス受信終了	CRPI
	コマンド送信終了	CMDI
	データビジー終了	DBSYI
ERR	CRC エラー	CRCERI
	データタイムアウトエラー	DTERI
	コマンドタイムアウトエラー	CTERI
FRDY	FIFO 準備完了	FRDYI

24.6 DMA 使用時の動作説明

24.6.1 読み出しシーケンス時の動作

DMAC を用いて FIFO 内データの転送を行うときは、DMAC の各設定後*、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、読み出しコマンドを送信してください。

図 24.22 ~ 図 24.24 に読み出しシーケンスフローを示します。

- FIFO をクリアし、DMACR を設定します。
- 読み出しコマンド送付を開始します。
- カードからコマンドレスポンスを受信します。
- カードから読み出しデータを受信します。
- 読み出しシーケンス終了後、FIFO にはデータが残っています。必要であれば、FIFO 内のデータをすべてを読み出すことができるように DMACR の SET[2:0] に B'100 を書き込みます。
- DMAC の転送が完了したことを確認し、DMACR の DMAEN ビットに 0 をセットしてください。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトし、DMACR に H'00 を設定してください。

- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

また、DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック終了後に正常にリードできたことを検出できたら、次のブロックのリードを自動で再開します。図 24.25 にオートモードを用いるときの pre-defined マルチリードシーケンスフローを示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- DMACRを設定します。
- リードコマンド送出を開始します。
- カードからコマンドレスポンス、リードデータを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) フラグで検出します。
- コマンドシーケンス中 (データ受信中) のエラーはCRCエラーフラグ、データタイムアウトフラグにより、検出します。これらのフラグを検出したときはOPCRのCMDOFFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- リードシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータすべてをリードできるようにDMACRのSET[2:0]にB'100をライトします。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットします。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定してください。
- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

【注意事項】

マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD_CONTI ビットを 1 にセット) してください。

- * DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

24. マルチメディアカードインタフェース (MMCIF)

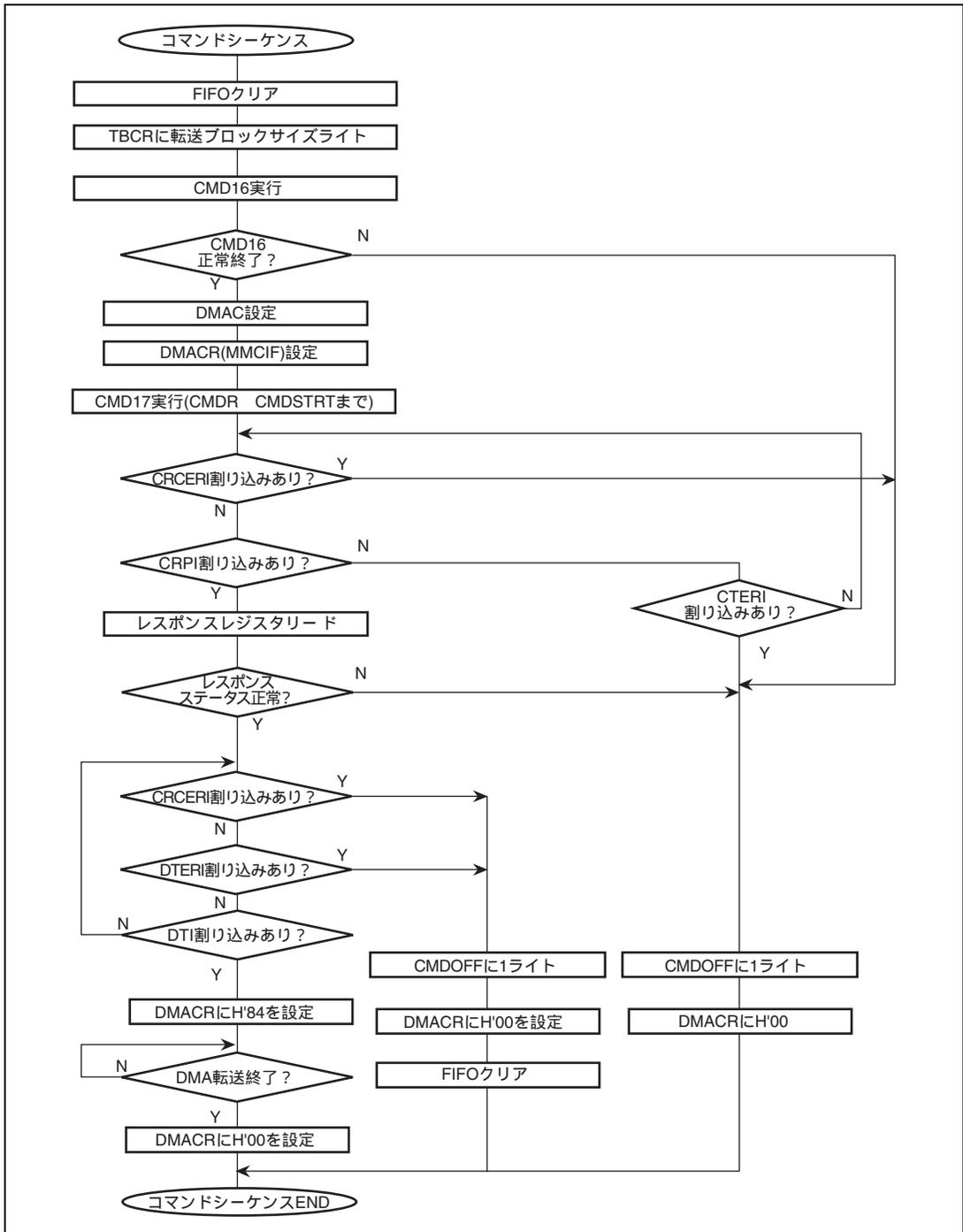


図 24.22 リードシーケンスフローの例 (シングルブロック転送)

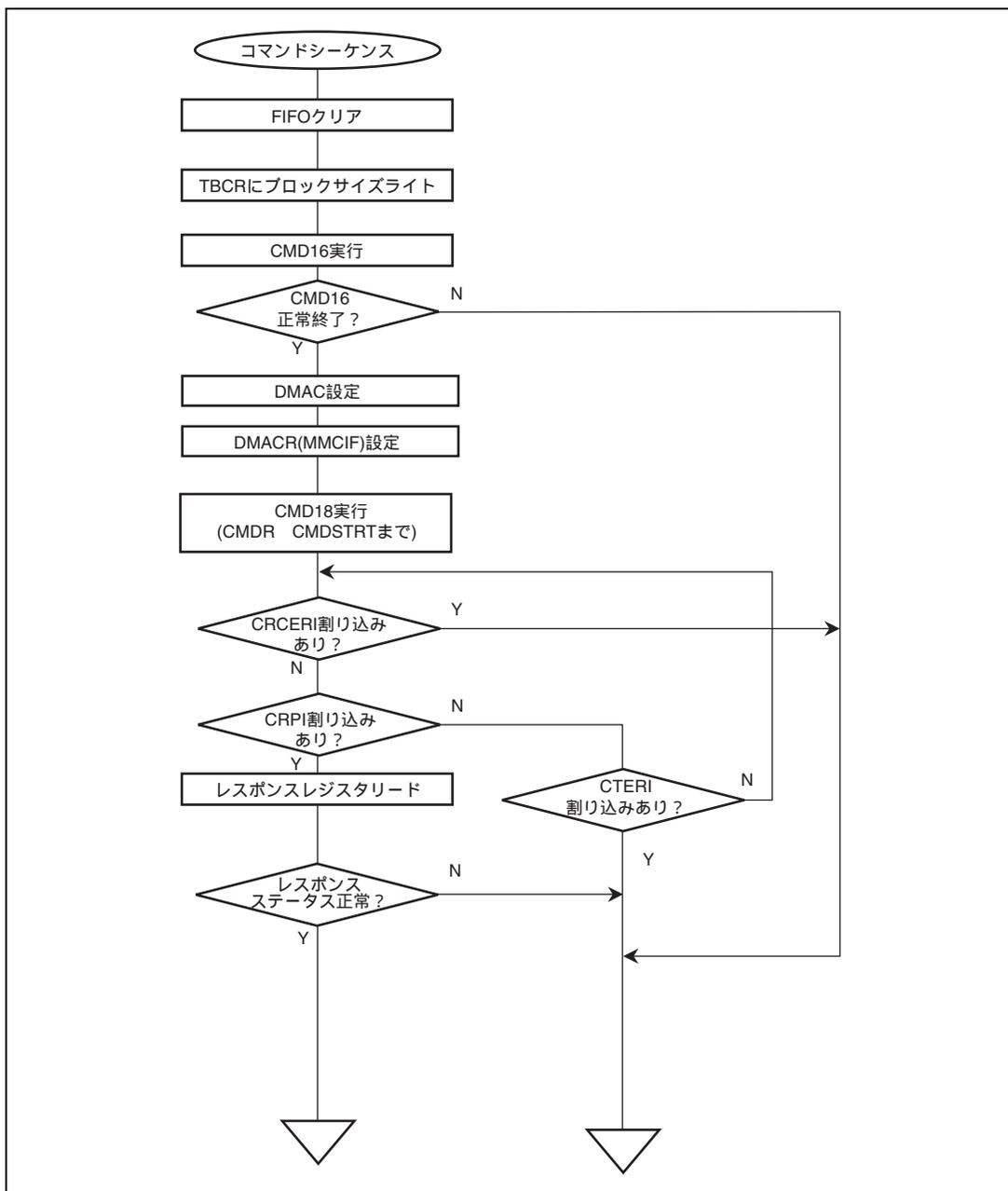


図 24.23 (1) リードシーケンスフローの例 (open-ended マルチブロック転送)

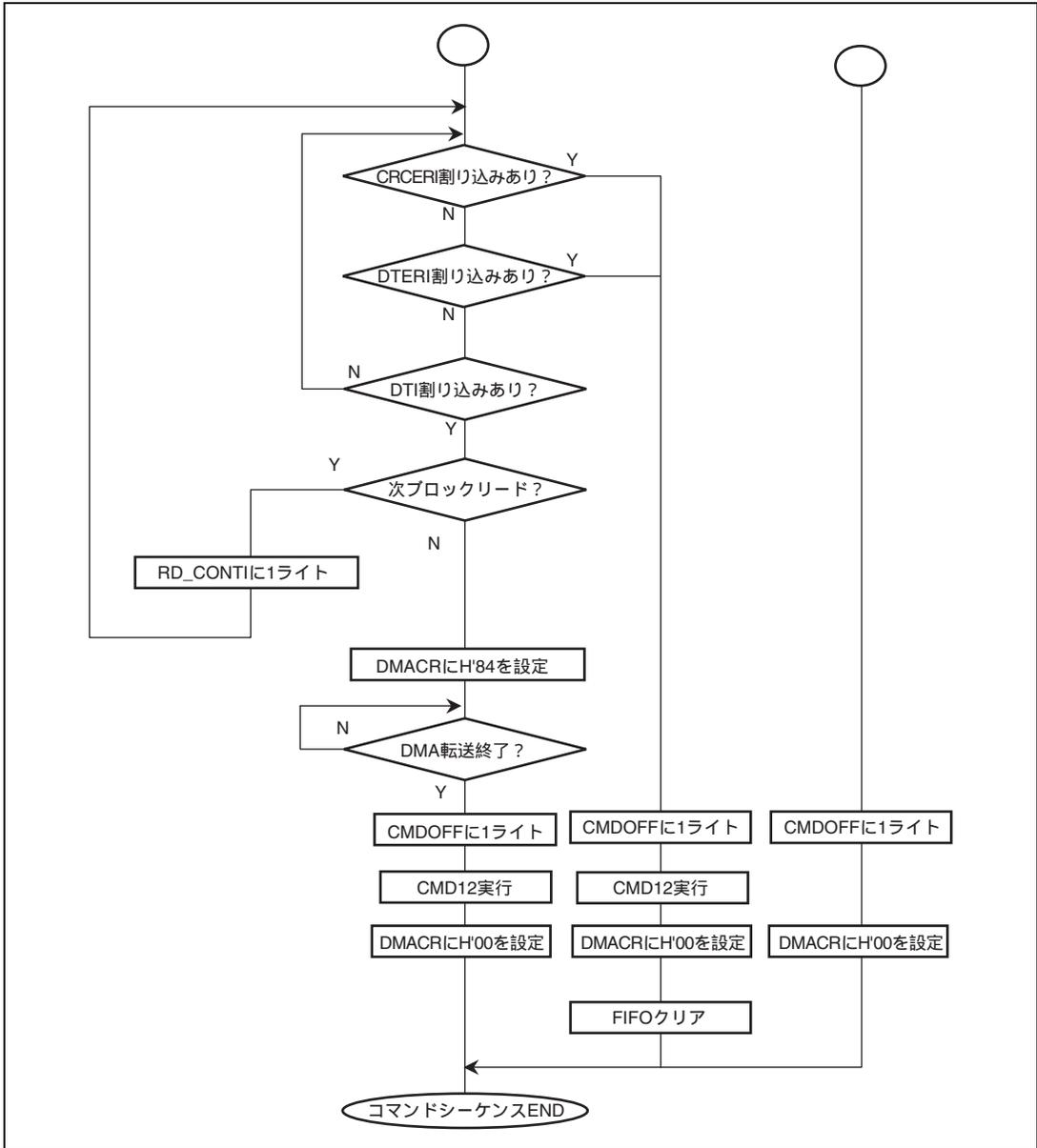


図 24.23 (2) リードシーケンスフローの例 (open-ended マルチブロック転送)

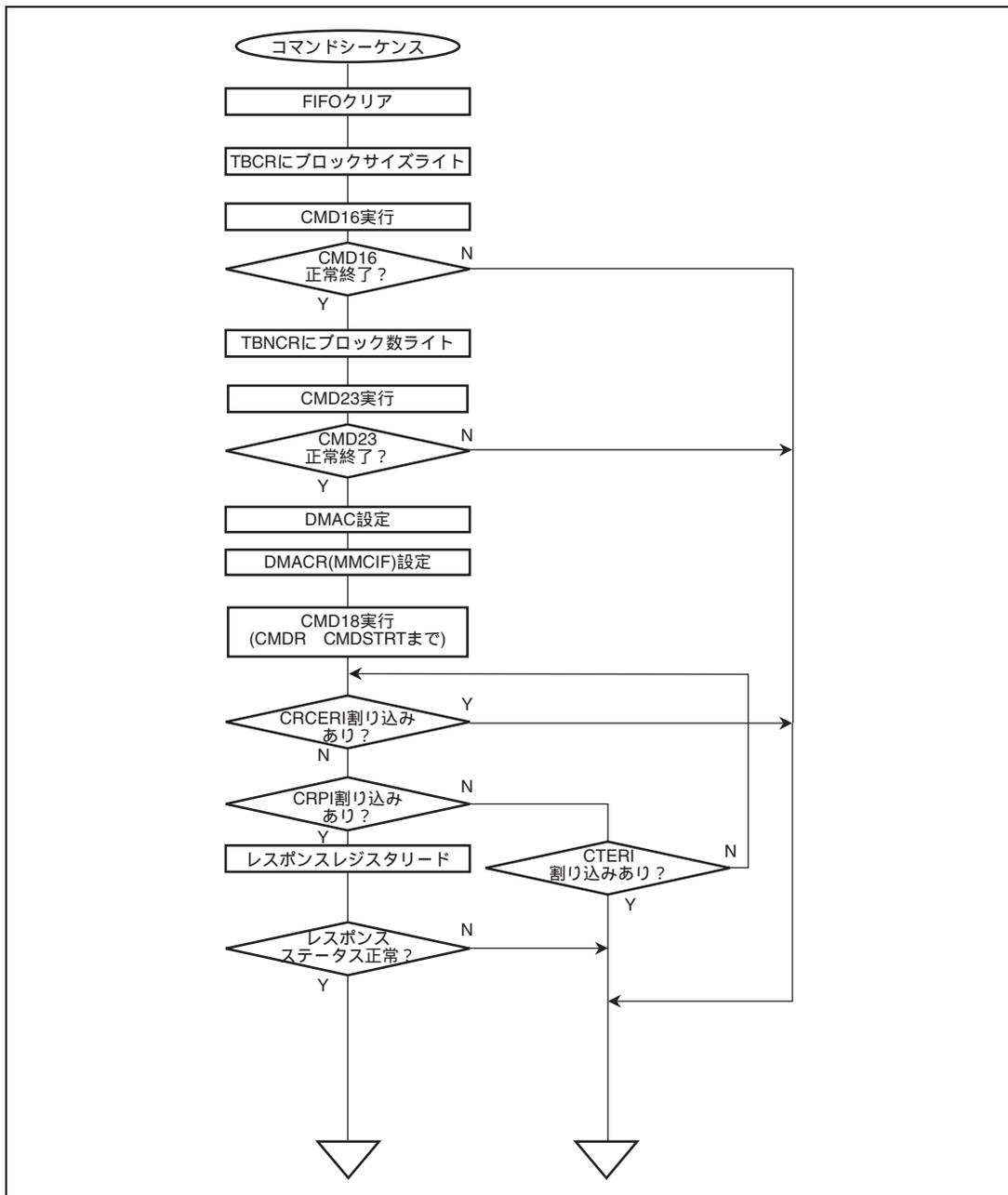


図 24.23 (3) リードシーケンスフローの例 (pre-defined マルチブロック転送)

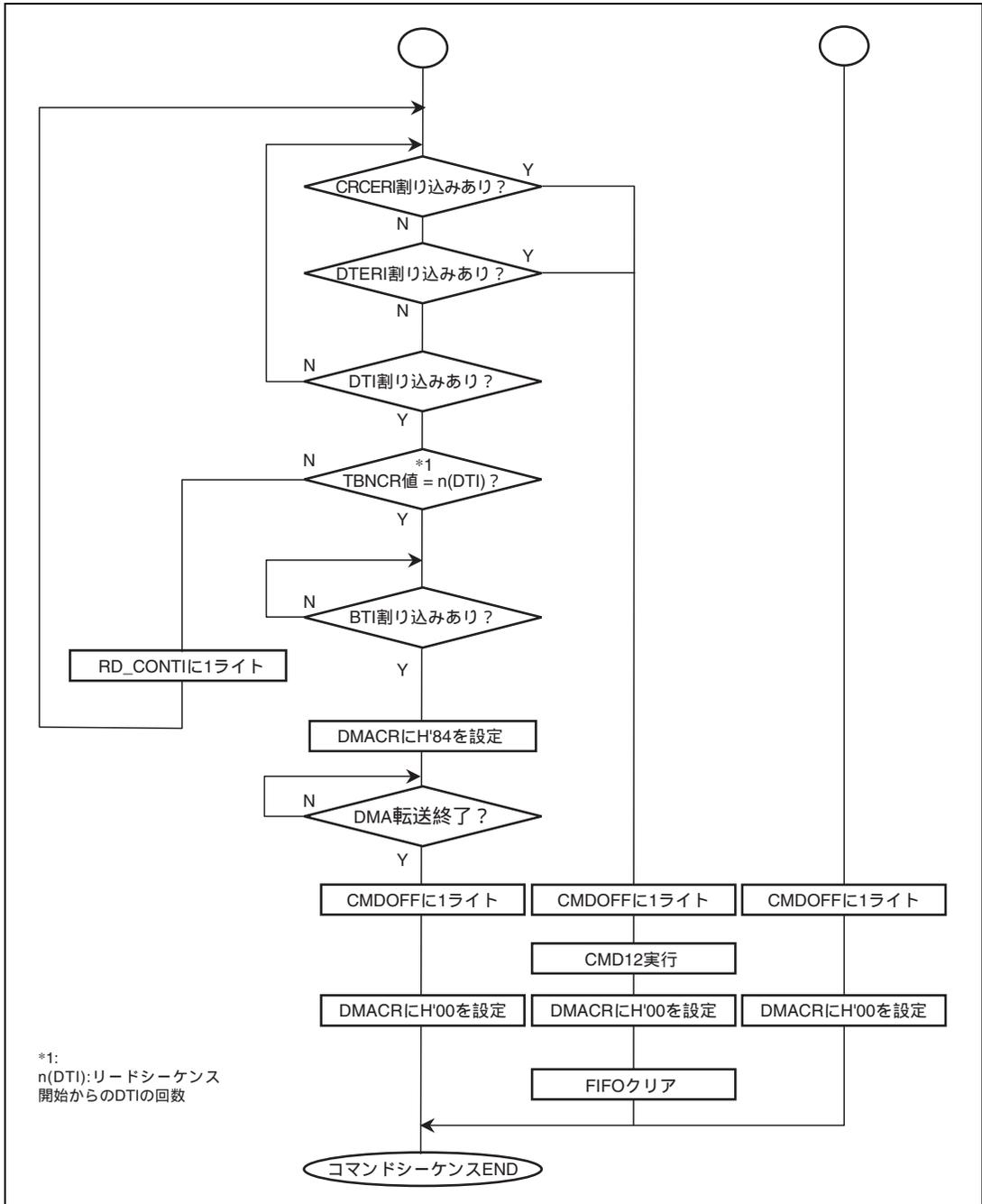


図 24.23 (4) リードシーケンスフローの例 (pre-defined マルチブロック転送)

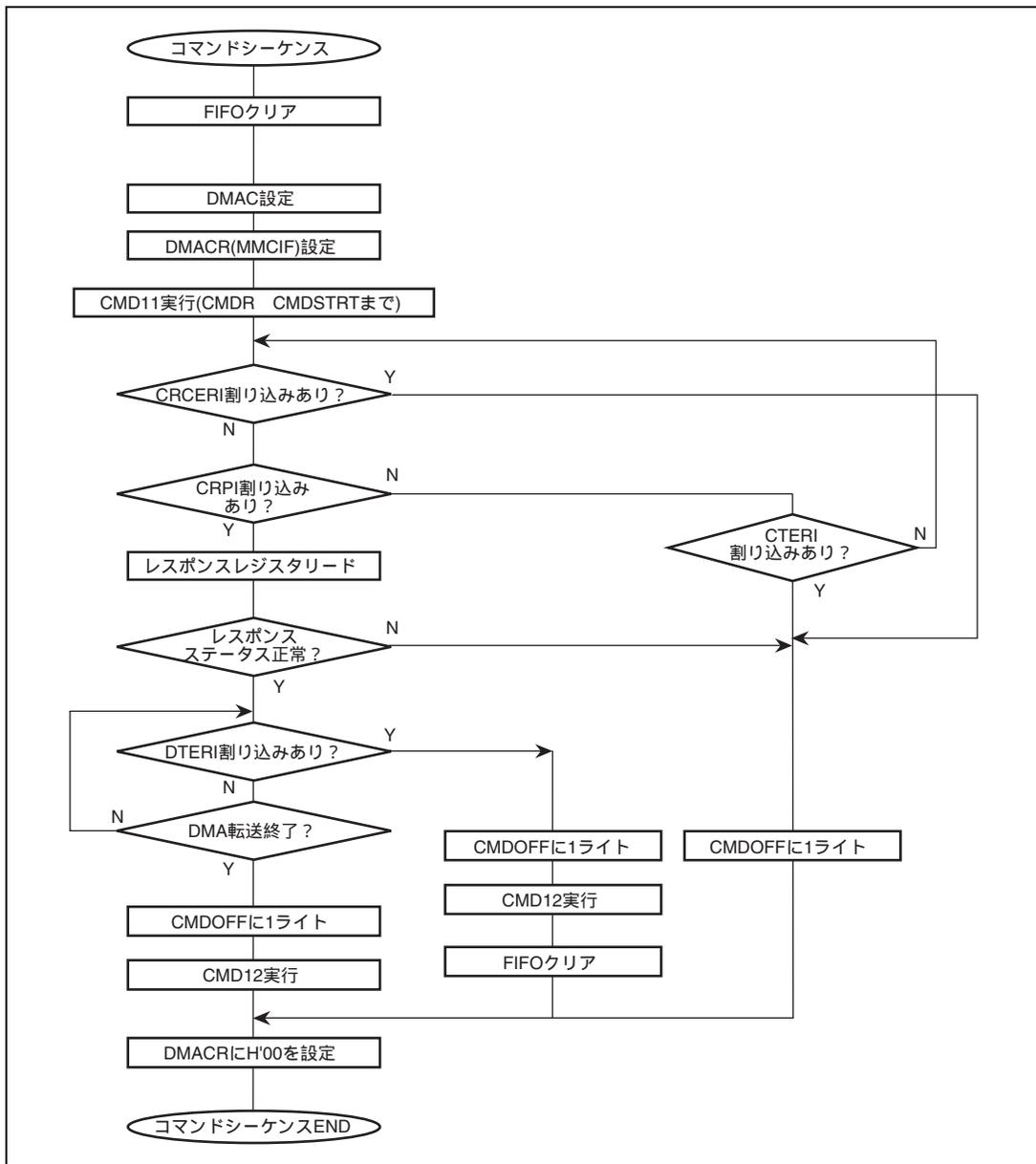


図 24.24 ストリームリード転送の動作フローの例

24. マルチメディアカードインタフェース (MMCIF)

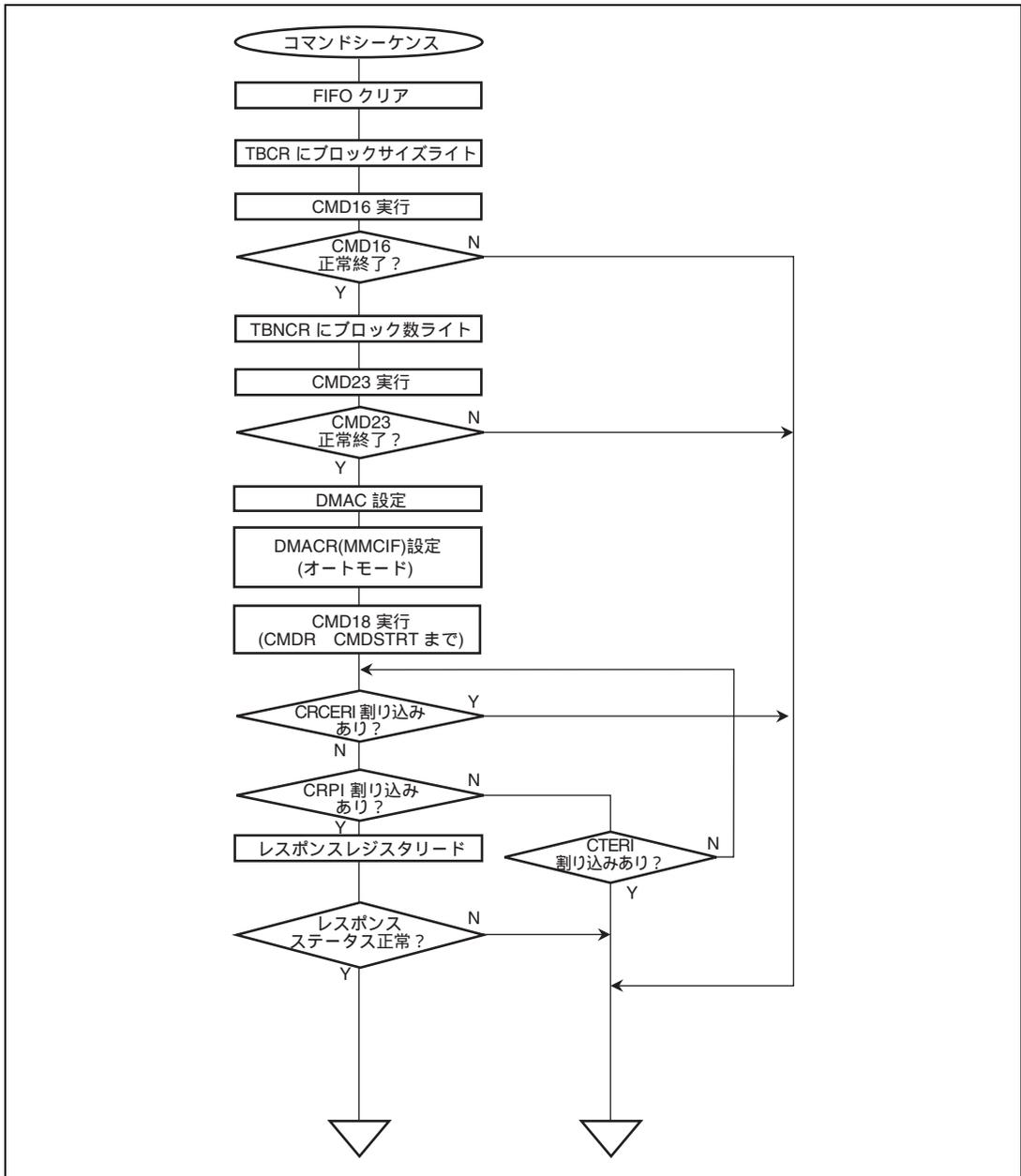


図 24.25 (1) オートモード pre-defined マルチブロックリード転送の動作フローの例

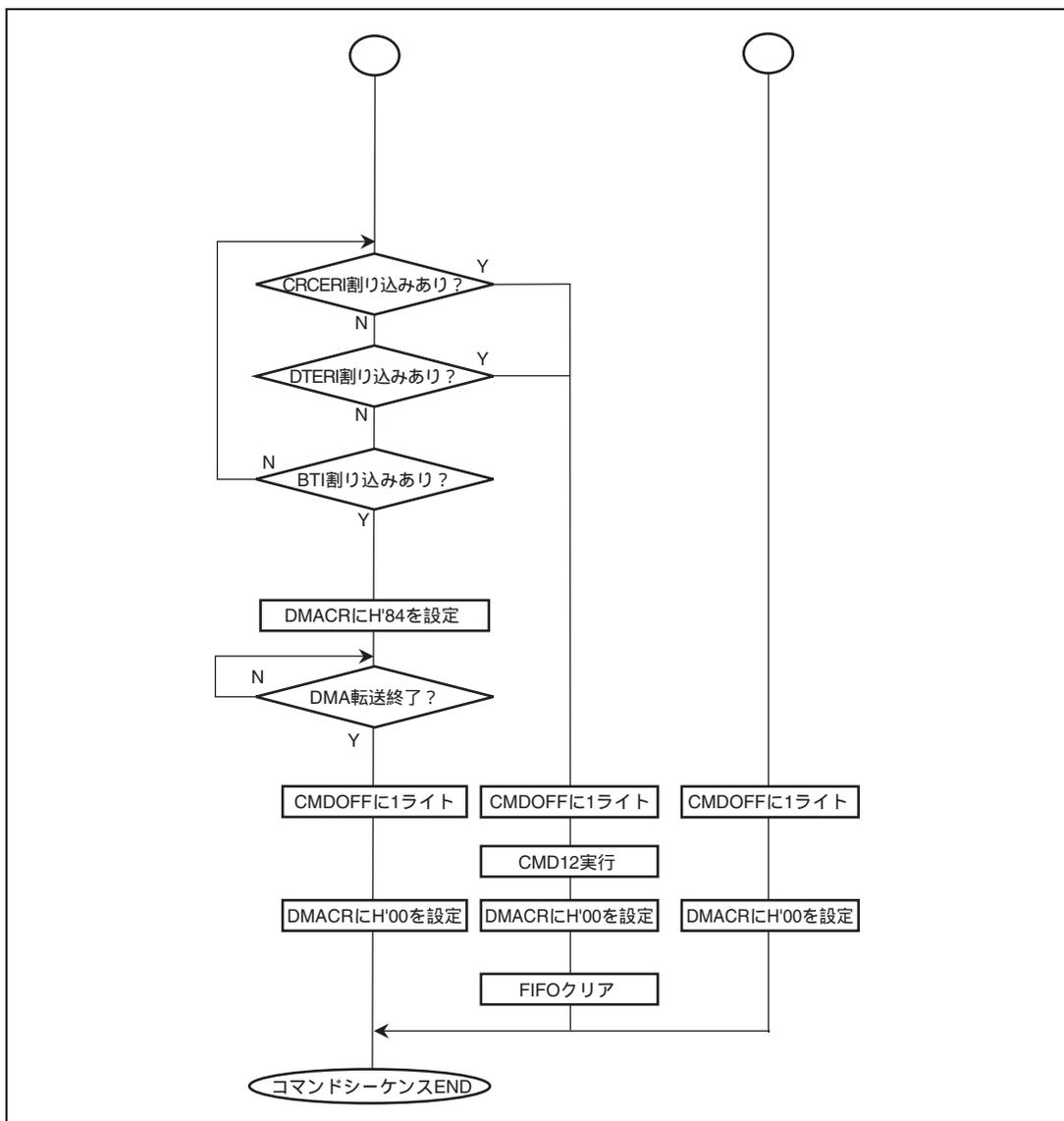


図 24.25 (2) オートモード pre-defined マルチブロックリード転送の動作フローの例

24.6.2 書き込みシーケンス時の動作

DMAC を用いて FIFO ヘデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、FIFO 準備完了割り込み後にカードへの転送を開始してください。図 24.26 ~ 図 24.28 に書き込みシーケンスフローを示します。

- FIFOをクリアします。
- ライトコマンドを送出します。
- DMACRの設定を行い、FIFOに書き込みデータをセットします。
- DMACR設定条件以上のデータがFIFOに書き込まれているかをFIFO準備完了フラグ(FRDYI)により確認後、または、DMACがすべてのデータをFIFOに書き込んだことを確認後、OPCRのDATAENビットに1をセットし、書き込みデータの送信を開始します。

ストリーム転送によって、カードへ書き込むときには、FIFOエンブティ割り込み確認後もMMCIFはカードへのデータ転送を継続しています。よって転送クロックの24クロック分以上経過して、書き込みシーケンスを終了してください。

- DMACによるすべての転送完了を確認し、必ずDMACRのDMAENビットに0をセットしてください。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、FIFOをクリアし、DMACRにH'00を設定してください。

また、DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック間割り込み処理の部分をハードで行うことが可能です。図 24.29 にオートモードを用いるときの pre-defined マルチライトシーケンスフローを MMC モードを例に示します。

- FIFOをクリアします。
- TBNCRにブロック数を設定します。
- CMDSTRTのCMDSTARTビットを1にセットして、コマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- DMACRの設定を行い、FIFOにライトデータをセットします。
- DMACによるすべての転送完了を確認し、DMACRのDMAENビットに0をセットしてください。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドシーケンス中 (データ送信中) のエラーはCRCエラーフラグ (CRCERI)、データタイムアウトエラーフラグにより検出します。これらの割り込みを検出したときはOPCRのCMDOFFビットを1にセットして、CMD12 (SPIモード時はStop Tran) を発行しコマンドシーケンスを中止します。
- データビジーでないことを確認します。データビジーのときは、データビジー終了フラグ (DBSYI) でデータビジー状態の終了を検出します。

- さらにデータ転送終了後 (DRPI検出後) CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の終了を、データビジー終了フラグ (DBSYI) で検出します。
- CMDOFFビットに1をセットし、コマンドシーケンスを終了します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI)、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

【注意事項】

- DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

24. マルチメディアカードインタフェース (MMCIF)

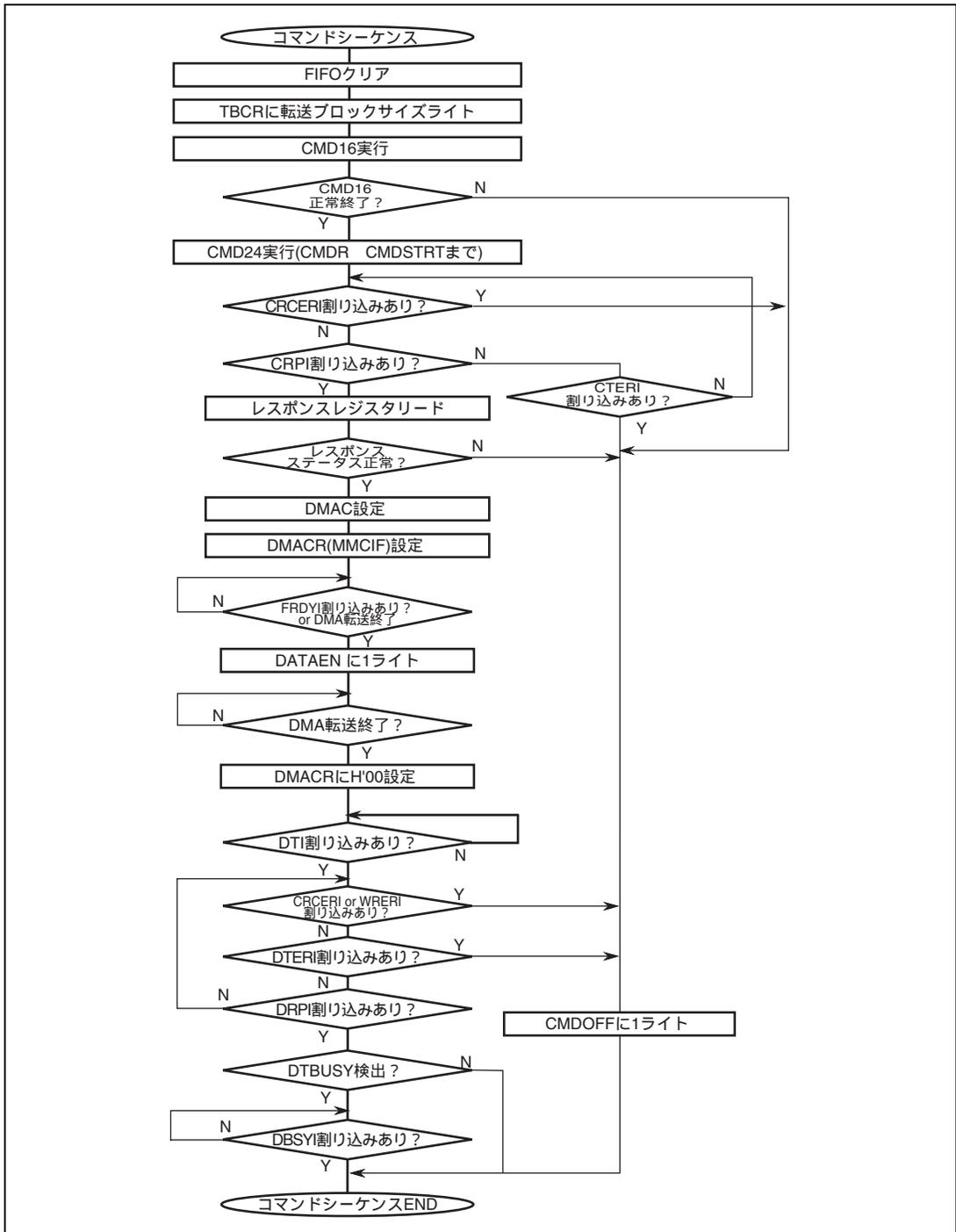


図 24.26 ライトシーケンスフローの例 (シングルブロック転送)

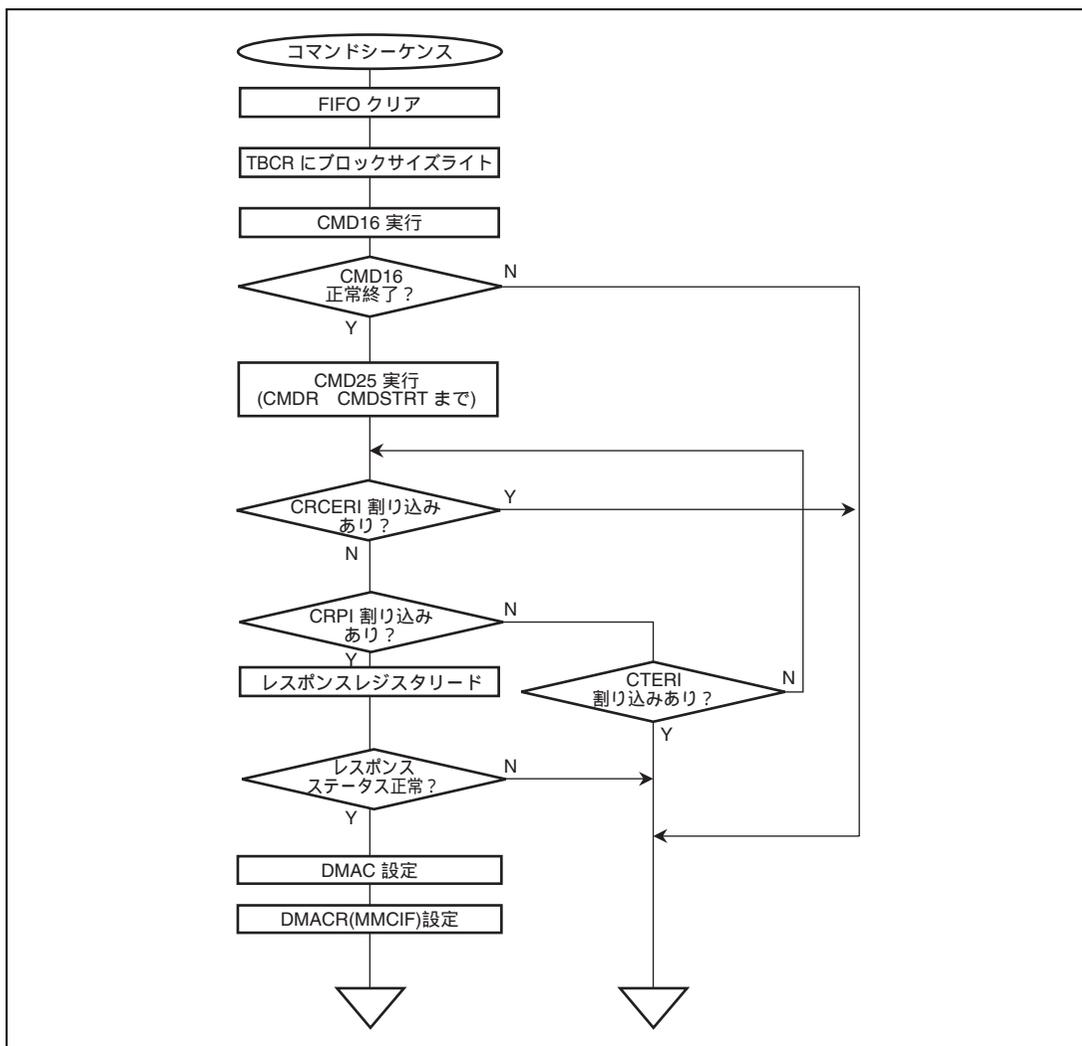


図 24.27 (1) ライトシーケンスフローの例 (open-ended マルチブロック転送)

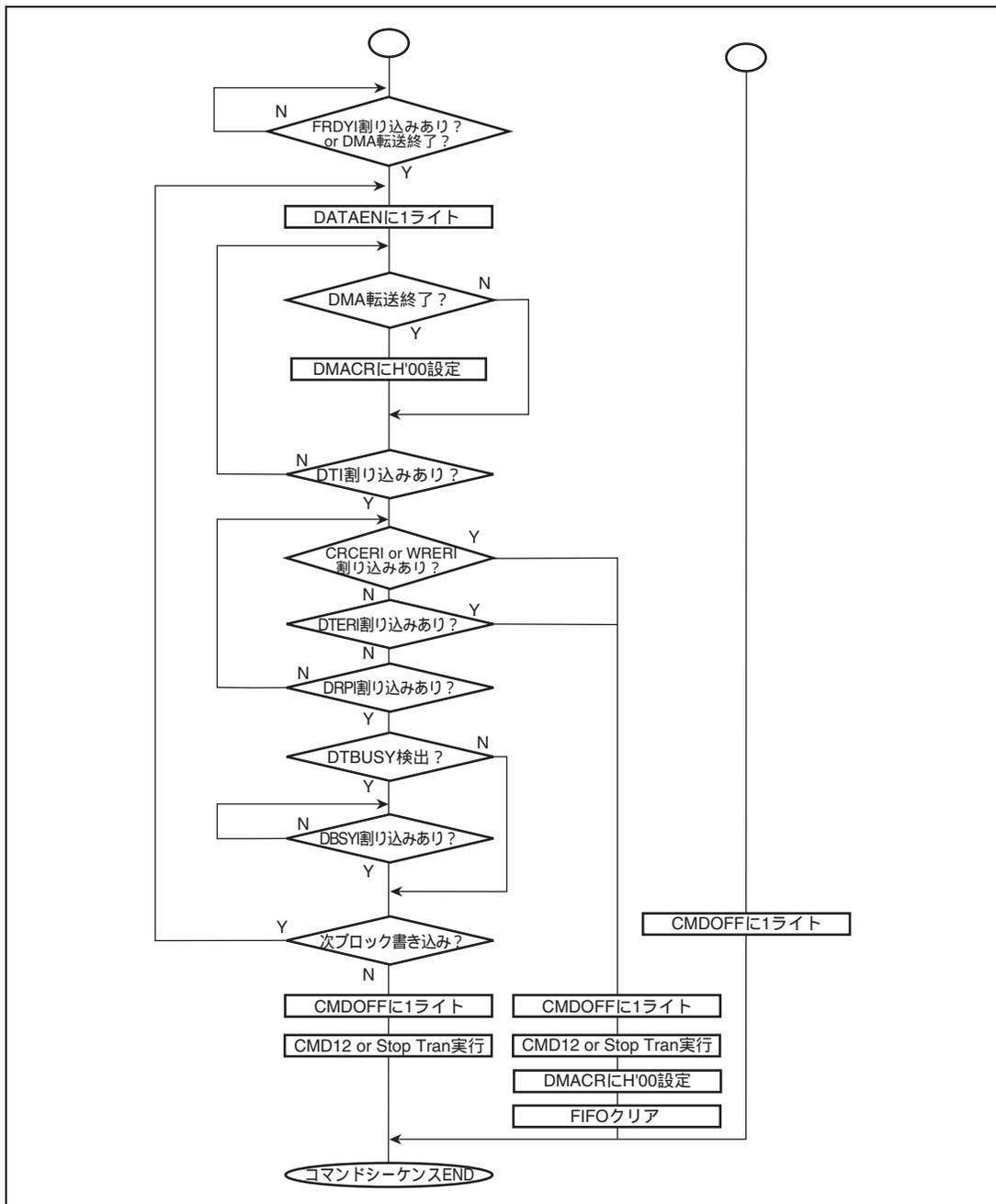


図 24.27 (2) ライトシーケンスフローの例 (open-ended マルチブロック転送)

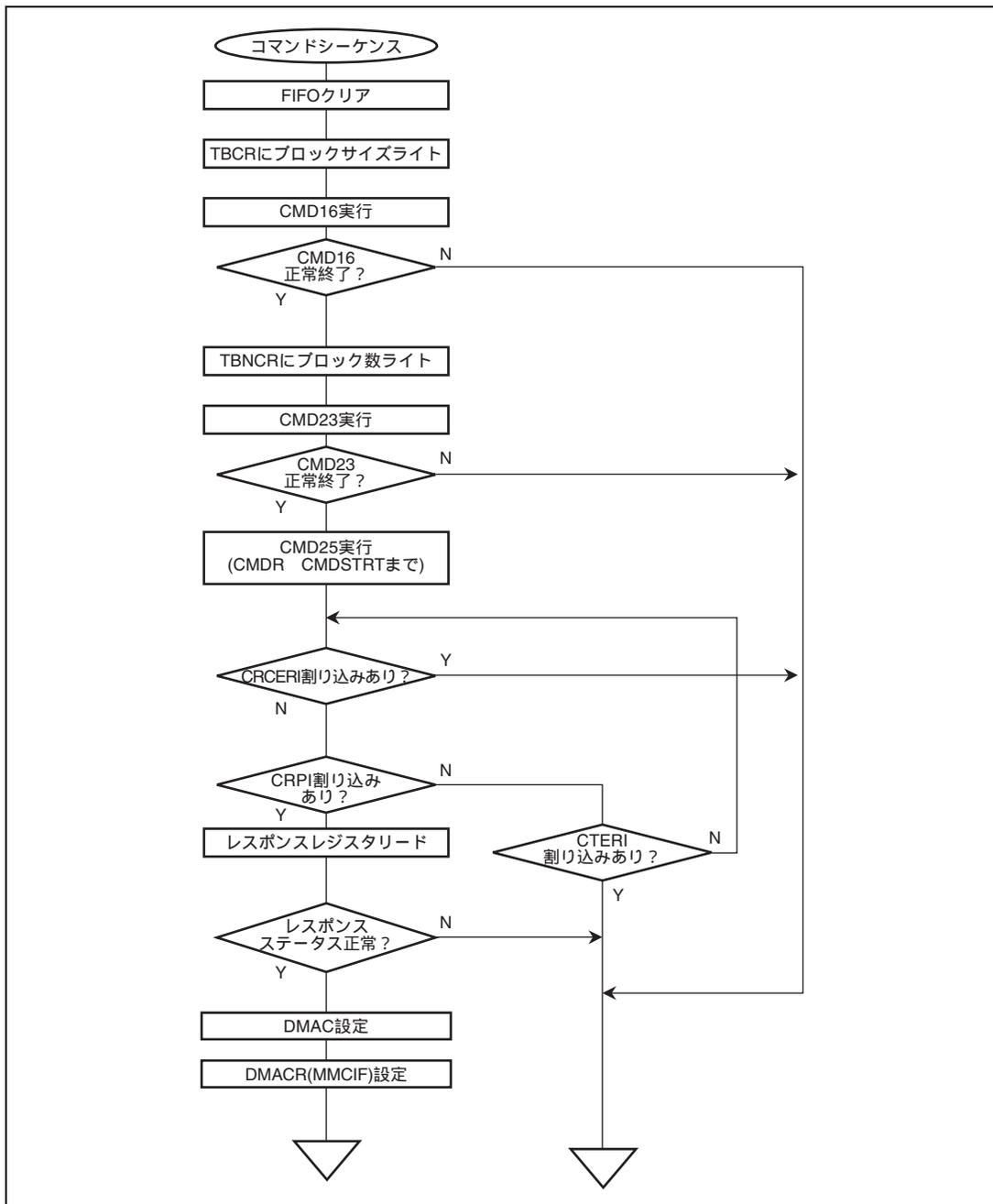


図 24.27 (3) ライトシーケンスフローの例 (pre-defined マルチブロック転送)

24. マルチメディアカードインタフェース (MMCIF)

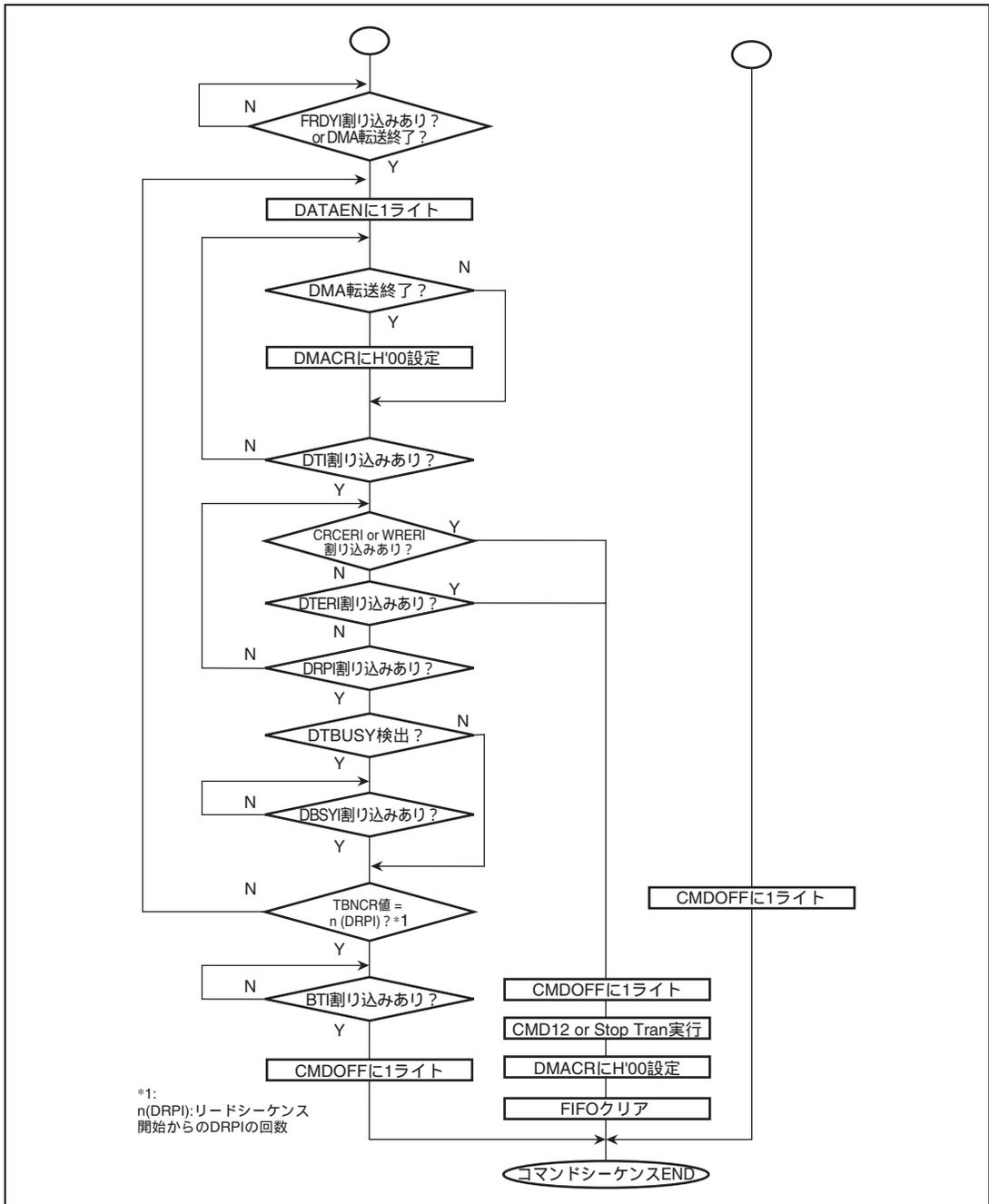


図 24.27 (4) ライトシーケンスフローの例 (pre-defined マルチブロック転送)

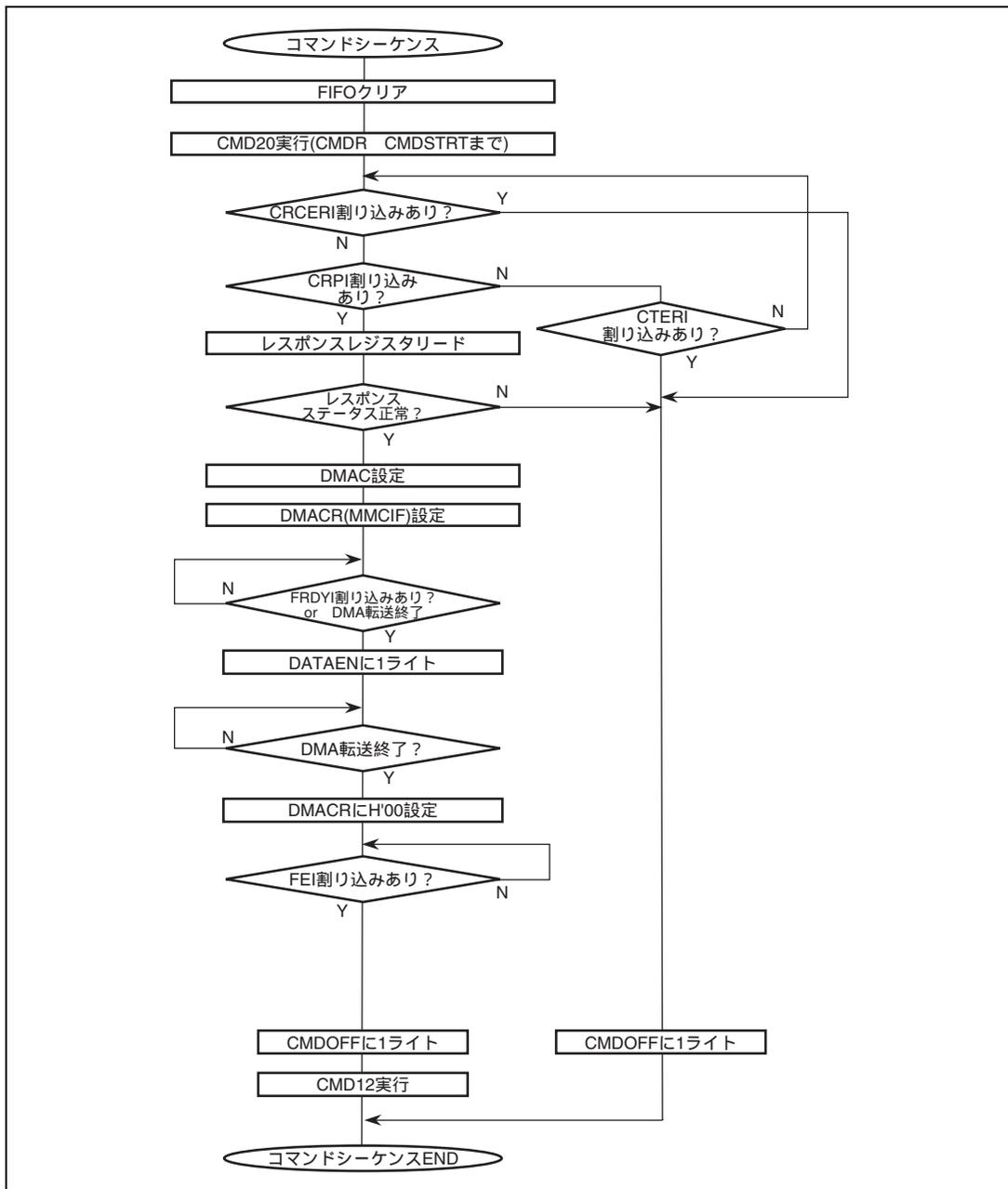


図 24.28 ストリームライト転送動作フローの例

24. マルチメディアカードインタフェース (MMCIF)

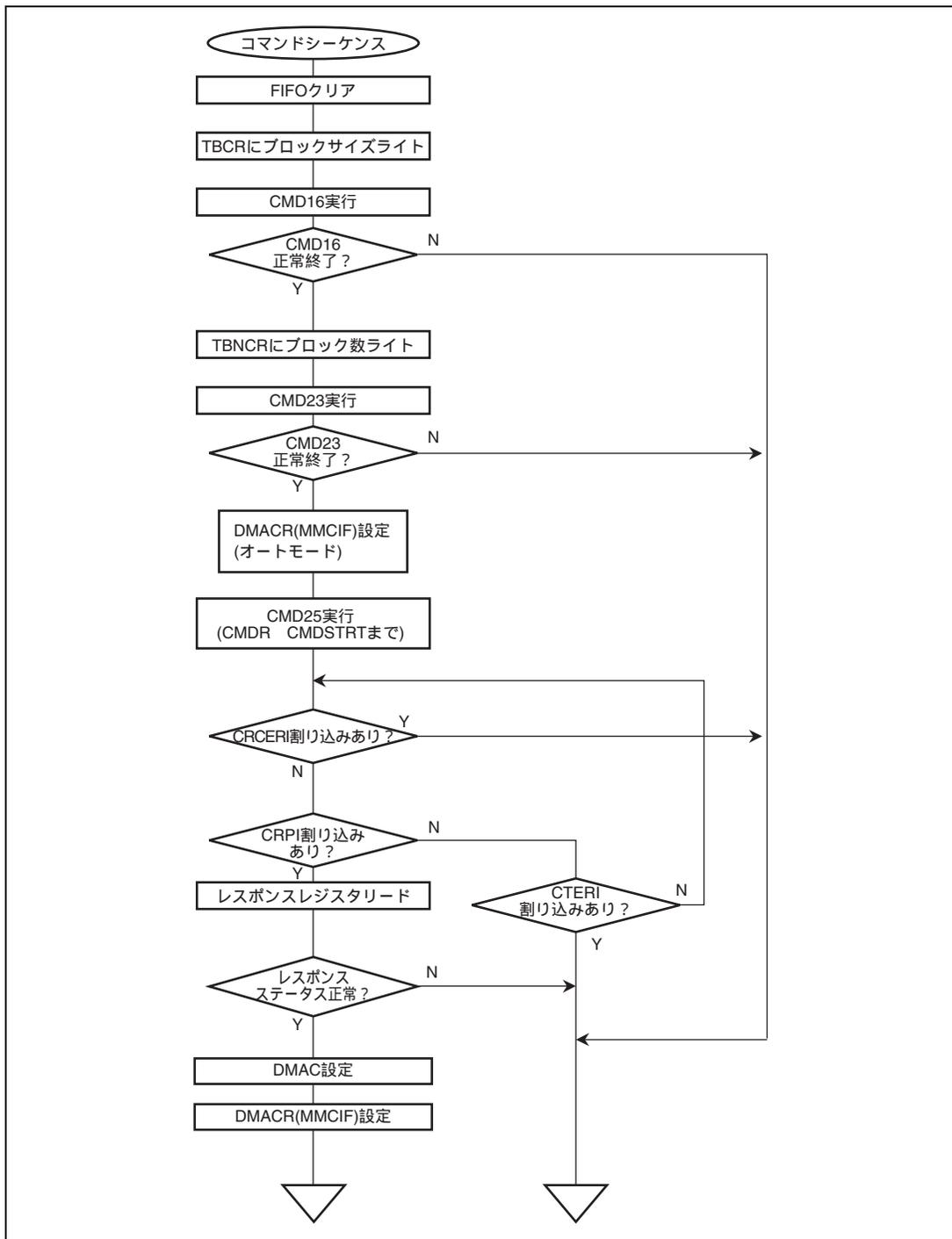


図 24.29 (1) オートモード pre-defined マルチブロックライト転送動作フローの例

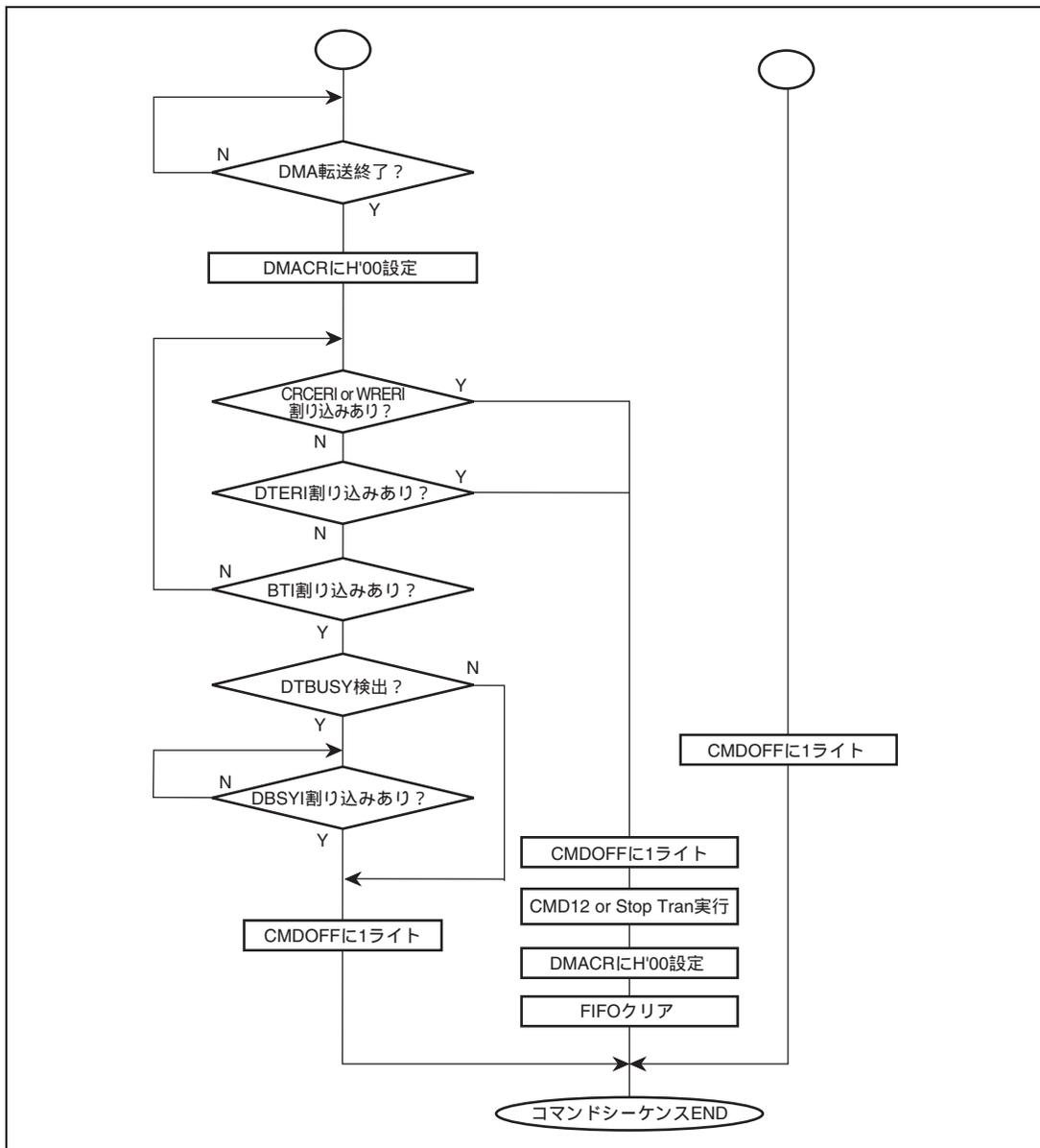


図 24.29 (2) オートモード pre-defined マルチブロックライト転送動作フローの例

24.7 リトルエンディアン設定時のレジスタアクセス

リトルエンディアン設定時は、レジスタアクセスサイズおよび該当するデータが格納されているメモリ上へのアクセスサイズを固定してください。例えば、MMCIF からワードサイズで読み込んだデータをメモリに書き込んだ後にバイトサイズでメモリから読み込むと、データアライメントの不一致が起きます。

25. オーディオコーデックインタフェース (HAC)

オーディオコーデックデジタルコントローラインタフェースは Audio Codec 97 (AC97) Revision 2.1 の双方向データ転送をサポートしています。データは、シリアルで AC97 コーデックに対して送受信されます。ただし、2 つ以上のオーディオコーデックを接続することはできません。

HAC は、オーディオフレームに対してデータを抽出 / 挿入します。受信フレーム、送信フレームともにフレーム内のデータスロットは CPU による PIO 転送または DMAC による DMA 転送が可能です。

25.1 特長

HAC には次のような特長があります。

- シングル Audio Codec 97 (AC97) Revision 2.1 デジタルインタフェースのサブセットサポート
- Rx フレームでステータススロット 1 と 2 の PIO 転送
- Tx フレームでコマンドスロット 1 と 2 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の PIO 転送
- Tx フレームでデータスロット 3 と 4 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- Tx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- タグビットによってスロットを選択すること、また Rx フレームの Tx フレーム要求ビットを監視することにより、様々なサンプリングレートをサポート
- データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
- コールドリセット、ウォームリセット、低消費電力モードをサポート

25. オーディオコーデックインタフェース (HAC)

図 25.1 に HAC のブロック図を示します。

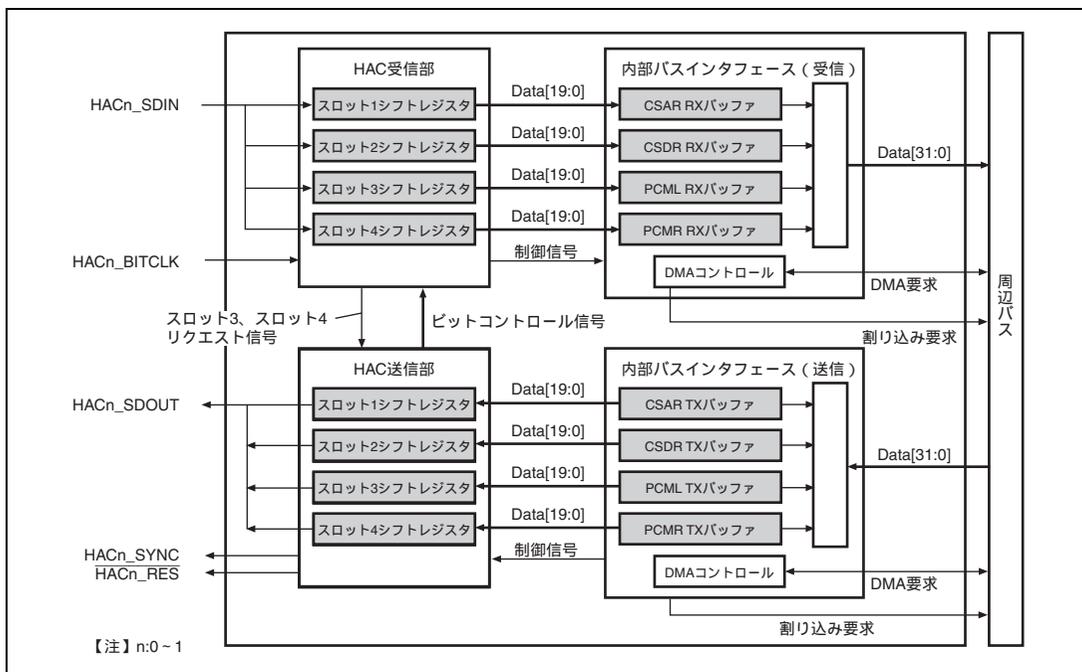


図 25.1 ブロック図

25.2 入出力端子

HAC の端子構成を表 25.1 に示します。

表 25.1 HAC の端子構成

名称	本数	入出力	機能
HAC0_BITCLK	1	入力	シリアルデータクロック
HAC0_SDIN	1	入力	Rx フレームシリアル入力データ
HAC0_SDOUT	1	出力	Tx フレームシリアル出力データ
HAC0_SYNC	1	出力	フレーム同期
HAC1_BITCLK	1	入力	シリアルデータクロック
HAC1_SDIN	1	入力	Rx フレームシリアル入力データ
HAC1_SDOUT	1	出力	Tx フレームシリアル出力データ
HAC1_SYNC	1	出力	フレーム同期
HAC_RES	1	出力	リセット (負論理信号) (チャンネル 0、1 で共通)

25.3 レジスタの説明

HAC で使用するレジスタを以下に示します。本文中では、チャンネルによるレジスタによる区別を省略します。

表 25.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7アドレス	サイズ	同期クロック
0	コントロールステータスレジスタ 0	HACCR0	R/W	H'FFE3 0008	H'1FE3 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	R/W	H'FFE3 0020	H'1FE3 0020	32	Pck
	コマンド / ステータスデータレジスタ 0	HACCSDR0	R/W	H'FFE3 0024	H'1FE3 0024	32	Pck
	PCM レフトチャンネルレジスタ 0	HACPCML0	R/W	H'FFE3 0028	H'1FE3 0028	32	Pck
	PCM ライトチャンネルレジスタ 0	HACPCMR0	R/W	H'FFE3 002C	H'1FE3 002C	32	Pck
	TX 割り込みイネーブルレジスタ 0	HACTIER0	R/W	H'FFE3 0050	H'1FE3 0050	32	Pck
	TX ステータスレジスタ 0	HACTSR0	R/W	H'FFE3 0054	H'1FE3 0054	32	Pck
	RX 割り込みイネーブルレジスタ 0	HACRIER0	R/W	H'FFE3 0058	H'1FE3 0058	32	Pck
	RX ステータスレジスタ 0	HACRSR0	R/W	H'FFE3 005C	H'1FE3 005C	32	Pck
	HAC コントロールレジスタ 0	HACACR0	R/W	H'FFE3 0060	H'1FE3 0060	32	Pck
1	コントロールステータスレジスタ 1	HACCR1	R/W	H'FFE4 0008	H'1FE4 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	R/W	H'FFE4 0020	H'1FE4 0020	32	Pck
	コマンド / ステータスデータレジスタ 1	HACCSDR1	R/W	H'FFE4 0024	H'1FE4 0024	32	Pck
	PCM レフトチャンネルレジスタ 1	HACPCML1	R/W	H'FFE4 0028	H'1FE4 0028	32	Pck
	PCM ライトチャンネルレジスタ 1	HACPCMR1	R/W	H'FFE4 002C	H'1FE4 002C	32	Pck
	TX 割り込みイネーブルレジスタ 1	HACTIER1	R/W	H'FFE4 0050	H'1FE4 0050	32	Pck
	TX ステータスレジスタ 1	HACTSR1	R/W	H'FFE4 0054	H'1FE4 0054	32	Pck
	RX 割り込みイネーブルレジスタ 1	HACRIER1	R/W	H'FFE4 0058	H'1FE4 0058	32	Pck
	RX ステータスレジスタ 1	HACRSR1	R/W	H'FFE4 005C	H'1FE4 005C	32	Pck
	HAC コントロールレジスタ 1	HACACR1	R/W	H'FFE4 0060	H'1FE4 0060	32	Pck

25. オーディオコーデックインタフェース (HAC)

表 25.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による
0	コントロールステータスレジスタ 0	HACCR0	H'0000 0200	H'0000 0200	保持	保持	保持
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	H'0000 0000	H'0000 0000	保持	保持	保持
	コマンド / ステータスデータレジスタ 0	HACCSDR0	H'0000 0000	H'0000 0000	保持	保持	保持
	PCM レフトチャンネルレジスタ 0	HACPCML0	H'0000 0000	H'0000 0000	保持	保持	保持
	PCM ライトチャンネルレジスタ 0	HACPCMR0	H'0000 0000	H'0000 0000	保持	保持	保持
	TX 割り込みイネーブルレジスタ 0	HACTIER0	H'0000 0000	H'0000 0000	保持	保持	保持
	TX ステータスレジスタ 0	HACTSR0	H'F000 0000	H'F000 0000	保持	保持	保持
	RX 割り込みイネーブルレジスタ 0	HACRIER0	H'0000 0000	H'0000 0000	保持	保持	保持
	RX ステータスレジスタ 0	HACRSR0	H'0000 0000	H'0000 0000	保持	保持	保持
	HAC コントロールレジスタ 0	HACACR0	H'8400 0000	H'8400 0000	保持	保持	保持
1	コントロールステータスレジスタ 1	HACCR1	H'0000 0200	H'0000 0200	保持	保持	保持
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	H'0000 0000	H'0000 0000	保持	保持	保持
	コマンド / ステータスデータレジスタ 1	HACCSDR1	H'0000 0000	H'0000 0000	保持	保持	保持
	PCM レフトチャンネルレジスタ 1	HACPCML1	H'0000 0000	H'0000 0000	保持	保持	保持
	PCM ライトチャンネルレジスタ 1	HACPCMR1	H'0000 0000	H'0000 0000	保持	保持	保持
	TX 割り込みイネーブルレジスタ 1	HACTIER1	H'0000 0000	H'0000 0000	保持	保持	保持
	TX ステータスレジスタ 1	HACTSR1	H'F000 0000	H'F000 0000	保持	保持	保持
	RX 割り込みイネーブルレジスタ 1	HACRIER1	H'0000 0000	H'0000 0000	保持	保持	保持
	RX ステータスレジスタ 1	HACRSR1	H'0000 0000	H'0000 0000	保持	保持	保持
	HAC コントロールレジスタ 1	HACACR1	H'8400 0000	H'8400 0000	保持	保持	保持

25.3.1 コントロールステータスレジスタ (HACCR)

HACCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、入出力の制御と状態のモニタを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CR	—	—	—	CDRT	WMRT	—	—	—	—	ST	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	W	W	R	R	R	R	W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
15	CR	0	R	コーデックレディ 0 : HAC に接続されたコーデックがレディ状態ではありません。 1 : HAC に接続されたコーデックがレディ状態です。
14~12	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込みできません。
11	CDRT	0	W	HAC コールドリセット コールドリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0 : 再び 1 を書き込むときには、0 を書き込んだ後に行います。 (本ビットが 0 から 1 に変化したとき、コールドリセットされます) 1 : HAC に接続されたコーデックはコールドリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
10	WMRT	0	W	HAC ウォームリセット ウォームリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0 : 再び 1 を書き込むときには、0 を書き込んだ後に行います。 (本ビットが 0 から 1 に変化したとき、ウォームリセットされます) 1 : HAC に接続されたコーデックはウォームリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
9	-	1	R	リザーブビット 読み出しは1が読み出されます。書き込む値は常に1にしてください。
8~6	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
5	ST	0	W	転送開始 [書き込み時] 0: フレームの終わりで送受信を終了します。通常動作で送受信を終了させるためには、この方法を使用しないでください。通常動作で送受信を終了させる場合は、下記説明を参照ください。 1: データの送受信を開始します。 [読み出し時] 読み出すと常に0が読み出されます。
4~0	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。

HAC は、外部コーデックデバイスのレジスタインデックス 26 のビット 12 に 1 を書き込むことで低消費電力モードにすることができます。外部コーデックデバイスは低消費電力モードになると HAC_BITCLK を停止し、通常動作を一時停止します。これはパワーオンのときも同じです。動作を再開するためには、外部コーデックデバイスに対してコールドリセットかウォームリセットを行わなければなりません。

25.3.2 コマンド / ステータスアドレスレジスタ (HACCSAR)

HACCSAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のアドレスを指定します。コーデックのレジスタに書き込みまたは読み出しを要求する場合、レジスタアドレスを HACCSAR に書き込み、HACCR.ST=1 に設定しておくことでコマンドアドレスとしてスロット 1 で送信されます。

コーデックが読み出し要求に回答した後 (HACRSR.STARY=1) HACCSAR を読み出すことで、スロット 1 で受信したステータスアドレスを得ることができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RW	CA6/SA6	CA5/SA5	CA4/SA4
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA3/SA3	CA2/SA2	CA1/SA1	CA0/SA0	SLR EQ3	SLR EQ4	SLR EQ5	SLR EQ6	SLR EQ7	SLR EQ8	SLR EQ9	SLR EQ10	SLR EQ11	SLR EQ12	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
19	RW	0	R/W	コーデック読み出し / 書き込みコマンド 0 : アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを書き込むことを外部コーデックデバイスに通知します。HACCSDR にあらかじめデータを書き込んでおいてください。 HACACR.TX12_ATOMIC が 1 のとき、HACCSAR と HACCSDR は同じ Tx フレームで送信されます。 HACACR.TX12_ATOMIC が 0 のとき、HACCSAR と HACCSDR が同じ Tx フレームで送信されることは保証できません。 1 : アドレスフィールド (CA6/SA6 ~ CA0/SA0) で示されるレジスタを読み出すことを外部コーデックデバイスに通知します。
18	CA6/SA6	0	R/W	コーデックコントロールレジスタアドレス 6~0 / コーデックスステータスレジスタアドレス 6~0 [書き込み時] 書き込んだ値はアクセスするコーデックレジスタのアドレスを示します。 [読み出し時] 読み出した値はスロット 1 で受信したステータスアドレスを示します。 HACCSDR で受信される外部コーデックのレジスタに対応しています。
17	CA5/SA5	0	R/W	
16	CA4/SA4	0	R/W	
15	CA3/SA3	0	R/W	
14	CA2/SA2	0	R/W	
13	CA1/SA1	0	R/W	
12	CA0/SA0	0	R/W	

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明	
11	SLREQ3	0	R	スロットリクエスト 3~12 Rx フレーム内でのみ有効です。スロットデータが次の Tx フレームでコーデックから要求されるかどうかを示します。 これらのビットはハードウェアによって自動的に値が変更されます。Rx フレームのスロット 1 のビット 11~2 と同じです。 0 : スロットデータが要求されています。 1 : スロットデータが要求されていません。	
10	SLREQ4	0	R		
9	SLREQ5	0	R		
8	SLREQ6	0	R		
7	SLREQ7	0	R		
6	SLREQ8	0	R		
5	SLREQ9	0	R		
4	SLREQ10	0	R		
3	SLREQ11	0	R		
2	SLREQ12	0	R		
1、0	-	すべて 0	R		リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25.3.3 コマンド / ステータスデータレジスタ (HACCSDR)

HACCSDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のデータレジスタです。コーデックのレジスタに書き込む場合に HACCSDR へ書き込み、HACCR.ST=1 に設定しておく、コマンドデータとしてスロット 2 で送信されます。

コーデックが読み出し要求に回答した後 (HACRSR.STDRY = 1) HACCSDR を読み出すことで、スロット 2 で受信したステータスデータを得ることができます。どちらの場合も対応するコーデックレジスタのアドレスは HACC SAR に格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CD15/ SD15	CD14/ SD14	CD13/ SD13	CD12/ SD12
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD11/ SD11	CD10/ SD10	CD9/ SD9	CD8/ SD8	CD7/ SD7	CD6/ SD6	CD5/ SD5	CD4/ SD4	CD3/ SD3	CD2/ SD2	CD1/ SD1	CD0/ SD0	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
19	CD15/SD15	0	R/W	コマンドデータ 15~0 / ステータスデータ 15~0 これらのビットに値を設定した後、コーデックレジスタのアドレスを HACC SAR に書き込むと、データがコーデックに送信されます。 これらのビットを読み出すと、HACC SAR で示されるアドレスのコーデックレジスタの内容を示します。
18	CD14/SD14	0	R/W	
17	CD13/SD13	0	R/W	
16	CD12/SD12	0	R/W	
15	CD11/SD11	0	R/W	
14	CD10/SD10	0	R/W	
13	CD9/SD9	0	R/W	
12	CD8/SD8	0	R/W	
11	CD7/SD7	0	R/W	
10	CD6/SD6	0	R/W	
9	CD5/SD5	0	R/W	
8	CD4/SD4	0	R/W	
7	CD3/SD3	0	R/W	
6	CD2/SD2	0	R/W	
5	CD1/SD1	0	R/W	
4	CD0/SD0	0	R/W	
3~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25. オーディオコーデックインタフェース (HAC)

25.3.4 PCM レフトチャンネルレジスタ (HACPCML)

HACPCML は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のレフトチャンネルにアクセスします。HACPCML に書き込むと PCM 再生レフトチャンネルデータをコーデックに送信します。HACPCML を読み出すとコーデックからの PCM 録音レフトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載する場合、データは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

25. オーディオコーデックインタフェース (HAC)

16 ビットパケット DMA モードでは以下のようになります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	LD15~LD0	すべて0	R/W	レフトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。
15~0	RD15~RD0	すべて0	R/W	ライトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

25. オーディオコーデックインタフェース (HAC)

25.3.5 PCM ライトチャンネルレジスタ (HACPCMR)

HACPCMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のライトチャンネルにアクセスします。HACPCMR に書き込むと PCM 再生ライトチャンネルデータをコーデックに送信します。HACPCMR を読み出すとコーデックからの PCM 録音ライトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載する場合、データは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求があったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

25.3.6 TX 割り込みイネーブルレジスタ (HACTIER)

HACTIER は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PLTF RQIE	PRTF RQIE	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLTF UNIE	PRTF UNIE	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~30	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
29	PLTFRQIE	0	R/W	PCML TX リクエスト割り込みイネーブル 0 : PCML TX リクエスト割り込みを禁止します。 1 : PCML TX リクエスト割り込みを許可します。
28	PRTFRQIE	0	R/W	PCMR TX リクエスト割り込みイネーブル 0 : PCMR TX リクエスト割り込みを禁止します。 1 : PCMR TX リクエスト割り込みを許可します。
27~10	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
9	PLTFUNIE	0	R/W	PCML TX アンダフロー割り込みイネーブル 0 : PCML TX アンダフロー割り込みを禁止します。 1 : PCML TX アンダフロー割り込みを許可します。
8	PRTFUNIE	0	R/W	PCMR TX アンダフロー割り込みイネーブル 0 : PCMR TX アンダフロー割り込みを禁止します。 1 : PCMR TX アンダフロー割り込みを許可します。
7~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25. オーディオコーデックインタフェース (HAC)

25.3.7 TX ステータスレジスタ (HACTSR)

HACTSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX コントローラの状態を示します。各ビットは 0 を書き込むと各ビットごとの初期値に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD AMT	CMD DMT	PLT FRQ	PRT FRQ	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLT FUN	PRT FUN	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W*2	説明
31	CMDAMT	1	R/W	コマンドアドレスエンブティ 0 : CSAR Tx バッファに未送信のデータがあります。 1 : CSAR Tx バッファが空のため、データを格納することができません*1。
30	CMDDMT	1	R/W	コマンドデータエンブティ 0 : CSDR Tx バッファに未送信のデータがあります。 1 : CSDR Tx バッファが空のため、データを格納することができません*1。
29	PLTFRQ	1	R/W	PCML TX リクエスト 0 : PCML TX バッファに未送信のデータがあります。 1 : PCML TX バッファが空のため、データを格納する必要があります。 このビットは DMA モードでは HACPCML が書き込まれると自動的に 0 にクリアされます。
28	PRTFRQ	1	R/W	PCMR TX リクエスト 0 : PCMR TX バッファに未送信のデータがあります。 1 : PCMR TX バッファが空のためデータを格納する必要があります。このビットは DMA モードでは HACPCMR が書き込まれると自動的に 0 にクリアされます。
27 ~ 10	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
9	PLTFUN	0	R/W	PCML TX アンダフロー 0 : PCML TX のアンダフローが発生していません。 1 : PCML TX のアンダフローが発生したことを示します。コーデックがスロット 3 のデータを要求したにもかかわらず HACPCML に新しいデータが書かれなかったときに発生します。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W* ²	説明
8	PRTFUN	0	R/W	PCMR TX アンダフロー 0 : PCMR TX のアンダフローが発生していません。 1 : PCMR TX のアンダフローが発生したことを示します。コーデックがスロット 4 のデータを要求したにもかかわらず HACPCMR に新しいデータが書かれなかったときに発生します。
7~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

【注】 *1 CMDAMT と CMDDMT には、対応する割り込みがありません。新しいコマンドを HACCSAR または HACCSDR に書き込む前に、これらのビットをポーリングして 1 を読み出してください。HACCSAR のビット 19 (RW) が 0 で TX12_ATOMIC が 1 のときは以下の手順に従ってください。

1. 初期化後、最初に外部コーデックデバイスのレジスタをアクセスする前に CMDDMT と CMDAMT を初期化してください。
2. HACCSDR と HACCSAR の設定後、CMDAMT と CMDDMT が 1 になるまでポーリングし、1 になったら初期化してください。
3. 次のレジスタの書き込みが行えます。

*2 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

25. オーディオコーデックインタフェース (HAC)

25.3.8 RX 割り込みイネーブルレジスタ (HACRIER)

HACRIER は読み出し / 書き込み可能な 32 ビットのレジスタで、HAC RX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STAR YIE	STDR YIE	PLRF RQIE	PRRF RQIE	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
22	STAR YIE	0	R/W	ステータスアドレスレディ割り込みイネーブル 0 : ステータスアドレスレディ割り込みを禁止します。 1 : ステータスアドレスレディ割り込みを許可します。
21	STDR YIE	0	R/W	ステータスデータレディ割り込みイネーブル 0 : ステータスデータレディ割り込みを禁止します。 1 : ステータスデータレディ割り込みを許可します。
20	PLRF RQIE	0	R/W	PCML RX リクエスト割り込みイネーブル 0 : PCML RX リクエスト割り込みを禁止します。 1 : PCML RX リクエスト割り込みを許可します。
19	PRRF RQIE	0	R/W	PCMR RX リクエスト割り込みイネーブル 0 : PCMR RX リクエスト割り込みを禁止します。 1 : PCMR RX リクエスト割り込みを許可します。
18~14	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
13	PLRF OVIE	0	R/W	PCML RX オーバフロー割り込みイネーブル 0 : PCML RX オーバフロー割り込みを禁止します。 1 : PCML RX オーバフロー割り込みを許可します。
12	PRRF OVIE	0	R/W	PCMR RX オーバフロー割り込みイネーブル 0 : PCMR RX オーバフロー割り込みを禁止します。 1 : PCMR RX オーバフロー割り込みを許可します。
11~0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25.3.9 RX ステータスレジスタ (HACRSR)

HACRSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の RX コントローラの状態を示します。各ビットは 0 を書き込むと各ビットごとの初期値に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STARY	STDRY	PLR FRQ	PRR FRQ	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PLR FOV	PRR FOV	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W*	説明
31~23	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
22	STARY	0	R/W	ステータスアドレスレディ 0: HACCSAR (ステータスアドレス) がレディ状態ではありません。 1: HACCSAR (ステータスアドレス) がレディ状態です。
21	STDRY	0	R/W	ステータスデータレディ 0: HACCSSDR (ステータスデータ) がレディ状態ではありません。 1: HACCSSDR (ステータスデータ) がレディ状態です。
20	PLRFRQ	0	R/W	PCML RX リクエスト 0: PCML RX データがレディ状態ではありません。 1: PCML RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCML が読み出されると自動的に 0 にクリアされます。
19	PRRFRQ	0	R/W	PCMR RX リクエスト 0: PCMR RX データがレディ状態ではありません。 1: PCMR RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCMR が読み出されると自動的に 0 にクリアされます。
18~14	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
13	PLRFOV	0	R/W	PCML RX オーバフロー 0: PCML RX データのオーバーフローが発生していません。 1: PCML RX データのオーバーフローが発生したことを示します。 HACPCML のデータが読み出される前に新しいデータをスロット 3 から受信したときに発生します。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W*	説明
12	PRRFOV	0	R/W	PCMR RX オーバフロー 0 : PCMR RX データのオーバーフローが発生していません。 1 : PCMR RX データのオーバーフローが発生したことを示します。 HACPCMR のデータが読み出される前に新しいデータをスロット 4 から受信したときに発生します。
11-0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

【注】 * 読み出し/書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

25.3.10 HAC コントロールレジスタ (HACACR)

HACACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC のインタフェースを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DMA RX16	DMA TX16	—	—	TX12_ ATOMIC	—	RXDMAL _EN	TXDMAL _EN	RXDMAR _EN	TXDMAR _EN	—	—	—	—	—
初期値 :	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	1	R	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
30	DMARX16	0	R/W	16 ビット RX DMA イネーブル 0 : 16 ビットパケット RXDMA モードを無効にします。 このビットを 0 に設定すると RXDMAL_EN、RXDMAR_EN 設定を許可します。 1 : 16 ビットパケット RX DMA モードを有効にします。 このビットを 1 に設定すると RXDMAL_EN、RXDMAR_EN 設定は無視されます。
29	DMATX16	0	R/W	16 ビット TX DMA イネーブル 0 : 16 ビットパケット TXDMA モードを無効にします。 このビットを 0 に設定すると TXDMAL_EN、TXDMAR_EN 設定を許可します。 1 : 16 ビットパケット TXDMA モードを有効にします。 このビットを 1 に設定すると TXDMAL_EN、TXDMAR_EN 設定は無視されます。
28、27	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
26	TX12_ATOMIC	1	R/W	TX スロット 1、2 アトミックコントロール 0 : HACCSAR と HACCSSDR の TX データが独立して送信されます (設定禁止)。 1 : HACCSAR のビット 19 が書き込みに設定されているとき HACCSAR と HACCSSDR の TX データが同じフレームで送信されます。(HACCSAR は最後に書き込む必要があります。)
25	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
24	RXDMAL_EN	0	R/W	RX DMA レフトイネーブル 0 : 20 ビット RX DMA が HACPCML で無効です。 1 : 20 ビット RX DMA が HACPCML で有効です。
23	TXDMAL_EN	0	R/W	TX DMA レフトイネーブル 0 : 20 ビット TX DMA が HACPCML で無効です。 1 : 20 ビット TX DMA が HACPCML で有効です。
22	RXDMAR_EN	0	R/W	RX DMA ライトイネーブル 0 : 20 ビット RX DMA が HACPCMR で無効です。 1 : 20 ビット RX DMA が HACPCMR で有効です。
21	TXDMAR_EN	0	R/W	TX DMA ライトイネーブル 0 : 20 ビット TX DMA が HACPCMR で無効です。 1 : 20 ビット TX DMA が HACPCMR で有効です。
20-0	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。

25.4 AC フレームのロット構成

図 25.2 に AC97 フレームのロット構成を示します。本 LSI は、スロット 0~4 をサポートし、スロット 5~12 はサポートしません。

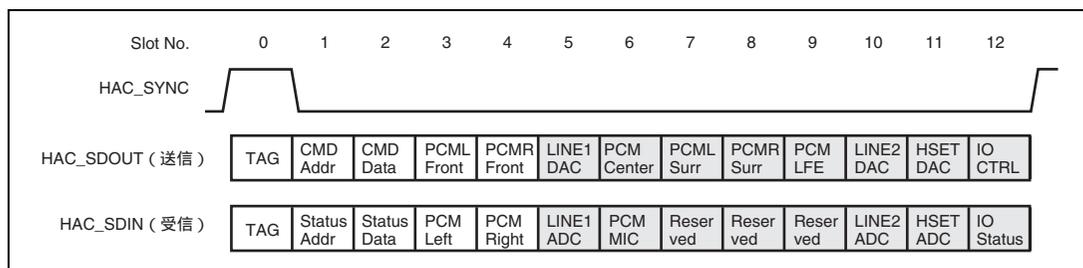


図 25.2 AC97 フレームのロット構成 (ハッチング部分はサポートしません)

表 25.3 AC97 送信フレームの説明

スロット	名称	説明
0	SDATA_OUT TAG	有効データを示す TAG および Code ID
1	Control CMD Addr write port	Read/Write コマンドおよびレジスタアドレス
2	Control DATA write port	レジスタライト時のデータ
3	PCM L DAC playback	左チャンネル PCM 出力データ
4	PCM R DAC playback	右チャンネル PCM 出力データ
5	Modem Line 1 DAC	モデム 1 出力データ (未サポート)*
6	PCM Center	中央チャンネル PCM データ (未サポート)*
7	PCM Surround L	サラウンド左チャンネル PCM データ (未サポート)*
8	PCM Surround R	サラウンド右チャンネル PCM データ (未サポート)*
9	PCM LFE	LFE チャンネル PCM データ (未サポート)*
10	Modem Line 2 DAC	モデム 2 出力データ (未サポート)*
11	Modem handset DAC	モデム handset 出力データ (未サポート)*
12	Modem IO control	モデム制御用 IO 出力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

25. オーディオコーデックインタフェース (HAC)

表 25.4 AC97 受信フレームの説明

スロット	名称	説明
0	SDATA_IN TAG	有効データを示す TAG
1	Status ADDR read port	レジスタアドレスおよびスロットリクエスト
2	Status DATA read port	レジスタリードデータ
3	PCM L ADC record	左チャンネル PCM 入力データ
4	PCM R ADC record	右チャンネル PCM 入力データ
5	Modem Line 1 ADC	モデム 1 入力データ (未サポート)*
6	Dedicated Microphone ADC	オプション PCM 入力データ (未サポート)*
7、8、9	Reserved	予約
10	Modem Line 2 ADC	モデム 2 入力データ (未サポート)*
11	Modem handset input DAC	モデム handset 入力データ (未サポート)*
12	Modem IO status	モデム制御用 IO 入力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

25.5 動作説明

25.5.1 レシーバ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SDIN 信号でモジュールに入力されます。タグビットはスロット 0 から抽出され、対応する他のスロットの有効・無効を示します。タグビットによって有効なスロットを受信しないかぎり、受信データは更新されません。

サポートするのはスロット 1~4 のデータで、他のスロットに対応するタグビットやデータは無視されます。有効なスロットデータはシフトレジスタにロードされ、PIO 転送または DMA 転送のために保持されます。対応するステータスビットも生成されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で読み出し可能です。

RX オーバフローが起きたときは、HAC の現在の RX バッファデータが新しいデータで上書きされます。

25.5.2 トランスミッタ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SDOOUT 信号でモジュールから出力されます。タグビットはスロット 0 に設定され、現在のフレーム内のどのスロットにあるデータが有効であることを示します。データスロットは前の RX フレームのスロット要求の該当するビットに対応して現在の TX フレームにロードされます。

サポートするのはスロット 1~4 のデータです。PIO 転送または DMA 転送により転送されたデータは、Tx バッファに保持されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で書き込み可能です。対応するステータスビットも生成されます。

TX アンダフローが起きたときは、次のデータが埋まるまで HAC の現在の TX バッファデータが送信されます。

25.5.3 DMA

DMA 転送は、RX フレームと TX フレームの両方のスロット 3 とスロット 4 でサポートされます。HACACR の DMARX16、DMATX16 ビットで DMA 転送のスロットデータサイズが 16 ビットか 20 ビットかを決定します。

データサイズが 20 ビットの場合、スロット 3 と 4 の両方のデータスロットを転送するのに 2 回のローカルバスアクセスが必要です。また、レシーバとトランスミッタのそれぞれに 1 つの DMA リクエストがあるので、ステレオモードで DMA リクエストはスロット 3 と 4 それぞれ別々に発生します。モノラルモードでは DMA は 1 つのスロットに対してのみ発生します。

データサイズが 16 ビットの場合、スロット 3 と 4 からのデータはシングル 32 ビットのバケット形式 (レフトデータとライトデータが PCML に入れられる) になります。このとき必要なローカルバスアクセスは 1 サイクルのみです。

システムによっては終了カウントに達する前に DMA を停止させる必要があります。これは HACACR の該当する DMA ビットを無効にすることで行います。DMAC をプログラムし直したあと、再度該当する DMA ビットを有効にすると次の転送を行うことができます。

25.5.4 割り込み

レシーバとトランスミッタからのフラグイベントに対して割り込みが使用できます。各割り込みは割り込みイネーブルレジスタで設定されます。割り込みにはスロットデータの読み出し / 書き込みの CPU への要求やオーバーフローやアンダフローなどがあります。割り込み要因はステータスレジスタを読み出すことで把握できます。対応するビットに 0 を書き込むことで割り込みをクリアできます。

25. オーディオコーデックインタフェース (HAC)

25.5.5 初期化シーケンス

図 25.3 に初期化シーケンスの例を示します。

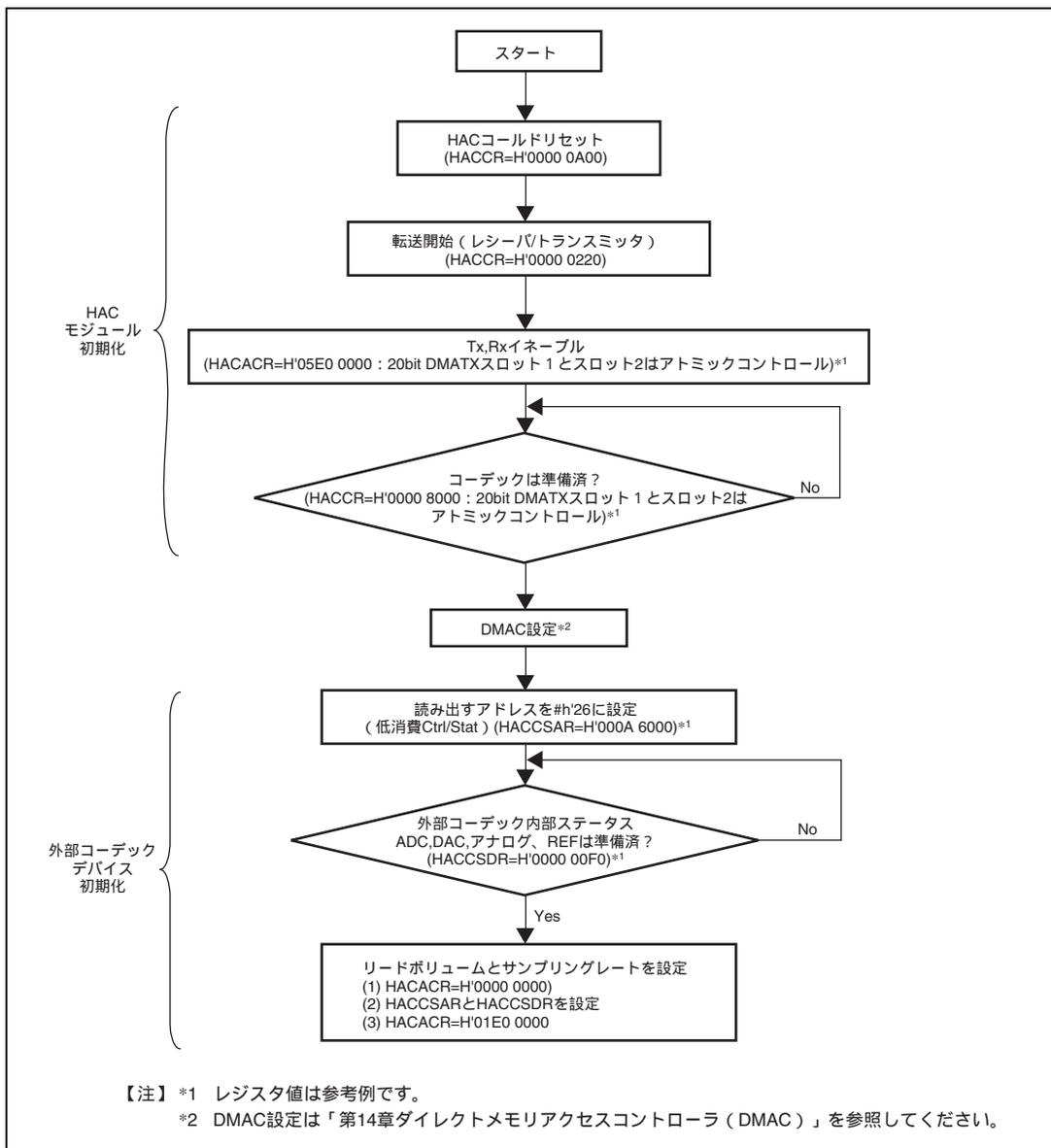


図 25.3 初期化シーケンス例

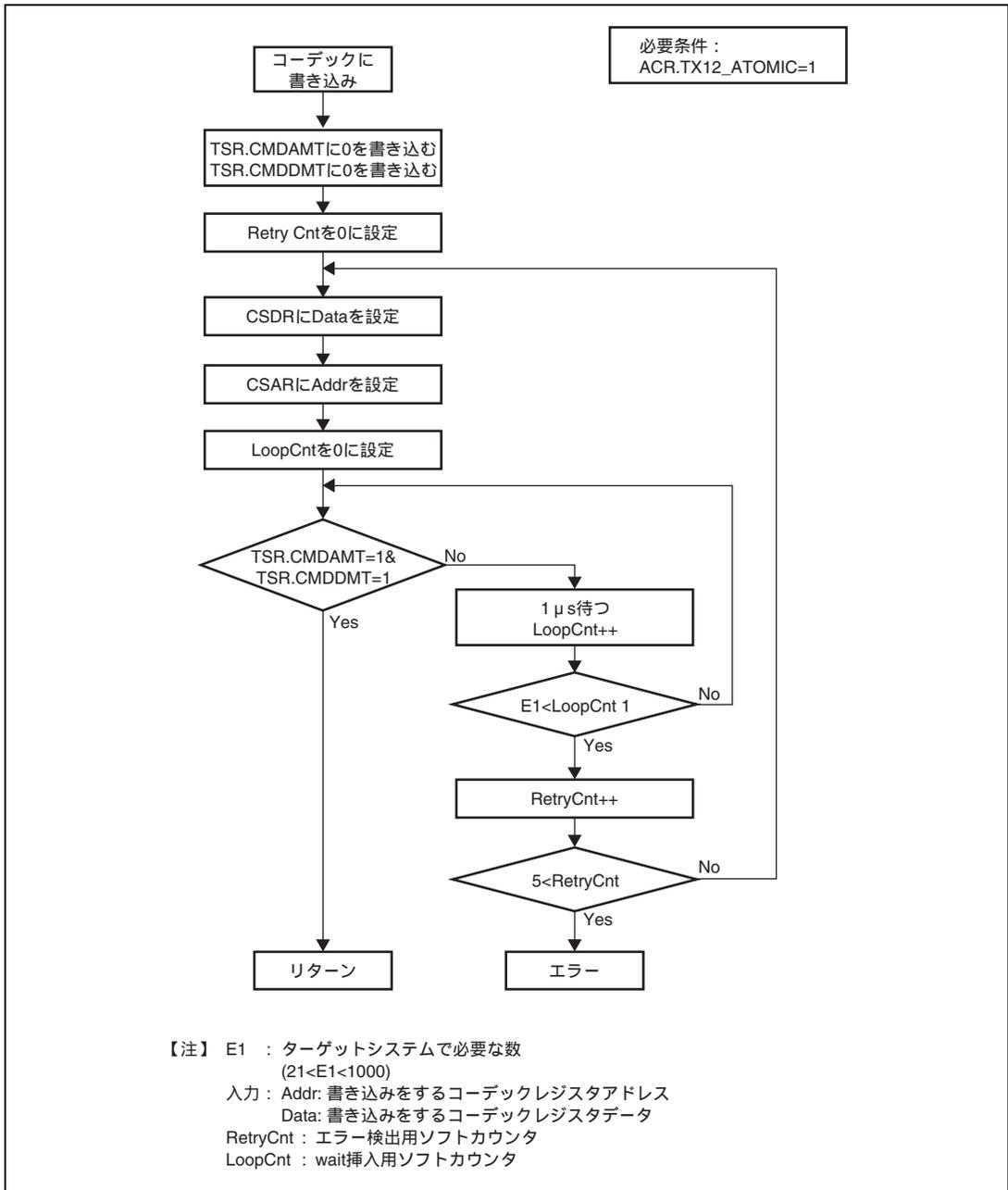


図 25.4 外部コーデックレジスタ書き込みフローチャート例

25. オーディオコーデックインタフェース (HAC)

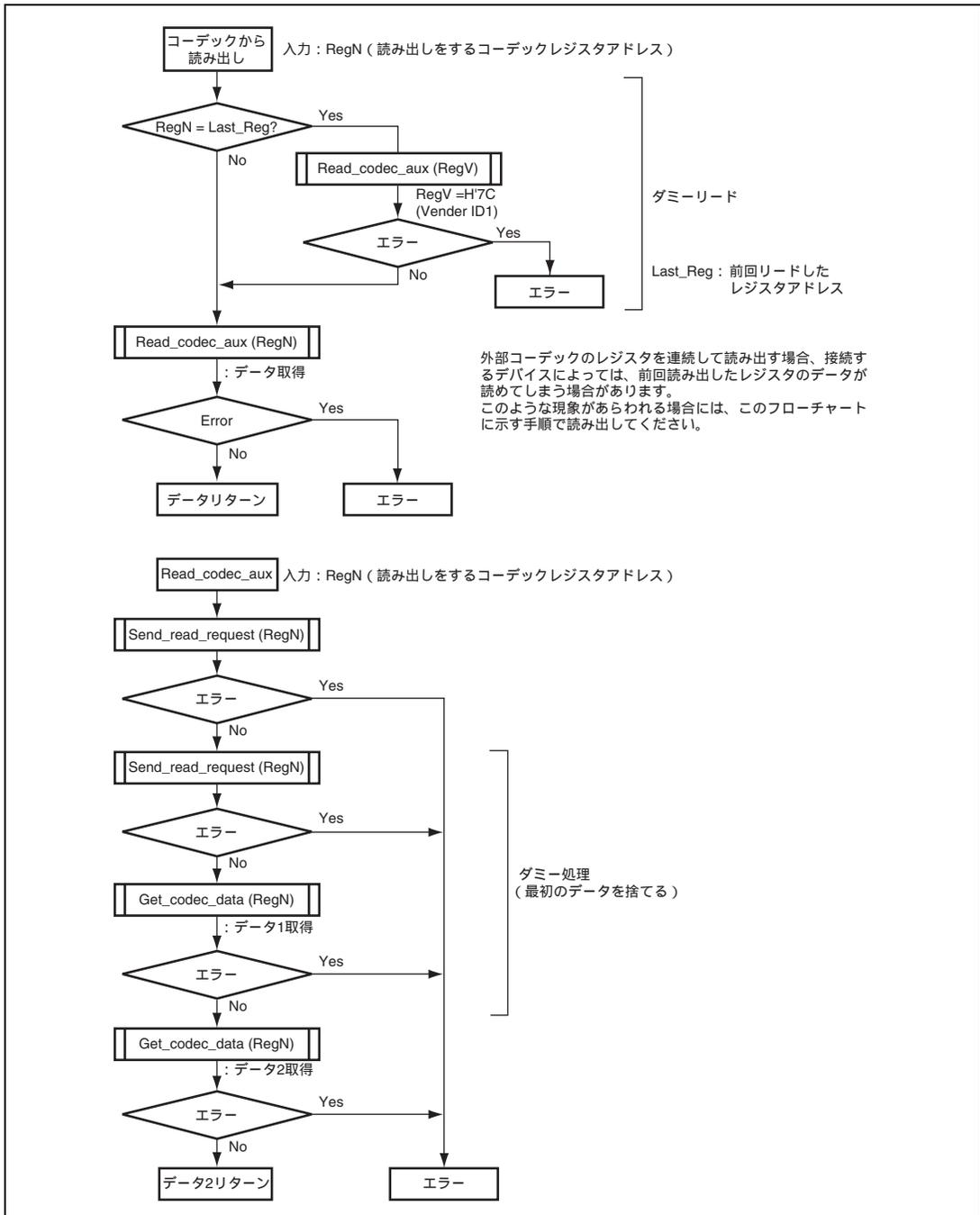


図 25.5 外部コーデックレジスタ読み出しフローチャート例

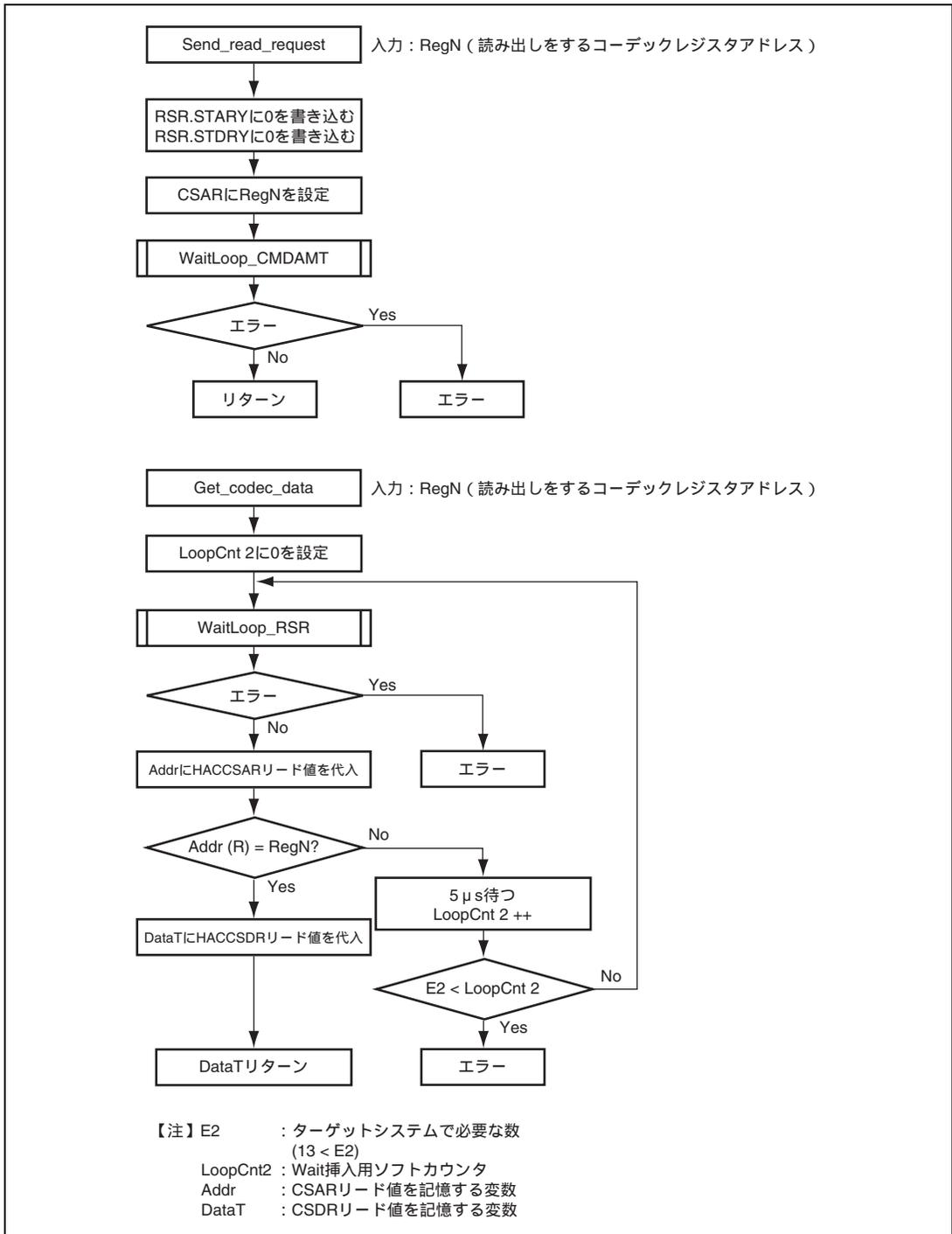


図 25.6 外部コーデックレジスタ読み出しフローチャート例 (続き)

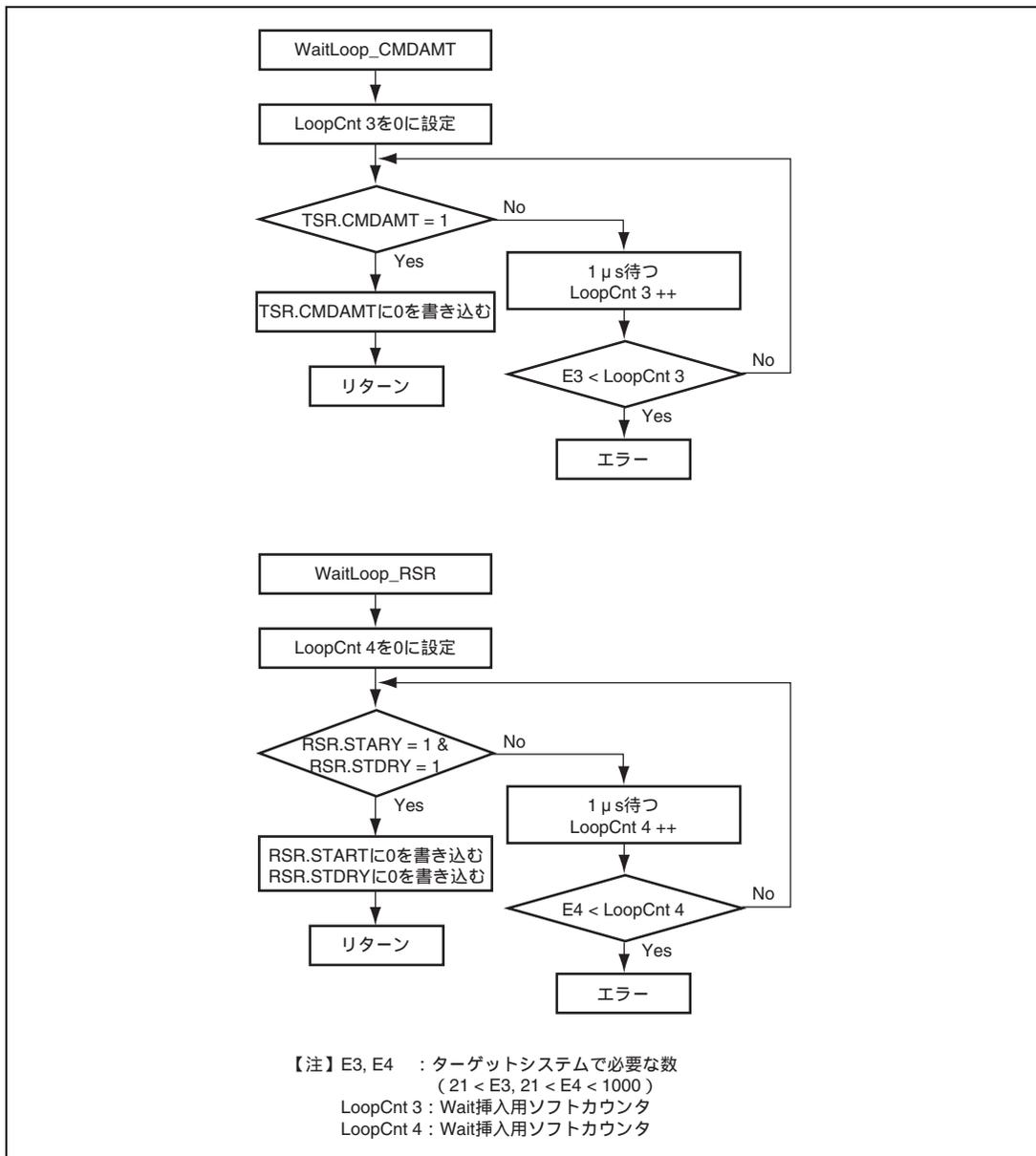


図 25.7 外部コーデックレジスタ読み出しフローチャート例 (続き)

25.5.6 低消費電力モード

低消費電力モードのスタンバイコントロールレジスタ0 (MSTPCR0) のMSTP16ビットとMSTP17ビットでHACに対するクロックの供給および停止を設定できます。

モジュールスタンバイ機能を解除してクロックを供給するには、スタンバイコントロールレジスタ0 (MSTPCR0) のMSTP16ビットとMSTP17ビットに0を書き込みます。その後、HACへのすべてのアクセスが可能になります。

モジュールを低消費電力モードにするには以下の手順に従ってください。

1. すべてのデータ転送が終了していることを確認します。送信バッファが空で受信バッファが空になるまで読み出されていることを確認します。
2. すべてのDMAリクエストと割り込み要求を無効にします。
3. コーデックを低消費電力モードにします。
4. スタンバイコントロールレジスタ0 (MSTPCR0) のMSTP16ビットとMSTP17ビットに1を書き込みます。

25.5.7 注意事項

モジュールが生成するHAC_SYNC信号は、フレーム内のスロット0の位置を示すために使用されます。

HACを2チャンネル同時に使用する場合は、 $\overline{\text{HAC_RES}}$ 端子を2つのコーデック両方のリセット端子に接続してください。

25.5.8 参考

AC'97 Component Specification, Revision 2.1

25. オーディオコーデックインタフェース (HAC)

26. シリアルサウンドインタフェース (SSI)

本 LSI は 2 チャンネルのシリアルサウンドインタフェース (SSI) を内蔵しています。SSI は、さまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、バーストとマルチチャンネルモードにも対応しています。

26.1 特長

SSI には次のような特長があります。

- チャンネル数：2チャンネル。
- 動作モード：圧縮モード、非圧縮モード
圧縮モードは、連続ビットストリームの転送に使用されます。
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、圧縮モードと非圧縮モードのどちらでもシリアルバスフォーマット (表26.3参照) を使用できます。
- データバッファとシフトレジスタ間是非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- DMACまたはSSIの割り込みで、データ送受信を制御できます。

26. シリアルサウンドインタフェース (SSI)

図 26.1 に SSI モジュール単体のブロック図を示します。

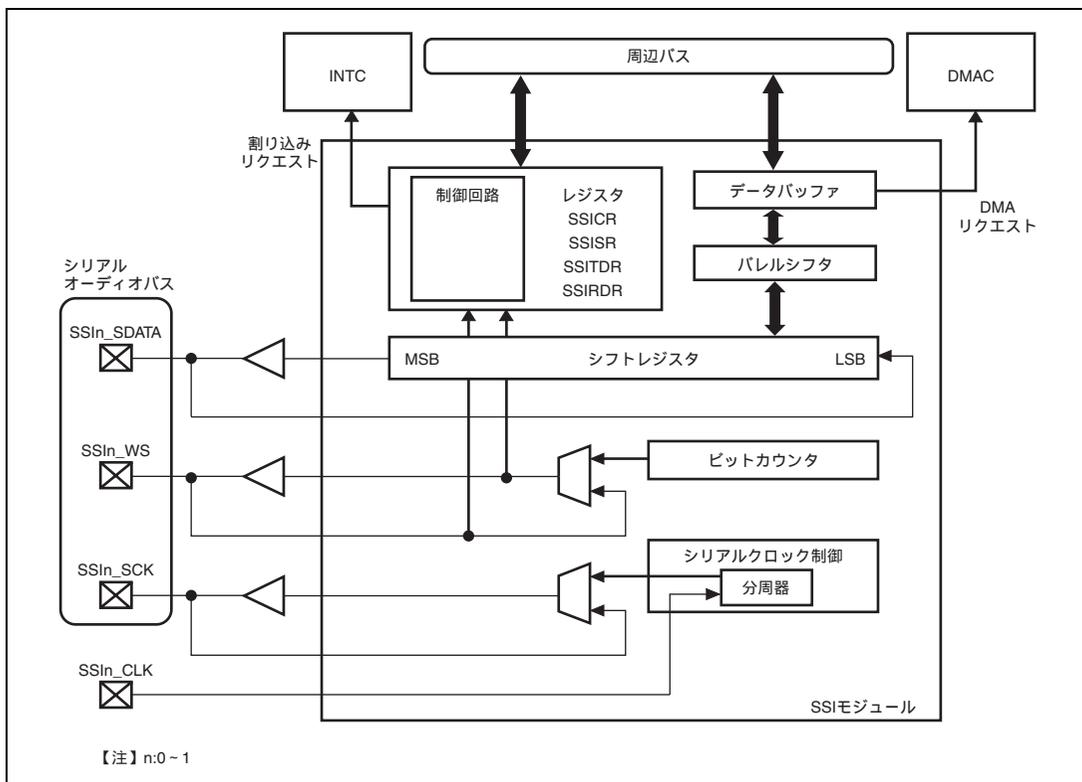


図 26.1 SSI のブロック図

26.2 入出力端子

SSI モジュールに関する端子構成を表 26.1 に示します。

表 26.1 端子構成

名称	本数	入出力	機能
SSI0_SCK	1	入出力	シリアルビットクロック
SSI0_WS	1	入出力	ワード選択
SSI0_SDATA	1	入出力	シリアルデータ入出力
SSI0_CLK	1	入力	分周器入力クロック (オーバーサンプルクロック、256/384/512fs を入力)
SSI1_SCK	1	入出力	シリアルビットクロック
SSI1_WS	1	入出力	ワード選択
SSI1_SDATA	1	入出力	シリアルデータ入出力
SSI1_CLK	1	入力	分周器入力クロック (オーバーサンプルクロック、256/384/512fs を入力)

26.3 レジスタの説明

SSI には以下のレジスタがあります。本文中では、チャンネルによる区別を省略して説明します。

表 26.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7アドレス	サイズ	同期クロック
0	コントロールレジスタ 0	SSICR0	R/W	H'FFE0 0000	H'1FE0 0000	32	Pck
	ステータスレジスタ 0	SSISR0	R/W*	H'FFE0 0004	H'1FE0 0004	32	Pck
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FFE0 0008	H'1FE0 0008	32	Pck
	レシーブデータレジスタ 0	SSIRDR0	R	H'FFE0 000C	H'1FE0 000C	32	Pck
1	コントロールレジスタ 1	SSICR1	R/W	H'FFE1 0000	H'1FE1 0000	32	Pck
	ステータスレジスタ 1	SSISR1	R/W*	H'FFE1 0004	H'1FE1 0004	32	Pck
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FFE1 0008	H'1FE1 0008	32	Pck
	レシーブデータレジスタ 1	SSIRDR1	R	H'FFE1 000C	H'1FE1 000C	32	Pck

【注】 * 本レジスタの 26、27 ビットは読み出し / 書き込み可能で、それ以外は読み出し専用です。詳細は、「26.3.2 ステータスレジスタ」を参照してください。

表 26.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオンリセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ディープ スリープ による
0	コントロールレジスタ 0	SSICR0	H'0000 0000	H'0000 0000	保持	保持	保持
	ステータスレジスタ 0	SSISR0	H'0200 0003	H'0200 0003	保持	保持	保持
	トランスミットデータ レジスタ 0	SSITDR0	H'0000 0000	H'0000 0000	保持	保持	保持
	レシーブデータレジスタ 0	SSIRDR0	H'0000 0000	H'0000 0000	保持	保持	保持
1	コントロールレジスタ 1	SSICR1	H'0000 0000	H'0000 0000	保持	保持	保持
	ステータスレジスタ 1	SSISR1	H'0200 0003	H'0200 0003	保持	保持	保持
	トランスミットデータ レジスタ 1	SSITDR1	H'0000 0000	H'0000 0000	保持	保持	保持
	レシーブデータレジスタ 1	SSIRDR1	H'0000 0000	H'0000 0000	保持	保持	保持

26. シリアルサウンドインタフェース (SSI)

26.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みの制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMEN	UIEN	OIEN	IIEN	DIEN	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
初期値 :	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	BREN	CKDV2	CKDV1	CKDV0	MUEN	CPEN	TRMD	EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
31~29	-	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IIEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23	CHNL1	0	R/W	チャンネル 各システムワードのチャンネル数を示します。CPEN = 1 のとき、これらのビットは無視されます。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。
22	CHNL0	0	R/W	

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
21 20 19	DWL2 DWL1 DWL0	0 0 0	R/W R/W R/W	データワード長 データワードのビット数を示します。CPEN=1のとき、これらのビットは無視されます。 000: 8ビット 001: 16ビット 010: 18ビット 011: 20ビット 100: 22ビット 101: 24ビット 110: 32ビット 111: 設定禁止
18 17 16	SWL2 SWL1 SWL0	0 0 0	R/W R/W R/W	システムワード長 システムワードのビット数を示します。CPEN=1のとき、これらのビットは無視されます。 000: 8ビット 001: 16ビット 010: 24ビット 011: 32ビット 100: 48ビット 101: 64ビット 110: 128ビット 111: 256ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0: シリアルビットクロック入力、スレーブモード 1: シリアルビットクロック出力、マスタモード 【注】 非圧縮モード (SSICR.CPEN=0) の場合、(SCKD、SWSD) = (0、0) と (1、1) の組み合わせのみ可能です。
14	SWSD	0	R/W	シリアル WS 方向 0: シリアルワード選択入力、スレーブモード 1: シリアルワード選択出力、マスタモード 【注】 非圧縮モード (SSICR.CPEN=0) の場合、(SCKD、SWSD) = (0、0) と (1、1) の組み合わせのみ可能です。

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化(SCK 立ち上がりエッジでサンプリング)</p> <p>1: SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化(SCK 立ち下がりエッジでサンプリング)</p> <table border="1"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 TRMD = 0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 TRMD = 1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スレープモード時 (SWSR = 0) SSI_WS 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSR = 1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スレープモード時 (SWSR = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスタモード時 (SWSR = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スレープモード時 (SWSR = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスタモード時 (SWSR = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>このビットの機能は SSI モジュールが非圧縮モードか圧縮モードであるかによって異なります。</p> <p>[CPEN = 0 (非圧縮モード) のとき]</p> <p>0: SSI_WS は第 1 システムワードではローレベル、第 2 システムワードではハイレベル</p> <p>1: SSI_WS は第 1 システムワードではハイレベル、第 2 システムワードではローレベル</p> <p>[CPEN = 1 (圧縮モード) のとき]</p> <p>0: SSI_WS はアクティブハイフロー制御。つまり、WS がハイレベルのときデータは転送され、WS がローレベルのときデータは転送されません。</p> <p>1: SSI_WS はアクティブローフロー制御。つまり、WS がローレベルのときデータは転送され、WS がハイレベルのときデータは転送されません。</p> <p>【注】 EN=1 のときに変更しないでください。</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>CPEN = 1 のとき、このビットは無視されます。</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>【注】 MUEN = 1 のとき、パディングビットはローレベルになります。(シュート機能が優先されます。)</p>															

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
10	SDTA	0	R/W	シリアルデータアライメント CPEN=1 のとき、このビットは無視されます。 0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信
9	PDTA	0	R/W	パラレルデータアライメント CPEN=1 のとき、このビットは無視されます。データワード長が 32、16、8 ビットのとき、このビットは意味を持ちません。 このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。 0: パラレルデータ (SSITDR、SSIRDR) を左詰め 1: パラレルデータ (SSITDR、SSIRDR) を右詰め • DWL = 000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL = 001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数) つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるかりザービットになります。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるかりザービットになります。 • DWL = 110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
8	DEL	0	R/W	シリアルデータディレイ CPEN=1 のとき、本ビットを 1 にセットください。 0 : SSI_WS と SSI_SDATA 間で 1 クロックサイクルの遅延 1 : SSI_WS と SSI_SDATA 間の遅延なし
7	BREN	0	R/W	バーストモードイネーブル 0 : バーストモードを禁止 1 : バーストモードを許可 バーストモードは圧縮モード (CPEN=1) かつトランスミットモードでのみ使用可能です。バーストモードが許可されているとき、SSI_SCK 信号は出力制御されます。SSI_SDATA に有効なシリアルデータが出力されている期間中のみクロックパルスを出力します。
6~4	CKDV2 CKDV1 CKDV0	0 0 0	R/W R/W R/W	シリアルオーバサンブルクロック分周比 オーバサンブルクロック (SSI_CLK) とシリアルビットクロック (SSI_SCK) の分周比を設定します。SCKD=0 のとき、このビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSI_SCK 端子から供給されます。 000:シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 1 001:シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 2 010:シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 4 011:シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 8 100 : シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 16 101:シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 6 110 : シリアルビットクロック周波数 = オーバサンブルクロック周波数 / 12 111 : 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0 : SSI モジュールはミュート状態でない 1 : SSI モジュールはミュート状態 送信モードでミュート状態中、常に SSIn_SDATA 端子はパディング設定に関係なく常にロー出力されます。
2	CPEN	0	R/W	圧縮モードイネーブル 0 : 圧縮モードを禁止 1 : 圧縮モードを許可 【注】圧縮モード (CPEN=1) の場合、スレーブトランスミッタ (SWSD=0 かつ TRMD=1) 以外の動作でご使用ください。また、EN=1 のときに変更しないでください。

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
1	TRMD	0	R/W	送信 / 受信モード選択 0 : SSI モジュールは受信モード 1 : SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0 : SSI モジュール動作を禁止 1 : SSI モジュール動作を許可

26. シリアルサウンドインタフェース (SSI)

26.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CHNO1	CHNO0	SWNO	IDST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD = 0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の SSIRDR に次の未読データが書き込まれるまで DMRQ = 0 になります。 [TRMD = 1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの DMAC に対して書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説 明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバーフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは、OIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバーフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>IIRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない</p> <p>1 : SSI モジュールはアイドル状態</p> <p>アイドル状態とは SSI モジュール起動した後、シリアルバスが停止した状態を示します。</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しが書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>DIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>0 : SSIRD R に未読データなし</p> <p>1 : SSIRD R に未読データあり</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル</p> <p>1 : 送信バッファは空のため SSITDR へのデータ書き込みを要求しています</p>
23~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3	CHNO1	0	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRD R 内の現在のデータがどのチャンネルのものを表わします。シフトレジスタからの転送により SSIRD R 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>
2	CHNO0	0	R	

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表わします。SSIRDR が読み出されたかどうかに関わらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。EN=1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD=1 かつ TRMD=1) のとき]</p> <p>EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアルデータ入出力端子 (SSI_SDATA) から出力を完了すると (システムワード長の出力を完了すると)、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD=1 かつ TRMD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ/レシーバ (SWSD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>なお、転送を終了させる場合、SSICR.EN=0 とした後、SSICR.IDST=1 となるまで WS 信号を継続して入力してください。</p> <p>【注】 現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

26. シリアルサウンドインタフェース (SSI)

26.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

26.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

26.4 動作説明

26.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 26.3 に示す 7 つの主要なモードから選択できます。

表 26.3 SSI モジュールのバスフォーマット

バスフォーマット	TRMD	CPEN	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]	
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット					コンフィギュレーションビット										
非圧縮スレープトランスミッタ	1	0	0	0																
非圧縮マスタレシーバ	0	0	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット					1	無視されます	コンフィギュレーションビット	無視されます							
圧縮スレープトランスミッタ	使用禁止																			
圧縮マスタレシーバ	0	1	0/1	1	コントロールビット					1	無視されます	コンフィギュレーションビット	無視されます							
圧縮マスタトランスミッタ	1	1	0/1	1						1										

26.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレープトランスミッタ

このモードは、使用しないでください。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

1. Philips フォーマット

図 26.2 と図 26.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

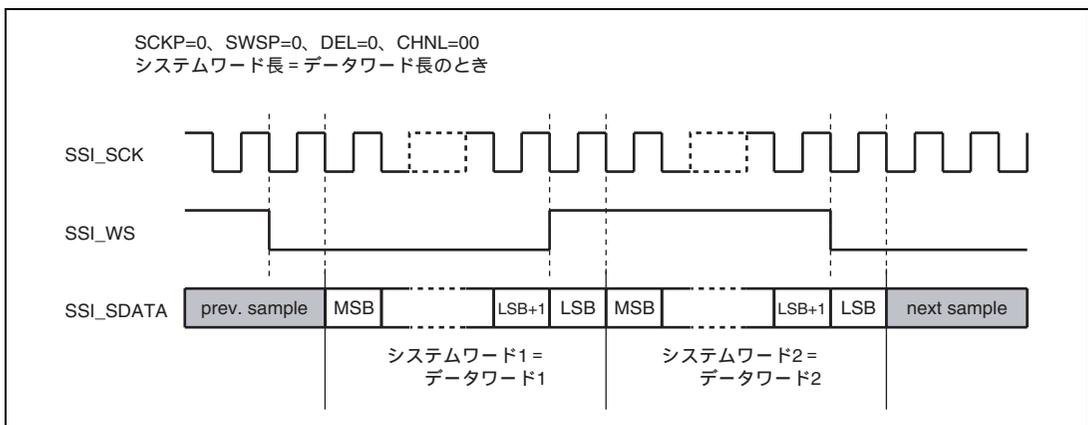


図 26.2 Philips フォーマット (パディングなし)

26. シリアルサウンドインタフェース (SSI)

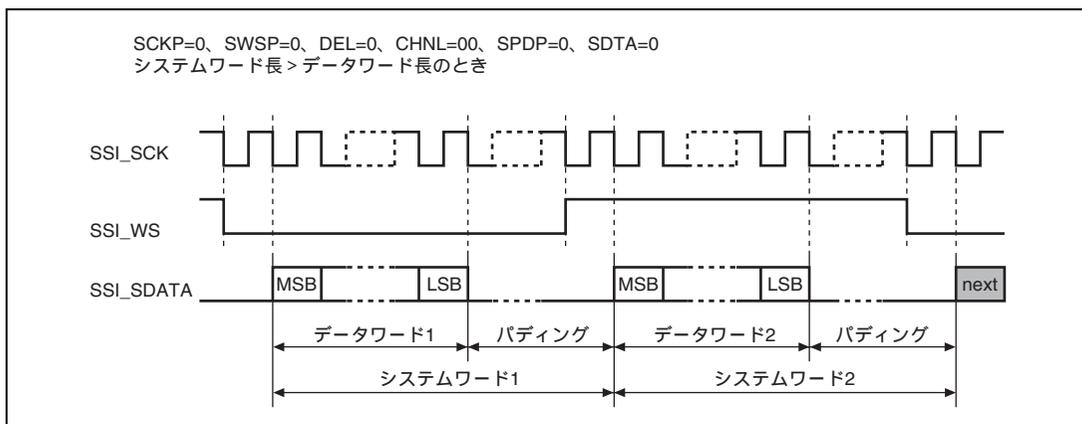


図 26.3 Philips フォーマット (パディングあり)

図 26.4 に Sony フォーマットを、図 26.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

2. Sonyフォーマット

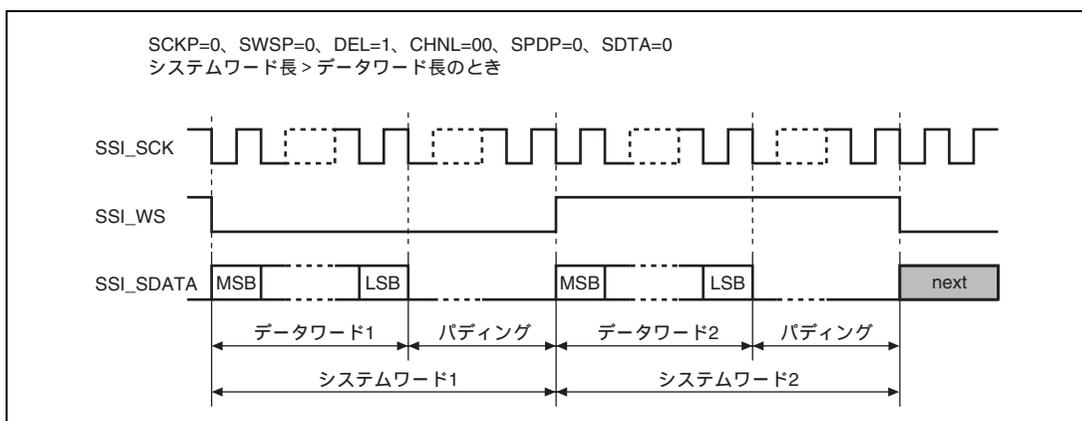


図 26.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

3. 松下フォーマット

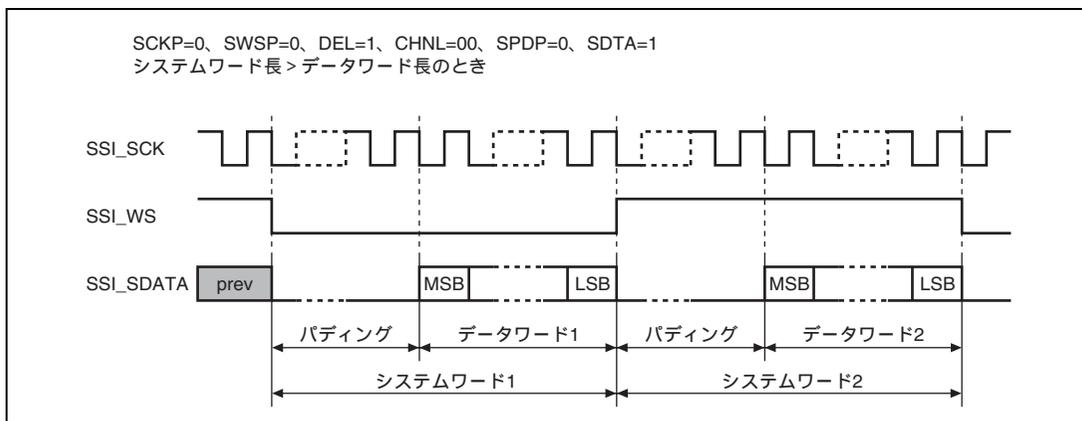


図 26.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

Philips仕様の定義を拡張し、2システムワード中に2より多いチャンネルの転送を行うデバイスタイプもあります。SSIモジュールは、CHNL、SWLおよびDWLビットを使って、4、6、および8チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 26.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

26. シリアルサウンドインタフェース (SSI)

表 26.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 26.6 ~ 図 26.8 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。第 1 の例にはパディングビットがなく、第 2 の例は左詰め、そして第 3 の例は右詰めです。これらの例は、すべて任意の例です。

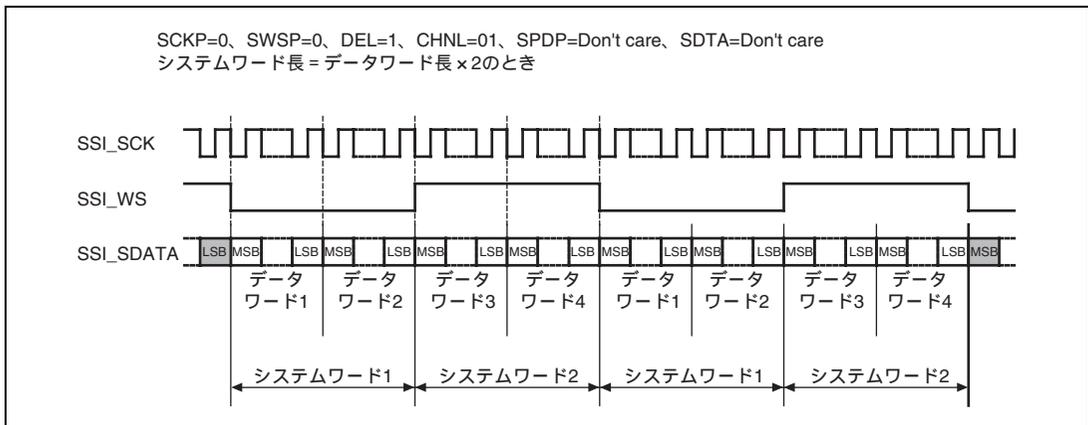


図 26.6 マルチチャンネルフォーマット (4 チャンネル、パディングなし)

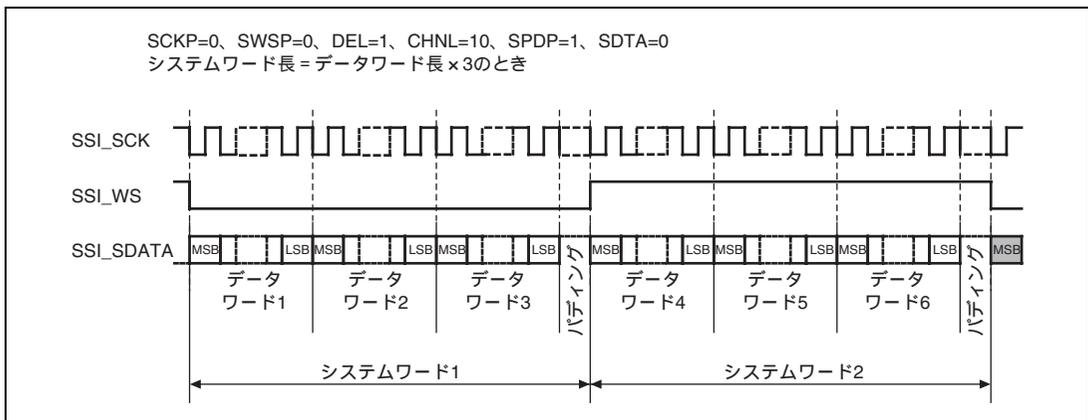


図 26.7 マルチチャンネルフォーマット (6 チャンネル、High パディング)

26. シリアルサウンドインタフェース (SSI)

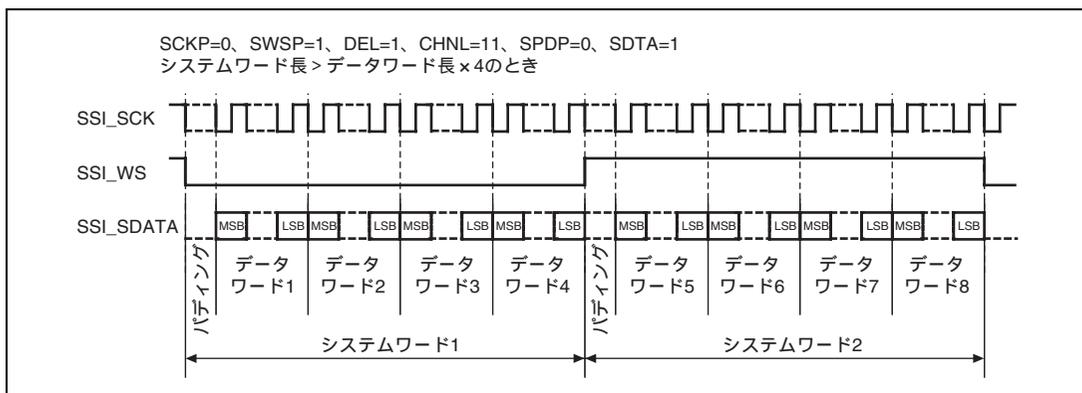


図 26.8 マルチチャンネルフォーマット

(8 チャンネル、シリアルデータ、パディングビットの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 26.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

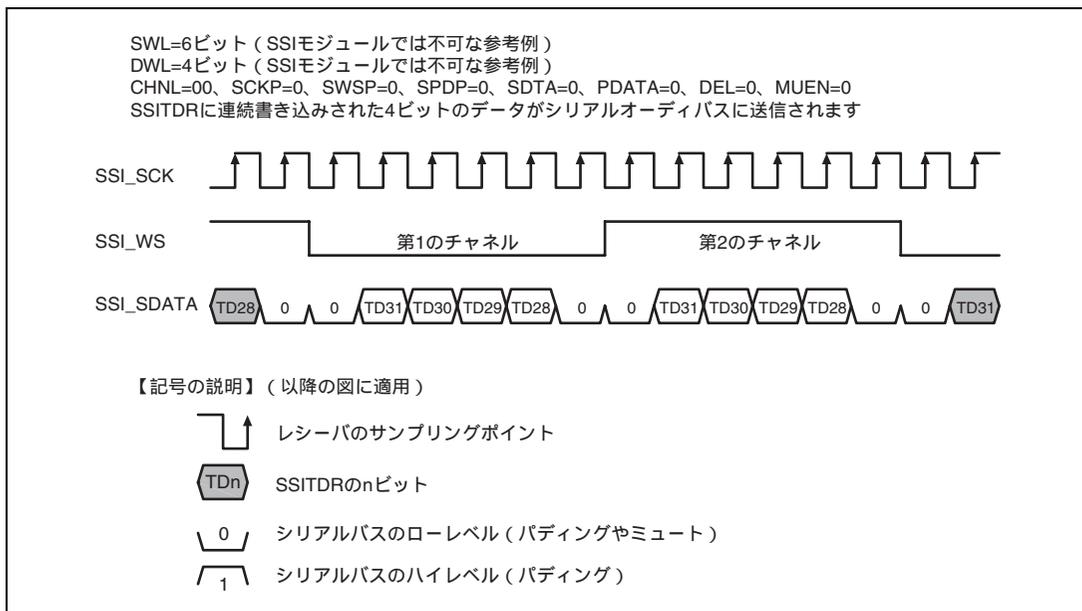


図 26.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 26.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

1. 反転クロック

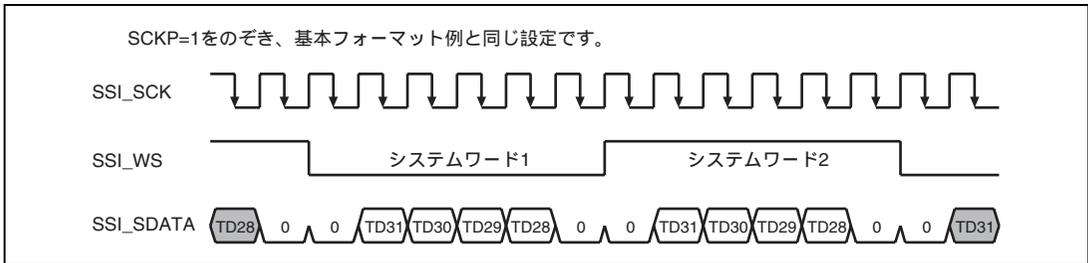


図 26.10 反転クロック

2. 反転ワード選択信号

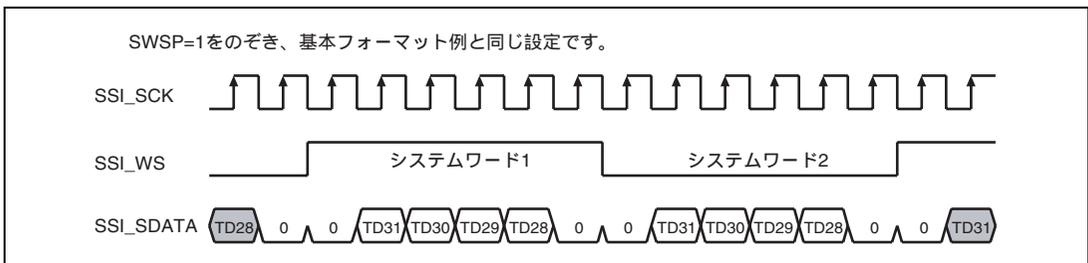


図 26.11 反転ワード選択信号

3. 反転パディング極性

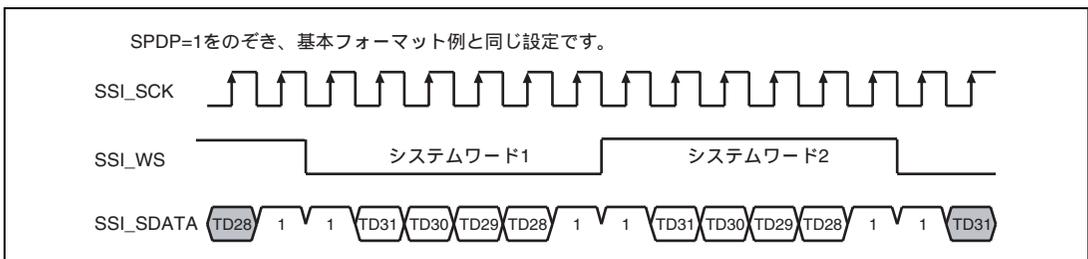


図 26.12 反転パディング極性

26. シリアルサウンドインタフェース (SSI)

4. パディングビット、シリアルデータの順に送受信、遅延あり

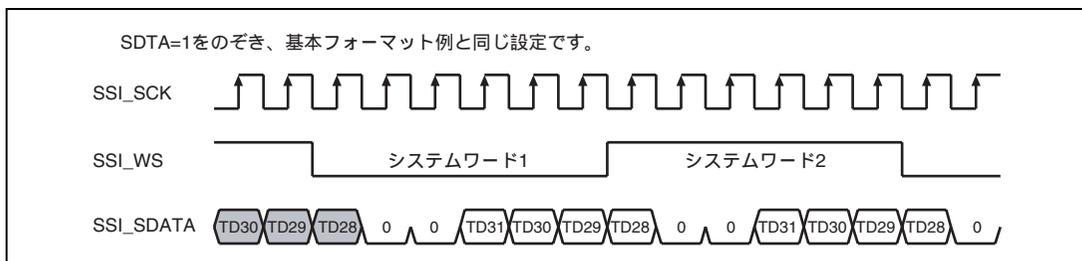


図 26.13 パディングビット、シリアルデータの順に送受信、遅延あり

5. パディングビット、シリアルデータの順に送受信、遅延なし

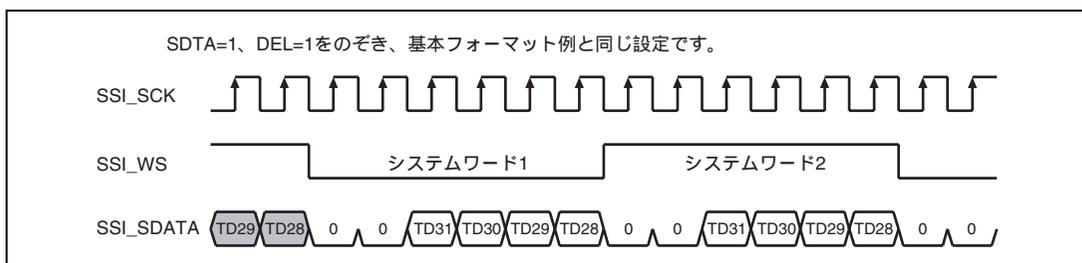


図 26.14 パディングビット、シリアルデータの順に送受信、遅延なし

6. シリアルデータ、パディングビットの順に送受信、遅延なし

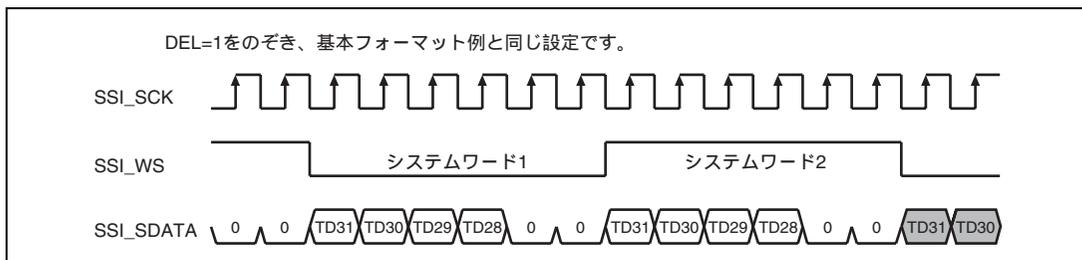


図 26.15 シリアルデータ、パディングビットの順に送受信、遅延なし

7. パラレルデータの右詰め、遅延あり

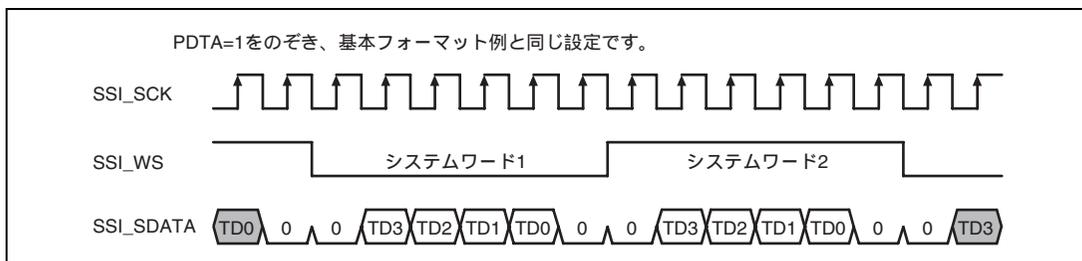


図 26.16 パラレルデータの右詰め、遅延あり

8. ミュート有効

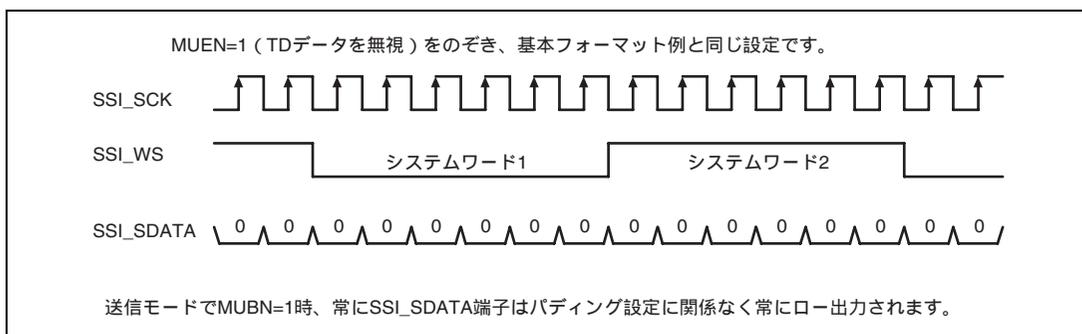


図 26.17 ミュート有効

26.4.3 圧縮モード

圧縮モードは、連続ビットストリームの転送に使用されます。このモードでは、受信側で圧縮されたビットストリームからデータを抽出する操作を必要とします。

バーストモード無効のとき、データワードという概念は存在しません。しかし、送信と受信を行うには、シリアルバスとメモリ間の転送が必要です。送信/受信時のワードバウンダリ設定は任意ですので、別の手段で処理しなくてはなりません。バーストモード有効時、送信されているデータビットは、出力するワードが存在するときのみシリアルビットクロック出力が有効であり、各 32 ビットワードを出力するのに必要なクロックパルス数しか生成されないことで認識されます。シリアルビットクロックは、SSICR.SCKP=0 のときローレベル、SSICR.SCKP=1 のときハイレベルで停止します。SSI モジュールがトランスミッタの場合にのみバーストモードは有効になるのでご注意ください。このモジュールはバーストモードデータを受信できません。

データの送信と受信は 32 ビットのブロック単位で行われ、メモリに保存する際には、最初に送信された/受信したビットがビット 31 になります。

非圧縮モードと違って、このモードでのワード選択端子からの出力はシステムワード開始信号ではなく、レシーバが次のデータバーストを受信できる状態にあることやトランスミッタが次のデータバーストを送信できる状態にあることを示すのに使用されます。

図 26.18 と図 26.19 では、バーストモード無効時と有効時の圧縮モードデータ転送をそれぞれ示します。

26. シリアルサウンドインタフェース (SSI)

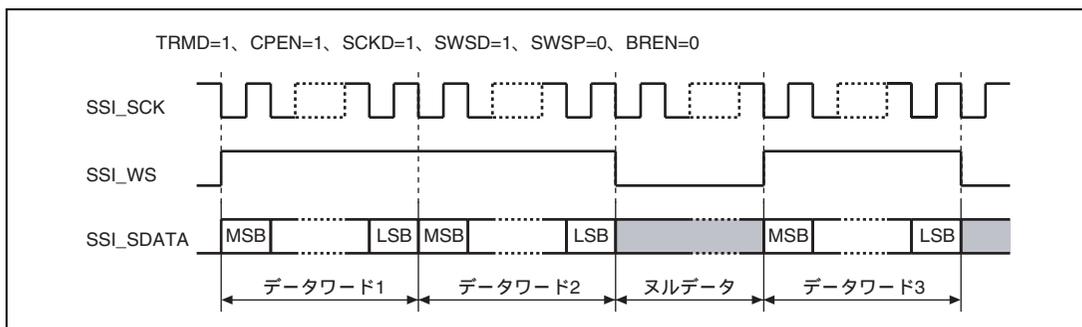


図 26.18 圧縮データフォーマット、マスタランスマッタ、バーストモード無効

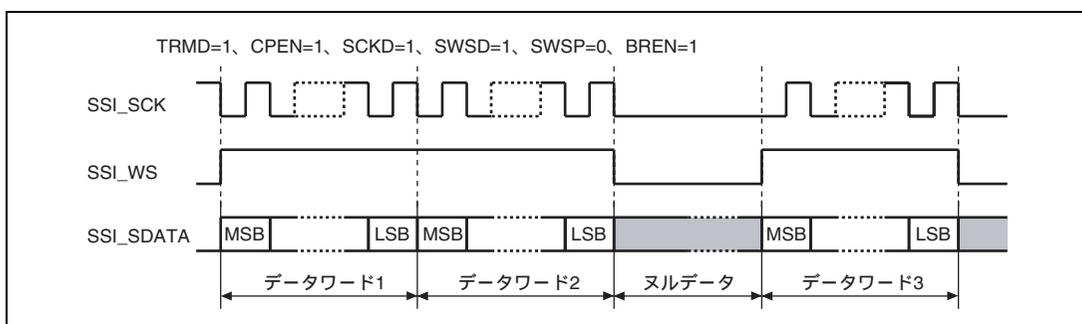


図 26.19 圧縮データフォーマット、マスタランスマッタ、バーストモード有効

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は入力フロー制御に使われます。SWSP=0 のとき、SSI_WS がハイレベルなら、1 クロックサイクルに 1 データビットのタイミングで、32 ビットのブロック単位でビットストリームを受信します。SSI_WS がローレベルになった場合、現在の 32 ビットブロックが終了した時点で受信を停止します。SSI_WS が再びハイレベルになったときに受信を再開します。

(2) スレーブトランスマッタ

このモードは、使用しないでください。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて受信できることを示すために、ワード選択端子は常にアサートされています。データの損失が起きないタイミングで SSI モジュールにデータを送信するのは送信デバイスの責任です。

(4) マスタトランスミッタ

このモードでは、メモリから別のデバイスにシリアルビットストリームを転送できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて送信することを示すために、ワード選択端子は常にアサートされています。ただし、ワード選択端子は最初のワードの転送準備ができるまではアサートされません。データの損失が起きないタイミングでシリアルデータを受信するのは受信デバイスの責任です。

データ転送用にコンフィギュレーションが終了したら、SSI モジュールは最小限の CPU とのやりとりで動作できます。CPU は、SSI モジュールと DMAC の設定をし、必要に応じてオーバーフローやアンダフロー割り込みを処理します。

26.4.4 動作モード

コンフィギュレーション、有効および無効の 3 つの動作モードがあります。図 26.20 に動作モードの遷移図を示します。

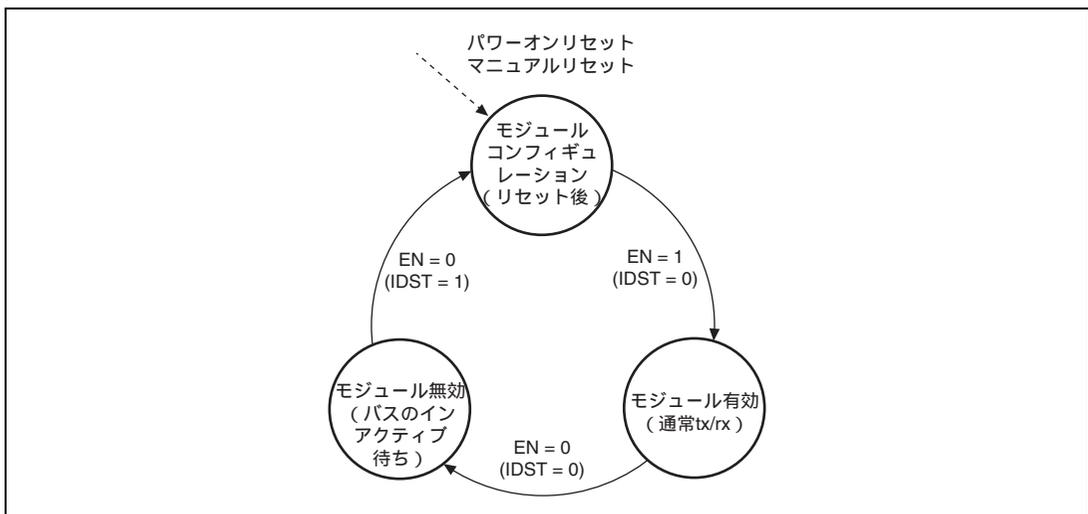


図 26.20 動作モード遷移図

26. シリアルサウンドインタフェース (SSI)

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「26.4.5 送信動作」と「26.4.6 受信動作」を参照してください。

26.4.5 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 26.21 に DMA 制御モードの送信動作を、図 26.22 に割り込み制御モードの送信動作を示します。

【注】 * SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した送信

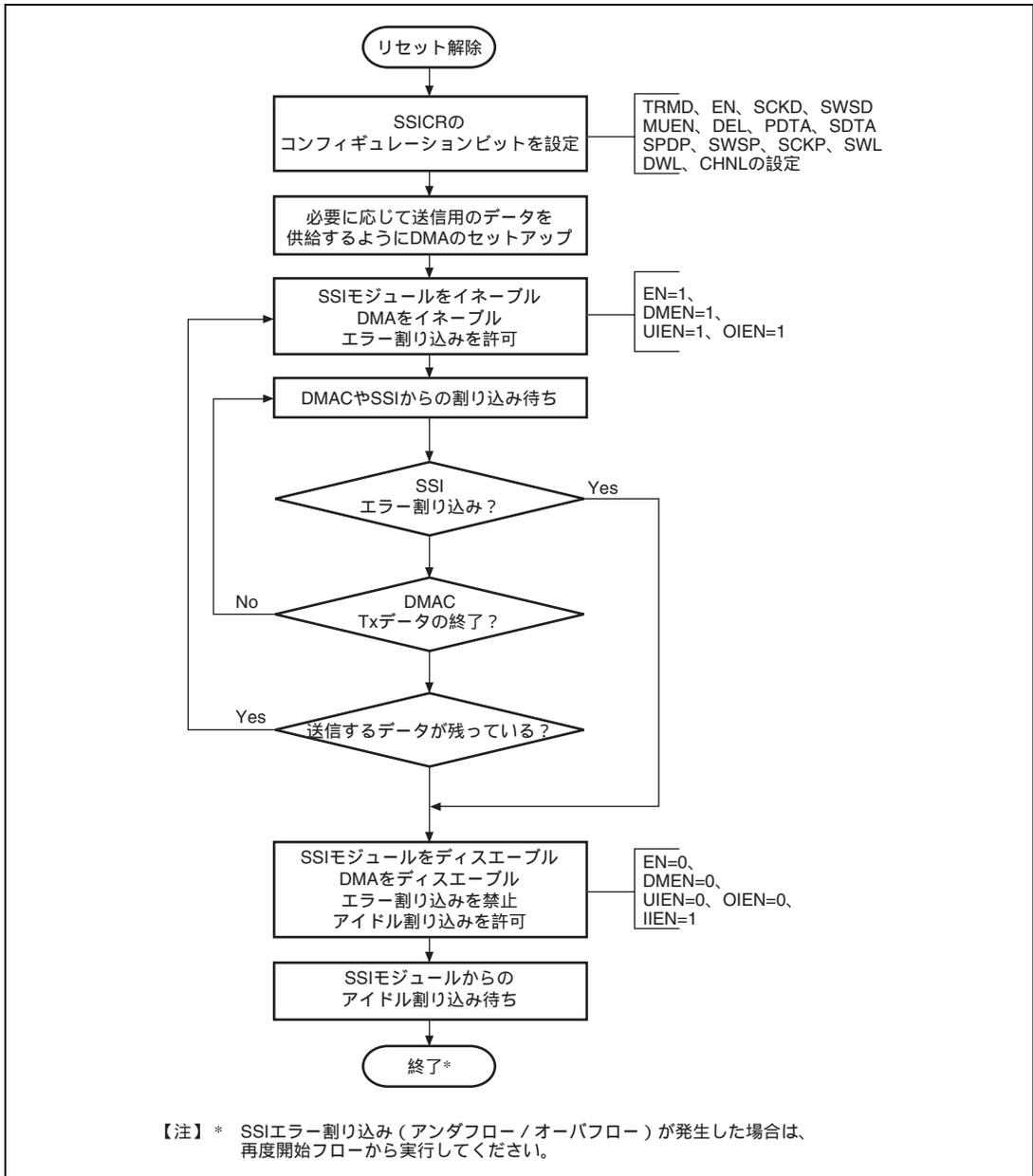


図 26.21 DMA コントローラを使用した送信

26. シリアルサウンドインタフェース (SSI)

(2) 割り込みデータフロー制御を使用した送信

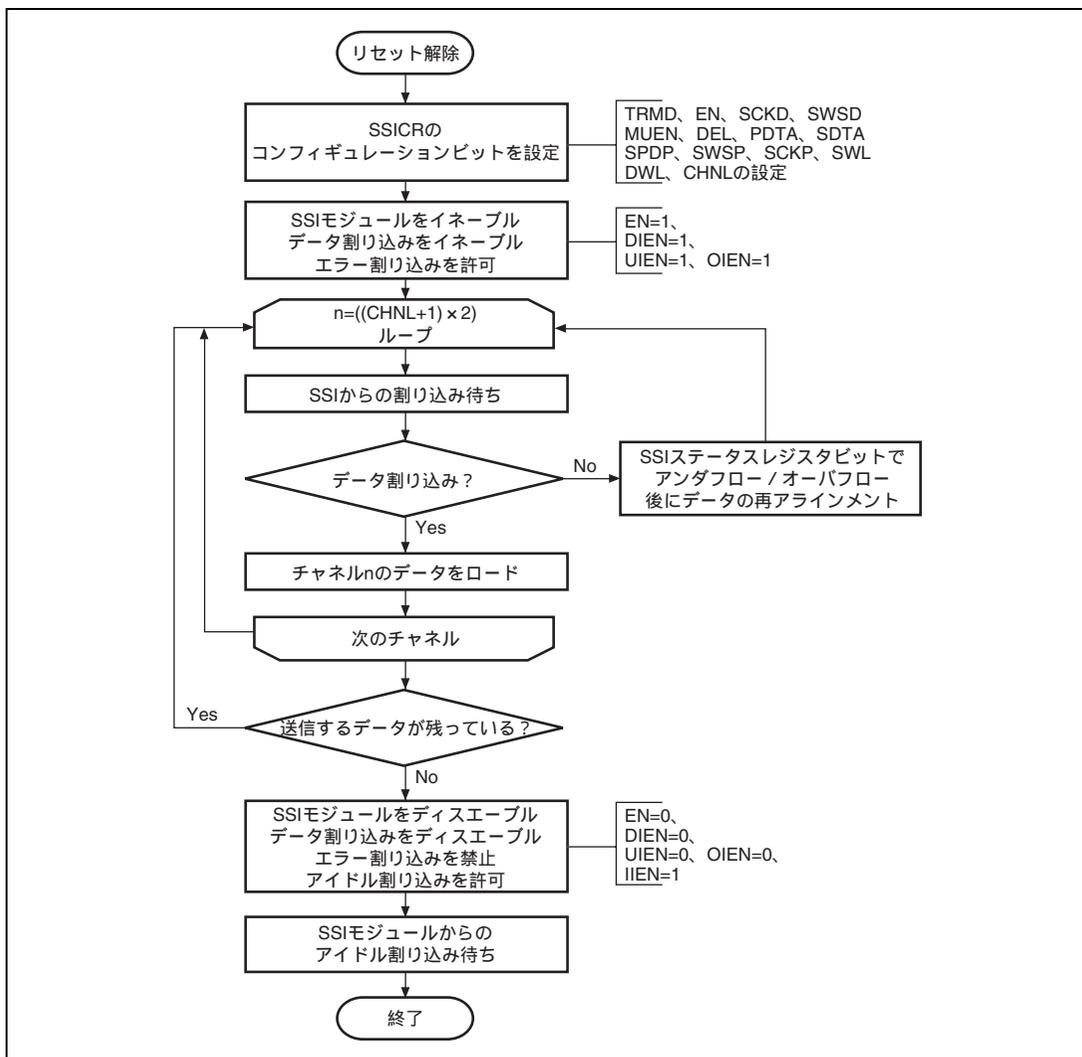


図 26.22 割り込みデータフロー制御を使用した送信

26.4.6 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 26.23 と図 26.24 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した受信

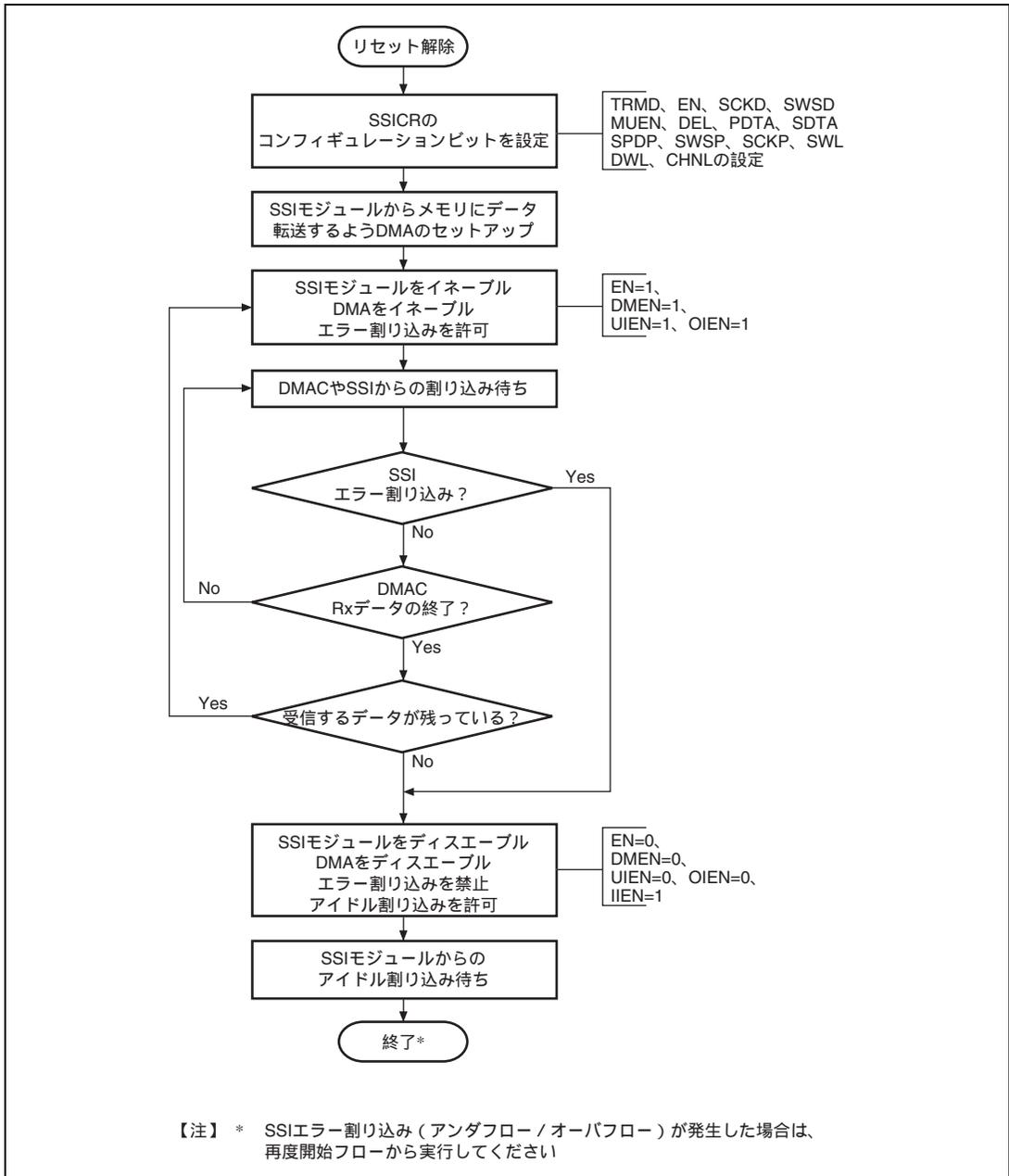


図 26.23 DMA コントローラを使用した受信

26. シリアルサウンドインタフェース (SSI)

(2) 割り込みデータフロー制御を使用した受信

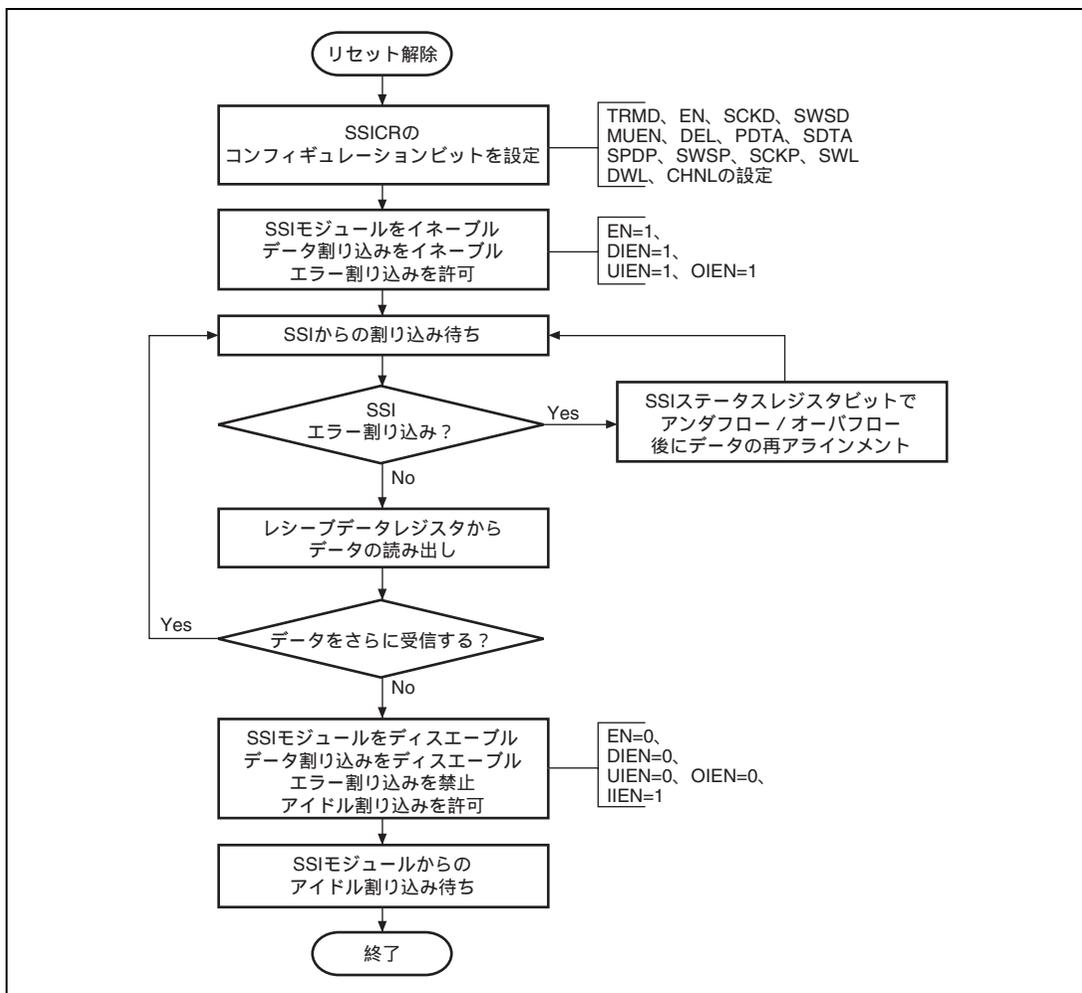


図 26.24 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が成立した場合 (UIRQ=1 または OIRQ=1)、CHNO[1:0]ビットと SWNO ビットを使って SSI モジュールを成立する前の状態に回復できます。アンダフローやオーバーフローが発生したら、CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリーム中の現在到達した位置を知ることができます。トランスミッタとして動作する場合、SSI モジュールが次に送信する予定のデータが送信可能になるまで CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSI モジュールが次に受信するデータを格納できるようになるまで CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

26.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSI_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD=1)、SSI モジュールはクロックマスタモードであり、シフトレジスタが使うビットクロックは SSI_CLK 入力端子から入力されたクロックまたはそれを分周したクロックです。SSI_CLK 端子から入力されたクロックは、SSICR のシリアルオーバーサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSI_SCK 端子の出力はビットクロックと同じになります。

26.5 使用上の注意事項

26.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、例えばコントロールレジスタ (SSICR) のデータワード長 (DWL2~0) が 32 ビットの設定で、システムワード長 (SWL2~0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR の OIRQ ビット) によりオーバーフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (このとき DMAC の設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

26.5.2 SSI モジュールの端子機能設定について

SSI モジュールを起動する場合は、「第 28 章 汎用入出力ポート (GPIO)」に記載されています周辺モジュールセレクトレジスタおよびポートコントロールレジスタの SSI0~1 チャンネルに対する設定終了後、SSI モジュールの設定、起動を行ってください。

26.5.3 スレーブモード使用時の注意事項

スレーブモードでデータ転送を終了させる場合、SSICR.EN = 0 とした後、SSICR.IDST = 1 となるまで SSI_WS 信号をアクティブ状態で供給 (システムワード長のハイレベルまたはローレベルを交互継続入力) してください (5 システムワード以上)。IDST = 1 となる前に SSI_WS 信号を停止すると、SSI は正常に転送を終了することができなくなり、転送中断状態で停止します。この状態から SSICR.EN = 1 とした場合、中断された状態から再開するため不正なデータが転送される可能性があります。なお、データ転送の再開は、IDST = 1 の状態であれば EN = 1 から最初または次の WS エッジから再開されます。

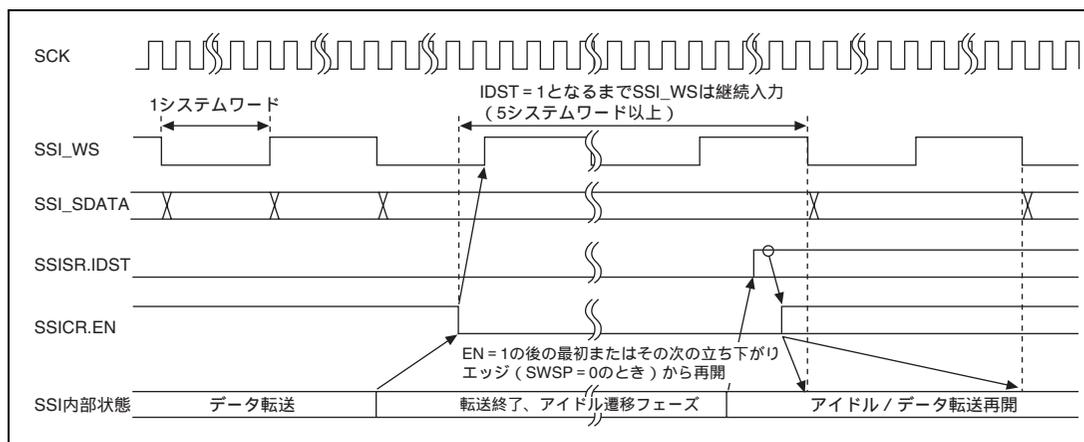


図 26.25 スレーブモード時 SSI 転送終了 / 再開タイミング例

27. NAND フラッシュメモリコントローラ (FLCTL)

NAND フラッシュメモリコントローラ (FLCTL) は、外付けの NAND 型フラッシュメモリとのメモリインタフェースを提供します。

27.1 特長

(1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの接続が可能なインタフェース
- セクタ* (512+16バイト) 単位のリードライト。
- バイト単位のリードライト

【注】 * NAND 型フラッシュメモリのデータシートでは、2048+64 バイトのアクセス単位をページと表記されている製品もありますが、本書では、512+16 バイトを 1 セクタとして統一します。

(2) アクセスモード：FLCTL では次の 2 つのアクセスモードが選択できます。

- コマンドアクセスモード：
本FLCTLからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。
- セクタアクセスモード：
物理セクタを指定することで、物理セクタ単位のリードライトを実行します。セクタ数を指定することで、連続する物理セクタに対するリードライトを実行できます。

(3) セクタと管理コード

- 1セクタは、512バイトのデータと16バイトの管理コードから構成されます。

(4) データエラー時

- プログラム / イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能で
ず。

(5) データ転送用 FIFO

- フラッシュメモリのデータ転送用に224バイトのFLDTFIFOを内蔵
- 管理コードのデータ転送用に32バイトのFLECFIFOを内蔵
- CPUおよびDMAからのアクセス時、オーバラン / アンダラン検出フラグビットがあります。

(6) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる

27. NAND フラッシュメモリコントローラ (FLCTL)

領域にデータと管理コードを転送できます。

(7) アクセスサイズ

- レジスタには、32ビットアクセスのレジスタと8ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。
- FIFOのアクセスサイズは、32ビット(4バイト)です。ライト時のバイト数として4の倍数を設定してください。また、リード時のバイト数には4の倍数を設定してください。

(8) アクセスタイム

- 本FLCTLの端子側の動作周波数は、周辺バスの動作周波数とは別に、共通コントロールレジスタ(FLCMNCR)のFCKSELビットとQTSELビットにより指定可能です。
- NAND型フラッシュメモリ端子側の動作クロックFCLKは、周辺バスの動作クロックPckを分周して使用します。
- NAND型フラッシュメモリでは、FRE端子、FWE端子が共通コントロールレジスタで指定したFCLKで動作します。セットアップタイムを確保するため接続するメモリの最大動作周波数を超えないように設定してください。

FLCTL のブロックを図 27.1 に示します。

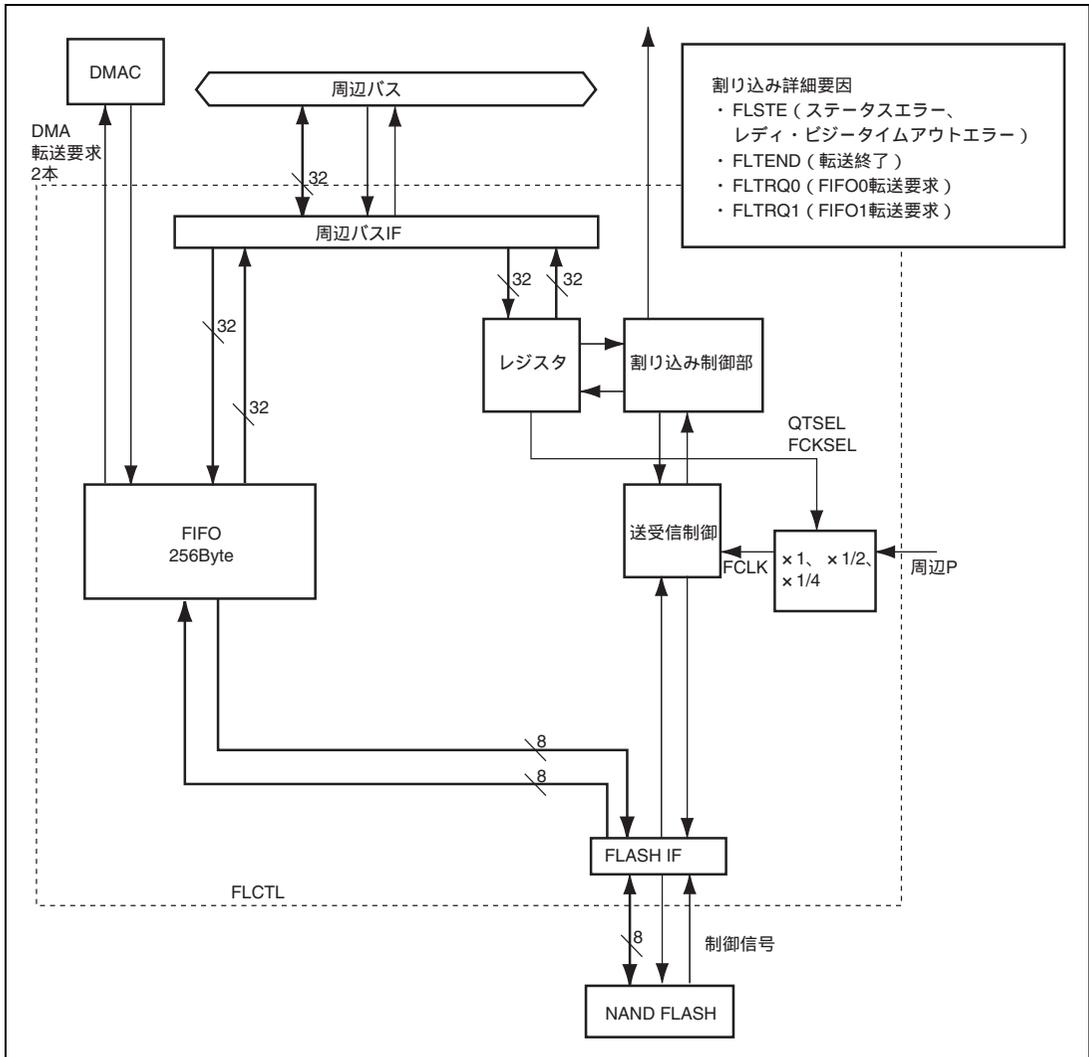


図 27.1 FLCTL のブロック図

27.2 入出力端子

FLCTL の端子構成を表 27.1 に示します。

表 27.1 端子構成

端子名	機能	入出力	対応するフラッシュ メモリの端子	説 明
			NAND 型	
FCE	チップイネーブル (ローアクティブ)	出力	\overline{CE}	本 LSI に接続されたフラッシュメモリをイネーブルにします。 SCIF0_CTS/INTD とマルチプレクスされています。
FD7~0	データ入出力	入出力	I/O7~I/O0	コマンド、アドレス、データの入出力端子です。 FD7~0 は MODE3/ $\overline{IRL7}$ 、MODE2/ $\overline{IRL6}$ 、 MODE1/ $\overline{IRL5}$ 、MODE0/ $\overline{IRL4}$ 、 MODE11/SCIF4_SCK、MODE10/SCIF4_RXD、 MODE9/SCIF4_TXD、MODE8/SCIF3_SCK とマルチ プレクスされています。
FCLE	コマンドラッチ イネーブル	出力	CLE	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。 MODE4/SCIF3_TXD とマルチプレクスされていま す。
FALE	アドレスラッチ イネーブル	出力	ALE	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネグートします。 MODE7/SCIF3_RXD とマルチプレクスされていま す。
FRE	リードイネーブル	出力	\overline{RE}	リードイネーブル (\overline{RE}) \overline{RE} の立ち下がりエッジでデータリードします。 SCIF0_SCK/HSPI_CLK とマルチプレクスされていま す。
FWE	ライトイネーブル (ローアクティブ)	出力	\overline{WE}	ライトイネーブル \overline{WE} の立ち上がりエッジでフラッシュメモリがコマ ンド、アドレスおよびデータをラッチします。 SCIF0_TXD/HSPI_TX/MODE8 とマルチプレクスさ れています。
FR/ \overline{B}	レディ/ビジー	入力	R/ \overline{B}	レディ/ビジー ハイレベルでレディ状態を、ローレベルでビジー状 態を示します。 SCIF0_RXD/HSPI_RX とマルチプレクスされていま す。

27. NAND フラッシュメモリコントローラ (FLCTL)

端子名	機能	入出力	対応するフラッシュ メモリの端子	説明
			NAND 型	
- *	-	-	\overline{WP}	ライトプロテクト/リセット ローレベルで電源投入切断時の偶発的消去/プログラムから保護します。
FSE	スベアエリア イネーブル (ローアクティブ)	出力	SE	スベアエリアイネーブル スベアエリアアクセス可能にする端子です。セクタ アクセスモードを使う場合は、ローレベル固定にし てください。 SCIF0_RTS/HSPI_CS とマルチプレクスされていま す。

【注】 * 本 LSI では、サポートしていません。

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3 レジスタの説明

FLCTL のレジスタ構成を表 27.2 に示します。また、各処理モードにおけるレジスタの状態を表 27.3 に示します。

表 27.2 レジスタ構成

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
共通コントロールレジスタ	FLCMNCR	R/W	H'FFE9 0000	H'1FE9 0000	32	Pck
コマンド制御レジスタ	FLCMDCR	R/W	H'FFE9 0004	H'1FE9 0004	32	Pck
コマンドコードレジスタ	FLCMCDR	R/W	H'FFE9 0008	H'1FE9 0008	32	Pck
アドレスレジスタ	FLADR	R/W	H'FFE9 000C	H'1FE9 000C	32	Pck
データレジスタ	FLDATAR	R/W	H'FFE9 0010	H'1FE9 0010	32	Pck
データカウンタレジスタ	FLDTCNTR	R/W	H'FFE9 0014	H'1FE9 0014	32	Pck
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFE9 0018	H'1FE9 0018	32	Pck
レディビジータイムアウト設定 レジスタ	FLBSYTMR	R/W	H'FFE9 001C	H'1FE9 001C	32	Pck
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FFE9 0020	H'1FE9 0020	32	Pck
データ FIFO レジスタ	FLDTFIFO	R/W	H'FFE9 0024	H'1FE9 0024	32	Pck
管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFE9 0028	H'1FE9 0028	32	Pck
転送制御レジスタ	FLTRCR	R/W	H'FFE9 002C	H'1FE9 002C	8	Pck
アドレスレジスタ 2	FLADR2	R/W	H'FFE9 003C	H'1FE9 003C	32	Pck

表 27.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ/ディープスリープ	モジュールスタンバイ
FLCMNCR	H'00000000	H'00000000	保持	保持
FLCMDCR	H'00000000	H'00000000	保持	保持
FLCMCDR	H'00000000	H'00000000	保持	保持
FLADR	H'00000000	H'00000000	保持	保持
FLDATAR	H'00000000	H'00000000	保持	保持
FLDTCNTR	H'00000000	H'00000000	保持	保持
FLINTDMACR	H'00000000	H'00000000	保持	保持
FLBSYTMR	H'00000000	H'00000000	保持	保持
FLBSYCNT	H'00000000	H'00000000	保持	保持
FLDTFIFO	不定	不定	保持	保持
FLECFIFO	不定	不定	保持	保持
FLTRCR	H'00	H'00	保持	保持
FLADR2	H'00000000	H'00000000	保持	保持

27.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ (NAND)、アクセスモードなどを指定します。また、 $\overline{\text{FCE}}$ 端子の出力を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SNAND	QTSEL	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCKSEL	—	—	—	ACM[1:0]	NANDWF	—	—	—	—	—	—	CE0	—	—	TYPESEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	名称	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1 ページの構成が 2048+64 バイトである NAND フラッシュメモリ指定のために使用します。 0: 1 ページの構成が 512+16 バイトのフラッシュメモリを選択します。 1: 1 ページの構成が 2048+64 バイトのフラッシュメモリを選択します。
17	QTSEL	0	R/W	フラッシュクロック 4 分周選択ビット 0: FCKSEL の値に従います 1: FCKSEL = 0 のとき FLCTL の動作クロック (Pck) を 4 分の 1 に分周して FCLK として使用します 【注】 FCKSEL=1 のときは、1 へ設定禁止。
16	-	0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15	FCKSEL	0	R/W	フラッシュクロック選択ビット 0: FLCTL の動作クロック (Pck) を 2 分の 1 に分周して FCLK として使用します 1: FLCTL の動作クロック (Pck) をそのまま FCLK として使用します
14~12	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止

27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	名称	初期値	R/W	説明
9	-	0	R/W	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
8~4	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
3	CE0	0	R/W	チップイネーブルビット0 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2、1	-	すべて0	R	リザーブビット 読み出しは0が読み出されます。書き込む値は常に0にしてください。
0	TYPESEL	0	R/W	メモリ選択ビット 0: リザーブ 1: NAND 型フラッシュメモリを選択します FLCTL 使用時は、必ずこのビットを1に設定してください。

27.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR CNT2	SCTCNT[19:16]				ADRMD	CDSRC	DOSR	—	—	SELRW	DOADR	ADRCNT[1:0]	DOCMD2	DOCMD1	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCTCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット アドレスステージで発行するアドレスデータのバイト数を指定します。 0 : ADRCNT1、ADRCNT0 で指定したバイト数だけアドレスを発行します。 1 : 5 バイトのアドレスを発行 ADRCNT1、ADRCNT0 は共に 0 を設定してください。
30 ~ 27	SCTCNT [19:16]	すべて 0	R/W	セクタ転送回数指定ビット [19:16] セクタ転送回数指定ビット SCTCNT[15:0] の拡張ビットです。 SCTCNT[19:16] と SCTCNT[15:0] はあわせて SCTCNT[19:0] の 20 ビットのカウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。 0 : アドレスレジスタの値は物理セクタ番号として処理されます セクタアクセス時は通常こちらを使用してください 1 : アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます 【注】連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージ*のリード / ライトするデータバッファを指定します。 0 : データバッファとして FLDATAR を指定 1 : データバッファとして FLDTFIFO を指定

27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	名称	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23, 22	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージ*を実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19, 18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット アドレスステージ*で発行するアドレスデータのバイト数を指定します。 00: 1 バイトのアドレスを発行 01: 2 バイトのアドレスを発行 10: 3 バイトのアドレスを発行 11: 4 バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ*実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ*実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 1セクタのアクセスの場合は、1を設定してください

【注】 * コマンドステージ、アドレスステージ、データステージについては図 27.2 を参照してください。

27.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD[15:8]								CMD[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
15~8	CMD[15:8]	H'00	R/W	第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD[7:0]	H'00	R/W	第 1 コマンドステージに発行するコマンドコードを指定します。

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでアドレスとして出力する値を指定します。セクタアクセスモードでは、物理セクタアドレスビットに指定された物理セクタ番号がアドレスに変換され、出力されます。

- コマンドアクセスモード時

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:8]								ADR[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31 ~ 24	ADR[31:24]	H'00	R/W	第 4 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23 ~ 16	ADR[23:16]	H'00	R/W	第 3 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15 ~ 8	ADR[15:8]	H'00	R/W	第 2 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7 ~ 0	ADR[7:0]	H'00	R/W	第 1 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

27. NAND フラッシュメモリコントローラ (FLCTL)

● セクタアクセスモード時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	ADR[25:16]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~26	-	すべて 0	R/W	リザーブビット FLCTL の動作モードにより不定になります。
25~0	ADR[25:0]	すべて 0	R/W	物理セクタアドレスビット セクタアクセスモードでアクセスする物理セクタ番号を指定します。 物理セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。 コマンド制御レジスタの ADRCNT2 ビットが 1 のときは ADR[25:0]、 ADRCNT2 が 0 のときは、ADR[17:0]が有効となります。

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、共通コントロールレジスタ ADRCNT2 ビットが 1 のとき有効となります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ADR[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7~0	ADR[7:0]	H'00	R/W	第 5 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

27.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数 (4 バイト) を示します。CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数 (4 バイト) を示します。CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048 + 64 バイトまで指定可能です)。

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT[31:24]								DT[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT[15:8]								DT[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31 ~ 24	DT[31:24]	H'00	R/W	第 4 データビット FD7 ~ 0 から 4 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します 読み出し時 : 読み出しデータが格納されます
23 ~ 16	DT[23:16]	H'00	R/W	第 3 データビット FD7 ~ 0 から 3 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します 読み出し時 : 読み出しデータが格納されます
15 ~ 8	DT[15:8]	H'00	R/W	第 2 データビット FD7 ~ 0 から 2 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します 読み出し時 : 読み出しデータが格納されます
7 ~ 0	DT[7:0]	H'00	R/W	第 1 データビット FD7 ~ 0 から 1 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します 読み出し時 : 読み出しデータが格納されます

27.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可 / 禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FIFOTRG[1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	STE RB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBER INTE	TE INTE	TR INTE1	TR INTE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31 ~ 22	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
21, 20	FIFOTRG[1:0]	00	R/W	FIFO トリガ設定ビット* FIFO の転送要求発生条件を切り替えます。 フラッシュメモリ読み出し時 00: FLDTFIFO に 4 バイト書き込まれたとき、CPU に割り込み。もしくは、DMA 転送要求を発生 01: FLDTFIFO に 16 バイト書き込まれたとき、CPU に割り込み。もしくは、DMA 転送要求を発生 10: FLDTFIFO に 128 バイト書き込まれたとき、CPU に割り込み。もしくは、DMA 転送要求を発生 11: FLDTFIFO に 128 バイト書き込まれたとき、CPU に割り込み。もしくは、16 バイトたまったとき、DMA 転送要求を発生 フラッシュメモリ書き込み時 00: FLDTFIFO に 4 バイト以上空きがあるとき、CPU に割り込み (DMA 転送設定しないでください) 01: FLDTFIFO に 16 バイト以上空きがあるとき、CPU に割り込み / DMA 転送要求を発生 10: FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み (DMA 転送設定しないでください) 11: FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み。もしくは、16 バイト以上空きがあるとき、DMA 転送要求を発生

27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	名称	初期値	R/W	説明
19	AC1CLR	0	R/W	FLECFIFO クリアビット FLECFIFO のアドレスカウンタをクリアします。 0: FLECFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は 0 に設定してください 1: FLECFIFO のアドレスカウンタ値をクリアします。クリア後は 0 に設定してください
18	AC0CLR	0	R/W	FLDTFIFO クリアビット FLDTFIFO のアドレスカウンタをクリアします。 0: FLDTFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は 0 に設定してください 1: FLDTFIFO のアドレスカウンタ値をクリアします。クリア後は 0 に設定してください
17	DREQ1EN	0	R/W	FLECFIFODMA リクエストイネーブルビット FLECFIFO からの DMA 転送要求発行許可 / 禁止を選択します。 0: FLECFIFO からの DMA 転送要求発行を禁止します 1: FLECFIFO からの DMA 転送要求発行を許可します
16	DREQ0EN	0	R/W	FLDTFIFODMA リクエストイネーブルビット FLDTFIFO からの DMA 転送要求発行許可 / 禁止を選択します。 0: FLDTFIFO からの DMA 転送要求発行を禁止します 1: FLDTFIFO からの DMA 転送要求発行を許可します
15~9	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
8	STERB	0	R/W	ステータスエラービット ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0]ビットの特定ビットが 1 であれば、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0: ステータスエラーなし (FLBSYCNT の STAT[7:0]ビットの特定ビットが 0 であったことを示します) 1: ステータスエラーが発生したことを示します 特定ビットに関しては「27.4.4 ステータスリード」を参照してください

27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	名称	初期値	R/W	説明
7	BTOERB	0	R/W	<p>タイムアウトエラービット</p> <p>タイムアウトエラーが発生した (FLBSYCNT の RBTIMCNT[20:0]ビットがカウントダウン後0になった) とき、本ビットに1がセットされます。</p> <p>本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。</p> <p>0: タイムアウトエラーなし 1: タイムアウトエラーが発生したことを示します</p>
6	TRREQF1	0	R/W	<p>FLECFIFO 転送要求フラグビット</p> <p>FLECFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。</p> <p>0: FLECFIFO からの転送要求は発生していません 1: FLECFIFO からの転送要求が発生したことを示します</p>
5	TRREQF0	0	R/W	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。</p> <p>0: FLDTFIFO からの転送要求は発生していません 1: FLDTFIFO からの転送要求が発生したことを示します</p>
4	STERINTE	0	R/W	<p>ステータスエラー発生時の割り込み許可ビット</p> <p>ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0: ステータスエラーによる CPU に対する割り込み禁止 1: ステータスエラーによる CPU に対する割り込み許可</p>
3	BTOINTE	0	R/W	<p>タイムアウトエラー発生時の割り込み許可ビット</p> <p>タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0: タイムアウトエラーによる CPU に対する割り込み禁止 1: タイムアウトエラーによる CPU に対する割り込み許可</p>
2	TEINTE	0	R/W	<p>転送終了割り込み許可ビット</p> <p>転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0: 転送終了による CPU に対する割り込み禁止 1: 転送終了による CPU に対する割り込み許可</p>

27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	名称	初期値	R/W	説明
1	TRINTE1	0	R/W	<p>CPU への FLECFIFO 転送要求許可ビット</p> <p>FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLECFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしているときは、本ビットを 0 に設定してください。</p>
0	TRINTE0	0	R/W	<p>CPU への FLDTFIFO 転送要求許可ビット</p> <p>FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしているときは、本ビットを 0 に設定してください。</p>

27.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	RBTMOUT[20:16]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
20~0	RBTMOUT[20:0]	H'00000	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を設定します。 ビジー状態のタイムアウトまでの時間を (Pck のクロック数で) 設定します。 0 に設定した場合、タイムアウトは発生しません。

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[20:0]ビットに設定したタイムアウト時間を RBTIMCNT[20:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[20:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	STAT[7:0]								—	—	—	RBTIMCNT[20:16]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	RBTIMCNT[15:0]																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	名称	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~21	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。
20~0	RBTIMCNT[20:0]	H'000000	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[20:0]ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

27.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:24]								DTFO[23:16]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:8]								DTFO[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	DTFO[31:24]	-	R/W	第 1 データビット FD7~0 から 1 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
23~16	DTFO[23:16]	-	R/W	第 2 データビット FD7~0 から 2 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
15~8	DTFO[15:8]	-	R/W	第 3 データビット FD7~0 から 3 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
7~0	DTFO[7:0]	-	R/W	第 4 データビット FD7~0 から 4 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます

27. NAND フラッシュメモリコントローラ (FLCTL)

27.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:24]								ECFO[23:16]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:8]								ECFO[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFO[31:24]	-	R/W	第1データビット FD7~0 から1番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
23~16	ECFO[23:16]	-	R/W	第2データビット FD7~0 から2番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
15~8	ECFO[15:8]	-	R/W	第3データビット FD7~0 から3番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
7~0	ECFO[7:0]	-	R/W	第4データビット FD7~0 から4番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます

27.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TREND	TRSTRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	名称	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。 0 : 転送停止 1 : 転送開始

27.4 動作説明

27.4.1 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。

27.4.2 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数などを設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用い DMA 転送が可能です。

(1) NAND 型フラッシュメモリ(512+16 バイト)のアクセス

図 27.2 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 6 バイトを指定した場合の動作です。

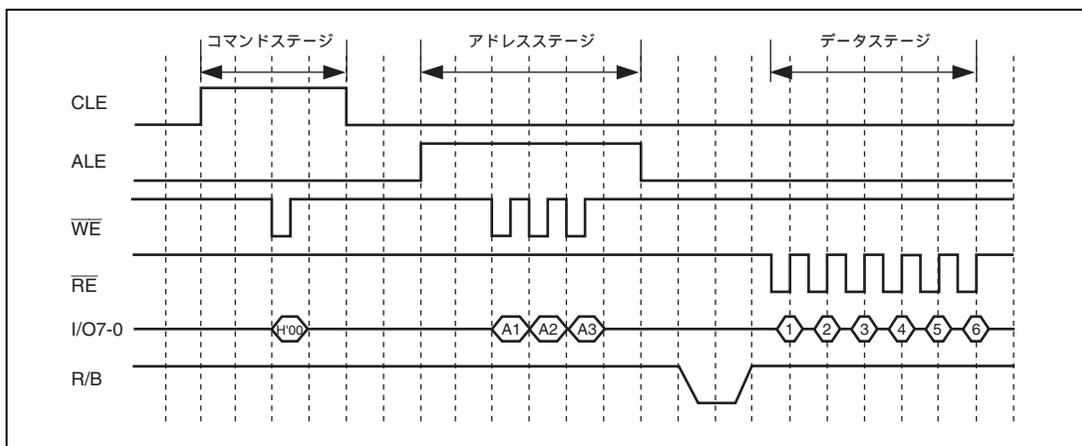


図 27.2 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 27.3、図 27.4 に NAND 型フラッシュメモリ(512+16 バイト)に対して書き込み動作を行った場合の波形を示します。

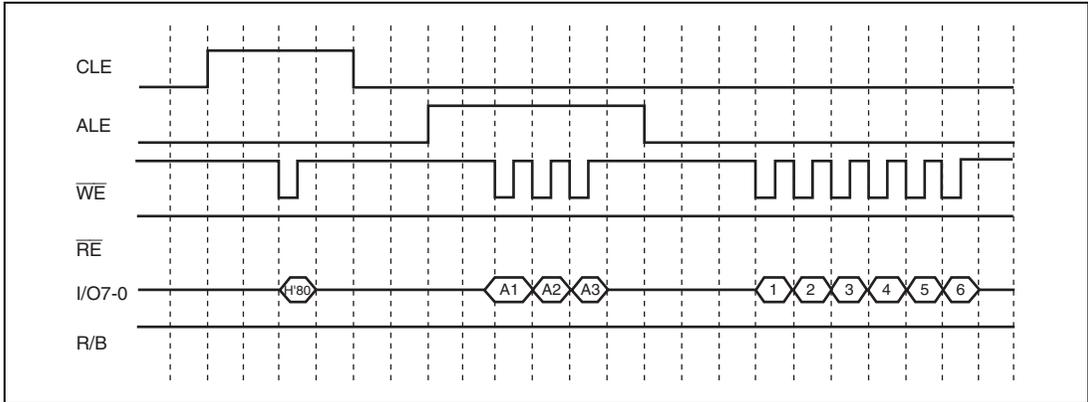


図 27.3 NAND 型フラッシュメモリの書き込み動作タイミング

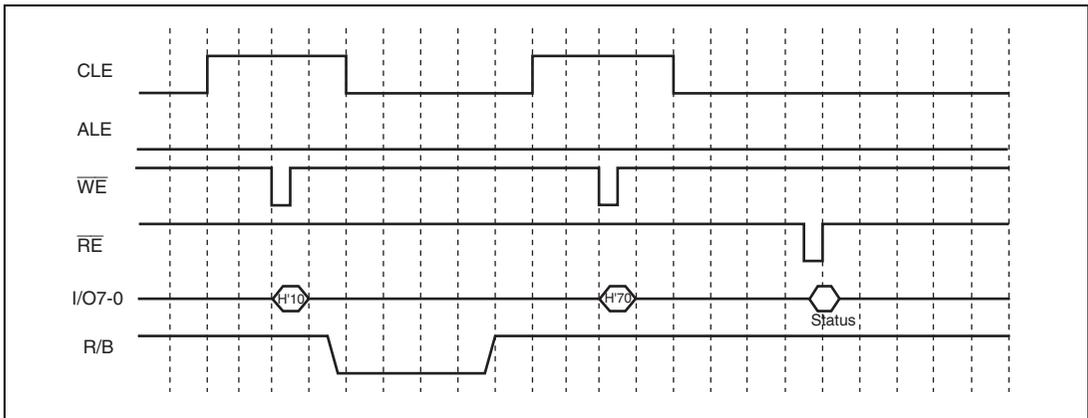


図 27.4 NAND 型フラッシュメモリのステータスリード動作タイミング

27. NAND フラッシュメモリコントローラ (FLCTL)

(2) NAND 型フラッシュメモリ(2048+64 バイト)のアクセス

図 27.5 NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

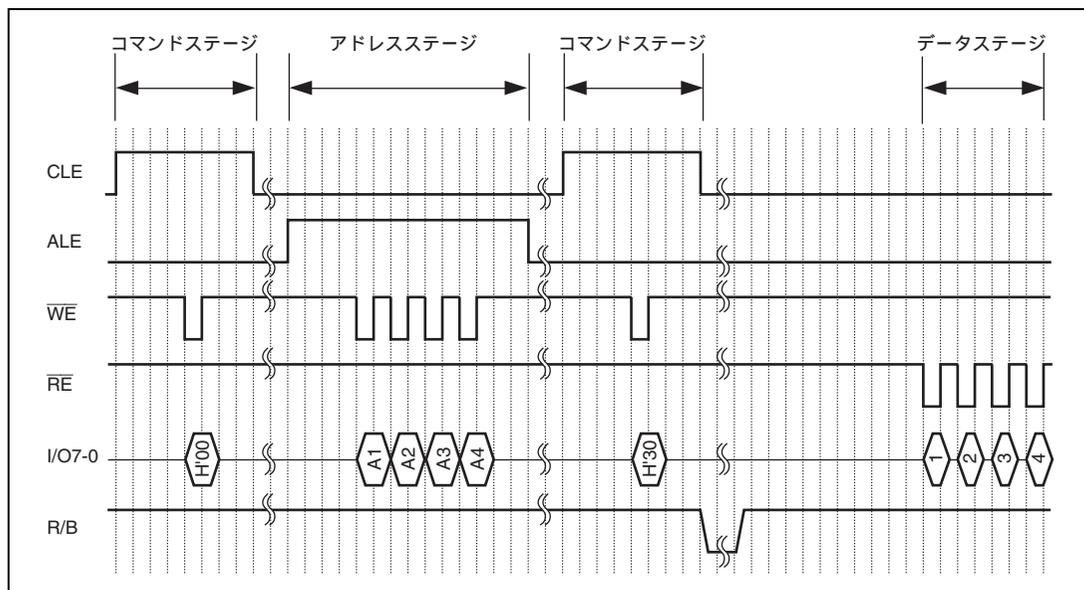


図 27.5 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 27.6、図 27.7 に NAND 型フラッシュメモリ(2048+64 バイト)に対して書き込み動作を行った場合の波形を示します。

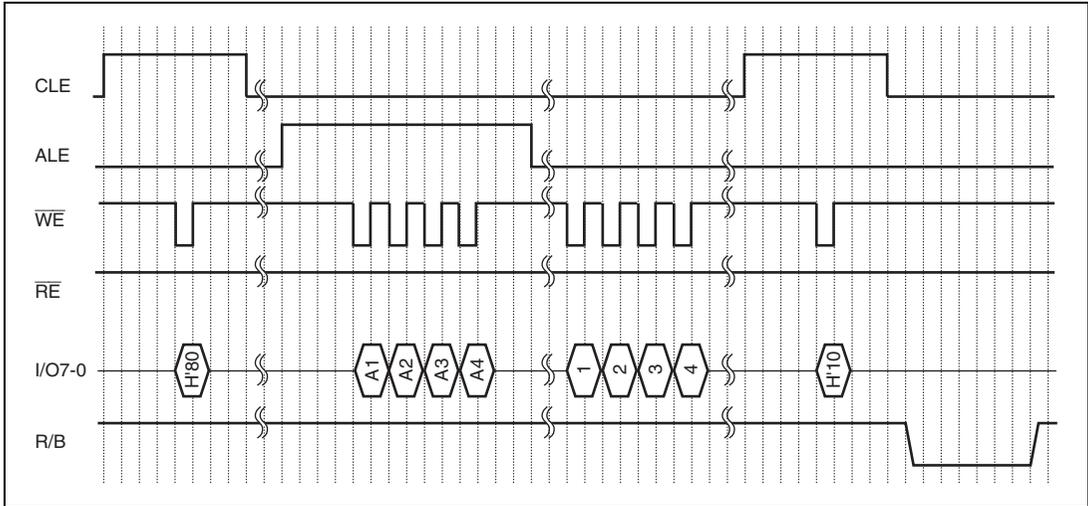


図 27.6 NAND 型フラッシュメモリの書き込み動作タイミング

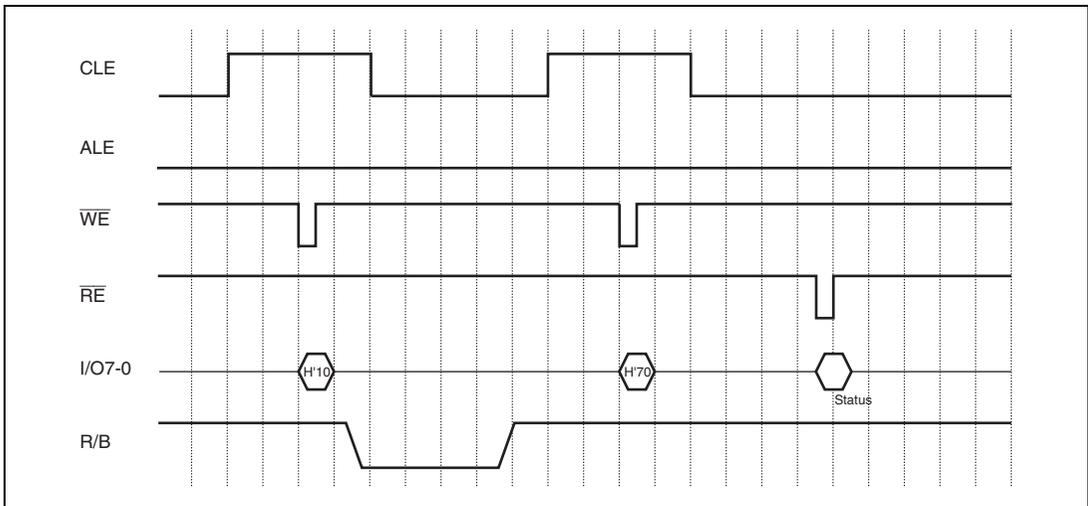


図 27.7 NAND 型フラッシュメモリのステータスリード動作タイミング

27.4.3 セクタアクセスモード

セクタアクセスモードでは、アクセスする物理セクタ番号を指定することによりセクタ単位のリードライトが可能です。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ(データ+管理コード)とアドレス空間上のメモリとの DMA 転送の関係を図 27.8 に示します。

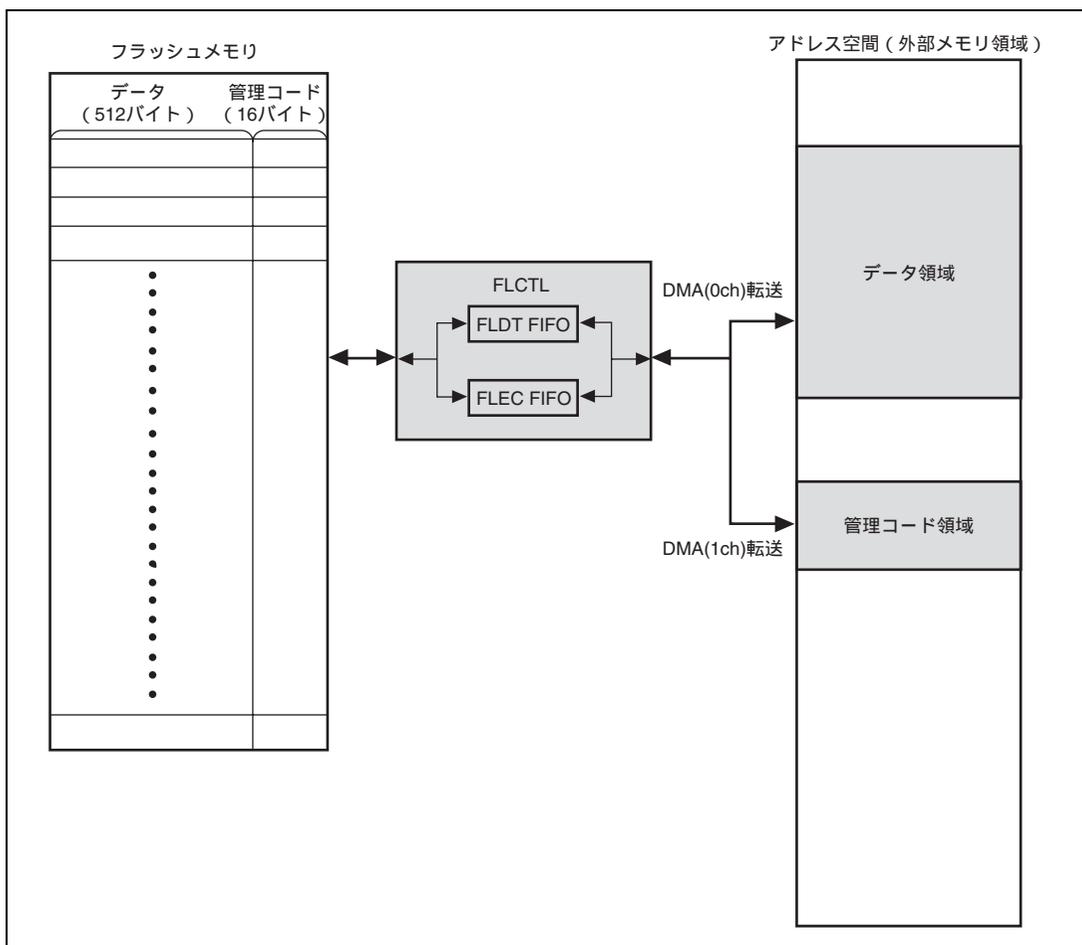


図 27.8 DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図

(1) 物理セクタ

NAND 型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図 27.9 に示します。

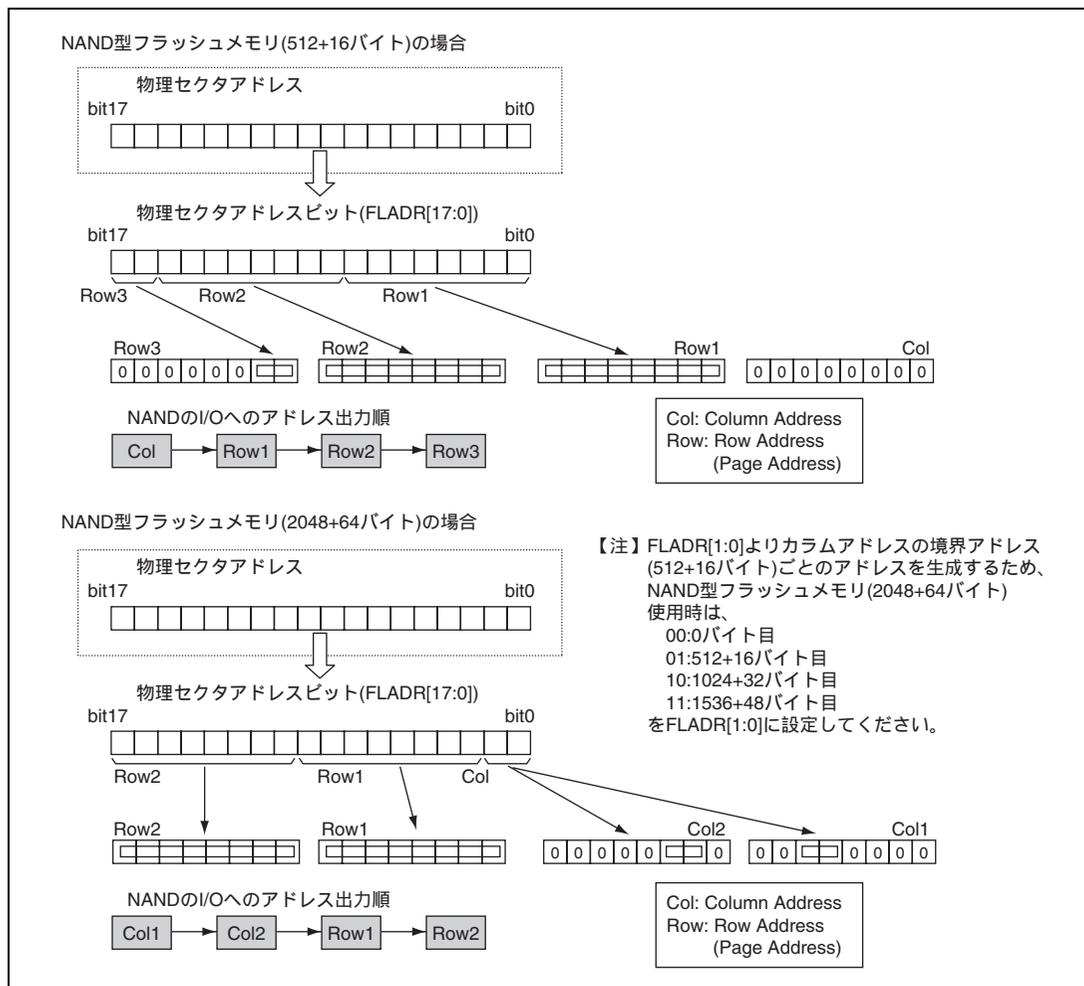


図 27.9 セクタ番号と NAND 型フラッシュメモリのアドレスの展開例

27. NAND フラッシュメモリコントローラ (FLCTL)

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭の物理セクタアドレスとセクタ転送回数を指定することにより、連続した物理セクタのリードライトが可能になります。途中で不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 27.10 にまとめます。

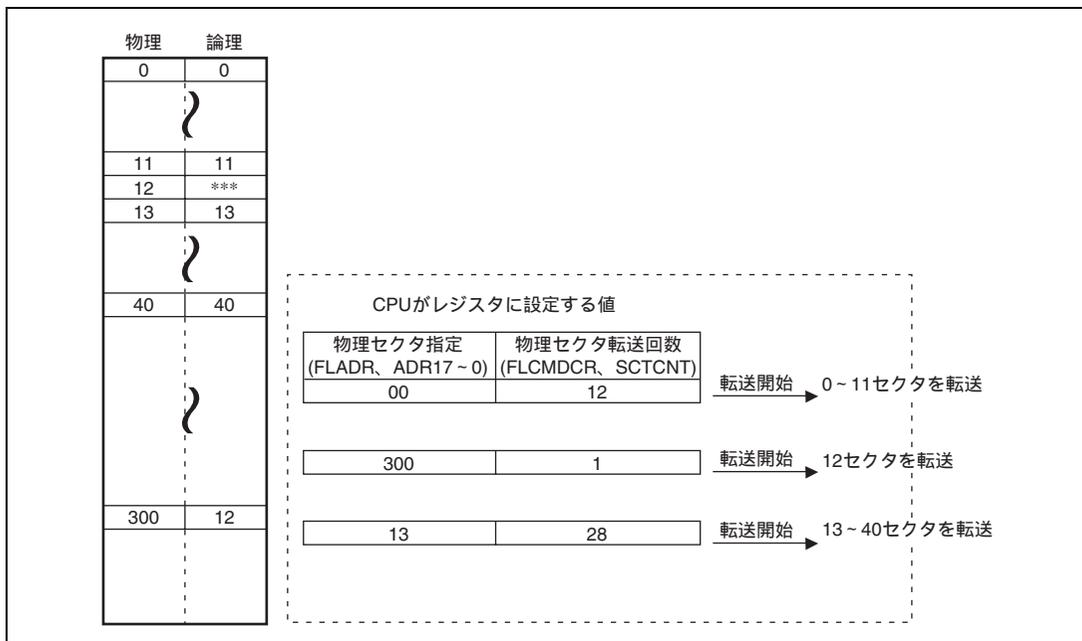


図 27.10 不良セクタがある場合のセクタアクセス例

27.4.4 ステータスリード

FLCTL は NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。NAND フラッシュメモリのステータスレジスタの値は I/O7~0 から入力され FLBSYCNT の STAT[7:0]ビットに格納されます。FLBSYCNT の STAT[7:0]ビットは CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT[7:0]ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。

(1) NAND 型フラッシュメモリ (512+16 バイト) のステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータ

スリードを行います。NAND型フラッシュメモリステータスリード時、I/O7~0から入力されるステータスレジスタ各ビットの意味を表27.4に示します。

表 27.4 NAND型フラッシュメモリ (512 + 16 バイト) のステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0: 書き込み不可 1: 書き込み可
I/O6	レディ / ビジー	0: ビジー状態 1: レディ状態
I/O5~1	リザーブ	-
I/O0	書き込み / 消去	0: Pass (成功) 1: Fail (失敗)

(2) NAND型フラッシュメモリ (2048 + 64 バイト) のステータスリード

NAND型フラッシュメモリのステータスリードは、NAND型フラッシュメモリに対し、コマンドH'70を入力することで実現できます。FLCMDCRのDOSRビットを1にセットし、コマンドアクセスモードまたはセクタアクセスモードでライトを実行すれば、FLCTLは自動的にH'70をNAND型フラッシュメモリに入力し、ステータスリードを行います。NAND型フラッシュメモリステータスリード時、I/O7~0から入力されるステータスレジスタ各ビットの意味を表27.5に示します。

表 27.5 NAND型フラッシュメモリ (2048 + 64 バイト) のステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0: 書き込み不可 1: 書き込み可
I/O6	レディ / ビジー	0: ビジー状態 1: レディ状態
I/O5	レディ / ビジー	0: ビジー状態 1: レディ状態
I/O4~1	リザーブ	0
I/O0	書き込み / 消去	0: Pass (成功) 1: Fail (失敗)

27.5 レジスタ設定の手順例

下記に各アクセスモードにおけるレジスタの設定例、起動の手順例を示します。

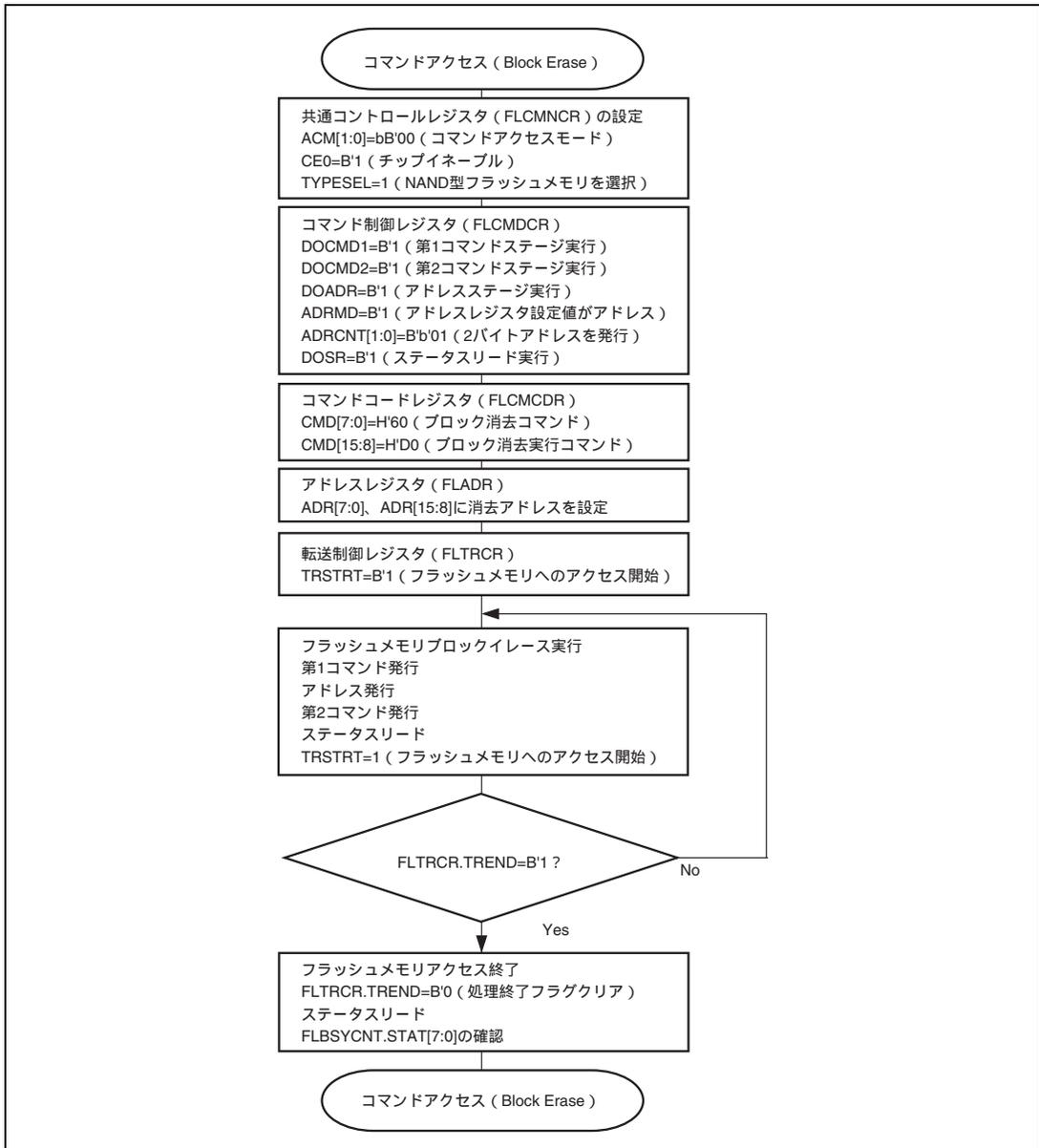


図 27.11 NAND コマンドアクセス (Block Erase)

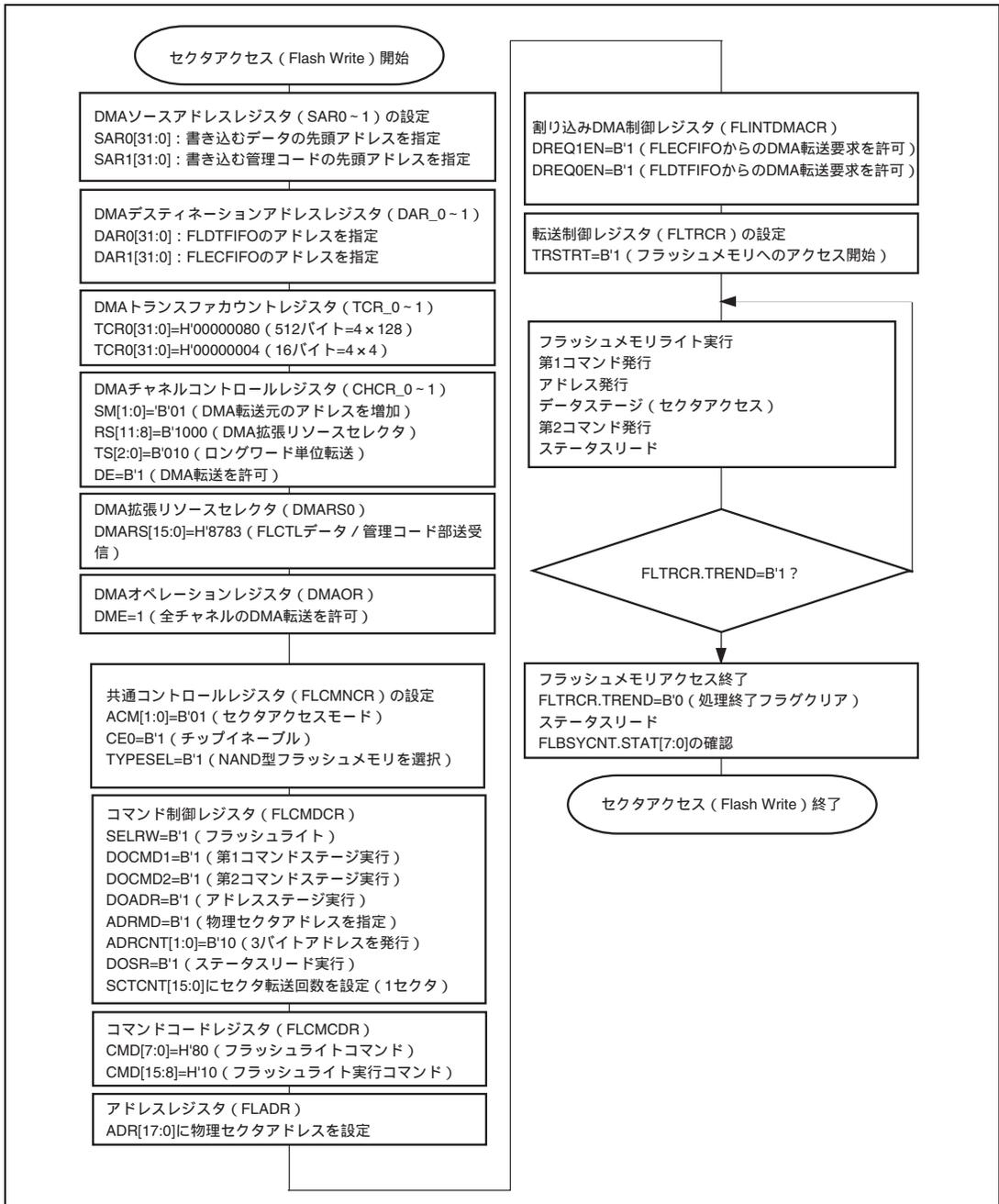


図 27.12 NAND セクタアクセス (Flash Write) DMAC 使用例

27. NAND フラッシュメモリコントローラ (FLCTL)

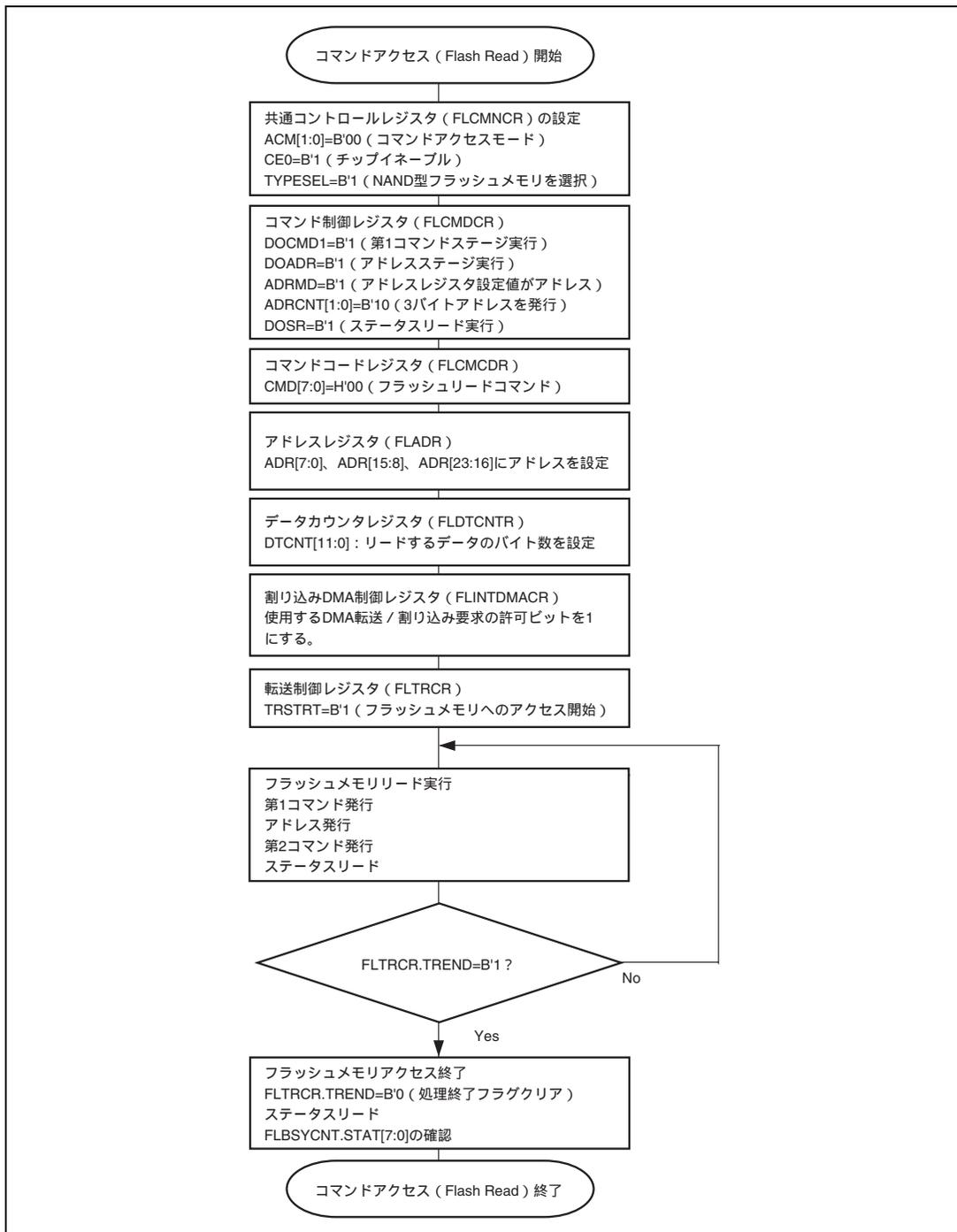


図 27.13 NAND コマンドアクセス (Flash Read)

27.6 割り込み処理

FLCTL には 4 種類の割り込み要因があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、独立した割り込み要求が発生します。ステータスエラーとレディ / ビジータイムアウトエラーは、共通の FLSTE 割り込みを使用します。

表 27.6 FLCTL の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味
FLSTE 割り込み	STERB	STERINTE	ステータスエラー
	BTOERB	RBERINTE	レディ / ビジータイムアウトエラー
FLTEND 割り込み	TREND	TEINTE	転送終了
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求

27.7 DMA 転送の設定

FLCTL はデータ FLDTFIFO と管理コード FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可 / 不可を表 27.7 に示します。

表 27.7 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

DMAC の設定については「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

27. NAND フラッシュメモリコントローラ (FLCTL)

28. 汎用入出力ポート (GPIO)

28.1 特長

本 LSI は 16 組 (入出力: 111 本) の汎用ポート (ポート A~H、J~N、P~R) があります。

GPIO (汎用入出力ポート) の各ポートは周辺モジュールの端子とマルチプレクスされており、GPIO、周辺モジュールの選択を行います。

GPIO には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり*

【注】 GPIO 割り込みの設定については「第 10 章 割り込みコントローラ (INTC)」を参照してください。

* GPIO 割り込みポートとして使用可能なポートについては表 28.1 を参照してください。

表 28.1 にポートコントロールレジスタで制御されるマルチプレクス端子を示します。

表 28.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
D63/AD31* ²	A	PA7 入出力	LBSC/PCIC	-
D62/AD30* ²	A	PA6 入出力	LBSC/PCIC	-
D61/AD29* ²	A	PA5 入出力	LBSC/PCIC	-
D60/AD28* ²	A	PA4 入出力	LBSC/PCIC	-
D59/AD27* ²	A	PA3 入出力	LBSC/PCIC	-
D58/AD26* ²	A	PA2 入出力	LBSC/PCIC	-
D57/AD25* ²	A	PA1 入出力	LBSC/PCIC	-
D56/AD24* ²	A	PA0 入出力	LBSC/PCIC	-
D55/AD23* ²	B	PB7 入出力	LBSC/PCIC	-
D54/AD22* ²	B	PB6 入出力	LBSC/PCIC	-
D53/AD21* ²	B	PB5 入出力	LBSC/PCIC	-
D52/AD20* ²	B	PB4 入出力	LBSC/PCIC	-
D51/AD19* ²	B	PB3 入出力	LBSC/PCIC	-
D50/AD18* ²	B	PB2 入出力	LBSC/PCIC	-
D49/AD17/DB5* ²	B	PB1 入出力	LBSC/PCIC/DU	-

28. 汎用入出力ポート (GPIO)

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
D48/AD16/DB4* ²	B	PB0 入出力	LBSC/PCIC/DU	-
D47/AD15/DB3* ²	C	PC7 入出力	LBSC/PCIC/DU	-
D46/AD14/DB2* ²	C	PC6 入出力	LBSC/PCIC/DU	-
D45/AD13/DB1* ²	C	PC5 入出力	LBSC/PCIC/DU	-
D44/AD12/DB0* ²	C	PC4 入出力	LBSC/PCIC/DU	-
D43/AD11/DG5* ²	C	PC3 入出力	LBSC/PCIC/DU	-
D42/AD10/DG4* ²	C	PC2 入出力	LBSC/PCIC/DU	-
D41/AD9/DG3* ²	C	PC1 入出力	LBSC/PCIC/DU	-
D40/AD8/DG2* ²	C	PC0 入出力	LBSC/PCIC/DU	-
D39/AD7/DG1* ²	D	PD7 入出力	LBSC/PCIC/DU	-
D38/AD6/DG0* ²	D	PD6 入出力	LBSC/PCIC/DU	-
D37/AD5/DR5* ²	D	PD5 入出力	LBSC/PCIC/DU	-
D36/AD4/DR4* ²	D	PD4 入出力	LBSC/PCIC/DU	-
D35/AD3/DR3* ²	D	PD3 入出力	LBSC/PCIC/DU	-
D34/AD2/DR2* ²	D	PD2 入出力	LBSC/PCIC/DU	-
D33/AD1/DR1* ²	D	PD1 入出力	LBSC/PCIC/DU	-
D32/AD0/DR0* ²	D	PD0 入出力	LBSC/PCIC/DU	-
REQ1	E	PE5 入出力	PCIC	
REQ2	E	PE4 入出力	PCIC	
REQ3* ¹	E	PE3 入出力	PCIC	
GNT1	E	PE2 入出力	PCIC	
GNT2	E	PE1 入出力	PCIC	
GNT3/MMCCLK* ¹	E	PE0 入出力	PCIC/MMCIF	
D31	F	PF7 入出力	LBSC	-
D30	F	PF6 入出力	LBSC	-
D29	F	PF5 入出力	LBSC	-
D28	F	PF4 入出力	LBSC	-
D27	F	PF3 入出力	LBSC	-
D26	F	PF2 入出力	LBSC	-
D25	F	PF1 入出力	LBSC	-
D24	F	PF0 入出力	LBSC	-
D23	G	PG7 入出力	LBSC	-
D22	G	PG6 入出力	LBSC	-
D21	G	PG5 入出力	LBSC	-
D20	G	PG4 入出力	LBSC	-
D19	G	PG3 入出力	LBSC	-
D18	G	PG2 入出力	LBSC	-

28. 汎用入出力ポート (GPIO)

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
D17	G	PG1 入出力	LBSC	-
D16	G	PG0 入出力	LBSC	-
SCIF1_SCK	H	PH7 入出力	SCIF[1]	-
SCIF1_RXD	H	PH6 入出力	SCIF[1]	-
SCIF1_TXD	H	PH5 入出力	SCIF[1]	-
SCIF0_CTS/INTD/FCE* ¹	H	PH4 入出力	SCIF[0]/PCIC/FLCTL	
SCIF0_RTS/HSPI_CS/FSE* ¹	H	PH3 入出力	SCIF[0]/HSPI/FLCTL	
SCIF0_SCK/HSPI_CLK/FRE* ¹	H	PH2 入出力	SCIF[0]/HSPI/FLCTL	
SCIF0_RXD/HSPI_RX/FRB* ¹	H	PH1 入出力	SCIF[0]/HSPI/FLCTL	
SCIF0_TXD/HSPI_TX/FWE* ¹	H	PH0 入出力	SCIF[0]/HSPI/FLCTL	-
SCIF5_TXD/HAC1_SYNC/SSI1_WS* ¹	J	PJ7 入出力	SCIF[5]/HAC[1]/SSI[1]	-
SIOF_TXD/HAC0_SDOUT/SSI0_SDATA* ¹	J	PJ6 入出力	SIOF/HAC[0]/SSI[0]	-
SIOF_RXD/HAC0_SDIN/SSI0_SCK* ¹	J	PJ5 入出力	SIOF/HAC[0]/SSI[0]	-
SIOF_SYNC/HAC0_SYNC/SSI0_WS* ¹	J	PJ4 入出力	SIOF/HAC[0]/SSI[0]	-
SIOF_MCLK/HAC_RES* ¹	J	PJ3 入出力	SIOF/HAC	-
SIOF_SCK/HAC0_BITCLK/SSI0_CLK* ¹	J	PJ2 入出力	SIOF/HAC[0]/SSI[0]	-
HAC1_BITCLK/SSI1_CLK* ¹	J	PJ1 入出力	HAC[1]/SSI[1]	-
MODE13/TCLK/IOIS16* ¹	J	PJ0 入出力	-/TMU/LBSC	-
STATUS0/DRAK0* ¹	K	PK7 入出力	[STATUS]/DMAC	-
STATUS1/DRAK1* ¹	K	PK6 入出力	[STATUS]/DMAC	-
DACK2/SCIF2_TXD/MMCCMD/SIOF_TXD* ¹	K	PK5 入出力	DMAC/SCIF[2]/MMCIF/SIOF	-
DACK3/SCIF2_SCK/MMCDAT/SIOF_SCK* ¹	K	PK4 入出力	DMAC/SCIF[2]/MMCIF/SIOF	-
DREQ0	K	PK3 入出力	DMAC	-
DREQ1	K	PK2 入出力	DMAC	-
DACK0	K	PK1 入出力	DMAC	-
DACK1	K	PK0 入出力	DMAC	-
DREQ2/INTB* ¹	L	PL7 入出力	DMAC/PCIC	
DREQ3/INTC* ¹	L	PL6 入出力	DMAC/PCIC	
DRAK2/CE2A* ¹	L	PL5 入出力	DMAC/LBSC	-
MODE0/IRL4/FD4* ¹	L	PL4 入出力	-/INTC/FLCTL	-
MODE1/IRL5/FD5* ¹	L	PL3 入出力	-/INTC/FLCTL	-
MODE2/IRL6/FD6* ¹	L	PL2 入出力	-/INTC/FLCTL	-
MODE3/IRL7/FD7* ¹	L	PL1 入出力	-/INTC/FLCTL	-
MODE12/DRAK3/CE2B* ¹	L	PL0 入出力	-/DMAC/LBSC	-
BREQ/BSACK	M	PM1 入出力	LBSC	-
BACK/BSREQ	M	PM0 入出力	LBSC	-
SCIF5_RXD/HAC1_SDIN/SSI1_SCK* ¹	N	PN7 入出力	SCIF[5]/HAC[1]/SSI[1]	-

28. 汎用入出力ポート (GPIO)

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
SCIF5_SCK/HAC1_SDOOUT/SSI1_SDATA* ¹	N	PN6 入出力	SCIF[5]/HAC[1]/SSI[1]	-
MODE4/SCIF3_TXD/FCLE* ¹	N	PN5 入出力	-/SCIF[3]/FLCTL	-
MODE7/SCIF3_RXD/FALE* ¹	N	PN4 入出力	-/SCIF[3]/FLCTL	-
MODE8/SCIF3_SCK/FD0* ¹	N	PN3 入出力	-/SCIF[3]/FLCTL	-
MODE9/SCIF4_TXD/FD1* ¹	N	PN2 入出力	-/SCIF[4]/FLCTL	-
MODE10/SCIF4_RXD/FD2* ¹	N	PN1 入出力	-/SCIF[4]/FLCTL	-
MODE11/SCIF4_SCK/FD3* ¹	N	PN0 入出力	-/SCIF[4]/FLCTL	-
DEVSEL/DCLKOUT* ²	P	PP5 入出力	PCIC/DU	-
STOP/CDE* ²	P	PP4 入出力	PCIC/DU	-
LOCK/ODDF* ²	P	PP3 入出力	PCIC/DU	-
TRDY/DISP* ²	P	PP2 入出力	PCIC/DU	-
IRDY/HSYNC* ²	P	PP1 入出力	PCIC/DU	-
PCIFRAME/VSYNC* ²	P	PP0 入出力	PCIC/DU	-
INTA	Q	PQ4 入出力	PCIC	-
GNT0/GNTIN	Q	PQ3 入出力	PCIC	-
REQ0/REQOUT	Q	PQ2 入出力	PCIC	-
PERR	Q	PQ1 入出力	PCIC	-
SERR	Q	PQ0 入出力	PCIC	-
WE7/CBE3* ²	R	PR3 入出力	LBSC/PCIC	-
WE6/CBE2* ²	R	PR2 入出力	LBSC/PCIC	-
WE5/CBE1* ²	R	PR1 入出力	LBSC/PCIC	-
WE4/CBE0* ²	R	PR0 入出力	LBSC/PCIC	-
PCICLK/DCLKIN* ²	-	-	PCIC/DU	-
SCIF2_RXD/SIOF_RXD* ¹	-	-	SCIF[2]/SIOF	-
MODE5/SIOF_MCLK* ¹	-	-	-/SIOF	-
MODE6/SIOF_SYNC* ¹	-	-	-/SIOF	-
MRESETOUT/IRQOUT* ¹	-	-	RESET/INTC	-

【注】 *1 周辺モジュールセレクトレジスタ 1、2 (P1MSELR、P2MSELR) により、これらの端子を使用するモジュールを選択できます。

*2 バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。
バスモード端子の設定の詳細は、付録を参照してください。

28.2 レジスタの説明

GPIO 制御には、以下のレジスタがあります。

表 28.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス*1	エリア7 アドレス*1	アクセス サイズ*2	同期 クロック
ポート A コントロールレジスタ	PACR	R/W	H'FFE7 0000	H'1FE7 0000	16	Pck
ポート B コントロールレジスタ	PBCR	R/W	H'FFE7 0002	H'1FE7 0002	16	Pck
ポート C コントロールレジスタ	PCCR	R/W	H'FFE7 0004	H'1FE7 0004	16	Pck
ポート D コントロールレジスタ	PDCR	R/W	H'FFE7 0006	H'1FE7 0006	16	Pck
ポート E コントロールレジスタ	PECR	R/W	H'FFE7 0008	H'1FE7 0008	16	Pck
ポート F コントロールレジスタ	PFDR	R/W	H'FFE7 000A	H'1FE7 000A	16	Pck
ポート G コントロールレジスタ	PGCR	R/W	H'FFE7 000C	H'1FE7 000C	16	Pck
ポート H コントロールレジスタ	PHCR	R/W	H'FFE7 000E	H'1FE7 000E	16	Pck
ポート J コントロールレジスタ	PJCR	R/W	H'FFE7 0010	H'1FE7 0010	16	Pck
ポート K コントロールレジスタ	PKCR	R/W	H'FFE7 0012	H'1FE7 0012	16	Pck
ポート L コントロールレジスタ	PLCR	R/W	H'FFE7 0014	H'1FE7 0014	16	Pck
ポート M コントロールレジスタ	PMCR	R/W	H'FFE7 0016	H'1FE7 0016	16	Pck
ポート N コントロールレジスタ	PNCR	R/W	H'FFE7 0018	H'1FE7 0018	16	Pck
ポート P コントロールレジスタ	PPCR	R/W	H'FFE7 001A	H'1FE7 001A	16	Pck
ポート Q コントロールレジスタ	PQCR	R/W	H'FFE7 001C	H'1FE7 001C	16	Pck
ポート R コントロールレジスタ	PRCR	R/W	H'FFE7 001E	H'1FE7 001E	16	Pck
ポート A データレジスタ	PADR	R/W	H'FFE7 0020	H'1FE7 0020	8	Pck
ポート B データレジスタ	PBDR	R/W	H'FFE7 0022	H'1FE7 0022	8	Pck
ポート C データレジスタ	PCDR	R/W	H'FFE7 0024	H'1FE7 0024	8	Pck
ポート D データレジスタ	PDDR	R/W	H'FFE7 0026	H'1FE7 0026	8	Pck
ポート E データレジスタ	PEDR	R/W	H'FFE7 0028	H'1FE7 0028	8	Pck
ポート F データレジスタ	PFDR	R/W	H'FFE7 002A	H'1FE7 002A	8	Pck
ポート G データレジスタ	PGDR	R/W	H'FFE7 002C	H'1FE7 002C	8	Pck
ポート H データレジスタ	PHDR	R/W	H'FFE7 002E	H'1FE7 002E	8	Pck
ポート J データレジスタ	PJDR	R/W	H'FFE7 0030	H'1FE7 0030	8	Pck
ポート K データレジスタ	PKDR	R/W	H'FFE7 0032	H'1FE7 0032	8	Pck
ポート L データレジスタ	PLDR	R/W	H'FFE7 0034	H'1FE7 0034	8	Pck
ポート M データレジスタ	PMDR	R/W	H'FFE7 0036	H'1FE7 0036	8	Pck
ポート N データレジスタ	PNDR	R/W	H'FFE7 0038	H'1FE7 0038	8	Pck
ポート P データレジスタ	PPDR	R/W	H'FFE7 003A	H'1FE7 003A	8	Pck
ポート Q データレジスタ	PQDR	R/W	H'FFE7 003C	H'1FE7 003C	8	Pck

28. 汎用入出力ポート (GPIO)

名称	略称	R/W	P4 アドレス* ¹	エリア7 アドレス* ¹	アクセス サイズ* ²	同期 クロック
ポート R データレジスタ	PRDR	R/W	H'FFE7 003E	H'1FE7 003E	8	Pck
ポート E ブルアップ制御レジスタ	PEPUPR	R/W	H'FFE7 0048	H'1FE7 0048	8	Pck
ポート H ブルアップ制御レジスタ	PHPUPR	R/W	H'FFE7 004E	H'1FE7 004E	8	Pck
ポート J ブルアップ制御レジスタ	PJPUPR	R/W	H'FFE7 0050	H'1FE7 0050	8	Pck
ポート K ブルアップ制御レジスタ	PKPUPR	R/W	H'FFE7 0052	H'1FE7 0052	8	Pck
ポート L ブルアップ制御レジスタ	PLPUPR	R/W	H'FFE7 0054	H'1FE7 0054	8	Pck
ポート M ブルアップ制御レジスタ	PMPUPR	R/W	H'FFE7 0056	H'1FE7 0056	8	Pck
ポート N ブルアップ制御レジスタ	PNPUPR	R/W	H'FFE7 0058	H'1FE7 0058	8	Pck
入力端子ブルアップ制御レジスタ 1	PPUPR1	R/W	H'FFE7 0060	H'1FE7 0060	16	Pck
入力端子ブルアップ制御レジスタ 2	PPUPR2	R/W	H'FFE7 0062	H'1FE7 0062	16	Pck
周辺モジュールセレクトレジスタ 1	P1MSELR	R/W	H'FFE7 0080	H'1FE7 0080	16	Pck
周辺モジュールセレクトレジスタ 2	P2MSELR	R/W	H'FFE7 0082	H'1FE7 0082	16	Pck

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

*2 レジスタには 16 ビットアクセスのレジスタと 8 ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

表 28.2 レジスタ構成 (2)

名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重 例外による	スリープ Sleep 命令 による	モジュール スタンバイ	ディープ スリープ
ポート A コントロールレジスタ	PACR	H'0000	保持	保持	保持	保持
ポート B コントロールレジスタ	PBCR	H'0000	保持	保持	保持	保持
ポート C コントロールレジスタ	PCCR	H'0000	保持	保持	保持	保持
ポート D コントロールレジスタ	PDCR	H'0000	保持	保持	保持	保持
ポート E コントロールレジスタ	PECR	H'00C3	保持	保持	保持	保持
ポート F コントロールレジスタ	PFCR	H'0000	保持	保持	保持	保持
ポート G コントロールレジスタ	PGCR	H'0000	保持	保持	保持	保持
ポート H コントロールレジスタ	PHCR	H'FFFF	保持	保持	保持	保持
ポート J コントロールレジスタ	PJCR	H'FFFF	保持	保持	保持	保持
ポート K コントロールレジスタ	PKCR	H'0FFF	保持	保持	保持	保持
ポート L コントロールレジスタ	PLCR	H'FFFF	保持	保持	保持	保持
ポート M コントロールレジスタ	PMCR	H'FFF0	保持	保持	保持	保持
ポート N コントロールレジスタ	PNCR	H'FFFF	保持	保持	保持	保持

28. 汎用入出力ポート (GPIO)

名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重 例外による	スリープ Sleep 命令 による	モジュール スタンバイ	ディープ スリープ
ポート P コントロールレジスタ	PPCR	H'0000	保持	保持	保持	保持
ポート Q コントロールレジスタ	PQCR	H'0000	保持	保持	保持	保持
ポート R コントロールレジスタ	PRCR	H'0000	保持	保持	保持	保持
ポート A データレジスタ	PADR	H'00	保持	保持	保持	保持
ポート B データレジスタ	PBDR	H'00	保持	保持	保持	保持
ポート C データレジスタ	PCDR	H'00	保持	保持	保持	保持
ポート D データレジスタ	PDDR	H'00	保持	保持	保持	保持
ポート E データレジスタ	PEDR	H'0x	保持	保持	保持	保持
ポート F データレジスタ	PFDR	H'00	保持	保持	保持	保持
ポート G データレジスタ	PGDR	H'00	保持	保持	保持	保持
ポート H データレジスタ	PHDR	H'00	保持	保持	保持	保持
ポート J データレジスタ	PJDR	H'xx	保持	保持	保持	保持
ポート K データレジスタ	PKDR	H'xx	保持	保持	保持	保持
ポート L データレジスタ	PLDR	H'xx	保持	保持	保持	保持
ポート M データレジスタ	PMDR	H'xx	保持	保持	保持	保持
ポート N データレジスタ	PNDR	H'xx	保持	保持	保持	保持
ポート P データレジスタ	PPDR	H'00	保持	保持	保持	保持
ポート Q データレジスタ	PQDR	H'00	保持	保持	保持	保持
ポート R データレジスタ	PRDR	H'00	保持	保持	保持	保持
ポート E ブルアップ制御レジスタ	PEPUPR	H'FF	保持	保持	保持	保持
ポート H ブルアップ制御レジスタ	PHPUPR	H'FF	保持	保持	保持	保持
ポート J ブルアップ制御レジスタ	PJPUPR	H'FF	保持	保持	保持	保持
ポート K ブルアップ制御レジスタ	PKPUPR	H'FF	保持	保持	保持	保持
ポート L ブルアップ制御レジスタ	PLPUPR	H'FF	保持	保持	保持	保持
ポート M ブルアップ制御レジスタ	PMPUPR	H'FF	保持	保持	保持	保持
ポート N ブルアップ制御レジスタ	PNPUPR	H'FF	保持	保持	保持	保持
入力端子ブルアップ制御レジスタ 1	PPUPR1	H'FFFF	保持	保持	保持	保持
入力端子ブルアップ制御レジスタ 2	PPUPR2	H'FFFF	保持	保持	保持	保持
周辺モジュールセレクトレジスタ 1	P1MSELR	H'0000	保持	保持	保持	保持
周辺モジュールセレクトレジスタ 2	P2MSELR	H'0000	保持	保持	保持	保持

28. 汎用入出力ポート (GPIO)

28.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0	PA4 MD1	PA4 MD0	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15 14	PA7MD1 PA7MD0	0 0	R/W R/W	PA7 モード 00 : LBSC/PCIC モジュール機能 (D63/AD31) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13 12	PA6MD1 PA6MD0	0 0	R/W R/W	PA6 モード 00 : LBSC/PCIC モジュール機能 (D62/AD30) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11 10	PA5MD1 PA5MD0	0 0	R/W R/W	PA5 モード 00 : LBSC/PCIC モジュール機能 (D61/AD29) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9 8	PA4MD1 PA4MD0	0 0	R/W R/W	PA4 モード 00 : LBSC/PCIC モジュール機能 (D60/AD28) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
7 6	PA3MD1 PA3MD0	0 0	R/W R/W	PA3 モード 00 : LBSC/PCIC モジュール機能 (D59/AD27) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PA2MD1 PA2MD0	0 0	R/W R/W	PA2 モード 00 : LBSC/PCIC モジュール機能 (D58/AD26) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PA1MD1 PA1MD0	0 0	R/W R/W	PA1 モード 00 : LBSC/PCIC モジュール機能 (D57/AD25) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PA0MD1 PA0MD0	0 0	R/W R/W	PA0 モード 00 : LBSC/PCIC モジュール機能 (D56/AD24) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。
バスモード端子の設定の詳細は、付録を参照してください。

28. 汎用入出力ポート (GPIO)

28.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PB7MD1	0	R/W	PB7 モード 00 : LBSC/PCIC モジュール機能 (D55/AD23) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PB7MD0	0	R/W	
13	PB6MD1	0	R/W	PB6 モード 00 : LBSC/PCIC モジュール機能 (D54/AD22) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PB6MD0	0	R/W	
11	PB5MD1	0	R/W	PB5 モード 00 : LBSC/PCIC モジュール機能 (D53/AD21) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PB5MD0	0	R/W	
9	PB4MD1	0	R/W	PB4 モード 00 : LBSC/PCIC モジュール機能 (D52/AD20) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PB4MD0	0	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
7 6	PB3MD1 PB3MD0	0 0	R/W R/W	PB3 モード 00 : LBSC/PCIC モジュール機能 (D51/AD19) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PB2MD1 PB2MD0	0 0	R/W R/W	PB2 モード 00 : LBSC/PCIC モジュール機能 (D50/AD18) * バスモード端子 (MODE11、MODE12) によりバスモードが DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PB1MD1 PB1MD0	0 0	R/W R/W	PB1 モード 00 : LBSC/PCIC/DU モジュール機能 (D49/AD17/DB5) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PB0MD1 PB0MD0	0 0	R/W R/W	PB0 モード 00 : LBSC/PCIC/DU モジュール機能 (D48/AD16/DB4) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 バスモード端子の設定の詳細は、付録を参照してください。

* バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	PC5 MD1	PC5 MD0	PC4 MD1	PC4 MD0	PC3 MD1	PC3 MD0	PC2 MD1	PC2 MD0	PC1 MD1	PC1 MD0	PC0 MD1	PC0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	0	R/W	PC7 モード 00 : LBSC/PCIC/DU モジュール機能 (D47/AD15/DB3) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PC7MD0	0	R/W	
13	PC6MD1	0	R/W	PC6 モード 00 : LBSC/PCIC/DU モジュール機能 (D46/AD14/DB2) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PC6MD0	0	R/W	
11	PC5MD1	0	R/W	PC5 モード 00 : LBSC/PCIC/DU モジュール機能 (D45/AD13/DB1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PC5MD0	0	R/W	
9	PC4MD1	0	R/W	PC4 モード 00 : LBSC/PCIC/DU モジュール機能 (D44/AD12/DB0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PC4MD0	0	R/W	
7	PC3MD1	0	R/W	PC3 モード 00 : LBSC/PCIC/DU モジュール機能 (D43/AD11/DG5) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PC3MD0	0	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PC2MD1 PC2MD0	0 0	R/W R/W	PC2 モード 00 : LBSC/PCIC/DU モジュール機能 (D42/AD10/DG4) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PC1MD1 PC1MD0	0 0	R/W R/W	PC1 モード 00 : LBSC/PCIC/DU モジュール機能 (D41/AD9/DG3) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PC0MD1 PC0MD0	0 0	R/W R/W	PC0 モード 00 : LBSC/PCIC/DU モジュール機能 (D40/AD8/DG2) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 バスモード端子の設定の詳細は、付録を参照してください。

* バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	0	R/W	PD7 モード 00 : LBSC/PCIC/DU モジュール機能 (D39/AD7/DG1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PD7MD0	0	R/W	
13	PD6MD1	0	R/W	PD6 モード 00 : LBSC/PCIC/DU モジュール機能 (D38/AD6/DG0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PD6MD0	0	R/W	
11	PD5MD1	0	R/W	PD5 モード 00 : LBSC/PCIC/DU モジュール機能 (D37/AD5/DR5) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PD5MD0	0	R/W	
9	PD4MD1	0	R/W	PD4 モード 00 : LBSC/PCIC/DU モジュール機能 (D36/AD4/DR4) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PD4MD0	0	R/W	
7	PD3MD1	0	R/W	PD3 モード 00 : LBSC/PCIC/DU モジュール機能 (D35/AD3/DR3) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PD3MD0	0	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PD2MD1 PD2MD0	0 0	R/W R/W	PD2 モード 00 : LBSC/PCIC/DU モジュール機能 (D34/AD2/DR2) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PD1MD1 PD1MD0	0 0	R/W R/W	PD1 モード 00 : LBSC/PCIC/DU モジュール機能 (D33/AD1/DR1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PD0MD1 PD0MD0	0 0	R/W R/W	PD0 モード 00 : LBSC/PCIC/DU モジュール機能 (D32/AD0/DR0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 バスモード端子の設定の詳細は、付録を参照してください。

* バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PE5 MD1	PE5 MD0	PE4 MD1	PE4 MD0	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11 10	PE5MD1 PE5MD0	0 0	R/W R/W	PE5 モード 00: PCIC モジュール機能 ($\overline{REQ1}$) バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス、DU 選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9 8	PE4MD1 PE4MD0	0 0	R/W R/W	PE4 モード 00: PCIC モジュール機能 ($\overline{REQ2}$) バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス、DU 選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7 6	PE3MD1 PE3MD0	1 1	R/W R/W	PE3 モード 00: PCIC モジュール機能 ($\overline{REQ3}$)* 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PE2MD1 PE2MD0	0 0	R/W R/W	<p>PE2 モード</p> <p>00 : PCIC モジュール機能 ($\overline{\text{GNT1}}$)</p> <p>バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス、DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。</p> <p>01 : ポート出力</p> <p>10 : ポート入力 (プルアップ MOS : オフ)</p> <p>11 : ポート入力 (プルアップ MOS : オン)</p>
3 2	PE1MD1 PE1MD0	0 0	R/W R/W	<p>PE1 モード</p> <p>00 : PCIC モジュール機能 ($\overline{\text{GNT2}}$)</p> <p>バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス、DU 選択時は、ポート入力 (プルアップ MOS : オン) となります。</p> <p>01 : ポート出力</p> <p>10 : ポート入力 (プルアップ MOS : オフ)</p> <p>11 : ポート入力 (プルアップ MOS : オン)</p>
1 0	PE0MD1 PE0MD0	1 1	R/W R/W	<p>PE0 モード</p> <p>00 : PCIC/MMCIF モジュール機能 ($\overline{\text{GNT3/MMCCLK}}$)*</p> <p>01 : ポート出力</p> <p>10 : ポート入力 (プルアップ MOS : オフ)</p> <p>11 : ポート入力 (プルアップ MOS : オン)</p>

【注】 * 周辺モジュールセレクトレジスタ 2 (P2MSELR) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

Bit:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7 MD1	PF7 MD0	PF6 MD1	PF6 MD0	PF5 MD1	PF5 MD0	PF4 MD1	PF4 MD0	PF3 MD1	PF3 MD0	PF2 MD1	PF2 MD0	PF1 MD1	PF1 MD0	PF0 MD1	PF0 MD0
Initial value:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PF7MD1	0	R/W	PF7 モード
14	PF7MD0	0	R/W	00 : LBSC モジュール機能 (D31) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13	PF6MD1	0	R/W	PF6 モード
12	PF6MD0	0	R/W	00 : LBSC モジュール機能 (D30) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11	PF5MD1	0	R/W	PF5 モード
10	PF5MD0	0	R/W	00 : LBSC モジュール機能 (D29) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9	PF4MD1	0	R/W	PF4 モード
8	PF4MD0	0	R/W	00 : LBSC モジュール機能 (D28) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7	PF3MD1	0	R/W	PF3 モード
6	PF3MD0	0	R/W	00 : LBSC モジュール機能 (D27) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PF2MD1 PF2MD0	0 0	R/W R/W	PF2 モード 00 : LBSC モジュール機能 (D26) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PF1MD1 PF1MD0	0 0	R/W R/W	PF1 モード 00 : LBSC モジュール機能 (D25) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PF0MD1 PF0MD0	0 0	R/W R/W	PF0 モード 00 : LBSC モジュール機能 (D24) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

28. 汎用入出力ポート (GPIO)

28.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7 MD1	PG7 MD0	PG6 MD1	PG6 MD0	PG5 MD1	PG5 MD0	PG4 MD1	PG4 MD0	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	PG1 MD1	PG1 MD0	PG0 MD1	PG0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PG7MD1	0	R/W	PG7 モード
14	PG7MD0	0	R/W	00 : LBSC モジュール機能 (D23) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13	PG6MD1	0	R/W	PG6 モード
12	PG6MD0	0	R/W	00 : LBSC モジュール機能 (D22) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11	PG5MD1	0	R/W	PG5 モード
10	PG5MD0	0	R/W	00 : LBSC モジュール機能 (D21) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9	PG4MD1	0	R/W	PG4 モード
8	PG4MD0	0	R/W	00 : LBSC モジュール機能 (D20) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7	PG3MD1	0	R/W	PG3 モード
6	PG3MD0	0	R/W	00 : LBSC モジュール機能 (D19) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PG2MD1 PG2MD0	0 0	R/W R/W	PG2 モード 00 : LBSC モジュール機能 (D18) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PG1MD1 PG1MD0	0 0	R/W R/W	PG1 モード 00 : LBSC モジュール機能 (D17) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PG0MD1 PG0MD0	0 0	R/W R/W	PG0 モード 00 : LBSC モジュール機能 (D16) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

28. 汎用入出力ポート (GPIO)

28.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7 MD1	PH7 MD0	PH6 MD1	PH6 MD0	PH5 MD1	PH5 MD0	PH4 MD1	PH4 MD0	PH3 MD1	PH3 MD0	PH2 MD1	PH2 MD0	PH1 MD1	PH1 MD0	PH0 MD1	PH0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PH7MD1	1	R/W	PH7 モード 00 : SCIF[1]モジュール機能 (SCIF1_SCK) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PH7MD0	1	R/W	
13	PH6MD1	1	R/W	PH6 モード 00 : SCIF[1]モジュール機能 (SCIF1_RXD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PH6MD0	1	R/W	
11	PH5MD1	1	R/W	PH5 モード 00 : SCIF[1]モジュール機能 (SCIF1_TXD) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PH5MD0	1	R/W	
9	PH4MD1	1	R/W	PH4 モード 00 : SCIF[0]/PCIC/FLCTL モジュール機能 (SCIF0_CTS/INTD/FCE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PH4MD0	1	R/W	
7	PH3MD1	1	R/W	PH3 モード 00 : SCIF[0]/HSPI/FLCTL モジュール機能 (SCIF0_RTS/HSPI_CS/FSE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PH3MD0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PH2MD1 PH2MD0	1 1	R/W R/W	PH2 モード 00 : SCIF[0]/HSPI/FLCTL モジュール機能 (SCIF0_SCK/HSPI_CLK/ $\overline{\text{FRE}}$) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PH1MD1 PH1MD0	1 1	R/W R/W	PH1 モード 00 : SCIF[0]/HSPI/FLCTL モジュール機能 (SCIF0_RXD/HSPI_RX/ $\overline{\text{FRB}}$) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PH0MD1 PH0MD0	1 1	R/W R/W	PH0 モード 00 : SCIF[0]/HSPI/FLCTL モジュール機能 (SCIF0_TXD/HSPI_TX/ $\overline{\text{FWE}}$) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7 MD1	PJ7 MD0	PJ6 MD1	PJ6 MD0	PJ5 MD1	PJ5 MD0	PJ4 MD1	PJ4 MD0	PJ3 MD1	PJ3 MD0	PJ2 MD1	PJ2 MD0	PJ1 MD1	PJ1 MD0	PJ0 MD1	PJ0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PJ7MD1	1	R/W	PJ7 モード 00 : SCIF[5]/HAC[1]/SSI[1]モジュール機能 (SCIF5_TXD/HAC1_SYNC/SSI1_WS) *1 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PJ7MD0	1	R/W	
13	PJ6MD1	1	R/W	PJ6 モード 00 : SIOF/HAC[0]/SSI[0]モジュール機能 (SIOF_TXD/HAC0_SDOOUT/SSI0_SDATA) *1 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PJ6MD0	1	R/W	
11	PJ5MD1	1	R/W	PJ5 モード 00 : SIOF/ HAC[0]/ SSI[0]モジュール機能 (SIOF_RXD/HAC0_SDIN/SSI0_SCK) *1 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PJ5MD0	1	R/W	
9	PJ4M1	1	R/W	PJ4 モード 00 : SIOF/HAC[0]/SSI[0]モジュール機能 (SIOF_SYNC/HAC0_SYNC/SSI0_WS) *1 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PJ4M0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
7 6	PJ3MD1 PJ3MD0	1 1	R/W R/W	PJ3 モード 00 : SIOF/HAC モジュール機能 (SIOF_MCLK/HAC_RES) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PJ2MD1 PJ2MD0	1 1	R/W R/W	PJ2 モード 00 : SIOF/HAC[0]/SSI[0]モジュール機能 (SIOF_SCK/HAC0_BITCLK/SSI0_CLK) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PJ1MD1 PJ1MD0	1 1	R/W R/W	PJ1 モード 00 : HAC[1]/SSI[1]モジュール機能 (HAC1_BITCLK/SSI1_CLK) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PJ0MD1 PJ0MD0	1 1	R/W R/W	PJ0 モード 00 : TMU/LBSC モジュール機能 (MODE13/TCLK/I $\overline{OIS16}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²

【注】 *¹ 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

*² $\overline{\text{PRESET}}$ 端子による、パワーオンリセット時のモード端子設定のプルアップとしては、使用できません。
($\overline{\text{PRESET}}$ 端子による、パワーオンリセット中は、プルアップ MOS は、オフされます)

28. 汎用入出力ポート (GPIO)

28.2.10 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7 MD1	PK7 MD0	PK6 MD1	PK6 MD0	PK5 MD1	PK5 MD0	PK4 MD1	PK4 MD0	PK3 MD1	PK3 MD0	PK2 MD1	PK2 MD0	PK1 MD1	PK1 MD0	PK0 MD1	PK0 MD0
初期値:	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PK7MD1	0	R/W	PK7 モード 00 : [STATUS]/DMAC モジュール機能 (STATUS0/DRAK0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PK7MD0	0	R/W	
13	PK6MD1	0	R/W	PK6 モード 00 : [STATUS]/DMAC モジュール機能 (STATUS1/DRAK1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PK6MD0	0	R/W	
11	PK5MD1	1	R/W	PK5 モード 00 : DMAC/SCIF[2]/MMCIF/SIOF モジュール機能 (DACK2/SCIF2_TXD/MMCCMD/SIOF_TXD) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PK5MD0	1	R/W	
9	PK4MD1	1	R/W	PK4 モード 00 : DMAC/SCIF[2]/MMCIF/SIOF モジュール機能 (DACK3/SCIF2_SCK/MMCDAT/SIOF_SCK) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PK4MD0	1	R/W	
7	PK3MD1	1	R/W	PK3 モード 00 : DMAC モジュール機能 (DREQ0) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PK3MD0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PK2MD1 PK2MD0	1 1	R/W R/W	PK2 モード 00 : DMAC モジュール機能 ($\overline{DREQ1}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PK1MD1 PK1MD0	1 1	R/W R/W	PK1 モード 00 : DMAC モジュール機能 ($\overline{DACK0}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PK0MD1 PK0MD0	1 1	R/W R/W	PK0 モード 00 : DMAC モジュール機能 ($\overline{DACK1}$) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

28. 汎用入出力ポート (GPIO)

28.2.11 ポートLコントロールレジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PL7 MD1	PL7 MD0	PL6 MD1	PL6 MD0	PL5 MD1	PL5 MD0	PL4 MD1	PL4 MD0	PL3 MD1	PL3 MD0	PL2 MD1	PL2 MD0	PL1 MD1	PL1 MD0	PL0 MD1	PL0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PL7MD1	1	R/W	PL7 モード 00 : DMAC/PCIC モジュール機能 ($\overline{\text{DREQ2}}/\overline{\text{INTB}}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PL7MD0	1	R/W	
13	PL6MD1	1	R/W	PL6 モード 00 : DMAC/PCIC モジュール機能 ($\overline{\text{DREQ3}}/\overline{\text{INTC}}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PL6MD0	1	R/W	
11	PL5MD1	1	R/W	PL5 モード 00 : DMAC/LBSC モジュール機能 ($\overline{\text{DRAK2}}/\overline{\text{CE2A}}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PL5MD0	1	R/W	
9	PL4MD1	1	R/W	PL4 モード 00 : INTC/FLCTL モジュール機能 ($\text{MODE0}/\overline{\text{IRL4}}/\overline{\text{FD4}}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
8	PL4MD0	1	R/W	
7	PL3MD1	1	R/W	PL3 モード 00 : INTC/FLCTL モジュール機能 ($\text{MODE1}/\overline{\text{IRL5}}/\overline{\text{FD5}}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
6	PL3MD0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PL2MD1 PL2MD0	1 1	R/W R/W	PL2 モード 00 : INTC/FLCTL モジュール機能 (MODE2/ $\overline{\text{IRL6}}/\text{FD6}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
3 2	PL1MD1 PL1MD0	1 1	R/W R/W	PL1 モード 00 : INTC/FLCTL モジュール機能 (MODE3/ $\overline{\text{IRL7}}/\text{FD7}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
1 0	PL0MD1 PL0MD0	1 1	R/W R/W	PL0 モード 00 : DMAC/LBSC モジュール機能 (MODE12/ $\overline{\text{DRAK3}}/\text{CE2B}$) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²

【注】 *1 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

*2 $\overline{\text{PRESET}}$ 端子による、パワーオンリセット時のモード端子設定のプルアップとしては、使用できません。
($\overline{\text{PRESET}}$ 端子による、パワーオンリセット中は、プルアップ MOS は、オフされます)

28. 汎用入出力ポート (GPIO)

28.2.12 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PM1 MD1	PM1 MD0	PM0 MD1	PM0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W												

ビット	ビット名	初期値	R/W	説明
15-4	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
3 2	PM1MD1 PM1MD0	0 0	R/W R/W	PM1 モード 00: LBSC モジュール機能 ($\overline{\text{BREQ}}/\text{BSACK}$) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1 0	PM0MD1 PM0MD0	0 0	R/W R/W	PM0 モード 00: LBSC モジュール機能 ($\overline{\text{BACK}}/\text{BSREQ}$) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

28.2.13 ポート N コントロールレジスタ (PNCR)

PNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PN7 MD1	PN7 MD0	PN6 MD1	PN6 MD0	PN5 MD1	PN5 MD0	PN4 MD1	PN4 MD0	PN3 MD1	PN3 MD0	PN2 MD1	PN2 MD0	PN1 MD1	PN1 MD0	PN0 MD1	PN0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PN7MD1	1	R/W	PN7 モード 00 : SCIF[5]/HAC[1]/SSI[1]モジュール機能 (SCIF5_RXD/HAC1_SDIN/SSI1_SCK) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PN7MD0	1	R/W	
13	PN6MD1	1	R/W	PN6 モード 00 : SCIF[5]/HAC[1]/SSI[1]モジュール機能 (SCIF5_SCK/HAC1_SDOOUT/SSI1_SDATA) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PN6MD0	1	R/W	
11	PN5MD1	1	R/W	PN5 モード 00 : SCIF[3]/FLCTL モジュール機能 (MODE4/SCIF3_TXD/FCLE) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
10	PN5MD0	1	R/W	
9	PN4MD1	1	R/W	PN4 モード 00 : SCIF[3]/FLCTL モジュール機能 (MODE7/SCIF3_RXD/FALE) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
8	PN4MD0	1	R/W	
7	PN3MD1	1	R/W	PN3 モード 00 : SCIF[3]/FLCTL モジュール機能 (MODE8/SCIF3_SCK/FD0) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
6	PN3MD0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
5 4	PN2MD1 PN2MD0	1 1	R/W R/W	PN2 モード 00 : SCIF[4]/FLCTL モジュール機能 (MODE9/SCIF4_TXD/FD1) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
3 2	PN1MD1 PN1MD0	1 1	R/W R/W	PN1 モード 00 : SCIF[4]/FLCTL モジュール機能 (MODE10/SCIF4_RXD/FD2) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²
1 0	PN0MD1 PN0MD0	1 1	R/W R/W	PN0 モード 00 : SCIF[4]/FLCTL モジュール機能 (MODE11/SCIF4_SCK/FD3) * ¹ 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン) * ²

【注】 *1 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

*2 $\overline{\text{PRESET}}$ 端子による、パワーオンリセット時のモード端子設定のプルアップとしては、使用できません。
($\overline{\text{PRESET}}$ 端子による、パワーオンリセット中は、プルアップ MOS は、オフされます)

28.2.14 ポート P コントロールレジスタ (PPCR)

PPCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PP5 MD1	PP5 MD0	PP4 MD1	PP4 MD0	PP3 MD1	PP3 MD0	PP2 MD1	PP2 MD0	PP1 MD1	PP1 MD0	PP0 MD1	PP0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
11 10	PP5MD1 PP5MD0	0 0	R/W R/W	PP5 モード 00: PCIC/DU モジュール機能 ($\overline{DEVSEL/DCLKOUT}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9 8	PP4MD1 PP4MD0	0 0	R/W R/W	PP4 モード 00: PCIC/DU モジュール機能 ($\overline{STOP/CDE}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7 6	PP3MD1 PP3MD0	0 0	R/W R/W	PP3 モード 00: PCIC/DU モジュール機能 ($\overline{LOCK/ODDF}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5 4	PP2MD1 PP2MD0	0 0	R/W R/W	PP2 モード 00: PCIC/DU モジュール機能 ($\overline{TRDY/DISP}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
3 2	PP1MD1 PP1MD0	0 0	R/W R/W	PP1 モード 00 : PCIC/DU モジュール機能 ($\overline{\text{IRDY}}/\overline{\text{HSYNC}}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PP0MD1 PP0MD0	0 0	R/W R/W	PP0 モード 00 : PCIC/DU モジュール機能 ($\overline{\text{PCIFRAME}}/\overline{\text{VSYNC}}$) * バスモード端子 (MODE11、MODE12) によりバスモードがローカルバス選択時は、ポート入力 (プルアップ MOS : オン) となります。 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 バスモード端子の設定の詳細は、付録を参照してください。

* バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。

28.2.15 ポート Q コントロールレジスタ (PQCR)

PQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PQ4 MD1	PQ4 MD0	PQ3 MD1	PQ3 MD0	PQ2 MD1	PQ2 MD0	PQ1 MD1	PQ1 MD0	PQ0 MD1	PQ0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
9 8	PQ4MD1 PQ4MD0	0 0	R/W R/W	PQ4 モード 00: PCIC モジュール機能 (\overline{INTA}) バスモード端子 (MODE11、MODE12) によりバスモードが、ローカルバス、DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7 6	PQ3MD1 PQ3MD0	0 0	R/W R/W	PQ3 モード 00: PCIC モジュール機能 ($\overline{GNT0/GNTIN}$) バスモード端子 (MODE11、MODE12) によりバスモードが、ローカルバス、DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5 4	PQ2MD1 PQ2MD0	0 0	R/W R/W	PQ2 モード 00: PCIC モジュール機能 ($\overline{REQ0/REQOUT}$) バスモード端子 (MODE11、MODE12) によりバスモードが、ローカルバス、DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
3 2	PQ1MD1 PQ1MD0	0 0	R/W R/W	<p>PQ1 モード</p> <p>00 : PCIC モジュール機能 ($\overline{\text{PERR}}$)</p> <p>バスモード端子 (MODE11、MODE12) によりバスモードが、ローカルバス、DU 選択時はポート入力 (プルアップ MOS : オン) となります。</p> <p>01 : ポート出力</p> <p>10 : ポート入力 (プルアップ MOS : オフ)</p> <p>11 : ポート入力 (プルアップ MOS : オン)</p>
1 0	PQ0MD1 PQ0MD0	0 0	R/W R/W	<p>PQ0 モード</p> <p>00 : PCIC モジュール機能 ($\overline{\text{SERR}}$)</p> <p>バスモード端子 (MODE11、MODE12) によりバスモードが、ローカルバス、DU 選択時はポート入力 (プルアップ MOS : オン) となります。</p> <p>01 : ポート出力</p> <p>10 : ポート入力 (プルアップ MOS : オフ)</p> <p>11 : ポート入力 (プルアップ MOS : オン)</p>

28.2.16 ポート R コントロールレジスタ (PRCR)

PRCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PR3 MD1	PR3 MD0	PR2 MD1	PR2 MD0	PR1 MD1	PR1 MD0	PR0 MD1	PR0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
7 6	PR3MD1 PR3MD0	0 0	R/W R/W	PR3 モード 00: LBSC/PCIC モジュール機能 ($\overline{WE7/CBE3}$)* バスモード端子 (MODE11、MODE12) により、バスモードが DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5 4	PR2MD1 PR2MD0	0 0	R/W R/W	PR2 モード 00: LBSC/PCIC モジュール機能 ($\overline{WE6/CBE2}$)* バスモード端子 (MODE11、MODE12) により、バスモードが DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
3 2	PR1MD1 PR1MD0	0 0	R/W R/W	PR1 モード 00: LBSC/PCIC モジュール機能 ($\overline{WE5/CBE1}$)* バスモード端子 (MODE11、MODE12) により、バスモードが DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1 0	PR0MD1 PR0MD0	0 0	R/W R/W	PR0 モード 00: LBSC/PCIC モジュール機能 ($\overline{WE4/CBE0}$)* バスモード端子 (MODE11、MODE12) により、バスモードが DU 選択時はポート入力 (プルアップ MOS: オン) となります。 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

28. 汎用入出力ポート (GPIO)

【注】 バスモード端子の設定の詳細は、付録を参照してください。

* バスモード端子 (MODE11、MODE12) により、これらの端子を使用するモジュールを選択できます。

28.2.17 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート A のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PA6DT	0*	R/W	
5	PA5DT	0*	R/W	
4	PA4DT	0*	R/W	
3	PA3DT	0*	R/W	
2	PA2DT	0*	R/W	
1	PA1DT	0*	R/W	
0	PA0DT	0*	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードが DU を選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されず。

28.2.18 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート B のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PB6DT	0*	R/W	
5	PB5DT	0*	R/W	
4	PB4DT	0*	R/W	
3	PB3DT	0*	R/W	
2	PB2DT	0*	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードが DU を選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されます。

28.2.19 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート C のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

28. 汎用入出力ポート (GPIO)

28.2.20 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート D のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

28.2.21 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート E のデータを格納します。

Bit:	7	6	5	4	3	2	1	0
	-	-	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
Initial value:	0	0	0	0	x	0	0	x
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5	PE5DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PE4DT	0*	R/W	
3	PE3DT	端子入力	R/W	
2	PE2DT	0*	R/W	
1	PE1DT	0*	R/W	
0	PE0DT	端子入力	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードがローカルバスまたは DU を選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されます。

28.2.22 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート F のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PF7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PF6DT	0	R/W	
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

28.2.23 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート G のデータを格納します。

Bit:	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
Initial value:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PG7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PG6DT	0	R/W	
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

28. 汎用入出力ポート (GPIO)

28.2.24 ポートHデータレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート H のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	x	x	x	x	x	x	x	x
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PH7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PH6DT	端子入力	R/W	
5	PH5DT	端子入力	R/W	
4	PH4DT	端子入力	R/W	
3	PH3DT	端子入力	R/W	
2	PH2DT	端子入力	R/W	
1	PH1DT	端子入力	R/W	
0	PH0DT	端子入力	R/W	

28.2.25 ポートJデータレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート J のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値:	x	x	x	x	x	x	x	x
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PJ7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PJ6DT	端子入力	R/W	
5	PJ5DT	端子入力	R/W	
4	PJ4DT	端子入力	R/W	
3	PJ3DT	端子入力	R/W	
2	PJ2DT	端子入力	R/W	
1	PJ1DT	端子入力	R/W	
0	PJ0DT	端子入力	R/W	

28.2.26 ポート K データレジスタ (PKDR)

PKDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート K のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値 :	0	0	x	x	x	x	x	x
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PK7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PK6DT	0	R/W	
5	PK5DT	端子入力	R/W	
4	PK4DT	端子入力	R/W	
3	PK3DT	端子入力	R/W	
2	PK2DT	端子入力	R/W	
1	PK1DT	端子入力	R/W	
0	PK0DT	端子入力	R/W	

28.2.27 ポート L データレジスタ (PLDR)

PLDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート L のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値 :	x	x	x	x	x	x	x	x
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PL7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PL6DT	端子入力	R/W	
5	PL5DT	端子入力	R/W	
4	PL4DT	端子入力	R/W	
3	PL3DT	端子入力	R/W	
2	PL2DT	端子入力	R/W	
1	PL1DT	端子入力	R/W	
0	PL0DT	端子入力	R/W	

28. 汎用入出力ポート (GPIO)

28.2.28 ポート M データレジスタ (PMDR)

PMDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート M のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PM1DT	PM0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W						

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
1	PM1DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
0	PM0DT	0	R/W	

28.2.29 ポート N データレジスタ (PNDR)

PNDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート N のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PN7DT	PN6DT	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値:	x	x	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PN7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PN6DT	端子入力	R/W	
5	PN5DT	0	R/W	
4	PN4DT	0	R/W	
3	PN3DT	0	R/W	
2	PN2DT	0	R/W	
1	PN1DT	0	R/W	
0	PN0DT	0	R/W	

28.2.30 ポート P データレジスタ (PPDR)

PPDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート P のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	PP5DT	PP4DT	PP3DT	PP2DT	PP1DT	PP0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
5	PP5DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PP4DT	0*	R/W	
3	PP3DT	0*	R/W	
2	PP2DT	0*	R/W	
1	PP1DT	0*	R/W	
0	PP0DT	0*	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードがローカルバスを選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されます。

28.2.31 ポート Q データレジスタ (PQDR)

PQDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート Q のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	PQ4DT	PQ3DT	PQ2DT	PQ1DT	PQ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
4	PQ4DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
3	PQ3DT	0*	R/W	
2	PQ2DT	0*	R/W	
1	PQ1DT	0*	R/W	
0	PQ0DT	0*	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードがローカルバスまたは DU を選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されます。

28. 汎用入出力ポート (GPIO)

28.2.32 ポート R データレジスタ (PRDR)

PRDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート R のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PR3DT	PR2DT	PR1DT	PR0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
3	PR3DT	0*	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
2	PR2DT	0*	R/W	
1	PR1DT	0*	R/W	
0	PR0DT	0*	R/W	

【注】 * バスモード端子 (MODE11、MODE12) により、バスモードが DU を選択時の初期状態は、汎用入力ポートとなり、端子の状態が読み出されます。

28.2.33 ポート E プルアップ制御レジスタ (PEPUPR)

PEPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート E3、E0 (PE3、PE0) に相当し、ポート E に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート E の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PE3 PUPR	—	—	PE0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
3	PE3PUPR	1	R/W	ポート E3 端子のプルアップ制御を個別に設定できます。 0: PE3 プルアップオフ 1: PE3 プルアップオン
2, 1	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
0	PE0PUPR	1	R/W	ポート E0 端子のプルアップ制御を個別に設定できます。 0: PE0 プルアップオフ 1: PE0 プルアップオン

28. 汎用入出力ポート (GPIO)

28.2.34 ポートHプルアップ制御レジスタ (PHPUPR)

PHPUPRは、読み出し/書き込み可能な8ビットのレジスタです。本レジスタの各ビットはポートH7~0 (PH7~PH0) に相当し、ポートHに対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポートHの端子をGPIOが使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PH7 PUPR	PH6 PUPR	PH5 PUPR	PH4 PUPR	PH3 PUPR	PH2 PUPR	PH1 PUPR	PH0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PH7PUPR	1	R/W	ポートHの各端子のプルアップ制御を個別に設定できます。 0: PHn プルアップオフ 1: PHn プルアップオン
6	PH6PUPR	1	R/W	
5	PH5PUPR	1	R/W	
4	PH4PUPR	1	R/W	
3	PH3PUPR	1	R/W	
2	PH2PUPR	1	R/W	
1	PH1PUPR	1	R/W	
0	PH0PUPR	1	R/W	

【注】 n=7~0

28.2.35 ポート J プルアップ制御レジスタ (PJPUPR)

PJPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート J7 ~ 0 (PJ7 ~ PJ0) に相当し、ポート J に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート J の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PJ7 PUPR	PJ6 PUPR	PJ5 PUPR	PJ4 PUPR	PJ3 PUPR	PJ2 PUPR	PJ1 PUPR	PJ0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PJ7PUPR	1	R/W	ポート J の各端子のプルアップ制御を個別に設定できます。 0 : PJn プルアップオフ 1 : PJn プルアップオン
6	PJ6PUPR	1	R/W	
5	PJ5PUPR	1	R/W	
4	PJ4PUPR	1	R/W	
3	PJ3PUPR	1	R/W	
2	PJ2PUPR	1	R/W	
1	PJ1PUPR	1	R/W	
0	PJ0PUPR	1	R/W	

【注】 n = 7 ~ 0

28. 汎用入出力ポート (GPIO)

28.2.36 ポート K プルアップ制御レジスタ (PKPUPR)

PKPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート K7~0 (PK7~PK0) に相当し、ポート K に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート K の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット: 7 6 5 4 3 2 1 0
 PK7 PK6 PK5 PK4 PK3 PK2 PK1 PK0
 PUPR PUPR PUPR PUPR PUPR PUPR PUPR PUPR
初期値: 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7	PK7PUPR	1	R/W	ポート K の各端子のプルアップ制御を個別に設定できます。 0: PKn プルアップオフ 1: PKn プルアップオン
6	PK6PUPR	1	R/W	
5	PK5PUPR	1	R/W	
4	PK4PUPR	1	R/W	
3	PK3PUPR	1	R/W	
2	PK2PUPR	1	R/W	
1	PK1PUPR	1	R/W	
0	PK0PUPR	1	R/W	

【注】 n=7~0

28.2.37 ポート L プルアップ制御レジスタ (PLPUPR)

PLPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート L7~0 (PL7~PL0) に相当し、ポート L に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート L の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PL7 PUPR	PL6 PUPR	PL5 PUPR	PL4 PUPR	PL3 PUPR	PL2 PUPR	PL1 PUPR	PL0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PL7PUPR	1	R/W	ポート L の各端子のプルアップ制御を個別に設定できます。 0 : PLn プルアップオフ 1 : PLn プルアップオン
6	PL6PUPR	1	R/W	
5	PL5PUPR	1	R/W	
4	PL4PUPR	1	R/W	
3	PL3PUPR	1	R/W	
2	PL2PUPR	1	R/W	
1	PL1PUPR	1	R/W	
0	PL0PUPR	1	R/W	

【注】 n = 7~0

28.2.38 ポート M プルアップ制御レジスタ (PMPUPR)

PMPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート M1~0 (PM1~PM0) に相当し、ポート M に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ポート M の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PM1 PUPR	PM0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W						

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
1	PM1PUPR	1	R/W	ポート M の各端子のプルアップ制御を個別に設定できます。 0 : PMn プルアップオフ 1 : PMn プルアップオン
0	PM0PUPR	1	R/W	

【注】 n = 1~0

28. 汎用入出力ポート (GPIO)

28.2.39 ポート N プルアップ制御レジスタ (PNPUPR)

PNPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート N7~0 (PN7 ~ PN0) に相当し、ポート N に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ポート N の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PN7 PUPR	PN6 PUPR	PN5 PUPR	PN4 PUPR	PN3 PUPR	PN2 PUPR	PN1 PUPR	PN0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7	PN7PUPR	1	R/W	ポート N の各端子のプルアップ制御を個別に設定できます。 0 : PNn プルアップオフ 1 : PNn プルアップオン
6	PN6PUPR	1	R/W	
5	PN5PUPR	1	R/W	
4	PN4PUPR	1	R/W	
3	PN3PUPR	1	R/W	
2	PN2PUPR	1	R/W	
1	PN1PUPR	1	R/W	
0	PN0PUPR	1	R/W	

【注】 n = 7 ~ 0

28.2.40 入力端子プルアップ制御レジスタ 1 (PPUPR1)

PPUPR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RDY PUP	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W													

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
2	RDYPUP	1	R/W	RDY 端子のプルアップの制御 0: RDY プルアップオフ 1: RDY プルアップオン
1~0	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。

28.2.41 入力端子プルアップ制御レジスタ 2 (PPUPR2)

PPUPR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SIOF UP1	SIOF UP0	CLK PUP	NMI PUP	IRL3 PUP	IRL2 PUP	IRL1 PUP	IRL0 PUP
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 1	R/W	リザーブビット 読み出しは 1 が読み出されます。書き込む値は常に 1 にしてください。
7	SIOFUP1	1	R/W	MODE6/SIOF_SYNC 端子のプルアップの制御を行います。 0: MODE6/SIOF_SYNC プルアップオフ 1: MODE6/SIOF_SYNC プルアップオン*
6	SIOFUP0	1	R/W	MODE5/SIOF_MCLK 端子のプルアップの制御を行います。 0: MODE5/SIOF_MCLK プルアップオフ 1: MODE5/SIOF_MCLK プルアップオン*
5	CLKPUP	1	R/W	SCIF2_RXD/SIOF_RXD 端子のプルアップの制御を行います。 0: SCIF2_RXD/SIOF_RXD プルアップオフ 1: SCIF2_RXD/SIOF_RXD プルアップオン

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
4	NMIPUP	1	R/W	NMI 端子のプルアップの制御を行います。 0 : NMI プルアップオフ 1 : NMI プルアップオン
3	IRL3PUP	1	R/W	$\overline{\text{IRL3}}$ 端子のプルアップの制御を行います。 0 : $\overline{\text{IRL3}}$ プルアップオフ 1 : $\overline{\text{IRL3}}$ プルアップオン
2	IRL2PUP	1	R/W	$\overline{\text{IRL2}}$ 端子のプルアップの制御を行います。 0 : $\overline{\text{IRL2}}$ プルアップオフ 1 : $\overline{\text{IRL2}}$ プルアップオン
1	IRL1PUP	1	R/W	$\overline{\text{IRL1}}$ 端子のプルアップの制御を行います。 0 : $\overline{\text{IRL1}}$ プルアップオフ 1 : $\overline{\text{IRL1}}$ プルアップオン
0	IRL0PUP	1	R/W	$\overline{\text{IRL0}}$ 端子のプルアップの制御を行います。 0 : $\overline{\text{IRL0}}$ プルアップオフ 1 : $\overline{\text{IRL0}}$ プルアップオン

【注】 * PRESET 端子による、パワーオンリセット時のモード端子設定のプルアップとしては、使用できません。
(PRESET 端子による、パワーオンリセット中は、プルアップ MOS は、オフされます)

28.2.42 周辺モジュールセレクトレジスタ 1 (P1MSELR)

P1MSELR は、読み出し / 書き込み可能な 16 ビットのレジスタです。本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 28.1 を参照してください。

なお、本レジスタは、GPIO の PACR ~ PHCR、PJCR ~ PNCR、PPCR ~ PRCR で周辺モジュールを選択しているときにのみ有効になります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	P1M SEL15	P1M SEL14	P1M SEL13	P1M SEL12	P1M SEL11	P1M SEL10	P1M SEL9	P1M SEL8	P1M SEL7	P1M SEL6	P1M SEL5	P1M SEL4	P1M SEL3	P1M SEL2	P1M SEL1	P1M SEL0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	P1MSEL15	0	R/W	STATUS、DMAC のうち、端子 STATUS0/ $\overline{\text{DRAK0}}$ 、STATUS1/ $\overline{\text{DRAK1}}$ を使用するモジュールを選択します。 0 : STATUS 1 : DMAC
14	P1MSEL14	0	R/W	INTC、FLCTL のうち、端子 MODE3 ~ MODE0/ $\overline{\text{IRL7}}$ ~ $\overline{\text{IRL4}}$ / $\overline{\text{FD7}}$ ~ $\overline{\text{FD4}}$ を使用するモジュールを選択します。 0 : INTC 1 : FLCTL 【注】 PRESET 端子による、パワーオンリセット時は、MODE3 ~ MODE0 が選択されます。
13	P1MSEL13	0	R/W	DMAC、PCIC のうち、端子 $\overline{\text{DREQ2}}$ / $\overline{\text{INTB}}$ 、 $\overline{\text{DREQ3}}$ / $\overline{\text{INTC}}$ を使用するモジュールを選択します。 0 : DMAC 1 : PCIC
12 11	P1MSEL12 P1MSEL11	0 0	R/W R/W	DMAC、SCIF[2]、MMCIF、SIOF のうち、端子 $\overline{\text{DACK3}}$ / $\overline{\text{SCIF2_SCK}}$ / $\overline{\text{MMCDAT}}$ / $\overline{\text{SIOF_SCK}}$ 、 $\overline{\text{DACK2}}$ / $\overline{\text{SCIF2_TXD}}$ / $\overline{\text{MMCCMD}}$ / $\overline{\text{SIOF_TXD}}$ を使用するモジュールを選択します。 00 : DMAC 01 : SIOF* 10 : SCIF[2] 11 : MMCIF

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
10	P1MSEL10	0	R/W	DMAC、LBSCのうち、端子 MODE12/DRAK3/CE2B、DRAK2/CE2A を使用するモジュールを選択します。 0 : DMAC 1 : LBSC 【注】 PRESET 端子による、パワーオンリセット時は、MODE12 が選択されます。
9	P1MSEL9	0	R/W	TMU、LBSCのうち、端子 MODE13/TCLK/IOIS16#を使用するモジュールを選択します。 0 : TMU 1 : LBSC 【注】 PRESET 端子による、パワーオンリセット時は、MODE13 が選択されます。
8 7	P1MSEL8 P1MSEL7	0 0	R/W R/W	SCIF[0]、HSPI、FLCTLのうち、端子 SCIF0_TXD/HSPI_TX/FWE、SCIF0_RXD/HSPI_RX/FRB、SCIF0_SCK/HSPI_CLK/FRE、SCIF0_RTS/HSPI_CS/FSE、SCIF0_CTS/INTD/FCE を使用するモジュールを選択します。 00 : SCIF[0] 01 : HSPI、PCIC 10 : FLCTL 11 : SCIF[0]、PCIC 【注】 11 を選択すると SCIF0_CTS/INTD/FCE 端子は、PCIC として使用されます。
6 5	P1MSEL6 P1MSEL5	0 0	R/W R/W	SCIF[2]、SIOFのうち、端子 SCIF2_RXD/SIOF_RXD を使用するモジュールを選択します。 00 : SCIF[2] 01 : 設定禁止 10 : SIOF* 11 : 設定禁止
4 3	P1MSEL4 P1MSEL3	0 0	R/W R/W	SIOF、HAC、SSI[0]のうち、端子 SIOF_SCK/HAC0_BITCLK/SSI0_CLK、SIOF_MCLK/HAC_RES、SIOF_SYNC/HAC0_SYNC/SSI0_WS、SIOF_RXD/HAC0_SDIN/SSI0_SCK、SIOF_TXD/HAC0_SDOUT/SSI0_SDATA を使用するモジュールを選択します。 00 : SIOF* 01 : HAC 10 : SSI[0] 11 : 設定禁止 【注】 10 を選択すると SIOF_MCLK/HAC_RES 端子は、HAC_RES として使用されます。

ビット	ビット名	初期値	R/W	説 明
2 1	P1MSEL2 P1MSEL1	0 0	R/W R/W	<p>SCIF[5]、HAC[1]、SSI[1]のうち、端子 HAC1_BITCLK/SSI1_CLK、SCIF5_TXD/HAC1_SYNC/SSI1_WS、SCIF5_RXD/HAC1_SDIN/SSI1_SCK、SCIF5_SCK/HAC1_SDOOUT/SSI1_SDATA を使用するモジュールを選択します。</p> <p>00 : SCIF[5] 01 : HAC[1] 10 : SSI[1] 11 : 設定禁止</p> <p>【注】 00 を選択すると HAC1_BITCLK/SSI1_CLK 端子は、HAC1_BITCLK として使用されます。</p>
0	P1MSEL0	0	R/W	<p>SCIF[3~4]、FLCTL のうち、端子 MODE4/SCIF3_TXD/FCLE、MODE7/SCIF3_RXD/FALE、MODE8/SCIF3_SCK/FD0、MODE9/SCIF4_TXD/FD1、MODE10/SCIF4_RXD/FD2、MODE11/SCIF4_SCK/FD3 を使用するモジュールを選択します。</p> <p>0 : SCIF[3~4] 1 : FLCTL</p> <p>【注】 PRESET 端子による、パワーオンリセット時は、MODE4、MODE7~11 が選択されず。</p>

【注】 * SIOF を使用する場合は、P1MSEL4、3 の SIOF 選択と P1MSEL12、11、P1MSEL6、5 の SIOF 選択の設定を必ず背反にしてください。SIOF 使用時のレジスタ設定を以下に示します。(本設定以外では、SIOF の動作を保証できません)

28. 汎用入出力ポート (GPIO)

レジスタビット名	SIOF_SCK/HAC0_BITCLK/SSI0_CLK SIOF_MCLK/HAC_RES SIOF_SYNC/HAC0_SYNC/SSI0_WS SIOF_RXD/HAC0_SDIN/SSI0_SCK SIOF_TXD/HAC0_SDOOUT/SSI0_SDATA 上記の SIOF 端子グループを使用する場合	DACK3/SCIF2_SCK/MMCDAT/SIOF_SCK DACK2/SCIF2_TXD/MMCCMD/SIOF_TXD SCIF2_RXD/SIOF_RXD MODE5/SIOF_MCLK MODE6/SIOF_SYNC 上記の SIOF 端子グループを使用する場合
P1MSEL4、3	B'00 を設定する	B'00 以外を設定する
P1MSEL12、11	B'01 以外を設定する	B'01 を設定する
P1MSEL6、5	B'10 以外を設定する	B'10 を設定する
P2MSEL1	B'0 を設定する	B'1 を設定する

28.2.43 周辺モジュールセレクトレジスタ 2 (P2MSELR)

P2MSELR は、読み出し / 書き込み可能な 16 ビットのレジスタです。本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 28.1 を参照してください。

なお、本レジスタは、GPIO の PACR ~ PHCR、PJCR ~ PNCR、PPCR ~ PRCR で周辺モジュールを選択しているときにのみ有効になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	P2M SEL2	P2M SEL1	P2M SEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W													

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R/W	リザーブビット 読み出しは 0 が読み出されます。書き込み値は常に 0 にしてください。
2	P2MSEL2	0	R/W	RESET、INTC のうち、端子 MRESETOUT/IRQOUT を使用するモジュールを選択します。 0 : RESET 1 : INTC

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説 明
1	P2MSEL1	0	R/W	<p>SIOF で使用する端子グループを選択します。</p> <p>0 : P1MSEL4,3 で選択された SIOF 端子を使用する (SIOF_SCK/HAC0_BITCLK/SSI0_CLK、SIOF_MCLK/HAC_RES SIOF_SYNC/HAC0_SYNC/SSI0_WS、 SIOF_RXD/HAC0_SDIN/SSI0_SCK、 SIOF_TXD/HAC0_SDOUT/SSI0_SDATA)</p> <p>1 : P1MSEL12,11、P1MSEL6,5 で選択された SIOF 端子を使用する ($\overline{\text{DACK3}}$/SCIF2_SCK/MMCDAT/SIOF_SCK、 $\overline{\text{DACK2}}$/SCIF2_TXD/MMCCMD/SIOF_TXD、 SCIF2_RXD/SIOF_RXD、 MODE5/SIOF_MCLK、MODE6/SIOF_SYNC)</p> <p>【注】 $\overline{\text{PRESET}}$ 端子による、パワーオンリセット時は、MODE5～6 が選択されます。</p>
0	P2MSEL0	0	R/W	<p>PCIC、MMCIF のうち、端子 $\overline{\text{REQ3}}$、$\overline{\text{GNT3}}$/MMCCLK を使用するモジュールを選択します。</p> <p>0 : PCIC 1 : MMCIF</p> <p>【注】 1 を選択すると $\overline{\text{REQ3}}$ 端子は、未使用となりますので、ポート E プルアップ制御レジスタのビット 3(PE3PUPR)を B'1 に設定してください。</p>

28.3 使用例

設定手順の例を示します。

28.3.1 ポート出力機能

ポート出力機能の設定は、ポートコントロールレジスタ (PACR ~ PRCR) の該当する 2 ビットに B'01 を書き込んでください。ポートデータレジスタ (PADR ~ PRDR) の該当するビットの値を端子に出力します。

このとき、ポート出力機能に設定した端子に対するポートブルアップ制御レジスタ (PEPUPR、PHPUPR、PJPUPR、PKPUPR、PLPUPR、PMPUPR、PNPUPR)、周辺モジュールセレクトレジスタ 1 (P1MSELR)、周辺モジュールセレクトレジスタ 2 (P2MSELR)、バスモード端子 (MODE11、MODE12) の設定は無視されます。

図 28.1 にポート A をポート出力機能として使用した場合の動作例を示します。

出力データをポートデータレジスタ (PADR ~ PRDR) にセットし、Pck (周辺クロック) で 1 クロック後に各ポートに対応する端子へ出力されます。

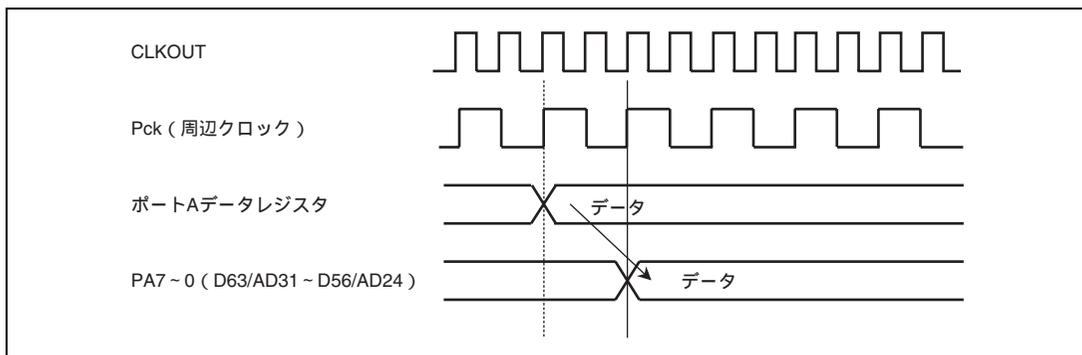


図 28.1 ポート A の出力動作タイミング

28.3.2 ポート入力機能

ポート入力機能の設定は、ポートコントロールレジスタ (PACR ~ PRCR) の該当する2ビットにプルアップMOSを使用しない場合はB'10を、使用する場合はB'11を書き込んでください。ポートデータレジスタ (PADR ~ PRCR) の該当するビットから端子に入力している値が読み出せます。

このとき、ポート入力機能に設定した端子に対するポートプルアップ制御レジスタ (PEPUPR、PHPUPR、PIJPUPR、PKPUPR、PLPUPR、PMPUPR、PNPUPR)、周辺モジュールセレクトレジスタ1 (P1MSELR)、周辺モジュールセレクトレジスタ2 (P2MSELR)、パスモード端子 (MODE11、MODE12) の設定は無視されます。

図 28.2 にポート A を入力機能として使用した場合の動作例を示します。

各ポートに対応する端子へデータ入力後、Pck (周辺クロック) の2回目の立ち上がりよりポートデータレジスタを読むことで端子の状態が読み出されます。

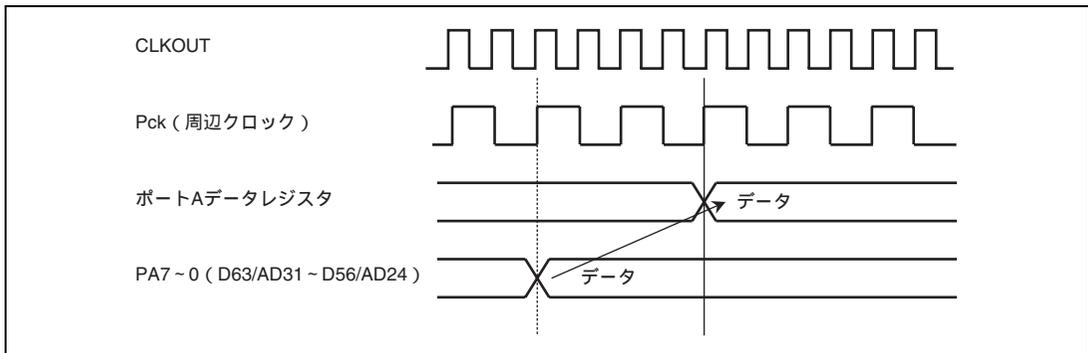


図 28.2 ポート A の入力動作タイミング

28.3.3 周辺モジュール機能

周辺モジュール機能の設定手順を以下に示します。

1. 周辺モジュール機能の設定は、周辺モジュールセレクトレジスタ1 (P1MSELR) と周辺モジュールセレクトレジスタ2 (P2MSELR) で使用するモジュールを選択してください。
2. 次に使用する端子が入力または入出力の場合は、ポートプルアップ制御レジスタ (PEPUPR、PHPUPR、PIJPUPR、PKPUPR、PLPUPR、PMPUPR、PNPUPR) でプルアップMOSの設定をしてください。該当するビットにプルアップMOSを使用しない場合はB'0を、使用する場合はB'1を書き込んでください。端子が出力の場合は、設定した値に関係なくプルアップMOSはオフになります。
3. 最後に、ポートコントロールレジスタ (PACR ~ PRCR) の該当する2ビットにB'00を書き込んでください。

29. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

29.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2チャンネル (チャンネル0と1)

ユーザブ레이크は、チャンネル0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル0のブ레이크条件が一致した後チャンネル1のブ레이크条件の一致が発生、またはチャンネル1のブ레이크条件が一致した後チャンネル0のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル1のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャンネル1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

29. ユーザブレイクコントローラ (UBC)

図 29.1 に UBC のブロック図を示します。

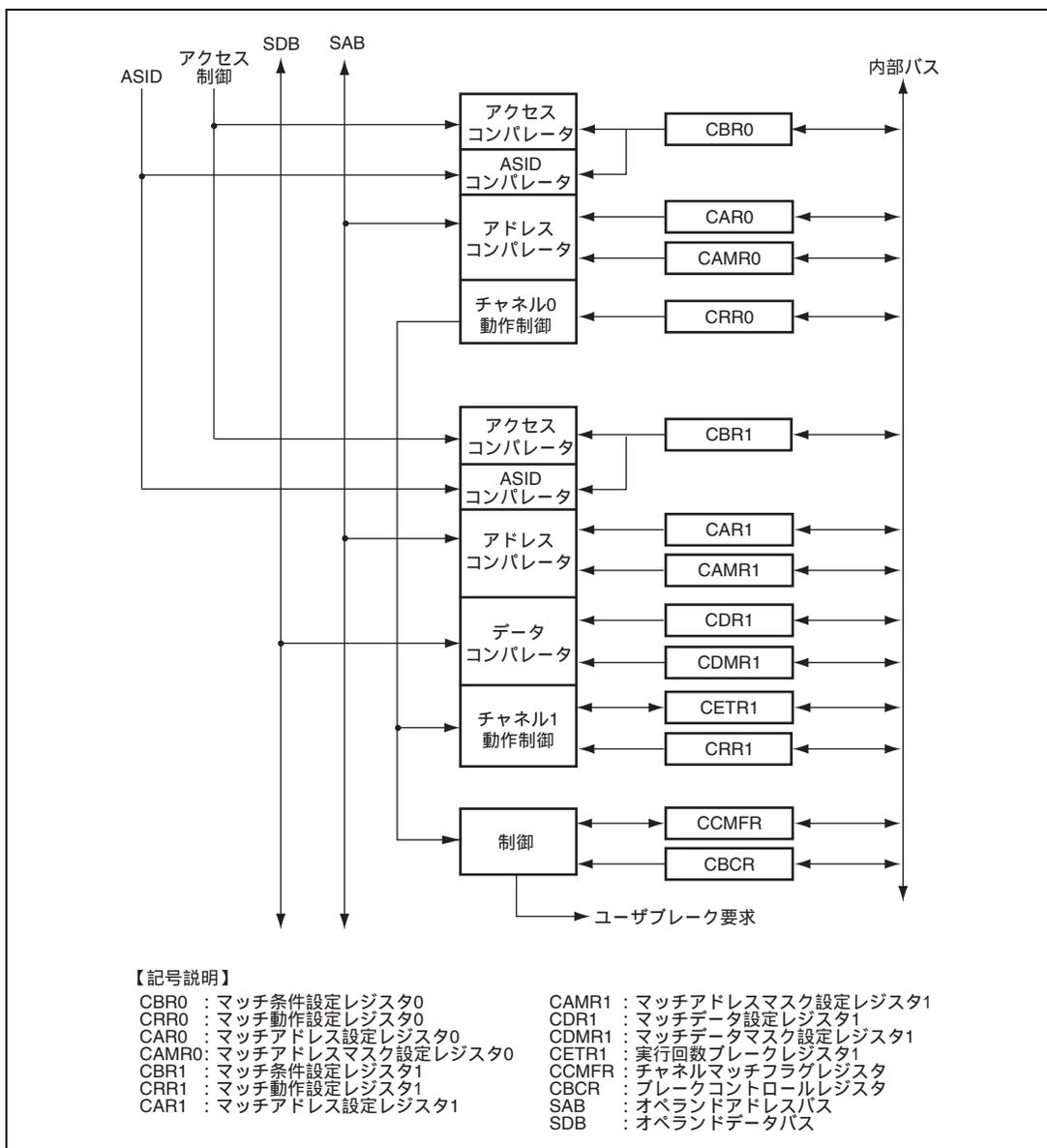


図 29.1 UBC のブロック図

29.2 レジスタの説明

UBC のレジスタ構成を表 29.1 に示します。また、各処理モードにおけるレジスタの状態を表 29.2 に示します。

表 29.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 29.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持

29. ユーザブレイクコントローラ (UBC)

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

29.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

● CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0: ASID はマッチ条件に含まれず、チェックされない 1: マッチ条件に ASID を含める

29. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>上記以外 : リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャンネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする*³</p> <p>上記以外 : リザーブ (設定禁止)</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>

29. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：リザーブ（設定禁止）
5、4	ID	すべて0	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2、1	RW	すべて0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0: ASID はマッチ条件に含まれず、チェックされない 1: マッチ条件に ASID を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000: CCMFR レジスタの MF0 ビット 000001: CCMFR レジスタの MF1 ビット 上記以外: リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャネル 1 でヒットしなくなりますので注意してください。
23 ~ 16	AIV	すべて 0	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル ^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0: データ値はマッチ条件に含まれず、チェックされない 1: マッチ条件にデータ値を含める

29. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
14~12	SZ	すべて0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる)*¹</p> <p>001: バイトアクセスを対象とする</p> <p>010: ワードアクセスを対象とする</p> <p>011: ロングワードアクセスを対象とする</p> <p>100: クワッドワードアクセスを対象とする*³</p> <p>上記以外: リザーブ(設定禁止)</p>
11	ETBE	0	R/W	<p>実行回数値イネーブル</p> <p>マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。</p> <p>0: 実行回数値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件に実行回数値を含める</p>
10~8	-	すべて0	R	<p>リザーブビット</p> <p>本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>
7、6	CD	すべて0	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00: オペランドアクセスにおいてオペランドバスを対象とする</p> <p>上記以外: リザーブ(設定禁止)</p>
5、4	ID	すべて0	R/W	<p>命令フェッチ/オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01: 命令フェッチサイクルを対象とする</p> <p>10: オペランドアクセスサイクルを対象とする</p> <p>11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>
3	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
2, 1	RW	すべて 0	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00 : 読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01 : 読み出しサイクルを対象とする</p> <p>10 : 書き込みサイクルを対象とする</p> <p>11 : 読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。</p> <p>0 : 本チャンネルは無効</p> <p>1 : 本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

29. ユーザブ레이크コントローラ (UBC)

29.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブ레이크タイミング、(2) ブ레이크要求の有無です。

• CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2		すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	PCB	0	R/W	PC ブ레이크セレクト 命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブ레이크に対して、本ビットは無効です。 0: PC ブ레이크を命令実行前に設定する 1: PC ブ레이크を命令実行後に設定する
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0: ブ레이크要求しない 1: ブ레이크を要求する

29. ユーザブ레이크コントローラ (UBC)

● CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2		すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0: PC ブレークを命令実行前に設定する 1: PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0: ブレーク要求しない 1: ブレークを要求する

29. ユーザブレークコントローラ (UBC)

29.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

- CAR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

- CAR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

29.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: アドレスビット CA[n]は、ブレーク条件に含まれる 1: アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0

• CAMR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: アドレスビット CA[n]は、ブレーク条件に含まれる 1: アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0

29. ユーザブレイクコントローラ (UBC)

29.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブレイク条件とするデータ値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブレイク条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 29.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCB1 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

29.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説 明
31~0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブ레이크条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】 n = 31 ~ 0

29. ユーザブ레이크コントローラ (UBC)

29.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットすることに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値 :	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R/W											

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

29.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います (書き込み値と現在値の論理積が書き込まれます)。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31-2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

29. ユーザブレイクコントローラ (UBC)

29.2.9 ブレイクコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。ユーザブレイクデバッグサポート機能の詳細については、「29.4 ユーザブレイクデバッグサポート機能」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブレイクデバッグサポート機能イネーブル ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。 0: デバッグサポート機能を使用しない 1: デバッグサポート機能を使用する

29.3 動作説明

29.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス ($PC + disp \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

29.3.2 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ / オペランドアクセス、読み出し / 書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブ레이크アドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブ레이크データをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブ레이크レジスタ (CETR1) により指定します。シーケンシャルブ레이크を設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

29. ユーザブ레이크コントローラ (UBC)

2. マッチ条件が成立した場合のブ레이크要求の有無、命令フェッチによる条件成立の場合のブ레이크位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブ레이크が発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブ레이크要求が発生します。SR レジスタの BL ビットにより、ブ레이크要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブ레이크要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブ레이크がほぼ同時に発生する場合があります。CPU に対するブ레이크要求は 1 つだけであっても、これらのブ레이크に対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブ레이크要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

29.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ CBR1 のDBEビットは無効となり、マッチデータ設定レジスタ CDR1 およびマッチデータマスク設定レジスタ CDMR1 の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

29.3.4 オペランドアクセスサイクルブ레이크

1. オペランドアクセスサイクルブ레이크の場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 29.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE 命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブ레이크を発生させないでください。

29.3.5 シーケンシャルブ레이크

1. マッチ条件設定レジスタ (CBR0、CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル0 マッチ条件が成立した後チャンネル1 マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル 1 については実行回数ブ레이크条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

29. ユーザブレイクコントローラ (UBC)

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

29.3.6 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

- 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

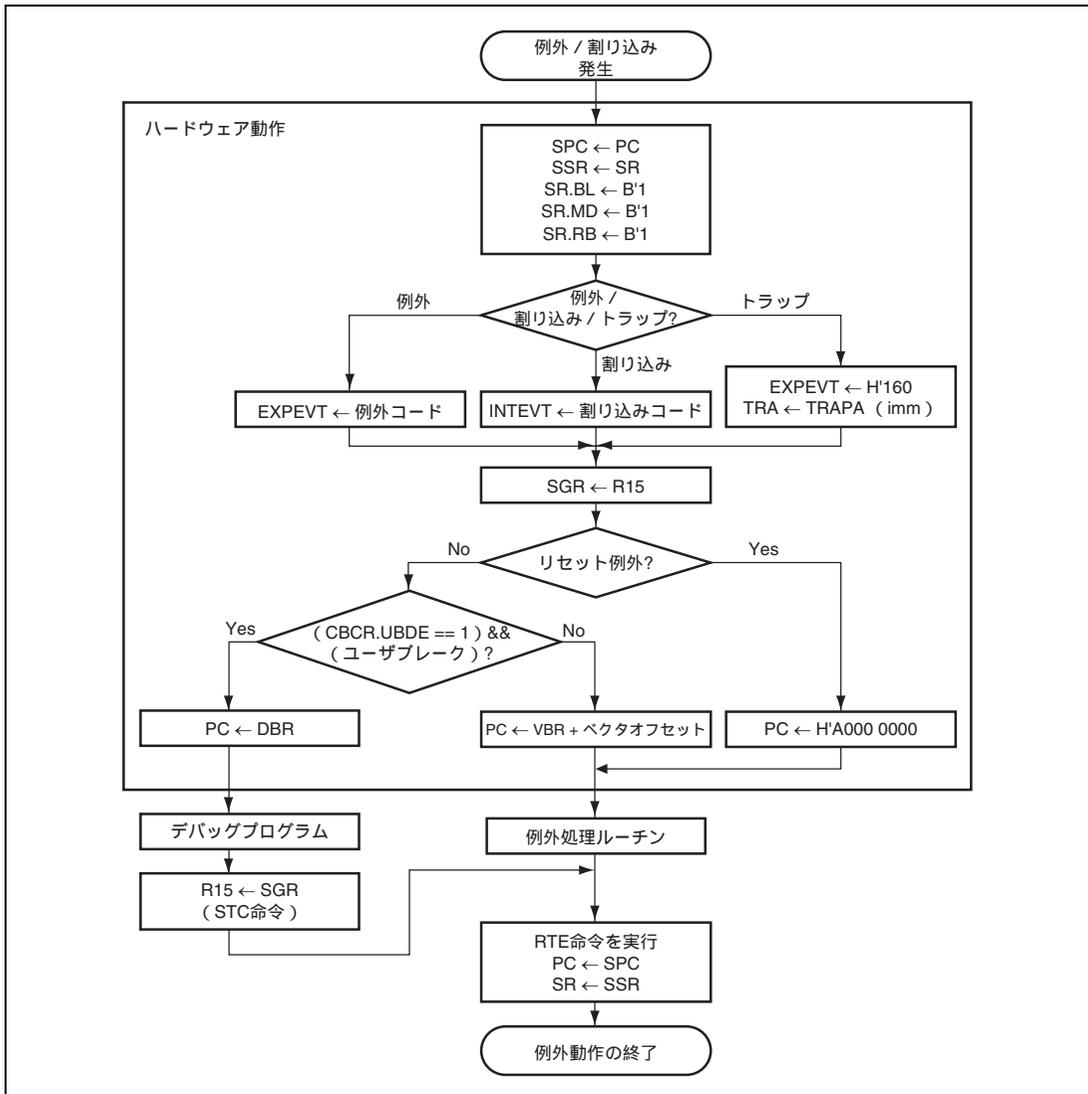
SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレス+データ) をマッチ条件と指定指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に回避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが回避されます。

29.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 29.2 に示します。



29.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

- 例 1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル 1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

- 例 1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル 0 チャンネル 1 シーケンシャルモード

【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例 1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例 1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

29. ユーザブレイクコントローラ (UBC)

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレイクが発生します。

• 例 1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5 回

ASID、データ値は条件に含まれない

チャンネル0 では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル1 では、ユーザブレイクは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

• 例 1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル 1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

29. ユーザブレイクコントローラ (UBC)

(2) オペランドアクセスサイクルに指定したマッチ条件

- 例 2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル 1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル 0 では、ユーザブレイクは、ASID = H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレイクは ASID = H'70 で H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに生じます。

29.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみ有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の 1～5 命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

29. ユーザブレークコントローラ (UBC)

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

30. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) のサブセットをサポートしたシリアル入出力インタフェースであり、エミュレータの接続に使用します。

30.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" のサブセットをサポートしたシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの JTAG 機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) からなります。 $\overline{\text{ASEBRK}}/\text{BRKACK}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格にサブセットをサポートします。さらにエミュレータ用端子として 6 本の信号 (AUDSYNC、AUDCK、AUDATA3 ~ 0)、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP (Test Access Port) コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 30.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

30. ユーザデバッグインタフェース (H-UDI)

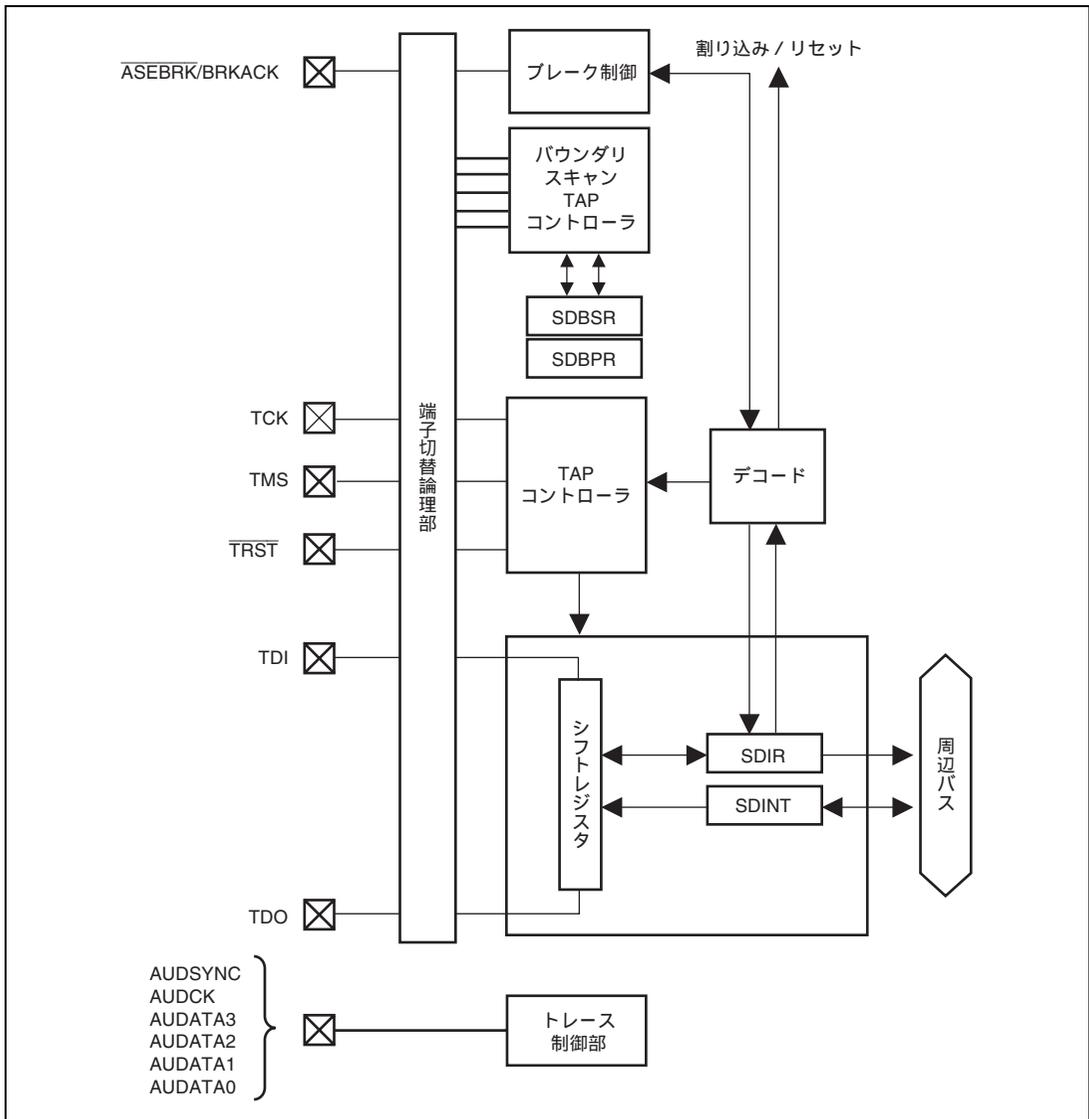


図 30.1 H-UDI のブロック図

30.2 入出力端子

H-UDI の端子構成を表 30.1 に示します。

表 30.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格のサブセットをサポートします。	オープン* ¹
TRST* ²	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定または RESET 接続* ³
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* ¹
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* ¹
AUDSYNC AUDCK AUDATA3~0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	チップモード指定端子	入力	エミュレーションサポートモードとして動作させる (MPMD=0) が、本体チップモードとして動作させる (MPMD=1) がを示します。	VDDQ に プルアップ

【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

*2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み/リセットを利用する場合は、電源投入時に PRESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。

*3 グランド固定または PRESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グランド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。CPG の設定の詳細は「第 15 章 クロック発振器 (CPG)」を参照してください。

30. ユーザデバッグインタフェース (H-UDI)

30.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 30.2 レジスタ構成 (1)

名称	略称	CPU 側				
		R/W	P4 領域 アドレス	エリア7 アドレス	サイズ	同期クロック
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	Pck
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	Pck
バウンダリスキャンレジスタ	SDBSR	-	-	-	-	-
バイパスレジスタ	SDBPR	-	-	-	-	-

表 30.2 レジスタ構成 (2)

名称	略称	H-UDI 端子側		
		R/W	サイズ	同期クロック
インストラクションレジスタ	SDIR	R/W* ¹	32	Pck
割り込み要因レジスタ	SDINT	W* ²	32	Pck
バウンダリスキャンレジスタ	SDBSR	R/W	-	-
バイパスレジスタ	SDBPR	R/W	1	-

【注】 *1 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*2 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 30.3 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	モジュール スタンバイ	スリープ	ディープ スリープ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持	保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持	保持

30.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test-Logic-Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。H-UDI からの読み出し場合は常に固定値 (H'FFFF FFFD) となります。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx : H-UDI リセット・ネゲート 0111xxxx : H-UDI リセット・アサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出しは 1 が読み出されます。

30.3.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアし、再度 INTREQ を読み出しクリアされたことを確認してください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test-Logic-Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出しは 0 が読み出されます。書き込む値は常に 0 にしてください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできません。このビットに 1 を書き込んだ場合は、直前の値を保持します。

30.3.3 バイパスレジスタ (SDBPR)

SDBPR は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。バウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

30.3.4 バウンダリスキャンレジスタ (SDBSR)

SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格のサブセットをサポートしたバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

表 30.4 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ
From TDI			523	$\overline{\text{BACK}}$	INPUT
550	DRAK2/ $\overline{\text{CE2A}}$	INPUT	522	$\overline{\text{BACK}}$	CONTROL
549	DRAK2/ $\overline{\text{CE2A}}$	CONTROL	521	$\overline{\text{BACK}}$	OUTPUT
548	DRAK2/ $\overline{\text{CE2A}}$	OUTPUT	520	$\overline{\text{BREQ}}$	INPUT
547	DACK3/SCK2/MMCDAT/SIOFSCK1	INPUT	519	$\overline{\text{BREQ}}$	CONTROL
546	DACK3/SCK2/MMCDAT/SIOFSCK1	CONTROL	518	$\overline{\text{BREQ}}$	OUTPUT
545	DACK3/SCK2/MMCDAT/SIOFSCK1	OUTPUT	517	STATUS1/DRAK1	INPUT
544	DACK2/TXD2/MMCCMD/SIOFTXD1	INPUT	516	STATUS1/DRAK1	CONTROL
543	DACK2/TXD2/MMCCMD/SIOFTXD1	CONTROL	515	STATUS1/DRAK1	OUTPUT
542	DACK2/TXD2/MMCCMD/SIOFTXD1	OUTPUT	514	STATUS0/DRAK0	INPUT
541	DACK1	INPUT	513	STATUS0/DRAK0	CONTROL
540	DACK1	CONTROL	512	STATUS0/DRAK0	OUTPUT
539	DACK1	OUTPUT	511	$\overline{\text{IRL3}}$	INPUT
538	DACK0	INPUT	510	$\overline{\text{IRL3}}$	CONTROL
537	DACK0	CONTROL	509	$\overline{\text{IRL3}}$	OUTPUT
536	DACK0	OUTPUT	508	$\overline{\text{IRL2}}$	INPUT
535	DREQ3/ $\overline{\text{INTC}}$	INPUT	507	$\overline{\text{IRL2}}$	CONTROL
534	DREQ3/ $\overline{\text{INTC}}$	CONTROL	506	$\overline{\text{IRL2}}$	OUTPUT
533	DREQ3/ $\overline{\text{INTC}}$	OUTPUT	505	$\overline{\text{IRL1}}$	INPUT
532	DREQ2/ $\overline{\text{INTB}}$	INPUT	504	$\overline{\text{IRL1}}$	CONTROL
531	DREQ2/ $\overline{\text{INTB}}$	CONTROL	503	$\overline{\text{IRL1}}$	OUTPUT
530	DREQ2/ $\overline{\text{INTB}}$	OUTPUT	502	$\overline{\text{IRL0}}$	INPUT
529	DREQ1	INPUT	501	$\overline{\text{IRL0}}$	CONTROL
528	DREQ1	CONTROL	500	$\overline{\text{IRL0}}$	OUTPUT
527	DREQ1	OUTPUT	499	NMI	INPUT
526	DREQ0	INPUT	498	NMI	CONTROL
525	DREQ0	CONTROL	497	NMI	OUTPUT
524	DREQ0	OUTPUT	496	$\overline{\text{INTA}}$	INPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
495	$\overline{\text{INTA}}$	CONTROL
494	$\overline{\text{INTA}}$	OUTPUT
493	CLK/DCLKIN	INPUT
492	$\overline{\text{PCIRESET}}$	INPUT
491	$\overline{\text{PCIRESET}}$	CONTROL
490	$\overline{\text{PCIRESET}}$	OUTPUT
489	$\overline{\text{GNT3/MMCCLK}}$	INPUT
488	$\overline{\text{GNT3/MMCCLK}}$	CONTROL
487	$\overline{\text{GNT3/MMCCLK}}$	OUTPUT
486	$\overline{\text{GNT2}}$	INPUT
485	$\overline{\text{GNT2}}$	CONTROL
484	$\overline{\text{GNT2}}$	OUTPUT
483	$\overline{\text{GNT1}}$	INPUT
482	$\overline{\text{GNT1}}$	CONTROL
481	$\overline{\text{GNT1}}$	OUTPUT
480	$\overline{\text{REQ3/MMCCD}}$	INPUT
479	$\overline{\text{REQ3/MMCCD}}$	CONTROL
478	$\overline{\text{REQ3/MMCCD}}$	OUTPUT
477	$\overline{\text{REQ2}}$	INPUT
476	$\overline{\text{REQ2}}$	CONTROL
475	$\overline{\text{REQ2}}$	OUTPUT
474	$\overline{\text{REQ1}}$	INPUT
473	$\overline{\text{REQ1}}$	CONTROL
472	$\overline{\text{REQ1}}$	OUTPUT
471	$\overline{\text{GNT0/GNTIN}}$	INPUT
470	$\overline{\text{GNT0/GNTIN}}$	CONTROL
469	$\overline{\text{GNT0/GNTIN}}$	OUTPUT
468	$\overline{\text{REQ0/REQOUT}}$	INPUT
467	$\overline{\text{REQ0/REQOUT}}$	CONTROL
466	$\overline{\text{REQ0/REQOUT}}$	OUTPUT
465	$\overline{\text{PERR}}$	INPUT
464	$\overline{\text{PERR}}$	CONTROL
463	$\overline{\text{PERR}}$	OUTPUT
462	$\overline{\text{SERR}}$	INPUT
461	$\overline{\text{SERR}}$	CONTROL
460	$\overline{\text{SERR}}$	OUTPUT

番号	ピン名称	タイプ
459	$\overline{\text{STOP/CDE}}$	INPUT
458	$\overline{\text{STOP/CDE}}$	CONTROL
457	$\overline{\text{STOP/CDE}}$	OUTPUT
456	PAR	INPUT
455	PAR	CONTROL
454	PAR	OUTPUT
453	$\overline{\text{DEVSEL/DCLKOUT}}$	INPUT
452	$\overline{\text{DEVSEL/DCLKOUT}}$	CONTROL
451	$\overline{\text{DEVSEL/DCLKOUT}}$	OUTPUT
450	$\overline{\text{LOCK/ODDF}}$	INPUT
449	$\overline{\text{LOCK/ODDF}}$	CONTROL
448	$\overline{\text{LOCK/ODDF}}$	OUTPUT
447	IDSEL	INPUT
446	IDSEL	CONTROL
445	IDSEL	OUTPUT
444	$\overline{\text{TRDY/DISP}}$	INPUT
443	$\overline{\text{TRDY/DISP}}$	CONTROL
442	$\overline{\text{TRDY/DISP}}$	OUTPUT
441	$\overline{\text{IRDY/HSYNC}}$	INPUT
440	$\overline{\text{IRDY/HSYNC}}$	CONTROL
439	$\overline{\text{IRDY/HSYNC}}$	OUTPUT
438	$\overline{\text{FRAME/VSYNC}}$	INPUT
437	$\overline{\text{FRAME/VSYNC}}$	CONTROL
436	$\overline{\text{FRAME/VSYNC}}$	OUTPUT
435	$\overline{\text{WE7/CBE3}}$	INPUT
434	$\overline{\text{WE7/CBE3}}$	CONTROL
433	$\overline{\text{WE7/CBE3}}$	OUTPUT
432	$\overline{\text{WE6/CBE2}}$	INPUT
431	$\overline{\text{WE6/CBE2}}$	CONTROL
430	$\overline{\text{WE6/CBE2}}$	OUTPUT
429	$\overline{\text{WE5/CBE1}}$	INPUT
428	$\overline{\text{WE5/CBE1}}$	CONTROL
427	$\overline{\text{WE5/CBE1}}$	OUTPUT
426	$\overline{\text{WE4/CBE0}}$	INPUT
425	$\overline{\text{WE4/CBE0}}$	CONTROL
424	$\overline{\text{WE4/CBE0}}$	OUTPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
423	D63/AD31	INPUT
422	D63/AD31	CONTROL
421	D63/AD31	OUTPUT
420	D62/AD30	INPUT
419	D62/AD30	CONTROL
418	D62/AD30	OUTPUT
417	D61/AD29	INPUT
416	D61/AD29	CONTROL
415	D61/AD29	OUTPUT
414	D60/AD28	INPUT
413	D60/AD28	CONTROL
412	D60/AD28	OUTPUT
411	D59/AD27	INPUT
410	D59/AD27	CONTROL
409	D59/AD27	OUTPUT
408	D58/AD26	INPUT
407	D58/AD26	CONTROL
406	D58/AD26	OUTPUT
405	D57/AD25	INPUT
404	D57/AD25	CONTROL
403	D57/AD25	OUTPUT
402	D56/AD24	INPUT
401	D56/AD24	CONTROL
400	D56/AD24	OUTPUT
399	D55/AD23	INPUT
398	D55/AD23	CONTROL
397	D55/AD23	OUTPUT
396	D54/AD22	INPUT
395	D54/AD22	CONTROL
394	D54/AD22	OUTPUT
393	D53/AD21	INPUT
392	D53/AD21	CONTROL
391	D53/AD21	OUTPUT
390	D52/AD20	INPUT
389	D52/AD20	CONTROL
388	D52/AD20	OUTPUT

番号	ピン名称	タイプ
387	D51/AD19	INPUT
386	D51/AD19	CONTROL
385	D51/AD19	OUTPUT
384	D50/AD18	INPUT
383	D50/AD18	CONTROL
382	D50/AD18	OUTPUT
381	D49/AD17/DB5	INPUT
380	D49/AD17/DB5	CONTROL
379	D49/AD17/DB5	OUTPUT
378	D48/AD16/DB4	INPUT
377	D48/AD16/DB4	CONTROL
376	D48/AD16/DB4	OUTPUT
375	D47/AD15/DB3	INPUT
374	D47/AD15/DB3	CONTROL
373	D47/AD15/DB3	OUTPUT
372	D46/AD14/DB2	INPUT
371	D46/AD14/DB2	CONTROL
370	D46/AD14/DB2	OUTPUT
369	D45/AD13/DB1	INPUT
368	D45/AD13/DB1	CONTROL
367	D45/AD13/DB1	OUTPUT
366	D44/AD12/DB0	INPUT
365	D44/AD12/DB0	CONTROL
364	D44/AD12/DB0	OUTPUT
363	D43/AD11/DG5	INPUT
362	D43/AD11/DG5	CONTROL
361	D43/AD11/DG5	OUTPUT
360	D42/AD10/DG4	INPUT
359	D42/AD10/DG4	CONTROL
358	D42/AD10/DG4	OUTPUT
357	D41/AD9/DG3	INPUT
356	D41/AD9/DG3	CONTROL
355	D41/AD9/DG3	OUTPUT
354	D40/AD8/DG2	INPUT
353	D40/AD8/DG2	CONTROL
352	D40/AD8/DG2	OUTPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
351	D39/AD7/DG1	INPUT
350	D39/AD7/DG1	CONTROL
349	D39/AD7/DG1	OUTPUT
348	D38/AD6/DG0	INPUT
347	D38/AD6/DG0	CONTROL
346	D38/AD6/DG0	OUTPUT
345	D37/AD5/DR5	INPUT
344	D37/AD5/DR5	CONTROL
343	D37/AD5/DR5	OUTPUT
342	D36/AD4/DR4	INPUT
341	D36/AD4/DR4	CONTROL
340	D36/AD4/DR4	OUTPUT
339	D35/AD3/DR3	INPUT
338	D35/AD3/DR3	CONTROL
337	D35/AD3/DR3	OUTPUT
336	D34/AD2/DR2	INPUT
335	D34/AD2/DR2	CONTROL
334	D34/AD2/DR2	OUTPUT
333	D33/AD1/DR1	INPUT
332	D33/AD1/DR1	CONTROL
331	D33/AD1/DR1	OUTPUT
330	D32/AD0/DR0	INPUT
329	D32/AD0/DR0	CONTROL
328	D32/AD0/DR0	OUTPUT
327	CLKOUTENB	INPUT
326	CLKOUTENB	CONTROL
325	CLKOUTENB	OUTPUT
324	CLKOUT	INPUT
323	CLKOUT	CONTROL
322	CLKOUT	OUTPUT
321	$\overline{\text{RDY}}$	INPUT
320	$\overline{\text{RDY}}$	CONTROL
319	$\overline{\text{RDY}}$	OUTPUT
318	$\overline{\text{WE3}}$	INPUT
317	$\overline{\text{WE3}}$	CONTROL
316	$\overline{\text{WE3}}$	OUTPUT

番号	ピン名称	タイプ
315	$\overline{\text{WE2}}$	INPUT
314	$\overline{\text{WE2}}$	CONTROL
313	$\overline{\text{WE2}}$	OUTPUT
312	$\overline{\text{WE1}}$	INPUT
311	$\overline{\text{WE1}}$	CONTROL
310	$\overline{\text{WE1}}$	OUTPUT
309	$\overline{\text{WE0}}$	INPUT
308	$\overline{\text{WE0}}$	CONTROL
307	$\overline{\text{WE0}}$	OUTPUT
306	$\overline{\text{BS}}$	INPUT
305	$\overline{\text{BS}}$	CONTROL
304	$\overline{\text{BS}}$	OUTPUT
303	R/ $\overline{\text{W}}$	INPUT
302	R/ $\overline{\text{W}}$	CONTROL
301	R/ $\overline{\text{W}}$	OUTPUT
300	$\overline{\text{RD}}$	INPUT
299	$\overline{\text{RD}}$	CONTROL
298	$\overline{\text{RD}}$	OUTPUT
297	$\overline{\text{CS6}}$	INPUT
296	$\overline{\text{CS6}}$	CONTROL
295	$\overline{\text{CS6}}$	OUTPUT
294	$\overline{\text{CS5}}$	INPUT
293	$\overline{\text{CS5}}$	CONTROL
292	$\overline{\text{CS5}}$	OUTPUT
291	$\overline{\text{CS4}}$	INPUT
290	$\overline{\text{CS4}}$	CONTROL
289	$\overline{\text{CS4}}$	OUTPUT
288	$\overline{\text{CS3}}$	INPUT
287	$\overline{\text{CS3}}$	CONTROL
286	$\overline{\text{CS3}}$	OUTPUT
285	$\overline{\text{CS2}}$	INPUT
284	$\overline{\text{CS2}}$	CONTROL
283	$\overline{\text{CS2}}$	OUTPUT
282	$\overline{\text{CS1}}$	INPUT
281	$\overline{\text{CS1}}$	CONTROL
280	$\overline{\text{CS1}}$	OUTPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
279	CS0	INPUT
278	CS0	CONTROL
277	CS0	OUTPUT
276	A25	INPUT
275	A25	CONTROL
274	A25	OUTPUT
273	A24	INPUT
272	A24	CONTROL
271	A24	OUTPUT
270	A23	INPUT
269	A23	CONTROL
268	A23	OUTPUT
267	A22	INPUT
266	A22	CONTROL
265	A22	OUTPUT
264	A21	INPUT
263	A21	CONTROL
262	A21	OUTPUT
261	A20	INPUT
260	A20	CONTROL
259	A20	OUTPUT
258	A19	INPUT
257	A19	CONTROL
256	A19	OUTPUT
255	A18	INPUT
254	A18	CONTROL
253	A18	OUTPUT
252	A17	INPUT
251	A17	CONTROL
250	A17	OUTPUT
249	A16	INPUT
248	A16	CONTROL
247	A16	OUTPUT
246	A15	INPUT
245	A15	CONTROL
244	A15	OUTPUT

番号	ピン名称	タイプ
243	A14	INPUT
242	A14	CONTROL
241	A14	OUTPUT
240	A13	INPUT
239	A13	CONTROL
238	A13	OUTPUT
237	A12	INPUT
236	A12	CONTROL
235	A12	OUTPUT
234	A11	INPUT
233	A11	CONTROL
232	A11	OUTPUT
231	A10	INPUT
230	A10	CONTROL
229	A10	OUTPUT
228	A9	INPUT
227	A9	CONTROL
226	A9	OUTPUT
225	A8	INPUT
224	A8	CONTROL
223	A8	OUTPUT
222	A7	INPUT
221	A7	CONTROL
220	A7	OUTPUT
219	A6	INPUT
218	A6	CONTROL
217	A6	OUTPUT
216	A5	INPUT
215	A5	CONTROL
214	A5	OUTPUT
213	A4	INPUT
212	A4	CONTROL
211	A4	OUTPUT
210	A3	INPUT
209	A3	CONTROL
208	A3	OUTPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
207	A2	INPUT
206	A2	CONTROL
205	A2	OUTPUT
204	A1	INPUT
203	A1	CONTROL
202	A1	OUTPUT
201	A0	INPUT
200	A0	CONTROL
199	A0	OUTPUT
198	D31	INPUT
197	D31	CONTROL
196	D31	OUTPUT
195	D30	INPUT
194	D30	CONTROL
193	D30	OUTPUT
192	D29	INPUT
191	D29	CONTROL
190	D29	OUTPUT
189	D28	INPUT
188	D28	CONTROL
187	D28	OUTPUT
186	D27	INPUT
185	D27	CONTROL
184	D27	OUTPUT
183	D26	INPUT
182	D26	CONTROL
181	D26	OUTPUT
180	D25	INPUT
179	D25	CONTROL
178	D25	OUTPUT
177	D24	INPUT
176	D24	CONTROL
175	D24	OUTPUT
174	D23	INPUT
173	D23	CONTROL
172	D23	OUTPUT

番号	ピン名称	タイプ
171	D22	INPUT
170	D22	CONTROL
169	D22	OUTPUT
168	D21	INPUT
167	D21	CONTROL
166	D21	OUTPUT
165	D20	INPUT
164	D20	CONTROL
163	D20	OUTPUT
162	D19	INPUT
161	D19	CONTROL
160	D19	OUTPUT
159	D18	INPUT
158	D18	CONTROL
157	D18	OUTPUT
156	D17	INPUT
155	D17	CONTROL
154	D17	OUTPUT
153	D16	INPUT
152	D16	CONTROL
151	D16	OUTPUT
150	D15	INPUT
149	D15	CONTROL
148	D15	OUTPUT
147	D14	INPUT
146	D14	CONTROL
145	D14	OUTPUT
144	D13	INPUT
143	D13	CONTROL
142	D13	OUTPUT
141	D12	INPUT
140	D12	CONTROL
139	D12	OUTPUT
138	D11	INPUT
137	D11	CONTROL
136	D11	OUTPUT

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
135	D10	INPUT
134	D10	CONTROL
133	D10	OUTPUT
132	D9	INPUT
131	D9	CONTROL
130	D9	OUTPUT
129	D8	INPUT
128	D8	CONTROL
127	D8	OUTPUT
126	D7	INPUT
125	D7	CONTROL
124	D7	OUTPUT
123	D6	INPUT
122	D6	CONTROL
121	D6	OUTPUT
120	D5	INPUT
119	D5	CONTROL
118	D5	OUTPUT
117	D4	INPUT
116	D4	CONTROL
115	D4	OUTPUT
114	D3	INPUT
113	D3	CONTROL
112	D3	OUTPUT
111	D2	INPUT
110	D2	CONTROL
109	D2	OUTPUT
108	D1	INPUT
107	D1	CONTROL
106	D1	OUTPUT
105	D0	INPUT
104	D0	CONTROL
103	D0	OUTPUT
102	MRESETOUT/IRQOUT	INPUT
101	MRESETOUT/IRQOUT	CONTROL
100	MRESETOUT/IRQOUT	OUTPUT

番号	ピン名称	タイプ
99	MODE14	INPUT
98	MODE13/TCLK/IOIS16	INPUT
97	MODE13/TCLK/IOIS16	CONTROL
96	MODE13/TCLK/IOIS16	OUTPUT
95	MODE12/DRAK3/CE2B	INPUT
94	MODE12/DRAK3/CE2B	CONTROL
93	MODE12/DRAK3/CE2B	OUTPUT
92	MODE11/SCK4/FD3	INPUT
91	MODE11/SCK4/FD3	CONTROL
90	MODE11/SCK4/FD3	OUTPUT
89	MODE10/RXD4/FD2	INPUT
88	MODE10/RXD4/FD2	CONTROL
87	MODE10/RXD4/FD2	OUTPUT
86	MODE9/TXD4/FD1	INPUT
85	MODE9/TXD4/FD1	CONTROL
84	MODE9/TXD4/FD1	OUTPUT
83	MODE8/SCK3/FD0	INPUT
82	MODE8/SCK3/FD0	CONTROL
81	MODE8/SCK3/FD0	OUTPUT
80	MODE7/RXD3/FALE	INPUT
79	MODE7/RXD3/FALE	CONTROL
78	MODE7/RXD3/FALE	OUTPUT
77	MODE6/SIOFSYNC1	INPUT
76	MODE6/SIOFSYNC1	CONTROL
75	MODE6/SIOFSYNC1	OUTPUT
74	MODE5/SIOFMCLK1	INPUT
73	MODE5/SIOFMCLK1	CONTROL
72	MODE5/SIOFMCLK1	OUTPUT
71	MODE4/TXD3/FCLE	INPUT
70	MODE4/TXD3/FCLE	CONTROL
69	MODE4/TXD3/FCLE	OUTPUT
68	MODE3/IRL7/FD7	INPUT
67	MODE3/IRL7/FD7	CONTROL
66	MODE3/IRL7/FD7	OUTPUT
65	MODE2/IRL6/FD6	INPUT
64	MODE2/IRL6/FD6	CONTROL

30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ
63	MODE2/ $\overline{\text{IRL6}}$ /FD6	OUTPUT
62	MODE1/ $\overline{\text{IRL5}}$ /FD5	INPUT
61	MODE1/ $\overline{\text{IRL5}}$ /FD5	CONTROL
60	MODE1/ $\overline{\text{IRL5}}$ /FD5	OUTPUT
59	MODE0/ $\overline{\text{IRL4}}$ /FD4	INPUT
58	MODE0/ $\overline{\text{IRL4}}$ /FD4	CONTROL
57	MODE0/ $\overline{\text{IRL4}}$ /FD4	OUTPUT
56	SCK5/HAC1/SDOUT/SSI1/SDATA	INPUT
55	SCK5/HAC1/SDOUT/SSI1/SDATA	CONTROL
54	SCK5/HAC1/SDOUT/SSI1/SDATA	OUTPUT
53	RXD5/HAC1/SDIN/SSI1/SCK	INPUT
52	RXD5/HAC1/SDIN/SSI1/SCK	CONTROL
51	RXD5/HAC1/SDIN/SSI1/SCK	OUTPUT
50	TXD5/HAC1/SYNC/SSI1/WS	INPUT
49	TXD5/HAC1/SYNC/SSI1/WS	CONTROL
48	TXD5/HAC1/SYNC/SSI1/WS	OUTPUT
47	HAC1/BITCLK/SSI1/CLK	INPUT
46	HAC1/BITCLK/SSI1/CLK	CONTROL
45	HAC1/BITCLK/SSI1/CLK	OUTPUT
44	TXD/HAC0/SDOUT/SSI0/SDATA	INPUT
43	TXD/HAC0/SDOUT/SSI0/SDATA	CONTROL
42	TXD/HAC0/SDOUT/SSI0/SDATA	OUTPUT
41	RXD/HAC0/SDIN/SSI0/SCK	INPUT
40	RXD/HAC0/SDIN/SSI0/SCK	CONTROL
39	RXD/HAC0/SDIN/SSI0/SCK	OUTPUT
38	SYNC/HAC0/SYNC/SSI0/WS	INPUT
37	SYNC/HAC0/SYNC/SSI0/WS	CONTROL
36	SYNC/HAC0/SYNC/SSI0/WS	OUTPUT
35	MCLK/HAC/ $\overline{\text{RES}}$	INPUT
34	MCLK/HAC/ $\overline{\text{RES}}$	CONTROL
33	MCLK/HAC/ $\overline{\text{RES}}$	OUTPUT
32	SCK/HAC0/BITCLK/SSI0/CLK	INPUT
31	SCK/HAC0/BITCLK/SSI0/CLK	CONTROL
30	SCK/HAC0/BITCLK/SSI0/CLK	OUTPUT
29	RXD2/SIOFRXD1	INPUT

番号	ピン名称	タイプ
28	RXD2/SIOFRXD1	CONTROL
27	RXD2/SIOFRXD1	OUTPUT
26	SCK1	INPUT
25	SCK1	CONTROL
24	SCK1	OUTPUT
23	RXD1	INPUT
22	RXD1	CONTROL
21	RXD1	OUTPUT
20	TXD1	INPUT
19	TXD1	CONTROL
18	TXD1	OUTPUT
17	$\overline{\text{CTS0}}/\overline{\text{INTD}}/\overline{\text{FCE}}$	INPUT
16	$\overline{\text{CTS0}}/\overline{\text{INTD}}/\overline{\text{FCE}}$	CONTROL
15	$\overline{\text{CTS0}}/\overline{\text{INTD}}/\overline{\text{FCE}}$	OUTPUT
14	$\overline{\text{RTS0}}/\overline{\text{HSPI}}/\overline{\text{CS}}/\overline{\text{FSE}}$	INPUT
13	$\overline{\text{RTS0}}/\overline{\text{HSPI}}/\overline{\text{CS}}/\overline{\text{FSE}}$	CONTROL
12	$\overline{\text{RTS0}}/\overline{\text{HSPI}}/\overline{\text{CS}}/\overline{\text{FSE}}$	OUTPUT
11	SCK0/HSPI/CLK/FRE	INPUT
10	SCK0/HSPI/CLK/FRE	CONTROL
9	SCK0/HSPI/CLK/FRE	OUTPUT
8	RXD0/HSPI/RX/FR/ $\overline{\text{B}}$	INPUT
7	RXD0/HSPI/RX/FR/ $\overline{\text{B}}$	CONTROL
6	RXD0/HSPI/RX/FR/ $\overline{\text{B}}$	OUTPUT
5	TXD0/HSPI/TX/ $\overline{\text{FWE}}$	INPUT
4	TXD0/HSPI/TX/ $\overline{\text{FWE}}$	CONTROL
3	TXD0/HSPI/TX/ $\overline{\text{FWE}}$	OUTPUT
2	$\overline{\text{ASEBRK}}$	INPUT
1	$\overline{\text{ASEBRK}}$	CONTROL
0	ASEBRK	OUTPUT
	To TDO	

【注】 CONTROL はローアクティブの信号。CONTROL を LOW にすることで、該当ピンを OUT 値でドライブする。

30.4 動作説明

30.4.1 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが活き、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL) はバウンダリスキャンの対象から外れます。
- リセット関連信号 ($\overline{\text{PRESET}}$) はバウンダリスキャンの対象から外れます。
- H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、AUDSYNC、AUDCK、AUDATA3~0、MPMD) はバウンダリスキャンの対象から外れます。
- DDR2 IF 関連端子はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、H-UDI 切り替えコマンド) 実行時、TCK の最大周波数は 10MHz です。
- H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 8 ビットです。

以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】 バウンダリスキャン利用時は、MPMD をハイレベル、 $\overline{\text{PRESET}}$ 端子をハイレベルに固定にしてください。また、エミュレーションサポートモードとして動作させる (MPMD=0) 場合、バウンダリスキャン機能を利用することはできません。バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを図 30.2 に示します。

表 30.5 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド
上記以外								設定禁止

30. ユーザデバッグインタフェース (H-UDI)

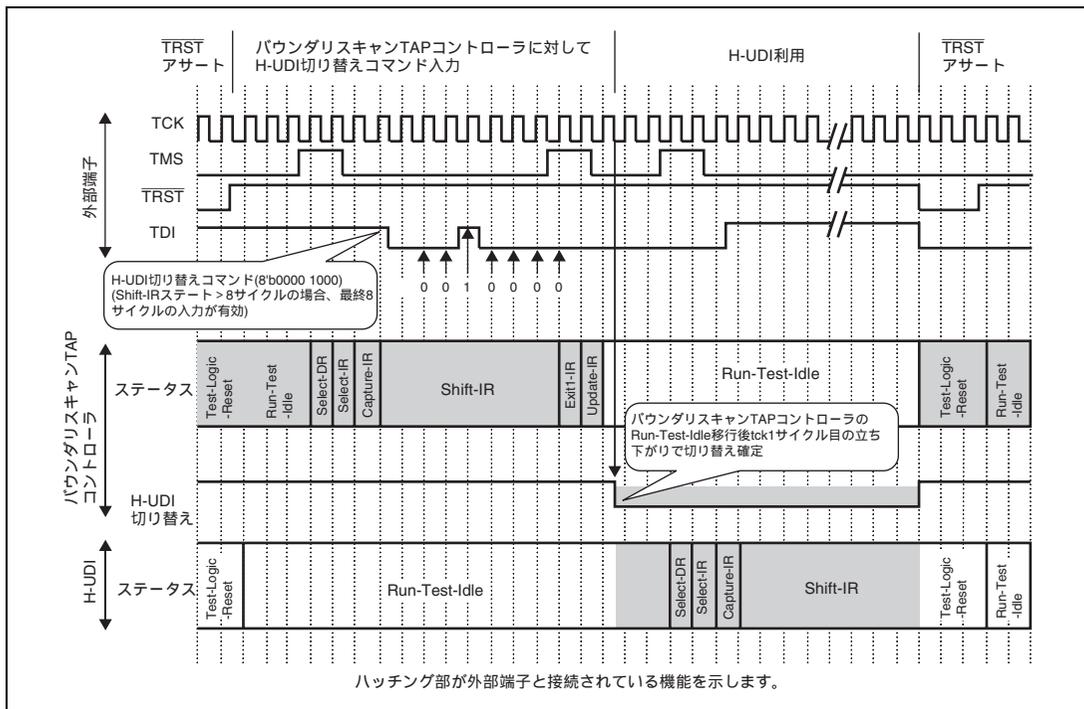


図 30.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

30.4.2 TAP 制御

図 30.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移にサブセットをサポートしています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDO端子はShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

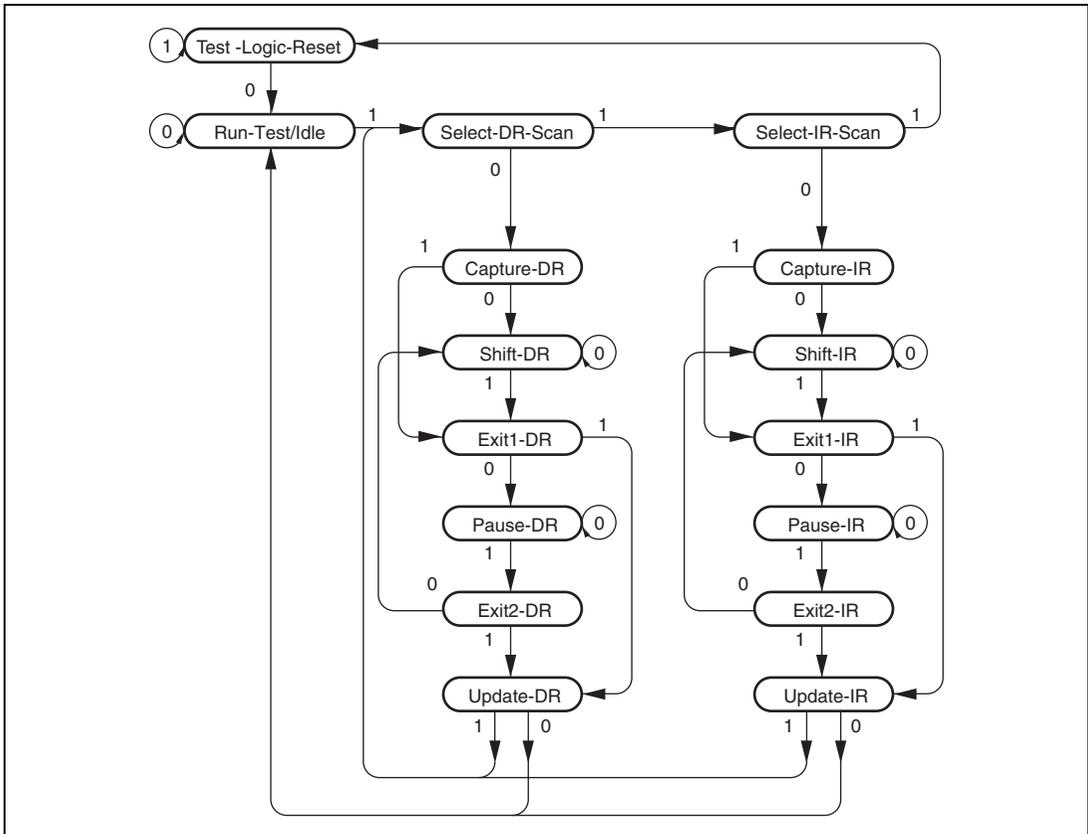


図 30.3 TAP 制御状態遷移図

30.4.3 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 30.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。H-UDI リセット・アサートコマンドをセット後、Pck 4 サイクル後にチップ内リセットがアサートされ、H-UDI リセット・ネゲートコマンドをセット後、リセット保持期間(最小で Pck 17 サイクル、最大で Pck 42 サイクルです。詳細は「第 15 章 クロック発振器 (CPG)」を参照してください。)後にチップ内リセットがネゲートされます。

【注】 WDT モジュールは初期化されません。ただし、WDT モジュールのオーバーフローカウンタは初期化されます。

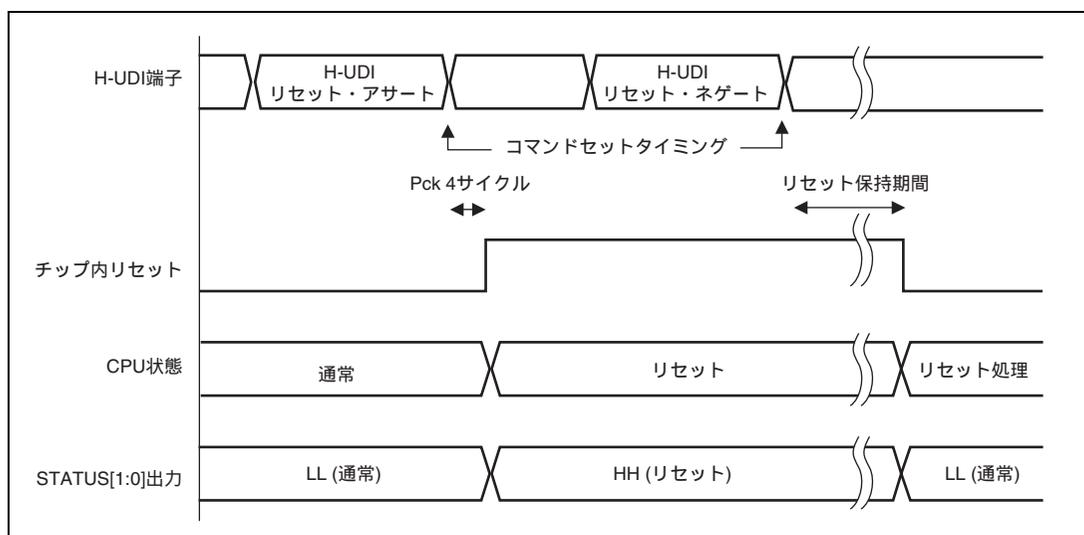


図 30.4 H-UDI リセット

30.4.4 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みは一般例外/割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ INT2PRI4 のビット 28~24 により H-UDI 割り込みの優先度を制御できます。詳細は「第 10 章 割り込みコントローラ (INTC)」を参照してください。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。TDO から読み出される値などは「30.3.2 割り込み要因レジスタ (SDINT)」を参照してください。

30.5 注意事項

- (1) 一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。
- (2) スリープモードおよびディープスリープモードは H-UDI 割り込み、H-UDI リセットにより解除され、それらの要求を受け付けます。
- (3) H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、JTAG の機能は使用できません。

30. ユーザデバッグインタフェース (H-UDI)

31. レジスタ一覧

本章では、内蔵 I/O レジスタについて、各章で説明された内容を一覧表の形でまとめて説明しています。

31.1 レジスタアドレス一覧

本 LSI に内蔵されている I/O レジスタのアドレス一覧を表 31.1 に示します。機能モジュールごとに、マニュアルの章番号の順に表記しています。一覧表の形にまとめるあたって、一部の説明や注意事項が省略されています。レジスタの詳細に関しては、各章のレジスタの説明を参照してください。

- 【注】
1. 本表に記載されていない未定義およびリザーブアドレスのアクセスは禁止します。
 2. 指定されたアクセスサイズ以外のアクセスは禁止します。
 3. レジスタアドレスは、P4 領域アドレス（仮想アドレス空間の P4 領域を用いた場合のもの）とエリア 7 アドレス（TLB を用いて物理アドレス空間のエリア 7 からアクセスするもの）で表示しています。
 4. PCIC モジュールにおける R/W は、SuperHyway バスからアクセスした場合の状態を示します。

31. レジスタ一覧

表 31.1 レジスタアドレス一覧表

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
例外処理	TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
	例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
	割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
	非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32
MMU	ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
	ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
	変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
	TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
	MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
	物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
	命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32
	ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
キャッシュ	キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
	キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
	キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
	内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
L メモリ	L メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
	L メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
	L メモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
	L メモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32
INTC	割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32
	割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32
	割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32
	割り込み要因レジスタ	INTREQ	R/(W) ^{*1}	H'FFD0 0024	H'1FD0 0024	32
	割り込みマスクレジスタ 0	INTMSK0	R/W	H'FFD0 0044	H'1FD0 0044	32
	割り込みマスクレジスタ 1	INTMSK1	R/W	H'FFD0 0048	H'1FD0 0048	32
	割り込みマスクレジスタ 2	INTMSK2	R/W	H'FFD4 0080	H'1FD4 0080	32
	割り込みマスククリアレジスタ 0	INTMSKCLR0	R/W	H'FFD0 0064	H'1FD0 0064	32
	割り込みマスククリアレジスタ 1	INTMSKCLR1	R/W	H'FFD0 0068	H'1FD0 0068	32
	割り込みマスククリアレジスタ 2	INTMSKCLR2	R/W	H'FFD4 0084	H'1FD4 0084	32
	NMI フラグコントロールレジスタ	NMIFCR	R/(W) ^{*2}	H'FFD0 00C0	H'1FD0 00C0	32
	ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32
	割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32

モジュール名	名称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
INTC	割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32
	割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32
	割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32
	割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32
	割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32
	割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32
	割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32
	割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 0020	H'1FD4 0020	32
	割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FFD4 0024	H'1FD4 0024	32
	割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32
	割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32
	割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32
	割り込みマスククリアレジスタ	INT2MSCLR	R/W	H'FFD4 003C	H'1FD4 003C	32
	モジュール別割り込み要因レジスタ 0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32
	モジュール別割り込み要因レジスタ 1	INT2B1	R	H'FFD4 0044	H'1FD4 0044	32
	モジュール別割り込み要因レジスタ 2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32
	モジュール別割り込み要因レジスタ 3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32
	モジュール別割り込み要因レジスタ 4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32
	モジュール別割り込み要因レジスタ 5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32
	モジュール別割り込み要因レジスタ 6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32
モジュール別割り込み要因レジスタ 7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32	
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32	
LBSC	メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FC40 0020	H'1C40 0020	32
	バスコントロールレジスタ	BCR	R/W	H'FF80 1000	H'1F80 1000	32
	CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	H'1F80 2000	32
	CS1 バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	H'1F80 2010	32
	CS2 バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	H'1F80 2020	32
	CS3 バスコントロールレジスタ	CS3BCR	R/W	H'FF80 2030	H'1F80 2030	32
	CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	H'1F80 2040	32
	CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	H'1F80 2050	32
	CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	H'1F80 2060	32
	CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	H'1F80 2008	32
	CS1 ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	H'1F80 2018	32
	CS2 ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	H'1F80 2028	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
LBSC	CS3 ウェイトコントロールレジスタ	CS3WCR	R/W	H'FF80 2038	H'1F80 2038	32
	CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	H'1F80 2048	32
	CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	H'1F80 2058	32
	CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	H'1F80 2068	32
	CS5PCMCIA コントロールレジスタ	CS5PCR	R/W	H'FF80 2070	H'1F80 2070	32
	CS6PCMCIA コントロールレジスタ	CS6PCR	R/W	H'FF80 2080	H'1F80 2080	32
DDR2IF	DBSC2 ステータスレジスタ	DBSTATE	R	H'FE80 000C	H'1E80 000C	32
	SDRAM 動作許可レジスタ	DBEN	R/W	H'FE80 0010	H'1E80 0010	32
	SDRAM コマンド制御レジスタ	DBCMDCNT	R/W	H'FE80 0014	H'1E80 0014	32
	SDRAM 構成設定レジスタ	DBCONF	R/W	H'FE80 0020	H'1E80 0020	32
	SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FE80 0030	H'1E80 0030	32
	SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FE80 0034	H'1E80 0034	32
	SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FE80 0038	H'1E80 0038	32
	SDRAM リフレッシュ制御レジスタ 0	DBRFCNT0	R/W	H'FE80 0040	H'1E80 0040	32
	SDRAM リフレッシュ制御レジスタ 1	DBRFCNT1	R/W	H'FE80 0044	H'1E80 0044	32
	SDRAM リフレッシュ制御レジスタ 2	DBRFCNT2	R/W	H'FE80 0048	H'1E80 0048	32
	SDRAM リフレッシュステータスレジスタ	DBRFSTS	R/W	H'FE80 004C	H'1E80 004C	32
	DDRPAD 周波数設定レジスタ	DBFREQ	R/W	H'FE80 0050	H'1E80 0050	32
	DDRPAD DIC ODT OCD 設定レジスタ	DBDICODT OCD	R/W	H'FE80 0054	H'1E80 0054	32
	SDRAM モード設定レジスタ	DBMRCNT	W	H'FE80 0060	H'1E80 0060	32
PCIC	コントロールレジスタ空間 (物理アドレス : H'FE00 0000 - H'FE03 FFFF)					
	PCIC イネーブル制御レジスタ	PCIECR	R/W	H'FE00 0008	H'1E00 00008	32
	PCI コンフィグレジスタ空間 (物理アドレス : H'FE04 0000 - H'FE04 00FF)					
	PCI ベンダ ID レジスタ	PCIVID	R	H'FE04 0000	H'1E04 0000	(32)/16/8
	PCI デバイス ID レジスタ	PCIDID	R	H'FE04 0002	H'1E04 0002	(32)/16/8
	PCI コマンドレジスタ	PCICMD	R/W	H'FE04 0004	H'1E04 0004	(32)/16/8
	PCI ステータスレジスタ	PCISTATUS	R/W	H'FE04 0006	H'1E04 0006	(32)/16/8
	PCI レビジョン ID レジスタ	PCIRID	R	H'FE04 0008	H'1E04 0008	(32)/(16)/ 8
	PCI プログラムインタフェースレジスタ	PCIPIF	R/W	H'FE04 0009	H'1E04 0009	(32)/(16)/ 8
PCI サブクラスコードレジスタ	PCISUB	R/W	H'FE04 000A	H'1E04 000A	(32)/(16)/ 8	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
PCIC	PCI ベースクラスコードレジスタ	PCIBCC	R/W	H'FE04 000B	H'1E04 000B	(32)/(16)/ 8
	PCI キャッシュラインサイズレジスタ	PCICLS	R	H'FE04 000C	H'1E04 000C	(32)/(16)/ 8
	PCI レイテンシタイムレジスタ	PCILTM	R/W	H'FE04 000D	H'1E04 000D	(32)/(16)/ 8
	PCI ヘッドタイプレジスタ	PCIHDR	R	H'FE04 000E	H'1E04 000E	(32)/(16)/ 8
	PCI BIST レジスタ	PCIBIST	R	H'FE04 000F	H'1E04 000F	(32)/(16)/ 8
	PCI I/O ベースアドレスレジスタ	PCIIBAR	R/W	H'FE04 0010	H'1E04 0010	32/16/8
	PCI メモリベースアドレス 0 レジスタ	PCIMBAR0	R/W	H'FE04 0014	H'1E04 0014	32/16/8
	PCI メモリベースアドレス 1 レジスタ	PCIMBAR1	R/W	H'FE04 0018	H'1E04 0018	32/16/8
	PCI サブシステムベンダ ID レジスタ	PCISVID	R/W	H'FE04 002C	H'1E04 002C	(32)/16/8
	PCI サブシステム ID レジスタ	PCISID	R/W	H'FE04 002E	H'1E04 002E	(32)/16/8
	PCI 拡張機能ポインタレジスタ	PCICP	R	H'FE04 0034	H'1E04 0034	(32)/(16)/ 8
	PCI 割り込みラインレジスタ	PCIINTLINE	R/W	H'FE04 003C	H'1E04 003C	(32)/(16)/ 8
	PCI 割り込み端子指定レジスタ	PCIINTPIN	R/W	H'FE04 003D	H'1E04 003D	(32)/(16)/ 8
	PCI 最小グラント指定レジスタ	PCIMINGNT	R	H'FE04 003E	H'1E04 003E	(32)/(16)/ 8
	PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	R	H'FE04 003F	H'1E04 003F	(32)/(16)/ 8
	PCI 拡張機能 ID レジスタ	PCICID	R	H'FE04 0040	H'1E04 0040	(32)/(16)/ 8
	PCI 次項目ポインタレジスタ	PCINIP	R	H'FE04 0041	H'1E04 0041	(32)/(16)/ 8
	PCI パワーマネジメントレジスタ	PCIPMC	R/W	H'FE04 0042	H'1E04 0042	(32)/16/8
	PCI パワーマネジメントコントロール / ステータスレジスタ	PCIPMCSR	R/W	H'FE04 0044	H'1E04 0044	(32)/16/8
	PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSRBS E	R/W	H'FE04 0046	H'1E04 0046	(32)/(16)/ 8
PCI パワー消費 / 放散データレジスタ	PCIPCDD	R/W	H'FE04 0047	H'1E04 0047	(32)/(16)/ 8	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
PCIC	PCI ローカルレジスタ空間 (物理アドレス : H'FE04 0100 ~ H'FE04 03FF)					
	PCI コントロールレジスタ	PCICR	R/W	H'FE04 0100	H'1E04 0100	32/16/8
	PCI ローカルスペースレジスタ 0	PCILSR0	R/W	H'FE04 0104	H'1E04 0104	32/16/8
	PCI ローカルスペースレジスタ 1	PCILSR1	R/W	H'FE04 0108	H'1E04 0108	32/16/8
	PCI ローカルアドレスレジスタ 0	PCILAR0	R/W	H'FE04 010C	H'1E04 010C	32/16/8
	PCI ローカルアドレスレジスタ 1	PCILAR1	R/W	H'FE04 0110	H'1E04 0110	32/16/8
	PCI 割り込みレジスタ	PCIIR	R/W	H'FE04 0114	H'1E04 0114	32/16/8
	PCI 割り込みマスクレジスタ	PCIIMR	R/W	H'FE04 0118	H'1E04 0118	32/16/8
	PCI エラーアドレス情報レジスタ	PCIAIR	R	H'FE04 011C	H'1E04 011C	32/16/8
	PCI エラーコマンド情報レジスタ	PCICIR	R	H'FE04 0120	H'1E04 0120	32/16/8
	PCI アービタ割り込みレジスタ	PCIAINT	R/W	H'FE04 0130	H'1E04 0130	32/16/8
	PCI アービタ割り込みマスクレジスタ	PCIAINTM	R/W	H'FE04 0134	H'1E04 0134	32/16/8
	PCI バスマスタエラー情報レジスタ	PCIBMIR	R	H'FE04 0138	H'1E04 0138	32/16/8
	PCI PIO アドレスレジスタ*2	PCIPAR	R/W	H'FE04 01C0	H'1E04 01C0	32/16/8
	PCI パワーマネジメント割り込みレジスタ	PCIPINT	R/W	H'FE04 01CC	H'1E04 01CC	32/16/8
	PCI パワーマネジメント割り込みマスクレジスタ	PCIPINTM	R/W	H'FE04 01D0	H'1E04 01D0	32/16/8
	PCI メモリバンクレジスタ 0	PCIMBR0	R/W	H'FE04 01E0	H'1E04 01E0	32/16/8
	PCI メモリバンクマスクレジスタ 0	PCIMBMR0	R/W	H'FE04 01E4	H'1E04 01E4	32/16/8
	PCI メモリバンクレジスタ 1	PCIMBR1	R/W	H'FE04 01E8	H'1E04 01E8	32/16/8
	PCI メモリバンクマスクレジスタ 1	PCIMBMR1	R/W	H'FE04 01EC	H'1E04 01EC	32/16/8
	PCI メモリバンクレジスタ 2	PCIMBR2	R/W	H'FE04 01F0	H'1E04 01F0	32/16/8
	PCI メモリバンクマスクレジスタ 2	PCIMBMR2	R/W	H'FE04 01F4	H'1E04 01F4	32/16/8
	PCI I/O バンクレジスタ	PCIOBR	R/W	H'FE04 01F8	H'1E04 01F8	32/16/8
	PCI I/O バンクマスクレジスタ	PCIOBMR	R/W	H'FE04 01FC	H'1E04 01FC	32/16/8
	PCI キャッシュスヌープコントロールレジスタ 0	PCICSCR0	R/W	H'FE04 0210	H'1E04 0210	32/16/8
	PCI キャッシュスヌープコントロールレジスタ 1	PCICSCR1	R/W	H'FE04 0214	H'1E04 0214	32/16/8
	PCI キャッシュスヌープアドレスレジスタ 0	PCICSAR0	R/W	H'FE04 0218	H'1E04 0218	32/16/8
	PCI キャッシュスヌープアドレスレジスタ 1	PCICSAR1	R/W	H'FE04 021C	H'1E04 021C	32/16/8
	PCI PIO データレジスタ	PCIPDR	R/W	H'FE04 0220	H'1E04 0220	32/16/8
	DMAC	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FC808020	H'1C808020
DMA デスティネーションアドレスレジスタ 0		DAR0	R/W	H'FC808024	H'1C808024	32
DMA トランスファカウントレジスタ 0		TCR0	R/W	H'FC808028	H'1C808028	32
DMA チャネルコントロールレジスタ 0		CHCR0	R/W*3	H'FC80802C	H'1C80802C	32
DMA ソースアドレスレジスタ 1		SAR1	R/W	H'FC808030	H'1C808030	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DMAC	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FC808034	H'1C808034	32
	DMA トランスファカウントレジスタ 1	TCR1	R/W	H'FC808038	H'1C808038	32
	DMA チャネルコントロールレジスタ 1	CHCR1	R/W*3	H'FC80803C	H'1C80803C	32
	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FC808040	H'1C808040	32
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FC808044	H'1C808044	32
	DMA トランスファカウントレジスタ 2	TCR2	R/W	H'FC808048	H'1C808048	32
	DMA チャネルコントロールレジスタ 2	CHCR2	R/W*3	H'FC80804C	H'1C80804C	32
	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FC808050	H'1C808050	32
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FC808054	H'1C808054	32
	DMA トランスファカウントレジスタ 3	TCR3	R/W	H'FC808058	H'1C808058	32
	DMA チャネルコントロールレジスタ 3	CHCR3	R/W*3	H'FC80805C	H'1C80805C	32
	DMA オペレーションレジスタ 0	DMAOR0	R/W*4	H'FC808060	H'1C808060	16
	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FC808070	H'1C808070	32
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FC808074	H'1C808074	32
	DMA トランスファカウントレジスタ 4	TCR4	R/W	H'FC808078	H'1C808078	32
	DMA チャネルコントロールレジスタ 4	CHCR4	R/W*3	H'FC80807C	H'1C80807C	32
	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FC808080	H'1C808080	32
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FC808084	H'1C808084	32
	DMA トランスファカウントレジスタ 5	TCR5	R/W	H'FC808088	H'1C808088	32
	DMA チャネルコントロールレジスタ 5	CHCR5	R/W*3	H'FC80808C	H'1C80808C	32
	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FC808120	H'1C808120	32
	DMA デスティネーションアドレスレジスタ B0	DARB0	R/W	H'FC808124	H'1C808124	32
	DMA トランスファカウントレジスタ B0	TCRB0	R/W	H'FC808128	H'1C808128	32
	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FC808130	H'1C808130	32
	DMA デスティネーションアドレスレジスタ B1	DARB1	R/W	H'FC808134	H'1C808134	32
	DMA トランスファカウントレジスタ B1	TCRB1	R/W	H'FC808138	H'1C808138	32
	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FC808140	H'1C808140	32
	DMA デスティネーションアドレスレジスタ B2	DARB2	R/W	H'FC808144	H'1C808144	32
	DMA トランスファカウントレジスタ B2	TCRB2	R/W	H'FC808148	H'1C808148	32
	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FC808150	H'1C808150	32
	DMA デスティネーションアドレスレジスタ B3	DARB3	R/W	H'FC808154	H'1C808154	32
	DMA トランスファカウントレジスタ B3	TCRB3	R/W	H'FC808158	H'1C808158	32
DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FC809000	H'1C809000	16	
DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FC809004	H'1C809004	16	

31. レジスタ一覧

モジュール名	名称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DMAC	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FC809008	H'1C809008	16
	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'FCC08020	H'1CC08020	32
	DMA デスティネーションアドレスレジスタ 6	DAR6	R/W	H'FCC08024	H'1CC08024	32
	DMA トランスファカウントレジスタ 6	TCR6	R/W	H'FCC08028	H'1CC08028	32
	DMA チャネルコントロールレジスタ 6	CHCR6	R/W* ³	H'FCC0802C	H'1CC0802C	32
	DMA ソースアドレスレジスタ 7	SAR7	R/W	H'FCC08030	H'1CC08030	32
	DMA デスティネーションアドレスレジスタ 7	DAR7	R/W	H'FCC08034	H'1CC08034	32
	DMA トランスファカウントレジスタ 7	TCR7	R/W	H'FCC08038	H'1CC08038	32
	DMA チャネルコントロールレジスタ 7	CHCR7	R/W* ³	H'FCC0803C	H'1CC0803C	32
	DMA ソースアドレスレジスタ 8	SAR8	R/W	H'FCC08040	H'1CC08040	32
	DMA デスティネーションアドレスレジスタ 8	DAR8	R/W	H'FCC08044	H'1CC08044	32
	DMA トランスファカウントレジスタ 8	TCR8	R/W	H'FCC08048	H'1CC08048	32
	DMA チャネルコントロールレジスタ 8	CHCR8	R/W* ³	H'FCC0804C	H'1CC0804C	32
	DMA ソースアドレスレジスタ 9	SAR9	R/W	H'FCC08050	H'1CC08050	32
	DMA デスティネーションアドレスレジスタ 9	DAR9	R/W	H'FCC08054	H'1CC08054	32
	DMA トランスファカウントレジスタ 9	TCR9	R/W	H'FCC08058	H'1CC08058	32
	DMA チャネルコントロールレジスタ 9	CHCR9	R/W* ³	H'FCC0805C	H'1CC0805C	32
	DMA オペレーションレジスタ 1	DMAOR1	R/W* ⁴	H'FCC08060	H'1CC08060	16
	DMA ソースアドレスレジスタ 10	SAR10	R/W	H'FCC08070	H'1CC08070	32
	DMA デスティネーションアドレスレジスタ 10	DAR10	R/W	H'FCC08074	H'1CC08074	32
	DMA トランスファカウントレジスタ 10	TCR10	R/W	H'FCC08078	H'1CC08078	32
	DMA チャネルコントロールレジスタ 10	CHCR10	R/W* ³	H'FCC0807C	H'1CC0807C	32
	DMA ソースアドレスレジスタ 11	SAR11	R/W	H'FCC08080	H'1CC08080	32
	DMA デスティネーションアドレスレジスタ 11	DAR11	R/W	H'FCC08084	H'1CC08084	32
	DMA トランスファカウントレジスタ 11	TCR11	R/W	H'FCC08088	H'1CC08088	32
	DMA チャネルコントロールレジスタ 11	CHCR11	R/W* ³	H'FCC0808C	H'1CC0808C	32
	DMA ソースアドレスレジスタ B6	SARB6	R/W	H'FCC08120	H'1CC08120	32
	DMA デスティネーションアドレスレジスタ B6	DARB6	R/W	H'FCC08124	H'1CC08124	32
	DMA トランスファカウントレジスタ B6	TCRB6	R/W	H'FCC08128	H'1CC08128	32
	DMA ソースアドレスレジスタ B7	SARB7	R/W	H'FCC08130	H'1CC08130	32
	DMA デスティネーションアドレスレジスタ B7	DARB7	R/W	H'FCC08134	H'1CC08134	32
	DMA トランスファカウントレジスタ B7	TCRB7	R/W	H'FCC08138	H'1CC08138	32
	DMA ソースアドレスレジスタ B8	SARB8	R/W	H'FCC08140	H'1CC08140	32
	DMA デスティネーションアドレスレジスタ B8	DARB8	R/W	H'FCC08144	H'1CC08144	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
DMAC	DMA トランスファカウントレジスタ B8	TCRB8	R/W	H'FCC08148	H'1CC08148	32
	DMA ソースアドレスレジスタ B9	SARB9	R/W	H'FCC08150	H'1CC08150	32
	DMA デスティネーションアドレスレジスタ B9	DARB9	R/W	H'FCC08154	H'1CC08154	32
	DMA トランスファカウントレジスタ B9	TCRB9	R/W	H'FCC08158	H'1CC08158	32
	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'FCC09000	H'1CC09000	16
	DMA 拡張リソースセクタ 4	DMARS4	R/W	H'FCC09004	H'1CC09004	16
	DMA 拡張リソースセクタ 5	DMARS5	R/W	H'FCC09008	H'1CC09008	16
CPG/ 低消費電力	周波数制御レジスタ 0	FRQCR0	R/W	H'FFC8 0000	H'1FC8 0000	32
	周波数制御レジスタ 1	FRQCR1	R/W	H'FFC8 0004	H'1FC8 0004	32
	周波数表示レジスタ 1	FRQMR1	R	H'FFC8 0014	H'1FC8 0014	32
	スリープコントロールレジスタ	SLPCR	R/W	H'FFC8 0020	H'1FC8 0020	32
	PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32
	スタンバイコントロールレジスタ 0 ^{*1}	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32
	スタンバイコントロールレジスタ 1 ^{*1}	MSTPCR1	R/W	H'FFC8 0034	H'1FC8 0034	32
	スタンバイ表示レジスタ ^{*1}	MSTPMR	R	H'FFC8 0044	H'1FC8 0044	32
WDT	ウォッチドッグタイムストップタイムレジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32
	ウォッチドッグタイムコントロール/ステータス レジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32
	ウォッチドッグタイムベースストップタイムレジ スタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32
	ウォッチドッグタイムカウンタ	WDTCNT	R	H'FFCC 0010	H'1FCC0010	32
	ウォッチドッグタイムベースカウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32
TMU	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD80004	H'1FD80004	8
	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD80008	H'1FD80008	32
	タイマカウンタ 0	TCNT0	R/W	H'FFD8000C	H'1FD8000C	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD80010	H'1FD80010	16
	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD80014	H'1FD80014	32
	タイマカウンタ 1	TCNT1	R/W	H'FFD80018	H'1FD80018	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8001C	H'1FD8001C	16
	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD80020	H'1FD80020	32
	タイマカウンタ 2	TCNT2	R/W	H'FFD80024	H'1FD80024	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD80028	H'1FD80028	16
	インプットキャプチャレジスタ 2	TCPR2	R	H'FFD8002C	H'1FD8002C	32
	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDC0004	H'1FDC0004	8

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
TMU	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDC0008	H'1FDC0008	32
	タイマカウンタ 3	TCNT3	R/W	H'FFDC000C	H'1FDC000C	32
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDC0010	H'1FDC0010	16
	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDC0014	H'1FDC0014	32
	タイマカウンタ 4	TCNT4	R/W	H'FFDC0018	H'1FDC0018	32
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDC001C	H'1FDC001C	16
	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDC0020	H'1FDC0020	32
	タイマカウンタ 5	TCNT5	R/W	H'FFDC0024	H'1FDC0024	32
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDC0028	H'1FDC0028	16
DU	表示システム制御レジスタ	DSYSR	R/W	H'FFF8 0000	H'1FF8 0000	32
	表示モードレジスタ	DSMR	R/W	H'FFF8 0004	H'1FF8 0004	32
	表示ステータスレジスタ	DSSR	R	H'FFF8 0008	H'1FF8 0008	32
	表示ステータスレジスタクリアレジスタ	DSRCR	W	H'FFF8 000C	H'1FF8 000C	32
	表示割り込み許可レジスタ	DIER	R/W	H'FFF8 0010	H'1FF8 0010	32
	カラーパレット制御レジスタ	CPCR	R/W	H'FFF8 0014	H'1FF8 0014	32
	表示プレーン優先順位レジスタ	DPPR	R/W	H'FFF8 0018	H'1FF8 0018	32
	表示拡張機能許可レジスタ	DEFR	R/W	H'FFF8 0020	H'1FF8 0020	32
	水平表示開始位置レジスタ	HDSR	R/W	H'FFF8 0040	H'1FF8 0040	32
	水平表示終了位置レジスタ	HDER	R/W	H'FFF8 0044	H'1FF8 0044	32
	垂直表示開始位置レジスタ	VDSR	R/W	H'FFF8 0048	H'1FF8 0048	32
	垂直表示終了位置レジスタ	VDER	R/W	H'FFF8 004C	H'1FF8 004C	32
	水平走査周期レジスタ	HCR	R/W	H'FFF8 0050	H'1FF8 0050	32
	水平同期パルス幅レジスタ	HSWR	R/W	H'FFF8 0054	H'1FF8 0054	32
	垂直走査周期レジスタ	VCR	R/W	H'FFF8 0058	H'1FF8 0058	32
	垂直同期位置レジスタ	VSPR	R/W	H'FFF8 005C	H'1FF8 005C	32
	等価パルス幅レジスタ	EQWR	R/W	H'FFF8 0060	H'1FF8 0060	32
	セパレーション幅レジスタ	SPWR	R/W	H'FFF8 0064	H'1FF8 0064	32
	CLAMP 信号開始位置レジスタ	CLAMPSR	R/W	H'FFF8 0070	H'1FF8 0070	32
	CLAMP 信号幅レジスタ	CLAMPWR	R/W	H'FFF8 0074	H'1FF8 0074	32
	DE 信号開始位置レジスタ	DESR	R/W	H'FFF8 0078	H'1FF8 0078	32
	DE 信号幅レジスタ	DEWR	R/W	H'FFF8 007C	H'1FF8 007C	32
	カラーパレット 1 透過色レジスタ	CP1TR	R/W	H'FFF8 0080	H'1FF8 0080	32
	カラーパレット 2 透過色レジスタ	CP2TR	R/W	H'FFF8 0084	H'1FF8 0084	32
カラーパレット 3 透過色レジスタ	CP3TR	R/W	H'FFF8 0088	H'1FF8 0088	32	

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DU	カラーバレット 4 透過色レジスタ	CP4TR	R/W	H'FFF8 008C	H'1FF8 008C	32
	表示オフ時出力レジスタ	DOOR	R/W	H'FFF8 0090	H'1FF8 0090	32
	色検出レジスタ	CDER	R/W	H'FFF8 0094	H'1FF8 0094	32
	下地色レジスタ	BPOR	R/W	H'FFF8 0098	H'1FF8 0098	32
	ラスタ割り込みオフセットレジスタ	RINTOFSR	R/W	H'FFF8 009C	H'1FF8 009C	32
	ブレーン 1 モードレジスタ	P1MR	R/W	H'FFF8 0100	H'1FF8 0100	32
	ブレーン 1 メモリ幅レジスタ	P1MWR	R/W	H'FFF8 0104	H'1FF8 0104	32
	ブレーン 1 ブレンド比レジスタ	P1ALPHAR	R/W	H'FFF8 0108	H'1FF8 0108	32
	ブレーン 1 表示サイズ X レジスタ	P1DSXR	R/W	H'FFF8 0110	H'1FF8 0110	32
	ブレーン 1 表示サイズ Y レジスタ	P1DSYR	R/W	H'FFF8 0114	H'1FF8 0114	32
	ブレーン 1 表示位置 X レジスタ	P1DPXR	R/W	H'FFF8 0118	H'1FF8 0118	32
	ブレーン 1 表示位置 Y レジスタ	P1DPYR	R/W	H'FFF8 011C	H'1FF8 011C	32
	ブレーン 1 表示領域開始アドレス 0 レジスタ	P1DSA0R	R/W	H'FFF8 0120	H'1FF8 0120	32
	ブレーン 1 表示領域開始アドレス 1 レジスタ	P1DSA1R	R/W	H'FFF8 0124	H'1FF8 0124	32
	ブレーン 1 開始位置 X レジスタ	P1SPXR	R/W	H'FFF8 0130	H'1FF8 0130	32
	ブレーン 1 開始位置 Y レジスタ	P1SPYR	R/W	H'FFF8 0134	H'1FF8 0134	32
	ブレーン 1 ラップアラウンド開始位置レジスタ	P1WASPR	R/W	H'FFF8 0138	H'1FF8 0138	32
	ブレーン 1 ラップアラウンドメモリ幅レジスタ	P1WAMWR	R/W	H'FFF8 013C	H'1FF8 013C	32
	ブレーン 1 プリンキング周期レジスタ	P1BTR	R/W	H'FFF8 0140	H'1FF8 0140	32
	ブレーン 1 透過色 1 レジスタ	P1TC1R	R/W	H'FFF8 0144	H'1FF8 0144	32
	ブレーン 1 透過色 2 レジスタ	P1TC2R	R/W	H'FFF8 0148	H'1FF8 0148	32
	ブレーン 1 メモリ長レジスタ	P1MLR	R/W	H'FFF8 0150	H'1FF8 0150	32
	ブレーン 2 モードレジスタ	P2MR	R/W	H'FFF8 0200	H'1FF8 0200	32
	ブレーン 2 メモリ幅レジスタ	P2MWR	R/W	H'FFF8 0204	H'1FF8 0204	32
	ブレーン 2 ブレンド比レジスタ	P2ALPHAR	R/W	H'FFF8 0208	H'1FF8 0208	32
	ブレーン 2 表示サイズ X レジスタ	P2DSXR	R/W	H'FFF8 0210	H'1FF8 0210	32
	ブレーン 2 表示サイズ Y レジスタ	P2DSYR	R/W	H'FFF8 0214	H'1FF8 0214	32
	ブレーン 2 表示位置 X レジスタ	P2DPXR	R/W	H'FFF8 0218	H'1FF8 0218	32
	ブレーン 2 表示位置 Y レジスタ	P2DPYR	R/W	H'FFF8 021C	H'1FF8 021C	32
	ブレーン 2 表示領域開始アドレス 0 レジスタ	P2DSA0R	R/W	H'FFF8 0220	H'1FF8 0220	32
	ブレーン 2 表示領域開始アドレス 1 レジスタ	P2DSA1R	R/W	H'FFF8 0224	H'1FF8 0224	32
	ブレーン 2 開始位置 X レジスタ	P2SPXR	R/W	H'FFF8 0230	H'1FF8 0230	32
	ブレーン 2 開始位置 Y レジスタ	P2SPYR	R/W	H'FFF8 0234	H'1FF8 0234	32
	ブレーン 2 ラップアラウンド開始位置レジスタ	P2WASPR	R/W	H'FFF8 0238	H'1FF8 0238	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DU	ブレーン 2 ラップアラウンドメモリ幅レジスタ	P2WAMWR	R/W	H'FFF8 023C	H'1FF8 023C	32
	ブレーン 2 プリンキング周期レジスタ	P2BTR	R/W	H'FFF8 0240	H'1FF8 0240	32
	ブレーン 2 透過色 1 レジスタ	P2TC1R	R/W	H'FFF8 0244	H'1FF8 0244	32
	ブレーン 2 透過色 2 レジスタ	P2TC2R	R/W	H'FFF8 0248	H'1FF8 0248	32
	ブレーン 2 メモリ長レジスタ	P2MLR	R/W	H'FFF8 0250	H'1FF8 0250	32
	ブレーン 3 モードレジスタ	P3MR	R/W	H'FFF8 0300	H'1FF8 0300	32
	ブレーン 3 メモリ幅レジスタ	P3MWR	R/W	H'FFF8 0304	H'1FF8 0304	32
	ブレーン 3 ブレンド比レジスタ	P3ALPHAR	R/W	H'FFF8 0308	H'1FF8 0308	32
	ブレーン 3 表示サイズ X レジスタ	P3DSXR	R/W	H'FFF8 0310	H'1FF8 0310	32
	ブレーン 3 表示サイズ Y レジスタ	P3DSYR	R/W	H'FFF8 0314	H'1FF8 0314	32
	ブレーン 3 表示位置 X レジスタ	P3DPXR	R/W	H'FFF8 0318	H'1FF8 0318	32
	ブレーン 3 表示位置 Y レジスタ	P3DPYR	R/W	H'FFF8 031C	H'1FF8 031C	32
	ブレーン 3 表示領域開始アドレス 0 レジスタ	P3DSA0R	R/W	H'FFF8 0320	H'1FF8 0320	32
	ブレーン 3 表示領域開始アドレス 1 レジスタ	P3DSA1R	R/W	H'FFF8 0324	H'1FF8 0324	32
	ブレーン 3 開始位置 X レジスタ	P3SPXR	R/W	H'FFF8 0330	H'1FF8 0330	32
	ブレーン 3 開始位置 Y レジスタ	P3SPYR	R/W	H'FFF8 0334	H'1FF8 0334	32
	ブレーン 3 ラップアラウンド開始位置レジスタ	P3WASPR	R/W	H'FFF8 0338	H'1FF8 0338	32
	ブレーン 3 ラップアラウンドメモリ幅レジスタ	P3WAMWR	R/W	H'FFF8 033C	H'1FF8 033C	32
	ブレーン 3 プリンキング周期レジスタ	P3BTR	R/W	H'FFF8 0340	H'1FF8 0340	32
	ブレーン 3 透過色 1 レジスタ	P3TC1R	R/W	H'FFF8 0344	H'1FF8 0344	32
	ブレーン 3 透過色 2 レジスタ	P3TC2R	R/W	H'FFF8 0348	H'1FF8 0348	32
	ブレーン 3 メモリ長レジスタ	P3MLR	R/W	H'FFF8 0350	H'1FF8 0350	32
	ブレーン 4 モードレジスタ	P4MR	R/W	H'FFF8 0400	H'1FF8 0400	32
	ブレーン 4 メモリ幅レジスタ	P4MWR	R/W	H'FFF8 0404	H'1FF8 0404	32
	ブレーン 4 ブレンド比レジスタ	P4ALPHAR	R/W	H'FFF8 0408	H'1FF8 0408	32
	ブレーン 4 表示サイズ X レジスタ	P4DSXR	R/W	H'FFF8 0410	H'1FF8 0410	32
	ブレーン 4 表示サイズ Y レジスタ	P4DSYR	R/W	H'FFF8 0414	H'1FF8 0414	32
	ブレーン 4 表示位置 X レジスタ	P4DPXR	R/W	H'FFF8 0418	H'1FF8 0418	32
	ブレーン 4 表示位置 Y レジスタ	P4DPYR	R/W	H'FFF8 041C	H'1FF8 041C	32
	ブレーン 4 表示領域開始アドレス 0 レジスタ	P4DSA0R	R/W	H'FFF8 0420	H'1FF8 0420	32
	ブレーン 4 表示領域開始アドレス 1 レジスタ	P4DSA1R	R/W	H'FFF8 0424	H'1FF8 0424	32
	ブレーン 4 開始位置 X レジスタ	P4SPXR	R/W	H'FFF8 0430	H'1FF8 0430	32
ブレーン 4 開始位置 Y レジスタ	P4SPYR	R/W	H'FFF8 0434	H'1FF8 0434	32	
ブレーン 4 ラップアラウンド開始位置レジスタ	P4WASPR	R/W	H'FFF8 0438	H'1FF8 0438	32	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DU	ブレーン 4 ラップアラウンドメモリ幅レジスタ	P4WAMWR	R/W	H'FFF8 043C	H'1FF8 043C	32
	ブレーン 4 プリンキング周期レジスタ	P4BTR	R/W	H'FFF8 0440	H'1FF8 0440	32
	ブレーン 4 透過色 1 レジスタ	P4TC1R	R/W	H'FFF8 0444	H'1FF8 0444	32
	ブレーン 4 透過色 2 レジスタ	P4TC2R	R/W	H'FFF8 0448	H'1FF8 0448	32
	ブレーン 4 メモリ長レジスタ	P4MLR	R/W	H'FFF8 0450	H'1FF8 0450	32
	ブレーン 5 モードレジスタ	P5MR	R/W	H'FFF8 0500	H'1FF8 0500	32
	ブレーン 5 メモリ幅レジスタ	P5MWR	R/W	H'FFF8 0504	H'1FF8 0504	32
	ブレーン 5 ブレンド比レジスタ	P5ALPHAR	R/W	H'FFF8 0508	H'1FF8 0508	32
	ブレーン 5 表示サイズ X レジスタ	P5DSXR	R/W	H'FFF8 0510	H'1FF8 0510	32
	ブレーン 5 表示サイズ Y レジスタ	P5DSYR	R/W	H'FFF8 0514	H'1FF8 0514	32
	ブレーン 5 表示位置 X レジスタ	P5DPXR	R/W	H'FFF8 0518	H'1FF8 0518	32
	ブレーン 5 表示位置 Y レジスタ	P5DPYR	R/W	H'FFF8 051C	H'1FF8 051C	32
	ブレーン 5 表示領域開始アドレス 0 レジスタ	P5DSA0R	R/W	H'FFF8 0520	H'1FF8 0520	32
	ブレーン 5 表示領域開始アドレス 1 レジスタ	P5DSA1R	R/W	H'FFF8 0524	H'1FF8 0524	32
	ブレーン 5 開始位置 X レジスタ	P5SPXR	R/W	H'FFF8 0530	H'1FF8 0530	32
	ブレーン 5 開始位置 Y レジスタ	P5SPYR	R/W	H'FFF8 0534	H'1FF8 0534	32
	ブレーン 5 ラップアラウンド開始位置レジスタ	P5WASPR	R/W	H'FFF8 0538	H'1FF8 0538	32
	ブレーン 5 ラップアラウンドメモリ幅レジスタ	P5WAMWR	R/W	H'FFF8 053C	H'1FF8 053C	32
	ブレーン 5 プリンキング周期レジスタ	P5BTR	R/W	H'FFF8 0540	H'1FF8 0540	32
	ブレーン 5 透過色 1 レジスタ	P5TC1R	R/W	H'FFF8 0544	H'1FF8 0544	32
	ブレーン 5 透過色 2 レジスタ	P5TC2R	R/W	H'FFF8 0548	H'1FF8 0548	32
	ブレーン 5 メモリ長レジスタ	P5MLR	R/W	H'FFF8 0550	H'1FF8 0550	32
	ブレーン 6 モードレジスタ	P6MR	R/W	H'FFF8 0600	H'1FF8 0600	32
	ブレーン 6 メモリ幅レジスタ	P6MWR	R/W	H'FFF8 0604	H'1FF8 0604	32
	ブレーン 6 ブレンド比レジスタ	P6ALPHAR	R/W	H'FFF8 0608	H'1FF8 0608	32
	ブレーン 6 表示サイズ X レジスタ	P6DSXR	R/W	H'FFF8 0610	H'1FF8 0610	32
	ブレーン 6 表示サイズ Y レジスタ	P6DSYR	R/W	H'FFF8 0614	H'1FF8 0614	32
	ブレーン 6 表示位置 X レジスタ	P6DPXR	R/W	H'FFF8 0618	H'1FF8 0618	32
	ブレーン 6 表示位置 Y レジスタ	P6DPYR	R/W	H'FFF8 061C	H'1FF8 061C	32
	ブレーン 6 表示領域開始アドレス 0 レジスタ	P6DSA0R	R/W	H'FFF8 0620	H'1FF8 0620	32
	ブレーン 6 表示領域開始アドレス 1 レジスタ	P6DSA1R	R/W	H'FFF8 0624	H'1FF8 0624	32
	ブレーン 6 開始位置 X レジスタ	P6SPXR	R/W	H'FFF8 0630	H'1FF8 0630	32
ブレーン 6 開始位置 Y レジスタ	P6SPYR	R/W	H'FFF8 0634	H'1FF8 0634	32	
ブレーン 6 ラップアラウンド開始位置レジスタ	P6WASPR	R/W	H'FFF8 0638	H'1FF8 0638	32	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
DU	ブレーン 6 ラップアラウンドメモリ幅レジスタ	P6WAMWR	R/W	H'FFF8 063C	H'1FF8 063C	32
	ブレーン 6 プリンキング周期レジスタ	P6BTR	R/W	H'FFF8 0640	H'1FF8 0640	32
	ブレーン 6 透過色 1 レジスタ	P6TC1R	R/W	H'FFF8 0644	H'1FF8 0644	32
	ブレーン 6 透過色 2 レジスタ	P6TC2R	R/W	H'FFF8 0648	H'1FF8 0648	32
	ブレーン 6 メモリ長レジスタ	P6MLR	R/W	H'FFF8 0650	H'1FF8 0650	32
	カラーパレット 1 レジスタ 000	CP1_000R	R/W	H'FFF8 1000	H'1FF8 1000	32
	:	:	:	:	:	:
	カラーパレット 1 レジスタ 255	CP1_255R	R/W	H'FFF8 13FC	H'1FF8 13FC	32
	カラーパレット 2 レジスタ 255	CP2_000R	R/W	H'FFF8 2000	H'1FF8 2000	32
	:	:	:	:	:	:
	カラーパレット 2 レジスタ 255	CP2_255R	R/W	H'FFF8 23FC	H'1FF8 23FC	32
	カラーパレット 3 レジスタ 000	CP3_000R	R/W	H'FFF8 3000	H'1FF8 3000	32
	:	:	:	:	:	:
	カラーパレット 3 レジスタ 255	CP3_255R	R/W	H'FFF8 33FC	H'1FF8 0524	32
	カラーパレット 4 レジスタ 000	CP4_000R	R/W	H'FFF8 4000	H'1FF8 4000	32
	:	:	:	:	:	:
	カラーパレット 4 レジスタ 255	CP4_255R	R/W	H'FFF8 43FC	H'1FF8 43FC	32
	外部同期制御レジスタ	ESCR	R/W	H'FFF9 0000	H'1FF9 0000	32
出力信号タイミング調整レジスタ	OTAR	R/W	H'FFF9 0004	H'1FF9 0004	32	
GDTA	GA マスクレジスタ	GACMR	R/W	H'FE40 000C	H'1E40 000C	32
	GA イネーブルレジスタ	GACER	R/W	H'FE40 0010	H'1E40 0010	32
	GA 処理終了割り込み要因表示レジスタ	GACISR	R	H'FE40 0014	H'1E40 0014	32
	GA 処理終了割り込み要因表示クリアレジスタ	GACICR	W	H'FE40 0018	H'1E40 0018	32
	GA 割り込みイネーブルレジスタ	GACIER	R/W	H'FE40 001C	H'1E40 001C	32
	GA CL 入力データアライメントレジスタ	DRCL_CTL	R/W	H'FE40 3000	H'1E40 3000	32
	GA CL 出力データアライメントレジスタ	DWCL_CTL	R/W	H'FE40 3100	H'1E40 3100	32
	GA MC 入力データアライメントレジスタ	DRMC_CTL	R/W	H'FE40 3200	H'1E40 3200	32
	GA MC 出力データアライメントレジスタ	DWMC_CTL	R/W	H'FE40 3300	H'1E40 3300	32
	GA バッファ RAM0 データアライメントレジスタ	DCP_CTL	R/W	H'FE40 3400	H'1E40 3400	32
	GA バッファ RAM1 データアライメントレジスタ	DID_CTL	R/W	H'FE40 3500	H'1E40 3500	32
	CL Command FiFo	CLCF	W	H'FE40_1000	H'1E40_1000	32
	CL コントロ - ルレジスタ	CLCR	R/W	H'FE40_1004	H'1E40_1004	32
	CL ステータスレジスタ	CLSR	R	H'FE40_1008	H'1E40_1008	32
	CL フレ - ム幅設定レジスタ	CLWR	R/W	H'FE40_100C	H'1E40_100C	32

31. レジスタ一覧

モジュール名	名称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
GDTA	CL フレ - ム高さ設定レジスタ	CLHR	R/W	H'FE40_1010	H'1E40_1010	32
	CL 入力 Y パディングサイズ設定レジスタ	CLYPR	R/W	H'FE40_1014	H'1E40_1014	32
	CL 入力 UV パディングサイズ設定レジスタ	CLIUVR	R/W	H'FE40_1018	H'1E40_1018	32
	CL 出力パディングサイズ設定レジスタ	CLOPR	R/W	H'FE40_101C	H'1E40_101C	32
	CL パレットポインタ設定レジスタ	CLPLPR	R/W	H'FE40_1020	H'1E40_1020	32
	MC Command FIFO	MCCF	W	H'FE40_2000	H'1E40_2000	32
	MC ステータスレジスタ	MCSR	R	H'FE40_2004	H'1E40_2004	32
	MC フレ - ム幅設定レジスタ	MCWR	R/W	H'FE40_2008	H'1E40_2008	32
	MC フレ - ム高さ設定レジスタ	MCHR	R/W	H'FE40_200C	H'1E40_200C	32
	MC Y パディングサイズ設定レジスタ	MCYPR	R/W	H'FE40_2010	H'1E40_2010	32
	MC UV パディングサイズ設定レジスタ	MCUVR	R/W	H'FE40_2014	H'1E40_2014	32
	MC 出力フレ - ム Y ポインタレジスタ	MCOYPR	R/W	H'FE40_2018	H'1E40_2018	32
	MC 出力フレ - ム U ポインタレジスタ	MCOUPR	R/W	H'FE40_201C	H'1E40_201C	32
	MC 出力フレ - ム V ポインタレジスタ	MCOVPR	R/W	H'FE40_2020	H'1E40_2020	32
	MC 過去フレ - ム Y ポインタレジスタ	MCPYPR	R/W	H'FE40_2024	H'1E40_2024	32
	MC 過去フレ - ム U ポインタレジスタ	MCPUPR	R/W	H'FE40_2028	H'1E40_2028	32
	MC 過去フレ - ム V ポインタレジスタ	MCPVPR	R/W	H'FE40_202C	H'1E40_202C	32
	MC 未来フレ - ム Y ポインタレジスタ	MCFYPR	R/W	H'FE40_2030	H'1E40_2030	32
	MC 未来フレ - ム U ポインタレジスタ	MCFUPR	R/W	H'FE40_2034	H'1E40_2034	32
	MC 未来フレ - ム V ポインタレジスタ	MCFVPR	R/W	H'FE40_2038	H'1E40_2038	32
SCIF	シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE4 0000	H'1FE4 0000	16
	ビットレートレジスタ 0	SCBRR0	R/W	H'FFE4 0004	H'1FE4 0004	8
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE4 0008	H'1FE4 0008	16
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE4 000C	H'1FE4 000C	8
	シリアルステータスレジスタ 0	SCFSR0	R/W*	H'FFE4 0010	H'1FE4 0010	16
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFE4 0014	H'1FE4 0014	8
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE4 0018	H'1FE4 0018	16
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FFE4 001C	H'1FE4 001C	16
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FFE4 0020	H'1FE4 0020	16
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FFE4 0024	H'1FE4 0024	16
	ラインステータスレジスタ 0	SCLSR0	R/W*	H'FFE4 0028	H'1FE4 0028	16
	シリアルエラーレジスタ 0	SCRER0	R	H'FFE4 002C	H'1FE4 002C	16
	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFEB 0000	H'1FEB 0000	16
	ビットレートレジスタ 1	SCBRR1	R/W	H'FFEB 0004	H'1FEB 0004	8

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
SCIF	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFEB 0008	H'1FEB 0008	16
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFEB 000C	H'1FEB 000C	8
	シリアルステータスレジスタ 1	SCFSR1	R/W*5	H'FFEB 0010	H'1FEB 0010	16
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFEB 0014	H'1FEB 0014	8
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFEB 0018	H'1FEB 0018	16
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FFEB 001C	H'1FEB 001C	16
	レシーブ FIFO データ数レジスタ 1	SCRFRDR1	R	H'FFEB 0020	H'1FEB 0020	16
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FFEB 0024	H'1FEB 0024	16
	ラインステータスレジスタ 1	SCLSR1	R/W*5	H'FFEB 0028	H'1FEB 0028	16
	シリアルエラーレジスタ 1	SCRER1	R	H'FFEB 002C	H'1FEB 002C	16
	シリアルモードレジスタ 2	SCSMR2	R/W	H'FFEC 0000	H'1FEC 0000	16
	ビットレートレジスタ 2	SCBRR2	R/W	H'FFEC 0004	H'1FEC 0004	8
	シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFEC 0008	H'1FEC 0008	16
	トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFEC 000C	H'1FEC 000C	8
	シリアルステータスレジスタ 2	SCFSR2	R/W*5	H'FFEC 0010	H'1FEC 0010	16
	レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFEC 0014	H'1FEC 0014	8
	FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFEC 0018	H'1FEC 0018	16
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	R	H'FFEC 001C	H'1FEC 001C	16
	レシーブ FIFO データ数レジスタ 2	SCRFRDR2	R	H'FFEC 0020	H'1FEC 0020	16
	シリアルポートレジスタ 2	SCSPTR2	R/W	H'FFEC 0024	H'1FEC 0024	16
	ラインステータスレジスタ 2	SCLSR2	R/W*5	H'FFEC 0028	H'1FEC 0028	16
	シリアルエラーレジスタ 2	SCRER2	R	H'FFEC 002C	H'1FEC 002C	16
	シリアルモードレジスタ 3	SCSMR3	R/W	H'FFED 0000	H'1FED 0000	16
	ビットレートレジスタ 3	SCBRR3	R/W	H'FFED 0004	H'1FED 0004	8
	シリアルコントロールレジスタ 3	SCSCR3	R/W	H'FFED 0008	H'1FED 0008	16
	トランスミット FIFO データレジスタ 3	SCFTDR3	W	H'FFED 000C	H'1FED 000C	8
	シリアルステータスレジスタ 3	SCFSR3	R/W*5	H'FFED 0010	H'1FED 0010	16
	レシーブ FIFO データレジスタ 3	SCFRDR3	R	H'FFED 0014	H'1FED 0014	8
	FIFO コントロールレジスタ 3	SCFCR3	R/W	H'FFED 0018	H'1FED 0018	16
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	R	H'FFED 001C	H'1FED 001C	16
	レシーブ FIFO データ数レジスタ 3	SCRFRDR3	R	H'FFED 0020	H'1FED 0020	16
	シリアルポートレジスタ 3	SCSPTR3	R/W	H'FFED 0024	H'1FED 0024	16
	ラインステータスレジスタ 3	SCLSR3	R/W*5	H'FFED 0028	H'1FED 0028	16
シリアルエラーレジスタ 3	SCRER3	R	H'FFED 002C	H'1FED 002C	16	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
SCIF	シリアルモードレジスタ 4	SCSMR4	R/W	H'FFEE 0000	H'1FEE 0000	16
	ビットレートレジスタ 4	SCBRR4	R/W	H'FFEE 0004	H'1FEE 0004	8
	シリアルコントロールレジスタ 4	SCSCR4	R/W	H'FFEE 0008	H'1FEE 0008	16
	トランスミット FIFO データレジスタ 4	SCFTDR4	W	H'FFEE 000C	H'1FEE 000C	8
	シリアルステータスレジスタ 4	SCFSR4	R/W*5	H'FFEE 0010	H'1FEE 0010	16
	レシーブ FIFO データレジスタ 4	SCFRDR4	R	H'FFEE 0014	H'1FEE 0014	8
	FIFO コントロールレジスタ 4	SCFCR4	R/W	H'FFEE 0018	H'1FEE 0018	16
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	R	H'FFEE 001C	H'1FEE 001C	16
	レシーブ FIFO データ数レジスタ 4	SCRFDR4	R	H'FFEE 0020	H'1FEE 0020	16
	シリアルポートレジスタ 4	SCSPTR4	R/W	H'FFEE 0024	H'1FEE 0024	16
	ラインステータスレジスタ 4	SCLSR4	R/W*6	H'FFEE 0028	H'1FEE 0028	16
	シリアルエラーレジスタ 4	SCREER4	R	H'FFEE 002C	H'1FEE 002C	16
	シリアルモードレジスタ 5	SCSMR5	R/W	H'FFEF 0000	H'1FEF 0000	16
	ビットレートレジスタ 5	SCBRR5	R/W	H'FFEF 0004	H'1FEF 0004	8
	シリアルコントロールレジスタ 5	SCSCR5	R/W	H'FFEF 0008	H'1FEF 0008	16
	トランスミット FIFO データレジスタ 5	SCFTDR5	W	H'FFEF 000C	H'1FEF 000C	8
	シリアルステータスレジスタ 5	SCFSR5	R/W*5	H'FFEF 0010	H'1FEF 0010	16
	レシーブ FIFO データレジスタ 5	SCFRDR5	R	H'FFEF 0014	H'1FEF 0014	8
	FIFO コントロールレジスタ 5	SCFCR5	R/W	H'FFEF 0018	H'1FEF 0018	16
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	R	H'FFEF 001C	H'1FEF 001C	16
レシーブ FIFO データ数レジスタ 5	SCRFDR5	R	H'FFEF 0020	H'1FEF 0020	16	
シリアルポートレジスタ 5	SCSPTR5	R/W	H'FFEF 0024	H'1FEF 0024	16	
ラインステータスレジスタ 5	SCLSR5	R/W*6	H'FFEF 0028	H'1FEF 0028	16	
シリアルエラーレジスタ 5	SCREER5	R	H'FFEF 002C	H'1FEF 002C	16	
SIOF	モードレジスタ	SIMDR	R/W	H'FFE2 0000	H'1FE2 0000	16
	クロックセレクトレジスタ	SISCR	R/W	H'FFE2 0002	H'1FE2 0002	16
	送信データアサインレジスタ	SITDAR	R/W	H'FFE2 0004	H'1FE2 0004	16
	受信データアサインレジスタ	SIRDAR	R/W	H'FFE2 0006	H'1FE2 0006	16
	制御データアサインレジスタ	SICDAR	R/W	H'FFE2 0008	H'1FE2 0008	16
	コントロールレジスタ	SICTR	R/W	H'FFE2 000C	H'1FE2 000C	16
	FIFO コントロールレジスタ	SIFCTR	R/W	H'FFE2 0010	H'1FE2 0010	16
	ステータスレジスタ	SISTR	R/W	H'FFE2 0014	H'1FE2 0014	16
	割り込み許可レジスタ	SIIER	R/W	H'FFE2 0016	H'1FE2 0016	16
	送信データレジスタ	SITDR	W	H'FFE2 0020	H'1FE2 0020	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
SIOF	受信データレジスタ	SIRDR	R	H'FFE2 0024	H'1FE2 0024	32
	送信制御データレジスタ	SITCR	R/W	H'FFE2 0028	H'1FE2 0028	32
	受信制御データレジスタ	SIRCR	R/W	H'FFE2 002C	H'1FE2 002C	32
HSPI	コントロールレジスタ	SPCR	R/W	H'FFE5 0000	H'1FE5 0000	32
	ステータスレジスタ	SPSR	R	H'FFE5 0004	H'1FE5 0004	32
	システムコントロールレジスタ	SPSCR	R/W	H'FFE5 0008	H'1FE5 0008	32
	トランスミットバッファレジスタ	SPTBR	R/W	H'FFE5 000C	H'1FE5 000C	32
	レシーブバッファレジスタ	SPRBR	R	H'FFE5 0010	H'1FE5 0010	32
MMCIF	コマンドレジスタ 0	CMDR0	R/W	H'FFE6 0000	H'1FE6 0000	8
	コマンドレジスタ 1	CMDR1	R/W	H'FFE6 0001	H'1FE6 0001	8
	コマンドレジスタ 2	CMDR2	R/W	H'FFE6 0002	H'1FE6 0002	8
	コマンドレジスタ 3	CMDR3	R/W	H'FFE6 0003	H'1FE6 0003	8
	コマンドレジスタ 4	CMDR4	R/W	H'FFE6 0004	H'1FE6 0004	8
	コマンドレジスタ 5	CMDR5	R	H'FFE6 0005	H'1FE6 0005	8
	コマンドスタートレジスタ	CMDSTRT	R/W	H'FFE6 0006	H'1FE6 0006	8
	オペレーションコントロールレジスタ	OPCR	R/W	H'FFE6 000A	H'1FE6 000A	8
	カードステータスレジスタ	CSTR	R	H'FFE6 000B	H'1FE6 000B	8
	割り込みコントロールレジスタ 0	INTCR0	R/W	H'FFE6 000C	H'1FE6 000C	8
	割り込みコントロールレジスタ 1	INTCR1	R/W	H'FFE6 000D	H'1FE6 000D	8
	割り込みステータスレジスタ 0	INTSTR0	R/W	H'FFE6 000E	H'1FE6 000E	8
	割り込みステータスレジスタ 1	INTSTR1	R/W	H'FFE6 000F	H'1FE6 000F	8
	転送クロックコントロールレジスタ	CLKON	R/W	H'FFE6 0010	H'1FE6 0010	8
	コマンドタイムアウトコントロールレジスタ	CTOCR	R/W	H'FFE6 0011	H'1FE6 0011	8
	転送バイト数カウントレジスタ	TBCR	R/W	H'FFE6 0014	H'1FE6 0014	8
	モードレジスタ	MODER	R/W	H'FFE6 0016	H'1FE6 0016	8
	コマンドタイプレジスタ	CMDTYR	R/W	H'FFE6 0018	H'1FE6 0018	8
	レスポンスタイプレジスタ	RSPTYR	R/W	H'FFE6 0019	H'1FE6 0019	8
	転送ブロック数カウンタ	TBNCR	R/W	H'FFE6 001A	H'1FE6 001A	16
	レスポンスレジスタ 0	RSPR0	R/W	H'FFE6 0020	H'1FE6 0020	8
	レスポンスレジスタ 1	RSPR1	R/W	H'FFE6 0021	H'1FE6 0021	8
	レスポンスレジスタ 2	RSPR2	R/W	H'FFE6 0022	H'1FE6 0022	8
	レスポンスレジスタ 3	RSPR3	R/W	H'FFE6 0023	H'1FE6 0023	8
	レスポンスレジスタ 4	RSPR4	R/W	H'FFE6 0024	H'1FE6 0024	8
	レスポンスレジスタ 5	RSPR5	R/W	H'FFE6 0025	H'1FE6 0025	8

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
MMCIF	レスポンスレジスタ 6	RSPR6	R/W	H'FFE6 0026	H'1FE6 0026	8
	レスポンスレジスタ 7	RSPR7	R/W	H'FFE6 0027	H'1FE6 0027	8
	レスポンスレジスタ 8	RSPR8	R/W	H'FFE6 0028	H'1FE6 0028	8
	レスポンスレジスタ 9	RSPR9	R/W	H'FFE6 0029	H'1FE6 0029	8
	レスポンスレジスタ 10	RSPR10	R/W	H'FFE6 002A	H'1FE6 002A	8
	レスポンスレジスタ 11	RSPR11	R/W	H'FFE6 002B	H'1FE6 002B	8
	レスポンスレジスタ 12	RSPR12	R/W	H'FFE6 002C	H'1FE6 002C	8
	レスポンスレジスタ 13	RSPR13	R/W	H'FFE6 002D	H'1FE6 002D	8
	レスポンスレジスタ 14	RSPR14	R/W	H'FFE6 002E	H'1FE6 002E	8
	レスポンスレジスタ 15	RSPR15	R/W	H'FFE6 002F	H'1FE6 002F	8
	レスポンスレジスタ 16	RSPR16	R/W	H'FFE6 0030	H'1FE6 0030	8
	CRC ステータスレジスタ	RSPRD	R/W	H'FFE6 0031	H'1FE6 0031	8
	データタイムアウトレジスタ	DTOUTR	R/W	H'FFE6 0032	H'1FE6 0032	16
	データレジスタ	DR	R/W	H'FFE6 0040	H'1FE6 0040	16
	FIFO ボイタクリアレジスタ	FIFOCLR	W	H'FFE6 0042	H'1FE6 0042	8
	DMA コントロールレジスタ	DMACR	R/W	H'FFE6 0044	H'1FE6 0044	8
	割り込みコントロールレジスタ 2	INTCR2	R/W	H'FFE6 0046	H'1FE6 0046	8
	割り込みステータスレジスタ 2	INTSTR2	R/W	H'FFE6 0048	H'1FE6 0048	8
HAC	コントロールステータスレジスタ 0	HACCR0	R/W	H'FFE3 0008	H'1FE3 0008	32
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	R/W	H'FFE3 0020	H'1FE3 0020	32
	コマンド / ステータスデータレジスタ 0	HACCSDR0	R/W	H'FFE3 0024	H'1FE3 0024	32
	PCM レフトチャンネルレジスタ 0	HACPCML0	R/W	H'FFE3 0028	H'1FE3 0028	32
	PCM ライトチャンネルレジスタ 0	HACPCMR0	R/W	H'FFE3 002C	H'1FE3 002C	32
	TX 割り込みイネーブルレジスタ 0	HACTIER0	R/W	H'FFE3 0050	H'1FE3 0050	32
	TX ステータスレジスタ 0	HACTSR0	R/W	H'FFE3 0054	H'1FE3 0054	32
	RX 割り込みイネーブルレジスタ 0	HACRIER0	R/W	H'FFE3 0058	H'1FE3 0058	32
	RX ステータスレジスタ 0	HACRSR0	R/W	H'FFE3 005C	H'1FE3 005C	32
	HAC コントロールレジスタ 0	HACACR0	R/W	H'FFE3 0060	H'1FE3 0060	32
	コントロールステータスレジスタ 1	HACCR1	R/W	H'FFE4 0008	H'1FE4 0008	32
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	R/W	H'FFE4 0020	H'1FE4 0020	32
	コマンド / ステータスデータレジスタ 1	HACCSDR1	R/W	H'FFE4 0024	H'1FE4 0024	32
	PCM レフトチャンネルレジスタ 1	HACPCML1	R/W	H'FFE4 0028	H'1FE4 0028	32
	PCM ライトチャンネルレジスタ 1	HACPCMR1	R/W	H'FFE4 002C	H'1FE4 002C	32
	TX 割り込みイネーブルレジスタ 1	HACTIER1	R/W	H'FFE4 0050	H'1FE4 0050	32

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
HAC	TX ステータスレジスタ 1	HACTSR1	R/W	H'FFE4 0054	H'1FE4 0054	32
	RX 割り込みイネーブルレジスタ 1	HACRIER1	R/W	H'FFE4 0058	H'1FE4 0058	32
	RX ステータスレジスタ 1	HACRSR1	R/W	H'FFE4 005C	H'1FE4 005C	32
	HAC コントロールレジスタ 1	HACACR1	R/W	H'FFE4 0060	H'1FE4 0060	32
SSI	コントロールレジスタ 0	SSICR0	R/W	H'FFE0 0000	H'1FE0 0000	32
	ステータスレジスタ 0	SSISR0	R/W*1	H'FFE0 0004	H'1FE0 0004	32
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FFE0 0008	H'1FE0 0008	32
	レシーブデータレジスタ 0	SSIRDR0	R	H'FFE0 000C	H'1FE0 000C	32
	コントロールレジスタ 1	SSICR1	R/W	H'FFE1 0000	H'1FE1 0000	32
	ステータスレジスタ 1	SSISR1	R/W*1	H'FFE1 0004	H'1FE1 0004	32
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FFE1 0008	H'1FE1 0008	32
	レシーブデータレジスタ 1	SSIRDR1	R	H'FFE1 000C	H'1FE1 000C	32
FLCTL	共通コントロールレジスタ	FLCMNCR	R/W	H'FFE9 0000	H'1FE9 0000	32
	コマンド制御レジスタ	FLCMDCR	R/W	H'FFE9 0004	H'1FE9 0004	32
	コマンドコードレジスタ	FLCMCDR	R/W	H'FFE9 0008	H'1FE9 0008	32
	アドレスレジスタ	FLADR	R/W	H'FFE9 000C	H'1FE9 000C	32
	データレジスタ	FLDATAR	R/W	H'FFE9 0010	H'1FE9 0010	32
	データカウンタレジスタ	FLDTCNTR	R/W	H'FFE9 0014	H'1FE9 0014	32
	割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFE9 0018	H'1FE9 0018	32
	レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'FFE9 001C	H'1FE9 001C	32
	レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FFE9 0020	H'1FE9 0020	32
	データ FIFO レジスタ	FLDTFIFO	R/W	H'FFE9 0024	H'1FE9 0024	32
	管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFE9 0028	H'1FE9 0028	32
	転送制御レジスタ	FLTRCR	R/W	H'FFE9 002C	H'1FE9 002C	8
	アドレスレジスタ 2	FLADR2	R/W	H'FFE9 003C	H'1FE9 003C	32
GPIO	ポート A コントロールレジスタ	PACR	R/W	H'FFE7 0000	H'1FE7 0000	16
	ポート B コントロールレジスタ	PBCR	R/W	H'FFE7 0002	H'1FE7 0002	16
	ポート C コントロールレジスタ	PCCR	R/W	H'FFE7 0004	H'1FE7 0004	16
	ポート D コントロールレジスタ	PDCR	R/W	H'FFE7 0006	H'1FE7 0006	16
	ポート E コントロールレジスタ	PECR	R/W	H'FFE7 0008	H'1FE7 0008	16
	ポート F コントロールレジスタ	PFCR	R/W	H'FFE7 000A	H'1FE7 000A	16
	ポート G コントロールレジスタ	PGCR	R/W	H'FFE7 000C	H'1FE7 000C	16
	ポート H コントロールレジスタ	PHCR	R/W	H'FFE7 000E	H'1FE7 000E	16
	ポート J コントロールレジスタ	PJCR	R/W	H'FFE7 0010	H'1FE7 0010	16

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
GPIO	ポート K コントロールレジスタ	PKCR	R/W	H'FFE7 0012	H'1FE7 0012	16
	ポート L コントロールレジスタ	PLCR	R/W	H'FFE7 0014	H'1FE7 0014	16
	ポート M コントロールレジスタ	PMCR	R/W	H'FFE7 0016	H'1FE7 0016	16
	ポート N コントロールレジスタ	PNCR	R/W	H'FFE7 0018	H'1FE7 0018	16
	ポート P コントロールレジスタ	PPCR	R/W	H'FFE7 001A	H'1FE7 001A	16
	ポート Q コントロールレジスタ	PQCR	R/W	H'FFE7 001C	H'1FE7 001C	16
	ポート R コントロールレジスタ	PRCR	R/W	H'FFE7 001E	H'1FE7 001E	16
	ポート A データレジスタ	PADR	R/W	H'FFE7 0020	H'1FE7 0020	8
	ポート B データレジスタ	PBDR	R/W	H'FFE7 0022	H'1FE7 0022	8
	ポート C データレジスタ	PCDR	R/W	H'FFE7 0024	H'1FE7 0024	8
	ポート D データレジスタ	PDDR	R/W	H'FFE7 0026	H'1FE7 0026	8
	ポート E データレジスタ	PEDR	R/W	H'FFE7 0028	H'1FE7 0028	8
	ポート F データレジスタ	PFDR	R/W	H'FFE7 002A	H'1FE7 002A	8
	ポート G データレジスタ	PGDR	R/W	H'FFE7 002C	H'1FE7 002C	8
	ポート H データレジスタ	PHDR	R/W	H'FFE7 002E	H'1FE7 002E	8
	ポート J データレジスタ	PJDR	R/W	H'FFE7 0030	H'1FE7 0030	8
	ポート K データレジスタ	PKDR	R/W	H'FFE7 0032	H'1FE7 0032	8
	ポート L データレジスタ	PLDR	R/W	H'FFE7 0034	H'1FE7 0034	8
	ポート M データレジスタ	PMDR	R/W	H'FFE7 0036	H'1FE7 0036	8
	ポート N データレジスタ	PNDR	R/W	H'FFE7 0038	H'1FE7 0038	8
	ポート P データレジスタ	PPDR	R/W	H'FFE7 003A	H'1FE7 003A	8
	ポート Q データレジスタ	PQDR	R/W	H'FFE7 003C	H'1FE7 003C	8
	ポート R データレジスタ	PRDR	R/W	H'FFE7 003E	H'1FE7 003E	8
	ポート E ブルアップ制御レジスタ	PEPUPR	R/W	H'FFE7 0048	H'1FE7 0048	8
	ポート H ブルアップ制御レジスタ	PHPUPR	R/W	H'FFE7 004E	H'1FE7 004E	8
	ポート J ブルアップ制御レジスタ	PJPUPR	R/W	H'FFE7 0050	H'1FE7 0050	8
	ポート K ブルアップ制御レジスタ	PKPUPR	R/W	H'FFE7 0052	H'1FE7 0052	8
	ポート L ブルアップ制御レジスタ	PLPUPR	R/W	H'FFE7 0054	H'1FE7 0054	8
	ポート M ブルアップ制御レジスタ	PMPUPR	R/W	H'FFE7 0056	H'1FE7 0056	8
	ポート N ブルアップ制御レジスタ	PNPUPR	R/W	H'FFE7 0058	H'1FE7 0058	8
	入力端子ブルアップ制御レジスタ 1	PPUPR1	R/W	H'FFE7 0060	H'1FE7 0060	16
	入力端子ブルアップ制御レジスタ 2	PPUPR2	R/W	H'FFE7 0062	H'1FE7 0062	16
周辺モジュールセレクトレジスタ 1	P1MSELR	R/W	H'FFE7 0080	H'1FE7 0080	16	
周辺モジュールセレクトレジスタ 2	P2MSELR	R/W	H'FFE7 0082	H'1FE7 0082	16	

31. レジスタ一覧

モジュール名	名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
UBC	マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
	マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
	マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
	マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
	マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
	マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
	マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
	マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
	マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
	マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
	実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
	チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
	ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32
H-UDI	インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16
	割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16
	バウンダリスキャンレジスタ	SDBSR	-	-	-	-
	バイパスレジスタ	SDBPR	-	-	-	-

- 【注】 *1 割り込み要因レジスタ (INTREQ) は、読み出し、条件付き書き込み可能なレジスタです。詳細は 10.3.1 (4) 割り込み要因レジスタ (INTREQ) を参照してください。
- *2 NMI フラグコントロールレジスタ (NMIFCR) は、読み出し、一部条件付き書き込み可能なレジスタです。詳細は 10.3.1 (11) NMI フラグコントロールレジスタ (NMIFCR) を参照してください。
- *3 CHCR の HE、TE ビットは、フラグをクリアするために、1 を読み出し後の 0 書き込みのみ可能です。
- *4 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 を読み出し後の 0 書き込みのみ可能です。
- *5 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。
- *6 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

31.2 各動作モードにおけるレジスタの状態

本 LSI に内蔵されている I/O レジスタの各動作モードにおける状態を表 31.2～表 31.9 に示します。機能モジュールごとに、マニュアルの章番号の順に表記しています。一覧表の形にまとめるあたって、一部の説明や注意事項が省略されています。レジスタの詳細に関しては、各章のレジスタの説明を参照してください。

表 31.2 各動作モードにおけるレジスタの状態 (1)

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による
例外処理	TRAPA 例外レジスタ	TRA	不定	不定	保持
	例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持
	割り込み事象レジスタ	INTEVT	不定	不定	保持
	非サポート検出例外レジスタ	EXPMASK	H'0000 0013	H'0000 0013	保持
MMU	ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持
	ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持
	変換テーブルベースレジスタ	TTB	不定	不定	保持
	TLB 例外アドレスレジスタ	TEA	不定	保持	保持
	MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持
	物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持
	命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持
	ページテーブルエントリアシスタンス レジスタ	PTEA	不定	不定	保持
キャッシュ	キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持
	キューアドレス制御レジスタ 0	QACR0	不定	不定	保持
	キューアドレス制御レジスタ 1	QACR1	不定	不定	保持
	内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持
L メモリ	L メモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持
	L メモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持
	L メモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持
	L メモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持
INTC	割り込みコントロールレジスタ 0	ICR0	H'x000 0000 ^{*1}	H'x000 0000 ^{*1}	保持
	割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'0000 0000	保持
	割り込み要因レジスタ	INTREQ	H'0000 0000	H'0000 0000	保持
	割り込みマスクレジスタ 0	INTMSK0	H'FF00 0000	H'FF00 0000	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による
INTC	割り込みマスクレジスタ 1	INTMSK1	H'FF00 0000	H'FF00 0000	保持
	割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	H'0000 0000	保持
	割り込みマスククリアレジスタ 0	INTMSKCLR 0	H'xx00 0000	H'xx00 0000	保持
	割り込みマスククリアレジスタ 1	INTMSKCLR 1	H'x000 0000	H'x000 0000	保持
	割り込みマスククリアレジスタ 2	INTMSKCLR 2	H'xxxx xxxx	H'xxxx xxxx	保持
	NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000*1	H'x000 0000*1	保持
	ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	H'0000 0000	保持
	割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	H'0000 0000	保持
	割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	H'xxxx xxxx	H'xxxx xxxx	保持
	割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	H'0000 0000	H'0000 0000	保持
	割り込みマスクレジスタ	INT2MSKR	H'FFFF FFFF	H'FFFF FFFF	保持
	割り込みマスククリアレジスタ	INT2MSKCLR	H'0000 0000	H'0000 0000	保持
	モジュール別割り込み要因レジスタ 0	INT2B0	H'xxxx xxxx	H'xxxx xxxx	保持
	モジュール別割り込み要因レジスタ 1	INT2B1	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 2	INT2B2	H'xxxx xxxx	H'xxxx xxxx	保持	

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による
INTC	モジュール別割り込み要因レジスタ 3	INT2B3	H'xxxx xxxx	H'xxxx xxxx	保持
	モジュール別割り込み要因レジスタ 4	INT2B4	H'xxxx xxxx	H'xxxx xxxx	保持
	モジュール別割り込み要因レジスタ 5	INT2B5	H'xxxx xxxx	H'xxxx xxxx	保持
	モジュール別割り込み要因レジスタ 6	INT2B6	H'xxxx xxxx	H'xxxx xxxx	保持
	モジュール別割り込み要因レジスタ 7	INT2B7	H'xxxx xxxx	H'xxxx xxxx	保持
	GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	H'0000 0000	保持
LBSC	メモリアドレスマップ選択レジスタ	MMSELR	H'0000 0000	H'0000 0000	保持
	バスコントロールレジスタ	BCR	H'x000 0000	保持	保持
	CS0 バスコントロールレジスタ	CS0BCR	H'7777 77F0	保持	保持
	CS1 バスコントロールレジスタ	CS1BCR	H'7777 77F0	保持	保持
	CS2 バスコントロールレジスタ	CS2BCR	H'7777 77F0	保持	保持
	CS3 バスコントロールレジスタ	CS3BCR	H'7777 77F0	保持	保持
	CS4 バスコントロールレジスタ	CS4BCR	H'7777 77F0	保持	保持
	CS5 バスコントロールレジスタ	CS5BCR	H'7777 77F0	保持	保持
	CS6 バスコントロールレジスタ	CS6BCR	H'7777 77F0	保持	保持
	CS0 ウェイトコントロールレジスタ	CS0WCR	H'7777 770F	保持	保持
	CS1 ウェイトコントロールレジスタ	CS1WCR	H'7777 770F	保持	保持
	CS2 ウェイトコントロールレジスタ	CS2WCR	H'7777 770F	保持	保持
	CS3 ウェイトコントロールレジスタ	CS3WCR	H'7777 770F	保持	保持
	CS4 ウェイトコントロールレジスタ	CS4WCR	H'7777 770F	保持	保持
	CS5 ウェイトコントロールレジスタ	CS5WCR	H'7777 770F	保持	保持
	CS6 ウェイトコントロールレジスタ	CS6WCR	H'7777 770F	保持	保持
	CS5PCMCIA コントロールレジスタ	CS5PCR	H'7700 0000	保持	保持
	CS6PCMCIA コントロールレジスタ	CS6PCR	H'7700 0000	保持	保持
	DDR2IF	DBSC2 ステータスレジスタ	DBSTATE	H'0000 0x00 ^{*1}	保持
SDRAM 動作許可レジスタ		DBEN	H'0000 0000	保持	保持
SDRAM コマンド制御レジスタ		DBCMDCNT	H'0000 0000	保持	保持
SDRAM 構成設定レジスタ		DBCONF	H'009A 0001	保持	保持
SDRAM タイミングレジスタ 0		DBTR0	H'0203 0501	保持	保持
SDRAM タイミングレジスタ 1		DBTR1	H'0001 0001	保持	保持
SDRAM タイミングレジスタ 2		DBTR2	H'0104 0303	保持	保持
SDRAM リフレッシュ制御レジスタ 0		DBRFCNT0	H'0000 0000	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による
DDR2IF	SDRAM リフレッシュ制御レジスタ 1	DBRFCNT1	H'0000 0200	保持	保持
	SDRAM リフレッシュ制御レジスタ 2	DBRFCNT2	H'1000 0080	保持	保持
	SDRAM リフレッシュステータスレジスタ	DBRFSTS	H'0000 0000	保持	保持
	DDRPAD 周波数設定レジスタ	DBFREQ	H'0000 0000	保持	保持
	DDRPAD DIC ODT OCD 設定レジスタ	DBDICODTO CD	H'0000 0007	保持	保持
	SDRAM モード設定レジスタ	DBMRCNT	不定	保持	保持
PCIC	コントロールレジスタ空間 (物理アドレス : H'FE00 0000 ~ H'FE03 FFFF)				
	PCIC イネーブル制御レジスタ	PCIECR	H'0000 0000	保持	保持
	PCI コンフィグレジスタ空間 (物理アドレス : H'FE04 0000 ~ H'FE04 00FF)				
	PCI ベンダ ID レジスタ	PCIVID	H'1912	保持	保持
	PCI デバイス ID レジスタ	PCIDID	H'0007	保持	保持
	PCI コマンドレジスタ	PCICMD	H'0080	保持	保持
	PCI ステータスレジスタ	PCISTATUS	H'0290	保持	保持
	PCI レビジョン ID レジスタ	PCIRID	H'00(TBD)	保持	保持
	PCI プログラムインタフェースレジスタ	PCIPIF	H'00	保持	保持
	PCI サブクラスコードレジスタ	PCISUB	H'00	保持	保持
	PCI ベースクラスコードレジスタ	PCIBCC	H'00(TBD)	保持	保持
	PCI キャッシュラインサイズレジスタ	PCICLS	H'20	保持	保持
	PCI レイテンシタイムレジスタ	PCILTM	H'00	保持	保持
	PCI ヘッダタイプレジスタ	PCIHDR	H'00	保持	保持
	PCI BIST レジスタ	PCIBIST	H'00	保持	保持
	PCI I/O ベースアドレスレジスタ	PCIIBAR	H'0000 0001	保持	保持
	PCI メモリベースアドレス 0 レジスタ	PCIMBAR0	H'0000 0000	保持	保持
	PCI メモリベースアドレス 1 レジスタ	PCIMBAR1	H'0000 0000	保持	保持
	PCI サブシステムベンダ ID レジスタ	PCISVID	H'0000	保持	保持
	PCI サブシステム ID レジスタ	PCISID	H'0000	保持	保持
	PCI 拡張機能ポインタレジスタ	PCICP	H'40	保持	保持
	PCI 割り込みラインレジスタ	PCIINTLINE	H'00	保持	保持
	PCI 割り込み端子指定レジスタ	PCIINTPIN	H'01	保持	保持
PCI 最小グラント指定レジスタ	PCIMINGNT	H'00	保持	保持	

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ	
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による	
PCIC	PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	H'00	保持	保持	
	PCI 拡張機能 ID レジスタ	PCICID	H'01	保持	保持	
	PCI 次項目ポインタレジスタ	PCINIP	H'00	保持	保持	
	PCI パワーマネジメントレジスタ	PCIPMC	H'000A	保持	保持	
	PCI パワーマネジメントコントロール /ステータスレジスタ	PCIPMCSR	H'0000	保持	保持	
	PCIPMCSR ブリッジサポート拡張レジ スタ	PCIPMCSR SE	H'00	保持	保持	
	PCI パワー消費 / 放散データレジスタ	PCIP added	H'00	保持	保持	
	PCI ローカルレジスタ空間 (物理アドレス : H'FE04 0100 ~ H'FE04 03FF)					
	PCI コントロールレジスタ	PCICR	H'0000 00xx	保持	保持	
	PCI ローカルスペースレジスタ 0	PCILSR0	H'0000 0000	保持	保持	
	PCI ローカルスペースレジスタ 1	PCILSR1	H'0000 0000	保持	保持	
	PCI ローカルアドレスレジスタ 0	PCILAR0	H'0000 0000	保持	保持	
	PCI ローカルアドレスレジスタ 1	PCILAR1	H'0000 0000	保持	保持	
	PCI 割り込みレジスタ	PCIIR	H'0000 0000	保持	保持	
	PCI 割り込みマスクレジスタ	PCIIMR	H'0000 0000	保持	保持	
	PCI エラーアドレス情報レジスタ	PCIAIR	H'xxxx xxxx	保持	保持	
	PCI エラーコマンド情報レジスタ	PCICIR	H'xx00 000x	保持	保持	
	PCI アービタ割り込みレジスタ	PCIAINT	H'0000 0000	保持	保持	
	PCI アービタ割り込みマスクレジスタ	PCIAINTM	H'0000 0000	保持	保持	
	PCI バスマスタエラー情報レジスタ	PCIBMIR	H'0000 00xx	保持	保持	
	PCI PIO アドレスレジスタ	PCIPAR	H'80xx xxxx	保持	保持	
	PCI パワーマネジメント割り込みレジ スタ	PCIPINT	H'0000 0000	保持	保持	
	PCI パワーマネジメント割り込みマス クレジスタ	PCIPINTM	H'0000 0000	保持	保持	
	PCI メモリバンクレジスタ 0	PCIMBR0	H'0000 0000	保持	保持	
	PCI メモリバンクマスクレジスタ 0	PCIMBR0	H'0000 0000	保持	保持	
	PCI メモリバンクレジスタ 1	PCIMBR1	H'0000 0000	保持	保持	
	PCI メモリバンクマスクレジスタ 1	PCIMBR1	H'0000 0000	保持	保持	
	PCI メモリバンクレジスタ 2	PCIMBR2	H'0000 0000	保持	保持	
	PCI メモリバンクマスクレジスタ 2	PCIMBR2	H'0000 0000	保持	保持	

31. レジスタ一覧

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外に よる	SLEEP 命令による
PCIC	PCI I/O バンクレジスタ	PCIIOBR	H'0000 0000	保持	保持
	PCI I/O バンクマスクレジスタ	PCIIOBMR	H'0000 0000	保持	保持
	PCI キャッシュスヌープコントロール レジスタ 0	PCICSCR0	H'0000 0000	保持	保持
	PCI キャッシュスヌープコントロール レジスタ 1	PCICSCR1	H'0000 0000	保持	保持
	PCI キャッシュスヌープアドレスレジ スタ 0	PCIC SAR0	H'0000 0000	保持	保持
	PCI キャッシュスヌープアドレスレジ スタ 1	PCIC SAR1	H'0000 0000	保持	保持
	PCI PIO データレジスタ	PCIPDR	H'xxxx xxxx	保持	保持

【注】 *1 ICR0.NMIL、NMIFCR.NMIL の初期値は、NMI 端子に入力されている信号レベルにより異なります。

*2 初期値は外部端子 MODE8 の設定によります。

表 31.3 各動作モードにおけるレジスタの状態 (2)

モジュール名	名 称	略 称	パワーオンリセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
DMAC	DMA ソースアドレスレジスタ 0	SAR0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 0	DAR0	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 0	TCR0	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 0	CHCR0	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 1	SAR1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 1	DAR1	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 1	TCR1	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 1	CHCR1	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 2	SAR2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 2	DAR2	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 2	TCR2	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 2	CHCR2	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 3	SAR3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 3	DAR3	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 3	TCR3	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 3	CHCR3	H'40000000	H'40000000	保持	保持
	DMA オペレーションレジスタ 0	DMAOR0	H'0000	H'0000	保持	保持
	DMA ソースアドレスレジスタ 4	SAR4	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 4	DAR4	不定	不定	保持	保持
	DMA トランスファカウンタレジスタ 4	TCR4	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 4	CHCR4	H'40000000	H'40000000	保持	保持
DMA ソースアドレスレジスタ 5	SAR5	不定	不定	保持	保持	
DMA デスティネーションアドレスレジスタ 5	DAR5	不定	不定	保持	保持	
DMA トランスファカウンタレジスタ 5	TCR5	不定	不定	保持	保持	

31. レジスタ一覧

モジュール名	名 称	略 称	パワーオンリセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
DMAC	DMA チャンネルコントロールレジスタ 5	CHCR5	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ B0	SARB0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B0	DARB0	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B0	TCRB0	不定	不定	保持	保持
	DMA ソースアドレスレジスタ B1	SARB1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B1	DARB1	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B1	TCRB1	不定	不定	保持	保持
	DMA ソースアドレスレジスタ B2	SARB2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B2	DARB2	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B2	TCRB2	不定	不定	保持	保持
	DMA ソースアドレスレジスタ B3	SARB3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B3	DARB3	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B3	TCRB3	不定	不定	保持	保持
	DMA 拡張リソースセクタ 0	DMARS0	H'0000	H'0000	保持	保持
	DMA 拡張リソースセクタ 1	DMARS1	H'0000	H'0000	保持	保持
	DMA 拡張リソースセクタ 2	DMARS2	H'0000	H'0000	保持	保持
	DMA ソースアドレスレジスタ 6	SAR6	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 6	DAR6	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 6	TCR6	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 6	CHCR6	H'40000000	H'40000000	保持	保持
DMA ソースアドレスレジスタ 7	SAR7	不定	不定	保持	保持	
DMA デスティネーションアドレスレジスタ 7	DAR7	不定	不定	保持	保持	

モジュール名	名 称	略 称	パワーオンリセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
DMAC	DMA トランスファカウントレジスタ 7	TCR7	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 7	CHCR7	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 8	SAR8	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 8	DAR8	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 8	TCR8	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 8	CHCR8	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 9	SAR9	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 9	DAR9	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 9	TCR9	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 9	CHCR9	H'40000000	H'40000000	保持	保持
	DMA オペレーションレジスタ 1	DMAOR1	H'0000	H'0000	保持	保持
	DMA ソースアドレスレジスタ 10	SAR10	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 10	DAR10	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 10	TCR10	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 10	CHCR10	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ 11	SAR11	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 11	DAR11	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 11	TCR11	不定	不定	保持	保持
	DMA チャネルコントロールレジスタ 11	CHCR11	H'40000000	H'40000000	保持	保持
	DMA ソースアドレスレジスタ B6	SARB6	不定	不定	保持	保持
DMA デスティネーションアドレスレジスタ B6	DARB6	不定	不定	保持	保持	
DMA トランスファカウントレジスタ B6	TCRB6	不定	不定	保持	保持	
DMA ソースアドレスレジスタ B7	SARB7	不定	不定	保持	保持	
DMA デスティネーションアドレスレジスタ B7	DARB7	不定	不定	保持	保持	

31. レジスタ一覧

モジュール名	名 称	略 称	パワーオンリセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
DMAC	DMA トランスファカウントレジスタ B7	TCRB7	不定	不定	保持	保持
	DMA ソースアドレスレジスタ B8	SARB8	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B8	DARB8	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B8	TCRB8	不定	不定	保持	保持
	DMA ソースアドレスレジスタ B9	SARB9	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B9	DARB9	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B9	TCRB9	不定	不定	保持	保持
	DMA 拡張リソースセクタ 3	DMARS3	H'0000	H'0000	保持	保持
	DMA 拡張リソースセクタ 4	DMARS4	H'0000	H'0000	保持	保持
	DMA 拡張リソースセクタ 5	DMARS5	H'0000	H'0000	保持	保持

表 31.4 各動作モードにおけるレジスタの状態 (3)

モジュール名	名 称	略 称	パワーオンリセット		マニュアル リセット	スリープ/ ディープ スリープ
			PRESET 端子 /WDT による	H-UDI による		
CPG/ 低消費電力	周波数制御レジスタ 0	FRQCR0	H'0000 0000	保持	保持	保持
	周波数制御レジスタ 1	FRQCR1	H'0000 0000	保持	保持	保持
	周波数表示レジスタ 1	FRQMR1	H'1xxx xxxx ^{*1}	保持	保持	保持
	スリープコントロールレジスタ	SLPCR	H'0000 0000	保持	保持	保持
	PLL コントロールレジスタ	PLLCR	H'0000 0000	保持	保持	保持
	スタンバイコントロールレジスタ 0	MSTPCR0	H'0000 0000	保持	保持	保持
	スタンバイコントロールレジスタ 1	MSTPCR1	H'0000 0000	保持	保持	保持
	スタンバイ表示レジスタ	MSTPMR	H'00x0 0000 ^{*1}	保持	保持	保持
WDT	ウォッチドッグタイムストップタイム レジスタ	WDTST	H'0000 0000	保持	保持	保持
	ウォッチドッグタイムコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持
	ウォッチドッグタイムベースストップ タイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持
	ウォッチドッグタイムカウンタ	WDTCNT	H'0000 0000	H'0000 0000	保持	保持
	ウォッチドッグタイムベースカウンタ	WDTBCNT	H'0000 0000	H'0000 0000	保持	保持

【注】 *1 PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MODE0、MODE1、MODE2、MODE3、MODE4、MODE11、MODE12 の組み合わせにより決まります。

*2 PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MODE11、MODE12 の組み合わせにより決まります。

31. レジスタ一覧

表 31.5 各動作モードにおけるレジスタの状態 (4)

モジュール名	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 による	SLEEP 命 令による	
TMU	タイマスタートレジスタ 0	TSTR0	H'00	H'00	保持	保持
	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	H'0000	保持	保持
	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	H'0000	保持	保持
	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	H'0000	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	保持	保持	保持	保持
	タイマスタートレジスタ 1	TSTR1	H'00	H'00	保持	保持
	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	H'0000	保持	保持
	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	H'0000	保持	保持
	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
タイマコントロールレジスタ 5	TCR5	H'0000	H'0000	保持	保持	
DU	表示システム制御レジスタ	DSYSR	H'0000 0280	保持	保持	保持
	表示モードレジスタ	DSMR	H'0000 0000	保持	保持	保持
	表示ステータスレジスタ	DSSR	H'3000 0000	保持	保持	保持
	表示ステータスレジスタクリアレジスタ	DSRCR	不定	保持	保持	保持
	表示割り込み許可レジスタ	DIER	H'0000 0000	保持	保持	保持
	カラーバレット制御レジスタ	CPCH	H'0000 0000	保持	保持	保持
	表示プレーン優先順位レジスタ	DPCH	H'0054 3210	保持	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 による	SLEEP 命令 による	
DU	表示拡張機能許可レジスタ	DEFR	H'0000 0000	保持	保持	保持
	水平表示開始位置レジスタ	HDSR	不定	保持	保持	保持
	水平表示終了位置レジスタ	HDER	不定	保持	保持	保持
	垂直表示開始位置レジスタ	VDSR	不定	保持	保持	保持
	垂直表示終了位置レジスタ	VDER	不定	保持	保持	保持
	水平走査周期レジスタ	HCR	不定	保持	保持	保持
	水平同期パルス幅レジスタ	HSWR	不定	保持	保持	保持
	垂直走査周期レジスタ	VCR	不定	保持	保持	保持
	垂直同期位置レジスタ	VSPR	不定	保持	保持	保持
	等価パルス幅レジスタ	EQWR	不定	保持	保持	保持
	セパレーション幅レジスタ	SPWR	不定	保持	保持	保持
	CLAMP 信号開始位置レジスタ	CLAMPSCR	不定	保持	保持	保持
	CLAMP 信号幅レジスタ	CLAMPWR	不定	保持	保持	保持
	DE 信号開始位置レジスタ	DESR	不定	保持	保持	保持
	DE 信号幅レジスタ	DEWR	不定	保持	保持	保持
	カラーパレット 1 透過色レジスタ	CP1TR	H'0000 0000	保持	保持	保持
	カラーパレット 2 透過色レジスタ	CP2TR	H'0000 0000	保持	保持	保持
	カラーパレット 3 透過色レジスタ	CP3TR	H'0000 0000	保持	保持	保持
	カラーパレット 4 透過色レジスタ	CP4TR	H'0000 0000	保持	保持	保持
	表示オフ時出力レジスタ	DOOR	不定	保持	保持	保持
	色検出レジスタ	CDER	不定	保持	保持	保持
	下地色レジスタ	BPOR	不定	保持	保持	保持
	ラスタ割り込みオフセットレジスタ	RINTOFSR	不定	保持	保持	保持
	ブレーン 1 モードレジスタ	P1MR	H'0000 0000	保持	保持	保持
	ブレーン 1 メモリ幅レジスタ	P1MWR	不定	保持	保持	保持
	ブレーン 1 ブレンド比レジスタ	P1ALPHAR	不定	保持	保持	保持
	ブレーン 1 表示サイズ X レジスタ	P1DSXR	不定	保持	保持	保持
	ブレーン 1 表示サイズ Y レジスタ	P1DSYR	不定	保持	保持	保持
	ブレーン 1 表示位置 X レジスタ	P1DPXR	不定	保持	保持	保持
	ブレーン 1 表示位置 Y レジスタ	P1DPYR	不定	保持	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
DU	ブレーン1表示領域開始アドレス0レジスタ	P1DSA0R	不定	保持	保持	保持
	ブレーン1表示領域開始アドレス1レジスタ	P1DSA1R	不定	保持	保持	保持
	ブレーン1開始位置Xレジスタ	P1SPXR	不定	保持	保持	保持
	ブレーン1開始位置Yレジスタ	P1SPYR	不定	保持	保持	保持
	ブレーン1ラップアラウンド開始位置レジスタ	P1WASPR	不定	保持	保持	保持
	ブレーン1ラップアラウンドメモリ幅レジスタ	P1WAMWR	不定	保持	保持	保持
	ブレーン1プリンキング周期レジスタ	P1BTR	H'0000 0101	保持	保持	保持
	ブレーン1透過色1レジスタ	P1TC1R	不定	保持	保持	保持
	ブレーン1透過色2レジスタ	P1TC2R	不定	保持	保持	保持
	ブレーン1メモリ長レジスタ	P1MLR	H'0000 0000	保持	保持	保持
	ブレーン2モードレジスタ	P2MR	H'0000 0000	保持	保持	保持
	ブレーン2メモリ幅レジスタ	P2MWR	不定	保持	保持	保持
	ブレーン2ブレンド比レジスタ	P2ALPHAR	不定	保持	保持	保持
	ブレーン2表示サイズXレジスタ	P2DSXR	不定	保持	保持	保持
	ブレーン2表示サイズYレジスタ	P2DSYR	不定	保持	保持	保持
	ブレーン2表示位置Xレジスタ	P2DPXR	不定	保持	保持	保持
	ブレーン2表示位置Yレジスタ	P2DPYR	不定	保持	保持	保持
	ブレーン2表示領域開始アドレス0レジスタ	P2DSA0R	不定	保持	保持	保持
	ブレーン2表示領域開始アドレス1レジスタ	P2DSA1R	不定	保持	保持	保持
	ブレーン2開始位置Xレジスタ	P2SPXR	不定	保持	保持	保持
	ブレーン2開始位置Yレジスタ	P2SPYR	不定	保持	保持	保持
	ブレーン2ラップアラウンド開始位置レジスタ	P2WASPR	不定	保持	保持	保持
	ブレーン2ラップアラウンドメモリ幅レジスタ	P2WAMWR	不定	保持	保持	保持
	ブレーン2プリンキング周期レジスタ	P2BTR	H'0000 0101	保持	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
DU	ブレーン 2 透過色 1 レジスタ	P2TC1R	不定	保持	保持	保持
	ブレーン 2 透過色 2 レジスタ	P2TC2R	不定	保持	保持	保持
	ブレーン 2 メモリ長レジスタ	P2MLR	H'0000 0000	保持	保持	保持
	ブレーン 3 モードレジスタ	P3MR	H'0000 0000	保持	保持	保持
	ブレーン 3 メモリ幅レジスタ	P3MWR	不定	保持	保持	保持
	ブレーン 3 ブレンド比レジスタ	P3ALPHAR	不定	保持	保持	保持
	ブレーン 3 表示サイズ X レジスタ	P3DSXR	不定	保持	保持	保持
	ブレーン 3 表示サイズ Y レジスタ	P3DSYR	不定	保持	保持	保持
	ブレーン 3 表示位置 X レジスタ	P3DPXR	不定	保持	保持	保持
	ブレーン 3 表示位置 Y レジスタ	P3DPYR	不定	保持	保持	保持
	ブレーン 3 表示領域開始アドレス 0 レジスタ	P3DSA0R	不定	保持	保持	保持
	ブレーン 3 表示領域開始アドレス 1 レジスタ	P3DSA1R	不定	保持	保持	保持
	ブレーン 3 開始位置 X レジスタ	P3SPXR	不定	保持	保持	保持
	ブレーン 3 開始位置 Y レジスタ	P3SPYR	不定	保持	保持	保持
	ブレーン 3 ラップアラウンド開始位置 レジスタ	P3WASPR	不定	保持	保持	保持
	ブレーン 3 ラップアラウンドメモリ幅 レジスタ	P3WAMWR	不定	保持	保持	保持
	ブレーン 3 プリンキング周期レジスタ	P3BTR	H'0000 0101	保持	保持	保持
	ブレーン 3 透過色 1 レジスタ	P3TC1R	不定	保持	保持	保持
	ブレーン 3 透過色 2 レジスタ	P3TC2R	不定	保持	保持	保持
	ブレーン 3 メモリ長レジスタ	P3MLR	H'0000 0000	保持	保持	保持
	ブレーン 4 モードレジスタ	P4MR	H'0000 0000	保持	保持	保持
	ブレーン 4 メモリ幅レジスタ	P4MWR	不定	保持	保持	保持
	ブレーン 4 ブレンド比レジスタ	P4ALPHAR	不定	保持	保持	保持
	ブレーン 4 表示サイズ X レジスタ	P4DSXR	不定	保持	保持	保持
	ブレーン 4 表示サイズ Y レジスタ	P4DSYR	不定	保持	保持	保持
	ブレーン 4 表示位置 X レジスタ	P4DPXR	不定	保持	保持	保持
	ブレーン 4 表示位置 Y レジスタ	P4DPYR	不定	保持	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
DU	ブレーン 4 表示領域開始アドレス 0 レジスタ	P4DSA0R	不定	保持	保持	保持
	ブレーン 4 表示領域開始アドレス 1 レジスタ	P4DSA1R	不定	保持	保持	保持
	ブレーン 4 開始位置 X レジスタ	P4SPXR	不定	保持	保持	保持
	ブレーン 4 開始位置 Y レジスタ	P4SPYR	不定	保持	保持	保持
	ブレーン 4 ラップアラウンド開始位置レジスタ	P4WASPR	不定	保持	保持	保持
	ブレーン 4 ラップアラウンドメモリ幅レジスタ	P4WAMWR	不定	保持	保持	保持
	ブレーン 4 プリンキング周期レジスタ	P4BTR	H'0000 0101	保持	保持	保持
	ブレーン 4 透過色 1 レジスタ	P4TC1R	不定	保持	保持	保持
	ブレーン 4 透過色 2 レジスタ	P4TC2R	不定	保持	保持	保持
	ブレーン 4 メモリ長レジスタ	P4MLR	H'0000 0000	保持	保持	保持
	ブレーン 5 モードレジスタ	P5MR	H'0000 0000	保持	保持	保持
	ブレーン 5 メモリ幅レジスタ	P5MWR	不定	保持	保持	保持
	ブレーン 5 ブレンド比レジスタ	P5ALPHAR	不定	保持	保持	保持
	ブレーン 5 表示サイズ X レジスタ	P5DSXR	不定	保持	保持	保持
	ブレーン 5 表示サイズ Y レジスタ	P5DSYR	不定	保持	保持	保持
	ブレーン 5 表示位置 X レジスタ	P5DPXR	不定	保持	保持	保持
	ブレーン 5 表示位置 Y レジスタ	P5DPYR	不定	保持	保持	保持
	ブレーン 5 表示領域開始アドレス 0 レジスタ	P5DSA0R	不定	保持	保持	保持
	ブレーン 5 表示領域開始アドレス 1 レジスタ	P5DSA1R	不定	保持	保持	保持
	ブレーン 5 開始位置 X レジスタ	P5SPXR	不定	保持	保持	保持
	ブレーン 5 開始位置 Y レジスタ	P5SPYR	不定	保持	保持	保持
	ブレーン 5 ラップアラウンド開始位置レジスタ	P5WASPR	不定	保持	保持	保持
	ブレーン 5 ラップアラウンドメモリ幅レジスタ	P5WAMWR	不定	保持	保持	保持
	ブレーン 5 プリンキング周期レジスタ	P5BTR	H'0000 0101	保持	保持	保持

モジュール名	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
DU	ブレーン 5 透過色 1 レジスタ	P5TC1R	不定	保持	保持	保持
	ブレーン 5 透過色 2 レジスタ	P5TC2R	不定	保持	保持	保持
	ブレーン 5 メモリ長レジスタ	P5MLR	H'0000 0000	保持	保持	保持
	ブレーン 6 モードレジスタ	P6MR	H'0000 0000	保持	保持	保持
	ブレーン 6 メモリ幅レジスタ	P6MWR	不定	保持	保持	保持
	ブレーン 6 ブレンド比レジスタ	P6ALPHAR	不定	保持	保持	保持
	ブレーン 6 表示サイズ X レジスタ	P6DSXR	不定	保持	保持	保持
	ブレーン 6 表示サイズ Y レジスタ	P6DSYR	不定	保持	保持	保持
	ブレーン 6 表示位置 X レジスタ	P6DPXR	不定	保持	保持	保持
	ブレーン 6 表示位置 Y レジスタ	P6DPYR	不定	保持	保持	保持
	ブレーン 6 表示領域開始アドレス 0 レジスタ	P6DSA0R	不定	保持	保持	保持
	ブレーン 6 表示領域開始アドレス 1 レジスタ	P6DSA1R	不定	保持	保持	保持
	ブレーン 6 開始位置 X レジスタ	P6SPXR	不定	保持	保持	保持
	ブレーン 6 開始位置 Y レジスタ	P6SPYR	不定	保持	保持	保持
	ブレーン 6 ラップアラウンド開始位置 レジスタ	P6WASPR	不定	保持	保持	保持
	ブレーン 6 ラップアラウンドメモリ幅 レジスタ	P6WAMWR	不定	保持	保持	保持
	ブレーン 6 プリンキング周期レジスタ	P6BTR	H'0000 0101	保持	保持	保持
	ブレーン 6 透過色 1 レジスタ	P6TC1R	不定	保持	保持	保持
	ブレーン 6 透過色 2 レジスタ	P6TC2R	不定	保持	保持	保持
	ブレーン 6 メモリ長レジスタ	P6MLR	H'0000 0000	保持	保持	保持
	カラーパレット 1 レジスタ 000	CP1_000R	不定	保持	保持	保持
	：	：	：	：	：	：
	カラーパレット 1 レジスタ 255	CP1_255R	不定	保持	保持	保持
	カラーパレット 2 レジスタ 000	CP2_000R	不定	保持	保持	保持
	：	：	：	：	：	：
	カラーパレット 2 レジスタ 255	CP2_255R	不定	保持	保持	保持
カラーパレット 3 レジスタ 000	CP3_000R	不定	保持	保持	保持	

31. レジスタ一覧

モジュール名	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
DU	:	:	:	:	:	:
	カラーバレット 3 レジスタ 255	CP3_255R	不定	保持	保持	保持
	カラーバレット 4 レジスタ 000	CP4_000R	不定	保持	保持	保持
	:	:	:	:	:	:
	カラーバレット 4 レジスタ 255	CP4_255R	不定	保持	保持	保持
	外部同期制御レジスタ	ESCR	H'0000 0000	保持	保持	保持
	出力信号タイミング調整レジスタ	OTAR	H'0000 0000	保持	保持	保持
GDTA	GA マスクレジスタ	GACMR	H'0000 0000	H'0000 0000	保持	保持
	GA イネーブルレジスタ	GACER	H'0000 0000	H'0000 0000	保持	保持
	GA 処理終了割り込み要因表示レジスタ	GACISR	H'0000 0000	H'0000 0000	保持	保持
	GA 処理終了割り込み要因表示クリアレジスタ	GACICR	H'0000 0000	H'0000 0000	保持	保持
	GA 割り込みイネーブルレジスタ	GACIER	H'0000 0000	H'0000 0000	保持	保持
	GA CL 入力データアライメントレジスタ	DRCL_CTL	H'0000 0000	H'0000 0000	保持	保持
	GA CL 出力データアライメントレジスタ	DWCL_CTL	H'0000 0000	H'0000 0000	保持	保持
	GA MC 入力データアライメントレジスタ	DRMC_CTL	H'0000 0000	H'0000 0000	保持	保持
	GA MC 出力データアライメントレジスタ	DWMC_CTL	H'0000 0000	H'0000 0000	保持	保持
	GA バッファ RAM0 データアライメントレジスタ	DCP_CTL	H'0000 0000	H'0000 0000	保持	保持
	GA バッファ RAM1 データアライメントレジスタ	DID_CTL	H'0000 0000	H'0000 0000	保持	保持
	CL Command FiFo	CLCF	H'0000 0000	H'0000 0000	保持	保持
	CL コントロ - ルレジスタ	CLCR	H'0000 0000	H'0000 0000	保持	保持
	CL ステータスレジスタ	CLSR	H'0000 0000	H'0000 0000	保持	保持
	CL フレ - ム幅設定レジスタ	CLWR	H'0000 0000	H'0000 0000	保持	保持
	CL フレ - ム高さ設定レジスタ	CLHR	H'0000 0000	H'0000 0000	保持	保持
	CL 入力 Y パディングサイズ設定レジスタ	CLYPR	H'0000 0000	H'0000 0000	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
GDTA	CL 入力 UV バディングサイズ設定レジスタ	CLIUVR	H'0000 0000	H'0000 0000	保持	保持
	CL 出力バディングサイズ設定レジスタ	CLOPR	H'0000 0000	H'0000 0000	保持	保持
	CL パレットポインタ設定レジスタ	CLPLPR	H'0000 0000	H'0000 0000	保持	保持
	MC Command FiFo	MCCF	H'0000 0000	H'0000 0000	保持	保持
	MC ステータスレジスタ	MCSR	H'0000 0000	H'0000 0000	保持	保持
	MC フレ - ム幅設定レジスタ	MCWR	H'0000 0000	H'0000 0000	保持	保持
	MC フレ - ム高さ設定レジスタ	MCHR	H'0000 0000	H'0000 0000	保持	保持
	MC Y バディングサイズ設定レジスタ	MCYPR	H'0000 0000	H'0000 0000	保持	保持
	MC UV バディングサイズ設定レジスタ	MCUVR	H'0000 0000	H'0000 0000	保持	保持
	MC 出力フレ - ム Y ポインタレジスタ	MCOYPR	H'0000 0000	H'0000 0000	保持	保持
	MC 出力フレ - ム U ポインタレジスタ	MCOUPR	H'0000 0000	H'0000 0000	保持	保持
	MC 出力フレ - ム V ポインタレジスタ	MCOVPR	H'0000 0000	H'0000 0000	保持	保持
	MC 過去フレ - ム Y ポインタレジスタ	MCPYPR	H'0000 0000	H'0000 0000	保持	保持
	MC 過去フレ - ム U ポインタレジスタ	MCPUPR	H'0000 0000	H'0000 0000	保持	保持
	MC 過去フレ - ム V ポインタレジスタ	MCPVPR	H'0000 0000	H'0000 0000	保持	保持
	MC 未来フレ - ム Y ポインタレジスタ	MCFYPR	H'0000 0000	H'0000 0000	保持	保持
	MC 未来フレ - ム U ポインタレジスタ	MCFUPR	H'0000 0000	H'0000 0000	保持	保持
	MC 未来フレ - ム V ポインタレジスタ	MCFVPR	H'0000 0000	H'0000 0000	保持	保持
SCIF	シリアルモードレジスタ 0	SCSMR0	H'0000	H'0000	保持	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持	保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持	保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 0	SCSPTR0	H'000x*1	H'000x*1	保持	保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	H'0000	保持	保持

31. レジスタ一覧

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
SCIF	シリアルエラーレジスタ 0	SCRER0	H'0000	H'0000	保持	保持
	シリアルモードレジスタ 1	SCSMR1	H'0000	H'0000	保持	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持	保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持	保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 1	SCSPTR1	H'000x ^{*2}	H'000x ^{*2}	保持	保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	H'0000	保持	保持
	シリアルモードレジスタ 2	SCSMR2	H'0000	H'0000	保持	保持
	ビットレートレジスタ 2	SCBRR2	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 2	SCSCR2	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 2	SCFTDR2	不定	不定	保持	保持
	シリアルステータスレジスタ 2	SCFSR2	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 2	SCFRDR2	不定	不定	保持	保持
	FIFO コントロールレジスタ 2	SCFCR2	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 2	SCRFDR2	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 2	SCSPTR2	H'000x ^{*2}	H'000x ^{*2}	保持	保持
	ラインステータスレジスタ 2	SCLSR2	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 2	SCRER2	H'0000	H'0000	保持	保持
	シリアルモードレジスタ 3	SCSMR3	H'0000	H'0000	保持	保持
	ビットレートレジスタ 3	SCBRR3	H'FF	H'FF	保持	保持
シリアルコントロールレジスタ 3	SCSCR3	H'0000	H'0000	保持	保持	
トランスミット FIFO データレジスタ 3	SCFTDR3	不定	不定	保持	保持	

31. レジスタ一覧

モジュール名	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
SCIF	シリアルステータスレジスタ 3	SCFSR3	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 3	SCFRDR3	不定	不定	保持	保持
	FIFO コントロールレジスタ 3	SCFCR3	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 3	SCRFDR3	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 3	SCSPTR3	H'000x ^{*2}	H'000x ^{*2}	保持	保持
	ラインステータスレジスタ 3	SCLSR3	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 3	SCRER3	H'0000	H'0000	保持	保持
	シリアルモードレジスタ 4	SCSMR4	H'0000	H'0000	保持	保持
	ビットレートレジスタ 4	SCBRR4	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 4	SCSCR4	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 4	SCFTDR4	不定	不定	保持	保持
	シリアルステータスレジスタ 4	SCFSR4	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 4	SCFRDR4	不定	不定	保持	保持
	FIFO コントロールレジスタ 4	SCFCR4	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 4	SCRFDR4	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 4	SCSPTR4	H'000x ^{*2}	H'000x ^{*2}	保持	保持
	ラインステータスレジスタ 4	SCLSR4	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 4	SCRER4	H'0000	H'0000	保持	保持
	シリアルモードレジスタ 5	SCSMR5	H'0000	H'0000	保持	保持
	ビットレートレジスタ 5	SCBRR5	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 5	SCSCR5	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 5	SCFTDR5	不定	不定	保持	保持
	シリアルステータスレジスタ 5	SCFSR5	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 5	SCFRDR5	不定	不定	保持	保持
	FIFO コントロールレジスタ 5	SCFCR5	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	H'0000	H'0000	保持	保持

31. レジスタ一覧

モジュール名	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による	
SCIF	レシーブ FIFO データ数レジスタ 5	SCRFR5	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 5	SCSPTR5	H'000x*2	H'000x*2	保持	保持
	ラインステータスレジスタ 5	SCLSR5	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 5	SCRER5	H'0000	H'0000	保持	保持
SIOF	モードレジスタ	SIMDR	H'8000	H'8000	保持	保持
	クロックセレクトレジスタ	SISCR	H'C000	H'C000	保持	保持
	送信データアサインレジスタ	SITDAR	H'0000	H'0000	保持	保持
	受信データアサインレジスタ	SIRDAR	H'0000	H'0000	保持	保持
	制御データアサインレジスタ	SICDAR	H'0000	H'0000	保持	保持
	コントロールレジスタ	SICTR	H'0000	H'0000	保持	保持
	FIFO コントロールレジスタ	SIFCTR	H'1000	H'1000	保持	保持
	ステータスレジスタ	SISTR	H'0000	H'0000	保持	保持
割り込み許可レジスタ	SIIER	H'0000	H'0000	保持	保持	

【注】 *1 ビット 2、0 は不定です。

*2 ビット 6、4、2、0 は不定です。

表 31.6 各動作モードにおけるレジスタの状態 (5)

モジュール	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ	ソフト リセット による
			PRESET 端子 /WDT/ H-UDI による	WDT/多重例 外による	SLEEP 命令 による		
HSPI	コントロールレジスタ	SPCR	H'0000 0000	H'0000 0000	保持	保持	保持
	ステータスレジスタ	SPSR	H'xxxx x120	H'xxxx x120	保持	保持	H'xxxx x1xx*
	システムコントロール レジスタ	SPSCR	H'0000 0040	H'0000 0040	保持	保持	保持
	トランスミットバッフ ァレジスタ	SPTBR	H'0000 0000	H'0000 0000	保持	保持	保持
	レシーブバッファレジ スタ	SPRBR	H'0000 0000	H'0000 0000	保持	保持	保持

【注】 * xは不定値を示します。ビット9、6、4、3は保持されます。それ以外のビットは初期値が不定以外のビットは初期化されます。

31. レジスタ一覧

表 31.7 各動作モードにおけるレジスタの状態 (6)

モジュール	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
MMCIF	コマンドレジスタ 0	CMDR0	H'00	H'00	保持	保持
	コマンドレジスタ 1	CMDR1	H'00	H'00	保持	保持
	コマンドレジスタ 2	CMDR2	H'00	H'00	保持	保持
	コマンドレジスタ 3	CMDR3	H'00	H'00	保持	保持
	コマンドレジスタ 4	CMDR4	H'00	H'00	保持	保持
	コマンドレジスタ 5	CMDR5	H'00	H'00	保持	保持
	コマンドスタートレジスタ	CMDSTRT	H'00	H'00	保持	保持
	オペレーションコントロールレジスタ	OPCR	H'00	H'00	保持	保持
	カードステータスレジスタ	CSTR	H'0x	H'0x	保持	保持
	割り込みコントロールレジスタ 0	INTCR0	H'00	H'00	保持	保持
	割り込みコントロールレジスタ 1	INTCR1	H'00	H'00	保持	保持
	割り込みステータスレジスタ 0	INTSTR0	H'00	H'00	保持	保持
	割り込みステータスレジスタ 1	INTSTR1	H'00	H'00	保持	保持
	転送クロックコントロールレジスタ	CLKON	H'00	H'00	保持	保持
	コマンドタイムアウトコントロールレジスタ	CTOCCR	H'00	H'00	保持	保持
	転送バイト数カウントレジスタ	TBCR	H'00	H'00	保持	保持
	モードレジスタ	MODER	H'00	H'00	保持	保持
	コマンドタイプレジスタ	CMDTYR	H'00	H'00	保持	保持
	レスポンスタイプレジスタ	RSPTYR	H'00	H'00	保持	保持
	転送ブロック数カウンタ	TBNCR	H'0000	H'0000	保持	保持
	レスポンスレジスタ 0	RSPR0	H'00	H'00	保持	保持
	レスポンスレジスタ 1	RSPR1	H'00	H'00	保持	保持
	レスポンスレジスタ 2	RSPR2	H'00	H'00	保持	保持
	レスポンスレジスタ 3	RSPR3	H'00	H'00	保持	保持
	レスポンスレジスタ 4	RSPR4	H'00	H'00	保持	保持
	レスポンスレジスタ 5	RSPR5	H'00	H'00	保持	保持
	レスポンスレジスタ 6	RSPR6	H'00	H'00	保持	保持
	レスポンスレジスタ 7	RSPR7	H'00	H'00	保持	保持

31. レジスタ一覧

モジュール	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
MMCIF	レスポンスレジスタ 8	RSPR8	H'00	H'00	保持	保持
	レスポンスレジスタ 9	RSPR9	H'00	H'00	保持	保持
	レスポンスレジスタ 10	RSPR10	H'00	H'00	保持	保持
	レスポンスレジスタ 11	RSPR11	H'00	H'00	保持	保持
	レスポンスレジスタ 12	RSPR12	H'00	H'00	保持	保持
	レスポンスレジスタ 13	RSPR13	H'00	H'00	保持	保持
	レスポンスレジスタ 14	RSPR14	H'00	H'00	保持	保持
	レスポンスレジスタ 15	RSPR15	H'00	H'00	保持	保持
	レスポンスレジスタ 16	RSPR16	H'00	H'00	保持	保持
	CRC ステータスレジスタ	RSPRD	H'00	H'00	保持	保持
	データタイムアウトレジスタ	DTOUTR	H'FFFF	H'FFFF	保持	保持
	データレジスタ	DR	H'xxxx	H'xxxx	保持	保持
	FIFO ポインタクリアレジスタ	FIFOCLR	H'00	H'00	保持	保持
	DMA コントロールレジスタ	DMACR	H'00	H'00	保持	保持
	割り込みコントロールレジスタ 2	INTCR2	H'00	H'00	保持	保持
割り込みステータスレジスタ 2	INTSTR2	H'0x	H'0x	保持	保持	
HAC	コントロールステータスレジスタ 0	HACCR0	H'0000 0200	H'0000 0200	保持	保持
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	H'0000 0000	H'0000 0000	保持	保持
	コマンド / ステータスデータレジスタ 0	HACCSDR0	H'0000 0000	H'0000 0000	保持	保持
	PCM レフトチャネルレジスタ 0	HACPCML0	H'0000 0000	H'0000 0000	保持	保持
	PCM ライトチャネルレジスタ 0	HACPCMR0	H'0000 0000	H'0000 0000	保持	保持
	TX 割り込みイネーブルレジスタ 0	HACTIER0	H'0000 0000	H'0000 0000	保持	保持
	TX ステータスレジスタ 0	HACTSR0	H'F000 0000	H'F000 0000	保持	保持
	RX 割り込みイネーブルレジスタ 0	HACRIER0	H'0000 0000	H'0000 0000	保持	保持
	RX ステータスレジスタ 0	HACRSR0	H'0000 0000	H'0000 0000	保持	保持
	HAC コントロールレジスタ 0	HACACR0	H'8400 0000	H'8400 0000	保持	保持
	コントロールステータスレジスタ 1	HACCR 1	H'0000 0200	H'0000 0200	保持	保持
	コマンド / ステータスアドレスレジスタ 1	HACCSAR 1	H'0000 0000	H'0000 0000	保持	保持
	コマンド / ステータスデータレジスタ 1	HACCSDR 1	H'0000 0000	H'0000 0000	保持	保持

31. レジスタ一覧

モジュール	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
HAC	PCM レフトチャンネルレジスタ 1	HACPCML 1	H'0000 0000	H'0000 0000	保持	保持
	PCM ライトチャンネルレジスタ 1	HACPCMR 1	H'0000 0000	H'0000 0000	保持	保持
	TX 割り込みイネーブルレジスタ 1	HACTIER 1	H'0000 0000	H'0000 0000	保持	保持
	TX ステータスレジスタ 1	HACTSR 1	H'F000 0000	H'F000 0000	保持	保持
	RX 割り込みイネーブルレジスタ 1	HACRIER 1	H'0000 0000	H'0000 0000	保持	保持
	RX ステータスレジスタ 1	HACRSR 1	H'0000 0000	H'0000 0000	保持	保持
	HAC コントロールレジスタ 1	HACACR 1	H'8400 0000	H'8400 0000	保持	保持
SSI	コントロールレジスタ 0	SSICR0	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 0	SSISR0	H'0200 0003	H'0200 0003	保持	保持
	トランスミットデータレジスタ 0	SSITDR0	H'0000 0000	H'0000 0000	保持	保持
	レシブデータレジスタ 0	SSIRDR0	H'0000 0000	H'0000 0000	保持	保持
	コントロールレジスタ 1	SSICR1	H'0000 0000	H'0000 0000	保持	保持
	ステータスレジスタ 1	SSISR1	H'0200 0003	H'0200 0003	保持	保持
	トランスミットデータレジスタ 1	SSITDR1	H'0000 0000	H'0000 0000	保持	保持
	レシブデータレジスタ 1	SSIRDR1	H'0000 0000	H'0000 0000	保持	保持
FLCTL	共通コントロールレジスタ	FLCMNCR	H'00000000	H'00000000	保持	保持
	コマンド制御レジスタ	FLCMDCR	H'00000000	H'00000000	保持	保持
	コマンドコードレジスタ	FLCMCDR	H'00000000	H'00000000	保持	保持
	アドレスレジスタ	FLADR	H'00000000	H'00000000	保持	保持
	データレジスタ	FLDATAR	H'00000000	H'00000000	保持	保持
	データカウンタレジスタ	FLDTCNTR	H'00000000	H'00000000	保持	保持
	割り込み DMA 制御レジスタ	FLINTDMAC R	H'00000000	H'00000000	保持	保持
	レディビジータイムアウト設定レジスタ	FLBSYTMR	H'00000000	H'00000000	保持	保持
	レディビジータイムアウトカウンタ	FLBSYCNT	H'00000000	H'00000000	保持	保持
	データ FIFO レジスタ	FLDTFIFO	不定	不定	保持	保持
	管理コード FIFO レジスタ	FLECFIFO	不定	不定	保持	保持
	転送制御レジスタ	FLTRCR	H'00	H'00	保持	保持
	アドレスレジスタ 2	FLADR2	H'00000000	H'00000000	保持	保持

モジュール	名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
GPIO	ポート A コントロールレジスタ	PACR	H'0000	保持	保持	保持
	ポート B コントロールレジスタ	PBCR	H'0000	保持	保持	保持
	ポート C コントロールレジスタ	PCCR	H'0000	保持	保持	保持
	ポート D コントロールレジスタ	PDCR	H'0000	保持	保持	保持
	ポート E コントロールレジスタ	PECR	H'00C3	保持	保持	保持
	ポート F コントロールレジスタ	PFCR	H'0000	保持	保持	保持
	ポート G コントロールレジスタ	PGCR	H'0000	保持	保持	保持
	ポート H コントロールレジスタ	PHCR	H'FFFF	保持	保持	保持
	ポート J コントロールレジスタ	PJCR	H'FFFF	保持	保持	保持
	ポート K コントロールレジスタ	PKCR	H'0FFF	保持	保持	保持
	ポート L コントロールレジスタ	PLCR	H'FFFF	保持	保持	保持
	ポート M コントロールレジスタ	PMCR	H'FFF0	保持	保持	保持
	ポート N コントロールレジスタ	PNCR	H'FFFF	保持	保持	保持
	ポート P コントロールレジスタ	PPCR	H'0000	保持	保持	保持
	ポート Q コントロールレジスタ	PQCR	H'0000	保持	保持	保持
	ポート R コントロールレジスタ	PRCR	H'0000	保持	保持	保持
	ポート A データレジスタ	PADR	H'00	保持	保持	保持
	ポート B データレジスタ	PBDR	H'00	保持	保持	保持
	ポート C データレジスタ	PCDR	H'00	保持	保持	保持
	ポート D データレジスタ	PDDR	H'00	保持	保持	保持
	ポート E データレジスタ	PEDR	H'0x	保持	保持	保持
	ポート F データレジスタ	PFDR	H'00	保持	保持	保持
	ポート G データレジスタ	PGDR	H'00	保持	保持	保持
	ポート H データレジスタ	PHDR	H'00	保持	保持	保持
	ポート J データレジスタ	PJDR	H'xx	保持	保持	保持
	ポート K データレジスタ	PKDR	H'xx	保持	保持	保持
	ポート L データレジスタ	PLDR	H'xx	保持	保持	保持
	ポート M データレジスタ	PMDR	H'xx	保持	保持	保持
	ポート N データレジスタ	PNDR	H'xx	保持	保持	保持
	ポート P データレジスタ	PPDR	H'00	保持	保持	保持

31. レジスタ一覧

モジュール	名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ディープ スリープ	モジュール スタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例 外による	SLEEP 命令 による	
GPIO	ポート Q データレジスタ	PQDR	H'00	保持	保持	保持
	ポート R データレジスタ	PRDR	H'00	保持	保持	保持
	ポート E ブルアップ制御レジスタ	PEPUPR	H'FF	保持	保持	保持
	ポート H ブルアップ制御レジスタ	PHPUPR	H'FF	保持	保持	保持
	ポート J ブルアップ制御レジスタ	PJPUPR	H'FF	保持	保持	保持
	ポート K ブルアップ制御レジスタ	PKPUPR	H'FF	保持	保持	保持
	ポート L ブルアップ制御レジスタ	PLPUPR	H'FF	保持	保持	保持
	ポート M ブルアップ制御レジスタ	PMPUPR	H'FF	保持	保持	保持
	ポート N ブルアップ制御レジスタ	PNPUPR	H'FF	保持	保持	保持
	入力端子ブルアップ制御レジスタ 1	PPUPR1	H'FFFF	保持	保持	保持
	入力端子ブルアップ制御レジスタ 2	PPUPR2	H'FFFF	保持	保持	保持
	周辺モジュールセレクトレジスタ 1	P1MSELR	H'0000	保持	保持	保持
	周辺モジュールセレクトレジスタ 2	P2MSELR	H'0000	保持	保持	保持

表 31.8 各動作モードにおけるレジスタの状態 (7)

モジュール	名 称	略 称	パワーオンリセット	マニュアルリセット	スリープ/ディープスリープ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外による	SLEEP 命令による
UBC	マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
	マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
	マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
	マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
	マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
	マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
	マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
	マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
	マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
	マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
	実行回数ブレークレジスタ 1	CETR1	不定	保持	保持
	チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
	ブレークコントロールレジスタ	CBCR	H'0000 0000	保持	保持

表 31.9 各動作モードにおけるレジスタの状態 (8)

モジュール	名 称	略 称	パワーオンリセット	マニュアルリセット	スリープ/ディープスリープ	モジュールスタンバイ
			PRESET 端子 /WDT/H-UDI による	WDT/多重例外による	SLEEP 命令による	
H-UDI	インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持
	割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持

32. 電気的特性

32.1 絶対最大定格

表 32.1 絶対最大定格^{*1*2}

項目	記号	定格値	単位
I/O、CPG、PCI 電源電圧	V_{DDQ} $V_{DDQ-PLL1}$ $V_{DDQ-PLL2}$ V_{DDQ-TD}	-0.3 ~ 4.5	V
内部電源電圧	V_{DD} $V_{DD-PLL1/2}$ $V_{DDA-PLL1}$	-0.3 ~ 1.4	V
DDR 電源電圧	V_{DD-DDR}	-0.3 ~ 2.5	V
入力電圧	V_{in} (3.3V 系)	-0.3 ~ $V_{DDQ}+0.3$	V
	V_{in} (1.8V 系)	-0.3 ~ $V_{DD-DDR}+0.3$	
動作温度	T_{opr}	-20 ~ 85	
		-40 ~ 85 ^{*3}	
保存温度	T_{stg}	-55 ~ 125	

【注】 *1 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

*2 すべての V_{SS} 、 V_{SSQ} 、 V_{SSQ-TD} 、 $V_{SSQ-PLL1/2}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SSA-PLL1}$ を GND に接続しない場合、LSI の永久破壊となることがあります。

*3 R8A77850BADBGV のみ

32. 電氣的特性

32.2 DC 特性

表 32.2 DC 特性

条件: $T_a = -20 \sim 85 / -40 \sim 85$

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		V_{DDQ}	3.0	3.3	3.6	V	通常動作時 スリープモード時 モジュールスタンバイ モード時
		$V_{DDQ-PLL1/2}$ V_{DDQ-TD}					
		V_{DD-DDR}	1.7	1.8	1.9		
		V_{DD} $V_{DD-PLL1/2}$ $V_{DDA-PLL1}$	1.0	1.1	1.2		
		V_{REF}	$0.49 \times V_{DD-DDR}$	$0.50 \times V_{DD-DDR}$	$0.51 \times V_{DD-DDR}$		
		V_{TT}	$V_{REF} - 40$	V_{REF}	$V_{REF} + 40$	mV	
消費電流	通常動作	I_{DD}	-	1800	3000	mA	I _{CK} = 600MHz B _{CK} = 100MHz P _{CK} = 50MHz DDR _{RCK} = 300MHz PC _{ICLK} = 66MHz
	スリープモード		-	900	1700		
	通常動作	I_{DDQ}	-	70	145	mA	I _{CK} = 600MHz B _{CK} = 100MHz P _{CK} = 50MHz DDR _{RCK} = 300MHz PC _{ICLK} = 66MHz
	スリープモード		-	50	100		
	通常動作	I_{DD-PLL}	-	3	7	mA	
		$I_{DDQ-PLL}$	-	2	4	mA	
	DDR 通常動作	I_{DD-DDR}	-	-	450	mA	DDR _{RCK} = 300MHz ODT イネーブル (75、150)
	DDR バックアップ動作		-	260	600		

項 目		記号	Min.	Typ.	Max.	単位	測定条件							
入力電圧	PRESET、NMI、TRST	V_{IH}	$V_{DDQ} \times 0.9$	-	$V_{DDQ} + 0.3$	V	$V_{DDQ} = 3.0 \sim 3.6V$							
	EXTAL		$V_{DDQ} \times 0.8$	-	$V_{DDQ} + 0.3$		外部入力クロック = 34MHz 以下							
			$V_{DDQ} \times 1.0$	-	$V_{DDQ} + 0.3$		外部入力クロック = 34MHz ~ 67MHz							
	DDR 端子	$V_{IH(DC)}$	$V_{REF} + 0.125$	-	$V_{DD-DDR} + 0.3$		V	$V_{DDQ} = 3.0 \sim 3.6V$						
			$V_{IH(AC)}$	$V_{REF} + 0.2$	-				-					
	PCICLK	V_{IH}	$V_{DDQ} \times 0.6$	-	$V_{DDQ} + 0.3$				V	$V_{DDQ} = 3.0 \sim 3.6V$				
	その他の PCI 端子		$V_{DDQ} \times 0.5$	-	$V_{DDQ} + 0.3$									
	その他の入力端子		2.0	-	$V_{DDQ} + 0.3$									
	PRESET、NMI、TRST	V_{IL}	- 0.3	-	$V_{DDQ} \times 0.1$	V					$V_{DDQ} = 3.0 \sim 3.6V$			
	EXTAL		- 0.3	-	$V_{DDQ} \times 0.2$									
			- 0.3	-	$V_{DDQ} \times 0.2$									
	DDR 端子	$V_{IL(DC)}$	- 0.3	-	$V_{REF} - 0.125$							V	$V_{DDQ} = 3.0 \sim 3.6V$	
			$V_{IL(AC)}$	-	-									$V_{REF} - 0.2$
PCICLK	V_{IL}	- 0.3	-	$V_{DDQ} \times 0.3$	V									$V_{DDQ} = 3.0 \sim 3.6V$
その他の PCI 端子		- 0.3	-	$V_{DDQ} \times 0.2$										
その他の入力端子		- 0.3	-	$V_{DDQ} \times 0.2$										
AC 差動入力電圧	$V_{ID(AC)}$	0.5	-	$V_{DD-DDR} + 0.6$			V	$V_{DDQ} = 3.0 \sim 3.6V$						
AC 差動入力クロスポイント電圧	$V_{IX(AC)}$	$V_{DD-DDR} \times 0.5 - 0.175$	-	$V_{DD-DDR} \times 0.5 + 0.175$										
入力リーク電流	DDR 端子	$ I $	-	-			5	μA	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$					
スリー ステート リーク電流	その他の入力端子 入出力、全出力端子 (オフ状態)	$ I_{in} $ $ I_{sti} $	-	-			1			$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$				

32. 電氣的特性

項目		記号	Min.	Typ.	Max.	単位	測定条件	
出力電圧	PCI 端子	V_{OH}	2.4	-	-	V	$V_{DD0} = 3.0V$ 、 $I_{OH} = -4mA$	
	DDR 端子		$0.5 \times V_{DD-DDR} + 0.58$	-	$0.5 \times V_{DD-DDR} + 0.778$			$V_{TT} = 0.50 \times V_{DD-DDR}$ 、 $R_{TT} = 50$
	AUDCK、AUDSYNC、 AUDATA0、AUDATA1、 AUDATA2、AUDATA3		$0.5 \times V_{DD-DDR} + 0.58$	-	$0.5 \times V_{DD-DDR} + 0.778$			
	その他の出力端子		2.4	-	-			
	PCI 端子	V_{OL}	-	-	0.55		V	$V_{DD0} = 3.0V$ 、 $I_{OH} = -2mA$
	DDR 端子		$0.5 \times V_{DD-DDR} - 0.778$	-	$0.5 \times V_{DD-DDR} - 0.58$			
	AUDCK、AUDSYNC、 AUDATA0、AUDATA1、 AUDATA2、AUDATA3		$0.5 \times V_{DD-DDR} - 0.778$	-	$0.5 \times V_{DD-DDR} - 0.58$			
	その他の出力端子		-	-	0.55			$V_{DD0} = 3.0V$ 、 $I_{OL} = 2mA$
ブルアップ抵抗	差動出力電氣特性	$V_{OX}(AC)$	$0.5 \times V_{DD-DDR} - 0.125$	-	$0.5 \times V_{DD-DDR} + 0.125$	V		$V_{TT} = 0.50 \times V_{DD-DDR}$ 、 $R_{TT} = 50$
	PCI 端子	R_{pull}	2	10	18	k		
	その他の端子		20	100	180			
端子容量	DDR 端子	C_L	-	-	16			
	AUDCK、AUDSYNC、 AUDATA0、AUDATA1、 AUDATA2、AUDATA3		-	-	16			
	その他の端子		-	-	10			

- 【注】 1. PLLを使用する/しないにかかわらず、 $V_{DD-PLL1/2}$ 、 $V_{DDA-PLL1}$ 、 $V_{DDQ-PLL1/2}$ は電源に、 $V_{SS-PLL1/2}$ 、 $V_{SSA-PLL1}$ 、 $V_{SSQ-PLL1/2}$ はグラウンドに接続してください。このように接続しない場合、LSIの永久破壊になることがあります。
2. 消費電流値は、 $V_{IH}(\text{Min.}) = V_{DD0} - 0.5V$ および $V_{IL}(\text{Max.}) = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 32.3 出力許容電流値

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (DDR 端子 1 端子あたり) (Full strength)	I_{OL}	-	-	24.50	mA
出力ローレベル許容電流 (DDR 端子 1 端子あたり) (Reduced strength)		-	-	14.70	
出力ローレベル許容電流 (PCI 端子 1 端子あたり)		-	-	4	
出力ローレベル許容電流 (DDR と PCI 以外の端子 1 端子あたり)		-	-	2	
出力ローレベル許容電流 (総和) (DDR 端子以外)	I_{OL}	-	-	120	A
出力ローレベル許容電流 (総和) (DDR 端子)		-	-	1.7	
出力ハイレベル許容電流 (DDR 端子 1 端子あたり) (Full strength)	$-I_{OH}$	-	-	24.50	mA
出力ハイレベル許容電流 (DDR 端子 1 端子あたり) (Reduced strength)		-	-	14.70	
出力ハイレベル許容電流 (PCI 端子 1 端子あたり)		-	-	4	
出力ハイレベル許容電流 (DDR と PCI 以外の端子 1 端子あたり)		-	-	2	
出力ハイレベル許容電流 (総和) (DDR 端子以外)	$ -I_{OH} $	-	-	40	A
出力ハイレベル許容電流 (総和) (DDR 端子)		-	-	1.7	

【注】 LSI の信頼性を確保するため、出力電流値は表 32.3 の値を超えないようにしてください。

表 32.4 ODT 特性

項 目	記号	Min.	Typ.	Max.	単位
ODT 抵抗値 (EMRS で 75 選択時)	R_{TT1}	50	75	100	
ODT 抵抗値 (EMRS で 150 選択時)	R_{TT2}	100	150	200	
$V_{DD-DDR}/2$ 基準とした VM ばらつき	VM	- 6	-	+ 6	%

32.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 32.5 クロックタイミング

項 目		記号	Min.	Typ.	Max.	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	-	603	MHz
	DDR2-SDRAM バス		195	-	302	
	外部バス		1	-	101	
	PCI バス		DC	-	67	
	周辺モジュール		2.5	-	51	

32.3.1 クロック・制御信号タイミング

表 32.6 クロック・制御信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項 目		記号	Min.	Max.	単位	参照図
EXTAL クロック 入力周波数	分周器 1×1、PLL1 72 逓倍 / PLL2 動作時*1	f_{EX}	12	17	MHz	
	分周器 1×1、PLL1 36 逓倍 / PLL2 動作時*2		23	34		
EXTAL クロック 入力サイクル時間	分周器 1×1、PLL1 72 逓倍 / PLL2 動作時*1	t_{EXcyc}	59	83	ns	32.1
	分周器 1×1、PLL1 36 逓倍 / PLL2 動作時*2		29	43		
EXTAL クロック入力ローレベルパルス幅		t_{EXL}	3.5	-	ns	32.1
EXTAL クロック入力ハイレベルパルス幅		t_{EXH}	3.5	-	ns	32.1
EXTAL クロック入力立ち上がり時間		t_{EXr}	-	4	ns	32.1
EXTAL クロック入力立ち下がり時間		t_{EXf}	-	4	ns	32.1
CLKOUT クロック出力	PLL1/PLL2 動作時	f_{OP}	25	101	MHz	
CLKOUT クロック出力サイクル時間		t_{CKOcyt}	10	1000	ns	32.2
CLKOUT クロック出力ローレベルパルス幅		t_{CKOL1}	1	-	ns	32.2
CLKOUT クロック出力ハイレベルパルス幅		t_{CKOH1}	1	-	ns	32.2
CLKOUT クロック出力立ち上がり時間		t_{CKOr}	-	3	ns	32.2
CLKOUT クロック出力立ち下がり時間		t_{CKOf}	-	3	ns	32.2
CLKOUT クロック出力ローレベルパルス幅		t_{CKOL2}	3	-	ns	32.3
CLKOUT クロック出力ハイレベルパルス幅		t_{CKOH2}	3	-	ns	32.3
パワーオン発振安定時間		t_{OSC1}	10	-	ms	32.4
パワーオン発振安定時間/モード (MODE14、MODE10、MODE9、MODE4 ~ MODE0) 安定時間		t_{OSCMD}	10	-	ms	32.4
MODE (MODE13 ~ MODE11、MODE8 ~ MODE5) リセットセットアップ時間		t_{MDRS}	3	-	t_{cyc}	32.6
MODE リセットホールド時間	MODE13 ~ MODE11、 MODE8 ~ MODE5	t_{MDRH}	20	-	ns	32.6
	MODE14、MODE10、 MODE9、MODE4 ~ MODE0					32.4
PRESET アサート時間		t_{RESW}	20	-	t_{cyc}	32.4
PLL 同期安定時間		t_{PLL}	400	-	μs	32.5
TRST リセットホールド時間		t_{TRSTRH}	0	-	ns	32.4
PRESET 入力立ち上がり時間		t_{PRr}	-	20	μs	32.6
PRESET 入力立ち下がり時間		t_{PRf}	-	20	μs	32.6

32. 電気的特性

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。
 2. CLKOUT 端子への接続負荷容量は最大 50pF としてください。
 3. t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。
- *1 クロック動作モード 0、1、2、3 に該当します (表 15.2 を参照ください)。
*2 クロック動作モード 16、17、18、19 に該当します (表 15.2 を参照ください)。

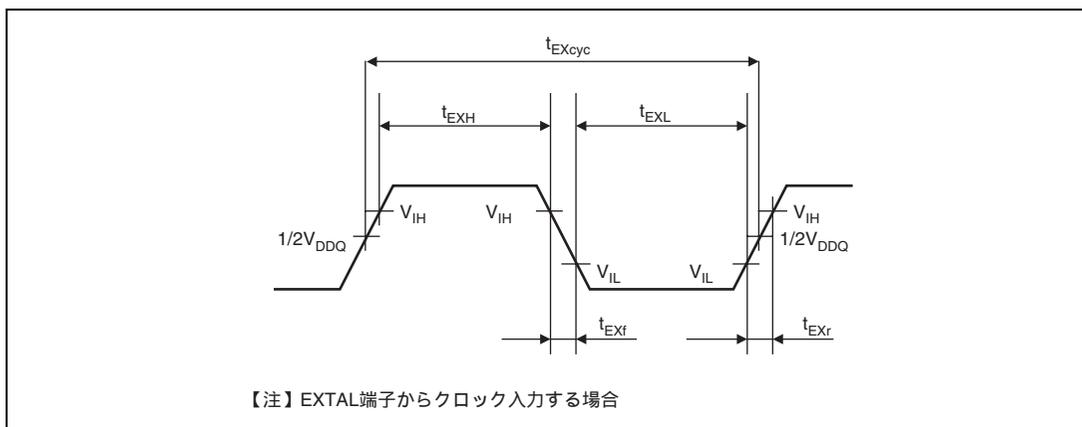


図 32.1 EXTAL クロック入力タイミング

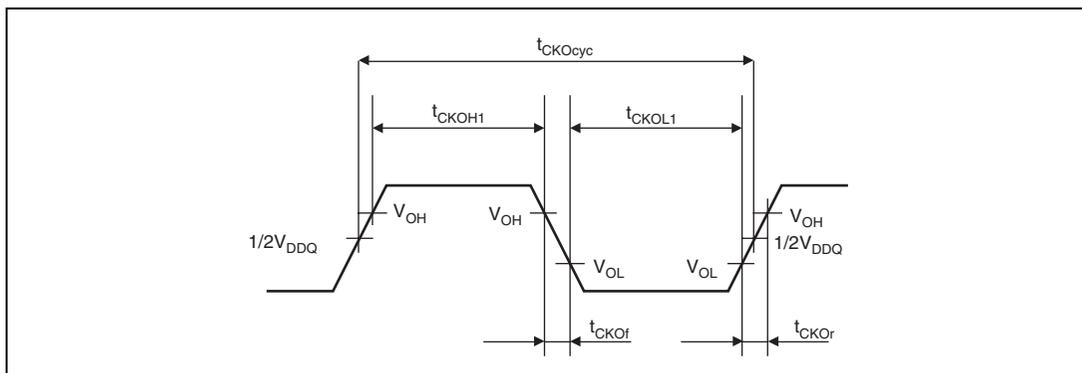


図 32.2 CLKOUT クロック出力タイミング (1)

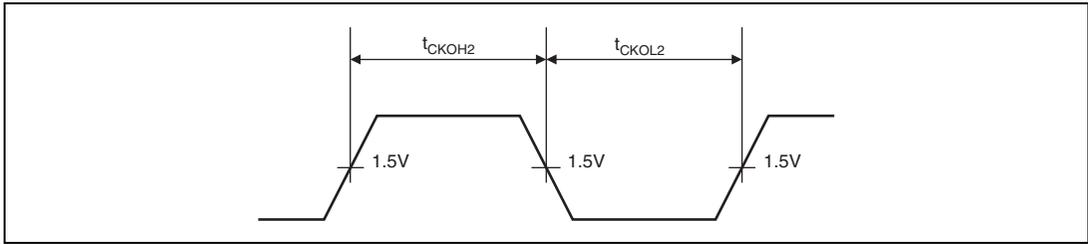
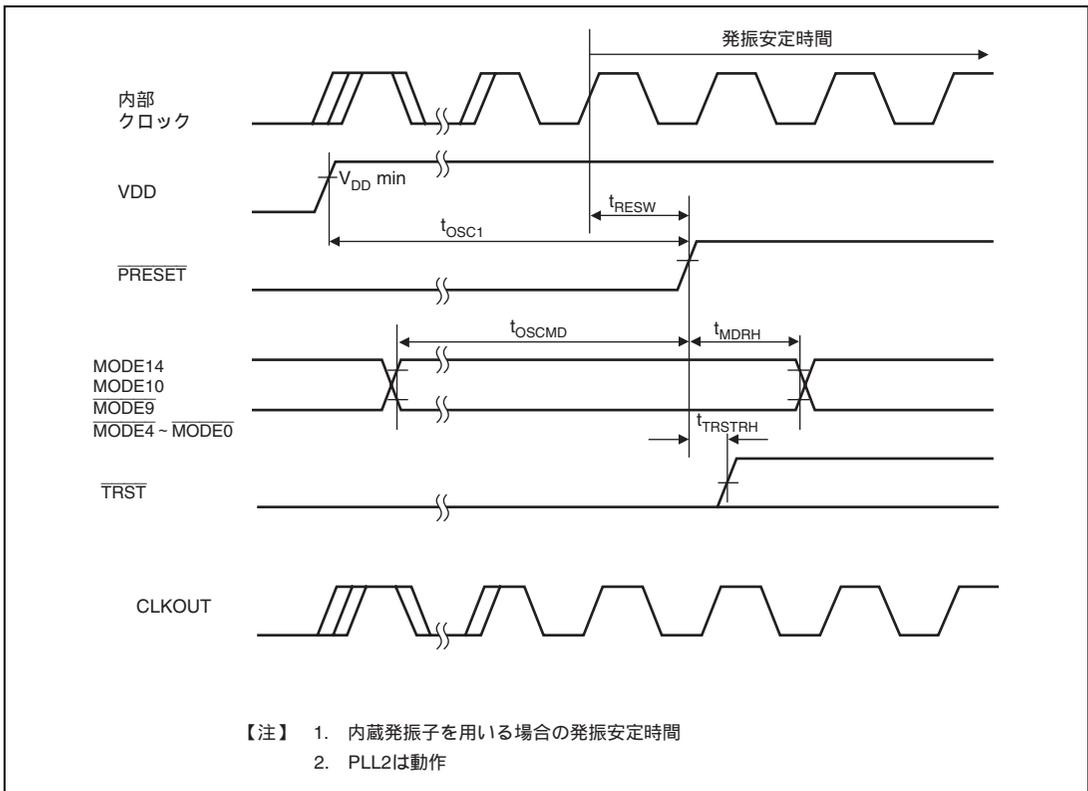


図 32.3 CLKOUT クロック出力タイミング (2)



- 【注】
1. 内蔵発振子を用いる場合の発振安定時間
 2. PLL2は動作

図 32.4 パワーオン時発振安定時間

32. 電気的特性

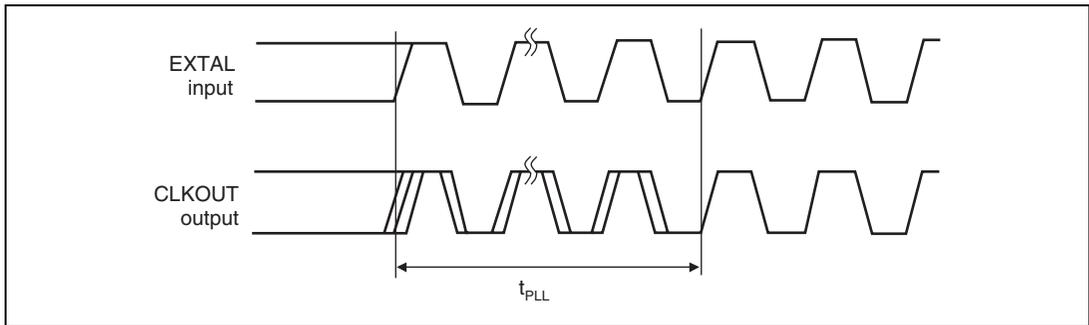


図 32.5 PLL 同期安定時間

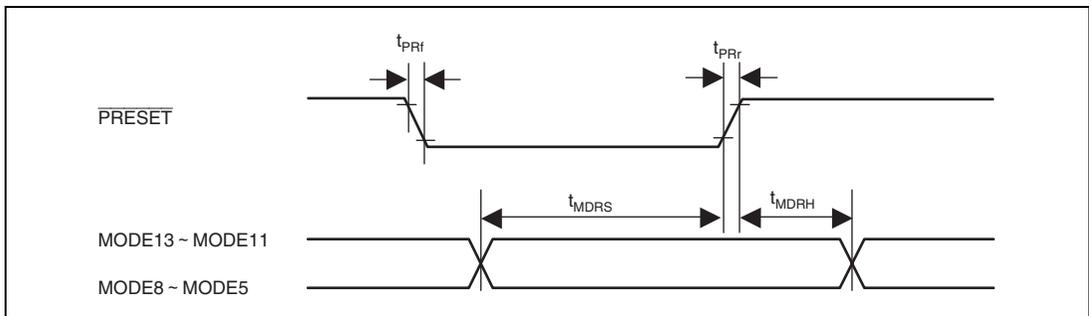


図 32.6 MODE 端子セットアップ/ホールドタイミング

32.3.2 制御信号タイミング

表 32.7 制御信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	略称	Min.	Max.	単位	参照図
BREQ セットアップ時間	t_{BREQS}	3	-	ns	32.7
BREQ ホールド時間	t_{BREQH}	1.5	-	ns	
BACK 遅延時間	t_{BACKD}	-	6	ns	
バストライステート遅延時間	t_{BOFF1}	-	12	ns	
バスパツファオントイム	t_{BON1}	-	12	ns	
STATUS0、STATUS1 遅延時間	t_{STD}	-	6	ns	32.8

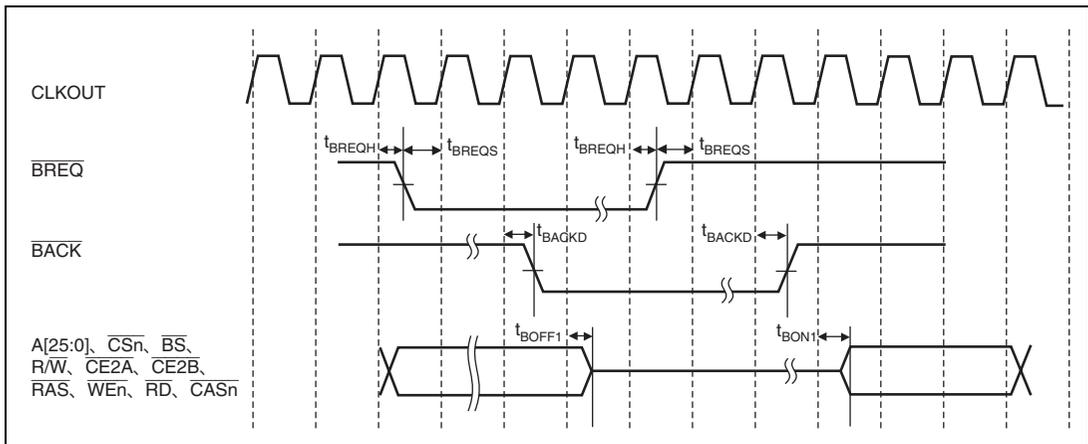


図 32.7 制御信号タイミング

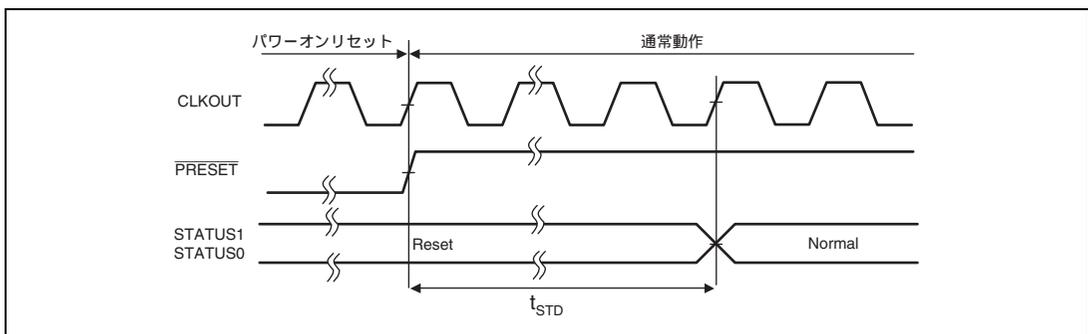


図 32.8 STATUS 信号出力タイミング (パワーオンリセット時)

32. 電気的特性

32.3.3 バスタイミング

表 32.8 バスタイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項 目	略称	Min.	Max.	単位	備考	参照図
アドレス遅延時間	t_{AD}	1.5	6	ns		32.9 ~ 32.19、 32.24、32.25
BS 遅延時間	t_{BSD}	1.5	6	ns		32.9 ~ 32.25
CS 遅延時間	t_{CSD}	1.5	6	ns		32.9 ~ 32.25
R/W 遅延時間	t_{RWD}	1.5	6	ns		32.9 ~ 32.25
RD 遅延時間	t_{RSD}	1.5	6	ns		32.9 ~ 32.17、 32.24、32.25
読み出しデータセットアップ時間	t_{RDS}	2.5	-	ns		32.9 ~ 32.20、 32.22、32.24、32.25
読み出しデータホールド時間	t_{RDH}	1.5	-	ns		32.9 ~ 32.20、 32.22、32.24、32.25
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	1.5	6	ns	CLKOUT の立ち下がりエッジに対して	32.9 ~ 32.12、 32.17、32.24、32.25
WE 遅延時間	t_{WED1}	1.5	6	ns		32.9 ~ 32.12、 32.17、32.20、 32.21、32.24、32.25
書き込みデータ遅延時間	t_{WDD}	1.5	6	ns		32.9 ~ 32.12、 32.17 ~ 32.23
RDY セットアップ時間	t_{RDYS}	2.5	-	ns		32.10、32.11、 32.14、32.16 ~ 32.24
RDY ホールド時間	t_{RDYH}	1.5	-	ns		32.10、32.11、 32.14、32.16 ~ 32.24
FRAME 遅延時間	t_{FMD}	1.5	6	ns	MPX	32.20 ~ 32.23
IOIS16 セットアップ時間	t_{IO16S}	2.5	-	ns	PCMCIA	32.18、32.19
IOIS16 ホールド時間	t_{IO16H}	1.5	-	ns	PCMCIA	32.18、32.19
ICIORW 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.5	6	ns	PCMCIA	32.18、32.19
ICIORW 遅延時間	t_{ICRSDF}	1.5	6	ns	PCMCIA	32.18、32.19
DACK 遅延時間	t_{DACD}	1.5	6	ns		32.9 ~ 32.18、 32.20 ~ 32.25
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACDF}	1.5	6	ns	CLKOUT の立ち下がりエッジに対して	32.9 ~ 32.12

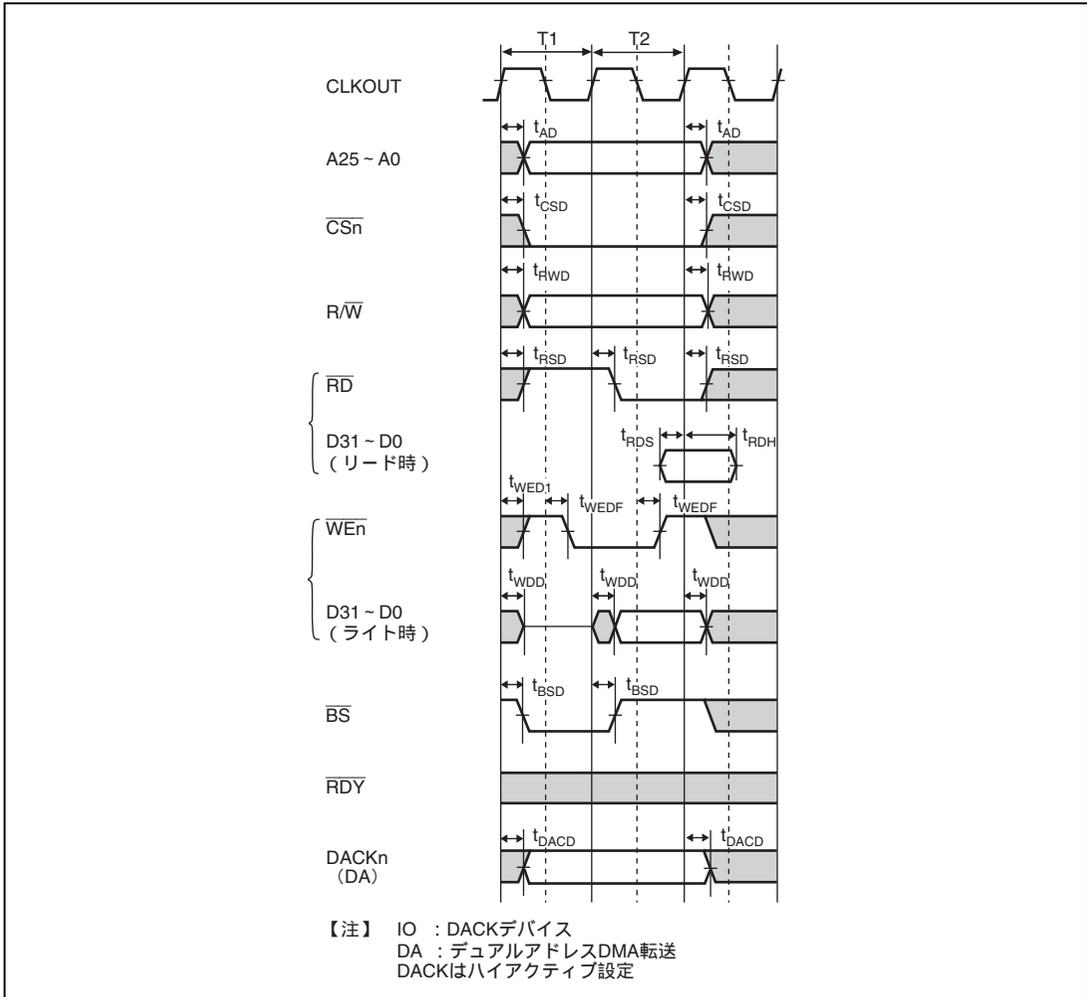


図 32.9 SRAM バスサイクル 基本バスサイクル (ノーウェイト)

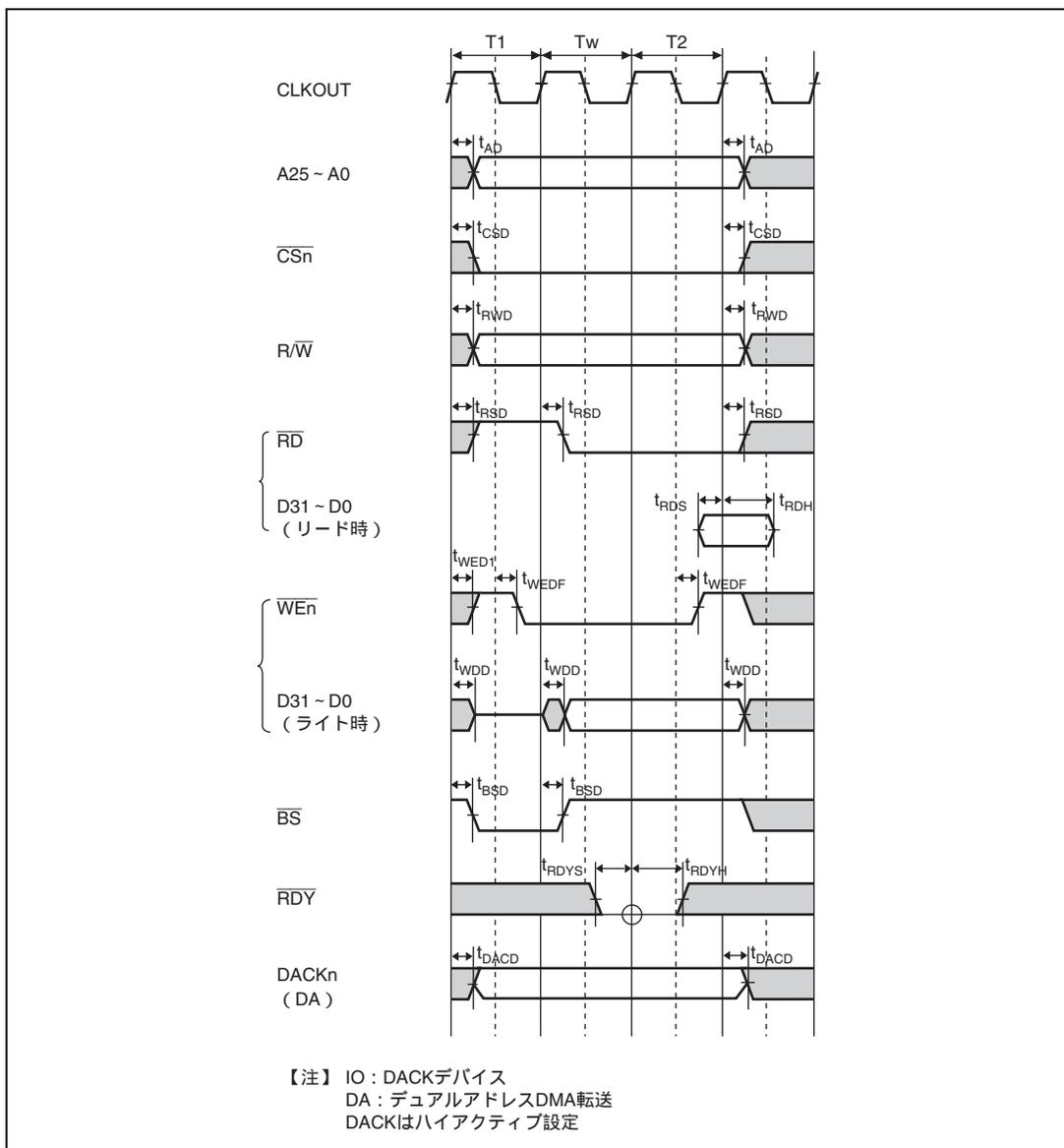


図 32.10 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

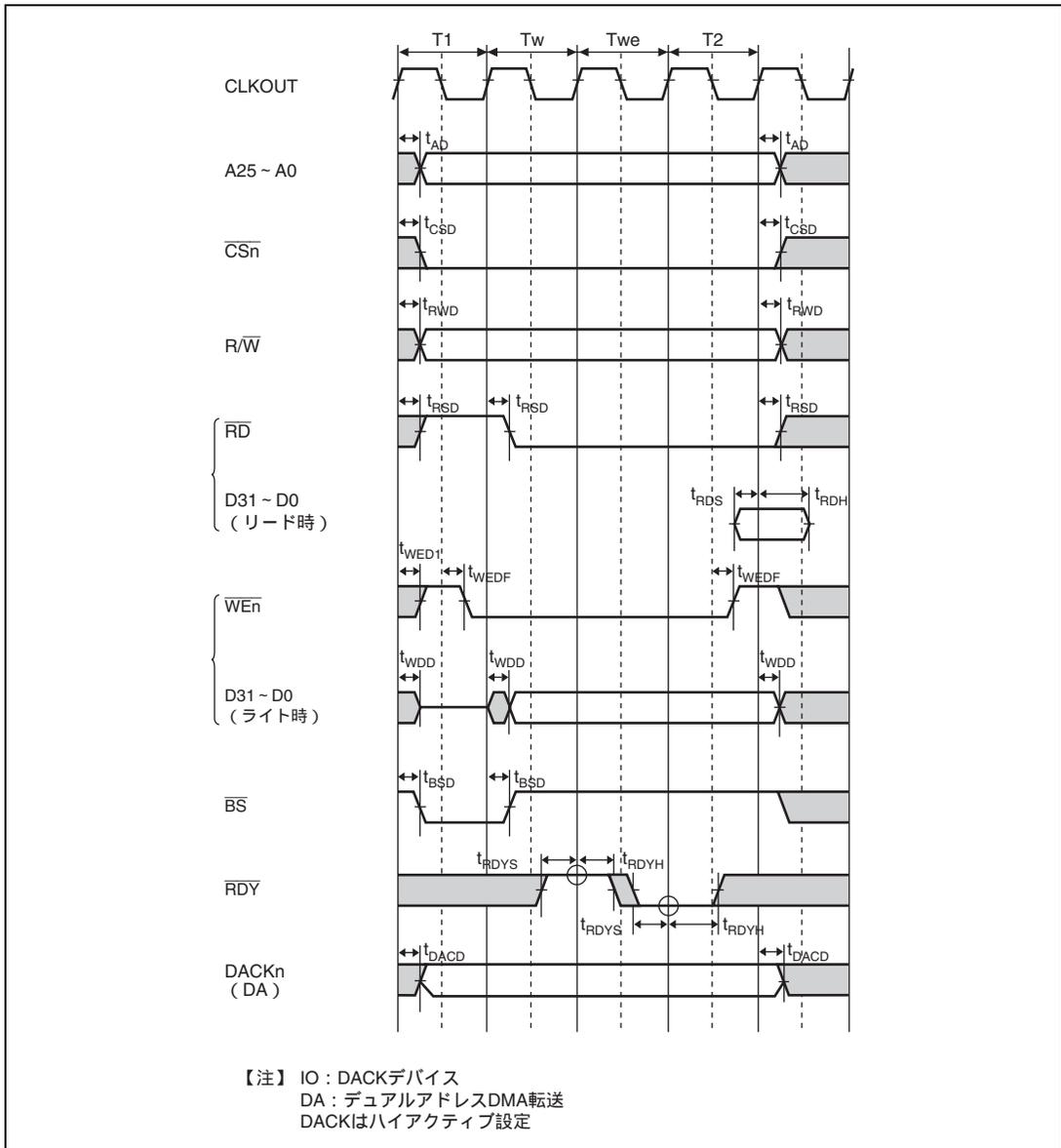


図 32.11 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

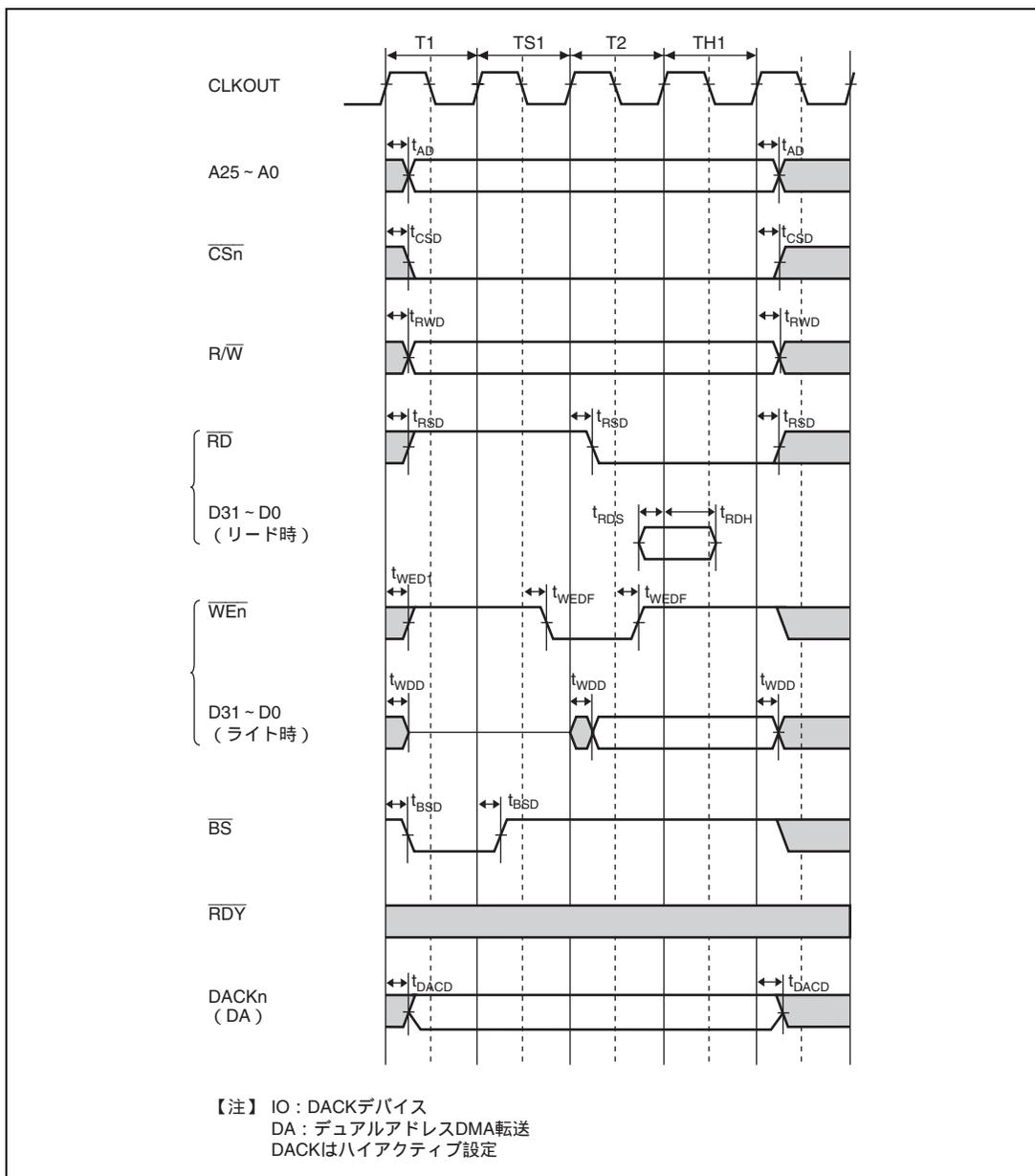


図 32.12 SRAM バスサイクル 基本バスサイクル

(CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnBCR.RDSPL=1、CSnWCR.WTH=001)

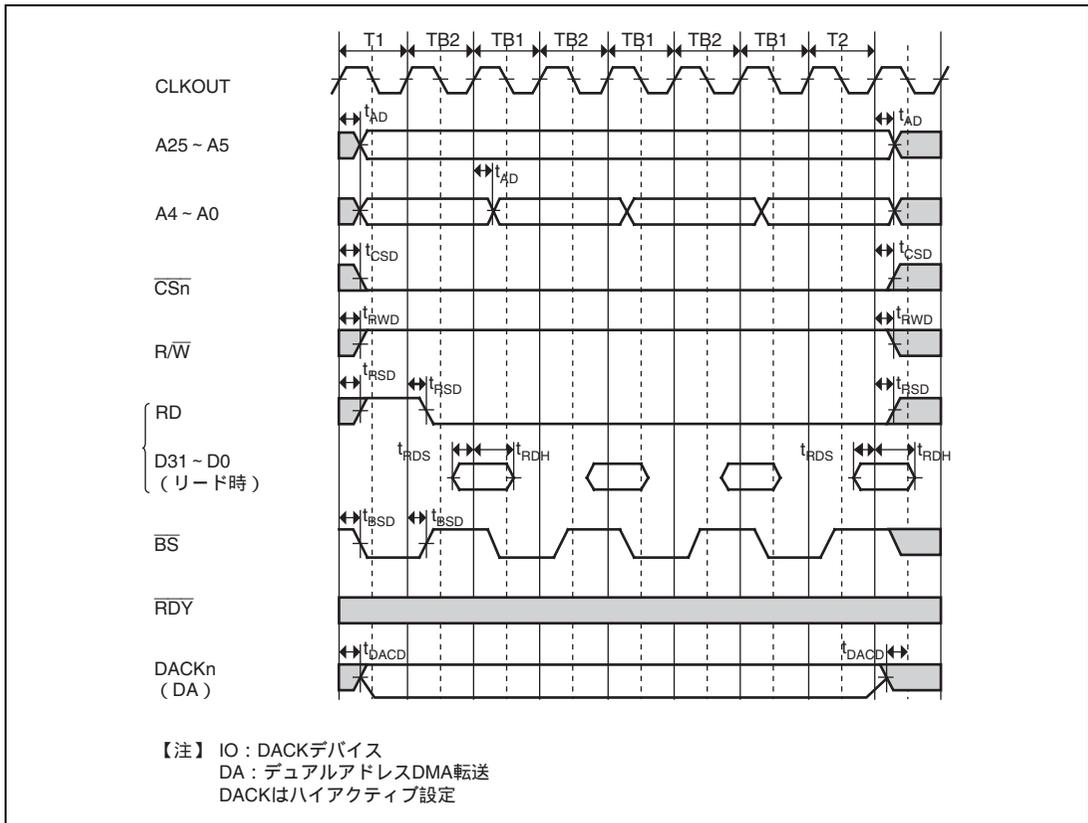


図 32.13 バースト ROM バスサイクル (ノーウェイト)

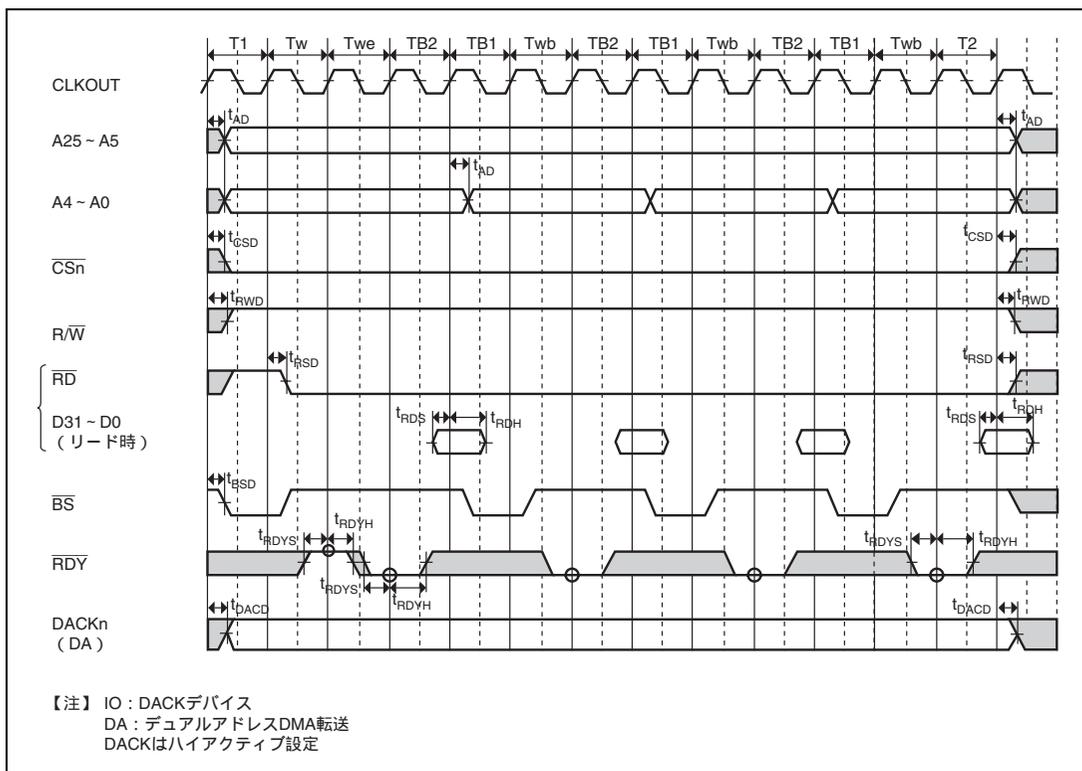


図 32.14 バースト ROM バスサイクル

(1 番目のデータ : 内部 1 ウェイト + 外部 1 ウェイト、2、3、4 番目のデータ : 内部 1 ウェイト)

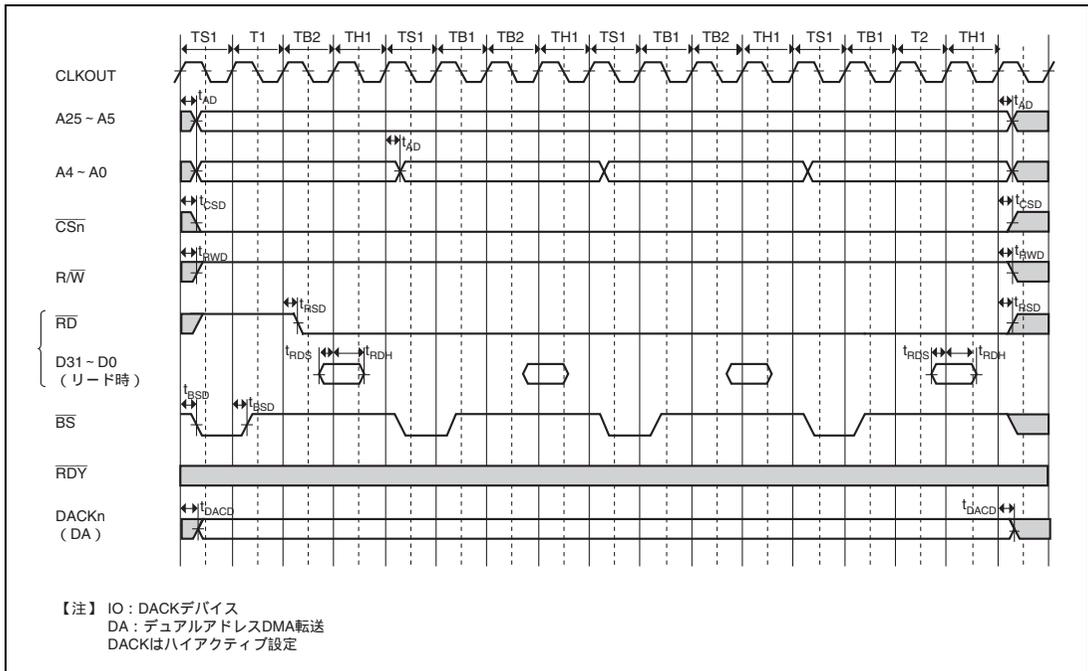


図 32.15 バースト ROM バスサイクル

(CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)

32. 電気的特性

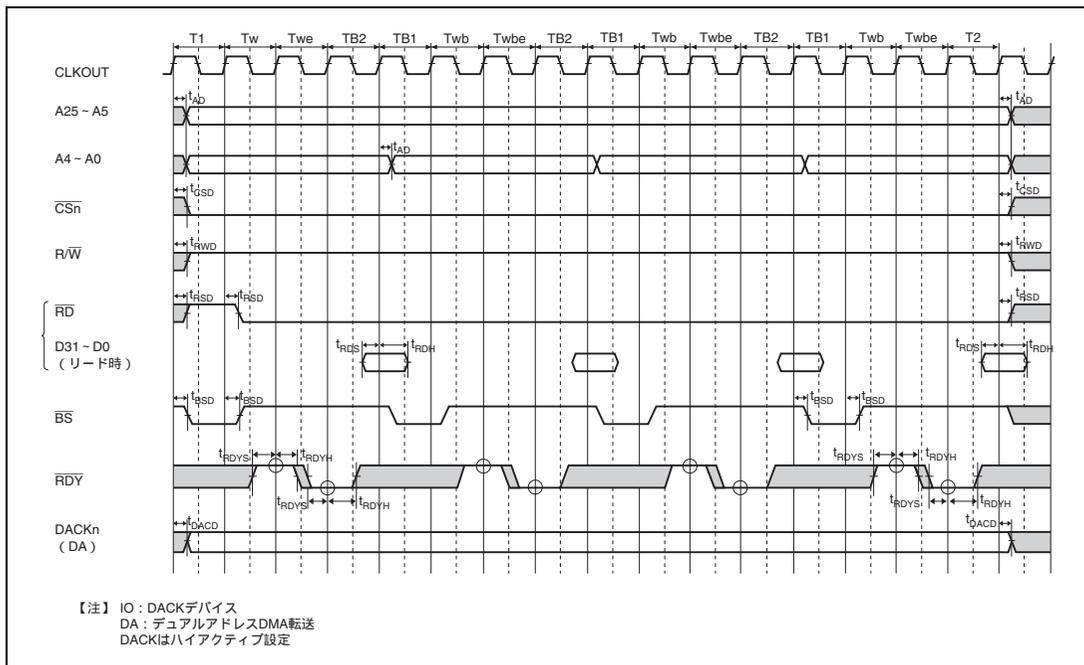


図 32.16 バースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

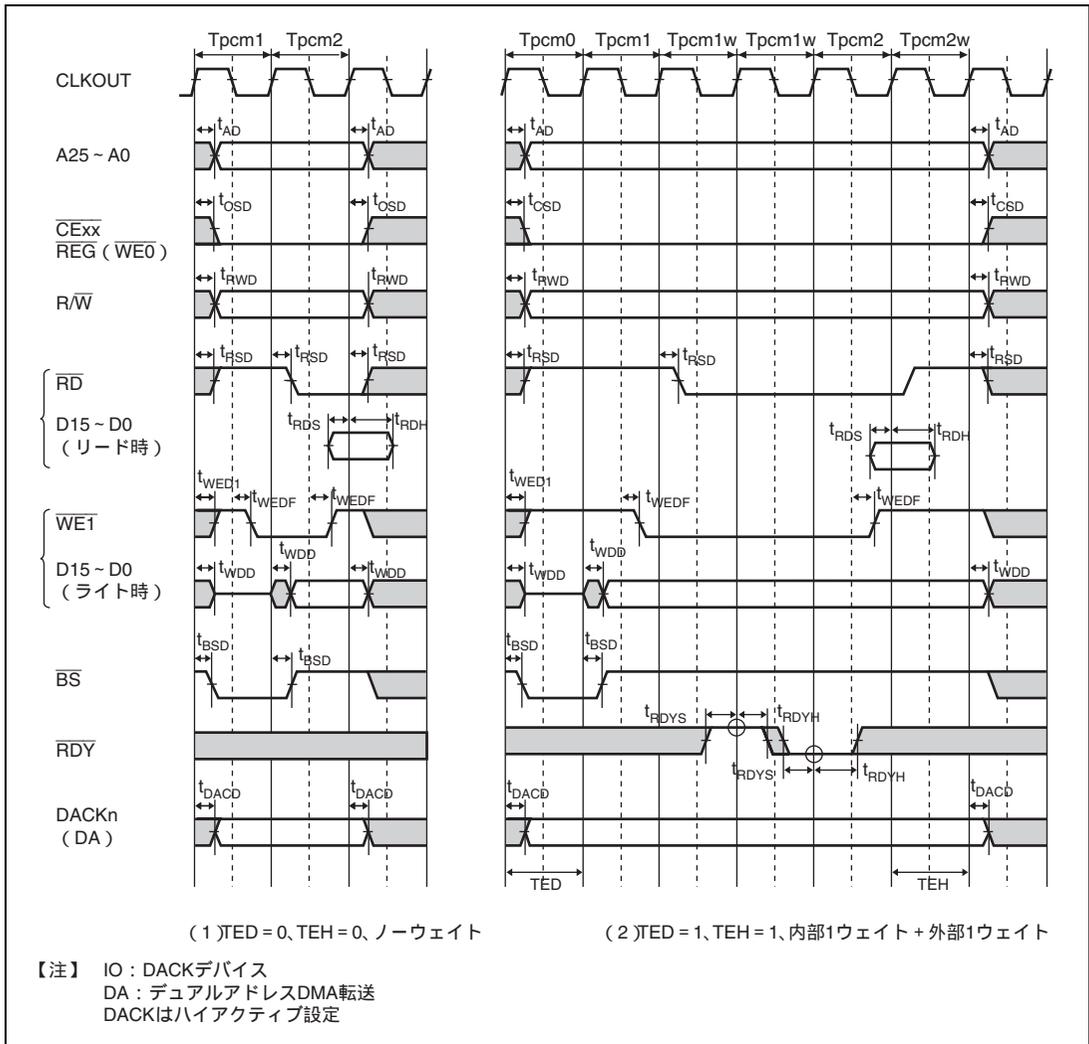


図 32.17 PCMCIA メモリバスサイクル

32. 電気的特性

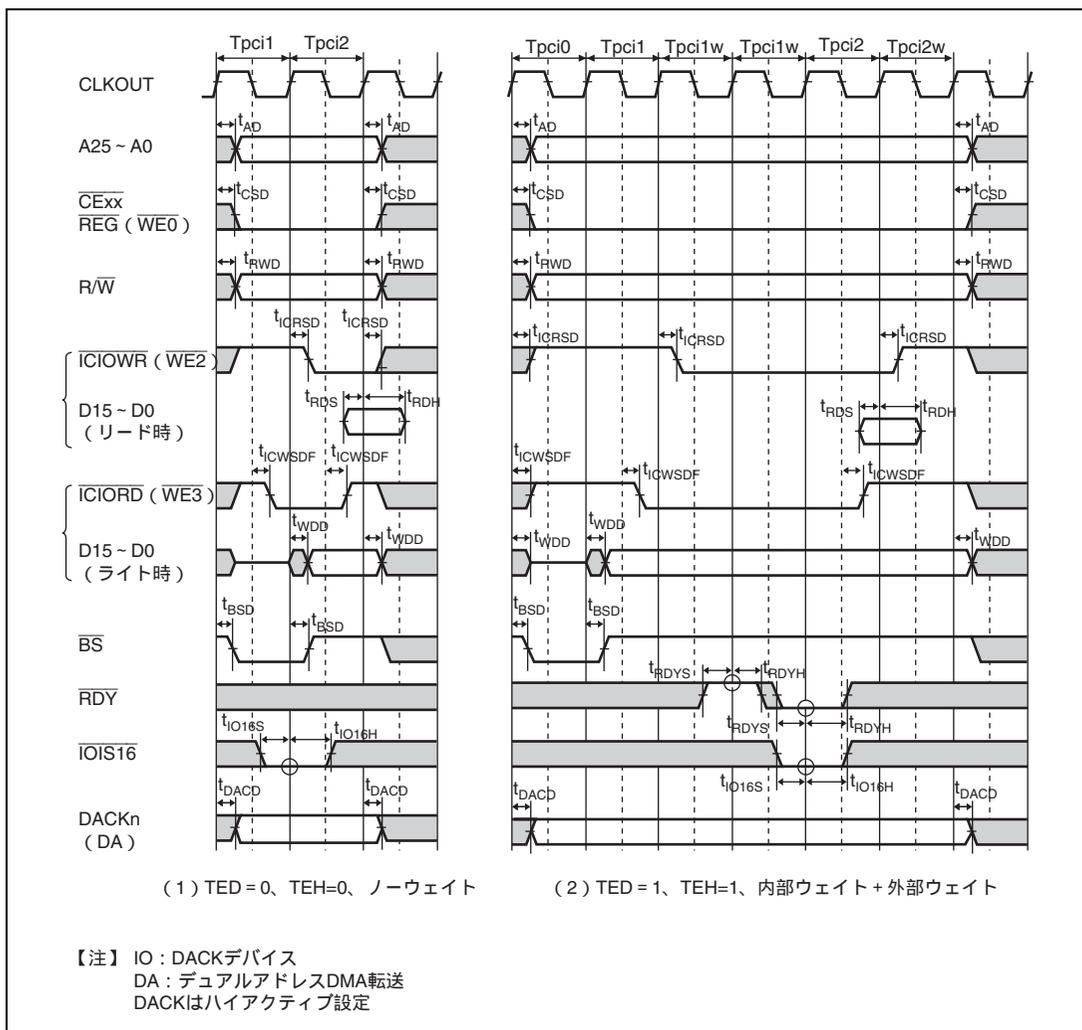


図 32.18 PCMCIA I/O バスサイクル

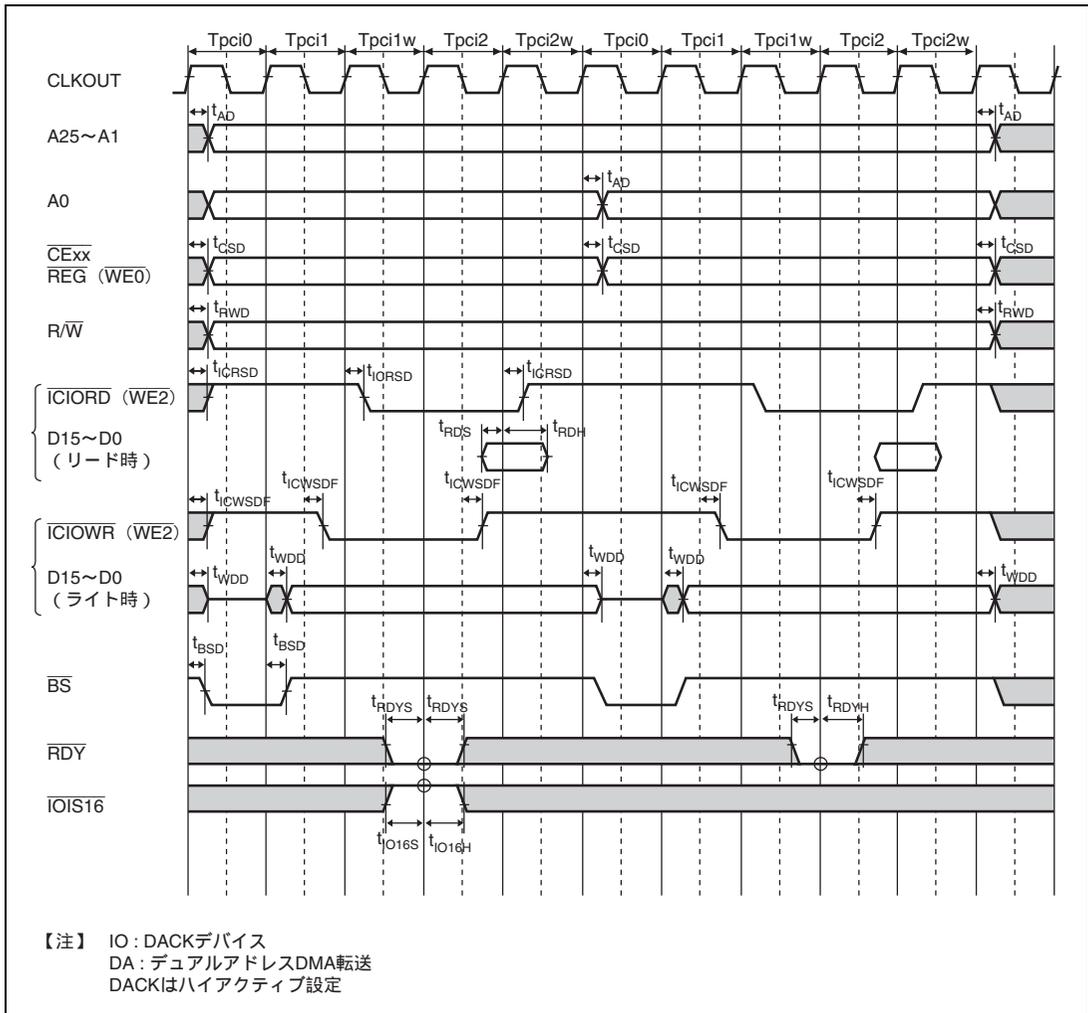


図 32.19 PCMCIA I/O バスサイクル (TED=1、TEH=1、内部 1 ウェイト、バスサイジング)

32. 電氣的特性

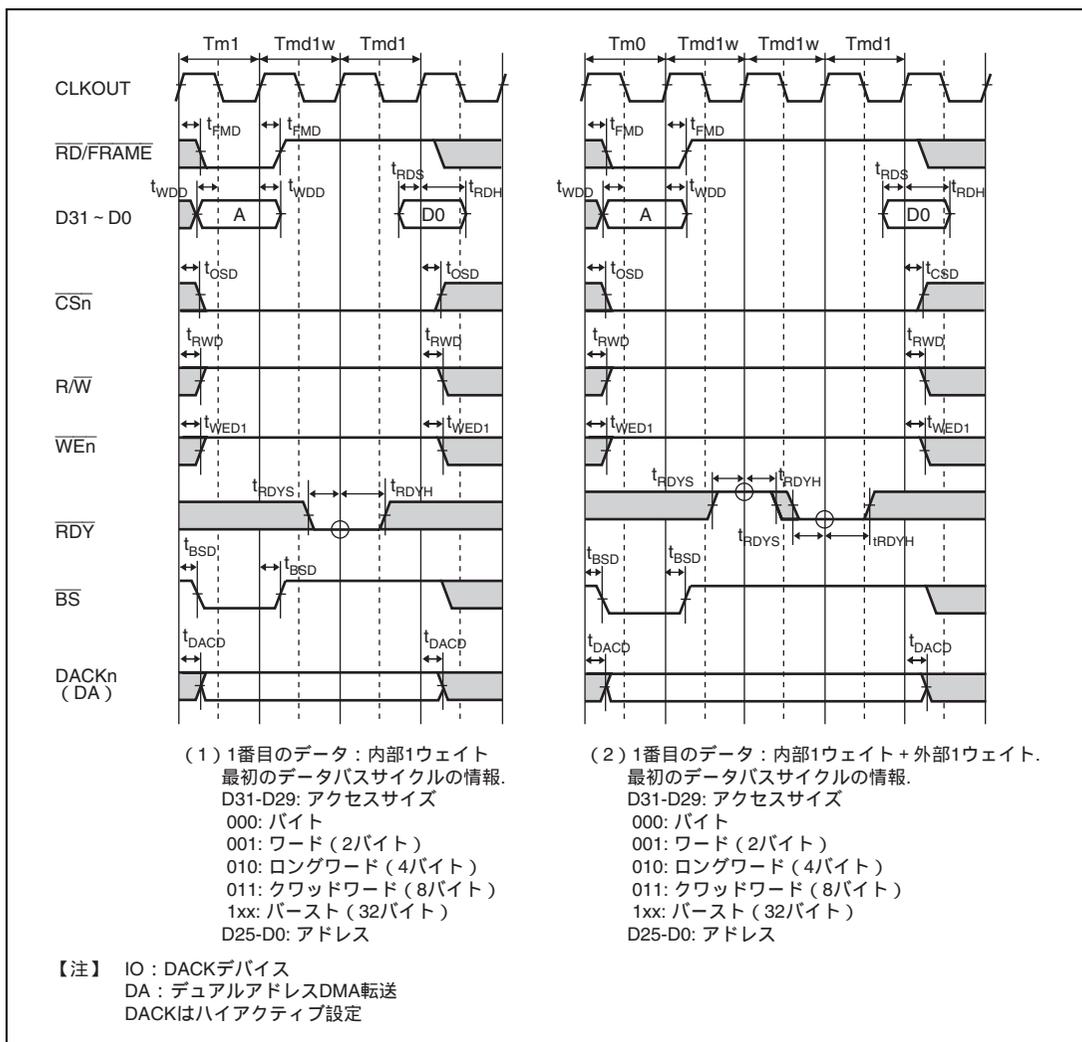


図 32.20 MPX 基本バスサイクル、リード

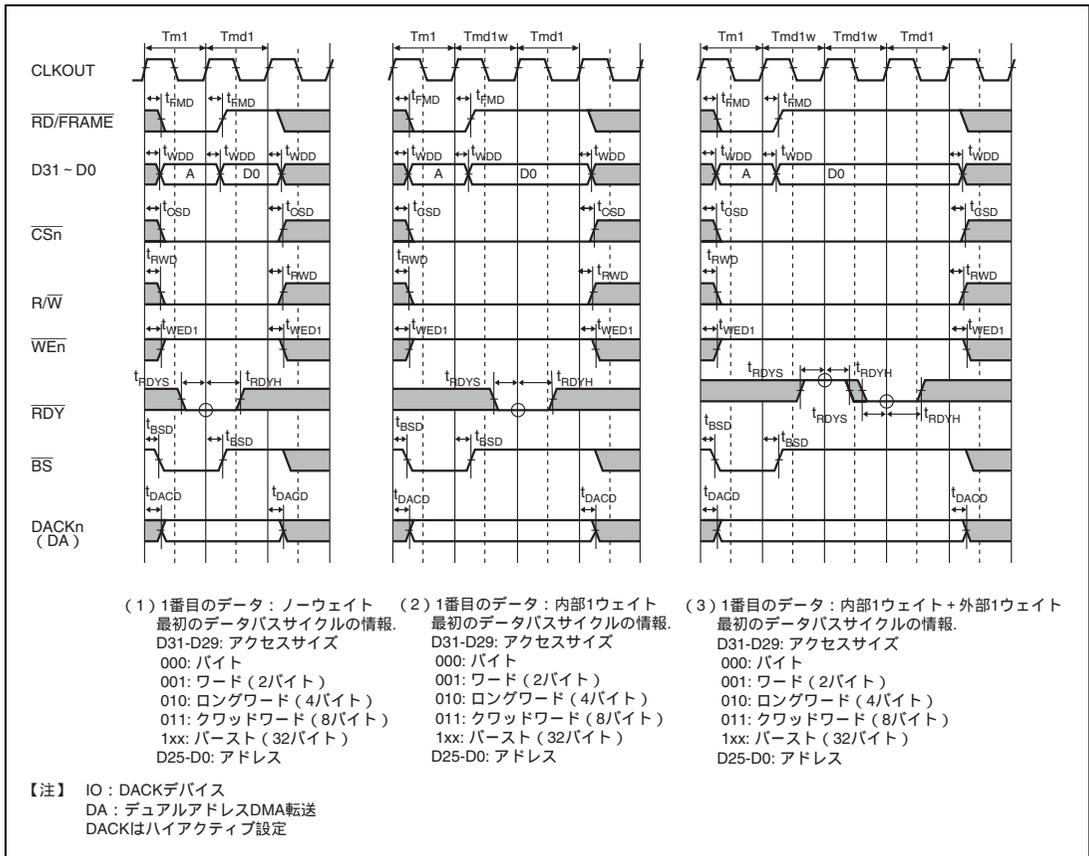
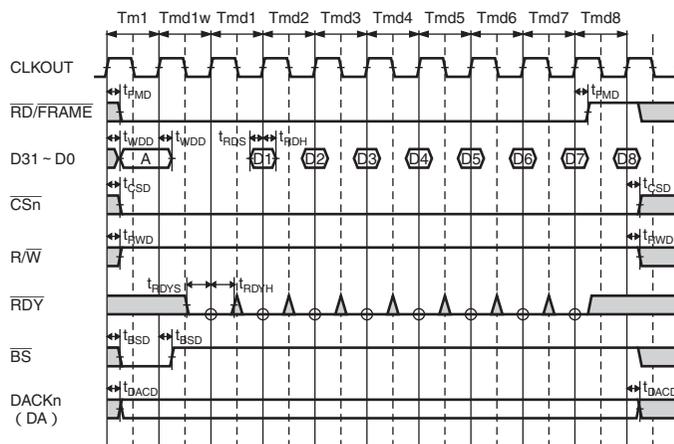


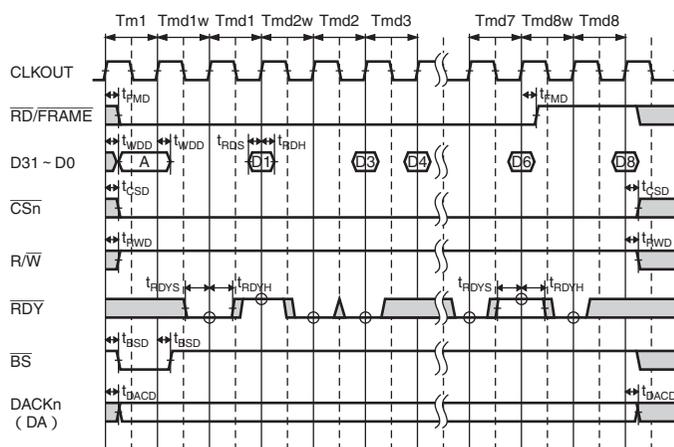
図 32.21 MPX 基本バスサイクル、ライト

32. 電気的特性



- (1) 1番目のデータ：内部1ウェイト、2～8番目のデータ：ノーウェイト
最初のデータバスサイクルの情報

D31-D29：アクセスサイズ
 000：バイト
 001：ワード（2バイト）
 010：ロングワード（4バイト）
 011：クワッドワード（8バイト）
 1xx：バースト（32バイト）
 D25-D0：アドレス

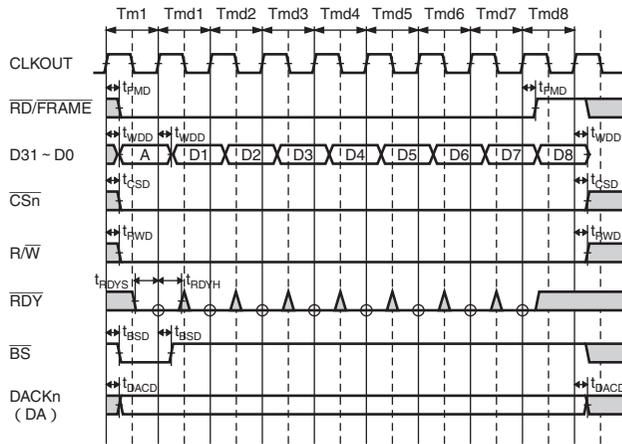


- (2) 1番目のデータ：内部ノーウェイト、2～8番目のデータ：内部ノーウェイト+外部ウェイト制御
最初のデータバスサイクルの情報

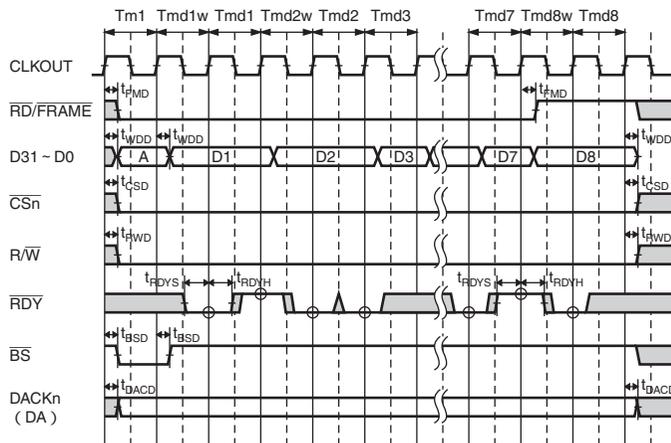
D31-D29：アクセスサイズ
 000：バイト
 001：ワード（2バイト）
 010：ロングワード（4バイト）
 011：クワッドワード（8バイト）
 1xx：バースト（32バイト）
 D25-D0：アドレス

【注】 IO：DACKデバイス
 DA：デュアルアドレスDMA転送
 DACKはハイアクティブ設定

図 32.22 MPX バスサイクル、バーストリード



- (1) 内部ノーウェイト
最初のデータバスサイクルの情報
- D31-D29 : アクセスサイズ
 000 : バイト
 001 : ワード (2 バイト)
 010 : ロングワード (4 バイト)
 011 : クワッドワード (8 バイト)
 1xx : バースト (32 バイト)
- D25-D0 : アドレス



- (2) 1番目のデータ : 内部1ウェイト、2~8番目のデータ : 内部ノーウェイト + 外部ウェイト制御
最初のデータバスサイクルの情報
- D31-D29 : アクセスサイズ
 000 : バイト
 001 : ワード (2 バイト)
 010 : ロングワード (4 バイト)
 011 : クワッドワード (8 バイト)
 1xx : バースト (32 バイト)
- D25-D0 : アドレス

【注】 IO : DACKデバイス
 DA : デュアルアドレスDMA転送
 DACKはハイアクティブ設定

図 32.23 MPX バスサイクル、バーストライト

32. 電気的特性

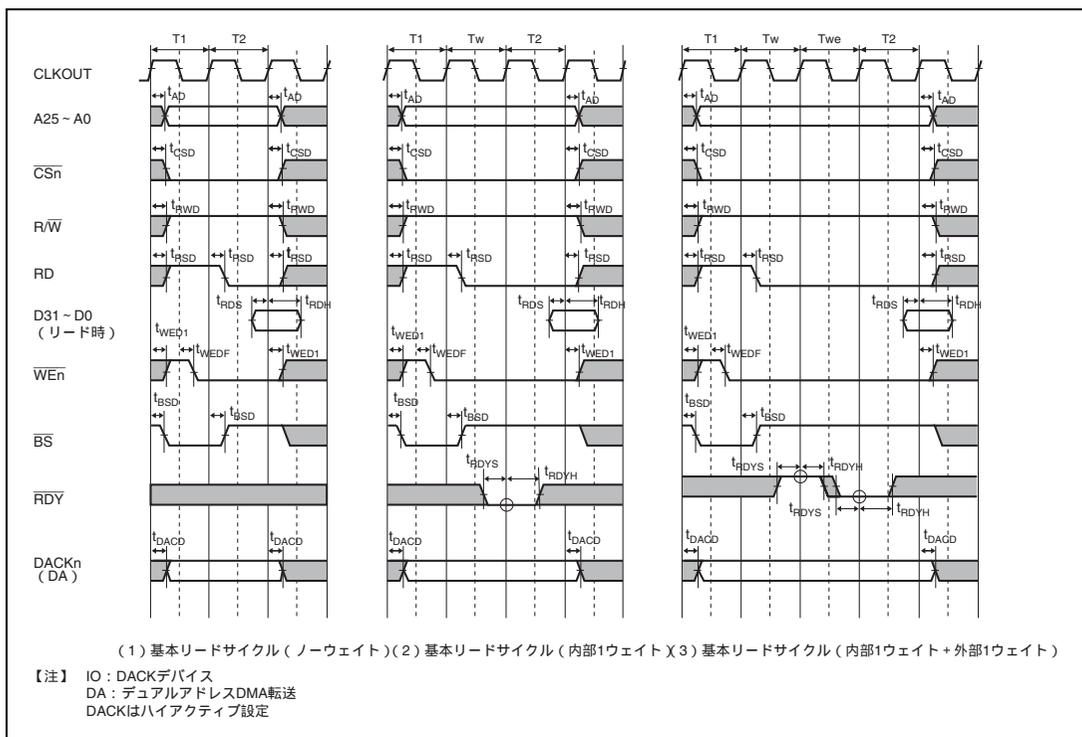


図 32.24 メモリバイト制御 SRAM バスサイクル

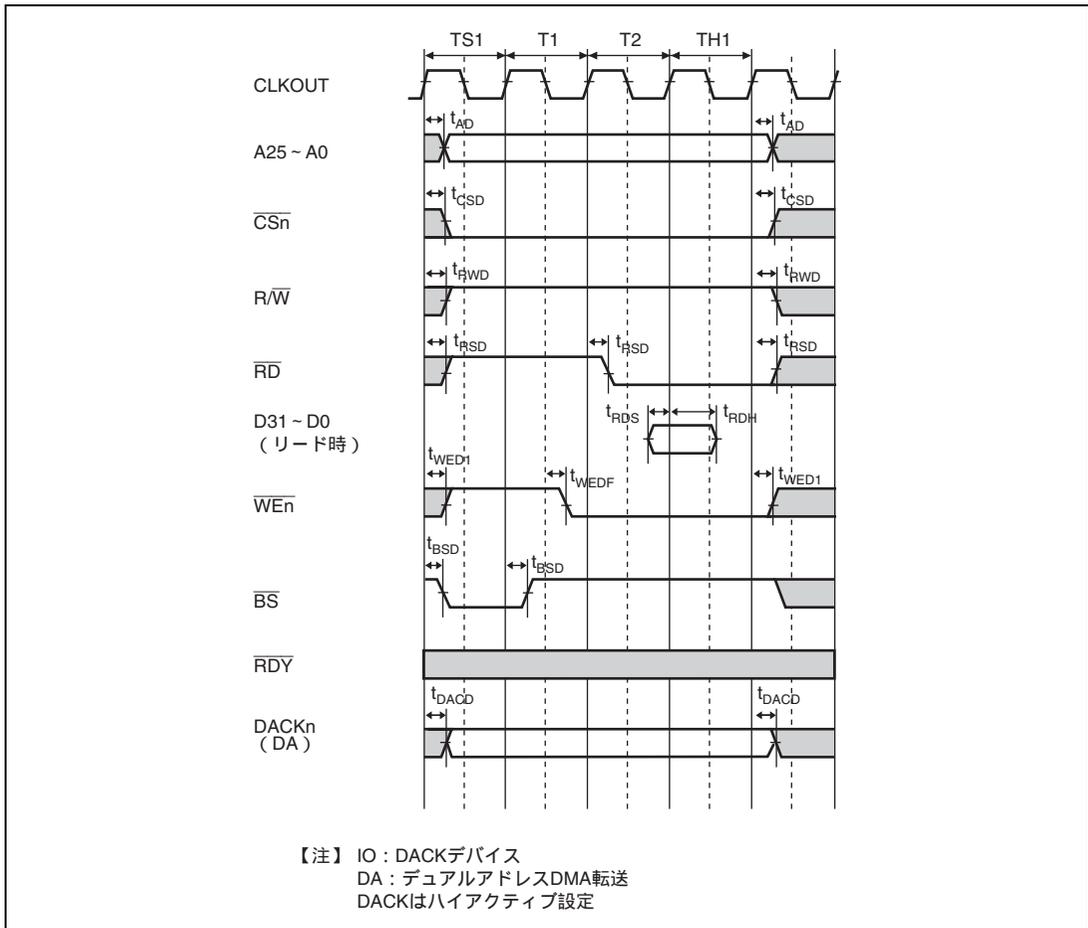


図 32.25 メモリバイト制御 SRAM バスサイクル 基本リードサイクル
 (CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)

32. 電気的特性

32.3.4 DBSC2 信号タイミング

表 32.9 DBSC2 信号タイミング

条件: $V_{DD-DDR} = 1.7 \sim 1.9V$ 、 $DDR-V_{REF} = 0.9V$ 、 $V_{DD} = 1.1V$ 、 $T_a = -20 \sim 85$ / $-40 \sim 85$ 、 $C_L = 30pF$ 、ODT はオン、
ドライブ能力はノーマル

パラメータ	記号	Min.	Max.	単位	参照図	備考
MCK クロック出力サイクル	t_{CK}	3.33	5.0	ns	32.26	
MCK クロック出力ハイレベルパルス幅	t_{CH}	0.45	0.55	t_{MCK}	32.26	
MCK クロック出力ローレベルパルス幅	t_{CL}	0.45	0.55	t_{MCK}	32.26	
アドレス信号 / 制御信号セットアップ時間 (対 MCK 立ち上がりエッジ)	t_{IS}	880	–	ps	32.27	DDR2-600
		1290	–			DDR2-400
アドレス信号 / 制御信号ホールド時間 (対 MCK 立ち上がりエッジ)	t_{IH}	880	–	ps	32.27	DDR2-600
		1290	–			DDR2-400
アドレス信号 / 制御信号幅	t_{IPW}	0.6	–	t_{MCK}	32.27	
MCK・MDQS 間スキュー (リード時)	$t_{RDQSDLY}$	–0.2	1.4	ns	32.28	
MDQS ハイレベルパルス幅 (リード時)	t_{RDQSH}	0.35	0.65	t_{MCK}	32.29	
MDQS ローレベルパルス幅 (リード時)	t_{RDQSL}	0.35	0.65	t_{MCK}	32.29	
MDQS プリアンブル時間 (リード時)	t_{RPRE}	0.9	1.1	t_{MCK}	32.29	
MDQS ポストアンブル時間 (リード時)	t_{RPST}	0.4	0.6	t_{MCK}	32.29	
MDQS・MDQ 間スキュー (リード時)	t_{RDQSQ}	–390	390	ps	32.30	DDR2-600
		–590	590			DDR2-400
MDQ ホールド時間 (対 MDQS、リード時)	t_{ROH}	$0.45 \times t_{MCK} - 470$	–	ps	32.30	DDR2-600
		$0.45 \times t_{MCK} - 630$	–			DDR2-400
ライトコマンド発行後初回 MDQS 立ち上がり時間	t_{WDQSS}	–0.18	0.18	t_{MCK}	32.31	
MDQS 立ち下がりセットアップ時間 (対 MCK 立ち上がりエッジ、ライト時)	t_{WDSS}	0.27	–	t_{MCK}	32.31	
MDQS 立ち下がりホールド時間 (対 MCK 立ち上がりエッジ、ライト時)	t_{WDSH}	0.27	–	t_{MCK}	32.31	
MDQS ハイレベルパルス幅 (ライト時)	t_{WDQSH}	0.35	0.9	t_{MCK}	32.32	
MDQS ローレベルパルス幅 (ライト時)	t_{WDQSL}	0.35	0.9	t_{MCK}	32.32	
MDQS プリアンブル時間 (ライト時)	t_{WPRE}	0.35	–	t_{MCK}	32.32	
MDQS ポストアンブル時間 (ライト時)	t_{WPST}	0.4	0.6	t_{MCK}	32.32	
MDQ/MDM セットアップ時間 (対 MDQS、ライト時)	t_{WDS}	430	–	ps	32.33	DDR2-600
		630	–			DDR2-400
MDQ/MDM ホールド時間 (対 MDQS、ライト時)	t_{WDH}	430	–	ps	32.33	DDR2-600
		630	–			DDR2-400
MDQ/MDM 信号幅 (ライト時)	t_{WDIPW}	0.35	–	t_{MCK}	32.34	
MDQ 信号 HiZ 遷移時間 (対 MDQS、ライト時)	t_{HZ}	t_{WDH}	t_{MCK}	ns	32.34	

【注】 t_{MCK} は、MCK クロックの 1 サイクル時間を示します。

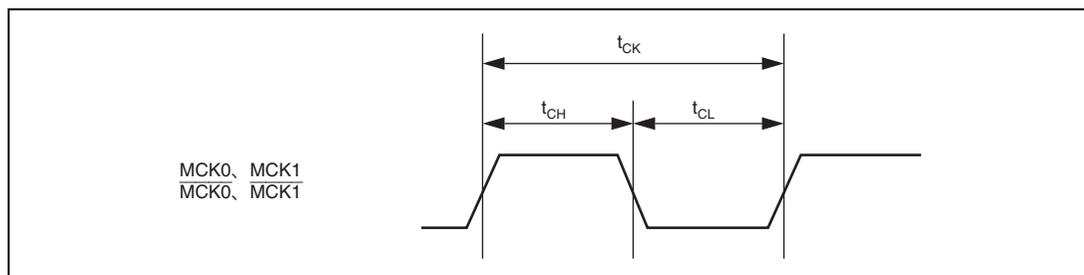


図 32.26 出力クロック

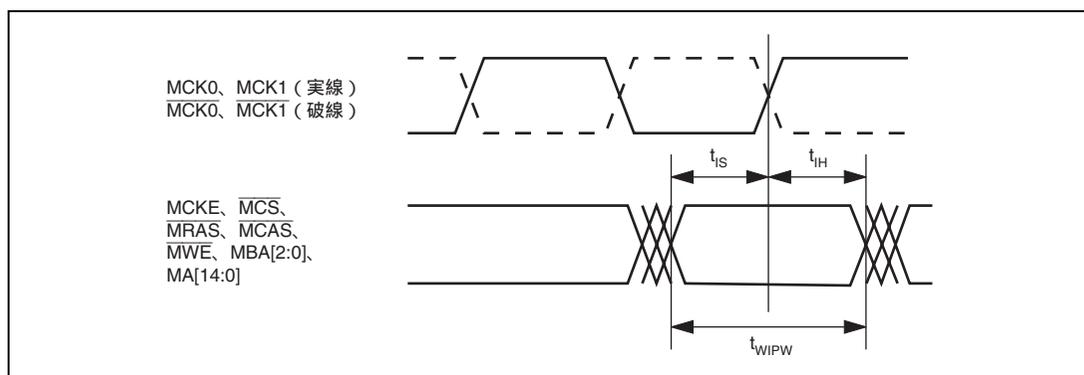


図 32.27 コマンド系端子と出力クロックとの関係

32. 電気的特性

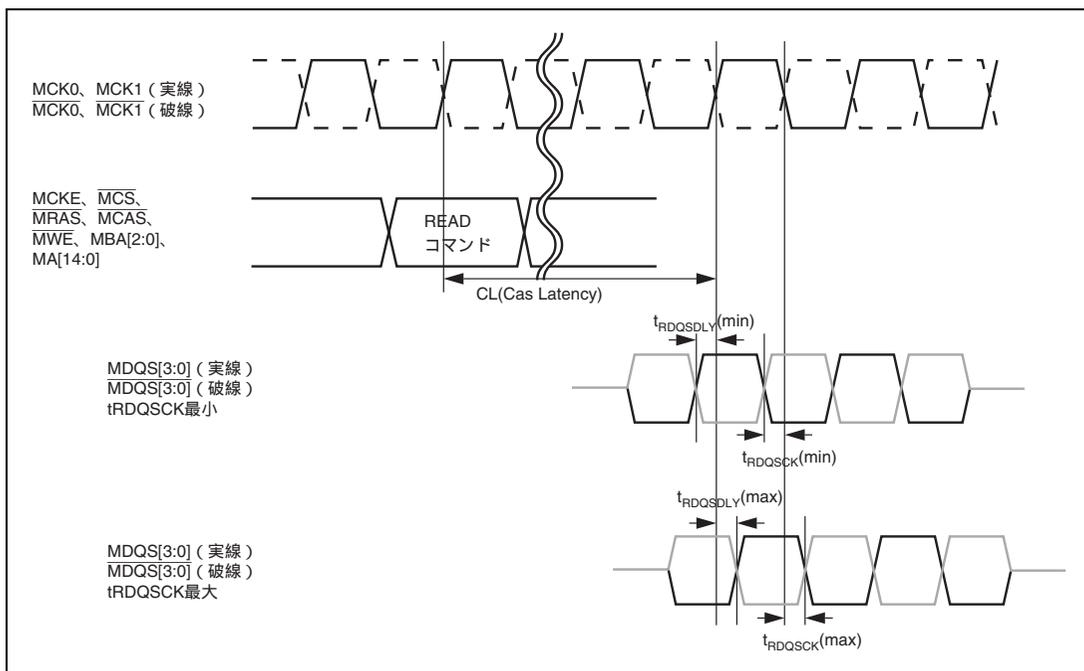


図 32.28 データリード時の DQS 入力

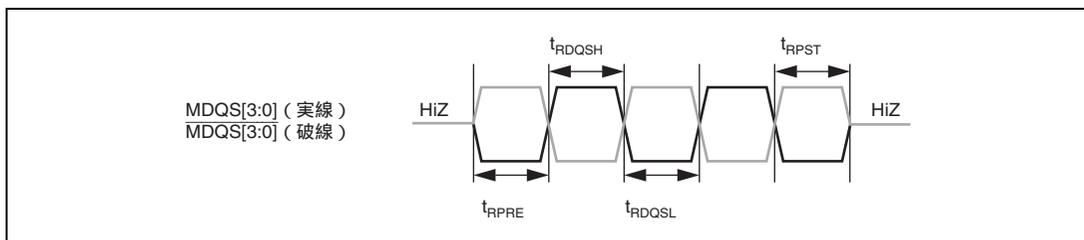


図 32.29 DQS 入力波形の制約 (リード)

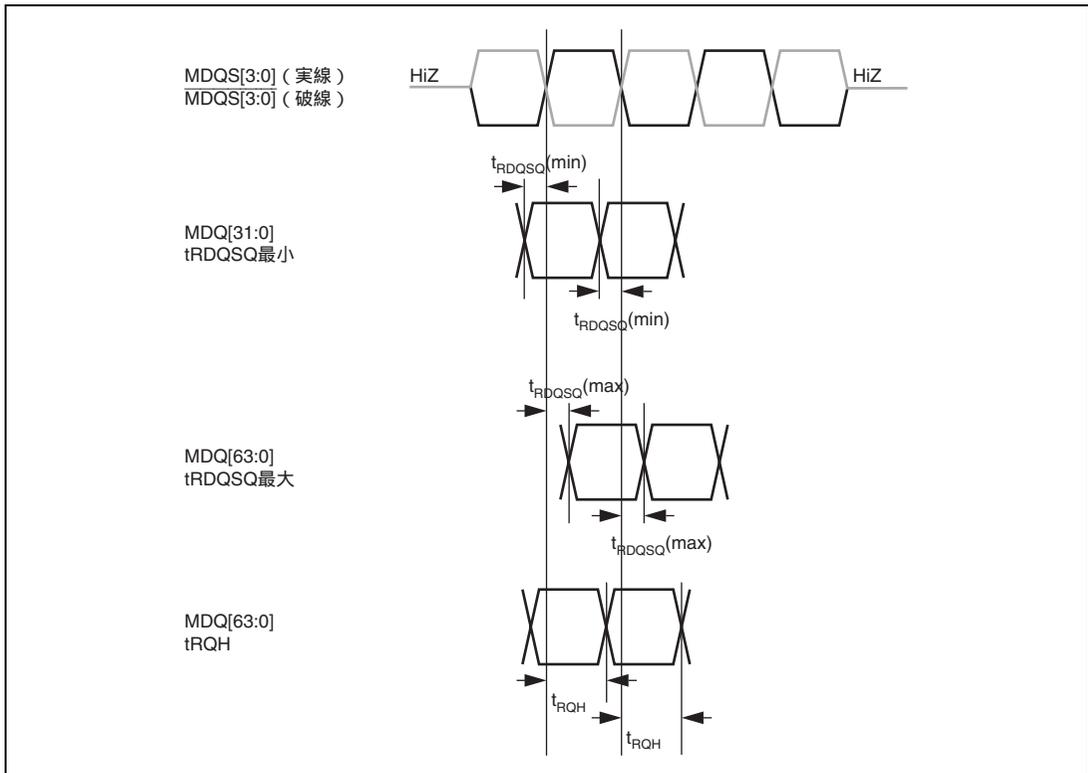


図 32.30 DQS に対する DQ 入力波形の制約 (リード時)

32. 電気的特性

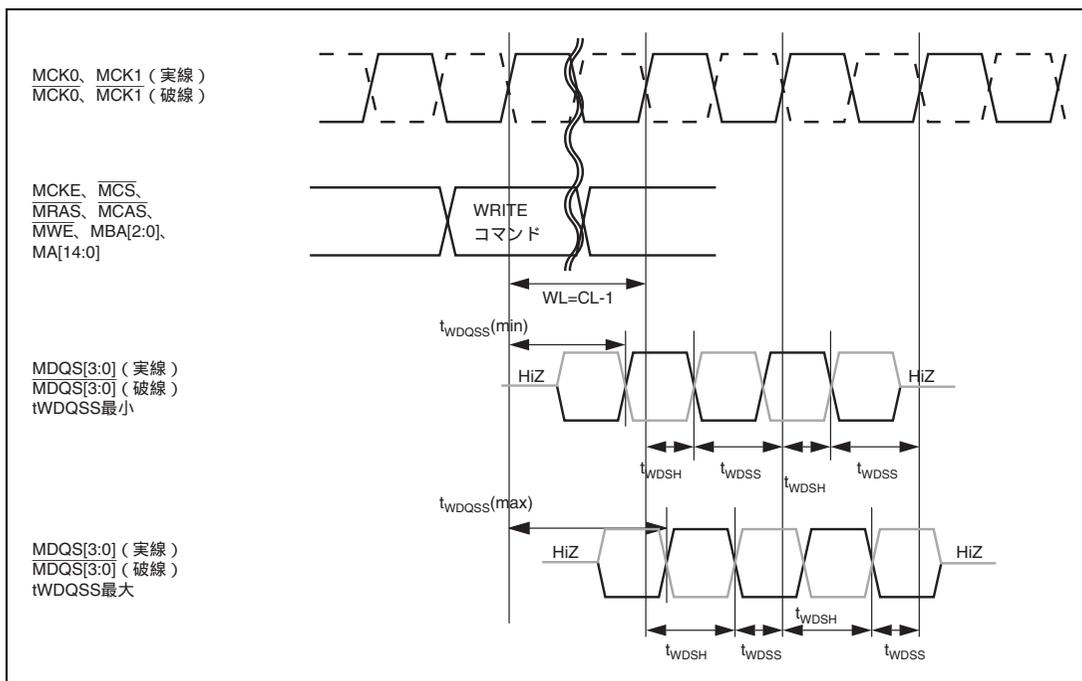


図 32.31 CK に対する DQS 出力波形の関係 (ライト時)

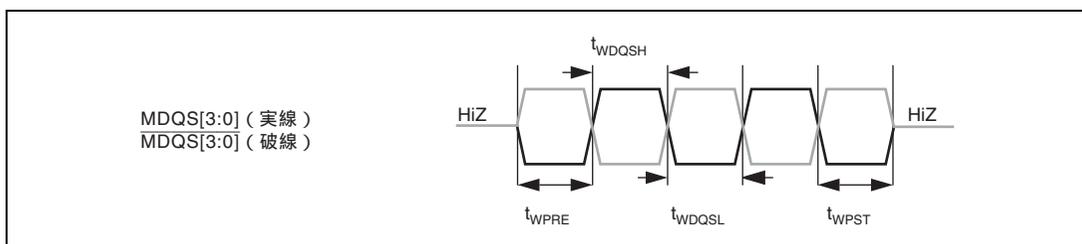


図 32.32 DQS 出力波形の関係 (ライト時)

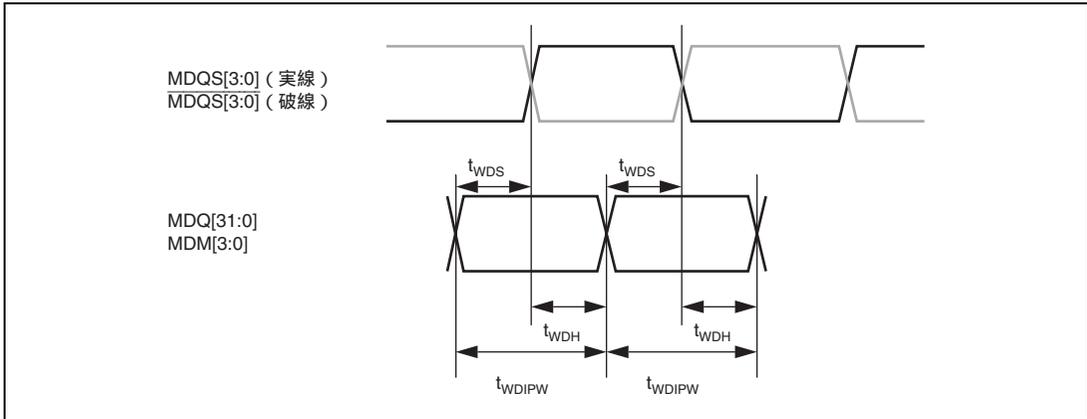


図 32.33 DQS と DQ/DQM 出力波形の関係 (ライト時)

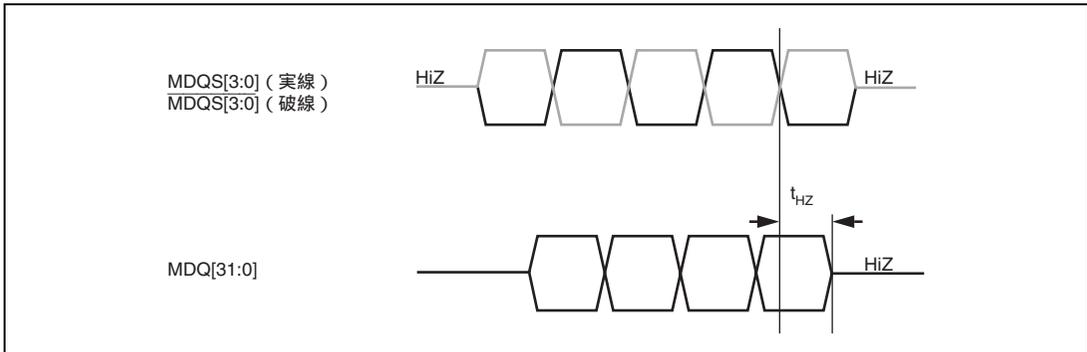


図 32.34 DQ 出力が HiZ へ遷移するまでの時間 (ライト時)

32.3.5 INTC モジュール信号タイミング

表 32.10 INTC モジュール信号タイミング

条件 : $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Typ.	Max.	単位	参照図
NMI セットアップ時間	t_{NMIS}	4			ns	32.35
NMI ホールド時間	t_{NMIH}	1.5			ns	32.35
NMI パルス幅 (High 時)	t_{NMIH}	5			tcyc*	32.36
NMI パルス幅 (Low 時)	t_{NMIL}	5			tcyc*	32.36
エッジ検出 IRQ パルス幅 (High 時)	t_{IRQH}	5			tcyc*	32.36
エッジ検出 IRQ パルス幅 (Low 時)	t_{IRQL}	5			tcyc*	32.36
$\overline{IRL7}\sim\overline{IRL0}$ セットアップ時間	t_{IRLS}	4			ns	32.35
$\overline{IRL7}\sim\overline{IRL0}$ ホールド時間	t_{IRLH}	1.5			ns	32.35
\overline{IRQOUT} 遅延時間	t_{IROOD}	1.5		6	ns	32.37

【注】 * tcyc は CLKOUT の 1 サイクル時間です。

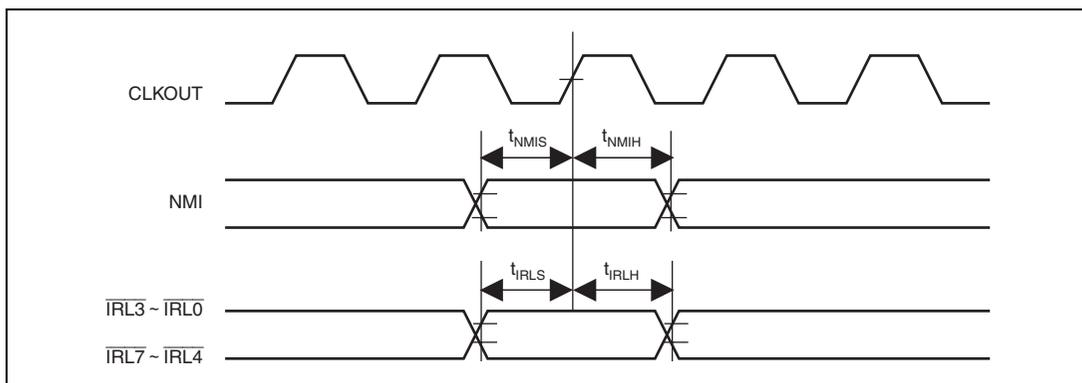


図 32.35 割り込み信号入力タイミング (1)

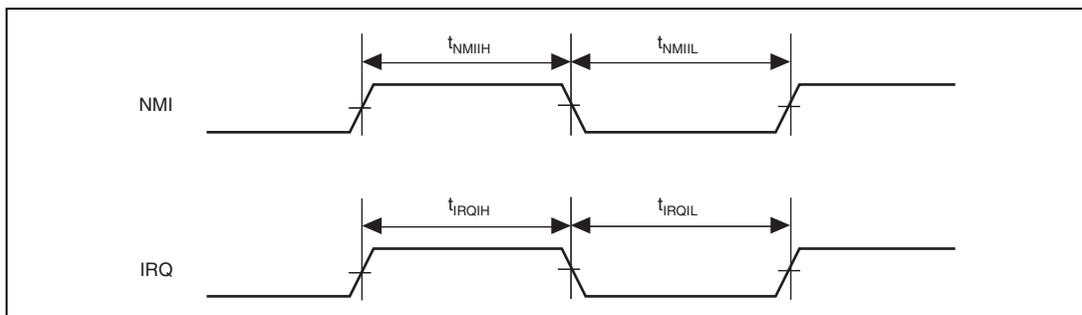


図 32.36 割り込み信号入力タイミング (2)

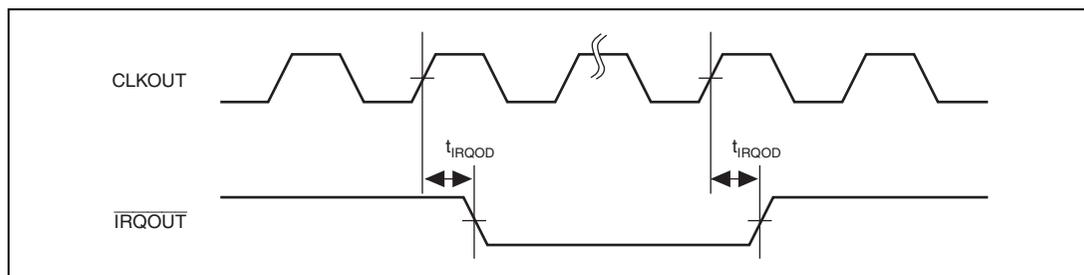


図 32.37 IRQOUT タイミング

32.3.6 PCI 信号タイミング

表 32.11 PCI 信号タイミング

条件: $V_{DD3}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

端子	項目	記号	33MHz		66MHz		単位	参照図
			Min.	Max.	Min.	Max.		
PCICLK	クロック周期	t_{PCICYC}	30	-	15	30	ns	32.38
	クロックパルス幅 (High)	t_{PCHIGH}	11	-	6	-	ns	
	クロックパルス幅 (Low)	t_{PCLr}	11	-	6	-	ns	
	クロック立ち上がり時間	t_{PCIF}	-	4	-	1.5	ns	
	クロック立下り時間	$t_{PCIDAD1}$	-	4	-	1.5	ns	
PCIRESET	出力データ遅延時間	t_{PCIVAL}	-	10	-	10	ns	32.39
IDSEL	入力ホールド時間	t_{PCIH}	1.5	-	1.5	-	ns	32.40
	入力セットアップ時間	t_{PCISU}	3	-	3	-	ns	
AD31 ~ AD0、 C/BE3 ~ C/BE0、 PCIFRAME, PAR、 \overline{IRDY} 、 TRDY、STOP、 LOCK、PERR、 DEVSEL	出力データ遅延時間	t_{PCIVAL}	2	10	2	6	ns	32.39
	トリステート ドライブ遅延時間	t_{PCION}	2	10	2	6	ns	
	トリステートハイ インピーダンス遅延時間	t_{PCIOFF}	2	12	2	6	ns	32.40
	入力ホールド時間	t_{PCIH}	1.5	-	1.5	-	ns	
	入力セットアップ時間	t_{PCISU}	3	-	3	-	ns	
REQ0/REQOUT、 GNT0/GNTIN REQ1、REQ2、 REQ3、GNT1、 GNT2、GNT3	出力データ遅延時間	t_{PCIVAL}	2	10	2	6	ns	32.39
	入力ホールド時間	t_{PCIH}	1.5	-	1.5	-	ns	32.40
	入力セットアップ時間	t_{PCISU}	3	-	3	-	ns	
SERR、INTA、 INTB、INTC、 INTD	トリステート ドライブ遅延時間	t_{PCION}	-	10	-	10	ns	32.39
	トリステートハイ インピーダンス遅延時間	t_{PCIOFF}	-	12	-	12	ns	
	入力ホールド時間	t_{PCIH}	1.5	-	1.5	-	ns	32.40
	入力セットアップ時間	t_{PCISU}	3	-	3	-	ns	

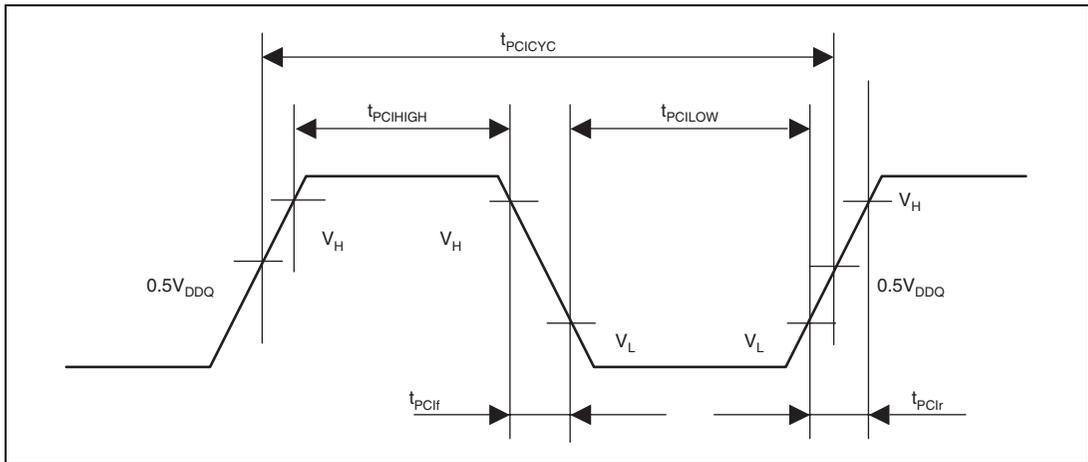


図 32.38 PCI クロック入力タイミング

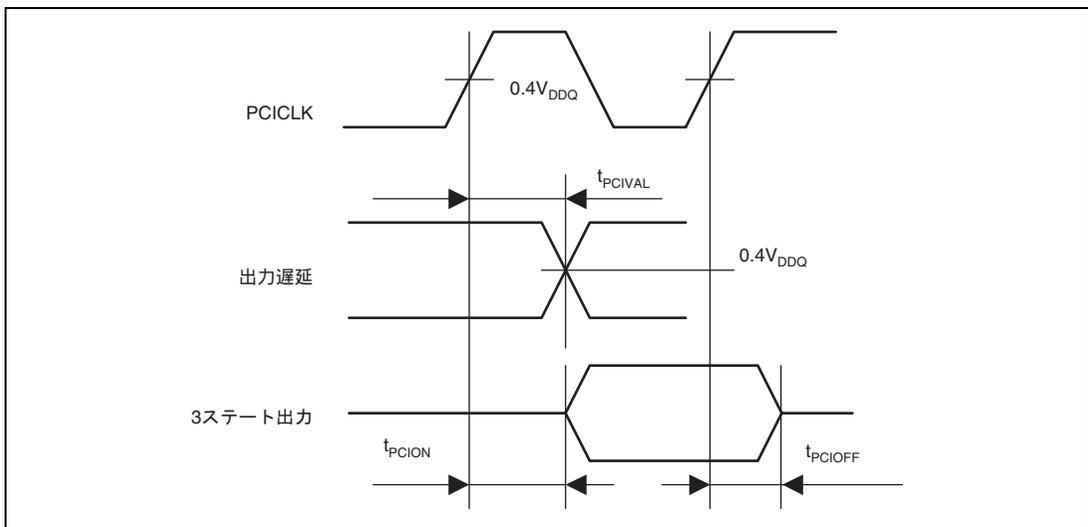


図 32.39 PCI 出力信号タイミング

32. 電気的特性

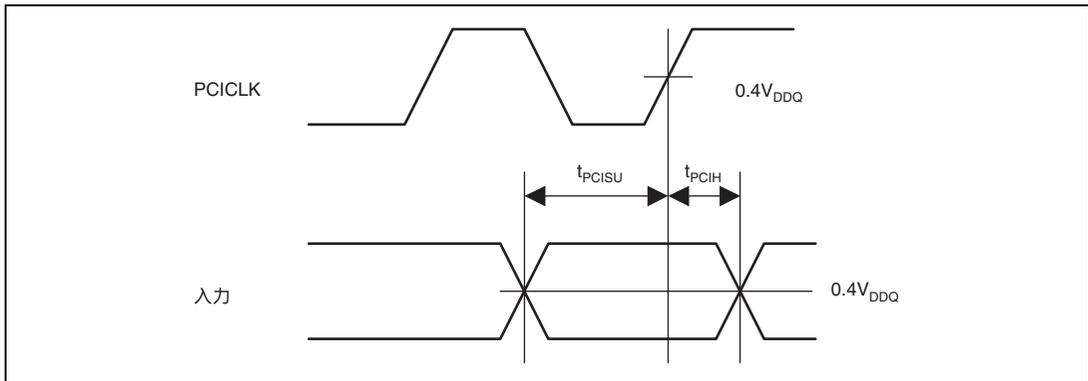


図 32.40 PCI 入力信号タイミング

32.3.7 DMAC モジュール信号タイミング

表 32.12 DMAC モジュール信号タイミング

条件: $V_{DD3}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

モジュール	項目	略称	Min.	Max.	単位	参照図	備考
DMAC	DREQ セットアップ時間	t_{DRQS}	2.5	-	ns	32.41	
	DREQ $\bar{}$ ホールド時間	t_{DRQH}	1.5	-	ns		
	DRAK 遅延時間	t_{DRAKD}	1.5	6	ns		
	DACK 遅延時間	t_{DAKD}	1.5	6	ns		

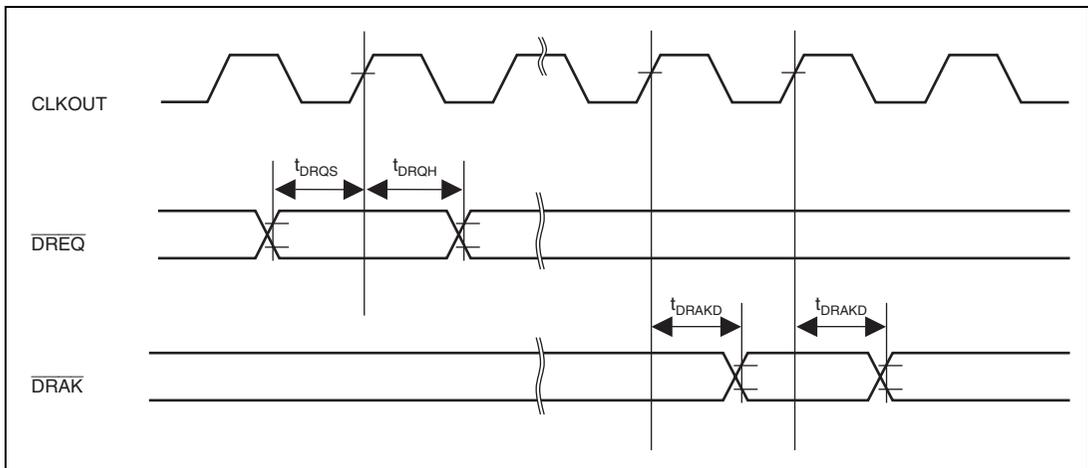


図 32.41 DREQ/DRAK タイミング

32.3.8 TMU モジュール信号タイミング

表 32.13 TMU モジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

モジュール	項目	略称	Min.	Max.	単位	参照図	備考
TMU	タイマクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	t_{Pck}	32.42	
	タイマクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	t_{Pck}		
	タイマクロック立ち上がり時間	t_{TCLKr}	-	0.8	t_{Pck}		
	タイマクロック立ち下がり時間	t_{TCLKf}	-	0.8	t_{Pck}		

【注】 t_{Pck} は周辺クロック (Pck) の 1 サイクル時間を示します。

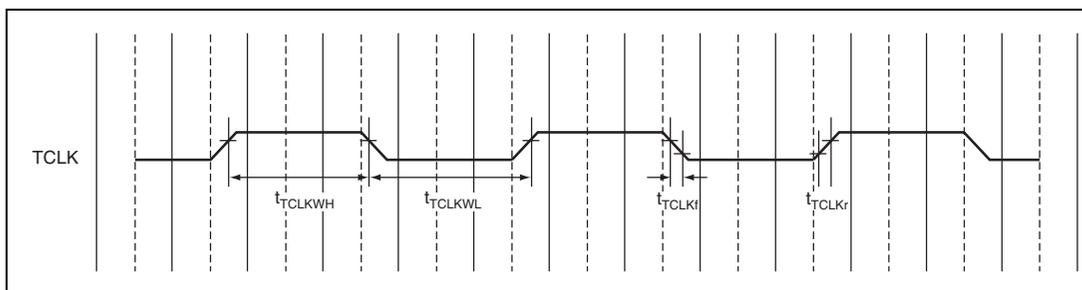


図 32.42 TCLK 入力タイミング

32.3.9 SCIF モジュール信号タイミング

表 32.14 SCIF モジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

モジュール	項目	略称	Min.	Max.	単位	参照図	備考
SCIFn	入力クロックサイクル (調歩同期)	$t_{S_{cyc}}$	4	-	$t_{P_{cyc}}$	32.43	
	入力クロックサイクル (クロック同期)		10	-	$t_{P_{cyc}}$		
	入力クロックパルス幅	$t_{S_{CKW}}$	0.4	0.6	$t_{S_{cyc}}$		
	入力クロック立ち上がり時間	$t_{S_{CKr}}$	-	0.8	$t_{P_{cyc}}$		
	入力クロック立ち下がり時間	$t_{S_{CKf}}$	-	0.8	$t_{P_{cyc}}$		
	転送データ遅延時間	t_{TXD}	-	6	$t_{P_{cyc}}$	32.44	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	16	-	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	16	-	ns		

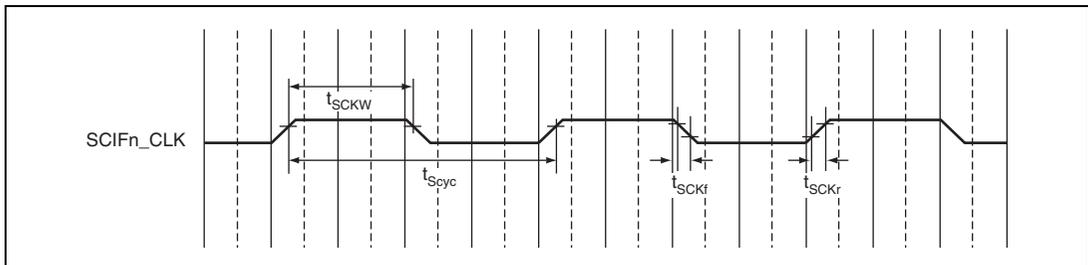
【注】 $t_{P_{cyc}}$ は周辺クロック (Pck) の 1 サイクル時間を示します。

図 32.43 SCIFn_CLK 入力クロックタイミング

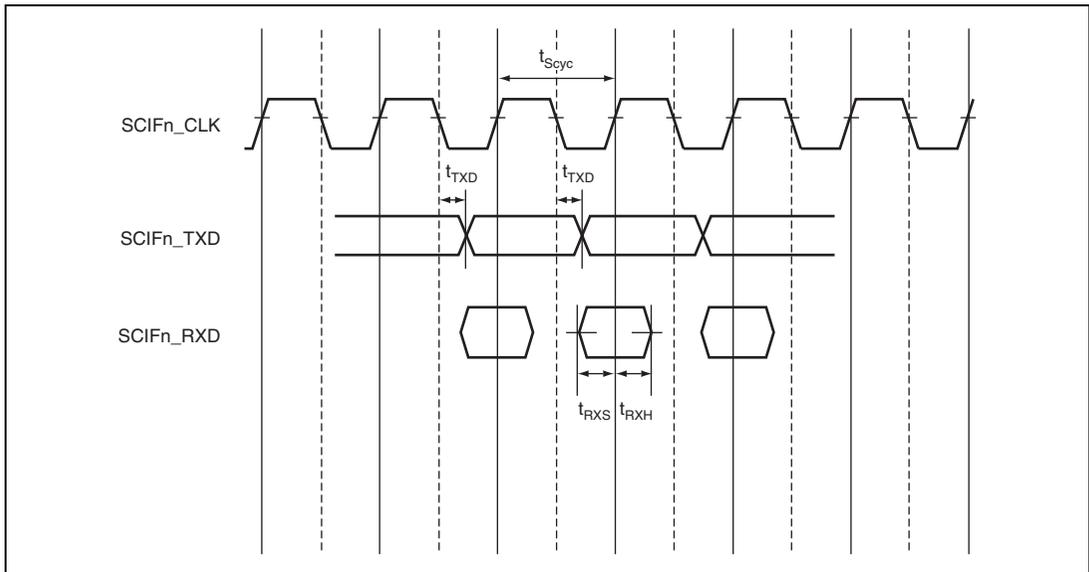


図 32.44 SCIF I/O 同期モードクロックタイミング

32.3.10 H-UDI モジュール信号タイミング

表 32.15 H-UDI モジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

モジュール	項目	略称	Min.	Max.	単位	参照図	備考
H-UDI	入力クロックサイクル	t_{TCKcyc}	50	-	ns	32.45、 32.47	
	入力クロックパルス幅 (High 時)	t_{TCKH}	15	-	ns	32.45	
	入力クロックパルス幅 (Low 時)	t_{TCKL}	15	-	ns		
	入力クロック立ち上がり時間	t_{TCKr}	-	10	ns		
	入力クロック立ち下がり時間	t_{TCKf}	-	10	ns		
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	t_{cyc}		32.46
	ASEBRK ホールド時間	$t_{ASEBRKH}$	1	-	ms		
	TDI/TMS セットアップ時間	t_{TDS}	15	-	ns	32.47	
	TDI/TMS ホールド時間	t_{TDH}	15	-	ns		
	TDO データ遅延時間	t_{TDO}	0	12	ns		
ASE-PINBRK パルス幅	t_{PINBRK}	2	-	t_{Pcyc}	32.48		

- 【注】
- t_{TCKcyc} はバウンダリスキャン動作時 10MHz となります。
 - t_{cyc} は CLKOUT クロックの 1 サイクル時間を示します。
 - t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

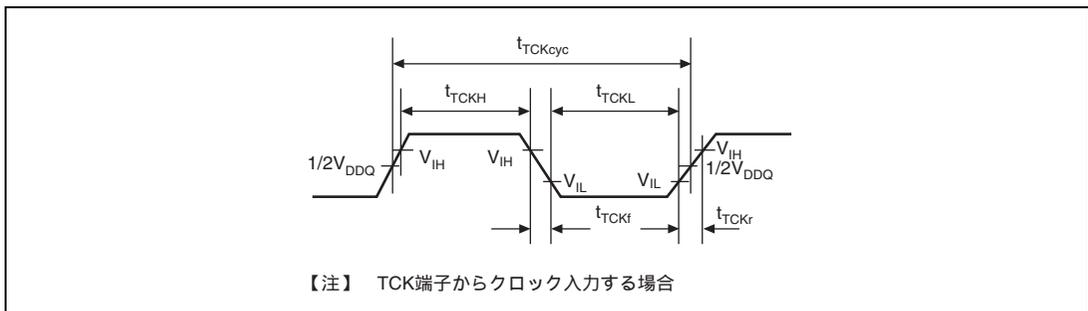


図 32.45 TCK 入力タイミング

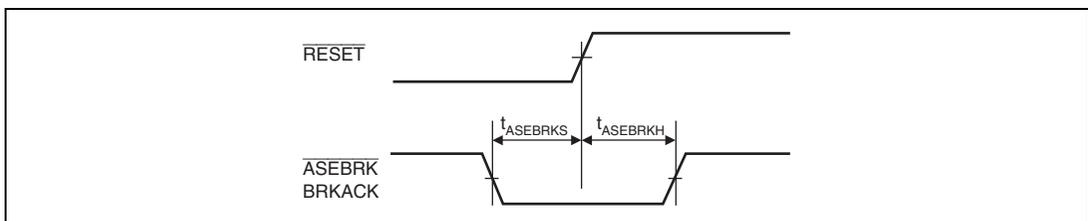


図 32.46 RESET ホールドタイミング

32. 電気的特性

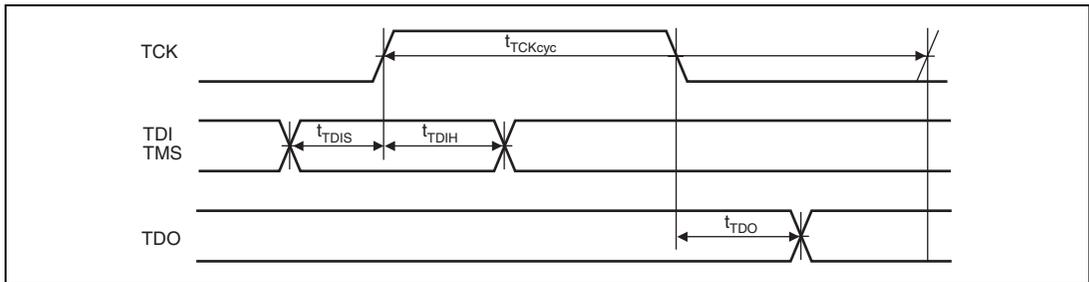


図 32.47 H-UDI データ転送タイミング

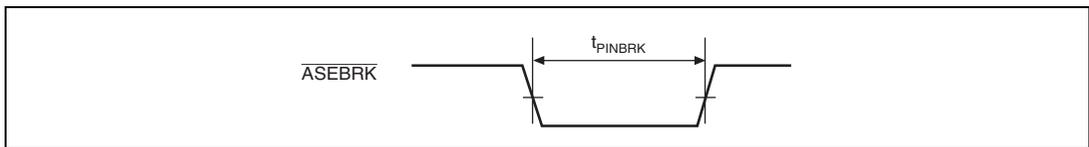


図 32.48 端子ブレークタイミング

32.3.11 GPIO 信号タイミング

表 32.16 GPIO 信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	t_{IOPD}		8	ns	32.49
GPIO 入力セットアップ時間	t_{IOPS}	3.5		ns	
GPIO 入力ホールド時間	t_{IOPH}	1.5		ns	

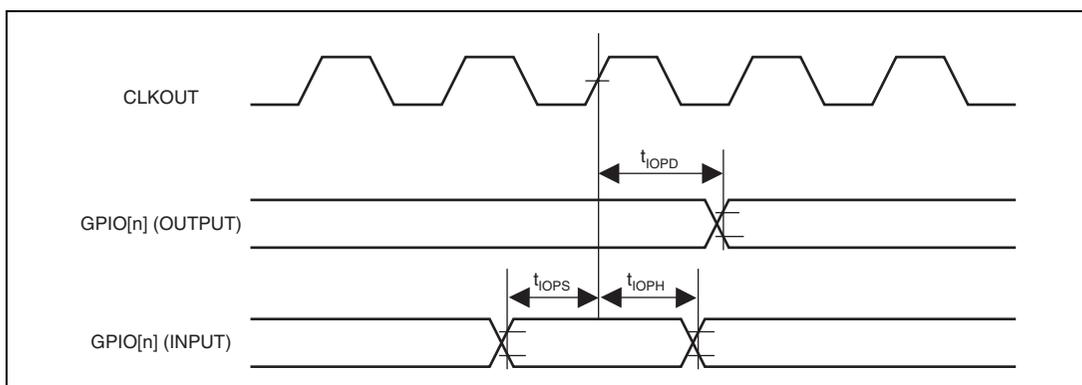


図 32.49 GPIO 信号タイミング

32.3.12 HSPI モジュール信号タイミング

表 32.17 HSPI モジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
HSPI クロック周波数 (マスタ)	T_{SPICYC}	-	Pck/8	MHz	32.50
HSPI クロック周波数 (スレーブ)		-	Pck/12		
HSPI クロックハイレベル幅	t_{SPHW}	60	-	ns	
HSPI クロックローレベル幅	t_{SPILW}	60	-	ns	
HSPI_TX セットアップ時間	$t_{SUSPITX}$	-	20	ns	
HSPI_TX 遅延時間	t_{DSPITX}	-	20	ns	
HSPI_RX セットアップ時間	$t_{SUSPIRX}$	20	-	ns	
HSPI_RX ホールド時間	$t_{HLSPIRX}$	20	-	ns	
HSPI_CS リード時間	t_{CSLEAD}	100	-	ns	

【注】 Pck は周辺クロック周波数を示します。

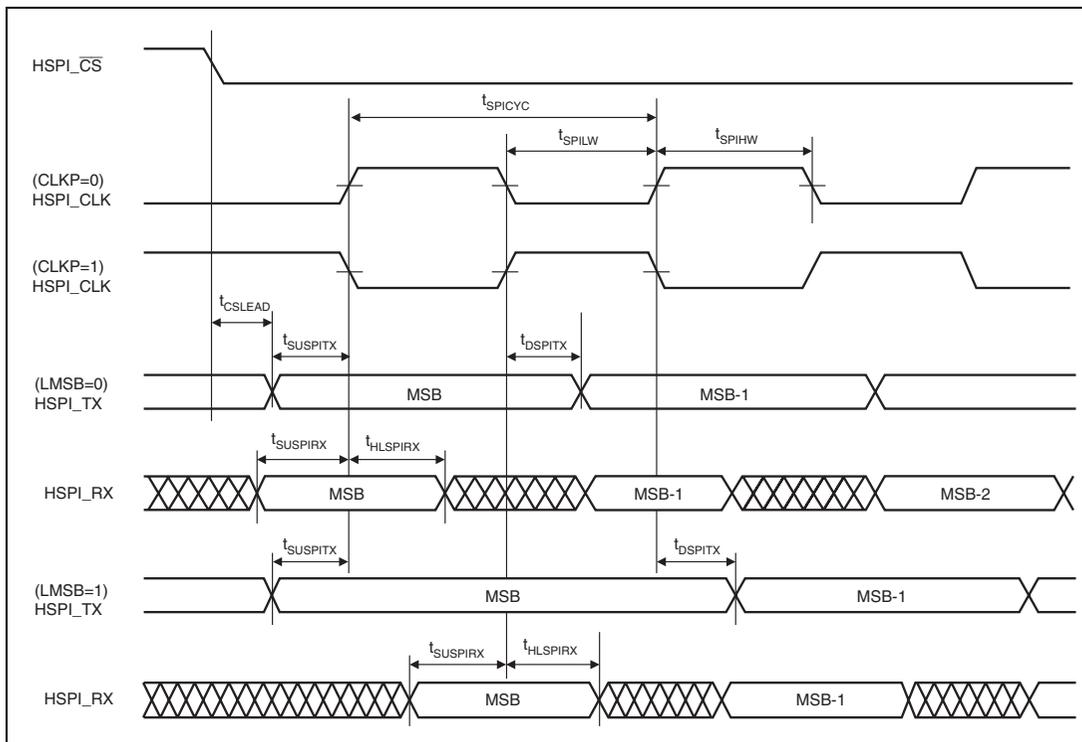


図 32.50 HSPI データ出力 / 入カタイミング

32.3.13 SIOF モジュール信号タイミング

表 32.18 SIOF モジュール信号タイミング

条件: $V_{DD} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.1V$ 、 $T_a = -20 \sim +85$ / $-40 \sim +85$ 、 $C_L = 30pF$

項目	記号	Min.	Max.	単位	参照図
SIOF_MCLK クロック入力サイクル時間	t_{MCYC}	t_{pCYC}	-	ns	32.51
SIOF_MCLK 入力 High レベル幅	t_{MWH}	$0.4 \times t_{MCYC}$	-	ns	
SIOF_MCLK 入力 Low レベル幅	t_{MWL}	$0.4 \times t_{MCYC}$	-	ns	
SIOF_SCK クロックサイクル時間	t_{SICYC}	t_{pCYC}	-	ns	32.52 ~ 32.56
SIOF_SCK 出力 High レベル幅	t_{SWHO}	$0.4 \times t_{SICYC}$	-	ns	32.52 ~ 32.55
SIOF_SCK 出力 Low レベル幅	t_{SWLO}	$0.4 \times t_{SICYC}$	-	ns	
SIOF_SYNC 出力遅延時間	t_{FSD}	-	10	ns	
SIOF_SCK 入力 High レベル幅	t_{SWHI}	$0.4 \times t_{SICYC}$	-	ns	32.56
SIOF_SCK 入力 Low レベル幅	t_{SWLI}	$0.4 \times t_{SICYC}$	-	ns	
SIOF_SYNC 入力セットアップ時間	t_{FSS}	10	-	ns	
SIOF_SYNC 入力ホールド時間	t_{FSH}	10	-	ns	
SIOF_TXD 出力遅延時間	t_{STDD}	-	10	ns	32.52 ~ 32.56
SIOF_RXD 入力セットアップ時間	t_{SRDS}	10	-	ns	
SIOF_RXD 入力ホールド時間	T_{SRDH}	10	-	ns	

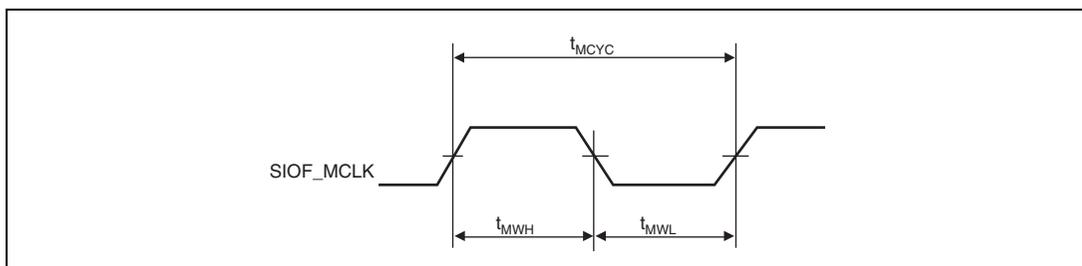


図 32.51 SIOF_MCLK 入力タイミング

32. 電気的特性

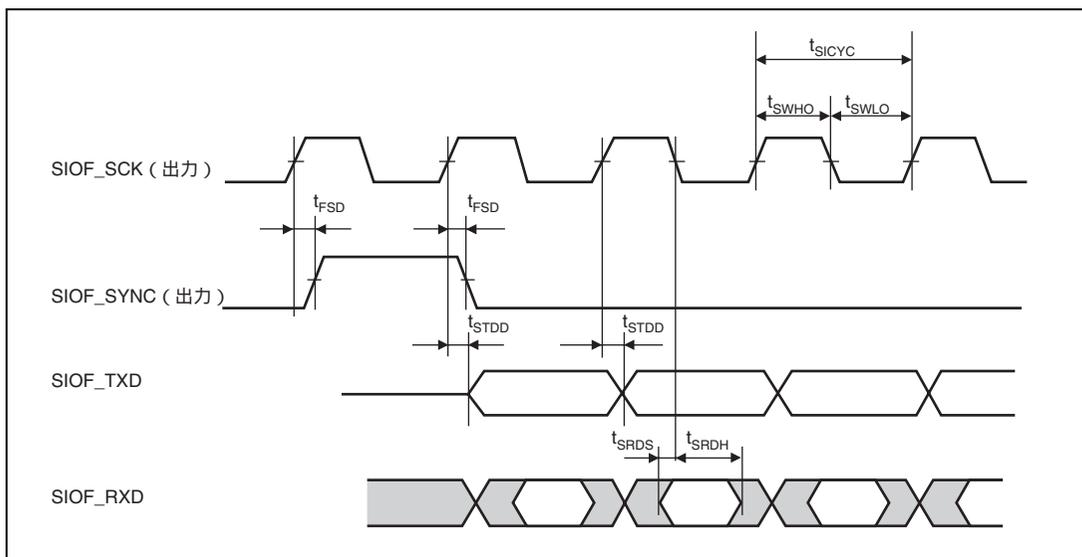


図 32.52 SIOF 送受信タイミング (マスタモード1・立ち下がりサンプリング時)

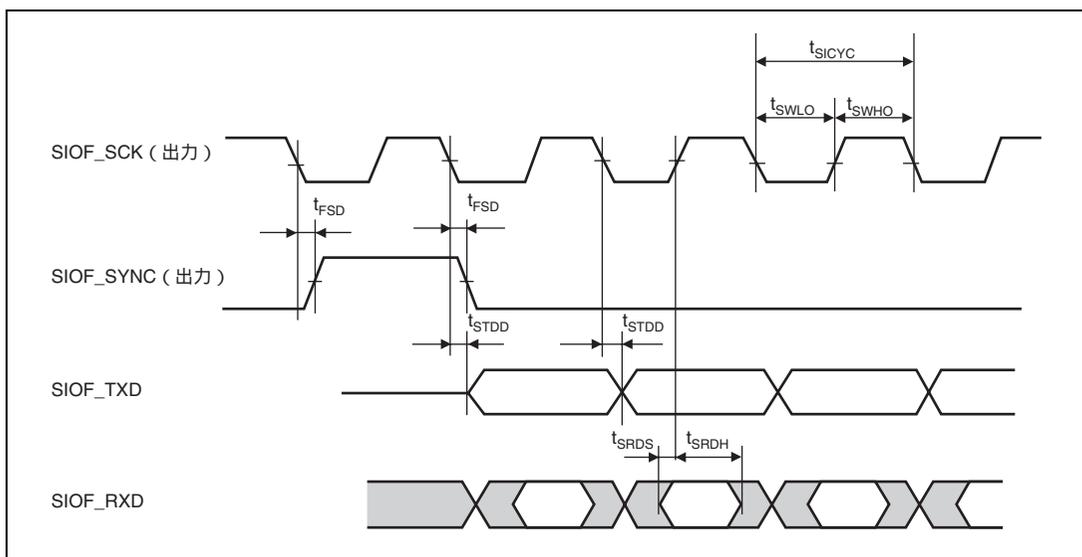


図 32.53 SIOF 送受信タイミング (マスタモード1・立ち上がりサンプリング時)

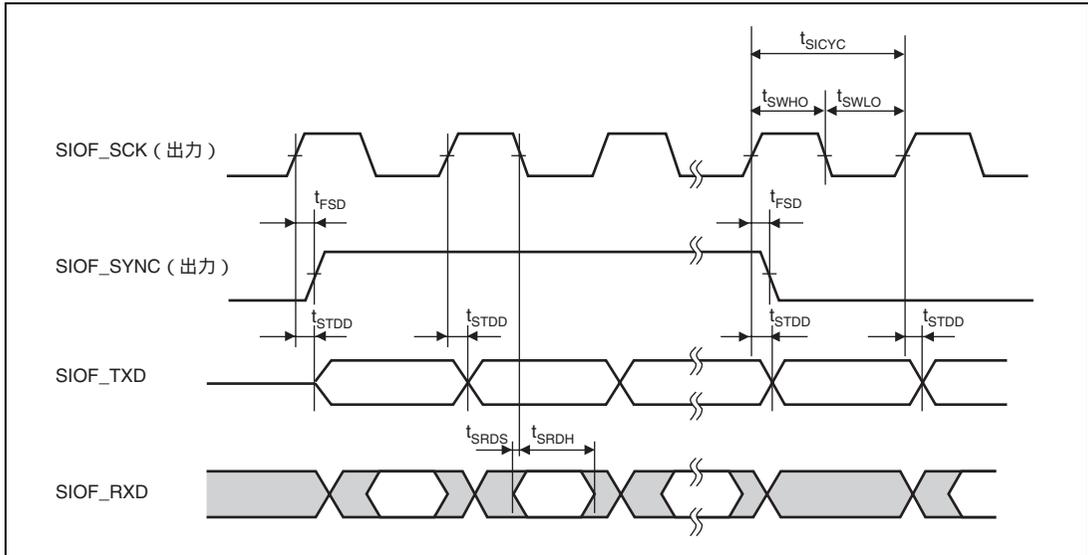


図 32.54 SIOF 送受信タイミング (マスターモード 2・立ち下がりサンプリング時)

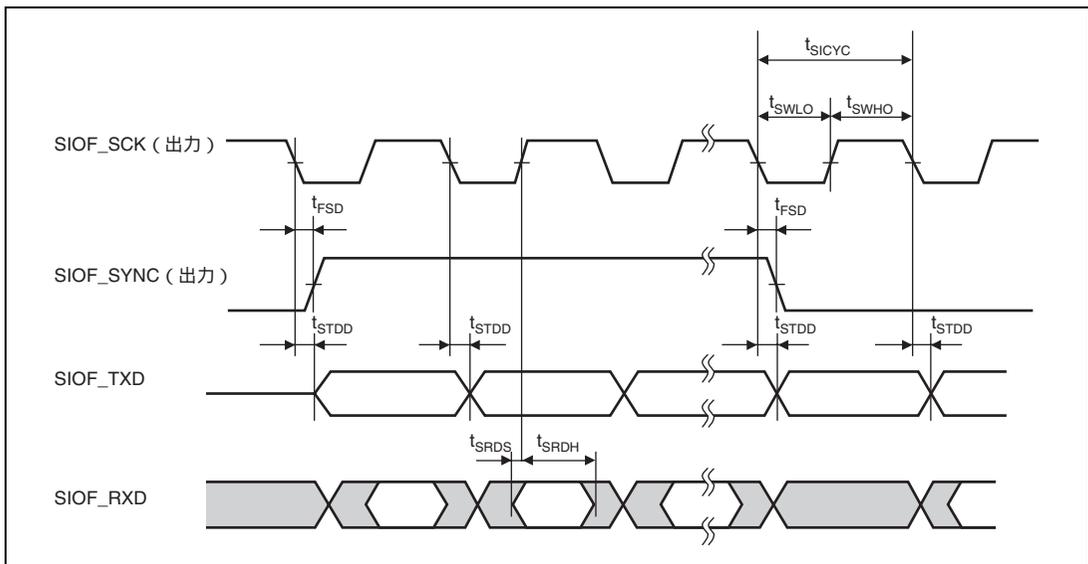


図 32.55 SIOF 送受信タイミング (マスターモード 2・立ち上がりサンプリング時)

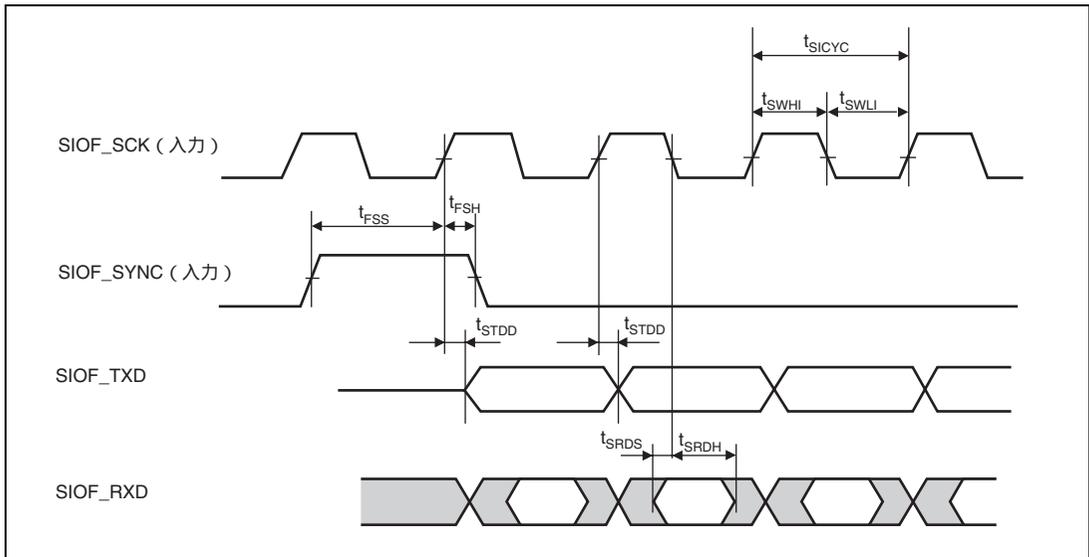


図 32.56 SIOF 送受信タイミング (スリープモード 1・スリープモード 2 時)

32.3.14 MMCIF モジュール信号タイミング

表 32.19 MMCIF モジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
MMCCLK クロックサイクル時間	t_{MMcyc}	50	-	ns	32.57
MMCCLK クロックハイレベル幅	t_{MMWH}	$0.4 \times t_{MMcyc}$	-	ns	
MMCCLK クロックローレベル幅	t_{MMWL}	$0.4 \times t_{MMcyc}$	-	ns	
MMCCMD 出力データ遅延時間	t_{MMTCD}	-	10	ns	
MMCCMD 入力データホールド時間	t_{MMRCS}	10	-	ns	32.58
MMCCMD 入力データセットアップ時間	t_{MMRCH}	10	-	ns	
MMCDAT 出力データ遅延時間	t_{MMTDD}	-	10	ns	32.57
MMCDAT 入力データセットアップ時間	t_{MMRDS}	10	-	ns	32.58
MMCDAT 入力データホールド時間	t_{MMRDH}	10	-	ns	

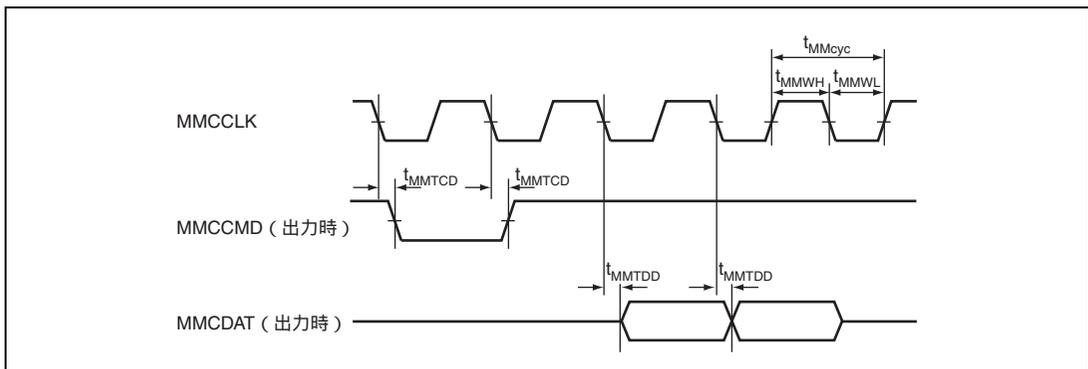
【注】 t_{MMcyc} は MMCCLK の 1 サイクル時間を示します。

図 32.57 MMCIF 送信タイミング

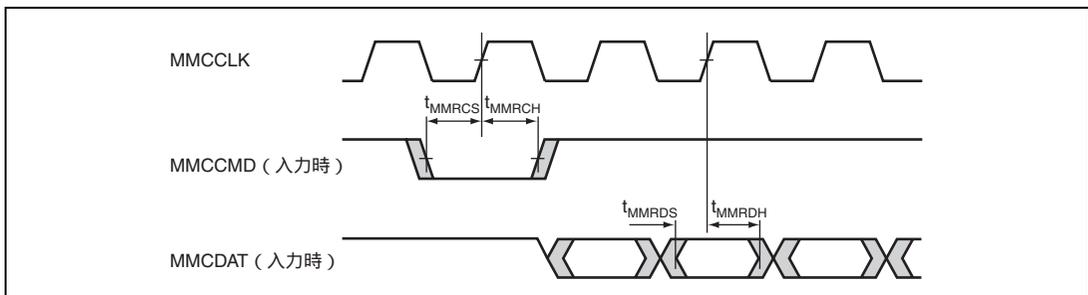


図 32.58 MMCIF 受信タイミング (立ち上がりサンプリング)

32.3.15 HAC インタフェースモジュール信号タイミング

表 32.20 HAC インタフェースモジュール信号タイミング

条件 : $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
HAC_RES アクティブローパルス幅	t_{RST_LOW}	1000	-	ns	32.59
HAC_SYNC アクティブハイパルス幅	t_{SYN_HIGH}	1000	-	ns	32.60
HAC_SYNC 遅延時間 1	t_{SYNCD1}	-	15	ns	32.62
HAC_SYNC 遅延時間 2	t_{SYNCD2}	-	15	ns	
HAC_SDOUT 遅延時間	t_{SDOUD}	-	15	ns	
HAC_SDIN セットアップ時間	t_{SDINs}	10	-	ns	
HAC_SDIN ホールド時間	t_{SDINH}	10	-	ns	
HAC_BITCLK 入力ハイレベル幅	t_{ICL0_HIGH}	$t_{Pcycl}/2$	-	ns	32.61
HAC_BITCLK 入力ローレベル幅	t_{ICL0_LOW}	$t_{Pcycl}/2$	-	ns	

【注】 t_{Pcycl} は周辺クロック (Pck) の 1 サイクル時間を示します。

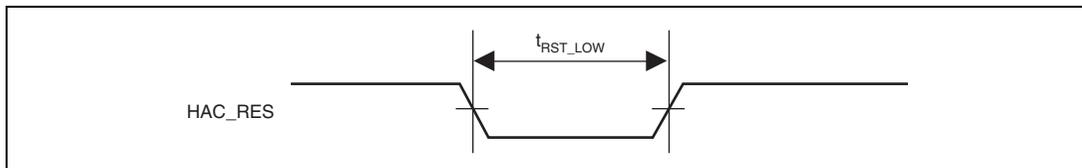


図 32.59 HAC コールドリセットタイミング

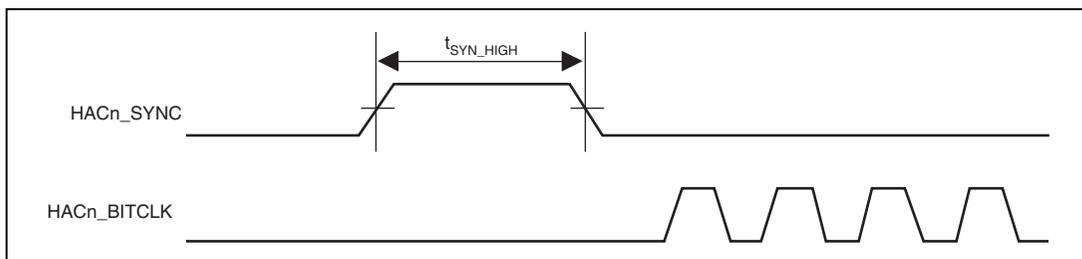


図 32.60 HAC ウォームリセットタイミング

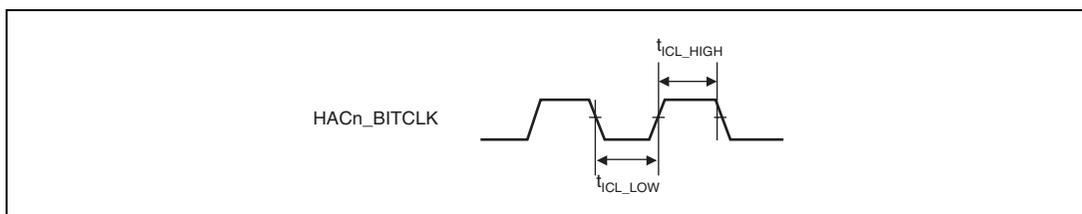


図 32.61 HAC クロック入力タイミング

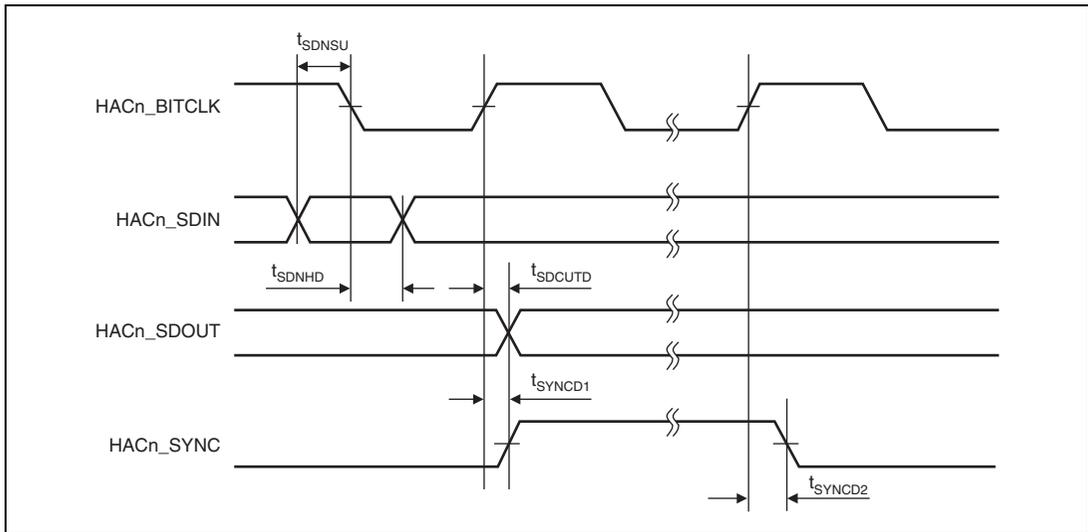


図 32.62 HAC インタフェースモジュール信号タイミング

32.3.16 SSI インタフェースモジュール信号タイミング

表 32.21 SSI インタフェースモジュール信号タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	備考	参照図
出力サイクル時間	t_{OSCK}	40	710	ns	出力	
入力サイクル時間	t_{ISCK}	80	3300	ns	入力	
入力ハイレベル幅 / 入力ローレベル幅	t_{IHC} / t_{ILC}	30	-	ns	入力	32.63
出力ローレベル幅 / 出力ハイレベル幅	t_{OHC} / t_{OLC}	13	-	ns	出力	
SCK 出力立ち上がり時間	t_{RC}	-	60	ns	出力	
SDATA 出力遅延時間	t_{DTR}	-	50	ns	送信	32.64、 32.65
SDATA / WS 入力セットアップ時間	t_{SR}	10	-	ns	受信	32.66、 32.67
SDATA / WS 入力ホールド時間	t_{HTR}	10	-	ns	受信	32.67

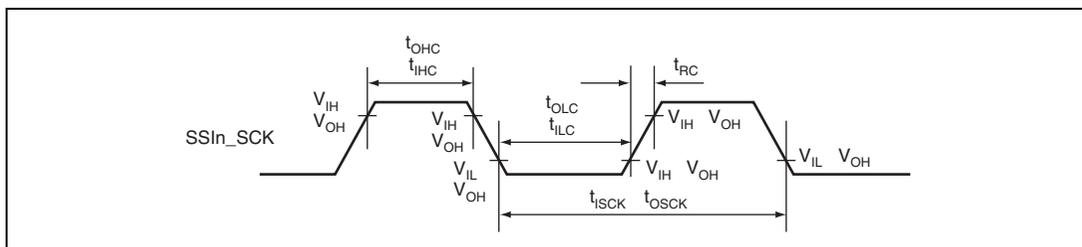


図 32.63 SSI クロック入力、出力タイミング

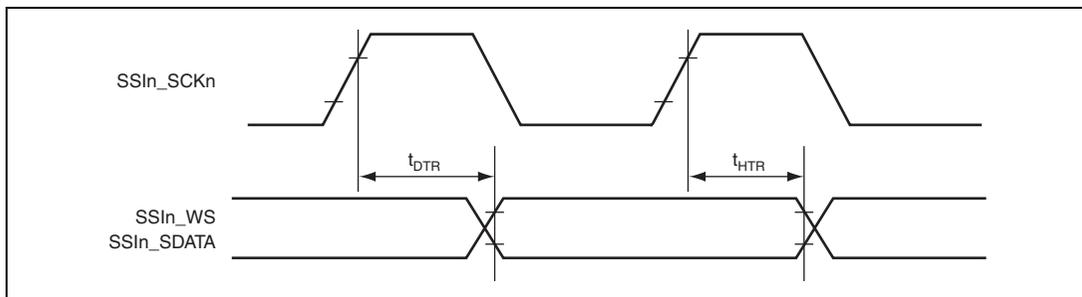


図 32.64 SSI 送信タイミング (1)

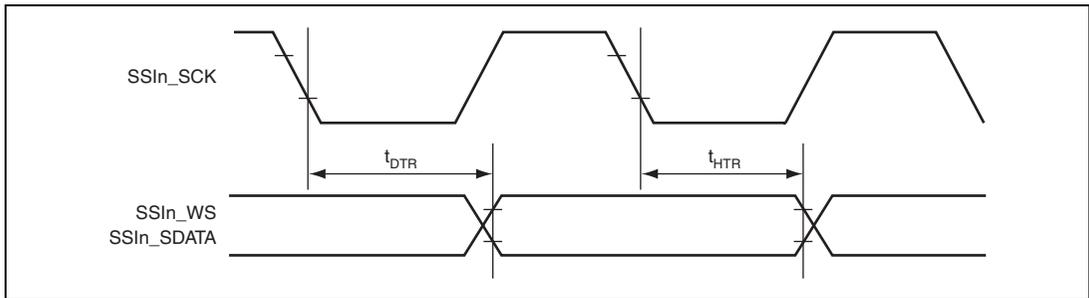


図 32.65 SSI 送信タイミング (2)

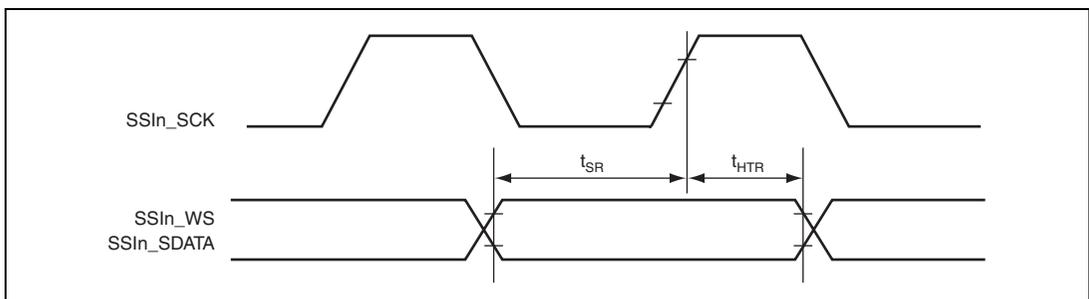


図 32.66 SSI 受信タイミング (1)

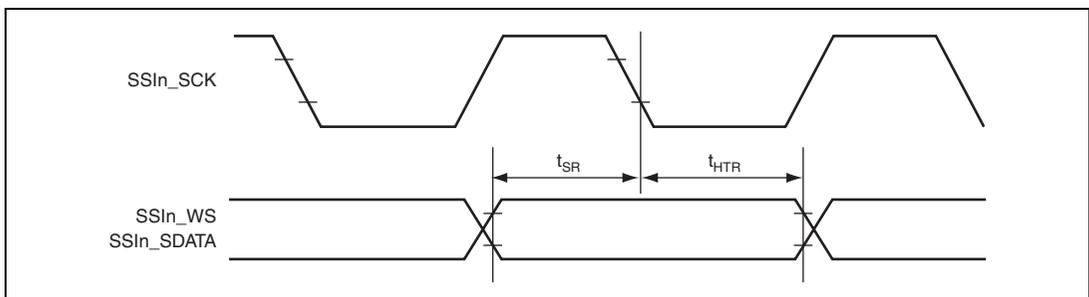


図 32.67 SSI 受信タイミング (2)

32. 電氣的特性

32.3.17 NAND 型フラッシュメモリインタフェースタイミング

表 32.22 NAND 型フラッシュメモリインタフェースタイミング

条件: $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	t_{NCDS}	$2 \times t_{F_{Cyc}} - 10$	-	ns	32.68、32.72
コマンド出力ホールド時間	t_{NCDH}	$1.5 \times t_{F_{Cyc}} - 10$	-	ns	
データ出力セットアップ時間	t_{NDOS}	$0.5t_{F_{Cyc}} - 10$	-	ns	32.68、32.69、 32.71、32.72
データ出力ホールド時間	t_{NDOH}	$0.5t_{F_{Cyc}} - 10$	-	ns	32.68、32.69、 32.71、32.72
コマンド-アドレス遷移時間 1	t_{NCDAD1}	$1.5 \times t_{F_{Cyc}} - 10$	-	ns	32.68、32.69
コマンド-アドレス遷移時間 2	t_{NCDAD2}	$2 \times t_{F_{Cyc}} - 10$	-	ns	32.69
FWE サイクル時間	t_{NWC}	$t_{F_{Cyc}} - 5$	-	ns	32.69、32.71
FWE ローパルス幅	t_{NWP}	$0.5t_{F_{Cyc}} - 5$	-	ns	32.68、32.69、 32.71、32.72
FWE ハイパルス幅	t_{NWH}	$0.5t_{F_{Cyc}} - 5$	-	ns	32.69、32.71
アドレス-レディ/ビジー遷移時間	t_{NADRB}	-	$32 \times t_{P_{Cyc}}$	ns	32.69、32.71
レディ/ビジー-データリード遷移時間 1	t_{NRBDR1}	$1.5 \times t_{F_{Cyc}}$	-	ns	32.70
レディ/ビジー-データリード遷移時間 2	t_{NRBDR2}	$32 \times t_{P_{Cyc}}$	-	ns	
FSC サイクル時間	t_{NSCC}	$t_{F_{Cyc}}$	-	ns	
FSC ハイパルス時間	t_{NSPH}	$0.5 \times t_{F_{Cyc}} - 5$	-	ns	
FSC ローパルス時間	t_{NSP}	$0.5 \times t_{F_{Cyc}} - 5$	-	ns	32.70、32.72
リードデータセットアップ時間	t_{NRDS}	24	-	ns	
リードデータホールド時間	t_{NRDH}	5	-	ns	
データライトセットアップ時間	t_{NDWS}	$32 \times t_{P_{Cyc}} - 10$	-	ns	32.71
コマンド-ステータスリード遷移時間	t_{NCDSR}	$4 \times t_{F_{Cyc}} - 10$	-	ns	32.72
コマンド出力 OFF-ステータスリード遷移時間	t_{NCDFSR}	$3.5 \times t_{F_{Cyc}}$	-	ns	
ステータスリードセットアップ時間	t_{NSTS}	$2.5 \times t_{F_{Cyc}} - 10$	-	ns	

【注】 1. $t_{P_{Cyc}}$ は周辺クロック (Pck) の 1 サイクル時間を示します。

2. $t_{F_{Cyc}}$ は FLCTL クロックの 1 サイクル時間を示します。

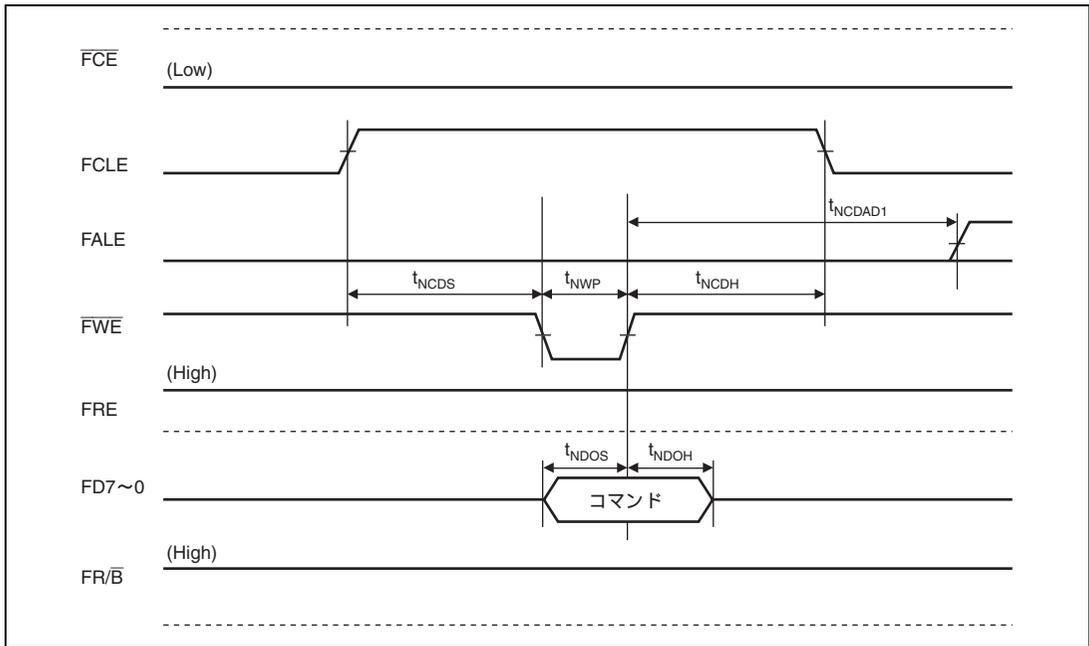


図 32.68 NAND 型フラッシュメモリのコマンド発行タイミング

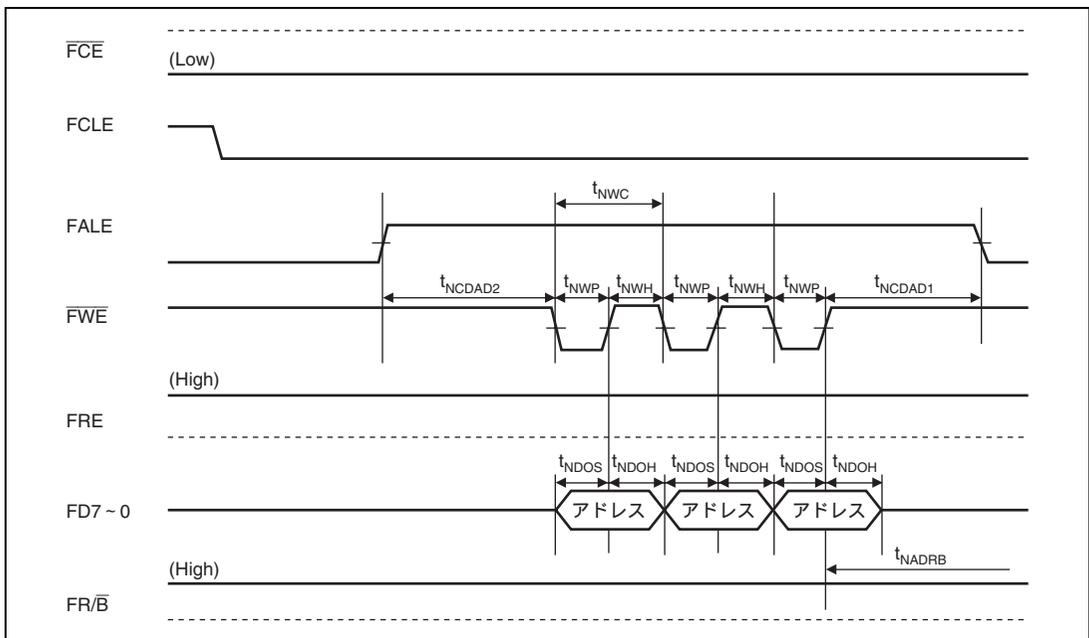


図 32.69 NAND 型フラッシュメモリのアドレス発行タイミング

32. 電気的特性

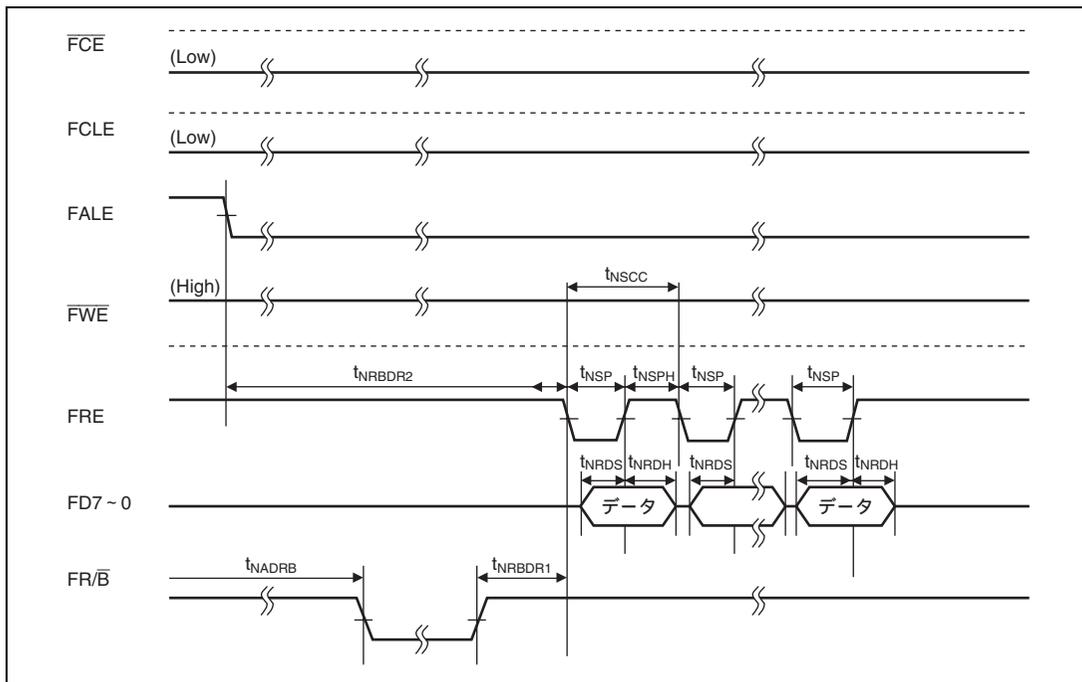


図 32.70 NAND 型フラッシュメモリのデータリードタイミング

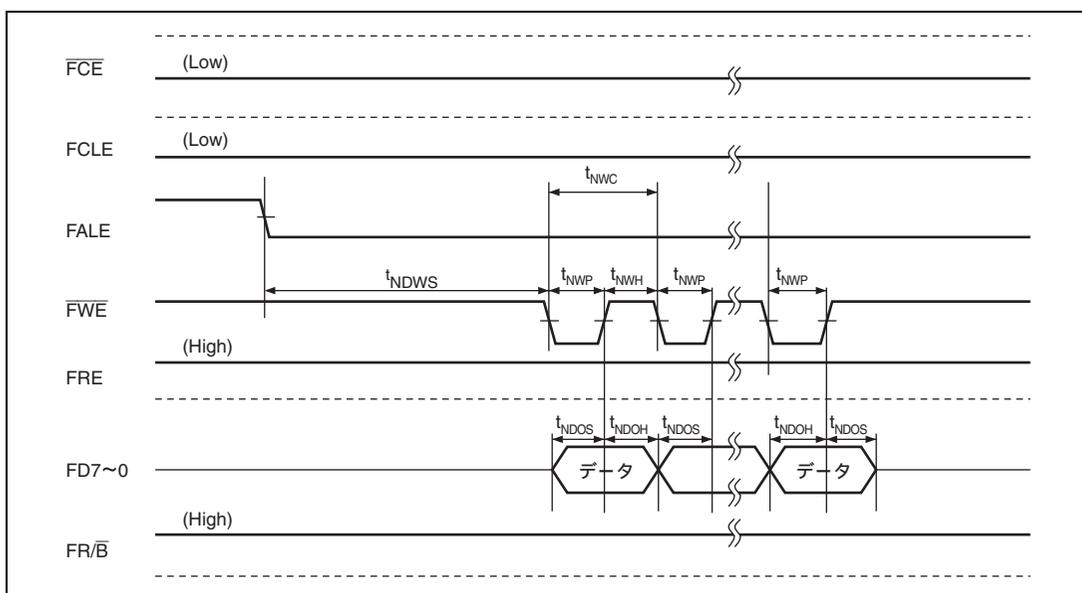


図 32.71 NAND 型フラッシュメモリのデータライトタイミング

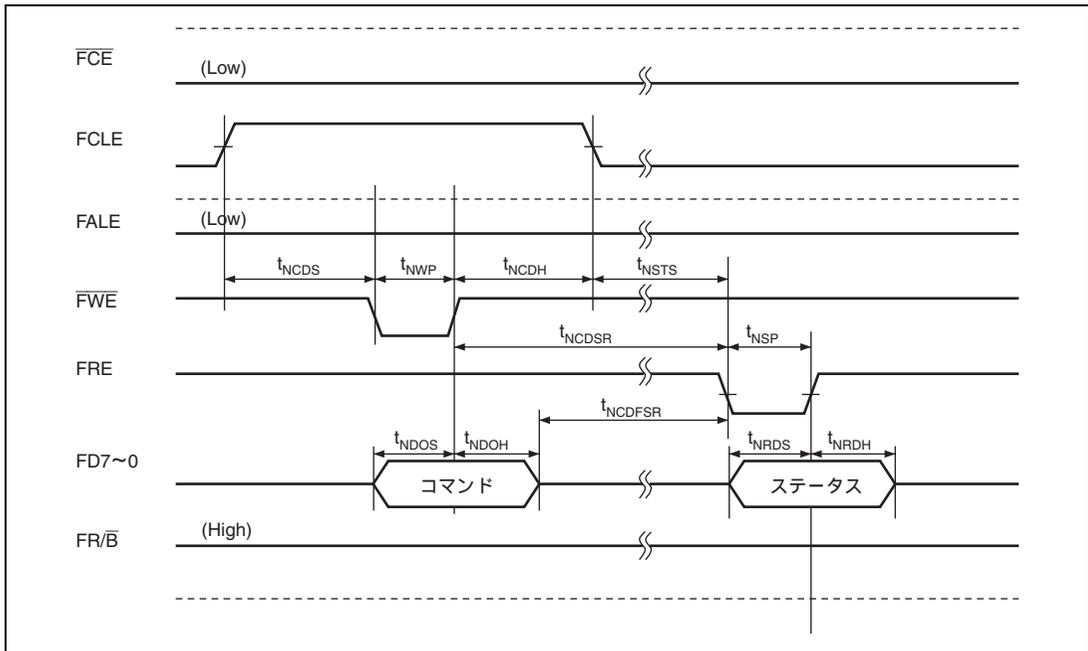


図 32.72 NAND 型フラッシュメモリのステータスリードタイミング

32. 電氣的特性

32.3.18 DU モジュール信号タイミング

表 32.23 PCICLK/DCLKIN タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Typ.	Max.	単位	参考図
PCICLK/DCLKIN サイクル時間	t_{DCYC}	20			ns	32.73
PCICLK/DCLKIN ハイレベル時間	t_{DCKIH}	8			ns	
PCICLK/DCLKIN ローレベル時間	t_{DCKIL}	8			ns	

表 32.24 表示タイミング

条件: $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.1V$ 、 $T_a=-20\sim +85$ / $-40\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Typ.	Max.	単位	参考図
表示入力制御信号*1 セットアップ時間	t_{DS}	5			ns	32.74 (PCICLK/ DCLKIN 基準)
表示入力制御信号*1 ホールド時間	t_{DH}	3			ns	
$\overline{DEVSEL}/DCLKOUT$ 出力サイクル時間	t_{DCYC}	20			ns	32.75 ($\overline{DEVSEL}/$ DCLKOUT 基準)
$\overline{DEVSEL}/DCLKOUT$ 出力ハイレベル幅	t_{DCKH}	6			ns	
表示出力制御信号*2 出力遅延時間	t_{DD}	-2		8	ns	
表示デジタルデータ*3 出力遅延時間	t_{DD}	-2		8	ns	
$\overline{IRDY}/HSYNC$ 入力ローレベル幅	t_{EXHLW}	$4 \times t_{DCYC}$			ns	32.76
$\overline{IRDY}/HSYNC$ 入力ハイレベル幅	t_{EXHHW}	$4 \times t_{DCYC}$			ns	
PCIFRAME/VSYSNC 入力ローレベル幅	t_{EXVLW}	$3 \times HC$			t_{DCYC}	
$\overline{LOCK}/ODDF$ セットアップ時間 1	t_{OD1}	$(ys+yw)$ $\times HC$			t_{DCYC}	
$\overline{LOCK}/ODDF$ セットアップ時間 2	t_{OD2}	$1 \times HC$			t_{DCYC}	

表 32.25 端子名対応表

端子分類	*1 表示入力制御信号	*2 表示出力制御信号	*3 表示デジタルデータ
端子名	PCIFRAME/VSYNC IRDY/HSYNC LOCK/ODDF	PCIFRAME/VSYNC IRDY/HSYNC LOCK/ODDF TRDY/DISP STOP/CDE	D32/AD0/DR0 D33/AD1/DR1 D34/AD2/DR2 D35/AD3/DR3 D36/AD4/DR4 D37/AD5/DR5 D38/AD6/DG0 D39/AD7/DG1 D40/AD8/DG2 D41/AD9/DG3 D42/AD10/DG4 D43/AD11/DG5 D44/AD12/DB0 D45/AD13/DB1 D46/AD14/DB2 D47/AD15/DB3 D48/AD16/DB4 D49/AD17/DB5

【注】 *1、*2、*3：図 32.74、図 32.75 中に示されている信号名の詳細を示します。

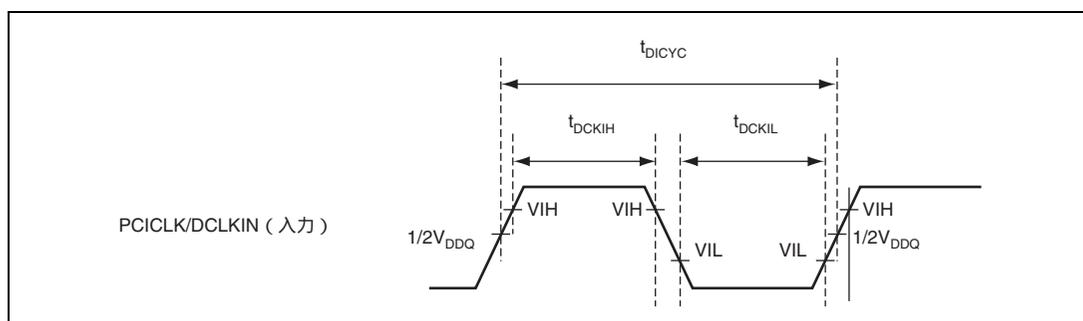


図 32.73 PCICLK/DCLKIN クロック入力タイミング

32. 電気的特性

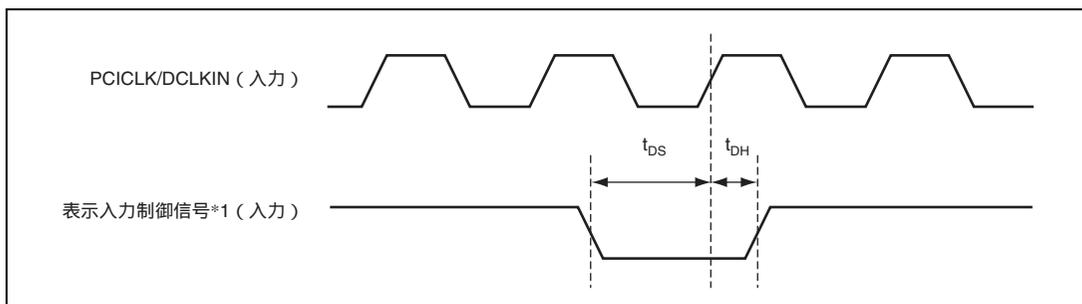


図 32.74 表示タイミング (PCICLK/DCLKIN 基準)

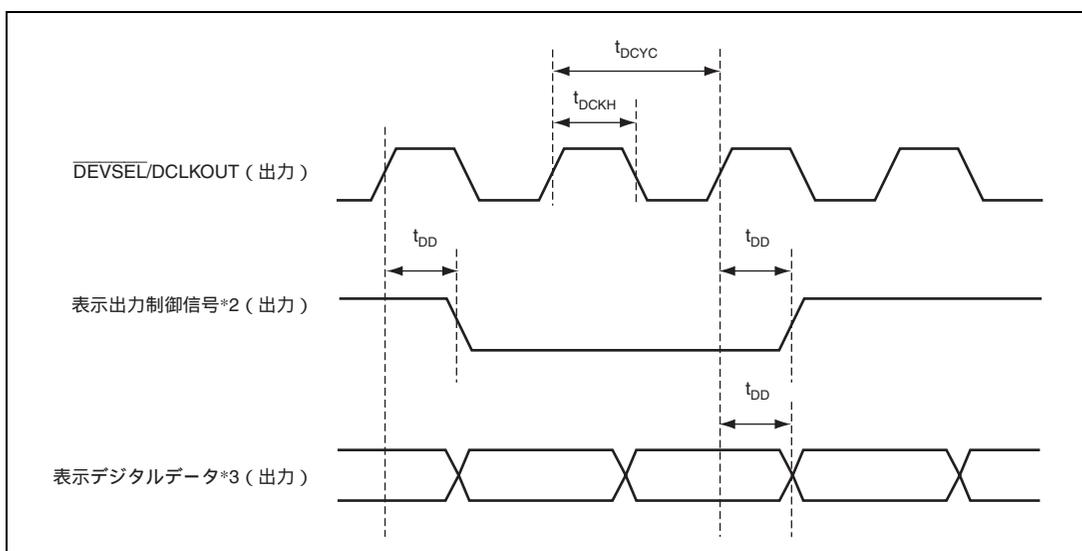


図 32.75 表示タイミング ($\overline{\text{DEVSEL}}/\text{DCLKOUT}$ 基準)

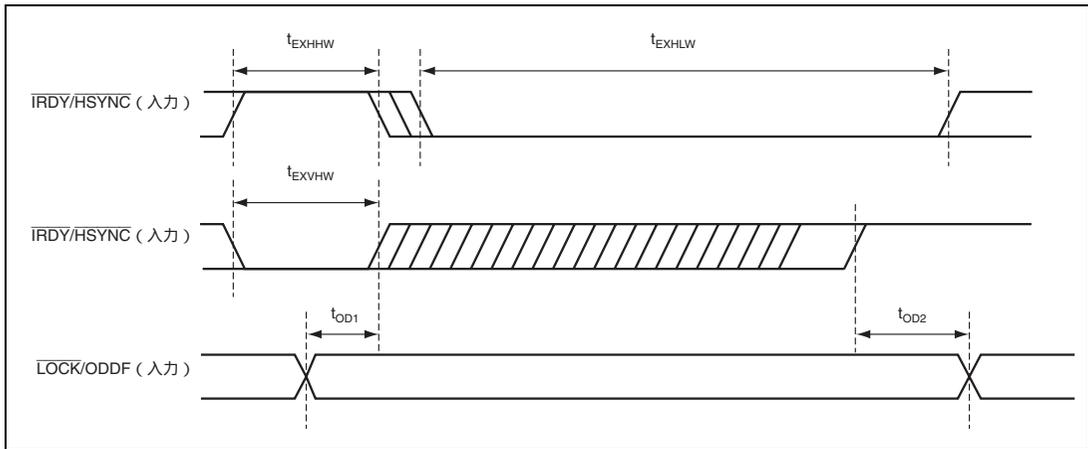


図 32.76 TV 同期モード表示タイミング

32.4 AC 特性測定条件

AC 特性測定条件は次のとおりです。

(1) DDR 端子

- 入出力信号参照レベル

MDQS、 $\overline{\text{MDQS}}$: MDQS、 $\overline{\text{MDQS}}$ の交点(クロスポイント)の電位

MCK、 $\overline{\text{MCK}}$: MCK、 $\overline{\text{MCK}}$ の交点(クロスポイント)の電位

上記以外のDDR端子 : $V_{\text{DDQ-DDR}} / 2$

入力ファレンス電圧 (VREF) : $0.5 \times V_{\text{DD-DDR}}$ V

入力パルス最大変動幅 : 1.0 V

入力信号最小スルーレート : 1.0 V/ns

(2) DDR 端子以外の端子

- 入出力信号参照レベル : $V_{\text{DDQ}} / 2$
- 入力パルスレベル : $V_{\text{SSQ}} \sim V_{\text{DDQ}}$
- 入力立ち上がり、立ち下がり時間 : 1ns

出力付加回路を図 32.77 に示します。

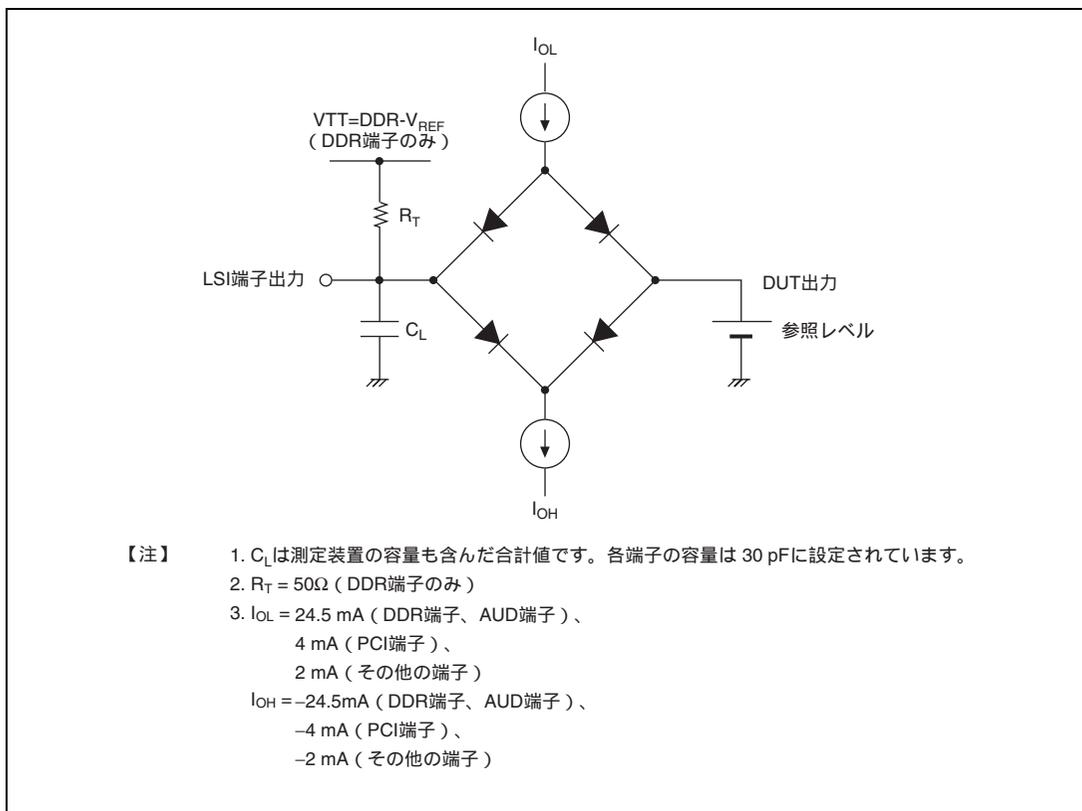


図 32.77 出力付加回路

付録

A. 外形寸法図

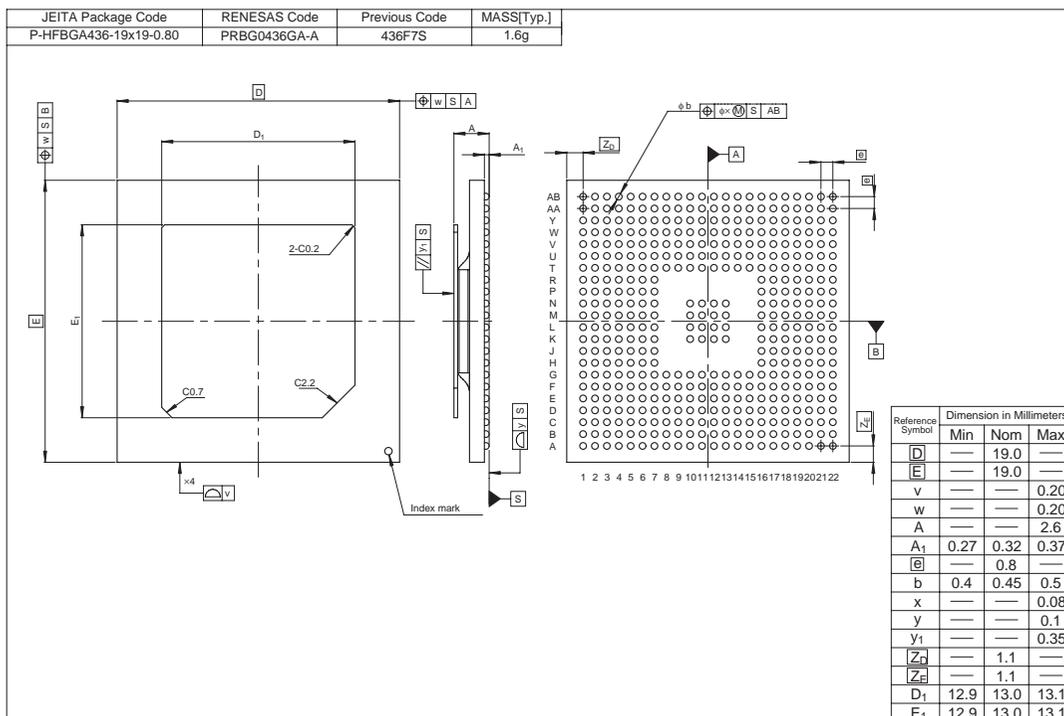


図 A.1 外形寸法図 (436 ピン BGA)

【注】 本 LSI は最大消費電力で動作する場合、T_j (接合部温度) が 125 を超えます。十分な熱設計の上、ご使用ください。T_j を下げるため、ヒートシンクや強制冷却をご利用ください。

B. モード端子の設定

MODE14～MODE0 端子の設定値は、PRESET 端子によるパワーオンリセット時に入力されます。

【注】 MODE6 端子は、パワーオンリセット解除後、出力状態になります。

【記号説明】

H: ハイレベル入力

L: ローレベル入力

表 B.1 クロック動作モード

クロック 動作 モード	端子の値					OSC / 外部 クロック入力 周波数[MHz]		分周 器 1	PLL1	周波数 (対入力クロック)							
	MODE 端子番号					MIN	MAX			lck	Uck	SHck	GAck	DUck	Pck	DDR ck	Bck
	4	3	2	1	0												
0	L	L	L	L	L	12	17	×1	×72	×36	×18	×18	×9	×9	×3	×18	×6
1	L	L	L	L	H					×36	×18	×18	×9	×9	×3/2	×18	×3/2
2	L	L	L	H	L					×36	×12	×12	×6	×6	×3	×12	×6
3	L	L	L	H	H					×36	×12	×12	×6	×6	×3/2	×12	×3/2
16	H	L	L	L	L	23	34	×1	×36	×18	×9	×9	×9/2	×9/2	×3/2	×9	×3
17	H	L	L	L	H					×18	×9	×9	×9/2	×9/2	×3/4	×9	×3/4
18	H	L	L	H	L					×18	×6	×6	×3	×3	×3/2	×6	×3
19	H	L	L	H	H					×18	×6	×6	×3	×3	×3/4	×6	×3/4

- 【注】 1. MODE12 あるいは MODE11 の入力がローレベルの場合、DUck クロックは停止します。
2. 分周器 2 の分周率は FRQMR1 レジスタから読み出すことができます。詳細は「第 15 章 クロック発振器 (CPG)」を参照してください。

表 B.2 エリア 0 のメモリタイプ・バス幅

端子の設定			メモリタイプ	バス幅
MODE7	MODE6	MODE5		
L	L	L	MPX インタフェース	64 ビット
		H	設定禁止	設定禁止
	H	L	設定禁止	設定禁止
		H	MPX インタフェース	32 ビット
H	L	L	SRAM インタフェース	64 ビット
		H	SRAM インタフェース	8 ビット
	H	L	SRAM インタフェース	16 ビット
		H	SRAM インタフェース	32 ビット

【注】 MODE6 端子は、パワーオンリセット解除後、出力状態になります。

表 B.3 エンディアン

端子の設定	エンディアン
MODE8	
L	ビッグエンディアン
H	リトルエンディアン

表 B.4 マスタ/スレーブ

端子の設定	マスタ/スレーブ
MODE9	
L	スレーブ
H	マスタ

表 B.5 クロック入力

端子の設定	クロック入力
MODE10	
L	外部入力クロック
H	水晶発振子

表 B.6 バスモード

メモリアイプ		バス幅
MODE12	MODE11	
L	L	PCIC ホストバスブリッジ
	H	PCI ノーマルモード (非ホスト)
H	L	ローカルバス
	H	ディスプレイユニット

表 B.7 バスアドレスモード

端子の設定	バスアドレスモード
MODE13	
L	29 ビットアドレスモード
H	32 ビットアドレス拡張モード

表 B.8 モード制御

端子の設定	モード
MODE14	
L	設定禁止
H	ノーマルモード (通常動作モード)

表 B.9 モード制御

端子の設定	モード
MPMD	
L	エミュレーションサポートモード
H	本体チップモード（通常動作モード）

【注】 エミュレーションサポートモードを使用する場合は、SH7785用のエミュレータユーザズマニュアルを参照してください。

C. 端子機能

C.1 端子状態

表 C.1 リセット、低消費電力状態、バス解放状態での端子状態

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
A[25:0]	A[25:0]	LBSC	O	PZ	K	K	-	PZ/Z
D[31:24]	D[31:24] (初期状態)	LBSC	I/O	Z	K	K	-	Z
	Port F[7:0]	GPIO	I/O	-	K	K	-	Z
D[23:16]	D[23:16] (初期状態)	LBSC	I/O	Z	K	K	-	Z
	Port G[7:0]	GPIO	I/O	-	K	K	-	Z
D[15:0]	D[15:0]	LBSC	I/O	Z	K	K	-	Z
CS[6:0]	CS[6:0]	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
BACK/BSREQ	BACK/BSREQ (初期状態)	LBSC	I/O	H ^{*2}	K	K	-	O
	Port M0	GPIO	I/O	-	K	K	-	O
BREQ/BSACK	BREQ/BSACK (初期状態)	LBSC	I/O	PZ	K	K	-	I
	Port M1	GPIO	I/O	-	K	K	-	I
BS	BS	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
R/W	R/W	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
RD/FRAME	RD/FRAME	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
RDY	RDY	LBSC	I	PI	K	K	-	I
WE0/REG	WE0/REG	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
WE1	WE1	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
WE2/IORD	WE2/IORD	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
WE3/IOWR	WE3/IOWR	LBSC	O	H(m) /PZ(s) ^{*1}	K	K	-	PZ/Z
DACK0	Port K1 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DACK0	DMAC	O	-	O	O	K	O

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
DACK1	Port K0 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DACK1	DMAC	O	-	O	O	K	O
DACK2/ SCIF2_TXD/ MMCCMD/ SIOF_TXD	Port K5 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DACK2	DMAC	O	-	O	O	O	O
	SCIF2_TXD	SCIF	O	-	PZ/Z	O	O	O
	MMCCMD	MMCIF	I/O	-	PI/I	K	K	K
	SIOF_TXD	SIOF	O	-	H	K	K	K
DACK3/ SCIF2_SCK/ MMCDAT/ SIOF_SCK	Port K4 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DACK3	DMAC	O	-	O	O	O	O
	SCIF2_SCK	SCIF	I/O	-	I	K	K	K
	MMCDAT	MMCIF	I/O	-	I	K	K	K
	SIOF_SCK	SIOF	I/O	-	L	K	K	K
STATUS0/DRAK0	STATUS0 (初期状態)	RESET	O	H	H	L	H	L
	DRAK0	DMAC	O	-	O	O	O	O
	Port K7	GPIO	I/O	-	K	K	K	K
STATUS1/DRAK1	STATUS1 (初期状態)	RESET	O	H	H	H	L	L
	DRAK1	DMAC	O	-	O	O	O	O
	Port K6	GPIO	I/O	-	K	K	K	K
DRAK2/CE2A	Port L5 (初期状態)	GPIO	I/O	PI	K	K	K	K
	DRAK2	DMAC	O	-	O	O	O	O
	CE2A	LBSC	O	-	K	K	K	K
DREQ0	Port K3 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DREQ0	DMAC	I	-	PI/I	PI/I	PI/I	PI/I
DREQ1	Port K2 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DREQ1	DMAC	I	-	PI/I	PI/I	PI/I	PI/I
DREQ2/INTB	Port L7 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DREQ2	DMAC	I	-	PI/I	PI/I	PI/I	PI/I
	INTB	PCIC	I	-	K	K	-	K
DREQ3/INTC	Port L6 (初期状態)	GPIO	I/O	PI	K	K	-	K
	DREQ3	DMAC	I	-	PI/I	PI/I	PI/I	PI/I
	INTC	PCIC	I	-	K	K	-	K
MCLK[1:0]	MCLK[1:0]	DBSC2	O	L	K	K	-	K
MCLK[1:0]	MCLK[1:0]	DBSC2	O	L	K	K	-	K
MDQS[3:0]	MDQS[3:0]	DBSC2	I/O	Z	K	K	-	K
MDQS[3:0]	MDQS[3:0]	DBSC2	I/O	Z	K	K	-	K

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
MDM[3:0]	MDQ[3:0]	DBSC2	O	H	K	K	-	K
MDQ[31:0]	MDQ[31:0]	DBSC2	I/O	Z	K	K	-	K
MCKE	MCKE	DBSC2	O	L	K	K	-	K
MCAS	MCAS	DBSC2	O	L	K	K	-	K
$\overline{\text{MRAS}}$	$\overline{\text{MRAS}}$	DBSC2	O	L	K	K	-	K
$\overline{\text{MCS}}$	$\overline{\text{MCS}}$	DBSC2	O	L	K	K	-	K
$\overline{\text{MWE}}$	$\overline{\text{MWE}}$	DBSC2	O	L	K	K	-	K
MODT	MODT	DBSC2	O	L	K	K	-	K
MA[14:0]	MA[14:0]	DBSC2	O	L	K	K	-	K
MBA[2:0]	MBA[2:0]	DBSC2	O	L	K	K	-	K
$\overline{\text{MBKPRST}}$	$\overline{\text{MBKPRST}}$	DBSC2	I	I	K	K	-	K
D[63:56]/AD[31:24]* ³	AD[31:24]	PCIC	I/O	PZ	K	K	-	K
	D[63:56]	LBSC	I/O	PZ	K	K	-	Z
	Port A[7:0]	GPIO	I/O	PZ	K	K	-	K
D[55:50]/AD[23:18]* ³	AD[23:18]	PCIC	I/O	PZ	K	K	-	K
	D[55:50]	LBSC	I/O	PZ	K	K	-	Z
	Port B[7:2]	GPIO	I/O	PZ	K	K	-	K
D[49:48]/AD[17:16]/DB[5:4]* ³	AD[17:16]	PCIC	I/O	PZ	K	K	-	K
	D[49:48]	LBSC	I/O	PZ	K	K	-	Z
	DB[5:4]	DU	O	PZ	K	K	K	K
	Port B[1:0]	GPIO	I/O	-	K	K	-	K
D[47:44]/AD[15:12]/DB[3:0]* ³	AD[15:12]	PCIC	I/O	PZ	K	K	-	K
	D[47:44]	LBSC	I/O	PZ	K	K	-	Z
	DB[3:0]	DU	O	PZ	K	K	K	K
	Port C[7:4]	GPIO	I/O	-	K	K	-	K
D[43:40]/AD[11:8]/DG[5:2]* ³	AD[11:8]	PCIC	I/O	PZ	K	K	-	K
	D[43:40]	LBSC	I/O	PZ	K	K	-	Z
	DG[5:2]	DU	O	PZ	K	K	K	K
	Port C[3:0]	GPIO	I/O	-	K	K	-	K
D[39:38]/AD[7:6]/DG[1:0]* ³	AD[7:6]	PCIC	I/O	PZ	K	K	-	K
	D[39:38]	LBSC	I/O	PZ	K	K	-	Z
	DG[1:0]	DU	O	PZ	K	K	K	K
	Port D[7:6]	GPIO	I/O	-	K	K	-	K

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
D[37:32]/AD[5:0]/DR[5:0]* ³	AD[5:0]	PCIC	I/O	PZ	K	K	-	K
	D[37:32]	LBSC	I/O	PZ	K	K	-	Z
	DR[5:0]	DU	O	PZ	K	K	K	K
	Port D[5:0]	GPIO	I/O	-	K	K	-	K
WE[7:4]/CBE [3:0]* ³	CBE[3:0]	PCIC	I/O	PZ	K	K	-	K
	WE[7:4]	LBSC	O	PZ	K	K	-	Z
	Port R[3:0]	GPIO	I/O	PZ	K	K	-	K
GNT0/GNTIN* ³	GNT0/GNTIN	PCIC	I/O	PZ	K	K	-	K
	Port Q3	GPIO	I/O	PZ	K	K	-	K
GNT3/MMCCLK* ³	GNT3	PCIC	O	PZ	K	K	-	K
	MMCCLK	MMCIF	O	PZ	K	K	K	K
	Port E0	GPIO	I/O	PZ	K	K	-	K
GNT[2:1]* ³	GNT[2:1]	PCIC	O	PZ	K	K	-	K
	Port E1-E2	GPIO	I/O	PZ	K	K	-	K
REQ0/REQOUT* ³	REQ0/REQOUT	PCIC	I/O	PZ	K	K	-	K
	Port Q2	GPIO	I/O	PZ	K	K	-	K
REQ3* ³	REQ3	PCIC	I	PZ	K	K	-	K
	Port E3	GPIO	I/O	PZ	K	K	-	K
REQ[2:1]* ³	REQ[2:1]	PCIC	I	PZ	K	K	-	K
	Port E4-E5	GPIO	I/O	PZ	K	K	-	K
DEVSEL/DCLKOUT* ³	DEVSEL	PCIC	I/O	PZ	K	K	-	K
	DCLKOUT	DU	O	PZ	K	K	-	K
	Port P5	GPIO	I/O	PZ	K	K	-	K
PCIFRAME/VSYNC* ³	PCIFRAME	PCIC	I/O	PZ	K	K	-	K
	VSYNC	DU	I/O	PZ	K	K	-	K
	Port P0	GPIO	I/O	PZ	K	K	-	K
IDSEL	IDSEL	PCIC	I	I	I	K	-	I
INTA* ³	INTA	PCIC	I/O	PZ	K	K	-	K
	Port Q4	GPIO	I/O	PZ	K	K	-	K
IRDY/HSYNC* ³	IRDY	PCIC	I/O	PZ	K	K	-	K
	HSYNC	DU	I/O	PZ	K	K	-	K
	Port P1	GPIO	I/O	PZ	K	K	-	K
LOCK/ODDF* ³	LOCK	PCIC	I/O	PZ	K	K	-	K
	ODDF	DU	I/O	PZ	K	K	-	K
	Port P3	GPIO	I/O	PZ	K	K	-	K

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
PAR	PAR	PCIC	I/O	PZ	O	K	-	O
PCICLK/DCLKIN* ⁴	PCICLK	PCIC	I	I	PI	K	-	K
	DCLKIN	DU	I	I	PI	K	-	K
PCIRESET	PCIRESET	PCIC	O	L	O	K	-	O
PERR* ³	PERR	PCIC	I/O	PZ	K	K	-	K
	Port Q1	GPIO	I/O	PZ	K	K	-	K
SERR* ³	SERR	PCIC	I/O	PZ	K	K	-	K
	Port Q0	GPIO	I/O	PZ	K	K	-	K
STOP/CDE* ³	STOP	PCIC	I/O	PZ	K	K	-	K
	CDE	DU	O	PZ	K	K	-	K
	Port P4	GPIO	I/O	PZ	K	K	-	K
TRDY/DISP* ³	TRDY	PCIC	I/O	PZ	K	K	-	K
	DISP	DU	O	PZ	K	K	-	K
	Port P2	GPIO	I/O	PZ	K	K	-	K
CLKOUT	CLKOUT	CPG	O	O	K	K	-	K
CLKOUTENB	CLKOUTENB	CPG	O	H	K	K	-	K
PRESET	PRESET	RESET	I	I	I	I	-	I
NMI	NMI	INTC	I	PI	PI/I	PI/I	-	PI/I
MRESETOUT/ IRQOUT	MRESETOUT (初期状態)	RESET	O	H	L	O	-	O
	IRQOUT	INTC	O	H	O	O	-	O
IRQ/IRL[3:0]	IRQ/IRL[3:0]	INTC	I	PI	I	I	-	I
MODE0/IRQ/IRL4/ FD4	MODE0 (パワーオンリセット)	CPG	I	I	-	-	-	-
	Port L4 (初期状態)	GPIO	I/O	-	K	K	-	K
	IRQ/IRL4	INTC	I	-	I	I	-	I
	FD4	FLCTL	I/O	-	K	K	K	K
MODE1/IRQ/IRL5/ FD5	MODE1 (パワーオンリセット)	CPG	I	I	-	-	-	-
	Port L3 (初期状態)	GPIO	I/O	-	K	K	-	K
	IRQ/IRL5	INTC	I	-	I	I	-	I
	FD5	FLCTL	I/O	-	K	K	K	K

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
MODE2/IRQ/IRL6/ FD6	MODE2 (パワーオンリセット)	CPG	I	I	-	-	-	-
	Port L2 (初期状態)	GPIO	I/O	-	K	K	-	K
	IRQ/IRL6	INTC	I	-	I	I	-	I
	FD6	FLCTL	I/O	-	K	K	K	K
MODE3/IRQ/IRL7/ FD7	MODE3 (パワーオンリセット)	CPG	I/O	I	-	-	-	-
	Port L1 (初期状態)	GPIO	I/O	-	K	K	-	K
	IRQ/IRL7	INTC	I	-	I	I	-	I
	FD7	FLCTL	I/O	-	K	K	K	K
MODE4/ SCIF3_TXD/FCLE	MODE4 (パワーオンリセット)	CPG	I	I	-	-	-	-
	Port N5 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF3_TXD	SCIF	O	-	Z	O	O	O
	FCLE	FLCTL	O	-	K	K	K	K
MODE5/ SIOF_MCLK	MODE5 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	SIOF_MCLK (初期状態)	SIOF	I	-	I	I	I	I
MODE6/ SIOF_SYNC	MODE6 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	SIOF_SYNC (初期状態)	SIOF	I/O	-	O*2	K	K	K
MODE7/ SCIF3_RXD/ FALE	MODE7 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	Port N4 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF3_RXD	SCIF	I	-	I	I	I	I
	FALE	FLCTL	O	-	K	K	K	K
MODE8/ SCIF3_SCK/ FD0	MODE8 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	Port N3 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF3_SCK	SCIF	I/O	-	I	K	K	K
	FD0	FLCTL	I/O	-	K	K	K	K

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
MDOE9/ SCIF4_TXD/ FD1	MDOE9 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	Port N2 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF4_TXD	SCIF	O	-	Z	O	O	O
	FD1	FLCTL	I/O	-	K	K	K	K
MODE10/ SCIF4_RXD/ FD2	MODE10 (パワーオンリセット)	CPG	I	I	-	-	-	-
	Port N1 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF4_RXD	SCIF	I	-	I	I	I	I
	FD2	FLCTL	I/O	-	K	K	K	K
MODE11/ SCIF4_SCK/ FD3	MODE11 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	Port N0 (初期状態)	GPIO	I/O	-	K	K	-	K
	SCIF4_SCK	SCIF	I/O	-	I	K	K	K
	FD3	FLCTL	I/O	-	K	K	K	K
MODE12/DRAK3/ CE2B	MODE12 (パワーオンリセット)	LBSC	I	I	-	-	-	-
	Port L0 (初期状態)	GPIO	I/O	-	K	K	-	K
	DRAK3	DMAC	O	-	O	O	O	O
	CE2B	LBSC	O	-	K	K	K	K
MODE13/TCLK/ IOIS16	MODE13 (パワーオンリセット)	MMU	I	I	-	-	-	-
	Port J0 (初期状態)	GPIO	I/O	-	K	K	-	K
	TCLK	TMU	I	-	I	I	I	I
	IOIS16	LBSC	I	-	K	K	K	K
MODE14	MODE14	CPG	I	I	I	I	I	I
EXTAL	EXTAL	CPG	I	I	I	I	-	I
XTAL	XTAL	CPG	O	O	O	O	-	O
SCIF0_CTS/INTD/ FCE	Port H4 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF0_CTS	SCIF	I/O	-	I	K	K	K
	INTD	PCIC	I	-	K	K	-	K
	FCE	FLCTL	O	-	O	K	K	K
SCIF0_RTS/ HSPI_CS/FSE	Port H3 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF0_RTS	SCIF	I/O	-	I	K	K	K
	HSPI_CS	HSPI	I/O	-	Z	K	K	K
	FSE	FLCTL	O	-	O	K	K	K

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
SCIF0_RXD/ HSPI_RX/FRB	Port H1 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF0_RXD	SCIF	I	-	I	I	K	I
	HSPI_RX	HSPI	I	-	I	K	K	K
	FRB	FLCTL	I	-	I	K	K	K
SCIF0_SCK/ HSPI_CLK/FRE	Port H2 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF0_SCK	SCIF	I/O	-	I	K	K	K
	HSPI_CLK	HSPI	I/O	-	Z	K	K	K
	FRE	FLCTL	O	-	O	K	K	K
SCIF0_TXD/ HSPI_TX/FWE	Port H0 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF0_TXD	SCIF	O	-	Z	O	K	O
	HSPI_TX	HSPI	O	-	Z	K	K	K
	FWE	FLCTL	O	-	O	K	K	K
SCIF1_RXD	Port H6 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF1_RXD	SCIF	I	-	I	I	I	I
SCIF1_SCK	Port H7 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF1_SCK	SCIF	I/O	-	I	K	K	K
SCIF1_TXD	Port H5 (初期状態)	GPIO	I/O	PI	Z	K	-	K
	SCIF1_TXD	SCIF	O	-	K	O	K	O
SCIF2_RXD/ SIOF_RXD	SCIF2_RXD (初期状態)	SCIF	I	PI	I	K	K	K
	SIOF_RXD	SIOF	I	-	I	I	I	I
SIOF_MCLK/ HAC_RES	Port J3 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SIOF_MCLK	SIOF	I	-	I	I	I	I
	HAC_RES	HAC	O	-	O	O	O	O
SIOF_RXD/ HAC0_SDIN/ SSI0_SCK	Port J5 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SIOF_RXD	SIOF	I	-	I	I	I	I
	HAC0_SDIN	HAC	I	-	I	I	I	I
	SSI0_SCK	SSI	I/O	-	K	K	K	K
SIOF_SCK/ HAC0_BITCLK/ SSI0_CLK	Port J2 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SIOF_SCK	SIOF	I/O	-	L	K	K	K
	HAC0_BITCLK	HAC	I	-	I	I	I	I
	SSI0_CLK	SSI	I	-	I	I	I	I

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
SIOF_SYNC/ HAC0_SYNC/ SSI0_WS	Port J4 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SIOF_SYNC	SIOF	I/O	-	L	K	K	K
	HAC0_SYNC	HAC	O	-	O	O	O	O
	SSI0_WS	SSI	I/O	-	I	K	K	K
SIOF_TXD/ HAC0_SDOOUT/ SSI0_SDATA	Port J6 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SIOF_TXD	SIOF	O	-	H	K	K	K
	HAC0_SDOOUT	HAC	O	-	O	O	O	O
	SSI0_SDATA	SSI	I/O	-	I	K	K	K
HAC1_BITCLK/ SSI1_CLK	Port J1 (初期状態)	GPIO	I/O	PI	K	K	-	K
	HAC1_BITCLK	HAC	I	-	I	I	I	I
	SSI1_CLK	SSI	I	-	I	I	I	I
SCIF5_TXD/ HAC1_SYNC/ SSI1_WS	Port J7 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF5_TXD	SCIF	O	-	Z	O	O	O
	HAC1_SYNC	HAC	O	-	O	O	O	O
	SSI1_WS	SSI	I/O	-	I	K	K	K
SCIF5_RXD/ HAC1_SDIN/ SSI1_SCK	Port N7 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF5_RXD	SCIF	I	-	I	I	I	I
	HAC1_SDIN	HAC	I	-	I	I	I	I
	SSI1_SCK	SSI	I/O	-	I	K	K	K
SCIF5_SCK/ HAC1_SDOOUT/ SSI1_SDATA	Port N6 (初期状態)	GPIO	I/O	PI	K	K	-	K
	SCIF5_SCK	SCIF	I/O	-	I	K	K	K
	HAC1_SDOOUT	HAC	O	-	O	O	O	O
	SSI1_SDATA	SSI	I/O	-	I	K	K	K
ASEBRK/BRKACK	ASEBRK/BRKACK	H-UDI	I/O	PI	PI/O	PI/O	-	PI/O
TCK	TCK	H-UDI	I	PI	PI	PI	PI	PI
TRST	TRST	H-UDI	I	PI	PI	PI	PI	PI
TDI	TDI	H-UDI	I	PI	PI	PI	PI	PI
TMS	TMS	H-UDI	I	PI	PI	PI	PI	PI
TDO	TDO	H-UDI	O	O	O	O	O	O
AUDCK	AUDCK	H-UDI	O	O	O	O	-	O
AUDSYNC	AUDSYNC	H-UDI	O	O	O	O	-	O
AUDATA[3:0]	AUDATA[3:0]	H-UDI	O	O	O	O	-	O
MPMD	MPMD	H-UDI	I	I	I	I	-	I

【記号説明】 - : ディスエーブル (選択されない) または未サポート

(m) : LBSC マスタモード

(s) : LBSC スレーブモード

I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

PI : 内蔵プルアップ抵抗によりプルアップされた入力

PZ : 内蔵プルアップ抵抗によりプルアップされたハイインピーダンス

K : 入力はハイインピーダンス、出力は状態保持

【注】 *1 MODE9 端子の設定に依存します。

*2 これらの端子はパワーオンリセット直後に出力となるため、信号を入力しないようにしてください。

*3 MODE12、MODE11 端子と関連するレジスタの設定に依存します。

*4 MODE12、MODE11 端子の設定で、バスモードとして、PCI ホストバスブリッジあるいは PCI ノーマルモード (非ホスト) が選択された場合、クロックは必ず PCICLK 端子に入力されるようにしてください。

また、MODE12、MODE11 端子で、ローカルバスあるいはディスプレイユニットが選択された場合、PCICLK 端子は、必ず VDDQ にプルアップするか GND にプルダウンしてください。

C.2 未使用端子の処理

表 C.2 未使用端子の処理

信号名	端子名	モジュール	I/O	未使用時の処理
A[25:0]	A[25:0]	LBSC	O	オープン
D[31:24]	D[31:24] (初期状態)	LBSC	I/O	オープン
	Port F[7:0]	GPIO	I/O	
D[23:16]	D[23:16] (初期状態)	LBSC	I/O	オープン
	Port G[7:0]	GPIO	I/O	
D[15:8]	D[15:8]	LBSC	I/O	オープン
D[7:0]	D[7:0]	LBSC	I/O	必ず使用してください
CS[6:1]	CS[6:1]	LBSC	O	オープン
CS0	CS0	LBSC	O	必ず使用してください
BACK/BSREQ	BACK/BSREQ (初期状態)	LBSC	I/O	オープン
	Port M0	GPIO	I/O	
BREQ/BSACK	BREQ/BSACK (初期状態)	LBSC	I/O	VDDQ にプルアップ
	Port M1	GPIO	I/O	
BS	BS	LBSC	O	オープン
R/W	R/W	LBSC	O	オープン
RD/FRAME	RD/FRAME	LBSC	O	オープン
RDY	RDY	LBSC	I	VSS にプルダウン*1
WE0/REG	WE0/REG	LBSC	O	オープン
WE1	WE1	LBSC	O	オープン
WE2/IORD	WE2/IORD	LBSC	O	オープン
WE3/IOWR	WE3/IOWR	LBSC	O	オープン
DACK0	Port K1 (初期状態)	GPIO	I/O	オープン
	DACK0	DMAC	O	
DACK1	Port K0 (初期状態)	GPIO	I/O	オープン
	DACK1	DMAC	O	
DACK2/ SCIF2_TXD/ MMCCMD/ SIOF_TXD	Port K5 (初期状態)	GPIO	I/O	オープン
	DACK2	DMAC	O	
	SCIF2_TXD	SCIF	O	
	MMCCMD	MMCIF	I/O	
	SIOF_TXD	SIOF	O	

付録

信号名	端子名	モジュール	I/O	未使用時の処理
DACK3/ SCIF2_SCK/ MMCDAT/ SIOF_SCK	Port K4 (初期状態)	GPIO	I/O	オープン
	DACK3	DMAC	O	
	SCIF2_SCK	SCIF	I/O	
	MMCDAT	MMCIF	I/O	
	SIOF_SCK	SIOF	I/O	
STATUS0/DRAK0	STATUS0 (初期状態)	RESET	O	オープン
	DRAK0	DMAC	O	
	Port K7	GPIO	I/O	
STATUS1/DRAK1	STATUS1 (初期状態)	RESET	O	オープン
	DRAK1	DMAC	O	
	Port K6	GPIO	I/O	
DRAK2/CE2A	Port L5 (初期状態)	GPIO	I/O	オープン
	DRAK2	DMAC	O	
	CE2A	LBSC	O	
DREQ0	Port K3 (初期状態)	GPIO	I/O	オープン
	DREQ0	DMAC	I	
DREQ1	Port K2 (初期状態)	GPIO	I/O	オープン
	DREQ1	DMAC	I	
DREQ2/INTB	Port L7 (初期状態)	GPIO	I/O	オープン
	DREQ2	DMAC	I	
	INTB	PCIC	I	
DREQ3/INTC	Port L6 (初期状態)	GPIO	I/O	オープン
	DREQ3	DMAC	I	
	INTC	PCIC	I	
MCLK[1:0]	MCLK[1:0]	DBSC2	O	オープン
MCLK[1:0]	MCLK[1:0]	DBSC2	O	オープン
MDQS[3:0]	MDQS[3:0]	DBSC2	I/O	オープン
MDQS[3:0]	MDQS[3:0]	DBSC2	I/O	オープン
MDM[3:0]	MDQ[3:0]	DBSC2	O	オープン
MDQ[31:0]	MDQ[31:0]	DBSC2	I/O	オープン
MCKE	MCKE	DBSC2	O	オープン
MCAS	MCAS	DBSC2	O	オープン
MRAS	MRAS	DBSC2	O	オープン
MCS	MCS	DBSC2	O	オープン
MWE	MWE	DBSC2	O	オープン
MODT	MODT	DBSC2	O	オープン
MA[14:0]	MA[14:0]	DBSC2	O	オープン

信号名	端子名	モジュール	I/O	未使用時の処理
MBA[2:0]	MBA[2:0]	DBSC2	O	オープン
MBKPRST	MBKPRST	DBSC2	I	VDD-DDR にプルアップ
D[63:56]/AD[31:24]	AD[31:24]	PCIC	I/O	オープン* ²
	D[63:56]	LBSC	I/O	
	Port A[7:0]	GPIO	I/O	
D[55:50]/AD[23:18]	AD[23:18]	PCIC	I/O	オープン* ²
	D[55:50]	LBSC	I/O	
	Port B[7:2]	GPIO	I/O	
D[49:48]/AD[17:16]/ DB[5:4]	AD[17:16]	PCIC	I/O	オープン* ²
	D[49:48]	LBSC	I/O	
	DB[5:4]	DU	O	
	Port B[1:0]	GPIO	I/O	
D[47:44]/AD[15:12]/ DB[3:0]	AD[15:12]	PCIC	I/O	オープン* ²
	D[47:44]	LBSC	I/O	
	DB[3:0]	DU	O	
	Port C[7:4]	GPIO	I/O	
D[43:40]/AD[11:8]/ DG[5:2]	AD[11:8]	PCIC	I/O	オープン* ²
	D[43:40]	LBSC	I/O	
	DG[5:2]	DU	O	
	Port C[3:0]	GPIO	I/O	
D[39:38]/AD[7:6]/ DG[1:0]	AD[7:6]	PCIC	I/O	オープン* ²
	D[39:38]	LBSC	I/O	
	DG[1:0]	DU	O	
	Port D[7:6]	GPIO	I/O	
D[37:32]/AD[5:0]/ DR[5:0]	AD[5:0]	PCIC	I/O	オープン* ²
	D[37:32]	LBSC	I/O	
	DR[5:0]	DU	O	
	Port D[5:0]	GPIO	I/O	
WE[7:4]/CBE [3:0]	CBE[3:0]	PCIC	I/O	オープン* ²
	WE[7:4]	LBSC	O	
	Port R[3:0]	GPIO	I/O	
GNT0/GNTIN	GNT0/GNTIN	PCIC	I/O	オープン* ²
	Port Q3	GPIO	I/O	

付録

信号名	端子名	モジュール	I/O	未使用時の処理
GNT3/MMCCLK	GNT3	PCIC	O	オープン
	MMCCLK	MMCIF	O	
	Port E0	GPIO	I/O	
GNT[2:1]	GNT[2:1]	PCIC	O	オープン
	Port E1-E2	GPIO	I/O	
REQ0/REQOUT	REQ0/REQOUT	PCIC	I/O	オープン*2
	Port Q2	GPIO	I/O	
REQ3	REQ3	PCIC	I	オープン*2
	Port E3	GPIO	I/O	PCIC ノーマルモード時は VDDQ にプルアップ
REQ[2:1]	REQ[2:1]	PCIC	I	オープン*2
	Port E4-E5	GPIO	I/O	PCIC ノーマルモード時は VDDQ にプルアップ
DEVSEL/DCLKOUT	DEVSEL	PCIC	I/O	オープン*3
	DCLKOUT	DU	O	
	Port P5	GPIO	I/O	
PCIFRAME/VSYN	PCIFRAME	PCIC	I/O	オープン*2
	VSYN	DU	I/O	
	Port P0	GPIO	I/O	
IDSEL	IDSEL	PCIC	I	VSS にプルダウン
INTA	INTA	PCIC	I/O	オープン*2
	Port Q4	GPIO	I/O	PCIC ノーマルモード時は VDDQ にプルアップ
IRDY/HSYN	IRDY	PCIC	I/O	オープン*2
	HSYN	DU	I/O	
	Port P1	GPIO	I/O	
LOCK/ODDF	LOCK	PCIC	I/O	オープン*2
	ODDF	DU	I/O	
	Port P3	GPIO	I/O	
PAR	PAR	PCIC	I/O	オープン*2
PCICLK/DCLKIN	PCICLK	PCIC	I	バスモードとして PCI ホストバスブリッジあるいは PCI ノーマルモード（非ホスト）選択時、PCICLK 端子はクロック入力 ローカルバスあるいはディスプレイユニット選択 時、PCICLK 端子は、VDDQ にプルアップするか GND にプルダウン
	DCLKIN	DU	I	
PCIRESET	PCIRESET	PCIC	O	オープン
PERR	PERR	PCIC	I/O	オープン*2
	Port Q1	GPIO	I/O	

信号名	端子名	モジュール	I/O	未使用時の処理
SERR	SERR	PCIC	I/O	オープン*2
	Port Q0	GPIO	I/O	
STOP/CDE	STOP	PCIC	I/O	オープン*2
	CDE	DU	O	
	Port P4	GPIO	I/O	
TRDY/DISP	TRDY	PCIC	I/O	オープン*2
	DISP	DU	O	
	Port P2	GPIO	I/O	
CLKOUT	CLKOUT	CPG	O	オープン
CLKOUTENB	CLKOUTENB	CPG	O	オープン
PRESET	PRESET	RESET	I	必ず使用してください
NMI	NMI	INTC	I	VDDQ にプルアップ
MRESETOUT/ IRQOUT	MRESETOUT (初期状態)	RESET	O	オープン
	IRQOUT	INTC	O	
IRQ/IRL[3:0]	IRQ/IRL[3:0]	INTC	I	VDDQ にプルアップ
MODE0/IRQ/IRL4/ FD4	MODE0	CPG	I	パワーオンリセット期間中は必ず使用してください
	Port L4 (初期状態)	GPIO	I/O	オープン
	IRQ/IRL4	INTC	I	
	FD4	FLCTL	I/O	
MODE1/IRQ/IRL5/ FD5	MODE1	CPG	I	パワーオンリセット期間中は必ず使用してください
	Port L3 (初期状態)	GPIO	I/O	オープン
	IRQ/IRL5	INTC	I	
	FD5	FLCTL	I/O	
MODE2/IRQ/IRL6/ FD6	MODE2	CPG	I	パワーオンリセット期間中は必ず使用してください
	Port L2 (初期状態)	GPIO	I/O	オープン
	IRQ/IRL6	INTC	I	
	FD6	FLCTL	I/O	
MODE3/IRQ/IRL7/ FD7	MODE3	CPG	I/O	パワーオンリセット期間中は必ず使用してください
	Port L1 (初期状態)	GPIO	I/O	オープン
	IRQ/IRL7	INTC	I	
	FD7	FLCTL	I/O	
MODE4/ SCIF3_TXD/FCLE	MODE4	CPG	I	パワーオンリセット期間中は必ず使用してください
	Port N5 (初期状態)	GPIO	I/O	オープン
	SCIF3_TXD	SCIF	O	
	FCLE	FLCTL	O	

付録

信号名	端子名	モジュール	I/O	未使用時の処理
MODE5/ SIOF_MCLK	MODE5	LBSC	I	パワーオンリセット期間中は必ず使用してください
	SIOF_MCLK (初期状態)	SIOF	I	オープン
MODE6/SIOF_SYNC	MODE6	LBSC	I	パワーオンリセット期間中は必ず使用してください
	SIOF_SYNC (初期状態)	SIOF	I/O	オープン
MODE7/SCIF3_RXD/ FALE	MODE7	LBSC	I	パワーオンリセット期間中は必ず使用してください
	Port N4 (初期状態)	GPIO	I/O	オープン
	SCIF3_RXD	SCIF	I	
	FALE	FLCTL	O	
MODE8/SCIF3_SCK/ FD0	MODE8	LBSC	I	パワーオンリセット期間中は必ず使用してください
	Port N3 (初期状態)	GPIO	I/O	オープン
	SCIF3_SCK	SCIF	I/O	
	FD0	FLCTL	I/O	
MDOE9/SCIF4_TXD/ FD1	MDOE9	LBSC	I	パワーオンリセット期間中は必ず使用してください
	Port N2 (初期状態)	GPIO	I/O	オープン
	SCIF4_TXD	SCIF	O	
	FD1	FLCTL	I/O	
MODE10/SCIF4_RXD/ FD2	MODE10	CPG	I	パワーオンリセット期間中は必ず使用してください
	Port N1 (初期状態)	GPIO	I/O	オープン
	SCIF4_RXD	SCIF	I	
	FD2	FLCTL	I/O	
MODE11/SCIF4_SCK/ FD3	MODE11	LBSC	I	パワーオンリセット期間中は必ず使用してください
	Port N0 (初期状態)	GPIO	I/O	オープン
	SCIF4_SCK	SCIF	I/O	
	FD3	FLCTL	I/O	
MODE12/DRAK3/ CE2B	MODE12	LBSC	I	パワーオンリセット期間中は必ず使用してください
	Port L0 (初期状態)	GPIO	I/O	オープン
	DRAK3	DMAC	O	
	CE2B	LBSC	O	
MODE13/TCLK/ IOIS16	MODE13	MMU	I	パワーオンリセット期間中は必ず使用してください
	Port J0 (初期状態)	GPIO	I/O	オープン
	TCLK	TMU	I	
	IOIS16	LBSC	I	
MODE14	MODE14	CPG	I	パワーオンリセット期間中は必ず使用してください (VDDQ にプルアップしてください)
EXTAL	EXTAL	CPG	I	必ず使用してください

信号名	端子名	モジュール	I/O	未使用時の処理
XTAL	XTAL	CPG	O	オープン
SCIF0_CTS/INTD/ FCE	Port H4 (初期状態)	GPIO	I/O	オープン
	SCIF0_CTS	SCIF	I/O	
	INTD	PCIC	I	
	FCE	FLCTL	O	
SCIF0_RTS/ HSPI_CS/FSE	Port H3 (初期状態)	GPIO	I/O	オープン
	SCIF0_RTS	SCIF	I/O	
	HSPI_CS	HSPI	I/O	
	FSE	FLCTL	O	
SCIF0_RXD/ HSPI_RX/FRB	Port H1 (初期状態)	GPIO	I/O	オープン
	SCIF0_RXD	SCIF	I	
	HSPI_RX	HSPI	I	
	FRB	FLCTL	I	
SCIF0_SCK/ HSPI_CLK/FRE	Port H2 (初期状態)	GPIO	I/O	オープン
	SCIF0_SCK	SCIF	I/O	
	HSPI_CLK	HSPI	I/O	
	FRE	FLCTL	O	
SCIF0_TXD/ HSPI_TX/FWE	Port H0 (初期状態)	GPIO	I/O	オープン
	SCIF0_TXD	SCIF	O	
	HSPI_TX	HSPI	O	
	FWE	FLCTL	O	
SCIF1_RXD	Port H6 (初期状態)	GPIO	I/O	オープン
	SCIF1_RXD	SCIF	I	
SCIF1_SCK	Port H7 (初期状態)	GPIO	I/O	オープン
	SCIF1_SCK	SCIF	I/O	
SCIF1_TXD	Port H5 (初期状態)	GPIO	I/O	オープン
	SCIF1_TXD	SCIF	O	
SCIF2_RXD/ SIOF_RXD	SCIF2_RXD (初期状態)	SCIF	I	オープン
	SIOF_RXD	SIOF	I	
SIOF_MCLK/ HAC_RES	Port J3 (初期状態)	GPIO	I/O	オープン
	SIOF_MCLK	SIOF	I	
	HAC_RES	HAC	O	

付録

信号名	端子名	モジュール	I/O	未使用時の処理
SIOF_RXD/ HAC0_SDIN/ SSI0_SCK	Port J5 (初期状態)	GPIO	I/O	オープン
	SIOF_RXD	SIOF	I	
	HAC0_SDIN	HAC	I	
	SSI0_SCK	SSI	I/O	
SIOF_SCK/ HAC0_BITCLK/ SSI0_CLK	Port J2 (初期状態)	GPIO	I/O	オープン
	SIOF_SCK	SIOF	I/O	
	HAC0_BITCLK	HAC	I	
	SSI0_CLK	SSI	I	
SIOF_SYNC/ HAC0_SYNC/ SSI0_WS	Port J4 (初期状態)	GPIO	I/O	オープン
	SIOF_SYNC	SIOF	I/O	
	HAC0_SYNC	HAC	O	
	SSI0_WS	SSI	I/O	
SIOF_TXD/ HAC0_SDOOUT/ SSI0_SDATA	Port J6 (初期状態)	GPIO	I/O	オープン
	SIOF_TXD	SIOF	O	
	HAC0_SDOOUT	HAC	O	
	SSI0_SDATA	SSI	I/O	
HAC1_BITCLK/ SSI1_CLK	Port J1 (初期状態)	GPIO	I/O	オープン
	HAC1_BITCLK	HAC	I	
	SSI1_CLK	SSI	I	
SCIF5_TXD/ HAC1_SYNC/ SSI1_WS	Port J7 (初期状態)	GPIO	I/O	オープン
	SCIF5_TXD	SCIF	O	
	HAC1_SYNC	HAC	O	
	SSI1_WS	SSI	I/O	
SCIF5_RXD/ HAC1_SDIN/ SSI1_SCK	Port N7 (初期状態)	GPIO	I/O	オープン
	SCIF5_RXD	SCIF	I	
	HAC1_SDIN	HAC	I	
	SSI1_SCK	SSI	I/O	
SCIF5_SCK/ HAC1_SDOOUT/ SSI1_SDATA	Port N6 (初期状態)	GPIO	I/O	オープン
	SCIF5_SCK	SCIF	I/O	
	HAC1_SDOOUT	HAC	O	
	SSI1_SDATA	SSI	I/O	
THDAG	THDAG	-	-	VSS にプルダウンしてください
THDAS	THDAS	-	-	VSS にプルダウンしてください
THDCTL	THDCTL	-	-	VSS にプルダウンしてください
THDCD	THDCD	-	-	VSS にプルダウンしてください
VDDQ-TD	VDDQ-TD	-	-	VSS にプルダウン、あるいは VDDQ にプルアップしてください

信号名	端子名	モジュール	I/O	未使用時の処理
ASEBRK/BRKACK	ASEBRK/BRKACK	H-UDI	I/O	オープン
TCK	TCK	H-UDI	I	オープン
TRST	TRST	H-UDI	I	VSS にプルダウンあるいは PRESET に接続ください*4
TDI	TDI	H-UDI	I	オープン
TMS	TMS	H-UDI	I	オープン
TDO	TDO	H-UDI	O	オープン
AUDCK	AUDCK	H-UDI	O	オープン
AUDSYNC	AUDSYNC	H-UDI	O	オープン
AUDATA[3:0]	AUDATA[3:0]	H-UDI	O	オープン
MPMD	MPMD	H-UDI	I	VDDQ にプルアップ

- 【注】
1. 各電源端子は、端子機能未使用時も必ず供給してください。
 2. 端子を使用しない場合は、該当する端子のレジスタ設定などは行わないでください。
 - *1 パワーオンリセット後 LSI 内部でプルアップがオンになります。PPUPR1.RDYPUP (GPIO) を 1 にセットして \overline{RDY} 端子のプルアップをオフにしてください。
 - *2 MODE12、MODE11 端子で、ローカルバス (LBSC) モードが選択された場合はオープンにしてください。
 - *3 MODE12、MODE11 端子で、ローカルバス (LBSC) モードかディスプレイユニット (DU) モードを指定してください。
 - *4 エミュレータを使用しないボードを設定する場合にはグランド固定、または \overline{RESETP} 端子と同じ信号と接続してください。ただし、グランド固定とする場合は、 \overline{TRST} は LSI 内部でプルアップされているため微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

D. 電源投入および切断順序

D.1 異電位電源間の電源の投入および切断順序について

1.0V系電源（以下 VDD10、LSI 端子名：VDD、VDD-PLL1、VDDA-PLL1、VDD-PLL2）、1.8V系電源（以下 VDD18、LSI 端子名：VDD-DDR）、および 3.3V系電源（以下 VDD33、LSI 端子名：VDDQ、VDDQ-PLL1、VDDQ-PLL2、VDDQ-TD*）間の電源投入切断順序について規定します。

【注】 * VDDQ-TD が GND (0V) に接続されている場合、VDDQ-TD の電源投入切断順序に制限はありません。
VDDQ-TD に電源を供給している場合、(VDDQ-TD) の電位 (VDDQ の電位) + 0.3[V]となるようにしてください。

(1) 電源の投入順序について

投入順序の制約はありません。1つの電源が立ち上がった後、300ms 以内にすべての電源を立ち上げてください。

(2) 電源の切断順序について

切断順序の制約はありません。1つの電源が立ち下がった後、300ms 以内にすべての電源を立ち下げてください。

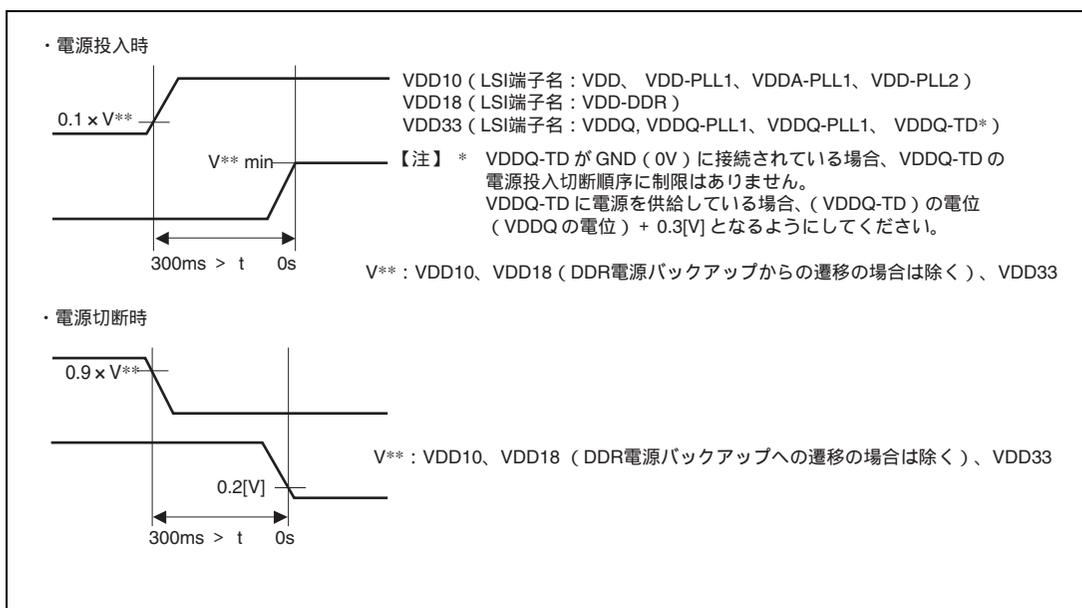


図 D.1 異電位間の電源投入 / 切断シーケンス

D.2 DDR2-SDRAM 電源バックアップモード時の異電位電源間の電源の投入および切断順序について

DDR2-SDRAM 電源バックアップモード時の 1.0V 系電源（以下 VDD10、LSI 端子名：VDD、VDD-PLL1、VDDA-PLL1、VDD-PLL2）、1.8V 系電源（以下 VDD18、LSI 端子名：VDD-DDR）、および 3.3V 系電源（以下 VDD33、LSI 端子名：VDDQ、VDDQ-PLL1、VDDQ-PLL2、VDDQ-TD*）間の電源投入切断順序について規定します。

【注】 * VDDQ-TD が GND (0V) に接続されている場合、VDDQ-TD の電源投入切断順序に制限はありません。
VDDQ-TD に電源を供給している場合、(VDDQ-TD) の電位 (VDDQ の電位) + 0.3[V] となるようにしてください。

(1) 電源の投入順序について

投入順序の制約はありません。VDD-DDR 電源以外の 1 つの電源が立ち上がった後、300ms 以内にすべての電源を立ち上げてください。

(2) 電源の切断順序について

切断順序の制約はありません。VDD-DDR 電源以外の 1 つの電源が立ち下がった後、300ms 以内にすべての電源を立ち下げてください。

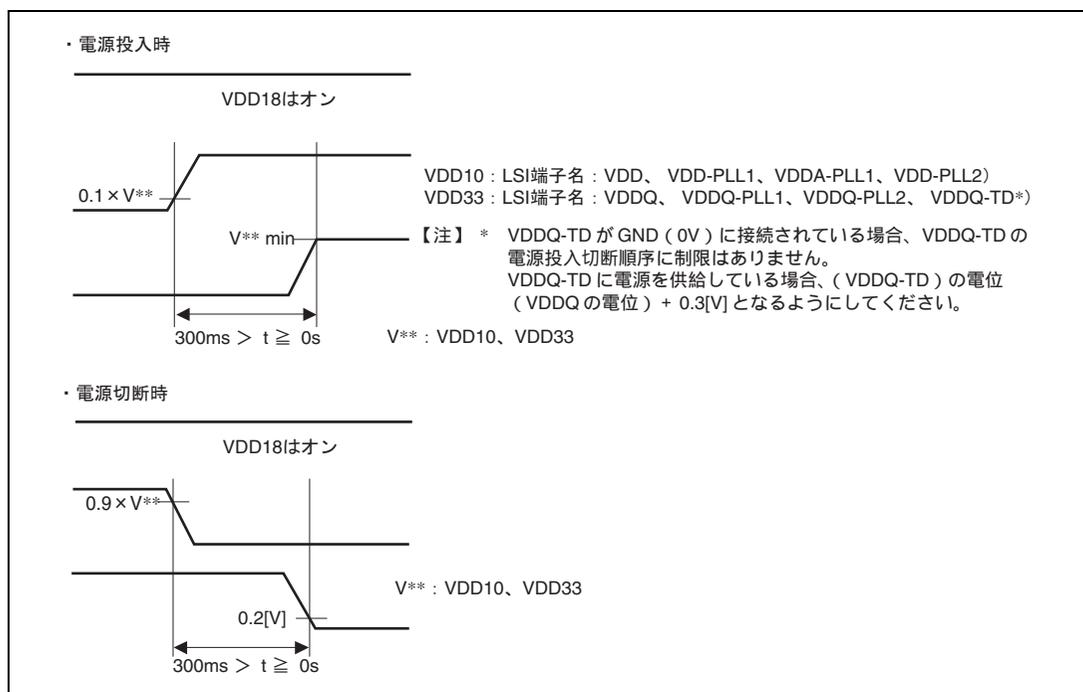


図 D.2 DDR2-SDRAM 電源バックアップモード時の異電位間の電源投入 / 切断シーケンス

D.3 同電位電源間の電源の投入および切断順序について

VDD10 電源間、VDD18 電源間、および VDD33 電源間の電源投入切断順序について規定します。VDD10、VDD18 それぞれについての制約はありません。

(1) 電源の投入順序について

VDD33 について投入順序の制約はありません。

【注】 * VDDQ-TD が GND (0V) に接続されている場合、VDDQ-TD の電源投入切断順序に制限はありません。
VDDQ-TD に電源を供給している場合、(VDDQ-TD) の電位 (VDDQ の電位) + 0.3[V]となるようにしてください。

(2) 電源の切断順序について

VDD33 について切断順序の制約はありません。

【注】 * VDDQ-TD が GND (0V) に接続されている場合、VDDQ-TD の電源投入切断順序に制限はありません。
VDDQ-TD に電源を供給している場合、(VDDQ-TD) の電位 (VDDQ の電位) + 0.3[V]となるようにしてください。

E. バージョンレジスタ

製品バージョンレジスタに関するレジスタ構成を以下に示します。

表 E.1 バージョンレジスタの構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'1030 07xx	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'0000 02xx	H'FF00 0044	H'1F00 0044	32

【記号説明】x：不定

(1) プロセッサバージョンレジスタ (PVR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値：	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	1	1	1	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) プロダクトレジスタ (PRR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報								-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	1	0	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

F. 品名一覧

表 F.1 SH7785 品名一覧

型名	電圧	動作周波数	品名	動作温度	パッケージ
SH7785	1.1V	600MHz	R8A77850BADBGNV	-40 to 85°C	436-pin BGA (鉛フリー)
			R8A77850BANBGNV	-20 to 85°C	436-pin BGA (鉛フリー)

G. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリアアドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
 2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
- 1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	RABD	-	INTMU	-	-	-
初期値 :	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	-	H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0 : サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを 0 に設定する場合は、「付録 I. サブルーチン復帰投機実行」を参照してください。 1 : サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しません。 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

H. 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

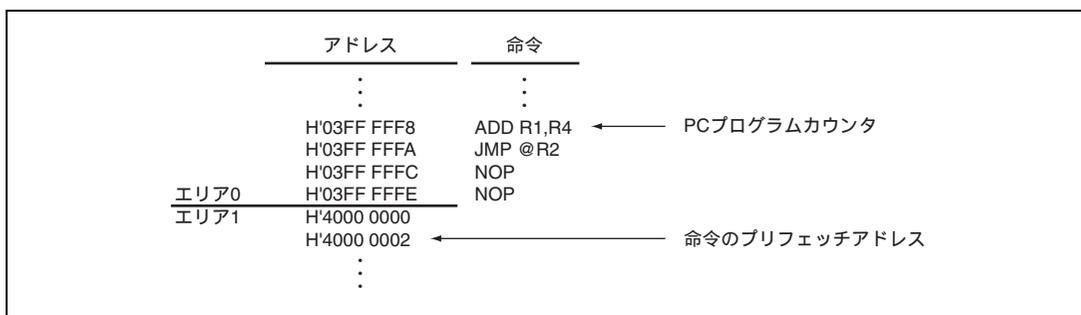


図 H.1 命令のプリフェッチ

図 H.1 では、PC（プログラムカウンタ）が指し示す命令（ADD）と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス（命令のプリフェッチ）が発生する可能性があります。

（1）命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

（2）回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

I. サブルーチン復帰投機実行

本 LSI はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 H. (1) 命令のプリフェッチの副作用」を参照してください。

使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7785

発行年月日 2009年9月18日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7785
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0285-0100