

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD179F11x, 179F12x

マイクロコントローラ

8ビット・シングルチップ・マイクロコントローラ

μPD179F110

μPD179F111

μPD179F112

μPD179F113

μPD179F114

μPD179F122

μPD179F123

μPD179F124

〔メモ〕

目次要約

第1章	概 説	...	15
第2章	端子機能	...	24
第3章	CPUアーキテクチャ	...	33
第4章	ポート機能	...	68
第5章	クロック発生回路	...	91
第6章	16ビット・タイマ/イベント・カウンタ00	...	120
第7章	8ビット・タイマ/イベント・カウンタ50, 51	...	195
第8章	8ビット・タイマH0, H1	...	213
第9章	ウォッチドッグ・タイマ	...	239
第10章	シリアル・インタフェースUART6	...	246
第11章	割り込み機能	...	278
第12章	キー割り込み機能	...	295
第13章	スタンバイ機能	...	298
第14章	リセット機能	...	308
第15章	パワーオン・クリア回路	...	315
第16章	低電圧検出回路	...	320
第17章	オプション・バイト	...	337
第18章	フラッシュ・メモリ	...	340
第19章	オンチップ・ディバグ機能	...	356
第20章	命令セットの概要	...	359
第21章	電気的特性	...	374
第22章	外形図	...	385
付録A	開発ツール	...	387
付録B	改版履歴	...	395

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

Windows , Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

- 本資料に記載されている内容は2008年2月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

対象者 このマニュアルは μ PD179F11x, 179F12xマイクロコントローラの機能を理解し,その応用システムや
応用プログラムを設計,開発するユーザのエンジニアを対象としています。

対象製品は,次に示す各製品です。

- ・ μ PD179F11xマイクロコントローラ : μ PD179F110, 179F111, 179F112, 179F113, 179F114
- ・ μ PD179F12xマイクロコントローラ : μ PD179F122, 179F123, 179F124

目的 このマニュアルは,次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD179F11x, 179F12xマイクロコントローラのマニュアルは,このマニュアルと命令編(78K0マイ
クロコントローラ共通)の2冊に分かれています。

μ PD179F11x, 179F12x マイクロコントローラ ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては,電気,論理回路,マイクロコントローラの一般知識を必要とし
ます。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は,本版で改訂された主な箇所を示しています。
この" "をPDF上でコピーして「検索する文字列」に指定することによって,改版箇所を容易に
検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは,そのビット名称がRA78K0では予約語に,CC78K0では
#pragma sfr指令で,sfr変数として定義されているものです。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

凡 例

データ表記の重み	: 左が上位桁,右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子,信号名称に上線)
注	:本文中につけた注の説明
注意	:気をつけて読んでいただきたい内容
備考	:本文の補足説明
数の表記	: 2進数... xxx または xxx B 10進数... xxx 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD179F11x, 179F12xマイクロコントローラ ユーザーズ・マニュアル	このマニュアル	U18685E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
ID78K0-QB Ver.3.00 統合ディバッガ	操作編	U18492J	U18492E
PM+ Ver.6.00	U17178J	U17178E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-179F124 インサーキット・エミュレータ	U18586J	U18586E
QB-MINI2 プログラミング機能付きオンチップ・ディバグ・エミュレータ	U18371J	U18371E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	U15260E
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 15

- 1.1 特 徴 ... 15
- 1.2 応用分野 ... 16
- 1.3 オーダ情報 ... 16
- 1.4 応用回路例 ... 17
- 1.5 端子接続図 (Top View) ... 18
- 1.6 μ PD179F11x, 179F12xマイクロコントローラの製品展開 ... 20
- 1.7 ブロック図 ... 21
- 1.8 機能概要 ... 22

第2章 端子機能 ... 24

- 2.1 端子機能一覧 ... 24
- 2.2 端子機能の説明 ... 26
 - 2.2.1 P00-P07 (Port 0) ... 26
 - 2.2.2 P10-P17 (Port 1) ... 27
 - 2.2.3 P20-P27 (Port 2) ... 27
 - 2.2.4 P30-P35 (Port 3) (38ピン製品のみ) ... 28
 - 2.2.5 P120-P123 (Port 12) ... 28
 - 2.2.6 REGC ... 29
 - 2.2.7 V_{DD} ... 30
 - 2.2.8 V_{SS} ... 30
 - 2.2.9 FLMD0 ... 30
- 2.3 端子の入出力回路と未使用端子の処理 ... 30

第3章 CPUアーキテクチャ ... 33

- 3.1 メモリ空間 ... 33
 - 3.1.1 内部プログラム・メモリ空間 ... 40
 - 3.1.2 内部データ・メモリ空間 ... 41
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 41
 - 3.1.4 データ・メモリ・アドレッシング ... 41
- 3.2 プロセッサ・レジスタ ... 47
 - 3.2.1 制御レジスタ ... 47
 - 3.2.2 汎用レジスタ ... 50
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 52
- 3.3 命令アドレスのアドレッシング ... 56
 - 3.3.1 レラティブ・アドレッシング ... 56
 - 3.3.2 イミディエト・アドレッシング ... 57
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 58
 - 3.3.4 レジスタ・アドレッシング ... 58
- 3.4 オペランド・アドレスのアドレッシング ... 59
 - 3.4.1 インプライド・アドレッシング ... 59
 - 3.4.2 レジスタ・アドレッシング ... 60

- 3.4.3 ダイレクト・アドレッシング ... 61
- 3.4.4 ショート・ダイレクト・アドレッシング ... 62
- 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 63
- 3.4.6 レジスタ・インダイレクト・アドレッシング ... 64
- 3.4.7 ベースト・アドレッシング ... 65
- 3.4.8 ベースト・インデクスト・アドレッシング ... 66
- 3.4.9 スタック・アドレッシング ... 67

第4章 ポート機能 ... 68

- 4.1 ポートの機能 ... 68
- 4.2 ポートの構成 ... 70
 - 4.2.1 ポート0 ... 71
 - 4.2.2 ポート1 ... 76
 - 4.2.3 ポート2 ... 77
 - 4.2.4 ポート3 (38ピン製品のみ) ... 80
 - 4.2.5 ポート12 ... 81
- 4.3 ポート機能を制御するレジスタ ... 84
- 4.4 ポート機能の動作 ... 88
 - 4.4.1 入出力ポートへの書き込み ... 88
 - 4.4.2 入出力ポートからの読み出し ... 88
 - 4.4.3 入出力ポートでの演算 ... 88
- 4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチ, プルアップ抵抗オプション・レジスタ, ポート出力モード・レジスタ設定 ... 89
- 4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項 ... 90

第5章 クロック発生回路 ... 91

- 5.1 クロック発生回路の機能 ... 91
- 5.2 クロック発生回路の構成 ... 92
- 5.3 クロック発生回路を制御するレジスタ ... 94
- 5.4 システム・クロック発振回路 ... 102
 - 5.4.1 X1発振回路 ... 102
 - 5.4.2 高速内蔵発振回路 ... 104
 - 5.4.3 低速内蔵発振回路 ... 104
 - 5.4.4 プリスケーラ ... 104
- 5.5 クロック発生回路の動作 ... 105
- 5.6 クロックの制御 ... 107
 - 5.6.1 高速システム・クロックの制御例 ... 107
 - 5.6.2 高速内蔵発振クロックの制御例 ... 109
 - 5.6.3 低速内蔵発振クロックの制御例 ... 112
 - 5.6.4 CPUクロック, 周辺ハードウェア・クロックへの供給クロック ... 113
 - 5.6.5 CPUクロック状態移行図 ... 114
 - 5.6.6 CPUクロックの移行前の条件と移行後の処理 ... 117
 - 5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 117
 - 5.6.8 クロック発振停止前の条件 ... 118
 - 5.6.9 周辺ハードウェアとソース・クロック ... 119

第6章	16ビット・タイマ/イベント・カウンタ00	...	120
6.1	16ビット・タイマ/イベント・カウンタ00の機能	...	120
6.2	16ビット・タイマ/イベント・カウンタ00の構成	...	121
6.3	16ビット・タイマ/イベント・カウンタ00を制御するレジスタ	...	126
6.4	16ビット・タイマ/イベント・カウンタ00の動作	...	134
6.4.1	インターバル・タイマとしての動作	...	134
6.4.2	方形波出力としての動作	...	137
6.4.3	外部イベント・カウンタとしての動作	...	141
6.4.4	TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	...	145
6.4.5	フリー・ランニング・タイマとしての動作	...	161
6.4.6	PPG出力としての動作	...	171
6.4.7	ワンショット・パルス出力としての動作	...	175
6.4.8	パルス幅測定としての動作	...	180
6.5	TM00の特殊な使用方法	...	189
6.5.1	CR010のTM00動作中の書き換え	...	189
6.5.2	LVS00, LVR00の設定について	...	189
6.6	16ビット・タイマ/イベント・カウンタ00の注意事項	...	191
第7章	8ビット・タイマ/イベント・カウンタ50, 51	...	195
7.1	8ビット・タイマ/イベント・カウンタ50, 51の機能	...	195
7.2	8ビット・タイマ/イベント・カウンタ50, 51の構成	...	195
7.3	8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ	...	198
7.4	8ビット・タイマ/イベント・カウンタ50, 51の動作	...	203
7.4.1	インターバル・タイマとしての動作	...	203
7.4.2	外部イベント・カウンタとしての動作	...	206
7.4.3	方形波出力としての動作	...	207
7.4.4	PWM出力としての動作	...	208
7.5	8ビット・タイマ/イベント・カウンタ50, 51の注意事項	...	212
第8章	8ビット・タイマH0, H1	...	213
8.1	8ビット・タイマH0, H1の機能	...	213
8.2	8ビット・タイマH0, H1の構成	...	213
8.3	8ビット・タイマH0, H1を制御するレジスタ	...	217
8.4	8ビット・タイマH0, H1の動作	...	222
8.4.1	インターバル・タイマ/方形波出力としての動作	...	222
8.4.2	PWM出力としての動作	...	226
8.4.3	キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ)	...	232
第9章	ウォッチドッグ・タイマ	...	239
9.1	ウォッチドッグ・タイマの機能	...	239
9.2	ウォッチドッグ・タイマの構成	...	239
9.3	ウォッチドッグ・タイマを制御するレジスタ	...	241
9.4	ウォッチドッグ・タイマの動作	...	242
9.4.1	ウォッチドッグ・タイマの動作制御	...	242
9.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	...	243

第10章 シリアル・インタフェースUART6 ... 246

- 10.1 シリアル・インタフェースUART6の機能 ... 246
- 10.2 シリアル・インタフェースUART6の構成 ... 247
- 10.3 シリアル・インタフェースUART6を制御するレジスタ ... 250
- 10.4 シリアル・インタフェースUART6の動作 ... 259
 - 10.4.1 動作停止モード ... 259
 - 10.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 260
 - 10.4.3 専用ボー・レート・ジェネレータ ... 271
 - 10.4.4 ボー・レートの算出 ... 272

第11章 割り込み機能 ... 278

- 11.1 割り込み機能の種類 ... 278
- 11.2 割り込み要因と構成 ... 278
- 11.3 割り込み機能を制御するレジスタ ... 282
- 11.4 割り込み処理動作 ... 288
 - 11.4.1 マスカブル割り込み要求の受け付け動作 ... 288
 - 11.4.2 ソフトウェア割り込み要求の受け付け動作 ... 291
 - 11.4.3 多重割り込み処理 ... 291
 - 11.4.4 割り込み要求の保留 ... 294

第12章 キー割り込み機能 ... 295

- 12.1 キー割り込みの機能 ... 295
- 12.2 キー割り込みの構成 ... 295
- 12.3 キー割り込みを制御するレジスタ ... 296

第13章 スタンバイ機能 ... 298

- 13.1 スタンバイ機能と構成 ... 298
 - 13.1.1 スタンバイ機能 ... 298
 - 13.1.2 スタンバイ機能を制御するレジスタ ... 298
- 13.2 スタンバイ機能の動作 ... 301
 - 13.2.1 HALTモード ... 301
 - 13.2.2 STOPモード ... 303

第14章 リセット機能 ... 308

- 14.1 リセット要因を確認するレジスタ ... 314

第15章 パワーオン・クリア回路 ... 315

- 15.1 パワーオン・クリア回路の機能 ... 315
- 15.2 パワーオン・クリア回路の構成 ... 316
- 15.3 パワーオン・クリア回路の動作 ... 316
- 15.4 パワーオン・クリア回路の注意事項 ... 318

第16章 低電圧検出回路 ... 320

- 16.1 低電圧検出回路の機能 ... 320
- 16.2 低電圧検出回路の構成 ... 320
- 16.3 低電圧検出回路を制御するレジスタ ... 321
- 16.4 低電圧検出回路の動作 ... 324
 - 16.4.1 リセットとして使用時の設定 ... 325
 - 16.4.2 割り込みとして使用時の設定 ... 329
- 16.5 低電圧検出回路の注意事項 ... 333
- 16.6 RAM保持検出回路 ... 336

第17章 オプション・バイト ... 337

- 17.1 オプション・バイトの機能 ... 337
- 17.2 オプション・バイトのフォーマット ... 337

第18章 フラッシュ・メモリ ... 340

- 18.1 メモリ・サイズ切り替えレジスタ ... 340
- 18.2 フラッシュ・メモリ・プログラマによる書き込み方法 ... 341
- 18.3 プログラミング環境 ... 343
- 18.4 通信方式 ... 343
- 18.5 オンボード上の端子処理 ... 344
 - 18.5.1 FLMD0端子 ... 344
 - 18.5.2 シリアル・インタフェース端子 ... 345
 - 18.5.3 $\overline{\text{RESET}}$ 端子 ... 346
 - 18.5.4 ポート端子 ... 347
 - 18.5.5 REGC端子 ... 347
 - 18.5.6 その他の信号端子 ... 347
 - 18.5.7 電 源 ... 347
- 18.6 プログラミング方法 ... 348
 - 18.6.1 フラッシュ・メモリ制御 ... 348
 - 18.6.2 フラッシュ・メモリ・プログラミング・モード ... 348
 - 18.6.3 通信方式の選択 ... 349
 - 18.6.4 通信コマンド ... 349
- 18.7 セキュリティ設定 ... 350
- 18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 353

第19章 オンチップ・デバッグ機能 ... 356

- 19.1 QB-MINI2との接続 ... 356
- 19.2 QB-MINI2が使用する予約領域 ... 358

第20章 命令セットの概要 ... 359

- 20.1 凡 例 ... 360
 - 20.1.1 オペランドの表現形式と記述方法 ... 360
 - 20.1.2 オペレーション欄の説明 ... 361
 - 20.1.3 フラグ動作欄の説明 ... 361

- 20.2 オペレーション一覧 ... 362
- 20.3 アドレッシング別命令一覧 ... 370

第21章 電気的特性 ... 374

第22章 外形図 ... 385

付録A 開発ツール ... 387

- A.1 ソフトウェア・パッケージ ... 390
- A.2 言語処理用ソフトウェア ... 390
- A.3 制御ソフトウェア ... 391
- A.4 フラッシュ・メモリ書き込み用ツール ... 392
 - A.4.1 フラッシュ・メモリ・プログラマ PG-FP4, FL-PR4, PG-FP5, FL-PR5を使用する場合 ... 392
 - A.4.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合 ... 392
- A.5 ディバグ用ツール(ハードウェア) ... 393
 - A.5.1 インサーキット・エミュレータ QB-179F124を使用する場合 ... 393
 - A.5.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合 ... 394
- A.6 ディバグ用ツール(ソフトウェア) ... 394

付録B 改版履歴 ... 395

- B.1 本版で改訂された主な箇所... 395
- B.2 前版までの改版履歴 ... 397

第1章 概 説

1.1 特 徴

高速 (1 μ s : $V_{DD} = 1.8 \sim 3.6$ V, 高速システム・クロック2 MHzまたは4 MHz動作時,

0.5 μ s : $V_{DD} = 2.0 \sim 3.6$ V, 高速システム・クロック4 MHz動作時)

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)		データ・メモリ
				内部高速RAM ^注
μ PD179F110	フラッシュ・メモリ ^注	4 Kバイト	512バイト	
μ PD179F111		8 Kバイト		
μ PD179F112, 179F122		16 Kバイト	768バイト	
μ PD179F113, 179F123		24 Kバイト	1 Kバイト	
μ PD179F114, 179F124		32 Kバイト		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量が変更可能です。IMSについては, 18.1 **メモリ・サイズ切り替えレジスタ**を参照してください。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵

オンチップ・ディバグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

キー割り込み機能内蔵

I/Oポート

30ピン製品 (μ PD179F11xマイクロコントローラ) : 26本 (N-chオープン・ドレイン / CMOS : 24本,
P-chオープン・ドレイン^{注1} / CMOS : 1本)

38ピン製品 (μ PD179F12xマイクロコントローラ) : 34本 (N-chオープン・ドレイン / CMOS : 32本,
P-chオープン・ドレイン^{注1} / CMOS : 1本)

タイマ : 6チャンネル

- ・16ビット・タイマ / イベント・カウンタ : 1チャンネル
- ・8ビット・タイマ / イベント・カウンタ : 2チャンネル
- ・8ビット・タイマ : 2チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース : 1チャンネル

- ・UART : 1チャンネル

電源電圧 : $V_{DD} = 1.8 \sim 3.6$ V^{注2}

動作周囲温度 : $T_A = -40 \sim +85$

注1. リモコン信号出力端子として使用可能

2. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が 1.8 V \pm 0.1 V のため, $1.9 \sim 3.6$ V の電圧範囲で使用してください。

1.2 応用分野

プリセット・リモコンなど

1.3 オーダ情報

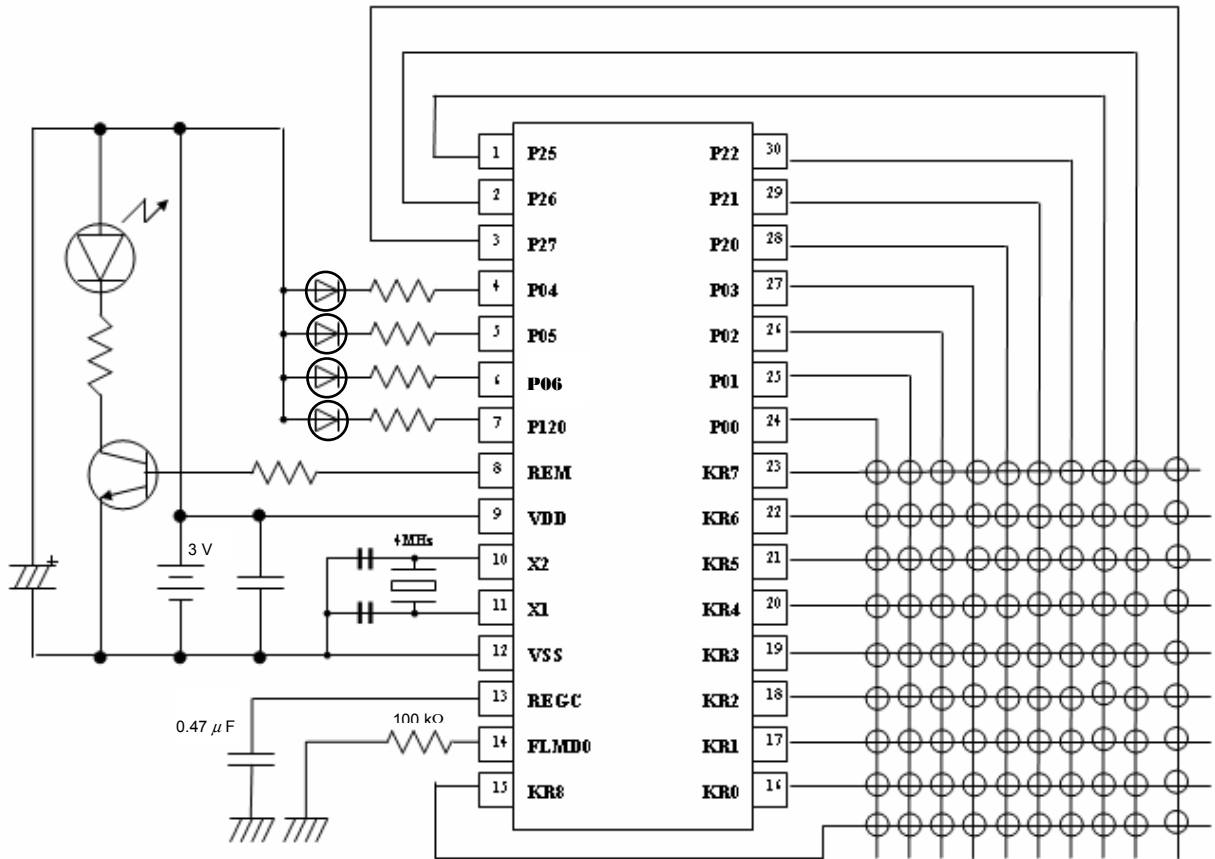
・フラッシュ・メモリ製品

オーダ名称	パッケージ	品質水準
μPD179F110MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm (300))	標準 (一般電子機器用)
μPD179F111MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F112MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F113MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F114MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F122MC-GAA-AX	38ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F123MC-GAA-AX	38ピン・プラスチックSSOP (7.62 mm (300))	"
μPD179F124MC-GAA-AX	38ピン・プラスチックSSOP (7.62 mm (300))	"

備考 オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

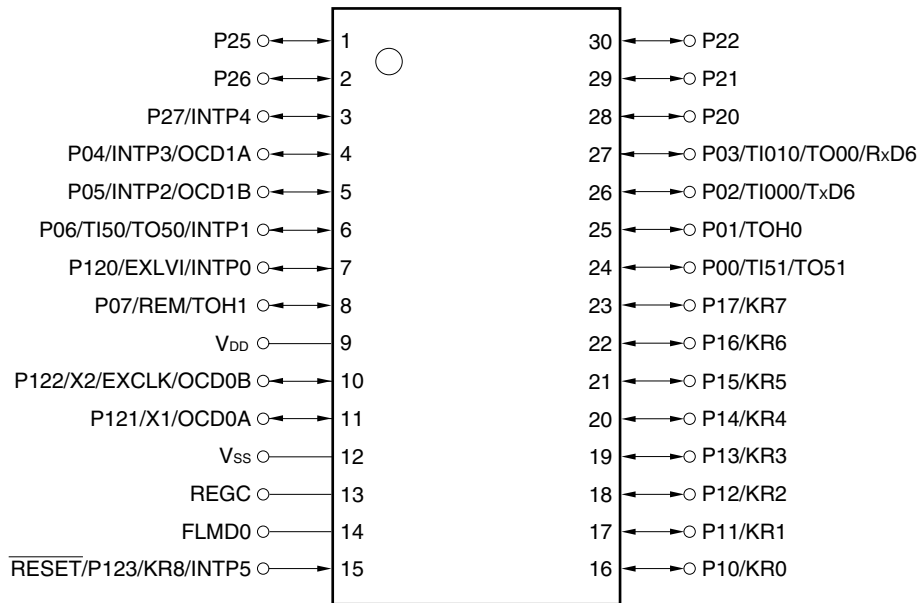
1.4 応用回路例

次の図にキー・マトリクス9×10=90キーの例を示します。P04-P06，P120を使用すれば最大126キーまで構成できます（ μ PD179F11xマイクロコントローラの場合）。



1.5 端子接続図 (Top View)

・ 30ピン・プラスチックSSOP (7.62 mm (300))

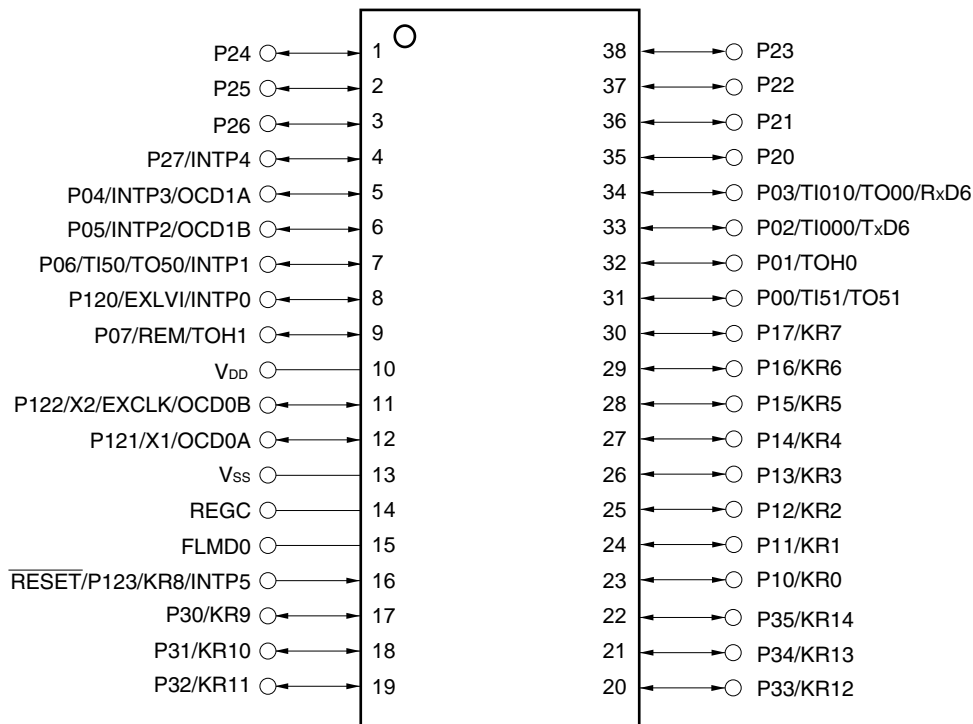


注意 REGCはコンデンサ (0.47 μ F : 推奨) を介し, V_{SS} に接続してください。

端子名称

EXCLK	: External Clock Input (Main System Clock)	TO00, TO50, TO51, TOH0, TOH1	: Timer Output
EXLVI	: External potential Input for Low-voltage detector	TxD6	: Transmit Data
FLMD0	: Flash Programming Mode	V_{DD}	: Power Supply
INTP0-INTP5	: External Interrupt Input	V_{SS}	: Ground
KR0-KR8	: Key Return	X1, X2	: Crystal Oscillator (Main System Clock)
OCD0A, OCD0B, OCD1A, OCD1B	: On Chip Debug Input/Output		
P00-P07	: Port 0		
P10-P17	: Port 1		
P20-P22, P25-P27	: Port 2		
P120-P123	: Port 12		
REGC	: Regulator Capacitance		
REM	: Remote Control Output		
\overline{RESET}	: Reset		
RxD6	: Receive Data		
TI000, TI010, TI50, TI51	: Timer Input		

・ 38ピン・プラスチックSSOP (7.62 mm (300))



注意 REGCはコンデンサ (0.47 μ F : 推奨) を介し , V_{SS}に接続してください。

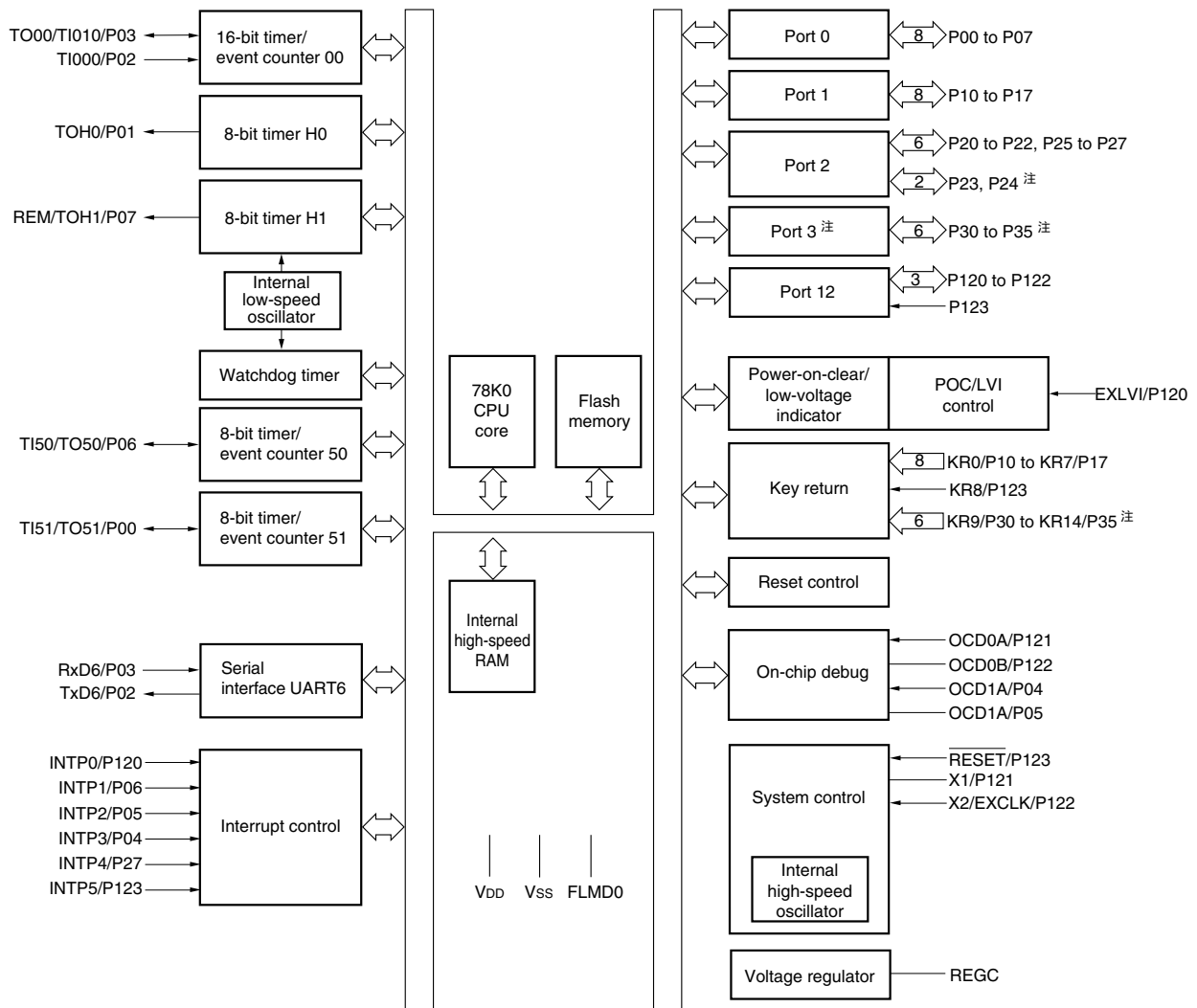
端子名称

EXCLK	: External Clock Input (Main System Clock)	TI000, TI010, TI50, TI51	: Timer Input
EXLVI	: External potential Input for Low-voltage detector	TO00, TO50, TO51, TOH0, TOH1	: Timer Output
FLMD0	: Flash Programming Mode	TxD6	: Transmit Data
INTP0-INTP5	: External Interrupt Input	V _{DD}	: Power Supply
KR0-KR14	: Key Return	V _{SS}	: Ground
OCD0A, OCD0B, OCD1A, OCD1B	: On Chip Debug Input/Output	X1, X2	: Crystal Oscillator (Main System Clock)
P00-P07	: Port 0		
P10-P17	: Port 1		
P20-P27	: Port 2		
P30-P35	: Port 3		
P120-P123	: Port 12		
REGC	: Regulator Capacitance		
REM	: Remote Control Output		
RESET	: Reset		
RxD6	: Receive Data		

1.6 μ PD179F11x, 179F12xマイクロコントローラの製品展開

ROM	RAM	30ピン	38ピン
32 KB	1 KB	μ PD179F114	μ PD179F124
24 KB		μ PD179F113	μ PD179F123
16 KB	768 B	μ PD179F112	μ PD179F122
8 KB	512 B	μ PD179F111	-
4 KB		μ PD179F110	-

1.7 ブロック図



注 38ピン製品のみ。

1.8 機能概要

(1/2)

項 目	μ PD179F110	μ PD179F111	μ PD179F112	μ PD179F113	μ PD179F114	μ PD179F122	μ PD179F123	μ PD179F124	
内部メモリ	フラッシュ・メモリ (セルフ・プログラミン グ対応) ^注	4 Kバイト	8 Kバイト	16 Kバイト	24 Kバイト	32 Kバイト	16 Kバイト	24 Kバイト	32 Kバイト
	高速RAM ^注	512バイト		768バイト	1 Kバイト		768バイト	1 Kバイト	
メモリ空間	64 Kバイト								
メイン・システム・クロック	高速システム・クロック	X1 (水晶 / セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK)							
	高速内蔵発振 (発振周波数)	4 MHz : $V_{DD} = 1.8 \sim 3.6$ V							
低速内蔵発振クロック (WDT用)	内蔵発振	内蔵発振							
	振クロック	4 MHz $\pm 2\%$: $V_{DD} = 1.8 \sim 3.6$ V							
汎用レジスタ	8ビット \times 32レジスタ (8ビット \times 8レジスタ \times 4バンク)								
最小命令実行時間	1 μ s ($V_{DD} = 1.8$ V \sim 3.6 V, 高速システム・クロック : $f_{XH} = 2$ MHzまたは4 MHz動作時) 0.5 μ s ($V_{DD} = 2.0$ V \sim 3.6 V, 高速システム・クロック : $f_{XH} = 2$ MHzまたは4 MHz動作時)								
命令セット	<ul style="list-style-type: none"> ・ 8ビット演算, 16ビット演算 ・ 乗除算 (8ビット \times 8ビット, 16ビット \div 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 								
I/Oポート	合計	: 26本 (30ピン製品)					34本 (38ピン製品)		
	N-chオープン・ドレイン出力 / CMOS入出力	: 24本					32本		
	P-chオープン・ドレイン出力 / CMOS入出力	: 1本					1本		
	CMOS入力	: 1本					1本		
タイマ	・ 16ビット・タイマ / イベント・カウンタ	: 1チャンネル							
	・ 8ビット・タイマ / イベント・カウンタ	: 2チャンネル							
タイマ出力	・ 8ビット・タイマ	: 2チャンネル							
	・ ウォッチドッグ・タイマ	: 1チャンネル							
シリアル・インタフェース	UART : 1チャンネル								
ベクタ割り込み要因	内部	10							
	外部	8							
キー割り込み	キー入力端子 (KR0-KR8) の立ち下がりエッジ検出により, キー割り込み発生					キー入力端子 (KR0-KR14) の立ち下がりエッジ検出により, キー割り込み発生			
リセット	<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット 								
オンチップ・ディバグ機能	あり								

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

項 目	μPD179F110	μPD179F111	μPD179F112	μPD179F113	μPD179F114	μPD179F122	μPD179F123	μPD179F124
電源電圧	V _{DD} = 1.8 ~ 3.6 V							
動作周囲温度	T _A = - 40 ~ + 85							
パッケージ	30ピン・プラスチックSSOP (7.62 mm (300))					38ピン・プラスチックSSOP(7.62 mm (300))		

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00	8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0, H1		ウォッチドッグ・タイマ
		TM00	TM50	TM51	TMH0	TMH1	
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	-	-	-
	PWM出力	-	-	-	1出力	1出力	-
	パルス幅測定	2入力	-	-	-	-	-
	方形波出力	1出力	1出力	1出力	-	-	-
	キャリア・ジェネレータ	-	-	注	-	1出力 ^注	-
	ウォッチドッグ・タイマ	-	-	-	-	-	1チャンネル
割り込み要因		2	1	1	1	1	-

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

第2章 端子機能

2.1 端子機能一覧

(1) ポート機能

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 P00-P06は1ビット単位でCMOS入出力/N-chオープン・ドレイン出力の指定可能。 P07はCMOS入出力/P-chオープン・ドレイン出力の指定可能。 また、P-chオープン・ドレイン出力に指定することでリモコン用キャリア・ジェネレータ出力として使用可能。	入力ポート	TI51/TO51
P01				TOH0
P02				TI000/TxD6
P03				TI010/TO00/RxD6
P04				INTP3/OCD1A
P05				INTP2/OCD1B
P06				TI50/TO50/INTP1
P07				REM/TOH1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力/N-chオープン・ドレイン出力の指定可能。	入力ポート	KR0-KR7
P20-P22	入出力	ポート2。 38ピン製品：8ビット入出力ポート 30ピン製品：6ビット入出力ポート 1ビット単位で入力/出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力/N-chオープン・ドレイン出力の指定可能。	入力ポート	-
P23 [※] , P24 [※]				-
P25, P26				-
P27				INTP4
P30-P35 [※]	入出力	ポート3 [※] 。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力/N-chオープン・ドレイン出力の指定可能。	入力ポート	KR9-KR14 [※]
P120	入出力	ポート12。 3ビット入出力ポートおよび1ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120, P123のみ内蔵プルアップ抵抗を使用可能。 P120-P122は1ビット単位でCMOS入出力/N-chオープン・ドレイン出力の指定可能。	入力ポート	EXLVI/INTP0
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				RESET/KR8/INTP5

注 38ピン製品のみ。

(2) ポート以外の機能

機能名称	入出力	機能	リセット時	兼用機能
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P06/TI50/TO50
INTP2				P05/OCD1B
INTP3				P04/OCD1A
INTP4				P27
INTP5				P123/RESET/KR8
KR0-KR7	入力	キー割り込み入力	入力ポート	P10-P17
KR8				P123/RESET/INTP5
KR9-KR15 [‡]				P30-P35 [‡]
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ（0.47 μ F：推奨）を介し、V _{SS} に接続してください。	-	-
REM	出力	リモコン出力	入力ポート	P07/TOH1
RESET	入力	システム・リセット入力。	入力ポート	P123/KR8/INTP5
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P03/TI010/TO00
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・ク ロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ（CR000, CR010）へのキャプチャ・トリガ入力	入力ポート	P02/TxD6
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ（CR000）へのキャプチャ・トリガ入力	入力ポート	P03/TO00/RxD6
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・ク ロック入力	入力ポート	P06/TO50/INTP1
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・ク ロック入力		P00/TO51
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P03/TI010/RxD6
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P06/TI50/INTP1
TO51		8ビット・タイマ/イベント・カウンタ51出力		P00/TI51
TOH0	出力	8ビット・タイマH0出力	入力ポート	P01
TOH1		8ビット・タイマH1出力		P07/REM
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P02/TI000
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-		入力ポート	P122/EXCLK/OCD0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCD1A				P04/INTP3
OCD0B	-			P122/X2/EXCLK
OCD1B				P05/INTP2

注 38ピン製品のみ。

2.2 端子機能の説明

2.2.1 P00-P07 (Port 0)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力, シリアル・インタフェースのデータ入出力, 外部割り込み要求入力, リモコン出力, オンチップ・ディバグ・モード引き込み用接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により, 内蔵プルアップ抵抗を使用できます。

P00-P06は, ポート出力モード・レジスタ (POM0) の設定により, 1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

P07は, ポート出力モード・レジスタ (POM0) の設定により, CMOS入出力 / P-chオープン・ドレイン出力の指定が可能です。P-chオープン・ドレイン出力に指定することでリモコン用キャリア・ジェネレータ出力として使用が可能です。

(2) コントロール・モード

タイマの入出力, シリアル・インタフェースのデータ入出力, 外部割り込み要求入力, リモコン出力, オンチップ・ディバグ・モード引き込み用接続として機能します。

(a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

(d) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(e) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(f) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(g) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

(h) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(i) INTP1-INTP3

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(j) REM

リモコン信号出力端子です。

(k) OCD1A, OCD1B

オンチップ・ディバグ・モード引き込み用接続端子です。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに，キー割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により，内蔵プルアップ抵抗を使用できます。ポート・モード出力レジスタ (POM1) の設定により，1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

(2) コントロール・モード

(a) KR0-KR7

キー割り込み入力端子として機能します。

2.2.3 P20-P27 (Port 2)

30ピン製品では，6ビットの入出力ポートです。38ピン製品では，8ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットまたは8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) の設定により，内蔵プルアップ抵抗を使用できます。ポート・モード出力レジスタ (POM2) の設定により，1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

(2) コントロール・モード (P27のみ)**(a) INTP4**

外部割り込み要求入力端子として機能します。

注意 30ピン製品の場合、PM2のビット3, 4には1を、P2, PU2, POM2のビット3, 4には0を必ず設定してください。

備考 P23, P24は38ピン製品のみ。

2.2.4 P30-P35 (Port 3) (38ピン製品のみ)

6ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。ポート・モード出力レジスタ (POM3) の設定により、1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

(2) コントロール・モード**(a) KR9-KR14**

キー割り込み入力端子として機能します。

注意 30ピン製品の場合、PM3のビット0-5には1を、P3, PU3, POM3のビット0-5には0を必ず設定してください。

2.2.5 P120-P123 (Port 12)

P120-P122は3ビットの入出力ポートです。P123は入力専用ポートです。入出力ポートのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、システム・リセット入力、キー割り込み入力、オンチップ・デバッグ・モード引き込み用接続機能があります。

なお、P123/ $\overline{\text{RESET}}$ /INTP5/KR8端子をP123, INTP5, KR8として使用する場合は、リセット端子モード・レジスタ (RSTMASK) のビット3 (RSTM) に1を設定してください。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートおよび1ビットの入力ポートとして機能します。P120-P122は、ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、P120, P123のみ内蔵プルアップ抵抗を使用できます。P120-P122は、ポート・モード出力レジスタ (POM12) の設定により、1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，システム・リセット入力，キー割り込み入力，オンチップ・ディバグ・モード引き込み用接続として機能します。

(a) INTP0, INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力（INTP0, INTP5）として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) KR8

キー割り込み入力端子です。

(f) $\overline{\text{RESET}}$

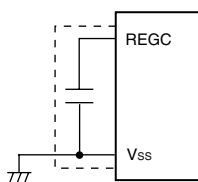
ロウ・レベル・アクティブのシステム・リセット入力端子です。

(g) OCD0A, OCD0B

オンチップ・ディバグ・モード引き込み用接続端子です。

2.2.6 REGC

内部動作レギュレータ出力（2.0 V）安定容量接続端子です。コンデンサ（0.47 μF ：推奨）を介し， V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.7 VDD

正電源供給端子です。

2.2.8 Vss

グランド電位端子です。

2.2.9 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。オンボード・プログラミングまたはセルフ・プログラミングを実行する場合、FLMD端子を100 kΩでプルダウンしてください。

通常動作モード時には、FLMD0をV_{ss}レベルで使用してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 1に示します。


また、各タイプの入出力回路の構成は、2 - 1を参照してください。

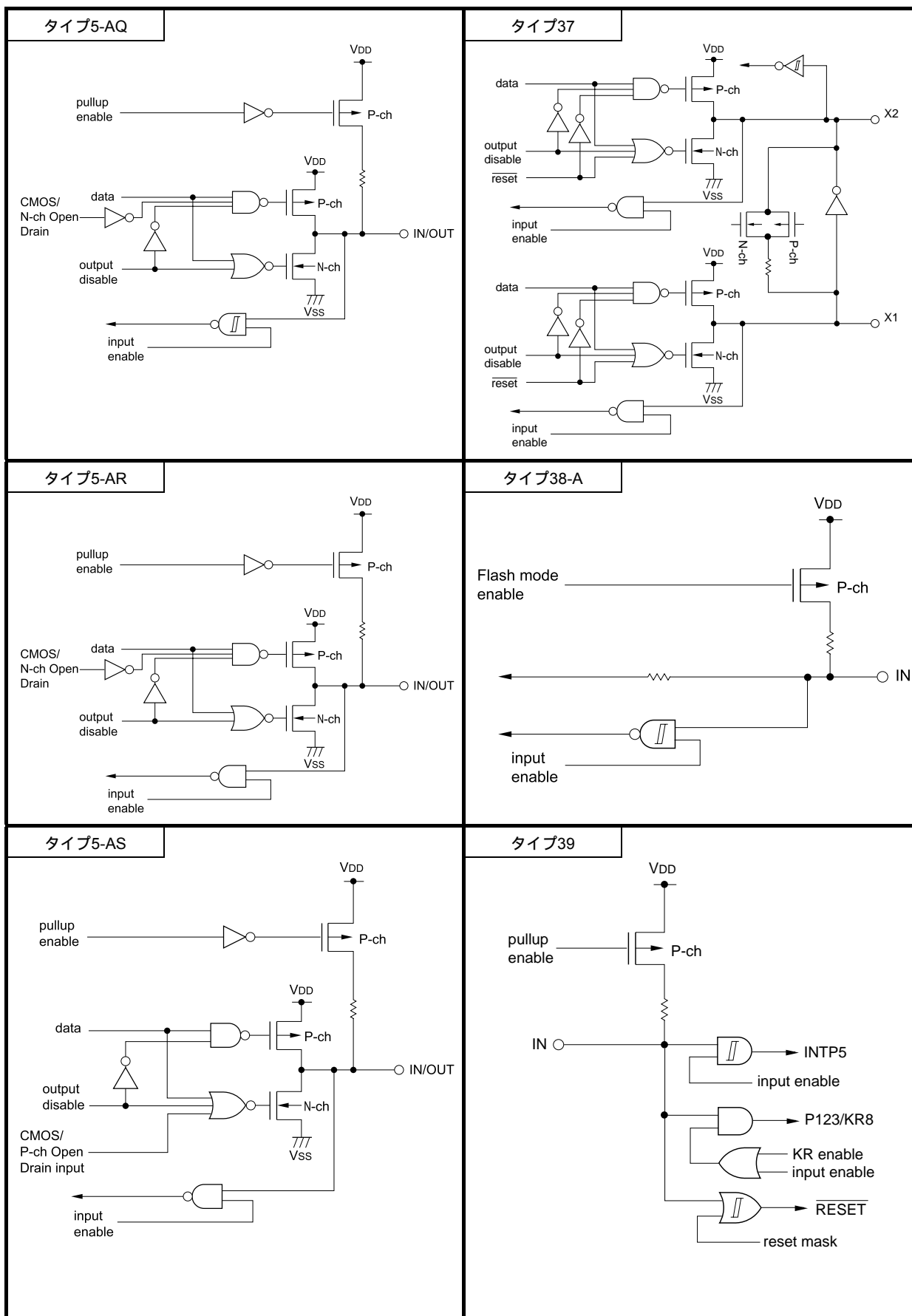
表2 - 1 各端子の入出力回路タイプ

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/TI51/TO51	5-AQ	入出力	入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。	
P01/TOH0	5-AR			
P02/TI000/TxD6	5-AQ			
P03/TI010/TO00/RxD6				
P04/INTP3/OCD1A				
P05/INTP2/OCD1B				
P06/TI50/TO50/INTP1				
P07/REM/TOH1				5-AS
P10/KR0	5-AR			
P11/KR1				
P12/KR2				
P13/KR3				
P14/KR4				
P15/KR5				
P16/KR6				
P17/KR7				
P20				
P21				
P22				
P23 ^{注1}				
P24 ^{注1}				5-AQ
P25				
P26				
P27/INTP4				
P30/KR9 ^{注1}	5-AR			
P31/KR10 ^{注1}				
P32/KR11 ^{注1}				
P33/KR12 ^{注1}				
P34/KR13 ^{注1}				
P35/KR14 ^{注1}				
P120/EXLVI/INTP0	5-AQ			
P121/X1/OCD0A	37	入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。		
P122/X2/EXCLK/OCD0B				
P123/RESET/KR8/INTP5	39	入力	V_{DD} に直接接続または抵抗を介して接続してください。	
FLMD0	38-A	-	V_{SS} に接続してください。 ^{注2}	

注1. P23, P24, P30-P35は，38ピン製品のみ。

2. FLMD0は，フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は，抵抗（100 k Ω ：推奨）を介して， V_{SS} に接続してください。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

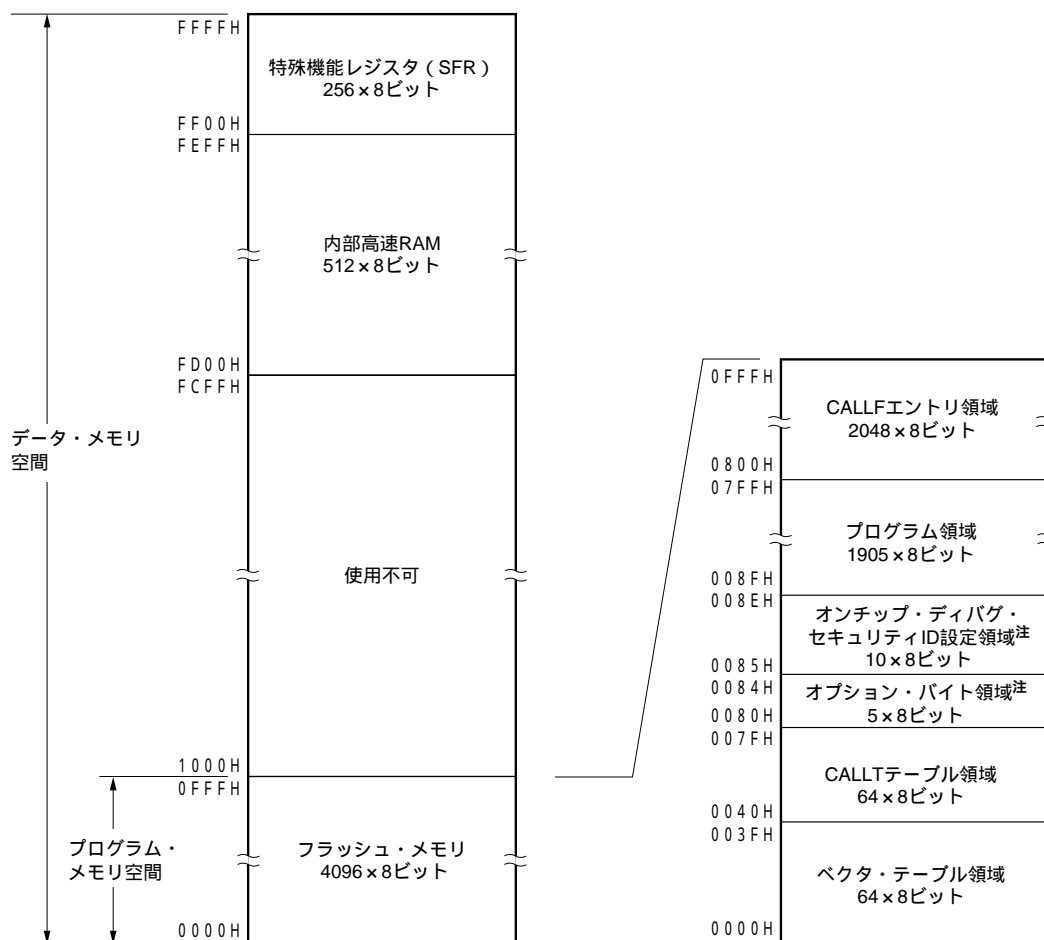
μ PD179F11x, 179F12xマイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 5にメモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) のリセット解除後の初期値は内部メモリ容量にかかわらず、 μ PD179F11x, 179F12xマイクロコントローラすべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

フラッシュ・メモリ製品 (μ PD179F11x, 179F12xマイクロコントローラ)	IMS	ROM 容量	内部高速 RAM容量
μ PD179F110	41H	4 Kバイト	512バイト
μ PD179F111	42H	8 Kバイト	
μ PD179F112, 179F122	04H	16 Kバイト	768バイト
μ PD179F113, 179F123	C6H	24 Kバイト	1 Kバイト
μ PD179F114, 179F124	C8H	32 Kバイト	

図3-1 メモリ・マップ (μ PD179F110)

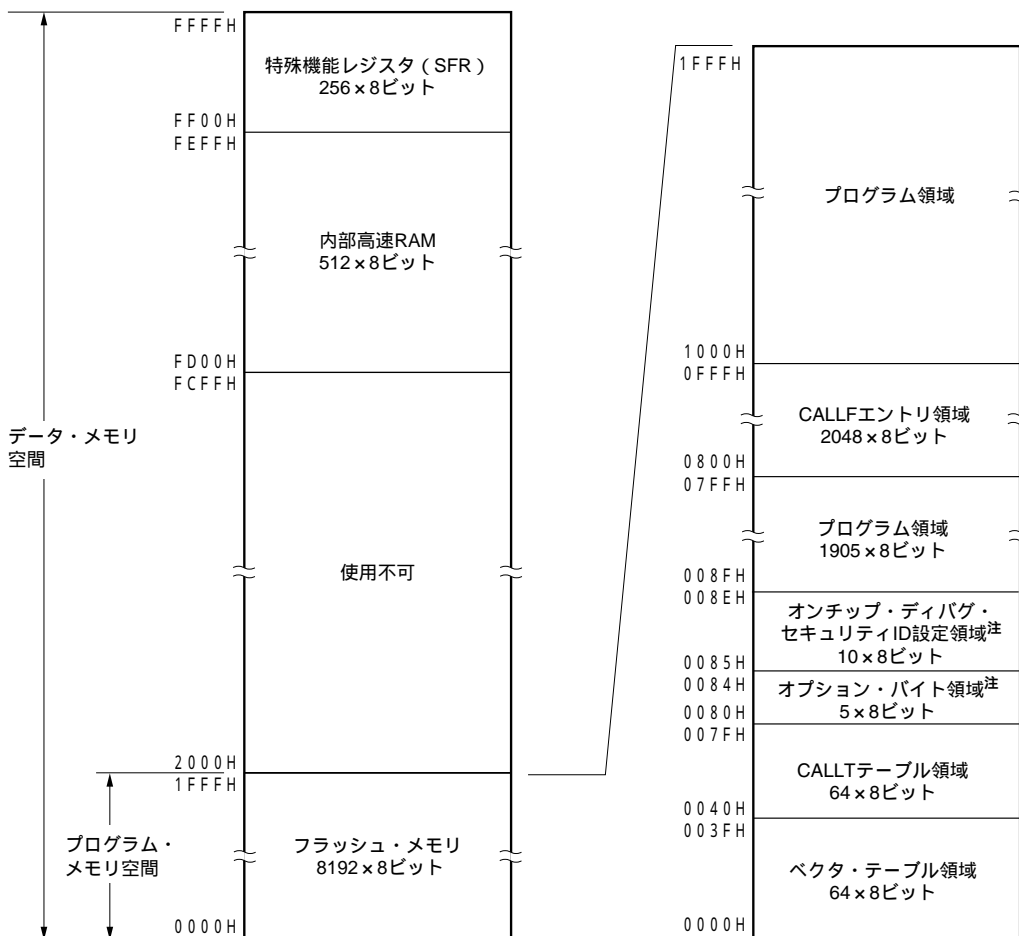


注 0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・ディバグ・セキュリティIDを設定

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

0FFFH	ブロック03H	1 Kバイト
0C00H		
0BFFH	ブロック02H	
0800H		
07FFH	ブロック01H	
0400H		
03FFH	ブロック00H	
0000H		

図3-2 メモリ・マップ (μ PD179F111)



注 0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・ディバグ・セキュリティIDを設定

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

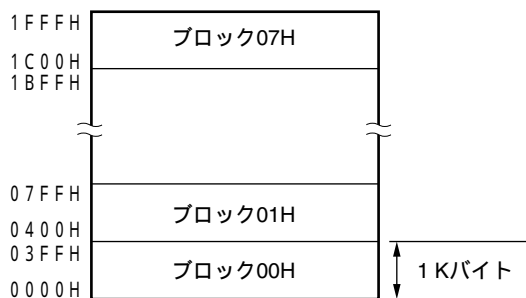
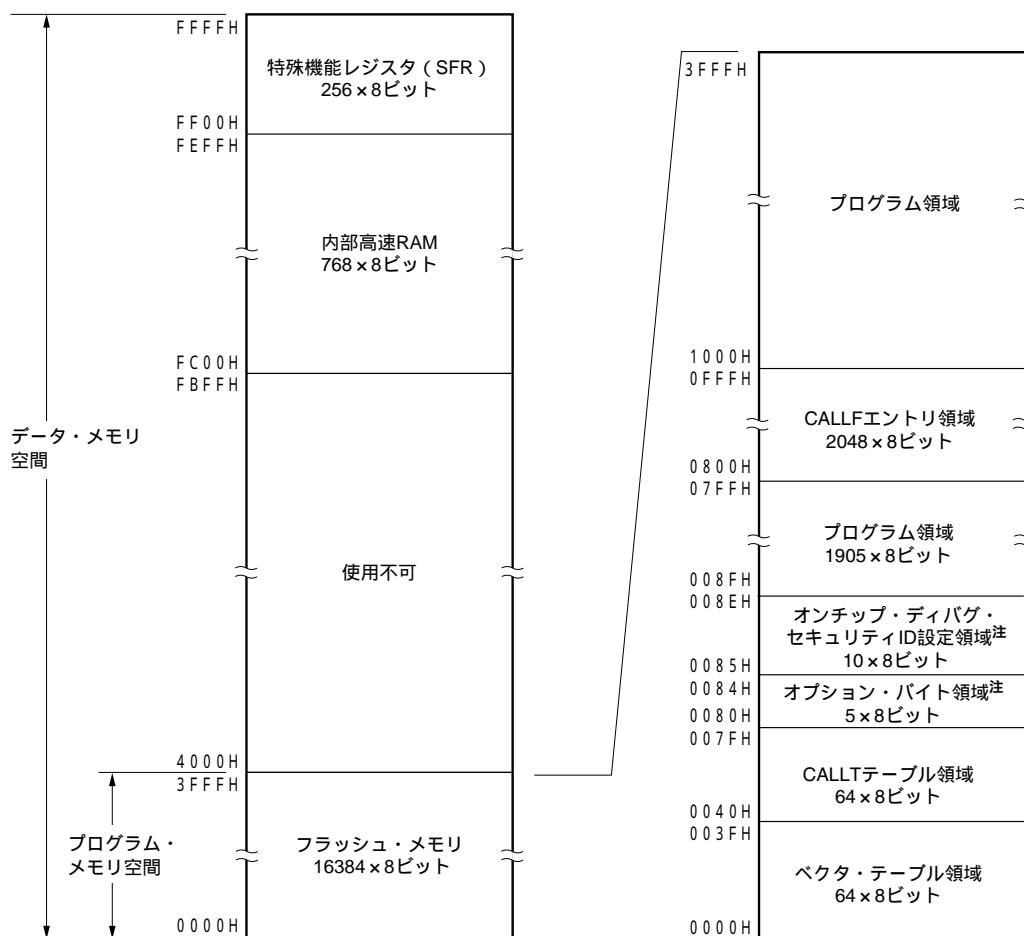


図3-3 メモリ・マップ (μ PD179F112, 179F122)



注 0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・ディバグ・セキュリティIDを設定

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

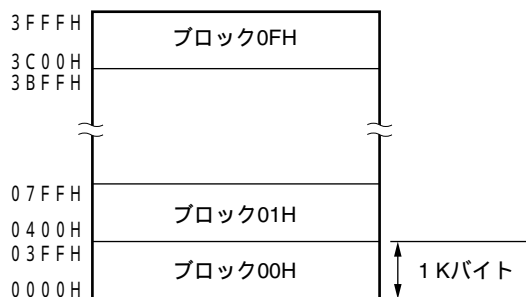
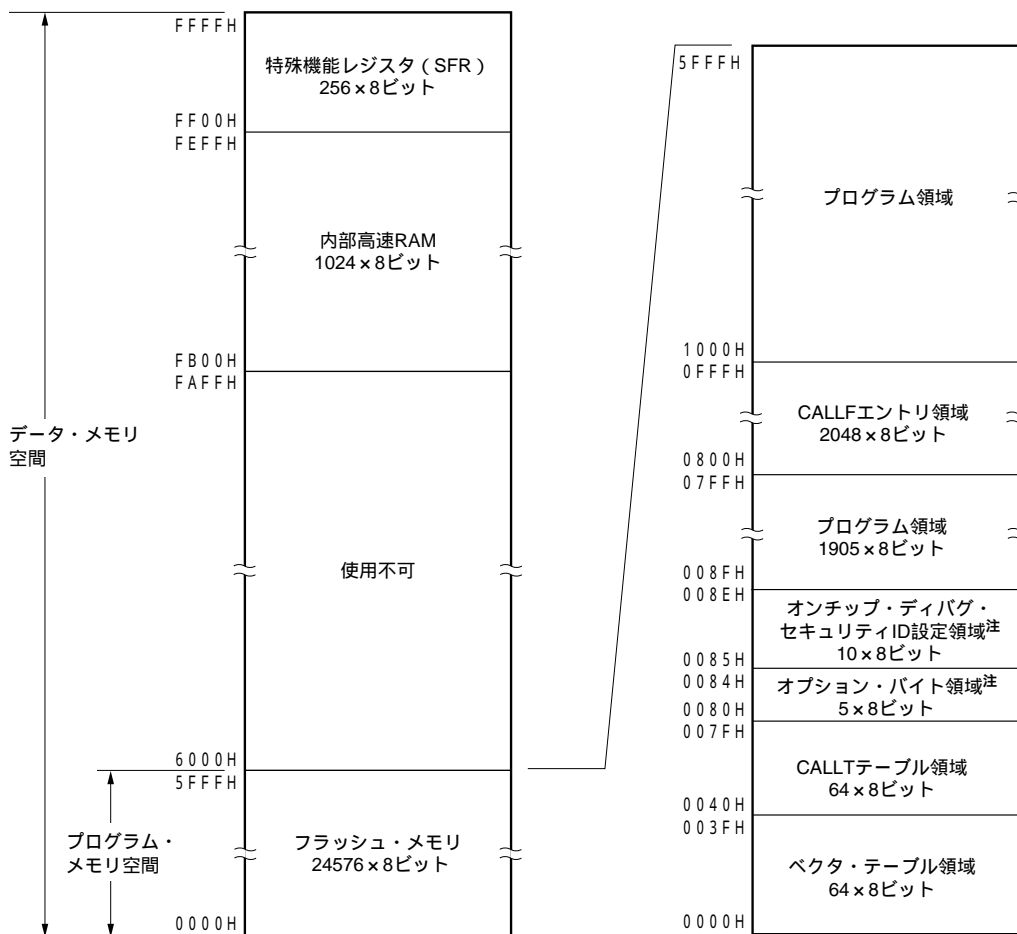


図3-4 メモリ・マップ (μPD179F113, 179F123)

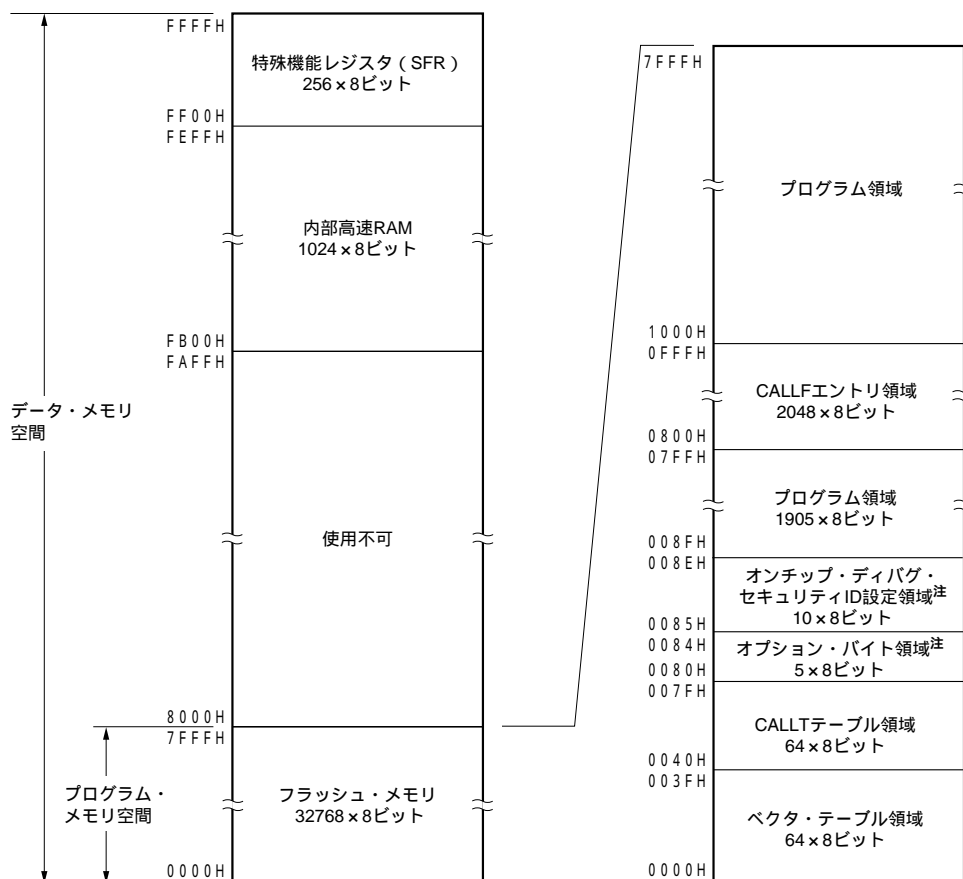


注 0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・ディバグ・セキュリティIDを設定

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

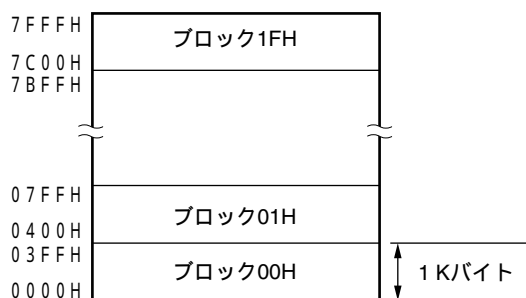


図3-5 メモリ・マップ (μ PD179F114, 179F124)



注 0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・ディバグ・セキュリティIDを設定

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H
0400H-07FFH	01H	4400H-47FFH	11H
0800H-0BFFH	02H	4800H-4BFFH	12H
0C00H-0FFFH	03H	4C00H-4FFFH	13H
1000H-13FFH	04H	5000H-53FFH	14H
1400H-17FFH	05H	5400H-57FFH	15H
1800H-1BFFH	06H	5800H-5BFFH	16H
1C00H-1FFFH	07H	5C00H-5FFFH	17H
2000H-23FFH	08H	6000H-63FFH	18H
2400H-27FFH	09H	6400H-67FFH	19H
2800H-2BFFH	0AH	6800H-6BFFH	1AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH
3000H-33FFH	0CH	7000H-73FFH	1CH
3400H-37FFH	0DH	7400H-77FFH	1DH
3800H-3BFFH	0EH	7800H-7BFFH	1EH
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH

備考 μ PD179F110 : ブロック番号00H-03H
 μ PD179F111 : ブロック番号00H-07H
 μ PD179F112, 179F122 : ブロック番号00H-0FH
 μ PD179F113, 179F123 : ブロック番号00H-17H
 μ PD179F114, 179F124 : ブロック番号00H-1FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μ PD179F11x, 179F12xマイクロコントローラは、各製品ごとに次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 3 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD179F110	フラッシュ・メモリ	4096 × 8ビット (0000H-0FFFH)
μ PD179F111		8192 × 8ビット (0000H-1FFFH)
μ PD179F112, 179F122		16384 × 8ビット (0000H-3FFFH)
μ PD179F113, 179F123		24576 × 8ビット (0000H-5FFFH)
μ PD179F114, 179F124		32768 × 8ビット (0000H-7FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 4 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, WDT	0016H	INTST6
0004H	INTLVI	001AH	INTTMH1
0006H	INTP0	001CH	INTTMH0
0008H	INTP1	001EH	INTTM50
000AH	INTP2	0020H	INTTM000
000CH	INTP3	0022H	INTTM010
000EH	INTP4	002AH	INTTM51
0010H	INTP5	002CH	INTKR
0012H	INTSRE6	002EH	INTWT
0014H	INTSR6	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084Hの5バイト領域にオプション・バイト領域を用意しています。詳細は第17章 オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・ディバグ・セキュリティID設定領域

0085H-008EHに10バイトのオンチップ・ディバグ・セキュリティIDを設定してください。詳細は第19章 オンチップ・ディバグ機能を参照してください。

3.1.2 内部データ・メモリ空間

μ PD179F11x, 179F12xマイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

表3 - 5 内部高速RAM容量

製 品	内部高速RAM
μ PD179F110	512×8ビット (FD00H-FEFFFH)
μ PD179F111	
μ PD179F112, 179F122	768×8ビット (FC00H-FEFFFH)
μ PD179F113, 179F123	1024×8ビット (FB00H-FEFFFH)
μ PD179F114, 179F124	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、スタック・メモリは内部高速RAMを使用します。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 特殊機能レジスタ（SFR：Special Function Register）の表3 - 6 特殊機能レジスタ一覧参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、μ PD179F11x, 179F12xマイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 6から図3 - 10にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-6 データ・メモリとアドレッシングの対応 (μ PD179F110)

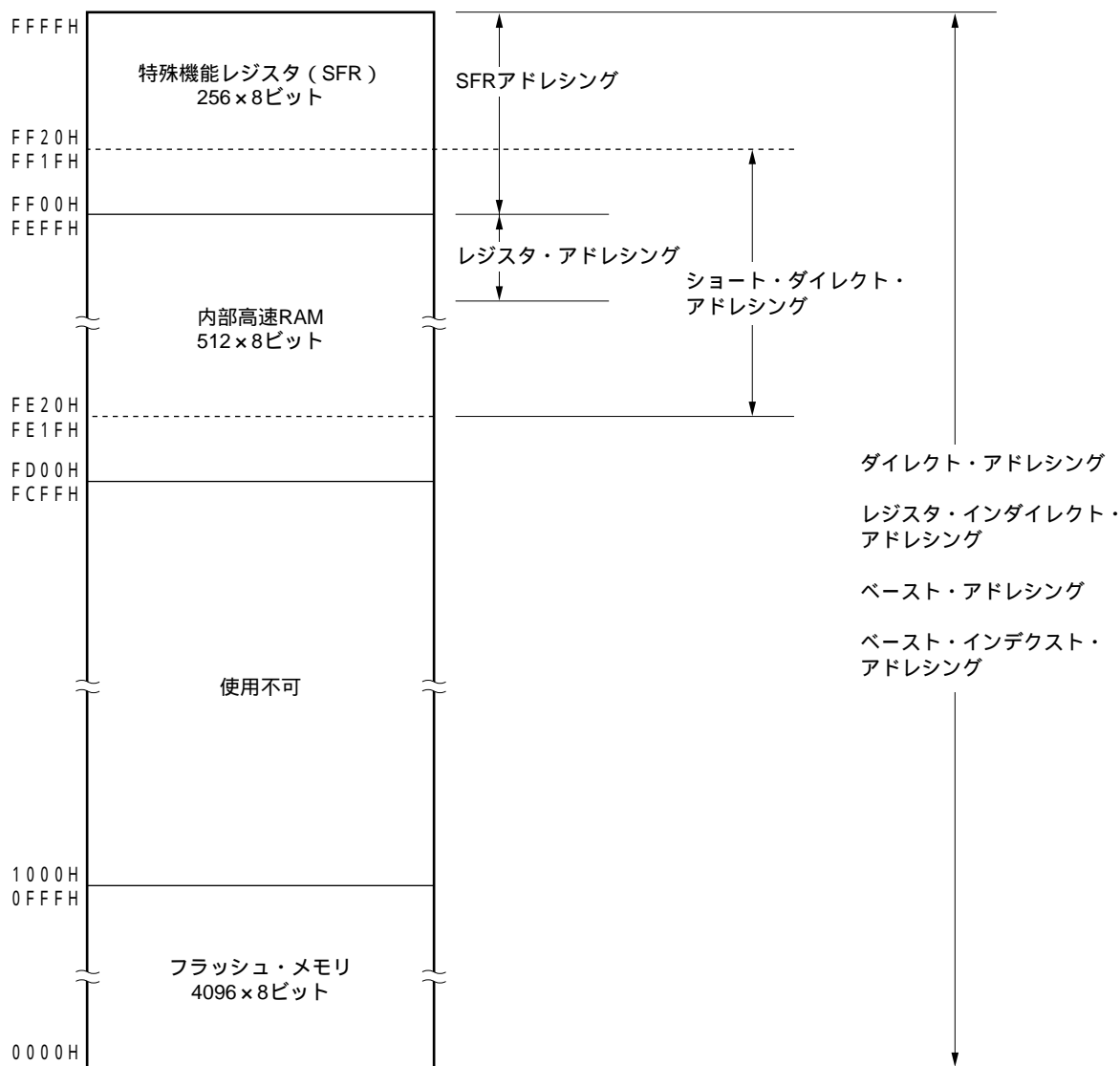


図3-7 データ・メモリとアドレッシングの対応 (μ PD179F111)

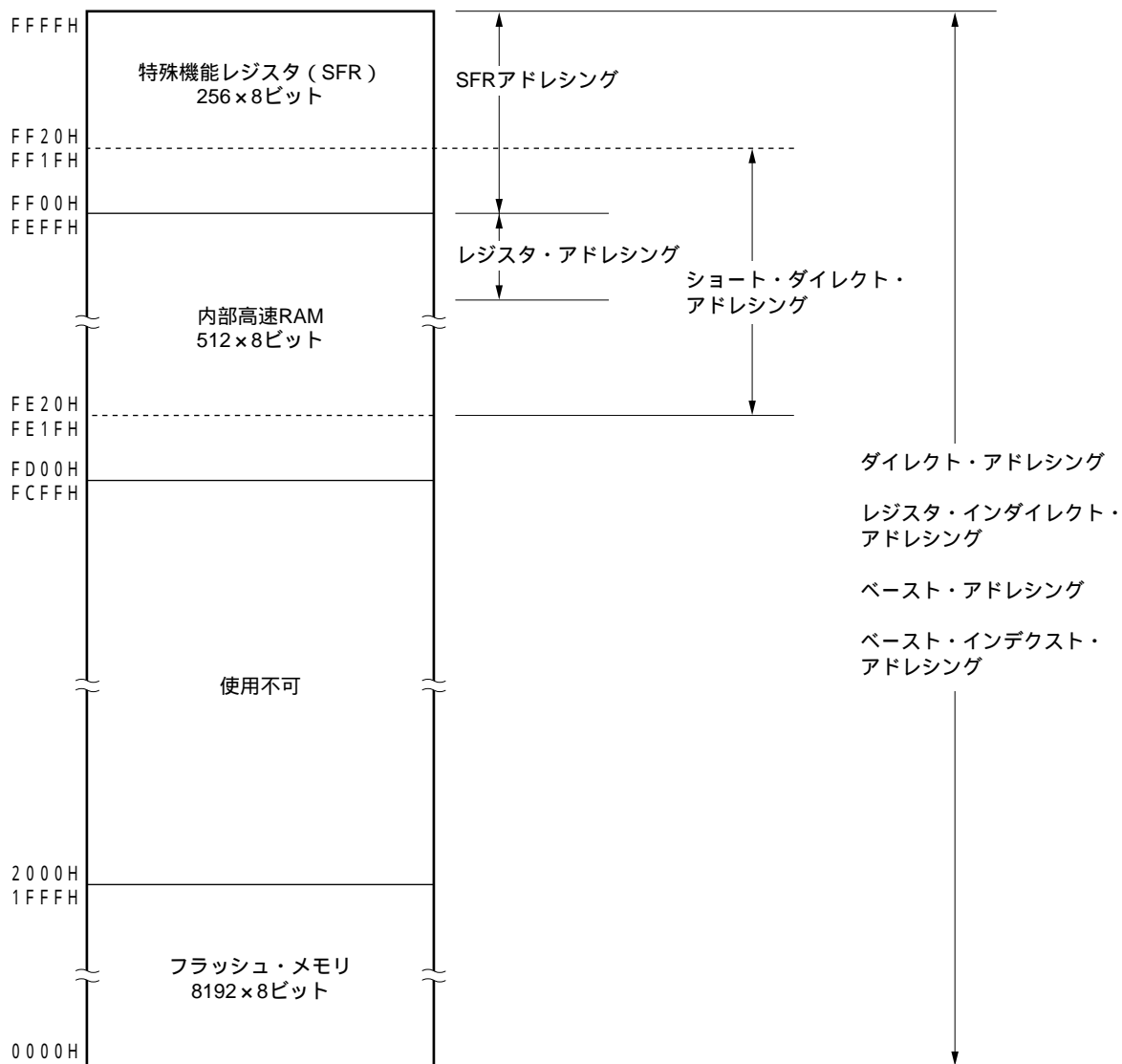


図3-8 データ・メモリとアドレッシングの対応 (μ PD179F112, 179F122)

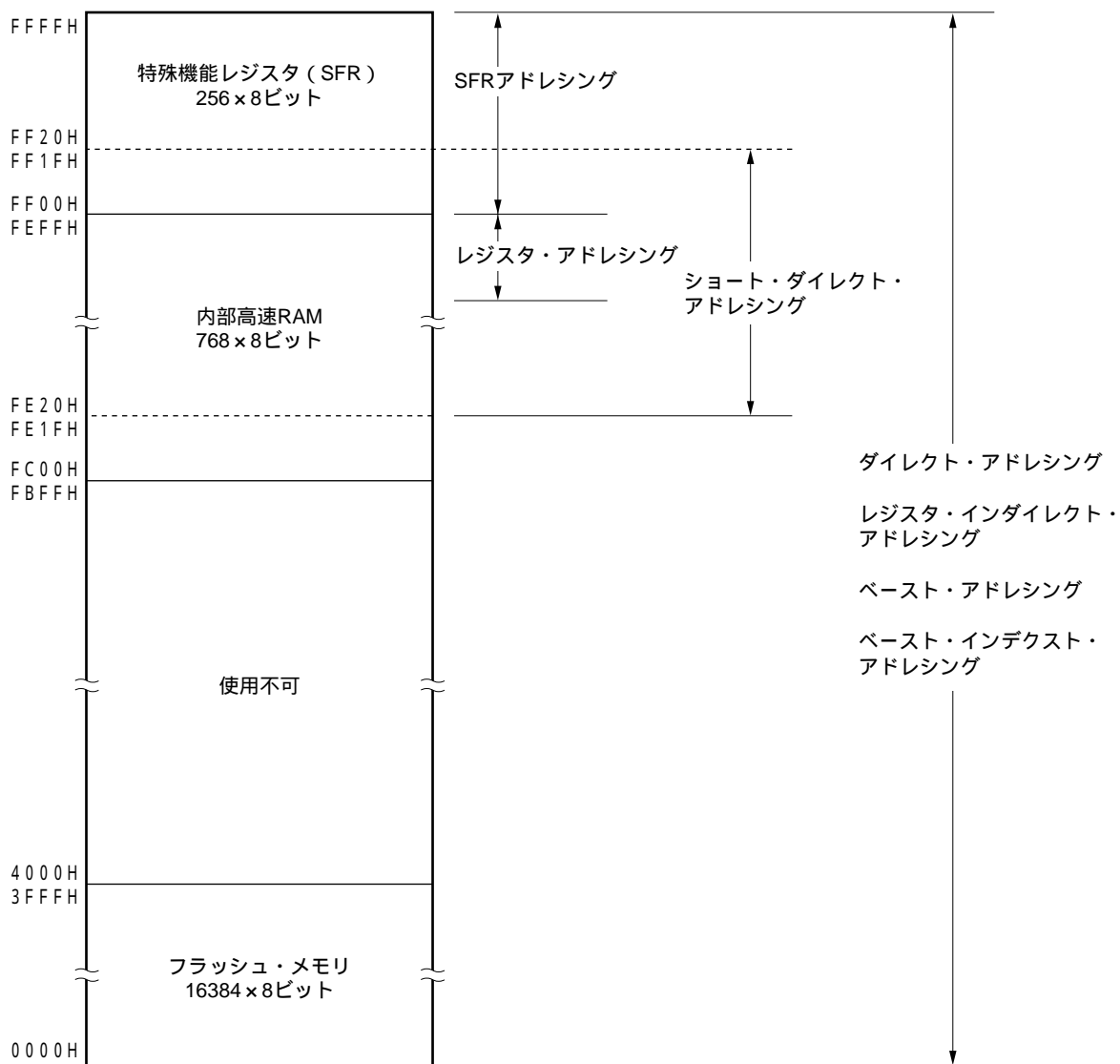


図3-9 データ・メモリとアドレッシングの対応 (μ PD179F113, 179F123)

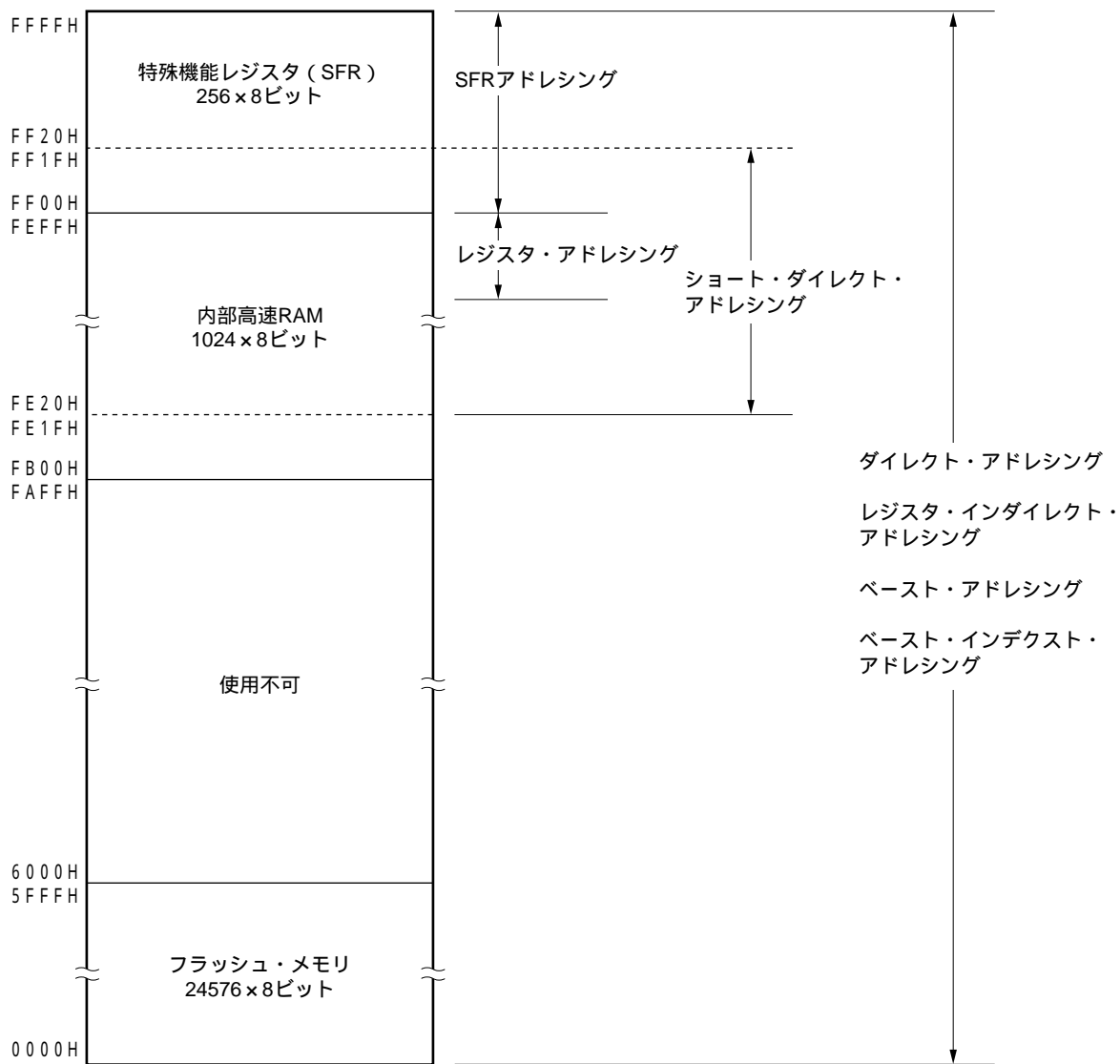
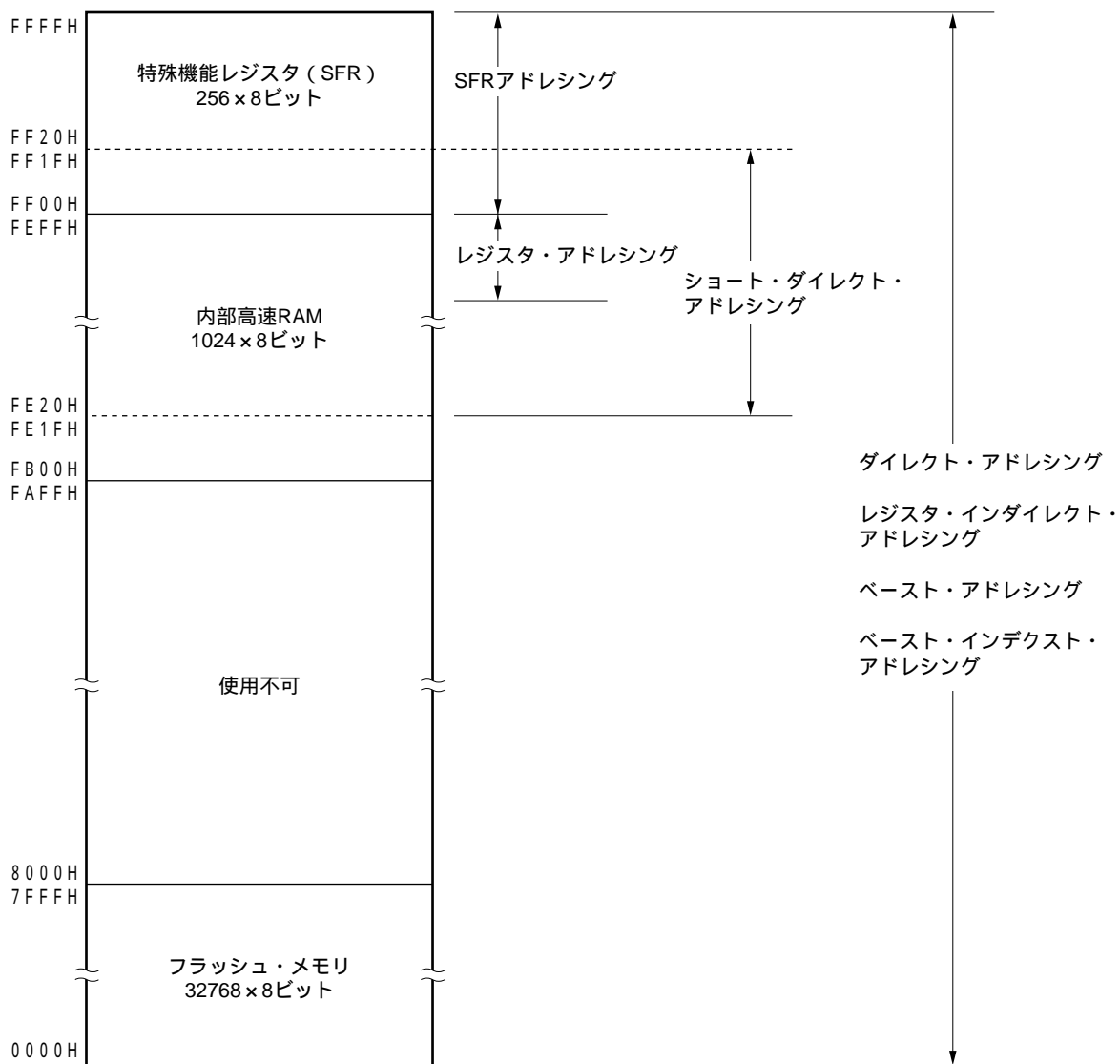


図3 - 10 データ・メモリとアドレッシングの対応 (μ PD179F114, 179F124)



3.2 プロセッサ・レジスタ

μPD179F11x, 179F12xマイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

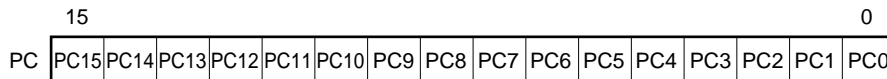
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



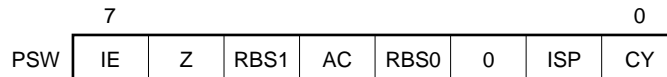
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) (11. 3(3)優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

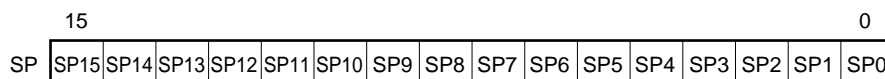
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 13 スタック・ポインタの構成



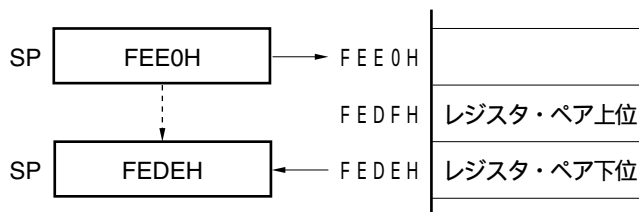
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 14, 3 - 15のようになります。

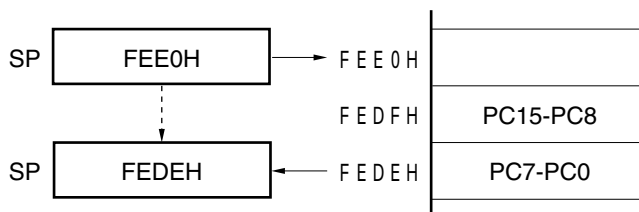
注意 SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

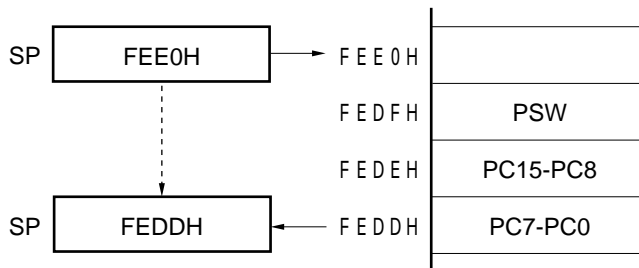
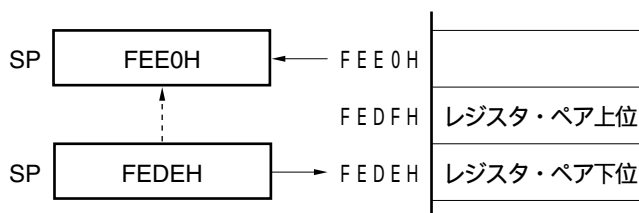
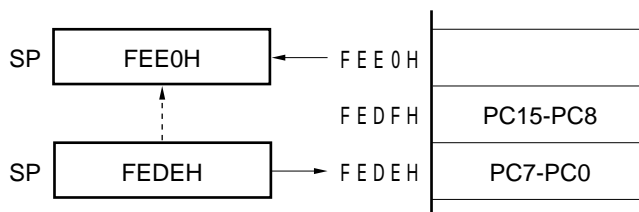


図3 - 15 スタック・メモリから復帰されるデータ

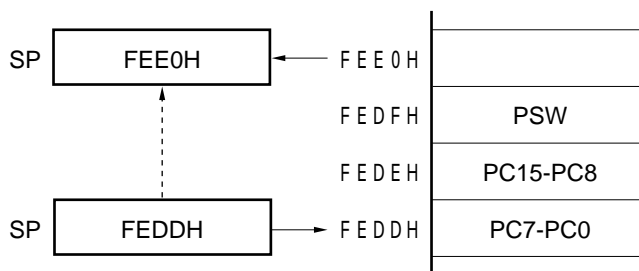
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

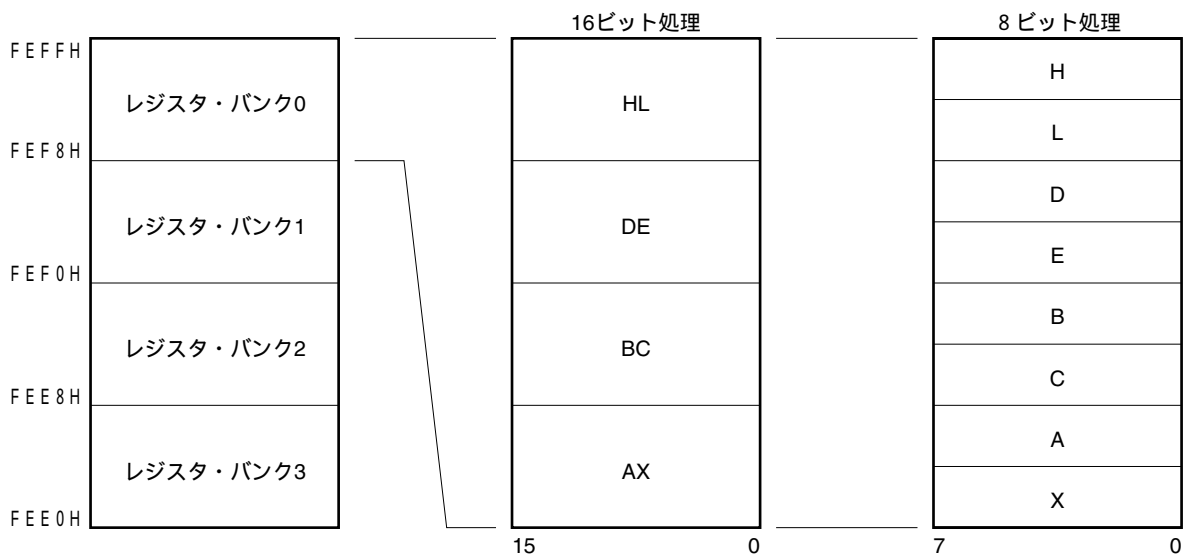
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

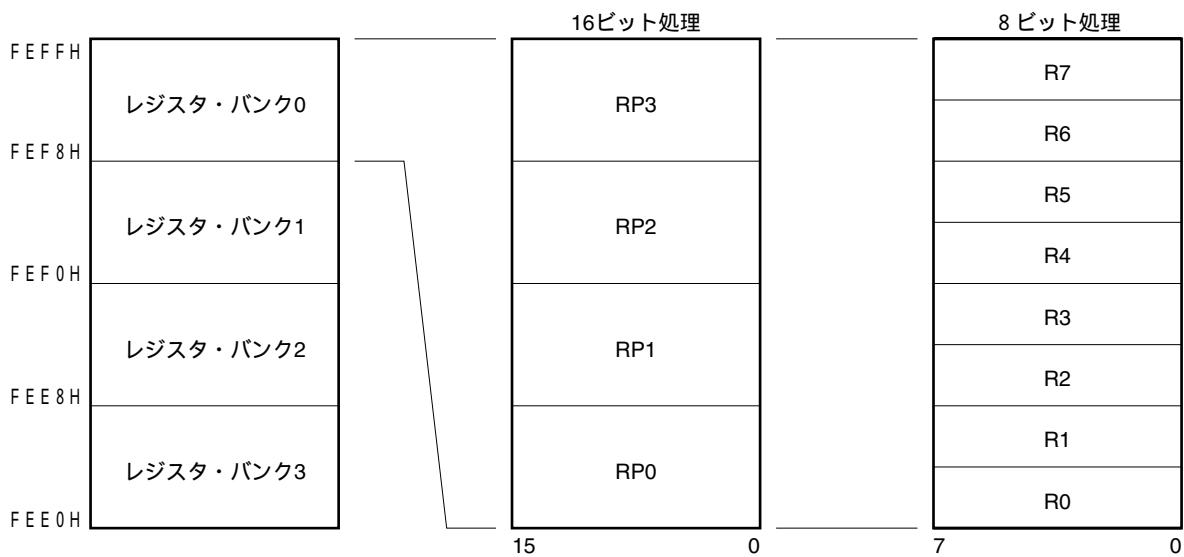
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 16 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0、ID78K0-QBおよびSM+ for 78K0/KX2使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-6 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0	R/W			-	00H
FF01H	ポート・レジスタ1	P1	R/W			-	00H
FF02H	ポート・レジスタ2	P2	R/W			-	00H
FF03H	ポート・レジスタ3	P3	R/W			-	00H
FF0AH	受信バッファ・レジスタ6	RXB6	R	-		-	FFH
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH
FF0CH	ポート・レジスタ12	P12	R/W			-	00H
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H
FF11H							
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H
FF13H							
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H
FF15H							
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-		-	00H
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-		-	00H
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-		-	00H
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH
FF2EH	リセット端子モード・レジスタ	RSTMASK	R/W			-	00H
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
FF32H	ブルアップ抵抗オプション・レジスタ2	PU2	R/W			-	00H
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
FF35H	FLMD0端子ブルアップ/ブルダウン・コントロール・レジスタ	FPCTL	R/W			-	00H
FF37H	FLMD0端子ブルアップ/ブルダウン・イネーブル・レジスタ	FPEN	R/W			-	00H
FF38H	ポート出力モード・レジスタ0	POM0	R/W			-	00H
FF39H	ポート出力モード・レジスタ1	POM1	R/W			-	00H
FF3AH	ポート出力モード・レジスタ2	POM2	R/W			-	00H
FF3BH	ポート出力モード・レジスタ3	POM3	R/W			-	00H
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	08H
FF3EH	ポート出力モード・レジスタ12	POM12	R/W			-	00H
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H

表3-6 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6		R	-		-	00H
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6		R	-		-	00H
FF56H	クロック選択レジスタ6	CKSR6		R/W	-		-	00H
FF57H	ポー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6		R/W	-		-	FFH
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6		R/W			-	16H
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0		R/W			-	00H
FF6AH	タイマ・クロック選択レジスタ50	TCL50		R/W			-	00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W			-	00H
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1		R/W			-	00H
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W			-	00H
FF6EH	キー・リターン・モード・レジスタ0	KRML		R/W			-	00H
FF6FH	キー・リターン・モード・レジスタ1	KRMH		R/W			-	00H
FF8CH	タイマ・クロック選択レジスタ51	TCL51		R/W			-	00H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	-		-	1AH/9AH ^{注1}
FF9FH	クロック動作モード選択レジスタ	OSCCTL		R/W			-	00H
FFA0H	内蔵発振モード・レジスタ	RCM		R/W			-	80H ^{注2}
FFA1H	メイン・クロック・モード・レジスタ	MCM		R/W			-	00H
FFA2H	メインOSCコントロール・レジスタ	MOC		R/W			-	80H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC		R			-	00H
FFA4H	発振安定時間選択レジスタ	OSTS		R/W	-		-	05H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF		R	-		-	00H ^{注3}
FFB0H	RAM保持制御レジスタ	LVDET		R/W			-	不定
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	00H
FFBBH	プリスケラ・モード・レジスタ00	PRM00		R/W			-	00H
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00		R/W			-	00H
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00		R/W			-	00H
FFBEH	低電圧検出レジスタ	LVIM		R/W			-	00H ^{注3}
FFBFH	低電圧検出レベル選択レジスタ	LVIS		R/W			-	00H ^{注3}
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W				00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W				00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W			-	00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W			-	FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

3. RESF, LVIM, LVISのリセット値は、リセット要因により変化します。

表3 - 6 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W			-	FFH
FFF0H	メモリ・サイズ切り替えレジスタ ^注	IMS		R/W	-		-	CFH
FFF9H	高速内蔵発振器トリミング・レジスタ	R4MTRM2		R/W			-	00H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W			-	01H

注 メモリ・サイズ切り替えレジスタ (IMS) のリセット解除後の初期値は内部メモリ容量にかかわらず、
 μPD179F11x, 179F12xマイクロコントローラすべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後、各製品ごとに次に示す値を必ず設定してください。

フラッシュ・メモリ製品 (μPD179F11x, 179F12xマイクロコントローラ)	IMS	ROM 容量	内部高速 RAM容量
μPD179F110	41H	4 Kバイト	512バイト
μPD179F111	42H	8 Kバイト	
μPD179F112, 179F122	04H	16 Kバイト	768バイト
μPD179F113, 179F123	C6H	24 Kバイト	1 Kバイト
μPD179F114, 179F124	C8H	32 Kバイト	

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

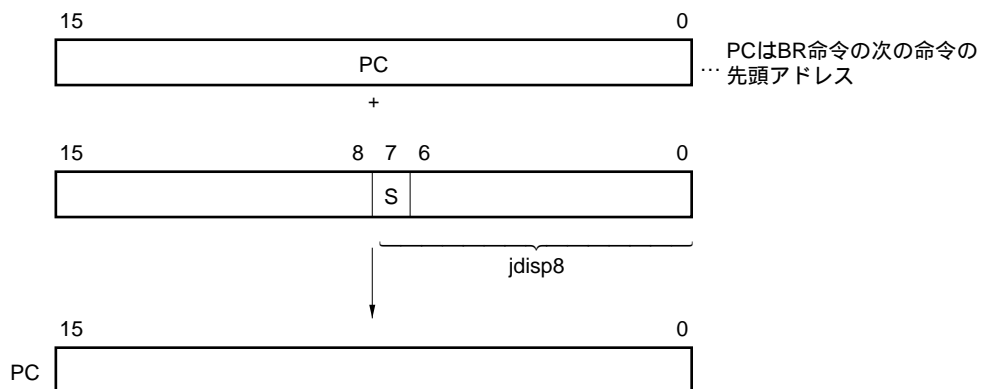
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

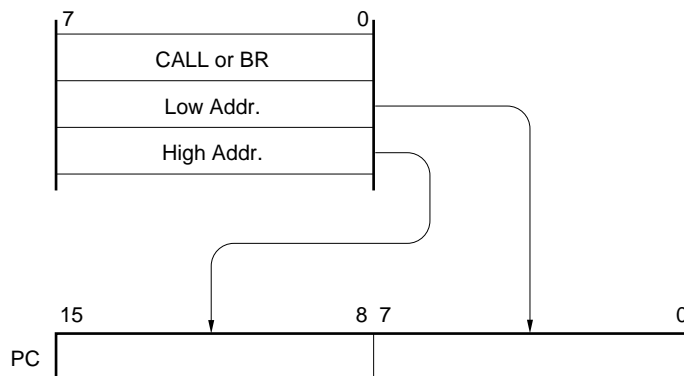
CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全プログラム・メモリ空間に分岐できます。

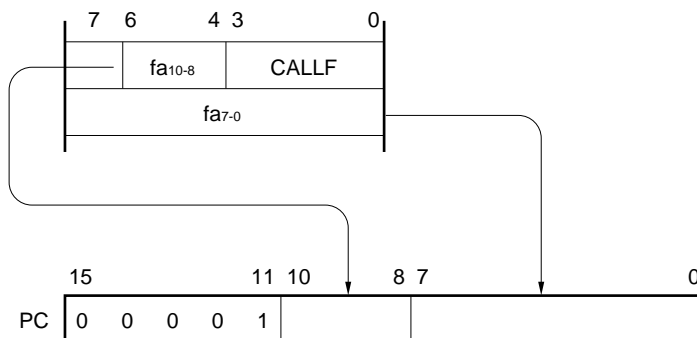
CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



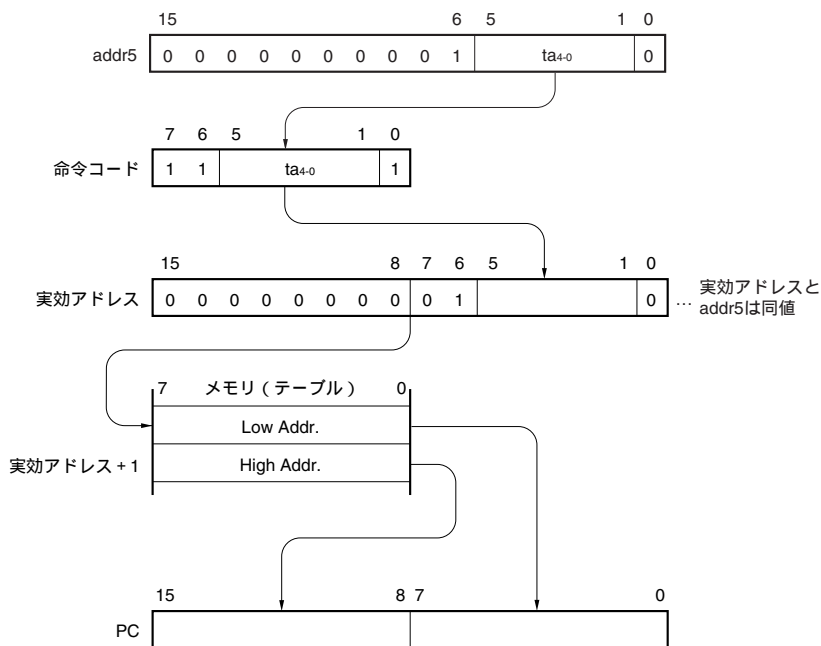
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。

【図解】



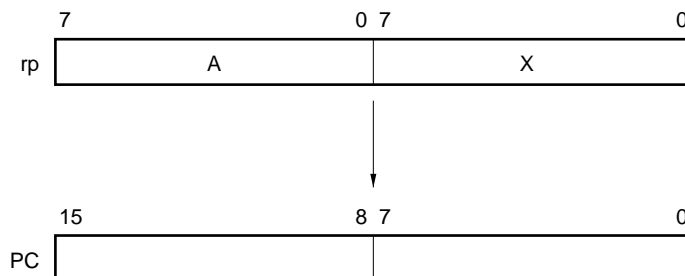
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μ PD179F11x, 179F12xマイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に決定するため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

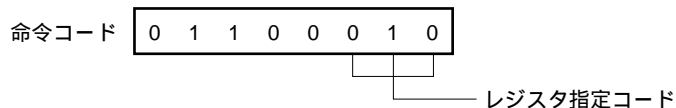
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

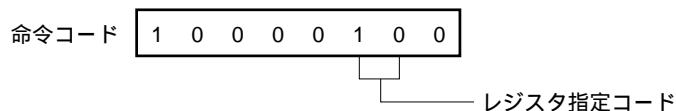
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

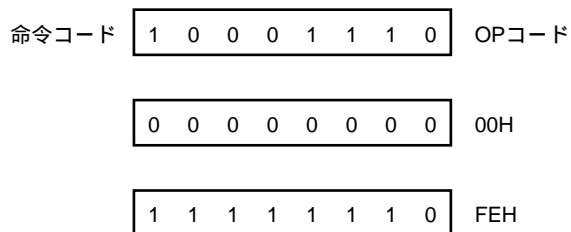
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。
すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

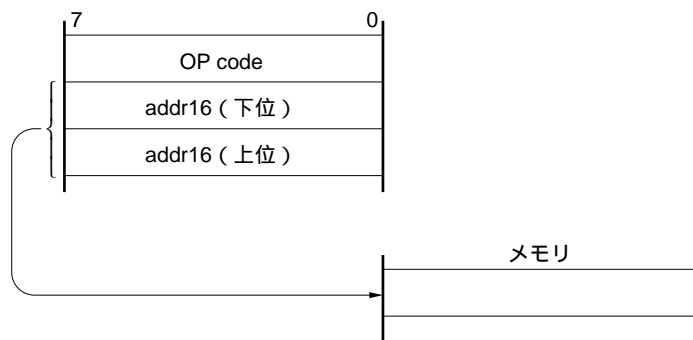
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

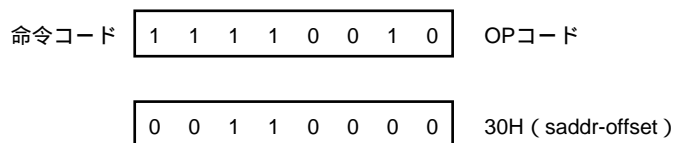
【オペランド形式】

表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	レーベルまたはFE20H-FF1FHを示すイミューディエト・データ（偶数アドレスのみ）

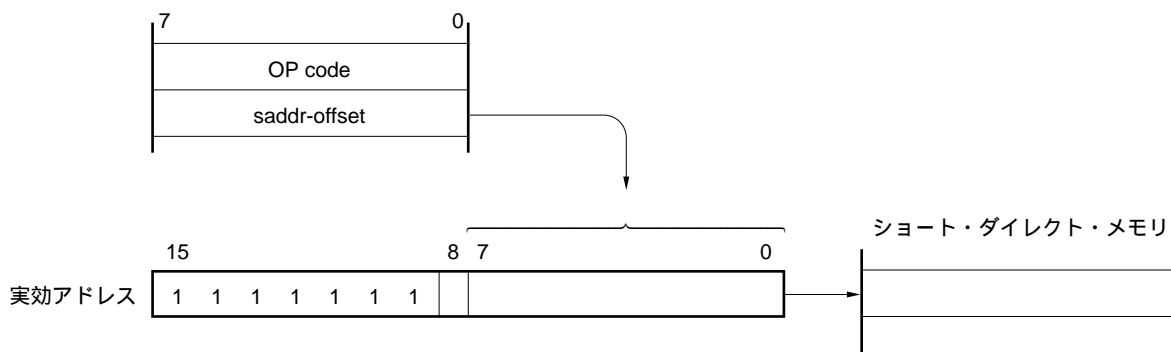
【記述例】

```

LB1 EQU 0FE30H    ; FE30HをLB1で定義
:
MOV LB1, A        ; LB1はsaddr領域のFE30Hを示し、そこにAレジスタの値を転送する場合
    
```



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

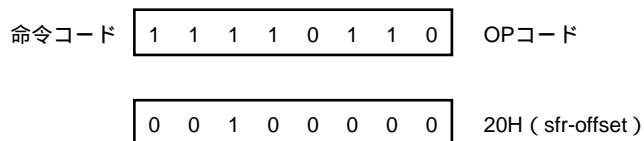
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

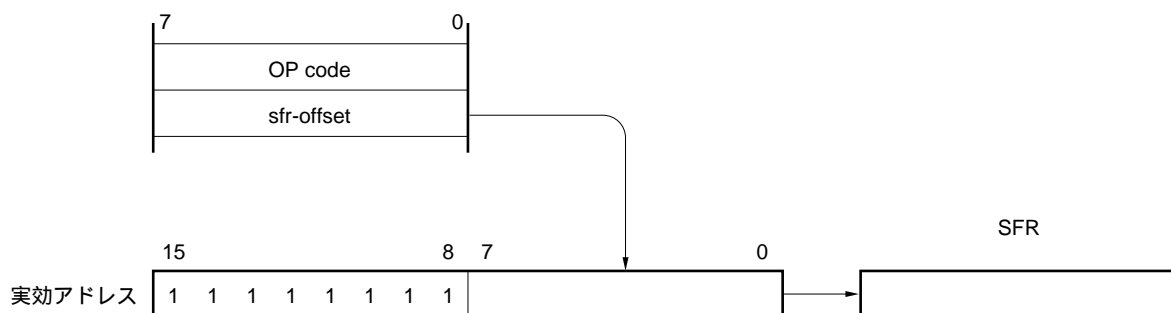
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

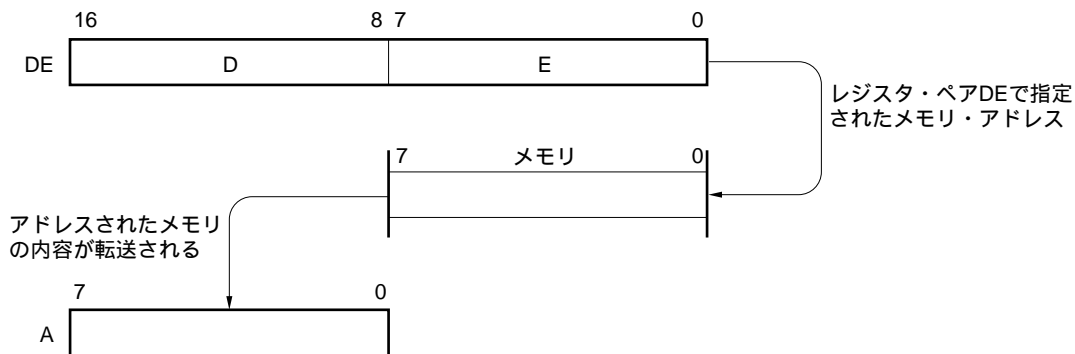
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

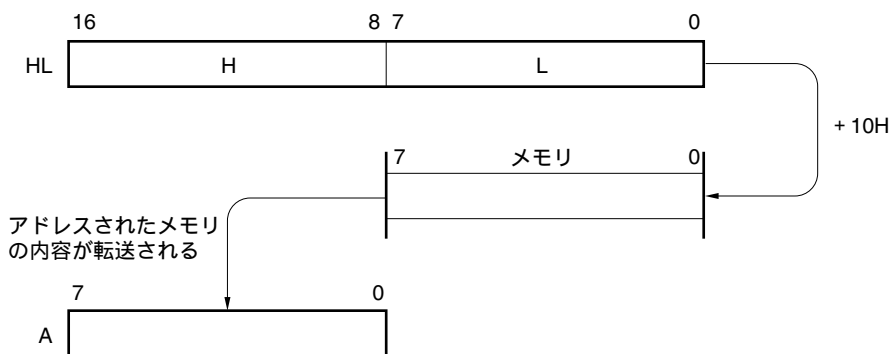
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。

すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B], [HL + C]

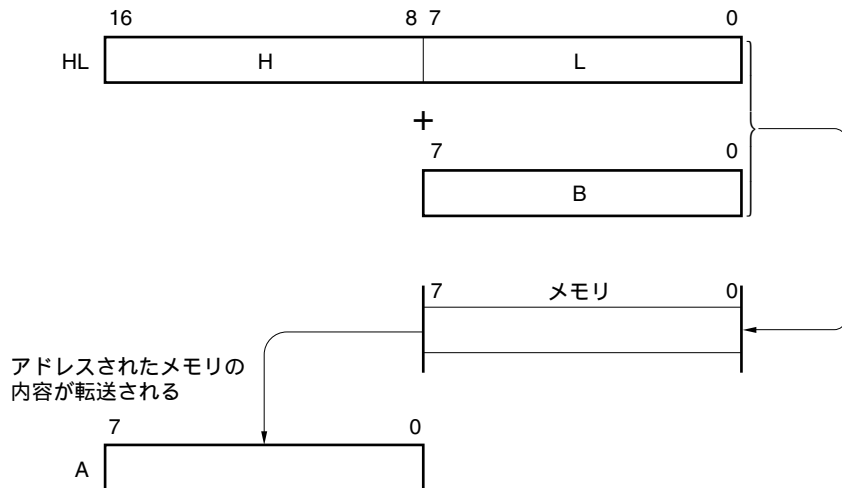
【記述例】

MOV A, [HL + B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

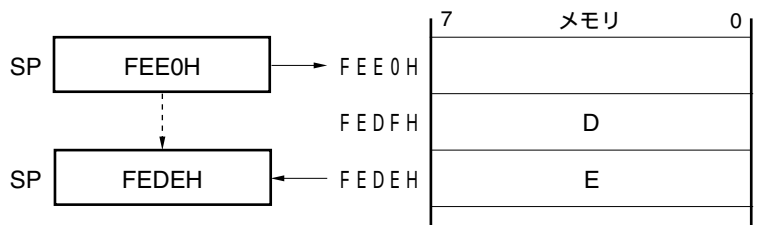
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



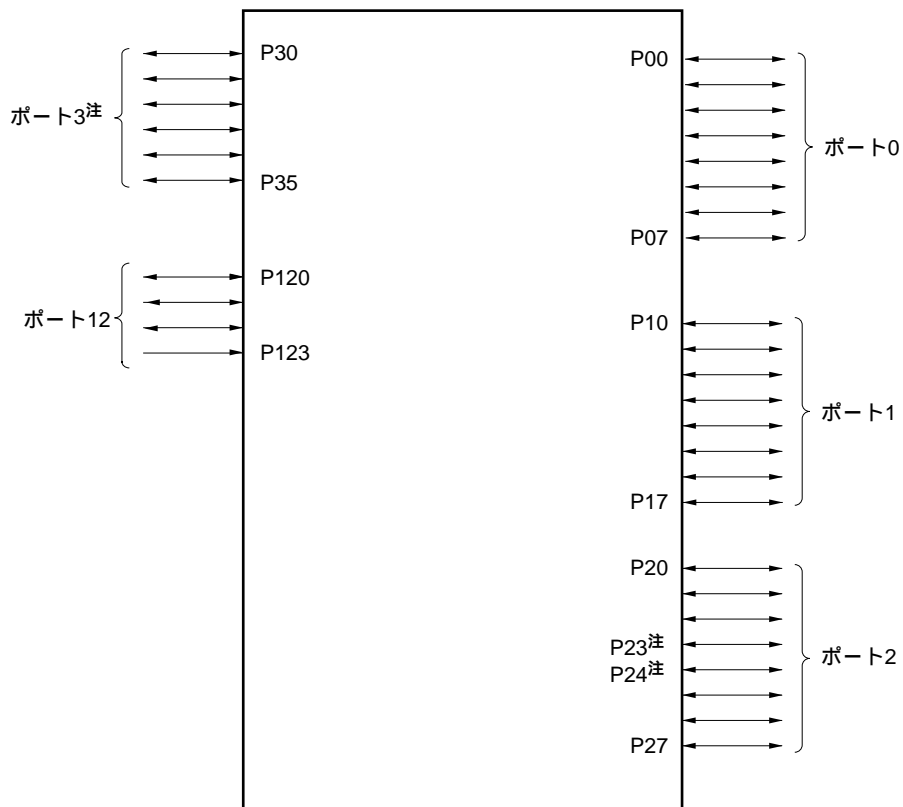
第4章 ポート機能

4.1 ポートの機能

μ PD179F11x, 179F12xマイクロコントローラは、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類



注 38ピン製品のみ

表4 - 1 ポートの機能

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 P00-P06は1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定可能。 P07はCMOS入出力 / P-chオープン・ドレイン出力の指定可能。 また、P-chオープン・ドレイン出力に指定することでリモコン用キャリア・ジェネレータ出力として使用可能。	入力ポート	TI51/TO51
P01				TOH0
P02				TI000/TxD6
P03				TI010/TO00/RxD6
P04				INTP3/OCD1A
P05				INTP2/OCD1B
P06				TI50/TO50/INTP1
P07				REM/TOH1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定可能。	入力ポート	KR0-KR7
P20-P22	入出力	ポート2。 38ピン製品：8ビット入出力ポート 30ピン製品：6ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定可能。	入力ポート	-
P23 [※] , P24 [※]				-
P25, P26				-
P27				INTP4
P30-P35 [※]	入出力	ポート3 [※] 。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 1ビット単位で、内蔵プルアップ抵抗を使用可能。 1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定可能。	入力ポート	KR9-KR14 [※]
P120	入出力	ポート12。 3ビット入出力ポートおよび1ビット入力専用ポート。 P120-P122は1ビット単位で入力 / 出力の指定可能。 P120, P123のみ内蔵プルアップ抵抗を使用可能。 P120-P122は1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定可能。	入力ポート	EXLVI/INTP0
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				RESET/KR8/INTP5

注 38ピン製品のみ。30ピン製品の場合、PM2のビット3, 4, PM3のビット0-5には1を、P2, PU2, POM2のビット3, 4, P3, PU3, POM3のビット0-5には0を必ず設定してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM0-PM2, PM3 [※] , PM12) ポート・レジスタ (P0-P2, P3 [※] , P12) プルアップ抵抗オプション・レジスタ (PU0-PU2, PU3 [※] , PU12) ポート出力モード・レジスタ (POM0-POM2, POM3 [※] , POM12) リセット端子モード・レジスタ (RSTMASK)
ポート	・ 30ピン製品 合計：26本 (N-chオープン・ドレイン出力 / CMOS入出力：24本, P-chオープン・ドレイン出力 / CMOS入出力：1本, CMOS入力：1本) ・ 38ピン製品 合計：34本 (N-chオープン・ドレイン出力 / CMOS入出力：32本, P-chオープン・ドレイン出力 / CMOS入出力：1本, CMOS入力：1本)
プルアップ抵抗	・ 30ピン製品 合計：24本 ・ 38ピン製品 合計：32本

注 38ピン製品のみ。

4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00-P06は、ポート・モード出力レジスタ (POM0) の設定により、1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

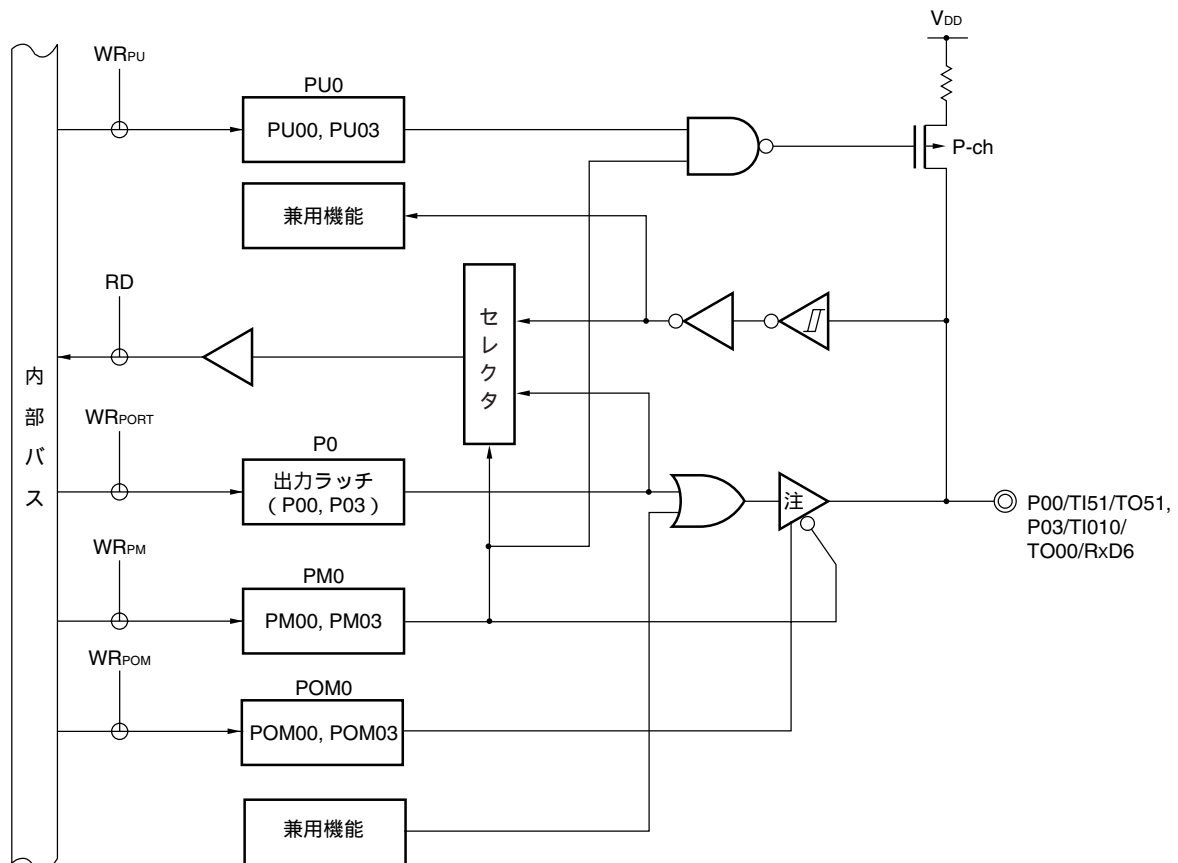
P07は、ポート・モード出力レジスタ (POM0) の設定により、CMOS入出力 / P-chオープン・ドレイン出力の指定が可能です。P-chオープン・ドレイン出力に指定することでリモコン用キャリア・ジェネレータ出力として使用が可能です。

また、兼用機能としてタイマの入出力、シリアル・インタフェースのデータ入出力、外部割込み要求入力、リモコン出力、オンチップ・デバッグ・モード引き込み用接続があります

リセット信号の発生により、入力モードになります。

図4 - 2から図4 - 6にポート0のブロック図を示します。

図4 - 2 P00, P03のブロック図



P0 : ポート・レジスタ0

PU0 : プルアップ抵抗オプション・レジスタ0

PM0 : ポート・モード・レジスタ0

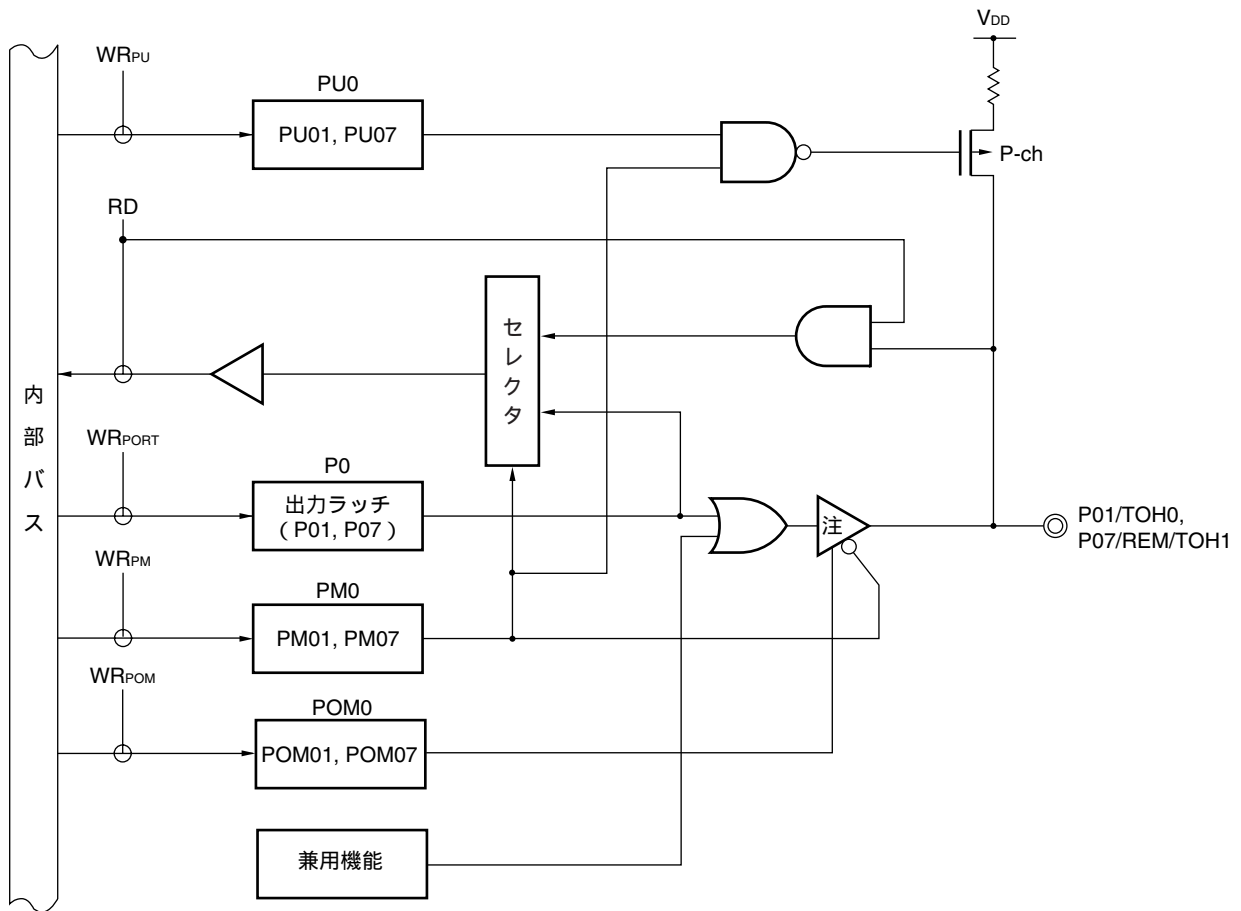
POM0 : ポート出力モード・レジスタ0

RD : リード信号

WR_{xx} : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

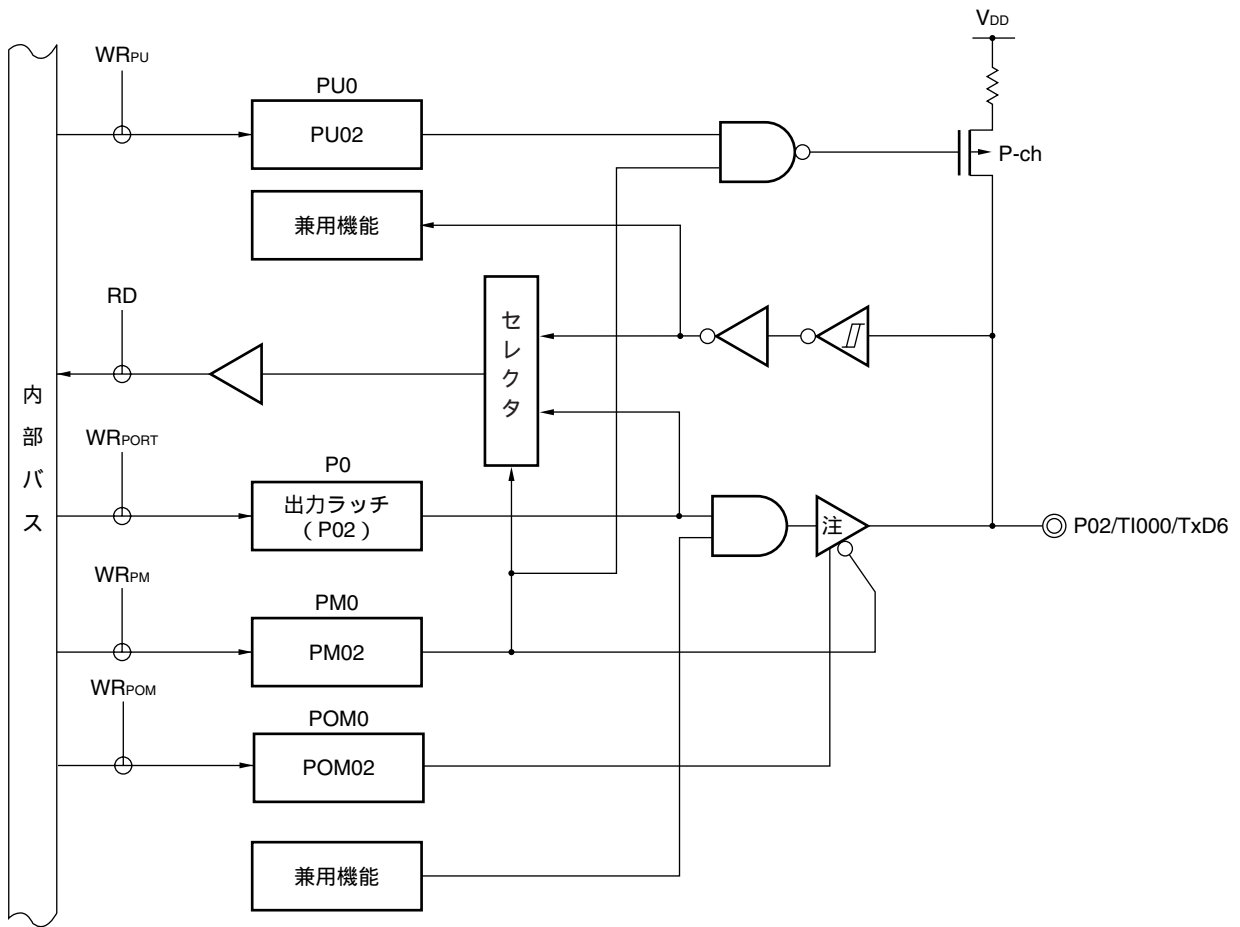
図4 - 3 P01, P07のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

注 P01の場合，CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ。
 P07の場合，CMOS出力とP-chオープン・ドレイン出力を切り替えることができる出力バッファ。

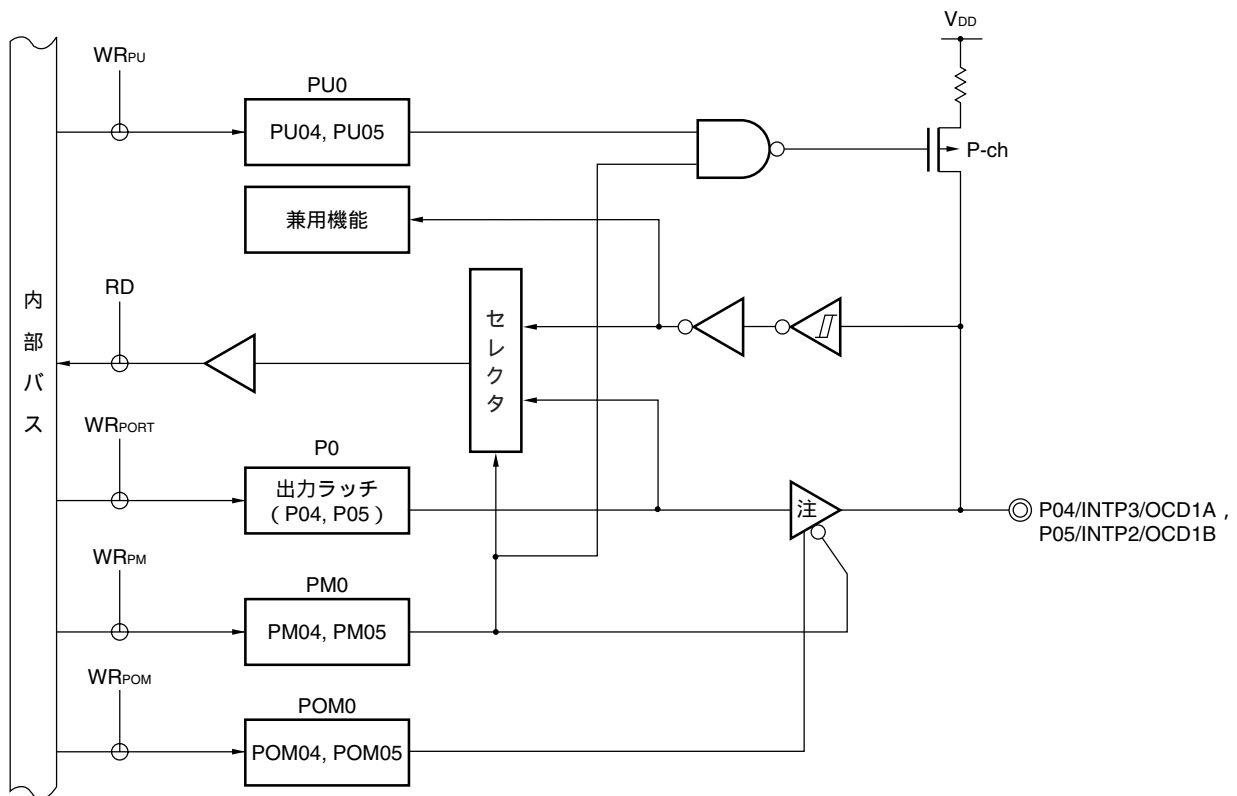
図4 - 4 P02のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

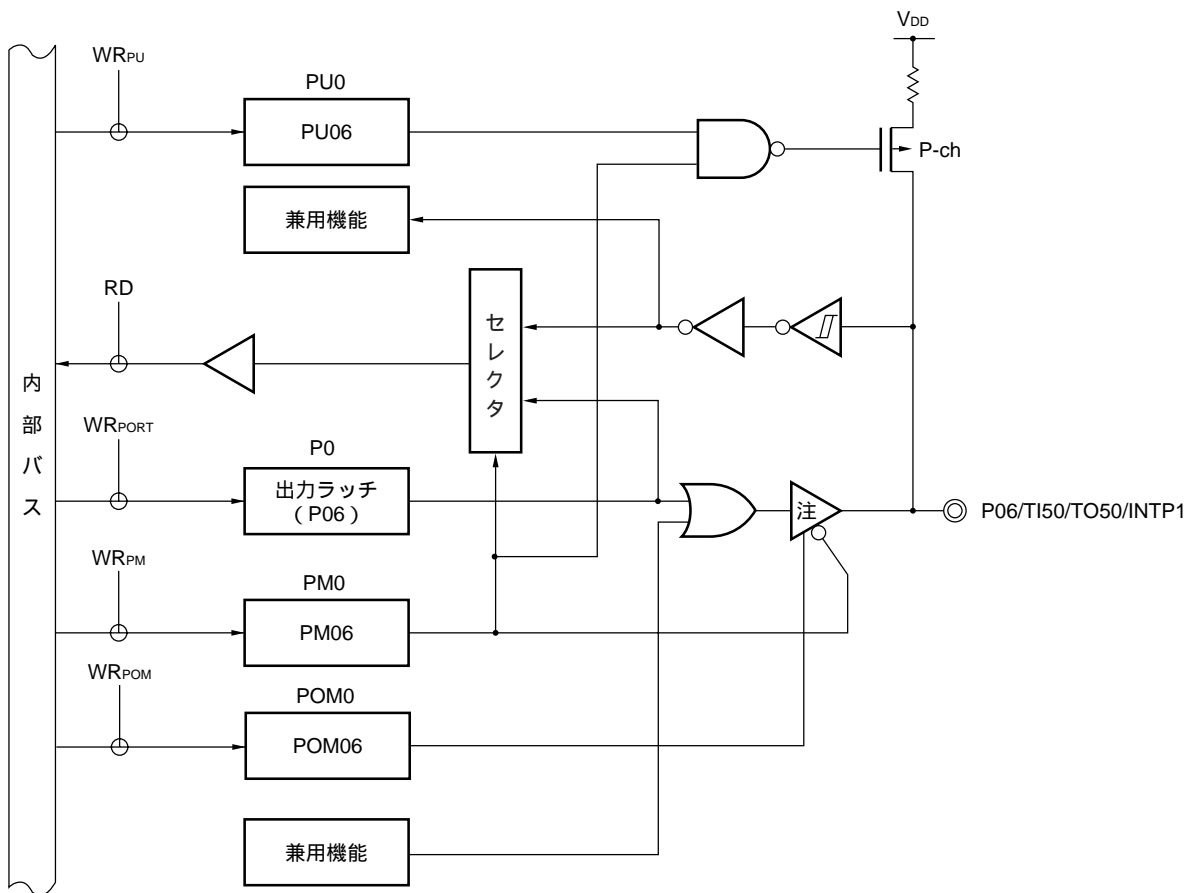
図4 - 5 P04, P05のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

図4 - 6 P06のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

注 CMOS出力とN-chオープン・ドレーン出力を切り替えることができる出力バッファ

4.2.2 ポート1

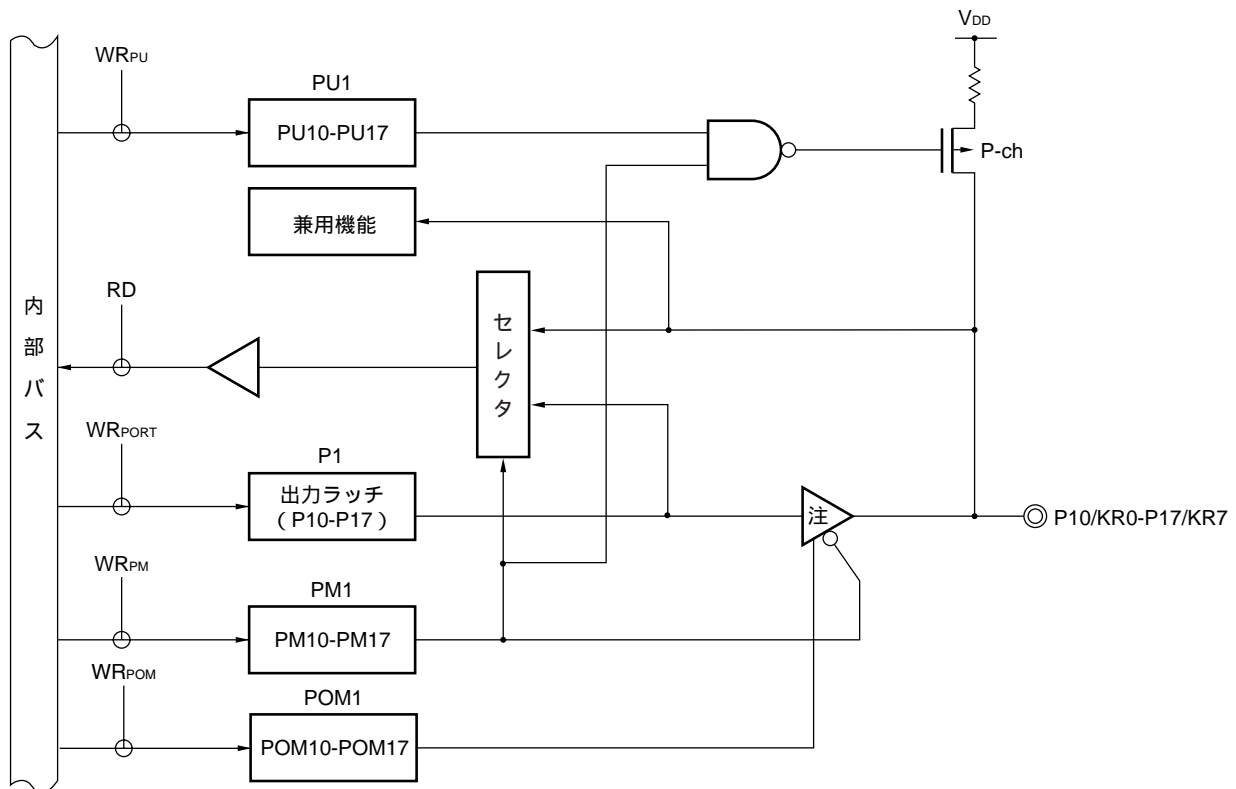
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。さらにポート・モード出力レジスタ (POM1) の設定により、1ビット単位でCMOS出力 / N-chオープン・ドレイン出力の指定が可能です。

また、兼用機能としてキー割り込み入力があります。

リセット信号の発生により、入力モードになります。

図4-7にポート1のブロック図を示します。

図4-7 P10-P17のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

4.2.3 ポート2

30ピン製品では、出力ラッチ付き6ビットの入出力ポートです。38ピン製品では、出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PU2) により1ビット単位で内蔵プルアップ抵抗を使用できます。さらにポート・モード出力レジスタ (POM2) の設定により、1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

また、P27のみ兼用機能として外部割り込み要求入力があります。

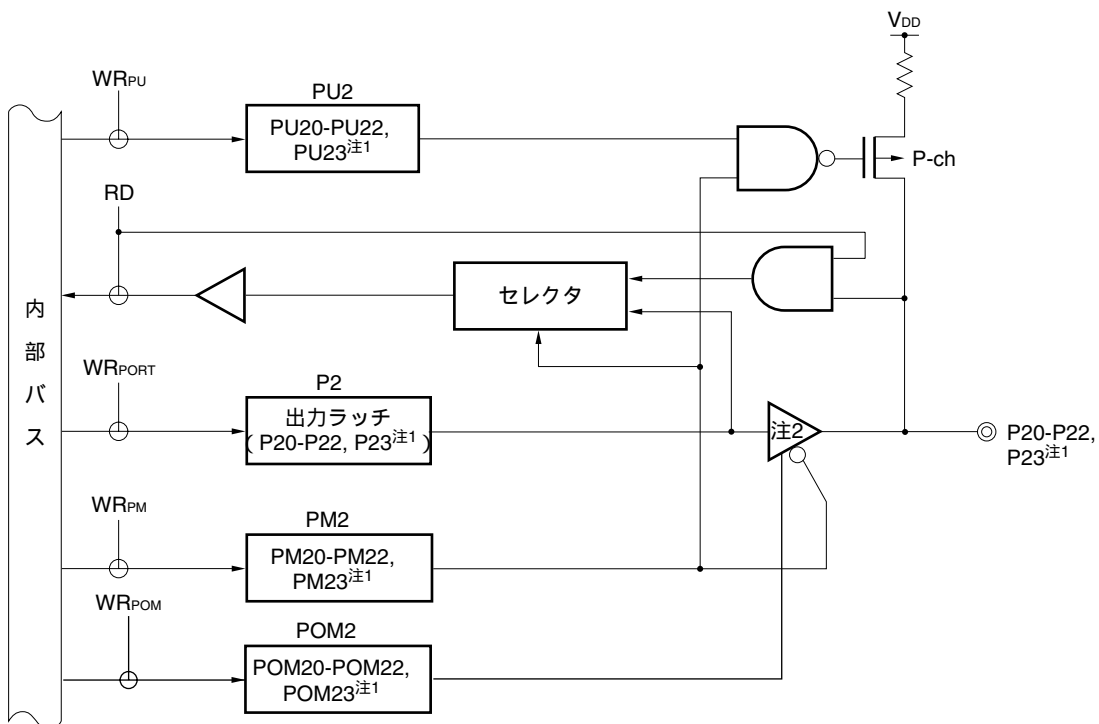
リセット信号の発生により、入力モードになります。

図4 - 8から図4 - 10にポート2のブロック図を示します。

備考 30ピン製品 : P20-P22, P25, P26, P27/INTP4

38ピン製品 : P20-P26, P27/INTP4

図4 - 8 P20-P23のブロック図



P2 : ポート・レジスタ2

PM2 : ポート・モード・レジスタ2

POM2 : ポート出力モード・レジスタ2

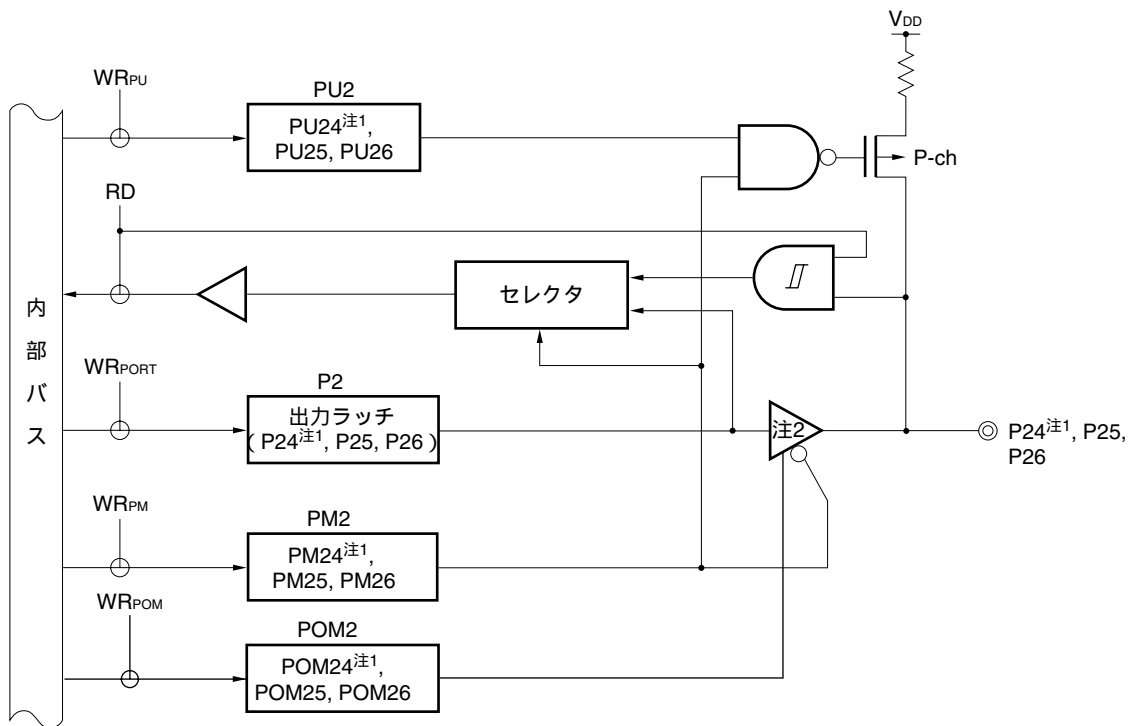
RD : リード信号

WR_x : ライト信号

注1. 38ピン製品のみ

2. CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

図4 - 9 P24-P26のブロック図

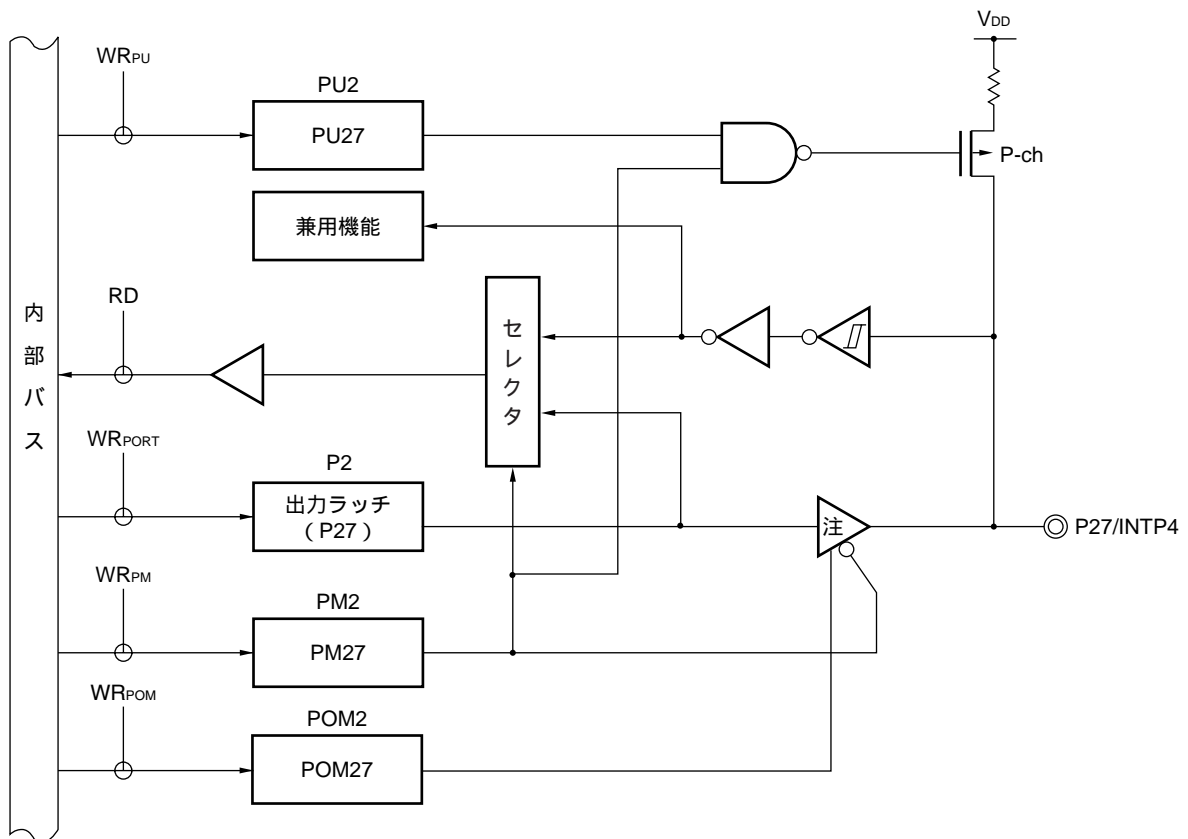


- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- POM2 : ポート出力モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

注1. 38ピン製品のみ

2. CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

図4 - 10 P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- POM2 : ポート出力モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

4.2.4 ポート3 (38ピン製品のみ)

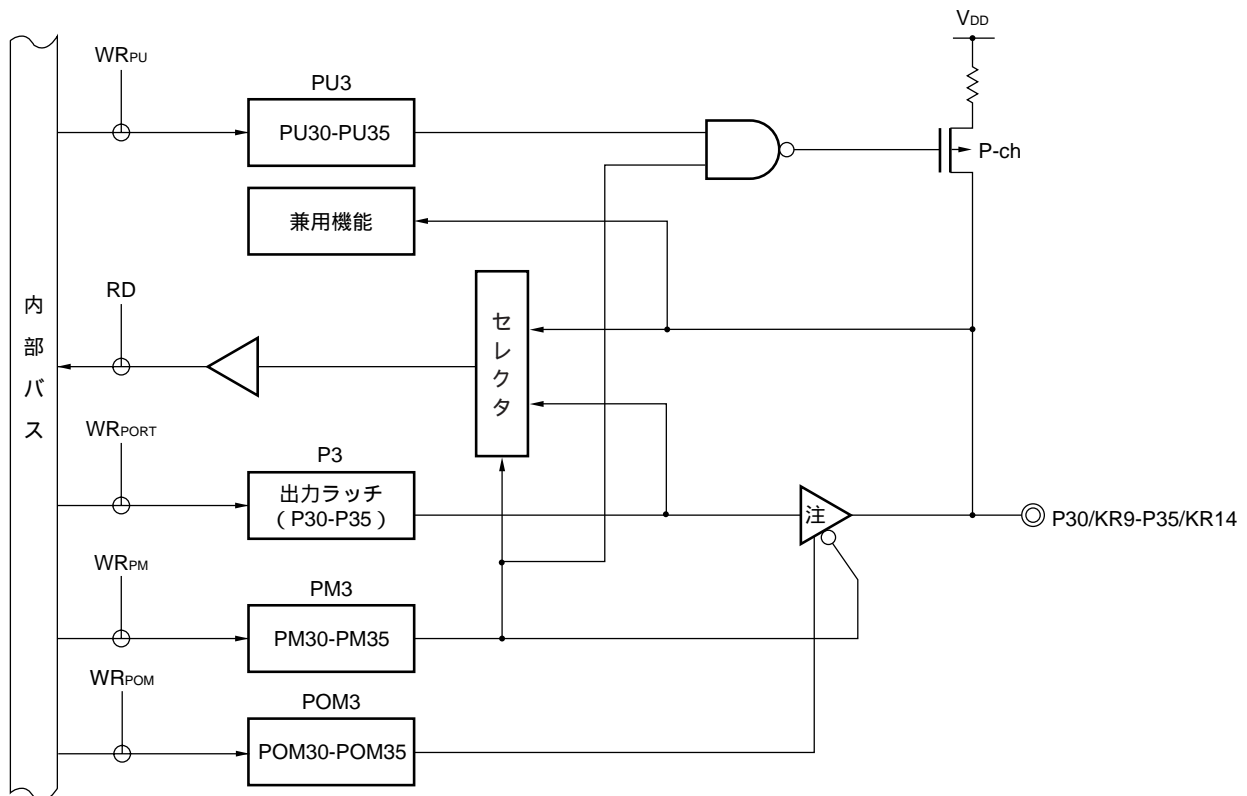
出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30-P35端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。さらにポート・モード出力レジスタ (POM3) の設定により、1ビット単位でCMOS出力 / N-chオープン・ドレイン出力の指定が可能です。

また、兼用機能としてキー割り込み入力があります。

リセット信号の発生により、入力モードになります。

図4 - 11にポート3のブロック図を示します。

図4 - 11 P30-P35のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- POM3 : ポート出力モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

4.2.5 ポート12

P120-P122は3ビットの入出力ポートです。P123は入力専用ポートです。P120-P122はポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、P120, P123のみプルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。さらにP120-P122は、ポート・モード出力レジスタ (POM12) の設定により、1ビット単位でCMOS入出力 / N-chオープン・ドレイン出力の指定が可能です。

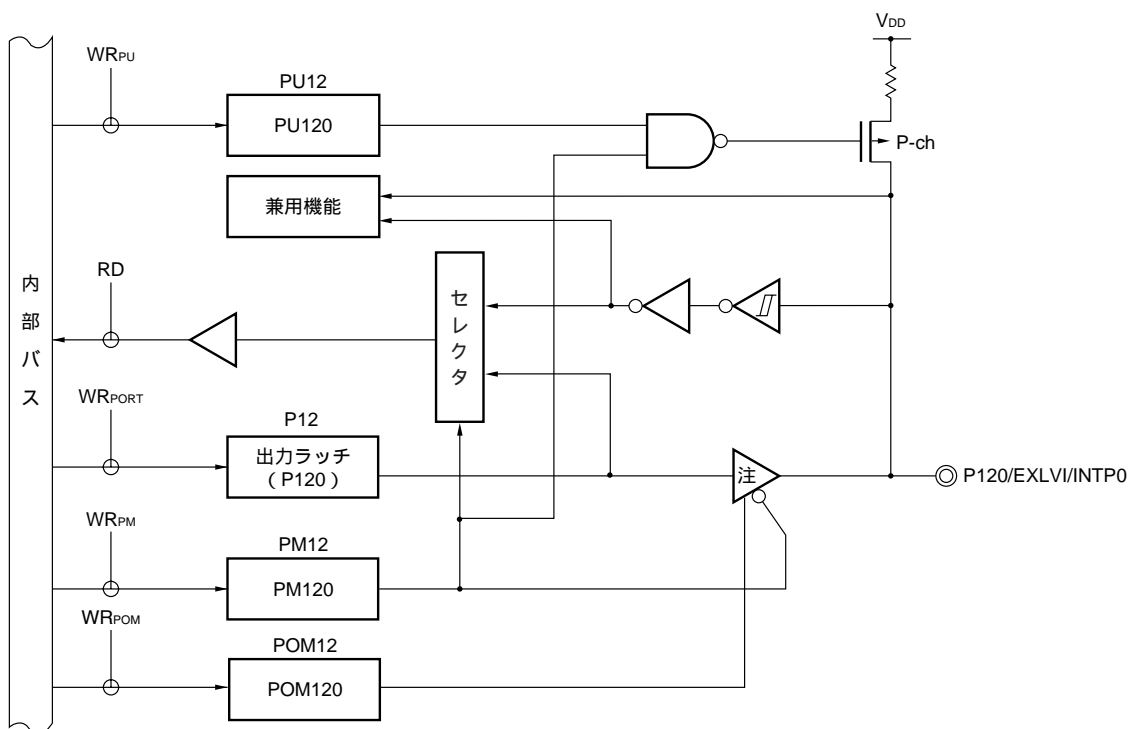
また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、システム・リセット入力、キー割り込み入力、オンチップ・デバッグ・モード引き込み用接続機能があります。

リセット信号の発生により、入力モードになります。

図4 - 12から図4 - 14にポート12のブロック図を示します。

注意 P121, P122端子を、メイン・システム・クロック用発振子接続 (X1, X2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定してください (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL) の設定方法を参照)。OSCCTLのリセット値は00H (P121, P122はすべて入出力ポート) となります。このとき、PM121, PM122, P121, P122の設定は不要です。

図4 - 12 P120のブロック図



P12 : ポート・レジスタ12

PU12 : プルアップ抵抗オプション・レジスタ12

PM12 : ポート・モード・レジスタ12

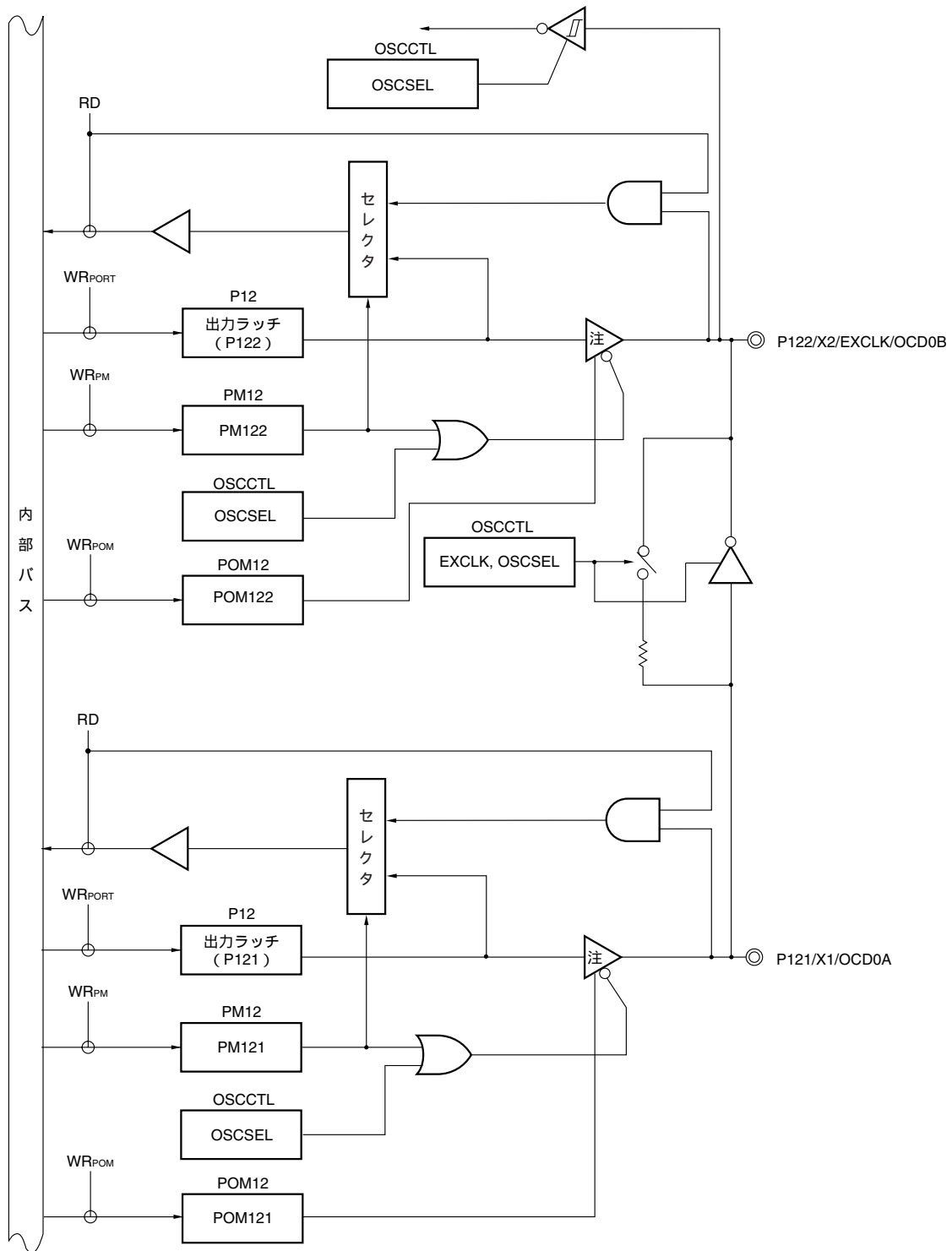
POM12 : ポート出力モード・レジスタ12

RD : リード信号

WR_x : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

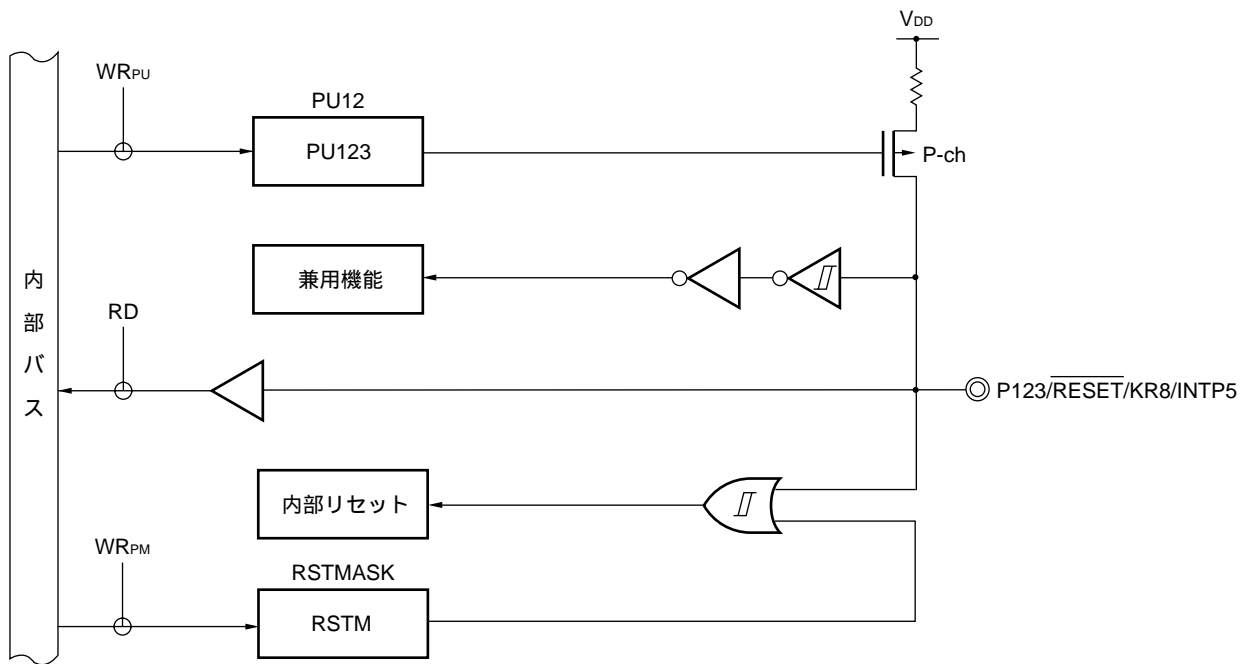
図4 - 13 P121, P122のブロック図



- P12 : ポート・レジスタ12
- PU12 : ブルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- POM12 : ポート出力モード・レジスタ12
- OSCCTL : クロック動作モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

注 CMOS出力とN-chオープン・ドレイン出力を切り替えることができる出力バッファ

図4 - 14 P123のブロック図



PU12 : プルアップ抵抗オプション・レジスタ12

RSTMASK : リセット端子モード・レジスタ

RD : リード信号

WR_{xx} : ライト信号

備考 リセット時には、リセット機能とプルアップ抵抗が有効になります (RSTM = 0, PU123 = 1)。

P123, KR8, INTP5として使用する場合はRSTMに1を設定してください。

4.3 ポート機能を制御するレジスタ

ポートは、次の5種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM2, PM3^注, PM12)
- ・ポート・レジスタ (P0-P2, P3^注, P12)
- ・プルアップ抵抗オプション・レジスタ (PU0-PU2, PU3^注, PU12)
- ・ポート出力モード・レジスタ (POM0-POM2, POM3^注, POM12)
- ・リセット端子モード・レジスタ (RSTMASK)

注 38ピン製品のみ。

(1) ポート・モード・レジスタ (PM0-PM2, PM3^注, PM12)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のポート・モード・レジスタ、出力ラッチ、プルアップ抵抗オプション・レジスタ、ポート出力モード・レジスタ設定を参照し、設定してください。

注 38ピン製品のみ。

図4-15 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24 ^注	PM23 ^注	PM22	PM21	PM20	FF22H	FFH	R/W
PM3 ^注	1	1	PM35 ^注	PM34 ^注	PM33 ^注	PM32 ^注	PM31 ^注	PM30 ^注	FF23H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 12; n = 0-7)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

注 38ピン製品のみ。

注意 30ピン製品の場合、PM2のビット3, 4, PM3のビット0-5には必ず1を設定してください。

(2) ポート・レジスタ (P0-P2, P3[※], P12)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

P0-P2, P3[※], P12は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 38ピン製品のみ。

図4 - 16 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24 [※]	P23 [※]	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3 [※]	0	0	P35 [※]	P34 [※]	P33 [※]	P32 [※]	P31 [※]	P30 [※]	FF03H	00H (出力ラッチ)	R/W
P12	0	0	0	0	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W

Pmn	m = 0-3, 12 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 38ピン製品のみ。

注意 30ピン製品の場合、P2のビット3, 4, P3のビット0-5には必ず0を設定してください。

(3) プルアップ抵抗オプション・レジスタ (PU0-PU2, PU3[※], PU12)

P00-P07, P10-P17, P20-P22, P23[※], P24[※], P25-P27, P30-P35[※], P120, P123の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0-PU2, PU3[※], PU12で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PU0-PU2, PU3[※], PU12の設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0-PU2, PU3[※], PU12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00H (PU12は08H) になります。

注 38ピン製品のみ。

図4 - 17 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU2	PU27	PU26	PU25	PU24 [※]	PU23 [※]	PU22	PU21	PU20	FF32H	00H	R/W
PU3 [※]	0	0	PU35 [※]	PU34 [※]	PU33 [※]	PU32 [※]	PU31 [※]	PU30 [※]	FF33H	00H	R/W
PU12	0	0	0	0	PU123	0	0	PU120	FF3CH	08H	R/W
PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 0-3, 12 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

注 38ピン製品のみ。

注意 30ピン製品の場合、PU2のビット3, 4, PU3のビット0-5には必ず0を設定してください。

(4) ポート出力モード・レジスタ (POM0-POM2, POM3^注, POM12)

P00-P07, P10-P17, P20-P22, P23^注, P24^注, P25-P27, P30-P35^注, P120-P122の出力モードを設定するレジスタです。

POM0-POM2, POM3^注, POM12は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

注 38ピン製品のみ。

図4 - 18 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	FF38H	00H	R/W
POM1	POM17	POM16	POM15	POM14	POM13	POM12	POM11	POM10	FF39H	00H	R/W
POM2	POM27	POM26	POM25	POM24 ^注	POM23 ^注	POM22	POM21	POM20	FF3AH	00H	R/W
POM3 ^注	0	0	POM35 ^注	POM34 ^注	POM33 ^注	POM32 ^注	POM31 ^注	POM30 ^注	FF3BH	00H	R/W
POM12	0	0	0	0	0	POM122	POM121	POM120	FF3EH	00H	R/W

POMmn	POMmnの出力モードの選択 (m = 0-3, 12; n = 0-7)
0	CMOS出力
1	N-chオープン・ドレイン出力 (P07はP-chオープン・ドレイン出力)

注 38ピン製品のみ。

注意 30ピン製品の場合, POM2のビット3, 4, POM3のビット0-5には必ず0を設定してください。

(5) リセット端子モード・レジスタ (RSTMASK)

$\overline{\text{RESET}}$ /P123/KR8/INTP5端子のリセット機能以外の兼用機能の有効 / 無効を制御するレジスタです。

RSTMASKは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図4 - 19 リセット端子モード・レジスタ (RSTMASK) のフォーマット

アドレス : FF2EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RSTMASK	0	0	0	0	RSTM	0	0	0

RSTM	リセット機能以外の兼用機能の有効 / 無効制御
0	兼用機能無効 ($\overline{\text{RESET}}$ 端子として機能します)
1	兼用機能有効 ($\overline{\text{RESET}}$ 端子として機能しません)

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチ，プルアップ抵抗オプション・レジスタ，ポート出力モード・レジスタ設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチ，プルアップ抵抗オプション・レジスタ，ポート出力モード・レジスタを表4-3のように設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ，出力ラッチ，プルアップ抵抗オプション・レジスタ，ポート出力モード・レジスタの設定

端子名称	兼用機能		PM × ×	P × ×	PU × ×	POM × ×
	名称	入出力				
P00	TI51	入力	1	×	×	×
	TO51	出力	0	0	×	×
P01	TOH0	出力	0	0	×	×
P02	TI000	入力	1	×	×	×
	TxD6	出力	0	1	×	×
P03	TI010	入力	1	×	×	×
	TO00	出力	0	0	×	×
	RxD6	入力	1	×	×	×
P04	INTP3	入力	1	×	×	×
P05	INTP2	入力	1	×	×	×
P06	TI50	入力	1	×	×	×
	TO50	出力	0	0	×	×
	INTP1	入力	1	×	×	×
P07	REM	出力	0	0	×	1
	TOH1	出力	0	0	×	0
P10-P17	KR0-KR7	入力	1	×	1	×
P27	INTP4	入力	1	×	×	×
P30-P35 [※]	KR9-KR14 [※]	入力	1	×	1	×
P120	EXLVI	入力	1	×	×	×
	INTP0	入力	1	×	×	×
P121	X1	-	×	×	0	×
P122	X2	-	×	×	0	×
	EXCLK	入力	1	×	×	×
P123	RESET	入力	-	×	×	-
	KR8	入力	-	×	1	-
	INTP5	入力	-	×	×	-

注 38ピン製品のみ

備考1. × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

PU × × : プルアップ抵抗オプション・レジスタ

POM × × : ポート出力モード・レジスタ

2. P04/INTP3, P05/INTP2, P121/X1, P122/X2/EXCLK端子は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用（OCD1A, OCD1B, OCD0A, OCD0B）とし

て使用できます。プログラミング機能付きオンチップ・ディバグ・エミュレータQB-MINI2との接続については、第19章 オンチップ・ディバグ機能を参照してください。

4.6 ポート・レジスタ n (P n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PM nm ビット = 1であるポートのP n レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は、 μ PD179F11x, 179F12xマイクロコントローラ内部で、次の順序で行われます。

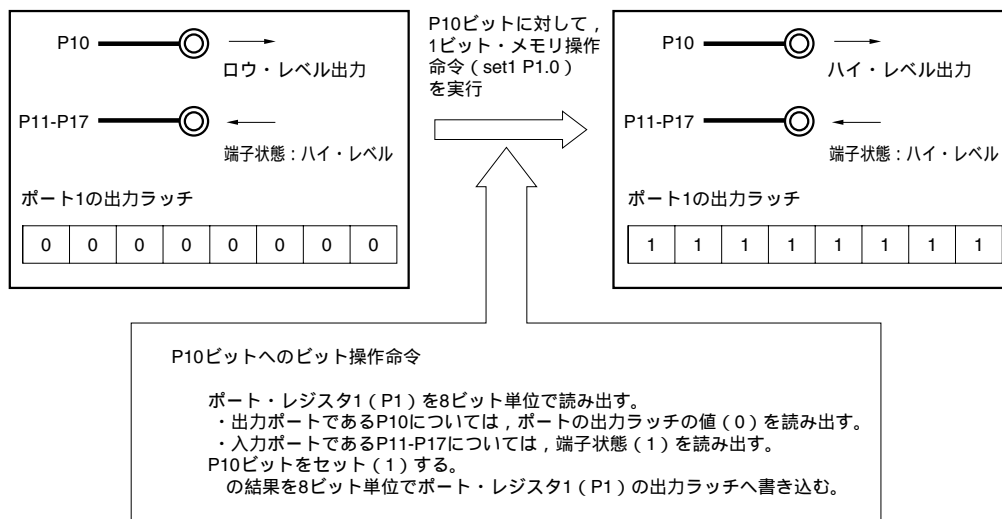
- <1> P n レジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P n レジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 20 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1 \sim 4$ MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 4$ MHz \pm 2%のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EXCLK} = 1 \sim 4$ MHz) を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

(2) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・低速内蔵発振回路

$f_{RL} = 240$ kHz (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・TMH1 (f_{RL} または $f_{RL}/2^7$ 選択時)

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

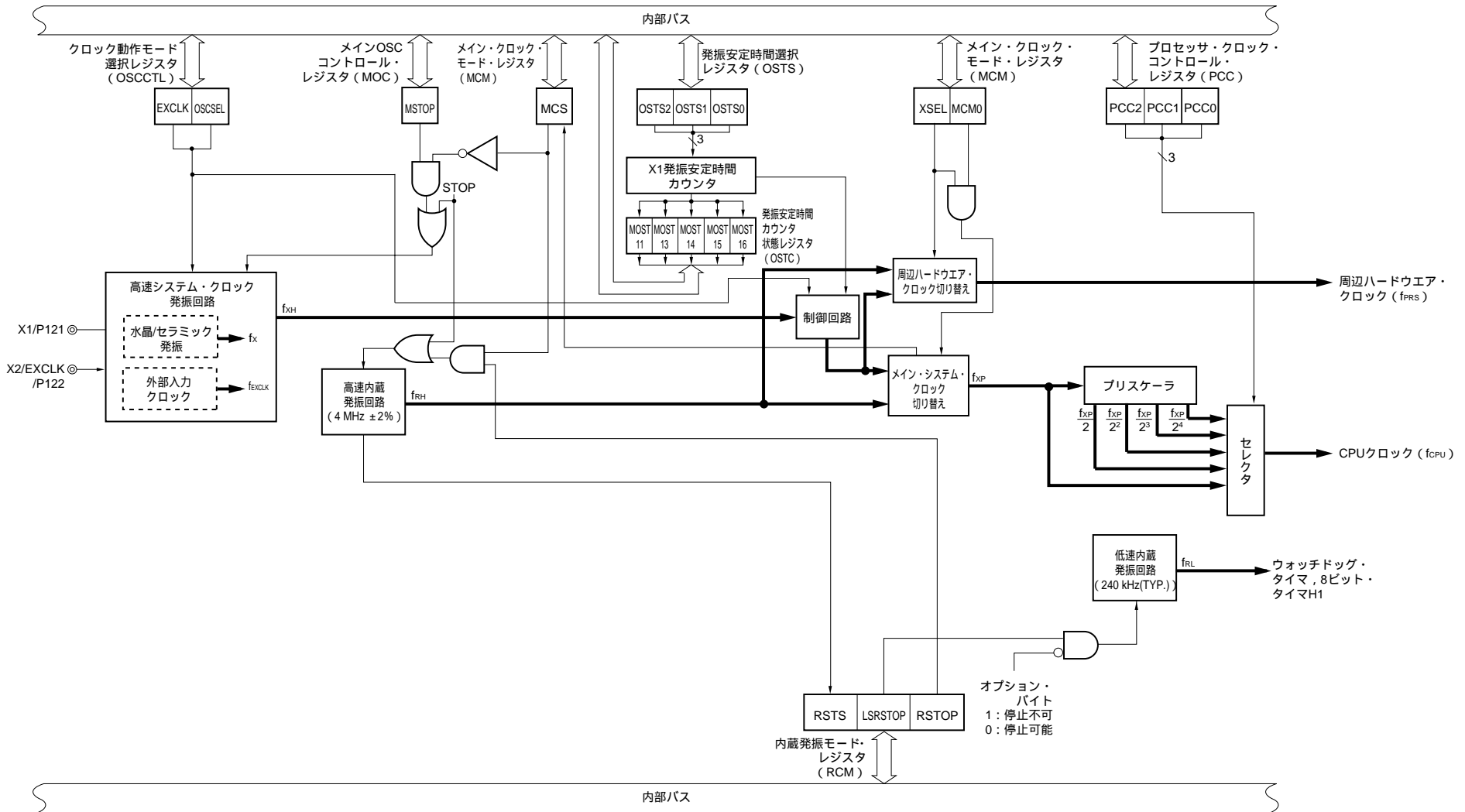
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



- 備考1. f_X : X1クロック発振周波数
2. f_{RH} : 高速内蔵発振クロック周波数
 3. f_{EXCLK} : 外部メイン・システム・クロック周波数
 4. f_{XH} : 高速システム・クロック周波数
 5. f_{XP} : メイン・システム・クロック周波数
 6. f_{PRS} : 周辺ハードウェア・クロック周波数
 7. f_{CPU} : CPUクロック周波数
 8. f_{RL} : 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックの動作モード，内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス：FF9FH リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	0
--------	-------	--------	---	---	---	---	---	---

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

注意 EXCLKとOSCSELを別の値に書き換える場合，メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。

備考 f_{XH} : 高速システム・クロック周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比の動作モードを設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図5 - 3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：01H R/W^注

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択	
			FLMD0 = 0	FLMD0 = 1
0	0	0	f _{XP}	f _{RH}
0	0	1	f _{XP} /2 (デフォルト)	f _{RH} /2 (デフォルト)
0	1	0	f _{XP} /2 ²	f _{RH} /2 ²
0	1	1	f _{XP} /2 ³	f _{RH} /2 ³
1	0	0	f _{XP} /2 ⁴	f _{RH} /2 ⁴
上記以外			設定禁止	

注 ビット5は，Read Onlyです。

注意 ビット7-3には，必ず0を設定してください。

備考 f_{XP}：メイン・システム・クロック周波数

f_{RH}：高速内蔵発振クロック周波数

μ PD179F11x, 179F12xマイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって，CPUクロック (f_{CPU}) と最小命令実行時間の関係は，表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{CPU})	最小命令実行時間：2/f _{CPU}	
	メイン・システム・クロック	
	高速システム・クロック ^{注1}	高速内蔵発振クロック ^{注1}
	4 MHz動作時	4 MHz ± 2%動作時
f _{XP}	0.5 μs ^{注2}	0.5 μs (TYP.) ^{注2}
f _{XP} /2	1 μs	1 μs (TYP.)
f _{XP} /2 ²	2 μs	2 μs (TYP.)
f _{XP} /2 ³	4 μs	4 μs (TYP.)
f _{XP} /2 ⁴	8 μs	8 μs (TYP.)

注1. CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は，メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 6参照)。

2. V_{DD} = 2.0 ~ 3.6 Vのときのみ設定可能

(3) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5-4 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス : FFA0H リセット時 : 80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次の条件です。

・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5 - 5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス：FFA2H リセット時：80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次の条件です。

・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき (入出力ポート・モード)、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(5) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス：FFA1H リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})
1	0		高速システム・クロック (f _{XH})
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ設定が可能です。

2. 次の周辺機能には、XSELとMCM0の設定によらず、f_{PRS}以外のクロックが供給されます。

- ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
- ・8ビット・タイマH1のカウント・クロックに「f_{RL}」または「f_{RL}/2⁷」を選択時 (低速内蔵発振クロックで動作)
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし、TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)

(6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

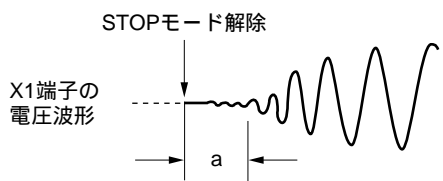
図5 - 7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス			
					$f_x = 1\text{MHz}$ 時	$f_x = 2\text{MHz}$ 時	$f_x = 4\text{MHz}$ 時	
0	0	0	0	0	$2^{11}/f_x$ 未満	2.04 ms未満	1.02 ms未満	$510\mu\text{s}$ 未満
1	0	0	0	0	$2^{11}/f_x$ 以上	2.04 ms以上	1.02 ms以上	$510\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	8.20 ms以上	4.10 ms以上	2.04 ms以上
1	1	1	0	0	$2^{14}/f_x$ 以上	16.38 ms以上	8.19 ms以上	4.10 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	32.77 ms以上	16.38 ms以上	8.19 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	65.45 ms以上	32.77 ms以上	16.38 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,05Hになります。

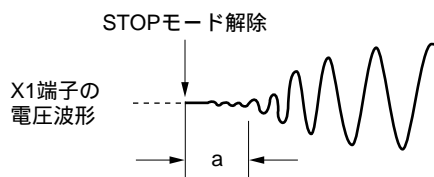
図5-8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス: FFA4H リセット時: 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			$f_x = 1 \text{ MHz}$ 時	$f_x = 2 \text{ MHz}$ 時	$f_x = 4 \text{ MHz}$ 時	
0	0	1	$2^{11}/f_x$	2.04 ms	1.02 ms	510 μ s
0	1	0	$2^{13}/f_x$	8.19 ms	4.10 ms	2.04 ms
0	1	1	$2^{14}/f_x$	16.38 ms	8.19 ms	4.10 ms
1	0	0	$2^{15}/f_x$	32.77 ms	16.38 ms	8.19 ms
1	0	1	$2^{16}/f_x$	65.45 ms	32.77 ms	16.38 ms
上記以外			設定禁止			

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令を実行する前にOSTSを設定してください。
2. X1クロックの発振安定時間中は,OSTSレジスタを変更しないでください。
3. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に,STOPモードに入り,解除するときは,OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって,STOPモード解除後のOSTCは,OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
4. X1クロックの発振安定時間は,クロック発振を開始するまでの時間(下図a)は含まれません。



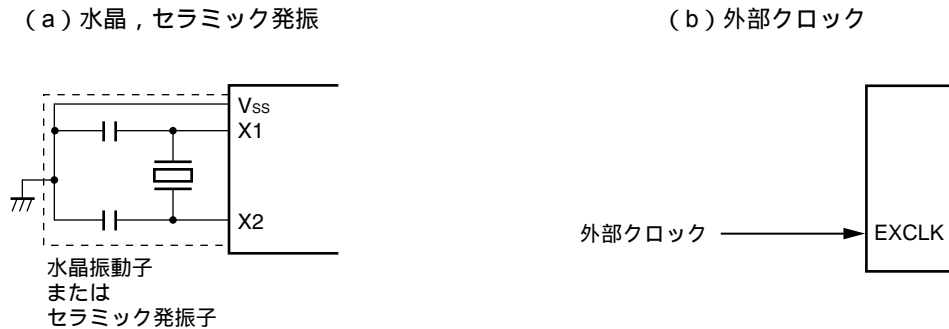
備考 f_x : X1クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~4 MHz)によって発振します。また,外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。図5 - 9にX1発振回路の外付け回路例を示します。

図5 - 9 X1発振回路の外付け回路例



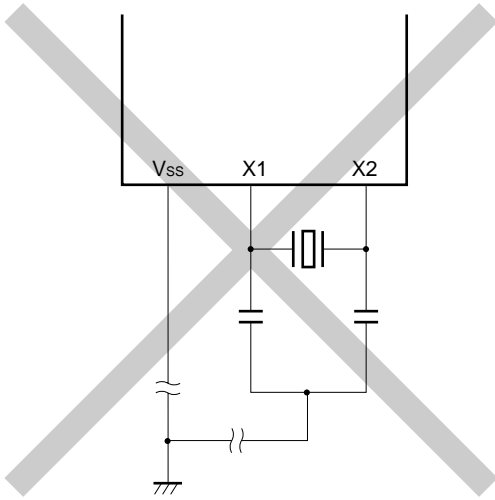
注意 X1発振回路を使用する場合は,配線容量などの影響を避けるために,図5 - 9の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また,変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は,常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

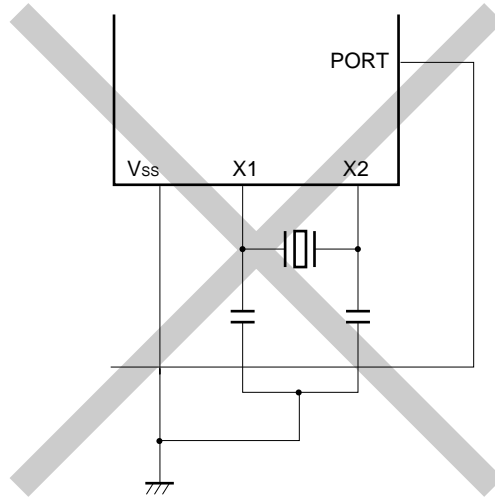
図5 - 10に発振子の接続の悪い例を示します。

図5 - 10 発振子の接続の悪い例 (1/2)

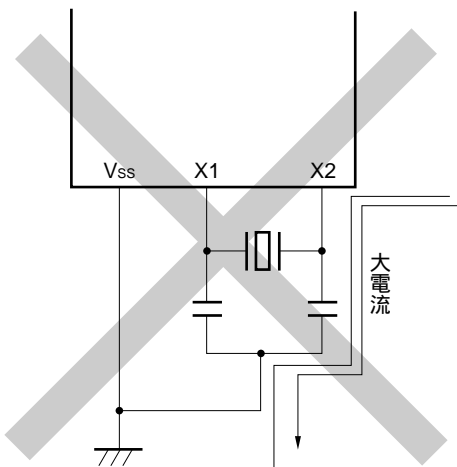
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

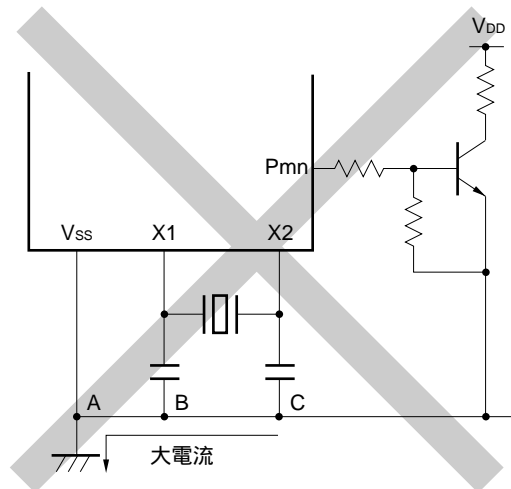
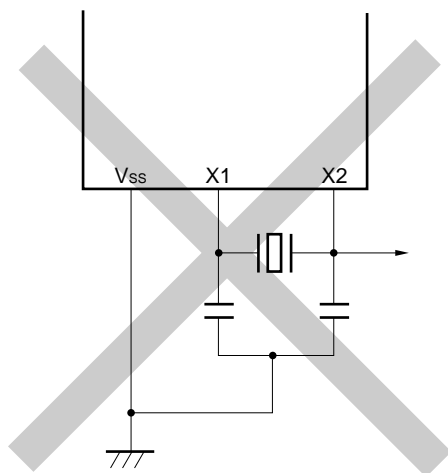


図5 - 10 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.2 高速内蔵発振回路

μ PD179F11x, 179F12xマイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します (4 MHz (TYP.))。

5.4.3 低速内蔵発振回路

μ PD179F11x, 179F12xマイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))。

5.4.4 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
X1クロック f_X
外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
周辺ハードウェア・クロック f_{PRS}

μ PD179F11x, 179F12xマイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

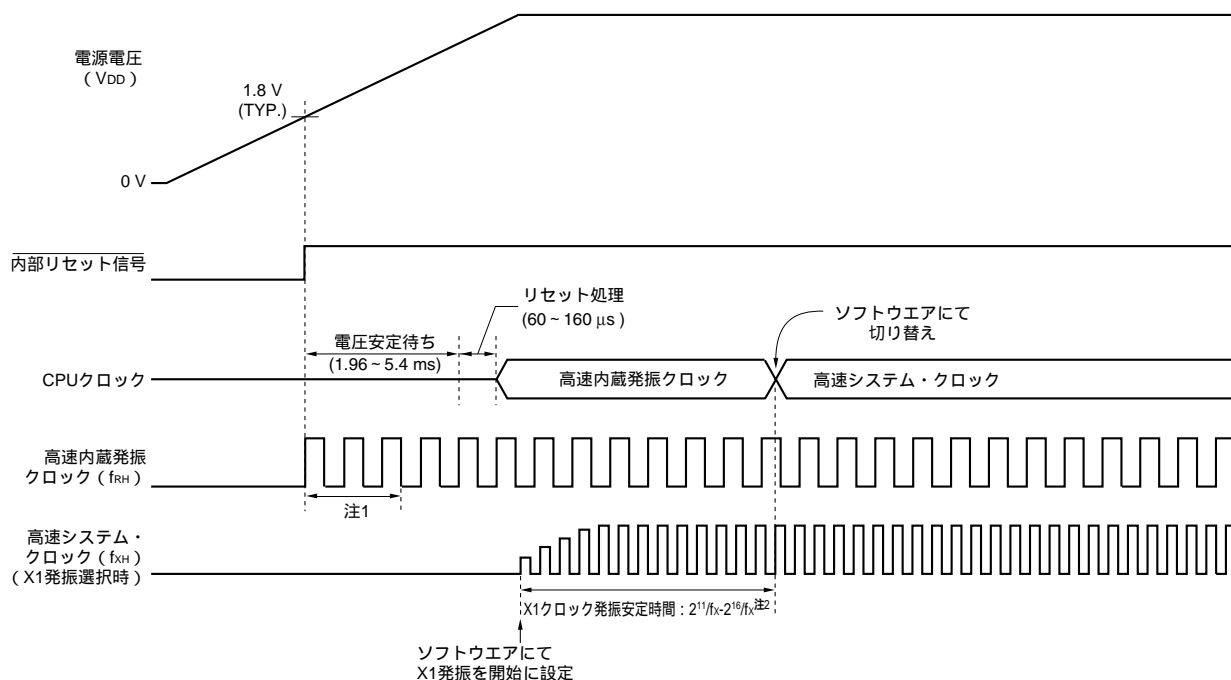
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 11に示します。

図5 - 11 電源電圧投入時のクロック発生回路の動作



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.8 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

2. リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)を参照)。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1/OCD0A, P122/X2/EXCLK/OCD0B端子の設定、動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1/OCD0A端子	P122/X2/EXCLK/ OCD0B端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

- 注意1.** X1クロック動作中にEXCLK, OSCSELを書き換えないでください
2. 電源電圧が、使用するクロックの動作可能電圧 (第21章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1/OCD0A, P122/X2/EXCLK/OCD0B端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLK, OSCSELをそれぞれ1に設定すると, ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1/OCD0A端子	P122/X2/EXCLK/OCD0B端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御 (MOCレジスタ)

MSTOPを0に設定すると, 外部メイン・システム・クロックの入力が有効になります。

注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。

2. 電源電圧が, 使用するクロックの動作可能電圧 (第21章 電気的特性を参照) に達してから, 外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定[※]

(5.6.1(1) X1クロックを発振する場合の設定手順例, または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合, の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると, メイン・システム・クロックと周辺ハードウェアに, 高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合, 周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

分周比の選択 (PCCレジスタ)

CPUクロックの分周比を選択する場合は, PCC0, PCC1, PCC2で選択します。

PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択	
			FLMD0 = 0	FLMD0 = 1
0	0	0	f _{XP}	f _{RH}
0	0	1	f _{XP} /2 (デフォルト)	f _{RH} /2 (デフォルト)
0	1	0	f _{XP} /2 ²	f _{RH} /2 ²
0	1	1	f _{XP} /2 ³	f _{RH} /2 ³
1	0	0	f _{XP} /2 ⁴	f _{RH} /2 ⁴
上記以外			設定禁止	

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、X1発振を停止する（外部クロックを使用している場合は、クロック入力無効）
- ・ MSTOPを1に設定し、X1発振を停止する（外部クロックを使用している場合は、クロック入力無効）

(a) STOP命令を実行する場合**周辺ハードウェアの停止を設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第13章 **スタンバイ機能**を参照してください）。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合**CPUクロックのステータス（PCC, MCMレジスタ）を確認**

MCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックに変更してください。

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}

高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウエイトします^{注2}。

- 注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

・高速内蔵発振クロックの発振を再開^注

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例、(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック、高速システム・クロック動作中の場合、 の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で、メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CPUクロックの分周比を選択する場合は、PCC0、PCC1、PCC2で選択します。

PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択	
			FLMD0 = 0	FLMD0 = 1
0	0	0	f _{XP}	f _{RH}
0	0	1	f _{XP} /2 (デフォルト)	f _{RH} /2 (デフォルト)
0	1	0	f _{XP} /2 ²	f _{RH} /2 ²
0	1	1	f _{XP} /2 ³	f _{RH} /2 ³
1	0	0	f _{XP} /2 ⁴	f _{RH} /2 ⁴
上記以外			設定禁止	

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合**周辺ハードウェアの設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第13章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合**CPUクロックのステータスを確認 (PCC, MCMレジスタ)**

MCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックに変更してください。

MCS	CPUクロックのステータス
0	高速内蔵発振クロック
1	高速システム・クロック

高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックにf_{RL}を選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

（1）低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

（2）低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.4 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5 - 3 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定

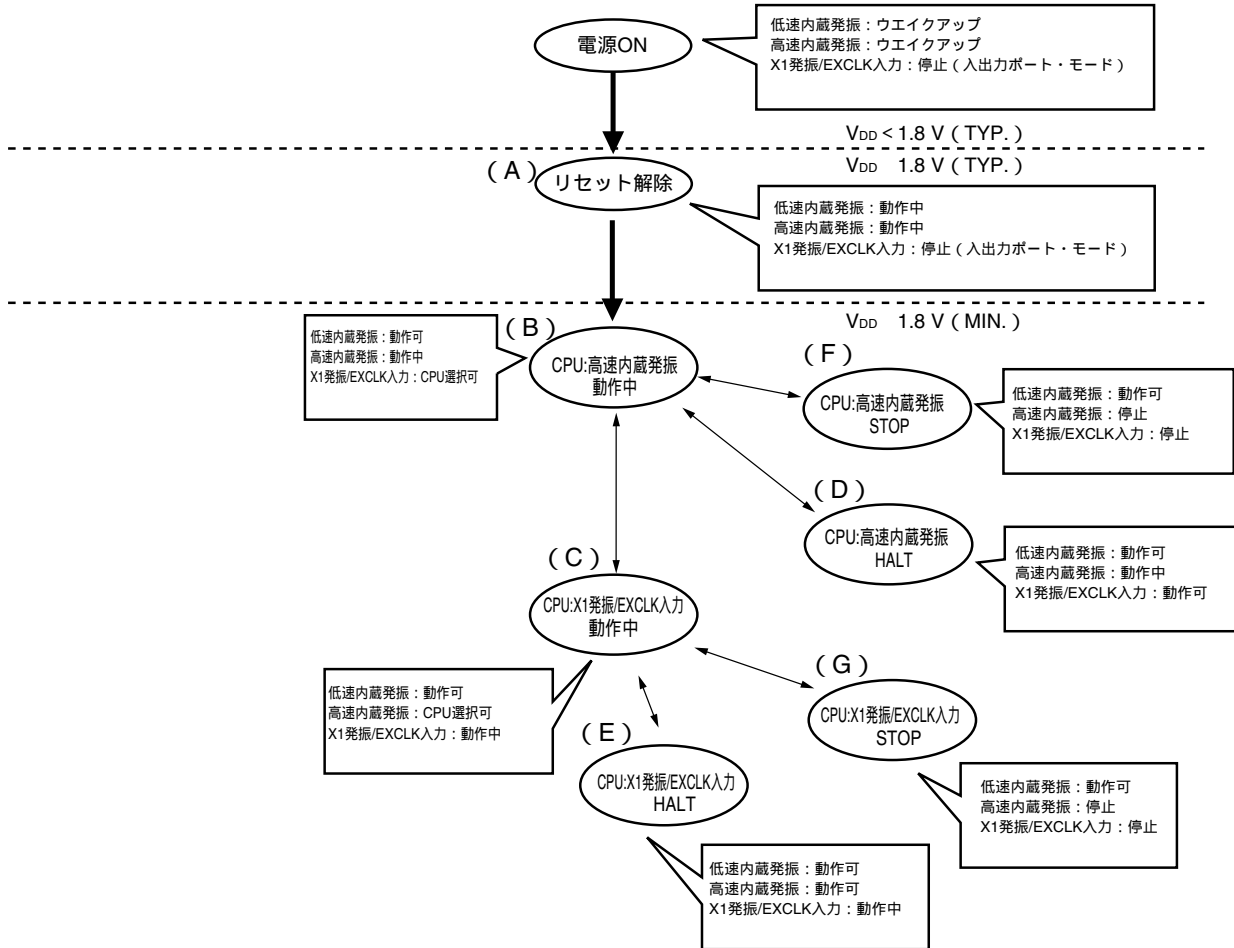
供給クロック		XSEL	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック			
高速内蔵発振クロック		0	x	x
高速内蔵発振クロック	X1クロック	1	0	0
	外部メイン・システム・クロック	1	0	1
X1クロック		1	1	0
外部メイン・システム・クロック		1	1	1

- 備考**
1. XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
 2. MCM0 :MCMのビット0
 3. EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
 4. x : don't care

5.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 12に示します。

図5 - 12 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5 - 4に示します。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/2)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ					
	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A) (B) (C) (X1クロック : 1 MHz f _{XH} 4 MHz)	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・クロック : 1 MHz f _{XH} 4 MHz)	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第21章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ					
	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
(B) (C) (X1クロック : 1 MHz f _{XH} 4 MHz)	0	1	0	確認必要	1	1
(B) (C) (外部メイン・クロック : 1 MHz f _{XH} 4 MHz)	1	1	0	確認不要	1	1

設定済みの場合は不要 高速システム・クロック
動作中の場合は不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

備考1. 表5 - 4の (A) - (G) は、図5 - 12の(A) - (G) と対応しています。

- 2. EXCLK, OSCSEL : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6
- MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
- XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
- XTSTART : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/2)

(4) CPUを高速システム・クロック動作 (C) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0
状態遷移	(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

注意 設定するクロックの動作可能電圧 (第21章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(5) CPUが高速内蔵発振クロック動作中 (B) にHALTモード (D) へ移行。

CPUが高速システム・クロック動作中 (C) にHALTモード (E) へ移行。

状態遷移	設定内容
(B) (D)	HALT命令を実行する
(C) (E)	

(6) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (F) へ移行

・CPUが高速システム・クロック動作中 (C) にSTOPモード (G) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (F)	STOPモード中に動作できない周辺	STOP命令を実行する
(C) (G)	機能を停止する	

備考1. 表5 - 4の (A) - (G) は, 図5 - 12の(A) - (G) と対応しています。

- MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0
RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	・高速内蔵発振器停止可能 (RSTOP = 1)
	外部メイン・ システム・クロック	EXCLK端子からの外部クロック入 力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	・高速内蔵発振器停止可能 (RSTOP = 1)
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されているこ と ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)

5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) の設定により、メイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数クロックは切り替え前のクロックで動作します (表5-6参照)。

表5-6 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に必要な最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	16クロック			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0	4クロック			4クロック			4クロック			4クロック					
0	1	1	2クロック			2クロック			2クロック			2クロック					
1	0	0	1クロック			1クロック			1クロック			1クロック					

備考 表5-6のクロック数は、切り替え前のCPUクロックのクロック数です。

また、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を変更したのち、数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックが高速内蔵発振クロックで動作しているか、高速システム・クロックで動作しているかは、MCMのビット1 (MCS) で判定できます。

表5 - 7 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

- 備考**1. 表5 - 7のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。
 2. 表5 - 7のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 1 \text{ MHz}$, $f_{XH} = 4 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 1/4 = 1 + 2 \times 0.25 = 1 + 0.5 = 1.5 \quad 1 \text{ クロック}$$

5.6.8 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	

5.6.9 周辺ハードウェアとソース・クロック

μ PD179F11x, 179F12xマイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

表5 - 9 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・クロック (f _{PRS})	低速内蔵発振 クロック (f _{RL})	TM50出力	周辺ハードウェアの 端子からの外部クロック
16ビット・タイマ/イベント・カウンタ00			×	×	(T1000端子)
8ビット・タイマ/イベント・カウンタ	50		×	×	(T150端子)
	51		×	×	(T151端子)
8ビット・タイマ	H0		×		×
	H1			×	×
ウォッチドッグ・タイマ		×		×	×
クロック出力			×	×	×
シリアル・インタフェース	UART6		×		×

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

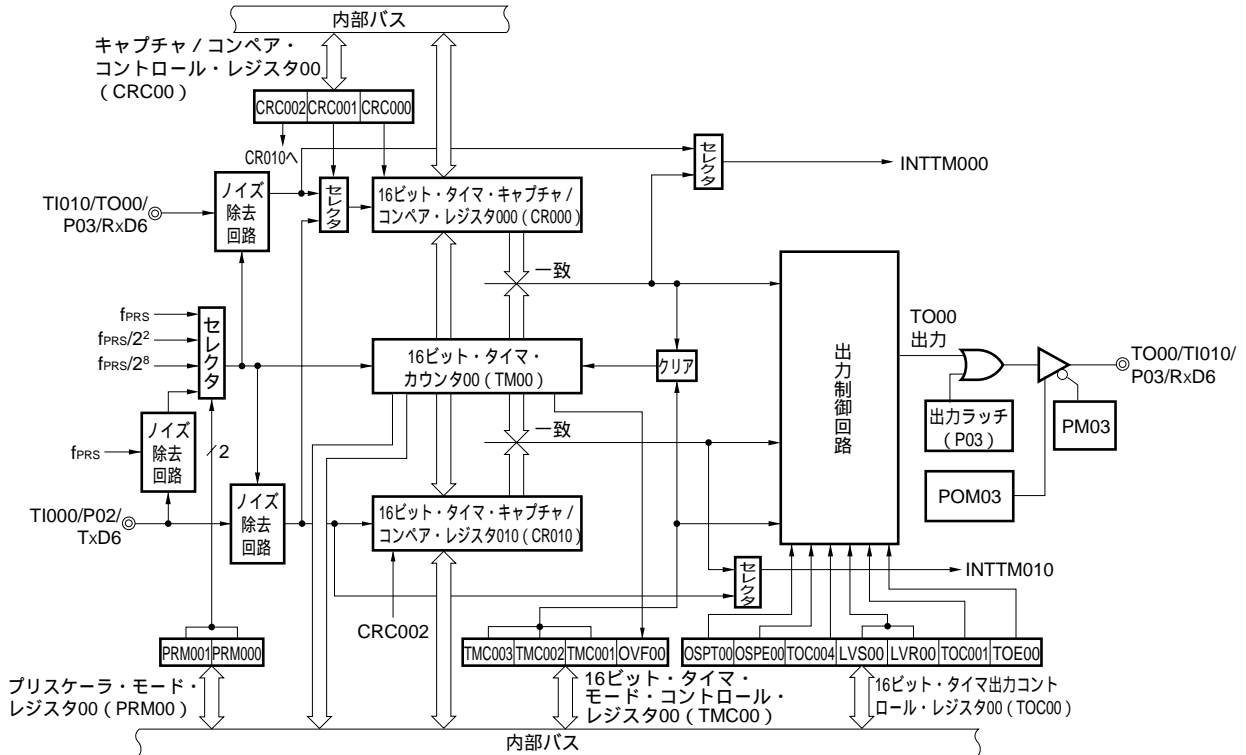
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ00の構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010端子
タイマ出力	TO00端子, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC00) キャプチャ/コンペア・コントロール・レジスタ0 (CRC00) 16ビット・タイマ出力コントロール・レジスタ0 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ0 (PM0) ポート・レジスタ (P0) ポート出力モード・レジスタ0 (POM0)

図6-1にブロック図を示します。

図6-1 16ビット・タイマ/イベント・カウンタ00のブロック図



注意1. P01端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

注意2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。

なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ00 (TM00)

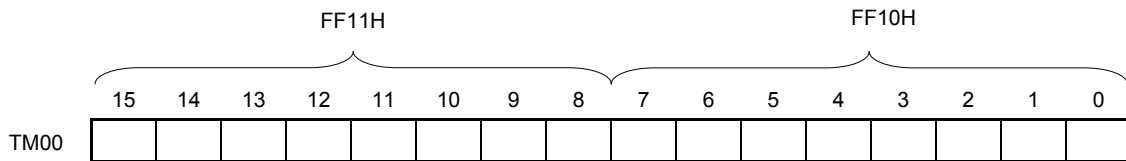
TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

また、動作中にカウント値を読み出した場合、カウント・クロック入力を一時停止し、その時点でのカウント値を読み出します。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF10H, FF11H リセット時：0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより、カウント値をリードできます。TMC003, TMC002 = 00の状態でもリードした場合には、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時、TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時、TM00とCR000が一致したとき
- ・ワンショット・パルス出力モードで、OSPT00をセット (1) したとき、またはTI000端子に有効エッジが入力されたとき

注意1. TM00をリードしても、CR010にはキャプチャしません。

2. TM00をリード時は、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、クロック・ミスは発生しません。

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000),
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC00で行います。

CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

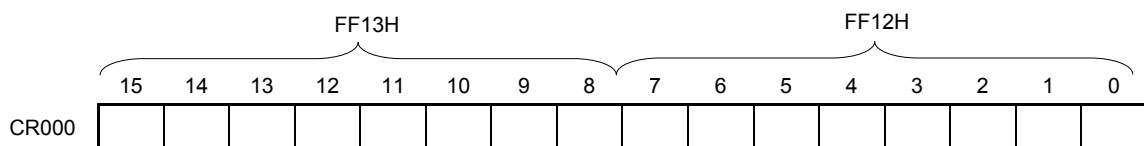
CR010は、所定の方法で設定した場合、動作中に書き換え可能です。詳細は6.5.1 CR010のTM00動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット

アドレス : FF12H, FF13H リセット時 : 0000H R/W



(i) CR000をコンペア・レジスタとして使用するとき

CR000に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

注意 コンペア・モードに設定したCR000はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

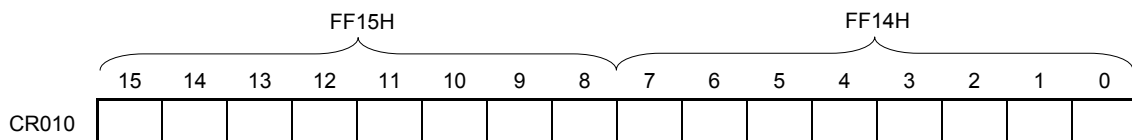
(ii) CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR000にキャプチャします。

キャプチャ・トリガとして、TI000端子の逆相のエッジかTI010端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC00, PRM00で設定します。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス : FF14H, FF15H リセット時 : 0000H R/W



(i) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。

注意 コンペア・モードに設定したCR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，TM00のカウンタ値をCR010にキャプチャします。

キャプチャ・トリガとして，TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは，PRM00で設定します。

(iii) CR000, CR010をコンペア・レジスタとして使用した場合の設定範囲

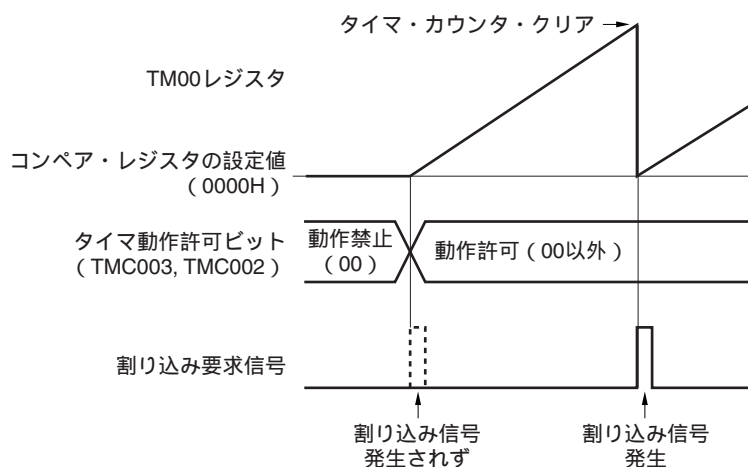
CR000, CR010をコンペア・レジスタとして使用するときには，次の範囲で値を設定してください。

動作	CR000の設定範囲	CR010の設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^注 M FFFFH
方形波出力としての動作		通常，使用しません。一致割り込み信号 (INTTM010) をマスクしてください。
外部イベント・カウンタとしての動作		
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^注 N FFFFH	0000H ^注 M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H ^注 M < N
ワンショット・パルス出力としての動作	0000H ^注 N FFFFH (N M)	0000H ^注 M FFFFH (M N)

注 0000Hに設定した場合，タイマ動作直後の一致割り込みは発生せず，タイマ出力も変化しません。

0000Hに設定した場合，最初の一致タイミングは次のようになります。なお，一致割り込みは，タイマ・カウンタ (TM00レジスタ) が0000Hから0001Hになるタイミングで発生します。








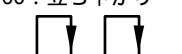
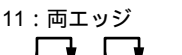

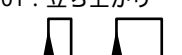
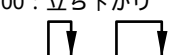
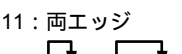
- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI000端子の有効エッジによるタイマ・カウンタ・クリア時
(TI000端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM00とCR000の一致でクリア&スタート・モード (CR000 = 0000H以外，CR010 = 0000H) のとき)



備考1. N : CR000の設定値，M : CR010の設定値

2. TMC003, TMC002については，6.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) を参照してください。

表6-2 CR000のキャプチャ動作

外部入力信号	TI000端子入力 		TI010端子入力 	
キャプチャ動作				
CR000のキャプチャ動作	CRC001 = 1 TI000端子入力 (逆相) 	ES001, ES000の設定値 キャプチャするエッジの位置	CRC001ビット = 0 TI010端子入力 	ES101, ES100の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
	11: 両エッジ (キャプチャできません)		11: 両エッジ 	
割り込み信号	キャプチャしても INTTM000信号は発生しない		割り込み信号	キャプチャするごとに INTTM000信号が発生
CR010のキャプチャ動作	TI000端子入力 ^注 	ES001, ES000の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
	11: 両エッジ 			
割り込み信号	キャプチャするごとに INTTM010信号が発生			

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

注意 TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

備考 CRC001 : 6.3(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照
 ES101, ES100, ES001, ES000 : 6.3(4) プリスケアラ・モード・レジスタ00 (PRM00) 参照

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)
- ・ポート出力モード・レジスタ0 (PM0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバーフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBC_H リセット時 : 00_H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

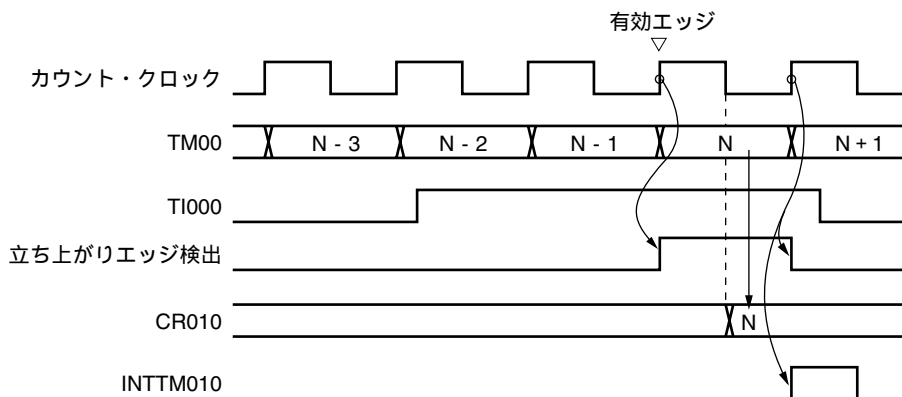
CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする ^注
TI010, TI000端子の有効エッジはPRM00で設定します。 ただし, CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると, TI000端子の有効エッジを検出できません。	

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は, CRC000には必ず0を設定してください。	

注 TI010端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6 - 7 CR010のキャプチャ動作例 (立ち上がりエッジ指定時)



(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

TOC00は、TO00出力を制御する8ビットのレジスタです。

TOC00は、OSPT00だけが動作中 (TMC003, TMC002 = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR010の値を変更する手段としての、TOC004の書き換えは可能です (6. 5. 1 CR010のTM00動作中の書き換えを参照してください)。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC00を設定するときは、必ず次の順序で設定してください。

TOC004, TOC001のセット (1)

TOE00だけを単独でセット (1)

LVS00またはLVR00のどちらか片方だけをセット (1)

図6 - 8 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
OSPT00	ソフトウェアによるワンショット・パルス出力トリガ							
0	-							
1	ワンショット・パルス出力							
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM00はクリア&スタートします。								
OSPE00	ワンショット・パルス出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力							
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。 TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。								
TOC004	CR010とTM00の一致によるTO00出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。								
LVS00	LVR00	TO00出力の状態の設定						
0	0	変化しない						
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))						
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))						
1	1	設定禁止						
<ul style="list-style-type: none"> ・ LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。 ・ LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。 LVS00, LVR00とTOE00を同時にセット (1) することも禁止です。 ・ LVS00, LVR00はトリガ・ビットです。セット (1) することで、TO00出力レベルの初期値を設定します。クリア (0) しても、TO00出力に影響はありません。 ・ LVS00, LVR00のリード値は常に“0”です。 ・ LVS00, LVR00の設定方法の詳細は、6.5.2 LVS00, LVR00の設定についてを参照してください。 ・ 実際のTO00/TI010/RxD6/P03端子の出力はTO00出力のほかに、PM03とP03によって決まります。 								
TOC001	CR000とTM00の一致によるTO00出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。								
TOE00	TO00出力制御							
0	出力禁止 (TO00出力はロウ・レベルに固定)							
1	出力許可							

(4) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000, TI010端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外) の書き換えは禁止です。

PRM00 は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM001, PRM000ビット =11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
- ・ TI000端子をキャプチャ・トリガに設定

2. リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P01端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

図6-9 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり の両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり の両エッジ

PRM001	PRM000	カウント・クロックの選択		
			f _{PRS} = 2 MHz	f _{PRS} = 4 MHz
0	0	f _{PRS}	2 MHz	4 MHz
0	1	f _{PRS} /2 ²	500 kHz	1 MHz
1	0	f _{PRS} /2 ⁸	7.81 kHz	15.625 kHz
1	1	TI000有効エッジ ^注		

注 TI000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P03/TO00/TI010/RxD6端子をタイマ出力として使用するとき, PM03およびP03の出力ラッチに0を設定してください。

P02/TI000/TxD6, P03/TO00/TI010/ RxD6端子をタイマ入力として使用するとき, PM02, PM03に1を設定してください。このときP02, P03の出力ラッチは, 0または1のどちらでもかまいません。

PM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図6 - 10 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PM0n	P0n端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

(6) ポート出力モード・レジスタ0 (POM0)

ポート0の出力モードを設定するレジスタです。

POM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図6 - 11 ポート出力モード・レジスタ0 (POM0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	FF38H	00H	R/W

POM0n	P0nの出力モードの選択 (n = 0-7)										
0	CMOS出力										
1	N-chオープン・ドレイン出力 (P07はP-chオープン・ドレイン出力)										

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

その後、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1.** 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)** , (6) **ポート出力モード・レジスタ0 (POM0)** を参照してください。
2. INTTM000信号の割り込み許可については、**第11章 割り込み機能**を参照してください。

図6 - 12 インターバル・タイマ動作のブロック図

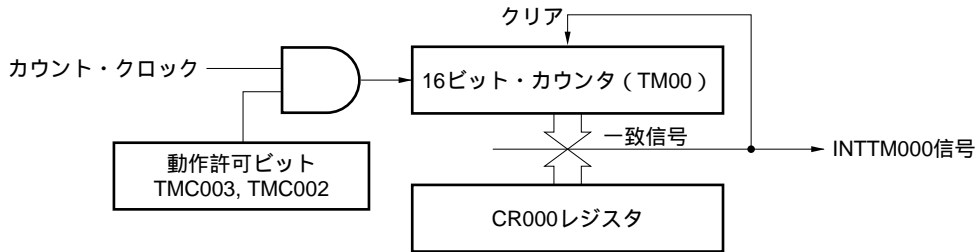


図6 - 13 インターバル・タイマ動作の基本タイミング例

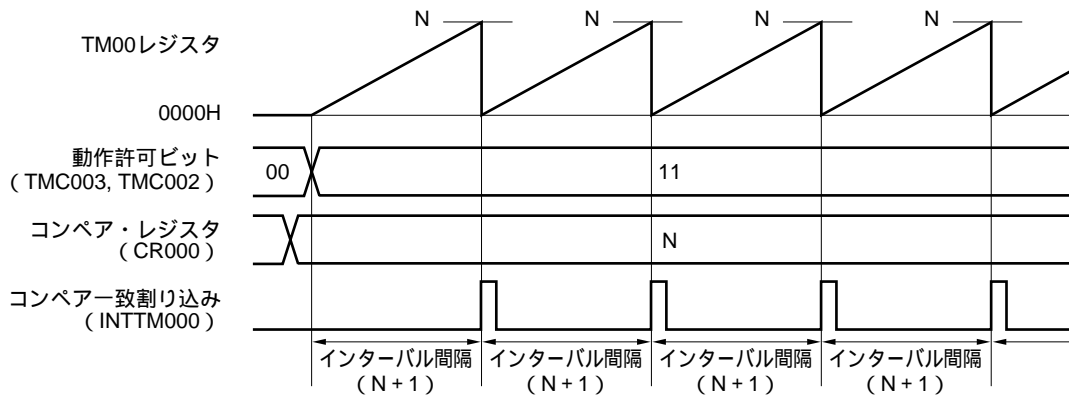
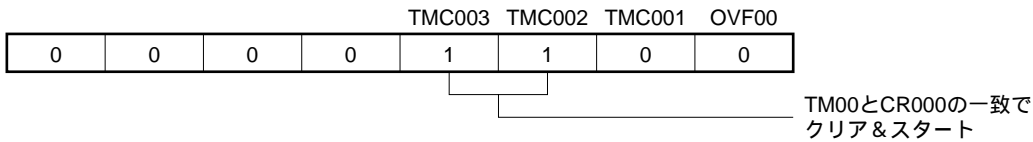
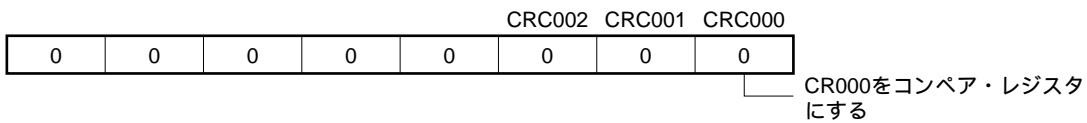


図6 - 14 インターバル・タイマ動作時のレジスタ設定内容例

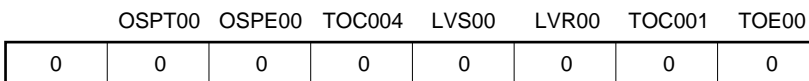
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



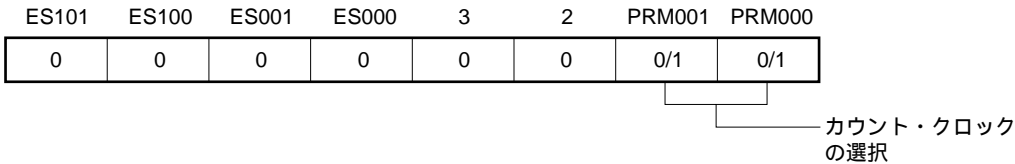
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケーラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

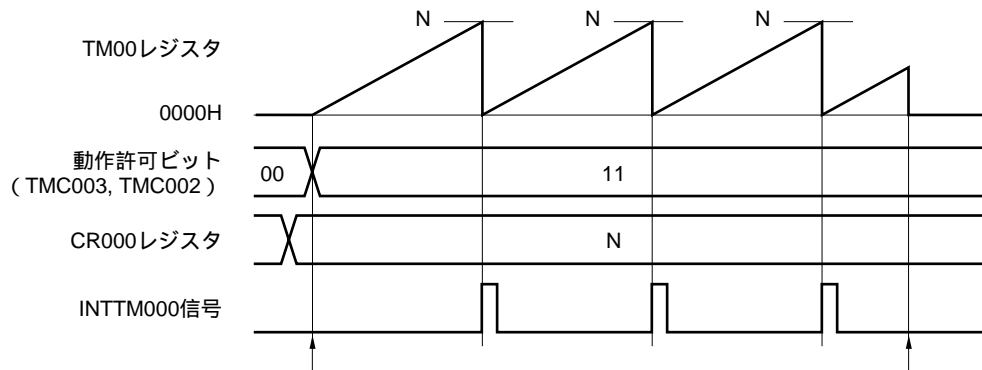
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

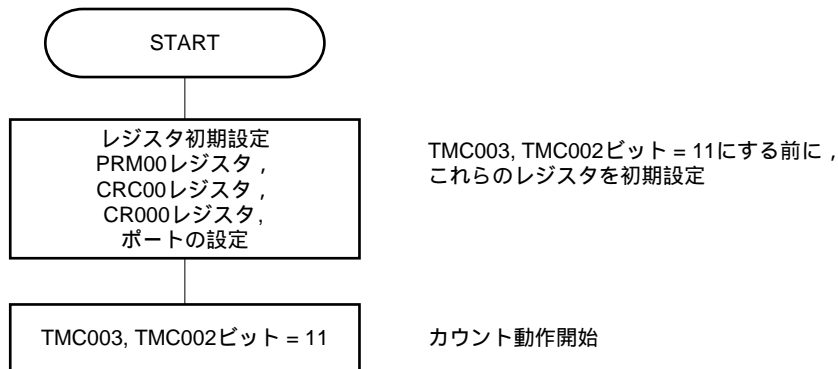
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

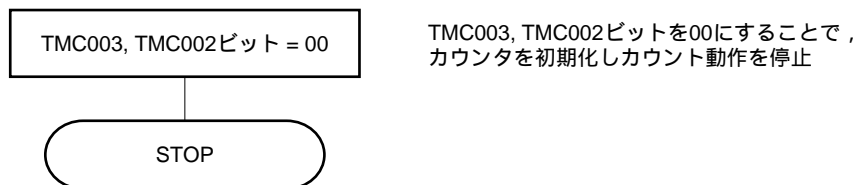
図6 - 15 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.2 方形波出力としての動作

インターバル・タイマ (6.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ00 (TOC00) = 03Hに設定することにより、TO00端子から方形波を出力できます。

TMC003, TMC002 = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、割り込み信号 (INTTM000) を発生し、TO00出力を反転します。この一定間隔で反転するTO00出力により、方形波出力として動作します。

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**、(6) **ポート出力モード・レジスタ0 (POM0)** を参照してください。

2. INTTM000信号の割り込み許可については、**第11章 割り込み機能**を参照してください。

図6-16 方形波出力動作のブロック図

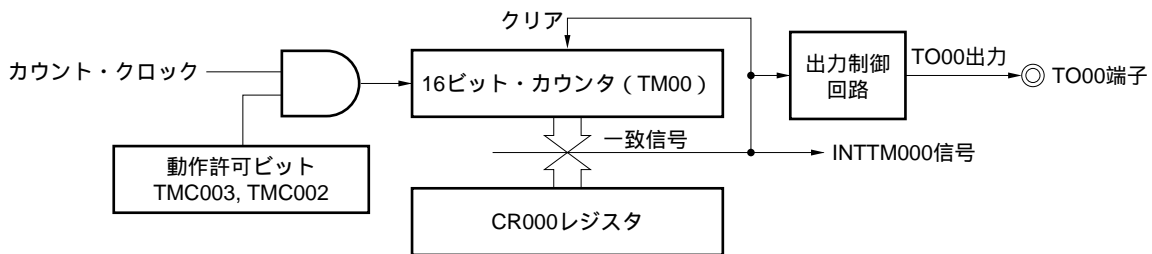


図6-17 方形波出力動作の基本タイミング例

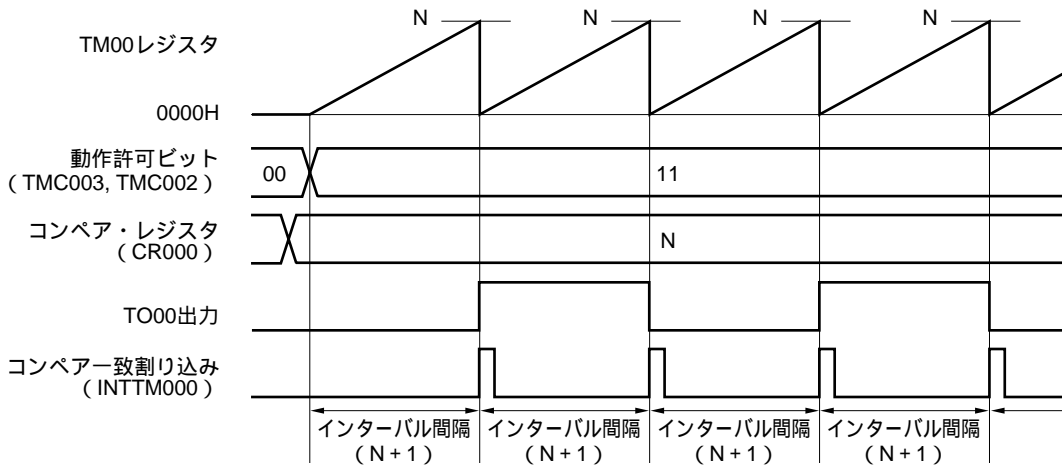


図6 - 18 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	1	1

TO00出力許可

TM00とCR000の一致に
よりTO00出力を反転

TO00出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 18 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

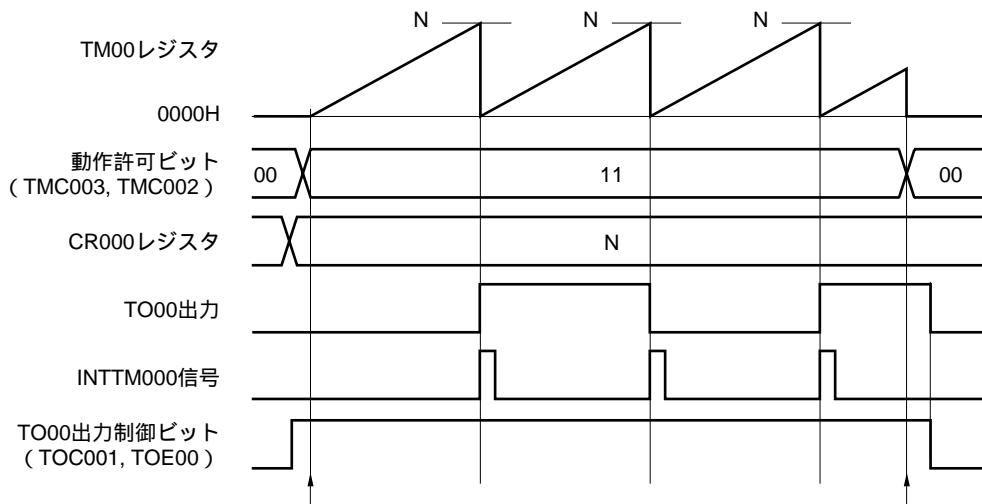
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

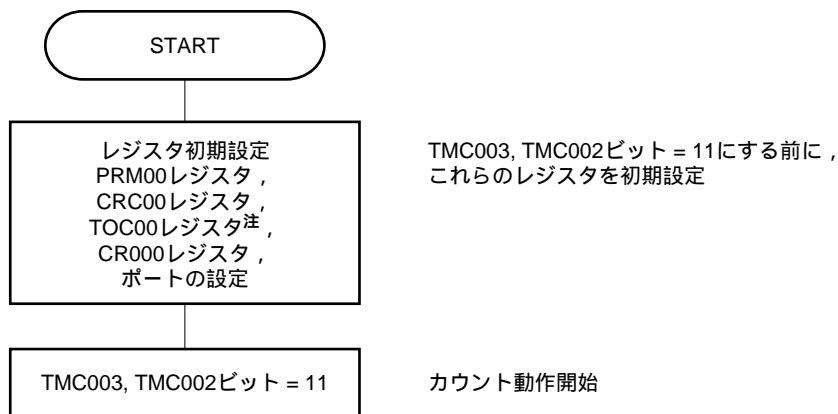
方形波出力機能では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

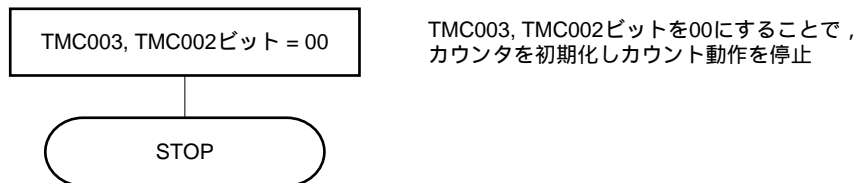
図6 - 19 方形波出力機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

- ・ INTTM000信号発生タイミング (2回目以降)
 - = 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・ INTTM000信号発生タイミング (初回のみ)
 - = 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号を f_{PRS} のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

- 備考1.** 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**を参照してください。
- 2.** INTTM000信号の割り込み許可については, **第11章 割り込み機能**を参照してください。

図6 - 20 外部イベント・カウンタとしての動作のブロック図

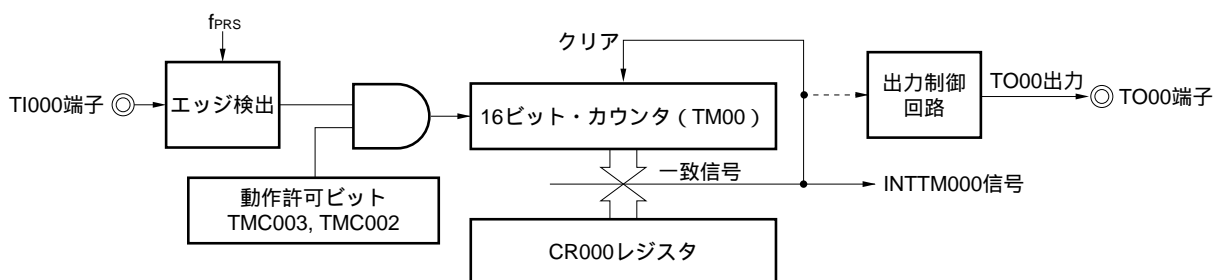
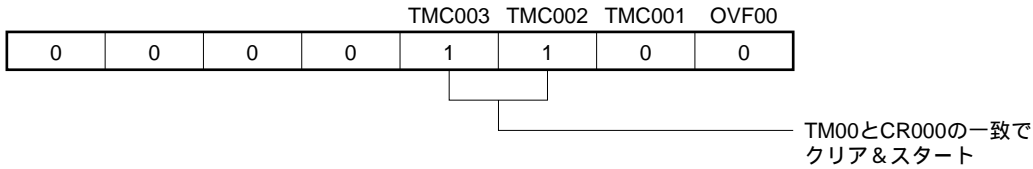
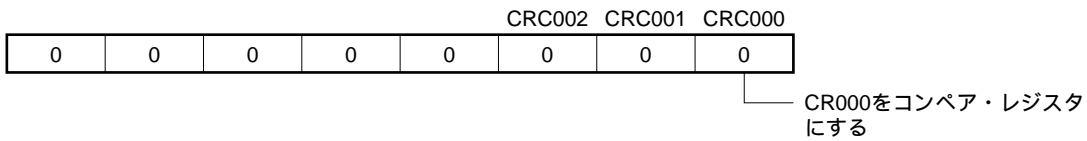


図6 - 21 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

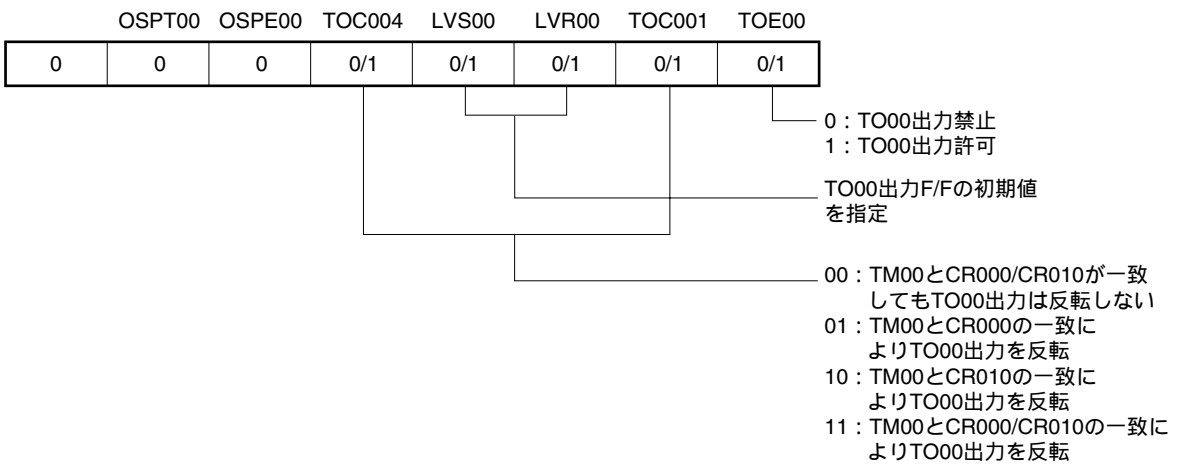
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)

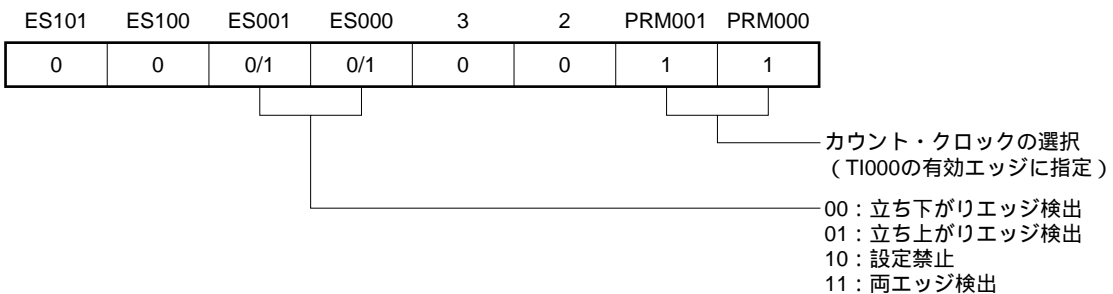


図6 - 21 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM000) が発生します。

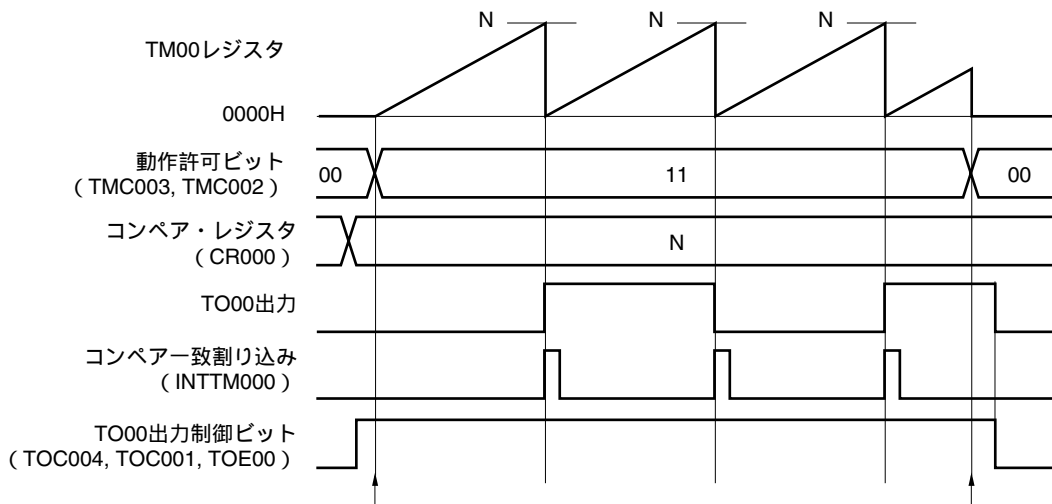
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

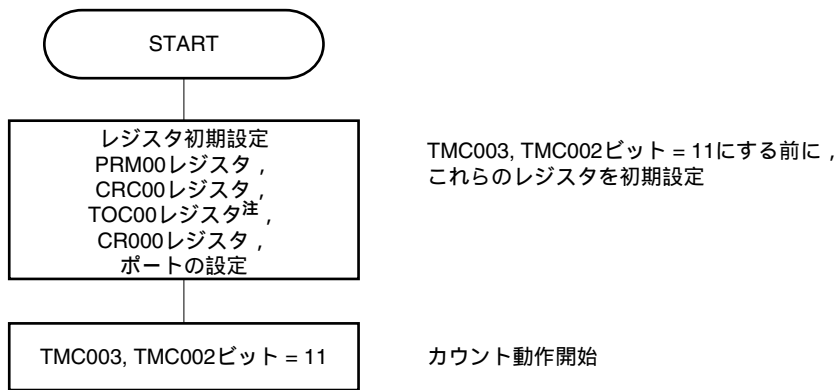
外部イベント・カウンタ・モード動作時では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 22 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を参照してください。

6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し, カウント・クロック (PRM00にて設定) を供給すると, TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると, TM00を0000Hにクリアして, 再度カウント・アップします。TI000端子の有効エッジがない場合, TM00はオーバフローして, カウントを続けます。

TI000端子の有効エッジは, TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000, CR010は, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

(b) CR000, CR010をキャプチャ・レジスタとして使用した場合

TI010端子に有効エッジが入力される(またはTI000端子に有効エッジの逆相が入力される)と, TM00のカウント値をCR000にキャプチャし, INTTM000信号が発生します。

TI000端子に有効エッジが入力されると, TM00のカウント値をCR010にキャプチャし, INTTM010信号が発生します。TI000端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意 カウント・クロックをTI000端子の有効エッジ (PRM001, PRM000 = 11) に設定しないでください。PRM001, PRM000 = 11に設定すると, TM00がクリアされてしまいます。

- 備考1.** 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
2. INTTM000信号の割り込み許可については, 第11章 割り込み機能を参照してください。

(1) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 23 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

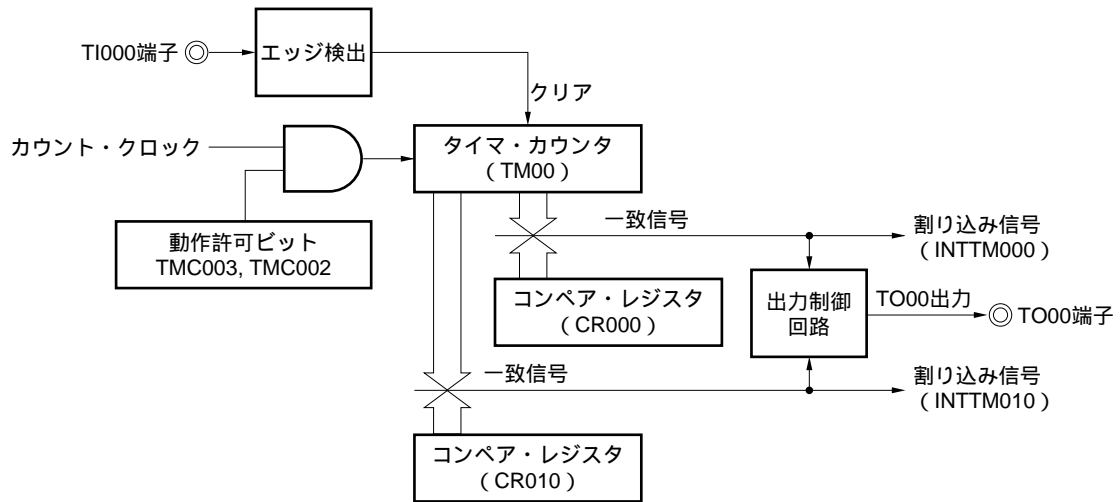
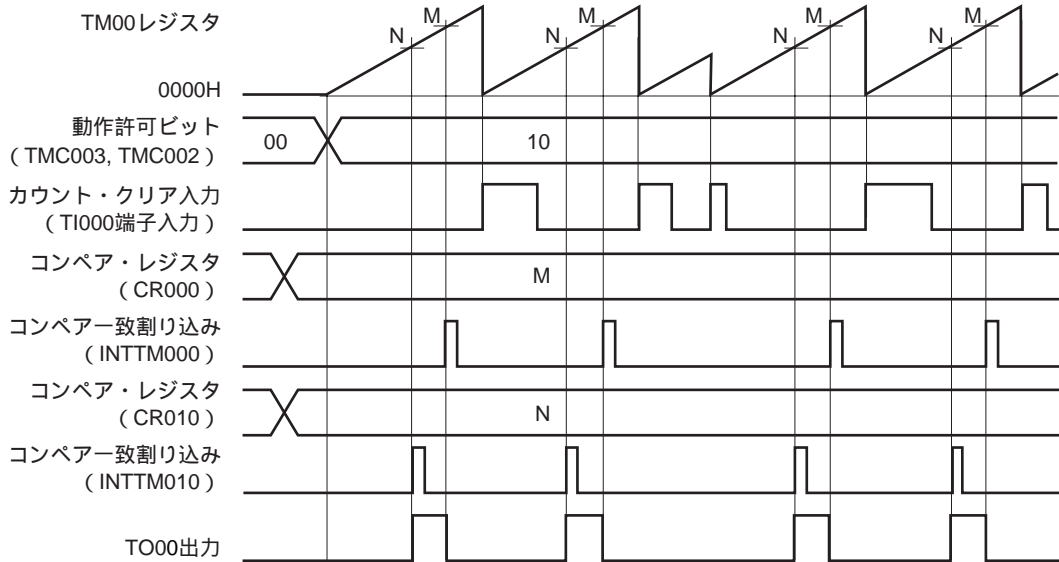
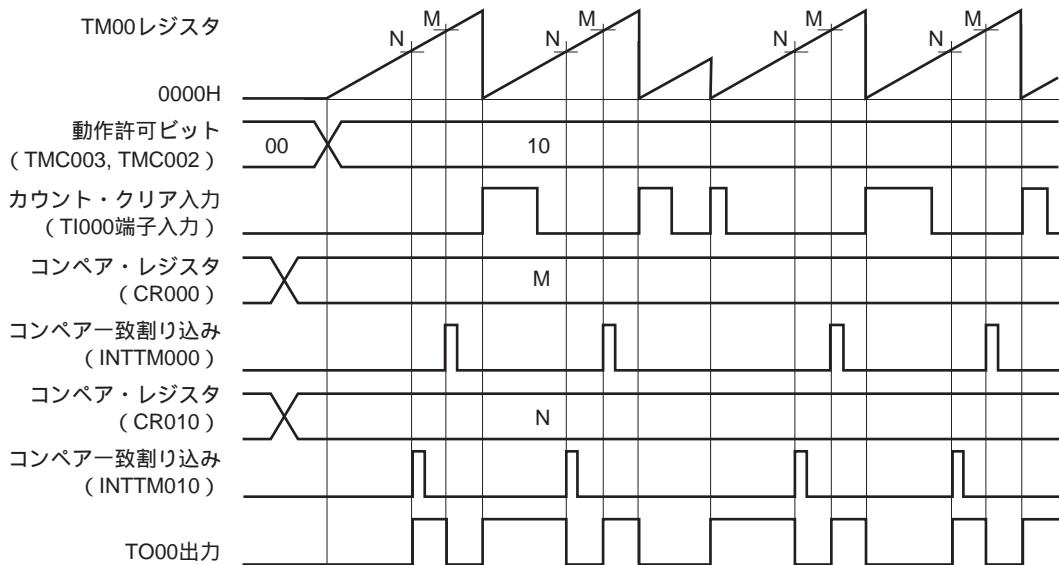


図6 - 24 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 0AH



16ビット・タイマ・モード・コントロール・レジスタ01 (TMC00) のビット1 (TMC001) の設定により, (a) と (b) には次のような違いがあります。

(a) TM00とコンペア・レジスタが一致したときに, TO00の出力レベルが反転

(b) TM00とコンペア・レジスタが一致したとき, またはTI000端子の有効エッジを検出したときに, TO00の出力レベルが反転

(2) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 25 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

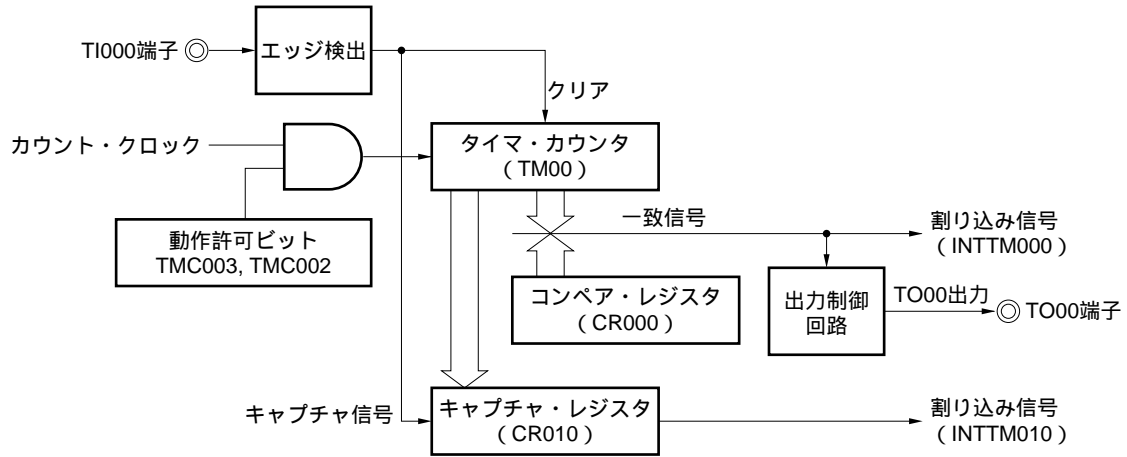
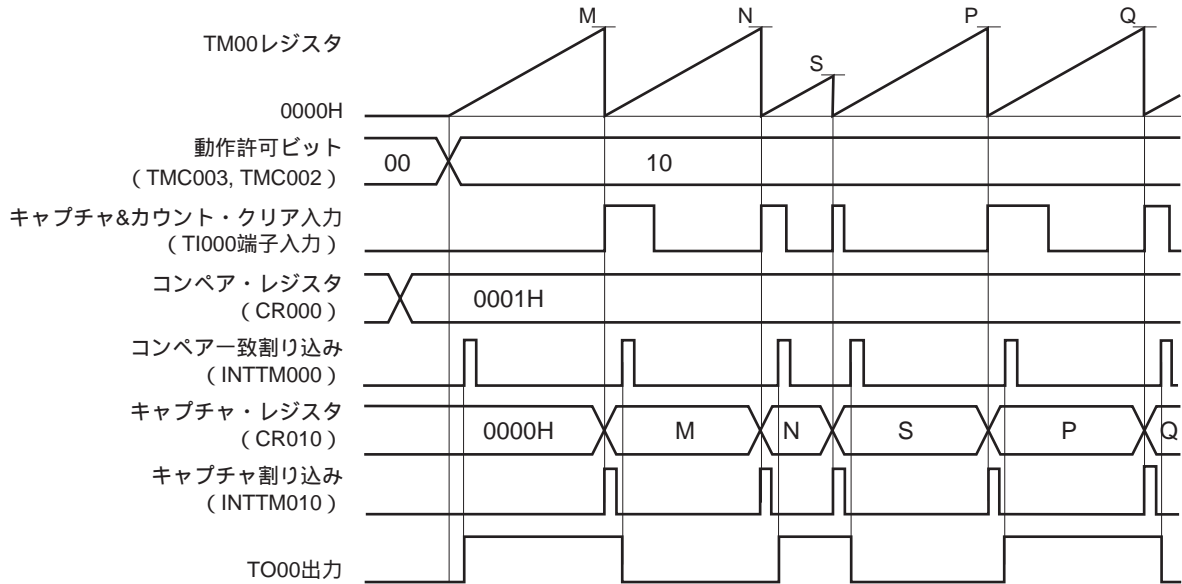


図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H

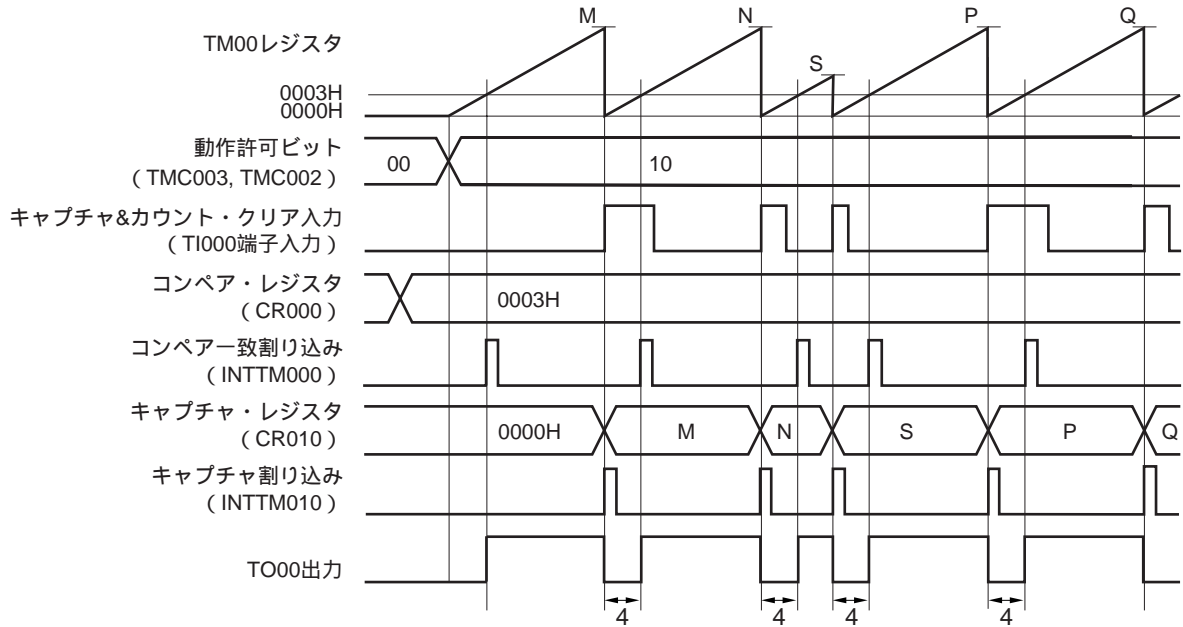


キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、TM00をクリア (0000H) します。TM00のカウンタ値が0001Hになると、コンペア一致割り込み信号 (INTTM000) が発生し、TO00出力レベルが反転します。

図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 0AH, CR000 = 0003H



キャプチャ&クリア後に、CR000に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、キャプチャ割り込み信号（INTTM010）が発生し、TM00をクリア（0000H）し、TO00出力を反転します。TM00のカウント値が0003Hになる（4クロックをカウントすると）、コンペア一致割り込み信号（INTTM000）が発生し、TO00出力レベルが反転します。

(3) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 27 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ)

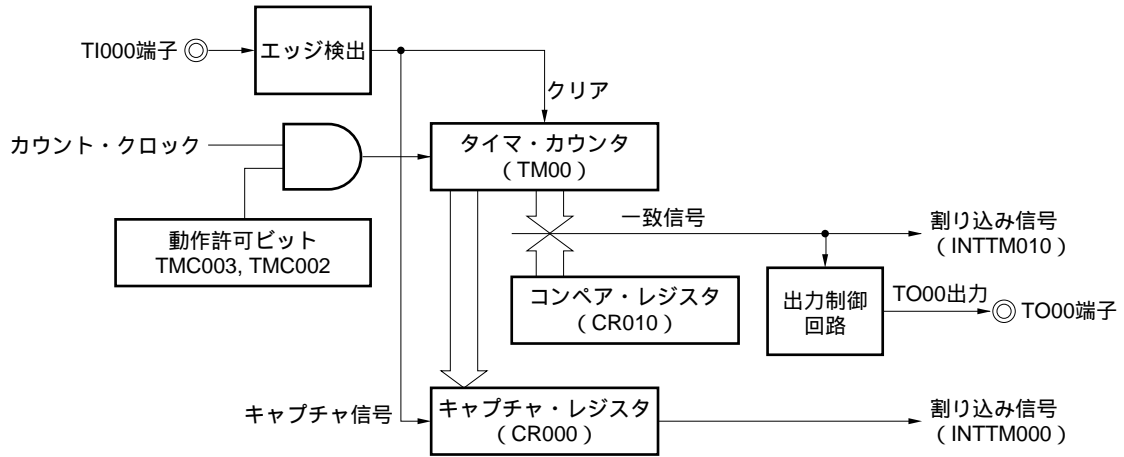
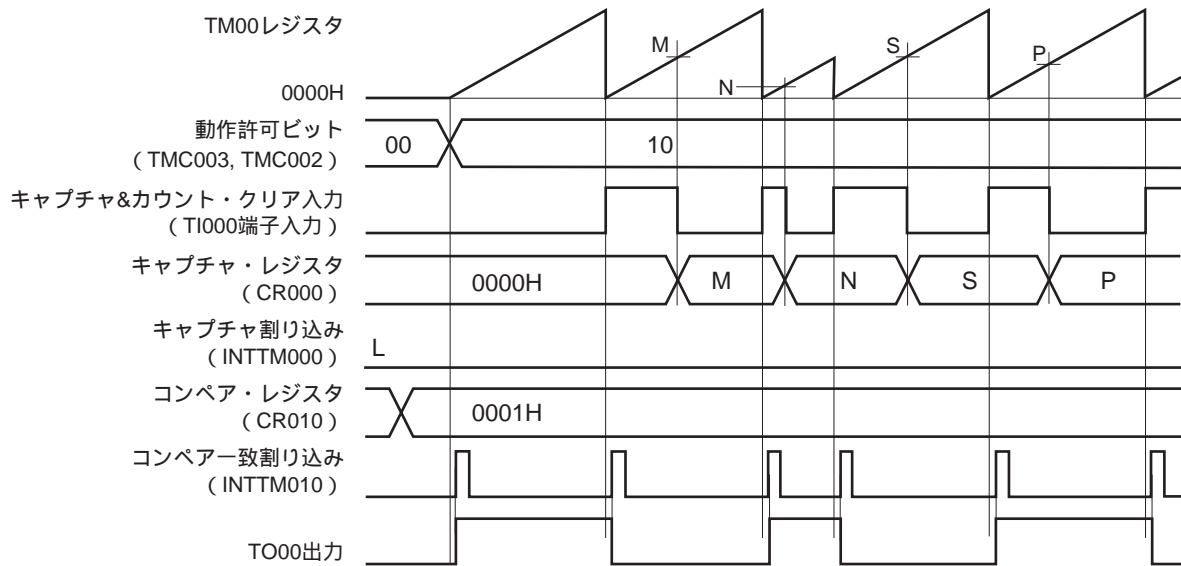


図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 08H, CR010 = 0001H



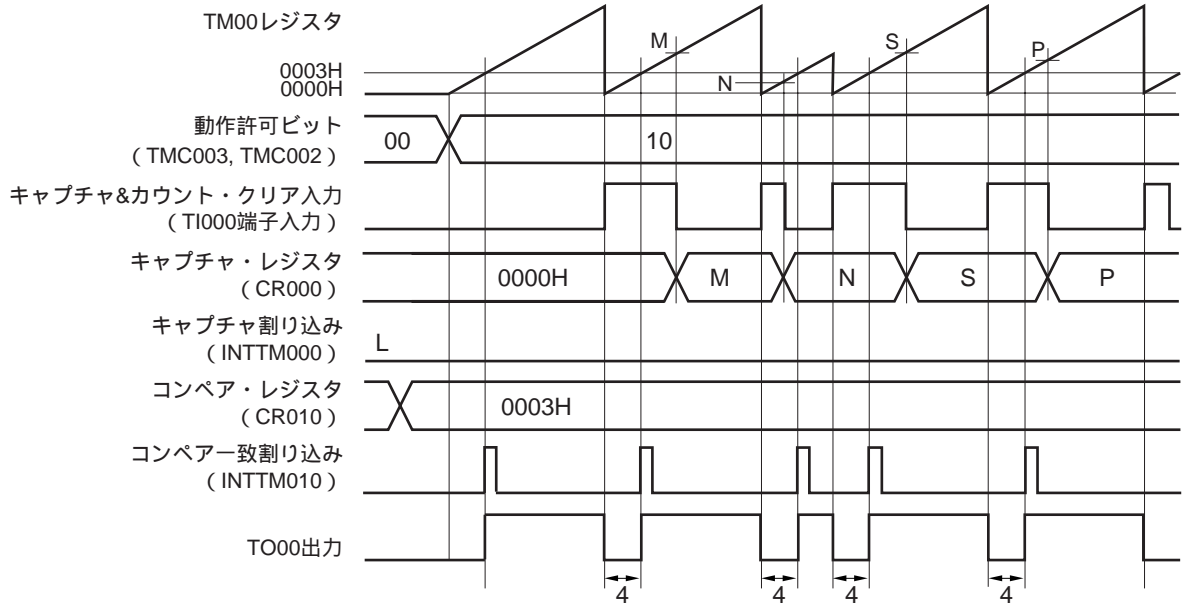
キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリアします。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。

キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1 (CRC001) = 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号 (INTTM000) は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000信号が発生します。INTTM000信号を使用しない場合は、INTTM000信号をマスクしてください。

図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 0AH, CR010 = 0003H



キャプチャ&クリア後に、CR010に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリア（0000H）します。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。TO00出力は、TI000端子の立ち上がりエッジ検出によるTM00のクリア（0000H）か、TM00とコンペア・レジスタ（CR010）の一致で反転します。

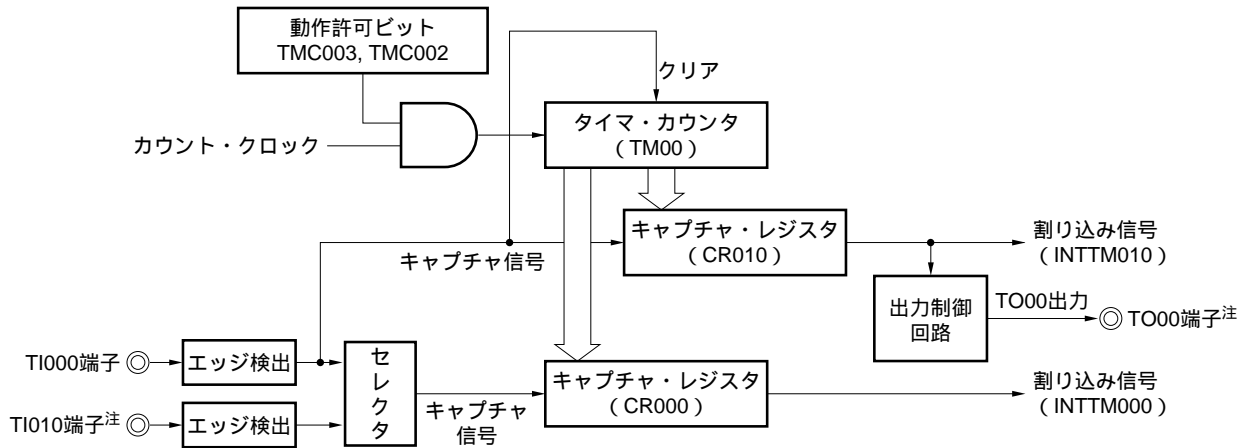
キャプチャ/コンペア・コントロール・レジスタ00（CRC00）のビット1（CRC001）= 1の設定により、TI000端子入力の逆相でTM00のカウンタ値をCR000にキャプチャしますが、キャプチャ割り込み信号（INTTM000）は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000割り込みが発生します。INTTM000信号を使用しない場合はINTTM000信号をマスクしてください。

(4) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

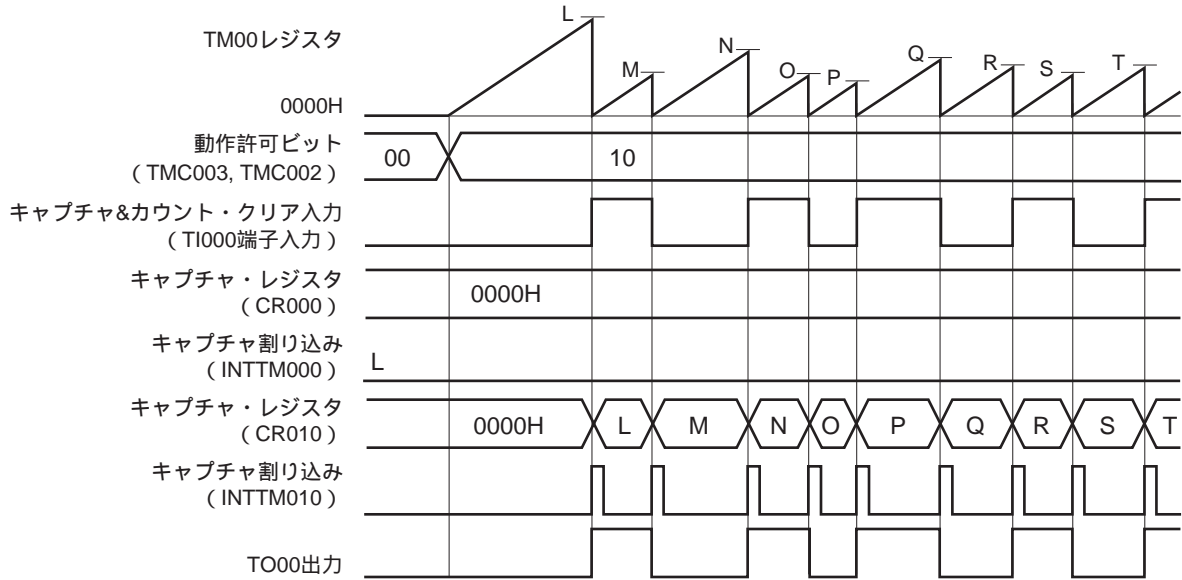
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/3)

(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH

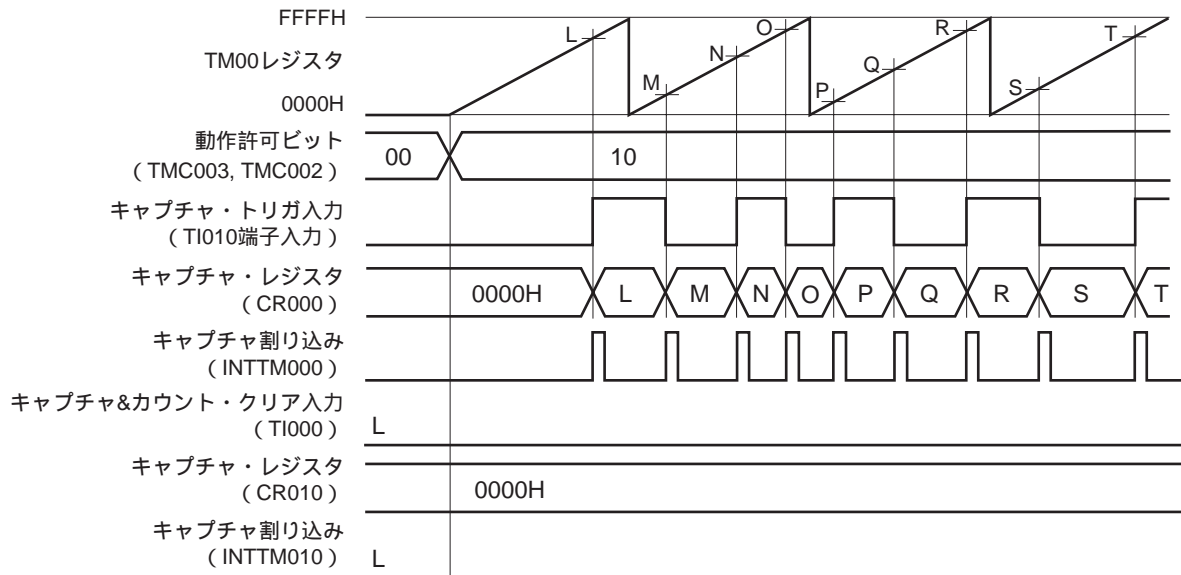


TI000端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR010にキャプチャし、TM00をクリアし、TO00出力を反転させるアプリケーション例です。

TI010端子のエッジ検出により、割り込み信号 (INTTM000) が発生します。INTTM000信号を使用しない場合には、INTTM000信号をマスクしてください。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/3)

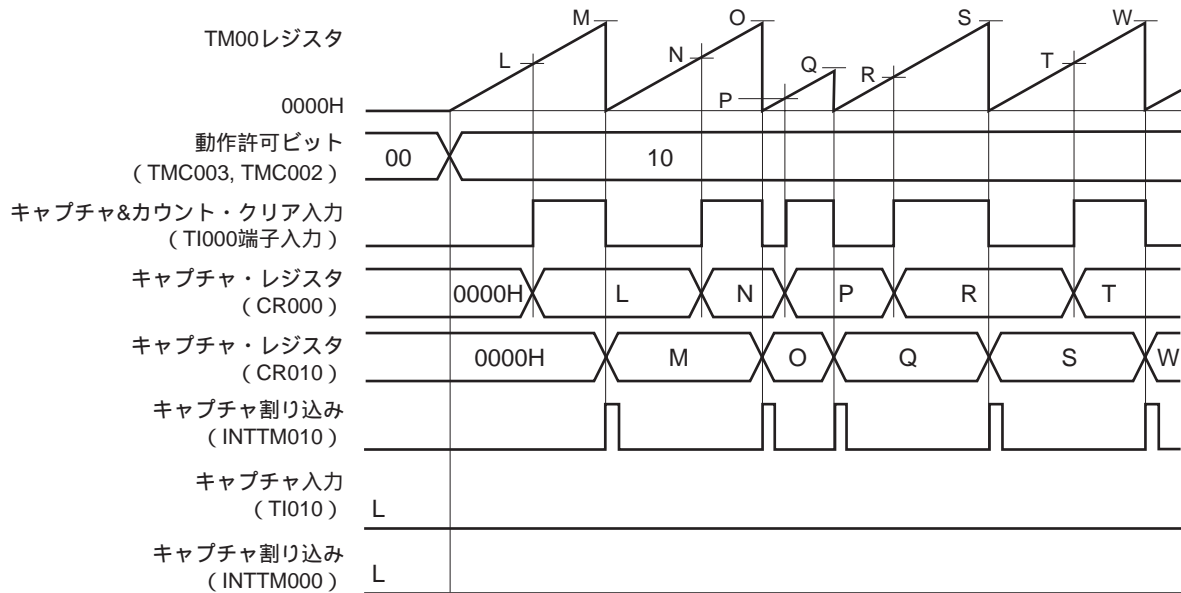
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



TI010端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR000にキャプチャするアプリケーションにおいて、TI000端子にエッジが入力されないときのタイミング例です。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (3/3)

(c) TOC00 = 13H, PRM00 = 00H, CRC00 = 07H, TMC00 = 0AH



TI000端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC00の設定により，TI000端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR000にキャプチャし，TI000端子の立ち下がりエッジ検出でCR010にキャプチャします。

入力パルスのハイ・レベル幅，ロウ・レベル幅は，次の式で算出できます。

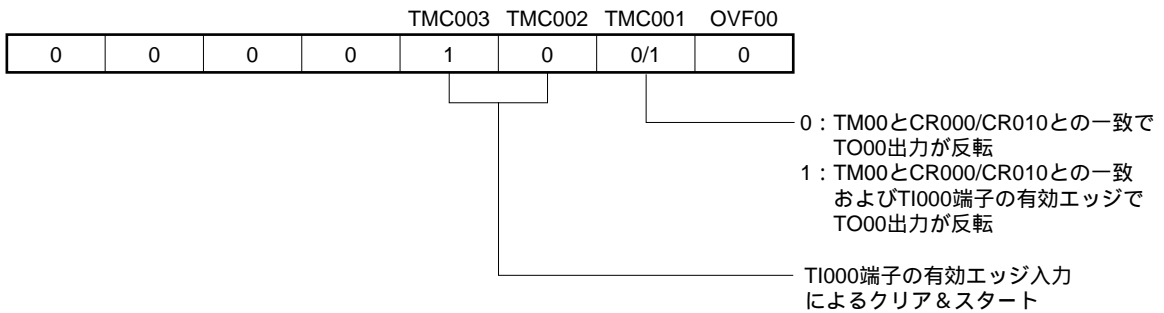
- ・ハイ・レベル幅 = [CR010値] - [CR000値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR000値] × [カウント・クロック周期]

CR000へのキャプチャ・トリガとしてTI000端子の逆相を選択した場合，INTTM000信号は発生しません。パルス幅測定のためのCR000, CR010値のリードは，INTTM010信号発生直後に行ってください。

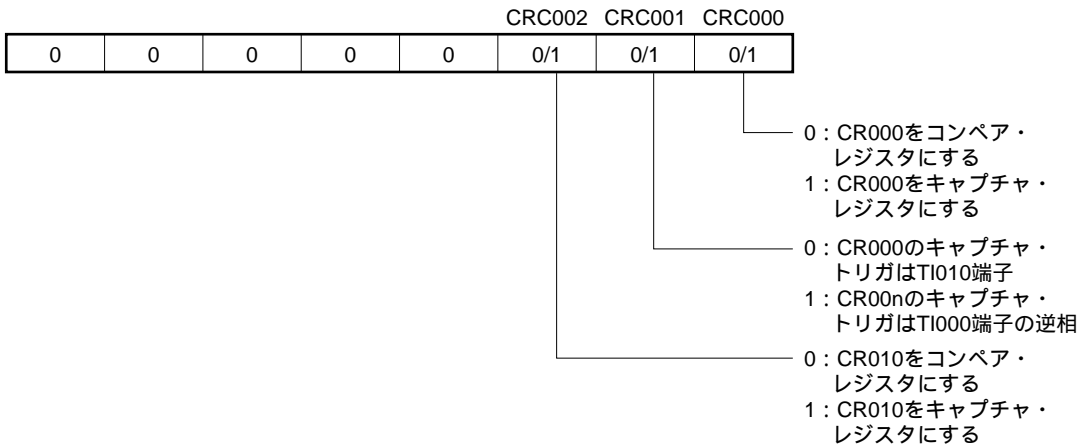
ただし，TI010端子にプリスケアラ・モード・レジスタ00 (PRM00) のビット6, 5 (ES101, ES100) で指定した有効エッジが入力されると，キャプチャ動作はしませんが，INTTM000信号は発生します。TI000端子のパルス幅を測定する場合，INTTM000信号を使用しないときは，INTTM000信号をマスクしてください。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

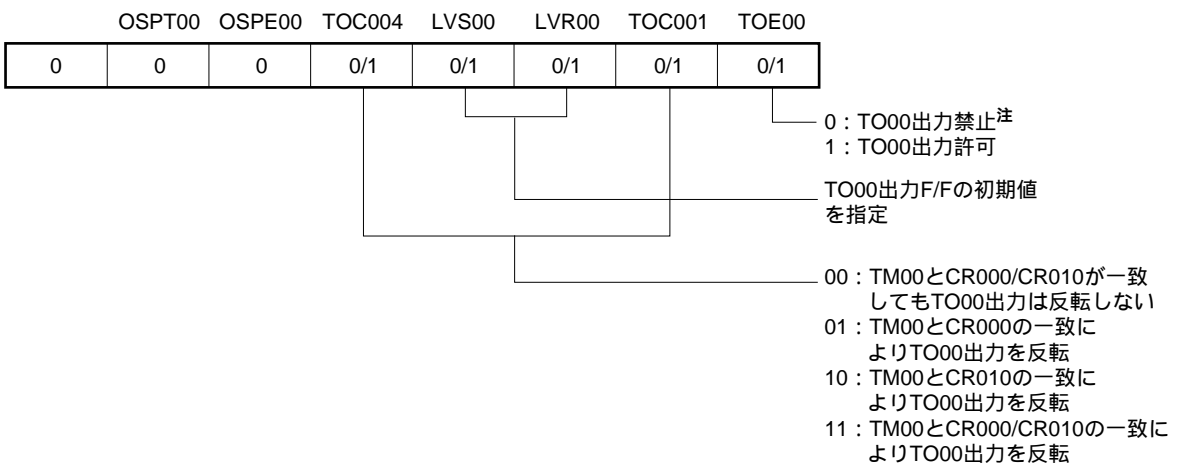
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



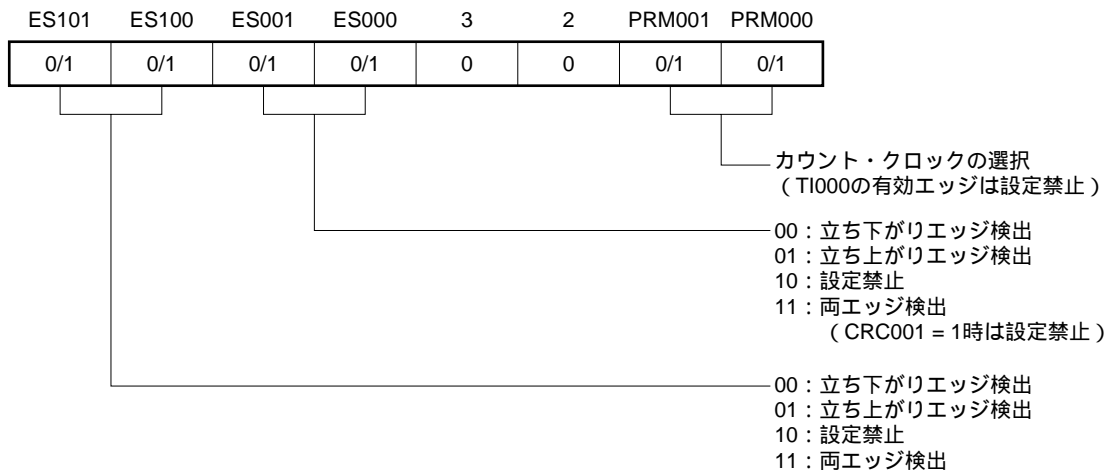
(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000, TI010端子^注入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

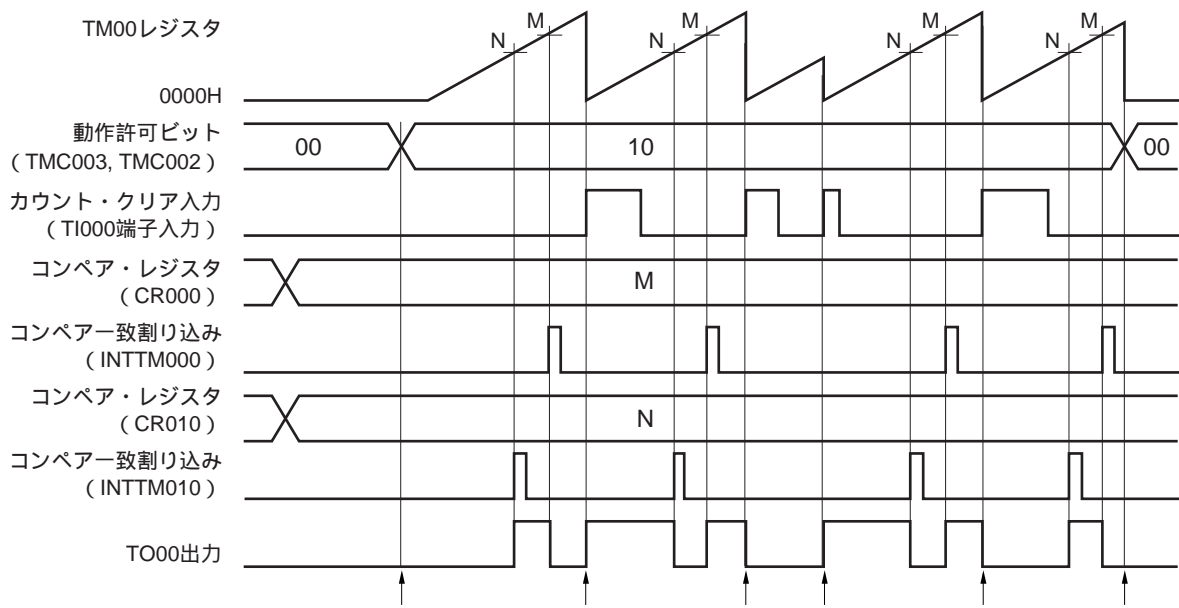
注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

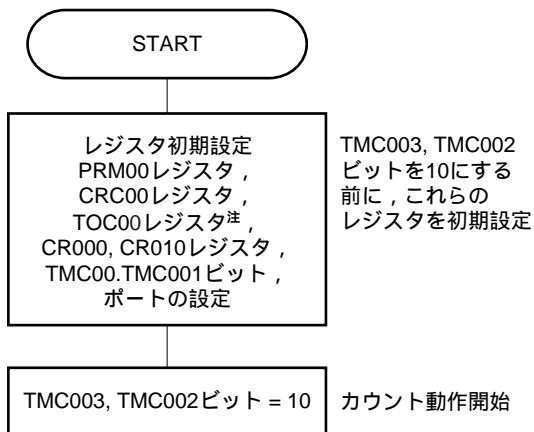
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

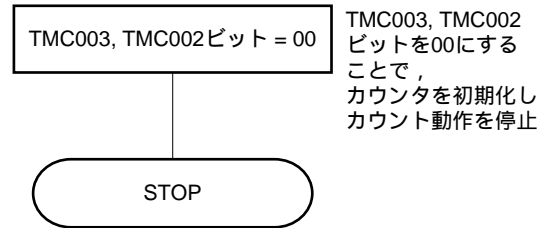
図6-32 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



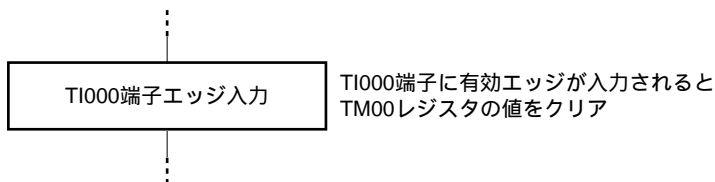
カウント動作開始フロー



カウント動作停止フロー



TM00レジスタ・クリア&スタート・フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR000, CR010を両方ともキャプチャ・レジスタとして使用

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**, (6) **ポート出力モード・レジスタ0 (POM0)** を参照してください。

2. INTTM000信号の割り込み許可については、**第11章 割り込み機能**を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 33 フリー・ランニング・タイマ・モードのブロック図
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

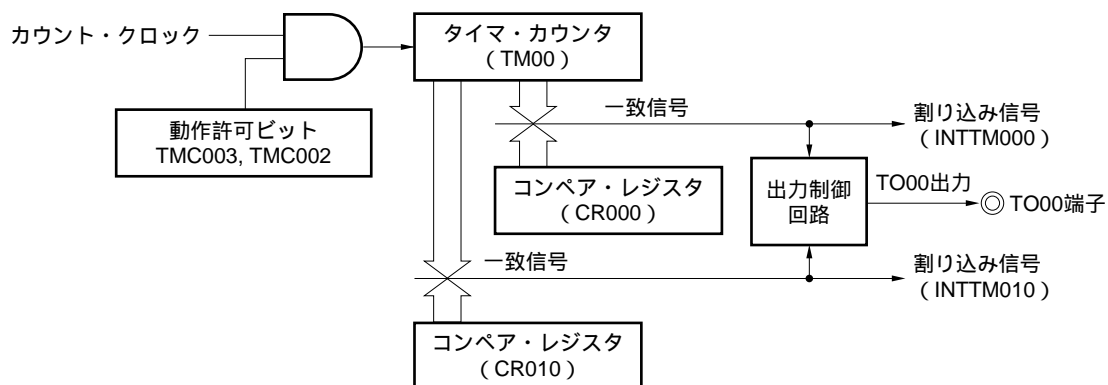
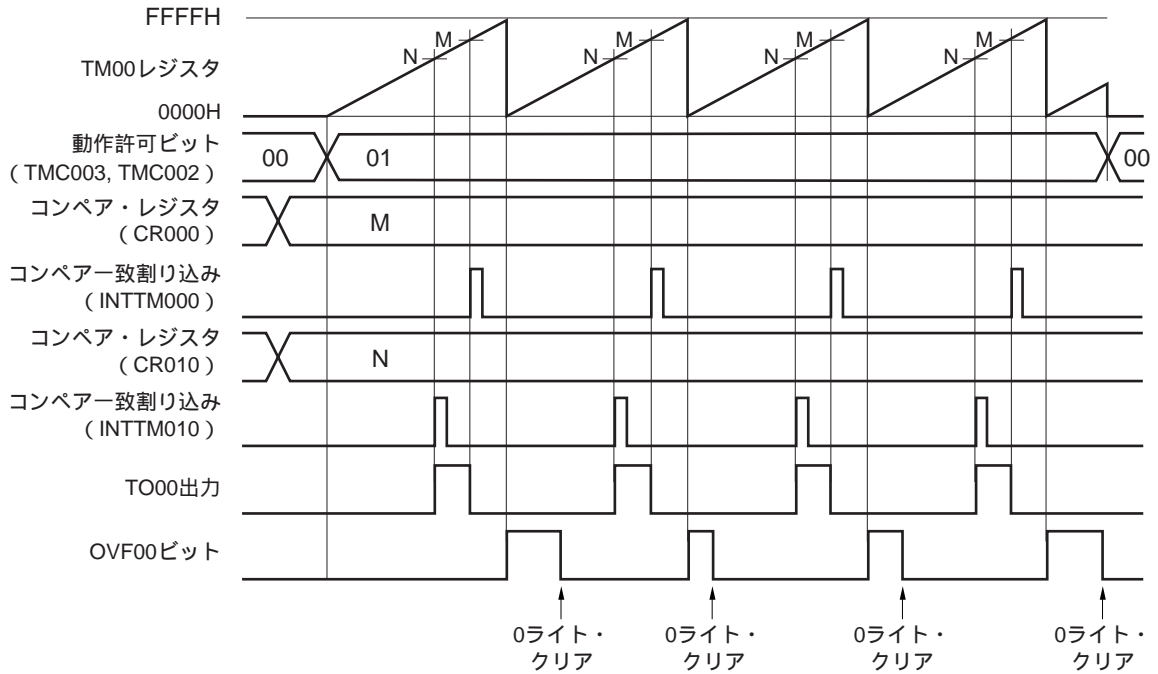


図6 - 34 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。
 TO00出力レベルは、CR000, CR010の設定値とTM00のカウンタ値が一致するごとに反転します。また、一致するタイミングで、INTTM000, INTTM010信号がそれぞれ発生します。

(2) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 35 フリー・ランニング・タイマ・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

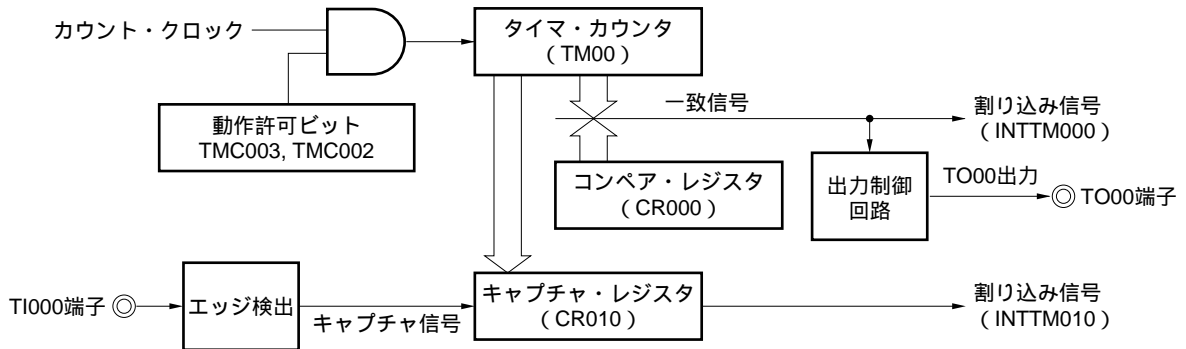
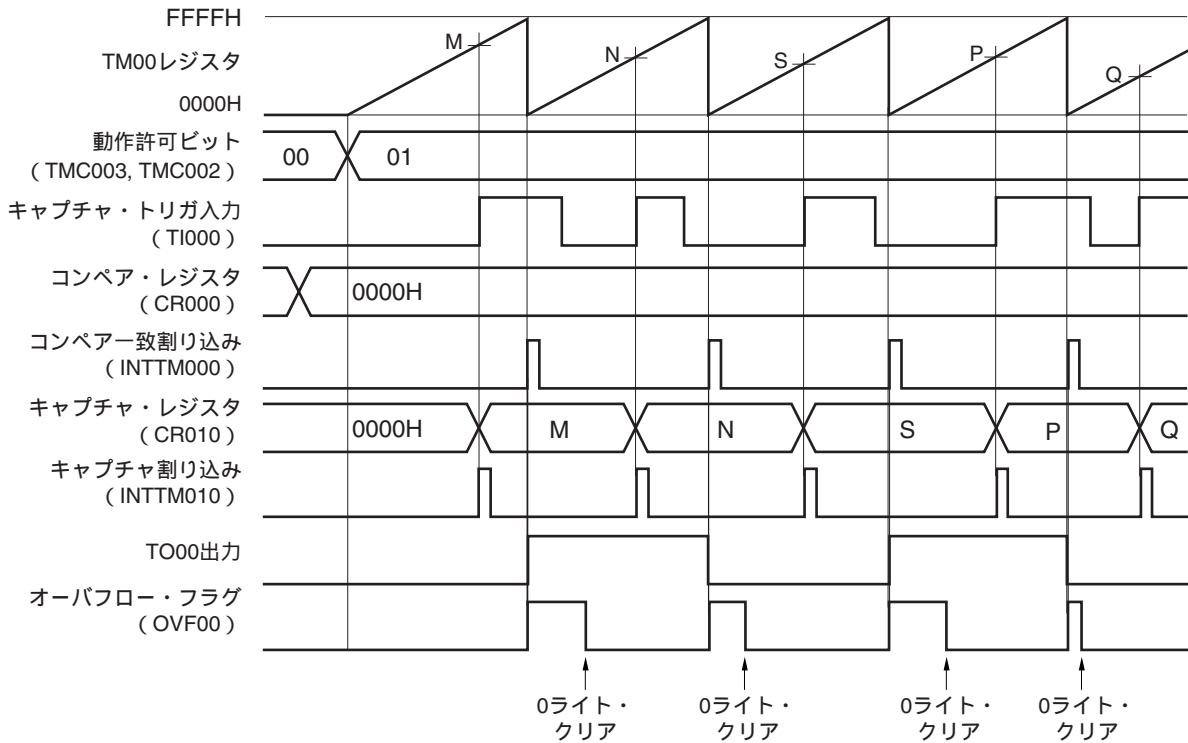


図6 - 36 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



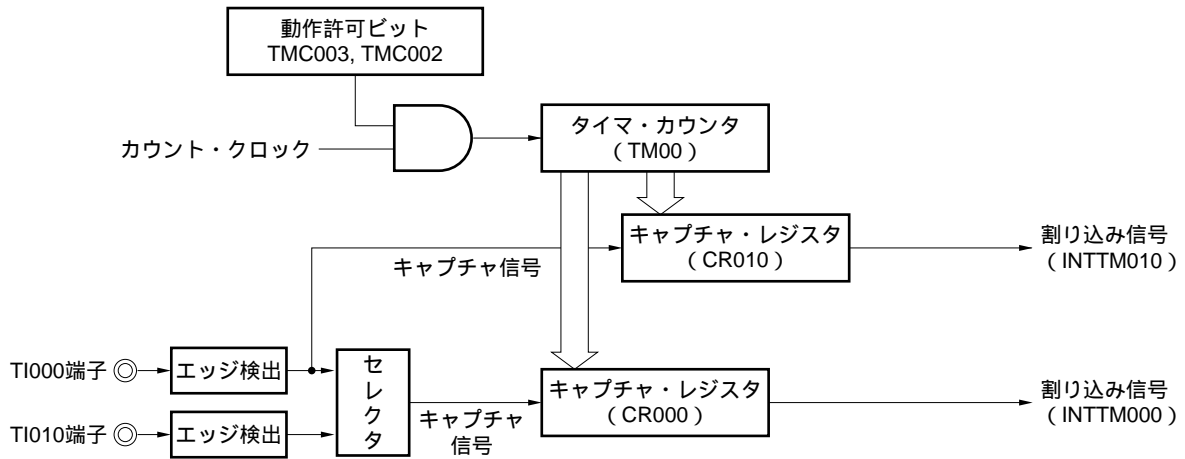
フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

この例では、CR000(コンペア・レジスタ)の設定値とTM00のカウント値が一致するごとに、INTTM000信号を発生し、TO00出力を反転します。また、TI000端子の有効エッジを検出するごとに、INTTM010信号を発生し、TM00のカウント値をCR010にキャプチャします。

(3) フリー・ランニング・タイマ・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 37 フリー・ランニング・タイマ・モードのブロック図
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)

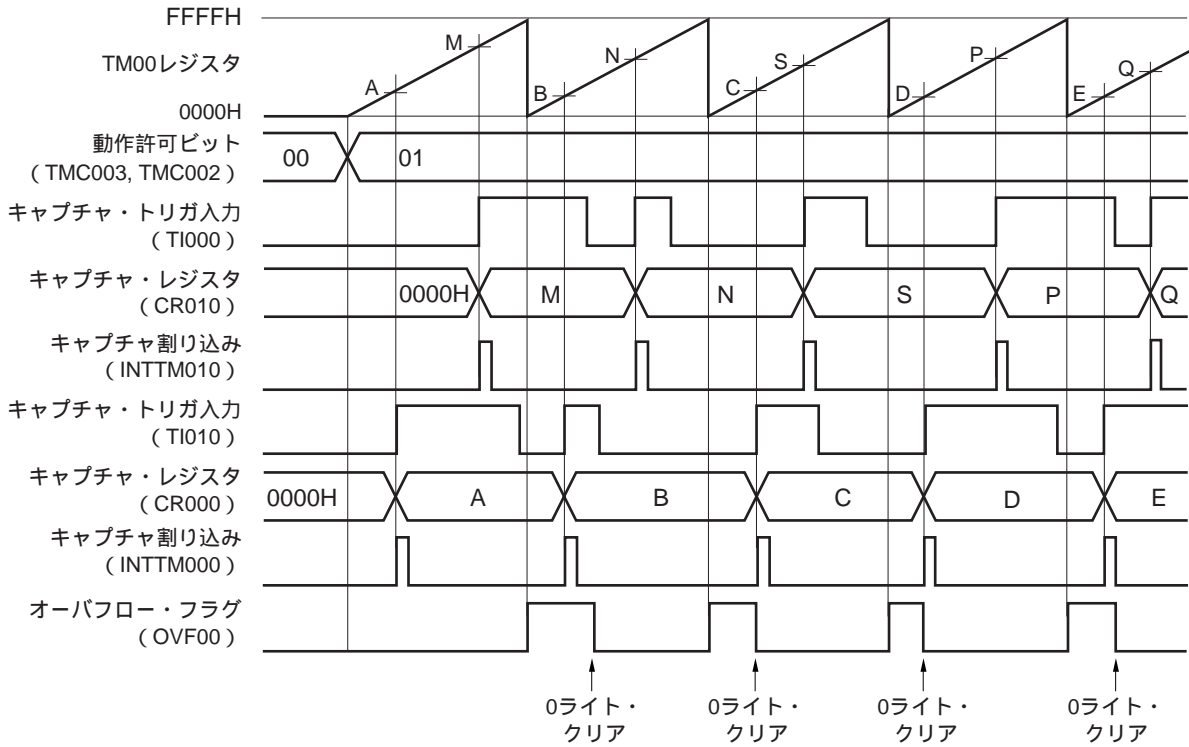


備考 フリー・ランニング・タイマ・モードで、CR000, CR010を両方ともキャプチャ機能に設定した場合、TO00出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) = 1に設定することにより、TI000端子の有効エッジを検出するごとにTO00出力レベルを反転させることができます。

図6 - 38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H

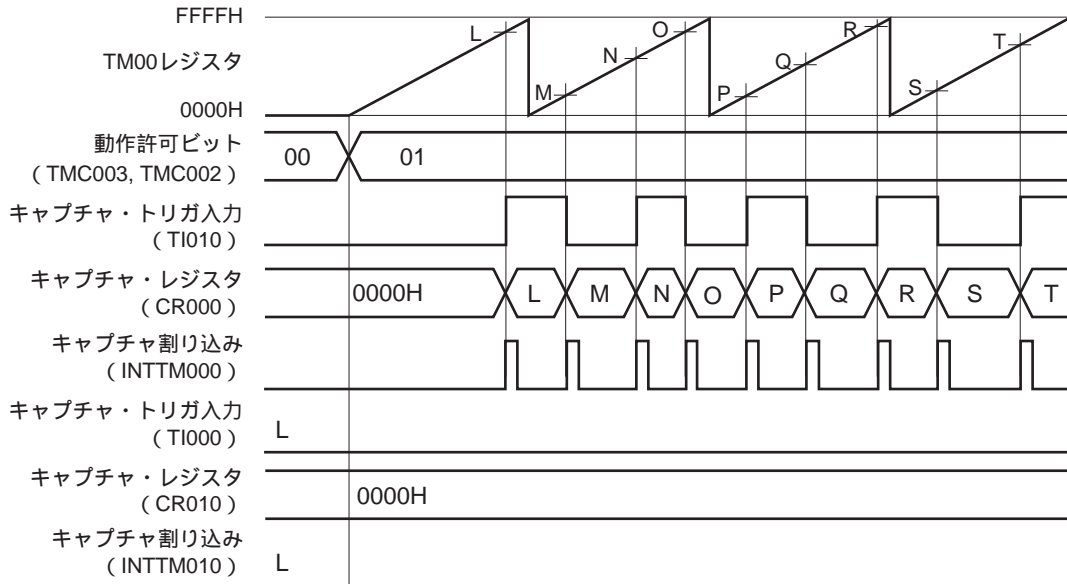


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI000端子入力の有効エッジ検出でCR010にキャプチャします。TI010端子入力の有効エッジ検出でCR000にキャプチャします。

図6 - 38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H

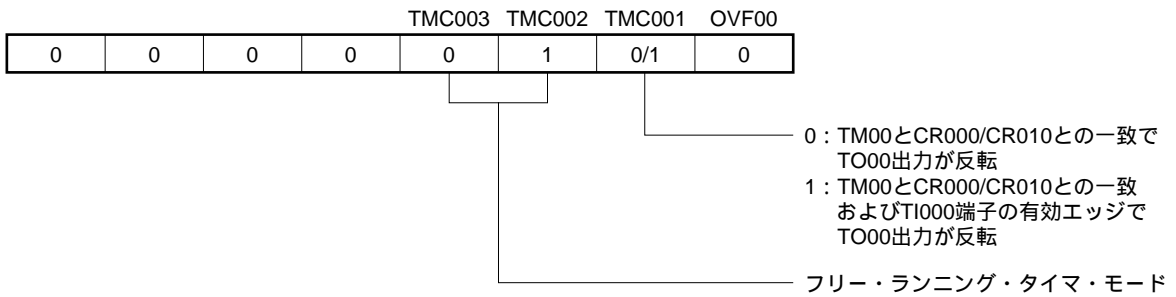


フリー・ランニング・タイマ・モードで、TI010端子の両エッジ検出に設定し、CR000にキャプチャするアプリケーション例です。

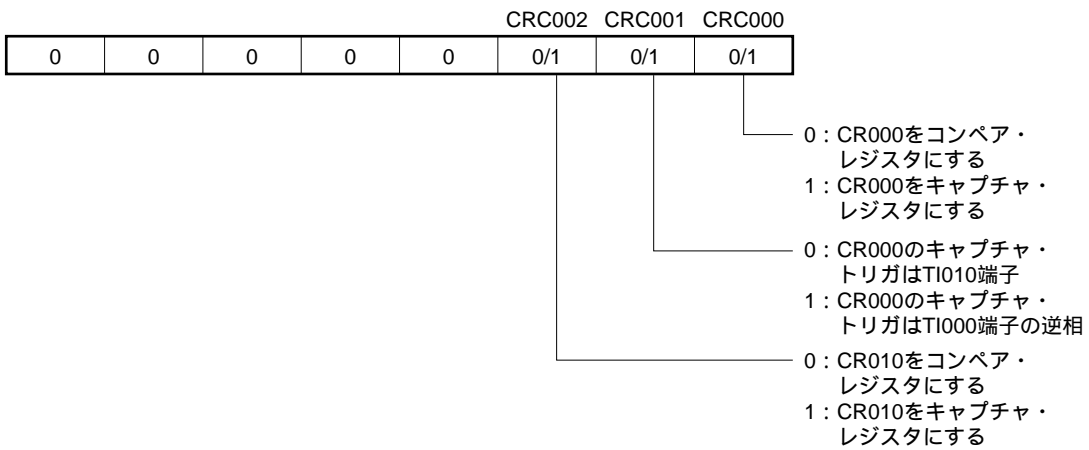
CR000, CR010を両方ともキャプチャ・レジスタとして使用し、TI010端子だけからの有効エッジを検出する場合、CR010にキャプチャすることはできません。

図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

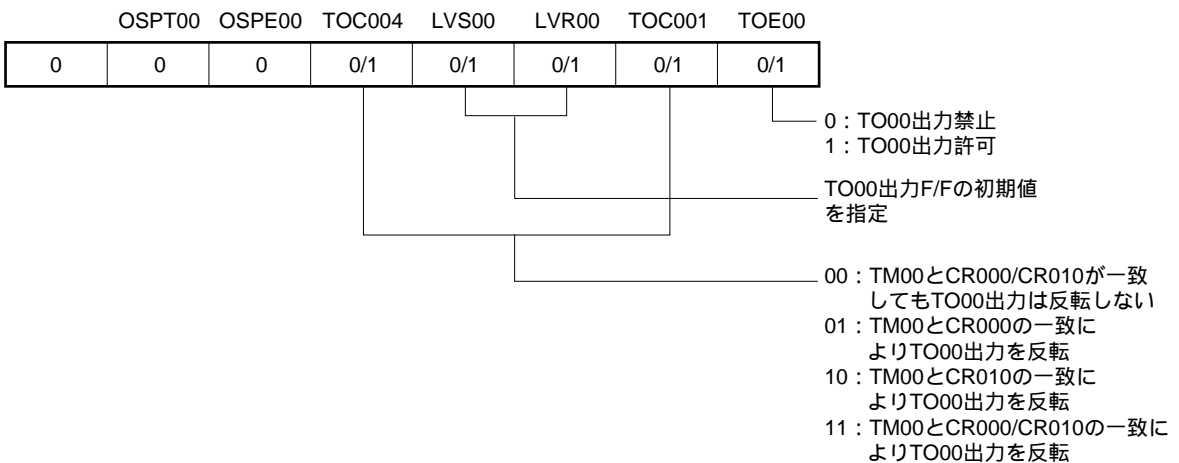
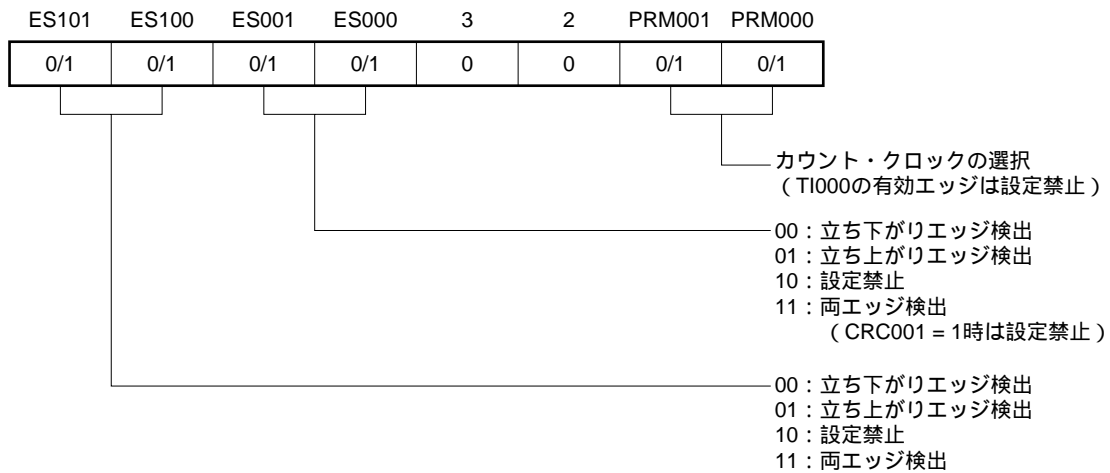


図6 - 39 フリー・ランニング・タイマ・モード時のレジスタ設定内容例 (2/2)

(d) プリスケーラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は，TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

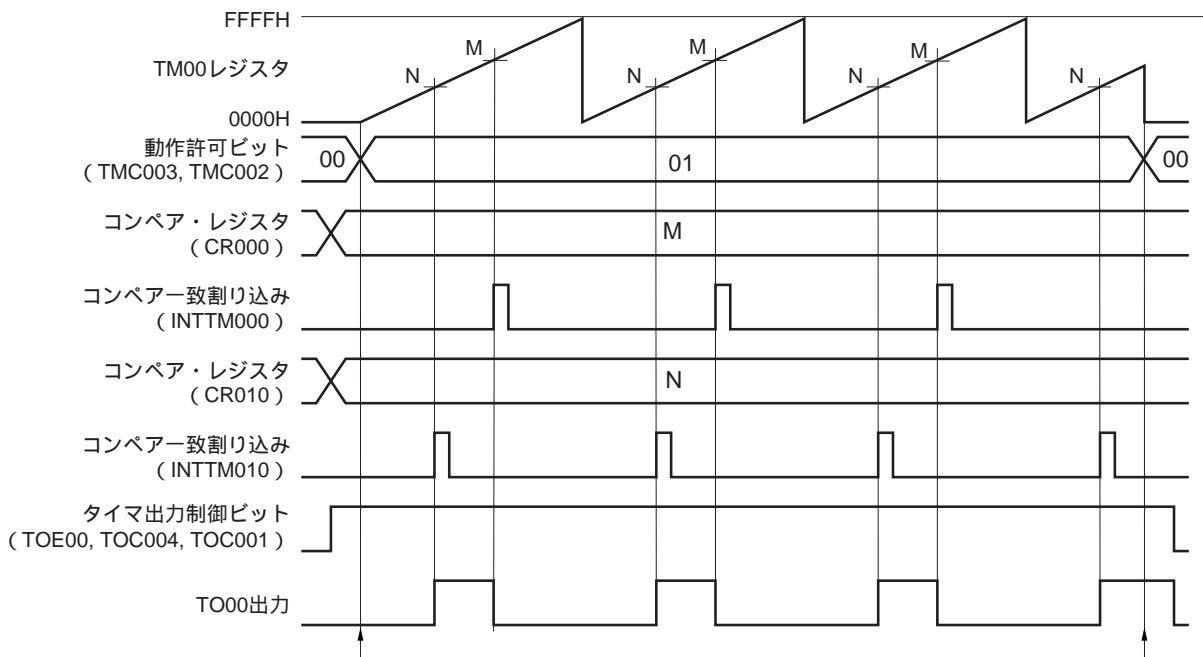
キャプチャ・レジスタとして使用する場合は，TI000, TI010端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により，TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

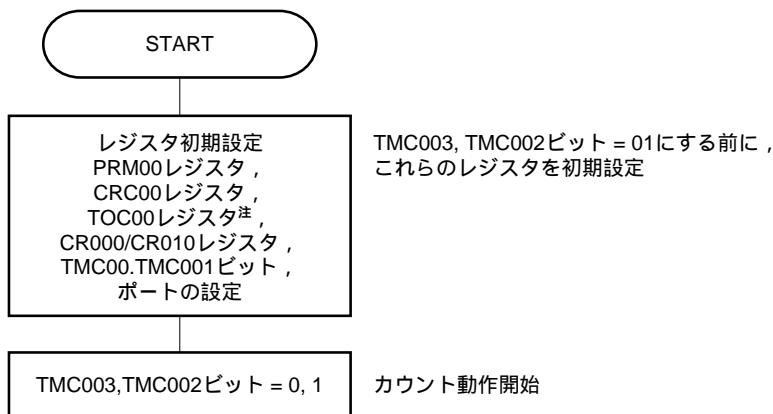
コンペア・レジスタとして使用する場合は，TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は，TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により，TM00のカウント値をCR010に格納します。

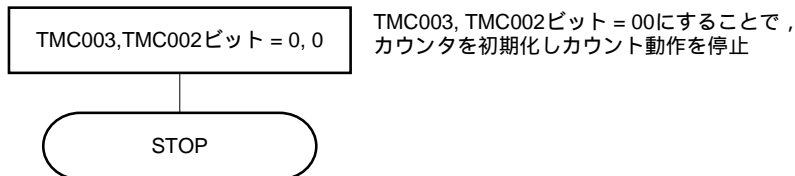
図6-40 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致によるクリア&スタート) に設定し, CR000にあらかじめ設定した値を1周期とし, CR010にあらかじめ設定した値をパルス幅とする矩形波を, TO00端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 = (CR000の設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR010の設定値 + 1) / (CR000の設定値 + 1)

注意 動作中にデューティの値 (CR010) を変更したい場合は, 6.5.1 CR010のTM00動作中の書き換えを参照してください。

備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0), (6) ポート出力モード・レジスタ0 (POM0) を参照してください。

2. INTTM000信号の割り込み許可については, 第11章 割り込み機能を参照してください。

図6 - 41 PPG出力としての動作のブロック図

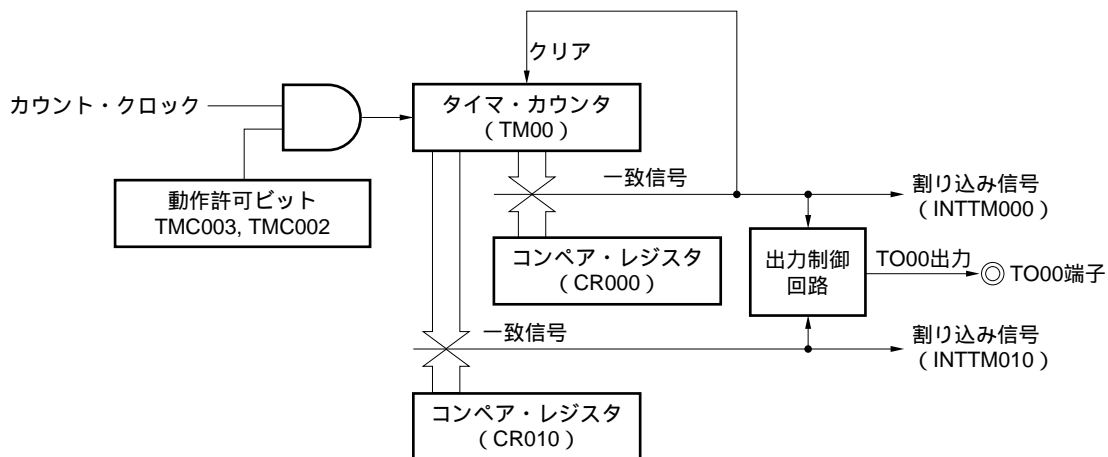


図6 - 42 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする

CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	1	0/1	0/1	1	1

TO00出力許可

TO00出力F/Fの初期値を指定

11 : TM00とCR000/CR010の
一致によりTO00出力を反転

00 : ワンショット・パルス
出力禁止

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 42 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

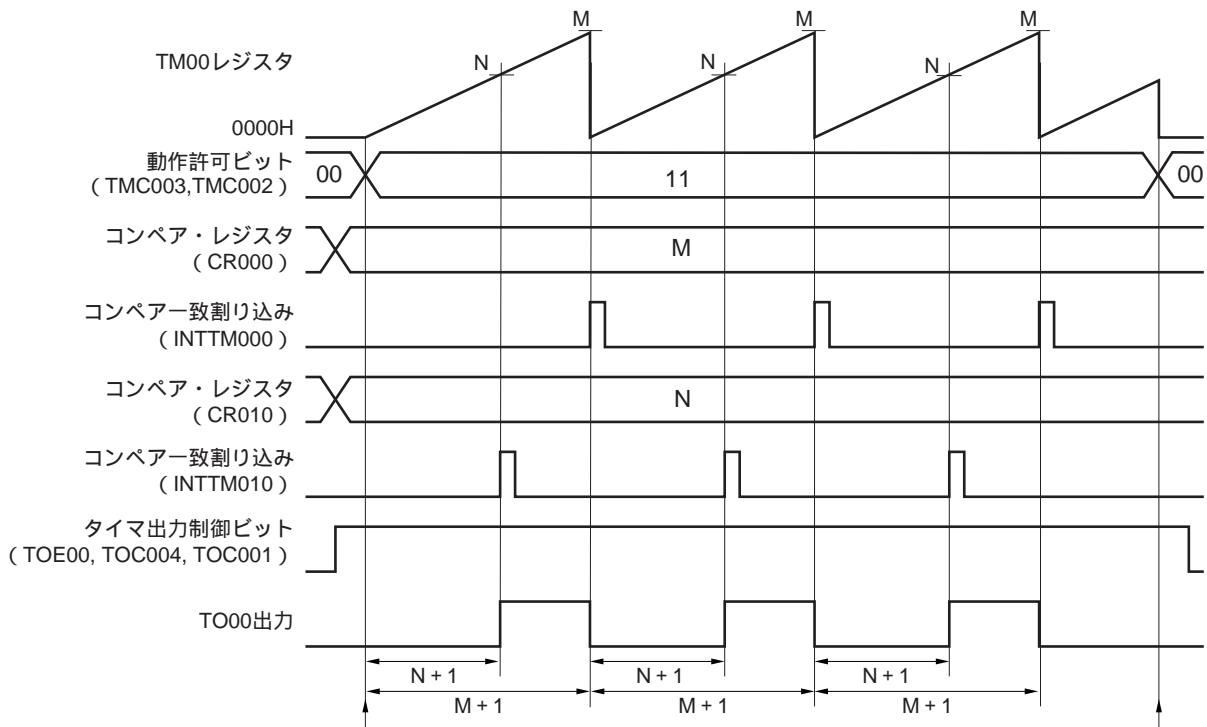
TM00との一致で割り込み信号 (INTTM000) を発生します。TM00のカウント値はクリアされません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

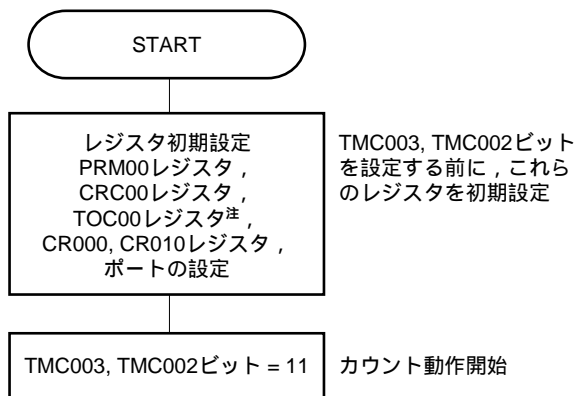
TM00との一致で割り込み信号 (INTTM010) を発生します。TM00のカウント値はクリアされません。

注意 CR000, CR010には, 0000H CR010 < CR000 FFFFHの値を設定してください。

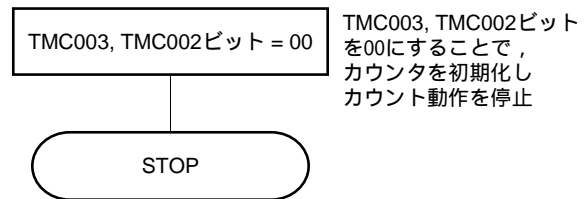
図6 - 43 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

備考 PPGのパルス周期 = (M + 1) × カウント・クロック周期
PPGのデューティ = (N + 1) / (M + 1)

6.4.7 ワンショット・パルス出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード), またはTMC003, TMC002 = 10 (TI000端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット5 (OSPE00) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC00のビット6 (OSPT00) をセット (1) するか, またはTI000端子に有効エッジが入力されると, それがトリガとなり, TM00のクリア&スタート後, CR000, CR010に設定した差分のパルスを1回だけTO00端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT00のセット (1), またはTI000端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
2. OSPT00のセット (1) のみをワンショット・パルス出力のトリガとする場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
2. INTTM000信号の割り込み許可については, 第11章 割り込み機能を参照してください。

図6 - 44 ワンショット・パルス出力としての動作のブロック図

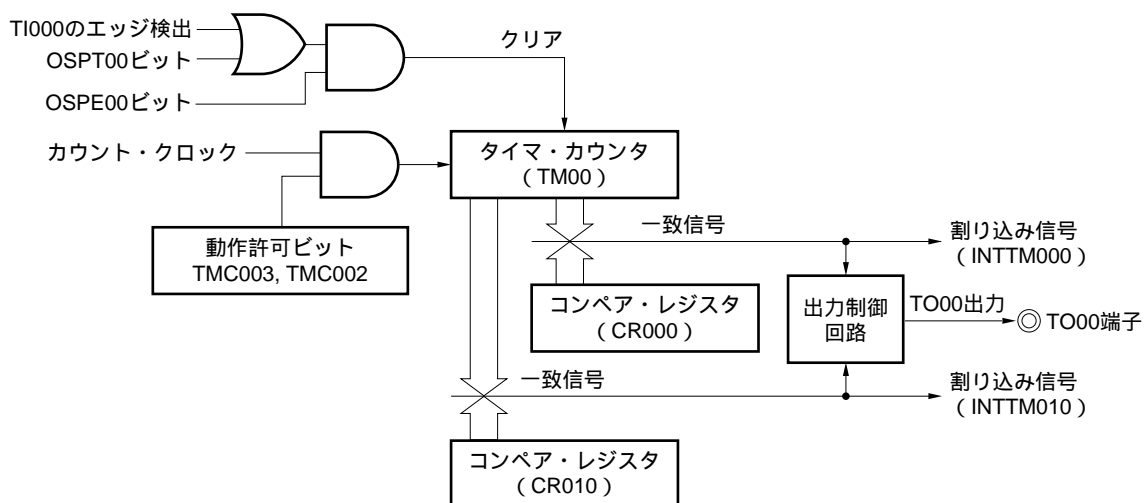


図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI000端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする
CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	1	0/1	0/1	1

TO00出力許可
TO00出力の初期値を
指定
TM00とCR000/CR010の
一致によりTO00出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

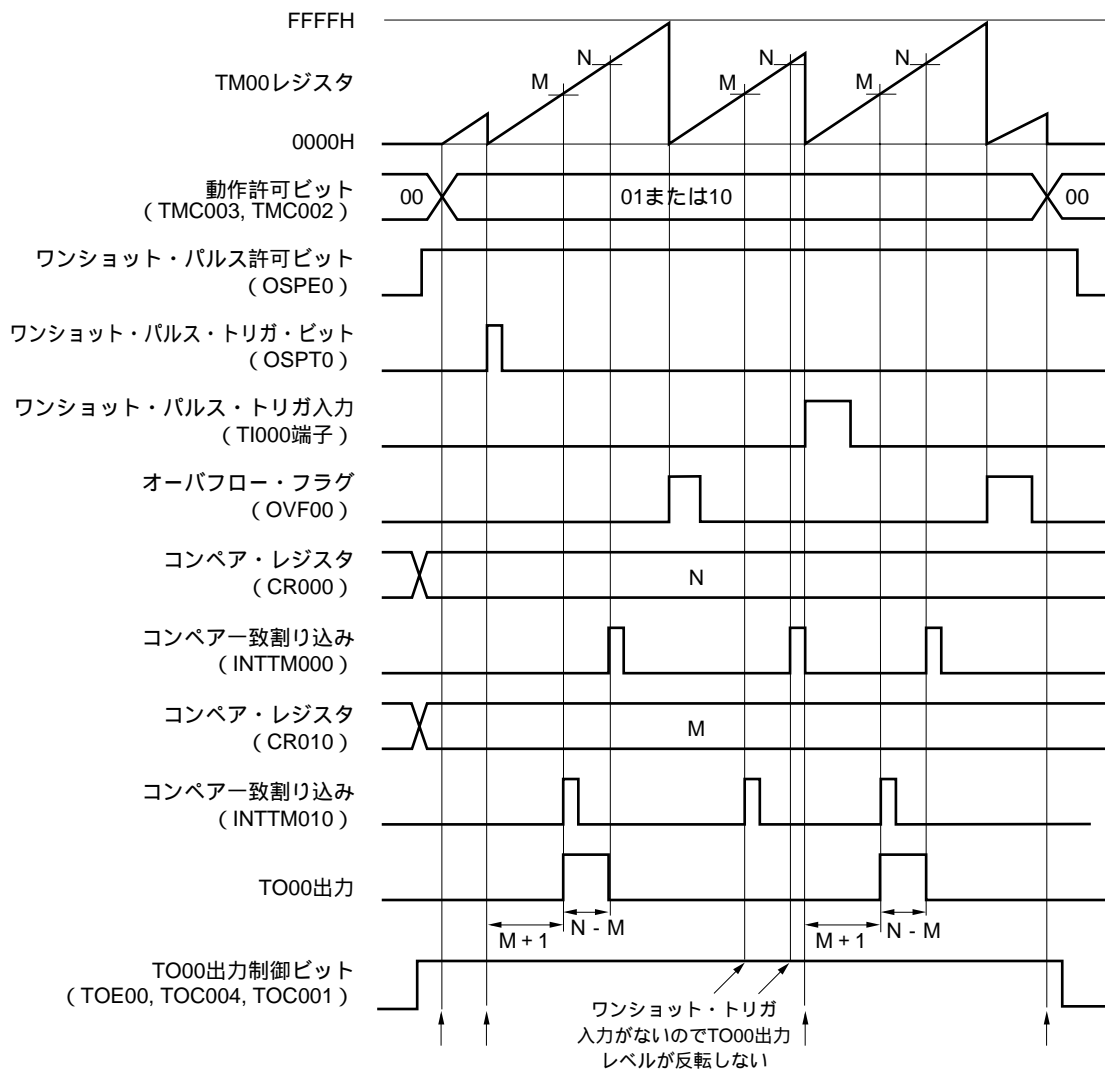
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR000の値が一致すると、割り込み信号 (INTTM000) を発生し、TO00出力レベルを反転します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR010の値が一致すると、割り込み信号 (INTTM010) を発生し、TO00出力レベルを反転します。

注意 CR000とCR010には同値を設定しないでください。

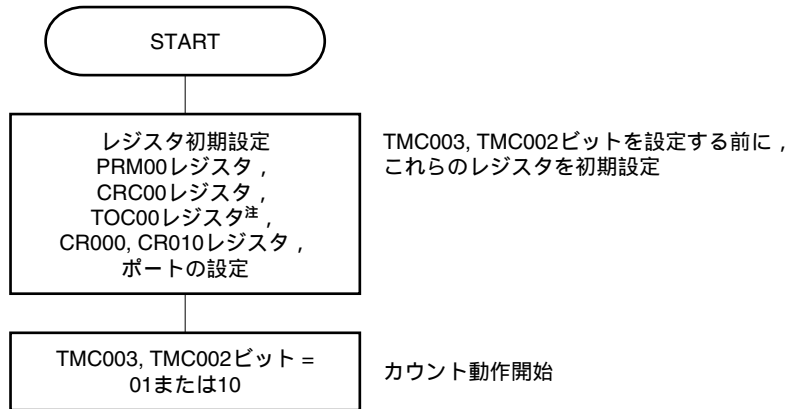
図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



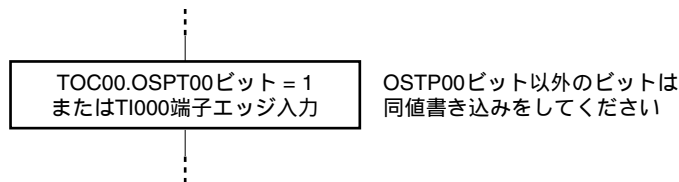
- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= (M + 1) × カウント・クロック周期
- ・ワンショット・パルス出力アクティブ・レベル幅
= (N - M) × カウント・クロック周期

図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

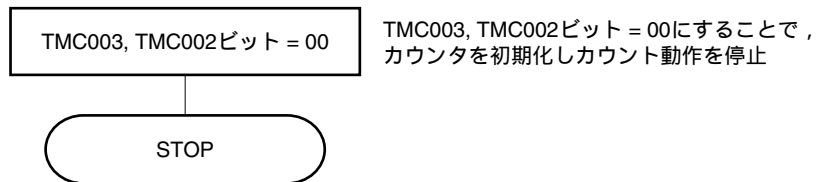
カウント動作開始フロー



ワンショット・トリガ入力フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.8 パルス幅測定としての動作

TM00を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 47 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

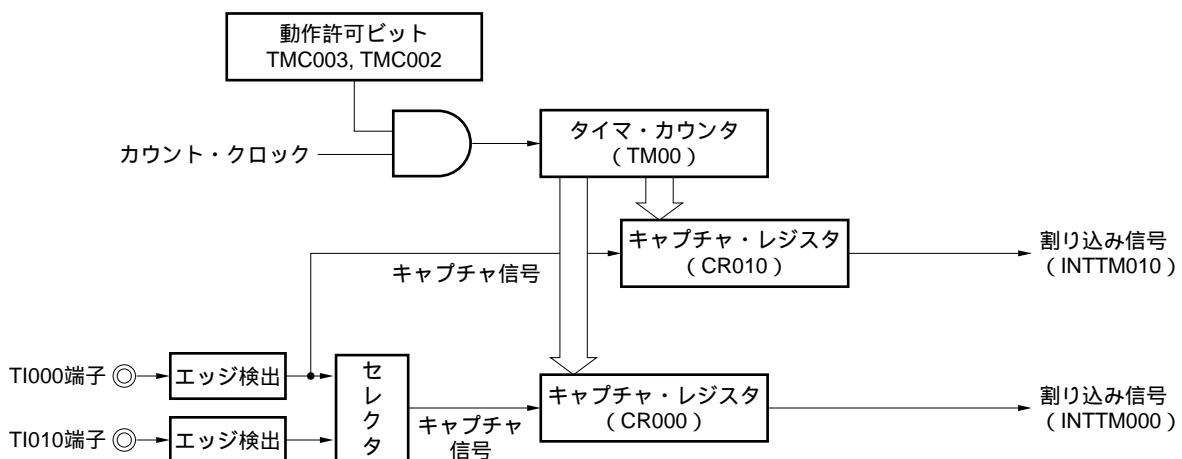
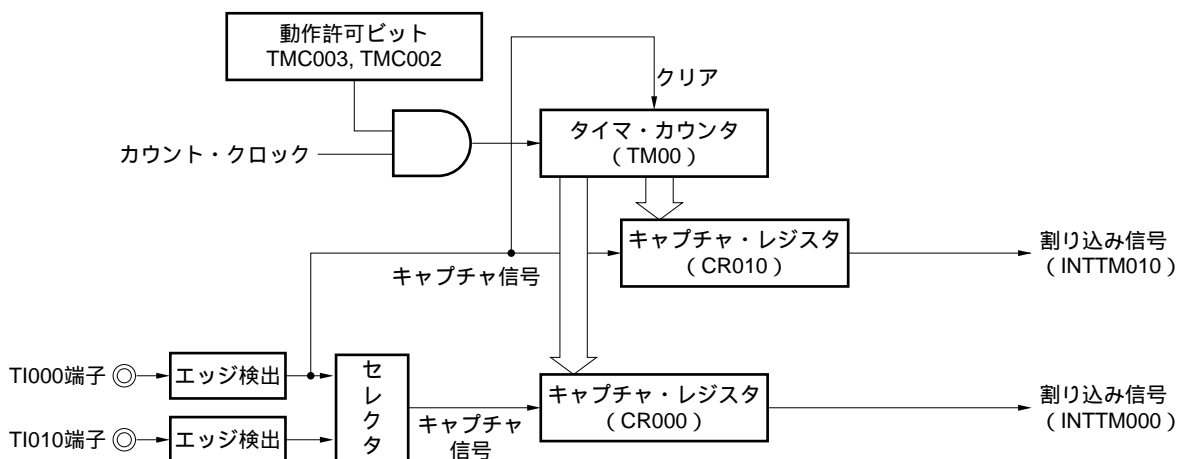


図6 - 48 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI000端子およびTI010端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**、(6) **ポート出力モード・レジスタ0 (POM0)**を参照してください。。

2. INTTM000信号の割り込み許可については、**第11章 割り込み機能**を参照してください。

(1) TI000端子およびTI010端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

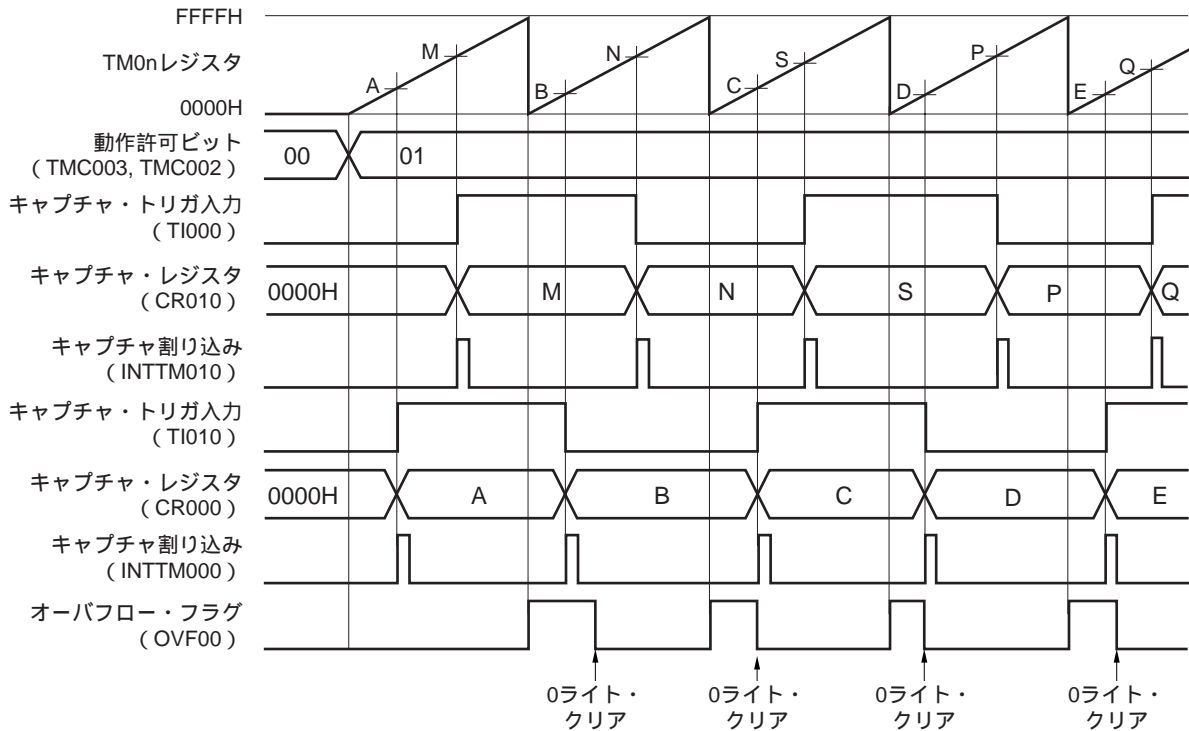
フリー・ランニング・タイマ・モード(TMC003, TMC002 = 01)に設定します。TI000端子の有効エッジ検出により, TM00のカウンタ値をCR010にキャプチャします。TI010端子の有効エッジ検出により, TM00のカウンタ値をCR000にキャプチャします。TI000端子とTI010端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6 - 49 パルス幅測定のタイミング例(1)

・ TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



(2) TI000端子1本の入力信号でパルス幅を測定 (フリー・ランニング・モード)

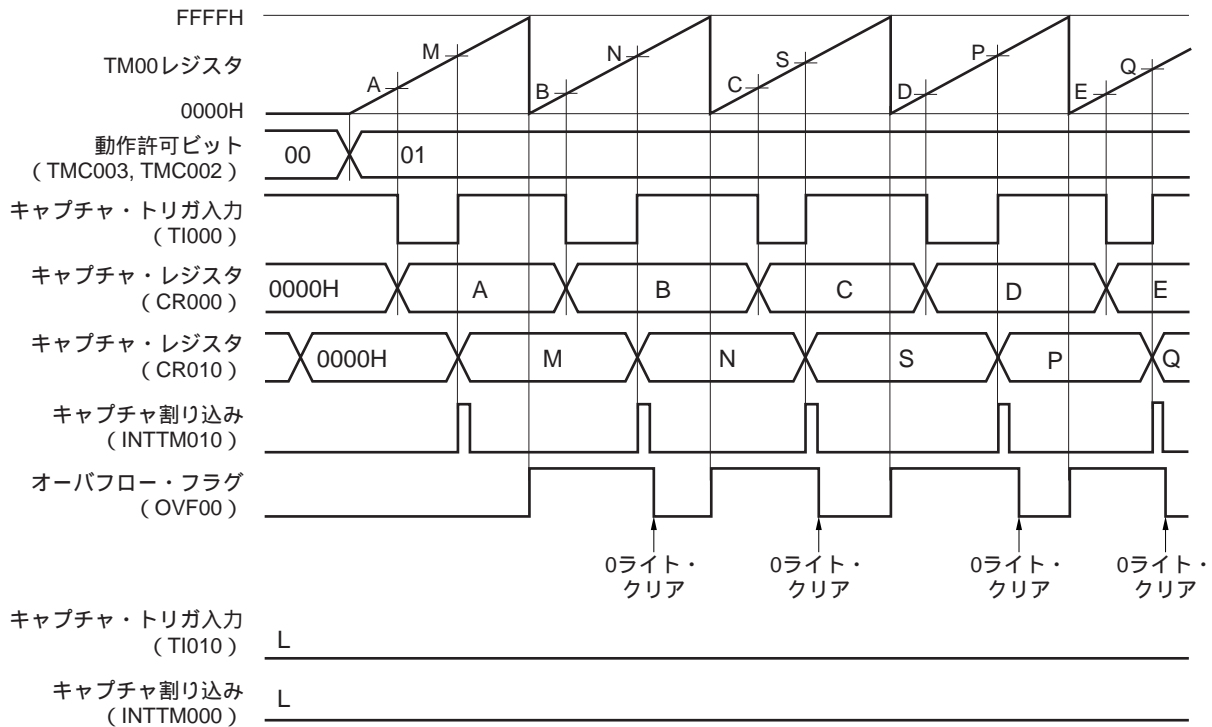
フリー・ランニング・タイマ・モード (TMC003, TMC002 = 01) に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ボローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) をクリア (0) してください。

図6 - 50 パルス幅測定のタイミング例 (2)

・ TMC00 = 04H, PRM00 = 10H, CRC00 = 07H



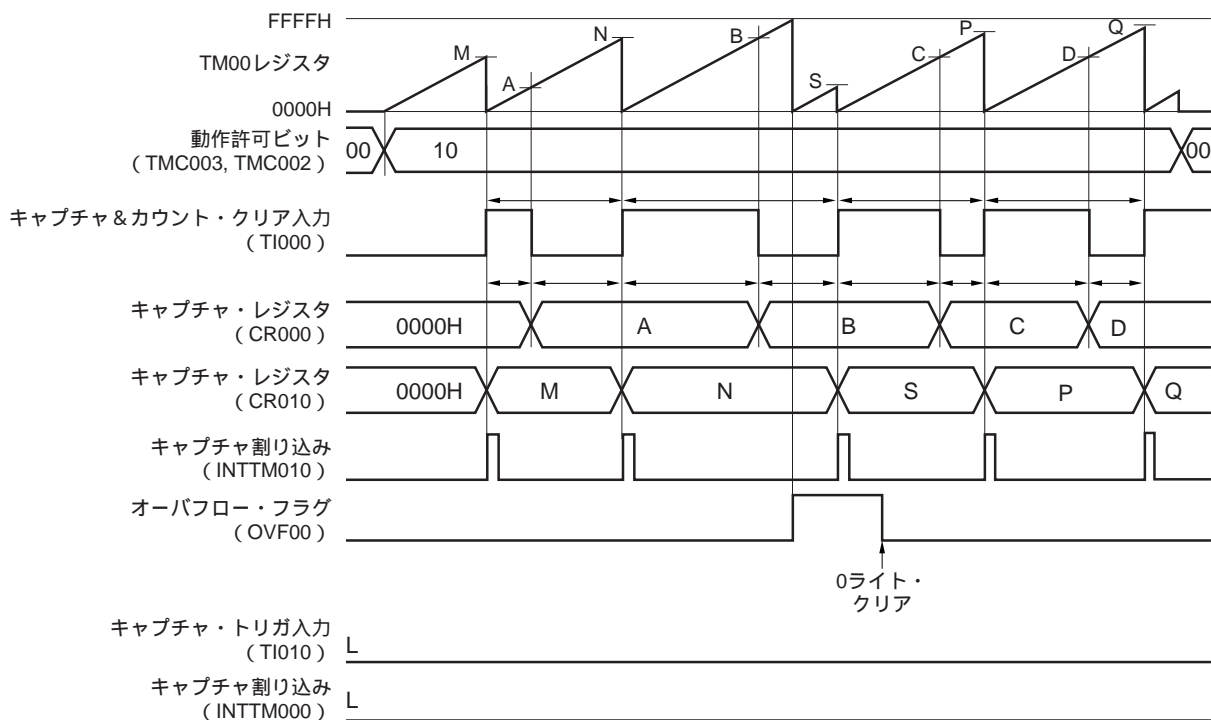
(3) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6-51 パルス幅測定のタイミング例(3)

・ TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



$$\begin{aligned} \text{パルスの周期} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR010のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのハイ・レベル幅} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR000のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのロウ・レベル幅} &= (\text{パルスの周期} - \text{パルスのハイ・レベル幅}) \end{aligned}$$

図6 - 52 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI000端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0/1	1

- 1 : CR000をキャプチャ・レジスタにする
- 0 : CR000のキャプチャ・トリガはTI010端子
- 1 : CR000のキャプチャ・トリガはTI000端子の逆相
- 1 : CR010をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0/1	0/1	0/1	0/1	0	0	0/1	0/1

- カウント・クロックの選択 (TI000の有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出 (CRC001 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

図6 - 52 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

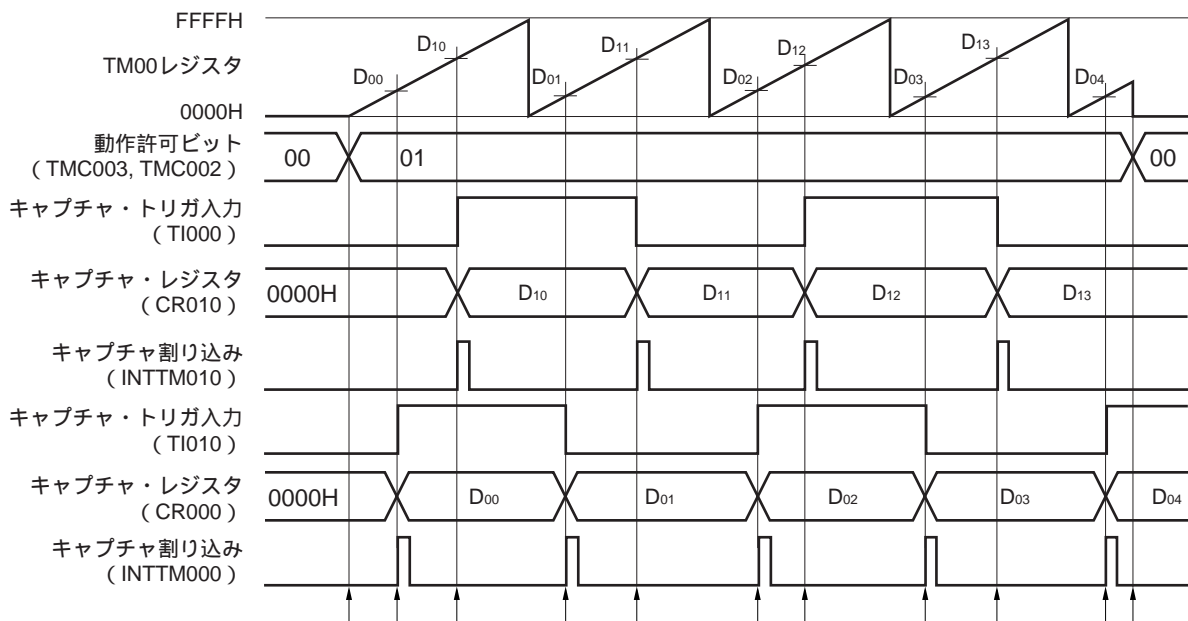
キャプチャ・レジスタとして使用します。TI000/TI010端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとして使用します。TI000端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR010に格納します。

図6 - 53 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI000端子の有効エッジによるクリア&スタート・モードの例

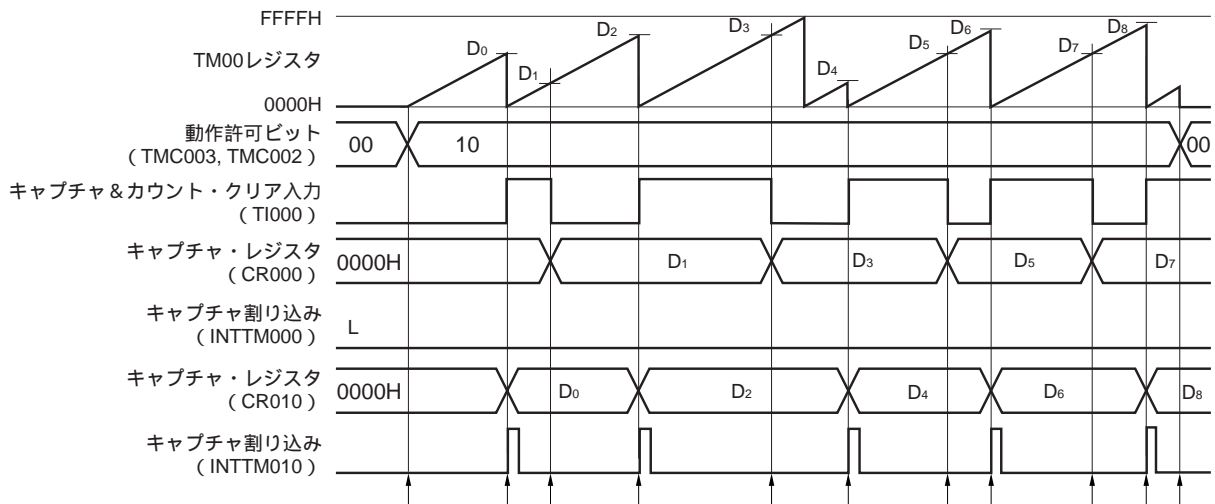
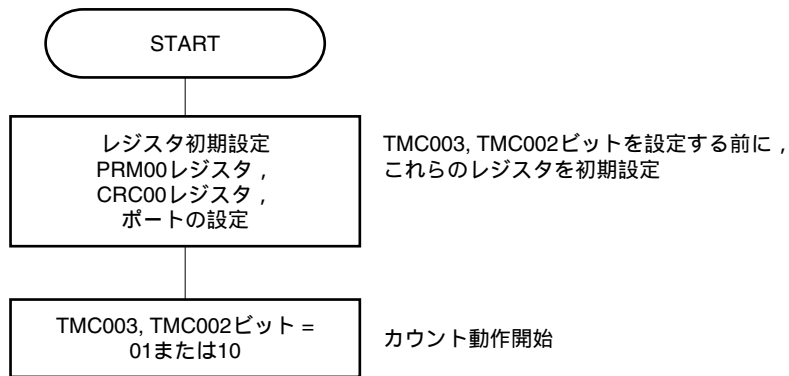
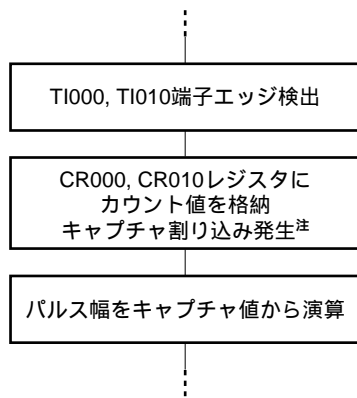


図6 - 53 パルス幅測定時のソフトウェア処理例 (2/2)

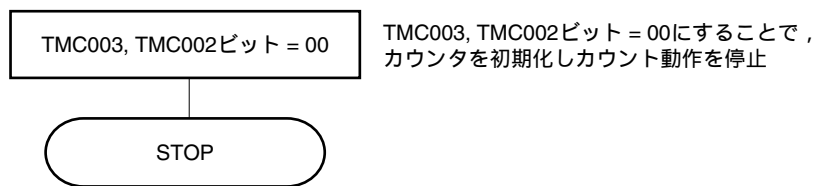
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー



注 CR000の有効エッジにTI000端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM000) は発生しません。

6.5 TM00の特殊な使用方法

6.5.1 CR010のTM00動作中の書き換え

μPD179F11x, 179F12xマイクロコントローラでは、TM00動作中（TMC003, TMC002 = 00以外）のとき、コンペア・レジスタとして使用するCR000とCR010の書き換えは原則禁止です。

ただし、CR010だけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM00動作中でも書き換えができます（CR010の値を現在の設定値よりも小さくする場合には、CR010とTM00の一致直後に、CR010の値を現在の設定値よりも大きくする場合には、CR000とTM00の一致直後に、CR010の値を書き換えてください。CR010とTM00またはCR000とTM00の一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR010の書き換え手順

INTTM010の割り込みを禁止する（TMMK010 = 1）。

TM00とCR010の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）。

CR010を書き換える。

TM00のカウント・クロックの1周期分ウェイトする。

TM00とCR010の一致によるタイマ出力反転動作を許可する（TOC004 = 1）。

INTTM010の割り込みフラグをクリア（0）する（TMIF010 = 0）。

INTTM010の割り込みを許可する（TMMK010 = 0）

備考 TMIF010, TMMK010については第11章 **割り込み機能**を参照してください。

6.5.2 LVS00, LVR00の設定について

(1) LVS00, LVR00の使用用途

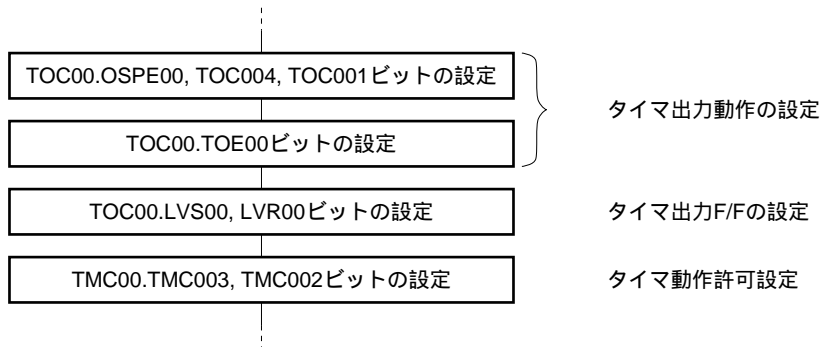
LVS00, LVR00は、TO00出力の初期値を設定したいときや、タイマを動作許可しない（TMC003, TMC002 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS00, LVR00は00（初期値ロウ・レベル出力）に設定してください。

LVS00	LVR00	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

(2) LVS00, LVR00の設定方法

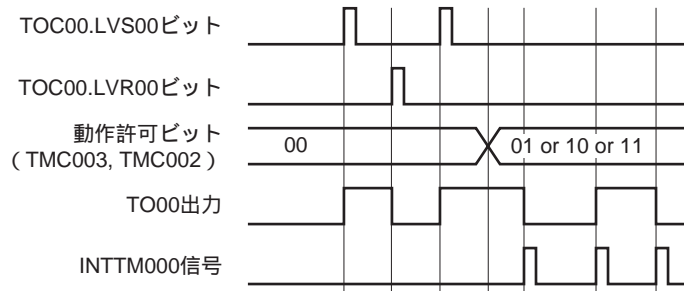
LVS00, LVR00は次の手順で設定してください。

図6 - 54 LVS00, LVR00ビットの設定フロー例



注意 LVS00, LVR00は必ず上記 , , の手順で設定してください。
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図6 - 55 LVR00, LVS00のタイミング例



LVS00, LVR00 = 10に設定することにより, TO00出力がハイ・レベルになります。

LVS00, LVR00 = 01に設定することにより, TO00出力がロウ・レベルになります
 (LVS00, LVR00 = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC003, TMC002 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS00, LVR00の設定が10だったので, TO00出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC003, TMC002 = 00(タイマ動作禁止)にするまで, LVS00, LVR00の設定は禁止です。

割り込み信号 (INTTM000) が発生するたびに, TO00出力のレベルが反転します。

6.6 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

表6-3に各チャネルの制限事項を示します。

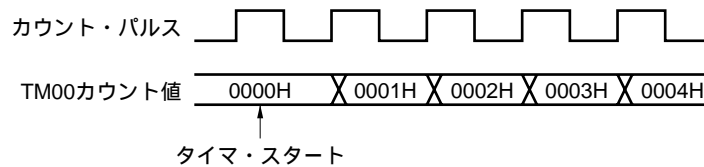
表6-3 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	-
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI010端子の有効エッジ検出を使用する場合、タイマ出力(TO00)は使用禁止(TOC00 = 00Hに設定)
フリー・ランニング・タイマとしての動作	-
PPG出力としての動作	0000H CR010 < CR000 FFFFH
ワンショット・パルス出力としての動作	CR000とCR010には同値は設定禁止
パルス幅測定としての動作	タイマ出力(TO00)は使用禁止(TOC00 = 00Hに設定)

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図6-56 TM00のカウント・スタート・タイミング



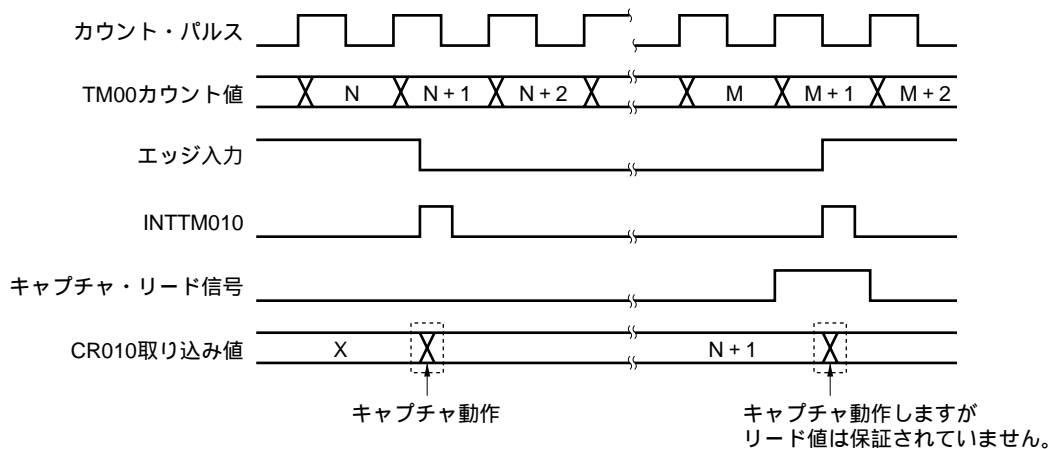
(3) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

CR000, CR010には,0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合, 1パルスのカウント動作はできません)。

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR000/CR010の読み出し中にTI000/TI010端子の有効エッジ入力，TI000端子の逆相のエッジを検出したとき，CR010はキャプチャ動作を行います，CR000/CR010の読み出し値は保証されません。このとき，TI000/TI010端子の有効エッジの検出による割り込み信号（INTTM000/INTTM010）は発生しません（TI000端子の逆相のエッジ検出時は，割り込み信号を発生しません）。TI000/TI010端子の有効エッジの検出によるキャプチャ時に，CR000/CR010の値を読み出す場合は，INTTM000/INTTM010発生後に行ってください。

図6 - 57 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

(5) 有効エッジの設定

TI000端子の有効エッジの設定は，タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は，ES000, ES001で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

(7) OVF00フラグの動作

(a) OVF00フラグのセット(1)

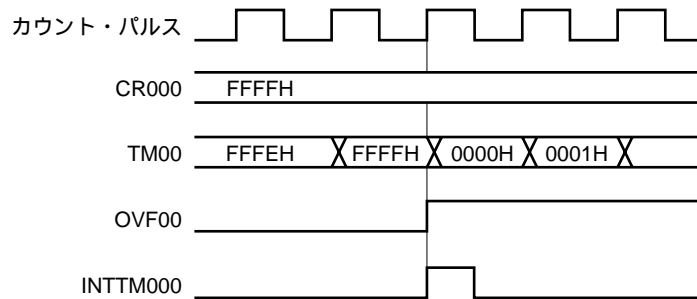
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図6 - 58 OVF00フラグの動作タイミング



(b) OVF00フラグのクリア

TM00がオーバーフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前に OVF00フラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI000端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

(9) キャプチャ動作**(a) カウント・クロックにTI000の有効エッジを指定した場合**

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI010, TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000, TI010端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です(図6-7を参照)。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号(INTTM000, INTTM010)は次のカウント・クロックの立ち上がりで発生します(図6-7を参照)。

(d) CRC001(キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット1) = 1に設定したときの注意

TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号(INTTM000)は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図6-7を参照)。

(11) タイマ動作について

CPUの動作モードに関係なく、タイマが停止していると、TI000/ TI010端子への入力信号は受け付けられません。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

第7章 8ビット・タイマ/イベント・カウンタ50, 51

7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0) ポート出力モード・レジスタ0 (POM0)

図7-1, 図7-2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

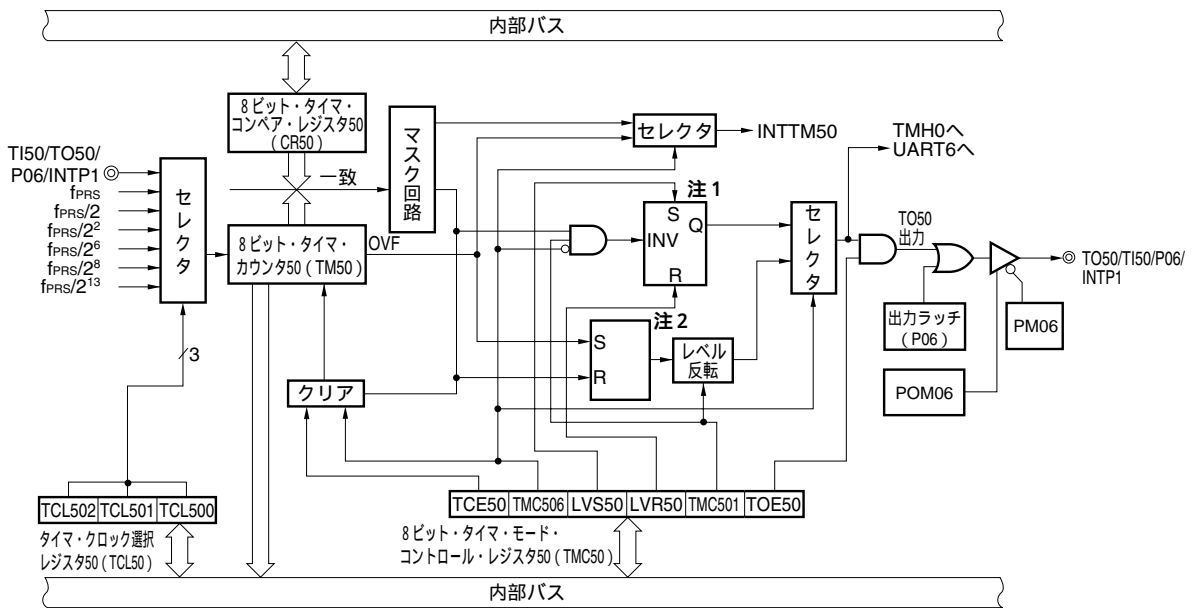
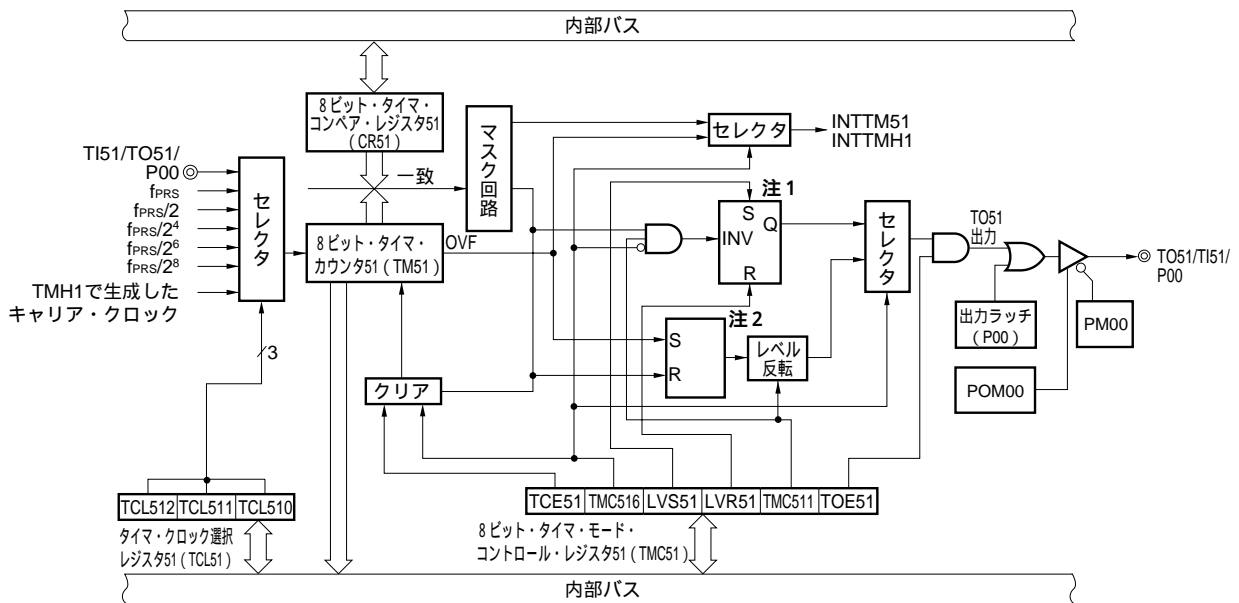


図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



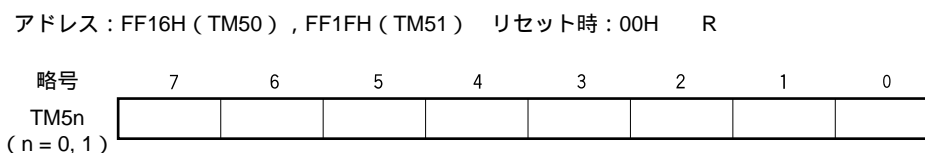
注1. タイマ出力F/F

2. PWM出力F/F

(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

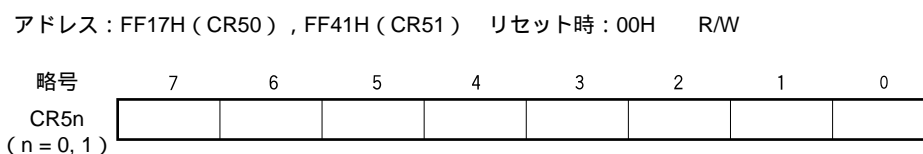
PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nとCR5nの値の一致により、TO5n出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図7-4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット



注意1. TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。

2. PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)
- ・ポート出力モード・レジスタ0 (POM0)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図7-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF6AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択		
				fPRS = 2 MHz	fPRS = 4 MHz
0	0	0	TI50端子の立ち下がりエッジ		
0	0	1	TI50端子の立ち上がりエッジ		
0	1	0	fPRS	2 MHz	4 MHz
0	1	1	fPRS/2	1 MHz	2 MHz
1	0	0	fPRS/2 ²	500 kHz	1 MHz
1	0	1	fPRS/2 ⁶	31.25 kHz	62.5 kHz
1	1	0	fPRS/2 ⁸	7.81 kHz	15.6 kHz
1	1	1	fPRS/2 ¹³	0.24 kHz	0.488 kHz

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 fPRS：周辺ハードウェア・クロック周波数

図7-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択		
				fPRS =2 MHz	fPRS =4 MHz
0	0	0	TI51端子の立ち下がりエッジ		
0	0	1	TI51端子の立ち上がりエッジ		
0	1	0	fPRS	2 MHz	4 MHz
0	1	1	fPRS/2	1 MHz	2 MHz
1	0	0	fPRS/2 ⁴	125 kHz	250 kHz
1	0	1	fPRS/2 ⁶	31.25 kHz	62.5 kHz
1	1	0	fPRS/2 ⁸	7.81 kHz	15.6 kHz
1	1	1	TMH1 で生成した キャリア・クロック	-	-

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 fPRS : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生00Hになります。

備考 n = 0, 1

図7-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア & スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TO50出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図7 - 8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO51出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (TO51出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

注意1. LVS5nとLVR5nの設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6を設定 : 動作モードの設定

出力を許可する場合, TOE5nを設定 : タイマ出力許可

LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定

TCE5nを設定

3. TCE5n = 1のとき, TMC5nの他のビットを設定することは禁止です。

4. 実際のTO50/TI50/P06/INTP1, TO51/TI51/P00端子の出力は, TO5n出力のほかにPM06とP06, PM00とP00によって決まります。

備考1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと, 0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nの値に関係なくTO5n出力に反映されます。

4. n = 0, 1

(3) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P06/TO50/TI50/INTP1, P00/TO51/TI51端子をタイマ出力として使用するとき, PM00, PM06およびP00, P06の出力ラッチに0を設定してください。

P06/TO50/TI50/INTP1, P00/TO51/TI51端子をタイマ入力として使用するとき, PM00, PM06に1を設定してください。このとき, P00, P06の出力ラッチは0または1のどちらでもかまいません。

PM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7-9 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス: FF20H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(4) ポート出力モード・レジスタ0 (POM0)

ポート0の出力モードを設定するレジスタです。

POM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7-10 ポート出力モード・レジスタ0 (POM0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	FF38H	00H	R/W

POM0n	P0nの出力モードの選択 (n = 0-7)
0	CMOS出力
1	N-chオープン・ドレイン出力 (P07はP-chオープン・ドレイン出力)

7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

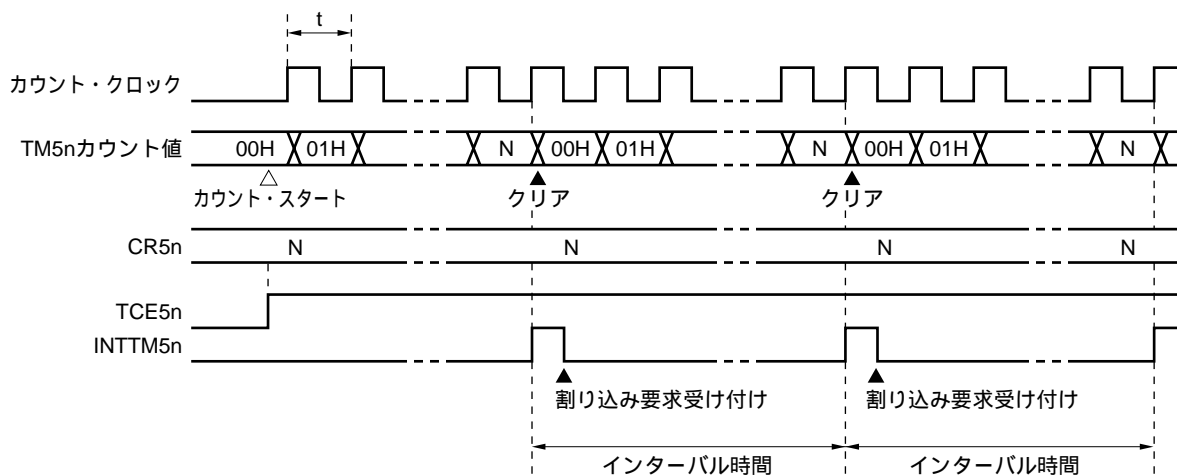
注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第11章 **割り込み機能**を参照してください。

2. n = 0, 1

図7-11 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作



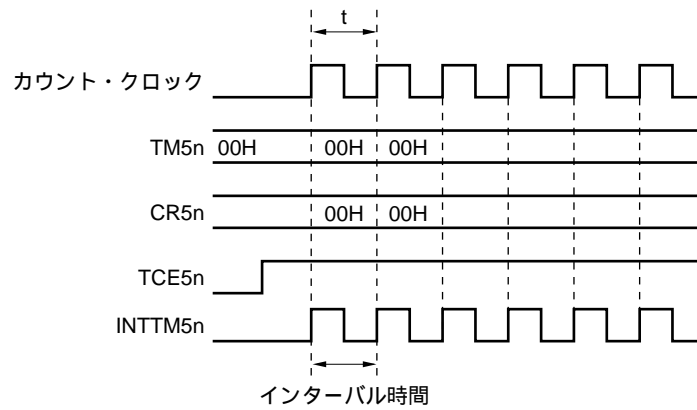
備考 インターバル時間 = $(N + 1) \times t$

N = 01H-FFH

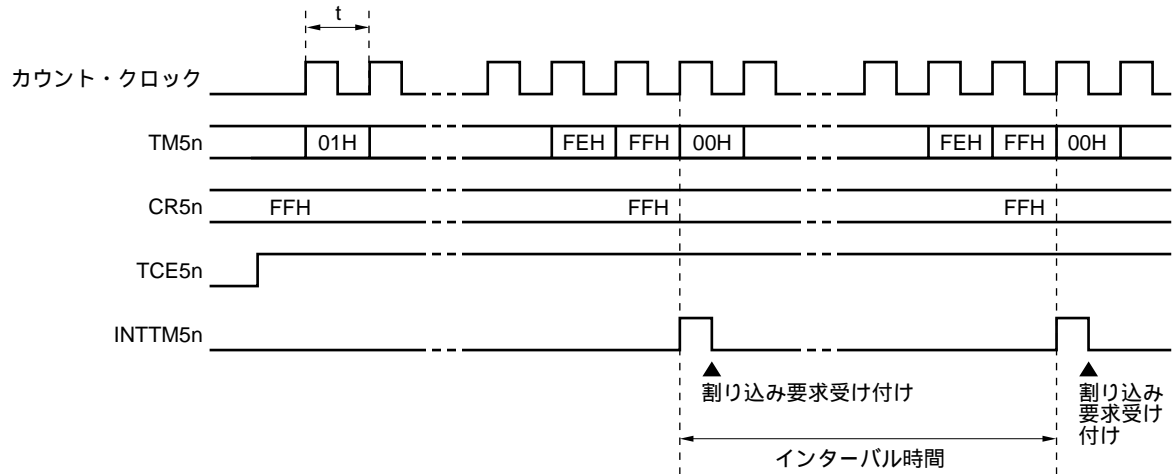
n = 0, 1

図7-11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM00, PM06) ^注に “1” を設定
- ・TCL5n : TI5n端子入力のエッジ選択
TI5n端子の立ち下がり TCL5n = 00H
TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
(TMC5n = 00000000B)

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

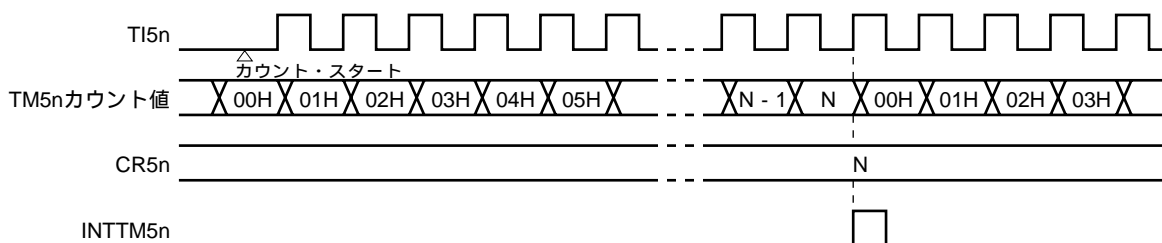
以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM06

8ビット・タイマ/イベント・カウンタ51 : PM00

備考 INTTM5n信号の割り込み許可については、第11章 割り込み機能を参照してください。

図7 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P00, P06)^注, ポート・モード・レジスタ (PM00, PM06)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注 8ビット・タイマ/イベント・カウンタ50 : P06, PM06

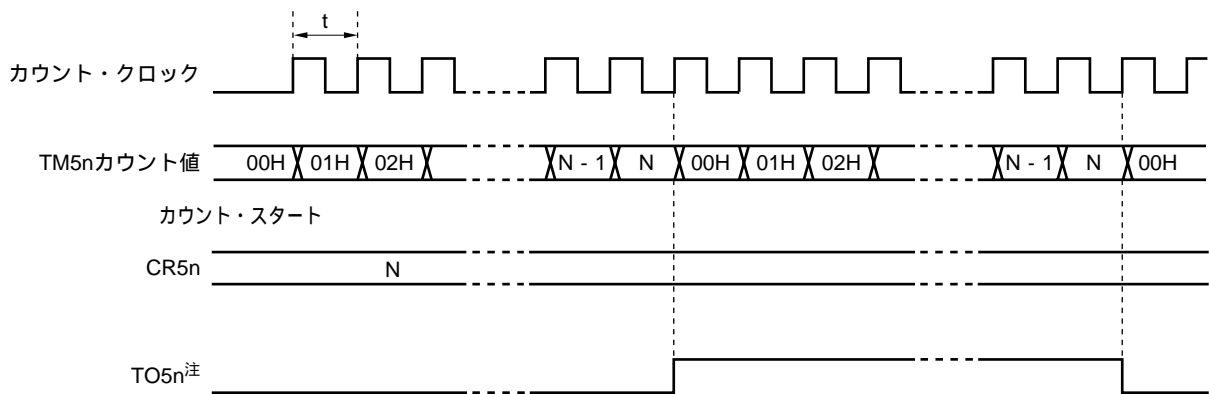
8ビット・タイマ/イベント・カウンタ51 : P00, PM00

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第11章 割り込み機能を参照してください。

2. n = 0, 1

図7 - 13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P00, P06)^注, ポート・モード・レジスタ (PM00, PM06)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P06, PM06

8ビット・タイマ/イベント・カウンタ51 : P00, PM00

PWM出力の動作

PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7 - 14, 図7 - 15を参照してください。

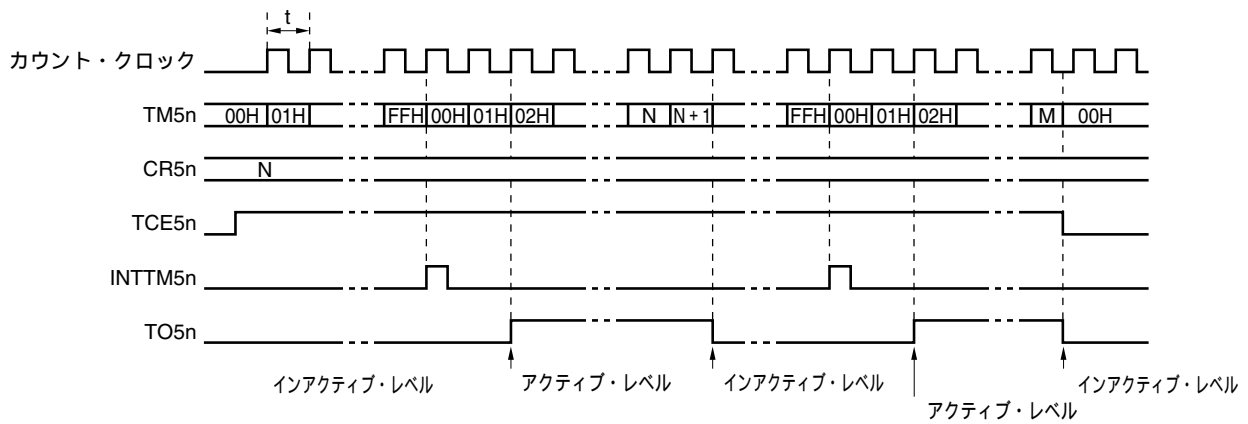
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

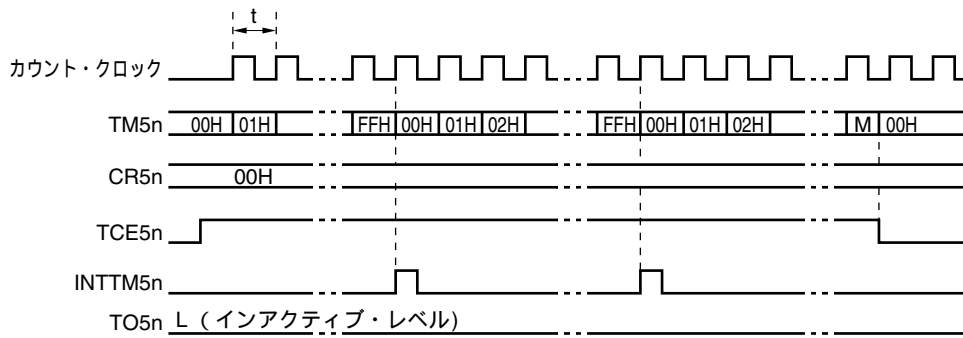
備考 n = 0, 1

図7 - 14 PWM出力動作のタイミング

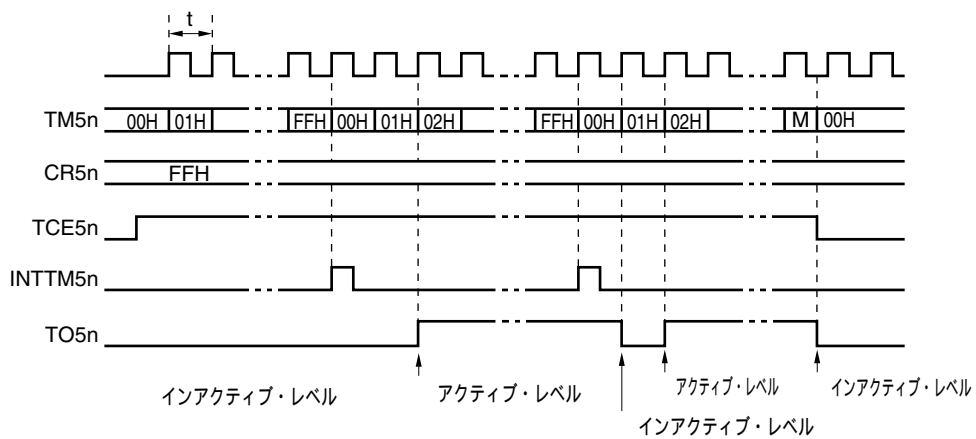
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



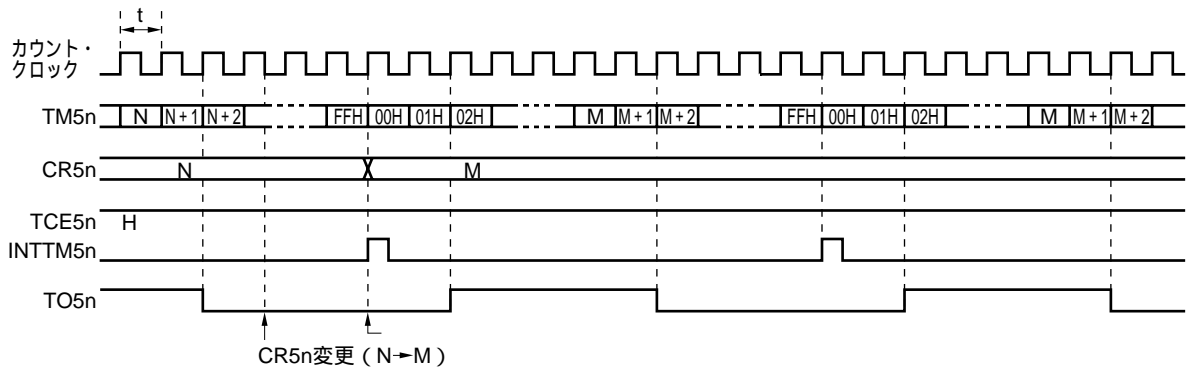
備考1. 図7 - 14 (a)と(c)の - , は、7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. n = 0, 1

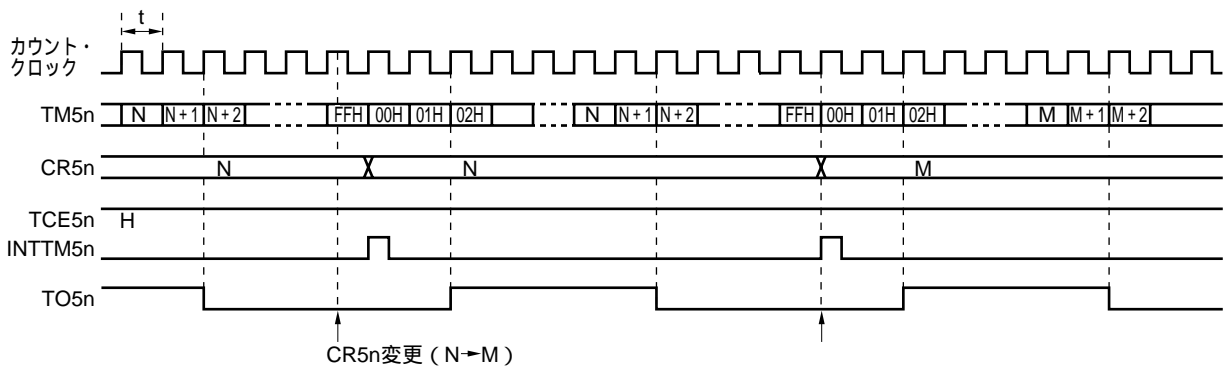
(2) CR5n変更による動作

図7 - 15 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



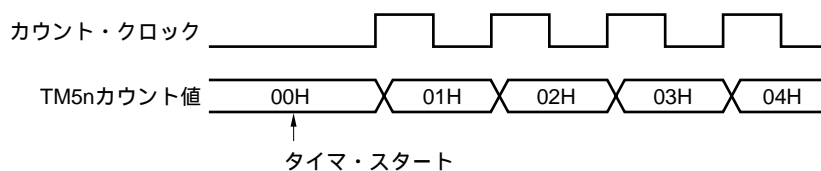
注意 図7 - 15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

図7-16 8ビット・タイマ・カウンタ5nのスタート・タイミング



備考 n = 0, 1

第8章 8ビット・タイマH0, H1

8.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ（8ビット・タイマH1のみ）

8.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^注 ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0) ポート出力モード・レジスタ0 (PM0)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

図8 - 1と図8 - 2にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図

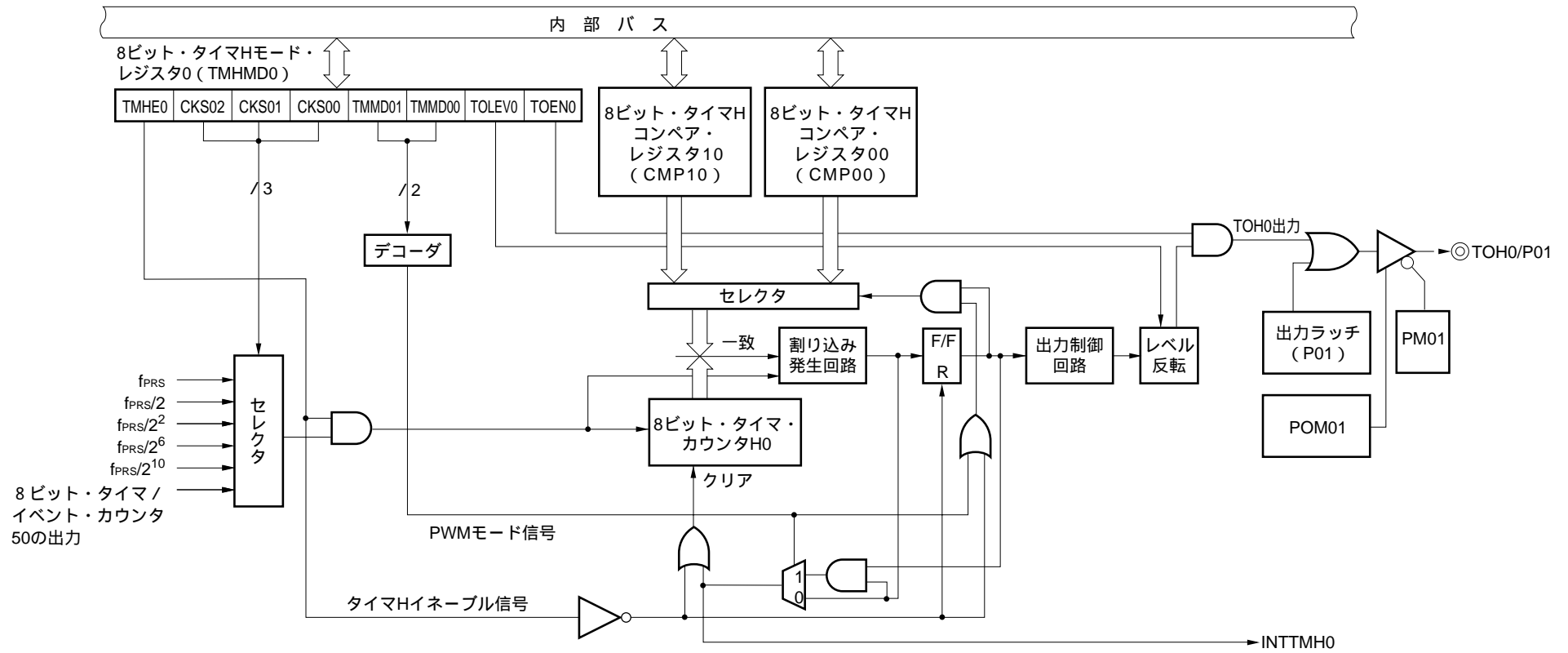
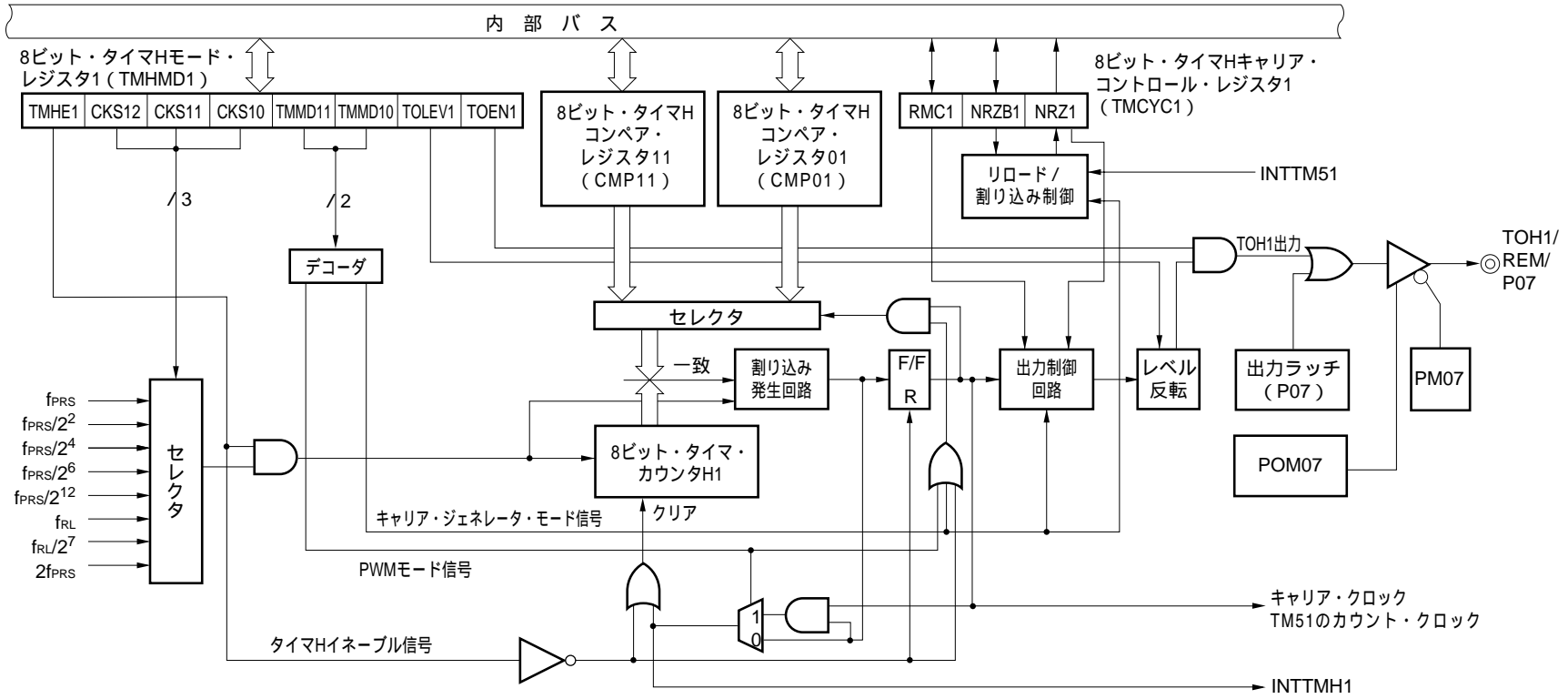


図8-2 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

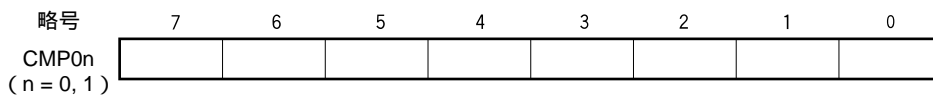
CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8 - 3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス : FF18H (CMP00) , FF1AH (CMP01) リセット時 : 00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウント値はクリアされます。

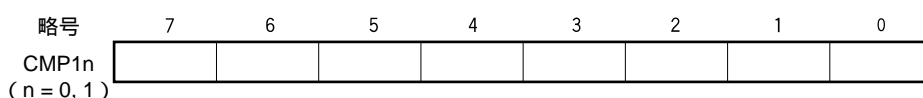
CMP1nは、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウント値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図8 - 4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス : FF19H (CMP10) , FF1BH (CMP11) リセット時 : 00H R/W



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

8.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の5種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)
- ・ポート出力モード・レジスタ0 (POM0)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0, 1$

図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択		
				fPRS = 2 MHz	fPRS = 4 MHz
0	0	0	fPRS	2 MHz	4 MHz
0	0	1	fPRS/2	1 MHz	2 MHz
0	1	0	fPRS/2 ²	500 kHz	1 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	62.5 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	3.91 kHz
1	0	1	TM50の出力 ^注		
上記以外			設定禁止		

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注 TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意1. TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。

- 注意2. PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する(TMHE0 = 1)場合、必ず8ビット・タイマHコンペア・レジスタ10(CMP10)を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。
3. 実際のTOH0/P01端子の出力は、TOH0出力のほかにPM01とP01によって決まります。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
3. TMC501 : TMC50のビット1

図8 - 6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10		カウント・クロックの選択	
				$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 4 \text{ MHz}$
0	0	0	f_{PRS}	2 MHz	4 MHz
0	0	1	$f_{PRS}/2^2$	500 kHz	1 MHz
0	1	0	$f_{PRS}/2^4$	125 kHz	250 kHz
0	1	1	$f_{PRS}/2^6$	31.25 kHz	62.5 kHz
1	0	0	$f_{PRS}/2^{12}$	0.49 kHz	0.98 kHz
1	0	1	$f_{RL}/2^7$	1.80 kHz (TYP.)	
1	1	0	$2f_{PRS}$	4 MHz \pm 2%	8 MHz \pm 2%
1	1	1	f_{RL}	240 kHz (TYP.)	

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

- 注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。
 3. キャリア・ジェネレータ・モードを使用する場合, TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
 4. 実際のTOH1/REM/P07端子の出力は, TOH1出力のほかにPM07とP07によって決まります。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
 2. f_{RL} : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図8 - 7 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス: FF6DH リセット時: 00H RW[※]

略号	7	6	5	4	3	2	1	[0]
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1: キャリア・パルス出力, RMC1 = 0: ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき, RMC1を書き換えしないでください。ただし, TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ0 (PM0)

ポート0の入力 / 出力を1ビット単位で設定するレジスタです。

P01/TOH0, P07/TOH1/REM端子をタイマ出力およびリモコン用キャリア・ジェネレータ出力として使用する時、PM01, PM07およびP01, P07の出力ラッチに0を設定してください。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8 - 8 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(4) ポート出力モード・レジスタ0 (POM0)

ポート0の出力モードを設定するレジスタです。

リモコン用キャリア・ジェネレータ出力として使用する時、POM07に1を設定してください。

POM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 9 ポート出力モード・レジスタ0 (POM0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	FF38H	00H	R/W

POM0n	P0nの出力モードの選択 (n = 0-7)
0	CMOS出力
1	N-chオープン・ドレイン出力 (P07はP-chオープン・ドレイン出力)

8.4 8ビット・タイマH0, H1の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

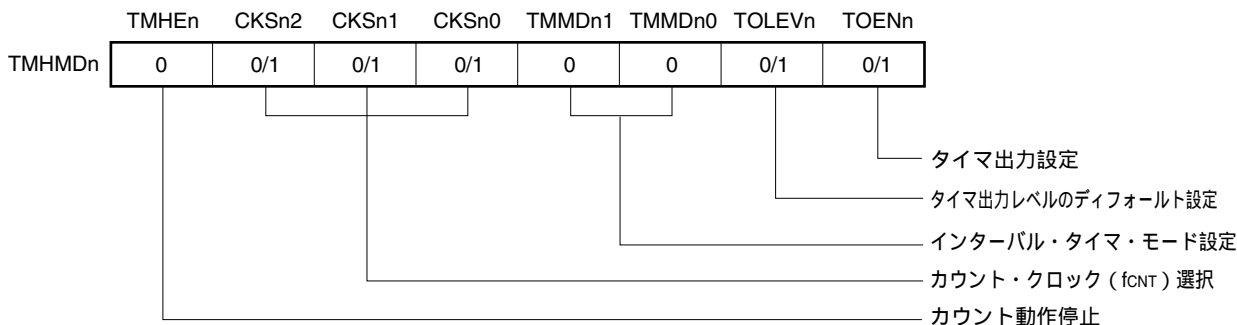
また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

設定方法

各レジスタの設定を行います。

図8 - 10 インターバル・タイマ / 方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

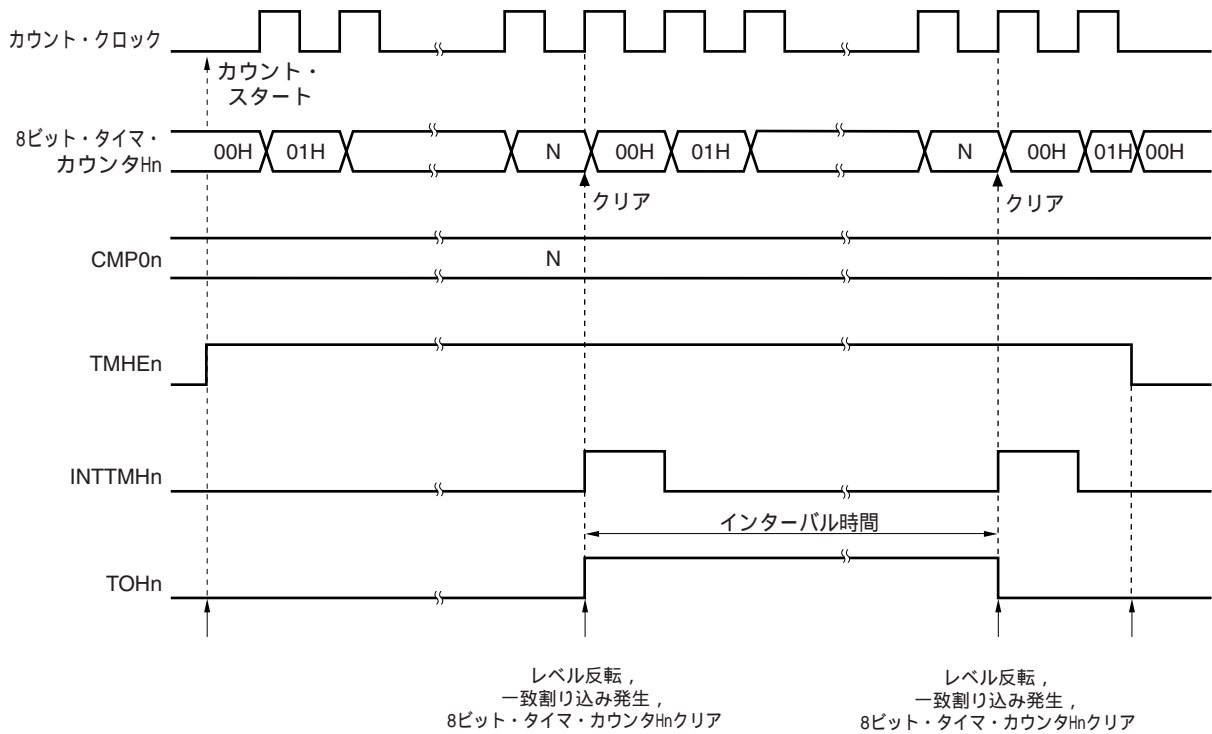
備考1. 出力端子の設定については8.3(3) **ポート・モード・レジスタ0 (PM0)**、(4) **ポート出力モード・レジスタ0 (POM0)**を参照してください。

2. INTTMHn信号の割り込み許可については、**第11章 割り込み機能**を参照してください。

3. n = 0, 1

図8 - 11 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP0n FEH時の動作)



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

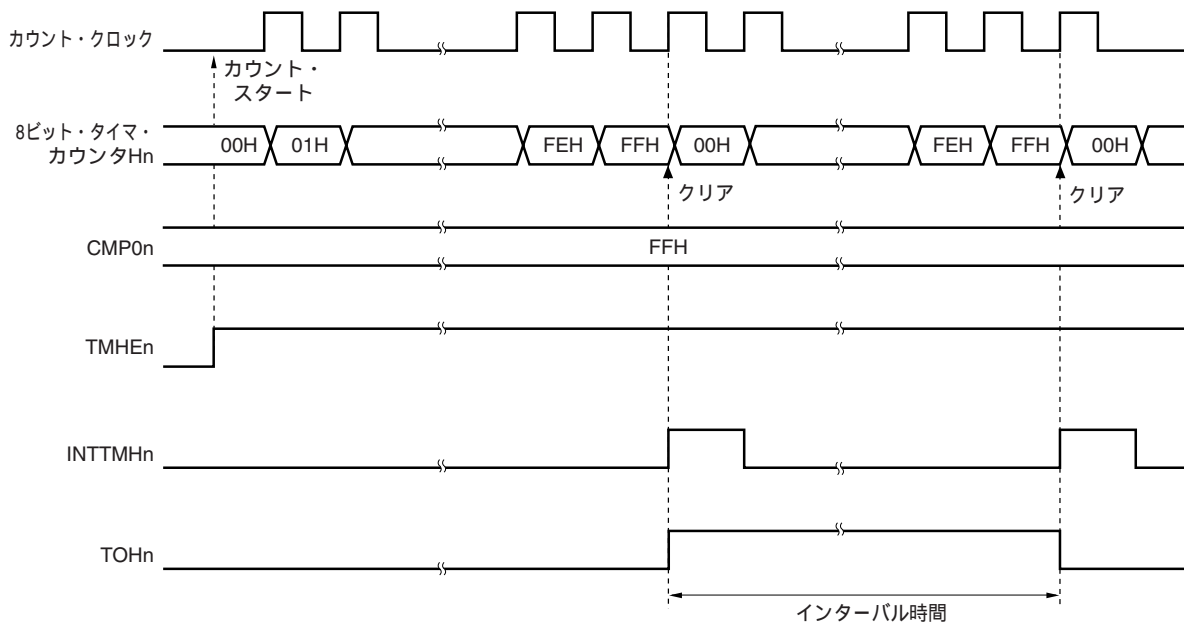
タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

備考 n = 0, 1

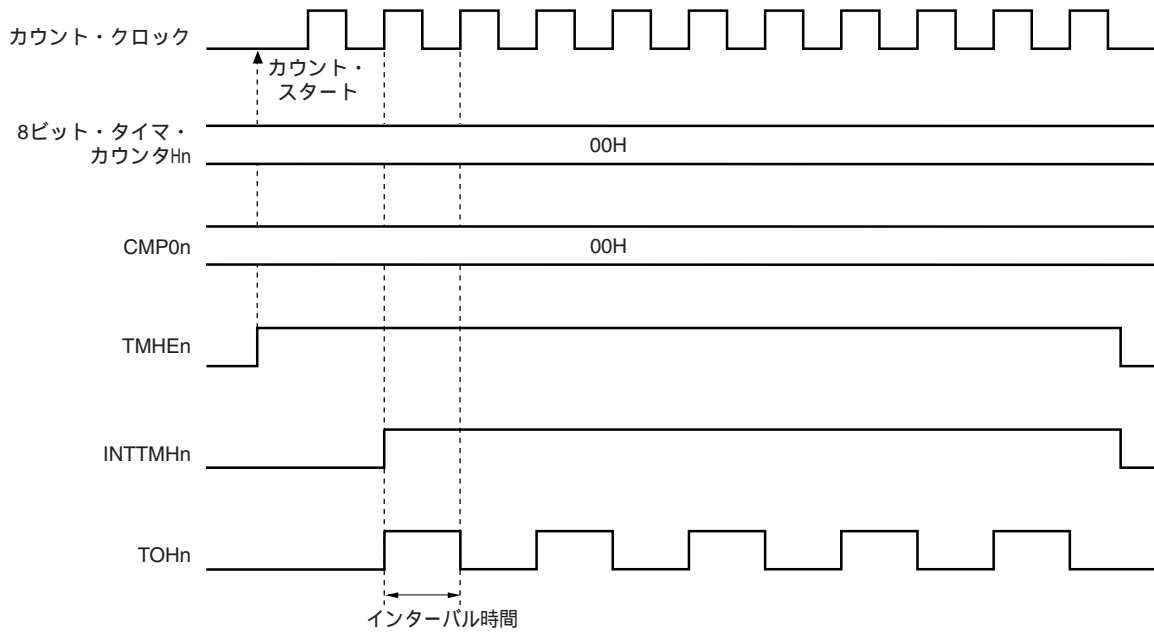
01H N FEH

図8 - 11 インターバル・タイマ / 方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

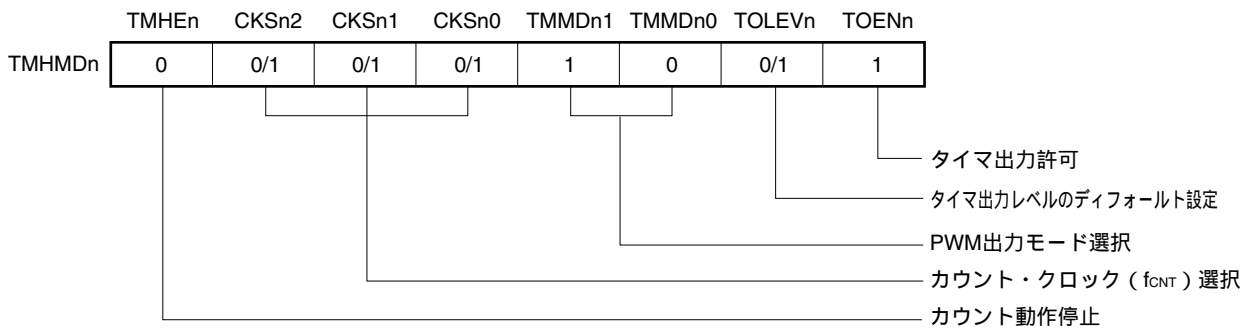
タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

設定方法

各レジスタの設定を行います。

図8 - 12 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0, 1

$$2.00H \text{ CMP1n (M) < CMP0n (N) FFH}$$

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を (N)、CMP1nレジスタを (M)、カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

- ・PWMパルス出力周期 = $(N + 1) / f_{CNT}$

- ・デューティ = $(M + 1) / (N + 1)$

- 注意1.** タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号)の3クロック分以上かかります。
- 2.** タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。
- 3.** CMP1nレジスタの設定値 (M)、CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。

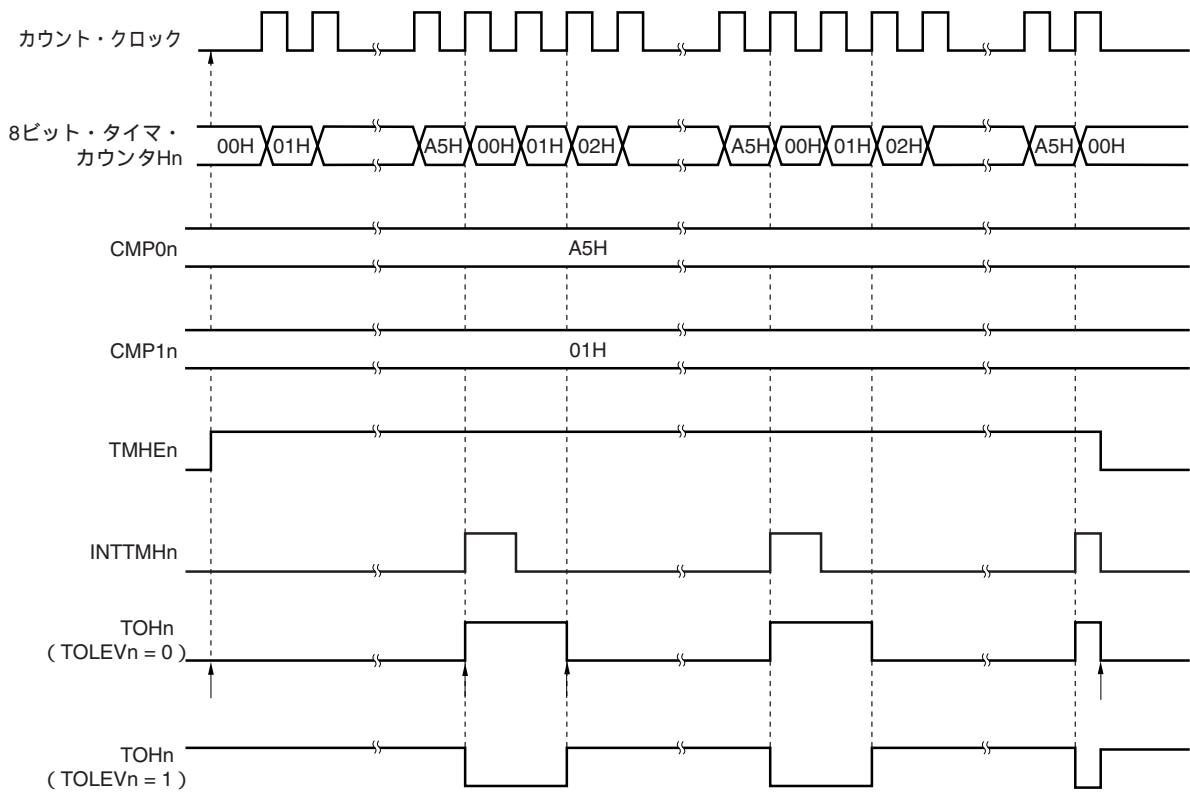
$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq \text{FFH}$$

備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ0 (PM0) を参照してください。

2. INTTMHn信号の割り込み許可については、第11章 割り込み機能を参照してください。
3. n = 0, 1

図8 - 13 PWM出力動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

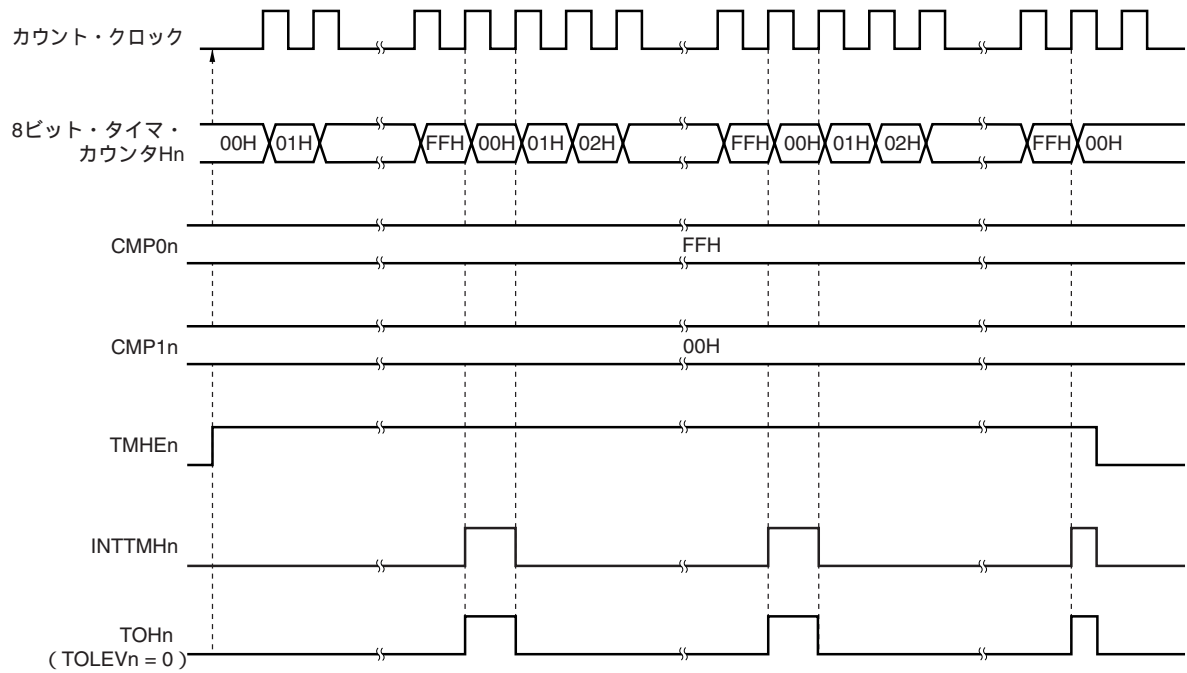
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

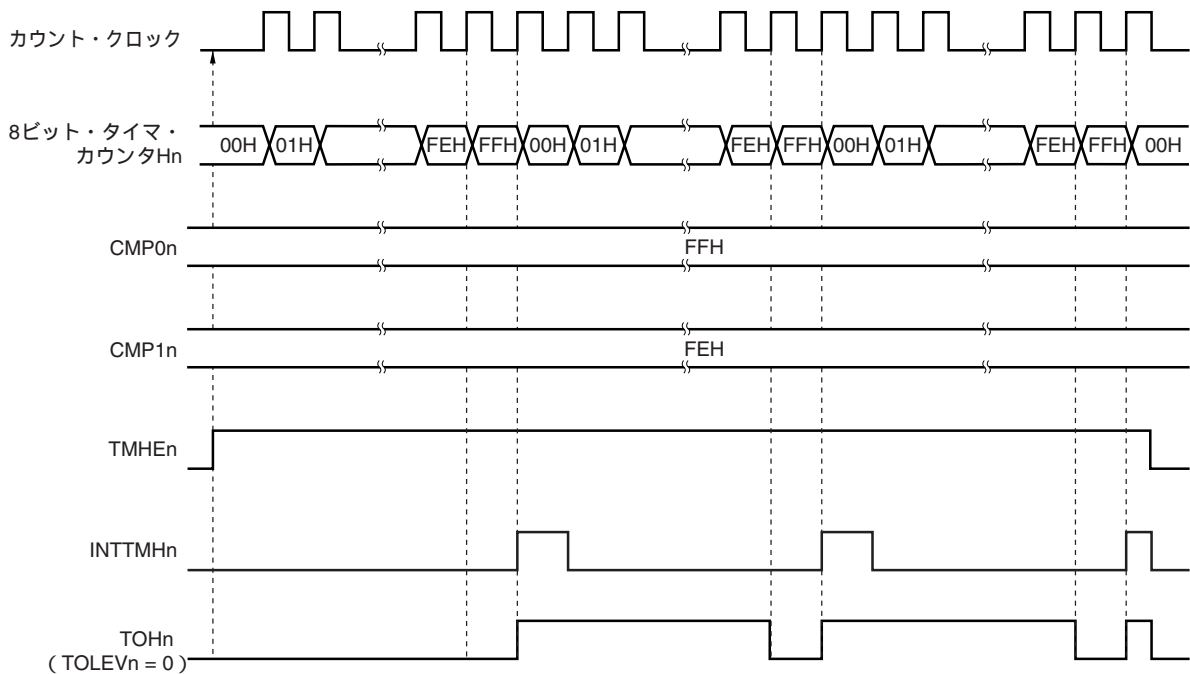
備考 n = 0, 1

図8 - 13 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



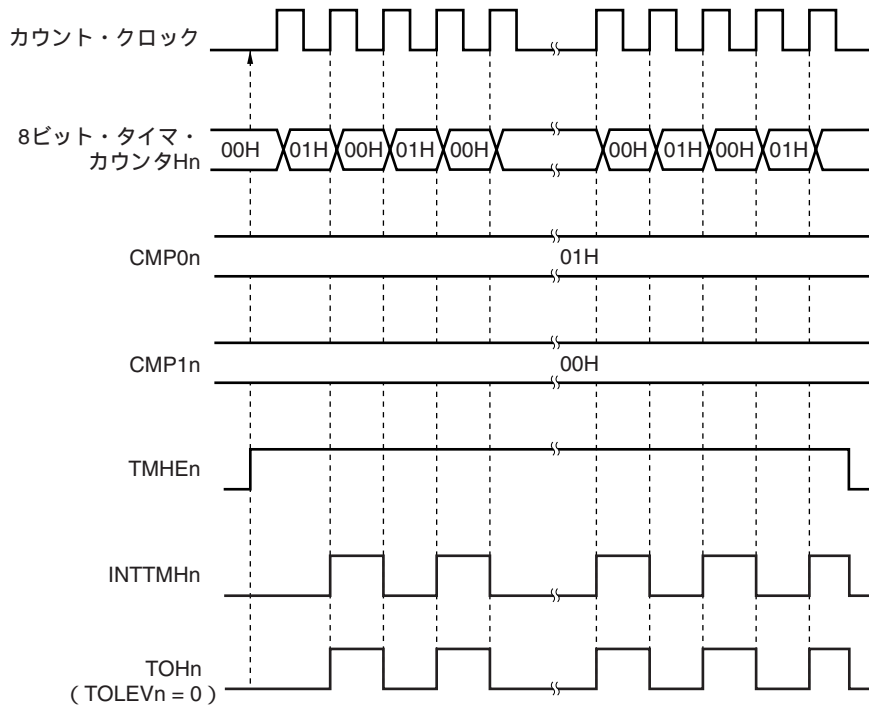
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図8 - 13 PWM出力動作のタイミング (3/4)

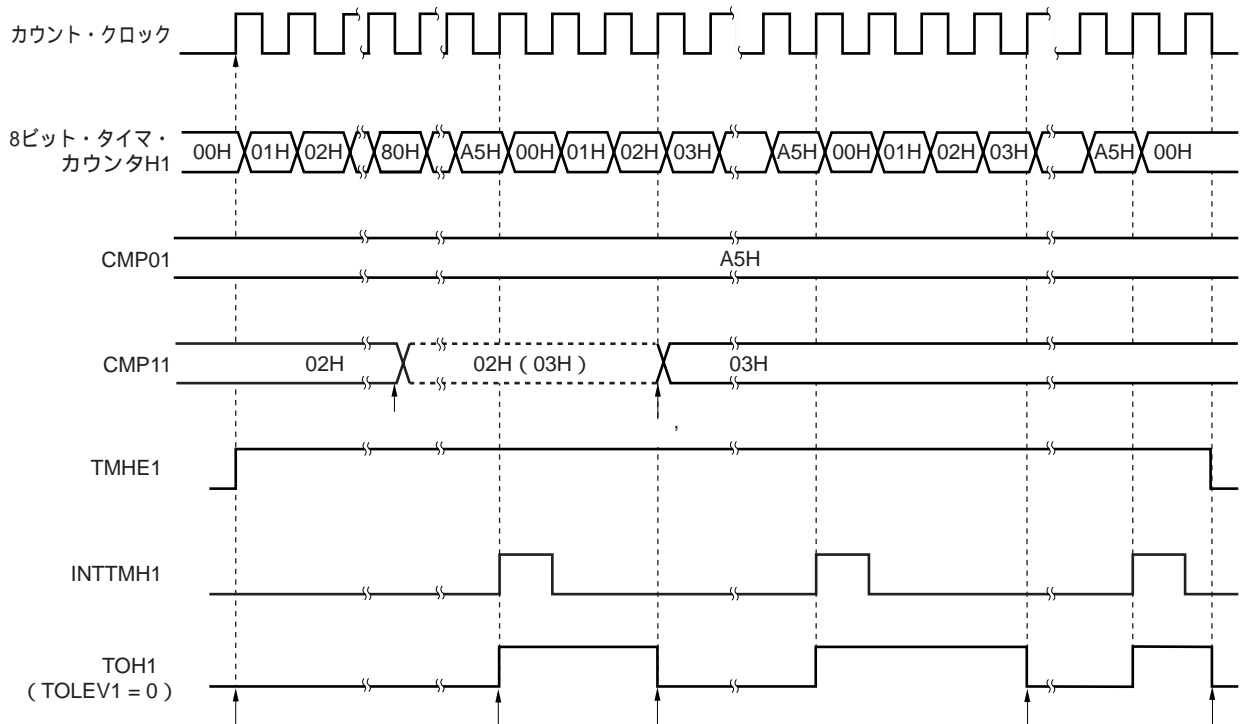
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図8 - 13 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H 03H, CMP0n = A5H)



TMHE_n = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1_nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH_nの値がCMP0_nレジスタの値と一致すると、8ビット・タイマ・カウンタH_nはクリアされ、アクティブ・レベルを出力し、INTTMH_n信号が発生します。

CMP1_nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH_nとCMP1_nレジスタの変更前の値が一致すると、CMP1_nレジスタに転送されCMP1_nレジスタの値が変更されます（'）。

ただし、CMP1_nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH_nの値が変更後のCMP1_nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタH_nはクリアされず、INTTMH_n信号も発生しません。

タイマH_n動作中にTMHE_nビットを0にすることで、INTTMH_n信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0, 1

8.4.3 キャリア・ジェネレータとしての動作（8ビット・タイマH1のみ）

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、REM出力からキャリア・パルスを出力します。

（1）キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

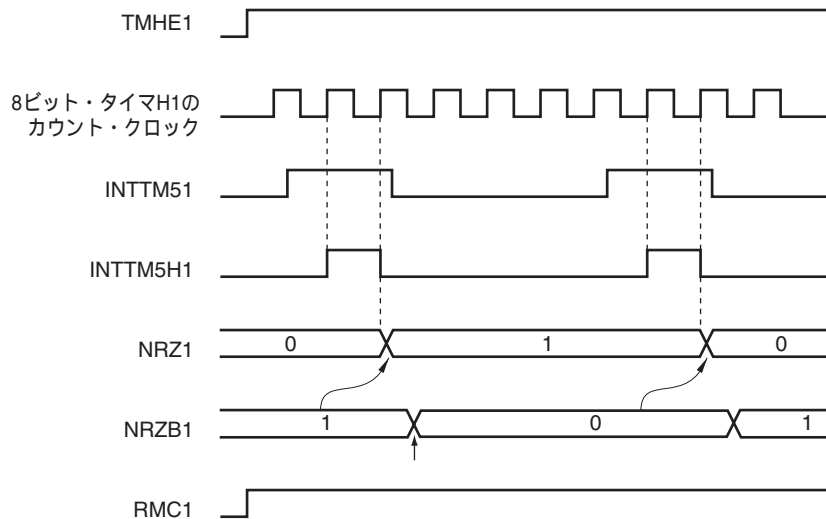
（2）キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号（INTTM51）と8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 14 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

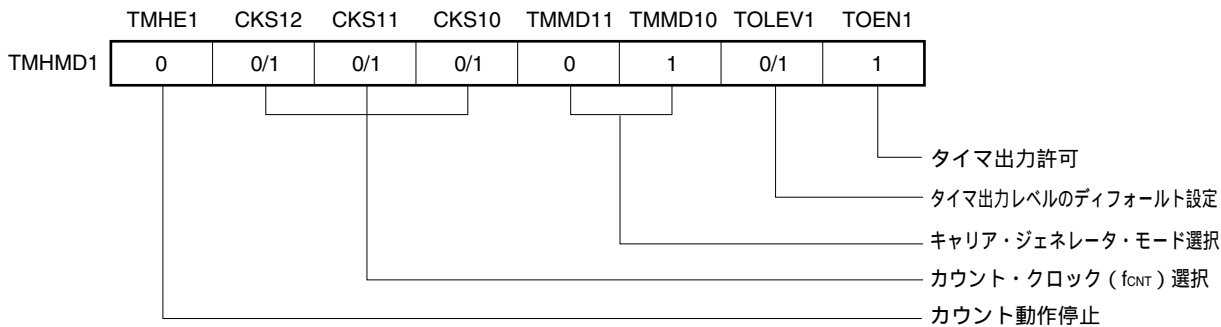
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

各レジスタの設定を行います。

図8 - 15 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、REM出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

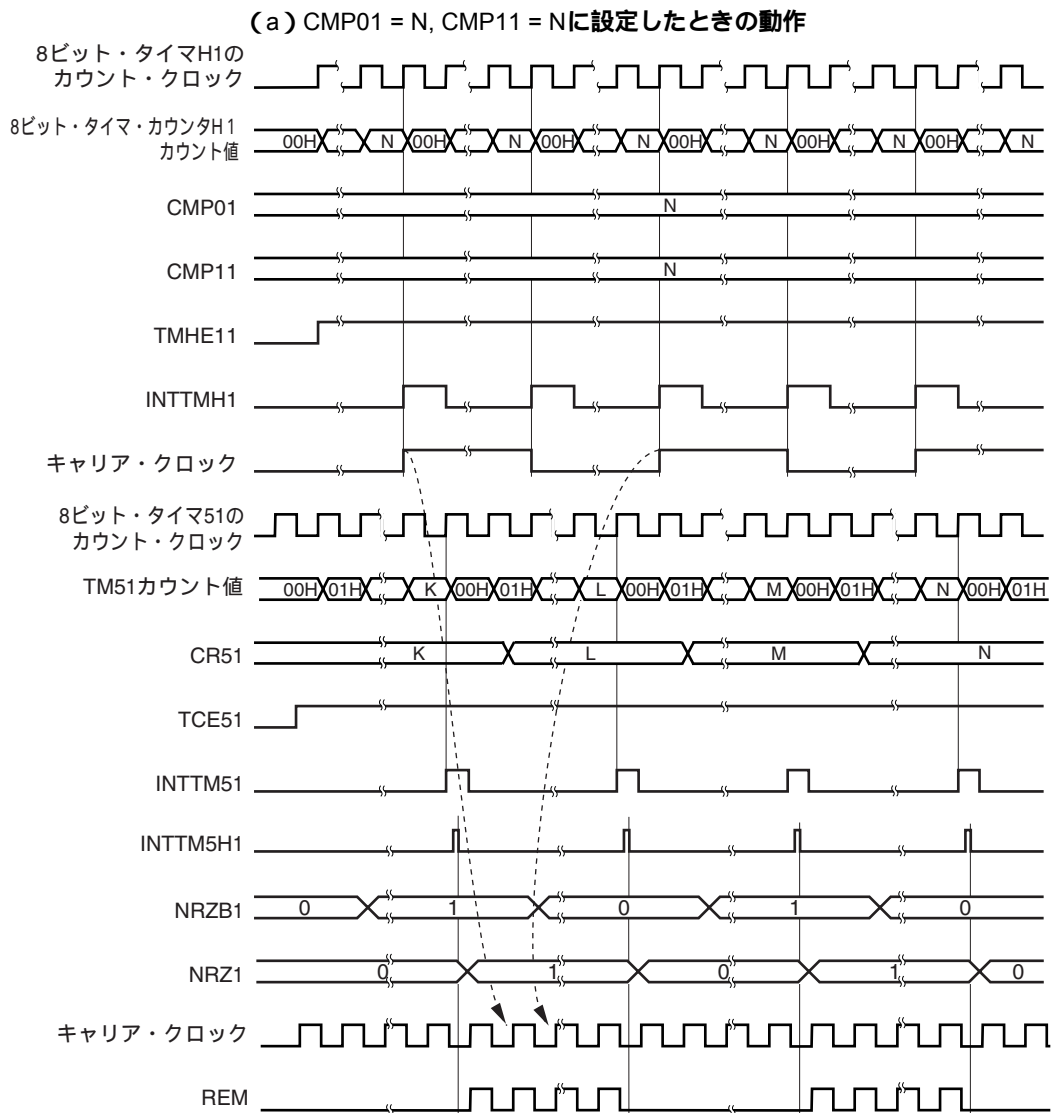
注意1. タイマ・カウンタ動作停止(TMHE1 = 0)設定後、タイマ・カウンタ動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。

2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ0(PM0)、(4) ポート出力モード・レジスタ0(POM0)を参照してください。

2. INTTMH1信号の割り込み許可については、第11章 割り込み機能を参照してください。

図8 - 16 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

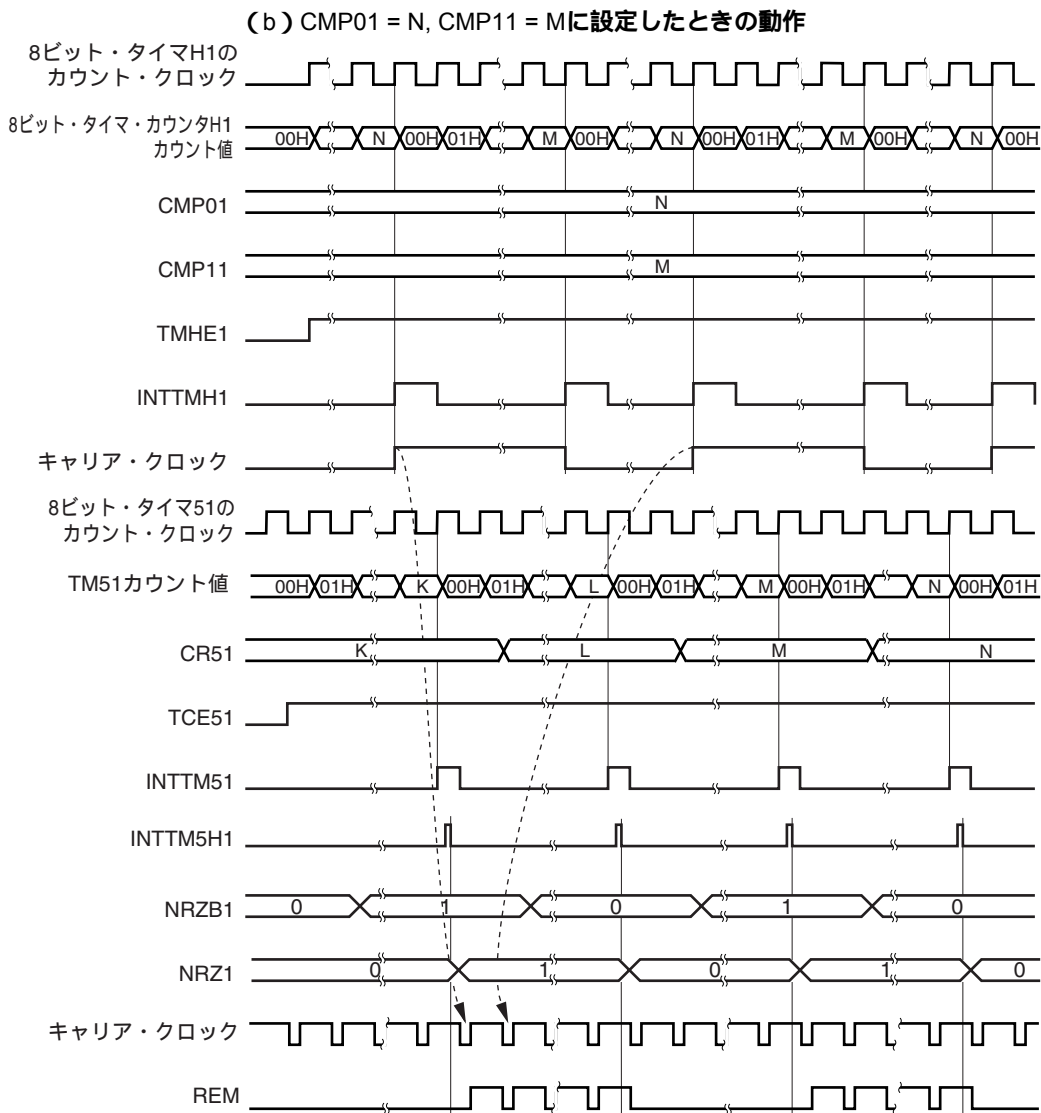
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、REM出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 16 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定 (50 %以外) のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

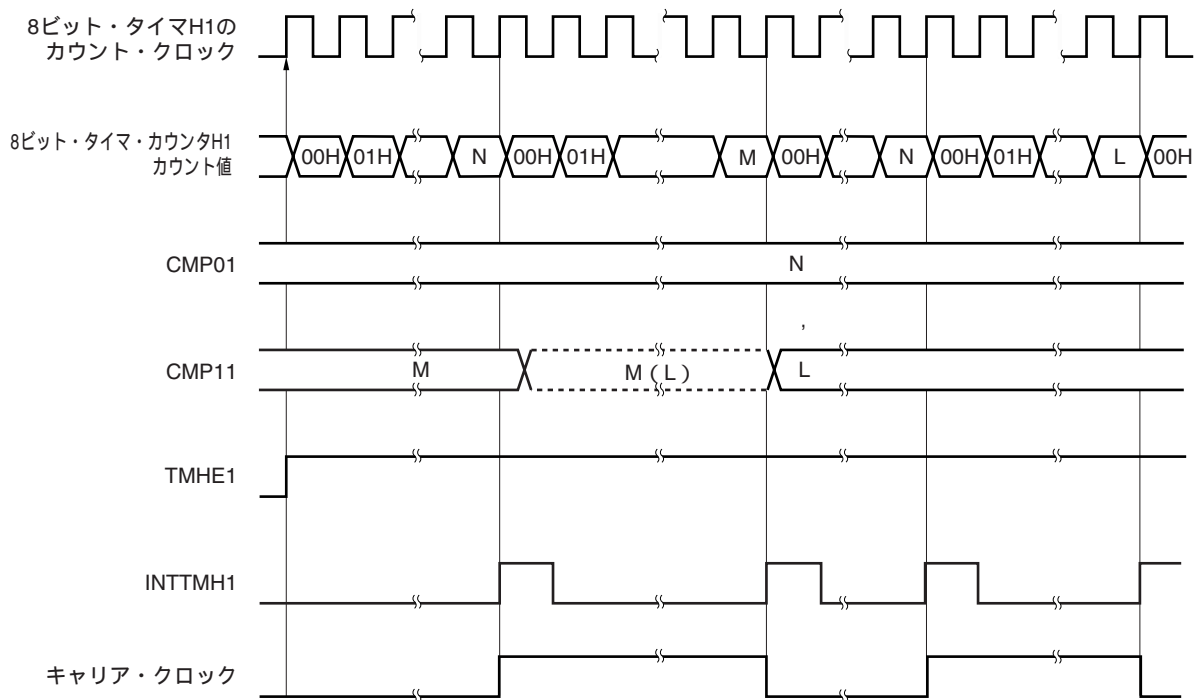
NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、REM出力もハイ・レベルを保持しロウ・レベルに変化しません (、よりキャリア波形のハイ・レベル幅が保証できます)。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 16 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウント・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域(ただしFB00H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第14章 **リセット機能**を参照してください。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

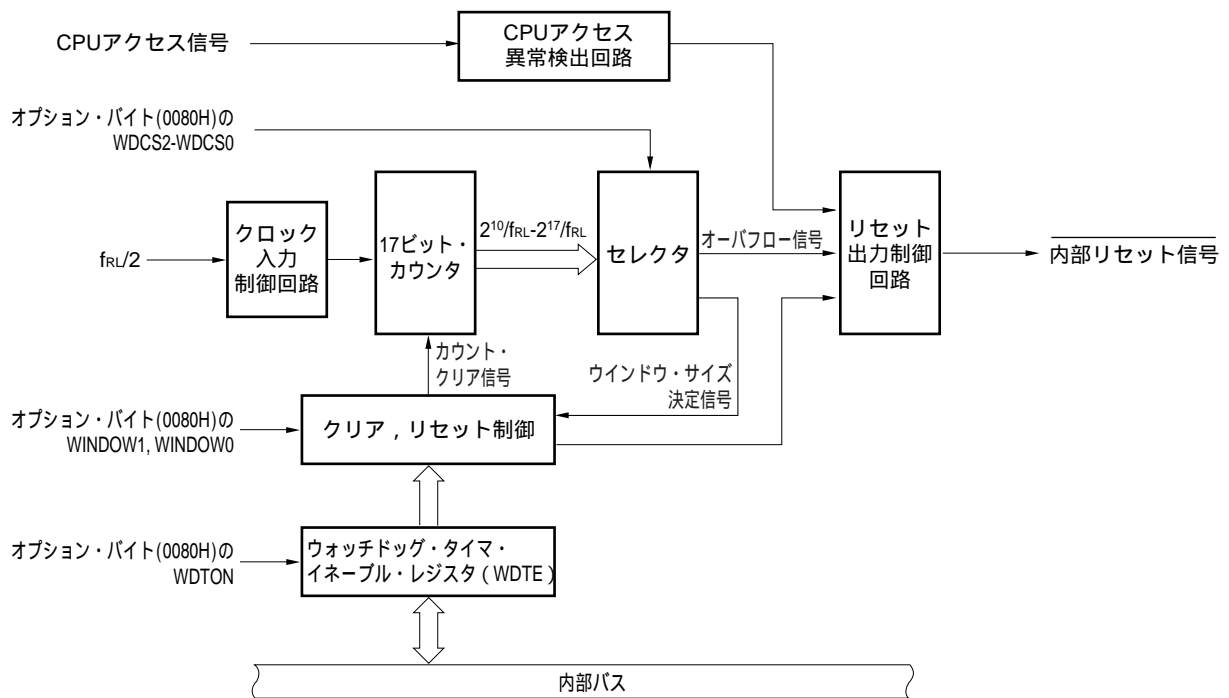
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表9-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDOS2- WDOS0)

備考 オプション・バイトについては、第17章 **オプション・バイト**を参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^註になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH^註 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第17章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウント動作禁止（リセット解除後、カウント停止）、不正アクセス検出動作禁止
1	カウント動作許可（リセット解除後、カウント開始）、不正アクセス検出動作許可

・オプション・バイト（0080H）のビット3-1（WDOS2-WDOS0）で、オーバフロー時間を設定してください（詳細は、9.4.2および第17章を参照）。

・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、9.4.3および第17章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタで設定していない領域からフェッチした場合
（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタで設定していない領域（ただしFB00H-FFFFHは除く）にアクセスした場合
（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により, ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は, 次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合, HALTおよびSTOPモード解除後は, ウォッチドッグ・タイマのカウンタを再開します。このとき, カウンタはクリア (0) されず, 停止前の値からカウンタ開始します。

また, LSROSC = 0設定時に, LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も, ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は, オプション・バイト(0080H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバフロー時は, 内部リセット信号を発生します。オーバフロー時間前の, ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより, カウンタはクリアされ, 再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定 (2.1 V V_{DD} 3.6 Vの場合)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	2 ¹⁰ /f _R L (3.71 ms)
0	0	1	2 ¹¹ /f _R L (7.42 ms)
0	1	0	2 ¹² /f _R L (14.84 ms)
0	1	1	2 ¹³ /f _R L (29.68 ms)
1	0	0	2 ¹⁴ /f _R L (59.36 ms)
1	0	1	2 ¹⁵ /f _R L (118.72 ms)
1	1	0	2 ¹⁶ /f _R L (237.45 ms)
1	1	1	2 ¹⁷ /f _R L (474.90 ms)

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_RL : 低速内蔵発振クロック周波数

- () 内はf_RL = 276 kHz (MAX.) の場合

表9-4 ウォッチドッグ・タイマのオーバーフロー時間の設定 (1.8 V $V_{DD} < 2.1$ Vの場合)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.41 ms)
0	0	1	$2^{11}/f_{RL}$ (6.83 ms)
0	1	0	$2^{12}/f_{RL}$ (13.65 ms)
0	1	1	$2^{13}/f_{RL}$ (27.31 ms)
1	0	0	$2^{14}/f_{RL}$ (54.61 ms)
1	0	1	$2^{15}/f_{RL}$ (109.23 ms)
1	1	0	$2^{16}/f_{RL}$ (218.45 ms)
1	1	1	$2^{17}/f_{RL}$ (436.91 ms)

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時でも、ウォッチドッグ・タイマの動作は続きます。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

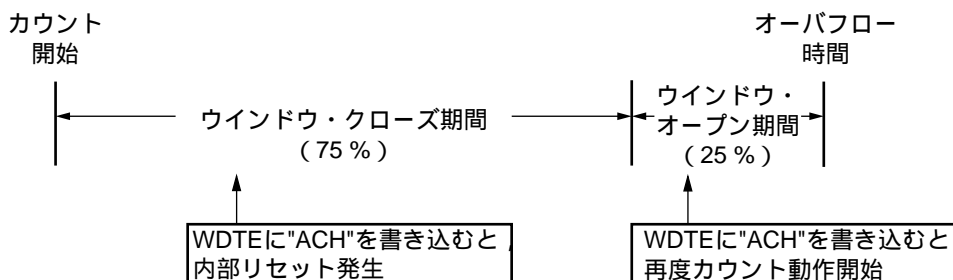
2. () 内は $f_{RL} = 300$ kHz (MAX.) の場合

9.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ・ウィンドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウィンドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウィンドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウィンドウ・オープン期間を次に示します。

表9-5 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{10}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.1 V V_{DD} 3.6 Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ 1.19 ms	なし
ウインドウ・オープン時間	3.56 ~ 3.71 ms	2.37 ~ 3.71 ms	1.19 ~ 3.71 ms	0 ~ 3.71 ms

<ウインドウ・オープン期間25 %のとき>

・オーバフロー時間：

$$2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/276 \text{ kHz} (\text{MAX.}) = 3.71 \text{ ms}$$

・ウインドウ・クローズ時間：

$$0 \sim 2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.56 \text{ ms}$$

・ウインドウ・オープン時間：

$$2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/276 \text{ kHz} (\text{MAX.}) \\ = 3.56 \sim 3.71 \text{ ms}$$

(1.8 V $V_{DD} < 2.1$ Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	設定禁止	0 ~ 2.84 ms	0 ~ 1.42 ms	なし
ウインドウ・オープン時間		2.84 ~ 3.41 ms	1.42 ~ 3.41 ms	0 ~ 3.41 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$$2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/300 \text{ kHz} (\text{MAX.}) = 3.41 \text{ ms}$$

・ウインドウ・クローズ時間：

$$0 \sim 2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^{10}/180 \text{ kHz} (\text{MIN.}) \times 0.5 = 0 \sim 2.84 \text{ ms}$$

・ウインドウ・オープン時間：

$$2^{10}/f_{RL} (\text{MIN.}) \times (1 - 0.5) \sim 2^{10}/f_{RL} (\text{MAX.}) = 2^{10}/180 \text{ kHz} (\text{MIN.}) \times 0.5 \sim 2^{10}/300 \text{ kHz} (\text{MAX.}) \\ = 2.84 \sim 3.41 \text{ ms}$$

第10章 シリアル・インタフェースUART6

10.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については10.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については10.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、10.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：312.5 kbps
- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能（全二重動作）
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能

注意1. TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

2. シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。

3. 通信開始する場合、POWER6 = 1に設定後、TXE6 = 1（送信）またはRXE6 = 1（受信）に設定してください。

4. TXE6とRXE6は、CKSR6で設定した基本クロック（fxCLK6）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

注意5. TXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。

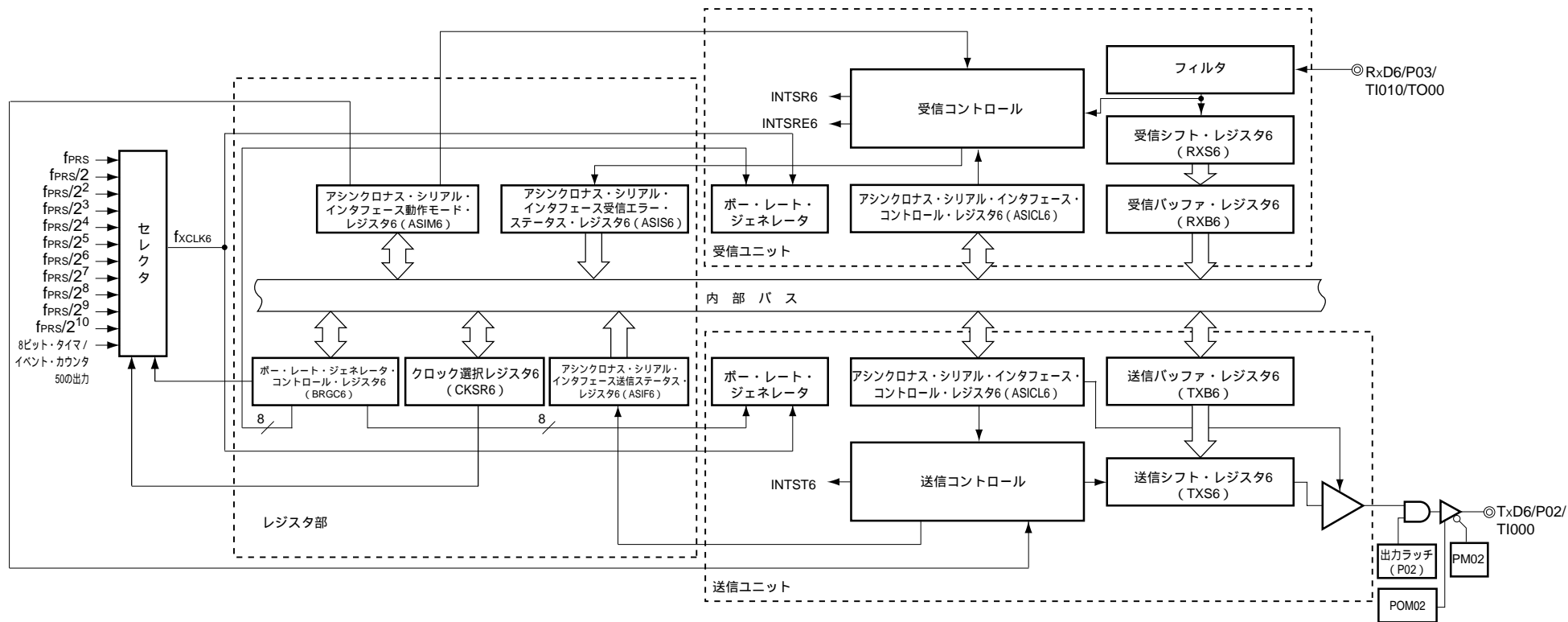
10.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表10 - 1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0) ポート出力モード・レジスタ0 (POM0)

図10-1 シリアル・インタフェースUART6のブロック図



(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・ LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・ MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意1.** アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。
- 2.** 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。
- 3.** TXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下りのタイミングで行われます。

TXS6はプログラムで直接操作できません。

10.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ ポート・モード・レジスタ0 (PM0)
- ・ ポート・レジスタ0 (P0)
- ・ ポート出力モード・レジスタ0 (POM0)

(1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6)= 1, 1またはASIM6のビット7, 5(POWER6, RXE6)= 1, 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図10 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定) , 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6(ASIS6) ,アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6(ASIF6) , 受信バッファ・レジスタ6 (RXB6) です。

図10 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待つてから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)してから行ってください。
7. SL6ビットを書き換えるときは、TXE6をクリア(0)してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL6ビットの設定値の影響は受けません。
8. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6を読み出したあと, 受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図10 - 3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE6 ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) に書き込まれず, データは破棄されます。
 4. ASIS6からデータを読み出すと, ウェイトが発生します。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図10 - 4 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1 ,またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図10 - 5 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{XCLK6}) 選択		
				f _{PRS}	f _{PRS} = 2 MHz	f _{PRS} = 4 MHz
0	0	0	0	f _{PRS}	2 MHz	4 MHz
0	0	0	1	f _{PRS} /2	1 MHz	2 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	500 kHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	250 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	125 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	62.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	31.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	15.625 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	7.813 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	3.906 kHz
1	0	1	1	TM50の出力 ^注		
その他				設定禁止		

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ 50 % のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作(同値書き込み)を行うことができます。

図10-6 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス：FF57H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. x : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。
 ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。

図10 - 7 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット

アドレス : FF58H リセット時 : 16H R/W

略号	7	6	5	4	3	2	1	0
ASICL6	0	0	0	0	0	0	DIR6	TXDLV6

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

注意 DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)にしてから行ってください。

(7) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P02/TxD6/TI000端子をシリアル・インタフェースのデータ出力として使用するとき、PM02に0を、P02の出力ラッチに1を設定してください。

P03/RxD6/TI010/TO000端子をシリアル・インタフェースのデータ入力として使用するとき、PM03に1を設定してください。このときP03の出力ラッチは、0または1のどちらでもかまいません。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図10 - 8 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(8) ポート出力モード・レジスタ0 (POM0)

ポート0の出力モードを設定するレジスタです。

POM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 9 ポート出力モード・レジスタ0 (POM0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	FF38H	00H	R/W

POM0n	P0nの出力モードの選択 (n = 0-7)
0	CMOS出力
1	N-chオープン・ドレイン出力 (P07はP-chオープン・ドレイン出力)

10.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

10.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力もハイ・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P03/TI010/TO00, TxD6/P02/TI000端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

10.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)
- ・ポート出力モード・レジスタ0 (POM0)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 (図10 - 5を参照)

BRGC6レジスタを設定 (図10 - 6を参照)

ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図10 - 2を参照)

ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図10 - 7を参照)

ASIM6レジスタのビット7 (POWER6) をセット (1)

ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能

ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表10 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM02	P02	PM03	P03	UART6 の動作	端子機能	
								TxD6/P02	RxD6/P03
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P02	P03
1	0	1	x ^注	x ^注	1	x	受信	P02	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	P03
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM0x : ポート・モード・レジスタ

P0x : ポートの出力ラッチ

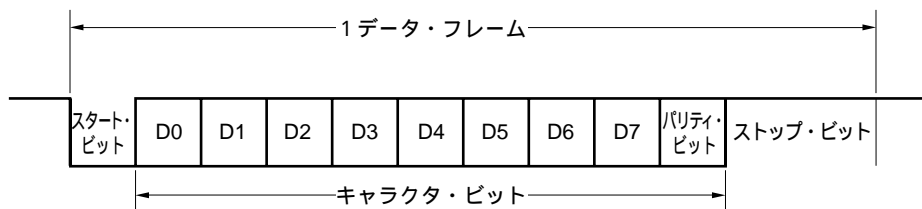
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

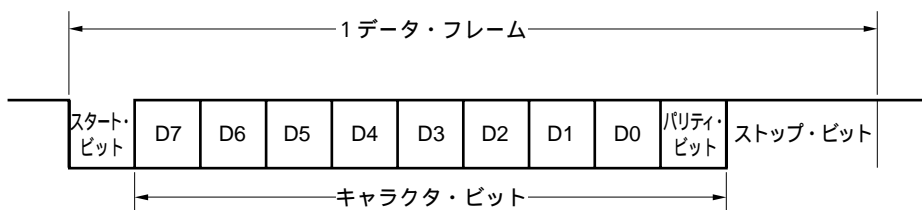
通常送受信データのフォーマットと波形例を図10 - 10, 図10 - 11に示します。

図10 - 10 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット..... 7ビット / 8ビット
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット..... 1ビット / 2ビット

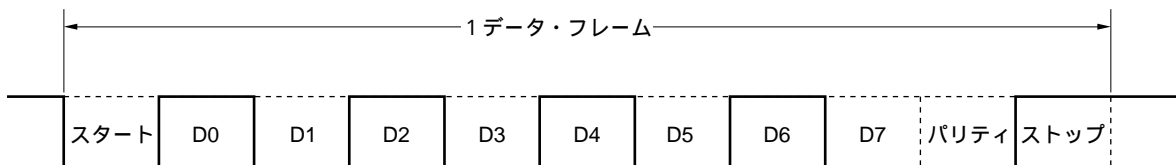
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト / MSBファーストをアシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

また, TxD6端子の通常出力 / 反転出力をASICL6のビット0 (TXDLV6) で設定します。

図10 - 11 通常UART送受信データの波形例

1. データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



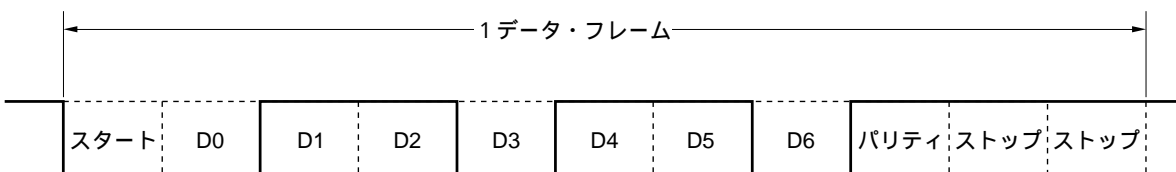
2. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



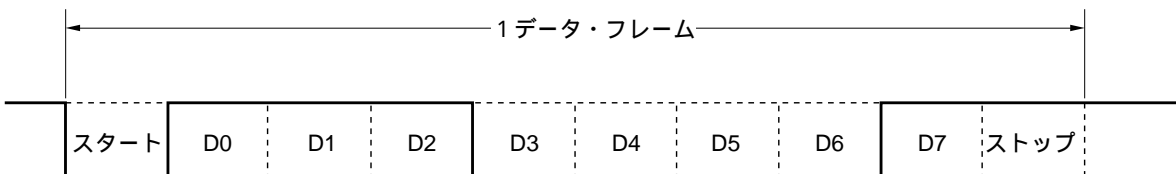
3. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H, TxD6端子反転出力



4. データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



5. データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し, 次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり, 送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

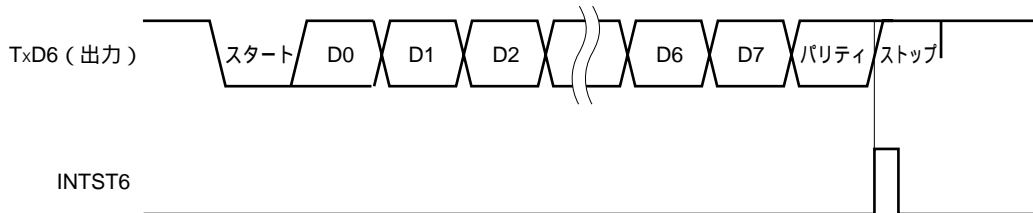
送信動作の開始により, TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後, 送信データがTXS6より順次, TxD6端子に出力されます。送信が完了すると, ASIM6で設定したパリティ・ビット, ストップ・ビットが付加され, 送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで, 送信動作は中断します。

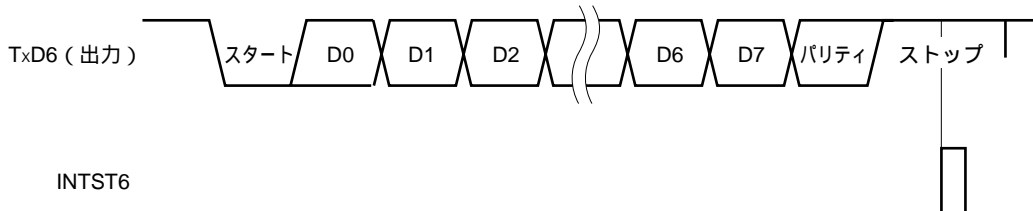
送信完了割り込み要求 (INTST6) のタイミングを図10 - 12に示します。INTST6は, 最後のストップ・ビット出力と同時に発生します。

図10 - 12 通常送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意 連続送信でASIF6レジスタのTXBF6、TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6、TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

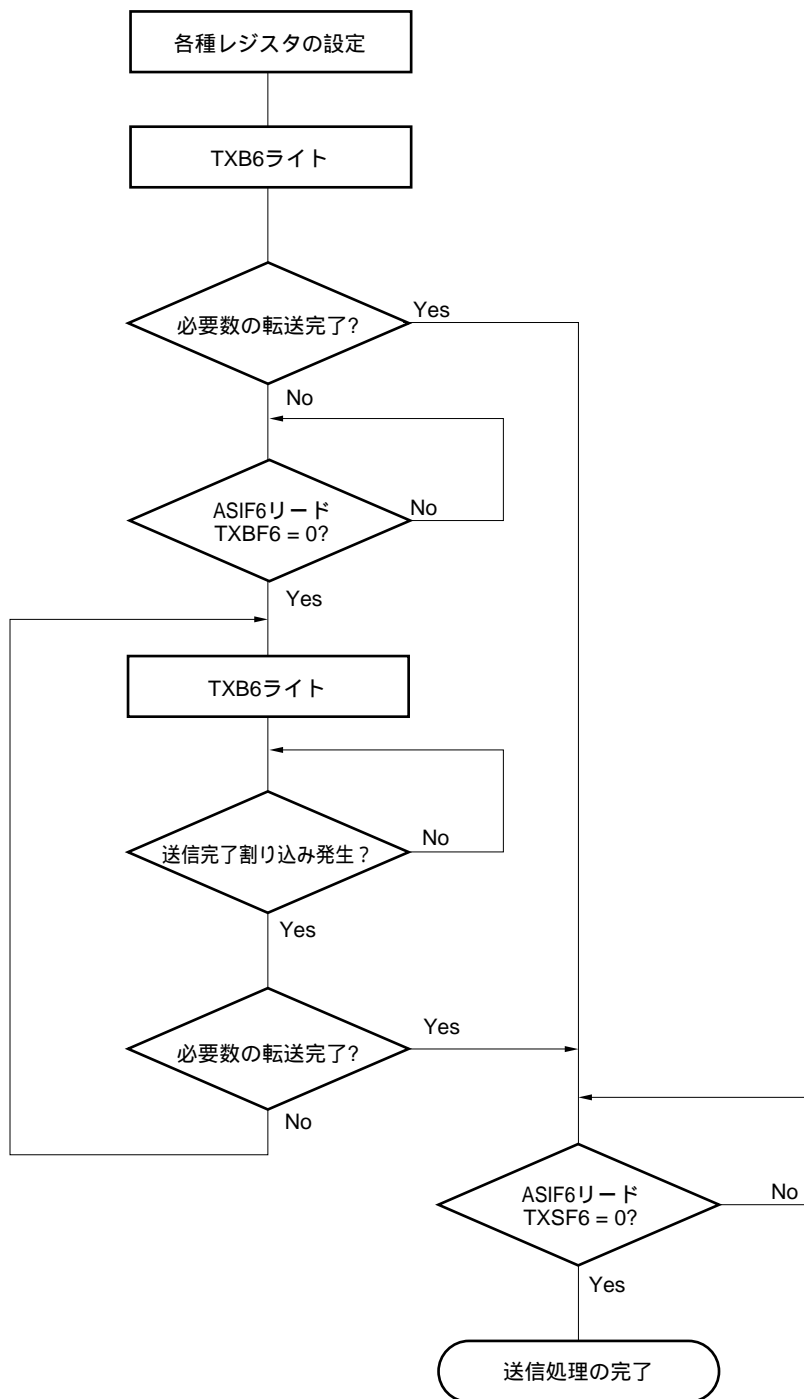
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できません。

連続送信の処理フロー例を図10 - 13に示します。

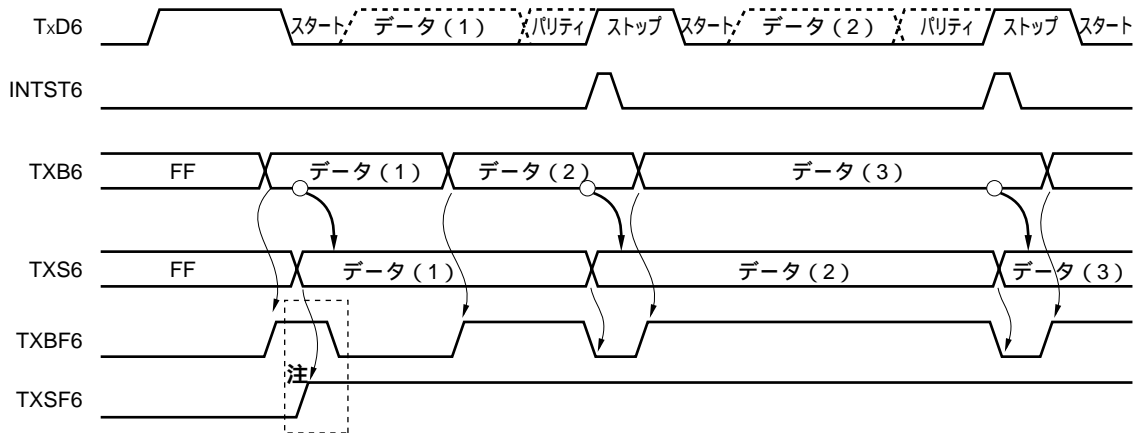
図10 - 13 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図10 - 14に、連続送信を終了する際のタイミングを図10 - 15に示します。

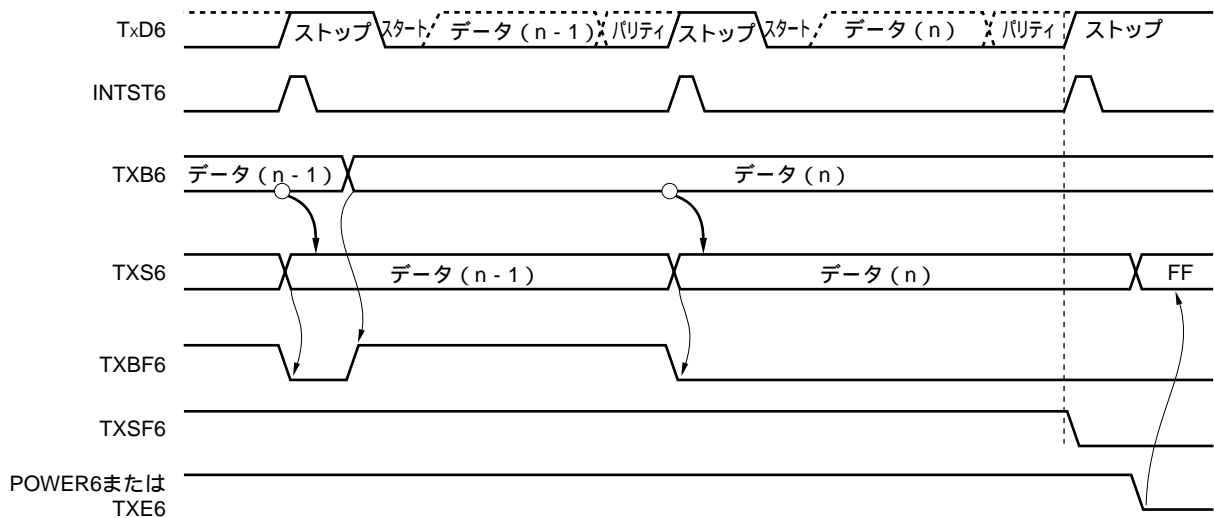
図10 - 14 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図10 - 15 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

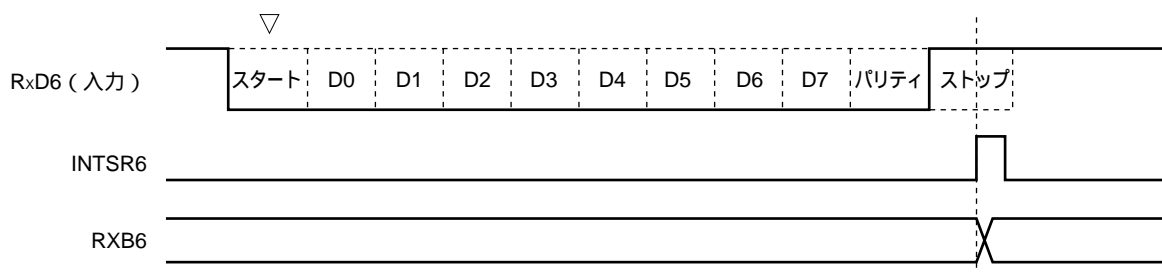
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット(1)し、次にASIM6のビット5(RXE6)をセット(1)すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6(BRGC6)の設定値をカウントした時点で、再度RxD6端子入力をサンプリング(図10-16の印に相当)した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ(RXS6)に格納していきます。ストップ・ビットを受信したら、受信完了割り込み(INTSR6)を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6(RXB6)に書き込まれます。ただし、オーバラン・エラー(OVE6)が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー(PE6)が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み(INTSR6/INTSRE6)を発生します。

図10-16 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図10 - 3参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表10 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図10 - 17 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

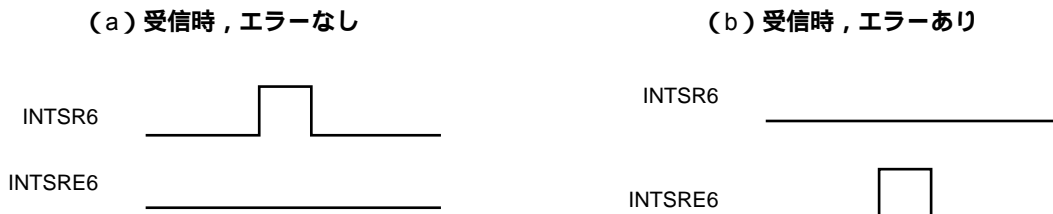


図10 - 17 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



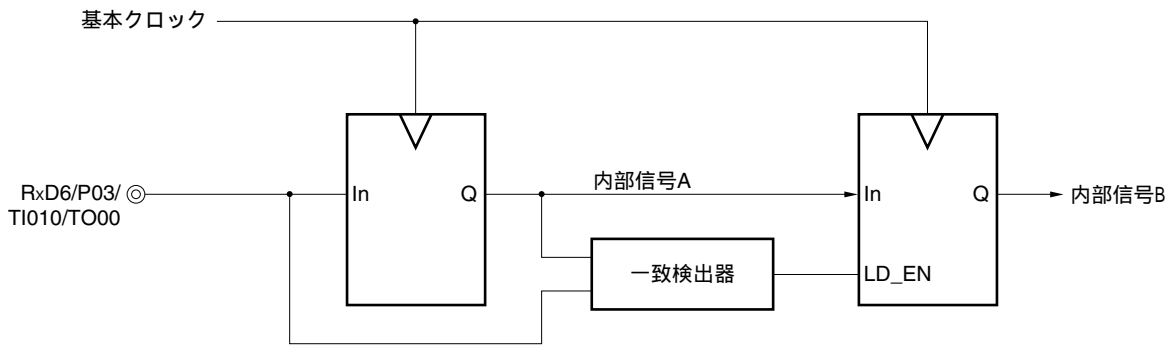
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRx/D6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図10 - 18のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図10 - 18 ノイズ・フィルタ回路



10.4.3 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

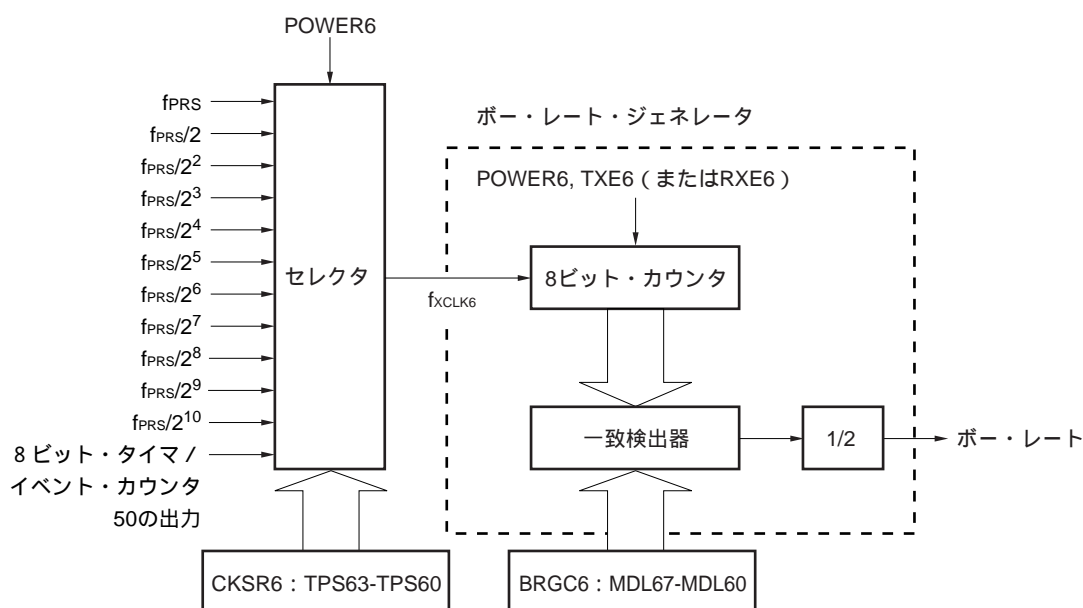
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図10 - 19 ポー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{XCLK6}/4 - f_{XCLK6}/255$) を設定できます。

10.4.4 ポー・レートの算出

(1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表10 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{XCLK6}) 選択	
				f _{PRS} = 2 MHz	f _{PRS} = 4 MHz
0	0	0	0	f _{PRS}	2 MHz / 4 MHz
0	0	0	1	f _{PRS} /2	1 MHz / 2 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz / 1 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz / 500 kHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz / 250 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz / 125 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz / 62.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz / 31.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz / 15.625 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz / 7.813 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz / 3.906 kHz
1	0	1	1	TM50の出力 ^注	
その他				設定禁止	

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)
 タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
 デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 4 MHz = 4,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00001101B (k = 13)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 4 \text{ M} / (2 \times 13) \\ &= 4000000 / (2 \times 13) = 153846 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846 / 153600 - 1) \times 100 \\ &= 0.16 [\%] \end{aligned}$$

(3) ボー・レート設定例

表10 - 5 ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 4.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]
300	8H	13	301	0.16	8H	26	301	0.16
600	7H	13	601	0.16	7H	26	601	0.16
1200	6H	13	1202	0.16	6H	26	1202	0.16
2400	5H	13	2404	0.16	5H	26	2404	0.16
4800	4H	13	4808	0.16	4H	26	4808	0.16
9600	3H	13	9615	0.16	3H	26	9615	0.16
19200	2H	13	19231	0.16	2H	26	19231	0.16
24000	1H	21	23810	- 0.79	1H	42	23810	- 0.79
31250	1H	16	31250	0	1H	32	31250	0
38400	1H	13	38462	0.16	1H	26	38462	0.16
48000	0H	21	47619	-0.79	0H	42	47619	- 0.79
76800	0H	13	76923	0.16	0H	26	76923	0.16
115200	0H	9	111111	- 3.55	0H	17	117647	2.1
153600	-	-	-	-	0H	13	153846	0.16
312500	-	-	-	-	0H	-	-	-
625000	-	-	-	-	0H	-	-	-

- 備考** TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f_{CLK6}) 設定)
- k : ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67- MDL60
ビットで設定した値 (k = 4, 5, 6, ..., 255)
- f_{PRS} : 周辺ハードウェア・クロック周波数
- ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図10 - 20 受信時の許容ポー・レート範囲

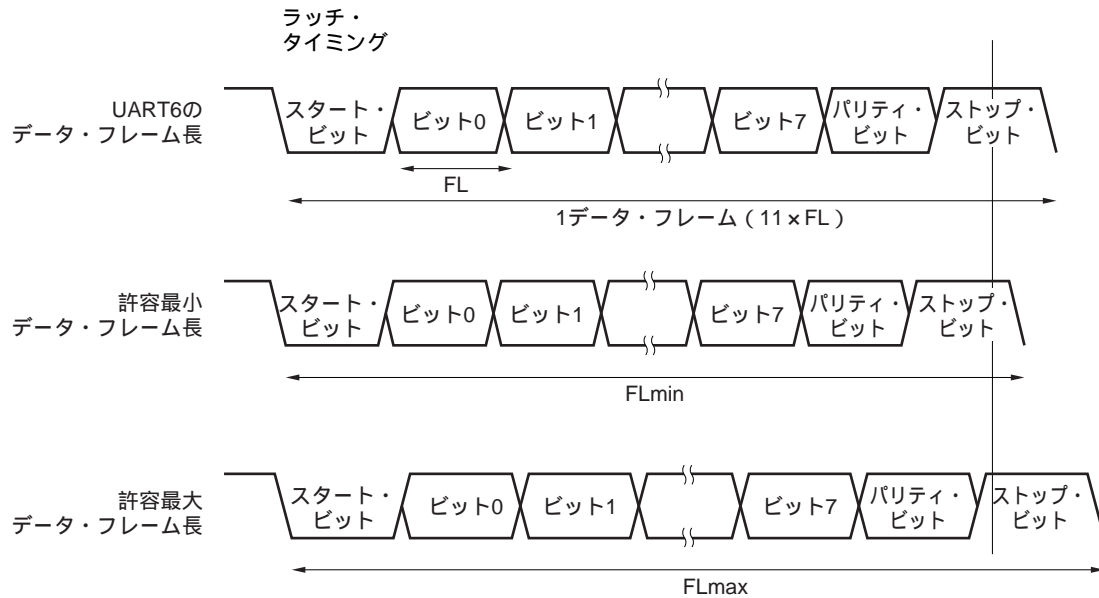


図10 - 20に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UART6のポー・レート
- k : BRGC6の設定値
- FL : 1ビット・データ長
- ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表10-6 許容最大/最小ボー・レート誤差

分周比(k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

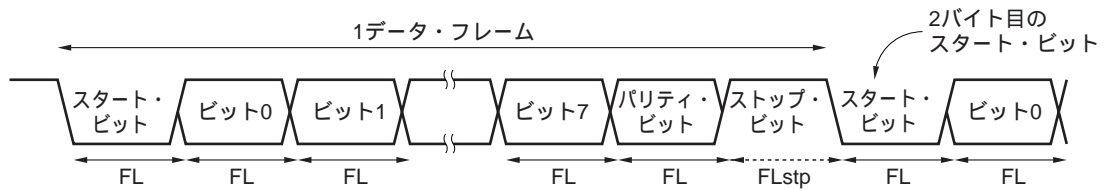
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比(k)に依存します。入力クロック周波数が高く、分周比(k)が大きくなるほど許容誤差は大きくなります。

2. k: BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図10 - 21 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{XCLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

第11章 割り込み機能

11.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位(プライオリティ)にしたがって処理されます。優先順位(プライオリティ)については表11 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

・外部：8，内部：10

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

11.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計19要因あります。また、それ以外にリセット要因が最大で合計4要因あります(表11 - 1参照)。

表11-1 割り込み要因一覧

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスクابل	0	INTLVI	低電圧検出 ^{注3}	内部	0004H	(A)
	1	INTP0	端子入力エッジ検出	外部	0006H	(B)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTSRE6	UART6の受信エラー発生	内部	0012H	(A)
	8	INTSR6	UART6の受信完了		0014H	
	9	INTST6	UART6の送信完了		0016H	
	10	INTTMH1	TMH1とCMP01の一致(コンペア・レジスタ指定時)		001AH	
	11	INTTMH0	TMH0とCMP00の一致(コンペア・レジスタ指定時)		001CH	
	12	INTTM50	TM50とCR50の一致(コンペア・レジスタ指定時)		001EH	
	13	INTTM000	TM00とCR000の一致(コンペア・レジスタ指定時), TI010端子の有効エッジ検出(キャプチャ・レジスタ指定時)		0020H	
	14	INTTM010	TM00とCR010の一致(コンペア・レジスタ指定時), TI000端子の有効エッジ検出(キャプチャ・レジスタ指定時)		0022H	
	15	INTTM51 ^{注4}	TM51とCR51の一致(コンペア・レジスタ指定時)		002AH	
	16	INTKR0	キー割り込み検出		外部	
17	INTKR1	002EH				
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(D)
リセット	-	RESET	リセット入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注5}			
		WDT	WDTのオーバフロー			

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、17が最低順位です。

2. 基本構成タイプの(A)-(D)は、それぞれ図11-1の(A)-(D)に対応しています。

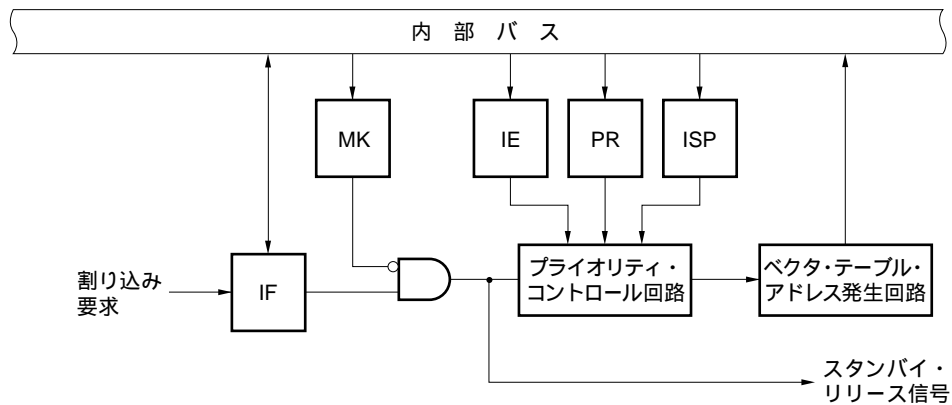
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時

4. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の発生タイミングで割り込みが発生します(図8-16 キャリア・ジェネレータ・モード動作のタイミングを参照)。

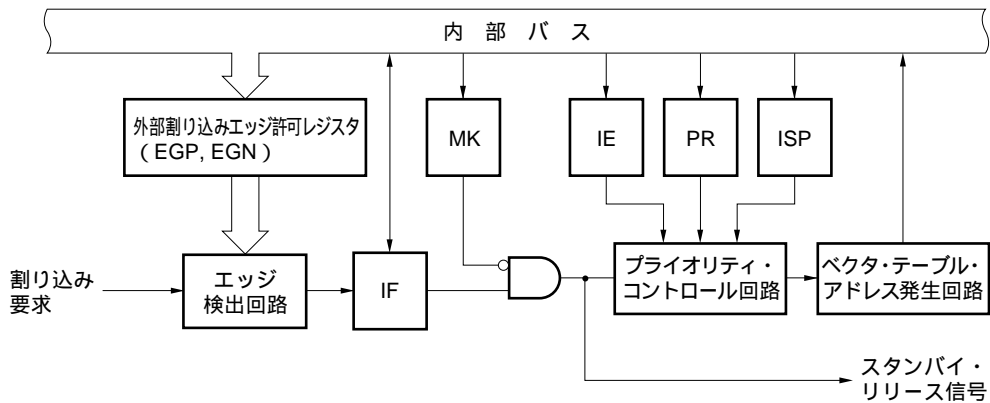
5. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時

図11-1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み



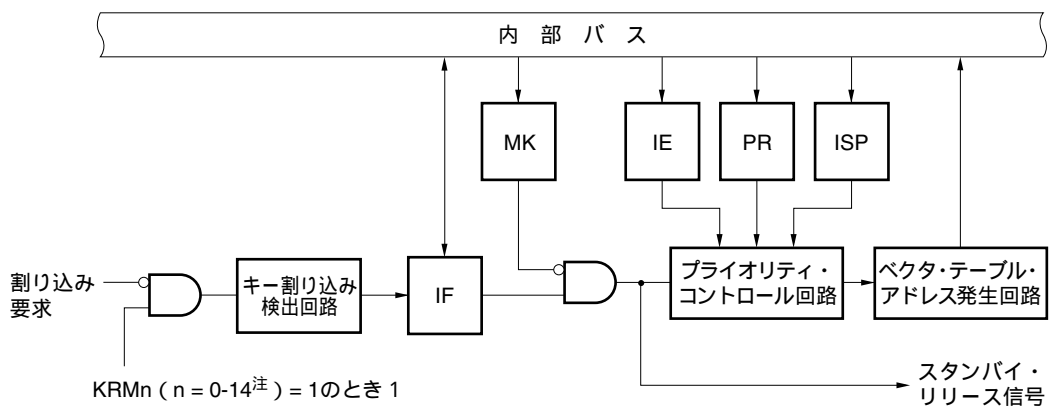
(B) 外部マスク割り込み (INTP0-INTP5)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

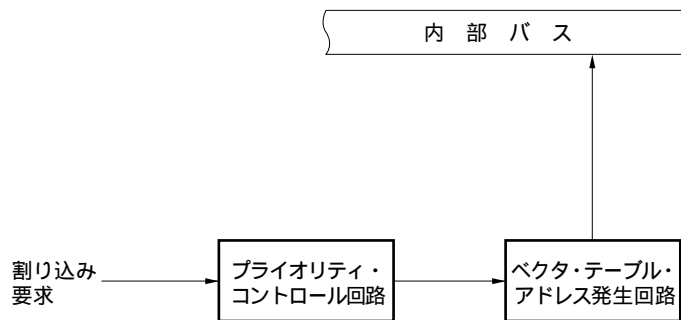
図11-1 割り込み機能の基本構成 (2/2)

(C) 外部マスクابل割り込み (INTKR)



注 KRM9-KRM14は38ピン製品のみです。

(D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ
- KRM : キー・リターン・モード・レジスタ

11.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表11-2に示します。

表11-2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTLVI	LVIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTSRE6	SREIF6		SREMK6		SREPR6	
INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
INTST6	STIF6		STMK6		STPR6	
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTTMH0	TMIFH0		TMMKH0		TMPRH0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTTM51 ^注	TMIF51		IF1L		TMMK51	
INTKR0	KRIF0	KRMK0		KRPR0		
INTKR1	KRIF1	KRMK1		KRPR1		

注 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の発生タイミングで割り込みが発生します(図8-16 キャリア・ジェネレータ・モード動作のタイミングを参照)。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	0	KRIF1	KRIF0	TMIF51	0	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF0Hのビット2, IF1Lのビット0-2, 6, 7には、必ず0を設定してください。

2. タイマなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア

(0)されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスクブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	1	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	1	KRMK1	KRMK0	TMMK51	1	1	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK0Hのビット2, MK1Lのビット0-2, 6, 7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	2	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	1	STPR6	SRPR6

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	[5]	[4]	[3]	2	1	0
PR1L	1	1	KRPR1	KRPR0	TMPR51	1	1	1

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR0Hのビット2, PR1Lのビット0-2, 6, 7には必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-5 外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)のフォーマット

アドレス: FF48H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス: FF49H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注意 EGPのビット6, 7, EGNのビット6, 7には必ず0を設定してください。

EGPnとEGNnに対応するポートを表11-3に示します。

表11-3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P06	INTP1
EGP2	EGN2	P05	INTP2
EGP3	EGN3	P04	INTP3
EGP4	EGN4	P27	INTP4
EGP5	EGN5	RESET/P123	INTP5

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-5

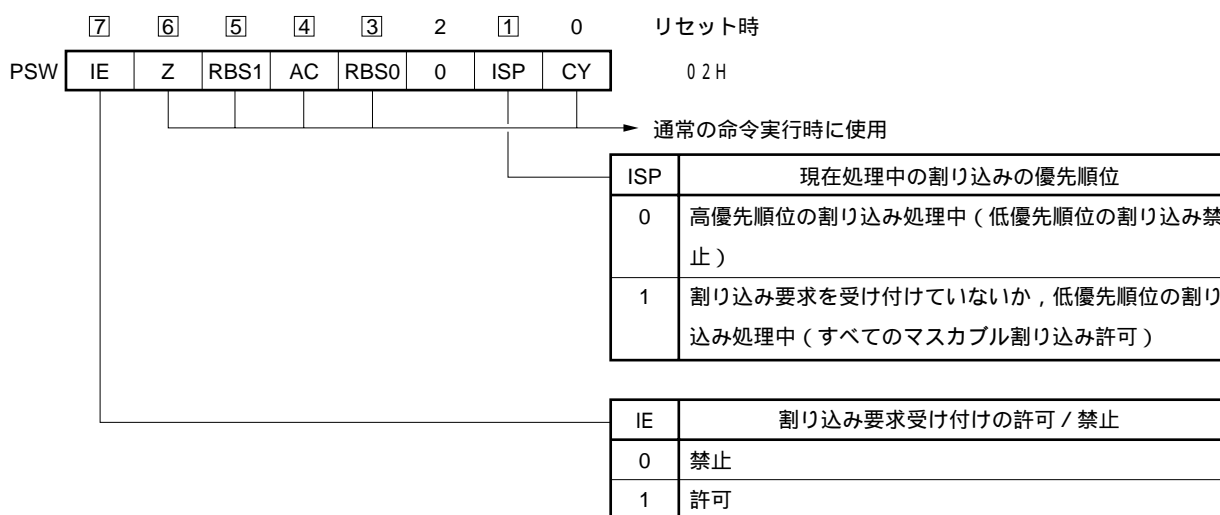
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図11-6 プログラム・ステータス・ワードの構成



11.4 割り込み処理動作

11.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表11-4のようになります。

割り込み要求の受け付けタイミングについては、[図11-8](#)、[図11-9](#)を参照してください。

表11-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

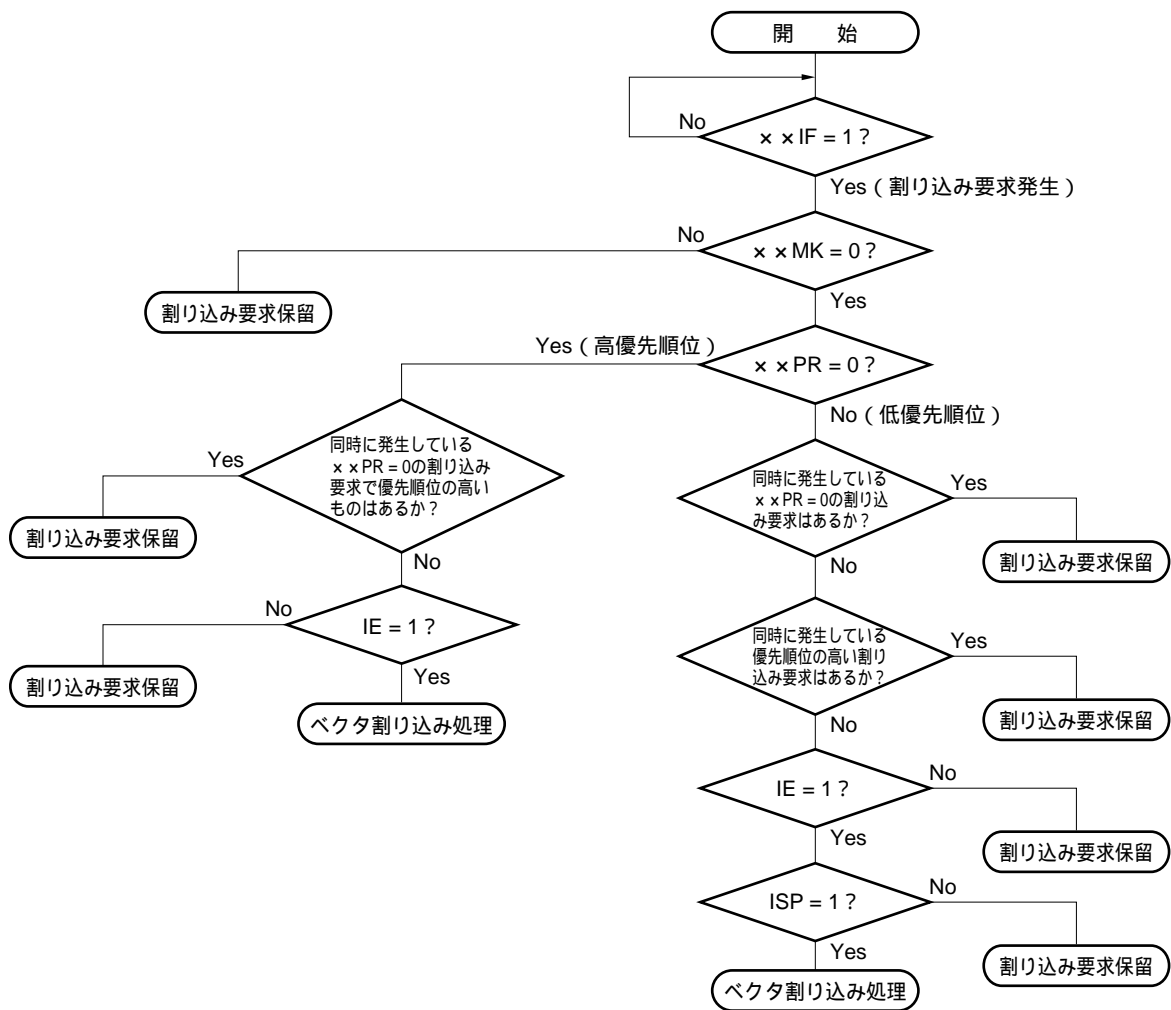
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図11-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図11 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

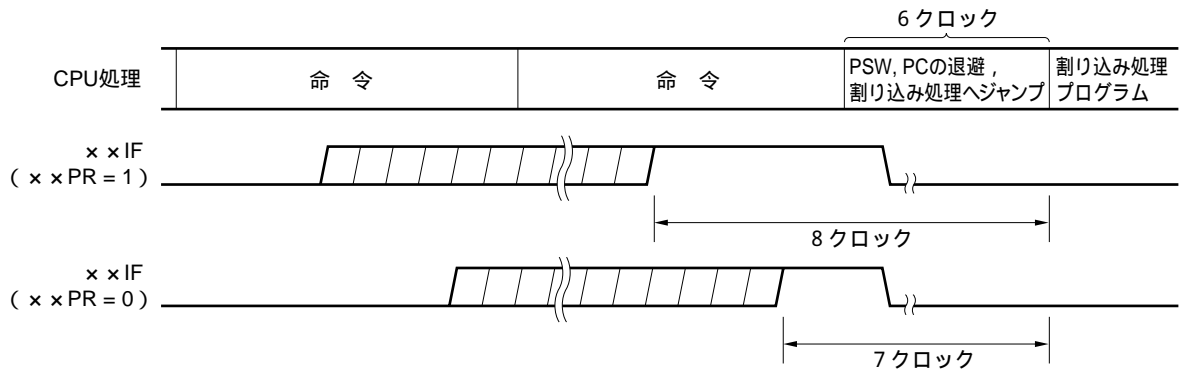
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

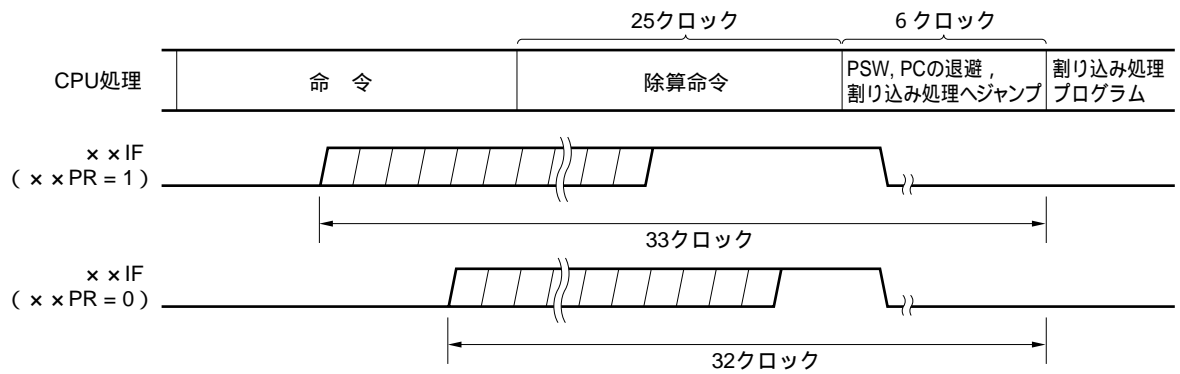
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図11 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図11 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

11.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

11.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表11-5に多重割り込み可能な割り込み要求の関係を、図11-10に多重割り込みの例を示します。

表11-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

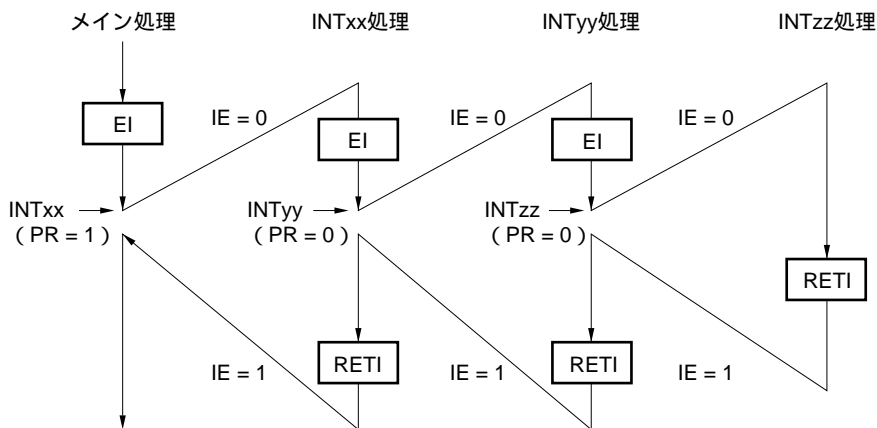
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

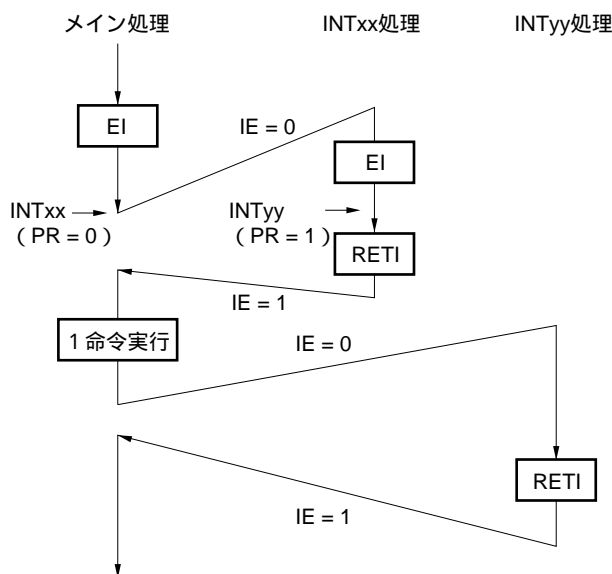
図11 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

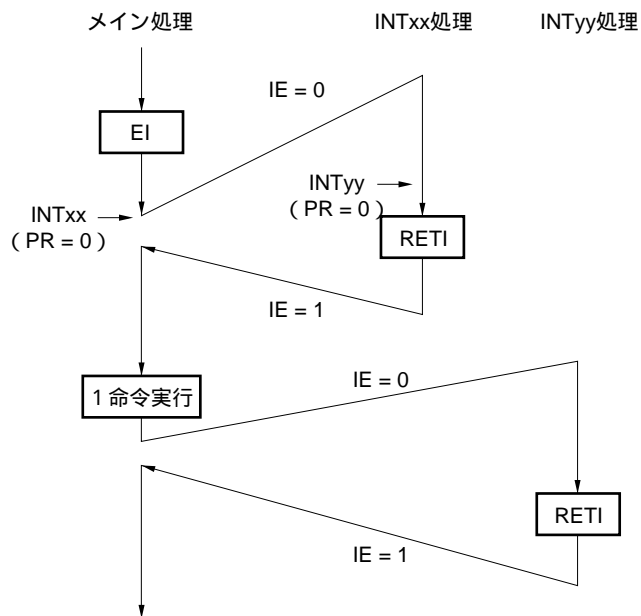


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図11 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

11.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図11-11に示します。

図11 - 11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第12章 キー割り込み機能

12.1 キー割り込みの機能

キー・リターン・モード・レジスタ0,1 (KRML, KRMH) の設定により、キー割り込み入力端子[※]に立ち下がりエッジを入力することによって、キー割り込み (INTKR0, INTKR1) を発生させることができます。

$\overline{\text{RESET}}/\text{P123}/\text{INTP5}/\text{KR8}$ 端子をKR8として使用する場合は、リセット端子モード・レジスタ (RSTMASK) のビット3 (RSTM) に1を設定してください。

注 30ピン製品 : KR0-KR8
38ピン製品 : KR0-KR14

表12 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMLm	KRm信号を1ビット単位で制御
KRMHn	KRn信号を1ビット単位で制御

備考 m = 0-7, n = 8-14

12.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表12 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ0 (KRML) キー・リターン・モード・レジスタ1 (KRMH)

図12 - 1 キー割り込みのブロック図 (1/2)

(a) キー割り込み (INTKR0)

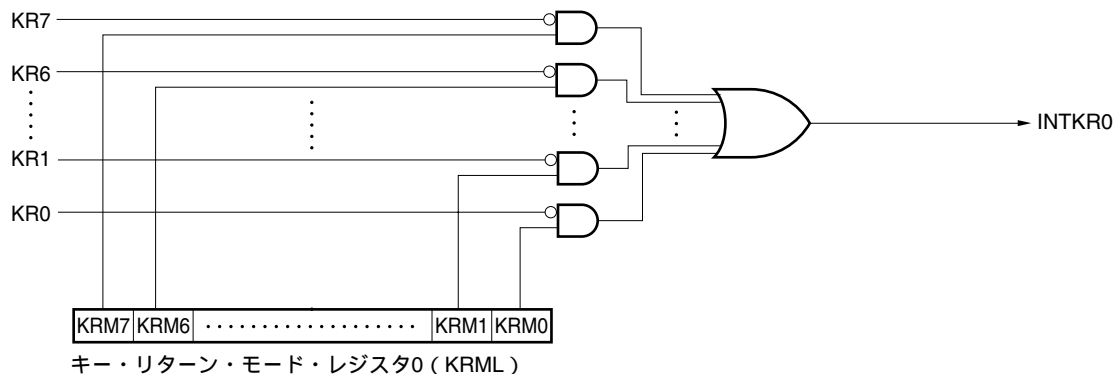
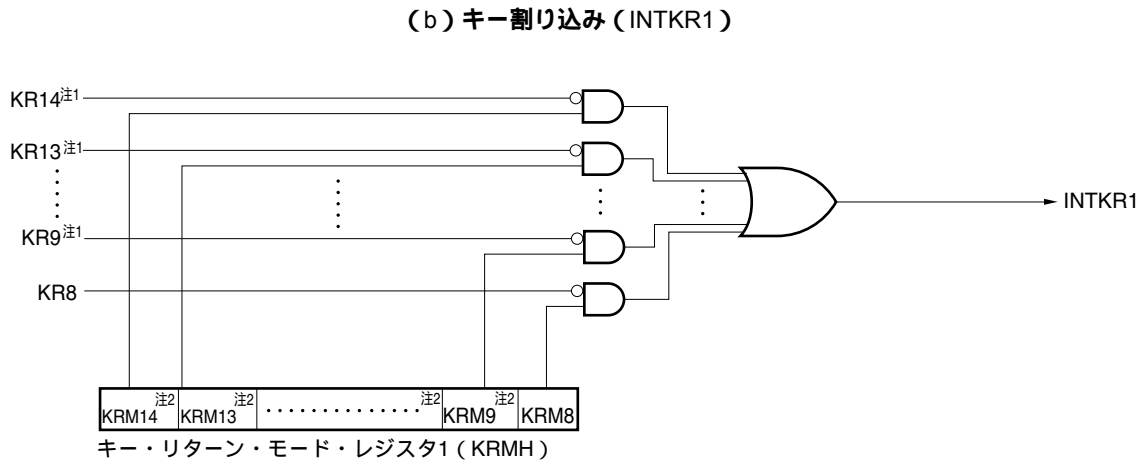


図12 - 1 キー割り込みのブロック図 (2/2)



- 注1. 38ピン製品のみ。
- 2. 30ピン製品では0固定です。

12.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRML)

KRM0-KRM7ビットをそれぞれKR0-KR7信号で制御するレジスタです。
 KRMLは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図12 - 2 キー・リターン・モード・レジスタ (KRML) のフォーマット

アドレス : FF6EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRML	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. 使用するビットに1を設定する場合、それに対応するプルアップ抵抗制御レジスタ (PU1) のビット0-7に1を設定してください。
- 2. KRMLを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMLレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
- 3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

(2) キー・リターン・モード・レジスタ (KRMH)

KRM8-KRM14ビットをそれぞれKR8-KR14信号で制御するレジスタです。

KRMHは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 キー・リターン・モード・レジスタ (KRMH) のフォーマット

アドレス : FF6FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRMH	0	KRM14	KRM13	KRM12	KRM11	KRM10	KRM9	KRM8

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. KRM8-KRM14のうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗制御レジスタであるPU3のビット0-5, PU12のビット3に1を設定してください。
2. KRMHを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMHレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
 3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。
 4. 30ピン製品の場合、KRMHのビット0-6, PM3のビット0-6には必ず0を設定してください。

第13章 スタンバイ機能

13.1 スタンバイ機能と構成

13.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。

13.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止、切り替えを制御するレジスタについては、第5章 クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力、POC、LVI、WDTによるリセット)、STOP命令、MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

図13 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス：FFA3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス			
					$f_x = 1\text{MHz}$ 時	$f_x = 2\text{MHz}$ 時	$f_x = 4\text{MHz}$ 時	
0	0	0	0	0	$2^{11}/f_x$ 未満	2.04 ms未満	1.02 ms未満	$510\mu\text{s}$ 未満
1	0	0	0	0	$2^{11}/f_x$ 以上	2.04 ms以上	1.02 ms以上	$510\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	8.20 ms以上	4.10 ms以上	2.04 ms以上
1	1	1	0	0	$2^{14}/f_x$ 以上	16.38 ms以上	8.19 ms以上	4.10 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	32.77 ms以上	16.38 ms以上	8.19 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	65.45 ms以上	32.77 ms以上	16.38 ms以上

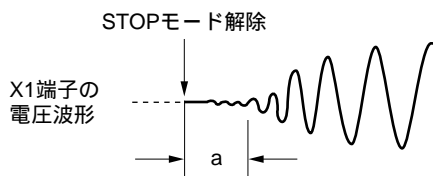
注意1. 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

図13-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				$f_x = 1 \text{ MHz}$ 時	$f_x = 2 \text{ MHz}$ 時	$f_x = 4 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	2.04 ms	1.02 ms	510 μ s
0	1	0	$2^{13}/f_x$	8.19 ms	4.10 ms	2.04 ms
0	1	1	$2^{14}/f_x$	16.38 ms	8.19 ms	4.10 ms
1	0	0	$2^{15}/f_x$	32.77 ms	16.38 ms	8.19 ms
1	0	1	$2^{16}/f_x$	65.45 ms	32.77 ms	16.38 ms
上記以外			設定禁止			

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

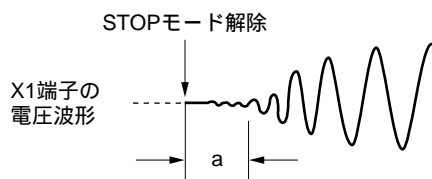
2. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。

3. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含まれません。



備考 f_x : X1クロック発振周波数

13.2 スタンバイ機能の動作

13.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表13-1 HALTモード時の動作状態

項目	HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速内蔵発振クロック (f_{RH}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止				
メイン・システム・クロック	f_{RH}		動作継続 (停止不可)	HALTモード設定前の状態を継続	
		f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f_{EXCLK}		外部クロックの入力により動作または停止		動作継続 (停止不可)
		f_{RL}	HALTモード設定前の状態を継続		
CPU	動作停止				
フラッシュ・メモリ					
RAM	HALTモード設定前の状態を保持				
ポート (ラッチ)					
16ビット・タイマ/イベント・カウンタ00	動作可能				
8ビット・タイマ/イベント・カウンタ	50				
	51				
8ビット・タイマ	H0				
	H1				
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。				
シリアル・インタフェース	UART6	動作可能			
パワーオン・クリア機能					
低電圧検出機能					
外部割り込み					

- 備考**
- f_{RH} : 高速内蔵発振クロック
 - f_x : X1クロック
 - f_{EXCLK} : 外部メイン・システム・クロック
 - f_{RL} : 低速内蔵発振クロック

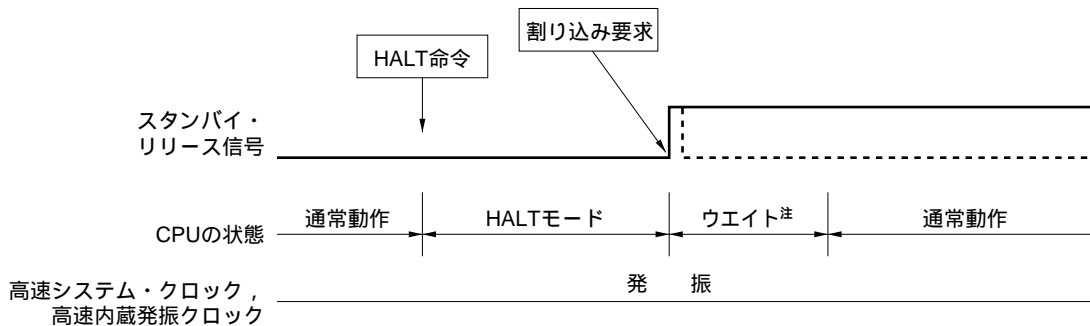
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図13-3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

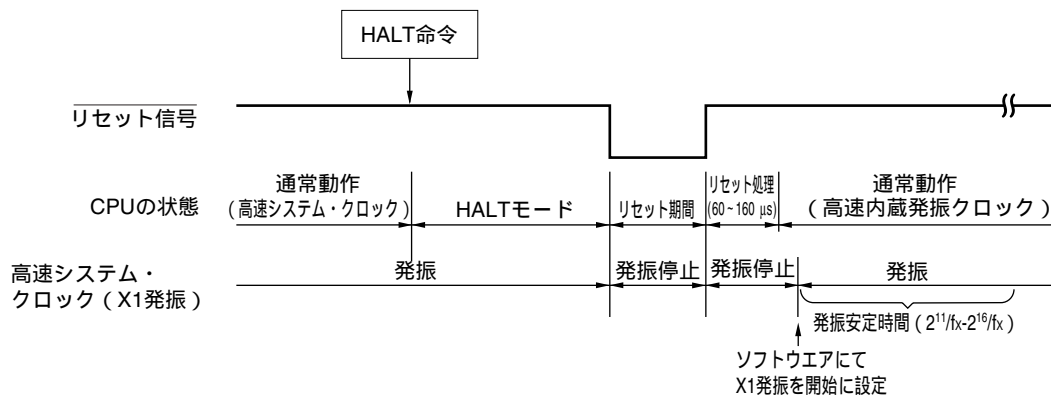
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図13-4 HALTモードのリセットによる解除 (1/2)

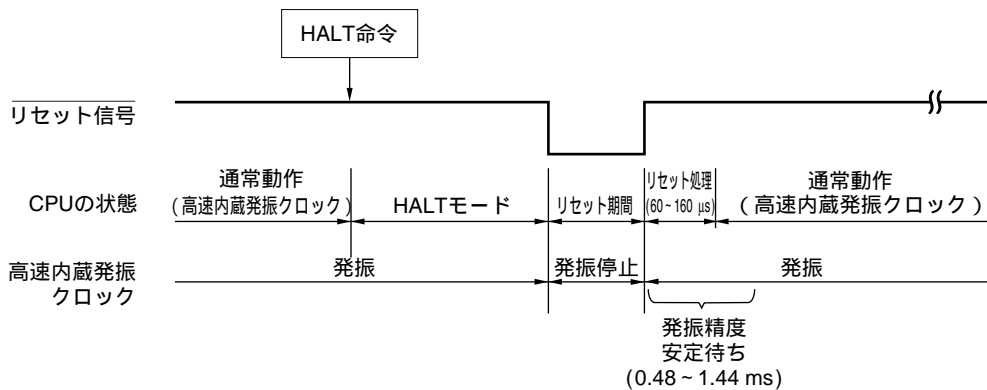
(1) CPUクロックが高速システム・クロックの場合



備考 f_x : X1クロック発振周波数

図13 - 4 HALTモードのリセットによる解除 (2/2)

(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表13 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
リセット	-	-	x	x	リセット処理

x : don't care

13.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表13 - 3 STOPモード時の動作状態

STOPモード の設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	停止		
	f_x			
	f_{EXCLK}	入力無効		
f_{RL}	STOPモード設定前の状態を継続			
CPU		動作停止		
フラッシュ・メモリ				
RAM		STOPモード設定前の状態を保持		
ポート(ラッチ)				
16ビット・タイマ/イベント・カウンタ ^{注1}		動作停止		
8ビット・タイマ/イベント・カウンタ	$50^{注1}$	カウント・クロックにTI50選択時のみ動作可能		
	$51^{注1}$	カウント・クロックにTI51選択時または8ビット・タイマH1がキャリア・ジェネレータ・モードで動作時にカウント・クロックとしてTOH1キャリア・クロックを選択時のみ動作可能		
8ビット・タイマ	H0	8ビット・タイマ/イベント・カウンタ50動作時, カウント・クロックにTM50出力選択時のみ動作可能		
	H1	カウント・クロックに f_{RL} , $f_{RL}/2^7$ 選択時のみ動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は, ウォッチドッグ・タイマへのクロック供給停止。		
シリアル・インタフェース	UART6	8ビット・タイマ/イベント・カウンタ50動作時, シリアル・クロックにTM50出力選択時のみ動作可能		
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

注 STOPモード中は, 周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

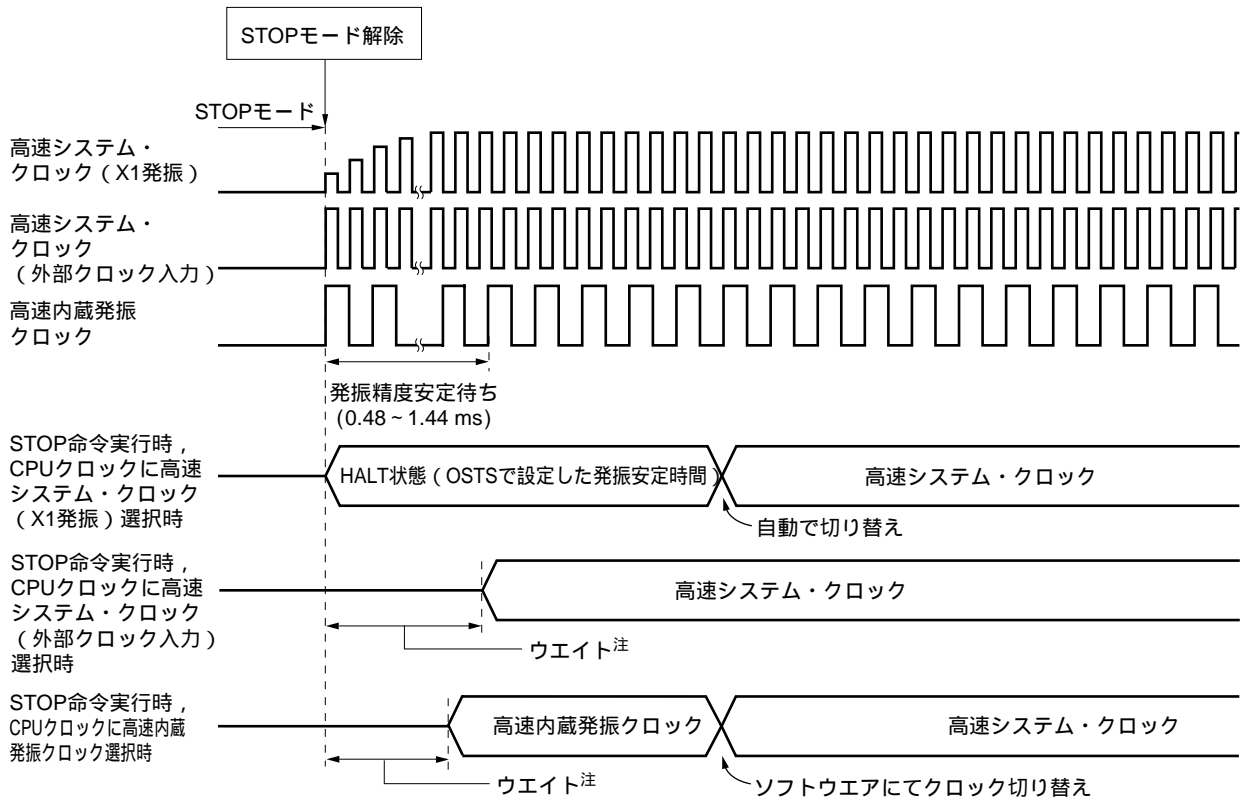
備考 f_{RH} : 高速内蔵発振クロック
 f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RL} : 低速内蔵発振クロック

- 注意1.** STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても, STOPモード時は低速内蔵発振クロックは, STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は, ソフトウェアにて, 低速内蔵発振器の発振を停止してから, STOP命令を実行してください。
3. 高速システム・クロック(X1発振)でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, 次のSTOP命令実行前に, CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後, CPUクロックを高速内蔵発振クロックから高速システム・クロック(X1発振)に切り替える場合は, 発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから, 行ってください。

注意4. STOP命令を行う場合は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図13 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

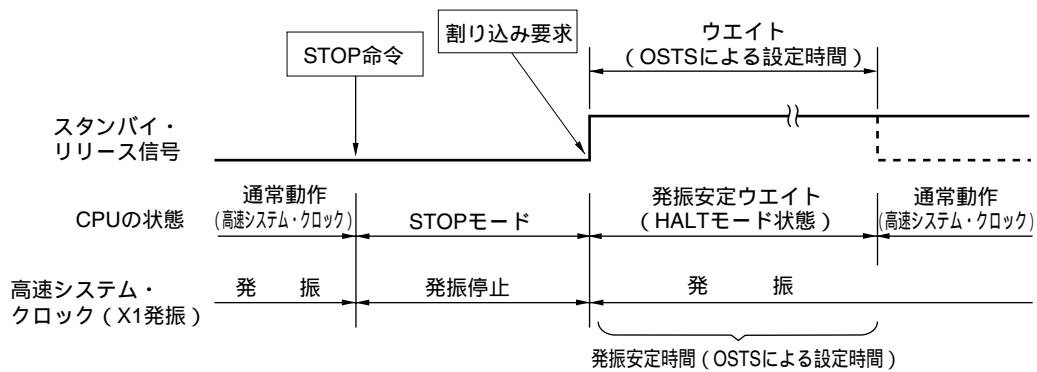
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

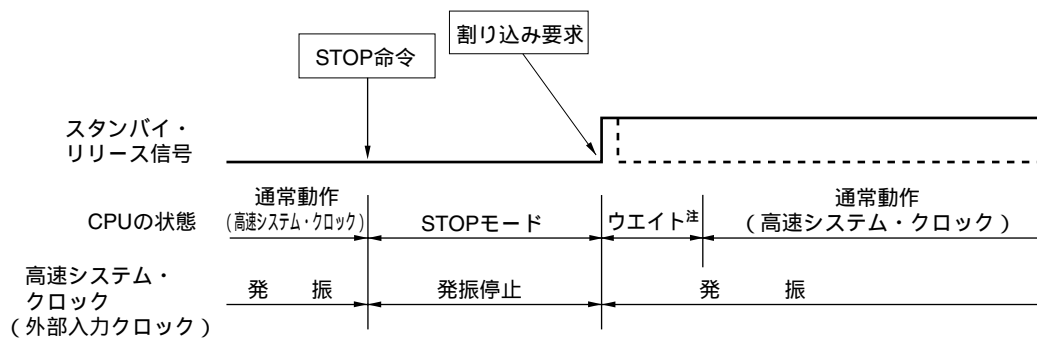
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図13 - 6 STOPモードの割り込み要求発生による解除

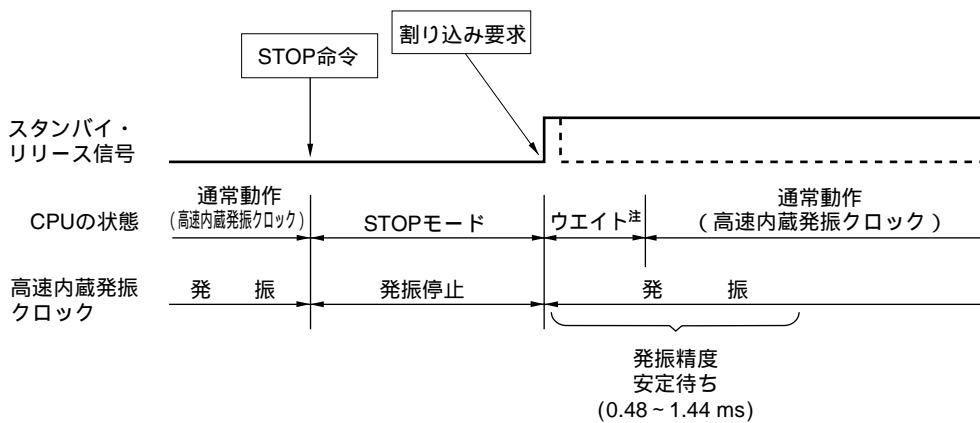
(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速内蔵発振クロックの場合



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

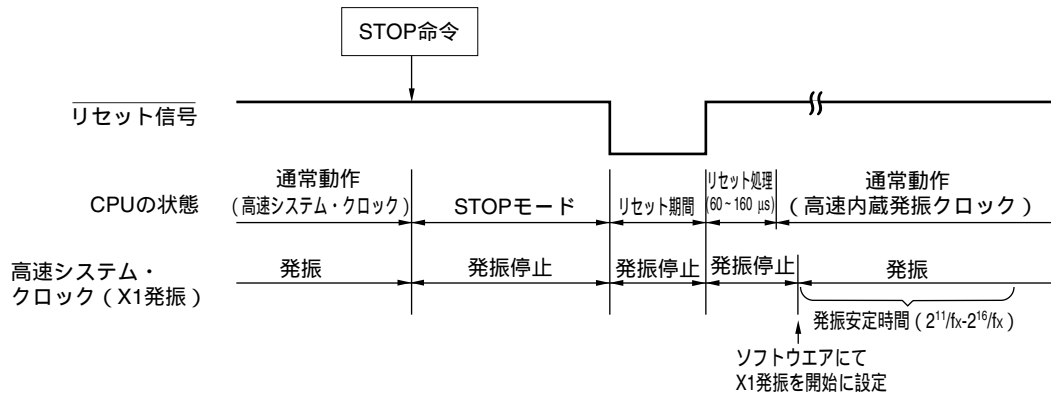
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

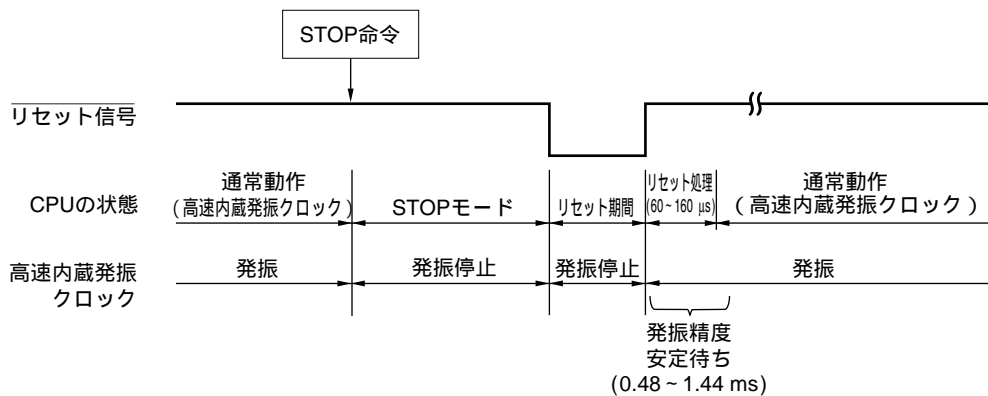
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図13 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表13 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MK × ×	PR × ×	IE	ISP	動作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	割り込み処理実行
	0	1	1	1	
	1	×	×	×	STOPモード保持
リセット	-	-	×	×	リセット処理

× : don't care

第14章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

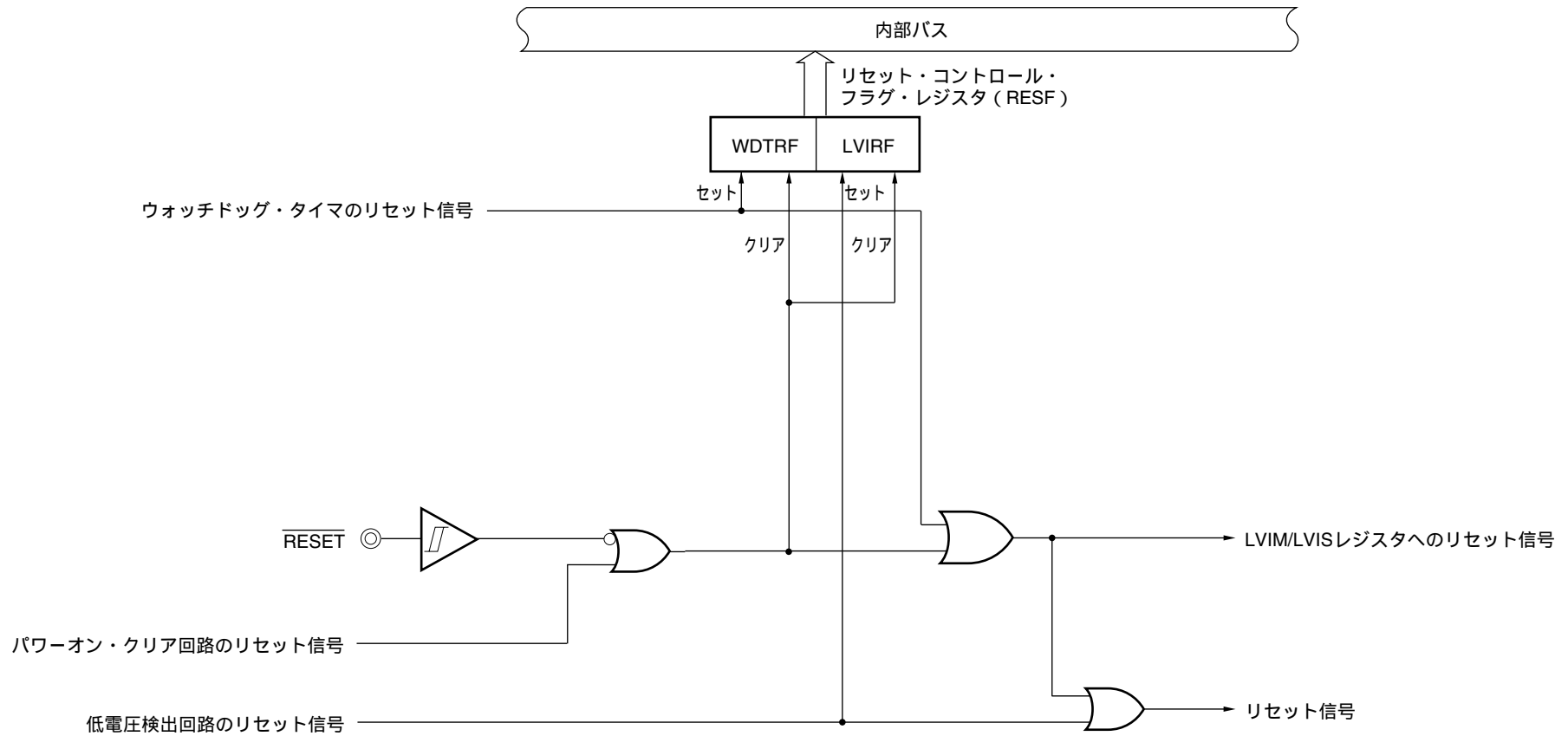
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表14 - 1, 表14 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図14 - 2から図14 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 V_{DD} V_{POC} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第15章 パワーオン・クリア回路と第16章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図14 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** LVIM：低電圧検出レジスタ
2. LVIS：低電圧検出レベル選択レジスタ

図14 - 2 RESET入力によるリセット・タイミング

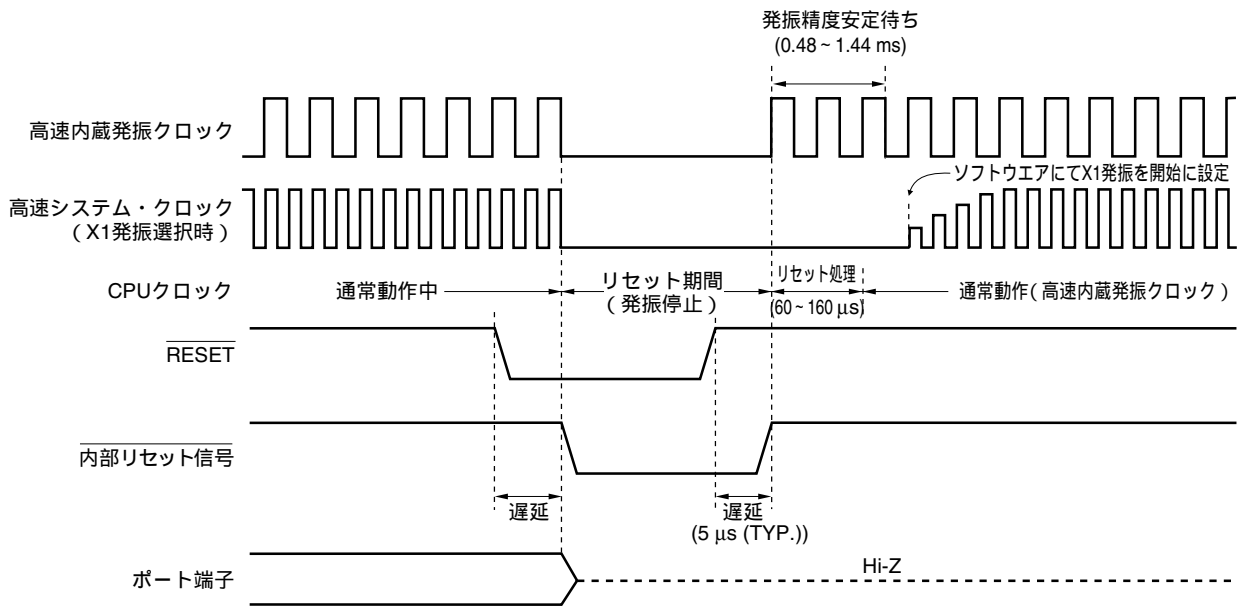
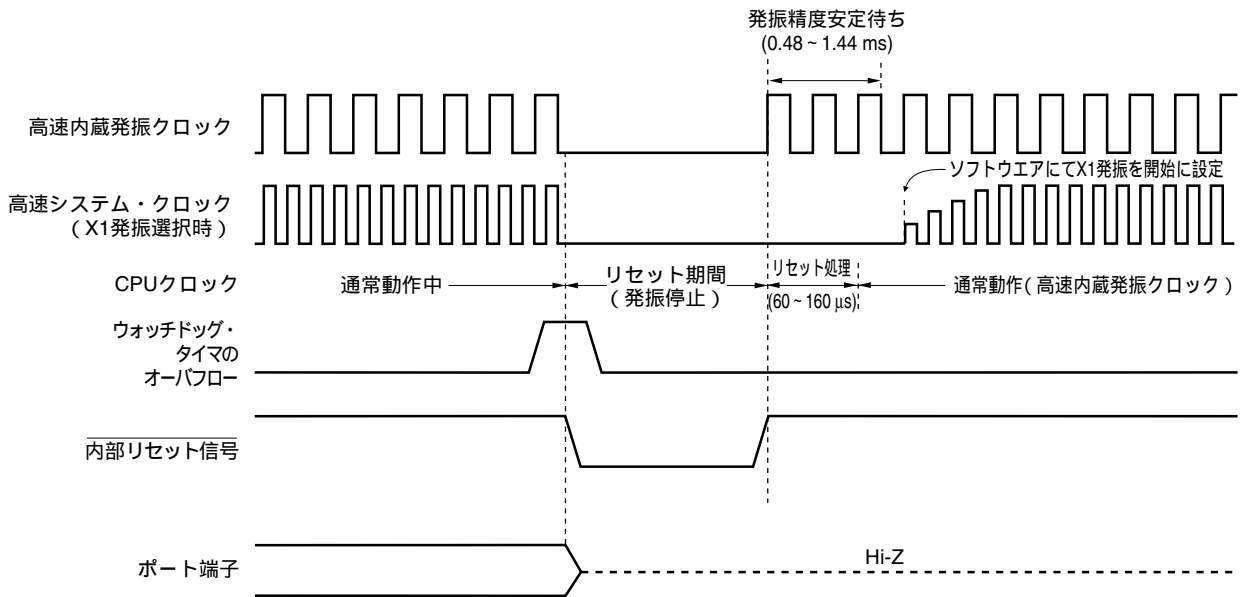
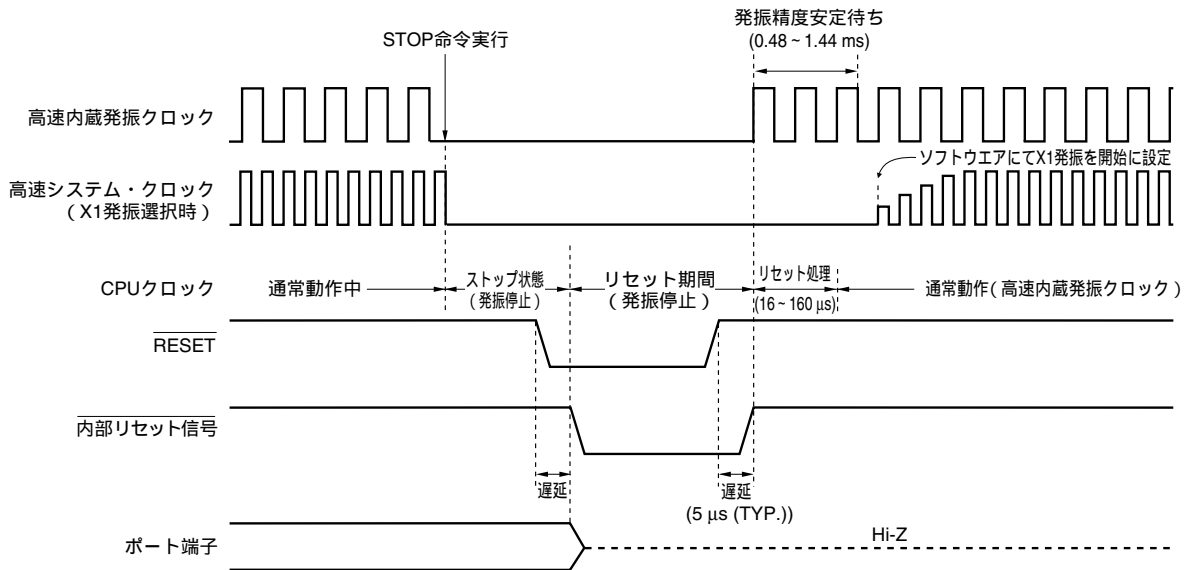


図14 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図14 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第15章 パワーオン・クリア回路と第16章 低電圧検出回路を参照してください。

表14 - 1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f_{RH}	動作停止
	f_X	動作停止 (端子は入出力ポート・モード)
	f_{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
f_{RL}	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
ポート (ラッチ)		
16ビット・タイマ/イベント・カウンタ00		
8ビット・タイマ/イベント・カウンタ	50	
	51	
8ビット・タイマ	H0	
	H1	
ウォッチドッグ・タイマ		
シリアル・インタフェース	UART6	
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

備考

- f_{RH} : 高速内蔵発振クロック
- f_X : X1発振クロック
- f_{EXCLK} : 外部メイン・システム・クロック
- f_{RL} : 低速内蔵発振クロック

表14 - 2 各ハードウェアのリセット受け付け後の状態 (1/2)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P2, P3 ^{注3} , P12) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM2, PM3 ^{注3} , PM12)		FFH
ポート出力モード・レジスタ (POM0-POM2, POM3 ^{注3} , POM12)		00H
ブルアップ抵抗オプション・レジスタ (PU0-PU2, PU3 ^{注3} , PU12)		00H (PU12は08H)
FLMD0端子ブルアップ/ブルダウン・コントロール・レジスタ (FPCTL)		00H
FLMD0端子ブルアップ/ブルダウン・イネーブル・レジスタ (FPEN)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注4}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
16ビット・タイマ/ イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H

- 注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。
3. 38ピン製品のみ。
4. メモリ・サイズ切り替えレジスタ (IMS) のリセット解除後の初期値は内部メモリ容量にかかわらず、 μ PD179F11x, 179F12xマイクロコントローラすべての製品において一定 (IMS = CFH) となっています。したがって、リセット解除後、各製品ごとに次に示す値を必ず設定してください。

フラッシュ・メモリ製品 (μ PD179F11x, 179F12xマイクロコントローラ)	IMS
μ PD179F110	41H
μ PD179F111	42H
μ PD179F112, 179F122	04H
μ PD179F113, 179F123	C6H
μ PD179F114, 179F124	C8H

表14 - 2 各ハードウェアのリセット受け付け後の状態 (2/2)

ハードウェア		リセット受け付け後の状態 ^{注1}
8ビット・タイマ/イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
キー割り込み	キー・リターン・モード・レジスタ (KRML, KRMH)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注4}
	リセット端子モード・レジスタ (RSTMASK)	00H
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注4}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注4}
	RAM保持制御レジスタ (LVDET)	不定
割り込み	要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L (PR0L, PR0H, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- 8ビット・タイマH1のみ。
- WDTEのリセット値は、オプション・バイトの設定で決定します。
- リセット要因により、次のように変化します。

リセット要因		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
レジスタ	RESF	クリア (0)	クリア (0)	セット (1)	保持
	WDTRFビット			保持	セット (1)
	LVIRFビット				
	LVIM	クリア (00H)	クリア (00H)	クリア (00H)	保持
	LVIS				

14.1 リセット要因を確認するレジスタ

μPD179F11x, 179F12xマイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図14 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表14 - 3に示します。

表14 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第15章 パワーオン・クリア回路

15.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。電源電圧 (V_{DD}) が $1.8\text{ V} \pm 0.1\text{ V}$ を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.8\text{ V} \pm 0.1\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

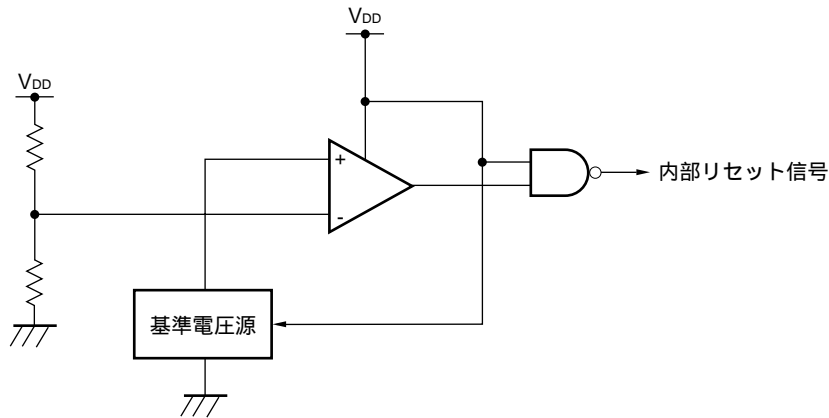
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 μ PD179F11x, 179F12xマイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第14章 リセット機能**を参照してください。

15.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図15 - 1に示します。

図15 - 1 パワーオン・クリア回路のブロック図

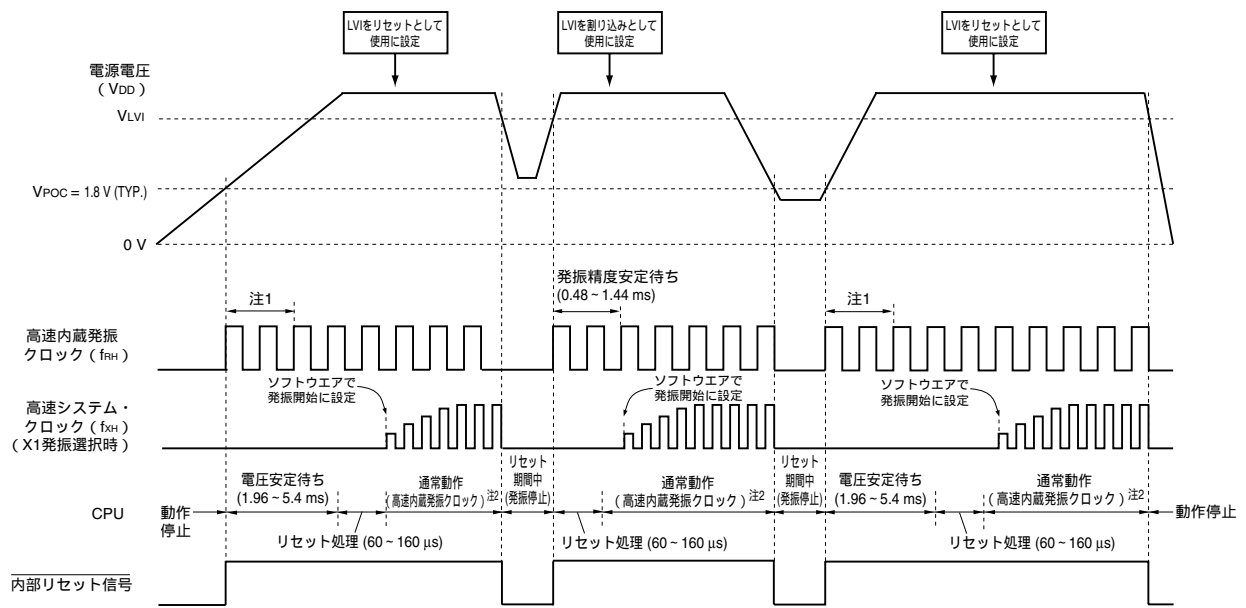


15.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.8 \text{ V} \pm 0.1 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.8 \text{ V} \pm 0.1 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図15-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング



- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第16章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

15.4 パワーオン・クリア回路の注意事項

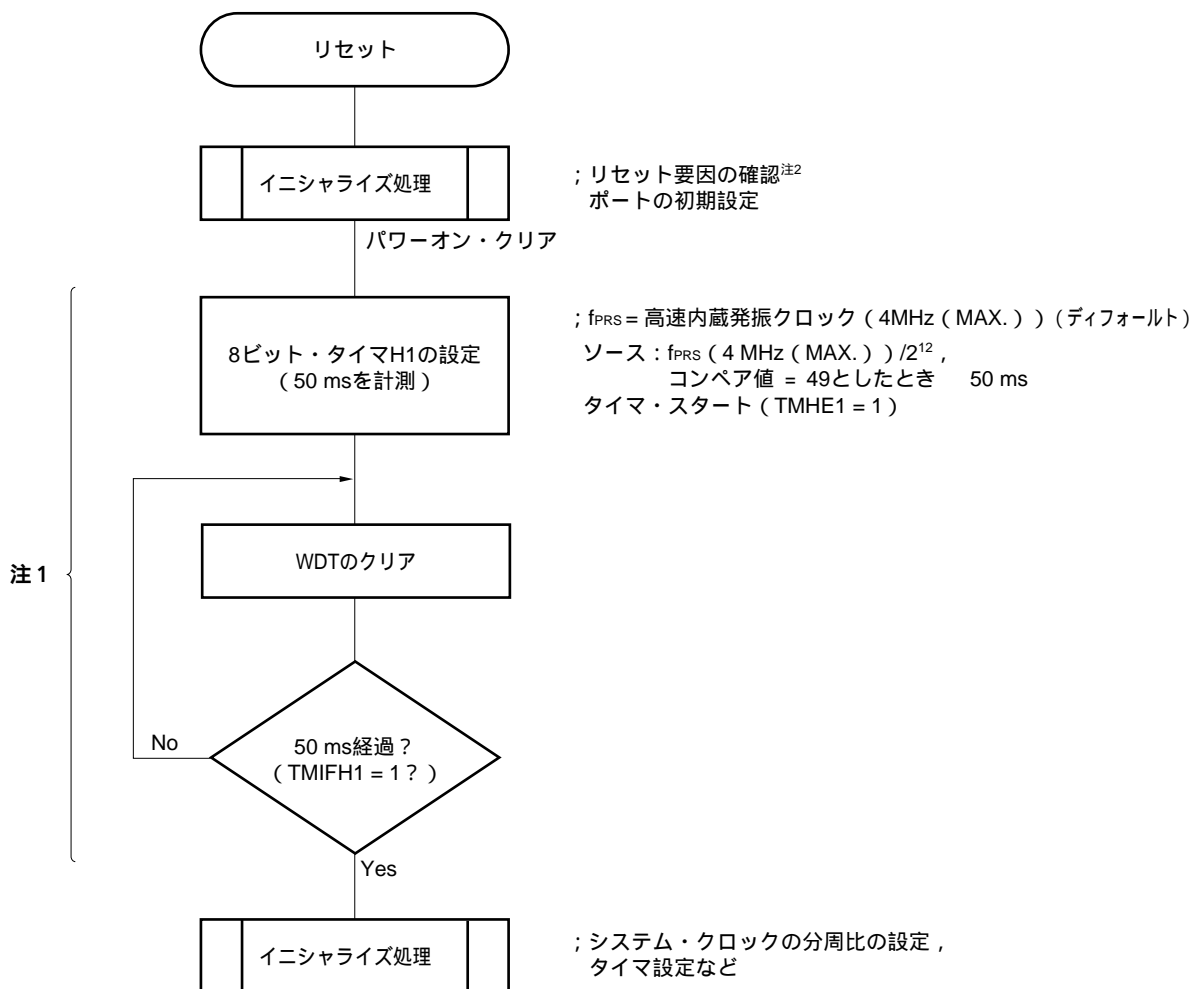
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図15-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

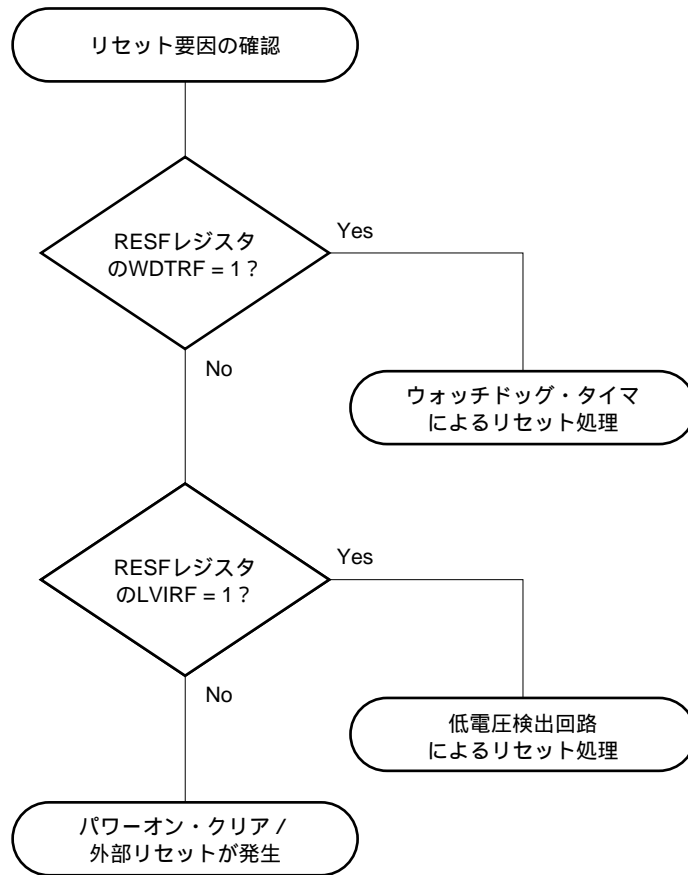


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

図15 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第16章 低電圧検出回路

16.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) , または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V$ (TYP.) : 固定) を比較し, 内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は, ソフトウェアにて選択できます。
- ・リセット / 割り込みは, ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は, ソフトウェアにて検出レベルを11段階より選択できます。
- ・STOPモード時においても動作可能です。
- ・また, RAM保持検出機能も搭載しております。RAM保持検出回路については, 16.6 RAM保持検出回路を参照してください。

リセットと割り込み信号は, ソフトウェアの選択により, 次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し, $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき, または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し, $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき, または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

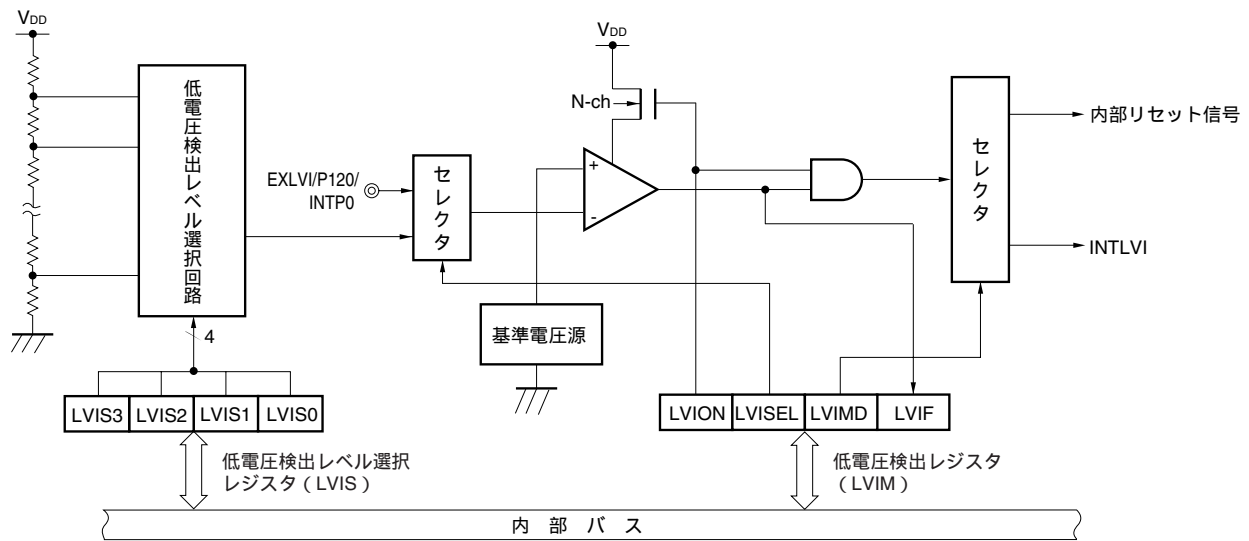
低電圧検出回路動作時では, 低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより, 電源電圧または外部入力端子からの入力電圧が, 検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合, リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は, 第14章 リセット機能を参照してください。

16.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図16-1に示します。

図16 - 1 低電圧検出回路のブロック図



16.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図16 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, にV_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF ^{注4}	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), または動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}), または動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. LVIF以外のリセット時では, "00H" にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIFリセット以外のリセット時にクリア (0) されます。LVIFリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 (10 μs (MAX.)) を, ソフトウェアでウェイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで, 50 μs (TYP.) かかります。

注意 1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合 : LVIMに "00H" を書き込む
 - ・1ビット・メモリ操作命令の場合 : LVIONをクリア (0)
- 外部入力端子からの入力電圧 (EXLVI) は, EXLVI < V_{DD} でなければなりません。
 - LVIFリセット発生後, LVION = 1のときは, LVIFとLVIMに値を書き込まないでください。
 - LVIを割り込みとして使用する場合, 設定している検出電圧未満の状態でもLVIONをクリア (0) すると, INTLVI信号が発生し, LVIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

電源電圧 (V_{DD}) の低電圧検出レベルを選択するレジスタです。

外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図16-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFBFH リセット時 : 00H[※] R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
下記以外				設定禁止
0	1	0	1	V _{LV15} (3.47 V ± 0.1 V)
0	1	1	0	V _{LV16} (3.32 V ± 0.1 V)
0	1	1	1	V _{LV17} (3.16 V ± 0.1 V)
1	0	0	0	V _{LV18} (3.01 V ± 0.1 V)
1	0	0	1	V _{LV19} (2.85 V ± 0.1 V)
1	0	1	0	V _{LV110} (2.70 V ± 0.1 V)
1	0	1	1	V _{LV111} (2.55 V ± 0.1 V)
1	1	0	0	V _{LV112} (2.39 V ± 0.1 V)
1	1	0	1	V _{LV113} (2.24 V ± 0.1 V)
1	1	1	0	V _{LV114} (2.05 V ± 0.05 V)
1	1	1	1	V _{LV115} (1.93 V ± 0.1 V)

注 LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

LVIを使用する場合は必ずLVI設定値を変更してからLVIMのビット7 (LVION) に“1”を設定してください。

- 注意1. ビット4-7には必ず“0”を設定してください。
2. LVI動作中に、LVISの値を変更しないでください。
 3. LVIリセット発生後、LVION = 1のときは、LVISとLVIMに値を書き込まないでください。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

16.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVISM: 低電圧検出レジスタ (LVIM) のビット1

LVISEL: LVIMのビット2

16.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ ($LVIM$) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ ($LVIS$) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

$LVIM$ のビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MAX.)) をウエイトする

$LVIM$ のビット0 ($LVIF$) で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

$LVIM$ のビット1 ($LVIMD$) に “1” (レベル検出時に、内部リセット信号発生) を設定する

図16 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。 $LVIMK = 0$ になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. $LVIMD = 1$ とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を、必ず実行してください。

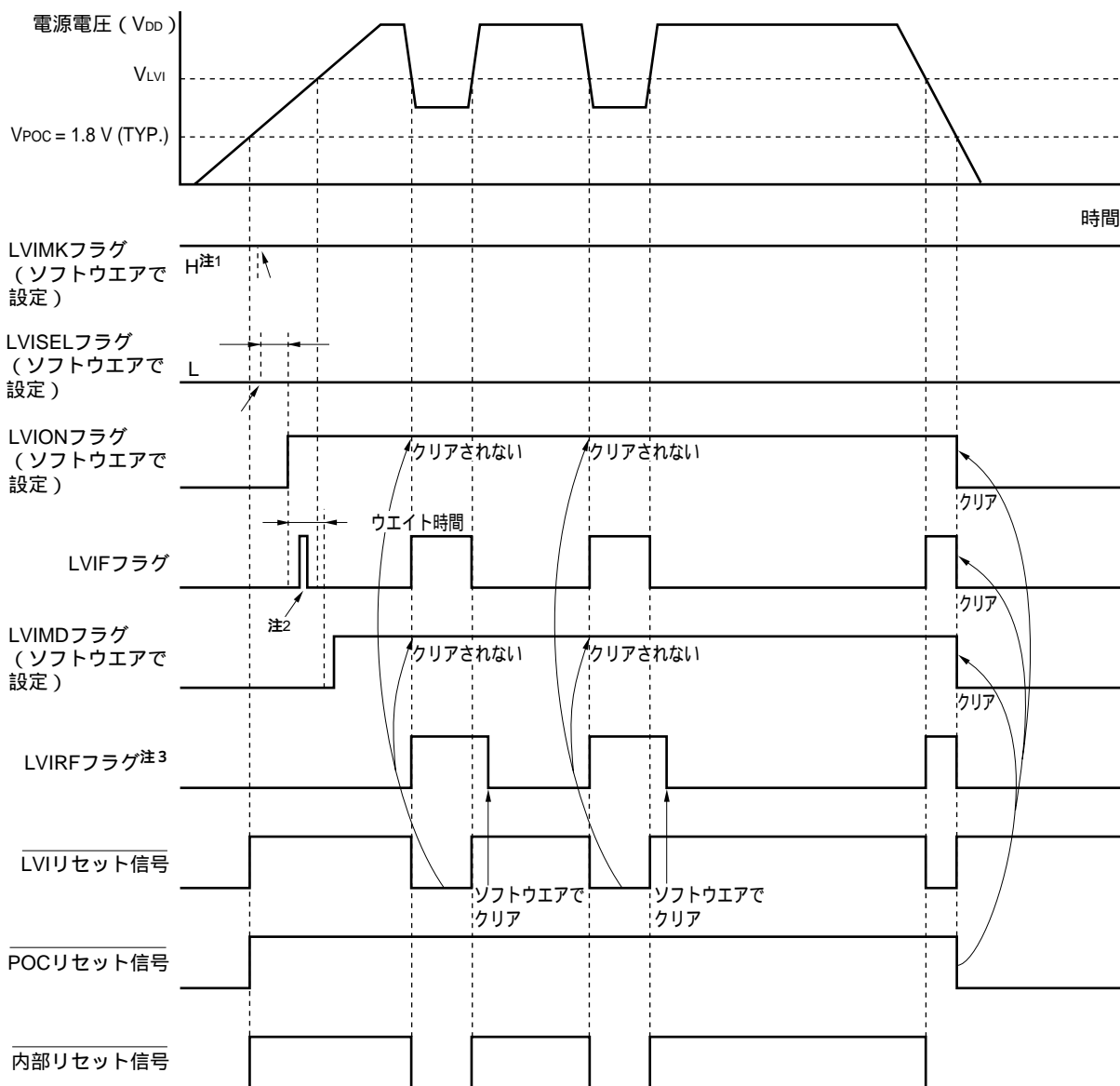
・ 8ビット・メモリ操作命令の場合：

$LVIM$ に “00H” を書き込む

・ 1ビット・メモリ操作命令の場合：

$LVIMD$ をクリア (0) $LVION$ をクリア (0)

図16 - 5 低電圧検出回路の内部リセット信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. LVIFフラグがセット(1)される可能性があります。
- 3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第14章 リセット機能を参照してください。

備考 図16 - 5の ~ は、16. 4. 1 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MAX.))をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを確認するまで待つ
- LVIMのビット1(LVIMD)に“1”(レベル検出時に内部リセット信号発生)を設定する

図16 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

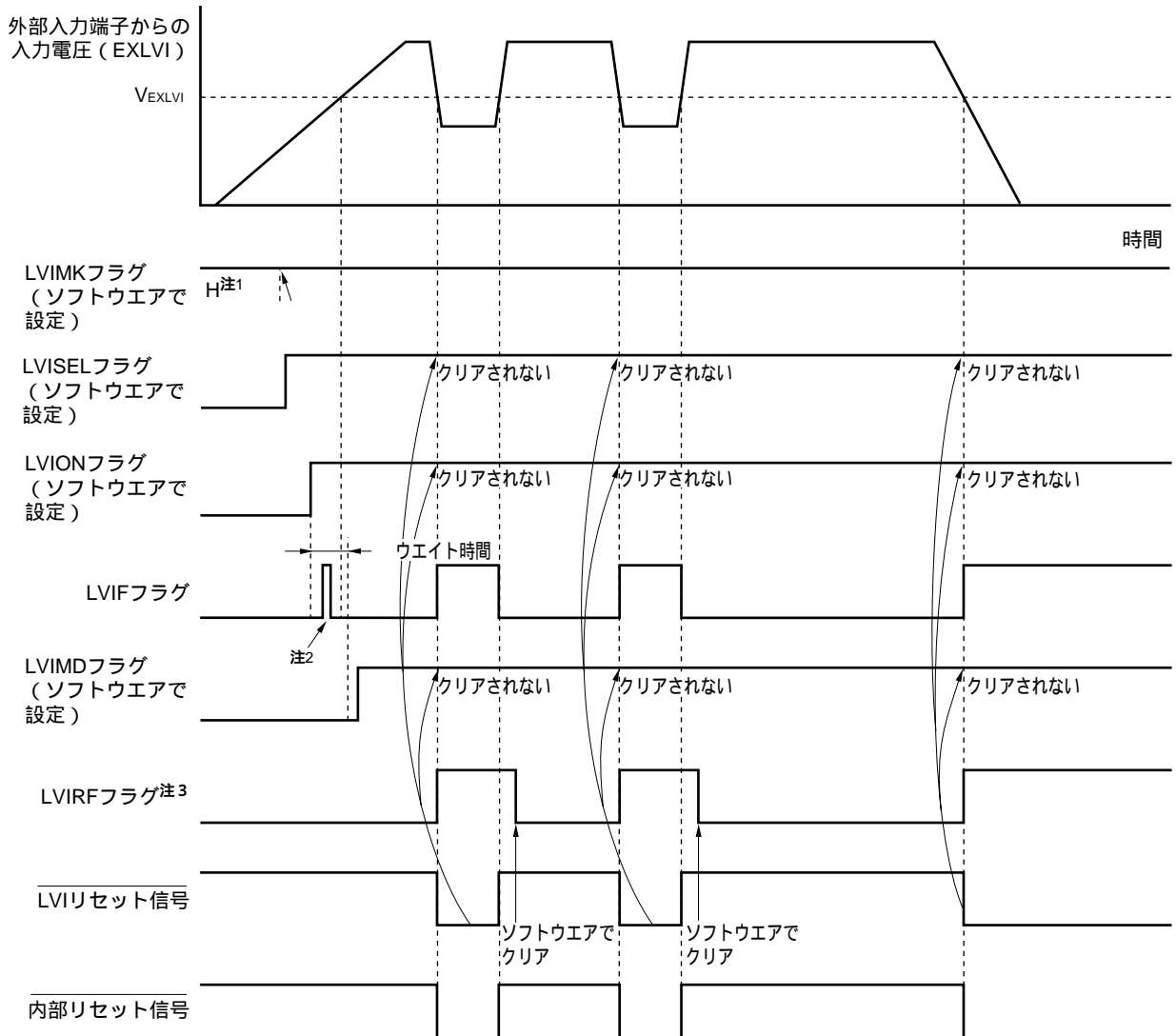
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、EXLVI V_{DD} でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア(0) LVIONをクリア(0)

図16 - 6 低電圧検出回路の内部リセット信号発生タイミング
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第14章 リセット機能を参照してください。

備考 図16 - 6の ~ は、16. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

16.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIMの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 (10 μs (MAX.)) をウエイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を確認する

LVIMの割り込み要求フラグ (LVIF) をクリア (0) する

LVIMの割り込みマスク・フラグ (LVIMK) を解除する

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

(バクタ割り込みを使用する場合) EI命令を実行する

図16-7に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

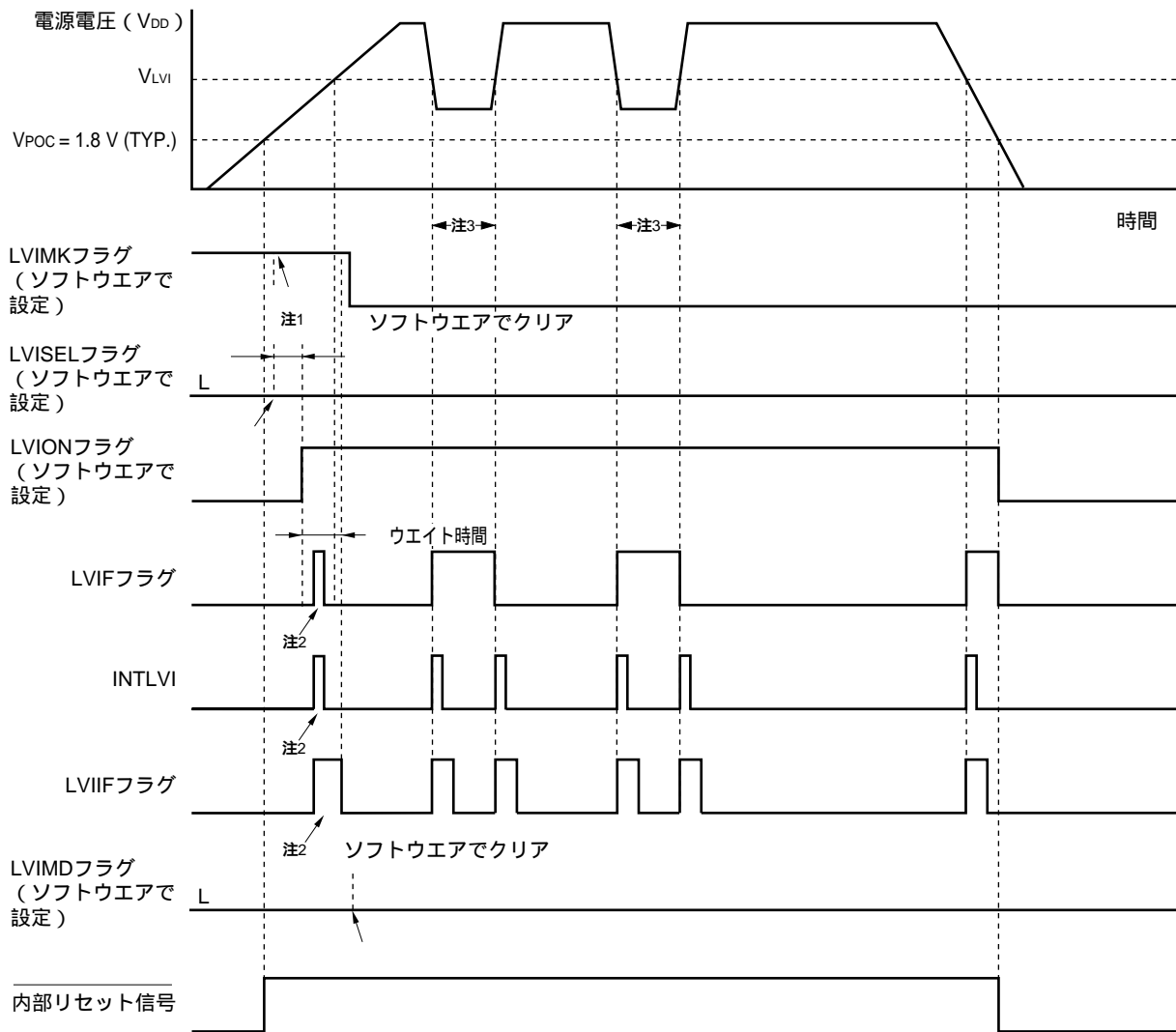
- ・8ビット・メモリ操作命令の場合：

LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図16 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
- 3. 設定している検出電圧未満の状態 LVION をクリア (0) した場合、INTLVI 信号が発生し、LVIIIF が 1 になります。

備考 図16 - 7の ~ は、16. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μ s (MAX.)) をウエイトする
- LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する
- LVIの割り込みマスク・フラグ (LVIMK) を解除する
- LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- (ベクタ割り込みを使用する場合) EI命令を実行する

図16 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

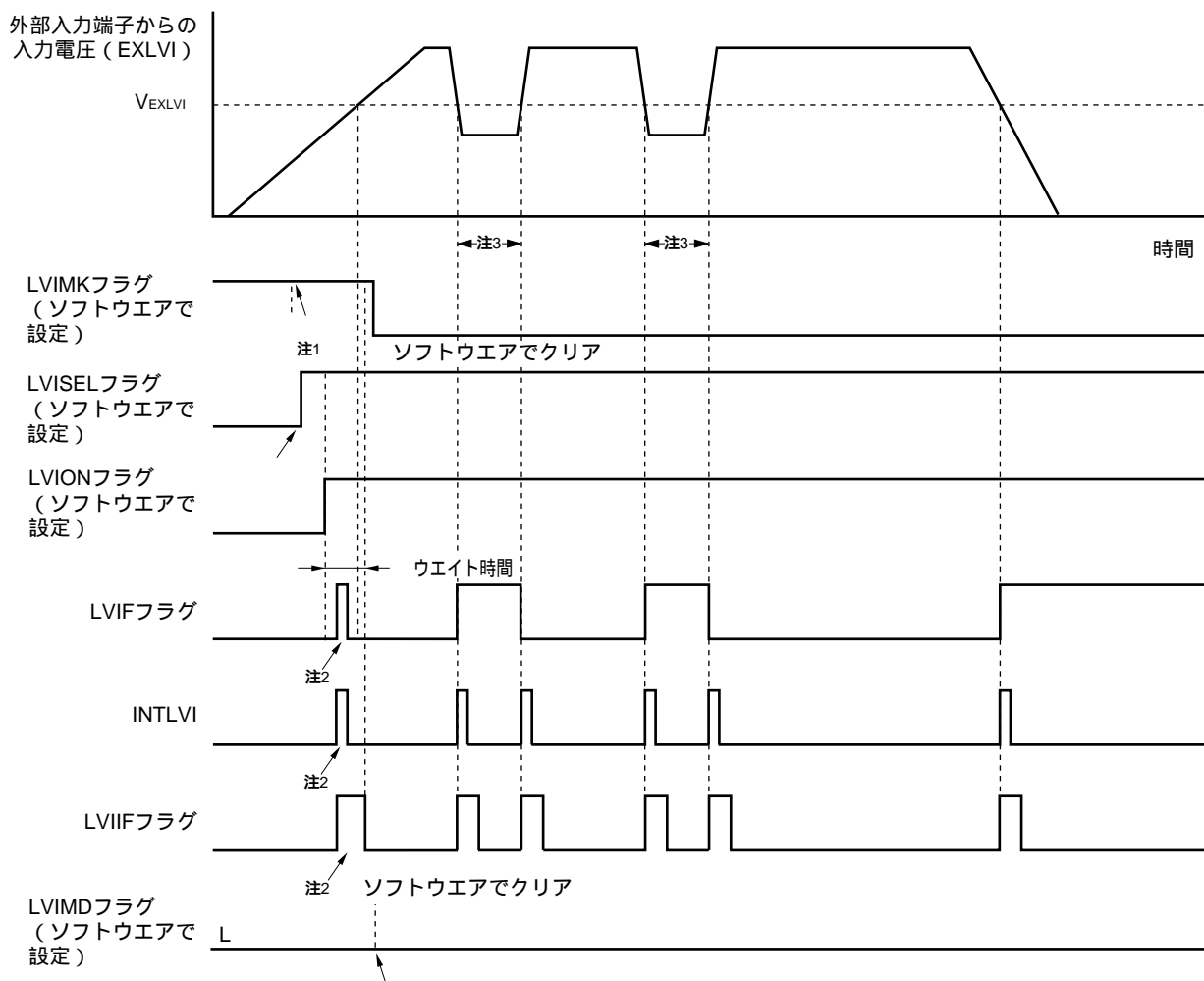
注意 外部入力端子からの入力電圧 (EXLVI) は、EXLVI V_{DD} でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

図16-8 低電圧検出回路の割り込み信号発生時のタイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
- 3. 設定している検出電圧未満の状態 LVION をクリア (0) した場合、INTLVI 信号が発生し、LVIIIF が 1 になります。

備考 図16-8の ~ は、16.4.2(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

16.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図16-9を参照)。

(2) 割り込みとして使用する場合

(a) LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット0 (LVIF) をクリア (0) してください。

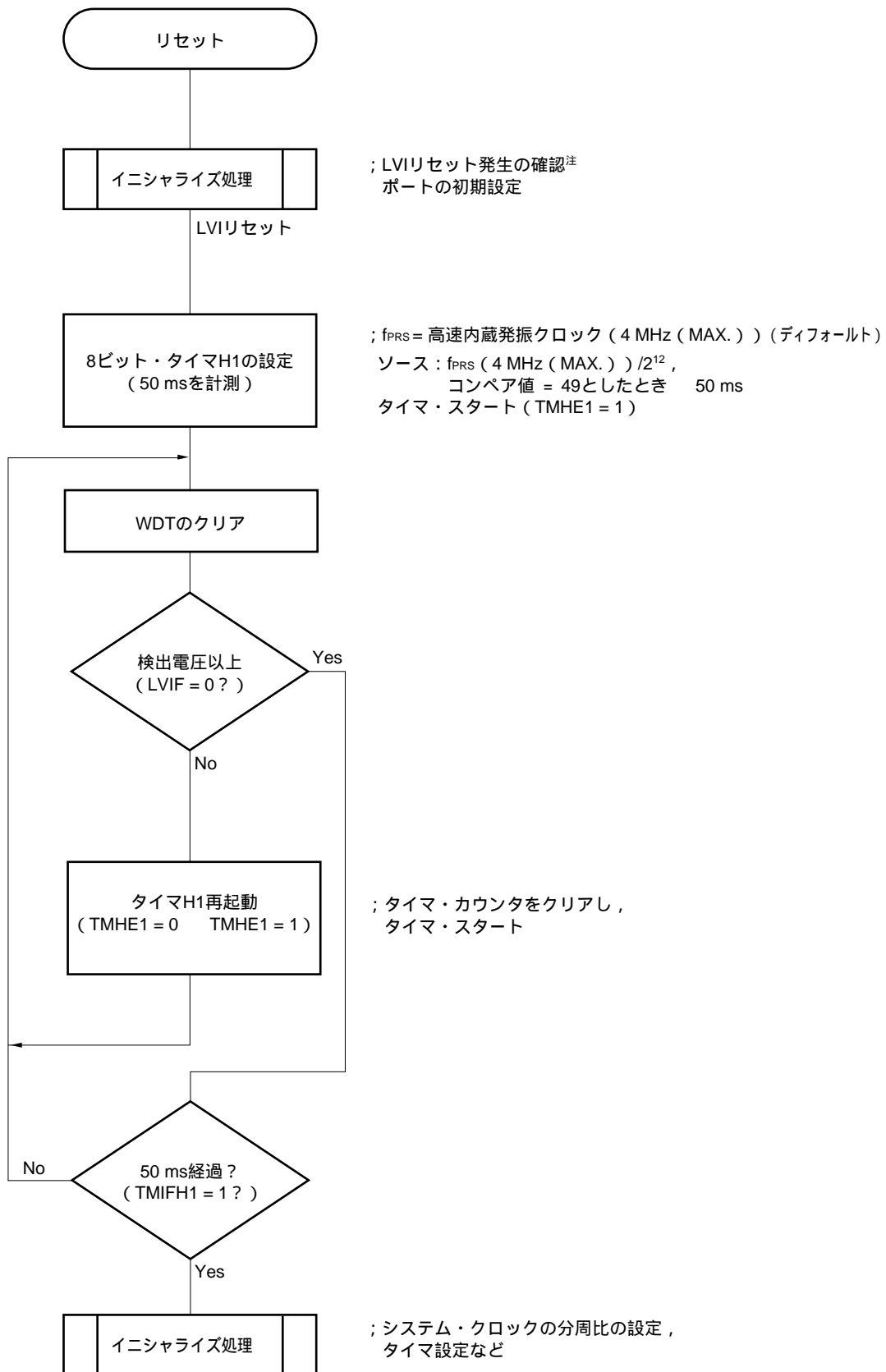
(b) LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIFフラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIFフラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$)

図16 - 9 リセット解除後のソフト処理例 (1/2)

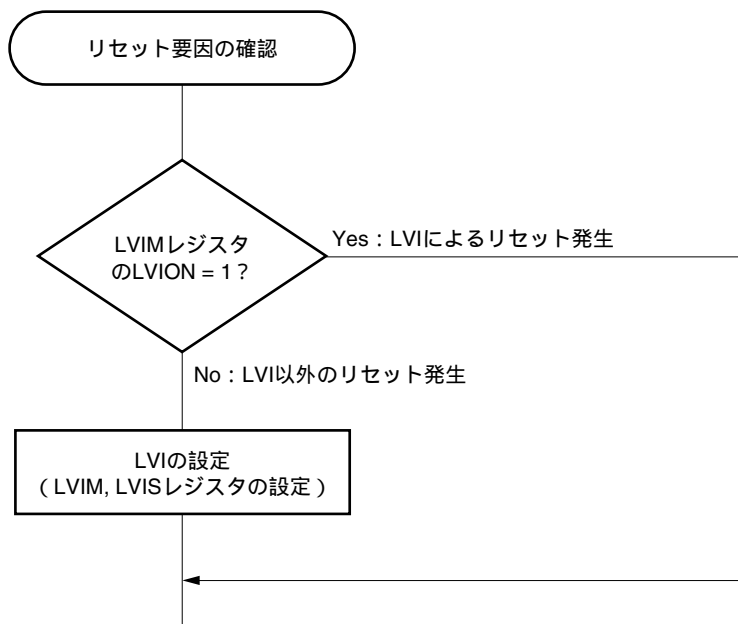
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図16 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



16.6 RAM保持検出回路

本製品はRAM保持検出回路を搭載しております。電池交換時及び電池電圧低下時にRAMの値が破壊される電圧レベルまで低下したかをソフトウェアにて判断することが可能です。

RAM保持検出回路の検出電圧 (V_{LD}) は $1.4V \pm 0.1V$ です。

RAM保持検出回路は次のレジスタで制御します。

- ・RAM保持制御レジスタ (LVDET)

(1) RAM保持制御レジスタ (LVDET)

RAM保持検出回路の動作を設定するレジスタです。

LVDETは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図16 - 10 RAM保持制御レジスタ (LVDET) のフォーマット

アドレス : FFB0H リセット時 : 不定[※] R/W

略号	7	6	5	4	3	2	1	0
LVDET	0	0	0	0	0	0	LVDET0	0

LVDET0	RAM保持検出フラグ
0	RAMデータ不定の可能性あり
1	RAMデータ保持中

注 V_{DD} が約1.4 V以下となった場合には“00H”となります。それ以外の場合は値を保持します。

RAM保持検出機能を使用する場合には必ずLVDET0に“1”を書き込んでください。

RAM保持検出回路は、電源電圧がRAM保持検出電圧 ($V_{LD} : 1.4 V \pm 0.1 V$) を下回ると、RAM保持検出フラグ(LVIDET0)が“0”になります。

電池交換によるリセット解除時に、RAM保持検出フラグ (LVDET0) の値を確認することにより、RAMの値が保持されているかを判断することができます。

第17章 オプション・バイト

17.1 オプション・バイトの機能

μ PD179F11x, 179F12xマイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

注意 0081H-0083Hには、必ず00Hを設定してください。

(1) 0080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

(2) 0084H

オンチップ・ディバグ動作制御

- ・オンチップ・ディバグ動作禁止
- ・オンチップ・ディバグ動作許可、オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・オンチップ・ディバグ動作許可、オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

17.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図17-1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.41 ms)
0	0	1	$2^{11}/f_{RL}$ (6.83 ms)
0	1	0	$2^{12}/f_{RL}$ (13.65 ms)
0	1	1	$2^{13}/f_{RL}$ (27.31 ms)
1	0	0	$2^{14}/f_{RL}$ (54.61 ms)
1	0	1	$2^{15}/f_{RL}$ (109.23 ms)
1	1	0	$2^{16}/f_{RL}$ (218.45 ms)
1	1	1	$2^{17}/f_{RL}$ (436.91 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット1 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。
 - LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット1 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウンタ・クロックは供給されません。
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウンタ・クロックが供給されます。
 - ビット7には必ず0を書き込んでください。

- 備考1. f_{RL} : 低速内蔵発振クロック周波数
- () 内は $f_{RL} = 300 \text{ kHz (MAX.)}$ の場合

図17-1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H-0083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0081H-0083Hは予約領域なので、必ず00Hを設定してください。

アドレス : 0084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第19章 **オンチップ・デバッグ機能**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーパフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、第14章 **リセット機能**を参照してください。

第18章 フラッシュ・メモリ

μ PD179F11x, 179F12xマイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

18.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表18 - 1に示す値を設定してください。

図18 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H リセット時 : CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	0	0	768バイト
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	0	0	1	4 Kバイト
0	0	1	0	8 Kバイト
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
上記以外				設定禁止

表18 - 1 メモリ・サイズ切り替えレジスタの設定値

フラッシュ・メモリ製品 (μ PD179F11x, 179F12xマイクロコントローラ)	IMSの設定値
μ PD179F110	41H
μ PD179F111	42H
μ PD179F112, 179F122	04H
μ PD179F113, 179F123	C6H
μ PD179F114, 179F124	C8H

18.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に μ PD179F11x, 179F12xマイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に μ PD179F11x, 179F12xマイクロコントローラを実装する前に専用プログラマ・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，(株)内藤電誠町田製作所の製品です。

表18-2 μ PD179F11xマイクロコントローラと専用フラッシュ・メモリ・プログラマの配線例

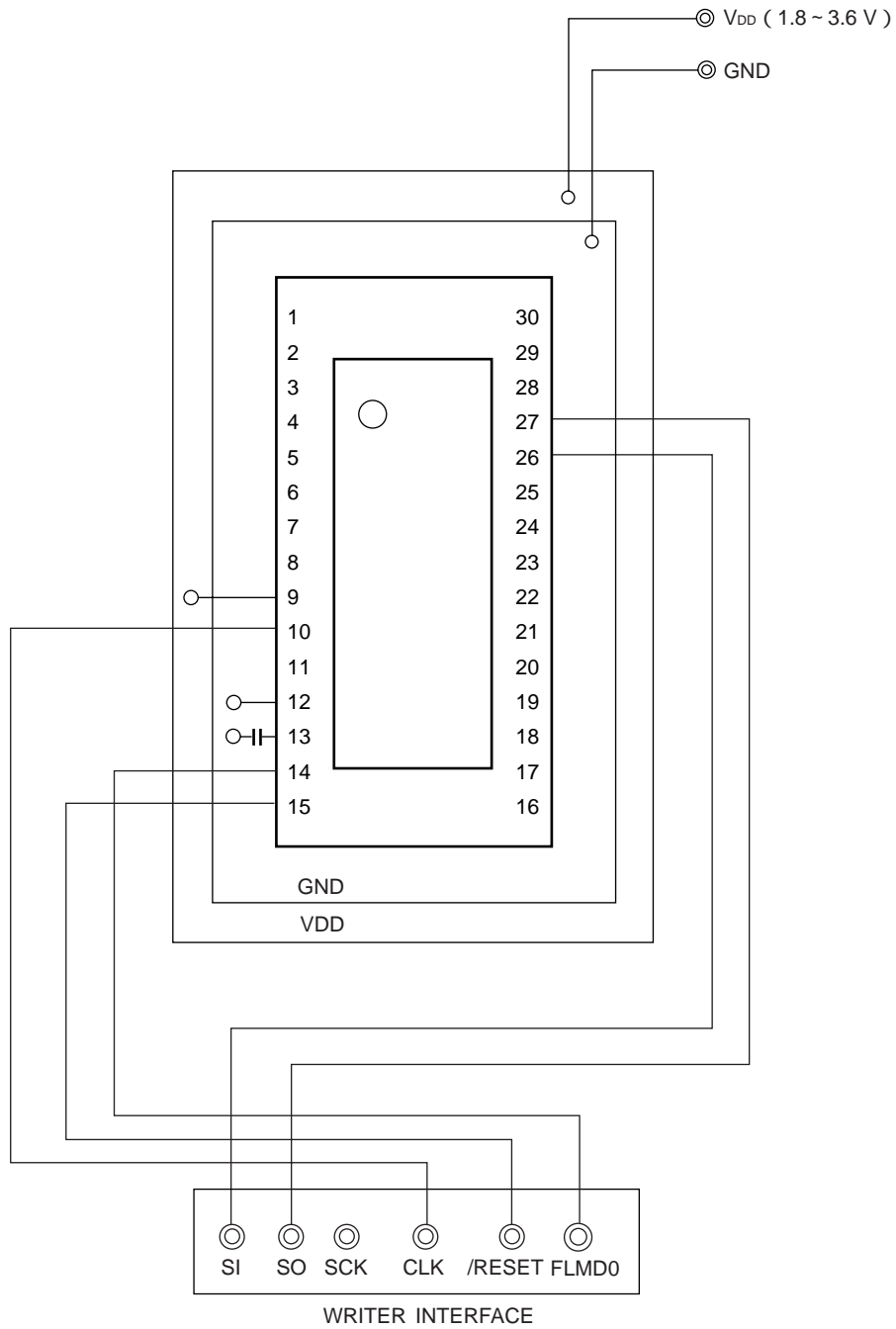
専用フラッシュ・メモリ・プログラマ接続端子			UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号
SI/RxD	入力	受信信号	TxD6/P02	26
SO/TxD	出力	送信信号	RxD6/P03	27
CLK	出力	μ PD179F11x への クロック	注	注
/RESET	出力	リセット信号	RESET	15
FLMD0	出力	モード信号	FLMD0	14
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	9
GND	-	グランド	V _{SS}	12

注 X1クロック (fx) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合，専用フラッシュ・メモリ・プログラマの種類により，接続する端子が異なります。

- ・ PG-FP4, FL-PR4, PG-FP5, FL-PR5 : プログラムのCLKとEXCLK/X2/P122/OCD0B (ピン番号 : 10番) を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図18 - 2 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例 (30ピン製品の場合)

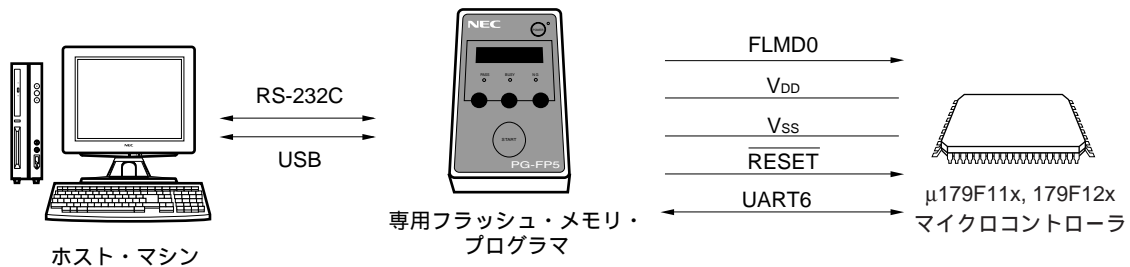


備考 上図は、PG-FP4, FL-PR4, PG-FP5, FL-PR5のクロック・アウトを使用する場合の配線例です。

18.3 プログラミング環境

μ PD179F11x, 179F12xマイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図18-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

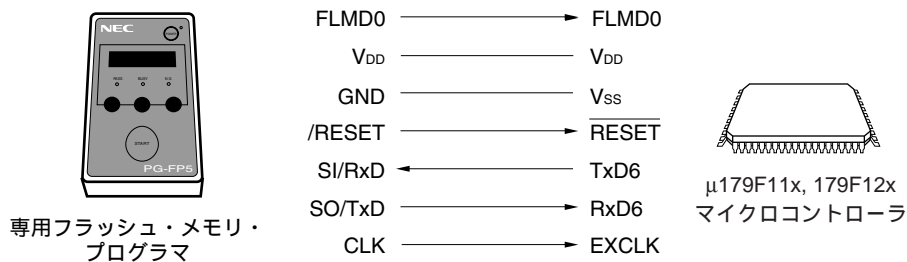
また、専用フラッシュ・メモリ・プログラマと μ PD179F11x, 179F12xマイクロコントローラとのインタフェースはUART6を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

18.4 通信方式

専用フラッシュ・メモリ・プログラマと μ PD179F11x, 179F12xマイクロコントローラとの通信は、 μ PD179F11x, 179F12xマイクロコントローラのUART6によるシリアル通信で行います。

図18-4 専用フラッシュ・メモリ・プログラマとの通信 (UART6)

転送レート : 115200 bps



専用フラッシュ・メモリ・プログラマは μ PD179F11x, 179F12xマイクロコントローラに対して次の信号を生成します。詳細はPG-FP4, FL-PR4, PG-FP5またはFL-PR5のマニュアルを参照してください。

表18-3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			μ PD179F11x, 179F12x マイクロコントローラ	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	
GND	-	グラウンド	V _{SS}	
CLK	出力	μ PD179F11x, 179F12xマイクロコントローラへのクロック出力	注	注
/RESET	出力	リセット信号	RESET	
SI/RxD	入力	受信信号	TxD6	
SO/TxD	出力	送信信号	RxD6	

注 X1クロック (fx) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラマの種類により、接続する端子が異なります。

- ・ PG-FP4, FL-PR4, PG-FP5, FL-PR5 : プログラムのCLKとEXCLK/X2/P122/OCD0Bを接続してください。

- 備考** : 必ず接続してください。
 : ターゲット・ボード上で生成されていれば、接続の必要はありません。
 x : 接続の必要はありません。

18.5 オンボード上の端子処理

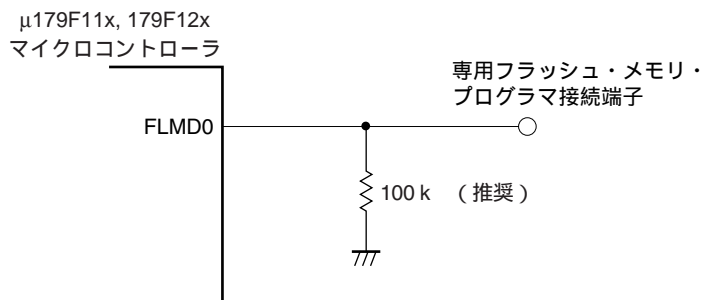
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

18.5.1 FLMD0端子

通常動作モード時は、FLMD0端子に0Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図18 - 5 FLMD0端子の接続例



18. 5. 2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表18 - 4 各シリアル・インタフェースが使用する端子

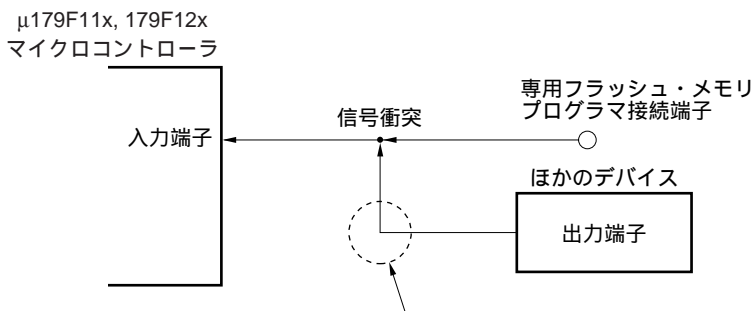
シリアル・インタフェース	使用端子
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図18 - 6 信号の衝突（シリアル・インタフェースの入力端子）

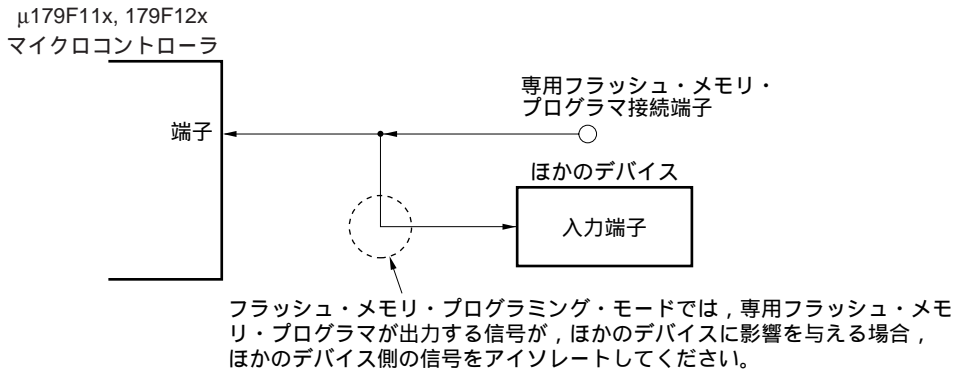
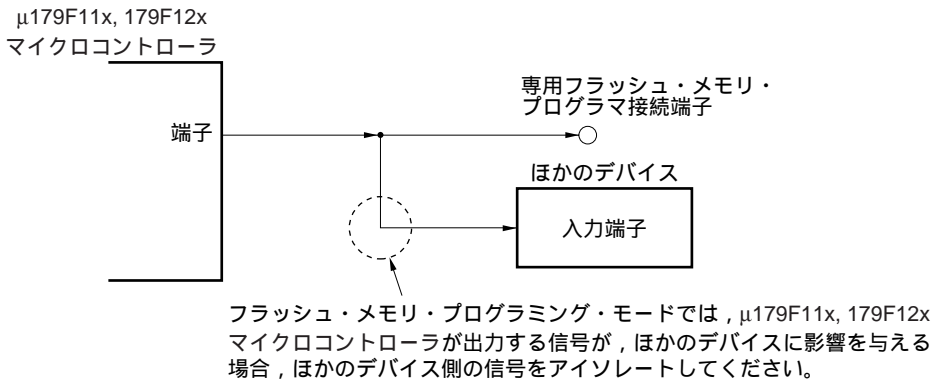


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図18 - 7 ほかのデバイスの異常動作

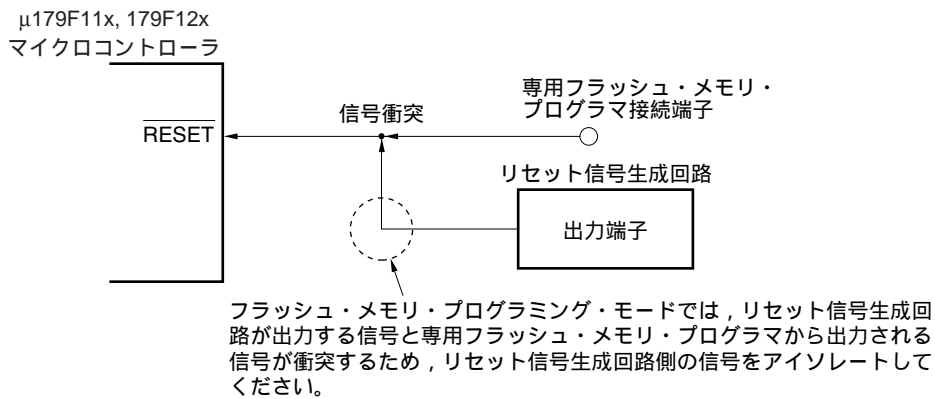


18. 5. 3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図18 - 8 信号の衝突 (RESET端子)



18.5.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

18.5.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 μ F : 推奨) を介し、GNDに接続してください。

18.5.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、次のように接続してください。

- ・ PG-FP4, FL-PR4, PG-FP5, FL-PR5 : プログラマのCLKとEXCLK/X2/P122/OCD0Bを接続してください。

注意 UART6使用時は、X1クロック (fx) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

18.5.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

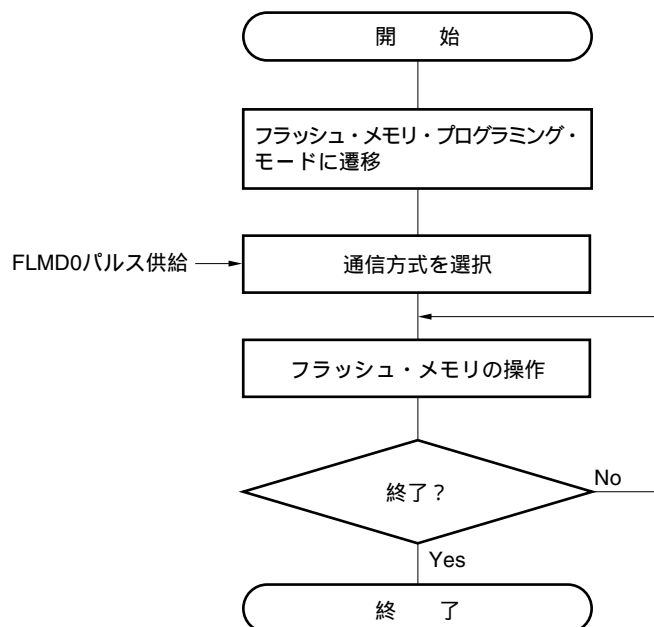
ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}, GNDと必ず接続してください。

18.6 プログラミング方法

18.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図18-9 フラッシュ・メモリの操作手順



18.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、 μ PD179F11x, 179F12xマイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子を V_{DD} 設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図18-10 フラッシュ・メモリ・プログラミング・モード

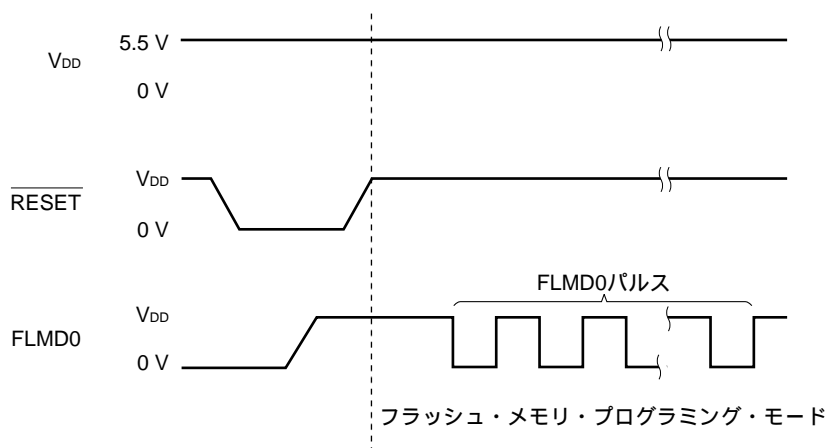


表18 - 5 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

18. 6. 3 通信方式の選択

μ PD179F11x, 179F12xマイクロコントローラでは,フラッシュ・メモリ・プログラミング・モードに遷移後, FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表18 - 6 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺クロック	FLMD0パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-Osc	115200 bps ^{注3}	2 M-4 MHz ^{注2}	1.0	Tx/D6, Rx/D6	f _x	0
	UART-Ext-FP4CK					f _{EXCLK}	3

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
3. UART通信にはポー・レート誤差のほかに,信号波形の鈍りなどが影響するため,評価のうえ使用してください。

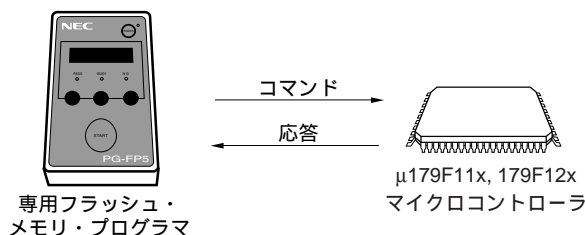
注意 受信クロックは, FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

- 備考** f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RH} : 高速内蔵発振クロック

18. 6. 4 通信コマンド

μ PD179F11x, 179F12xマイクロコントローラと専用フラッシュ・メモリ・プログラマは,コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから μ PD179F11x, 179F12xマイクロコントローラへ送られる信号を「コマンド」と呼び, μ PD179F11x, 179F12xマイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図18 - 11 通信コマンド



μ PD179F11x, 179F12xマイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され, μ PD179F11x, 179F12xマイクロコントローラがコマンドに対応した各処理を行います。

表18-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	全領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	デバイス情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	デバイス・バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、 μ PD179F11x, 179F12xマイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。 μ PD179F11x, 179F12xマイクロコントローラが送出する応答名称を次に示します。

表18-8 応答名称

応答名称	機能
ACK	コマンド/データなどのアクリッジ
NAK	不正なコマンド/データなどのアクリッジ

18.7 セキュリティ設定

μ PD179F11x, 179F12xマイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

μ PD179F11x, 179F12xマイクロコントローラでは設定禁止です。

- ・ブロック消去禁止

オンボード/オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード/オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

・ブロック00H-ブロック03Hの書き換え禁止

フラッシュ・メモリ内のブロック00H-ブロック03H (0000H-0FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

注意 ブロック00H-ブロック03Hの書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブロック00H-ブロック03Hの書き換えはできなくなります。

出荷時の初期状態では、ブロック消去/書き込みはすべて許可になっています。セキュリティは、オンボード/オフボード・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

なお、 μ PD179F11x, 179F12xマイクロコントローラでは、セキュリティ設定を一度禁止に設定すると許可に戻すことはできません。

μ PD179F11x, 179F12xマイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表18 - 9に示します。

表18 - 9 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去 [※]	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる
書き込み禁止		書き込みできない
ブロック00H-ブロック03Hの書き換え禁止		ブロック00H-ブロック03Hは書き込みできない

注 オンボード/オフボード・プログラミング時のブロック消去は全ブロック一括消去です。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去 [※]	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブロック00H-ブロック03Hの書き換え禁止	ブロック00H-ブロック03Hは消去できない	ブロック00H-ブロック03Hは書き込みできない

注 セルフ・プログラミングでは、1ブロック (1Kバイト) ごとに消去できます。

各プログラミング・モード時のセキュリティ設定方法を表18 - 10に示します。

表18 - 10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		
ブロック00H-ブロック03Hの書き換え禁止		

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	設定できない	設定後、無効にできない
書き込み禁止		
ブロック00H-ブロック03Hの書き換え禁止		

18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μ PD179F11x, 179F12xマイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しE1命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

備考 セルフ・プログラミング機能の詳細及びセルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (U18274J) を参照してください。

注意1. セルフ・プログラミング時はFLMD0端子をハイ・レベルにしてください。

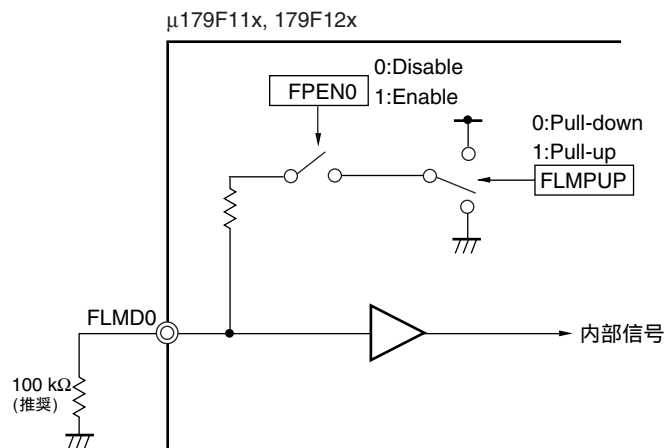
(1) 外部入力による設定

- ・FPEN0 (FLMD0端子プルアップ/プルダウン・イネーブル・レジスタ (FPEN) のビット0) に"0"を設定してください。
- ・FLMD0端子 (100 K でプルダウン : 推奨) にハイ・レベルを入力してください。

(2) 内部プルアップによる設定

- ・FLMD0端子に100 K のプルダウン抵抗を接続してください。
- ・FLMDPUP (FLMD0端子プルアップ/プルダウン・コントロール・レジスタ (FPCTL) のビット0) , およびFPEN0 (FLMD0端子プルアップ/プルダウン・イネーブル・レジスタ (FPEN) のビット0) をそれぞれ "1" に設定してください。これによりFLMD0端子にハイ・レベルが入力されます。

図18 - 12 セルフ・プログラミング時のFLMD0端子設定



FLMD0端子プルアップ/プルダウン・コントロール・レジスタ (FPCTL) およびFLM0端子プルアップ /プルダウン・イネーブル・レジスタ (FPEN) のフォーマットを下記に示します。

図18 - 13 FLMD0端子プルアップ/プルダウン・コントロール・レジスタ (FPCTL) のフォーマット

アドレス : FF35H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FPCTL	0	0	0	0	0	0	0	FLMDPUP

FLMDPUP	FLMD0端子プルアップ / プルダウン設定
0	プルダウン
1	プルアップ

図18 - 14 FLMD0端子プルアップ/プルダウン・イネーブル・レジスタ (FPEN) のフォーマット

アドレス : FF37H リセット時 : 00H R/W

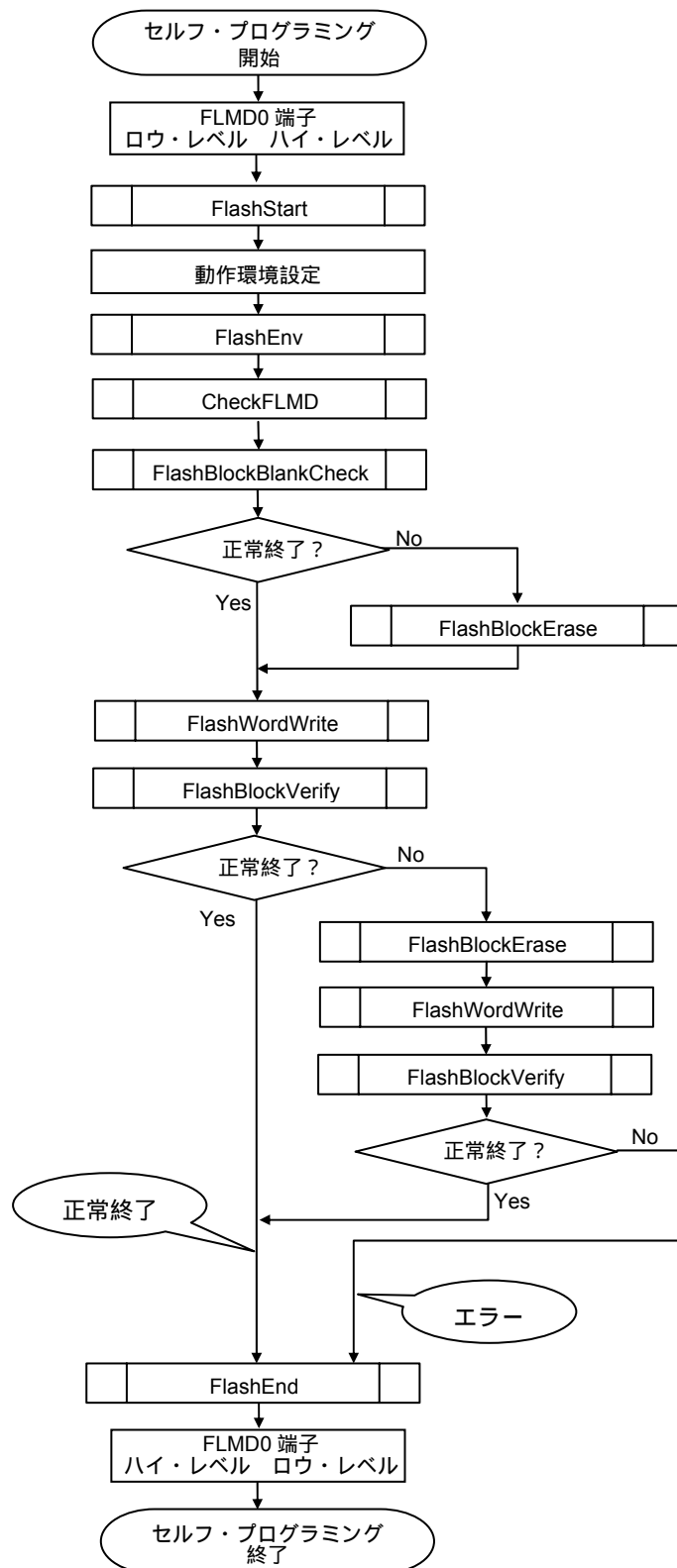
略号	7	6	5	4	3	2	1	0
FPEN	0	0	0	0	0	0	0	FPEN0

FPEN0	FLMD0端子プルアップ / プルダウン許可設定
0	プルアップ/プルダウン禁止
1	プルアップ/プルダウン許可

- 注意2. セルフ・プログラミング開始前には必ずDI命令を実行してください。
 セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L) を確認しており, 割り込み要求が発生した場合, セルフ・プログラミングを中断します。
3. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は, 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) で割り込みをマスクしてください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図18 - 15 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



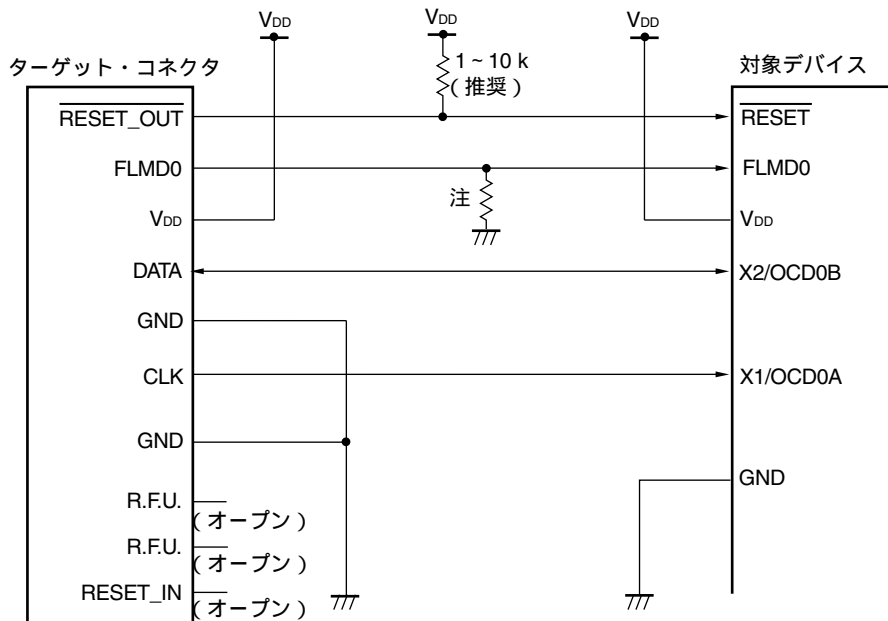
備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

第19章 オンチップ・ディバグ機能

19.1 QB-MINI2との接続

オンチップ・ディバグ対応のオンチップ・ディバグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{FLMD0}$, \overline{RESET} , $OCD0A/X1$ (または $OCD1A/P04$), $OCD0B/X2$ (または $OCD1B/P05$), V_{SS} 端子を使用します。 $OCD0A/X1$ と $OCD1A/P04$, $OCD0B/X2$ と $OCD1B/P05$ はどちらを使用するか、選択できます。

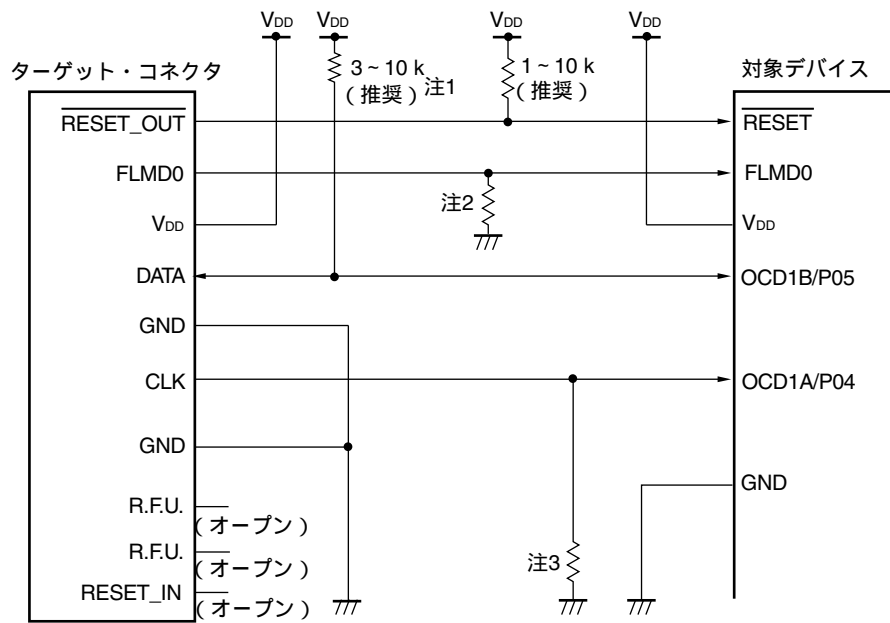
図19-1 QB-MINI2との接続例 ($OCD0A/X1$, $OCD0B/X2$ 使用時)



注 プルダウン抵抗値は100 k にしてください。

- 注意1. オンチップ・ディバグ時は、 $OCD0A/X1$ 端子よりクロック入力します。
- 2. $OCD0A/X1$, $OCD0B/X2$ 端子を使用する場合、 $OCD1A/P04$ 端子および $OCD1B/P05$ 端子のリセット時のレベルは固定 (ハイ・レベルもしくはロウ・レベル) になるようにしてください。
- 3. \overline{RESET} 端子をQB-MINI2が使用しますので、兼用機能のエミュレーションはできません。

図19 - 2 QB-MINI2との接続例 (OCD1A/P04, OCD1B/P05使用時)



注1. OCD1B/P05を入力ポートに設定している場合の端子処理です (QB-MINI2未接続時にオープンになるのを防ぐため)。

2. プルダウン抵抗値は100 k にしてください。
3. プルダウン抵抗値は10 k を推奨します。

注意1. OCD1A/P04, OCD1B/P05使用時はオンチップ・デバッグ中にP04およびP05を出力モードにしないようにしてください。

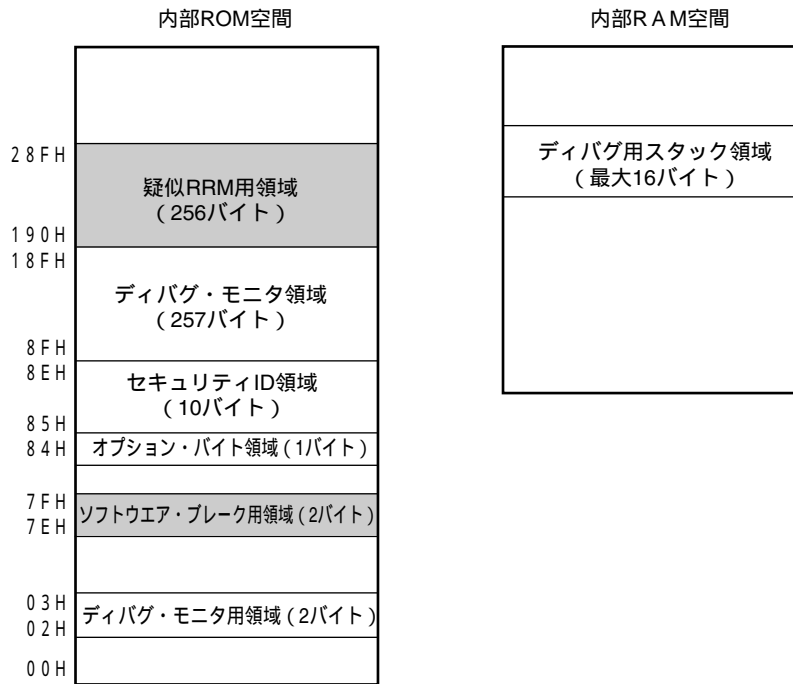
2. $\overline{\text{RESET}}$ 端子をQB-MINI2が使用しますので、兼用機能のエミュレーションはできません。

19.2 QB-MINI2が使用する予約領域

QB-MINI2は、対象デバイスとの通信、または各デバッグ機能を実現するために、図19 - 3で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

予約領域の詳細につきましては、QB-MINI2ユーザズ・マニュアル (U18371J) を参照してください。

図19 - 3 QB-MINI2が使用する予約領域



備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
 それ以外の予約領域 : デバッグ時に必ず使用する領域

第20章 命令セットの概要

μ PD179F11x, 179F12xマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ **ユーザズ・マニュアル 命令編**（U12326J）を参照してください。

20.1 凡 例

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表20 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 6 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x ^H , x ^L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（fCPU）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x	
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
	A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x	
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
A, [HL + byte]		2	8	9	A A (HL + byte)	x			
A, [HL + B]		2	8	9	A A (HL + B)	x			
A, [HL + C]	2	8	9	A A (HL + C)	x				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	OR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	XOR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	CMP	A, #byte	2	4	-	A - byte		x	x	x
		saddr, #byte	3	6	8	(saddr) - byte		x	x	x
		A, r <small>注3</small>	2	4	-	A - r		x	x	x
		r, A	2	4	-	r - A		x	x	x
		A, saddr	2	4	5	A - (saddr)		x	x	x
		A, !addr16	3	8	9	A - (addr16)		x	x	x
		A, [HL]	1	4	5	A - (HL)		x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x	x
	CMPW	AX, #word	3	6	-	AX - word		x	x	x
乗除算	MULU	X	2	16	-	AX A × X				
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第21章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V	
	V _{SS}		- 0.5 ~ + 0.3	V	
REGC端子入力電圧	V _{IREGC}		- 0.5 ~ + 3.6 かつ - 0.5 ~ V _{DD}	V	
入力電圧	V _{I1}	P00-P07, P10-P17, P20-P22, P23 ^{注2} , P24 ^{注2} , P25-P27, P30-P35 ^{注2} , P120-P123, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V	
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^{注1}	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P06, P10-P17,	- 40	mA
		端子合計	P20-P22, P23 ^{注2} , P24 ^{注2} , P25-P27, P30-P35 ^{注2} , P120-P122	- 80	mA
	I _{OH2}	1端子	REM	- 40	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P00-P03, P07, P10-P17,	40	mA
		端子合計	P20-P22, P23 ^{注2} , P30-P35 ^{注2} , P121, P122	150	mA
	I _{OL2}	1端子	P04-P06, P24 ^{注2} , P25-P27,	40	mA
		端子合計	P120	150	mA
動作周囲温度	T _A		- 40 ~ + 85		
保存温度	T _{stg}		- 65 ~ + 150		

注1. 6.5 V以下であること。

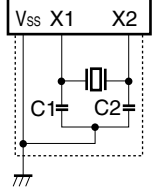
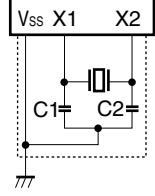
2. 38ピン製品のみ。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 3.6$ V, $V_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注		1.0		4.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注		1.0		4.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 3.6$ V, $V_{SS} = 0$ V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
4 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f_{RH}) ^注	RSTS = 1 $T_A = -10 \sim +70$	3.92	4.0	4.08	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f_{RL})	2.1 V $V_{DD} = 3.6$ V	216	240	276	kHz
		1.8 V $V_{DD} < 2.1$ V	180	240	300	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

DC特性 (1/2)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P20-P22, P23 ^{注2} , P24 ^{注2} , P25-P27, P30-P35 ^{注2} , P120-P122 1端子			- 2.0	mA	
		P04-P06, P24 ^{注2} , P25-P27, P120 合計			- 4.0	mA	
		P00-P06, P10-P17, P20-P22, P23 ^{注2} , P24 ^{注2} , P25-P27, P30-P35 ^{注2} , P121, P122 合計			- 20.0	mA	
	I _{OH2}	P07 (REM) $V_{DD} = 3.0\text{ V}$, $V_{OH2} = 1.0\text{ V}$	- 6.0	- 13.0	- 25.0	mA	
	全端子合計 ^{注3}					- 49.0	mA
ロウ・レベル出力電流 ^{注4}	I _{OL1}	P00-P03, P07, P10-P17, P20-P22, P23 ^{注2} , P30-P35 ^{注2} , P121, P122	1端子			1.0	mA
			合計			20.0	mA
	I _{OL2}	P04-P06, P24 ^{注2} , P25-P27, P120	1端子			3.0	mA
			合計			30.0	mA
	全端子合計 ^{注3}					50.0	mA
ハイ・レベル入力電圧	V _{IH1}	P07, P10-P17, P20-P22, P23 ^{注2} , P30-P35 ^{注2} , P121, P122, P123(KR8)	0.7V _{DD}		V _{DD}	V	
	V _{IH2}	P00-P06, P24 ^{注2} , P25-P27, P120, RESET/P123(INTP5)	0.8V _{DD}		V _{DD}	V	
	V _{IH3}	FLMD0	0.9V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P07, P10-P17, P20-P22, P23 ^{注2} , P30-P35 ^{注2} , P121, P122, P123(KR8)	0		0.3V _{DD}	V	
	V _{IL2}	P00-P06, P24 ^{注2} , P25-P27, P120, RESET/P123(INTP5)	0		0.2V _{DD}	V	
	V _{IL3}	FLMD0	0		0.1V _{DD}	V	
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P20-P22, P23 ^{注2} , P24 ^{注2} , P25-P27, P30-P35 ^{注2} , P120-P122	$V_{DD} = 1.8\text{ V}$ $I_{OH1} = -1.0\text{ mA}$	$V_{DD} - 0.5$		V	
	V _{OH2}	P07	$V_{DD} = 3.0\text{ V}$ $I_{OH2} = -6.0\text{ mA}$	1.0		V	
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P07, P10-P17, P20-P22, P23 ^{注2} , P30-P35 ^{注2} , P121, P122	$V_{DD} = 1.8\text{ V}$ $I_{OL1} = 0.5\text{ mA}$		0.4	V	
	V _{OL2}	P04-P06, P24 ^{注2} , P25-P27, P120	$V_{DD} = 2.0\text{ V}$ $I_{OL2} = 1.5\text{ mA}$		0.1	V	

注1. V_{DD}から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 38ピン製品のみ。

3. デューティ = 70%の条件(ある一定の時間をtとすると、電流を出力する時間が0.7×t、電流を出力しない時間が0.3×tの場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・I_{OH}のデューティがn%の場合：端子合計の出力電流 = (I_{OH} × 0.7) / (n × 0.01)

< 計算例 > デューティ = 50%, I_{OH} = 20.0 mAの場合

端子合計の出力電流 = (20.0 × 0.7) / (50 × 0.01) = 28.0 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/2)

($T_A = -40 \sim +85$, 1.8 V V_{DD} 3.6 V , $V_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P07, P10-P17, P20-P22, P23 ^{注1} , P24 ^{注1} , P25-P27, P30-P35 ^{注1} , P120, P123	$V_i = V_{DD}$			3	μA
	I _{LIH3}	P121, P122 (X1, X2)	$V_i = V_{DD}$	I/Oポート・モード		3	μA
				OSCモード		20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P07, P10-P17, P20-P22, P23 ^{注1} , P24 ^{注1} , P25-P27, P30-P35 ^{注1} , P120, P123	$V_i = V_{SS}$			-3	μA
	I _{LIL2}	P121, P122 (X1, X2)	$V_i = V_{SS}$	I/Oポート・モード		-3	μA
				OSCモード		-20	μA
プルアップ抵抗値	R _{U1}	$V_i = V_{SS}$	P00-P07, P20-P22, P23 ^{注1} , P24 ^{注1} , P25-P27, P120-P122	10	20	100	k
	R _{U2}		P10-P17, P30-P35 ^{注1} , RESET	75	150	300	k
	R _{U3}		FLMD0	1.8 V V_{DD} 3.6 V	10	19.5	52
電源電流 ^{注2}	I _{DD1}	動作モード	$f_{XH} = 4\text{ MHz}$ ^{注3} , $V_{DD} = 3.0\text{ V}$	0.8	1.2	mA	
			$f_{RH} = 4\text{ MHz}$ ^{注4} , $V_{DD} = 3.0\text{ V}$	0.7	1.0	mA	
	I _{DD2}	HALTモード	$f_{XH} = 4\text{ MHz}$ ^{注3} , $V_{DD} = 3.0\text{ V}$	0.25	0.33	mA	
			$f_{RH} = 4\text{ MHz}$ ^{注4} , $V_{DD} = 3.0\text{ V}$	0.15	0.28	mA	
	I _{DD3}	STOPモード ^{注4}	$V_{DD} = 3.0\text{ V}$		1	20	μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注5}	240 kHz 低速内蔵発振クロック動作時		3.2	6.4	μA	
LVI動作電流	I _{LVI} ^{注6}			5.8	12	μA	

注1. 38ピン製品のみ。

- 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。
- 4 MHz内蔵発振器, 240 kHz内蔵発振器とウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- 240 kHz内蔵発振器とウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, $\mu\text{PD179F11x}$, 179F12xマイクロコントローラの電流値となります。
- LVI回路にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合, I_{DD2}またはI_{DD3}にI_{LVI}を加算した値が, $\mu\text{PD179F11x}$, 179F12xマイクロコントローラの電流値となります。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

AC特性

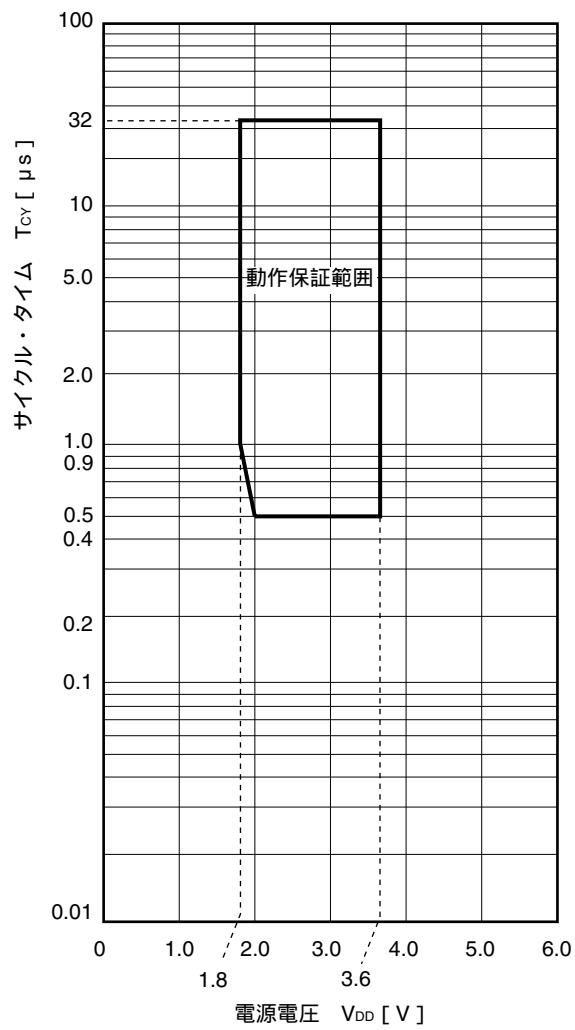
(1) 基本動作

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

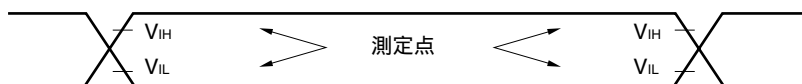
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP})動作	2.0 V \leq V _{DD} \leq 3.6 V	0.5		32	μ s
			1.8 V \leq V _{DD} $<$ 2.0 V	1		32	μ s
外部メイン・システム・クロック周波数	f _{EXCLK}		1.0		4.0	MHz	
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t _{EXCLKH} , t _{EXCLKL}		(1/f _{EXCLK} \times 1/2) - 1			ns	
TI000, TI010入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TIL0}	2.1 V \leq V _{DD} \leq 3.6 V	2/f _{sam} + 0.2 ^注			μ s	
		1.8 V \leq V _{DD} $<$ 2.1 V	2/f _{sam} + 0.5 ^注			μ s	
TI50, TI51入力周波数	f _{TI5}				4	MHz	
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}		250			ns	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		1			μ s	
キー割り込み入力ロウ・レベル幅	t _{KR}		250			ns	
RESETロウ・レベル幅	t _{RSL}		10			μ s	

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, f_{sam} = f_{PRS}となります。

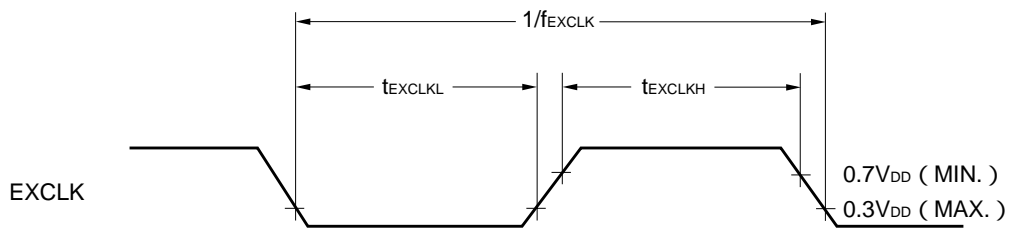
T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



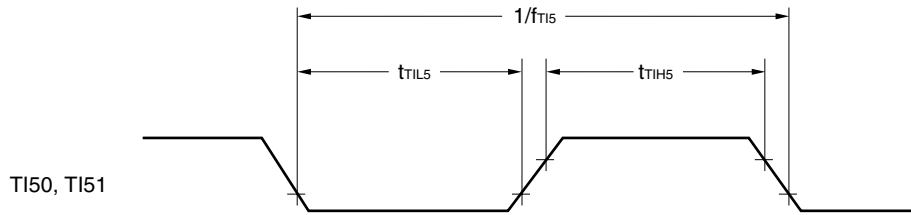
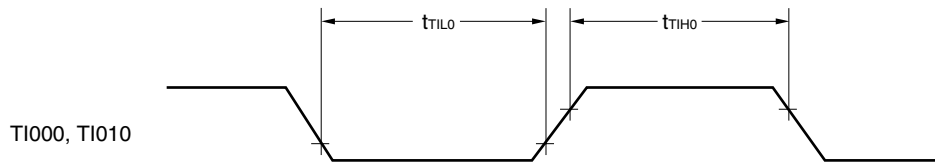
ACタイミング測定点



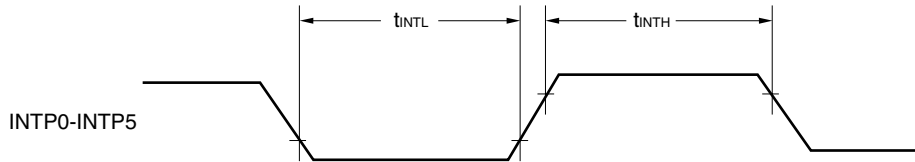
外部メイン・システム・クロック・タイミング



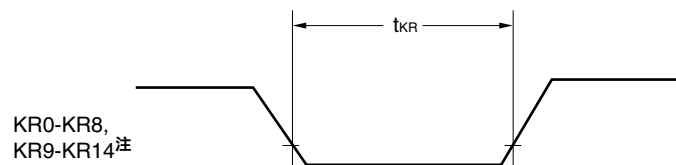
TI タイミング



割り込み要求入力タイミング

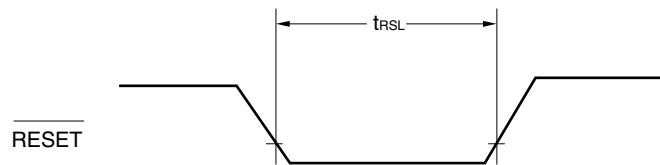


キー割り込み入力タイミング



注 38ピン製品のみ

RESET 入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +85$, 1.8 V $V_{DD} 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

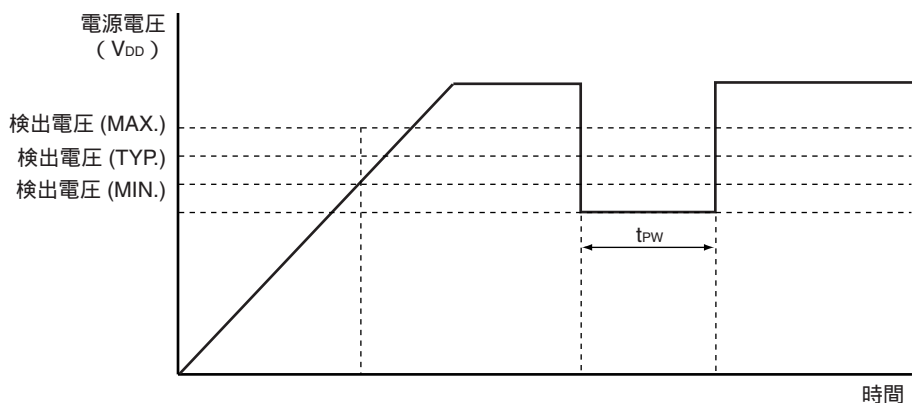
(a) UART6 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC}		1.7	1.8	1.9	V
最小パルス幅	t_{PW}		200			μs

POC回路タイミング



注 POC回路は電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.8V \pm 0.1V$) を比較し、 $V_{DD} < V_{POC}$ の状態が $200 \mu s$ 以上続いたときに発生します。

ただし、 $200 \mu s$ は保証値ですので $200 \mu s$ 未満でもリセット信号を発生することがあります。

検出電圧 ($V_{POC} = 1.8V \pm 0.1V$) は動作保証電圧 ($V_{DD} = 1.8V \sim 3.6V$) を下回る場合がありますが、リセット機能が働くまでは電源電圧が低下してもプログラムカウンタが暴走しないようになっています。

なお、低電圧下での動作が保証されていない発振子によっては、リセット機能がはたらく前に発振停止する場合がありますのでご注意ください。

LVI回路特性 (TA = -40 ~ +85 , 1.8 VDD 3.6 V , VSS = 0 V)

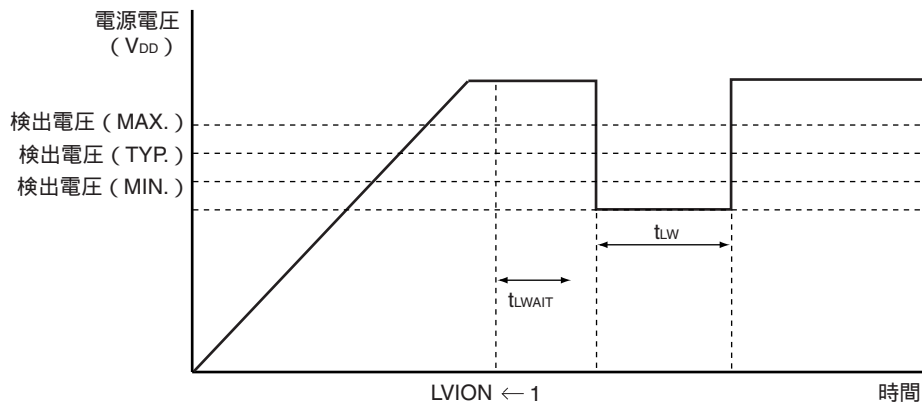
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V _{LV15}	3.37	3.47	3.57	V
		V _{LV16}	3.22	3.32	3.42	V
		V _{LV17}	3.06	3.16	3.26	V
		V _{LV18}	2.91	3.01	3.11	V
		V _{LV19}	2.75	2.85	2.95	V
		V _{LV110}	2.60	2.70	2.80	V
		V _{LV111}	2.45	2.55	2.65	V
		V _{LV112}	2.29	2.39	2.49	V
		V _{LV113}	2.14	2.24	2.34	V
		V _{LV114}	2.00	2.08	2.15	V
		V _{LV115}	1.83	1.93	2.03	V
	外部入力端子 ^{注1}	EXLVI	EXLVI < V _{DD}	1.21		V
最小パルス幅	t _{LW}		200			μs
動作安定待ち時間 ^{注2}	t _{LWAIT}				10	μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

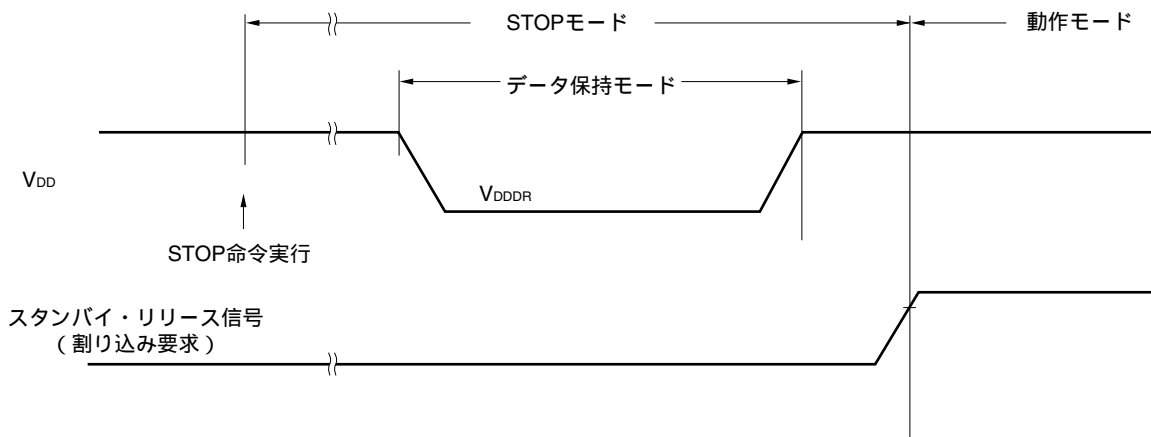
備考 V_{LV1(n-1)} > V_{LV1n} : n = 6-15

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.3		3.6	V



電池交換および電源低下時データ・メモリ保持検出電圧 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RAM保持検出電圧	V _{LD}	LVDET0ビット “1” “0”	1.30	1.40	1.50	V

フラッシュ・メモリ・プログラミング特性 (TA = -40 ~ +85 , 2.0 V V_{DD} 3.6 V, V_{SS} = 0 V)

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}	f _{XP} = 4 MHz (TYP.)		4.5	11.0	mA
消去時間 ^{注1,2}	全ブロック	T _{eraca}		20	200	ms
	ブロック単位	T _{erasa}		20	200	ms
書き込み時間 (8ビット単位) ^{注1}	T _{wrwa}			10	100	μs
1チップあたりの書き換え回数	C _{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	1000			回

注1. フラッシュ・メモリの特性です。

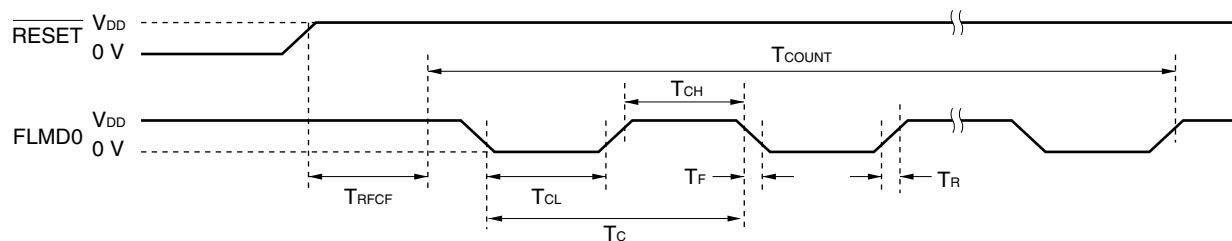
2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. 出荷品に対する初回書き込み時では, 「消去 書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

備考 f_{XP}: メイン・システム・クロック発振周波数

(2) シリアル書き込みオペレーション特性

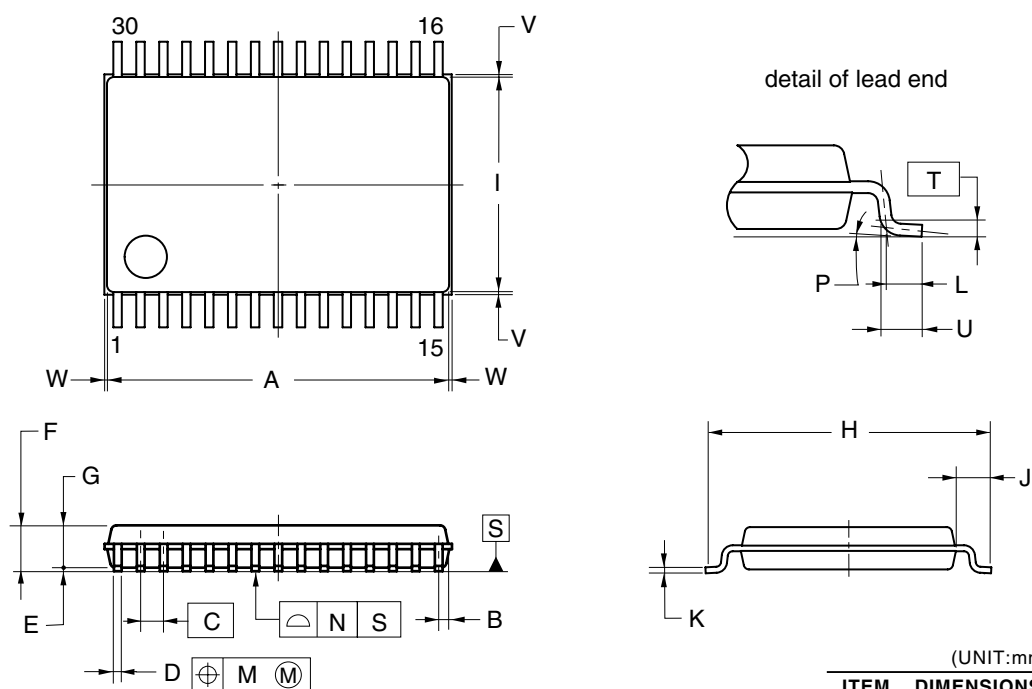
項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET FLMD0カウント開始時間	T_{RFCF}		4.1		17.1	ms
カウント実行時間	T_{COUNT}		10.8		13.2	ms
FLMD0カウンタ ハイ/ロウ・レベル幅	T_{CH}/T_{CL}		$T_C \times 0.45$			μs
FLMD0カウンタ 立ち上がり/立ち下がり時間	T_R/T_F		12.5			μs



第22章 外形図

・ μ PD179F110MC-CAB-AX, 179F111MC-CAB-AX, 179F112MC-CAB-AX, 179F113MC-CAB-AX,
179F114MC-CAB-AX

30-PIN PLASTIC SSOP (7.62mm (300))



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

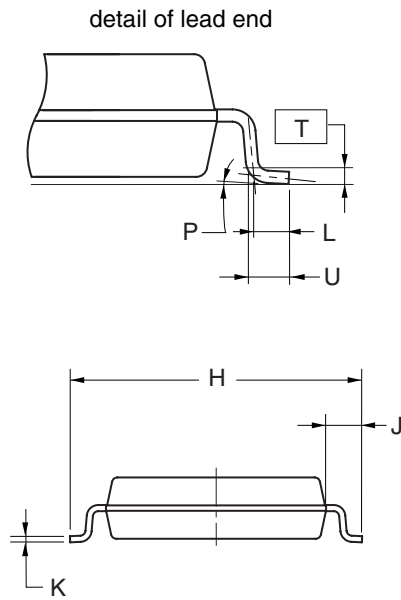
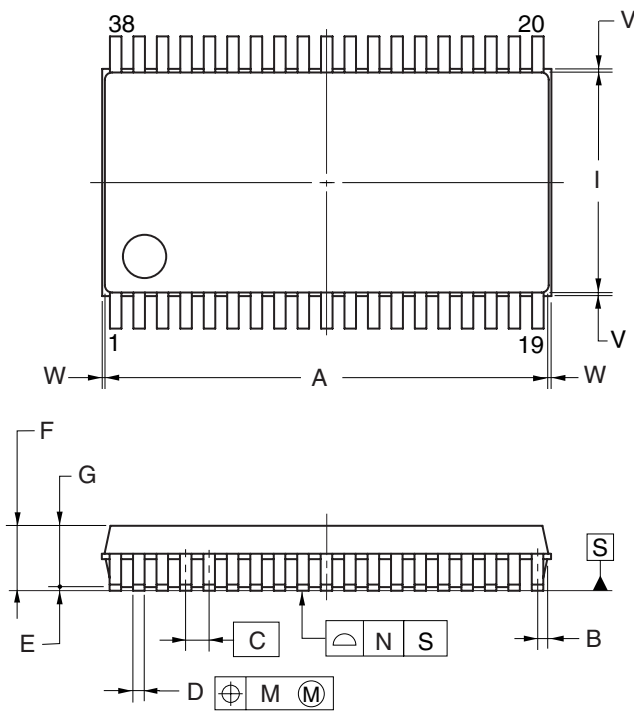
ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

© NEC Electronics Corporation 2005

・ μ PD179F122MC-GAA-AX, 179F123MC-GAA-AX, 179F124MC-GAA-AX

38-PIN PLASTIC SSOP (7.62mm (300))



(UNIT:mm)

ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	0.30 ^{+0.10} _{-0.05}
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.10} _{-0.05}
L	0.50
M	0.10
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P38MC-65-GAA

NOTE

Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

付録A 開発ツール

μ PD179F11x, 179F12xマイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

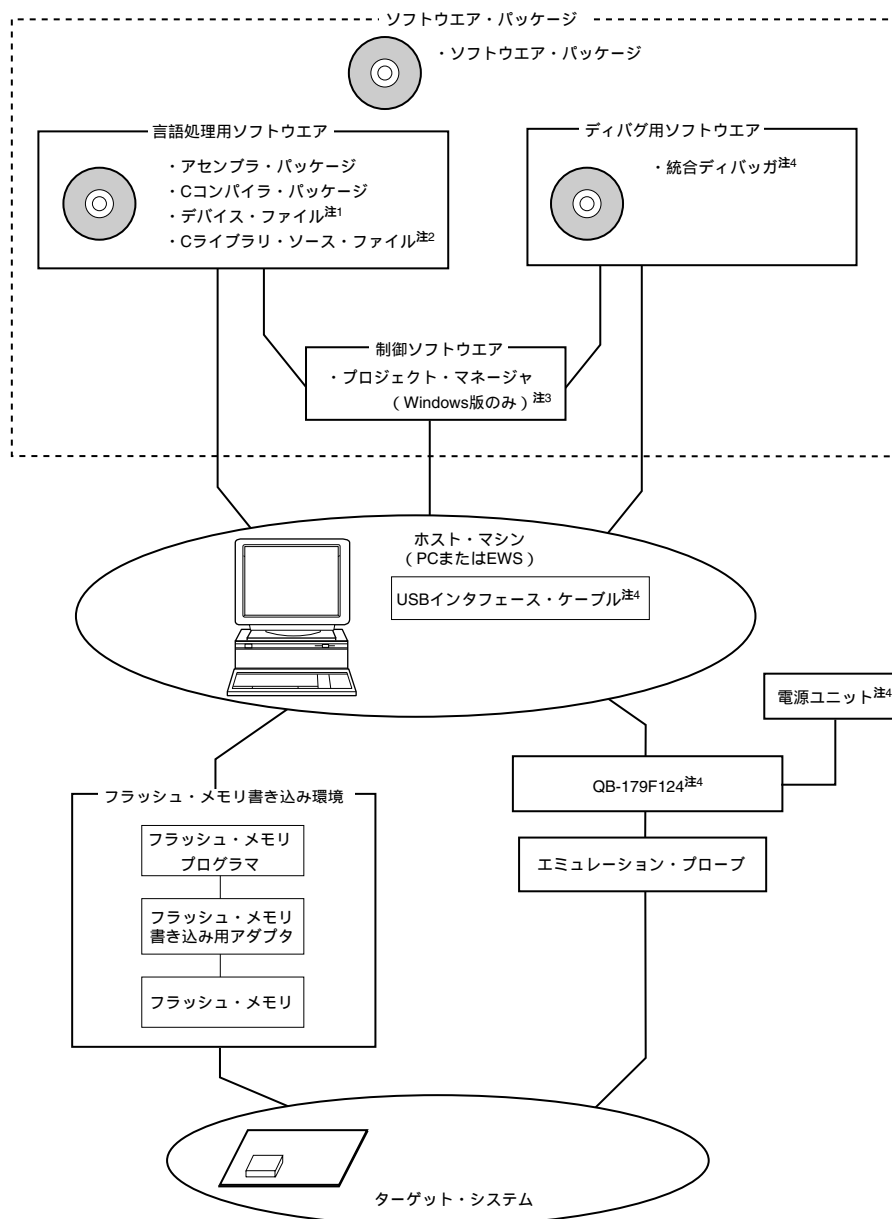
Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98
- Windows NT[®]
- Windows 2000
- Windows XP[®]

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-179F124を使用する場合



注1. μ PD179F11x, 179F12xマイクロコントローラ用のデバイス・ファイル (DF179124) は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

3. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。

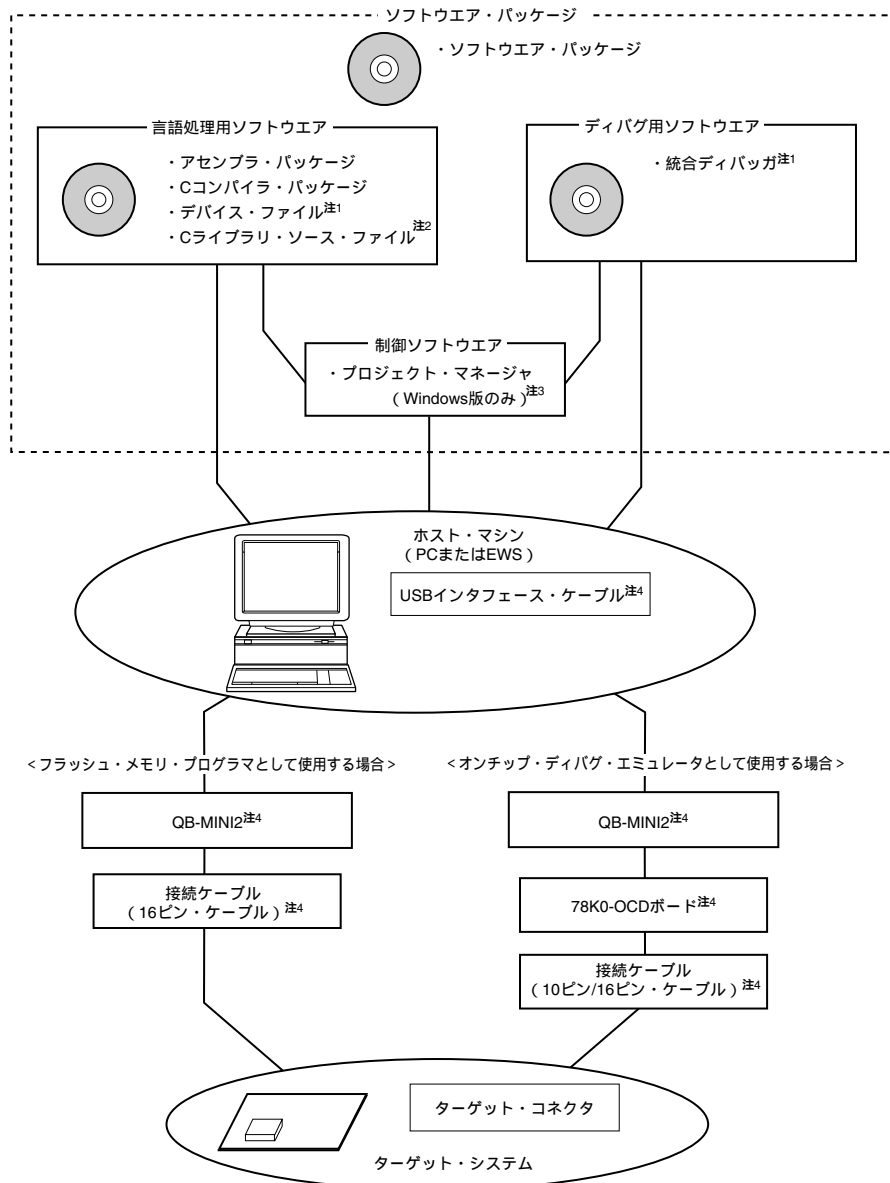
また、Windows以外ではPM+は使用しません。

4. QB-179F124は、統合ディバग्ガ ID78K0-QB, USBインタフェース・ケーブル, 電源ユニット, オンチップ・ディバグ・エミュレータ QB-MINI2, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

図A - 1 開発ツール構成 (2/2)

(3) プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合



注1. μ PD179F11x, 179F12xマイクロコントローラ用のデバイス・ファイル (DF179124) および統合ディバग्ガ ID78K0-QBIは, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2. Cライブラリ・ソース・ファイルは, ソフトウェア・パッケージには含まれていません。

3. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。
また, Windows以外ではPM+は使用しません。

4. オンチップ・ディバグ・エミュレータ QB-MINI2は, USBインタフェース・ケーブル, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。
また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ、 μ PD179F11x, 179F12xマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダー名称： μ S x x x x SP78K0
---	---

備考 オーダ名称の x x x x は、使用するホスト・マシン、OSにより異なります。

μ S x x x x SP78K0

x x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF179124）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称： μ S x x x x RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称： μ S x x x x CC78K0
DF179124 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, ID78K0-QB）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダー名称： μ S x x x x DF179124
CC78K0-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダー名称： μ S x x x x CC78K0-L

注1. DF179124は、RA78K0, CC78K0, ID78K0-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

2. CC780-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4)， Solaris™ (Rel.2.5.1)	

μS××××DF179124

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	

A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，デバッグの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP4, FL-PR4, PG-FP5, FL-PR5を使用する場合

PG-FP4, FL-PR4, PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-179F114-MC-CAB-MX FA-179F124-MC-GAA-MX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 ・ FA-179F114MC-CAB-MX : 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・ FA-179F124MC-GAA-MX : 38ピン・プラスチックSSOP (MC-GAAタイプ) 用

備考1. FL-PR4, FL-PR5, FA-179F114MC-CAB-MX, FA-179F124MC-GAA-MXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・ディバグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 μ PD179F11x, 179F12xマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのオンチップ・ディバグ・エミュレータとしても使用できます。添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・ディバグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

A.5 ディバグ用ツール(ハードウェア)

A.5.1 インサーキット・エミュレータ QB-179F124を使用する場合

QB-179F124 インサーキット・エミュレータ	μ PD179F11x, 179F12xマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ (ID78K0-QB) に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-30MC-EA-02T, QB-38MC-EA-02T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 ・QB-38MC-EA-02T: 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・QB-38MC-EA-02T: 38ピン・プラスチックSSOP (MC-GAAタイプ) 用
QB-30MC-YS-01T, QB-38MC-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-30MC-YS-01T: 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・QB-38MC-YS-01T: 38ピン・プラスチックSSOP (MC-GAAタイプ) 用
QB-30MC-YQ-01T, QB-38MC-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 ・QB-30MC-YQ-01T: 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・QB-38MC-YQ-01T: 38ピン・プラスチックSSOP (MC-GAAタイプ) 用
QB-30MC-HQ-01T, QB-38MC-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-30MC-HQ-01T: 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・QB-38MC-HQ-01T: 38ピン・プラスチックSSOP (MC-GAAタイプ) 用
QB-30MC-NQ-01T, QB-38MC-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-30MC-NQ-01T: 30ピン・プラスチックSSOP (MC-CABタイプ) 用 ・QB-38MC-NQ-01T: 38ピン・プラスチックSSOP (MC-GAAタイプ) 用

備考1. QB-179F124は、統合ディバグ ID78K0-QB, USBインタフェース・ケーブル, 電源ユニット, オンチップ・ディバグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。

QB-MINI2を使用する場合, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2. オーダ名称により, 梱包内容は次のように異なります。

オーダ名称	梱包内容	インサーキット・エミュレータ	エミュレーション・プローブ	エクステンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-179F124-ZZZ	QB-179F124		なし			
QB-179F124-T30MC			QB-80-EP-01T	QB-30MC-EA-02T	QB-30MC-YQ-01T	QB-30MC-NQ-01T
QB-179F124-T38MC				QB-38MC-EA-02T	QB-38MC-YQ-01T	QB-38MC-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・ディバグ・エミュレータ	μ PD179F11x, 179F12xマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのオンチップ・ディバグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

- 備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・ディバグ時のみに使用します。
2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

A. 6 ディバグ用ツール（ソフトウェア）

ID78K0-QB 統合ディバグ	78K0マイクロコントローラ μ PD179F11x, 179F12xマイクロコントローラ用のインサーキット・エミュレータに対応したディバグです。ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μ S × × × × ID78K0-QB
---------------------	---

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S × × × × ID78K0-QB

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B 改版履歴

B.1 本版で改訂された主な箇所

(1/2)

箇所	内容
第1章 概 説	
p.16	1.3 オータ情報を変更
p.22	1.8 機能概要の低速内蔵発振クロック (WDT用) を変更
第3章 CPUアーキテクチャ	
p.58	3.3.3 テーブル・インダイレクト・アドレッシングを変更
第4章 ポート機能	
p.71	図4 - 2 P00, P03のブロック図を変更
p.86	4.3 ポート機能を制御するレジスタ (3) プルアップ抵抗オプション・レジスタ (PU0-PU2, PU3 [※] , PU12) を変更
p.86	図4 - 17 プルアップ抵抗オプション・レジスタのフォーマットの注意を変更
p.87	図4 - 18 ポート出力モード・レジスタのフォーマットの注意を変更
p.89	4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチ, プルアップ抵抗オプション・レジスタ, ポート出力モード・レジスタ設定を変更
第5章 クロック発生回路	
p.91	5.1 クロック発生回路の機能 (2) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック) を変更
p.93	図5 - 1 クロック発生回路のブロック図を変更
p.104	5.4.3 低速内蔵発振回路を変更
p.112	5.6.3 低速内蔵発振クロックの制御例を変更
第7章 8ビット・タイマ/イベント・カウンタ50, 51	
p.201	図7 - 8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマットの注意4を変更
第8章 8ビット・タイマH0, H1	
p.219	図8 - 6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマットを変更
第9章 ウォッチドッグ・タイマ	
p.243	9.4.1 ウォッチドッグ・タイマの動作制御の注意5を変更
p.243	表9 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定 (2.1 V V_{DD} 3.6 Vの場合) を変更
p.244	表9 - 4 ウォッチドッグ・タイマのオーバフロー時間の設定 (1.8 V V_{DD} < 2.1 Vの場合) を追加
p.245	表9 - 5 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定の注意2と備考を変更
第10章 シリアル・インタフェースUART6	
p.248	図10 - 1 シリアル・インタフェースUART6のブロック図を変更
第13章 スタンバイ機能	
p.298	13.1.1 スタンバイ機能の注意1を削除
p.299	図13 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマットを変更
p.300	図13 - 2 発振安定時間選択レジスタ (OSTS) のフォーマットを変更
p.305	表13 - 3 STOPモード時の動作状態に注意4を追加
第17章 オプション・バイト	
p.338	図17 - 1 オプション・バイトのフォーマット (1/2) を変更

箇所	内容
第18章 フラッシュ・メモリ	
p.341	表18-2 μ PD179F11xマイクロコントローラと専用フラッシュ・メモリ・プログラムの配線例の注を変更
p.342	図18-2 UART (UART6)方式でのフラッシュ書き込み用アダプタ配線例(30ピン製品の場合)の備考を変更
p.343	図18-3 フラッシュ・メモリにプログラムを書き込むための環境を変更
p.343	図18-4 専用フラッシュ・メモリ・プログラムとの通信(UART6)を変更
p.344	表18-3 端子接続一覧の注を変更
p.347	18.5.6 その他の信号端子を変更
p.348	図18-9 フラッシュ・メモリの操作手順を変更
p.349	図18-11 通信コマンドを変更
p.350	表18-7 フラッシュ・メモリ制御コマンドを変更
p.351	18.7 セキュリティ設定を変更
p.351	表18-9 セキュリティ機能有効時とコマンドの関係を変更
p.352	表18-10 各プログラミング・モード時のセキュリティ設定方法を変更
第20章 電気的特性	
p.367	20.2 オペレーション一覧を変更
第21章 電気的特性	
p.383	フラッシュ・メモリ・プログラミング特性 ($T_A = -40 \sim +85$, 2.0 V V_{DD} 3.6 V, $V_{SS} = 0$ V) を変更
付録A 開発ツール	
p.392	A.4.1 フラッシュ・メモリ・プログラム PG-FP4, FL-PR4, PG-FP5, FL-PR5を使用する場合を変更
p.393	A.5.1 インサーキット・エミュレータ QB-179F124を使用する場合を変更
付録B 改版履歴	
p.396	B.2 前版までの改版履歴を追加

B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの主な改版箇所	適用箇所
第2版	2.2.5 P120-P123 (Port 12) に記述を追加	第2章 端子機能
	表3 - 6 特殊機能レジスタ一覧を変更	第3章 CPUアーキテクチャ
	表4 - 2 ポートの構成を変更	第4章 ポート機能
	図4 - 14 P123のブロック図を変更	
	4.3 ポート機能を制御するレジスタに記述を追加	
	図4 - 17 プルアップ抵抗オプション・レジスタのフォーマットを変更	
	4.3 (5) リセット端子モード・レジスタ (RSTMASK) を追加	
	12.1 キー割り込みの機能に記述を追加	
	表14 - 2 各ハードウェアのリセット受け付け後の状態を変更	第14章 リセット機能
	16.1 低電圧検出回路の機能に記述を追加	第16章 低電圧検出回路
	16.6 RAM保持検出回路を追加	
	表18 - 7 フラッシュ・メモリ制御コマンドを変更	第18章 フラッシュ・メモリ
	18.7 セキュリティ設定を変更	
	18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミングを追加	
	図19 - 1 QB-MINI2との接続例 (OCD0A/X1, OCD0B/X2使用時) を変更	第19章 オンチップ・デバッグ機能
	図19 - 2 QB-MINI2との接続例 (OCD1A/P04, OCD1B/P05使用時) を変更	
第21章 電気的特性を変更	第21章 電気的特性	

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
