

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

μPD780958 マイクロコントローラ

8ビット・シングルチップ・マイクロコントローラ

μPD780957 (A)

μPD780958 (A)

資料番号 U13655JJ3V0UD00 (第3版)

発行年月 September 2008 NS

© NEC Electronics Corporation 1999, 2002

〔メモ〕

目次要約

第1章	概 説	...	26
第2章	端子機能	...	36
第3章	CPUアーキテクチャ	...	50
第4章	ポート機能	...	75
第5章	クロック発生回路	...	98
第6章	リアルタイム出力機能	...	115
第7章	16ビット・タイマ/イベント・カウンタ0	...	121
第8章	16ビット・タイマ/イベント・カウンタ2	...	150
第9章	8ビット・タイマ80-83	...	161
第10章	ウォッチドッグ・タイマ	...	170
第11章	サンプリング出力タイマ/ディテクタ	...	176
第12章	MRサンプリング機能	...	186
第13章	クロック出力制御回路	...	196
第14章	シリアル・インタフェースUART2	...	200
第15章	シリアル・インタフェースSIO3	...	216
第16章	LCDコントローラ/ドライバ	...	223
第17章	割り込み機能	...	239
第18章	スタンバイ機能	...	260
第19章	リセット機能	...	263
第20章	μPD78F0958 (参考)	...	267
第21章	命令セットの概要	...	273
第22章	サブHALTテスト・プログラム	...	288
第23章	電気的特性	...	290
第24章	外形図	...	299
第25章	半田付け推奨条件	...	300
付録A	開発ツール	...	301
付録B	ターゲット・システム設計上の注意	...	309
付録C	レジスタ索引	...	311
付録D	改版履歴	...	317

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年9月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

〔メモ〕

[メモ]

〔メモ〕

はじめに

対象者 このマニュアルは、 μ PD780958マイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

μ PD780958マイクロコントローラ： μ PD780957(A), 780958(A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780958マイクロコントローラのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

μ PD780958マイクロコントローラ ユーザーズ・マニュアル (このマニュアル)	78K/0シリーズ ユーザーズ・マニュアル 命令編
--	---------------------------------

- | | |
|---|---|
| <ul style="list-style-type: none">・ 端子機能・ 内部ブロック機能・ 割り込み機能・ その他の内蔵周辺機能・ 電気的特性 | <ul style="list-style-type: none">・ CPU機能・ 命令セット・ 命令の説明 |
|---|---|

読み方 このマニュアルを読むに当たっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。
この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義されているものです。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{x \times x}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気を付けて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... $x \times x \times x$ または $x \times x \times B$ 10進数... $x \times x \times x$ 16進数... $x \times x \times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD780958マイクロコントローラ ユーザーズ・マニュアル	このマニュアル	U13655E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
SM+ システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
ID78K0-NS Ver.2.70 統合ディバッガ	操作編	U17729J	U17729E
PM+ Ver.6.00	U17178J	U17178E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-78K0-NS-PA パフォーマンス・ボード	U16109J	U16109E
IE-780958-NS-EM4 エミュレーション・ボード	U16266J	U16266E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U18865J	U18865E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	26
1.1 特 徴 ...	26
1.2 応用分野 ...	27
1.3 オータ情報 ...	27
1.4 品質水準 ...	27
1.5 端子接続図 (Top View) ...	28
1.6 78K0マイクロコントローラの展開 ...	30
1.7 ブロック図 ...	33
1.8 機能概要 ...	34
第2章 端子機能 ...	36
2.1 端子機能一覧 ...	36
2.2 端子機能の説明 ...	40
2.3 端子の入出力回路と未使用端子の処理 ...	47
第3章 CPUアーキテクチャ ...	50
3.1 メモリ空間 ...	50
3.1.1 内部プログラム・メモリ空間 ...	52
3.1.2 内部データ・メモリ空間 ...	53
3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ...	53
3.1.4 データ・メモリ・アドレッシング ...	54
3.2 プロセッサ・レジスタ ...	56
3.2.1 制御レジスタ ...	56
3.2.2 汎用レジスタ ...	58
3.2.3 特殊機能レジスタ (SFR : Special Function Register) ...	60
3.3 命令アドレスのアドレッシング ...	64
3.3.1 レラティブ・アドレッシング ...	64
3.3.2 イミーディエト・アドレッシング ...	65
3.3.3 テーブル・インダイレクト・アドレッシング ...	66
3.3.4 レジスタ・アドレッシング ...	66
3.4 オペランド・アドレスのアドレッシング ...	67
3.4.1 インプライド・アドレッシング ...	67
3.4.2 レジスタ・アドレッシング ...	68
3.4.3 ダイレクト・アドレッシング ...	69
3.4.4 ショート・ダイレクト・アドレッシング ...	70
3.4.5 特殊機能レジスタ (SFR) アドレッシング ...	71
3.4.6 レジスタ・インダイレクト・アドレッシング ...	72
3.4.7 ベースト・アドレッシング ...	73
3.4.8 ベースト・インデクスト・アドレッシング ...	74
3.4.9 スタック・アドレッシング ...	74

第4章 ポート機能 ... 75

- 4.1 ポートの機能 ... 75
- 4.2 ポートの構成 ... 77
 - 4.2.1 ポート0 ... 77
 - 4.2.2 ポート2 ... 79
 - 4.2.3 ポート3 ... 81
 - 4.2.4 ポート4 ... 84
 - 4.2.5 ポート5 ... 85
 - 4.2.6 ポート6 ... 87
 - 4.2.7 ポート7 ... 89
 - 4.2.8 ポート8 ... 90
 - 4.2.9 ポート9 ... 91
- 4.3 ポート機能を制御するレジスタ ... 92
- 4.4 ポート機能の動作 ... 96
 - 4.4.1 入出力ポートへの書き込み ... 96
 - 4.4.2 入出力ポートからの読み出し ... 96
 - 4.4.3 入出力ポートでの演算 ... 96
- 4.5 マスク・オプションの選択 ... 97

第5章 クロック発生回路 ... 98

- 5.1 クロック発生回路の機能 ... 98
- 5.2 クロック発生回路の構成 ... 98
- 5.3 クロック発生回路を制御するレジスタ ... 101
- 5.4 メイン・システム・クロック発振回路 ... 103
 - 5.4.1 メイン・システム・クロック発振回路 ... 103
 - 5.4.2 サブシステム・クロック1発振回路 ... 106
 - 5.4.3 分周回路 ... 108
 - 5.4.4 サブシステム・クロック2発振回路 ... 108
- 5.5 クロック発生回路の動作 ... 111
 - 5.5.1 メイン・システム・クロックの動作 ... 112
 - 5.5.2 サブシステム・クロック1の動作 ... 112
- 5.6 システム・クロックとCPUクロックの設定の変更 ... 113
 - 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間 ... 113
 - 5.6.2 システム・クロックとCPUクロックの切り替え手順 ... 114

第6章 リアルタイム出力機能 ... 115

- 6.1 機能 ... 115
- 6.2 構成 ... 115
- 6.3 制御レジスタ ... 117
- 6.4 リアルタイム出力の動作 ... 118
- 6.5 注意事項 ... 120

第7章 16ビット・タイマ/イベント・カウンタ0 ... 121

- 7.1 16ビット・タイマ/イベント・カウンタ0の概要 ... 121
- 7.2 16ビット・タイマ/イベント・カウンタ0の機能 ... 121

7.3	16ビット・タイマ/イベント・カウンタ0の構成	...	123
7.4	16ビット・タイマ/イベント・カウンタ0を制御するレジスタ	...	126
7.5	16ビット・タイマ/イベント・カウンタ0の動作	...	132
7.5.1	インターバル・タイマとしての動作	...	132
7.5.2	PPG出力としての動作	...	134
7.5.3	パルス幅測定としての動作	...	136
7.5.4	外部イベント・カウンタとしての動作	...	143
7.5.5	方形波出力としての動作	...	145
7.6	注意事項	...	146
第8章 16ビット・タイマ/イベント・カウンタ2 ... 150			
8.1	16ビット・タイマ/イベント・カウンタ2の概要	...	150
8.2	16ビット・タイマ/イベント・カウンタ2の機能	...	150
8.3	16ビット・タイマ/イベント・カウンタ2の構成	...	150
8.4	16ビット・タイマ/イベント・カウンタ2を制御するレジスタ	...	152
8.5	16ビット・タイマ/イベント・カウンタ2の動作	...	154
8.5.1	インターバル・タイマとしての動作	...	154
8.5.2	外部イベント・カウンタとしての動作	...	157
8.5.3	外部イベント・カウンタの入力制御の動作	...	158
8.6	注意事項	...	159
第9章 8ビット・タイマ80-83 ... 161			
9.1	8ビット・タイマ80-83の概要	...	161
9.2	8ビット・タイマ80-83の機能	...	161
9.3	8ビット・タイマ80-83の構成	...	161
9.4	8ビット・タイマ80-83を制御するレジスタ	...	163
9.5	8ビット・タイマ80-83の動作	...	166
9.6	注意事項	...	169
第10章 ウォッチドッグ・タイマ ... 170			
10.1	ウォッチドッグ・タイマの概要	...	170
10.2	ウォッチドッグ・タイマの機能	...	170
10.3	ウォッチドッグ・タイマの構成	...	171
10.4	ウォッチドッグ・タイマを制御するレジスタ	...	172
10.5	ウォッチドッグ・タイマの動作	...	174
10.5.1	ウォッチドッグ・タイマとしての動作	...	174
10.5.2	インターバル・タイマとしての動作	...	175
第11章 サンプリング出力タイマ/ディテクタ ... 176			
11.1	サンプリング出力タイマ/ディテクタの概要	...	176
11.2	サンプリング出力タイマ/ディテクタの機能	...	176
11.3	サンプリング出力タイマ/ディテクタの構成	...	176
11.4	サンプリング出力タイマ/ディテクタを制御するレジスタ	...	179

第12章	MRサンプリング機能	...	186
12.1	MRサンプリング機能の概要	...	186
12.2	MRサンプリングの機能	...	186
12.3	MRサンプリングの構成	...	188
12.4	MRサンプリングを制御するレジスタ	...	189
12.5	MRサンプリング出力回路の動作	...	192
12.6	位相検出回路の動作	...	193
12.7	注意事項	...	195
第13章	クロック出力制御回路	...	196
13.1	クロック出力制御回路の機能	...	196
13.2	クロック出力制御回路の構成	...	197
13.3	クロック出力機能を制御するレジスタ	...	198
第14章	シリアル・インタフェースUART2	...	200
14.1	シリアル・インタフェースUART2の機能	...	200
14.2	シリアル・インタフェースUART2の構成	...	202
14.3	シリアル・インタフェースUART2を制御するレジスタ	...	204
第15章	シリアル・インタフェースSIO3	...	216
15.1	シリアル・インタフェースSIO3の機能	...	216
15.2	シリアル・インタフェースSIO3の構成	...	217
15.3	シリアル・インタフェースSIO3を制御するレジスタ	...	218
15.4	シリアル・インタフェースSIO3の動作	...	220
15.4.1	動作停止モード	...	220
15.4.2	3線式シリアルI/Oモード	...	220
第16章	LCDコントローラ/ドライバ	...	223
16.1	LCDコントローラ/ドライバの機能	...	223
16.2	LCDコントローラ/ドライバの構成	...	225
16.3	LCDコントローラ/ドライバを制御するレジスタ	...	226
16.4	LCDコントローラ/ドライバの設定	...	228
16.5	LCD表示データ・メモリ	...	228
16.6	コモン信号とセグメント信号	...	229
16.7	LCD駆動電圧 V_{LC1} , V_{LC2} の供給	...	232
16.8	表示モード	...	233
16.8.1	スタティック表示例	...	233
16.8.2	3時分割表示例	...	236
第17章	割り込み機能	...	239
17.1	割り込み機能の種類	...	239
17.2	割り込み要因と構成	...	239
17.3	割り込み機能を制御するレジスタ	...	243
17.4	割り込み処理動作	...	250

17.4.1	ノンマスカブル割り込み要求の受け付け動作	...	250
17.4.2	マスカブル割り込み要求の受け付け動作	...	253
17.4.3	ソフトウェア割り込み要求の受け付け動作	...	255
17.4.4	多重割り込み処理	...	256
17.4.5	割り込み要求の保留	...	259
第18章	スタンバイ機能	...	260
18.1	スタンバイ機能と構成	...	260
18.2	スタンバイ機能の動作	...	261
18.2.1	HALTモードの設定および動作状態	...	261
18.2.2	HALTモードの解除	...	261
第19章	リセット機能	...	263
第20章	μPD78F0958 (参考)	...	267
20.1	メモリ・サイズ切り替えレジスタ	...	268
20.2	内部拡張RAMサイズ切り替えレジスタ	...	269
20.3	フラッシュ・メモリ・プログラミング	...	270
20.3.1	通信方式の選択	...	270
20.3.2	フラッシュ・メモリ・プログラミングの機能	...	271
20.3.3	専用フラッシュ・メモリ・プログラマの接続	...	272
第21章	命令セットの概要	...	273
21.1	凡例	...	274
21.1.1	オペランドの表現形式と記述方法	...	274
21.1.2	オペレーション欄の説明	...	275
21.1.3	フラグ動作欄の説明	...	275
21.2	オペレーション一覧	...	276
21.3	アドレッシング別命令一覧	...	284
第22章	サブHALTテスト・プログラム	...	288
22.1	サブHALTテスト・プログラム概要	...	288
22.2	サブHALTテスト・プログラムのフロー・チャート	...	288
22.3	確認票	...	289
第23章	電気的特性	...	290
第24章	外形図	...	299
第25章	半田付け推奨条件	...	300
付録A	開発ツール	...	301
A.1	ソフトウェア・パッケージ	...	303

A. 2	言語処理用ソフトウェア	...	304	
A. 3	制御ソフトウェア	...	305	
A. 4	フラッシュ・メモリ書き込み用ツール	...	305	
A. 5	ディバグ用ツール(ハードウェア)	...	306	
A. 5. 1	インサーキット・エミュレータ	IE-78K0-NS, IE-78K0-NS-Aを使用する場合	...	306
A. 6	ディバグ用ツール(ソフトウェア)	...	307	
A. 7	変換アダプタ(TGC-100SDW)の外形図	...	38	
付録B	ターゲット・システム設計上の注意	...	309	
付録C	レジスタ索引	...	311	
C. 1	レジスタ索引(50音順)	...	311	
C. 2	レジスタ索引(アルファベット順)	...	314	
付録D	改版履歴	...	317	
D. 1	本版で改訂された主な箇所	...	317	
D. 2	前版までの改版履歴	...	318	

図の目次 (1/6)

図番号	タイトル, ページ
2 - 1	CAPH, CAPLの推奨接続例 (3時分割バイアス・モード) ... 45
2 - 2	VLC1, VLC2の推奨接続例 (3時分割バイアス・モード) ... 45
2 - 3	VRout0, VRout1の接続例 ... 46
2 - 4	端子の入出力回路一覧 ... 48
3 - 1	メモリ・マップ (μ PD780957(A)) ... 50
3 - 2	メモリ・マップ (μ PD780958(A)) ... 51
3 - 3	データ・メモリのアドレッシング (μ PD780957(A)) ... 54
3 - 4	データ・メモリのアドレッシング (μ PD780958(A)) ... 55
3 - 5	プログラム・カウンタの構成 ... 56
3 - 6	プログラム・ステータス・ワードの構成 ... 56
3 - 7	スタック・ポインタの構成 ... 57
3 - 8	スタック・メモリへ退避されるデータ ... 58
3 - 9	スタック・メモリから復帰されるデータ ... 58
3 - 10	汎用レジスタの構成 ... 59
4 - 1	ポートの構成 ... 75
4 - 2	P00-P06のブロック図 ... 78
4 - 3	P20, P21のブロック図 ... 79
4 - 4	P22-P27のブロック図 ... 80
4 - 5	P30, P32, P35のブロック図 ... 81
4 - 6	P31, P37のブロック図 ... 82
4 - 7	P33, P34, P36のブロック図 ... 83
4 - 8	P40-P47のブロック図 ... 84
4 - 9	P50-P55のブロック図 ... 85
4 - 10	P56, P57のブロック図 ... 86
4 - 11	P60-P62のブロック図 ... 87
4 - 12	P63-P67のブロック図 ... 88
4 - 13	P70-P77のブロック図 ... 89
4 - 14	P80-P87のブロック図 ... 90
4 - 15	P90-P95のブロック図 ... 91
4 - 16	ポート・モード・レジスタ (PM0, PM2-PM9) のフォーマット ... 93
4 - 17	プルアップ抵抗オプション・レジスタ (PU0, PU2-PU9) のフォーマット ... 94
4 - 18	ポート・ファンクション制御レジスタ (PF7-PF9) のフォーマット ... 95
5 - 1	クロック発生回路のブロック図 ... 99
5 - 2	プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット ... 101
5 - 3	SUB2クロック・コントロール・レジスタ (CKC) のフォーマット ... 102
5 - 4	メイン・システム・クロック発振回路の外付け回路 ... 103

図の目次 (2/6)

図番号	タイトル, ページ
5 - 5	発振子の接続の悪い例 ... 104
5 - 6	サブシステム・クロック1発振回路の外付け回路 ... 106
5 - 7	発振子の接続の悪い例 ... 106
5 - 8	サブシステム・クロック2発振回路の外付け回路 ... 108
5 - 9	発振子の接続の悪い例 ... 109
5 - 10	メイン・システム・クロックの停止機能 (メイン・システム・クロック動作時にCSSをセットしたあと, MCCをセットしたときの動作) ... 112
5 - 11	システム・クロックとCPUクロックの切り替え ... 114
6 - 1	リアルタイム出力ポート1 (RTO1) のブロック図 ... 116
6 - 2	RTOデータ・レジスタ10, 11 (RTO10, RTO11) の構成 ... 116
6 - 3	RTO動作モード・レジスタ1 (RTM1) のフォーマット ... 117
6 - 4	リアルタイム出力のタイミング例 ... 119
7 - 1	16ビット・タイマ/イベント・カウンタ0のブロック図 ... 122
7 - 2	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット ... 127
7 - 3	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット ... 128
7 - 4	16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット ... 129
7 - 5	プリスケラ・モード・レジスタ0 (PRM0) のフォーマット ... 130
7 - 6	ポート・モード・レジスタ3 (PM3) のフォーマット ... 131
7 - 7	インターバル・タイマ動作時の制御レジスタ設定内容 ... 132
7 - 8	インターバル・タイマの構成図 ... 133
7 - 9	インターバル・タイマ動作のタイミング ... 133
7 - 10	PPG出力動作時の制御レジスタ設定内容 ... 134
7 - 11	PPG出力の構成図 ... 135
7 - 12	PPG出力動作のタイミング ... 135
7 - 13	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 136
7 - 14	フリーランニング・カウンタによるパルス幅測定の構成図 ... 137
7 - 15	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 137
7 - 16	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 138
7 - 17	立ち上がりエッジ指定時のCR01キャプチャ動作 ... 139
7 - 18	フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 139
7 - 19	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 140
7 - 20	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 141
7 - 21	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 142

図の目次 (3/6)

図番号	タイトル, ページ
7 - 22	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 142
7 - 23	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 143
7 - 24	外部イベント・カウンタの構成図 ... 144
7 - 25	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 144
7 - 26	方形波出力モード時の制御レジスタ設定内容 ... 145
7 - 27	方形波出力動作のタイミング ... 145
7 - 28	16ビット・タイマ・カウンタ0のスタート・タイミング ... 146
7 - 29	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 146
7 - 30	キャプチャ・レジスタのデータ保持タイミング ... 147
7 - 31	OVF0フラグの動作タイミング ... 148
8 - 1	16ビット・タイマ/イベント・カウンタ2のブロック図 ... 151
8 - 2	タイマ・モード・コントロール・レジスタ2 (TMC2) のフォーマット ... 152
8 - 3	タイマ入力制御レジスタ2 (TICT2) のフォーマット ... 153
8 - 4	インターバル・タイマ動作のタイミング (内部クロック使用時) ... 155
8 - 5	外部イベント・カウンタ・モード時の制御レジスタの設定内容 ... 157
8 - 6	外部イベント・カウンタの構成図 ... 157
8 - 7	外部イベント・カウンタ動作のタイミング ... 158
8 - 8	16ビット・タイマ・カウンタ2 (TM2) のスタート・タイミング ... 159
9 - 1	8ビット・タイマ80-83のブロック図 ... 162
9 - 2	8ビット・タイマ・コントロール・レジスタ80 (TMC80) のフォーマット ... 163
9 - 3	8ビット・タイマ・コントロール・レジスタ81 (TMC81) のフォーマット ... 164
9 - 4	8ビット・タイマ・コントロール・レジスタ82 (TMC82) のフォーマット ... 164
9 - 5	8ビット・タイマ・コントロール・レジスタ83 (TMC83) のフォーマット ... 165
9 - 6	インターバル・タイマ動作のタイミング ... 167
9 - 7	8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミング ... 169
10 - 1	ウォッチドッグ・タイマのブロック図 ... 171
10 - 2	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット ... 172
10 - 3	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット ... 173
11 - 1	サンプリング出力タイマ/ディテクタのブロック図 ... 178
11 - 2	SMTDクロック選択レジスタA0 (TCSA0) のフォーマット ... 180
11 - 3	SMTDクロック選択レジスタB0 (TCSB0) のフォーマット ... 180
11 - 4	SMTDコントロール・レジスタ0 (TSM0) のフォーマット ... 181
11 - 5	SMTDサンプリング・レベル設定レジスタ0 (SMS0) のフォーマット ... 183
11 - 6	SMTDサンプリング端子状態レジスタ0 (SMD0) のフォーマット ... 183
11 - 7	SMO0出力タイミング図 ... 184

図の目次 (4/6)

図番号	タイトル, ページ
11 - 8	サンプリング検出のタイミング図 ... 185
12 - 1	MRサンプリングのブロック図 ... 187
12 - 2	MRTDコントロール・レジスタ0 (TCM0) のフォーマット ... 189
12 - 3	MRTD出力制御レジスタ0 (TMM0) のフォーマット ... 190
12 - 4	MRサンプリング制御レジスタ0 (MRM0) のフォーマット ... 191
12 - 5	MRO0/MRI0出力のタイミング図 ... 192
12 - 6	位相検出回路のタイミング例 ... 194
13 - 1	クロック出力制御回路のブロック図 ... 197
13 - 2	クロック出力選択レジスタ (CKS) のフォーマット ... 198
13 - 3	ポート・モード・レジスタ3 (PM3) のフォーマット ... 199
14 - 1	シリアル・インタフェースUART2のブロック図 ... 201
14 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のフォーマット ... 205
14 - 3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) のフォーマット ... 206
14 - 4	アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) のフォーマット ... 207
14 - 5	UART端子切り替えレジスタ (UTCH0) のフォーマット ... 208
14 - 6	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット(正論理) ... 210
14 - 7	アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング ... 212
14 - 8	アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング ... 213
14 - 9	受信エラー・タイミング ... 214
14 - 10	RXE2をクリア (0) にするタイミング (UART2受信) ... 215
15 - 1	シリアル・インタフェースSIO3のブロック図 ... 216
15 - 2	シリアル動作モード・レジスタ3 (CSIM3) のフォーマット ... 219
15 - 3	シリアル動作モード・レジスタ3 (CSIM3) のフォーマット (動作停止モード) ... 220
15 - 4	シリアル動作モード・レジスタ3 (CSIM3) のフォーマット (3線式シリアルI/Oモード) ... 221
15 - 5	3線式シリアルI/Oモードのタイミング ... 222
16 - 1	LCDコントローラ/ドライバのブロック図 ... 224
16 - 2	LCDクロック選択回路のブロック図 ... 225
16 - 3	LCD表示モード・レジスタ0 (LCDM0) のフォーマット ... 226
16 - 4	LCDクロック制御レジスタ0 (LCDC0) のフォーマット ... 227
16 - 5	ポート・ファンクション制御レジスタ7-9 (PF7-PF9) のフォーマット ... 227
16 - 6	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 ... 228

図の目次 (5/6)

図番号	タイトル, ページ
16 - 7	コモン信号波形 ... 230
16 - 8	コモン信号とセグメント信号の電圧と位相 ... 231
16 - 9	LCD駆動用電源の接続例 ... 232
16 - 10	スタティックLCDの表示パターンと電極結線 ... 233
16 - 11	スタティックLCDパネルの結線例 ... 234
16 - 12	スタティックLCD駆動波形例 ... 235
16 - 13	3時分割LCD表示パターンと電極結線 ... 236
16 - 14	3時分割LCDパネルの結線例 ... 237
16 - 15	3時分割LCD駆動波形例 (1/3バイアス法) ... 238
17 - 1	割り込み機能の基本構成 ... 241
17 - 2	割り込み要求フラグ・レジスタのフォーマット ... 245
17 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 246
17 - 4	優先順位指定フラグ・レジスタのフォーマット ... 247
17 - 5	外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット ... 248
17 - 6	プログラム・ステータス・ワードの構成 ... 249
17 - 7	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 251
17 - 8	ノンマスクابل割り込み要求の受け付けタイミング ... 251
17 - 9	ノンマスクابل割り込み要求の受け付け動作 ... 252
17 - 10	割り込み要求の受け付け処理アルゴリズム ... 254
17 - 11	割り込み要求の受け付けタイミング (最小時間) ... 255
17 - 12	割り込み要求の受け付けタイミング (最大時間) ... 255
17 - 13	多重割り込みの例 ... 257
17 - 14	割り込み要求の保留 ... 259
18 - 1	スタンバイ機能 ... 260
18 - 2	HALTモードの割り込み要求発生による解除 ... 261
18 - 3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 ... 262
19 - 1	リセット機能のブロック図 ... 263
19 - 2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 264
19 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 264
19 - 4	電源投入時のリセット・タイミング ... 264
20 - 1	メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 268
20 - 2	内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット ... 269
20 - 3	通信方式選択フォーマット ... 271
20 - 4	3線式シリアルI/O (SIO3) 方式での専用フラッシュ・メモリ・プログラムの接続 ... 272

図の目次 (6/6)

図番号	タイトル, ページ
20 - 5	UART (UART2) 方式での専用フラッシュ・メモリ・プログラムの接続 ... 272
A - 1	開発ツール構成 ... 302
A - 2	TGC-100SDW 外形図 (参考) (単位: mm) ... 308
B - 1	インサーキット・エミュレータ~変換アダプタまでの距離 (1) ... 309
B - 2	インサーキット・エミュレータ~変換アダプタまでの距離 (2) ... 310
B - 3	ターゲット・システムの接続条件 ... 310

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプ ... 47
3 - 1	内部メモリ容量 ... 52
3 - 2	ベクタ・テーブル・アドレス ... 52
3 - 3	特殊機能レジスタ (SFR) 一覧 ... 61
4 - 1	ポートの機能 ... 76
4 - 2	ポートの構成 ... 77
4 - 3	ポート6のプルアップ抵抗 ... 87
4 - 4	マスクROM製品のマスク・オプション ... 97
5 - 1	クロック発生回路の構成 ... 98
5 - 2	各周辺ハードウェアへ供給されるシステム・クロック ... 100
5 - 3	CPUクロックと最小命令実行時間の関係 ... 102
5 - 4	CPUクロックの切り替えに要する最大時間 ... 113
6 - 1	リアルタイム出力ポートの構成 ... 115
7 - 1	16ビット・タイマ/イベント・カウンタ0の構成 ... 123
7 - 2	TI00/TO0/P31端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ ... 124
7 - 3	TI01/P30端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ ... 124
8 - 1	16ビット・タイマ/イベント・カウンタ2の構成 ... 150
9 - 1	8ビット・タイマ80-83の構成 ... 161
9 - 2	TM80-TM83のカウント・クロックの値 ... 162
10 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 170
10 - 2	インターバル時間 ... 171
10 - 3	ウォッチドッグ・タイマの構成 ... 171
10 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 174
10 - 5	インターバル・タイマのインターバル時間 ... 175
12 - 1	MRサンプリングの構成 ... 188
13 - 1	クロック出力制御回路の構成 ... 197
14 - 1	シリアル・インタフェースUART2の構成 ... 202

表の目次 (2/2)

表番号	タイトル, ページ
14 - 2	ポー・レート・ジェネレータ / カウンタの入力選択クロックとポー・レートの関係の例 ... 209
14 - 3	受信エラーの要因 ... 214
15 - 1	シリアル・インタフェースSIO3の構成 ... 217
16 - 1	最大表示画素数 ... 223
16 - 2	LCDコントローラ / ドライバの構成 ... 225
16 - 3	COM信号 ... 229
16 - 4	選択, 非選択電圧 (COM0) ... 233
16 - 5	選択, 非選択電圧 (COM0-COM2) ... 236
17 - 1	割り込み要因一覧 ... 240
17 - 2	割り込み要求ソースに対する各フラグ ... 244
17 - 3	マスカブル割り込み要求発生から処理までの時間 ... 253
17 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 256
18 - 1	HALTモード時の動作状態 ... 261
18 - 2	HALTモードの解除後の動作 ... 262
19 - 1	各ハードウェアのリセット後の状態 ... 265
20 - 1	μPD78F0958とマスクROM製品の違い ... 267
20 - 2	メモリ・サイズ切り替えレジスタの設定値 ... 268
20 - 3	通信方式一覧 ... 270
20 - 4	フラッシュ・メモリ・プログラミングの主な機能 ... 271
21 - 1	オペランドの表現形式と記述方法 ... 274
25 - 1	表面実装タイプの半田付け条件 ... 300
B - 1	インサーキット・エミュレータ～変換アダプタまでの距離 ... 309

第1章 概 説

1.1 特 徴

78K0マイクロコントローラ（8ビットCPUコア）

メイン・システム・クロック：RC発振

最小命令実行時間：1.7 μ s（メイン・システム・クロック：1.2 MHz動作時）

61 μ s（サブシステム・クロック1：32.768 kHz動作時）

制御用途に適する命令セット

割り込みコントローラ

- ・ベクタ割り込み処理

スタンバイ機能

- ・HALTモード

内部メモリ：マスクROM 48 Kバイト（ μ PD780957(A)）

60 Kバイト（ μ PD780958(A)）

RAM 2048バイト（ μ PD780957(A), 780958(A)）

I/Oポート（セグメント信号出力兼用端子を含む）：69本

- ・ソフトウェア・プログラマブル・プルアップ : 66本

- ・マスク・オプション・プルアップ : 3本

LCDコントローラ/ドライバ

リアルタイム出力機能：4ビット分解能×4チャンネル

MRサンプリング機能：1チャンネル（MRサンプリング機能未使用時：8ビット・タイマとして使用可）

タイマ：7チャンネル

- ・16ビット・タイマ/イベント・カウンタ：2チャンネル

- ・8ビット・タイマ : 4チャンネル

- ・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース：2チャンネル

- ・UARTモード（端子切り替え機能付き） : 1チャンネル（サブシステム・クロック1, 2で通信可能）

- ・3線式シリアルI/Oモード : 1チャンネル

サンプリング出力タイマ/ディテクタ：1チャンネル

（サンプリング出力タイマ/ディテクタ未使用時：8ビット・タイマ（×2チャンネル）として使用可）

電源電圧：V_{DD} = 2.2 ~ 3.5 V

1.2 応用分野

工業用メータ制御など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD780957GC(A)-x x x-8EU	100ピン・プラスチックLQFP (ファインピッチ)(14x14)	マスクROM
μ PD780958GC(A)-x x x-8EU	"	"

備考 x x xはROMコード番号です。

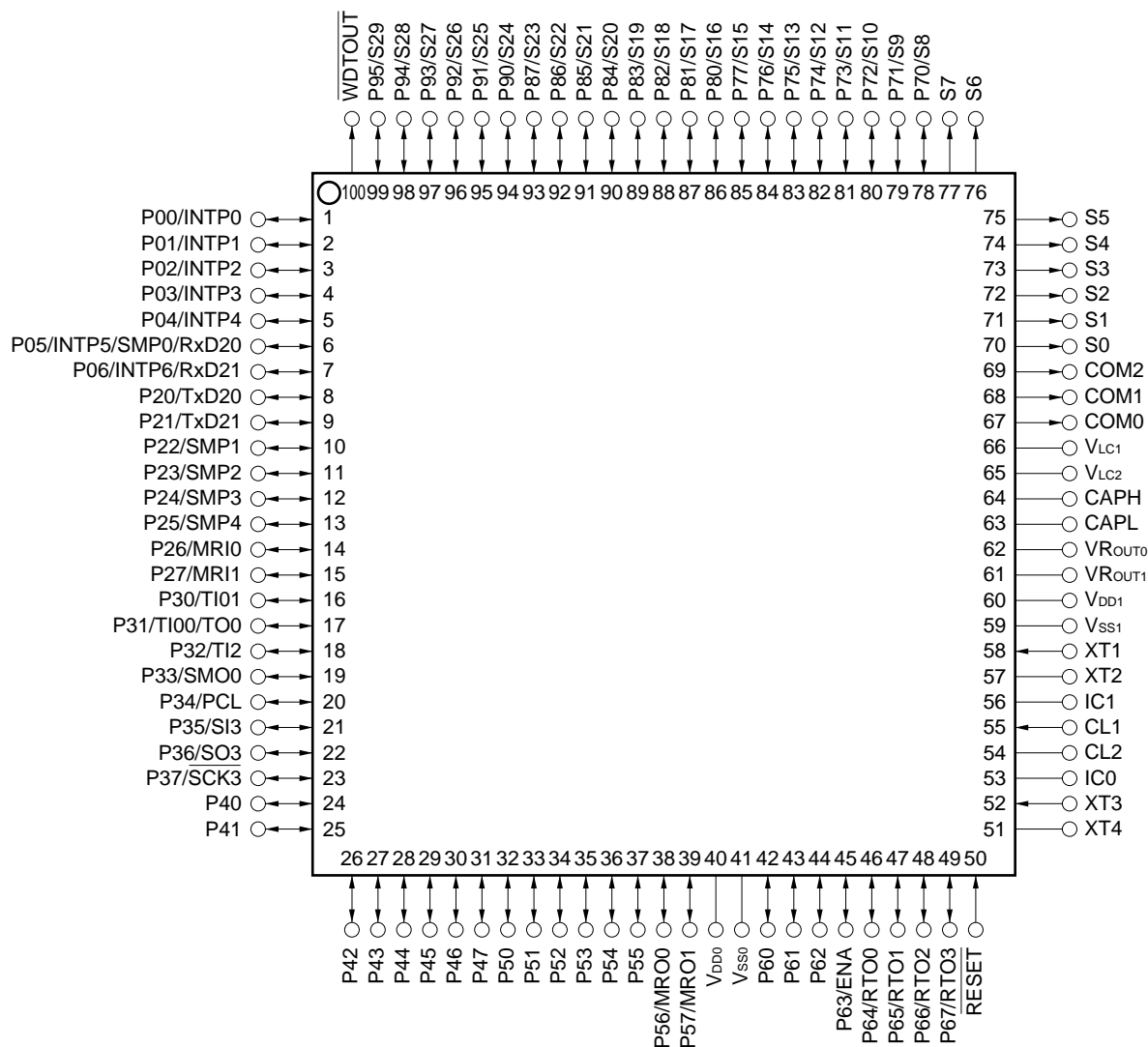
1.4 品質水準

特別(高信頼度電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

- ・ 100ピン・プラスチックLQFP (ファインピッチ) (14x14)
- μPD780957GC(A)-x x x-8EU, 780958GC(A)-x x x-8EU



注意 IC0, IC1端子は、V_{SS0}またはV_{SS1}端子に直接接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策をすることを推奨します。

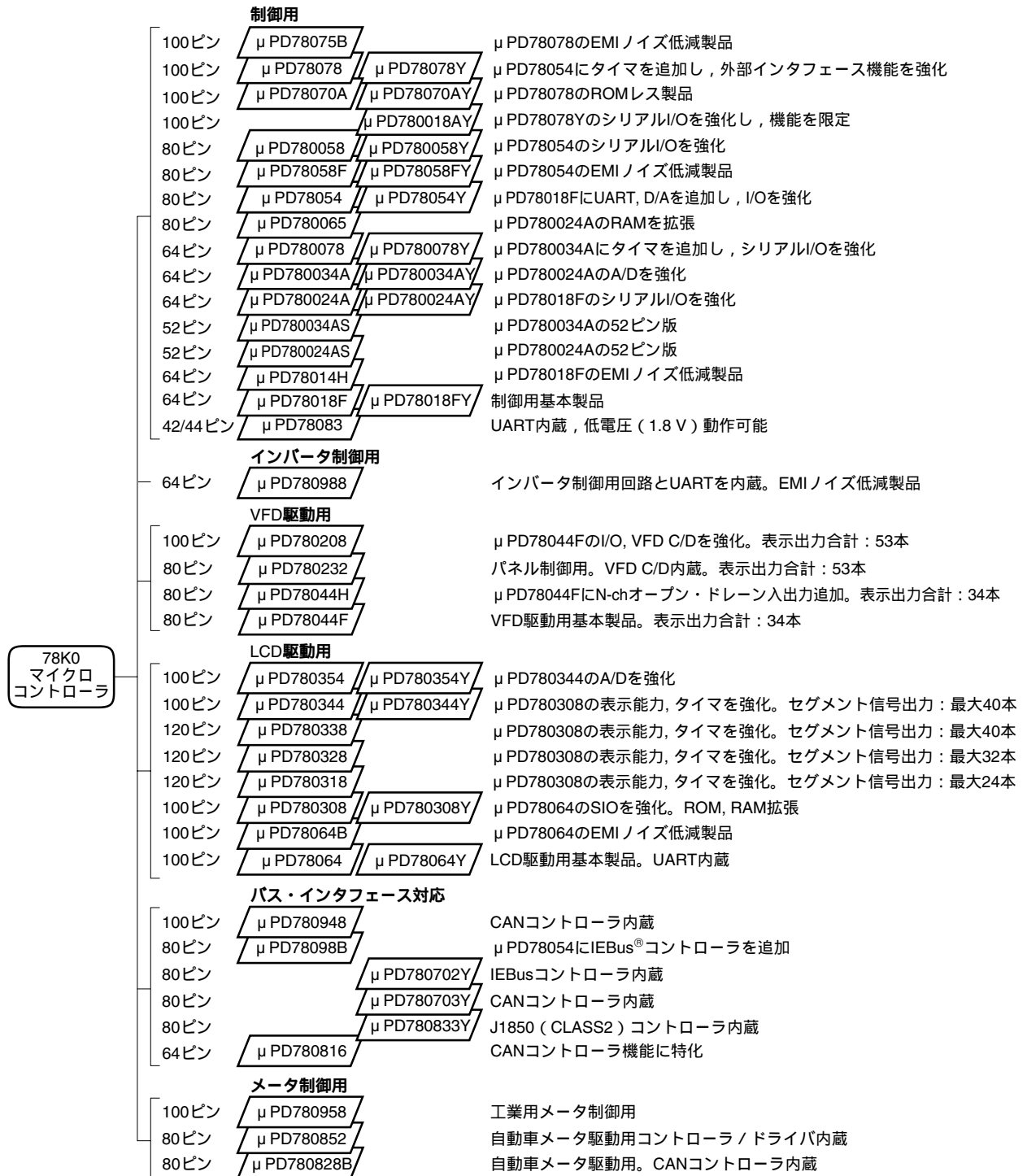
CAPH, CAPL	: Capacitor (for LCD)	$\overline{\text{RESET}}$: Reset
CL1, CL2	: RC Oscillator	RTO0-RTO3	: Real-Time Output Port
COM0-COM2	: Common Output	RxD20, RxD21	: Receive Data
ENA	: Enable	$\overline{\text{SCK3}}$: Serial Clock
IC0, IC1	: Internally Connected	SI3	: Serial Input
INTP0-INTP6	: External Interrupt Input	SMP0-SMP4	: Sampling Input
MRI0, MRI1	: MR Sampling Input	SMO0	: Sampling Output
MRO0, MRO1	: MR Sampling Output	SO3	: Serial Output
P00-P06	: Port0	S0-S29	: Segment Output
P20-P27	: Port2	TI00, TI01, TI2	: Timer Input
P30-P37	: Port3	TO0	: Timer Output
P40-P47	: Port4	TxD20, TxD21	: Transmit Data
P50-P57	: Port5	V _{DD0} , V _{DD1}	: Power Supply
P60-P67	: Port6	V _{LC1} , V _{LC2}	: Power Supply (for LCD)
P70-P77	: Port7	V _{ROUT0} , V _{ROUT1}	: Capacitor (for Regulator)
P80-P87	: Port8	V _{SS0} , V _{SS1}	: Ground
P90-P95	: Port9	$\overline{\text{WDTOUT}}$: Watchdog Timer Output
PCL	: Programmable Clock	XT1, XT2	: Crystal (Subsystem Clock1)
		XT3, XT4	: Crystal (Subsystem Clock2)

1.6 78K0マイクロコントローラの展開

78K0マイクロコントローラの製品展開を次に示します。枠内は代表品名です。



Y品は、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各製品間の主な機能の違いを次に示します。

・Yなし品

機 能 代表品名	ROM容量 (バイト)	タ イ マ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張				
		8-bit	16-bit	時計	WDT	A/D	A/D	D/A								
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	88本	1.8 V				
	μ PD78078	48 K-60 K									61本	2.7 V				
	μ PD78070A	-														
	μ PD780058	24 K-60 K	2ch						3ch (時分割 UART : 1ch)	68本	1.8 V					
	μ PD78058F	48 K-60 K								69本	2.7 V					
	μ PD78054	16 K-60 K										2.0 V				
	μ PD780065	40 K-48 K								-	4ch (UART : 1ch)			60本	2.7 V	
	μ PD780078	48 K-60 K										2ch		-	8ch	3ch (UART : 2ch)
	μ PD780034A	8 K-32 K								1ch	-					
	μ PD780024A											-		4ch	-	39本
	μ PD780034AS									4ch	-					
	μ PD780024AS											8ch		-	-	2ch
	μ PD78014H									8ch	-					
	μ PD78018F	8 K-60 K										-		-	-	-
μ PD78083	8 K-16 K	-								-	-		-			
インバ ータ制 御用	μ PD780988											16 K-60 K		3ch	注	-
	VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-		
μ PD780232		16 K-24 K	3ch	-	-		4ch				40本	4.5 V				
μ PD78044H		32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V				
μ PD78044F		16 K-40 K								2ch						
LCD駆 動用	μ PD780354	24 K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	3ch (UART : 1ch)	66本	1.8 V	-			
	μ PD780344						8ch	-								
	μ PD780338	48 K-60 K	3ch	2ch			-	10ch	1ch	2ch (UART : 1ch)	54本					
	μ PD780328										62本					
	μ PD780318										70本					
	μ PD780308	48 K-60 K	2ch	1ch			8ch	-	-	3ch (時分割 UART : 1ch)	57本	2.0 V				
	μ PD78064B	32 K												2ch (UART : 1ch)		
μ PD78064	16 K-32 K															
バス・イ ンタフェ ース対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	-	-	3ch (UART : 1ch)	79本	4.0 V				
	μ PD78098B	40 K-60 K		1ch							2ch	69本		2.7 V		
	μ PD780816	32 K-60 K		2ch								12ch		-	2ch (UART : 1ch)	46本
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	-	1ch	-	-	-	2ch (UART : 1ch)	69本	2.2 V	-			
ダッシュボ ード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	-	-	3ch (UART : 1ch)	56本	4.0 V	-			
	μ PD780828B	32 K-60K									59本					

注 16ビット・タイマ：2チャンネル

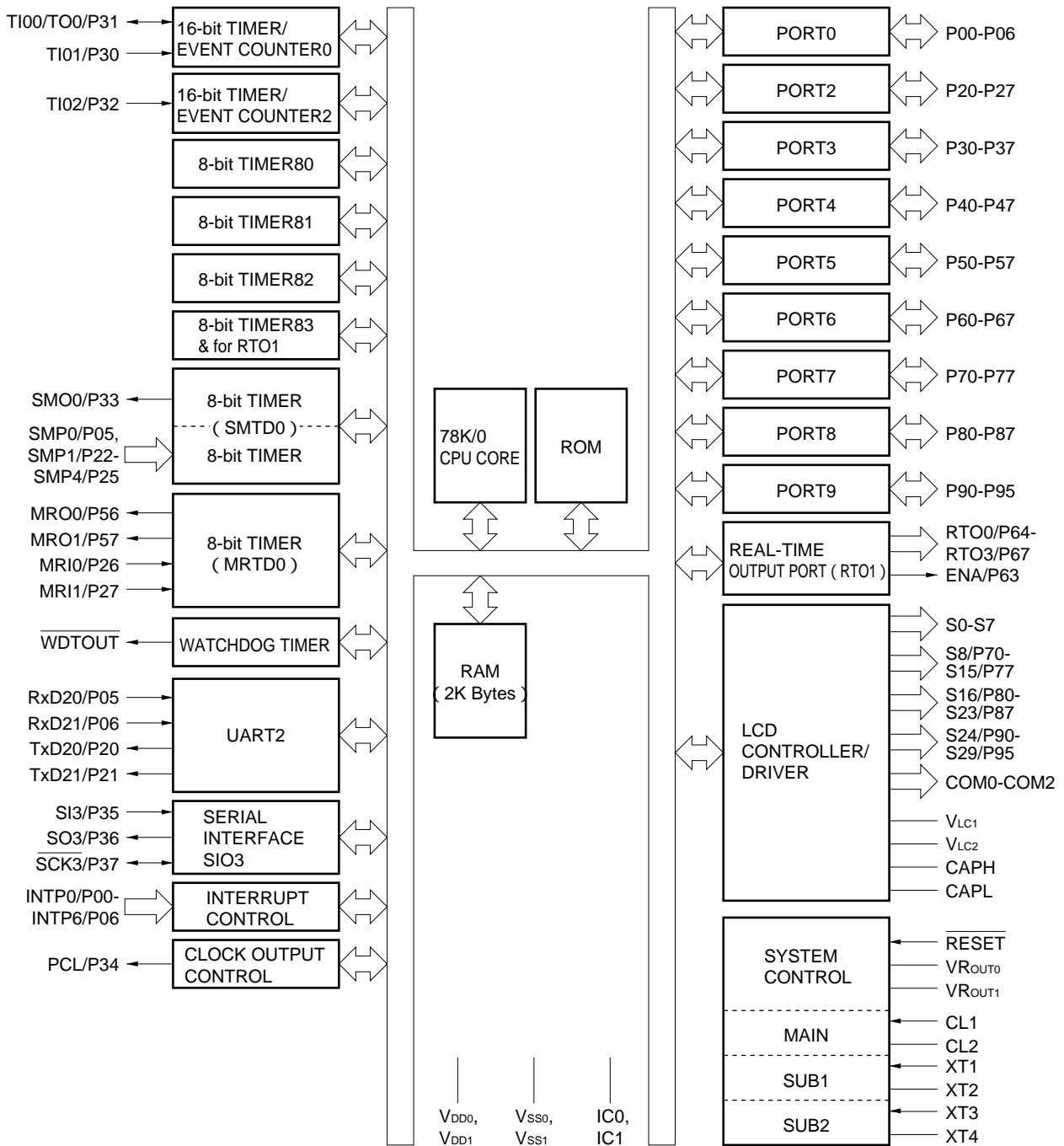
10ビット・タイマ：1チャンネル

・Y品

機能 代表品名	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張					
		8-bit	16-bit	時計	WDT	A/D	A/D	D/A									
制御用	μ PD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch, I ² C : 1ch)	88本	1.8 V					
	μ PD78070AY	-									61本	2.7 V					
	μ PD780018AY	48 K-60 K								2ch							-
	μ PD780058Y	24 K-60 K	3ch (時分割UART : 1ch, I ² C : 1ch)	68本	1.8 V												
	μ PD78058FY	48 K-60 K	3ch (UART : 1ch, I ² C : 1ch)	69本	2.7 V												
	μ PD78054Y	16 K-60 K			2.0 V												
	μ PD780078Y	48 K-60 K	2ch	-	8ch	-	4ch (UART : 2ch, I ² C : 1ch)	52本	1.8 V								
	μ PD780034Y	8 K-32 K	1ch	8ch	-	3ch (UART : 1ch, I ² C : 1ch)	51本										
	μ PD780024AY					2ch (I ² C : 1ch)	53本										
	μ PD78018FY	8 K-60 K															
LCD 駆動用	μ PD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	4ch (UART : 1ch, I ² C : 1ch)	66本	1.8 V	-				
	μ PD780344Y						8ch	-									
	μ PD780308Y	48 K-60 K	2ch							3ch (時分割UART : 1ch, I ² C : 1ch)	57本	2.0 V					
	μ PD78064Y	16 K-32 K								2ch (UART : 1ch, I ² C : 1ch)							
バス・イ ンタフェ ース対応	μ PD780701Y	60 K	3ch	2ch	1ch	1ch	16ch	-	-	4ch (UART : 1ch, I ² C : 1ch)	67本	3.5 V	-				
	μ PD780703Y																
	μ PD780833Y											65本		4.5 V			

備考 Yなし品とY品は、シリアル・インタフェース以外の機能は共通です (Yなし品がある場合)。

1.7 ブロック図



備考 内部ROM容量は製品によって異なります。

1.8 機能概要

項 目		品 名	
		μ PD780957(A)	μ PD780958(A)
内部メモリ	ROM	48 Kバイト	60 Kバイト
	高速RAM	1024バイト	
	拡張RAM	1024バイト	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		最小命令実行時間の可変機能内蔵 1.7 μ s/3.4 μ s/6.7 μ s (メイン・システム・クロック : 1.2 MHz (RC発振) 動作時) 61 μ s (サブシステム・クロック1 : 32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット演算 (セット, リセット, テスト, ブール演算) ・BCD補正など 	
I/Oポート		合計 : 69本 <ul style="list-style-type: none"> ・CMOS入出力 : 66本 ・N-chオープン・ドレイン入出力 : 3本 (3.6 V耐圧) 	
MRサンプリング機能		MRサンプリング出力 / 位相検出 × 1チャンネル (8ビット・コンペア・レジスタ付きインターバル・タイマ×1として使用可能)	
サンプリング機能		サンプリング出力タイマ / デテクタ × 1チャンネル (8ビット・コンペア・レジスタ付きインターバル・タイマ×2として使用可能)	
シリアル・インタフェース		<ul style="list-style-type: none"> ・UARTモード (端子切り替え機能付き) : 1チャンネル ・3線式シリアルI/Oモード : 1チャンネル 	
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ / イベント・カウンタ : 2チャンネル ・8ビット・タイマ : 4チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		1本 (サンプリング出力およびMRサンプリング機能未使用時 : 3本)	
クロック出力		256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック1 : 32.768 kHz動作)	
リアルタイム出力		4チャンネル (4ビット×4バッファ)	
LCDコントローラ / ドライバ		30セグメント×3コモン (スタティック, 1/3バイアス)	
ベクタ割り込み要因	マスカブル	内部 : 17, 外部 : 12	
	ノンマスカブル	内部 : 1	
	ソフトウエア	1	
電源電圧		$V_{DD} = 2.2 \sim 3.5$ V	
動作周囲温度		$T_A = -40 \sim +80$	
パッケージ		100ピン・プラスチックLQFP (ファインピッチ) (14×14)	

タイマの概要を次に示します（詳細は、第7章 16ビット・タイマ/イベント・カウンタ0、第8章 16ビット・タイマ/イベント・カウンタ2、第9章 8ビット・タイマ80-83、第10章 ウォッチドッグ・タイマ、第11章 サンプリング出力タイマ/ディテクタ、第12章 MRサンプリング機能を参照）。

		16ビット・タイマ /イベント・カウ ンタ0	16ビット・タイマ /イベント・カウ ンタ2	8ビット・タイマ 80-83	ウォッチドッ グ・タイマ	サンプリング出力 タイマ/ディテク タ	MRサンプリン グ機能
動作	インターバル・タイマ	1チャンネル	1チャンネル	4チャンネル	1チャンネル ^{注1}	2チャンネル ^{注2}	1チャンネル ^{注3}
モード	外部イベント・カウンタ	1チャンネル	1チャンネル	-	-	-	-
機能	タイマ出力	1出力	-	-	-	1出力	1出力
	PPG出力	1出力	-	-	-	-	-
	パルス幅測定	2入力	-	-	-	-	-
	方形波出力	1出力	-	-	-	-	-
	イベント入力 制御機能	-	1入力 ^{注4}	-	-	-	-
	割り込み要因	2	1	4	1	2	1

注1. ウォッチドッグ・タイマは、ウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

2. サンプリング出力で使用しているときは、インターバル・タイマとして使用できません。

3. MRサンプリング機能を使用しているときは、インターバル・タイマとして使用できません。

4. イベント入力制御機能は、8ビット・タイマ82と併用して使用します。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子	
P00-P04	入出力	ポート0。		入力	INTP0-INTP4	
P05		7ビットの入出力ポート。			INTP5/SMP0/RxD20	
P06		1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			INTP6/RxD21	
P20	入出力	ポート2。		入力	TxD20	
P21		8ビットの入出力ポート。			TxD21	
P22-P25		1ビット単位で入力 / 出力の指定可能。			SMP1-SMP4	
P26		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			MRI0	
P27					MRI1	
P30	入出力	ポート3。		入力	TI01	
P31		8ビットの入出力ポート。			TI00/TO0	
P32		1ビット単位で入力 / 出力の指定可能。			TI2	
P33		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			SMO0	
P34					PCL	
P35					SI3	
P36					SO3	
P37					SCK3	
P40-P47	入出力	ポート4。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	-	
P50	入出力	ポート5。	サブHALTテスト・プログラム端子 ^注	入力	-	
P51-P55		8ビットの入出力ポート。				
P56		1ビット単位で入力 / 出力の指定可能。				
P57		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。				
P60-P62	入出力	ポート6。	N-chオープン・ドレイン入出力ポート (3.6V耐圧)。 マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-	
P63		8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。				
P64-P67						
P70-P77	入出力	ポート7。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	S8-S15	

注 第22章 サブHALTテスト・プログラムを参照してください。

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P80-P87	入出力	ポート8。 8ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	S16-S23
P90-P95	入出力	ポート9。 6ビットの入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	S24-S29

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子	
INTP0-INTP4	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00-P04	
INTP5				P05/SMP0/RxD20	
INTP6				P06/RxD21	
RxD20	入力	アシンクロナス・シリアル・インタフェースUART2のシリアル・データ入力。	入力	P05/INTP5/SMP0	
RxD21		アシンクロナス・シリアル・インタフェースUART2のシリアル・データ入力 (切り替え用端子)。		P06/INTP6	
TxD20	出力	アシンクロナス・シリアル・インタフェースUART2のシリアル・データ出力。	入力	P20	
TxD21		アシンクロナス・シリアル・インタフェースUART2のシリアル・データ出力 (切り替え用端子)。		P21	
SMP0	入力	サンプリング入力。	入力	P05/INTP5/RxD20	
SMP1-SMP4				P22-P25	
SMO0	出力	サンプリング出力。	入力	P33	
MRI0	入力	位相検出入力。	入力	P26	
MRI1				P27	
MRO0	出力	MRサンプリング出力。	入力	P56	
MRO1				P57	
TI00	入力	16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00/CR01) へのキャプチャ・トリガ入力。	入力	P31/TO0	
TI01		16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ入力。		P30	
TI2		16ビット・タイマ/イベント・カウンタ2への外部カウント・クロック入力。		P32	
TO0	出力	16ビット・タイマ出力。	入力	P31/TO0	
SI3	入力	シリアル・インタフェースSIO3のシリアル・データ入力。	入力	P35	
SO3	出力	シリアル・インタフェースSIO3のシリアル・データ出力。	入力	P36	
SCK3	入出力	シリアル・インタフェースSIO3のシリアル・クロック入力/出力。	入力	P37	
PCL	出力	クロック出力 (サブシステム・クロック1のトリミング用)	入力	P34	
S0-S7	出力	LCDコントローラのセグメント信号出力。	出力	-	
S8-S15				入力	P70-P77
S16-S23				P80-P87	
S24-S29				P90-P95	
COM0-COM2	出力	LCDコントローラのコモン信号出力。	出力	-	
ENA	出力	リアルタイム出力のイネーブル信号出力。	入力	P63	
RTO0-RTO3	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P64-P67	
WDTOUT	出力	ウォッチドッグ・タイマのオーバーフロー出力。	出力	-	
RESET	入力	システム・リセット入力。マスク・オプションにより, プルアップ抵抗の内蔵を指定可能。	-	-	
CL1	入力	メイン・システム・クロック発振用抵抗 (R), コンデンサ (C) 接続。	-	-	
CL2	-		-	-	

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
XT1	入力	サブシステム・クロック1発振用クリスタル接続。	-	-
XT2	-		-	-
XT3	入力	サブシステム・クロック2発振用クリスタル接続。	-	-
XT4	-		-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{DD1}	-	正電源（ポート部を除く）。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{SS1}	-	グランド電位（ポート部を除く）。	-	-
V _{LC1} , V _{LC2}	-	LCDコントローラ用の正電源。	-	-
V _{ROUT0} , V _{ROUT1}	-	内部レギュレータ用コンデンサ接続。	-	-
CAPH, CAPL	-	LCDコントローラ用コンデンサ接続。	-	-
IC0, IC1	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-

2.2 端子機能の説明

(1) P00-P06 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに外部割り込み入力, シリアル・インタフェースUART2のデータ入力, サンプルング・クロックの入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

7ビットの入出力ポートとして機能します。P00-P06は, ポート・モード・レジスタ0 (PM0) により, 1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ0 (PU0) により, 内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

外部割り込み要求入力, UART2のデータ入力, サンプルング・クロックの入力端子として機能します。

INTP0-INTP6

INTP0-INTP6は有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりエッジおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み要求入力端子です。

RxD20, RxD21

UART2のデータの入力端子です。

SMP0

サンプルング・クロックの入力端子です。

(2) P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースUART2のデータ出力, サンプルング・クロックの入力, MRサンプルングの入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P20-P27は, ポート・モード・レジスタ2 (PM2) により, 1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ2 (PU2) により, 内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

UART2のデータ出力, サンプルング・クロックの入力, MRサンプルングの入力端子として機能します。

TxD20, TxD21

UART2のデータの出力端子です。

SMP1-SMP4

サンプリング・クロックの入力端子です。

MRI0, MRI1

MRサンプリングの入力端子です。

(3) P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかに外部カウント・クロック入力, キャプチャ・トリガ入力, タイマ出力, シリアル・インタフェースSIO3のデータ入出力, クロック入出力, サンプリング・クロックの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P30-P37は, ポート・モード・レジスタ3 (PM3) により, 1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ3 (PU3) により, 内蔵プルアップ抵抗を使用できます。P30, P31は有効エッジの入力により, 16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子になります。

(b) コントロール・モード

外部カウント・クロック入力, キャプチャ・トリガ入力, タイマ出力, シリアル・インタフェースSIO3のデータ入出力, クロック入出力, サンプリング・クロックの出力機能があります。

TI00

16ビット・タイマ/イベント・カウンタ0 (TM0) への外部カウント・クロックの入力端子およびTM0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子になります。

TI01

TM0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

TI2

16ビット・タイマ/イベント・カウンタ2 (TM2) への外部カウント・クロック入力端子です。

TO0

タイマ出力端子です。

PCL

クロック出力端子です。

SI3, SO3

シリアル・インタフェースSIO3のシリアル・データの入出力端子です。

SCK3

シリアル・インタフェースSIO3のシリアル・クロックの入出力端子です。

SM00

サンプリング・クロックのデータ出力端子です。

(4) P40-P47 (Port4)

8ビットの入出力ポートとして機能します。P40-P47は、ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

(5) P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにMRサンプリングのデータ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P50-P57は、ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ5 (PU5) により、内蔵プルアップ抵抗を使用できます。P56、P57は有効エッジの入力により、MRサンプリングのデータ出力端子になります。

(b) コントロール・モード

MRサンプリングのデータ出力機能があります。

・MRO0, MRO1

MRサンプリングの出力端子です。

備考 P50はサブHALTテスト・プログラムを実行時に使用します (第22章 サブHALTテスト・プログラム参照)。

(6) P60-P67 (Port6)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能、リアルタイム出力のイネーブル信号の出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P60-P67は、ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力/出力の指定ができます。P60-P62はN-chオープン・ドレイン入出力になっています。マスクROM製品は、マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵を指定できます。

P63-P67は、プルアップ抵抗オプション・レジスタ6 (PU6) により、内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

リアルタイム出力ポートの出力機能，リアルタイム出力のイネーブル信号の出力機能があります。

RTO0-RTO3

トリガに同期してデータを出力するリアルタイム出力ポート(RTO0-RTO3)として機能します。

ENA

リアルタイム出力のイネーブル信号の出力端子です。

(7) P70-P77 (Port7)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラのセグメント出力機能があります。
1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P70-P77は，ポート・モード・レジスタ7 (PM7) により，1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ7 (PU7) により，内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

LCDコントローラのセグメント出力機能があります。

ポート・ファンクション制御レジスタ7 (PF7) により，入出力ポートとしての機能と，セグメント出力端子としての機能を選択できます。

・S8-S15

LCDコントローラのセグメント信号出力端子です。

(8) P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラのセグメント出力機能があります。
1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

8ビットの入出力ポートとして機能します。P80-P87は，ポート・モード・レジスタ8 (PM8) により，1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ8 (PU8) により，内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

LCDコントローラのセグメント出力機能があります。

ポート・ファンクション制御レジスタ8 (PF8) により，入出力ポートとしての機能と，セグメント出力端子としての機能を選択できます。

・S16-S23

LCDコントローラのセグメント信号出力端子です。

(9) P90-P95 (Port9)

6ビットの入出力ポートです。入出力ポートのほかにLCDコントローラのセグメント出力機能があります。1ビット単位で次のような動作モードを指定できます。

(a) ポート・モード

6ビットの入出力ポートとして機能します。P90-P95は、ポート・モード・レジスタ9 (PM9) により、1ビット単位で入力/出力の指定ができます。

プルアップ抵抗オプション・レジスタ9 (PU9) により、内蔵プルアップ抵抗を使用できます。

(b) コントロール・モード

LCDコントローラのセグメント出力機能があります。

ポート・ファンクション制御レジスタ9 (PF9) により、入出力ポートとしての機能と、セグメント出力端子としての機能を選択できます。

・ S24-S29

LCDコントローラのセグメント信号出力端子です。

(10) $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。マスク・オプションによりプルアップ抵抗の内蔵を指定できます。

(11) CL1, CL2

メイン・システム・クロック発振用抵抗 (R) , コンデンサ (C) 接続端子です。

(12) XT1, XT2

サブシステム・クロック1発振用クリスタル振動子接続端子です。

(13) XT3, XT4

サブシステム・クロック2発振用クリスタル振動子接続端子です。

外部クロックを入力するときに、XT3に入力し、XT4にその反転信号を入力してください。

(14) V_{DD0} , V_{DD1}

V_{DD0} は、ポート部の正電源端子です。

V_{DD1} は、ポート部以外の正電源端子です。

(15) V_{SS0} , V_{SS1}

V_{SS0} は、ポート部のグランド電位端子です。

V_{SS1} は、ポート部以外のグランド電位端子です。

(16) $\overline{\text{WDTOU}}$

ウォッチドッグ・タイマのオーバフロー出力端子です。

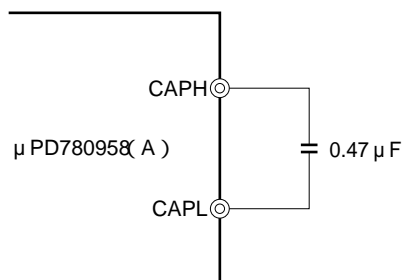
(17) CAPH

LCDコントローラの電源用コンデンサ接続端子です。

(18) CAPL

LCDコントローラの電源用コンデンサ接続端子です。

図2 - 1 CAPH, CAPLの推奨接続例 (3時分割バイアス・モード)

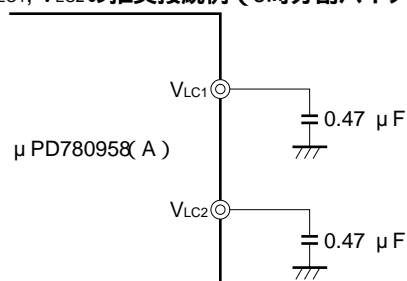
(19) V_{LC1}

LCDコントローラ電源用接続端子1です。

(20) V_{LC2}

LCDコントローラ電源用接続端子2です。

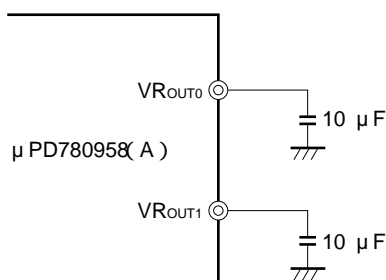
図2 - 2 V_{LC1}, V_{LC2}の推奨接続例 (3時分割バイアス・モード)

(21) VR_{OUT0}

内蔵レギュレータ用のコンデンサ接続端子です。

(22) VR_{OUT1}

内蔵レギュレータ用のコンデンサ接続端子です。

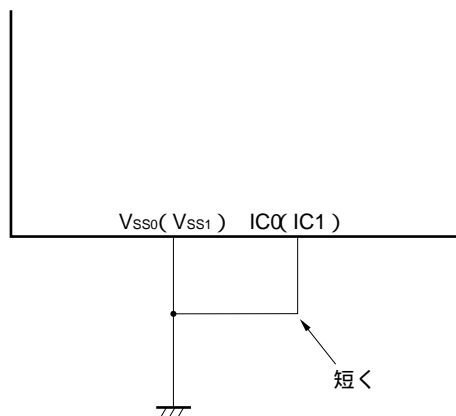
図2 - 3 VR_{OUT0}, VR_{OUT1}の接続例

(23) IC0, IC1

IC (Internally Connected) 端子は、当社出荷時にμPD780958マイクロコントローラを検査するための、テスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}またはV_{SS1}に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

注意 IC0, IC1端子をV_{SS0}またはV_{SS1}端子に直接接続してください。



(24) COM0-COM2

LCDコントローラのコモン信号出力端子です。

(25) S0-S29

LCDコントローラのセグメント信号出力端子です。

S8-S15は、ポート7 (P70-P77)、S16-S23は、ポート8 (P80-P87)、S24-S29は、ポート9 (P90-P95) とそれぞれ兼用になっています。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 4を参照してください。

表2 - 1 各端子の入出力回路タイプ

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P04/INTP4	8-C	入出力	入力時：個別に抵抗を介して、 V_{SS0} または V_{SS1} に接続してください。 出力時：オープンにしてください。
P05/INTP5/SMP0/RxD20			
P06/INTP6/RxD21			
P20/TxD20	5-H		入力時：個別に抵抗を介して、 V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P21/TxD21			
P22/SMP1-P25/SMP4	8-C		
P26/MRI0			
P27/MRI1			
P30/TI01			
P31/TI00/TO0			
P32/TI2			
P33/SMO0			
P34/PCL			
P35/SI3	8-C		
P36/SO3	5-H		
P37/SCK3	8-C		
P40-P47	5-H		
P50-P55			
P56/MRO0	5-S		
P57/MRO1			
P60-P62	13-Q		入力時： V_{SS0} または V_{SS1} に直接接続してください。 出力時：ロウ・レベル出力で、オープンにしてください。
P63/ENA	5-H		入力時：個別に抵抗を介して、 V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P64/RTO0-P67/RTO3			
P70/S8-P77/S15	17-C		出力時：オープンにしてください。
P80/S16-P87/S23			
P90/S24-P95/S29			
S0-S7	17-B	出力	オープンにしてください。
COM0-COM2	18-A		
WDTOUT	13-AC		
RESET	2-D	入力	-
CAPL, V_{LC1} , V_{LC2}	-	-	個別に抵抗を介して、GNDに接続してください。
CAPH	-	-	個別に抵抗を介して、 V_{DD0} または V_{DD1} に接続してください。
IC0, IC1	-	-	V_{SS0} または V_{SS1} に直接接続してください。

備考 タイプ番号は78Kマイクロコントローラで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図2-4 端子の入出力回路一覧 (1/2)

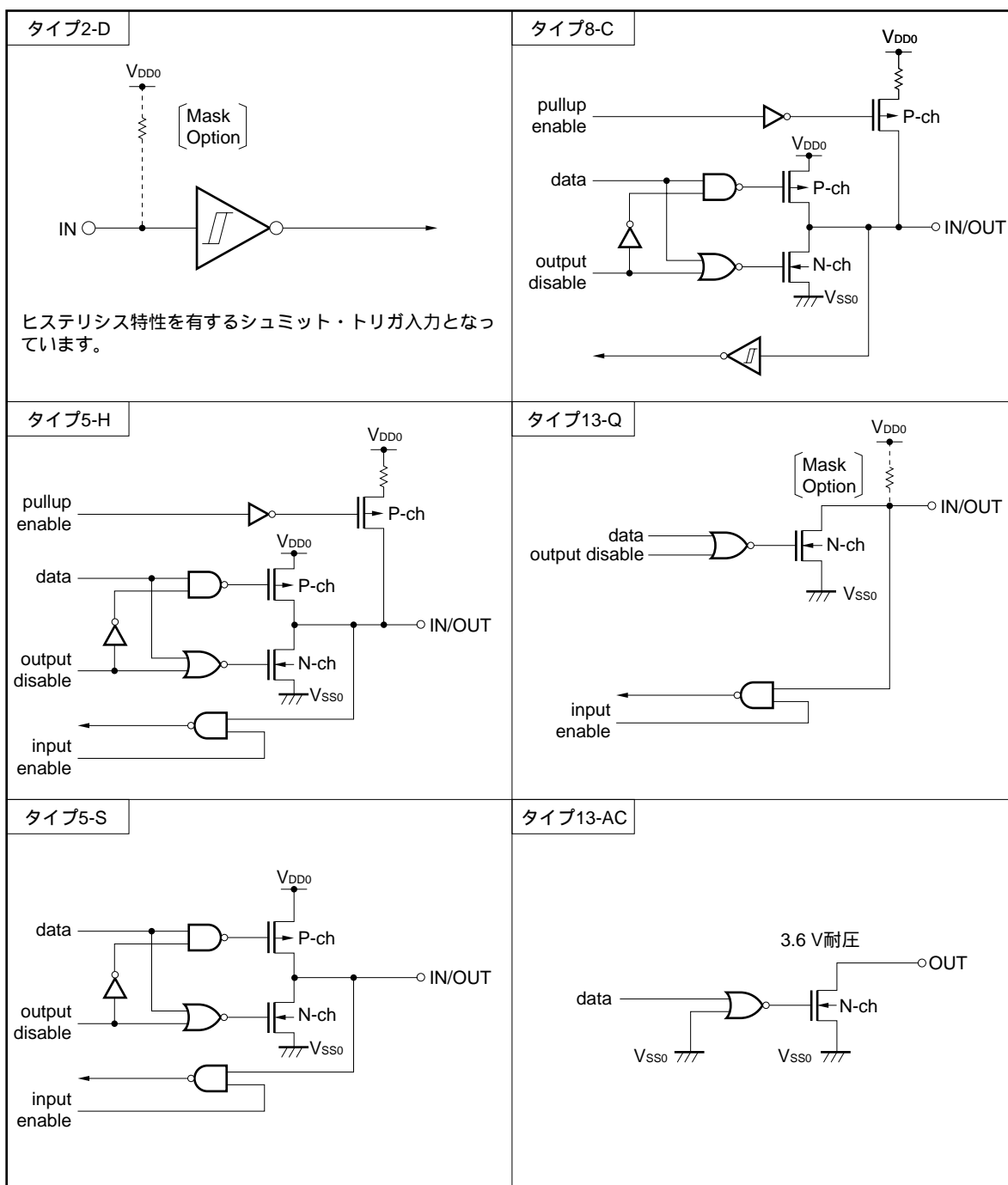
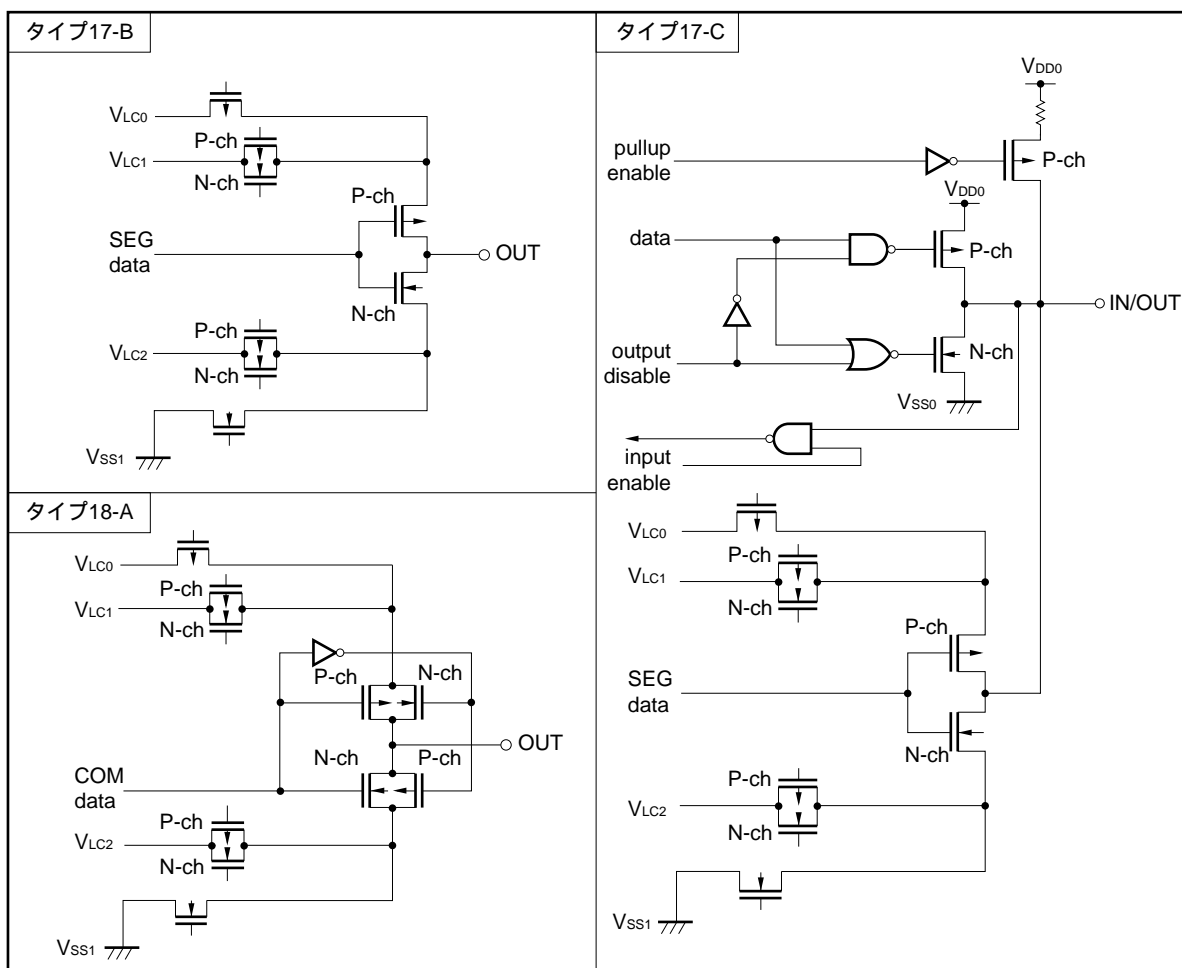


図2 - 4 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD780958マイクロコントローラは、それぞれ64 Kバイトのメモリ空間（特殊機能レジスタおよび内部RAM）にアクセスできます。図3 - 1、図3 - 2に、メモリ・マップを示します。

注意 プログラムの初期設定として、メモリ・サイズ切り替えレジスタ（IMS）、内部拡張RAMサイズ切り替えレジスタ（IXS）に必ず次に示す値を設定してください。

	IMSの設定値	IXSの設定値
μ PD780957(A)	CCH	0AH
μ PD780958(A)	CFH ^注	

注 IMSの初期値です。したがって、 μ PD780958(A)はIMSの設定は必要ありません。

図3 - 1 メモリ・マップ (μ PD780957(A))

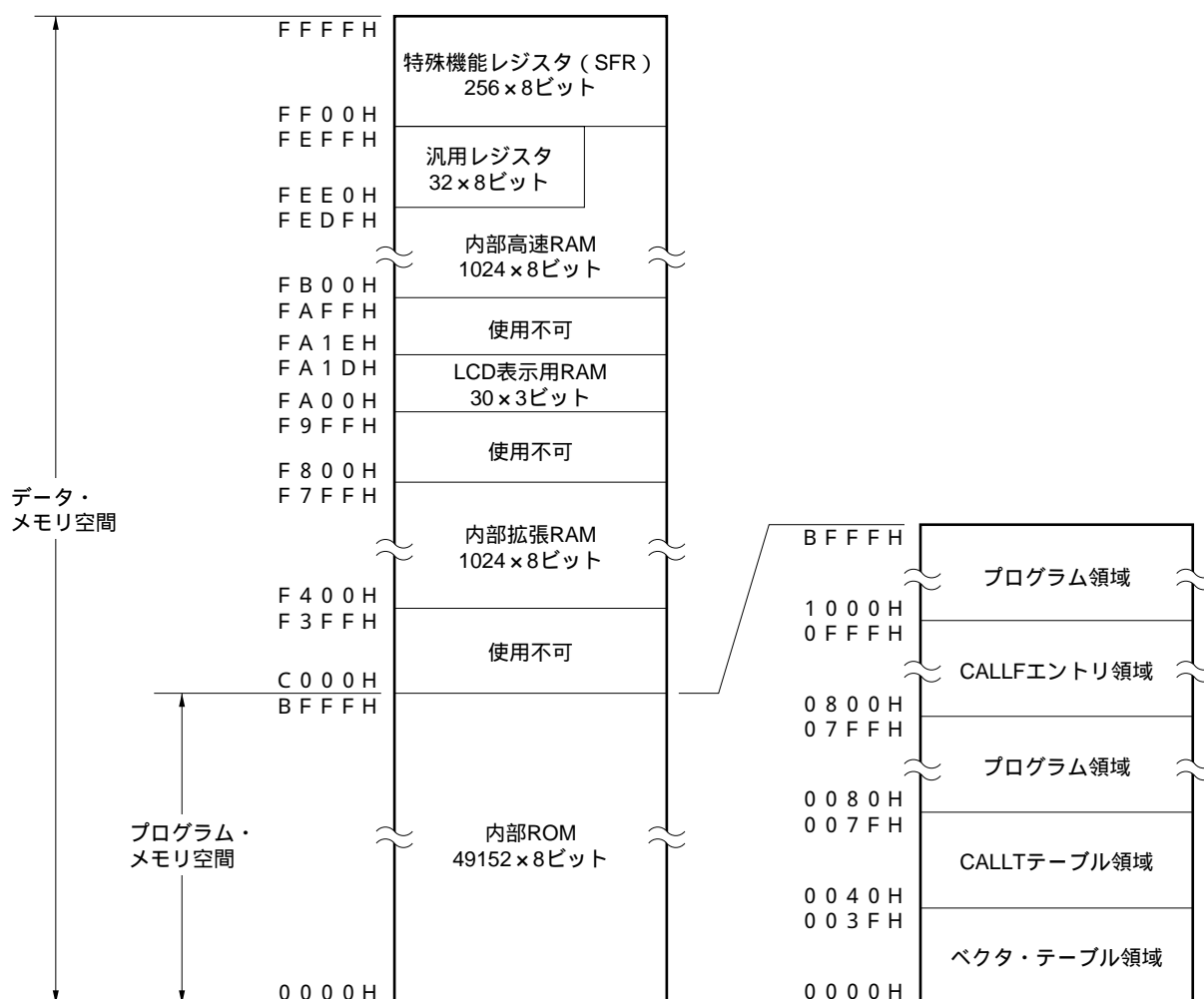
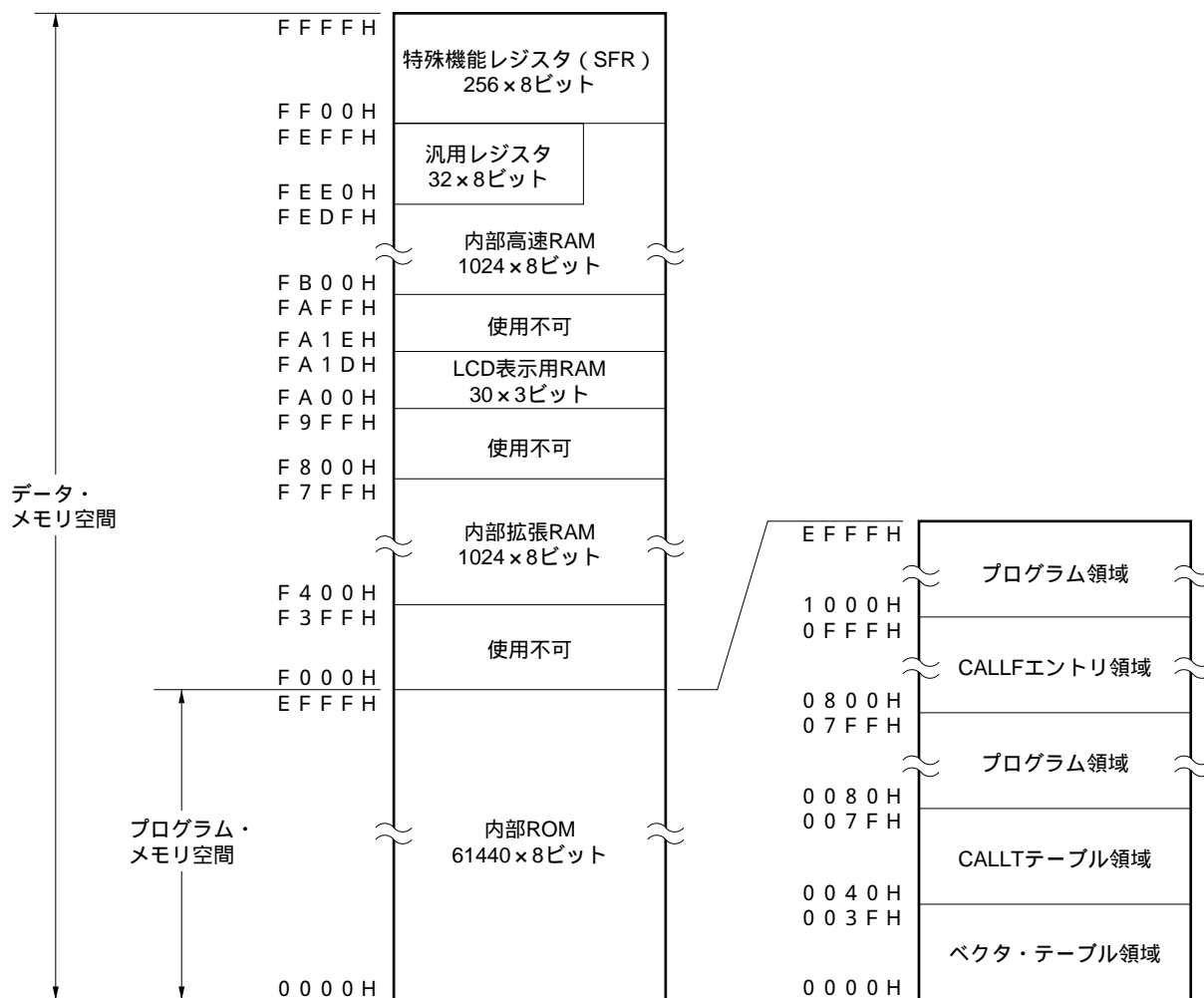


図3-2 メモリ・マップ(μPD780958(A))



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常プログラム・カウンタ（PC）でアドレスを設定します。

μPD780958マイクロコントローラは、各製品ごとに次に示す内部ROMを内蔵しています。

表3-1 内部メモリ容量

品名	容量
μPD780957(A)	49152×8ビット(0000H-BFFFH)
μPD780958(A)	61440×8ビット(0000H-EFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域にRESET入力割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル・アドレス

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET	0022H	INTMRT0
0004H	INTWDT	0024H	INTTM80
0006H	INTP0	0026H	INTTM81
0008H	INTMRO0	0028H	INTTM82
000AH	INTP1	002AH	INTTM83
000CH	INTP2	002CH	INTTM2
000EH	INTP3	002EH	INTSA0
0010H	INTP4	0030H	INTSB0
0012H	INTP5	0032H	INTRTO1
0014H	INTP6	0034H	INTSMP0
0016H	INTTM00	0036H	INTSMP1
0018H	INTTM01	0038H	INTSMP2
001AH	INTSER2	003AH	INTSMP3
001CH	INTSR2	003CH	INTSMP4
001EH	INTST2	003EH	BRK命令
0020H	INTCSI3		

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD780958マイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024バイトの領域に、内部高速RAMが割り付けられています。このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

(2) 内部拡張RAM

F400H-F7FFFHの1024バイトの領域に、内部拡張RAMが割り付けられています。

内部高速RAMと同様に通常のデータ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

(3) LCD表示用RAM

FA00H-FA10Hの30×3ビットの領域には、LCD表示用RAMが割り付けられています。LCD表示用RAMは、通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 3 特殊機能レジスタ (SFR) 一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、3.3 命令アドレスのアドレッシングを参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780958マイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域 (FB00H-FFFFH) では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-3、図3-4にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-3 データ・メモリのアドレッシング (μ PD780957(A))

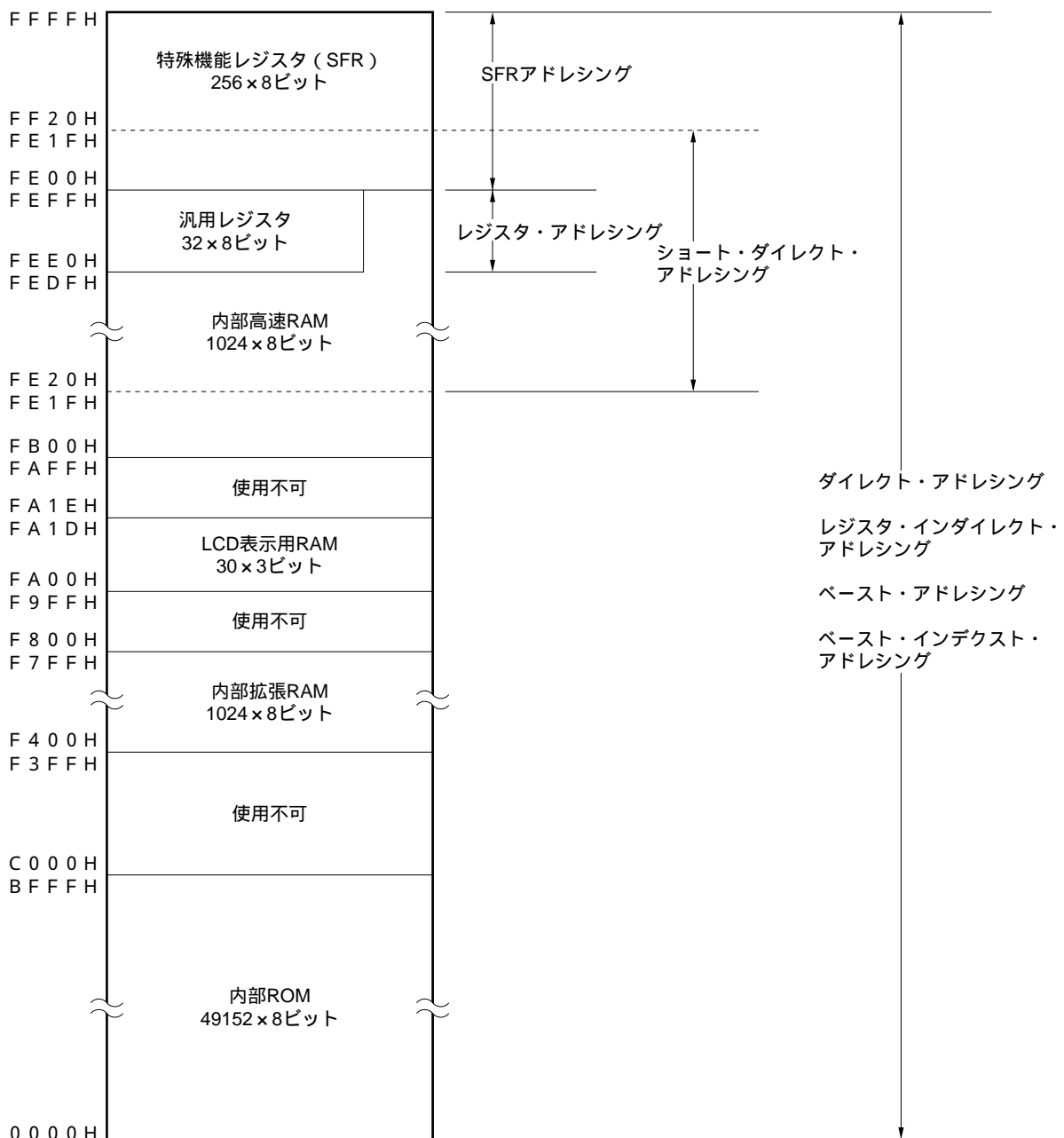
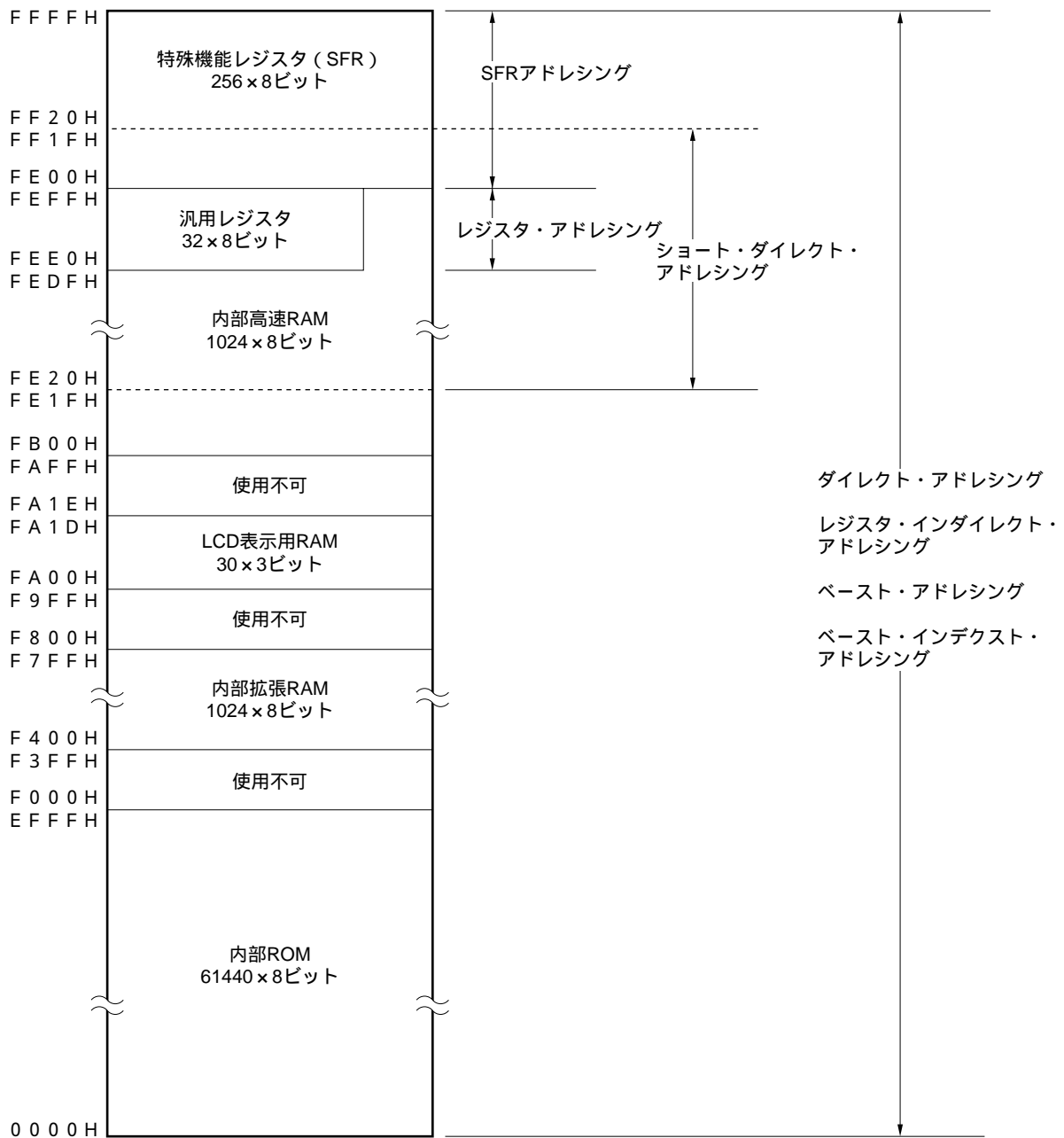


図3 - 4 データ・メモリのアドレッシング (μPD780958(A))



3.2 プロセッサ・レジスタ

μ PD780958マイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

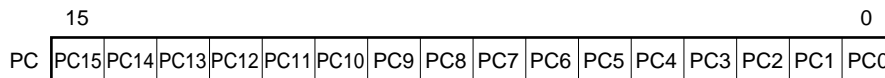
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



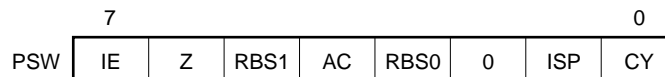
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET B、RET I命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (17.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

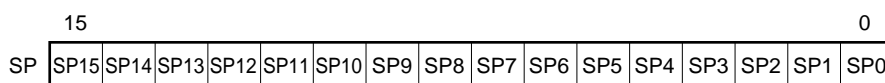
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FB00H-FEFFFH) のみ設定可能です。

図3 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 8, 3 - 9のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

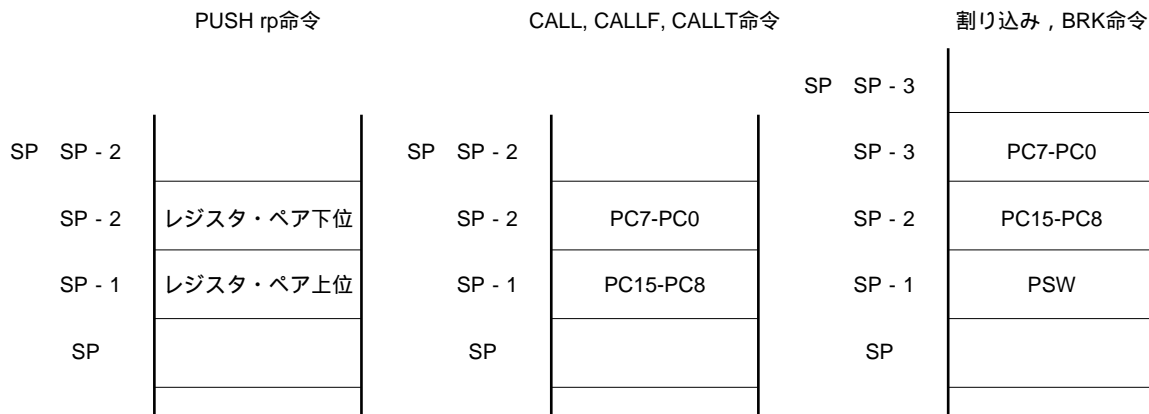
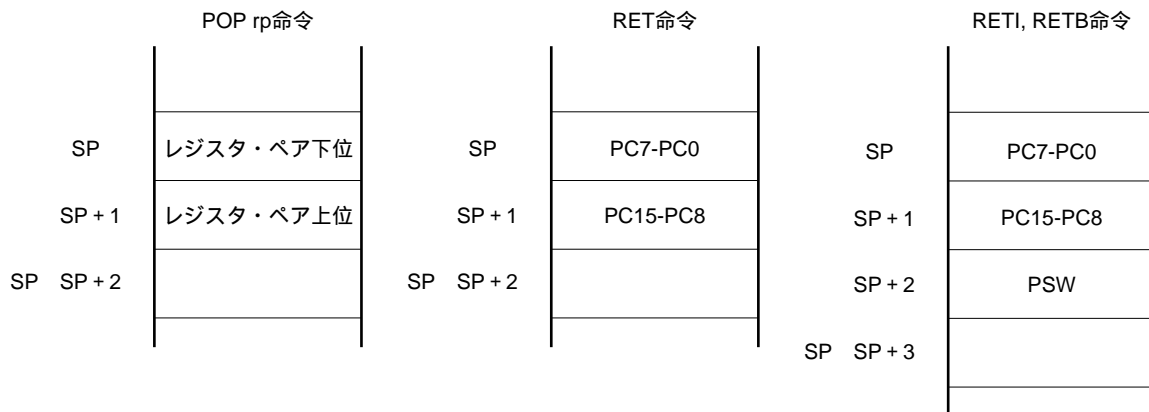


図3 - 9 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

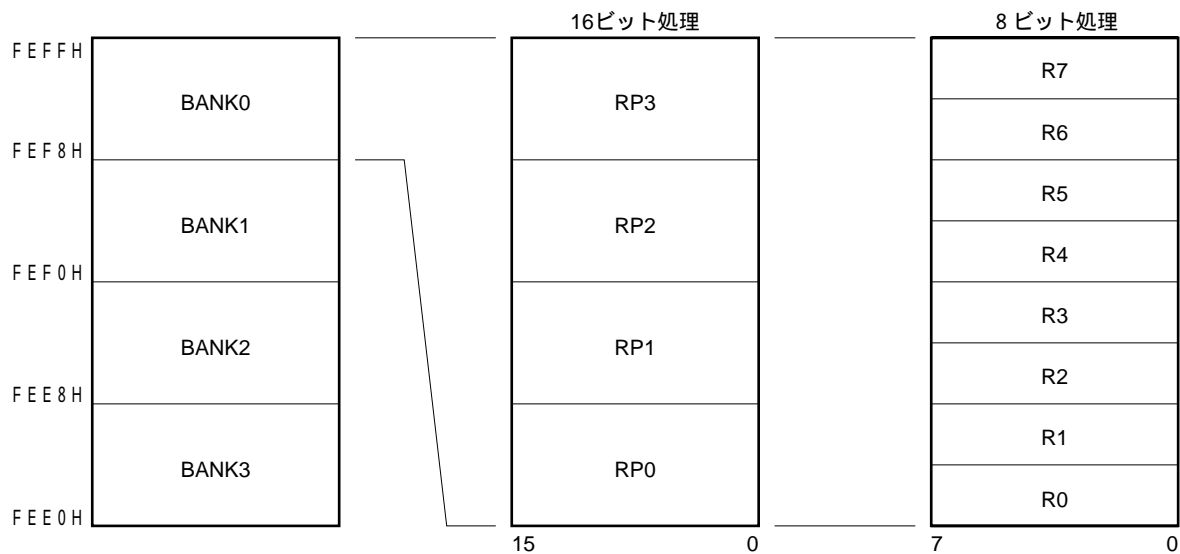
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

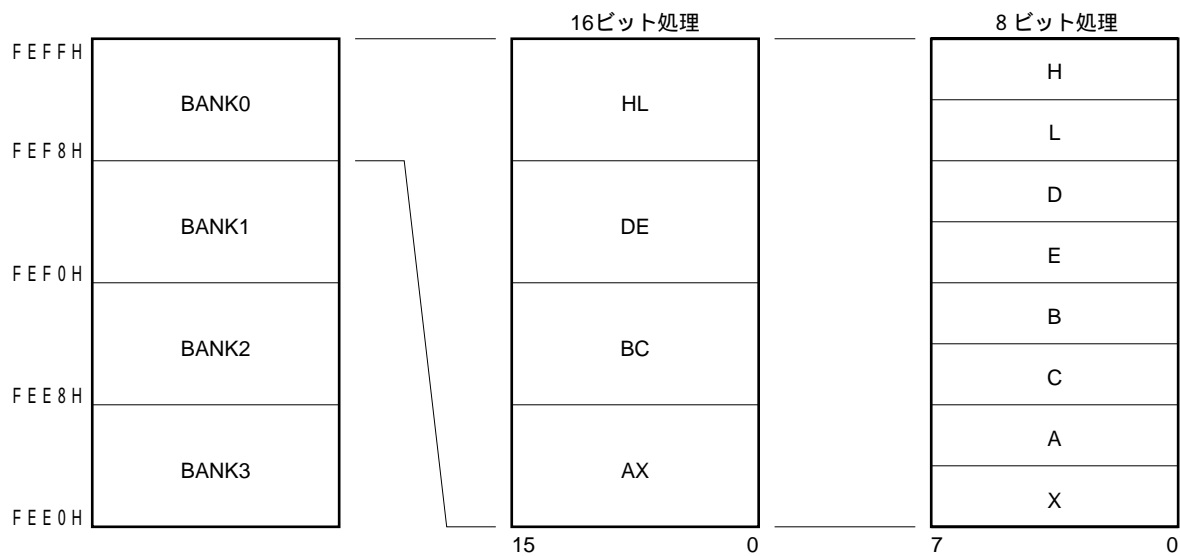
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NSおよびSM78K0使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

・リセット時

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ (SFR) 一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時		
				1ビット	8ビット	16ビット			
FF00H	ポート0	P0	R/W			-	00H		
FF02H	ポート2	P2				-			
FF03H	ポート3	P3				-			
FF04H	ポート4	P4				-			
FF05H	ポート5	P5				-			
FF06H	ポート6	P6				-			
FF07H	ポート7	P7				-			
FF08H	ポート8	P8				-			
FF09H	ポート9	P9				-			
FF0AH	16ビット・タイマ・キャプチャ/コンペア・	CR00		R/W	-	-			不定
FF0BH	レジスタ00								
FF0CH	16ビット・タイマ・キャプチャ/コンペア・	CR01	-		-				
FF0DH	レジスタ01								
FF0EH	16ビット・タイマ・カウンタ0	TM0	R		-	-		0000H	
FF0FH									
FF10H	16ビット・タイマ・コンペア・レジスタ2	CR2	R/W		-	-		00H	
FF11H									
FF12H	8ビット・コンペア・レジスタ80	CR80				-			-
FF13H	8ビット・コンペア・レジスタ81	CR81				-			-
FF14H	8ビット・コンペア・レジスタ82	CR82			-		-		
FF15H	8ビット・コンペア・レジスタ83	CR83			-		-		
FF16H	SMTDコンペア・レジスタA0	CRSA0			-		-		
FF17H	SMTDコンペア・レジスタB0	CRSB0			-		-		
FF18H	SMTDタイマ・カウンタA0	TMSA0		R	-		-		
FF19H	MRTDコンペア・レジスタ0	CRM0		R/W	-		-		
FF1BH	送信シフト・レジスタ2	TXS2	W	-		-	FFH		
	受信バッファ・レジスタ2	RXB2	R	-		-			
FF1FH	シリアルI/Oシフト・レジスタ3	SIO3	R/W	-		-	不定		
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH		
FF22H	ポート・モード・レジスタ2	PM2				-			
FF23H	ポート・モード・レジスタ3	PM3				-			
FF24H	ポート・モード・レジスタ4	PM4				-			
FF25H	ポート・モード・レジスタ5	PM5				-			
FF26H	ポート・モード・レジスタ6	PM6				-			
FF27H	ポート・モード・レジスタ7	PM7				-			
FF28H	ポート・モード・レジスタ8	PM8				-			
FF29H	ポート・モード・レジスタ9	PM9				-			
FF30H	プルアップ抵抗オプション・レジスタ0	PU0		R/W				-	00H
FF32H	プルアップ抵抗オプション・レジスタ2	PU2				-			
FF33H	プルアップ抵抗オプション・レジスタ3	PU3				-			
FF34H	プルアップ抵抗オプション・レジスタ4	PU4				-			
FF35H	プルアップ抵抗オプション・レジスタ5	PU5				-			
FF36H	プルアップ抵抗オプション・レジスタ6	PU6				-			

表3-3 特殊機能レジスタ (SFR) 一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF37H	プルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H
FF38H	プルアップ抵抗オプション・レジスタ8	PU8				-	
FF39H	プルアップ抵抗オプション・レジスタ9	PU9				-	
FF40H	クロック出力選択レジスタ	CKS				-	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-		-	
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP				-	
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN				-	
FF57H	ポート・ファンクション制御レジスタ7	PF7				-	
FF58H	ポート・ファンクション制御レジスタ8	PF8				-	
FF59H	ポート・ファンクション制御レジスタ9	PF9				-	
FF60H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0				-	
FF61H	プリスケアラ・モード・レジスタ0	PRM0		-		-	
FF62H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0				-	
FF63H	16ビット・タイマ出力コントロール・レジスタ0	TOC0				-	
FF64H	16ビット・タイマ・カウンタ2	TM2	R	-	-	不定	
FF65H							
FF66H	タイマ・モード・コントロール・レジスタ2	TMC2	R/W			-	00H
FF67H	タイマ入力制御レジスタ2	TICT2				-	
FF69H	SUB2クロック・コントロール・レジスタ	CKC				-	
FF70H	8ビット・タイマ・コントロール・レジスタ80	TMC80				-	
FF71H	8ビット・タイマ・コントロール・レジスタ81	TMC81				-	
FF72H	8ビット・タイマ・コントロール・レジスタ82	TMC82				-	
FF73H	8ビット・タイマ・コントロール・レジスタ83	TMC83				-	
FF74H	SMTDクロック選択レジスタA0	TCSA0				-	
FF75H	SMTDクロック選択レジスタB0	TCSB0				-	
FF76H	SMTDコントロール・レジスタ0	TSM0				-	
FF77H	SMTDサンプリング・レベル設定レジスタ0	SMS0				-	
FF78H	SMTDサンプリング端子状態レジスタ0	SMD0		R		-	
FF79H	MRTDコントロール・レジスタ0	TCM0		R/W		-	
FF7AH	MRTD出力制御レジスタ0	TMM0		W		-	
FF7BH	MRサンプリング制御レジスタ0	MRM0	R/W			-	
FF90H	LCD表示モード・レジスタ0	LCDM0				-	
FF91H	LCDクロック制御レジスタ0	LCDC0		-		-	
FF97H	RTOデータ・レジスタ10	RTO10	W	-		-	
FF98H	RTOデータ・レジスタ11	RTO11		-		-	
FF99H	RTOリロード割り込みコンペア・レジスタ1	RTC1	R/W	-		-	
FF9AH	RTO動作モード・レジスタ1	RTM1				-	
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2				-	
FFA1H	アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2	ASIF2				-	

表3-3 特殊機能レジスタ (SFR) 一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FFA2H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R			-	00H	
FFA3H	ポーレート生成用コンペア・レジスタ2	BRCR2	R/W	-		-	FFH	
FFA4H	UART端子切り替えレジスタ	UTCH0				-		
FFB0H	シリアル動作モード・レジスタ3	CSIM3				-		
FFE0H	割り込み要求フラグ・レジスタ0L	IF0L		IF0				
FFE1H	割り込み要求フラグ・レジスタ0H	IF0H						
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		IF1				
FFE3H	割り込み要求フラグ・レジスタ1H	IF1H						
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L		MK0				
FFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H						
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		MK1				
FFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H						
FFE8H	優先順位指定フラグ・レジスタ0L	PR0L		PR0				
FFE9H	優先順位指定フラグ・レジスタ0H	PR0H						
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		PR1				
FFEBH	優先順位指定フラグ・レジスタ1H	PR1H						
FFF0H	メモリ・サイズ切り替えレジスタ	IMS	R/W	-		-	CFH	
FFF4H	内部拡張RAMサイズ切り替えレジスタ	IXS		-		-	0CH	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	W			-	00H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			-	04H	

注意1. プログラムの初期設定として、メモリ・サイズ切り替えレジスタ (IMS)、内部拡張RAMサイズ切り替えレジスタ (IXS) には必ず次に示す値を設定してください。

	IMSの設定値	IXSの設定値
μ PD780957(A)	CCH	0AH
μ PD780958(A)	CFH ^注	

注 IMSの初期値です。したがって、μ PD780958(A)はIMSの設定は必要ありません。

2. プロセッサ・クロック・コントロール・レジスタ (PCC) の初期値は04Hですが、サブシステム・クロック1動作に移行する前に00H, 01H, 02Hのいずれかに必ず設定してください(クロックの切り替えが正常に行えないため)。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

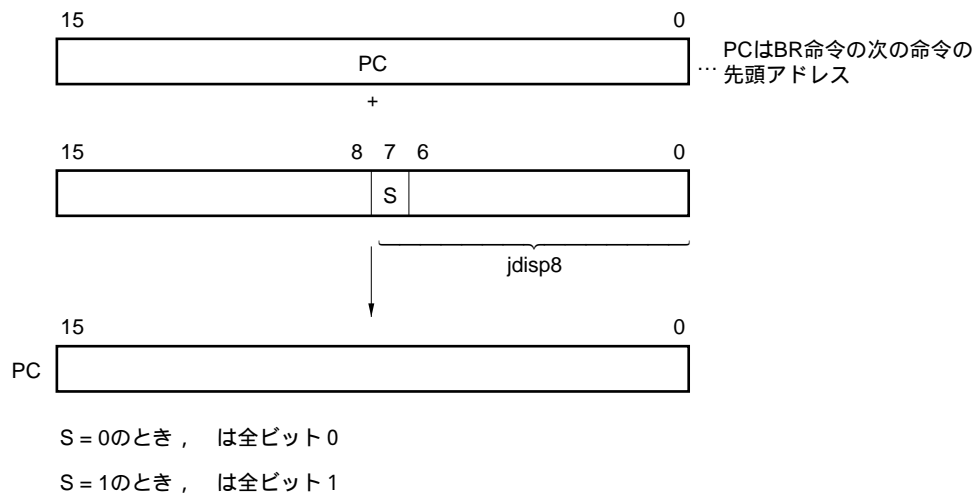
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$ addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

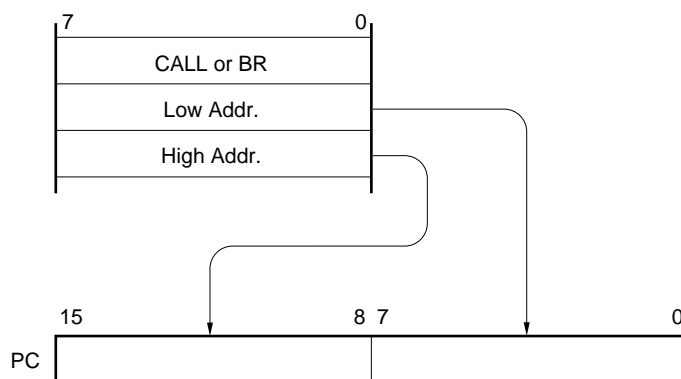
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

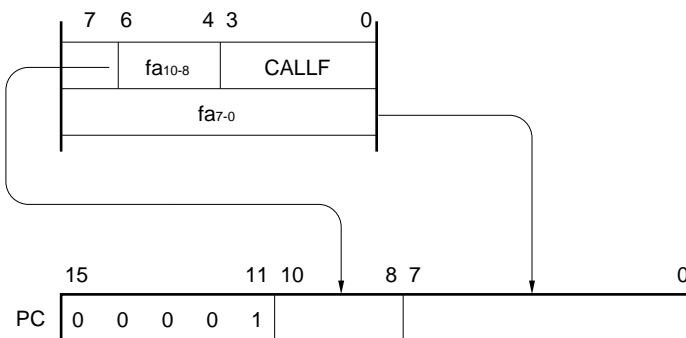
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALL !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



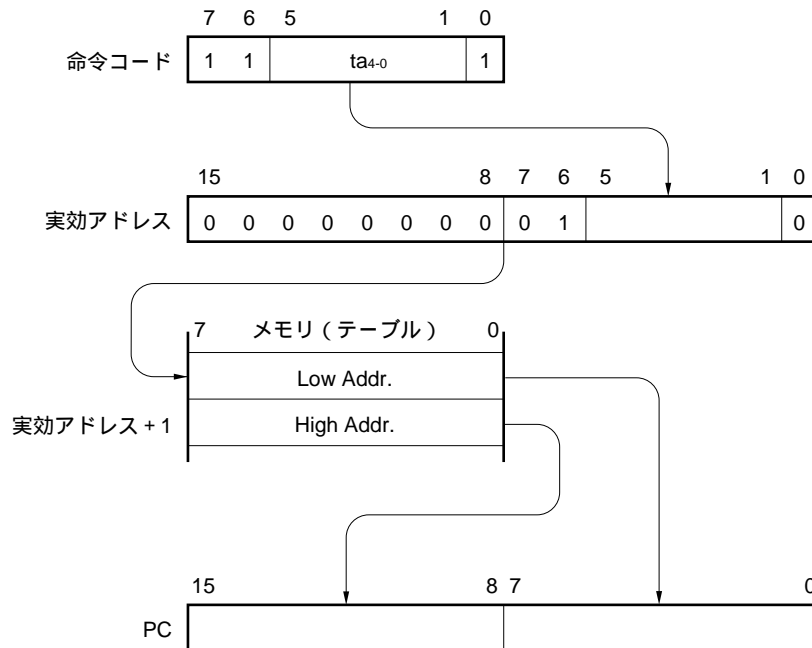
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



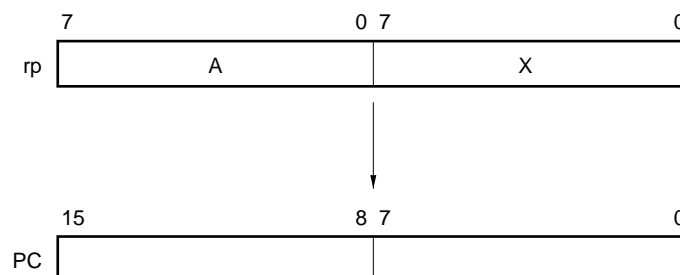
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780958マイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, RPn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

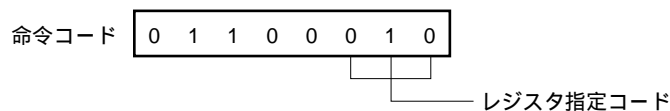
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

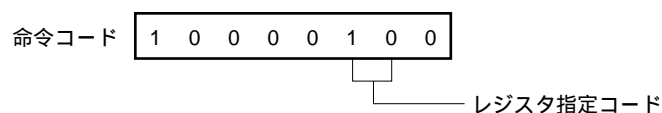
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

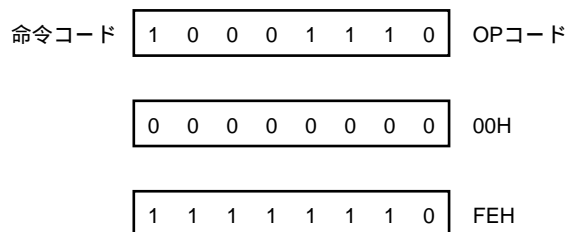
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

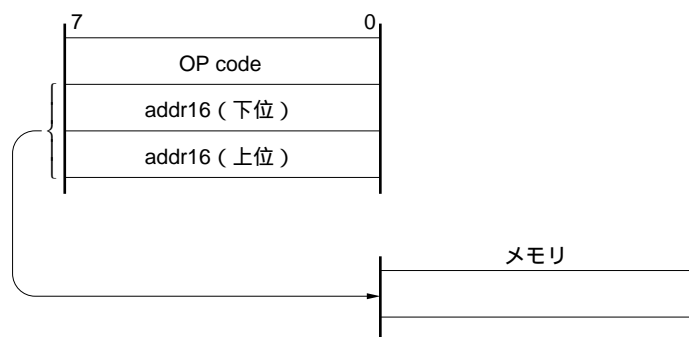
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

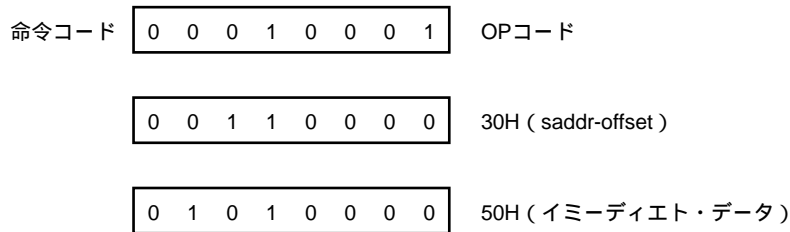
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

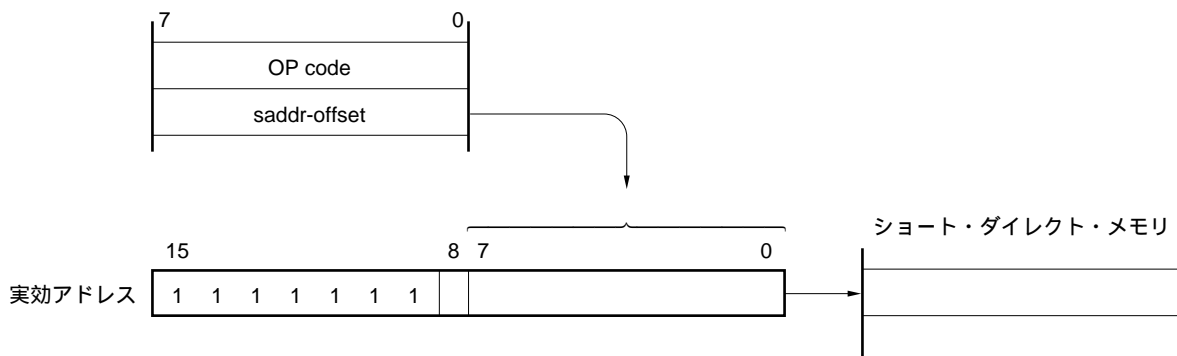
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ (偶数アドレスのみ)

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, = 0

8ビット・イミディエト・データが00H-1FHのとき, = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

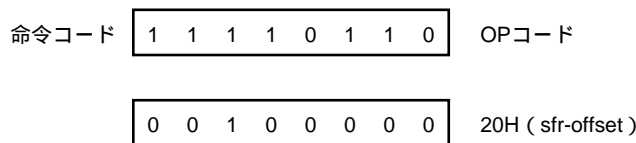
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

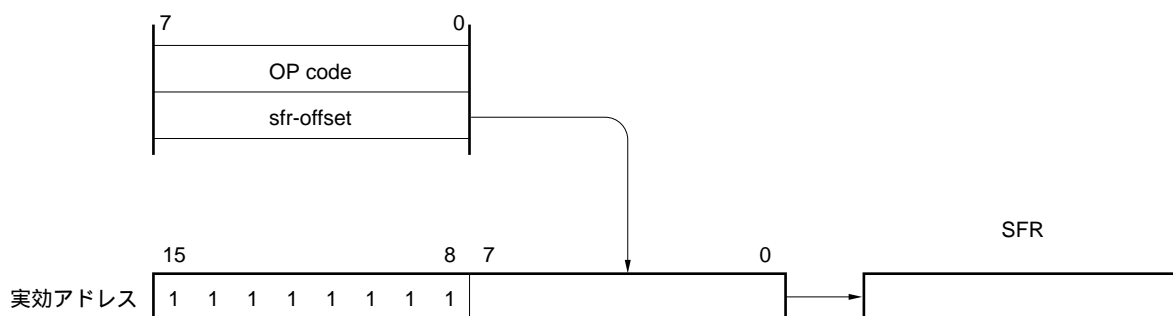
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

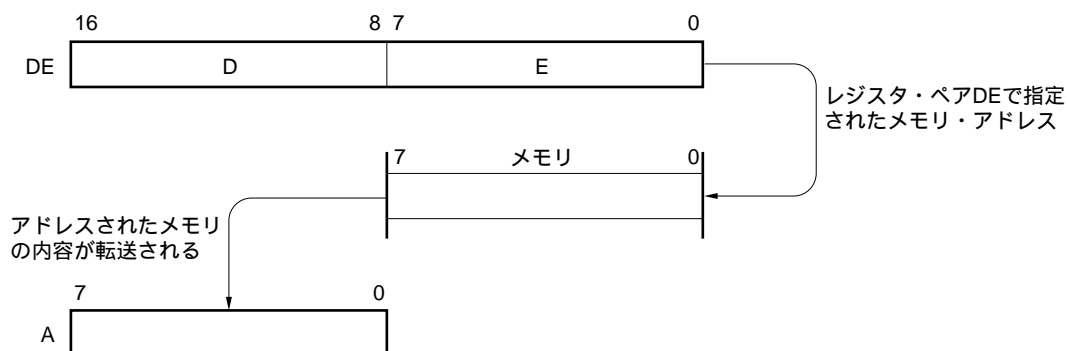
【記述例】

MOV A, [DE]; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード	1 0 1 0 1 1 1 0
	0 0 0 1 0 0 0 0

3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B], [HL + C]

【記述例】

MOV A, [HL + B] の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD780958マイクロコントローラは、69本の入出力ポートを内蔵しており、いずれのポートも1ビット操作、8ビット操作が可能できわめて多様に制御できます。図4 - 1にポートの構成を示します。

また、ポートとしての機能のほかに内蔵ハードウェアの入出力端子としての機能も持っています。

ポート0、2-9[※]は、入力モード/出力モードにかかわらず、内蔵プルアップ抵抗をソフトウェアで指定ができます。

各ポートの機能は、表4 - 1のとおりです。

注 P60-P62端子はプルアップ抵抗は内蔵していませんが、マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵を指定できます。

図4 - 1 ポートの構成

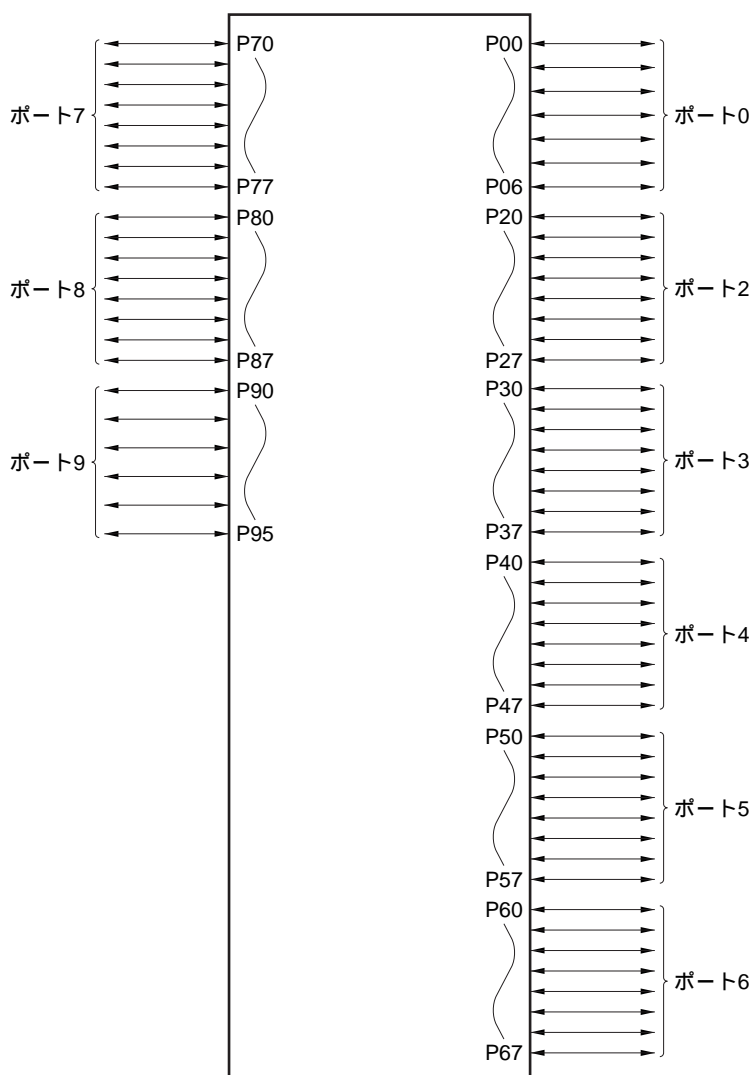


表4-1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子	
P00-P04	入出力	ポート0。 7ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0-INTP4	
P05				INTP5/SMP0/RxD20	
P06				INTP6/RxD21	
P20	入出力	ポート2。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TxD20	
P21				TxD21	
P22-P25				SMP1-SMP4	
P26				MRIO	
P27				MR11	
P30	入出力	ポート3。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI01	
P31				TI00/TO0	
P32				TI2	
P33				SMO0	
P34				PCL	
P35				SI3	
P36				SO3	
P37				SCK3	
P40-P47	入出力	ポート4。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-	
P50	入出力	ポート5。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-	
P51-P55				サブHALTテスト・プログラム端子 ^注	
P56				MRO0	
P57				MRO1	
P60-P62	入出力	ポート6。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	-	
P63				N-chオープン・ドレイン入出力ポート (3.6 V耐圧)。 マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	ENA
P64-P67				RTO0-RTO3	
P70-P77	入出力	ポート7。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	S8-S15	
P80-P87	入出力	ポート8。 8ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	S16-S23	
P90-P95	入出力	ポート9。 6ビットの入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	S24-S29	

注 第22章 サブHALTテスト・プログラムを参照してください。

4.2 ポートの構成

ポートは次のハードウェアで構成されています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM0, PM2-PM9) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU9) ポート・ファンクション制御レジスタ (PF7-PF9)
ポート	合計：69本
プルアップ抵抗	合計：69本 (ソフトウェア制御：66本, マスク・オプション制御：3本)

4.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P00-P06端子は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード / 出力モードの指定ができます。P00-P06端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入力、サンプリング・クロック入力があります。

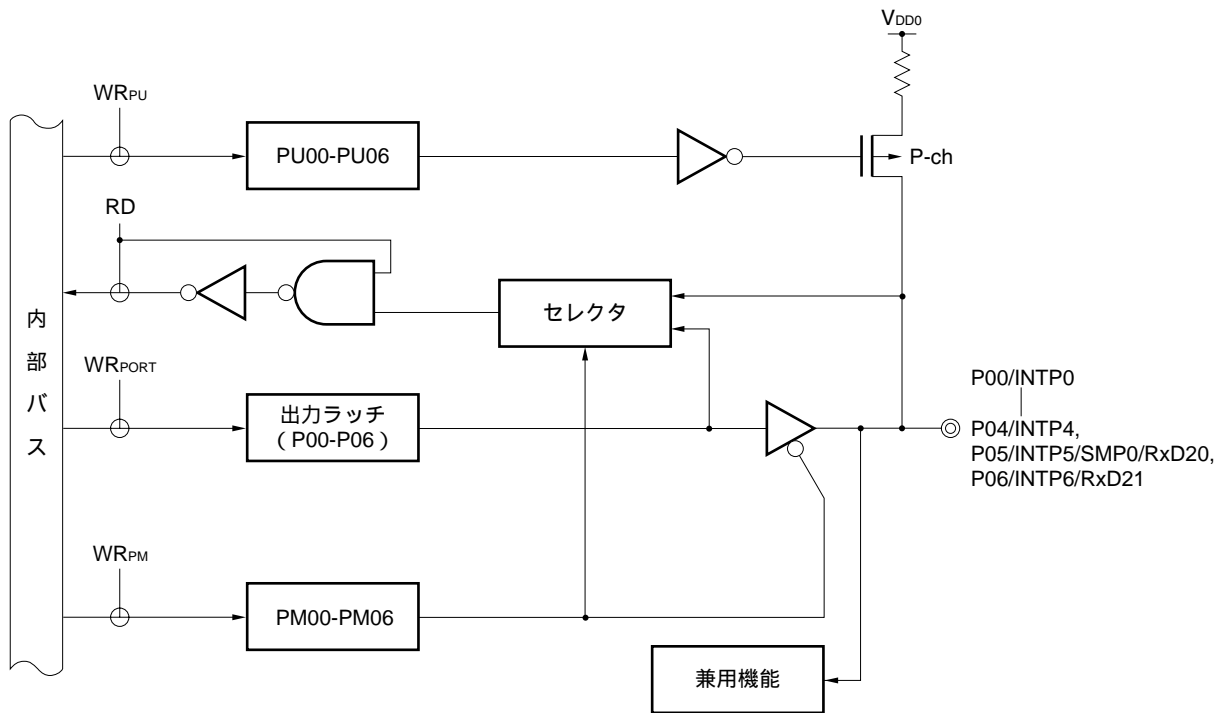
RESET入力により入力モードになります。

図4-2にポート0のブロック図を示します。

注意1. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって出力モードを使用するときには、割り込みマスク・フラグに“1”を設定してください。

2. ポート0を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) に“0”を設定してください。

図4 - 2 P00-P06のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

4.2.2 ポート2

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力モード / 出力モードの指定ができます。P20-P27端子は、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

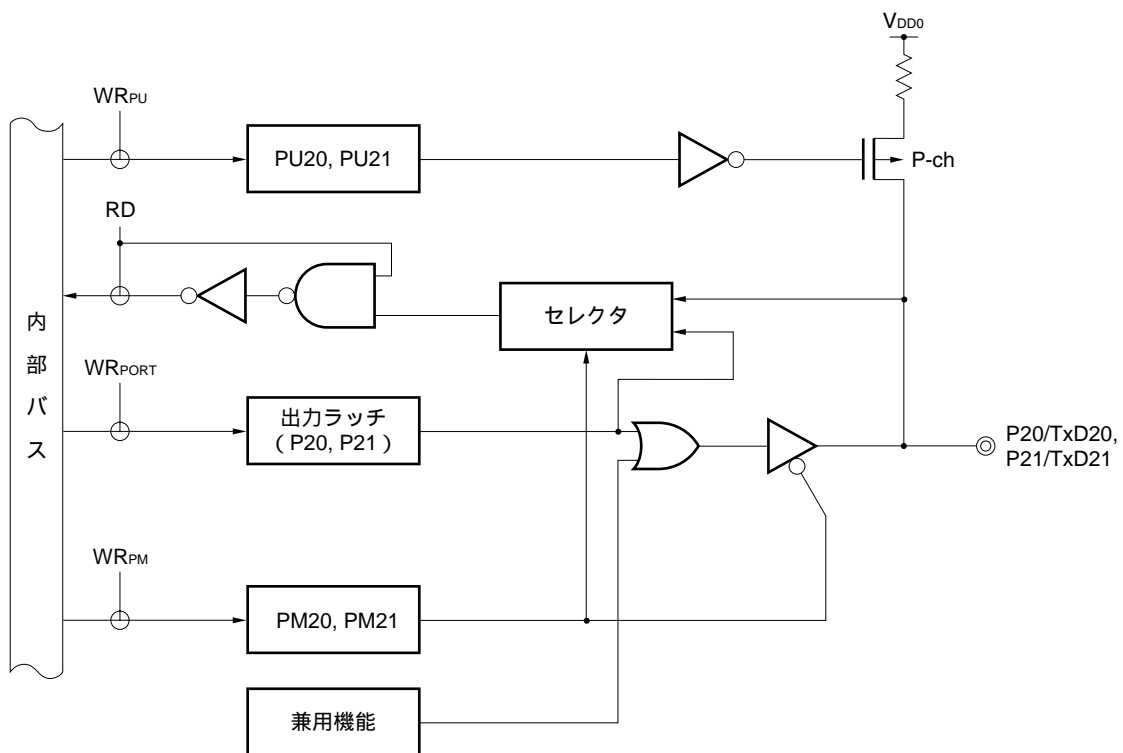
また、兼用機能としてシリアル・インタフェースのデータ出力、サンプリング・クロック入力、MRサンプリング入力があります。

RESET入力により入力モードになります。

図4 - 3, 図4 - 4にポート2のブロック図を示します。

- 注意1.** シリアル・インタフェースで送信動作を行う場合は、使用する端子を出力モードにし、出力ラッチに、“0”を設定してください。また、サンプリング・クロックの入力、MRサンプリング入力を行う場合は、使用する端子を入力モードに設定してください。
- 2.** ポート2を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ2 (PU2) に“0”を設定してください。

図4 - 3 P20, P21のブロック図



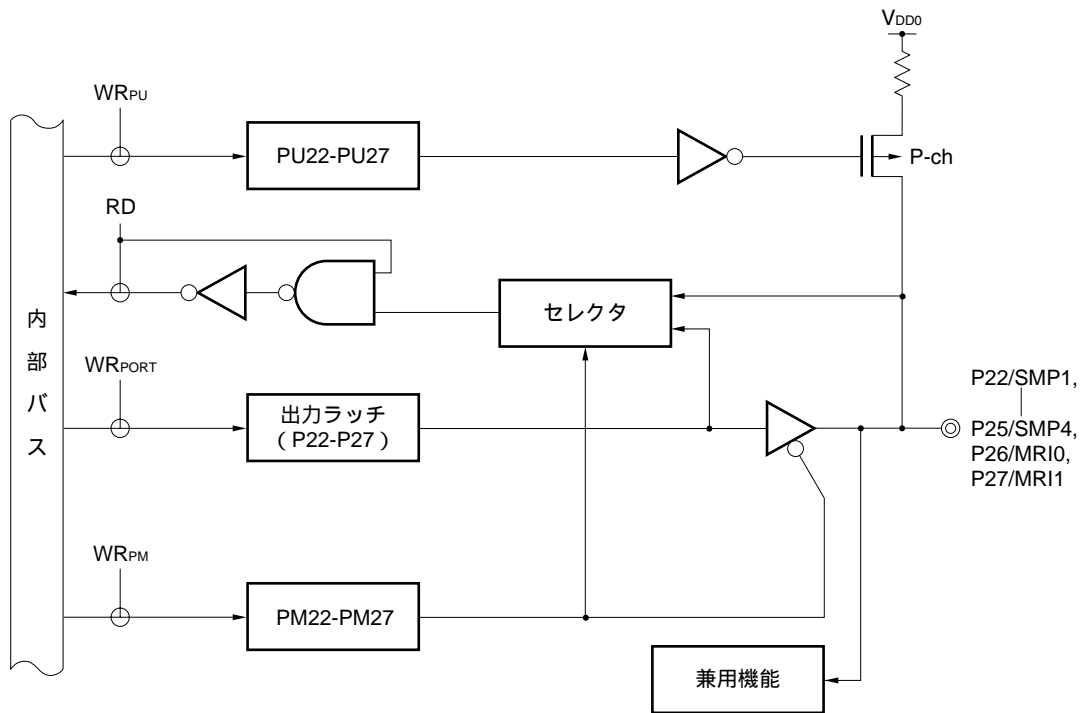
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 4 P22-P27のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.3 ポート3

出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子は、プルアップ抵抗オプション・レジスタ3 (PU3) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

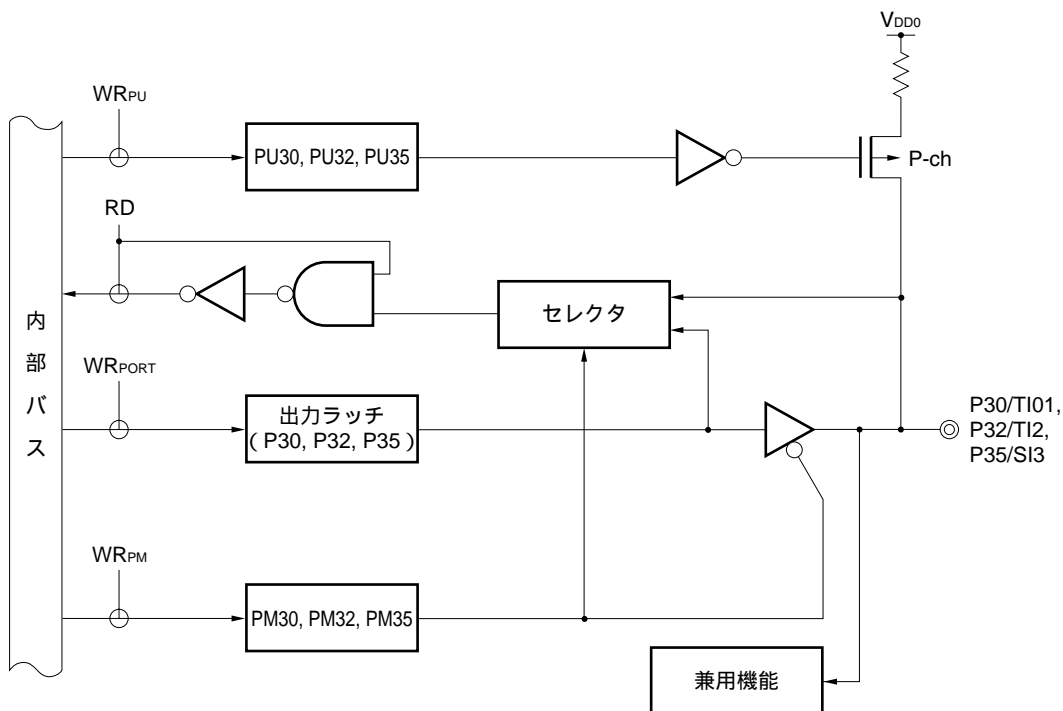
また、兼用機能としてキャプチャ・トリガ入力、タイマ出力、外部イベント入力、サンプリング・クロックの出力、PCL出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

$\overline{\text{RESET}}$ 入力により入力モードになります。

図4 - 5 ~ 図4 - 7にポート3のブロック図を示します。

- 注意1.** シリアル・インタフェースで送信動作を行う場合、またはタイマ出力、サンプリング・クロック出力、PCL出力を行う場合は、使用する端子を出力モードにし、出力ラッチに“0”を設定してください。また、受信動作を行う場合、またはキャプチャ・トリガ入力、外部イベント入力、MRサンプリング入力を行う場合は、使用する端子を入力モードに設定してください。
- 2.** ポート3を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) に“0”を設定してください。

図4 - 5 P30, P32, P35のブロック図



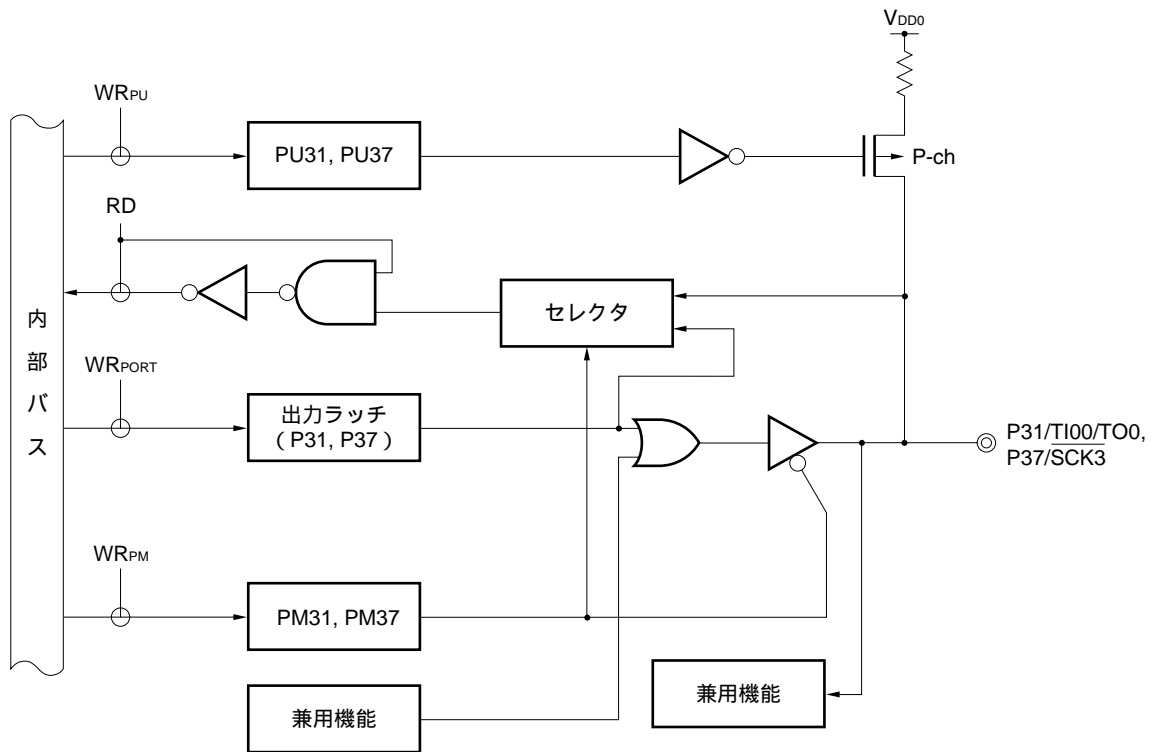
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 6 P31, P37のブロック図



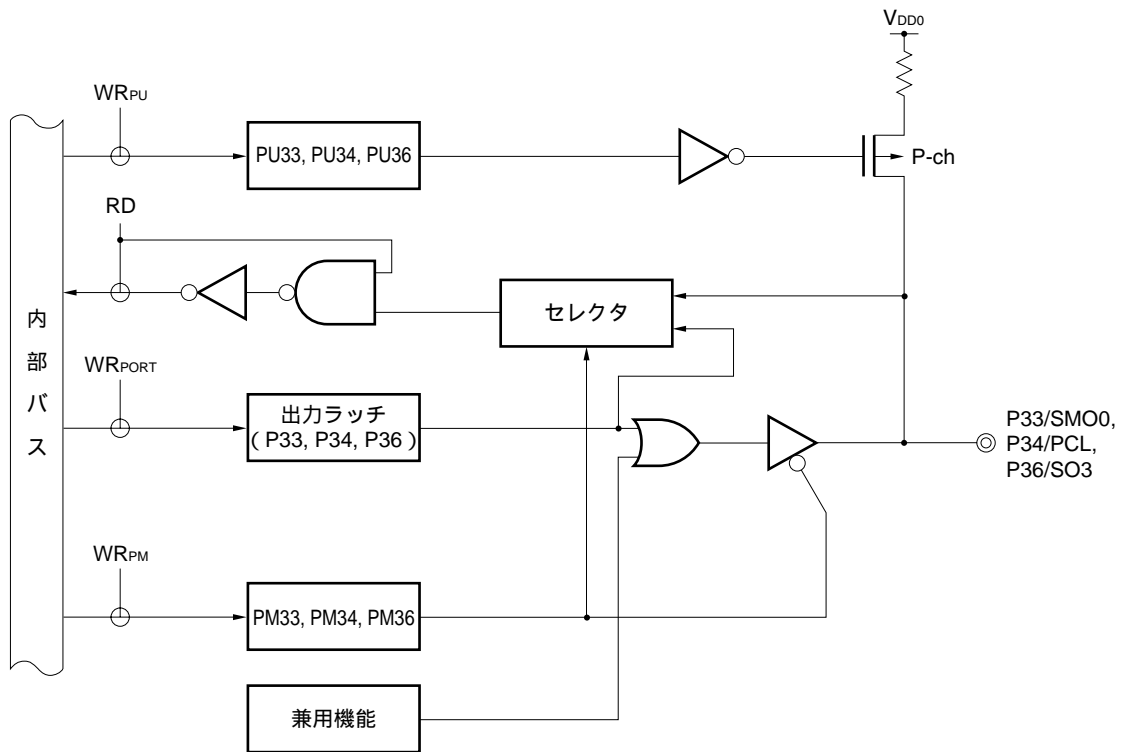
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 7 P33, P34, P36のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

4.2.4 ポート4

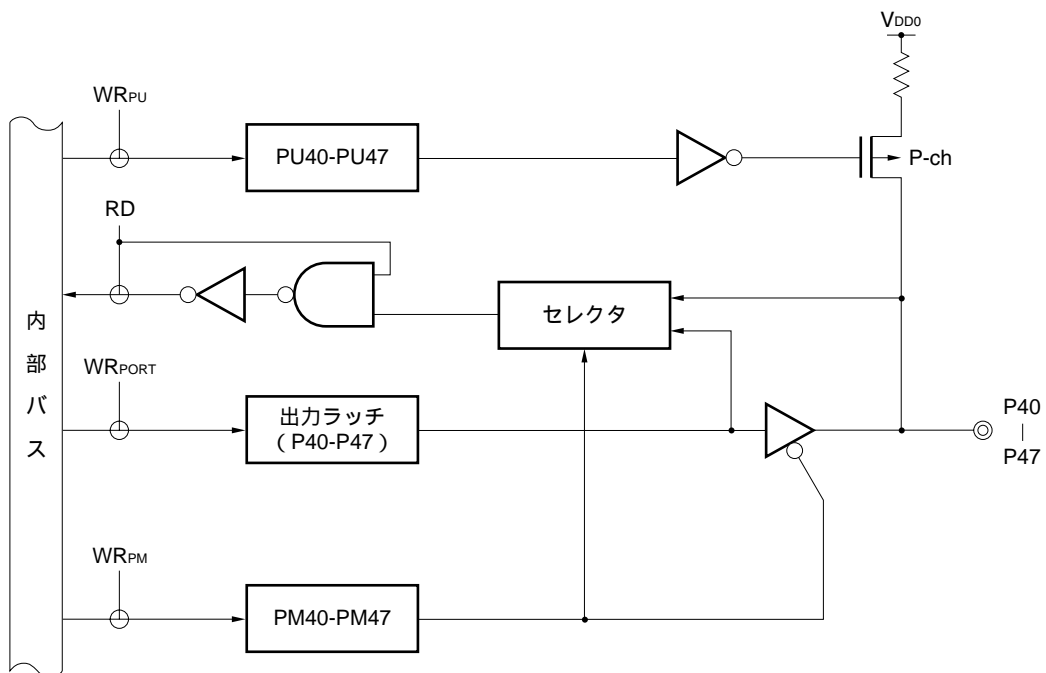
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力モード / 出力モードの指定ができます。P40-P47端子は、プルアップ抵抗オプション・レジスタ4 (PU4) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により入力モードになります。

図4-8にポート4のブロック図を示します。

注意 ポート4を出力モードで使用する場合には、対応するプルアップ抵抗オプション・レジスタ4 (PU4) に“0”を設定してください。

図4-8 P40-P47のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

4.2.5 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード / 出力モードの指定ができます。P50-P57端子は、プルアップ抵抗オプション・レジスタ5 (PU5) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

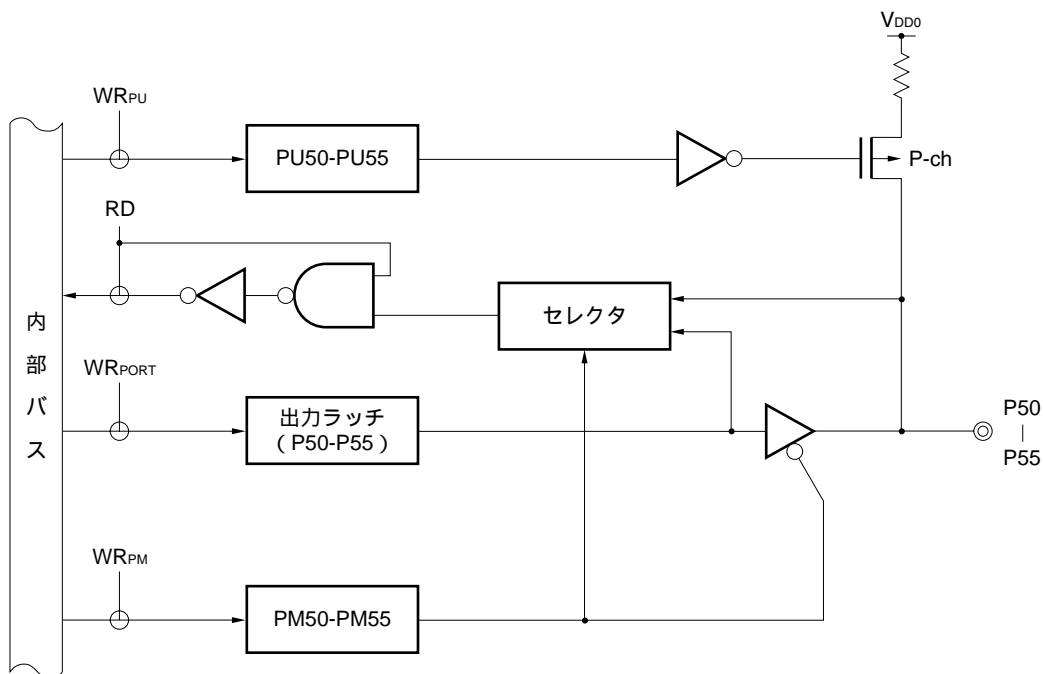
また、兼用機能としてMRサンプリング出力機能があります。

RESET入力により入力モードになります。

図4 - 9、図4 - 10にポート5のブロック図を示します。

- 注意1.** MRサンプリング出力を行う場合は、使用する端子を出力モードにし、出力ラッチに“0”を設定してください。
- 2.** ポート5を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) に“0”を設定してください。

図4 - 9 P50-P55のブロック図



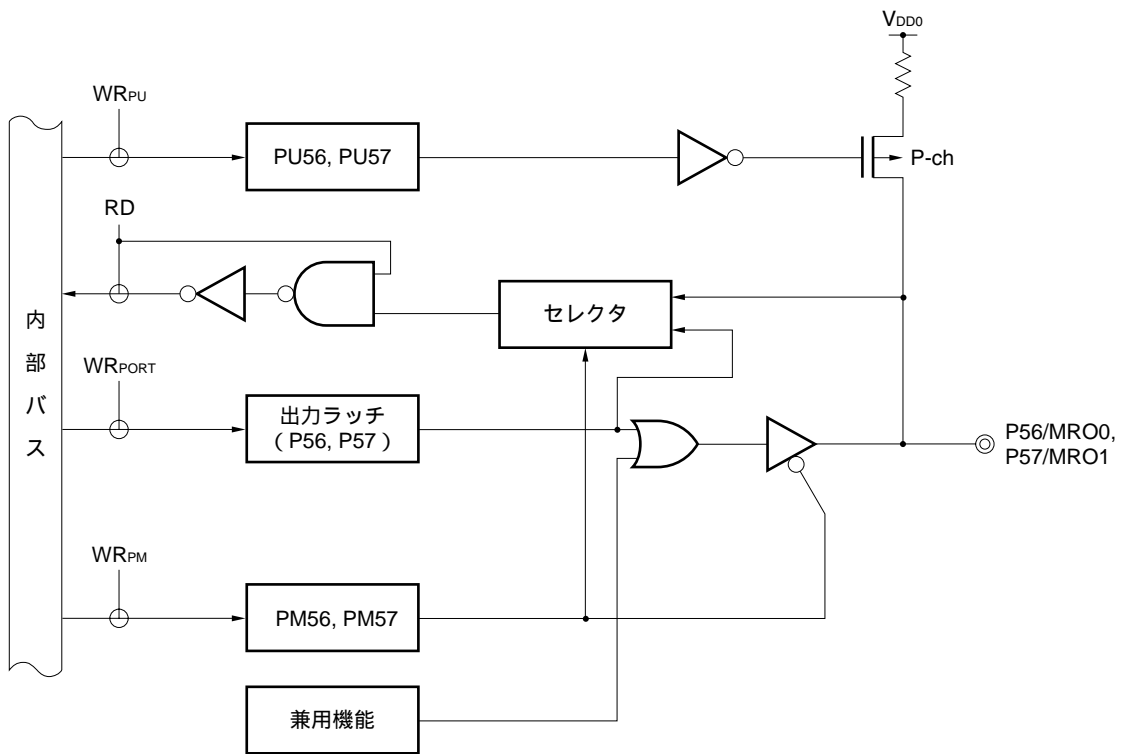
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

図4 - 10 P56, P57のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.6 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力モード / 出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートの上位5ビット / 下位3ビットによって異なります。

表4-3 ポート6のプルアップ抵抗

上位5ビット (P63-P67)	下位3ビット (P60-P62)
PU6により、1ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより、1ビット単位でプルアップ抵抗内蔵可能

PU6：プルアップ抵抗オプション・レジスタ6

P60-P62端子は、N-chオープン・ドレイン入出力ポートです (3.6 V耐圧)。

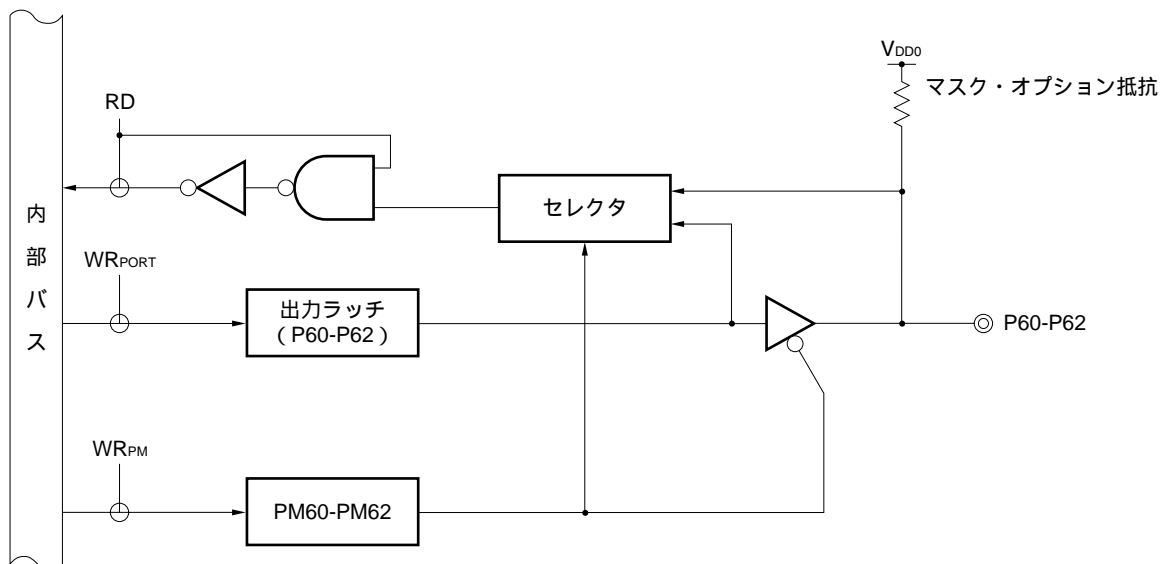
また、P60-P67端子には、兼用機能としてリアルタイム出力のイネーブル信号出力、リアルタイム出力機能があります。

RESET入力により入力モードになります。

図4-11、図4-12にポート6のブロック図を示します。

- 注意1**．リアルタイム出力のイネーブル出力、リアルタイム出力を行う場合は、使用する端子を出力モードにし、出力ラッチに“0”を設定してください。
- 2**．ポート6を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6) に“0”を設定してください。

図4-11 P60-P62のブロック図

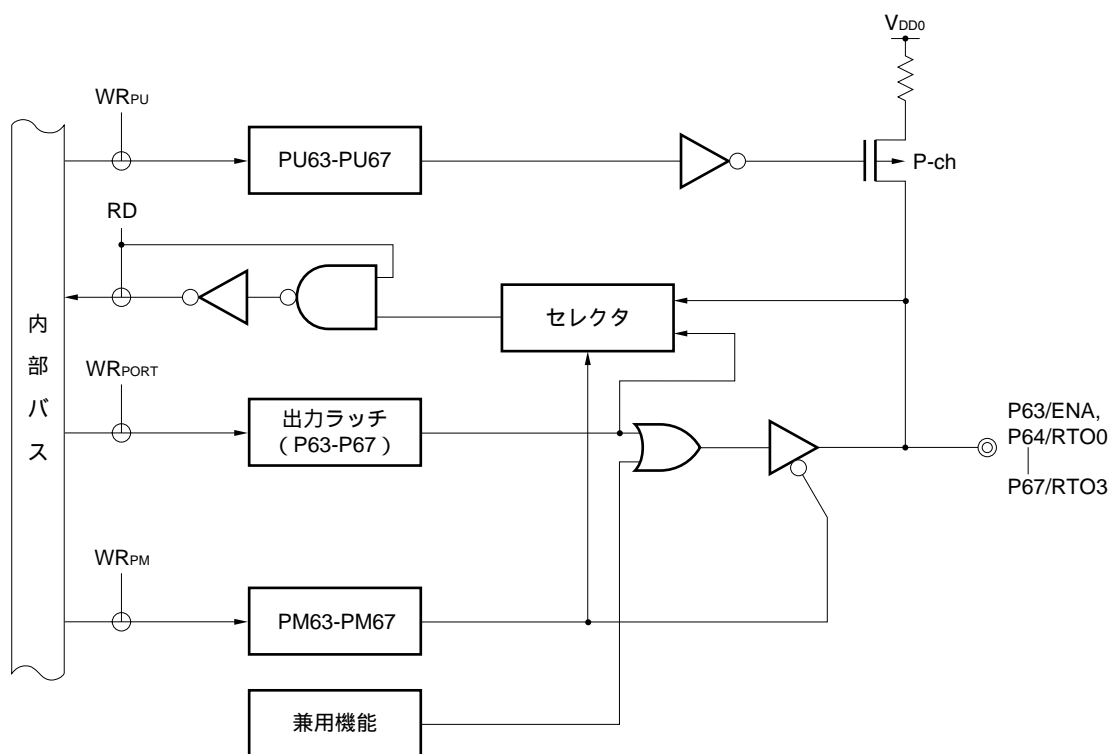


PM：ポート・モード・レジスタ

RD：ポート6のリード信号

WR：ポート6のライト信号

図4 - 12 P63-P67のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

4.2.7 ポート7

出力ラッチ付き8ビット入出力ポートです。P70-P77端子は、ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力モード/出力モードの指定ができます。P70-P77端子は、プルアップ抵抗オプション・レジスタ7 (PU7) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、ポート・ファンクション制御レジスタ7 (PF7) により、入出力ポートとしての機能と、セグメント端子としての機能を選択できます。

RESET入力により入力モードになります。

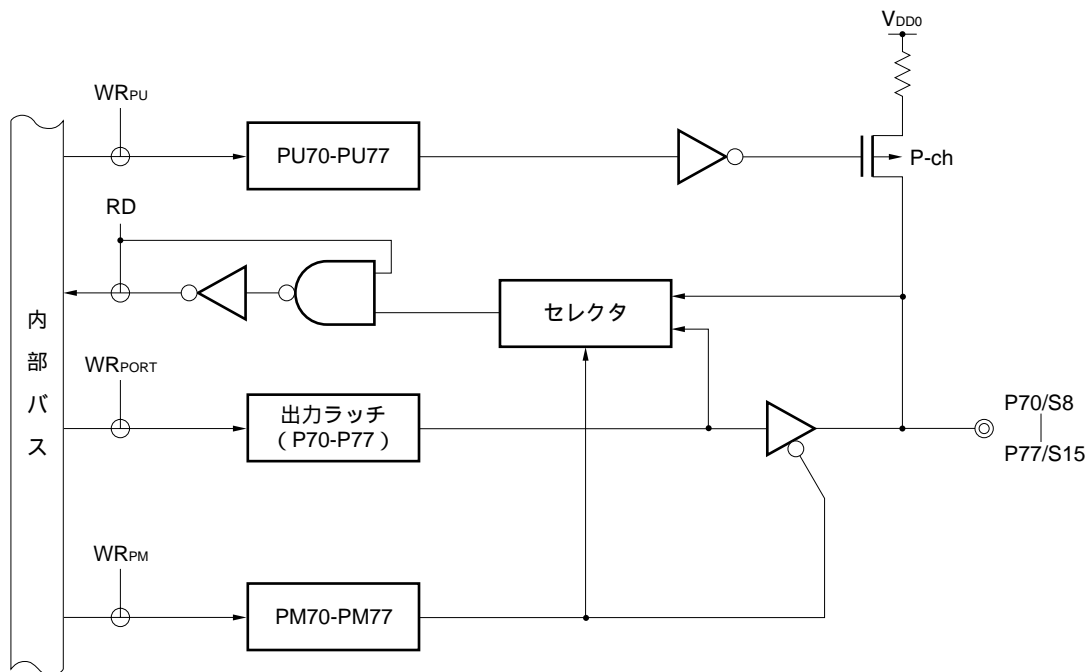
図4 - 13にポート7のブロック図を示します。

注意1 . LCDコントローラのセグメント信号出力を行う場合は、PF7に“1”を設定してください。

PF7に“1”を設定し、セグメント出力機能を選択した場合、PM7、ポート・ラッチの値は無効となります。また、PU7には“0”を設定してください。

2 . ポート7を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) に“0”を設定してください。

図4 - 13 P70-P77のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

注意 LCDコントローラのセグメント信号出力部の制御は、「第16章 LCDコントローラ/ドライバ」を参照してください。

4.2.8 ポート8

出力ラッチ付き8ビット入出力ポートです。P80-P87端子は、ポート・モード・レジスタ8 (PM8) により、1ビット単位で入力モード/出力モードの指定ができます。P80-P87端子は、プルアップ抵抗オプション・レジスタ8 (PU8) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、ポート・ファンクション制御レジスタ8 (PF8) により、入出力ポートとしての機能と、セグメント端子としての機能を選択できます。

RESET入力により入力モードになります。

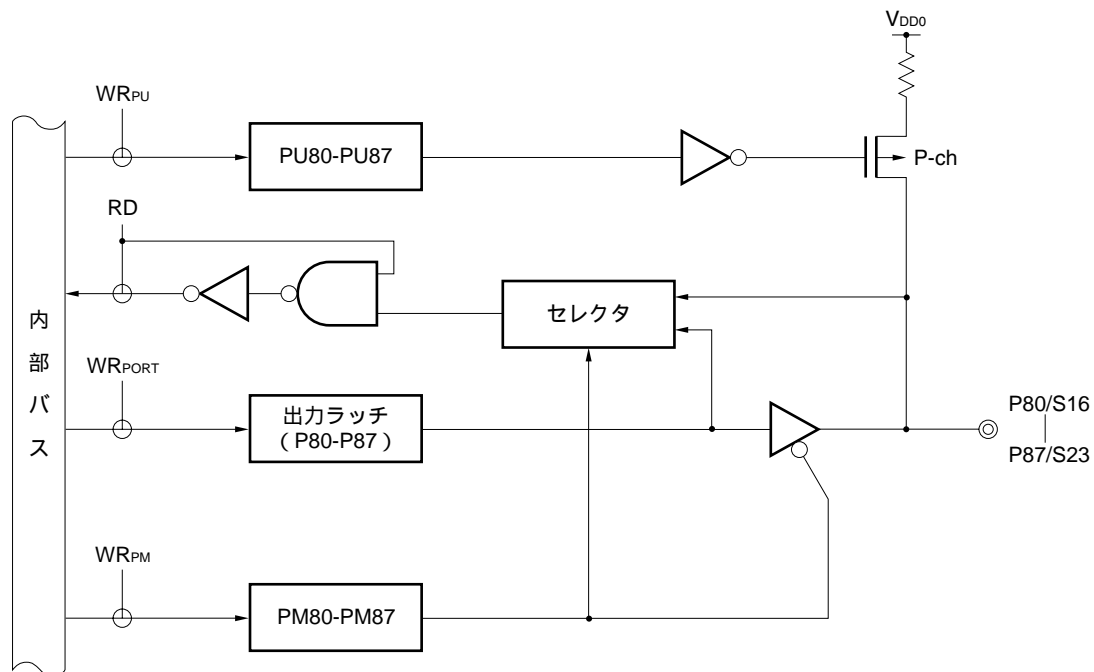
図4 - 14にポート8のブロック図を示します。

注意1 . LCDコントローラのセグメント信号出力を行う場合は、PF8に“1”を設定してください。

PF8に“1”を設定し、セグメント出力機能を選択した場合、PM8、ポート・ラッチの値は無効となります。また、PU8には“0”を設定してください。

2 . ポート8を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) に“0”を設定してください。

図4 - 14 P80-P87のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

注意 LCDコントローラのセグメント信号出力部の制御は、「第16章 LCDコントローラ/ドライバ」を参照してください。

4.2.9 ポート9

出力ラッチ付き6ビット入出力ポートです。P90-P95端子は、ポート・モード・レジスタ9 (PM9) により、1ビット単位で入力モード/出力モードの指定ができます。P90-P95端子は、プルアップ抵抗オプション・レジスタ9 (PU9) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、ポート・ファンクション制御レジスタ9 (PF9) により、入出力ポートとしての機能と、セグメント端子としての機能を選択できます。

$\overline{\text{RESET}}$ 入力により入力モードになります。

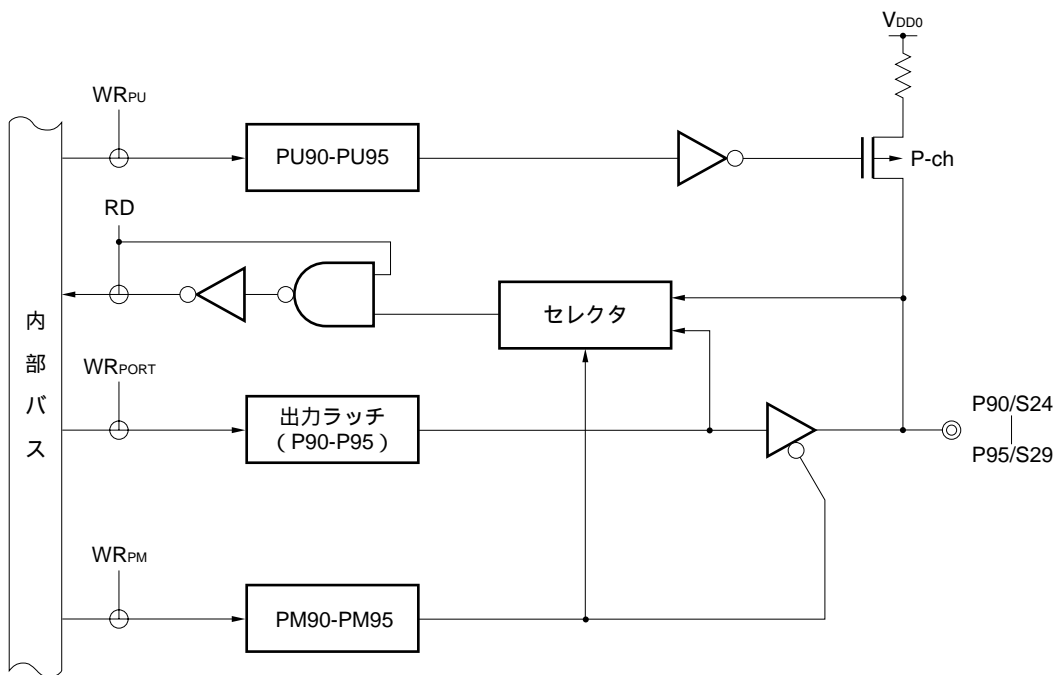
図4 - 15にポート9のブロック図を示します。

注意1 . LCDコントローラのセグメント信号出力を行う場合は、PF9に“1”を設定してください。

PF9に“1”を設定し、セグメント出力機能を選択した場合、PM9、ポート・ラッチの値は無効となります。また、PU9には“0”を設定してください。

2 . ポート9を出力モードで使用する場合は、プルアップ抵抗オプション・レジスタ9 (PU9) に“0”を設定してください。

図4 - 15 P90-P95のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

注意 LCDコントローラのセグメント信号出力部の制御は、「第16章 LCDコントローラ/ドライバ」を参照してください。

4.3 ポート機能を制御するレジスタ

ポートは次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2-PM9)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2-PU9)
- ・ポート・ファンクション制御レジスタ (PF7-PF9)

(1) ポート・モード・レジスタ (PM0, PM2-PM9)

ポートの入力/出力を1ビット単位で指定するレジスタです。

PM0, PM2-PM9は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

- 注意1. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって出力モードを使用するときには、割り込みマスク・フラグに“1”を設定してください。
2. ポート0, 2-9は出力モードに設定しても、プルアップ抵抗は遮断されないため、出力モードで使用する場合には、対応するプルアップ抵抗オプション・レジスタに“0”を設定してください。

図4 - 16 ポート・モード・レジスタ (PM0, PM2-PM9) のフォーマット

アドレス : FF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
アドレス : FF22H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
アドレス : FF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
アドレス : FF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
アドレス : FF25H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
アドレス : FF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
アドレス : FF27H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
アドレス : FF28H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80
アドレス : FF29H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM9	1	1	PM95	PM94	PM93	PM92	PM91	PM90

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2-9, n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU9)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。

PU0, PU2-PU9を“1”に設定した場合、ポート・モードの設定にかかわらず、内蔵プルアップ抵抗は、接続されます。したがって出力モードに設定した場合ビットに対応するPU0, PU2-PU9のビットは、“0”に設定してください。

PU0, PU2-PU9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4 - 17 プルアップ抵抗オプション・レジスタ (PU0, PU2-PU9) のフォーマット

アドレス : FF30H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00
アドレス : FF32H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20
アドレス : FF33H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30
アドレス : FF34H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40
アドレス : FF35H	リセット時 : 00FH	R/W						
略号	7	6	5	4	3	2	1	0
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50
アドレス : FF36H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU6	PU67	PU66	PU65	PU64	PU63	0	0	0
アドレス : FF37H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70
アドレス : FF38H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80
アドレス : FF39H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU9	0	0	PU95	PU94	PU93	PU92	PU91	PU90

PU _m n	P _m n端子の内蔵プルアップ抵抗の選択 (m = 0, 2-9, n = 0-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) ポート・ファンクション制御レジスタ (PF7-PF9)

ポート7-9を入出力ポートとして使用するか、セグメント出力端子としての使用するかを設定するレジスタです。

PF7-PF9をセグメント出力として設定した場合、ポート・モード・レジスタ (PM7-PM9) , ポート・ラッチの値は無効となります。

また,PF7-PF9を“1”に設定したビットに対応するプルアップ抵抗オプション・レジスタ7-9(PU7-PU9)のビットは, “0” に設定してください。

PF7-PF9は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図4 - 18 ポート・ファンクション制御レジスタ (PF7-PF9) のフォーマット

アドレス : FF57H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF7	PF77	PF76	PF75	PF74	PF73	PF72	PF71	PF70

アドレス : FF58H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80

アドレス : FF59H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF9	0	0	PF95	PF94	PF93	PF92	PF91	PF90

PF7m, PF8m, PF9n	P7m, P8m, P9n端子の機能制御 (m = 0-7, n = 0-5)
0	入出力ポートとして機能
1	セグメント出力端子としての機能

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.5 マスク・オプションの選択

マスクROM製品 (μ PD780957(A), 780958(A)) には、次のマスク・オプションがあります。

表4 - 4 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P60-P62, $\overline{\text{RESET}}$	1ビット単位でプルアップ抵抗を内蔵できます。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の3種類があります。

(1) メイン・システム・クロック (RC) 発振回路

1.2 MHzの周波数を発振します。プロセッサ・クロック・コントロール・レジスタ (PCC) の設定により、
発振を停止できます。

(2) サブシステム・クロック1発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。

(3) サブシステム・クロック2発振回路

4.91 MHzの周波数を発振します。SUB2クロック・コントロール・レジスタ (CKC) により、サブシス
テム・クロック2の発振開始 / 停止の設定ができます。

5.2 クロック発生回路の構成

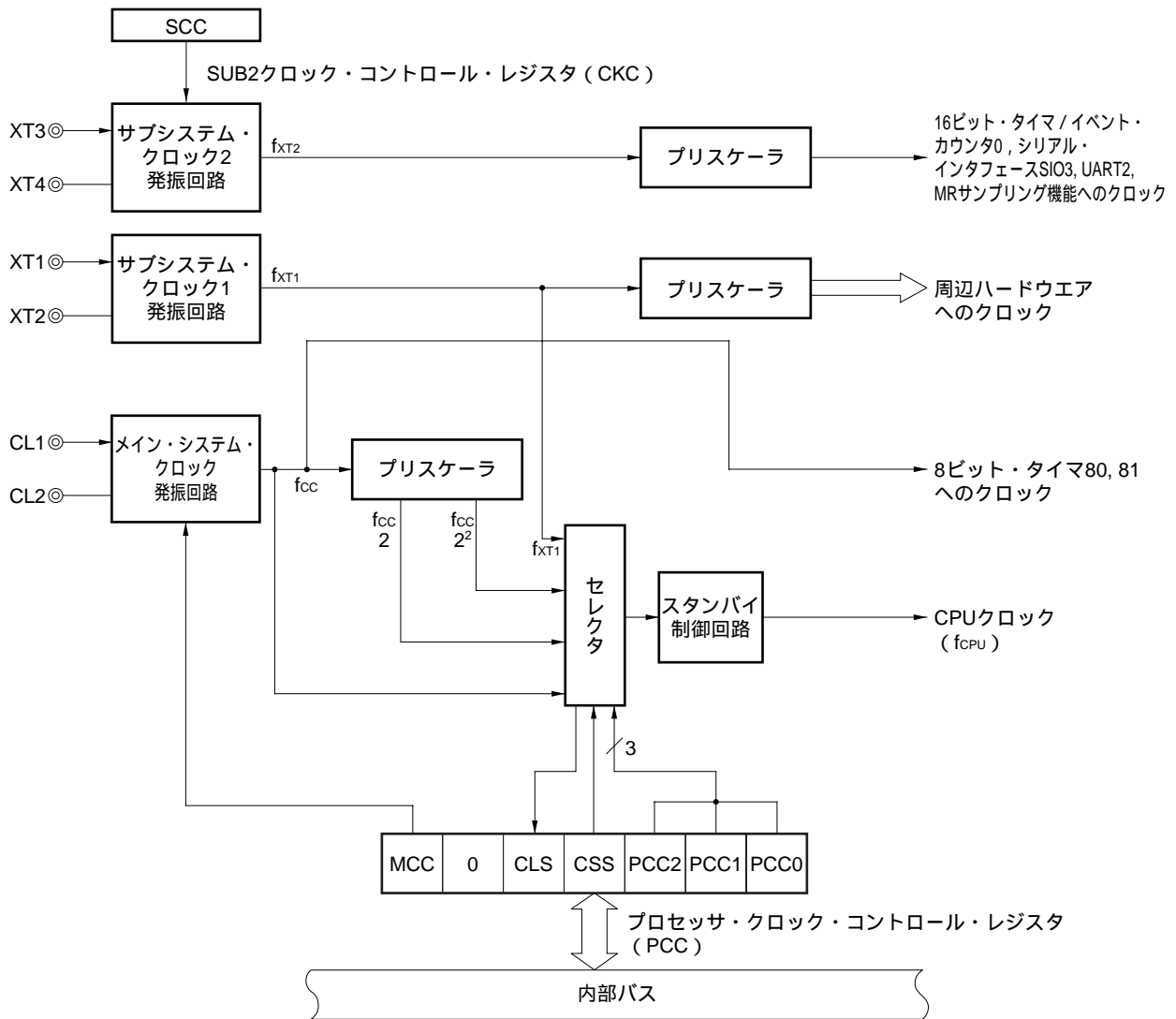
クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) SUB2クロック・コントロール・レジスタ (CKC)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック1, 2発振回路

図5 - 1にクロック発生回路のブロック図を示します。

図5-1 クロック発生回路のブロック図



周辺ハードウェアへは、表5 - 2に示すシステム・クロックが供給されます。

表5 - 2 各周辺ハードウェアへ供給されるシステム・クロック

周辺ハードウェア	システム・クロック
シリアル・インタフェースSIO3	サブシステム・クロック1またはサブシステム・クロック2で動作
シリアル・インタフェースUART2	
16ビット・タイマ/イベント・カウンタ0	
16ビット・タイマ/イベント・カウンタ2	サブシステム・クロック1で動作
8ビット・タイマ80	メイン・システム・クロックまたはサブシステム・クロック1で動作
8ビット・タイマ81	
8ビット・タイマ82	サブシステム・クロック1で動作
8ビット・タイマ83	
ウォッチドッグ・タイマ	
MRサンプリング機能	サブシステム・クロック1またはサブシステム・クロック2で動作
サンプリング出力タイマ/ディテクタ	サブシステム・クロック1で動作
LCDコントローラ/ドライバ	
クロック出力制御回路	

備考 メイン・システム・クロック : 1.2 MHz (RC発振)

サブシステム・クロック1 : 32.768 kHz

サブシステム・クロック2 : 4.91 MHz

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・SUB2クロック・コントロール・レジスタ (CKC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比，メイン・システム・クロック発振回路の動作 / 停止を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，04Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：04H R/W^{注1}

略号	7	6	5	4	3	2	1	0
PCC	MCC	0	CLS	CSS	0	PCC2	PCC1	PCC0

MCC	メイン・システム・クロックの発振の制御 ^{注2}
0	発振可能
1	発振停止

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック1

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{cc}
	0	0	1	f _{cc} /2
	0	1	0	f _{cc} /2 ²
1	0	0	0	f _{XT1}
	0	0	1	
	0	1	0	
上記以外				設定禁止

注1．ビット5は，Read Onlyです。

2．CPUがサブシステム・クロック1として動作しているとき，メイン・システム・クロックの発振の停止はMCCを使用してください。

注意1．ビット3，ビット6には，必ず“0”を設定してください。

注意2 . リセット時のみ、 $PCC = 04H (f_{cc}/2^4)$ となっています。リセット後、サブシステム・クロック1動作に移行する前にPCCを00H, 01H, 02Hのいずれかに必ず設定してください(クロックの切り替えが正常に行えないため)。

- 3 . メイン・システム・クロックからサブシステム・クロック1に切り替え、メイン・システム・クロックの発振を停止する(ビット7 (MCC) に1を設定)際は、必ずCPUクロックがサブシステム・クロック1に切り替わったこと (CLS 1) を確認後行ってください。
- 4 . ビット4 (CSS) とビット7 (MCC) は、同時に切り替えしないでください。誤動作するおそれがあります。

備考1 . f_{cc} : メイン・システム・クロック発振周波数

2 . f_{XT1} : サブシステム・クロック1発振周波数

(2) SUB2クロック・コントロール・レジスタ (CKC)

CKCは、サブシステム・クロック2発振回路の動作/停止を設定するレジスタです。

CKCは、1ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

図5 - 3 SUB2クロック・コントロール・レジスタ (CKC) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKC	0	0	0	0	0	0	0	SCC

SCC	SUB2クロックの発振の制御
0	発振停止
1	発振可能

注意 CKCにより、SUB2クロックの発振停止時の再発振開始時は、発振安定時間待ちは行われません。SUB2クロックを周辺用クロックとして使用するときは、発振安定時間待ちを行ってから使用してください。

μ PD780958マイクロコントローラの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5 - 3のようになります。

表5 - 3 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間 : $2/f_{CPU}$
f_{cc}	$1.7 \mu s$
$f_{cc}/2$	$3.4 \mu s$
$f_{cc}/2^2$	$6.7 \mu s$
f_{XT1}	$61 \mu s$

備考1 . $f_{cc} = 1.2 \text{ MHz}$ 動作時 (f_{cc} : メイン・システム・クロック発振周波数)

2 . $f_{XT1} = 32.768 \text{ kHz}$ 動作時 (f_{XT1} : サブシステム・クロック1発振周波数)

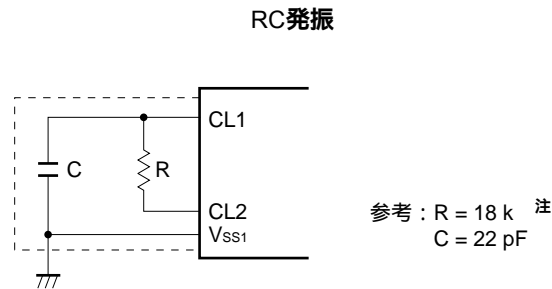
5.4 メイン・システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はCL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) (標準 : 1.2 MHz) によって発振します。

図5 - 4にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 4 メイン・システム・クロック発振回路の外付け回路



注 発振周波数は、セットの電気的特性 (配線容量, 配線抵抗等) や温度の影響を受けます。また, デバイスごとの特性ばらつきもありますので, セット上での評価によって最適なCR値をご決定ください。

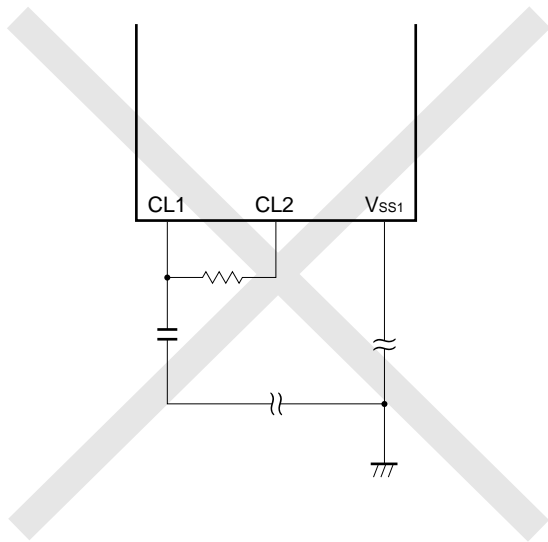
注意 メイン・システム・クロック発振回路を使用する場合は, 配線容量などの影響を避けるために, 図5 - 4の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また, 変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は, 常にV_{SS1}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

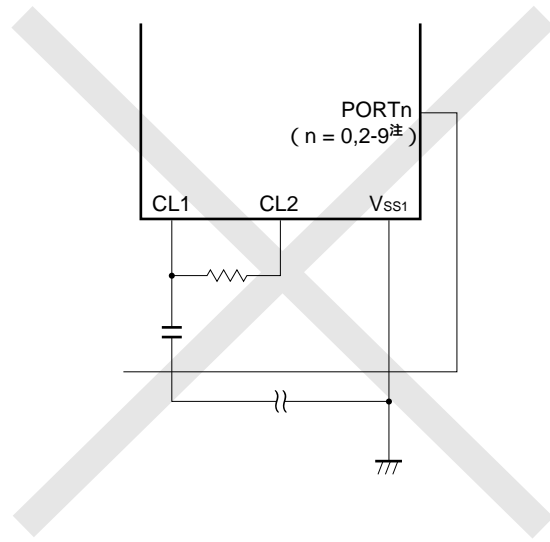
図5 - 5に発振子の接続の悪い例を示します。

図5 - 5 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い



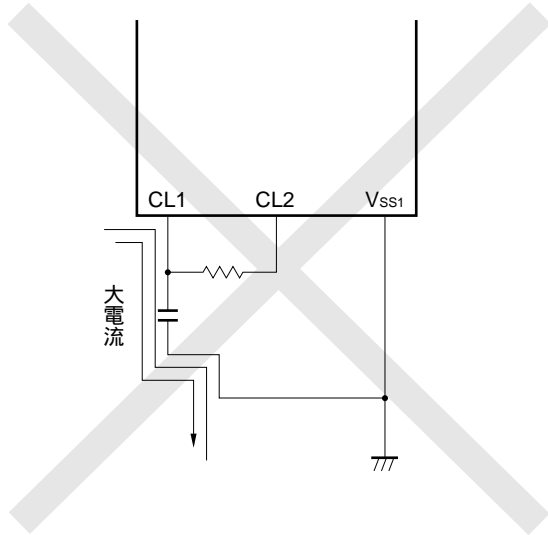
(b) 信号線が交差している



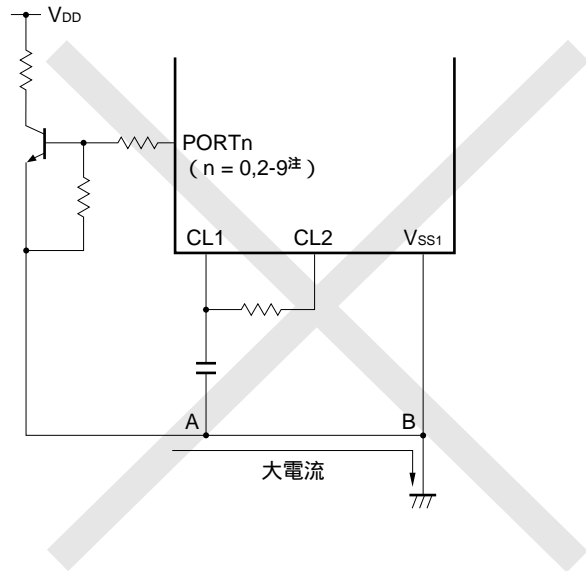
注 ポート6はP63-P67のみ

図5 - 5 発振子の接続の悪い例 (2/2)

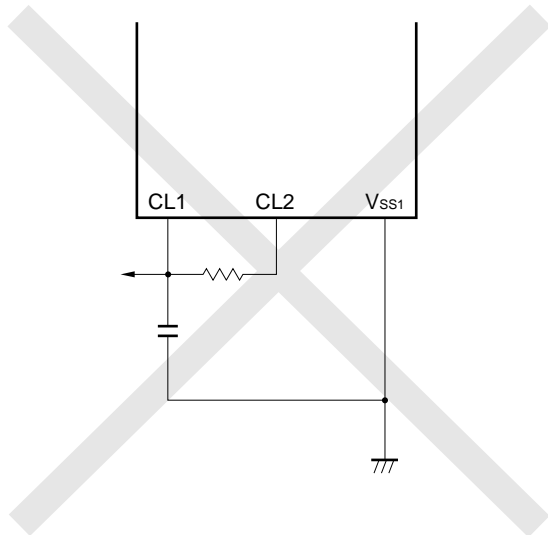
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点の電位が変動する)



(e) 信号を取り出している



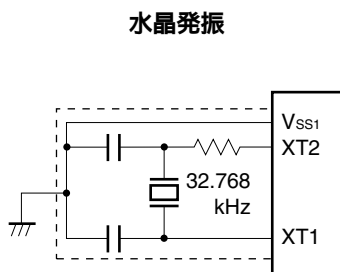
注 ポート6はP63-P67のみ

5.4.2 サブシステム・クロック1発振回路

サブシステム・クロック1発振回路はXT1, XT2端子に接続された水晶振動子(標準: 32.768 kHz)によって発振します。

図5-6にサブシステム・クロック1発振回路の外付け回路を示します。

図5-6 サブシステム・クロック1発振回路の外付け回路



注意1. サブシステム・クロック1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-6の破線の部分を次のように配線してください。

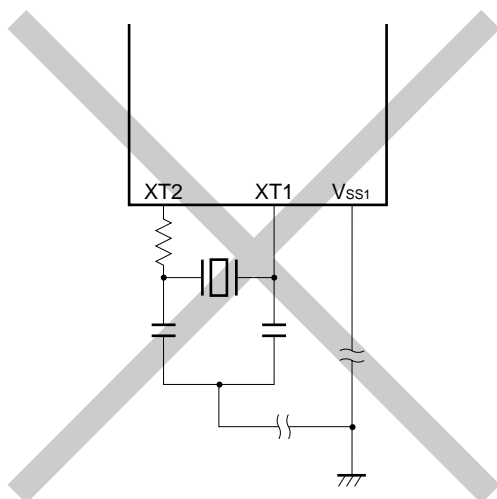
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック1発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

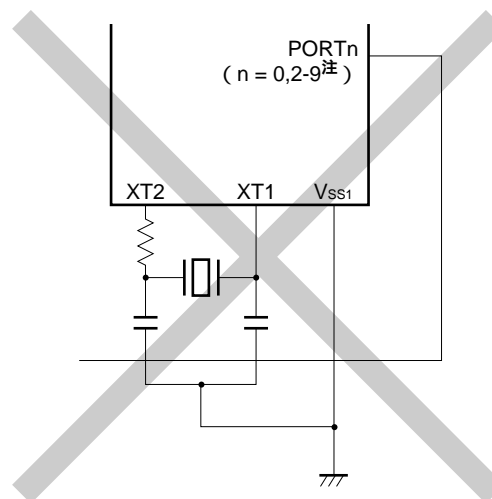
図5-7に発振子の接続の悪い例を示します。

図5-7 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い



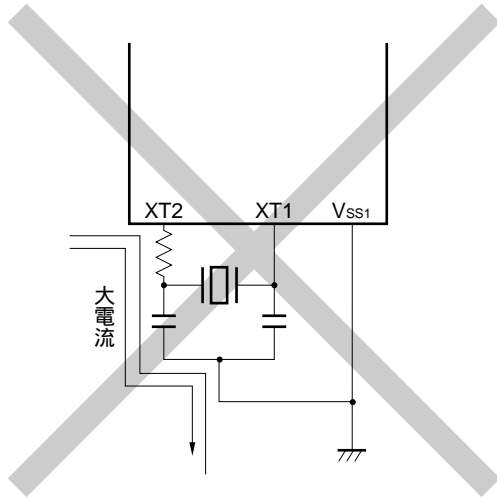
(b) 信号線が交差している



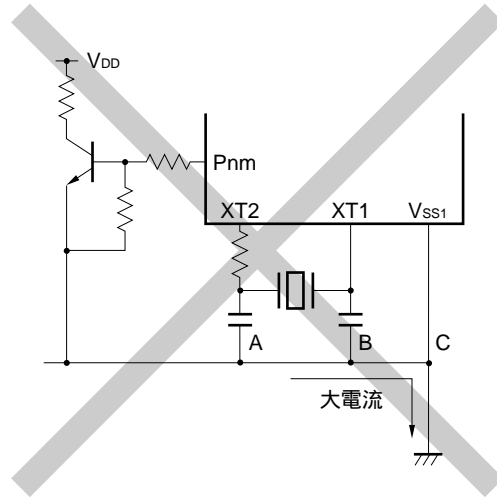
注 ポート6はP63-P67のみ

図5-7 発振子の接続の悪い例 (2/2)

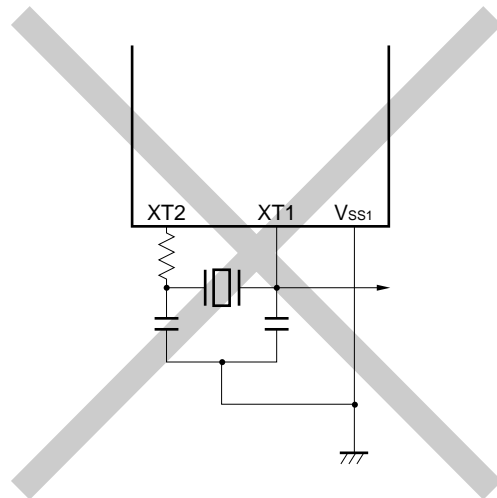
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



5.4.3 分周回路

分周回路は、サブシステム・クロック1発振回路出力 (f_{XT1}) を分周して、各種クロックを生成します。

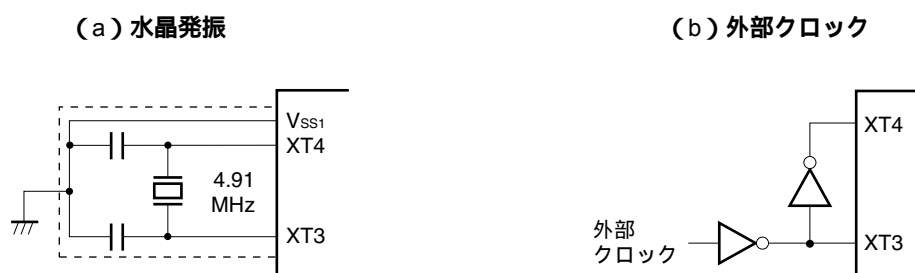
5.4.4 サブシステム・クロック2発振回路

サブシステム・クロック2発振回路はXT3, XT4端子に接続された水晶振動子 (標準: 4.91 MHz) によって発振します。

また,外部クロックを入力することもできます。その場合,XT3端子にクロック信号を入力し,XT4端子には,その反転した信号を入力してください。

図5-8にサブシステム・クロック2発振回路の外付け回路を示します。

図5-8 サブシステム・クロック2発振回路の外付け回路



注意1. サブシステム・クロック2は, CPUクロックとしては使用できません。

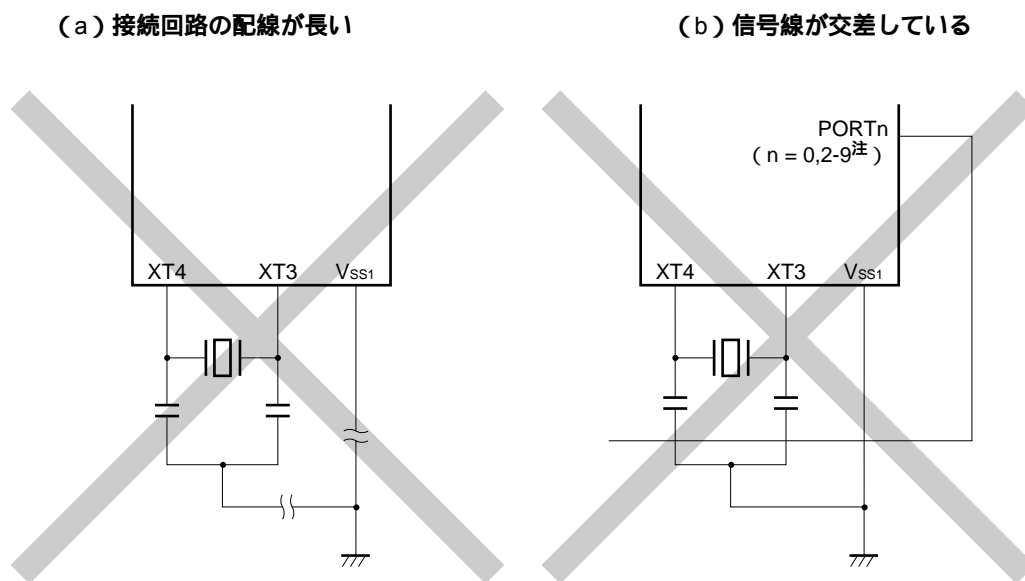
2. メイン・システム・クロックおよびサブシステム・クロック2発振回路を使用する場合は, 配線容量などの影響を避けるために, 図5-8の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また, 変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は, 常に V_{SS1} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に, サブシステム・クロック2発振回路は, 低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

図5-9に発振子の接続の悪い例を示します。

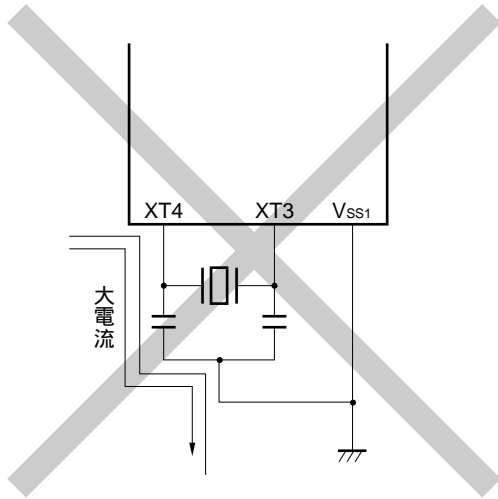
図5 - 9 発振子の接続の悪い例 (1/2)



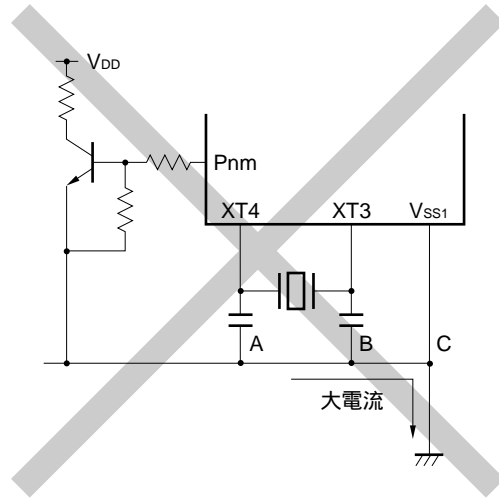
注 ポート6はP63-P67のみ

図5-9 発振子の接続の悪い例 (2/2)

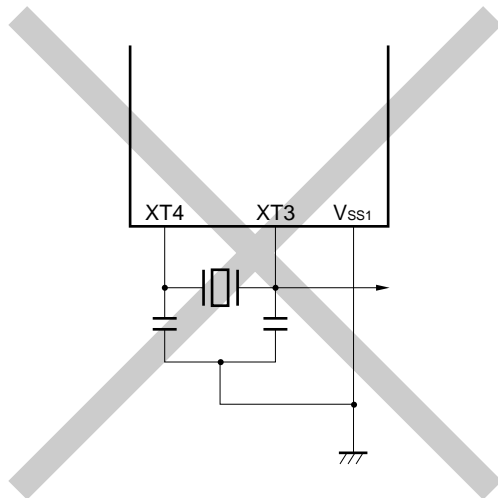
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_{CC}
- ・サブシステム・クロック1 f_{XT1}
- ・サブシステム・クロック2 f_{XT2}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) \overline{RESET} 信号発生により、プロセッサ・クロック・コントロール・レジスタ (PCC) は04H^註に設定されます。なお、 \overline{RESET} 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。

注 サブシステム・クロック1動作に移行する前にPCCを00H, 01H, 02Hのいずれかに必ず設定してください (クロックの切り替えが正常に行えないため)。

- (b) メイン・システム・クロックを選択した状態でPCCの設定により3段階の最小命令実行時間 (1.7 μ s, 3.4 μ s, 6.7 μ s : 1.2 MHz動作時) を選択できます。
- (c) メイン・システム・クロックを選択した状態でHALTモードが使用できます。
- (d) PCCにより、サブシステム・クロック1を選択し、低消費電流で動作 (61 μ s : 32.768 kHz動作時) できます。
- (e) サブシステム・クロック1を選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。
- (f) HALTモード時、サブシステム・クロック1, 2に接続されている周辺機能は、継続して使用できます。
- (g) SUB2クロック・コントロール・レジスタ (CKC) によって、サブシステム・クロック2を制御します。サブシステム・クロック2は、TM0, MRTD0, SIO3, UART2へのクロックとして使用できます。

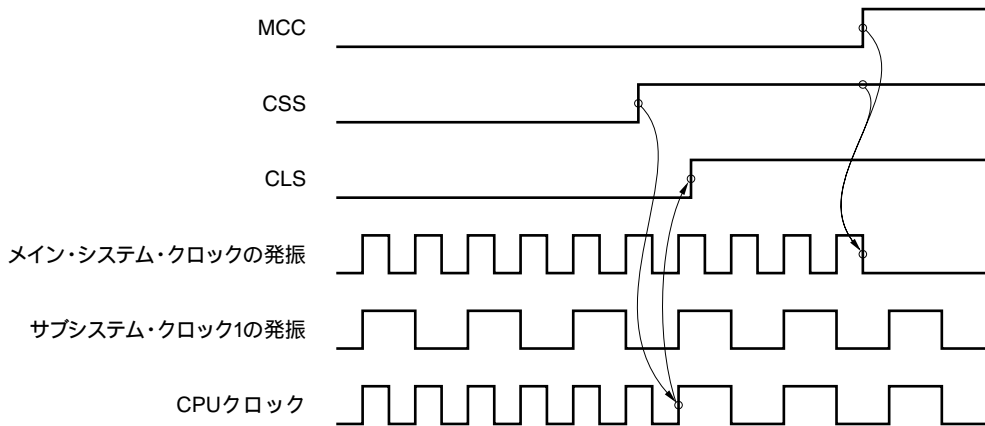
注意 サブシステム・クロック2は、CPUクロックとしては、使用できません。

5.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき），PCCのビット0-2（PCC0-PCC2）により最小命令実行時間を変更できます。

図5 - 10 メイン・システム・クロックの停止機能

（メイン・システム・クロック動作時にCSSをセットしたあと，MCCをセットしたときの動作）



5.5.2 サブシステム・クロック1の動作

サブシステム・クロック1動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が1のとき），次のように動作します。

- ・PCCのビット0-2（PCC0-PCC2）に関係なく最小命令実行時間は一定（ $61 \mu s$: 32.768 kHz動作時）です。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5-4参照)。

メイン・システム・クロックで動作しているのか、サブシステム・クロック1で動作しているのかは、PCCのビット5 (CLS) で判定できます。

表5-4 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値															
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
				0	0	0	0	0	0	0	1	0	0	1	0	1	x	x	x
0	0	0	0	/				16命令				16命令				fcc/2f _{XT} 命令 (31命令)			
	0	0	1					8命令				8命令				fcc/4f _{XT} 命令 (16命令)			
	0	1	0					4命令				4命令				fcc/8f _{XT} 命令 (8命令)			
1	x	x	x	1命令				1命令				1命令				/			

備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. () はfcc = 1.2 MHz, f_{XT1} = 32.768 kHz時。

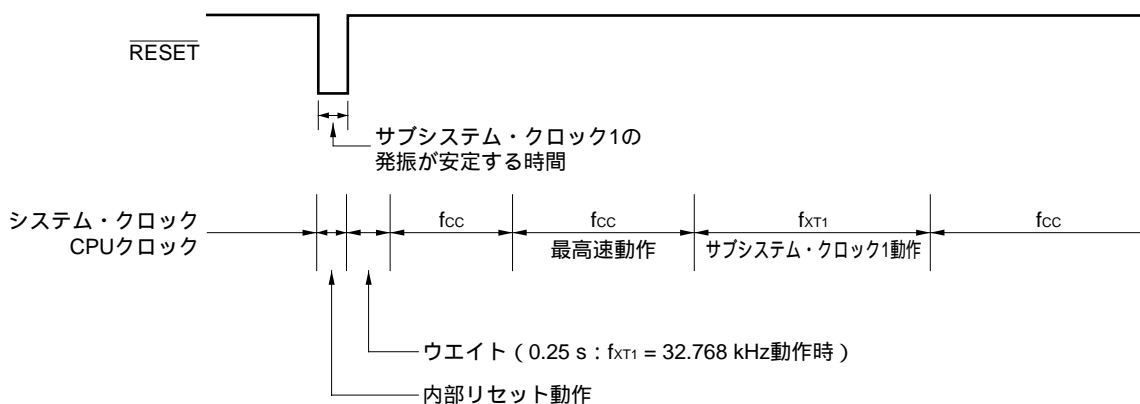
注意 CPUクロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロック1への切り替え (CSSを0 1) を同時に設定しないでください。

ただし、CPUクロックの分周の選択 (PCC0-PCC2) とサブシステム・クロック1からメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5-11 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき自動的に発振安定時間 (0.25 s : $f_{XT1} = 32.768$ kHz動作時) を確保します。

その後、CPUはメイン・システム・クロックの最低速 $f_{cc}/2^4$ ($PCC = 04H^{\#}$) で命令の実行を開始します。

プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに書き換えて、CPUクロックを最高速に切り替えます。

PCCレジスタのビット4 (CSS) に“1”を設定して、サブシステム・クロック1動作に切り替えます。また、メイン・システム・クロックの発振を停止する場合は、PCCレジスタのビット7 (MCC) に“1”を設定します。

メイン・システム・クロックの発振を停止している場合は、PCCレジスタのビット7 (MCC) に“0”を設定してメイン・システム・クロックを発振開始させたあとに、PCCレジスタのビット4 (CSS) に“0”を設定してメイン・システム・クロック動作に切り替えます。

注 サブシステム・クロック1動作に移行する前にPCCを00H, 01H, 02Hのいずれかに必ず設定してください (クロックの切り替えが正常に行えないため)。

注意1 本製品では、低消費電力を実現するために、サブシステム・クロック1発振回路の駆動電圧が V_{DD} 電圧より低くなっています。しかし発振開始時における特性を考慮して、リセット期間中はサブシステム・クロック1発振回路の駆動電圧は V_{DD} 電圧になります。

このため、電源投入後のリセット時には、サブシステム・クロック1の発振が安定するのに必要な時間のロウ・レベルを $\overline{\text{RESET}}$ 端子に入力してください。

2. メイン・システム・クロックは、サブシステム・クロック1の1クロックで発振が安定します。したがって、メイン・システム・クロックを停止し、サブシステム・クロック1で動作している場合に、再度メイン・システム・クロックに切り替えるときには、発振安定時間を確保する必要はありません。

3. 電源投入直後のみ、 $\overline{\text{RESET}}$ 端子にサブシステム・クロック1の発振が安定する時間のロウ・レベルを入力してください。

第6章 リアルタイム出力機能

6.1 機 能

RTOデータ・レジスタにあらかじめ設定したデータを、8ビット・タイマ83の割り込み要求信号（INTTM83）の発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できますので、ステップング・モータなどの制御に最適です。

リアルタイム出力ポート・モードで使用する場合には、P64-P67は通常の入出力ポートとしては使用できません。

6.2 構 成

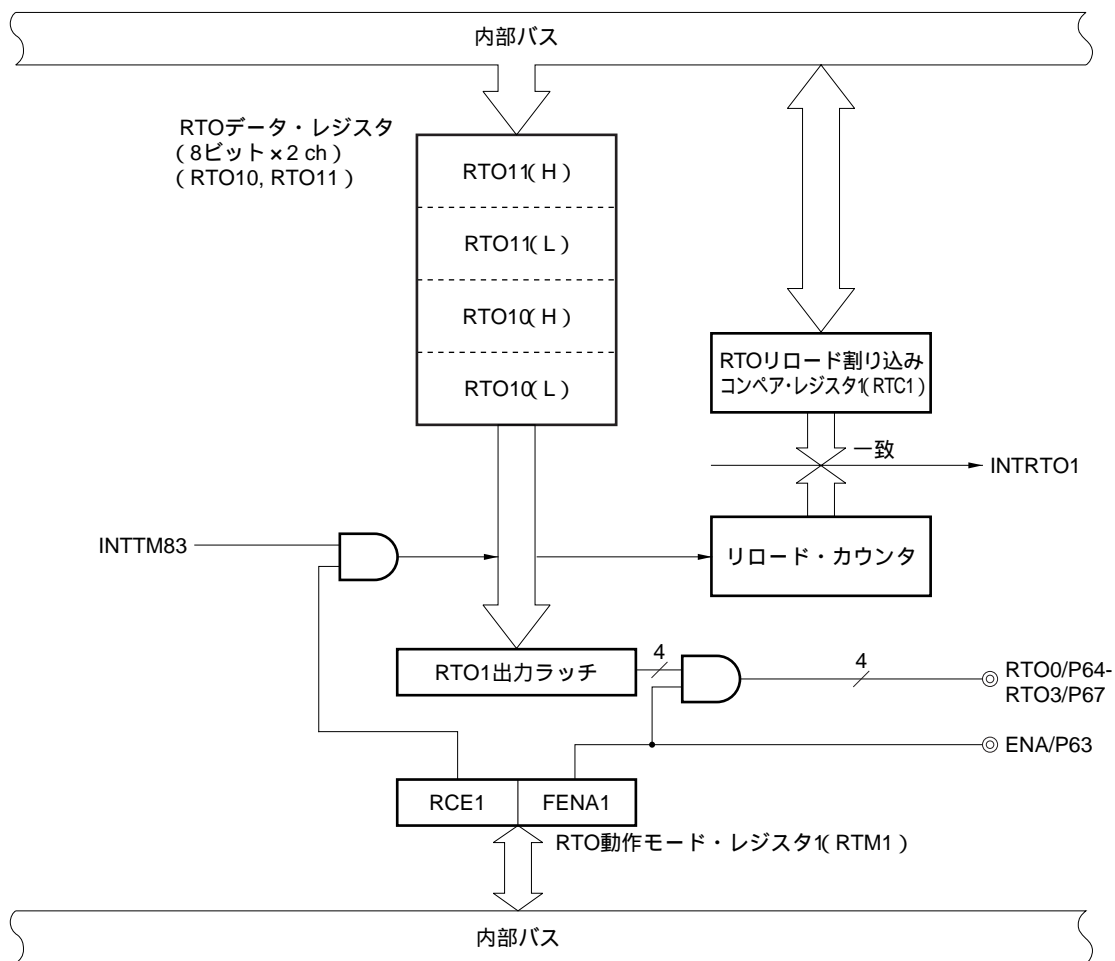
リアルタイム出力ポートは、次のハードウェアで構成しています。

表6 - 1 リアルタイム出力ポートの構成

項 目	構 成
出力バッファ・レジスタ	RTOデータ・レジスタ10, 11 (RTO10, RTO11)
制御レジスタ	RTOリロード割り込みコンペア・レジスタ1 (RTC1) RTO動作モード・レジスタ1 (RTM1)

図6 - 1にリアルタイム出力ポートのブロック図を示します。

図6 - 1 リアルタイム出力ポート1 (RTO1) のブロック図



RTOデータ・レジスタ10, 11 (RTO10, RTO11)

出力データをあらかじめ保持しておく書き込み専用の8ビットのレジスタです。

RTO10, RTO11は、図6 - 2に示すように特殊機能レジスタ (SFR) 領域内にてそれぞれ独立したアドレスにマッピングされています。

図6 - 2 RTOデータ・レジスタ10, 11 (RTO10, RTO11) の構成

	上位4ビット	下位4ビット
FF97H	RTO10 (H, L)	
FF98H	RTO11 (H, L)	

6.3 制御レジスタ

リアルタイム出力ポートは、次の2種類のレジスタで制御します。

- ・RTOリロード割り込みコンペア・レジスタ1 (RTC1)
- ・RTO動作モード・レジスタ1 (RTM1)

(1) RTOリロード割り込みコンペア・レジスタ1 (RTC1)

RTC1は、割り込みを発生させるリロード回数を設定する8ビットのレジスタです。

リロード・カウンタにより、リロード回数をカウントしてRTC1と一致するとINTRTO1を出力します。

RTC1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) RTO動作モード・レジスタ1 (RTM1)

リアルタイム出力ポート・モードとポート・モードの選択およびRTO1の出力制御を設定するレジスタです。

RTM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-3 RTO動作モード・レジスタ1 (RTM1) のフォーマット

アドレス：FF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTM1	RCE1	0	0	0	0	0	0	FENA1

RCE1	リアルタイム出力の動作モードの選択
0	ポート・モードとして動作
1	リアルタイム出力ポート・モードとして動作

FENA1	RTO1の出力制御
0	リアルタイム出力ポートへ出力を禁止、およびENA端子に“0”を出力
1	リアルタイム出力ポートへ出力を許可、およびENA端子に“1”を出力

- 注意1**．リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポート（ENA端子を含む）は、出力モードに設定してください。ポート・モード・レジスタ6（PM6）で出力モードに設定し、ポート・ラッチ（P63-P67）に“0”を設定してください。
- リアルタイム出力ポートとして選択した場合、P63-P67は入出力ポートとしては使用できません。
 - リアルタイム出力ポートとして動作（RCE1をセット（1））させるには、8ビット・タイマ83の動作を停止させてから行ってください。

6.4 リアルタイム出力の動作

(1) 初期設定

- ・ RTO動作モード・レジスタ1 (RTM1) のビット7 (RCE1) に “ 0 ” を設定。
- ・ RTOリロード割り込みコンペア・レジスタ1 (RTC1) に任意の値 (00H ~ FFH) を設定。
- ・ リアルタイム出力ポート兼用 (P64-P67) のポート・モード・レジスタ6 (PM6) を出力モードに設定し、対応するポート・ラッチに “ 0 ” を設定。
- ・ 8ビット・タイマ83の動作を停止。
- ・ 8ビット・タイマ83のインターバル時間を設定。
- ・ RTOデータ・レジスタ10, 11 (RTO10, RTO11) に任意の値を設定。

(2) リアルタイム出力動作を許可する

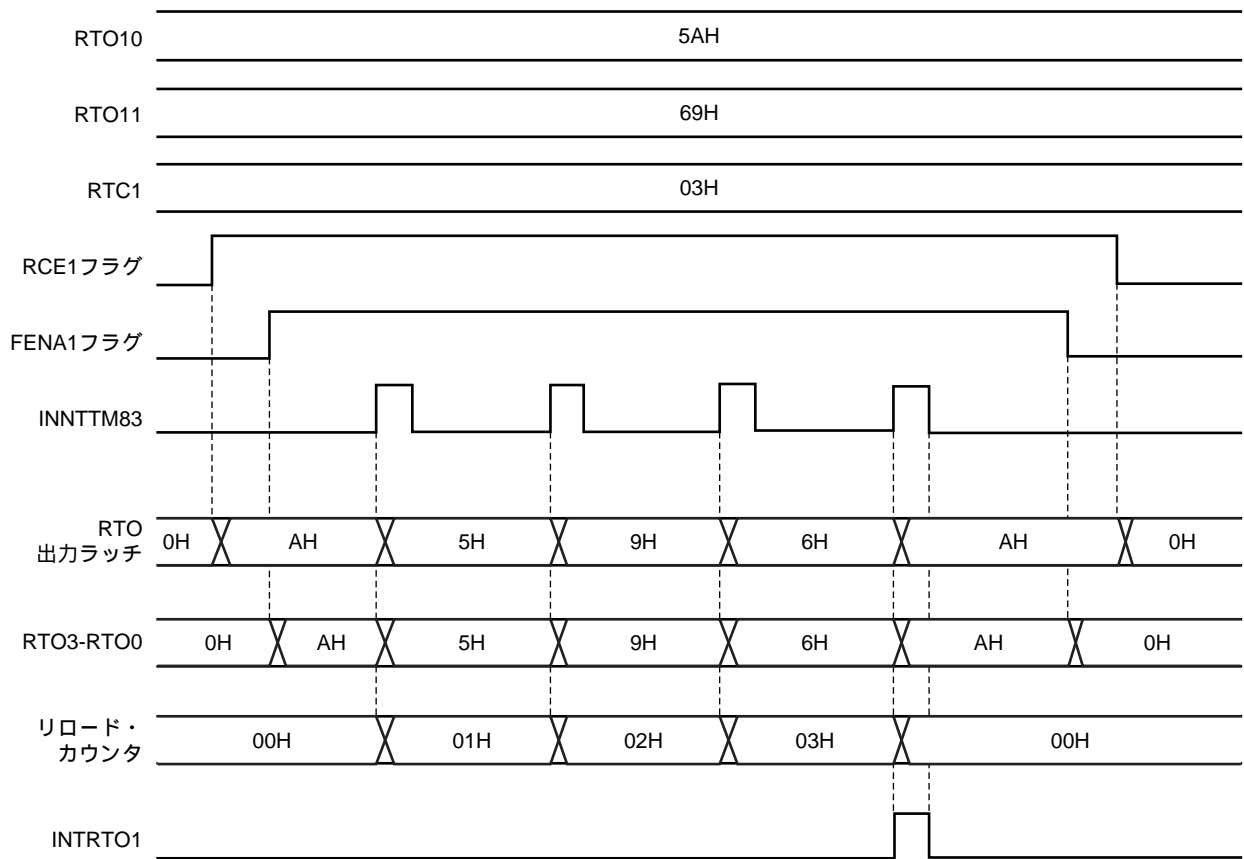
- ・ RTM1のビット7 (RCE1) に “ 1 ” を設定、およびビット0 (FENA1) に “ 1 ” を設定する。RCE1 = 1の設定直後にRTO10 (L) のデータが、自動的にRTO1出力ラッチに転送され、FENA1 = 1設定の直後に、RTO0-RTO3にRTO1の出力ラッチのデータが出力される。
- ・ 8ビット・タイマ83の動作を許可する。
- ・ 8ビット・タイマ83のインターバル時間ごとに、RTO10, RTO11のデータがRTO1出力ラッチに順番に転送され、RTO0-RTO3に順次出力される。

(3) リアルタイム出力動作を停止する。

- ・ RTM1のビット0 (FENA1) に “ 0 ” を設定することでRTO0-RTO3へのデータ出力を禁止する。
- ・ 8ビット・タイマ83の動作を停止後、RTM1のビット7 (RCE1) に “ 0 ” を設定する。

図6 - 4にリアルタイム出力のタイミング例を示します。

図6 - 4 リアルタイム出力のタイミング例



6.5 注意事項

- (1) 一度リアルタイム出力動作を禁止(RCE1 = 0)し,再度許可する場合は,リアルタイム出力動作を許可(RCE1 = 0 1)する前に,必ずRTO1出力ラッチと同じ初期値をRTO10 (L)に設定してからリアルタイム出力動作を許可してください。
- (2) RTOデータ・レジスタ (RTO10, RTO11)への書き込みは,RTO動作モード・レジスタ1 (RTM1)のビット7 (RCE1)に“0”を設定してから行ってください。
- (3) RTOリロード割り込みコンペア・レジスタ1 (RTC1)へのアクセスは,RTM1のビット7 (RCE1)に“0”を設定してから行ってください。
- (4) リアルタイム出力動作を許可する前に,P64-P67のポート・モードは出力モードに,出力ラッチに“0”を設定してください。
- (5) RTM1のビット7 (RCE1)に“0”を設定することで,RTO10, RTO11のRTO1出力ラッチは00Hに初期化されます。

第7章 16ビット・タイマ/イベント・カウンタ0

7.1 16ビット・タイマ/イベント・カウンタ0の概要

インターバル・タイマ, パルス幅測定, 外部イベント・カウンタ, PPG出力, 任意の周波数の方形波出力などに使用できます。

7.2 16ビット・タイマ/イベント・カウンタ0の機能

16ビット・タイマ/イベント・カウンタ0には, 次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

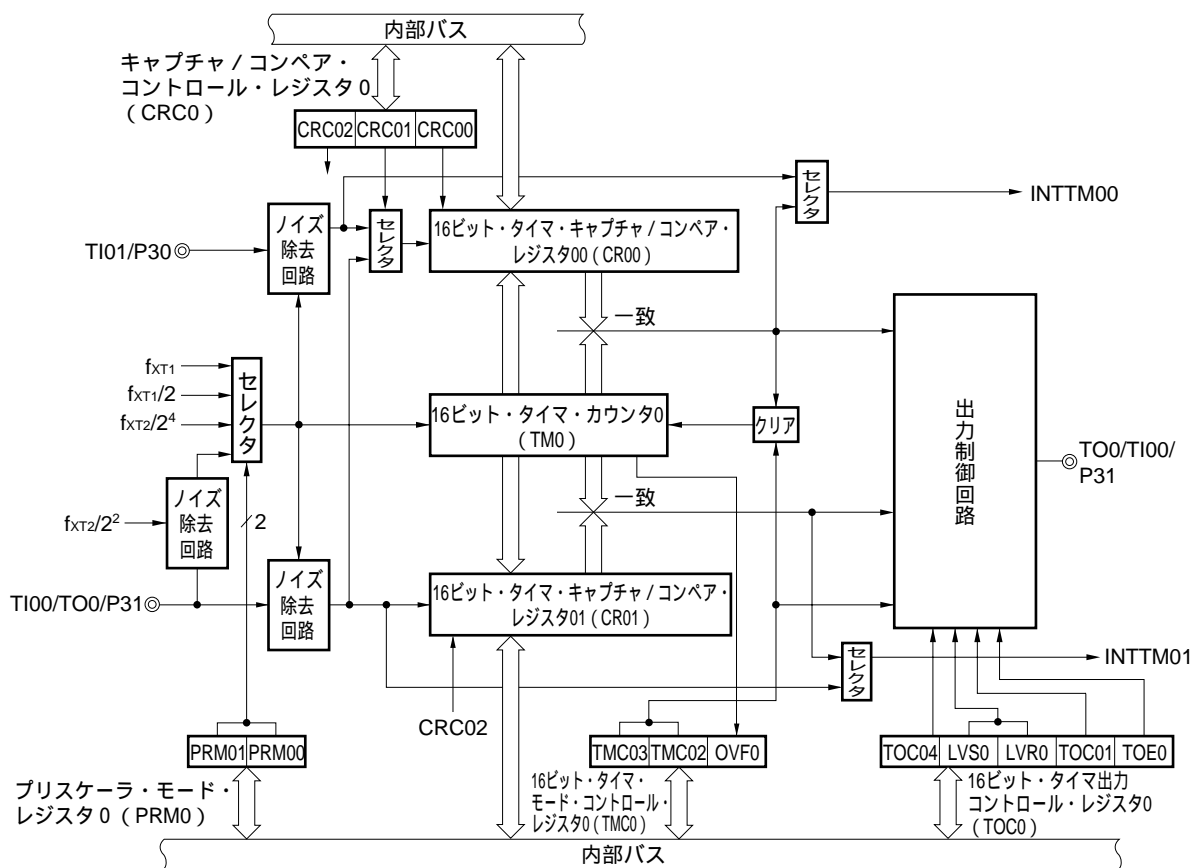
(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

図7-1 16ビット・タイマ/イベント・カウンタ0のブロック図



7.3 16ビット・タイマ/イベント・カウンタ0の構成

16ビット・タイマ/イベント・カウンタ0は、次のハードウェアで構成されています。

表7-1 16ビット・タイマ/イベント・カウンタ0の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM0)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ: 16ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO0)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) プリスケアラ・モード・レジスタ0 (PRM0) ポート・モード・レジスタ3 (PM3) ^注

注 図4-5 P30, P32, P35のブロック図, 図4-6 P31, P37のブロック図を参照してください。

(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。

このため、カウント動作に誤差が生じる場合があります。

次の場合、カウント値は0000Hになります。

RESET入力

TMC03, TMC02をクリア

TI0n有効エッジ入力でクリア&スタート・モード時のTI0n有効エッジが入力されたとき

CR0nの一致でクリア&スタート・モード時のTM0とCR0nの一致

備考 n = 0, 1

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/TO0/P31端子、またはTI01/P30端子の有効エッジが選択できます。TI00、TI01の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/TO0/P31端子の有効エッジに指定したときは表7-2、キャプチャ・トリガをTI01/P30端子の有効エッジに指定したときは表7-3のようになります。

表7-2 TI00/TO0/P31端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ

ES01	ES00	TI00/TO0/P31端子の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	キャプチャ動作しない	立ち上がり、立ち下がりの両エッジ

表7-3 TI01/P30端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ

ES11	ES10	TI01/P30端子の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意1. TM0とCR00の一致でクリア&スタート・モードではCR00には0000H以外の値を設定してください。ただし、フリーランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM00) を発生します。

2. CR00の変更後の値が16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値が変更前の値よりも小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。

3. P31をTI00有効エッジとして使用するとき、タイマ出力 (TO0) として使用できません。また、TO0として使用するとき、TI00有効エッジとして使用できません。

(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット2 (CRC02) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01) を発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/TO0/P31端子の有効エッジが選択できます。TI00/TO0/P31の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/TO0/P31端子の有効エッジに指定したときは表7-2のようになります。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により不定になります。

注意1. TM0とCR01の一致でクリア&スタート・モードでは、CR01には0000H以外の値を設定してください。

ただし、フリーランニング・モードおよびTI01の有効エッジのクリア・モードにおいて、CR01に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM01) を発生します。

2. CR01の変更後の値が16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR01の変更後の値が変更前の値より小さいときは、CR01を変更後、タイマをリセットし、再スタートさせる必要があります。

7.4 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0を制御するレジスタには、次の5種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケアラ・モード・レジスタ0 (PRM0)
- ・ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ0 (TM0) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ・カウンタ0 (TM0) は、TMC02, TMC03に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC02, TMC03に0, 0を設定してください。

図7-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス : FF60H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC0	0	0	0	0	TMC03	TMC02	0	OVF0

TMC03	TMC02	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	1	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR00の一致 または TM0とCR01の一致 で発生
1	0	TI00の有効エッジで クリア&スタート	-	
1	1	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	

OVF0	16ビット・タイマ・カウンタ0 (TM0) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意1 . OVF0フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

- 2 . TI00/TO0/P31端子の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。
- 3 . TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

備考 TO0 : 16ビット・タイマ/イベント・カウンタ0の出力端子
 TI00 : 16ビット・タイマ/イベント・カウンタ0の入力端子
 TM0 : 16ビット・タイマ・カウンタ0
 CR00 : 16ビット・キャプチャ/コンペア・レジスタ00
 CR01 : 16ビット・キャプチャ/コンペア・レジスタ01

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の動作を制御するレジスタです。

CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス : FF62H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00

CRC02	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジの逆相でキャプチャする

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
3. TI00の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。
4. キャプチャを確実にを行うために、キャプチャ・トリガはプリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ/イベント・カウンタ0出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ (LV0) のセット/リセット, 出力の反転許可/禁止および16ビット・タイマ/イベント・カウンタ0のタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-4に, TOC0のフォーマットを示します。

図7-4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス: FF63H リセット時: 00H R/W

略号	7	6	5	4	③	②	1	①
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01	TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS0	LVR0	16ビット・タイマ/イベント・カウンタ0のタイマ出力F/F状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE0	16ビット・タイマ/イベント・カウンタ0出力の制御	
0	出力禁止 (出力は0レベルに固定)	
1	出力許可	

- 注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。
2. データ設定後にLVS0, LVR0を読み出すと, 0になっています。
3. OSPTは, データ設定後に自動的にクリアされますので, 読み出すと0になっています。
また, OSPTはワンショット・パルス・モード以外でセット (1) しないでください。

(4) プリスケアラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-5 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス : FF61H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2$ (61 μ s)
1	0	$f_{XT2}/2^4$ (3.26 μ s)
1	1	TI00有効エッジ ^注

注 外部クロックは内部クロック ($f_{XT2}/2^2$) の2回分より長いパルスが必要とします。

注意1. PRM0は、必ずタイマ動作を停止させてからデータを設定してください。

2. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。

また、P31/TI00/TO0端子をタイマ出力 (TO0) として使用できません。

3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ/イベント・カウンタ0の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

備考1. f_{XT1} : サブシステム・クロック1発振周波数, f_{XT2} : サブシステム・クロック2発振周波数

2. TI00, TI01: 16ビット・タイマ/イベント・カウンタ0の入力端子

3. () 内は、 $f_{XT1} = 32.768$ kHz動作時, $f_{XT2} = 4.91$ MHz動作時。

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/TO0/TI00端子をタイマ出力として使用するとき、PM31を出力モードに設定し、さらにP31の出力ラッチに0を設定してください。P31/TO0/TI00端子をタイマ入力として使用するときは、PM31を入力モードに設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7-6 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.5 16ビット・タイマ/イベント・カウンタ0の動作

7.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図7-7のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

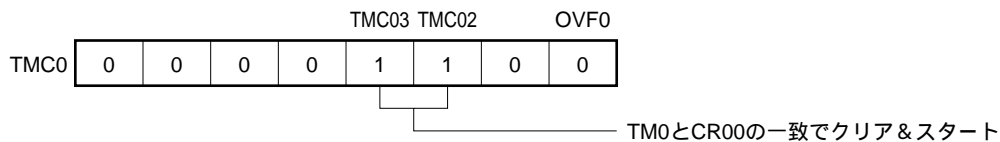
16ビット・タイマ・カウンタ0 (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) でTM0のカウント・クロックを選択できます。

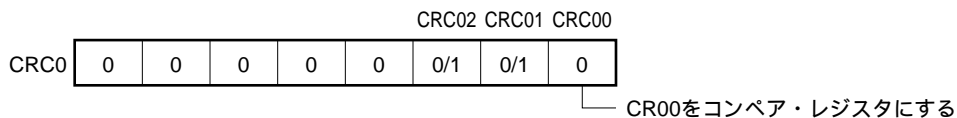
なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、7.6 注意事項(3)を参照してください。

図7-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1:0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。詳細は、図7-2, 図7-3を参照してください。

図7-8 インターバル・タイマの構成図

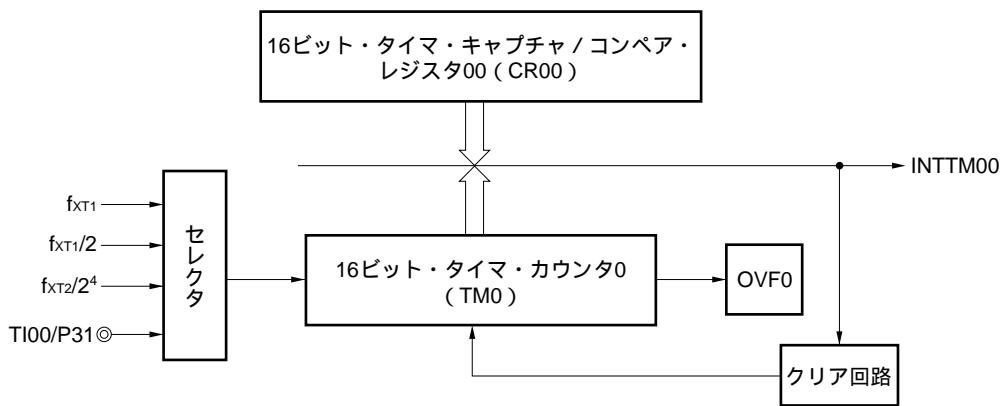
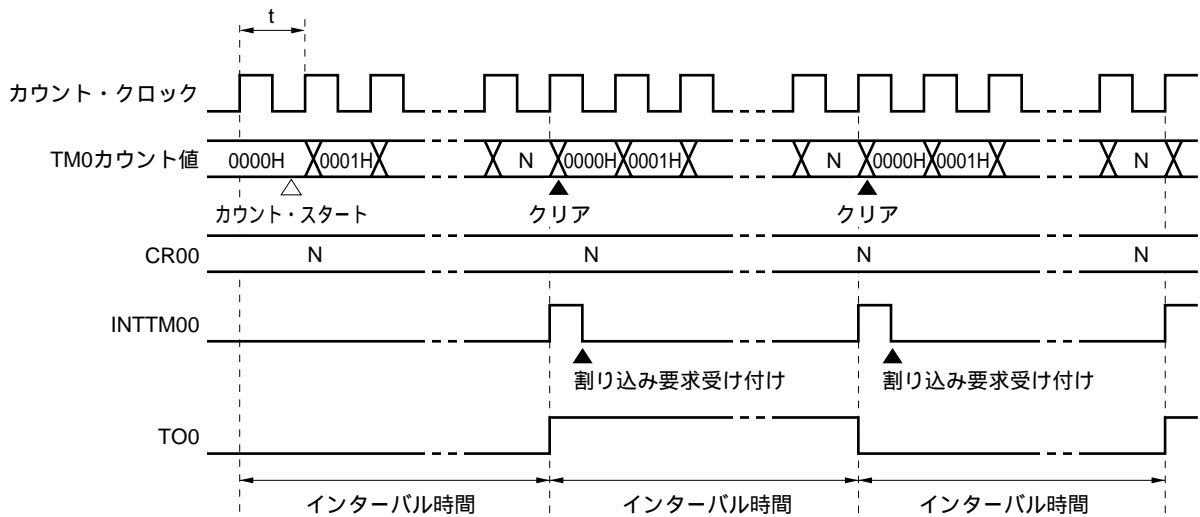


図7-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t

N = 0001H-FFFFH

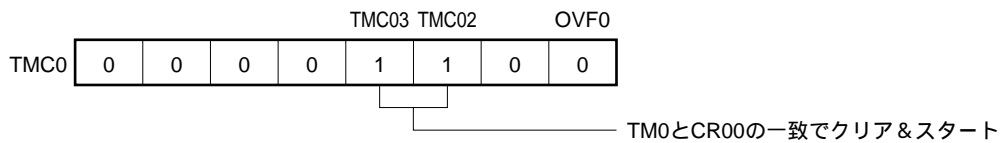
7.5.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図7-10のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

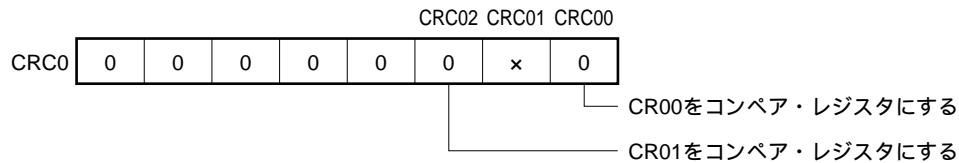
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/TI00/P31端子から出力します。

図7-10 PPG出力動作時の制御レジスタ設定内容

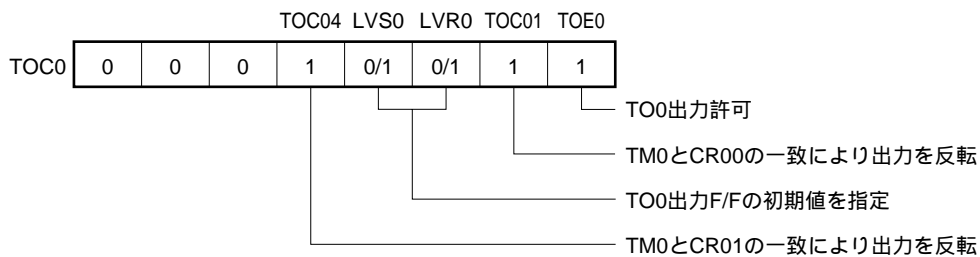
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



注意1 . CR00とCR01には次の範囲の値を設定してください。

$$0000H < CR01 < CR00 \quad FFFFH$$

2 . PPG出力によって生成されるパルスの周期は (CR00の設定値 + 1) , デューティは (CR01の設定値 + 1) / (CR00の設定値 + 1) になります。

備考 x : don't care

図7 - 11 PPG出力の構成図

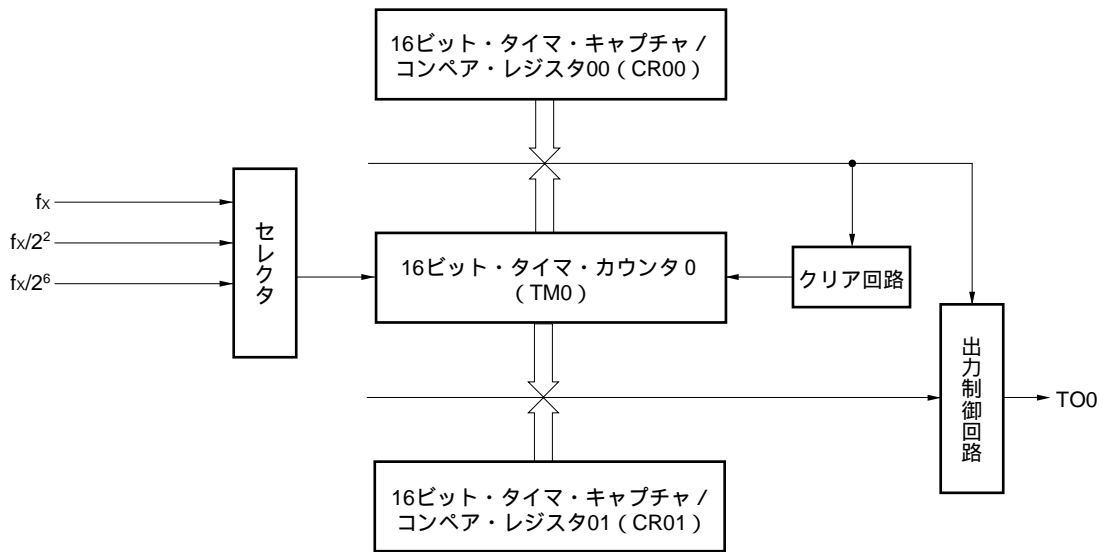
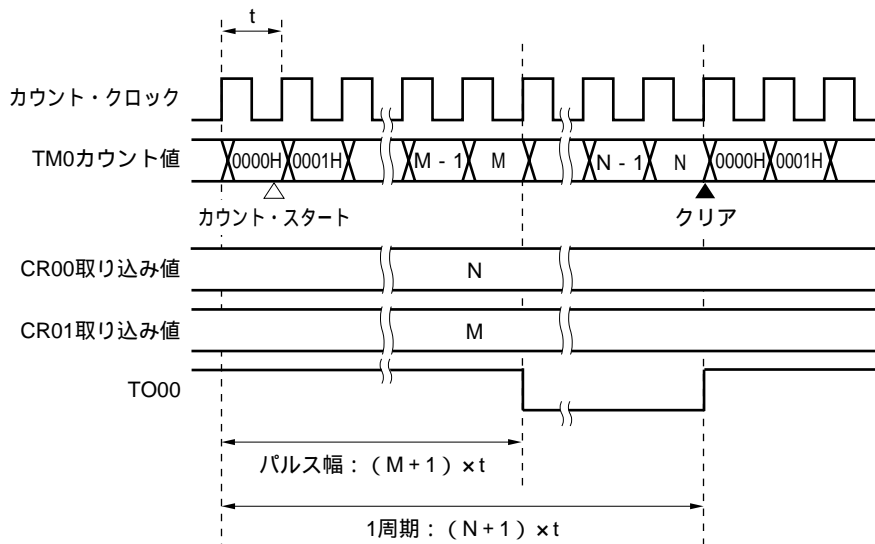


図7 - 12 PPG出力動作のタイミング



備考 0000H < M < N FFFFH

7.5.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0 (TM0) を使用し、TI00/TO0/P31端子およびTI01/P30端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI00/TO0/P31端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

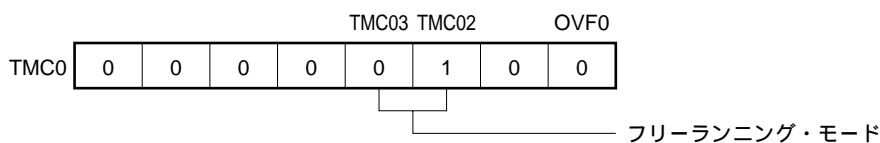
16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図7 - 13参照) , TI00/TO0/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) で指定したエッジが入力されるとTM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTTM01) をセットします。

TI00/TO0/P31端子の有効エッジはPRM0のビット6, 7 (ES10, ES11) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

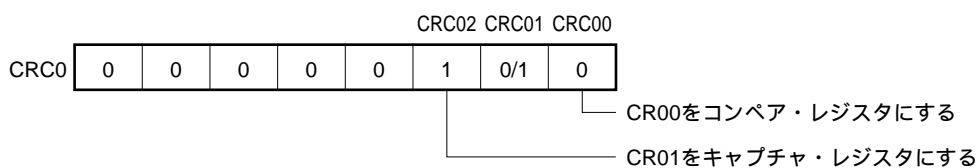
PRM0で選択したカウント・クロックでサンプリングを行い、TI00/TO0/P31端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7 - 13 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1:0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図7 - 2, 図7 - 3を参照してください。

図7-14 フリーランニング・カウンタによるパルス幅測定の構成図

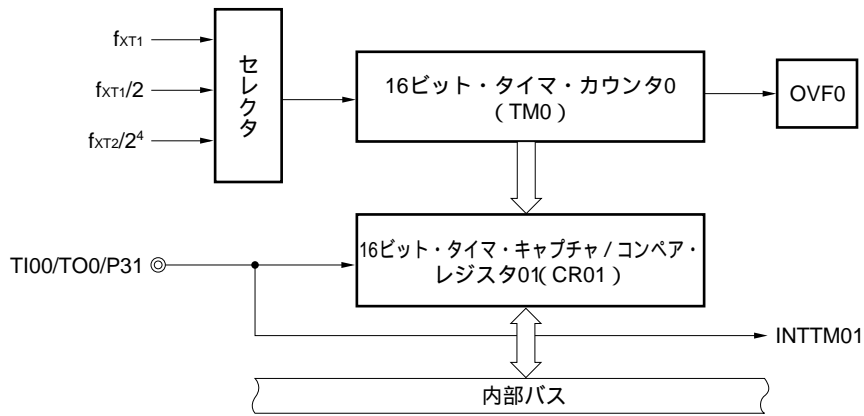
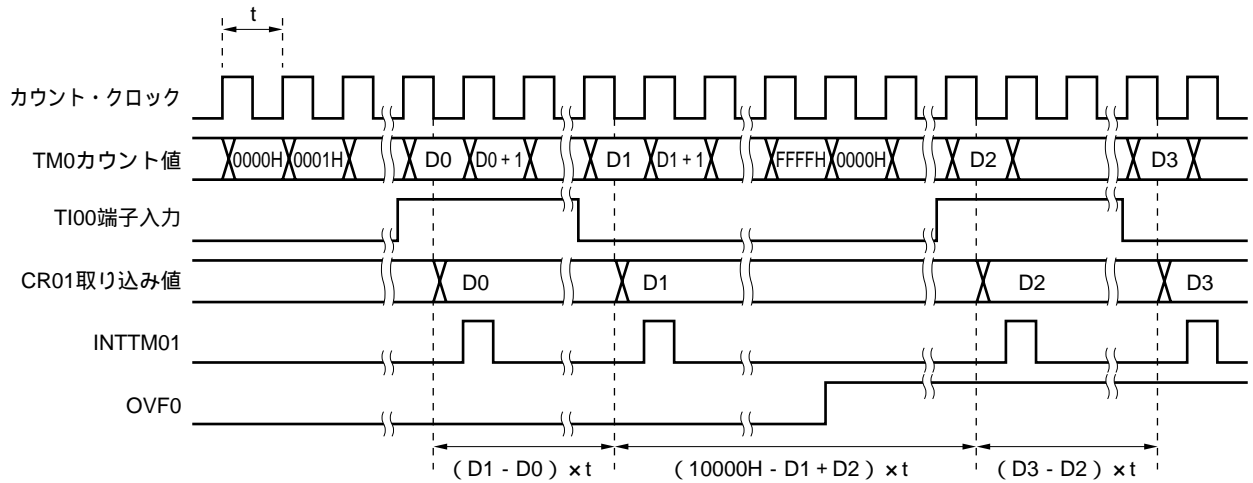


図7-15 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図7 - 16参照) , TI00/TO0/P31端子およびTI01/P30端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/TO0/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTTM01) をセットします。

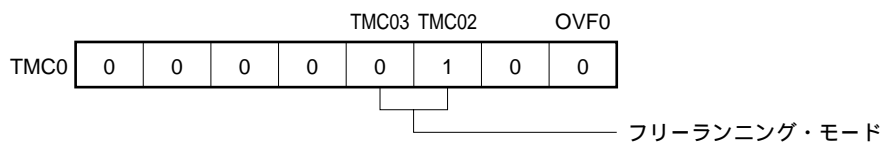
また, TI01/P30端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み, 外部割り込み要求信号 (INTTM00) をセットします。

TI00/TO0/P31端子とTI01/P30端子のエッジは, PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

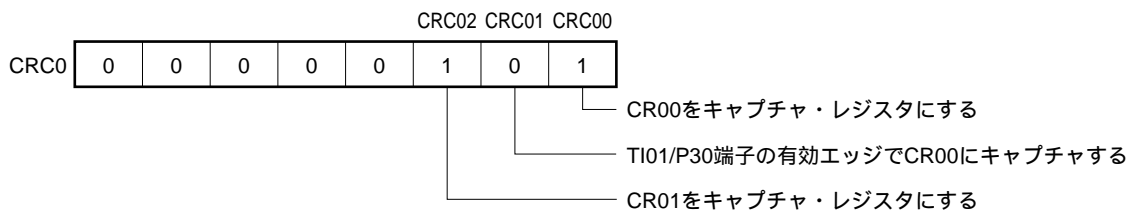
プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/TO0/P31端子とTI01/P30端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図7 - 16 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図7 - 2, 図7 - 3を参照してください。

・キャプチャ動作について（フリーランニング・モード）

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図7 - 17 立ち上がりエッジ指定時のCR01キャプチャ動作

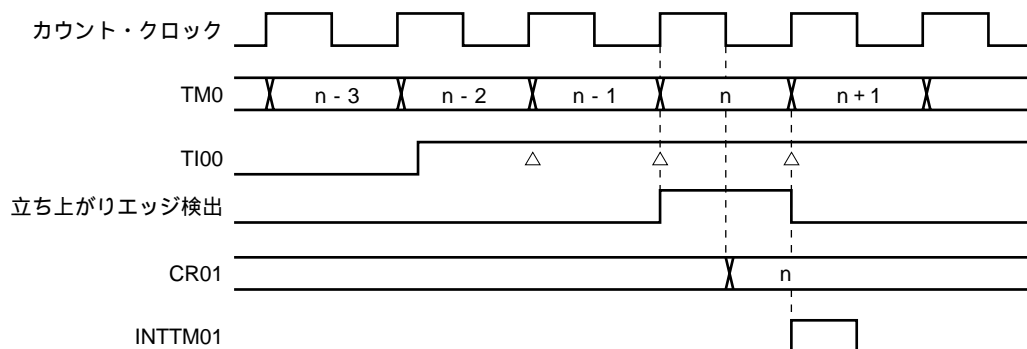
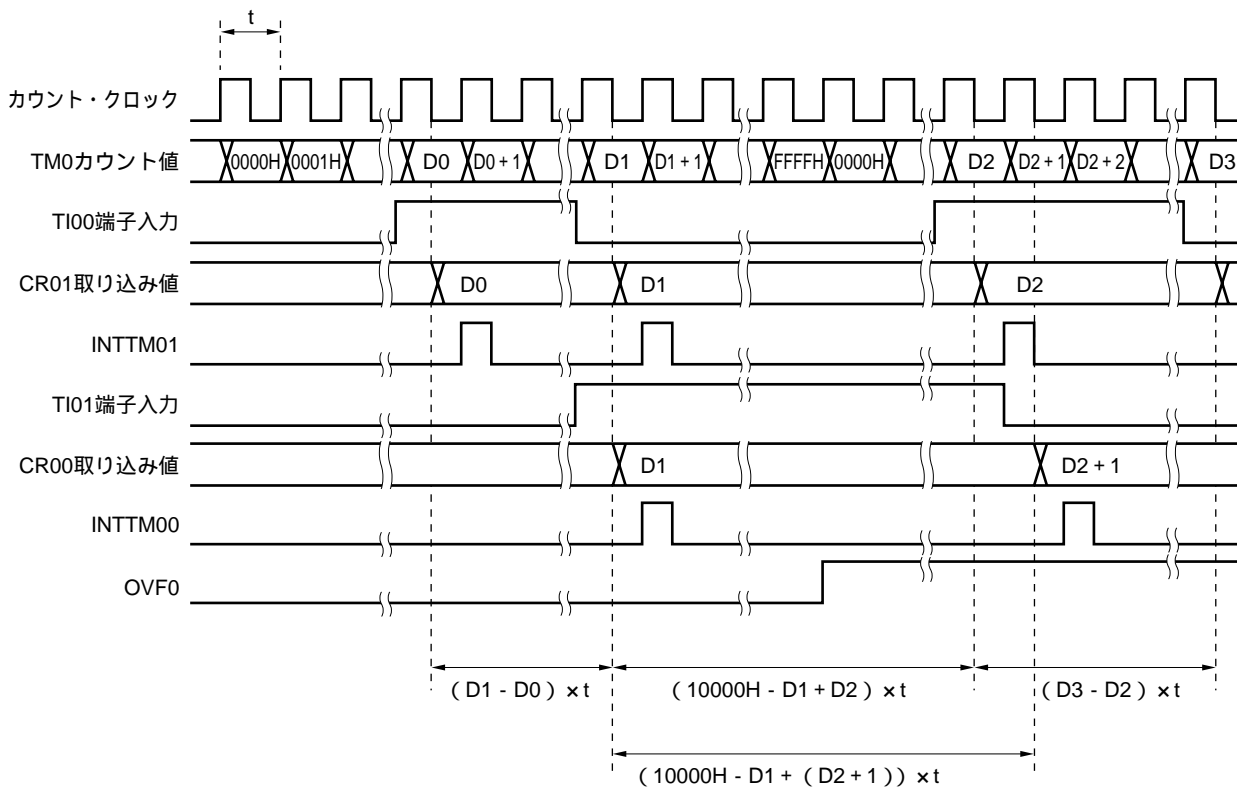


図7 - 18 フリーランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図7 - 19参照) , TI00/TO0/P31端子に入力する信号のパルス幅を測定できます。

TI00/TO0/P31端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTTM01) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力で, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます。

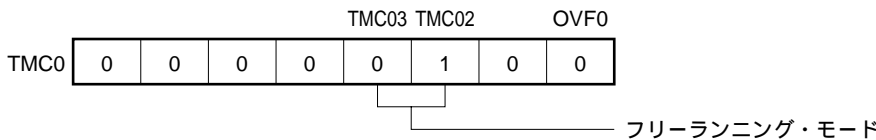
TI00/TO0/P31端子のエッジは, プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00/TO0/P31端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

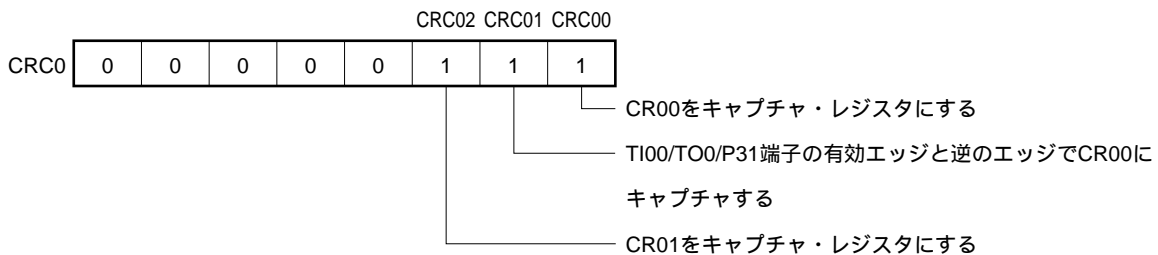
注意 TI00/TO0/P31端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図7 - 19 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

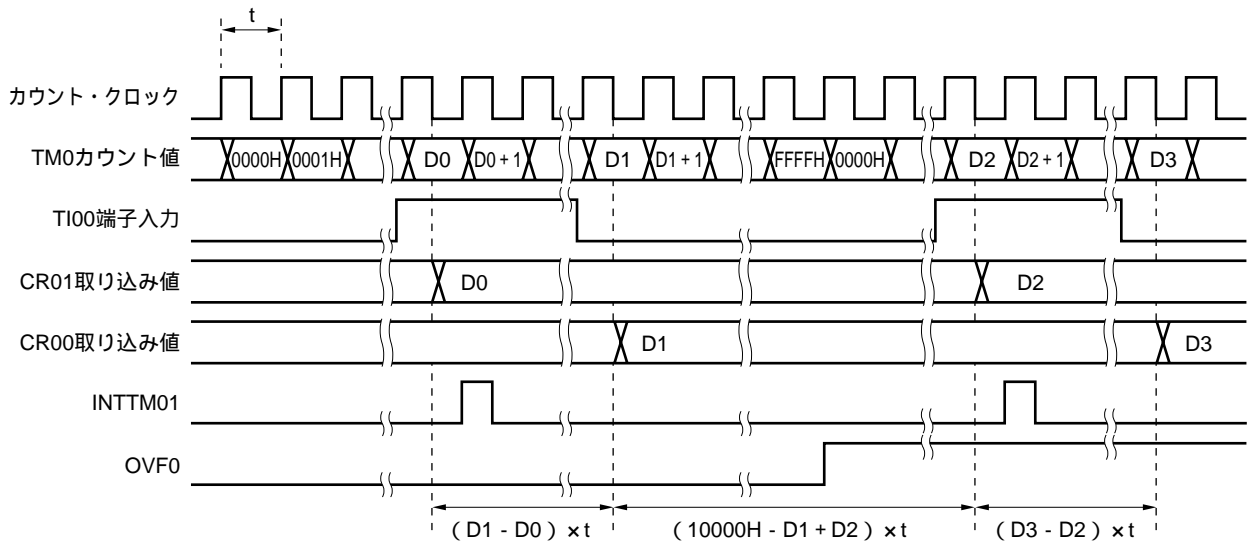


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図7-20 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/TO0/P31端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウントを再開することにより、TI00/TO0/P31端子に入力された信号のパルス幅を測定します (図7-21参照)。

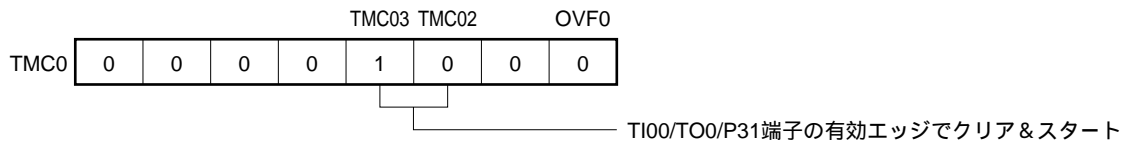
TI00/TO0/P31端子の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/TO0/P31端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

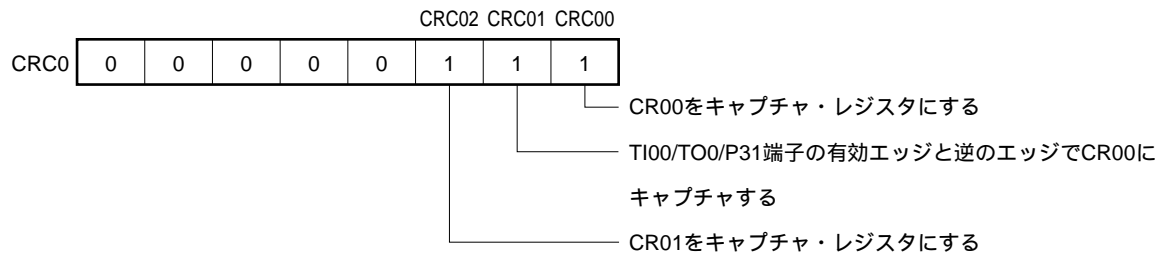
注意 TI00/TO0/P31端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図7 - 21 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

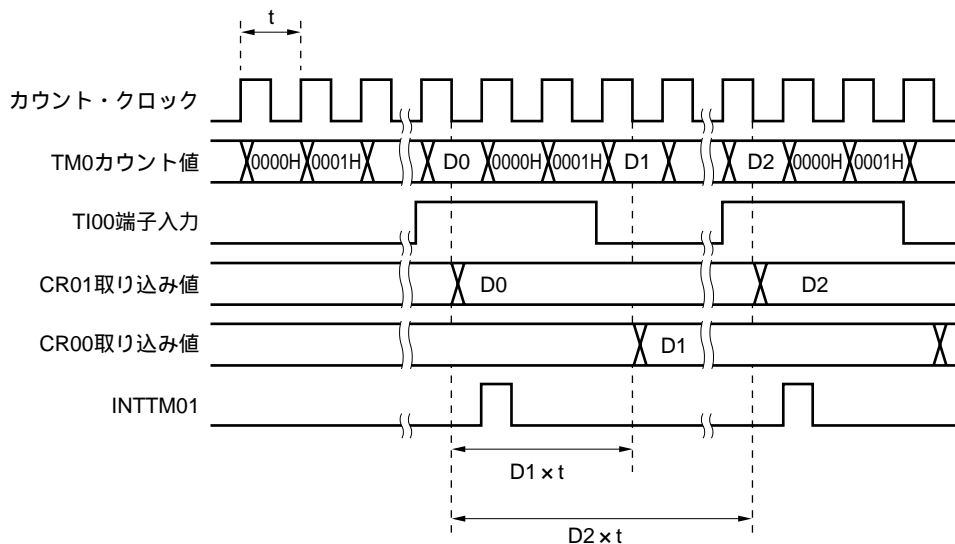


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、
図7 - 2, 図7 - 3を参照してください。

図7 - 22 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



7.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/TO0/P31端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0 (TM0) でカウントするものです。

プリスケアラ・モード・レジスタ0 (PRM0) で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

なお、CR00には0000H以外の値を入れてください (1パルスのカウント動作はできません)。

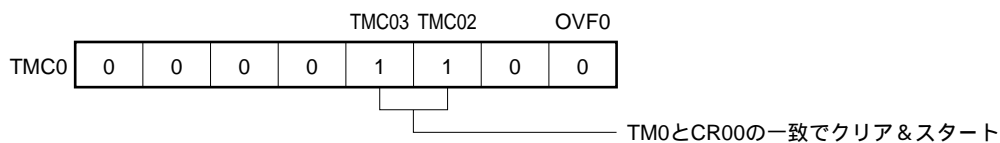
TI00/TO0/P31端子の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

内部クロック ($f_{XT2}/2^2$) でサンプリングを行い、TI00/TO0/P31端子の有効レベルを2回検出することではじめに動作するため、短いパルス幅のノイズを除去できます。

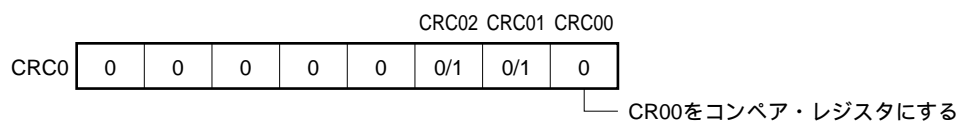
注意 外部イベント・カウンタとして使用するとき、P31/TI00/TO0端子をタイマ出力 (TO0) として使用できません。

図7 - 23 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1:0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。詳細は、図7 - 2, 図7 - 3を参照してください。

図7 - 24 外部イベント・カウンタの構成図

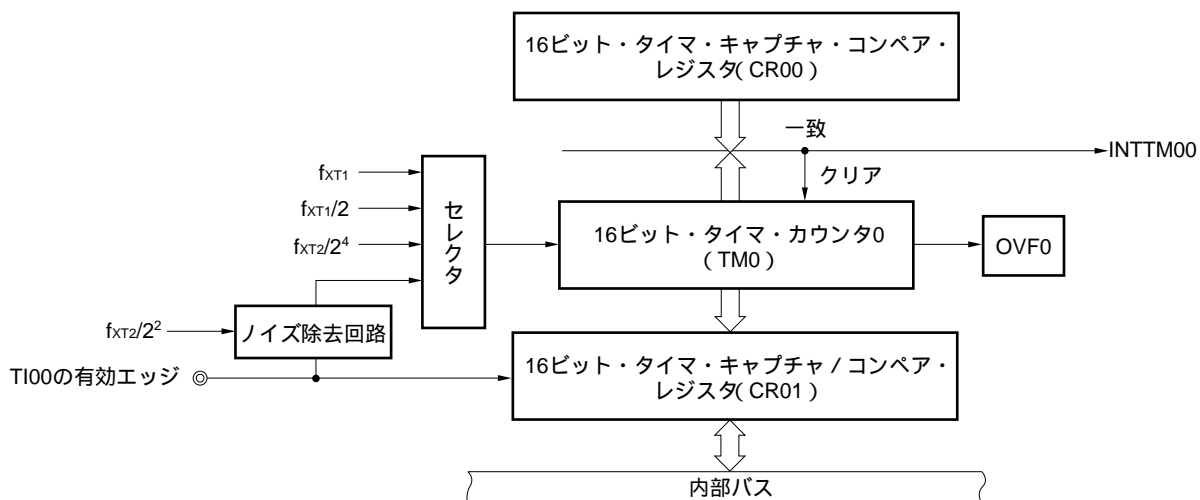
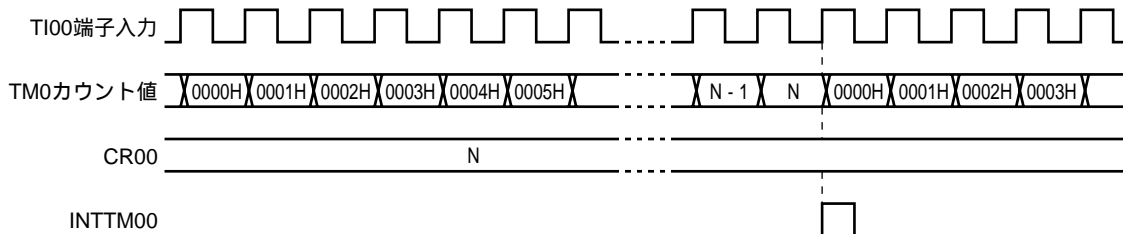


図7 - 25 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

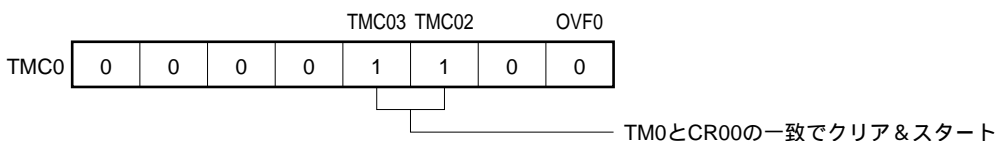
7.5.5 方形波出力としての動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとする, 任意の周波数の方形波出力として動作します。

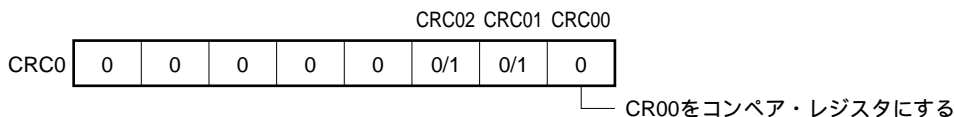
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより, CR00にあらかじめ設定したカウント値をインターバルとしてTO0/P31端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

図7 - 26 方形波出力モード時の制御レジスタ設定内容

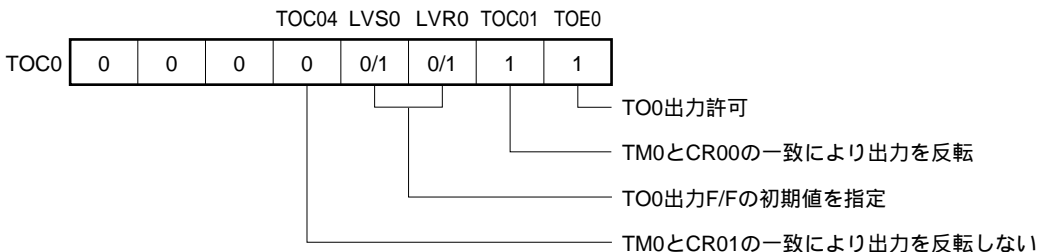
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

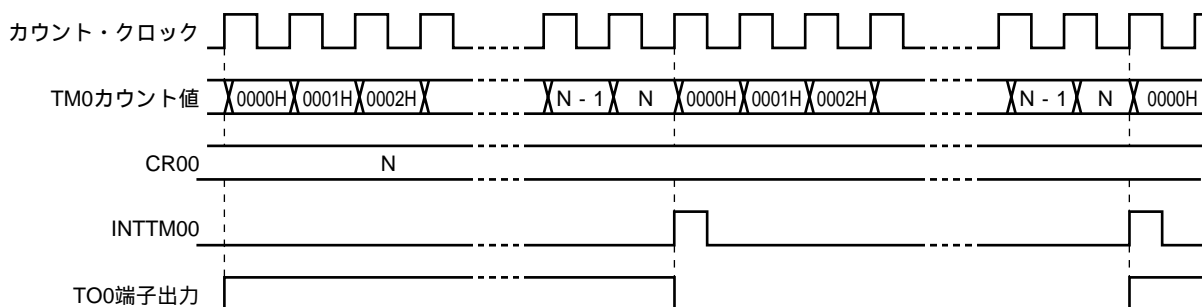


(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



備考 0/1 : 0または1を設定することにより, 方形波出力と同時にほかの機能を使用できます。詳細は, 図7 - 2, 図7 - 3および図7 - 4を参照してください。

図7 - 27 方形波出力動作のタイミング

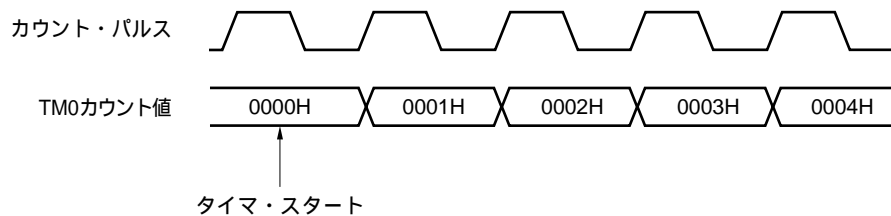


7.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図7 - 28 16ビット・タイマ・カウンタ0のスタート・タイミング



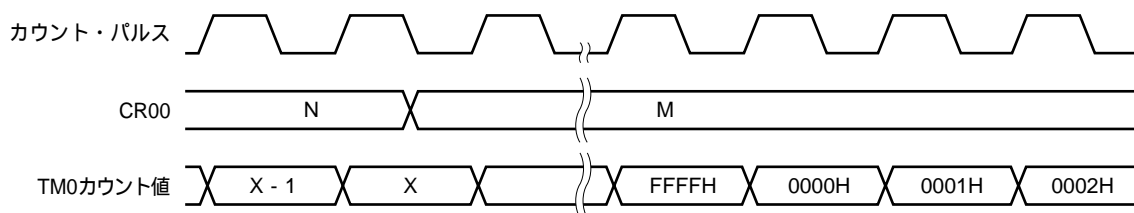
(2) 16ビット・コンペア・レジスタの設定 (TM0とCR00の一致でクリア&スタート・モードの場合)

16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) には，0000H以外の値を設定してください。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が，16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき，TM0はカウントを継続しオーバーフローして0から再カウントします。したがって，CR00の変更後の値 (M) が変更前の値 (N) より小さいときは，CR00を変更後，タイマをリセットし，再スタートさせる必要があります。

図7 - 29 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

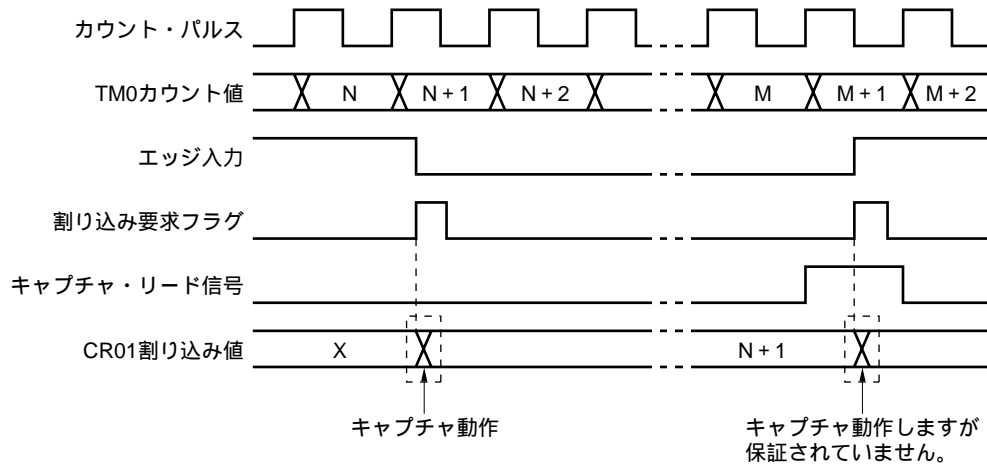


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) の読み出し中にTI00/TO0/P31端子の有効エッジが入力したとき、CR01はキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (TMIF01) はセットされます。

図7-30 キャプチャ・レジスタのデータ保持タイミング

**(5) 有効エッジの設定**

TI00/TO0/P31端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で設定します。

(6) OVF0フラグの動作

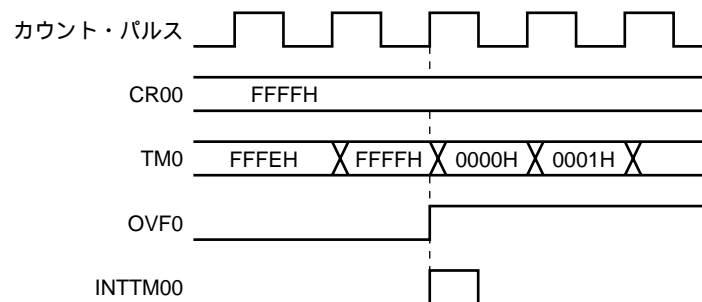
OVF0フラグは、次のときに“1”に設定されます。

TM0とCR00の一致でクリア&スタート、TI00の有効エッジでクリア&スタート、フリーランニングのいずれかのモードを選択

CR00をFFFFHに設定

TM0がFFFFHから0000Hにカウントアップするとき

図7-31 OVF0フラグの動作タイミング



TM0がオーバーフロー後、次のカウント・クロックが来る前（TM0が0001Hになる前）にOVF0フラグをクリアしても、再度セットされ、クリアは無効となります。

(7) 競合動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ（CR00/CR01）のリード期間とキャプチャ・トリガ入力の競合（CR00/CR01はキャプチャ・レジスタとして使用）
キャプチャ・トリガ入力が優先されます。CR00/CR01のリード・データは不定となります。

16ビット・タイマ・キャプチャ/コンペア・レジスタ（CR00/CR01）のライト期間と16ビット・タイマ・カウンタ（TM0）との一致タイミングの競合（CR00/CR01はコンペア・レジスタとして使用）
一致判別は正常に行われません。一致タイミング付近でCR00/CR01のライト動作は行わないでください。

(8) タイマ動作について

16ビット・タイマ・カウンタ0（TM0）をリードしても、16ビット・キャプチャ/コンペア・レジスタ01（CR01）にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、外部割り込み要求入力のノイズは除去されません。

(9) キャプチャ動作について

カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。

TI00の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャ動作しません。

キャプチャを確実にを行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n) は次のカウント・クロックの立ち上がりで発生します。

備考 n = 0, 1

(10) コンペア動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の設定値と16ビット・タイマ・カウンタ0 (TM0) のカウント値が一致し、INTTM0nが発生するタイミングで、CR00, CR01に値を書き込むと、INTTM0nが発生しないことがあります。したがって、同じ値の場合でもCR00, CR01に何度も書き込まないでください。

備考 n = 0, 1

コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(11) エッジ検出について

システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

TI00の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{XT2}/2^2$ で、後者はプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックでサンプリングします。前述のサンプリング・クロックでサンプリングして、TI00/TO0/P31端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

第8章 16ビット・タイマ/イベント・カウンタ2

8.1 16ビット・タイマ/イベント・カウンタ2の概要

インターバル・タイマ, 外部イベント・カウンタなどに使用できます。

8.2 16ビット・タイマ/イベント・カウンタ2の機能

16ビット・タイマ/イベント・カウンタ2には, 次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。また, 8ビット・タイマ82の割り込み要求信号 (INTTM82) を使用することによって, 任意の時間のパルス数を測定できます。

8.3 16ビット・タイマ/イベント・カウンタ2の構成

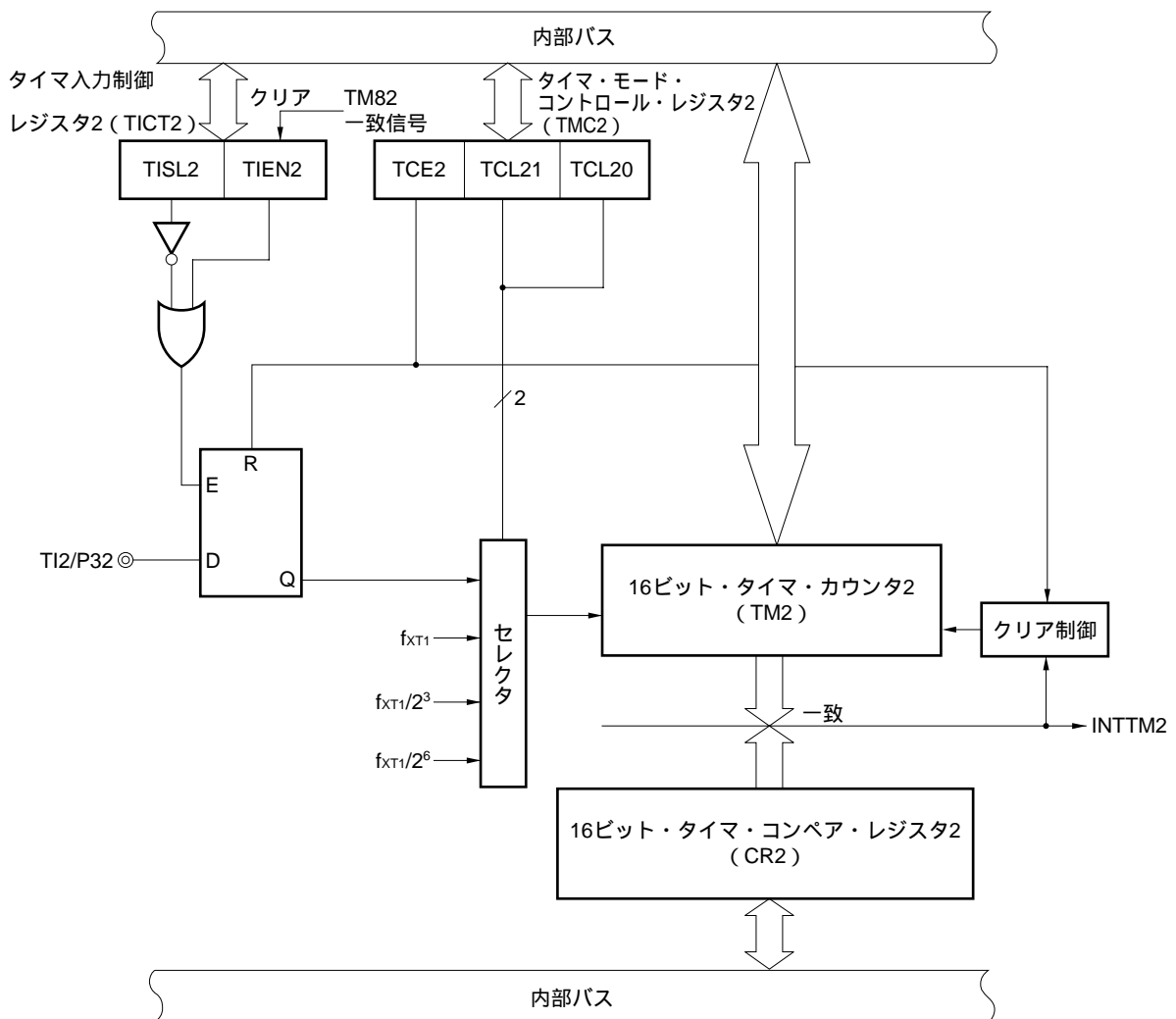
16ビット・タイマ/イベント・カウンタ2は, 次のハードウェアで構成されています。

表8 - 1 16ビット・タイマ/イベント・カウンタ2の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM2)
レジスタ	コンペア・レジスタ : 16ビット×1 (CR2)
制御レジスタ	タイマ・モード・コントロール・レジスタ2 (TMC2) タイマ入力制御レジスタ2 (TICT2)

図8 - 1に16ビット・タイマ/イベント・カウンタ2のブロック図を示します。

図8-1 16ビット・タイマ/イベント・カウンタ2のブロック図



(1) 16ビット・タイマ・コンペア・レジスタ2 (CR2)

CR2に設定した値と16ビット・タイマ・カウンタ2 (TM2) のカウント値を常に比較し、一致したときに割り込み要求を発生する16ビット・レジスタです。

CR2の値は、0000H-FFFFHの範囲で設定できます。

注意 タイマ・カウント動作中は、CR2の値を書き換えないでください。

(2) 16ビット・タイマ・カウンタ2 (TM2)

カウント・パルスをカウントする16ビットのレジスタです。

TM2は、 $\overline{\text{RESET}}$ 入力により、不定になります。

8.4 16ビット・タイマ/イベント・カウンタ2を制御するレジスタ

16ビット・タイマ/イベント・カウンタ2を制御するレジスタは、次のようなレジスタがあります。

- ・タイマ・モード・コントロール・レジスタ2 (TMC2)
- ・タイマ入力制御レジスタ2 (TICT2)

(1) タイマ・モード・コントロール・レジスタ2 (TMC2)

16ビット・タイマ・カウンタ2(TM2)の動作許可/停止,カウント・クロックを設定するレジスタです。

TMC2は,1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により,00Hになります。

注意 タイマ・カウント動作中は,CR2の値を書き換えないでください。

図8-2 タイマ・モード・コントロール・レジスタ2 (TMC2) のフォーマット

アドレス: FF66H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TMC2	TCE2	0	0	0	0	0	TCL21	TCL20

TCE2	TM2のカウント動作の制御
0	動作停止 (TM2は,0にクリア)
1	動作許可

TCL21	TCL20	TM2のカウント・クロックの選択
0	0	TI2の立ち上がりエッジ
0	1	f_{XT1} (30.5 μ s)
1	0	$f_{XT1}/2^3$ (244 μ s)
1	1	$f_{XT1}/2^6$ (1.95 ms)

注意1. タイマ・カウント動作中は,CR2, TCL21, TCL20の値を書き換えないでください。

2. ビット2-6には,“0”を設定してください。

備考 ()内は, $f_{XT1} = 32.768$ kHz動作時 (f_{XT1} :サブシステム・クロック1周波数)。

(2) タイマ入力制御レジスタ2 (TICT2)

TICT2は、外部入力イベント動作時の外部入力クロックの許可/禁止を制御するレジスタです。
 TICT2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 3 タイマ入力制御レジスタ2 (TICT2) のフォーマット

アドレス : FF67H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TICT2	0	0	0	0	0	0	TISL2	TIEN2

TISL2	外部入力イベント入力制御許可フラグ
0	入力制御禁止 (常に外部イベント入力可)
1	入力制御許可 (TIEN2フラグより入力制御可)

TIEN2	外部入力イベント入力制御フラグ (TISL2 = 1のとき有効)
0	外部入力イベント入力禁止
1	外部入力イベント入力許可

- 注意1** . TIEN2がセット (1) されているとき、TISL2のビット操作は行わないでください。
2 . TIEN2の設定 (TIEN2 1) は、TISL2をセット (1) してから行ってください。

備考 TIEN2は、INTTM82のセット (1) によってクリアされます。

8.5 16ビット・タイマ/イベント・カウンタ2の動作

8.5.1 インターバル・タイマとしての動作

16ビット・タイマ・コンペア・レジスタ2 (CR2) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

16ビット・タイマ・カウンタ2 (TM2) のカウント値がCR2に設定した値と一致したとき、TM2の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM2) を発生します。

タイマ・モード・コントロール・レジスタ2 (TMC2) のビット0, 1 (TCL20, TCL21) で、TM2のカウント・クロックを選択できます。

設定方法を次に示します。

タイマ・カウンタ動作を停止 (TCE2 = 0) してから、各レジスタの設定を行います。

- ・ CR2 : コンペア値
- ・ TMC2 : カウント・クロックの選択

TCE2 = 1を設定すると、タイマ・カウンタ動作を許可します。

TM2とCR2が一致すると、INTTM2が発生します (TM2は0000Hにクリアされます)。

以後同一間隔でINTTM2が繰り返し発生します。タイマ・カウンタ動作を停止するときは、TCE2 = 0にしてください。

注意1. タイマ・カウンタ動作中は、CR2の値を書き換えしないでください。

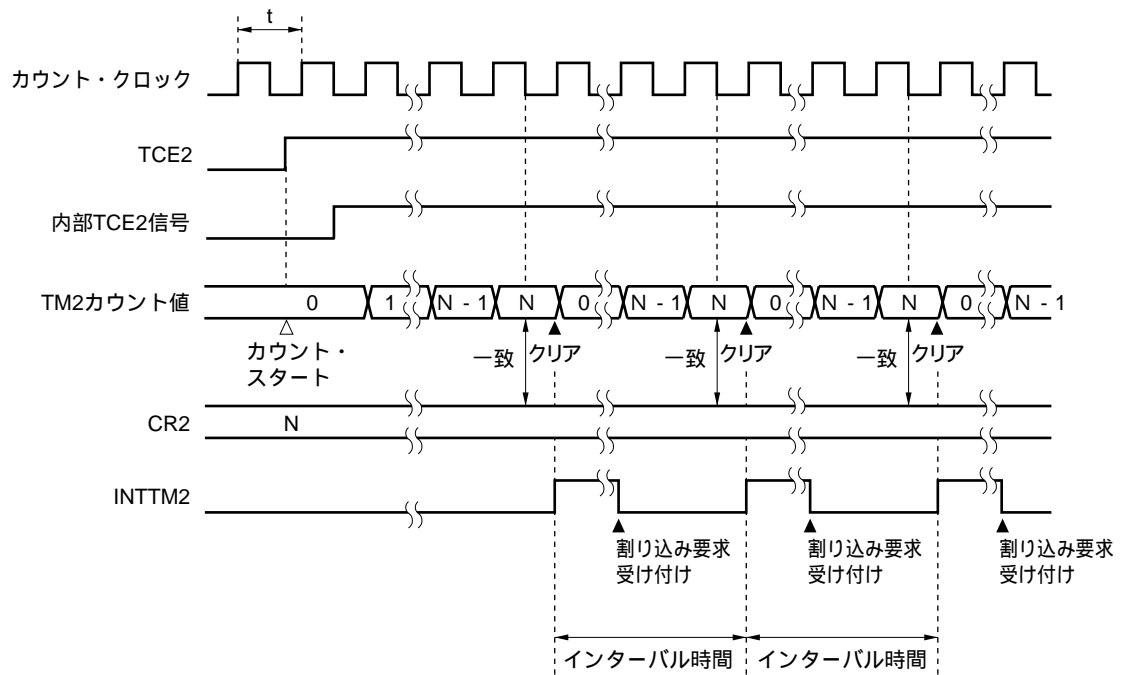
ただし、同じ値の書き込みは可能です。

2. 内部クロックをカウント・クロックとして使用する場合、16ビット・タイマ・カウンタ2 (TM2) のカウント値は次のようになります。

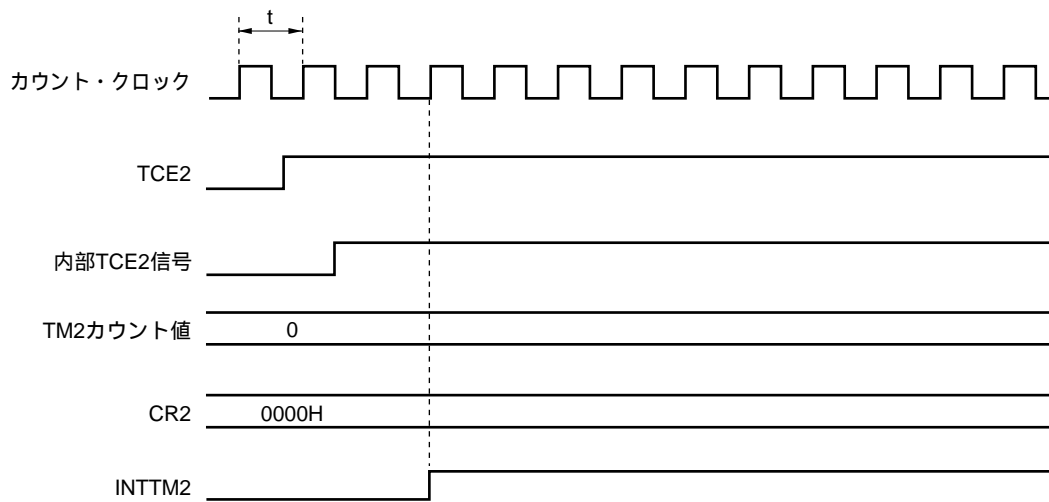
	16ビット・タイマ・カウンタ2 (TM2) のカウント値
TCE2 = 1に設定 ~ 1回目のカウント値クリアまで	実際に入力したクロック数 - 1
1回目のカウント値クリア以降	実際に入力したクロック数

図8-4 インターバル・タイマ動作のタイミング（内部クロック使用時）（1/2）

(a) 基本動作



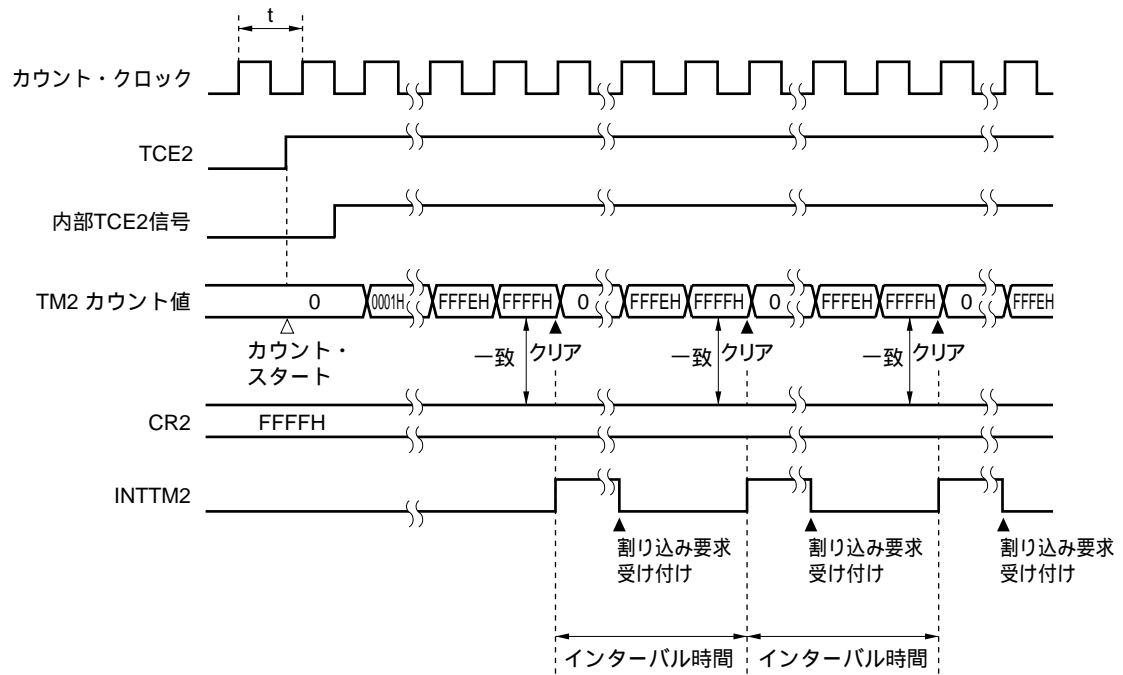
(b) CR2 = 0000Hの場合



注意 CR2に0000Hを設定した場合、INTTM2はハイ・レベル固定となり、有効エッジは初回分しか出力されません。

図8-4 インターバル・タイマ動作のタイミング (内部クロック使用時) (2/2)

(c) CR2 = FFFFHの場合



8.5.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI2/P32端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ2 (TM2) でカウントするものです。

立ち上がりエッジが入力されるたびに、TM2がインクリメントされます。

TM2の計数値が16ビット・タイマ/コンペア・レジスタ2 (CR2) の値と一致すると、TM2はクリアされ割り込み要求信号 (INTTM2) が発生します。

- 注意1. 外部イベント・カウンタとして使用する場合は、CR2には0000H以外の値を入れてください (1パルスのカウント動作はできません)。
2. 外部クロックをカウント・クロックとして使用する場合、16ビット・タイマ・カウンタ2 (TM2) のカウント値は次のようになります。

	16ビット・タイマ・カウンタ2 (TM2) のカウント値
TCE2 = 1に設定 ~ 1回目のカウント値クリアまで	実際に入力したクロック数 - 2
1回目のカウント値クリア以降	実際に入力したクロック数

図8 - 5 外部イベント・カウンタ・モード時の制御レジスタの設定内容

タイマ・モード・コントロール・レジスタ2 (TMC2)

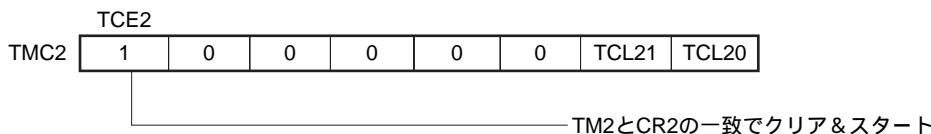
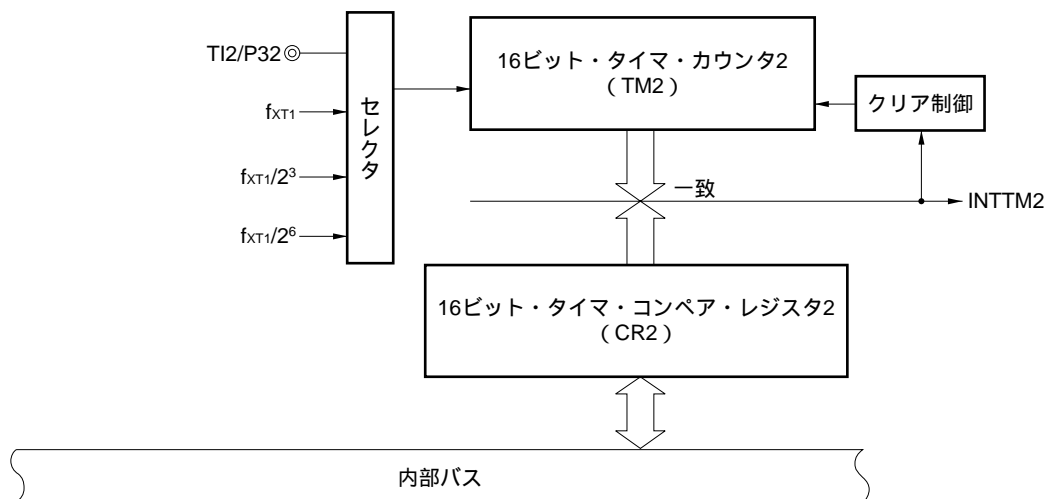


図8 - 6 外部イベント・カウンタの構成図



8.5.3 外部イベント・カウンタの入力制御の動作

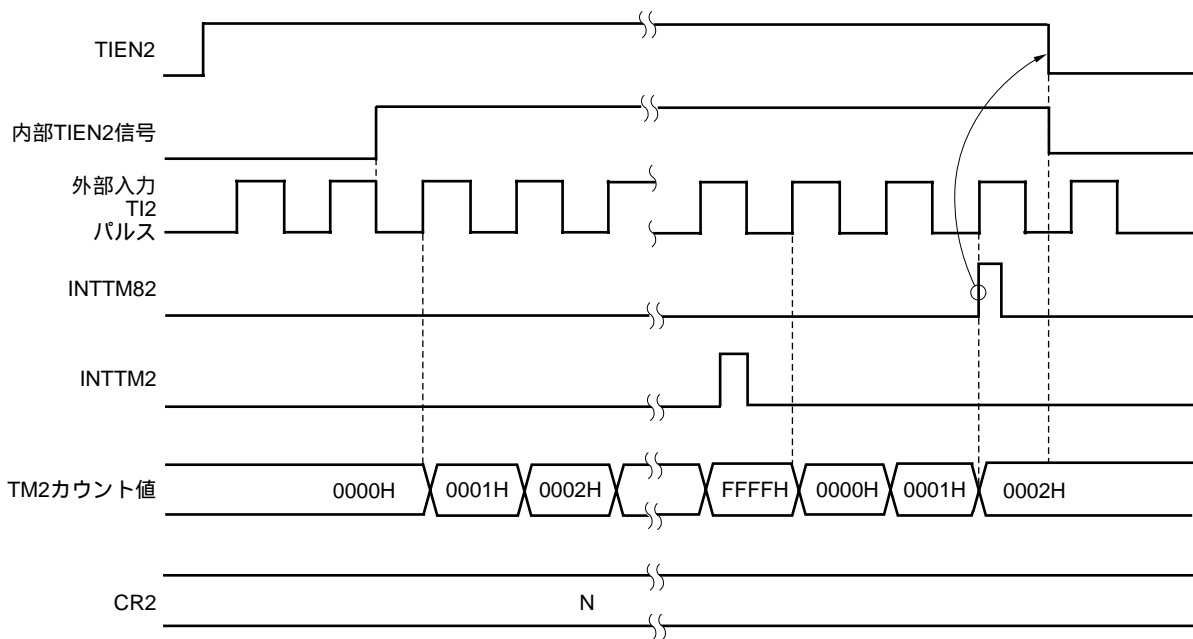
16ビット・タイマ/イベント・カウンタ2は、外部イベント・カウンタとして使用します。

TI2/P32端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ2 (TM2) でカウントします。カウント測定時間は、8ビット・タイマ82で制御します。

立ち上がりエッジが入力されるたびに、16ビット・タイマ・カウンタ2 (TM2) がインクリメントされます。

カウント動作を停止させるためには、TCE2フラグ (タイマ・モード・コントロール・レジスタ2 (TMC2) のビット7) を0にクリアしてください。TIEN2フラグ (タイマ入力制御レジスタ (TICT2) のビット0) は、8ビット・タイマ82の割り込み要求信号 (INTTM82) の発生により自動的にクリアされます。

図8-7 外部イベント・カウンタ動作のタイミング



注意1. 外部入力パルス (TI2/P32) は、必ずロウ・レベルから開始させてください。ハイ・レベルから開始させた場合、1カウント多くカウントされることがあります。

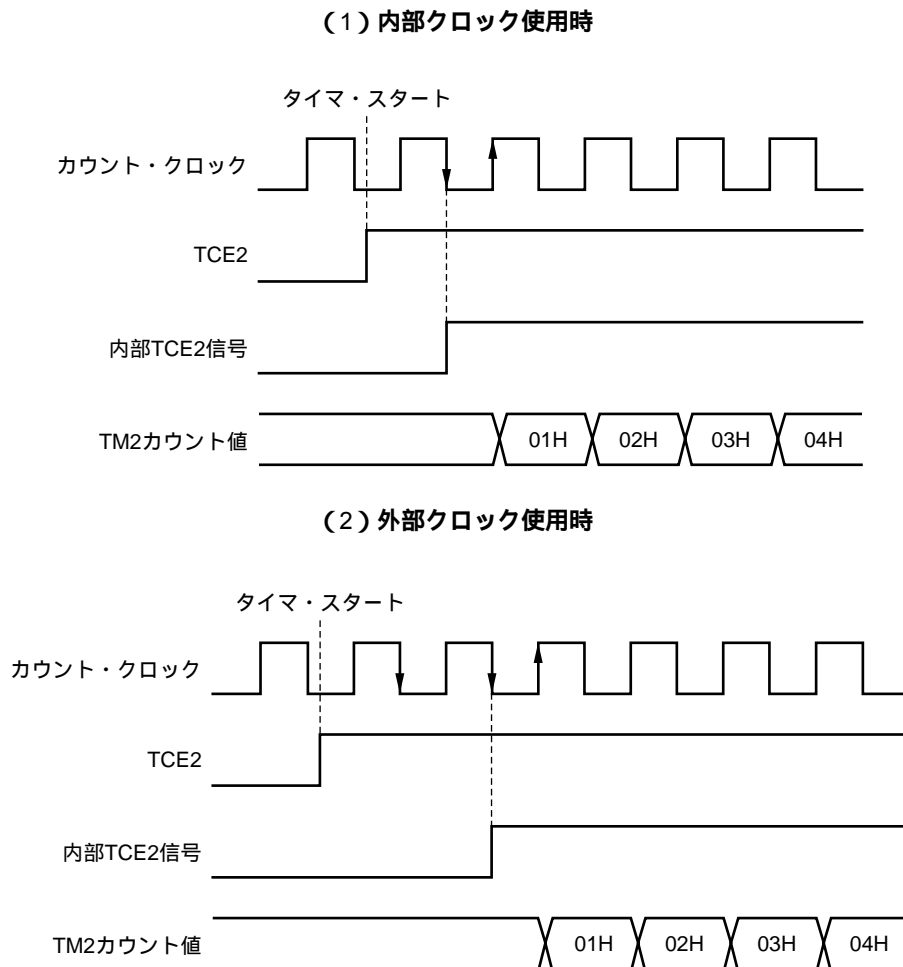
2. 16ビット・タイマ・コンペア・レジスタ2 (CR2) に設定した値と16ビット・タイマ・カウンタ2 (TM2) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM2) を発生します。

8.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，内部クロック使用時には最大で1クロック分の誤差，外部クロック使用時には最大で2クロック分の誤差が生じます。これは，カウント・クロックに対して16ビット・タイマ・カウンタ2 (TM2) のスタートが非同期で行われるためです。

図8-8 16ビット・タイマ・カウンタ2 (TM2) のスタート・タイミング



(2) タイマ・カウント動作中の注意事項

(a) 16ビット・タイマ・コンペア・レジスタ2 (CR2)

タイマ・カウント動作中は，16ビット・タイマ・コンペア・レジスタ2 (CR2) の値を書き換えしないでください。ただし，同じ値の書き込みは可能です。

CR2の値は，タイマ・カウント動作を停止 (TCE2 = 0) させてから，書き換えてください。

(b) タイマ・モード・コントロール・レジスタ2 (TMC2) のビット0, 1 (TCL20, TCL21)

タイマ・カウント動作中は，タイマ・モード・コントロール・レジスタ2 (TMC2) のビット0, 1 (TCL20, TCL21) の書き込みはしないでください。

TCL20, TCL21は，タイマ・カウント動作を停止 (TCE2 = 0) させてから，設定してください。

(3) 外部イベント・カウンタとして動作中の注意事項

- ・ 16ビット・タイマ・コンペア・レジスタ2 (CR2) には, 0000H以外の値を入れてください (1パルスのカウント動作はできません)。
- ・ CR2に設定した値とTM2のカウント値を常に比較し, 一致したときに割り込み要求 (INTTM2) を発生します。

第9章 8ビット・タイマ80-83

9.1 8ビット・タイマ80-83の概要

インターバル・タイマとして使用できます。

9.2 8ビット・タイマ80-83の機能

8ビット・タイマ80-83は、インターバル・タイマの機能を持っています。インターバル・タイマは、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

8ビット・タイマ82は、16ビット・タイマ/イベント・カウンタ2の外部イベント入力の制御に使用します。

8ビット・タイマ83は、リアルタイム出力機能のリロード・タイミングに使用します。

9.3 8ビット・タイマ80-83の構成

8ビット・タイマ80-83は、次のハードウェアで構成しています。

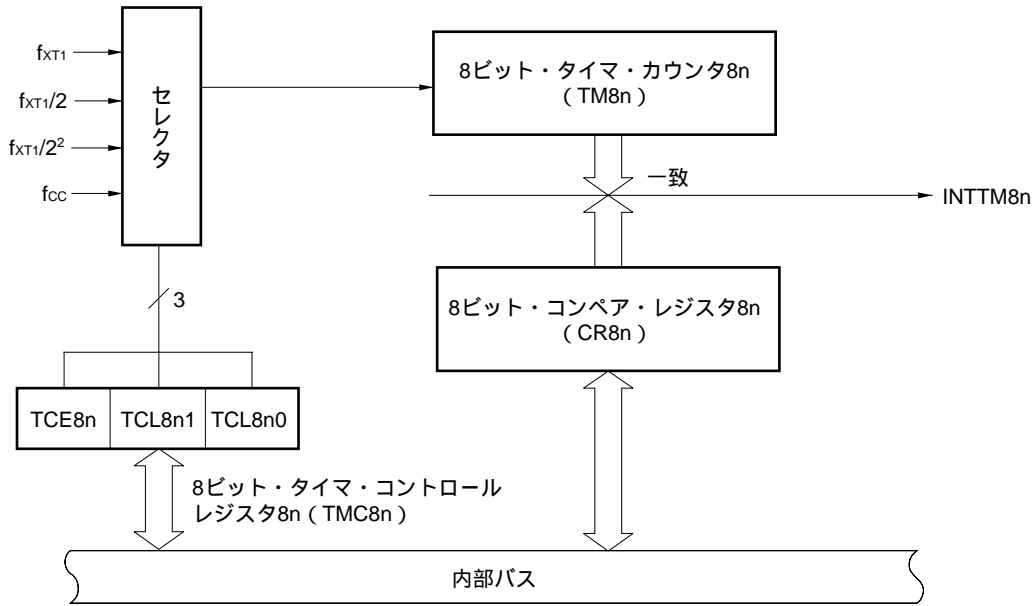
表9 - 1 8ビット・タイマ80-83の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ8n (TM80, TM81, TM82, TM83)
レジスタ	8ビット・コンペア・レジスタ8n (CR80, CR81, CR82, CR83)
制御レジスタ	8ビット・タイマ・コントロール・レジスタ8n (TMC80, TMC81, TMC82, TMC83)

備考 n = 0-3

図9 - 1に8ビット・タイマ80-83のブロック図を示します。

図9 - 1 8ビット・タイマ80-83のブロック図



注意 図9 - 1のカウンタ・クロックの値は、TM80, TM81のもので、TM82, TM83のカウンタ・クロックは、表9 - 2を参照してください。

備考 n = 0-3

表9 - 2 TM80-TM83のカウンタ・クロックの値

TM80	TM81	TM82	TM83
f_{XT1} (30.5 μ s)		$f_{XT1}/2^7$ (3.9 ms)	f_{XT1} (30.5 μ s)
$f_{XT1}/2$ (61 μ s)		$f_{XT1}/2^9$ (15.6 ms)	$f_{XT1}/2^3$ (244 μ s)
$f_{XT1}/2^2$ (122 μ s)		$f_{XT1}/2^{11}$ (62.5 ms)	$f_{XT1}/2^6$ (1.95 ms)
f_{CC} (0.83 μ s)		$f_{XT1}/2^{13}$ (0.25 s)	$f_{XT1}/2^9$ (15.6 ms)

備考1. () 内は、 $f_{CC} = 1.2$ MHz動作時、 $f_{XT1} = 32.768$ kHz動作時

2. f_{CC} : メイン・システム・クロック周波数

f_{XT1} : サブシステム・クロック1周波数

(1) 8ビット・コンペア・レジスタ8n (CR8n : n = 0-3)

CR8nに設定した値と8ビット・タイマ・カウンタ8n (TM8n)のカウンタ値を常に比較し、一致したときにそれぞれ割り込み要求信号 (INTTM8n)を発生する8ビットのコンペア・レジスタです。

CR8nの値は、00H-FFHの範囲で設定できます。

注意 タイマ・カウンタ動作中は、CR8nの値を書き換えないでください。ただし、同じ値の書き込みは可能です。

備考 n = 0-3

(2) 8ビット・タイマ・カウンタ8n (TM8n : n = 0-3)

カウンタ・パルスをカウントする8ビットのレジスタです。

TM8nはRESET入力により、それぞれ00Hとなります。

9.4 8ビット・タイマ80-83を制御するレジスタ

8ビット・タイマ80-83は、8ビット・タイマ・コントロール・レジスタ8n (TMC8n : n = 0-3) で制御します。

(1) 8ビット・タイマ・コントロール・レジスタ8n (TMC8n : n = 0-3)

8ビット・タイマ80-83の動作許可/停止、カウント・クロックの設定をするレジスタです。

TMC8nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 n = 0-3

図9-2 8ビット・タイマ・コントロール・レジスタ80 (TMC80) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC80	TCE80	0	0	0	0	0	TCL801	TCL800	FF70H	00H	R/W

TCE80	TM80のカウント動作の制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

TCL801	TCL800	TM80のカウント・クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2$ (61 μ s)
1	0	$f_{XT1}/2^2$ (122 μ s)
1	1	f_{CC} (0.83 μ s)

注意1. TCL801, TCL800は、いったんタイマ動作を停止させてから設定してください。

2. ビット2-6には、必ず“0”を設定してください。

備考1. ()内は、 $f_{CC} = 1.2$ MHz動作時、 $f_{XT1} = 32.768$ kHz動作時。

2. f_{CC} : メイン・システム・クロック発振周波数

f_{XT1} : サブシステム・クロック1発振周波数

図9 - 3 8ビット・タイマ・コントロール・レジスタ81 (TMC81) のフォーマット

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC81	TCE81	0	0	0	0	0	TCL811	TCL810	FF71H	00H	R/W

TCE81	TM81のカウンタ動作の制御
0	動作停止 (TM81は00Hにクリア)
1	動作許可

TCL811	TCL810	TM81のカウンタ・クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2$ (61 μ s)
1	0	$f_{XT1}/2^2$ (122 μ s)
1	1	f_{CC} (0.83 μ s)

注意1. TCL811, TCL810は、いったんタイマ動作を停止させてから設定してください。

2. ビット2-6には、必ず“0”を設定してください。

備考1. ()内は、 $f_{CC} = 1.2$ MHz動作時、 $f_{XT1} = 32.768$ kHz動作時。

2. f_{CC} : メイン・システム・クロック発振周波数

f_{XT1} : サブシステム・クロック1発振周波数

図9 - 4 8ビット・タイマ・コントロール・レジスタ82 (TMC82) のフォーマット

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC82	TCE82	0	0	0	0	0	TCL821	TCL820	FF72H	00H	R/W

TCE82	TM82のカウンタ動作の制御
0	動作停止 (TM82は00Hにクリア)
1	動作許可

TCL821	TCL820	TM82のカウンタ・クロックの選択
0	0	$f_{XT1}/2^7$ (3.9 ms)
0	1	$f_{XT1}/2^9$ (15.6 ms)
1	0	$f_{XT1}/2^{11}$ (62.5 ms)
1	1	$f_{XT1}/2^{13}$ (0.25 s)

注意1. TCL821, TCL820は、いったんタイマ動作を停止させてから設定してください。

2. ビット2-6には、必ず“0”を設定してください。

備考1. ()内は、 $f_{XT1} = 32.768$ kHz動作時。

2. f_{XT1} : サブシステム・クロック1発振周波数

図9-5 8ビット・タイマ・コントロール・レジスタ83 (TMC83) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC83	TCE83	0	0	0	0	0	TCL831	TCL830	FF73H	00H	R/W

TCE83	TM83のカウンタ動作の制御
0	動作停止 (TM83は00Hにクリア)
1	動作許可

TCL831	TCL830	TM83のカウンタ・クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2^3$ (244 μ s)
1	0	$f_{XT1}/2^6$ (1.95 ms)
1	1	$f_{XT1}/2^9$ (15.6 ms)

注意1. TCL831, TCL830は、いったんタイマ動作を停止させてから設定してください。

2. ビット2-6には、必ず“0”を設定してください。

備考1. ()内は、 $f_{XT1} = 32.768$ kHz動作時。

2. f_{XT1} : サブシステム・クロック1発振周波数

9.5 8ビット・タイマ80-83の動作

8ビット・コンペア・レジスタ8n (CR8n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき、TM8nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM8n) を発生します。

8ビット・タイマ・コントロール・レジスタ8n (TMC8n) のビット0, 1 (TCL8n0, TMC8n1) でTM8nのカウント・クロックを選択できます。

設定方法を次に示します。

タイマ・カウント動作を停止 (TCE8n = 0) してから、各レジスタの設定を行います。

- ・CR8n : コンペア値
- ・TMC8n : カウント・クロックの選択

TCE8n = 1を設定すると、タイマ・カウント動作を開始します。

TM8nとCR8nの値が一致すると、INTTM8nが発生します (TM8nは00Hにクリアされます)。

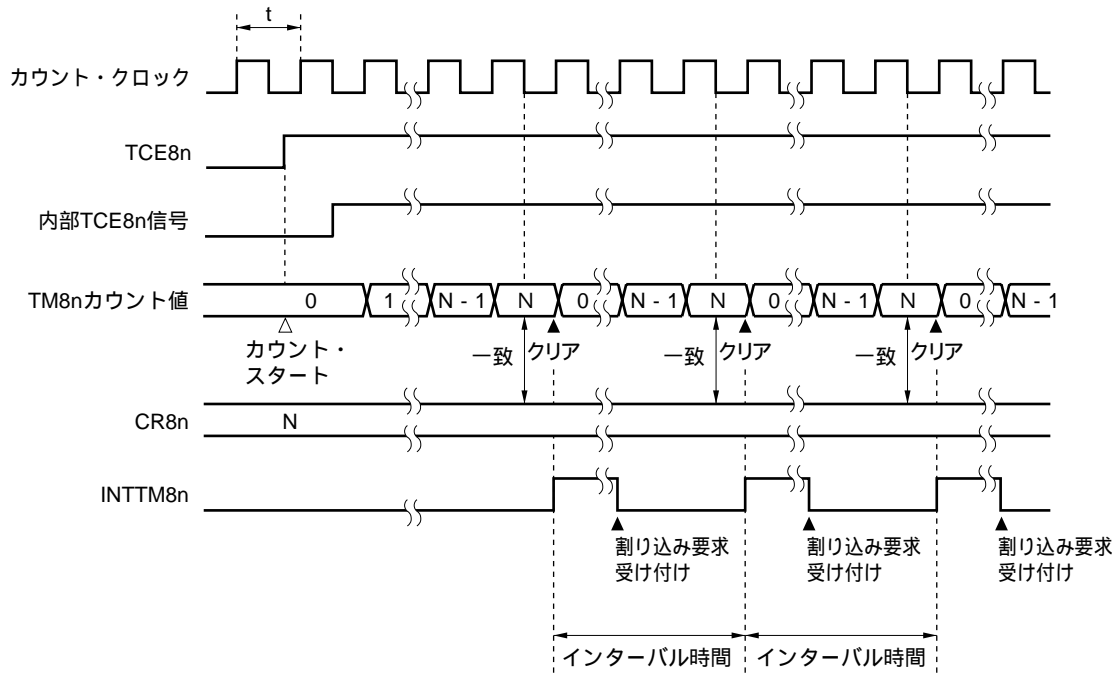
以後、同一間隔でINTTM8nが繰り返し発生します。タイマ・カウント動作を停止するときは、TCE8n = 0にしてください。

注意 タイマ・カウント動作中は、CR8nの値を書き換えないでください。
ただし、同じ値の書き込みは可能です。

備考 n = 0-3

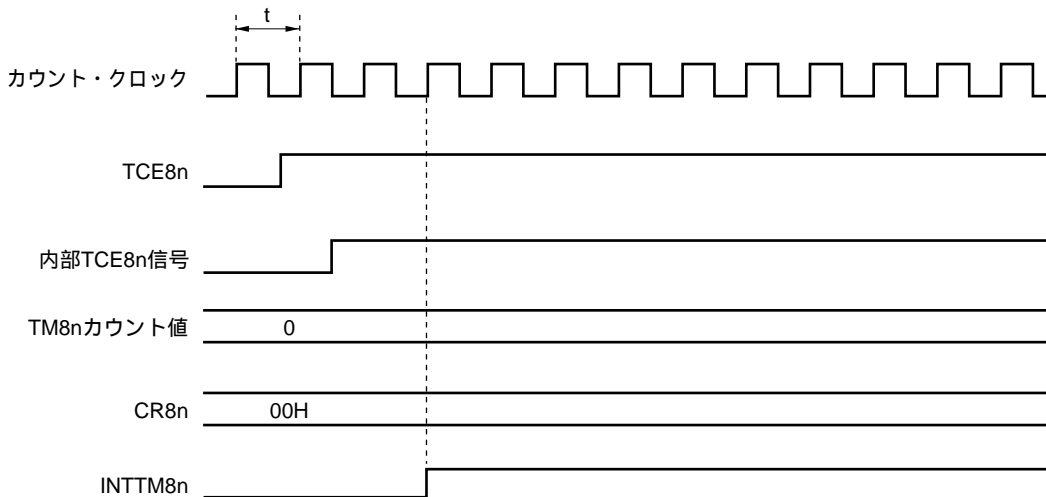
図9-6 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作



備考 n = 0-3

(b) CR8n = 00Hの場合

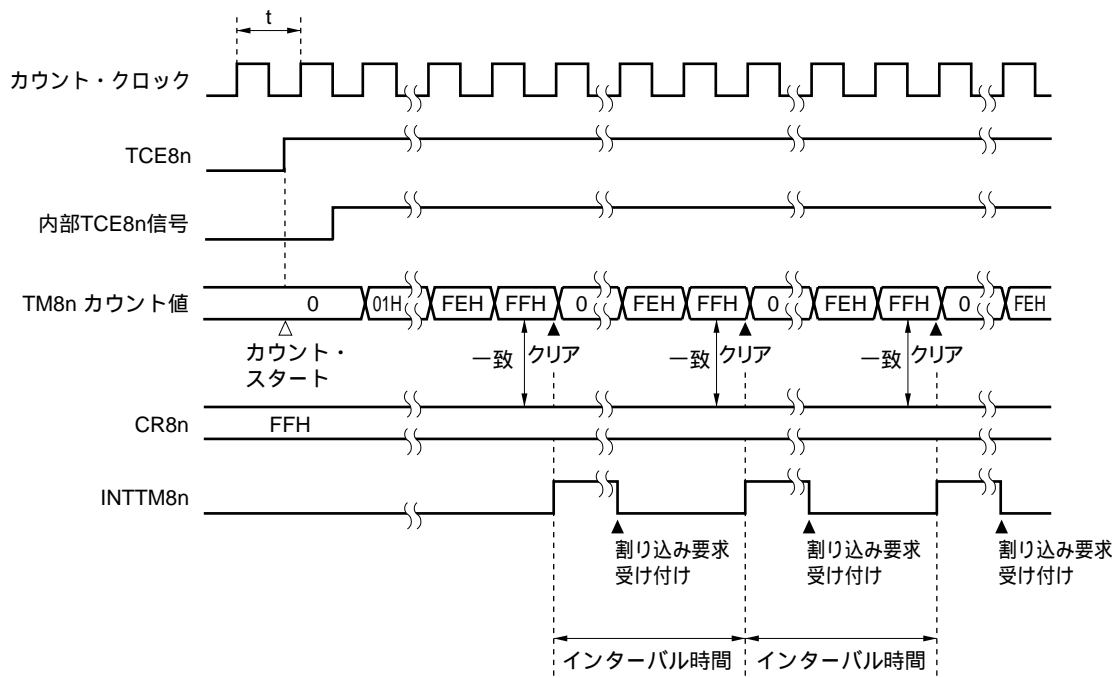


注意 CR8nに00Hを設定した場合、INTTM8nはハイ・レベル固定となり、有効エッジは初回分しか出力されません。

備考 n = 0-3

図9-6 インターバル・タイマ動作のタイミング (2/2)

(c) CR8n = FFHの場合



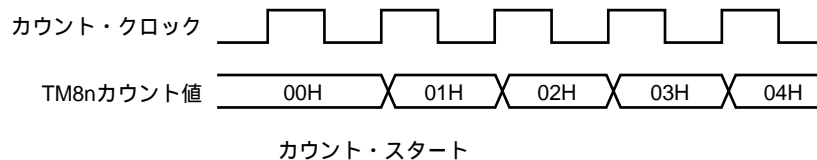
備考 n = 0-3

9.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ $8n$ (TM $8n$: $n = 0-3$) のスタートが非同期で行われるためです。

図9-7 8ビット・タイマ・カウンタ $8n$ (TM $8n$) のスタート・タイミング



$n = 0-3$

(2) タイマ・カウント動作中の注意事項

(a) 8ビット・コンペア・レジスタ $8n$ (CR $8n$)

タイマ・カウント動作中は、8ビット・コンペア・レジスタ $8n$ (CR $8n$) の値を書き換えないください。ただし、同じ値の書き込みは可能です。

CR $8n$ の値は、タイマ・カウント動作を停止 (TCE $8n = 0$) させてから、書き換えてください。

(b) 8ビット・タイマ・コントロール・レジスタ $8n$ (TMC $8n$) のビット0, 1 (TCL $8n0$, TCL $8n1$)

タイマ・カウント動作中は、8ビット・タイマ・コントロール・レジスタ $8n$ (TMC $8n$) のビット0, 1 (TCL $8n0$, TCL $8n1$) の書き込みはしないでください。

TCL $8n0$, TCL $8n1$ は、タイマ・カウント動作を停止 (TCE $8n = 0$) させてから、設定してください。

備考 $n = 0-3$

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの概要

ウォッチドッグ・タイマ,あるいは,あらかじめ設定した任意の時間間隔でノンマスクابل割り込み要求,マスクابل割り込み要求, $\overline{\text{RESET}}$ ($\overline{\text{WDTOUT}}$ 端子からの出力も可)を発生できます。

10.2 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには,次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか,インターバル・タイマ・モードとして使用するかは,ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時,ノンマスクابل割り込み要求または $\overline{\text{RESET}}$ を発生できません。

また,ウォッチドッグ・タイマのオーバーフロー信号を $\overline{\text{WDTOUT}}$ 端子から出力できます($\overline{\text{WDTOUT}}$ 端子のパルス幅は,20 μs (TYP.))。

表10 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_{\text{XT1}} = 32.768 \text{ kHz}$	暴走検出時間	$f_{\text{XT1}} = 32.768 \text{ kHz}$
$f_{\text{XT1}}/2^{13}$	0.25 s	$f_{\text{XT1}}/2^{17}$	4 s
$f_{\text{XT1}}/2^{14}$	0.5 s	$f_{\text{XT1}}/2^{18}$	8 s
$f_{\text{XT1}}/2^{15}$	1 s	$f_{\text{XT1}}/2^{19}$	16 s
$f_{\text{XT1}}/2^{16}$	2 s	$f_{\text{XT1}}/2^{21}$	64 s

f_{XT1} : サブシステム・クロック1発振周波数

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で、割り込み要求を発生します。

表10-2 インターバル時間

インターバル時間	$f_{XT1} = 32.768 \text{ kHz}$	インターバル時間	$f_{XT1} = 32.768 \text{ kHz}$
$f_{XT1}/2^{13}$	0.25 s	$f_{XT1}/2^{17}$	4 s
$f_{XT1}/2^{14}$	0.5 s	$f_{XT1}/2^{18}$	8 s
$f_{XT1}/2^{15}$	1 s	$f_{XT1}/2^{19}$	16 s
$f_{XT1}/2^{16}$	2 s	$f_{XT1}/2^{21}$	64 s

f_{XT1} : サブシステム・クロック1発振周波数

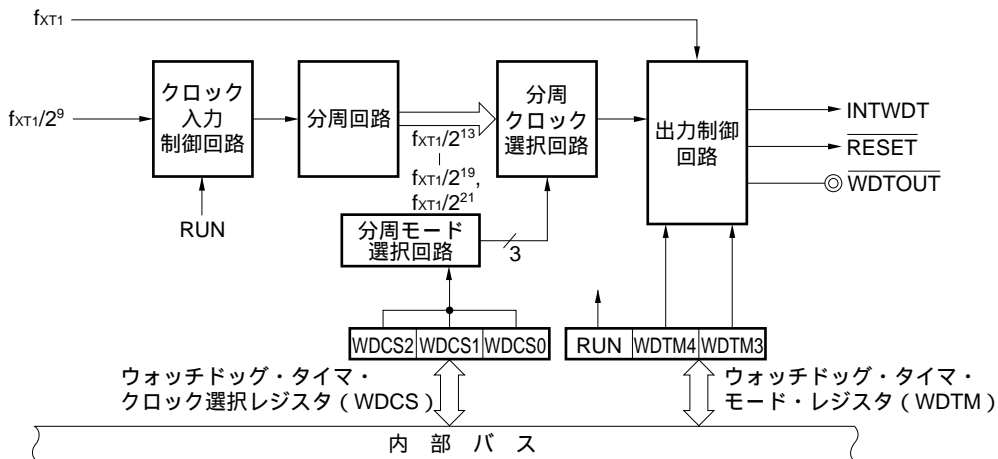
10.3 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図10-1 ウォッチドッグ・タイマのブロック図



注意 WDTOUT端子のパルス幅は、20 μs (TYP.) です。

10.4 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の2種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$f_{XT1}/2^{13}$ (0.25 s)
0	0	1	$f_{XT1}/2^{14}$ (0.5 s)
0	1	0	$f_{XT1}/2^{15}$ (1 s)
0	1	1	$f_{XT1}/2^{16}$ (2 s)
1	0	0	$f_{XT1}/2^{17}$ (4 s)
1	0	1	$f_{XT1}/2^{18}$ (8 s)
1	1	0	$f_{XT1}/2^{19}$ (16 s)
1	1	1	$f_{XT1}/2^{21}$ (64 s)

備考1 . f_{XT1} : サブシステム・クロック1発振周波数

2 . () 内は、 $f_{XT1} = 32.768$ kHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。
 WDTMは，書き込み専用レジスタです。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	x	インターバル・タイマ・モード ^{注3} (オーバーフロー発生時，マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動また， $\overline{\text{WDTOUT}}$ 端子への出力)

注1．RUNは，一度1にセットされると，ソフトウェアで0にクリアできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2．WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアできません。

3．RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^9/f_{XT1}$ 秒短くなります。

備考 x : don't care

10.5 ウォッチドッグ・タイマの動作

10.5.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDSCS) のビット0-2 (WDSCS0-WDSCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。リセットの際は、 $\overline{\text{WDTOOUT}}$ 端子から $20\ \mu\text{s}$ (TYP.) のロウ・レベル出力を同時に行います。

ウォッチドッグ・タイマは、HALTモード時では動作を継続します。

注意 実際の暴走検出時間は、設定時間に対して最大 $2^9/f_{XT1}$ 秒短くなる場合があります。

表10-4 ウォッチドッグ・タイマの暴走検出時間

WDSCS2	WDSCS1	WDSCS0	ウォッチドッグ・タイマの暴走検出時間
0	0	0	$f_{XT1}/2^{13}$ (0.25 s)
0	0	1	$f_{XT1}/2^{14}$ (0.5 s)
0	1	0	$f_{XT1}/2^{15}$ (1 s)
0	1	1	$f_{XT1}/2^{16}$ (2 s)
1	0	0	$f_{XT1}/2^{17}$ (4 s)
1	0	1	$f_{XT1}/2^{18}$ (8 s)
1	1	0	$f_{XT1}/2^{19}$ (16 s)
1	1	1	$f_{XT1}/2^{21}$ (64 s)

備考1. f_{XT1} : サブシステム・クロック1発振周波数

2. () 内は、 $f_{XT1} = 32.768\ \text{kHz}$ 動作時。

10.5.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマは、HALTモード時では動作を継続します。

- 注意1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、 $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードにはなりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^9/f_{XT1}$ 秒短くなる場合があります。

表10 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間
0	0	0	$f_{XT1}/2^{13}$ (0.25 s)
0	0	1	$f_{XT1}/2^{14}$ (0.5 s)
0	1	0	$f_{XT1}/2^{15}$ (1 s)
0	1	1	$f_{XT1}/2^{16}$ (2 s)
1	0	0	$f_{XT1}/2^{17}$ (4 s)
1	0	1	$f_{XT1}/2^{18}$ (8 s)
1	1	0	$f_{XT1}/2^{19}$ (16 s)
1	1	1	$f_{XT1}/2^{21}$ (64 s)

備考1. f_{XT1} : サブシステム・クロック1発振周波数

2. () 内は、 $f_{XT1} = 32.768$ kHz動作時。

第11章 サンプリング出力タイマ/ディテクタ

11.1 サンプリング出力タイマ/ディテクタの概要

定期的なサンプリング・パルスを出力/検出する機能です。 $\overline{\text{RESET}}$ 時には、通常のタイマ機能として動作しません。

11.2 サンプリング出力タイマ/ディテクタの機能

サンプリング出力タイマ/ディテクタは、定期的なサンプリング・パルスを出力する機能/端子を備え、このパルス信号をターゲット内のスイッチなどを介して、SMP1-SMP4端子に入力閉回路を実現し、スイッチの状態を判断します。

サンプリング出力タイマ/ディテクタは、あらかじめターゲット内のスイッチが所定の状態になった場合に割り込み要求を発生させることができます。したがって常時HALTモードを解除する必要はありません。

また、サンプリング出力タイマ/ディテクタはあらかじめセット内スイッチが所定の状態になった場合に、割り込みを発生させる設定を行っておくことで、所定の状態になった場合のみ割り込みを発生させることが可能であるため、不必要なタイミングでHALTモードを解除する必要がありません。

注意 サンプリング出力タイマ/ディテクタは $\overline{\text{RESET}}$ 時には、通常のタイマ機能として動作します。

11.3 サンプリング出力タイマ/ディテクタの構成

サンプリング出力タイマ/ディテクタは、8ビット・タイマ×2チャンネルで構成されています。「サンプリング出力モード」と「8ビット・タイマ・モード」の設定が可能です。

・サンプリング出力モード[※]

SMO0端子のパネル出力の周期カウントを、「TMSA0とTMSB0の一致信号」、「PrinとTMSB0の一致信号」から選択可能です。

「PrinとTMSB0の一致信号」選択時は、TMSA0は、個別にインターバル・タイマとして動作が可能です。SMP0-SMP4端子のサンプリングは、SMO0の立ち上がりで行い、SMTDサンプリング・レベル設定レジスタ0 (SMS0) によりサンプリング割り込みのレベル設定が可能です。

SMTDサンプリング端子状態レジスタ0 (SMD0) によりサンプリング・タイミングでラッチしたSMP0-SMP4端子レベルを識別可能です。

・8ビット・タイマ・モード

TMSA0, TMSB0は、それぞれ8ビット・タイマとして個別に動作可能です。

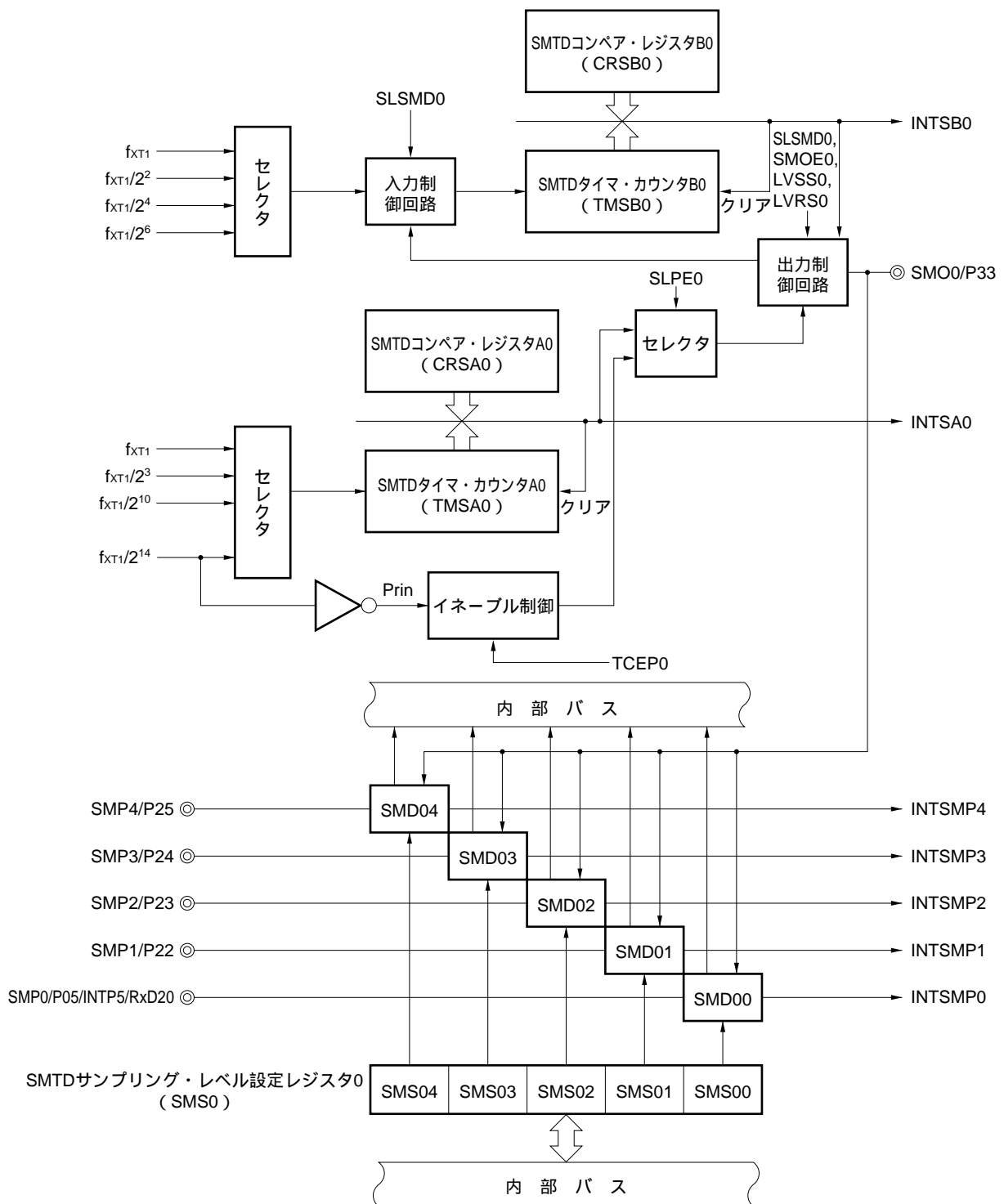
SMO0端子のパルス出力をTMSA0またはPrin (0.5 s ($f_{XT1} = 32.768 \text{ kHz}$ 動作時 (f_{XT1} : サブシステム・クロック1周波数)) 間隔のクロック) から選択可能。

- 注**
- ・ TMSA0の一致信号選択時の設定 ... TMSB0のインターバル時間 TMSA0のインターバル時間の1/2
 - ・ Prin出力の選択時の設定 ... TMSB0のインターバル時間 Prin周期の1/2
(サンプリング出力は、デューティ1/2以下)
 - ・ 選択クロックの周期の設定 ... TMSB0の選択クロックの周期 TMSA0の選択クロックの周期
 - ・ サンプリング・クロックのSMO0の周期とハイ・レベル幅の計算式
 周期 ... $(CRSA0 + 1) \times TMSA0$ のクロック幅
 ハイ・レベル幅
 TMSA0のクロック幅 = TMSB0のクロック幅の場合、およびTMSB0のクロックが f_{XT1} の場合
 ... $(CRSB0 + 1) \times TMSB0$ のクロック幅
 TMSA0のクロック幅 > TMSB0のクロック幅の場合
 ... $(CRSB0 + 0.5) \times TMSB0$ のクロック幅
 TMSA0のクロック幅 < TMSB0のクロック幅の場合
 ... $(CRSB0 + 0.5) \times TMSB0$ のクロック幅 ± ずれ幅 (ずれ幅：最大TMSB0のクロック幅/2)

注意 8ビット・タイマ・モード時は、SMPn (n : 0-4) 端子のサンプリングは行いません。

図11 - 1にサンプリング出力タイマ/ディテクタのブロック図を示します。

図11 - 1 サンプリング出力タイマ/ディテクタのブロック図



11.4 サンプリング出力タイマ/ディテクタを制御するレジスタ

サンプリング出力タイマ/ディテクタは、次の9種類のレジスタで構成されています。

- ・ SMTDタイマ・カウンタA0 (TMSA0)
- ・ SMTDタイマ・カウンタB0 (TMSB0)
- ・ SMTDコンペア・レジスタA0 (CRSA0)
- ・ SMTDコンペア・レジスタB0 (CRSB0)
- ・ SMTDクロック選択レジスタA0 (TCSA0)
- ・ SMTDクロック選択レジスタB0 (TCSB0)
- ・ SMTDコントロール・レジスタ0 (TSM0)
- ・ SMTDサンプリング・レベル設定レジスタ0 (SMS0)
- ・ SMTDサンプリング端子状態レジスタ0 (SMD0)

(1) SMTDタイマ・カウンタA0 (TMSA0)

TMSA0は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

また、動作中にカウント値を読み出した場合、カウント動作は停止されません。したがって読み出した値と実際のカウンタ値は一致しないことがあります。

次の場合、カウンタ値は00Hになります。

RESET入力

TCESA0をクリア

TMSA0とCRSA0の一致

(2) SMTDタイマ・カウンタB0 (TMSB0)

TMSB0は、カウント・パルスをカウントする8ビットのカウンタです。

TMSB0は、プログラムで直接操作することはできません（リード/ライト不可）。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

次の場合、カウンタ値は00Hになります。

RESET入力

TCESB0をクリア

TMSB0とCRSB0の一致

サンプリング出力モード時、SMO0がロウ・レベルのとき

(3) SMTDコンペア・レジスタA0 (CRSA0)

CRSA0に設定した値と、SMTDタイマ・カウンタA0 (TMSA0) のカウンタ値を常に比較し、その2つの値が一致したときに割り込み要求 (INTSA0) を発生します。

CRSA0の値は、00H-FFHの範囲で設定できます。

カウンタ動作中の書き換えはできません。

(4) SMTDコンペア・レジスタB0 (CRSB0)

CRSB0に設定した値と、SMTDタイマ・カウンタB0 (TMSB0) のカウンタ値を常に比較し、その2つの値が一致したときに割り込み要求 (INTSB0) を発生します。

CRSB0の値は、00H-FFHの範囲で設定できます。

カウント動作中の書き換えはできません。

(5) SMTDクロック選択レジスタA0 (TCSA0)

TCSA0は、SMTDタイマ・カウンタA0 (TMSA0) のカウント・クロックを設定するレジスタです。
TCSA0は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11-2 SMTDクロック選択レジスタA0 (TCSA0) のフォーマット

アドレス：FF74H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCSA0	0	0	0	0	0	0	TCA01	TCA00

TCA01	TCA00	クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2^3$ (244 μ s)
1	0	$f_{XT1}/2^{10}$ (31.3 ms)
1	1	$f_{XT1}/2^{14}$ (0.5 s)

注意 TCSA0の設定は、TMSA0のカウント動作を停止させてから行ってください。

備考 () 内は、 $f_{XT1} = 32.768$ kHz動作時 (f_{XT1} : サブシステム・クロック1周波数)。

(6) SMTDクロック選択レジスタB0 (TCSB0)

TCSB0は、SMTDタイマ・カウンタB0 (TMSB0) のカウント・クロックを設定するレジスタです。
TCSB0は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 SMTDクロック選択レジスタB0 (TCSB0) のフォーマット

アドレス：FF75H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCSB0	0	0	0	0	0	0	TCB01	TCB00

TCB01	TCB00	クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2^2$ (122 μ s)
1	0	$f_{XT1}/2^4$ (488 μ s)
1	1	$f_{XT1}/2^6$ (1.95 ms)

注意 TCSB0の設定は、TMSB0のカウント動作を停止させてから行ってください。

備考 () 内は、 $f_{XT1} = 32.768$ kHz動作時 (f_{XT1} : サブシステム・クロック1周波数)。

(7) SMTDコントロール・レジスタ0 (TSM0)

TSM0は、SMTDタイマ・カウンタA0, B0 (TMSA0, TMSB0) のカウント動作制御、Prinカウントの動作制御、SMO0出力モードの選択、SMO0出力信号の選択制御、タイマ出力の制御、SMO0の出力レベルの初期設定を行うレジスタです。

TSM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11-4 SMTDコントロール・レジスタ0 (TSM0) のフォーマット

アドレス：FF76H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TSM0	TCESA0	TCESB0	TCEP0	SLSM0	SLPE0	SMOE0	LVSS0	LVRS0

TCESA0	TMSA0カウント・イネーブル・フラグ
0	TMSA0カウント停止 (TMSA0 = 00H)
1	TMSA0カウント許可

TCESB0	TMSB0カウント・イネーブル・フラグ
0	TMSB0カウント停止 (TMSB0 = 00H)
1	TMSB0カウント許可

TCEP0	Prin (Priscaler input) カウント・イネーブル・フラグ
0	Prinカウント停止
1	Prinカウント許可

SLSM0	SMO0出力モード選択フラグ
0	タイマ・モード
1	サンプリング出力モード

SLPE0	SMO0出力信号制御選択フラグ ^注
0	Prin (0.5 s : f _{XT1} = 32.768 kHz動作時) を選択
1	TMSA0とCRSA0の一致信号 (INTSA0) を選択

SMOE0	出力制御フラグ
0	出力禁止 (ポート・モード)
1	出力許可

LVSS0	LVRS0	タイマ出力F/Fの初期状態の設定フラグ
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

注 SMO0出力端子から出力する信号として出力制御回路に入力する信号を選択するフラグです。サンプリング出力モード時は周期の選択として、タイマ・モード時は出力パルス幅の選択として機能します。

- 注意1. ビット0-5 (LVRS0, LVSS0, SMOE0, SLPE0, SLSMD0, TCEP0) の設定は、タイマ動作を停止させてから行ってください。
- TCESA0, TCESB0, TCEP0, SMOE0の設定は、SLSMD0, SLPE0, LVSS0, LVRS0を設定後、行ってください。
 - SMOE0 = 1のとき、SLSMD0, SLPE0, LVSS0, LVRS0に書き込みはできません。
 - TCESA0, TCESB0, SMOE0の書き込み (“0” “1” または “1” “0”) は、SLSMD0 = 1, SLPE0 = 1に設定 (サンプリング・モード, INTSA0選択時) するタイミングと同時に行ってください。
 - TCESB0, TCEP0, SMOE0の書き込み (“0” “1” または “1” “0”) は、SLSMD0 = 1, SLPE0 = 0に設定 (サンプリング・モード, Prin (0.5 s) 選択時) するタイミングと同時に行ってください。
 - TCESA0, TCESB0, SMOE0の書き込み (“0” “1” または “1” “0”) は、SLSMD0 = 0, SLPE0 = 1に設定 (タイマ・モード, INTSA0選択時) するタイミングと同時に行ってください。
 - TCESB0, TCEP0, SMOE0の書き込み (“0” “1” または “1” “0”) は、SLSMD0 = 0, SLPE0 = 0に設定 (タイマ・モード, Prin (0.5 s) 選択時) するタイミングと同時に行ってください。
 - SMO0/P33端子を汎用ポートとして使用する場合は、必ずタイマ・モード (SLSMD0 = 0) で、SMOE0 = 0の設定をしてください (サンプリング・モード時に、SMOE0 = 0で、SMO0/P33端子がハイ・レベル出力の場合があります。また、タイマ・モード時に、SMOE0 = 1で、SMO0/P33端子がハイ・レベル出力の場合があります)。
 - SLSMD0 = 1のとき (サンプリング・モード) のみ、サンプリング信号検出レジスタ (SMD0) およびINTSMP0-INTSMP4が動作します。
 - サンプリング・モード時、SMOE0に “1” “0” の書き込みを行った場合、SMO0/P33端子 (サンプリング・クロック) の出力は状態を保持します。
 - サンプリング・モード時、SMOE0に “1” “0” の書き込みを行い、SMO0/P33端子がハイ・レベル出力で保持されたあとに、SMOE0に “0” “1” の書き込みを行った場合、SMO0/P33端子はサブシステム・クロック1 (32.768 kHz) の立ち下りのタイミングで、ハイ ロウ・レベル出力となり、サンプリング・クロックの出力を開始します。また、SMO0/P33端子の立ち下りエッジにより、SMP0-SMP4端子のサンプリングを行います。
 - サンプリング・モード時、SMOE0に “0” “1” の書き込みを行い、SMO0/P33端子がロウ・レベル出力で保持された場合、保持直前に行われたSMOE0の書き込み (“0” “1”) でサンプリングされたデータ (SMTDサンプリング端子状態レジスタ0 (SMD0) のビット0-4 (SMD00-SMD04)) により、割り込み信号が発生します。
 - タイマ・モード時、SMOE0に “1” “0” の書き込みを行った場合、SMO0/P33端子がロウ・レベル出力で保持されます。このため、次回SMOE0に “0” “1” の書き込みを行った場合、保持している値が出力されます。
 - サンプリング・モード動作中に、サンプリング信号アクティブ・レベル設定フラグ (SMS0) を書き換えた場合、INTSMP0-INTSMP4とSMD00-SMD04の内容が異なる場合があります。
 - SMD0のデータを読み出したあと、SMD0のデータが破壊される場合がありますが、サブシステム・クロック1 (32.768 kHz) の1周期後には、再度SMP0-SMP4端子の状態がサンプリングされます。
 - SMTDタイマ・カウンタA0 (TMSA0) のカウント値を読み出したあと、そのデータが破壊される場合がありますが、TMSA0の選択クロックの1周期後には、再度カウント値の読み出しが行われます。

(8) SMTDサンプリング・レベル設定レジスタ0 (SMS0)

SMP0-SMP4端子へのサンプリング入力レベルとSMS0の設定によるアクティブ・レベルが一致すると、サンプリング割り込み (INTSMP0-INTSMP4) を発生させることができます。

また、SMP0-SMP4端子のサンプリングは、サンプリング・クロックの立ち下がりで行われます。

SMS0は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11-5 SMTDサンプリング・レベル設定レジスタ0 (SMS0) のフォーマット

アドレス：FF77H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SMS0	0	0	0	SMS04	SMS03	SMS02	SMS01	SMS00

SMS0n	サンプリング信号アクティブ・レベル設定フラグ (n = 0-4)
0	サンプリング・クロックの立ち下がりでロウ・レベルを検出すると割り込み要求を発生
1	サンプリング・クロックの立ち下がりでハイ・レベルを検出すると割り込み要求を発生

注意 SLSMD0 = 1, SMOE0 = 1のとき (サンプリング出力モード時)、SMS0に書き込まないでください。

(9) SMTDサンプリング端子状態レジスタ0 (SMD0)

SMD0は、サンプリング・クロック (SMO0) の立ち下がりでラッチしたSMP0-SMP4端子の状態を検出するレジスタです。

SMD0は、サンプリング出力モード時 (SMTDコントロール・レジスタ0 (TSM0) のビット4 (SLSMD0) が“1”) のみ機能します。

SMD0は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

図11-6 SMTDサンプリング端子状態レジスタ0 (SMD0) のフォーマット

アドレス：FF78H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SMD0	0	0	0	SMD04	SMD03	SMD02	SMD01	SMD00

SMD0n	SMPn端子の状態 (n = 0-4)
0	ロウ・レベル
1	ハイ・レベル

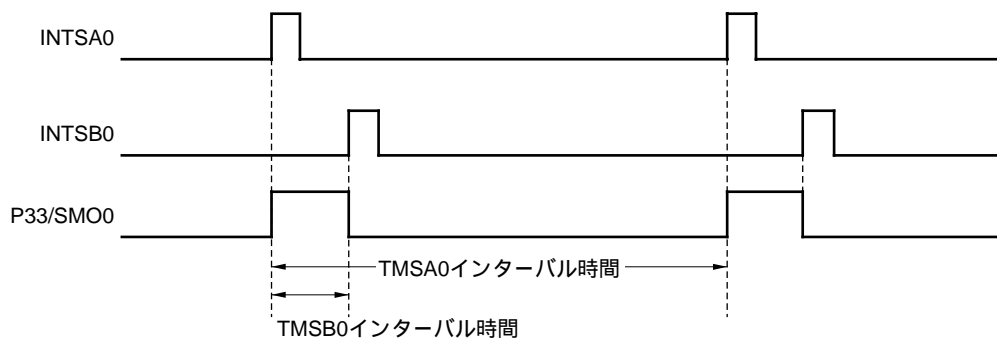
注意 サンプリング出力を停止 (使用しているタイマ・イネーブル・フラグをクリア) した場合、SMD0は、不定になりますので、サンプリング出力を停止する場合は、INTSMP0-INTSMP4の割り込みマスク・フラグに“1”をセット (割り込み処理を禁止) してから行ってください。

図11 - 7にサンプリング出力モード時とタイマ・モード時のSMO0出力タイミング図を示します。

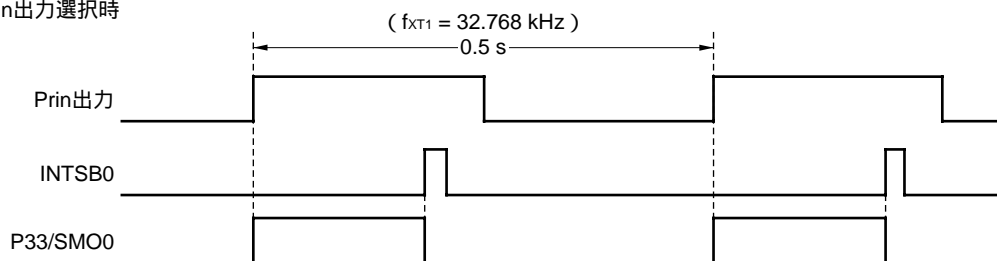
図11 - 7 SMO0出力タイミング図

(1) サンプリング出力モード時のSMO0出力

・ TMSA0の一致信号選択時

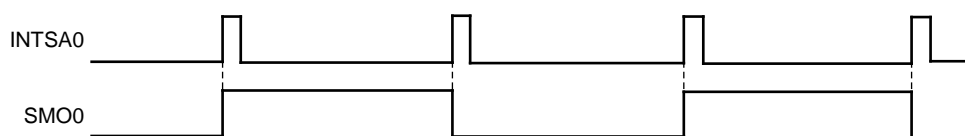


・ Prin出力選択時



(2) タイマ・モード時のSMO0出力

・ TMSA0の一致信号選択時



・ Prin出力選択時

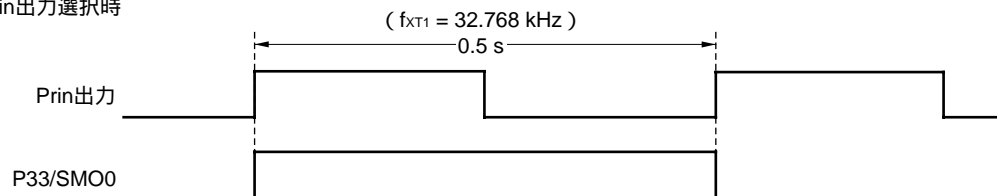
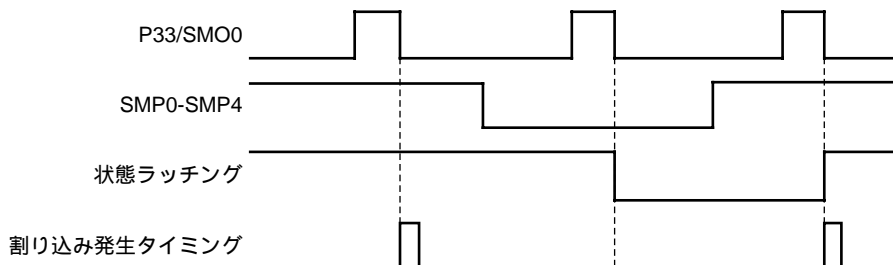


図11 - 8にサンプリング検出のタイミング図を示します。

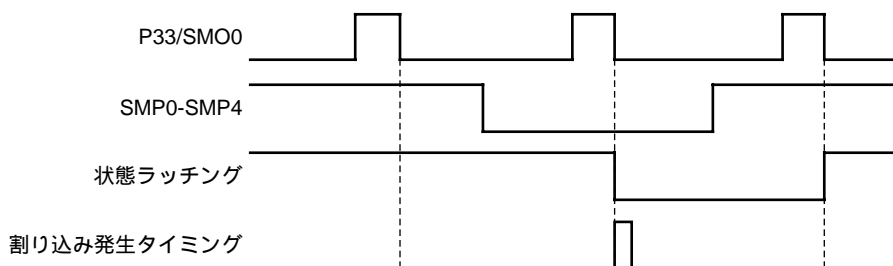
図11 - 8 サンプリング検出のタイミング図

【サンプリング検出1】

ハイ割り込み設定

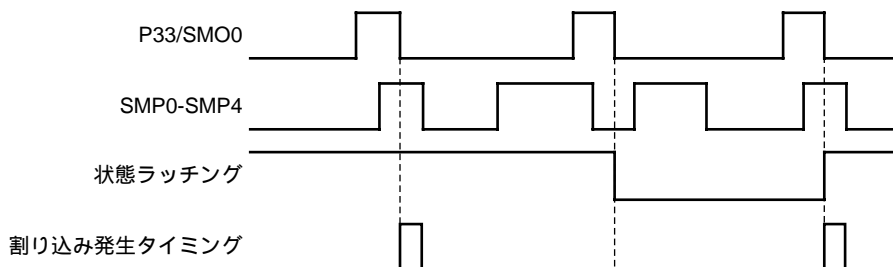


ロウ割り込み設定

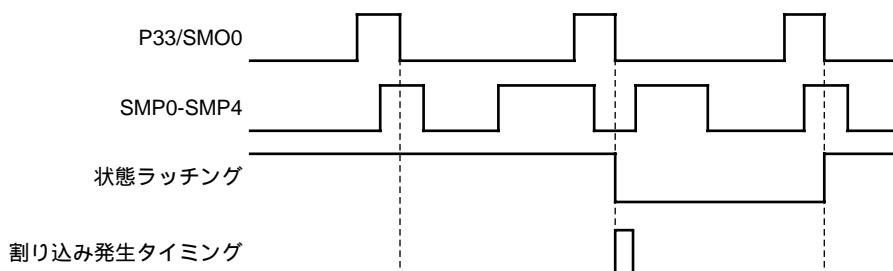


【サンプリング検出2】

ハイ割り込み設定



ロウ割り込み設定



第12章 MRサンプリング機能

12.1 MRサンプリング機能の概要

MRセンサ（磁気センサ）を駆動するための機能です。 $\overline{\text{RESET}}$ 時には、通常のタイマ機能として動作します。

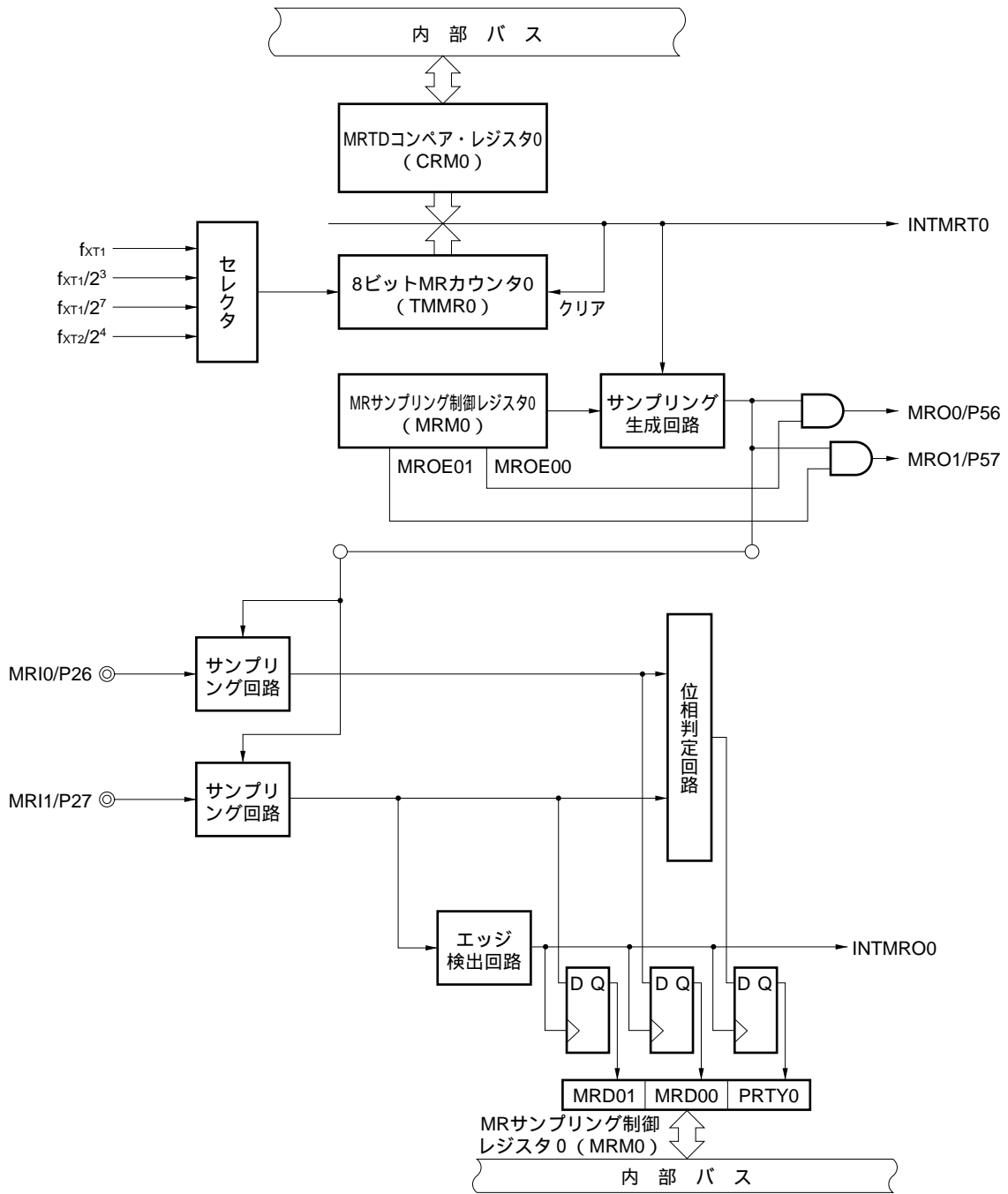
12.2 MRサンプリングの機能

MRサンプリング機能は、MRセンサ（磁気センサ）を駆動するための機能です。

MRサンプリング機能は、MRサンプリング出力回路と位相検出回路の2つのブロックから構成され、MRサンプリング機能を使用しないときは、8ビットのインターバル・タイマとして使用できます。

図12 - 1にMRサンプリングのブロック図を示します。

図12 - 1 MRサンプリングのブロック図



12.3 MRサンプリングの構成

MRサンプリング機能は、次のハードウェアで構成されています。

表12 - 1 MRサンプリングの構成

項 目	構 成
レジスタ	8ビットMRカウンタ0 (TMMR0) MRTDコンペア・レジスタ0 (CRM0)
制御レジスタ	MRTDコントロール・レジスタ0 (TCM0) MRTD出力制御レジスタ0 (TMM0) MRサンプリング制御レジスタ0 (MRM0)

(1) 8ビットMRカウンタ0 (TMMR0)

TMMR0は、カウント・パルスをカウントする8ビットのカウンタです。

TMMR0は、カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TMMR0は、書き込み、読み取りはできません。次の場合、カウント値は00Hになります。

$\overline{\text{RESET}}$ 入力

MRTDコントロール・レジスタ0 (TCM0) のビット7 (TCM0) をリセット

TMMR0とCRM0の一致

(2) MRTDコンペア・レジスタ0 (CRM0)

CRM0に設定した値と、8ビットMRカウンタ0 (TMMR0) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTMRT0) を発生します。

CRM0は、8ビットの書き込み、読み出しができます。

CRM0は、01H-FFHの範囲で設定できます。カウント動作中の書き換えはできません。

注意 00Hは設定禁止です。

12.4 MRサンプリングを制御するレジスタ

MRサンプリングは、次の3種類のレジスタで制御します。

- ・MRTDコントロール・レジスタ0 (TCM0)
- ・MRTD出力制御レジスタ0 (TMM0)
- ・MRサンプリング制御レジスタ0 (MRM0)

(1) MRTDコントロール・レジスタ0 (TCM0)

TCM0は、TMMR0カウント動作制御、8ビット・タイマ/MRサンプリング出力モードの選択、TMMR0のカウント・クロックの選択などを設定するレジスタです。

TCM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 MRTDコントロール・レジスタ0 (TCM0) のフォーマット

アドレス：FF79H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCM0	TCEM0	SLMR0	0	0	0	0	TCM01	TCM00

TCEM0	TMMR0カウント動作制御
0	カウントを0にクリア後、TMMR0カウント停止 (TMMR0 = 00H)
1	TMMR0カウント動作許可

SLMR0	8ビット・タイマ/MRサンプリング出力モードの選択
0	8ビット・タイマ・モード
1	MRサンプリング出力モード

TCM01	TCM00	TMMR0のカウント・クロックの選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2^3$ (244 μ s)
1	0	$f_{XT1}/2^7$ (3.9 ms)
1	1	$f_{XT2}/2^4$ (3.25 μ s) ^注

注 8ビット・タイマ・モード時のみ選択できます。

備考1. () 内は、 $f_{XT1} = 32.768$ kHz動作時、 $f_{XT2} = 4.91$ MHz動作時

2. f_{XT1} : サブシステム・クロック1発振周波数

f_{XT2} : サブシステム・クロック2発振周波数

(2) MRTD出力制御レジスタ0 (TMM0)

TMM0は、8ビット・タイマ・モード時のタイマ出力F/F (フリップフロップ) の状態を設定するレジスタです。

TMM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 3 MRTD出力制御レジスタ0 (TMM0) のフォーマット

アドレス : FF7AH リセット時 : 00H W

略号	7	6	5	4	3	2	[1]	[0]
TMM0	0	0	0	0	0	0	LVSM0	LVRM0

LVSM0	LVRM0	タイマ出力F/Fの状態設定
0	0	変化なし
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

備考 TMMR0のカウンタ動作中の書き換えはできません。

(3) MRサンプリング制御レジスタ0 (MRM0)

MRM0は、MRセンサからの信号のサンプリング状態の表示、およびMRO0/MRI0, MRO1/MRI1の動作制御を設定するレジスタです。MRM0のビット5-7は、読み出しのみできます。

MRM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 4 MRサンプリング制御レジスタ0 (MRM0) のフォーマット

アドレス：FF7BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MRM0	MRD01	MRD00	PRTY0	0	CK01	CK00	MROE01	MROE00

MRD01	MRI1内部整形波形レベル・ステータス・フラグ
0	ロウ・レベル
1	ハイ・レベル

MRD00	MRI1内部整形波形の立ち上がり時のMRI0内部整形波形レベル・ステータス・フラグ
0	MRI0の内部整形波形がロウ・レベル
1	MRI0の内部整形波形がハイ・レベル

PRTY0	MRI1内部整形波形の立ち上がり / 立ち下がり時のMRI0の内部整形波形状態のステータス・フラグ
0	MRI1の内部整形波形の立ち上がり時にMRI0の内部整形波形がハイ・レベル、またはMRI1の内部整形波形の立ち下がり時にMRI0の内部整形波形がロウ・レベル
1	MRI1の内部整形波形の立ち上がり時にMRI0の内部整形波形がロウ・レベル、またはMRI1の内部整形波形の立ち下がり時にMRI0の内部整形波形がハイ・レベル

CK01	CK00	MRO1, MRO0端子出力クロック・パルス幅の設定
0	0	$2 \times f_{XT1}$ (15 μ s)
0	1	f_{XT1} (30.5 μ s)
1	0	$f_{XT1}/2$ (61 μ s)
1	1	$f_{XT1}/2^5$ (977 μ s)

MROE01	MRO1端子の出力制御フラグ
0	出力禁止
1	出力許可

MROE00	MRO0端子の出力制御フラグ
0	出力禁止
1	出力許可

備考1. 8ビット・タイム・モード時 (MRTDコントロール・レジスタ0 (TCM0) のビット6が“0”) , MRD01, MRD00, PRTY0はクリアされます。

2. () 内は、 $f_{XT1} = 32.768$ kHz動作時 (f_{XT1} : サブシステム・クロック1発振周波数)。

12.5 MRサンプリング出力回路の動作

(1) 8ビット・タイマ・モード

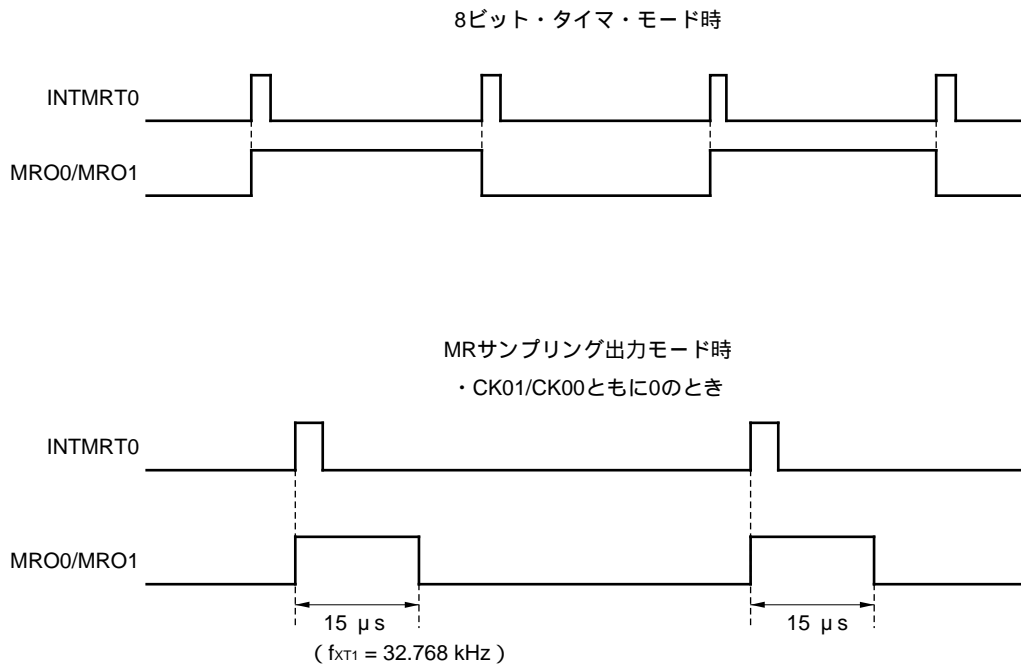
- ・8ビットMRカウンタ0 (TMMR0) は, MRTDコントロール・レジスタ0 (TCM0) のビット6 (SLMR0) の設定により, 8ビット・タイマとして使用できます。
- ・MRO0/MRO1出力は, MRTDコンペア・レジスタ0 (CRM0) との一致による割り込み要求 (INTMRT0) により反転出力します。

(2) MRサンプリング出力モード

- ・8ビットMRカウンタ0 (TMMR0) は, MRTDコンペア・レジスタ0 (CRM0) との一致&クリア・タイプの8ビット・インターバル・タイマとして動作します。
- ・MRO0/MRO1端子の出力周期は, MRTDコンペア・レジスタ0 (CRM0) との一致による割り込み要求 (INTMRT0) により決まります。デューティは, MRサンプリング制御レジスタ0 (MRM0) のビット2,3 (CK00, CK01) によって設定されます。

図12 - 5にMRO0/MRO1出力のタイミング図を示します。

図12 - 5 MRO0/MRO1出力のタイミング図



備考1. MRO0/MRO1のパルス幅は, MRM0のビット2, 3 (CK00, CK01) によって設定されます

2. f_{XT1} : サブシステム・クロック1周波数

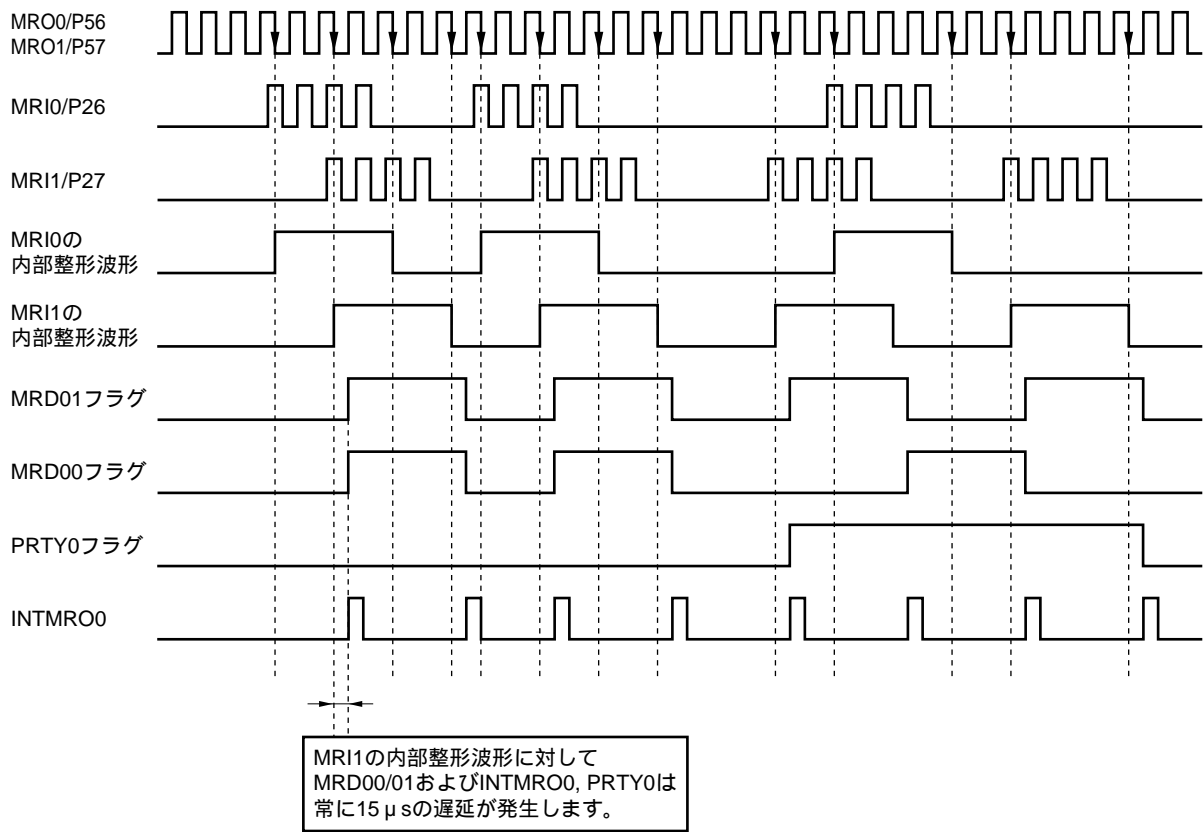
12.6 位相検出回路の動作

- ・MRI0/MRI1入力は、MRO0/MRO1クロックの立ち下がりですampling回路にラッチし、入力信号の波形整形を行います。
- ・内部で波形整形されたMRI1信号の立ち上がり / 立ち下がりの両エッジにより、MRTDエッジ検出割り込み (INTMRO0) が発生します。
なおINTMRO0の発生タイミングは、波形整形されたMRI1に対し15 μ s遅れて発生します。
- ・MRサンプリング制御レジスタ0 (MRM0) のビット7 (MRD01) は、INTMRO0の発生タイミングで、内部で波形整形されたMRI1のレベルをラッチし、MRD01へ転送します。MRI1がハイ・レベルのときはセット (1) され、ロウ・レベルのときはクリア (0) されます。
- ・MRM0のビット6 (MRD00) は、内部で波形整形されたMRI1の立ち下がり / 立ち上がりの両エッジで、内部で波形整形されたMRI0のレベルをラッチし、INTMRO0の発生タイミングでMRD00へ転送されます。MRI0がハイ・レベルのときはセット (1) され、ロウ・レベルのときはクリア (0) されます。
- ・MRM0のビット5 (PRTY0) は、MRI0/MRI1の位相検出 (正転 / 逆転) を確認するビットです。波形整形されたMRI1の立ち上がり時に、波形整形されたMRI0がハイ・レベルのとき、またはMRI1の立ち下がり時に、MRI0がロウ・レベルのときにクリア (0) (正転) されます。
一方、MRI1の立ち上がり時にMRI0がロウ・レベルのとき、または立ち下がり時にMRI0がハイ・レベルのときセット (1) (逆転) されます。
- ・8ビット・タイム・モード時は、位相検出回路は動作しません。

注意 MRI1の内部整形波形に対し、INTMRO0の発生タイミングおよびMRD00/MRD01、PRTY0のセット / クリア・タイミングは常に15 μ sの遅延が生じます。

図12 - 6に位相検出回路のタイミング例を示します。

図12 - 6 位相検出回路のタイミング例



12.7 注意事項

(1) MRI0, MRI1の入力波形について

- ・MRI0, MRI1が同時変化した場合

MRI0, MRI1のエッジが重なった場合, MRI0の内部整形波形のレベル・ステータス・フラグの値は, 不定です。

- ・INTMRO0と各ステータス・フラグの変化タイミング

INTMRO0と各ステータス・フラグ (MRD00, MRD01, PRTY0) は同タイミングで変化します。

(2) 各レジスタの設定について

- ・すべてのフラグの変更は, TMMR0カウント動作制御フラグ (TCEM0 = 0)で行ってください。

(タイマ・モード, MRモード, MRO0, MRO1端子の出力許可などの設定を終了したあと, 最後にタイマをスタートします。フラグを変更する場合には, 先にタイマを停止 (TCEM0 = 0) したあと, 各フラグを変更してください。)

(3) MRサンプリング出力とタイマの切り替えについて

- ・8ビット・タイマ・モードとMRサンプリング出力モードの切り替えは, タイマを停止 (TCEM0 = 0) したあと行ってください。

(4) MRサンプリング出力モード時の出力波形について

- ・MRサンプリング出力は, デューティ1/2以下となるように設定してください。

第13章 クロック出力制御回路

13.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ (CKS) で選択したクロックをPCL/P34端子から出力します。

クロック・パルスを出力するときは、次の手順で行います。

CKSのビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

P34の出力ラッチに0を設定する。

ポート・モード・レジスタ3 (PM3) のビット4 (PM34) に0を設定する (出力モードに設定)。

CKSビット4 (CLOE) に1を設定する。

注意 P34の出力ラッチに1を設定すると、クロック出力は使用できません。

備考 クロック出力制御回路は、クロック出力の許可 / 禁止の切り替えを行うときに、幅の狭いパルスは出力されないようになっています。

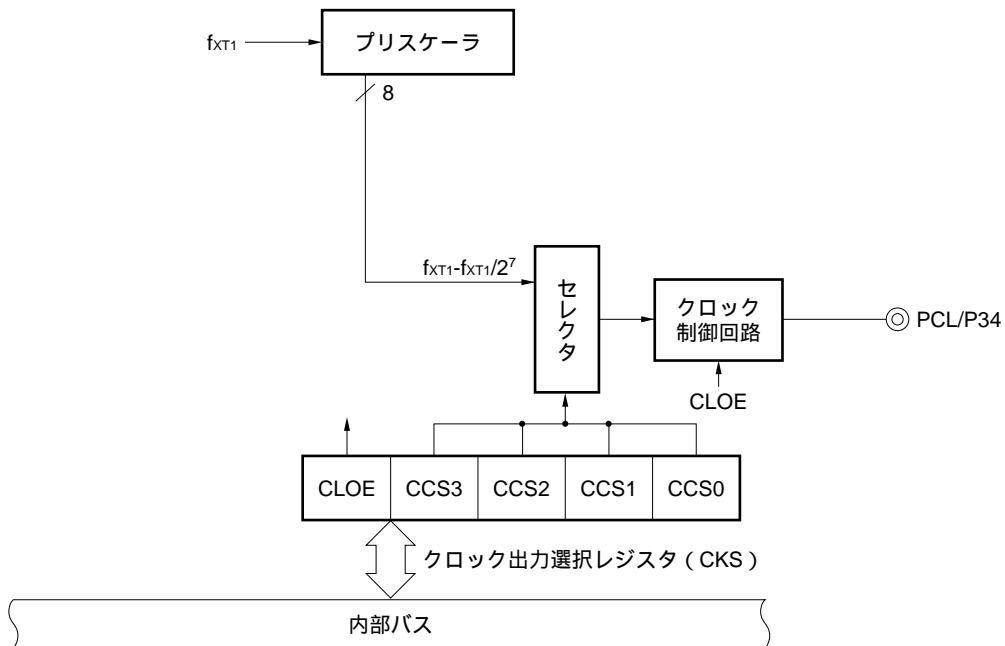
13.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表13 - 1 クロック出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ3 (PM3)

図13 - 1 クロック出力制御回路のブロック図



13.3 クロック出力機能を制御するレジスタ

クロック出力機能は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ3 (PM3)

(1) クロック出力選択レジスタ (CKS)

CKSは、PCL出力のクロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	0	0	0	CLOE	CCS3	CCS2	CCS1	CCS0

CLOE	PCL出力許可 / 禁止の指定
0	クロック分周回路動作停止, PCLはロウ・レベル固定
1	クロック分周回路動作許可, PCL出力許可

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択
0	0	0	0	f_{XT1} (32.768 kHz)
0	0	0	1	$f_{XT1}/2$ (16.384 kHz)
0	0	1	0	$f_{XT1}/2^2$ (8.192 kHz)
0	0	1	1	$f_{XT1}/2^3$ (4.096 kHz)
0	1	0	0	$f_{XT1}/2^4$ (2.048 kHz)
0	1	0	1	$f_{XT1}/2^5$ (1.024 kHz)
0	1	1	0	$f_{XT1}/2^6$ (512 Hz)
0	1	1	1	$f_{XT1}/2^7$ (256 Hz)
上記以外				設定禁止

備考 ()内は、 $f_{XT1} = 32.768 \text{ kHz}$ 動作時 (f_{XT1} : サブシステム・クロック1周波数)。

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で指定するレジスタです。

P34/PCL端子をクロック出力機能として使用するときは，PM34およびP34の出力ラッチに“0”を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，FFHになります。

図13-3 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3nの入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

第14章 シリアル・インタフェースUART2

14.1 シリアル・インタフェースUART2の機能

シリアル・インタフェースUART2には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送をおこなわないときに使用するモードです。消費電力を低減できます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード (端子切り替え機能付き)

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

転送データ長を5ビット/7ビット/8ビットに変更できます。

送信/受信の両方について、正論理/負論理を選択できます。

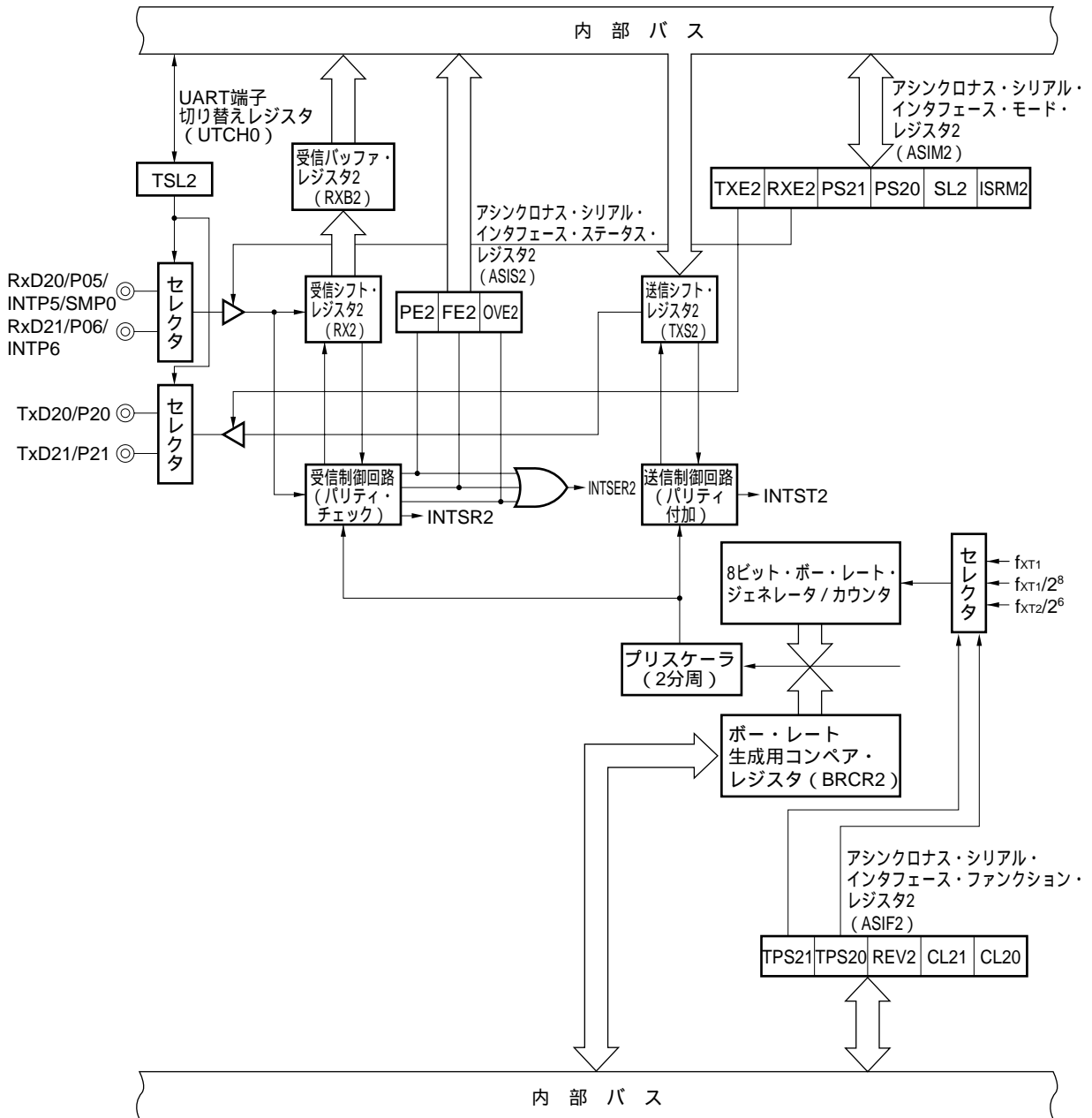
サブシステム・クロック1を使用することによって、200 bpsと300 bpsの転送レートでの送受信が可能です。また、サブシステム・クロック2を使用することによって、1200 bpsと2400 bpsの転送レートでの送受信が可能です。

データ入出力端子 (RxD, TxD) を2系統内蔵しており、ソフトウェアにより使用する端子を選択できます (時分割転送機能)。一度に使用できるのは、1系統のみです。

注意 端子切り替えで使用しない端子は、ポートとして使用可能です。

図14 - 1にシリアル・インタフェースUART2のブロック図を示します。

図14 - 1 シリアル・インタフェースUART2のブロック図



14.2 シリアル・インタフェースUART2の構成

シリアル・インタフェースUART2は、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースUART2の構成

項目	構成
レジスタ	送信シフト・レジスタ2 (TXS2) 受信シフト・レジスタ2 (RX2) 受信バッファ・レジスタ2 (RXB2)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) ポー・レート生成用コンペア・レジスタ2 (BRCCR2) UART端子切り替えレジスタ (UTCH0)

(1) 送信シフト・レジスタ2 (TXS2)

送信データを設定するレジスタです。TXS2に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS2に書き込んだデータのビット0-6が送信データとして転送されます。TXS2にデータを書き込むことにより、送信動作を開始します。

TXS2は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

RESET入力により、FFHになります。

注意 送信動作中は、TXS2への書き込みを行わないでください。

TXS2と受信バッファ・レジスタ2 (RXB2) は、同一のアドレスに割り当てられており、読み出しを行った場合には、RXB2の値が読み出されます。

(2) 受信シフト・レジスタ2 (RX2)

RxD20, RxD21端子に入力されているシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ2 (RXB2) へ転送されます。

RX2はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ2 (RXB2)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ2 (RX2) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB2のビット0-6に転送され、RXB2のビット7は必ず0になります。

RXB2は、8ビット・メモリ操作命令で読み出します。書き込みはできません。

RESET入力により、FFHになります。

注意 受信エラー発生時においても受信バッファ・レジスタ2 (RXB2) は、必ず読み出しを行ってください。

RXB2の読み出しを行わないと、次のデータ受信にオーバラン・エラーが発生し、常に受信エラー状態となります。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ2(ASIM2)に設定された内容に従って、送信シフト・レジスタ2(TXS2)に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ2(ASIM2)に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときには、エラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ2(ASIS2)にセットします。

14.3 シリアル・インタフェースUART2を制御するレジスタ

シリアル・インタフェースUART2は、次の5種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)
- ・ アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)
- ・ アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2)
- ・ ボー・レート生成用コンペア・レジスタ2 (BRCR2)
- ・ UART端子切り替えレジスタ (UTCH0)

(1) レジスタの設定

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

シリアル・インタフェースUART2のシリアル転送動作を制御する8ビットのレジスタです。

ASIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2にASIM2のフォーマットを示します。

注意 UARTモード時、ポート・モード・レジスタ (PM \times) を次のように設定してください。

また、出力モードに設定するポートの出力ラッチは、それぞれ0に設定してください。

- ・ 受信時 (TSL2 = 0のとき) P05 (RxD20) を入力モード (PM05 = 1) に設定
(TSL2 = 1のとき) P06 (RxD21) を入力モード (PM06 = 1) に設定
- ・ 送信時 (TSL2 = 0のとき) P20 (TxD20) を出力モード (PM20 = 0) に設定
(TSL2 = 1のとき) P21 (TxD21) を出力モード (PM21 = 0) に設定
- ・ 送受信時 (TSL2 = 0のとき) P05 (RxD20) を入力モード (PM05 = 1) に設定
P20 (TxD20) を出力モード (PM20 = 0) に設定
(TSL2 = 1のとき) P06 (RxD21) を入力モード (PM06 = 1) に設定
P21 (TxD21) を出力モード (PM21 = 0) に設定

備考 TSL2 : UART端子切り替えレジスタ (UTCH0) のビット0

図14 - 2 アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のフォーマット

アドレス : FFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ASIM2	TXE2	RXE2	PS21	PS20	SL2	ISRM2	0	0

(n = 0, 1)

TXE2	RXE2	動作モード	RxD2n/P × × 端子 の機能	TxD2n/P × × 端子 の機能
0	0	動作禁止	ポート機能	ポート機能
0	1	UARTモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTモード (送受信)	シリアル機能	シリアル機能

PS21	PS20	パリティ・ビットの動作
0	0	パリティなし
0	1	返信=0パリティ 受信=パリティ・エラーを発生しない
1	0	奇数パリティ
1	1	偶数パリティ

SL2	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM2	エラー発生時の受信完了割り込み要求制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意 動作モードの切り替えは、シリアル送受信動作を停止させてから行ってください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS2は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) のフォーマット

アドレス：FFA2H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS2	0	0	0	0	0	PE2 ^{注1}	FE2 ^{注2}	OVE2 ^{注3}

PE2	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE2	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき)

OVE2	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. パリティ・エラー・フラグは、次のパリティ・ビットが正常に行われることにより、クリアされます。
2. アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット3 (SL2) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
3. 1キャラクタの受信ごとに受信シフト・レジスタ2 (RX2) の内容が受信バッファ・レジスタ2 (RXB2) に転送されます。したがってオーバラン・エラーが発生したときRXB2に次のデータが上書きされるため、RXB2からは次の受信データが読み出されます。オーバラン・エラーが発生したとき、RXB2を必ず読み出してください。RXB2を読み出すまで、データ受信のたびにオーバラン・エラーを発生し続けます。

(c) アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2)

UARTモードでボー・レート・ジェネレータ / カウンタの入力クロックの選択、転送データ長の変更、送信 / 受信の両方について、正論理 / 負論理の選択などを設定するレジスタです。

ASIF2は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 4 アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ASIF2	0	0	TPS21	TPS20	0	REV2	CL21	CL20

TPS21	TPS20	ボー・レート・ジェネレータ / カウンタの入力クロック選択
0	0	f_{XT1} (30.5 μ s)
0	1	$f_{XT1}/2^8$ (7.8 ms)
1	0	$f_{XT2}/2^6$ (13.0 μ s)
1	1	設定禁止

REV2	送信 / 受信信号の正論理 / 負論理指定
0	正論理
1	負論理

CL21	CL20	データ・キャラクタ長指定
0	0	7ビット
0	1	8ビット
1	0	5ビット
1	1	

- 注意1. 動作モードの切り替えは、シリアル送受信動作を停止させてから行ってください。
2. ボー・レート・ジェネレータ / カウンタのカウント・クロックの切り替えは、シリアル送受信動作を停止させてから行ってください。
(シリアル送受信動作中にカウント・クロックの切り替えを行うと、生成するボー・レートが乱れて正常に通信ができなくなります)。
3. 送受信信号を負論理に設定 (アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) のビット2 (REV2) を1にセット) した場合、スタート・ビット、ストップ・ビット、データはすべて反転して転送されます。また、パリティは「なし」に設定してください。

備考1. () 内は、 $f_{XT1} = 32.768$ kHz動作時、 $f_{XT2} = 4.91$ MHz動作時

2. f_{XT1} : サブシステム・クロック1周波数、
 f_{XT2} : サブシステム・クロック2周波数

(d) ボー・レート生成用コンペア・レジスタ2 (BRCR2)

UARTモードでボー・レートを生成する8ビットのコンペア・レジスタです。

BRCR2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1 . BRCR2への書き込みは、シリアル送受信動作を停止させてから行ってください(シリアル送受信動作中にBRCR2への書き込みを行うと、生成するボー・レートが乱れて正常に通信できなくなります)。

2 . BRCR2には、00H-07H、またはFFH以外の値を設定してください。

(e) UART端子切り替えレジスタ (UTCH0)

UTCH0は、UARTのデータ入出力端子を時分割で切り替え機能を持つレジスタです。

UTCH0は、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 5 UART端子切り替えレジスタ (UTCH0) のフォーマット

アドレス : FFA4H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
UTCH0	0	0	0	0	0	0	0	TSL2

TSL2	端子切り替え機能
0	TxD20, RxD20を選択
1	TxD21, RxD21を選択

注意1 . RxD20とTxD21、またはRxD21とTxD20の組み合わせでの選択はできません。

2 . 端子の切り替えは、シリアル送受信動作を停止させてから行ってください。

備考 端子の切り替えにより使用しない端子は、入出力ポートとして使用できます。

生成する転送用ボー・レートは、ボー・レート・ジェネレータ/カウンタへの入力クロックとボー・レート生成用コンペア・レジスタ2 (BRCCR2) への設定値より決定されます。

サブシステム・クロック1, 2を分周して送受信クロックを生成します。

サブシステム・クロック1, 2から生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{SCLK}}}{2 \times k}$$

$$[\text{誤差}(\%)] = \frac{\text{実際のボー・レート (理論値に対する誤差を含む)}}{\text{期待する転送ボー・レート}} \times 100 - 100$$

f_{SCLK} : アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) のビット4, 5 (TPS20, TPS21) で選択されるボー・レート・ジェネレータ/カウンタの入力選択クロック周波数

k : BRCCR2の設定値 ($7 < k \leq 254$)

表14 - 2にボー・レート・ジェネレータ/カウンタの入力選択クロックとボー・レートの関係の例を示します。

表14 - 2 ボー・レート・ジェネレータ/カウンタの入力選択クロックとボー・レートの関係の例

ボー・レート [bps]	$f_{\text{SCLK}} = f_{\text{XT1}}$ 選択時		$f_{\text{SCLK}} = f_{\text{XT2}}/2^6$ 選択時	
	BRCCR2設定値	誤差 (%)	BRCCR2設定値	誤差 (%)
200	52H	- 0.098	C0H	- 0.106
300	37H	- 0.703	80H	- 0.106
600	1BH	1.136	40H	- 0.106
1200	0EH	- 2.476	20H	- 0.106
2400	-	-	10H	- 0.106
4800	-	-	08H	- 0.106

備考 f_{XT1} : サブシステム・クロック1 (32.768 kHz動作時) ,

f_{XT2} : サブシステム・クロック2 (4.91 MHz動作時)

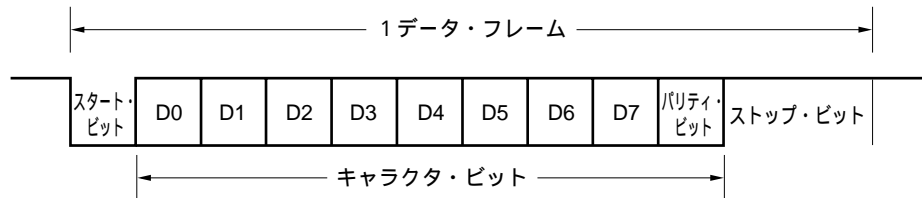
BRCCR2 : ボー・レート生成用コンペア・レジスタ2

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図14 - 6に示します。

図14 - 6 アシクロナス・シリアル・インタフェースの送受信データのフォーマット (正論理)



注意 送受信信号を負論理に設定 (アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) のビット2 (REV2) を1にセット) した場合、スタート・ビット、ストップ・ビット、データはすべて反転して転送されます。また、パリティは「なし」に設定してください。

1データ・フレームは、次に示す各ビットで構成されています。

- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット...5ビット/7ビット/8ビット
- ・パリティ・ビット.....偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット.....1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、正論理/負論理の指定は、ASIF2によって行います。

パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“1”になります。

キャラクタ・ビットとして5ビットを選択した場合、下位5ビット (ビット0-4) のみが有効となり、送信の場合上位3ビット (ビット5-7) は無視され、受信の場合は必ず上位3ビット (ビット5-7) は“1”になります。

シリアル転送レートの設定は、ASIF2とボー・レート生成用コンペア・レジスタ2 (BRCR2) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類ものを使用します。偶数パリティと奇数パリティでは、1ビット(奇数個)の誤りを検出できます。0パリティとパリティなしとは、誤りを検出できません。

注意 送受信信号を負論理に設定した場合、“パリティなし”に設定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

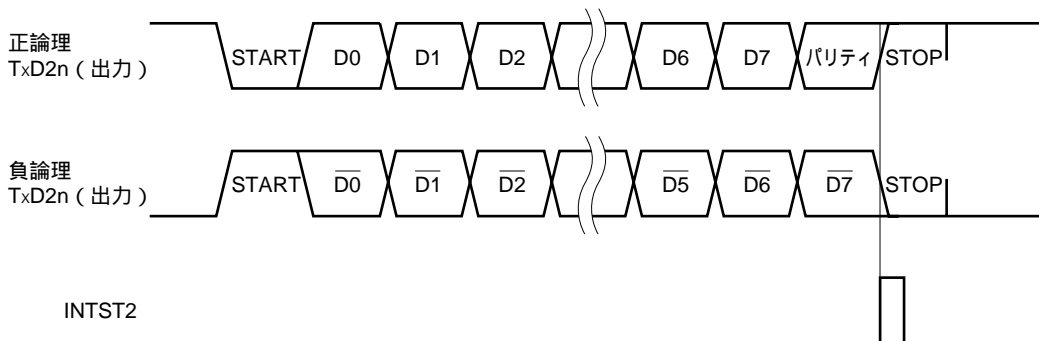
送信シフト・レジスタ (TXS2) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS2内のデータがシフト・アウトされTXS2が空になると、送信完了割り込み要求 (INTST2) が発生します。

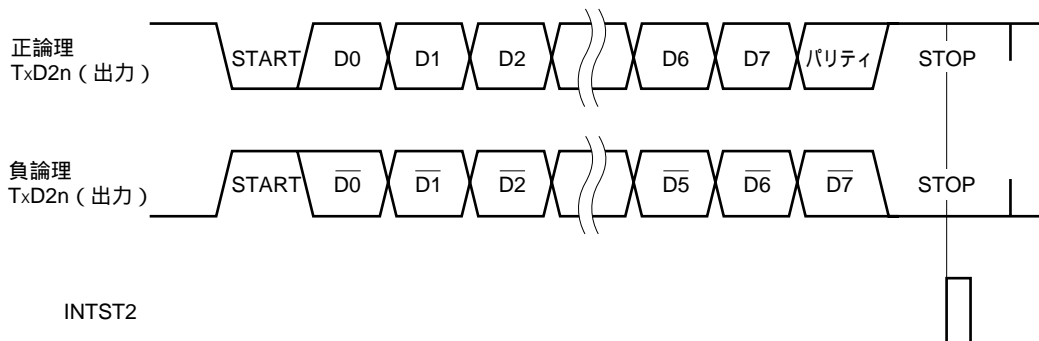
送信完了割り込みのタイミングを図14 - 7に示します。

図14 - 7 アシクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

(i) ストップ・ビット長 : 1



(ii) ストップ・ビット長 : 2



注意1 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) , アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) , ポー・レート生成用コンペア・レジスタ2 (BRCR2) を書き換えしないでください。送信中にASIM2, ASIF2, BRCR2を書き換えると、それ以降の送信動作が正常にできなくなる場合があります (RESET入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTST2) またはINTST2によってセットされる割り込み要求フラグ (STIF2) を用いて、ソフトウェアにより判断できます。

2. TxD21/RxD21を選択するには、UART端子切り替えレジスタ (UTCH0) のビット0 (TSL2) を “ 1 ” に設定してください (デフォルト状態は、TxD20/RxD20)。
3. RESET入力後、TXS2が空になりますが、送信完了割り込み要求 (INTST2) は発生しません。このとき、TXS2に送信データを書き込むことによって送信動作は起動します。送信動作中にTXS2レジスタにデータを書き込まないでください。

備考 n = 0, 1

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット6 (RXE2) がセット (1) されると許可状態になり, RxD2n端子入力のサンプリングを行います。

RxD2n端子入力のサンプリングは, アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) で指定したシリアル・クロックで行います。

RxD2n端子入力がロウ・レベル[※]になると, ボー・レート・ジェネレータのカウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD2n端子入力をサンプリングした結果, ロウ・レベル[※]であれば, スタート・ビットとして認識し, 8ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ2 (RXB2) に転送し, 受信完了割り込み要求 (INTSR2) を発生します。

また, エラーが発生しても, RXB2にエラーの発生した受信データを転送します。エラー発生時, ASIM2のビット2 (ISRM2) がクリア (0) されている場合は, INTSR2を発生します (図14 - 9参照)。

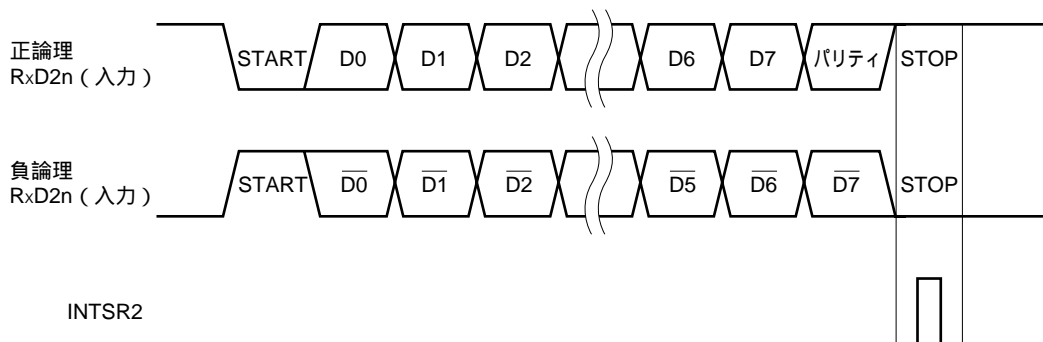
ISRM2ビットがセット (1) されている場合は, INTSR2は発生しません。

なお, 受信動作中にRXE2ビットをリセット (0) すると, ただちに受信動作を停止します。このとき, RXB2およびASIS2の内容は変化せず, また, INTSR2も発生しません。

図14 - 8にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

注 正論理時: ロウ・レベル, 負論理時: ハイ・レベル

図14 - 8 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意1 . 受信エラー発生時にも受信バッファ・レジスタ2 (RXB2) は必ず読み出してください。

RXB2を読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

2 . TxD21/RxD21を選択するには, UART端子切り替えレジスタ (UTGH0) のビット0 (TSL2) を "1" に設定してください (デフォルト状態は, TxD20/RxD20)。

備考 n = 0, 1

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) 内に立つと、受信エラー割り込み要求 (INTSER2) を発生します。受信エラー要因を表14 - 3に示します。受信エラー割り込み要求 (INTSER2) は、受信完了割り込み要求 (INTSR2) より先に発生します。

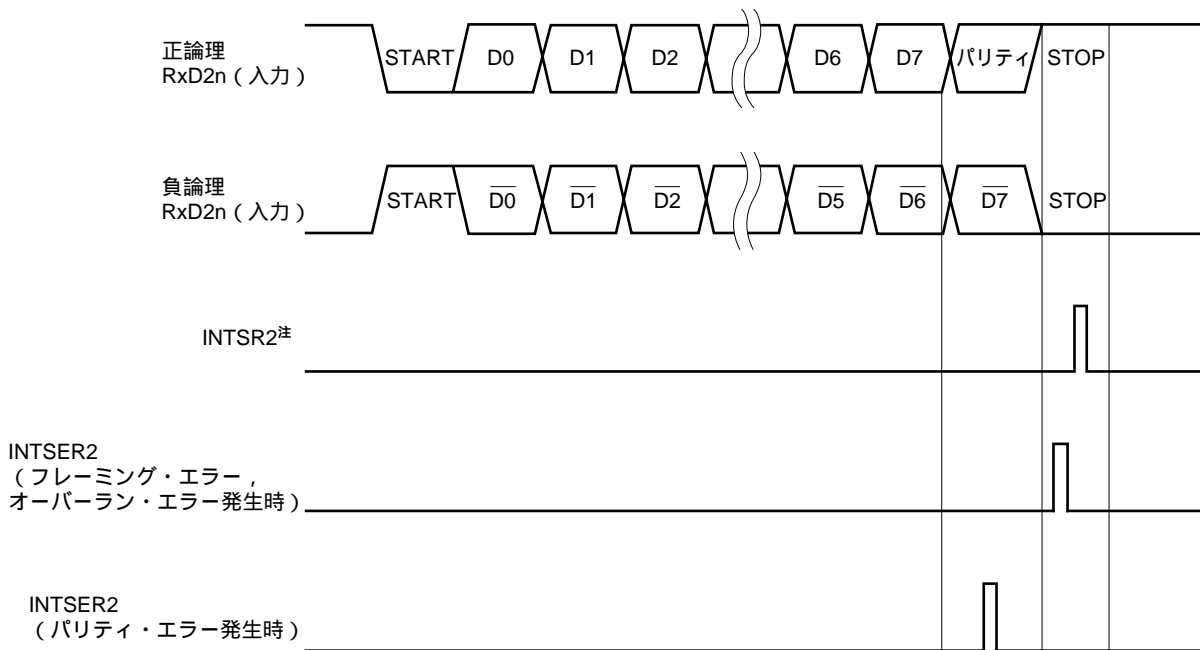
受信エラー割り込み処理 (INTSER2) 内でASIS2の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表14 - 3, 図14 - 9参照)。

ASIS2の内容は、受信バッファ・レジスタ2 (RXB2) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表14 - 3 受信エラーの要因

受信エラー	要因	ASIS2の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバーラン・エラー	受信バッファ・レジスタ2 (RXB2) からデータを読み出す前に次のデータ受信完了	01H

図14 - 9 受信エラー・タイミング



注 アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット2 (ISRM2) がセット (1) されている場合に、受信エラーが発生したときには、INTSR2は発生しません。

注意1. ASIS2の内容は、RXB2を読み出すか、次のデータを受信することにより、リセット(0)されます。エラーの内容が知りたい場合には、必ずRXB2を読み出す前にASIS2を読み出してください。

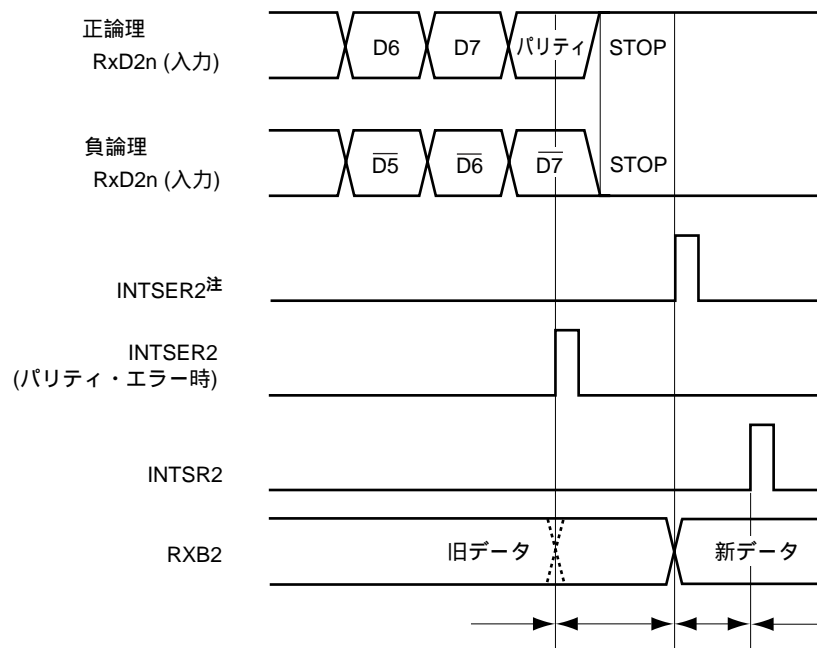
2. 受信エラー発生時にもRXB2は必ず読み出してください。RXB2を読み出さないと、次のデータ受信時に、オーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
3. TxD21/RxD21を選択するには、UART端子切り替えレジスタ(UTCH0)でビット0(TSL2)を“1”に設定してください(デフォルト状態は、TxD20/RxD20)。

備考 n = 0, 1

(f) 受信中のRXE2のクリア

UART2受信中(受信割り込みINTSR2発生前)に、RXE2を0にクリアするタイミングは、図14 - 10の - に示すように、3タイミングあります。

図14 - 10 RXE2をクリア(0)にするタイミング(UART2受信中)



備考 n = 0, 1

クリア・タイミング (RXE2 = 0)	INTSER2 ^注	INTSR2	RXB2
	発生しない	発生しない	旧データ
	発生しない (パリティ・エラー時は発生 する)	発生しない	旧データ (パリティ・エラー時は新デ ータ)
	発生する	発生しない	新データ
	発生する	発生する	新データ

注 受信データ割り込み(INTSER2)は、受信エラーが起こった場合のみ発生します。したがって、クリア・タイミング(上記の)により、RXB2値が更新され、INTSER2が発生しない場合があります。

第15章 シリアル・インタフェースSIO3

15.1 シリアル・インタフェースSIO3の機能

シリアル・インタフェースSIO3には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については15.4.1を参照してください。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック3 ($\overline{\text{SCK3}}$)、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

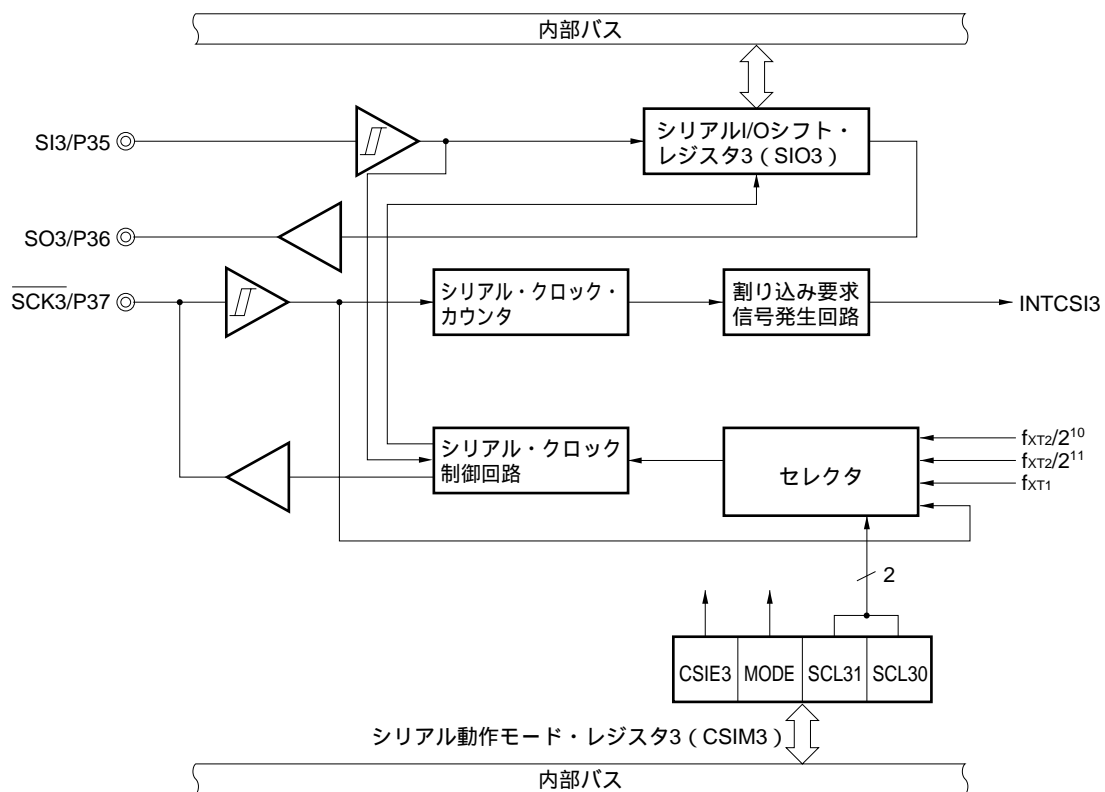
3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。詳細については15.4.2を参照してください。

図15-1に、シリアル・インタフェースSIO3のブロック図を示します。

図15-1 シリアル・インタフェースSIO3のブロック図



15.2 シリアル・インタフェースSIO3の構成

シリアル・インタフェースSIO3は、次のハードウェアで構成されています。

表15 - 1 シリアル・インタフェースSIO3の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

(1) シリアルI/Oシフト・レジスタ3 (SIO3)

パラレル - シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO3は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

RESET入力により、不定になります。

注意 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0のときリードが、MODE = 1のときはライトが禁止となります)。

15.3 シリアル・インタフェースSIO3を制御するレジスタ

シリアル・インタフェースSIO3は、シリアル動作モード・レジスタ3 (CSIM3) で制御します。

(1) シリアル動作モード・レジスタ3 (CSIM3)

SIO3のシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ3 (PM3x) を次のように設定してください。また、出力モードに設定するポートの出力ラッチはそれぞれ0に設定してください。

・シリアル・クロック出力時 (マスタ送信またはマスタ受信)

P37 ($\overline{\text{SCK3}}$) を出力モード (PM37 = 0) に設定

・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)

P37を入力モード (PM37 = 1) に設定

・送信/送受信モード時

P36 (SO3) を出力モード (PM36 = 0) に設定

P35 (SI3) を入力モード (PM35 = 1) に設定 (送受信モード時)

・受信モード時

P35 (SI3) を入力モード (PM35 = 1) に設定

図15 - 2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット

アドレス : FFB0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可 / 禁止の指定	
	シフト・レジスタ動作	
0	動作禁止	
1	動作許可	

MODE	転送動作モード・フラグ	
	動作モード	
0	送信 / 送受信モード	
1	受信専用モード	

SCL31	SCL30	クロックの選択
0	0	外部からの入力クロック
0	1	$f_{XT2}/2^{10}$ (209 μ s)
1	0	$f_{XT2}/2^{11}$ (417 μ s)
1	1	f_{XT1} (30.5 μ s)

注意 ビット3-6には必ず“0”を設定してください。

備考1 . ()内は, f_{XT1} = 32.768 kHz動作時, f_{XT2} = 4.91 MHz動作時

- 2 . f_{XT1} : サブシステム・クロック1発振周波数
- f_{XT2} : サブシステム・クロック2発振周波数

15.4 シリアル・インタフェースSIO3の動作

シリアル・インタフェースSIO3の持つ2種類のモードについて説明します。

15.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、 $\overline{P37/SCK3}$ 、 $\overline{P36/SO3}$ 、 $\overline{P35/SI3}$ 端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

\overline{RESET} 入力により、00Hになります。

図15-3 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット (動作停止モード)

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可 / 禁止の指定
	シフト・レジスタ動作
0	動作禁止
1	動作許可

注意 ビット3-6には必ず“0”を設定してください。

15.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{SCK3}$)、シリアル出力 ($\overline{SO3}$)、シリアル入力 ($\overline{SI3}$) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。
 CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ3 (PM3x) を次のように設定してください。また、出力モードに設定するポートの出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)
 P37/ (SCK3) を出力モード (PM37 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)
 P37を入力モード (PM37 = 1) に設定
- ・送信 / 送受信モード時
 P36 (SO3) を出力モード (PM36 = 0) に設定
 P35 (SI3) を入力モード (PM35 = 1) に設定 (送受信モード時)
- ・受信モード時
 P35 (SI3) を入力モード (PM35 = 1) に設定

図15 - 4 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット (3線式シリアルI/Oモード)

アドレス : FFB0H リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30

CSIE3	SIO3の動作許可 / 禁止の指定	
	シフト・レジスタ動作	
0	動作禁止	
1	動作許可	

MODE	転送動作モード・フラグ	
	動作モード	
0	送信 / 送受信モード	
1	受信専用モード	

SCL31	SCL30	クロックの選択
0	0	外部からの入力クロック
0	1	$f_{XT2}/2^{10}$ (209 μ s)
1	0	$f_{XT2}/2^{11}$ (417 μ s)
1	1	f_{XT1} (30.5 μ s)

注意 ビット3-6には必ず“0”を設定してください。

備考1. ()内は、 $f_{XT1} = 32.768$ kHz動作時、 $f_{XT2} = 4.91$ MHz動作時

2. f_{XT1} : サブシステム・クロック1発振周波数

f_{XT2} : サブシステム・クロック2発振周波数

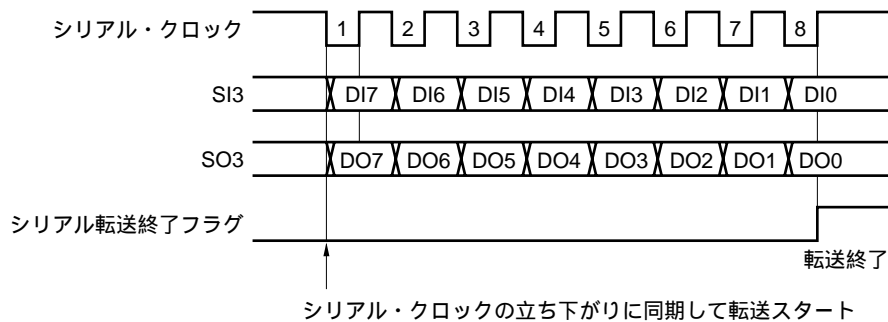
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3 (SIO3) のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO3ラッチに保持され、SO3端子から出力されます。また、シリアル・クロックの立ち上がりで、SI3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により、SIO3の動作は自動的に停止し、シリアル転送終了フラグがセットされます。

図15 - 5 3線式シリアルI/Oモードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3 (SIO3) に転送データをセットすることで開始します。

- ・ SIO3の動作制御ビット (CSIE3) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはシリアル・クロックがハイ・レベルの状態

送信 / 送受信モード

CSIE3 = 1, MODE = 0のとき、SIO3ライトで転送スタート

受信専用モード

CSIE3 = 1, MODE = 1のとき、SIO3のリードで転送スタート

注意 SIO3にデータを書き込んだあと、CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、シリアル転送終了フラグをセットします。

第16章 LCDコントローラ/ドライバ

16.1 LCDコントローラ/ドライバの機能

μPD780958マイクロコントローラが内蔵しているLCDコントローラ/ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) 表示モード
 - ・ 1/3デューティ (1/3バイアス) , スタティック・モード
- (3) 各表示モードにおいて, 4種類のフレーム周波数を選択可能。
- (4) セグメント信号出力は最大30本 (S0-S29) , コモン信号出力は3本 (COM0-COM2)。
セグメント信号のうち22本は, 1本単位で入出力ポートに切り替え可能 (P70/S8-P77/S15, P80/S16-P87/S23, P90/S24-P95/S29)。

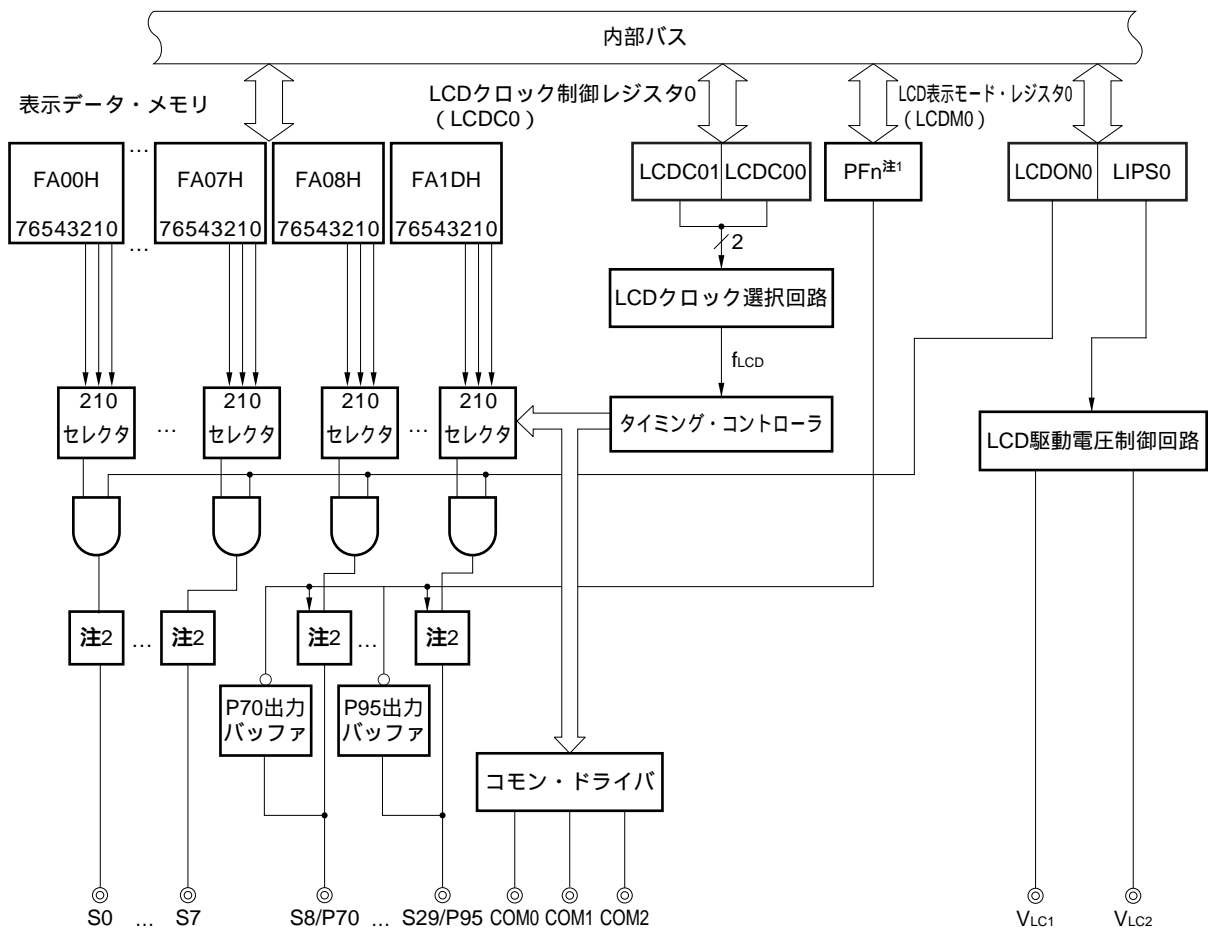
表示可能な最大画素数を表16 - 1に示します。

表16 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
1/3	3	COM0-COM2	90 (30セグメント×3コモン) ^注

注 8形のLCDパネルで3セグメント/桁のもの10桁。

図16-1 LCDコントローラ/ドライバのブロック図



注1. PFn: ポート・ファンクション制御レジスタn (n = 7-9)

2. セグメント・ドライバ

備考 PFnは、ポート・モード・レジスタn (PMn) と同じようにポートのビット単位に存在するフラグです (ポート7で8ビット, ポート8で8ビット, ポート9で6ビット存在します)。ビット単位で直接制御します。

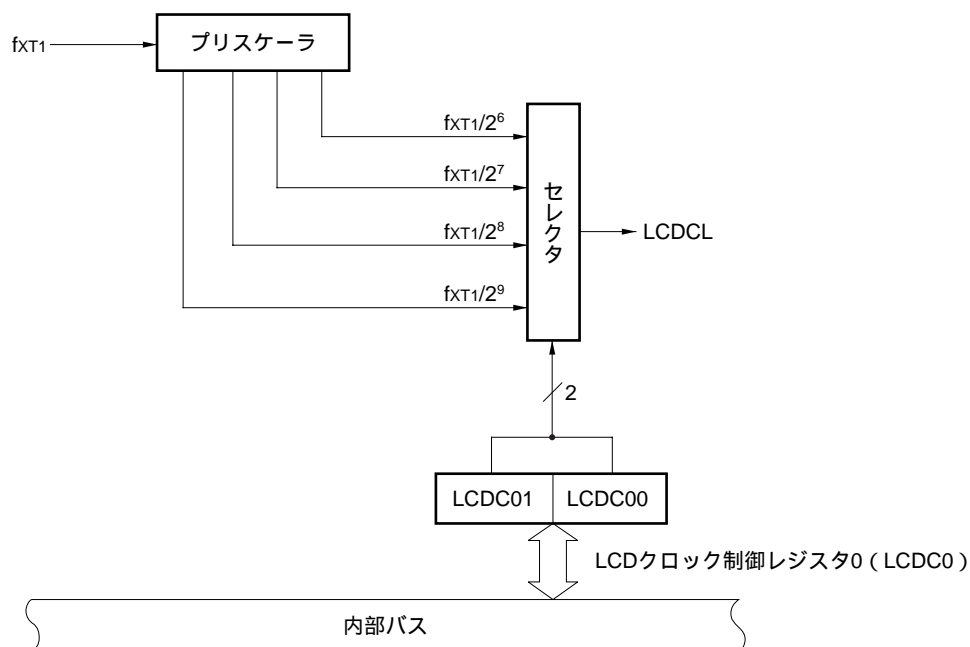
16.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表16-2 LCDコントローラ/ドライバの構成

項目	構成
表示出力	セグメント信号 : 30本 セグメント信号専用 : 8本 セグメント信号専用 / 入出力ポート兼用 : 22本 コモン信号 : 3本 (COM0-COM2)
制御レジスタ	LCD表示モード・レジスタ0 (LCDM0) LCDクロック制御レジスタ0 (LCDC0) ポート・ファンクション制御レジスタ7-9 (PF7-9)

図16-2 LCDクロック選択回路のブロック図



備考 LCDCL : LCDクロック

16.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の3種類のレジスタで制御します。

- ・LCD表示モード・レジスタ0 (LCDM0)
- ・LCDクロック制御レジスタ0 (LCDC0)
- ・ポート・ファンクション制御レジスタ7-9 (PF7-PF9)

(1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可/禁止, LCD駆動用電源の供給制御, 表示モードを設定するレジスタです。

LCDM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図16-3 LCD表示モード・レジスタ0 (LCDM0) のフォーマット

アドレス: FF90H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	LCDON0	0	0	LIPS0	0	LCDM02	LCDM01	LCDM00

LCDON0 ^{注1}	LCD表示の許可/禁止
0	表示OFF
1	表示ON

LIPS0 ^{注2}	LCD駆動用電源の供給
0	LCD駆動用電源を供給しない
1	LCD駆動用電源を供給する

LCDM02	LCDM01	LCDM00	表示モードの選択	
			時分割数	バイアス法
0	0	0	未選択	
0	0	1	3	1/3
1	0	0	スタティック	
上記以外			設定禁止	

注1. ビット7 (LCDON0) が“0”のとき, S0-S7, S8/P70-S29/P95, COM0-COM2端子はロウ・レベル出力になります。

2. ビット4 (LIPS0) が“0”のとき, V_{LC1} , V_{LC2} 端子はハイ・インピーダンスになります。

注意1. LCD表示を許可するためには, LCD駆動用電源を供給 (LIPS0を1) して0.5 s (MIN.) 経過してから, LCDON0に“1”を設定してください (0.5 sは, 駆動用電源が安定する時間です)。

2. 表示モードの初期値は未選択となるため, LCD使用時は, 「1/3バイアス」または, 「スタティック」のいずれかの設定を行ってください。

3. スタティック・モード選択 (LCDM02 = 1, LCDM01, LCDM00 = 0) 時はLIPS0に“0”を設定してください。

(2) LCDクロック制御レジスタ0 (LCDC0)

フレーム周波数を設定するレジスタです。
 LCDC0は、8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 4 LCDクロック制御レジスタ0 (LCDC0) のフォーマット

アドレス：FF91H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	0	0	0	0	LCDC01	LCDC00

LCDC01	LCDC00	LCDフレーム周波数
0	0	$f_{XT1}/2^6$ (512 Hz)
0	1	$f_{XT1}/2^7$ (256 Hz)
1	0	$f_{XT1}/2^8$ (128 Hz)
1	1	$f_{XT1}/2^9$ (64 Hz)

- 備考1. ()内は、 $f_{XT1} = 32.768$ kHz動作時
 2. f_{XT1} ：サブシステム・クロック1発振周波数

注意 表示ON (LCD0モード・レジスタ0 (LCDM0) のビット7 (LCDON0) = 1) 時にLCDC0を書き換えないでください。

(3) ポート・ファンクション制御レジスタ7-9 (PF7-PF9)

ポート7-9のLCD駆動用電源の供給セグメント出力と入出力ポートとの切り替えを設定するレジスタです。
 PF7-PF9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 5 ポート・ファンクション制御レジスタ7-9 (PF7-PF9) のフォーマット

アドレス：FF57H, FF58H, FF59H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF7	PF77	PF76	PF75	PF74	PF73	PF72	PF71	PF70
	7	6	5	4	3	2	1	0
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80
	7	6	5	4	3	2	1	0
PF9	0	0	PF95	PF94	PF93	PF92	PF91	PF90

PF7m, PF8m, PF9n	P7m, P8m, P9n端子の機能制御 (m = 0-7, n = 0-5)
0	ポート端子として機能
1	セグメント端子として機能

注意 ポート・ファンクション制御レジスタによりセグメント端子を選択した場合、対応するビットのポート・モード、ポート・ラッチの値は無効となります。ただし、プルアップ抵抗オプション・レジスタ7-9 (PU7-PU9) によるソフトウェア・プルアップ抵抗は、切断されません。したがってセグメント端子として使用する場合は、PU7-PU9に“0”を設定してください。

16.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、以下のように行ってください。

表示データ・メモリ (FA00H-FA1DH) に表示データを設定する。

セグメント出力として使用する端子のポート・ファンクション制御レジスタ (PF) を設定する。

LCD表示モード・レジスタ0 (LCDM0) のビット4 (LIPS0) をセット (1) および表示モードの選択を行う。

LCDクロック制御レジスタ0 (LCDC0) によりLCDフレーム周波数を設定する。

LCD駆動用電源が安定したあと (MIN. 0.5s), LCD表示モード・レジスタ0 (LCDM0) のビット7 (LCDON0) をセット (1) する。

以後、表示内容に応じて表示データ・メモリにデータを設定してください。

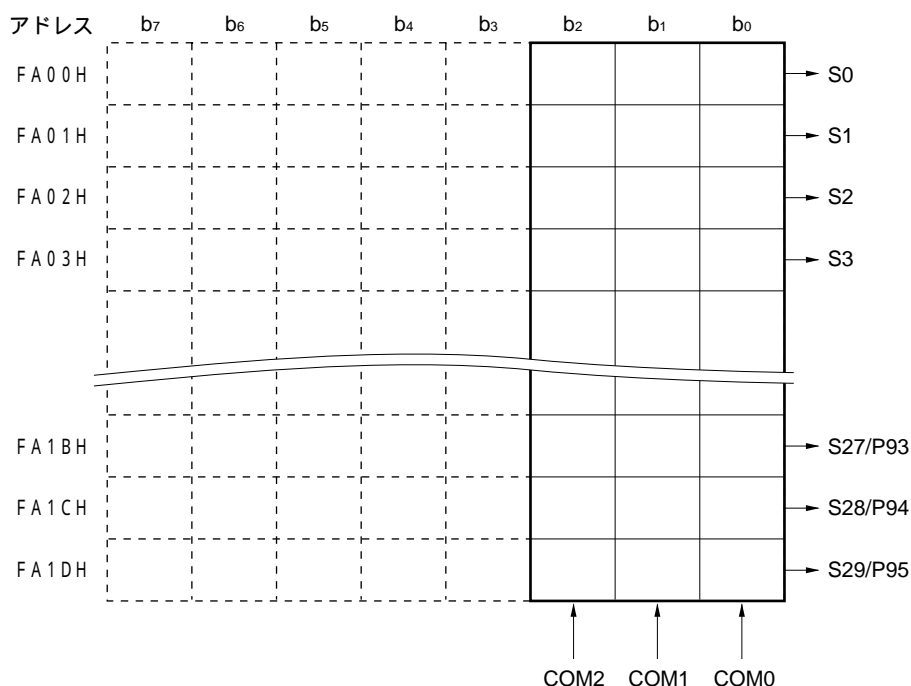
16.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA1DH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図16-6にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図16-6 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



注意 LCD表示データ・メモリの上位5ビットはメモリを内蔵していません。必ず0を設定してください。

16.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表16-3に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック表示モードの場合はCOM0-COM2に同一信号が出力されません。

表16-3 COM信号

COM信号 時分割数	COM0	COM1	COM2
スタティック	↑	↑	↑
3時分割	↑		↑

(2) セグメント信号

セグメント信号は、30バイトのLCD表示データ・メモリ（FA00H-FA1DH）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S29）に出力されます（ただし、S8-S29は入出力ポートと兼用になっています）。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック表示モードの場合のLCD表示データ・メモリのビット1、ビット2はLCD表示に使用しませんので、表示以外の目的に使用できます。

なお、ビット3-7は0固定となっています。

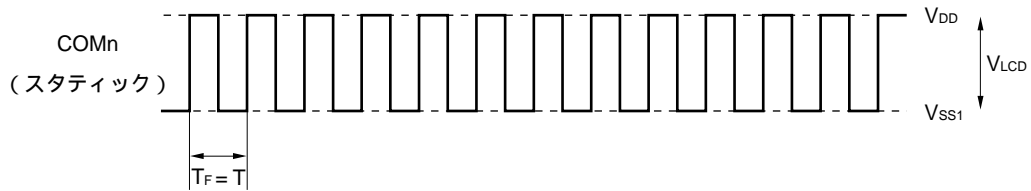
(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には図16 - 7 , 図16 - 8に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり , それ以外の組み合わせでは消灯電圧となります。

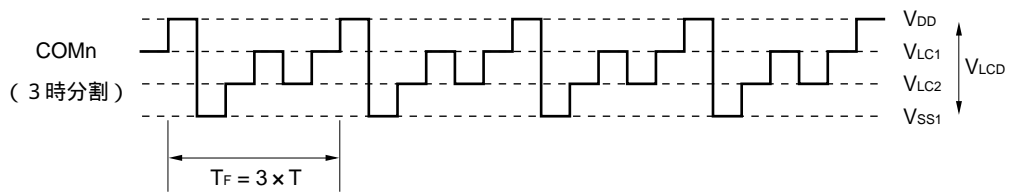
図16 - 7 コモン信号波形

(a) スタティック表示モード



T : LCDCLの1周期分 T_F : フレーム周波数

(b) 1/3バイアス法

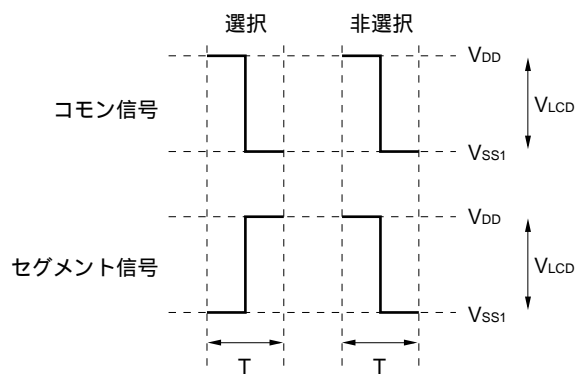


T : LCDCLの1周期分 T_F : フレーム周波数

備考 LCDCL : LCDクロック

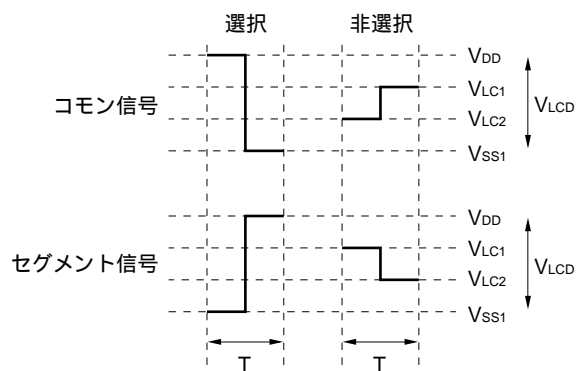
図16 - 8 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



T : LCDCLの1周期分

(b) 1/3バイアス法



T : LCDCLの1周期分

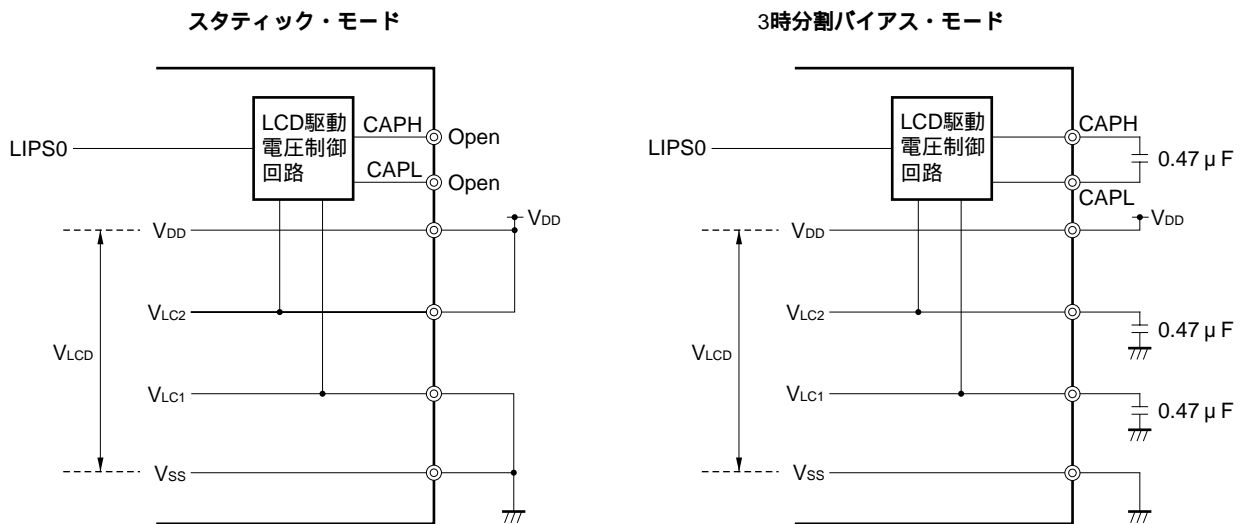
備考 LCDCL : LCDクロック

16.7 LCD駆動電圧 V_{LC1} , V_{LC2} の供給

マスクROM製品は、LCD駆動電圧を作るために V_{LC1} , V_{LC2} 端子に、外付けコンデンサを接続します。従来の分割抵抗方式ではなく、容量分割方式を採用することでLCD駆動電流を低減できます。

LCD駆動電圧の供給例を図16-9に示します。

図16-9 LCD駆動用電源の接続例



注意 LCD駆動電圧 (V_{LC1} , V_{LC2}) のレベルは、デバイスとエミュレーション・ボードで異なります。

- ・デバイス (μ PD780957(A), 780958(A)) の場合... $V_{LC2} > V_{LC1}$
- ・エミュレーション・ボード (IE-780958-NS-EM4) の場合... $V_{LC1} > V_{LC2}$

端子の接続は、どちらも図のとおりになります。

備考 LIPS0 : LCD表示モード・レジスタ0 (LCDM0) のビット4

16.8 表示モード

16.8.1 スタティック表示例

図16 - 11は、図16 - 10の表示パターンを持つスタティック方式の3桁のLCDパネルとμPD780958マイクロコントローラのセグメント信号（S0-S23）およびコモン信号（COM0）との接続を示します。表示例は1.23で、表示データ・メモリ（FA00H-FA17H番地）の内容はこれに対応しています。

ここでは1桁目の3.（3.）を例にとって説明します。図16 - 10の表示パターンに従って、COM0のコモン信号のタイミングで表16 - 4に示すような選択、非選択電圧をS0-S7端子に出力する必要があります。

表16 - 4 選択, 非選択電圧 (COM0)

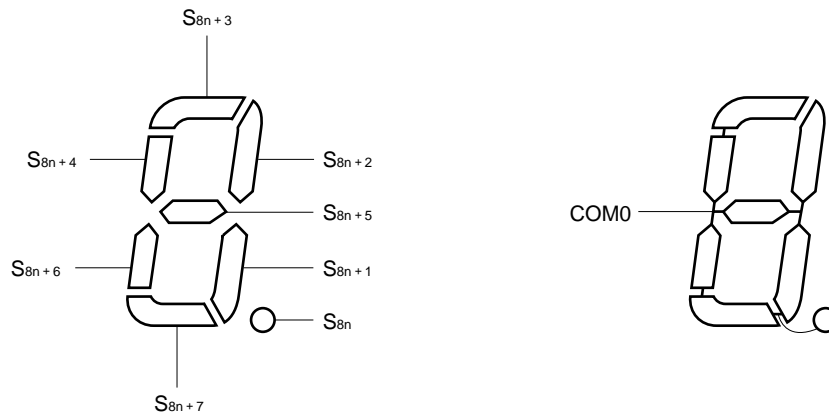
セグメント コモン	S0	S1	S2	S3	S4	S5	S6	S7
COM0	非	選	選	選	非	選	非	選

これによりS0-S7に対応する表示データ・メモリ（FA00H-FA07H番地）のビット0には、01110101を用意すればよいことが分かります。

S0, S1とCOM0とのLCD駆動波形を図16 - 12に示します。COM0との選択タイミングでS1が選択電圧になるときに、LCD点灯レベルである +V_{LCD}/ -V_{LCD}の交流矩形波が発生することが分かります。

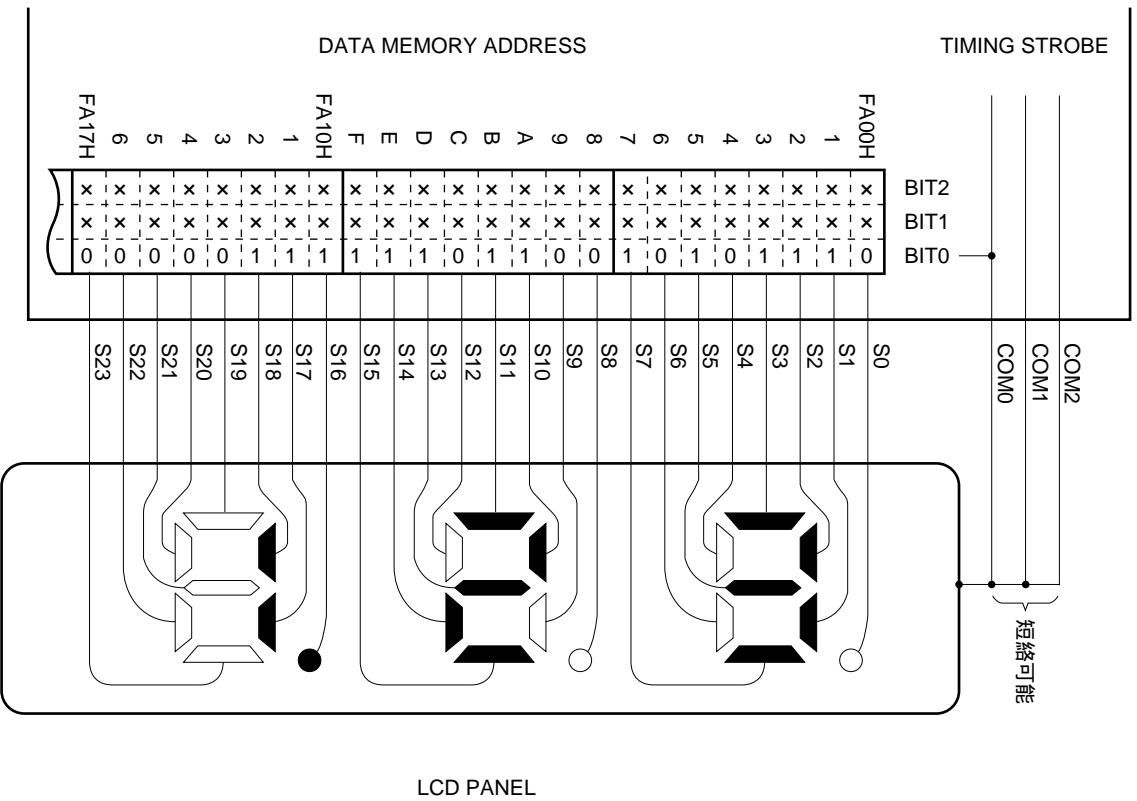
COM1, COM2にはCOM0と同じ波形が出力されますので、COM0-COM2を接続してドライブ能力を上げることができます。

図16 - 10 スタティックLCDの表示パターンと電極結線



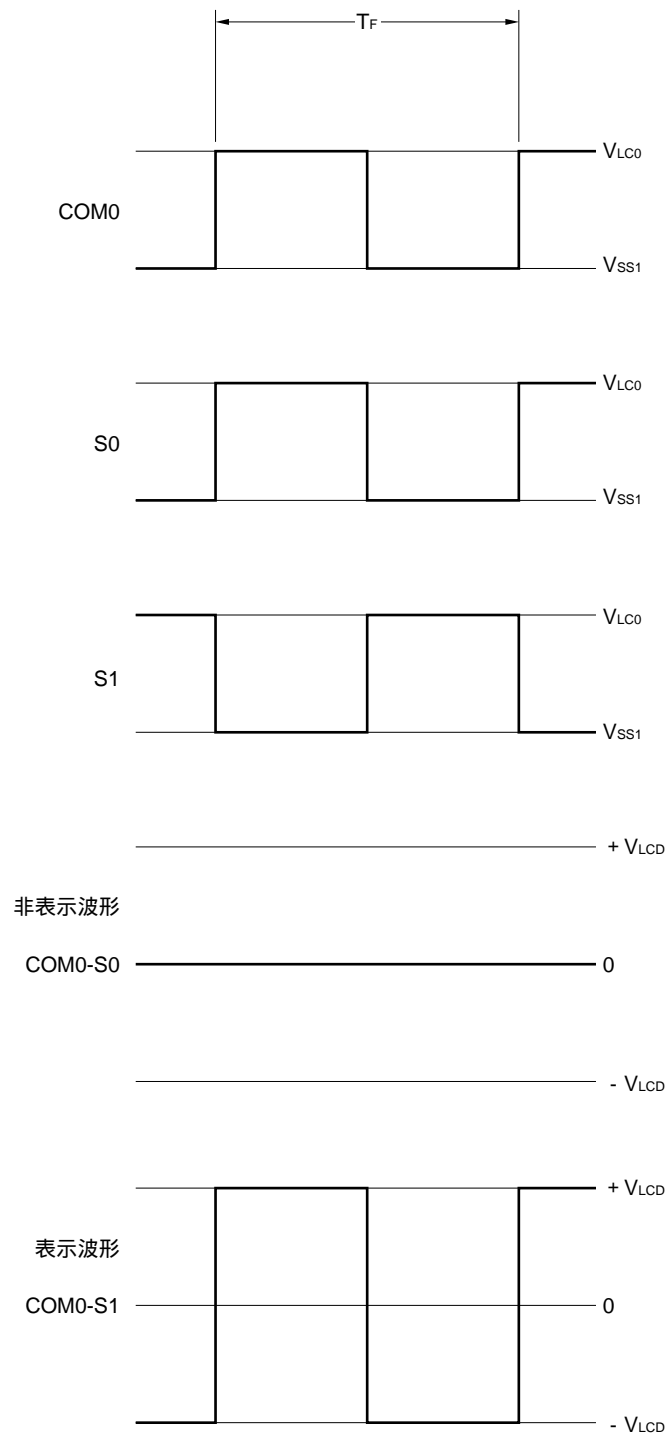
n = 0-2

図16-11 スタティックLCDパネルの結線例



×：スタティック表示のため、常に任意のデータをストア可能です。

図16 - 12 スタティックLCD駆動波形例



16. 8. 2 3時分割表示例

図16 - 14は, 図16 - 13の表示パターンを持つ3時分割方式の10桁LCDパネルと μ PD780958マイクロコントローラのセグメント信号(S0-S29)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.7890で, 表示データ・メモリ(FA00H-FA1DH番地)の内容はこれに対応しています。

ここでは5桁目の6.(E)を例にとって説明します。図16 - 13の表示パターンに従って, COM0-COM2の各コモン信号のタイミングで表16 - 5に示すような選択, 非選択電圧をS12-S14端子に出力する必要があります。

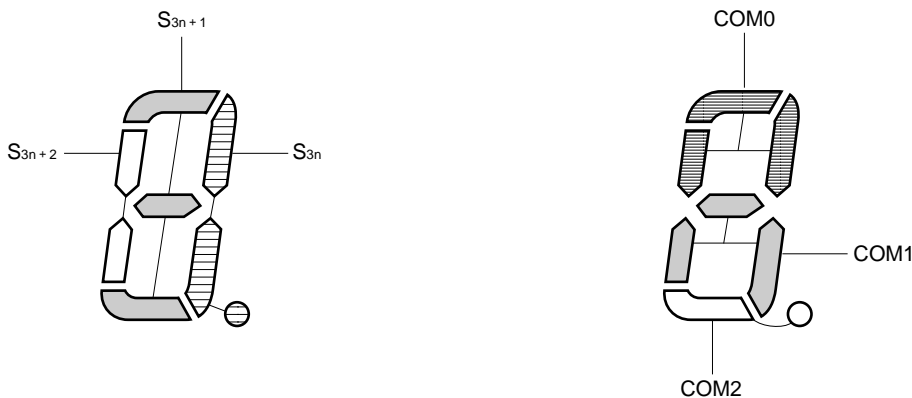
表16 - 5 選択, 非選択電圧 (COM0-COM2)

セグメント	S12	S13	S14
コモン			
COM0	非	選	選
COM1	選	選	選
COM2	選	選	-

これによりS12に対応する表示データ・メモリ(FA0CH番地)には, 00000110を用意すればよいことが分かります。

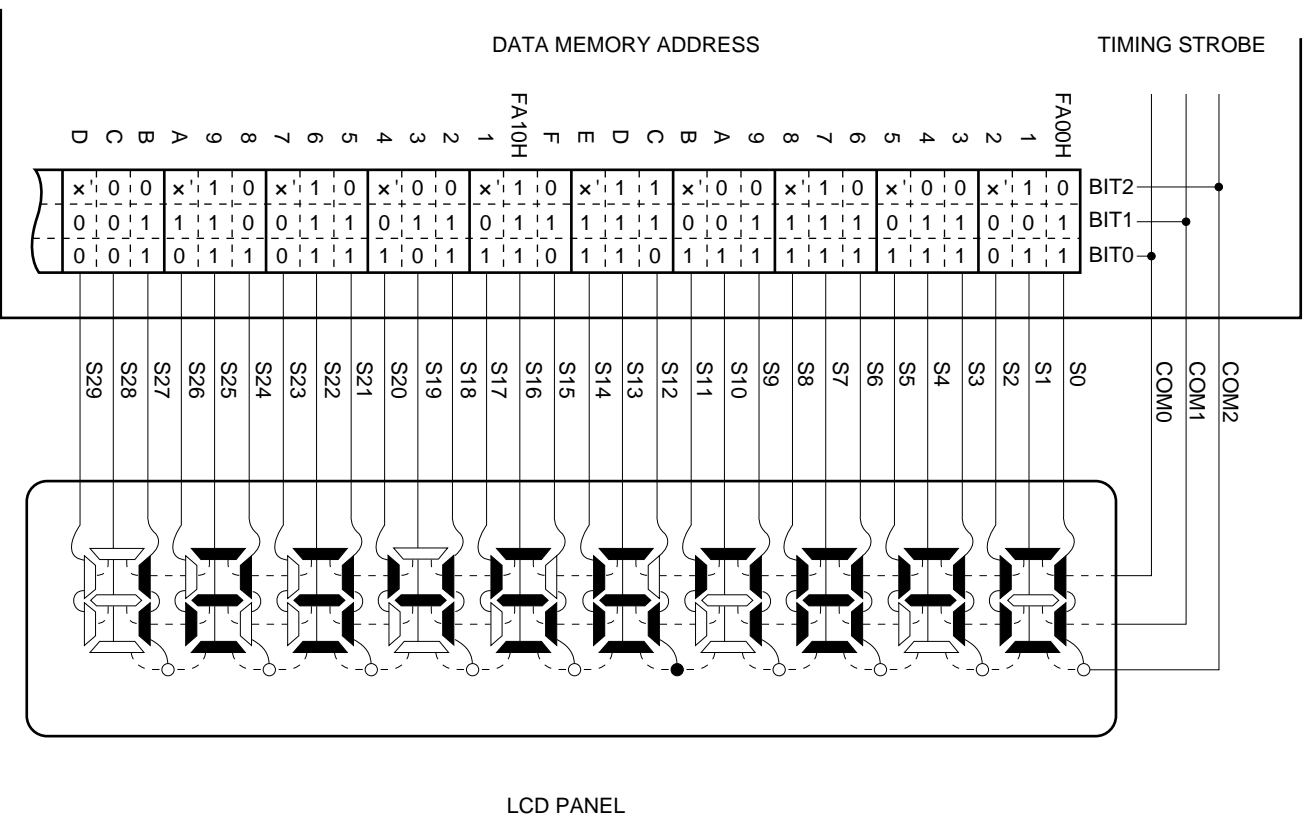
S12と各コモン信号間のLCD駆動波形例を図16 - 15(1/3バイアス法)に示します。COM1の選択タイミングでS12が選択電圧のとき, およびCOM2の選択タイミングでS12が選択電圧のときに, LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図16 - 13 3時分割LCD表示パターンと電極結線



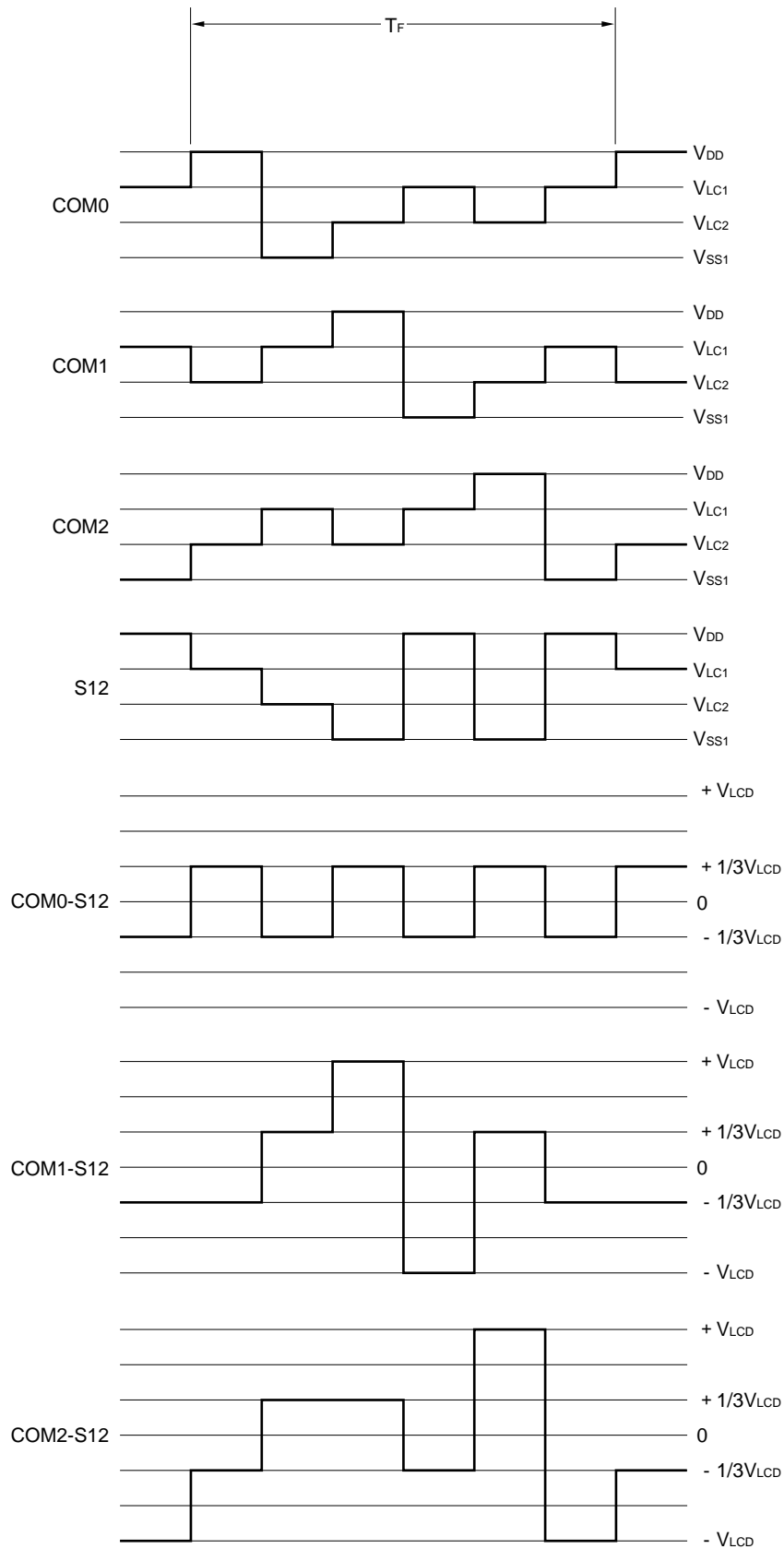
n = 0-9

図16 - 14 3時分割LCDパネルの結線例



x : LCDパネルに対応セグメントがないため任意データをストア可能です。

図16 - 15 3時分割LCD駆動波形例 (1/3バイアス法)



第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表17-1参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が12要因、内部割り込み要求が17要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計31要因あります(表17-1参照)。

表17-1 割り込み要因一覧

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		外部 / 内部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ノンマスカブル割り込み選択時)	内部	0004H	(A)
マスカブル	0 (最高)	INTWDT	ウォッチドッグ・タイマのオーバフロー (マスカブル割り込み選択時)			(B)
	1	INTP0	INTP0端子入力エッジ検出	外部	0006H	(C)
	2	INTMRO0	MRTDエッジ検出	内部	0008H	(B)
	3	INTP1	INTP1端子入力エッジ検出	外部	000AH	(C)
	4	INTP2	INTP2端子入力エッジ検出		000CH	
	5	INTP3	INTP3端子入力エッジ検出		000EH	
	6	INTP4	INTP4端子入力エッジ検出		0010H	
	7	INTP5	INTP5端子入力エッジ検出		0012H	
	8	INTP6	INTP6端子入力エッジ検出		0014H	
	9	INTTM00	TM0とCR00の一致信号発生 (コンペア・レジスタ選択時), TI01端子の有効エッジ検出 (キャプチャ・レジスタ選択時)	内部	0016H	(B)
	10	INTTM01	TM0とCR01の一致信号発生 (コンペア・レジスタ選択時), TI00端子の有効エッジ検出 (キャプチャ・レジスタ選択時)		0018H	
	11	INTSER2	シリアル・インタフェースUART2の受信エラー発生		001AH	
	12	INTSR2	シリアル・インタフェースUART2の受信終了		001CH	
	13	INTST2	シリアル・インタフェースUART2の送信終了		001EH	
	14	INTCSI3	シリアル・インタフェースSIO3の転送終了		0020H	
	15	INTMRT0	TMMR0とCRM0の一致信号発生		0022H	
	16	INTTM80	TM80とCR80の一致信号発生		0024H	
	17	INTTM81	TM81とCR81の一致信号発生		0026H	
	18	INTTM82	TM82とCR82の一致信号発生		0028H	
	19	INTTM83	TM83とCR83の一致信号発生		002AH	
	20	INTTM2	TM2とCR2の一致信号発生		002CH	
	21	INTSA0	サンプリング・タイマ (TMSA0) とコンペア・レジスタ (CRSA0) の一致信号発生		002EH	
	22	INTSB0	サンプリング・タイマ (TMSB0) とコンペア・レジスタ (CRSB0) の一致信号発生		0030H	
	23	INTRTO1	リアルタイム出力指定リロード回数達成割り込み	0032H		
	24	INTSMP0	サンプリング割り込み入力0	外部	0034H	(C)
	25	INTSMP1	サンプリング割り込み入力1		0036H	
	26	INTSMP2	サンプリング割り込み入力2		0038H	
	27	INTSMP3	サンプリング割り込み入力3		003AH	
28	INTSMP4	サンプリング割り込み入力4	003CH			
ソフトウェア	-	BRK	BRK命令実行	-	003EH	(D)

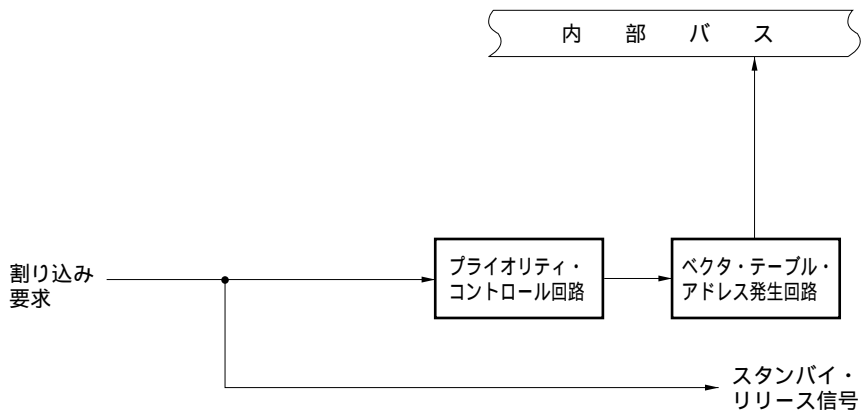
注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，28が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図17-1の (A) - (D) に対応しています。

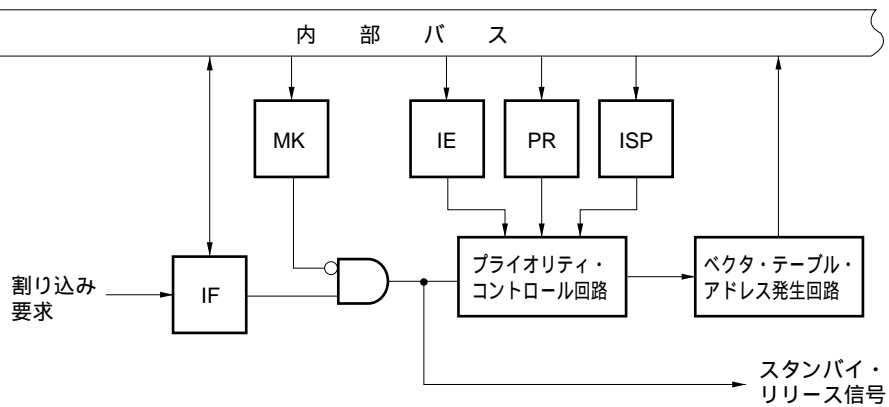
備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスカブル割り込みとマスカブル割り込み (内部) の2種類があり、どちらか1種類を選択できます。

図17-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0-INTP6)

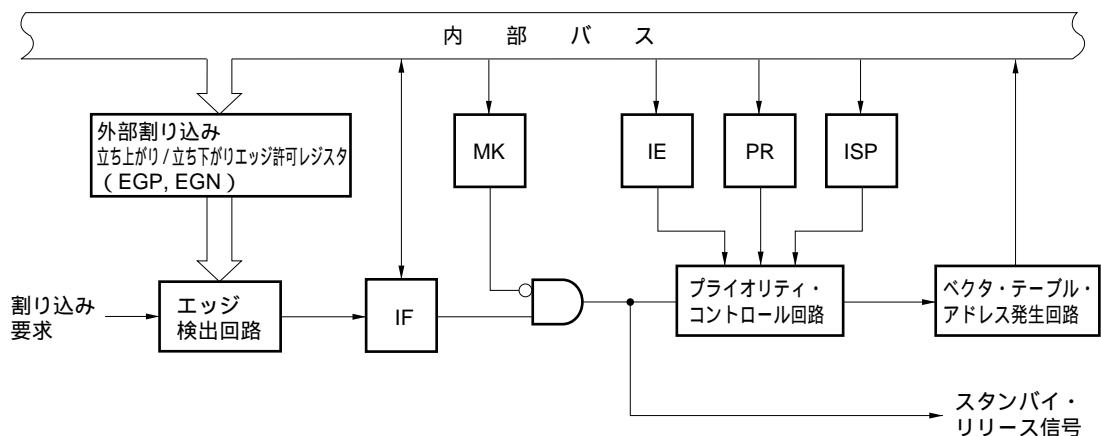
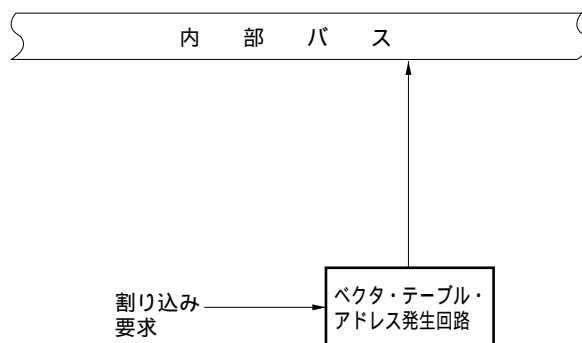


図17 - 1 割り込み機能の基本構成 (2/2)

(D) ソフトウェア割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP : インサース・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17 - 2に示します。

表17-2 割り込み要求ソースに対する各フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^注	IF0L	WDTMK ^注	MK0L	WDTPR ^注	PR0L
INTP0	PIF0		PMK0		PPR0	
INTMRO0	MROIF0		MROMK0		MROPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTP6	PIF6	IF0H	PMK6	MK0H	PPR6	PR0H
INTTM00	TMIF00		TMMK00		TMPR00	
INTTM01	TMIF01		TMMK01		TMPR01	
INTSER2	SERIF2		SERMK2		SERPR2	
INTSR2	SRIF2		SRMK2		SRPR2	
INTST2	STIF2		STMK2		STPR2	
INTCSI3	CSIF3		CSIMK3		CSIPR3	
INTMRT0	MRTIF0		MRTMK0		MRTPR0	
INTTM80	TMIF80	IF1L	TMMK80	MK1L	TMPR80	PR1L
INTTM81	TMIF81		TMMK81		TMPR81	
INTTM82	TMIF82		TMMK82		TMPR82	
INTTM83	TMIF83		TMMK83		TMPR83	
INTTM2	TMIF2		TMMK2		TMPR2	
INTSA0	SAIF0		SAMK0		SAPR0	
INTSB0	SBIF0		SBMK0		SBPR0	
INTRTO1	RTOIF1		RTOMK1		RTOPR1	
INTSMP0	SMPIF0	IF1H	SMPMK0	MK1H	SMPPR0	PR1H
INTSMP1	SMPIF1		SMPMK1		SMPPR1	
INTSMP2	SMPIF2		SMPMK2		SMPPR2	
INTSMP3	SMPIF3		SMPMK3		SMPPR3	
INTSMP4	SMPIF4		SMPMK4		SMPPR4	

注 ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IF0L, IF0Hをあわせて、16ビット・レジスタIF0として使用するとき、また、IF1L, IF1Hをあわせて、16ビット・レジスタIF1として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-2 割り込み要求フラグ・レジスタのフォーマット

アドレス	リセット時	R/W								
FFE0H	00H	R/W								
略号	7	6	5	4	3	2	1	0		
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	MRO1F0	PIF0	WDTIF		

アドレス	リセット時	R/W								
FFE1H	00H	R/W								
略号	7	6	5	4	3	2	1	0		
IF0H	MRTIF0	CSIF3	STIF2	SRIF2	SERIF2	TMIF01	TMIF00	PIF6		

アドレス	リセット時	R/W								
FFE2H	00H	R/W								
略号	7	6	5	4	3	2	1	0		
IF1L	RTOIF1	SBIF0	SAIF0	TMIF2	TMIF83	TMIF82	TMIF81	TMIF80		

アドレス	リセット時	R/W								
FFE3H	00H	R/W								
略号	7	6	5	4	3	2	1	0		
IF1H	0	0	0	SMPIF4	SMPIF3	SMPIF2	SMPIF1	SMPIF0		

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意1 . WDTIFフラグは、ウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/Wが可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに“0”を設定してください。
- 2 . スタンバイ・モード時にタイマ、シリアル・インタフェースなどを再動作させる場合、必ず割り込み要求フラグをクリアしたのちに再動作させてください。
- 3 . 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 MK0L, MK0Hをあわせて、16ビット・レジスタMK0として使用するとき、また、MK1L, MK1Hを合わせて、16ビット・レジスタMK1として使用するとき、16ビット・メモリ操作命令で設定します。
 RESET入力により、FFHになります。

図17-3 割り込みマスク・フラグ・レジスタのフォーマット

アドレス	リセット時	R/W								
FFE4H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	MROMK0	PMK0	WDTMK		

アドレス	リセット時	R/W								
FFE5H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
MK0H	MRTMK0	CSIMK3	STMK2	SRMK2	SERMK2	TMMK01	TMMK00	PMK6		

アドレス	リセット時	R/W								
FFE6H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
MK1L	RTOMK1	SBMK0	SAMK0	TMMK2	TMMK83	TMMK82	TMMK81	TMMK80		

アドレス	リセット時	R/W								
FFE7H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
MK1H	1	1	1	SMPMK4	SMPMK3	SMPMK2	SMPMK1	SMPMK0		

x × MK x	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

注意 ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。
 したがって、出力モードを使用するとき、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグ・レジスタは、対応するマスカブル割り込みの優先順位を設定するフラグです。
 PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 PR0L, PR0Hをあわせて、16ビット・レジスタPR0として使用するとき、また、PR1L, PR1Hをあわせて、
 16ビット・レジスタPR1として使用するときには、16ビット・メモリ操作命令で設定します。
 RESET入力により、FFHになります。

図17-4 優先順位指定フラグ・レジスタのフォーマット

アドレス	リセット時	R/W								
FFE8H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PR0L	PPR5	PPR4	PPR3	PPR2	PPR1	MROPR0	PPR0	WDTPR		

アドレス	リセット時	R/W								
FFE9H	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PR0H	MRTPR0	CSIPR3	STPR2	SRPR2	SERPR2	TMPR01	TMPR00	PPR6		

アドレス	リセット時	R/W								
FFEAH	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PR1L	RTOPR1	SBPR0	SAPR0	TMPR2	TMPR83	TMPR82	TMPR81	TMPR80		

アドレス	リセット時	R/W								
FFEBH	FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PR1H	1	1	1	SMPPR4	SMPPR3	SMPPR2	SMPPR1	SMPPR0		

x x PR x	優先順位レベルの選択	
0	高優先順位レベル	
1	低優先順位レベル	

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

EGP, EGNは, P00-P06端子で検出する有効エッジを指定するレジスタです。

EGP, EGNは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図17 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) ,
外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス	リセット時	R/W						
FF48H	00H	R/W						
略号	7	6	5	4	3	2	1	0
EGP	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス	リセット時	R/W						
FF49H	00H	R/W						
略号	7	6	5	4	3	2	1	0
EGN	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

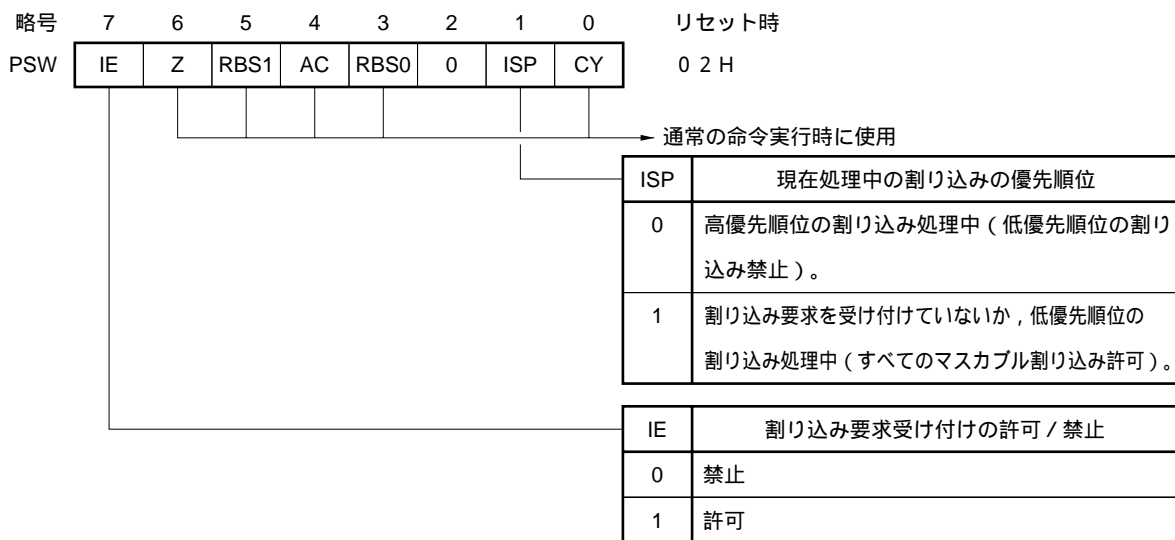
EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-6)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理を制御するISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。
 $\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図17-6 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 ノンマスカブル割り込み要求の受け付け動作

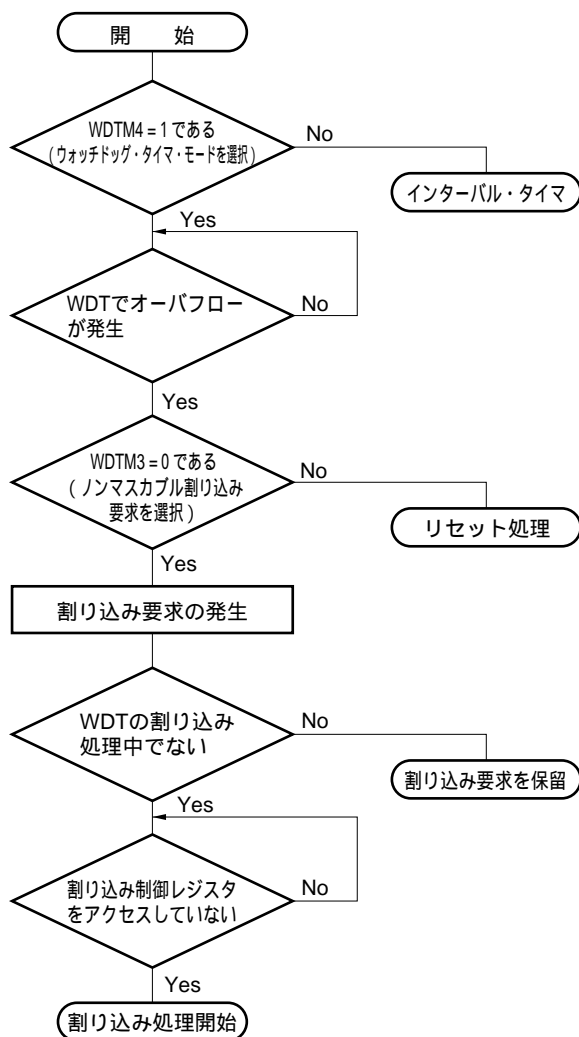
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避します。そして、IEフラグ、ISPフラグをリセット (0) し、ベクタ・テーブルの内容をPCへロードし、分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了 (RETI命令実行後) し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図17-7に、ノンマスカブル割り込み要求の受け付けタイミングを図17-8に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図17-9に示します。

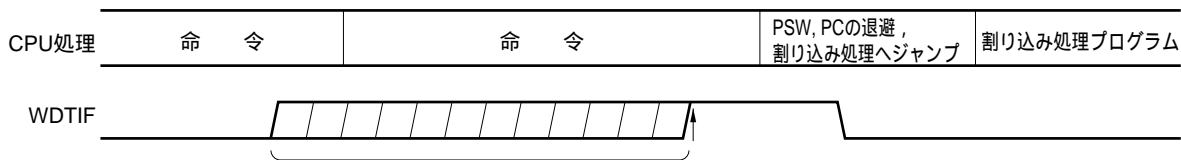
図17-7 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図17-8 ノンマスクابل割り込み要求の受け付けタイミング

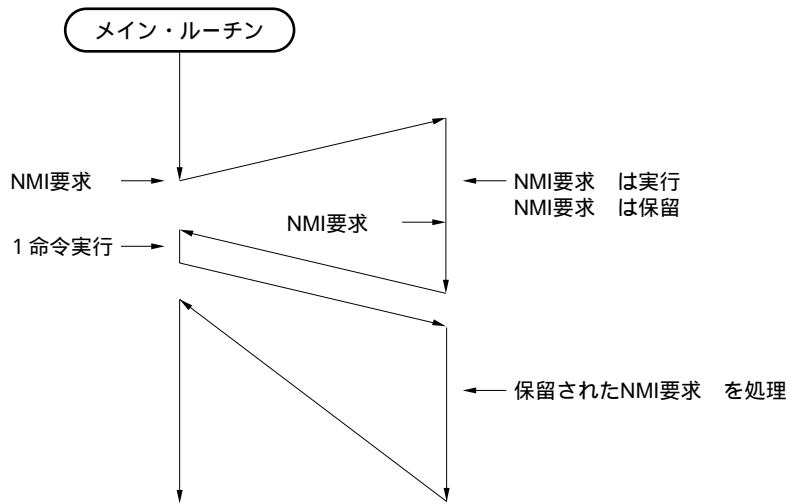


この間に発生した割り込み要求は のタイミングで受け付けられます。

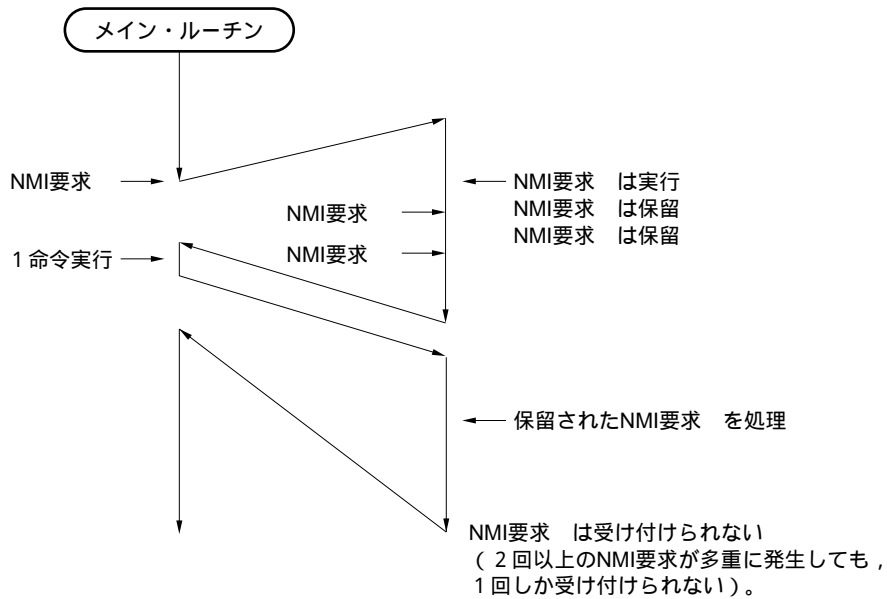
WDTIF : ウォッチドッグ・タイマ割り込み要求フラグ

図17-9 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



17.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表17-3のようになります。割り込み要求の受け付けタイミングについては、図17-11、図17-12を参照してください。

表17-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR x = 0のとき	7クロック	32クロック
x × PR x = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

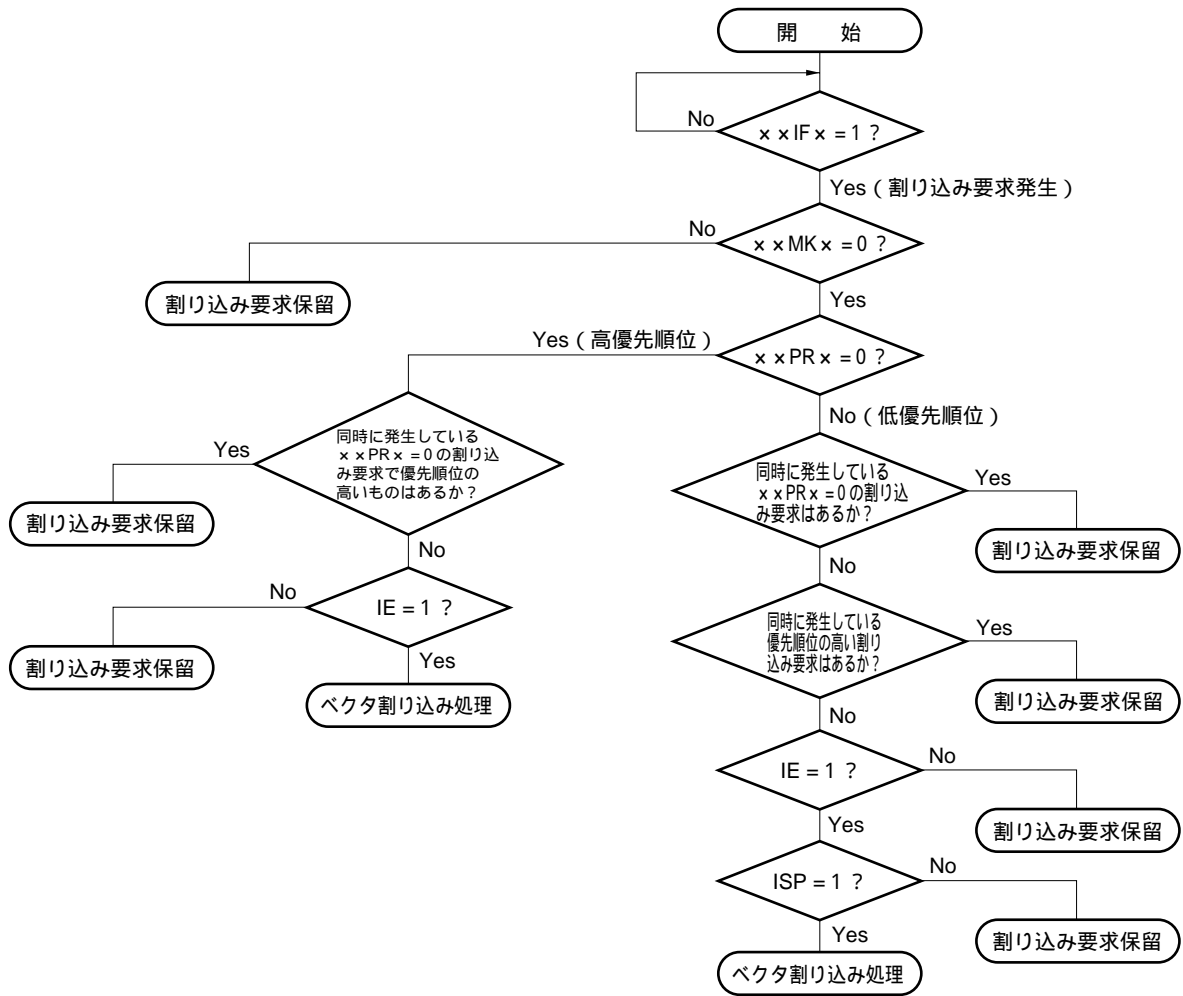
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避します。そして、IEフラグをリセット(0)し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

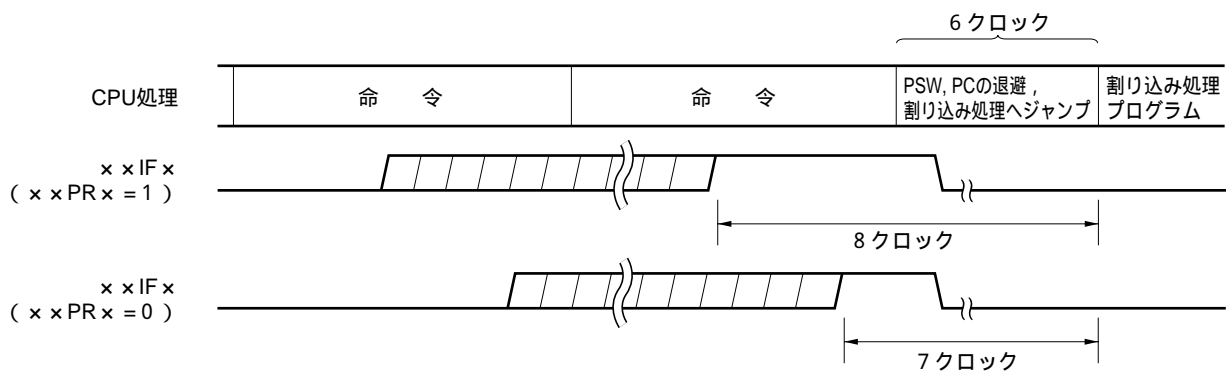
RETI命令によって、割り込みから復帰できます。

図17 - 10 割り込み要求の受け付け処理アルゴリズム



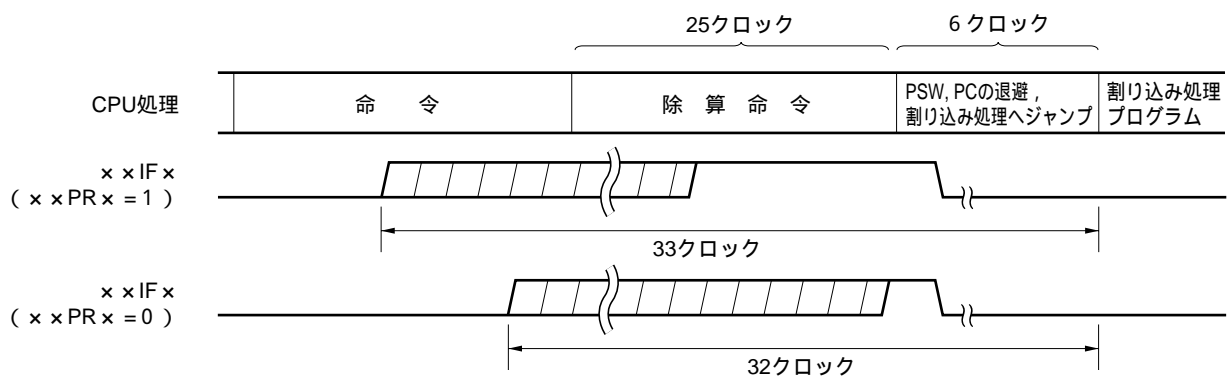
- x x IF x : 割り込み要求フラグ
- x x MK x : 割り込みマスク・フラグ
- x x PR x : 優先順位指定フラグ
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
- ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受けていない, または低優先順位の割り込み処理中)

図17 - 11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

図17 - 12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

17.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクブル割り込みを除く)。また、割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みはプログラマブル優先順位により制御されます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクブル割り込み処理中には、多重割り込みは許可されません。

表17 - 4に多重割り込み可能な割り込み要求を、図17 - 13に多重割り込みの例を示します。

表17 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクブル 割り込み要求	マスクブル割り込み要求			
			x x PR x = 0		x x PR x = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクブル割り込み		x	x	x	x	x
マスクブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能

x : 多重割り込み不可能

2. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

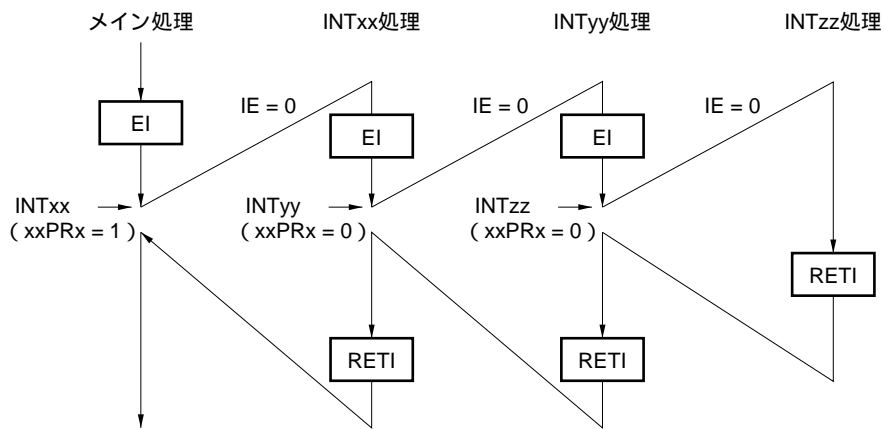
3. x x PR x はPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

x x PR x = 0 : 高優先順位レベル

x x PR x = 1 : 低優先順位レベル

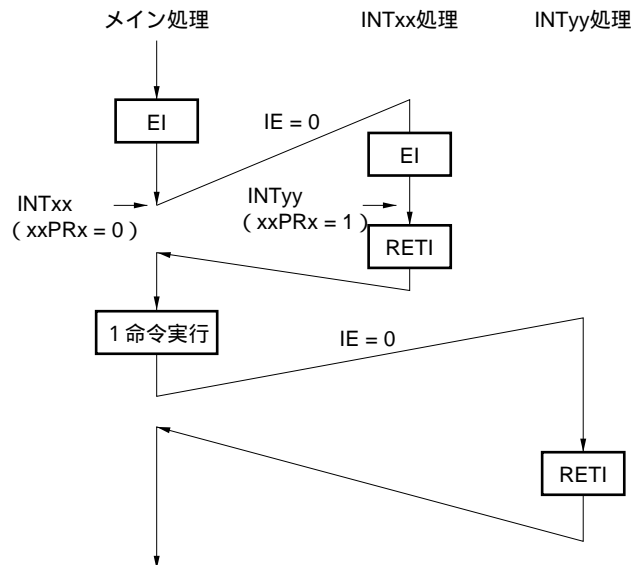
図17 - 13 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

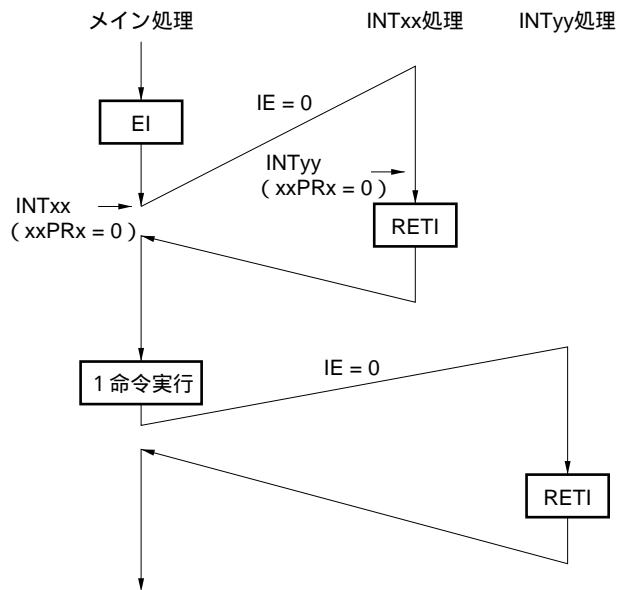


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- xxPRx = 0 : 高優先順位レベル
- xxPRx = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図17 - 13 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- xxPRx = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

17.4.5 割り込み要求の保留

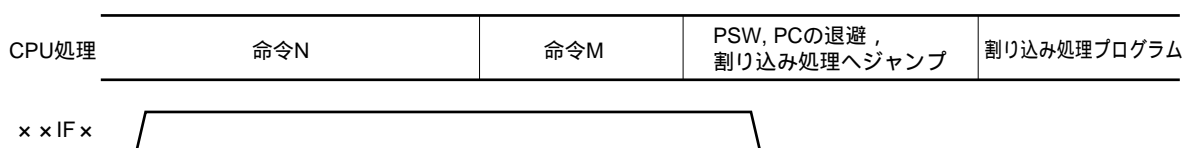
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- ・ MOV PSW, #byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1H, EGP, EGNの各レジスタに対する操作命令

注意 BRK命令は、上記の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図17 - 14に示します。

図17 - 14 割り込み要求の保留



備考 1 . 命令N：割り込み要求の保留命令

2 . 命令M：割り込み要求の保留命令以外の命令

3 . x x IF x（割り込み要求）の動作は、x x PR x（優先順位レベル）の値の影響を受けません。

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

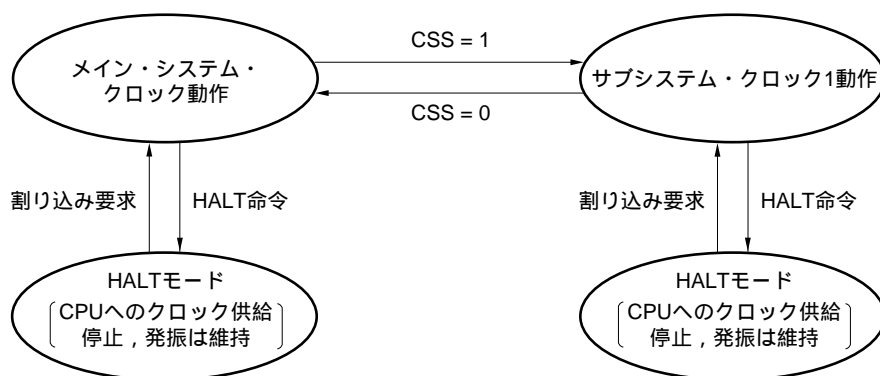
スタンバイ機能は、システムの消費電力をより低減するための機能で、 μ PD780958マイクロコントローラはHALTモードのみサポートしています。

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

HALTモードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードはサポートしておりません。したがってSTOP命令は実行しないでください。

図18 - 1 スタンバイ機能



備考 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

18.2 スタンバイ機能の動作

18.2.1 HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表18-1 HALTモード時の動作状態

項目	HALTモード時の動作状態
クロック発生回路	発振可能。CPUへのクロック供給は停止
CPU	動作停止
ポート（出力ラッチ）	HALTモード設定前の状態を保持
16ビット・タイマ/イベント・カウンタ	動作可能
8ビット・タイマ	
ウォッチドッグ・タイマ	
サンプリング出力タイマ/ディテクタ	
MRサンプリング機能	
シリアル・インタフェース	
LCDコントローラ	
外部割り込み要求	

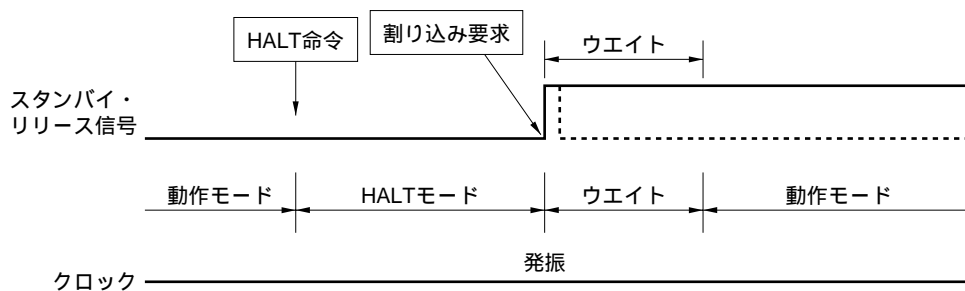
18.2.2 HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(1) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-2 HALTモードの割り込み要求発生による解除



備考1. 破線はスタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

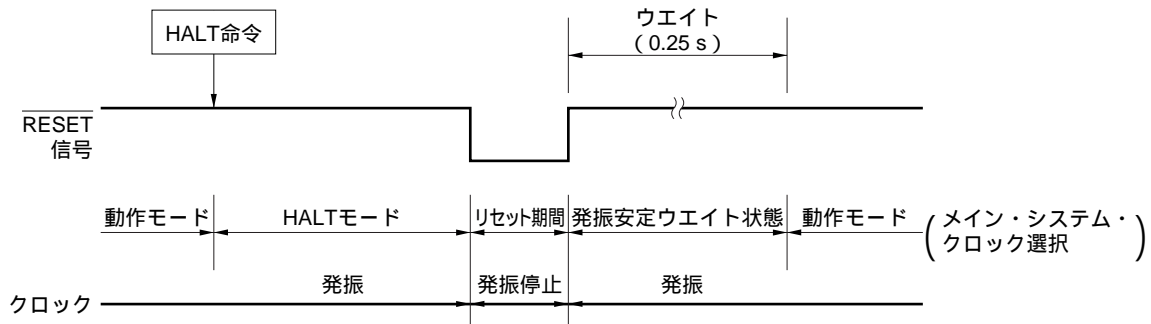
(2) ノンマスカブル割り込み要求による解除

ノンマスカブル割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(3) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



注意 $\overline{\text{RESET}}$ 信号発生により、プロセッサ・クロック・コントロール・レジスタ (PCC) は04Hに設定されます。プログラムの先頭で、必ずPCCを00H-02Hのいずれかに設定してください。その際、PCCの切り替えに1命令実行時間を要します。

備考 ()内は $f_{cc} = 1.2 \text{ MHz}$ 動作時、 $f_{XT1} = 32.768 \text{ kHz}$ 動作時。

表18 - 2 HALTモードの解除後の動作

解除ソース	x x MK x	x x PR x	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
$\overline{\text{RESET}}$ 入力	-	-	x	x	リセット処理

x : don't care

第19章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

$\overline{\text{RESET}}$ 入力により、0000H, 0001H番地に書かれているアドレスから、プログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表19-1に示す状態となります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間(0.25 s : $f_{XT1} = 32.768$ kHz動作時)経過後、プログラムの実行を開始します(図19-2, 図19-3, 図19-4参照)。

また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間(0.25 s : $f_{XT1} = 32.768$ kHz動作時)経過後、プログラムの実行を開始します。ウォッチドッグ・タイマのオーバフロー信号は、 $\overline{\text{WDTOUT}}$ 端子から出力されます。

- 注意1. 外部リセットを使用する場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。ただし電源投入直後のリセット時は、 $\overline{\text{RESET}}$ 端子にサブシステム・クロック1の発振が安定する時間のロウ・レベルを入力してください。
- 2. リセット入力中は、メイン・システム・クロック, サブシステム・クロック2の発振が停止しますが、サブシステム・クロック1の発振は停止せず、発振状態になっています。
 - 3. $\overline{\text{RESET}}$ 信号発生により、プロセッサ・クロック・コントロール・レジスタ(PCC)は04Hに設定されます。プログラムの先頭で必ずPCCを00H, 01H, 02Hのいずれかに設定してください。その際、PCCの切り替えに1命令実行時間を要します。

図19-1 リセット機能のブロック図

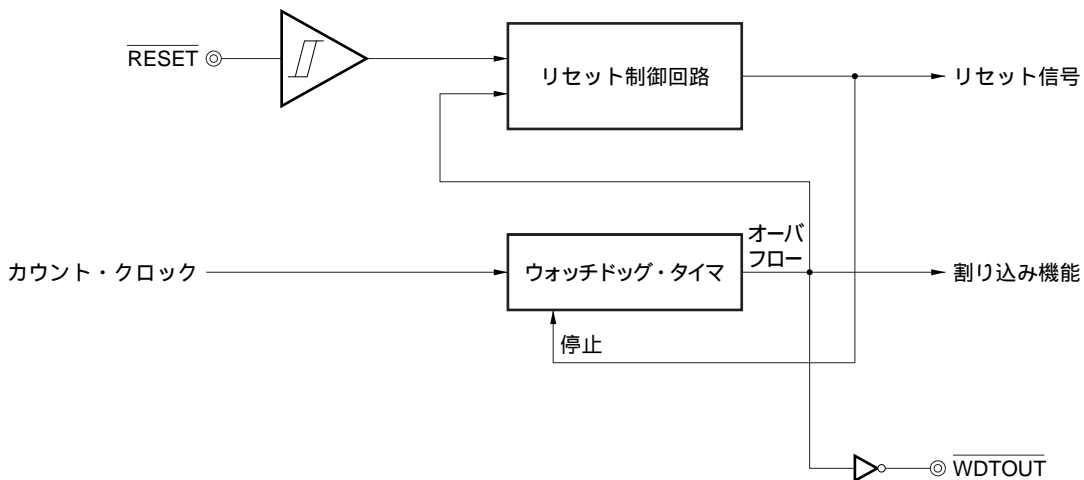


図19 - 2 RESET入力によるリセット・タイミング

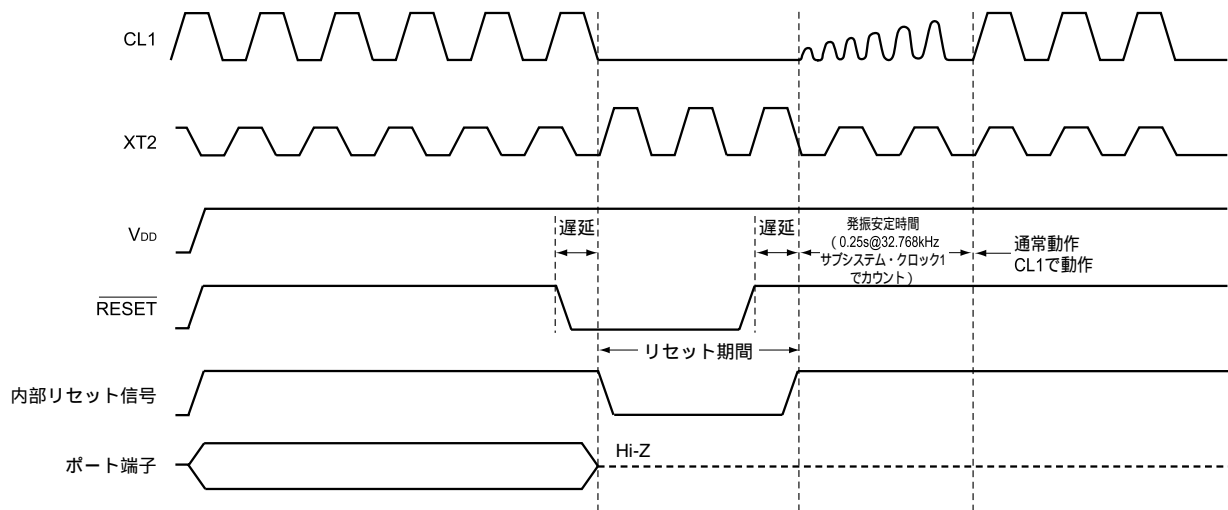


図19 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

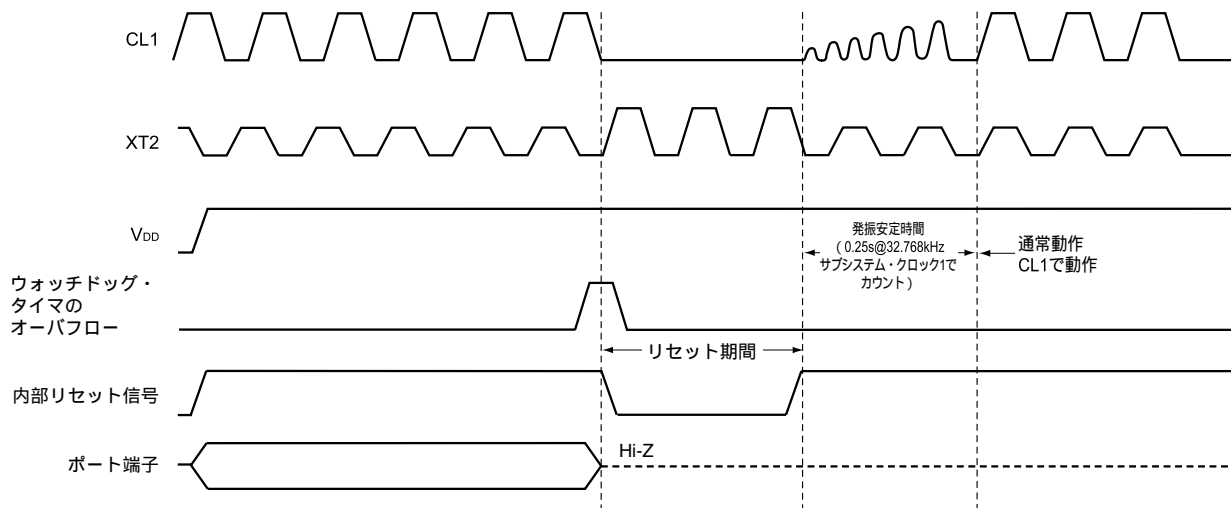


図19 - 4 電源投入時のリセット・タイミング

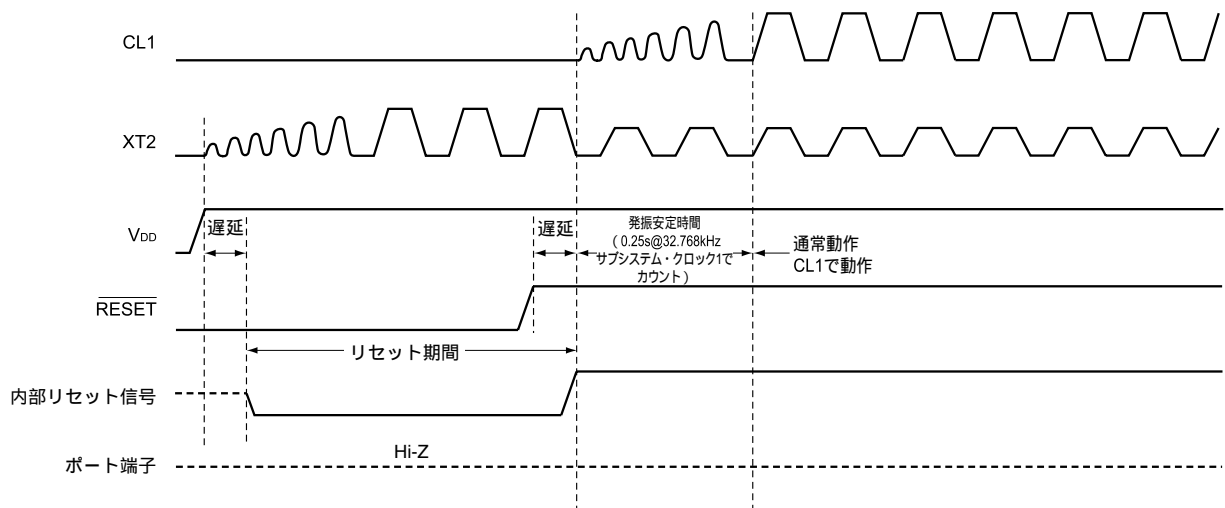


表19 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル(0000H, 0001H)の内容がセットされる
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM2-PM9)		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PU2-PU9)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H ^{注3}
クロック出力選択レジスタ (CKS)		00H
SUB2クロック・コントロール・レジスタ (CKC)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注4}
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注5}
16ビット・タイマ/イベント・カウンタ0	タイマ・カウンタ0 (TM0)	0000H
	タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)	不定
	タイマ・モード・コントロール・レジスタ0 (TMC0)	00H
	プリスケアラ・モード・レジスタ0 (PRM0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)	00H
	タイマ出力コントロール・レジスタ0 (TOC0)	00H
16ビット・タイマ/イベント・カウンタ2	タイマ・カウンタ2 (TM2)	不定
	タイマ・コンペア・レジスタ2 (CR2)	0000H
	タイマ・モード・コントロール・レジスタ2 (TMC2)	00H
	タイマ入力制御レジスタ2 (TICT2)	00H
8ビット・タイマ80-83	タイマ・カウンタ80-83 (TM80-TM83)	00H
	コンペア・レジスタ80-83 (CR80-CR83)	00H
	タイマ・コントロール・レジスタ80-83 (TMC80-TMC83)	00H
ウォッチドッグ・タイマ	モード・レジスタ (WDTM)	00H
	クロック選択レジスタ (WDCS)	00H

注1. リセット入力中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。
3. プログラムの最初で、必ずPCCを00H-02Hのいずれかに設定してください。
4. 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780957(A) : CCH

μPD780958(A) : CFH (IMSの初期値です。μPD780958(A)はIMSの設定は必要ありません。)

5. 初期値は0CHですが、0AHを設定して使用してください。

表19 - 1 各ハードウェアのリセット後の状態 (2/2)

	ハードウェア	リセット後の状態
サンプリング出力タイマ/ディテクタ	SMTDタイマ・カウンタA0, B0 (TMSA0, TMSB0)	00H
	SMTDコンペア・レジスタA0, B0 (CRSA0, CRSB0)	00H
	SMTDクロック選択レジスタA0, B0 (TCSA0, TCBS0)	00H
	SMTDコントロール・レジスタ0 (TSM0)	00H
	SMTDサンプリング・レベル設定レジスタ0 (SMS0)	00H
	SMTDサンプリング端子状態レジスタ0 (SMD0)	00H
MRサンプリング	8ビットMRカウンタ0 (TMMR0)	00H
	MRTDコンペア・レジスタ0 (CRM0)	00H
	MRTDコントロール・レジスタ0 (TCM0)	00H
	MRTD出力制御レジスタ0 (TMM0)	00H
	MRサンプリング制御レジスタ0 (MRM0)	00H
シリアル・インタフェースUART2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)	00H
	アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)	00H
	ポー・レート生成用コンペア・レジスタ2 (BRRCR2)	00H
	UART端子切り替えレジスタ (UTCH0)	00H
	送信シフト・レジスタ2 (TXS2)	FFH
	受信バッファ・レジスタ2 (RXB2)	FFH
シリアル・インタフェースSIO3	シリアルI/Oソフト・レジスタ3 (SIO3)	不定
	シリアル動作モード・レジスタ3 (CSIM3)	00H
リアルタイム出力機能	RTOデータ・レジスタ10, 11 (RTO10, RTO11)	00H
	RTOリロード割り込みコンペア・レジスタ1 (RTC1)	00H
	RTO動作モード・レジスタ1 (RTM1)	00H
LCDコントローラ/ドライバ	LCD表示モード・レジスタ0 (LCDM0)	00H
	LCDクロック制御レジスタ0 (LCDC0)	00H
	ポート・ファンクション制御レジスタ7-9 (PF7, PF8, PF9)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

第20章 μ PD78F0958 (参考)

μ PD780958マイクロコントローラのフラッシュ・メモリ製品には、 μ PD78F0958があります。

μ PD78F0958は、 μ PD780958 (A) の内蔵マスクROMを、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリに置き換えた製品です。 μ PD78F0958とマスクROM製品の違いを表20 - 1に示します。

表20 - 1 μ PD78F0958とマスクROM製品の違い

項目	μ PD78F0958	μ PD780957 (A)	μ PD780958 (A)
内部ROM構造	フラッシュ・メモリ	マスクROM	
内部ROM容量	60 Kバイト ^注	48 Kバイト	60 Kバイト
P60-P62, RESET端子のプルアップ抵抗内蔵のマスク・オプション指定	不可	可	
ウォッチドッグ・タイマのオーバーフロー信号の動作	ウォッチドッグ・タイマによるリセットの際、20 μ s (TYP.) のハイ・レベル出力を行います。	ウォッチドッグ・タイマによるリセットの際、20 μ s (TYP.) のロウ・レベル出力を行います。	
IC端子	なし	あり	
V _{PP} 端子	あり	なし	
電気的特性	詳細については販売員にお問い合わせください。		

注 メモリ・サイズ切り替えレジスタ (IMS) により、マスクROM製品と同一の容量に設定できます。

注意1. μ PD78F0958はES限定対応品です。詳細については販売員にお問い合わせください。

2. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への書き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分に評価してください。

20.1 メモリ・サイズ切り替えレジスタ

μ PD78F0958は、メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なる μ PD780957 (A) および780958 (A) のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 プログラムの初期設定として、IMSには必ずCCHまたはCFHを設定してください。

図20 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H リセット時 : CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表20 - 2に示します。

表20 - 2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD780957 (A)	CCH
μ PD780958 (A)	CFH

注意 マスクROM製品を使用する場合、IMSには表20 - 2に示す値を必ず設定してください。

20.2 内部拡張RAMサイズ切り替えレジスタ

ソフトウェアにより内部拡張RAM容量を設定するためのレジスタです。

IXSは、8ビット・メモリ操作命令で設定できます。

RESET入力により、0CHになります。

注意 IXSの初期値は設定禁止(0CH)です。必ず初期設定で0AHを設定してください。

図20 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

アドレス : FFF4H リセット時 : 0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	0	1	0	1024バイト
上記以外					設定禁止

20.3 フラッシュ・メモリ・プログラミング

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・メモリ・プログラマをホスト・マシンおよびターゲット・システムに接続して書き込みます。

また、フラッシュ・メモリへの書き込みは、専用フラッシュ・メモリ・プログラマに接続されたフラッシュ・メモリ書き込み用アダプタ上でも行えます。

20.3.1 通信方式の選択

フラッシュ・メモリへの書き込みは、専用フラッシュ・メモリ・プログラマを使用し、シリアル通信で行います。表20 - 3に示す通信方式から選択して書き込みます。この通信方式の選択は、図20 - 2に示すようなフォーマットを用います。表20 - 3に示す V_{PP} パルス数で、それぞれの通信方式が選択されます。

表20 - 3 通信方式一覧

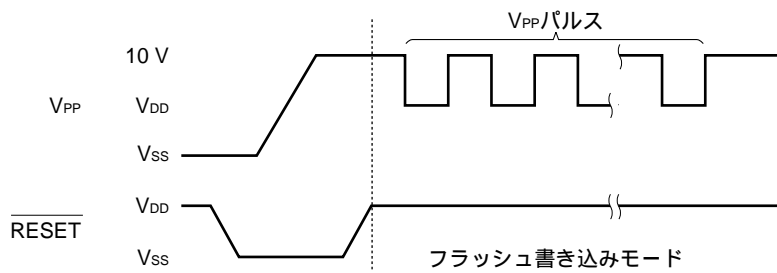
通信方式	チャンネル数	使用端子 ^注	V_{PP} パルス数
3線式シリアル/I/O (SIO3)	1	P35/SI3 P36/SO3 P37/ $\overline{\text{SCK3}}$	0
UART (UART2)	2	P05/INTP5/SMP0/RxD20 P20/TxD20	8
		P06/INTP6/RxD21 P21/TxD21	9

注 フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

注意1. 通信方式は、必ず表20 - 3に示す V_{PP} パルス数で選択してください。

- UART通信方式でフラッシュ・メモリへ書き込みを行う場合、XT3, XT4端子に4.91 MHzの発振子を接続、またはXT3端子に4.91 MHzの外部クロックを入力してください。

図20 - 3 通信方式選択フォーマット



20.3.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表20 - 4に示します。

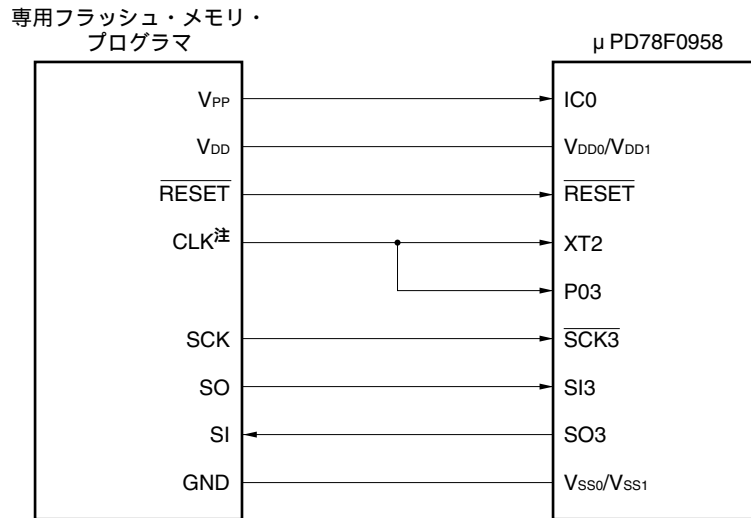
表20 - 4 フラッシュ・メモリ・プログラミングの主な機能

機能	説明
リセット	書き込みの中心、通信同期検出を行うときに使用します。
一括ベリファイ	全メモリの内容と入力したデータを比較します。
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
高速書き込み	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
連続書き込み	高速書き込みで入力した情報をもとに、続けて書き込みを行います。
ステータス	現在の動作モード、および動作終了を確認するときに使用します。
発振周波数設定	発振子の周波数情報を入力します。
消去時間設定	メモリの消去時間を入力します。
ボー・レート設定	UART方式時の通信レートを設定します。
シリコン・シグネチャ読み出し	デバイス名やメモリ容量、デバイスのブロック情報を出力します。

20.3.3 専用フラッシュ・メモリ・プログラムの接続

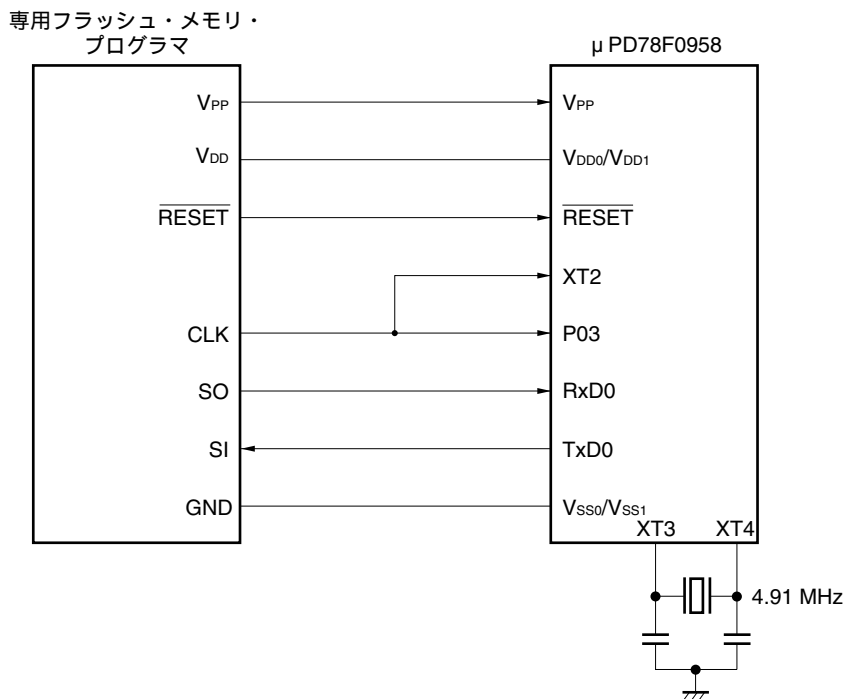
専用フラッシュ・メモリ・プログラムと μ PD78F0958との接続は、通信方式（3線式シリアルI/O（SIO3）、UART（UART2））によって異なります。それぞれの場合の接続図を図20 - 4、図20 - 5に示します。

図20 - 4 3線式シリアルI/O（SIO3）方式での専用フラッシュ・メモリ・プログラムの接続



注 CLK = 1.0-5.0 MHz

図20 - 5 UART（UART2）方式での専用フラッシュ・メモリ・プログラムの接続



第21章 命令セットの概要

μ PD780958マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

21.1 凡 例

21.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表21-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H
rp	(R7)
sfr	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfrp	特殊機能レジスタ略号 ^注 特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ(SFR)一覧を参照してください。

21.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x_H, x_L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

21.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

21.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <small>注3</small>	1	2	-	A r			
		r, A <small>注3</small>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r <small>注3</small>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{cpu}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	OR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	XOR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	CMP	A, #byte	2	4	-	A - byte		x	x	x
		saddr, #byte	3	6	8	(saddr) - byte		x	x	x
		A, r <small>注3</small>	2	4	-	A - r		x	x	x
		r, A	2	4	-	r - A		x	x	x
		A, saddr	2	4	5	A - (saddr)		x	x	x
		A, !addr16	3	8	9	A - (addr16)		x	x	x
		A, [HL]	1	4	5	A - (HL)		x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x	x
	CMPW	AX, #word	3	6	-	AX - word		x	x	x
乗除算	MULU	X	2	16	-	AX A × X				
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ C _Y , A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ C _Y , A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{cpu}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
	NOT1	CY	1	2	-	CY \overline{CY}			x
	コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2		
CALLF		!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
CALLT		[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
BRK			1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PCH (003FH), PCL (003EH), SP SP - 3, IE 0			
RET			1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RET1			1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
RETB			1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{CPU}) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1(Enable Interrupt)			
	DI		2	-	6	IE 0(Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (f_{CPU}) の1クロック分です。

21.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DMW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT

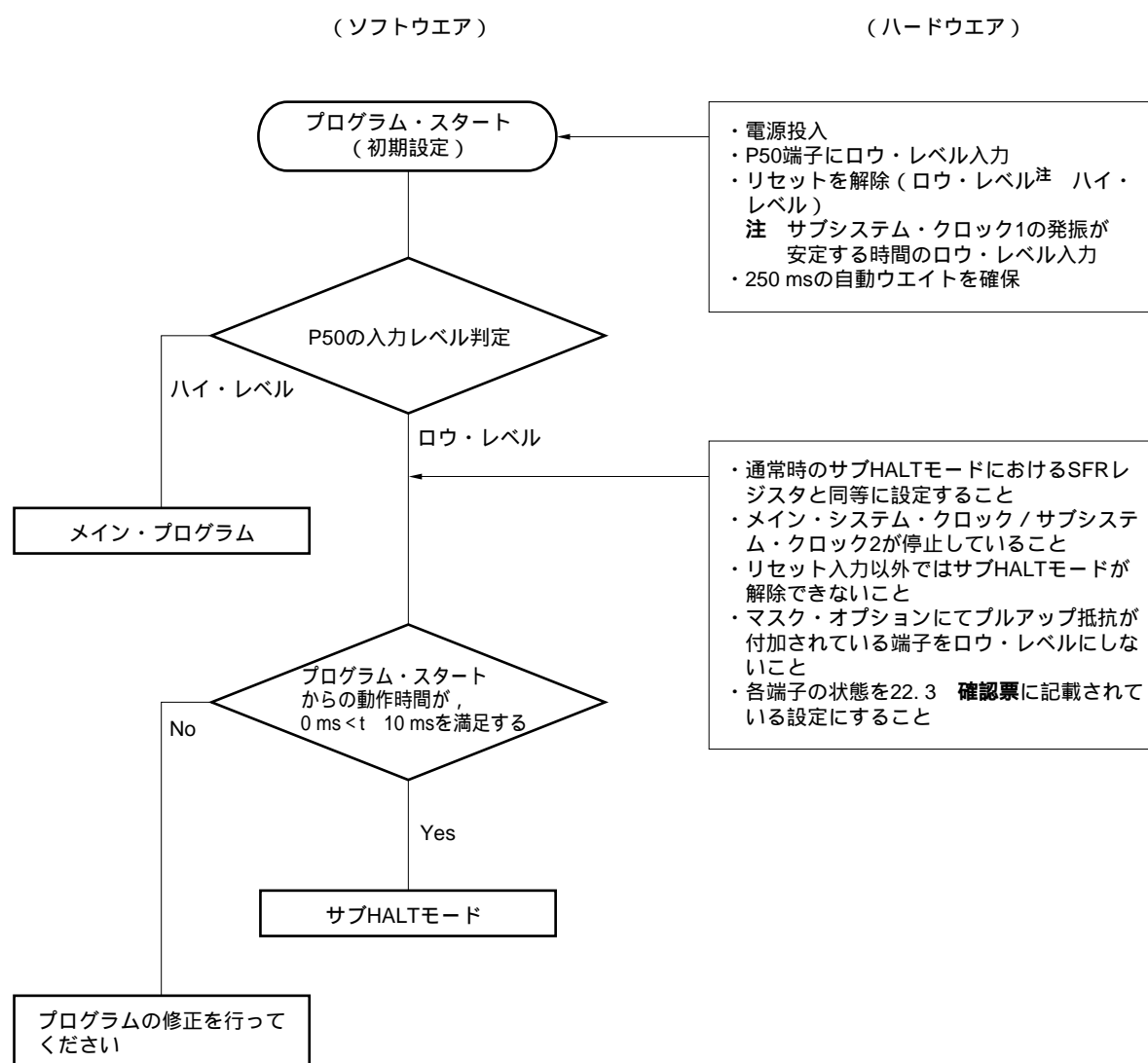
第22章 サブHALTテスト・プログラム

22.1 サブHALTテスト・プログラム概要

μ PD780957 (A) , 780958 (A) は、既存製品に比べて、消費電流が大幅に低減されています。特にサブシステム・クロック1動作時のHALTモードでは、消費電流が $4.0 \mu\text{s}$ (MAX.) ($T_A = -40 \sim +60$ 時)と、既存製品の約1/4になっているため、従来の出荷選別方法では、不良サンプルが混入してしまう恐れがあります。サブHALT電流検査プログラム (22.3 確認票に記載されているチェック項目を反映したプログラム) をユーザ・プログラムに盛り込むことにより、実動作と同じ環境で出荷選別が可能となり、安定した良品サンプルの供給が実現できます。

ユーザ・プログラム・テープ・アウト時に、必ず22.3 確認票のチェック項目を確認(判定欄にチェック)し、その他必要事項を記入したあとに、確認票を当社販売員または特約店にご提出願います(コピーでも可)。

22.2 サブHALTテスト・プログラムのフロー・チャート



22.3 確認票

下記チェック項目内容を，平成 年 月 日に確認およびROMテープ・アウト用プログラムに反映いたしました。

貴社名 _____
 部門名 _____
 御氏名 _____
 コード番号 _____

<サブHALT電流検査プログラム・チェック項目>

プログラムを作成する際，下記項目を満足していることを確認してください。

チェック項目		ご確認
1	サブHALT電流検査プログラムが挿入されている。	
2	P50端子をロウ・レベルにてリセット解除を行った後，250 ms(発振安定時間@1.2 MHz) < T 260 msでサブHALTモードに入る。その際，メイン・クロックおよびサブ・クロック2(XT3/XT4) は停止。	
3	サブHALT電流検査プログラムのサブHALT実行時における各SFRレジスタの設定値は，貴社プログラムのサブHALT実行時におけるSFRレジスタの設定値と同等である。ただし，項目4～6の条件は除く。	
4	マスク・オプションおよびソフト・プルアップ命令にてプルアップ抵抗が付加される端子は，その端子状態がロウ・レベル出力状態になっていない。	
5	サブHALT電流検査プログラムにおけるハイ/ロウ・レベル入力のための端子(P00-P06, P22-P27, P30-P32, P35, P37, P50) は，その端子状態が必ず入力に設定している。	
6	出力状態に設定したポートの出力レベルは変化しない。 (タイマ, PCL, MRサンプリング, サンプリング出力タイマ/ディテクタ, LCD C/Dの動作を停止する, または出力を禁止状態にする。)	
7	いったんサブHALTモードに入るとリセット入力(RESET端子のみ可能) 以外ではサブHALTモードが解除できないソフトウェアになっている。ウォッチドッグ・タイマを動作設定する前にサブHALT電流検査用プログラムに移行する。	
8	インサーキット・エミュレータでサブHALT電流検査用プログラムの動作確認を実施している。	

<出荷検査におけるサブHALT電流検査時の各端子の状態>

端子名称	検査時の端子レベル	端子状態	端子名称	検査時の端子レベル	端子状態
P00-P06	ハイ・レベル入力	入力モード	P50	ロウ・レベル入力	入力モード
P20, P21	Hi-Z	Don't care	P51-P57	Hi-Z	Don't care
P22-P27	ロウ・レベル入力	入力モード	P60-P67	Hi-Z	Don't care
P30-P32 P35, P37	ロウ・レベル入力	入力モード	P70-P77	Hi-Z	Don't care
P33, P34, P36	Hi-Z	Don't care	P80-P87	Hi-Z	Don't care
P40-P47	Hi-Z	Don't care	P90-P95	Hi-Z	Don't care

注意1 . P00-P06, P22-P27, P30-P32, P35, P37, P50は，出力モードに設定しないでください。

それ以外の端子は入力/出力モードどちらでも設定可能です。

- 2 . マスク・オプションおよびソフト・プルアップでプルアップ抵抗が付加されている端子は，出力モードに設定しないでください。

備考 確認票の流れ

お客様 → 当社販売員 → 当社応用技術部門 → 当社設計部門
 または特約店 (内容確認)

第23章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 3.6	V
入力電圧	V _{I1}	P00-P06, P20-P27, P30-P37, P40-P47, P50-P57, P63-P67, P70-P77, P80-P87, P90-P95, X1, X2, XT1, XT2, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^註	V
	V _{I2}	P60-P62 N-chオープン・ドレイン プルアップ抵抗内蔵時	- 0.3 ~ + 3.6 - 0.3 ~ V _{DD} + 0.3 ^註	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A		- 40 ~ + 80	
保存温度	T _{opt}		- 60 ~ + 150	

注 3.6 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子	発振周波数 (f _{CC}) ^{注1}	参考: C = 22 pF, R = 18 kΩ ^{注2}	1.0	1.2	1.5	MHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. 発振周波数は、セットの電気的特性（配線容量、配線抵抗等）や温度の影響を受けます。また、デバイスごとの特性ばらつきもありますので、セット上での評価によって最適なCR値をご決定ください。

サブシステム・クロック1発振回路特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子	発振周波数 (f _{XT1}) ^{注1}		32	32.768	35	kHz
	発振安定時間 ^{注2}			3	10	s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセット解除後、発振が安定するのに必要な時間です。この期間、RESET端子はロウ・レベルに保持してください。

サブシステム・クロック2発振回路特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

発振子	項目	MIN.	TYP.	MAX.	単位
水晶振動子	発振周波数 (f _{XT2}) ^{注1}	4	4.2	5	MHz
	発振安定時間 ^{注2}			20	ms
外部クロック	XT3入力周波数 (f _{XT2})	4		5	MHz
	XT3入力ハイ、ロウ・レベル幅 (t _{XT2H} , t _{XT2L})	85		100	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセット解除後、発振が安定するのに必要な時間です。

推奨発振回路定数

サブシステム・クロック1：水晶発振子 (TA = -40 ~ +85)

メーカー	品名	周波数 (kHz)	推奨回路定数		発振電圧範囲		単位
			C1	C2	MIN. (V)	MAX. (V)	
セイコー・エプソン	C-002RX	32.768	22	22	2.0	3.6	Rd = 330 kΩ
	MC-206						
	MC-306						

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD780958マイクロコントローラの内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子				- 1	mA
		全端子				- 15	
ロウ・レベル出力電流	IOL	1端子				15	mA
		全端子				80	
ハイ・レベル入力電圧	VIH1	P20, P21, P33, P34, P36, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P95		0.7 VDD		VDD	V
	VIH2	P00-P06, P22-P27, P30-P32, P35, P37, RESET		0.8 VDD		VDD	V
	VIH3	XT3, XT4		VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P20, P21, P33, P34, P36, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P95		0		0.3 VDD	V
	VIL2	P00-P06, P22-P27, P30-P32, P35, P37, RESET		0		0.2 VDD	V
	VIL3	XT3, XT4		0		0.1	V
ハイ・レベル出力電圧	VOH1	IOH = - 10 mA	P56/MRO0, P57/MRO1	VDD - 0.5		VDD	V
		IOH = - 2 mA		VDD - 0.1		VDD	V
		IOH = - 5 mA	P55	VDD - 0.5		VDD	V
		IOH = - 400 μA	P00-P06, P20-P27, P30-P37, P40-P47, P50-P54, P63-P67, P70-P77, P80-P87, P90-P95	VDD - 0.5		VDD	V
ロウ・レベル出力電圧	VOL1	IOL = 5 mA	P60-P62 (N-chオープン・ドレイン)	0		0.5	V
		IOL = 400 μA	P00-P06, P20-P27, P30-P37, P40-P47, P50-P57, P63-P67, P70-P77, P80-P87, P90-P95, WDTOUT	0		0.5	V
電源電流 ^{注1}	IDD1	1.0 MHz RC発振動作モード ^{注2}	TA = - 40 ~ + 60 ^{注4}		230	400	μA
			TA = + 60 ~ + 80 ^{注5}			400	μA
	IDD2	32.768 kHz 水晶発振動作モード ^{注3}	TA = - 40 ~ + 60 ^{注4}		6.0	12.0	μA
			TA = + 60 ~ + 80 ^{注5}			18.0	μA
IDD3	32.768 kHz 水晶発振HALTモード ^{注3}	TA = - 40 ~ + 60 ^{注6}		2.0	4.0	μA	
		TA = + 60 ~ + 80 ^{注7}			8.0	μA	
サブシステム・クロック2発振電流	ISUB2	CKC = 01H(サブシステム・クロック2発振許可時)			200	600	μA

注1. VDD0, VDD1端子に流れる電流です。LCDコントローラおよびポートに流れる電流は含みません。

2. PCC = 00H時。
3. メイン・システム・クロック停止時。
4. RAMアクセスのみ(全周辺機能停止およびサブシステム・クロック2発振停止時)
5. RAMアクセスおよび全周辺機能動作時(ただし, LCD動作停止およびサブシステム・クロック2発振停止時)
6. サンプリング出力タイマ/ディテクタ, 8ビット・タイマ80, 81のみ動作時(ただし, サブシステム・クロック2発振停止時)
7. 全周辺機能動作時(ただし, LCD動作停止およびサブシステム・クロック2発振停止時)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	XT1, XT2, XT3, XT4		0.7	10	μA
	I _{LIH2}		P00-P06, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P95, $\overline{\text{RESET}}$		0.03	3	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	XT1, XT2, XT3, XT4, P60-P62 (リード時以外)		-0.7	-10	μA
	I _{LIL2}		P00-P06, P20-P27, P30-P37, P40-P47, P50-P57, P63-P67, P70-P77, P80-P87, P90-P95, $\overline{\text{RESET}}$		-0.03	-3	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}			0.03	3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V			-0.03	-3	μA
マスク・オプション・ブルアップ抵抗	R ₁	V _{IN} = 0 V	$\overline{\text{RESET}}$	10	20	40	kΩ
	R ₂		P60-P62	100	200	400	kΩ
ソフトウェア・ブルアップ抵抗	R ₃	V _{IN} = 0 V	P00-P06, P20-P27, P30-P37, P40-P47, P50-P57, P63-P67, P70-P77, P80-P87, P90-P95	100	200	400	kΩ

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

LCDコントローラ/ドライバ特性 (TA = -40 ~ +80 , VDD = 2.2 ~ 3.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V _{LCD}	V _{DD} = V _{LCD}		2.2		3.5	V
コンデンサ駆動用電源昇圧時間 ^{注1}	t _{VCLD}	C = 0.47 μF ^{注2}		500			ms
LCD出力電圧偏差 (コモン) ^{注3,4}	V _{ODC}	I _o = ±5 μA	スタティック 1/3バイアス法	0		±0.2	V
LCD出力電圧偏差 (セグメント) ^{注3,4}	V _{ODS}	I _o = ±1 μA	スタティック 1/3バイアス法	0		±0.2	V

注1. LCD表示モード・レジスタ0 (LCDM0) のビット4 (LIP0) を“1”に設定 (LCD駆動用電源供給) したあと，コンデンサが昇圧するまでに必要な時間を意味します。

2. 「C」は，CAPH-CAPL間，V_{LC1}，V_{LC2}に接続するコンデンサです。

3. 電源偏差とは，セグメント，コモン出力の理想値 (V_{LCD1}，V_{LCD2}) に対する出力電圧との差です。

4. 無負荷時の電圧です。

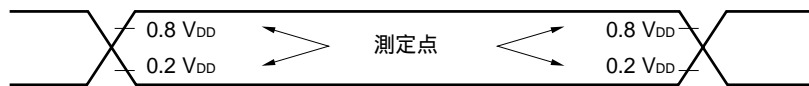
AC特性

(1) 基本動作 ($T_A = -40 \sim +80$, $V_{DD} = 2.2 \sim 3.5 V$)

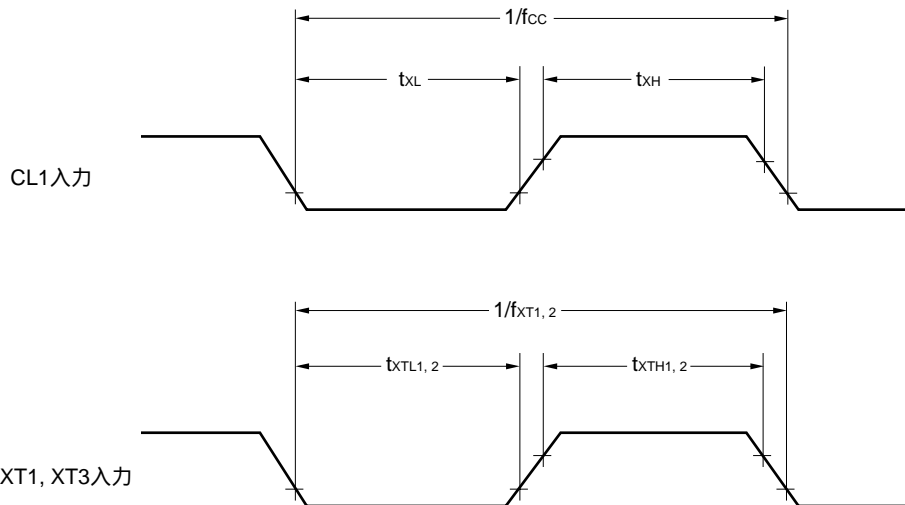
項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロック動作時	1.33		8	μs
		サブシステム・クロック1動作時	57.1	61	62.5	μs
TI00, TI01入力ハイ, ロウ・レベル幅	t_{TIH0} , t_{TIL0}		$2f_{sam} + 0.5$ ^注			μs
TI2入力周波数	f_{TI2}				500	kHz
TI2入力ハイ, ロウ・レベル幅	t_{TIH2} , t_{TIL2}		0.8			μs
割り込み入力ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP6	2.7 V V_{DD} 3.5 V	10		μs
			2.2 V $V_{DD} < 2.7 V$	20		μs
RESET入力ロウ・レベル幅	t_{RSL}	2.7 V V_{DD} 3.5 V	10			μs
		2.2 V $V_{DD} < 2.7 V$	20			μs
WDTOUT出力ロウ・レベル幅	t_{WDTL}		20			μs

注 キャプチャ・トリガ時は, プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で選択されたカウント・クロックによりサンプリングします ($f_{sam} = f_{XT1}, f_{XT1}/2, f_{XT2}/2^4$)。ただし, カウント・クロックにTI00の有効エッジ選択時は $f_{sam} = f_{XT1}/4$ になります。

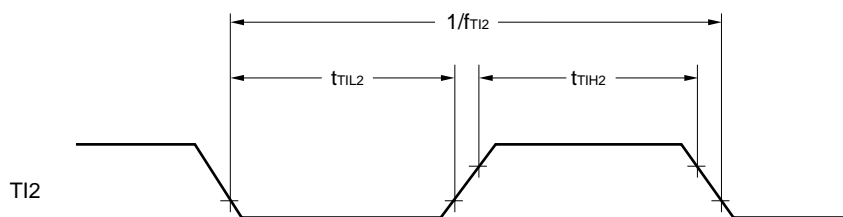
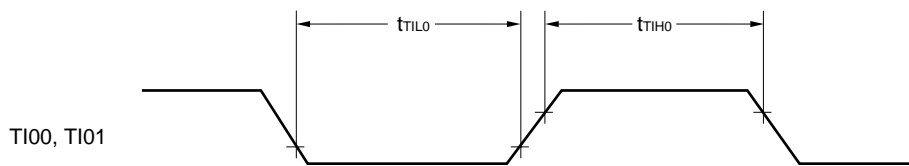
ACタイミング測定点 (X1, XT1入力を除く)



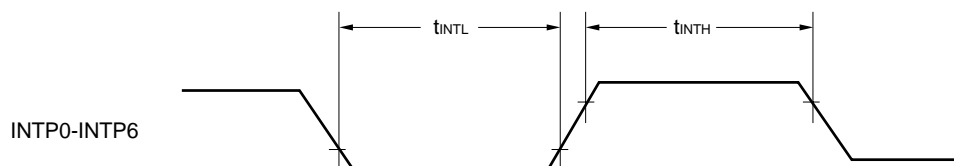
クロック・タイミング



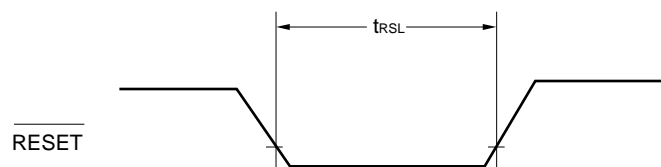
TI タイミング



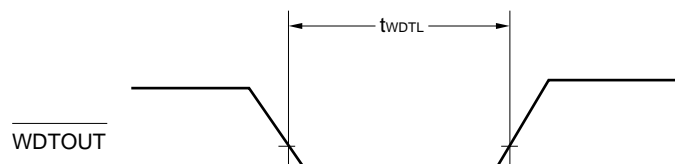
割り込み要求入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



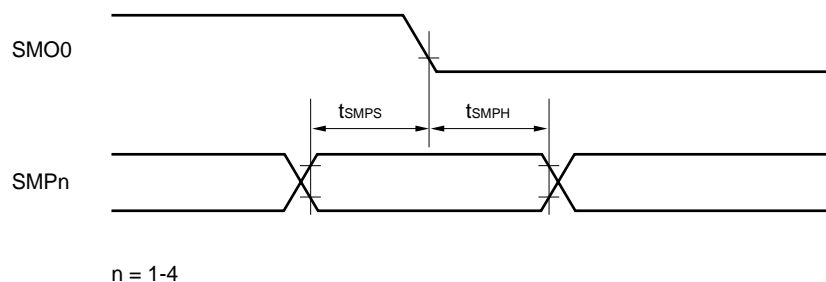
$\overline{\text{WDTOUT}}$ タイミング



(2) サンプルング出力タイマ/ディテクタ

項目	略号	条件	MIN.	TYP.	MAX.	単位
サンプルング入力セットアップ時間	t _{SMPs}		500			ns
サンプルング入力ホールド時間	t _{SMPH}		500			ns

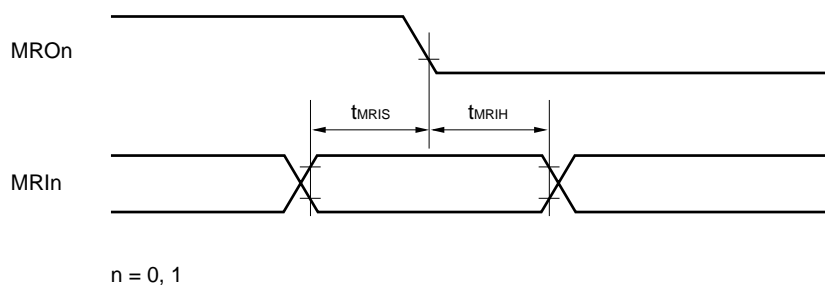
サンプルング出力タイマ/ディテクタ入力タイミング



(3) MRサンプルング機能

項目	略号	条件	MIN.	TYP.	MAX.	単位
位相検出入力セットアップ時間	t _{MRIS}		500			ns
位相検出入力ホールド時間	t _{MRIH}		500			ns

MRサンプルング機能入力タイミング



(4) シリアル・インタフェース

(a) UARTモード (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		ポー・レート・ジェネレータの入力クロックにサブシステム・クロック1を選択(ASIF2のTPS21 = 0, TPS20 = 0)			1200	bps
		ポー・レート・ジェネレータの入力クロックにサブシステム・クロック2を選択(ASIF2のTPS21 = 1, TPS20 = 0)			4800	

備考 ASIF2 : アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2

(b) 3線式シリアルI/Oモード (内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY1}		30.5			μs
SCK3ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2 - 50			ns
SI3セットアップ時間 (対SCK3)	t _{SIK1}		300			ns
SI3ホールド時間 (対SCK3)	t _{KS1}		400			ns
SCK3 SO3 出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3の出力ラインの負荷容量です。

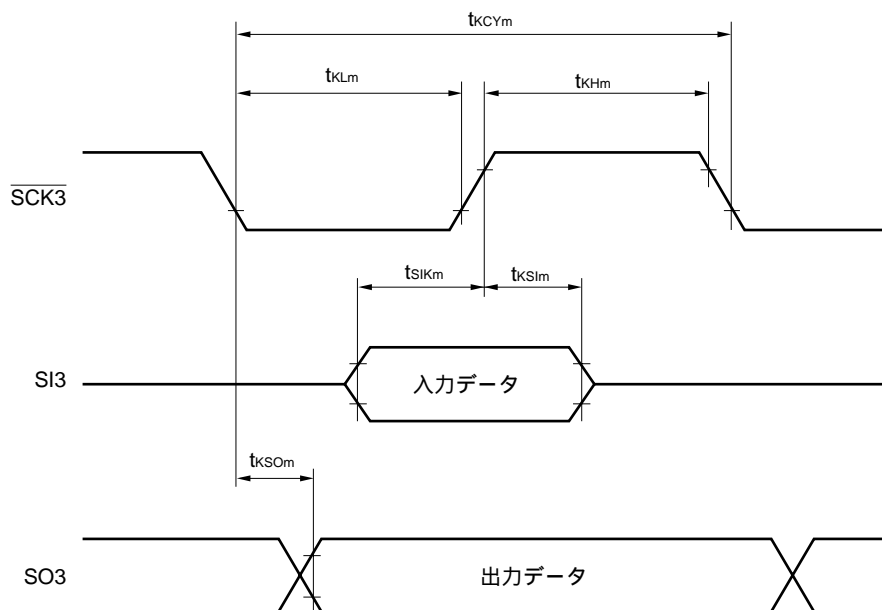
(c) 3線式シリアルI/Oモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY2}		3.2			μs
SCK3ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		1600			ns
SI3セットアップ時間 (対SCK3)	t _{SIK2}		100			ns
SI3ホールド時間 (対SCK3)	t _{KS2}		400			ns
SCK3 SO3 出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns

注 Cは, SO3の出力ラインの負荷容量です。

シリアル転送タイミング

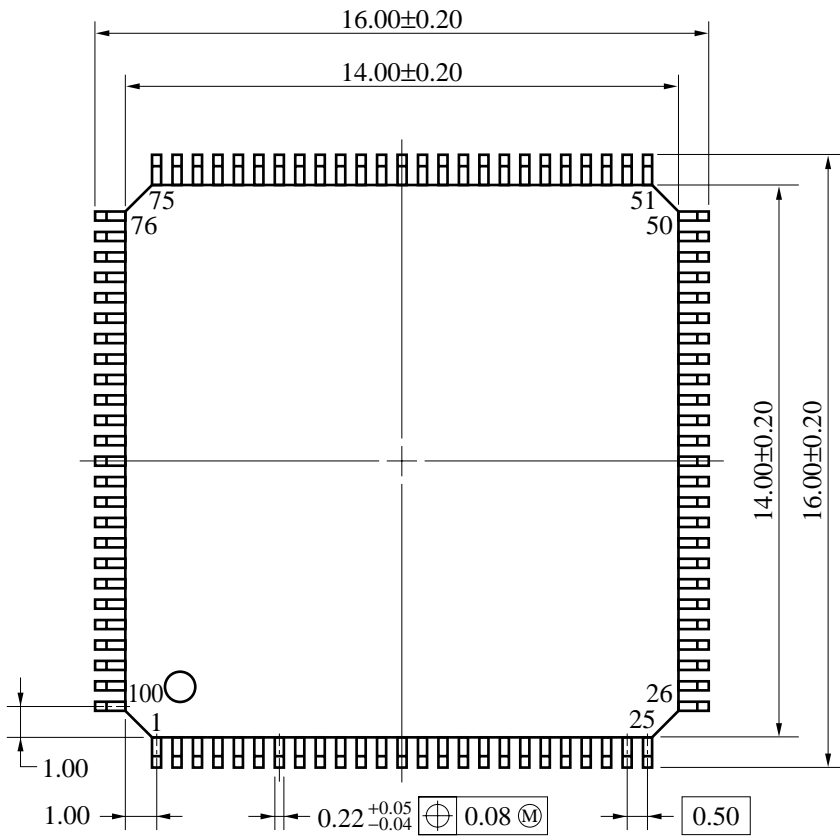
3線式シリアルI/Oモード :



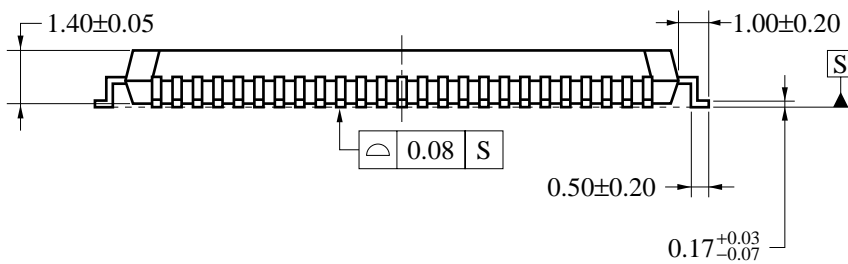
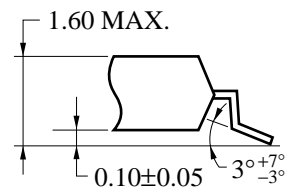
備考 $m = 1, 2$

第24章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

備考 ES品の外形や材質は、量産品と同じです。

第25章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表25 - 1 表面実装タイプの半田付け条件

μ PD780957GC (A) - x x x -8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14x14)

μ PD780958GC (A) - x x x -8EU :

”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：2回以内	VP15-00-2
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

付録A 開発ツール

μPD780958マイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

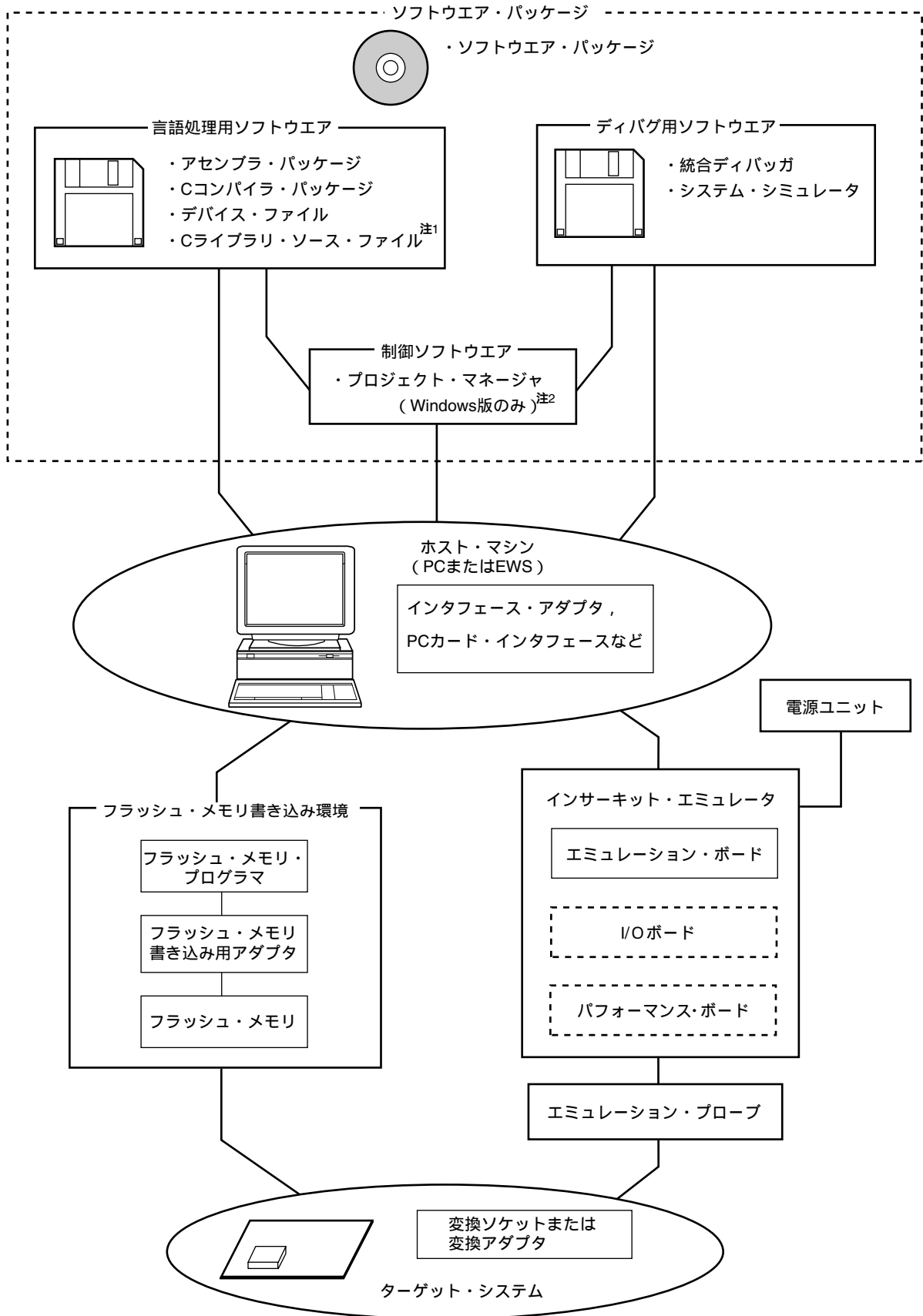
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は、次のOSを示しています。

- Windows 98
- Windows 2000
- Windows NT[®]
- Windows XP[®]

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K0マイクロコントローラ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
オーダ名称： μ SxxxSP78K0	

備考 オーダ名称のxxxは、使用するOSにより異なります。

μ SxxxSP78K0

xxx	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル（DF780958）と組み合わせて使用します。</p> <p>PC環境で使用する場合の注意 アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μS××××RA78K0</p>
CC78K0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>PC環境で使用する場合の注意 Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μS××××CC78K0</p>
DF780958 ^{注1} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS）と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダ名称：μS××××DF780958</p>
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダ名称：μS××××CC78K0-L</p>

注1．DF780958は、RA78K0, CC78K0, SM78K0, ID78K0-NSのすべての製品に共通に使用できます。

2．CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××CC78K0-L

××××	ホスト・マシン	OS
AB17	PC-9800シリーズ，	日本語Windows
BB17	IBM PC/AT互換機	英語Windows

μS××××DF780958

××××	ホスト・マシン	OS
AB13	PC-9800シリーズ，	日本語Windows
BB13	IBM PC/AT互換機	英語Windows

A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ（RA78K0）の中に入っています。Windows以外の環境では使用できません。
---------------------	--

A.4 フラッシュ・メモリ書き込み用ツール

FL-PR4, PG-FP4, FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-100GC-8EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 ・FA-100GC-8EU：100ピン・プラスチックLQFP（GC-8EUタイプ）用

備考 FL-PR4, FL-PR5, FA-100GC-8EUは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

A. 5 ディバグ用ツール（ハードウェア）

A. 5. 1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K0マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよびホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780958-NS-EM4 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
IE-78K0-NS-P02 I/Oボード	IE-780958-NS-EM4を使用するために必要なI/Oボードです。
NP-100GC NP-H100GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックLQFP（GC-8EUタイプ）用です。
TGC-100SDW 変換アダプタ (図A-2参照)	100ピン・プラスチックLQFP（GC-8EUタイプ）を実装できるように作られたターゲット・システムの基板と、NP-100GCまたはNP-H100GC-TQを接続するための変換アダプタです。

備考1. NP-100GC, NP-H100GC-TQは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

2. TGC-100SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：東京エレクトック株式会社（TEL（03）5295-1661）

3. TGC-100SDWは、1個単位で販売しています。

A.6 デバッグ用ツール(ソフトウェア)

SM78K0 システム・シミュレータ	78K0マイクロコントローラ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売りのデバイス・ファイル(DF780958)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times SM78K0$
ID78K0-NS 統合デバッガ (インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-A対応)	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。ID-78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times ID78K0-NS$

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

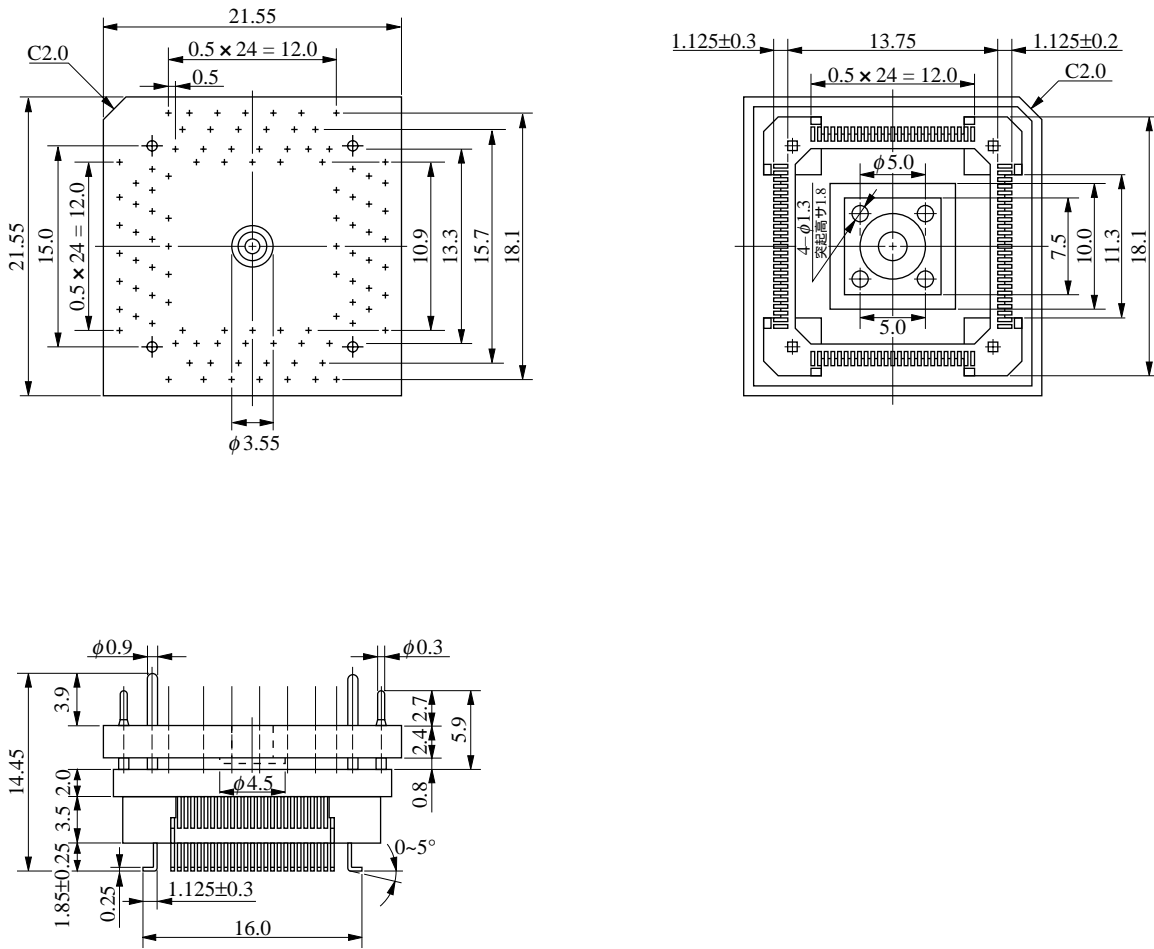
$\mu S \times \times \times SM78K0$

$\mu S \times \times \times ID78K0-NS$

$\times \times \times \times$	ホスト・マシン	OS
AB17	PC-9800シリーズ,	日本語Windows
BB17	IBM PC/AT互換機	英語Windows

A.7 変換アダプタ (TGC-100SDW) の外形図

図A-2 TGC-100SDW 外形図 (参考) (単位: mm)



TGC-100SDW-G1

注: 東京エレクトック (株) 製

付録B ターゲット・システム設計上の注意

エミュレーション・プローブと変換アダプタの接続条件図を次に示します。この構成によって、ターゲット・システム上に実装する部品の形状などを考慮して、システム設計をしてください。

表B-1 インサーキット・エミュレータ～変換アダプタまでの距離

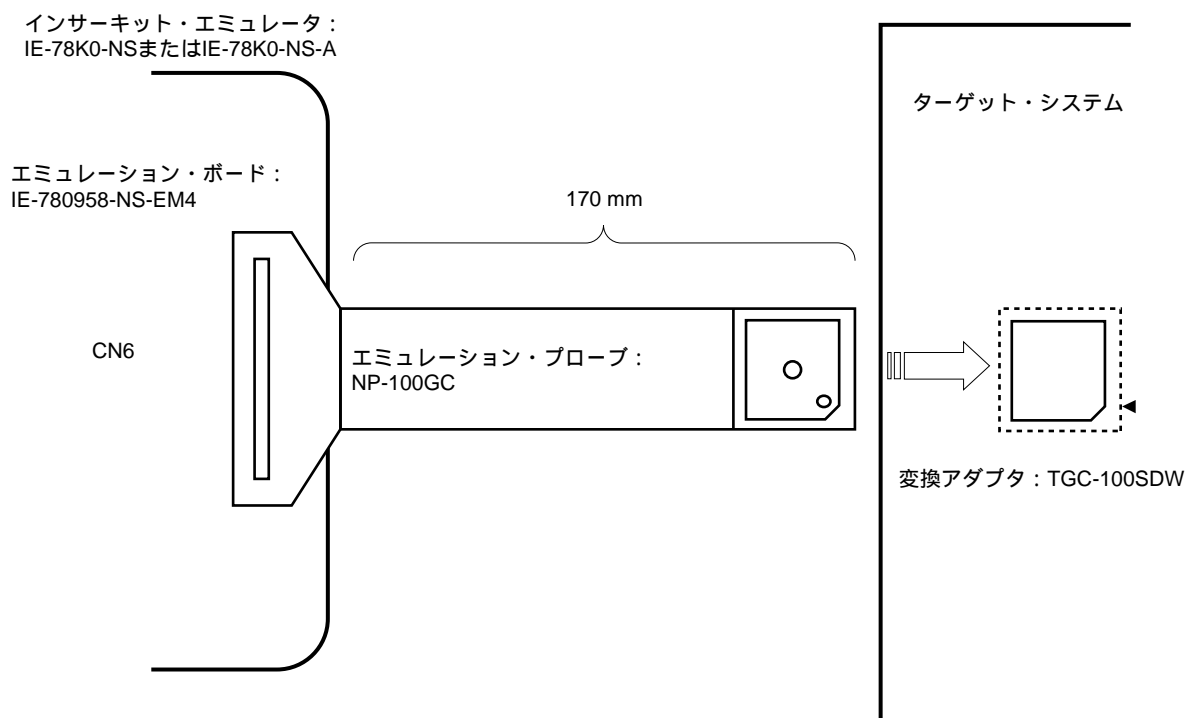
エミュレーション・プローブ	変換アダプタ	インサーキット・エミュレータ～ 変換アダプタまでの距離
NP-100GC	TGC-100SDW	170 mm
NP-H100GC-TQ		370 mm

備考1. NP-100GC, NP-H100GC-TQは、インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-A使用時に使用します。

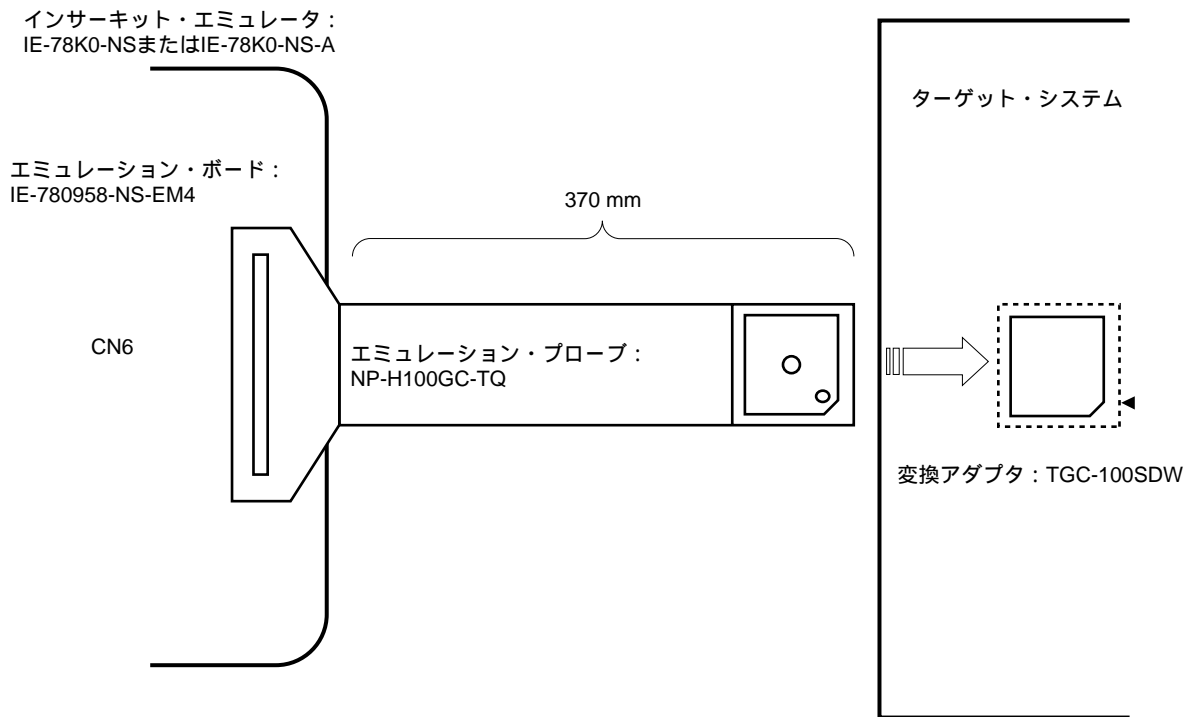
2. NP-100GC, NP-H100GC-TQは、株式会社内藤電誠町田製作所の製品です。

TGC-100SDWは、東京エレテック株式会社の製品です。

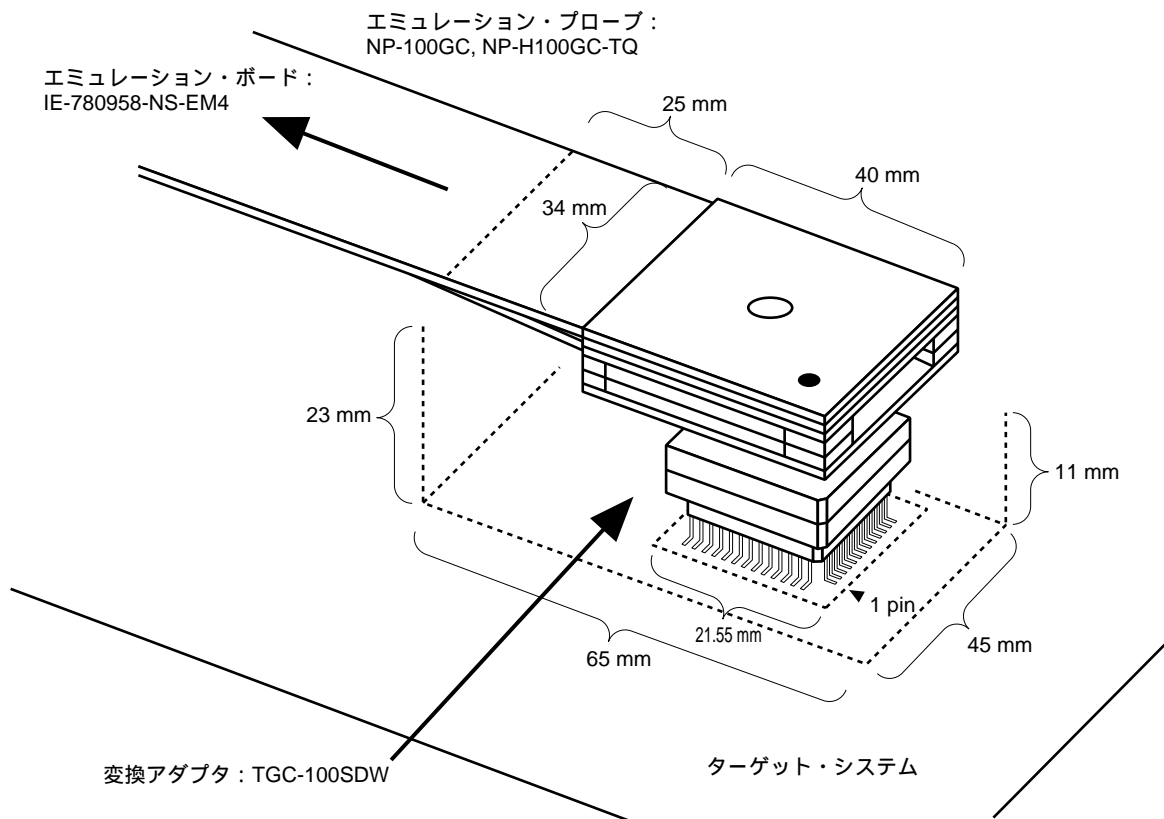
図B-1 インサーキット・エミュレータ～変換アダプタまでの距離(1)



図B - 2 インサーキット・エミュレータ~変換アダプタまでの距離 (2)



図B - 3 ターゲット・システムの接続条件



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) ...	206
アシンクロナス・シリアル・インタフェース・ファンクション・レジスタ2 (ASIF2) ...	207
アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) ...	204
RTOデータ・レジスタ10 (RTO10) ...	116
RTOデータ・レジスタ11 (RTO11) ...	116
RTOリロード割り込みコンペア・レジスタ1 (RTC1) ...	117
RTO動作モード・レジスタ1 (RTM1) ...	117
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	172
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	173
LCDクロック制御レジスタ0 (LCDC0) ...	227
LCD表示モード・レジスタ0 (LCDM0) ...	226
SMTDクロック選択レジスタA0 (TCSA0) ...	180
SMTDクロック選択レジスタB0 (TCSB0) ...	180
SMTDコントロール・レジスタ0 (TSM0) ...	181
SMTDコンペア・レジスタA0 (CRSA0) ...	179
SMTDコンペア・レジスタB0 (CRSB0) ...	179
SMTDサンプリング・レベル設定レジスタ0 (SMS0) ...	183
SMTDサンプリング端子状態レジスタ0 (SMD0) ...	183
MRサンプリング制御レジスタ0 (MRM0) ...	191
MRTDコントロール・レジスタ0 (TCM0) ...	189
MRTDコンペア・レジスタ0 (CRM0) ...	188
MRTD出力制御レジスタ0 (TMM0) ...	190

【か行】

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	248
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	248
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ...	128
クロック出力選択レジスタ (CKS) ...	198

【さ行】

SUB2クロック・コントロール・レジスタ (CKC) ...	102
16ビット・タイマ・カウンタ0 (TM0) ...	123
16ビット・タイマ・カウンタ2 (TM2) ...	151
16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) ...	124
16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) ...	125

16ビット・タイマ・コンペア・レジスタ2 (CR2) ...	151
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) ...	129
16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) ...	126
受信バッファ・レジスタ2 (RXB2) ...	202
シリアルI/Oシフト・レジスタ3 (SIO3) ...	217
シリアル動作モード・レジスタ3 (CSIM3) ...	218
送信シフト・レジスタ2 (TXS2) ...	202

【た行】

タイマ・モード・コントロール・レジスタ2 (TMC2) ...	152
タイマ入力制御レジスタ2 (TICT2) ...	153

【な行】

内部拡張RAMサイズ切り替えレジスタ (IXS) ...	50, 269
------------------------------	---------

【は行】

8ビットMRカウンタ0 (TMMR0) ...	188
8ビット・コンペア・レジスタ80 (CR80) ...	162
8ビット・コンペア・レジスタ81 (CR81) ...	162
8ビット・コンペア・レジスタ82 (CR82) ...	162
8ビット・コンペア・レジスタ83 (CR83) ...	162
8ビット・タイマ・カウンタ80 (TM80) ...	162
8ビット・タイマ・カウンタ81 (TM81) ...	162
8ビット・タイマ・カウンタ82 (TM82) ...	162
8ビット・タイマ・カウンタ83 (TM83) ...	162
8ビット・タイマ・コントロール・レジスタ80 (TMC80) ...	163
8ビット・タイマ・コントロール・レジスタ81 (TMC81) ...	163
8ビット・タイマ・コントロール・レジスタ82 (TMC82) ...	163
8ビット・タイマ・コントロール・レジスタ83 (TMC83) ...	163
プリスケラ・モード・レジスタ0 (PRM0) ...	130
プルアップ抵抗オプション・レジスタ0 (PU0) ...	94
プルアップ抵抗オプション・レジスタ2 (PU2) ...	94
プルアップ抵抗オプション・レジスタ3 (PU3) ...	94
プルアップ抵抗オプション・レジスタ4 (PU4) ...	94
プルアップ抵抗オプション・レジスタ5 (PU5) ...	94
プルアップ抵抗オプション・レジスタ6 (PU6) ...	94
プルアップ抵抗オプション・レジスタ7 (PU7) ...	94
プルアップ抵抗オプション・レジスタ8 (PU8) ...	94
プルアップ抵抗オプション・レジスタ9 (PU9) ...	94
プログラム・ステータス・ワード (PSW) ...	56, 249
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	101
ポート0 (P0) ...	77
ポート2 (P2) ...	79

ポート3 (P3) ...	81
ポート4 (P4) ...	84
ポート5 (P5) ...	85
ポート6 (P6) ...	87
ポート7 (P7) ...	89
ポート8 (P8) ...	90
ポート9 (P9) ...	91
ポート・ファンクション制御レジスタ7 (PF7) ...	95, 227
ポート・ファンクション制御レジスタ8 (PF8) ...	95, 227
ポート・ファンクション制御レジスタ9 (PF9) ...	95, 227
ポート・モード・レジスタ0 (PM0) ...	92
ポート・モード・レジスタ2 (PM2) ...	92
ポート・モード・レジスタ3 (PM3) ...	92, 131, 199
ポート・モード・レジスタ4 (PM4) ...	92
ポート・モード・レジスタ5 (PM5) ...	92
ポート・モード・レジスタ6 (PM6) ...	92
ポート・モード・レジスタ7 (PM7) ...	92
ポート・モード・レジスタ8 (PM8) ...	92
ポート・モード・レジスタ9 (PM9) ...	92
ポート・レート生成用コンペア・レジスタ2 (BRCR2) ...	208

【ま行】

メモリ・サイズ切り替えレジスタ (IMS) ...	50, 268
---------------------------	---------

【や行】

UART端子切り替えレジスタ (UTCH0) ...	208
優先順位指定フラグ・レジスタ0H (PR0H) ...	247
優先順位指定フラグ・レジスタ0L (PR0L) ...	247
優先順位指定フラグ・レジスタ1H (PR1H) ...	247
優先順位指定フラグ・レジスタ1L (PR1L) ...	247

【わ行】

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	246
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	246
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	246
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	246
割り込み要求フラグ・レジスタ0H (IF0H) ...	245
割り込み要求フラグ・レジスタ0L (IF0L) ...	245
割り込み要求フラグ・レジスタ1H (IF1H) ...	245
割り込み要求フラグ・レジスタ1L (IF1L) ...	245

C.2 レジスタ索引 (アルファベット順)

【A】

- ASIF2 : アシクロナス・シリアル・インタフェース・ファンクション・レジスタ2 ... 207
 ASIM2 : アシクロナス・シリアル・インタフェース・モード・レジスタ2 ... 204
 ASIS2 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 ... 206

【B】

- BRCR2 : ボー・レート生成用コンペア・レジスタ2 ... 208

【C】

- CKC : SUB2クロック・コントロール・レジスタ ... 102
 CKS : クロック出力選択レジスタ ... 198
 CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 ... 124
 CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 ... 125
 CR2 : 16ビット・タイマ/コンペア・レジスタ2 ... 151
 CR80 : 8ビット・コンペア・レジスタ80 ... 162
 CR81 : 8ビット・コンペア・レジスタ81 ... 162
 CR82 : 8ビット・コンペア・レジスタ82 ... 162
 CR83 : 8ビット・コンペア・レジスタ83 ... 162
 CRC0 : キャプチャ/コンペア・コントロール・レジスタ0 ... 128
 CRM0 : MRTDコンペア・レジスタ0 ... 188
 CRSA0 : SMTDコンペア・レジスタA0 ... 179
 CRSB0 : SMTDコンペア・レジスタB0 ... 179
 CSIM3 : シリアル動作モード・レジスタ3 ... 218

【E】

- EGN : 外部割り込み立ち下がりエッジ許可レジスタ ... 248
 EGP : 外部割り込み立ち上がりエッジ許可レジスタ ... 248

【I】

- IF0H : 割り込み要求フラグ・レジスタ0H ... 245
 IF0L : 割り込み要求フラグ・レジスタ0L ... 245
 IF1H : 割り込み要求フラグ・レジスタ1H ... 245
 IF1L : 割り込み要求フラグ・レジスタ1L ... 245
 IMS : メモリ・サイズ切り替えレジスタ ... 50, 268
 IXS : 内部拡張RAMサイズ切り替えレジスタ ... 50, 269

【L】

- LCDC0 : LCDクロック制御レジスタ0 ... 227
 LCDM0 : LCD表示モード・レジスタ0 ... 226

【M】

MK0H	: 割り込みマスク・フラグ・レジスタ0H ...	246
MK0L	: 割り込みマスク・フラグ・レジスタ0L ...	246
MK1H	: 割り込みマスク・フラグ・レジスタ1H ...	246
MK1L	: 割り込みマスク・フラグ・レジスタ1L ...	246
MRM0	: MRサンプリング制御レジスタ0 ...	191

【P】

P0	: ポート0 ...	77
P2	: ポート2 ...	79
P3	: ポート3 ...	81
P4	: ポート4 ...	84
P5	: ポート5 ...	85
P6	: ポート6 ...	87
P7	: ポート7 ...	89
P8	: ポート8 ...	90
P9	: ポート9 ...	91
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	101
PF7	: ポート・ファンクション制御レジスタ7 ...	95, 227
PF8	: ポート・ファンクション制御レジスタ8 ...	95, 227
PF9	: ポート・ファンクション制御レジスタ9 ...	95, 227
PM0	: ポート・モード・レジスタ0 ...	92
PM2	: ポート・モード・レジスタ2 ...	92
PM3	: ポート・モード・レジスタ3 ...	92, 131, 199
PM4	: ポート・モード・レジスタ4 ...	92
PM5	: ポート・モード・レジスタ5 ...	92
PM6	: ポート・モード・レジスタ6 ...	92
PM8	: ポート・モード・レジスタ8 ...	92
PM9	: ポート・モード・レジスタ9 ...	92
PR0H	: 優先順位指定フラグ・レジスタ0H ...	247
PR0L	: 優先順位指定フラグ・レジスタ0L ...	247
PR1H	: 優先順位指定フラグ・レジスタ1H ...	247
PR1L	: 優先順位指定フラグ・レジスタ1L ...	247
PRM0	: プリスケアラ・モード・レジスタ0 ...	130
PSW	: プログラム・ステータス・ワード ...	56, 249
PU0	: プルアップ抵抗オプション・レジスタ0 ...	94
PU2	: プルアップ抵抗オプション・レジスタ2 ...	94
PU3	: プルアップ抵抗オプション・レジスタ3 ...	94
PU4	: プルアップ抵抗オプション・レジスタ4 ...	94
PU5	: プルアップ抵抗オプション・レジスタ5 ...	94
PU6	: プルアップ抵抗オプション・レジスタ6 ...	94
PU7	: プルアップ抵抗オプション・レジスタ7 ...	94
PU8	: プルアップ抵抗オプション・レジスタ8 ...	94

PU9 : プルアップ抵抗オプション・レジスタ9 ... 94

【R】

RTC1 : RTOリロード割り込みコンペア・レジスタ1 ... 117

RTM1 : RTO動作モード・レジスタ1 ... 117

RTO10 : RTOデータ・レジスタ10 ... 116

RTO11 : RTOデータ・レジスタ11 ... 116

RXB2 : 受信バッファ・レジスタ2 ... 202

【S】

SIO3 : シリアルI/Oシフト・レジスタ3 ... 217

SMD0 : SMTDサンプリング端子状態レジスタ0 ... 183

SMS0 : SMTDサンプリング・レベル設定レジスタ0 ... 183

【T】

TCM0 : MRTDコントロール・レジスタ0 ... 189

TCSA0 : SMTDクロック選択レジスタA0 ... 180

TCSB0 : SMTDクロック選択レジスタB0 ... 180

TICT2 : タイマ入力制御レジスタ2 ... 153

TM0 : 16ビット・タイマ・カウンタ0 ... 123

TM2 : 16ビット・タイマ・カウンタ2 ... 151

TM80 : 8ビット・タイマ・カウンタ80 ... 162

TM81 : 8ビット・タイマ・カウンタ81 ... 162

TM82 : 8ビット・タイマ・カウンタ82 ... 162

TM83 : 8ビット・タイマ・カウンタ83 ... 162

TMC0 : 16ビット・タイマ・モード・コントロール・レジスタ0 ... 126

TMC2 : タイマ・モード・コントロール・レジスタ2 ... 152

TMC80 : 8ビット・タイマ・コントロール・レジスタ80 ... 163

TMC81 : 8ビット・タイマ・コントロール・レジスタ81 ... 163

TMC82 : 8ビット・タイマ・コントロール・レジスタ82 ... 163

TMC83 : 8ビット・タイマ・コントロール・レジスタ83 ... 163

TMM0 : MRTD出力制御レジスタ0 ... 190

TMMR0 : 8ビットMRカウンタ0 ... 188

TOC0 : 16ビット・タイマ出力コントロール・レジスタ0 ... 129

TSM0 : SMTDコントロール・レジスタ0 ... 181

TXS2 : 送信シフト・レジスタ2 ... 202

【U】

UTCH0 : UART端子切り替えレジスタ ... 208

【W】

WDCS : ウォッチドッグ・タイマ・クロック選択レジスタ ... 172

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 173

付録D 改版履歴

D. 1 本版で改訂された主な箇所

箇所	内容
p.10	関連資料を変更
p.270	20. 3 フラッシュ・メモリ・プログラミング ・専用フラッシュ・ライター (Flashpro (FL-PR3), Flashpro (FL-PR4)) 専用フラッシュ・メモリ・プログラマ
pp.277, 281	21. 2 オペレーション一覧を変更
p.289	22. 3 確認票を変更
p.302	図A - 1 開発ツール構成を変更
p.305	A. 2 言語処理用ソフトウェアの備考を変更
p.305	A. 4 フラッシュ・メモリ書き込み用ツールを変更
p.306	A. 5 デバッグ用ツール (ハードウェア) を変更
p.307	A. 6 デバッグ用ツール (ソフトウェア) を変更

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

版 数	前版からの改版内容	適用箇所
第2版	<ul style="list-style-type: none"> ・以下のレジスタ名を変更 <ul style="list-style-type: none"> ・8ビット・カウンタ 8ビットMRカウンタ0 ・シリアル・モード・レジスタ3 シリアル動作モード・レジスタ3 ・LCD0モード・レジスタ LCD表示モード・レジスタ0 ・LCD0クロック選択レジスタ LCDクロック制御レジスタ0 ・メイン・システム・クロック発振周波数の略号をfx fccに変更 ・メイン・システム・クロックの動作周波数の例示を1.0 MHz 1.2 MHzに変更 ・最小命令実行時間の記述を変更 	全般
	第7章 16ビット・タイマ/イベント・カウンタ0から1.8 機能概要へタイマの概要の表を移動	第1章 概 説
	図2-3 VR _{OUT0} , VR _{OUT1} の接続例を変更	第2章 端子機能
	2.2 端子機能の説明の(23) IC0, IC1の記述を変更	
	表2-1 各端子の入出力回路タイプを変更	
	3.1.2 内部データ・メモリ空間 (1) 内部高速RAM, (2) 内部拡張RAMに説明文を追加	第3章 CPUアーキテクチャ
	図4-2 P00-P06のブロック図を変更	第4章 ポート機能
	図4-4 P22-P27のブロック図を追加	
	図4-5 P30, P32, P35のブロック図を追加	
	図4-6 P31, P37のブロック図を追加	
	図4-9 P50-P55のブロック図を追加	
	表4-4 マスクROM製品のマスク・オプションにRESET端子を追加	
	図5-1 クロック発生回路のブロック図を変更	第5章 クロック発生回路
	表5-2 各周辺ハードウェアへ供給されるシステム・クロックを追加	
	表5-3 CPUクロックと最小命令実行時間の関係を変更	
	図5-4 メイン・システム・クロック発振回路の外付け回路を変更	
	5.5.1 メイン・システム・クロックの動作を変更	
	5.6.2 システム・クロックとCPUクロックの切り替え手順を全面的に変更 <ul style="list-style-type: none"> ・図5-11 システム・クロックとCPUクロックの切り替えを変更 ・ ~ の記述を変更 ・注の記述を変更 ・注意1を追加, 注意2, 3の記述を変更 	
	第7章 16ビット・タイマ/イベント・カウンタ0からワンショット・パルス出力機能を削除	第7章 16ビット・タイマ/イベント・カウンタ0
	図7-1 16ビット・タイマ/イベント・カウンタ0のブロック図を変更	
	表7-2 TI00/TO0/P31端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガを変更	
	図7-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマットを変更	
	図7-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマットに注意4を追加	

版 数	前版からの改版内容	適用箇所	
第2版	図7-4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマットを変更	第7章 16ビット・タイマ/イベント・カウンタ0	
	図7-5 プリスケーラ・モード・レジスタ0 (PRM0) のフォーマットに注を追加		
	図7-11 PPG出力の構成図を追加		
	図7-12 PPG出力動作のタイミングを追加		
	図7-15 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) を変更		
	図7-17 立ち上がりエッジ指定時のCR01キャプチャ動作を変更		
	図7-18 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) を変更		
	図7-20 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) を変更		
	図7-22 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) を変更		
	7.6 注意事項 <ul style="list-style-type: none"> ・ 図7-30 キャプチャ・レジスタのデータ保持タイミングを変更 ・ 図7-31 OVFOフラグの動作タイミングを変更 ・ (9) キャプチャ動作についての ~ を追加 ・ (10) コンペア動作についての を変更 ・ (11) エッジ検出についての を追加 	第8章 16ビット・タイマ/イベント・カウンタ2	
	8.5.1 インターバル・タイマとしての動作に注意2を追加		
	図8-4 インターバル・タイマ動作のタイミング (内部クロック使用時) を変更		
	8.5.2 外部イベント・カウンタとしての動作に注意2を追加		
	図8-7 外部イベント・カウンタ動作のタイミングを変更		
	図8-8 16ビット・タイマ・カウンタ2 (TM2) のスタート・タイミングを変更		
	図9-6 インターバル・タイマ動作のタイミングを変更		第9章 8ビット・タイマ80-83
	図9-7 8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミングを変更		
	図10-1 ウォッチドッグ・タイマのブロック図を変更		第10章 ウォッチドッグ・タイマ
	11.3 サンプリング出力タイマ/ディテクタの構成の次の部分を変更 <ul style="list-style-type: none"> ・ 注を変更 ・ 注意を追加 	第11章 サンプリング出力タイマ/ディテクタ	
11.4 サンプリング出力タイマ/ディテクタを制御するレジスタ <ul style="list-style-type: none"> ・ 図11-4 SMTDコントロール・レジスタ0 (TSM0) のフォーマットに注意15, 16を追加 ・ (8) SMDTサンプリング・レベル設定レジスタ0 (SMS0) に注意を追加 			
図12-1 MRサンプリングのブロック図を変更	第12章 MRサンプリング機能		
12.3 MRサンプリングの構成の(2) MRTDコンペア・レジスタ0 (CRM0) に注意を追加			
図12-2 MRTDコントロール・レジスタ0 (TCM0) のフォーマットに注を追加			
図12-4 MRサンプリング制御レジスタ0 (MRM0) のフォーマットを変更			
12.6 位相検出回路の動作を変更			

版 数	前版からの改版内容	適用箇所
第2版	図13 - 1 クロック出力制御回路のブロック図を変更	第13章 クロック出力制御回路
	14.3 シリアル・インタフェースUART2を制御するレジスタの(2)通信動作 ・図14 - 7 アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミングを変更 ・図14 - 7 アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミングに注意3を追加 ・(d)受信に注を追加 ・図14 - 8 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを変更 ・図14 - 9 受信エラー・タイミングを変更 ・(f)受信中のRXE2のクリアを追加	第14章 シリアル・インタフェースUART2
	図16 - 3 LCD表示モード・レジスタ0(LCDM0)のフォーマットに注1,注意3を追加	第16章 LCDコントローラ/ドライバ
	図16 - 4 LCDクロック制御レジスタ0(LCDC0)のフォーマットに注意を追加	
	16.8 表示モードの項を全面的に修正	
	図17 - 2 割り込み要求フラグ・レジスタのフォーマットに注意3を追加	第17章 割り込み機能
	図18 - 1 スタンバイ機能を追加	第18章 スタンバイ機能
	18.2.2 HALTモードの解除に(2)ノンマスカブル割り込み要求による解除を追加	
	第19章 リセット機能の注意1を変更	第19章 リセット機能
	図19 - 2 RESET入力によるリセット・タイミングを変更	
	図19 - 3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更	
	図19 - 4 電源投入時のリセット・タイミングを追加	
	表19 - 1 各ハードウェアのリセット後の状態の注5を変更	
	第20章 μ PD78F0958(参考)を追加	第20章 μ PD78F0958(参考)
	第22章 サブHALTテスト・プログラムを追加	第22章 サブHALTテスト・プログラム
	第23章 電気的特性を追加	第23章 電気的特性
	第24章 外形図を追加	第24章 外形図
	第25章 半田付け推奨条件を追加	第25章 半田付け推奨条件
	付録A 開発ツールを変更	付録A 開発ツール
	付録B ターゲット・システム設計上の注意を追加	付録B ターゲット・システム設計上の注意
	付録D 改版履歴を追加	付録D 改版履歴
第2版 (修正版)	22.2 サブHALTテスト・プログラムのフロー・チャートを修正	第22章 サブHALTテスト・プログラム

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。