

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

μPD789800サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789800

μPD78F9801

資料番号 U12978JJ3V3UD00 (第3版)

発行年月 August 2005 N CP(K)

© NEC Electronics Corporation 1997, 2002

(メモ)

目次要約

第1章	概 説	...	22
第2章	端子機能	...	29
第3章	CPUアーキテクチャ	...	36
第4章	ポート機能	...	58
第5章	クロック発生回路	...	74
第6章	8ビット・タイマ/イベント・カウンタ00, 01	...	81
第7章	ウォッチドッグ・タイマ	...	93
第8章	USBファンクション	...	99
第9章	シリアル・インタフェース10	...	159
第10章	レギュレータ	...	167
第11章	割り込み機能	...	168
第12章	スタンバイ機能	...	183
第13章	リセット機能	...	191
第14章	μ PD78F9801	...	195
第15章	命令セットの概要	...	205
第16章	電気的特性	...	216
第17章	外形図	...	225
第18章	半田付け推奨条件	...	226
付録A	開発ツール	...	227
付録B	レジスタ索引	...	235
付録C	改版履歴	...	240

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9801

ユーザ判定品 : μ PD789800

- 本資料に記載されている内容は2005年8月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所 (1/2)

箇 所	内 容
全 般	CUタイプとGB-3BSタイプのパッケージを削除 μ PD78F9801を開発中から開発済みに変更
p.22	1. 1 特徴のフラッシュ・メモリ書き込み時の動作周囲温度を変更
p.28	1. 7 機能概要にタイマの概要を追加
p.30, 32-34	REGC端子, V _{PP} 端子の端子処理を変更
p.36, 37	図3 - 1 メモリ・マップ (μ PD789800) , 図3 - 2 メモリ・マップ (μ PD78F9801) のアドレス値を訂正
p.76	図5 - 3 システム・クロック発振回路の外付け回路の (b) 外部クロックを変更
p.100, 107, 109, 111, 113-116, 118-122, 124, 129, 131, 132, 134, 135-144	第8章 USBファンクション <ul style="list-style-type: none"> ・章構成を変更 ・バッファ名称を受信トークン・バンク, 受信データ・バンク, 送信データ・バンク0, 1に表記統一 ・受信時と送信時のイメージ図を追加 ・SETUP受信時のレジスタ値を追加 ・データ・ハンドシェーク・パケット受信モード・レジスタ (URXMOD) の記述を変更 ・パケット受信ステータス・レジスタ (RXSTAT) の説明文を追加し, Read Onlyビットを変更 ・トークン・パケット受信結果格納レジスタ (TRXRSL) の注釈文を追加 ・データ・パケット送信予約レジスタ (DTXRSV) に注意文を追加 ・ハンドシェーク・パケット送信予約レジスタ (HTXRSV) のビット1 (DNAEN) の説明を変更 ・表8 - 3 送信予約の際の条件のフラグ名誤記を訂正 ・8. 5. 2 リモート・ウエイク・アップ制御の動作の内容を全面変更 ・表8 - 4 USBファンクションからの割り込み要因一覧を追加 ・8. 6 USBファンクションからの割り込み要求でのフラグ名誤記を訂正 ・USBリセット / Resume検出割り込み (INTUSBRE) の説明文を追加 ・8. 7 USBファンクションの制御を追加
p.167	図10 - 1 レギュレータ, USBドライバ/レシーバの構成図とその注意文を修正
p.169	表11 - 1 割り込み要因一覧にウォッチドッグ・タイマ割り込みの備考文を追加
p.172	図11 - 2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加
p.190	12. 2. 2 STOPモードに (3) STOP命令実行時の注意事項を追加
p.196-204	フラッシュ・メモリ・プログラミングに関する内容を, 14. 1 フラッシュ・メモリの特徴として全面改訂
p.216-224	第16章 電気的特性を追加
p.225	第17章 外形図を追加
p.226	第18章 半田付け推奨条件を追加
p.227-234	付録A 開発ツールの内容を全面改訂 組み込み用ソフトウェアを削除, ターゲット・システム設計上の注意を追加
p.240, 241	付録C 改版履歴に第3版での改版内容を追加

本版で改訂された主な箇所 (2/2)

箇所	内容
修正版 (U12978JJ3V1UD00) で改訂された主な箇所	
p.130	図8 - 21 リモート・ウエイク・アップ制御の動作フロー・チャートの注釈文を修正
修正版 (U12978JJ3V3UD00) で改訂された主な箇所	
p.22, 23	第1章 概 説 ・鉛フリー製品を追加
p.226	第18章 半田付け推奨条件 ・表18 - 1 表面実装タイプの半田付け条件で、鉛フリー製品の半田付け条件を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは μ PD789800サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。

・ μ PD789800サブシリーズ： μ PD789800, 78F9801

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789800サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789800サブシリーズ
ユーザズ・マニュアル

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

78K/0Sシリーズ
ユーザズ・マニュアル
命令編

CPU機能
命令セット
命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編（U11047J）**を参照してください。

μ PD789800サブシリーズの電気的特性を知りたいとき

第16章 電気的特性を参照してください。

凡例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxx または xxx_B 10進数... xxx 16進数... xxx_H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789800サブシリーズ ユーザーズ・マニュアル	このマニュアル	U12978E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編（Windows®ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）	U14610J	U14610E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789801-NS-EM1 エミュレーション・ボード	U13390J	U13390E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 22

- 1.1 特 徴 ... 22
- 1.2 応用分野 ... 22
- 1.3 オータ情報 ... 22
- 1.4 端子接続図 (Top View) ... 23
- 1.5 78K/0Sシリーズの展開 ... 24
- 1.6 ブロック図 ... 27
- 1.7 機能概要 ... 28

第2章 端子機能 ... 29

- 2.1 端子機能一覧 ... 29
- 2.2 端子機能の説明 ... 31
 - 2.2.1 P00-P07 (Port0) ... 31
 - 2.2.2 P10-P17 (Port1) ... 31
 - 2.2.3 P20-P26 (Port2) ... 31
 - 2.2.4 P40-P47 (Port4) ... 32
 - 2.2.5 $\overline{\text{RESET}}$... 32
 - 2.2.6 X1, X2 ... 32
 - 2.2.7 REGC ... 32
 - 2.2.8 USBDM ... 32
 - 2.2.9 USBDP ... 32
 - 2.2.10 V_{DD0}, V_{DD1} ... 32
 - 2.2.11 V_{SS0}, V_{SS1} ... 32
 - 2.2.12 V_{PP} (μ PD78F9801のみ) ... 33
 - 2.2.13 IC (マスクROM製品のみ) ... 33
- 2.3 端子の入出力回路と未使用端子の処理 ... 34

第3章 CPUアーキテクチャ ... 36

- 3.1 メモリ空間 ... 36
 - 3.1.1 内部プログラム・メモリ空間 ... 38
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 38
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 38
 - 3.1.4 データ・メモリ・アドレッシング ... 39
- 3.2 プロセッサ・レジスタ ... 41
 - 3.2.1 制御レジスタ ... 41
 - 3.2.2 汎用レジスタ ... 44
 - 3.2.3 特殊機能レジスタ (SFR) ... 45
- 3.3 命令アドレスのアドレッシング ... 49
 - 3.3.1 レラティブ・アドレッシング ... 49
 - 3.3.2 イミーディエト・アドレッシング ... 50
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 51

- 3.3.4 レジスタ・アドレッシング ... 51
- 3.4 オペランド・アドレスのアドレッシング ... 52
 - 3.4.1 ダイレクト・アドレッシング ... 52
 - 3.4.2 ショート・ダイレクト・アドレッシング ... 53
 - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 54
 - 3.4.4 レジスタ・アドレッシング ... 55
 - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 56
 - 3.4.6 ベースト・アドレッシング ... 57
 - 3.4.7 スタック・アドレッシング ... 57

第4章 ポート機能 ... 58

- 4.1 ポートの機能 ... 58
- 4.2 ポートの構成 ... 60
 - 4.2.1 ポート0 ... 61
 - 4.2.2 ポート1 ... 62
 - 4.2.3 ポート2 ... 63
 - 4.2.4 ポート4 ... 69
- 4.3 ポート機能を制御するレジスタ ... 70
- 4.4 ポート機能の動作 ... 73
 - 4.4.1 入出力ポートへの書き込み ... 73
 - 4.4.2 入出力ポートからの読み出し ... 73
 - 4.4.3 入出力ポートでの演算 ... 73

第5章 クロック発生回路 ... 74

- 5.1 クロック発生回路の機能 ... 74
- 5.2 クロック発生回路の構成 ... 74
- 5.3 クロック発生回路を制御するレジスタ ... 75
- 5.4 システム・クロック発振回路 ... 76
 - 5.4.1 システム・クロック発振回路 ... 76
 - ★ 5.4.2 発振子の接続の悪い例 ... 77
 - 5.4.3 分周回路 ... 78
- 5.5 クロック発生回路の動作 ... 79
- 5.6 CPUクロックの設定の変更 ... 80
 - 5.6.1 CPUクロックの切り替えに要する時間 ... 80
 - 5.6.2 CPUクロックの切り替え手順 ... 80

第6章 8ビット・タイマ/イベント・カウンタ00, 01 ... 81

- 6.1 8ビット・タイマ/イベント・カウンタ00, 01の機能 ... 81
- 6.2 8ビット・タイマ/イベント・カウンタ00, 01の構成 ... 82
- 6.3 8ビット・タイマ/イベント・カウンタ00, 01を制御するレジスタ ... 84
- 6.4 8ビット・タイマ/イベント・カウンタ00, 01の動作 ... 87
 - 6.4.1 インターバル・タイマとしての動作 ... 87
 - 6.4.2 外部イベント・カウンタとしての動作 (タイマ01のみ) ... 89
 - 6.4.3 方形波出力としての動作 (タイマ01のみ) ... 90
- 6.5 8ビット・タイマ/イベント・カウンタ00, 01の注意事項 ... 92

第7章 ウォッチドッグ・タイマ ... 93

- 7.1 ウォッチドッグ・タイマの機能 ... 93
- 7.2 ウォッチドッグ・タイマの構成 ... 94
- 7.3 ウォッチドッグ・タイマを制御するレジスタ ... 95
- 7.4 ウォッチドッグ・タイマの動作 ... 97
 - 7.4.1 ウォッチドッグ・タイマとしての動作 ... 97
 - 7.4.2 インターバル・タイマとしての動作 ... 98

第8章 USBファンクション ... 99

- 8.1 USBの概要 ... 99
- 8.2 USBファンクションの特徴 ... 100
- 8.3 USBファンクションの構成 ... 101
- 8.4 USBファンクションを制御するレジスタ ... 113
- 8.5 USBファンクションの動作 ... 126
 - 8.5.1 USBタイマの動作 ... 126
 - 8.5.2 リモート・ウエイク・アップ制御の動作 ... 129
- 8.6 USBファンクションからの割り込み要求 ... 131
 - 8.6.1 割り込み要因 ... 131
 - 8.6.2 割り込み使用時の注意 ... 134
- 8.7 USBファンクションの制御 ... 135
 - 8.7.1 パケットと動作モードの関連 ... 135
 - 8.7.2 割り込みによる処理の流れ ... 141
- 8.8 USBファンクションの内部回路動作 ... 145
 - 8.8.1 送受信ポインタの動作 ... 145
 - 8.8.2 受信バンク切り替えID検出バッファの動作 ... 152
 - 8.8.3 Sync検出 / USBCLK検出回路の動作 ... 153
 - 8.8.4 NRZIエンコーダの動作 ... 155
 - 8.8.5 ビット・スタッフ / ストリップ制御回路の動作 ... 156

第9章 シリアル・インタフェース10 ... 159

- 9.1 シリアル・インタフェース10の機能 ... 159
- 9.2 シリアル・インタフェース10の構成 ... 160
- 9.3 シリアル・インタフェース10を制御するレジスタ ... 162
- 9.4 シリアル・インタフェース10の動作 ... 164
 - 9.4.1 動作停止モード ... 164
 - 9.4.2 3線式シリアルI/Oモード ... 165

第10章 レギュレータ ... 167

第11章 割り込み機能 ... 168

- 11.1 割り込み機能の種類 ... 168
- 11.2 割り込み要因と構成 ... 168
- 11.3 割り込み機能を制御するレジスタ ... 171
- 11.4 割り込み処理動作 ... 176

- 11.4.1 ノンマスカブル割り込みの受け付け動作 ... 176
- 11.4.2 マスカブル割り込みの受け付け動作 ... 178
- 11.4.3 多重割り込み処理 ... 180
- 11.4.4 割り込み要求の保留 ... 182

第12章 スタンバイ機能 ... 183

- 12.1 スタンバイ機能と構成 ... 183
 - 12.1.1 スタンバイ機能 ... 183
 - 12.1.2 スタンバイ機能を制御するレジスタ ... 184
- 12.2 スタンバイ機能の動作 ... 185
 - 12.2.1 HALTモード ... 185
 - 12.2.2 STOPモード ... 188

第13章 リセット機能 ... 191

第14章 μ PD78F9801 ... 195

- ★ 14.1 フラッシュ・メモリの特徴 ... 196
 - 14.1.1 プログラミング環境 ... 196
 - 14.1.2 通信方式 ... 197
 - 14.1.3 オンボード上の端子処理 ... 200
 - 14.1.4 フラッシュ書き込み用アダプタ上の接続 ... 203

第15章 命令セットの概要 ... 205

- 15.1 オペレーション ... 205
 - 15.1.1 オペランドの表現形式と記述方法 ... 205
 - 15.1.2 オペレーション欄の説明 ... 206
 - 15.1.3 フラグ動作欄の説明 ... 206
- 15.2 オペレーション一覧 ... 207
- 15.3 アドレッシング別命令一覧 ... 213

★ 第16章 電気的特性 ... 216

★ 第17章 外形図 ... 225

★ 第18章 半田付け推奨条件 ... 226

付録A 開発ツール ... 227

- ★ A.1 ソフトウェア・パッケージ ... 229
- A.2 言語処理用ソフトウェア ... 229
- ★ A.3 制御ソフトウェア ... 230
- A.4 フラッシュ・メモリ書き込み用ツール ... 230
- A.5 デバッグ用ツール(ハードウェア) ... 231
- A.6 デバッグ用ツール(ソフトウェア) ... 232

★ A.7 ターゲット・システム設計上の注意 ... 233

付録B レジスタ索引 ... 235

B.1 レジスタ索引（50音順） ... 235

B.2 レジスタ索引（アルファベット順） ... 237

付録C 改版履歴 ... 240

図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 35
3 - 1	メモリ・マップ (μ PD789800) ... 36
3 - 2	メモリ・マップ (μ PD78F9801) ... 37
3 - 3	データ・メモリのアドレッシング (μ PD789800) ... 39
3 - 4	データ・メモリのアドレッシング (μ PD78F9801) ... 40
3 - 5	プログラム・カウンタの構成 ... 41
3 - 6	プログラム・ステータス・ワードの構成 ... 41
3 - 7	スタック・ポインタの構成 ... 43
3 - 8	スタック・メモリへ退避されるデータ ... 43
3 - 9	スタック・メモリから復帰されるデータ ... 43
3 - 10	汎用レジスタの構成 ... 44
4 - 1	ポートの種類 ... 58
4 - 2	P00-P07のブロック図 ... 61
4 - 3	P10-P17のブロック図 ... 62
4 - 4	P20のブロック図 ... 63
4 - 5	P21のブロック図 ... 64
4 - 6	P22のブロック図 ... 65
4 - 7	P23, P24のブロック図 ... 66
4 - 8	P25のブロック図 ... 67
4 - 9	P26のブロック図 ... 68
4 - 10	P40-P47のブロック図 ... 69
4 - 11	ポート・モード・レジスタのフォーマット ... 70
4 - 12	プルアップ抵抗オプション・レジスタ0のフォーマット ... 71
4 - 13	ポート出力モード・レジスタ0のフォーマット ... 72
4 - 14	ポート出力モード・レジスタ1のフォーマット ... 72
5 - 1	クロック発生回路のブロック図 ... 74
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 75
5 - 3	システム・クロック発振回路の外付け回路 ... 76
5 - 4	発振子の接続の悪い例 ... 77
5 - 5	CPUクロックの切り替え ... 80
6 - 1	8ビット・タイマ00のブロック図 ... 82
6 - 2	8ビット・タイマ/イベント・カウンタ01のブロック図 ... 83
6 - 3	8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 84
6 - 4	8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット ... 85
6 - 5	ポート・モード・レジスタ2のフォーマット ... 86

図の目次 (2/4)

図番号	タイトル, ページ
6 - 6	8ビット・タイマ00のインターバル・タイマ動作のタイミング ... 88
6 - 7	8ビット・タイマ/イベント・カウンタ01のインターバル・タイマ動作のタイミング ... 88
6 - 8	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 89
6 - 9	方形波出力のタイミング ... 91
6 - 10	8ビット・タイマ・カウンタのスタート・タイミング ... 92
6 - 11	外部イベント・カウンタとしての動作時のタイミング ... 92
7 - 1	ウォッチドッグ・タイマのブロック図 ... 94
7 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 95
7 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 96
8 - 1	USBバス・トポロジー (デスクトップ・パソコンの例) ... 99
8 - 2	USBファクションのブロック図 ... 102
8 - 3	USBタイマのブロック図 ... 103
8 - 4	受信トークン・バンクの構成 ... 105
8 - 5	受信データ・バンクの構成 ... 106
8 - 6	送信データ・バンク0の構成 (バッファ0) ... 108
8 - 7	送信データ・バンク1の構成 (バッファ1) ... 108
8 - 8	TIDCMP, ADRCMPの構成 ... 111
8 - 9	DIDCMPの構成 ... 112
8 - 10	USBレシーバ・イネーブル・レジスタのフォーマット ... 113
8 - 11	データ/ハンドシェーク・パケット受信モード・レジスタのフォーマット ... 114
8 - 12	パケット受信ステータス・レジスタのフォーマット ... 116
8 - 13	データ/ハンドシェーク・パケット受信結果格納レジスタのフォーマット ... 117
8 - 14	トークン・パケット受信結果格納レジスタのフォーマット ... 118
8 - 15	データ・パケット送信予約レジスタのフォーマット ... 119
8 - 16	ハンドシェーク・パケット送信予約レジスタのフォーマット ... 120
8 - 17	ハンドシェーク・パケット送信予約レジスタの構成 ... 123
8 - 18	USBタイマ・スタート予約制御レジスタのフォーマット ... 124
8 - 19	リモート・ウエイク・アップ制御レジスタのフォーマット ... 125
8 - 20	USBタイマの動作フロー・チャート ... 127
8 - 21	リモート・ウエイク・アップ制御の動作フロー・チャート ... 129
8 - 22	リモート・ウエイク・アップ制御の構成図 ... 130
8 - 23	データ/ハンドシェーク・パケット受信割り込み要求の発生タイミング ... 132
8 - 24	INTUSBREの発生タイミング ... 133
8 - 25	送受信ポインタの動作フロー・チャート ... 145
8 - 26	受信バンク切り替えID検出バッファの動作フロー・チャート ... 152
8 - 27	Sync検出/USBCLK検出回路の動作タイミング ... 153
8 - 28	Sync検出/USBCLK生成動作タイミング ... 153

図の目次 (3/4)

図番号	タイトル, ページ
8 - 29	Sync検出 / USBCLK検出回路の動作フロー・チャート ... 154
8 - 30	NRZIエンコーダの動作タイミング ... 155
8 - 31	NRZIエンコーダの動作フロー・チャート ... 155
8 - 32	ビット・スタッフ / ストリップ制御回路の動作タイミング ... 156
8 - 33	ビット・スタッフ制御の動作フロー・チャート ... 157
8 - 34	ビット・ストリップ制御の動作フロー・チャート ... 158
9 - 1	シリアル・インタフェース10のブロック図 ... 161
9 - 2	シリアル動作モード・レジスタ10のフォーマット ... 162
9 - 3	3線式シリアルI/Oモードのタイミング ... 166
10 - 1	レギュレータ, USBドライバ / レシーバの構成図 ... 167
11 - 1	割り込み機能の基本構成 ... 170
11 - 2	割り込み要求フラグ・レジスタのフォーマット ... 172
11 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 173
11 - 4	外部割り込みモード・レジスタ0のフォーマット ... 173
11 - 5	プログラム・ステータス・ワードの構成 ... 174
11 - 6	キー・リターン・モード・レジスタ00のフォーマット ... 175
11 - 7	立ち下がりエッジの検出回路のブロック図 ... 175
11 - 8	ノンマスクابل割り込み要求の受け付けフロー・チャート ... 177
11 - 9	ノンマスクابل割り込み要求の受け付けタイミング ... 177
11 - 10	ノンマスクابل割り込み要求の受け付け動作 ... 177
11 - 11	割り込み受け付け処理アルゴリズム ... 178
11 - 12	割り込み要求の受け付けタイミング (MOV A, rの例) ... 179
11 - 13	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 179
11 - 14	多重割り込みの例 ... 181
12 - 1	発振安定時間選択レジスタのフォーマット ... 184
12 - 2	HALTモードの割り込み発生による解除 ... 186
12 - 3	HALTモードのRESET \bar 入力による解除 ... 187
12 - 4	STOPモードの割り込み発生による解除 ... 189
12 - 5	STOPモードのRESET \bar 入力による解除 ... 190
13 - 1	リセット機能のブロック図 ... 191
13 - 2	RESET \bar 入力によるリセット・タイミング ... 192
13 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 192

図の目次 (4/4)

図番号	タイトル, ページ
13 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 192
14 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 196
14 - 2	通信方式選択フォーマット ... 197
14 - 3	専用フラッシュ・ライターとの接続例 ... 198
14 - 4	V _{PP} 端子の接続例 ... 200
14 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 201
14 - 6	ほかのデバイスの異常動作 ... 201
14 - 7	信号の衝突 (RESET端子) ... 202
14 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 203
14 - 9	疑似3線式方式でのフラッシュ書き込み用アダプタ配線例 ... 204
A - 1	開発ツール構成 ... 228
A - 2	インサーキット・エミュレータから変換アダプタまでの距離 ... 233
A - 3	ターゲット・システムの接続条件 (NP-H44GB-TQの場合) ... 234

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプ ... 34
3 - 1	ベクタ・テーブル ... 38
3 - 2	特殊機能レジスタ一覧 ... 46
4 - 1	ポートの機能 ... 59
4 - 2	ポートの構成 ... 60
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 71
5 - 1	クロック発生回路の構成 ... 74
5 - 2	CPUクロックの切り替えに要する最大時間 ... 80
6 - 1	8ビット・タイマ00のインターバル時間 ... 81
6 - 2	8ビット・タイマ/イベント・カウンタ01のインターバル時間 ... 81
6 - 3	8ビット・タイマ/イベント・カウンタ01の方形波出力範囲 ... 82
6 - 4	8ビット・タイマ/イベント・カウンタ00, 01の構成 ... 82
6 - 5	8ビット・タイマ00のインターバル時間 ... 87
6 - 6	8ビット・タイマ/イベント・カウンタ01のインターバル時間 ... 87
6 - 7	8ビット・タイマ/イベント・カウンタ01の方形波出力範囲 ... 90
7 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 93
7 - 2	インターバル時間 ... 93
7 - 3	ウォッチドッグ・タイマの構成 ... 94
7 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 97
7 - 5	インターバル・タイマのインターバル時間 ... 98
8 - 1	USBファンクションの構成 ... 101
8 - 2	USBリセット信号およびResume信号受信後のRXSTATの各フラグ ... 117
8 - 3	送信予約の際の条件 ... 121
8 - 4	USBファンクションからの割り込み要因一覧 ... 131
9 - 1	シリアル・インタフェース10の構成 ... 160
9 - 2	シリアル・インタフェース10の動作モードの設定一覧 ... 163
11 - 1	割り込み要因一覧 ... 169
11 - 2	割り込み要求信号名に対する各種フラグ ... 171
11 - 3	マスカブル割り込み要求発生から処理までの時間 ... 178
12 - 1	HALTモード時の動作状態 ... 185

表の目次 (2/2)

表番号	タイトル, ページ
12 - 2	HALTモードの解除後の動作 ... 187
12 - 3	STOPモード時の動作状態 ... 188
12 - 4	STOPモードの解除後の動作 ... 190
13 - 1	各ハードウェアのリセット後の状態 ... 193
14 - 1	μ PD78F9801とマスクROM製品の違い ... 195
14 - 2	通信方式一覧 ... 197
14 - 3	端子接続一覧 ... 199
15 - 1	オペランドの表現形式と記述方法 ... 205
18 - 1	表面実装タイプの半田付け条件 ... 226

第1章 概 説

1.1 特 徴

USBファンクション内蔵

- ・ Hub, Hostと接続することで, USB (Universal Serial Bus) を実現
- ・ 転送速度: 1.5 Mbps (システム・クロック6.0 MHz動作)

レギュレータ内蔵

USBドライバ/レシーバ専用のバス電源 ($V_{REG} = 3.3 \pm 0.3 V$) で, USBポート電圧を制御

ROM, RAM内蔵

- ・ 内部ROM/フラッシュ・メモリ (μ PD78F9801のみ) : 8 Kバイト/16 Kバイト
- ・ 内部高速RAM : 256バイト

高速 ($0.33 \mu s$) と低速 ($1.33 \mu s$) に最小命令実行時間を変更可能 (システム・クロック6.0 MHz動作時)

I/Oポート: 31本

シリアル・インタフェース: 2チャンネル

- ・ USBファンクション : 1チャンネル
- ・ 3線式シリアルI/Oモード: 1チャンネル

タイマ: 3チャンネル

- ・ 8ビット・タイマ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

キー・リターン信号検出回路内蔵

ベクタ割り込み要因: 12

電源電圧: $V_{DD} = 4.0 \sim 5.5 V$

動作周囲温度: $T_A = -40 \sim +85$ (USB動作時以外)

$T_A = 0 \sim +70$ (USB動作時)

★ $T_A = 10 \sim 40$ (フラッシュ・メモリ書き込み時)

1.2 応用分野

USBキーボードなど

★ 1.3 オータ情報

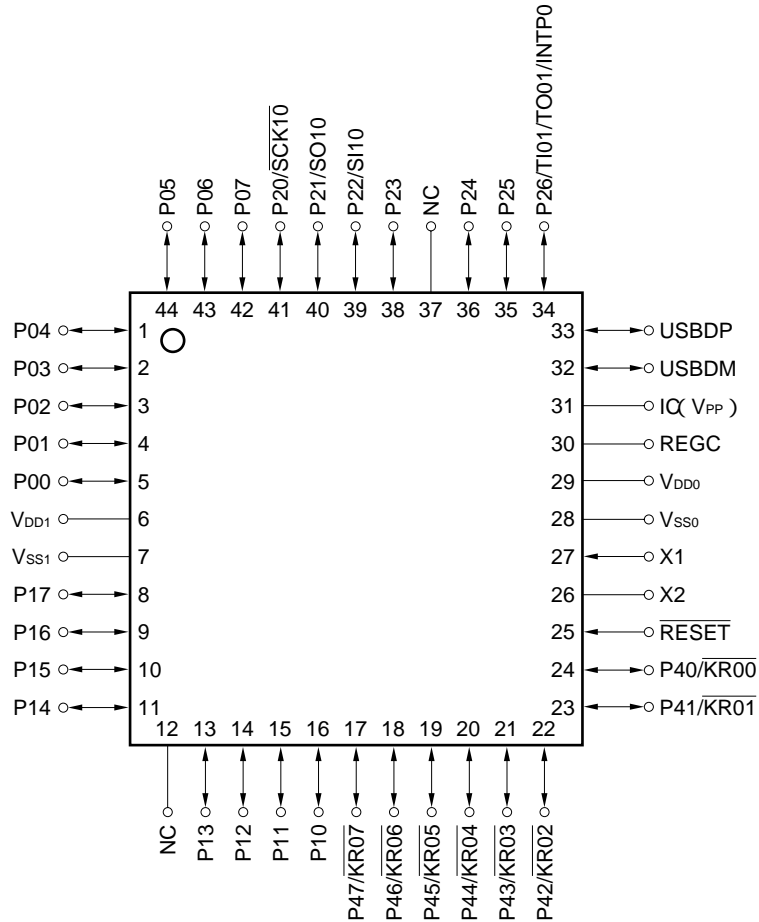
オータ名称	パッケージ	内部ROM
μ PD789800GB- $x \times x$ -8ES	44ピン・プラスチックLQFP (10x10)	マスクROM
μ PD78F9801GB-8ES	44ピン・プラスチックLQFP (10x10)	フラッシュ・メモリ
μ PD789800GB- $x \times x$ -8ES-A	44ピン・プラスチックLQFP (10x10)	マスクROM
μ PD78F9801GB-8ES-A	44ピン・プラスチックLQFP (10x10)	フラッシュ・メモリ

備考1. オータ名称末尾「-A」の製品は, 鉛フリー製品です。

2. $x \times x$ はROMコード番号です。

1.4 端子接続図 (Top View)

- ★ ・44ピン・プラスチックLQFP (10x10)
 - μ PD789800GB- x x x -8ES μ PD78F9801GB-8ES
 - ★ μ PD789800GB- x x x -8ES-A μ PD78F9801GB-8ES-A



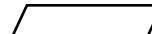

- 注意1. IC端子はV_{SS0}端子に直接接続してください。
2. V_{PP}端子は、通常動作モード時はV_{SS0}端子に直接接続してください。

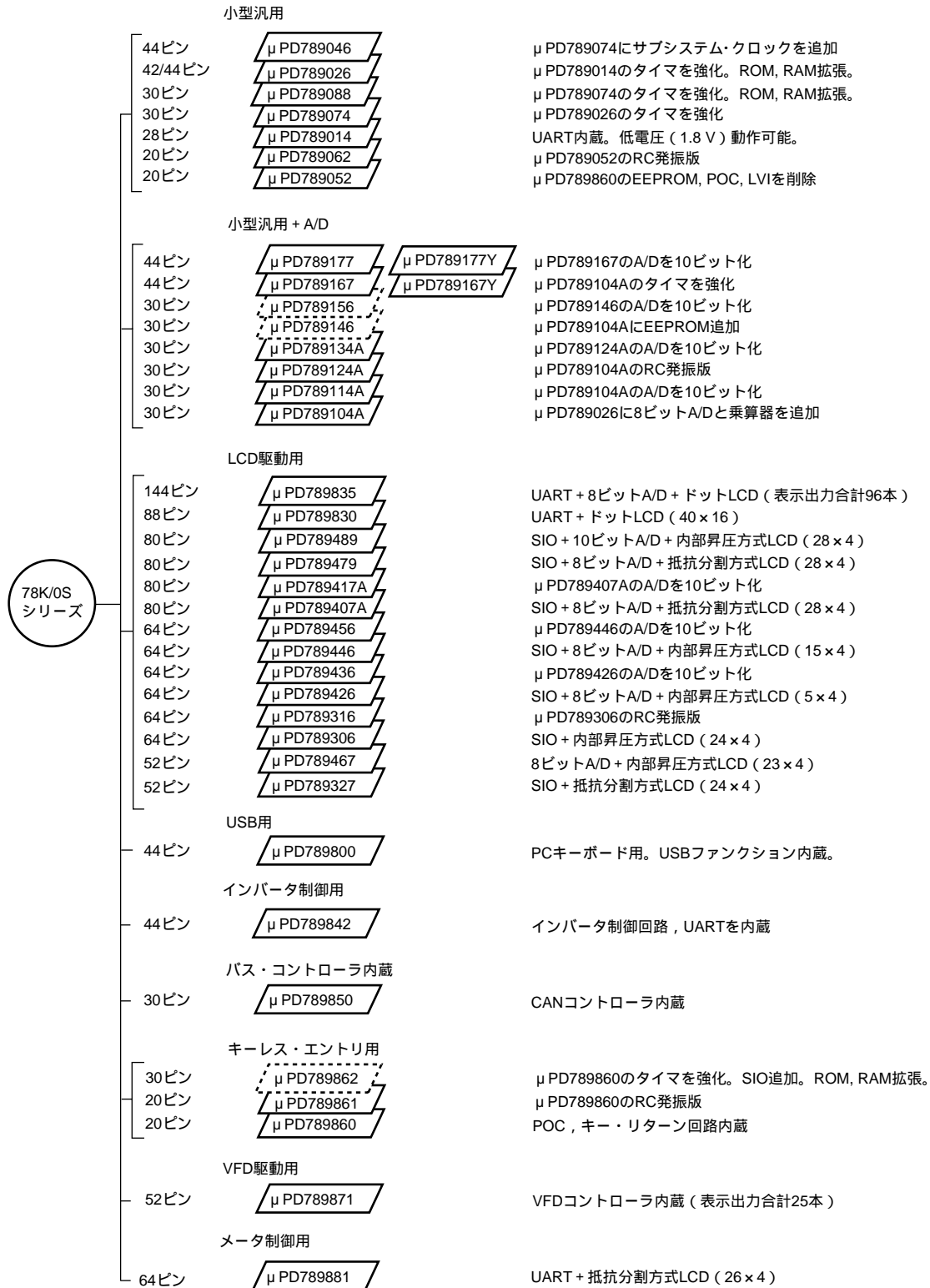
備考 () 内は、 μ PD78F9801のとき。

IC	: Internally Connected	SI10	: Serial Data Input
INTP0	: Interrupt from Peripherals	SO10	: Serial Data Output
KR00-KR07	: Key Return	TI01	: Timer Input
NC	: No Connection	TO01	: Timer Output
P00-P07	: Port0	USBDM, USBDP	: Universal Serial Bus Data
P10-P17	: Port1	V _{DD0}	: Port Power Supply
P20-P26	: Port2	V _{DD1}	: Power Supply
P40-P47	: Port4	V _{PP}	: Programming Power Supply
RESET	: Reset	V _{SS0}	: Port Ground
REGC	: Voltage Regulator for USB Function	V _{SS1}	: Ground
SCK10	: Serial Clock Input/Output	X1, X2	: Crystal

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品  開発中の製品
YサブシリーズはSMB対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-	
	μPD789026	4 K-16 K											
	μPD789088	16 K-32 K	3 ch							24本			
	μPD789074	2 K-8 K	1 ch										
	μPD789014	2 K-4 K	2 ch	-						22本			
	μPD789062	4 K							-	14本		RC発振版	
	μPD789052										-		
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-	
	μPD789167						8 ch	-				-	
	μPD789156	8 K-16 K	1 ch				-	4 ch		20本		EEEPROM内蔵	
	μPD789146						4 ch	-				-	
	μPD789134A	2 K-8 K					-	4 ch				RC発振版	
	μPD789124A						4 ch	-				-	
	μPD789114A						-	4 ch				-	-
	μPD789104A						4 ch	-				-	-
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD	
	μPD789830	24 K	1 ch	1 ch			-			30本		2.7 V	対応
	μPD789489	32 K-48 K	3 ch				8 ch	-	2 ch (UART : 1ch)	45本	1.8 V	-	
	μPD789479	24 K-48 K					8 ch	-				-	
	μPD789417A	12 K-24 K	2 ch				-	7 ch	1 ch (UART : 1ch)	43本		-	
	μPD789407A	7 ch					-	-					
	μPD789456	12 K-16 K					-	6 ch				30本	-
	μPD789446	6 ch					-	-					
	μPD789436	-					6 ch	40本					-
	μPD789426	6 ch					-						-
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版	
	μPD789306												-
	μPD789467	4 K-24 K					1 ch		-	18本			
	μPD789327						-		1 ch	21本			

注 フラッシュ・メモリ版 : 3.0 V

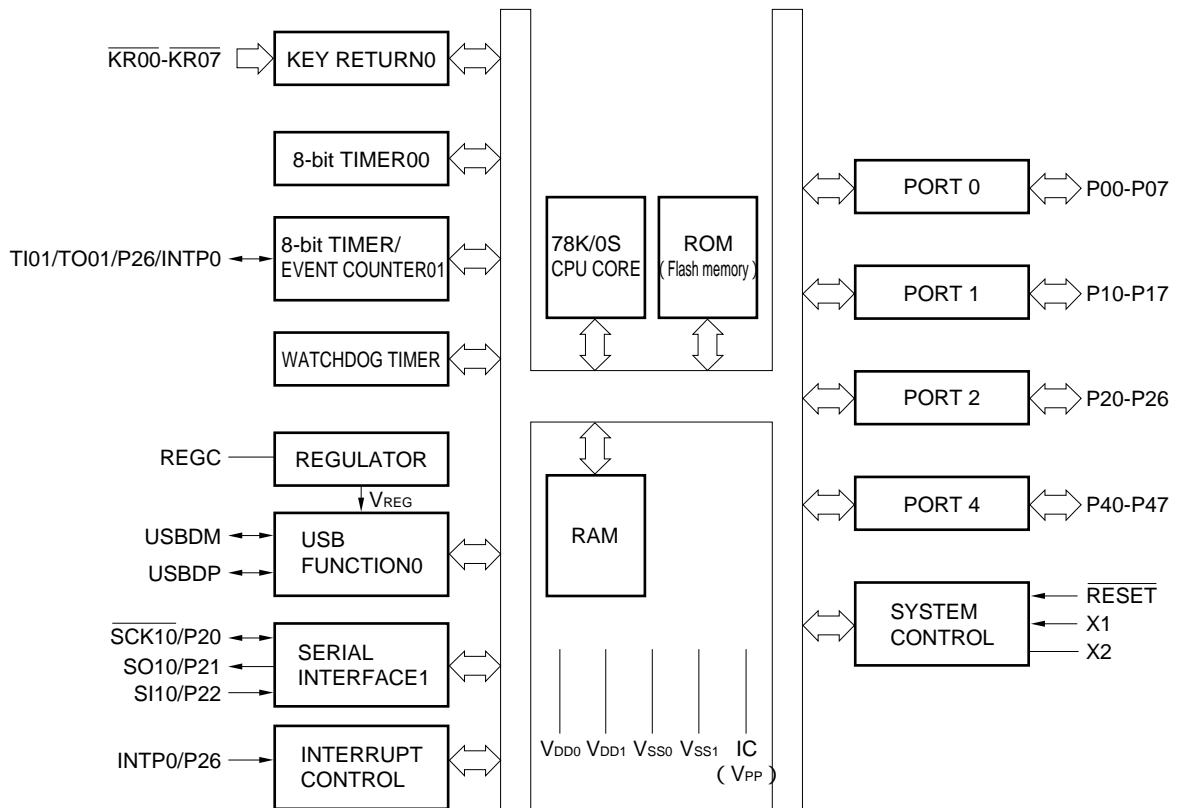
ASSP用シリーズ

機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μPD789850	16 K	1 ch	1 ch	-	1 ch	4 ch	-	2 ch (UART : 1ch)	18本	4.0 V	-
キーレス ・エント リ用 μPD789861 μPD789860 μPD789862	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵
	16 K	1 ch	2 ch	-	-	-	-	1 ch (UART : 1ch)	22本		EEPROM内蔵
	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本		2.7 V
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

1.6 ブロック図



備考 ()内は, μ PD78F9801のとき。

1.7 機能概要

品 名		μ PD789800	μ PD78F9801
内部メモリ	ROM	マスクROM 8 Kバイト	フラッシュ・メモリ 16 Kバイト
	高速RAM	256バイト	
最小命令実行時間		0.33 μ s/1.33 μ s (システム・クロック : 6.0 MHz動作)	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 	
I/Oポート		CMOS入出力 : 31本 (このうち18本がN-chオープン・ドレイン入出力に切り替え可能)	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ USB (Universal Serial Bus) ファンクション : 1チャンネル ・ 3線式シリアルI/Oモード : 1チャンネル 	
タイマ		<ul style="list-style-type: none"> ・ 8ビット・タイマ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
レギュレータ		内蔵 ($V_{REG} = 3.3 \pm 0.3 V$)	
ベクタ 割り込み要因	マスカブル	内部 : 9, 外部 : 2	
	ノンマスカブル	内部 : 1	
電源電圧		$V_{DD} = 4.0 \sim 5.5 V$	
動作周囲温度		<ul style="list-style-type: none"> ・ $T_A = -40 \sim +85$ (USB動作時以外) ・ $T_A = 0 \sim +70$ (USB動作時) ・ $T_A = 10 \sim 40$ (フラッシュ・メモリ書き込み時) 	
パッケージ		44ピン・プラスチックLQFP (10x10)	

★ 次にタイマの概要を示します。

		8ビット・タイマ00	8ビット・タイマ/イベント・ カウンタ01	ウォッチドッグ・タイマ
動作モード	インターバル・ タイマ	1チャンネル	1チャンネル	1チャンネル ^注
	外部イベント・ カウンタ	-	1チャンネル	-
機能	タイマ出力	-	1出力	-
	方形波出力	-	1出力	-
	キャプチャ	-	-	-
	割り込み要因	1	1	2

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。 出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替え可能。	入力	—
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。 出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替え可能。	入力	—
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。 P25, P26は、出力ポートとして使用する場合、ポート出力モード・レジスタ1 (POM1) により、1ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替え可能。	入力	SCK10
P21				SO10
P22				SI10
P23-P25				—
P26				INTP0/TI01/TO01
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	KR00-KR07

(2) ポート端子以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P26/TI01/TO01
KR00-KR07	入力	キー・リターン信号検出入力。	入力	P40-P47
NC	—	ノー・コネクション。オープン可能。	—	—
REGC	—	内部で生成されたUSBドライバ/レシーバ駆動用電源。 22 μ Fのコンデンサを介してV _{SS} に接続してください。	—	—
RESE \bar{T}	入力	システム・リセット入力。	入力	—
SCK10	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P20
SI10	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P22
SO10	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P21
TI01	入力	8ビット・タイマ (TM01) への外部カウント・クロック入力。	入力	P26/INTP0/TO01
TO01	出力	8ビット・タイマ (TM01) 出力。	入力	P26/INTP0/TI01
USBDM	入出力	USBファンクションのシリアル・データ入力/出力 (マイナス側)。USBDM端子用のプルアップ抵抗 (1.5 k Ω) は, REGC端子に接続してください。	入力	—
USBDP	入出力	USBファンクションのシリアル・データ入力/出力 (プラス側)。	入力	—
V _{DD0}	—	ポート部の正電源。	—	—
V _{DD1}	—	正電源 (ポート部を除く)。	—	—
V _{SS0}	—	ポート部のグランド電位。	—	—
V _{SS1}	—	グランド電位 (ポート部を除く)。	—	—
X1	入力	システム・クロック発振用クリスタル接続。	入力	—
X2	—		—	
IC	—	内部接続されています。V _{SS0} に直接接続してください。	—	—
V _{PP}	—	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	—	—

★

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替えが可能です。

2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替えが可能です。

2.2.3 P20-P26 (Port2)

7ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み入力、タイマ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する時、プルアップ抵抗オプション・レジスタ0 (PU0) により内蔵プルアップ抵抗を使用できます。P25, P26は、出力ポートとして使用する時、ポート出力モード・レジスタ1 (POM1) により、1ビット単位でCMOS出力/N-chオープン・ドレイン出力の切り替えが可能です。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI10, SO10

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) TI01

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

(d) TO01

8ビット・タイマ出力端子です。

(e) INTP0

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がり立ち下がりの両エッジ）指定可能な外部割り込み入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表9-2 シリアル・インタフェース10の動作モードの設定一覧を参照してください。

2.2.4 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかに，キー・リターン信号検出機能があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により，1ビット単位で入力ポート，または出力ポートに指定できます。入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ0 (PU0) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー・リターン信号検出端子 ($\overline{KR00-KR07}$) として機能します。

2.2.5 \overline{RESET}

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.6 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

2.2.7 REGC

- ★ 内部で生成されたUSBドライバ/レシーバ駆動用電源です。22 μ Fのコンデンサを介してV_{SS}に接続してください。

2.2.8 USBDM

USBファンクションのシリアル・データ入力/出力端子です（マイナス側）。

2.2.9 USBDP

USBファンクションのシリアル・データ入力/出力端子です（プラス側）。

2.2.10 VDD0, VDD1

正電源供給端子です。

2.2.11 VSS0, VSS1

グラウンド電位端子です。

2.2.12 VPP (μ PD78F9801のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

★ 次のどちらかの端子処理をしてください。

個別に10 k Ω のプルダウン抵抗を接続する

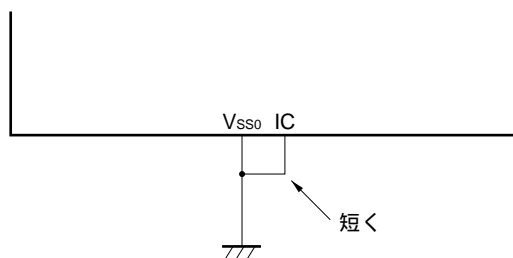
ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}に直接接続するように切り替える

2.2.13 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD789800サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS0}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子間に電位差が生じたときは、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS0}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

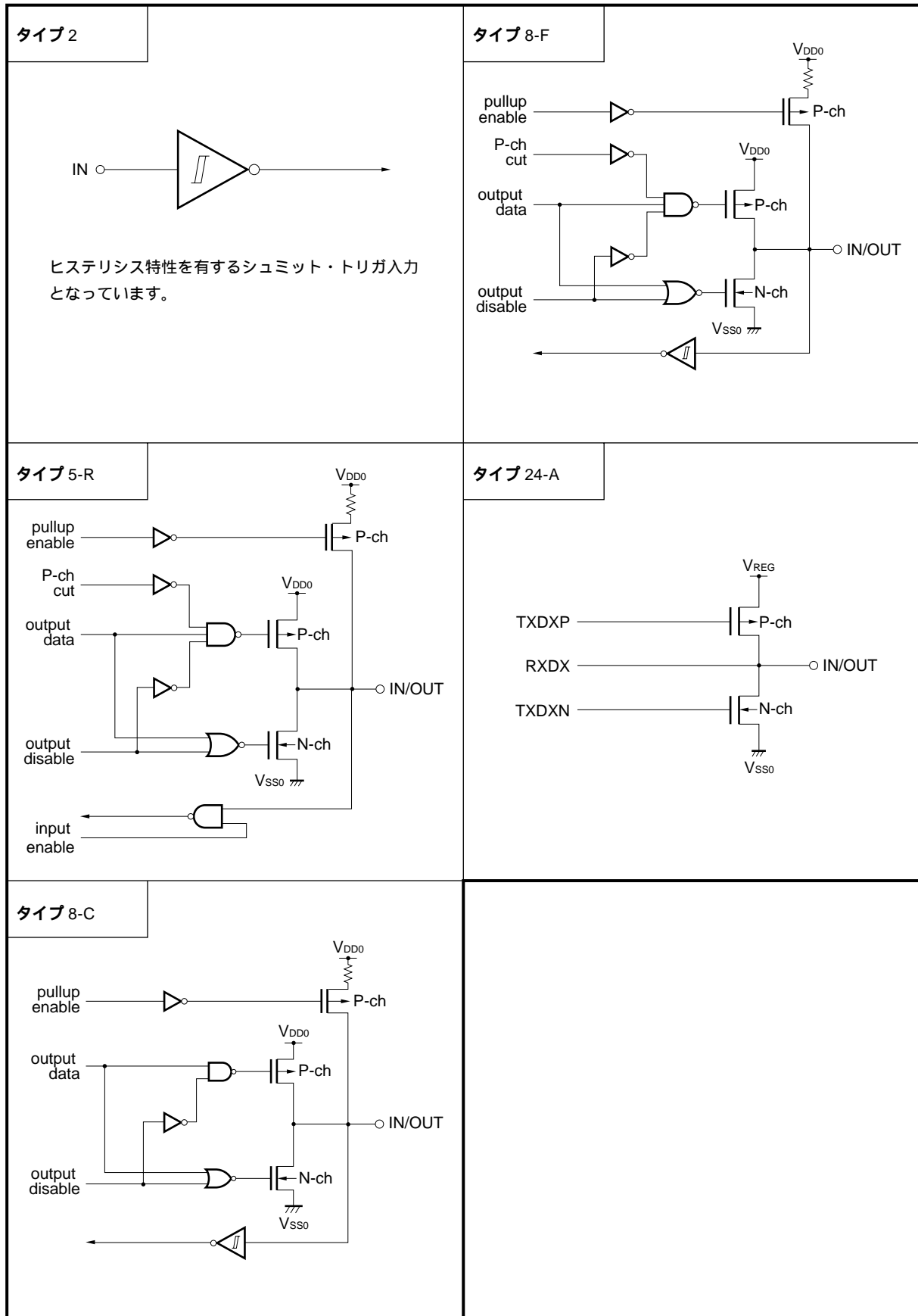
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-R	入出力	入力時：個別に抵抗を介して、 V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P10-P17			
P20/ $\overline{SCK10}$	8-C		
P21/SO10			
P22/SI10			
P23, P24			
P25	8-F		
P26/ $\overline{INTP0}$ / $\overline{TI01}$ / $\overline{TO01}$			
P40/ $\overline{KR00}$ -P47/ $\overline{KR07}$	8-C		
USBDM	24-A		
USBDP		個別に抵抗を介して、 V_{SS0} または V_{SS1} に接続してください。	
RESET	2	入力	—
NC	—	—	オープンにしてください。
REGC	—	—	USBDM端子に接続してください。
IC	—	—	V_{SS0} に直接接続してください。
★ V_{PP}			個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS0} に直接接続してください。

図2 - 1 端子の入出力回路一覧



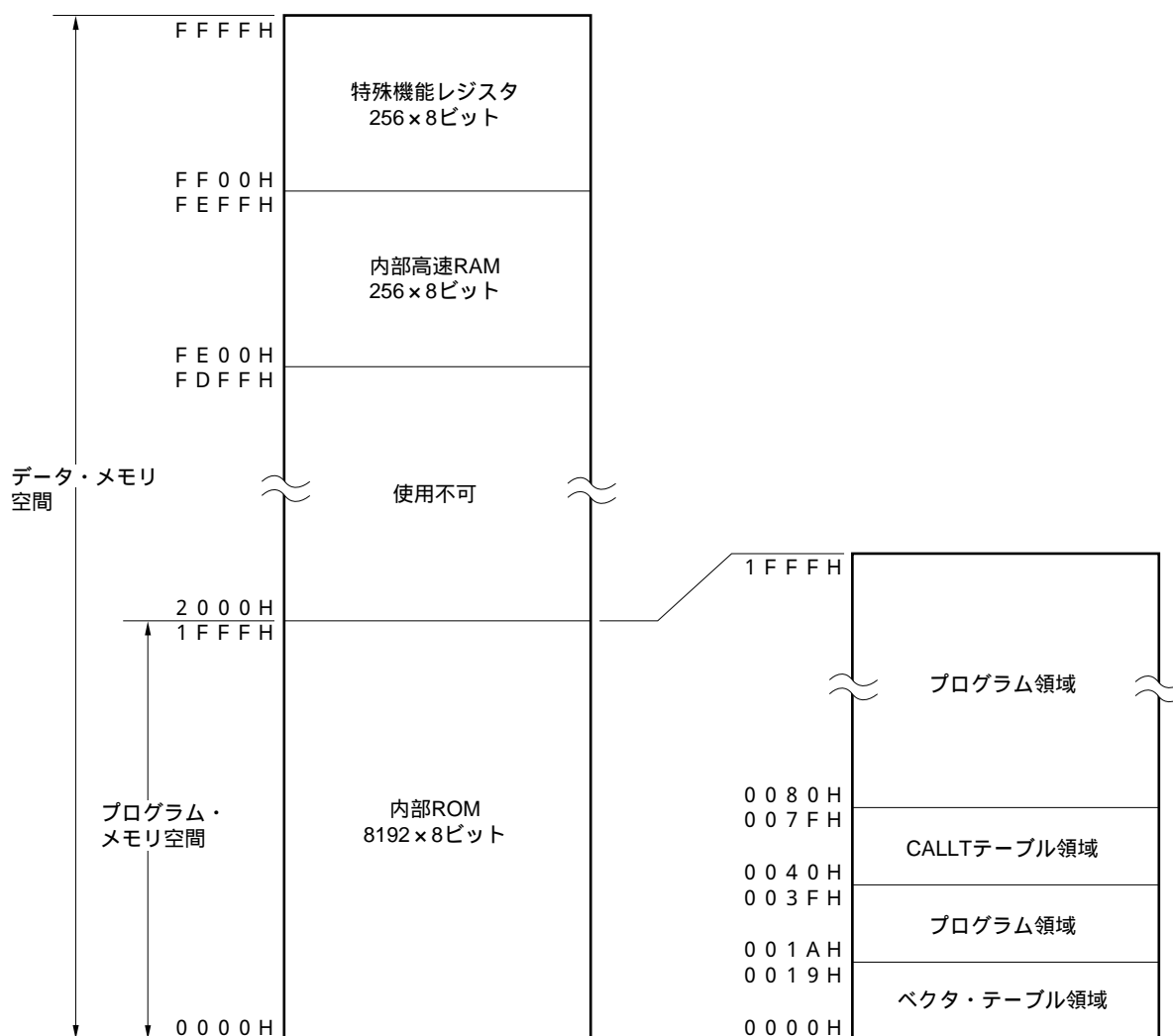
第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789800サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。

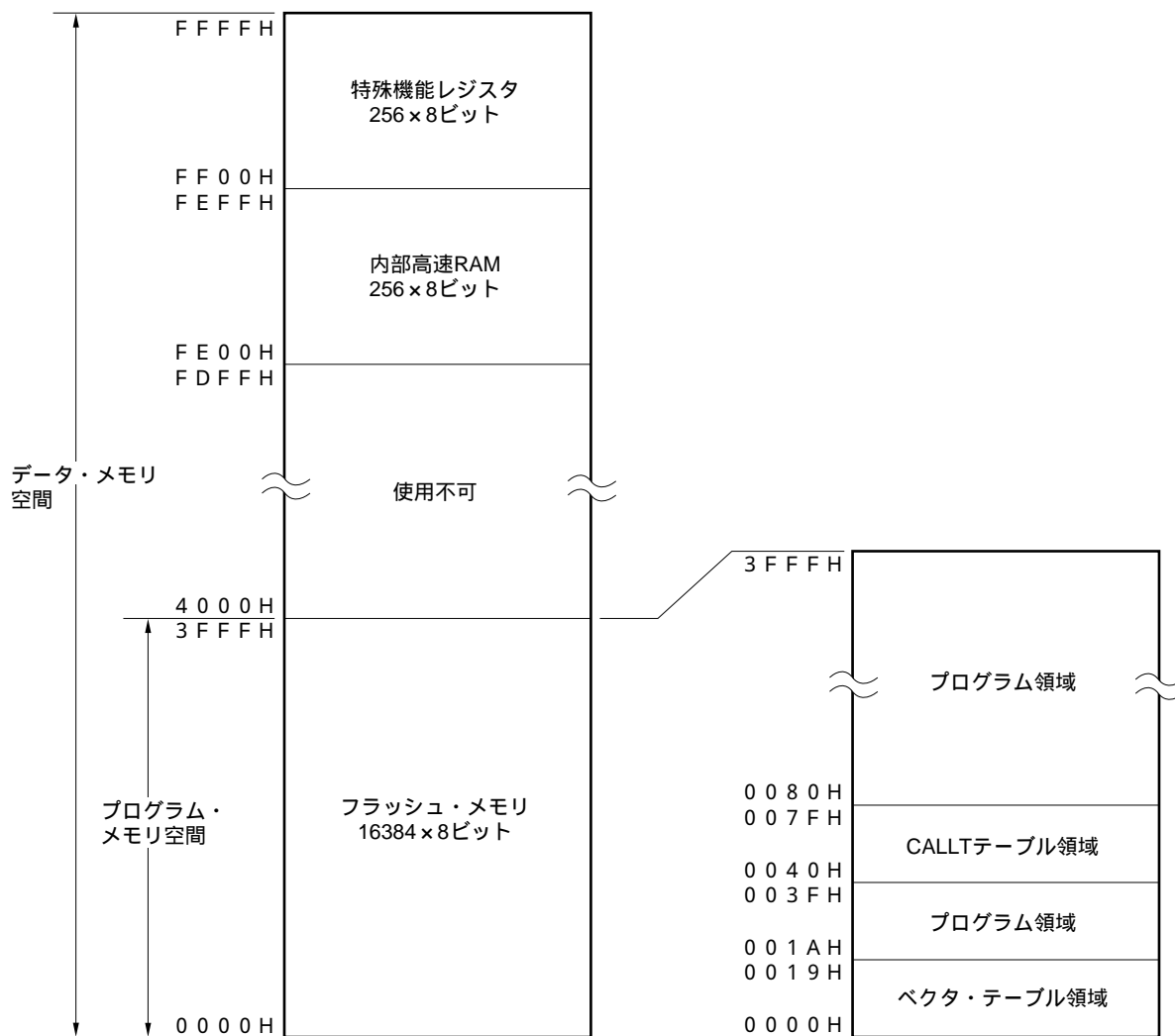
図3 - 1, 図3 - 2にメモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789800)



★

図3-2 メモリ・マップ (μ PD78F9801)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-0019Hの26バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	000EH	INTUSBRE
0004H	INTWDT	0010H	INTP0
0006H	INTUSBTM	0012H	INTCSI10
0008H	INTUSBRT	0014H	INTTM00
000AH	INTUSBRD	0016H	INTTM01
000CH	INTUSBST	0018H	INTKR00

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

FE00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 2参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789800サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FE00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 3、図3 - 4にデータ・メモリのアドレッシングを示します。

図3 - 3 データ・メモリのアドレッシング (μ PD789800)

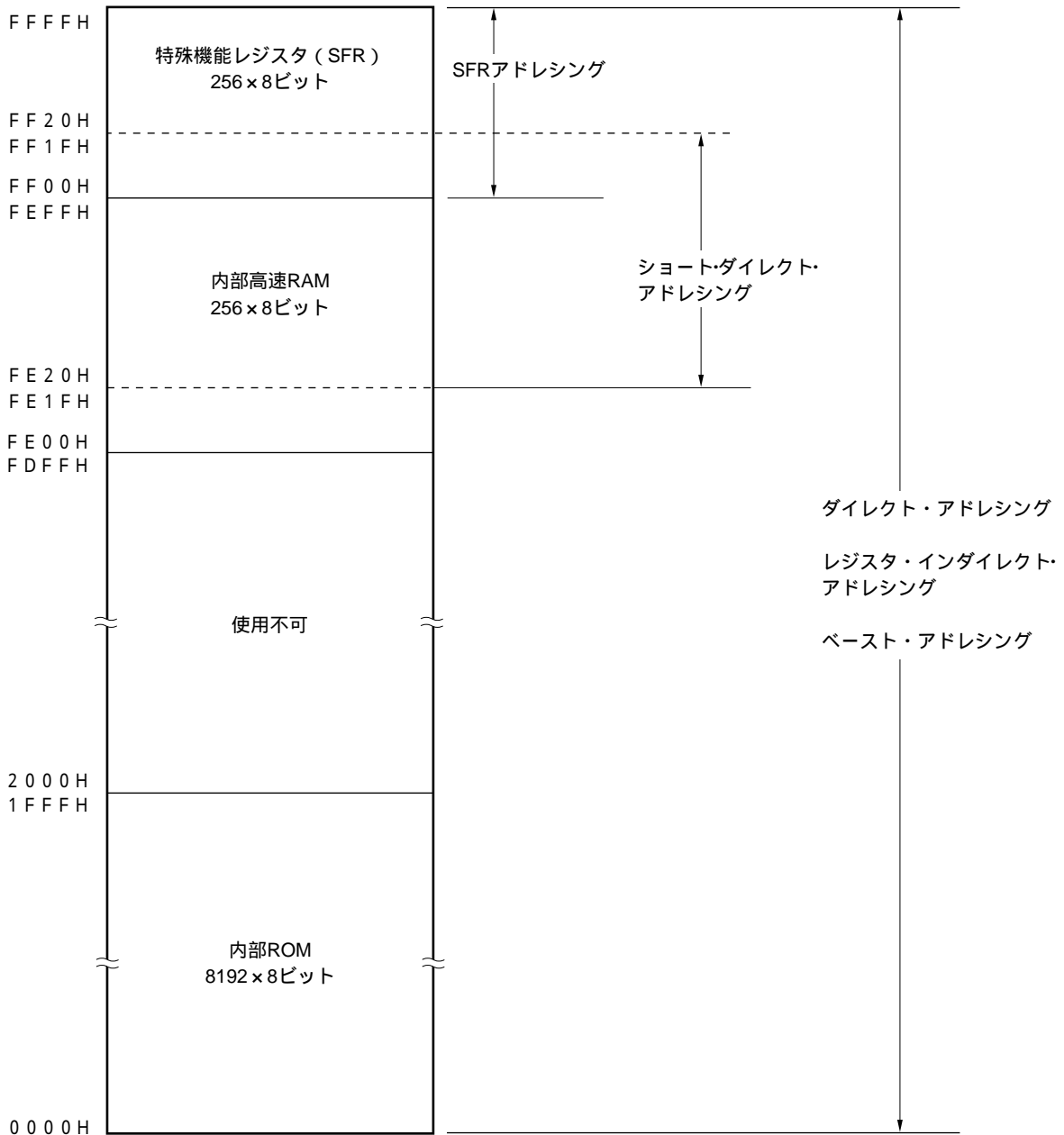
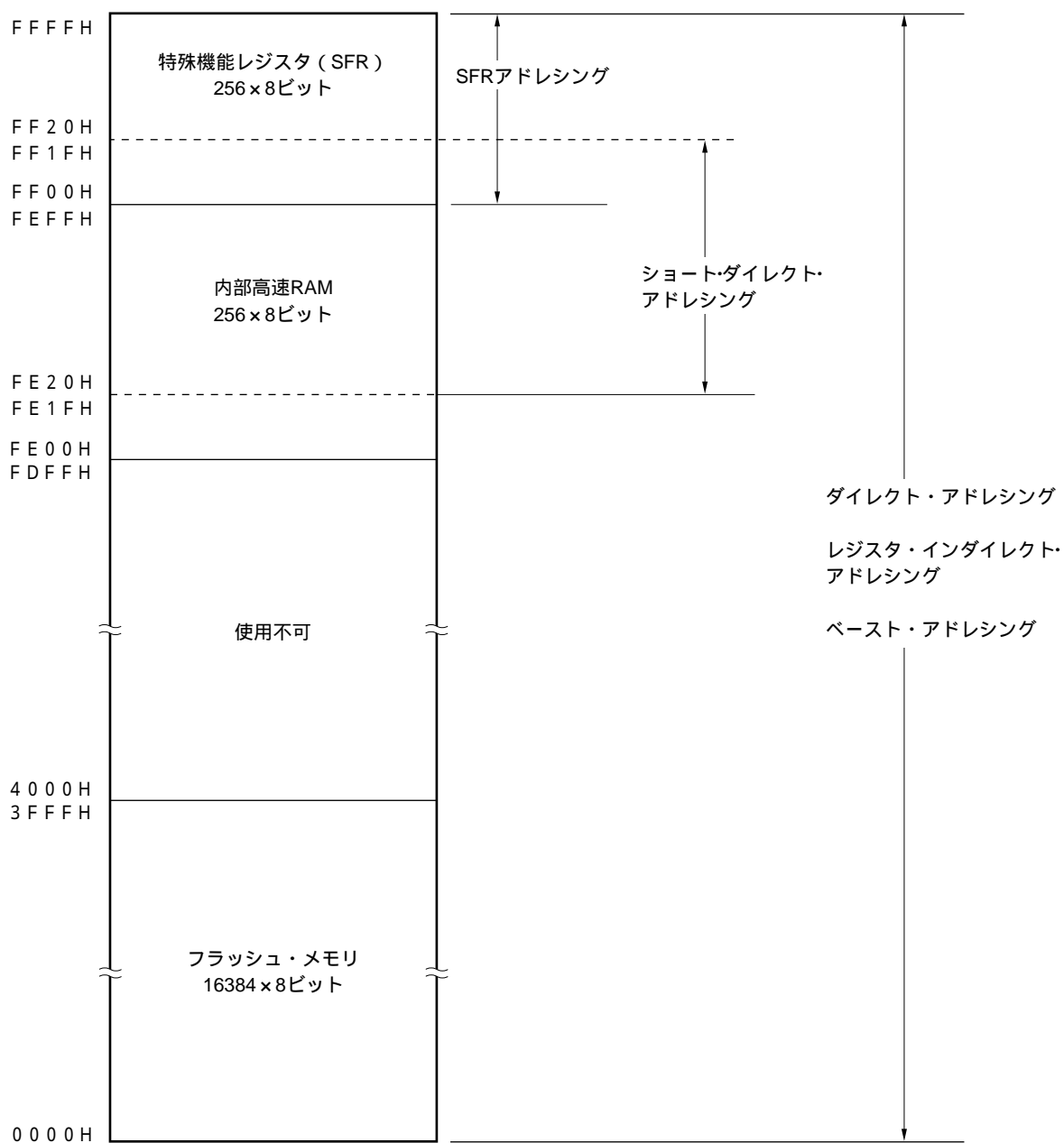


図3 - 4 データ・メモリのアドレッシング (μ PD78F9801)



3.2 プロセッサ・レジスタ

μ PD789800サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

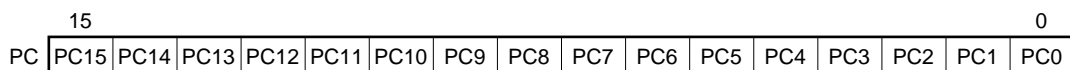
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成



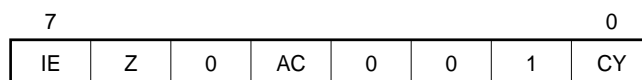
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(d) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

3.2.2 汎用レジスタ

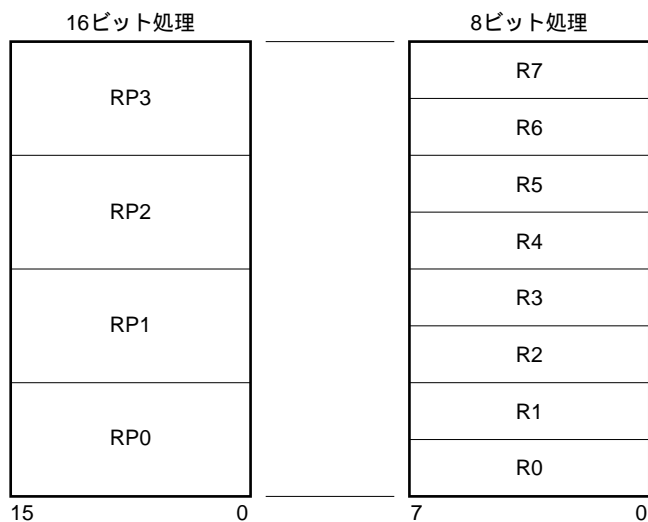
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

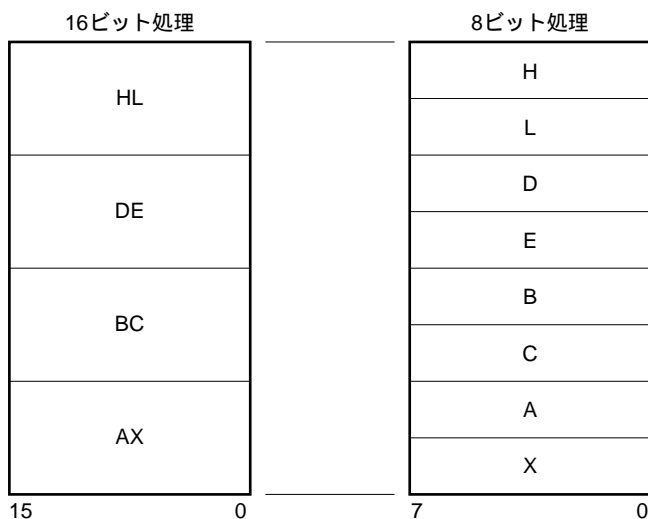
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 2に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-2 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W			-	00H
FF01H	ポート1	P1					-	
FF02H	ポート2	P2					-	
FF04H	ポート4	P4					-	
FF07H	受信データPID	USBRD		R	-		-	不定
FF08H	受信データ・アドレス0	USBR0	USBR 10		-		注	
FF09H	受信データ・アドレス1	USBR1			-		注	
FF0AH	受信データ・アドレス2	USBR2	USBR 32		-		注	
FF0BH	受信データ・アドレス3	USBR3			-		注	
FF0CH	受信データ・アドレス4	USBR4	USBR 54		-		注	
FF0DH	受信データ・アドレス5	USBR5			-		注	
FF0EH	受信データ・アドレス6	USBR6	USBR 76		-		注	
FF0FH	受信データ・アドレス7	USBR7		-		注		
FF10H	送受信シフト・レジスタ10	SIO10		R/W	-		-	00H
FF14H	ハンドシェイク・パケット送信予約レジスタ	HTX	USB CON				注	
FF15H	データ・パケット送信予約レジスタ	DTX			RSV			
FF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1					-	
FF22H	ポート・モード・レジスタ2	PM2					-	
FF24H	ポート・モード・レジスタ4	PM4					-	00H
FF30H	ポート出力モード・レジスタ0	POM0					-	
FF31H	ポート出力モード・レジスタ1	POM1					-	
FF42H	タイマ・クロック選択レジスタ2	TCL2			-		-	
FF50H	8ビット・コンペア・レジスタ00	CR00		W	-		-	不定
FF51H	8ビット・タイマ・カウンタ00	TM00		R	-		-	00H
FF53H	8ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	
FF54H	8ビット・コンペア・レジスタ01	CR01		W	-		-	不定
FF55H	8ビット・タイマ・カウンタ01	TM01		R	-		-	00H
FF57H	8ビット・タイマ・モード・コントロール・レジスタ01	TMC01		R/W			-	
FF60H	トークンPID比較レジスタ	TIDCMP		W	-		-	
FF61H	トークン・アドレス比較レジスタ	ADRCMP			-		-	

注 ショート・ダイレクト・アドレッシングでのみ、16ビット・アクセスが可能です。

表3-2 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時		
				1ビット	8ビット	16ビット			
FF62H	トークン・パケット受信結果格納レジスタ	TRXRSL	R/W			-	00H		
FF63H	データ/ハンドシェークPID比較レジスタ	DIDCMP	W	-		-	C3H		
FF64H	データ/ハンドシェーク・パケット受信バイト数カウンタ	DRXCON		-		-	18H		
FF65H	データ/ハンドシェーク・パケット受信結果格納レジスタ	DRXRSL	R/W			-	00H		
FF66H	データ/ハンドシェーク・パケット受信モード・レジスタ	URXMOD				-			
FF67H	パケット受信ステータス・レジスタ	RXSTAT		-		-			
FF68H	データ・パケット送信バイト数カウンタ0	DTXCO0	W	-		-	20H		
FF69H	データ・パケット送信バイト数カウンタ1	DTXCO1		-		-	30H		
FF6AH	リモート・ウエイク・アップ制御レジスタ	REMWUP	R/W			-	08H		
FF6BH	送受信ポインタ	USBPOW	R	-		-	00H		
FF6CH	USBタイマ・スタート予約制御レジスタ	USBTCL	R/W			-	01H		
FF6DH	USBレシーバ・イネーブル・レジスタ	USBMOD				-	00H		
FF72H	シリアル動作モード・レジスタ10	CSIM10				-			
FFA1H	送信データPIDバンク0	USBD0	W	-		-	不定		
FFA2H	送信データ・バンク0アドレス00	USBT00		-		-			
FFA3H	送信データ・バンク0アドレス01	USBT01		-		-			
FFA4H	送信データ・バンク0アドレス02	USBT02		-		-			
FFA5H	送信データ・バンク0アドレス03	USBT03		-		-			
FFA6H	送信データ・バンク0アドレス04	USBT04		-		-			
FFA7H	送信データ・バンク0アドレス05	USBT05		-		-			
FFA8H	送信データ・バンク0アドレス06	USBT06		-		-			
FFA9H	送信データ・バンク0アドレス07	USBT07		-		-			
FFABH	送信データPIDバンク1	USBD1		-		-			
FFACH	送信データ・バンク1アドレス10	USBT10		-		-			
FFADH	送信データ・バンク1アドレス11	USBT11		-		-			
FFAEH	送信データ・バンク1アドレス12	USBT12		-		-			
FFAFH	送信データ・バンク1アドレス13	USBT13		-		-			
FFB0H	送信データ・バンク1アドレス14	USBT14		-		-			
FFB1H	送信データ・バンク1アドレス15	USBT15		-		-			
FFB2H	送信データ・バンク1アドレス16	USBT16		-		-			
FFB3H	送信データ・バンク1アドレス17	USBT17		-		-			
FFB5H	受信トークンPID	USB RTP		R	-			-	00H
FFB6H	受信トークン・アドレスL	USBRAL			-			-	
FFB7H	受信トークン・アドレスH	USBRAH	-			-			
FFE0H	割り込み要求フラグ・レジスタ0	IF0	R/W			-	FFH		
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-			
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-			
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-			

表3 - 2 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFECH	外部割り込みモード・レジスタ0	INTM0	R/W	-		-	00H
FFF5H	キー・リターン・モード・レジスタ00	KRM00				-	
FFF7H	プルアップ抵抗オプション・レジスタ0	PU0				-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ **ユーザーズ・マニュアル命令編**（U11047J）を参照してください）。

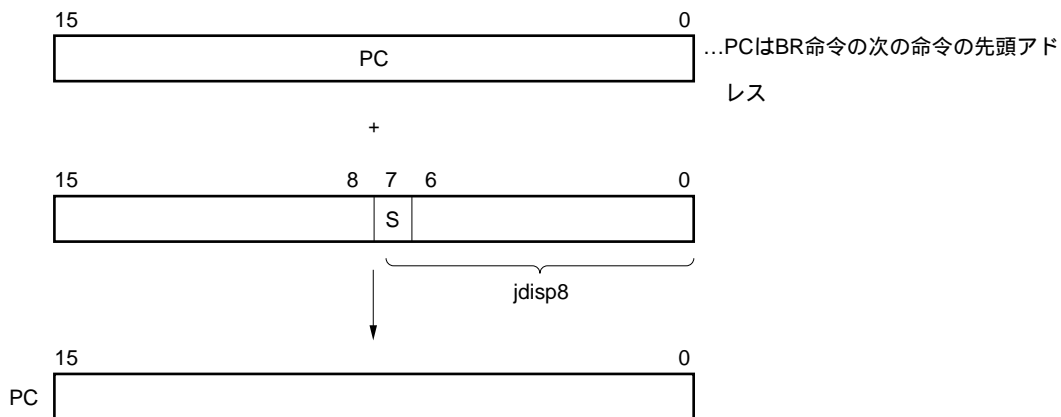
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

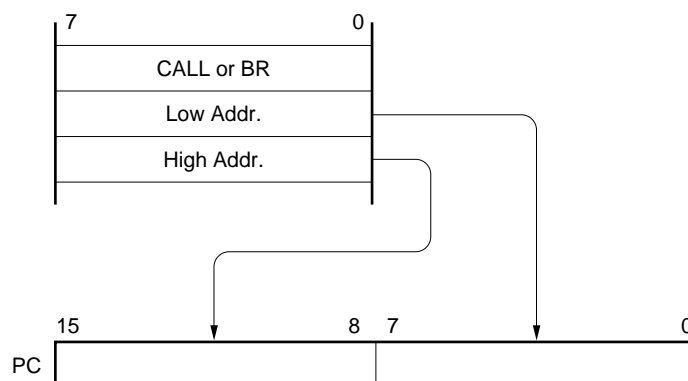
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



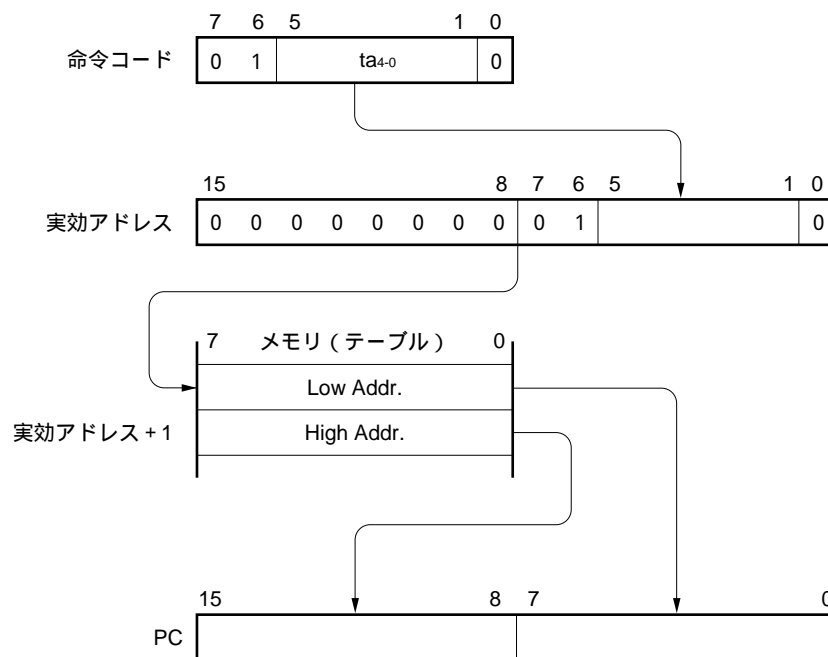
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



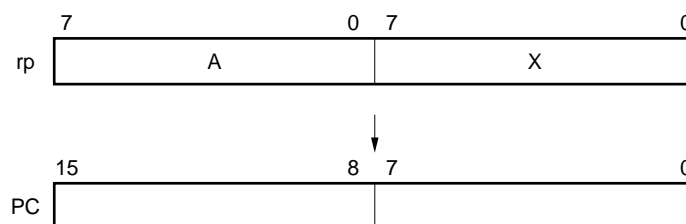
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

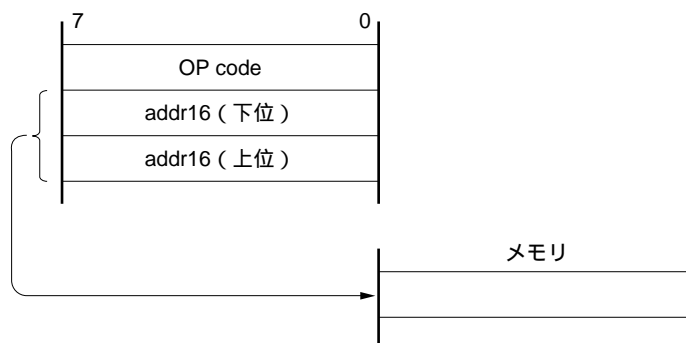
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	0 0 1 0 1 0 0 1	OPコード
	0 0 0 0 0 0 0 0	0 0 H
	1 1 1 1 1 1 1 0	F E H

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

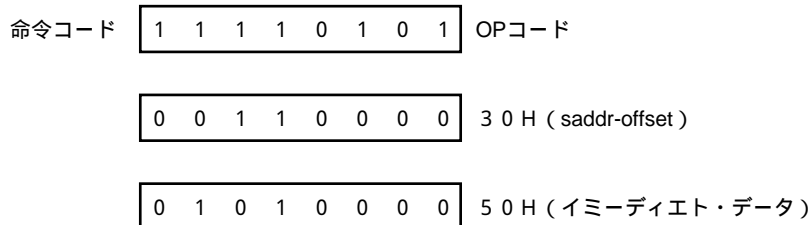
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

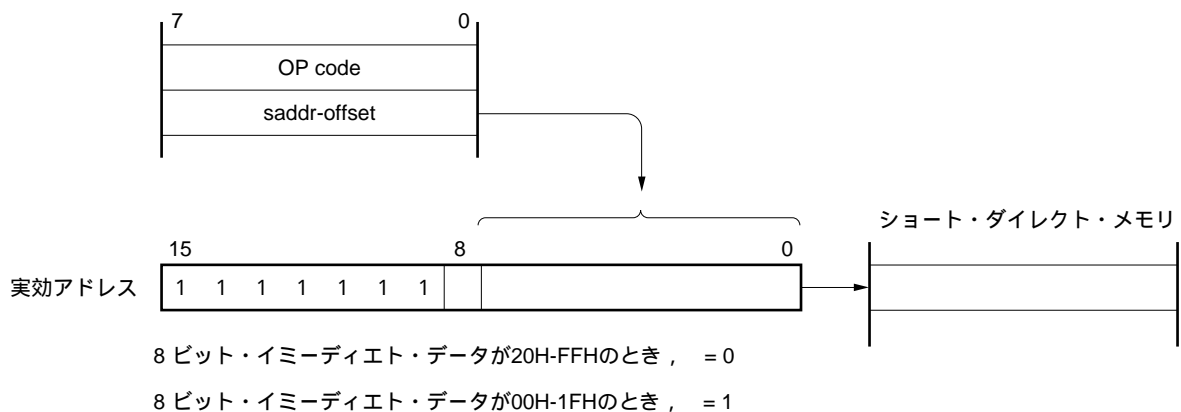
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE30H, #50H ; saddrをFE30H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

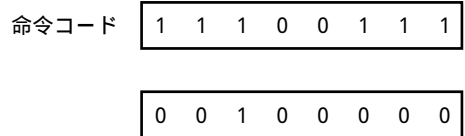
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

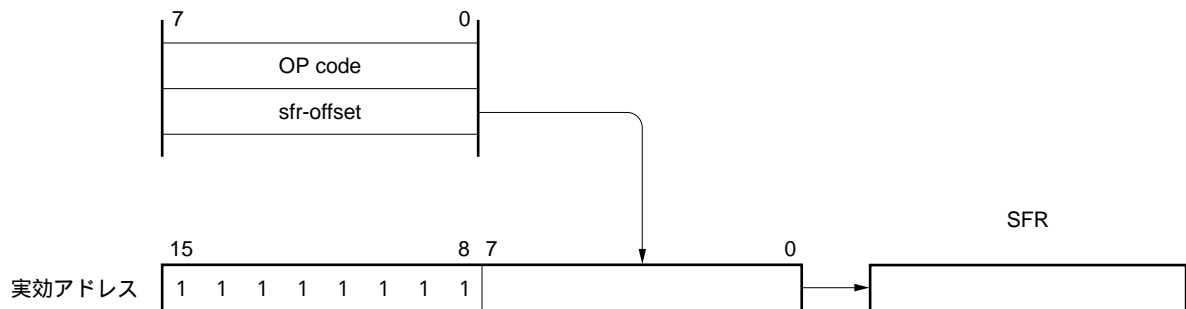
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

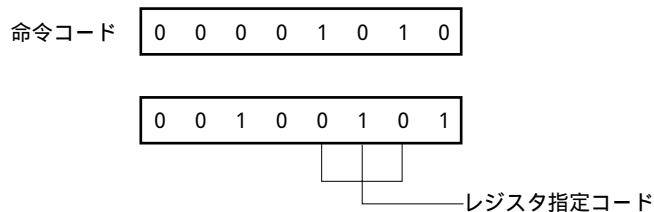
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

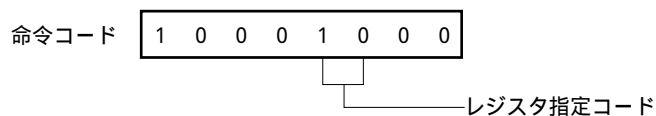
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

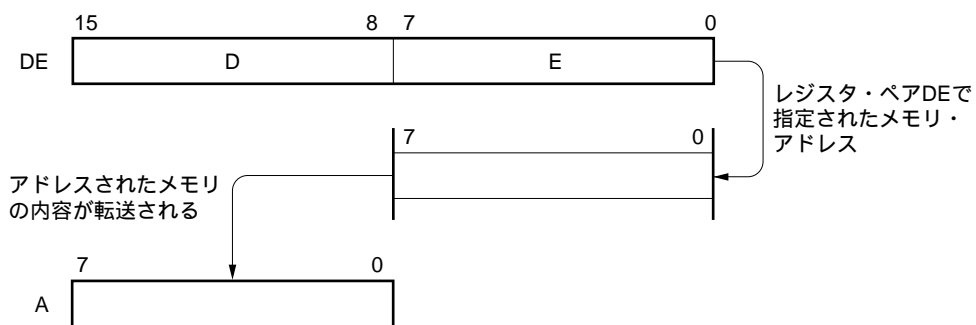
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μPD789800サブシリーズは図4-1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4-1 ポートの種類

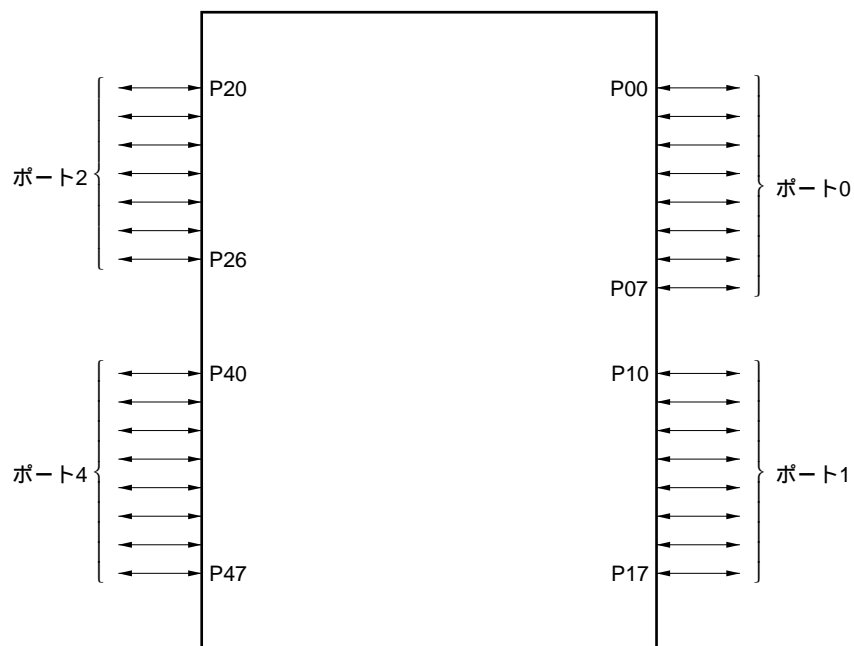


表4 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	<p>ポート0。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。</p> <p>出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力に切り替え可能です。</p>	入力	-
P10-P17	入出力	<p>ポート1。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。</p> <p>出力ポートとして使用する場合、ポート出力モード・レジスタ0 (POM0) により、8ビット単位でCMOS出力/N-chオープン・ドレイン出力に切り替え可能です。</p>	入力	-
P20	入出力	<p>ポート2。</p> <p>7ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。</p> <p>P25, P26は、出力ポートとして使用する場合、ポート出力モード・レジスタ1 (POM1) により、1ビット単位でCMOS出力/N-chオープン・ドレイン出力に切り替え可能です。</p>	入力	SCK10
P21				SO10
P22				SI10
P23				-
P24				-
P25				-
P26				TI01/TO01/INTP0
P40-P47	入出力	<p>ポート4。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。</p>	入力	KR00-KR07

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-2, 4)
	プルアップ抵抗オプション・レジスタ (PU0)
	ポート出力モード・レジスタ (POMm : m = 0, 1)
ポート	入出力 : 31本 (そのうち18本がN-chオープン・ドレインに切り替え可能)
プルアップ抵抗	ソフトウェア制御 : 31本

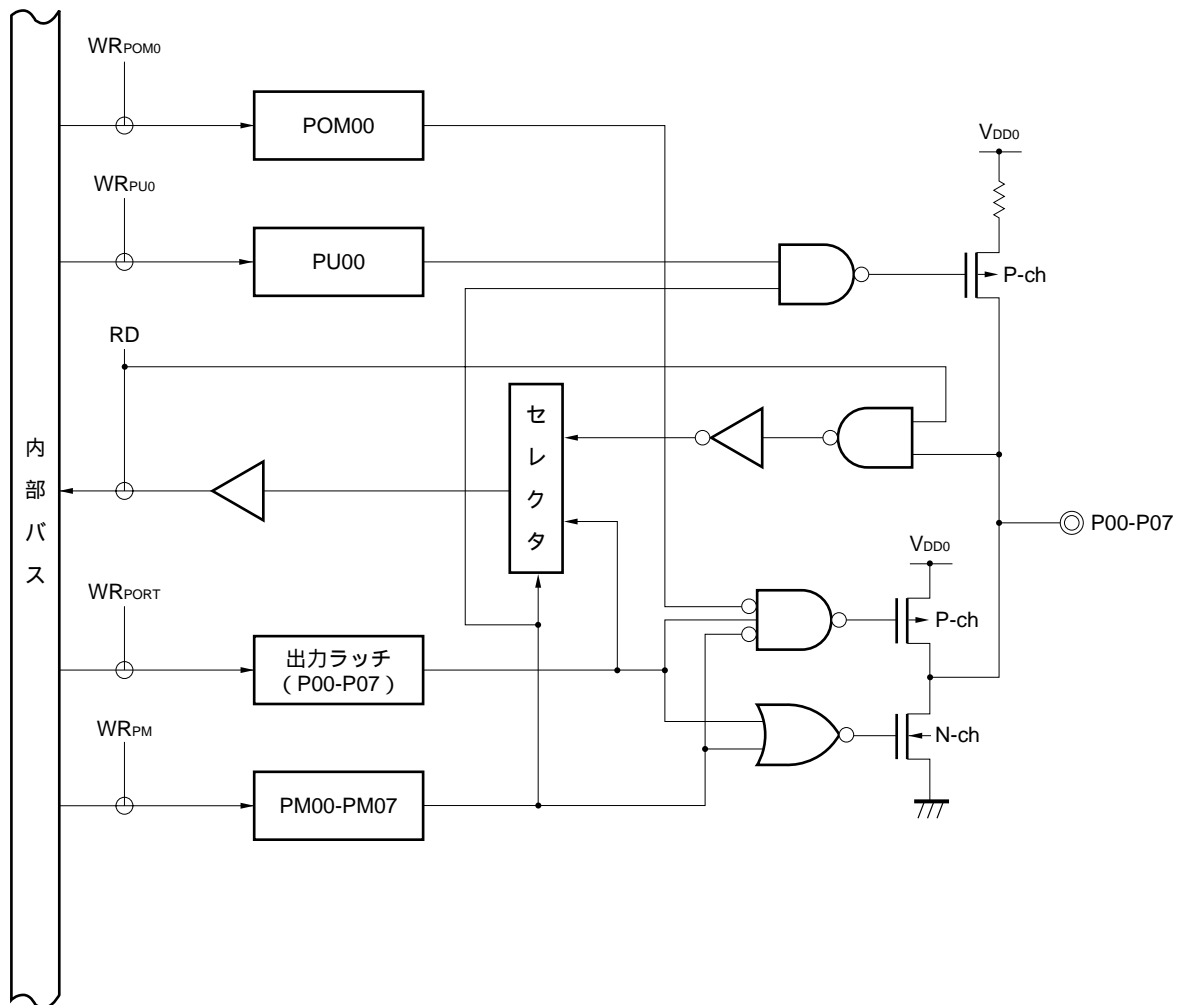
4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。また、ポート出力モード・レジスタ0 (POM0) により8ビット単位でCMOS出力 / N-chオープン・ドレイン出力の切り替えが可能です。

RESET入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

図4 - 2 P00-P07のブロック図



- POM0 : ポート出力モード・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

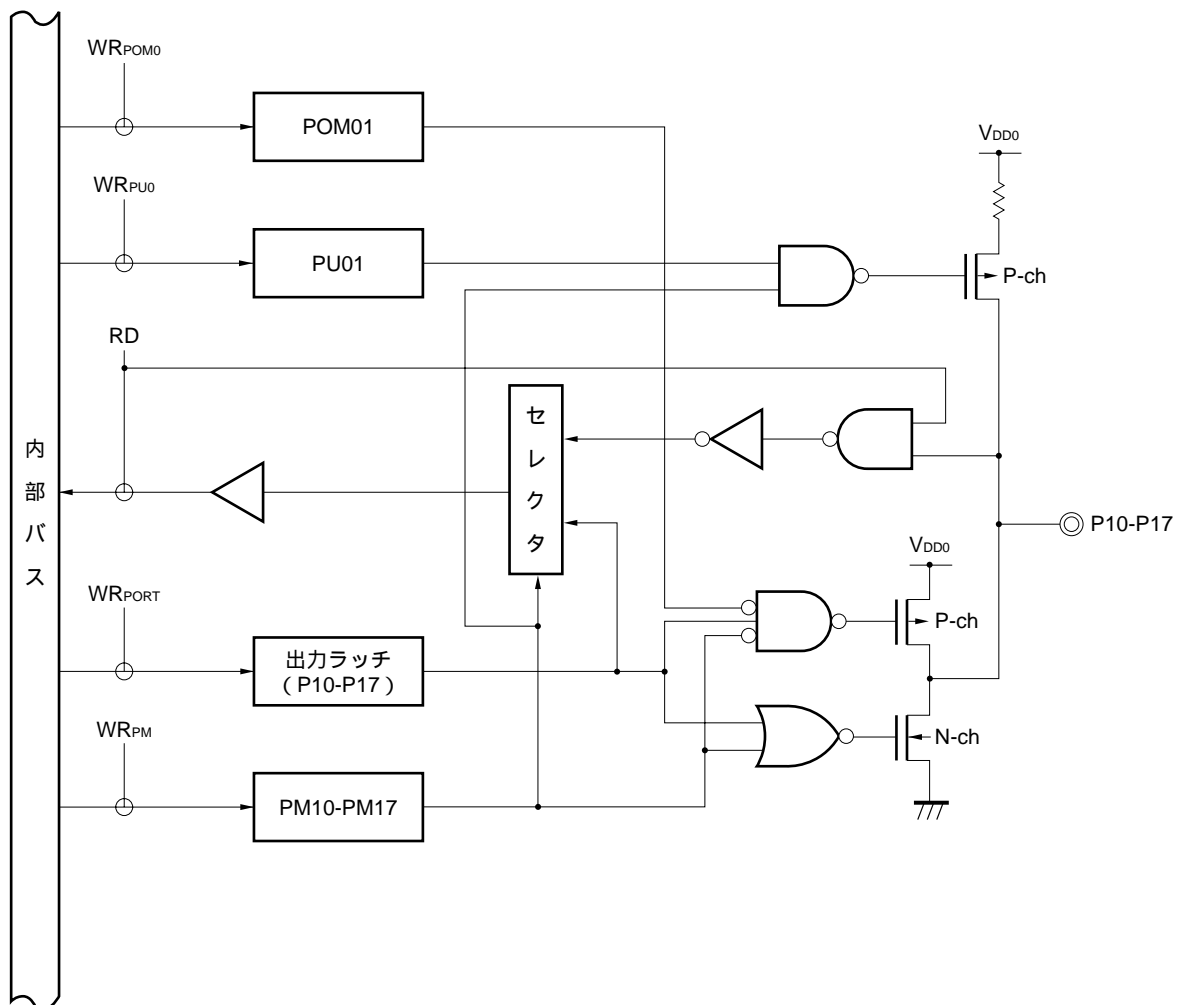
4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。また、ポート出力モード・レジスタ0 (POM0) により8ビット単位でCMOS出力 / N-chオープン・ドレイン出力の切り替えが可能です。

RESET入力により、入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10-P17のブロック図



- POM0 : ポート出力モード・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート1のリード信号
- WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20-P26端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により7ビット単位で内蔵プルアップ抵抗を使用できます。

P25, P26は、ポート出力モード・レジスタ1 (POM1) により、1ビット単位でCMOS出力 / N-chオープン・ドレイン出力の切り替えが可能です。

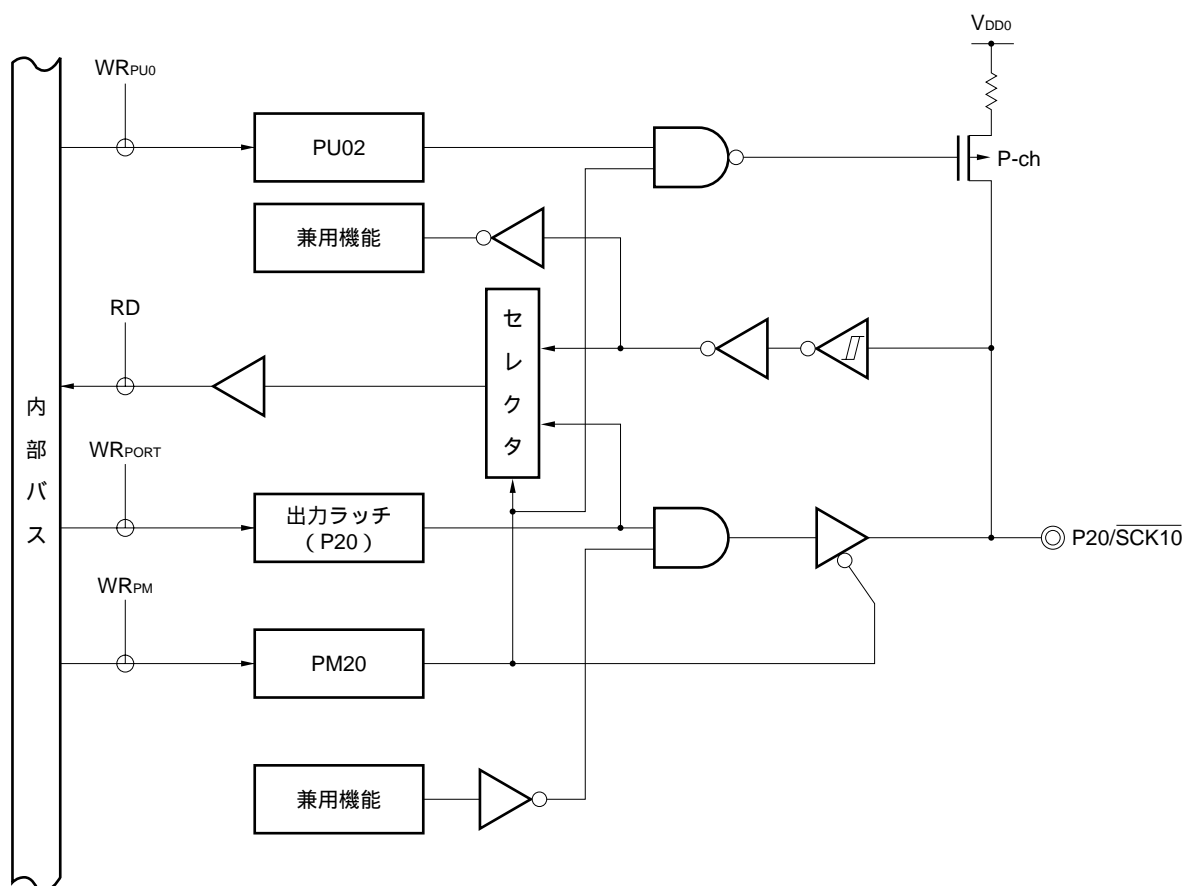
また、兼用機能としてシリアル・インタフェースの入出力、クロックの入出力、タイマ入出力、外部割り込み入力があります。

RESET入力により、入力モードになります。

図4 - 4から図4 - 9にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表9 - 2 シリアル・インタフェース10の動作モードの設定一覧を参照してください。

図4 - 4 P20のブロック図



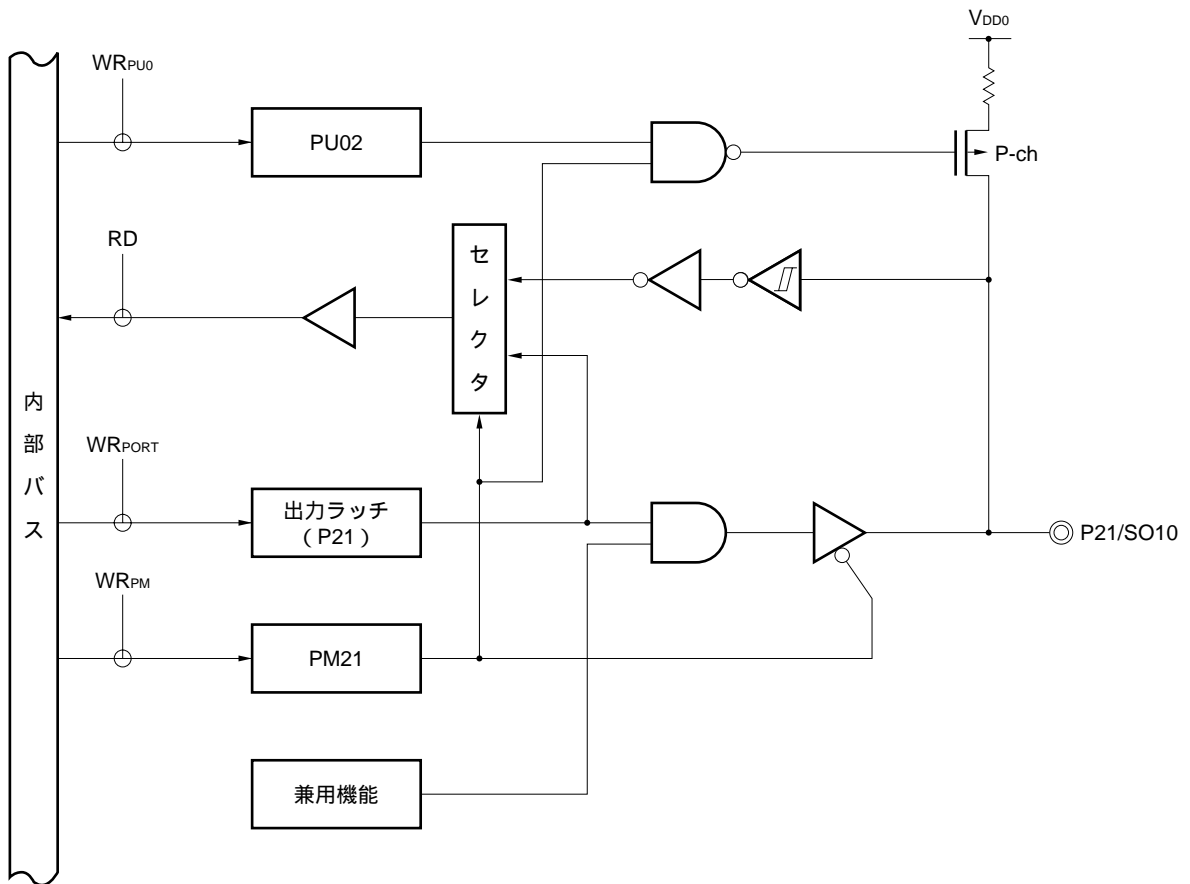
PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21のブロック図



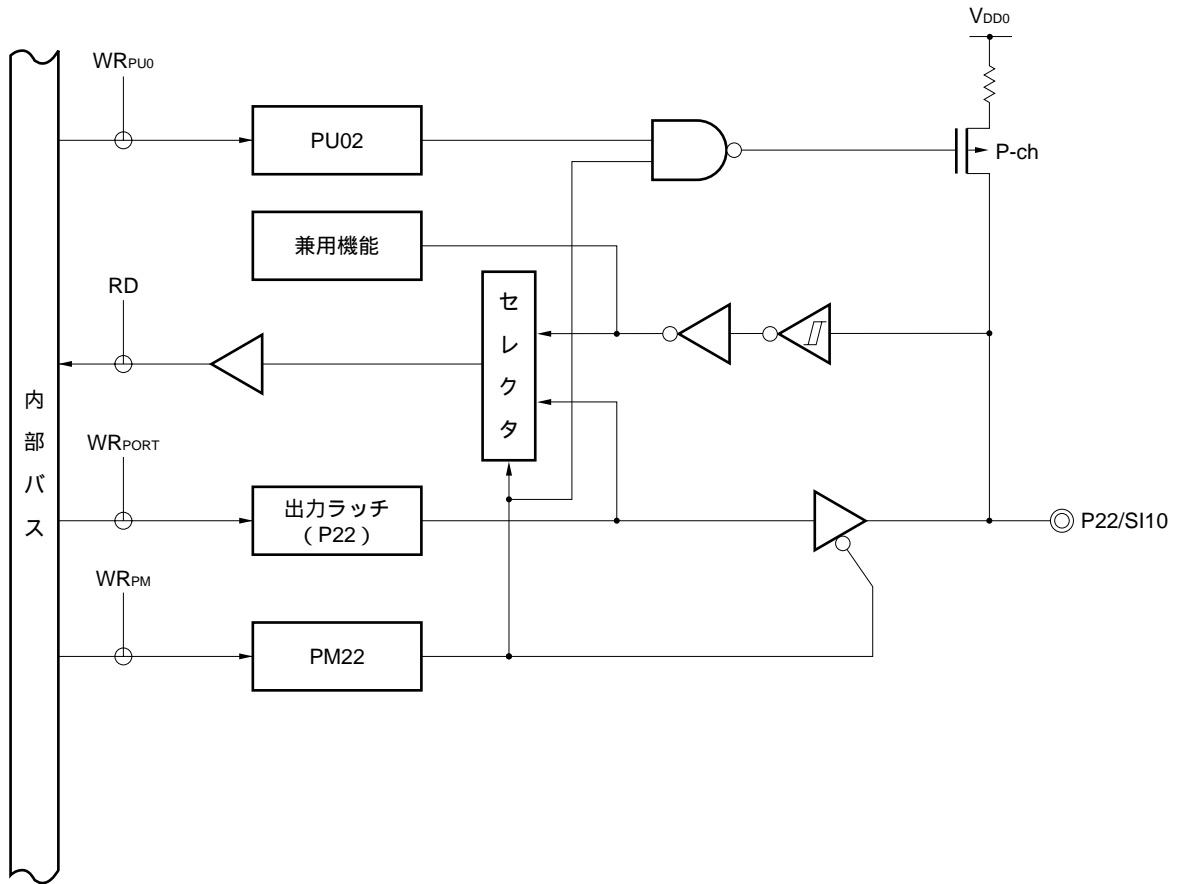
PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22のブロック図



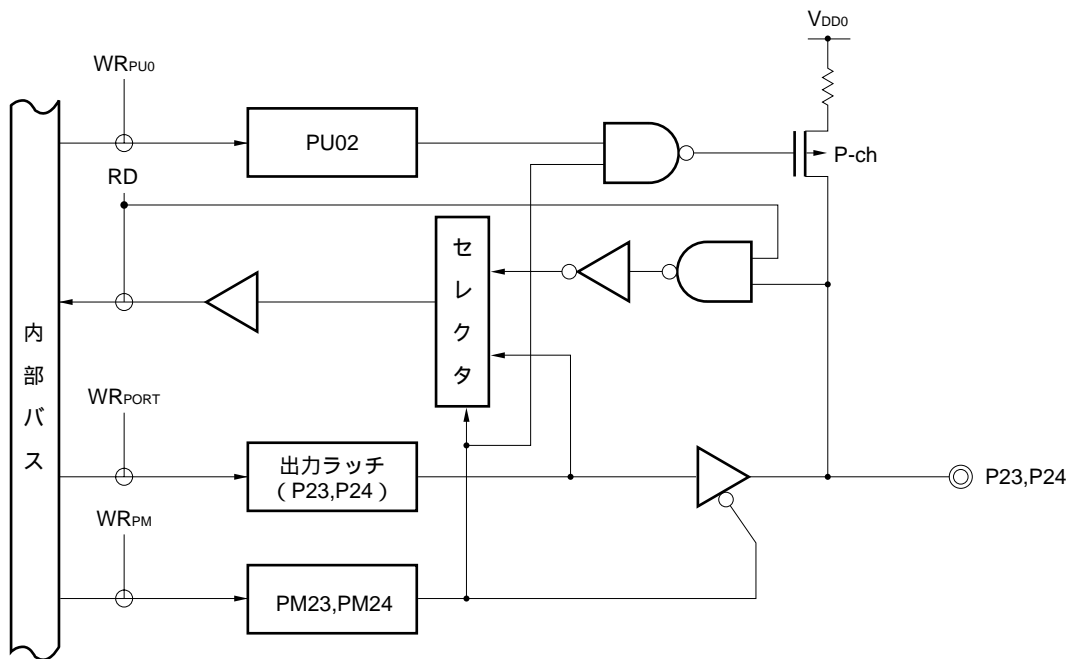
PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

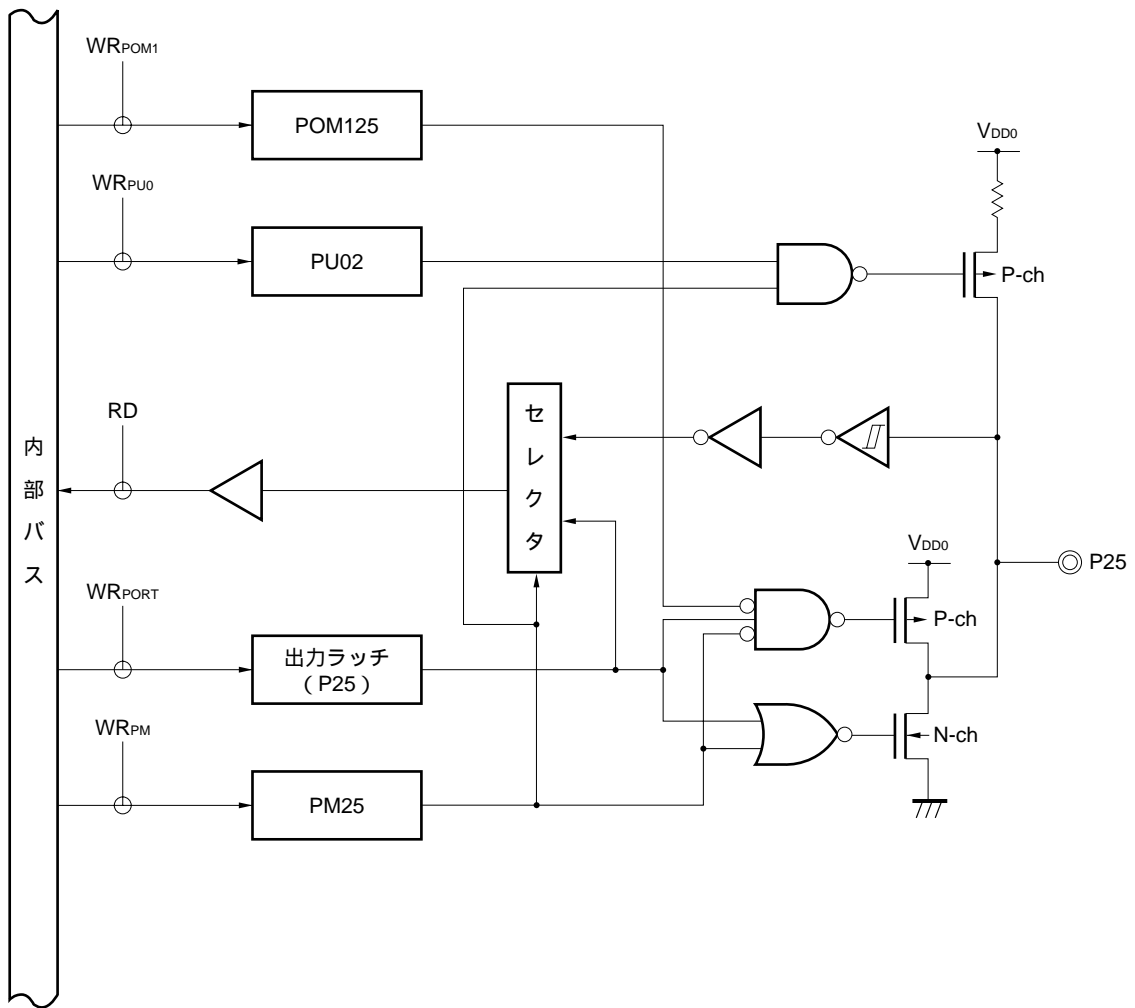
WR : ポート2のライト信号

図4 - 7 P23, P24のブロック図



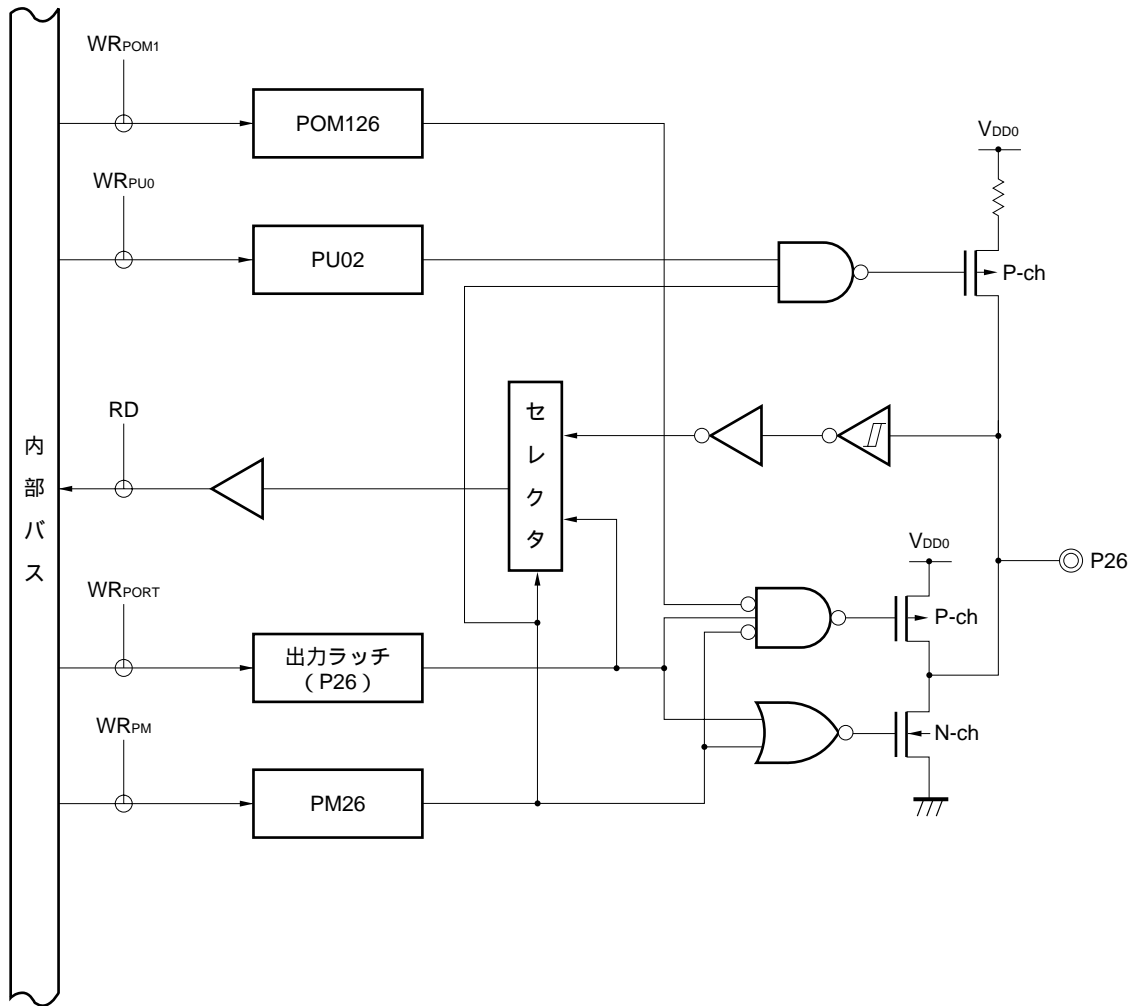
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

図4 - 8 P25のブロック図



- POM1 : ポート出力モード・レジスタ1
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

図4 - 9 P26のブロック図



- POM1 : ポート出力モード・レジスタ1
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

4.2.4 ポート4

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4 (PM4) により, 1ビット単位で入力モード / 出力モードの指定ができます。P40-P47端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) により, 8ビット単位で内蔵プルアップ抵抗を使用できます。

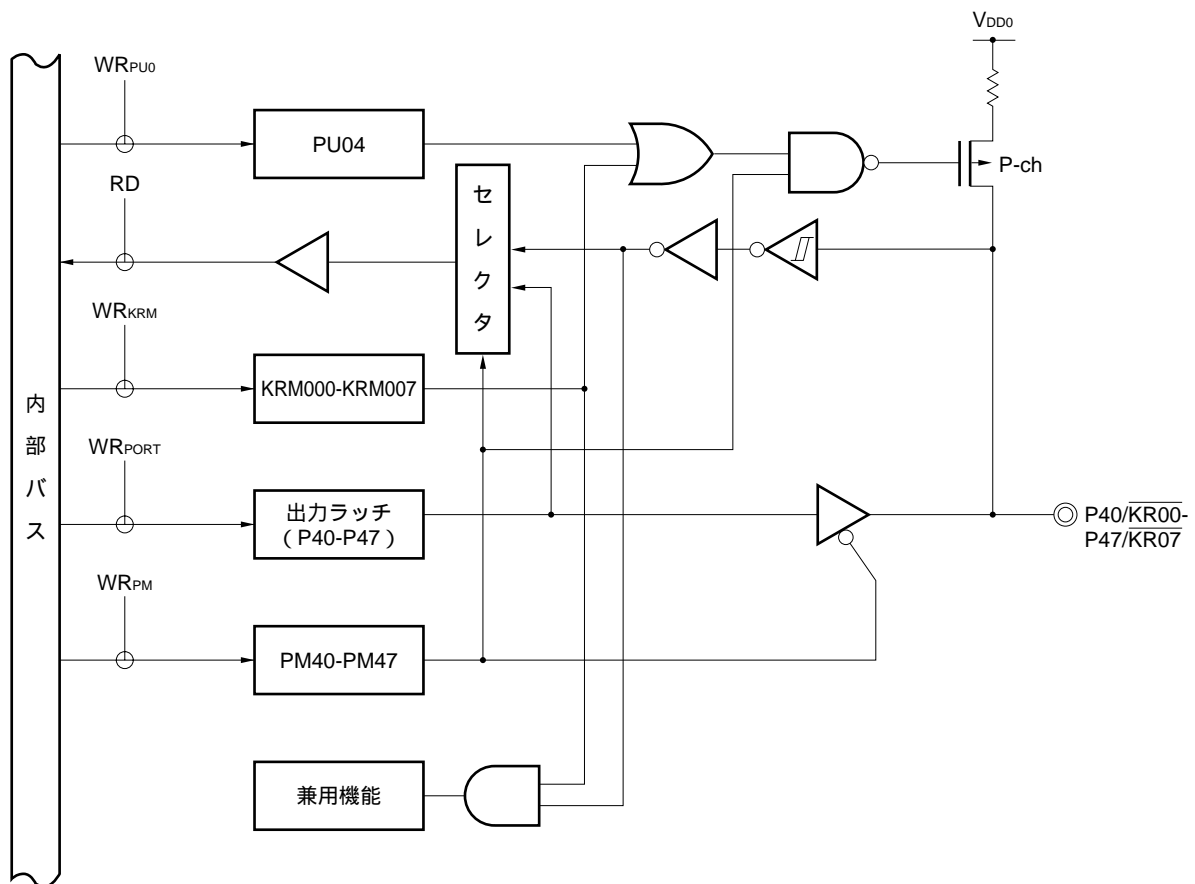
また, 兼用機能としてキー・リターン入力があります。

RESET入力により, 入力モードになります。

図4 - 10にポート4のブロック図を示します。

注意 キー・リターンとして使用する場合は, その機能に応じてキー・リターン・モード・レジスタ00の設定が必要になります。設定方法については, 11.3(5)キー・リターン・モード・レジスタ00(KRM00)を参照してください。

図4 - 10 P40-P47のブロック図



- KRM00 : キー・リターン・モード・レジスタ00
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート4のリード信号
- WR : ポート4のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM2, PM4)
- ・プルアップ抵抗オプション・レジスタ (PU0)
- ・ポート出力モード・レジスタ (POM0, POM1)

(1) ポート・モード・レジスタ (PM0-PM2, PM4)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 P26は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図4-11 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P26	TO01	出力	0	0
	TI01	入力	1	x
	INTP0	入力	1	x
P40-P47 ^注	KR00-KR07	入力	1	x

注 兼用機能使用時は，キー・リターン・モード・レジスタ00 (KRM00) に1を設定してください (11.3(5)キー・リターン・モード・レジスタ00 (KRM00) 参照)。

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，表9 - 2 シリアル・インタフェース10の動作モードの設定一覧を参照してください。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

各ポートの内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで，入力モードに設定したビットにのみ，内部でプルアップ抵抗が使用できます。出力モードに設定したビットは，PU0の設定にかかわらず，内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により，00Hになります。

図4 - 12 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	3	0	アドレス	リセット時	R/W			
PU0	0	0	0	PU04	0	PU02	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0-2, 4)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット3, 5-7には，必ず0を設定してください。

(3) ポート出力モード・レジスタ (POM0, POM1)

ポート0, ポート1, P25, P26の端子出力をCMOS出力からN-chオープン・ドレイン出力に切り替えるレジスタです。

POM0, POM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図4 - 13 ポート出力モード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01 POM00	FF30H	00H	R/W

POM0m	Pmの出力モードの設定 ^注 (m = 0, 1)
0	CMOS出力
1	N-chオープン・ドレイン出力

注 POM0は8ビット単位でポートの出力モードを選択します。

注意 ビット2-7には, 必ず0を設定してください。

図4 - 14 ポート出力モード・レジスタ1のフォーマット

略号	7	4	3	2	1	0	アドレス	リセット時	R/W	
POM1	0	POM126 POM125	0	0	0	0	0	FF31H	00H	R/W

POM12n	ポート2のビットnの出力モードの設定 ^注 (n = 5, 6)
0	CMOS出力
1	N-chオープン・ドレイン出力

注 POM1は1ビット単位でP25, P26の出力モードを選択します。

注意 ビット0-4, 7には, 必ず0を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の1種類があります。

- ・システム・クロック発振回路

6.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

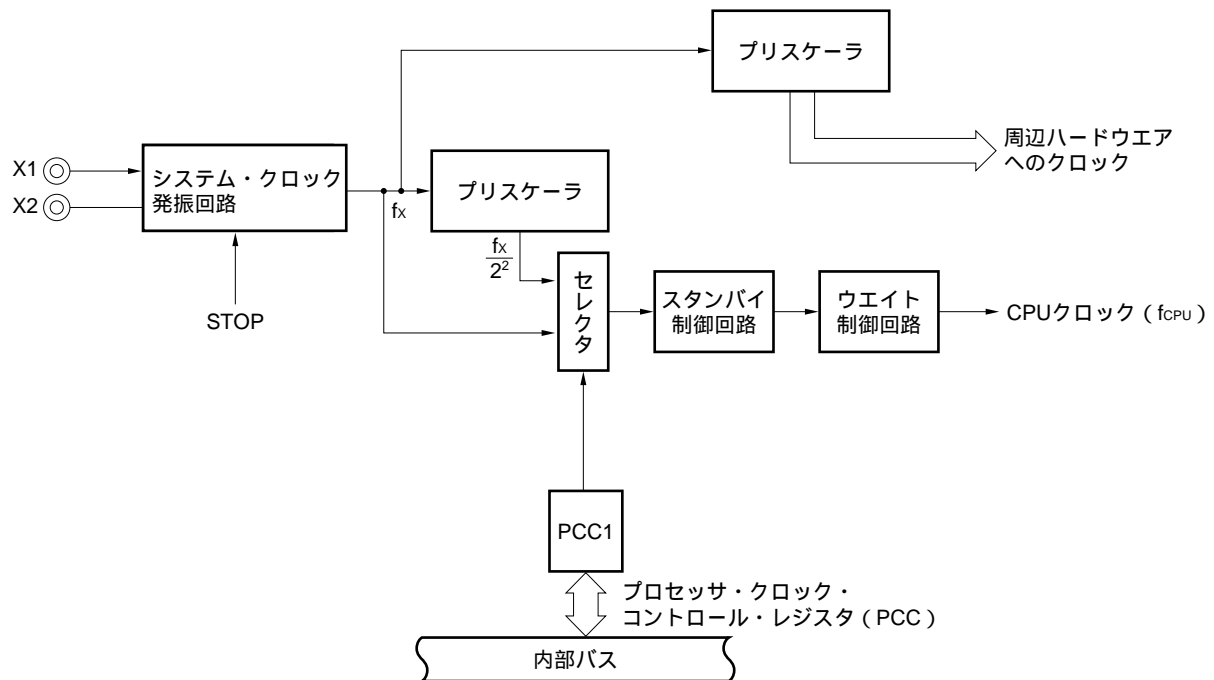
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFF BH	02 H	R/W

PCC1	CPUクロック (f_{CPU}) の選択		最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 6.0 \text{ MHz}$ 動作時
0	f_x		$0.33 \mu\text{s}$
1	$f_x/2^2$		$1.33 \mu\text{s}$

注意 ビット0, 2-7には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続された水晶振動子（標準：6.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子はオープンにしてください。

図5 - 3にシステム・クロック発振回路の外付け回路を示します。

★

図5 - 3 システム・クロック発振回路の外付け回路



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS0} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

5.4.2 発振子の接続の悪い例

図5-4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

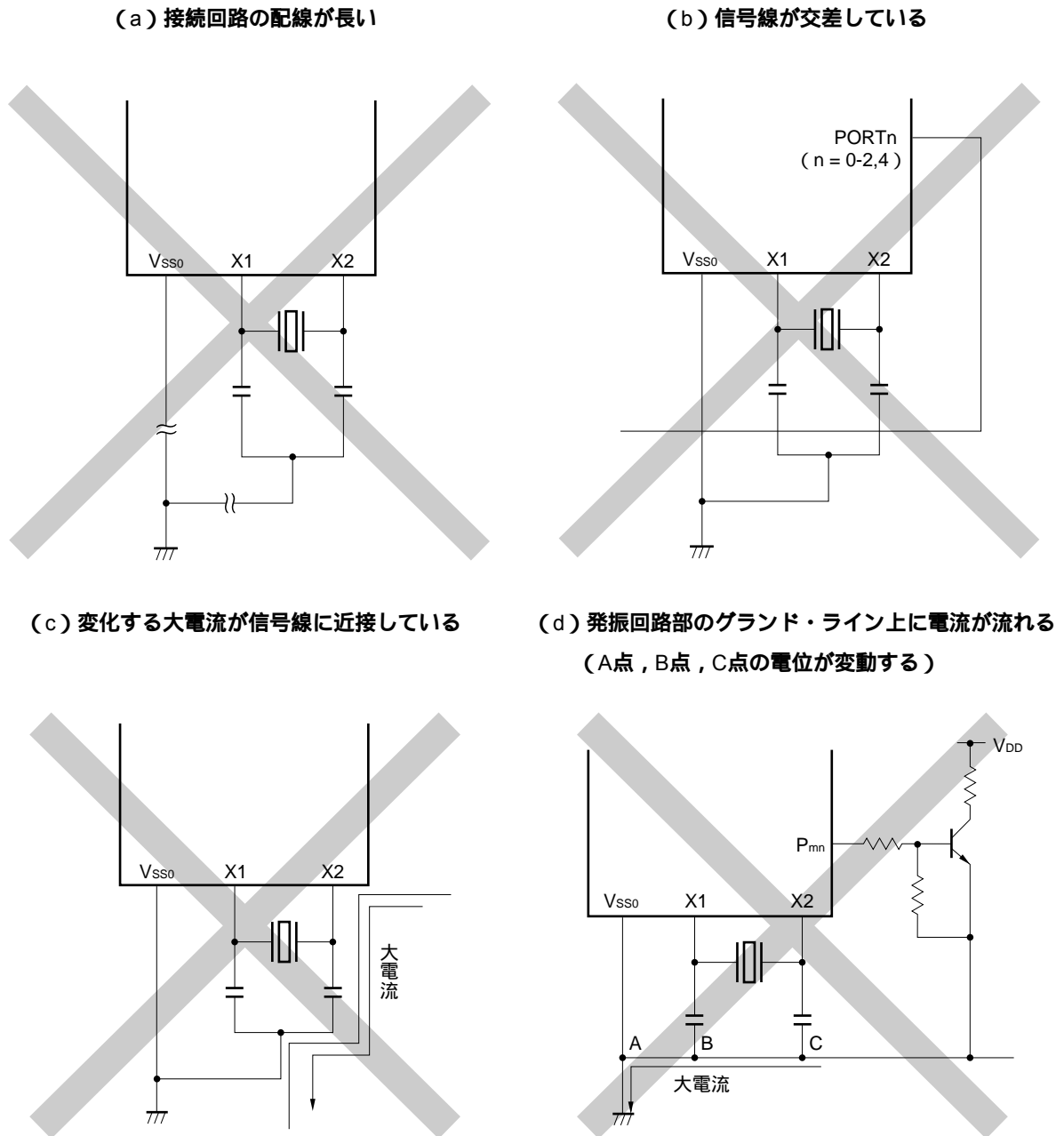
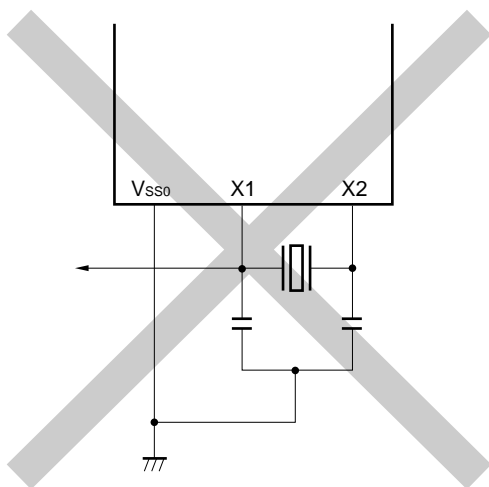


図5 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード ($1.33 \mu\text{s} : 6.0 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階の最小命令実行時間 ($0.33 \mu\text{s}$, $1.33 \mu\text{s} : 6.0 \text{ MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-2参照）。

表5-2 CPUクロックの切り替えに要する最大時間

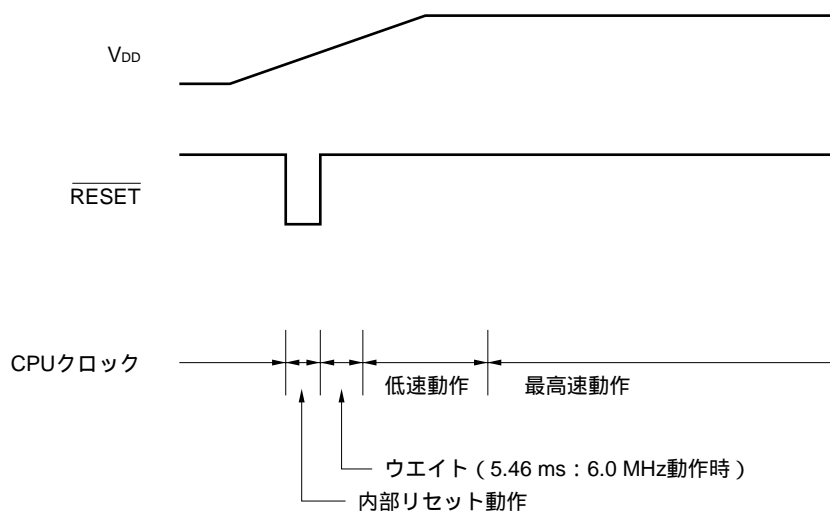
切り替え前の設定値	切り替え後の設定値	
	PCC1	PCC1
0	0	1
	1	2クロック
1	2クロック	4クロック

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5-5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間（ $2^{15}/f_x$ ）を確保します。

その後、CPUはシステム・クロックの低速（ $1.33 \mu\text{s} : 6.0 \text{ MHz}$ 動作時）で命令の実行を開始します。 V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて最高速動作を行います。

第6章 8ビット・タイマ/イベント・カウンタ00, 01

6.1 8ビット・タイマ/イベント・カウンタ00, 01の機能

8ビット・タイマ/イベント・カウンタ (TM00, TM01) には、次のような機能があります。

- ・インターバル・タイマ (TM00, TM01)
- ・外部イベント・カウンタ (TM01のみ)
- ・方形波出力 (TM01のみ)

μ PD789800サブシリーズでは、8ビット・タイマ/イベント・カウンタを1チャンネル (TM01) , 8ビット・タイマを1チャンネル (TM00) を内蔵しています。TM00の説明としてお読みになる場合、タイマ/イベント・カウンタをタイマと読み替えてください。

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表6 - 1 8ビット・タイマ00のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^6/f_x$ (10.7 μ s)	$2^{14}/f_x$ (2.73 ms)	$2^6/f_x$ (10.7 μ s)
$2^9/f_x$ (85.3 μ s)	$2^{17}/f_x$ (21.8 ms)	$2^9/f_x$ (85.3 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時。

表6 - 2 8ビット・タイマ/イベント・カウンタ01のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^4/f_x$ (2.67 μ s)	$2^{12}/f_x$ (682.7 μ s)	$2^4/f_x$ (2.67 μ s)
$2^8/f_x$ (42.7 μ s)	$2^{16}/f_x$ (10.9 ms)	$2^8/f_x$ (42.7 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表6-3 8ビット・タイマ/イベント・カウンタ01の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^4/f_x$ (2.67 μ s)	$2^{12}/f_x$ (682.7 μ s)	$2^4/f_x$ (2.67 μ s)
$2^8/f_x$ (42.7 μ s)	$2^{16}/f_x$ (10.9 ms)	$2^8/f_x$ (42.7 μ s)

- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 6.0$ MHz動作時

6.2 8ビット・タイマ/イベント・カウンタ00,01の構成

8ビット・タイマ/イベント・カウンタ00,01は, 次のハードウェアで構成しています。

表6-4 8ビット・タイマ/イベント・カウンタ00,01の構成

項目	構成
タイマ・カウンタ	8ビット×2本 (TM00, TM01)
レジスタ	コンペア・レジスタ : 8ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO01)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ00,01 (TMC00, TMC01) ポート・モード・レジスタ2 (PM2)

図6-1 8ビット・タイマ00のブロック図

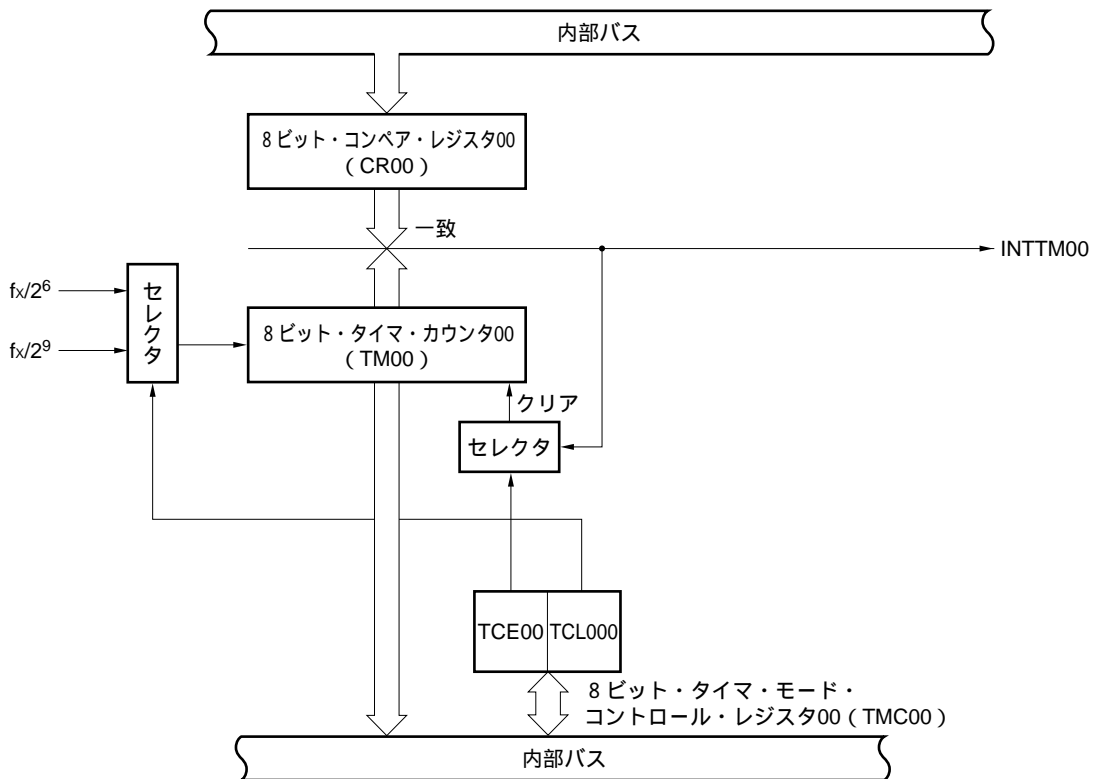
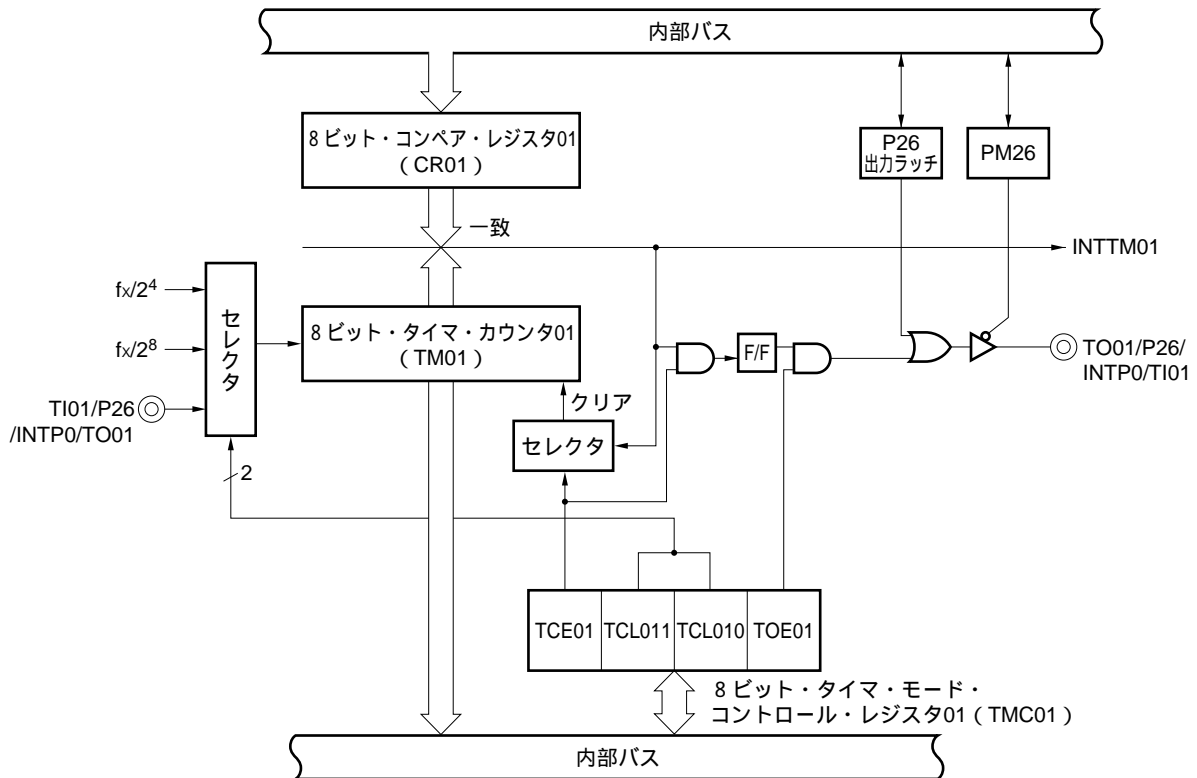


図6-2 8ビット・タイマ/イベント・カウンタ01のブロック図



(1) 8ビット・コンペア・レジスタ0n (CR0n)

CR0nに設定した値と8ビット・タイマ・カウンタ0n (TM0n)のカウント値を常に比較し、一致したときに割り込み要求 (INTTM0n) を発生する8ビットのレジスタです。

CR0nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR0nの設定は必ずタイマ動作を停止させたのちに行ってください。

備考 n = 0, 1

(2) 8ビット・タイマ・カウンタ0n (TM0n)

カウント・パルスをカウントする8ビットのレジスタです。

TM0nは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 n = 0, 1

6.3 8ビット・タイマ/イベント・カウンタ00, 01を制御するレジスタ

8ビット・タイマ/イベント・カウンタ00, 01は、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)
- ・ポート・モード・レジスタ2 (PM2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

8ビット・タイマ・カウンタ00 (TM00) の動作許可/停止, 8ビット・タイマ00のカウント・クロックの設定をするレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-3 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC00	TCE00	0	0	0	0	0	TCL000	0	FF53H	00H	R/W

TCE00	8ビット・タイマ・カウンタ00の動作の制御
0	動作停止 (TM00は0にクリア)
1	動作許可

TCL000	8ビット・タイマ00のカウント・クロックの選択
0	$f_x/2^6$ (93.8 kHz)
1	$f_x/2^9$ (11.7 kHz)

注意 カウント・クロックの設定は必ずタイマ動作を停止 (TCE00 = 0) させたのちに行ってください。

詳しくは、6.4 8ビット・タイマ/イベント・カウンタ00, 01の動作を参照してください。

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01)

8ビット・タイマ・カウンタ01 (TM01) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ01 のカウント・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC01は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図6-4 8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット

略号	⑦	6	5	4	3	2	1	⑩	アドレス	リセット時	R/W
TMC01	TCE01	0	0	0	0	TCL011	TCL010	TOE01	FF57H	00H	R/W

TCE01	8ビット・タイマ・カウンタ01の動作の制御	
0	動作停止 (TM01は0にクリア)	
1	動作許可	

TCL011	TCL010	8ビット・タイマ/イベント・カウンタ01のカウント・クロックの選択
0	0	$f_x/2^4$ (375 kHz)
0	1	$f_x/2^8$ (23.4 kHz)
1	0	TI01の立ち上がりエッジ ^注
1	1	TI01の立ち下がりエッジ ^注

TOE01	8ビット・タイマ/イベント・カウンタ01の出力の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	

注 外部からクロックを入力する場合は, タイマ出力を使用できません。

注意 カウント・クロックの設定は必ずタイマ動作を停止 (TCE01 = 0) させたのちに行ってください。

詳しくは6.4 8ビット・タイマ/イベント・カウンタ00,01の動作を参照してください。

備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 6.0$ MHz動作時。

(3) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P26/TO01/INTP0/TI01端子をタイマ出力として使用するとき，PM26およびP26の出力ラッチに0を設定してください。

P26/TO01/INTP0/TI01端子をタイマ入力として使用するとき，PM26に1を設定してください。

PM2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，FFHになります。

図6 - 5 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM26	P26端子の入出力モードの設定
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 8ビット・タイマ/イベント・カウンタ00, 01の動作

6.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ00, 01 (CR00, CR01) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ0n (TM0n) を動作禁止 (TCE0n (8ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウント・クロックを設定 (表6-5, 表6-6参照)

CR0nにカウント値を設定

TM0nを動作許可 (TCE0n = 1) に設定

8ビット・タイマ・カウンタ0n (TM0n) のカウント値がCR0nに設定した値と一致したとき、TM0nの値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM0n) を発生します。

表6-5, 表6-6にインターバル時間を、図6-6, 図6-7にインターバル・タイマ動作のタイミングを示します。

注意 TMC0nでカウント・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で操作してください。

備考 n = 0, 1

表6-5 8ビット・タイマ00のインターバル時間

TCL000	最小インターバル時間	最大インターバル時間	分解能
0	$2^6/f_x$ (10.7 μ s)	$2^{14}/f_x$ (2.73 ms)	$2^6/f_x$ (10.7 μ s)
1	$2^9/f_x$ (85.3 μ s)	$2^{17}/f_x$ (21.8 ms)	$2^9/f_x$ (85.3 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時。

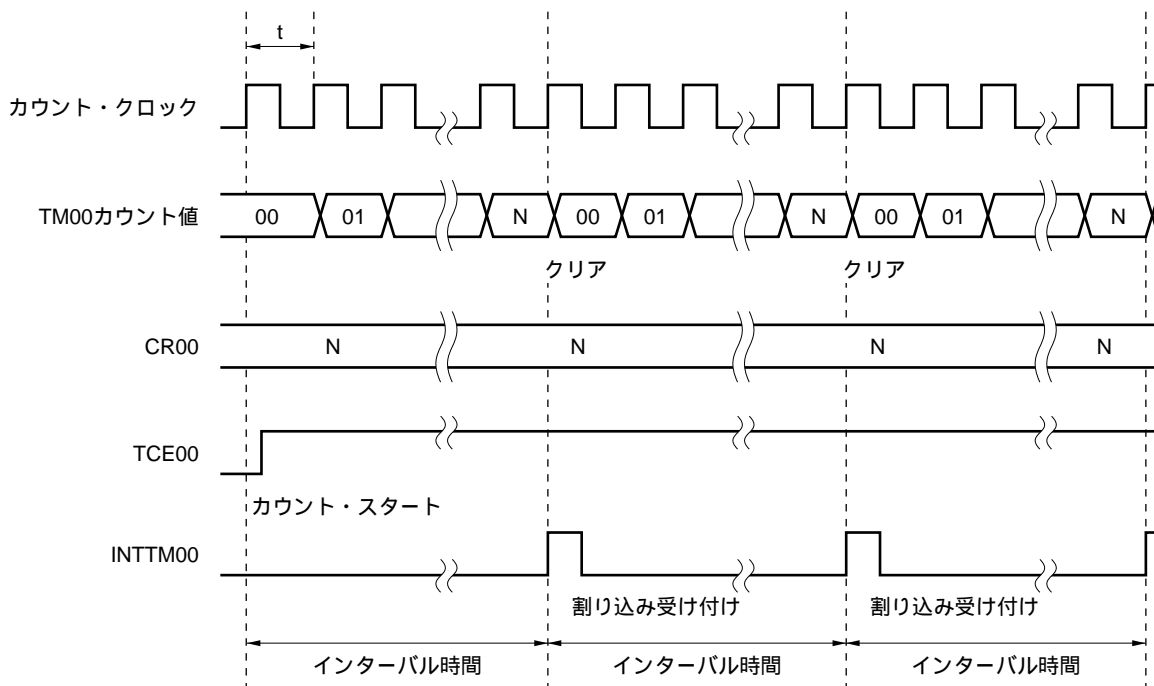
表6-6 8ビット・タイマ/イベント・カウンタ01のインターバル時間

TCL011	TCL010	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_x$ (2.67 μ s)	$2^{12}/f_x$ (682.7 μ s)	$2^4/f_x$ (2.67 μ s)
0	1	$2^8/f_x$ (42.7 μ s)	$2^{16}/f_x$ (10.9 ms)	$2^8/f_x$ (42.7 μ s)
1	0	TI01入力周期	$2^8 \times$ TI01入力周期	TI01入力エッジ周期
1	1	TI01入力周期	$2^8 \times$ TI01入力周期	TI01入力エッジ周期

備考1. f_x : システム・クロック発振周波数

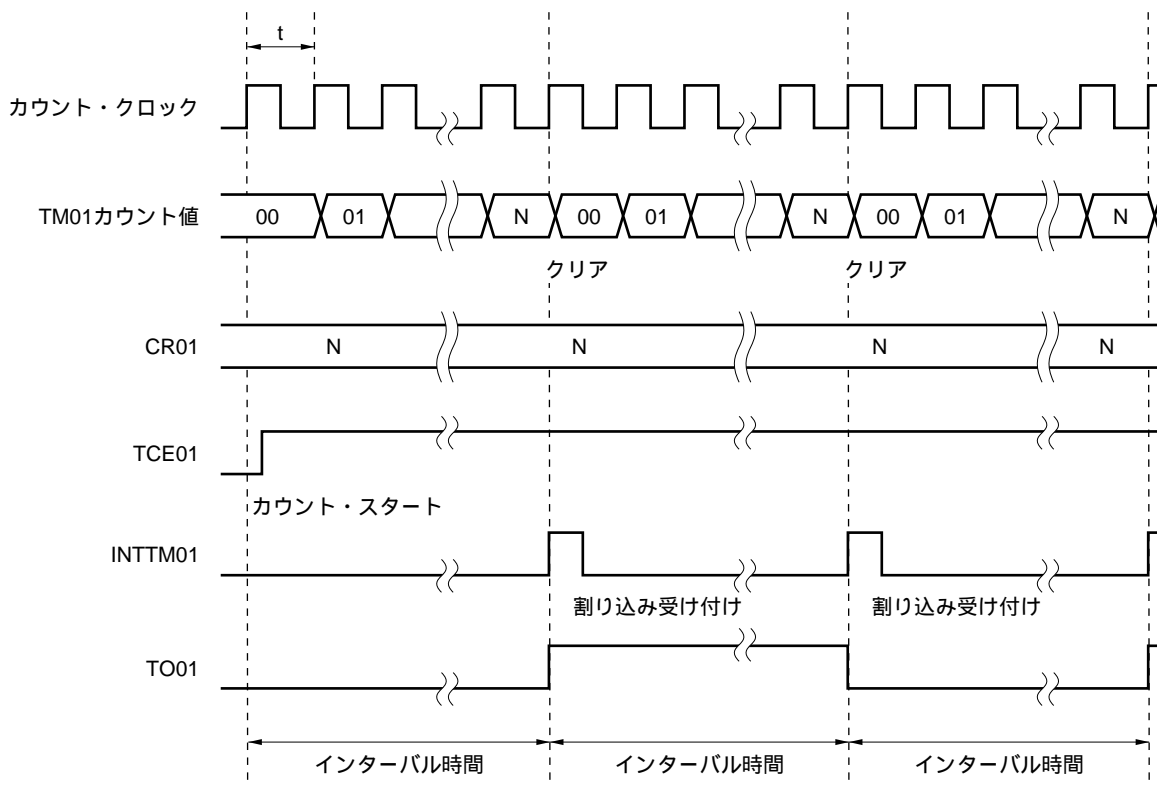
2. () 内は、 $f_x = 6.0$ MHz動作時。

図6-6 8ビット・タイマ00のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$

図6-7 8ビット・タイマ/イベント・カウンタ01のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$

6.4.2 外部イベント・カウンタとしての動作 (タイマ01のみ)

外部イベント・カウンタは、TI01/P26/INTP0/TO01端子に入力される外部からのクロック・パルス数をタイマ・カウンタ01 (TM01) でカウントするものです。

8ビット・タイマ/イベント・カウンタを外部イベント・カウンタとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ01 (TM01) を動作禁止 (TCE01 (8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) のビット7) = 0) に設定

TI01の立ち上がり/立ち下がりエッジを指定 (表6-6参照) しTO01を出力禁止 (TOE01 (TMC01のビット0) = 0) に設定

CR01にカウント値を設定

TM01を動作許可 (TCE01 = 1) に設定

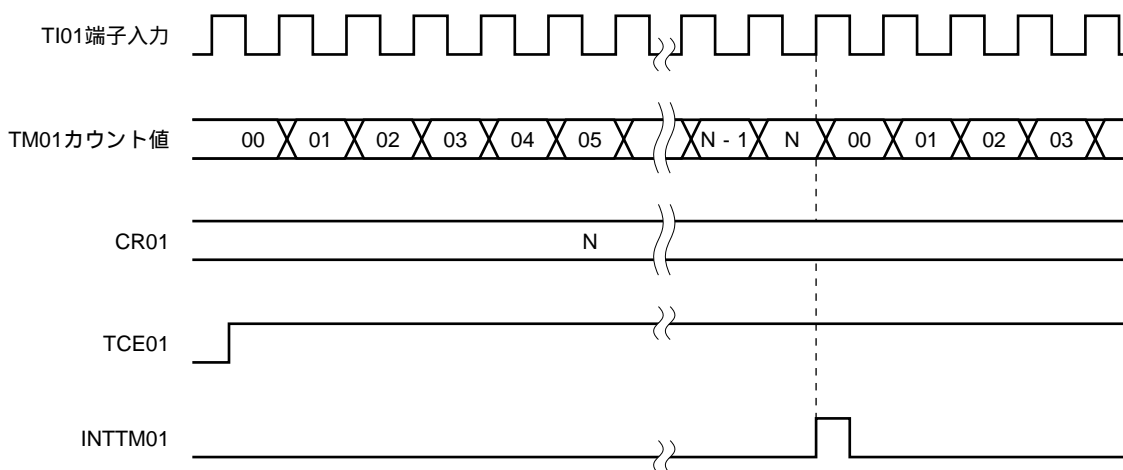
TMC01のビット1, 2 (TCL010, TCL010) で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ01 (TM01) がインクリメントされます。

TM01のカウント値がCR01に設定した値と一致したとき、TM01の値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM01) を発生します。

図6-8に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

注意 TMC01でカウント・クロックの設定とTM01の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で操作してください。

図6-8 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

6.4.3 方形波出力としての動作（タイマ01のみ）

8ビット・コンペア・レジスタ01（CR01）にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ/イベント・カウンタ01を方形波出力として動作させるには次の順序で設定をします。

P26を出力モード（PM26 = 0）に、P26の出力ラッチに0を設定

8ビット・タイマ・カウンタ01（TM01）を動作禁止（TCE01（8ビット・タイマ・モード・コントロール・レジスタ01（TMC01）のビット7）= 0）に設定

8ビット・タイマ/イベント・カウンタ01のカウント・クロックを設定（表6 - 7参照）しTO01を出力許可（TOE01（TMC01のビット0）= 1）に設定

CR01にカウント値を設定

TM01を動作許可（TCE01 = 1）に設定

8ビット・タイマ・カウンタ01（TM01）のカウント値がCR01に設定した値と一致したとき、TO01/P26/INTP0/TI01端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM01の値は、0にクリアされてカウントを継続するとともに、割り込み要求信号（INTTM01）を発生します。

方形波出力は、TMC01のビット7（TCE01）に0を設定するとクリア（0）されます。

表6 - 7に方形波出力範囲を、図6 - 9に方形波出力のタイミングを示します。

注意 TMC01でカウント・クロックの設定とTM01の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で操作してください。

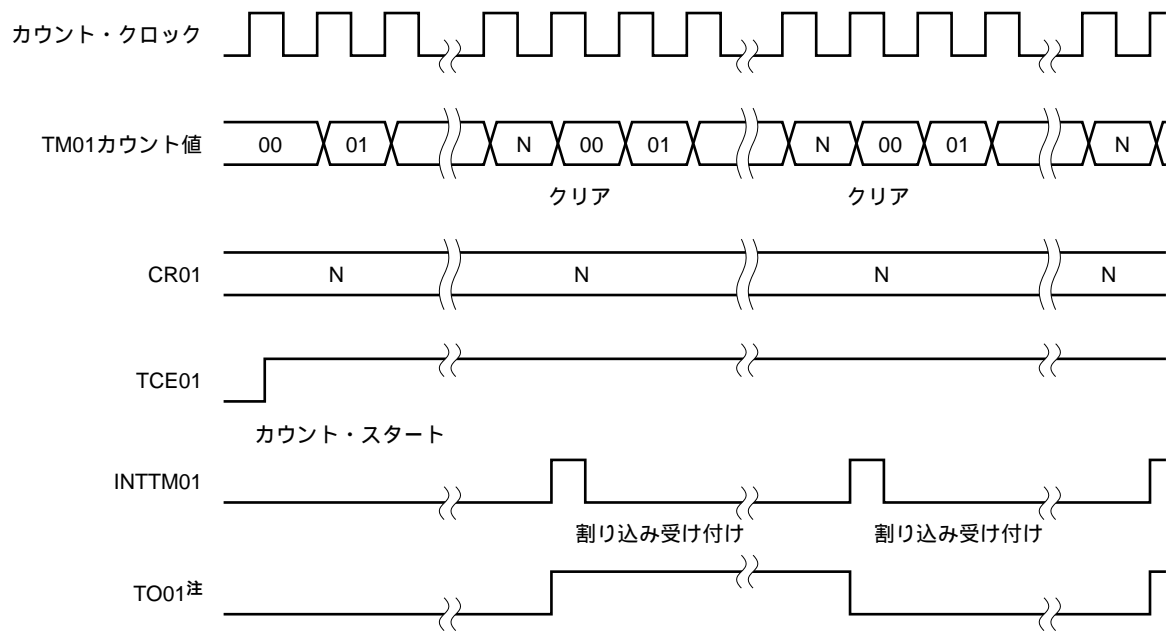
表6 - 7 8ビット・タイマ/イベント・カウンタ01の方形波出力範囲

TCL011	TCL010	最小パルス幅	最大パルス幅	分解能
0	0	$2^4/f_x$ (2.67 μ s)	$2^{12}/f_x$ (682.7 μ s)	$2^4/f_x$ (2.67 μ s)
0	1	$2^8/f_x$ (42.7 μ s)	$2^{16}/f_x$ (10.9 ms)	$2^8/f_x$ (42.7 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時

図6-9 方形波出力のタイミング



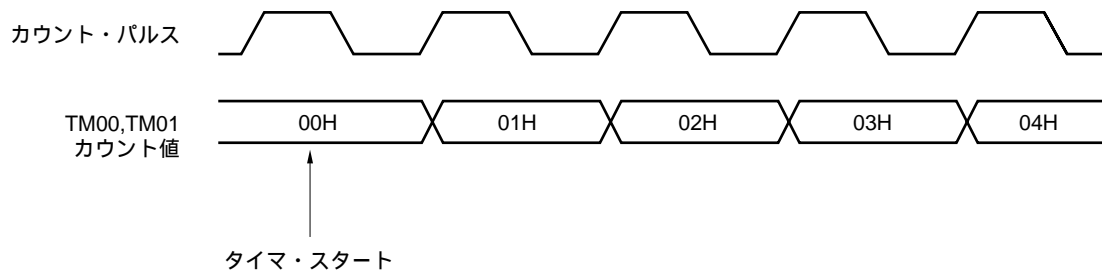
注 出力許可 (TOE01 = 1) 時のTO01の初期値は、ロウ・レベルになります。

6.5 8ビット・タイマ/イベント・カウンタ00, 01の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ00, 01 (TM00, TM01) のスタートが非同期で行われるためです。

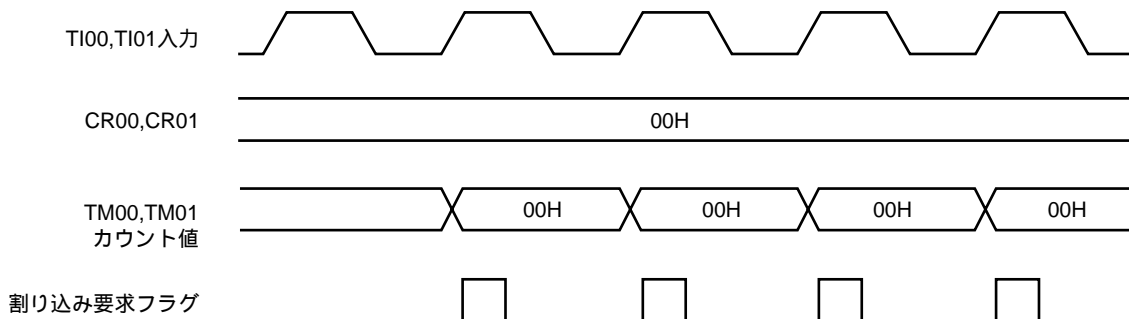
図6 - 10 8ビット・タイマ・カウンタのスタート・タイミング



(2) 8ビット・コンペア・レジスタの設定

8ビット・コンペア・レジスタ00, 01 (CR00, CR01) には、00Hの設定が可能です。したがって、イベント・カウンタとして使用时、1パルスのカウント動作が可能です。

図6 - 11 外部イベント・カウンタとしての動作時のタイミング



第7章 ウォッチドッグ・タイマ

7.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表7-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 6.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	341 μs
$2^{13} \times 1/f_x$	1.37 ms
$2^{15} \times 1/f_x$	5.46 ms
$2^{17} \times 1/f_x$	21.8 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表7-2 インターバル時間

インターバル時間	$f_x = 6.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	341 μs
$2^{13} \times 1/f_x$	1.37 ms
$2^{15} \times 1/f_x$	5.46 ms
$2^{17} \times 1/f_x$	21.8 ms

f_x : システム・クロック発振周波数

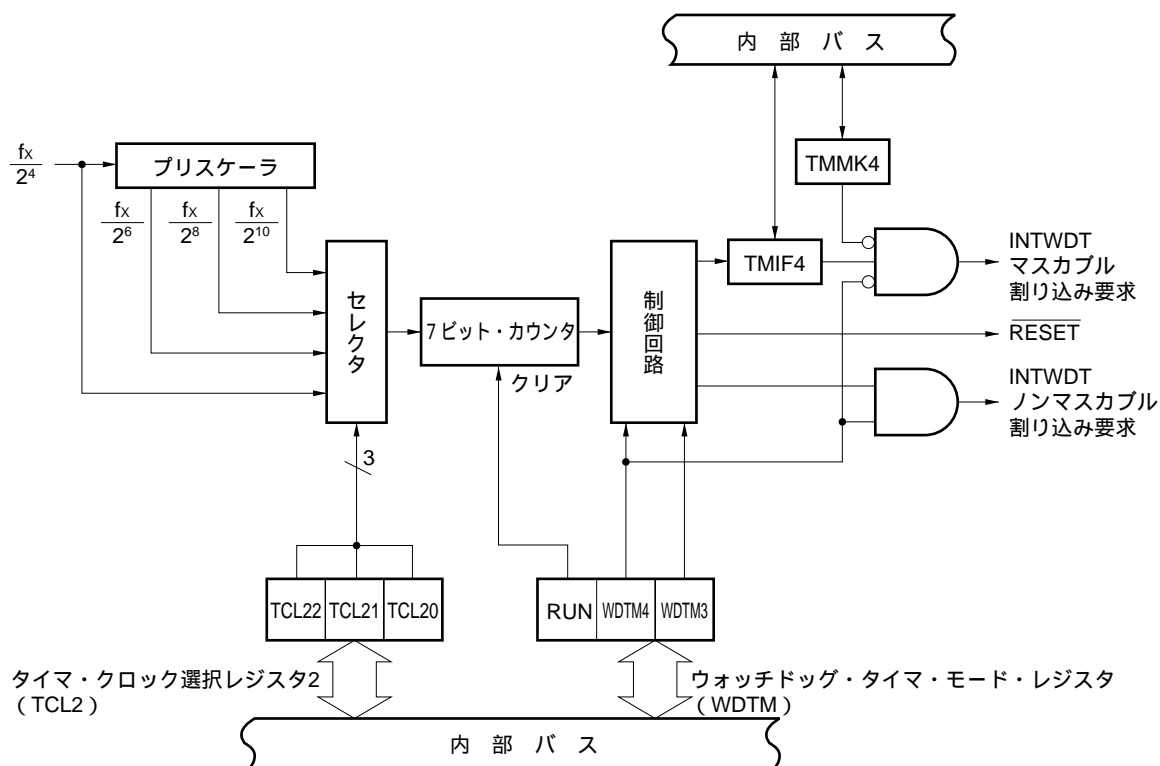
7.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表7-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図7-1 ウォッチドッグ・タイマのブロック図



7.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (375 kHz)	$2^{11}/f_x$ (341 μ s)
0	1	0	$f_x/2^6$ (93.8 kHz)	$2^{13}/f_x$ (1.37 ms)
1	0	0	$f_x/2^8$ (23.4 kHz)	$2^{15}/f_x$ (5.46 ms)
1	1	0	$f_x/2^{10}$ (5.86 kHz)	$2^{17}/f_x$ (21.8 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.0$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図7-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時，マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時，ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4 (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスクブル割り込みが発生します。

7.4 ウォッチドッグ・タイマの動作

7.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウンタ・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表7-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 6.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	341 μ s
0	1	0	$2^{13} \times 1/f_x$	1.37 ms
1	0	0	$2^{15} \times 1/f_x$	5.46 ms
1	1	0	$2^{17} \times 1/f_x$	21.8 ms

f_x : システム・クロック発振周波数

7.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) とRESET入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表7 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 6.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	341 μ s
0	1	0	$2^{13} \times 1/f_x$	1.37 ms
1	0	0	$2^{15} \times 1/f_x$	5.46 ms
1	1	0	$2^{17} \times 1/f_x$	21.8 ms

f_x : システム・クロック発振周波数

第8章 USBファンクション

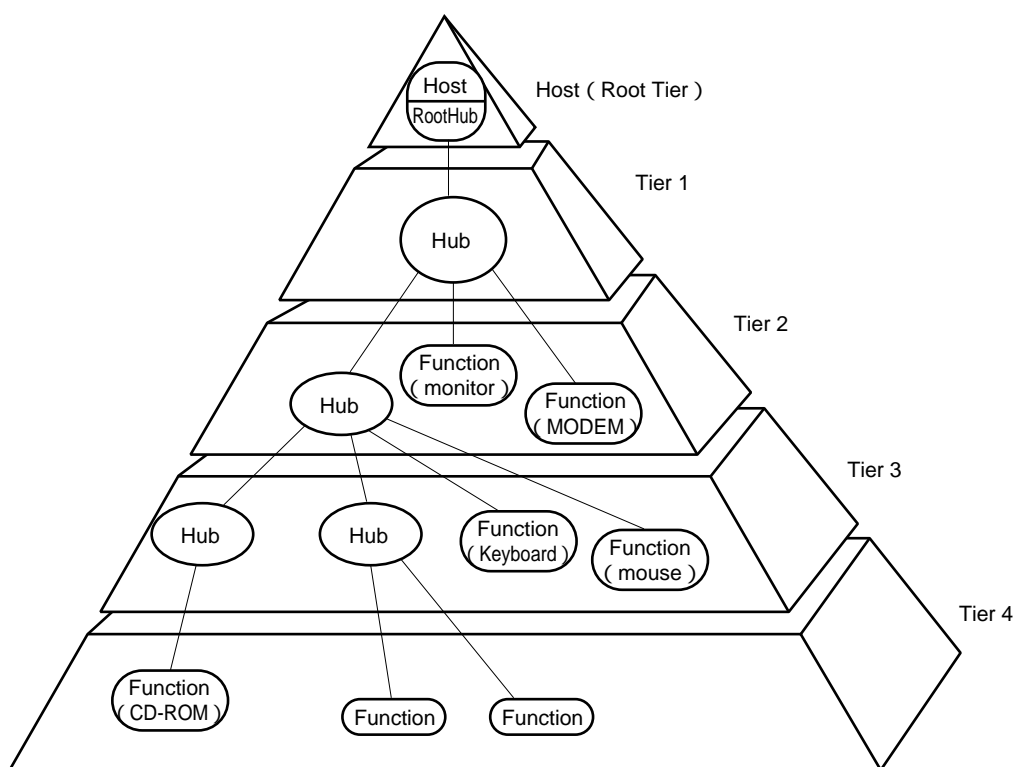
8.1 USBの概要

USB (Universal Serial Bus) は、パソコンとオーディオ、キーボード、ポインティング・デバイス、電話などの外部機器の接続に適しており、データ転送能力は12 Mbpsと1.5 Mbpsの2種類が規定されています。

また、Plug & Playが実現できることも特徴の1つです。

図8 - 1に、デスクトップ・パソコンを例としたUSBの接続形態を示します。USBは、パソコン本体に内蔵されるHOSTコントローラと、ポートの拡張と接続のために配置されるHUB、バスの終端に配置されるFunctionによって構成されています。また、FunctionはEndpointとも呼ばれ、USBにおける事実上のデータ転送先またはデータ転送元となる機能を持っています。

図8 - 1 USBバス・トポロジー (デスクトップ・パソコンの例)



8.2 USBファンクションの特徴

μPD789800サブシリーズに内蔵されているUSBファンクションの特徴を次に示します。

(1) Video Display DeviceとHuman Interface Deviceをターゲットとしています。そのため、Endpointはコントロール転送用のEndpoint0とインタラプト転送用のEndpoint1のみをサポートしています。

(2) システム・クロック6.0 MHzで1.5 Mbps (Low Speed) の転送をサポートしています。

(3) 次に示すバッファを内蔵しています。

- ★ ・受信トークン・バンク : 1バンク (3バイト)
- ★ ・受信データ・バンク : 1バンク (9バイト)
- ★ ・送信データ・バンク : 2バンク (9バイト×2)

(4) USBの通信プロトコルで規定されているNRZI (Non Return Zero Invert) デコード/エンコード機能, ビット・スタッフィング機能, CRC (Cyclic Redundancy Check) 機能をすべて内蔵しており, 自動実行します。

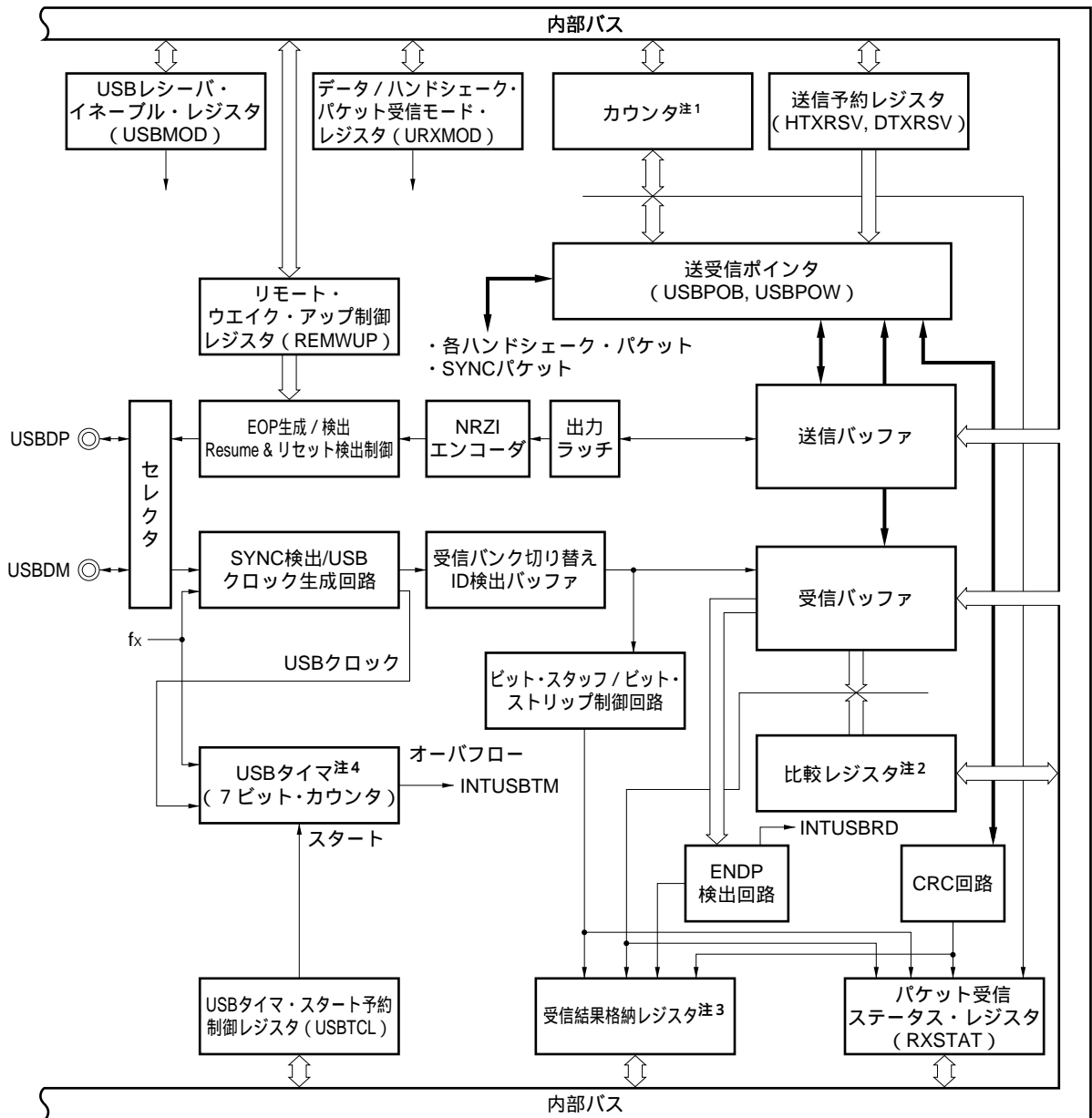
8.3 USBファンクションの構成

USBファンクションは、次のハードウェアで構成しています。

表8 - 1 USBファンクションの構成

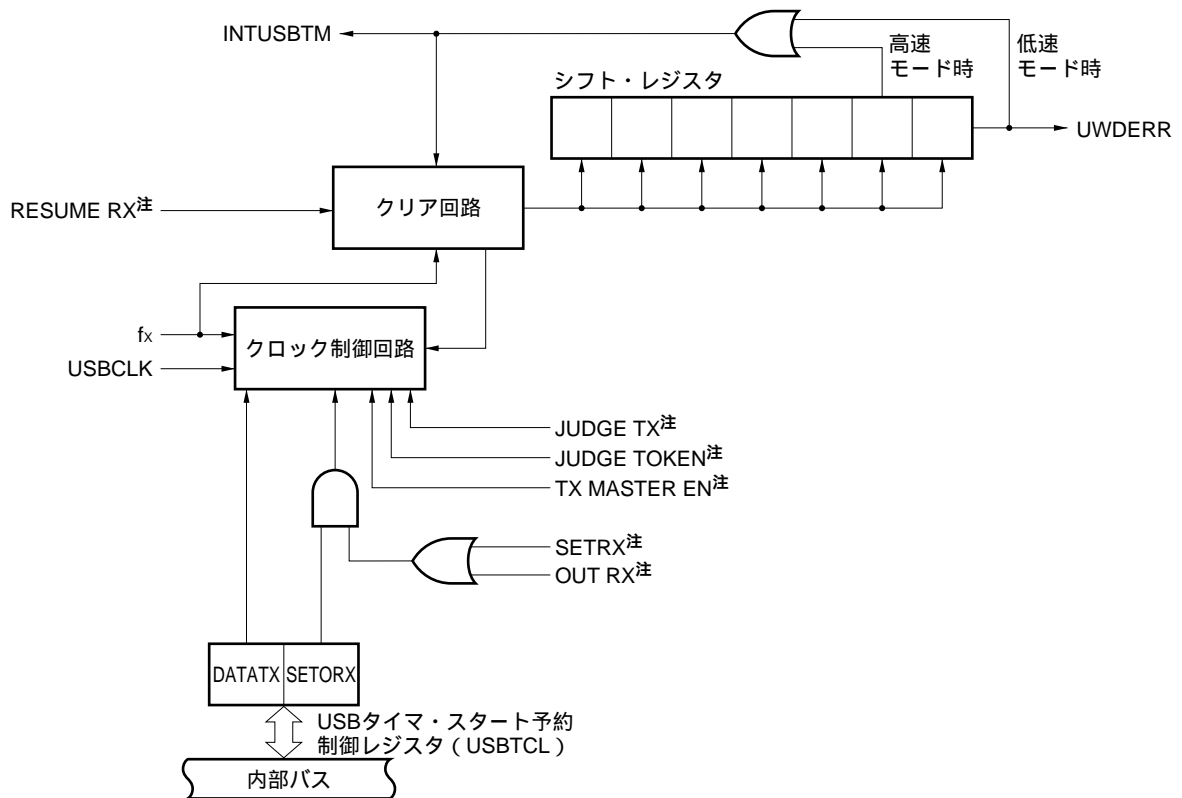
項 目	構 成
バッファ	受信バンク切り替えID検出バッファ (内部バッファ)
レジスタ	送受信ポインタ (USBPOW) 受信トークンPID (USB RTP) 受信トークン・アドレスL, H (USBRAL, USBRAH) } 受信トークン・バンク 受信データPID (USBRD) 受信データ・アドレス (USBR0-USBR7) } 受信データ・バンク 送信データPIDバンク0 (USBT00) 送信データ・バンク0アドレス (USBT00-USBT07) } 送信データ・バンク0 送信データPIDバンク1 (USBT10) 送信データ・バンク1アドレス (USBT10-USBT17) } 送信データ・バンク1 データ/ハンドシェーク・パケット受信バイト数カウンタ (DRXCON) データ・パケット送信バイト数カウンタ0, 1 (DTXCO0, DTXCO1) トークンPID比較レジスタ (TIDCMP) トークン・アドレス比較レジスタ (ADRCMP) データ/ハンドシェークPID比較レジスタ (DIDCMP)
制御レジスタ	USBレシーバ・イネーブル・レジスタ (USBMOD) データ/ハンドシェーク・パケット受信モード・レジスタ (URXMOD) パケット受信ステータス・レジスタ (RXSTAT) データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL) トークン・パケット受信結果格納レジスタ (TRXRSL) データ・パケット送信予約レジスタ (DTXRSV) ハンドシェーク・パケット送信予約レジスタ (HTXRSV) USBタイム・スタート予約制御レジスタ (USBTCL) リモート・ウエイク・アップ制御レジスタ (REMWUP)

図8 - 2 USBファンクションのブロック図



- 注1. データ/ハンドシェーク・パケット受信バイト数カウンタ (DRXCON) , データ・パケット送信バイト数カウンタ0, 1 (DTXCO0, DTXCO1)
2. トークン・アドレス比較レジスタ (ADRCMP) , トークンPID比較レジスタ (TIDCMP) , データ/ハンドシェークPID比較レジスタ (DIDCMP)
3. トークン・パケット受信結果格納レジスタ (TRXRSL) , データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL)
4. USBタイマの構成については, 図8 - 3を参照してください。

図8-3 USBタイマのブロック図



注 内部で使用する信号であり、ソフトウェアで確認することはできません。

備考 fx : システム・クロック発振周波数

UWDERR : パケット受信ステータス・レジスタ (RXSTAT) のビット7

(1) 受信バンク切り替えID検出バッファ (内部バッファ)

受信バッファの前段に配置されている2ビットの内部バッファです。パケット受信時にパケットIDの下位2ビットを検出し、パケットの格納バンクを決定します

格納された2ビットのデータにより、次のように制御されます。詳細については、8.5.3 **受信バンク切り替えID検出バッファの動作**を参照してください。

格納された最初の2ビット (ID領域の下位2ビット) が01Bの場合、TOSTAT (パケット受信ステータス・レジスタ (RXSTAT) のビット0) がセットされ (トークン・パケット受信)、受信トークン・アドレスへのパケット格納を指示する信号を送受信ポインタへ出力する。

格納された最初の2ビットが11Bの場合、DASTAT (RXSTATのビット1) がセットされ (データ・パケット受信)、受信データ・アドレスへのパケット格納を指示する信号を送受信ポインタへ出力する。

格納された最初の2ビットが10Bの場合、HSSTAT (RXSTATのビット2) がセットされ (ハンドシェーク・パケット受信)、受信データ・アドレスへのパケット格納を指示する信号を送受信ポインタへ出力する。

(2) 送受信ポインタ (USBPOB, USBPOW)

USBPOBは送信 / 受信バッファのビット側のポインタ、USBPOWは送信 / 受信バッファのワード側のポインタです。また、USBPOB、USBPOWはCRC回路などへの制御信号も出力します。

受信バンク切り替えID検出バッファからのパケットID検出信号によりリセット、スタートします。

USBPOBは、USBクロックでインクリメントされます。USBPOWは、USBPOBのオーバフローによってインクリメントされます。

USBPOWは、8ビット・メモリ操作命令で読み出します。USBPOBは内部ポインタのため、ソフトウェアで制御することはできません。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

USBPOWは、受信 / 送信バイト長の一致信号や送信予約などによって、次のように変更され、制御信号を出力します。詳細については、8.8.1 **送受信ポインタの動作**を参照してください。

- ・受信バンク切り替えID検出バッファでトークン・パケットの受信が検出された場合、00Hに設定される
- ・受信バンク切り替えID検出バッファでデータ / ハンドシェーク・パケットの受信が検出された場合、10Hに設定される
- ・USBPOWが01Hになった場合、CRC5 (CRC5ビット・モード) の実行開始を指示する信号が出力される
- ・USBPOWが11H, 21H, 31Hになった場合、CRC16 (CRC16ビット・モード) の実行開始を指示する信号が出力される
- ・USBPOWが02Hになり、その後USBPOBが02Hになった場合、CRC5の比較開始を指示する信号が出力され、USBPOWは70Hに設定される
- ・USBPOWの値がデータ / ハンドシェーク・パケット受信バイト数カウンタ (DRXCON) と一致した場合、USBPOBがオーバフローしたタイミングでCRC16の比較開始を指示する信号が出力され、USBPOWは70Hに設定される
- ・送信制御回路から送信開始を指示する信号を受けた場合、USBPOWは7FHに設定される。その後USBPOBがオーバフローしたタイミングで、そのときの送信予約とその前の受信データのエラー内容によりUSBPOWは20H, 30H, 40H, 50H, 60Hのいずれかに設定される

- ・ USBPOWの値がデータ・パケット送信バイト数カウンタ0 (DTXCO0) またはデータ・パケット送信バイト数カウンタ1 (DTXCO1) と一致した場合、USBPOBがオーバフローしたタイミングで、USBPOWは70Hに設定される (CRC冗長ビット付加)
- ・ USBPOWが71Hになった場合、USBPOBがオーバフローしたタイミングでEOP送信を指示する信号が出力される
- ・ USBPOWが40H, 50H, 60Hのいずれかで、USBPOBがオーバフローした場合、EOP送信を指示する信号が出力される

(3) 受信トークン・バンク

(a) 受信トークンPID (USBRTTP)

受信トークン・パケットのID領域です。トークンPID比較レジスタ (TIDCMP) への入力データが格納されます。

USBRTTPは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(b) 受信トークン・アドレスL, H (USBRAL, USBRAH)

HOSTから転送されるトークン・パケットを格納するレジスタです。USBRAL, USBRAHをあわせて16ビット構成になっています。USBRALのビット0-ビット6には、トークン・アドレス比較レジスタ (ADRCMP) への入力データが格納されます。

USBRAL, USBRAHは、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 4 受信トークン・バンクの構成



(4) 受信データ・バンク

(a) 受信データPID (USBRD)

受信データ・パケットのID領域です。データ/ハンドシェークPID比較レジスタ (DIDCMP) への入力データが格納されます。

USBRDは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

(b) 受信データ・アドレス (USBR0-USBR7)

HOSTから転送されるデータ/ハンドシェーク・パケットを格納する8バイトのレジスタです。

USBR0-USBR7は、それぞれ8ビット・メモリ操作命令で読み出します。

また、次のように組み合わせで使用するときは、16ビット・メモリ操作命令でも読み出せます。

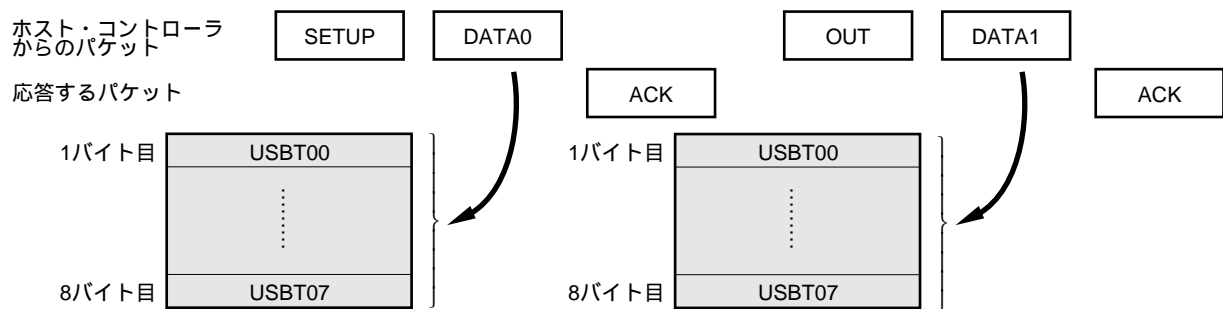
- ・ USBR10 : USBR0とUSBR1
- ・ USBR32 : USBR2とUSBR3
- ・ USBR54 : USBR4とUSBR5
- ・ USBR76 : USBR6とUSBR7

RESET入力により、それぞれ不定になります。

図8 - 5 受信データ・バンクの構成



★ 受信時には次のようなイメージになります。



ホスト・コントローラからのデータ・パケットは、USBT00-USBT07の各レジスタに格納されます。

(5) 送信データ・バンク0, 1

(a) 送信データPIDバンク0, 1 (USBTD0, USBTD1)

USBTD0は送信バッファ0のID領域、USBTD1は送信バッファ1のID領域です。DATA0 (C3H) またはDATA1 (4BH) を格納します。

USBTD0, USBTD1は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、それぞれ不定になります。

(b) 送信データ・バンク0アドレス (USBT00-USBT07) , 送信データ・バンク1アドレス (USBT10-USBT17)

HOSTへ転送するデータを格納する8バイトのレジスタです。USBT00-USBT07は送信バッファ0、USBT10-USBT17は送信バッファ1のデータ領域になっています。

このレジスタから送信されるパケットにはCRC冗長ビット (16ビット) が必ず付加されるため、ハンドシェイク・パケット送信には使用できません。

USBT00-USBT07, USBT10-USBT17は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、それぞれ不定になります。

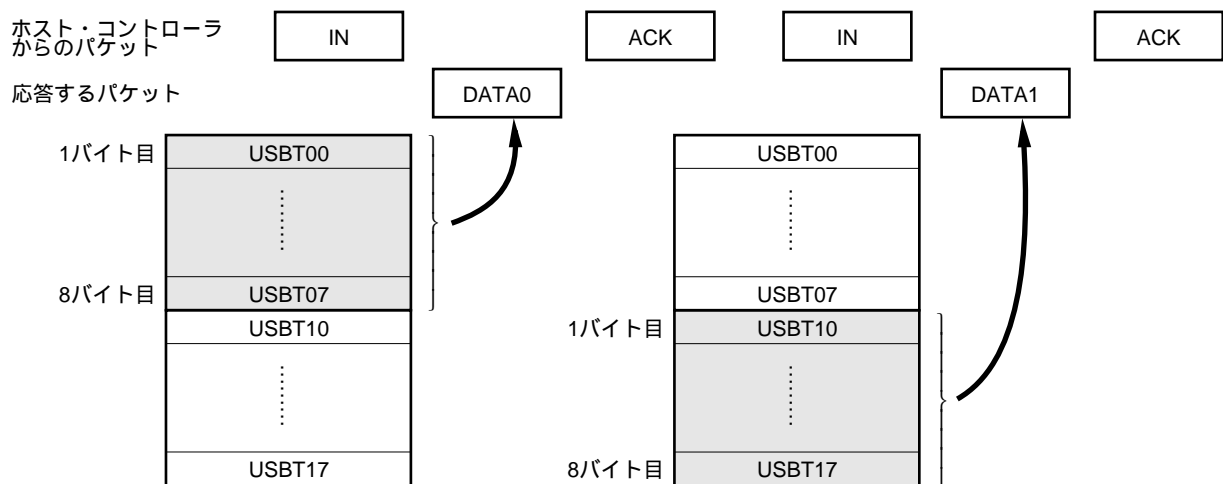
図8 - 6 送信データ・バンク0の構成 (バッファ0)



図8 - 7 送信データ・バンク1の構成 (バッファ1)



★ 送信時には次のようなイメージになります。



コントロール・リードのデータ・ステージでのデータ・シーケンスに応じてデータが読み出され、ホストへ送信されます。DATA0シーケンスの際はUSBT00-USBT07が、DATA1シーケンスの際はUSBT10-USBT17に格納された値が順番にホストへと送信されます。

(6) データ/ハンドシェイク・パケット受信バイト数カウンタ (DRXCON)

受信したいデータ/ハンドシェイク・パケットのデータ数を設定するレジスタです。データ/ハンドシェイク・パケット受信時、このレジスタの値と送受信ポインタ (USBPOW) の値を比較し、同一であればコンパレータから一致信号が出力されます。

データ・パケットを受信する場合は、DRXCONにCRC冗長ビット付加前の最終バイトが格納されるUSBPOWのアドレスを設定します。ハンドシェイク・パケットを受信する場合は、DRXCONに10Hを設定します。

DRXCONは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、18Hになります。

★ また、SETUP受信時^注にも18Hになります。

注 「SETUP受信時」とは、次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

(7) データ・パケット送信バイト数カウンタ0, 1 (DTXCO0, DTXCO1)

DTXCO0は送信データ・バンク0のデータ・パケットのデータ数を、DTXCO1は送信データ・バンク1の送信データ数を設定するレジスタです。データ・パケット送信時、これらのレジスタの値と送受信ポイント (USBPOW) の値を比較し、同一であればコンパレータから一致信号が出力されます。

DTXCO0, DTXCO1に設定する値は、CRC冗長ビット付加前の最終バイトが格納されているUSBPOWのアドレス (バッファ0は20H-28H, バッファ1は30H-38H) です。

DTXCO0, DTXCO1は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、DTXCO0は20H, DTXCO1は30Hになります。

(8) トークンPID比較レジスタ (TIDCMP)

受信したいトークン・パケットIDを設定するレジスタです。トークン・パケット受信時、このレジスタの値と受信トークンPID (USB RTP) の値を比較し、同一であればTIDRST (トークン・パケット受信結果格納レジスタ (TRXRSL) のビット1) がセットされます。

TIDCMPは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(9) トークン・アドレス比較レジスタ (ADRCMP)

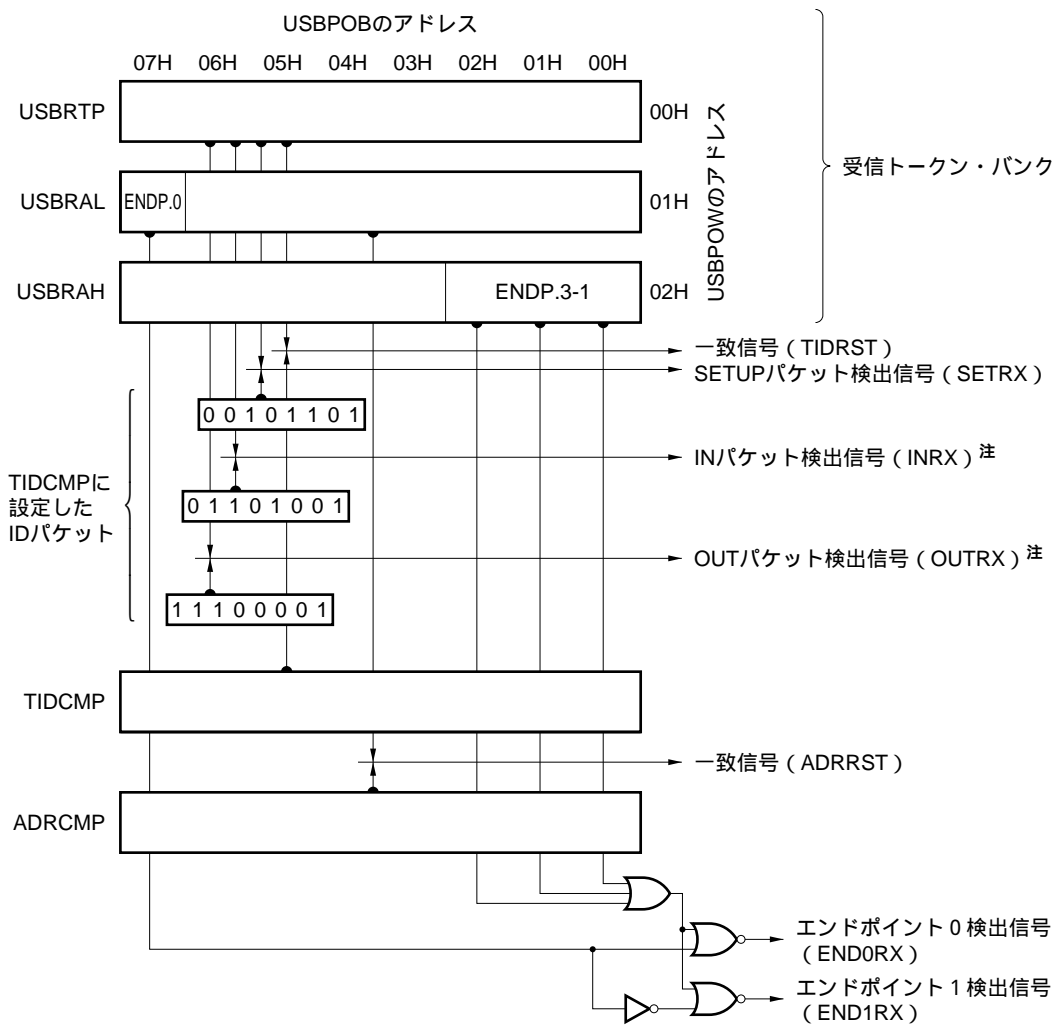
コントロール転送で、HOSTから指定されたアドレスを設定するレジスタです。トークン・パケット受信時、このレジスタの値と受信トークン・バンクのアドレス領域 (受信トークン・アドレスL (USB RAL) のビット0-6) を比較し、同一であればADRRST (トークン・パケット受信結果格納レジスタ (TRXRSL) のビット2) がセットされます。

USBリセットを受信した場合、ソフトウェアでADRCMPを00Hに設定する必要があります。

ADRCMPは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 8 TIDCMP, ADRCMPの構成



注 内部で使用する信号であり、ソフトウェアで確認することはできません。

(10) データ/ハンドシェイクPID比較レジスタ (DIDCMP)

受信したいデータ/ハンドシェイク・パケットIDを設定するレジスタです。データ/ハンドシェイク・パケット受信時、このレジスタの値と受信データPID (USB RD) の値を比較し、同一であればDIDRST (データ/ハンドシェイク・パケット受信結果格納レジスタ (DRXRSL) のビット1) がセットされます。

DIDCMPは、8ビット・メモリ操作命令で設定します。

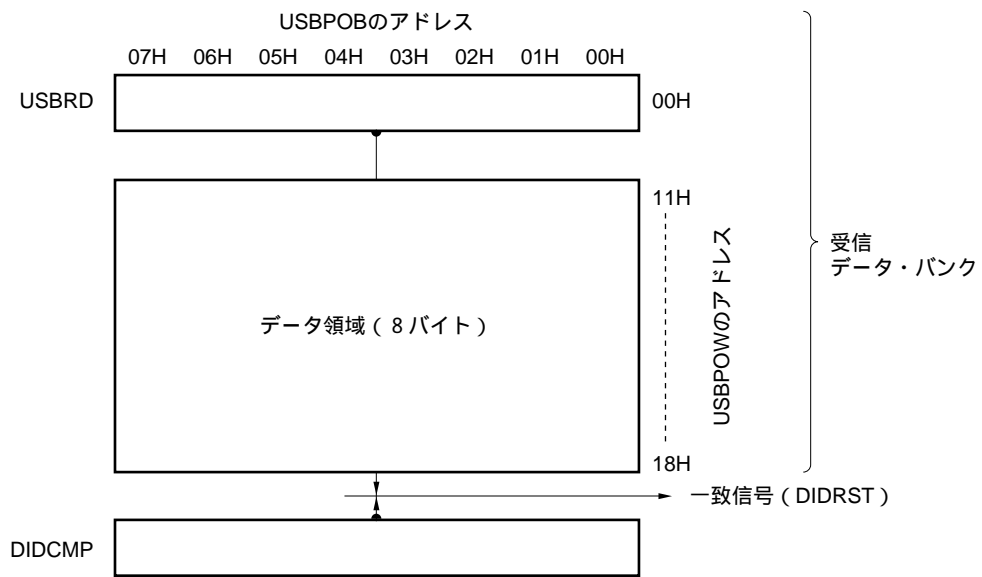
RESET入力により、C3Hになります。

★ また、SETUP受信時^注にもC3Hになります。

注 「SETUP受信時」とは、次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

図8-9 DIDCMPの構成



8.4 USBファンクションを制御するレジスタ

USBファンクションを制御するレジスタには、次の9種類があります。

- ・USBレシーバ・イネーブル・レジスタ (USBMOD)
- ・データ/ハンドシェイク・パケット受信モード・レジスタ (URXMOD)
- ・パケット受信ステータス・レジスタ (RXSTAT)
- ・データ/ハンドシェイク・パケット受信結果格納レジスタ (DRXRSL)
- ・トークン・パケット受信結果格納レジスタ (TRXRSL)
- ・データ・パケット送信予約レジスタ (DTXRSV)
- ・ハンドシェイク・パケット送信予約レジスタ (HTXRSV)
- ・USBタイマ・スタート予約制御レジスタ (USBTCL)
- ・リモート・ウエイク・アップ制御レジスタ (REMWUP)

(1) USBレシーバ・イネーブル・レジスタ (USBMOD)

USBレシーバの動作，停止を制御するレジスタです。

Single-endedレシーバはイネーブル・フラグを持たず，常時動作可能です。したがって，USBリセット信号，Resume信号，バスIdle保持用EOPの受信は常時可能です。

USBMODは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図8 - 10 USBレシーバ・イネーブル・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
USBMOD	0	0	0	0	0	0	0	RXEN	FF6DH	00H	R/W

RXEN	USBレシーバの動作の制御
0	USBレシーバは動作停止
1	USBレシーバは動作可能

(2) データ/ハンドシェイク・パケット受信モード・レジスタ (URXMOD)

データ/ハンドシェイク・パケットの受信モードを設定するレジスタです。

ビット0 (DWRMSK) は，データ・パケットの退避中にセットし，受信データ・アドレス11H番地以降が次のパケットに上書きされるのを防止します。

- ★ ビット1 (DINTEN) は，受信ステータス同期割り込み（データ・パケット受信とデータ退避を同時に行うために先行してINTUSBRD割り込み要求を発生させる）を設定するためのフラグです。

ビット2 (RESMOD) は，USBリセット信号の，バスIdle時とバスSuspend時の検出モードを切り替えるフラグです。

URXMODは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

- ★ また，SETUP受信時[※]にも00Hになります。

注 「SETUP受信時」とは，次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

図8 - 11 データ/ハンドシェーク・パケット受信モード・レジスタのフォーマット

略号	7	6	5	4	3	①			アドレス	リセット時	R/W
URXMOD	0	0	0	0	0	RESMOD	DINTEN	DWRMSK	FF66H	00H	R/W

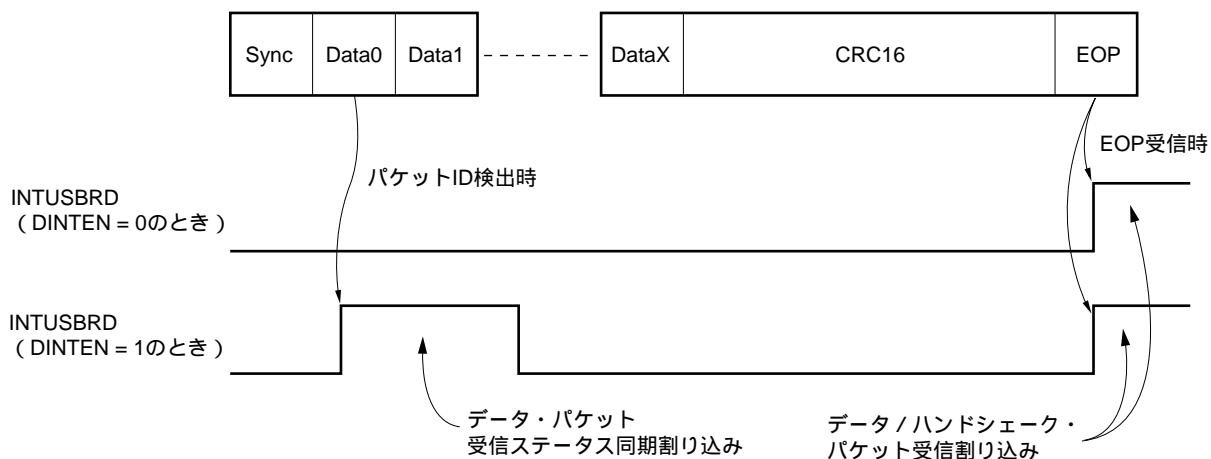
RESMOD	USBリセット信号検出モードの設定 ^{注1}
0	SE0 (Single-ended0) 期間が3.0 μs未満のUSBリセット信号を除去する
1	JステートからSE0への遷移をUSBリセット信号として検出する ^{注2}

★

DINTEN	データ・パケット受信ステータス同期割り込み許可フラグ
0	データ・パケット受信ステータス同期割り込みを発生しない
1	データ・パケット受信ステータス同期割り込みを発生する ^{注3}

DWRMSK	データ/ハンドシェーク・パケット書き込み禁止の設定
0	データ/ハンドシェーク・パケット受信バッファへの書き込みをすべてのアドレスに対して許可
1	データ/ハンドシェーク・パケット受信バッファの11H番地以降への書き込みを禁止

- ★ 注1. バスSuspend時のUSBリセットを検出するためのフラグなので、バスIdle時は1にセットしないでください。また、バスSuspendモードに入る直前までセットしないでください。バスSuspendモードから復帰した場合、すぐにクリアしてください。
2. バス上にノイズが入った場合、そのノイズをUSBリセット信号として検出してしまうことがあります。ソフトウェアでURES_RXフラグ (USB受信ステータス・レジスタ (RXSTAT) のビット4) を2回以上チェックすることで、USBリセット信号が入力されたかを確認してください。
- ★ 3. 受信ステータス同期割り込みは、データ/ハンドシェーク・パケット受信割り込み (INTUSBRD) の信号中に、下図に示すタイミングで発生します。



(3) パケット受信ステータス・レジスタ (RXSTAT)

各パケットの受信状態を表示するレジスタです。

ビット0-2 (TOSTAT, DASTAT, HSSTAT) は、それぞれトークン・パケット、データ・パケット、ハンドシェイク・パケットが受信中であることを示すフラグです。これらのフラグはID検出バッファでパケットIDが検出された時点でセットされ、EOP受信時に自動的にクリアされます。

★ ビット3-6 (EOPRX, URESRX, SE0RX, RESMRX) は、バスの状態遷移を検出するフラグです。これらのフラグはバス遷移を検出した直後にセットされ、クリアはソフトウェアで行います。ソフトウェアで1にセットすることはできません。

★ ビット7 (UWDERR) は、USBタイマで暴走を検出した場合にセットされるフラグです。フラグのクリアはソフトウェアで行います。ソフトウェアでUWDERRをセットすることはできません。USBタイマの暴走とは、「HOSTからの受信パケットのEOPが検出できなかった場合」や「バス上のノイズをバス状態の遷移として検出した場合」などの理由でUSBクロックが停止しない状態を指します。

RXSTATは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8 - 12 パケット受信ステータス・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RXSTAT	UWDERR	RESMRX	SE0RX	URESRX	EOPRX	HSSTAT	DASTAT	TOSTAT	FF67H	00H	R/W ^注

UWDERR	USBタイマの暴走検出
0	USBタイマの暴走が検出されていない
1	USBタイマの暴走（85.3 μs（6.0 MHz動作時）以上のUSBクロック動作）を検出し、USBクロックを強制的に停止する。USBリセット、Resume信号を受信した場合にもセットされる

RESMRX	Resume信号の受信ステータス
0	Resume信号を受信していない
1	Resume信号を受信している（レベル検出）

SE0RX	Single-ended 0信号の検出ステータス
0	Single-ended 0（SE0）信号を検出していない
1	SE0信号を1回以上検出した

URESRX	USBリセット信号の検出ステータス
0	USBリセット信号を検出していない
1	USBリセット信号を1回以上検出した

EOPRX	EOPの検出ステータス
0	EOPを検出していない
1	EOPを1回以上検出した

HSSTAT	ハンドシェイク・パケットの受信ステータス
0	ハンドシェイク・パケットを受信していない
1	ハンドシェイク・パケットを受信中

DASTAT	データ・パケットの受信ステータス
0	データ・パケットを受信していない
1	データ・パケットを受信中

TOSTAT	トークン・パケットの受信ステータス
0	トークン・パケットを受信していない
1	トークン・パケットを受信中

★ 注 ビット0-2は、Read Onlyです。

バスIdle状態，バスSuspend状態でのUSBリセット信号とResume信号受信後の各フラグの状態を表8 - 2に示します。

表8 - 2 USBリセット信号およびResume信号受信後のRXSTATの各フラグ

バス状態	デバイス状態	受信信号	RESMRX	SE0RX	URESRX
Idle	メイン・システム・ク ロック動作モード	USBリセット	0	1	1
		Resume	1	1	0
Suspend	STOPモード	USBリセット	0	1	1
		Resume	1	1	0

(4) データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL)

データ/ハンドシェーク・パケットの受信結果を格納するレジスタです。

レジスタの内容は，データ/ハンドシェークEOP受信までに上書きされます。

DRXRSLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図8 - 13 データ/ハンドシェーク・パケット受信結果格納レジスタのフォーマット

略号	4	3	2	0	アドレス	リセット時	R/W				
DRXRSL	CR16ER	DBITER	DBYER	0	0	0	DIDRST	0	FF65H	00H	R/W

CR16ER	CRCエラーの検出 (16ビット・モード)
0	受信したデータ・パケットにおいて，CRCエラーは発生していない
1	受信したデータ・パケットにおいて，CRCエラーが発生した

DBITER	ビット・スタッフ・エラーの検出
0	受信したデータ/ハンドシェーク・パケットにおいて，ビット・スタッフ・エラーは発生していない
1	受信したデータ/ハンドシェーク・パケットにおいて，ビット・スタッフ・エラーが発生した

DBYER	受信データ/ハンドシェーク・パケット長エラーの検出
0	受信したデータ/ハンドシェーク・パケットのパケット長は正常
1	受信したデータ/ハンドシェーク・パケットのパケット長は異常

DIDRST	データ/ハンドシェーク・パケットIDの比較結果
0	受信したデータ/ハンドシェーク・パケットIDと，データ/ハンドシェークPID比較レジスタ (DIDCMP) の値は一致していない
1	受信したデータ/ハンドシェーク・パケットIDと，DIDCMPの値が一致

(5) トークン・パケット受信結果格納レジスタ (TRXRSL)

トークン・パケットの受信状態を格納するレジスタです。

レジスタの内容は，トークン・パケットのEOP受信時にまで上書きされます。

TRXRSLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図8 - 14 トークン・パケット受信結果格納レジスタのフォーマット

略号	①							アドレス	リセット時	R/W	
TRXRSL	CRC5ER	TBITER	TBYER	END1RX	END0RX	ADRRST	TIDRST	SETRX	FF62H	00H	R/W

CRC5ER	CRCエラーの検出 (5 ビット・モード)
0	受信したトークン・パケットにおいて、CRCエラーは発生していない
1	受信したトークン・パケットにおいて、CRCエラーが発生した

TBITER	ビット・スタッフ・エラーの検出
0	受信したトークン・パケットにおいて、ビット・スタッフ・エラーは発生していない
1	受信したトークン・パケットにおいて、ビット・スタッフ・エラーが発生した

TBYER	受信トークン・パケット長エラーの検出
0	受信したトークン・パケットのパケット長は正常
1	受信したトークン・パケットのパケット長は異常

END1RX	Endpoint 1 受信の検出
0	Endpoint 1 に対するトークン・パケットを受信していない
1	Endpoint 1 に対するトークン・パケットを受信した

END0RX	Endpoint 0 受信の検出
0	Endpoint 0 に対するトークン・パケットを受信していない
1	Endpoint 0 に対するトークン・パケットを受信した

ADRRST	トークン・パケット・アドレス比較結果
0	受信したトークン・パケットのアドレスと、トークン・アドレス比較レジスタ (ADRCMP) の値は一致していない
1	受信したトークン・パケットのアドレスと、ADRCMPの値が一致

TIDRST	トークン・パケットID比較結果の検出
0	受信したトークン・パケットIDと、トークンPID比較レジスタ (TIDCMP) の値は一致していない
1	受信したトークン・パケットIDと、TIDCMPの値が一致

SETRX	Setupトークン・パケット受信の検出
0	受信したトークン・パケットIDはSetupパケット以外
1	受信したトークン・パケットIDはSetupパケット ^注

- ★ 注 SETRXが1になると、次のようになります。
- ・すべての予約はクリア
 - ・DNAEN (ハンドシェーク・パケット送信予約レジスタ (HTXRSV) のビット1) をクリア
 - ・DWRMSK (データ/ハンドシェーク・パケット受信モード・レジスタ (URXMOD) のビット0) をクリア

(6) データ・パケット送信予約レジスタ (DTXRSV)

送信したいデータ・パケットの格納されているバッファを指定するレジスタです。このレジスタのフラグをセットしておくことにより、INパケット正常受信後に格納されたデータを送信します。

DTXRSVは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、ハンドシェイク・パケット送信予約レジスタ (HTXRSV) とあわせて16ビット・レジスタUSBCONとして使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

★ また、SETUP受信時[※]にも00Hになります。

注 「SETUP受信時」とは、次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

図8 - 15 データ・パケット送信予約レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DTXRSV	0	0	0	0	DT11EN	DT10EN	DT01EN	DT00EN	FF15H	00H	R/W

DT11EN	送信バッファ 1 (Endpoint1) 用送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPIにて、次の条件をすべて満足したときに、格納されたデータを送信する。 ただし、コントロール・リード転送中は設定禁止 INRX (内部信号) = 1, ADDRST = 1, END1RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

DT10EN	送信バッファ 1 (Endpoint0) 用送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPIにて、次の条件をすべて満足したときに、格納されたデータを送信する INRX (内部信号) = 1, TIDRST = 1, ADDRST = 1, END0RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

DT01EN	送信バッファ 0 (Endpoint1) 用送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPIにて、次の条件をすべて満足したときに、格納されたデータを送信する。 ただし、コントロール・リード転送中は設定禁止 INRX (内部信号) = 1, ADDRST = 1, END1RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

DT00EN	送信バッファ 0 (Endpoint0) 用送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPIにて、次の条件をすべて満足したときに、格納されたデータを送信する INRX (内部信号) = 1, TIDRST = 1, ADDRST = 1, END0RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

★ 注意 ビット1, 3 (DT01EN, DT11EN) は、コントロール転送中は設定禁止です。

(7) ハンドシェーク・パケット送信予約レジスタ (HTXRSV)

送信したいハンドシェーク・パケットを設定するレジスタです。このレジスタのフラグをセットすることにより、INパケットの正常受信後、またはデータ・パケットの正常/異常受信後に設定したハンドシェーク・パケットを送信します。

ビット0はACKパケット送信予約フラグ、ビット1-3はNAKパケット送信予約フラグ、ビット4-7はSTALLパケット送信予約フラグです。

HTXRSVは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、データ・パケット送信予約レジスタ (DTXRSV) とあわせて16ビット・レジスタUSBCONとして使用するときは、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

★ また、SETUP受信時^注にも00Hになります。

注 「SETUP受信時」とは、次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

図8 - 16 ハンドシェーク・パケット送信予約レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HTXRSV	E1STEN	E0STEN	DSTEN	STALEN	E1NAEN	E0NAEN	DNAEN	ACKEN	FF14H	00H	R/W

E1STEN	INパケット後Endpoint 1 用STALLパケット送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPにて、次の条件をすべて満たしたときに、STALLハンドシェークを送信する INRX (内部信号) = 1, ADDRST = 1, END1RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

E0STEN	INパケット後Endpoint 0 用STALLパケット送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPにて、次の条件をすべて満たしたときに、STALLハンドシェークを送信する INRX (内部信号) = 1, TIDRST = 1, ADDRST = 1, END0RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

DSTEN	データ・パケット受信バイト長エラー用STALLパケット送信予約フラグ
0	何も送信されない
1	データ・パケット受信時のEOPにて、次の条件をすべて満たしたときに、STALLハンドシェークを送信する。コントロール・ライト転送中の1回のデータ・パケットにおいてバイト長エラーが発生したときにSTALLハンドシェークを送信するためにセットする DIDRST = 1, DBYER = 1, DBITER = 0

STALEN	データ・パケット後STALLパケット送信予約フラグ
0	何も送信されない
1	データ・パケット受信時のEOPにて、次の条件をすべて満たしたときに、STALLハンドシェークを送信する。コントロール・ライト転送において、転送のLengthエラーが発生した場合にセットする DIDRST = 0, DBITER = 0

図8 - 16 ハンドシェーク・パケット送信予約レジスタのフォーマット (2/2)

E1NAEN	INパケット後Endpoint 1 用NAKパケット送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPにて、次の条件をすべて満たしたときに、NAKハンドシェークを送信する INRX (内部信号) = 1, ADRRST = 1, END1RX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

E0NAEN	INパケット後Endpoint 0 用NAKパケット送信予約フラグ
0	何も送信されない
1	INパケット受信時のEOPにて、次の条件をすべて満たしたときに、NAKハンドシェークを送信する INRX (内部信号) = 1, TIDRST = 1, ADRRST = 1, END0RX = 0, TBYER = 0, TBITER = 0, CRC5ER = 0

★

DNAEN	データ・パケット受信後NAKパケット送信予約フラグ
0	何も送信されない
1	データ・パケット受信時のEOPにて、次の条件をすべて満たしたときに、NAKハンドシェークを送信する。受信データ・アドレス (USB0-USB7) からデータを退避する場合にセットする。 OUTRX (内部信号) = 1, DIDRST = 1, DBYER = 0, DBITER = 0, CR16ER = 0, UWDERR = 0

ACKEN	データ・パケット受信後ACKパケット送信予約フラグ
0	何も送信されない
1	データパケット受信時のEOPにて、次の条件をすべて満たしたときに、ACKハンドシェークを送信する DIDRST = 1, DBYER = 0, DBITER = 0, CR16ER = 0

送信予約の際は、次の表に示す条件をすべて満足させる必要があります。

表8 - 3 送信予約の際の条件 (1/2)

(a) Endpoint0, INトークン・パケットに対する送信予約時

★

予約内容	DT00EN	DT10EN	E0STEN	E0NAEN
送信バッファ0内のデータの送信予約	1	0	0	0
送信バッファ1内のデータの送信予約	0	1	0	0
Endpoint0 STALL送信予約 (Lengthエラー発生または停止状態)	0	0	1	0
Endpoint0 NAK送信予約 (データ作成未了)	0	0	0	1
上記を重複して予約	設定禁止			

表8 - 3 送信予約の際の条件 (2/2)

(b) Endpoint1, INトークン・パケットに対する送信予約時

★

予約内容	DT01EN	DT11EN	E1STEN	E1NAEN
送信バッファ0内のデータの送信予約	1	0	0	0
送信バッファ1内のデータの送信予約	0	1	0	0
Endpoint1 STALL送信予約 (停止状態)	0	0	1	0
Endpoint1 NAK送信予約 (送信データなし)	0	0	0	1
上記を重複して予約	設定禁止			

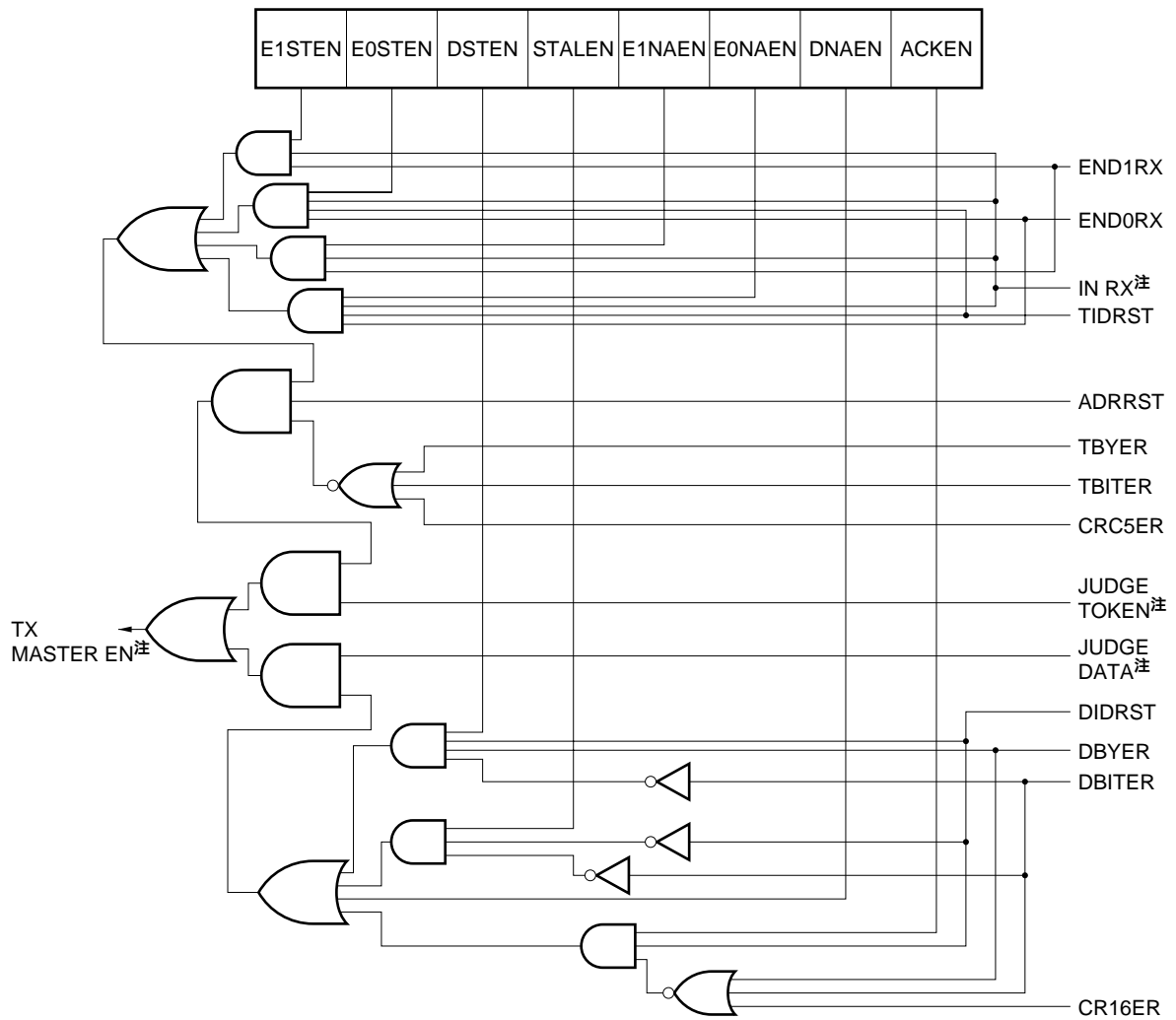
(c) データ・パケットに対するハンドシェーク送信予約時

予約内容	STALEN	DNAEN
Lengthエラー発生時STALL送信予約	1	0
前受信データの退避中 ^注 NAK送信予約	0	1
上記を重複して予約	設定禁止	

予約内容	ACKEN	DNAEN
通常の前データ・パケット受信時ACK送信予約	1	0
前受信データの退避中 ^注 NAK送信予約	0	1
上記を重複して予約	設定禁止	

注 受信データ・パケットを退避するときは、同時にDWRMSK (データ/ハンドシェーク・パケット受信モード・レジスタ (URXMOD) のビット0) をセット (1) してください。

図8 - 17 ハンドシェーク・パケット送信予約レジスタの構成



注 内部で使用する信号であり、ソフトウェアで確認することはできません。

(8) USBタイマ・スタート予約制御レジスタ (USBTCL)

SETUP/OUTパケット受信後、またはデータ・パケット送信後、USBタイマのスタートを予約するレジスタです。

USBTCLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

★

また、SETUP受信時^注にも01Hになります。

注 「SETUP受信時」とは、次の3つの条件をすべて満たしていることも含みます。

- ・アドレスの一致
- ・エンドポイント0受信
- ・各受信エラーなし

図8 - 18 USBタイマ・スタート予約制御レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
USBTCL	0	0	0	0	0	0	DATATX	SETORX	FF6CH	01H	R/W

DATATX	データ・パケット送信後のUSBタイマのスタートの予約
0	USBタイマをスタートさせない
1	データ・パケット送信時のEOPにて、次の条件をすべて満足したときに、USBタイマをスタートする DIDRST = 1, DBYER = 0, DBITER = 0, CR16ER = 0

SETORX	SETUP/OUTトークン・パケット受信後のUSBタイマのスタートの予約
0	USBタイマをスタートさせない
1	SETUP/OUTトークン・パケット受信時のEOPにて、次の条件をすべて満足したときに、USBタイマをスタートする OUTRX (内部信号) = 1またはSETRX = 1, ADDRST = 1, ENDORX = 1, TBYER = 0, TBITER = 0, CRC5ER = 0

(9) リモート・ウエイク・アップ制御レジスタ (REMWUP)

リモート・ウエイク・アップを行うためのResume信号を送信するためのレジスタです。

リモート・ウエイク・アップは、必ずバスIdleが5 ms以上継続されていることを確認してから行ってください。

REMWUPは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図8 - 19 リモート・ウエイク・アップ制御レジスタのフォーマット

略号	7	6	5	4	①			アドレス	リセット時	R/W	
REMWUP	0	0	0	0	PULLDM	PULLDP	PULLEN	WAKEUP	FF6AH	08H	R/W

PULLDM	D - 線ロウ / ハイ・レベル固定出力の設定
0	D - (TXDM) はロウ・レベル固定
1	D - (TXDM) はハイ・レベル固定

PULLDP	D + 線ロウ / ハイ・レベル固定出力の設定
0	D + (TXDP) はロウ・レベル固定
1	D + (TXDP) はハイ・レベル固定

PULLEN	D + / D - 線固定出力イネーブル
0	送信バッファからの出力がUSBドライバに入力される
1	PULLDP, PULLDMに設定されたレベルがUSBドライバに入力される

WAKEUP	ウエイク・アップ信号の出力
0	何も送信されない
1	PULLDP, PULLDMに設定された端子状態が出力される

8.5 USBファンクションの動作

8.5.1 USBタイマの動作

USBタイマは、パケット送受信の時間管理とUSBクロックの暴走検出を行う7ビットのカウンタです。

USBタイマには、高速モード（ソース・クロックは f_x ）と低速モード（ソース・クロックはUSBクロック： $f_x = 6.0 \text{ MHz}$ 動作時は 1.5 MHz ）があります。高速モード時は、6ビット・カウンタとして動作します。

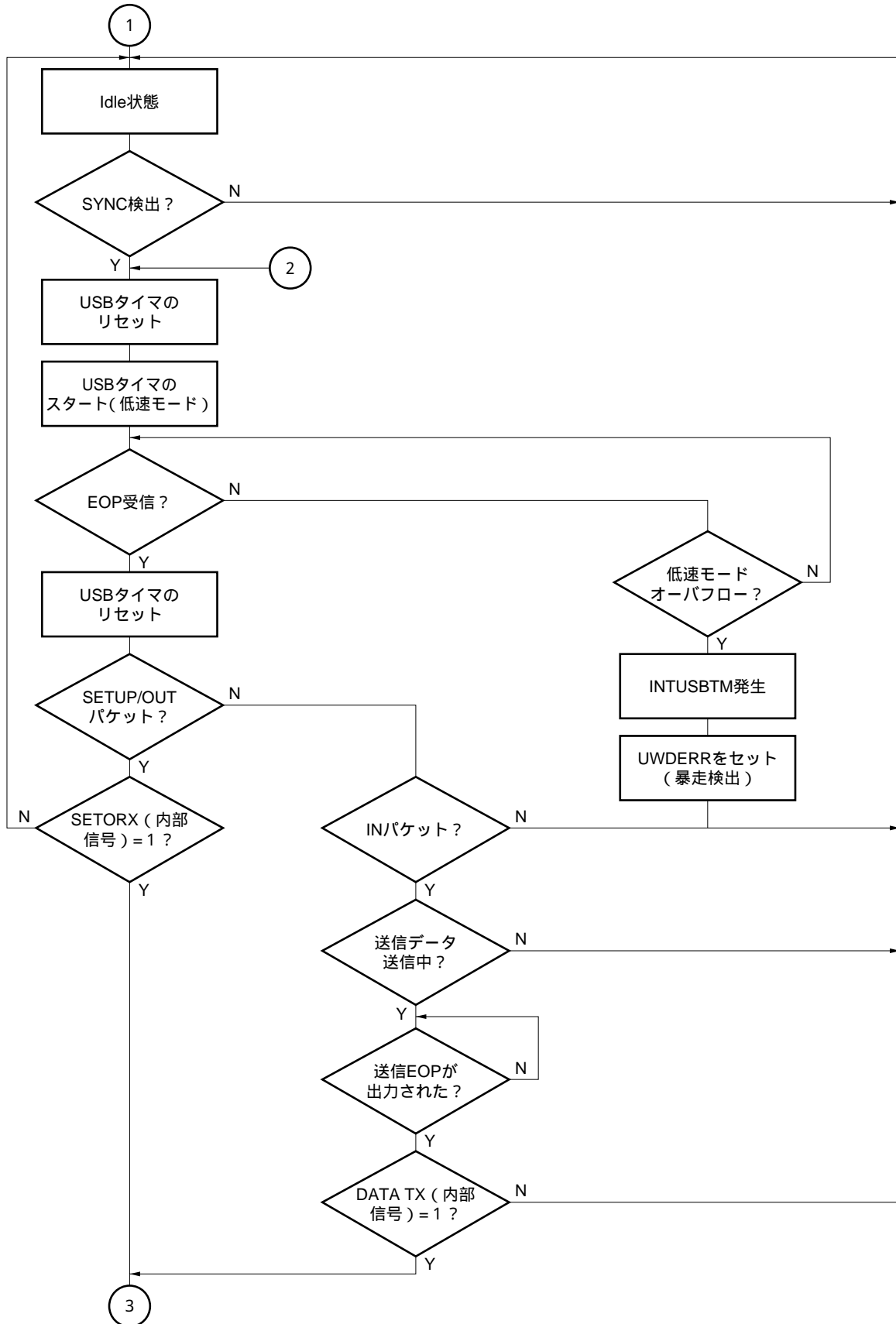
パケット送受信の時間管理には高速モードを使用します。タイマは、トークン・パケットのEOP受信後またはデータ・パケットのEOP送信後にスタートします。スタート・コンディションの設定は、USBタイマ・スタート予約制御レジスタ（USBTCL）で行います。

USBクロックの暴走検出には低速モードを使用します。タイマは、受信パケットのSYNC信号検出時、USBリセット信号受信時、Resume信号受信時にスタートします。

USBタイマがオーバフローすると、高速モード、低速モードにかかわらず、割り込み要求信号（INTUSBTM）を発生します。低速モード時にUSBタイマがオーバフローすると、UWDERR（パケット受信ステータス・レジスタ（RXSTAT）のビット7）がセットされ、USBタイマの暴走を検出できます。このとき、USBクロックは強制的に停止します。

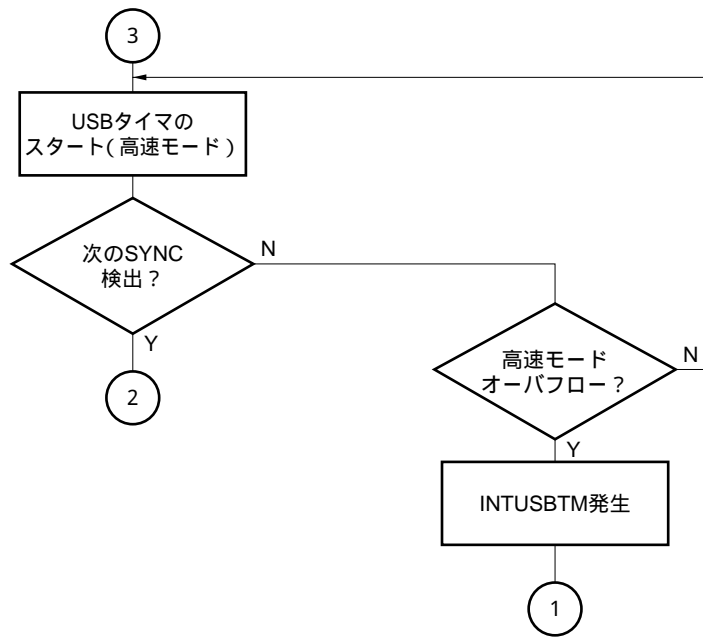
図8 - 20に、USBタイマの動作フロー・チャートを示します。

図8 - 20 USBタイマの動作フロー・チャート (1/2)



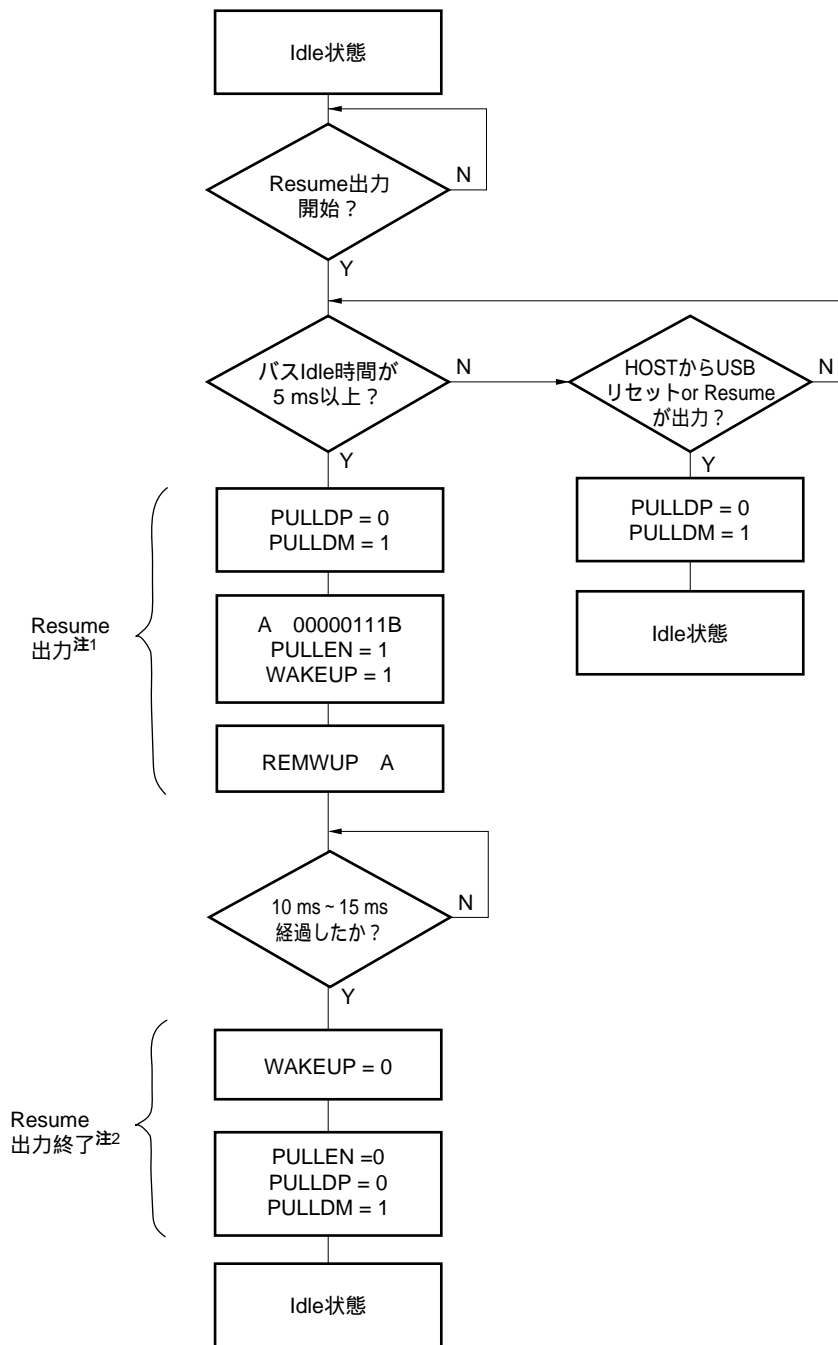
UWDERR : パケット受信ステータス・レジスタ (RXSTAT) のビット7

図8 - 20 USBタイマの動作フロー・チャート (2/2)



★ 8.5.2 リモート・ウエイク・アップ制御の動作

図8-21 リモート・ウエイク・アップ制御の動作フロー・チャート



PULLDP : リモート・ウエイク・アップ制御レジスタ (REMWUP) のビット2
 PULLDM : " のビット3
 PULLEN : " のビット1
 WAKEUP : " のビット0

注1. Resume信号（“K”ステート）出力時は、必ず次の順序で命令を実行してください。

```
SET1 REMWUP.3      ; (PULLDM 1) } “J”ステート生成
CLR1 REMWUP.2      ; (PULLDP 0) }
```

```
MOV A, #0000111B ; (A 0000111B)
```

★ SET1 REMWUP.1 ; (PULLEN 1)

★ SET1 REMWUP.0 ; (WAKEUP 1), “J”ステートを出力

```
MOV REMWUP, A ; (REMWUP A), “K”ステートを出力
```

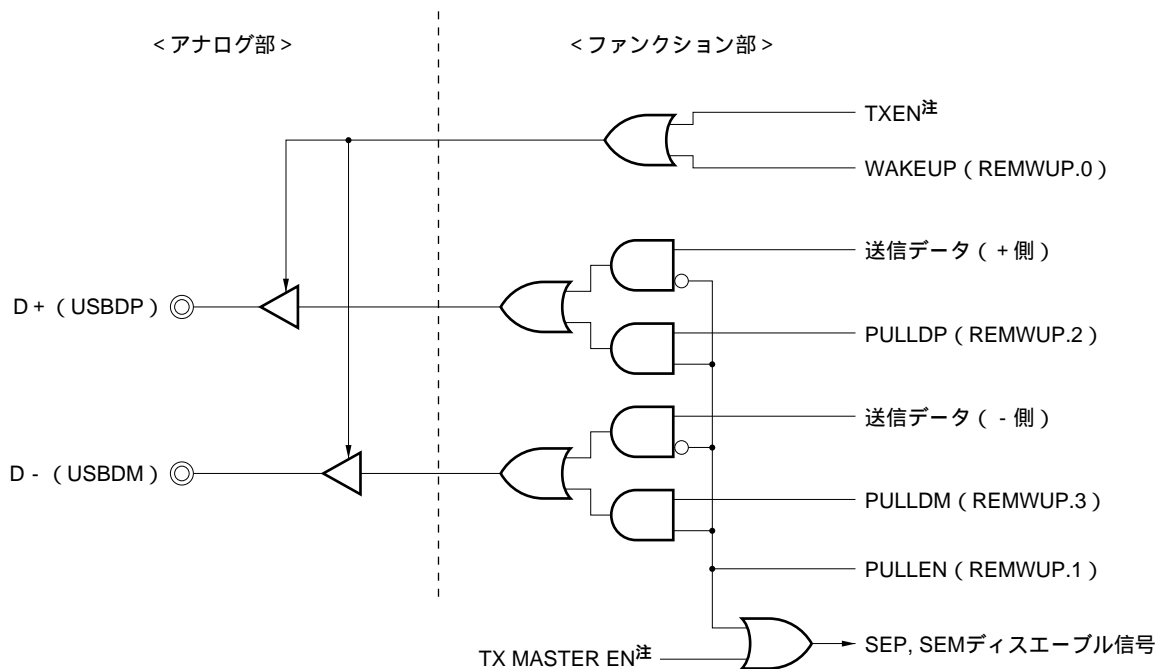
2. Resume出力終了時は、EOPを付加するために必ず次の順序で命令を実行してください。

```
CLR1 REMWUP.0      ; (WAKEUP 0), Resume出力終了
```

```
CLR1 REMWUP.1      ; (PULLEN 0)
```

```
CLR1 REMWUP.2      ; (PULLDP 0) } “J”ステート生成
SET1 REMWUP.3      ; (PULLDM 1) }
```

図8 - 22 リモート・ウエイク・アップ制御の構成図



注 内部で使用する信号であり、ソフトウェアで確認することはできません。

8.6 USBファンクションからの割り込み要求

8.6.1 割り込み要因

USBファンクションから発生する割り込み要因には、次の5種類があります。

★

表8-4 USBファンクションからの割り込み要因一覧

割り込みの種類	プライオリティ ^注	割り込み要因		ベクタ・テーブル・アドレス
		名称	トリガ	
マスカブル	1	INTUSBTM	USBタイマのオーバーフロー	0006H
	2	INTUSBRT	USBトークン・パケット受信時のEOP検出	0008H
	3	INTUSBRD	USBのデータ/ハンドシェーク・パケット受信時のEOP検出	000AH
	4	INTUSBST	USBのデータ/ハンドシェーク・パケット送信時のEOP検出	000CH
	5	INTUSBRE	USBのバス上でJステートからKステートへの遷移、またはSE0への遷移の検出	000EH

注 プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。

(1) トークン・パケット受信割り込み (INTUSBRT)

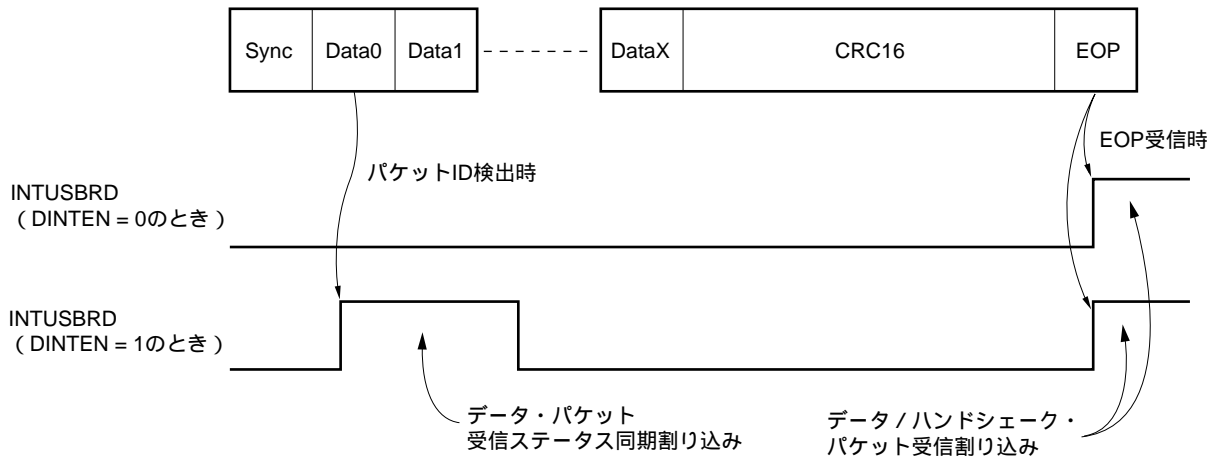
トークン・パケット受信時のEOPが検出された時点で、割り込み要求信号を発生し、割り込み要求フラグ(USBRTIF)がセットされます。ただし、ADRRST(トークン・パケット受信結果格納レジスタ(TRXRSL)のビット2)が0の場合は、バス上に他のデバイスのトークン・パケットがあるため割り込み要求は発生しません。

(2) データ/ハンドシェーク・パケット受信割り込み (INTUSBRD)

データ/ハンドシェーク・パケット受信のEOPが検出された時点で、受信時のエラーにかかわらず割り込み要求信号が発生し、割り込み要求フラグ(USBRDIF)がセットされます。

また、DINTEN(データ/ハンドシェーク・パケット受信モード・レジスタ(URXMOD)のビット1)を1に設定した場合は、ID検出バッファで11Bが検出された時点で割り込み要求(受信ステータス同期割り込み)信号を発生します。

★ 図8 - 23 データ/ハンドシェーク・パケット受信割り込み要求の発生タイミング



DINTEN : データ/ハンドシェーク・パケット受信モード・レジスタ (URXMOD) のビット1

(3) データ/ハンドシェーク・パケット送信割り込み (INTUSBST)

データ/ハンドシェーク・パケット送信のEOPが検出された時点で、割り込み要求信号が発生し、割り込み要求フラグ (USBSTIF) がセットされます。

★

(4) USBタイマ・オーバーフロー割り込み (INTUSBTM)

USBタイマがオーバーフローした場合に割り込み要求信号が発生し、割り込み要求フラグ (USBTMIF) がセットされます。

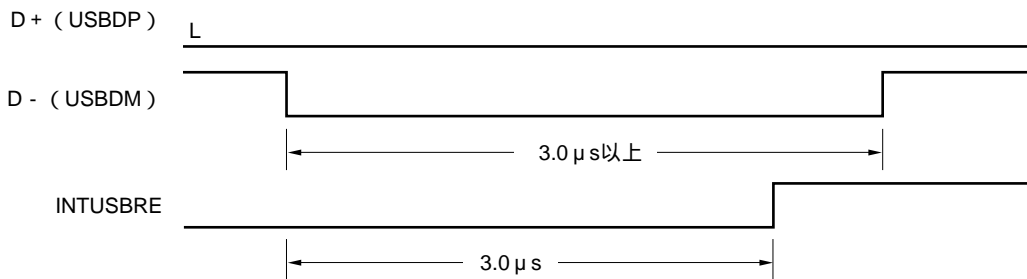
(5) USBリセット/Resume検出割り込み (INTUSBRE)

★

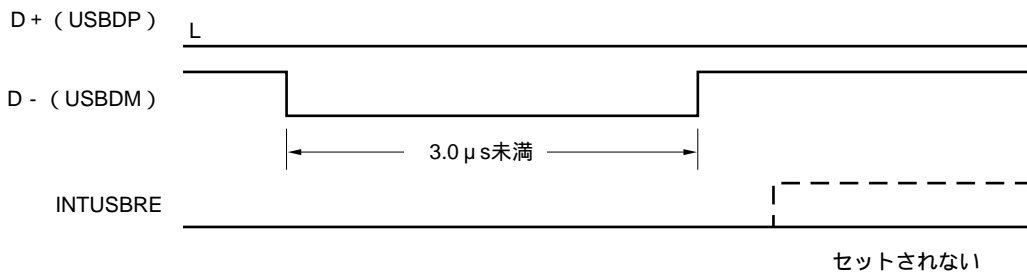
STOPモードを解除するための割り込みです。バス上でJステート (論理0) からKステート (論理1) への遷移が検出された場合、またはSE0への遷移が検出された場合に割り込み要求信号が発生し、割り込み要求フラグ (USBREIF) がセットされます。

図8 - 24 INTUSBREの発生タイミング

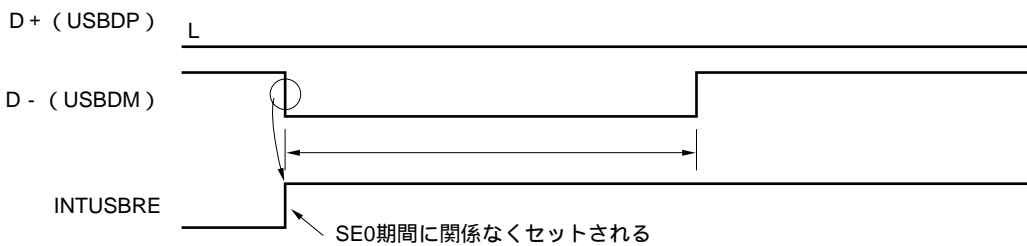
(a) RESMOD = 0, Single Ended0 (SE0) 期間が3.0 μ s以上の場合 (マイコン動作時)



(b) RESMOD = 0, SE0期間が3.0 μ s未満の場合 (マイコン動作時)



(c) RESMOD = 1の場合^注



注 バスIdle時はRESMOD = 1に設定しないでください。RESMODは、STOP命令の直前にセットしてください。

備考 RESMOD : データ/ハンドシェイク・パケット受信モード・レジスタ (URXMOD) のビット2

8.6.2 割り込み使用時の注意

USBファンクションから発生する割り込み要求の使用の際、次の点に注意する必要があります。

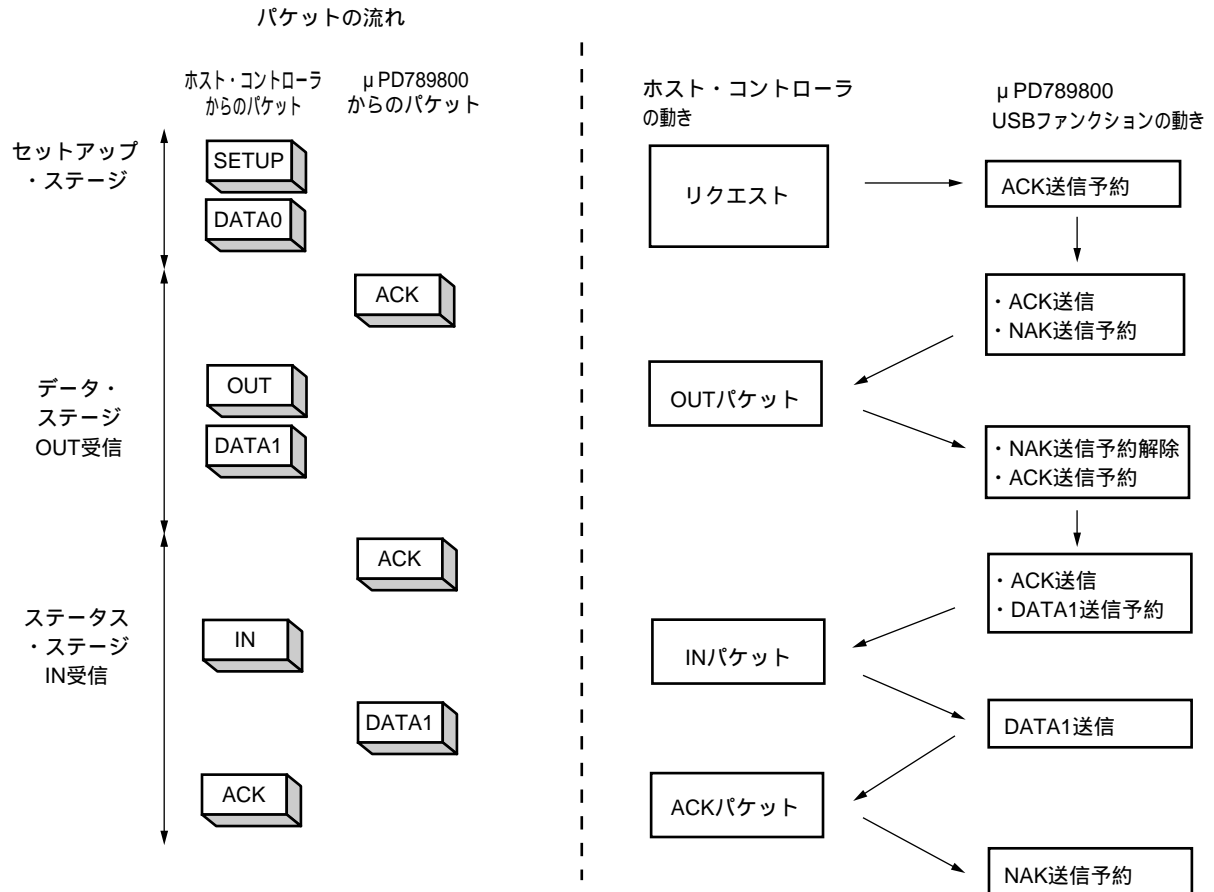
- ★ (1) USBREIFは、バスのJステートからKステートへの遷移によってセットされるため、Sync検出時やパケット受信中でもセットされます。したがって、バスIdle時およびコントロール転送中は割り込みマスク・フラグ(USBREMK)をセットし、割り込み要求の発生を禁止してください。
- (2) USBREIFは、バスのJステートからSE0ステート、またはKステートからSE0への遷移によってセットされるため、各受信パケットのEOP受信時やバスIdle保持用EOPの受信時にもセットされます。したがって、バスIdle時およびコントロール転送中は割り込みマスク・フラグ(USBREMK)をセットし、割り込み要求の発生を禁止してください。
- (3) 割り込みマスク・フラグ(USBREMK)のクリアは、バスSuspendモードの移行直前(STOP命令実行直前)に行ってください。
- (4) USBリセット信号、Resume信号を受信した場合、USBクロックが動作を開始します。これにより、受信開始から一定時間(85.3 μ s : fx = 6.0 MHz動作時)経過すると、USBTMIF、UWDERRがセットされてしまいます。したがって、バスSuspendモードへ移行(STOP命令を実行)するときは、割り込みマスク・フラグ(USBTMMK)をセットし、割り込み要求の発生を禁止しておいてください。

★ 8.7 USBファンクションの制御

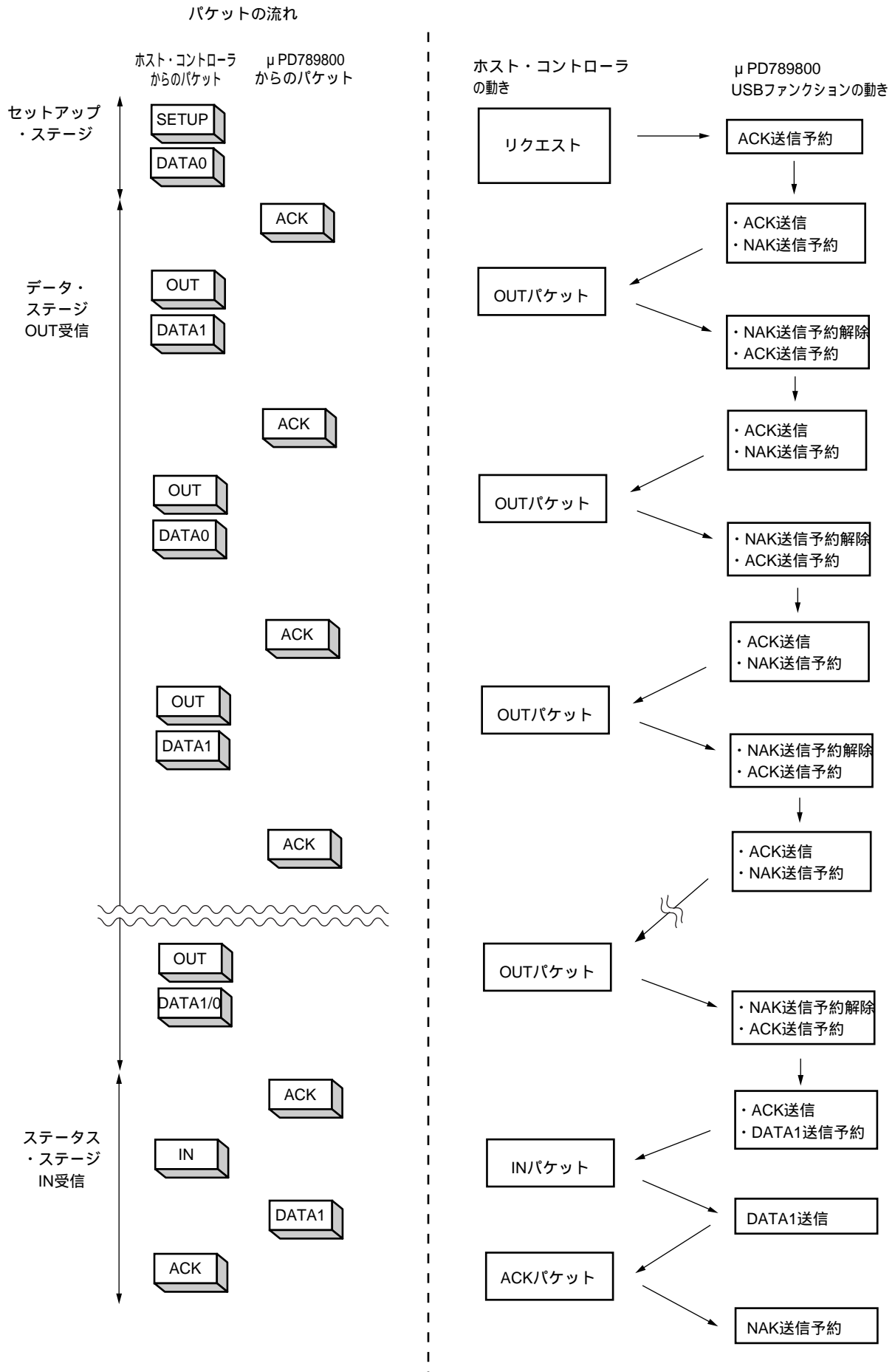
8.7.1 パケットと動作モードの関連

USBファンクションでのパケットと動作モードの関連は次のようになります。

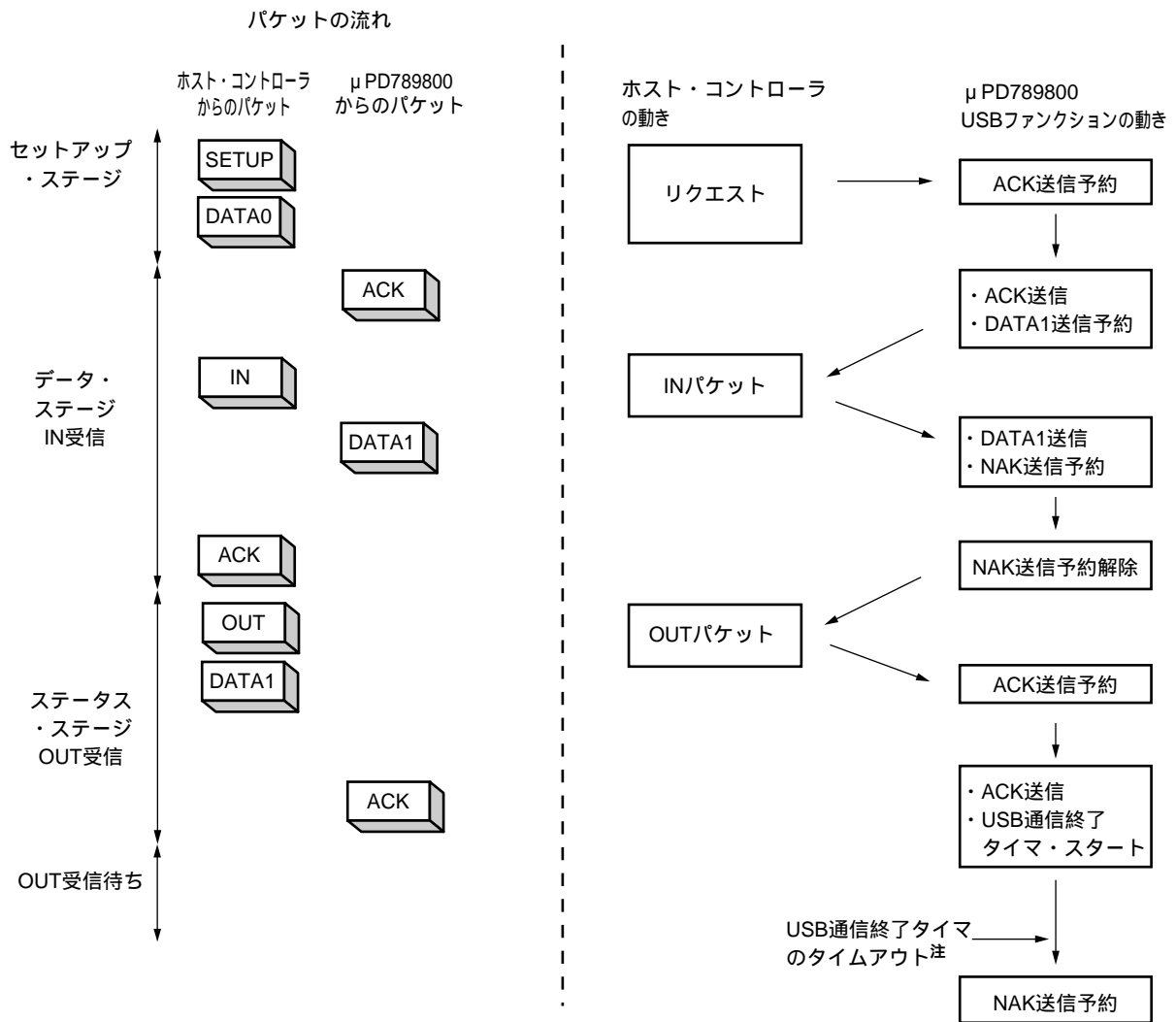
(1) コントロール転送 (OUT) (転送バイト数 : 8バイト以下)



(2) コントロール転送 (OUT) (転送バイト数: 9バイト以上)

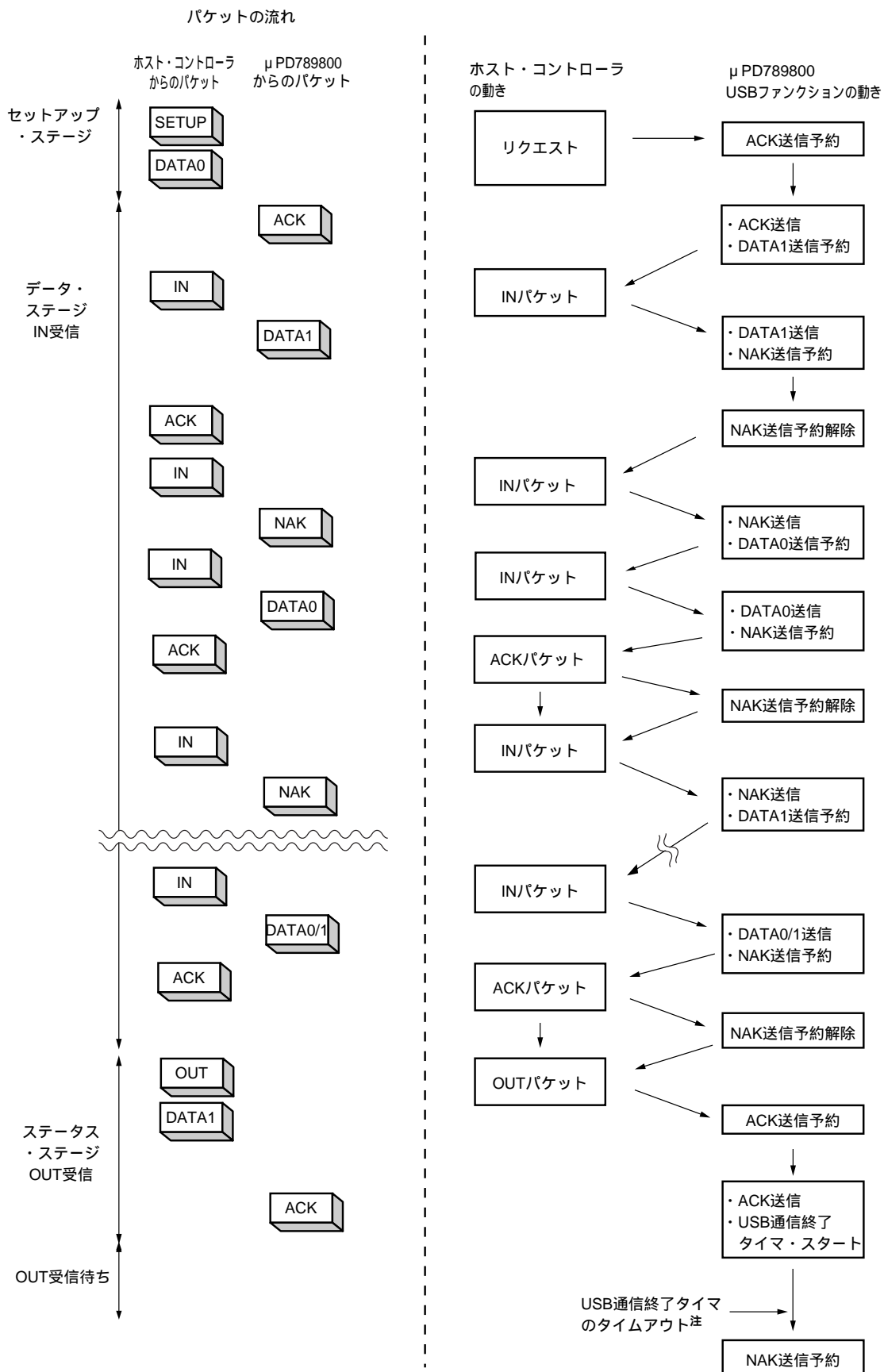


(3) コントロール転送 (IN) (転送バイト数: 8バイト以下)



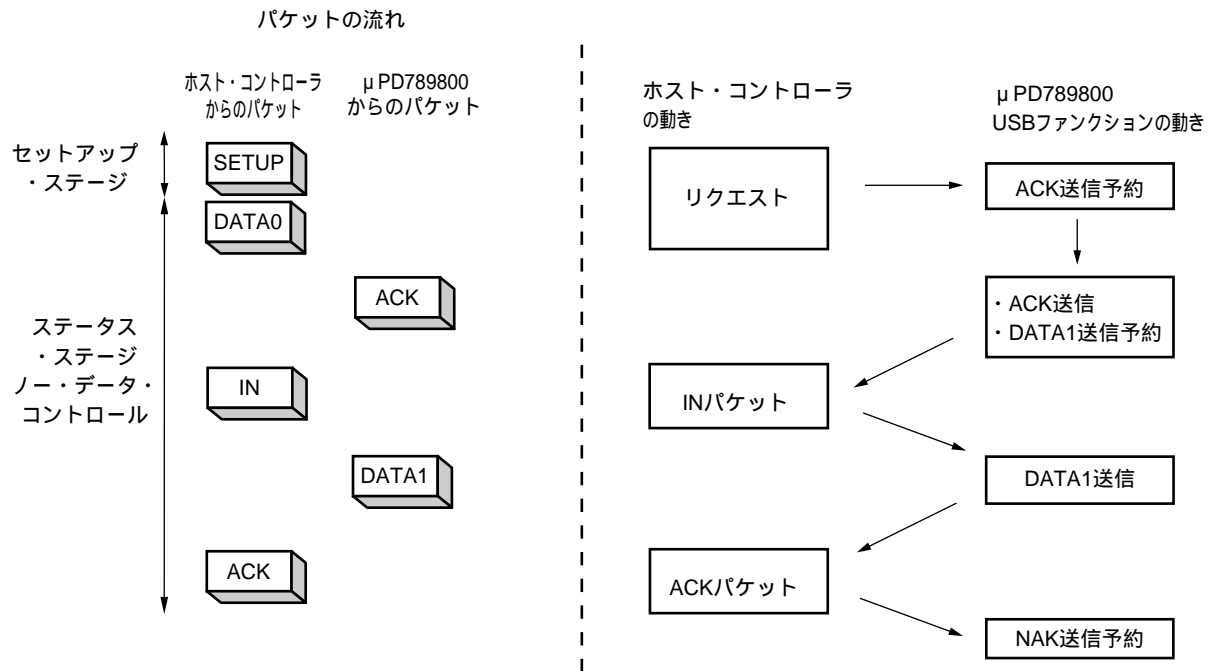
注 ホストは、デバイスからのACKを正常に受信できない場合、再度OUTを送信します。このため、OUTが来ても良いように一定時間OUT受信待ち状態に設定してください。この一定時間のカウンタは、通常の8ビット・タイマをご使用ください。

(4) コントロール転送 (IN) (転送バイト数: 9バイト以上)

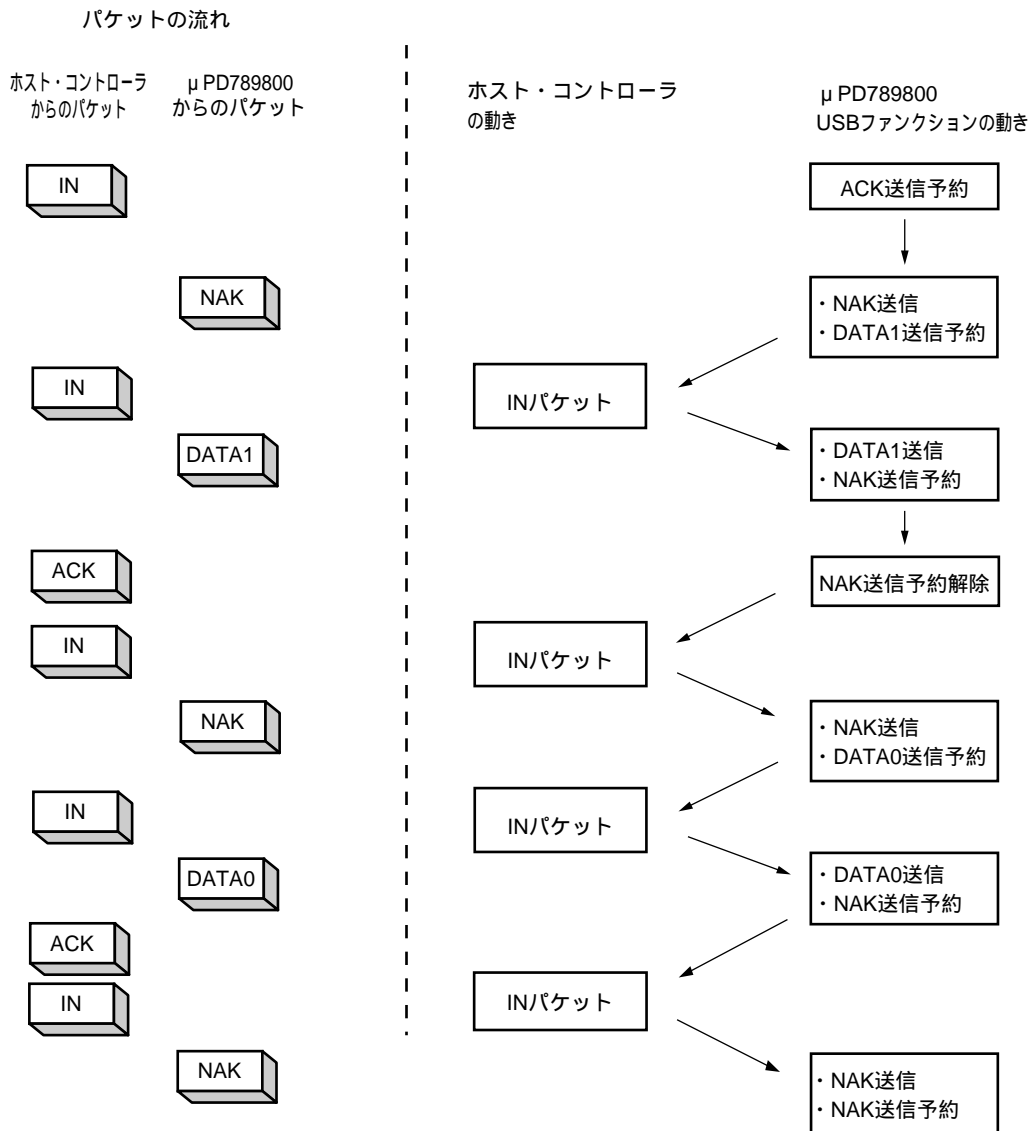


注 ホストは、デバイスからのACKを正常に受信できない場合、再度OUTを送信します。このため、OUTが来ても良いように一定時間OUT受信待ち状態に設定してください。この一定時間のカウントは、通常の8ビット・タイムをご使用ください。

(5) ノー・データ・コントロール

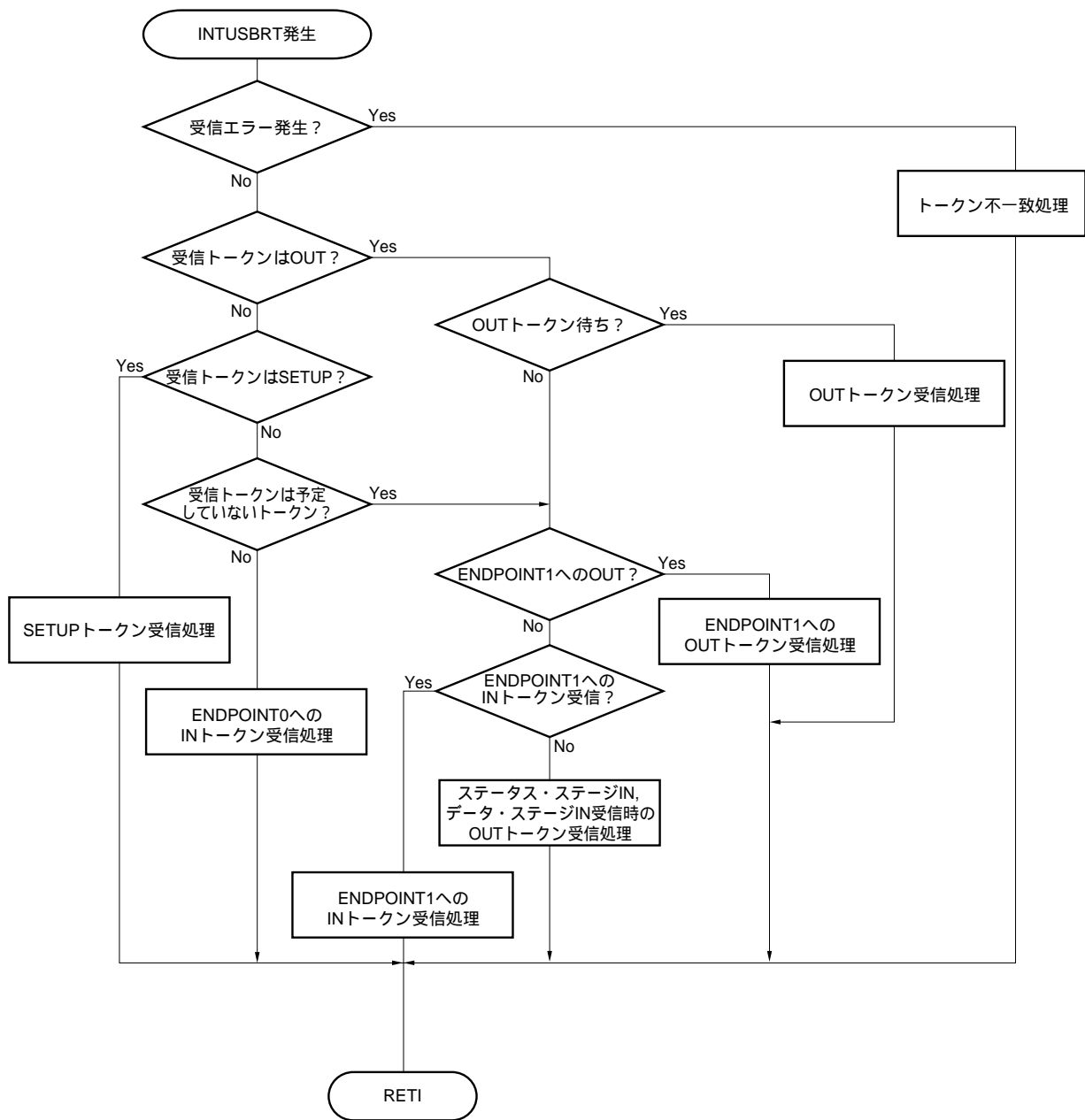


(6) インタラプト転送

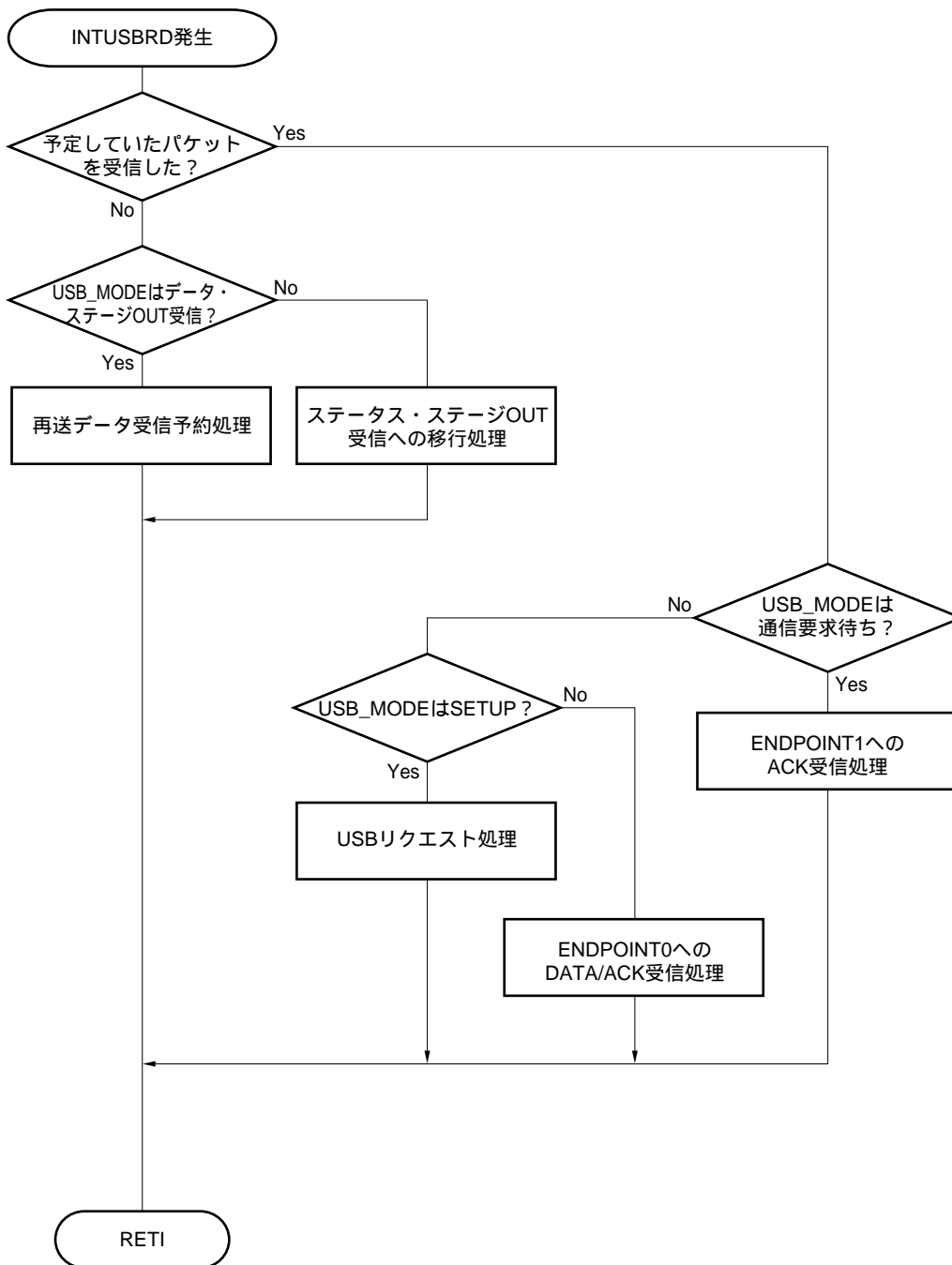


8.7.2 割り込みによる処理の流れ

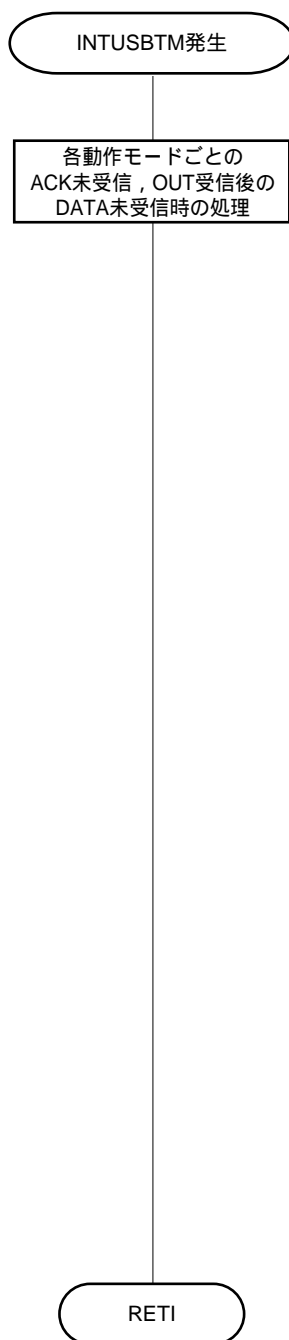
(1) USBトークン・パケット受信割り込み処理



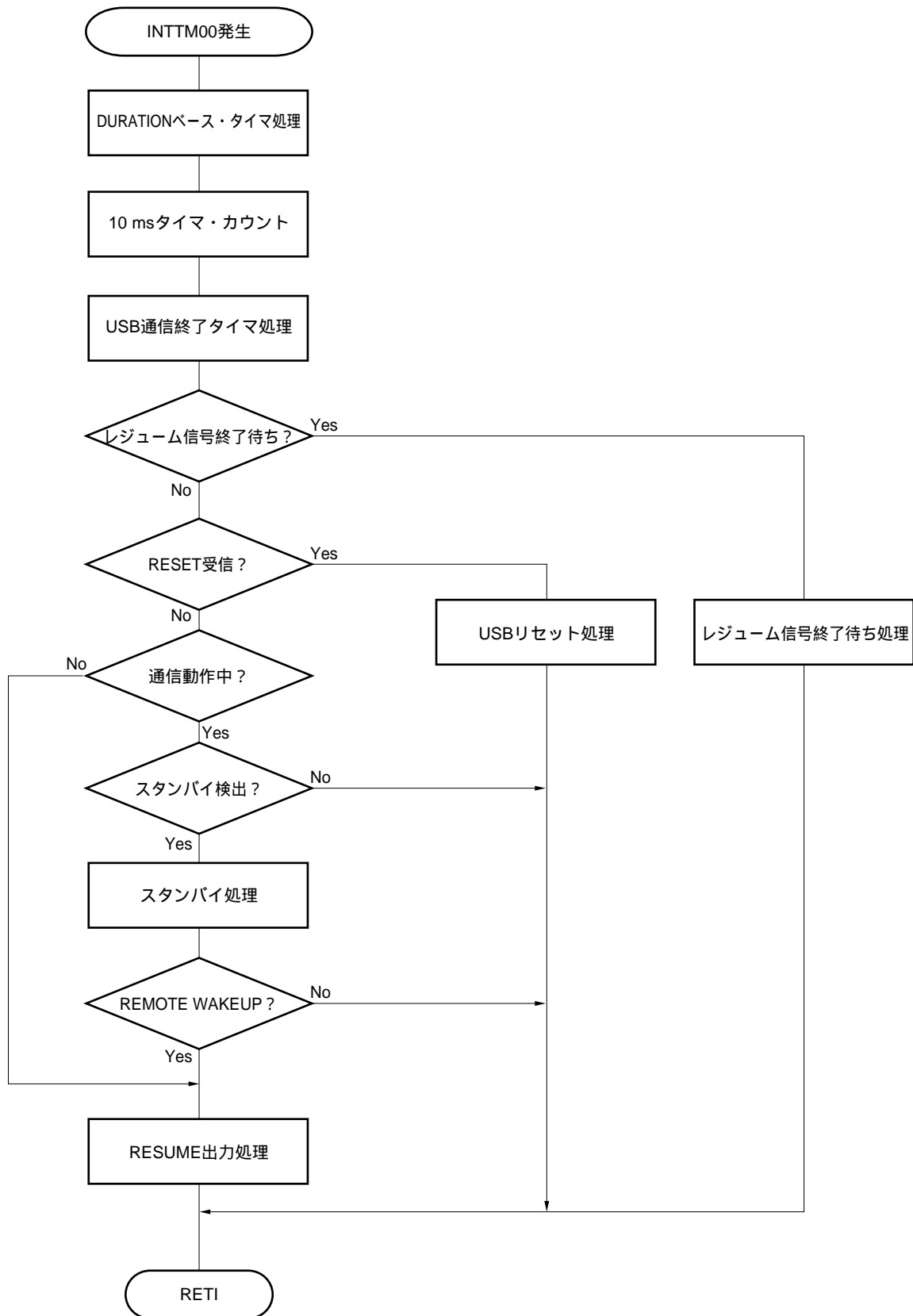
(2) データ/ハンドシェーク・パケット受信割り込み処理



(3) USBタイマ暴走検出割り込み処理



(4) 1 msタイマ割り込み処理

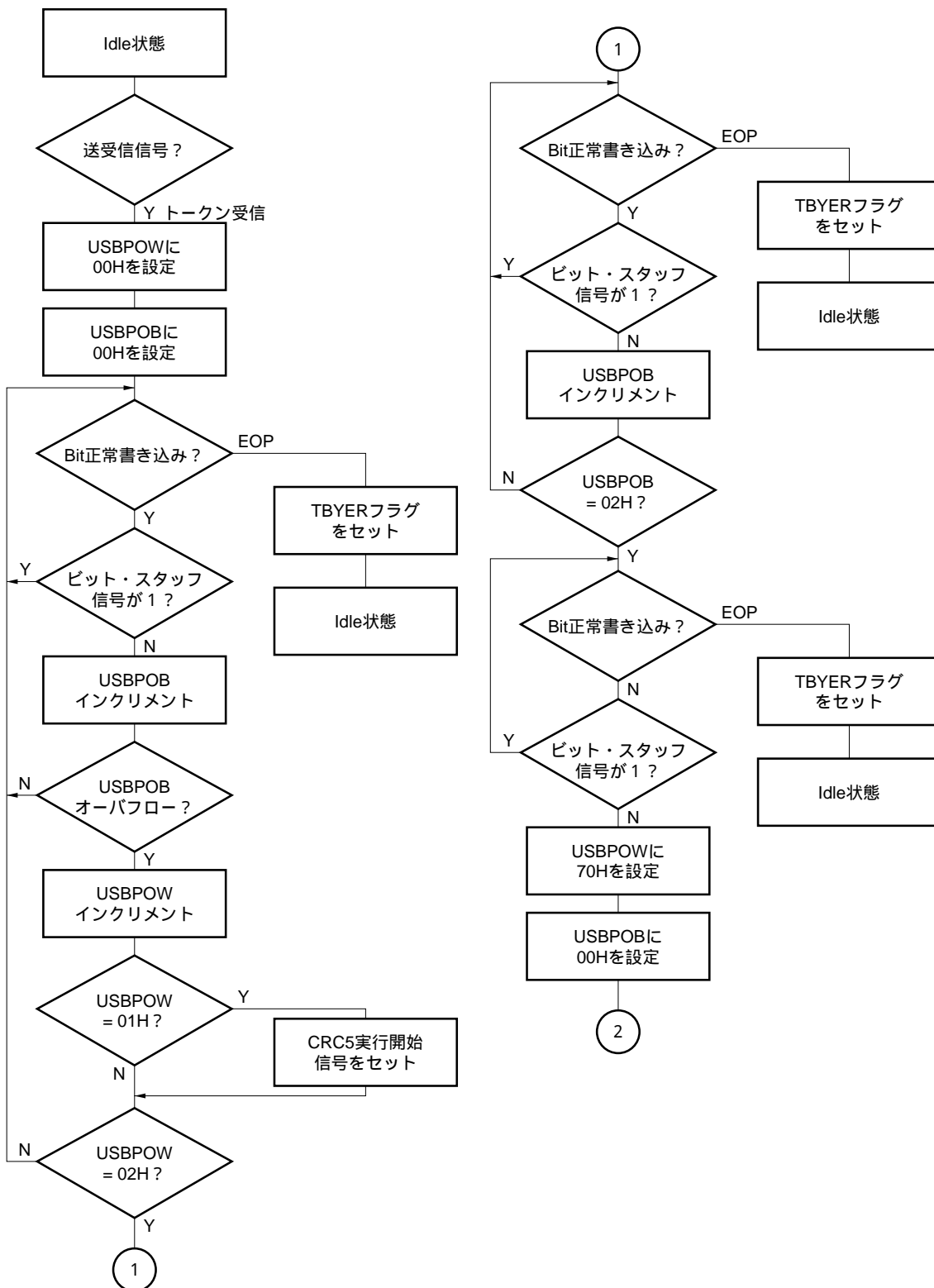


8.8 USBファンクションの内部回路動作

8.8.1 送受信ポインタの動作

図8 - 25 送受信ポインタの動作フロー・チャート (1/7)

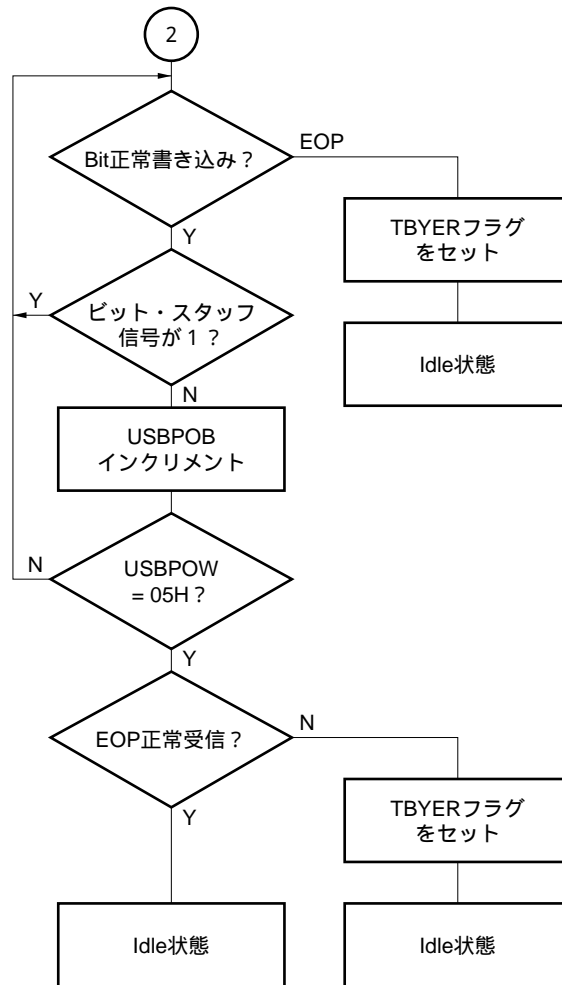
(1) トークン・パケット受信 (1/2)



TBYER : トークン・パケット受信結果格納レジスタ (TRXRSL) のビット5

図8 - 25 送受信ポインタの動作フロー・チャート (2/7)

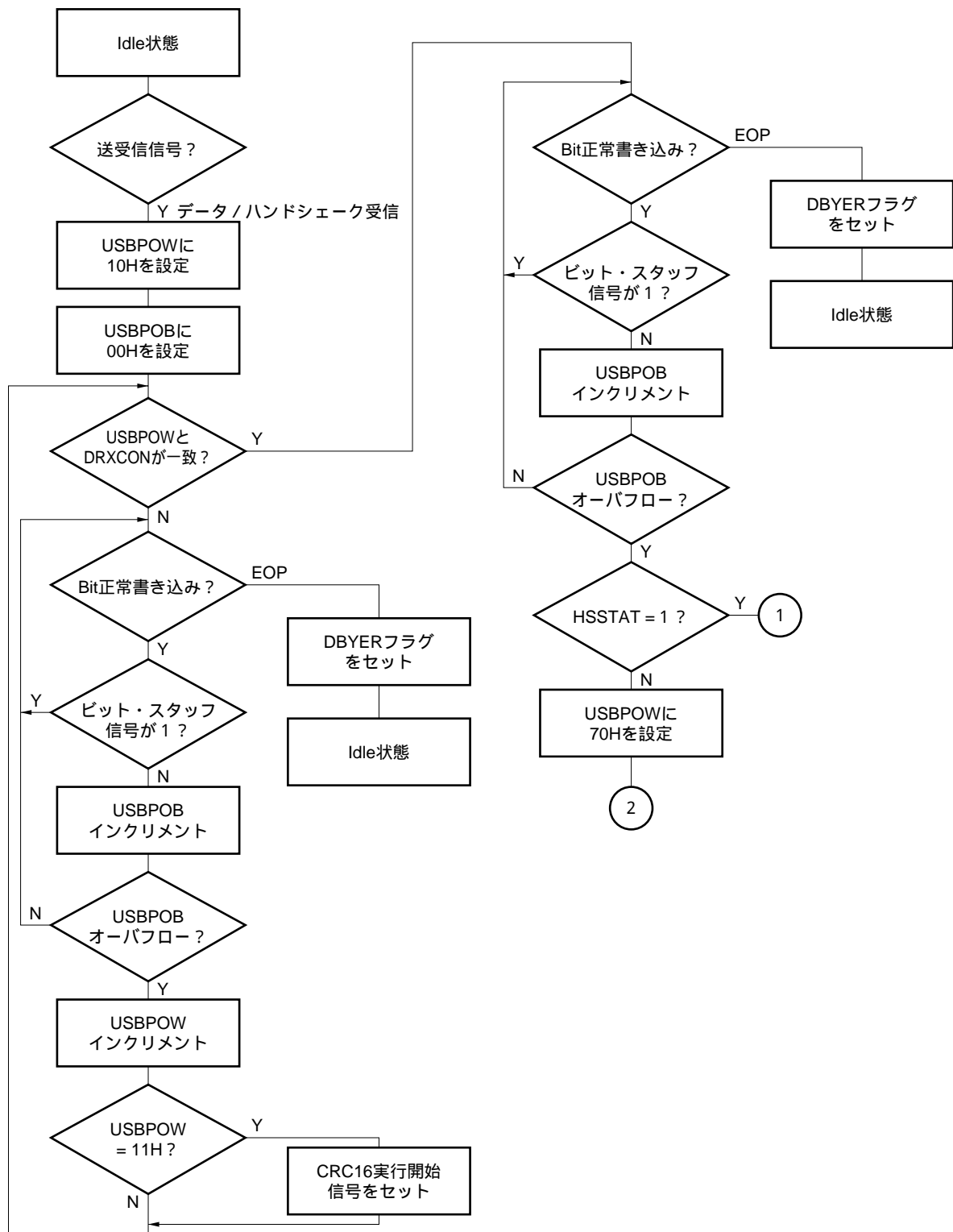
(1) トークン・パケット受信 (2/2)



TBYER : トークン・パケット受信結果格納レジスタ (TRXRSL) のビット5

図8 - 25 送受信ポインタの動作フロー・チャート (3/7)

(2) データ/ハンドシェーク・パケット受信 (1/2)

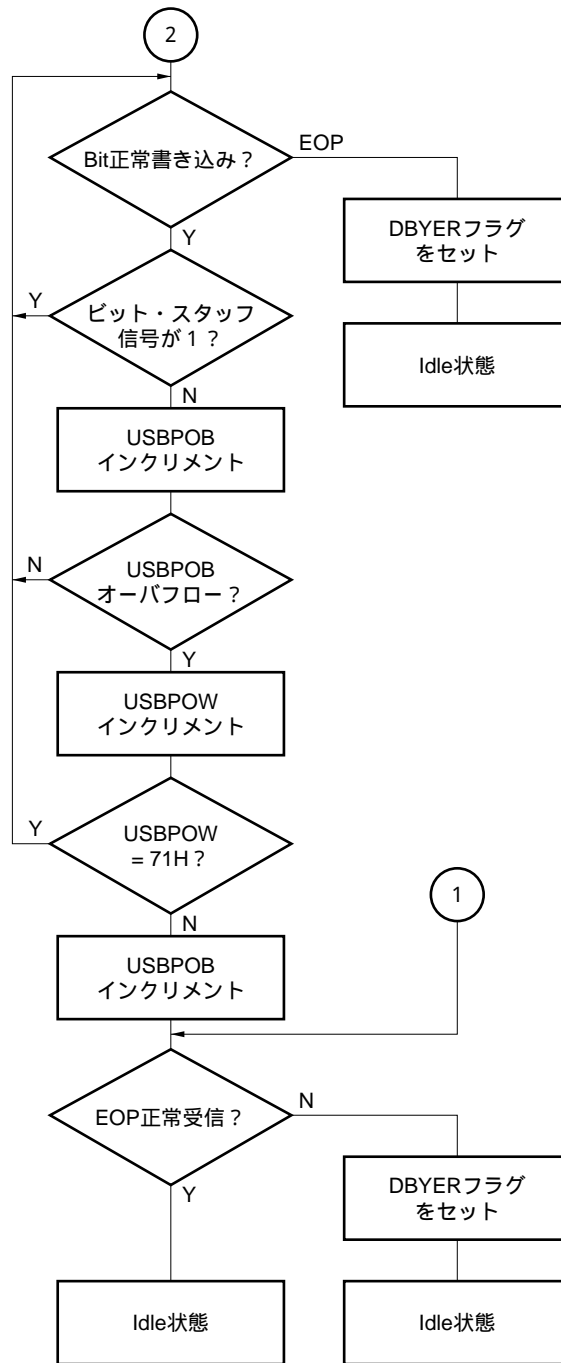


DBYER : データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL) のビット5

DRXCON : データ/ハンドシェーク・パケット受信バイト数カウンタ

図8 - 25 送受信ポインタの動作フロー・チャート (4/7)

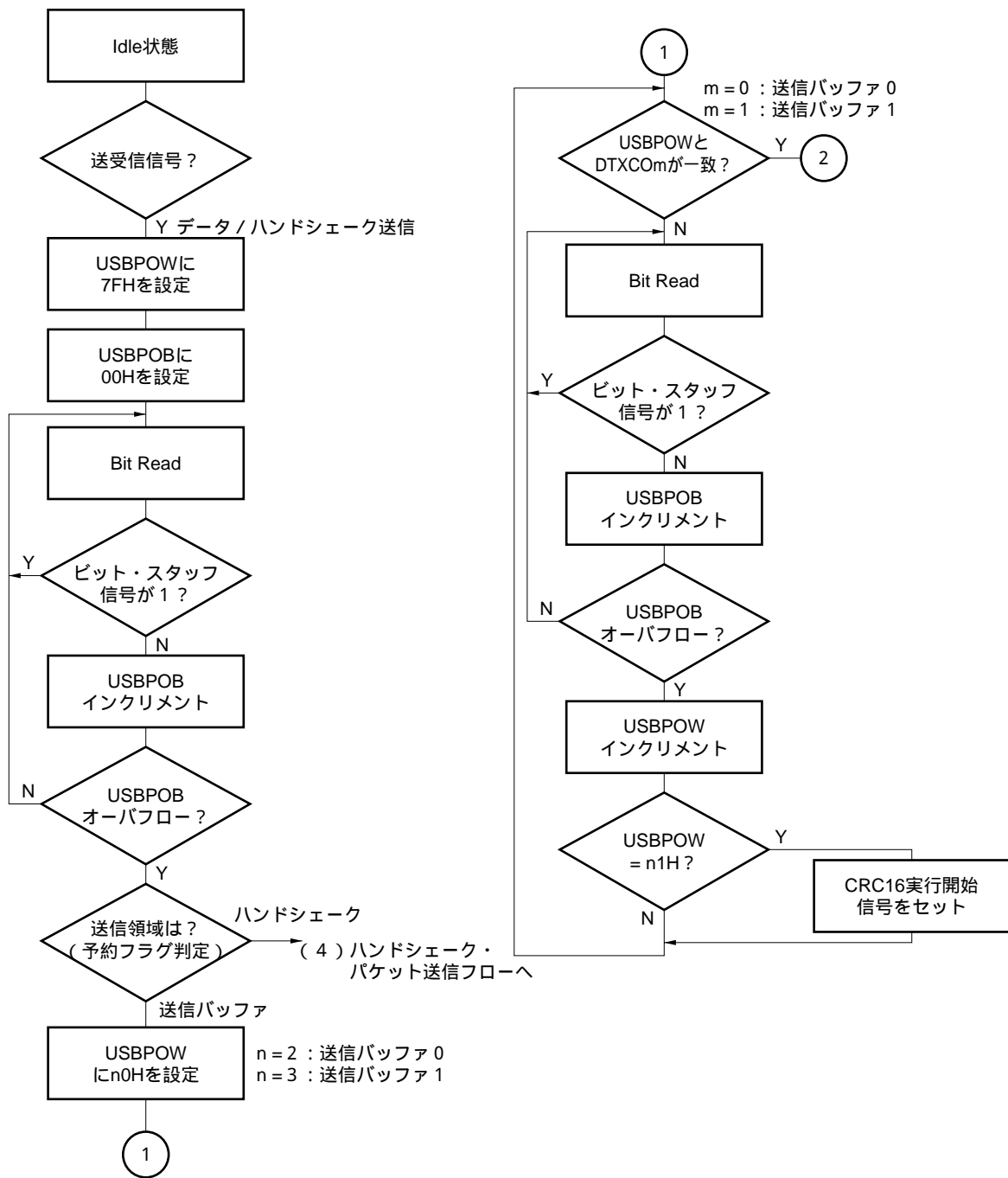
(2) データ/ハンドシェーク・パケット受信 (2/2)



DBYER : データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL) のビット5

図8 - 25 送受信ポインタの動作フロー・チャート (5/7)

(3) データ・パケット送信 (1/2)



DTXC00, DTXC01 : データ・パケット送信バイト数カウンタ

図8 - 25 送受信ポインタの動作フロー・チャート (6/7)

(3) データ・パケット送信 (2/2)

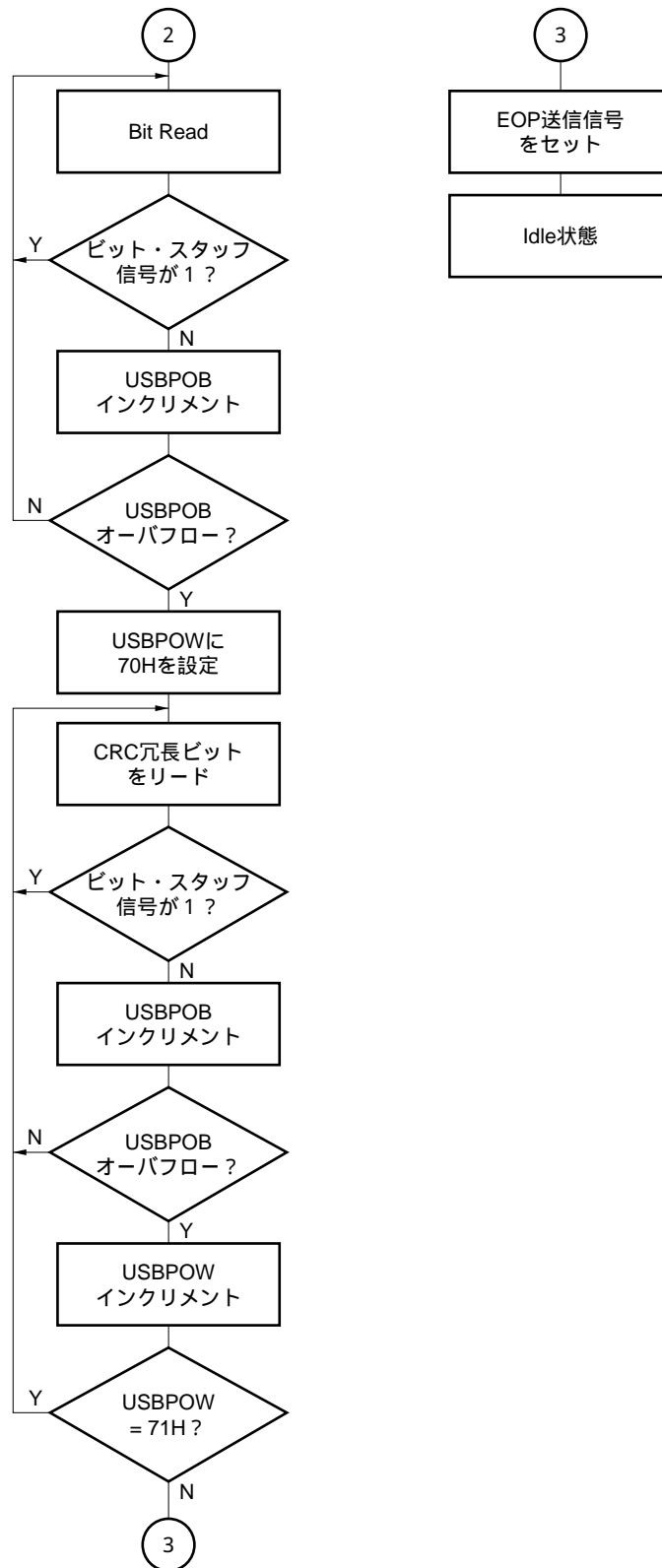
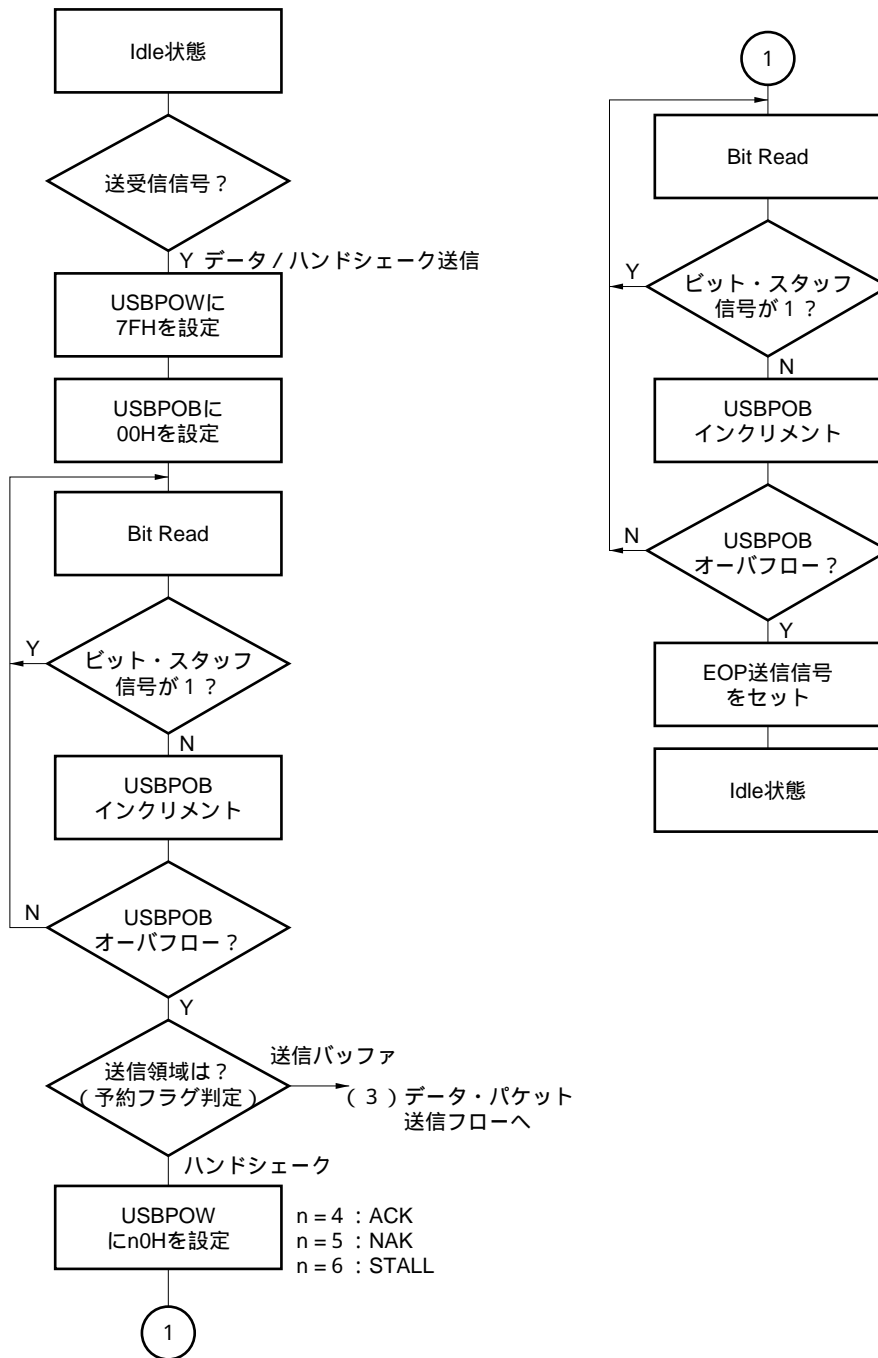


図8 - 25 送受信ポインタの動作フロー・チャート (7/7)

(4) ハンドシェーク・パケット送信



8.8.3 Sync検出 / USBCLK検出回路の動作

この回路では、受信パケットのSync部を検出し、USBCLK (1.5 MHz) を生成します。また、この回路にはNRZIデコーダが含まれており、受信パケットのデコードとSync部の最終ビットの検出を行います。

Syncの最終ビットを検出すると、ID検出バッファへのパケット格納を開始する信号が出力されます。

図8 - 27 Sync検出 / USBCLK検出回路の動作タイミング

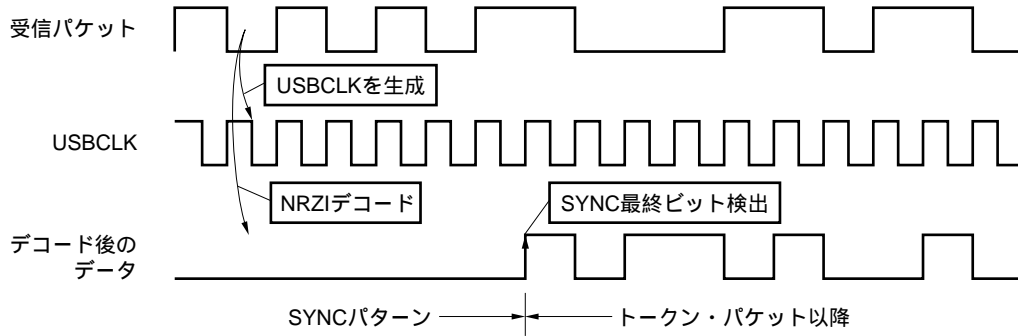
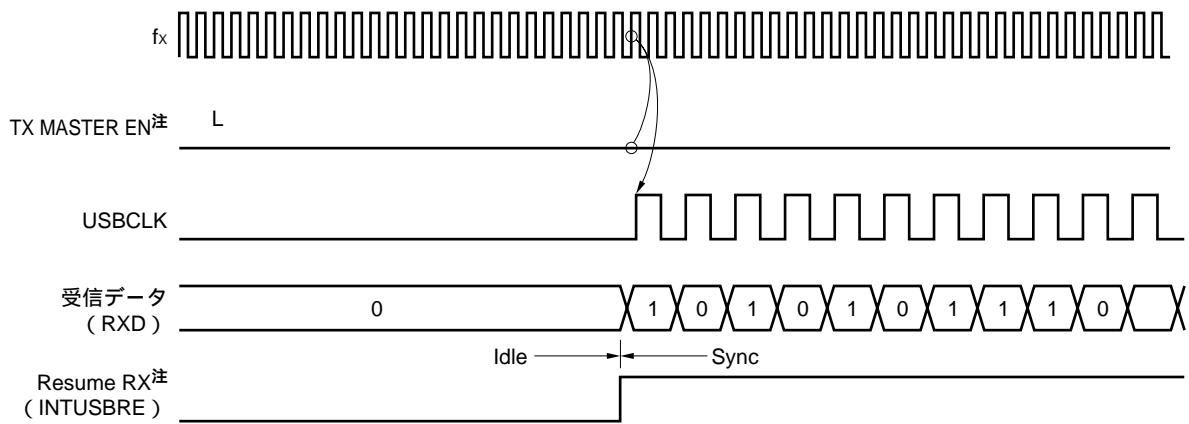


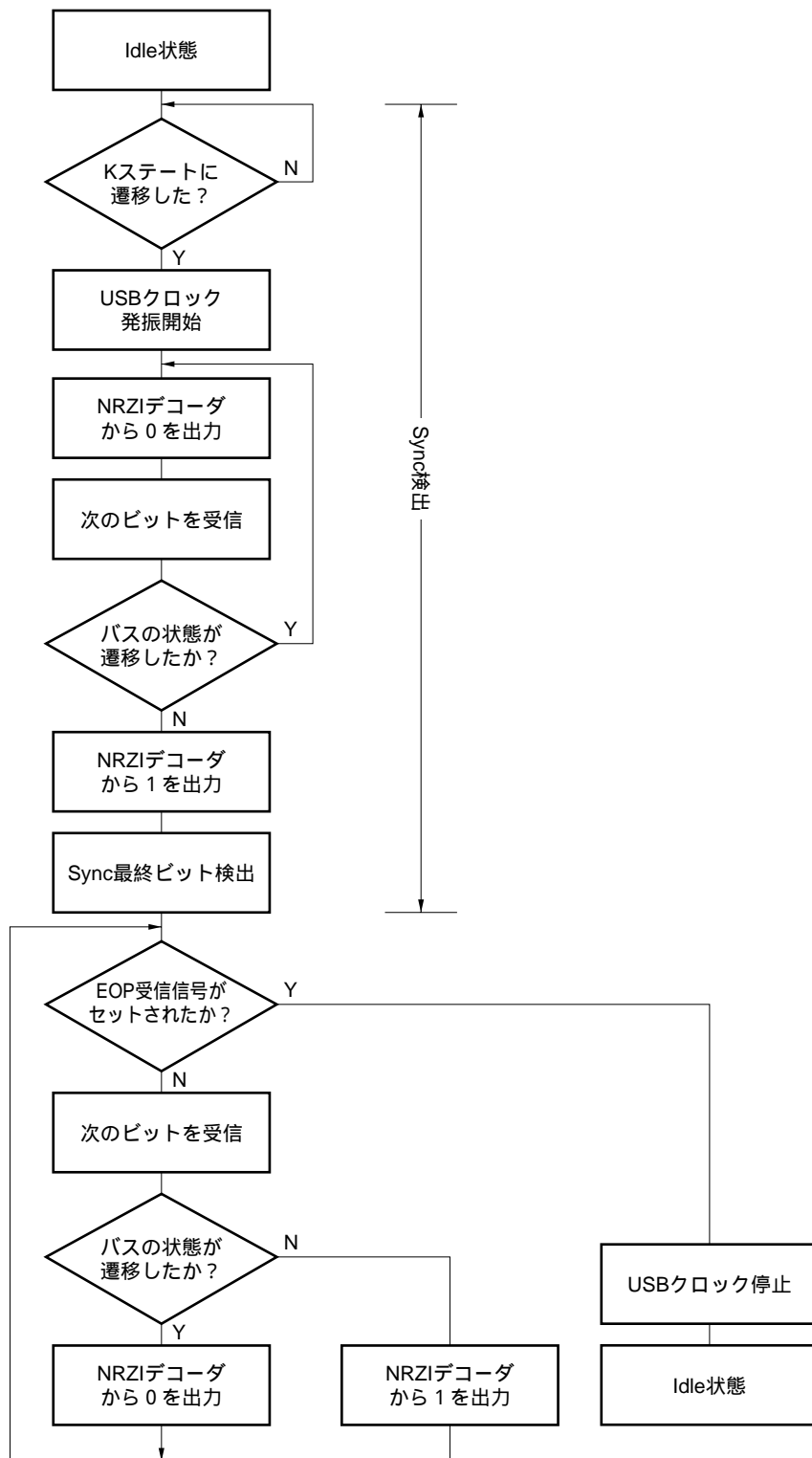
図8 - 28 Sync検出 / USBCLK生成動作タイミング



注 内部で使用する信号であり、ソフトウェアで確認することはできません。

備考 USBクロックは、バスのJステートからKステートへの遷移後のfxの立ち下がり動作を開始します。ただし、TX MASTER EN = 1の場合、この制御はマスクされます。

図8 - 29 Sync検出 / USBCLK検出回路の動作フロー・チャート



8.8.4 NRZIエンコーダの動作

この回路では、送信するデータのNRZIエンコードを行います。

図8 - 30 NRZIエンコーダの動作タイミング

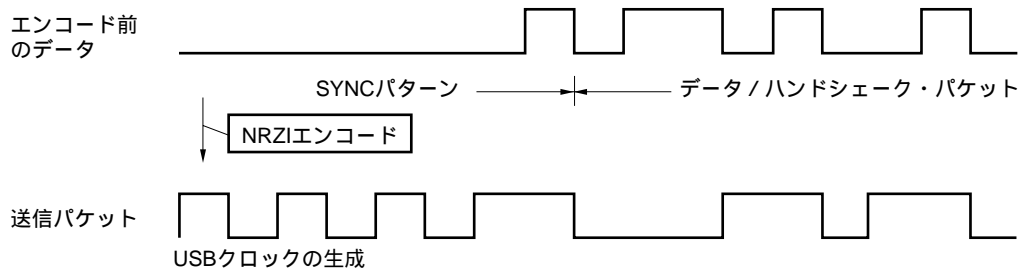
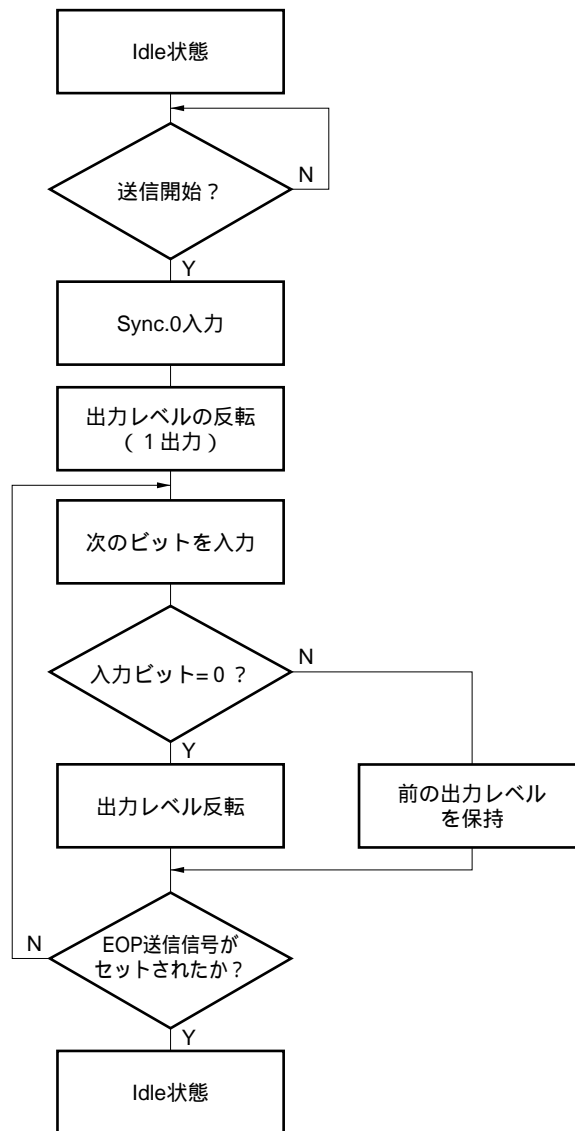


図8 - 31 NRZIエンコーダの動作フロー・チャート



8.8.5 ビット・スタッフ/ストリップ制御回路の動作

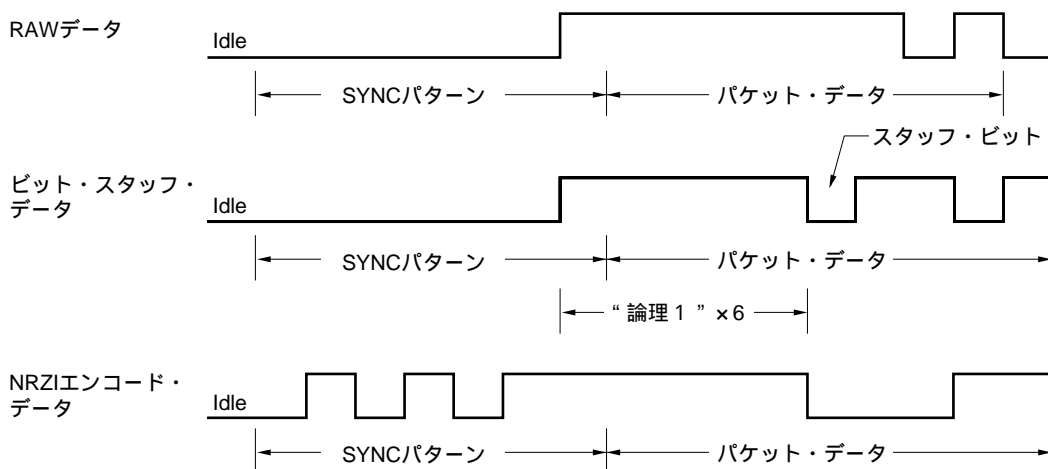
この回路では、送受信パケットの「論理1」の数をカウントし、「論理1」が6つ連続して検出された場合に、送受信ポインタ（USBPOB）に対してインクリメント禁止の信号を出力します。パケット送信時には、インクリメント禁止の信号と同時に「論理0」を挿入します。

また、ビット・ストリップ時に削除すべきビットが「論理1」であった場合に、これをビット・スタッフ・エラーとして検出します。

図8-32 ビット・スタッフ/ストリップ制御回路の動作タイミング

(1) ビット・スタッフ

“1”が6回連続した場合に強制的に“0”を挿入してレベルを変化させます。



(2) ビット・ストリップ

“1”が6回連続した場合に、次のビットをスタッフ・ビットとして削除します。

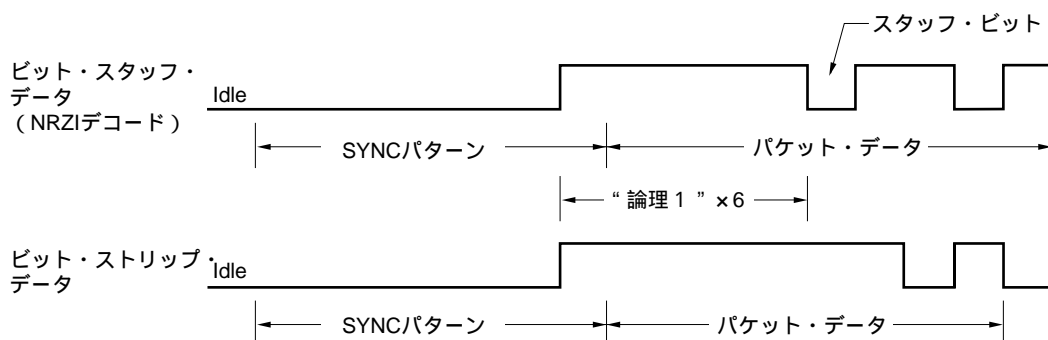


図8 - 33 ビット・スタック制御の動作フロー・チャート

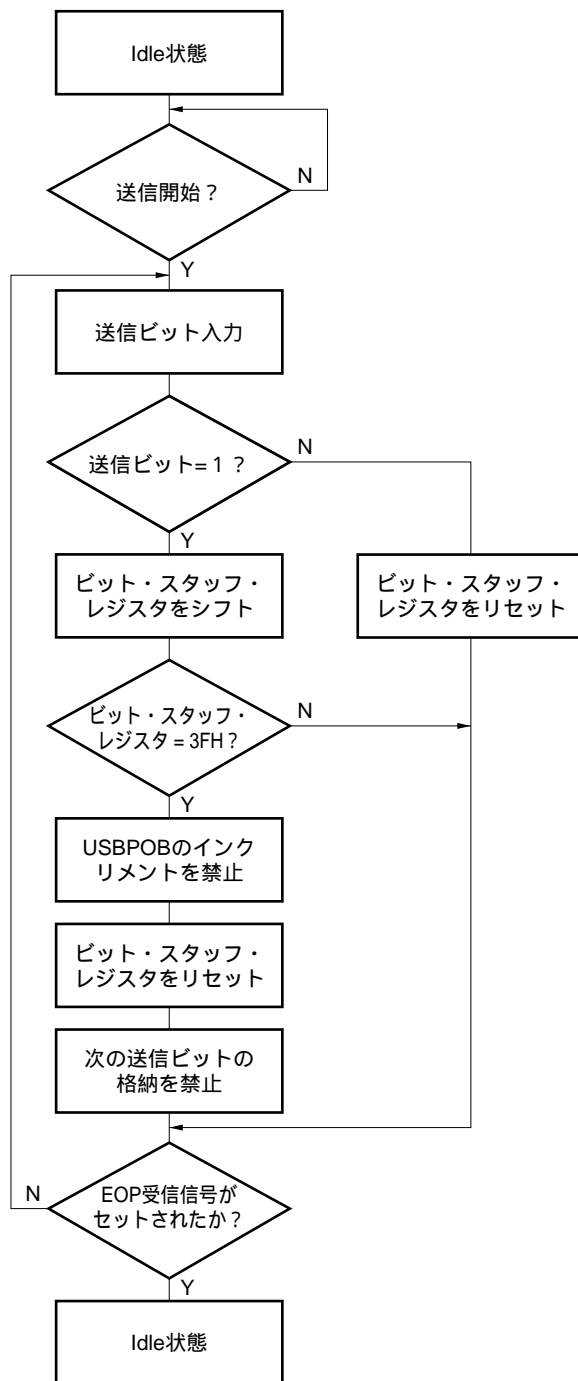
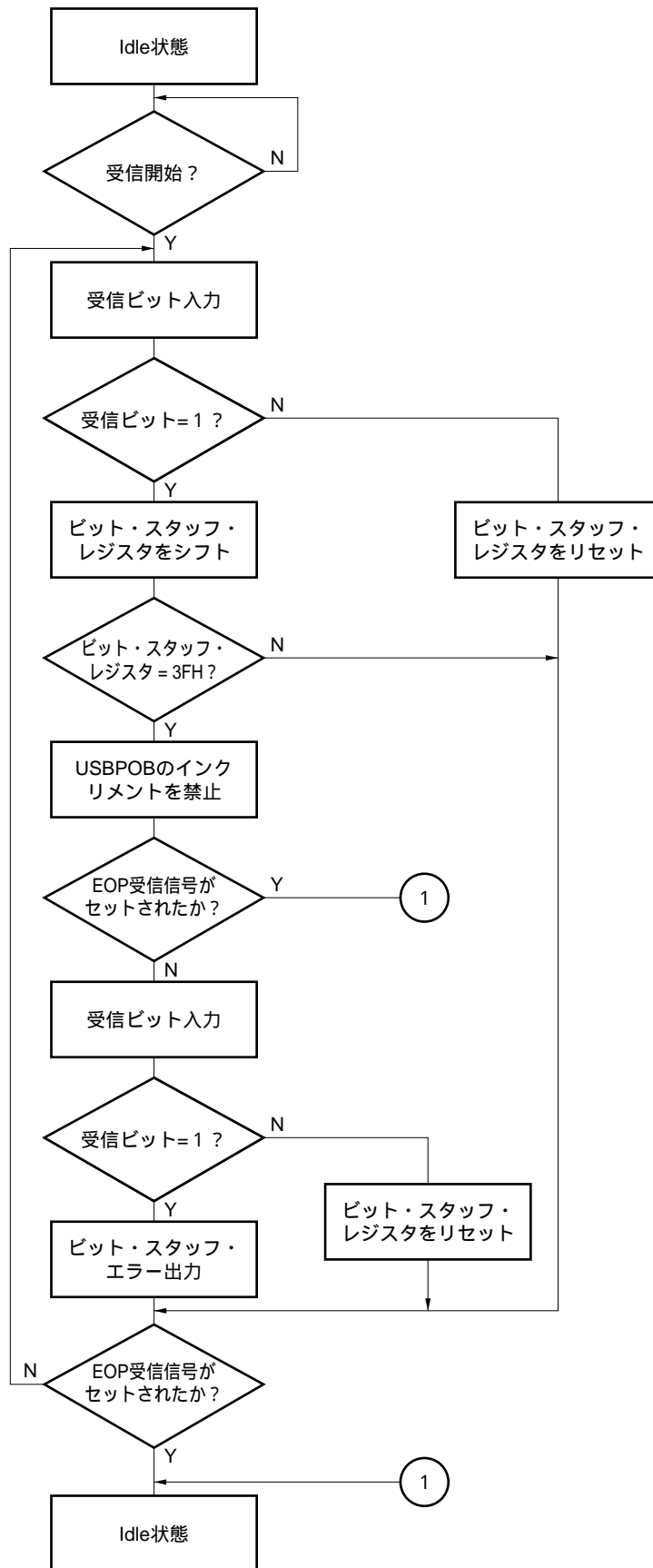


図8-34 ビット・ストリップ制御の動作フロー・チャート



第9章 シリアル・インタフェース10

9.1 シリアル・インタフェース10の機能

シリアル・インタフェース10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK_{10}) と、シリアル・データ (SI_{10} , SO_{10}) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

9.2 シリアル・インタフェース10の構成

シリアル・インタフェース10は、次のハードウェアで構成しています。

表9 - 1 シリアル・インタフェース10の構成

項 目	構 成
レジスタ	送受信シフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10)

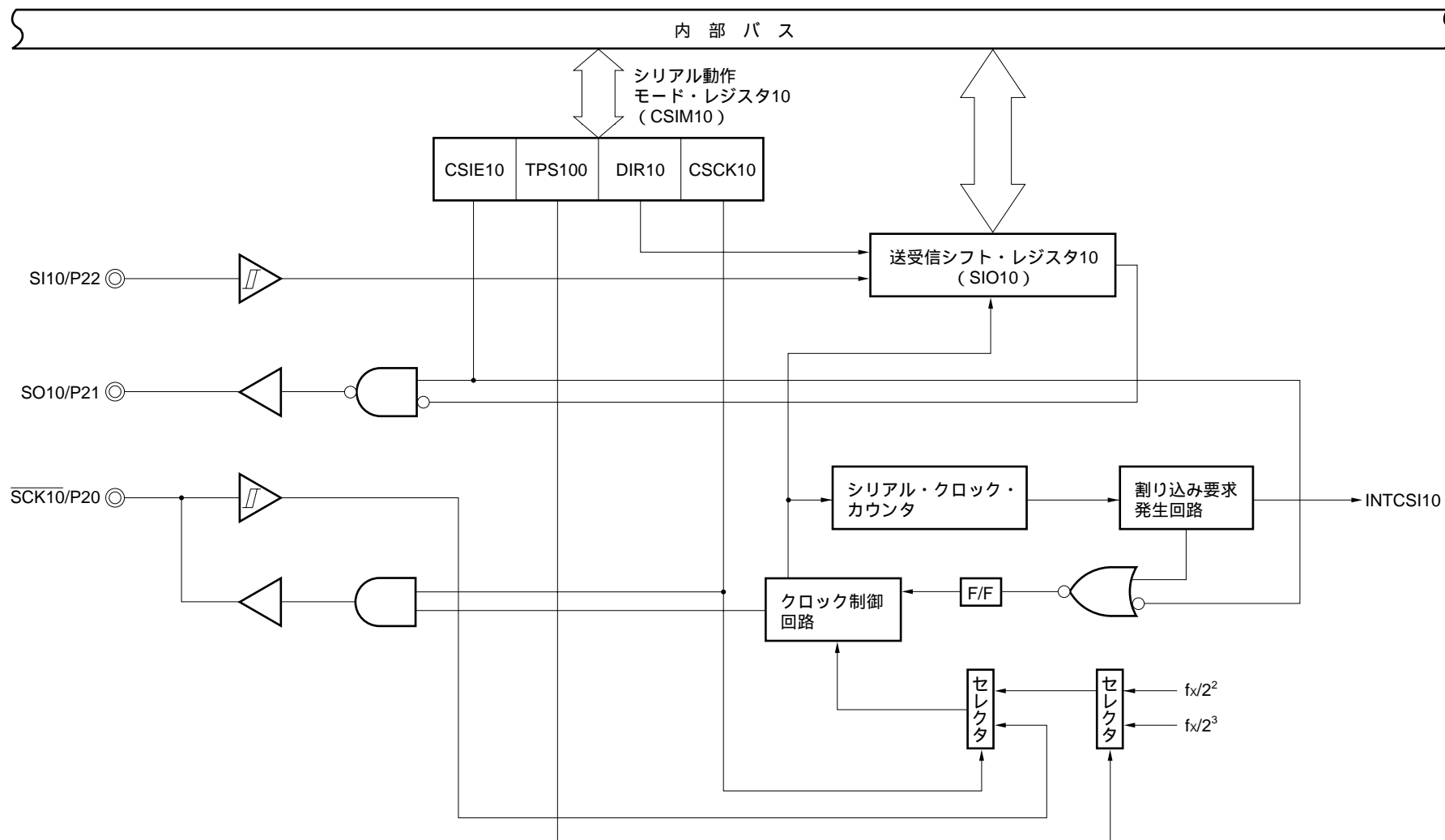
(1) 送受信シフト・レジスタ10 (SIO10)

パラレル - シリアル変換を行い、シリアル・クロックに同期してシリアル送受信を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図9-1 シリアル・インタフェース10のブロック図



9.3 シリアル・インタフェース10を制御するレジスタ

シリアル・インタフェース10は、次のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)

(1) シリアル動作モード・レジスタ10 (CSIM10)

シリアル・インタフェース10の動作制御，シリアル・クロックの設定，先頭ビットの設定をするレジスタです。

CSIM10は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図9-2 シリアル動作モード・レジスタ10のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

TPS100	3線式シリアルI/Oモード時の動作許可時のカウント・クロックの選択
0	$f_x/2^2$
1	$f_x/2^3$

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	3線式シリアルI/Oモード時のクロックの選択
0	SCK10端子への外部からの入力クロック
1	TPS100で選択した内部クロック

注意 ビット0, 3, 5, 6には，必ず0を設定してください。

表9-2 シリアル・インタフェース10の動作モードの設定一覧

(1) 動作停止モード

CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI10 端子の機能	P21/SO10 端子の機能	P20/SCK10 端子の機能
CSIE10	DIR10	CCK10											
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}			P22	P21	P20
上記以外									設定禁止				

(2) 3線式シリアルI/Oモード

CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI10 端子の機能	P21/SO10 端子の機能	P20/SCK10 端子の機能
CSIE10	DIR10	CCK10											
1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部 クロック	SI10 ^{注2}	SO10 (CMOS出力)	SCK10入力
		0					1	内部 クロック		SCK10出力			
1	1	0					1	x	LSB	外部 クロック			SCK10入力
		1					0	1		内部 クロック			SCK10出力
上記以外									設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

9.4 シリアル・インタフェース10の動作

シリアル・インタフェース10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

9.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK10, P21/SO10, P22/SI10端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3, 5, 6には、必ず0を設定してください。

9.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（SCK10）、シリアル出力（SO10）、シリアル入力（SI10）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ10（CSIM10）で行います。

(a) シリアル動作モード・レジスタ10（CSIM10）

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

TPS100	3線式シリアルI/Oモード動作許可時のカウント・クロックの選択
0	$f_x/2^2$
1	$f_x/2^3$

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	3線式シリアルI/Oモード時のクロックの選択
0	SCK10端子への外部からの入力クロック
1	TPS100で選択したカウント・クロック

注意 ビット0, 3, 5, 6には、必ず0を設定してください。

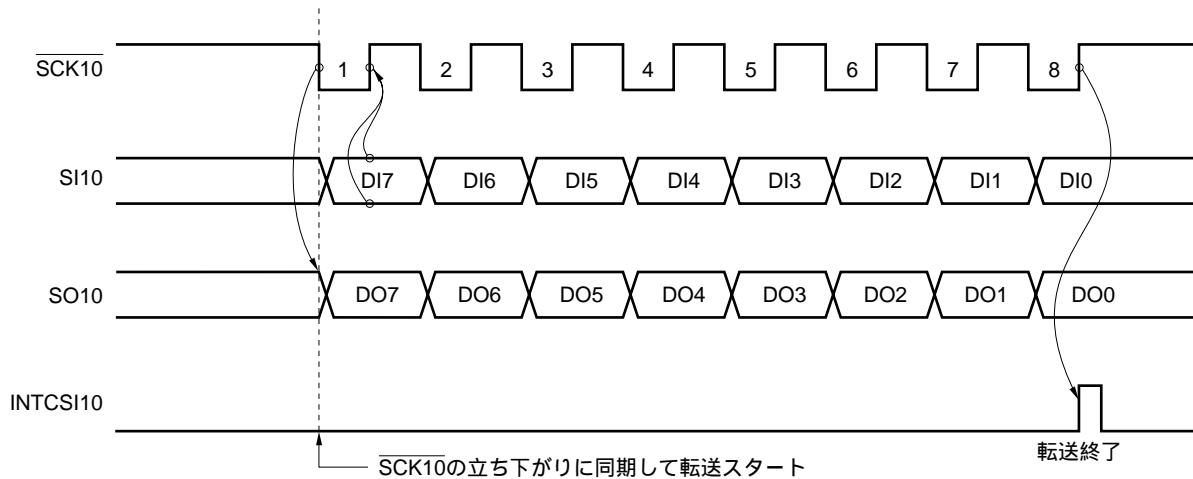
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送受信シフト・レジスタ10 (SIO10) のシフト動作は、シリアル・クロック ($\overline{\text{SCK10}}$) の立ち下がりに同期して行われます。そして、送信データがSO10ラッチに保持され、SO10端子から出力されます。また、 $\overline{\text{SCK10}}$ の立ち上がりで、SI10端子に入力された受信データがSIO10の入力側ビットにラッチされます。

8ビット転送終了により、SIO10の動作は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

図9-3 3線式シリアルI/Oモードのタイミング



- 注意1. シリアル動作禁止設定時 (CSIE10 = 0) に、SIO10にデータを書き込んでも送受信できません。
2. シリアル動作禁止設定時 (CSIE10 = 0) に、SIO10にデータを書き込んだあと、シリアル動作許可 (CSIE10 = 1) にしても送受信できません。
 3. 外部シリアル・クロック選択時 (CSCK10 = 0) で1度SIO10にデータを書き込んだあと、SIO10に上書きをした場合、SIO10の内容は更新されません。
 4. 送受信中にCSIM10を操作した場合、正常な送受信動作はできません。
 5. 送受信中にSIO10を操作した場合、正常な送受信動作はできません。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送受信シフト・レジスタ10 (SIO10) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK10}}$ がハイ・レベルの状態

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

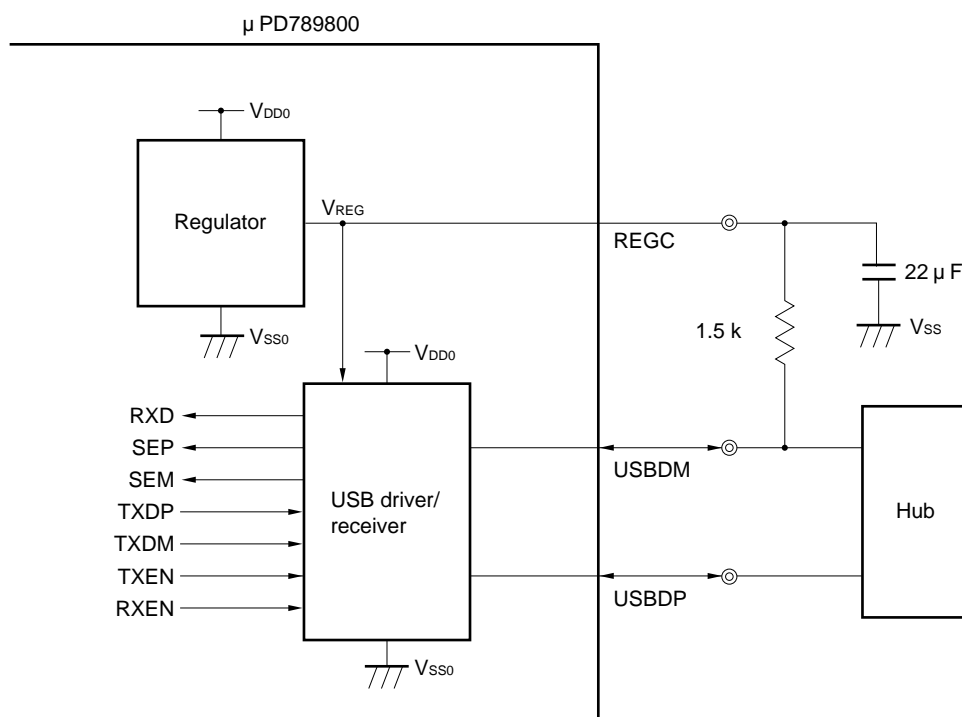
第10章 レギュレータ

USBドライバ/レシーバの電源を供給するレギュレータを内蔵しています。次に特徴を示します。

- V_{DD0} , $V_{DD1} = 4.0 \sim 5.5 \text{ V}$ から $V_{REG} = 3.3 \pm 0.3 \text{ V}$ を発生し, REGC端子に出力
- 省電力モードを持ち, STOPモード時の消費電力を削減

★

図10 - 1 レギュレータ, USBドライバ/レシーバの構成図



- 注意1. V_{REG} 電圧安定のため, REGC端子は, $22 \mu\text{F}$ のコンデンサを介して V_{SS} に接続してください。
2. USBDM端子用のプルアップ抵抗 ($1.5 \text{ k}\Omega$) は, REGC端子に接続してください。

第11章 割り込み機能

11.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表11-1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが2要因、内部割り込みが9要因あります。

11.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計12要因あります(表11-1参照)。

表11-1 割り込み要因一覧

割り込みの種類	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}		
		名 称	トリガ					
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバーフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)		
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバーフロー（インターバル・タイマ・モード選択時）	内部	0006H	(B)		
		1	INTUSBTM			USBタイマのオーバーフロー	0008H	(B)
		2	INTUSBRT			USBトークン・パケット受信時のEOP検出	000AH	(B)
		3	INTUSBRD			USBのデータ / ハンドシェーク・パケット受信時のEOP検出	000CH	(B)
		4	INTUSBST			USBのデータ / ハンドシェーク・パケット送信時のEOP検出	000EH	(B)
		5	INTUSBRE			USBのバス上でJステートからKステートへの遷移,またはSE0への遷移の検出	0010H	(C)
	6	INTCS110	3線式SIOバス・インタフェースの送受信終了	内部	0012H	(B)		
	7	INTTM00	8ビット・タイマ00の一致信号発生			0014H	(B)	
	8	INTTM01	8ビット・タイマ / イベント・カウンタ01の一致信号発生			0016H	(B)	
	9	INTKR00	キー・リターン信号検出			0018H	(C)	
10	INTKR00	キー・リターン信号検出	外部	0018H	(C)			

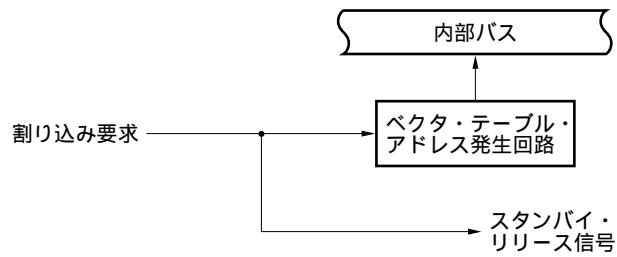
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、10が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図11-1の(A)-(C)に対応しています。

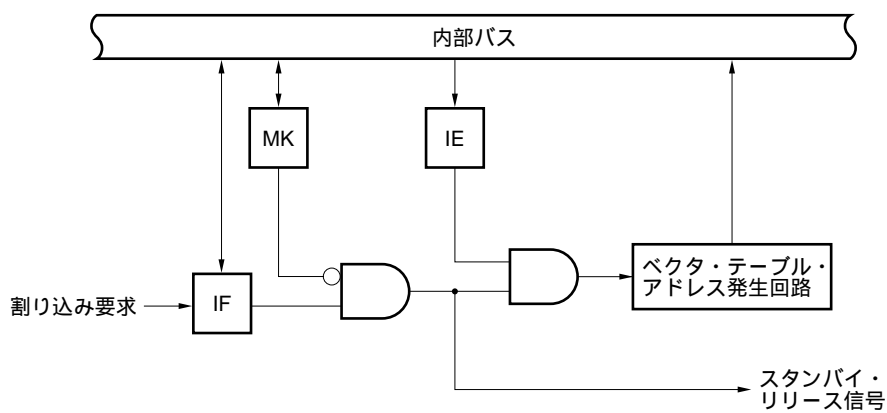
★ 備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスクابل割り込みとマスクابل割り込み (内部) の2種類があり、どちらか1種類のみ選択できます。

図11-1 割り込み機能の基本構成

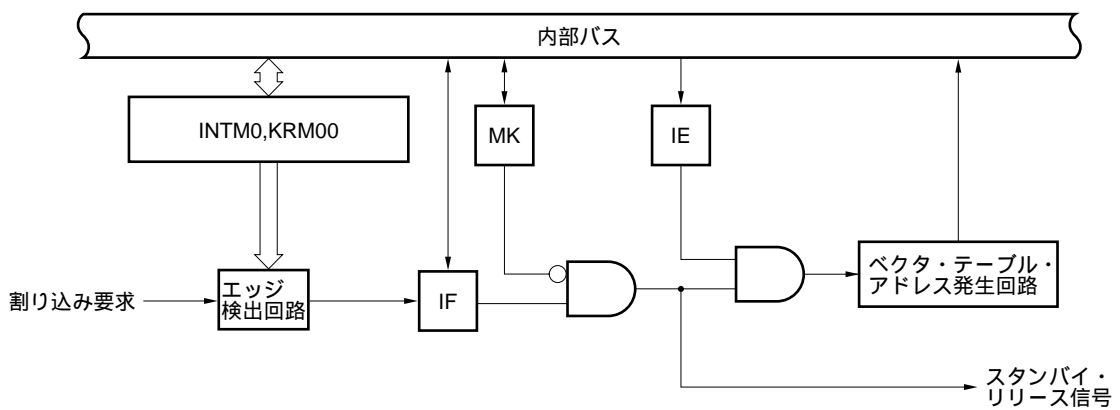
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ
- INTM0 : 外部割り込みモード・レジスタ0
- KRM00 : キー・リターン・モード・レジスタ00

11.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ00 (KRM00)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を、表11-2に示します。

表11-2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTUSBTM	USBTMIF	USBTMMK
INTUSBRT	USBRTIF	USBRTMK
INTUSBRD	USBRDIF	USBRDMK
INTUSBST	USBSTIF	USBSTMK
INTUSBRE	USBREIF	USBREMK
INTP0	PIF0	PMK0
INTCSI10	CSIIF10	CSIMK10
INTTM00	TMIF00	TMMK00
INTTM01	TMIF01	TMMK01
INTKR00	KRIF00	KRMK00

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11-2 割り込み要求フラグ・レジスタのフォーマット

略号	3				2		0		アドレス	リセット時	R/W
IF0	TMIF01	TMIF00	CSIIF10	KRIF00	0	0	PIF0	TMIF4	FF E 0 H	0 0 H	R/W
	7				1		0				
IF1	0	USBTMIF	USBRTIF	USBRDIF	USBSTIF	USBREIF	0	0	FF E 1 H	0 0 H	R/W

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。

2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

★ 3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図11-3 割り込みマスク・フラグ・レジスタのフォーマット

略号					3	2	0		アドレス	リセット時	R/W
MK0	TMMK01	TMMK00	CSIMK10	KRMK00	1	1	PMK0	TMMK4	FFE4H	FFH	R/W
								7			
MK1	1	USBTMMK	USBRTMK	USBRDMK	USBSTMK	USBREMK	1	1	FFE5H	FFH	R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0の有効エッジを設定するレジスタです。
 INTM0は、8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	0	0	ES01	ES00	0	0	FFECH	00H	R/W

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

- 注意1. ビット0, 1, 4-7には必ず0を設定してください。
2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (××MK× = 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (××IF× = 0) してから、割り込みマスク・フラグをクリア (××MK× = 0) し、割り込みを許可してください。

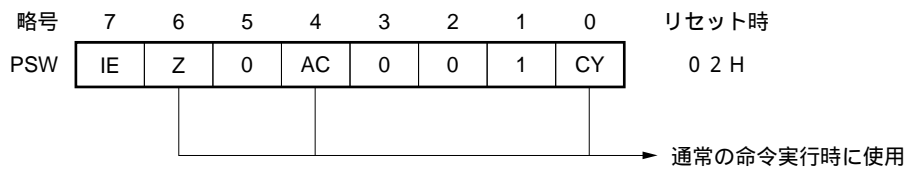
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図11-5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

(5) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号 (ポート4の立ち下がりエッジ) を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ビット0 (KRM000) は $\overline{KR00}/P40$ - $\overline{KR03}/P43$ 端子について4ビット単位で設定します。ビット4-7 (KRM004-KRM007) は、それぞれ $\overline{KR04}/P44$ - $\overline{KR07}/P47$ 端子について1ビット単位で設定します。

\overline{RESET} 入力により、00Hになります。

図11-6にキー・リターン・モード・レジスタ00のフォーマットを、図11-7に立ち下がりエッジ検出回路のブロック図を示します。

図11-6 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	KRM007	KRM006	KRM005	KRM004	0	0	0	KRM000	FFF5H	00H	R/W

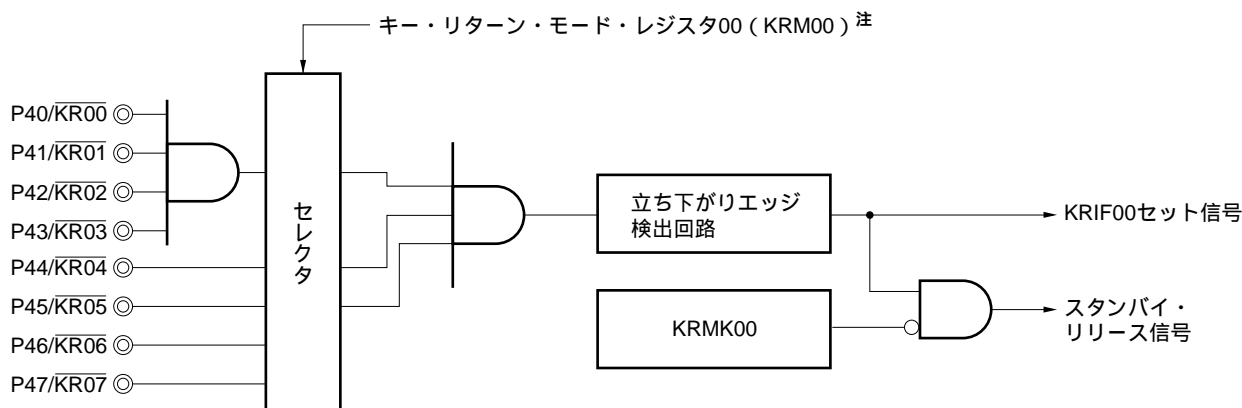
KRM00n	P4n/ $\overline{KR0n}$ 端子のキー・リターン信号検出の選択 (n = 4-7)
0	未検出
1	検出 (P4n/ $\overline{KR0n}$ の立ち下がりエッジ検出)

KRM000	P40/ $\overline{KR00}$ -P43/ $\overline{KR03}$ 端子のキー・リターン信号検出の選択
0	未検出
1	検出 (P40/ $\overline{KR00}$ -P43/ $\overline{KR03}$ の立ち下がりエッジ検出)

注意1. ビット1-3には、必ず0を設定してください。

- KRM00を(1)に設定すると強制的にプルアップ抵抗が接続されます。ただし、その端子が出力モードであればプルアップ抵抗は切断されます。
- KRM00の設定は、必ずMK0のビット4をセット (KRMK00 = 1) し、割り込みを禁止してから行ってください。KRM00の設定後、IF0のビット4をクリア (KRIF00 = 0) にしてからMK0のビット4をクリア (KRMK00 = 0) し、割り込みを許可してください。

図11-7 立ち下がりエッジの検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するレジスタ

11.4 割り込み処理動作

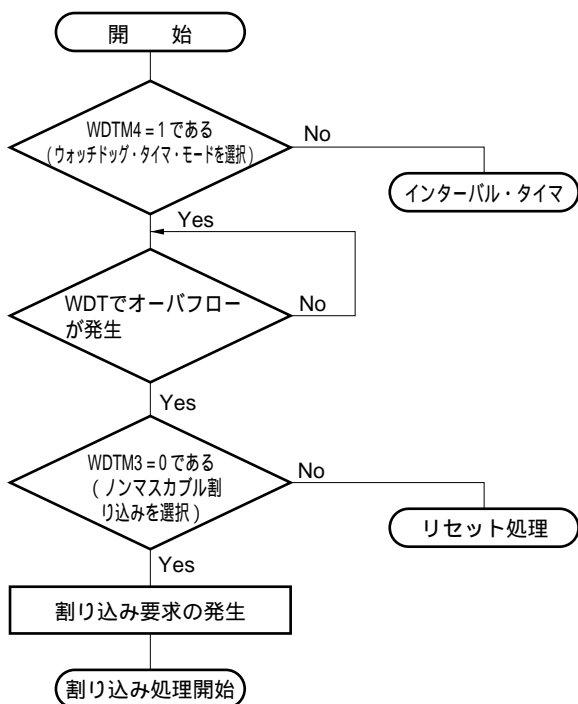
11.4.1 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図11 - 8 ノンマスクابل割り込み要求の受け付けフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図11 - 9 ノンマスクابل割り込み要求の受け付けタイミング

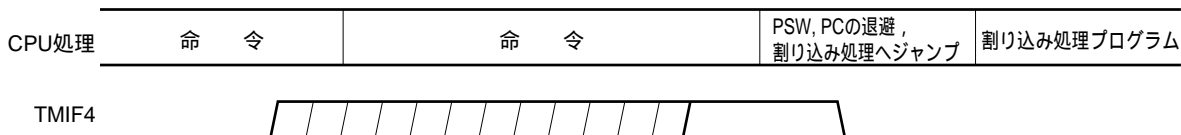
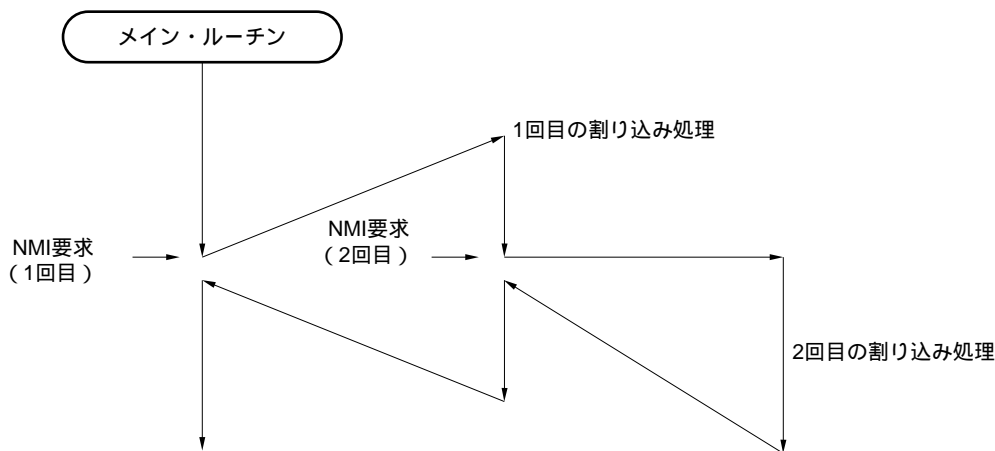


図11 - 10 ノンマスクابل割り込み要求の受け付け動作



11.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は次のようになります。

表11-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
8クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図11-11に示します。

マスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。

RETI命令によって、割り込みから復帰はできます。

図11-11 割り込み受け付け処理アルゴリズム

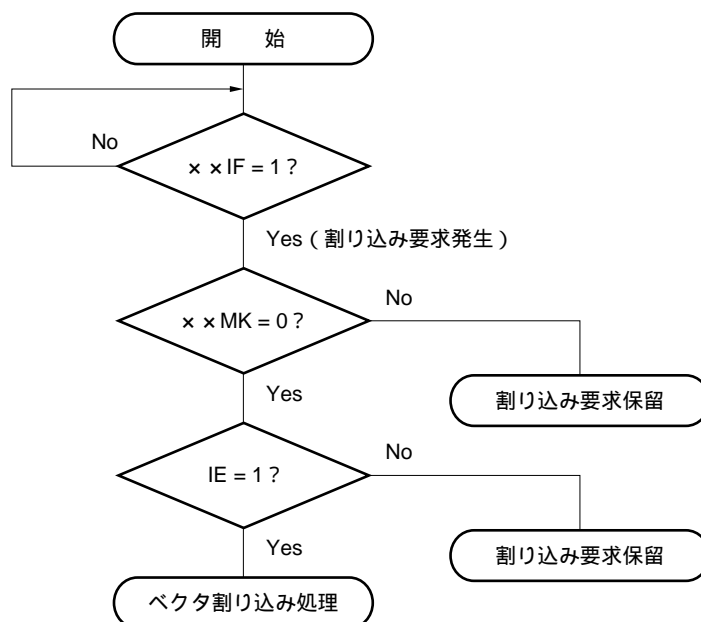
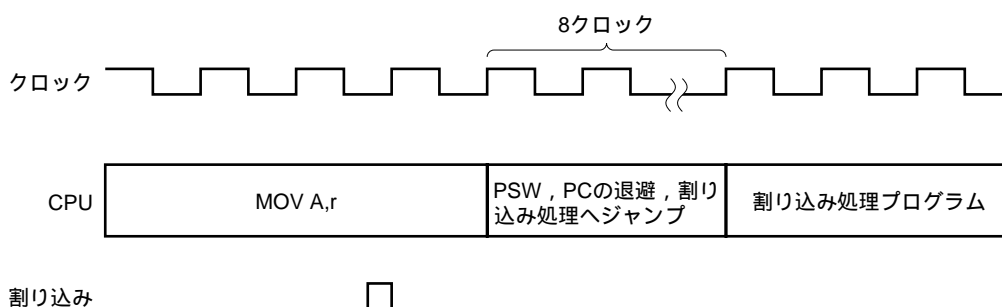


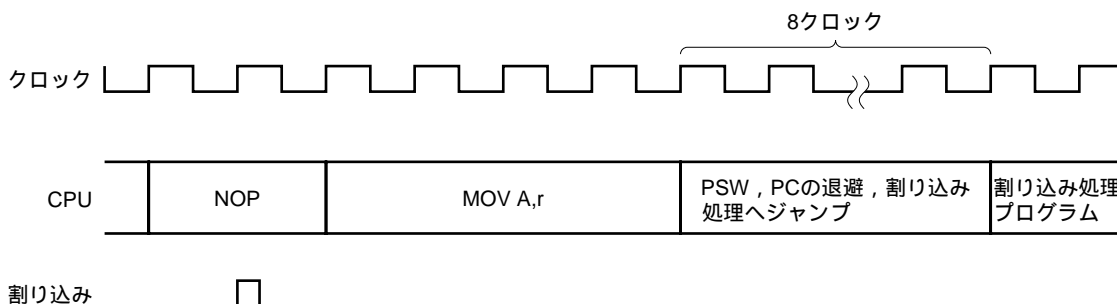
図11 - 12 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図11 - 12では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図11 - 13 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図11 - 13ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

注意 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

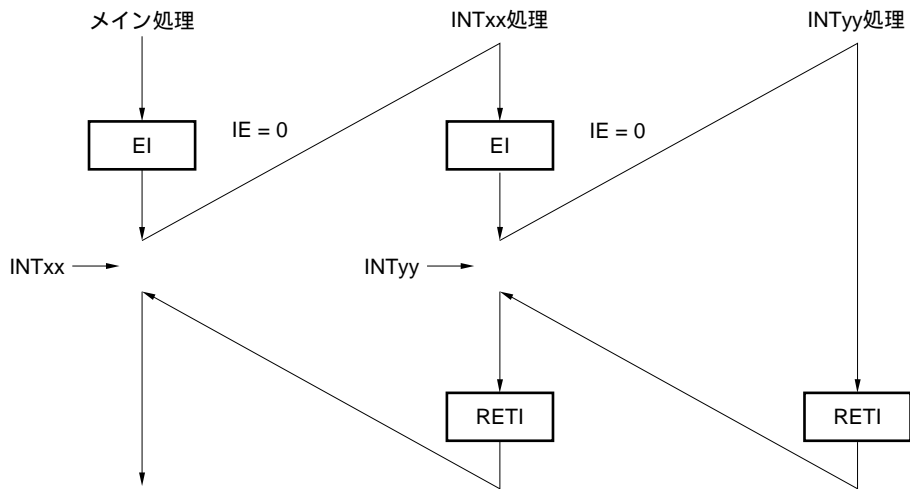
11.4.3 多重割り込み処理

割り込み要求処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスカブル割り込み要求を除く)。また、割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み要求処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

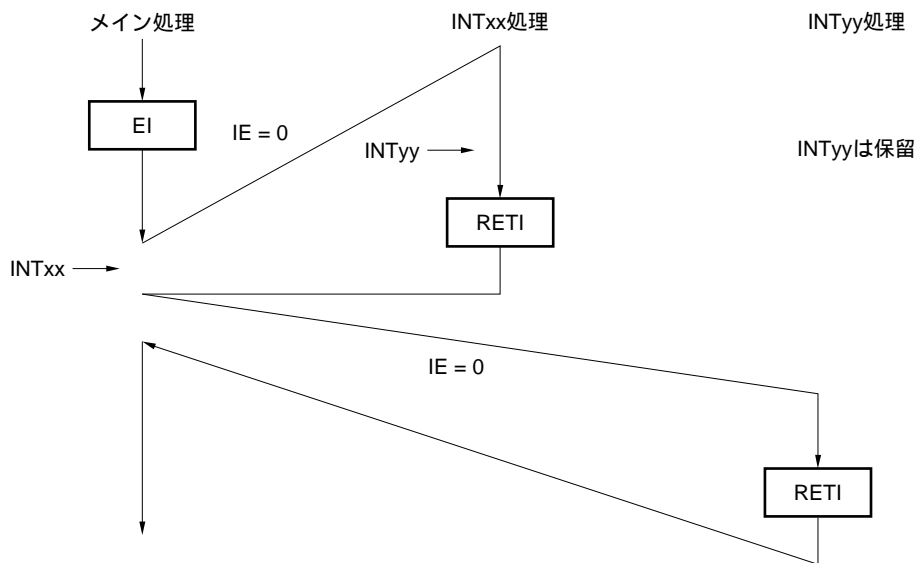
図11 - 14 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

11.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) に対する操作命令

第12章 スタンバイ機能

12.1 スタンバイ機能と構成

12.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

12.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

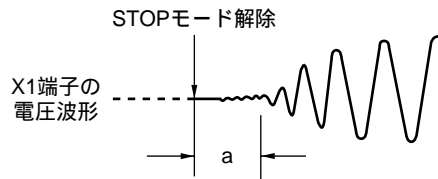
RESET入力により、04Hになります。ただし、RESET入力後の発振安定時間は $2^{15}/f_x$ となります。

図12-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (683 μ s)
0	1	0	$2^{15}/f_x$ (5.46 ms)
1	0	0	$2^{17}/f_x$ (21.8 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 6.0$ MHz動作時。

12.2 スタンバイ機能の動作

12.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表12-1 HALTモード時の動作状態

項目	HALTモード時の動作状態
クロック発生回路	発振可能
CPU	動作停止
ポート（出力ラッチ）	HALTモード設定前の状態を保持
8ビット・タイマ00（TM00）	動作可能
8ビット・タイマ/イベント・カウンタ01（TM01）	動作可能
ウォッチドッグ・タイマ	動作可能
USBファンクション	動作可能
シリアル・インタフェース	動作可能
キー・リターン	動作可能 ^{注1}
外部割り込み	動作可能 ^{注2}

注1. キー・リターン・モード・レジスタ00（KRM00）で設定した端子のみ動作可能。

2. マスクされていないマスカブル割り込み。

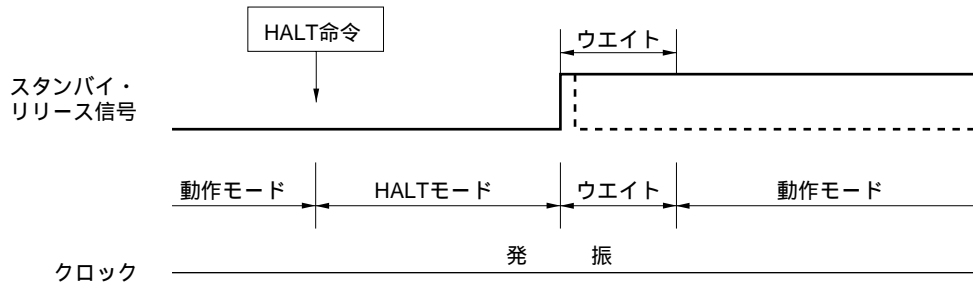
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図12 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

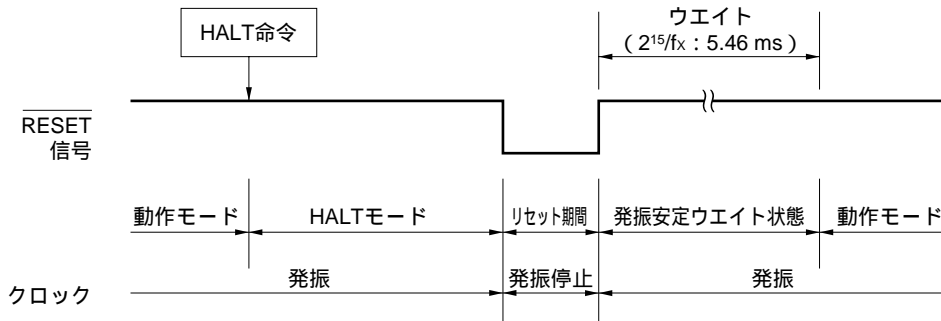
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図12 - 3 HALTモードのRESET入力による解除



- 備考1. f_x : システム・クロック発振周波数
 2. ()内は, $f_x = 6.0 \text{ MHz}$ 動作時

表12 - 2 HALTモードの解除後の動作

解除ソース	MKxx	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

12.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

- 注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD}にプルアップされます。したがって、システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。
2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表12-3 STOPモード時の動作状態

項目	STOPモード時の動作状態
クロック発生回路	発振停止
CPU	動作停止
ポート（出力ラッチ）	STOPモード設定前の状態を保持
8ビット・タイマ00（TM00）	動作停止
8ビット・タイマ/イベント・カウンタ01（TM01）	動作可能 ^{注1}
ウォッチドッグ・タイマ	動作停止
USBファンクション	動作可能 ^{注2}
シリアル・インタフェース10	動作可能 ^{注3}
キー・リターン	動作可能 ^{注4}
外部割り込み	動作可能 ^{注5}

注1. カウント・クロックにTI01選択時のみ動作可能。

2. USB reset信号、Resume信号受信時のみ動作可能。

3. 外部クロック選択時のみ動作可能。

4. キー・リターン・モード・レジスタ00（KRM00）で設定した端子のみ動作可能。

5. マスクされていないマスクブル割り込み。

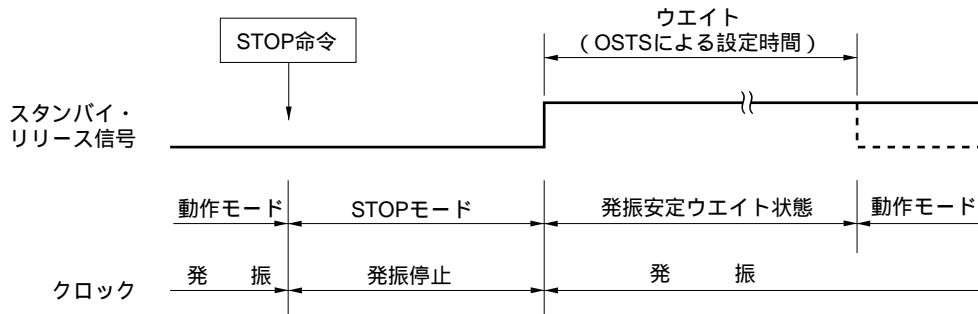
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図12-4 STOPモードの割り込み発生による解除

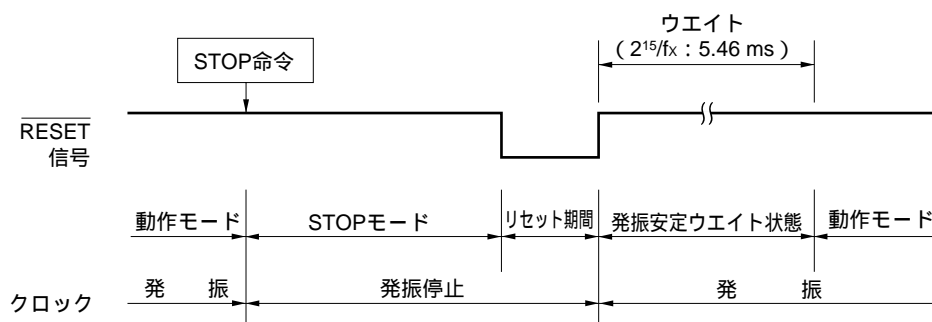


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図12-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 6.0 \text{ MHz}$ 動作時

表12-4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

★ (3) STOP命令実行時の注意事項

SE0状態 (USBDM = 0, USBDP = 0) でSTOP命令を実行しますと、その後USBリセット / Resume検出割り込み (INTUSBRE) によるSTOPモードの解除ができなくなります。

そのため、次に示す制御方法を採用してください。

<制御方法>

SE0の状態ではSTOP命令を実行しないでください。

また、サスペンド・モードにてSTOP命令を実行する場合は、次の2つのソフトウェア対策をすべて行ってください。

サスペンド・ステート検出からSTOP命令を実行するまでの間は、USBリセット / Resume検出割り込み要求フラグ (USBREIF) はクリアしないでください。

サスペンド・ステート検出用の3 msタイマに使用している8ビット・タイマをリセットする時点で、USBリセット / Resume検出割り込み要求フラグ (USBREIF) をクリアしてください。

第13章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表13 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します(図13 - 2から図13 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
- 2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図13 - 1 リセット機能のブロック図

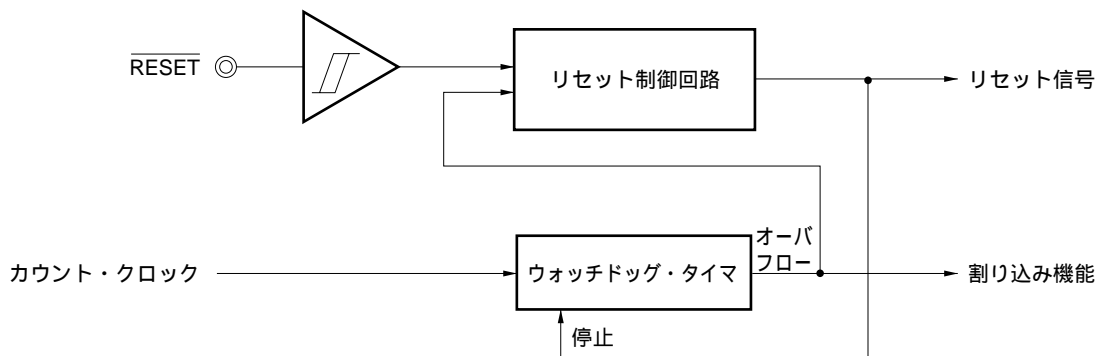


図13-2 RESET入力によるリセット・タイミング

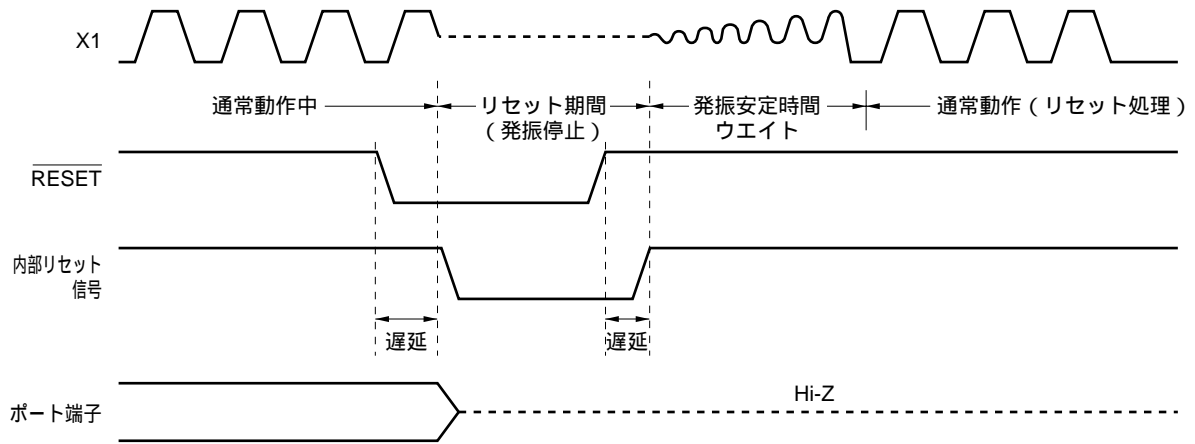


図13-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

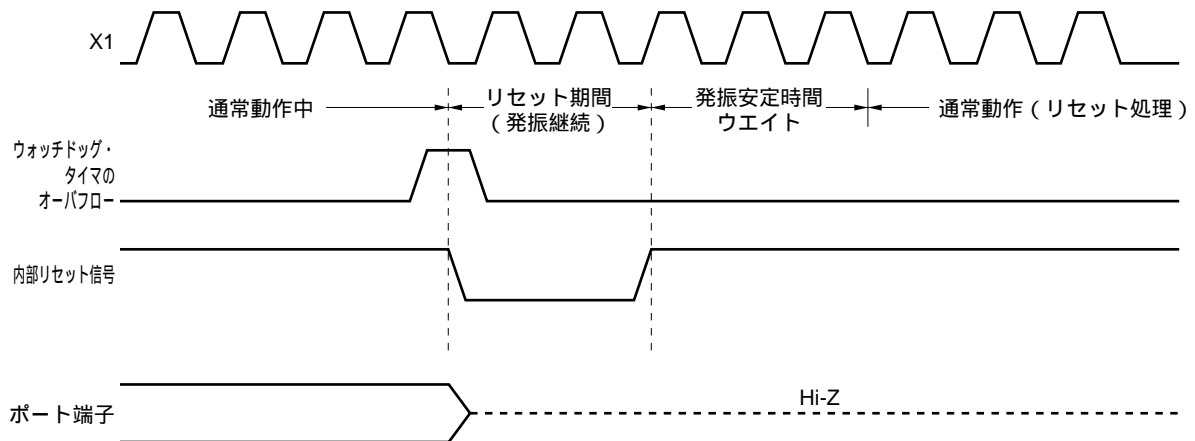


図13-4 STOPモード中のRESET入力によるリセット・タイミング

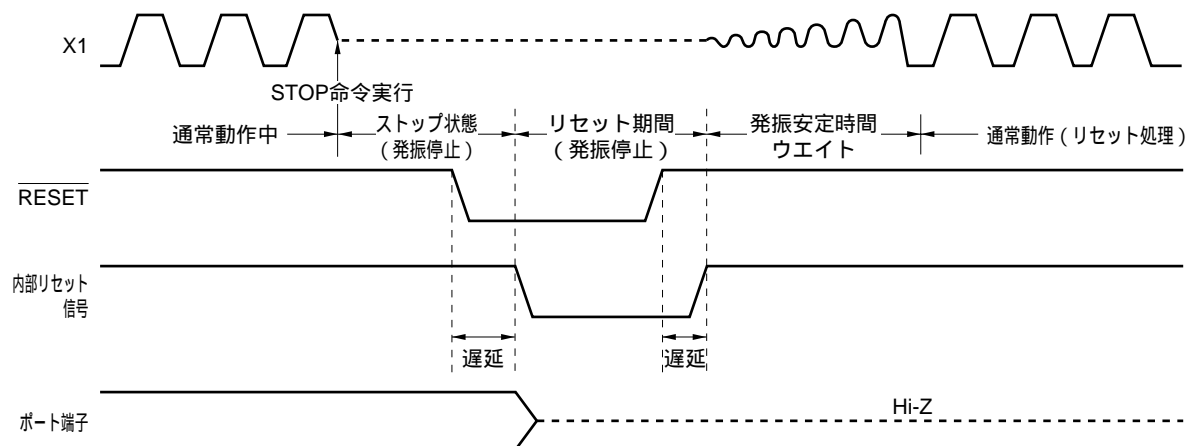


表13 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P2, P4) 出力ラッチ		00H
ポート・モード・レジスタ (PM0-PM2, PM4)		FFH
プルアップ抵抗オプション・レジスタ (PU0)		00H
ポート出力モード・レジスタ (POM0, POM1)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
8ビット・タイマ/イベント・カウンタ	タイマ・カウンタ (TM00, TM01)	00H
	コンペア・レジスタ (CR00, CR01)	不定
	モード・コントロール・レジスタ (TMC00, TMC01)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
USBファンクション	送受信ポインタ (USBPOW)	00H
	受信トークンPID (USBRTTP)	00H
	受信トークン・アドレス (USBRAL, USBRAH)	00H
	受信データPID (USBRD)	00H
	受信データ・アドレス (USBR0-USBR7)	不定
	送信データPIDバンク (USBT00, USBTD1)	不定
	送信データ・バンク・アドレス (USBT00-USBT07, USBT10-USBT17)	不定
	データ/ハンドシェーク・パケット受信バイト数カウンタ (DRXCON)	18H
	データ・パケット送信バイト数カウンタ0 (DTXCO0)	20H
	データ・パケット送信バイト数カウンタ1 (DTXCO1)	30H
	トークンPID比較レジスタ (TIDCMP)	00H
	トークン・アドレス比較レジスタ (ADRCMP)	00H
	USBレシーバ・イネーブル・レジスタ (USBMOD)	00H
	パケット受信ステータス・レジスタ (RXSTAT)	00H
	データ/ハンドシェーク・パケット受信結果格納レジスタ (DRXRSL)	00H
	トークン・パケット受信結果格納レジスタ (TRXRSL)	00H
	データ/ハンドシェークPID比較レジスタ (DIDCMP)	C3H
	データ・パケット送信予約レジスタ (DTXRSV)	00H
	ハンドシェーク・パケット送信予約レジスタ (HTXRSV)	00H
	USBタイマ・スタート予約制御レジスタ (USBTCL)	01H
リモート・ウエイク・アップ制御レジスタ (REMWUP)	08H	

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表13 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
シリアル・インタフェース	モード・レジスタ (CSIM10)	00H
	送受信シフト・レジスタ (SIO10)	不定
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
	キー・リターン・モード・レジスタ (KRM00)	00H

第14章 μ PD78F9801

μ PD78F9801は、マスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。 μ PD78F9801とマスクROM製品の違いを表14 - 1に示します。

表14 - 1 μ PD78F9801とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品
		μ PD78F9801	μ PD789800
内部メモリ	ROM	16 Kバイト (フラッシュ・メモリ)	8 Kバイト
	高速RAM	256バイト	
IC端子		なし	あり
V_{PP} 端子		あり	なし
電気的特性		第16章 電気的特性を参照してください。	

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価をしてください。

★ 14.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9801を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

14.1.1 プログラミング環境

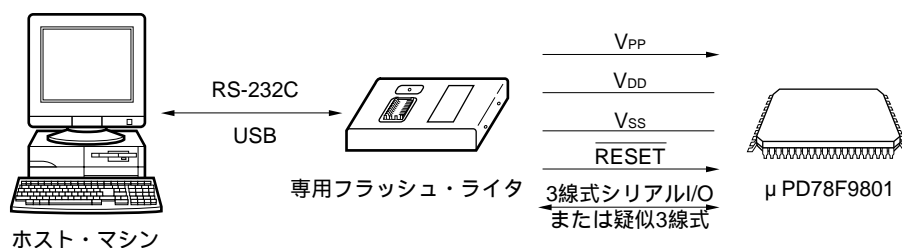
μ PD78F9801のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図14-1 フラッシュ・メモリにプログラムを書き込むための環境



14.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9801との通信は、表14 - 2に示す通信方式から選択して行います。

表14 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアル/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	任意	1-5 MHz ^{注2}	1.0	S110/P22 SO10/P21 SCK10/P20	0
疑似3線式	Port A (Pseudo- 3wired)	100 Hz-1 kHz	任意	1-5 MHz ^{注2}	1.0	P10 (シリアル・クロック入力) P11 (シリアル・データ出力) P12 (シリアル・データ入力)	12

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第16章 電気的特性を参照してください。

図14 - 2 通信方式選択フォーマット

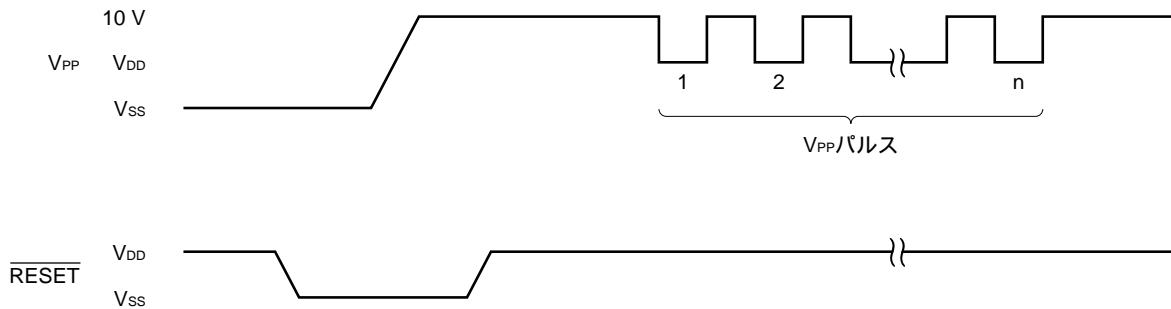
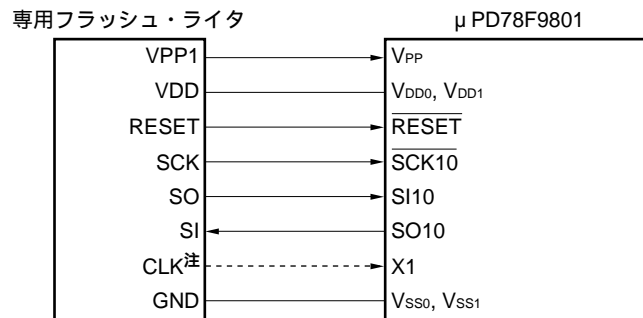
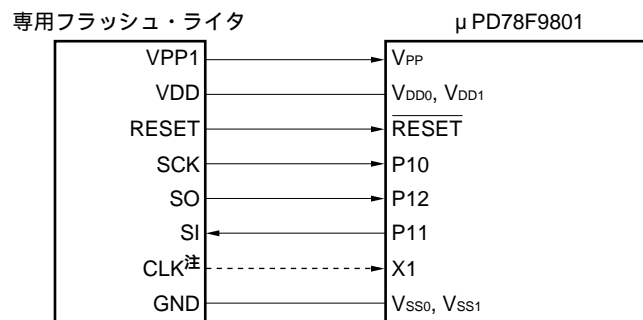


図14 - 3 専用フラッシュ・ライタとの接続例

(a) 3線式シリアルI/O



(b) 疑似3線式



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro を使用した場合， μ PD78F9801に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表14 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}		
VPP2	-	-	-	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD0} , V _{DD1}	注	注
GND	-	グラウンド	V _{SS0} , V _{SS1}		
CLK	出力	クロック出力	X1		
RESET	出力	リセット信号	RESET		
SI	入力	受信信号	SO10/P11		
SO	出力	送信信号	SI10/P12		
SCK	出力	転送クロック	SCK10/P10		
HS	入力	ハンドシェイク信号	-	×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば，接続の必要はありません。

× : 接続の必要はありません。

14.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

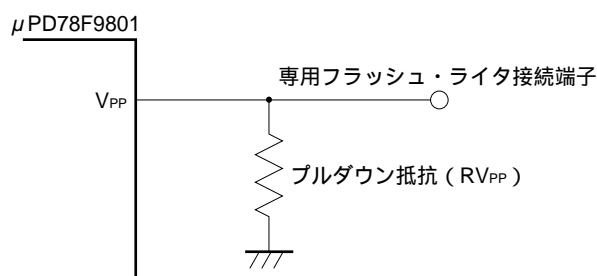
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.)の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図14 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

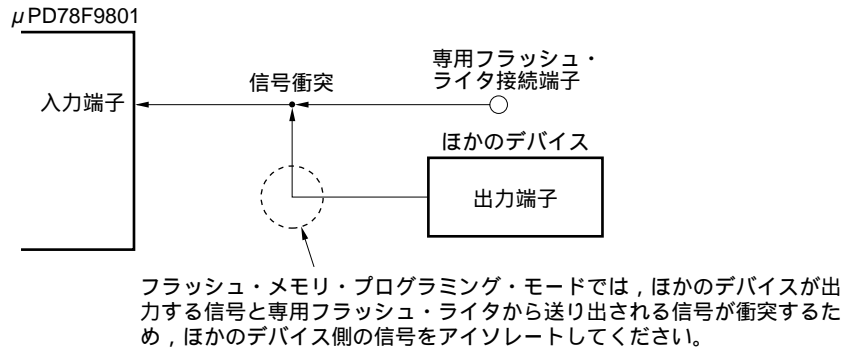
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI10, SO10, SCK10
疑似3線式	P12, P11, P10

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

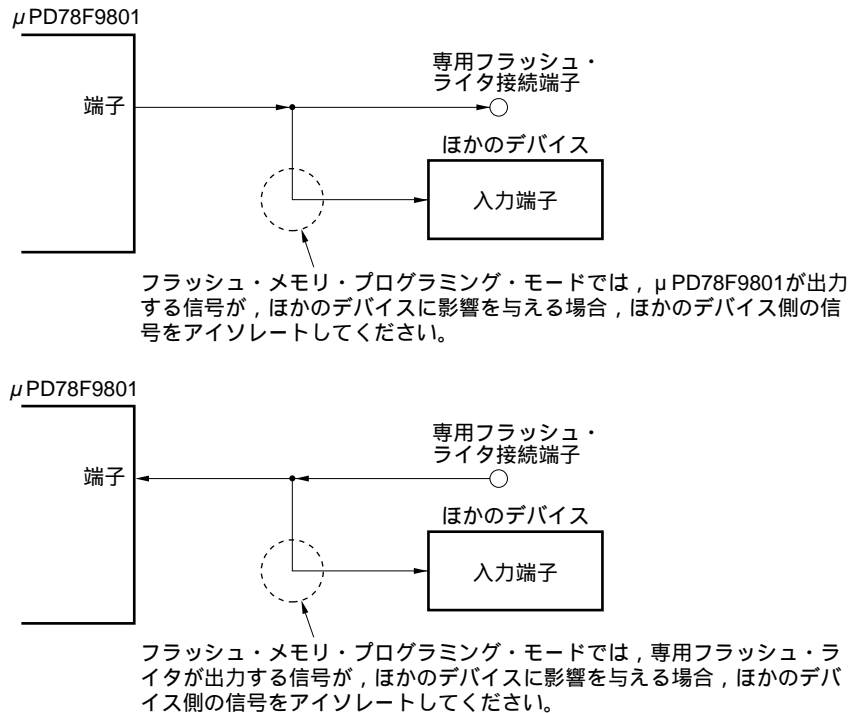
図14 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図14 - 6 ほかのデバイスの異常動作

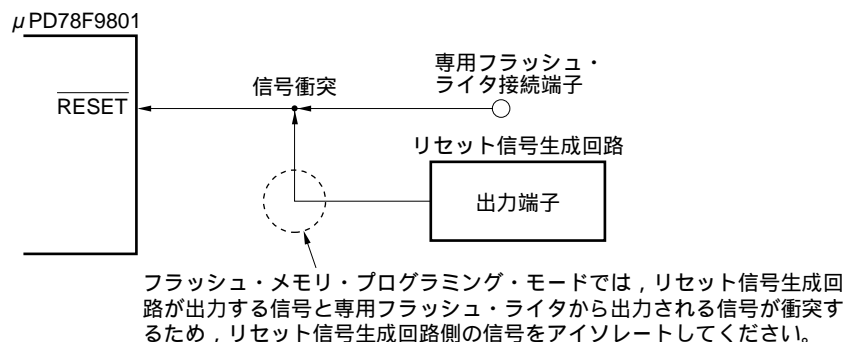


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図14 - 7 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} 、 V_{DD1} 、 V_{SS0} 、 V_{SS1} のいずれかに接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1、X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} 、 V_{DD1} 端子はフラッシュ・ライタのVDDに、 V_{SS0} 、 V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

<その他の端子>

その他の端子 (USB_{DP}, USB_{DM}, REGC) は、通常動作モード時と同じ処理をしてください。

14.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図14 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

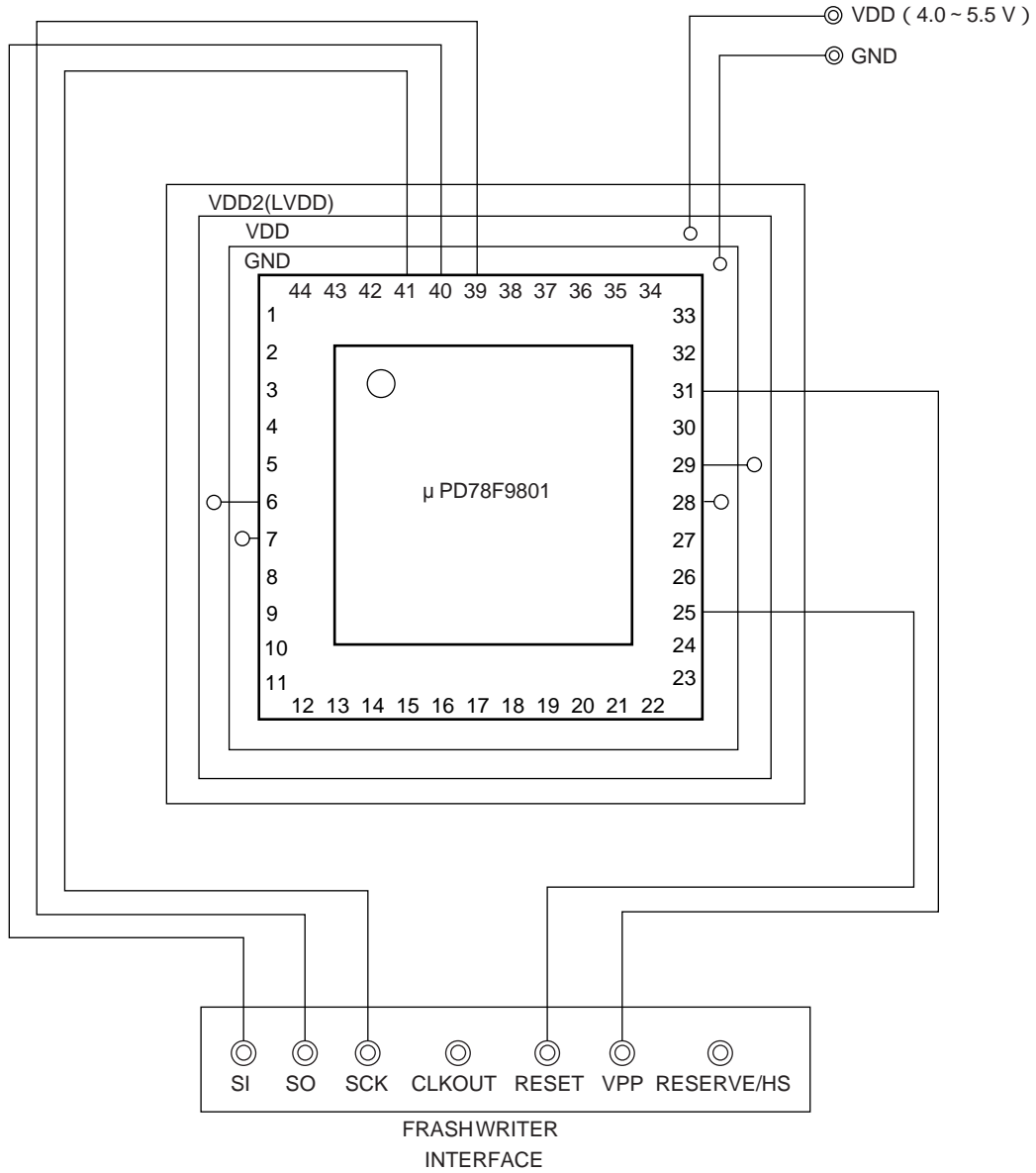
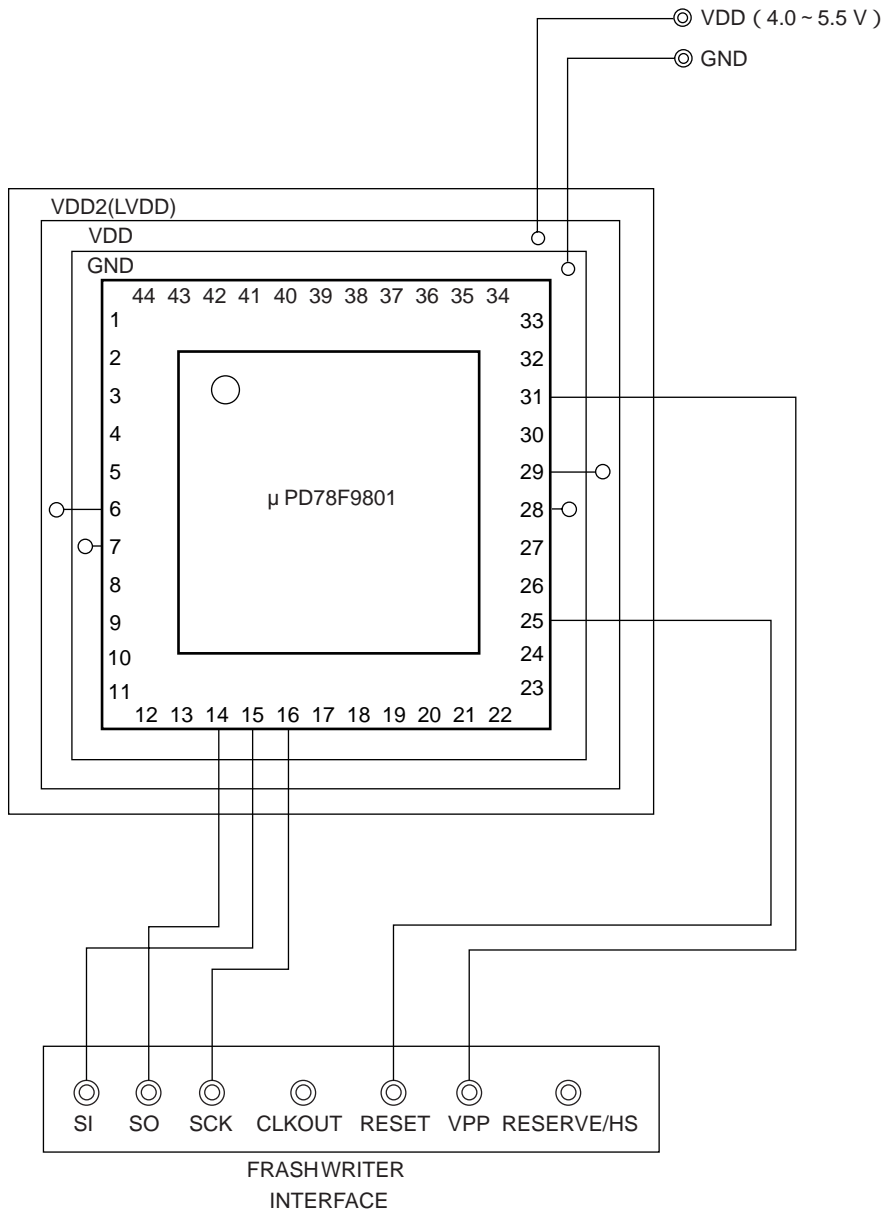


図14 - 9 疑似3線式方式でのフラッシュ書き込み用アダプタ配線例



第15章 命令セットの概要

μPD789800サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

15.1 オペレーション

15.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミューディエト・データ指定
- ・!：絶対アドレス指定
- ・\$：相対アドレス指定
- ・[]：間接アドレス指定

イミューディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表15-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミューディエト・データまたはラベル
saddrp	FE20H-FF1FH イミューディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミューディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミューディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディエト・データまたはラベル
byte	8ビット・イミューディエト・データまたはラベル
bit	3ビット・イミューディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-2 特殊機能レジスタ一覧を参照してください。

15.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

15.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

15.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
A, [HL + byte]	2	6	A (HL + byte)				
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	CY $\overline{\text{CY}}$			x
CALL	!addr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

15.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第16章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}	μ PD78F9801のみ 注1	- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		μ PD78F9801	- 40 ~ + 125	

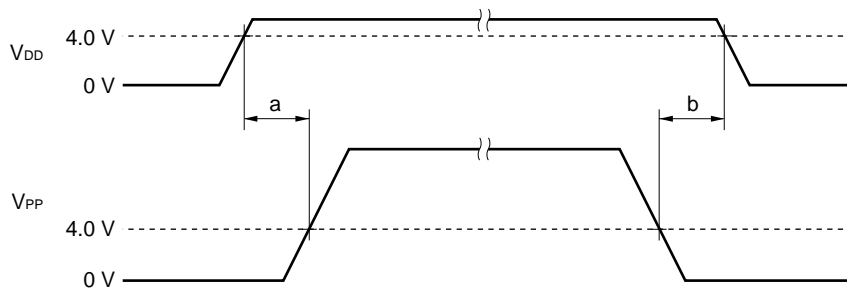
注1. フラッシュ・メモリ書き込み時、V_{PP}の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(4.0 V)に達してから10 μs以上経過後、V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(4.0 V)を下回ってから10 μs以上経過後、V_{DD}を立ち下げること(下図のb)。



2. ただし、6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fx) 注1		6.0	6.0	6.0	MHz
		発振安定時間注2				10	ms
外部 クロック		X1入力周波数 (fx) 注1		6.0	6.0	6.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)		71		83	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS0と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

★ 備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

フラッシュ・メモリ書き込み消去特性 (TA = 10 ~ 40 , VDD = 4.0 ~ 5.5 V) (μPD78F9801のみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み電流 (VDD端子)	IDDW	VPP電源電圧= VPP1時 (6.0 MHz動作時)			18 ^注	mA
書き込み電流 (VPP端子)	IPPW	VPP電源電圧= VPP1時			7.5	mA
消去電流 (VDD端子)	IDDE	VPP電源電圧= VPP1時 (6.0 MHz動作時)			18 ^注	mA
消去電流 (VPP端子)	IPPE	VPP電源電圧= VPP1時			100	mA
単位消去時間	ter		1	1	1	s
Total消去時間	tera				20	s
書き換え回数		消去 / 書き込みを1サイクルとする			1	回
VPP電源電圧	VPP0	通常モード時	0		0.2 VDD	V
	VPP1	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	I _{OH}	1端子あたり			- 1	mA
		全端子合計			- 15	mA
ロウ・レベル出力電流	I _{OL}	1端子あたり			10	mA
		全端子合計			80	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10-P17	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	RESET, P20-P26, P40-P47	0.8 V _{DD}		V _{DD}	V
	V _{IH3}	X1	V _{DD} - 0.1		V _{DD}	V
	V _{IH4}	USBDM, USBDP $T_A = 0 \sim +70$	2.0		3.6	V
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10-P17	0		0.3 V _{DD}	V
	V _{IL2}	RESET, P20-P26, P40-P47	0		0.2 V _{DD}	V
	V _{IL3}	X1	0		0.1	V
	V _{IL4}	USBDM, USBDP $T_A = 0 \sim +70$	0		0.8	V
ハイ・レベル出力電圧	V _{OH1}	USBDM, USBDP以外 I _o = - 1 mA	V _{DD} - 1.0			V
	V _{OH2}	USBDM, USBDP $T_A = 0 \sim +70$, RL = 15 k Ω (V _{SS} 接続) 注	2.8			V
ロウ・レベル出力電圧	V _{OL1}	USBDM, USBDP以外 I _o = 10 mA			1.0	V
	V _{OL2}	USBDM, USBDP $T_A = 0 \sim +70$, RL = 1.5 k Ω (V _{DD} 接続) 注			0.3	V
ハイ・レベル入力リーク電流	I _{LIH1}	X1, X2, USBDM, USBDP 以外 V _i = V _{DD}			3	μA
	I _{LIH2}	X1, X2 V _i = V _{DD}			20	μA
	I _{LIH3}	USBDM, USBDP $T_A = 0 \sim +70$ 0 V V _i V _{REG}			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	X1, X2, USBDM, USBDP 以外 V _i = 0 V			- 3	μA
	I _{LIL2}	X1, X2 V _i = 0 V			- 20	μA
	I _{LIL3}	USBDM, USBDP $T_A = 0 \sim +70$ 0 V V _i V _{REG}			- 10	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _o = 0 V			3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _o = 0 V			- 3	μA
ソフトウェア・プルアップ抵抗	R	V _i = 0 V	50	100	200	k Ω
レギュレータ出力電圧	V _{REG}	I _o = 0 ~ - 3 mA	3.0	3.3	3.6	V

注 RLはバス・ラインに接続される抵抗です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1} (マスクROM製品)	I _{DD1}	6.0 MHz水晶発振動作モード ^{注2}		1.5	3.0	mA	
	I _{DD2}	6.0 MHz水晶発振HALTモード ^{注2}		0.5	1.1	mA	
	I _{DD3}	STOPモード	USB禁止時		10	30	μA
			USB許可時 (TA = 0 ~ +70)		50	100	μA
電源電流 ^{注1} (μPD78F9801)	I _{DD1}	6.0 MHz水晶発振動作モード ^{注2}		5.0	10.0	mA	
	I _{DD2}	6.0 MHz水晶発振HALTモード ^{注2}		1.5	3.5	mA	
	I _{DD3}	STOPモード	USB禁止時		10	30	μA
			USB許可時 (TA = 0 ~ +70)		50	100	μA

注1. 内蔵プルアップ抵抗に流れる電流は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	PCC = 00H設定時 (f _x = 6.0 MHz動作時)	0.333	0.333	0.333	μs
		PCC = 02H設定時 (f _x = 6.0 MHz動作時)	1.333	1.333	1.333	μs
TI01入力周波数	f _{TI}		0		4.0	MHz
TI01入力ハイ, ロウ・レベル幅	t _{TIH}		0.1			μs
	t _{TIL}					
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH}	INTP0	10			μs
	t _{INTL}					
RESET入力 ロウ・レベル幅	t _{RSL}		10			μs

(2) シリアル・インタフェース

(a) USBファンクション ($T_A = 0 \sim +70$, $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
USBDM, USBDP 立ち上がり時間	t _r	CL = 50 pF ^注	75			ns
		CL = 350 pF ^注			300	ns
USBDM, USBDP 立ち下がり時間	t _f	CL = 50 pF ^注	75			ns
		CL = 350 pF ^注			300	ns
t _r , t _f マッチング	t _{rFM}	t _r /t _f	80		120	%
差動出力信号 クロスオーバー・ポイント	V _{CRS}		1.3		2.0	V
データ転送レート	t _{DRATE}	f _x = 6.0 MHz動作時	1.5	1.5	1.5	Mbps
送信差動信号ジッタ	t _{UDJ1}	次ビット転送時	- 95	0	95	ns
	t _{UDJ2}	次々ビット転送時	- 150	0	150	ns
送信EOP幅	t _{EOP1}		1.25	1.33	1.50	μs
受信EOP幅	t _{EOPR1}	除去するEOP幅			300	μs
	t _{EOPR2}	検出するEOP幅	675			μs
受信USBリセット幅	t _{URES1}	除去するUSBリセット幅			2.5	μs
	t _{URES2}	検出するUSBリセット幅	5.5			μs

注 CLは, USBDM, USBDP出力ラインの負荷容量です。

(b) 3線式シリアルI/Oモード ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

() SCK10...内部クロック動作時 ($f_x = 6.0 MHz$ 動作時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY1}	TPS100 ^{注1} = 0設定時	667	667	667	ns
		TPS100 ^{注1} = 1設定時	1333	1333	1333	ns
SCK10ハイ,ロウ・レベル幅	t_{KH1} ,	TPS100 ^{注1} = 0設定時	283	333		ns
	t_{KL1}	TPS100 ^{注1} = 1設定時	617	667		ns
SI10セットアップ時間	t_{SIK1}	対SCK10	150			ns
SI10ホールド時間	t_{KSI1}	対SCK10	TPS100 ^{注1} = 0設定時	333		ns
			TPS100 ^{注1} = 1設定時	667		ns
SO10出力遅延時間	t_{KSO1}	対SCK10 , $CL = 100 pF$ ^{注2}	0		200	ns

注1. シリアル動作モード・レジスタ10 (CSIM10) のビット4

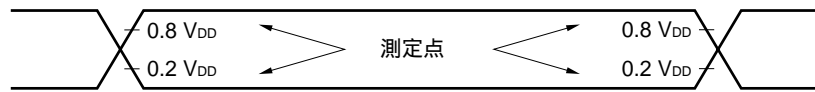
2. CLは, SO出力ラインの負荷容量です。

() SCK10...外部クロック動作時

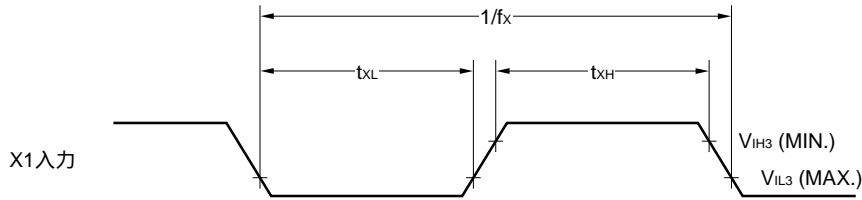
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY2}		667			ns
SCK10ハイ,ロウ・レベル幅	t_{KH2} ,		283			ns
	t_{KL2}					
SI10セットアップ時間	t_{SIK2}		100			ns
SI10ホールド時間	t_{KSI2}		333			ns
SO10出力遅延時間	t_{KSO2}	対SCK10 , $CL = 100 pF$ ^注	0		250	ns

注 CLは, SO出力ラインの負荷容量です。

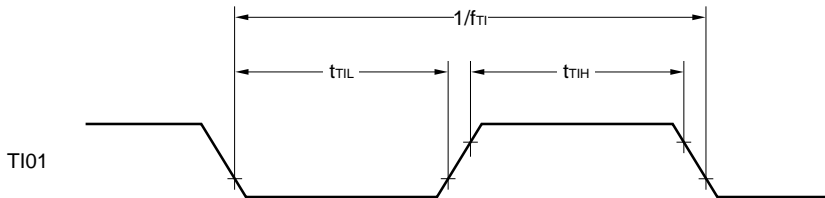
ACタイミング測定点 (X1入力, USBファンクションを除く)



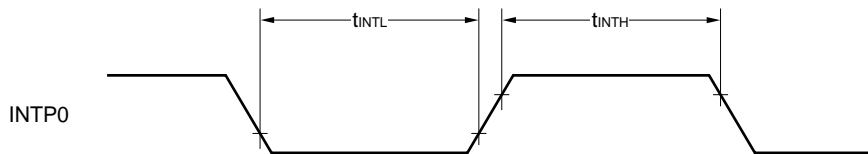
クロック・タイミング



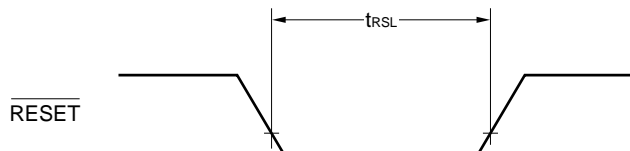
TIタイミング



割り込み入力タイミング



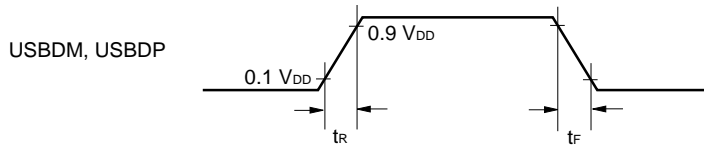
\overline{RESET} 入力タイミング



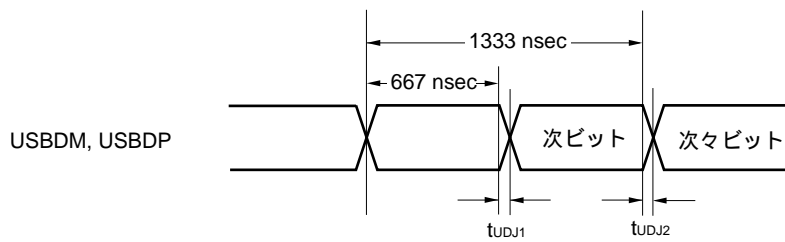
シリアル転送タイミング

USBファンクション：

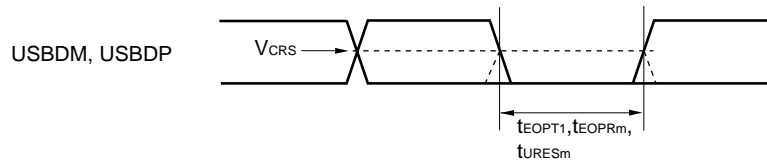
USBDM, USBDP立ち上がり / 立ち下がり時間



送信差動信号ジッタ

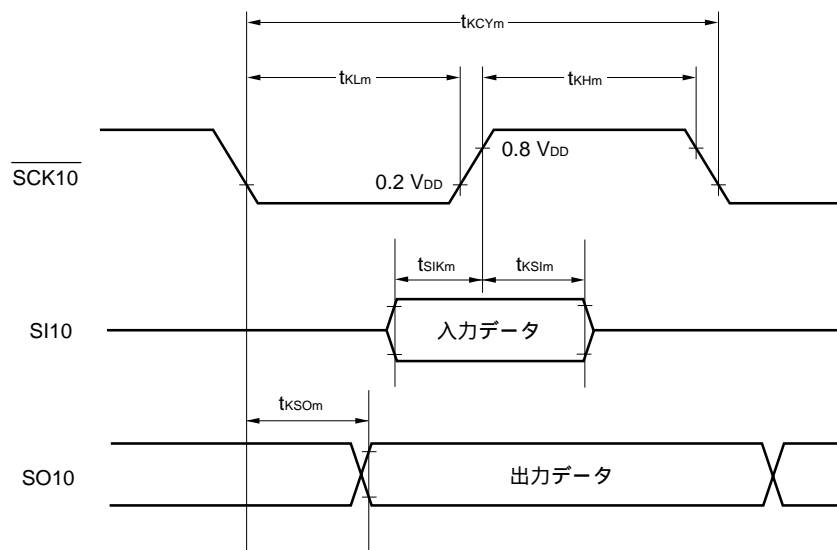


差動出力信号クロスオーバー・ポイント / 送信EOP幅 / 受信EOP幅 / 受信USBリセット幅



m = 1, 2

3線式シリアルI/O：



m = 1, 2

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

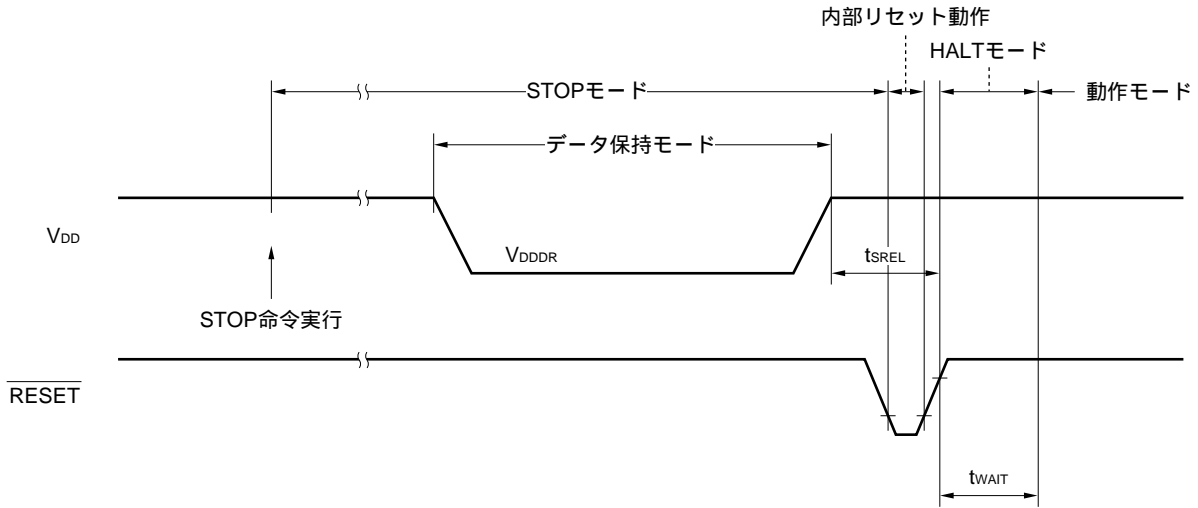
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		4.0		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		ms
		割り込み要求による解除		注2		ms

注1．発振安定時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

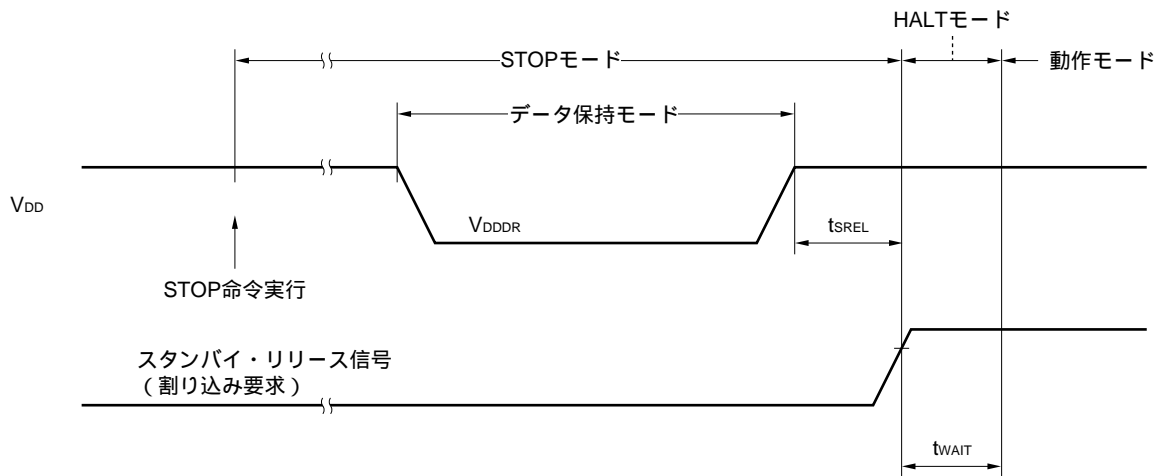
2．発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により、2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x: システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

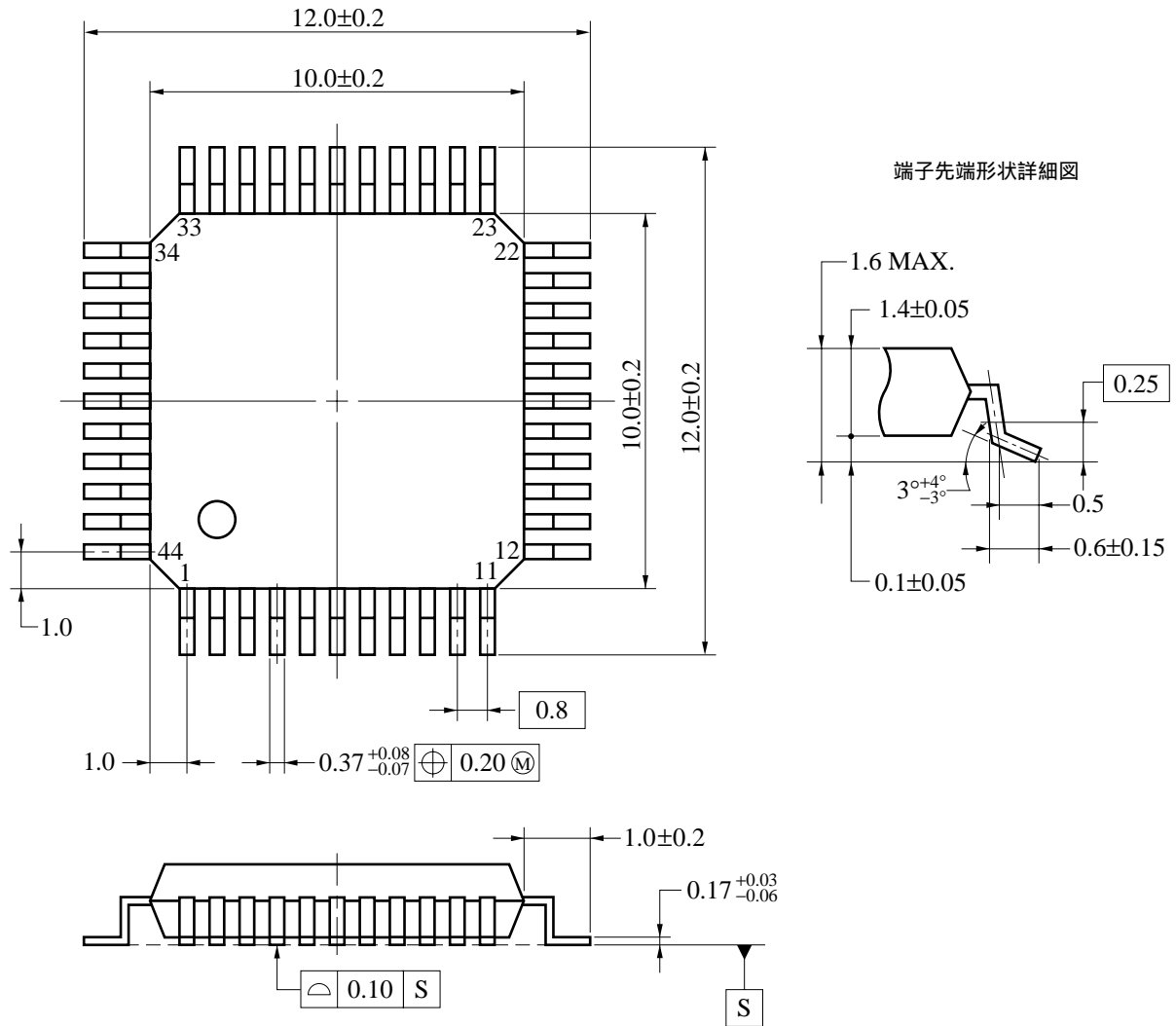


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第17章 外形図

44ピン・プラスチック LQFP (10x10) 外形図 (単位: mm)



S44GB-80-8ES-2

第18章 半田付け推奨条件

μPD789800サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表18 - 1 表面実装タイプの半田付け条件

(1) μPD789800GB- x x x -8ES : 44ピン・プラスチックLQFP (10x10)

μPD78F9801GB-8ES : 44ピン・プラスチックLQFP (10x10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

(2) μPD789800GB- x x x -8ES-A : 44ピン・プラスチックLQFP (10x10)

μPD78F9801GB-8ES-A : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数： 3回以内，制限日数：7日間注（以降は125 プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能 です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μ PD789800サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

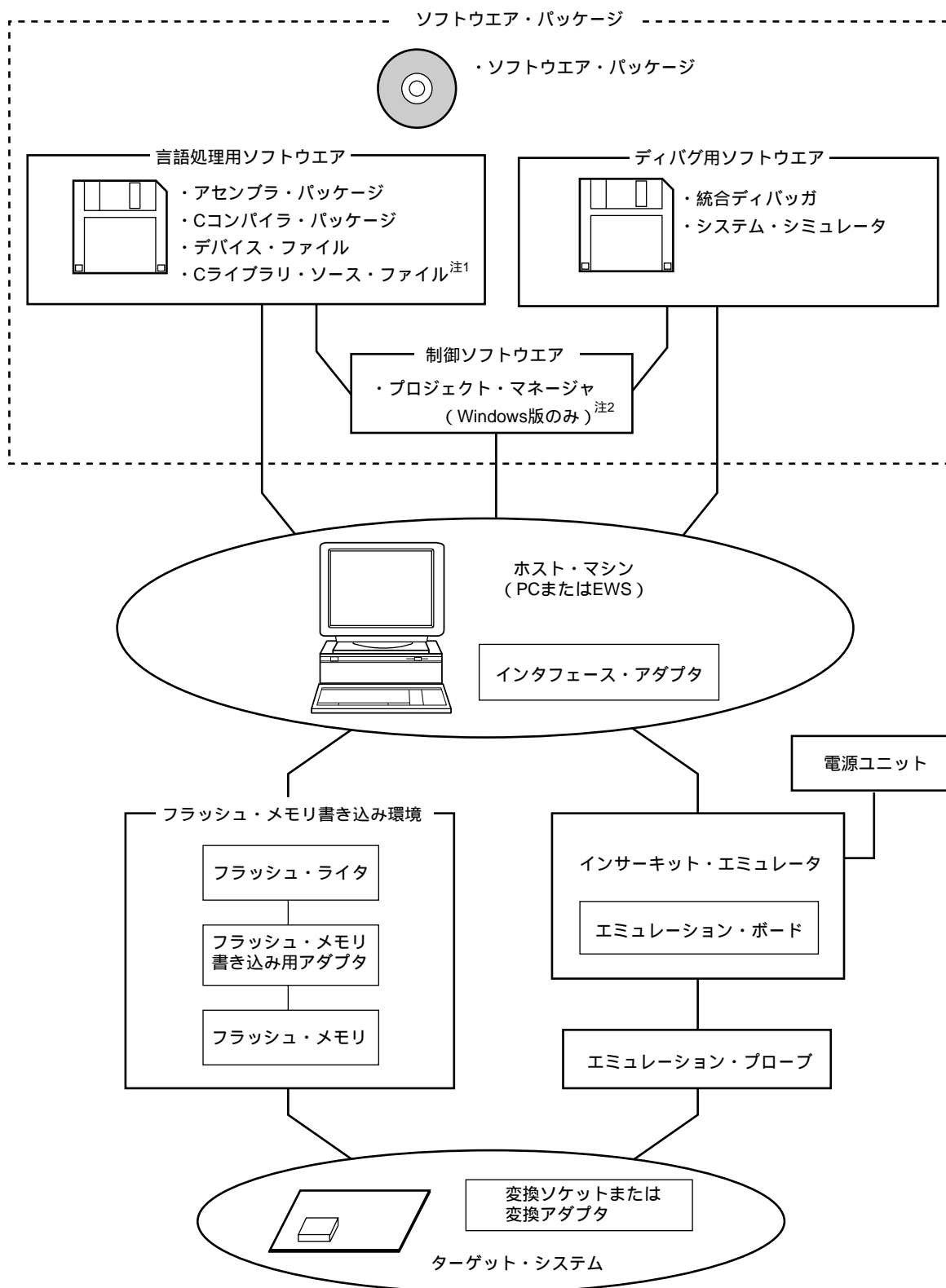
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, 98, 2000
- ・ Windows NTTMVer.4.0

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789801) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789801) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789801 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789801
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789801は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789801

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
--------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタ
FA-44GB-8ES フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-44GB-8ES : 44ピン・プラスチックLQFP (GB-8ESタイプ) 用

備考 FL-PR3, FL-PR4, FA-44GB-8ESは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100~240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789801-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-44GB-TQ NP-H44GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGB-044SAPと組み合わせて使用します。
TGB-044SAP 変換アダプタ	44ピン・プラスチックLQFP(GB-8ESタイプ)を実装できるように作られたターゲット・システムの基板とNP-44GB-TQまたはNP-H44GB-TQを接続するための変換アダプタ

備考1. NP-44GB-TQ, NP-H44GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2. TGB-044SAPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 ディバグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバグ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバグです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789801)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789801)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789801 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789801

注 DF789801は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

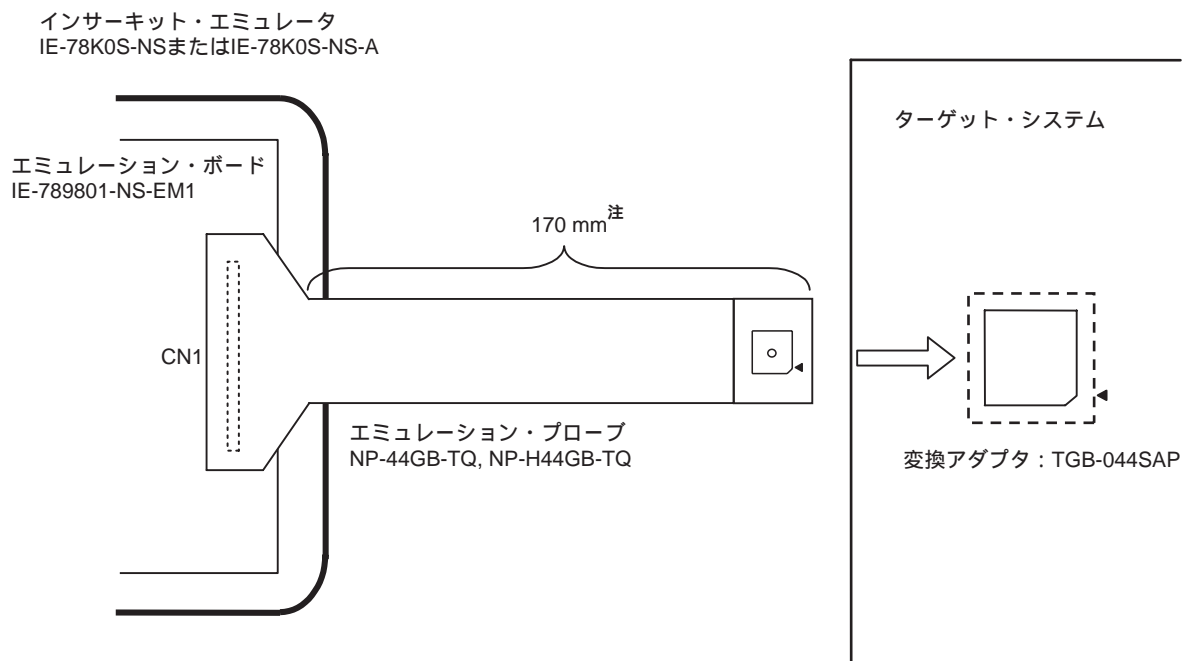
$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

★ A.7 ターゲット・システム設計上の注意

エミュレーション・プローブと変換アダプタとの接続条件図を図A-2, 図A-3に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

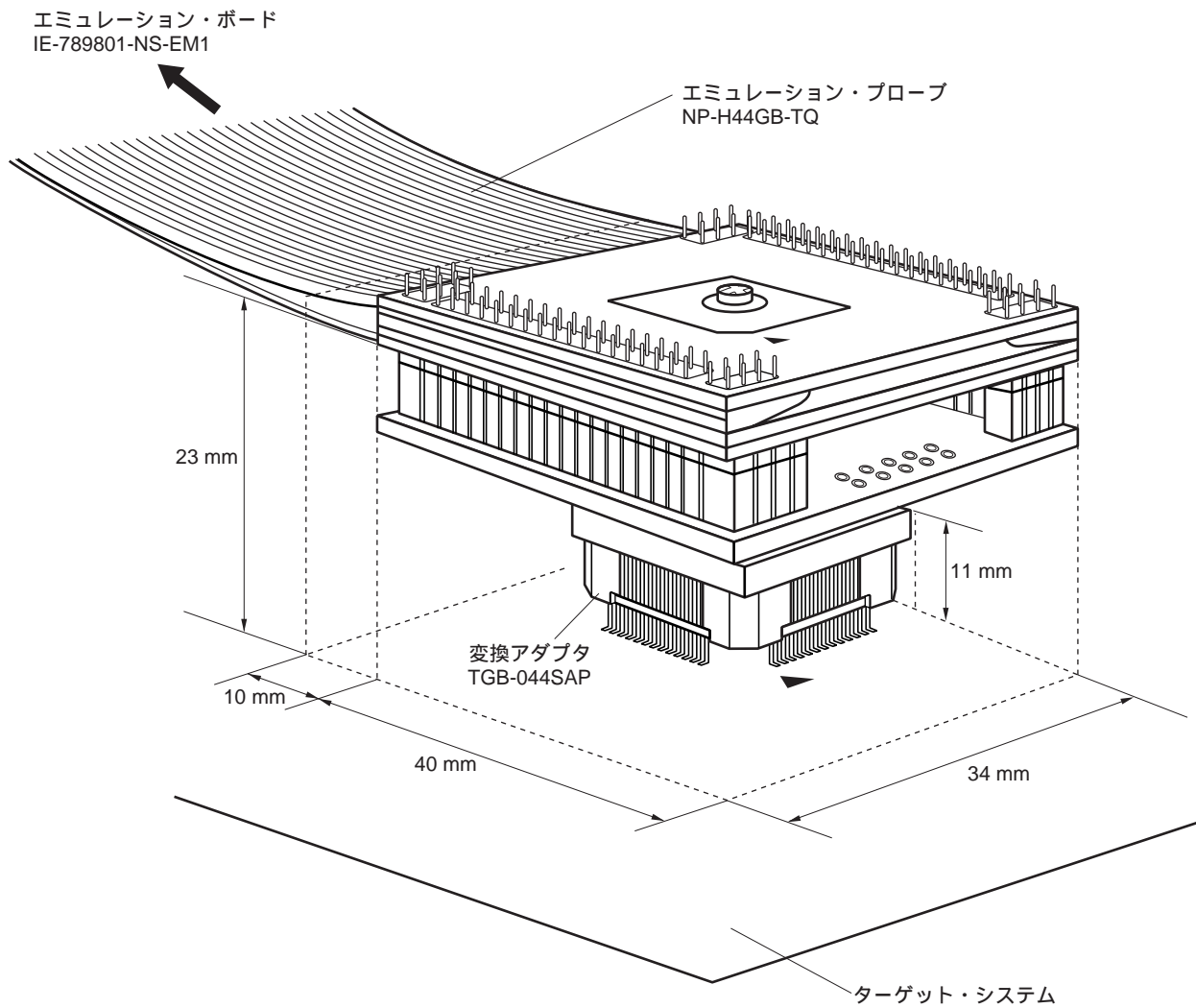
図A-2 インサーキット・エミュレータから変換アダプタまでの距離



注 NP-44GB-TQの場合の距離です。NP-H44GB-TQの場合は、370 mmです。

備考 NP-44GB-TQ, NP-H44GB-TQは、株式会社内藤電誠町田製作所の製品です。
TGB-044SAPは、東京エレクトック株式会社の製品です。

図A-3 ターゲット・システムの接続条件 (NP-H44GB-TQの場合)



- 備考1. NP-H44GB-TQは、株式会社内藤電誠町田製作所の製品です。
2. TGB-044SAPは、東京エレテック株式会社の製品です。

付録B レジスタ索引

B.1 レジスタ索引 (50音順)

〔あ行〕

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 96

〔か行〕

外部割り込みモード・レジスタ0 (INTM0) ... 173

キー・リターン・モード・レジスタ00 (KRM00) ... 175

〔さ行〕

受信データ・アドレス (USBR0-USBR7) ... 106

受信データPID (USBRD) ... 106

受信トークン・アドレス (USBRAL, USBRAH) ... 105

受信トークンPID (USBRTD) ... 105

シリアル動作モード・レジスタ10 (CSIM10) ... 162

送受信シフト・レジスタ10 (SIO10) ... 160

送受信ポインタ (USBPOB, USBPOW) ... 104

送信データ・バンク0アドレス (USBT00-USBT07) ... 107

送信データ・バンク1アドレス (USBT10-USBT17) ... 107

送信データPIDバンク0 (USBT0D) ... 107

送信データPIDバンク1 (USBT1D) ... 107

〔た行〕

タイマ・クロック選択レジスタ2 (TCL2) ... 95

データ/ハンドシェイク・パケット受信結果格納レジスタ (DRXRSL) ... 117

データ/ハンドシェイク・パケット受信バイト数カウンタ (DRXCON) ... 109

データ/ハンドシェイク・パケット受信モード・レジスタ (URXMOD) ... 113

データ/ハンドシェイクPID比較レジスタ (DIDCMP) ... 111

データ・パケット送信バイト数カウンタ (DTXCO0, DTXCO1) ... 110

データ・パケット送信予約レジスタ (DTXRSV) ... 119

トークン・アドレス比較レジスタ (ADRCMP) ... 110

トークン・パケット受信結果格納レジスタ (TRXRSL) ... 117

トークンPID比較レジスタ (TIDCMP) ... 110

〔は行〕

8ビット・コンペア・レジスタ00 (CR00) ...	83
8ビット・コンペア・レジスタ01 (CR01) ...	83
8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ...	84
8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) ...	85
8ビット・タイマ・カウンタ00 (TM00) ...	83
8ビット・タイマ・カウンタ01 (TM01) ...	83
発振安定時間選択レジスタ (OSTS) ...	184
ハンドシェイク・パケット送信予約レジスタ (HTXRSV) ...	120
パケット受信ステータス・レジスタ (RXSTAT) ...	115
プルアップ抵抗オプション・レジスタ0 (PU0) ...	71
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	75
ポート0 (P0) ...	61
ポート1 (P1) ...	62
ポート2 (P2) ...	63
ポート4 (P4) ...	69
ポート出力モード・レジスタ0 (POM0) ...	72
ポート出力モード・レジスタ1 (POM1) ...	72
ポート・モード・レジスタ0 (PM0) ...	70
ポート・モード・レジスタ1 (PM1) ...	70
ポート・モード・レジスタ2 (PM2) ...	70, 86
ポート・モード・レジスタ4 (PM4) ...	70

〔や行〕

USBタイマ・スタート予約制御レジスタ (USBTCL) ...	124
USBレシーバ・イネーブル・レジスタ (USBMOD) ...	113

〔ら行〕

リモート・ウエイク・アップ制御レジスタ (REMWUP) ...	125
----------------------------------	-----

〔わ行〕

割り込みマスク・フラグ・レジスタ0 (MK0) ...	173
割り込みマスク・フラグ・レジスタ1 (MK1) ...	173
割り込み要求フラグ・レジスタ0 (IF0) ...	172
割り込み要求フラグ・レジスタ1 (IF1) ...	172

B.2 レジスタ索引 (アルファベット順)

【A】

ADRCMP : トークン・アドレス比較レジスタ ... 110

【C】

CR00 : 8ビット・コンペア・レジスタ00 ... 83

CR01 : 8ビット・コンペア・レジスタ01 ... 83

CSIM10 : シリアル動作モード・レジスタ10 ... 162

【D】

DIDCMP : データ/ハンドシェークPID比較レジスタ ... 111

DRXCON : データ/ハンドシェーク・パケット受信バイト数カウンタ ... 109

DRXRSL : データ/ハンドシェーク・パケット受信結果格納レジスタ ... 117

DTXCO0, DTXCO1 : データ・パケット送信バイト数カウンタ ... 110

DTXRSV : データ・パケット送信予約レジスタ ... 119

【H】

HTXRSV : ハンドシェーク・パケット送信予約レジスタ ... 120

【I】

IF0 : 割り込み要求フラグ・レジスタ0 ... 172

IF1 : 割り込み要求フラグ・レジスタ1 ... 172

INTM0 : 外部割り込みモード・レジスタ0 ... 173

【K】

KRM00 : キー・リターン・モード・レジスタ00 ... 175

【M】

MK0 : 割り込みマスク・フラグ・レジスタ0 ... 173

MK1 : 割り込みマスク・フラグ・レジスタ1 ... 173

【O】

OSTS : 発振安定時間選択レジスタ ... 184

【P】

P0 : ポート0 ...	61
P1 : ポート1 ...	62
P2 : ポート2 ...	63
P4 : ポート4 ...	69
PCC : プロセッサ・クロック・コントロール・レジスタ ...	75
PM0 : ポート・モード・レジスタ0 ...	70
PM1 : ポート・モード・レジスタ1 ...	70
PM2 : ポート・モード・レジスタ2 ...	70, 86
PM4 : ポート・モード・レジスタ4 ...	70
POM0 : ポート出力モード・レジスタ0 ...	72
POM1 : ポート出力モード・レジスタ1 ...	72
PU0 : ブルアップ抵抗オプション・レジスタ0 ...	71

【R】

REMWUP : リモート・ウエイク・アップ制御レジスタ ...	125
RXSTAT : パケット受信ステータス・レジスタ ...	115

【S】

SIO10 : 送受信シフト・レジスタ10 ...	160
---------------------------	-----

【T】

TCL2 : タイマ・クロック選択レジスタ2 ...	95
TIDCMP : トークンPID比較レジスタ ...	110
TM00 : 8ビット・タイマ・カウンタ00 ...	83
TM01 : 8ビット・タイマ・カウンタ01 ...	83
TMC00 : 8ビット・タイマ・モード・コントロール・レジスタ00 ...	84
TMC01 : 8ビット・タイマ・モード・コントロール・レジスタ01 ...	85
TRXRSL : トークン・パケット受信結果格納レジスタ ...	117

【U】

URXMOD : データ/ハンドシェイク・パケット受信モード・レジスタ ...	113
USBMOD : USBレシーバ・イネーブル・レジスタ ...	113
USBPOB, USBPOW : 送受信ポインタ ...	104
USBR0-USBR7 : 受信データ・アドレス ...	106
USBRAL, USBRAH : 受信トークン・アドレス ...	105
USBRD : 受信データPID ...	106
USBRTP : 受信トークンPID ...	105

USBTCL : USBタイマ・スタート予約制御レジスタ ...	124
USBT00-USBT07 : 送信データ・バンク0アドレス ...	107
USBT10-USBT17 : 送信データ・バンク1アドレス ...	107
USBTD0 : 送信データPIDバンク0 ...	107
USBTD1 : 送信データPIDバンク1 ...	107

【W】

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ...	96
---------------------------------	----

付録C 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版 数	前版からの改版内容	適用箇所
第2版	μ PD789800を開発中から開発済みに変更	全 般
	パッケージにGB-8ESタイプを追加	
	各端子の入出力回路タイプで未使用時の推奨接続方法を変更	第2章 端子機能
	ダイレクト・アドレッシングに図解を追加	第3章 CPUアーキテクチャ
	8ビット・コンペア・レジスタ0n (CR0n) に操作に関する注意文を追加	第6章 8ビット・タイマ / イベント・カウンタ
	インターバル・タイマとしての動作に操作方法の説明文を追加	
	外部イベント・カウンタとしての動作に操作方法の説明文を追加	
	方形波出力としての動作に操作方法の説明文を追加	
	パケット受信ステータス・レジスタ (RXSTAT) でRXSTATの1ビット・メモリ操作命令が不可に変更	第8章 USBファンクション
	パケット受信ステータス・レジスタのフォーマットでRXSTATの各ビットを予約語なしに変更	
	レギュレータ, USBドライバ/レシーバの構成図を変更	第10章 レギュレータ
	μ PD78F9801でフラッシュ・メモリ製品からマスクROM製品に置き換える場合に関する注意文を追加	第14章 μ PD78F9801
	μ PD78F9801でFlashpro Flashpro に変更	
	通信方式の選択で疑似3線式を使用する場合の使用端子に制限事項を追加	
	Flashpro (PG-FP3) での設定例を追加	
全面改訂: IE-78K0S-NSに対応	付録A 開発ツール	
組み込み用ソフトウェアでMX78K0Sのオーダ情報を追加	付録B 組み込み用ソフトウェア	
第3版	CUタイプとGB-3BSタイプのパッケージを削除	全 般
	μ PD78F9801を開発中から開発済みに変更	
	1.1 特徴のフラッシュ・メモリ書き込み時の動作周囲温度を変更	第1章 概 説
	1.7 機能概要にタイマの概要を追加	
	REGC端子, V _{PP} 端子の端子処理を変更	第2章 端子機能
	図3 - 1 メモリ・マップ (μ PD789800), 図3 - 2 メモリ・マップ (μ PD78F9801) のアドレス値を訂正	第3章 CPUアーキテクチャ
	図5 - 3 システム・クロック発振回路の外付け回路の (b) 外部クロックを変更	第5章 クロック発生回路

版数	前版からの改版内容	適用箇所
第3版	<ul style="list-style-type: none"> ・章構成を変更 ・バッファ名称を受信トークン・バンク, 受信データ・バンク, 送信データ・バンク0, 1に表記統一 ・受信時と送信時のイメージ図を追加 ・SETUP受信時のレジスタ値を追加 ・データ・ハンドシェーク・パケット受信モード・レジスタ (URXMOD) の記述を変更 ・パケット受信ステータス・レジスタ (RXSTAT) の説明文を追加し, Read Onlyビットを変更 ・トークン・パケット受信結果格納レジスタ (TRXRSL) の注釈文を追加 ・データ・パケット送信予約レジスタ (DTXRSV) に注意文を追加 ・ハンドシェーク・パケット送信予約レジスタ (HTXRSV) のビット1 (DNAEN) の説明を変更 ・表8 - 3 送信予約の際の条件のフラグ名誤記を訂正 ・8.5.2 リモート・ウエイク・アップ制御の動作の内容を全面変更 ・表8 - 4 USBファンクションからの割り込み要因一覧を追加 ・8.6 USBファンクションからの割り込み要求でのフラグ名誤記を訂正 ・USBリセット / Resume検出割り込み (INTUSBRE) の説明文を追加 ・8.7 USBファンクションの制御を追加 	第8章 USBファンクション
	図10 - 1 レギュレータ, USBドライバ/レシーバの構成図とその注意文を修正	第10章 レギュレータ
	表11 - 1 割り込み要因一覧にウォッチドッグ・タイマ割り込みの備考文を追加	第11章 割り込み機能
	図11 - 2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加	
	12.2.2 STOPモードに(3)STOP命令実行時の注意事項を追加	第12章 スタンバイ機能
	フラッシュ・メモリ・プログラミングに関する内容を, 14.1 フラッシュ・メモリの特徴として全面改訂	第14章 μ PD78F9801
	電気的特性を追加	第16章 電気的特性
	外形図を追加	第17章 外形図
	半田付け推奨条件を追加	第18章 半田付け推奨条件
	開発ツールの内容を全面改訂 組み込み用ソフトウェアを削除, ターゲット・システム設計上の注意を追加	付録A 開発ツール
	改版履歴に第3版での改版内容を追加	付録C 改版履歴
第3版 (修正版)	図8 - 21 リモート・ウエイク・アップ制御の動作フロー・チャートの注釈文を修正	第8章 USBファンクション
第3版 (修正3版)	鉛フリー製品を追加	第1章 概説
	表18 - 1 表面実装タイプの半田付け条件で, 鉛フリー製品の半田付け条件を追加	第18章 半田付け推奨条件

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
