

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

μPD78F0714

8ビット・シングルチップ・マイクロコントローラ

---

μPD78F0714

資料番号 U16928JJ2V0UD00 (第2版)  
発行年月 August 2007 N

© NEC Electronics Corporation 2004

[メモ]

## 目次要約

第1章	概 説	...	16
第2章	端子機能	...	23
第3章	CPUアーキテクチャ	...	35
第4章	ポート機能	...	62
第5章	クロック発生回路	...	84
第6章	10ビット・インバータ制御用タイマ	...	106
第7章	16ビット・アップ/ダウン・カウンタITENC20	...	122
第8章	16ビット・タイマ/イベント・カウンタ00	...	153
第9章	8ビット・タイマ/イベント・カウンタ50, 51	...	192
第10章	8ビット・タイマH0	...	211
第11章	ウォッチドッグ・タイマ	...	227
第12章	クロック出力/ブザー出力制御回路	...	237
第13章	リアルタイム出力ポート	...	242
第14章	DCインバータ制御機能	...	265
第15章	A/Dコンバータ	...	266
第16章	シリアル・インタフェースUART00	...	296
第17章	シリアル・インタフェースCSI10	...	318
第18章	乗除算器	...	333
第19章	割り込み機能	...	343
第20章	スタンバイ機能	...	364
第21章	リセット機能	...	378
第22章	パワーオン・クリア回路	...	386
第23章	低電圧検出回路	...	390
第24章	オプション・バイト	...	400
第25章	フラッシュ・メモリ	...	401
第26章	オンチップ・ディバグ機能	...	424
第27章	命令セットの概要	...	425
第28章	電気的特性	...	440
第29章	外形図	...	454
第30章	ウエイトに関する注意事項	...	455
付録A	開発ツール	...	458
付録B	レジスタ索引	...	467
付録C	改版履歴	...	475

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windows、Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

SuperFlash<sup>®</sup>は、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

**注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash<sup>®</sup>を使用しています。**

- 本資料に記載されている内容は2007年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

**対象者** このマニュアルはμPD78F0714の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ μPD78F0714

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** μPD78F0714のマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μPD78F0714 ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラでは # pragma sfr指令でsfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

78K/0シリーズの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

<b>凡例</b>	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: × × × (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... × × × × または × × × × B 10進数... × × × × 16進数... × × × × H



## 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD78F0714 ユーザーズ・マニュアル	このマニュアル	U16928E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

### 開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
ID78K0-QB Ver.2.94 統合デバグ	操作編	U18330J	U18330E
PM plus Ver.5.20	U16934J	U16934E	

### 開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-780714 インサーキット・エミュレータ	U17081J	U17081E
QB-78K0MINI オンチップ・ディバグ・エミュレータ	U17029J	U17029E
QB-MINI2 プログラミング機能付きオンチップ・デバグ・エミュレータ	U18371J	U18371E

### フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 応用分野 ... 17
- 1.3 オーダ情報 ... 17
- 1.4 端子接続図 (Top View) ... 18
- 1.5 ブロック図 ... 20
- 1.6 機能概要 ... 21

## 第2章 端子機能 ... 23

- 2.1 端子機能一覧 ... 23
- 2.2 端子機能の説明 ... 27
  - 2.2.1 P00-P03 (Port 0) ... 27
  - 2.2.2 P10-P17 (Port 1) ... 28
  - 2.2.3 P20-P27 (Port 2) ... 29
  - 2.2.4 P30-P33 (Port 3) ... 29
  - 2.2.5 P40-P47 (Port 4) ... 30
  - 2.2.6 P50-P57 (Port 5) ... 30
  - 2.2.7 P64-P67 (Port 6) ... 31
  - 2.2.8 P70-P73 (Port 7) ... 31
  - 2.2.9 TW0TO0/RTP10-TW0TO5/RTP15 ... 31
  - 2.2.10 AVREF ... 31
  - 2.2.11 AVSS ... 31
  - 2.2.12 RESET ... 32
  - 2.2.13 X1, X2 ... 32
  - 2.2.14 VDD, EVDD ... 32
  - 2.2.15 VSS, EVSS ... 32
  - 2.2.16 FLMD0 ... 32
- 2.3 端子の入出力回路と未使用端子の処理 ... 33

## 第3章 CPUアーキテクチャ ... 35

- 3.1 メモリ空間 ... 35
  - 3.1.1 内部プログラム・メモリ空間 ... 37
  - 3.1.2 内部データ・メモリ空間 ... 38
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 38
  - 3.1.4 データ・メモリ・アドレッシング ... 38
- 3.2 プロセッサ・レジスタ ... 40
  - 3.2.1 制御レジスタ ... 40
  - 3.2.2 汎用レジスタ ... 43
  - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 45
- 3.3 命令アドレスのアドレッシング ... 50
  - 3.3.1 レラティブ・アドレッシング ... 50
  - 3.3.2 イミーディエト・アドレッシング ... 51
  - 3.3.3 テーブル・インダイレクト・アドレッシング ... 52
  - 3.3.4 レジスタ・アドレッシング ... 52
- 3.4 オペランド・アドレスのアドレッシング ... 53

3.4.1	インプライド・アドレッシング	...	53
3.4.2	レジスタ・アドレッシング	...	54
3.4.3	ダイレクト・アドレッシング	...	55
3.4.4	ショート・ダイレクト・アドレッシング	...	56
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	57
3.4.6	レジスタ・インダイレクト・アドレッシング	...	58
3.4.7	ベースト・アドレッシング	...	59
3.4.8	ベースト・インデクスト・アドレッシング	...	60
3.4.9	スタック・アドレッシング	...	61
<b>第4章 ポート機能</b> ... 62			
4.1	ポートの機能	...	62
4.2	ポートの構成	...	64
4.2.1	ポート0	...	64
4.2.2	ポート1	...	65
4.2.3	ポート2	...	69
4.2.4	ポート3	...	70
4.2.5	ポート4	...	72
4.2.6	ポート5	...	73
4.2.7	ポート6	...	75
4.2.8	ポート7	...	76
4.3	ポート機能を制御するレジスタ	...	77
4.4	ポート機能の動作	...	82
4.4.1	入出力ポートへの書き込み	...	82
4.4.2	入出力ポートからの読み出し	...	82
4.4.3	入出力ポートでの演算	...	82
4.5	ポート・レジスタ <sub>n</sub> (P <sub>n</sub> ) に対する1ビット・メモリ操作命令に関する注意事項	...	83
<b>第5章 クロック発生回路</b> ... 84			
5.1	クロック発生回路の機能	...	84
5.2	クロック発生回路の構成	...	84
5.3	クロック発生回路を制御するレジスタ	...	86
5.4	システム・クロック発振回路	...	93
5.4.1	X1発振回路	...	93
5.4.2	発振子の接続の悪い例	...	94
5.4.3	内蔵発振回路	...	95
5.4.4	プリスケーラ	...	95
5.5	クロック発生回路の動作	...	96
5.6	内蔵発振クロックとX1入力クロックの切り替えに要する時間	...	101
5.7	CPUクロックの切り替えに要する時間	...	102
5.8	クロック切り替えのフロー・チャートとレジスタ設定	...	103
5.8.1	内蔵発振クロックからX1入力クロックへの切り替え	...	103
5.8.2	X1入力クロックから内蔵発振クロックへの切り替え	...	104
5.8.3	レジスタ設定	...	105
<b>第6章 10ビット・インバータ制御用タイマ</b> ... 106			
6.1	10ビット・インバータ制御用タイマの概要	...	106
6.2	10ビット・インバータ制御用タイマの機能	...	106
6.3	10ビット・インバータ制御用タイマの構成	...	106

6.4	10ビット・インバータ制御用タイマを制御するレジスタ	...	110
6.5	10ビット・インバータ制御用タイマの動作	...	115
<b>第7章 16ビット・アップ/ダウン・カウンタITENC20</b> ... 122			
7.1	16ビット・アップ/ダウン・カウンタITENC20の機能	...	122
7.2	16ビット・アップ/ダウン・カウンタITENC20の構成	...	124
7.3	16ビット・アップ/ダウン・カウンタITENC20を制御するレジスタ	...	130
7.4	16ビット・アップ/ダウン・カウンタITENC20の動作	...	140
7.4.1	基本動作	...	140
7.4.2	汎用タイマ・モードでの動作	...	141
7.4.3	UDCモードでの動作	...	144
7.5	16ビット・アップ/ダウン・カウンタITENC20の内部動作	...	150
7.5.1	UDCモードBでのカウント値クリア動作について	...	150
7.5.2	コンペア一致によるカウント値クリア動作について	...	151
7.5.3	転送動作について	...	151
7.5.4	コンペア一致による割り込み信号出力について	...	152
7.5.5	IT20UBDフラグ (IT20STSレジスタのビット0) の動作について	...	152
<b>第8章 16ビット・タイマ/イベント・カウンタ00</b> ... 153			
8.1	16ビット・タイマ/イベント・カウンタ00の機能	...	153
8.2	16ビット・タイマ/イベント・カウンタ00の構成	...	154
8.3	16ビット・タイマ/イベント・カウンタ00を制御するレジスタ	...	158
8.4	16ビット・タイマ/イベント・カウンタ00の動作	...	164
8.4.1	インターバル・タイマとしての動作	...	164
8.4.2	PPG出力としての動作	...	167
8.4.3	パルス幅測定としての動作	...	170
8.4.4	外部イベント・カウンタとしての動作	...	178
8.4.5	方形波出力としての動作	...	181
8.4.6	ワンショット・パルス出力としての動作	...	183
8.5	16ビット・タイマ/イベント・カウンタ00の注意事項	...	188
<b>第9章 8ビット・タイマ/イベント・カウンタ50, 51</b> ... 192			
9.1	8ビット・タイマ/イベント・カウンタ50, 51の機能	...	192
9.2	8ビット・タイマ/イベント・カウンタ50, 51の構成	...	194
9.3	8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ	...	196
9.4	8ビット・タイマ/イベント・カウンタ50, 51の動作	...	201
9.4.1	インターバル・タイマとしての動作	...	201
9.4.2	外部イベント・カウンタとしての動作	...	204
9.4.3	方形波出力としての動作	...	205
9.4.4	PWM出力としての動作	...	206
9.5	8ビット・タイマ/イベント・カウンタ50, 51の注意事項	...	210
<b>第10章 8ビット・タイマH0</b> ... 211			
10.1	8ビット・タイマH0の機能	...	211
10.2	8ビット・タイマH0の構成	...	211
10.3	8ビット・タイマH0を制御するレジスタ	...	214
10.4	8ビット・タイマH0の動作	...	218
10.4.1	インターバル・タイマ/方形波出力としての動作	...	218

10.4.2	PWM出力モードとしての動作	...	221
--------	----------------	-----	-----

## 第11章 ウォッチドッグ・タイマ ... 227

11.1	ウォッチドッグ・タイマの機能	...	227
11.2	ウォッチドッグ・タイマの構成	...	229
11.3	ウォッチドッグ・タイマを制御するレジスタ	...	230
11.4	ウォッチドッグ・タイマの動作	...	232
11.4.1	オプション・バイトで「内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作	...	232
11.4.2	オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作	...	233
11.4.3	STOPモード時の動作（オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合）	...	234
11.4.4	HALTモード時の動作（オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合）	...	236

## 第12章 クロック出力/ブザー出力制御回路 ... 237

12.1	クロック出力/ブザー出力制御回路の機能	...	237
12.2	クロック出力/ブザー出力制御回路の構成	...	238
12.3	クロック出力/ブザー出力制御回路を制御するレジスタ	...	238
12.4	クロック出力/ブザー出力制御回路の動作	...	241
12.4.1	クロック出力としての動作	...	241
12.4.2	ブザー出力としての動作	...	241

## 第13章 リアルタイム出力ポート ... 242

13.1	リアルタイム出力ポートの機能	...	242
13.2	リアルタイム出力ポートの構成	...	242
13.3	リアルタイム出力ポートを制御するレジスタ	...	247
13.4	リアルタイム出力ポートの動作	...	253
13.5	リアルタイム出力ポートの使用方法	...	263
13.6	リアルタイム出力ポートの注意事項	...	264

## 第14章 DCインバータ制御機能 ... 265

## 第15章 A/Dコンバータ ... 266

15.1	A/Dコンバータの機能	...	266
15.2	A/Dコンバータの構成	...	268
15.3	A/Dコンバータで使用するレジスタ	...	270
15.4	アナログ入力電圧とA/D変換結果の関係	...	278
15.5	A/Dコンバータの動作	...	279
15.5.1	A/Dコンバータの基本動作	...	279
15.5.2	トリガ・モード	...	281
15.5.3	動作モード	...	282
15.5.4	パワーフェイル監視機能	...	285
15.6	A/Dコンバータの特性表の読み方	...	289
15.7	A/Dコンバータの注意事項	...	292

<b>第16章</b>	<b>シリアル・インタフェースUART00</b>	...	296
16.1	シリアル・インタフェースUART00の機能	...	296
16.2	シリアル・インタフェースUART00の構成	...	297
16.3	シリアル・インタフェースUART00を制御するレジスタ	...	300
16.4	シリアル・インタフェースUART00の動作	...	305
16.4.1	動作停止モード	...	305
16.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	306
16.4.3	専用ポー・レート・ジェネレータ	...	312
<b>第17章</b>	<b>シリアル・インタフェースCSI10</b>	...	318
17.1	シリアル・インタフェースCSI10の機能	...	318
17.2	シリアル・インタフェースCSI10の構成	...	318
17.3	シリアル・インタフェースCSI10を制御するレジスタ	...	320
17.4	シリアル・インタフェースCSI10の動作	...	324
17.4.1	動作停止モード	...	324
17.4.2	3線式シリアルI/Oモード	...	325
<b>第18章</b>	<b>乗除算器</b>	...	333
18.1	乗除算器の機能	...	333
18.2	乗除算器の構成	...	333
18.3	乗除算器を制御するレジスタ	...	338
18.4	乗除算器の動作	...	339
18.4.1	乗算動作	...	339
18.4.2	除算動作	...	341
<b>第19章</b>	<b>割り込み機能</b>	...	343
19.1	割り込み機能の種類	...	343
19.2	割り込み要因と構成	...	343
19.3	割り込み機能を制御するレジスタ	...	347
19.4	割り込み処理動作	...	355
19.4.1	ノンマスカブル割り込み要求の受け付け動作	...	355
19.4.2	マスカブル割り込み要求の受け付け動作	...	357
19.4.3	ソフトウエア割り込み要求の受け付け動作	...	360
19.4.4	多重割り込み処理	...	360
19.4.5	割り込み要求の保留	...	363
<b>第20章</b>	<b>スタンバイ機能</b>	...	364
20.1	スタンバイ機能と構成	...	364
20.1.1	スタンバイ機能	...	364
20.1.2	スタンバイ機能を制御するレジスタ	...	366
20.2	スタンバイ機能の動作	...	369
20.2.1	HALTモード	...	369
20.2.2	STOPモード	...	373
<b>第21章</b>	<b>リセット機能</b>	...	378
21.1	リセット要因を確認するレジスタ	...	385

<b>第22章</b>	<b>パワーオン・クリア回路</b>	...	386
22.1	パワーオン・クリア回路の機能	...	386
22.2	パワーオン・クリア回路の構成	...	387
22.3	パワーオン・クリア回路の動作	...	387
22.4	パワーオン・クリア回路の注意事項	...	388
<b>第23章</b>	<b>低電圧検出回路</b>	...	390
23.1	低電圧検出回路の機能	...	390
23.2	低電圧検出回路の構成	...	390
23.3	低電圧検出回路を制御するレジスタ	...	391
23.4	低電圧検出回路の動作	...	392
23.5	低電圧検出回路の注意事項	...	396
<b>第24章</b>	<b>オプション・バイト</b>	...	400
<b>第25章</b>	<b>フラッシュ・メモリ</b>	...	401
25.1	メモリ・サイズ切り替えレジスタ	...	401
25.2	フラッシュ・メモリ・プログラマによる書き込み方法	...	402
25.3	プログラミング環境	...	406
25.4	通信方式	...	406
25.5	オンボード上の端子処理	...	409
25.5.1	FLMD0端子	...	409
25.5.2	FLMD1端子	...	409
25.5.3	シリアル・インタフェース端子	...	410
25.5.4	RESET端子	...	412
25.5.5	ポート端子	...	412
25.5.6	その他の信号端子	...	412
25.5.7	電 源	...	412
25.6	プログラミング方法	...	413
25.6.1	フラッシュ・メモリ制御	...	413
25.6.2	フラッシュ・メモリ・プログラミング・モード	...	413
25.6.3	通信方式の選択	...	414
25.6.4	通信コマンド	...	414
25.7	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	416
25.7.1	セルフ・プログラミング機能で使用するレジスタ	...	417
25.8	ブート・スワップ機能	...	421
25.8.1	ブート・スワップ機能の概要	...	421
25.8.2	メモリ・マップとブート領域	...	423
<b>第26章</b>	<b>オンチップ・ディバグ機能</b>	...	424
<b>第27章</b>	<b>命令セットの概要</b>	...	425
27.1	凡 例	...	426
27.1.1	オペランドの表現形式と記述方法	...	426
27.1.2	オペレーション欄の説明	...	427
27.1.3	フラグ動作欄の説明	...	427
27.2	オペレーション一覧	...	428
27.3	アドレッシング別命令一覧	...	436



第28章 電気的特性 ... 440

第29章 外形図 ... 454

第30章 ウェイトに関する注意事項 ... 455

- 30.1 ウェイトに関する注意事項 ... 455
- 30.2 ウェイトが発生する周辺ハードウェア ... 456
- 30.3 ウェイト発生例 ... 457

付録A 開発ツール ... 458

- A.1 ソフトウェア・パッケージ ... 462
- A.2 言語処理用ソフトウェア ... 462
- A.3 制御ソフトウェア ... 463
- A.4 フラッシュ・メモリ書き込み用ツール ... 464
  - A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4, PG-FPLを使用する場合 ... 464
  - A.4.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合 ... 464
- A.5 ディバグ用ツール(ハードウェア) ... 465
  - A.5.1 インサーキット・エミュレータ QB-780714を使用する場合 ... 465
  - A.5.2 オンチップ・ディバグ・エミュレータ QB-78K0MINIを使用する場合 ... 465
  - A.5.3 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合 ... 466
- A.6 ディバグ用ツール(ソフトウェア) ... 466

付録B レジスタ索引 ... 467

- B.1 レジスタ索引(50音順) ... 467
- B.2 レジスタ索引(アルファベット順) ... 471

付録C 改版履歴 ... 475

- C.1 本版で改訂された主な箇所 ... 475

# 第1章 概 説

## 1.1 特 徴

高速 (0.1  $\mu$ s : X1入力クロック20 MHz動作時) から低速 (8.33  $\mu$ s : 内蔵発振クロック240 kHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット $\times$ 32レジスタ ( 8ビット $\times$  8レジスタ $\times$  4バンク)

乗除算器内蔵

- ・16ビット $\times$ 16ビット = 32ビット (乗算)
- ・32ビット $\div$ 16ビット = 32ビット 剰余16ビット (除算)

ROM, RAM容量

品 名	プログラム・メモリ (ROM)		データ・メモリ (内部高速RAM)
	項目		
$\mu$ PD78F0714	フラッシュ・メモリ	32 Kバイト	1024バイト

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

オンチップ・ディバグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

内蔵発振器によるCPUデフォルト・スタートにより, ショート・スタート・アップが可能

ウォッチドッグ・タイマ (内蔵発振クロックで動作可能) 内蔵

クロック出力 / ブザー出力制御回路内蔵

リアルタイム出力ポート内蔵

I/Oポート : 48本

タイマ : 7チャンネル

シリアル・インタフェース : 2チャンネル

(UART : 1チャンネル, CSI : 1チャンネル)

10ビット分解能A/Dコンバータ : 8チャンネル

電源電圧 :  $V_{DD} = 4.0 \sim 5.5$  V

動作周囲温度 :  $T_A = -40 \sim +85$

## 1.2 応用分野

家電製品

- ・冷蔵庫
- ・食器洗い機
- ・洗濯機，乾燥機
- ・エアコン室外機
- ・電子レンジ，炊飯器

産業機器

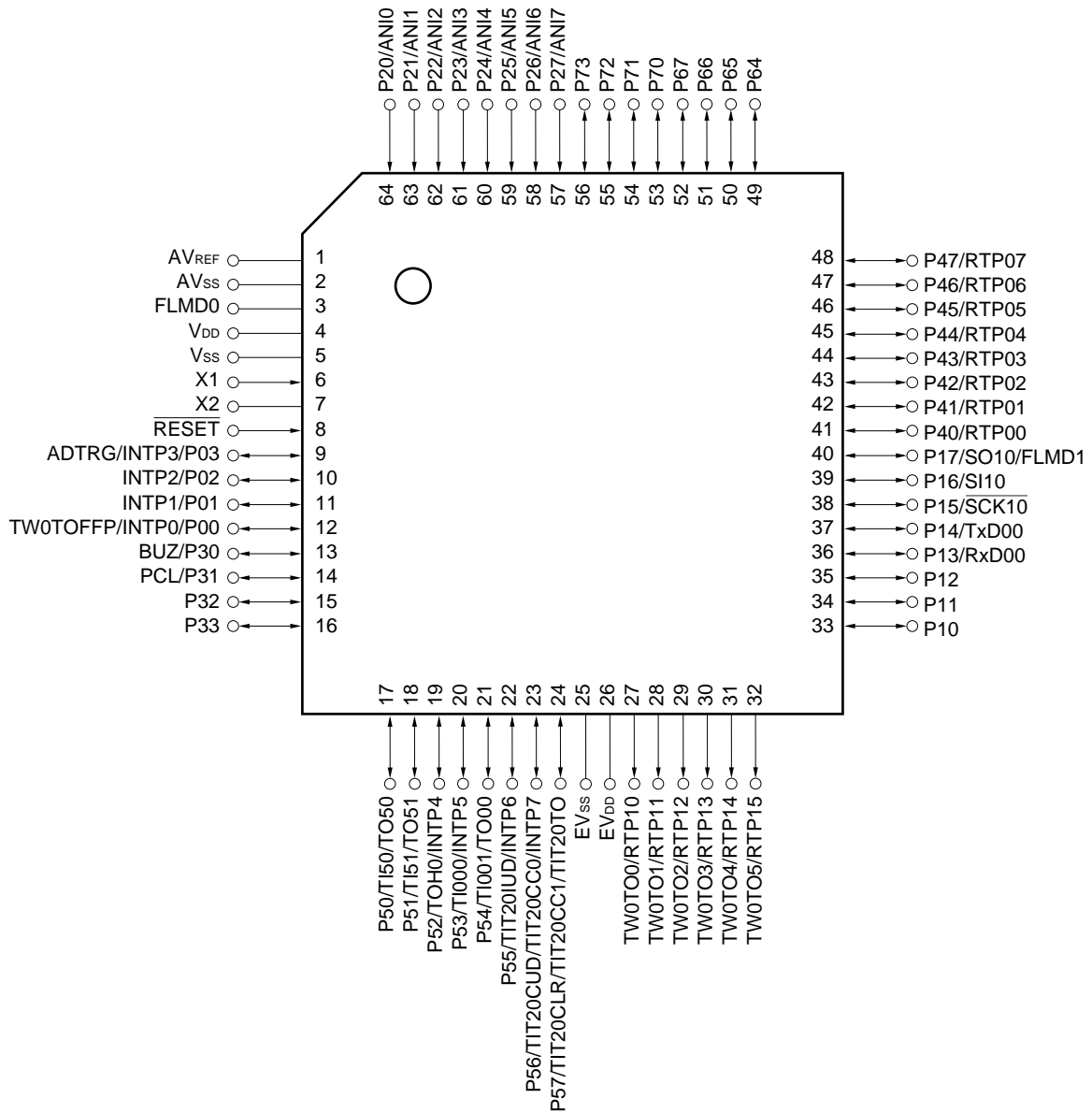
- ・ポンプ

## 1.3 オーダ情報

オーダ名称	パッケージ
μ PD78F0714GK-9ET	64ピン・プラスチックTQFP (ファインピッチ) (12x12)

## 1.4 端子接続図 (Top View)

・64ピン・プラスチックTQFP (ファインピッチ) (12x12)

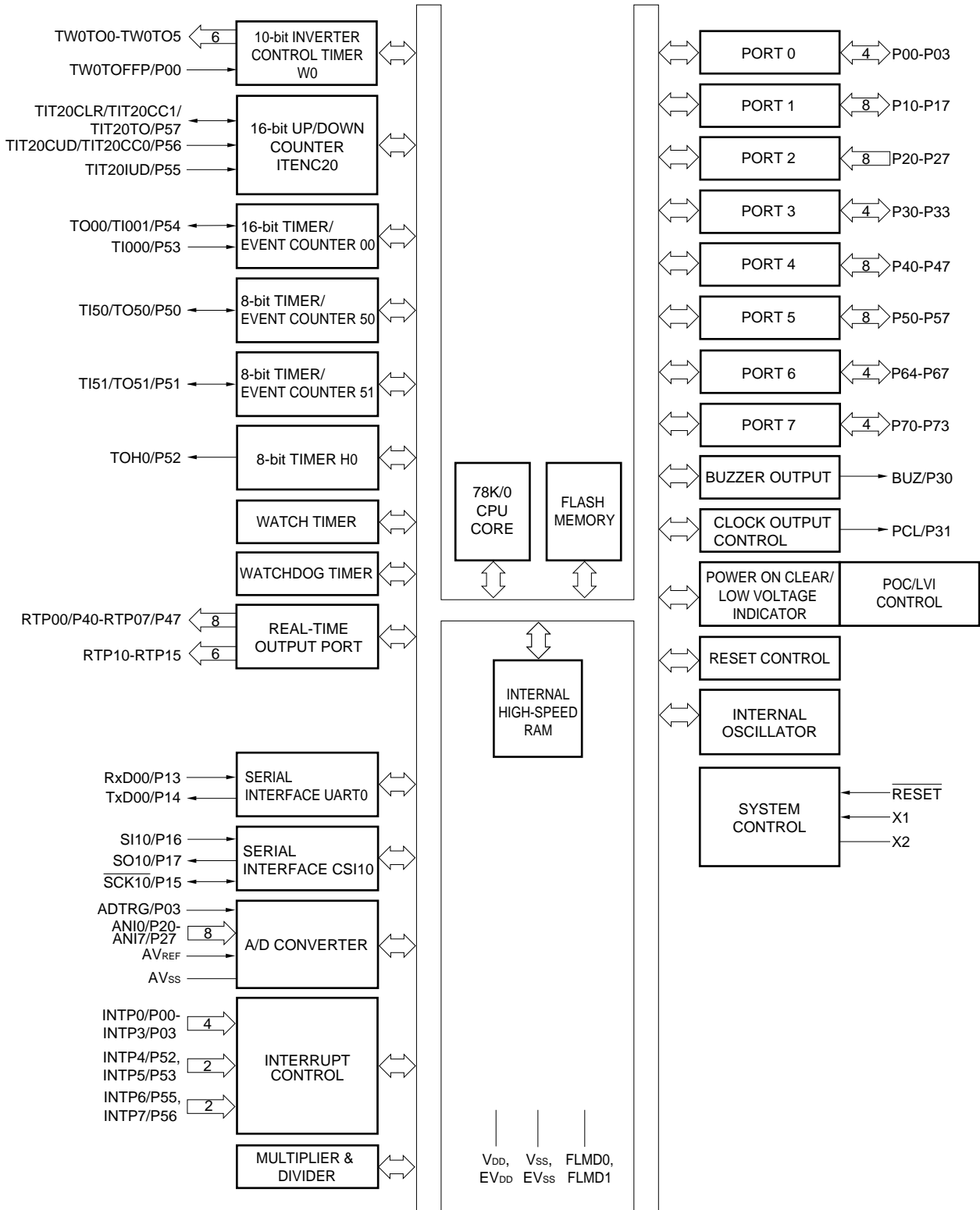


**注意** AV<sub>SS</sub>端子はV<sub>SS</sub>に接続してください。

端子名称

ADTRG	: A/D Trigger Input	RxD00	: Receive Data
ANI0-ANI7	: Analog Input	$\overline{\text{SCK10}}$	: Serial Clock Input/Output
AV <sub>REF</sub>	: Analog Reference Voltage	SI10	: Serial Data Input
AV <sub>SS</sub>	: Analog Ground	SO10	: Serial Data Output
BUZ	: Buzzer Output	TI000, TI001	: Timer Input
EV <sub>DD</sub>	: Power Supply for Port	TI50, TI51	: Timer Input
EV <sub>SS</sub>	: Ground for Port	TIT20CC0, TIT20CC1	: Up/Down Counter Capture Input
FLMD0, FLMD1	: Flash Programming Mode	TIT20CLR	: Up/Down Counter Clear
INTP0-INTP7	: External Interrupt Input	TIT20CUD	: Up/Down Counter Clock Select
P00-P03	: Port 0	TIT20IUD	: Up/Down Counter Clock
P10-P17	: Port 1	TIT20TO	: Up/Down Counter Output
P20-P27	: Port 2	TO00	: Timer Output
P30-P33	: Port 3	TO50, TO51	: Timer Output
P40-P47	: Port 4	TOH0	: Timer Output
P50-P57	: Port 5	TW0TO0-TW0TO5	: Timer Output
P64-P67	: Port 6	TW0TOFFP	: Timer Output Off
P70-P73	: Port 7	TxD00	: Transmit Data
$\overline{\text{RESET}}$	: Reset	V <sub>DD</sub>	: Power Supply
RTP00-RTP07	: Real-time Output Port	V <sub>SS</sub>	: Ground
RTP10-RTP15	: Real-time Output Port	X1, X2	: Crystal Oscillator (X1 Input Clock)

## 1.5 ブロック図



## 1.6 機能概要

(1/2)

項 目		μ PD78F0714
内部メモリ	フラッシュ・メモリ (セルフ・プログラマリング対応)	32 Kバイト
	高速RAM	1 Kバイト
メモリ空間		64 Kバイト
X1入力クロック (発振周波数)		セラミック / 水晶 / 外部クロック発振 〔20 MHz (V <sub>DD</sub> = 4.0 ~ 5.5 V)〕
内蔵発振クロック (発振周波数)		内蔵発振器 (240 kHz (TYP.))
汎用レジスタ		8 ビット × 32レジスタ (8 ビット × 8 レジスタ × 4バンク)
最小命令実行時間		0.1 μs / 0.2 μs / 0.4 μs / 0.8 μs / 1.6 μs (X1入力クロック : f <sub>XP</sub> = 20 MHz動作時) 8.3 μs / 16.6 μs / 33.2 μs / 66.4 μs / 132.8 μs (TYP.) (内蔵発振クロック : f <sub>R</sub> = 240 kHz (TYP.)動作時)
命令セット		<ul style="list-style-type: none"> <li>・ 16ビット演算</li> <li>・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット)</li> <li>・ ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・ BCD補正など</li> </ul>
I/Oポート		合計 : 48本 CMOS入出力 : 40本 CMOS入力 : 8本
タイマ		<ul style="list-style-type: none"> <li>・ 10ビット・インバータ制御用タイマ : 1チャンネル</li> <li>・ 16ビット・アップ/ダウン・カウンタ : 1チャンネル</li> <li>・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル</li> <li>・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・ 8ビット・タイマ : 1チャンネル</li> <li>・ ウォッチドッグ・タイマ : 1チャンネル</li> </ul>
	タイマ出力	11本 (インバータ制御用PWM出力 : 6本)
クロック出力		156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz, 20 MHz (X1入力クロック : 20 MHz)
ブザー出力		2.44 kHz, 4.88 kHz, 9.77 kHz, 19.5 kHz (X1入力クロック : 20 MHz)
リアルタイム出力ポート		<ul style="list-style-type: none"> <li>・ 8ビット × 1 または 4ビット × 2</li> <li>・ 6ビット × 1 または 4ビット × 1</li> </ul>
A/Dコンバータ		10ビット分解能 × 8チャンネル
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・ UARTモード : 1チャンネル</li> <li>・ 3線式シリアルI/Oモード : 1チャンネル</li> </ul>
乗除算器		<ul style="list-style-type: none"> <li>・ 16ビット × 16ビット = 32ビット (乗算)</li> <li>・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)</li> </ul>
ベクタ割り込み	内部	ノンマスクابل : 1, マスクابل : 19
要因	外部	8
リセット		<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math>端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>

項 目	μ PD78F0714
電源電圧	V <sub>DD</sub> = 4.0 ~ 5.5 V
動作周囲温度	T <sub>A</sub> = - 40 ~ + 85
パッケージ	64ピン・プラスチックTQFP (ファインピッチ) (12x12)

次にタイマの概要を示します。

		10ビット・インバータ制御用タイマW0	16ビット・アップ/ダウン・カウンタITENC20	16ビット・タイマ/イベント・カウンタ00	8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0	ウォッチドッグ・タイマ
					TM50	TM51		
動作モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-
	外部イベント・カウンタ	-	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-	-
機能	タイマ出力	6出力	1出力	1出力	1出力	1出力	1出力	-
	PPG出力	-	-	1出力	-	-	-	-
	PWM出力	6出力	1出力	-	1出力	1出力	1出力	-
	パルス幅測定	-	-	2入力	-	-	-	-
	方形波出力	-	1出力	1出力	1出力	1出力	1出力	-
	ウォッチドッグ・タイマ	-	-	-	-	-	-	1チャンネル
	割り込み要因	4	4	2	1	1	1	-



## 第2章 端子機能

### 2.1 端子機能一覧

端子の入出力バッファ電源には、 $AV_{REF}$ 、 $EV_{DD}$ 、 $V_{DD}$ の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
$AV_{REF}$	P20-P27
$EV_{DD}$	P20-P27以外のポート端子
$V_{DD}$	ポート端子以外の端子

#### (1) ポート端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TW0TOFFP
P01				INTP1
P02				INTP2
P03				INTP3/ADTRG
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P11				-
P12				-
P13				RxD00
P14				TxD00
P15				SCK10
P16				SI10
P17				SO10/FLMD1
P20-P27	入力	ポート2。 8ビット入力専用ポート。	入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	BUZ
P31				PCL
P32				-
P33				-
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RTP00-RTP07

## (1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI50/TO50
P51				TI51/TO51
P52				TOH0/INTP4
P53				TI000/INTP5
P54				TI001/TO00
P55				TIT20IUD/INTP6
P56				TIT20CUD/ TIT20CC0/INTP7
P57				TIT20CLR/ TIT20CC1/ TIT20TO
P64-P67	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P70-P73	入出力	ポート7。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-

## (2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力	P00/TW0TOFFP
INTP1				P01
INTP2				P02
INTP3				P03/ADTRG
INTP4				P52/TOH0
INTP5				P53/TI000
INTP6				P55/TIT20IUD
INTP7				P56/TIT20CC0/ TIT20CUD
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P16
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P17/FLMD1
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	入力	P15
RxD00	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P13
TxD00	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P14
TW0TOFFP	入力	10ビット・インバータ制御用タイマの出力停止外部入力	入力	P00/INTP0
TW0TO0- TW0TO5	出力	10ビット・インバータ制御用タイマ出力	出力	RTP10-RTP15
TIT20IUD	入力	16ビット・アップ/ダウン・カウンタの外部カウント・クロック入力	入力	P55/INTP6
TIT20CUD		16ビット・アップ/ダウン・カウンタのカウント動作切り替え入力		P56/TIT20CC0 /INTP7
TIT20CC0		16ビット・アップ/ダウン・カウンタの外部キャプチャ・トリガ入力		P56/TIT20CUD /INTP7
TIT20CC1		16ビット・アップ/ダウン・カウンタのクリア信号入力		P57/TIT20CLR /TIT20TO
TIT20CLR				P57/TIT20CC1 /TIT20TO
TIT20TO	出力	16ビット・アップ/ダウン・カウンタのパルス信号出力	入力	P57/TIT20CLR /TIT20CC1
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力	入力	P53/INTP5
TI001		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ入力		
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P54/TI001
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P50/TO50
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P50/TI50
TI51	入力	8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力	入力	P51/TO51
TO51	出力	8ビット・タイマ/イベント・カウンタ51出力	入力	P51/TI51
TOH0	出力	8ビット・タイマH0出力	入力	P52/INTP4

## (2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
BUZ	出力	ブザー出力	入力	P30
PCL	出力	クロック出力 (X1入力クロックのトリミング用)	入力	P31
RTP00-RTP07	出力	リアルタイム出力ポート0出力	入力	P40-P47
RTP10-RTP15	出力	リアルタイム出力ポート1出力	出力	TW0TO0- TW0TO5
ADTRG	入力	A/Dコンバータのトリガ入力	入力	P03/INTP3
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P20-P27
AVREF	入力	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
AVSS	-	A/Dコンバータのグランド電位。V <sub>SS</sub> と同電位にしてください。	-	-
RESET	入力	システム・リセット入力	-	-
X1	入力	X1入力クロック用発振子接続	-	-
X2	-		-	-
V <sub>DD</sub>	-	正電源 (ポート部を除く)	-	-
EV <sub>DD</sub>	-	ポート部の正電源	-	-
V <sub>SS</sub>	-	グランド電位 (ポート部を除く)	-	-
EV <sub>SS</sub>	-	ポート部のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
FLMD1	入力		入力	P17/SO10

## 2.2 端子機能の説明

### 2.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0)により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0)により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力として機能します。

##### (a) INTP0-INTP3

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。また, INTP2は, 有効エッジの入力により, リアルタイム出力ポートの外部トリガ信号入力端子にもなります。

##### (b) TW0TOFFP

タイマ出力 (TW0TO0-TW0TO5) 停止外部入力端子です。

##### (c) ADTRG

A/Dコンバータへの外部トリガ信号入力端子です。

## 2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラミング・モード引き込み機能があります。

1ビット単位で次のような動作モードを指定できます。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

### (2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

#### (a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

#### (b) SO10

シリアル・インタフェースのシリアル・データの出力端子です。

#### (c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

#### (d) RxD00

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

#### (e) TxD00

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

#### (f) FLMD1

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

### 2.2.3 P20-P27 (Port 2)

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。  
1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入力専用ポートとして機能します。

**注意** ポート・モードとして使用する場合は、 $EV_{DD} = AV_{REF}$ で使用してください。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場  
合、15.6 A/Dコンバータの注意事項(5) ANI0/P20-ANI7/P27を参照してください。

### 2.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかにクロック出力、ブザー出力機能があります。  
1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単  
位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定に  
より、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

クロック出力、ブザー出力として機能します。

##### (a) PCL

クロック出力端子です。

##### (b) BUZ

ブザー出力端子です。

**注意** 誤動作を防ぐため、リセット後にP31を必ずプルダウンしてください。

**備考**  $\mu$ PD78F0714のP31, P32は、オンチップ・ディバグ機能を使用するとき、オンチップ・ディ  
バグ・モード引き込み用端子として使用できます。詳細は、第26章 オンチップ・ディバグ  
機能を参照してください。

### 2.2.5 P40-P47 (Port 4)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

トリガに同期してデータを出力するリアルタイム出力ポート (RTP00-RTP07) として機能します。

### 2.2.6 P50-P57 (Port 5)

8ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。

次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

##### (a) INTP4-INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

##### (b) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

##### (c) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

##### (d) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子およびキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子です。

##### (e) TI001

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。



## (f) TO00, TOH0

16ビット・タイマ/イベント・カウンタ00, 8ビット・タイマH0のタイマ出力端子です。

## (g) TIT20IUD

アップ/ダウン・カウンタ(タイマITENC20)への外部カウント・クロック入力端子です。

## (h) TIT20CUD

アップ/ダウン・カウンタ(タイマITENC20)へのカウント動作切り替え信号を入力します。

## (i) TIT20CLR

アップ/ダウン・カウンタ(タイマITENC20)へのクリア信号入力端子です。

## (j) TIT20CC0, TIT20CC1

アップ/ダウン・カウンタ(タイマITENC20)への外部キャプチャ・トリガ入力端子です。

## (k) TIT20TO

タイマITENC20出力端子です。

### 2.2.7 P64-P67 (Port 6)

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

プルアップ抵抗オプション・レジスタ6 (PU6) の設定により, 内蔵プルアップ抵抗を使用できます。

### 2.2.8 P70-P73 (Port 7)

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により, 内蔵プルアップ抵抗を使用できます。

### 2.2.9 TW0TO0/RTP10-TW0TO5/RTP15

10ビット・インバータ制御用タイマ出力端子です。

また, リアルタイム出力ポート端子としても機能します。

### 2.2.10 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は, EV<sub>DD</sub>またはV<sub>DD</sub>に直接接続してください<sup>注</sup>。

**注** ポート2をデジタル・ポートとして使用する場合は, EV<sub>DD</sub>に直接接続してください。

### 2.2.11 AVss

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも, 常にEV<sub>SS</sub>端子またはV<sub>SS</sub>端子と同電位で使用してください。

### 2.2.12 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2.2.13 X1, X2

X1入力クロック用発振子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

**備考**  $\mu$ PD78F0714のX1, X2は、オンチップ・ディバグ機能を使用するとき、オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は、第26章 **オンチップ・ディバグ機能**を参照してください。

### 2.2.14 VDD, EVDD

VDDは、ポート部以外の正電源供給端子です。

EVDDは、ポート部の正電源供給端子です。

### 2.2.15 Vss, EVss

Vssは、ポート部以外のグランド電位端子です。

EVssは、ポート部のグランド電位端子です。

### 2.2.16 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと必ず接続してください。

通常動作モード時には、FLMD0をEVssまたはVssに接続してください。

## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

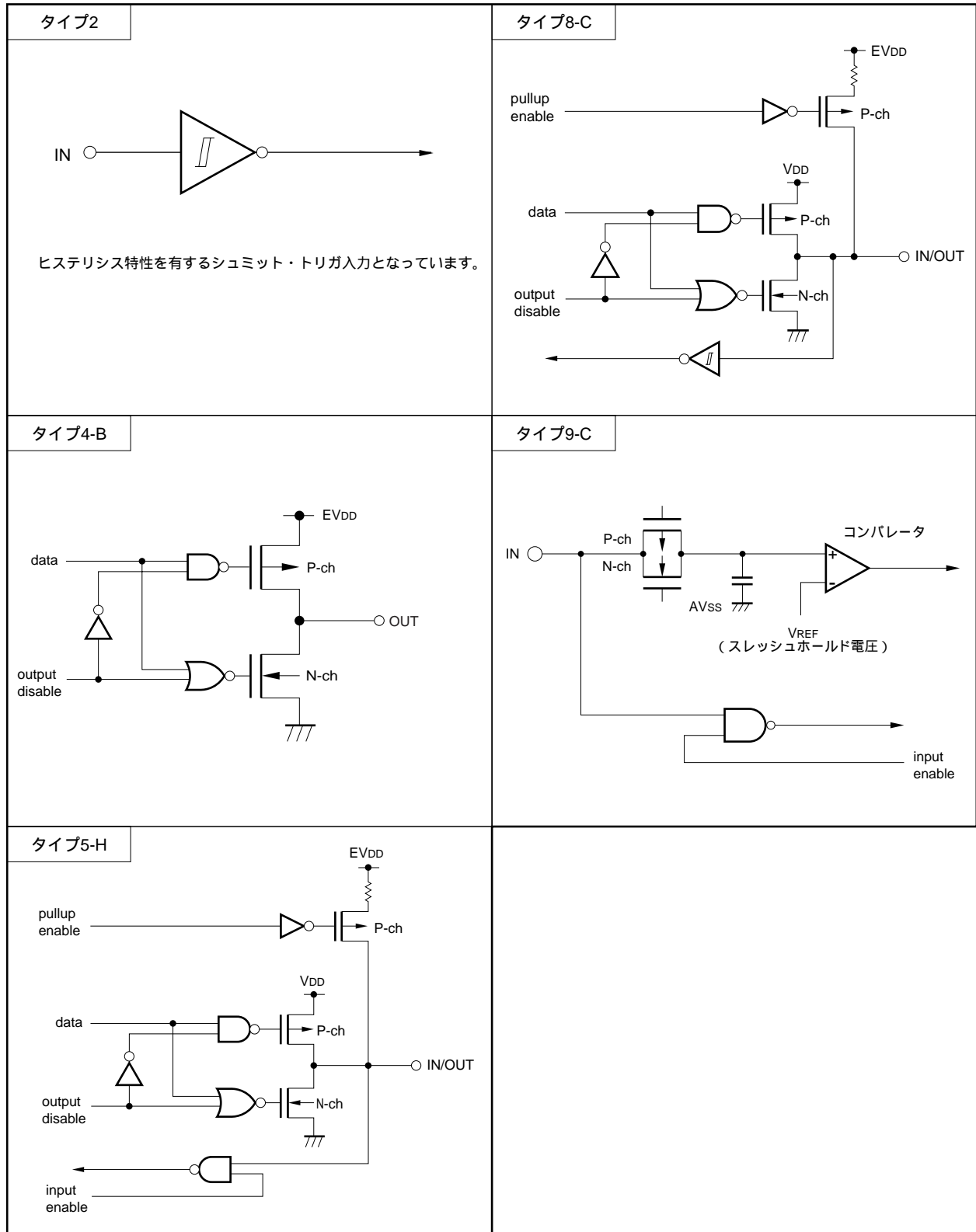
また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 2 各端子の入出力回路タイプ

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法			
P00/INTP0/TW0TOFFP	8-C	入出力	入力時：個別に抵抗を介して、EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。			
P01/INTP1						
P02/INTP2						
P03/INTP3/ADTRG						
P10						
P11						
P12						
P13/RxD00						
P14/TxD00						
P15/SCK10						
P16/SI10	8-C					
P17/SO10/FLMD1	5-H					
P20/ANI0-P27/ANI7	9-C	入力	EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。			
P30/BUZ	5-H	入出力	入力時：個別に抵抗を介して、EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。			
P31/PCL						
P32						
P33						
P40/RTP00-P47/RTP07						
P50/TI50/TO50						
P51/TI51/TO51						
P52/TOH0/INTP4						
P53/TI000/INTP5						
P54/TI001/TO00						
P55/TIT20IUD/INTP6	8-C					
P56/TIT20CUD/TIT20CC0/INTP7						
P57/TIT20CLR/TIT20CC1/TIT20TO						
P64-P67						
P70-P73						
TW0TO0/RTP10-TW0TO5/RTP15				4-B	出力	オープンにしてください。
RESET				2	入力	-
AV <sub>REF</sub>				-		EV <sub>DD</sub> またはV <sub>DD</sub> に直接接続してください <sup>注</sup> 。
AV <sub>SS</sub>				-		EV <sub>SS</sub> またはV <sub>SS</sub> に直接接続してください。
FLMD0				-		EV <sub>SS</sub> またはV <sub>SS</sub> に接続してください。

注 ポート2をデジタル・ポートとして使用する場合、EV<sub>DD</sub>に直接接続してください。

図2-1 端子の入出力回路一覧



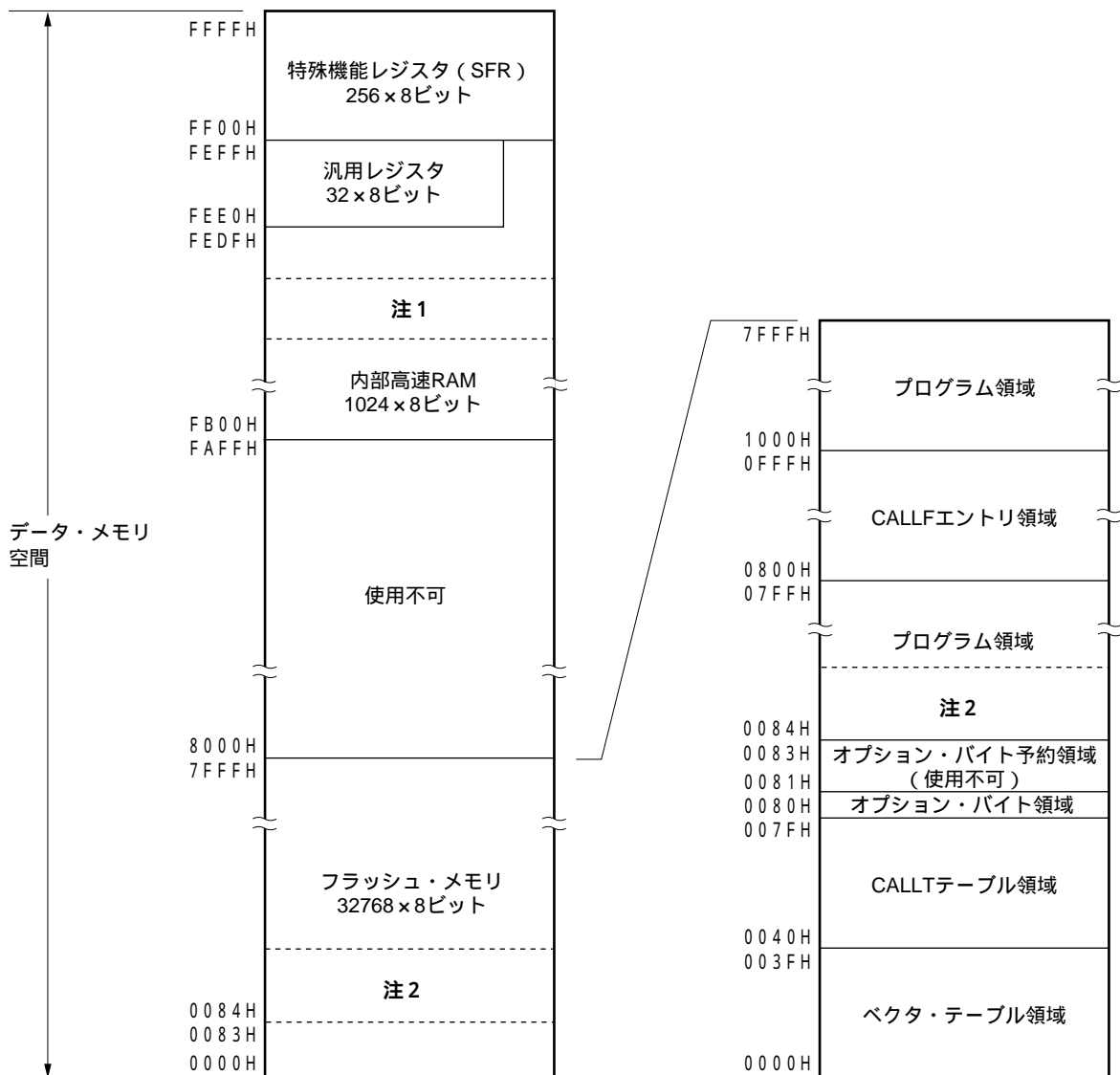
## 第3章 CPUアーキテクチャ

### 3.1 メモリ空間

μPD78F0714は、64 Kバイトのメモリ空間をアクセスできます。図3 - 1に、メモリ・マップを示します。

**注意** メモリ・サイズ切り替えレジスタ (IMS) の初期値は、CFHとなっているため、初期設定でC8Hに設定してください。

図3 - 1 メモリ・マップ (μPD78F0714)



注1 . オンチップ・ディバグ時は、通信時のユーザ・データのバックアップ領域として、9バイト(予定)使  
用します。

2 . オンチップ・ディバグ時は、通信コマンド用領域(256バイト~1Kバイト)となるため、使用不可にな  
ります。

### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD78F0714は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-1 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μPD78F0714	フラッシュ・メモリ	32768×8ビット（0000H-7FFFH）

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット信号入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, WDT	0020H	INTCM11
0004H	INTLVI	0022H	INTCC10
0006H	INTP0	0024H	INTCC11
0008H	INTP1	0026H	注
000AH	INTP2	0028H	INTTM00
000CH	INTP3	002AH	INTTM01
000EH	INTP4	002CH	INTSRE00
0010H	INTP5	002EH	INTSR00
0012H	INTP6	0030H	INTST00
0014H	INTP7	0032H	INTTM50
0016H	INTTW0UD	0034H	INTTM51
0018H	INTTW0CM3	0036H	INTTMH0
001AH	INTTW0CM4	0038H	INTCSI10
001CH	INTTW0CM5	003AH	INTDMU
001EH	INTCM10	003CH	INTAD

注 ベクタ・テーブル・アドレスの0026Hに該当する割り込み要求はありません。

#### (2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エン트리・アドレスを格納することができます。

#### (3) オプション・バイト領域

0080Hの1バイト領域にオプション・バイト領域を用意しています。詳細は、第24章 オプション・バイトを参照してください。

#### (4) CALLF命令エントリ領域

0800H-0FFFFHの領域は、2バイト・コール命令 (CALLF) で直接サブルーチン・コールすることができます。

### 3.1.2 内部データ・メモリ空間

μPD78F0714は、次に示すRAMを内蔵しています。

#### (1) 内部高速RAM

FB00H-FEFFFHの1024×8ビット構成となっています。

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています

(3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 3 特殊機能レジスタ一覧参照)。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

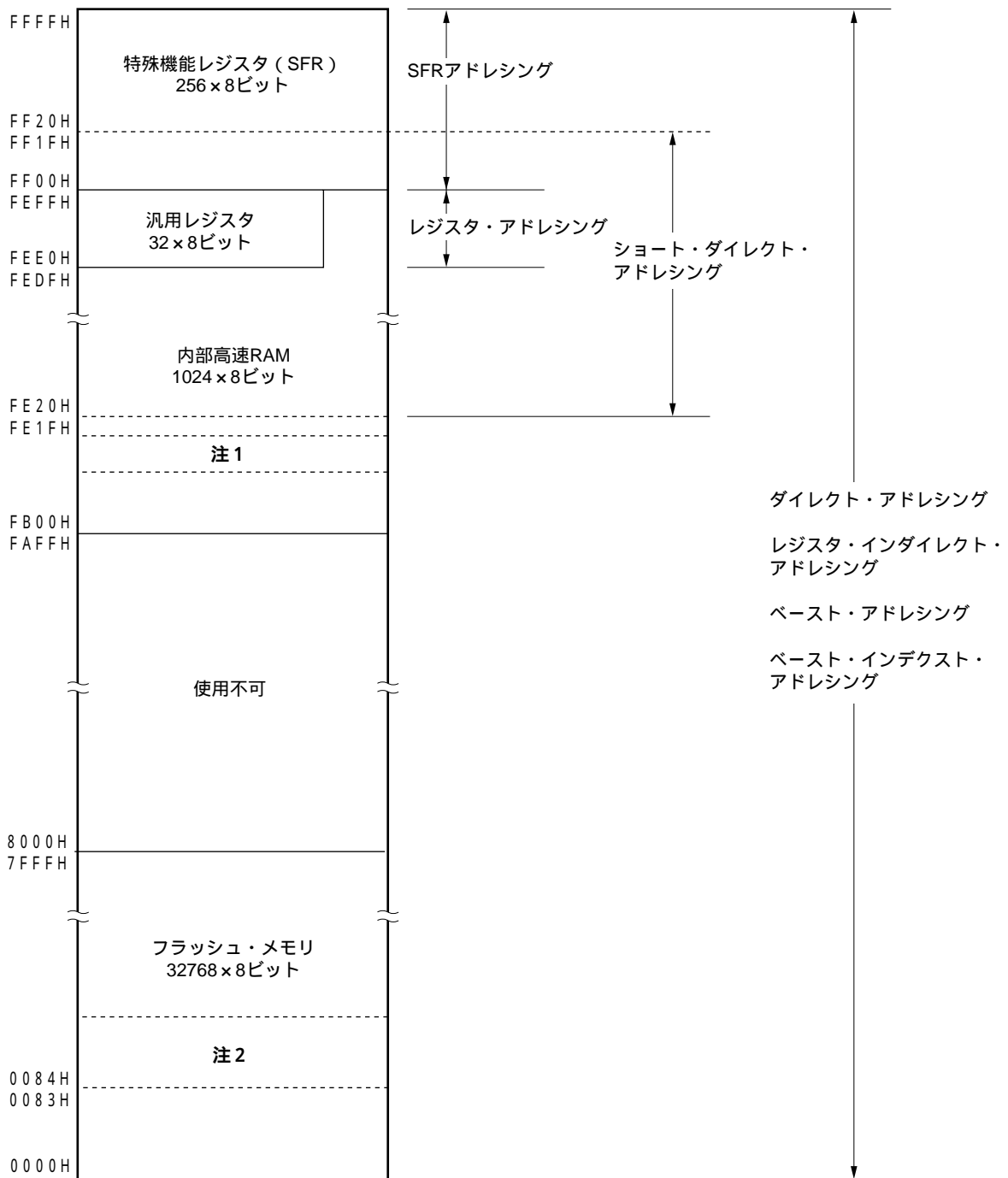
### 3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、μPD78F0714では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 2にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。



図3-2 データ・メモリとアドレッシングの対応 (μPD78F0714)



注1 . オンチップ・ディバグ時は、通信時のユーザ・データのバックアップ領域として、9バイト（予定）使用します。

2 . オンチップ・ディバグ時は、通信コマンド用領域（256バイト～1 Kバイト）となるため、使用不可になります。

## 3.2 プロセッサ・レジスタ

μPD78F0714は、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

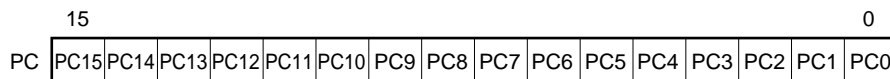
#### （1）プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

RESET入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 3 プログラム・カウンタの構成



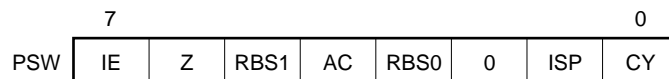
#### （2）プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

RESET入力により、02Hになります。

図3 - 4 プログラム・ステータス・ワードの構成



##### （a）割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサーブス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサーブス・プライオリティ・フラグ(ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (19.3(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

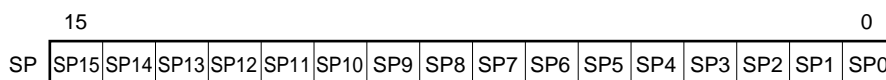
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 5 スタック・ポインタの構成



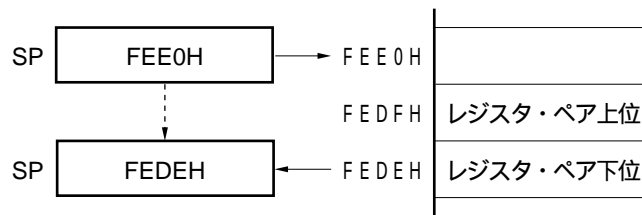
スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図3 - 6, 3 - 7のようになります。

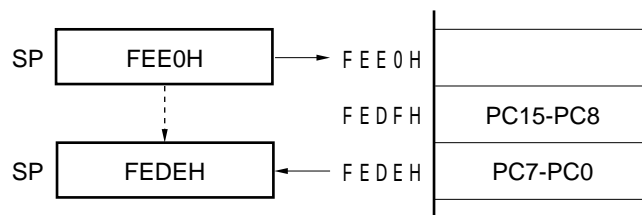
**注意** SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 6 スタック・メモリへ退避されるデータ

( a ) PUSH rp命令 ( SPがFEE0Hの場合)



( b ) CALL, CALLF, CALLT命令 ( SPがFEE0Hの場合)



( c ) 割り込み, BRK命令 ( SPがFEE0Hの場合)

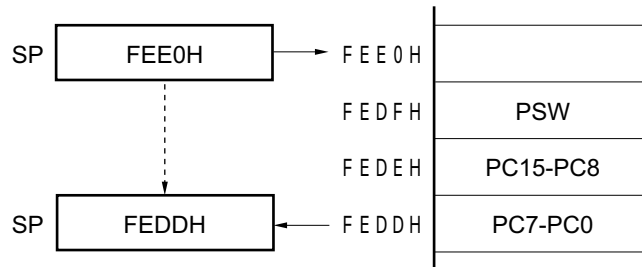
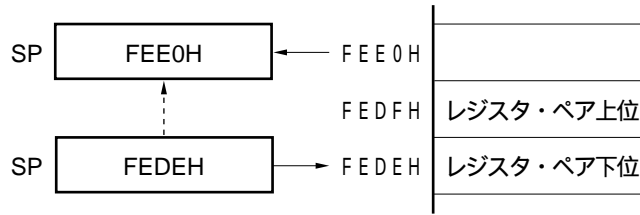
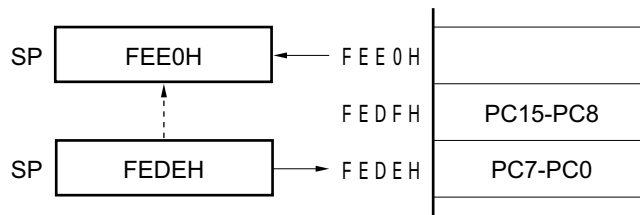


図3 - 7 スタック・メモリから復帰されるデータ

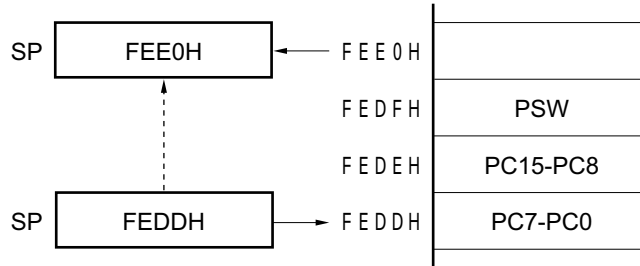
( a ) POP rp命令 ( SPがFEDEHの場合 )



( b ) RET命令 ( SPがFEDEHの場合 )



( c ) RETI, RETB命令 ( SPがFEDDHの場合 )



### 3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 ( FEE0H-FEFFH ) にマッピングされており、8ビット・レジスタ8個 ( X, A, C, B, E, D, L, H ) を1バンクとして4バンクのレジスタで構成されています。

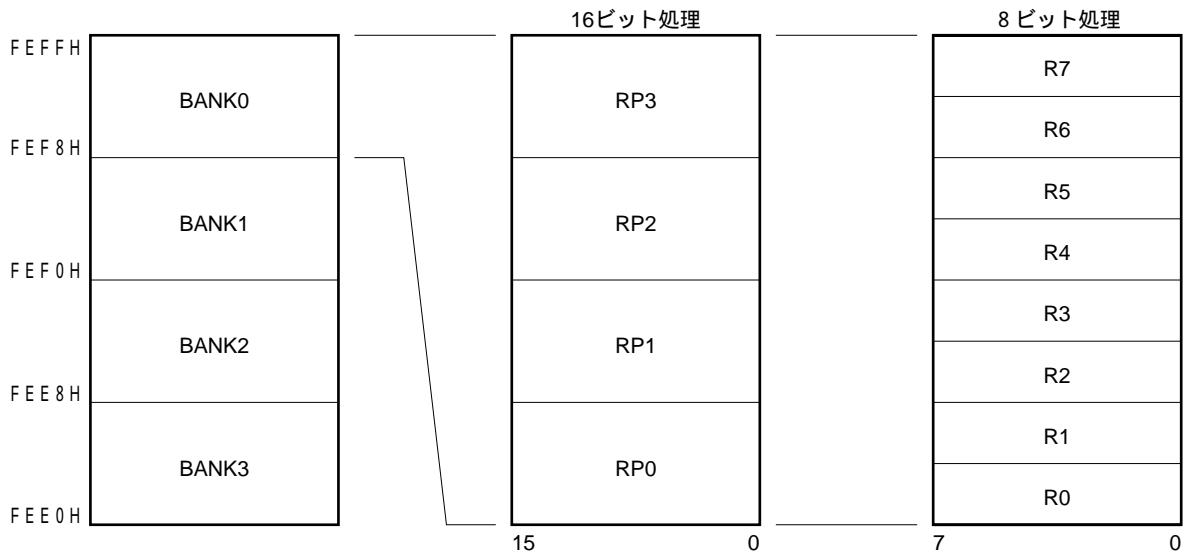
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます ( AX, BC, DE, HL )。

また、機能名称 ( X, A, C, B, E, D, L, H, AX, BC, DE, HL ) のほか、絶対名称 ( R0-R7, RP0-RP3 ) でも記述できます。

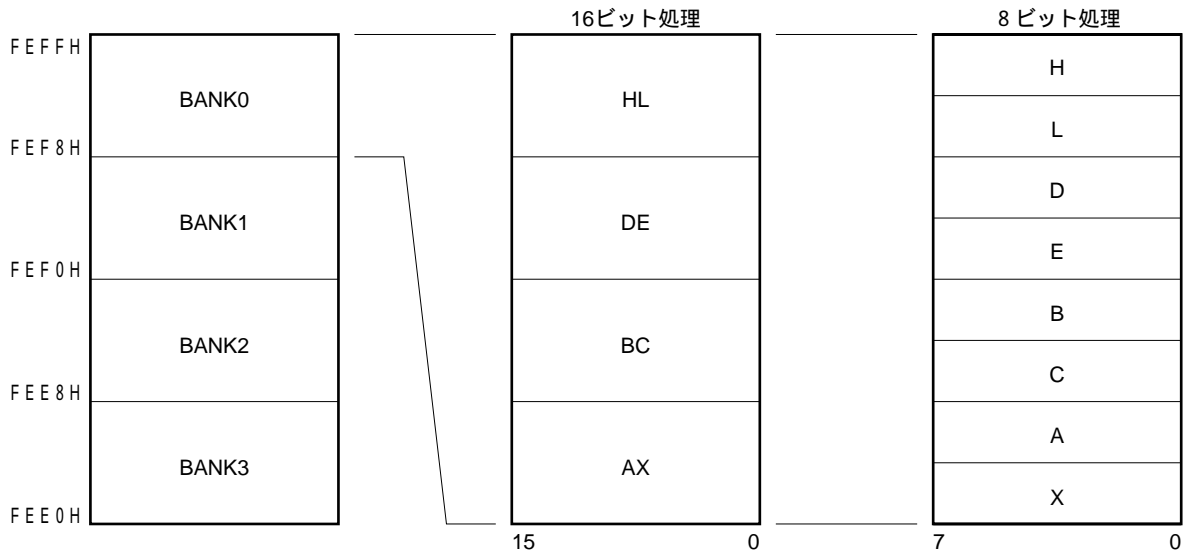
命令実行時に使用するレジスタ・バンクは、CPU制御命令 ( SEL RBn ) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 8 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



### 3.2.3 特殊機能レジスタ(SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

#### ・ 1ビット操作

1ビット操作命令のオペランド(sfr.bit)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・ 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・ 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

#### ・ 略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では# pragma sfr指令で、sfr変数として定義されているものです。RA78K0およびID78K0-QB使用時に命令のオペランドとして記述できます。

#### ・ R/W

該当する特殊機能レジスタが読み出し(Read) / 書き込み(Write)可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

#### ・ 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を で示します。- は操作できないビット単位であることを示します。

#### ・ リセット時

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0	R/W			-	00H
FF01H	ポート・レジスタ1	P1	R/W			-	00H
FF02H	ポート・レジスタ2	P2	R			-	不定
FF03H	ポート・レジスタ3	P3	R/W			-	00H
FF04H	ポート・レジスタ4	P4	R/W			-	00H
FF05H	ポート・レジスタ5	P5	R/W			-	00H
FF06H	ポート・レジスタ6	P6	R/W			-	00H
FF07H	ポート・レジスタ7	P7	R/W			-	00H
FF08H	10ビット・バッファ・レジスタ0	TW0BF CM0	R/W	-			0000H
FF09H		-					
FF0AH	10ビット・バッファ・レジスタ1	TW0BF CM1	R/W	-			0000H
FF0BH		-					
FF0CH	10ビット・バッファ・レジスタ2	TW0BF CM2	R/W	-			0000H
FF0DH		-					
FF0EH	10ビット・バッファ・レジスタ3	TW0BF CM3	R/W	-			00FFH
FF0FH		-					
FF10H	16ビット・アップ/ダウン・カウンタ	IT20 UDC	R/W	-			0000H
FF11H		-					
FF12H	16ビット・コンペア・レジスタ0	IT20 CM0	R/W	-			0000H
FF13H		-					
FF14H	16ビット・コンペア・レジスタ1	IT20 CM1	R/W	-			0000H
FF15H		-					
FF16H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H
FF17H							
FF18H	受信バッファ・レジスタ00	RXB00	R	-		-	FFH
FF19H	送信シフト・レジスタ00	TXS00	W	-		-	FFH
FF1AH	A/D変換結果レジスタ	ADCR	R	-	-		不定
FF1BH							
FF1FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH
FF25H	ポート・モード・レジスタ5	PM5	R/W			-	FFH
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH
FF28H	DC制御レジスタ00	DCCTL00	R/W			-	00H
FF2AH	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W			-	00H



表3-3 特殊機能レジスタ一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF2CH	8ビット・タイマ・カウンタ50	TM50		R	-		-	00H
FF2DH	8ビット・タイマ・コンペア・レジスタ50	CR50		R/W	-		-	00H
FF2EH	タイマ・クロック選択レジスタ50	TCL50		R/W	-		-	00H
FF2FH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W			-	00H
FF30H	プルアップ抵抗オプション・レジスタ0	PU0		R/W			-	00H
FF31H	プルアップ抵抗オプション・レジスタ1	PU1		R/W			-	00H
FF33H	プルアップ抵抗オプション・レジスタ3	PU3		R/W			-	00H
FF34H	プルアップ抵抗オプション・レジスタ4	PU4		R/W			-	00H
FF35H	プルアップ抵抗オプション・レジスタ5	PU5		R/W			-	00H
FF36H	プルアップ抵抗オプション・レジスタ6	PU6		R/W			-	00H
FF37H	プルアップ抵抗オプション・レジスタ7	PU7		R/W			-	00H
FF38H	DC制御レジスタ01	DCCTL01		R/W			-	00H
FF3AH	プリスケラ・モード・レジスタ	IT20PRM		R/W			-	07H
FF3BH	ステータス・レジスタ	IT20STS		R			-	00H
FF3CH	8ビット・タイマ・カウンタ51	TM51		R	-		-	00H
FF3DH	8ビット・タイマ・コンペア・レジスタ51	CR51		R/W	-		-	00H
FF3EH	タイマ・クロック選択レジスタ51	TCL51		R/W	-		-	00H
FF3FH	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51		R/W			-	00H
FF40H	クロック出力選択レジスタ	CKS		R/W			-	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP		R/W			-	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN		R/W			-	00H
FF50H	10ビット・バッファ・レジスタ4	TW0BF	TW0BF	R/W	-			0000H
FF51H		CM4	CM4L					
FF52H	10ビット・バッファ・レジスタ5	TW0BF	TW0BF	R/W	-			0000H
FF53H		CM5	CM5L					
FF54H	10ビット・コンペア・レジスタ0	TW0CM0		R/W	-	-		0000H
FF55H								
FF56H	10ビット・コンペア・レジスタ1	TW0CM1		R/W	-	-		0000H
FF57H								
FF58H	10ビット・コンペア・レジスタ2	TW0CM2		R/W	-	-		0000H
FF59H								
FF5AH	10ビット・コンペア・レジスタ3	TW0CM3		R/W	-	-		00FFH
FF5BH								
FF5CH	10ビット・コンペア・レジスタ4	TW0CM4		R/W	-	-		0000H
FF5DH								
FF5EH	10ビット・コンペア・レジスタ5	TW0CM5		R/W	-	-		0000H
FF5FH								
FF60H	剰余データ・レジスタ0	SDR0	SDR0L	R	-			00H
FF61H			SDR0H					-

表3-3 特殊機能レジスタ一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF62H	乗除算データ・レジスタA0	MDAOL	MDAOLL	R/W	-			00H
FF63H			MDAOLH		-			00H
FF64H		MDAOH	MDAOHL	R/W	-			00H
FF65H			MDAOHH		-			00H
FF66H	乗除算データ・レジスタB0	MDBO	MDBOL	R/W	-			00H
FF67H			MDBOH		-			00H
FF68H	乗除算器コントロール・レジスタ0	DMUC0		R/W			-	00H
FF6AH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00		R/W			-	00H
FF6BH	16ビット・タイマ出力コントロール・レジスタ00	TOC00		R/W			-	00H
FF6CH	A/Dコンバータ・モード・レジスタ	ADM		R/W			-	00H
FF6DH	アナログ入力チャンネル指定レジスタ	ADS		R/W			-	00H
FF6EH	パワーフェイル比較モード・レジスタ	PFM		R/W			-	00H
FF6FH	パワーフェイル比較しきい値レジスタ	PFT		R/W	-		-	00H
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ00	ASIM00		R/W			-	01H
FF71H	ポーレート・ジェネレータ・コントロール・レジスタ00	BRGC00		R/W	-		-	1FH
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00	ASIS00		R	-		-	00H
FF78H	低電圧検出レジスタ	LVIM		R/W			-	00H <sup>注</sup>
FF7AH	16ビット・タイマ・キャプチャ/コンペア・レジスタ00	CR00		R/W	-	-		0000H
FF7BH								
FF7CH	16ビット・タイマ・キャプチャ/コンペア・レジスタ01	CR01		R/W	-	-		0000H
FF7DH								
FF7EH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	00H
FF7FH	プリスケラ・モード・レジスタ00	PRM00		R/W			-	00H
FF80H	シリアル動作モード・レジスタ10	CSIM10		R/W			-	00H
FF81H	シリアル・クロック選択レジスタ10	CSIC10		R/W			-	00H
FF84H	送信バッファ・レジスタ10	SOTB10		R/W	-		-	不定
FF88H	インバータ・タイマ・コントロール・レジスタ	TW0C		R/W			-	00H
FF89H	インバータ・タイマ・モード・レジスタ	TW0M		R/W			-	00H
FF8AH	デッド・タイム・リロード・レジスタ	TW0DTIME		R/W	-		-	FFH
FF8BH	A/Dトリガ選択レジスタ	TW0TRGS		R/W			-	00H
FF8CH	インバータ・タイマ出力制御レジスタ	TW0OC		R/W			-	00H
FF90H	16ビット・キャプチャ/コンペア・レジスタ0	IT20	IT20	R/W	-			0000H
FF91H			CC0					
FF92H	16ビット・キャプチャ/コンペア・レジスタ1	IT20	IT20	R/W	-			0000H
FF93H			CC1					
FF94H	キャプチャ/コンペア・コントロール・レジスタ	IT20CCR		R/W			-	00H
FF95H	タイマ・ユニット・モード・レジスタ	IT20TUM		R/W			-	00H

注 LVIIによるリセット時のみ83Hとなります。

表3-3 特殊機能レジスタ一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF96H	タイマ・コントロール・レジスタ	IT20TMC		R/W			-	00H
FF97H	有効エッジ選択レジスタ	IT20SESA		R/W			-	00H
FF98H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		R/W	-		-	67H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	-		-	9AH
FF9EH	8ビット・タイマHコンペア・レジスタ00	CMP00		R/W	-		-	00H
FF9FH	8ビット・タイマHコンペア・レジスタ01	CMP01		R/W	-		-	00H
FFA0H	内蔵発振モード・レジスタ	RCM		R/W			-	00H
FFA1H	メイン・クロック・モード・レジスタ	MCM		R/W			-	00H
FFA2H	メインOSCコントロール・レジスタ	MOC		R/W			-	00H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC		R			-	00H
FFA4H	発振安定時間選択レジスタ	OSTS		R/W	-		-	05H
FFAAH	ノイズ除去時間選択レジスタ1	NRC1		R/W			-	00H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF		R	-		-	00H <sup>注1</sup>
FFB0H	リアルタイム出力バッファ・レジスタ0L	RTBL00		R/W			-	00H
FFB2H	リアルタイム出力バッファ・レジスタ0H	RTBH00		R/W			-	00H
FFB4H	リアルタイム出力ポート・モード・レジスタ0	RTPM00		R/W			-	00H
FFB5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC00		R/W			-	00H
FFB8H	リアルタイム出力バッファ・レジスタ1L	RTBL01		R/W			-	00H
FFBAH	リアルタイム出力バッファ・レジスタ1H	RTBH01		R/W			-	00H
FFBCH	リアルタイム出力ポート・モード・レジスタ1	RTPM01		R/W			-	00H
FFBDH	リアルタイム出力ポート・コントロール・レジスタ1	RTPC01		R/W			-	00H
FFC0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD		W	-		-	不定
FFC2H	フラッシュ・ステータス・レジスタ	PFS		R/W			-	00H
FFC4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC		R/W			-	0XH <sup>注2</sup>
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W				00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W				00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W				00H
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W				00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W				FFH
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W				DFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W				FFH
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W				FFH
FFF0H	メモリ・サイズ切り替えレジスタ <sup>注3</sup>	IMS		R/W	-		-	CFH
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W			-	00H
FFFDH	システム・ウェイト制御レジスタ	VSWC		R/W			-	00H

注1 . リセット要因により変化します。

2 . 動作モードにより異なります。

- ・ ユーザ・モード : 08H
- ・ オンボード・モード : 0CH

3 . メモリ・サイズ切り替えレジスタ(IMS)の初期値は、IMS = CFHとなっているため、初期設定でIMS = C8Hに設定してください。

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

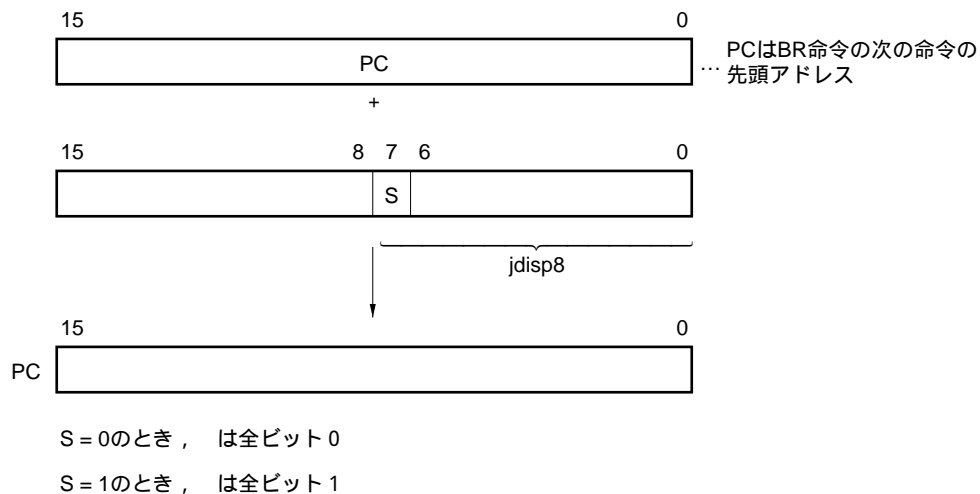
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



### 3.3.2 イミディエト・アドレッシング

**【機能】**

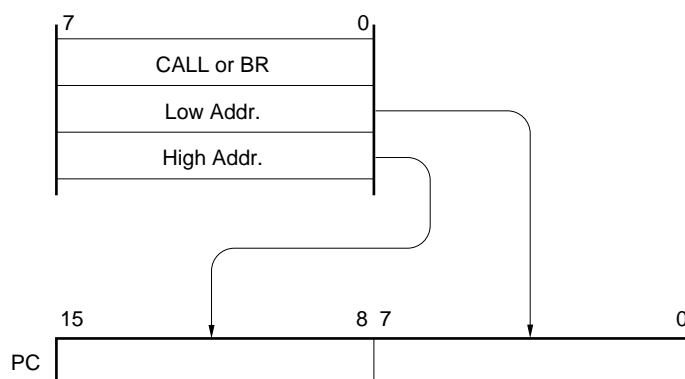
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

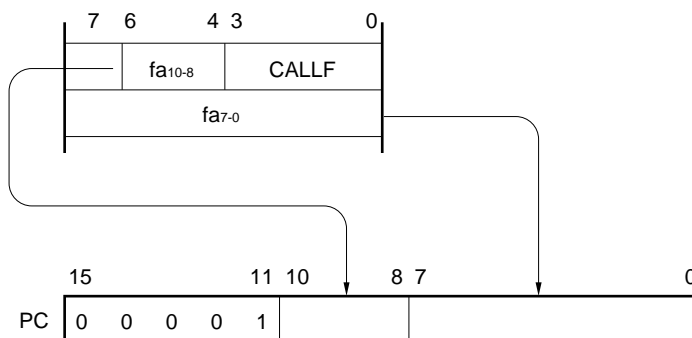
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

**【図解】**

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



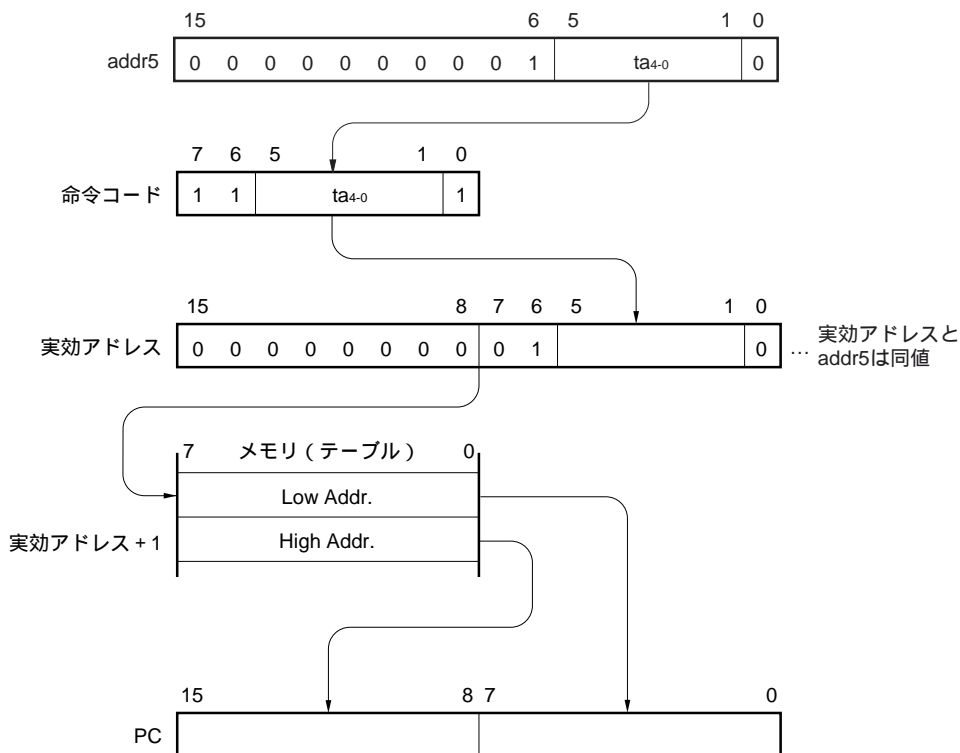
### 3.3.3 テーブル・インダイレクト・アドレッシング

**【機能】**

命令コードのビット1からビット5のイミディエイト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令ではaddr5で示す0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

**【図解】**



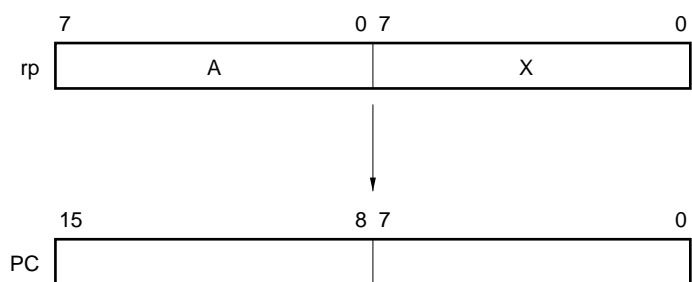
### 3.3.4 レジスタ・アドレッシング

**【機能】**

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

**【図解】**



## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 インプライド・アドレッシング

#### 【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD78F0714の命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

#### 【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

#### 【記 述 例】

##### MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

### 3.4.2 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

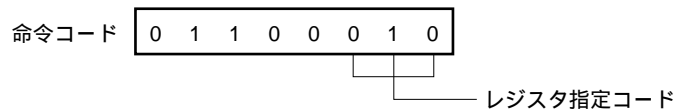
#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

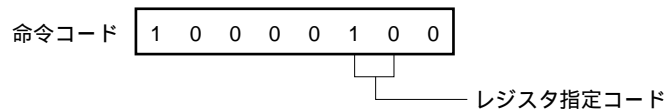
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合





### 3.4.3 ダイレクト・アドレッシング

**【機能】**

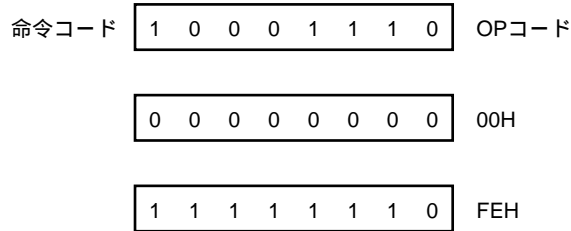
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

**【オペランド形式】**

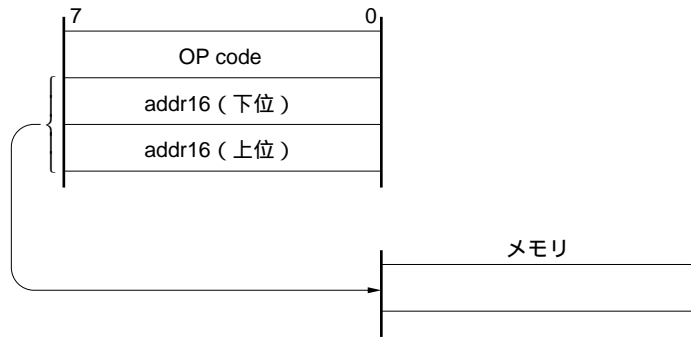
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

**【記述例】**

MOV A, !0FE00H ; !addr16をFE00Hとする場合



**【図解】**



### 3.4.4 ショート・ダイレクト・アドレッシング

**【機能】**

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

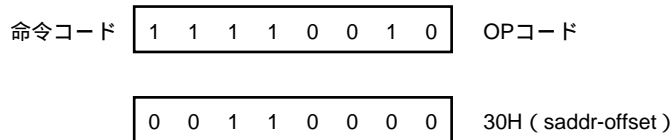
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。**【図解】**を参照してください。

**【オペランド形式】**

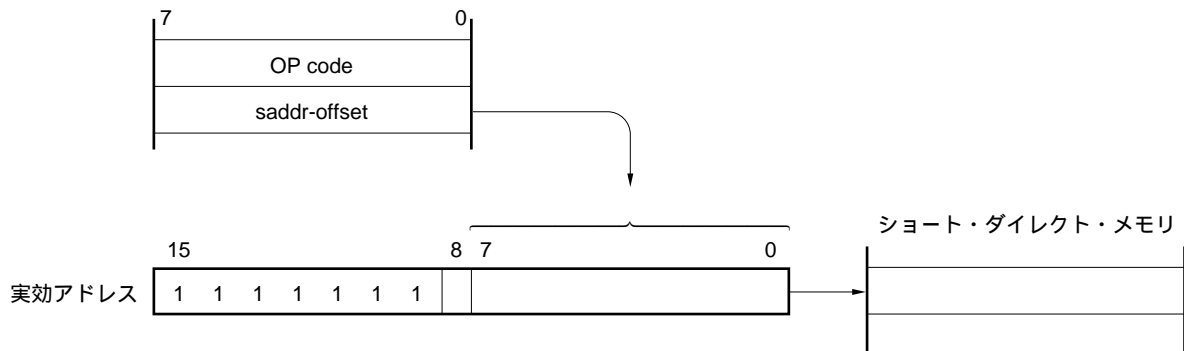
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1EHを示すイミディエト・データ（偶数アドレスのみ）

**【記述例】**

MOV 0FE30H, A ; saddr (FE30H) にAレジスタの値を転送する場合



**【図解】**



8ビット・イミディエト・データが20H-FFHのとき、 = 0

8ビット・イミディエト・データが00H-1FHのとき、 = 1

### 3.4.5 特殊機能レジスタ(SFR)アドレッシング

**【機能】**

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

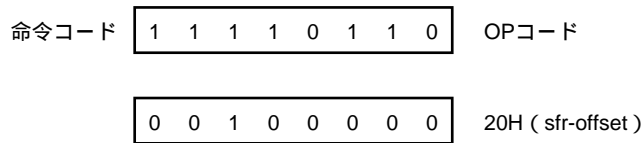
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

**【オペランド形式】**

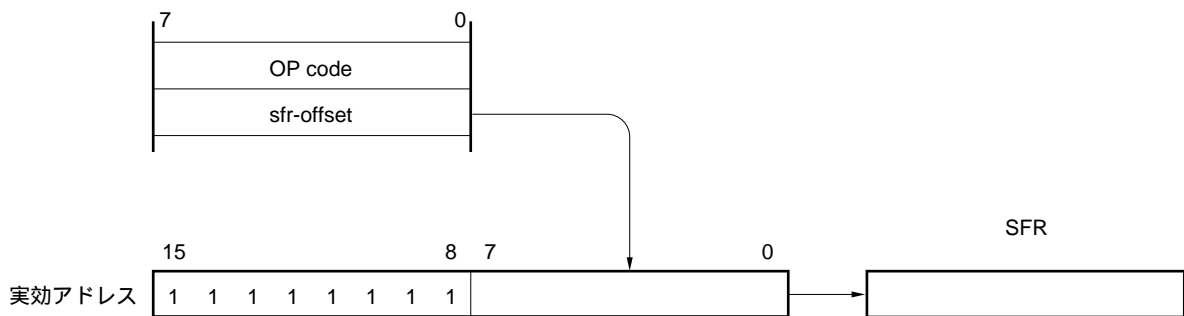
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

**【記述例】**

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



**【図解】**



### 3.4.6 レジスタ・インダイレクト・アドレッシング

#### 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ DE ], [ HL ]

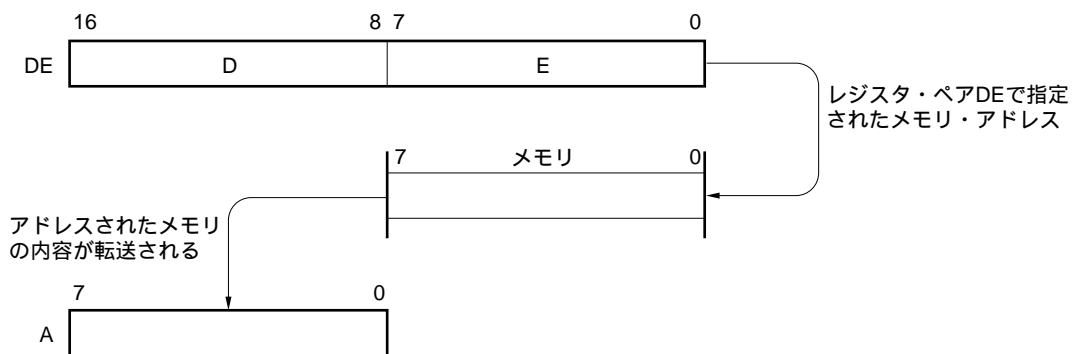
#### 【記述例】

MOV A, [ DE ] ; レジスタ・ペアに [ DE ] を選択する場合

命令コード 

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.7 ベース・アドレッシング

**【機能】**

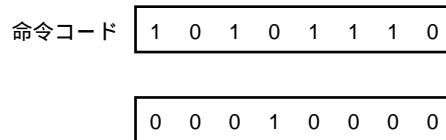
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

**【オペランド形式】**

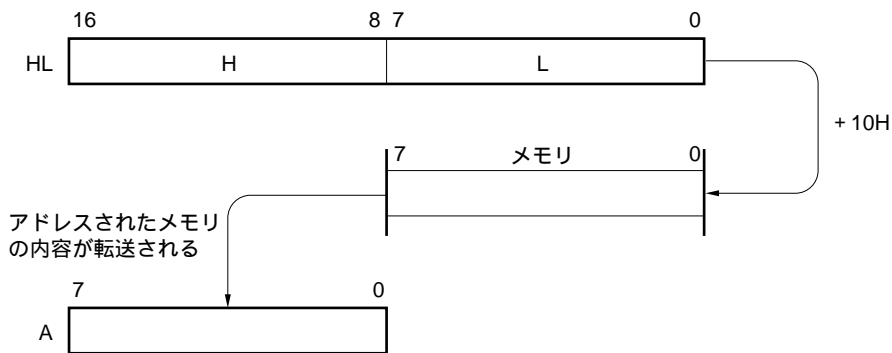
表現形式	記述方法
-	[ HL + byte ]

**【記述例】**

MOV A, [ HL + 10H ] ; byteを10Hとする場合



**【図解】**



### 3.4.8 ベース・インデクスト・アドレッシング

**【機能】**

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

**【オペランド形式】**

表現形式	記述方法
-	[HL+B], [HL+C]

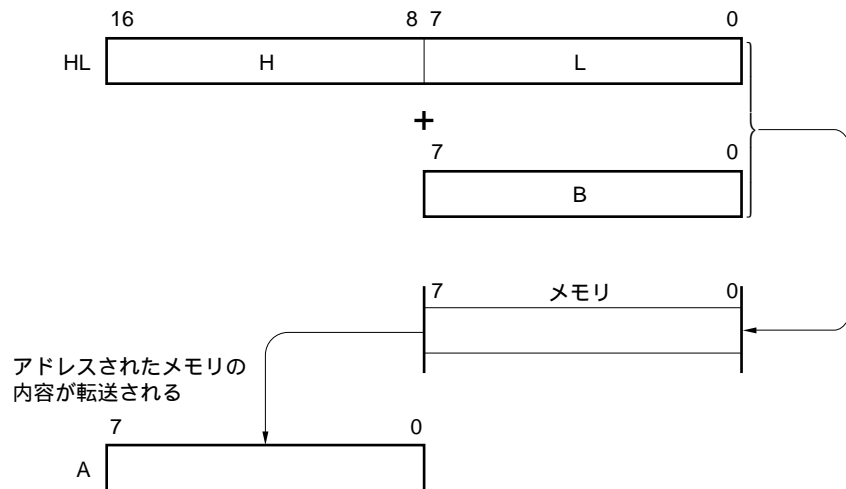
**【記述例】**

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード 

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

**【図解】**



### 3.4.9 スタック・アドレッシング

**【機能】**

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。  
 PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。  
 スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

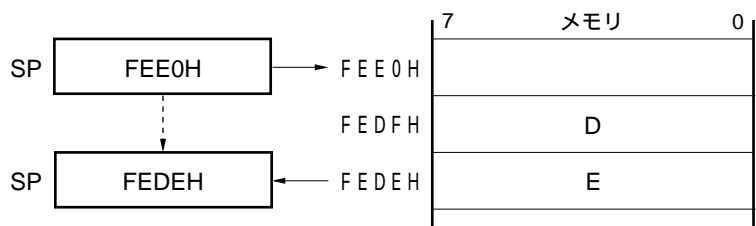
**【記述例】**

PUSH DE (DEレジスタをセーブ) の場合

命令コード 

1 0 1 1 0 1 0 1
-----------------

**【図解】**



# 第4章 ポート機能

## 4.1 ポートの機能

ポート端子の入出力バッファ電源には、AVREF、EVDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表4-1 各ポート端子の入出力バッファ電源

電源	対応する端子
AVREF	P20-P27 <sup>注</sup>
EVDD	P20-P27以外のポート端子

注 ポート2をデジタル・ポートとして使用する場合は、AVREFをEVDDに接続してください。

μPD78F0714は、図4-1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4-2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4-1 ポートの種類

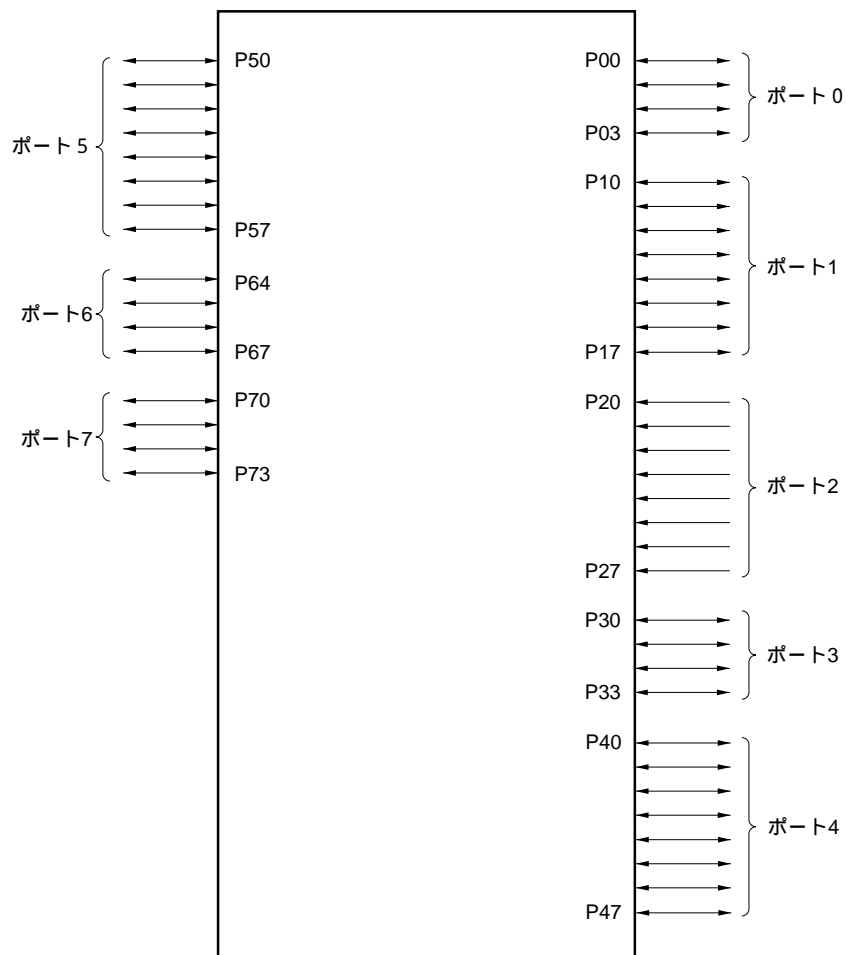




表4-2 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TW0TOFFP
P01				INTP1
P02				INTP2
P03				INTP3/ADTRG
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P11				-
P12				-
P13				RxD00
P14				TxD00
P15				SCK10
P16				SI10
P17				SO10/FLMD1
P20-P27	入力	ポート2。 8ビット入力専用ポート。	入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	BUZ
P31				PCL
P32				-
P33				-
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RTP00-RTP07
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI50/TO50
P51				TI51/TO51
P52				TOH0/INTP4
P53				TI000/INTP5
P54				TI001/TO00
P55				TIT20IUD/INTP6
P56				TIT20CUD/ TIT20CC0/INTP7
P57				TIT20CLR/ TIT20CC1/ TIT20TO
P64-P67	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P70-P73	入出力	ポート7。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0, PM1, PM3-PM7) ポート・レジスタ (P0-P7) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7)
ポート	合計：48本 (CMOS入出力：40本, CMOS入力：8本)
プルアップ抵抗	合計：40本 (ソフトウェア制御：40本)

### 4.2.1 ポート0

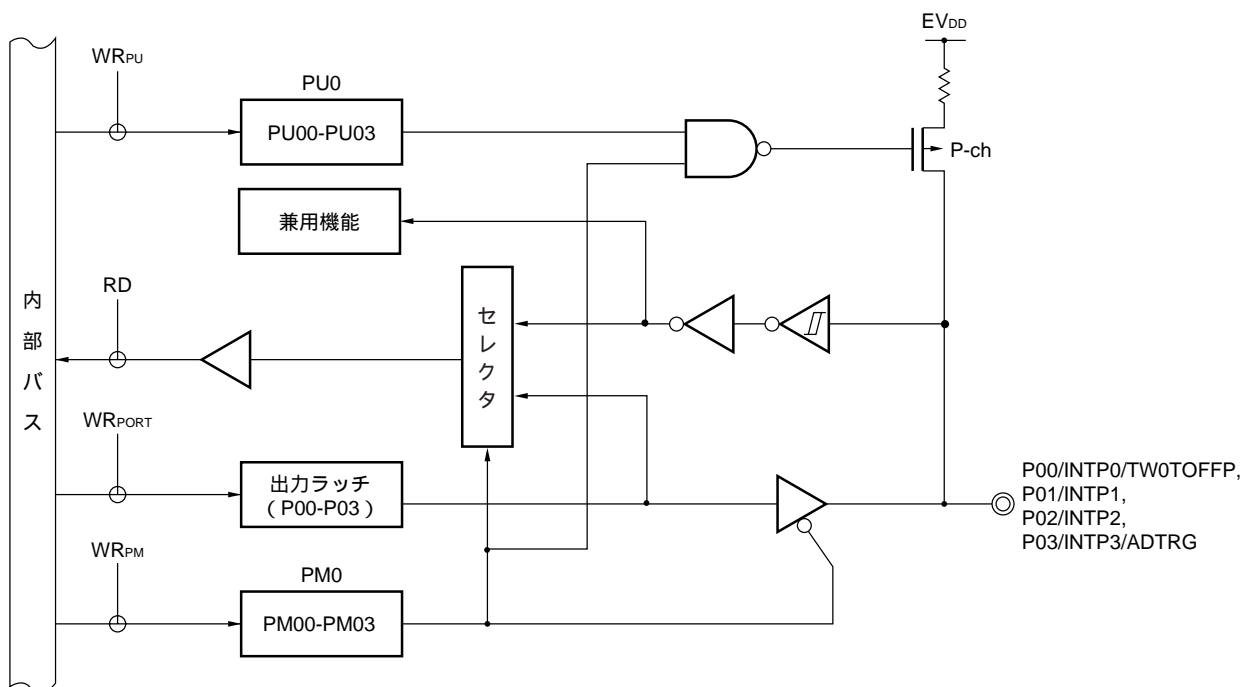
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P03のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM0 : ポート・モード・レジスタ0

RD : リード信号

WR<sub>xx</sub> : ライト信号

### 4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

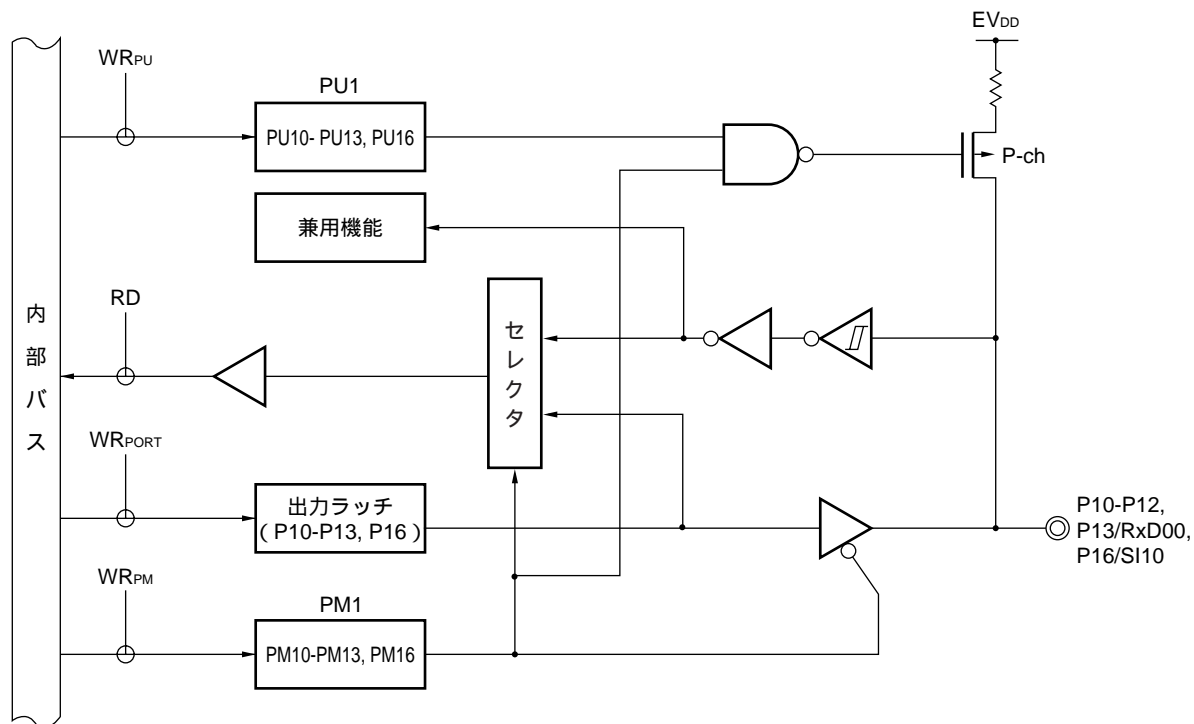
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラミング・モード引き込みがあります。

RESET入力により、入力モードになります。

図4 - 3 ~ 4 - 6 にポート1のブロック図を示します。

**注意** P15/SCK10, P16/SI10, P17/SO10を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) への書き込みを行わないでください。

図4 - 3 P10-P13, P16のブロック図



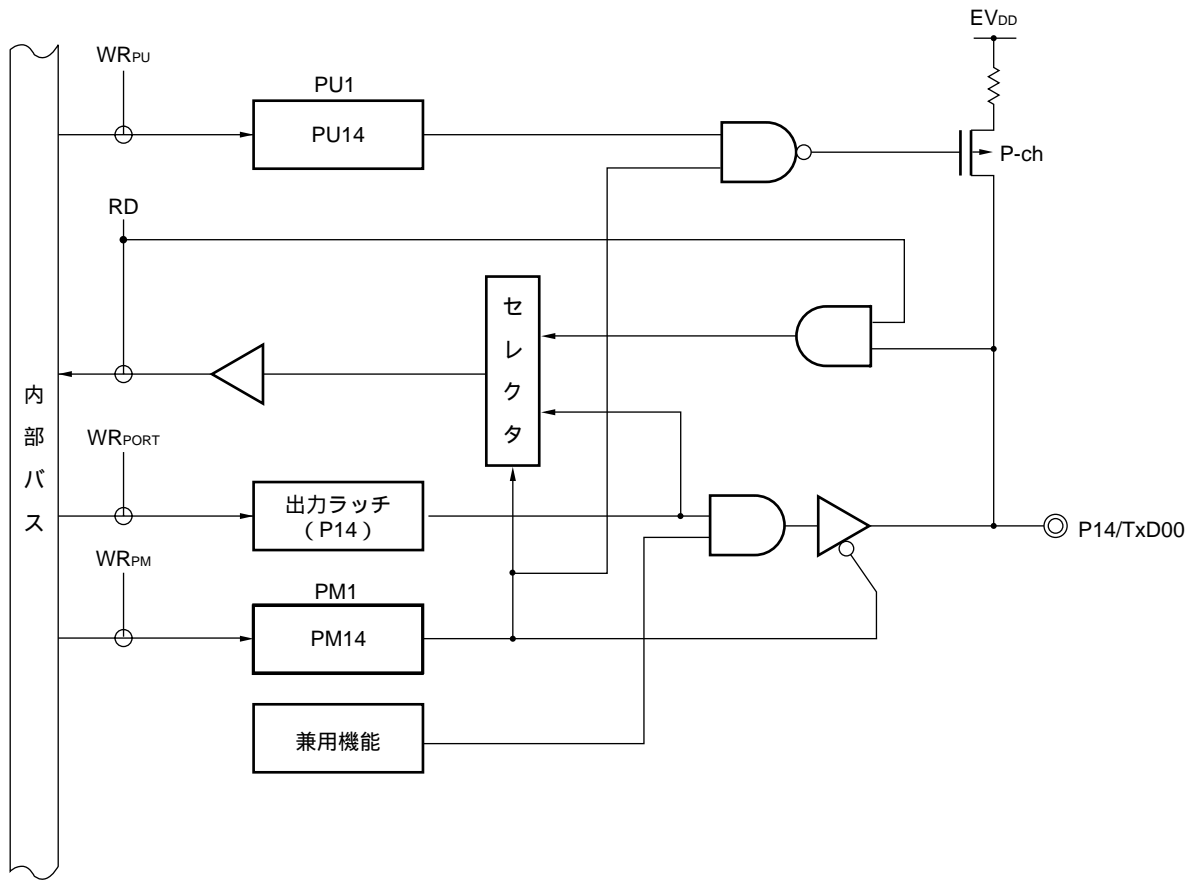
PU1 : プルアップ抵抗オプション・レジスタ1

PM1 : ポート・モード・レジスタ1

RD : リード信号

WR<sub>xx</sub> : ライト信号

図4 - 4 P14のブロック図



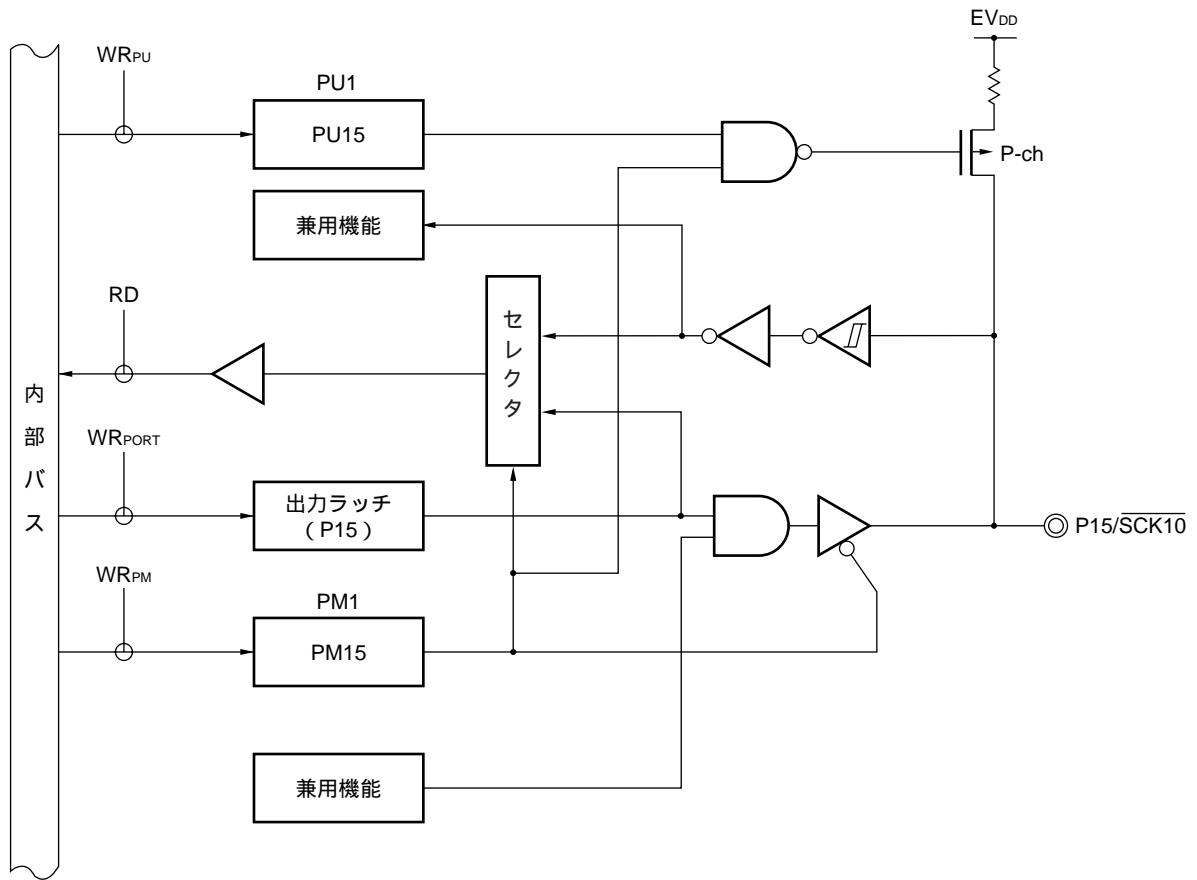
PU1 : プルアップ抵抗オプション・レジスタ1

PM1 : ポート・モード・レジスタ1

RD : リード信号

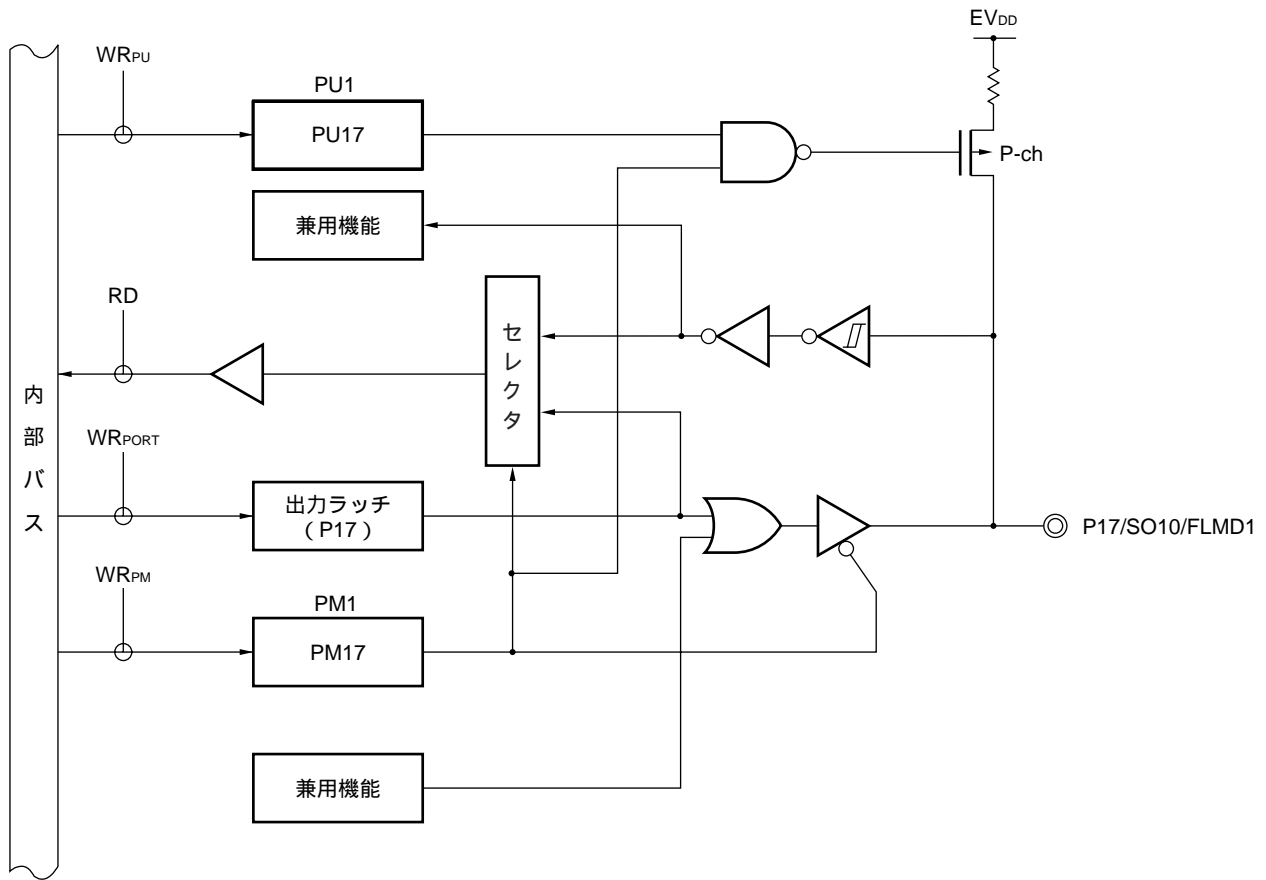
WR<sub>xx</sub> : ライト信号

図4 - 5 P15のブロック図



- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR<sub>xx</sub> : ライト信号

図4 - 6 P17のブロック図



PU1 : プルアップ抵抗オプション・レジスタ1

PM1 : ポート・モード・レジスタ1

RD : リード信号

WR<sub>xx</sub> : ライト信号

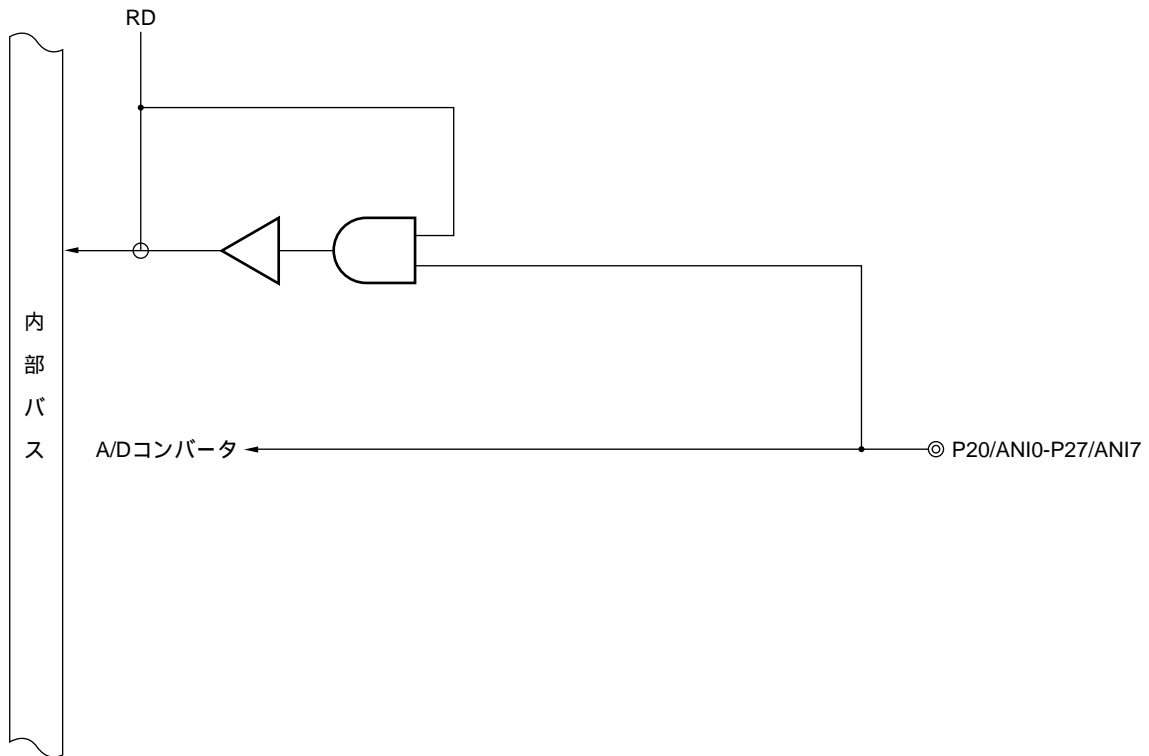
### 4.2.3 ポート2

8ビットの入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 7にポート2のブロック図を示します。

図4 - 7 P20-P27のブロック図



RD : リード信号

**注意** ポートとして使用する場合は、 $EV_{DD} = AV_{REF}$ で使用してください。

### 4.2.4 ポート3

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてブザー出力、クロック出力があります。

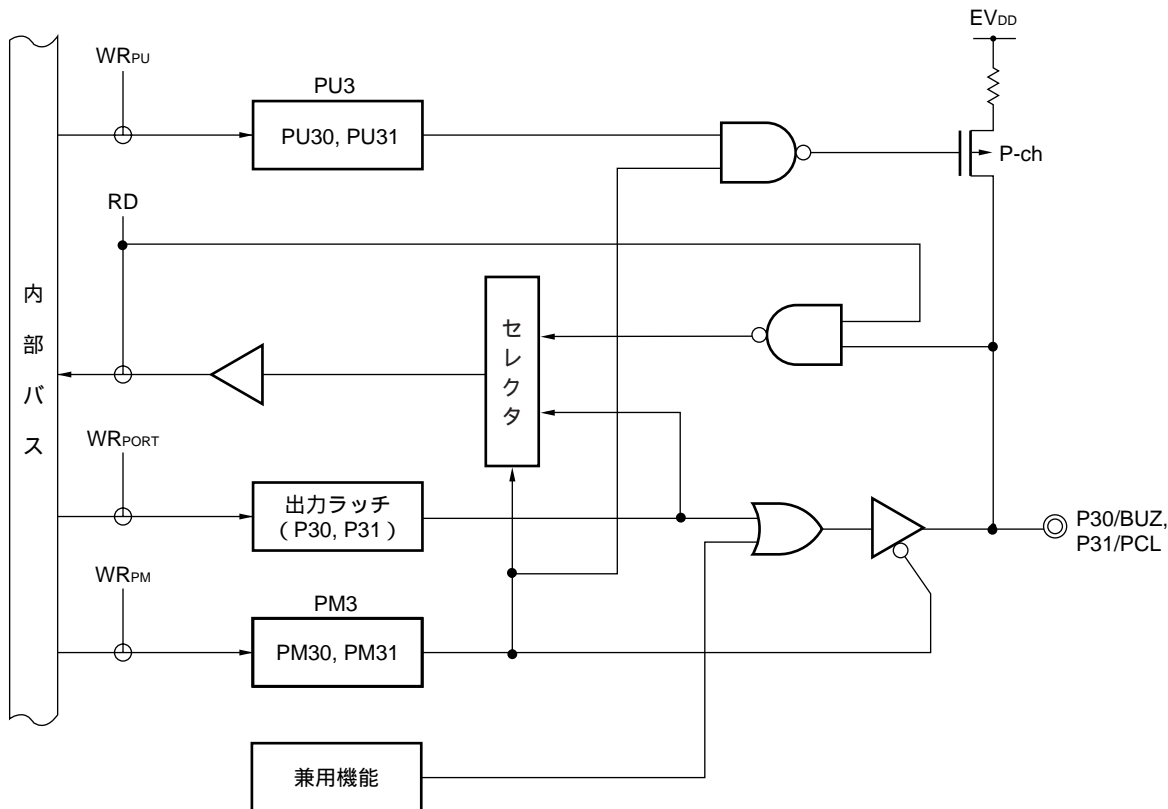
$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 8 , 4 - 9 にポート3のブロック図を示します。

**注意** 誤動作を防ぐため、リセット後にP31を必ずプルダウンしてください。

**備考**  $\mu$  PD78F0714のP31, P32は、オンチップ・ディバグ機能を使用するとき、オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は、第26章 オンチップ・ディバグ機能を参照してください。

図4 - 8 P30, P31のブロック図



PU3 : プルアップ抵抗オプション・レジスタ3

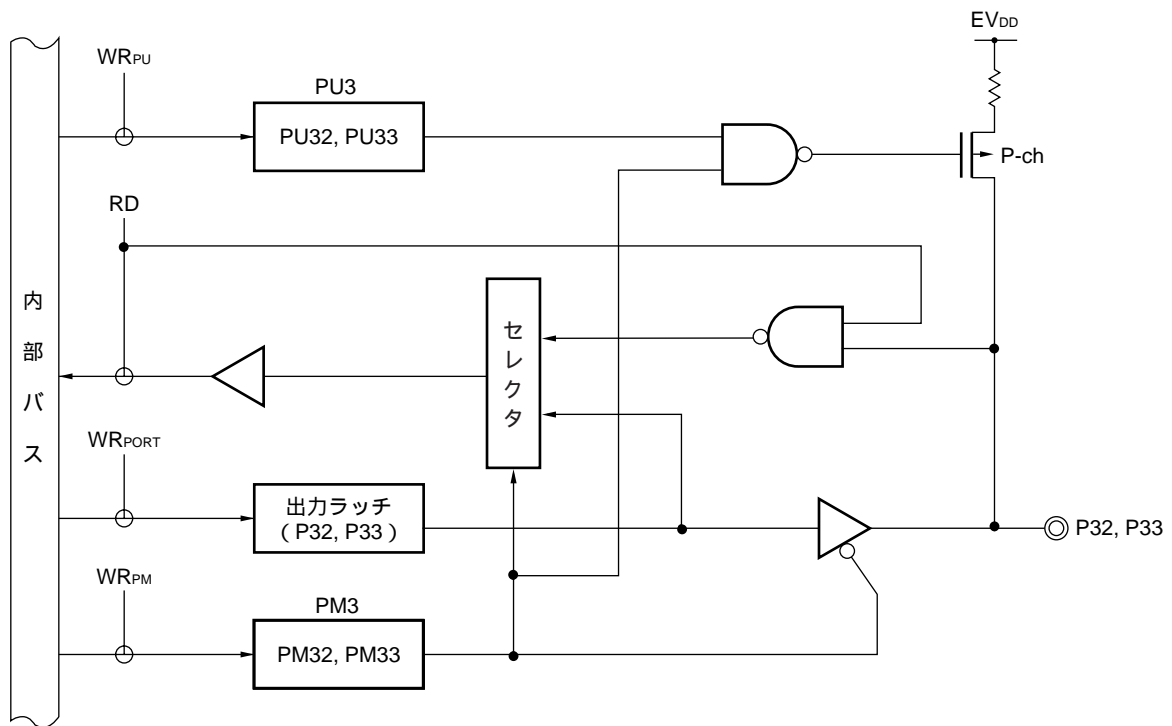
PM3 : ポート・モード・レジスタ3

RD : リード信号

WR<sub>xx</sub> : ライト信号



図4 - 9 P32, P33のブロック図



PU3 : ブルアップ抵抗オプション・レジスタ 3

PM3 : ポート・モード・レジスタ 3

RD : リード信号

WR<sub>xx</sub> : ライト信号

## 4.2.5 ポート4

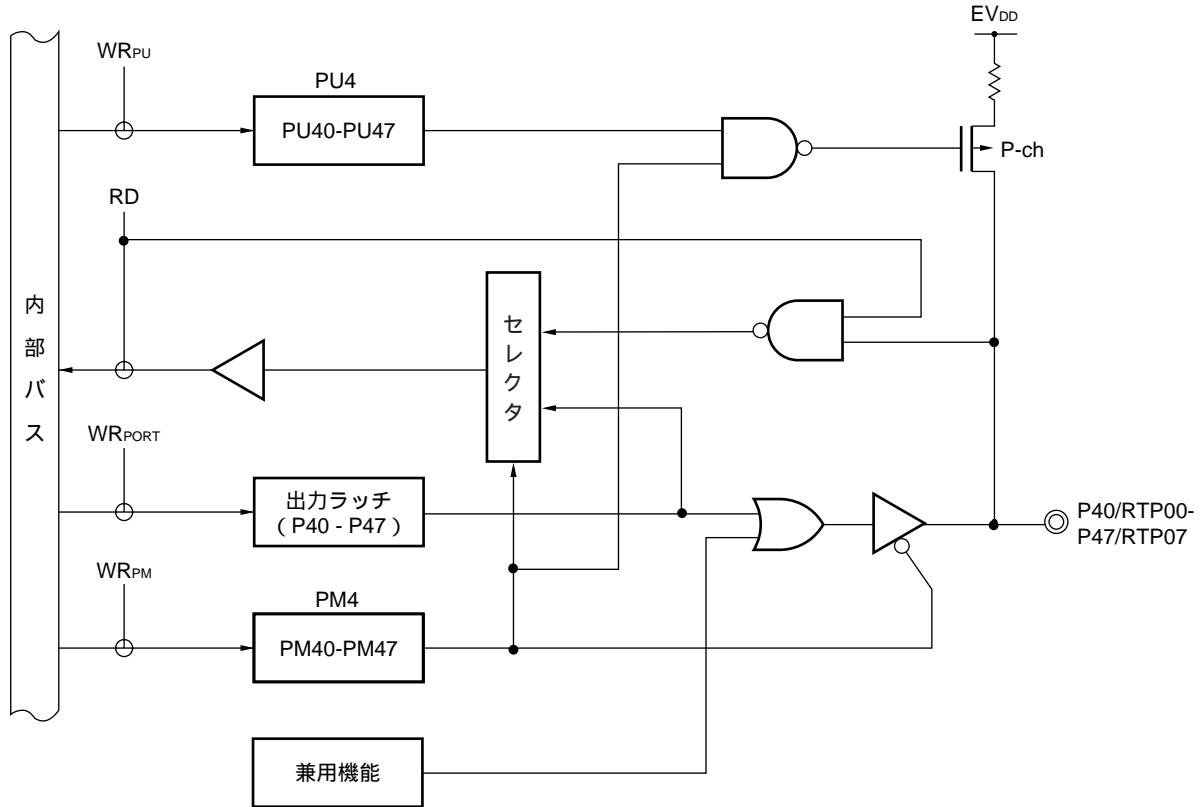
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてリアルタイム出力ポート機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 10にポート4のブロック図を示します。

図4 - 10 P40-P47のブロック図



PU4 : プルアップ抵抗オプション・レジスタ4

PM4 : ポート・モード・レジスタ4

RD : リード信号

WR<sub>xx</sub> : ライト信号

### 4.2.6 ポート5

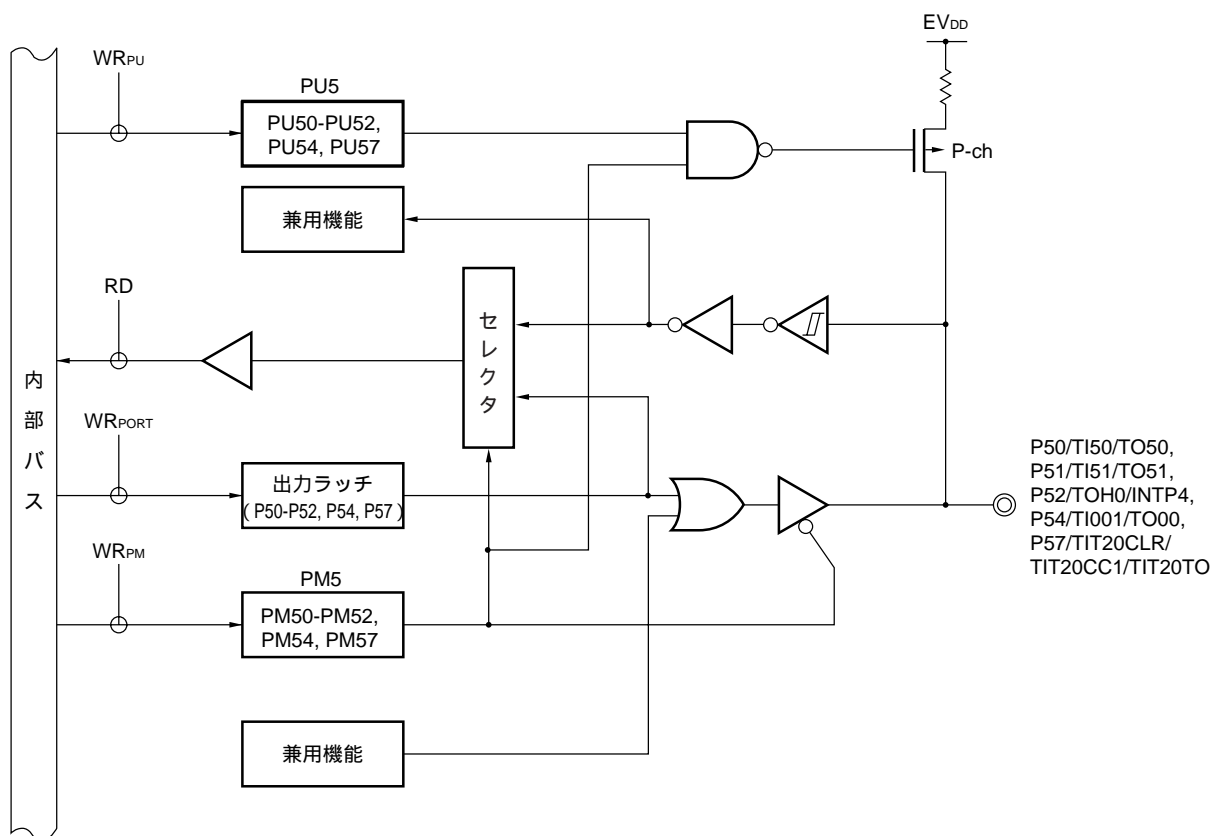
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマ入出力機能があります。

RESET入力により、入力モードになります。

図4 - 11, 4 - 12にポート5のブロック図を示します。

図4 - 11 P50-P52, P54, P57のブロック図



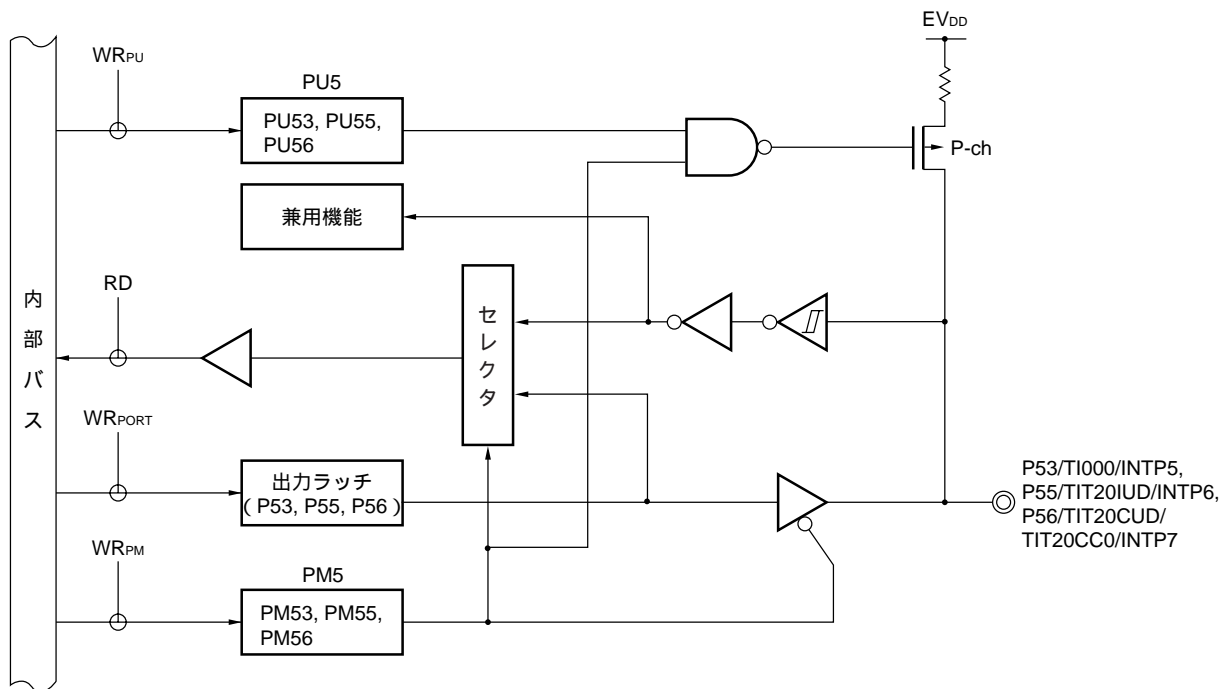
PU5 : プルアップ抵抗オプション・レジスタ5

PM5 : ポート・モード・レジスタ5

RD : リード信号

WR<sub>xx</sub> : ライト信号

図4 - 12 P53, P55, P56のブロック図



PU5 : ブルアップ抵抗オプション・レジスタ5

PM5 : ポート・モード・レジスタ5

RD : リード信号

WR<sub>xx</sub> : ライト信号

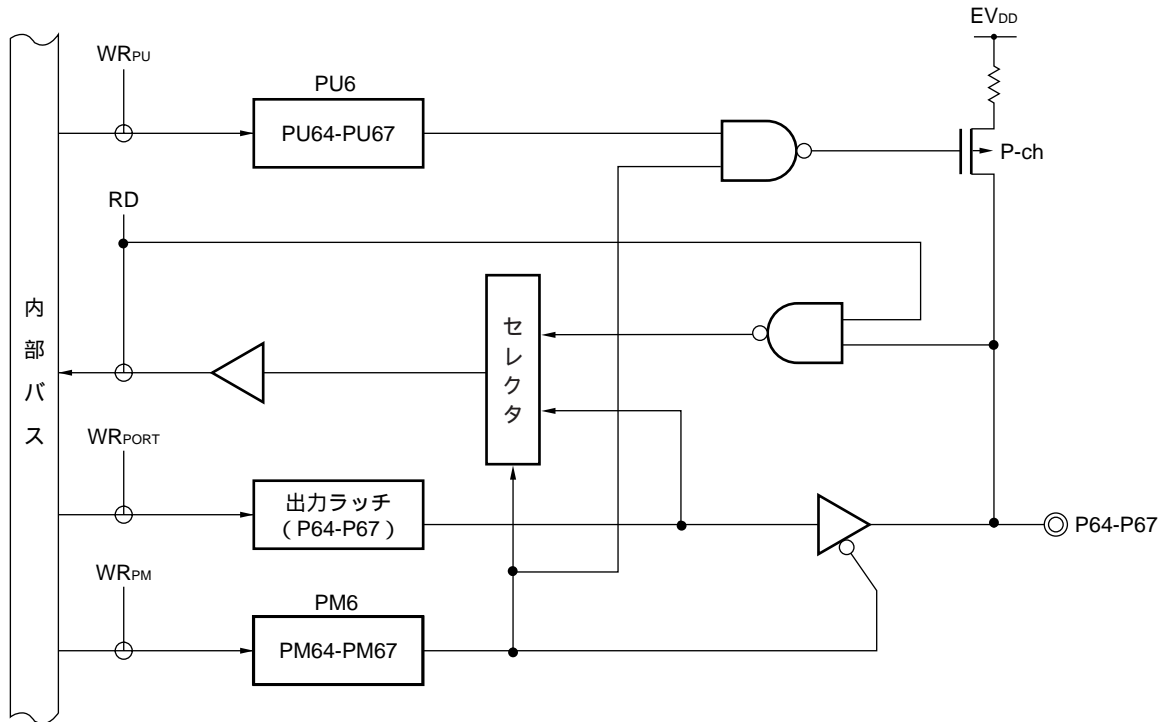
### 4.2.7 ポート6

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ6 (PU6) により内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 13にポート6のブロック図を示します。

図4 - 13 P64-P67のブロック図



PU6 : プルアップ抵抗オプション・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

$\overline{\text{WR}}_{\text{xx}}$  : ライト信号

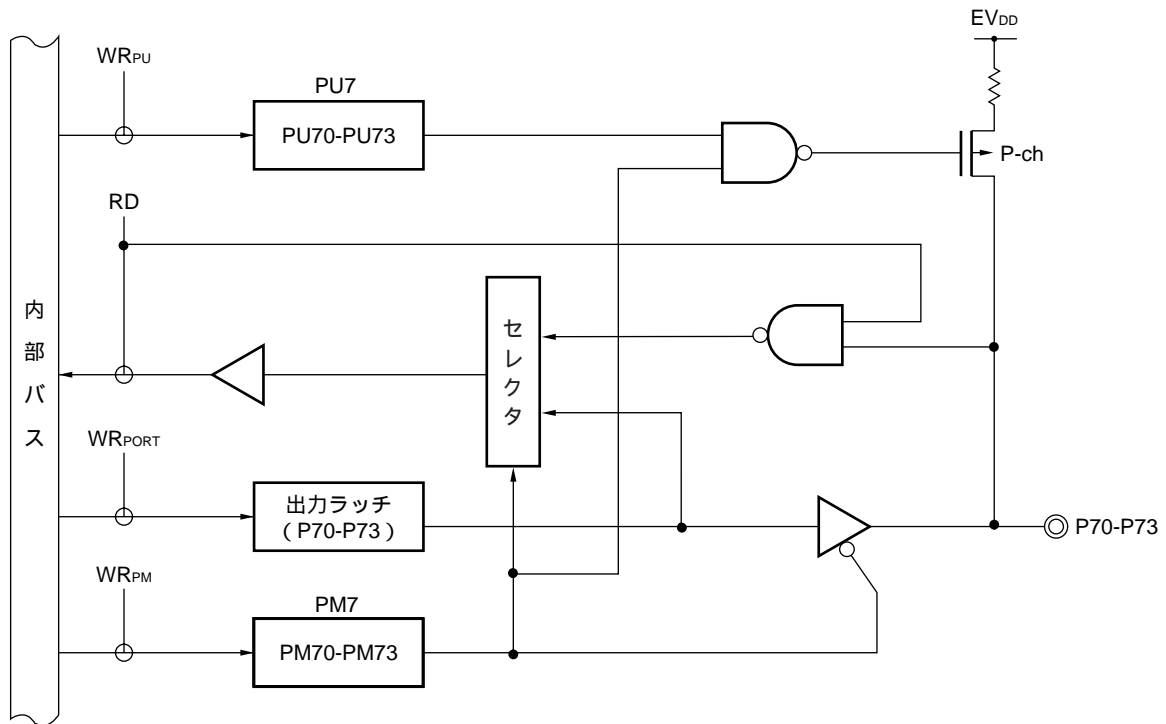
### 4.2.8 ポート7

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード/出力モードの指定ができます。P70-P73端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 14にポート7のブロック図を示します。

図4 - 14 P70-P73のブロック図



PU7 : プルアップ抵抗オプション・レジスタ7

PM7 : ポート・モード・レジスタ7

RD : リード信号

$\text{WR}_{\text{xx}}$  : ライト信号

## 4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1, PM3-PM7)
- ・ポート・レジスタ (P0-P7)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7)

### (1) ポート・モード・レジスタ (PM0, PM1, PM3-PM7)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4 - 4のように設定してください。

図4 - 15 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	1	1	1	1	FF26H	FFH	R/W
PM7	1	1	1	1	PM73	PM72	PM71	PM70	FF27H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3-7 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)



表4-4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	INTP0	入力	1	×
	TW0TOFFP	入力	1	×
P01	INTP1	入力	1	×
P02	INTP2	入力	1	×
P03	INTP3	入力	1	×
	ADTRG	入力	1	×
P13	RxD00	入力	1	×
P14	TxD00	出力	0	1
P15	$\overline{\text{SCK10}}$	入力	1	×
		出力	0	1
P16	SI10	入力	1	×
P17	SO10	出力	0	0
	FLMD1	入力	1	×
P20-P27	ANI0-ANI7	入力	1	×
P30	BUZ	出力	0	0
P31	PCL	出力	0	0
P40-P47	RTP00-RTP07	出力	0	0
P50	TI50	入力	1	×
	TO50	出力	0	0
P51	TI51	入力	1	×
	TO51	出力	0	0
P52	INTP4	入力	1	×
	TOH0	出力	0	0
P53	INTP5	入力	1	×
	TI000	入力	1	×
P54	TI001	入力	1	×
	TO00	出力	0	0
P55	INTP6	入力	1	×
	TIT20IUD	入力	1	×
P56	INTP7	入力	1	×
	TIT20CUD	入力	1	×
	TIT20CC0	入力	1	×
P57	TIT20CC1	入力	1	×
	TIT20CLR	入力	1	×
	TIT20TO	出力	0	0

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(2) ポート・レジスタ (P0-P7)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されま  
す。

P0-P7は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00H (P2のみ不定) になります。

図4 - 16 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	不定	R
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	0	0	0	0	FF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W

Pmn	m = 0-7 : n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

(3) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7)

P00-P03, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P73の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0, PU1, PU3-PU7で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PU0, PU1, PU3-PU7の設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU3-PU7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
RESET入力により、00Hになります。

図4 - 17 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	FF37H	00H	R/W

PU <sub>m</sub> n	P <sub>m</sub> nの内蔵プルアップ抵抗の選択 ( m = 0, 1, 3-7 ; n = 0-7 )
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

## 4.5 ポート・レジスタ<sub>n</sub> (P<sub>n</sub>) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明：PM<sub>nm</sub>ビット = 1であるポートのP<sub>n</sub>レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はμPD78F0714内部で、次の順序で行われます。

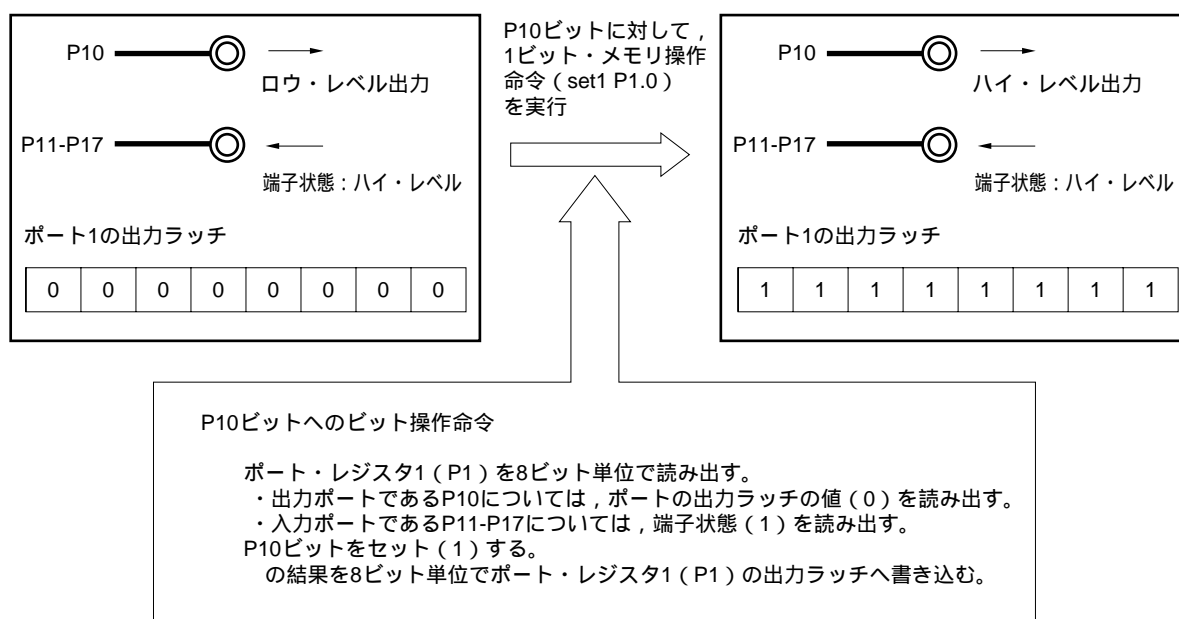
- <1> P<sub>n</sub>レジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P<sub>n</sub>レジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 18 1ビット・メモリ操作命令 (P10の場合)



## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロック発振回路には、次の2種類があります。

- ・ X1発振回路

$f_{XP} = 5.0 \sim 20.0$  MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC)、プロセッサ・クロック・コントロール・レジスタ (PCC) の設定により、発振を停止することができます。

- ・ 内蔵発振回路

$f_R = 240$  kHz (TYP.) のクロックを発振します。オプション・バイトで「ソフトウェアにより停止可能」に設定し、CPUクロックがX1入力クロックの場合、内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

備考1 .  $f_{XP}$  : X1入力クロック発振周波数

2 .  $f_R$  : 内蔵発振クロック周波数

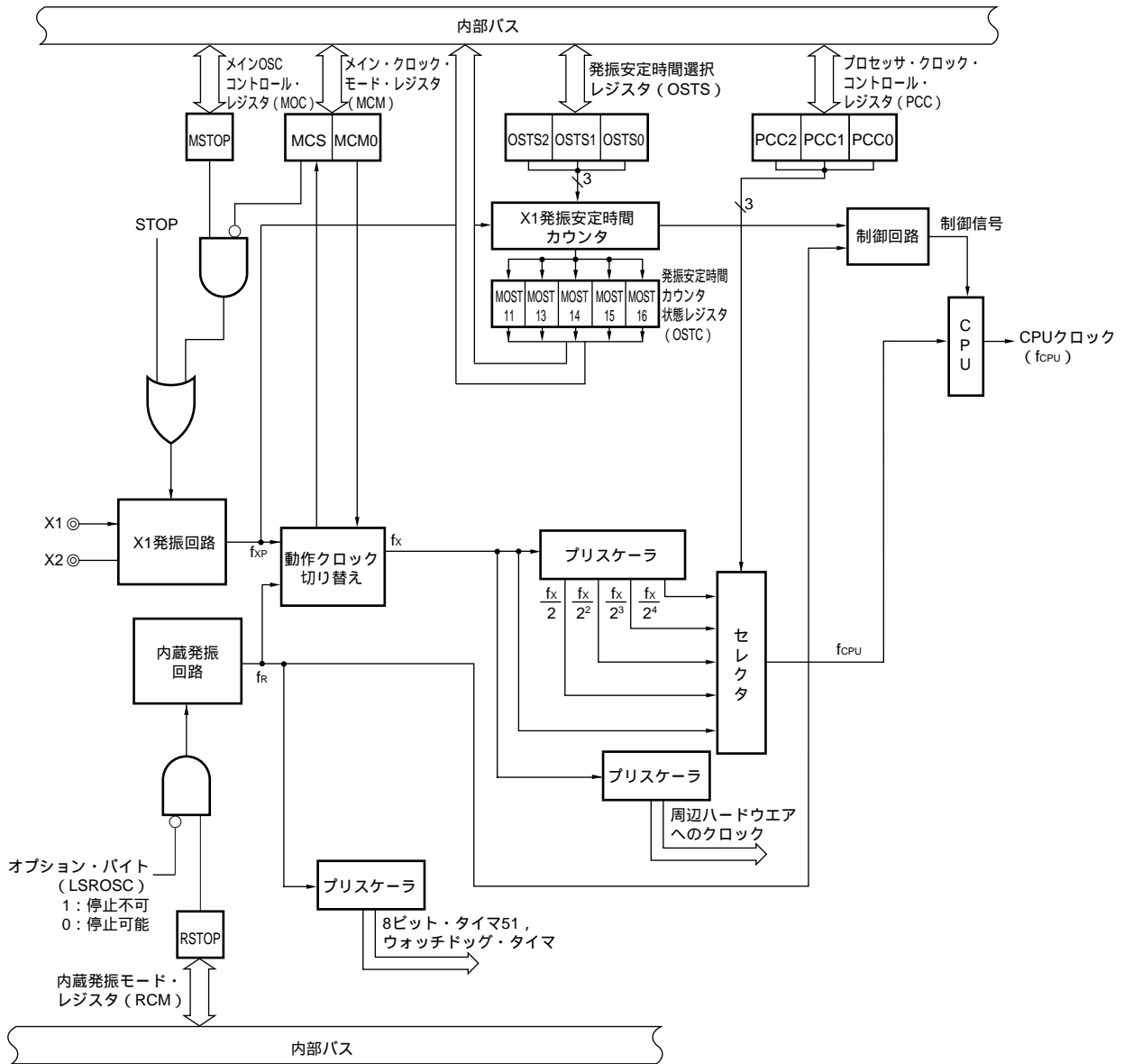
### 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メイン・クロック・モード・レジスタ (MCM) メインOSCコントロール・レジスタ (MOC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・ウェイト制御レジスタ (VSWC)
発振回路	X1発振回路 内蔵発振回路

図5-1 クロック発生回路のブロック図



## 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・ウェイト制御レジスタ (VSWC)

### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット

アドレス：FFFBH    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択		
			MCM0 = 0		MCM0 = 1
0	0	0	f <sub>x</sub>	f <sub>R</sub>	f <sub>XP</sub>
0	0	1	f <sub>x</sub> /2	f <sub>R</sub> /2	f <sub>XP</sub> /2
0	1	0	f <sub>x</sub> /2 <sup>2</sup>	- 注	f <sub>XP</sub> /2 <sup>2</sup>
0	1	1	f <sub>x</sub> /2 <sup>3</sup>	- 注	f <sub>XP</sub> /2 <sup>3</sup>
1	0	0	f <sub>x</sub> /2 <sup>4</sup>	- 注	f <sub>XP</sub> /2 <sup>4</sup>
上記以外			設定禁止		

注 設定禁止です。

注意 ビット3-7には、必ず0を設定してください。

備考1 . MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0

2 . f<sub>x</sub> : メイン・システム・クロック発振周波数 (X1入力クロック発振周波数または内蔵発振クロック周波数)

3 . f<sub>R</sub> : 内蔵発振クロック周波数

4 . f<sub>XP</sub> : X1入力クロック発振周波数



μPD78F0714の一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f<sub>CPU</sub>) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f <sub>CPU</sub> )	最小命令実行時間 : 2/f <sub>CPU</sub>		
	X1入力クロック <sup>注1</sup>		内蔵発振クロック <sup>注1</sup>
	20 MHz動作時	16 MHz動作時	240 kHz (TYP.) 動作時
f <sub>x</sub>	0.1 μs	0.125 μs	8.3 μs (TYP.)
f <sub>x</sub> /2	0.2 μs	0.25 μs	16.6 μs (TYP.)
f <sub>x</sub> /2 <sup>2</sup>	0.4 μs	0.5 μs	- 注2
f <sub>x</sub> /2 <sup>3</sup>	0.8 μs	1.0 μs	- 注2
f <sub>x</sub> /2 <sup>4</sup>	1.6 μs	2.0 μs	- 注2

注1 . CPUクロックの設定 (X1入力クロック / 内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 4参照)。

2 . 設定禁止です。

(2) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

このレジスタは、オプション・バイトで内蔵発振器を「ソフトウェアにより停止可能」に選択し、CPUクロックにX1入力クロックを選択しているときに有効となります。オプション・バイトで内蔵発振器を「停止不可」に選択している場合、このレジスタへの設定は無効となります。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5 - 3 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス : FFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器の発振
1	内蔵発振器の停止

注意 RSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。

(3) メイン・クロック・モード・レジスタ (MCM)

CPUクロック (X1入力クロック/内蔵発振クロック) を設定するレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5 - 4 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W<sup>注</sup>

略号	7	6	5	4	3	2	<span style="border: 1px solid black; padding: 0 2px;">1</span>	<span style="border: 1px solid black; padding: 0 2px;">0</span>
MCM	0	0	0	0	0	0	MCS	MCM0

MCS	CPUクロックのステータス
0	内蔵発振クロックで動作
1	X1入力クロックで動作

MCM0	CPUへのソース・クロック選択
0	内蔵発振クロック
1	X1入力クロック

注 ビット1はRead Onlyです。

**注意** CPUへのソース・クロックに内蔵発振クロックを選択する場合、周辺ハードウェアに供給されるクロックは、内蔵発振回路出力 ( $f_x$ ) の分周クロックが供給されます ( $f_x = 240 \text{ kHz (TYP.)}$  となります)。内蔵発振クロックによる周辺ハードウェアの動作保証はできませんので、CPUへのソース・クロックに内蔵発振クロックを選択する場合は、周辺ハードウェアを使用しないでください。また、CPUへのソース・クロックをX1入力クロックから内蔵発振クロックに切り替える場合は、周辺ハードウェアを停止したあとに行ってください。ただし次の周辺ハードウェアはCPUが内蔵発振クロックで動作している場合でも使用可能です。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマ51のカウント・クロックに「 $f_R/2^7$ 」を選択時
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア  
(ただし、16ビット・アップ/ダウン・カウンタITENC20、16ビット・タイマ/イベント・カウンタ00の外部カウント・クロック選択時は除く)

(4) メインOSCコントロール・レジスタ (MOC)

X1入力クロック動作モードを選択するレジスタです。

このレジスタは、内蔵発振クロックによるCPU動作時に、X1発振回路を停止する場合に使用します。したがって、CPUクロックが内蔵発振クロック動作時のみ有効になります。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図5 - 5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 00H R/W

略号	<span style="border: 1px solid black; padding: 0 2px;">7</span>	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	X1発振回路の動作の制御
0	X1発振回路動作
1	X1発振回路停止

**注意** MSTOPを設定するとき、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が0であることを必ず確認してください。

(5) 発振安定時間カウンタ状態レジスタ (OSTC)

X1入力クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが内蔵発振クロックの場合に、X1入力クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 ( $\overline{\text{RESET}}$ 入力、POC、LVI、WDTによるリセット)、STOP命令、MSTOP = 1により、00Hになります。

図5 - 6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_{XP} = 20 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_{XP}$ 以上	102.4 $\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_{XP}$ 以上	409.6 $\mu\text{s}$ 以上
1	1	1	0	0	$2^{14}/f_{XP}$ 以上	819.2 $\mu\text{s}$ 以上
1	1	1	1	0	$2^{15}/f_{XP}$ 以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_{XP}$ 以上	3.27 ms以上

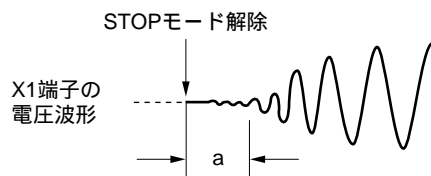
注意 1 . 上記時間経過後 , MOST11から順番に “ 1 ” となっていき , そのまま “ 1 ” を保持します。

2 . CPUクロックが内蔵発振クロック時に , STOPモードに入り , 解除するときは , 発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

X1発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって , STOPモード解除後のOSTCは , OSTCで設定している発振安定時間までのステータスしかセットされないので注意してください。

3 . STOPモード解除時のウエイト時間は , RESET入力による場合も , 割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 ( 下図 a ) は含みません。



備考  $f_{XP}$  : X1入力クロック発振周波数

(6) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1入力クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに内蔵発振クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により、05Hになります。

図5 - 7 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

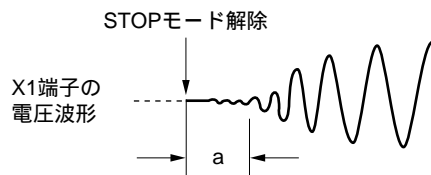
OSTS2	OSTS1	OSTS0	発振安定時間の選択	
				$f_{XP} = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_{XP}$	102.4 $\mu\text{s}$
0	1	0	$2^{13}/f_{XP}$	409.6 $\mu\text{s}$
0	1	1	$2^{14}/f_{XP}$	819.2 $\mu\text{s}$
1	0	0	$2^{15}/f_{XP}$	1.64 ms
1	0	1	$2^{16}/f_{XP}$	3.27 ms
上記以外			設定禁止	

注意1 . CPUクロックが内蔵発振クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

2 . STOPモード解除時のウエイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



備考  $f_{XP}$  : X1入力クロック発振周波数

(7) システム・ウェイト制御レジスタ (VSWC)

CPUの高速化に伴い、低速な周辺I/Oとの接続用にウェイト制御を行うレジスタです。  
 VSWCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により00Hになります。

図5 - 8 システム・ウェイト制御レジスタ (VSWC) のフォーマット

アドレス : FFFDH    リセット時 : 00H    R/W

	7	6	5	4	3	2	1	0
VSWC	0	0	0	0	0	0	PDW1	0

PDW1	システム・クロックのデータ・ウェイト制御
0	ウェイトなし
1	2ウェイト・ステート挿入

- 注意 1 . 最小命令実行時間が $0.125 \mu\text{s}$ 以下 ( $f_{\text{XP}} = 16 \text{ MHz}$ 以上) のとき、必ず2ウェイト・ステートを挿入してください。**
- 2 . ビット0, 2-7には必ず0を設定してください。**

## 5.4 システム・クロック発振回路

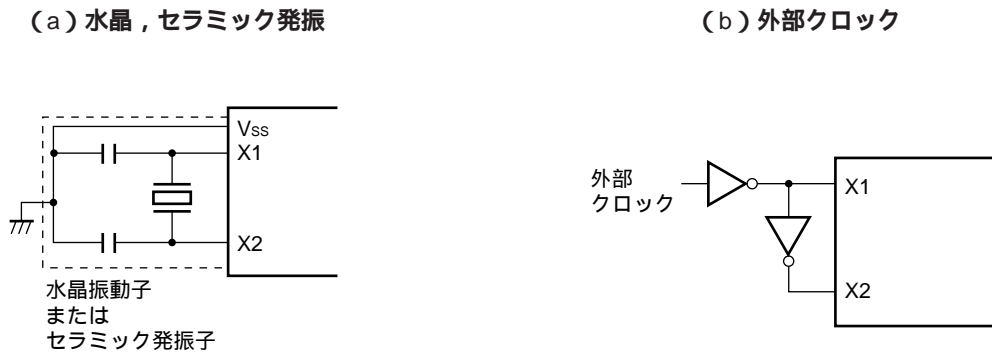
### 5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：20 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5 - 9にX1発振回路の外付け回路例を示します。

図5 - 9 X1発振回路の外付け回路例



**注意** X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 9の破線の部分を次のように配線してください。

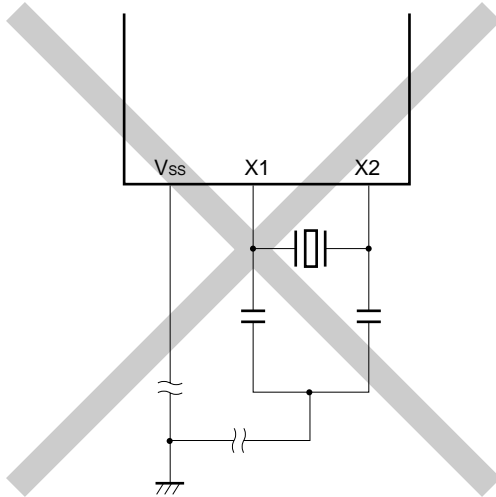
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

### 5.4.2 発振子の接続の悪い例

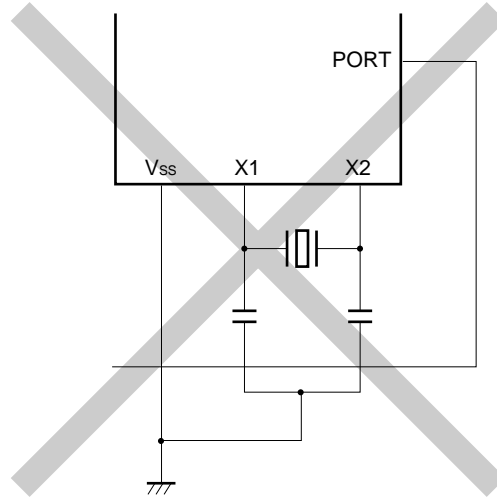
図5-10に発振子の接続の悪い例を示します。

図5-10 発振子の接続の悪い例 (1/2)

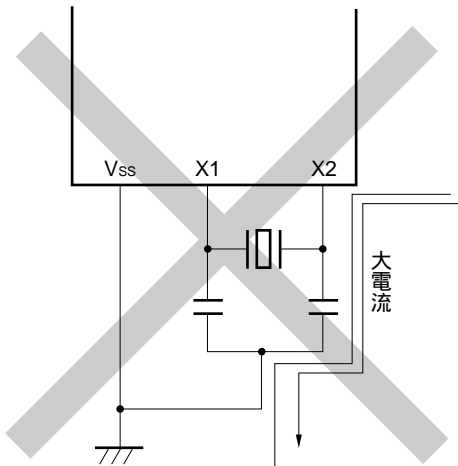
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)

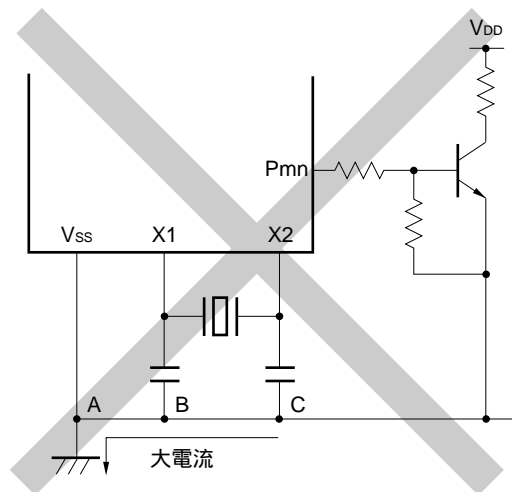
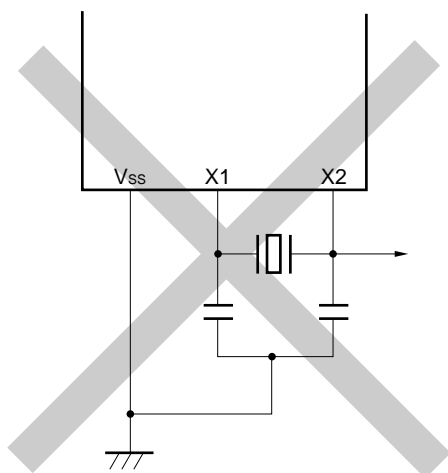




図5 - 10 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



### 5.4.3 内蔵発振回路

μPD78F0714は、内蔵発振回路を内蔵しています。

オプション・バイトにて「ソフトウェアにより停止可能」または「停止不可」を選択できます。 $\overline{\text{RESET}}$ 解除後は必ず内蔵発振クロックを発振します(240 kHz (TYP.))。

### 5.4.4 プリスケーラ

プリスケーラは、CPUへのソース・クロックにX1入力クロックを選択する場合、X1発振回路出力を分周して、各種クロックを生成します。

**注意** CPUへのソース・クロックに内蔵発振クロックを選択する場合、内蔵発振回路出力を分周して、各種クロックを生成します( $f_x = 240 \text{ kHz (TYP.)}$ )。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・X1入力クロック  $f_{XP}$
- ・内蔵発振クロック  $f_R$
- ・CPUクロック  $f_{CPU}$
- ・周辺ハードウェアへのクロック

$\mu$ PD78F0714では、リセット解除後、CPUは内蔵の内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

### (1) セキュリティ機能の強化

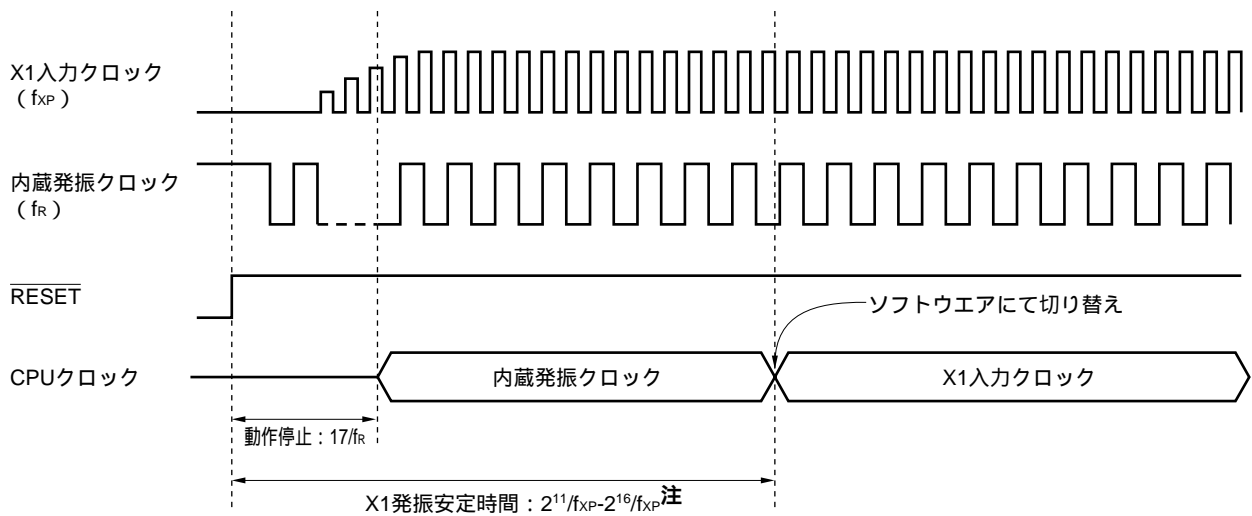
リセット解除後に破壊や接続不良などでX1入力クロックが動かないとき、デフォルトでCPUクロックがX1入力クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵の内蔵発振クロックの場合、リセット解除後に内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

### (2) パフォーマンスの向上

X1入力クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

内蔵発振器によるCPUデフォルト・スタートのタイミング図を、図5 - 11に示します。

図5-11 内蔵発振器によるCPUデフォルト・スタートのタイミング図



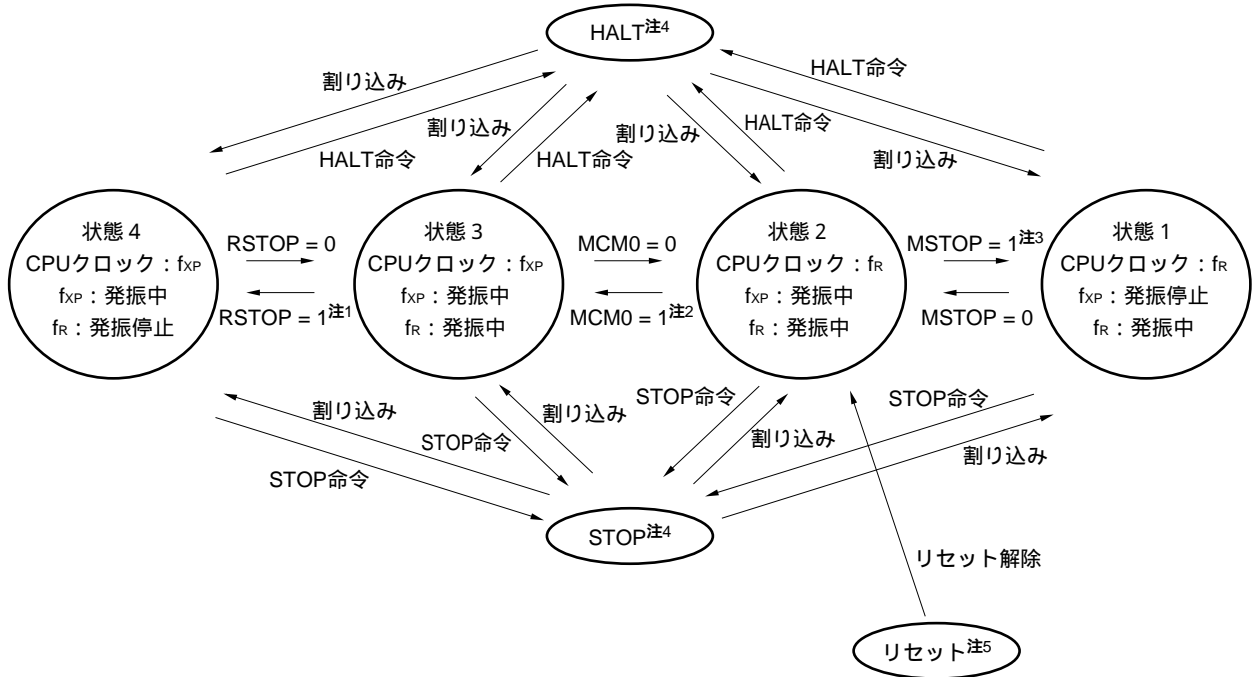
注 発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

- (a)  $\overline{\text{RESET}}$ 信号発生により、メイン・クロック・モード・レジスタ (MCM) のビット0が0になり、CPUクロックが内蔵発振クロックになります。ただし、 $\overline{\text{RESET}}$ 解除後、内蔵発振クロックが17クロック経過してからCPUに対しクロック供給を行います (または17クロック間はCPUクロックの供給を停止します)。 $\overline{\text{RESET}}$ 期間中は、X1入力クロックと内蔵発振クロックの発振は停止します。
- (b)  $\overline{\text{RESET}}$ 解除後、X1入力クロックの発振安定時間が経過してから、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) にて、CPUクロックを内蔵発振クロックからX1入力クロックに切り替えることができます。このとき、発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから、CPUクロックを切り替えてください。CPUクロックの状態はMCMのビット1 (MCS) で確認できます。
- (c) オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」に設定し、CPUクロックがX1入力クロックの場合、内蔵発振クロックの停止/発振を内蔵発振モード・レジスタ (RCM) で設定できます。このときMCSが1であることを必ず確認してください。
- (d) CPUクロックが内蔵発振クロックの場合、X1入力クロックの停止/発振をメインOSCコントロール・レジスタ (MOC) で設定できます。このときMCSが0であることを必ず確認してください。
- (e) CPUクロックがX1入力クロックである場合のSTOPモード解除時は、発振安定時間選択レジスタ (OSTS) で選択した発振安定時間 ( $2^{11}/f_{XP}$ ,  $2^{13}/f_{XP}$ ,  $2^{14}/f_{XP}$ ,  $2^{15}/f_{XP}$ ,  $2^{16}/f_{XP}$ ) が確保されます。また $\overline{\text{RESET}}$ 解除時およびCPUクロックが内蔵発振クロックである場合のSTOPモード解除時は、発振安定時間のウェイトは行われません。CPUクロックをX1入力クロックに切り替える場合は、発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

この製品の状態遷移図を図5 - 12に、各動作状態における動作クロックの関係を表5 - 3に、発振制御フラグと各クロックの発振状態を表5 - 4に示します。

図5 - 12 状態遷移図 (1/2)

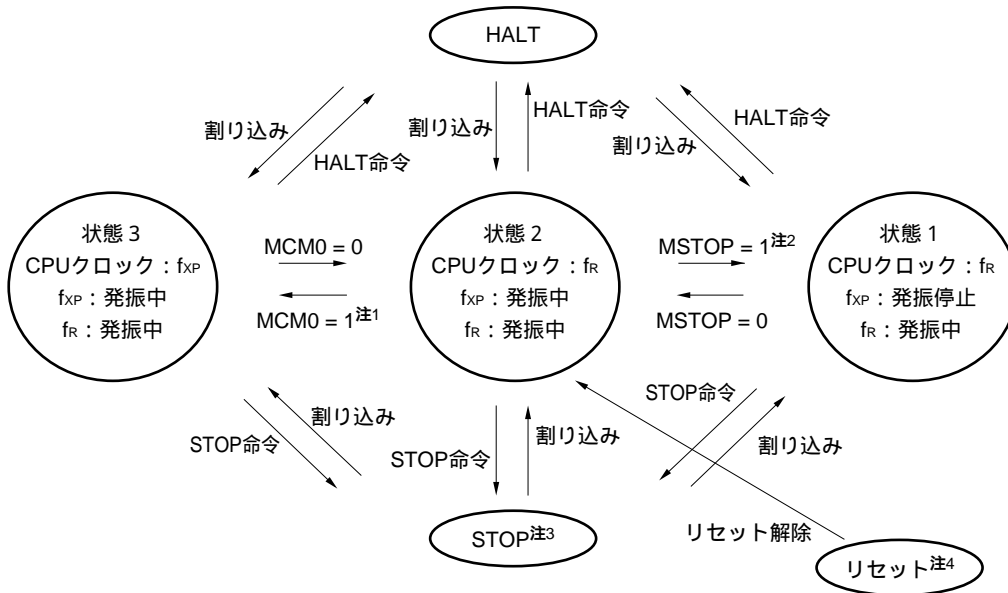
(1) オプション・バイトで「ソフトウェアにより内蔵発振器を停止可能」に選択した場合



- 注1 . 状態3から状態4に移行する場合は、メイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) が1であることを必ず確認してください。
- 2 . リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、X1入力クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから行ってください。
- 3 . 状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。
- 4 . オプション・バイトで「ソフトウェアにより内蔵発振器を停止可能」に選択した場合、ウォッチドッグ・タイマのソース・クロックに関わらず、HALTモード、STOPモード中のウォッチドッグ・タイマの動作は停止します。ただし、内蔵発振器の発振はRSTOP = 0ならばHALTモード、STOPモード中でも停止しません。
- 5 . すべてのリセット要因 (RESET入力, POC, LVI, WDT) です。

図5 - 12 状態遷移図 (2/2)

(2) オプション・バイトで「内蔵発振器を停止不可」に選択した場合



- 注1．リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は、X1入力クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ (OSTC) で確認してから行ってください。
- 2．状態2から状態1に移行する場合は、MCSが0であることを必ず確認してください。
- 3．オプション・バイトで「内蔵発振器を停止不可」に選択した場合、ウォッチドッグ・タイマはSTOPモード中でも内蔵発振クロックで動作しています。8ビット・タイマ51 (TM51) はカウント・ソースに内蔵発振クロックの分周を選択できますので、ウォッチドッグ・タイマのオーバフロー発生前にTM51の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。
- 4．すべてのリセット要因 ( $\overline{\text{RESET}}$ 入力, POC, LVI, WDT) です。

表5 - 3 各動作状態における動作クロックの関係

ステータス 動作モード	X1発振回路		内蔵発振回路			解除後のCPUクロック	周辺へ供給される プリスケアラのクロック	
	MSTOP = 0	MSTOP = 1	注1	注2			MCM0 = 0	MCM0 = 1
				RSTOP = 0	RSTOP = 1			
リセット	停止		停止			内蔵発振クロック	停止	
STOP			発振	発振	停止注4	注5	停止	
HALT	発振	停止注3				注6	内蔵発振 クロック	X1

注1．オプション・バイトにて内蔵発振器を「停止不可」に選択時

- 2．オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」に選択時
- 3．内蔵発振時のみ
- 4．X1発振時のみ
- 5．STOP命令実行時のCPUクロックにて動作します。
- 6．HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7

RSTOP：内蔵発振モード・レジスタ（RCM）のビット0

MCM0：メイン・クロック・モード・レジスタ（MCM）のビット0

表5 - 4 発振制御フラグと各クロックの発振状態

		X1発振回路	内蔵発振回路
MSTOP = 1	RSTOP = 0	停止	発振
	RSTOP = 1	設定禁止	
MSTOP = 0	RSTOP = 0	発振	発振
	RSTOP = 1		停止

注意 RSTOPの設定は、オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7

RSTOP：内蔵発振モード・レジスタ（RCM）のビット0

## 5.6 内蔵発振クロックとX1入力クロックの切り替えに要する時間

内蔵発振クロックとX1入力クロックは、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) により切り替えることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を切り替えたのち、数命令は切り替え前のクロックで動作します (表5 - 5 参照)。

内蔵発振クロックで動作しているのか、X1入力クロックで動作しているのかは、MCMのビット1 (MCS) で判定できます。

クロック切り替え後、元のクロックを停止する場合は、表5 - 5 に示すクロック分ウエイトしてから停止してください。

表5 - 5 内蔵発振クロックとX1入力クロックの切り替えに要する最大時間

PCC			切り替えに要する最大時間	
PCC2	PCC1	PCC0	X1 内蔵発振クロック	内蔵発振クロック X1
0	0	0	$f_{XP}/f_R + 1$ クロック	2クロック
0	0	1	$f_{XP}/2f_R + 1$ クロック	

**注意** 最大時間を計算する場合は、 $f_R = 120 \text{ kHz}$ で行ってください。

**備考1** . PCC : プロセッサ・クロック・コントロール・レジスタ

2 .  $f_{XP}$  : X1入力クロック発振周波数

3 .  $f_R$  : 内蔵発振クロック周波数

4 . 最大時間は、切り替え前のCPUクロックによるクロック数です。

## 5.7 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 6参照）。

表5 - 6 CPUクロックの切り替えに要する最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	/			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0				4クロック			4クロック			4クロック			4クロック		
0	1	1				2クロック			2クロック			2クロック			2クロック		
1	0	0				1クロック			1クロック			1クロック			1クロック		

**注意** CPUが内蔵発振クロックで動作している場合、次の値は設定禁止です。

- PCC2, PCC1, PCC0 = 0, 1, 0
- PCC2, PCC1, PCC0 = 0, 1, 1
- PCC2, PCC1, PCC0 = 1, 0, 0

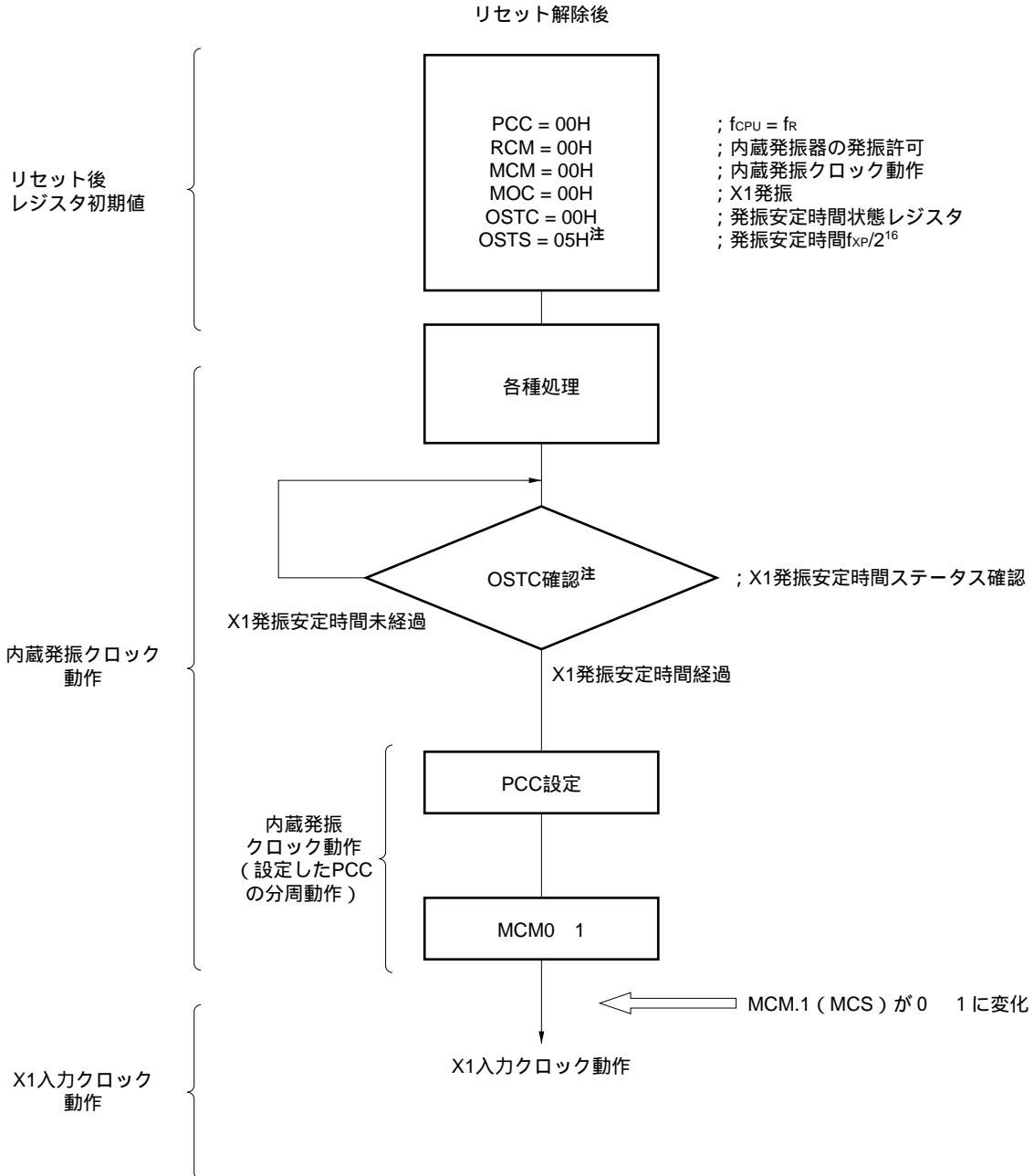
**備考** 最大時間は、切り替え前のCPUクロックのクロック数です。



## 5.8 クロック切り替えのフロー・チャートとレジスタ設定

### 5.8.1 内蔵発振クロックからX1入力クロックへの切り替え

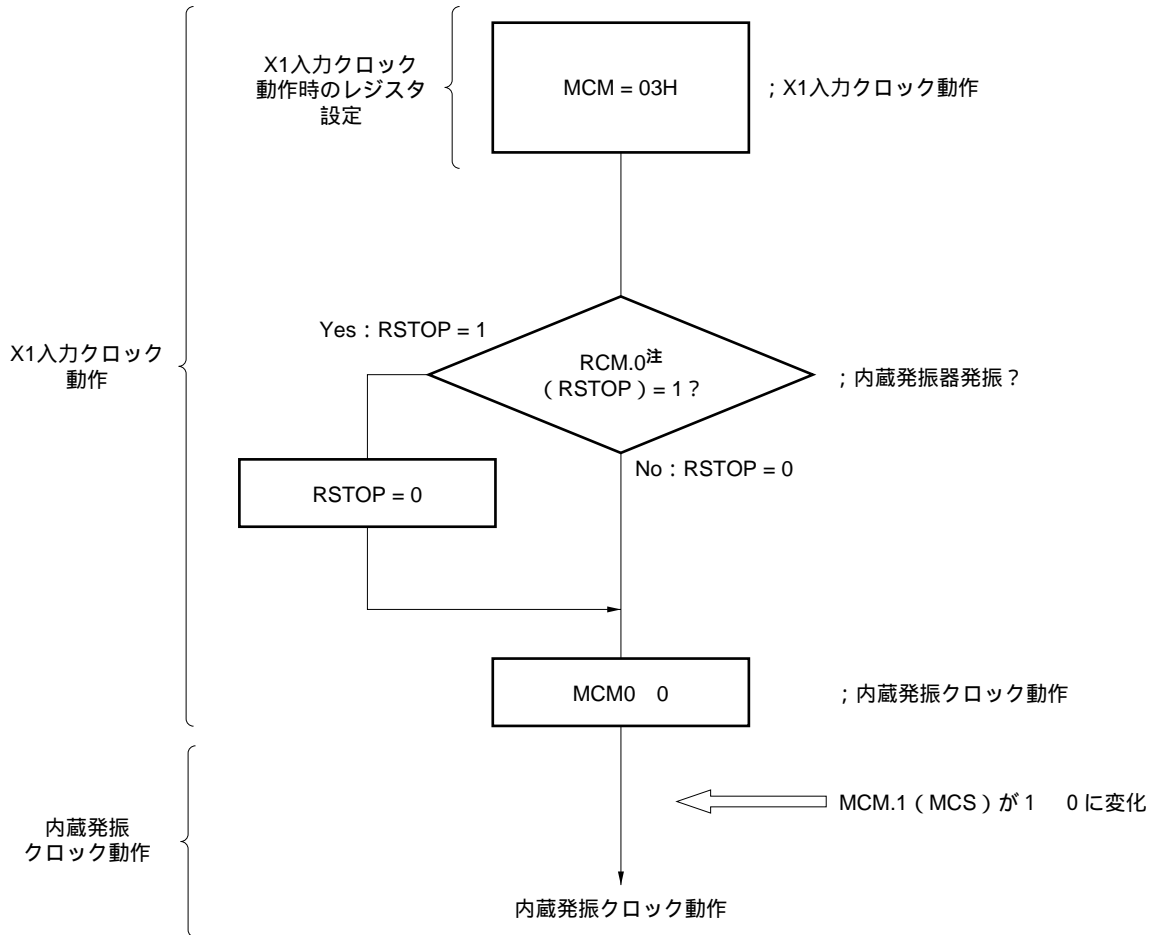
図5 - 13 内蔵発振クロックからX1入力クロックへの切り替え（フロー・チャート）



**注** リセット解除後のX1発振回路の発振安定待ち時間は、OSTCレジスタにより確認を行い、任意の発振安定待ち時間経過後にX1入力クロック動作に切り換えてください。なお、OSTSレジスタの設定は、X1入力クロック動作時のSTOPモードを割り込みで解除したあとのみ有効となります。

### 5.8.2 X1入力クロックから内蔵発振クロックへの切り替え

図5 - 14 X1入力クロックから内蔵発振クロックへの切り替え (フロー・チャート)



注 オプション・バイトで内蔵発振器を「ソフトウェアによりクロック停止可能」を選んだ場合のみ必要となります。

### 5.8.3 レジスタ設定

各モードに設定した場合の各設定フラグとステータス・フラグの状態を示します。

表5 - 7 クロックとレジスタの設定

fCPU	モード	設定フラグ			ステータス・フラグ
		MCMレジスタ	MOCレジスタ	RCMレジスタ	MCMレジスタ
		MCM0	MSTOP	RSTOP <sup>注1</sup>	MCS
X1入力クロック <sup>注2</sup>	内蔵発振器の発振	1	0	0	1
	内蔵発振器の停止	1	0	1	1
内蔵発振クロック	X1発振	0	0	0	0
	X1停止	0	1	0	0

注1．オプション・バイトで内蔵発振器を「ソフトウェアによりクロック停止可能」を選んだ場合のみ有効となります。

2．X1入力クロック動作中にMSTOP = 1に設定しないでください（MSTOP = 1に設定しても、X1の発振は停止しません）。

## 第6章 10ビット・インバータ制御用タイマ

### 6.1 10ビット・インバータ制御用タイマの概要

インバータ制御を実現するタイマです。8ビットのデッド・タイム生成用のタイマを内蔵しており、アクティブ・レベルの重ならない波形を出力できます。

### 6.2 10ビット・インバータ制御用タイマの機能

10ビット・インバータ制御用タイマは、インバータ制御を実現するタイマです。

8ビットのデッド・タイム生成用のタイマを内蔵しており、アクティブ・レベルの重ならない波形を出力できます。正相、逆相あわせて6チャンネルのパルス出力を行います。また、アクティブ・レベルの変更機能、および外部入力 (TW0TOFFP) による出力オフ機能を備えています。

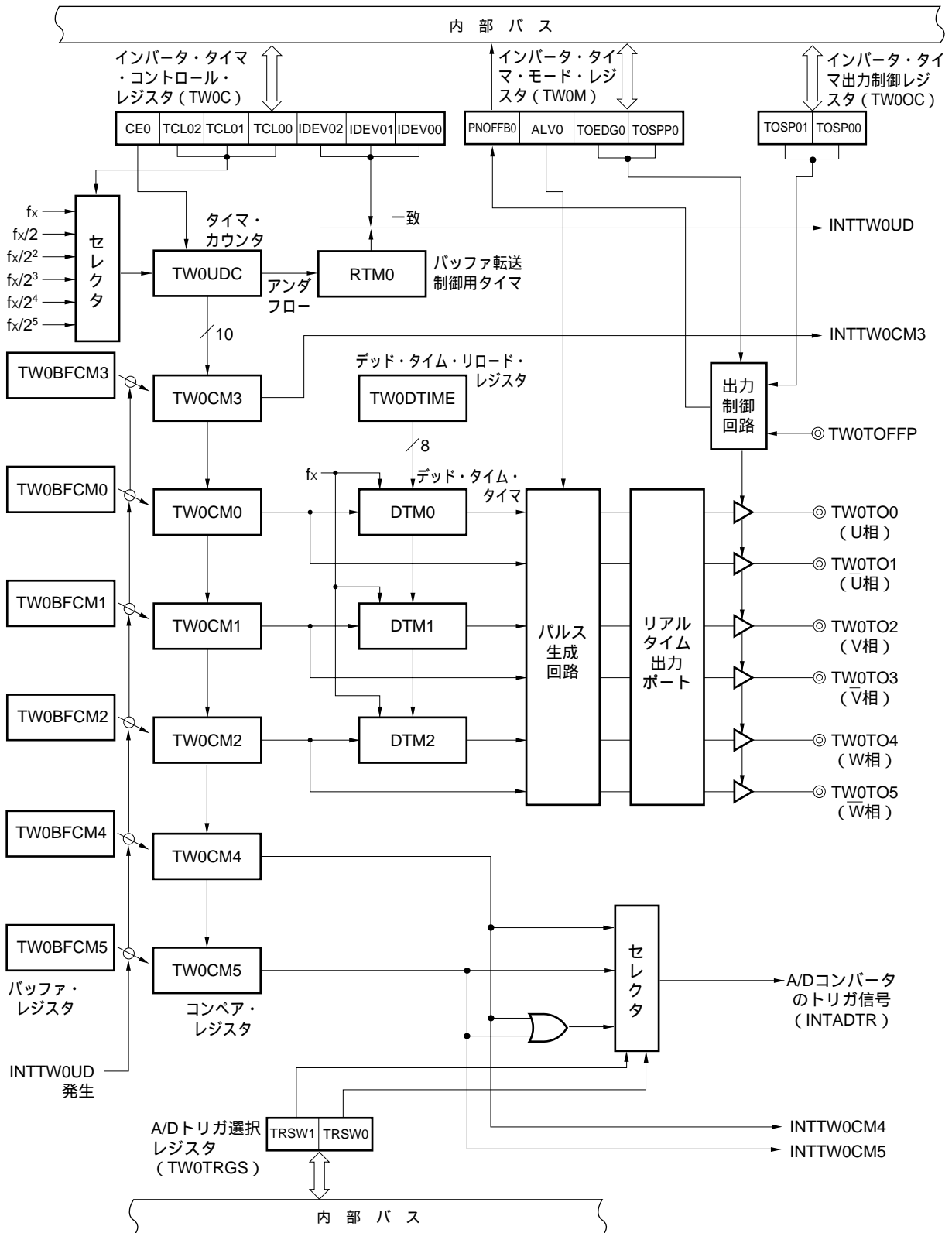
### 6.3 10ビット・インバータ制御用タイマの構成

10ビット・インバータ制御用タイマは、次のハードウェアで構成されています。

表6 - 1 10ビット・インバータ制御用タイマの構成

項目	構成
タイマ・カウンタ	10ビット・アップ/ダウン・カウンタ×1本 (TW0UDC) デッド・タイム・タイマ×3本 (DTM0, DTM1, DTM2) バッファ転送制御用タイマ×1本 (RTM0)
レジスタ	10ビット・コンペア・レジスタ×6本 (TW0CM0-TW0CM5) 10ビット・バッファ・レジスタ×6本 (TW0BFCM0-TW0BFCM5) デッド・タイム・リロード・レジスタ×1本 (TW0DTIME)
タイマ出力	6本 (TW0TO0, TW0TO1, TW0TO2, TW0TO3, TW0TO4, TW0TO5)
制御レジスタ	インバータ・タイマ・コントロール・レジスタ (TW0C) インバータ・タイマ・モード・レジスタ (TW0M) A/Dトリガ選択レジスタ (TW0TRGS) インバータ・タイマ出力制御レジスタ (TW0OC)

図6-1 10ビット・インバータ制御用タイマのブロック図



**(1) 10ビット・アップ/ダウン・カウンタ (TW0UDC)**

TW0UDCは、カウント・パルスをカウントする10ビットのアップ/ダウン・カウンタです。

カウント・クロックの立ち上がり同期してカウント動作を行います。タイマをスタートさせると0からインクリメントし、あらかじめ設定されたコンペア・レジスタ3 (TW0CM3) の値とTW0UDCのカウント値が一致すると、ダウン・カウント動作に切り替わります。

ダウン・カウント動作中に000Hになるとアンダフロー信号を発生し、割り込み要求信号INTTW0UDを発生します。アンダフローが発生すると、ダウン・カウント動作からアップ・カウント動作に切り替わります。INTTW0UDは通常アンダフローごとに発生しますが、インバータ・タイマ・コントロール・レジスタ (TW0C) のIDEV00-IDEV02ビットにより発生回数を分周できます。

TW0UDCは、リード/ライトできません。

TW0UDCの周期はTM0CM3によって制御されます。

カウント・クロックは、fx, fx/2, fx/4, fx/8, fx/16, fx/32の6種類から選択できます。

RESET入力、またはTW0CのCE0ビットをクリアすることにより000Hとなります。

**(2) 10ビット・コンペア・レジスタ 0-2 (TW0CM0-TW0CM2)**

TW0CM0-TW0CM2は、10ビットのコンペア・レジスタで、TW0UDCと常に比較を行い、それぞれ一致するとフリップフロップの内容を変化させます。

また、TW0CM0-TW0CM2は、それぞれバッファ・レジスタ (TW0BFCM0-TW0BFCM2) を備えており、割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM0-TW0CM2に転送します。

TW0CM0-TW0CM2への書き込みは、TW0UDCが停止時にのみ可能です。

出力タイミングは、TW0BFCM0-TW0BFCM2に対し、データを書き込んで設定してください。

RESET入力、またはTW0CのCE0ビットをクリアすることにより000Hとなります。

**(3) 10ビット・コンペア・レジスタ 3 (TW0CM3)**

TW0CM3は、10ビットのコンペア・レジスタで、TW0UDCの上限値を制御しています。TW0UDCのカウント値が、TW0CM3または0と一致すると、次のカウント・クロックでTW0UDCのアップ・カウント/ダウン・カウントを切り替えます。

また、TW0CM3はバッファ・レジスタ (TW0BFCM3) を備えており、割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM3に転送します。

TW0CM3への書き込みは、TW0UDCが停止時にのみ可能です。

TW0UDCへの周期は、TW0BFCM3に対しデータを書き込んで設定してください。

TW0CM3はRESET入力により0FFHとなります。

TW0CM3には、000Hは設定しないでください。

**(4) 10ビット・コンペア・レジスタ 4, 5 (TW0CM4, TW0CM5)**

TW0CM4, TW0CM5は、10ビットのコンペア・レジスタで、TW0UDCと常に比較を行い、それぞれ一致すると割り込み要求信号を発生します。

また、TW0CM4, TW0CM5は、それぞれバッファ・レジスタ (TW0BFCM4, TW0BFCM5) を備えており、割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM4, TW0CM5に転送します。

TW0CM4, TW0CM5への書き込みは、TW0UDCが停止時にのみ可能です。

出力タイミングは、TW0BFCM4, TW0BFCM5に対し、データを書き込んで設定してください。

RESET入力、またはTW0CのCE0ビットをクリアすることにより000Hとなります。

**(5) 10ビット・バッファ・レジスタ 0-5 (TW0BFCM0-TW0BFCM5)**

TW0BFCM0-TW0BFCM5は、10ビットのレジスタです。割り込み要求信号INTTW0UDの発生タイミングで各バッファ・レジスタに対応したコンペア・レジスタ (TW0CM0-TW0CM5) にデータを転送します。

TW0BFCM0-TW0BFCM5はTW0UDCのカウント停止中/動作中にかかわらずリード/ライトが可能です。  
 $\overline{\text{RESET}}$ 入力により、TW0BFCM0-TW0BFCM2, TW0BFCM4, TW0BFCM5は000H, TW0BFCM3は0FFHとなります。

TW0BFCM0-TW0BFCM5は、ワード単位だけでなく、バイト単位でのリード/ライトも可能です。8ビット以下でリード/ライトする場合はTW0BFCM0L-TW0BFCM5Lを使用します。

**(6) デッド・タイム・リロード・レジスタ (TW0DTIME)**

TW0DTIMEは、8ビットのデッド・タイム設定用のレジスタで、3つのデッド・タイム・タイマ (DTM0-DTM2) に対して共通です。ただし、TW0DTIMEからDTM0-DTM2へデータをロードするタイミングはそれぞれ独立して行われます。

TW0DTIMEはTW0UDCのカウント停止中のみライト可能です。タイマ動作中にTW0DTIMEを書き換える命令を実行しても、データは書き換わりません。

TW0DTIMEは $\overline{\text{RESET}}$ 入力によりFFHとなります。

TW0DTIMEに00Hを設定した場合でも、 $1/f_x$ のデッド・タイムを持った出力が行われます。

**(7) デッド・タイム・タイマ 0-2 (DTM0-DTM2)**

DTM0-DTM2は、8ビットのダウン・カウンタで、デッド・タイムを生成します。

TW0CM0-TW0CM2とTW0UDCのコンペア一致タイミングで、デッド・タイム・リロード・レジスタ (TW0DTIME) の値がリロードされ、ダウン・カウントを開始します。DTM0-DTM2は、それぞれ00H FFHに変化すると、アンダフロー信号を発生し、FFHで停止します。

カウント・クロックは $f_x$ です。

DTM0-DTM2は、リード/ライトできません。

$\overline{\text{RESET}}$ 入力、またはTW0CのCE0ビットをクリアすることによりFFHとなります。

**(8) バッファ転送制御用タイマ (RTM0)**

RTM0は3ビットのアップ・カウンタです。割り込み要求信号INTTW0UDを分周する機能を持ちます。

TW0UDCのアンダフロー信号によりインクリメントを行い、TW0CのIDEV00-IDEV02ビットで設定した分周回数値と一致するとINTTW0UDを発生します。

RTM0は、リード/ライトできません。

$\overline{\text{RESET}}$ 入力により7Hとなります。また、INTTW0UDの発生、TW0CのCE0ビットのクリアによっても、7Hとなります。

## 6.4 10ビット・インバータ制御用タイマを制御するレジスタ

10ビット・インバータ制御用タイマを制御するレジスタには、次の4種類があります。

- ・インバータ・タイマ・コントロール・レジスタ (TW0C)
- ・インバータ・タイマ・モード・レジスタ (TW0M)
- ・A/Dトリガ選択レジスタ (TW0TRGS)
- ・インバータ・タイマ出力制御レジスタ (TW0OC)

### (1) インバータ・タイマ・コントロール・レジスタ (TW0C)

TW0Cは、TW0UDC、デッド・タイム・タイマ0-2 (DTM0-DTM2)、およびバッファ転送制御用タイマ (RTM0)の動作制御、TW0UDCのカウント・クロックの指定、コンペア・レジスタ転送周期の選択を行うレジスタです。

TW0Cは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



図6-2 インバータ・タイマ・コントロール・レジスタのフォーマット

アドレス：FF88H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TM0C	CE0	0	TCL02	TCL01	TCL00	IDEV02	IDEV01	IDEV00
CE0	TW0UDC, DTM0-DTM2, RTM0の動作制御							
0	クリア&停止 (TW0TO0-TW0TO5はHi-Z)							
1	カウント許可							
TCL02	TCL01	TCL00	カウント・クロックの選択					
			fx = 20 MHz動作時					
0	0	0	fx	20 MHz				
0	0	1	fx/2	10 MHz				
0	1	0	fx/2 <sup>2</sup>	5 MHz				
0	1	1	fx/2 <sup>3</sup>	2.5 MHz				
1	0	0	fx/2 <sup>4</sup>	1.25 MHz				
1	0	1	fx/2 <sup>5</sup>	6.25 kHz				
上記以外			設定禁止					
IDEV02	IDEV01	IDEV00	INTTW0UDの発生頻度の選択					
0	0	0	TW0UDCのアンダフローごとに発生 (毎回)					
0	0	1	TW0UDCのアンダフロー 2回につき 1回発生					
0	1	0	TW0UDCのアンダフロー 3回につき 1回発生					
0	1	1	TW0UDCのアンダフロー 4回につき 1回発生					
1	0	0	TW0UDCのアンダフロー 5回につき 1回発生					
1	0	1	TW0UDCのアンダフロー 6回につき 1回発生					
1	1	0	TW0UDCのアンダフロー 7回につき 1回発生					
1	1	1	TW0UDCのアンダフロー 8回につき 1回発生					

備考 fx : システム・クロック発振周波数

(2) インバータ・タイマ・モード・レジスタ (TW0M)

TW0Mは、TW0TO0-TW0TO5出力のアクティブ・レベル指定、動作制御、およびTW0TOFFPの有効エッジを設定するレジスタです。

TW0Mは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-3 インバータ・タイマ・モード・レジスタのフォーマット

アドレス：FF89H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TW0M	0	0	0	PNOFFB0 <sup>注</sup>	ALV0	TOEDG0	TOSPP0	0
PNOFFB0 <sup>注</sup>	TW0TO0-TW0TO5への出力制御状態フラグ							
	0	出力禁止状態 (TW0TO0-TW0TO5はHi-Z)						
	1	出力許可状態						
ALV0	TW0TO0-TW0TO5出力のアクティブ・レベルの指定							
	0	ロウ・レベル						
	1	ハイ・レベル						
TOEDG0	TW0TOFFPの有効エッジの指定							
	0	立ち下がりエッジ						
	1	立ち上がりエッジ						
TOSPP0	TW0TOFFPの有効エッジによるTW0TO0-TW0TO5の出力停止の制御							
	0	出力停止しない						
	1	出力停止 (TW0TO0-TW0TO5はHi-Z)						

**注** PNOFFB0ビットは、読み出し専用フラグです。ソフトウェアによるセット/リセットはできません。

PNOFFB0ビットは、以下の場合にリセットされます。

- ・ TW0UDCの停止時 (CE0 = 0)
- ・ TW0UDCの動作中 (CE0 = 1) にTW0TOFFPによる出力停止が発生

**注意** TW0Mのビット0, 5-7には、必ず0を設定してください。

備考1．TW0TO0-TW0TO5は，次の場合にHi-Z状態になります。ただし，CE0 = 1であれば，TW0UDC, DTM0-DTM2, RTM0の各タイマは停止しません。

・TOSPP0 = 1で，TW0TOFFP端子へ有効エッジが入力された場合

TW0TO0-TW0TO5出力を復帰させる場合は次の手順で行います。

CE0に0を書き込み，各タイマを停止させます。  
 使用している出力停止機能のフラグに0を書き込みます。  
 再度各レジスタの初期設定を行います。

2．PNOFFB0, ALV0, CE0, TW0TO0-TW0TO5は，次のような関係になります。

PNOFFB0	ALV0	CE0	TW0TO0, TW0TO2, TW0TO4	TW0TO1, TW0TO3, TW0TO5
0	0	0	Hi-Z	Hi-Z
0	1	0	Hi-Z	Hi-Z
0	0/1	1	Hi-Z	Hi-Z
1	0/1	1	PWM波形出力	PWM波形出力

(3) A/Dトリガ選択レジスタ (TW0TRGS)

コンペア・レジスタTW0CM4, TW0CM5とタイマ・カウンタの一致により発生したINTTW0CM4, INTTW0CM5から，A/Dコンバータのトリガ信号を選択するレジスタです。

TW0TRGSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図6 - 4 A/Dトリガ選択レジスタのフォーマット

アドレス：FF8BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TW0TRGS	0	0	0	0	0	0	TRSW1	TRSW0

TRSW1	TRSW0	A/Dトリガの選択
0	0	非出力 (INTADTRは“L”レベル)
0	1	INTTW0CM4
1	0	INTTW0CM5
1	1	INTTW0CM4とINTTW0CM5のOR

(4) インバータ・タイマ出力制御レジスタ (TW0OC)

TW0OCは、各相 (U相, V相, W相) 単位でタイマ出力の停止を設定するレジスタです。  
 TW0OCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図6-5 インバータ・タイマ出力制御レジスタのフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TW0OC	0	0	0	0	0	0	TOSP01	TOSP00

TOSP01	TOSP00	PWM出力の出力制御
0	0	TW0TO0-TW0TO5は出力許可
0	1	TW0TO0, TW0TO1の出力を禁止 (U相オフ)
1	0	TW0TO2, TW0TO3の出力を禁止 (V相オフ)
1	1	TW0TO4, TW0TO5の出力を禁止 (W相オフ)

## 6.5 10ビット・インバータ制御用タイマの動作

### (1) 設定手順

- (a) インバータ・タイマ・コントロール・レジスタ (TW0C) のTCL00-TCL02ビットでTW0UDCのカウント・クロックを設定し, IDEV00-IDEV02ビットで割り込み要求信号INTTW0UDの発生頻度を設定します。
- (b) インバータ・タイマ・モード・レジスタ (TW0M) のALV0ビットでTW0TO0-TW0TO5端子のアクティブ・レベルを設定します。
- (c) 10ビット・コンペア・レジスタ3 (TW0CM3) に第1 PWM周期の半周期幅を設定します。  
・PWM周期 = TW0CM3値 × 2 × TW0UDCのクロック・レート  
(TW0UDCのクロック・レートはTW0Cで設定します)
- (d) 10ビット・バッファ・レジスタ3 (TW0BFCM3) に第2 PWM周期の半周期幅を設定します。
- (e) デッド・タイム・リロード・レジスタ (TW0DTIME) にデッド・タイム幅を設定します。  
・デッド・タイム幅 = (TW0DTIME + 1) × 1/f<sub>x</sub>  
f<sub>x</sub>: 内部システム・クロック
- (f) 10ビット・コンペア・レジスタ0-2 (TW0CM0-TW0CM2) に第1周期で使うF/Fのセット/リセット・タイミングを設定します。
- (g) TW0BFCM3に第2周期で使うF/Fのセット/リセット・タイミングを設定します。
- (h) TW0CのCE0ビットをセット(1)してTW0UDC, デッド・タイム・タイマ0-2 (DTM0-DTM2), バッファ転送制御用タイマ (RTM0) の動作を許可します。
- 注意** CE0ビットの設定には, 必ずビット操作命令を使用してください。
- (i) TW0UDCの動作中は, TW0BFCM0-TW0BFCM5に次の周期で使うF/Fのセット/リセット・タイミングを設定します。
- (j) TW0UDCの動作を停止する場合は, TW0CのCE0 = 0 に設定します。

**注意** CE0ビットの設定と同時にほかのビットを書き換えることはできません。

## (2) 設定値に対する出力波形幅

- ・ PWM周期 =  $TW0CM3 \times 2 \times T_{TW0}$
- ・ デッド・タイム幅  $T_{DTM} = (TW0DTIME + 1) \times 1/f_x$
- ・ 正相 (TW0TO0, TW0TO2, TW0TO4端子) のアクティブ幅  
 $= \{ (TW0CM3 - TW0CM_{up}) + (TW0CM3 - TW0CM_{down}) \} \times T_{TW0} - T_{DTM}$
- ・ 逆相 (TW0TO1, TW0TO3, TW0TO5端子) のアクティブ幅  
 $= (TW0CM_{down} + TW0CM_{up}) \times T_{TW0} - T_{DTM}$

$f_x$  : システム・クロック発振周波数

$T_{TW0}$  : TW0UDCのカウンタ・クロック

$TW0CM_{up}$  : TW0UDCがアップ・カウンタ時のTW0CM0-TW0CM2の設定値

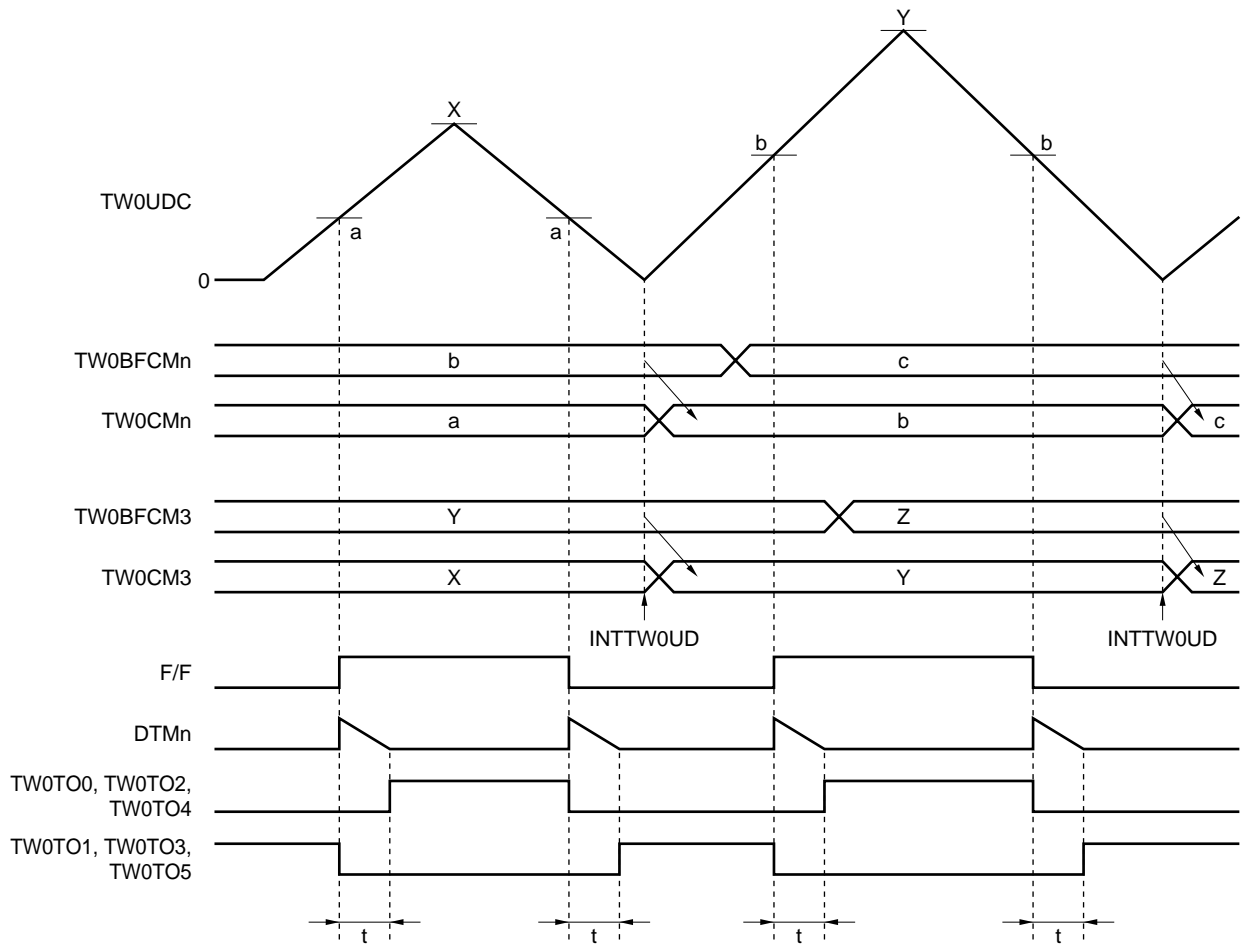
$TW0CM_{down}$  : TW0UDCがダウン・カウンタ時のTW0CM0-TW0CM2の設定値

**注意** 正相または逆相のアクティブ幅が上記の式の計算式で“0”または“マイナス”になるような値を設定した場合、TW0TO0-TW0TO5は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します(図6-7参照)。

しかし、 $TW0CM_n = 0$ ,  $TW0BFCM_n$   $TW0CM3$ を設定した場合はアクティブ・レベルを出力します。

(3) 動作タイミング

図6-6 TW0UDCの動作タイミング(基本動作)



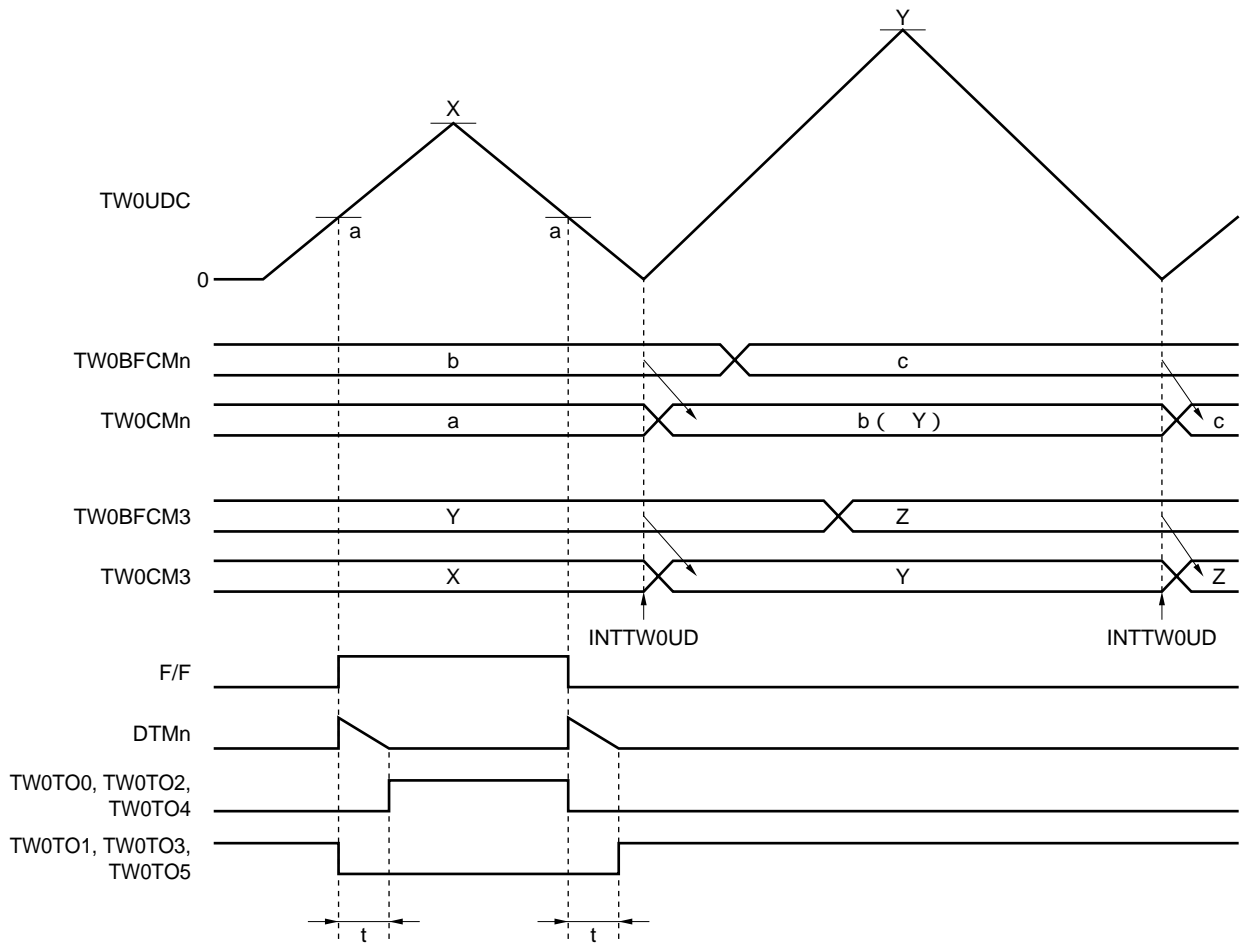
備考1 . n = 0-2

2 . t : デッド・タイム = ( TW0DTIME + 1 ) × 1/fx

( fx : システム・クロック発振周波数 )

3 . 上図は , アクティブ・ハイで , INTTW0UDの発生を分周しない場合です。

図6-7 TW0UDCの動作タイミング (TW0CMn (TW0BFCMn) TW0CM3 (TW0BFCM3))



備考1 . n = 0-2

2 . t : デッド・タイム = ( TW0DTIME + 1 ) × 1/fx

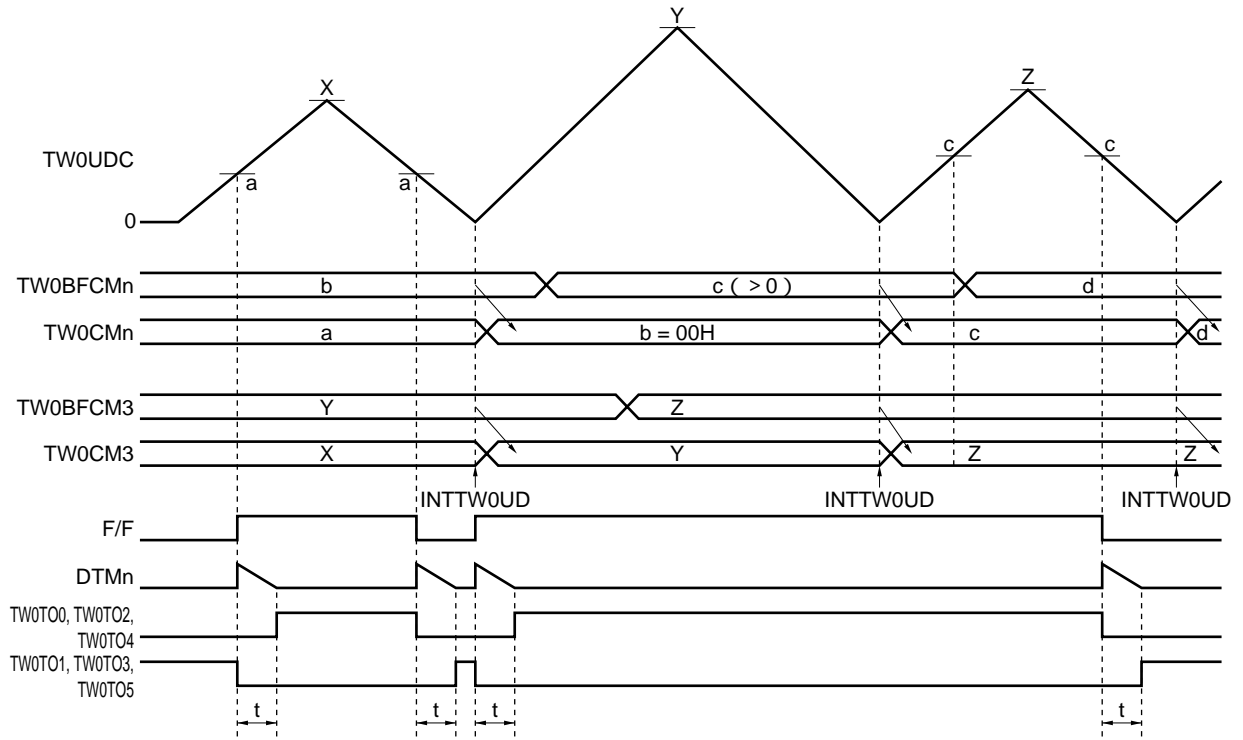
( fx : システム・クロック発振周波数 )

3 . 上図は , アクティブ・ハイで , INTTW0UDの発生を分周しない場合です。

TW0BFCMnにTW0CM3より大きい値を設定した場合, 正相側 (TW0TO0, TW0TO2, TW0TO4端子) はロウ・レベルを出力し, 逆相側 (TW0TO1, TW0TO3, TW0TO5端子) はハイ・レベルを出力し続けます。インバータ制御などにおいて, PWM周期を越えるロウ幅, ハイ幅を出力したい場合にこの設定は有効です。



図6-8 TW0UDCの動作タイミング (TW0CMn (TW0BFCMn) = 000H)



備考1 . n = 0-2

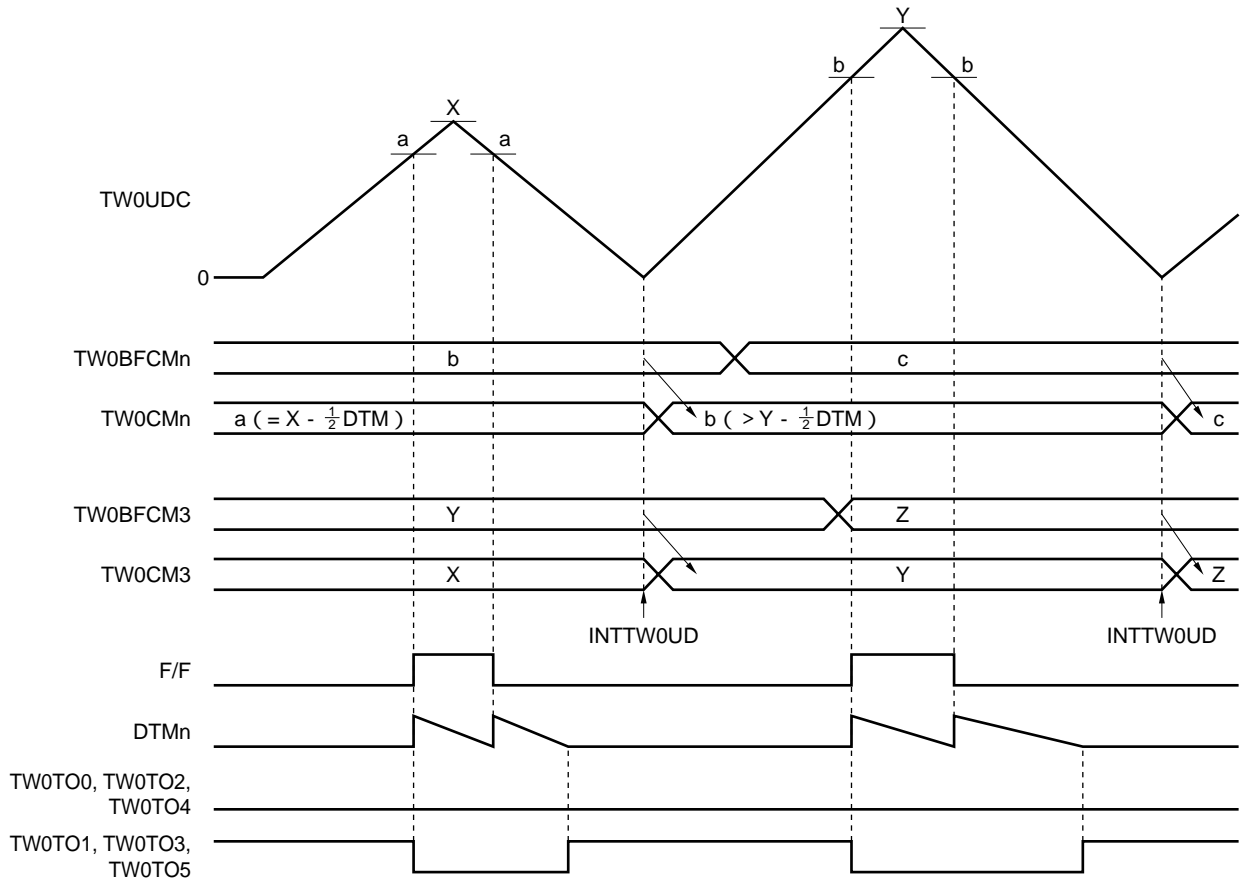
2 . t : デッド・タイム = (TW0DTIME + 1) × 1/fx

(fx : システム・クロック発振周波数)

3 . 上図は , アクティブ・ハイで , INTTW0UDの発生を分周しない場合です。

図6-9 TW0UDCの動作タイミング

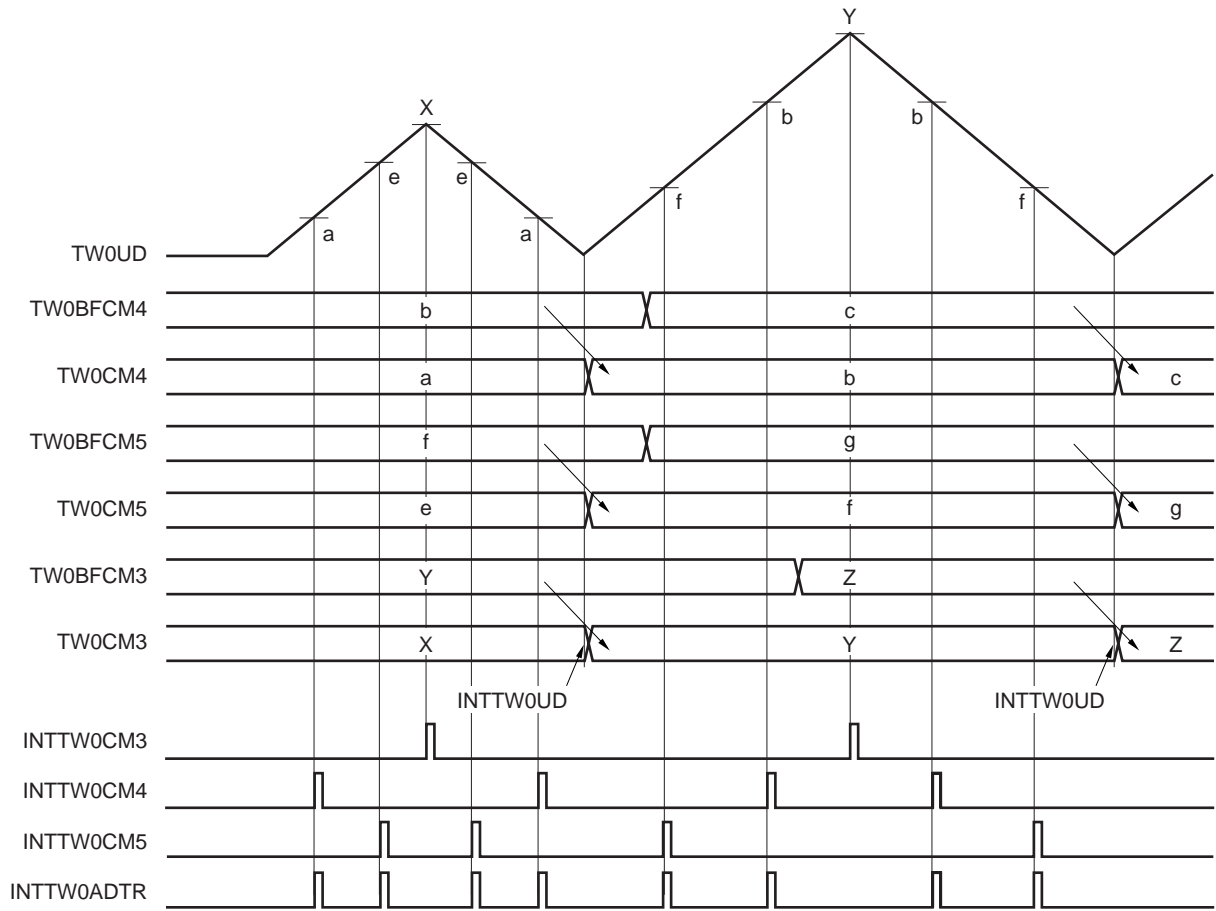
( $TW0CMn (TW0BFCMn) = TW0CM3 - 1/2DTM$ ,  $TW0CMn (TW0BFCMn) > TW0CM3 - 1/2DTM$ )



備考1 .  $n = 0-2$

2 . 上図は、アクティブ・ハイで、INTTW0UDの発生を分周しない場合です。

図6 - 10 TW0UDCの動作タイミング (IDEV02-IDEV00 = 000B, TW0TRGS = 03H)



## 第7章 16ビット・アップ/ダウン・カウンタITENC20

### 7.1 16ビット・アップ/ダウン・カウンタITENC20の機能

16ビット・アップ/ダウン・カウンタITENC20は、次のような機能があります。

- ・汎用タイマ・モード
  - フリー・ランニング・タイマ
  - PWM出力
- ・アップ/ダウン・カウンタ・モード
  - UDCモードA
  - UDCモードB

16ビット2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (IT20UDC) : 1チャンネル

コンペア・レジスタ : 2本

キャプチャ/コンペア・レジスタ : 2本

割り込み要求ソース

- ・キャプチャ/コンペア一致割り込み : 2種
- ・コンペア一致割り込み要求 : 2種

キャプチャ要求信号 : 2種

- ・キャプチャ/コンペア・レジスタに対応するTIT20CC0, TIT20CC1端子の有効エッジをキャプチャ・トリガとして、IT20UDCの値をラッチすることが可能です。

カウント・クロックはプリスケラによる分周から選択 (カウント・クロックは10 MHz以下に設定してください。)

タイマ/カウント・クロック・ソース : 2種類

(外部パルス入力, 内部システム・クロックの分周を選択)

2相エンコーダ入力

外部からの2相エンコーダ信号を、外部クロック入力端子 (TIT20IUD, TIT20CUD) でタイマ/カウンタのカウント・クロックとして使用します。カウント・モードは次の4つのモードから選択可能です。

- ・モード1 : カウント・パルス入力端子 (TIT20IUD) の入力パルスをカウントします。  
アップ/ダウンはもう1本の入力端子 (TIT20CUD) のレベルで指定します。
- ・モード2 : アップ・カウント・パルス入力端子とダウン・カウント・パルス入力端子それぞれの入力パルスによってアップ/ダウン・カウントを行います。
- ・モード3 : 2端子に入力されるパルスの位相関係によって、アップ/ダウン・カウントを行います。
- ・モード4 : 2端子に入力されるパルスの位相関係によって、アップ/ダウン・カウントを行います。  
カウントはそれぞれのパルスの立ち上がりエッジ, 立ち下がりエッジをカウントします。

PWM出力機能

汎用タイマ・モード時に16ビット分解能のPWM出力をTIT20TO端子より出力可能

タイマ・クリア

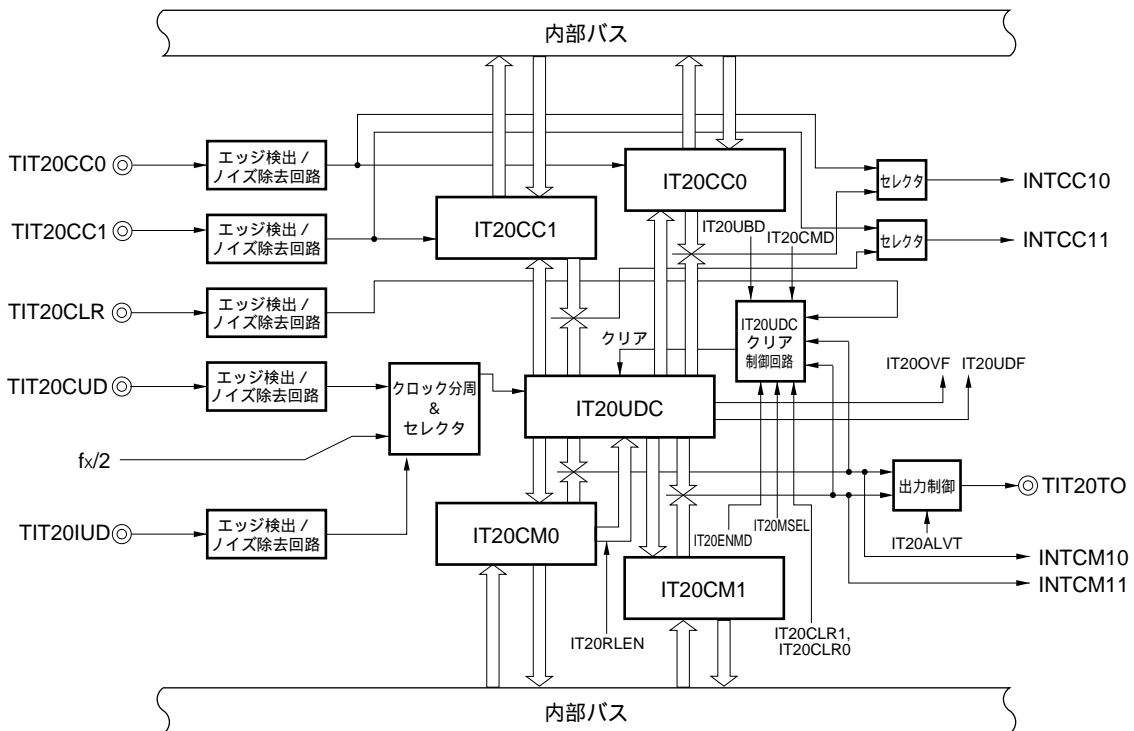
使用するモードに応じて次のようにタイマ・クリア動作を行います。

- ( a ) 汎用タイマ・モード時：IT20CM0設定値との一致でタイマ・クリア動作が可能です。
- ( b ) アップ/ダウン・カウント・モード：タイマ・クリア動作を次の4つの条件から選択可能です。
  - ( i ) IT20UDCがアップ・カウント中にIT20CM0設定値との一致でタイマ・クリア動作を行い、IT20UDCがダウン・カウント中にIT20CM1設定値との一致でタイマ・クリア動作を行います。
  - ( ii ) 外部入力のみでタイマ・クリア動作を行います。
  - ( iii ) IT20UDCのカウンタ値とIT20CM0設定値との一致でタイマ・クリア動作を行います。
  - ( iv ) 外部入力およびIT20UDCのカウンタ値とIT20CM0設定値との一致でタイマ・クリア動作を行います。

外部パルス出力 ( TIT20TO ) : 1 本

図7 - 1 に16ビット・アップ/ダウン・カウンタITENC20のブロック図を示します。

図7 - 1 16ビット・アップ/ダウン・カウンタITENC20のブロック図



## 7.2 16ビット・アップ/ダウン・カウンタITENC20の構成

16ビット・アップ/ダウン・カウンタITENC20は、次のハードウェアで構成されています。

表7-1 16ビット・アップ/ダウン・カウンタITENC20の構成

項 目	構 成	発生する 割り込み信号	キャプチャ・ トリガ
タイマ・カウンタ	16ビット・アップ/ダウン・カウンタ (IT20UDC)	-	-
レジスタ	16ビット・コンペア・レジスタ0 (IT20CM0)	INTCM10	-
	16ビット・コンペア・レジスタ1 (IT20CM1)	INTCM11	-
	16ビット・キャプチャ/コンペア・レジスタ0 (IT20CC0)	INTCC10	TIT20CC0
	16ビット・キャプチャ/コンペア・レジスタ1 (IT20CC1)	INTCC11	TIT20CC1
タイマ入力	TIT20IUD, TIT20CUD, TIT20CC0, TIT20CC1, TIT20CLR	-	-
タイマ出力	TIT20TO	-	-
制御レジスタ	タイマ・ユニット・モード・レジスタ (IT20TUM)	-	-
	タイマ・コントロール・レジスタ (IT20TMC)	-	-
	キャプチャ/コンペア・コントロール・レジスタ (IT20CCR)	-	-
	有効エッジ選択レジスタ (IT20SESA)	-	-
	プリスケアラ・モード・レジスタ (IT20PRM)	-	-
	ステータス・レジスタ (IT20STS)	-	-
	ノイズ除去時間選択レジスタ1 (NRC1)	-	-
	ポート・モード・レジスタ5 (PM5)	-	-
	ポート・レジスタ5 (P5)	-	-

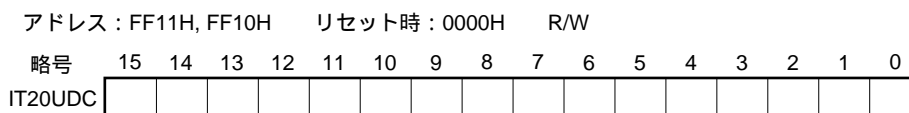
**(1) 16ビット・アップ/ダウン・カウンタ (IT20UDC)**

IT20UDCは2相エンコーダ入力用アップ/ダウン・カウンタおよび汎用タイマとして機能します。

IT20UDCは、16ビット・メモリ操作命令で設定します。

また、下位8ビットをIT20UDCLにて8ビット・メモリ操作命令で設定できます。

RESET入力により0000Hになります。



**注意 1** . IT20UDCへのライト動作は、IT20TMCレジスタのIT20CEビット = 0 (カウント動作禁止) 時のみ許可します。

2 . IT20TUMレジスタのIT20CMDビット = 0 (汎用タイマ・モード) かつIT20MSELビット = 1 (UDCモードB) の設定は禁止します。

3 . IT20UDCの連続読み出しは禁止します。IT20UDCの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。IT20UDCを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出してください。

4 . IT20UDC, IT20CC0, IT20CC1レジスタとIT20STSレジスタは同値書き込みを禁止します。IT20CCR, IT20TUM, IT20TMC, IT20SESA, IT20PRMレジスタとIT20CM0, IT20CM1レジスタは同値書き込みを許可します (カウント動作中においても同値書き込みを保証します)。

IT20UDCのスタートおよびストップは、タイマ・コントロール・レジスタ (IT20TMC) のIT20CEビットによって制御します。

IT20UDCの動作には次に示す2つのモードがあります。

**(a) 汎用タイマ・モード**

汎用タイマ・モードでは、16ビットのインターバル・タイマ、フリー・ランニング・タイマ、またはPWM出力用として動作します。

ソフトウェアで選択されたクロックをもとに、カウント動作を行います。

カウント・クロックはプリスケアラによる分周をプリスケアラ・モード・レジスタ (IT20PRM) のIT20PRM2-IT20PRM0ビットにより、 $fx/2$ ,  $fx/4$ ,  $fx/8$ ,  $fx/16$ ,  $fx/32$ ,  $fx/64$ ,  $fx/128$ から選択できます ( $fx$ : 内部システム・クロック)。

**(b) アップ/ダウン・カウンタ・モード (UDCモード)**

UDCモードでは、16ビットのアップ/ダウン・カウンタとして動作します。TIT20CUD, TIT20IUDの入力信号をもとにカウント動作を行います。

なお、このモードは、IT20TUMレジスタのIT20MSELビットにより、2種類の動作モードが設定できません。

( i ) UDCモードA (IT20CMDビット = 1, IT20MSELビット = 0の場合)

IT20UDCはIT20TMCレジスタのIT20CLR1, IT20CLR0ビットの設定によるクリアができます。

( ii ) UDCモードB (IT20CMDビット = 1, IT20MSELビット = 1の場合)

IT20UDCがアップ・カウント中のIT20CM0との一致で, IT20UDCはクリアされます。

IT20UDCがダウン・カウント中のIT20CM1との一致で, IT20UDCはクリアされます。

IT20UDCはIT20TMCレジスタのIT20CEビット = 1のときに, 動作モードが汎用モード時にはアップ・カウント, UDCモード時にはアップ/ダウン・カウントを行います。

**注意 1** . TIT20CUD端子とTIT20CC0端子は兼用構成となります。このため, UDCモード時には, TIT20CUD端子が使用されるため, TIT20CC0端子による外部キャプチャ機能は使用できません。

**2** . TIT20CLR端子とTIT20CC1端子は兼用構成となります。このため, UDCモードA時にTIT20CLR入力を使用する場合には, TIT20CC1端子による外部キャプチャ機能は使用できません。

IT20UDCが動作中にクリアされる条件は動作モードにより次のように分類できます。

表7 - 2 16ビット・アップ/ダウン・カウンタ (IT20UDC) のクリア条件

動作モード	IT20TUMレジスタ		IT20TMCレジスタ			IT20UDCのクリア
	IT20CMD ビット	IT20MSEL ビット	IT20ENMD ビット	IT20CLR1 ビット	IT20CLR0 ビット	
汎用タイム・モード	0	0	0	×	×	クリア動作を行わない
			1	×	×	IT20CM0設定値と一致でクリア
UDCモードA	1	0	×	0	0	TIT20CLR入力のみでクリア
			×	0	1	アップ・カウント中のIT20CM0設定値との一致でクリア
			×	1	0	TIT20CLR入力もしくはアップ・カウント中のIT20CM0設定値との一致でクリア
			×	1	1	クリア動作を行わない
UDCモードB	1	1	×	×	×	アップ・カウント中のIT20CM0設定値との一致でクリアもしくはダウン・カウント中のIT20CM1設定値との一致でクリア
上記設定以外						設定禁止

**備考** × : 該当ビットの設定値は無視されることを示します。



(2) 16ビット・コンペア・レジスタ0 (IT20CM0)

IT20CM0は、16ビットのレジスタで、IT20UDCと常に比較動作を行い、一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- ・汎用タイマ・モード (IT20TUMレジスタのIT20CMDビット = 0) , UDCモードA (IT20TUMレジスタのIT20MSELビット = 0) 時は、一致検出時には常に割り込み信号 (INTCM10) を発生します。
- ・UDCモードB (IT20TUMレジスタのIT20MSELビット = 1) 時は、アップ・カウント中の一致検出時のみ割り込み信号 (INTCM10) を発生します。

IT20CM0は、16ビット・メモリ操作命令で設定します。

また、下位8ビットをIT20CM0Lにて8ビット・メモリ操作命令で設定できます。

RESET入力により0000Hになります。



**注意** IT20TMCレジスタのIT20CEビット = 1のときには、IT20CM0レジスタの値を書き換えることは禁止します。

(3) 16ビット・コンペア・レジスタ1 (IT20CM1)

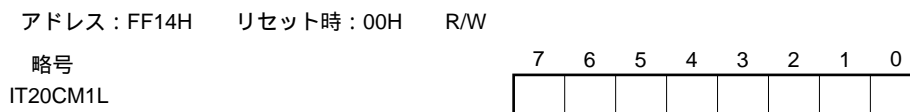
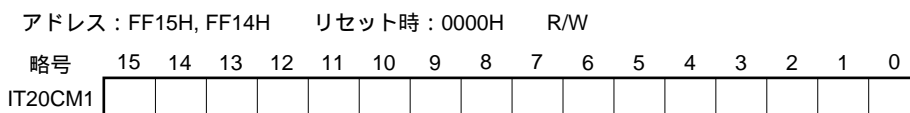
IT20CM1は、16ビットのレジスタで、IT20UDCと常に比較動作を行い、一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- ・汎用タイマ・モード (IT20TUMレジスタのIT20CMDビット = 0) , UDCモードA (IT20TUMレジスタのIT20MSELビット = 0) 時は、一致検出時には常に割り込み信号 (INTCM11) を発生します。
- ・UDCモードB (IT20TUMレジスタのIT20MSELビット = 1) 時は、ダウン・カウント中の一致検出時のみ割り込み信号 (INTCM11) を発生します。

IT20CM1は、16ビット・メモリ操作命令で設定します。

また、下位8ビットをIT20CM1Lにて8ビット・メモリ操作命令で設定できます。

RESET入力により0000Hになります。



**注意** IT20TMCレジスタのIT20CEビット = 1のときには、IT20CM1レジスタの値を書き換えることは禁止します。

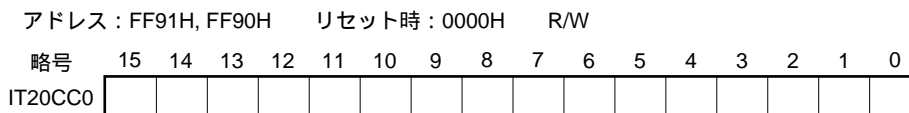
**(4) 16ビット・キャプチャ/コンペア・レジスタ0 (IT20CC0)**

IT20CC0は、16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ (IT20CCR) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

IT20CC0は、16ビット・メモリ操作命令で設定します。

また、下位8ビットをIT20CC0Lにて8ビット・メモリ操作命令で設定できます。

$\overline{\text{RESET}}$ 入力により0000Hになります。



**注意 1** . キャプチャ・レジスタ時 (IT20CCRレジスタのIT20CMS0ビット = 0) には、CPUからのライト・アクセスを禁止します。

2 . コンペア・レジスタ時 (IT20CCRレジスタのIT20CMS0ビット = 1) でIT20TMCレジスタのIT20CEビット = 1のときには、IT20CC0レジスタ値を書き換えることを禁止します。

3 . IT20TMCレジスタのIT20CEビット = 0のときは、キャプチャ・トリガは無効になります。

4 . 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。

5 . IT20CC0の連続読み出しは禁止します。IT20CC0の連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。IT20CC0を2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

**(a) キャプチャ・レジスタに設定**

キャプチャ・レジスタに設定した場合は、対応するTIT20CC0信号の有効エッジをキャプチャ・トリガとして検出します。IT20UDCはキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込みの有効エッジ指定 (立ち上がり、立ち下がり、両エッジ) は、有効エッジ選択レジスタ (IT20SESA) により選択できます。

キャプチャ・レジスタに指定したときは、TIT20CC0信号の有効エッジ検出で割り込みを発生します。

**注意** TIT20CUD端子とTIT20CC0端子は兼用構成となります。このため、UDCモード時には、TIT20CUD端子が使用されるため、TIT20CC0端子による外部キャプチャ機能は使用できません。

**(b) コンペア・レジスタに設定**

コンペア・レジスタに設定した場合、常にIT20UDCとIT20CC0の値の比較動作を行い、一致を検出すると割り込み信号 (INTCC10) を発生します。

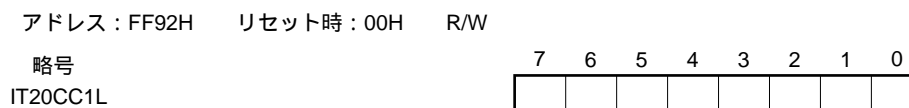
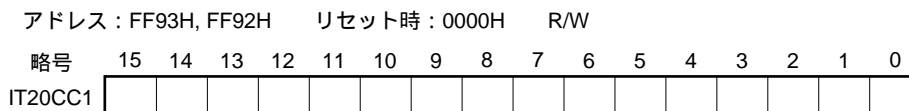
## (5) 16ビット・キャプチャ/コンペア・レジスタ1 (IT20CC1)

IT20CC1は、16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ (IT20CCR) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

IT20CC1は、16ビット・メモリ操作命令で設定します。

また、下位8ビットをIT20CC1Lにて8ビット・メモリ操作命令で設定できます。

$\overline{\text{RESET}}$ 入力により0000Hになります。



- 注意 1** . キャプチャ・レジスタ時 (IT20CCRレジスタのIT20CMS1ビット = 0) には、CPUからのライト・アクセスを禁止します。
- 2 . コンペア・レジスタ時 (IT20CCRレジスタのIT20CMS1ビット = 1) でIT20TMCレジスタのIT20CEビット = 1のときには、IT20CC1レジスタ値を書き換えることは禁止します。
  - 3 . IT20TMCレジスタのIT20CEビット = 0のときは、キャプチャ・トリガは無効になります。
  - 4 . 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
  - 5 . IT20CC1の連続読み出しは禁止します。IT20CC1の連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。IT20CC1を2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

## (a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応するTIT20CC1信号の有効エッジをキャプチャ・トリガとして検出します。IT20UDCはキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込みの有効エッジ指定 (立ち上がり、立ち下がり、両エッジ) は、有効エッジ選択レジスタ (IT20SESA) により選択できます。

キャプチャ・レジスタに指定したときは、TIT20CC1信号の有効エッジ検出で割り込みを発生します。

**注意** TIT20CLR端子とTIT20CC1端子は兼用構成となります。このため、UDCモードA時にTIT20CLR入力を使用する場合には、TIT20CC1端子による外部キャプチャ機能は使用できません。

## (b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にIT20UDCとIT20CC1の値の比較動作を行い、一致を検出すると割り込み信号 (INTCC11) を発生します。

## 7.3 16ビット・アップ/ダウン・カウンタITENC20を制御するレジスタ

16ビット・アップ/ダウン・カウンタITENC20を制御するレジスタには、次の9種類があります。

- ・タイマ・ユニット・モード・レジスタ (IT20TUM)
- ・タイマ・コントロール・レジスタ (IT20TMC)
- ・キャプチャ/コンペア・コントロール・レジスタ (IT20CCR)
- ・有効エッジ選択レジスタ (IT20SESA)
- ・プリスケアラ・モード・レジスタ (IT20PRM)
- ・ステータス・レジスタ (IT20STS)
- ・ノイズ除去時間選択レジスタ 1 (NRC1)
- ・ポート・モード・レジスタ 5 (PM5)
- ・ポート・レジスタ 5 (P5)

(1) タイマ・ユニット・モード・レジスタ (IT20TUM)

IT20TUMレジスタは、IT20UDCの動作モード指定、PWM出力端子の動作制御などを行う8ビット・レジスタです。

IT20TUMは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により00Hになります。

図7-2 タイマ・ユニット・モード・レジスタ (IT20TUM) のフォーマット

アドレス：FF95H リセット時：00H R/W

略号	[7]	6	5	4	[3]	[2]	1	[0]
IT20TUM	IT20CMD	0	0	0	IT20TOE	IT20ALVT	0	IT20MSEL

IT20CMD	IT20UDCの動作モード指定
0	汎用タイマ・モード (アップ・カウント)
1	UDCモード (アップ/ダウン・カウント)

IT20TOE	タイマ出力 (TIT20TO) の許可指定
0	出力禁止
1	出力許可
IT20CMDビット = 1 (UDCモード) のときは、IT20TOEビットの指定にかかわらずタイマ出力は行いません。その際タイマ出力は、IT20ALVTビットの設定レベルの逆相レベルを出力します。	

IT20ALVT	タイマ出力 (TIT20TO) のアクティブ・レベル指定
0	アクティブ・レベルはハイ・レベル
1	アクティブ・レベルはロウ・レベル
IT20CMDビット = 1 (UDCモード) のときは、IT20TOEビットの指定にかかわらずタイマ出力は行いません。その際タイマ出力は、IT20ALVTビットの設定レベルの逆相レベルを出力します。	

IT20MSEL	UDCモード (アップ/ダウン・カウント) 時の動作を指定します。
0	UDCモードA IT20UDCは、IT20TMCレジスタのIT20CLR1、IT20CLR0ビットの設定によるクリアが可能
1	UDCモードB IT20UDCは次の場合にクリア動作を行います。 <ul style="list-style-type: none"> <li>・IT20UDCがアップ・カウント中のIT20CM0との一致でクリア</li> <li>・IT20UDCがダウン・カウント中のIT20CM1との一致でクリア</li> </ul>
UDCモードB設定時は、IT20TMCレジスタのIT20ENMD、IT20CLR1、IT20CLR0ビットは無効になります。	

- 注意1** . IT20UDC動作中 (IT20TMCレジスタのIT20CEビット = 1) にIT20TUMレジスタの内容を変更することは禁止します。
- 2** . IT20CMDビット = 0 (汎用タイマ・モード) 時に、IT20MSELビット = 1 (UDCモードB) の設定は禁止します。

**(2) タイマ・コントロール・レジスタ (IT20TMC)**

IT20TMCレジスタは、IT20UDCの動作許可/禁止、転送およびタイマ・クリア動作の設定を行うレジスタです。

IT20TMCは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-3 タイマ・コントロール・レジスタ (IT20TMC) のフォーマット

アドレス：FF96H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IT20TMC	0	IT20CE	0	0	IT20RLEN	IT20ENMD	IT20CLR1	IT20CLR0

IT20CE	IT20UDCの動作制御
0	カウント動作禁止
1	カウント動作許可

IT20RLEN	IT20CM0からIT20UDCへの転送動作の指定
0	転送動作禁止
1	転送動作許可
<ul style="list-style-type: none"> <li>・ IT20RLEN = 1のとき，IT20UDCがアンダフローを発生させるとIT20UDCにはIT20CM0に設定されている値が転送されます。</li> <li>・ IT20TUMレジスタのIT20CMDビット = 0 (汎用タイマ・モード) のとき，IT20RLENビットの設定は無効になります。</li> <li>・ IT20RLENビットはUDCモードA時 (IT20TUMレジスタのIT20CMDビット = 1，IT20MSELビット = 0) のみ有効です。汎用タイマ・モード時 (IT20CMD = 0) およびUDCモードB時 (IT20CMDビット = 1, IT20MSELビット = 1) は，IT20RLENビットをセット (1) しても転送動作は行いません。</li> </ul>	

IT20ENMD	汎用タイマ・モード時のIT20UDCのクリア動作の制御
0	クリア禁止 (フリー・ランニング・モード) IT20UDCはIT20CM0と一致してもクリア動作は行いません。
1	クリア許可 IT20UDCはIT20CM0と一致してもクリア動作は行います。
IT20TUMレジスタのIT20CMDビット = 1 (UDCモード) のとき，IT20ENMDビットの設定は無効になります。	

IT20CLR1	IT20CLR0	IT20UDCのクリア要因の指定
0	0	外部入力 (TIT20CLR) のみでクリア
0	1	IT20UDCカウント値とIT20CM0設定値との一致でクリア
1	0	TIT20CLR入力もしくは，IT20UDCカウント値とのIT20CM0設定値との一致でクリア
1	1	クリアなし
<ul style="list-style-type: none"> <li>・ IT20UDCカウント値とIT20CM0設定値との一致によるクリアは，IT20UDCがアップ・カウント動作時のみ有効です (IT20UDCがダウン・カウント中の場合は，IT20UDCクリア動作は行いません)。</li> <li>・ IT20TUMレジスタのIT20CMDビット = 0 (汎用タイマ・モード) のとき，IT20CLR1, IT20CLR0ビットの設定は無効となります。</li> <li>・ IT20TUMレジスタのIT20MSELビット = 1 (UDCモードB) のとき，IT20CLR1, IT20CLR0ビットの設定は無効となります。</li> <li>・ IT20CLR1, IT20CLR0ビットでTIT20CLRでのクリアを有効にした場合，IT20CEビットが1，0いずれの場合でもクリアされます。</li> </ul>		

**注意** IT20UDC動作中 (IT20CEビット = 1) にIT20CEビット以外のIT20TMCレジスタの内容を変更することは禁止します。

(3) キャプチャ/コンペア・コントロール・レジスタ (IT20CCR)

IT20CCRレジスタは、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) の動作モードを指定します。

IT20CCRは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-4 キャプチャ/コンペア・コントロール・レジスタ (IT20CCR) のフォーマット

アドレス：FF94H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
IT20CCR	0	0	0	0	0	0	IT20CMS1	IT20CMS0

IT20CMS1	IT20CC1の動作モード指定
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

IT20CMS0	IT20CC0の動作モード指定
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

- 注意1 . IT20UDC動作中 (IT20CEビット = 1) にIT20CCRレジスタを書き換えることは禁止します。
- 2 . TIT20CUD端子とTIT20CC0端子は兼用構成となります。このため、UDCモード時には、TIT20CUD端子が使用されるため、TIT20CC0端子による外部キャプチャ機能は使用できません。
- 3 . TIT20CLR端子とTIT20CC1端子は兼用構成となります。このため、UDCモードA時にTIT20CLR入力を使用する場合には、TIT20CC1端子による外部キャプチャ機能は使用できません。



(4) 有効エッジ選択レジスタ (IT20SESA)

IT20SESAレジスタは、外部端子によるタイマ入力 (IT20CC0, IT20CC1, IT20IUD, IT20CUD, IT20CLR) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

IT20SESAは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-5 有効エッジ選択レジスタ (IT20SESA) のフォーマット

アドレス : FF97H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
IT20SESA	IT20TESUD1	IT20TESUD0	IT20CESUD1	IT20CESUD0	IT20IES11	IT20IES10	IT20IES01	IT20IES00
	TIT20IUD, TIT20CUD		TIT20CLR		TIT20CC1		TIT20CC0	

IT20TESUD1	IT20TESUD0	TIT20IUD, TIT20CUD端子の有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

・ IT20TESUD1, IT20TESUD0ビットは、UDCモードA, UDCモードB時のみ設定値が有効です。  
 ・ IT20UDCの動作がモード4に設定されている場合 (IT20PRMレジスタのIT20PRM2-IT20PRM0ビットで指定) には、TIT20IUD, TIT20CUD端子に対する有効エッジの指定 (IT20TESUD1, IT20TESUD0ビット) は無効です。

IT20CESUD1	IT20CESUD0	TIT20CLR端子の有効エッジの指定
0	0	立ち下がりエッジ (エッジ検出後, IT20UDCをクリア)
0	1	立ち上がりエッジ (エッジ検出後, IT20UDCをクリア)
1	0	ロウ・レベル (IT20UDCはクリアを保持)
1	1	ハイ・レベル (IT20UDCはクリアを保持)

・ IT20CESUD1, IT20CESUD0ビットは、UDCモードA時のみ、設定値が有効です。

IT20IES11	IT20IES10	TIT20CC1端子の有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

IT20IES01	IT20IES00	TIT20CC0端子の有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり両エッジ

**注意** IT20UDC動作中 (IT20CEビット = 1) にIT20SESAレジスタの各ビットを変更することは禁止します。

(5) プリスケアラ・モード・レジスタ (IT20PRM)

IT20PRMレジスタは、次の選択を行うレジスタです。

- ・汎用タイマ・モード (IT20CMDビット = 0) 時のカウント・クロックを選択します。
- ・UDCモード時 (IT20CMDビット = 1) 時にカウント動作モードを選択します。

IT20PRMは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。  
RESET入力により07Hになります。

図7-6 プリスケアラ・モード・レジスタ (IT20PRM) のフォーマット

アドレス : FF3AH    リセット時 : 07H    R/W

略号	7	6	5	4	3	2	1	0
IT20PRM	0	0	0	0	0	IT20PRM2	IT20PRM1	IT20PRM0

IT20PRM2	IT20PRM1	IT20PRM0	IT20CMD = 0	IT20CMD = 1	
			カウント・クロック	カウント・クロック	アップ/ダウン・カウント
0	0	0	設定禁止	設定禁止 (モード4) (このときIT20SESAレジスタが有効になります。)	
0	0	1	fx/2		
0	1	0	fx/4		
0	1	1	fx/8		
1	0	0	fx/16	TIT20IUD	モード1
1	0	1	fx/32		モード2
1	1	0	fx/64		モード3
1	1	1	fx/128		モード4

備考 fx : 内部システム・クロック

注意1 . IT20UDC動作中 (IT20CEビット = 1) にIT20PRMレジスタを書き換えることは禁止します。

2 . IT20TUMレジスタのIT20CMDビット = 1 (UDCモード) のとき、IT20PRM2-IT20PRM0ビット値が000, 001, 010, 011の設定は禁止します。

3 . IT20UDC動作がモード4に指定されている場合には、TIT20IUD, TIT20CUD端子に対する有効エッジの指定は無効となります。

(a) 汎用タイマ・モード (IT20TUMレジスタのIT20CMDビット = 0) 時

カウント・クロックは内部クロック固定です。IT20PRM2-IT20PRM0ビットでIT20UDCのクロック・レートを指定します。

(b) UDCモード (IT20TUMレジスタのIT20CMDビット = 1) 時

UDCモード時のIT20UDCのカウント要因を次に示します。

動作モード	IT20UDCの動作
モード1	TIT20CUD = ハイ・レベルのとき、ダウン・カウント TIT20CUD = ロウ・レベルのとき、アップ・カウント
モード2	TIT20IUD入力の有効エッジ検出でアップ・カウント TIT20CUD入力の有効エッジ検出でダウン・カウント
モード3	TIT20IUD入力の有効エッジ検出時のTIT20CUD入力レベルで自動判別
モード4	TIT20IUD入力の両エッジおよびTIT20CUD入力の両エッジ検出で自動判別

(6) ステータス・レジスタ (IT20STS)

IT20STSレジスタは、IT20UDCの動作状態を示すレジスタです。

IT20STSは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で読み出します。

RESET入力により00Hになります。

図7-7 ステータス・レジスタ (IT20STS) のフォーマット

アドレス：FF3BH    リセット時：00H    R

略号	7	6	5	4	3	2	1	0
IT20STS	0	0	0	0	0	IT20UDF	IT20OVF	IT20UBD

IT20UDF	IT20UDCのアンダフロー・フラグ
0	IT20UDCのカウンタ・アンダフロー発生なし
1	IT20UDCのカウンタ・アンダフロー発生あり
IT20UDFビットは、CPUからIT20STSレジスタへのリード・アクセス終了後にクリア(0)されます。	

IT20OVF	IT20UDCのオーバフロー・フラグ
0	IT20UDCのカウンタ・オーバフロー発生なし
1	IT20UDCのカウンタ・オーバフロー発生あり
IT20OVFビットは、CPUからIT20STSレジスタへのリード・アクセス終了後にクリア(0)されます。	

IT20UBD	IT20UDCのアップ/ダウン・カウンタ動作状態
0	IT20UDCのアップ・カウンタ動作中
1	IT20UDCのダウン・カウンタ動作中
IT20UBDビットはモードにより次のようになります。	
・ IT20TUMレジスタのIT20CMDビット = 0 (汎用タイマ・モード) 時 IT20UBDビットはハードウェア上 " 0 " 固定です。	
・ IT20TUMレジスタのIT20CMDビット = 1 (UDCモード) 時 IT20UDCのアップ/ダウン状態を表示します。	

注意 IT20UDC動作中 (IT20CEビット = 1) にIT20STSレジスタを書き換えることは禁止します。

## (7) ノイズ除去時間選択レジスタ1 (NRC1)

NRC1レジスタは、TIT20IUD, TIT20CUD, TIT20CC0, TIT20CC1, TIT20CLR端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択するレジスタです。同じレベルをNRC1レジスタで選択したクロックで5回連続検出されなかった場合、その信号はノイズとして除去されます。

NRC1は、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-8 ノイズ除去時間選択レジスタ1 (NRC1) のフォーマット

アドレス : FFAAH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
NRC1	0	0	0	0	0	0	NRC11	NRC10

NRC11	NRC10	ノイズ除去クロックの選択
0	0	$fx/2^3$
0	1	$fx/2^2$
1	0	$fx/2$
1	1	$fx$

備考  $fx$  : 内部システム・クロック

- 注意1 . 入力パルスが4-5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
- 2 . サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
- 3 . 通常入力ポートとして使用する場合はノイズ除去を行いません。

(8) ポート・モード・レジスタ5 (PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P57/TIT20CLR/TIT20CC1/TIT20TO端子をタイマ出力として使用するとき, PM57およびP57の出力ラッチに0を設定してください。

P55/TIT20IUD/INTP6, P56/TIT20CUD/TIT20CC0/INTP7, P57/TIT20CLR/TIT20CC1/TIT20TO端子をタイマ入力として使用するとき, それぞれPM55, PM56, PM57に1を設定してください。このとき, P55, P56, P57の出力ラッチは0または1のどちらでもかまいません。

PM5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図7-9 ポート・モード・レジスタ5 (PM5) のフォーマット

アドレス : FF25H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	P5n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 7.4 16ビット・アップ/ダウン・カウンタITENC20の動作

### 7.4.1 基本動作

16ビット・アップ/ダウン・カウンタITENC20には、次に示す2つの動作モードがあります。

#### (1) 汎用タイマ・モード (IT20TUMレジスタのIT20CMDビット = 0)

汎用タイマ・モードでは、16ビットのインターバル・タイマ、またはPWM出力用タイマとして動作します (カウント動作はアップ・カウントのみです)。

IT20UDCへのカウント・クロックはプリスケアラ・モード・レジスタ (IT20PRM) により選択できます。

#### (2) アップ/ダウン・カウンタ・モード (UDCモード) (IT20TUMレジスタのIT20CMDビット = 1)

UDCモードは、16ビットのアップ/ダウン・カウンタとして動作します。

IT20UDCのカウント・クロックは、IT20PRMレジスタにより外部クロック入力 (IT20IUD, IT20CUD端子) となります。

また、UDCモードはIT20UDCのクリア条件から、さらに2種類のモードに分けられます。

##### ・UDCモードA (IT20TUMレジスタのIT20CMDビット = 1, IT20MSELビット = 0)

IT20UDCのクリア要因を外部クリア入力 (TIT20CLR) のみか、アップ・カウント中のIT20UDCのカウント値とIT20CM0設定値との一致信号か、または、両信号の論理和 (OR) かをIT20TMCレジスタのIT20CLR1, IT20CLR0ビットによって選択可能です。

また、IT20UDCは、自己のアンダフロー発生タイミングでIT20CM0の値をリロードできます。

##### ・UDCモードB (IT20TUMレジスタのIT20CMDビット = 1, IT20MSELビット = 1)

IT20UDCのカウント値とIT20CM0設定値が一致後のIT20UDCの状態を次に示します。

アップ・カウントの場合、IT20UDCをクリア (0000H) し、INTCM10割り込みを発生します。

ダウン・カウントの場合、IT20UDCカウント値をデクリメント (-1) します。

IT20UDCのカウント値とIT20CM1設定値が一致後のIT20UDCの状態を次に示します。

アップ・カウントの場合、IT20UDCカウント値をインクリメント (+1) します。

ダウン・カウントの場合、IT20UDCをクリア (0000H) し、INTCM11割り込みを発生します。

## 7.4.2 汎用タイマ・モードでの動作

汎用タイマ・モードでは次に示す動作ができます。

### (1) インターバル動作

IT20UDCとIT20CM0は常に比較動作を行い、一致を検出するとINTCM10割り込みを発生します。一致の次のカウント・クロックでIT20UDCをクリア(0000H)します。

さらに次のカウント・クロックが入ると、IT20UDCは0001Hにカウント・アップされます。インターバル周期は次に示す式で計算できます。

$$\text{インターバル周期} = (\text{IT20CM0値} + 1) \times \text{IT20UDCのカウント・クロック・レート}$$

**注意** インターバル動作は、IT20TMCレジスタのIT20ENMDビットを1に設定することで実現できません。

### (2) フリー・ランニング動作

IT20UDCは、0000HからFFFFHまでフル・カウントし、IT20STSレジスタのIT20OVFビットがセット(1)後、IT20UDCをクリアしてカウントを続行します。フリー・ランニング周期は次に示す式で計算できます。

$$\text{フリー・ランニング周期} = 65536 \times \text{IT20UDCのカウント・クロック・レート}$$

**注意** フリー・ランニング動作は、IT20TMCレジスタのIT20ENMDビットを0に設定することで実現できません。

### (3) コンペア機能

IT20UDCは、コンペア・レジスタ(IT20CM0, IT20CM1)を2チャンネル、キャプチャ/コンペア・レジスタ(IT20CC0, IT20CC1)を2チャンネル接続しています。

IT20UDCカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み(INTCM10, INTCM11, INTCC10<sup>注</sup>, INTCC11<sup>注</sup>)が出力されます。

特にインターバル動作時には、INTCM10発生タイミングで、IT20UDCがクリアされます。

**注** IT20CC0, IT20CC1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生しません。

(4) キャプチャ機能

IT20UDCは、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) を2チャンネル接続しています。

IT20CC0, IT20CC1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してIT20UDCの値をキャプチャします。

また、TIT20CC0, TIT20CC1入力信号により割り込み要求 (INTCC10, INTCC11) を発生します。

表7-3 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・レジスタ	キャプチャ・トリガ信号
IT20CC0	TIT20CC0
IT20CC1	TIT20CC1

**備考** IT20CC0, IT20CC1はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、キャプチャ/コンペア・コントロール・レジスタ (IT20CCR) で指定します。

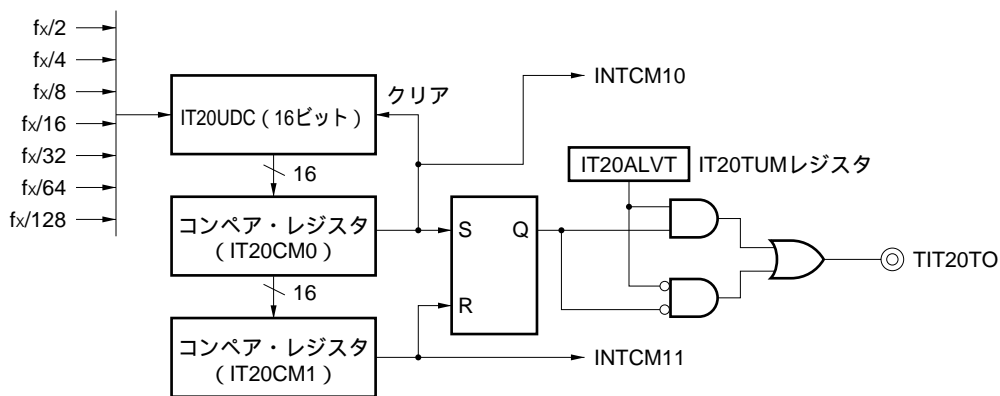
キャプチャ・トリガの有効エッジは、有効エッジ選択レジスタ (IT20SESA) により指定します。立ち上がり/立ち下がり/両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

(5) PWM出力動作

タイマ・ユニット・モード・レジスタ (IT20TUM) によりIT20UDCを汎用タイマ・モード (IT20CMDビット=0) に設定することで、TIT20TO端子からPWM出力動作をします。

また、分解能は16ビットで、カウント・クロックは7種類の内部クロック ( $f_x/2, f_x/4, f_x/8, f_x/16, f_x/32, f_x/64, f_x/128$ ) から選択できます。

図7-10 PWM出力動作時のブロック図



**注意** IT20UDCのカウント・クロックは必ず10 MHz以下で設定してください。

**備考**  $f_x$  : 内部システム・クロック

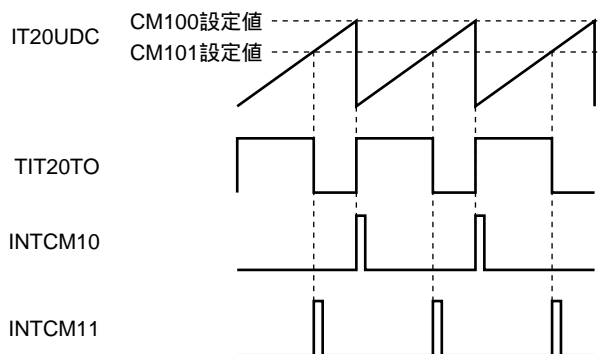


## (a) PWM動作説明

IT20CM0レジスタは、PWM出力の周期を設定するコンペア・レジスタです。IT20UDCと一致するとINTCM10割り込みを発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウンタ・クロックでIT20UDCをクリアします。

IT20CM1レジスタは、PWM出力のデューティを設定するコンペア・レジスタです。PWM周期に必要なデューティを設定してください。

図7 - 11 PWM信号出力例 (IT20ALVTビット = 0設定時)



- 注意 1** . IT20UDC動作時 (IT20TMCレジスタのIT20CEビット = 1) にIT20CM0, IT20CM1レジスタの値を変更することを禁止します。
- 2** . IT20UDC動作時にIT20TUMレジスタのIT20ALVTビット設定値を変更することは禁止します。
- 3** . PWM信号出力は、IT20CEビットをセット ( 1 ) 後の第2PWM周期目から出力されます。

### 7.4.3 UDCモードでの動作

#### (1) UDCモードでの動作概要

UDCモード (IT20TUMレジスタのIT20CMDビット = 1) 時のIT20UDCへのカウント・クロックは、TIT20IUD, TIT20CUD端子からの外部入力のみとなります。UDCモード時のアップ/ダウン・カウント判定は、IT20PRMレジスタ設定に従ったTIT20IUD, TIT20CUD端子入力の位相差により決定します (選択肢は合計4種類存在します)。

表7-4 UDCモードのカウント動作一覧

IT20PRMレジスタ			動作モード	IT20UDCの動作
IT20PRM2	IT20PRM1	IT20PRM0		
1	0	0	モード1	TIT20CUD = ハイ・レベルのとき, ダウン・カウント TIT20CUD = ロウ・レベルのとき, アップ・カウント
1	0	1	モード2	TIT20IUD入力の有効エッジ検出でアップ・カウント TIT20CUD入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TIT20IUD入力の有効エッジ検出時のTIT20CUD入力レベルで自動判別
1	1	1	モード4	TIT20IUD入力の両エッジおよびTIT20CUD入力の両エッジ検出で自動判別

さらにUDCモードでは、IT20UDCのクリア条件により、2種類のモードに分かれます (両モードとも、TIT20IUD, TIT20CUD入力でのみカウント動作を行います)。

- ・UDCモードA (IT20TUMレジスタのIT20CMDビット = 1, IT20MSELビット = 0)
 

IT20UDCのクリア要因を外部クリア入力 (TIT20CLR) のみか、アップ・カウント中のIT20UDCのカウント値とIT20CM0設定値との一致信号か、または、両信号の論理和 (OR) かをIT20TMCレジスタのIT20CLR1, IT20CLR0ビットによって選択可能です。

また、IT20UDCは、自己のアンダフロー発生タイミングでIT20CM0の値を転送できます。
- ・UDCモードB (IT20TUMレジスタのIT20CMDビット = 1, IT20MSELビット = 1)
 

IT20UDCのカウント値とIT20CM0設定値が一致後のIT20UDCの状態を次に示します。

アップ・カウントの場合、IT20UDCをクリア (0000H) し、INTCM10割り込みを発生します。

ダウン・カウントの場合、IT20UDCカウント値をデクリメント (-1) します。

IT20UDCのカウント値とIT20CM1設定値が一致後のIT20UDCの状態を次に示します。

アップ・カウントの場合、IT20UDCカウント値をインクリメント (+1) します。

ダウン・カウントの場合、IT20UDCをクリア (0000H) し、INTCM11割り込みを発生します。

(2) UDCモードでのアップ/ダウン・カウント動作

UDCモード時のIT20UDCのアップ/ダウン・カウント判定は、IT20PRMレジスタ設定に従ったTIT20IUD, TIT20CUD端子入力の位相差により決定します。次に具体的な動作を示します。

(a) モード1 (IT20PRM2ビット = 1, IT20PRM1ビット = 0, IT20PRM0ビット = 0)

モード1では、TIT20IUD端子の有効エッジを検出したときに、TIT20CUD端子レベルの条件によりカウントは次のようになります。

- ・ TIT20CUD端子 = ハイ・レベルの場合、IT20UDCをダウン・カウントします。
- ・ TIT20CUD端子 = ロウ・レベルの場合、IT20UDCをアップ・カウントします。

図7-12 モード1 (TIT20IUD端子の有効エッジが立ち上がりエッジ指定の場合)

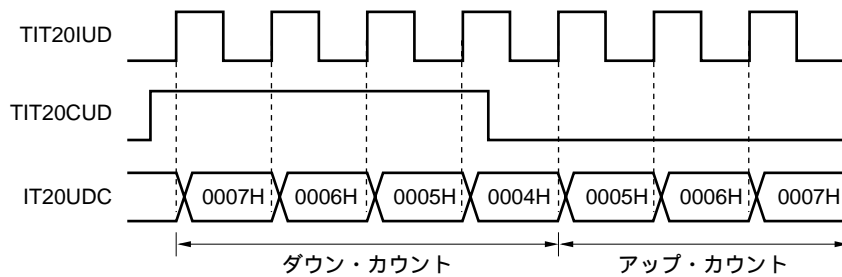
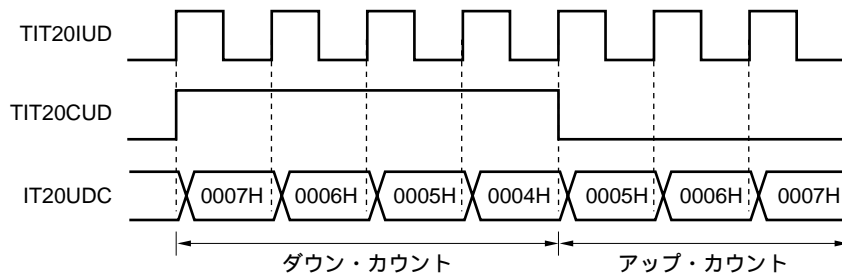


図7-13 モード1 (TIT20IUD端子の有効エッジが立ち上がりエッジ指定の場合)

: TIT20IUD, TIT20CUD端子のエッジが同時タイミングのとき



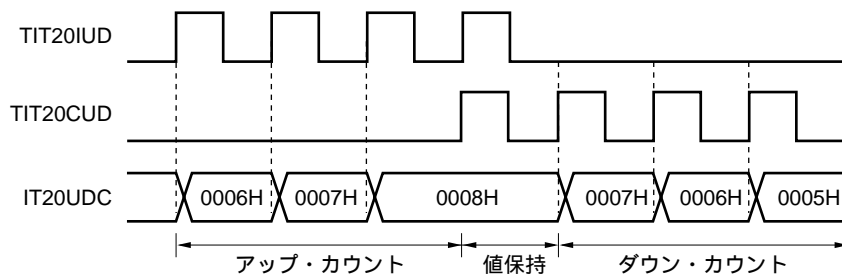
(b) モード2 (IT20PRM2ビット = 1, IT20PRM1ビット = 0, IT20PRM0ビット = 1)

モード2でのカウントの条件は次のようになります。

- ・ TIT20IUD端子の有効エッジを検出した場合、IT20UDCをアップ・カウントします。
- ・ TIT20CUD端子の有効エッジを検出した場合、IT20UDCをダウン・カウントします。

**注意** TIT20IUD端子とTIT20CUD端子にカウント・クロックが同時に入力した場合には、カウント動作を行わず、直前の値は保持します。

図7 - 14 モード2 (TIT20IUD, TIT20CUD端子の有効エッジが立ち上がりエッジ指定の場合)



(c) モード3 (IT20PRM2 = 1, IT20PRM1 = 1, IT20PRM0 = 0)

モード3は、TIT20IUD端子とTIT20CUD端子が90°の位相差を持つ2相信号を入力すると、TIT20IUD端子の有効エッジ入力でTIT20CUD端子のレベルをサンプリングします(図7 - 15参照)。

TIT20IUD端子の有効エッジ入力でサンプリングしたTIT20CUD端子レベルがロウ・レベルの場合、IT20UDCはTIT20IUD端子の有効エッジ入力でダウン・カウントします。

TIT20IUD端子の有効エッジ入力でサンプリングしたTIT20CUD端子レベルがハイ・レベルの場合、IT20UDCはTIT20IUD端子の有効エッジ入力でアップ・カウントします。

図7 - 15 モード3 (TIT20IUD端子の有効エッジが立ち上がりエッジ指定の場合)

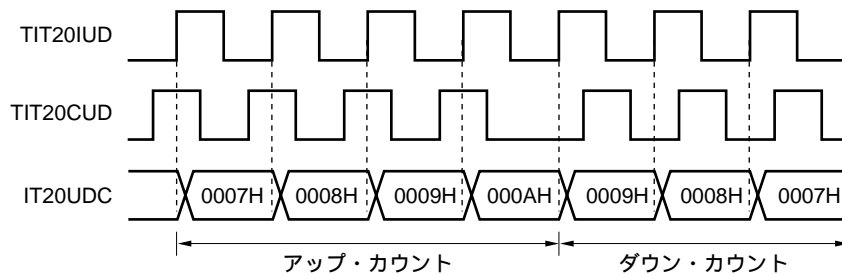
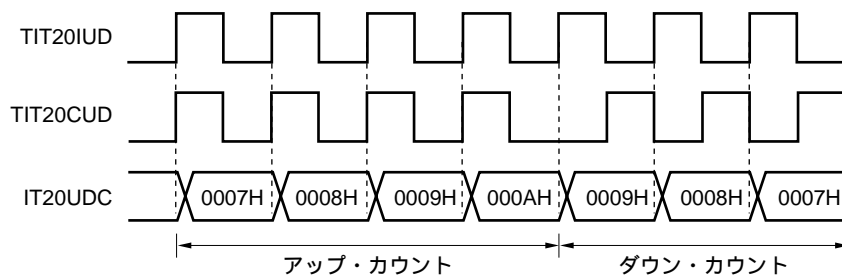


図7 - 16 モード3 (TIT20IUD端子の有効エッジが立ち上がりエッジ指定の場合)  
: TIT20IUD, TIT20CUD端子のエッジが同時タイミングのとき

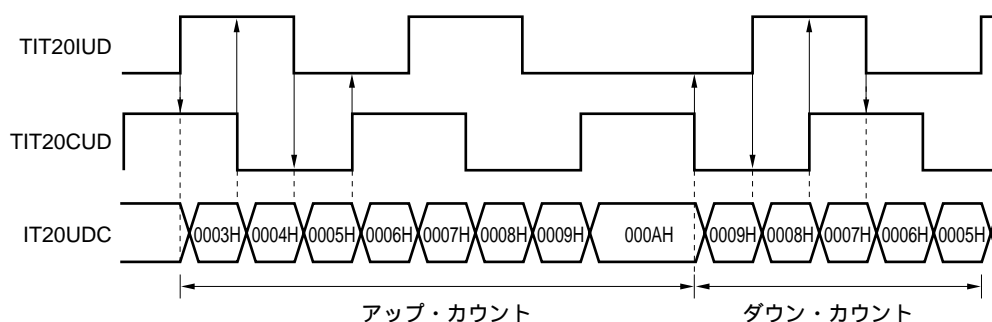


(d) モード4 (IT20PRM2 = 1, IT20PRM1 = 1, IT20PRM0 = 1)

モード4は、TIT20IUD端子とTIT20CUD端子に位相がシフトした2相信号を入力すると、図7 - 17に示すタイミングで自動的にアップ/ダウン動作を判別し、カウントを実行します。

モード4では、TIT20IUD端子とTIT20CUD端子に入力される2相信号をそれぞれの立ち上がり、立ち下りの両エッジでカウントします。したがって、IT20UDCは、入力信号の1サイクル当たり4回カウントします(4逓倍カウント)。

図7-17 モード4



注意1 . IT20UDCの動作がモード4に設定されている場合には、TIT20IUD端子とTIT20CUD端子に対する有効エッジの指定は無効となります。

2 . モード4でTIT20IUD端子とTIT20CUD端子のエッジが同時に入力された場合は、IT20UDCのアップ/ダウン動作は直前の動作のままカウントを続行します。

### (3) UDCモードAの動作

#### (a) インターバル動作

IT20UDCカウント値とIT20CM0設定値が一致した場合の次のカウント・クロックによる動作を示します。

- ・アップ・カウント時：IT20UDCをクリア(0000H)し、INTCM10割り込みを発生します。
- ・ダウン・カウント時：IT20UDCカウント値をデクリメント(-1)し、INTCM10割り込みを発生します。

備考 インターバル動作は、転送動作と組み合わせることもできます。

**(b) 転送動作**

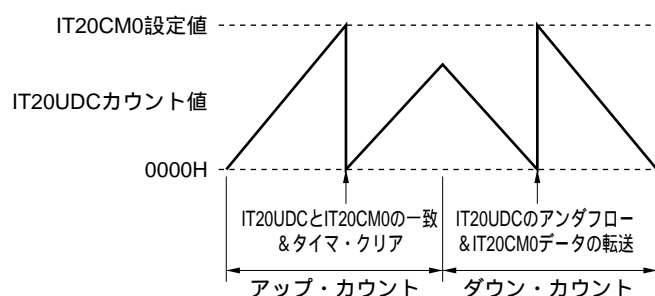
IT20UDCがダウン・カウント中に、IT20UDC = 0000Hとなる場合の次のカウント・クロック動作を示します。

- ・ダウン・カウント時：IT20CM0に確保されているデータを転送します。
- ・アップ・カウント時：IT20UDCカウント値をインクリメント(+1)します。

備考1．転送の許可/禁止は、IT20TMCレジスタのIT20RLENビットで設定できます。

2．転送動作は、インターバル動作と組み合わせることもできます。

図7 - 18 インターバル動作と転送動作を組み合わせたとときのIT20UDC動作例

**(c) コンペア機能**

IT20UDCは、コンペア・レジスタ (IT20CM0, IT20CM1) を2チャンネル、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) を2チャンネル接続しています。

IT20UDCカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み (INTCM10, INTCM11, INTCC10<sup>注</sup>, INTCC11<sup>注</sup>) が出力されます。

注 IT20CC0, IT20CC1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

**(d) キャプチャ機能**

IT20UDCは、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) を2チャンネル接続しています。

IT20CC0, IT20CC1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してIT20UDCの値をキャプチャします。

また、キャプチャ・レジスタ・モードに設定されている場合、有効エッジ検出により、キャプチャ割り込み (INTCC10, INTCC11) を発生します。

## (4) UDCモードBの動作

## (a) 基本動作

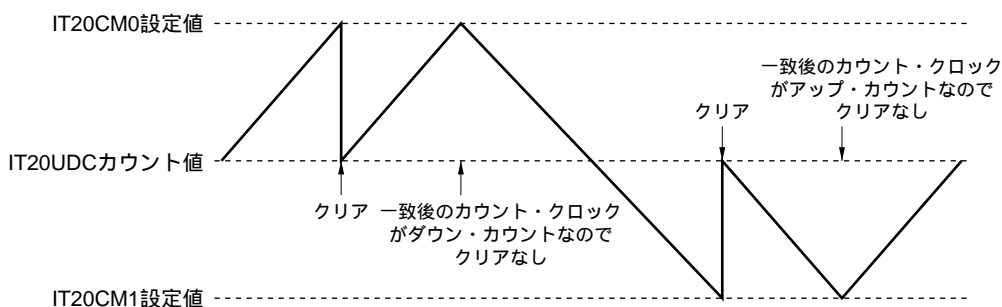
IT20UDCがUDCモードBのとき、IT20UDCカウント値とIT20CM0設定値が一致後の次のカウント動作を示します。

- ・アップ・カウントの場合、IT20UDCをクリア (0000H) し、INTCM10を発生します。
- ・ダウン・カウントの場合、IT20UDCカウント値をデクリメント (-1) します。

IT20UDCがUDCモードBのとき、IT20UDCカウント値とIT20CM1設定値が一致後の次のカウント動作を示します。

- ・アップ・カウントの場合、IT20UDCカウント値をインクリメント (+1) します。
- ・ダウン・カウントの場合、IT20UDCをクリア (0000H) し、INTCM11を発生します。

図7-19 UDCモード時のIT20UDC動作例



## (b) コンペア機能

IT20UDCは、コンペア・レジスタ (IT20CM0, IT20CM1) を2チャンネル、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) を2チャンネル接続しています。

IT20UDCカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み (INTCM10 (アップ・カウント中のみ), INTCM11 (ダウン・カウント中のみ), INTCC10<sup>注</sup>, INTCC11<sup>注</sup>) が出力されます。

**注** IT20CC0, IT20CC1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

## (c) キャプチャ機能

IT20UDCは、キャプチャ/コンペア・レジスタ (IT20CC0, IT20CC1) を2チャンネル接続しています。IT20CC0, IT20CC1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してIT20UDCの値をキャプチャします。

また、キャプチャ・レジスタ・モードに設定されている場合、有効エッジ検出により、キャプチャ割り込み (INTCC10, INTCC11) を発生します。

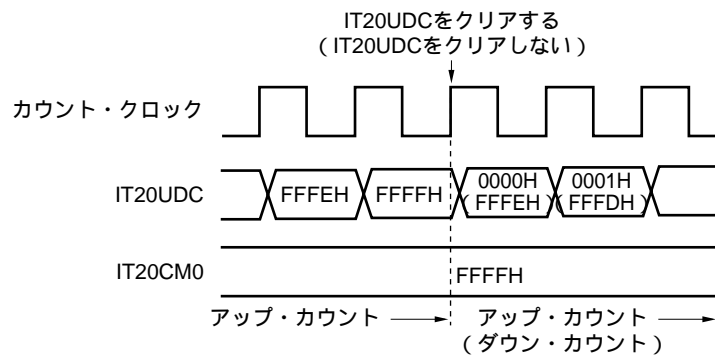
## 7.5 16ビット・アップ/ダウン・カウンタITENC20の内部動作

### 7.5.1 UDCモードBでのカウント値クリア動作について

IT20UDCがUDCモードBのとき、カウント値クリア動作は次のようになります。

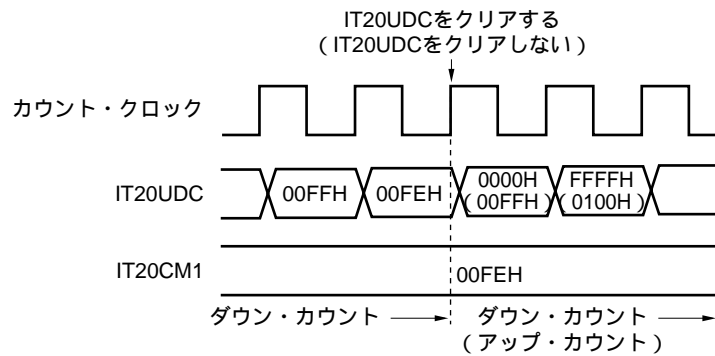
- ・IT20UDCがアップ・カウント中のIT20CM0との一致でクリア動作
- ・IT20UDCがダウン・カウント中のIT20CM1との一致でクリア動作

図7 - 20 IT20UDCがアップ・カウント時のIT20CM0との一致によるクリア動作



- 備考1 . カウント・クロック立ち上がり有効エッジ設定時
- 2 . 図中の ( ) はダウン・カウントの場合を示します。

図7 - 21 IT20UDCがダウン・カウント時のIT20CM1との一致によるクリア動作



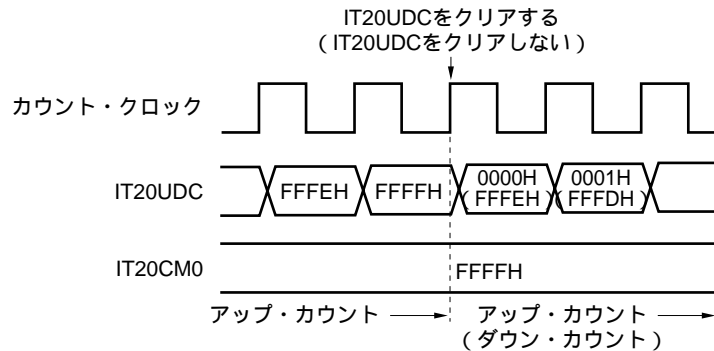
- 備考1 . カウント・クロック立ち上がり有効エッジ設定時
- 2 . 図中の ( ) はアップ・カウントの場合を示します。



### 7.5.2 コンペアー一致によるカウント値クリア動作について

IT20UDCがコンペアー一致によるクリア動作を行う場合の内部動作を次に示します。

図7-22 コンペアー一致によるカウント値クリア動作



**注意** IT20UDCカウント値とIT20CM0設定値が一致後の次のカウント動作を示します。

- ・アップ・カウントの場合、クリア動作を実行します。
- ・ダウン・カウントの場合、クリア動作を実行しません。

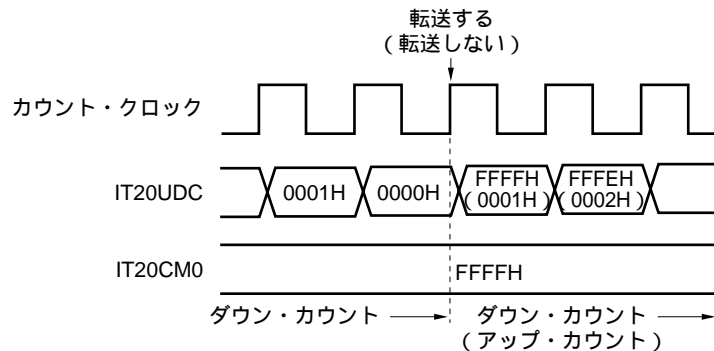
**備考1** . カウント・クロック立ち上がり有効エッジ設定時

2 . 図中の ( ) はダウン・カウントの場合を示します。

### 7.5.3 転送動作について

IT20UDCが転送動作を行う場合の内部動作を次に示します。

図7-23 転送動作時の内部動作



**注意** IT20UDCカウント値が0000Hを示した場合の次のカウント動作を示します。

- ・ダウン・カウントの場合、転送動作を実行します。
- ・アップ・カウントの場合、転送動作を実行しません。

**備考1** . カウント・クロック立ち上がり有効エッジ設定時

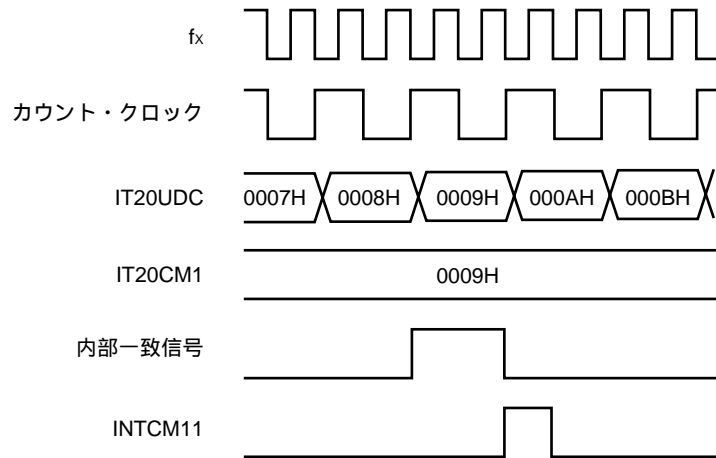
2 . 図中の ( ) はアップ・カウントの場合を示します。

### 7.5.4 コンペア一致による割り込み信号出力について

IT20CM0, IT20CM1, IT20CC0<sup>※</sup>, IT20CC1<sup>※</sup>レジスタ設定値とIT20UDCカウント値が一致した場合、割り込み信号を出力します。そのときのタイミングを次に示します。

注 IT20CC0, IT20CC1がコンペア・レジスタ・モードに設定されている場合

図7 - 24 コンペア一致による割り込み出力  
(動作モード：汎用タイマ・モード, カウント・クロック： $f_x/2$ 設定時のIT20CM1)



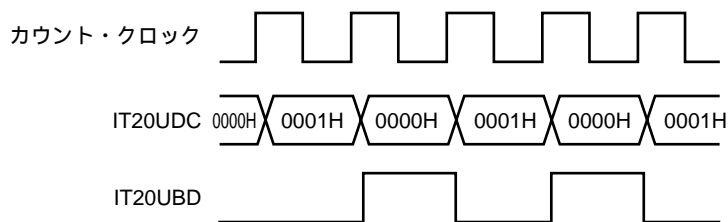
備考  $f_x$  : 内部システム・クロック

図7 - 24のように割り込み信号は、IT20UDCカウント値と該当するコンペア・レジスタ設定値とが一致後の次のカウント時に出力されます。

### 7.5.5 IT20UBDフラグ (IT20STSレジスタのビット0) の動作について

UDCモード (IT20TUMレジスタのIT20CMDビット = 1のとき) において、1内部動作クロックごとにIT20UDCがアップ/ダウンを繰り返すとき、IT20UBDフラグは次のように変化します。

図7 - 25 IT20UBDフラグの動作



## 第8章 16ビット・タイマ/イベント・カウンタ00

### 8.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ ワンショット・パルス出力

#### (1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

#### (2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

#### (3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

#### (4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

#### (5) 方形波出力

任意の周波数の方形波出力が可能です。

#### (6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

## 8.2 16ビット・タイマ/イベント・カウンタ00の構成

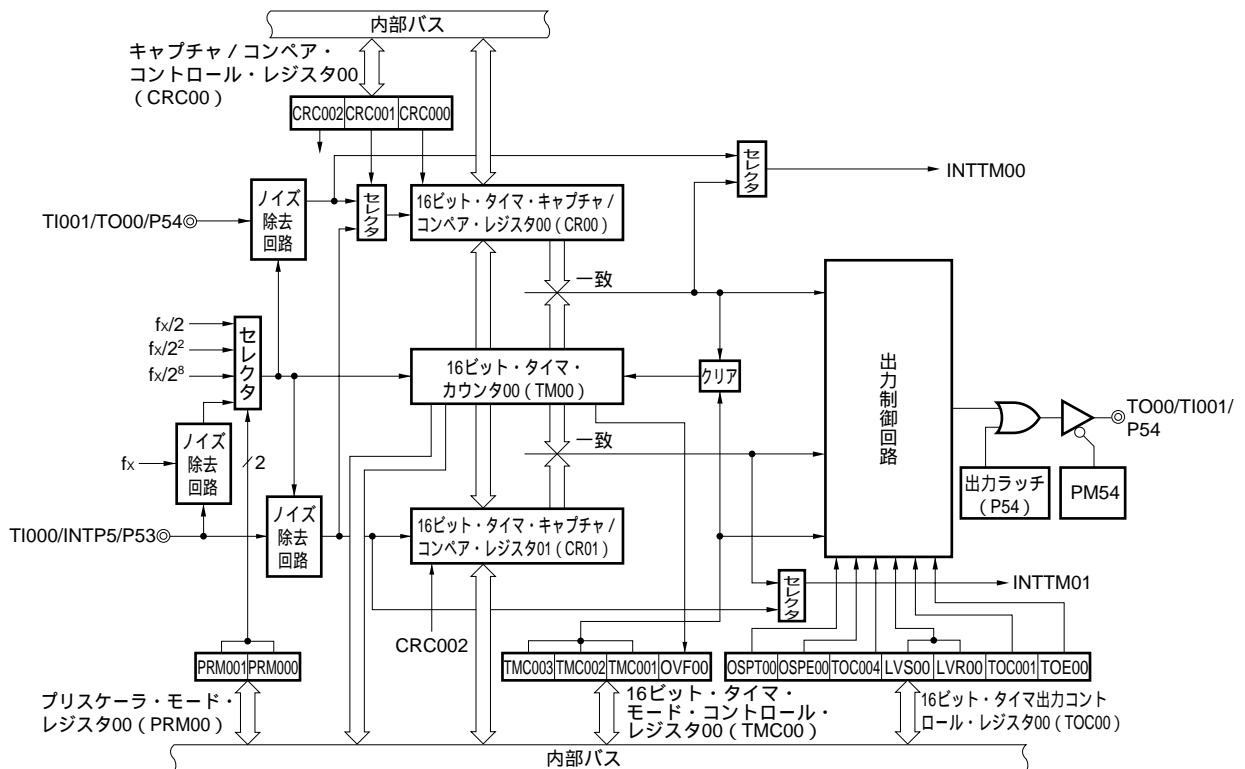
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表8-1 16ビット・タイマ/イベント・カウンタ00の構成

項目	構成
タイマ/カウンタ	16ビット(TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ: 16ビット(CR00, CR01)
タイマ入力	TI000, TI001
タイマ出力	TO00, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ00(TMC00) 16ビット・タイマ・キャプチャ/コンペア・コントロール・レジスタ00(CRC00) 16ビット・タイマ出力コントロール・レジスタ00(TOC00) プリスケアラ・モード・レジスタ00(PRM00) ポート・モード・レジスタ5(PM5) ポート・レジスタ5(P5)

図8-1にブロック図を示します。

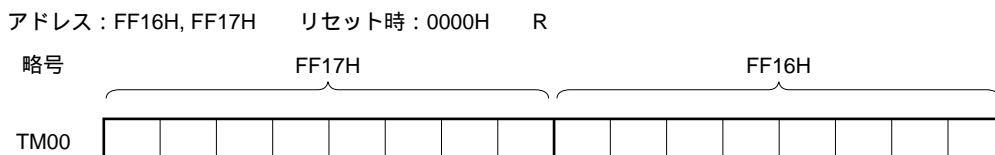
図8-1 16ビット・タイマ/イベント・カウンタ00のブロック図



(1) 16ビット・タイマ・カウンタ00(TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。  
 入カクロックの立ち上がり同期して、カウンタをインクリメントします。

図8 - 2 16ビット・タイマ・カウンタ00(TM00)のフォーマット



次の場合、カウント値は0000Hになります。

RESET入力

TMC003, TMC002をクリア

TI000端子の有効エッジ入力でクリア&スタート・モード時にTI000端子の有効エッジが入力されたとき

CR00の一致でクリア&スタート・モード時のTM00とCR00の一致

ワンショット・パルス出力モードで、OSPT00をセット

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。  
 キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット0(CRC000)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図8 - 3 16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)のフォーマット



・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ00(TM00)のカウント値を常に比較し、一致したときに割り込み要求(INTTM00)を発生します。CR00を書き換えるまで、設定した値を保持します。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子、またはTI001端子の有効エッジが選択できます。TI000, TI001端子の有効エッジは、プリスケラ・モード・レジスタ00(PRM00)で設定します(表8 - 2を参照)。

表8 - 2 CR00のキャプチャ・トリガとTI000端子とTI001端子の有効エッジ

## (1) キャプチャ・トリガとしてTI000端子の有効エッジを選択 (CRC001 = 1, CRC000 = 1)

CR00のキャプチャ・トリガ	TI000端子の有効エッジ		
	ES001	ES000	
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ	1	1

## (2) キャプチャ・トリガとしてTI001端子の有効エッジを選択 (CRC001 = 0, CRC000 = 1)

CR00のキャプチャ・トリガ	TI001端子の有効エッジ		
	ES101	ES100	
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ	1	1

備考1. ES001, ES000 = 1, 0およびES101, ES100 = 1, 0は設定禁止です。

2. ES001, ES000 : プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4  
 ES101, ES100 : プリスケアラ・モード・レジスタ00 (PRM00) のビット7, 6  
 CRC001, CRC000 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1, 0

注意1. TM00とCR00の一致でクリア&スタート・モードでは, CR00には0000H以外の値を設定してください。

2. フリー・ランニング・モードおよびTI000端子の有効エッジのクリア・モードにおいて, CR00に0000Hを設定した場合は, オーバフロー (FFFFH) 後, 0000Hから0001Hになるときに割り込み要求 (INTTM00) を発生します。またTM00とCR00の一致後, TI000端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM00を発生します。
3. P54をTI001端子の有効エッジの入力として使用するときは, タイマ出力 (TO00) として使用できません。また, TO00として使用するときは, TI001端子の有効エッジの入力として使用できません。
4. CR00をキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります (キャプチャ・データ自体は正常値)。また, カウント停止の入力とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
5. TM00動作中にCR00を書き換えないでください。

(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)

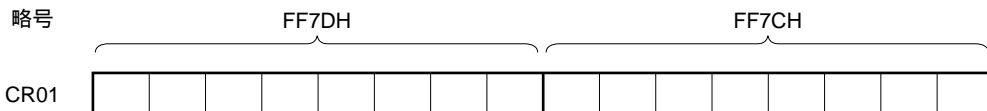
キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット2(CRC002)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR01は、16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

図8 - 4 16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)のフォーマット

アドレス：FF7CH, FF7DH リセット時：0000H R/W



・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ00(TM00)のカウンタ値を常に比較し、一致したときに割り込み要求(INTTM01)を発生します。CR01を書き換えるまで、設定した値を保持します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子の有効エッジが選択できます。TI000端子の有効エッジは、プリスケラ・モード・レジスタ00(PRM00)で設定します(表8 - 3を参照)。

表8 - 3 CR01のキャプチャ・トリガとTI000端子の有効エッジ(CRC002 = 1)

CR01のキャプチャ・トリガ	TI000端子の有効エッジ		
	ES001	ES000	
立ち下がリエッジ	立ち下がリエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ	1	1

備考1 . ES001, ES000 = 1, 0は設定禁止です。

2 . ES001, ES000 : プリスケラ・モード・レジスタ00 (PRM00) のビット5, 4

CRC002 : キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット2

- 注意 1 . CR01レジスタに0000Hを設定した場合、TM00レジスタのオーバフロー後、TM00レジスタとCR00レジスタの一致でクリア&スタート後、TI000端子の有効エッジによりクリア後、あるいはワンショット・トリガによるクリア後に割り込み要求 (INTTM01) を発生します。
- 2 . CR01をキャプチャ・レジスタとして使用時、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります (キャプチャ・データ自体は正常値)。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
- 3 . TM00動作中にCR01を書き換えることができます。書き換え方法の詳細は図8 - 15の注意2を参照してください。

### 8.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタには、次の6種類があります。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)
- ・ キャプチャ/コンペア・コントロール・レジスタ00(CRC00)
- ・ 16ビット・タイマ出力コントロール・レジスタ00(TOC00)
- ・ プリスケーラ・モード・レジスタ00(PRM00)
- ・ ポート・モード・レジスタ5(PM5)
- ・ ポート・レジスタ5(P5)

#### (1) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ00(TM00)のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

- 注意 16ビット・タイマ・カウンタ00(TM00)は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。



図8 - 5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FF7EH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	TMC001	動作モードおよび クリア・モードの選択	TO00の反転 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM00は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・モード	TM00とCR00の一致または TM00とCR01の一致	TM00とCR00の一致 または TM00とCR01の一致 で発生
0	1	1		TM00とCR00の一致, TM00とCR01の一致または TI000端子の有効エッジ	
1	0	0	TI000端子の有効エッジで クリア&スタート	-	
1	0	1	クリア&スタート		
1	1	0	TM00とCR00の一致で クリア&スタート	TM00とCR00の一致または TM00とCR01の一致	
1	1	1		TM00とCR00の一致, TM00とCR01の一致または TI000端子の有効エッジ	

OVF00	16ビット・タイマ・カウンタ00 (TM00) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 1 . OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

2 . TI000/P53端子の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します。

3 . TM00とCR00の一致でクリア&スタート、TI000端子の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR00の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。

備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子

TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子

TM00 : 16ビット・タイマ・カウンタ00

CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00

CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01

(2) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

16ビット・タイマ・キャプチャ/コンペア・レジスタ(CR00, CR01)の動作を制御するレジスタです。CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 6 キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のフォーマット

アドレス：FF6AH    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR00のキャプチャ・トリガの選択
0	TI001端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする

CRC000	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRC00は、必ずタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)で、TM00とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
- 3 . TI000端子の有効エッジに、立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャは動作しません。
- 4 . キャプチャを確実にを行うためのキャプチャ・トリガは、プリスケラ・モード・レジスタ00 (PRM00)で選択したカウント・クロックの2周期分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ00(TOC00)

16ビット・タイマ/イベント・カウンタ00出力制御回路の動作を制御するレジスタです。タイマ出力F/Fのセット/リセット、出力の反転許可/禁止、16ビット・タイマ/イベント・カウンタ00のタイマ出力許可/禁止、ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 7 16ビット・タイマ出力コントロール・レジスタ00( TOC00 )のフォーマット

アドレス : FF6BH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルスの出力トリガの制御
0	ワンショット・パルス・トリガなし
1	ワンショット・パルス・トリガあり

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力モード
1	ワンショット・パルス出力モード <sup>注</sup>

TOC004	CR01とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS00	LVR00	タイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC001	CR00とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE00	タイマ出力の制御
0	出力禁止(出力は0レベルに固定)
1	出力許可

**注** ワンショット・パルス出力モードは、フリー・ランニング・モード、TI000端子の有効エッジでクリア&スタート・モードでのみ正常動作します。TM00レジスタとCR00レジスタの一致でクリア&スタート・モードでは、オーバフローしないためワンショット・パルス出力はできません。

**注意 1** . TOC004以外は、必ずタイマ動作を停止させてから設定してください。

2 . LVS00, LVR00は読み出すと、0になっています。

3 . OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。

4 . OSPT00は、ワンショット・パルス出力モード以外でセット(1)しないでください。

5 . OSPT00に連続してライトするとき、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック2周期分以上のライト間隔が必要です。

6 . TOE00より先にLVS00に“1”をセットしないでください。また、LVS00とTOE00に同時に“1”をセットしないでください。

(4) プリスケアラ・モード・レジスタ00( PRM00 )

16ビット・タイマ・カウンタ00( TM00 )のカウンタ・クロックおよびTI000, TI001端子入力の有効エッジを設定するレジスタです。PRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 8 プリスケアラ・モード・レジスタ00( PRM00 )のフォーマット

アドレス : FF7FH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI001端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM001	PRM000	カウンタ・クロックの選択 <sup>注1</sup>
0	0	$f_x/2$ ( 10 MHz )
0	1	$f_x/2^2$ ( 5 MHz )
1	0	$f_x/2^8$ ( 78.125 kHz )
1	1	TI000端子の有効エッジ <sup>注2</sup>

注1 . カウンタ・クロックは次の条件を満たすように設定してください。

・  $V_{DD} = 4.0 \sim 5.5 \text{ V}$  : カウンタ・クロック 10 MHz

2 . 外部クロックは内部クロック (  $f_x$  ) の2周期分より長いパルスが必要とします。

注意1 . CPUへのソース・クロックに内蔵発振クロックを選択する場合、カウンタ・クロックに内蔵発振回路の分周クロックが供給されます。カウンタ・クロックが内蔵発振クロックの場合、16ビット・タイマ/イベント・カウンタ00の動作は保証されません。また外部クロックの場合も、CPUへのソース・クロックに内蔵発振クロックを選択する場合、ノイズ除去のためのサンプリング・クロックに内蔵発振クロックが供給されるため、同様に16ビット・タイマ/イベント・カウンタ00の動作は保証されません。

2 . PRM00は、必ずタイマ動作を停止させてからデータを設定してください。

3 . カウンタ・クロックにTI000端子の有効エッジを設定する場合、TI000端子の有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。

注意4．システム・リセット直後にTI000端子またはTI001端子がハイ・レベルの場合，TI000端子またはTI001端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ00（TM00）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

5．P54をTI001端子の有効エッジとして使用するときには，タイマ出力（TO00）として使用できません。また，TO00として使用するときには，TI001端子の有効エッジとして使用できません。

備考1． $f_x$ ：X1入力クロック発振周波数

2．TI000, TI001：16ビット・タイマ/イベント・カウンタ00の入力端子

3．（ ）内は， $f_x = 20 \text{ MHz}$ 動作時。

(5) ポート・モード・レジスタ5(PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P54/TI001/TO00端子をタイマ出力として使用するとき，PM54およびP54の出力ラッチに0を設定してください。

P53/TI000/INTP5, P54/TI001/TO00端子をタイマ入力として使用するとき，PM53, PM54に1を設定してください。このときP53, P54の出力ラッチは，0または1のどちらでもかまいません。

PM5は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，FFHになります。

図8 - 9 ポート・モード・レジスタ5(PM5)のフォーマット

アドレス：FF25H    リセット時：FFH    R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	P5n端子の入出力モードの選択 (n=0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 8.4 16ビット・タイマ/イベント・カウンタ00の動作

### 8.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)と、キャプチャ/コンペア・コントロール・レジスタ00(CRC00)を図8-10のように設定することにより、インターバル・タイマとして動作します。

#### 設定方法

基本的な動作設定手順例は次のようになります。

- CRC00レジスタの設定（設定値については図8-10参照）
- CR00レジスタに任意の値を設定
- PRM00レジスタによりカウント・クロック設定
- TMC00レジスタ設定：動作開始（設定値については図8-10参照）

**注意** TM00動作中にCR00を書き換えることはできません。

**備考** INTTM00割り込み許可の設定については、第19章 割り込み機能を参照してください。

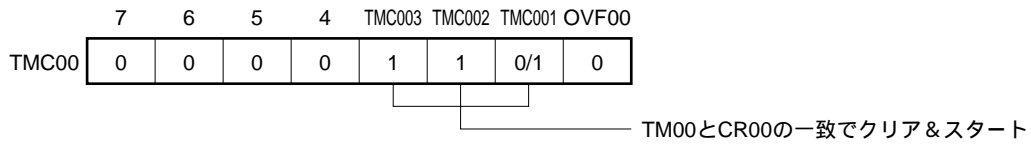
16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ00(TM00)のカウント値がCR00に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM00)を発生します。

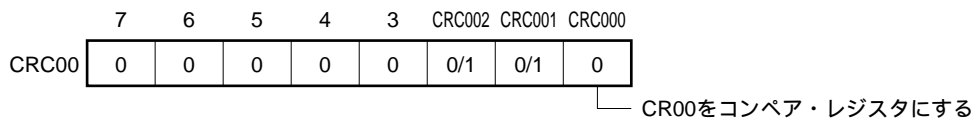
プリスケアラ・モード・レジスタ00(PRM00)のビット0, 1(PRM000, PRM001)で16ビット・タイマ/イベント・カウンタ00のカウント・クロックを選択できます。

図8 - 10 インターバル・タイマ動作時の制御レジスタ設定内容

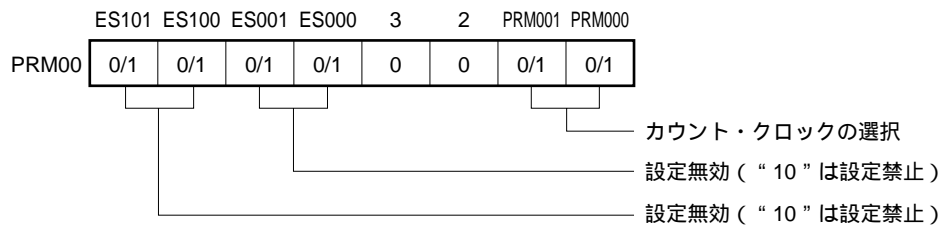
(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

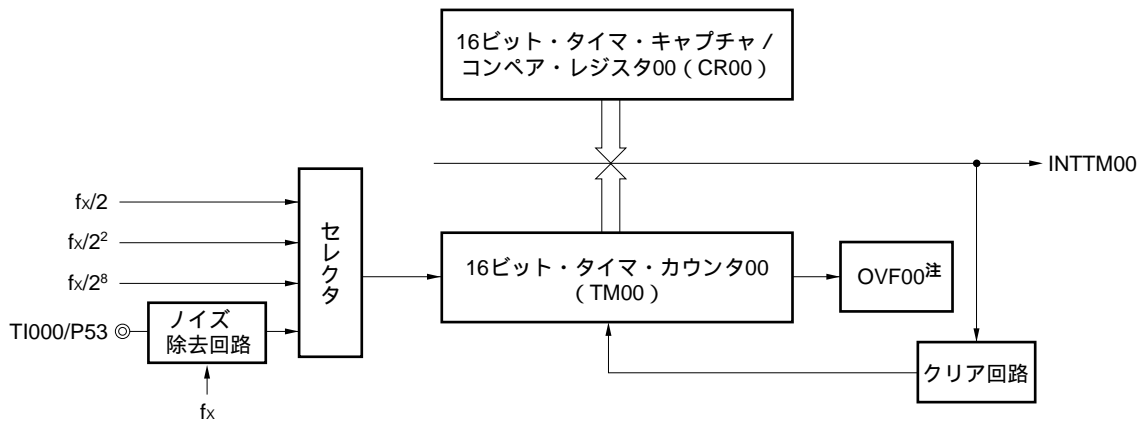


(c) プリスケアラ・モード・レジスタ00(PRM00)



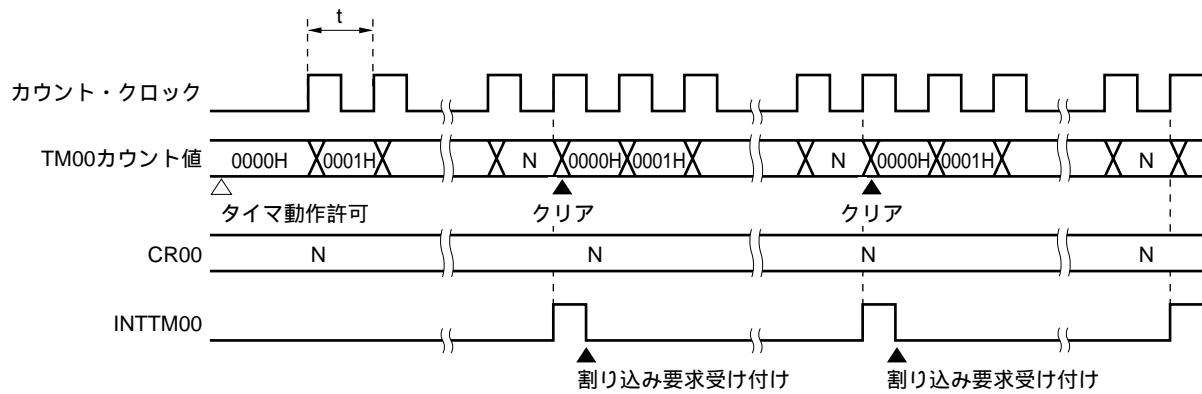
**備考** 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。  
詳細は、各制御レジスタの説明を参照してください。

図8 - 11 インターバル・タイマの構成図



注 16ビット・タイマ・キャプチャ/コンペア・レジスタ00にFFFFHを設定した場合のみ、OVF00は1になります。

図8 - 12 インターバル・タイマ動作のタイミング



備考 インターバル時間  $= (N + 1) \times t$   
 $N = 0001H - FFFFH$



## 8.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)と、キャプチャ/コンペア・コントロール・レジスタ00(CRC00)を図8-13のように設定することにより、PPG(Programmable Pulse Generator)出力として動作します。

### 設定方法

基本的な動作設定手順例は次のようになります。

- CRC00 レジスタの設定 (設定値については図8-13参照)
- CR00 レジスタに周期となる任意の値を設定
- CR01 レジスタにデューティとなる任意の値を設定
- TOC00 レジスタの設定 (設定値は図8-13参照)
- PRM00 レジスタによりカウント・クロック設定
- TMC00 レジスタ設定: 動作開始 (設定値については図8-13参照)

**注意** 動作中にデューティの値(CR01レジスタ)を変更する場合は、図8-15 PPG出力動作のタイミングの注意2を参照してください。

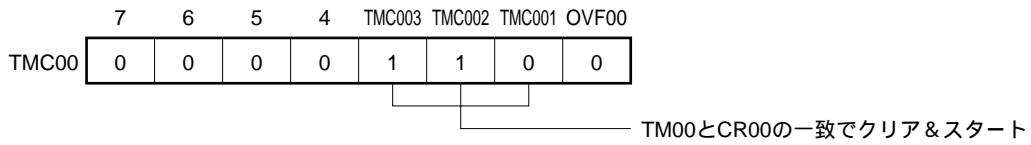
**備考1** . TO00端子の設定については、8.3(5)ポート・モード・レジスタ5(PM5)を参照してください。

2 . INTTM00割り込み許可の設定については、第19章 割り込み機能を参照してください。

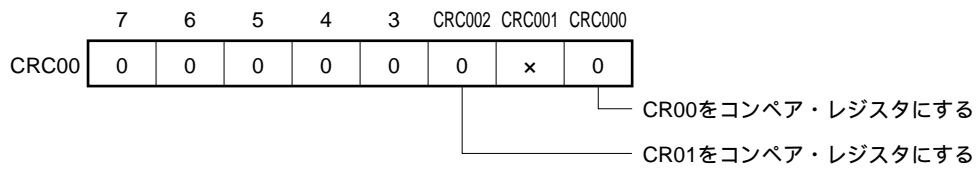
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00端子から出力します。

図8 - 13 PPG出力動作時の制御レジスタ設定内容

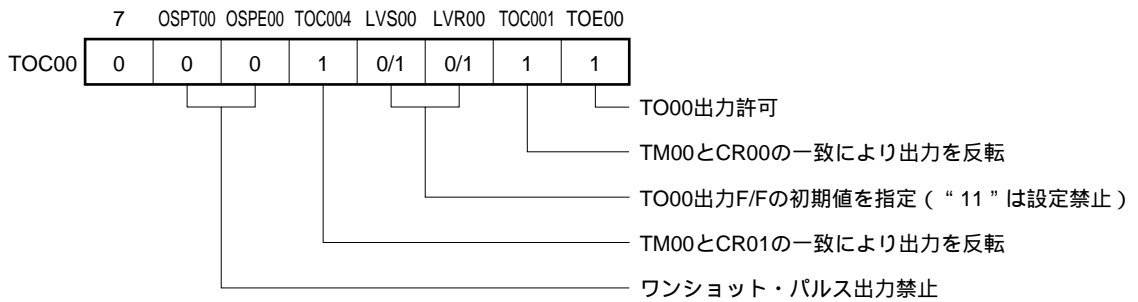
( a ) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



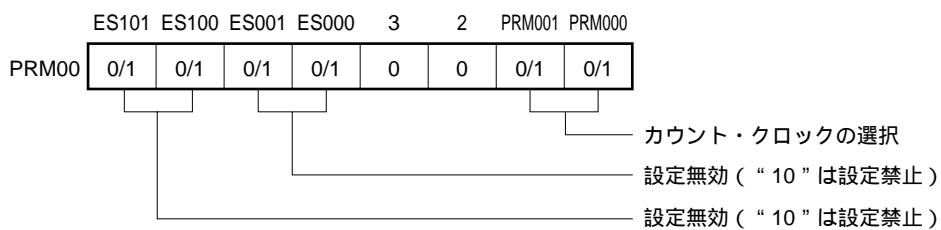
( b ) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)



( c ) 16ビット・タイマ出力コントロール・レジスタ00(TOC00)



( d ) プリスケアラ・モード・レジスタ00(PRM00)



注意 1 . CR00とCR01には次の範囲の値を設定してください。

0000H CR01 < CR00 FFFFH

2 . PPG出力によって生成されるパルスの周期は ( CR00の設定値 + 1 ) , デューティは ( CR01の設定値 + 1 ) / ( CR00の設定値 + 1 ) になります。

備考 x : don't care

図8-14 PPG出力の構成図

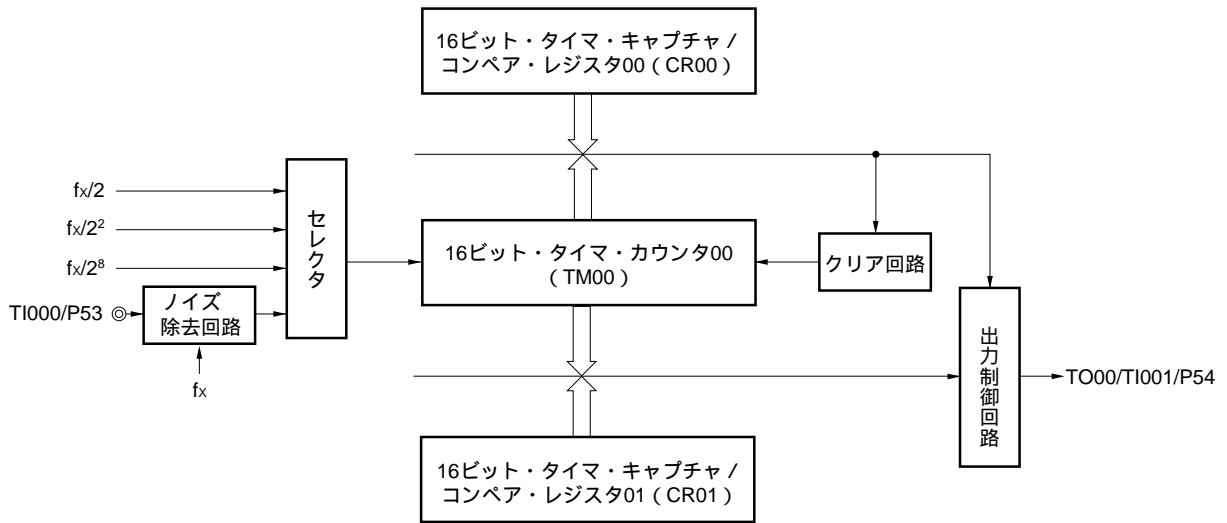
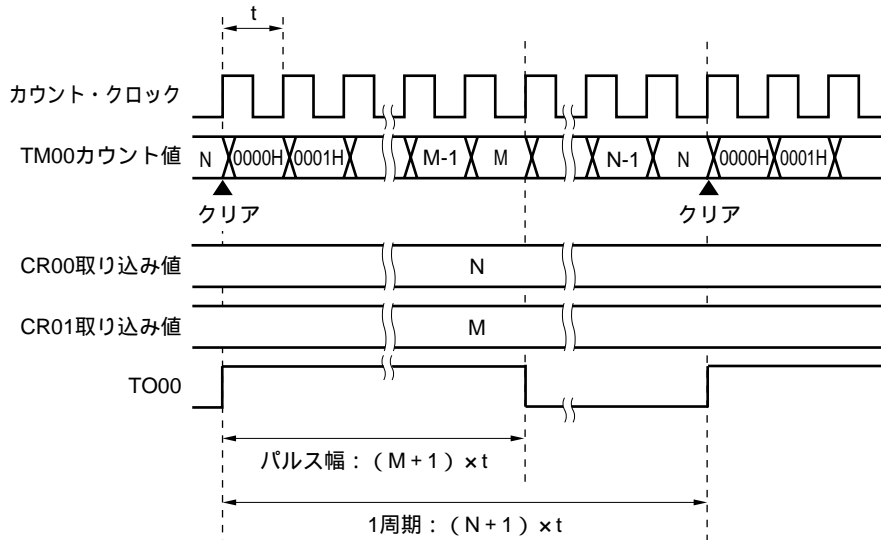


図8-15 PPG出力動作のタイミング



注意1. TM00動作中にCR00を書き換えることはできません。

2. PPG出力動作において、TM00の動作中にパルス幅を変更する（CR01を書き換える）場合は、次の手順で行ってください。

TM00とCR01の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）

INTTM01の割り込みを禁止する（TMMK01 = 1）

CR01を書き換える

TM00のカウント・クロックの1周期分をウェイトする

TM00とCR01の一致によるタイマ出力反転動作を許可する（TOC004 = 1）

INTTM01の割り込み要求フラグをクリアする（TMIF01 = 0）

INTTM01の割り込みを許可する（TMMK01 = 0）

備考 0000H M < N FFFFH

### 8.4.3 パルス幅測定としての動作

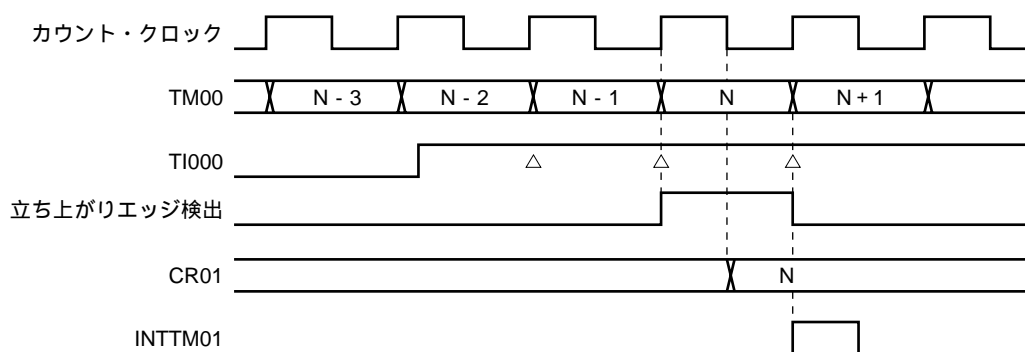
16ビット・タイマ・カウンタ00(TM00)を使用し、TI000端子およびTI001端子に入力される信号のパルス幅を測定できます。

測定方法は、TM00をフリー・ランニングさせて測定する方法とTI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値を読み込み、オーバフロー・フラグを確認したあと、必要なパルス幅を計算してください。オーバフロー・フラグは、確認後クリアしてください。

プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI001端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8 - 16 立ち上がりエッジ指定時のCR001キャプチャ動作



#### 設定方法

基本的な動作設定手順例は次のようになります。

CRC00レジスタの設定 (設定値については図8 - 17, 8 - 20, 8 - 22, 8 - 24参照)

PRM00レジスタによりカウント・クロック設定

TMC00レジスタ設定: 動作開始 (設定値については図8 - 17, 8 - 20, 8 - 22, 8 - 24参照)

**注意** キャプチャ・レジスタを2本使用する場合は、TI000およびTI001端子の設定を行ってください。

**備考1** . TI000 (もしくはTI001) 端子の設定については、8.3 (5) ポート・モード・レジスタ5 (PM5) を参照してください。

**2** . INTTM00 (もしくはINTTM01) 割り込み許可の設定については、第19章 割り込み機能を参照してください。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

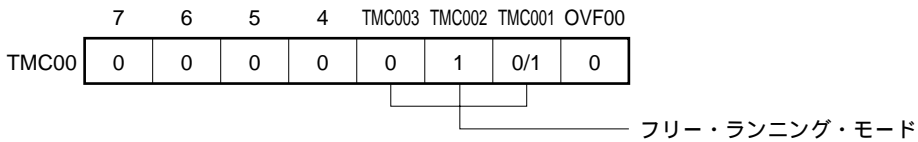
16ビット・タイマ・カウンタ00(TM00)をフリー・ランニングで動作させているとき、TI000端子にプリスケアラ・モード・レジスタ00(PRM00)で指定したエッジが入力されるとTM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)に取り込み、外部割り込み要求信号(INTTM01)をセットします。

TI000端子のエッジはPRM00のビット4, 5(ES000, ES001)で、立ち上がり、立ち下がりの両エッジを指定します。

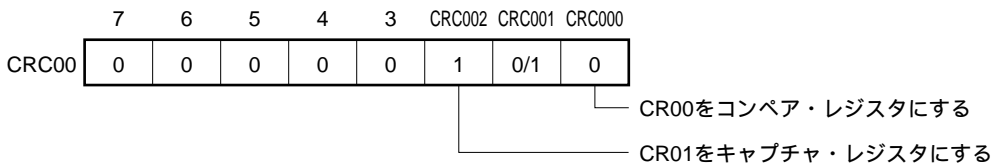
PRM00で選択したカウント・クロックでサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8 - 17 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 (TI000とCR01を使用した場合)

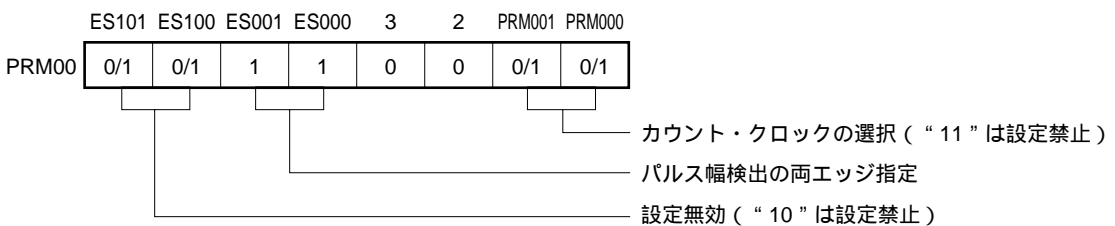
(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



**備考** 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-18 フリー・ランニング・カウンタによるパルス幅測定の構成図

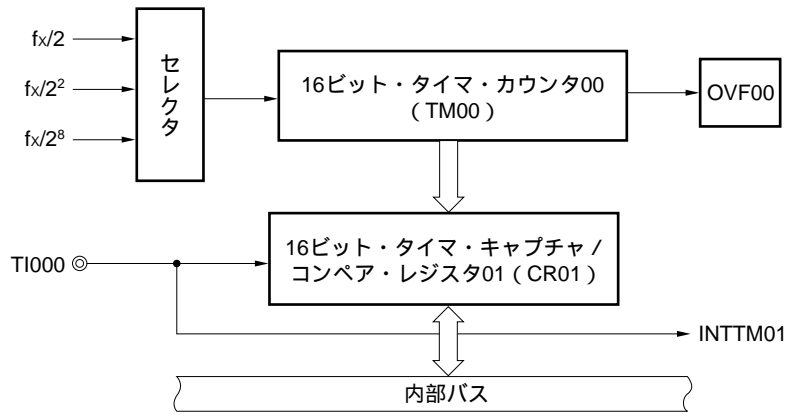
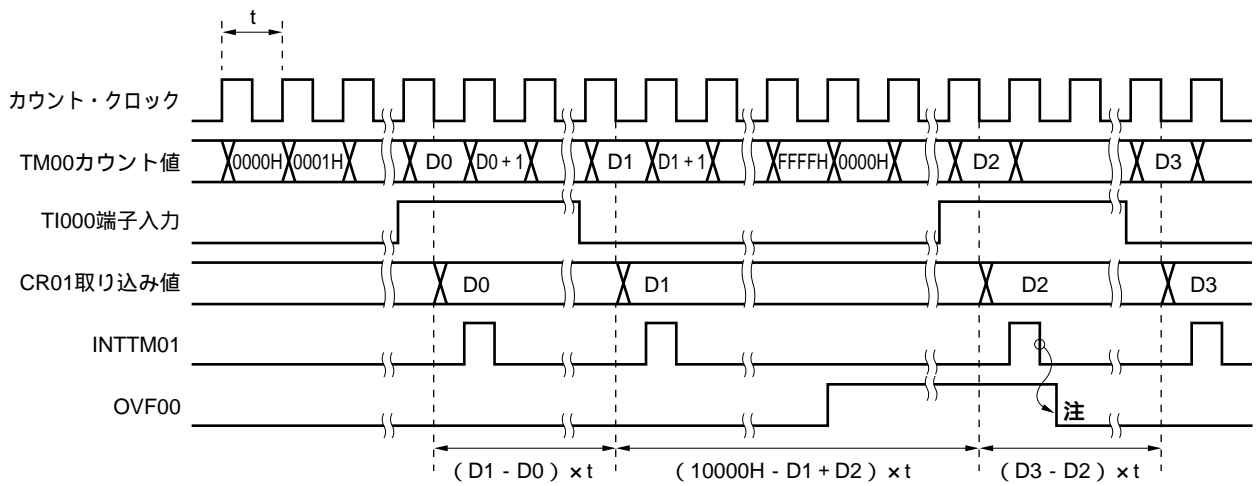


図8-19 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ00(TM00)をフリー・ランニングで動作させているとき、TI000端子およびTI001端子に入力される2つの信号のパルス幅を同時に測定できます。

TI000端子にプリスケアラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)で指定したエッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)に取り込み、割り込み要求信号(INTTM01)をセットします。

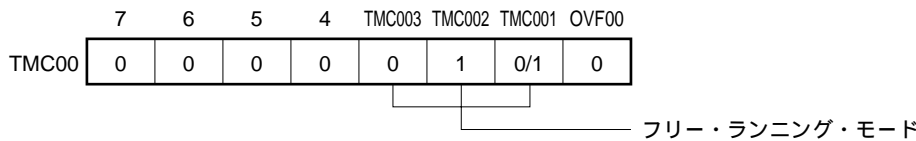
また、TI001端子にPRM00のビット6, 7(ES100, ES101)で指定したエッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)に取り込み、割り込み要求信号(INTTM000)をセットします。

TI000端子とTI001端子のエッジは、PRM00のビット4, 5(ES000, ES001)およびビット6, 7(ES100, ES101)で、立ち上がり、立ち下がりの両エッジを指定します。

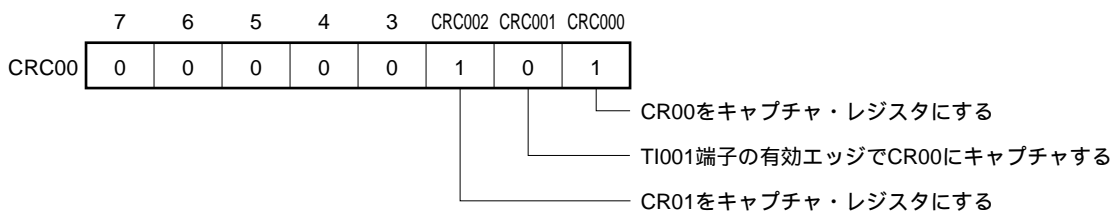
プリスケアラ・モード・レジスタ00(PRM00)で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI001端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8 - 20 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

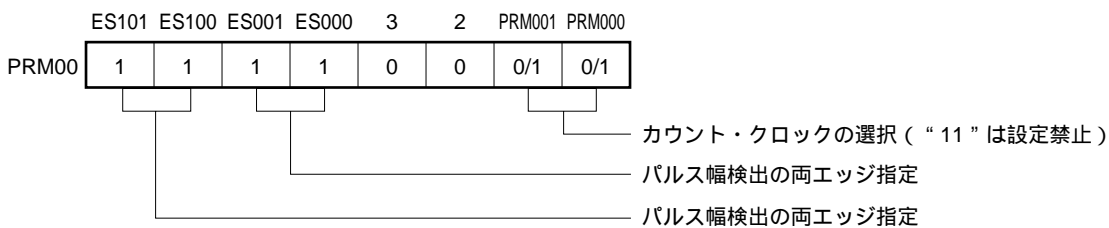
(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

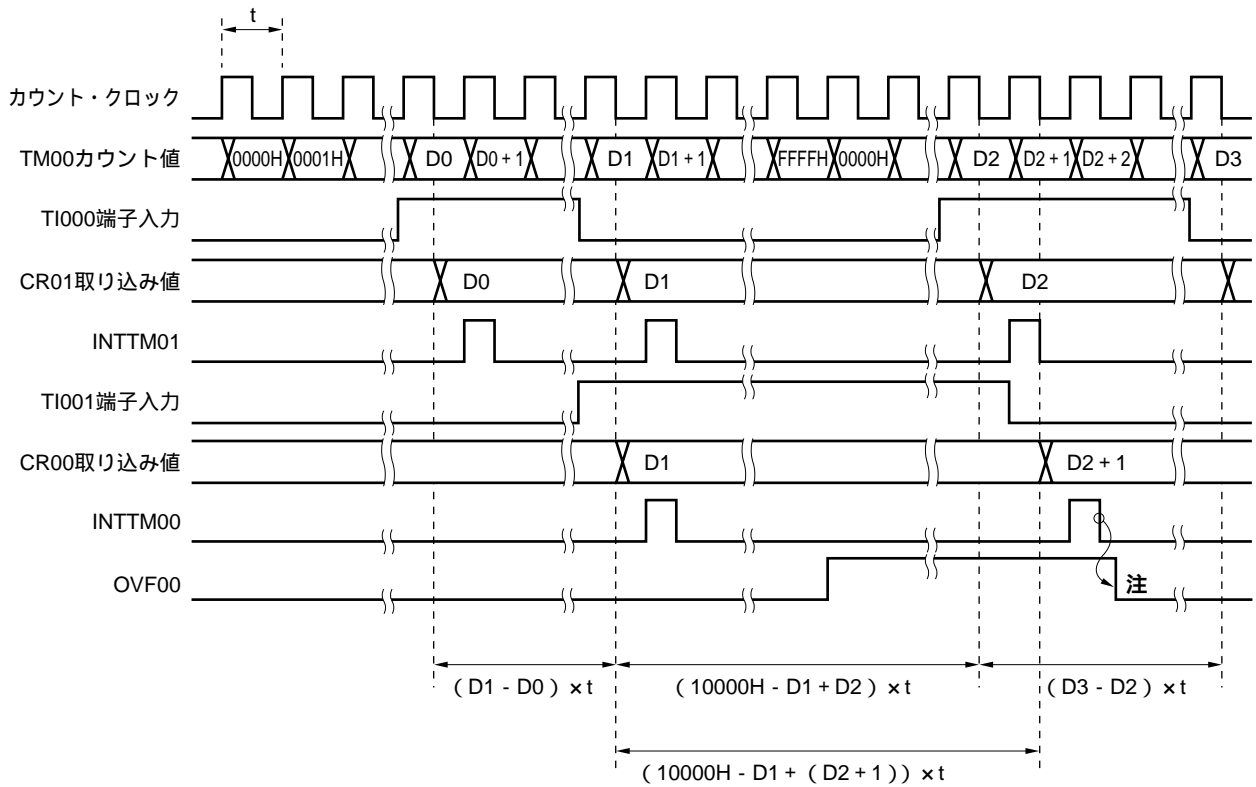


(c) プリスケアラ・モード・レジスタ00(PRM00)



**備考** 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-21 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。



(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ00(TM00)をフリー・ランニングで動作させているとき、TI000端子に入力する信号のパルス幅を測定できます。

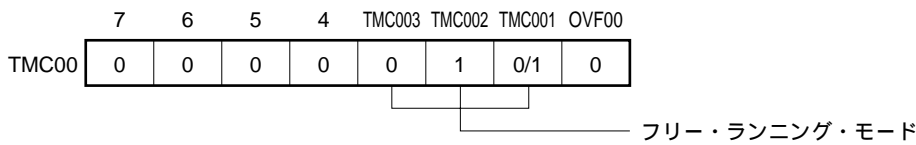
TI000端子にプリスケアラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)で指定した立ち上がりまたは立ち下がりエッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)に取り込み、割り込み要求信号(INTTM01)をセットします。

また、CR01へのキャプチャ動作と逆のエッジ入力で、TM00の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)に取り込みます。

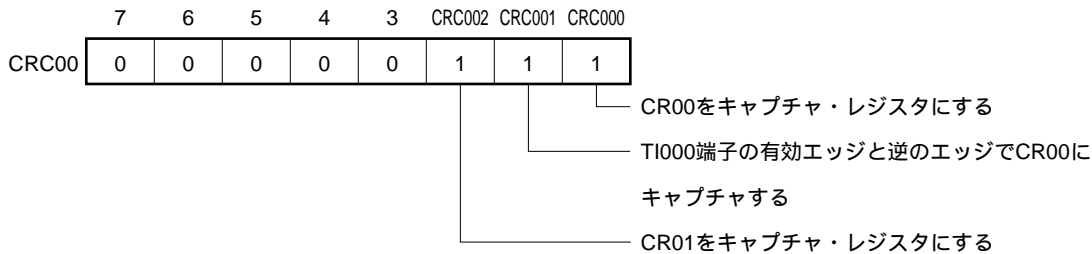
プリスケアラ・モード・レジスタ00(PRM00)で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8-22 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容(立ち上がりエッジ指定時)

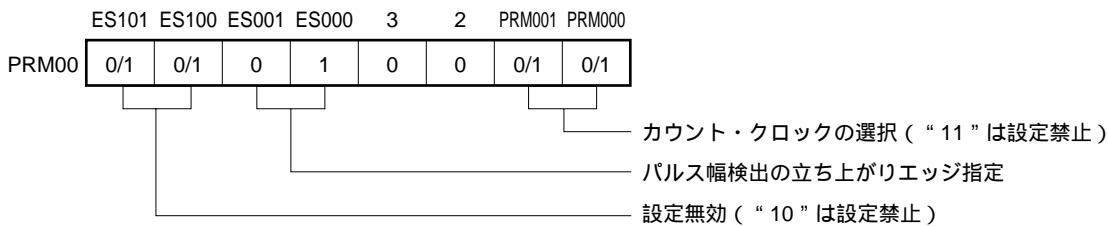
(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

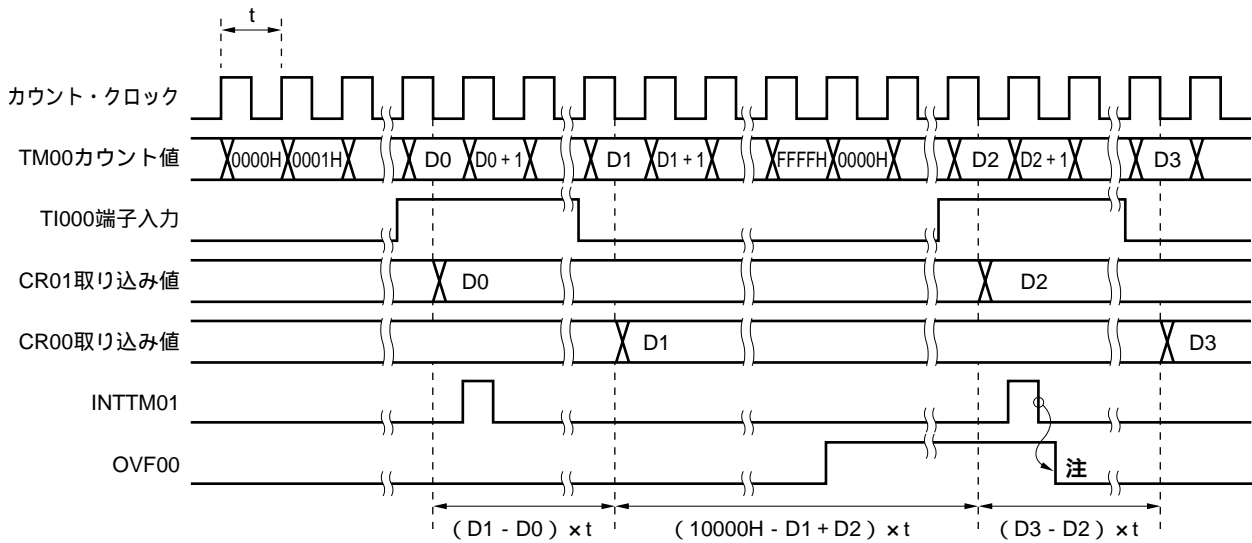


(c) プリスケアラ・モード・レジスタ00 (PRM00)



**備考** 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング  
(立ち上がりエッジ指定時)



注 OVF00のクリアはソフトウェアで行ってください。

#### (4) リスタートによるパルス幅測定

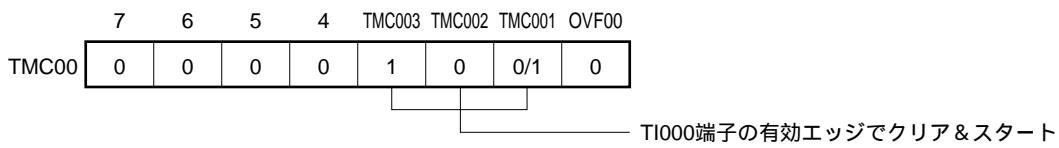
TI000端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ00(TM00)のカウンタ値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01)に取り込んだあと、TM00をクリアしてカウントを再開することにより、TI000端子に入力された信号のパルス幅を測定します。

エッジ指定は、プリスケラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

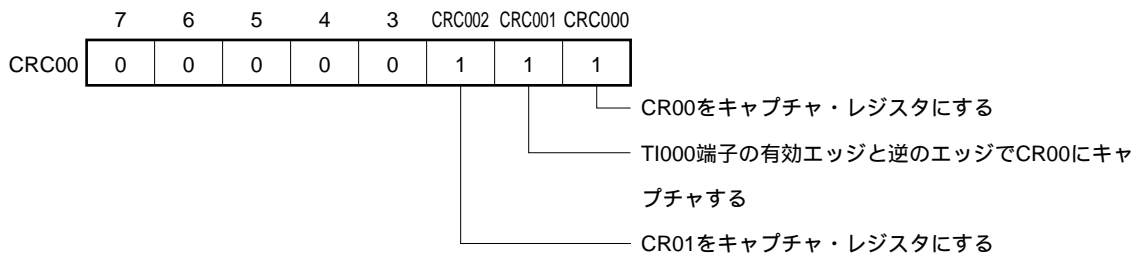
プリスケラ・モード・レジスタ00(PRM00)で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8 - 24 リスタートによるパルス幅測定時の制御レジスタ設定内容(立ち上がりエッジ指定時)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)

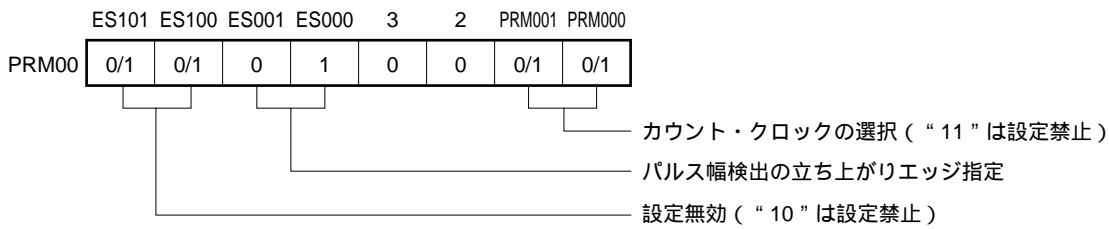
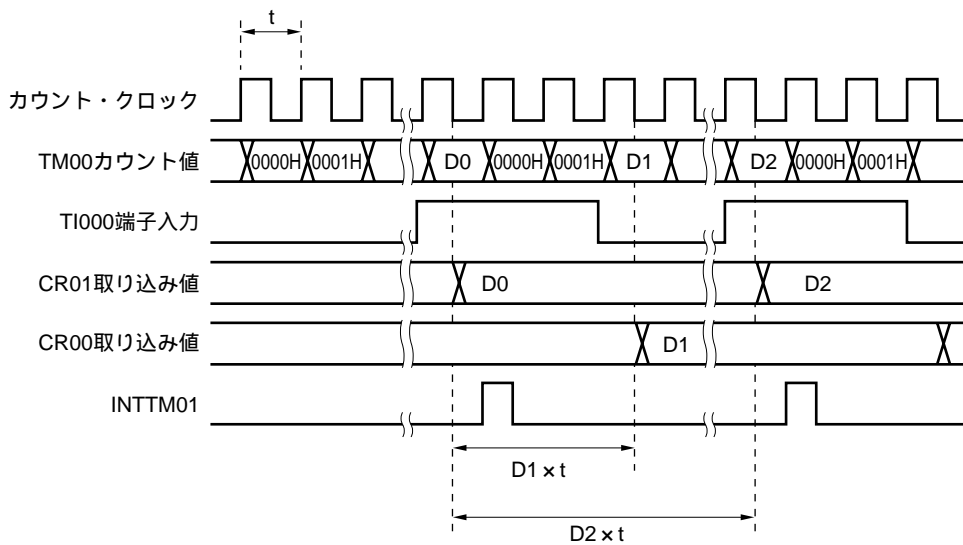


図8 - 25 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)



## 8.4.4 外部イベント・カウンタとしての動作

### 設定方法

基本的な動作設定手順例は次のようになります。

- CRC00 レジスタの設定（設定値については図8 - 26 参照）
- PRM00 レジスタによりカウント・クロック設定
- CR00 レジスタに任意の値（0000H は設定できません）を設定
- TMC00 レジスタ設定：動作開始（設定値については図8 - 26 参照）

- 備考 1** . TI000端子の設定については、8.3(5)ポート・モード・レジスタ5(PM5)を参照してください。
- 2** . INTTM00割り込み許可の設定については、第19章 割り込み機能を参照してください。

外部イベント・カウンタは、TI000端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ00(TM00)でカウントするものです。

プリスケアラ・モード・レジスタ00(PRM00)で指定した有効エッジが入力されるたびに、TM00がインクリメントされます。

TM00の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)の値と一致すると、TM00は0にクリアされ、割り込み要求信号(INTTM00)が発生します。

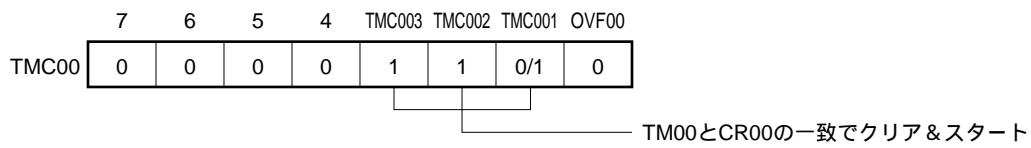
なお、CR00には0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

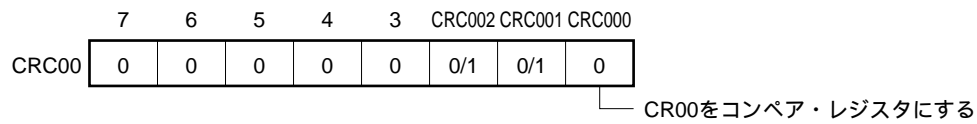
内部クロック( $f_x$ )でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図8 - 26 外部イベント・カウンタ・モード時の制御レジスタ設定内容(立ち上がりエッジ指定時)

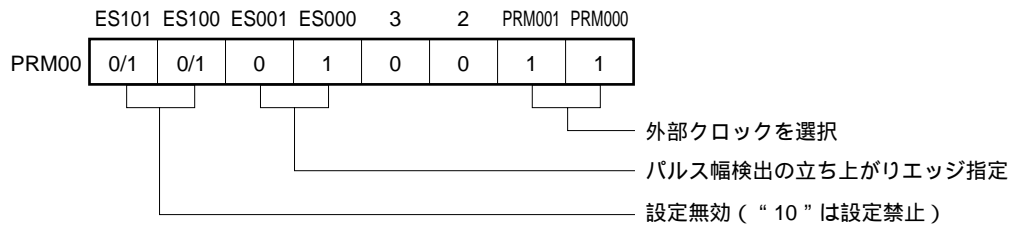
( a ) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



( b ) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

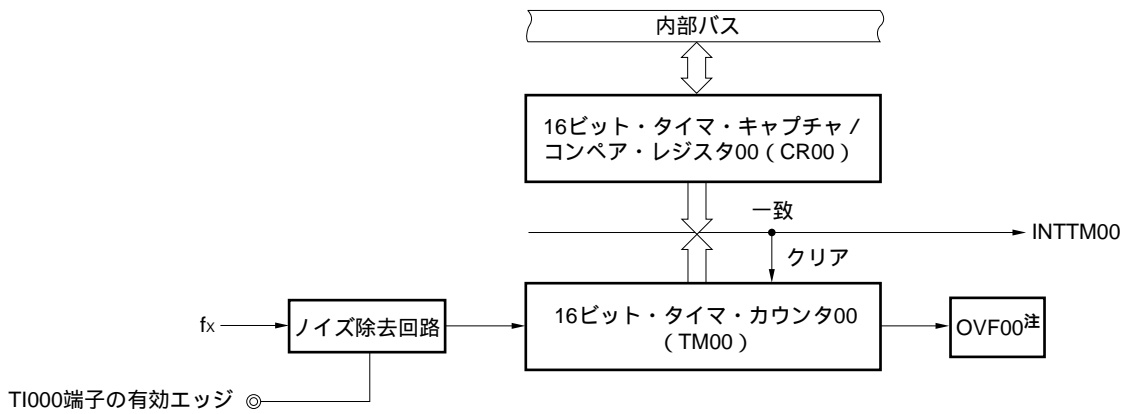


( c ) プリスケアラ・モード・レジスタ00 (PRM00)



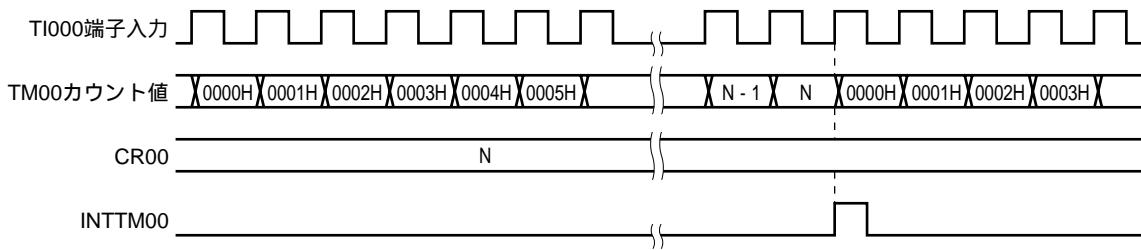
**備考** 0/1 : 0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。  
詳細は、各制御レジスタの説明を参照してください。

図8-27 外部イベント・カウンタの構成図



注 CR00にFFFFHを設定した場合のみ、OVF00は1になります。

図8-28 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM00を読み出してください。

### 8.4.5 方形波出力としての動作

**設定方法**

基本的な動作設定手順例は次のようになります。

- PRM00 レジスタによりカウント・クロック設定
- CRC00 レジスタの設定（設定値については図8 - 29 参照）
- TOC00 レジスタの設定（設定値については図8 - 29 参照）
- CR00 レジスタに任意の値（0000H は設定できません）を設定
- TMC00 レジスタ設定：動作開始（設定値については図8 - 29 参照）

**注意** TM00動作中にCR00を書き換えることはできません。

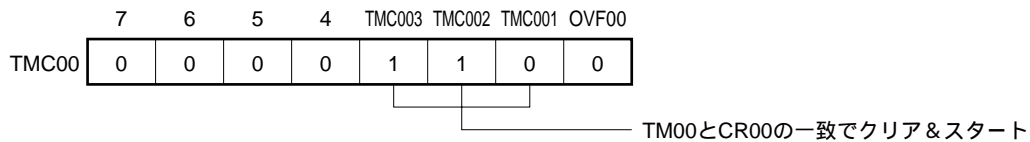
- 備考1 . TO00端子の設定については，8.3(5)ポート・モード・レジスタ5(PM5)を参照してください。
- 2 . INTTM00割り込み許可の設定については，第19章 割り込み機能を参照してください。

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値で決まるインターバルの，任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット0 (TOE00) とビット1 (TOC001) に1を設定することにより，CR00にあらかじめ設定したカウント値 + 1 で決まるインターバルでTO00端子の出力状態が反転します。これによって，任意の周波数の方形波出力が可能です。

図8 - 29 方形波出力モード時の制御レジスタ設定内容 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00(CRC00)

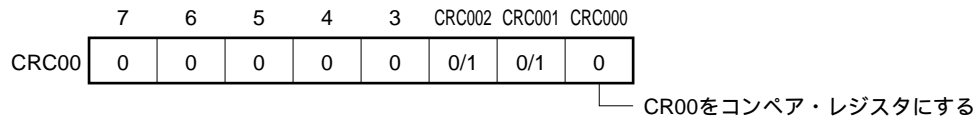
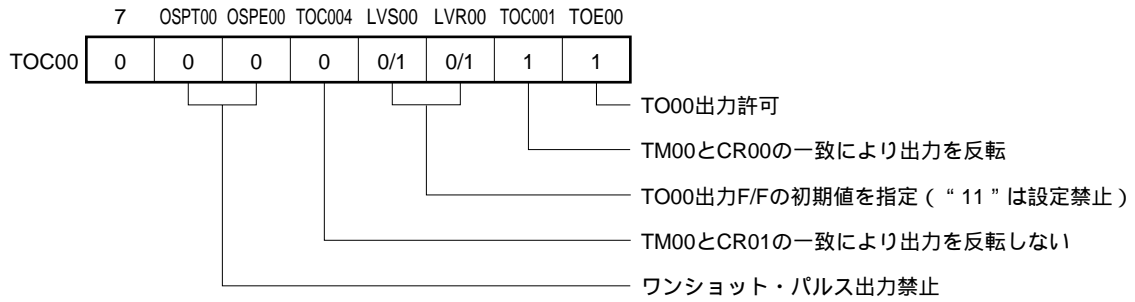
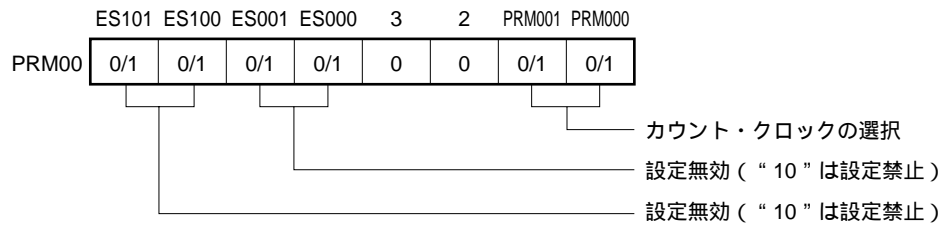


図8 - 29 方形波出力モード時の制御レジスタ設定内容 (2/2)

(c) 16ビット・タイマ出力コントロール・レジスタ00(TOC00)

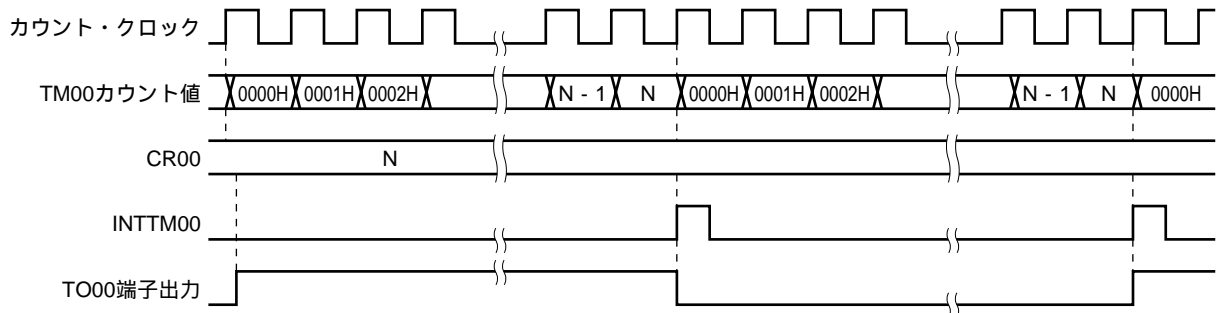


(d) プリスケアラ・モード・レジスタ00(PRM00)



**備考** 0/1 : 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8 - 30 方形波出力動作のタイミング





### 8.4.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (TI000端子入力) に同期したワンショット・パルスを出力できます。

#### 設定方法

基本的な動作設定手順例は次のようになります。

- PRM00 レジスタによりカウント・クロック設定
- CRC00 レジスタの設定 (設定値については図8 - 31, 8 - 33 参照)
- TOC00 レジスタの設定 (設定値については図8 - 31, 8 - 33 参照)
- CR00, CR01 レジスタに任意の値 (0000H は設定できません) を設定
- TMC00 レジスタ設定: 動作開始 (設定値については図8 - 31, 8 - 33 参照)

**備考1** . TO00端子の設定については, 8.3 (5) ポート・モード・レジスタ5 (PM5) を参照してください。

2 . INTTM00 (および必要な場合はINTTM01) 割り込み許可の設定については, 第19章 割り込み機能を参照してください。

#### (1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00), キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) および16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を図8 - 31のように設定し, ソフトウェアでTOC00レジスタのビット6 (OSPT00) を1にセットすることにより, ワンショット・パルスをTO00端子から出力します。

OSPT00ビットを1にセットすることにより, 16ビット・タイマ/イベント・カウンタ00がクリア&スタートし, 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後, 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります<sup>注</sup>。

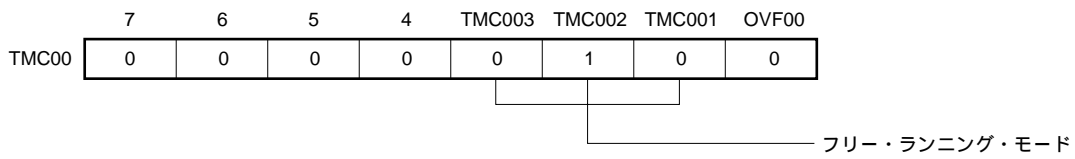
ワンショット・パルス出力後も, TM00レジスタは動作を継続しています。TM00レジスタを停止させるためには, TMC00レジスタのTMC003, TMC002ビットに00を設定する必要があります。

**注** ここでは $N < M$ の場合の例です。 $N > M$ のときはCR00レジスタで出力がアクティブになり, CR01レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

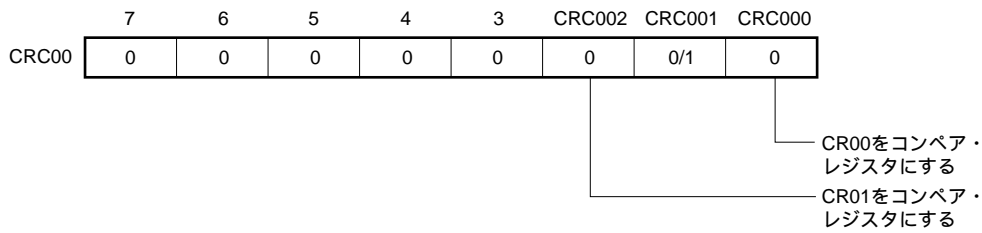
- 注意1** . ワンショット・パルスを出力しているときは, OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。
- 2 . 16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので, TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。

図8 - 31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

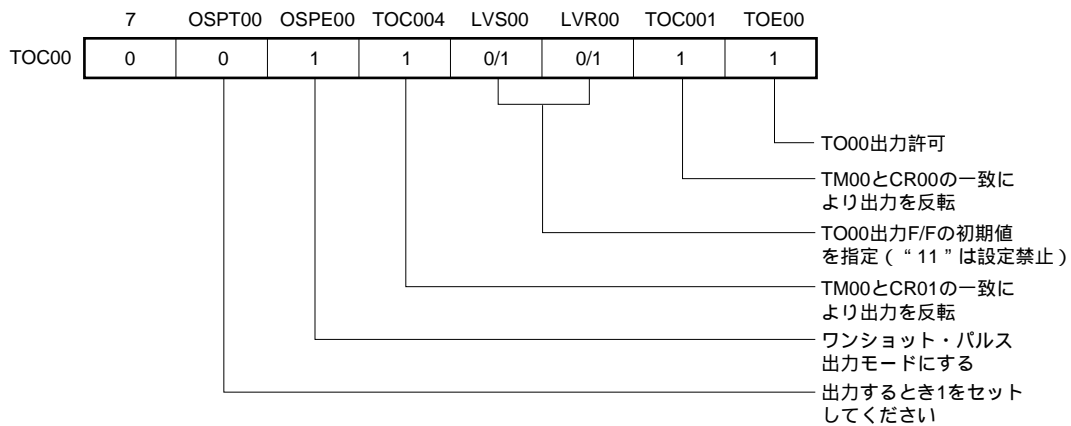
( a ) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



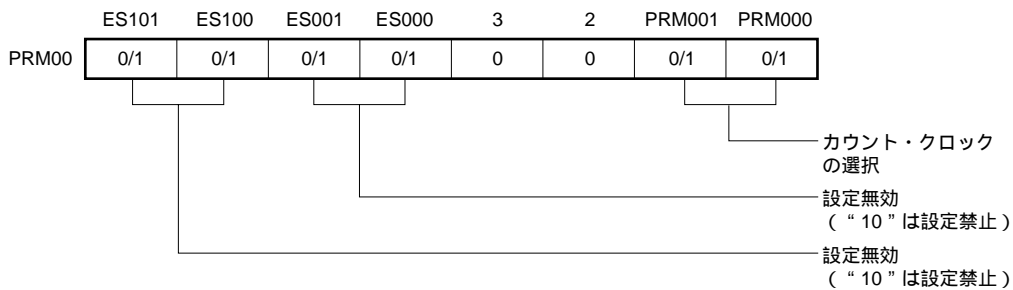
( b ) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



( c ) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

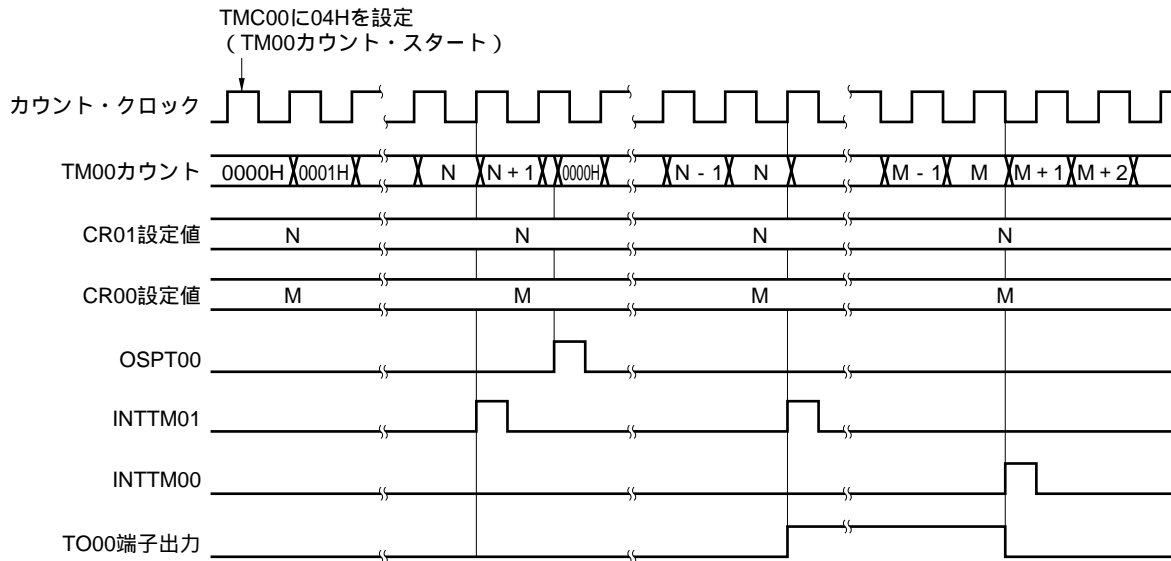


( d ) プリスケアラ・モード・レジスタ00 (PRM00)



**注意** CR00レジスタとCR01レジスタに0000Hを設定しないでください。

図8 - 32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



**注意** 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

**備考**  $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) , キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) および16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を図8 - 33のように設定し、TI000端子の有効エッジを外部トリガとしてワンショット・パルスをTO00端子から出力します。

TI000端子の有効エッジ指定は、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES001) で行い、立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

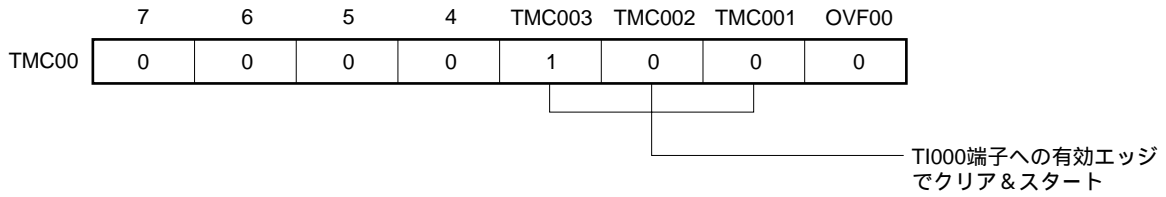
TI000端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値で出力がインアクティブとなります<sup>注</sup>。

**注** ここでは $N < M$ の場合の例です。 $N > M$ のときはCR00レジスタで出力がアクティブになり、CR01レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

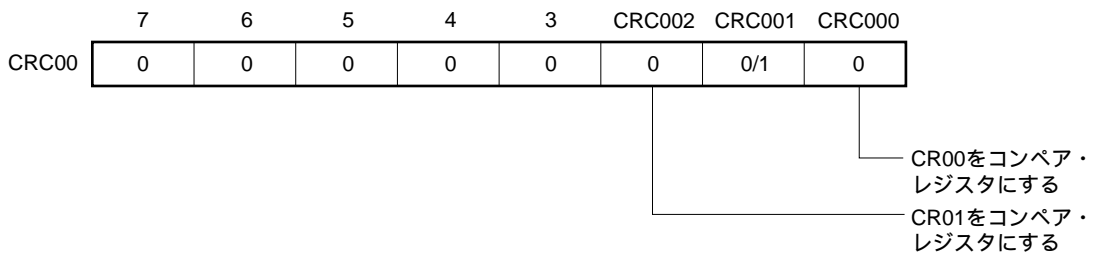
**注意** ワンショット・パルスを出力しているときに、再度外部トリガが発生しても無視されます。

図8 - 33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容（立ち上がりエッジ指定時）

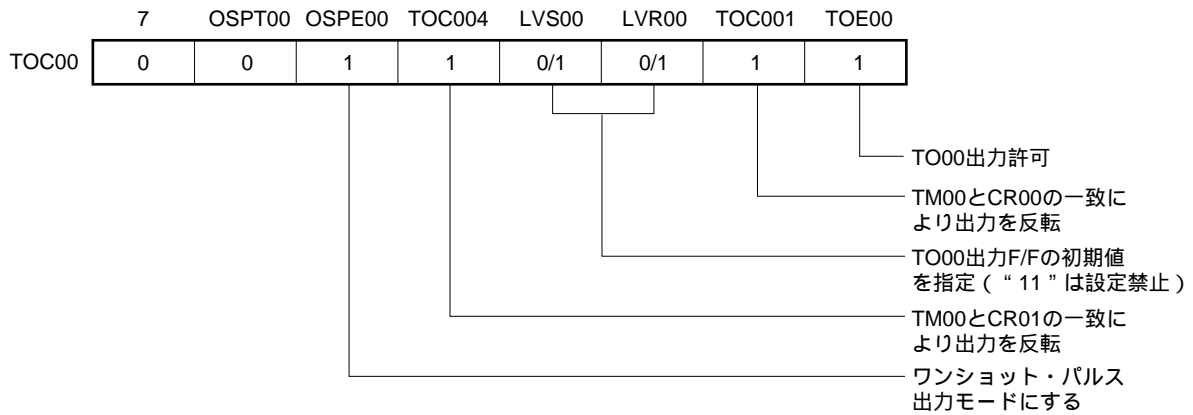
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



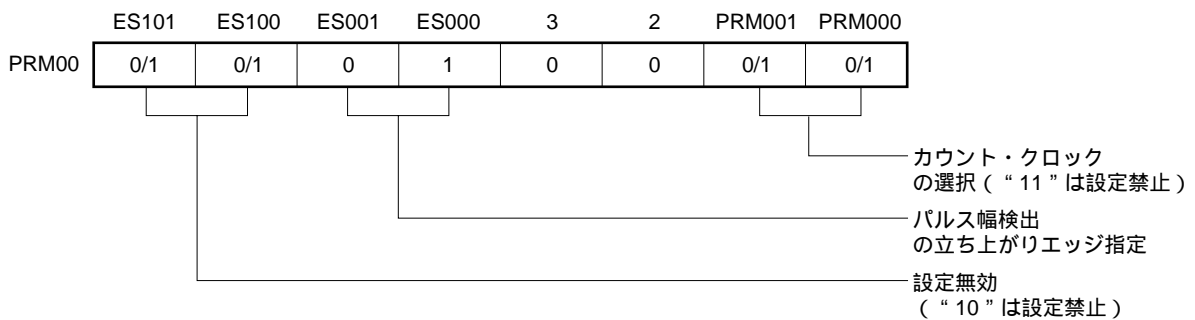
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

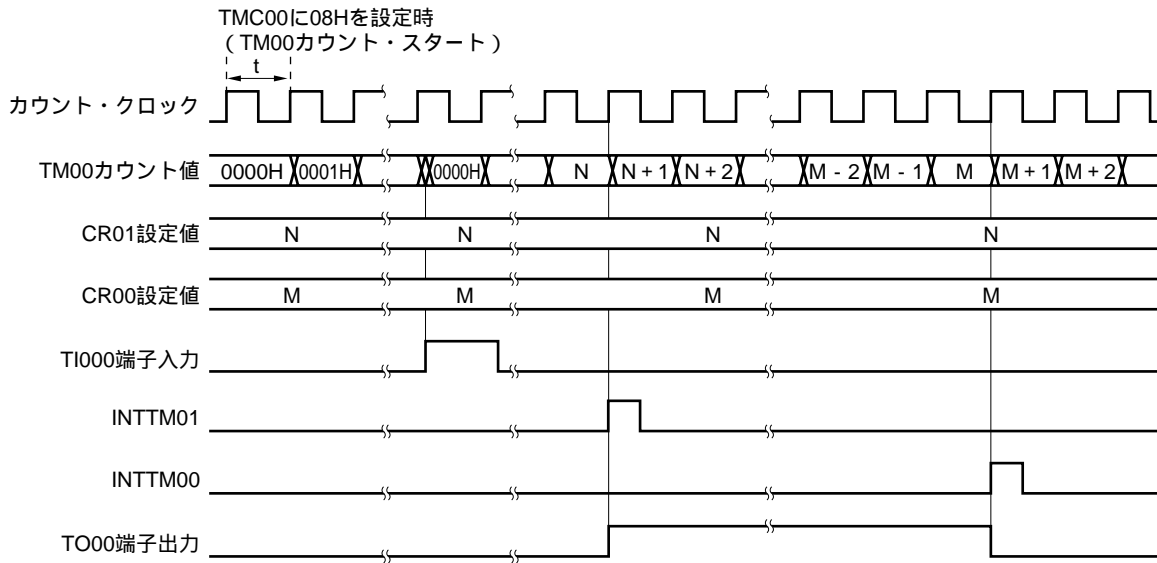


(d) プリスケアラ・モード・レジスタ00 (PRM00)



注意 CR00レジスタとCR01レジスタに0000Hを設定しないでください。

図8 - 34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)



**注意** 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。

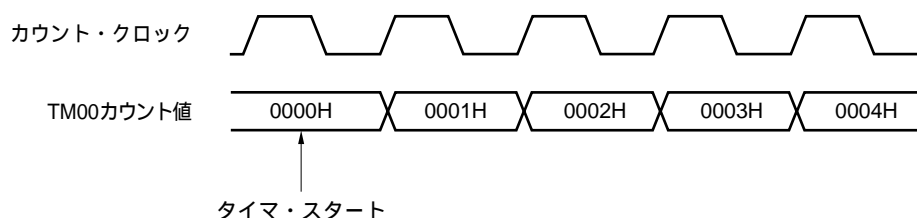
**備考**  $N < M$

## 8.5 16ビット・タイマ/イベント・カウンタ00の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00(TM00)が非同期でスタートするためです。

図8 - 35 16ビット・タイマ・カウンタ00(TM00)のスタート・タイミング



### (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00の設定

TM00とCR00の一致でクリア&スタート・モードの場合、16ビット・タイマ・キャプチャ/コンペア・レジスタ00(CR00)には、0000H以外の値を設定してください。したがって、外部イベント・カウンタとして使用時、1パルスのカウント動作はできません。

### (3) キャプチャ・レジスタのデータ保持

16ビット・タイマ/イベント・カウンタ00停止後の、16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01(CR00, CR01)の値は保証されません。

### (4) 有効エッジの設定

TI000端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット2, 3(TMC002, TMC003)に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ00(PRM00)のビット4, 5(ES000, ES001)で設定します。

### (5) ワンショット・パルスの再トリガ

#### (a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00レジスタとの一致割り込みであるINTTM00、またはCR01レジスタとの一致割り込みであるINTTM01が発生したあとに行ってください。

#### (b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガが発生しても無視されます。

#### (c) ワンショット・パルス出力機能について

16ビット・タイマ/イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI000端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

(6) OVF00フラグの動作

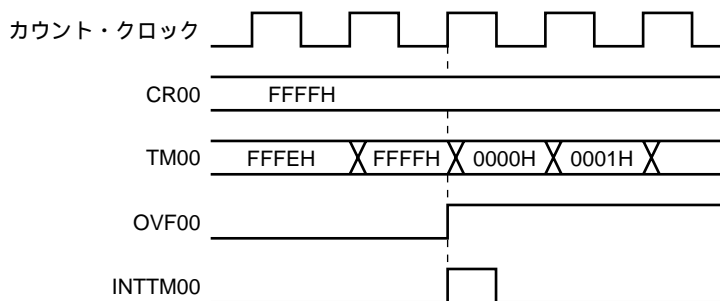
OVF00フラグは、次のときにも“1”に設定されます。

TM00とCR00の一致でクリア&スタート、TI000端子の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択

CR00をFFFFHに設定

TM00がFFFFHから0000Hにカウント・アップするとき

図8 - 36 OVF00フラグの動作タイミング



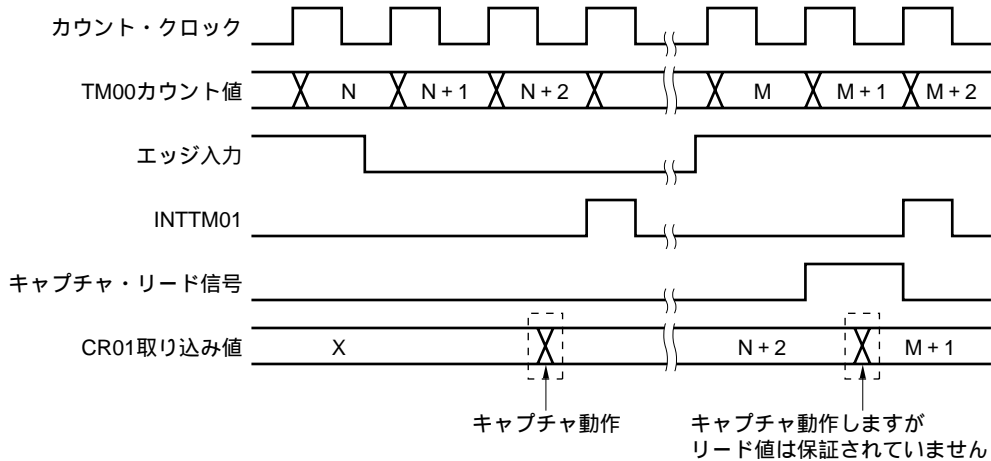
TM00がオーバーフロー後、次のカウント・クロックがカウントされる（TM00が0001Hになる）前に OVF00フラグをクリアしても、再度セットされ、クリアは無効となります。

(7) 競合動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR00/CR01) のリード期間とキャプチャ・トリガ入力の競合 (CR00/CR01はキャプチャ・レジスタとして使用)

キャプチャ・トリガ入力が優先されます。CR00/CR01のリード・データは不定となります。

図8 - 37 キャプチャ・レジスタのデータ保持タイミング



(8) タイマ動作について

16ビット・タイマ・カウンタ00 (TM00) をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、TI000/TI001端子への入力信号は受け付けられません。

ワンショット・パルス出力は、フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR00の一致でクリア&スタート・モードでは、オーバーフローしないため、ワンショット・パルス出力ができません。

(9) キャプチャ動作について

カウント・クロックにTI000端子の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作できません。

確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM00/INTTM01) は次のカウント・クロックの立ち上がりで発生します。



**(10) コンペア動作について**

コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

**(11) エッジ検出について**

システム・リセット直後にTI000端子またはTI001端子がハイ・レベルの場合、TI000端子またはTI001端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI000端子またはTI001端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

TI000端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで、後者はプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

# 第9章 8ビット・タイマ/イベント・カウンタ50, 51

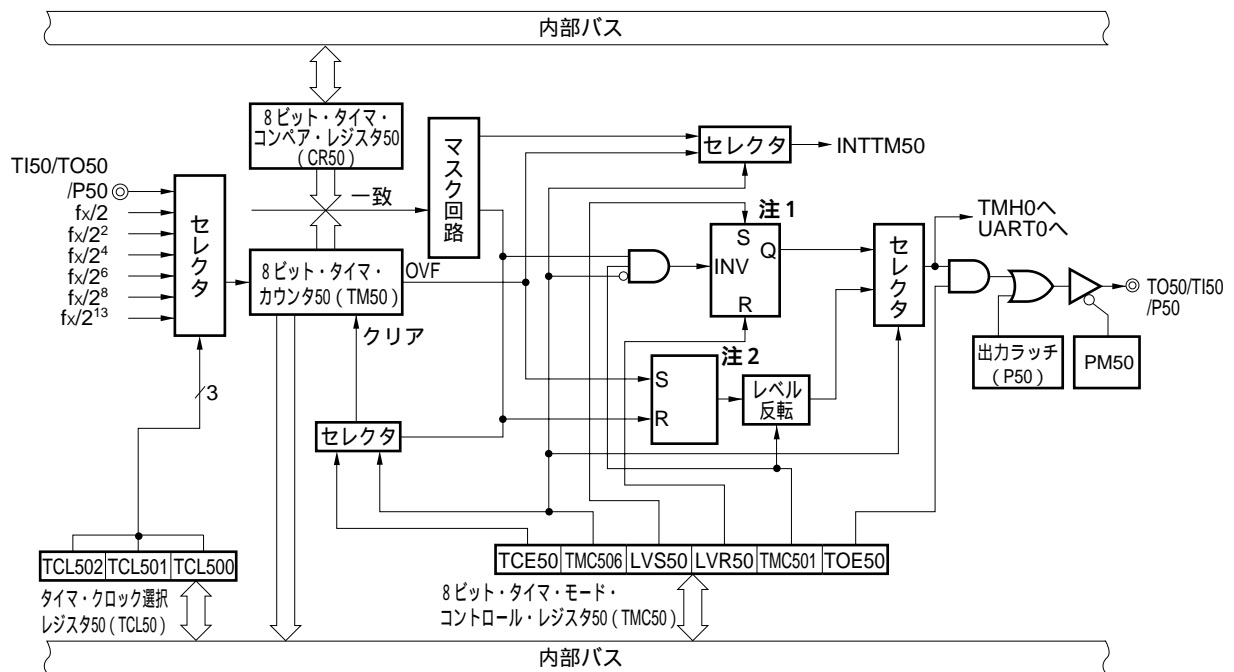
## 9.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は、次のような機能として使用できます。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

図9 - 1 , 図9 - 2 に , 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

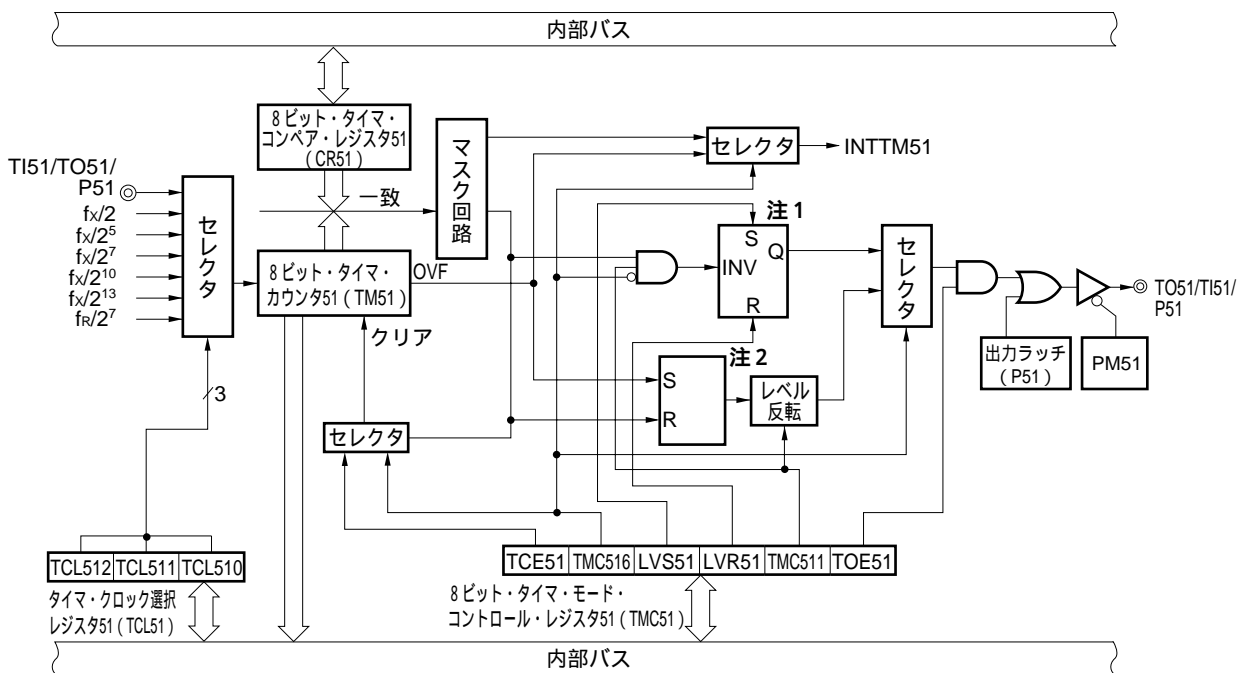
図9 - 1 8ビット・タイマ/イベント・カウンタ50のブロック図



注1 . タイマ出力F/F

2 . PWM出力F/F

図9 - 2 8ビット・タイマ/イベント・カウンタ51のブロック図



注1．タイマ出力F/F

2．PWM出力F/F

## 9.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表9 - 1 8ビット・タイマ/イベント・カウンタ50, 51の構成

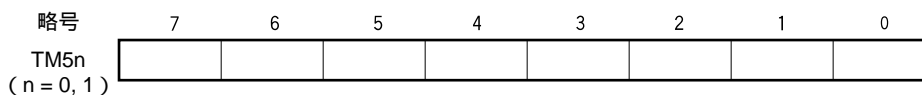
項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ5 (PM5) ポート・レジスタ5 (P5)

### (1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。  
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図9 - 3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット

アドレス：FF2CH (TM50) , FF3CH (TM51) リセット時：00H R



次の場合、カウント値は00Hになります。

$\overline{\text{RESET}}$ 入力

TCE5nをクリア

TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

### (2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

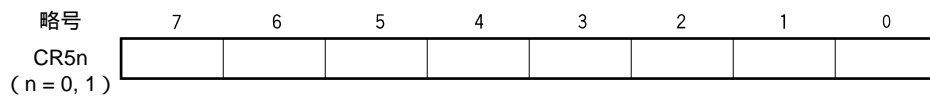
PWMモード時は、TM5nのオーバーフローによりTO5n端子がアクティブ・レベルになり、TM5nとCR5nの値が一致するとTO5n端子はインアクティブ・レベルになります。

CR5nの値は、00H-FFHの範囲で設定できます。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット

アドレス : FF2DH (CR50) , FF3DH (CR51) リセット時 : 00H R/W



注意1 . TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。

2 . PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

## 9.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ5 (PM5)
- ・ポート・レジスタ5 (P5)

### (1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

備考 n = 0, 1

図9 - 5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF2EH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択 <sup>注</sup>
0	0	0	TI50端子の立ち下がりエッジ
0	0	1	TI50端子の立ち上がりエッジ
0	1	0	$f_x/2$ (10 MHz)
0	1	1	$f_x/2^2$ (5 MHz)
1	0	0	$f_x/2^4$ (1.25 MHz)
1	0	1	$f_x/2^6$ (312.5 kHz)
1	1	0	$f_x/2^8$ (78.125 kHz)
1	1	1	$f_x/2^{13}$ (2.44 kHz)

注 カウント・クロックは次の条件を満たすように設定してください。

- ・  $V_{DD} = 4.0 \sim 5.5$  V : カウント・クロック 10 MHz

注意1 . CPUへのソース・クロックに内蔵発振クロックを選択する場合、カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合、8ビット・タイマ/イベント・カウンタ50の動作は保証されません。

- 2 . TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。
- 3 . ビット3-7には必ず“0”を設定してください。

- 備考1 .  $f_x$  : X1入力クロック発振周波数  
 2 . ( ) 内は,  $f_x = 20$  MHz動作時。

図9 - 6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF3EH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択 <sup>注</sup>
0	0	0	TI51端子の立ち下がりエッジ
0	0	1	TI51端子の立ち上がりエッジ
0	1	0	$f_x/2$ ( 10 MHz )
0	1	1	$f_x/2^5$ ( 625 kHz )
1	0	0	$f_x/2^7$ ( 156.25 kHz )
1	0	1	$f_x/2^{10}$ ( 19.53 kHz )
1	1	0	$f_x/2^{13}$ ( 2.44 kHz )
1	1	1	$f_R/2^7$ ( 1.88 kHz )

注 カウント・クロックは次の条件を満たすように設定してください。

- ・  $V_{DD} = 4.0 \sim 5.5$  V : カウント・クロック 10 MHz

注意1 . CPUへのソース・クロックに内蔵発振クロックを選択する場合, カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合, 8ビット・タイマ/イベント・カウンタ51の動作は保証されません。

- 2 . TCL51を同一データ以外に書き換える場合は, いったんタイマ動作を停止させてから書き換えてください。
- 3 . ビット3-7には必ず“0”を設定してください。

- 備考1 .  $f_x$  : X1入力クロック発振周波数  
 2 .  $f_R$  : 内蔵発振クロック周波数  
 3 . ( ) 内は,  $f_x = 20$  MHz,  $f_R = 240$  kHz ( TYP. ) 動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 RESET入力により00Hになります。

備考 n = 0, 1

図9 - 7 8ビット・タイマ・モード・コントロール・レジスタ 50 (TMC50) のフォーマット

アドレス : FF2FH    リセット時 : 00H    R/W

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止(カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TM50の出力はロウ・レベル出力)
1	出力許可

(注意と備考は次々頁にあります。)



図9 - 8 8ビット・タイマ・モード・コントロール・レジスタ 51 (TMC51) のフォーマット

アドレス : FF3FH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御	
0	カウンタを0にクリア後, カウンタ動作禁止(カウンタ停止)	
1	カウンタ動作開始	

TMC516	TM51の動作モード選択	
0	TM51とCR51の一致でクリア&スタート・モード	
1	PWM(フリー・ランニング)モード	

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TMC511	PWMモード以外(TMC516 = 0)	PWMモード(TMC516 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止(TM51の出力はロウ・レベル出力)
1	出力許可

(注意と備考は次頁にあります。)

注意1 . LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。

2 . 次のビットを同時に書き換えないでください。

- ・ TMC5n1とTOE5n
- ・ TMC5n6とTOE5n
- ・ TMC5n1とTMC5n6
- ・ TMC5n6とLVS5n, LVR5n
- ・ TOE5nとLVS5n, LVR5n

3 . TMC5n6を書き換える場合は、動作を停止してから行ってください。

備考1 . PWMモード時は、TCE5n = 0により、PWM出力はインアクティブ・レベルになります。

2 . LVS5n, LVR5nは読み出すと、0になっています。

3 . TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は、TCE5nの値に関係なくTO5n端子に反映されます。

4 . n = 0, 1

### (3) ポート・モード・レジスタ5 (PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P50/TO50/TI50, P51/TO51/TI51端子をタイマ出力として使用するとき、PM50, PM51およびP50, P51の出力ラッチに0を設定してください。

P50/TO50/TI50, P51/TO51/TI51端子をタイマ入力として使用するとき、PM50, PM51に1を設定してください。このとき、P50, P51の出力ラッチは0または1のどちらでもかまいません。

PM5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図9 - 9 ポート・モード・レジスタ5 (PM5) のフォーマット

アドレス : FF25H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
PM5n	P5n端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

## 9.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

### 9.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

#### 設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択  
( TMC5n = 0000 x x x 0B x = don't care )

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

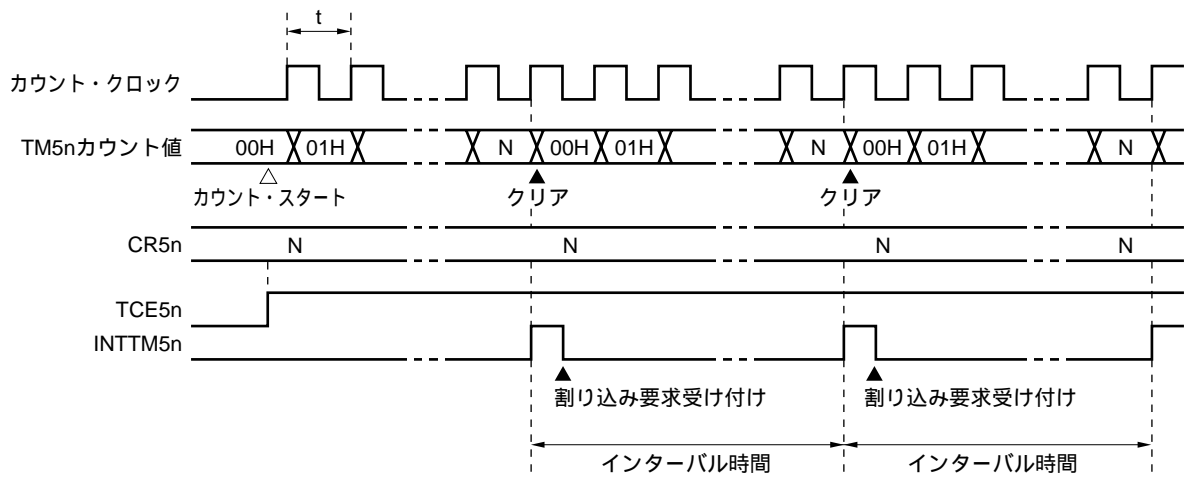
以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

**注意** 動作中にCR5nに異なる値を書き込まないでください。

**備考** n = 0, 1

図9 - 10 インターバル・タイマ動作のタイミング (1/2)

( a ) 基本動作



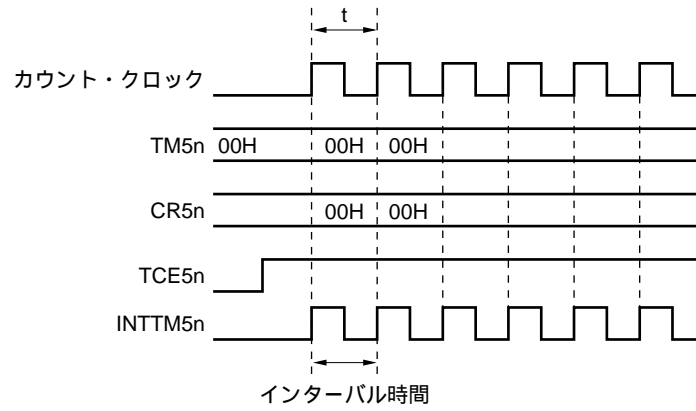
備考 インターバル時間 =  $(N + 1) \times t$

N = 00H-FFH

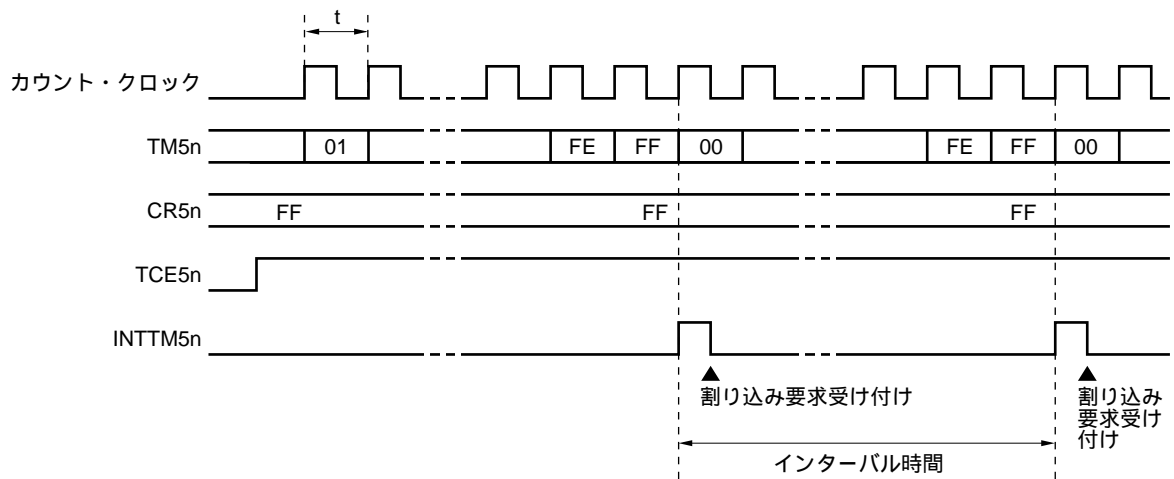
n = 0, 1

図9 - 10 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

### 9.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

#### 設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM50, PM51) 注に “ 1 ” を設定

- ・TCL5n : TI5n端子入力のエッジ選択

TI5n端子の立ち下がり TCL5n = 00H

TI5n端子の立ち上がり TCL5n = 01H

- ・CR5n : コンペア値

- ・TMC5n : カウント動作停止, TM5n端子とCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止

( TMC5n = 0000 x x 00B x = don't care )

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

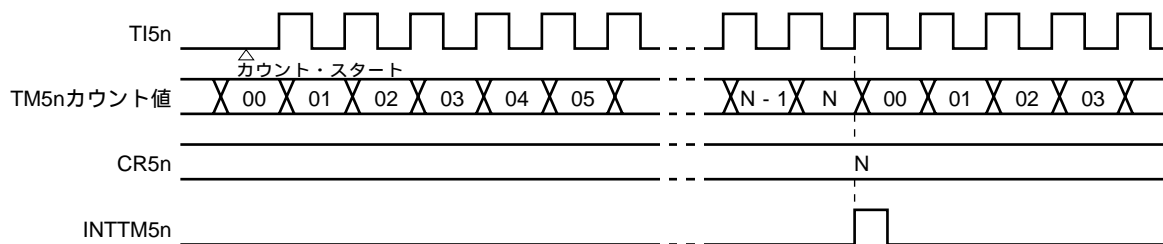
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM50

8ビット・タイマ/イベント・カウンタ51 : PM51

図9 - 11 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

### 9.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50%) が可能です。

#### 設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P50, P51) <sup>注</sup>, ポート・モード・レジスタ (PM50, PM51) <sup>注</sup>に “ 0 ” を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 =  $1/2 t (N + 1)$   
(N : 00H-FFH)

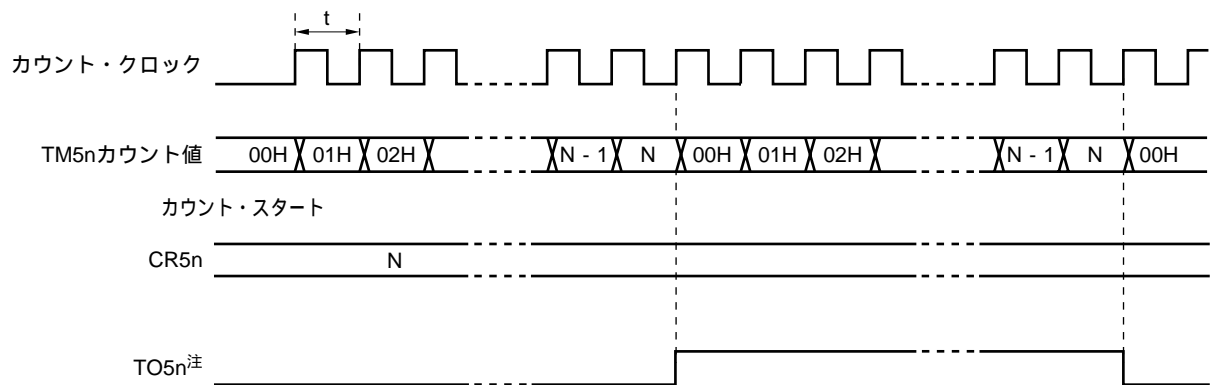
**注** 8ビット・タイマ/イベント・カウンタ50 : P50, PM50

8ビット・タイマ/イベント・カウンタ51 : P51, PM51

**注意** 動作中にCR5nに異なる値を書き込まないでください。

**備考** n = 0, 1

図9 - 12 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

#### 9.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

**注意** PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

**備考** n = 0, 1



## (1) PWM出力の基本動作

## 設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P50, P51) 注, ポート・モード・レジスタ (PM50, PM51) 注に “ 0 ” を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに “ 0 ” を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P50, PM50

8ビット・タイマ/イベント・カウンタ51 : P51, PM51

## PWM出力の動作

PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図9 - 13, 9 - 14を参照してください。

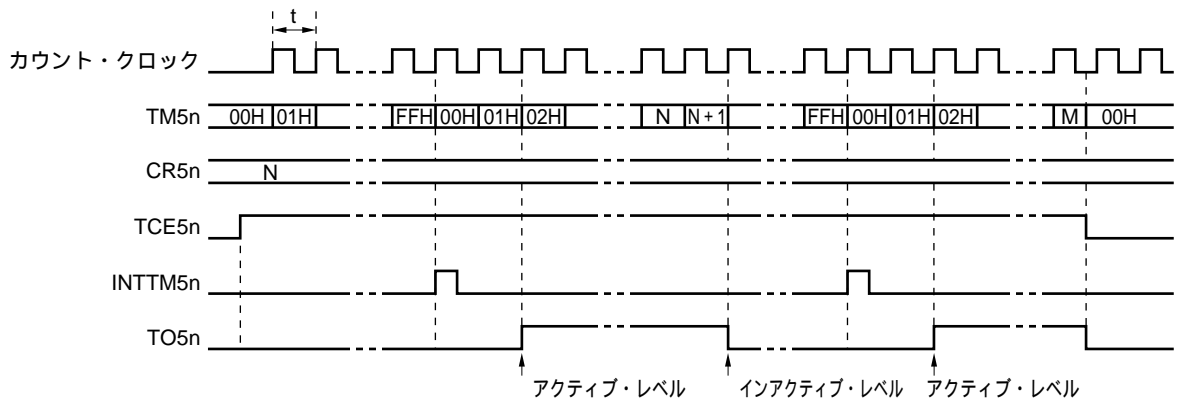
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 =  $2^8 t$
  - ・アクティブ・レベル幅 =  $Nt$
  - ・デューティ =  $N/2^8$
- (N = 00H-FFH)

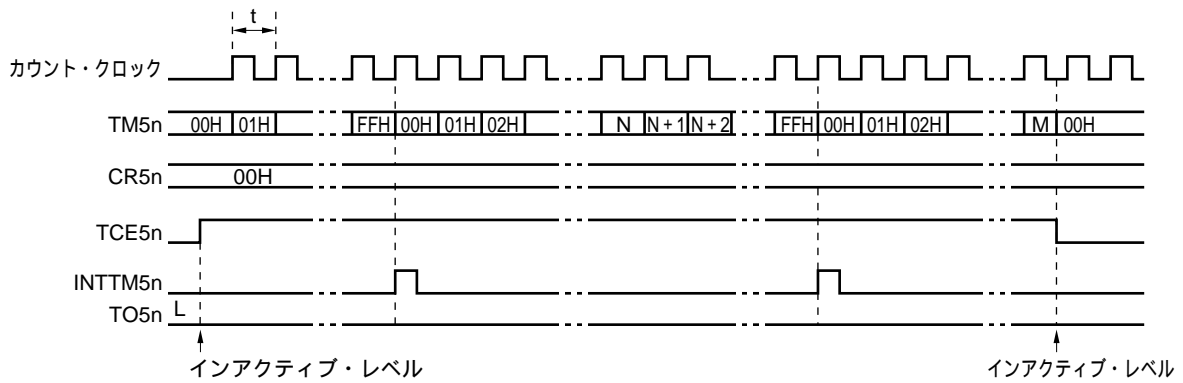
備考 n = 0, 1

図9 - 13 PWM出力動作のタイミング

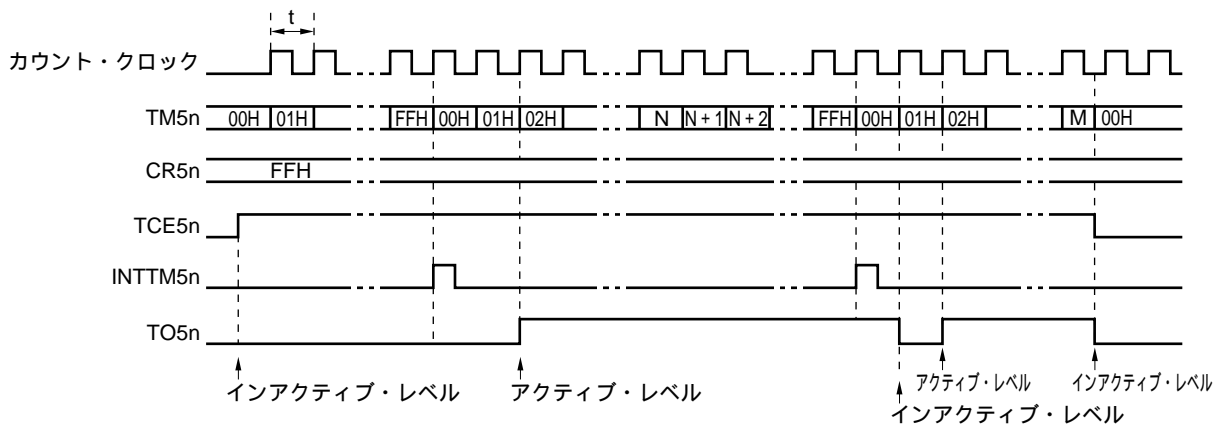
( a ) 基本動作 ( アクティブ・レベル = H のとき )



( b ) CR5n = 00H の場合



( c ) CR5n = FFH の場合



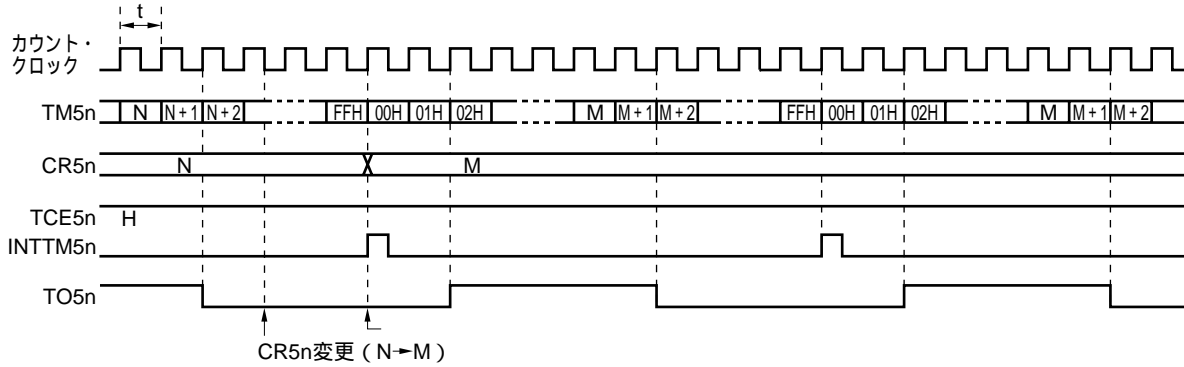
備考1 . 図9 - 13 ( a ) の - , は , 9.4.4 ( 1 ) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2 .  $n = 0, 1$

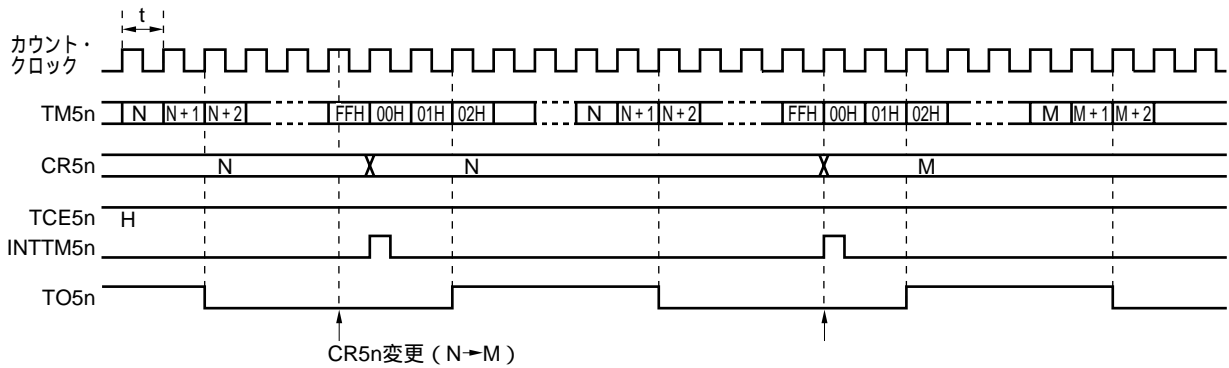
(2) CR5n変更による動作

図9 - 14 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN → Mに変更した場合  
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN → Mに変更した場合  
2回目のオーバーフローでCR5nに値が転送されます



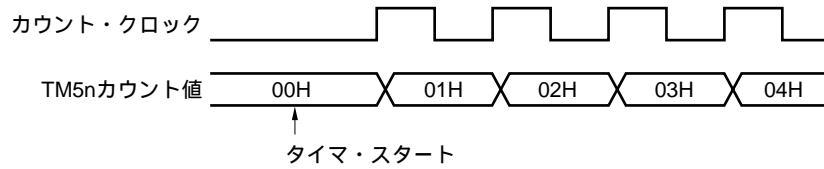
注意 図9 - 14の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

## 9.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

図9 - 15 8ビット・タイマ・カウンタ5nのスタート・タイミング



備考 n = 0, 1

## 第10章 8ビット・タイマH0

### 10.1 8ビット・タイマH0の機能

8ビット・タイマH0には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力モード
- ・方形波出力

### 10.2 8ビット・タイマH0の構成

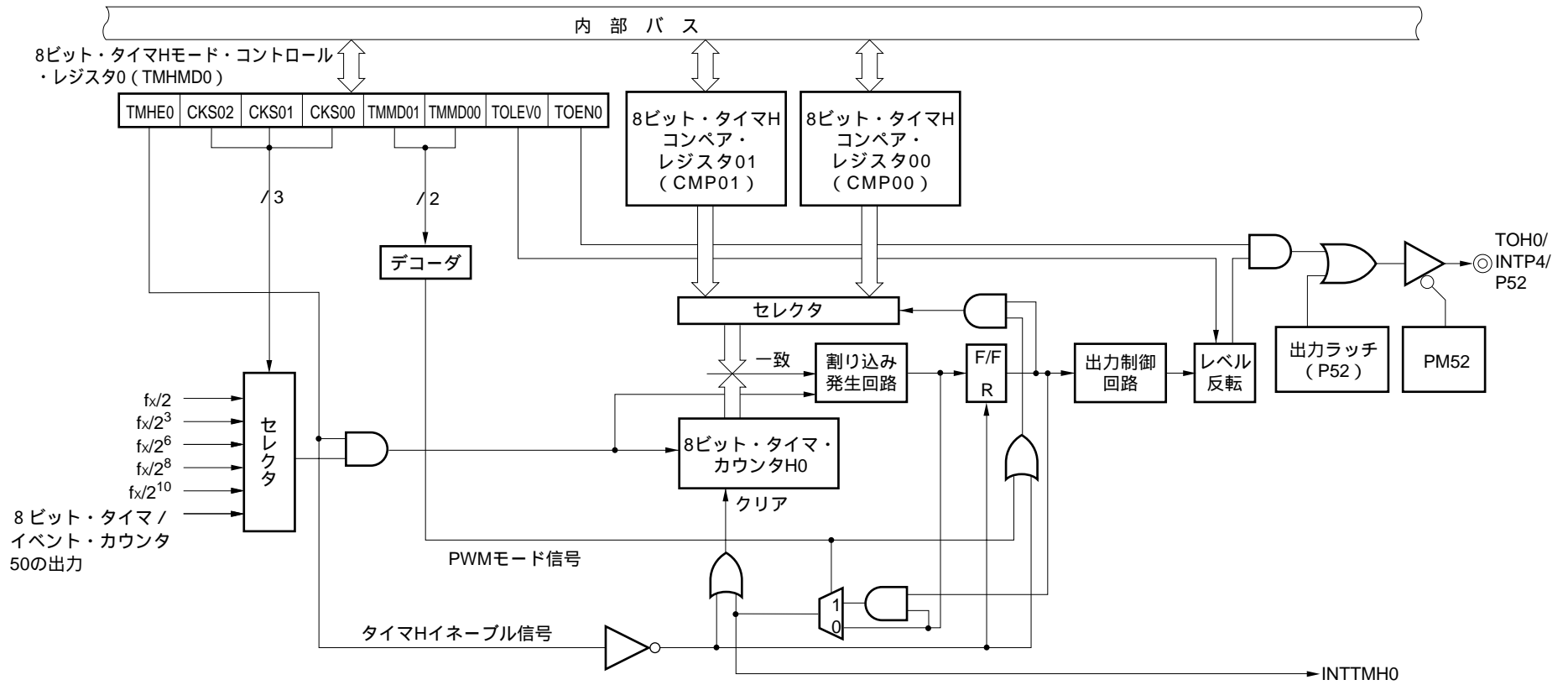
8ビット・タイマH0は、次のハードウェアで構成されています。

表10 - 1 8ビット・タイマH0の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタH0
レジスタ	8ビット・タイマHコンペア・レジスタ00 (CMP00) 8ビット・タイマHコンペア・レジスタ01 (CMP01)
タイマ出力	TOH0
制御レジスタ	8ビット・タイマHモード・レジスタ0 (TMHMD0) ポート・モード・レジスタ5 (PM5) ポート・レジスタ5 (P5)

図10 - 1 にブロック図を示します。

図10 - 1 8ビット・タイマH0のブロック図



(1) 8ビット・タイマHコンペア・レジスタ00 (CMP00)

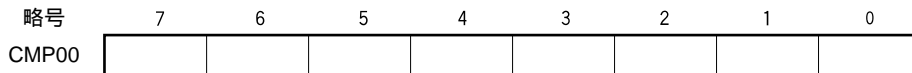
8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

タイマ・カウンタ値とCMP00の値が一致すると割り込み要求信号 (INTTMH0) が発生します。同じタイミングでタイマ・カウンタ値はクリアされます。

RESET入力により00Hになります。

図10 - 2 8ビット・タイマHコンペア・レジスタ00 (CMP00) のフォーマット

アドレス : FF9EH    リセット時 : 00H    R/W



**注意** CMP00は、タイマ・カウント動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタ01 (CMP01)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

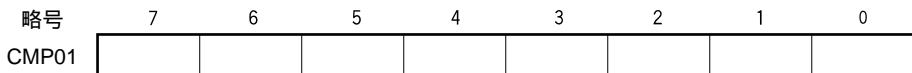
PWM出力モード時のみ使用します。

タイマ・カウンタ値とCMP01の値が一致すると、タイマ・カウンタ値はクリアされますが、割り込み要求信号 (INTTMH0) は発生しません。

RESET入力により00Hになります。

図10 - 3 8ビット・タイマHコンペア・レジスタ01 (CMP01) のフォーマット

アドレス : FF9FH    リセット時 : 00H    R/W



CMP01はタイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP01の値を書き換えた場合、転送タイミングはカウンタ値とCMP01の値が一致したタイミングで行います。転送タイミングとCPUからCMP01への書き込みが競合した場合、転送はされません。

**注意** PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ずCMP01を設定してください (CMP01への設定値が同値の場合でも、必ず再設定してください)。

## 10.3 8ビット・タイマH0を制御するレジスタ

8ビット・タイマH0を制御するレジスタには、次の3種類があります。

- ・ 8ビット・タイマHモード・レジスタ0 (TMHMD0)
- ・ ポート・モード・レジスタ5 (PM5)
- ・ ポート・レジスタ5 (P5)

### (1) 8ビット・タイマHモード・レジスタ0 (TMHMD0)

タイマHのモードを制御するレジスタです。

TMHMD0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。



図10 - 4 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス：FF2AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOENO

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロック (f <sub>CNT</sub> ) の選択 <sup>注1</sup>
0	0	0	f <sub>x</sub> /2 (10 MHz)
0	0	1	f <sub>x</sub> /2 <sup>3</sup> (2.5 MHz)
0	1	0	f <sub>x</sub> /2 <sup>6</sup> (312.5 kHz)
0	1	1	f <sub>x</sub> /2 <sup>8</sup> (78.125 kHz)
1	0	0	f <sub>x</sub> /2 <sup>10</sup> (19.53 kHz)
1	0	1	TM50の出力 <sup>注2</sup>
上記以外			設定禁止

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOENO	タイマ出力制御
0	出力禁止
1	出力許可

注1 . カウント・クロックは次の条件を満たすように設定してください。

・ V<sub>DD</sub> = 4.0 ~ 5.5 V : カウント・クロック 10 MHz

2 . TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

・ PWMモード (TMC506 = 1) のとき

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0) のとき

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

- 注意 1 . CPUへのソース・クロックに内蔵発振クロックを選択する場合、カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合、8ビット・タイマH0の動作は保証されません。
- 2 . TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。
- 3 . PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ01 (CMP01) を設定してください (CMP01への設定値が同値の場合でも、必ず再設定してください)。

備考 1 .  $f_x$  : X1入力クロック発振周波数

2 . ( ) 内は、 $f_x = 20$  MHz動作時

3 . TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6  
TMC501 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット1

(2) ポート・モード・レジスタ5 (PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P52/TOH0/INTP4端子をタイマ出力として使用するとき、PM52およびP52の出力ラッチに0を設定してください。

PM5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図10 - 5 ポート・モード・レジスタ5 (PM5) のフォーマット

アドレス : FF25H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	P5n端子の入出力モードの選択 (n=0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 10.4 8ビット・タイマH0の動作

### 10.4.1 インターバル・タイマ / 方形波出力としての動作

8ビット・タイマ・カウンタH0とコンペア・レジスタ00 (CMP00) が一致した場合、割り込み要求信号 (INTTMH0) が発生し、8ビット・タイマ・カウンタH0を00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ01 (CMP01) は使用しません。CMP01レジスタを設定しても、8ビット・タイマ・カウンタH0とCMP01レジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタ0 (TMHMD0) のビット0 (TOEN0) に1を設定することにより、TOH0より任意の周波数の方形波出力 (デューティ = 50%) が出力されます。

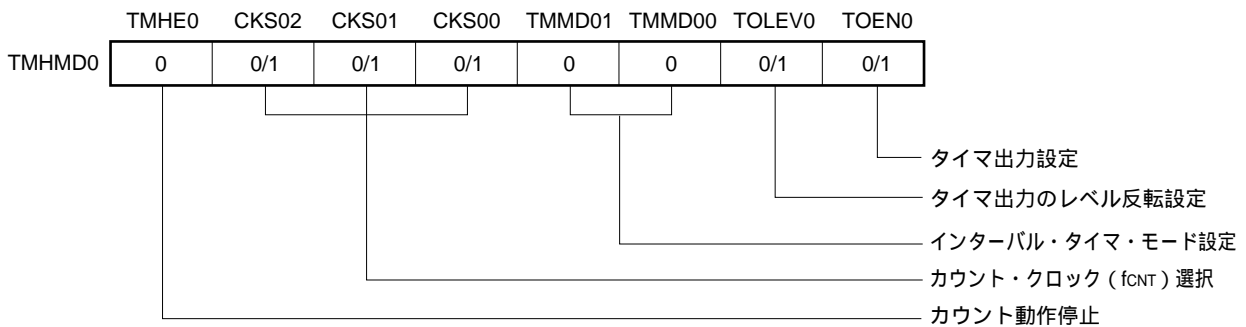
#### (1) 使用方法

同一間隔でINTTMH0信号を繰り返し発生します。

各レジスタの設定を行います。

図10-6 インターバル・タイマ / 方形波出力動作時のレジスタの設定

#### (i) タイマHモード・レジスタ0 (TMHMD0) の設定



#### (ii) CMP00レジスタの設定

・コンペア値 (N)

TMHE0 = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタH0とCMP00レジスタの値が一致すると、INTTMH0信号が発生し、8ビット・タイマ・カウンタH0は00Hにクリアされます。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

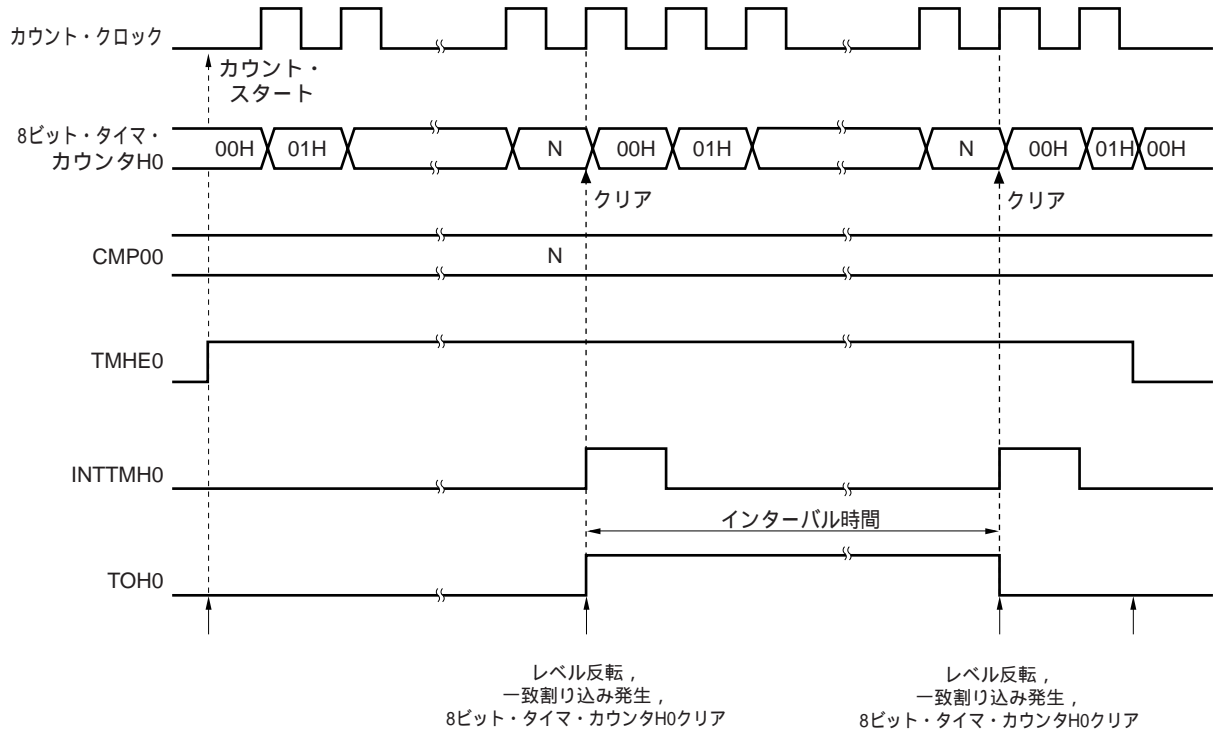
以後、同一間隔でINTTMH0信号が発生します。カウント動作を停止するときは、TMHE0 = 0にします。

(2) タイミング・チャート

インターバル・タイマ/方形波出力動作のタイミングを次に示します。

図10-7 インターバル・タイマ/方形波出力動作のタイミング(1/2)

(a) 基本動作



TMHE0ビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

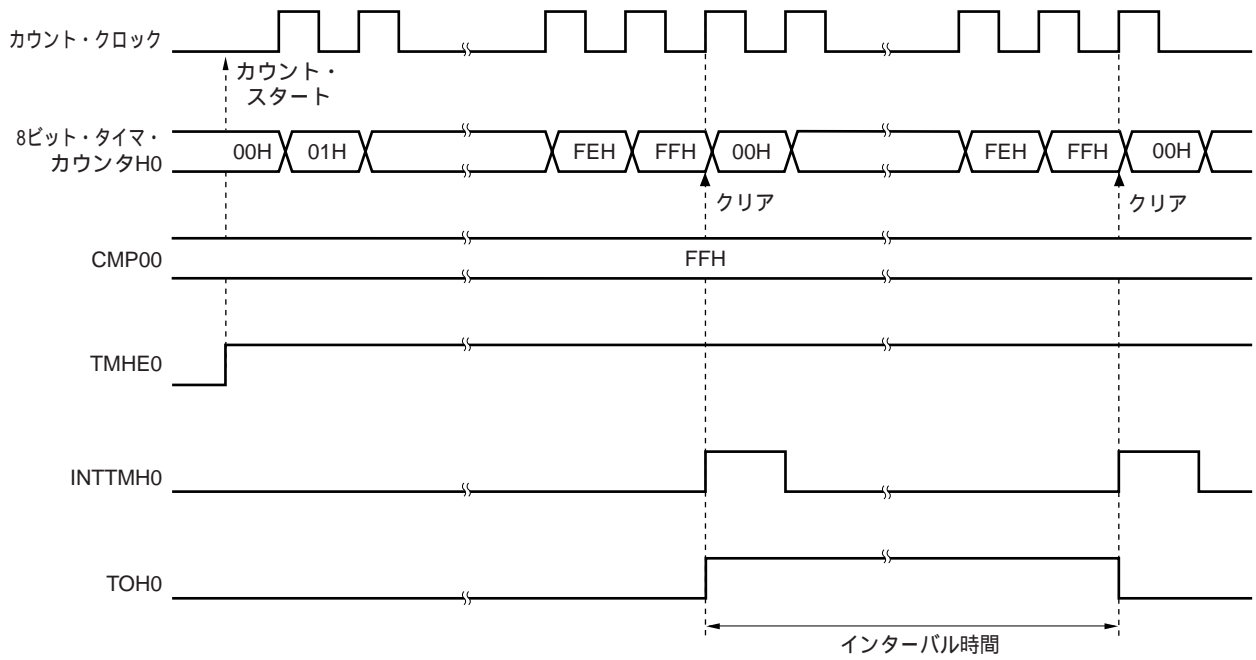
8ビット・タイマ・カウンタH0の値とCMP00レジスタの値が一致すると、8ビット・タイマ・カウンタH0の値をクリアし、TOH0出力のレベルを反転させ、INTTMH0信号を出力します。

タイマH動作中にTMHE0ビットを0にすることで、INTTMH0信号およびTOH0出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

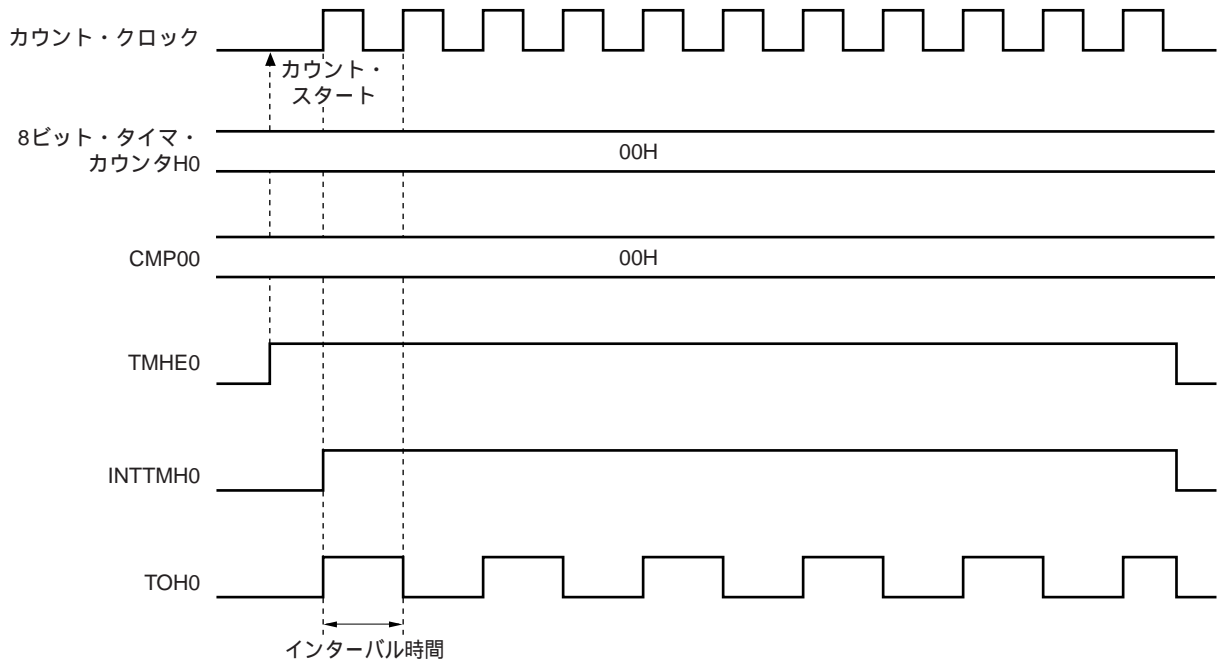
**備考** N = 01H-FEH

図10-7 インターバル・タイマ/方形波出力動作のタイミング(2/2)

(b) CMP00 = FFH時の動作



(c) CMP00 = 00H時の動作



### 10.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0 (CMP00) はタイマ出力 (TOH0) の周期を制御します。タイマ動作中のCMP00レジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ01 (CMP01) はタイマ出力 (TOH0) のデューティを制御するレジスタです。タイマ動作中のCMP01レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタH0とCMP00レジスタが一致するとTOH0出力はアクティブとなり、8ビット・タイマ・カウンタH0は0にクリアされます。8ビット・タイマ・カウンタH0とCMP01レジスタが一致するとTOH0出力はインアクティブとなります。

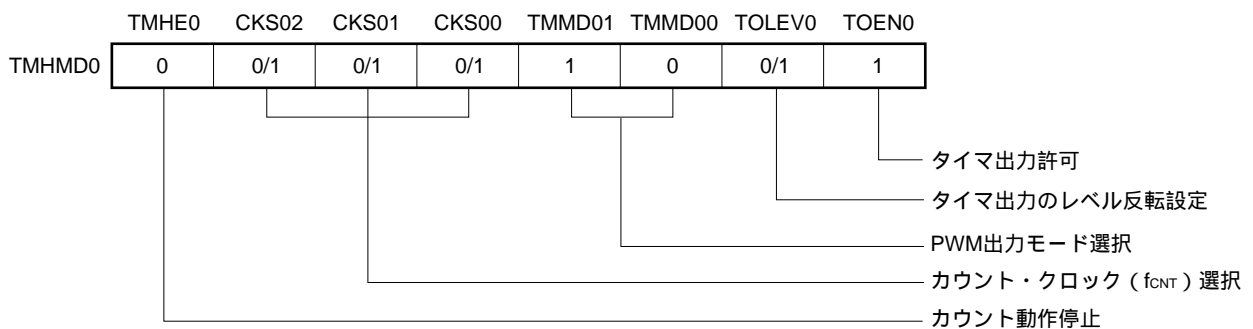
#### (1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

各レジスタの設定を行います。

図10 - 8 PWM出力モード時のレジスタの設定

#### ( i ) タイマHモード・レジスタ0 (TMHMD0) の設定



#### ( ii ) CMP00レジスタの設定

- ・コンペア値 (N) : 周期の設定

#### ( iii ) CMP01レジスタの設定

- ・コンペア値 (M) : デューティの設定

**備考** 00H CMP01 (M) < CMP00 (N) FFH

TMHE0 = 1によりカウント動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP00レジスタです。8ビット・タイマ・カウンタH0とCMP00レジスタの値が一致すると、8ビット・タイマ・カウンタH0はクリアされ、割り込み要求信号（INTTMH0）が発生し、TOH0出力がアクティブになります。同時に、8ビット・タイマ・カウンタH0との比較対象コンペア・レジスタをCMP00レジスタからCMP01レジスタへ切り替えます。

8ビット・タイマ・カウンタH0とCMP01レジスタが一致すると、TOH0出力がインアクティブになり、同時に、8ビット・タイマ・カウンタH0との比較対象コンペア・レジスタをCMP10レジスタからCMP00レジスタへ切り替えます。このとき8ビット・タイマ・カウンタH0はクリアされず、INTTMH0信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウンタ動作を停止するときは、TMHE0 = 0にします。

CMP00レジスタの設定値を（N）、CMP01レジスタを（M）、カウンタ・クロックの周波数を $f_{CNT}$ とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$\text{PWMパルス出力周期} = (N + 1) / f_{CNT}$ $\text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} = (M + 1) : (N + 1)$
---

- 注意 1** . PWM出力モード時は、CMP01レジスタを書き換えてからレジスタに転送するのに、動作クロック（TMHMD0レジスタのCKS02-CKS00ビットで選択された信号）の3クロック分を必要とします。
- 2** . タイマ・カウンタ動作停止（TMHE0 = 0）設定後、タイマ・カウンタ動作を開始する（TMHE0 = 1）場合、必ずCMP01レジスタを設定してください（CMP01レジスタへの設定値が同値の場合でも、必ず再設定してください）。

## （2）タイミング・チャート

PWM出力モード時の動作タイミングを次に示します。

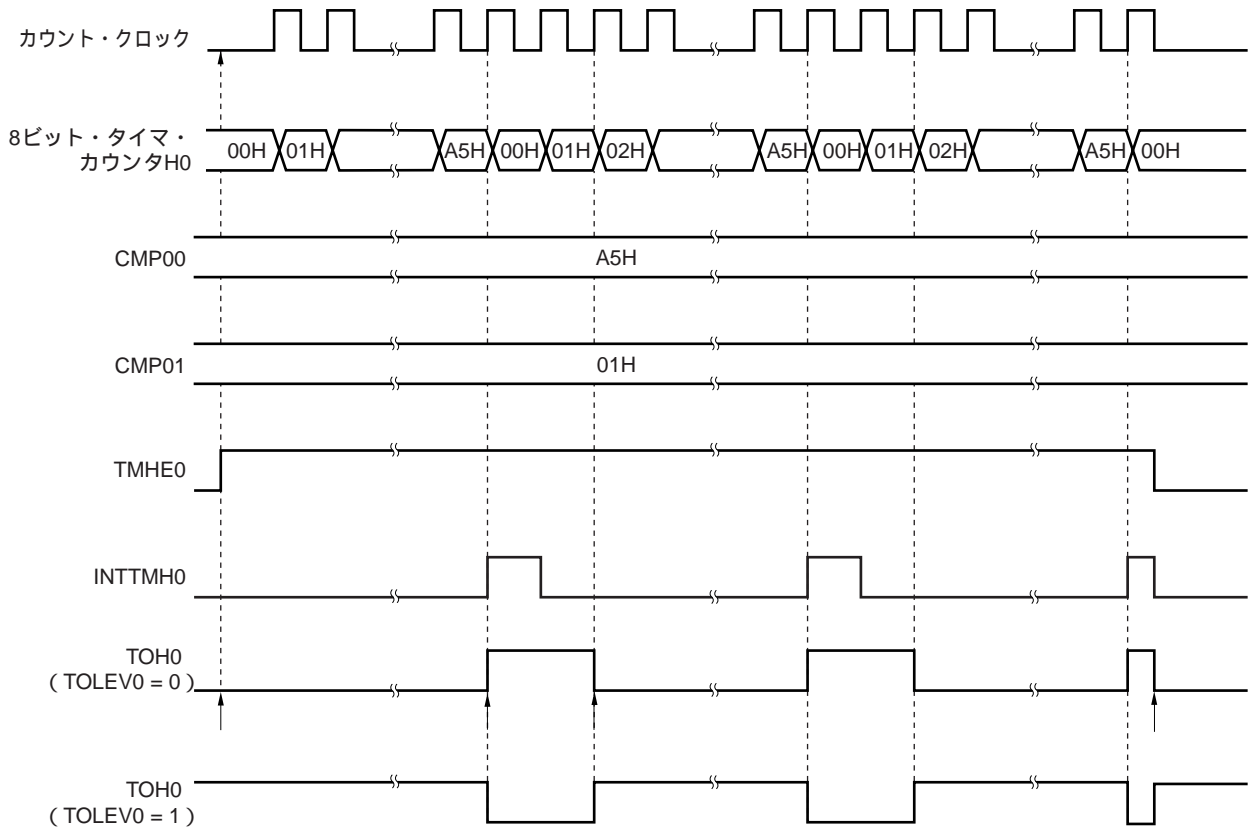
**注意** CMP01レジスタの設定値（M）、CMP00レジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP01 (M)} < \text{CMP00 (N)} \leq FFH$$



図10 - 9 PWM出力モード動作のタイミング (1/4)

(a) 基本動作



TMHE0 = 1により，カウント動作許可状態になります。カウント・クロックを1クロック・マスクし，8ビット・タイマ・カウンタH0をスタートさせ，カウント・アップします。そのときTOH0出力はインアクティブ (TOLEV0 = 0設定時) を保持します。

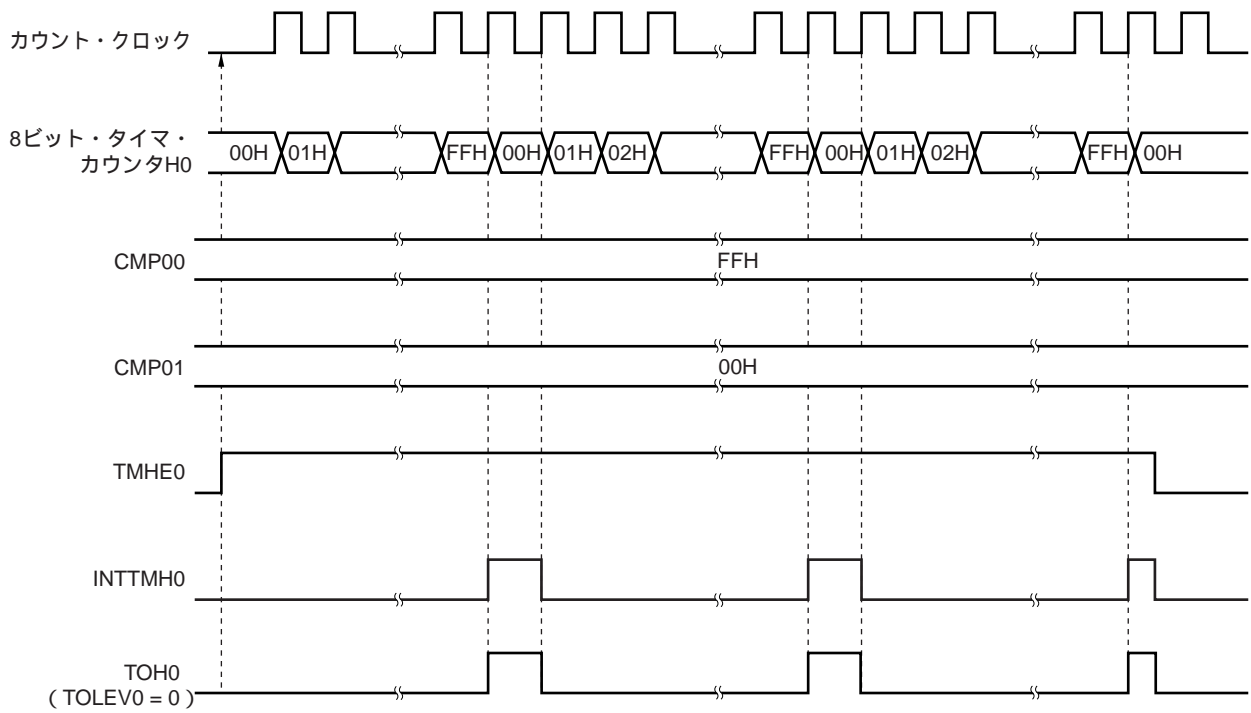
8ビット・タイマ・カウンタH0の値がCMP00レジスタの値と一致したときに，TOH0出力のレベルを反転し，8ビット・タイマ・カウンタH0をクリアし，INTTMH0信号を出力します。

8ビット・タイマ・カウンタH0の値がCMP01レジスタの値と一致したときに，TOH0出力のレベルを戻します。そのとき8ビット・カウンタの値はクリアされず，INTTMH0信号は出力しません。

タイマH0動作中にTMHE0ビットを0にすることで，INTTMH0信号およびTOH0出力がインアクティブになります。

図10 - 9 PWM出力モード動作のタイミング (2/4)

( b ) CMP00 = FFH, CMP01 = 00H時の動作



( c ) CMP00 = FFH, CMP01 = FEH時の動作

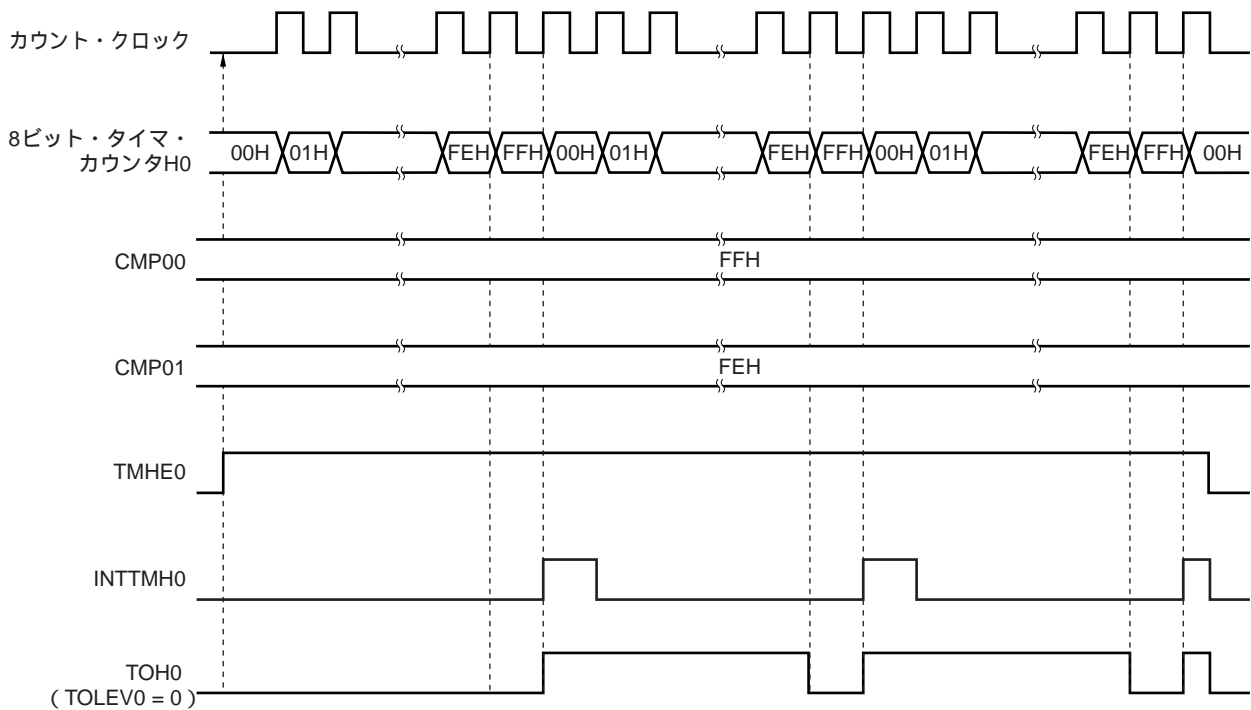


図10 - 9 PWM出力モード動作のタイミング (3/4)

(d) CMP00 = 01H, CMP01 = 00H時の動作

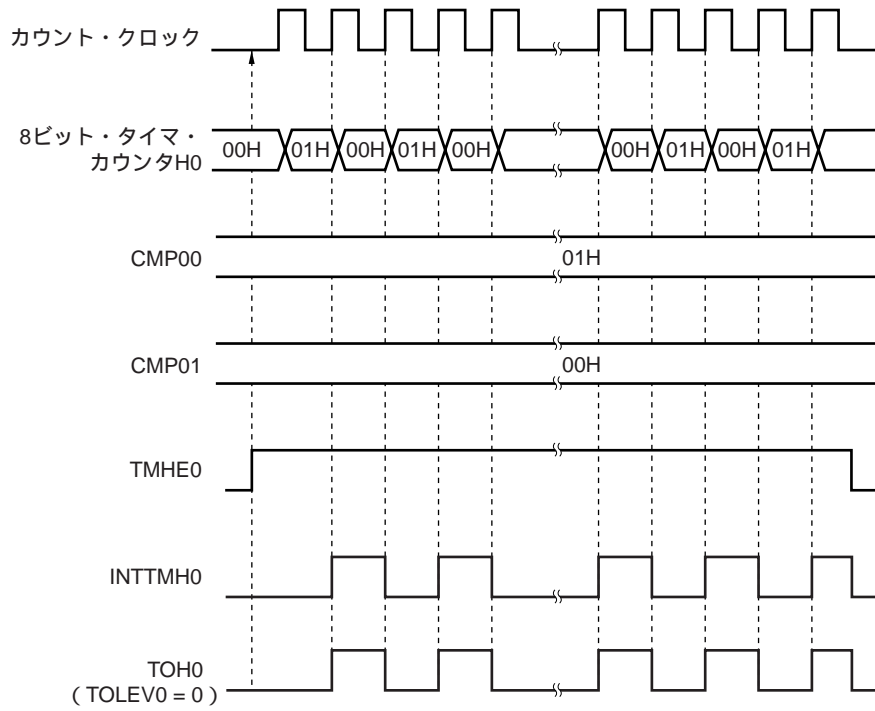
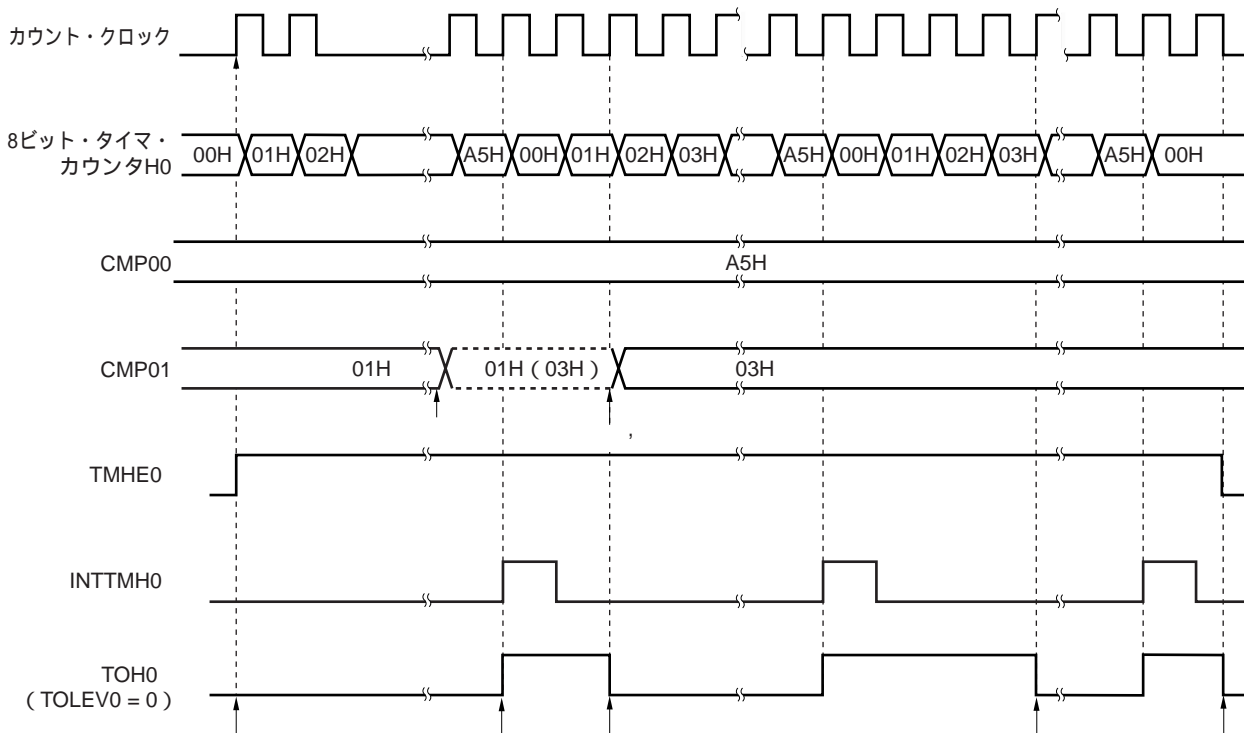


図10 - 9 PWM出力モード動作のタイミング (4/4)

( e ) CMP01変更による動作 (CMP01 = 01H 03H, CMP00 = A5H)



TMHE0 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOH0出力はインアクティブ (TOLEV0 = 0設定時) を保持します。

タイマ・カウンタ動作中にCMP01レジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH0の値がCMP00レジスタの値と一致すると、8ビット・タイマ・カウンタH0はクリアされ、TOH0出力をアクティブにし、INTTMH0信号が発生します。

CMP01レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH0とCMP01レジスタの変更前の値が一致すると、CMP01レジスタに転送されCMP01レジスタの値が変更されます ( ' )。

ただし、CMP01レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH0の値が変更後のCMP01レジスタの値と一致すると、TOH0出力をインアクティブにします。8ビット・タイマ・カウンタH0はクリアされず、INTTMH0信号も発生しません。

タイマH0動作中にTMHE0ビットを0にすることで、INTTMH0信号およびTOH0出力がインアクティブになります。

# 第11章 ウォッチドッグ・タイマ

## 11.1 ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第21章 リセット機能を参照してください。

表11 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	
内蔵発振クロック動作時	X1入力クロック動作時
$f_R/2^{11}$ ( 8.53 ms )	$f_{XP}/2^{13}$ ( 409.6 $\mu$ s )
$f_R/2^{12}$ ( 17.07 ms )	$f_{XP}/2^{14}$ ( 819.2 $\mu$ s )
$f_R/2^{13}$ ( 34.13 ms )	$f_{XP}/2^{15}$ ( 1.64 ms )
$f_R/2^{14}$ ( 68.27 ms )	$f_{XP}/2^{16}$ ( 3.28 ms )
$f_R/2^{15}$ ( 136.53 ms )	$f_{XP}/2^{17}$ ( 6.55 ms )
$f_R/2^{16}$ ( 273.07 ms )	$f_{XP}/2^{18}$ ( 13.11 ms )
$f_R/2^{17}$ ( 546.13 ms )	$f_{XP}/2^{19}$ ( 26.21 ms )
$f_R/2^{18}$ ( 1.09 s )	$f_{XP}/2^{20}$ ( 52.43 ms )

備考 1 .  $f_R$  : 内蔵発振クロック周波数

2 .  $f_{XP}$  : X1入力クロック発振周波数

3 . ( ) 内は $f_R = 240$  kHz ( TYP. ) ,  $f_{XP} = 20$  MHz動作時

内蔵発振器のオプション・バイト設定により、ウォッチドッグ・タイマ (WDT) の動作モードが表11 - 2 に示すように変わります。

表11-2 オプション・バइटの設定とウォッチドッグ・タイマの動作モード

	オプション・バइट	
	内蔵発振器停止不可	内蔵発振器をソフトウェアにより停止可能
ウォッチドッグ・タイマのクロック・ソース	$f_R$ 固定 <sup>注1</sup>	・ソフトで選択可 ( $f_{XP}$ または $f_R$ または停止) ・リセット解除時： $f_R$
リセット後の動作	最長インターバル ( $f_R/2^{18}$ ) で動作開始	最長インターバル ( $f_R/2^{18}$ ) で動作開始
動作モード選択	オーバフロー時間を一度だけ変更可能	クロック選択 / オーバフロー時間を一度だけ変更可能
特徴	ウォッチドッグ・タイマ停止不可	ウォッチドッグ・タイマ停止可能 <sup>注2</sup>

注1 . 電源が供給されているかぎり、内蔵発振器の発振を絶対に停止することができません（リセット期間中は除く）。

2 . ウォッチドッグ・タイマのクロック・ソースに応じて、ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

クロック・ソースが $f_{XP}$ の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・  $f_{XP}$ 停止時
- ・ HALT/STOPモード時
- ・ 発振安定時間中

クロック・ソースが $f_R$ の場合、次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ CPUクロックが $f_{XP}$ で、STOP命令実行前に $f_R$ をソフトウェアで停止した場合
- ・ HALT/STOPモード時

備考1 .  $f_R$  : 内蔵発振クロック周波数

2 .  $f_{XP}$  : X1入力クロック発振周波数

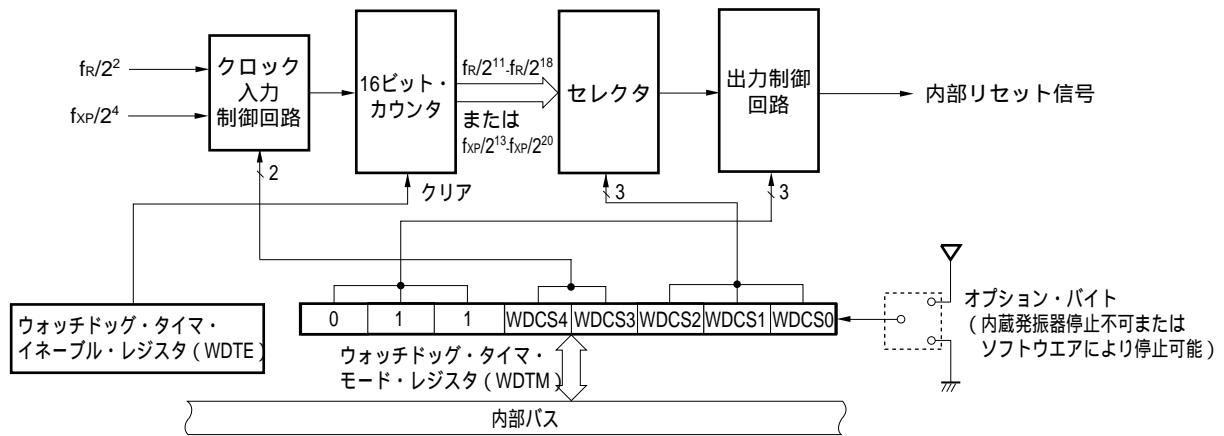
## 11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11 - 3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

図11 - 1 ウォッチドッグ・タイマのブロック図



## 11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するには、次の2種類があります。

- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

### (1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバーフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

$\overline{\text{RESET}}$ 入力により67Hになります。

図11 - 2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FF98H リセット時：67H R/W

略号	7	6	5	4	3	2	1	0
WDTM	0	1	1	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0

WDCS4 <sup>注1</sup>	WDCS3 <sup>注1</sup>	動作クロックの選択
0	0	内蔵発振クロック ( $f_R$ )
0	1	X1入力クロック ( $f_{XP}$ )
1	x	ウォッチドッグ・タイマ動作停止

WDCS2 <sup>注2</sup>	WDCS1 <sup>注2</sup>	WDCS0 <sup>注2</sup>	オーバーフロー時間の設定	
			内蔵発振クロック動作時	X1入力クロック動作時
0	0	0	$f_R/2^{11}$ (8.53 ms)	$f_{XP}/2^{13}$ (409.6 $\mu$ s)
0	0	1	$f_R/2^{12}$ (17.07 ms)	$f_{XP}/2^{14}$ (819.2 $\mu$ s)
0	1	0	$f_R/2^{13}$ (34.13 ms)	$f_{XP}/2^{15}$ (1.64 ms)
0	1	1	$f_R/2^{14}$ (68.27 ms)	$f_{XP}/2^{16}$ (3.28 ms)
1	0	0	$f_R/2^{15}$ (136.53 ms)	$f_{XP}/2^{17}$ (6.55 ms)
1	0	1	$f_R/2^{16}$ (273.07 ms)	$f_{XP}/2^{18}$ (13.11 ms)
1	1	0	$f_R/2^{17}$ (546.13 ms)	$f_{XP}/2^{19}$ (26.21 ms)
1	1	1	$f_R/2^{18}$ (1.09 s)	$f_{XP}/2^{20}$ (52.43 ms)

注1．オプション・バイトで「内蔵発振器は停止不可」を選択した場合は、設定できません。

どんな値を書いても内蔵発振クロックが選択されます。

2．リセット解除時は最大周期 (WDCS2,1,0 = 1,1,1) となります。

注意1．WDTM にデータを書き込むと、ウェイトが発生します。詳細は「第30章 ウェイトに関する注意事項」を参照してください。

2．ビット7, 6, 5にはそれぞれ“0” “1” “1”を設定してください (オプション・バイトで「内蔵発振器は停止不可」を選択した場合は、違う値を書いても無視されます)。



**注意 3** . リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。

4 . WDTMは1ビット・メモリ操作命令では設定できません。

**備考 1** .  $f_R$  : 内蔵発振クロック周波数

2 .  $f_{XP}$  : X1入力クロック発振周波数

3 . x : don't care

4 . ( ) 内は， $f_{XP} = 20 \text{ MHz}$ 動作時， $f_R = 240 \text{ kHz}$  ( TYP. ) 動作時

**(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)**

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

RESET入力により9AHになります。

**図11 - 3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット**

アドレス : FF99H リセット時 : 9AH R/W

略号	7	6	5	4	3	2	1	0
WDTE								

**注意 1** . WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3 . WDTEのリード値は，“9AH” (書き込んだ値 (“ACH”)とは異なる値)になります。

## 11.4 ウォッチドッグ・タイマの動作

### 11.4.1 オプション・バイトで「内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは内蔵発振クロックに固定となります。

リセット解除後は、最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0）= 1, 1, 1）で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
  - ・動作クロック：内蔵発振クロック
  - ・周期： $f_R/2^{18}$ （1.09 s： $f_R = 240$  kHz（TYP.）動作時）
  - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください<sup>注1,2</sup>。
  - ・周期：ビット2-0（WDCS2- WDCS0）で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア（0）し、再カウントすることができます。

**注1**．動作クロック（内蔵発振クロック）を変更することはできません。WDTMのビット3, 4（WDCS3, WDCS4）にどんな値を書き込んでも無視されます。

**2**．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

**注意** このモードでは、STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマ51（TM51）はカウント・ソースに内蔵発振クロックの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTM51の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。

## 11.4.2 オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを内蔵発振クロックまたはX1入力クロックに選択できます。

リセット解除後は、内蔵発振クロックの最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0）= 1, 1, 1）で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
  - ・動作クロック：内蔵発振クロック（f<sub>R</sub>）
  - ・周期：f<sub>R</sub>/2<sup>18</sup>（1.09 s：f<sub>R</sub> = 240 kHz（TYP.）動作時）
  - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください<sup>注1, 2, 3</sup>。
  - ・動作クロック：ビット3, 4（WDCS3, WDCS4）で次のうちのいずれかを選択
    - 内蔵発振クロック（f<sub>R</sub>）
    - X1入力クロック（f<sub>XP</sub>）
    - ウォッチドッグ・タイマ動作停止
  - ・周期：ビット2-0（WDCS2- WDCS0）で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア（0）し、再カウントすることができます。

**注1**．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウントはいったんクリアされます。

2．ビット7, 6, 5にはそれぞれ“0”，“1”，“1”を設定してください。それ以外の値を設定しないでください。

3．WDCS4, WDCS3にそれぞれ“1”，“x”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。

- ・WDTMへの2回目の書き込み
- ・WDTEへの1ビット・メモリ操作命令実行
- ・WDTEへの“ACH”以外の値の書き込み

**注意** このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア（0）されず、値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については11.4.3 STOPモード時の動作，11.4.4 HALTモード時の動作を参照してください。

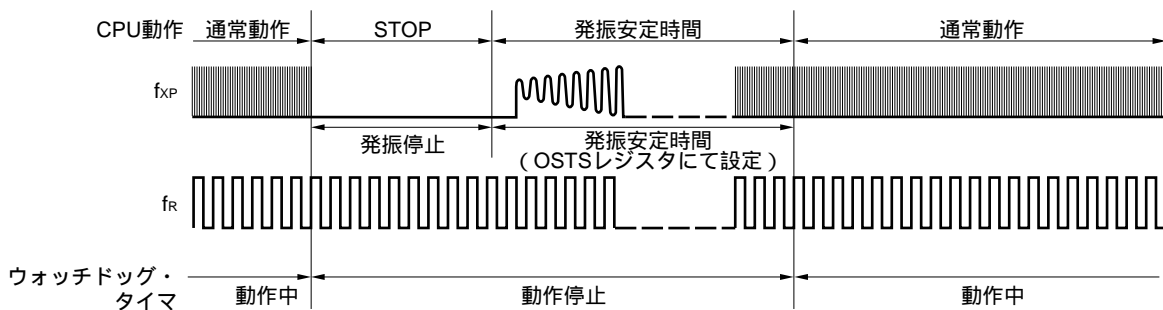
### 11.4.3 STOPモード時の動作（オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合）

X1入力クロック動作時，内蔵発振クロック動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

#### （1）STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックがX1入力クロック（ $f_{XP}$ ）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，発振安定時間選択レジスタ（OSTS）で設定した発振安定時間分カウント停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図11 - 4 STOPモード時の動作（CPUクロックとWDT動作クロック：X1入力クロック）

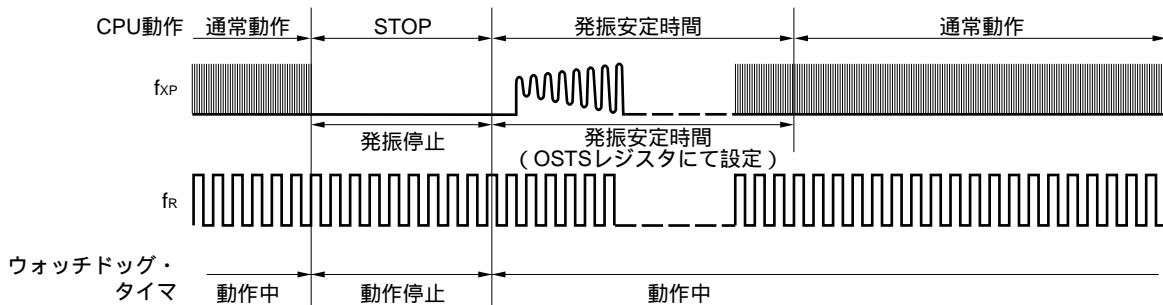


#### （2）STOP実行時のCPUクロックがX1入力クロック（ $f_{XP}$ ），ウォッチドッグ・タイマの動作クロックが内蔵発振クロック（ $f_R$ ）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図11 - 5 STOPモード時の動作

（CPUクロック：X1入力クロック，WDT動作クロック：内蔵発振クロック）



(3) STOP実行時のCPUクロックが内蔵発振クロック ( $f_R$ )、ウォッチドッグ・タイマの動作クロックがX1入力クロック ( $f_{XP}$ ) の場合

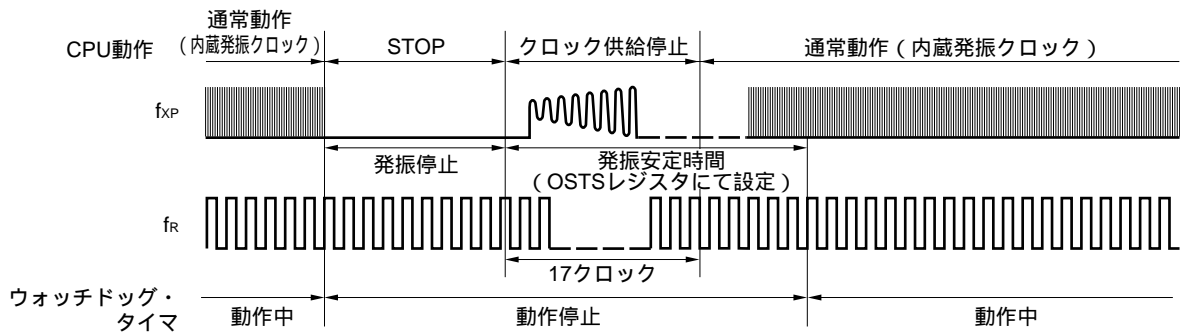
STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、または のうち早いほうのタイミングまでカウントを停止したあとに、動作停止前の動作クロックでカウントを開始します。このとき、カウンタはクリア (0) されず、値を保持します。

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過  
CPUクロックをX1入力クロック ( $f_{XP}$ ) に切り替え

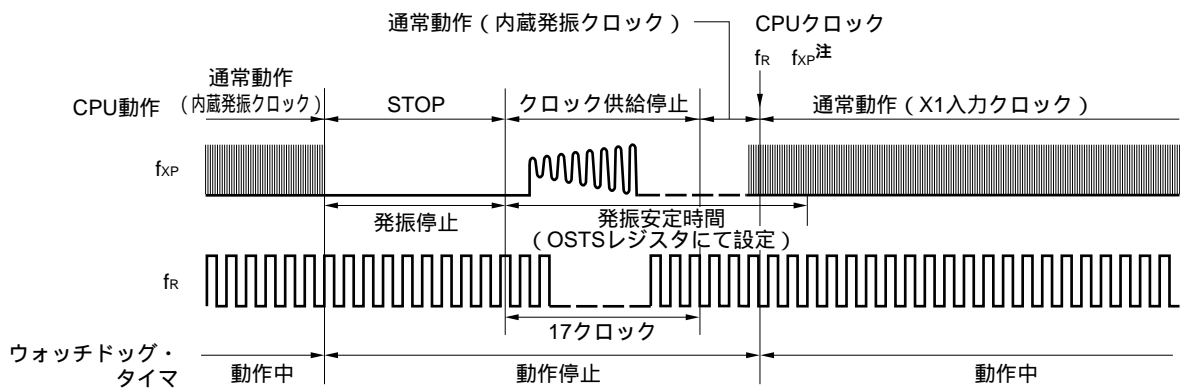
図11-6 STOPモード時の動作

(CPUクロック：内蔵発振クロック，WDT動作クロック：X1入力クロック)

発振安定時間選択レジスタ (OSTS) で設定した発振安定時間経過後にカウント開始した場合のタイミング



CPUクロックをX1入力クロック ( $f_{XP}$ ) に切り替え後にカウント開始した場合のタイミング

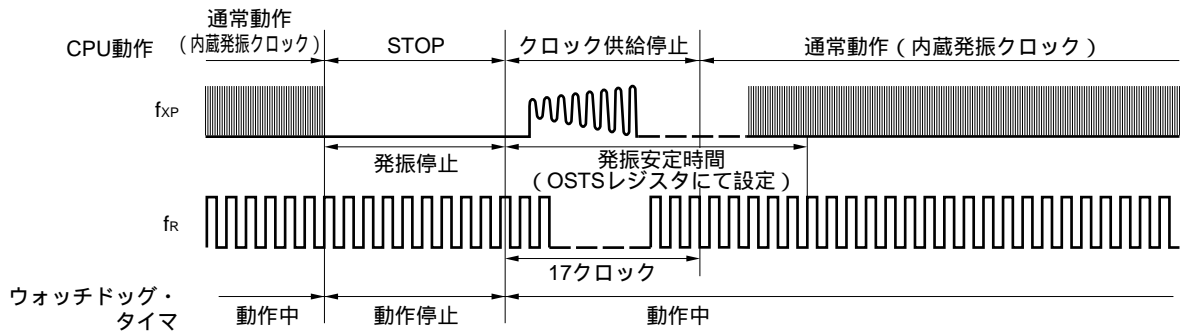


注  $f_{XP}$ の発振安定時間は、発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

(4) STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが内蔵発振クロック ( $f_R$ ) の場合

STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

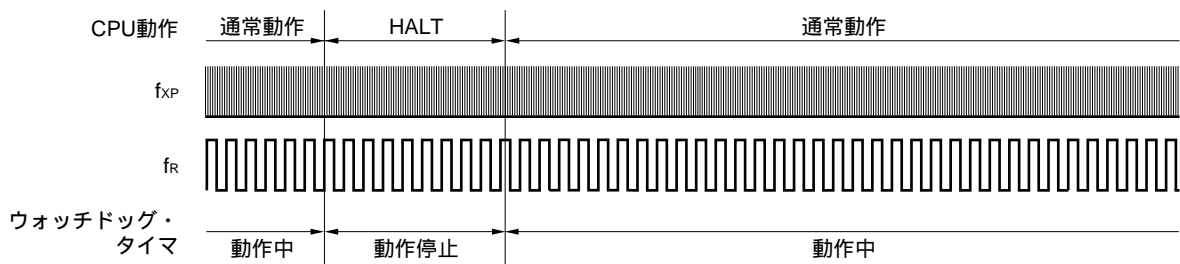
図11 - 7 STOPモード時の動作 (CPUクロックとWDT動作クロック：内蔵発振クロック)



11.4.4 HALTモード時の動作 (オプション・バイトで「内蔵発振器はソフトウェアにより停止可能」を選択した場合)

CPUクロックがX1入力クロック ( $f_{XP}$ )、内蔵発振クロック ( $f_R$ )、およびウォッチドッグ・タイマの動作クロックがX1入力クロック ( $f_{XP}$ )、内蔵発振クロック ( $f_R$ ) にかかわらず、HALT命令実行時は、ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア (0) されず、値を保持します。

図11 - 8 HALTモード時の動作



# 第12章 クロック出力 / ブザー出力制御回路

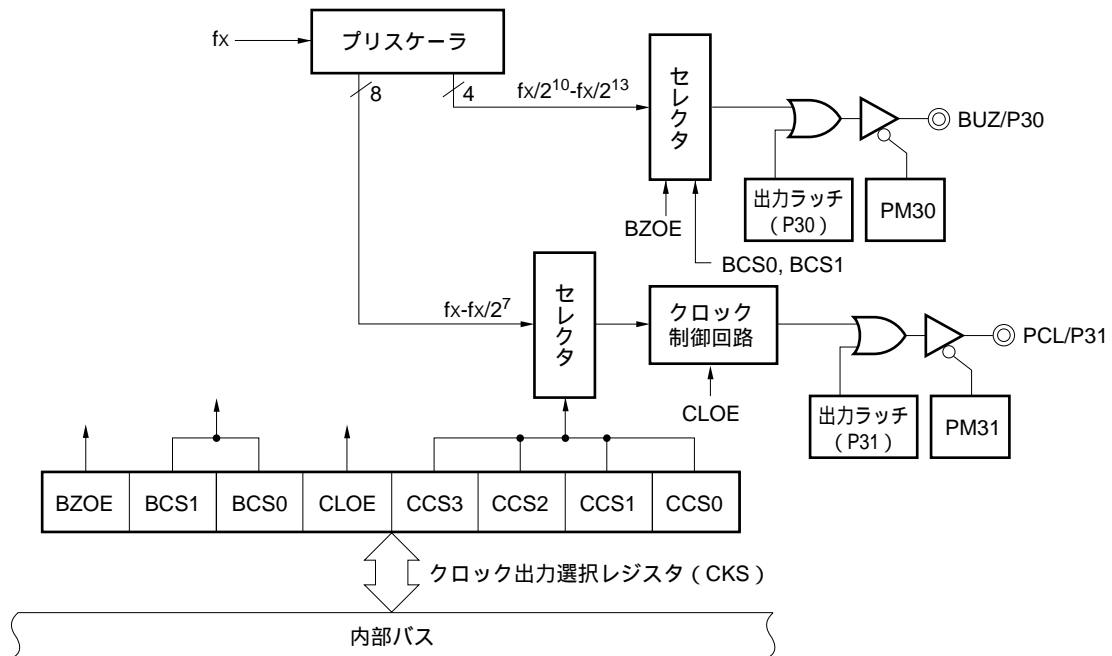
## 12.1 クロック出力 / ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ (CKS) で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図12 - 1 にクロック出力 / ブザー出力制御回路のブロック図を示します。

図12 - 1 クロック出力 / ブザー出力制御回路のブロック図



## 12.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表12 - 1 クロック出力/ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

## 12.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の3種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

### (1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。



図12 - 2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択
0	0	$f_x/2^{10}$ ( 19.5 kHz )
0	1	$f_x/2^{11}$ ( 9.77 kHz )
1	0	$f_x/2^{12}$ ( 4.88 kHz )
1	1	$f_x/2^{13}$ ( 2.44 kHz )

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択
0	0	0	0	$f_x$ ( 20 MHz )
0	0	0	1	$f_x/2$ ( 10 MHz )
0	0	1	0	$f_x/2^2$ ( 5 MHz )
0	0	1	1	$f_x/2^3$ ( 2.5 MHz )
0	1	0	0	$f_x/2^4$ ( 1.25 MHz )
0	1	0	1	$f_x/2^5$ ( 625 kHz )
0	1	1	0	$f_x/2^6$ ( 312.5 kHz )
0	1	1	1	$f_x/2^7$ ( 156.25 kHz )
上記以外				設定禁止

備考 1 .  $f_x$  : X1入力クロック発振周波数

2 . ( ) 内は,  $f_x = 20$  MHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/PCL端子をクロック出力機能として、P30/BUZ端子をブザー出力機能として使用するとき、PM31、PM30およびP31、P30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、FFHになります。

図12-3 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n=0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 12.4 クロック出力/ブザー出力制御回路の動作

### 12.4.1 クロック出力としての動作

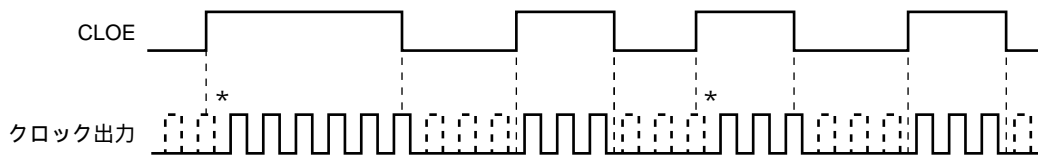
クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット 0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

CKSのビット 4 (CLOE) に 1 を設定し、クロック出力を許可する。

**備考** クロック出力制御回路は、クロック出力の出力許可/禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図12-4に示すように、必ずクロックのロウ期間から出力を開始します (図中の\*印参照)。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図12-4 リモコン出力応用例



### 12.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット 5, 6 (BCS0, BCS1) でブザー出力周波数を選択する (ブザー出力は禁止の状態)。

CKSのビット 7 (BZOE) に 1 を設定し、ブザー出力を許可する。

# 第13章 リアルタイム出力ポート

## 13.1 リアルタイム出力ポートの機能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを、タイマ割り込みまたは外部割り込み要求の発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できます。したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

また、出力パターンに対して、特定の端子にPWM変調をかけることができます。

μPD78F0714は、次に示す2チャンネルのリアルタイム出力ポートを内蔵しています。1ビット単位でリアルタイム出力ポートに指定可能です。

- ・ 8ビット×1または4ビット×2...リアルタイム出力ポート0
- ・ 6ビット×1または4ビット×1...リアルタイム出力ポート1

## 13.2 リアルタイム出力ポートの構成

リアルタイム出力ポートは、次のハードウェアで構成しています。

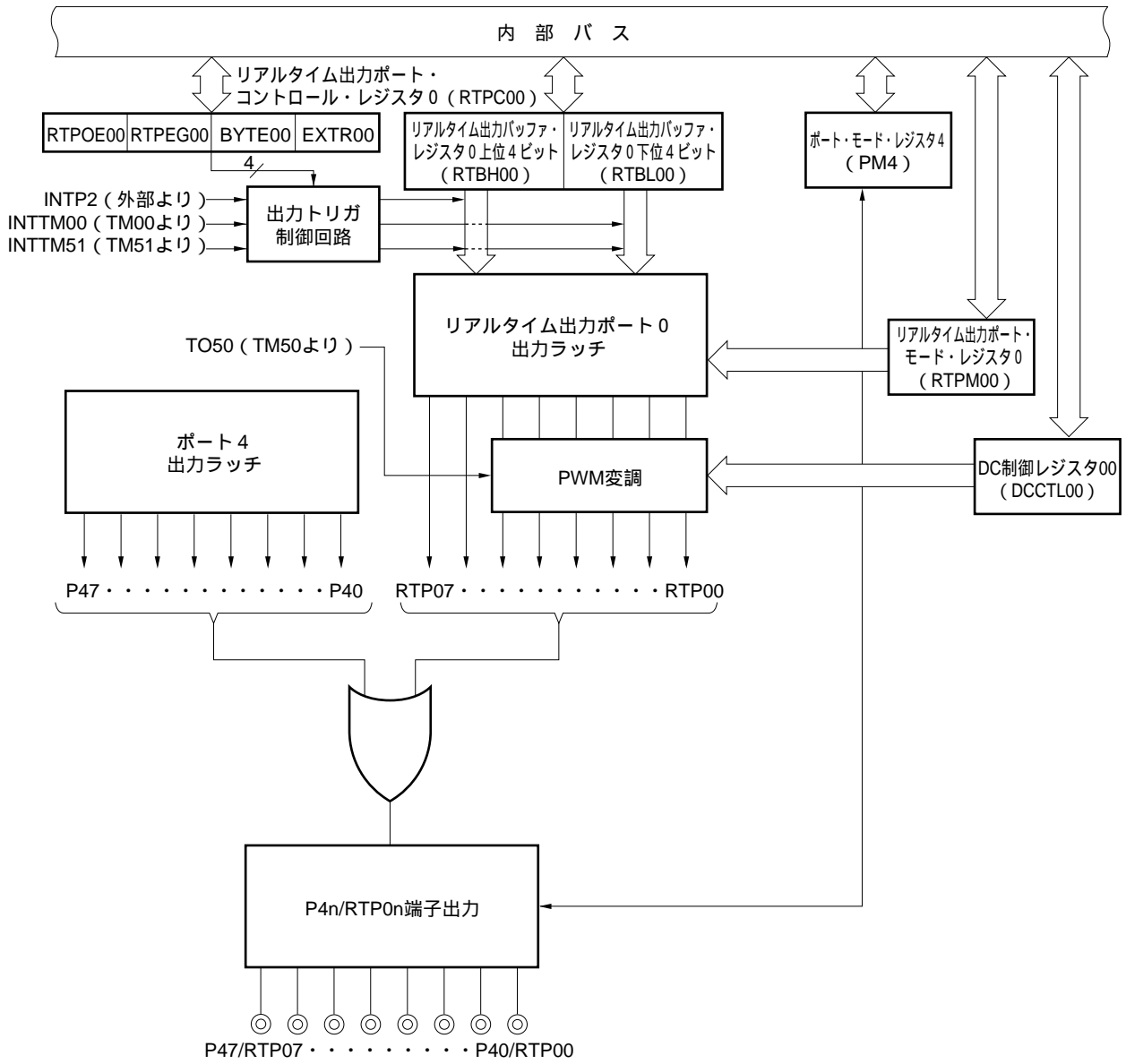
表13 - 1 リアルタイム出力ポートの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ <sub>n</sub> (RTBL0 <sub>n</sub> , RTBH0 <sub>n</sub> )
制御レジスタ	ポート・モード・レジスタ4 (PM4) リアルタイム出力ポート・モード・レジスタ <sub>n</sub> (RTPM0 <sub>n</sub> ) リアルタイム出力ポート・コントロール・レジスタ <sub>n</sub> (RTPC0 <sub>n</sub> ) DC制御レジスタ0 <sub>n</sub> (DCCTL0 <sub>n</sub> )

n = 0, 1

図13 - 1 リアルタイム出力ポートのブロック図 (1/2)

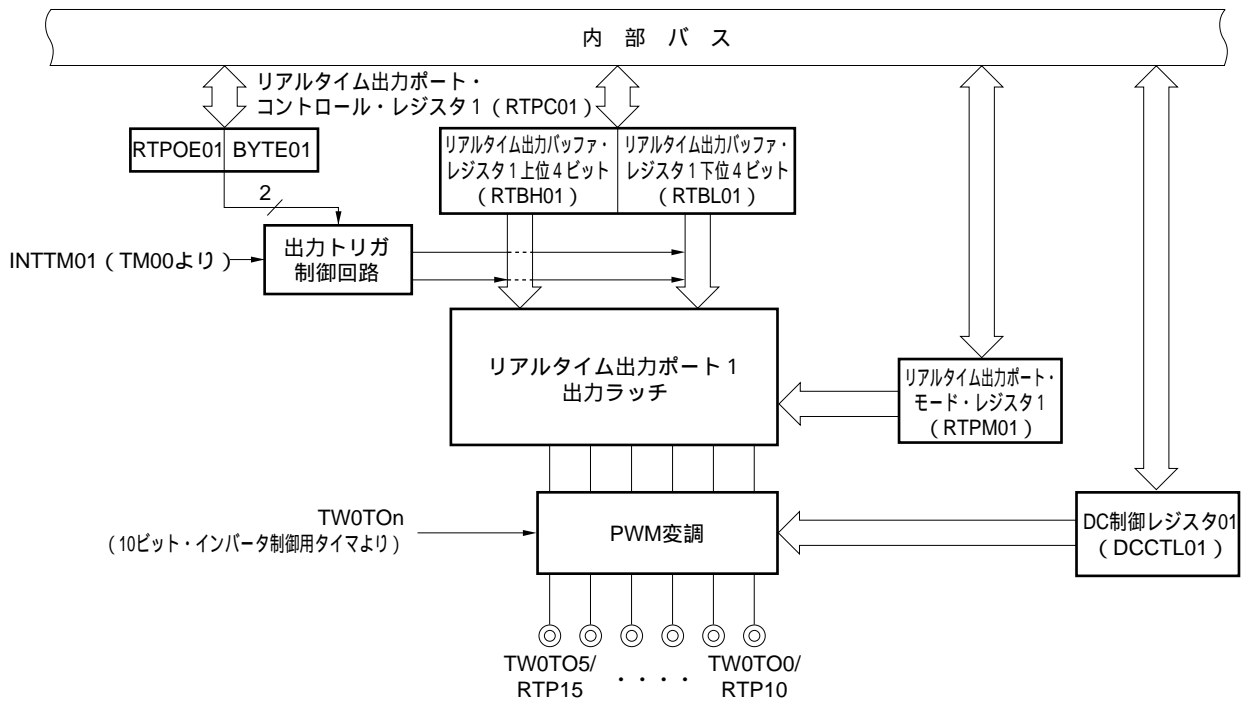
( a ) リアルタイム出力ポート0 ( 8ビット× 1または4ビット× 2 )



備考 n = 0-7

図13 - 1 リアルタイム出力ポートのブロック図 (2/2)

(b) リアルタイム出力ポート1 (6ビット×1または4ビット×1)



備考 n = 0-5

(1) リアルタイム出力バッファ・レジスタ0(RTBL00, RTBH00)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL00, RTBH00は, 図13 - 2 に示すように特殊機能レジスタ (SFR) 領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルの動作モードを指定したときは, RTBL00, RTBH00はそれぞれ独立にデータを設定できます。また, RTBL00, RTBH00のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャンネルの動作モードを指定したときは, RTBL00, RTBH00のどちらか一方に8ビット・データを書き込むことにより, RTBL00, RTBH00それぞれにデータを設定できます。また, RTBL00, RTBH00のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図13 - 2 にRTBL00, RTBH00の構成を, 表13 - 2 にRTBL00, RTBH00に対する操作時の動作を示します。

図13 - 2 リアルタイム出力バッファ・レジスタ0の構成

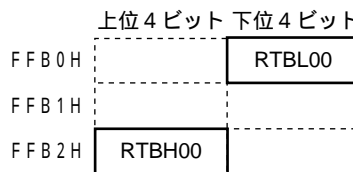


表13 - 2 リアルタイム出力バッファ・レジスタ0に対する操作時の動作

動作モード	操作対象レジスタ	リード時		ライト時 <sup>注</sup>	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL00	RTBH00	RTBL00	無効	RTBL00
	RTBH00	RTBH00	RTBL00	RTBH00	無効
8ビット×1チャンネル	RTBL00	RTBH00	RTBL00	RTBH00	RTBL00
	RTBH00	RTBH00	RTBL00	RTBH00	RTBL00

注 リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生するまでにRTBL00, RTBH00に出力データを設定してください。

(2) リアルタイム出力バッファ・レジスタ1(RTBL01, RTBH01)

出力データをあらかじめ保持しておく4ビット<sup>注</sup>のレジスタです。

RTBL01, RTBH01は, 図13-3に示すように特殊機能レジスタ(SFR)領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×1チャンネルの動作モードを指定したときは, RTBL01にデータを設定します。

6ビット×1チャンネルの動作モードを指定したときは, RTBL01, RTBH01のどちらか一方に6ビット・データを書き込むことにより, RTBL01, RTBH01それぞれにデータを設定できます。また, RTBL01, RTBH01のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図13-3にRTBL01, RTBH01の構成を, 表13-3にRTBL01, RTBH01に対する操作時の動作を示します。

**注** RTBH01は4ビットのうち, 2ビットのみ有効です。

図13-3 リアルタイム出力バッファ・レジスタ1の構成

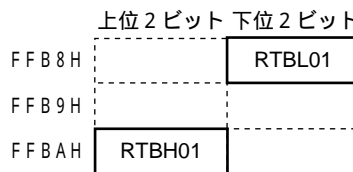


表13-3 リアルタイム出力バッファ・レジスタ1に対する操作時の動作

動作モード	操作対象レジスタ	リード時		ライト時 <sup>注</sup>	
		上位2ビット	下位4ビット	上位2ビット	下位4ビット
4ビット×1チャンネル	RTBL01	無効	RTBL01	無効	RTBL01
6ビット×1チャンネル	RTBL01	RTBH01	RTBL01	RTBH01	RTBL01
	RTBH01	RTBH01	RTBL01	RTBH01	RTBL01

**注** リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生するまでにRTBL01, RTBH01に出力データを設定してください。



### 13.3 リアルタイム出力ポートを制御するレジスタ

リアルタイム出力ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ4 (PM4)
- ・リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM00, RTPM01)
- ・リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC00, RTPC01)
- ・DC制御レジスタ00, 01 (DCCTL00, DCCTL01)

#### (1) ポート・モード・レジスタ4 (PM4)

リアルタイム出力端子 (RTP00-RTP07) の兼用端子であるポート4端子 (P40-P47) の入出力モードを設定するレジスタです。ポート4をリアルタイム出力ポートとして使用するためには、リアルタイム出力を行うポートの入出力モードを出力モード (PM4n = 0 : n = 0-7) にする必要があります。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図13-4 ポート・モード・レジスタ4のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W	
PM4n	P4n端子の入出力モードの選択 (n = 0-7)											
	0	出力モード (出力バッファ・オン)										
	1	入力モード (出力バッファ・オフ)										

#### (2) リアルタイム出力ポート・モード・レジスタ0 (RTPM00)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

対象の出力はRTP00-RTP07です。

RTPM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-5 リアルタイム出力ポート・モード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
RTPM00	RTPM07	RTPM06	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00	FFB4H	00H	R/W	
RTPM00n	リアルタイム出力ポートの選択 (n = 0-7)											
	0	ポート・モード										
	1	リアルタイム出力ポート・モード										

**注意** リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード (ポート・モード・レジスタ4 (PM4) の該当ビットに0を設定) にしてください。

(3) リアルタイム出力ポート・モード・レジスタ1 (RTPM01)

リアルタイム出力ポート・モードの設定をあらかじめ1ビット単位で設定するレジスタです。

対象の出力はRTP10-RTP15です。

RTPM01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-6 リアルタイム出力ポート・モード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPM01	0	0	RTPM015	RTPM014	RTPM013	RTPM012	RTPM011	RTPM010	F F B C H	0 0 H	R/W
RTPM01n	リアルタイム出力ポートの選択 (n = 0-5)										
0	リアルタイム出力バッファ無効										
1	リアルタイム出力バッファ有効										

**注意** RTPM01のビット6, 7には、必ず0を設定してください。

**備考** リアルタイム出力ポートとして使用する場合、RTP10-RTP15が対象の出力となります。

(4) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00)

リアルタイム出力ポートの動作モード，出力トリガ，および動作の許可/禁止を設定するレジスタです。対象の出力はRTP00-RTP07です。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 4 に示すような関係があります。RTPC00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により，00Hになります。

図13 - 7 リアルタイム出力ポート・コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPC00	RTPOE00	RTPEG00	BYTE00	EXTR00	0	0	0	0	FFB5H	00H	R/W
RTPOE00		リアルタイム出力ポートの動作制御									
0		動作禁止 <sup>注</sup>									
1		動作許可									
RTPEG00		INTP2の有効エッジ指定									
0		立ち下がりエッジ									
1		立ち上がりエッジ									
BYTE00		リアルタイム出力ポートの動作モード									
0		4ビット×2チャンネル									
1		8ビット×1チャンネル									
EXTR00		INTP2によるリアルタイム出力の制御									
0		INTP2をリアルタイム出力トリガにしない									
1		INTP2をリアルタイム出力トリガにする									

注 RTPM00n (リアルタイム出力ポート・モード・レジスタ0 (RTPM00) のビットn (n = 0-7) ) = 1で，INV00 (DC制御レジスタ00 (DCCTL00) のビット4) = 0のときに，リアルタイム出力動作禁止 (RTPOE00 = 0) にした場合は，RTP00-RTP07は“0”を出力します。

表13 - 4 リアルタイム出力ポートの動作モードと出力トリガ

BYTE00	EXTR00	動作モード	RTBH00 ポート出力	RTBL00 ポート出力
0	0	4ビット×2チャンネル	INTTM51	INTTM00
0	1		INTTM00	INTP2
1	0	8ビット×1チャンネル	INTTM00	
1	1		INTP2	

(5) リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01)

リアルタイム出力ポートの動作モード，および動作の許可/禁止を設定するレジスタです。

対象の出力はRTP10-RTP15です。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 5 に示すような関係があります。

RTPC01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図13 - 8 リアルタイム出力ポート・コントロール・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPC01	RTPOE01	0	BYTE01	0	0	0	0	0	FFBDH	00H	R/W
	RTPOE01	リアルタイム出力ポートの動作制御									
	0	動作禁止 <sup>注</sup>									
	1	動作許可									
	BYTE01	リアルタイム出力ポートの動作モード									
	0	4ビット×1チャンネル									
	1	6ビット×1チャンネル									

注 RTPM01n (リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn (n = 0-5) ) = 1で，INV01 (DC制御レジスタ01 (DCCTL01) のビット4) = 0のときに，リアルタイム出力動作禁止 (RTPOE01 = 0) にした場合は，RTP10-RTP15は“0”を出力します。

表13 - 5 リアルタイム出力ポートの動作モードと出力トリガ

BYTE01	動作モード	RTBH01 ポート出力	RTBL01 ポート出力
0	4ビット×1チャンネル	-	INTTM01
1	6ビット×1チャンネル	INTTM01	

(6) DC制御レジスタ00 (DCCTL00)

リアルタイム出力ポートのPWM変調動作の許可/禁止, および出力波形の反転許可/禁止を設定するレジスタです。

対象の出力はRTP00-RTP07です。

DCCTL00は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図13 - 9 DC制御レジスタ00のフォーマット

アドレス: FF28H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
DCCTL00	DCEN00	PWMCH00	PWMCL00	INV00	0	0	0	0
DCEN00	出力動作の指定							
0	RTP出力							
1	PWM変調RTP出力 <sup>注</sup>							
PWMCH00	PWM変調動作の指定 (RTP00, RTP02, RTP04の出力指定)							
0	PWM変調動作禁止							
1	PWM変調動作許可							
PWMCL00	PWM変調動作の指定 (RTP01, RTP03, RTP05の出力指定)							
0	PWM変調動作禁止							
1	PWM変調動作許可							
INV00	出力波形の指定							
0	反転禁止							
1	反転許可							

注 PWM信号はTO50出力を使用します。

備考1 . 対象の出力はRTP00-RTP07です。

2 . PWMCH00, PWMCL00, INV00の設定は, DCEN00 = 1のときのみ有効です。

(7) DC制御レジスタ01 (DCCTL01)

リアルタイム出力ポートのPWM変調動作の許可/禁止, および出力波形の反転許可/禁止を設定するレジスタです。

対象の出力はRTP10-RTP15です。

DCCTL01は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図13 - 10 DC制御レジスタ01のフォーマット

アドレス : FF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DCCTL01	DCEN01	PWMCH01	PWMCL01	INV01	0	0	0	0
DCEN01	出力動作の指定							
0	インバータ・タイマ出力 (RTP10-RTP15)							
1	PWM変調RTP出力 <sup>注</sup>							
PWMCH01	PWM変調動作の指定 (RTP10, RTP12, RTP14の出力指定)							
0	PWM変調動作禁止							
1	PWM変調動作許可							
PWMCL01	PWM変調動作の指定 (RTP11, RTP13, RTP15の出力指定)							
0	PWM変調動作禁止							
1	PWM変調動作許可							
INV01	出力波形の指定							
0	反転禁止							
1	反転許可							

注 PWM信号はインバータ・タイマ出力 (TW0TO0-TW0TO5) を使用します。

備考1 . 対象の出力はRTP10-RTP15です。

2 . PWMCH01, PWMCL01, INV01の設定は, DCEN01 = 1のときのみ有効です。

## 13.4 リアルタイム出力ポートの動作

### (1) リアルタイム出力ポートとしてRTP00-RTP07を使用する場合...リアルタイム出力ポート0

#### (8ビット×1または4ビット×2)

リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00) のビット7 (RTPOE00) = 1 でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTR00とBYTE00で設定) の発生に同期して、リアルタイム出力バッファ・レジスタ0 (RTBH00, RTBL00) のデータが出力ラッチに転送されます。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ0 (RTPM00) の設定により、リアルタイム出力ポートに指定されたビットのデータのみがRTP00-RTP07のそれぞれのビットから出力されます。RTPM00でポート・モードに指定されたポートは、汎用入出力ポートとして使用できます。

動作モードは、EXTR00とBYTE00の設定により8ビット×1または4ビット×2を選択できます。

INV00の設定により、出力波形を反転させることができます。また、PWMCL00, PWMCH00の設定により、出力パターンにPWM変調をかけることができます。

RTPM00n = 1 で、INV00 = 0 のときに、リアルタイム出力動作禁止 (RTPOE00 = 0) にした場合は、RTP00-RTP07は0を出力します。

制御レジスタの各ビットの設定とリアルタイム出力の関係を表13 - 6 に、動作タイミング例を図13 - 11に示します。

<b>備考</b>	EXTR00	:	リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00) のビット4
	BYTE00	:	" のビット5
	INV00	:	DC制御レジスタ00 (DCCTL00) のビット4
	PWMCL00	:	" のビット5
	PWMCH00	:	" のビット6
	RTPM00n	:	リアルタイム出力ポート・モード・レジスタ0 (RTPM00) のビットn (n=0-7)

表13 - 6 制御レジスタの各ビットの設定とリアルタイム出力の関係

PM4n	P4n	DCEN00	INV00	PWMCH00/ PWMCL00	RTPOE00	RTPM00n	RTBH00m/ RTBL00m	P4n端子の状態						
1	x	x	x	x	x	x	x	入力ポート						
0	1	x	x	x	x	x	x	“ high ” 出力						
								0	0	x	“ low ” 出力			
	0	0	0	x	x	0	0	x	“ low ” 出力					
							1	0	x	“ low ” 出力				
							1	0	x	“ low ” 出力				
								1	0	“ low ” 出力				
						1	0	0	0	x	0	x	“ low ” 出力	
											1	0	x	“ low ” 出力
											1	0	x	“ low ” 出力
												1	0	“ low ” 出力
		1	0	0	1	0	x	x	“ TO50 ” 出力					
								0	x	“ TO50 ” 出力				
							1	0	x	x	0	“ TO50 ” 出力		
											1	0	“ TO50 ” 出力	
							1	0	0	1	0	x	x	“ high ” 出力
													0	x
1	0	x	“ high ” 出力											
	1	0	“ high ” 出力											
1	0	0	1	0	x	x	“ $\overline{\text{TO50}}$ ” 出力							
						0	x	“ $\overline{\text{TO50}}$ ” 出力						
						1	0	x	“ $\overline{\text{TO50}}$ ” 出力					
							1	0	“ low ” 出力					

PM4n : ポート・モード・レジスタ 4 (PM4) のビット n

P4n : ポート 4 (P4) のビット n

DCEN00 : DC制御レジスタ00 (DCCTL00) のビット 7

INV00 : DCCTL00のビット 4

PWMCH00 : DCCTL00のビット 6

PWMCL00 : DCCTL00のビット 5

RTPOE00 : リアルタイム出力ポート・コントロール・レジスタ 0 (RTPC00) のビット 7

RTPM00n : リアルタイム出力ポート・モード・レジスタ 0 (RTPM00) のビット n

RTBH00m : リアルタイム出力バッファ・レジスタ0H (RTBH00) のビット m

RTBL00m : リアルタイム出力バッファ・レジスタ0L (RTBL00) のビット m

n = 0-7

m = 0-3

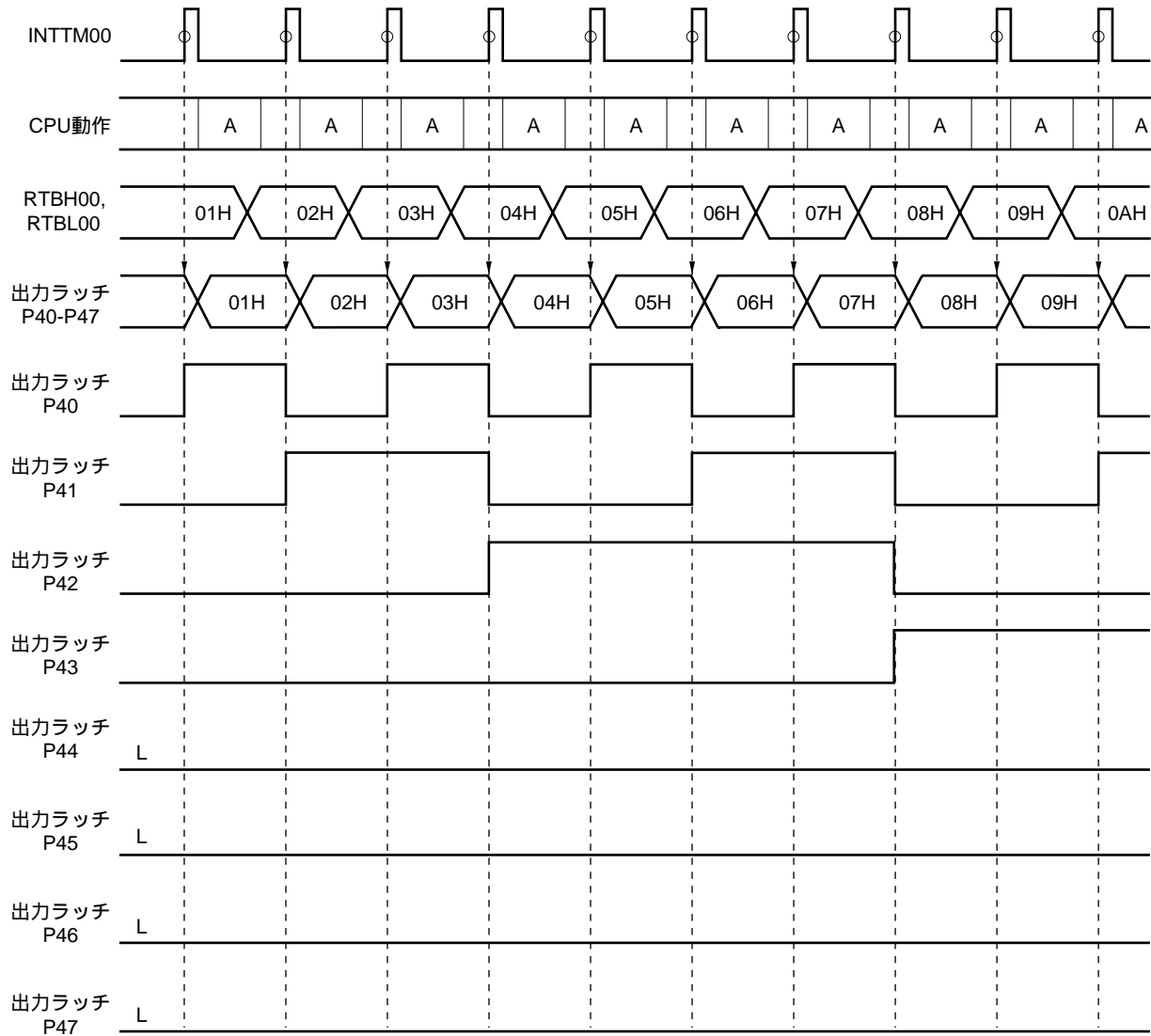
x : don't care



図13 - 11 リアルタイム出力ポートの動作タイミング例 ( 8 ビット × 1 ) ( 1/3 )

( a ) 8 ビット × 1 チャンネル , 反転出力禁止 , PWM 変調なし

( EXTR00 = 0 , BYTE00 = 1 , INV00 = 0 , PWMCH00 = 0 , PWMCL00 = 0 )

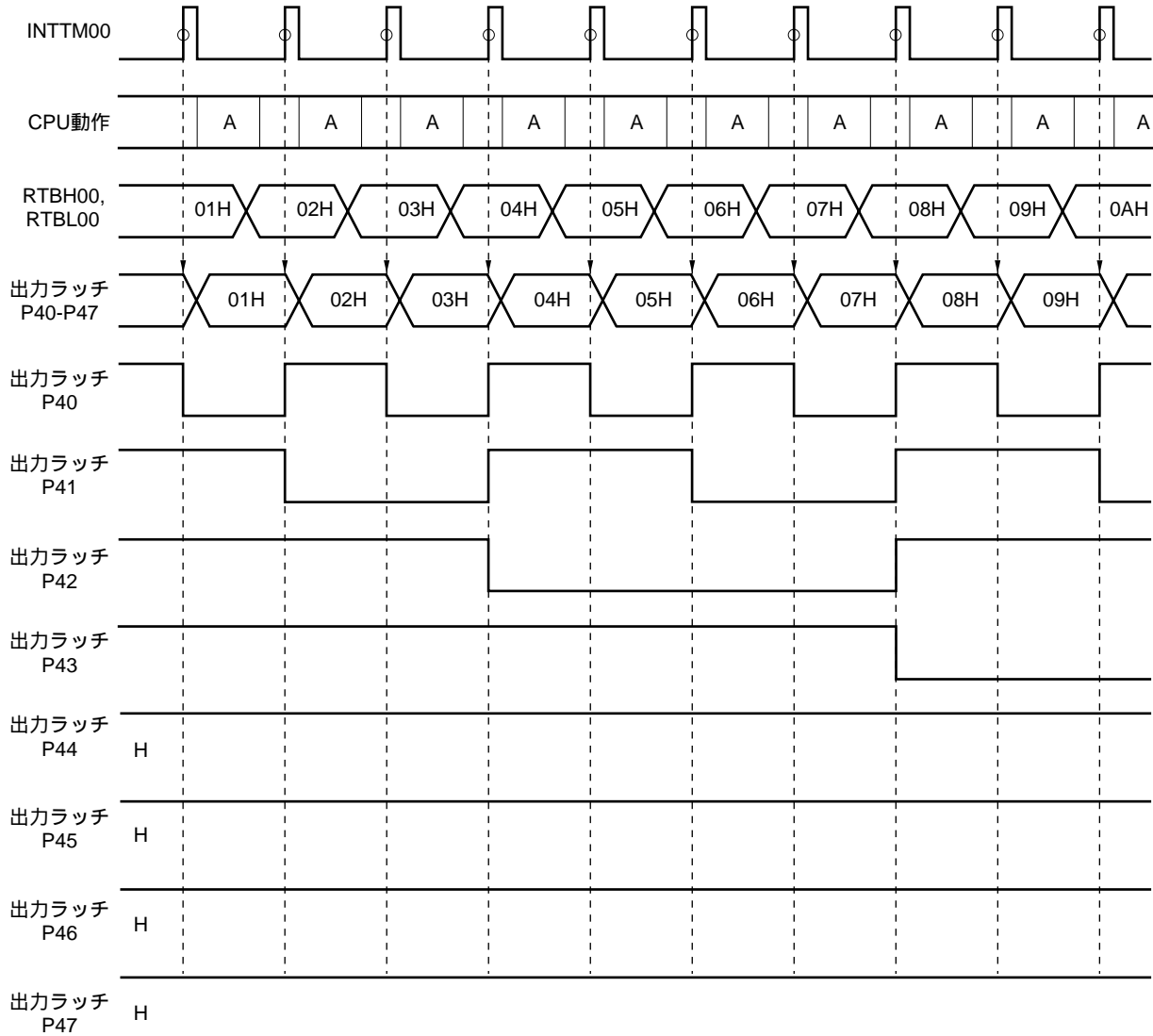


A : INTTM00によるソフトウェア処理 ( RTBH00 , RTBL00ライト )

図13 - 11 リアルタイム出力ポートの動作タイミング例 ( 8ビット× 1 ) ( 2/3 )

( b ) 8ビット× 1チャンネル, 反転出力許可, PWM変調なし

( EXTR00 = 0, BYTE00 = 1, INV00 = 1, PWMCH00 = 0, PWMCL00 = 0 )

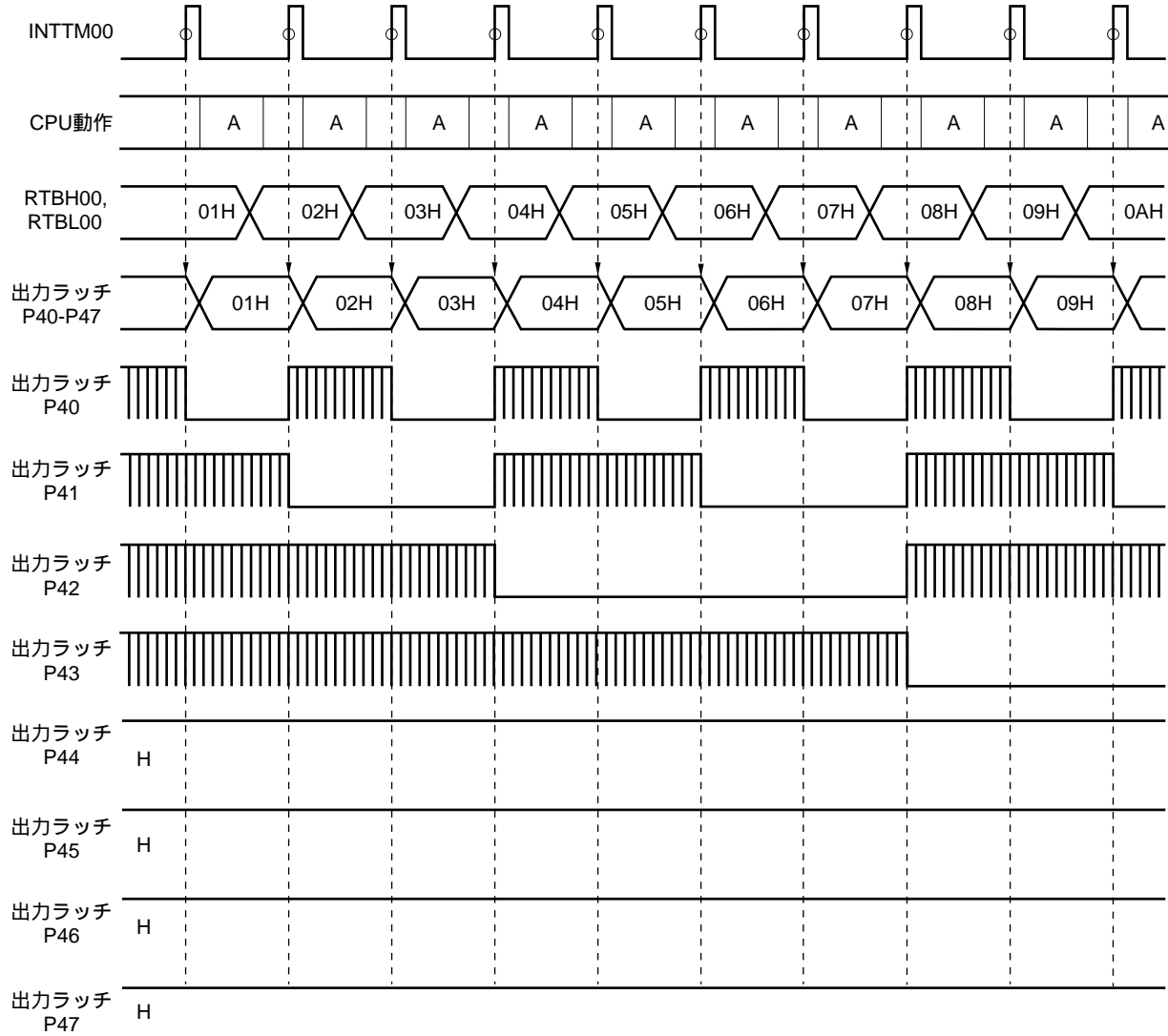


A : INTTM00によるソフトウェア処理 ( RTBH00, RTBL00ライト )

図13 - 11 リアルタイム出力ポートの動作タイミング例 ( 8 ビット × 1 ) ( 3 / 3 )

( c ) 8 ビット × 1 チャンネル , 反転出力許可 , PWM 変調あり

( EXTR00 = 0 , BYTE00 = 1 , INV00 = 1 , PWMCH00 = 1 , PWMCL00 = 1 )



A : INTTM00によるソフトウェア処理 ( RTBH00, RTBL00ライト )

## (2) リアルタイム出力ポートとしてRTP10-RTP15を使用する場合...リアルタイム出力ポート1

## (6ビット×1または4ビット×1)

リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット7 (RTPOE01) = 1でリアルタイム出力動作を許可した場合、INTTM01の発生に同期して、リアルタイム出力バッファ・レジスタ1 (RTBH01, RTBL01) のデータが出力ラッチに転送されます。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ1 (RTPM01) の設定により、リアルタイム出力ポートに指定されたビットのデータのみがRTP10-RTP15のそれぞれのビットから出力されます。DCEN01でインバータ・タイマ出力に指定した場合は、RTP10-RTP15をインバータ・タイマ出力として使用できます。

動作モードは、BYTE01の設定により6ビット×1または4ビット×1を選択できます。

INV01の設定により、出力波形を反転させることができます。また、PWMCL01, PWMCH01の設定により、出力パターンにPWM変調をかけることができます。

RTPM01n = 1で、INV01 = 0のときに、リアルタイム出力動作禁止 (RTPOE01 = 0) にした場合は、RTP10-RTP15は0を出力します。

制御レジスタの各ビットの設定とリアルタイム出力の関係を表13 - 7に、動作タイミング例を図13 - 12に示します。

<b>備考</b>	BYTE01	:	リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット5
	DCEN01	:	DC制御レジスタ1 (DCCTL1) のビット7
	INV01	:	" のビット4
	PWMCL01	:	" のビット5
	PWMCH01	:	" のビット6
	RTPM01n	:	リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn (n=0-5)

表13 - 7 制御レジスタの各ビットの設定とリアルタイム出力の関係

CE0	DCEN01	INV01	PWMCH01/ PWMCL01	RTPOE01	RTPM01n	RTBH01m/ RTBL01m	TW0TO <sub>n</sub> 端子の状態									
0	x	x	x	x	x	x	Hi-Z									
1	0	x	x	x	x	x	TW0TO <sub>n</sub>									
							1	0	0	x	“ low ” 出力					
											1	0	x	“ low ” 出力		
												1	0	“ low ” 出力		
											1	1	0	“ high ” 出力		
							1	0	x	x	TW0TO <sub>0</sub>					
											1	0	x	TW0TO <sub>0</sub>		
												1	0	TW0TO <sub>0</sub>		
	1	1	0	“ high ” 出力												
	1	0	x	x	x	x	x	“ high ” 出力								
								1	0	x	x	“ high ” 出力				
												1	0	x	“ high ” 出力	
													1	0	“ high ” 出力	
												1	1	0	“ low ” 出力	
								1	0	x	x	x	x	$\overline{\text{TW0TO}}_0$		
														1	0	x
1															0	$\overline{\text{TW0TO}}_0$
1	1	0	“ low ” 出力													

CE0 : インバータ・タイマ・コントロール・レジスタ (TW0C) のビット7

DCEN01 : DC制御レジスタ01 (DCCTL01) のビット7

INV01 : DCCTL01のビット4

PWMCH01 : DCCTL01のビット6

PWMCL01 : DCCTL01のビット5

RTPOE01 : リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット7

RTPM01n : リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn

RTBH01m : リアルタイム出力バッファ・レジスタ1H (RTBH01) のビットm

RTBL01m : リアルタイム出力バッファ・レジスタ1L (RTBL01) のビットm

n = 0-5

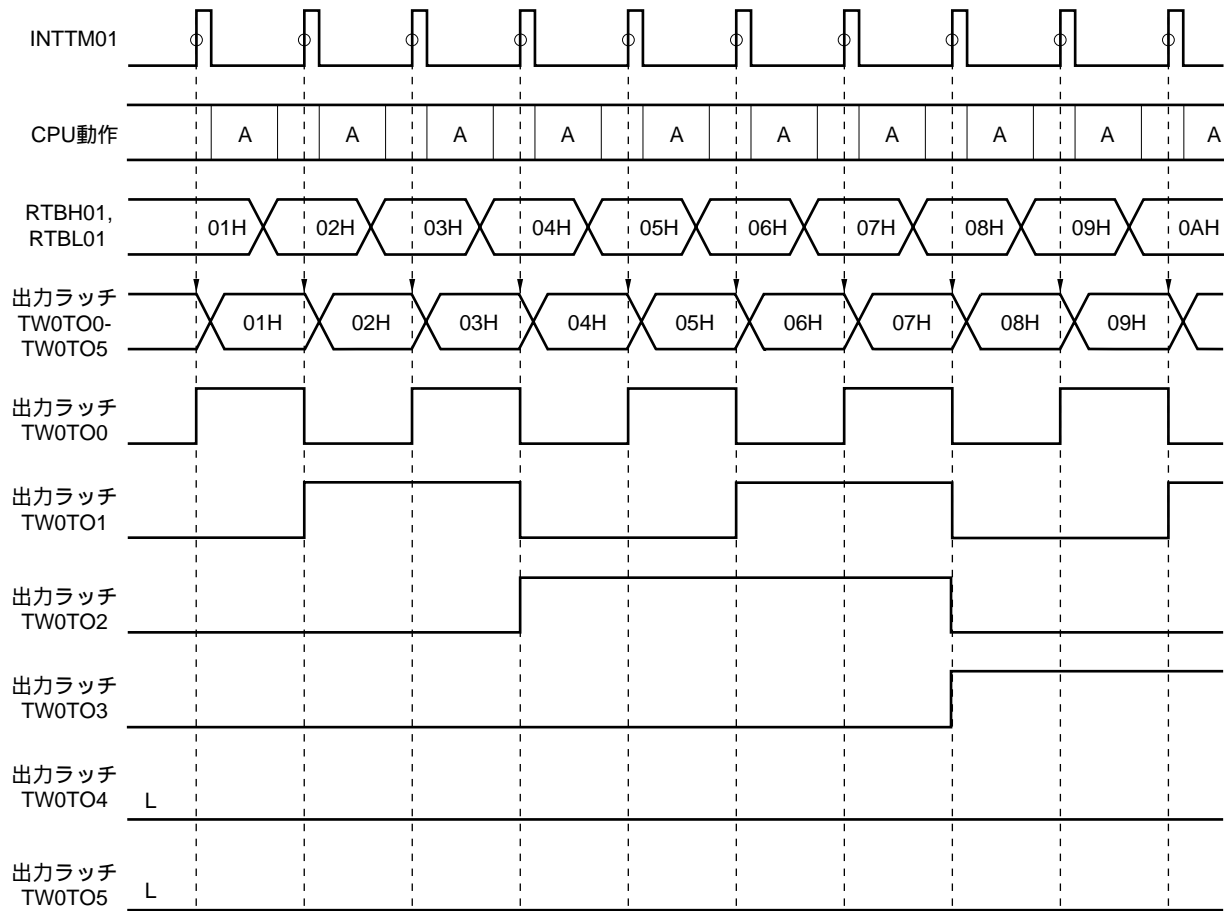
m = 0-3

x : don't care

図13 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (1/3)

(a) 6ビット×1チャンネル, 反転出力禁止, PWM変調なし

(BYTE01 = 1, INV01 = 0, PWMCH01 = 0, PWMCL01 = 0)

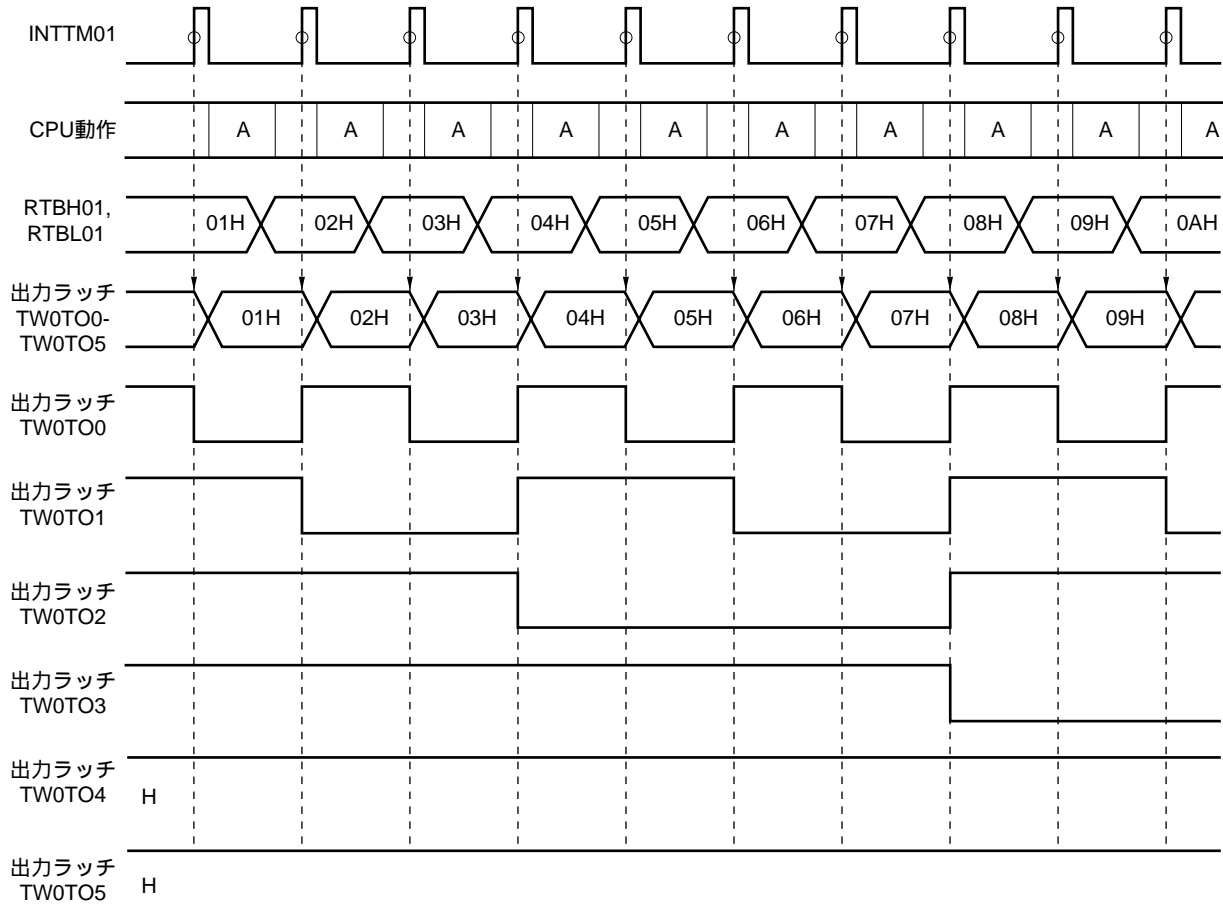


A : INTTM01によるソフトウェア処理 (RTBH01, RTBL01ライト)

図13 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (2/3)

(b) 6ビット×1チャンネル, 反転出力許可, PWM変調なし

(BYTE01 = 1, INV01 = 1, PWMCH01 = 0, PWMCL01 = 0)

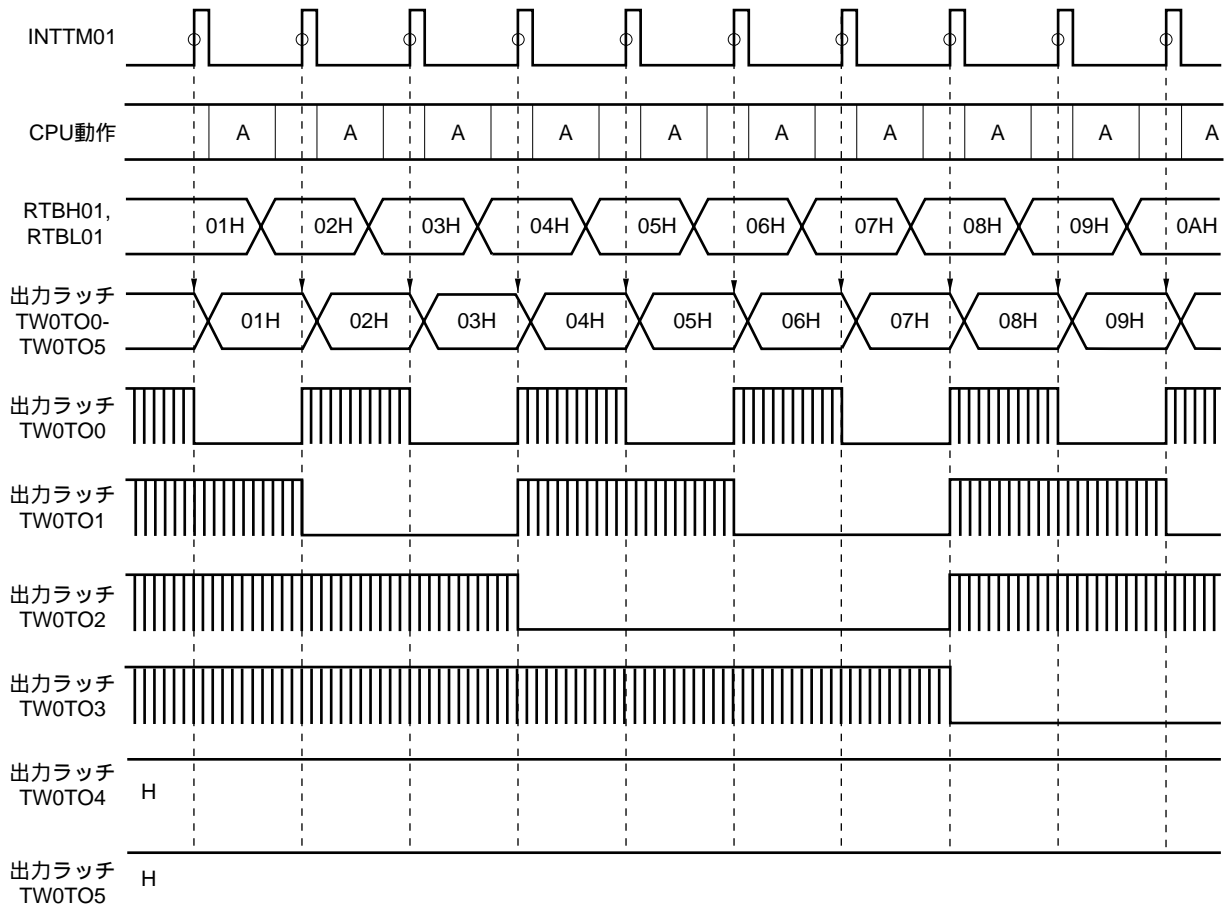


A : INTTM01によるソフトウェア処理 (RTBH01, RTBL01ライト)

図13 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (3/3)

(c) 6ビット×1チャンネル, 反転出力許可, PWM変調あり

(BYTE01 = 1, INV01 = 1, PWMCH01 = 1, PWMCL01 = 1)



A : INTTM01によるソフトウェア処理 (RTBH01, RTBL01ライト)



## 13.5 リアルタイム出力ポートの使用法

リアルタイム出力ポートを使用するときには、次の手順で設定してください。

(1) リアルタイム出力動作を禁止。

リアルタイム出力ポート・コントロール・レジスタ $n$  (RTPC0 $n$ ) のビット7 (RTPOE0 $n$ ) = 0 に設定。

(2) 初期設定

・初期値をポートの出力ラッチに設定 (リアルタイム出力ポート0のみ)。

・ビット単位でリアルタイム出力ポート・モードを指定。

リアルタイム出力ポート・モード・レジスタ $n$  (RTPM0 $n$ ) を設定。

・動作モード (トリガおよび有効エッジ) を選択。

RTPC00のビット4, 5, 6 (EXTR00, BYTE00, RTPEG00) を設定。

または

RTPC01のビット5 (BYTE01) を設定。

・リアルタイム出力ポート0の場合は、ポートの出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ0 (RTBH00, RTBL00) に設定。

リアルタイム出力ポート1の場合は、初期値をリアルタイム出力バッファ・レジスタ1 (RTBH01, RTBL01) に設定。

・DC制御レジスタ0 $n$  (DCCTL0 $n$ ) を設定。

(3) リアルタイム出力動作を許可。

RTPOE0 $n$  = 1

(4) ポートの出力ラッチに対して“0”を設定 (リアルタイム出力ポート0のみ)。

**備考** リアルタイム出力ポート0の場合、リアルタイム出力動作により出力される値は、ポートの出力ラッチとリアルタイム出力ポートの出力ラッチのORをとったものとなります (図13-1 (a) 参照)。そのため、リアルタイム出力ポート0を使用するときは、リアルタイム出力動作を許可 (RTPOE00を0 1) したあと最初の転送トリガが発生するまでに、ポートの出力ラッチに0を設定してください。

(5) 選択した転送トリガが発生するまでに、次の出力をRTBH0 $n$ , RTBL0 $n$ に設定。

(6) 選択したトリガに対応する割り込み処理により、順次、次のリアルタイム出力値をRTBH0 $n$ , RTBL0 $n$ に設定。

**備考**  $n = 0, 1$

## 13.6 リアルタイム出力ポートの注意事項

- (1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ $n$  (RTPC0 $n$ ) のビット7 (RTPOE0 $n$ ) を0にし、リアルタイム出力動作を禁止してから行ってください ( $n = 0, 1$ )。
- (2) 一度リアルタイム出力動作を禁止 (RTPOE0 $n = 0$ ) した場合は、リアルタイム出力動作を許可 (RTPOE0 $n = 0 \rightarrow 1$ ) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ $n$  (RTBH0 $n$ , RTBL0 $n$ ) に設定してください ( $n = 0, 1$ )。

## 第14章 DCインバータ制御機能

μPD78F0714では、10ビット・インバータ制御用タイマとリアルタイム出力ポートを組み合わせることで、3相PWMのDCインバータ制御を実現できます。

以下の章をご参照ください。

第6章 10ビット・インバータ制御用タイマ

第13章 リアルタイム出力ポート

DCインバータ制御を使用した応用システムについては、次のアプリケーション・ノートをご参照ください。

μPD78F0714によるモータ制御 センサレス（BEMF）による120度通電方式（U18051J）

μPD78F0714によるモータ制御 ホールICによる120度通電方式（U18774J）

## 第15章 A/Dコンバータ

### 15.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル(ANI0-ANI7)のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

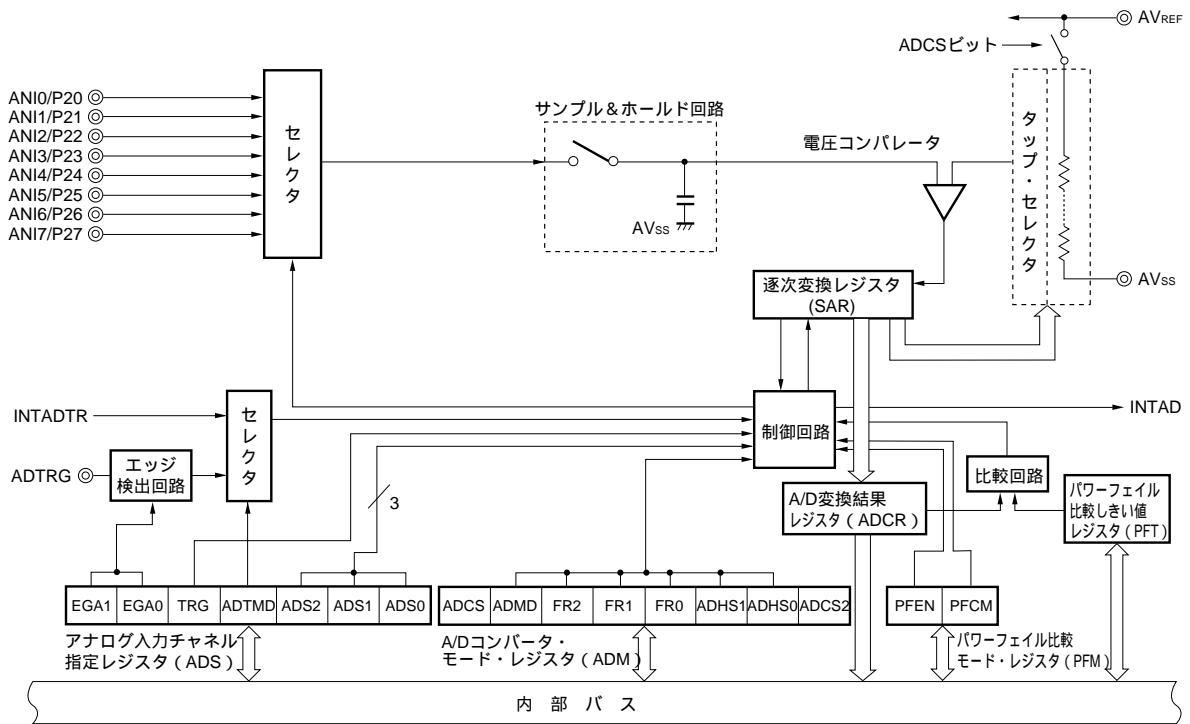
#### (1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI7から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)を発生します。

#### (2) パワーフェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果(ADCRレジスタ値)とパワーフェイル比較しきい値レジスタ(PFT)の値との大小比較を行い、比較条件に合致した場合のみINTADを発生します。

図15 - 1 A/Dコンバータのブロック図



## 15.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表15 - 1 ソフトウェア上で使用するA/Dコンバータのレジスタ

項目	構成
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ (ADCR) A/Dコンバータ・モード・レジスタ (ADM) アナログ入力チャンネル指定レジスタ (ADS) パワーフェイル比較モード・レジスタ (PFM) パワーフェイル比較しきい値レジスタ (PFT)

### (1) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できません。

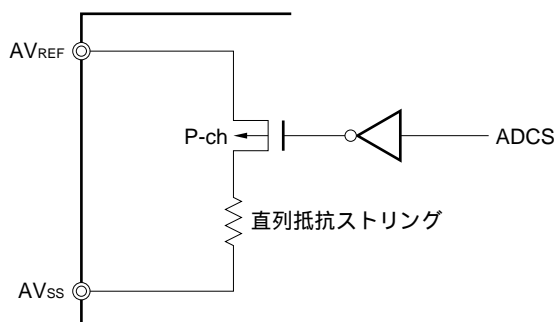
### (2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

### (3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に接続されており、アナログ入力と比較する電圧を発生します。

図15 - 2 直列抵抗ストリングの回路構成



### (4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

### (5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し、その結果を最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

**(6) A/D変換結果レジスタ (ADCR)**

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

**(7) 制御回路**

A/D変換が終了するか、パワーフェイル検出機能使用時、A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い、比較条件に合致した場合のみINTAD発生します。

**(8) AV<sub>REF</sub>端子**

A/Dコンバータのアナログ電源端子 / 基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV<sub>DD</sub>端子と同電位で使用してください。

AV<sub>REF</sub>, AV<sub>SS</sub>間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

**(9) AV<sub>SS</sub>端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>端子と同電位で使用してください。

**(10) A/Dコンバータ・モード・レジスタ (ADM)**

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

**(11) アナログ入力チャネル指定レジスタ (ADS)**

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

**(12) パワーフェイル比較モード・レジスタ (PFM)**

パワーフェイル監視モードを設定するレジスタです。

**(13) パワーフェイル比較しきい値レジスタ (PFT)**

A/D変換結果レジスタ (ADCR) と大小比較する場合のしきい値を設定するレジスタです。

## 15.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の5種類のレジスタを使用します。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・アナログ入力チャンネル指定レジスタ (ADS)
- ・A/D変換結果レジスタ (ADCR)
- ・パワーフェイル比較モード・レジスタ (PFM)
- ・パワーフェイル比較しきい値レジスタ (PFT)

### (1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。



図15 - 3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	ADMD	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	ADHS1 <sup>注1</sup>	ADHS0 <sup>注1</sup>	ADCS2

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	動作モードの制御
0	セレクト・モード
1	スキャン・モード

FR2	FR1	FR0	ADHS1	ADHS0	A/D変換時間の選択
x	x	x	0	0	設定禁止
0	0	0	0	1	96/fx
0	0	1	0	1	72/fx
0	1	0	0	1	48/fx
0	1	1	0	1	24/fx
1	0	0	0	1	224/fx
1	0	1	0	1	168/fx
1	1	0	0	1	112/fx
1	1	1	0	1	56/fx
0	0	0	1	0	72/fx
0	0	1	1	0	54/fx
0	1	0	1	0	36/fx
0	1	1	1	0	18/fx
1	x	x	1	0	設定禁止
x	x	x	1	1	設定禁止

ADCS2	昇圧基準電圧生成回路の動作制御 <sup>注2</sup>
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

注1 . FR2-FR0, ADHS1, ADHS0を組み合わせてA/D変換時間を選択します。

A/D変換時間に関する詳細は、表15 - 3を参照してください。

- 2 . 低電圧動作を実現するために、昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は、ADCS2で動作制御され、動作開始から安定するまでに、1μsかかります。このため、ADCS2に1を設定してから1μs以上経過したあとに、ADCSに1を設定することで、最初の変換結果より有効となります。

備考 fx : X1入力クロック発振周波数

(a) 昇圧基準電圧生成回路の制御

ADCS2ビット = 0時, A/Dコンバータはパワーダウン状態となります。ADCS2ビット = 0 1設定後, 1μs以上のセットアップ時間が必要です。

このため, ADCS2ビット = 0 1にし, 1μs以上経過したあとにADCSビット = 0 1にすることで最初のA/D変換結果から有効となります。

表15 - 2 ADCSとADCS2の設定

ADCS	ADCS2	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (基準電圧生成回路のみ電力を消費)
1	0	変換モード (基準電圧生成回路動作停止 <sup>注1</sup> )
1	1	変換モード (基準電圧生成回路動作 <sup>注2</sup> )

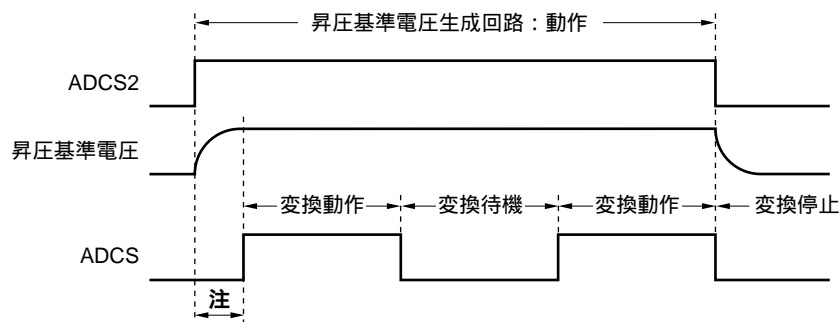
注1 . ADCS, ADCS2ビット = 00B 10Bに設定した場合, 昇圧用基準電圧生成回路は自動的にオンになります。また, ADCS2ビット = 0のまま, ADCSビット = 1 0に設定した場合, 昇圧用基準電圧生成回路は自動的にオフになります。なお, ソフトウェア・トリガ・モード (ADS.TRGビット = 0) の場合, 1回目のA/D変換結果は使用禁止です。

また, ハードウェア・トリガ・モード (ADS.TRGビット = 1) の場合, 昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

2 . ADCS, ADCS2ビット = 00B 11Bに設定した場合, 昇圧用基準電圧生成回路は自動的にオンになります。また, ADCS2ビット = 1のまま, ADCSビット = 1 0に設定した場合, 昇圧用基準電圧生成回路はオンのままとなります。なお, ソフトウェア・トリガ・モード (ADS.TRGビット = 0) の場合, 1回目のA/D変換結果は使用禁止です。

また, ハードウェア・トリガ・モード (ADS.TRGビット = 1) の場合, 昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

図15 - 4 昇圧基準電圧生成回路使用時のタイミング・チャート



注 ADCS2ビットの立ち上がりから, ADCSビットの立ち上がりまでの時間は基準電圧安定のため1μs以上必要です。

注意1 . FR0-FR2, ADHS0, ADHS1を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。

2 . ADMにデータを書き込むと, ウェイトが発生します。詳細は「第30章 ウェイトに関する注意事項」を参照してください。

表15 - 3 A/D変換時間

FR2	FR1	FR0	ADHS1	ADHS0	A/D変換時間 [ $\mu\text{s}$ ] : $t_{\text{CONV}}$					
					$f_x = 20 \text{ MHz}$	$f_x = 16 \text{ MHz}$	$f_x = 10 \text{ MHz}$	$f_x = 8.38 \text{ MHz}$	$f_x = 5 \text{ MHz}$	
×	×	×	0	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	0	1	$96/f_x$	4.8	6	9.6	11.5	19.2
0	0	1	0	1	$72/f_x$	3.6 <sup>注</sup>	4.5 <sup>注</sup>	7.2	8.6	14.4
0	1	0	0	1	$48/f_x$	設定禁止	設定禁止	4.8	5.8	9.6
0	1	1	0	1	$24/f_x$	設定禁止	設定禁止	設定禁止	設定禁止	4.8
1	0	0	0	1	$224/f_x$	11.2	14	22.4	26.8	44.8
1	0	1	0	1	$168/f_x$	8.4	10.5	16.8	20.1	33.6
1	1	0	0	1	$112/f_x$	5.6	7	11.2	13.4	22.4
1	1	1	0	0	$56/f_x$	設定禁止	4.5 <sup>注</sup>	5.6	6.7	11.2
0	0	0	1	0	$72/f_x$	3.6 <sup>注</sup>	設定禁止	7.2	8.6	14.4
0	0	1	1	0	$54/f_x$	設定禁止	設定禁止	5.4	6.5	10.8
0	1	0	1	0	$36/f_x$	設定禁止	設定禁止	3.6 <sup>注</sup>	4.3 <sup>注</sup>	7.2
0	1	1	1	0	$18/f_x$	設定禁止	設定禁止	設定禁止	設定禁止	3.6 <sup>注</sup>
1	×	×	1	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
×	×	×	1	1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

注 A/D変換時間 ( $t_{\text{CONV}}$ ) が  $3.6 \mu\text{s} < t_{\text{CONV}} < 4.8 \mu\text{s}$  のときは,  $AV_{\text{REF}} = 4.5 \text{ V}$  の場合のみ設定可能です。

備考  $f_x$  : X1入力クロック発振周波数

(2) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15 - 5 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF6DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	EGA1	EGA0	TRG	ADTMD	0	ADS2	ADS1	ADS0

EGA1 <sup>注1</sup>	EGA0 <sup>注1</sup>	外部トリガ信号 (ADTRG) エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

TRG	トリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	ハードウェア・トリガ・モード

ADTMD <sup>注2</sup>	ハードウェア・トリガ・モードの指定
0	外部トリガ (ADTRG端子入力)
1	タイマ・トリガ (INTADTR発生)

ADS2	ADS1	ADS0	アナログ入力チャンネルの指定	
			セレクト・モード	スキャン・モード
0	0	0	ANI0	ANI0
0	0	1	ANI1	ANI0-ANI1
0	1	0	ANI2	ANI0-ANI2
0	1	1	ANI3	ANI0-ANI3
1	0	0	ANI4	ANI0-ANI4
1	0	1	ANI5	ANI0-ANI5
1	1	0	ANI6	ANI0-ANI6
1	1	1	ANI7	ANI0-ANI7

注1 . EGA1, EGA0ビットはハードウェア・トリガ・モード (TRG = 1) かつ、外部トリガ・モード (ADTRG端子: ADTMD = 1) を選択した場合のみ有効です。

2 . ADTMDビットはハードウェア・トリガ・モード (TRG = 1) を選択した場合のみ有効です。

注意1 . ビット3には必ず0を設定してください。

2 . ADSにデータを書き込むと、ウエイトが発生します。詳細は「第30章 ウエイトに関する注意事項」を参照してください。

(3) A/D変換結果レジスタ (ADCR)

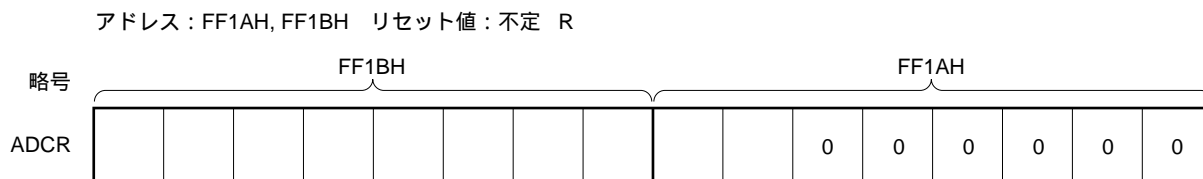
A/D変換結果を保持する16ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

下位6ビットは“0”固定です。ADCRには最上位ビット (MSB) から順に格納されます。FF1BHには変換結果の上位8ビットが、FF1AHには変換結果の下位2ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

RESET入力により、不定になります。

図15 - 6 A/D変換結果レジスタ (ADCR) のフォーマット



**注意 1** . A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき, ADCRの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

**2** . ADCRからデータを読み出すと, ウェイトが発生します。詳細は「第30章 ウェイトに関する注意事項」を参照してください。

(4) パワーフェイル比較モード・レジスタ (PFM)

パワーフェイル比較モード・レジスタ (PFM) は、A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較の動作を制御するレジスタです。

PFMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15 - 7 パワーフェイル比較モード・レジスタ (PFM) のフォーマット

アドレス : FF6EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワーフェイル比較許可
0	パワーフェイル比較停止 (通常のA/Dコンバータとして使用)
1	パワーフェイル比較許可 (パワーフェイル検出として使用)

PFCM		パワーフェイル比較モードの選択
0	ADCRの上位 8ビット PFT	割り込み要求信号 (INTAD) 発生
	ADCRの上位 8ビット < PFT	INTAD発生なし
1	ADCRの上位 8ビット PFT	INTAD発生なし
	ADCRの上位 8ビット < PFT	INTAD発生

**注意** PFMにデータを書き込むと、ウエイトが発生します。詳細は「第30章 ウエイトに関する注意事項」を参照してください。

## (5) パワーフェイル比較しきい値レジスタ (PFT)

パワーフェイル比較しきい値レジスタ (PFT) は、A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFTの8ビット・データとA/D変換結果10ビットの上位8ビット (FF1BH) が比較されます。

PFTは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 8 パワーフェイル比較しきい値レジスタ (PFT) のフォーマット

アドレス：FF6FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFT	PFT7	PFT6	PFT5	PFT4	PFT3	PFT2	PFT1	PFT0

**注意** PFTにデータを書き込むと、ウエイトが発生します。詳細は「第30章 ウエイトに関する注意事項」を参照してください。

## 15.4 アナログ入力電圧とA/D変換結果の関係

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left( \frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

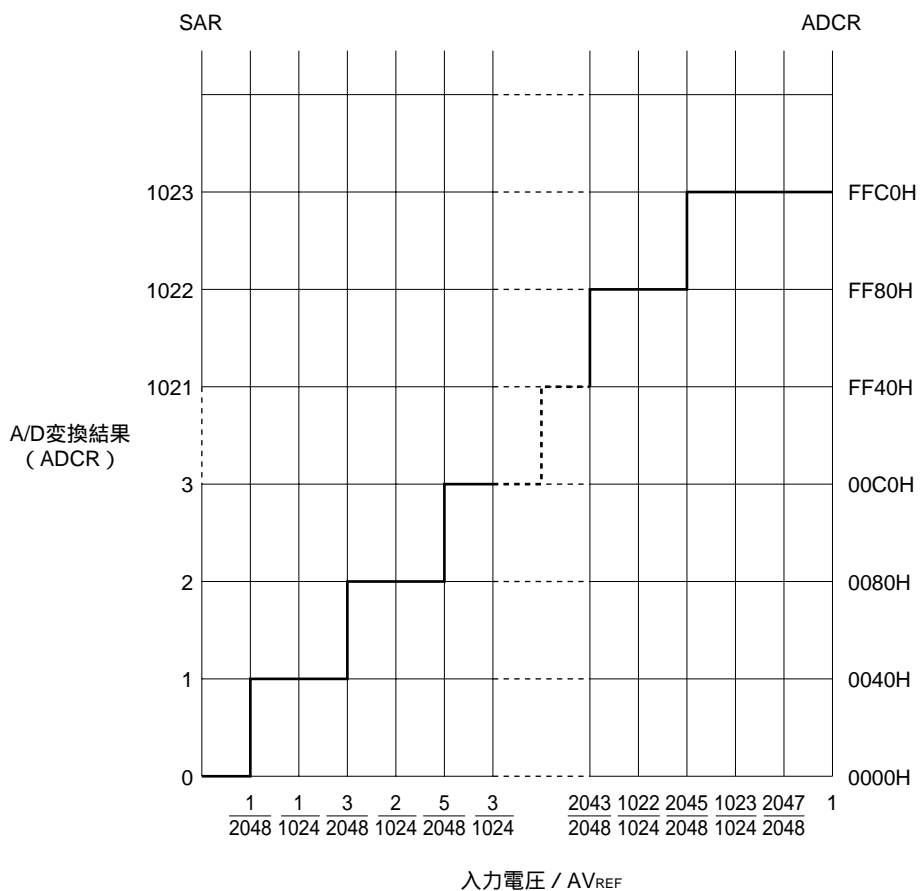
または、

$$\left( ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left( ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT ( ) : ( ) 内の値の整数部を返す関数
- V<sub>AIN</sub> : アナログ入力電圧
- AV<sub>REF</sub> : AV<sub>REF</sub>端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図15 - 9 にアナログ入力電圧とA/D変換結果の関係を示します。

図15 - 9 アナログ入力電圧とA/D変換結果の関係





## 15.5 A/Dコンバータの動作

### 15.5.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

A/Dコンバータ・モード・レジスタ (ADM) のFR2-FR0, ADHS1, ADHS0で変換時間を選択してください。

ADCS2をセット (1) し,  $1\mu\text{s}$ 以上ウエイトしてください。

ADCSをセット (1) し, 変換動作を開始します。

( から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を, サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, 入力したアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし, タップ・セレクトは直列抵抗ストリングの電圧タップを  $(1/2) AV_{REF}$  にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし, アナログ入力が  $(1/2) AV_{REF}$  よりも大きければ, SARのMSBをセットしたままです。また,  $(1/2) AV_{REF}$  よりも小さければ, MSBはリセットします。

次にSARのビット8が自動的にセットし, 次の比較に移ります。ここではすでに結果がセットしているビット9の値によって, 次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9=1 :  $(3/4) AV_{REF}$

・ビット9=0 :  $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し, その結果でSARのビット8を次のように操作します。

・アナログ入力電圧 > 電圧タップ : ビット8=1

・アナログ入力電圧 < 電圧タップ : ビット8=0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ (ADCR) に転送され, ラッチします。

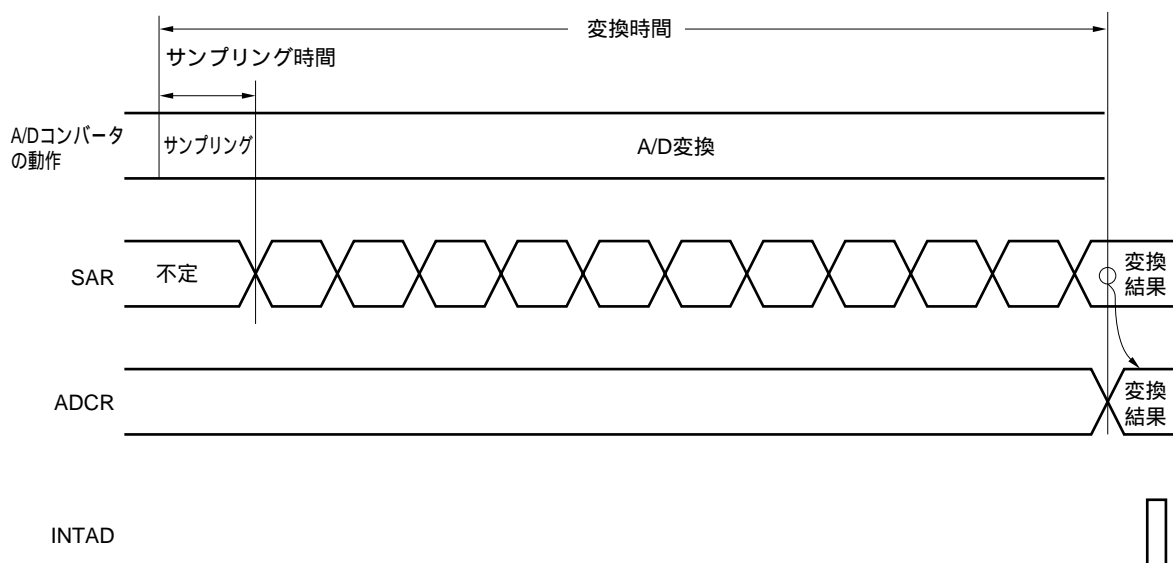
同時に, A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0 になるまで繰り返します。

A/Dコンバータを停止する場合は, ADCS = 0 にしてください。

ADCS2 = 1 の状態から, 再度A/D変換する場合は, から開始してください。ただしADCS2 = 0 の状態から, 再度A/Dコンバータを動作させる場合は, から行ってください。

図15 - 10 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM、アナログ入力チャンネル指定レジスタ (ADS)、パワーフェイル比較モード・レジスタ (PFM)、パワーフェイル比較しきい値レジスタ (PFT) のいずれかに対して書き込み操作を行うと変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$ により不定となります。

## 15.5.2 トリガ・モード

A/D変換の開始タイミングを設定するトリガ・モードには、次の3つのモードがあります。これらのトリガ・モードは、ADSレジスタで設定します。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（ハードウェア・トリガ・モード）
- ・タイマ・トリガ・モード（ハードウェア・トリガ・モード）

### (1) ソフトウェア・トリガ・モード

ADS.TRGビット = 0に設定した状態で、ADCSビット = 1に設定することによりA/D変換を開始するモードです。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、再度最初からA/D変換を行います。

### (2) 外部トリガ・モード（ハードウェア・トリガ・モード）

ADS.TRGビット = 1, ADTMDビット = 0に設定した状態で、ADM.ADCSビット = 1に設定後、トリガ（ADTRG）検出によりA/D変換を開始するモードです。

ADCSビット = 0 1設定後、トリガ（ADTRG）待機状態となります。

ADTRG信号は、ADS.EGA1, EGA0ビットによりエッジ検出を行い、エッジ検出するとA/D変換を開始します。

A/D変換終了後は、再びトリガ（ADTRG）待機状態となります。

なお、A/D変換中にADTRG信号が入力された場合、トリガ検出は行わず変換動作を継続します。

また、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、トリガ（ADTRG）待機状態になります。

### (3) タイマ・トリガ・モード（ハードウェア・トリガ・モード）

ADS.TRGビット = 1, ADTMDビット = 1に設定した状態で、ADM.ADCSビット = 1に設定後、トリガ（INTADTR）検出によりA/D変換を開始するモードです。

ADCSビット = 0 1設定後、トリガ（INTADTR）待機状態となります。

INTADTRが発生すると、A/D変換を開始します。

A/D変換終了後は、再びトリガ（INTADTR）待機状態となります。

なお、A/D変換中にINTADTRが発生した場合、トリガ検出は行わず変換動作を継続します。

また、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、トリガ（INTADTR）待機状態になります。

### 15.5.3 動作モード

動作モードには、次の2つのモードがあります。これらの動作モードは、ADMレジスタで設定します。

- ・セレクト・モード
- ・スキャン・モード

#### (1) セレクト・モード

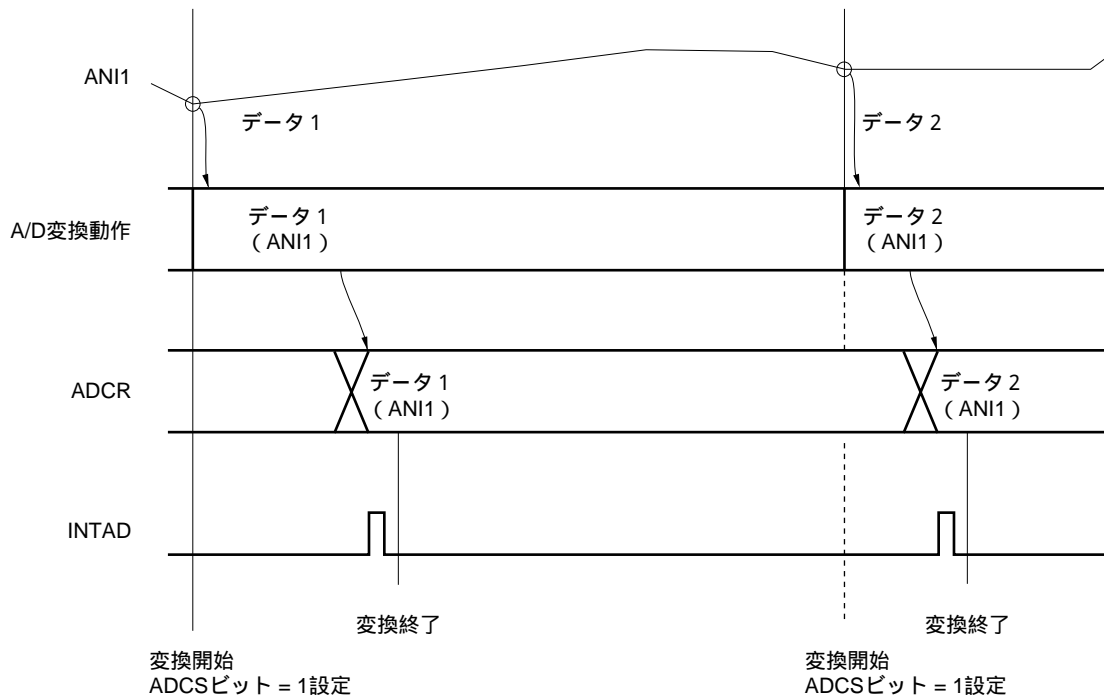
ADM.ADMDビット = 0の状態では、ADSレジスタで指定された1つのアナログ入力のア/D変換を行います。

A/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号 (INTAD) を発生します。ただし、INTADの発生は、PFM, PFTレジスタの設定に依存します。詳細は、15.5.4 パワーフェイル監視機能を参照してください。

変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードの場合、再度最初からA/D変換を行い、ハードウェア・トリガ・モードの場合も再度最初からA/D変換を行います。

図15-11 セレクト・モード動作タイミング例 (ADS.ADS2-ADS0 = 001B)



## (2) スキャン・モード

ADM. ADMDビット = 1の状態では、ANI0端子からADSレジスタで指定されたアナログ入力を順に選択し、A/D変換を行います。

1つのアナログ入力のA/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号 (INTAD) を発生します。

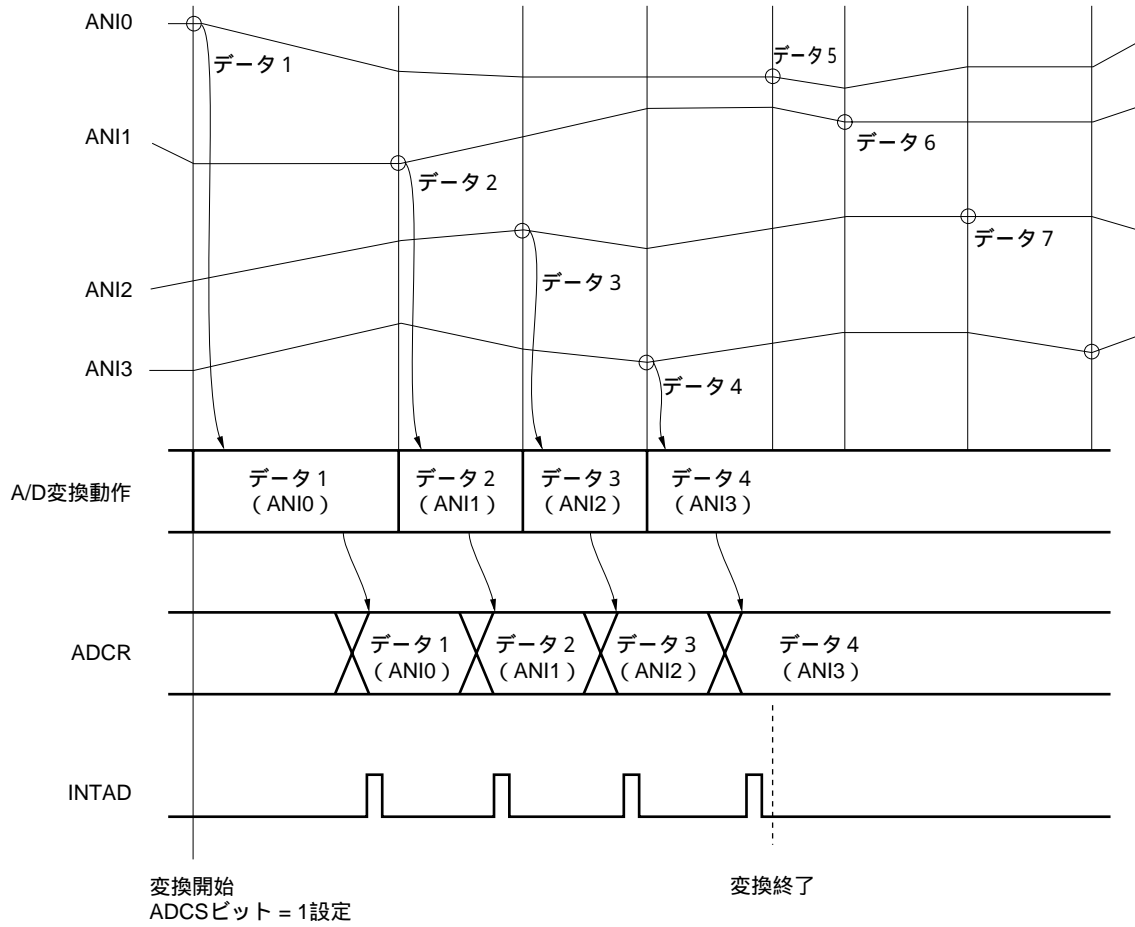
なお、すべてのアナログ入力のA/D変換結果は、ADCRレジスタに格納されるので、1つのアナログ入力のA/D変換が終了したら、ADCRレジスタの内容をRAMなどに転送することで退避することを推奨します。

ハードウェア・トリガ・モード (ADS.TRGビット = 1) の場合、ANI0端子からADSレジスタで指定されたアナログ入力までのA/D変換が終了すると、トリガ待機状態になります。

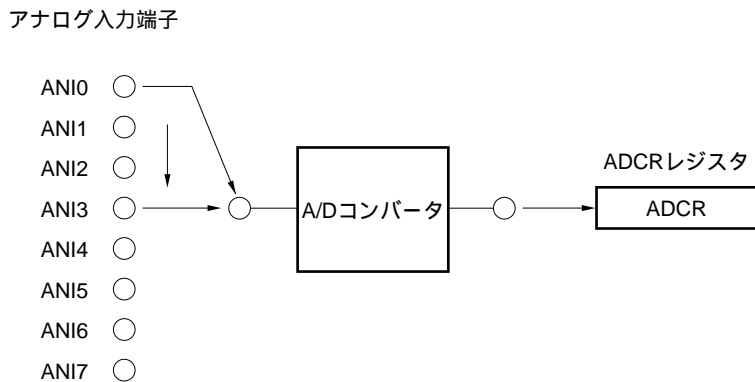
変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードの場合、再度最初からA/D変換を行い、ハードウェア・トリガ・モードの場合も、再度最初からA/D変換を行います。なお、再変換する場合は、ANI0からになります。

図15 - 12 スキャン・モード動作のタイミング例 (ADS.ADS2-ADS0 = 011 B)

( a ) タイミング例



( b ) ブロック図



### 15.5.4 パワーフェイル監視機能

パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) の設定により、次の2種類の機能を選択できます。

- ・通常の10ビットA/Dコンバータ (PFEN = 0)
- ・パワーフェイル検出機能 (PFEN = 1)

#### (1) 通常のA/D変換動作 (PFEN = 0 の場合)

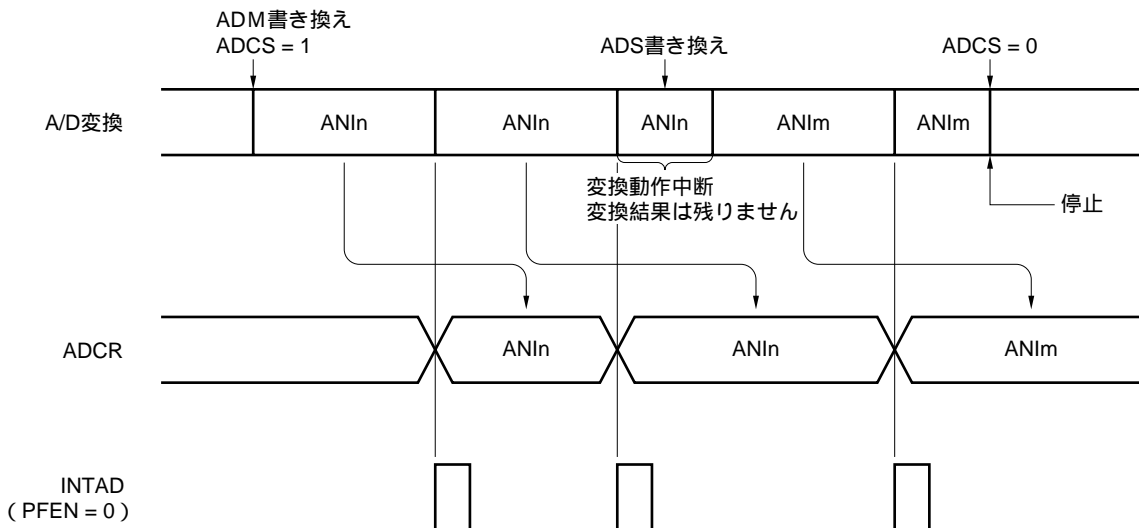
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1, パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に0を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、ADM, ADS, パワーフェイル比較モード・レジスタ (PFM), パワーフェイル比較しきい値レジスタ (PFT) を書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

図15 - 13 A/D変換動作



備考 1 . n = 0-7

2 . m = 0-7

(2) パワーフェイル検出機能 (PFEN = 1 の場合)

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1, パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) に1を設定することにより, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, パワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い, PFMのビット6 (PFCM) に指定された条件のもとで割り込み要求信号 (INTAD) が発生します。

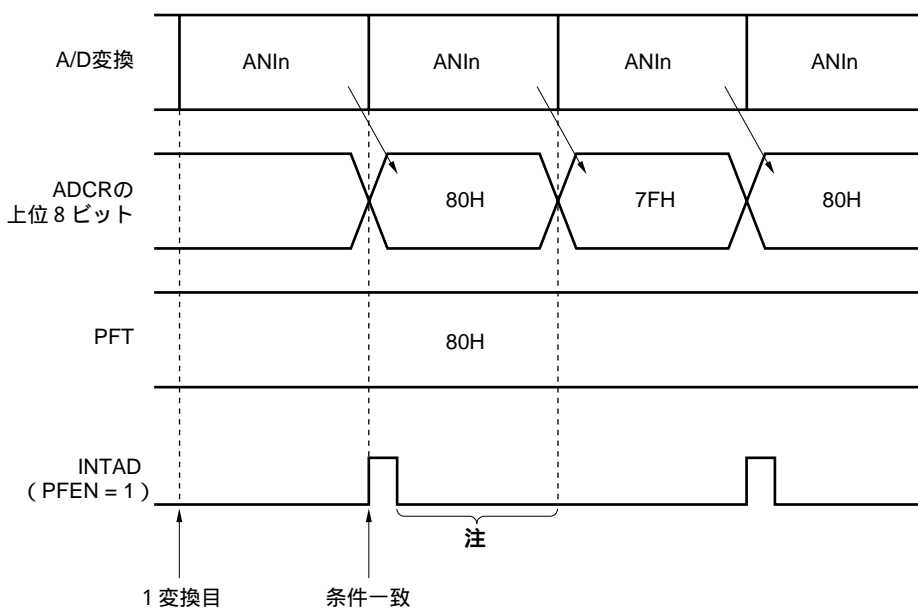
PFEN = 1かつPFCM = 0の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, ADCRの上位8ビットPFTの場合のみINTADを発生します。

PFEN = 1かつPFCM = 1の場合

A/D変換終了のタイミングで, ADCRの上位8ビットとPFTの値を比較し, ADCRの上位8ビット < PFTの場合のみINTADを発生します。

図15 - 14 パワーフェイル検出 (PFEN = 1かつPFCM = 0の場合)



注 INTADが出力されてから次の変換終了までの間に変換結果を読み出さないと, 次の変換結果が変わってしまいます。

備考 n = 0-7



### (3) 設定方法

次に設定方法を説明します。

・通常のA/D変換動作として使用する場合

A/Dコンバータ・モード・レジスタ (ADM) のビット 0 (ADCS2) をセット (1)

アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) とADMのビット5-1

(FR2-FR0, ADHS1, ADHS0) で、チャンネルと変換時間を選択

ADMのビット 7 (ADCS) をセット (1) し、A/D変換動作開始

割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

< チャンネルを変更する >

ADSのビット2-0 (ADS2-ADS0) で、チャンネルを変更し、A/D変換動作開始

割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCS2をクリア (0)

**注意 1 .** から までの間は1  $\mu$ s以上空けてください。

2 . と の順番が逆でも問題ありません。

3 . は省略可能です。ただし、この場合には のあとの1回目のA/D変換結果は使用しないでください。

4 . から までの時間は、ADMのビット5-1 (FR2-FR0, ADHS1, ADHS0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0, ADHS1, ADHS0で設定した変換時間となります。

## ・パワーフェイル検出機能として使用する場合

パワーフェイル比較モード・レジスタ (PFM) のビット7 (PFEN) をセット (1)  
 PFMのビット6 (PFCM) でパワーフェイル比較条件を設定  
 A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCS2) をセット (1)  
 アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) とADMのビット5-1  
 (FR2-FR0, ADHS1, ADHS0) で、チャンネルと変換時間を選択  
 パワーフェイル比較しきい値レジスタ (PFT) にしきい値を設定  
 ADMのビット7 (ADCS) をセット (1)  
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送  
 ADCRの上位8ビットとPFTとの大小比較を行い、条件が一致した場合に割り込み要求信号  
 (INTAD) 発生

## &lt; チャンネルを変更する &gt;

ADSのビット2-0 (ADS2-ADS0) で、チャンネルを変更  
 A/D変換データをA/D変換結果レジスタ (ADCR) に転送

- ⑪ ADCRの上位8ビットとパワーフェイル比較しきい値レジスタ (PFT) との大小比較を行い、条件が一致した場合に割り込み要求信号 (INTAD) 発生

## &lt; A/D変換を終了する &gt;

- ⑫ ADCSをクリア (0)  
 ⑬ ADCS2をクリア (0)

**注意 1 .** から までの間は1  $\mu$ s以上空けてください。

2 . , , の順番が入れ替わっても問題ありません。

3 . パワーフェイル検出機能を使用する場合, を省略することはできません。

4 . から⑪までの時間は, ADMのビット5-1 (FR2-FR0, ADHS1, ADHS0) で設定した変換時間とは異なります。 から⑪までの時間が, FR2-FR0, ADHS1, ADHS0で設定した変換時間となります。

**備考** セレクト・モード, スキャン・モードにかかわらず, パワーフェイル検出機能の動作を許可していれば, すべてのA/D変換結果に対して比較動作を行います。

## 15.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2\text{LSB}$  の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$  の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図15 - 15 総合誤差

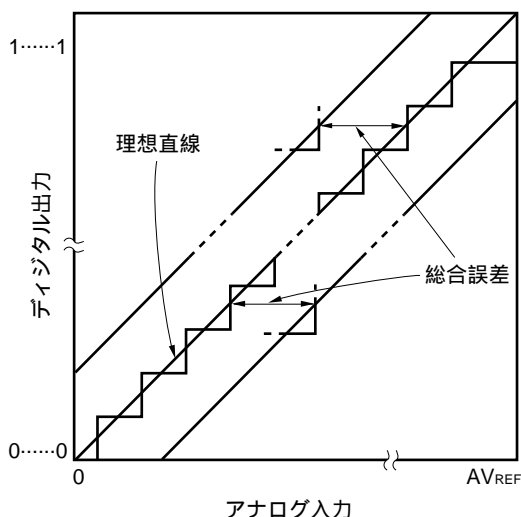
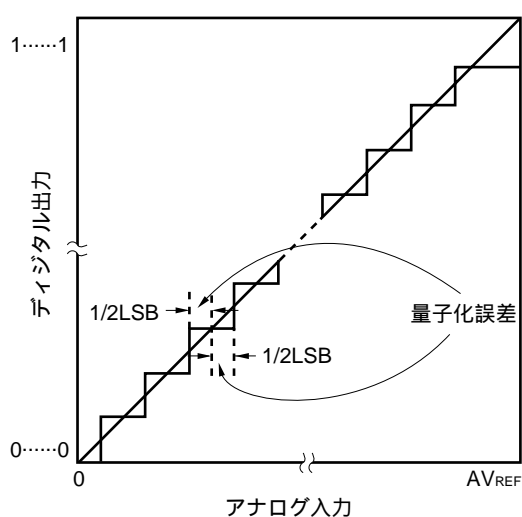


図15 - 16 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2\text{LSB}$ ) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 ( $3/2\text{LSB}$ ) との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール -  $3/2\text{LSB}$ ) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図15 - 17 ゼロスケール誤差

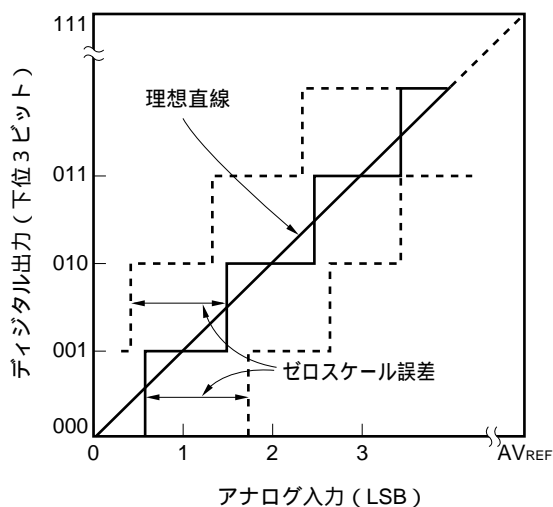


図15 - 18 フルスケール誤差

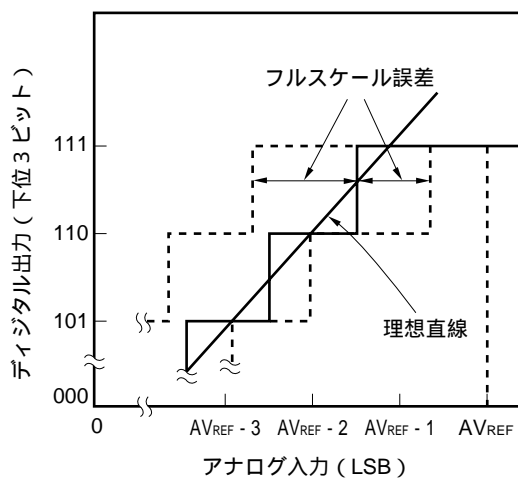


図15 - 19 積分直線性誤差

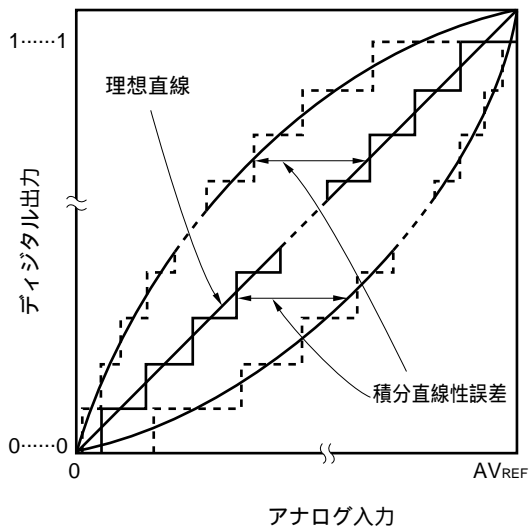
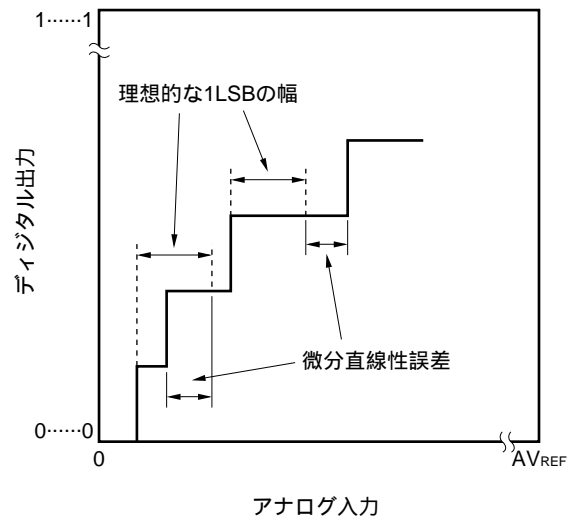


図15 - 20 微分直線性誤差

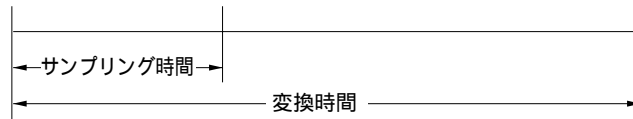


**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。  
 特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



## 15.7 A/Dコンバータの注意事項

### (1) スタンバイ・モード時の動作電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) = 0 にすることにより、動作電流を低減させることができます (図15 - 2を参照)。

### (2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に $AV_{REF}$ 以上、 $AV_{SS}$ 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

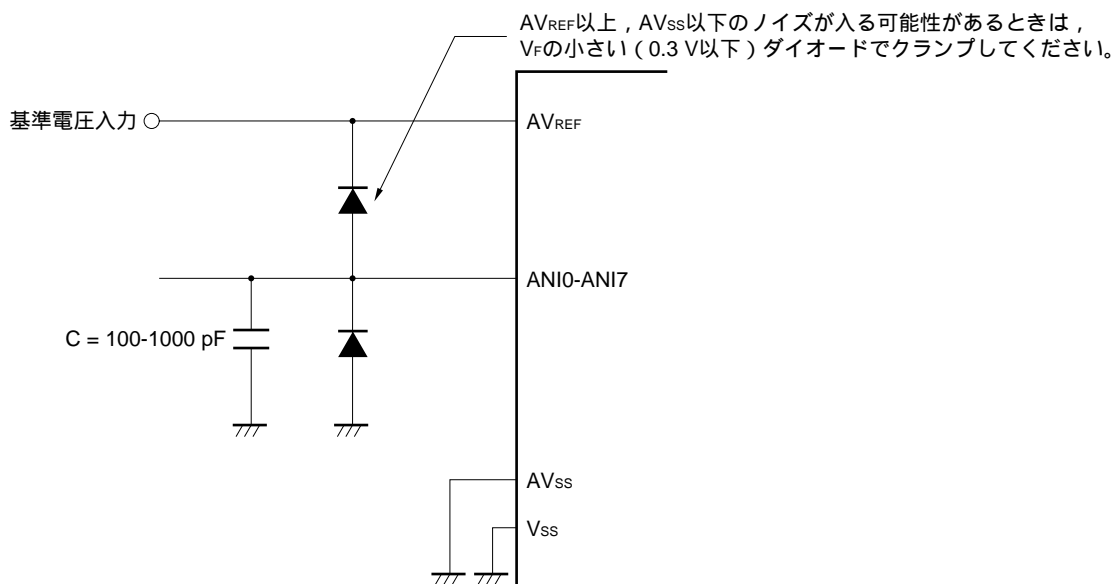
変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合

ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

**(4) ノイズ対策について**

10ビット分解能を保つためには、 $AV_{REF}$ 、 $ANI0$ - $ANI7$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図15-21のようにCを外付けすることを推奨します。

図15-21 アナログ入力端子の処理

**(5) ANI0/P20-ANI7/P27**

アナログ入力 ( $ANI0$ - $ANI7$ ) 端子は入力ポート ( $P20$ - $P27$ ) 端子と兼用になっています。

$ANI0$ - $ANI7$ のいずれかを選択してA/D変換をする場合、変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

**(6) ANI0-ANI7端子の入カインピーダンスについて**

このA/Dコンバータでは、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10k以下にするか、 $ANI0$ - $ANI7$ 端子に100 pF程度のコンデンサを付けることを推奨します(図15-21参照)。

**(7) AV<sub>REF</sub>端子の入カインピーダンスについて**

$AV_{REF}$ 端子と $AV_{SS}$ 端子の間には数十kの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 $AV_{REF}$ 端子と $AV_{SS}$ 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

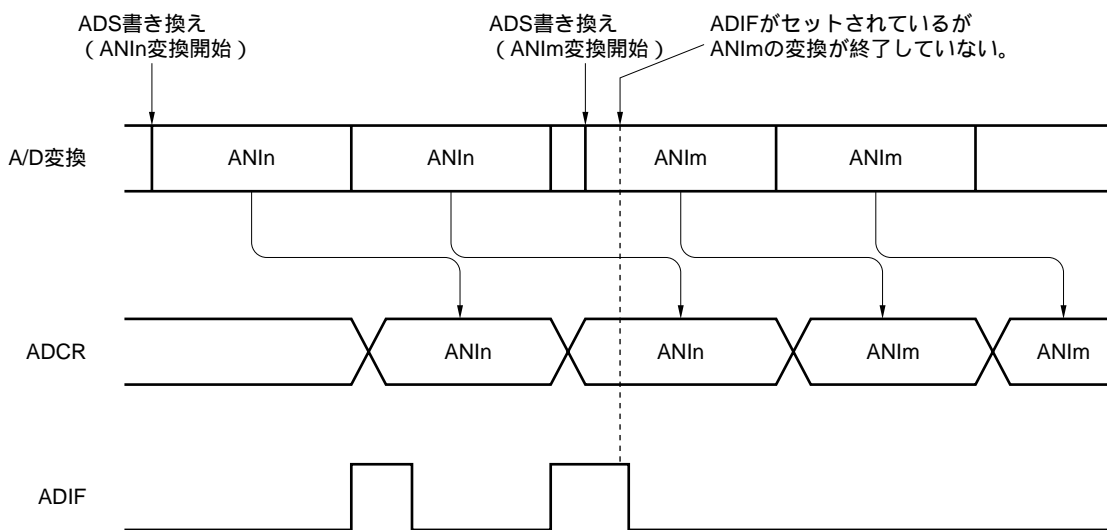
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図15 - 22 A/D変換終了割り込み要求発生タイミング



- 備考 1 . n = 0-7
- 2 . m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCS2ビット = 1 にしてから、1 μs以内にADCSビット = 1にした場合、もしくはADCS2ビット = 0の状態状態で、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。



(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図15 - 23 ANIn端子内部等価回路

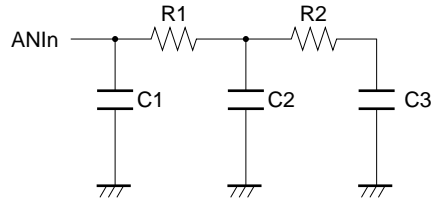


表15 - 4 等価回路の各抵抗と容量値 (参考値)

$AV_{REF}$	R1	R2	C1	C2	C3
4.5 V	4 k	2.7 k	8 pF	1.4 pF	0.6 pF

備考1 . 表15 - 4 の各抵抗と容量値は保証値ではありません。

2 . n = 0-7

# 第16章 シリアル・インタフェースUART00

## 16.1 シリアル・インタフェースUART00の機能

シリアル・インタフェースUART00には、次の2種類のモードがあります。

### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については16.4.1 **動作停止モード**を参照してください。

### (2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については16.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、16.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・2端子構成 TxD00：送信データの出力端子  
RxD00：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の5ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能
- ・動作クロックは、4本のクロック入力選択可能
- ・通信データの先頭ビットは、LSB固定

**注意 1** . シリアル・インタフェースUART00へのソース・クロックが停止しない場合 (例：HALTモード) は、正常動作が続きます。シリアル・インタフェースUART00へのソース・クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD00端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER00 = 0, RXE00 = 0, TXE00 = 0となるように回路をリセットしてください。

- 2 . 通信開始する場合、POWER00 = 1に設定後、TXE00 = 1 (送信) またはRXE00 = 1 (受信) に設定してください。
- 3 . TXE00とRXE00は、BRGC00で設定した基本クロック ( $f_{XCLK0}$ ) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE00 = 0またはRXE00 = 0に設定してから基本クロック2クロック以降にTXE00 = 1またはRXE00 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- 4 . TXE00 = 1に設定したあと、基本クロック ( $f_{XCLK0}$ ) 2クロック以上待ってから、TXS00に送信データを設定してください。

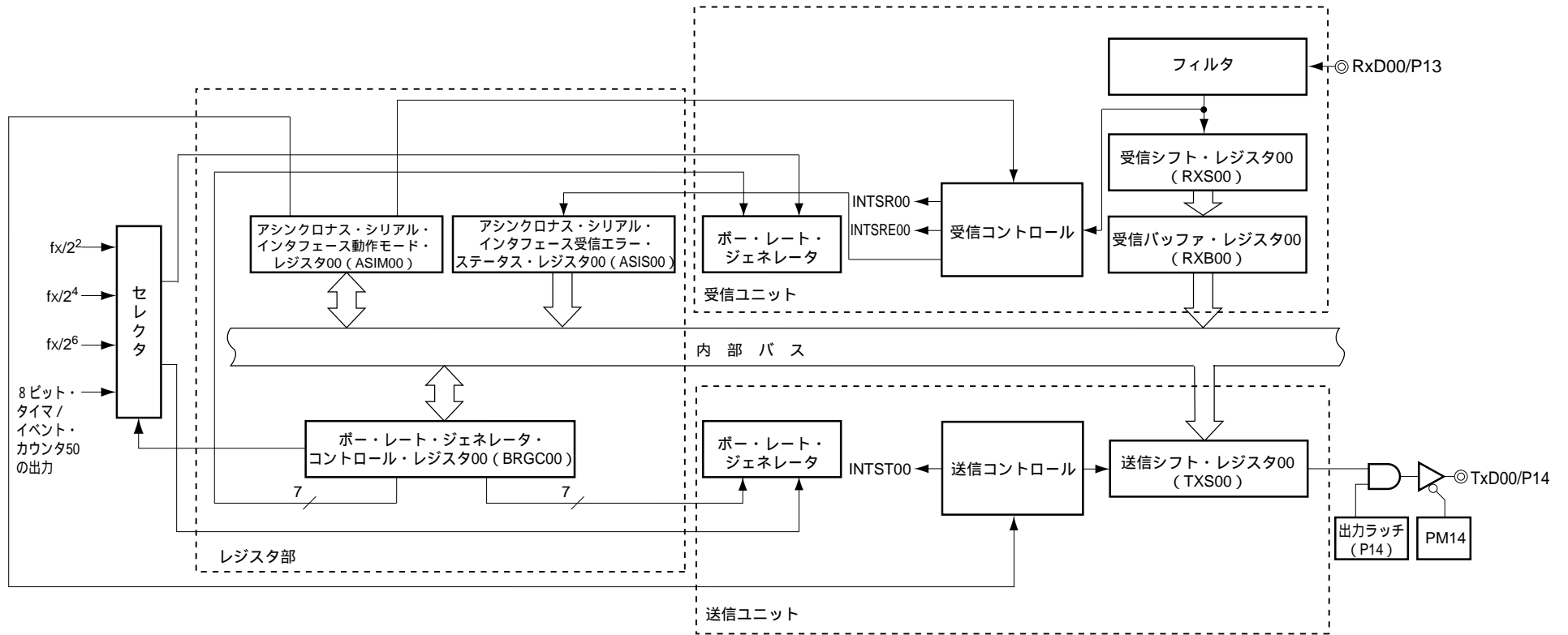
## 16.2 シリアル・インタフェースUART00の構成

シリアル・インタフェースUART00は、次のハードウェアで構成しています。

表16 - 1 シリアル・インタフェースUART00の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ00 (RXB00) 受信シフト・レジスタ00 (RXS00) 送信シフト・レジスタ00 (TXS00)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図16 - 1 シリアル・インタフェースUART00のブロック図



**(1) 受信バッファ・レジスタ00 (RXB00)**

受信シフト・レジスタ00 (RXS00) で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

オーバラン・エラー (OVE00) が発生した場合、そのときの受信データはRXB00には転送されません。

RXB00は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力、POWER00 = 0によりFFHとなります。

**(2) 受信シフト・レジスタ00 (RXS00)**

RxD00端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS00はプログラムで直接操作できません。

**(3) 送信シフト・レジスタ00 (TXS00)**

送信データを設定するためのレジスタです。TXS00にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD00端子から送信します。

TXS00は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

RESET入力、POWER00 = 0、TXE00 = 0によりFFHとなります。

**注意 1** . TXE00 = 1に設定したあと、基本クロック ( $f_{CLK0}$ ) 2クロック以上待ってから、TXS00に送信データを設定してください。

**2** . TXS00に送信データを書き込んでから送信完了割り込み信号 (INTST00) が発生するまで、次の送信データを書き込まないでください。

## 16.3 シリアル・インタフェースUART00を制御するレジスタ

シリアル・インタフェースUART00は、次の5種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

### (1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00)

シリアル・インタフェースUART00のシリアル通信動作を制御する8ビット・レジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

図16 - 2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のフォーマット (1/2)

アドレス：FF70H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM00	POWER00	TXE00	RXE00	PS001	PS000	CL00	SL00	1

POWER00	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup> 。
1	内部動作クロックの動作許可

TXE00	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE00	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1 . POWER00 = 0で、RxD00端子からの入力はハイ・レベルに固定されます。

- 2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) , 送信シフト・レジスタ00 (TXS00) , 受信バッファ・レジスタ00 (RXB00) です。

図16 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のフォーマット (2/2)

PS001	PS000	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 <sup>注</sup>
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL00	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL00	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

**注** 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) のビット2 (PE00) はセットされないため、エラー割り込みも発生しません。

- 注意 1** . 起動時はPOWER00 = 1にしてから、TXE00 = 1としてください。動作を停止するときにはTXE00 = 0にしてから、POWER00 = 0としてください。
- 2 . 起動時はPOWER00 = 1にしてから、RXE00 = 1としてください。動作を停止するときにはRXE00 = 0にしてから、POWER00 = 0としてください。
- 3 . RxD00端子にハイ・レベルが入力された状態でPOWER00 = 1 RXE00 = 1 と設定してください。ロウ・レベルのときにPOWER00 = 1 RXE00 = 1 と設定すると、受信を開始してしまいます。
- 4 . TXE00とRXE00は、BRGC00で設定した基本クロック (f<sub>CLK0</sub>) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE00 = 0またはRXE00 = 0に設定してから基本クロック2クロック以降にTXE00 = 1またはRXE00 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- 5 . TXE00 = 1に設定したあと、基本クロック (f<sub>CLK0</sub>) 2クロック以上待ってから、TXS00に送信データを設定してください。
- 6 . PS001, PS000, CL00ビットを書き換えるときは、TXE00, RXE00ビットをクリア (0) してから行ってください。
- 7 . SL00ビットを書き換えるときは、TXE00をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL00ビットの設定値の影響は受けません。
- 8 . ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00)

シリアル・インタフェースUART00の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE00, FE00, OVE00) で構成されています。

ASIS00は、8ビット・メモリ操作命令で読み出しのみ可能です。

RESET入力, ASIM00のビット7 (POWER00) = 0, ビット5 (RXE00) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。

図16 - 3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) のフォーマット

アドレス : FF73H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS00	0	0	0	0	0	PE00	FE00	OVE00

PE00	パリティ・エラーを示すステータス・フラグ
0	POWER00 = 0およびRXE00 = 0に設定したとき, または, ASIS00レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE00	フレーミング・エラーを示すステータス・フラグ
0	POWER00 = 0およびRXE00 = 0に設定したとき, または, ASIS00レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE00	オーバラン・エラーを示すステータス・フラグ
0	POWER00 = 0およびRXE00 = 0に設定したとき, または, ASIS00レジスタのリード
1	RXB00レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

注意 1 . PE00ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のPS001, PS000ビットの設定値により異なります。

- 2 . 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
- 3 . オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ00 (RXB00) には書き込まれず, データは破棄されます。
- 4 . ASIS00からデータを読み出すと, ウエイトが発生します。詳細は「第30章 ウエイトに関する注意事項」を参照してください。



(3) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェースUART00の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、1FHになります。

図16 - 4 ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) のフォーマット

アドレス : FF71H リセット時 : 1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC00	TPS001	TPS000	0	MDL004	MDL003	MDL002	MDL001	MDL000

TPS001	TPS000	基本クロック (f <sub>CLK0</sub> ) 選択 <sup>注1</sup>
0	0	TM50の出力 <sup>注2</sup>
0	1	f <sub>x</sub> /2 <sup>2</sup> (5 MHz)
1	0	f <sub>x</sub> /2 <sup>4</sup> (1.25 MHz)
1	1	f <sub>x</sub> /2 <sup>6</sup> (312.5 kHz)

MDL004	MDL003	MDL002	MDL001	MDL000	k	5ビット・カウンタの出力クロック選択
0	0	x	x	x	x	設定禁止
0	1	0	0	0	8	f <sub>CLK0</sub> /8
0	1	0	0	1	9	f <sub>CLK0</sub> /9
0	1	0	1	0	10	f <sub>CLK0</sub> /10
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
1	1	0	1	1	27	f <sub>CLK0</sub> /27
1	1	1	0	0	28	f <sub>CLK0</sub> /28
1	1	1	0	1	29	f <sub>CLK0</sub> /29
1	1	1	1	0	30	f <sub>CLK0</sub> /30
1	1	1	1	1	31	f <sub>CLK0</sub> /31

注1 . 基本クロックは次の条件を満たすように設定してください。

・ V<sub>DD</sub> = 4.0 ~ 5.5 V : 基本クロック 10 MHz

2 . TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

・ PWMモード (TMC506 = 1) のとき

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0) のとき

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

- 注意 1 . CPUへのソース・クロックに内蔵発振クロックを選択する場合、カウント・クロックに内蔵発振回路の分周クロックが供給されます。基本クロックが内蔵発振クロックの場合、シリアル・インタフェースUART00の動作は保証されません。
- 2 . MDL004-MDL000ビットを書き換える場合は、ASIM00レジスタのビット6 (TXE00) = 0、ビット5 (RXE00) = 0にしてから行ってください。
- 3 . 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考 1 .  $f_{XCLK0}$  : TPS001, TPS000ビットで選択した基本クロックの周波数

2 .  $f_x$  : X1入力クロック発振周波数

3 .  $k$  : MDL004-MDL000ビットで設定した値 ( $k = 8, 9, 10, \dots, 31$ )

4 .  $x$  : 任意

5 . ( ) 内は、 $f_x = 20$  MHz動作時

6 . TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット1

#### (4) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P14/TxD00端子をシリアル・インタフェースのデータ出力として使用するとき、PM14に0を、P14の出力ラッチに1を設定してください。

P13/RxD00端子をシリアル・インタフェースのデータ入力として使用するとき、PM13に1を設定してください。このときP13の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図16 - 5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n=0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 16.4 シリアル・インタフェースUART00の動作

シリアル・インタフェースUART00は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

### 16.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM00のビット7, 6, 5 (POWER00, TXE00, RXE00) に0を設定してください。

#### (1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) で行います。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

アドレス : FF70H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM00	POWER00	TXE00	RXE00	PS001	PS000	CL00	SL00	1

POWER00	内部動作クロックの動作許可 / 禁止
0 <sup>注1</sup>	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする <sup>注2</sup> 。

TXE00	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE00	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

**注1** . POWER00 = 0で、RxD00端子からの入力はハイ・レベルに固定されます。

- 2 . リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00), 送信シフト・レジスタ00 (TXS00), 受信バッファ・レジスタ00 (RXB00) です。

**注意** 動作停止モードにするときはTXE00 = 0, RXE00 = 0にしてから、POWER00 = 0 にしてください。起動時はPOWER00 = 1にしてから、TXE00 = 1, RXE00 = 1にしてください。

**備考** RxD00/P13, TxD00/P14端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

## 16.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

### (1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

BRGC00レジスタを設定 (図16 - 4を参照)

ASIM00レジスタのビット1-4 (SL00, CL00, PS000, PS001) を設定 (図16 - 2を参照)

ASIM00レジスタのビット7 (POWER00) をセット (1)

ASIM00レジスタのビット6 (TXE00) をセット (1) 送信可能

ASIM00レジスタのビット5 (RXE00) をセット (1) 受信可能

の設定後, 2クロック以上待ってからTXS00レジスタにデータを書き込み データ送信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。

レジスタの設定と端子の関係を次に示します。

表16 - 2 レジスタの設定と端子の関係

POWER00	TXE00	RXE00	PM14	P14	PM13	P13	UART00 の動作	端子機能	
								TxD00/P14	RxD00/P13
0	0	0	×注	×注	×注	×注	停止	P14	P13
1	0	1	×注	×注	1	×	受信	P14	RxD00
	1	0	0	1	×注	×注	送信	TxD00	P13
	1	1	0	1	1	×	送受信	TxD00	RxD00

注 ポート機能として設定することができます。

備考 × : don't care

POWER00 : アシクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7

TXE00 : ASIM00のビット6

RXE00 : ASIM00のビット5

PM1 × : ポート・モード・レジスタ

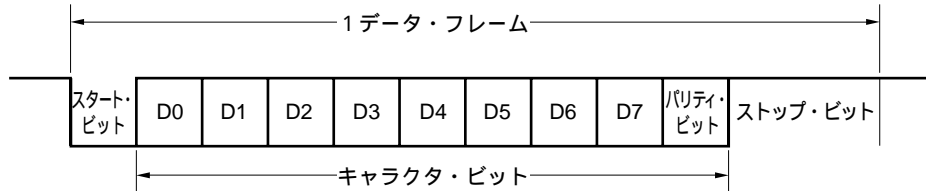
P1 × : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図16 - 6 , 16 - 7 に示します。

図16 - 6 通常UART送受信データのフォーマット



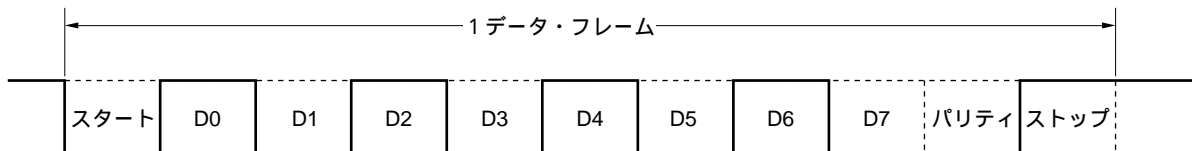
1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット ..... 1ビット
- ・ キャラクタ・ビット ... 7ビット / 8ビット (LSBファースト)
- ・ パリティ・ビット ..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット ..... 1ビット / 2ビット

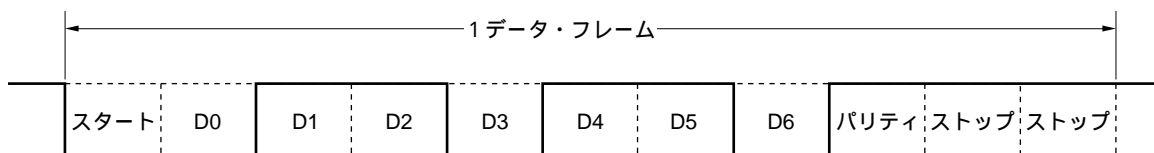
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) によって行います。

図16 - 7 通常UART送受信データの波形例

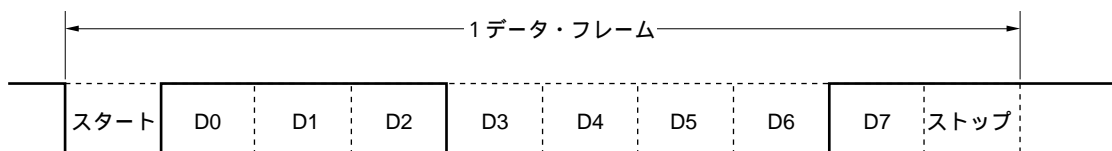
1. データ長 : 8ビット, パリティ : 偶数パリティ, ストップ・ビット : 1ビット, 通信データ : 55H



2. データ長 : 7ビット, パリティ : 奇数パリティ, ストップ・ビット : 2ビット, 通信データ : 36H



3. データ長 : 8ビット, パリティ : パリティなし, ストップ・ビット : 1ビット, 通信データ : 87H



**(b) パリティの種類と動作**

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは、誤りを検出することはできません。

**(i) 偶数パリティ**

## ・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**(ii) 奇数パリティ**

## ・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(iii) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(iv) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7 (POWER00) をセット (1) すると, TxD00端子からハイ・レベル出力されます。次にASIM00のビット6 (TXE00) をセット (1) すると送信許可状態になります。TXE00をセット (1) したあと, 基本クロック (f<sub>xCLK0</sub>) 2クロック以上待ってから, 送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, スタート・ビットがTxD00端子から出力され, 続いてLSBより順次出力されます。送信が完了すると, ASIM00で設定したパリティ・ビット, ストップ・ビットが付加され, 最後に送信完了割り込み要求 (INTST00) が発生します。

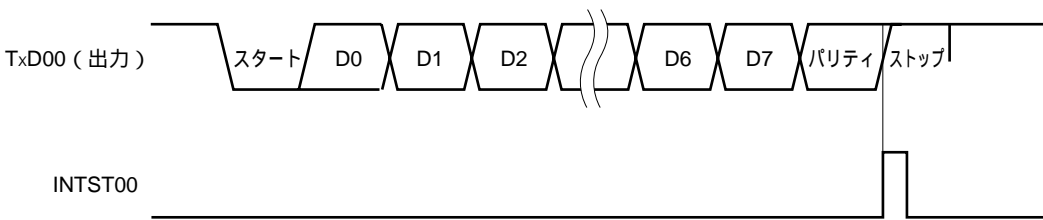
次に送信するデータをTXS00に書き込むまで, 送信動作は中断します。

送信完了割り込み要求 (INTST00) のタイミングを図16 - 8 に示します。INTST00は, 最後のストップ・ビット出力と同時に発生します。

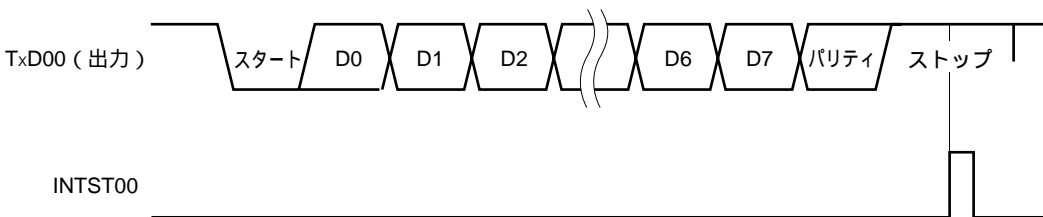
**注意** TXS00に送信データを書き込んでから送信完了割り込み信号 (INTST00) が発生するまで, 次の送信データを書き込まないでください。

図16 - 8 送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



## (d) 受信

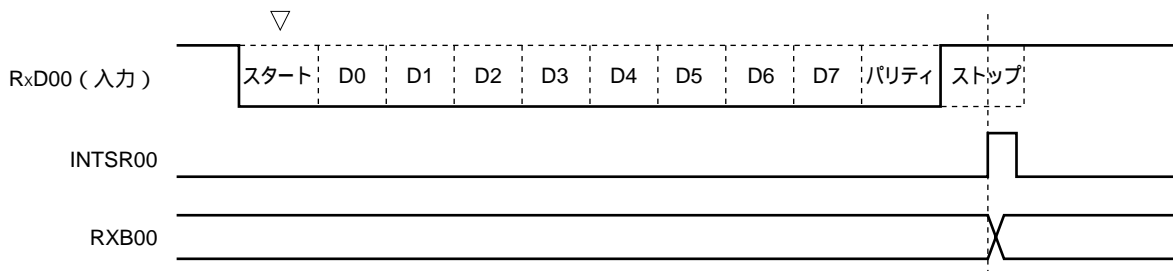
アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7 (POWER00) をセット (1) し、次にASIM00のビット5 (RXE00) をセット (1) すると受信許可状態となり、RxD00端子入力のサンプリングを行います。

RxD00端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) の設定値をカウントした時点で、再度RxD00端子入力をサンプリング (図16 - 9の 印に相当) した結果、RxD00端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ00 (RXS00) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR00) を発生すると同時に、RXS00のデータは受信バッファ・レジスタ00 (RXB00) に書き込まれます。ただし、オーバラン・エラー (OVE00) が発生した場合、そのときの受信データはRXB00に書き込まれません。

受信途中で、パリティ・エラー (PE00) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後にエラー割り込み (INTSRE00) を発生します。

図16 - 9 受信完了割り込み要求タイミング



- 注意 1 . 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。**  
RXB00を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
- 2 . 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。**
- 3 . RXB00を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) を読み出してください。**



(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) 内に立つと、受信エラー割り込み要求 (INTSRE00) を発生します。

受信エラー割り込み処理内 (INTSRE00) で、ASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図16 - 3参照)。

ASIS00の内容は、ASIS00を読み出すことによって、リセット (0) されます。

表16 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ00 (RXB00) からデータを読み出す前に次のデータ受信完了

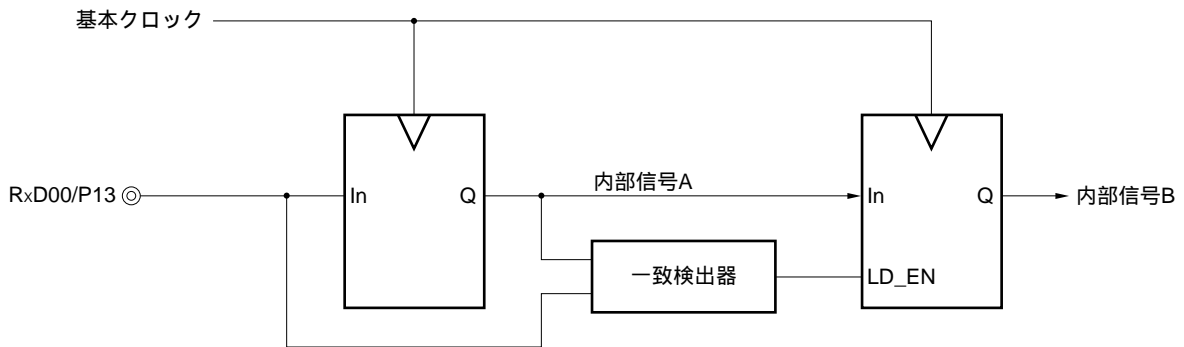
(f) 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロックでRxD00信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図16 - 10のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図16 - 10 ノイズ・フィルタ回路



### 16.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART00における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ポー・レート・ジェネレータの構成

##### ・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ00 (ASIM00) のビット7 (POWER00) = 1のとき、ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) のビット7, 6 (TPS001, TPS000) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を $f_{XCLK0}$ と呼びます。POWER00 = 0のときは、基本クロックはロウ・レベルに固定となります。

##### ・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7 (POWER00) = 0またはビット6 (TXE00) = 0のときはクリア (0) の状態で動作を停止します。

POWER00 = 1かつTXE00 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ00 (TXS00) への書き込みでカウンタをクリア (0) します。

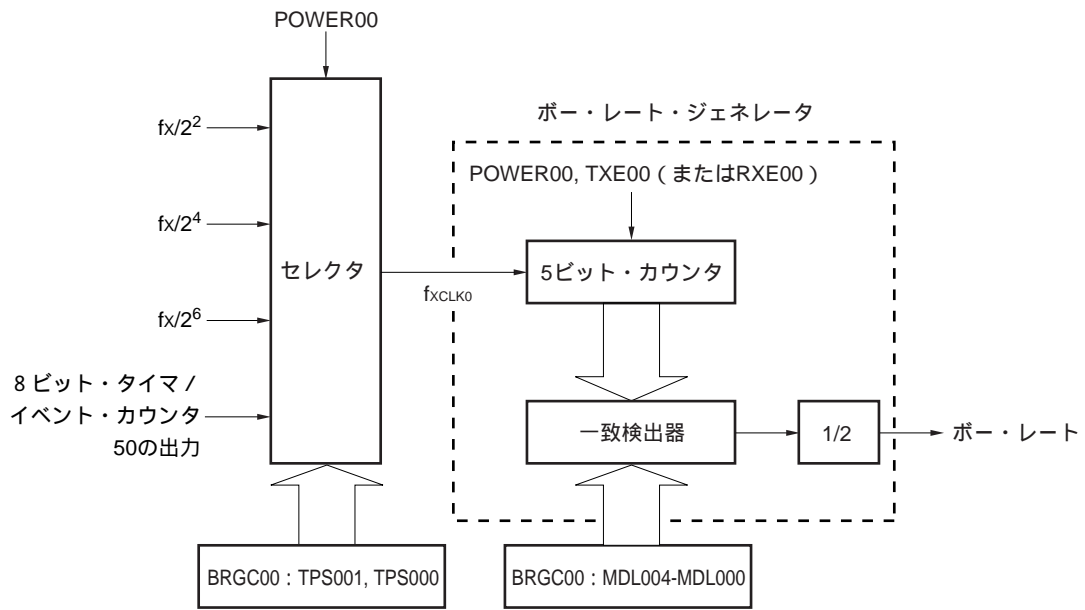
##### ・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7 (POWER00) = 0またはビット5 (RXE00) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図16 - 11 ポー・レート・ジェネレータの構成



- 備考** POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) のビット7  
 TXE00 : ASIM00のビット6  
 RXE00 : ASIM00のビット5  
 BRGC00 : ポー・レート・ジェネレータ・コントロール・レジスタ00

**(2) シリアル・クロックの生成**

ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) の設定により、シリアル・クロックを生成できます。

BRGC00のビット7, 6 (TPS001, TPS000) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL004-MDL000) により、5ビット・カウンタの分周値を設定できます。

**(a) ボー・レート**

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK0}}}{2 \times k} \text{ [ bps ]}$$

$f_{\text{CLK0}}$  : BRGC00レジスタのTPS001, TPS000ビットで選択した基本クロックの周波数

$k$  : BRGC00レジスタのMDL004-MDL000ビットで設定した値 ( $k = 8, 9, 10, \dots, 31$ )

**(b) ボー・レートの誤差**

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

**注意 1 . 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。**

**2 . 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。**

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC00レジスタのMDL004-MDL000ビットの設定値 = 10000B ( $k = 16$ )

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表16 - 4 ボー・レート・ジェネレータ設定データ

ボー・レート [ bps ]	fx = 20.0 MHz				fx = 16.0 MHz			
	TPS001, TPS000	k	算出値	ERR [ % ]	TPS001, TPS000	k	算出値	ERR [ % ]
2400	-	-	-	-	-	-	-	-
4800	-	-	-	-	3	26	4808	0.16
9600	3	16	9766	1.73	3	13	9615	0.16
10400	3	15	10417	0.16	3	12	10417	0.16
19200	3	8	19531	1.73	2	26	19231	0.16
31250	2	20	31250	0	2	16	31250	0
38400	2	16	39063	1.73	2	13	38462	0.16
76800	2	8	78125	1.73	1	26	76923	0.16
115200	1	22	113636	- 1.36	1	17	117647	2.12
153600	1	16	156250	1.73	1	13	153846	0.16
230400	1	11	227273	- 1.36	-	-	-	-

備考 TPS001, TPS000 : ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) のビット7, 6 (基本クロック (fxCLK0) 設定)

k : BRGC00のMDL004-MDL000ビットで設定した値 (k = 8, 9, 10, ..., 31)

fx : X1入力クロック発振周波数

ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 12 受信時の許容ボー・レート範囲

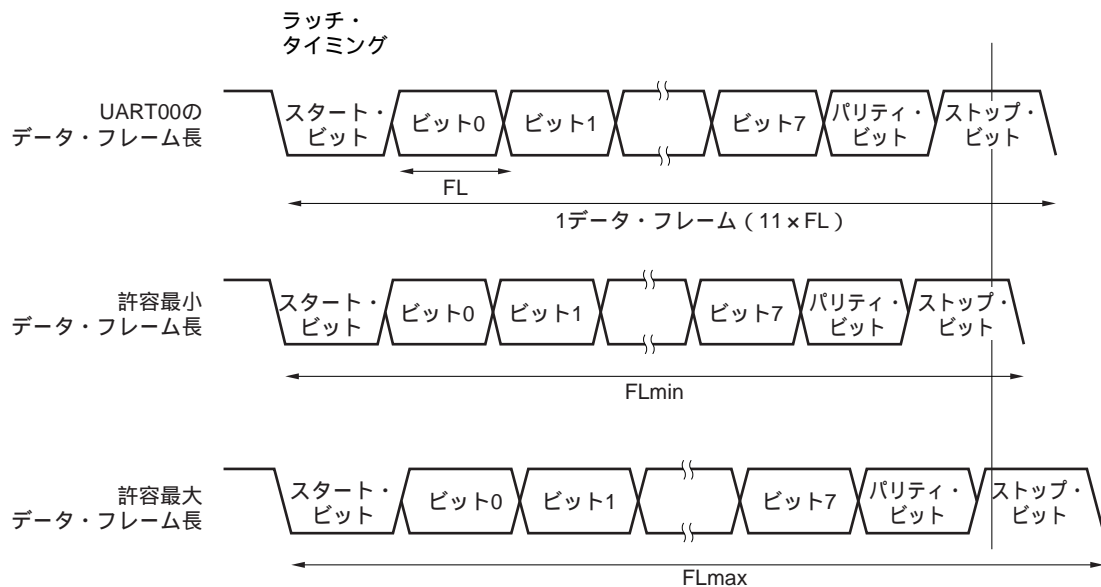


図16 - 12に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART00のポー・レート

k : BRGC00の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ポー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ポー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小/最大ボー・レート値の算出式から，UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表16 - 5 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
16	+ 4.14 %	- 4.19 %
24	+ 4.34 %	- 4.38 %
31	+ 4.44 %	- 4.47 %

**備考 1** . 受信の許容誤差は，1フレーム・ビット数，入力クロック周波数，分周比 (k) に依存します。入力クロック周波数が高く，分周比 (k) が大きくなるほど許容誤差は大きくなります。

2 . k : BRGC00の設定値

# 第17章 シリアル・インタフェースCSI10

## 17.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

### (1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については17.4.1 **動作停止モード**を参照してください。

### (2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ( $\overline{\text{SCK10}}$ ) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については17.4.2 **3線式シリアルI/Oモード**を参照してください。

## 17.2 シリアル・インタフェースCSI10の構成

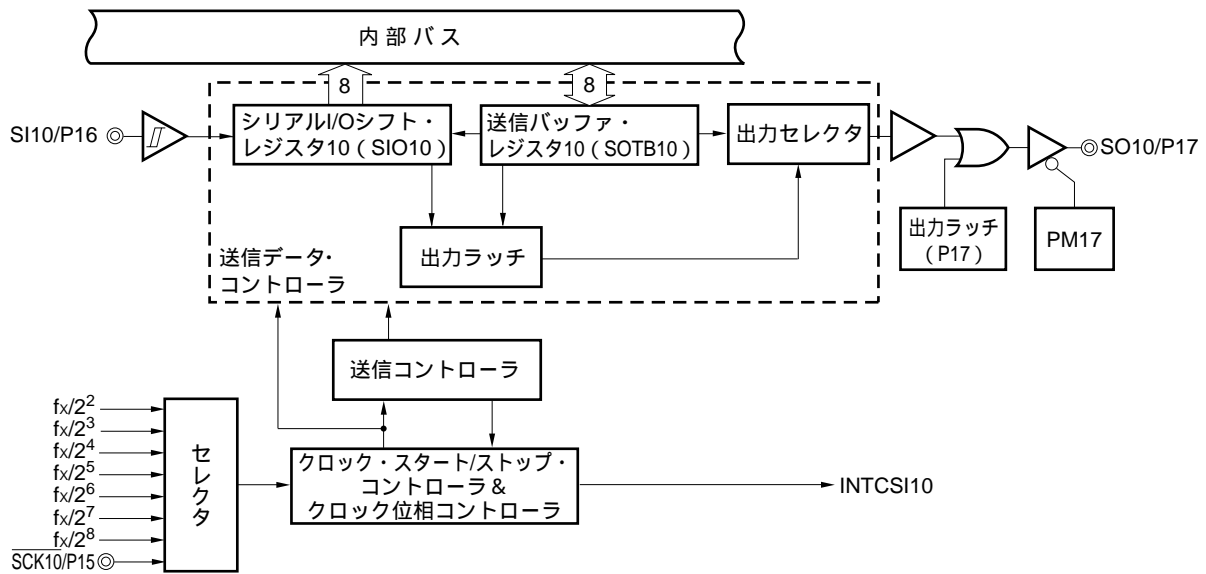
シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表17-1 シリアル・インタフェースCSI10の構成

項目	構成
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10) 送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)



図17-1 シリアル・インタフェースCSI10のブロック図



### (1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1 のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

$\overline{\text{RESET}}$ 入力により、不定になります。

**注意** CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

### (2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0 のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**注意** CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

## 17.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード，動作の許可／不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図17 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス：FF80H リセット時：00H R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアル/Oモード時の動作の制御
0	動作禁止 <sup>注2</sup> ，内部回路を非同期リセットする <sup>注3</sup>
1	動作許可

TRMD10 <sup>注4</sup>	送受信モードの制御
0 <sup>注5</sup>	受信モード (送信禁止)
1	送受信モード

DIR10 <sup>注6</sup>	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1．ビット0はRead Onlyです。

2．P15/ $\overline{\text{SCK10}}$ ，P16/SI10，P17/SO10/FLMD1を汎用ポートとして使用する場合は，第4章 ポート機能，図17 - 3の注意3を参照してください。

3．リセットされるのはCSIM10のビット0 (CSOT10) とシリアル/Oシフト・レジスタ10 (SIO10) です。

4．CSOT10 = 1 (シリアル通信中) のとき，TRMD10を書き換えないでください。

5．TRMD10が0のとき，SO10出力はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。

6．CSOT10 = 1 (シリアル通信中) のとき，DIR10を書き換えないでください。

注意 ビット5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定, シリアル・クロックを設定するレジスタです。  
 CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図17-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定		タイプ
0	0			1
0	1			2
1	0			3
1	1			4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 <sup>注</sup>	モード
0	0	0	$f_x/2^2$ ( 5 MHz )	マスタ・モード
0	0	1	$f_x/2^3$ ( 2.5 MHz )	マスタ・モード
0	1	0	$f_x/2^4$ ( 1.25 MHz )	マスタ・モード
0	1	1	$f_x/2^5$ ( 625 kHz )	マスタ・モード
1	0	0	$f_x/2^6$ ( 312.5 kHz )	マスタ・モード
1	0	1	$f_x/2^7$ ( 156.25 kHz )	マスタ・モード
1	1	0	$f_x/2^8$ ( 78.13 kHz )	マスタ・モード
1	1	1	SCK10への外部クロック入力	スレーブ・モード

注 シリアル・クロックは次の条件を満たすように設定してください。

・  $V_{DD} = 4.0 \sim 5.5 \text{ V}$  : シリアル・クロック 5 MHz

- 注意 1 . CPUへのソース・クロックに内蔵発振クロックを選択している場合、シリアル・クロックに内蔵発振回路の分周クロックが供給されます。このとき、シリアル・インタフェースCSI10の動作は保証されません。
- 2 . CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。
  - 3 . P15/ $\overline{\text{SCK10}}$ , P16/SI10, P17/SO10/FLMD1を汎用ポートとして使用する場合、CKP10に0を設定してください。
  - 4 . リセット後のデータ・クロックの位相タイプは、タイプ1になります。

- 備考 1 . ( ) 内は $f_x = 20 \text{ MHz}$ 動作時  
 2 .  $f_x$  : X1入力クロック発振周波数

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P15/ $\overline{\text{SCK10}}$ をシリアル・インタフェースのクロック出力として使用するとき、PM15に0を、P15の出力ラッチに1を設定してください。

P17/SO10/FLMD1をシリアル・インタフェースのデータ出力として使用するとき、PM17およびP17の出力ラッチに0を設定してください。

P15/ $\overline{\text{SCK10}}$ をシリアル・インタフェースのクロック入力、P16/SI10をシリアル・インタフェースのデータ入力として使用するとき、PM15, PM16に1を設定してください。このとき、P15, P16の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図17-4 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

## 17.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

### 17.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P15/SCK10, P16/SI10, P17/SO10/FLMD1を通常の入出力ポートとして使用できます。

#### (1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

#### (a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 <sup>注1</sup> ，内部回路を非同期リセットする <sup>注2</sup>

注1．P15/SCK10, P16/SI10, P17/SO10/FLMD1端子を汎用ポートとして使用する場合は、第4章 ポート機能，図17-3の注意3を参照してください。

2．リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

## 17.4.2 3線式シリアル/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ( $\overline{\text{SCK10}}$ ) , シリアル出力 (SO10) , シリアル入力 (SI10) の3本のラインで通信を行います。

### (1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアル/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図17 - 3を参照)

CSIM10レジスタのビット0, 4, 6 (CSOT10, DIR10, TRMD10) を設定 (図17 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアル/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

**注意** ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表17 - 2 レジスタの設定と端子の関係

CSIE10	TRMD10	PM16	P16	PM17	P17	PM15	P15	CSI10 の動作	端子機能		
									SI10/P16	SO10/P17/ FLMD1	SCK10/P15
0	x	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	x <sup>注1</sup>	停止	P16	P17/FLMD1	P15 <sup>注2</sup>
1	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	1	x	スレーブ 受信 <sup>注3</sup>	SI10	P17/FLMD1	$\overline{\text{SCK10}}$ (入力) <sup>注3</sup>
1	1	x <sup>注1</sup>	x <sup>注1</sup>	0	0	1	x	スレーブ 送信 <sup>注3</sup>	P16	SO10	$\overline{\text{SCK10}}$ (入力) <sup>注3</sup>
1	1	1	x	0	0	1	x	スレーブ 送受信 <sup>注3</sup>	SI10	SO10	$\overline{\text{SCK10}}$ (入力) <sup>注3</sup>
1	0	1	x	x <sup>注1</sup>	x <sup>注1</sup>	0	1	マスタ 受信	SI10	P17/FLMD1	$\overline{\text{SCK10}}$ (出力)
1	1	x <sup>注1</sup>	x <sup>注1</sup>	0	0	0	1	マスタ 送信	P16	SO10	$\overline{\text{SCK10}}$ (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	$\overline{\text{SCK10}}$ (出力)

注1．ポート機能として設定することができます。

2．P15/ $\overline{\text{SCK10}}$ をポート機能として使用する場合、CKP10を0に設定してください。

3．スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

- 備考
- x : don't care
  - CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
  - TRMD10 : CSIM10のビット6
  - CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
  - CKS102, CKS101, CKS100 : CSIC10のビット2-0
  - PM1 x : ポート・モード・レジスタ
  - P1 x : ポートの出力ラッチ



(2) 通信動作

3線式シリアル/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアル/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

**注意** CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図17 - 5 3線式シリアル/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

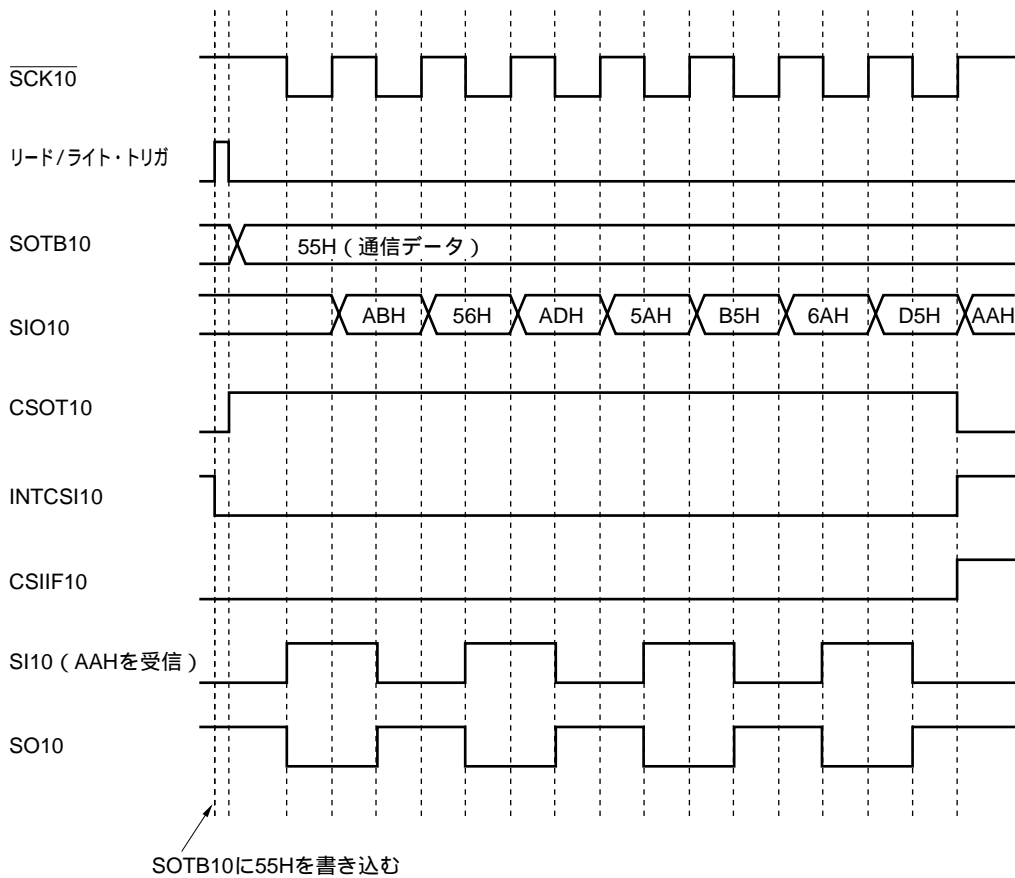


図17 - 5 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

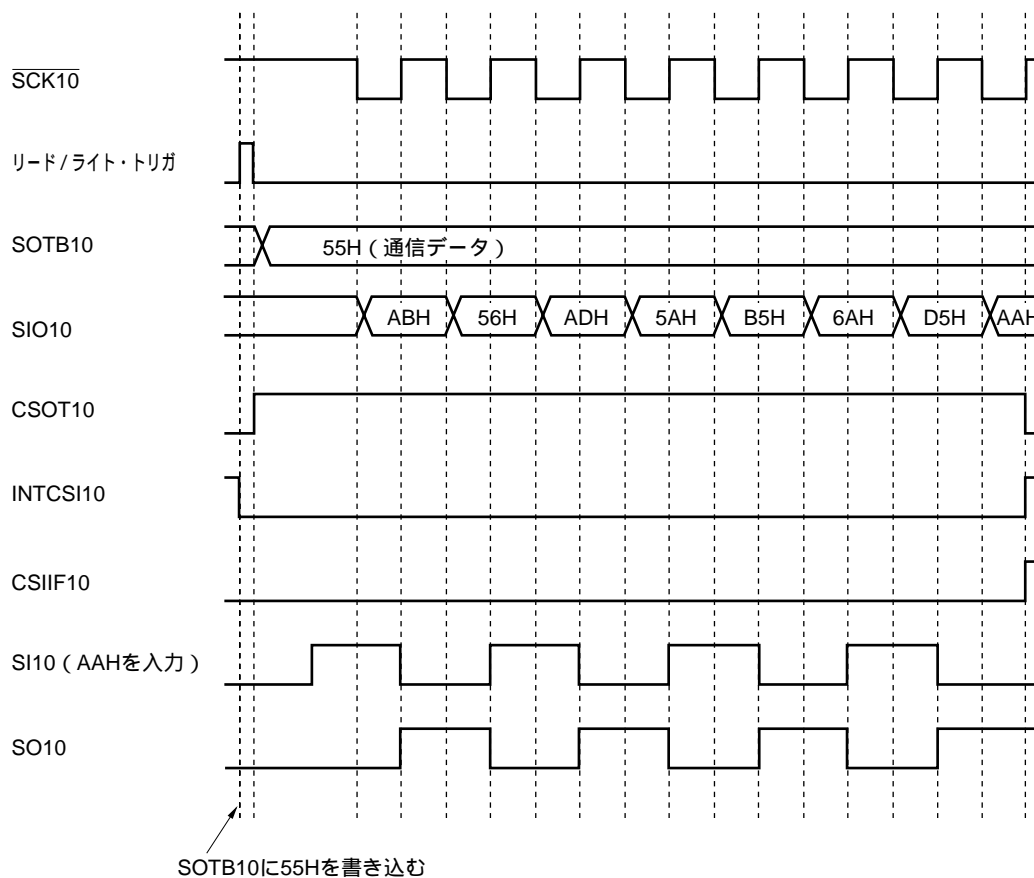
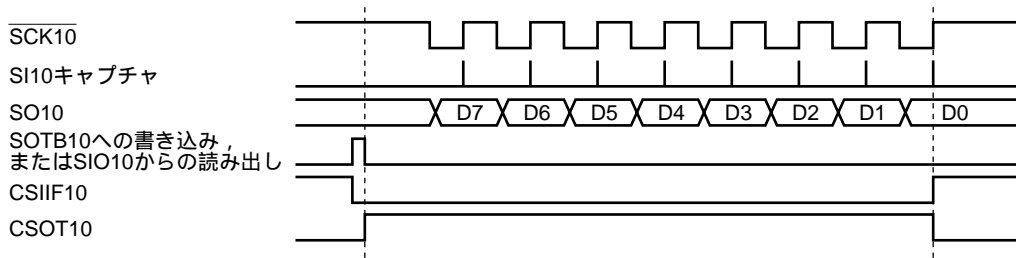
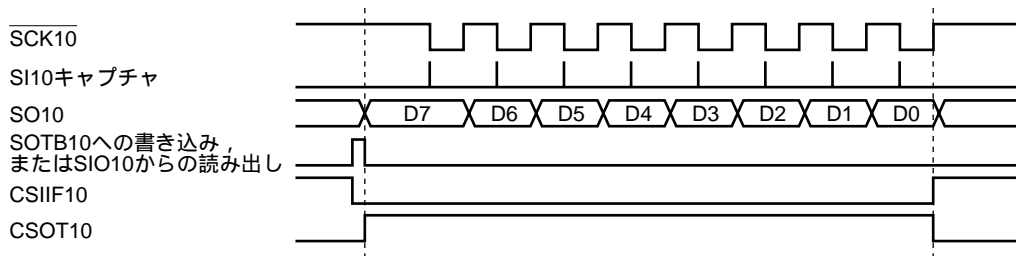


図17-6 クロック/データ位相のタイミング

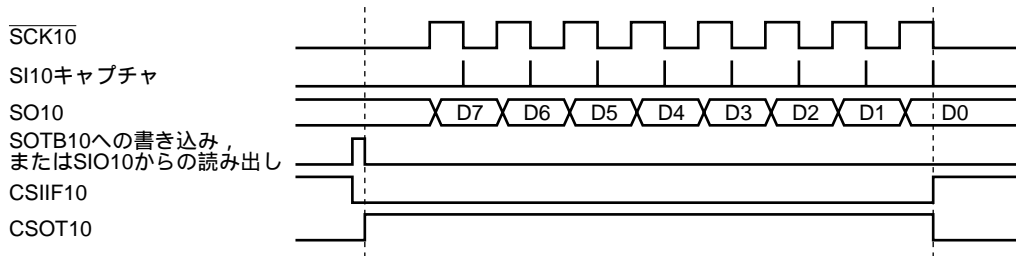
(a) タイプ1 ; CKP10 = 0, DAP10 = 0



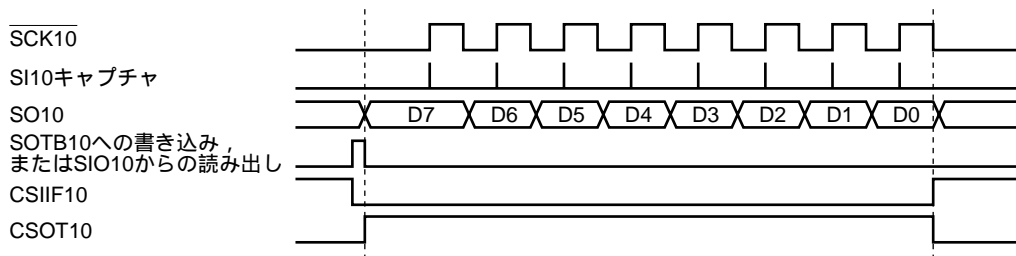
(b) タイプ2 ; CKP10 = 0, DAP10 = 1



(c) タイプ3 ; CKP10 = 1, DAP10 = 0



(d) タイプ4 ; CKP10 = 1, DAP10 = 1

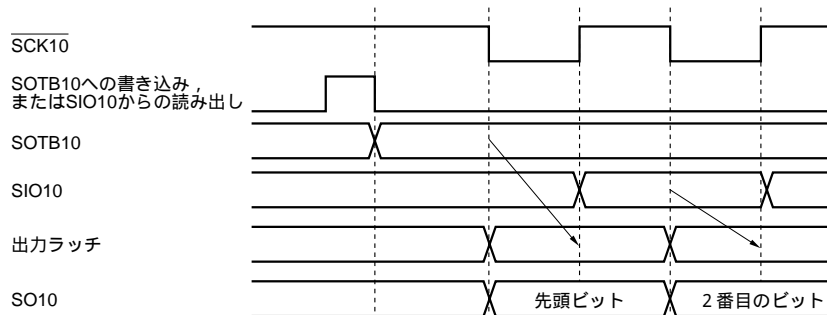


(3) SO10端子への出力タイミング(先頭ビット)

通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図17 - 7 先頭ビットの出力動作

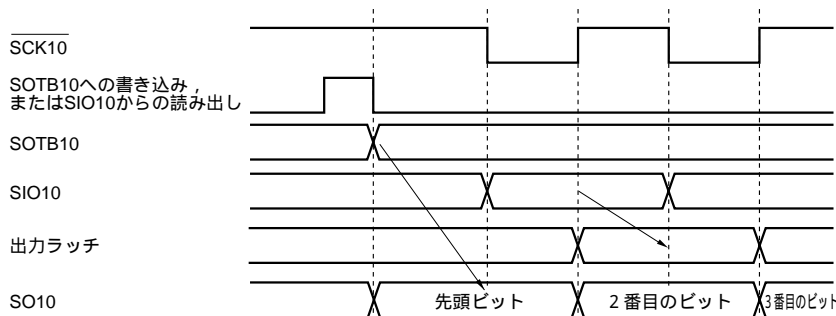
(1) CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



先頭ビットは、 $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち上がり(または立ち下がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(2) CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

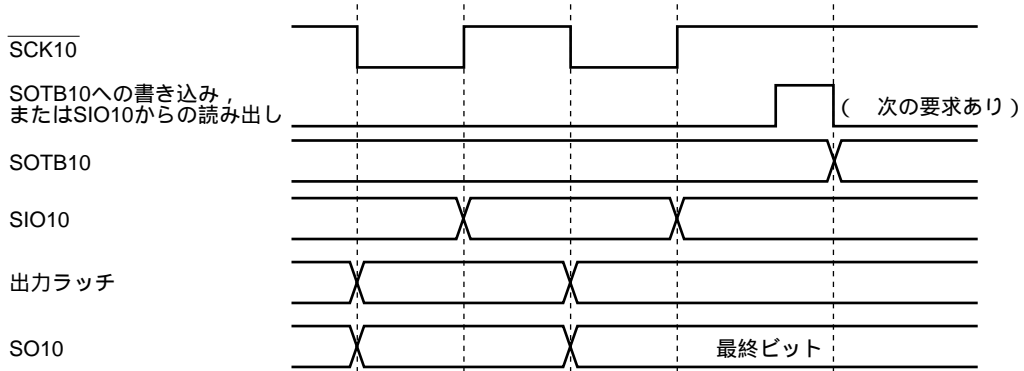
2番目のビット以降は、次の $\overline{\text{SCK10}}$ の立ち上がり(または立ち下がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値(最終ビット)

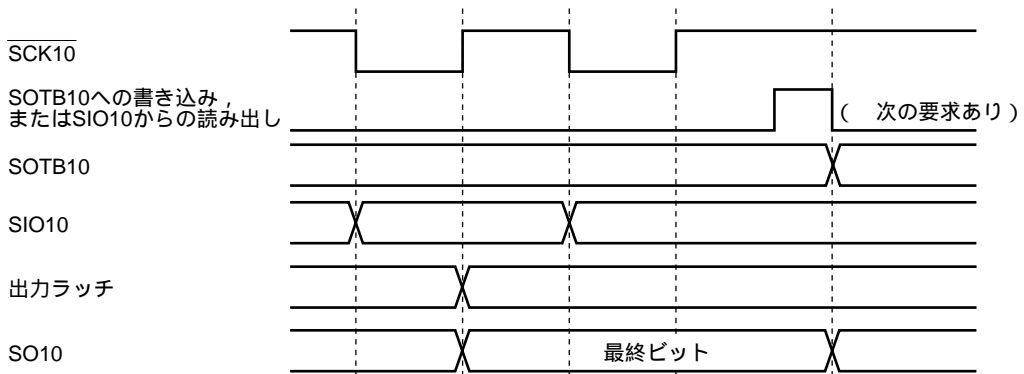
通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

図17 - 8 SO10端子の出力値(最終ビット)

(1) タイプ1 ; CKP10 = 0, DAP10 = 0 (またはCKP10 = 1, DAP10 = 0)



(2) タイプ2 ; CKP10 = 0, DAP10 = 1 (またはCKP10 = 1, DAP10 = 1)



## (5) SO10出力について

シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) を0に設定すると、SO10出力は次のようになります。

表17 - 3 SO10出力の状態

TRMD10	DAP10	DIR10	SO10出力 <sup>注1</sup>
TRMD10 = 0 <sup>注2</sup>	-	-	ロウ・レベル出力 <sup>注2</sup>
TRMD10 = 1	DAP10 = 0	-	SO10ラッチの値 (ロウ・レベル出力)
	DAP10 = 1	DIR10 = 0	SOTB10のビット7の値
		DIR10 = 1	SOTB10のビット0の値

注1 . 実際のSO10/P17/FLMD1端子の出力は、SO10出力のほかにPM17とP17によって決まります。

2 . リセット時の状態です。

注意 TRMD10, DAP10, DIR10に値を書き込むと、SO10の出力値が変わります。

# 第18章 乗除算器

## 18.1 乗除算器の機能

乗除算器には、次のような機能を持ちます。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷16ビット = 32ビット 剰余16ビット (除算)

## 18.2 乗除算器の構成

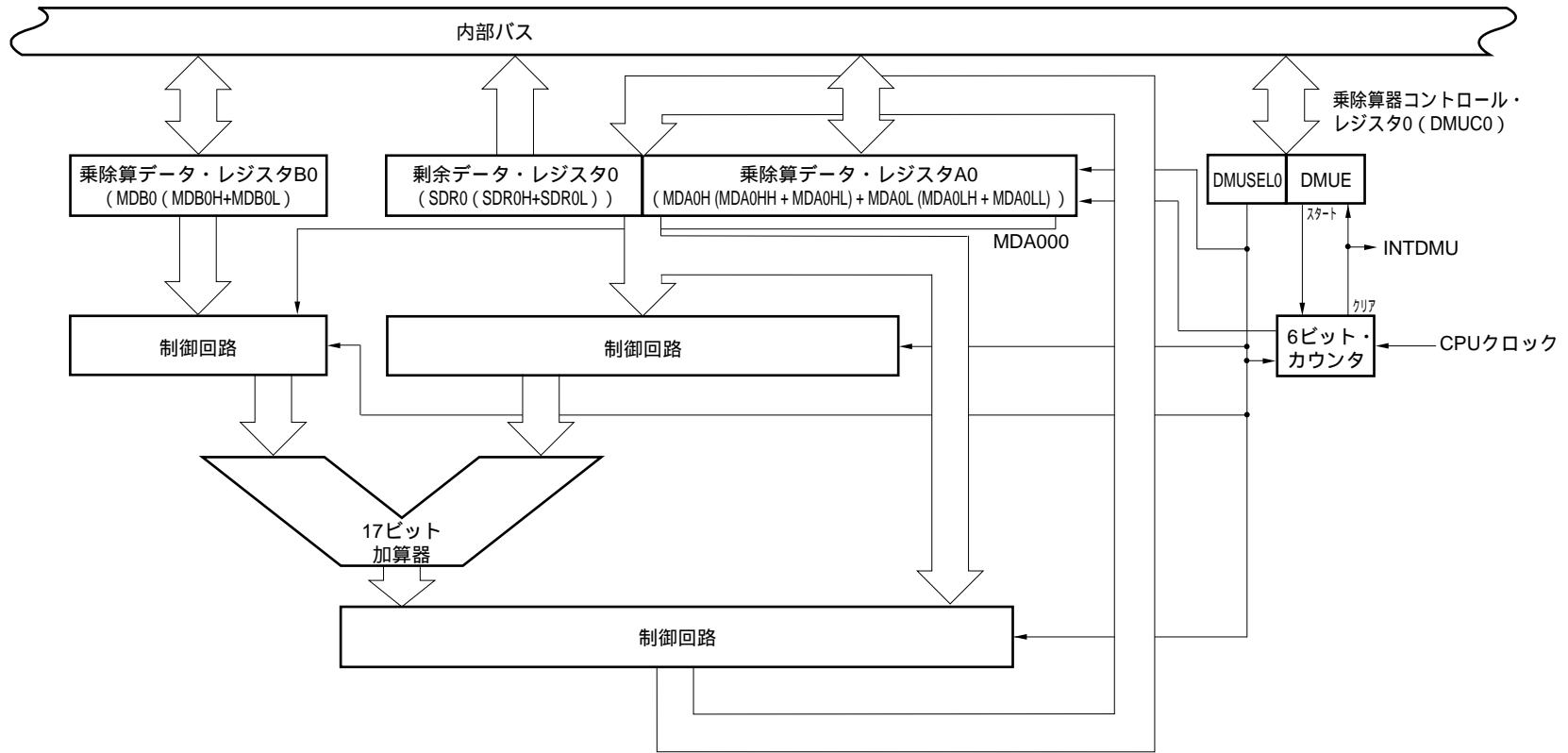
乗除算器は、次のハードウェアで構成されています。

表18 - 1 乗除算器の構成

項目	構成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図18 - 1 に示します。

図18 - 1 乗除算器のブロック図





(1) 剰余データ・レジスタ0 (SDR0)

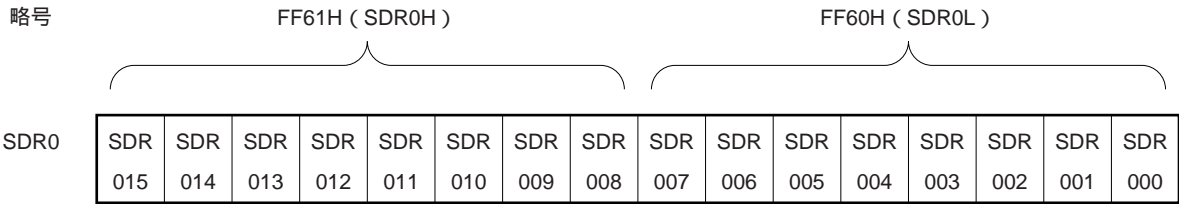
SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”を、除算モード時は演算結果の“剰余”を格納します。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

RESET入力により、0000Hになります。

図18 - 2 剰余データ・レジスタ0 (SDR0) のフォーマット

アドレス：FF60H, FF61H リセット時：0000H R



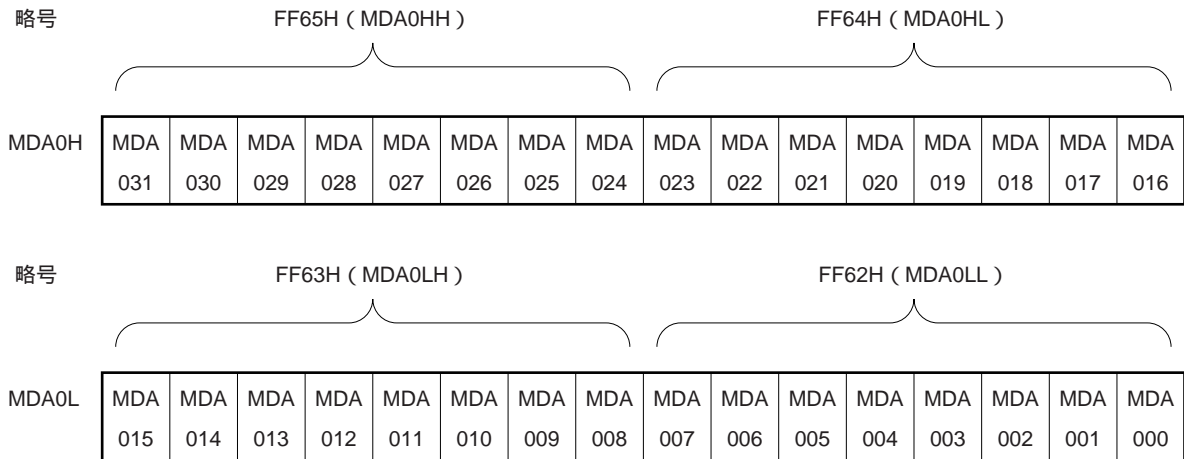
- 注意 1 . 演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) にSDR0の値を読み出した場合、その値は保証されません。**
- 2 . 演算開始時 (DMUEを1に設定するとき)、SDR0はリセットされます。**

(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです(上位16ビット:MDA0H, 下位16ビット:MDA0L)。

図18 - 3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス: FF62H, FF63H, FF64H, FF65H リセット時: 0000H, 0000H R/W



- 注意 1. 乗算モードでの演算開始時(乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき), MDA0Hはクリア(0)されます。
2. 演算処理中(乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき)に, MDA0の値を書き換えしないでください。この場合でも演算は実施しますが, 演算結果は不定となります。
3. 演算処理中(DMUEが1のとき)にMDA0の値を読み出した場合, その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表18 - 2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果 (商)
1	乗算モード	上位16ビット: " 0 ", 下位16ビット: 乗数A	乗算結果 (積)

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数 A >                      < 乗数 B >                      < 積 >

$$\text{MDA0 (ビット15-0)} \times \text{MDB0 (ビット15-0)} = \text{MDA0 (ビット31-0)}$$

・除算時のレジスタ構成

< 被除数 >                      < 除数 >                      < 商 >                      < 剰余 >

$$\text{MDA0 (ビット31-0)} \div \text{MDB0 (ビット15-0)} = \text{MDA0 (ビット31-0)} \dots \text{SDR0 (ビット15-0)}$$

MDA0は乗除算器コントロール・レジスタ0 (DMUC0)のビット7 (DMUE)が1に設定されている間、クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

RESET入力により、0000Hになります。

(3) 乗除算データ・レジスタB0 (MDB0)

MDB0は、乗算モード時は16ビットの乗数Bを、除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

RESET入力により、0000Hになります。

図18 - 4 乗除算データ・レジスタB0 (MDB0)のフォーマット

アドレス: FF66H, FF67H    リセット時: 0000H    R/W

略号

FF67H (MDB0H)

FF66H (MDB0L)

MDB0

MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB
015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000

注意1. 演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0)のビット7 (DMUE)が1のとき) に、MDB0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。

2. 除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。

## 18.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0 (DMUC0) で制御します。

### (1) 乗除算器コントロール・レジスタ0 (DMUC0)

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

RESET入力により、00Hになります。

図18 - 5 乗除算器コントロール・レジスタ0 (DMUC0) のフォーマット

アドレス : FF68H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0
DMUE <sup>注</sup>	演算動作の開始 / 停止							
0	演算動作停止							
1	演算動作開始							
DMUSEL0	演算モード (乗算 / 除算) の選択							
0	除算モード							
1	乗算モード							

注 DMUEをセット (1) すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア (0) されます。

注意1 演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。

2 演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0)、剰余データ・レジスタ0 (SDR0) に格納されます。

3 演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0)、乗除算データ・レジスタB0 (MDB0)、乗除算器コントロール・レジスタ0 (DMUC0) を設定し、演算動作を開始 (DMUE = 1) してください。

## 18.4 乗除算器の動作

### 18.4.1 乗算動作

- ・初期設定

1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。

- ・演算処理中

3. 演算開始から内部クロックの16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。

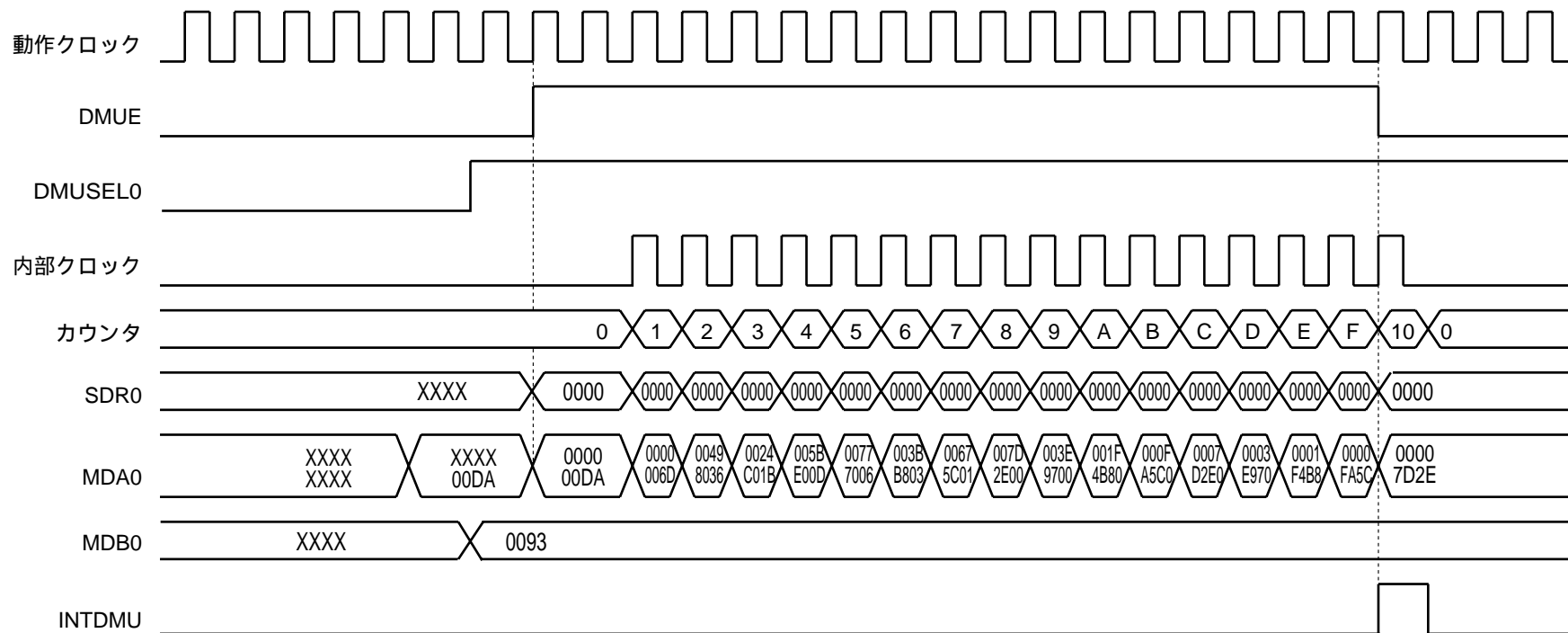
- ・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

- ・次回演算

7. 次に乗算を行う場合は, 18.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 18.4.2 **除算動作**の初期設定から行ってください。

図18 - 6 乗算動作のタイミング図 (00DAH × 0093H)



## 18.4.2 除算動作

### ・初期設定

1. 乗除算データ・レジスタA0 (MDA0L, MDA0H) , 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0 , ビット7 (DMUE) に1を設定してください。演算動作が開始します。

### ・演算処理中

3. 演算開始から内部クロックの32クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。

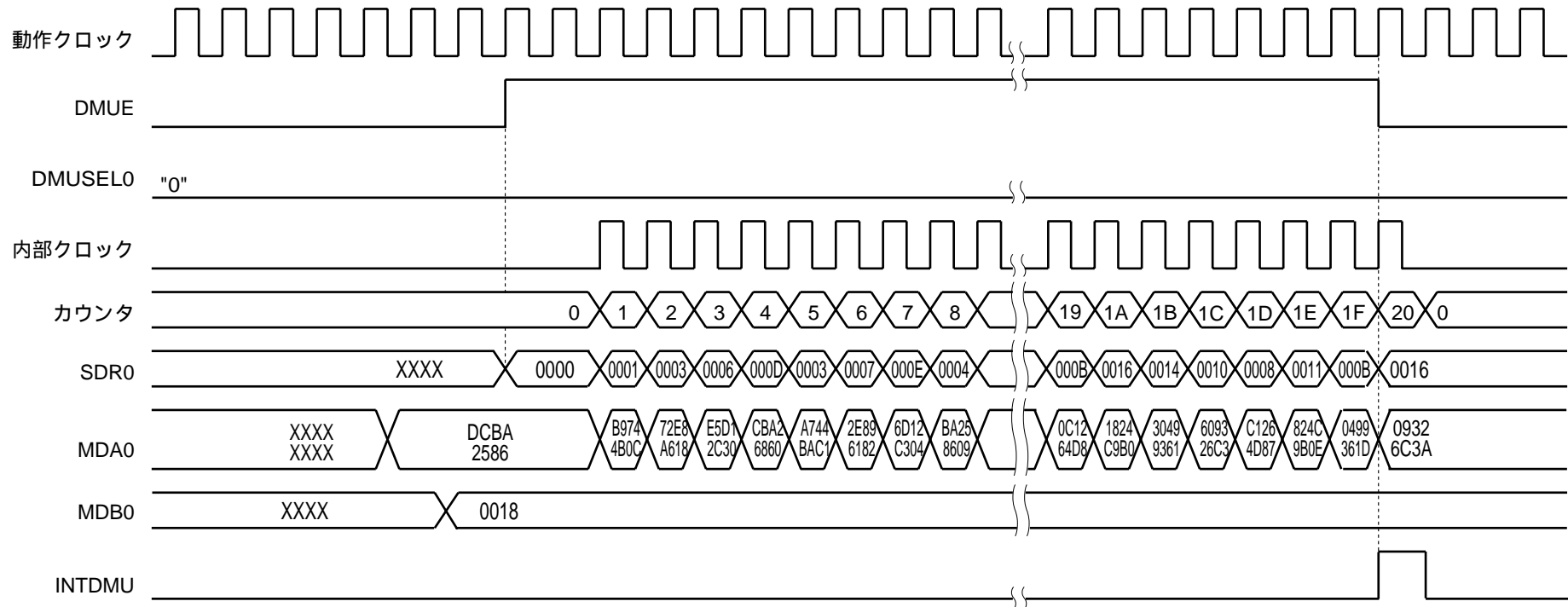
### ・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

### ・次回演算

7. 次に乗算を行う場合は, 18.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 18.4.2 **除算動作**の初期設定から行ってください。

図18 - 7 除算動作のタイミング図 (DCBA2586H ÷ 0018H)





# 第19章 割り込み機能

## 19.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

### (1) ノンマスカブル割り込み

割り込み禁止状態でも受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。ただし、ノンマスカブル割り込み中の場合、割り込み要求は保留されます。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

ノンマスカブル割り込みは、低電圧検出回路からの割り込み要求だけです。

### (2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表19 - 1 参照)。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求が8要因、内部割り込み要求が19要因あります。

### (3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

## 19.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計29要因あります (表19 - 1 参照)。

表19 - 1 割り込み要因一覧 (1/2)

割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名称	トリガ			
ノンマスクブル	-	INTLVI	低電圧検出 <sup>注3</sup>	内部	0004H	( A )
マスクブル	0	INTP0	端子入力エッジ検出	外部	0006H	( B )
	1	INTP1			0008H	
	2	INTP2			000AH	
	3	INTP3			000CH	
	4	INTP4			000EH	
	5	INTP5			0010H	
	6	INTP6			0012H	
	7	INTP7			0014H	
	8	INTTW0UD	TW0UDCのアンダフロー	内部	0016H	( A )
	9	INTTW0CM3	TW0UDCとTW0CM3の一致		0018H	
	10	INTTW0CM4	TW0UDCとTW0CM4の一致		001AH	
	11	INTTW0CM5	TW0UDCとTW0CM5の一致		001CH	
	12	INTCM10	IT20UDCとIT20CM0の一致		001EH	
	13	INTCM11	IT20UDCとIT20CM1の一致		0020H	
	14	INTCC10	IT20UDCとIT20CC0の一致 (コンペア・モード時) , TIT20CC0の有効エッジ検出 (キャプチャ・モード時)		0022H	
	15	INTCC11	IT20UDCとIT20CC1の一致 (コンペア・モード時) , TIT20CC1の有効エッジ検出 (キャプチャ・モード時)		0024H	
	-	-	-		0026H <sup>注4</sup>	
	16	INTTM00	TM00とCR00の一致 (コンペア・レジスタ指定時) , TI001有効エッジ検出 (キャプチャ・レジスタ指定時)		0028H	
	17	INTTM01	TM00とCR01の一致 (コンペア・レジスタ指定時) , TI000有効エッジ検出 (キャプチャ・レジスタ指定時)		002AH	
	18	INTSRE00	UART00の受信エラー発生		002CH	
	19	INTSR00	UART00受信完了		002EH	
	20	INTST00	UART00送信完了		0030H	
	21	INTTM50	TM50とCR50の一致		0032H	
	22	INTTM51	TM51とCR51の一致		0034H	
	23	INTTMH0	TMH0とCMP00の一致		0036H	
	24	INTCSI10	CSI10転送完了		0038H	
25	INTDMU	乗除算演算終了	003AH			
26	INTAD	A/Dの変換終了	003CH			

注1 . デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、26が最低順位です。

2 . 基本構成タイプの ( A ) - ( C ) は、それぞれ図19 - 1 の ( A ) - ( C ) に対応しています。

3 . 低電圧検出レジスタ ( LVIM ) のビット 1 ( LVIMD ) = 0選択時。

4 . ベクタ・テーブル・アドレスの0026Hに該当する割り込み要因はありません。

表19 - 1 割り込み要因一覧 (2/2)

割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名称	トリガ			
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	( C )
リセット	-	RESET	リセット入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 <sup>注3</sup>			
		WDT	WDTのオーパフロー			

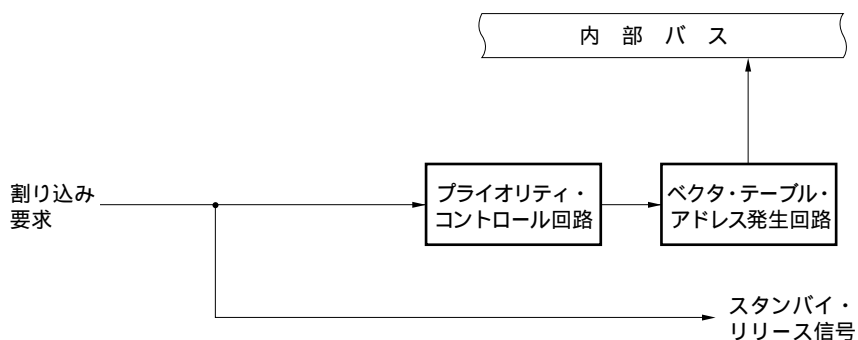
注1．デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、26が最低順位です。

2．基本構成タイプの(A)-(C)は、それぞれ図19 - 1の(A)-(C)に対応しています。

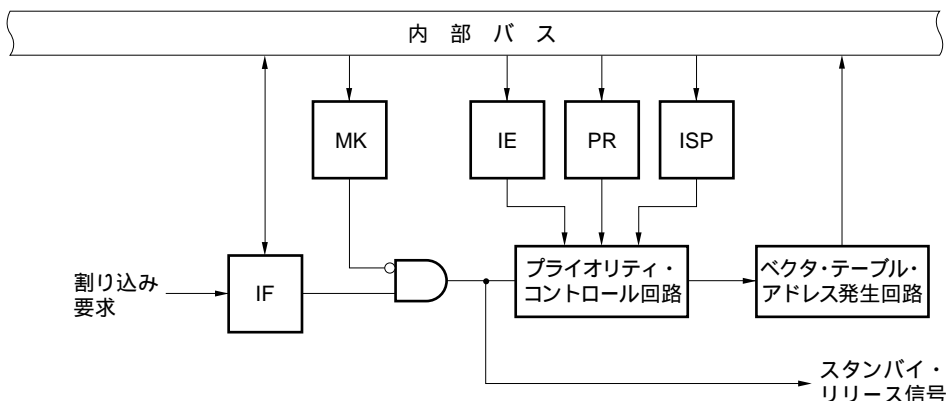
3．低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図19 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスカブル割り込み



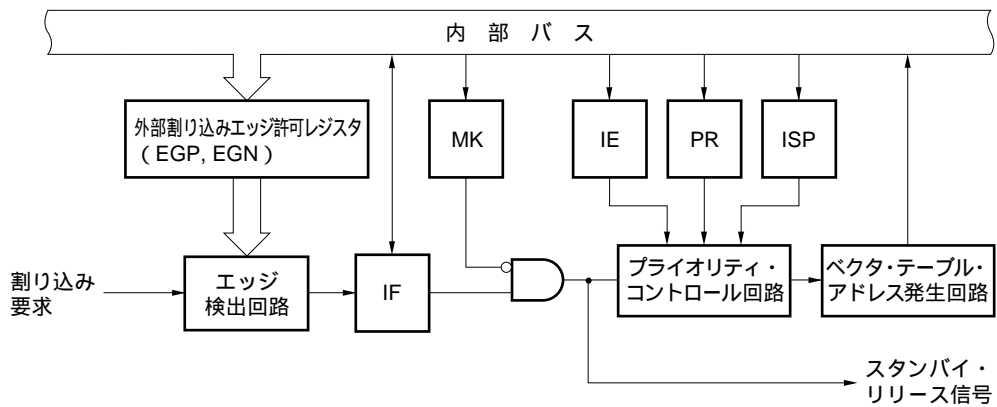
(B) 内部マスカブル割り込み



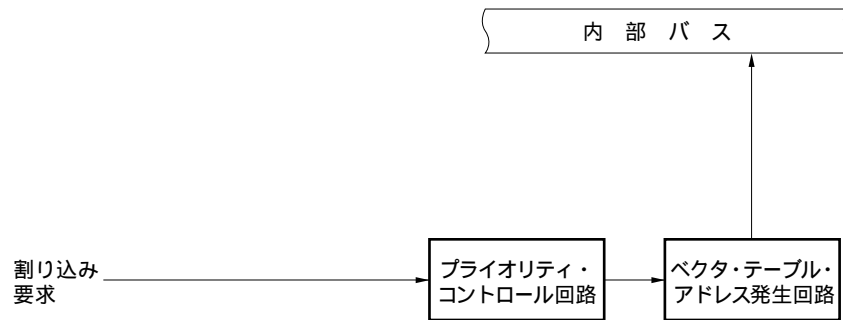
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

図19 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスク割り込み (INTP0-INTP7)



(D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサース・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

## 19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表19 - 2に示します。

表19 - 2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ				
		レジスタ		レジスタ		レジスタ			
INTP0	PIF0	IF0L	PMK0	MK0L	PPR0	PR0L			
INTP1	PIF1		PMK1		PPR1				
INTP2	PIF2		PMK2		PPR2				
INTP3	PIF3		PMK3		PPR3				
INTP4	PIF4		PMK4		PPR4				
INTP5	PIF5		PMK5		PPR5				
INTP6	PIF6		PMK6		PPR6				
INTP7	PIF7	IF0H	PMK7	MK0H	PPR7	PR0H			
INTTW0UD	UDIFW0		UDMKW0		UDPRW0				
INTTW0CM3	CM3IFW0		CM3MKW0		CM3PRW0				
INTTW0CM4	CM4IFW0		CM4MKW0		CM4PRW0				
INTTW0CM5	CM5IFW0		CM5MKW0		CM5PRW0				
INTCM10	CMIF10		CMMK10		CMPR10				
INTCM11	CMIF11		CMMK11		CMPR11				
INTCC10	CCIF10		CCMK10		CCPR10				
INTCC11	CCIF11		IF1L		CCMK11		MK1L	CCPR11	PR1L
INTTM00	TMIF00				TMMK00			TMPR00	
INTTM01	TMIF01	TMMK01		TMPR01					
INTSRE00	SREIF00	SREMK00		SREPR00					
INTSR00	SRIF00	SRMK00		SRPR00					
INTST00	STIF00	STMK00		STPR00					
INTTM50	TMIF50	TMMK50		TMPR50					
INTTM51	TMIF51	IF1H		TMMK51	MK1H	TMPR51		PR1H	
INTTMH0	TMIFH0		TMMKH0	TMPRH0					
INTCSI10	CSIF10		CSIMK10	CSIPR10					
INTDMU	DMUIF		DMUMK	DMUPR					
INTAD	ADIF		ADMK	ADPR					

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、 $\overline{\text{RESET}}$  入力時、命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図19 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	0 <sup>注</sup>

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	CCIF10	CMIF11	CMIF10	CM5IFW0	CM4IFW0	CM3IFW0	UDIFW0	PIF7

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF50	STIF00	SRIF00	SREIF00	TMIF01	TMIF00	0 <sup>注</sup>	CCIF11

アドレス：FFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0 <sup>注</sup>	0 <sup>注</sup>	0 <sup>注</sup>	ADIF	DMUIF	CSIIF10	TMIFH0	TMIF51

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 IF0Lのビット0, IF1Lのビット1, IF1Hのビット5-7には、必ず0を設定してください。

注意 1 . タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

- 2 . 割り込み要求フラグ・レジスタのフラグ操作には, 1 ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1 ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0 ;」や「\_asm ("clr1 IF0L, 0") ;」のようなビット操作命令を使用してください。

なお, C言語で「IF0L & = 0xfe ;」のように8 ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov  a, IF0L
and  a, #0FEH
mov  IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8 ビット・メモリ操作命令を使用する場合は注意が必要です。



(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、MK0L, MK0H, MK1LはFFHに、MK1HはDFHになります。

図19 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	1注

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	CCMK10	CMMK11	CMMK10	CM5MKW0	CM4MKW0	CM3MKW0	UDMKW0	PMK7

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK50	STMK00	SRMK00	SREMK00	TMMK01	TMMK00	1注	CCMK11

アドレス : FFE7H リセット時 : DFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1注	1注	0注	ADMK	DMUMK	CSIMK10	TMMKH0	TMMK51

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 MK0Lのビット0, MK1Lのビット1, MK1Hのビット6, 7には必ず1を, MK1Hのビット5には必ず0を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図19 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	PPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	1注

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	CCPR10	CMPR11	CMPR10	CM5PRW0	CM4PRW0	CM3PRW0	UDPRW0	PPR7

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	TMPR50	STPR00	SRPR00	SREPR00	TMPR01	TMPR00	1注	CCPR11

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1注	1注	1注	ADPR	DMUPR	CSIPR10	TMPRH0	TMPR51

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 PR0Lのビット0，PR1Lのビット1，PR1Hのビット5-7には、必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)  
 INTP0-INTP7の有効エッジを設定するレジスタです。  
 EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 RESET入力により、00Hになります。

図19 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnとEGNnに対応するポートを表19 - 3 に示します。

表19 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P00	INTP0
EGP1	EGN1	P01	INTP1
EGP2	EGN2	P02	INTP2
EGP3	EGN3	P03	INTP3
EGP4	EGN4	P52	INTP4
EGP5	EGN5	P53	INTP5
EGP6	EGN6	P55	INTP6
EGP7	EGN7	P56	INTP7

**注意** 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

**備考** n = 0 - 7

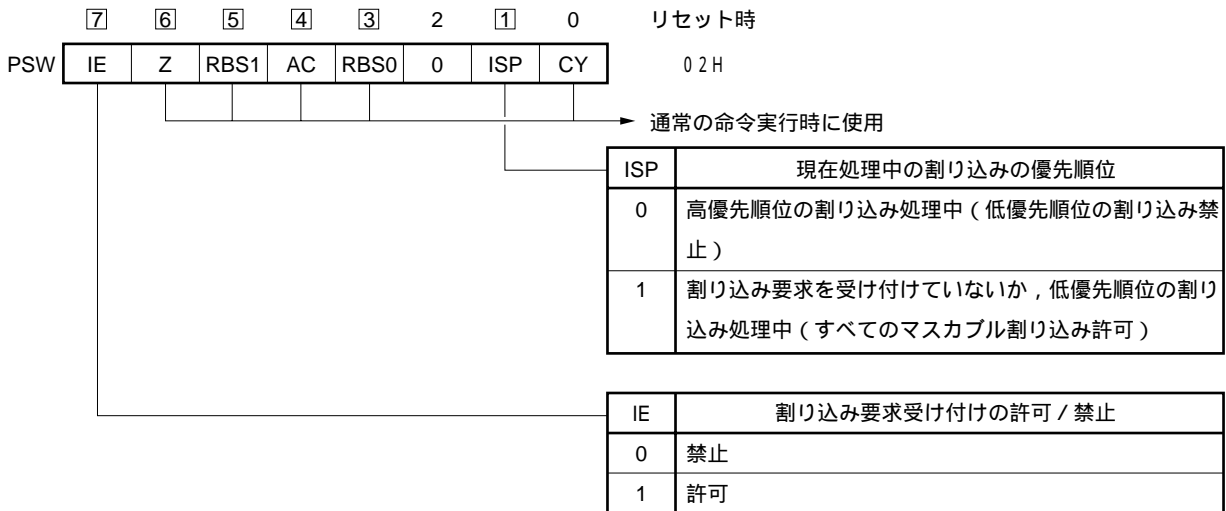
(5) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図19 - 6 プログラム・ステータス・ワードの構成



## 19.4 割り込み処理動作

### 19.4.1 ノンマスクابل割り込み要求の受け付け動作

ノンマスクابل割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグ, ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。これにより、多重割り込みの受け付けが禁止されます。

ノンマスクابل割り込みサービス・プログラム実行中に発生した新たなノンマスクابل割り込み要求は、現在処理中のノンマスクابل割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求が2回以上発生しても、そのノンマスクابل割り込みサービス・プログラム実行終了後に受け付けられるノンマスクابل割り込み要求は1回分だけになります。

ノンマスクابل割り込み要求の受け付けタイミングを図19-7に、ノンマスクابل割り込み要求が多重に発生した場合の受け付け動作を図19-8に示します。

**注意** ノンマスクابل割り込みから復帰するときは、必ずRETI命令を使用してください。

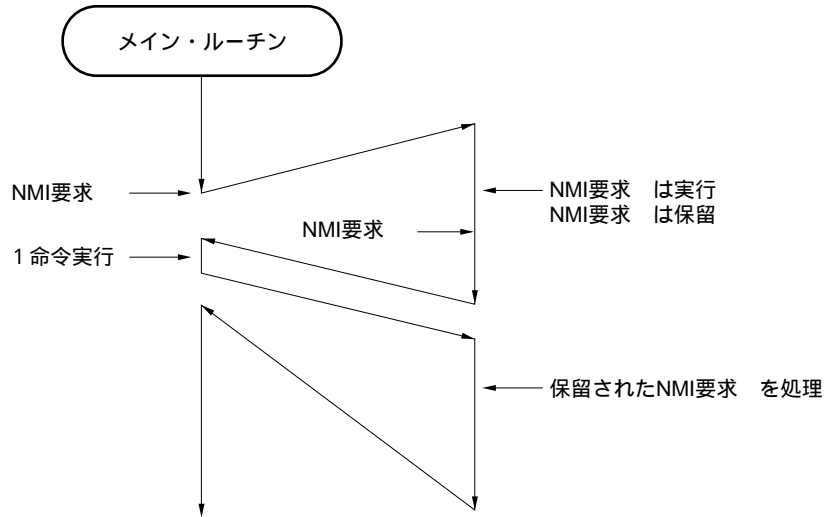
表19 - 7 ノンマスクابل割り込み要求の受け付けタイミング



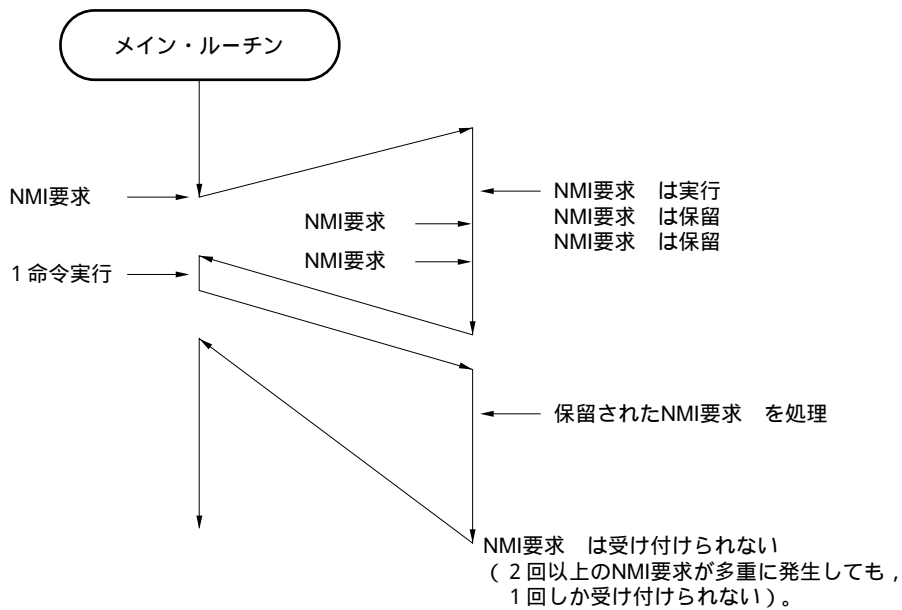
INTLVI : 低電圧検出割り込み要求信号

図19 - 8 ノンマスクابل割り込み要求の受け付け動作

( a ) ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求が発生した場合



( b ) ノンマスクابل割り込みサービス・プログラム実行中に新たに2回のノンマスクابل割り込み要求が発生した場合



## 19.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

また、ノンマスカブル割り込みサービス・プログラム実行中にEI命令を実行しても、ノンマスカブル割り込み要求およびマスカブル割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19-4のようになります。

割り込み要求の受け付けタイミングについては、図19-10、19-11を参照してください。

表19-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
x × PR = 0 のとき	7クロック	32クロック
x × PR = 1 のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f<sub>CPU</sub>（f<sub>CPU</sub>：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

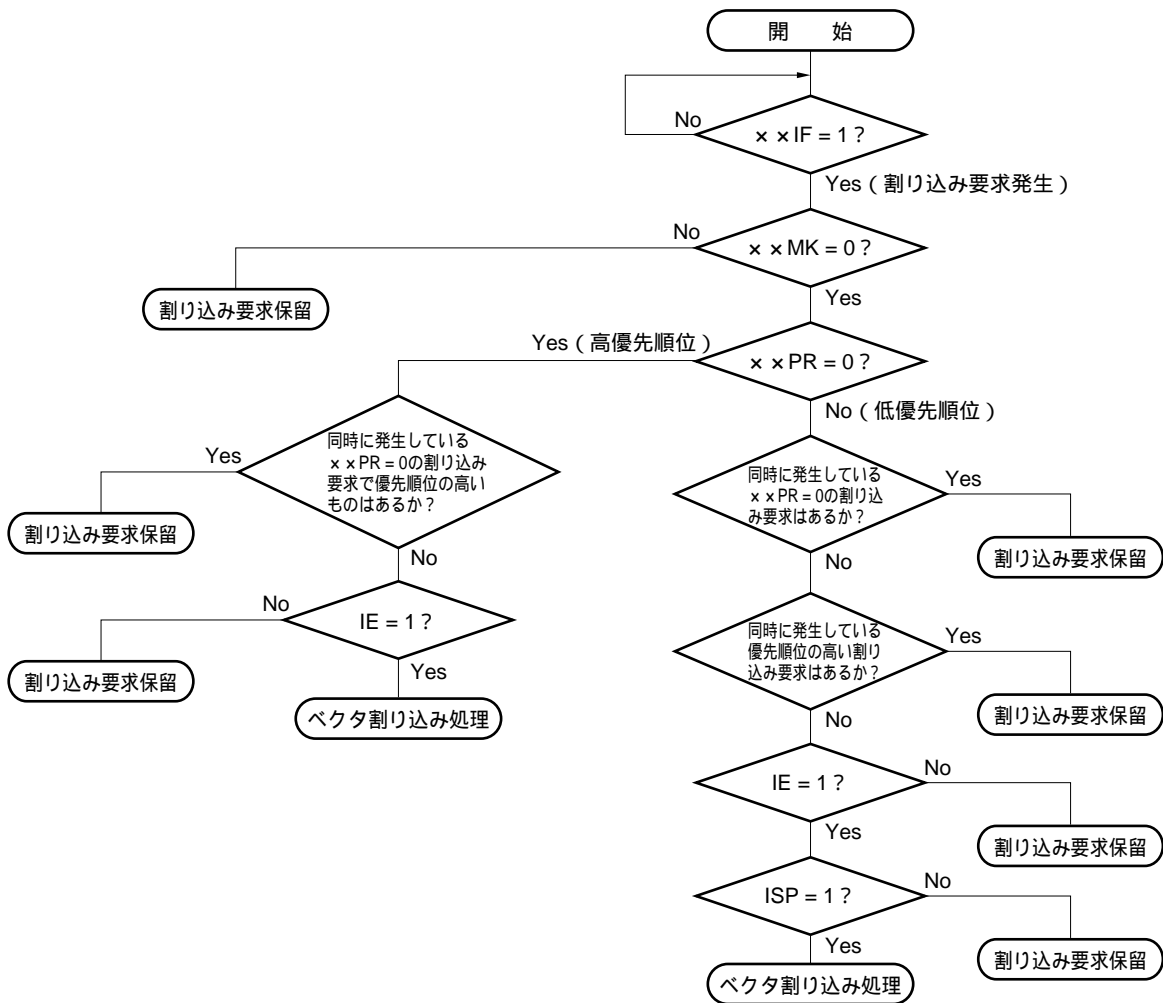
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19-9に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図19 - 9 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

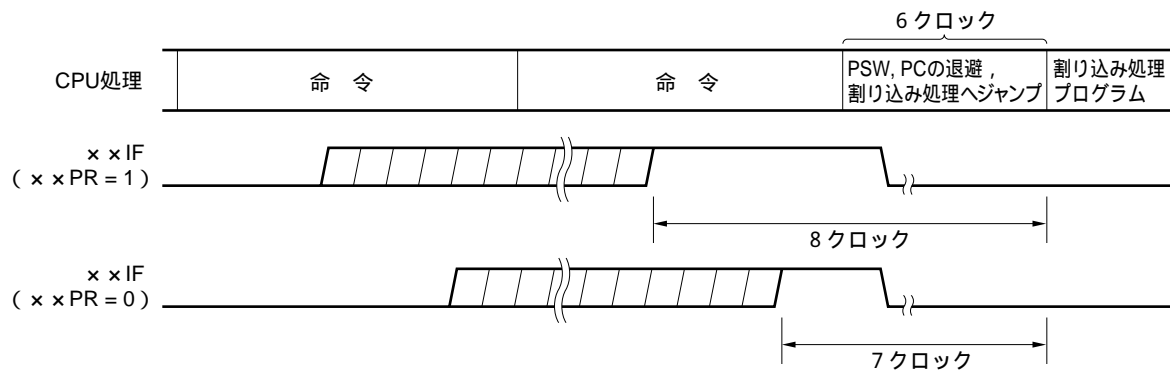
x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

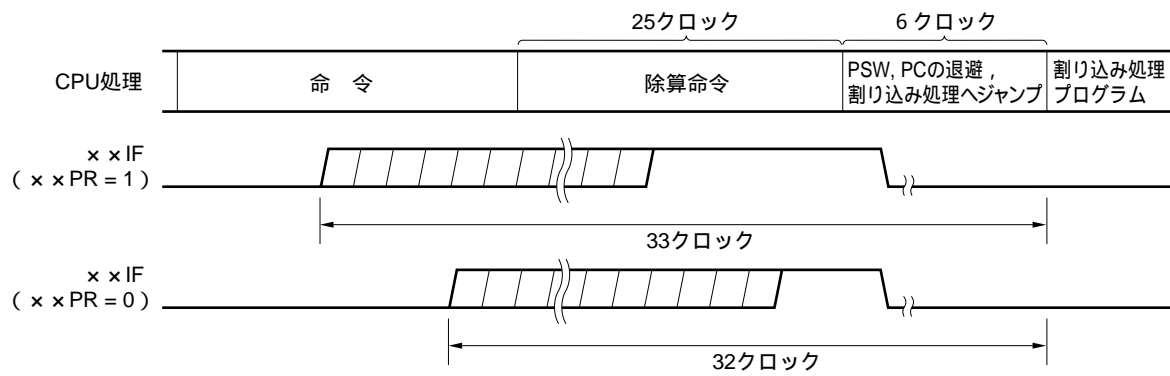


図19 - 10 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

図19 - 11 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

### 19.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

### 19.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクابل割り込みを除く)。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表19-5に多重割り込み可能な割り込み要求の関係を、図19-12に多重割り込みの例を示します。

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

処理中の割り込み	多重割り込み要求		マスクابل割り込み要求				ソフトウェア 割り込み要求
	ノンマスクابل 割り込み要求	マスクابل 割り込み要求	PR = 0		PR = 1		
			IE = 1	IE = 0	IE = 1	IE = 0	
ノンマスクابل割り込み	x		x	x	x	x	
マスクابل割り込み	ISP = 0			x	x	x	
	ISP = 1			x		x	
ソフトウェア割り込み				x		x	

備考1 . : 多重割り込み可能。

2 . x : 多重割り込み不可能。

3 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

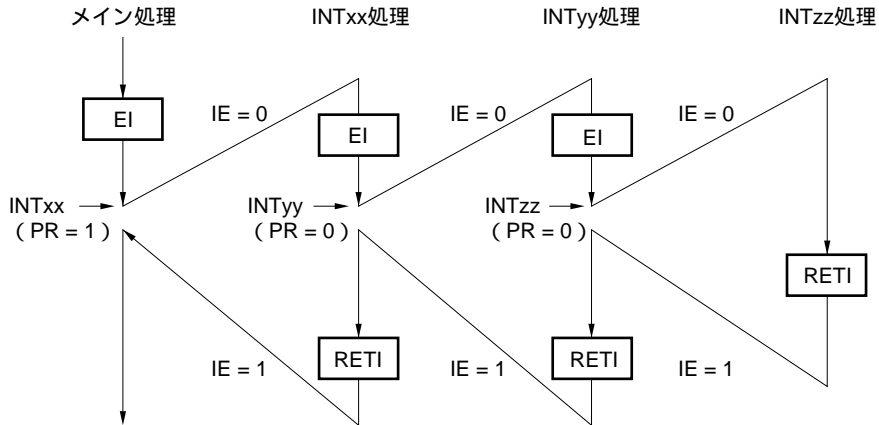
4 . PRIはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

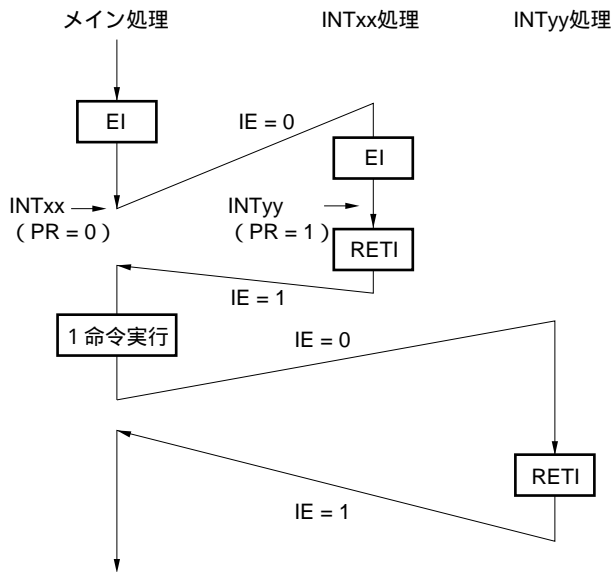
図19 - 12 多重割り込みの例 (1/2)

例 1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy、INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例 2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

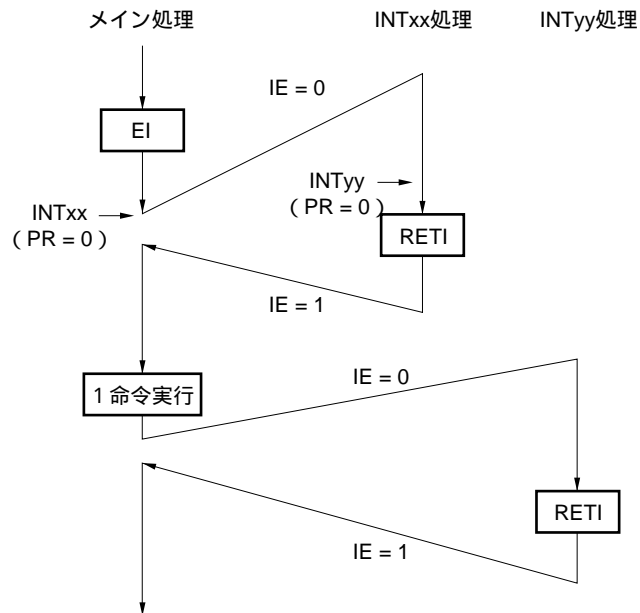
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図19 - 12 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理 1 命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

### 19.4.5 割り込み要求の保留

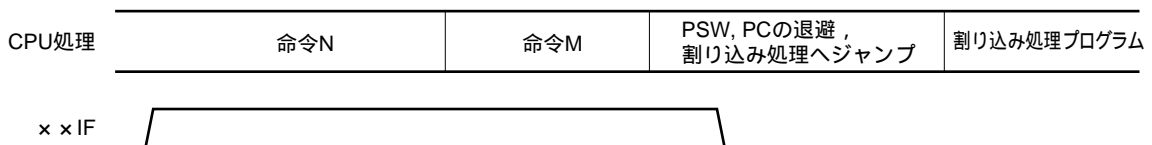
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

**注意** BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図19-13に示します。

図19 - 13 割り込み要求の保留



- 備考 1** . 命令N：割り込み要求の保留命令
- 2 . 命令M：割り込み要求の保留命令以外の命令
- 3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

## 第20章 スタンバイ機能

### 20.1 スタンバイ機能と構成

#### 20.1.1 スタンバイ機能

表20 - 1 各動作状態における動作クロックの関係

ステータス 動作モード	X1発振回路		内蔵発振回路			解除後のCPUクロック	周辺へ供給される	
	MSTOP = 0	MSTOP = 1	注1	注2			プリスケアラのクロック	
				RSTOP = 0	RSTOP = 1	MCM0 = 0	MCM0 = 1	
リセット	停止		停止			内蔵発振クロック	停止	
STOP			発振	発振	停止注4	注5	停止	
HALT	発振	停止注3				注6	内蔵発振 クロック	X1

注1．オプション・バイトにて内蔵発振器を「停止不可」に選択時

- 2．オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」に選択時
- 3．内蔵発振器発振時のみ
- 4．X1発振時のみ
- 5．STOP命令実行時のCPUクロックにて動作します。
- 6．HALT命令実行時のCPUクロックにて動作します。

注意 RSTOPの設定は、オプション・バイトにて内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7

RSTOP：内蔵発振モード・レジスタ（RCM）のビット0

MCM0：メイン・クロック・モード・レジスタ（MCM）のビット0

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

#### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前にX1発振回路、内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

## (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、X1発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意 1** . STOP, HALTモードはCPUがX1入力クロック、内蔵発振クロックのどちらかの動作状態で使用できます。ただし、内蔵発振クロック動作時にSTOP命令を実行した場合、X1発振回路は停止しますが、内蔵発振器は停止しません。
- 2 . STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。
  - 3 . A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
  - 4 . STOPモード設定前に内蔵発振器が動作している場合、STOPモードでは内蔵発振クロックの発振を停止することはできません。ただしCPUクロックが内蔵発振クロックの場合、STOP動作解除後  $17/f_R$  (s) 間はCPU動作停止になります。

## 20.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

**備考** クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。



(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1入力クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが内蔵発振クロックの場合に、X1入力クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 ( $\overline{\text{RESET}}$ 入力、POC、LVI、WDTによるリセット)、STOP命令、MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

図20 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス：FFA3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
						$f_{XP} = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_{XP}$ 以上	102.4 $\mu\text{s}$ 以上
1	1	0	0	0	$2^{13}/f_{XP}$ 以上	409.6 $\mu\text{s}$ 以上
1	1	1	0	0	$2^{14}/f_{XP}$ 以上	819.2 $\mu\text{s}$ 以上
1	1	1	1	0	$2^{15}/f_{XP}$ 以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_{XP}$ 以上	3.27 ms以上

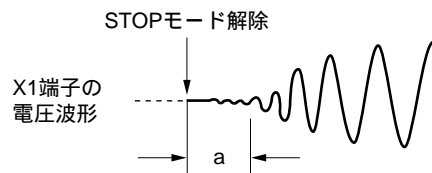
注意 1 . 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。

2 . CPUクロックが内蔵発振クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

X1発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTCで設定している発振安定時間までのステータスしかセットされないので注意してください。

3 . STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 (下図 a) は含みません。



備考  $f_x$  : X1入力クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1入力クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに内蔵発振クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により、05Hになります。

図20 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFA4H リセット時：05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

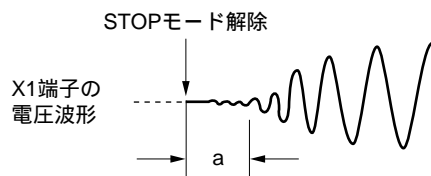
OSTS2	OSTS1	OSTS0	発振安定時間の選択	
				$f_{XP} = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_{XP}$	102.4 $\mu\text{s}$
0	1	0	$2^{13}/f_{XP}$	409.6 $\mu\text{s}$
0	1	1	$2^{14}/f_{XP}$	819.2 $\mu\text{s}$
1	0	0	$2^{15}/f_{XP}$	1.64 ms
1	0	1	$2^{16}/f_{XP}$	3.27 ms
上記以外			設定禁止	

注意1 . CPUクロックが内蔵発振クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

X1発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

2 . STOPモード解除時のウエイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考  $f_x$  : X1入力クロック発振周波数

## 20.2 スタンバイ機能の動作

### 20.2.1 HALTモード

#### (1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、X1入力クロック、内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表20 - 2 HALTモード時の動作状態

項 目	HALTモード の設定		内蔵発振クロックでCPU動作中のHALT命令実行時	
	X1入力クロックでCPU動作中のHALT命令実行時	内蔵発振クロックの 発振継続時	内蔵発振クロックの 発振停止時 <sup>注1</sup>	X1入力クロック 発振継続時
システム・クロック	CPUへのクロック供給は停止。			
CPU	動作停止			
ポート（ラッチ）	HALTモード設定前の状態を保持			
10ビット・インバー タ制御用タイマ	動作可能		動作保証不可	
16ビット・アップ/ダウ ン・カウンタITENC20	動作可能		動作保証不可	
16ビット・タイマ/イ ベント・カウンタ00	動作可能		動作保証不可	
8ビット・タイマ/イ ベント・カウンタ50	動作可能		カウント・クロックにTI50選択時以外は動作保証不可	
8ビット・タイマ/イ ベント・カウンタ51	動作可能		カウント・クロックにfr/2 <sup>7</sup> またはTI51選択時以外は動作保証不可	
8ビット・タイマH0	動作可能		8ビット・タイマ/イベント・カウンタ50動作時にカウント・クロックをTM50出力選択時以外は動作保証不可	
ウォッチ ドッグ・ タイマ	内蔵発振器 停止不可 <sup>注2</sup>	動作可能	動作可能	
	内蔵発振器 停止可 <sup>注2</sup>	動作停止		
クロック出力/ブ ザー出力制御回路	動作可能			動作保証不可
リアルタイム出力 ポート	動作可能		外部トリガ（INTP2）を使用時または、8ビット・タイマ/イベント・カウンタ51のカウント・クロックにTI51選択時以外は動作保証不可	
A/Dコンバータ	動作可能		動作保証不可	
シリアル・ インタ フェース	UART00	動作可能		8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックをTM50出力選択時以外は動作保証不可
	CSI10	動作可能		シリアル・クロックに外部SCK10選択時以外は動作保証不可
乗除算器	動作可能		動作保証不可	
パワーオン・クリア 機能	動作可能			
低電圧検出機能	動作可能			
外部割り込み	動作可能			

注1．オプション・バイトで内蔵発振器を「ソフトウェアにより停止可能」を選択し、ソフトウェアで内蔵発振器を停止した場合（オプション・バイトについては第24章 オプション・バイト参照）。

2．オプション・バイトで内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます。

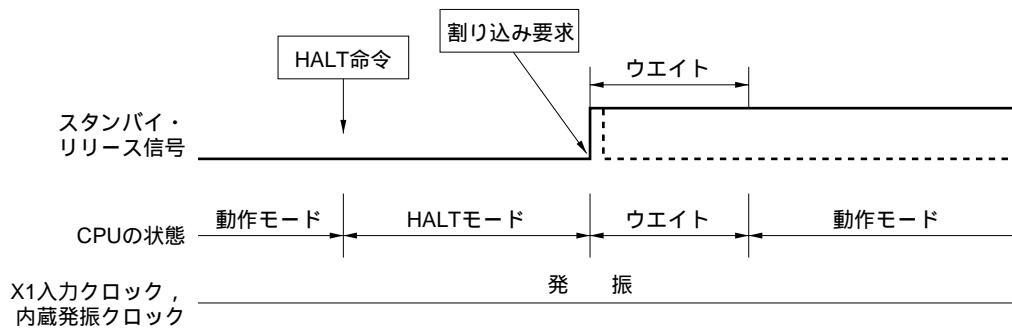
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 3 HALTモードの割り込み要求発生による解除



備考 1 . 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2 . ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8 ~ 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2 ~ 3クロック

(b) ノンマスクابل割り込み要求による解除

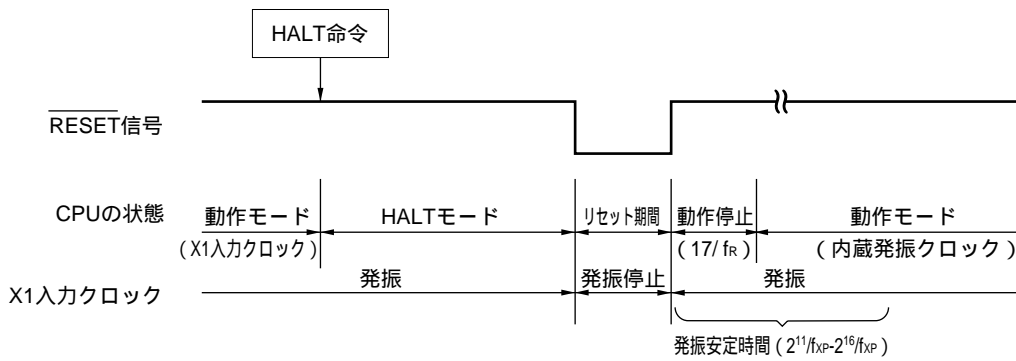
ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(b)  $\overline{\text{RESET}}$ 入力による解除

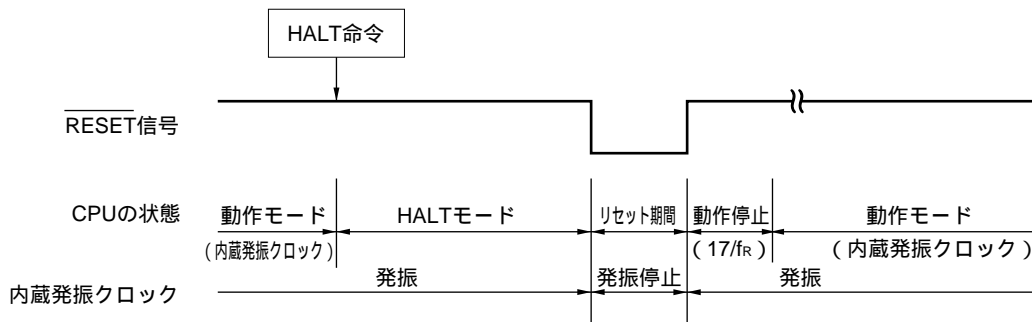
$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 4 HALTモードの $\overline{\text{RESET}}$ 入力による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックが内蔵発振クロックの場合



備考 1 .  $f_{XP}$  : X1入力クロック発振周波数

2 .  $f_R$  : 内蔵発振クロック周波数

表20 - 3 HALTモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
ノンマスカブル割り込み要求	-	-	x	x	割り込み処理実行
RESET入力	-	-	x	x	リセット処理

x : don't care

## 20.2.2 STOPモード

### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックは、X1入力クロック、内蔵発振クロックのいずれの場合でも設定可能です。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表20 - 4 STOPモード時の動作状態

STOPモードの 設定 項目	X1入力クロックでCPU動作中のSTOP命令実行時		内蔵発振クロックでCPU動作中 のSTOP命令実行時
	内蔵発振クロックの発振継続時	内蔵発振クロックの発振停止時 <sup>注1</sup>	
システム・クロック	X1発振回路のみ発振停止。 CPUへのクロック供給は停止。		
CPU	動作停止		
ポート（ラッチ）	STOPモード設定前の状態を保持		
10ビット・インバータ制御用タイマ	動作停止		
16ビット・アップ/ダウン・カウンタITENC20	動作停止		
16ビット・タイマ/イベント・カウンタ00	動作停止		
8ビット・タイマ/イベント・カウンタ50	カウント・クロックをTI50選択時のみ動作可能		
8ビット・タイマ/イベント・カウンタ51	カウント・クロックをTI51選択時のみ動作可能		
8ビット・タイマH0	8ビット・タイマ/イベント・カウンタ50動作時に、カウント・クロックをTM50出力選択時のみ動作可能		
ウォッチ ドッグ・ タイマ	内蔵発振器 停止不可 <sup>注2</sup>	動作可能	動作可能
	内蔵発振器 停止可 <sup>注2</sup>	動作停止	
クロック出力/ブザー出力制御回路	動作停止		
リアルタイム出力ポート	TM51動作時にINTTM51選択時か、外部トリガ（INTP2）選択時のみ動作可能		
A/Dコンバータ	動作停止		
シリアル・ インタフェース	UART00	TM50動作時に、シリアル・クロックをTM50出力選択時のみ動作可能	
	CSI10	シリアル・クロックに外部SCK10選択のみ動作可能	
乗除算器	動作停止		
パワーオン・クリア機能	動作可能		
低電圧検出機能	動作可能		
外部割り込み	動作可能		

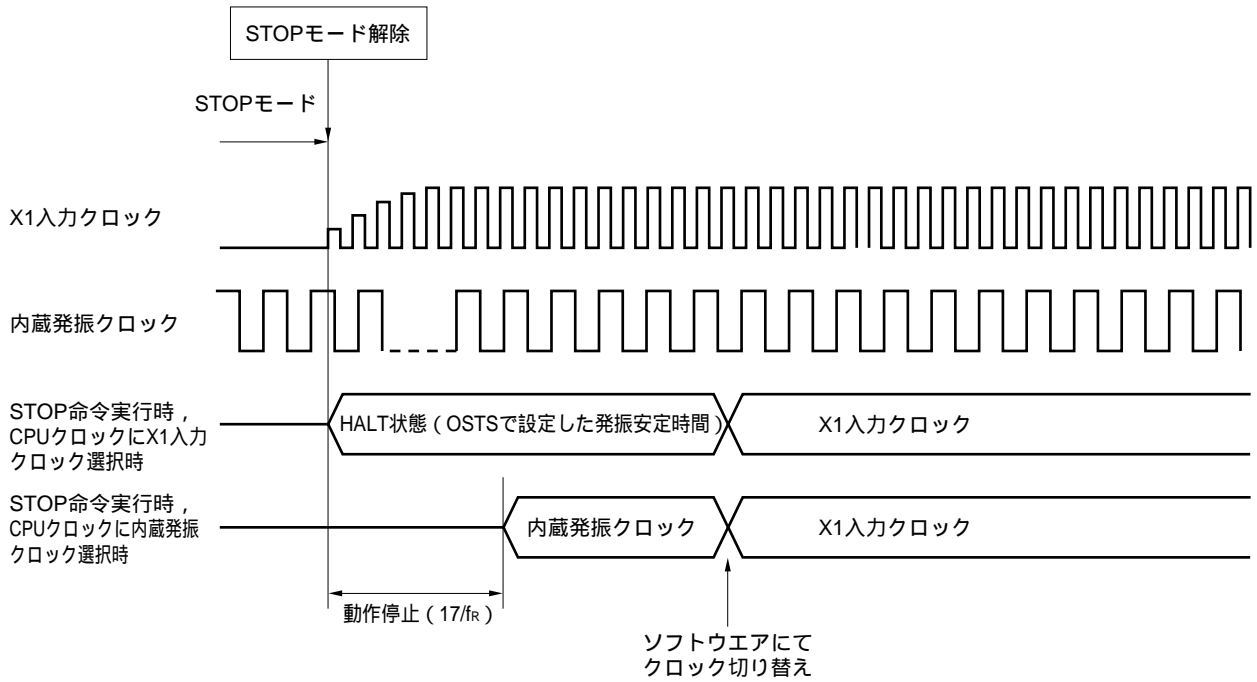
注1．オプション・バイトで内蔵発振器を「ソフトウェアにより停止可能」を選択し、ソフトウェアで内蔵発振器を停止した場合（オプション・バイトについては第24章 オプション・バイト参照）

2．オプション・バイトで内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます。



(2) STOPモードの解除

図20 - 5 STOPモード解除時の動作タイミング



STOPモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

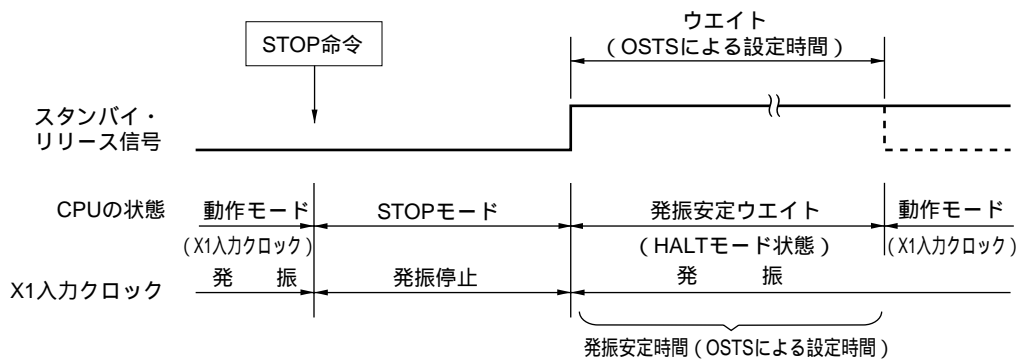
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

(b) ノンマスクابل割り込み要求による解除

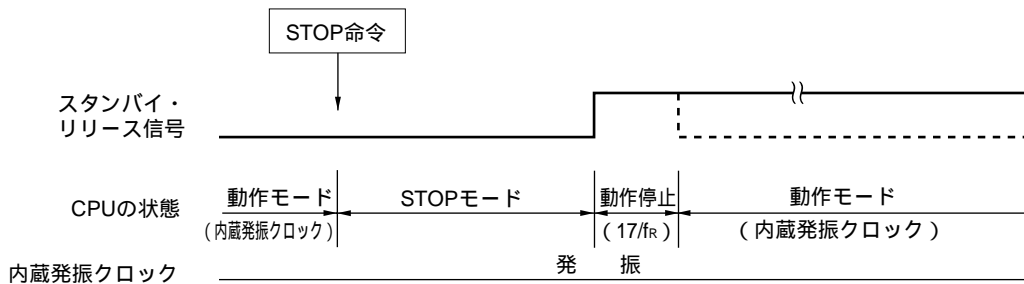
ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なくSTOPモードは解除され、発振安定時間経過後、ベクタ割り込み処理が行われます。

図20 - 6 STOPモードの割り込み要求発生による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックが内蔵発振クロックの場合



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

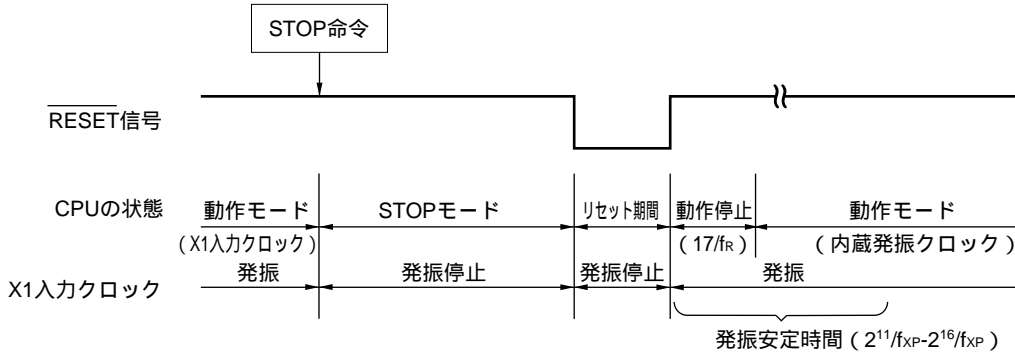
2. f<sub>R</sub> : 内蔵発振クロック周波数

(c)  $\overline{\text{RESET}}$ 入力による解除

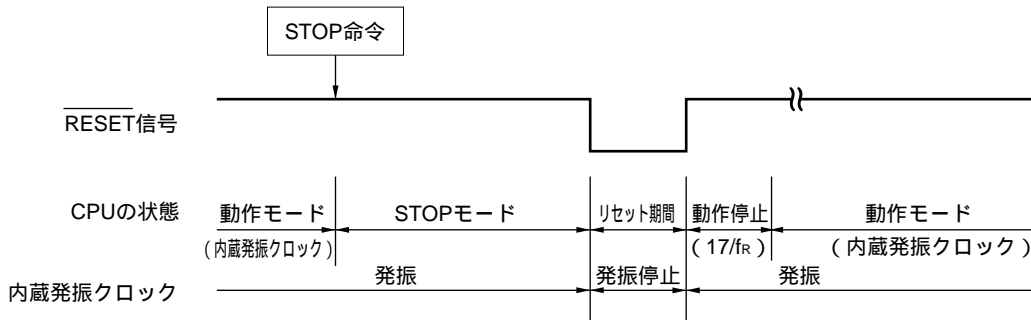
STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図20 - 7 STOPモードの $\overline{\text{RESET}}$ 入力による解除

(1) CPUクロックがX1入力クロックの場合



(2) CPUクロックが内蔵発振クロックの場合



備考1 .  $f_{XP}$  : X1入力クロック発振周波数

2 .  $f_R$  : 内蔵発振クロック周波数

表20 - 5 STOPモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
ノンマスカブル割り込み要求	-	-	x	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	x	x	リセット処理

x : don't care

## 第21章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) パワーオン・クリア(POC)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路(LVI)の電源電圧と検出電圧との比較による内部リセット

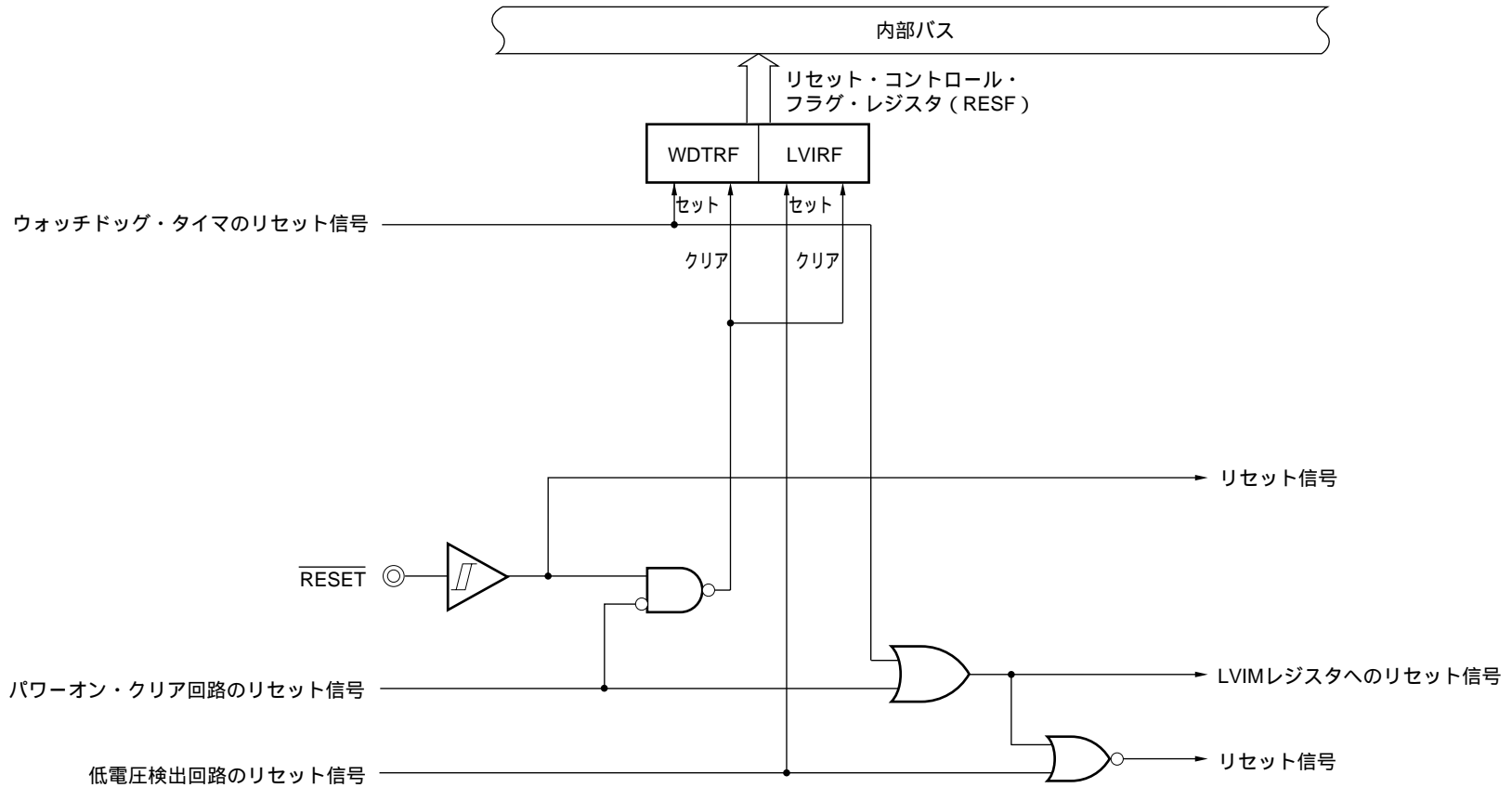
外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマのオーバフローが発生するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表21 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各ポート端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、リセット後、自動的にリセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、内蔵発振クロックでプログラムの実行を開始します(図21 - 2から図21 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、 $17/f_R$ (s)間CPUクロック動作停止後、内蔵発振クロックでプログラムの実行を開始します(第22章 パワーオン・クリア回路と第23章 低電圧検出回路参照)。

- 注意 1 . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10\mu\text{s}$ 以上のロウ・レベルを入力してください。**
- 2 . リセット入力中は、X1入力クロック、内蔵発振クロックともに発振を停止します。
  - 3 . リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

図21 - 1 リセット機能のブロック図



**注意** LVIM回路の内部リセットの場合、LVIM回路はリセットされません。

**備考** LVIM：低電圧検出レジスタ

図21 - 2 RESET入力によるリセット・タイミング

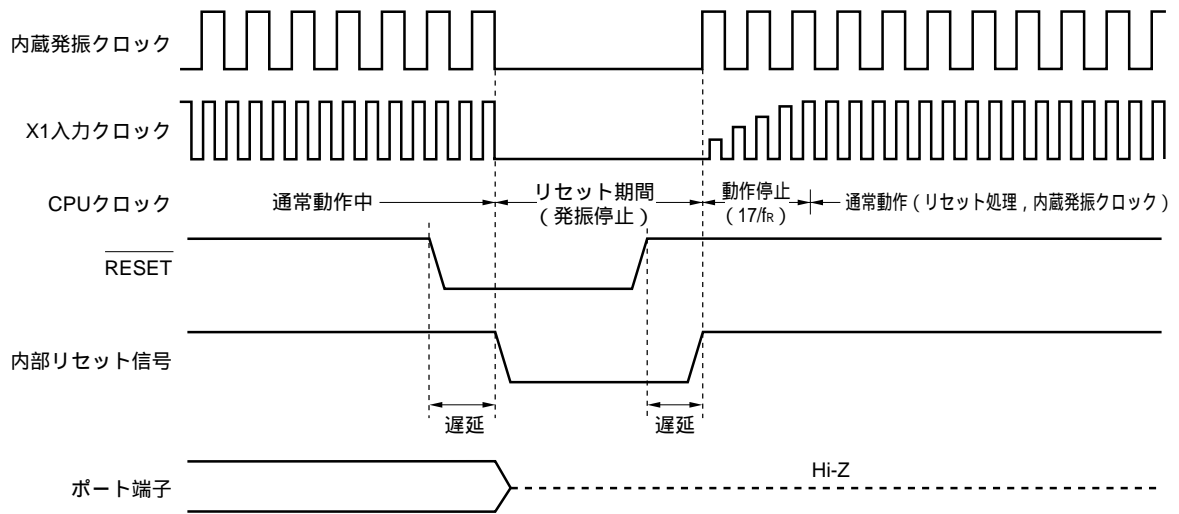
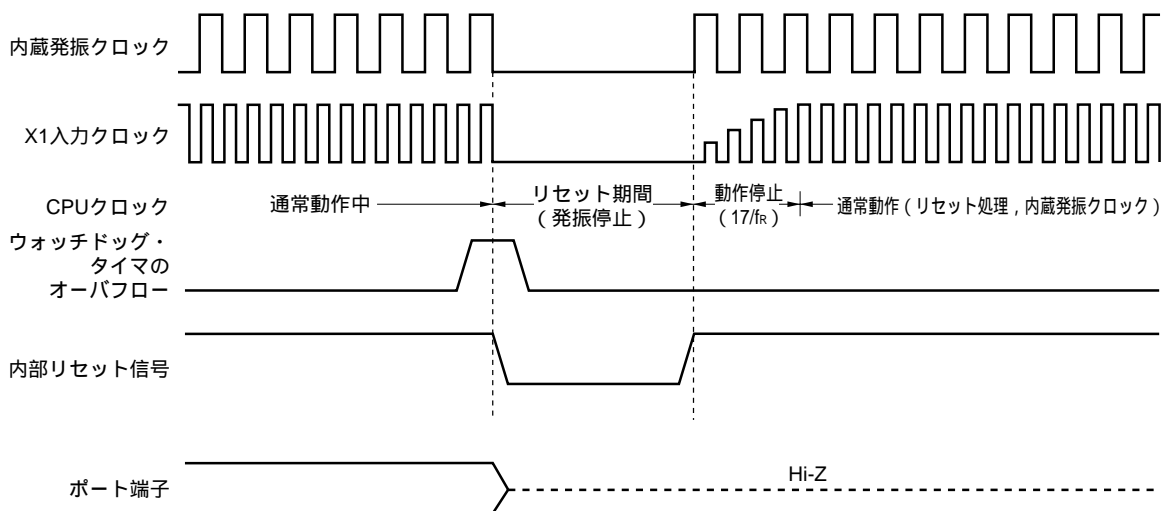
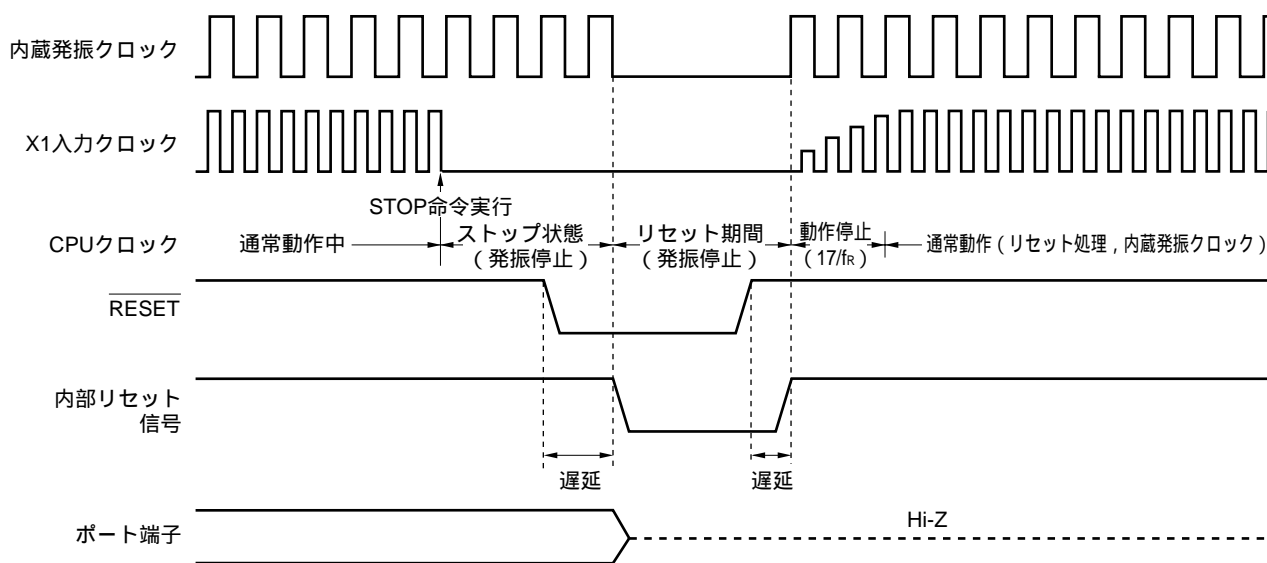


図21 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



**注意** ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図21 - 4 STOPモード中のRESET入力によるリセット・タイミング



**備考** パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第22章 パワーオン・クリア回路と第23章 低電圧検出回路を参照してください。

表21 - 1 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 <sup>注1</sup>
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート・レジスタ (P0-P7) (出力ラッチ)		00H (P2のみ不定)
ポート・モード・レジスタ (PM0, PM1, PM3-PM7)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH
プロセッサ・クロック・コントロール・レジスタ (PCC)		00H
内蔵発振モード・レジスタ (RCM)		00H
メイン・クロック・モード・レジスタ (MCM)		00H
メインOSCコントロール・レジスタ (MOC)		00H
発振安定時間選択レジスタ (OSTS)		05H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
システム・ウェイト制御レジスタ (VSWC)		00H
10ビット・インバータ制御用 タイマ	コンペア・レジスタ (TW0CM0-TW0CM2, TW0CM4, TW0CM5)	000H
	コンペア・レジスタ (TW0CM3)	0FFH
	バッファ・レジスタ (TW0BFCM0-TW0BFCM2, TW0BFCM4, TW0BFCM5)	000H
	バッファ・レジスタ (TW0BFCM3)	0FFH
	デッド・タイム・リロード・レジスタ (TW0DTIME)	FFH
	コントロール・レジスタ (TW0C)	00H
	モード・レジスタ (TW0M)	00H
	A/Dトリガ選択レジスタ (TW0TRGS)	00H
出力制御レジスタ (TW0OC)	00H	
16ビット・アップ/ダウン・ カウンタITENC20	アップ/ダウン・カウンタ (IT20UDC)	0000H
	コンペア・レジスタ0, 1 (IT20CM0, IT20CM1)	0000H
	キャプチャ/コンペア・レジスタ0, 1 (IT20CC0, IT20CC1)	0000H
	ユニット・モード・レジスタ (IT20TUM)	00H
	コントロール・レジスタ (IT20TMC)	00H
	キャプチャ/コンペア・コントロール・レジスタ (IT20CCR)	00H
	有効エッジ選択レジスタ (IT20SESA)	00H
	プリスケアラ・モード・レジスタ (IT20PRM)	07H
ステータス・レジスタ (IT20STS)	00H	
16ビット・タイマ/イベン ト・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
タイマ出力コントロール・レジスタ00 (TOC00)	00H	

注1 . リセット入力中および発振安定時間ウェイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2 . スタンバイ・モード時でのリセット後の状態は保持となります。



表21 - 1 各ハードウェアのリセット受け付け後の状態 (2/3)

ハードウェア		リセット受け付け後の状態
8ビット・タイマ/イベント・カウンタ50, 51	タイマ・カウンタ50, 51 ( TM50, TM51 )	00H
	コンペア・レジスタ50, 51 ( CR50, CR51 )	00H
	タイマ・クロック選択レジスタ50, 51 ( TCL50, TCL51 )	00H
	モード・コントロール・レジスタ50, 51 ( TMC50, TMC51 )	00H
8ビット・タイマH0	コンペア・レジスタ00, 01 ( CMP00, CMP01 )	00H
	モード・レジスタ ( TMHMD0 )	00H
クロック出力/ブザー出力制御回路	クロック出力選択レジスタ ( CKS )	00H
ウォッチドッグ・タイマ	モード・レジスタ ( WDTM )	67H
	イネーブル・レジスタ ( WDTE )	9AH
リアルタイム出力ポート	バッファ・レジスタ ( RTBL00, RTBH00, RTBL01, RTBH01 )	00H
	モード・レジスタ ( RTPM00, RTPM01 )	00H
	コントロール・レジスタ ( RTPC00, RTPC01 )	00H
	DC制御レジスタ ( DCCTL00, DCCTL01 )	00H
A/Dコンバータ	変換結果レジスタ ( ADCR )	不定
	モード・レジスタ ( ADM )	00H
	アナログ入力チャネル指定レジスタ ( ADS )	00H
	パワーフェイル比較モード・レジスタ ( PFM )	00H
	パワーフェイル比較しきい値レジスタ ( PFT )	00H
シリアル・インタフェース UART00	受信バッファ・レジスタ00 ( RXB00 )	FFH
	送信シフト・レジスタ00 ( TXS00 )	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 ( ASIM00 )	01H
	ポー・レート・ジェネレータ・コントロール・レジスタ00 ( BRGC00 )	1FH
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 ( SOTB10 )	不定
	シリアルI/Oシフト・レジスタ10 ( SIO10 )	00H
	シリアル動作モード・レジスタ10 ( CSIM10 )	00H
	シリアル・クロック選択レジスタ10 ( CSIC10 )	00H
乗除算器	剰余データ・レジスタ0 ( SDR0 )	0000H
	乗除算データ・レジスタA0 ( MDA0H, MDA0L )	0000H
	乗除算データ・レジスタB0 ( MDB0 )	0000H
	乗除算器コントロール・レジスタ0 ( DMUC0 )	00H

表21 - 1 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H <sup>注1</sup>
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H <sup>注1</sup>
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	マスク・フラグ・レジスタ1H (MK1H)	DFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H
フラッシュ・メモリ	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	不定
	フラッシュ・ステータス・レジスタ (PFS)	00H
	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	0XH <sup>注2</sup>

注1．リセット要因により、次のように変化します。

リセット要因 レジスタ	RESET入力	POCによる リセット	WDTによる リセット	LVIIによる リセット
RESF	表21 - 2を参照			
LVIM	クリア (00H)	クリア (00H)	クリア (00H)	保持

2．動作モードにより異なります。

- ・ユーザ・モード : 08H
- ・オンボード・モード : 0CH

## 21.1 リセット要因を確認するレジスタ

μPD78F0714は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット入力およびRESFのデータを読み出すことにより、00Hになります。

図21 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス：FFACH リセット時：00H<sup>注</sup> R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表21 - 2 に示します。

表21 - 2 リセット要求時のRESFの状態

リセット要因 レジスタ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

## 第22章 パワーオン・クリア回路

### 22.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC} = 3.5\text{ V} \pm 0.2\text{ V}$ <sup>注</sup>) を比較し、 $V_{DD} < V_{POC}$  になったとき、内部リセット信号を発生します。

**注** 評価後、変更の可能性があります。

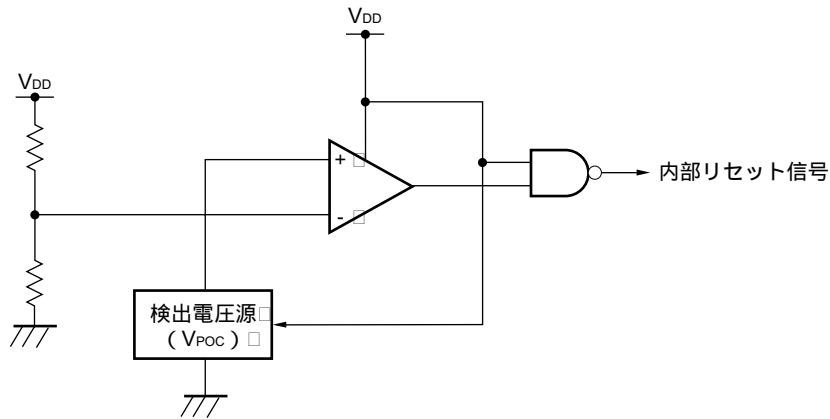
**注意** POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

**備考** 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第21章 リセット機能**を参照してください。

## 22.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図22 - 1 に示します。

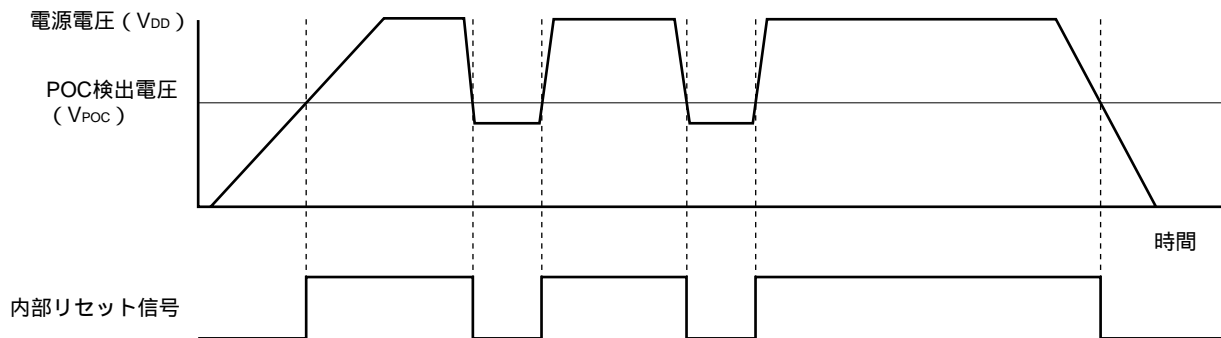
図22 - 1 パワーオン・クリア回路のブロック図



## 22.3 パワーオン・クリア回路の動作

パワーオン・クリア回路では、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し、 $V_{DD} < V_{POC}$  のとき内部リセット信号を発生します。

図22 - 2 パワーオン・クリア回路の内部リセット信号発生タイミング



## 22.4 パワーオン・クリア回路の注意事項

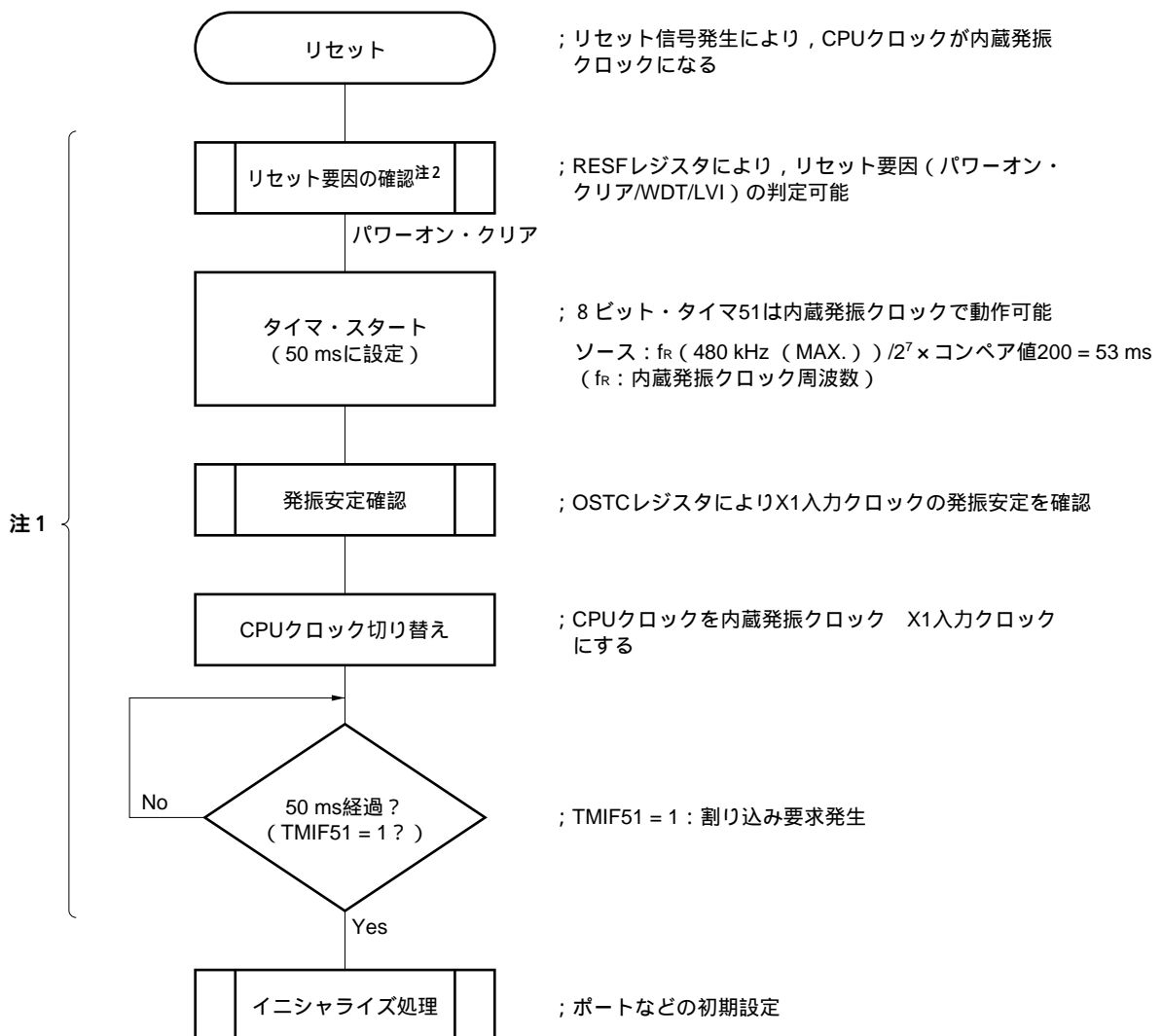
電源電圧 ( $V_{DD}$ ) がPOC検出電圧 ( $V_{POC}$ ) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図22 - 3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

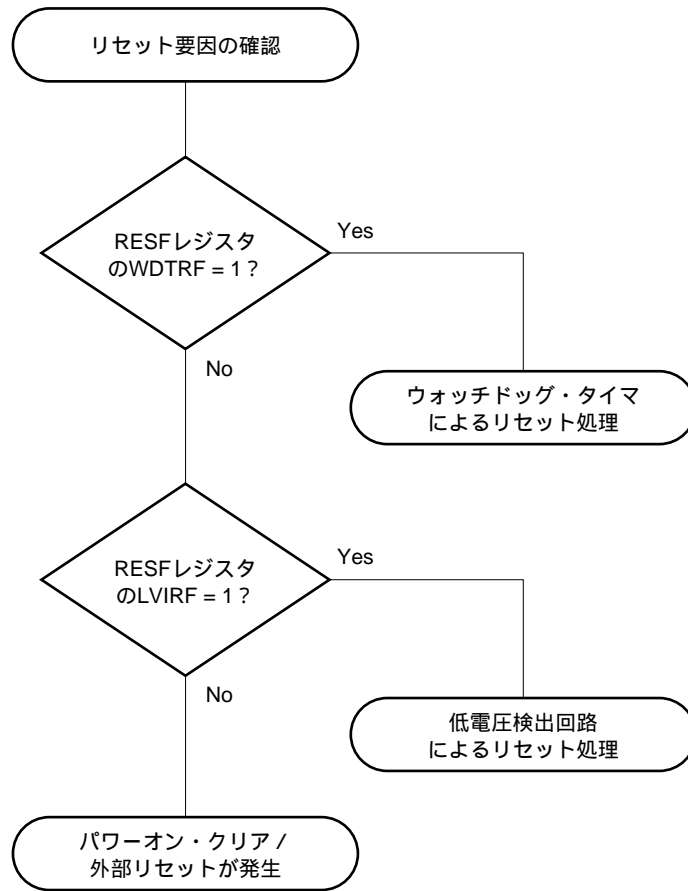


注 1 . この間に再度リセットが発生した場合、イニシャライズ処理には移行しません。

2 . 次頁にフロー・チャートを示します。

図22 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



## 第23章 低電圧検出回路

### 23.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

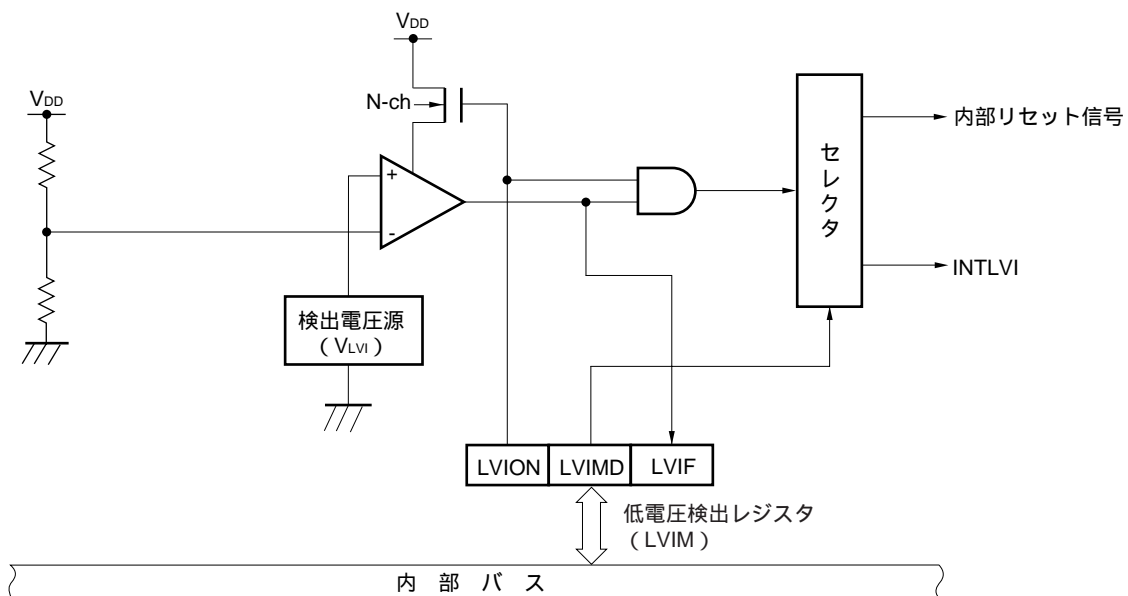
- ・ 電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI} = 4.3 \pm 0.2 \text{ V}$ ) を比較し、 $V_{DD} < V_{LVI}$  になったとき、ノンマスクابل割り込み信号もしくは内部リセット信号を発生します。
- ・ 割り込み / リセットをソフトウェアにて選択できます。
- ・ STOPモード時において動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESF についての詳細は、第21章 リセット機能を参照してください。

### 23.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図23 - 1 に示します。

図23 - 1 低電圧検出回路のブロック図





## 23.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)

### (1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図23 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FF78H リセット時：00H R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION <sup>注2,3</sup>	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD <sup>注2</sup>	低電圧検出の動作モード選択
0	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> ) 時に割り込み信号発生
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> ) 時に内部リセット信号発生

LVIF <sup>注4</sup>	低電圧検出フラグ
0	電源電圧 (V <sub>DD</sub> ) > 検出電圧 (V <sub>LVI</sub> ) ，または動作禁止時
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> )

注1．ビット0はRead Onlyです。

- 2．LVION，LVIMDはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- 3．LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウェアでウエイトしてください。
- 4．LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

注意 LVIMを停止する場合は，次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：LVIONをクリア (0)

## 23.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセットとして使用

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  のとき内部リセット信号を発生します。

- ・割り込みとして使用

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  のときノンマスクابل割り込み信号 (INTLVI) を発生します。

動作設定方法は次のとおりです。

### (1) リセットとして使用する場合

#### 動作開始時

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

0.2 ms以上ソフトウェアでウェイトする

LVIMのビット0 (LVIF) で「電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) 時に、内部リセット信号発生) を設定する

図23 - 3 に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

**注意 1** . 低電圧検出回路をリセットとして使用している場合にも、ノンマスクابل割り込み信号 (INTLVI) が発生します。そのため、手順 ~ を、LVI割り込みの処理ルーチン内に追加する必要があります。

**2** . LVIMD = 1とした時点で、「電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )」であれば内部リセット信号は発生しません。

#### 動作停止時

次のいずれかの手順を、必ず実行してください。

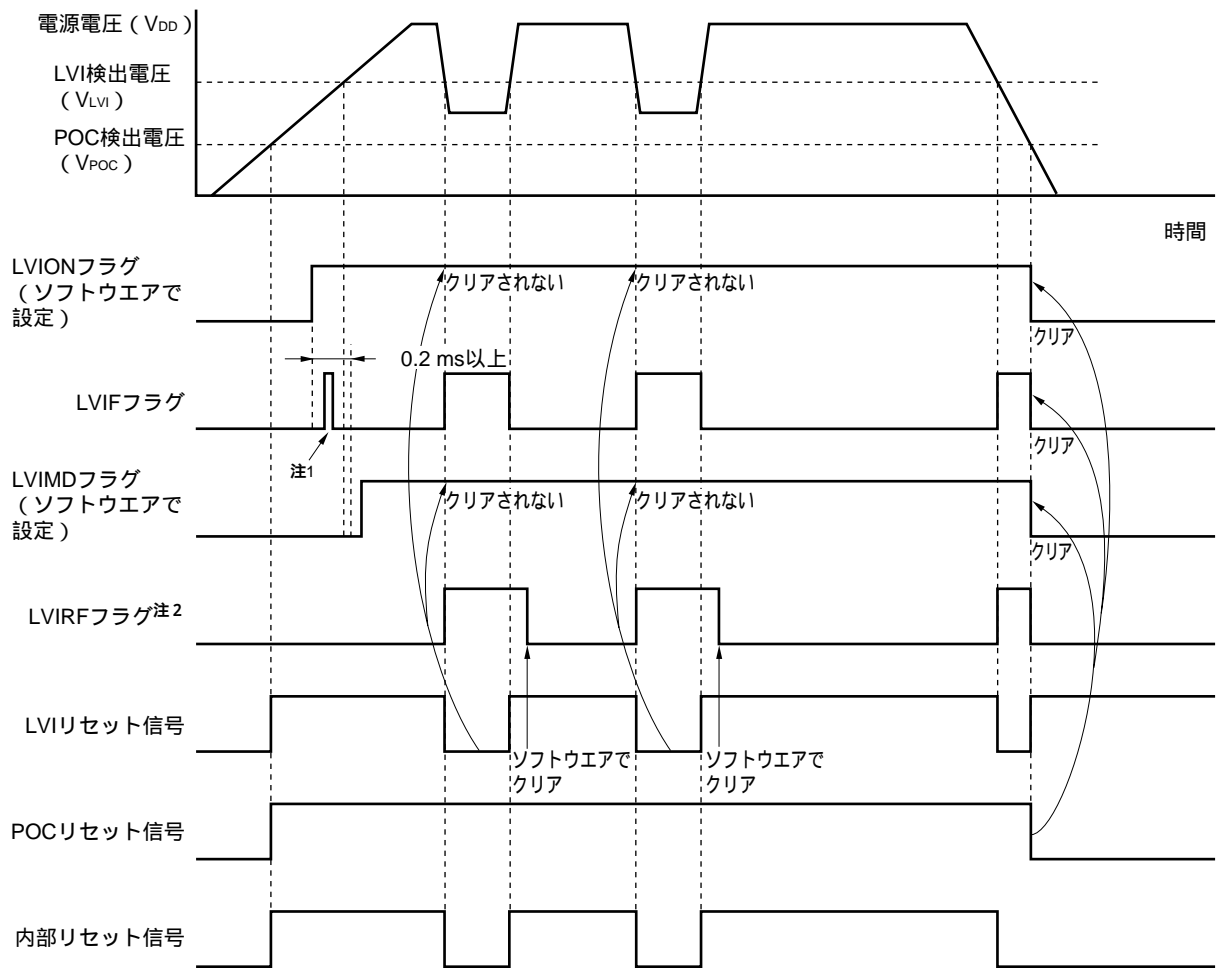
- ・8ビット・メモリ操作命令の場合：

LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIMDをクリア (0) LVIONをクリア (0)

図23 - 3 低電圧検出回路の内部リセット信号発生タイミング



注1 . LVIFフラグがセット ( 1 ) される可能性があります。

2 . LVIRFはリセット・コントロール・フラグ・レジスタ ( RESF ) のビット0です。RESFについての詳細は、第21章 リセット機能を参照してください。

備考 図23 - 3の ~ は、23.4 ( 1 ) リセットとして使用する場合 動作開始時の ~ と対応しています。

## (2) 割り込みとして使用する場合

## 動作開始時

あらかじめ、次に示す意味を持つFlag（任意の名称）をグローバル変数として定義します。

0：LVI動作後、「電源電圧（V<sub>DD</sub>）> 検出電圧（V<sub>LVI</sub>）」を確認

1：LVI動作後、「電源電圧（V<sub>DD</sub>）> 検出電圧（V<sub>LVI</sub>）」を未確認

## 動作開始時

LVIMのビット7（LVION）に“1”（LVI動作許可）を設定する

Flagの判定（0：以下の 以降を実施，1：以下の 以降を実施）

0.2 ms以上ソフトウェアでウェイトする

LVIMのビット0（LVIF）で、「電源電圧（V<sub>DD</sub>）> 検出電圧（V<sub>LVI</sub>）」であることを確認するまで待つ

動作開始前に設定した，Flagをクリア。

（ベクタ割り込みを使用する場合）EI命令を実行する

## 低電圧検出割り込み信号（INTLVI）発生後

Flagの判定（0：通常処理として以下の 以降を実施，1：以下の 以降を実施）

0.2 ms以上ソフトウェアでウェイトする

LVIMのビット0（LVIF）で、「電源電圧（V<sub>DD</sub>）> 検出電圧（V<sub>LVI</sub>）」であることを確認するまで待つ

低電圧検出割り込み発生時に行うプログラムを実行する

メインルーチンに復帰

図23 - 4 に，動作開始時の ， ， と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

## 動作停止時

次のいずれかの手順を，必ず実行してください。

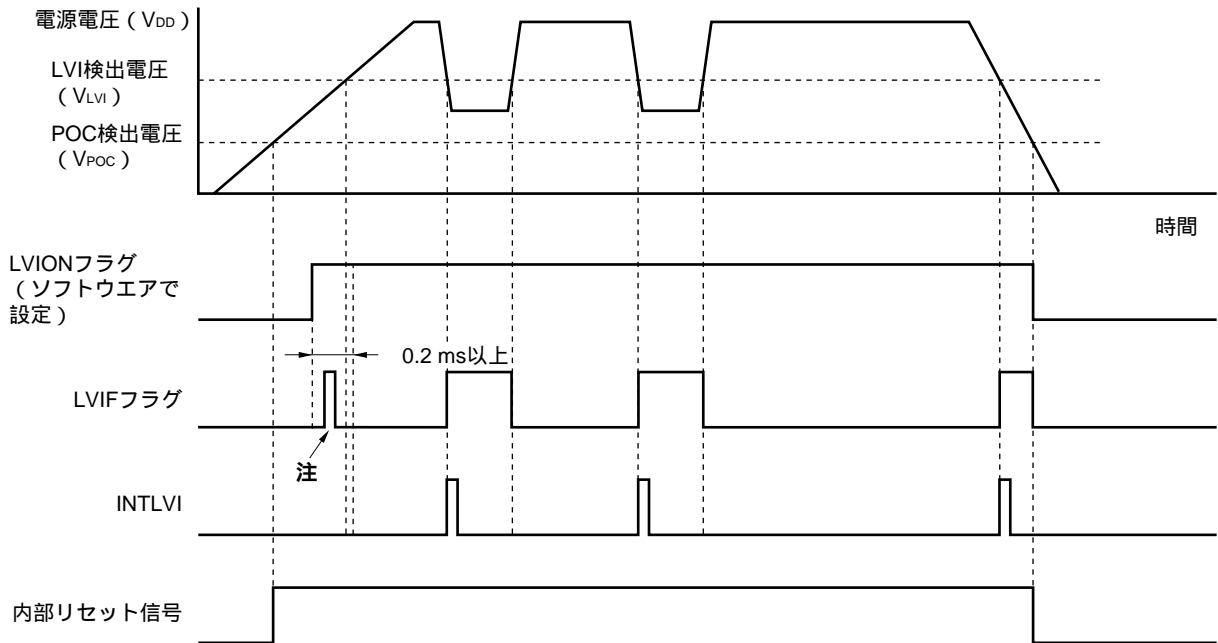
- ・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

- ・1ビット・メモリ操作命令の場合：

LVONをクリア（0）

図23 - 4 低電圧検出回路の割り込み信号発生タイミング



注 LVIFフラグがセット ( 1 ) される可能性があります。

備考 図23 - 4の , , は , 23.4 ( 2 ) 割り込みとして使用する場合 動作開始時の , , と対応しています。

## 23.5 低電圧検出回路の注意事項

電源電圧 ( $V_{DD}$ ) がLVI検出電圧 ( $V_{LVI}$ ) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

### (1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

### (2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

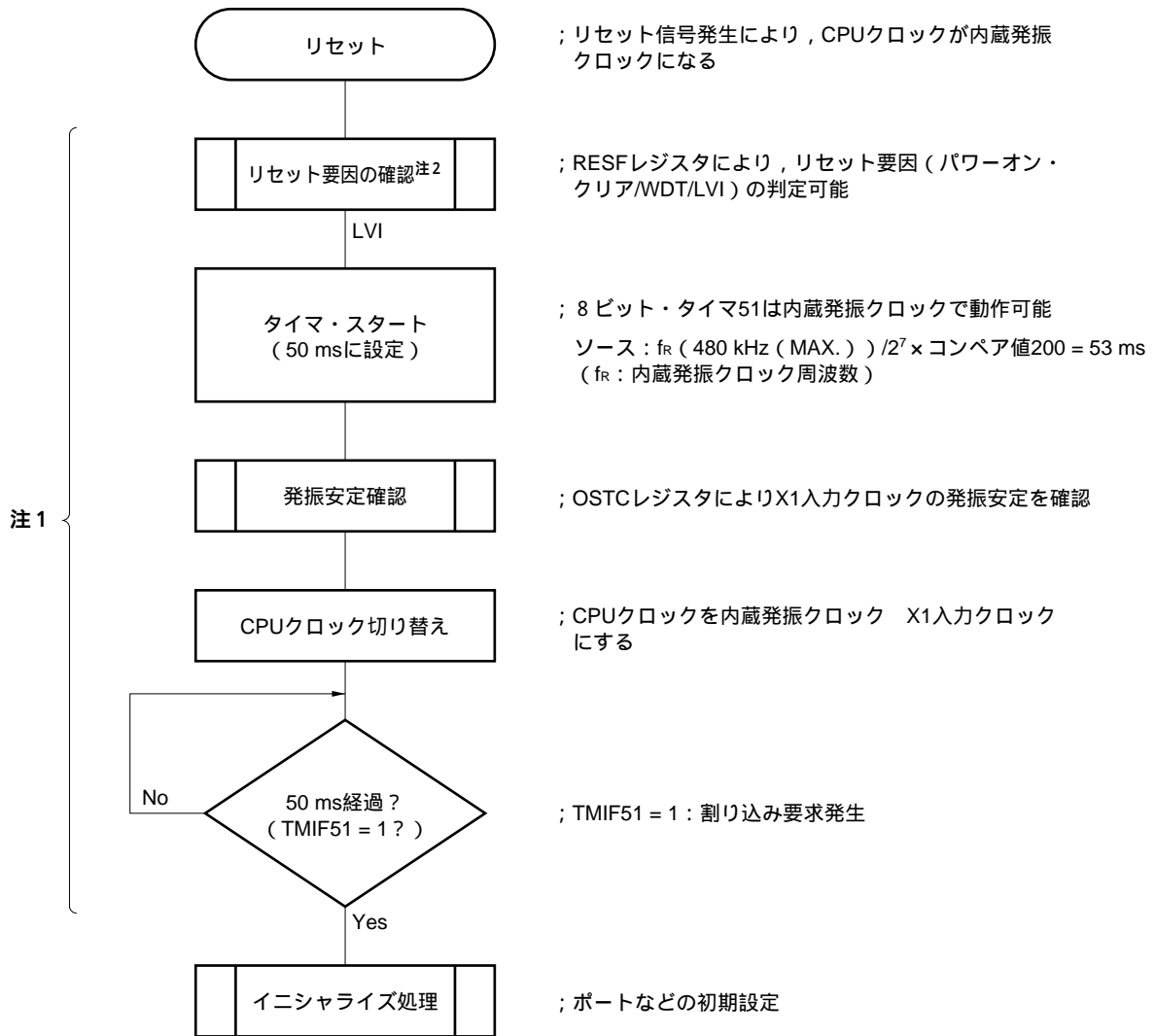
< 処 置 >

### (1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図23 - 5 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合

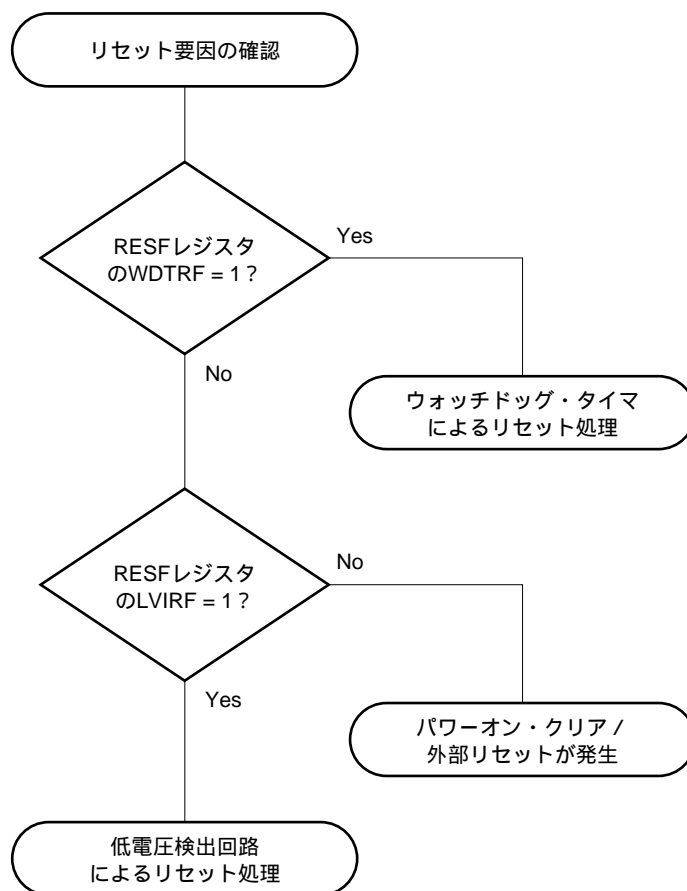


注1 . この間に再度リセットが発生した場合, イニシャライズ処理には移行しません。

2 . 次頁にフロー・チャートを示します。

図23 - 5 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認





**(2) 割り込みとして使用する場合**

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) で、“電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )”を確認してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIFフラグで“電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )”を確認してください。

## 第24章 オプション・バイト

μPD78F0714では、内蔵発振器停止可/不可の選択を、オプション・バイトでの設定で実現できます。フラッシュ・メモリの0080Hに、オプション・バイトを用意しています。製品使用の際には、必ずオプション・バイトに内蔵発振器停止可/不可を設定してください。

図24 - 1 オプション・バイトの位置

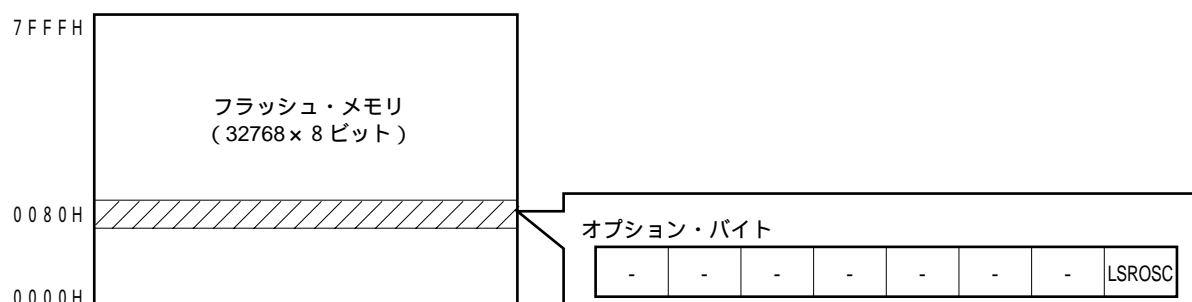


図24 - 2 オプション・バイトのフォーマット

アドレス : 0080H

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	LSROSC

LSROSC	内蔵発振器の動作
0	ソフトウェアにより停止可能
1	停止不可

- 注意 1 . ブート・スワップ機能を使用する場合、ブート・クラスタ1にあらかじめオプション・データを格納してください(ブート・スワップ機能については、「25.8 ブート・スワップ機能」を参照)。
- 2 . ビット1-7には必ず0を書き込んでください。

備考 オプション・バイト設定のソフトウェア記述例を次に示します。

```
OPT      CSEG   AT 0080H
OPTION : DB    01H      ; オプション・バイトに設定
                        (内蔵発振器停止不可)
```

## 第25章 フラッシュ・メモリ

μPD78F0714は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを搭載した製品です。

### 25.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を設定します。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

**注意** メモリ・サイズ切り替えレジスタ（IMS）の初期値は、IMS = CFHとなっているため、初期設定でIMS = C8Hに設定してください。

図25 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H    リセット時：CFH    R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
1	0	0	0	32 Kバイト
上記以外				設定禁止

## 25.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上に $\mu$ PD78F0714を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上に $\mu$ PD78F0714を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは、(株)内藤電誠町田製作所の製品です。

表25-1  $\mu$ PD78F0714と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		CSI10 + HS使用時		UART00使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P17	40	SO10/P17	40	TxD00/P14	37
SO/TxD	出力	送信信号	SI10/P16	39	SI10/P16	39	RxD00/P13	36
SCK	出力	転送クロック	$\overline{\text{SCK}}10/\text{P15}$	38	$\overline{\text{SCK}}10/\text{P15}$	38	必要なし	必要なし
CLK	出力	$\mu$ PD78F0714 へのクロック	X1	6	X1	6	X1	6
			X2 <sup>注</sup>	7	X2 <sup>注</sup>	7	X2 <sup>注</sup>	7
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	8	$\overline{\text{RESET}}$	8	$\overline{\text{RESET}}$	8
FLMD0	出力	モード信号	FLMD0	3	FLMD0	3	FLMD0	3
FLMD1	出力	モード信号	FLMD1/SO10/ P17	40	FLMD1/SO10/ P17	40	FLMD1/SO10/ P17	40
H/S	入力	ハンドシェイク信号	-	-	P64	49	-	必要なし
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成	V <sub>DD</sub>	4	V <sub>DD</sub>	4	V <sub>DD</sub>	4
			EV <sub>DD</sub>	26	EV <sub>DD</sub>	26	EV <sub>DD</sub>	26
			AV <sub>REF</sub>	1	AV <sub>REF</sub>	1	AV <sub>REF</sub>	1
GND	-	グラウンド	V <sub>SS</sub>	5	V <sub>SS</sub>	5	V <sub>SS</sub>	5
			EV <sub>SS</sub>	25	EV <sub>SS</sub>	25	EV <sub>SS</sub>	25
			AV <sub>SS</sub>	2	AV <sub>SS</sub>	2	AV <sub>SS</sub>	2

**注** フラッシュ・メモリ・プログラマのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図25 - 2 3線式シリアルI/O (CSI10)方式でのフラッシュ書き込み用アダプタ配線例

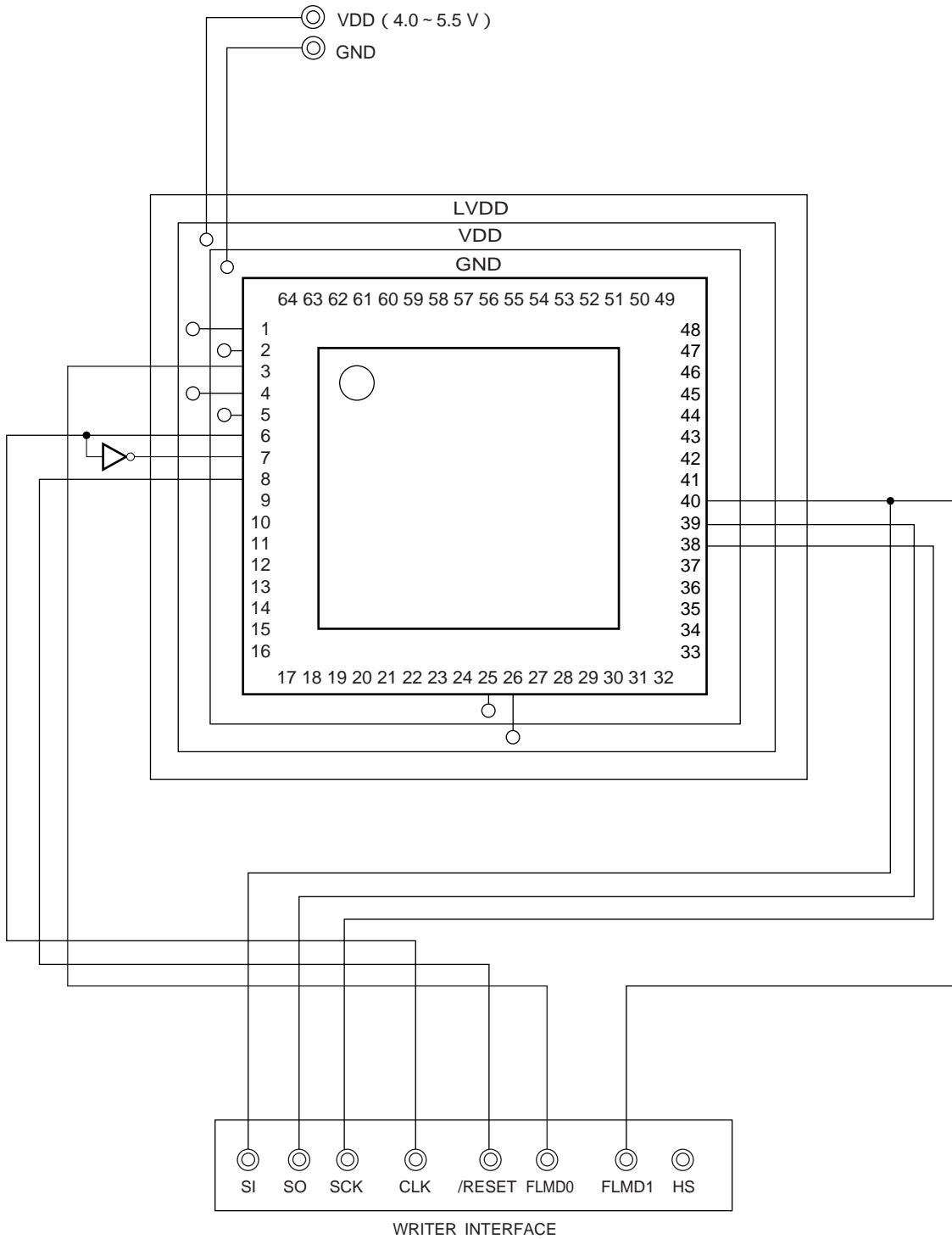


図25 - 3 3線式シリアルI/O (CSI10+HS)方式でのフラッシュ書き込み用アダプタ配線例

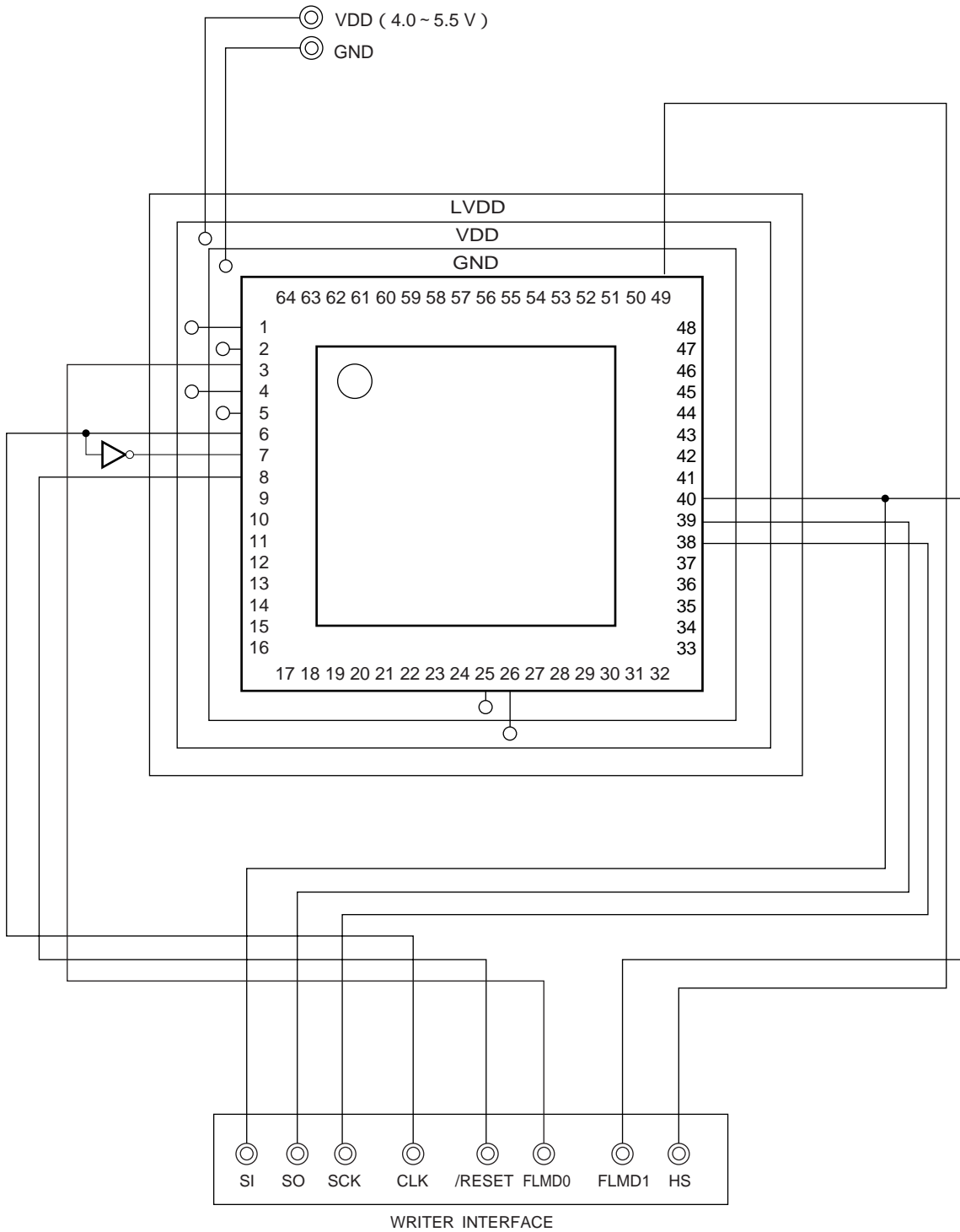
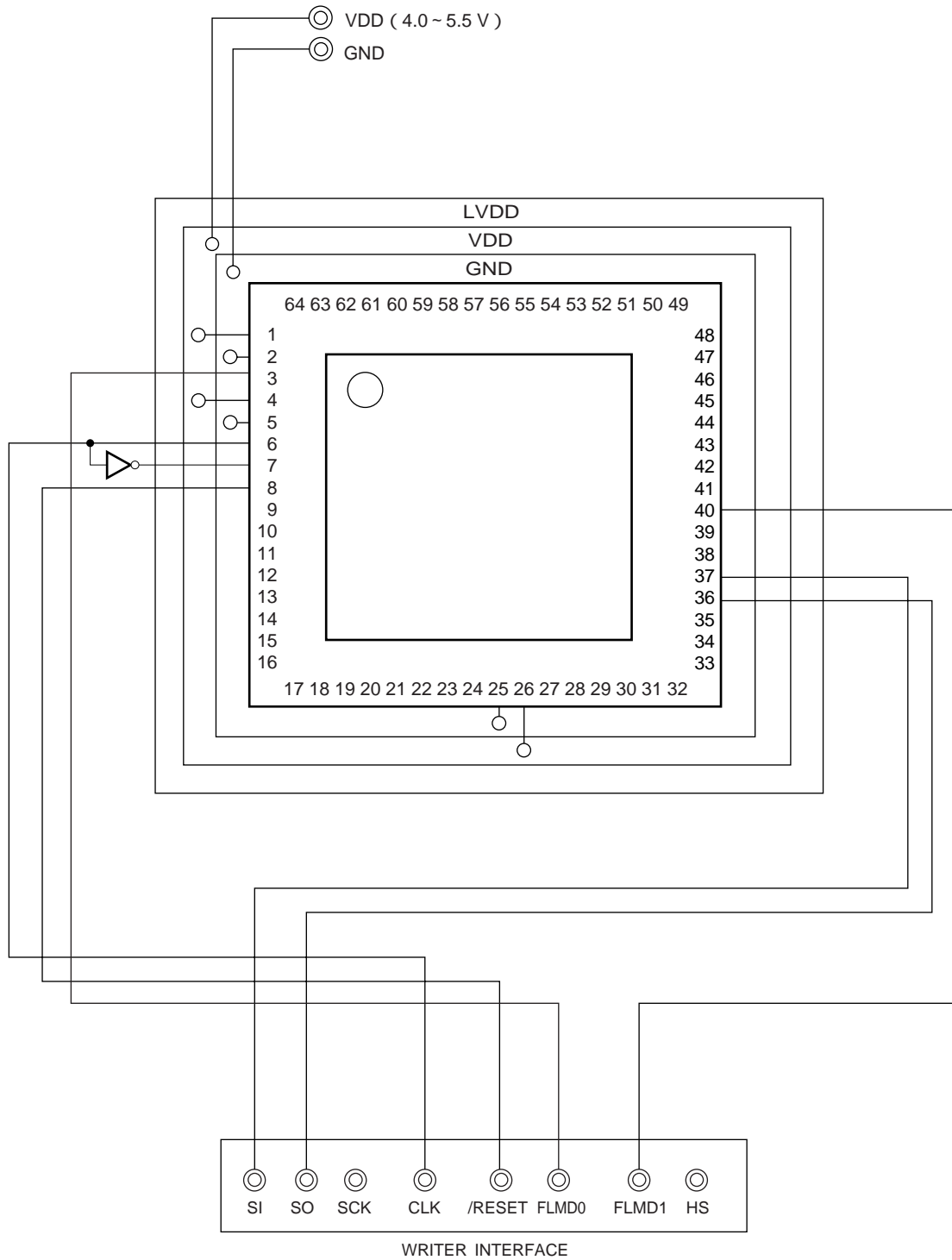


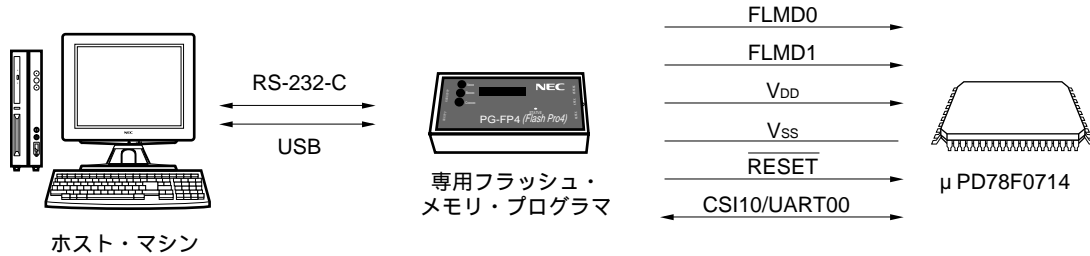
図25 - 4 UART (UART0) 方式でのフラッシュ書き込み用アダプタ配線例



## 25.3 プログラミング環境

μPD78F0714のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25 - 5 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとμPD78F0714とのインタフェースはCSI10またはUART00を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

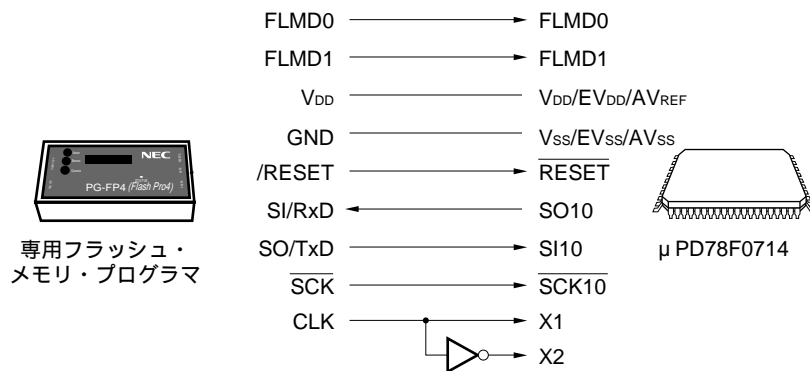
## 25.4 通信方式

専用フラッシュ・メモリ・プログラマとμPD78F0714との通信は、μPD78F0714のCSI10またはUART00によるシリアル通信で行います。

### (1) CSI10

転送レート：200 K～2 MHz

図25 - 6 専用フラッシュ・メモリ・プログラマとの通信（CSI10）

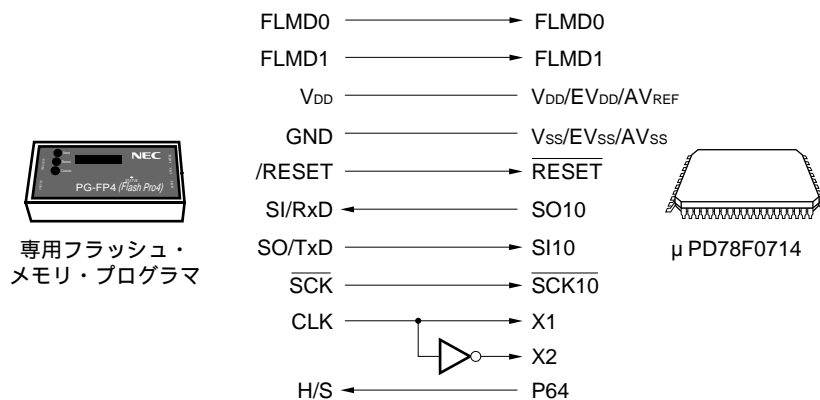




(2) ハンドシェイク対応CSI通信方式

転送レート：200 K ~ 2 MHz

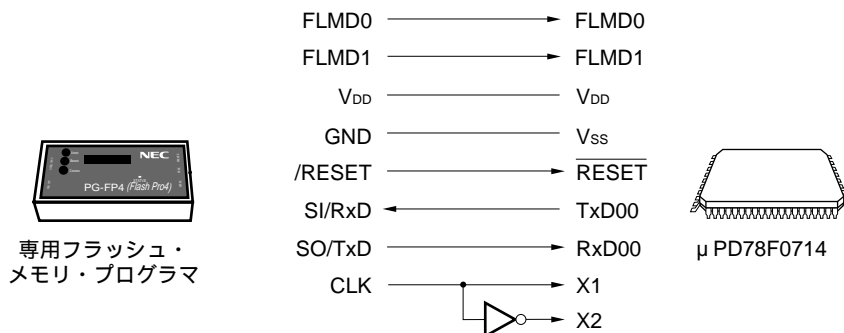
図25 - 7 専用フラッシュ・メモリ・プログラマとの通信 (CSI10 + HS)



(3) UART00

転送レート：4800 ~ 76800 bps

図25 - 8 専用フラッシュ・メモリ・プログラマとの通信 (UART00)



専用フラッシュ・メモリ・プログラマとしてFlashpro を使用した場合，Flashpro はμPD78F0714に対して次の信号を生成します。詳細はFlashpro のマニュアルを参照してください。

表25 - 2 端子接続一覧

Flashpro			μ PD78F0714	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART00
FLMD0	出力	モード信号	FLMD0		
FLMD1	出力	モード信号	FLMD1		
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成	V <sub>DD</sub> , EV <sub>DD</sub> , AV <sub>REF</sub>		
GND	—	グランド	V <sub>SS</sub> , EV <sub>SS</sub> , AV <sub>SS</sub>		
CLK	出力	μ PD78F0714へのクロック出力	X1, X2 <sup>注</sup>		
/RESET	出力	リセット信号	$\overline{\text{RESET}}$		
SI/RxD	入力	受信信号	SO10/TxD00		
SO/TxD	出力	送信信号	SI10/RxD00		
SCK	出力	転送クロック	$\overline{\text{SCK10}}$		×
H/S	入力	ハンドシェーク信号	P64		×

注 フラッシュ・メモリ・プログラムのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

- 備考** : 必ず接続してください。  
 : ターゲット・ボード上で生成されていれば、接続の必要はありません。  
 × : 接続の必要はありません。  
 : ハンドシェーク・モード時

## 25.5 オンボード上の端子処理

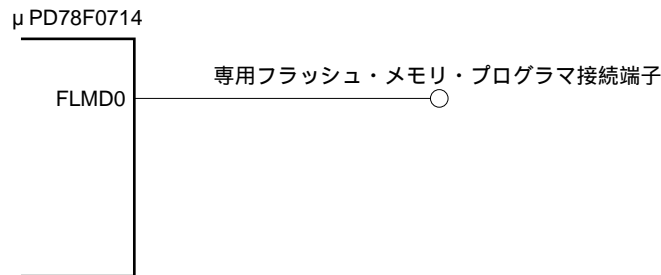
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

### 25.5.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に $V_{DD}$ の書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

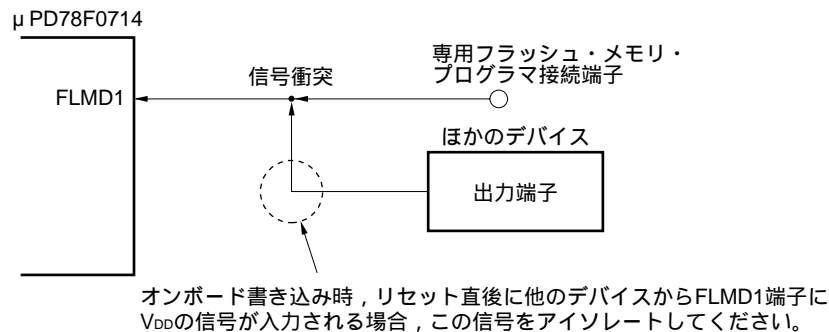
図25 - 9 FLMD0端子の接続例



### 25.5.2 FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に $V_{DD}$ が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子を $V_{SS}$ と同じ電圧にする必要があります。FLMD1端子の接続例を次に示します。

図25 - 10 FLMD1端子の接続例



### 25.5.3 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表25 - 3 各シリアル・インタフェースが使用する端子

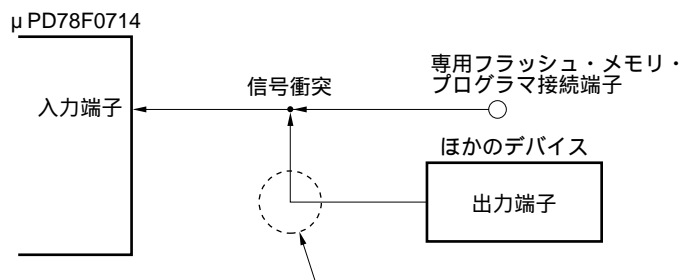
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, $\overline{\text{SCK10}}$
CSI10 + HS	SO10, SI10, $\overline{\text{SCK10}}$ , P64
UART00	TxD00, RxD00

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

#### (1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図25 - 11 信号の衝突（シリアル・インタフェースの入力端子）

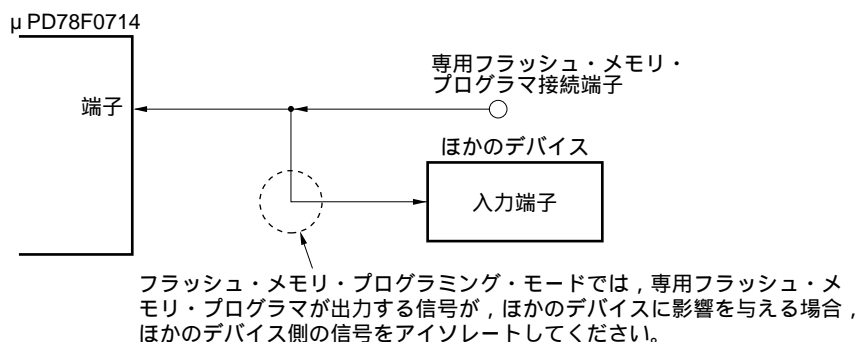
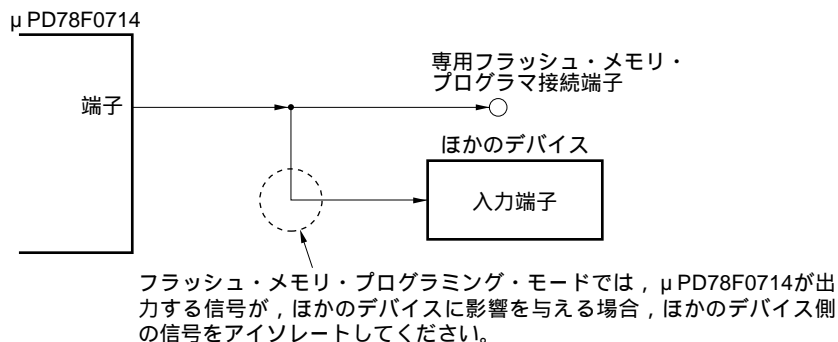


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図25 - 12 ほかのデバイスの異常動作

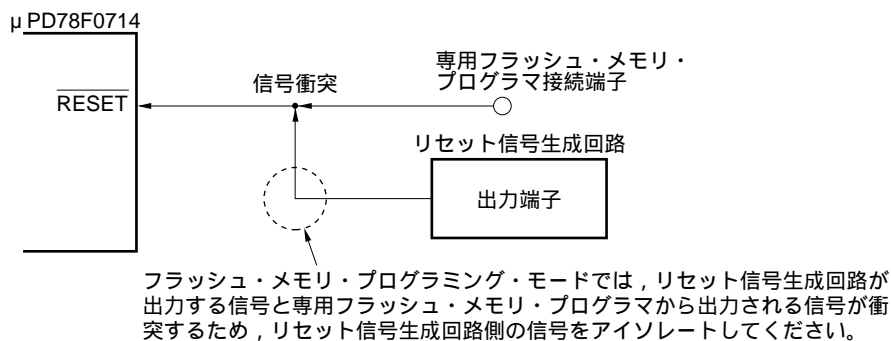


### 25.5.4 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図25 - 13 信号の衝突 (RESET端子)



### 25.5.5 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して $V_{DD}$ に接続するか、または抵抗を介して $V_{SS}$ に接続するなどの端子処理が必要です。

### 25.5.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、ライターから動作クロックを入力する場合、ライターのクロック・アウトとX1を、またX2には、その反転信号を接続してください。

### 25.5.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、 $V_{DD}$ 端子はフラッシュ・メモリ・プログラマの $V_{DD}$ に、 $V_{SS}$ 端子はフラッシュ・メモリ・プログラマの $V_{SS}$ に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

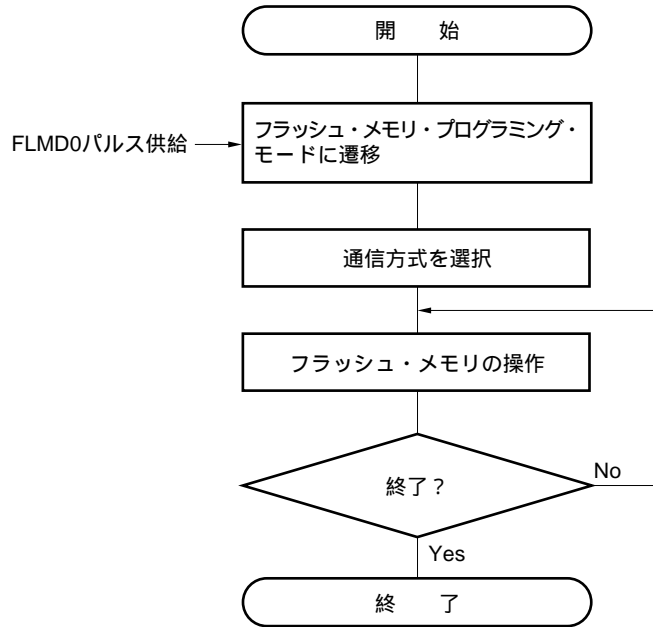
その他の電源 ( $EV_{DD}$ ,  $EV_{SS}$ ,  $AV_{REF}$ ,  $AV_{SS}$ ) は、通常動作モード時と同じ電源を供給してください。

## 25.6 プログラミング方法

### 25.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図25 - 14 フラッシュ・メモリの操作手順



### 25.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、 $\mu$ PD78F0714をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子を $V_{DD}$ に設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図25 - 15 フラッシュ・メモリ・プログラミング・モード

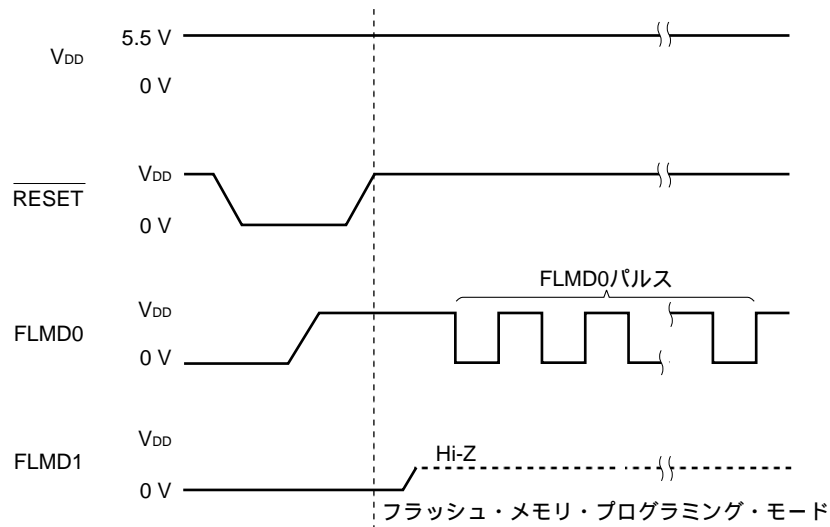


表25 - 4 FLMD0, FLMD1端子の動作モードの関係

FLMD0	FLMD1	動作モード
0	x	通常動作モード
V <sub>DD</sub>	0	フラッシュ・メモリ・プログラミング・モード
V <sub>DD</sub>	V <sub>DD</sub>	設定禁止

### 25.6.3 通信方式の選択

μPD78F0714では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表25 - 5 通信方式一覧

通信方式	Standard設定 <sup>注1</sup>					使用端子	FLMD0 パルス数
	Port	Speed	On Target	Frequency	Multiply Rate		
UART (UART0)	UART-ch0	9600, 19200, 31250, 38400, 76800, 153600 <sup>注2</sup> bps <sup>注3</sup>	任意	5 M-20 MHz <sup>注4</sup>	1.0	TxD00, RxD00	0
3線式シリアルI/O (CSI10)	SIO-ch0	200 k-2 MHz <sup>注4</sup>				SO10, SI10, SCK10	8
3線式シリアルI/O ハンドシェイク対応 (CSI10 + HS)	SIO-H/S	200 k-2 MHz <sup>注4</sup>				SO10, SI10 SCK10, P64	11

注1 . Flashpro 上のStandard設定における設定項目です。

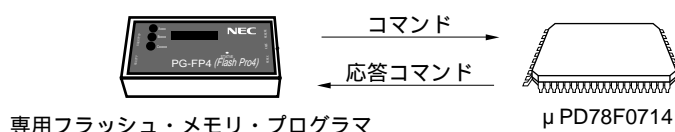
- 2 . 周辺ハードウェア・クロック周波数が2.5 MHz以下の場合、選択できません。
- 3 . UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
- 4 . 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。

注意 UART0選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

### 25.6.4 通信コマンド

μPD78F0714と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからμPD78F0714へ送られる信号を「コマンド」と呼び、μPD78F0714から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図25 - 16 通信コマンド



μPD78F0714のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライターから発行され、μPD78F0714がコマンドに対応した各処理を行います。



表25 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行
システム設定，制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ポー・レート設定コマンド	UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また， $\mu$ PD78F0714は，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，応答コマンドを返します。 $\mu$ PD78F0714が送出する応答コマンドを次に示します。

表25 - 7 応答コマンド

応答コマンド名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

## 25.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

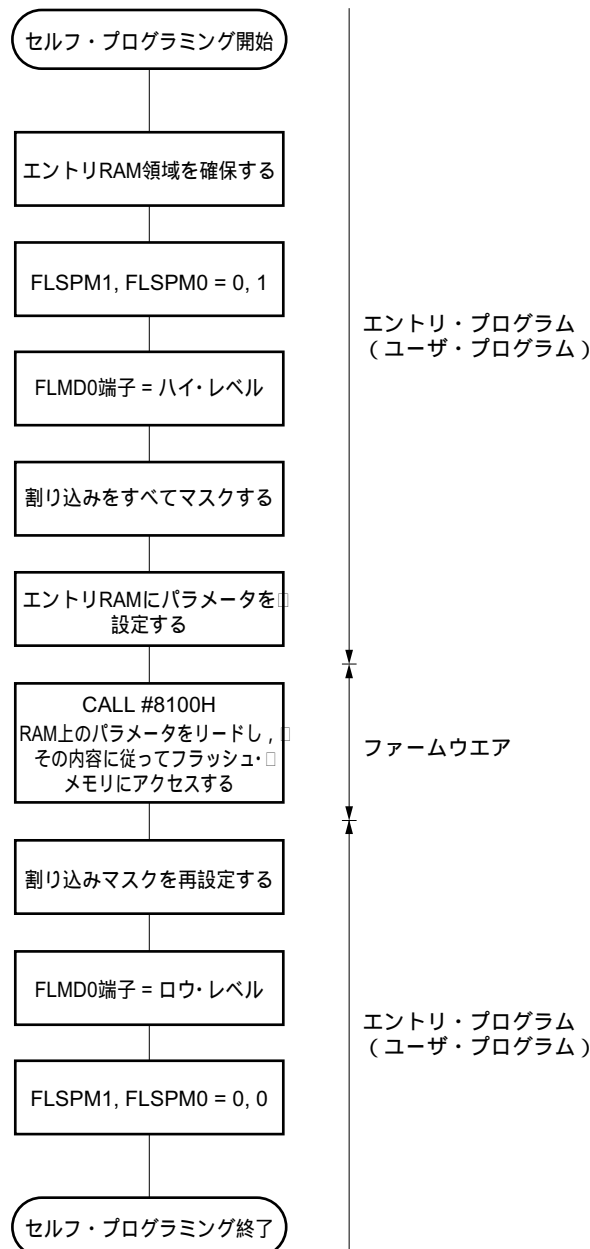
μPD78F0714は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能により、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

プログラミング・モードの切り替えは、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のビット0, 1 (FLSPM0, FLSPM1) で行います。

セルフ・プログラミングの手順を、次に示します。

**備考** セルフ・プログラミング機能の詳細については、発行予定の別ドキュメント (資料名: μPD78F0711, 78F0712, 78F0714 ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング (U18886J)) を参照してください。

図25 - 17 セルフ・プログラミングの手順



### 25.7.1 セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は、次の3種類のレジスタを使用します。

- ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- ・フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- ・フラッシュ・ステータス・レジスタ (PFS)

#### (1) フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

セルフ・プログラミング時のフラッシュ・メモリへの書き込み/消去の可否、セルフ書き込み時の動作モードを設定するレジスタです。

FLPMCは、ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止しないようにするため、特定シーケンス (25.7.1 (2) フラッシュ・プロテクト・コマンド・レジスタを参照) で書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

FLPMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、0×H<sup>※</sup>になります。

**注** 動作モードにより異なります。

- ・ユーザ・モード : 08H
- ・オンボード・モード : 0CH

図25 - 18 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : FFC4H    リセット時 : 0xH<sup>注1</sup>    R/W<sup>注2</sup>

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	0	FWEDIS	FWEPR	FLSPM1	FLSPM0

FWEDIS	フラッシュ・メモリの書き込み / 消去の制御
0	書き込み / 消去許可 <sup>注3</sup>
1	書き込み / 消去禁止

FWEPR	FLMD0端子のステータス
0	ロウ・レベル
1	ハイ・レベル <sup>注3</sup>

FLSPM1 <sup>注4</sup>	FLSPM0 <sup>注4</sup>	セルフ書き込み時の動作モード選択
0	0	通常モード すべてのアドレスにおいて、フラッシュ・メモリの命令のフェッチが可能です。
0	1	セルフ・プログラミング・モードA1 ファームウェアの呼び出し (CALL #8100H) が可能です。
1	1	セルフ・プログラミング・モードA2 ファームROMからの命令フェッチを行います。 ファームウェア内で設定されるモードで、ユーザはこのモードを設定できません。
1	0	設定禁止

注1 . 動作モードにより異なります。

- ・ユーザ・モード        : 08H
- ・オンボード・モード    : 0CH

2 . ビット2 ( FWEPR ) はRead Onlyです。

3 . 実際の書き込み / 消去は、FWEDIS = 0となるほかに、FLMD0端子がハイ・レベル ( FWEPR = 1 ) になっていなければなりません。

FWEDIS	FWEPR	フラッシュ・メモリの書き込み / 消去の可否
0	1	書き込み / 消去可能
上記以外		書き込み / 消去不可

4 . FLSPM1とFLSPM0により、ユーザROM ( フラッシュ・メモリ ) とファームROMの切り替えが制御でき、応用システム上でモード端子を通して、設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。

注意1 . フラッシュ・メモリの書き込みおよび消去が終了するまで、必ずFWEDISを0にしてください。

2 . 通常モード時は、必ずFWEDIS = 1にしてください。

3 . FLSPM1とFLSPM0は、内蔵RAMに分岐してから、操作を行ってください。

フラッシュ・メモリのアドレス指定は、FLSPM1 = 0のときはCPUからのアドレス信号、FLSPM1 = 1のときは、書き込みのファームウェアの設定値になります。また、オンボード・モード時には、FLSPM1とFLSPM0の指定は無視されます。

(2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止した場合、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは、このFLPMCへの書き込み動作に対して、応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

PFCMDに特定の値 (PFCMD = A5H) を書き込む

FLPMCに、設定したい値を書き込む (このステップでの書き込みは無効)

FLPMCに、設定したい値の反転値を書き込む (このステップでの書き込みは無効)

FLPMCに、設定したい値を書き込む (このステップでの書き込みは有効)

これにより、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

不正なストア動作の発生は、フラッシュ・ステータス・レジスタ (PFS) のビット0 (FPRERR) で確認できます。

なお、FLPMCを変更するたび、PFCMDにA5Hを書き込む必要があります。

PFCMDは、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$ 入力により、不定になります。

図25 - 19 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス : FFC0H    リセット時 : 不定    W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) フラッシュ・ステータス・レジスタ (PFS)

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に対し、正しいシーケンス (フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) への書き込みを含む) で書き込み動作を行わなかった場合、FLPMCへの書き込みは行われず、プロテクション・エラーが発生します。このとき、PFSのビット0 (FPRERR) がセット (1) されます。

このフラグが蓄積フラグです。FPRERRをチェックしたあと、0を書き込むことによって、FPRERRをクリアします。

PFSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図25 - 20 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス : FFC2H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERRフラグの動作条件を次に示します。

< セット条件 >

- ・ 最近の周辺レジスタに対するストア命令動作が、PFCMDへの特定値（PFCMD = A5H）の書き込み動作ではない状態で、PFCMDへの書き込みを行ったとき
- ・ 後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・ 後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・ 後の最初のストア命令動作で、FLPMCに設定したい値の反転値以外の値を書き込んだとき
- ・ 後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・ 後の最初のストア命令動作で、FLPMCに設定したい値（ の書き込み値）以外の値を書き込んだとき

**備考** 上記の丸数字は、前述の（2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）の丸数字と対応しています。

< リセット条件 >

- ・ FPRERRフラグに0を書き込んだとき
- ・  $\overline{\text{RESET}}$ 入力したとき

< 特定シーケンスの記述例 >

FLPMCに05Hを書き込む場合

```
MOV   PFCMD, #0A5H   ; PFCMDにA5Hを書き込む。
MOV   FLPMC, #05H    ; FLPMCに05Hを書き込む。
MOV   FLPMC, #0FAH   ; FLPMCに0FAH（05Hの反転）を書き込む。
MOV   FLPMC, #05H    ; FLPMCに05Hを書き込む。
```

## 25.8 ブート・スワップ機能

μPD78F0714は、ブート・スワップ機能を搭載しています。

セルフ・プログラミングにてブート領域書き換え中に何らかの原因で電源瞬断が発生し、ブート領域のプログラムが破壊されても、ブート・スワップ機能により、電源再投入～リセット・スタート後、プログラムを正常に起動させることができます。

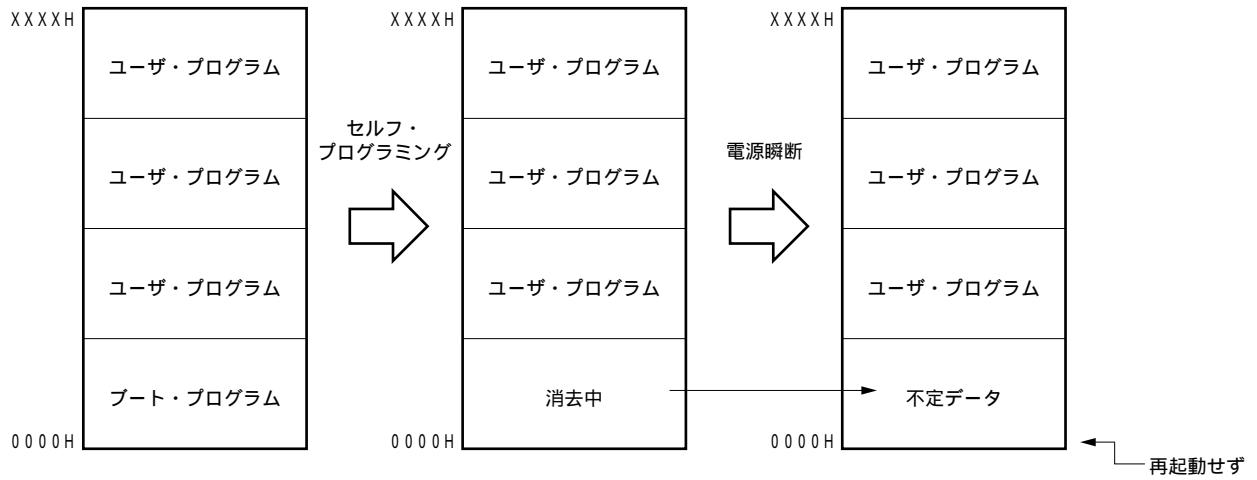
### 25.8.1 ブート・スワップ機能の概要

セルフ・プログラミングにてブート・プログラム領域の消去を行う前に、あらかじめ新しいブート・プログラムをスワップ対象となるブロックへ書き込んでおき、同時にブート・フラグ<sup>注</sup>を設定します。これにより、ブート領域の書き換え中に電源瞬断が発生しても、次回リセット・スタート時にはアドレスが入れ替わるので、上述のスワップ対象領域がブート領域となり、正常にプログラムが動作します。図25-21にブート・スワップ機能のイメージ図を示します。

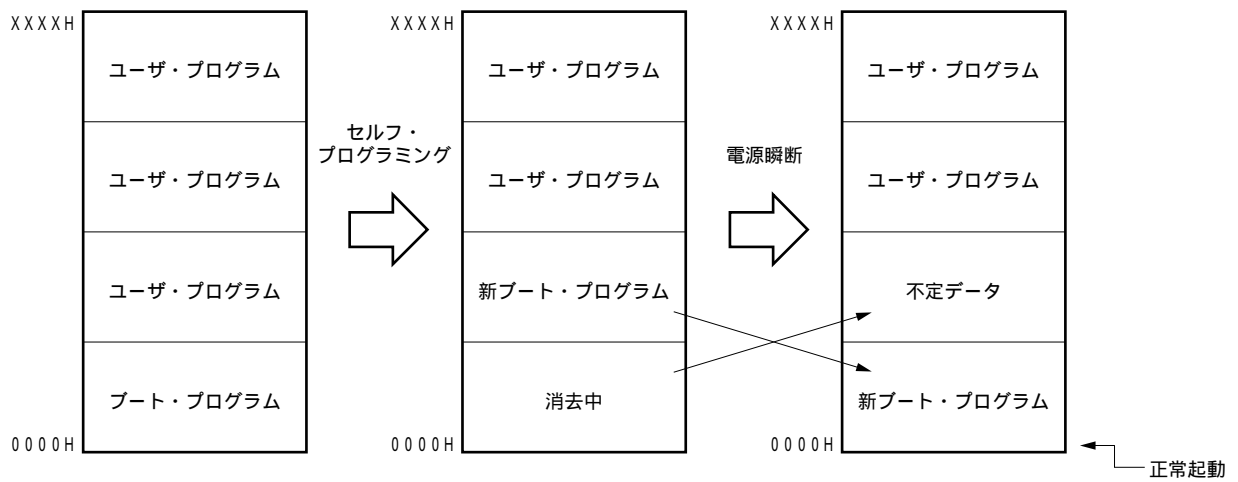
**注** ブート・フラグは、μPD78F0714が内蔵するフラッシュ・メモリ・コントロール・ファームウェアにあるフラグです。

図25 - 21 ブート・スワップ機能のイメージ図

(1) ブート・スワップ未対応



(2) ブート・スワップ対応

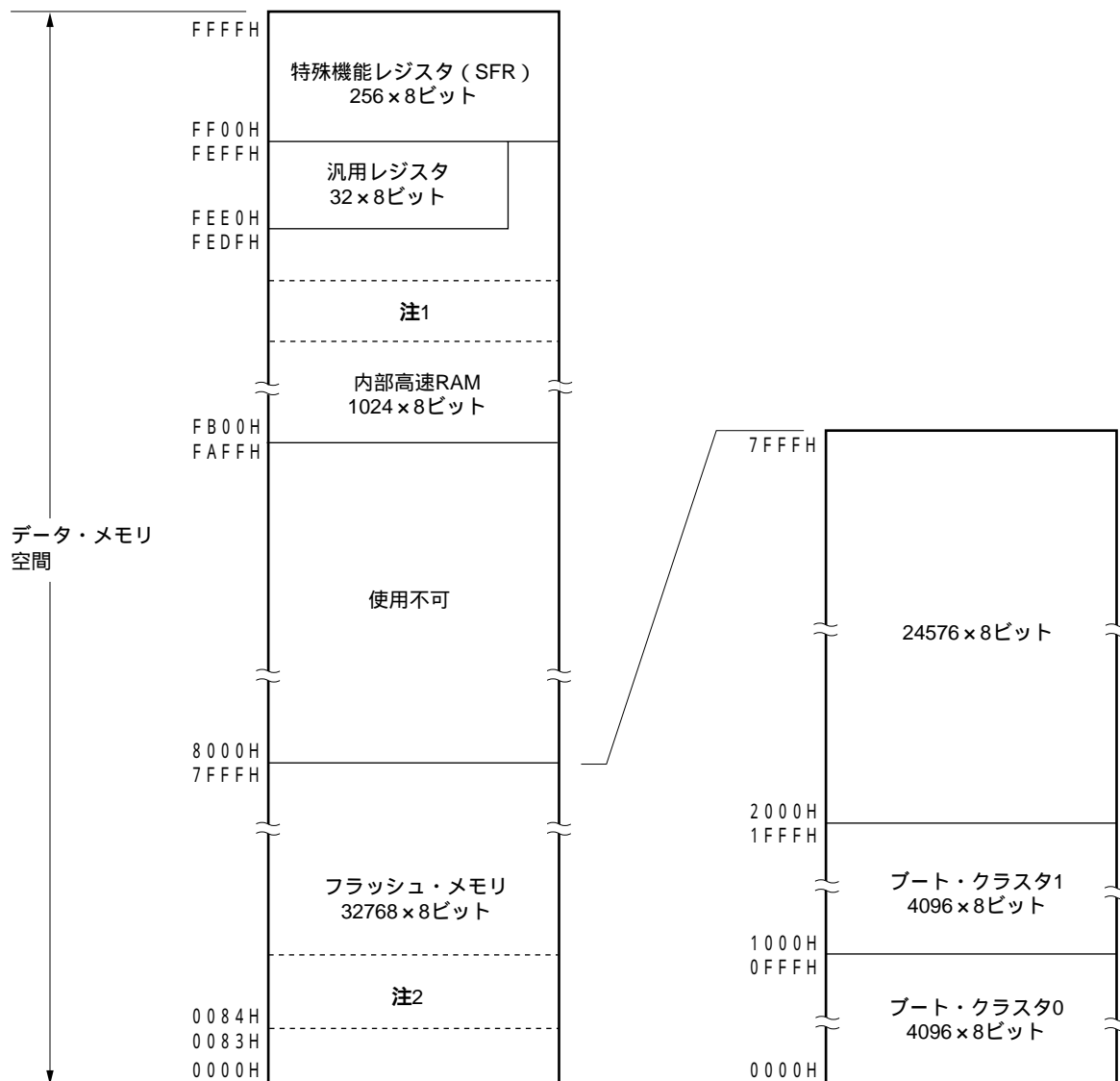




### 25.8.2 メモリ・マップとブート領域

図25 - 22にメモリ・マップとブート領域を示します。μPD78F0714のブート・プログラム領域は4 Kバイト単位です。ブート・スワップ時には、図中のブート・クラスタ0とブート・クラスタ1が入れ替わります。

図25 - 22 メモリ・マップとブート領域



注1．オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域として、9バイト（予定）使用します。

2．オンチップ・デバッグ時は、通信コマンド用領域（256バイト～1 Kバイト）となるため、使用不可になります。

## 第26章 オンチップ・ディバグ機能

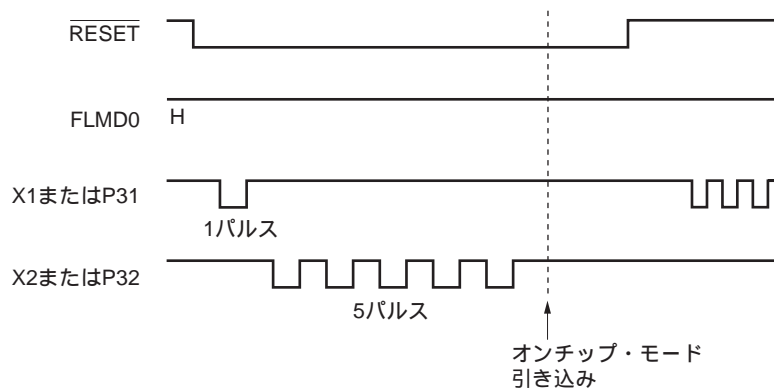
μPD78F0714は、オンチップ・ディバグ用のオンチップ・ディバグ・エミュレータ（QB-78K0MINIまたは、QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 $V_{DD}$ 、FLMD0、 $\overline{RESET}$ 、X1（またはP31）、X2（またはP32）、 $V_{SS}$ 端子を使用します。X1とP31、X2とP32はどちらを使用するか、選択できます。

**注意 1**．誤動作を防ぐため、リセット後にP31を必ずプルダウンしてください。

**2**．P31をオンチップ・ディバグ機能で使用する場合、P31をオンチップ・ディバグ機能以外では使用しないことを推奨します。

**備考** オンチップ・ディバグ機能の詳細については、QB-78K0MINI ユーザーズ・マニュアル（U17029J）または、QB-MINI2 ユーザーズ・マニュアル（U18371J）を参照してください。

図26 - 1 オンチップ・ディバグ・モード引き込みタイミング図



## 第27章 命令セットの概要

μPD78F0714の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

## 27.1 凡 例

### 27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$ : 相対アドレス指定
- ・ [ ] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表27 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号 <sup>注</sup>
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） <sup>注</sup>
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FE1EH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH イミディエト・データまたはラベル
addr5	0040H-007EH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 3 特殊機能レジスタ一覧を参照してください。

### 27.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクابل割り込み処理中フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
x <sub>H</sub> , x <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
∨	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
addr11	: イミディエト・データまたはレーベル
addr5	: イミディエト・データまたはレーベル (偶数アドレスのみ)
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 27.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 27.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <small>注3</small>	1	2	-	A r			
		r, A <small>注3</small>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [ DE ]	1	4	5	A (DE)			
		[ DE ] A	1	4	5	(DE) A			
		A, [ HL ]	1	4	5	A (HL)			
		[ HL ] A	1	4	5	(HL) A			
		A, [ HL + byte ]	2	8	9	A (HL + byte)			
		[ HL + byte ] A	2	8	9	(HL + byte) A			
		A, [ HL + B ]	1	6	7	A (HL + B)			
		[ HL + B ] A	1	6	7	(HL + B) A			
	A, [ HL + C ]	1	6	7	A (HL + C)				
	[ HL + C ] A	1	6	7	(HL + C) A				
	XCH	A, r <small>注3</small>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [ DE ]		1	4	6	A (DE)				
A, [ HL ]		1	4	6	A (HL)				
A, [ HL + byte ]		2	8	10	A (HL + byte)				
A, [ HL + B ]		2	8	10	A (HL + B)				
A, [ HL + C ]	2	8	10	A (HL + C)					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビットデータ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp 注3	1	4	-	AX rp			
		rp, AX 注3	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp 注3	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r 注4	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r 注4	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . rp = BC, DE, HLのときのみ。
- 4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <sup>注3</sup>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。



命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r <sup>注3</sup>	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A (HL)		x	
		A, [HL + byte]	2	8	9	A A (HL + byte)		x	
		A, [HL + B]	2	8	9	A A (HL + B)		x	
		A, [HL + C]	2	8	9	A A (HL + C)		x	
	XOR	A, #byte	2	4	-	A A ∨ byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) ∨ byte		x	
		A, r <sup>注3</sup>	2	4	-	A A ∨ r		x	
		r, A	2	4	-	r r ∨ A		x	
		A, saddr	2	4	5	A A ∨ (saddr)		x	
		A, !addr16	3	8	9	A A ∨ (addr16)		x	
		A, [HL]	1	4	5	A A ∨ (HL)		x	
		A, [HL + byte]	2	8	9	A A ∨ (HL + byte)		x	
		A, [HL + B]	2	8	9	A A ∨ (HL + B)		x	
		A, [HL + C]	2	8	9	A A ∨ (HL + C)		x	
	CMP	A, #byte	2	4	-	A - byte		x	x x
		saddr, #byte	3	6	8	(saddr) - byte		x	x x
		A, r <sup>注3</sup>	2	4	-	A - r		x	x x
		r, A	2	4	-	r - A		x	x x
		A, saddr	2	4	5	A - (saddr)		x	x x
		A, !addr16	3	8	9	A - (addr16)		x	x x
		A, [HL]	1	4	5	A - (HL)		x	x x
		A, [HL + byte]	2	8	9	A - (HL + byte)		x	x x
		A, [HL + B]	2	8	9	A - (HL + B)		x	x x
		A, [HL + C]	2	8	9	A - (HL + C)		x	x x
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x x
	CMPW	AX, #word	3	6	-	AX - word		x	x x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr)+ 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
DECW	rp	1	4	-	rp rp - 1				
ローテート	ROR	A, 1	1	2	-	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> )× 1 回			x
	ROL	A, 1	1	2	-	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> )× 1 回			x
	RORC	A, 1	1	2	-	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> )× 1 回			x
	ROLC	A, 1	1	2	-	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> )× 1 回			x
	ROR4	[ HL ]	2	10	12	A <sub>3-0</sub> (HL) <sub>β-0</sub> , (HL) <sub>γ-4</sub> A <sub>3-0</sub> , (HL) <sub>β-0</sub> (HL) <sub>γ-4</sub>			
	ROL4	[ HL ]	2	10	12	A <sub>3-0</sub> (HL) <sub>γ-4</sub> , (HL) <sub>β-0</sub> A <sub>3-0</sub> , (HL) <sub>γ-4</sub> (HL) <sub>β-0</sub>			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[ HL ]bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY $\bar{C}Y \nabla (saddr.bit)$			x
		CY, sfr.bit	3	-	7	CY $\bar{C}Y \nabla sfr.bit$			x
		CY, A.bit	2	4	-	CY $\bar{C}Y \nabla A.bit$			x
		CY, PSW.bit	3	-	7	CY $\bar{C}Y \nabla PSW.bit$			x
		CY, [HL]bit	2	6	7	CY $\bar{C}Y \nabla (HL)bit$			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL]bit	2	6	8	(HL)bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL]bit	2	6	8	(HL)bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY $\bar{C}Y$			x	
コール・リターン	CALL	laddr16	3	7	-	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> , PC addr16, SP SP - 2			
	CALLF	laddr11	2	5	-	(SP - 1) (PC + 2) <sub>H</sub> , (SP - 2) (PC + 2) <sub>L</sub> , PC <sub>15-11</sub> 00001, PC <sub>10-0</sub> addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (addr5 + 1), PC <sub>L</sub> (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) <sub>H</sub> , (SP - 3) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (003FH), PC <sub>L</sub> (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2			
	RETI		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	laddr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC <sub>H</sub> A, PC <sub>L</sub> X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset(saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL]bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset(HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B = B - 1, then PC = PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C = C - 1, then PC = PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) = (saddr) - 1, then PC = PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 = n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1( Enable Interrupt )			
	DI		2	-	6	IE = 0( Disable Interrupt )			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

## 27.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r <sup>注</sup>	sfr	saddr	!addr16	PSW	[ DE ]	[ HL ]	[ HL+byte ] [ HL+B ] [ HL+C ]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[ DE ]		MOV											
[ HL ]		MOV											ROR4 ROL4
[ HL + byte ] [ HL + B ] [ HL + C ]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[ HL ]bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[ HL ]bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1



(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[ addr5 ]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

## 第28章 電気的特性

**注意**  $\mu$ PD78F0714はオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用后，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。

### 絶対最大定格 (TA = 25 ) (1/2)

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 6.5	V	
	EV <sub>DD</sub>		- 0.3 ~ + 6.5	V	
	V <sub>SS</sub>		- 0.3 ~ + 0.3	V	
	EV <sub>SS</sub>		- 0.3 ~ + 0.3	V	
	AV <sub>REF</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V	
	AV <sub>SS</sub>		- 0.3 ~ + 0.3	V	
入力電圧	V <sub>I</sub>	P00-P03, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P73, X1, X2, $\overline{\text{RESET}}$	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V	
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V	
アナログ入力電圧	V <sub>AN</sub>		AV <sub>SS</sub> - 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>		
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 10	mA	
		端子合計 - 60 mA	P00-P03, P30-P33, P50-P57	- 30	mA
			P10-P17, P40-P47, P64-P67, P70-P73, TW0TO0-TW0TO5	- 30	mA

**注** 6.5 V以下であること

**注意** 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

**備考** 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (T<sub>A</sub> = 25 ) (2/2)

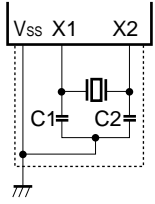
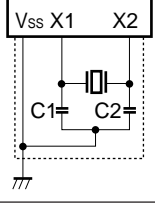
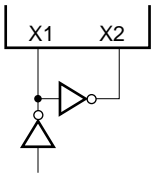
項 目	略 号	条 件		定 格	単 位
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	P00-P03, P10-P17, P30-P33, P40-P47, P64-P67, P70-P73	20	mA
			P50-P57, TW0TO0-TW0TO5	30	mA
		端子合計 280 mA	P00-P03, P30-P33	30	mA
			P10-P17, P40-P47, P64-P67, P70-P73	50	mA
			TW0TO0-TW0TO5	100	mA
			P50-P57	100	mA
動作周囲温度	T <sub>A</sub>	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 10 ~ + 85		
保存温度	T <sub>stg</sub>		- 40 ~ + 125		

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

( $T_A = -40 \sim +85$  , 4.0 V  $V_{DD} = EV_{DD}$  5.5 V, 4.0 V  $AV_{REF}$   $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$  V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.5 V	5.0		20	MHz
水晶振動子		発振周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.5 V	5.0		20	MHz
外部クロック		X1入力周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.5 V	5.0		20	MHz
		X1入力ハイ、ロウ・レベル幅 ( $t_{XPH}$ , $t_{XPL}$ )	4.0 V $V_{DD}$ 5.5 V	24		100	ns

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1 . X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . リセット解除後は、内蔵発振クロックによりCPUが起動されるため、X1入力クロックの発振安定時間を発振安定時間状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振器特性

( $T_A = -40 \sim +85$  , 3.3 V  $V_{DD} = EV_{DD}$  5.5 V, 3.3 V  $AV_{REF}$   $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$  V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
内蔵発振回路	発振周波数 ( $f_R$ )		120	240	480	kHz

DC特性 (1/3)

( $T_A = -40 \sim +85$  , 4.0 V  $V_{DD} = EV_{DD}$  5.5 V, 4.0 V  $AV_{REF}$   $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	4.0 V $V_{DD}$ 5.5 V			- 5	mA
		P00-P03, P30-P33, P50-P57 合計	4.0 V $V_{DD}$ 5.5 V			- 25	mA
		P10-P17, P40-P47, P64-P67, P70-P73, TW0TO0-TW0TO5 合計	4.0 V $V_{DD}$ 5.5 V			- 25	mA
ロウ・レベル出力電流	I <sub>OL</sub>	P00-P03, P10-P17, P30-P33, P40-P47, P64-P67, P70-P73 1端子	4.0 V $V_{DD}$ 5.5 V			10	mA
		P50-P57, TW0TO0-TW0TO5 1端子	4.0 V $V_{DD}$ 5.5 V			15	mA
		P00-P03, P30-P33 合計	4.0 V $V_{DD}$ 5.5 V			15	mA
		P10-P17, P40-P47, P64-P67, P70-P73 合計	4.0 V $V_{DD}$ 5.5 V			25	mA
		TW0TO0-TW0TO5 合計	4.0 V $V_{DD}$ 5.5 V			70	mA
		P50-P57 合計	4.0 V $V_{DD}$ 5.5 V			70	mA
ハイ・レベル入力電圧	V <sub>IH1</sub>	P14, P17, P30-P33, P40-P47, P64-P67, P70-P73	4.0 V $V_{DD}$ 5.5 V	0.7V <sub>DD</sub>		V <sub>DD</sub>	V
		P00-P03, P10-P13, P15, P16, P50-P57, $\overline{RESET}$	4.0 V $V_{DD}$ 5.5 V	0.8V <sub>DD</sub>		V <sub>DD</sub>	V
		P20-P27 <sup>注</sup>	4.0 V $V_{DD}$ 5.5 V	0.7AV <sub>REF</sub>		AV <sub>REF</sub>	V
		X1, X2	4.0 V $V_{DD}$ 5.5 V	V <sub>DD</sub> - 0.5		V <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL1</sub>	P14, P17, P30-P33, P40-P47, P64-P67, P70-P73	4.0 V $V_{DD}$ 5.5 V	0		0.3V <sub>DD</sub>	V
		P00-P03, P10-P13, P15, P16, P50-P57, $\overline{RESET}$	4.0 V $V_{DD}$ 5.5 V	0		0.2V <sub>DD</sub>	V
		P20-P27 <sup>注</sup>	4.0 V $V_{DD}$ 5.5 V	0		0.3AV <sub>REF</sub>	V
		X1, X2	4.0 V $V_{DD}$ 5.5 V	0		0.4	V

注 デジタル入力ポートとして使用する場合は, AV<sub>REF</sub> = EV<sub>DD</sub>にしてください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3)

( $T_A = -40 \sim +85$  , 4.0 V  $V_{DD} = EV_{DD}$  5.5 V, 4.0 V  $AV_{REF}$   $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V <sub>OH</sub>	P00-P03, P10-P17, P30-P33, P40-P47, P64-P67, P70-P73	4.0 V $V_{DD}$ 5.5 V, $I_{OH} = -5$ mA	$V_{DD} - 1.0$			V
		P50-P57, TW0TO0-TW0TO5	4.0 V $V_{DD}$ 5.5 V, $I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
		$I_{OH} = -100$ $\mu$ A	4.0 V $V_{DD}$ 5.5 V	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V <sub>OL</sub>	P50-P57, TW0TO0-TW0TO5	4.0 V $V_{DD}$ 5.5 V, $I_{OL} = 15$ mA		0.4	2.0	V
		P00-P03, P10-P17, P30-P33, P40-P47, P64-P67, P70-P73 合計 $I_{OL} = 20$ mA	4.0 V $V_{DD}$ 5.5 V, $I_{OL} = 10$ mA			1.5	V
		$I_{OL} = 400$ $\mu$ A	4.0 V $V_{DD}$ 5.5 V			0.5	V
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	$V_I = V_{DD}$	P00-P03, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P73, $\overline{RESET}$			3	$\mu$ A
		$V_I = AV_{REF}$	P20-P27			3	$\mu$ A
	I <sub>LIH2</sub>	$V_I = V_{DD}$	X1, X2 <sup>注</sup>			20	$\mu$ A
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	$V_I = 0$ V	P00-P03, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P64-P67, P70-P73, $\overline{RESET}$			- 3	$\mu$ A
	I <sub>LIL2</sub>		X1, X2 <sup>注</sup>			- 20	$\mu$ A
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	$V_O = V_{DD}$				3	$\mu$ A
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	$V_O = 0$ V				- 3	$\mu$ A
プルアップ抵抗値	R <sub>L</sub>	$V_I = 0$ V		10	30	100	k
FLMD0電源電圧	F <sub>lmd</sub>	通常動作時		0		0.2V <sub>DD</sub>	V

注 X2にX1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/3)

( $T_A = -40 \sim +85$  , 4.0 V  $V_{DD} = EV_{DD}$  5.5 V, 4.0 V  $AV_{REF}$   $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	X1水晶発振	f <sub>XP</sub> = 20 MHz	A/Dコンバータ停止時		18.0	36.0	mA
		動作モード <sup>注2</sup>	V <sub>DD</sub> = 5.0 V ± 10 % <sup>注3</sup>	A/Dコンバータ動作時 <sup>注4</sup>		20.0	40.0	mA
	I <sub>DD2</sub>	X1水晶発振	f <sub>XP</sub> = 20 MHz	周辺機能停止時		3.5	7.0	mA
		HALTモード	V <sub>DD</sub> = 5.0 V ± 10 %	周辺機能動作時			15	mA
	I <sub>DD3</sub>	内蔵発振クロック・モード <sup>注5</sup>	V <sub>DD</sub> = 5.0 V ± 10 %			3.0	6.0	mA
	I <sub>DD4</sub>	STOPモード	V <sub>DD</sub> = 5.0 V ± 10 %	内蔵発振器 : OFF		3.5	35.5	μA
内蔵発振器 : ON					17.5	63.5	μA	

注1 . 内部電源 (V<sub>DD</sub>) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

- 2 . I<sub>DD1</sub>は周辺動作電流を含みます。
- 3 . PCC = 00Hに設定したとき。
- 4 . AV<sub>REF</sub>端子に流れる電流を含みます。
- 5 . X1発振停止時。

AC特性

(1) 基本動作

( $T_A = -40 \sim +85$  ,  $4.0\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$ ,  $4.0\text{ V} \leq AV_{REF} \leq V_{DD}$ ,  $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$ )

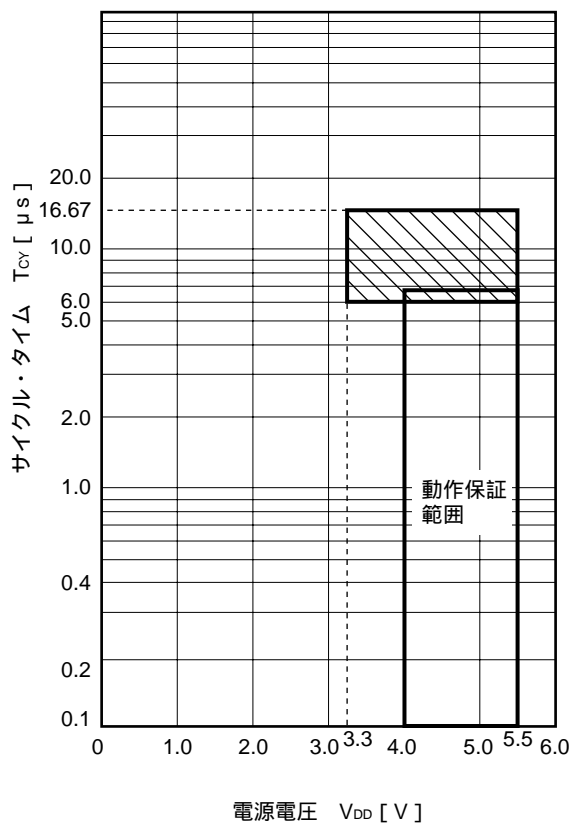
項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T <sub>CY</sub>	X1入力クロック	0.1		6.4	μs
		内蔵発振クロック	3.3 V $V_{DD}$ 5.5 V	4.17	8.33	16.67
TI000, TI001入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH0</sub> , t <sub>TIL0</sub>	4.0 V $V_{DD}$ 5.5 V	2/f <sub>sam1</sub> + 0.1 <sup>注1</sup>			μs
TI150, TI151入力周波数	f <sub>TI15</sub>	4.0 V $V_{DD}$ 5.5 V			10	MHz
TI150, TI151入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH5</sub> , t <sub>TIL5</sub>	4.0 V $V_{DD}$ 5.5 V	50			ns
TIT20IUD, TIT20CUD, TIT20CC0, TIT20CC1, TIT20CLR入力 ハイ・レベル幅, ロウ・レベル幅	t <sub>wUDH</sub> , t <sub>wUDL</sub>	4.0 V $V_{DD}$ 5.5 V	2/f <sub>sam2</sub> + 0.1 <sup>注2</sup>			μs
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t <sub>INTH</sub> , t <sub>INTL</sub>	4.0 V $V_{DD}$ 5.5 V	1			μs
ADTRG入力ハイ・レベル幅, ロウ・レベル幅	t <sub>ADTH</sub> , t <sub>ADTL</sub>	4.0 V $V_{DD}$ 5.5 V	1			μs
RESETロウ・レベル幅	t <sub>RSL</sub>	4.0 V $V_{DD}$ 5.5 V	10			μs

注1 . プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により,  $f_{sam1} = f_{XP}/2$ ,  $f_{XP}/4$ ,  $f_{XP}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は,  $f_{sam1} = f_{XP}$ となります。

2 . ノイズ除去時間選択レジスタ1 (NRC1) のビット0, 1 (NRC10, NRC11) により,  $f_{sam2} = f_x/2^3$ ,  $f_x/2^2$ ,  $f_x/2$ ,  $f_x$ の選択が可能です。



T<sub>cy</sub> vs V<sub>DD</sub> (メイン・システム・クロック動作時)



備考 斜線の部分は内蔵発振クロック選択時のみです。

(2) シリアル・インタフェース

( $T_A = -40 \sim +85$  ,  $4.0\text{ V}$   $V_{DD} = EV_{DD} 5.5\text{ V}, 4.0\text{ V}$   $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$ )

(a) UARTモード (UART0, 専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(b) 3線式シリアルI/Oモード (マスタ・モード,  $\overline{SCK10}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	$t_{kCY1}$	$4.0\text{ V}$ $V_{DD} 5.5\text{ V}$	200			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	$t_{kH1},$ $t_{kL1}$		$t_{kCY1}/2 - 10$			ns
SI10セットアップ時間 (対 $\overline{SCK10}$ )	$t_{sIK1}$		30			ns
SI10ホールド時間 (対 $\overline{SCK10}$ )	$t_{kSI1}$		30			ns
$\overline{SCK10}$ SO10出力遅延時間	$t_{kSO1}$	$C = 100\text{ pF}$ <sup>注</sup>			30	ns

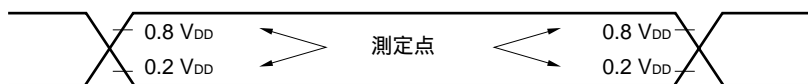
注 Cは,  $\overline{SCK10}$ , SO10出力ラインの負荷容量です。

(c) 3線式シリアルI/Oモード (スレーブ・モード,  $\overline{SCK10}$ ...外部クロック入力)

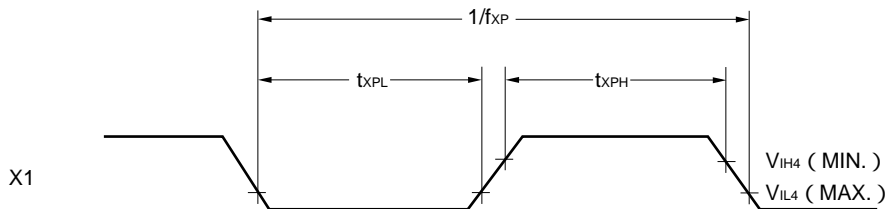
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	$t_{kCY2}$		400			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	$t_{kH2},$ $t_{kL2}$		$t_{kCY2}/2$			ns
SI10セットアップ時間 (対 $\overline{SCK10}$ )	$t_{sIK2}$		80			ns
SI10ホールド時間 (対 $\overline{SCK10}$ )	$t_{kSI2}$		50			ns
$\overline{SCK10}$ SO10出力遅延時間	$t_{kSO2}$	$C = 100\text{ pF}$ <sup>注</sup>			120	ns

注 Cは, SO10出力ラインの負荷容量です。

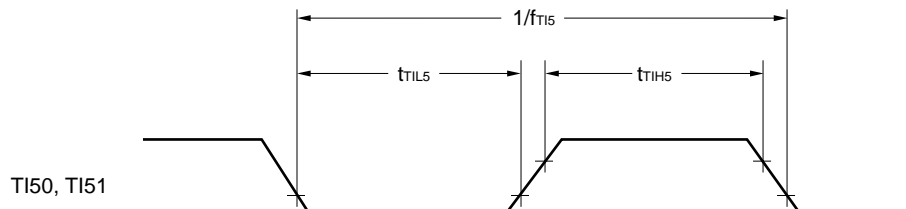
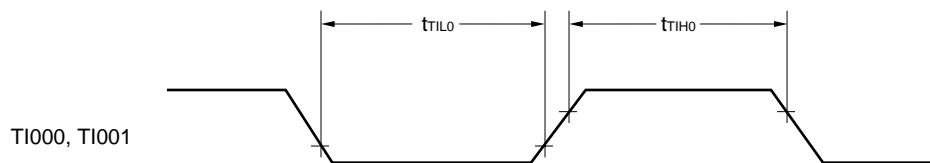
ACタイミング測定点 (X1入力を除く)



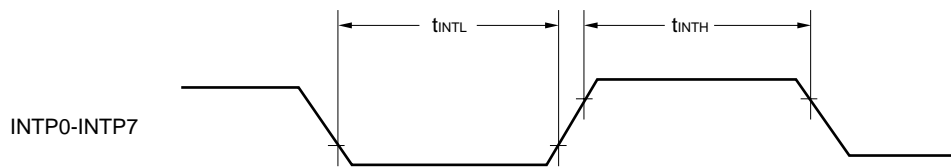
クロック・タイミング



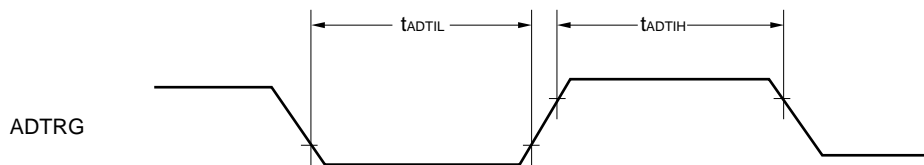
TIタイミング



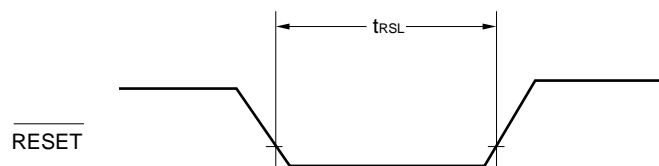
割り込み要求入力タイミング



A/Dトリガ入力タイミング

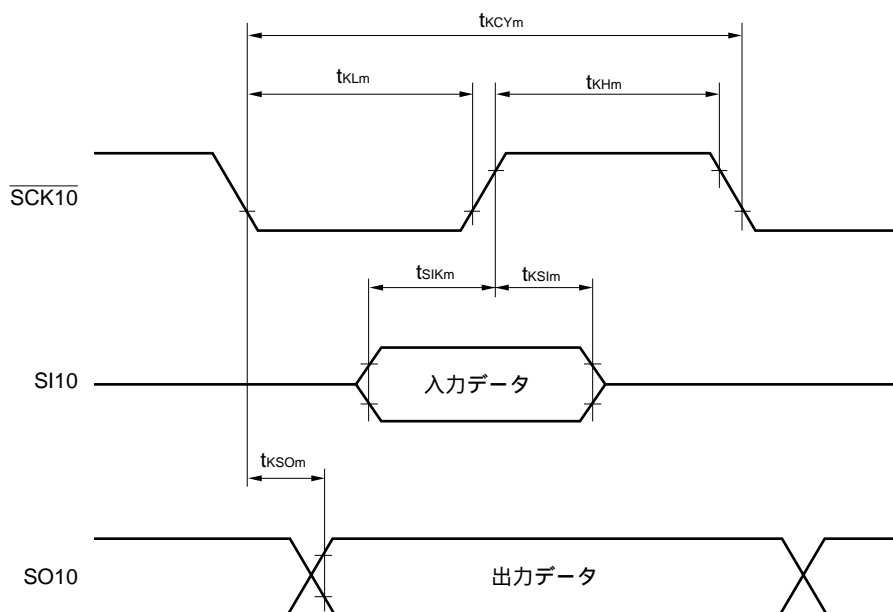


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 m = 1, 2

A/Dコンバータ特性

( $T_A = -40 \sim +85$  , 4.0 V  $V_{DD} = EV_{DD} 5.5 V, 4.0 V$   $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 <sup>注1,2</sup>		4.0 V $AV_{REF} 5.5 V$		$\pm 0.2$	$\pm 0.4$	%FSR
変換時間	$t_{CONV}$	4.5 V $AV_{REF} V_{DD}$	3.6		100	$\mu s$
		4.0 V $AV_{REF} V_{DD}$	4.8		100	$\mu s$
ゼロスケール誤差 <sup>注1,2</sup>		4.0 V $AV_{REF} 5.5 V$			$\pm 0.4$	%FSR
フルスケール誤差 <sup>注1,2</sup>		4.0 V $AV_{REF} 5.5 V$			$\pm 0.4$	%FSR
積分直線性誤差 <sup>注1</sup>		4.0 V $AV_{REF} 5.5 V$			$\pm 2.5$	LSB
微分直線性誤差 <sup>注1</sup>		4.0 V $AV_{REF} 5.5 V$			$\pm 1.5$	LSB
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{REF}$	V

注1．量子化誤差 ( $\pm 1/2LSB$ ) を含みません。

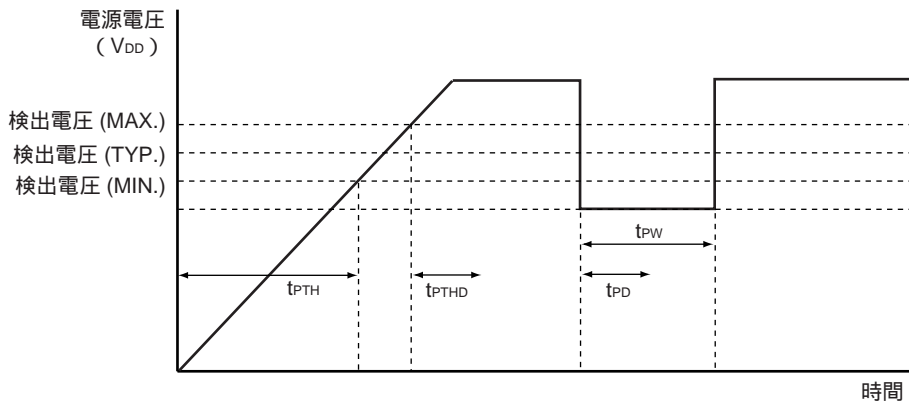
2．フルスケール値に対する比率 (%FSR) で表します。

POC回路特性 ( $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POC}$		3.3	3.5	3.7	V
電源立ち上げ時間	$t_{PTH}$	$V_{DD} : 0 V \sim 3.3 V$	0.002			ms
応答遅延時間 <sup>1注</sup>	$t_{PTHd}$	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答遅延時間 <sup>2注</sup>	$t_{PD}$	$V_{DD}$ 降下時			1.0	ms
最小パルス幅	$t_{PW}$		0.2			ms

注 検出電圧を検出してからリセットを解除するまでの時間です。

POC回路タイミング



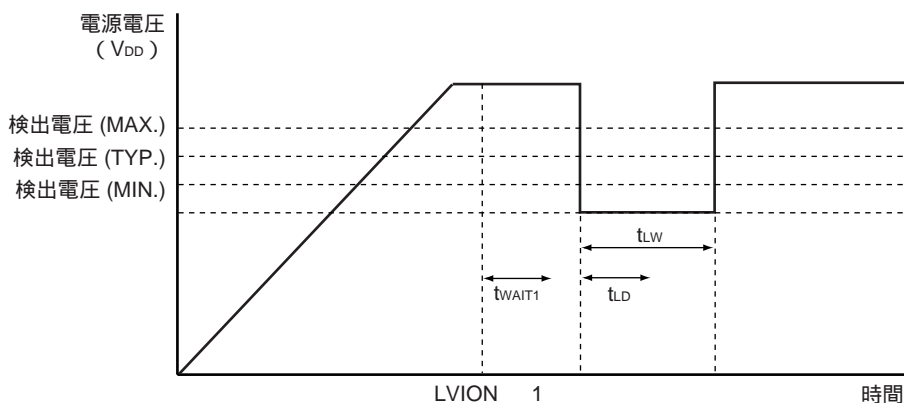
LVI回路特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>LVI</sub>		4.1	4.3	4.5	V
応答時間 <sup>注1</sup>	t <sub>LD</sub>			0.2	2.0	ms
最小パルス幅	t <sub>LW</sub>		0.2			ms
動作安定待ち時間 <sup>注2</sup>	t <sub>LWAIT1</sub>			0.1	0.2	ms

注1．検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

2．LVION に1を設定してから，動作が安定するまでの時間です。

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		2.0		5.5	V
リリース信号セット時間	t <sub>SREL</sub>		0			μs

フラッシュ・メモリ・プログラミング特性

( $T_A = +10 \sim +85$  ,  $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $4.0\text{ V} \leq AV_{REF} \leq V_{DD}$ ,  $V_{SS} = 0\text{ V}$ )

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
$V_{DD}$ 電源電流	$I_{DD}$	$f_X = 20\text{ MHz}$ , $V_{DD} = 5.5\text{ V}$ 時			42	mA
ステップ消去時間	$T_{erass}$			10		ms
消去時間 <sup>注1</sup>	チップ単位	$T_{eraca}$		0.01	2.55	s
	セクタ単位	$T_{erasa}$		0.01	2.55	s
書き込み時間	$T_{wrwa}$			50	500	$\mu\text{s}$
1チップあたりの書き換え回数	$C_{enwr}$	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする <sup>注2</sup>			100	回

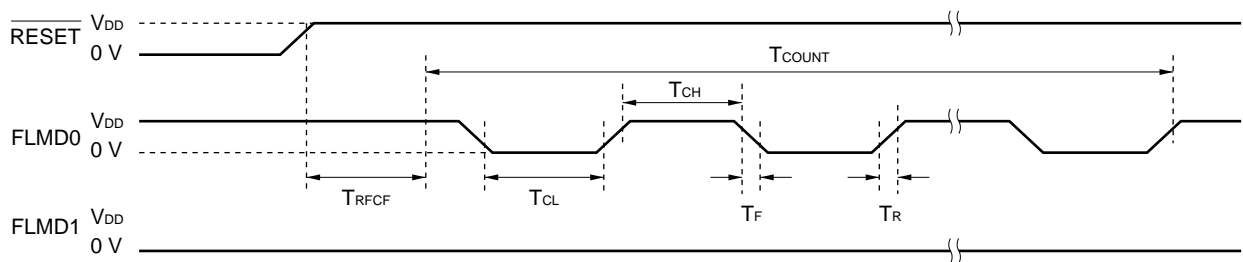
注1．消去ベリファイ時間（ライトバック時間）は含まれません。

2．あるセクタ（2Kバイト）に、1ワード単位で512回に分けて書き込みを行ったあとセクタ - 消去を行った場合、書き換え回数は1回となります。消去1回に対し、同一番地に2回以上の書き込みは禁止です。

(2) シリアル書き込みオペレーション特性

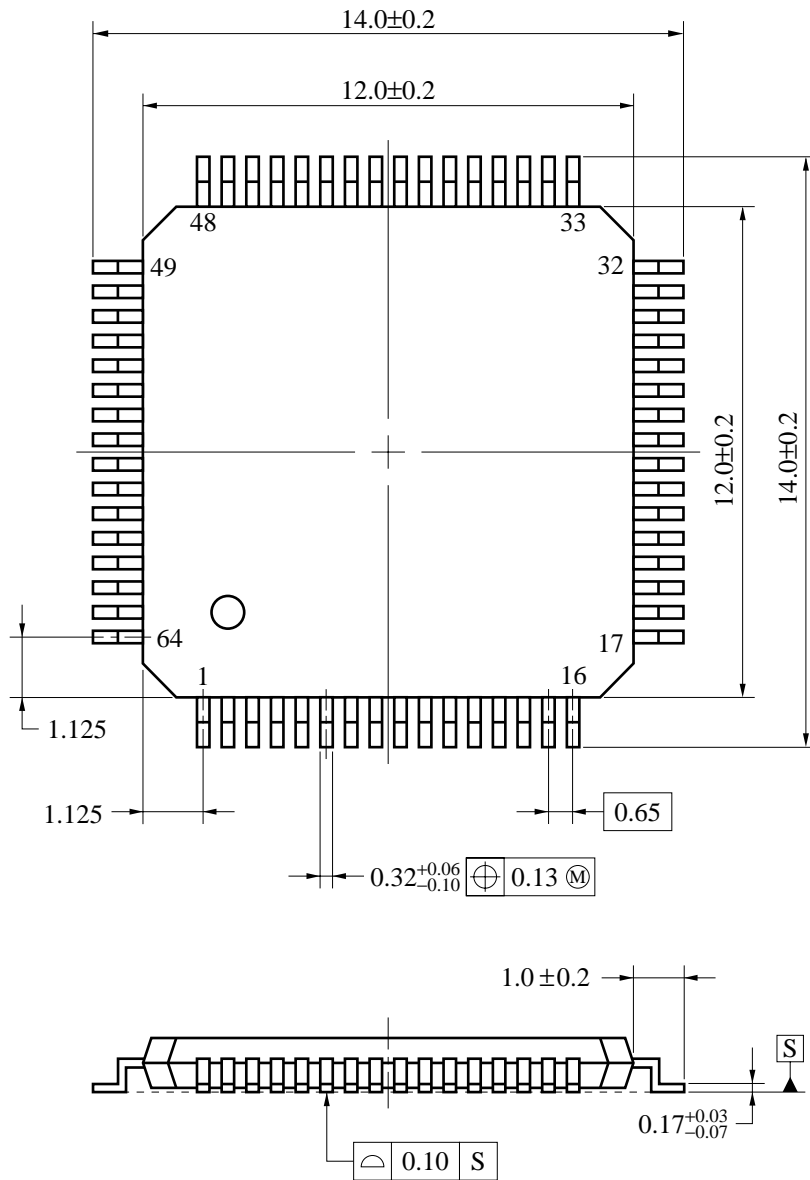
項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET FLMD0カウント開始時間	$T_{RFCF}$		$2^{19}/f_X +$			$\mu\text{s}$
カウント実行時間	$T_{COUNT}$				10	ms
FLMD0カウンタ ハイ/ロウ・レベル幅	$T_{CH}/T_{CL}$		10		100	$\mu\text{s}$

シリアル書き込みオペレーション

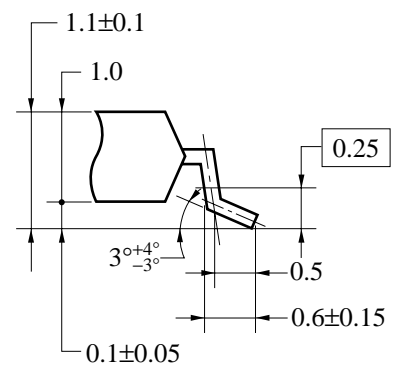


# 第29章 外形図

64ピン・プラスチック TQFP (12x12) 外形図 (単位 : mm)



端子先端形状詳細図



P64GK-65-9ET-3



## 第30章 ウェイトに関する注意事項

### 30.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表30 - 1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

## 30.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数（VSWC = 0の場合）を表30 - 1に示します。

表30 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数（VSWC = 0の場合）

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
ウォッチドッグ・タイマ	WDTM	ライト	3クロック（固定）
シリアル・インタフェースUART00	ASIS00	リード	1クロック（固定）
A/Dコンバータ	ADM	ライト	1～5クロック <sup>注</sup>
	ADS	ライト	（ADM.5 = “1” 選択時）
	PFM	ライト	1～9クロック <sup>注</sup>
	PFT	ライト	（ADM.5 = “0” 選択時）
	ADCR	リード	1～5クロック （ADM.5フラグ = “1” 選択時） 1～9クロック （ADM.5フラグ = “0” 選択時）
最大ウェイト・クロック数算出式 $\{(1/f_{\text{MACRO}}) \times 2 / (1/f_{\text{CPU}})\} + 1$ 小数点以下は、 $(1/f_{\text{CPU}})$ をかけて $t_{\text{CPUL}}$ 以下であれば切り捨て、 $t_{\text{CPUL}}$ を越える場合には切り上げる。 $f_{\text{MACRO}}$ : マクロ動作周波数 （ADMのビット5（FR2）= “1” のとき： $f_x/2$ 、ADMのビット5（FR2）= “0” のとき： $f_x/2^2$ ） $f_{\text{CPU}}$ : CPUクロック周波数 $t_{\text{CPUL}}$ : CPUクロックのロウ・レベル幅			

注 算出式によりウェイト・クロック数が1クロックとなる場合は、CPUに対するウェイトは発生しません。

備考 クロックは、CPUクロック（ $f_{\text{CPU}}$ ）を示します。

### 30.3 ウェイト発生例

#### ウォッチドッグ・タイマ

MOV WDTM, A 実行時

実行クロック数：8クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, A) の場合, 5クロック)

MOV WDTM, #byte 実行時

実行クロック数：10クロック

(ウェイトが発生しないレジスタへの書き込み時は (MOV sfr, #byte) の場合, 7クロック)

#### シリアル・インタフェースUART00

MOV A, ASIS00 実行時

実行クロック数：6クロック

(ウェイトが発生しないレジスタからの読み出し時は (MOV A, sfr) の場合, 5クロック)

#### A/Dコンバータ

表30 - 2 ウェイト発生時のウェイト・クロック数と実行クロック数 (A/Dコンバータ)

< MOV ADM, A実行時, MOV ADS, A実行時, MOV A, ADCR実行時 >

・  $f_x = 10 \text{ MHz}$ ,  $t_{\text{CPUL}} = 50 \text{ ns}$ 時

ADMレジスタのビット5 (FR2)の値	$f_{\text{CPU}}$	ウェイト・クロック数	実行クロック数
0	$f_x$	9クロック	14クロック
	$f_x/2$	5クロック	10クロック
	$f_x/2^2$	3クロック	8クロック
	$f_x/2^3$	2クロック	7クロック
	$f_x/2^4$	0クロック (1クロック <sup>注</sup> )	5クロック (6クロック <sup>注</sup> )
1	$f_x$	5クロック	10クロック
	$f_x/2$	3クロック	8クロック
	$f_x/2^2$	2クロック	7クロック
	$f_x/2^3$	0クロック (1クロック <sup>注</sup> )	5クロック (6クロック <sup>注</sup> )
	$f_x/2^4$	0クロック (1クロック <sup>注</sup> )	5クロック (6クロック <sup>注</sup> )

注 MOV A, ADCR実行時。

備考 クロックは, CPUクロック ( $f_{\text{CPU}}$ ) を示します。

$f_x$  : X1入力クロック周波数

$t_{\text{CPUL}}$  : CPUクロックのロウ・レベル幅

## 付録A 開発ツール

μPD78F0714を使用するシステム開発のために次のような開発ツールを用意しています。  
図A - 1 に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

### Windowsについて

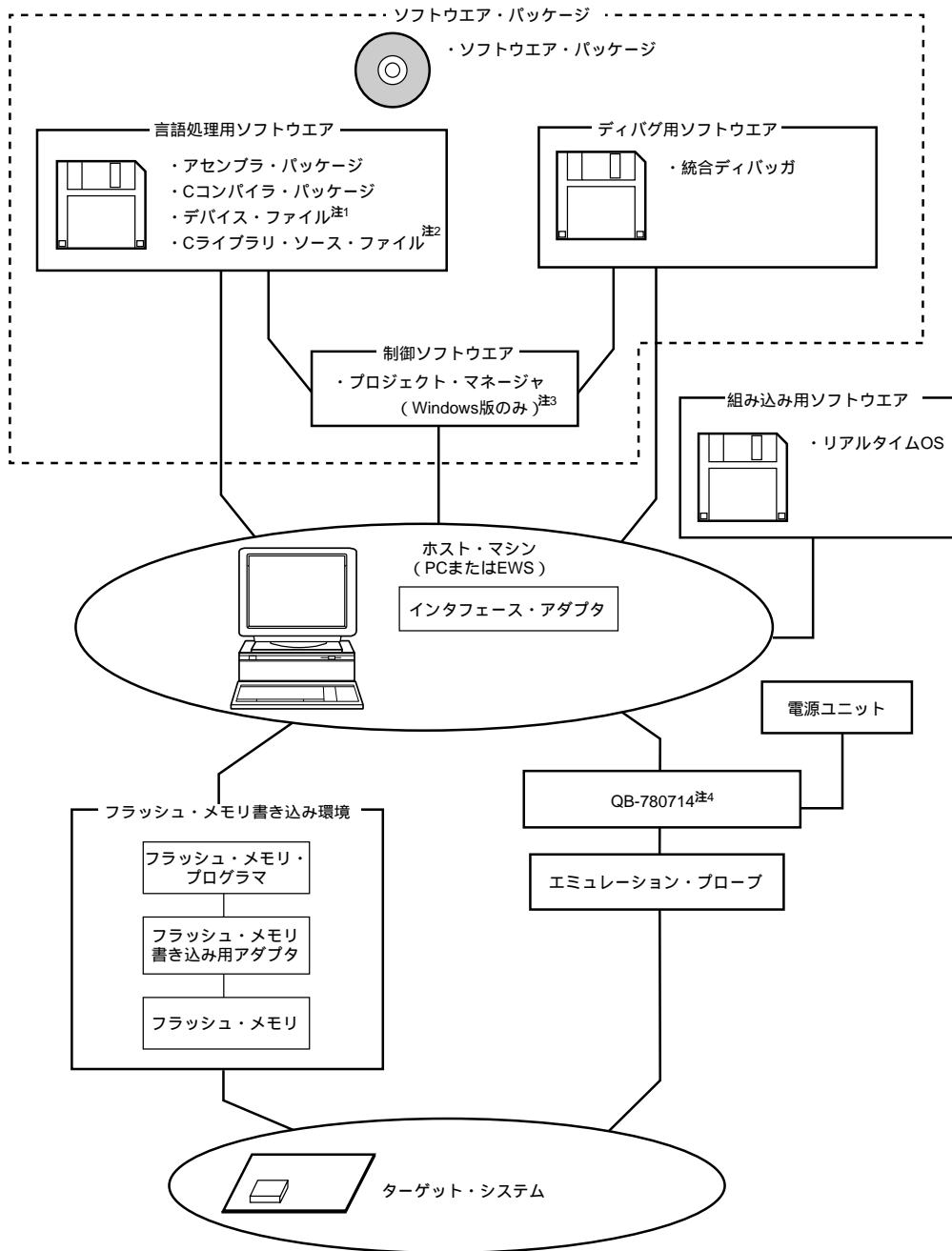
特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, Windows 98, Windows 2000, Windows XP
- ・ Windows NT® Ver. 4.0

**注意** μPD78F0714の開発ツールについては、当社販売員にお問い合わせください。

図A - 1 開発ツール構成 ( 1 / 3 )

( 1 ) インサーキット・エミュレータ QB-780714を使用する場合



注1 . μPD78F0714用のデバイス・ファイル (DF780714) は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

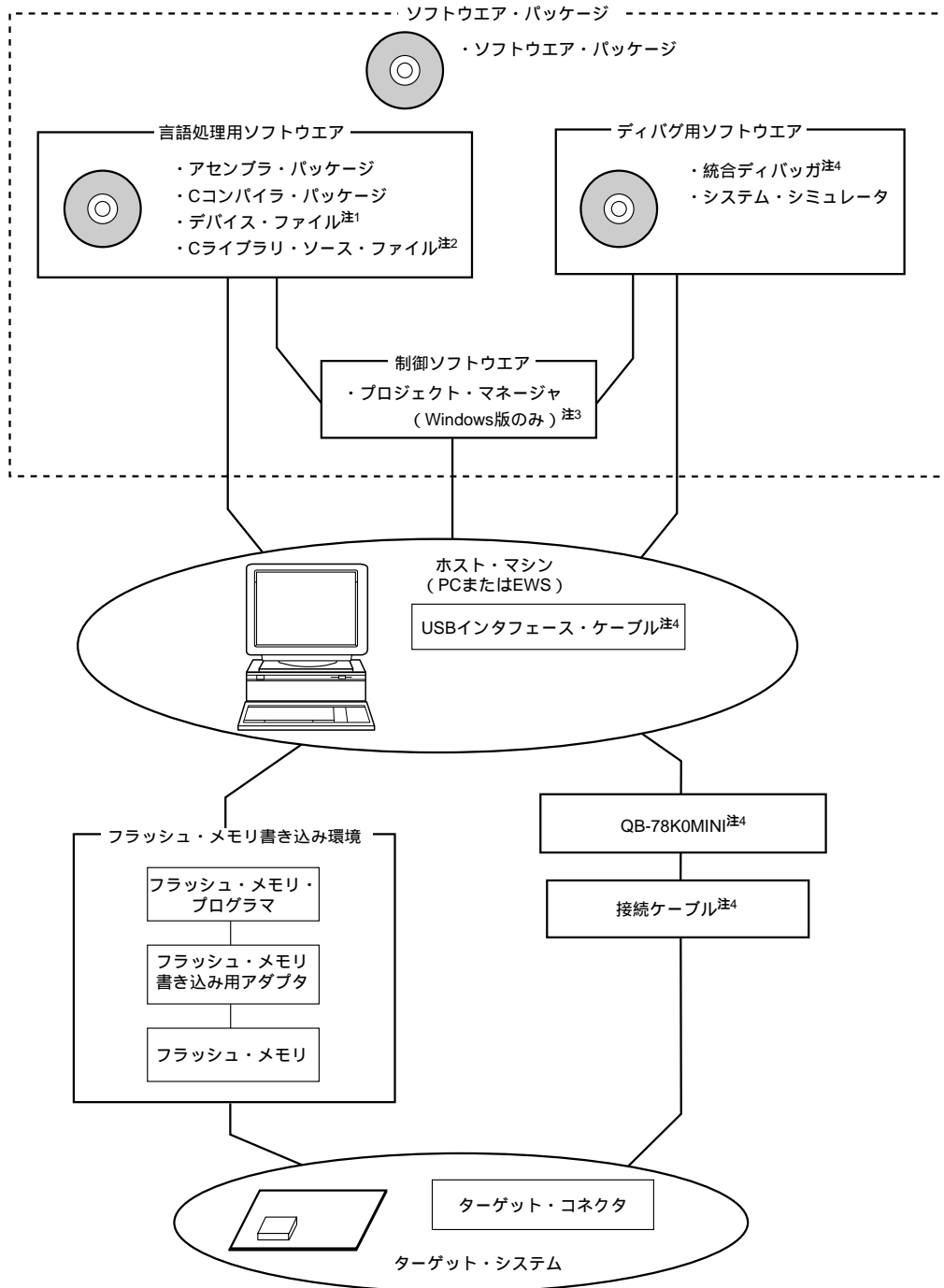
2 . Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

3 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。

4 . インサーキット・エミュレータQB-780714は、統合ディバガ ID78K0-QB、フラッシュ・メモリ・プログラマ PG-FPL (またはQB-MINI2)、電源ユニットとUSBインタフェース・ケーブルを添付していません。それ以外の製品はオプションです。QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

図A - 1 開発ツール構成 ( 2 / 3 )

( 2 ) オンチップ・ディバグ・エミュレータ QB-78K0MINIを使用する場合



注1 .  $\mu$ PD78F0714用のデバイス・ファイル (DF780714) は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

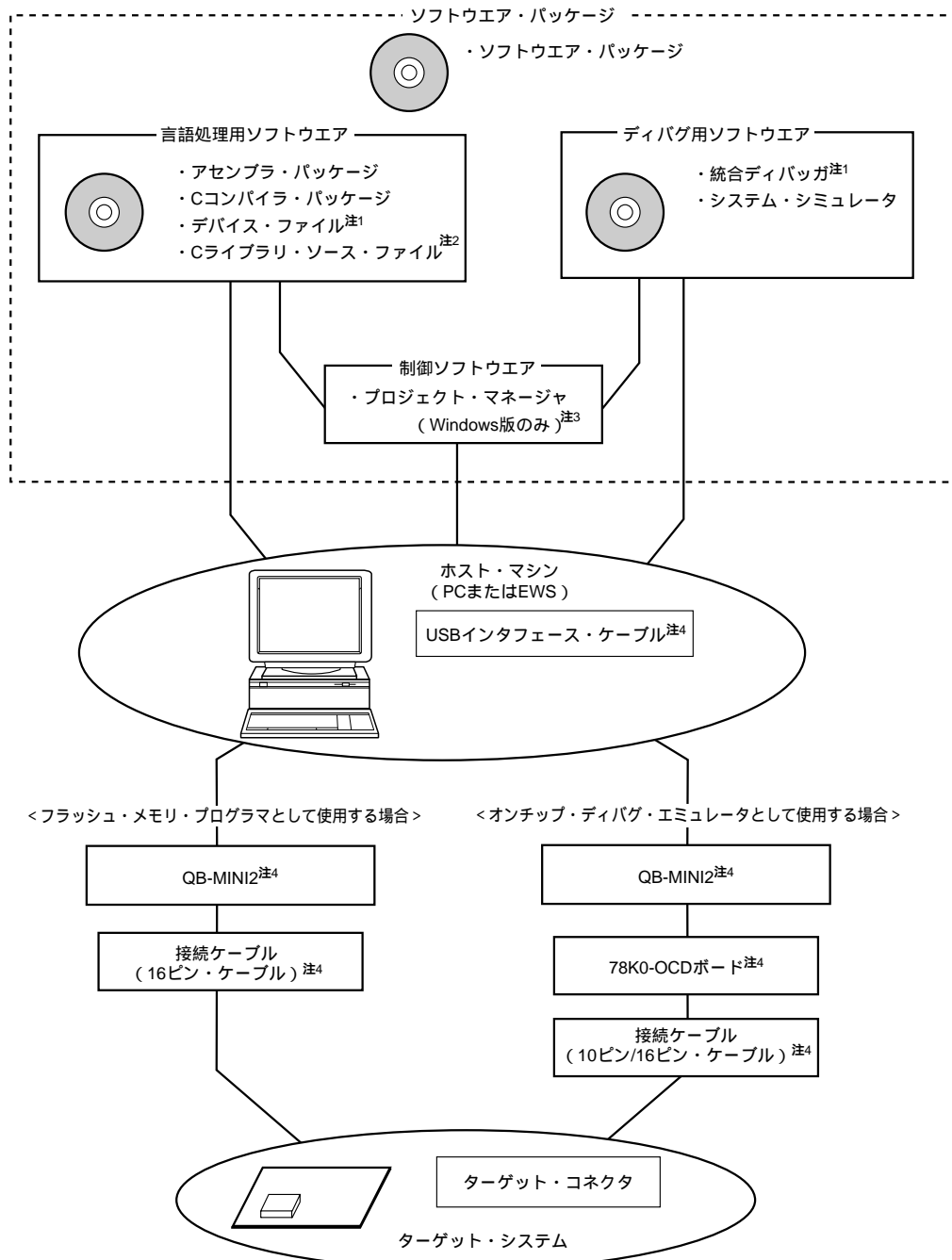
2 . Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

3 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。  
また、Windows以外ではPM+は使用しません。

4 . QB-78K0MINIは、統合ディバガ ID78K0-QB, USBインタフェース・ケーブル, 接続ケーブルを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 ( 3 / 3 )

( 3 ) プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合



- 注1 . μPD78F0714用のデバイス・ファイル (DF780714) および統合ディバग्ガ ID78K0-QBは、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。
- 2 . Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。
- 3 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。
- 4 . QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル ( 10ピン・ケーブル、16ピン・ケーブル )、78K0-OCDボードを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

## A.1 ソフトウェア・パッケージ

SP78K0 78K/0マイクロコントローラ・ ソフトウェア・パッケージ	78K/0マイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダー名称：μS××××SP78K0
--	---

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××SP78K0

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル（DF780714）と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS××××RA78K0</p>
CC78K0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称：μS××××CC78K0</p>
DF780714 <sup>注1</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0, CC78K0, ID78K0-QB）と組み合わせて使用します。対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダー名称：μS××××DF780714</p>
CC78K0-L <sup>注2</sup> Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダー名称：μS××××CC78K0-L</p>

注1．DF780714は、RA78K0, CC78K0, ID78K0-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

2．CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。



備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0  
 μS××××CC78K0  
 μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ ( Rel.10.10 )	
3K17	SPARCstation™	SunOS™ ( Rel. 4 . 1 . 4 ) ， Solaris™ ( Rel. 2 . 5 . 1 )	

μS××××DF780714

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ，	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

### A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ ( RA78K0 ) の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

## A.4 フラッシュ・メモリ書き込み用ツール

### A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4, PG-FPLを使用する場合

FL-PR4, PG-FP4, FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
PG-FPLフラッシュ・メモリ・ プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 インサーキット・エミュレータQB-780714の付属品です。
FA-64GK-9ET-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して 使用します。 ・FA-64GK-9ET-A：64ピン・プラスチックTQFP（GK-9ETタイプ）用

**備考1**．FL-PR5, FL-PR4, FA-64GK-9ET-Aは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

2．フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

### A.4.2 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・ ディバグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 $\mu$ PD78F0714を使用する応用システムを開発する際に、ハードウェア、ソフトウェアを ディバグするためのオンチップ・ディバグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSB インタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

**備考1**．QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・ディバグ時のみに使用します。

2．QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

（<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>）より入手してください。

## A.5 ディバグ用ツール（ハードウェア）

### A.5.1 インサーキット・エミュレータ QB-780714を使用する場合

QB-780714 <sup>注</sup> インサーキット・エミュレータ	μ PD78F0714を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-64GK-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 ・QB-64GK-EA-01T：64ピン・プラスチックTQFP（GK-9ETタイプ）用
QB-64GK-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-64GK-YS-01T：64ピン・プラスチックTQFP（GK-9ETタイプ）用
QB-64GK-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 ・QB-64GK-YQ-01T：64ピン・プラスチックTQFP（GK-9ETタイプ）用
QB-64GK-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-64GK-HQ-01T：64ピン・プラスチックTQFP（GK-9ETタイプ）、オンチップ・ディバグ機能ありのデバイス用
QB-64GK-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-64GK-NQ-01T：64ピン・プラスチックTQFP（GK-9ETタイプ）用

注 QB-780714は、電源ユニット、USBインタフェース・ケーブル、フラッシュ・メモリ・プログラマ PG-FPLを添付しています。また、コントロール・ソフトウェアとして、統合ディバグ ID78K0-QBを添付しています。

備考 オーダ名称により、梱包内容は次のように異なります。

梱包内容 オーダ名称	インサーキット・エミュレータ	エミュレーション・プローブ	エクステンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-780714-ZZZ	QB-780714	なし			
QB-780714-T30MC		QB-80-EP-01T	QB-64GK-EA-01T	QB-64GK-YQ-01T	QB-64GK-NQ-01T

### A.5.2 オンチップ・ディバグ・エミュレータ QB-78K0MINIを使用する場合

QB-78K0MINI <sup>注</sup> オンチップ・ディバグ・エミュレータ	μ PD78F0714を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのオンチップ・ディバグ・エミュレータです。付属の統合ディバグ（ID78K0-QB）に対応しています。付属の接続ケーブル、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタ

注 QB-78K0MINIは、USBインタフェース・ケーブル、接続ケーブル、統合ディバグ ID78K0-QBを添付しています。

### A. 5.3 プログラミング機能付きオンチップ・ディバグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・ ディバグ・エミュレータ	μ PD78F0714を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのオンチップ・ディバグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

備考1．QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・ディバグ時のみに使用します。

2．QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

（<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>）より入手してください。

## A. 6 ディバグ用ツール（ソフトウェア）

ID78K0-QB 統合ディバグ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したディバグです。ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID78K0-QB
---------------------	--

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××ID78K0-QB

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## 付録B レジスタ索引

### B.1 レジスタ索引 (50音順)

#### [あ行]

アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 (ASIS00) ...	302
アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 (ASIM00) ...	300
アナログ入力チャンネル指定レジスタ (ADS) ...	274
インバータ・タイマ・コントロール・レジスタ (TW0C) ...	110
インバータ・タイマ出力制御レジスタ (TW0OC) ...	114
インバータ・タイマ・モード・レジスタ (TW0M) ...	112
ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ...	231
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	230
A/Dコンバータ・モード・レジスタ (ADM) ...	270
A/Dトリガ選択レジスタ (TW0TRGS) ...	113
A/D変換結果レジスタ (ADCR) ...	274

#### [か行]

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	353
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	353
キャプチャ/コンペア・コントロール・レジスタ (IT20CCR) ...	134
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ...	160
クロック出力選択レジスタ (CKS) ...	238

#### [さ行]

システム・ウェイト制御レジスタ (VSWC) ...	92
10ビット・アップ/ダウン・カウンタ (TW0UDC) ...	108
10ビット・コンペア・レジスタ0 (TW0CM0) ...	108
10ビット・コンペア・レジスタ1 (TW0CM1) ...	108
10ビット・コンペア・レジスタ2 (TW0CM2) ...	108
10ビット・コンペア・レジスタ3 (TW0CM3) ...	108
10ビット・コンペア・レジスタ4 (TW0CM4) ...	108
10ビット・コンペア・レジスタ5 (TW0CM5) ...	108
10ビット・バッファ・レジスタ0 (TW0BFCM0) ...	109
10ビット・バッファ・レジスタ1 (TW0BFCM1) ...	109
10ビット・バッファ・レジスタ2 (TW0BFCM2) ...	109
10ビット・バッファ・レジスタ3 (TW0BFCM3) ...	109
10ビット・バッファ・レジスタ4 (TW0BFCM4) ...	109
10ビット・バッファ・レジスタ5 (TW0BFCM5) ...	109
16ビット・アップ/ダウン・カウンタ (IT20UDC) ...	125
16ビット・キャプチャ/コンペア・レジスタ0 (IT20CC0) ...	128

16ビット・キャプチャ/コンペア・レジスタ1 (IT20CC1) ...	129
16ビット・コンペア・レジスタ0 (IT20CM0) ...	127
16ビット・コンペア・レジスタ1 (IT20CM1) ...	127
16ビット・タイマ・カウンタ00 (TM00) ...	155
16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) ...	155
16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) ...	157
16ビット・タイマ出力コントロール・レジスタ00 (TOC00) ...	160
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ...	158
受信バッファ・レジスタ00 (RXB00) ...	299
乗除算器コントロール・レジスタ0 (DMUC0) ...	338
乗除算データ・レジスタA0 (MDA0H, MDA0L) ...	336
乗除算データ・レジスタB0 (MDB0) ...	337
剰余データ・レジスタ0 (SDR0) ...	335
シリアルI/Oシフト・レジスタ10 (SIO10) ...	319
シリアル・クロック選択レジスタ10 (CSIC10) ...	322
シリアル動作モード・レジスタ10 (CSIM10) ...	321
ステータス・レジスタ (IT20STS) ...	137
送信シフト・レジスタ00 (TXS00) ...	299
送信バッファ・レジスタ10 (SOTB10) ...	319

#### [ た行 ]

タイマ・クロック選択レジスタ50 (TCL50) ...	196
タイマ・クロック選択レジスタ51 (TCL51) ...	196
タイマ・コントロール・レジスタ (IT20TMC) ...	132
タイマ・ユニット・モード・レジスタ (IT20TUM) ...	131
低電圧検出レジスタ (LVIM) ...	391
DC制御レジスタ00 (DCCTL00) ...	251
DC制御レジスタ01 (DCCTL01) ...	252
デッド・タイム・リロード・レジスタ (TW0DTIME) ...	109
デッド・タイム・タイマ0 (DTM0) ...	109
デッド・タイム・タイマ1 (DTM1) ...	109
デッド・タイム・タイマ2 (DTM2) ...	109

#### [ な行 ]

内蔵発振モード・レジスタ (RCM) ...	87
ノイズ除去時間選択レジスタ1 (NRC1) ...	138

#### [ は行 ]

8ビット・タイマHコンペア・レジスタ00 (CMP00) ...	213
8ビット・タイマHコンペア・レジスタ01 (CMP01) ...	213
8ビット・タイマHモード・レジスタ0 (TMHMD0) ...	214
8ビット・タイマ・カウンタ50 (TM50) ...	194
8ビット・タイマ・カウンタ51 (TM51) ...	194

8ビット・タイマ・コンペア・レジスタ50 (CR50) ...	194
8ビット・タイマ・コンペア・レジスタ51 (CR51) ...	194
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	198
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	198
発振安定時間カウンタ状態レジスタ (OSTC) ...	89, 367
発振安定時間選択レジスタ (OSTS) ...	91, 368
バッファ転送制御用タイマ (RTM0) ...	109
パワーフェイル比較しきい値レジスタ (PFT) ...	277
パワーフェイル比較モード・レジスタ (PFM) ...	276
フラッシュ・ステータス・レジスタ (PFS) ...	419
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) ...	417
フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) ...	419
プリスケアラ・モード・レジスタ (IT20PRM) ...	136
プリスケアラ・モード・レジスタ00 (PRM00) ...	162
プルアップ抵抗オプション・レジスタ0 (PU0) ...	81
プルアップ抵抗オプション・レジスタ1 (PU1) ...	81
プルアップ抵抗オプション・レジスタ3 (PU3) ...	81
プルアップ抵抗オプション・レジスタ4 (PU4) ...	81
プルアップ抵抗オプション・レジスタ5 (PU5) ...	81
プルアップ抵抗オプション・レジスタ6 (PU6) ...	81
プルアップ抵抗オプション・レジスタ7 (PU7) ...	81
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	86
ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ...	303
ポート・モード・レジスタ0 (PM0) ...	77
ポート・モード・レジスタ1 (PM1) ...	77
ポート・モード・レジスタ3 (PM3) ...	77
ポート・モード・レジスタ4 (PM4) ...	77
ポート・モード・レジスタ5 (PM5) ...	77
ポート・モード・レジスタ6 (PM6) ...	77
ポート・モード・レジスタ7 (PM7) ...	77
ポート・レジスタ0 (P0) ...	64, 80
ポート・レジスタ1 (P1) ...	65, 80
ポート・レジスタ2 (P2) ...	69, 80
ポート・レジスタ3 (P3) ...	70, 80
ポート・レジスタ4 (P4) ...	72, 80
ポート・レジスタ5 (P5) ...	73, 80
ポート・レジスタ6 (P6) ...	75, 80
ポート・レジスタ7 (P7) ...	76, 80

#### [ま行]

メインOSCコントロール・レジスタ (MOC) ...	89
メイン・クロック・モード・レジスタ (MCM) ...	88
メモリ・サイズ切り替えレジスタ (IMS) ...	401

## [や行]

有効エッジ選択レジスタ (IT20SESA) ...	135
優先順位指定フラグ・レジスタ0H (PR0H) ...	352
優先順位指定フラグ・レジスタ0L (PR0L) ...	352
優先順位指定フラグ・レジスタ1H (PR1H) ...	352
優先順位指定フラグ・レジスタ1L (PR1L) ...	352

## [ら行]

リアルタイム出力バッファ・レジスタ0H (RTBH00) ...	245
リアルタイム出力バッファ・レジスタ0L (RTBL00) ...	245
リアルタイム出力バッファ・レジスタ1H (RTBH01) ...	246
リアルタイム出力バッファ・レジスタ1L (RTBL01) ...	246
リアルタイム出力ポート・コントロール・レジスタ 0 (RTPC00) ...	249
リアルタイム出力ポート・コントロール・レジスタ 1 (RTPC01) ...	250
リアルタイム出力ポート・モード・レジスタ 0 (RTPM00) ...	247
リアルタイム出力ポート・モード・レジスタ 1 (RTPM01) ...	248
リセット・コントロール・フラグ・レジスタ (RESF) ...	385

## [わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	351
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	351
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	351
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	351
割り込み要求フラグ・レジスタ0H (IF0H) ...	349
割り込み要求フラグ・レジスタ0L (IF0L) ...	349
割り込み要求フラグ・レジスタ1H (IF1H) ...	349
割り込み要求フラグ・レジスタ1L (IF1L) ...	349



## B.2 レジスタ索引 (アルファベット順)

### [ A ]

ADCR	: A/D変換結果レジスタ ... 275
ADM	: A/Dコンバータ・モード・レジスタ ... 270
ADS	: アナログ入力チャンネル指定レジスタ ... 274
ASIM00	: アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 ... 300
ASIS00	: アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 ... 302

### [ B ]

BRGC00	: ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 303
--------	---------------------------------------

### [ C ]

CKS	: クロック出力選択レジスタ ... 238
CMP00	: 8ビット・タイマHコンペア・レジスタ00 ... 213
CMP01	: 8ビット・タイマHコンペア・レジスタ01 ... 213
CR00	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 ... 155
CR01	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 ... 157
CR50	: 8ビット・タイマ・コンペア・レジスタ50 ... 194
CR51	: 8ビット・タイマ・コンペア・レジスタ51 ... 194
CRC00	: キャプチャ/コンペア・コントロール・レジスタ00 ... 160
CSIC10	: シリアル・クロック選択レジスタ10 ... 322
CSIM10	: シリアル動作モード・レジスタ10 ... 321

### [ D ]

DCCTL00	: DC制御レジスタ00 ... 251
DCCTL01	: DC制御レジスタ01 ... 252
DMUC0	: 乗除算器コントロール・レジスタ0 ... 338
DTM0	: デッド・タイム・タイマ0 ... 109
DTM1	: デッド・タイム・タイマ1 ... 109
DTM2	: デッド・タイム・タイマ2 ... 109

### [ E ]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ ... 353
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ ... 353

### [ F ]

FLPMC	: フラッシュ・プログラミング・モード・コントロール・レジスタ ... 417
-------	---

### [ I ]

IF0H	: 割り込み要求フラグ・レジスタ0H ... 349
IF0L	: 割り込み要求フラグ・レジスタ0L ... 349
IF1H	: 割り込み要求フラグ・レジスタ1H ... 349

IF1L	: 割り込み要求フラグ・レジスタ1L ...	349
IMS	: メモリ・サイズ切り替えレジスタ ...	401
IT20CC0	: 16ビット・キャプチャ/コンペア・レジスタ0 ...	128
IT20CC1	: 16ビット・キャプチャ/コンペア・レジスタ1 ...	129
IT20CCR	: キャプチャ/コンペア・コントロール・レジスタ ...	134
IT20CM0	: 16ビット・コンペア・レジスタ0 ...	127
IT20CM1	: 16ビット・コンペア・レジスタ1 ...	127
IT20PRM	: プリスケアラ・モード・レジスタ ...	136
IT20SESA	: 有効エッジ選択レジスタ ...	135
IT20STS	: ステータス・レジスタ ...	137
IT20TMC	: タイマ・コントロール・レジスタ ...	132
IT20TUM	: タイマ・ユニット・モード・レジスタ ...	131
IT20UDC	: 16ビット・アップ/ダウン・カウンタ ...	125

## [ L ]

LVIM	: 低電圧検出レジスタ ...	391
------	-----------------	-----

## [ M ]

MCM	: メイン・クロック・モード・レジスタ ...	88
MDA0H	: 乗除算データ・レジスタA0 ...	336
MDA0L	: 乗除算データ・レジスタA0 ...	336
MDB0	: 乗除算データ・レジスタB0 ...	337
MK0H	: 割り込みマスク・フラグ・レジスタ0H ...	351
MK0L	: 割り込みマスク・フラグ・レジスタ0L ...	351
MK1H	: 割り込みマスク・フラグ・レジスタ1H ...	351
MK1L	: 割り込みマスク・フラグ・レジスタ1L ...	351
MOC	: メインOSCコントロール・レジスタ ...	89

## [ N ]

NRC1	: ノイズ除去時間選択レジスタ1 ...	138
------	----------------------	-----

## [ O ]

OSTC	: 発振安定時間カウンタ状態レジスタ ...	89, 367
OSTS	: 発振安定時間選択レジスタ ...	91, 368

## [ P ]

P0	: ポート・レジスタ0 ...	64, 80
P1	: ポート・レジスタ1 ...	65, 80
P2	: ポート・レジスタ2 ...	69, 80
P3	: ポート・レジスタ3 ...	70, 80
P4	: ポート・レジスタ4 ...	72, 80
P5	: ポート・レジスタ5 ...	73, 80
P6	: ポート・レジスタ6 ...	75, 80

P7	: ポート・レジスタ7 ... 76, 80
PCC	: プロセッサ・クロック・コントロール・レジスタ ... 86
PFCMD	: フラッシュ・プロテクト・コマンド・レジスタ ... 419
PFM	: パワーフェイル比較モード・レジスタ ... 276
PFS	: フラッシュ・ステータス・レジスタ ... 419
PFT	: パワーフェイル比較しきい値レジスタ ... 277
PM0	: ポート・モード・レジスタ0 ... 77
PM1	: ポート・モード・レジスタ1 ... 77
PM3	: ポート・モード・レジスタ3 ... 77
PM4	: ポート・モード・レジスタ4 ... 77
PM5	: ポート・モード・レジスタ5 ... 77
PM6	: ポート・モード・レジスタ6 ... 77
PM7	: ポート・モード・レジスタ7 ... 77
PR0H	: 優先順位指定フラグ・レジスタ0H ... 352
PR0L	: 優先順位指定フラグ・レジスタ0L ... 352
PR1H	: 優先順位指定フラグ・レジスタ1H ... 352
PR1L	: 優先順位指定フラグ・レジスタ1L ... 352
PRM00	: プリスケアラ・モード・レジスタ00 ... 162
PU0	: プルアップ抵抗オプション・レジスタ0 ... 81
PU1	: プルアップ抵抗オプション・レジスタ1 ... 81
PU3	: プルアップ抵抗オプション・レジスタ3 ... 81
PU4	: プルアップ抵抗オプション・レジスタ4 ... 81
PU5	: プルアップ抵抗オプション・レジスタ5 ... 81
PU6	: プルアップ抵抗オプション・レジスタ6 ... 81
PU7	: プルアップ抵抗オプション・レジスタ7 ... 81

## [ R ]

RCM	: 内蔵発振モード・レジスタ ... 87
RESF	: リセット・コントロール・フラグ・レジスタ ... 385
RTBH00	: リアルタイム出力バッファ・レジスタ0H ... 245
RTBH01	: リアルタイム出力バッファ・レジスタ1H ... 246
RTBL00	: リアルタイム出力バッファ・レジスタ0L ... 245
RTBL01	: リアルタイム出力バッファ・レジスタ1L ... 246
RTM0	: バッファ転送制御用タイマ ... 109
RTPC00	: リアルタイム出力ポート・コントロール・レジスタ0 ... 249
RTPC01	: リアルタイム出力ポート・コントロール・レジスタ1 ... 250
RTPM00	: リアルタイム出力ポート・モード・レジスタ0 ... 247
RTPM01	: リアルタイム出力ポート・モード・レジスタ1 ... 248
RXB00	: 受信バッファ・レジスタ00 ... 299

## [ S ]

SDR0	: 剰余データ・レジスタ0 ... 335
SIO10	: シリアルI/Oシフト・レジスタ10 ... 319

SOTB10 : 送信バッファ・レジスタ10 ... 319

## [ T ]

TCL50 : タイマ・クロック選択レジスタ50 ... 196  
TCL51 : タイマ・クロック選択レジスタ51 ... 196  
TM00 : 16ビット・タイマ・カウンタ00 ... 155  
TM50 : 8ビット・タイマ・カウンタ50 ... 194  
TM51 : 8ビット・タイマ・カウンタ51 ... 194  
TMC00 : 16ビット・タイマ・モード・コントロール・レジスタ00 ... 158  
TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50 ... 198  
TMC51 : 8ビット・タイマ・モード・コントロール・レジスタ51 ... 198  
TMHMD0 : 8ビット・タイマHモード・レジスタ0 ... 214  
TOC00 : 16ビット・タイマ出力コントロール・レジスタ00 ... 160  
TW0BFCM0 : 10ビット・バッファ・レジスタ0 ... 109  
TW0BFCM1 : 10ビット・バッファ・レジスタ1 ... 109  
TW0BFCM2 : 10ビット・バッファ・レジスタ2 ... 109  
TW0BFCM3 : 10ビット・バッファ・レジスタ3 ... 109  
TW0BFCM4 : 10ビット・バッファ・レジスタ4 ... 109  
TW0BFCM5 : 10ビット・バッファ・レジスタ5 ... 109  
TW0C : インバータ・タイマ・コントロール・レジスタ ... 110  
TW0CM0 : 10ビット・コンペア・レジスタ0 ... 108  
TW0CM1 : 10ビット・コンペア・レジスタ1 ... 108  
TW0CM2 : 10ビット・コンペア・レジスタ2 ... 108  
TW0CM3 : 10ビット・コンペア・レジスタ3 ... 108  
TW0CM4 : 10ビット・コンペア・レジスタ4 ... 108  
TW0CM5 : 10ビット・コンペア・レジスタ5 ... 108  
TW0DTIME : デッド・タイム・リロード・レジスタ ... 109  
TW0M : インバータ・タイマ・モード・レジスタ ... 112  
TW0OC : インバータ・タイマ出力制御レジスタ ... 114  
TW0TRGS : A/Dトリガ選択レジスタ ... 113  
TW0UDC : 10ビット・アップ/ダウン・カウンタ ... 108  
TXS00 : 送信シフト・レジスタ00 ... 299

## [ V ]

VSWC : システム・ウェイト制御レジスタ ... 92

## [ W ]

WDTE : ウォッチドッグ・タイマ・イネーブル・レジスタ ... 231  
WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 230

# 付録C 改版履歴

## C.1 本版で改訂された主な箇所

(1/2)

箇所	内容	分類
はじめに		
p.7	開発ツール(ソフトウェア)の資料(ユーザーズ・マニュアル)を変更	(e)
p.7	開発ツール(ハードウェア)の資料(ユーザーズ・マニュアル)を変更	(e)
第1章 概 説		
p.17	1.2 応用分野を変更	(c)
p.21	1.6 機能概要のベクタ割り込み要因を変更	(b)
第2章 端子機能		
p.29	2.2.3(1)ポート・モードに注意を追加	(c)
第3章 CPUアーキテクチャ		
p.52	3.3.3 テーブル・インダイレクト・アドレッシングを変更	(c)
第4章 ポート機能		
p.69	4.2.3 ポート2に注意を追加	(c)
p.83	4.5 ポート・レジスタ <sub>n</sub> (P <sub>n</sub> )に対する1ビット・メモリ操作命令に関する注意事項を追加	(c)
第6章 10ビット・インバータ制御用タイマ		
p.107	図6-1 10ビット・インバータ制御用タイマのブロック図を変更	(a)
第13章 リアルタイム出力ポート		
pp.243, 244	図13-1 リアルタイム出力ポートのブロック図を変更	(a)
p.245	表13-2 リアルタイム出力バッファ・レジスタ0に対する操作時の動作の注1を削除	(c)
p.246	表13-3 リアルタイム出力バッファ・レジスタ1に対する操作時の動作の注1を削除	(c)
p.248	図13-6 リアルタイム出力ポート・モード・レジスタ1のフォーマットを変更	(c)
p.259	表13-7 制御レジスタの各ビットの設定とリアルタイム出力の関係を変更	(a)
第14章 DCインバータ制御機能		
p.265	説明を追加	(c)
第15章 A/Dコンバータ		
p.271	図15-3 A/Dコンバータ・モード・レジスタ(ADM)のフォーマットを変更	(b)
p.273	表15-3 A/D変換時間を追加	(b)
第16章 シリアル・インタフェースUART00		
p.296	16.1(2)アシンクロナス・シリアル・インタフェース(UART)モードに注意を追加	(c)
p.299	16.2(3)送信シフト・レジスタ00(TXS00)に注意を追加	(c)
p.301	図16-2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ00(ASIM00)のフォーマットに注意を追加	(c)
p.306	16.4.2(1)使用するレジスタの動作設定手順例を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

箇所	内容	分類
<b>第19章 割り込み機能</b>		
p.343	19.1(1) ノンマスカブル割り込みを追加	(b)
p.344	表19-1 割り込み要因一覧(1/2)を変更	(b)
p.345	図19-1 割り込み機能の基本構成(1/2)に(A)内部ノンマスカブル割り込み追加	(b)
p.349	図19-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H)のフォーマットを変更	(b)
p.351	図19-3 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H)のフォーマットを変更	(b)
p.352	図19-4 優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L, PR1H)のフォーマットを変更	(b)
p.355	19.4.1 ノンマスカブル割り込み要求の受け付け動作を追加	(b)
p.360	19.4.4 多重割り込み処理に説明を追加	(b)
p.360	表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係を変更	(b)
<b>第20章 スタンバイ機能</b>		
p.371	20.2.1(2) HALTモードの解除に(b)ノンマスカブル割り込み要求による解除を追加	(b)
<b>第23章 低電圧検出回路</b>		
p.392	23.4(1) リセットとして使用する場合を変更	(b)
p.393	図23-3 低電圧検出回路の内部リセット信号発生のタイミングを変更	(b)
p.394	23.4(2) 割り込みとして使用する場合を変更	(b)
p.395	図23-4 低電圧検出回路の割り込み信号発生のタイミングを変更	(b)
<b>第24章 オプション・バイト</b>		
p.400	図24-2 オプション・バイトのフォーマットを変更	(b)
<b>第25章 フラッシュ・メモリ</b>		
p.414	表25-5 通信方式一覧を変更, 注を追加	(c)
p.416	25.7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの備考を変更	(e)
<b>第26章 オンチップ・デバッグ機能</b>		
p.424	説明, 備考を変更	(c)
<b>第27章 命令セットの概要</b>		
p.433	27.2 オペレーション一覧のCALLTを変更	(c)
<b>第28章 電气的特性</b>		
p.440	注意を変更	(c)
p.444	DC特性(2/3)のハイ・レベル出力電圧, ロウ・レベル出力電圧を変更	(b)
p.445	DC特性(3/3)の電源電流を変更	(b)
p.446	AC特性の命令サイクルを変更, ADTRG入力ハイ・レベル幅, ロウ・レベル幅を追加	(b)
pp.447, 450	AC特性の $T_{CV}$ vs. $V_{DD}$ (メイン・システム・クロック動作時)を変更, A/Dトリガ入力タイミングを追加	(b)
p.451	A/Dコンバータ特性の変換時間を変更	(b)
p.452	データ・メモリSTOPモード低電源電圧データ保持特性のデータ保持電源電圧を変更	(b)
p.453	フラッシュ・メモリ・プログラミング特性(1)基本特性を変更	(b)
<b>付録A 開発ツール</b>		
全般	全般を変更	(c)
<b>付録C 改版履歴</b>		
p.475	章を追加	(c)

**備考** 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
- (d) : パッケージ, オータ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

[メモ]

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---