

μPD78F0730

ユーザーズマニュアル ハードウェア編

8ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは μ PD78F0730の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ μ PD78F0730

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD78F0730のマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD78F0730 ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この " "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっていてレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD78F0730 ユーザーズ・マニュアル	このマニュアル	R01UH0308E
78K0/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編)	U17739J	U17739E
78K0/Kx2 ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング	U17516J	U17516E
78K0/Kx2 アプリケーション・ノート EEPROM [®] エミュレーション	U17517J	U17517E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROMエミュレーション・ライブラリ Type01	U18275J	U18275E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
QB-Programmer プログラミングGUI	U18527J	U18527E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
QB-780731 インサーキット・エミュレータ	U17804J	U17804E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

開発ツール（ソフトウェア）の資料

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル ^{注1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{注1}	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル ^{注2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） ^{注2}	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
SM+ システム・シミュレータ ユーザーズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッガ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{注3} ユーザーズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 ^{注4} ユーザーズ・マニュアル	U18416J	U18416E	

- 注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。
「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。
2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。
「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。
3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。
4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

(メ モ)

目次

第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 応用分野 ... 17
- 1.3 オーダ情報 ... 17
- 1.4 端子接続図 (Top View) ...18
- 1.5 ブロック図 ... 20
- 1.6 機能概要 ... 21

第2章 端子機能 ... 23

- 2.1 端子機能一覧 ... 23
- 2.2 端子機能の説明 ... 25
 - 2.2.1 P00, P01 (Port 0) ... 25
 - 2.2.2 P10-P17 (Port 1) ... 26
 - 2.2.3 P30-P33 (Port 3) ... 27
 - 2.2.4 P60, P61 (Port 6) ... 27
 - 2.2.5 P120-P122 (Port 12) ... 28
 - 2.2.6 $\overline{\text{RESET}}$... 28
 - 2.2.7 REGC ... 29
 - 2.2.8 USBM ... 29
 - 2.2.9 USBP ... 29
 - 2.2.10 USBPUC ... 29
 - 2.2.11 USBREGC ... 29
 - 2.2.12 V_{DD} , EV_{DD} ... 29
 - 2.2.13 V_{SS} , EV_{SS} ... 29
 - 2.2.14 FLMD0 ... 29
- 2.3 端子の入出力回路と未使用端子の処理 ... 30

第3章 CPUアーキテクチャ ... 33

- 3.1 メモリ空間 ... 33
 - 3.1.1 内部プログラム・メモリ空間 ... 36
 - 3.1.2 内部データ・メモリ空間 ... 37
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 38
 - 3.1.4 USB用領域 ... 38
 - 3.1.5 データ・メモリ・アドレッシング ... 38
- 3.2 プロセッサ・レジスタ ... 40
 - 3.2.1 制御レジスタ ... 40
 - 3.2.2 汎用レジスタ ... 43
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 45
- 3.3 命令アドレスのアドレッシング ... 50
 - 3.3.1 レラティブ・アドレッシング ... 50

3.3.2	イミューディエト・アドレッシング	...	51
3.3.3	テーブル・インダイレクト・アドレッシング	...	52
3.3.4	レジスタ・アドレッシング	...	52
3.4	オペランド・アドレスのアドレッシング	...	53
3.4.1	インプライド・アドレッシング	...	53
3.4.2	レジスタ・アドレッシング	...	54
3.4.3	ダイレクト・アドレッシング	...	55
3.4.4	ショート・ダイレクト・アドレッシング	...	56
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	57
3.4.6	レジスタ・インダイレクト・アドレッシング	...	58
3.4.7	ベースト・アドレッシング	...	59
3.4.8	ベースト・インデクスト・アドレッシング	...	60
3.4.9	スタック・アドレッシング	...	61

第4章 ポート機能 ... 62

4.1	ポートの機能	...	62
4.2	ポートの構成	...	63
4.2.1	ポート0	...	64
4.2.2	ポート1	...	66
4.2.3	ポート3	...	72
4.2.4	ポート6	...	74
4.2.5	ポート12	...	75
4.3	ポート機能を制御するレジスタ	...	78
4.4	ポート機能の動作	...	81
4.4.1	入出力ポートへの書き込み	...	81
4.4.2	入出力ポートからの読み出し	...	81
4.4.3	入出力ポートでの演算	...	81
4.5	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定	...	82

第5章 クロック発生回路 ... 83

5.1	クロック発生回路の機能	...	83
5.2	クロック発生回路の構成	...	84
5.3	クロック発生回路を制御するレジスタ	...	86
5.4	システム・クロック発振回路	...	96
5.4.1	X1発振回路	...	96
5.4.2	高速内蔵発振回路	...	98
5.4.3	低速内蔵発振回路	...	98
5.4.4	プリスケータ	...	98
5.5	クロック発生回路の動作	...	99
5.6	クロックの制御	...	101
5.6.1	高速システム・クロックの制御例	...	101
5.6.2	高速内蔵発振クロックの制御例	...	106
5.6.3	低速内蔵発振クロックの制御	...	109
5.6.4	USBクロックの制御	...	110
5.6.5	CPUクロック, 周辺ハードウェア・クロックへの供給クロック	...	111
5.6.6	CPUクロック状態移行図	...	111
5.6.7	CPUクロックの移行前の条件と移行後の処理	...	114

- 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 115
- 5.6.9 クロック発振停止前の条件 ... 116
- 5.6.10 周辺ハードウェアとソース・クロック ... 116

第6章 16ビット・タイマ/イベント・カウンタ00 ... 117

- 6.1 16ビット・タイマ/イベント・カウンタ00の機能 ... 117
- 6.2 16ビット・タイマ/イベント・カウンタ00の構成 ... 118
- 6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ ... 123
- 6.4 16ビット・タイマ/イベント・カウンタ00の動作 ... 131
 - 6.4.1 インターバル・タイマとしての動作 ... 131
 - 6.4.2 方形波出力としての動作 ... 134
 - 6.4.3 外部イベント・カウンタとしての動作 ... 138
 - 6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 142
 - 6.4.5 フリー・ランニング・タイマとしての動作 ... 158
 - 6.4.6 PPG出力としての動作 ... 168
 - 6.4.7 ワンショット・パルス出力としての動作 ... 172
 - 6.4.8 パルス幅測定としての動作 ... 177
- 6.5 TM00の特殊な使用方法 ... 186
 - 6.5.1 CR010のTM00動作中の書き換え ... 186
 - 6.5.2 LVS00, LVR00の設定について ... 186
- 6.6 16ビット・タイマ/イベント・カウンタ00の注意事項 ... 188

第7章 8ビット・タイマ/イベント・カウンタ50, 51 ... 192

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 ... 192
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 192
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ ... 195
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 ... 200
 - 7.4.1 インターバル・タイマとしての動作 ... 200
 - 7.4.2 外部イベント・カウンタとしての動作 ... 203
 - 7.4.3 方形波出力としての動作 ... 204
 - 7.4.4 PWM出力としての動作 ... 205
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 ... 209

第8章 8ビット・タイマH1 ... 210

- 8.1 8ビット・タイマH1の機能 ... 210
- 8.2 8ビット・タイマH1の構成 ... 210
- 8.3 8ビット・タイマH1を制御するレジスタ ... 213
- 8.4 8ビット・タイマH1の動作 ... 216
 - 8.4.1 インターバル・タイマ/方形波出力としての動作 ... 216
 - 8.4.2 PWM出力としての動作 ... 219
 - 8.4.3 キャリア・ジェネレータとしての動作 ... 225

第9章	ウォッチドッグ・タイマ	...	232
9.1	ウォッチドッグ・タイマの機能	...	232
9.2	ウォッチドッグ・タイマの構成	...	232
9.3	ウォッチドッグ・タイマを制御するレジスタ	...	234
9.4	ウォッチドッグ・タイマの動作	...	235
9.4.1	ウォッチドッグ・タイマの動作制御	...	235
9.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	...	236
9.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	...	237
第10章	シリアル・インタフェースUART6	...	238
10.1	シリアル・インタフェースUART6の機能	...	238
10.2	シリアル・インタフェースUART6の構成	...	239
10.3	シリアル・インタフェースUART6を制御するレジスタ	...	242
10.4	シリアル・インタフェースUART6の動作	...	250
10.4.1	動作停止モード	...	250
10.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	251
10.4.3	専用ポー・レート・ジェネレータ	...	262
10.5	シリアル・インタフェースUART6の注意事項	...	268
第11章	シリアル・インタフェースCSI10	...	269
11.1	シリアル・インタフェースCSI10の機能	...	269
11.2	シリアル・インタフェースCSI10の構成	...	270
11.3	シリアル・インタフェースCSI10を制御するレジスタ	...	272
11.4	シリアル・インタフェースCSI10の動作	...	276
11.4.1	動作停止モード	...	276
11.4.2	3線式シリアルI/Oモード	...	277
11.5	シリアル・インタフェースCSI10の注意事項	...	287
第12章	USBファンクション・コントローラUSBF	...	288
12.1	概要	...	288
12.2	USBファンクション・コントローラUSBFの構成	...	289
12.3	リクエスト	...	291
12.3.1	自動リクエスト	...	291
12.3.2	その他のリクエスト	...	299
12.4	レジスタ構成	...	300
12.4.1	制御レジスタ	...	300
12.4.2	データ保持レジスタ	...	343
12.4.3	リクエスト・データ・レジスタ	...	357
12.4.4	周辺制御レジスタ	...	369
12.5	STALLハンドシェークまたはノー・ハンドシェーク	...	372
12.6	特定状態でのレジスタ値	...	373
12.7	FW処理	...	375
12.7.1	初期化处理	...	377
12.7.2	割り込み処理	...	380

12.7.3	USBメイン処理	...	381
12.7.4	Suspend/Resume処理	...	407
12.7.5	電源投入後の処理	...	410
12.8	外部回路構成	...	413
12.8.1	概要	...	413
12.8.2	USB接続例	...	414
12.9	USBファンクション・コントローラUSBFの注意事項	...	415
第13章	割り込み機能	...	416
13.1	割り込み機能の種類	...	416
13.2	割り込み要因と構成	...	416
13.3	割り込み機能を制御するレジスタ	...	420
13.4	割り込み処理動作	...	427
13.4.1	マスカブル割り込み要求の受け付け動作	...	427
13.4.2	ソフトウェア割り込み要求の受け付け動作	...	430
13.4.3	多重割り込み処理	...	430
13.4.4	割り込み要求の保留	...	433
第14章	スタンバイ機能	...	434
14.1	スタンバイ機能と構成	...	434
14.1.1	スタンバイ機能	...	434
14.1.2	スタンバイ機能を制御するレジスタ	...	435
14.2	スタンバイ機能の動作	...	438
14.2.1	HALTモード	...	438
14.2.2	STOPモード	...	442
第15章	リセット機能	...	447
15.1	リセット要因を確認するレジスタ	...	456
第16章	パワーオン・クリア回路	...	457
16.1	パワーオン・クリア回路の機能	...	457
16.2	パワーオン・クリア回路の構成	...	458
16.3	パワーオン・クリア回路の動作	...	458
16.4	パワーオン・クリア回路の注意事項	...	460
第17章	低電圧検出回路	...	462
17.1	低電圧検出回路の機能	...	462
17.2	低電圧検出回路の構成	...	462
17.3	低電圧検出回路を制御するレジスタ	...	463
17.4	低電圧検出回路の動作	...	466
17.4.1	リセットとして使用時の設定	...	467
17.4.2	割り込みとして使用時の設定	...	469
17.5	低電圧検出回路の注意事項	...	471

第18章	オプション・バイト	...	474
18.1	オプション・バイトの機能	...	474
18.2	オプション・バイトのフォーマット	...	475
第19章	フラッシュ・メモリ	...	479
19.1	メモリ・サイズ切り替えレジスタ	...	479
19.2	内部拡張RAMサイズ切り替えレジスタ	...	480
19.3	フラッシュ・メモリ・プログラマによる書き込み方法	...	481
19.4	プログラミング環境	...	484
19.5	通信方式	...	484
19.6	オンボード上の端子処理	...	486
19.6.1	FLMD0端子	...	486
19.6.2	シリアル・インタフェース端子	...	486
19.6.3	RESET端子	...	488
19.6.4	ポート端子	...	488
19.6.5	REGC端子	...	488
19.6.6	その他の信号端子	...	488
19.6.7	電 源	...	489
19.7	プログラミング方法	...	489
19.7.1	フラッシュ・メモリ制御	...	489
19.7.2	フラッシュ・メモリ・プログラミング・モード	...	489
19.7.3	通信方式の選択	...	490
19.7.4	通信コマンド	...	491
19.8	セキュリティ設定	...	492
19.9	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	494
19.9.1	ブート・スワップ機能	...	497
第20章	オンチップ・デバッグ機能	...	499
20.1	QB-MINI2と μ PD78F0730の接続	...	499
20.2	QB-MINI2が使用する予約領域	...	501
第21章	命令セットの概要	...	502
21.1	凡 例	...	503
21.1.1	オペランドの表現形式と記述方法	...	503
21.1.2	オペレーション欄の説明	...	504
21.1.3	フラグ動作欄の説明	...	504
21.2	オペレーション一覧	...	505
21.3	アドレッシング別命令一覧	...	513
第22章	電気的特性	...	517
第23章	外形図	...	533

第24章 半田付け推奨条件 ... 534

第25章 ウェイトに関する注意事項 ... 535

- 25.1 ウェイトに関する注意事項 ... 535
- 25.2 ウェイトが発生する周辺ハードウェア ... 535

付録A 開発ツール ... 536

- A.1 ソフトウェア・パッケージ ... 539
- A.2 言語処理用ソフトウェア ... 539
- A.3 制御ソフトウェア ... 540
- A.4 フラッシュ・メモリ書き込み用ツール ... 540
 - A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 540
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 540
- A.5 デバッグ用ツール(ハードウェア) ... 541
 - A.5.1 インサーキット・エミュレータ QB-780731を使用する場合 ... 541
 - A.5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 542
- A.6 デバッグ用ツール(ソフトウェア) ... 542

付録B ターゲット・システム設計上の注意 ... 543

付録C レジスタ索引 ... 544

- C.1 レジスタ索引(50音順) ... 544
- C.2 レジスタ索引(アルファベット順) ... 548

付録D 改版履歴 ... 552

- D.1 本版で改訂された主な箇所 ... 552
- D.2 前版までの改版履歴 ... 553

第1章 概 説

1.1 特 徴

高速 (0.125 μs : 高速システム・クロック16 MHz動作時) で命令実行が可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

品 名	項 目	データ・メモリ	
	プログラム・メモリ (ROM)	内部高速RAM ^注	内部拡張RAM ^注
μPD78F0730	フラッシュ・メモリ ^注	16 Kバイト	2 Kバイト

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能です。IMSとIXSについては、19.1 **メモリ・サイズ切り替えレジスタ**、19.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

USBファンクション・コントローラ (USBF) を搭載

単一電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵^注

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

I/Oポート : 19本 (N-chオープン・ドレイン : 2本)

タイマ : 5チャンネル

- ・16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・8ビット・タイマ : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース : 3チャンネル

- ・UART : 1チャンネル
- ・CSI : 1チャンネル
- ・USB : 1チャンネル

電源電圧 : V_{DD} = 4.0 ~ 5.5 V

動作周囲温度 : T_A = -40 ~ +85

注 μPD78F0730には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.2 応用分野

USB - シリアル変換

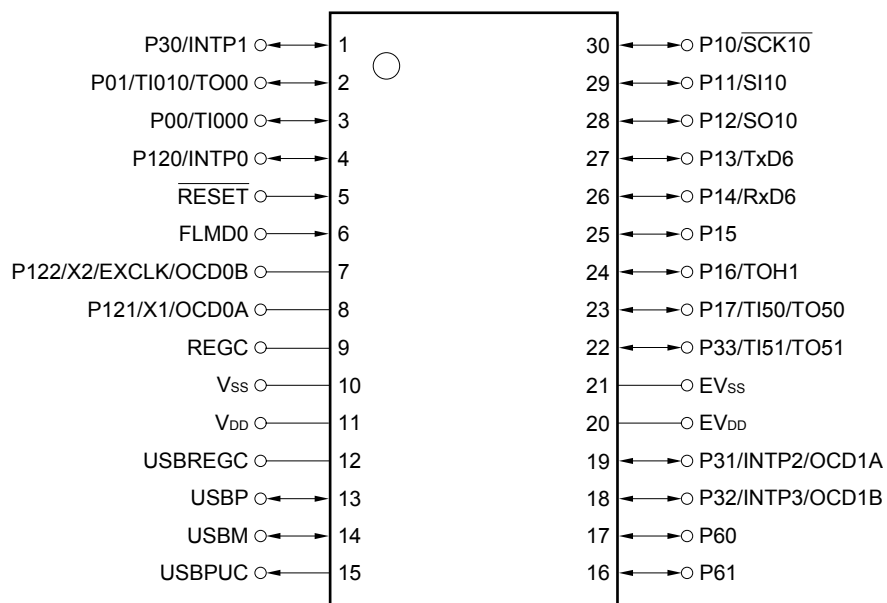
1.3 オーダ情報

・フラッシュ・メモリ製品

オーダ名称	パッケージ
μPD78F0730MC-CAB-AX	30ピン・プラスチックSSOP (7.62 mm)

1.4 端子接続図 (Top View)

・ 30ピン・プラスチックSSOP (7.62 mm)

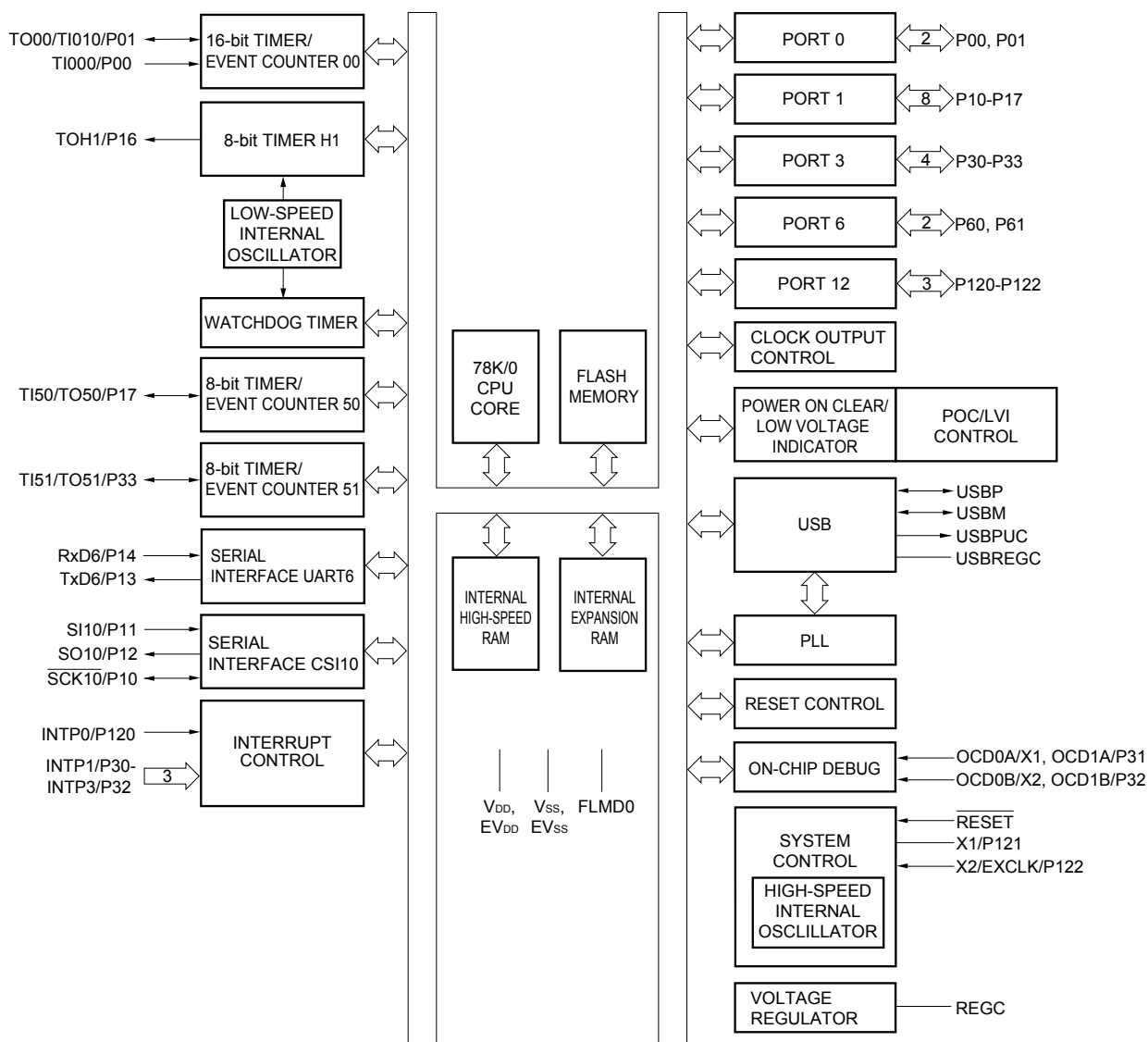


注意 REGC, USBREGC端子はコンデンサ (0.47 μF ~ 1.0 μF : 推奨) を介し, V_{SS}に接続してください。

端子名称

EV _{DD}	: Power Supply for Port	$\overline{\text{SCK10}}$: Serial Clock Input/Output
EV _{SS}	: Ground for Port	SI10	: Serial Data Input
EXCLK	: External Clock Input (Main System Clock)	SO10	: Serial Data Output
FLMD0	: Flash Programming Mode	TI000, TI010	: Timer Input
INTP0-INTP3	: External Interrupt Input	TI50, TI51	: Timer Input
OCD0A, OCD0B	: On Chip Debug Input/Output	TO00	: Timer Output
OCD1A, OCD1B	: On Chip Debug Input/Output	TO50, TO51	: Timer Output
P00, P01	: Port 0	TOH1	: Timer Output
P10-P17	: Port 1	TxD6	: Transmit Data
P30-P33	: Port 3	USBM	: USB Port (-)
P60, P61	: Port 6	USBP	: USB Port (+)
P120-P122	: Port 12	USBPUC	: USB Pull-up Resistor Control
REGC	: Regulator Capacitance	USBREGC	: USB Regulator Capacitance
$\overline{\text{RESET}}$: Reset	V _{DD}	: Power Supply
RxD6	: Receive Data	V _{SS}	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)

1.5 ブロック図



1.6 機能概要

(1/2)

項 目		μ PD78F0730
内部メモリ	フラッシュ・メモリ (セルフ・プログラミング対応) ^注	16 Kバイト
	高速RAM ^注	1 Kバイト
	拡張RAM ^注	2 Kバイト
メモリ空間		64 Kバイト
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶 / セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 12 or 16 MHz : V _{DD} = 4.0 ~ 5.5 V
	高速内蔵発振 クロック	内蔵発振 16 MHz (TYP.) : V _{DD} = 4.0 ~ 5.5 V
低速内蔵発振クロック (TMH1, WDT用)		内蔵発振 240 kHz (TYP.) : V _{DD} = 4.0 ~ 5.5 V
USB用 クロック		X1 (水晶 / セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 12/2 or 16/4 MHz : V _{DD} = 4.0 ~ 5.5 V (PLL機能により8通倍または12通倍されます)
汎用レジスタ		8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)
最小命令実行時間		0.125 μs (高速システム・クロック : f _{XH} = 16 MHz動作時) 0.125 μs (高速内蔵発振クロック : f _{RH} = 16 MHz (TYP.) 動作時)
命令セット		・ 16ビット演算 ・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など
I/Oポート		合計 : 19本 CMOS入出力 : 17本 N-chオープン・ドレイン入出力 (6 V耐圧) : 2本
タイマ		・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 8ビット・タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		4本 (PWM出力 : 3本, PPG出力 : 1本)

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量の変更可能。

(2/2)

項 目		μ PD78F0730
シリアル・インタフェース		<ul style="list-style-type: none"> ・ UART : 1チャンネル ・ 3線式シリアルI/O : 1チャンネル ・ USB : 1チャンネル
ベクタ割り込み	内部	14
要因	外部	4
リセット		<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット
オンチップ・デバッグ機能		あり
電源電圧		V _{DD} = 4.0 ~ 5.5 V
動作周囲温度		T _A = - 40 ~ + 85
パッケージ		・ 30ピン・プラスチックSSOP (7.62 mm)

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00	8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH1	ウォッチドッグ・タイマ
		TM00	TM50	TM51	TMH1	
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	-	-
	PPG出力	1出力	-	-	-	-
	PWM出力	-	1出力	1出力	1出力	-
	パルス幅測定	2入力	-	-	-	-
	方形波出力	1出力	1出力	1出力	1出力	-
	キャリア・ジェネレータ	-	-	-	1出力 ^注	-
	ウォッチドッグ・タイマ	-	-	-	-	1チャンネル
割り込み要因		2	1	1	1	-

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、EV_{DD}、V_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
EV _{DD}	P121, P122以外のポート端子
V _{DD}	・ P121, P122 ・ ポート端子以外の端子

(1) ポート機能

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P11				SI10
P12				SO10
P13				TxD6
P14				RxD6
P15				-
P16				TOH1
P17				TI50/TO50
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A
P32				INTP3/OCD1B
P33				TI51/TO51
P60	入出力	ポート6。 2ビット入出力ポート。 P60-P61の出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	-
P61				-
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P120のみソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B

(2) ポート以外の機能

機能名称	入出力	機能	リセット時	兼用機能
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がり両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120
INTP1				P30
INTP2				P31/OCD1A
INTP3				P32/OCD1B
REGC	-	内部動作レギュレータ出力（2.5V）安定容量接続。 コンデンサ（0.47 μF ~ 1.0 μF：推奨）を介し，V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD6	入力	UART6シリアル・データ入力	入力ポート	P14
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P10
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力	入力ポート	P00
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51
TOH1		8ビット・タイマH1出力		P16
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P13
USBM	入出力	USBデータ入出力（-）	入力ポート	-
USBP	入出力	USBデータ入出力（+）	入力ポート	-
USBPUC	出力	USB プルアップ抵抗制御端子	ロウ・レベル出力	-
USBREGC	-	USB用レギュレータ出力（3.3V）安定容量接続。 コンデンサ（0.47 μF ~ 1.0 μF：推奨）を介し，V _{SS} に接続してください。	-	-
X1	入力	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-		入力ポート	P122/EXCLK/OCD0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B
V _{DD}	-	正電源（P121, P122およびポート部以外）	-	-
EV _{DD}	-	ポート部（P121, P122以外）の正電源	-	-
V _{SS}	-	グランド電位（P121, P122およびポート部以外）	-	-
EV _{SS}	-	ポート部（P121, P122以外）のグランド電位	-	-
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCD1A				P31/INTP2
OCD0B	-			P122/X2/EXCLK
OCD1B				P32/INTP3

2.2 端子機能の説明

2.2.1 P00, P01 (Port 0)

2ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(e) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(f) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(g) TO50

8ビット・タイマ/イベント・カウンタ50のタイマ出力端子です。

(h) TOH1

8ビット・タイマH1のタイマ出力端子です。

2.2.3 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP1-INTP3

有効エッジ (立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意 1. μPD78F0730は、誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。

2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/OCD1Aを次のように処理してください。

・P31/INTP2/OCD1A：抵抗 (10 kΩ：推奨) を介してV_{SS}に接続してください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 μPD78F0730のP31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第20章 **オンチップ・デバッグ機能**を参照してください。

2.2.4 P60, P61 (Port 6)

2ビットの入出力ポートです。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60, P61の出力はN-chオープン・ドレーン出力 (6 V耐圧) になっています。

2.2.5 P120-P122 (Port 12)

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) X1, X2

メイン・システム・クロック用発振子接続端子です。

(c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

注意 フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1/OCD0Aを次のように処理してください。

・P121/X1/OCD0A : ポートとして使用する場合は、抵抗 (10 kΩ : 推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

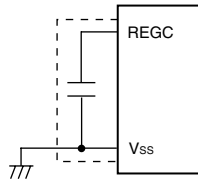
備考 μPD78F0730のX1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第20章 **オンチップ・デバッグ機能**を参照してください。

2.2.6 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.7 REGC

内部動作レギュレータ出力(2.5 V)安定容量接続端子です。コンデンサ(0.47 μ F ~ 1.0 μ F : 推奨)を介し、V_{SS}に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.8 USBM

USBのデータ入出力(-)端子です。

2.2.9 USBP

USBのデータ入出力(+)端子です。

2.2.10 USBPUC

USB プルアップ抵抗制御端子です。

2.2.11 USBREGC

USBのポート用レギュレータ出力(3.3 V)安定容量接続端子です。コンデンサ(0.47 μ F ~ 1.0 μ F : 推奨)を介し、V_{SS}に接続してください。

2.2.12 V_{DD}, EV_{DD}

V_{DD}は、P121, P122と、ポート部以外の正電源供給端子です。

EV_{DD}は、P121, P122以外の、ポート部の正電源供給端子です。

2.2.13 V_{SS}, EV_{SS}

V_{SS}は、P121, P122と、ポート部以外のグランド電位端子です。

EV_{SS}は、P121, P122以外の、ポート部のグランド電位端子です。

2.2.14 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0をEV_{SS}またはV_{SS}に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

オンボードでフラッシュ・メモリのデータを書き換える場合やオンチップ・デバッグを行う場合は、抵抗(10 k : 推奨)を介して、V_{SS}に接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 2 各端子の入出力回路タイプ

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P10/SCK10			
P11/SI10			
P12/SO10	5-AG		
P13/TxD6			
P14/RxD6	5-AH		
P15	5-AG		
P16/TOH1			
P17/TI50/TO50	5-AH		
P30/INTP1			
P31/INTP2/OCD1A ^{注1}			
P32/INTP3/OCD1B			
P33/TI51/TO51			
P60	13-AD	入力時：EV _{SS} に接続してください。	
P61		出力時：ポートの出力ラッチに0を設定してロウ・レベル出力でオープンにしてください。	
P120/INTP0	5-AH	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P121/X1/OCD0A ^{注2, 3}	37	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P122/X2/EXCLK/OCD0B ^{注3}			
USBM	24-A	EV _{SS} に接続してください	
USBP	24-A		
USBPUC	3-C	出力	オープンにしてください
FLMD0	38		EV _{SS} またはV _{SS} に接続してください。 ^{注4}
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。

注1. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/OCD1Aを次のように処理してください。

- ・ P31/INTP2/OCD1A：抵抗（10 kΩ：推奨）を介してV_{SS}に接続してください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1/OCD0Aを次のように処理してください。

- ・ P121/X1/OCD0A：ポートとして使用する場合は、抵抗（10 kΩ：推奨）を介してV_{SS}に接続（入力時）またはオープン（出力時）にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

3. 未使用時は、入出力ポート・モード（図5 - 2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

4. FLMD0は、フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合やオンチップ・デバッグを行う場合は、抵抗（10 kΩ：推奨）を介して、V_{SS}に接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

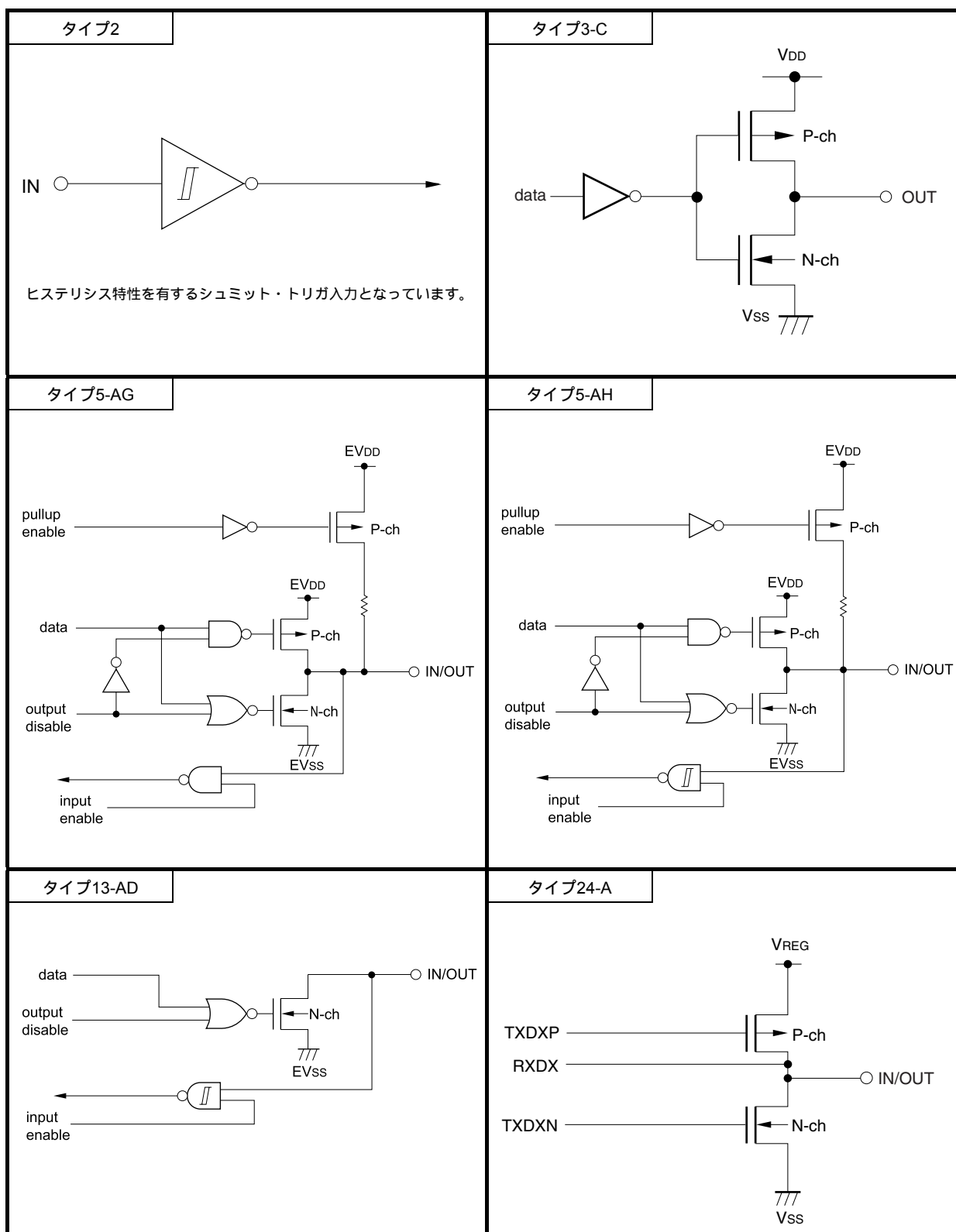
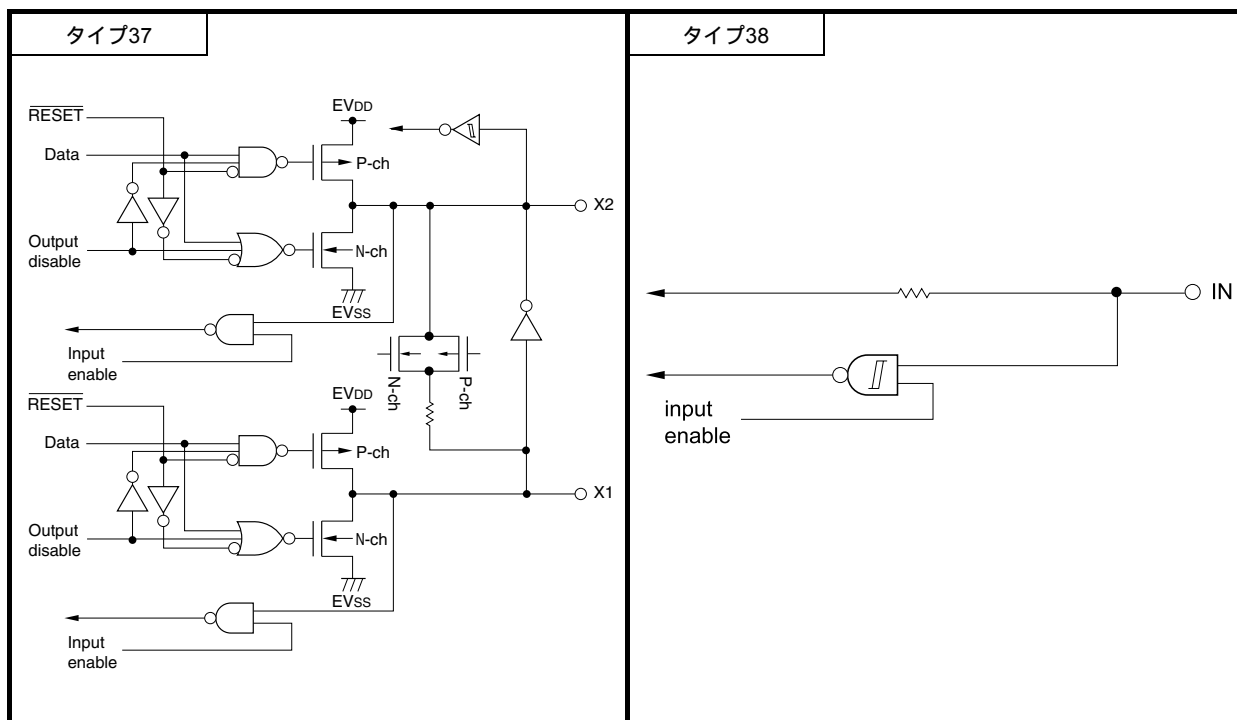


図2 - 1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

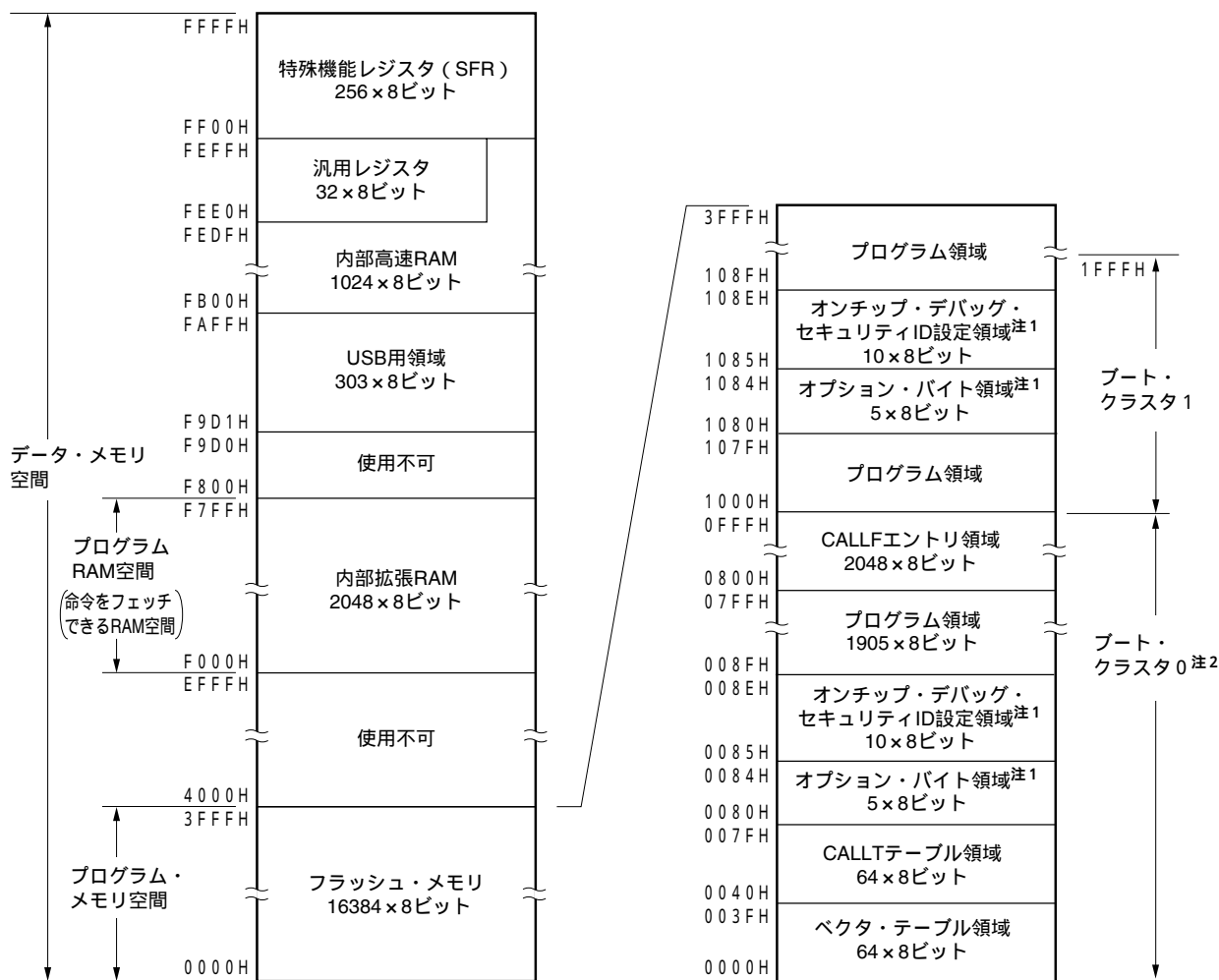
μPD78F0730は、64 Kバイトのメモリ空間をアクセスできます。図3 - 1に、メモリ・マップを示します。

- 注意1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は、内部メモリ容量にかかわらず一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に次に示す値を必ず設定してください。
2. メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

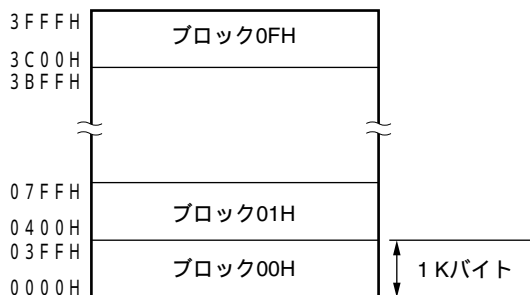
フラッシュ・メモリ製品 (μPD78F0730)	IMS	IXS	ROM 容量	内部高速RAM 容量	内部拡張RAM 容量
μPD78F0730	C4H	08H	16 Kバイト	1 Kバイト	2 Kバイト

図3-1 メモリ・マップ



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（19.8 **セキュリティ設定**を参照）。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1Kバイト）。アドレス値とブロック番号については，表3-2 **フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号
0000H-03FFH	00H
0400H-07FFH	01H
0800H-0BFFH	02H
0C00H-0FFFH	03H
1000H-13FFH	04H
1400H-17FFH	05H
1800H-1BFFH	06H
1C00H-1FFFH	07H
2000H-23FFH	08H
2400H-27FFH	09H
2800H-2BFFH	0AH
2C00H-2FFFH	0BH
3000H-33FFH	0CH
3400H-37FFH	0DH
3800H-3BFFH	0EH
3C00H-3FFFH	0FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD78F0730は、内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-3 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μPD78F0730	フラッシュ・メモリ	16384×8ビット（0000H-3FFFH）

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-4 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, WDT	0018H	INTCS10
0004H	INTLVI	001AH	INTTMH1
0006H	INTP0	001CH	INTUSB2
0008H	INTP1	001EH	INTTM50
000AH	INTP2	0020H	INTTM000
000CH	INTP3	0022H	INTTM010
000EH	INTUSB0	0024H	INTRSUM
0010H	INTUSB1	002AH	INTTM51
0012H	INTSRE6	003EH	BRK
0014H	INTSR6		
0016H	INTST6		

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H, 1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時には0080H-0084Hに、ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第18章 オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0080H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH, 1085H-108EHの10バイト領域にセキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には1085H-108EHに10バイトのセキュリティIDを設定してください。詳細は第20章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 内部データ・メモリ空間

μPD78F0730は、次に示すRAMおよびROMを内蔵しています。

(1) 内部高速RAM

表3-5 内部高速RAM容量

製 品	内部高速RAM
μ PD78F0730	1024×8ビット (FB00H-FEFFFH)

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

(2) 内部拡張RAM

表3-6 内部拡張RAM容量

製 品	内部拡張RAM
μ PD78F0730	2048×8ビット (F000H-F7FFFH)

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、内部拡張RAMはスタック・メモリとして使用できません。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3-7 特殊機能レジスタ一覧参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 USB用領域

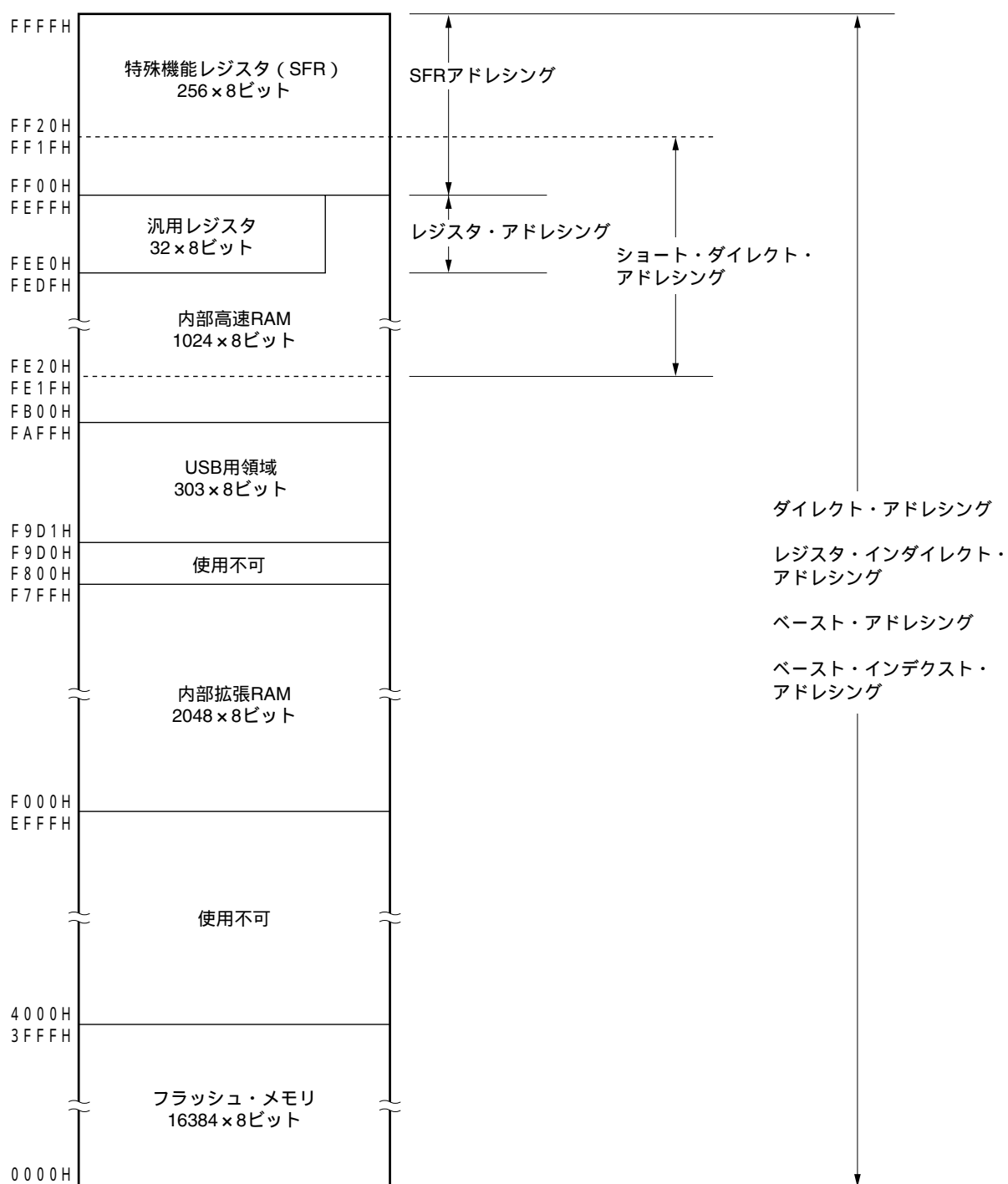
F9D1H-FAFFHの領域には、USB用レジスタの一部 (UF0DD0-UF0DD17, UF0CIE0-UF0CIE255) が割り付けられています (12.4.3 リクエスト・データ・レジスタ参照)。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、μPD78F0730では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-2にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-2 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

μPD78F0730は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

(1) プログラム・カウンタ(PC)

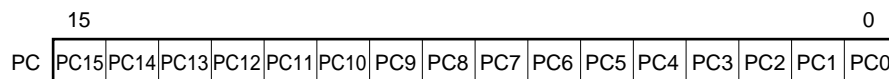
プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタに

セットされます。

図3-3 プログラム・カウンタの構成



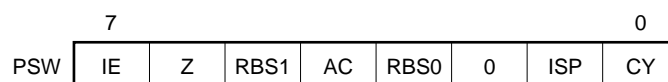
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-4 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサースビス・プライオリティ・フラグ(ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (13.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

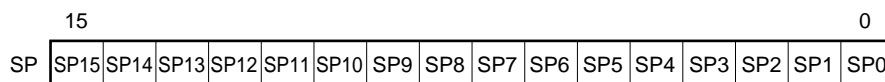
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 5 スタック・ポインタの構成



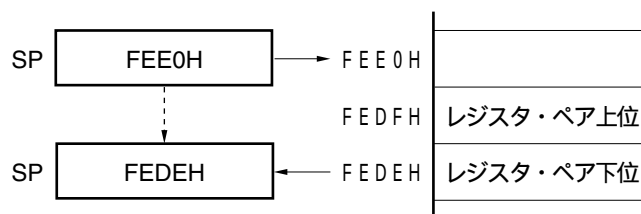
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 6, 3 - 7のようになります。

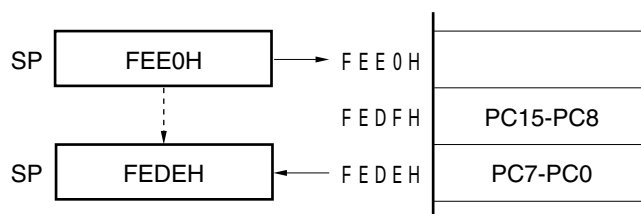
注意 SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-6 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

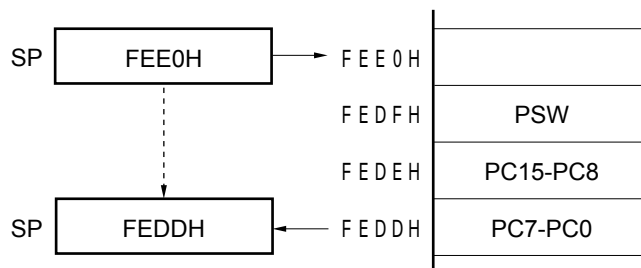
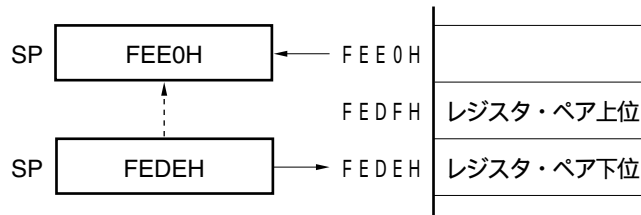
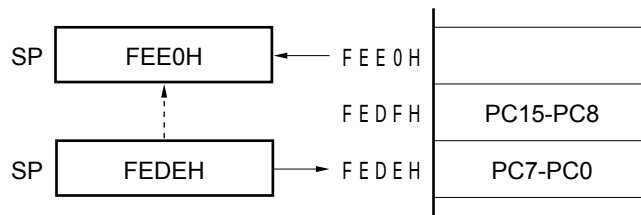


図3-7 スタック・メモリから復帰されるデータ

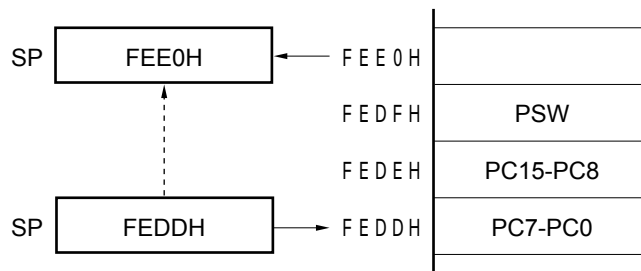
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

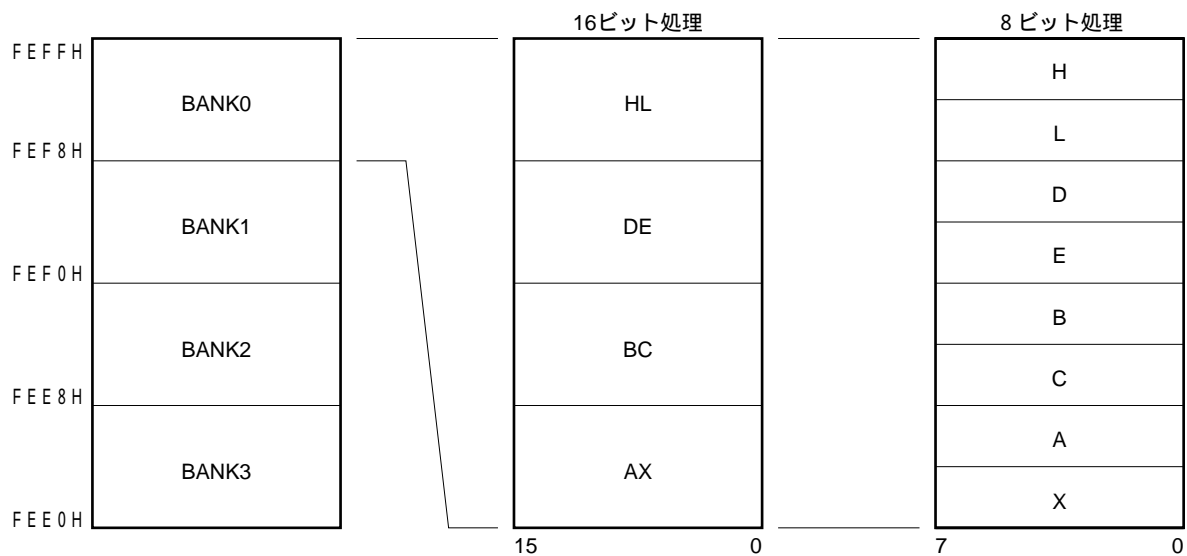
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

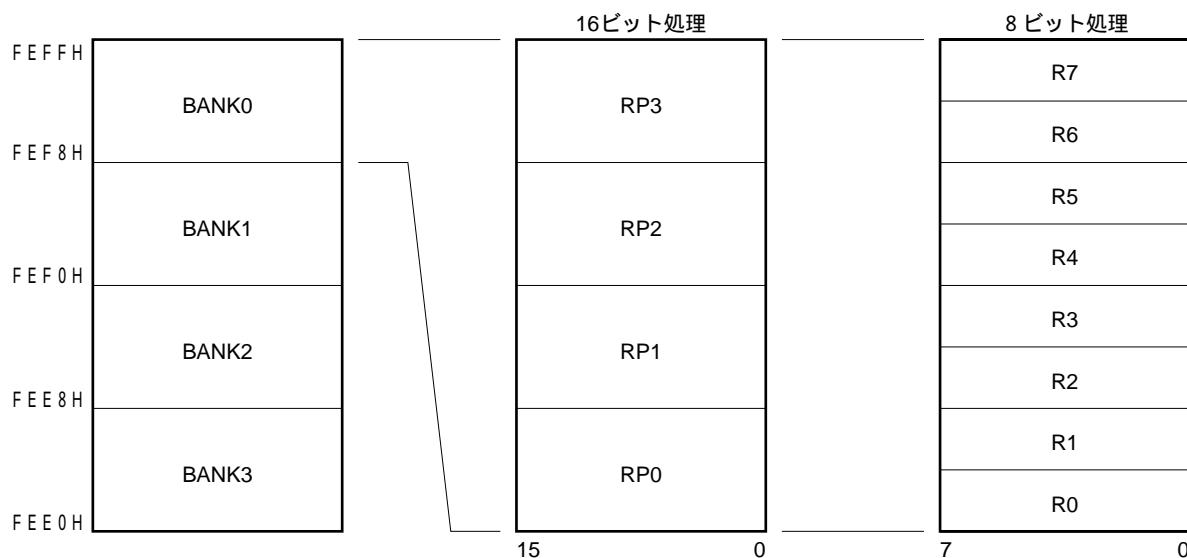
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3-8 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-7に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QBおよびSM+使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能なビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-7 特殊機能レジスタ一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0	R/W			-	00H
FF01H	ポート・レジスタ1	P1	R/W			-	00H
FF02H	UF0 EP0リード・レジスタ	UF0E0R	R	-		-	不定
FF03H	ポート・レジスタ3	P3	R/W			-	00H
FF06H	ポート・レジスタ6	P6	R/W			-	00H
FF0AH	受信バッファ・レジスタ6	RXB6	R	-		-	FFH
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH
FF0CH	ポート・レジスタ12	P12	R/W			-	00H
FF0DH	UF0パルク・アウト1レジスタ	UF0BO1	R	-		-	不定
FF0EH	UF0パルク・イン1レジスタ	UF0BI1	W	-		-	不定
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H
FF11H							
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H
FF13H							
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H
FF15H							
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-		-	00H
FF18H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R	-		-	00H
FF19H	UF0 EP0ライト・レジスタ	UF0E0W	W	-		-	不定
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH
FF27H	UF0 INTステータス0レジスタ	UF0IS0	R	-		-	00H
FF28H	UF0 INTステータス1レジスタ	UF0IS1	R	-		-	00H
FF29H	UF0 INTステータス2レジスタ	UF0IS2	R	-		-	00H
FF2AH	UF0 INTステータス3レジスタ	UF0IS3	R	-		-	00H
FF2BH	UF0 INTステータス4レジスタ	UF0IS4	R	-		-	00H
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH
FF2DH	UF0 GPRレジスタ	UF0GPR	R/W	-		-	00H
FF2EH	UF0モード・コントロール・レジスタ	UF0MODC	R/W			-	00H
FF2FH	UF0モード・ステータス・レジスタ	UF0MODS	R			-	00H
FF30H	プルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
FF31H	プルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
FF33H	プルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
FF37H	UF0 INTマスク0レジスタ	UF0IM0	R/W	-		-	00H
FF38H	UF0 INTマスク1レジスタ	UF0IM1	R/W	-		-	00H
FF39H	UF0 INTマスク2レジスタ	UF0IM2	R/W	-		-	00H
FF3AH	UF0 INTマスク3レジスタ	UF0IM3	R/W	-		-	00H
FF3BH	UF0 INTマスク4レジスタ	UF0IM4	R/W	-		-	00H

表3-7 特殊機能レジスタ一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W			-	00H
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H
FF4AH	UF0 INTクリア0レジスタ	UF0IC0	W	-		-	FFH
FF4BH	UF0 INTクリア1レジスタ	UF0IC1	W	-		-	FFH
FF4CH	UF0 INTクリア2レジスタ	UF0IC2	W	-		-	FFH
FF4DH	UF0 INTクリア3レジスタ	UF0IC3	W	-		-	FFH
FF4EH	UF0 INTクリア4レジスタ	UF0IC4	W	-		-	FFH
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	-		-	00H
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H
FF57H	ポーレート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	-		-	FFH
FF60H	UF0 EP0NAKレジスタ	UF0E0N	R/W	-		-	00H
FF61H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W	-		-	00H
FF62H	UF0 EPNAKレジスタ	UF0EN	R/W	-		-	00H
FF63H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W	-		-	00H
FF64H	UF0 SNDSIEレジスタ	UF0SDS	R/W	-		-	00H
FF65H	UF0 CLRリクエスト・レジスタ	UF0CLR	R	-		-	00H
FF66H	UF0 SETリクエスト・レジスタ	UF0SET	R	-		-	00H
FF67H	UF0 EPステータス0レジスタ	UF0EPS0	R	-		-	00H
FF68H	UF0 EPステータス1レジスタ	UF0EPS1	R	-		-	00H
FF69H	UF0 EPステータス2レジスタ	UF0EPS2	R/W			-	00H
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W			-	00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W			-	00H
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W			-	00H
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W			-	00H
FF70H	UF0アクティブ・インタフェース・ナンバ・レジスタ	UF0AIFN	R/W	-		-	01H
FF71H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W	-		-	1FH
FF72H	UF0オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R	-		-	FFH
FF73H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W	-		-	00H
FF74H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W	-		-	00H
FF75H	UF0データ・エンド・レジスタ	UF0DEND	R/W	-		-	00H
FF76H	UF0 EP0レンクス・レジスタ	UF0E0L	R	-		-	00H
FF77H	UF0バルク・アウト1レンクス・レジスタ	UF0BO1L	R	-		-	00H
FF78H	UF0ディスクリプタ・レンクス・レジスタ	UF0DSCL	R/W	-		-	00H
FF79H	UF0 FIFOクリア0レジスタ	UF0FIC0	W	-		-	00H
FF7AH	UF0 FIFOクリア1レジスタ	UF0FIC1	W	-		-	00H

表3-7 特殊機能レジスタ一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H
FF84H	送信バッファ・レジスタ10	SOTB10	R/W			-	00H
FF8BH	USBファンクション0バッファ・コントロール・レジスタ	UF0BC	R/W	-		-	00H
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H
FF90H	UF0アドレス・レジスタ	UF0ADRS	R	-		-	00H
FF91H	UF0コンフィギュレーション・レジスタ	UF0CNF	R	-		-	00H
FF92H	UF0インタフェース0レジスタ	UF0IF0	R	-		-	00H
FF93H	UF0インタフェース1レジスタ	UF0IF1	R	-		-	00H
FF94H	UF0インタフェース2レジスタ	UF0IF2	R	-		-	00H
FF95H	UF0インタフェース3レジスタ	UF0IF3	R	-		-	00H
FF96H	UF0インタフェース4レジスタ	UF0IF4	R	-		-	00H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/9AH ^{注1}
FF9AH	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W	-		-	00H
FF9CH	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W	-		-	00H
FF9DH	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W	-		-	00H
FF9EH	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W	-		-	00H
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	80H ^{注2}
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFA4H	発振安定時間選択レジスタ	OSTS	R/W			-	05H
FFA6H	PLLコントロール・レジスタ	PLL	R/W			-	00H
FFA7H	USBクロック制御レジスタ	UCKC	R/W			-	00H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注3}
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W			-	00H
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W			-	00H
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W			-	00H
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W			-	00H
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注4}
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H ^{注4}
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W			00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W			00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W			00H
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W			00H

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

3. RESFのリセット値は、リセット要因により変化します。

4. LVIM, LVISのリセット値は、リセット要因により変化します。

表3-7 特殊機能レジスタ一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W				FFH
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W				FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W				FFH
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W				FFH
FFF0H	メモリ・サイズ切り替えレジスタ ^注	IMS		R/W	-		-	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^注	IXS		R/W	-		-	0CH
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W			-	01H

注 メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)のリセット解除後の初期値は内部メモリ容量にかかわらず、一定(IMS = CFH, IXS = 0CH)となっています。したがって、リセット解除後、値をIMS = C4H, IXS = 08Hに必ず設定してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ (PC) の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します(各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください)。

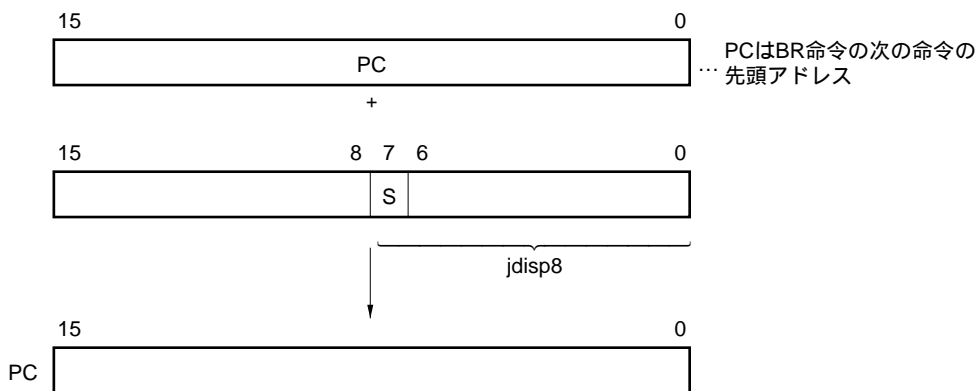
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ(ディスプレイメント値: jdisp8)を加算した値が、プログラム・カウンタ(PC)に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ(-128 ~ +127)として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128 ~ +127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき, は全ビット0

S = 1のとき, は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

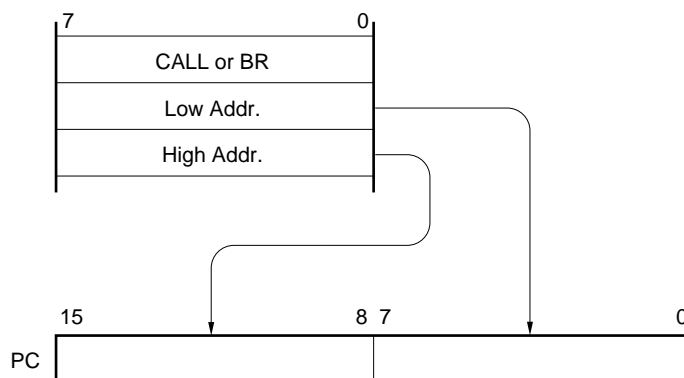
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

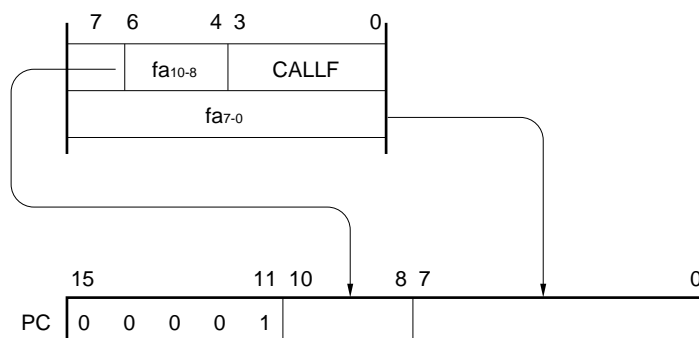
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



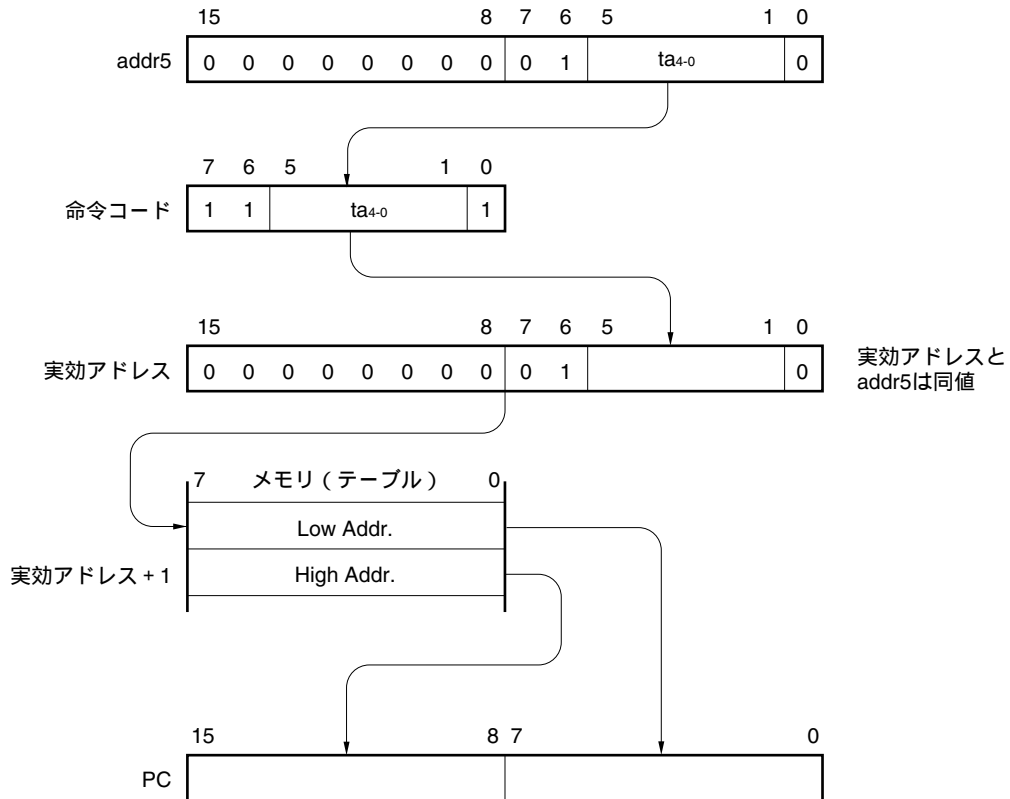
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



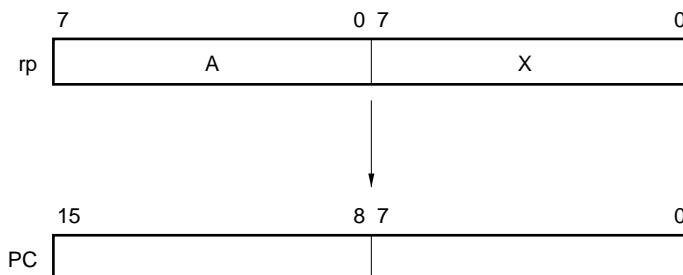
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD78F0730の命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に決定するため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

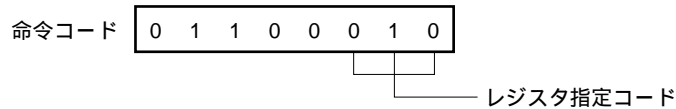
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

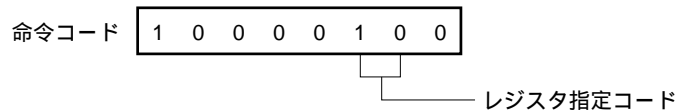
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

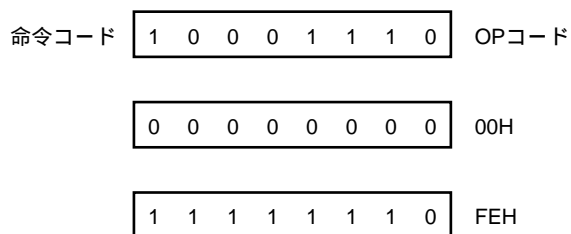
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。
すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

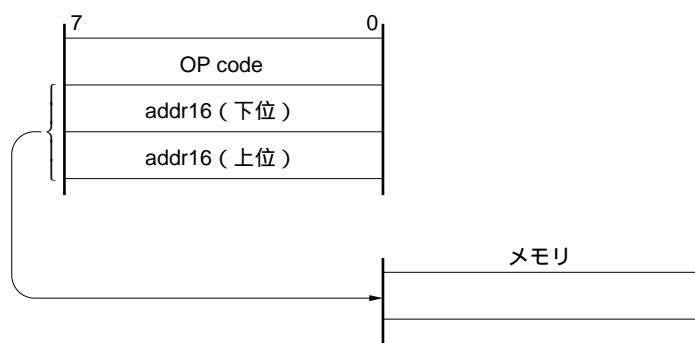
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

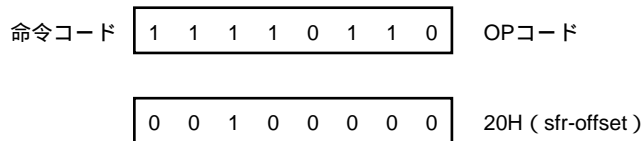
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

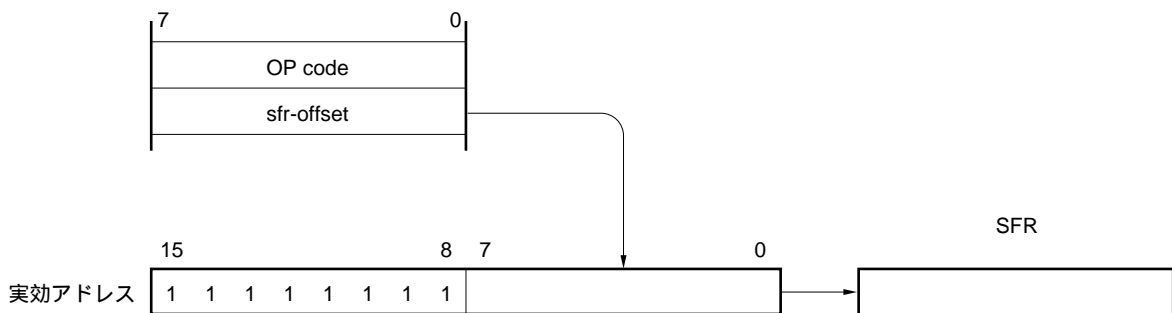
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

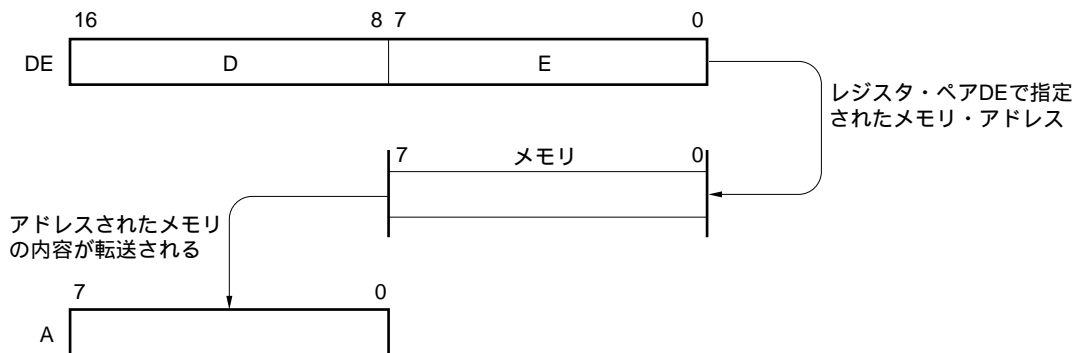
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

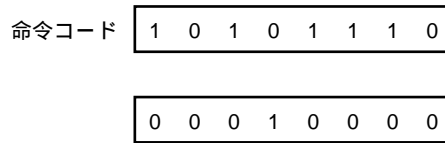
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

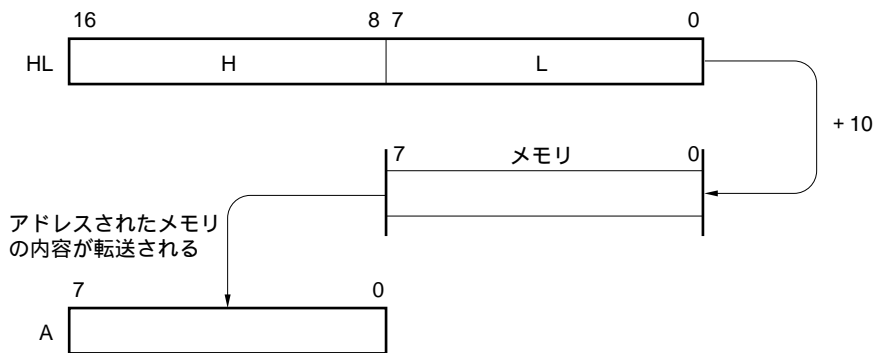
表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合



【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

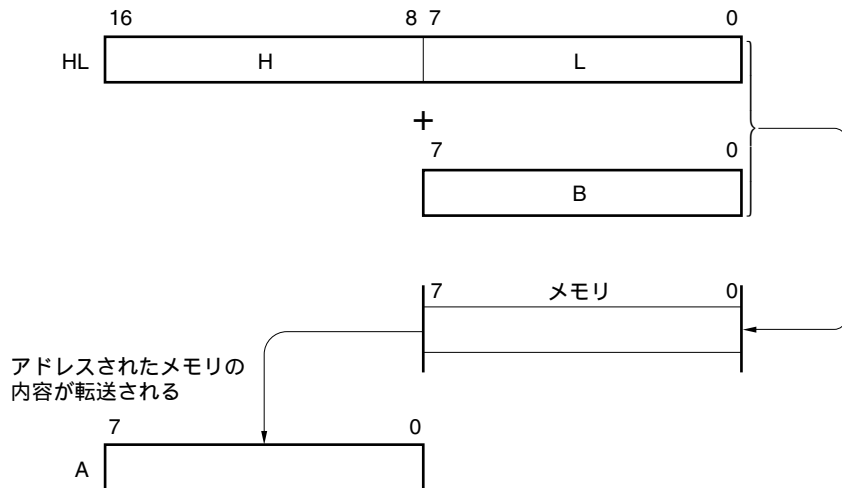
【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

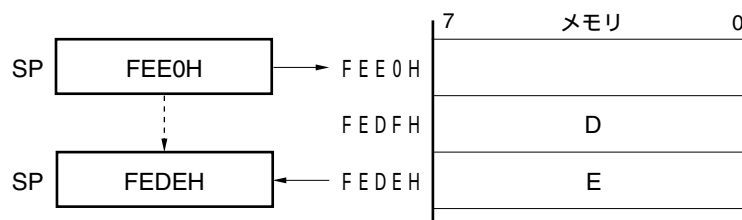
【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、EV_{DD}、V_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各ポート端子の入出力バッファ電源

電源	対応する端子
EV _{DD}	P121, P122以外のポート端子
V _{DD}	・ P121, P122 ・ ポート端子以外の端子

μPD78F0730は、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

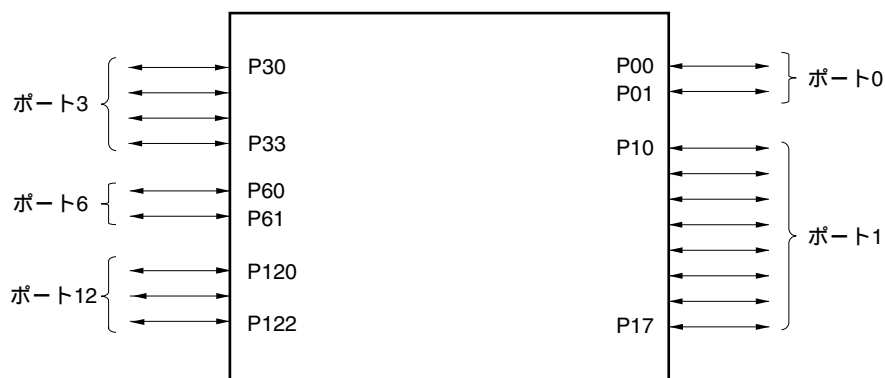


表4-2 ポートの機能

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P11				SI10
P12				SO10
P13				TxD6
P14				RxD6
P15				-
P16				TOH1
P17				TI50/TO50
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A
P32				INTP3/OCD1B
P33				TI51/TO51
P60	入出力	ポート6。 2ビット入出力ポート。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧) 1ビット単位で入力/出力の指定可能。	入力ポート	-
P61				-
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0
P121				X1/OCD0A
P122				X2/EXCLK/OCD0B

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0, PM1, PM3, PM6, PM12) ポート・レジスタ (P0, P1, P3, P6, P12) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)
ポート	合計：19本 (CMOS入出力：17本, N-chオープン・ドレイン入出力：2本)
プルアップ抵抗	合計：15本

4.2.1 ポート0

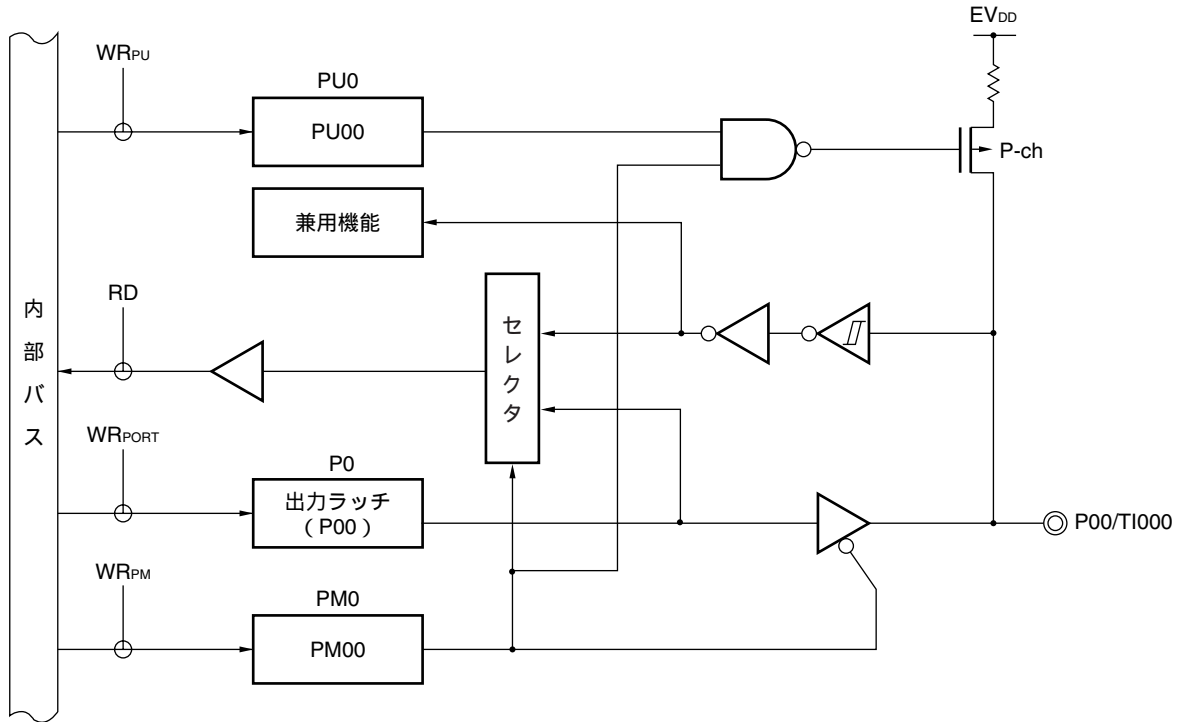
出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00, P01端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力があります。

リセット信号の発生により、入力モードになります。

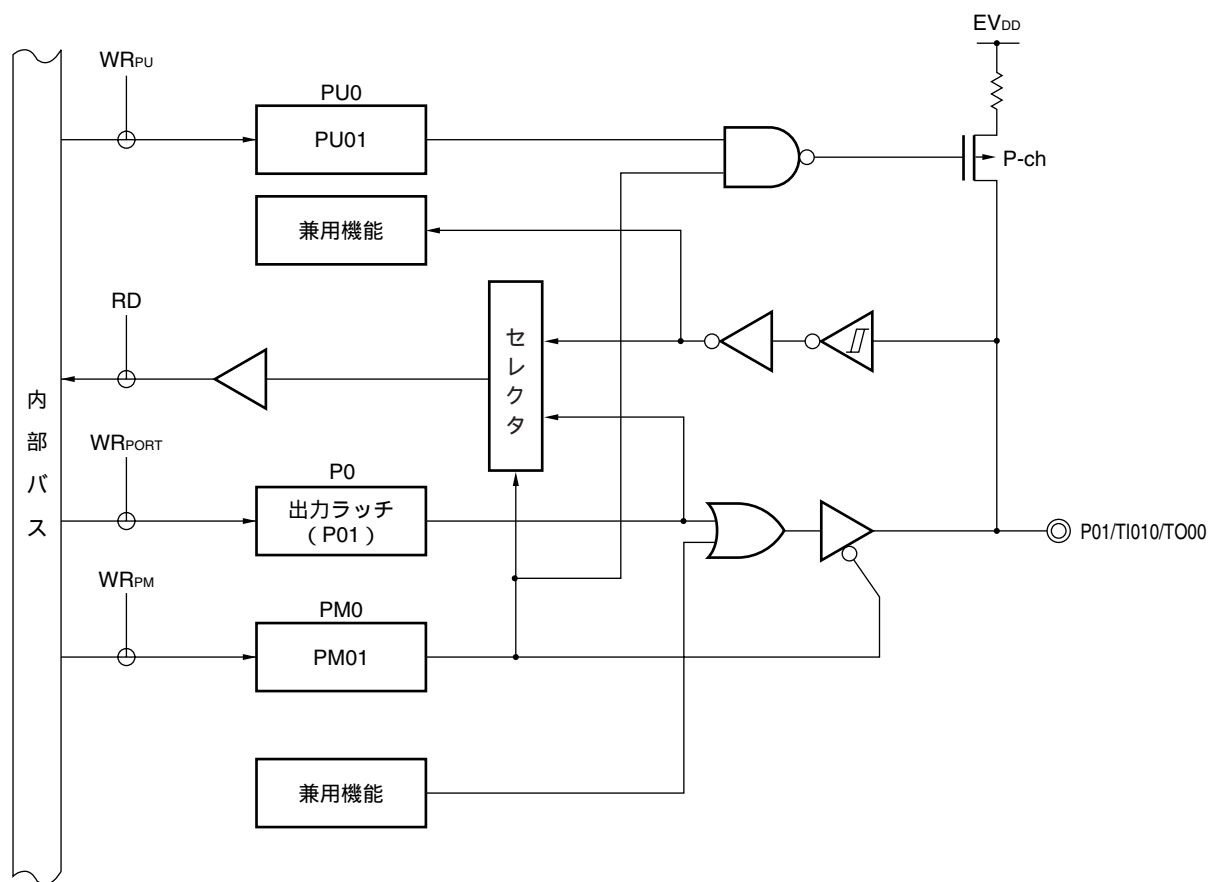
図4 - 2, 4 - 3にポート0のブロック図を示します。

図4 - 2 P00のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4-3 P01のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

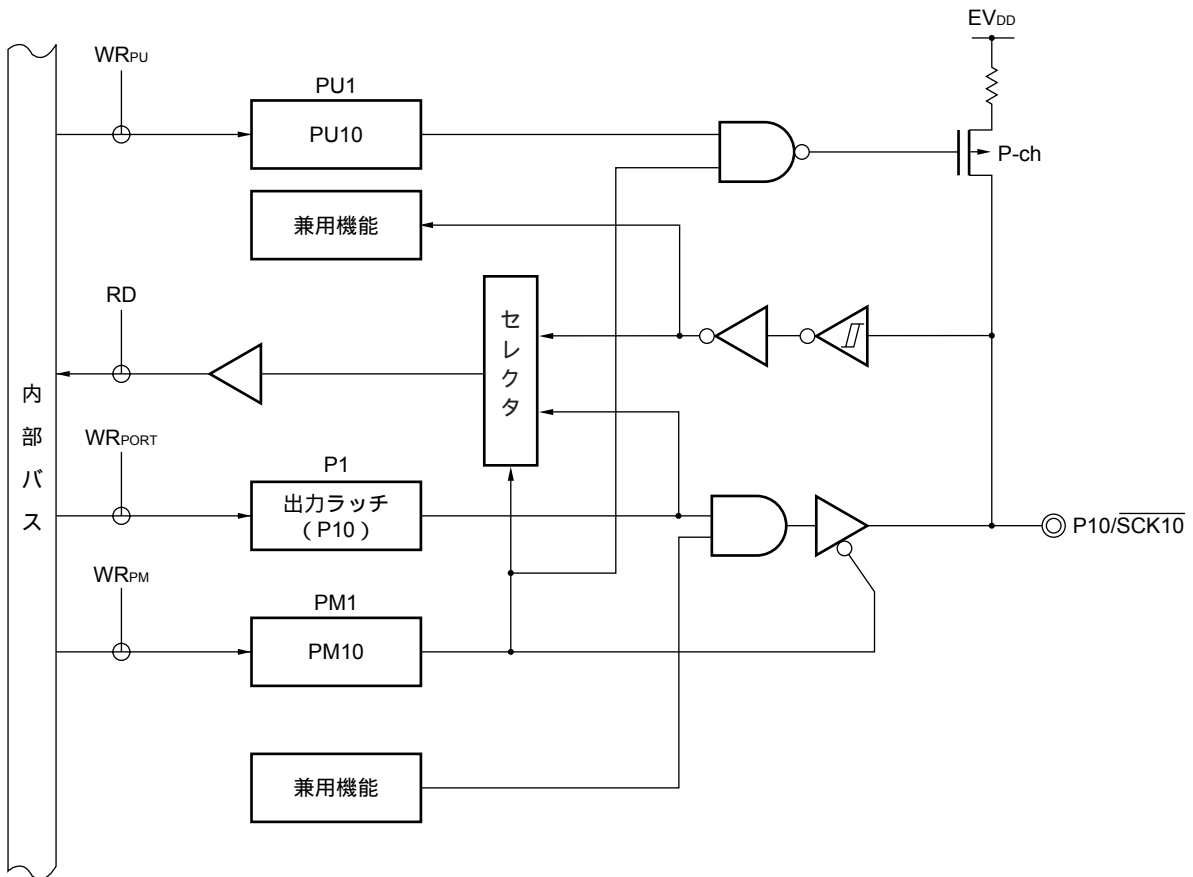
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4-4-4-9にポート1のブロック図を示します。

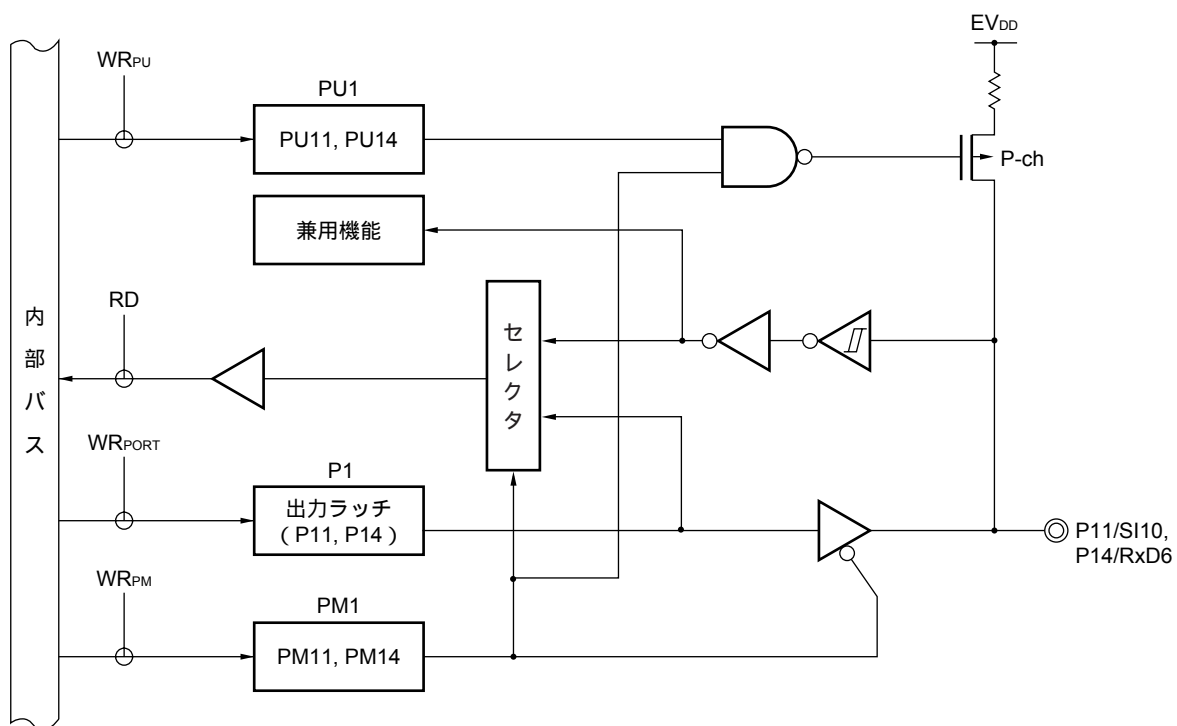
注意 P10/SCK10, P12/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

図4-4 P10のブロック図



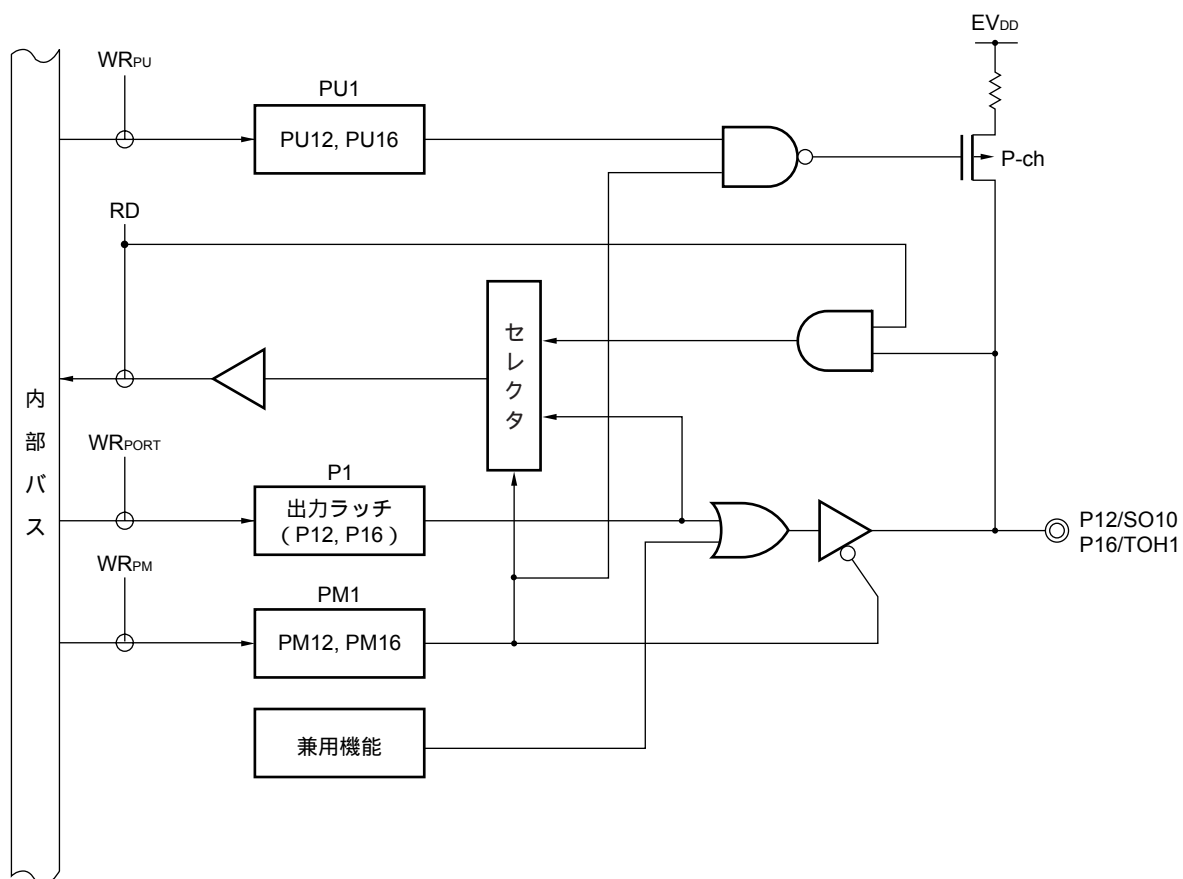
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-5 P11, P14のブロック図



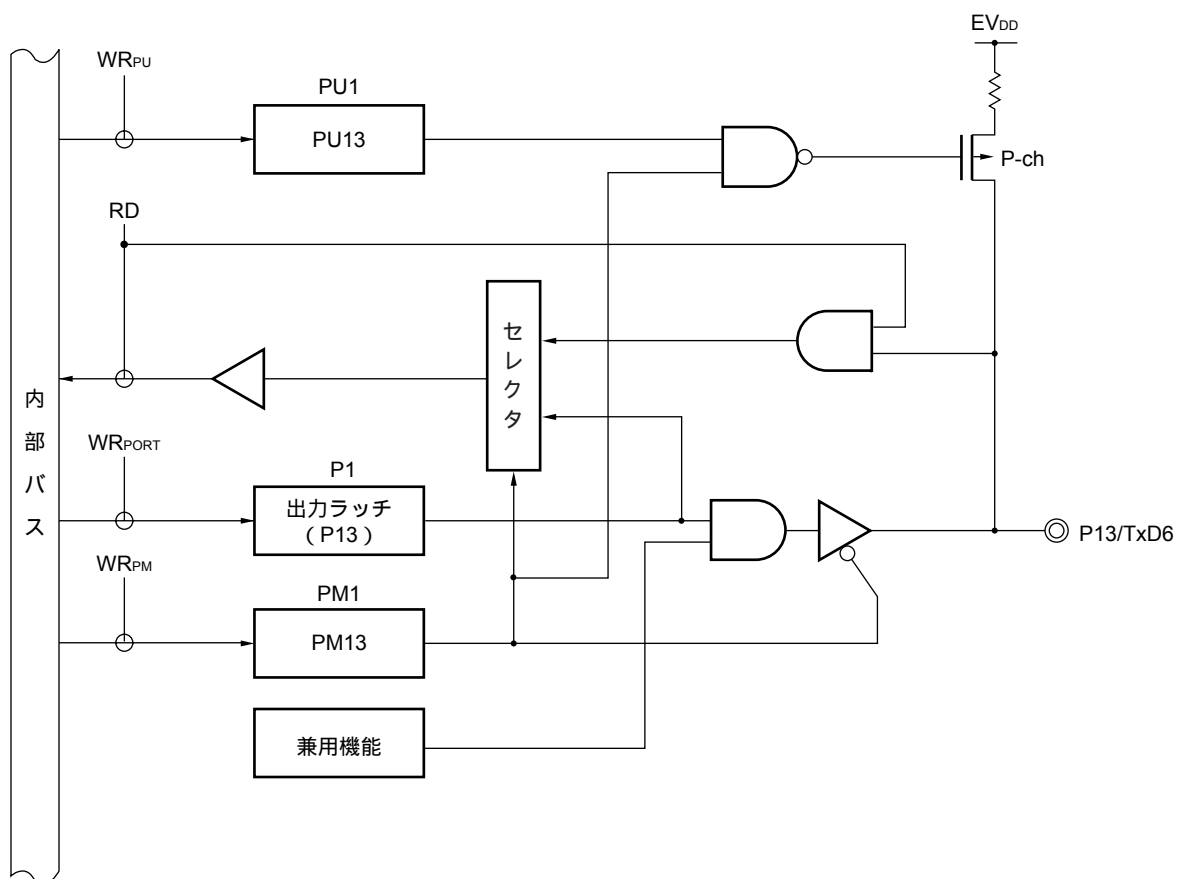
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 6 P12, P16のブロック図



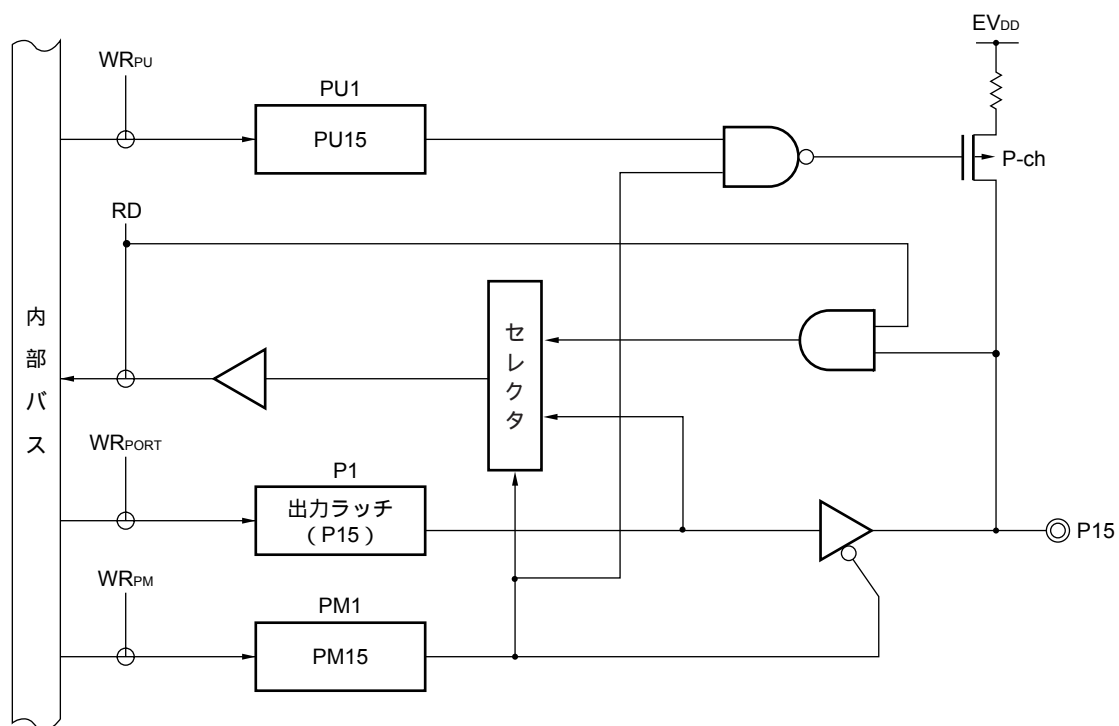
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-7 P13のブロック図



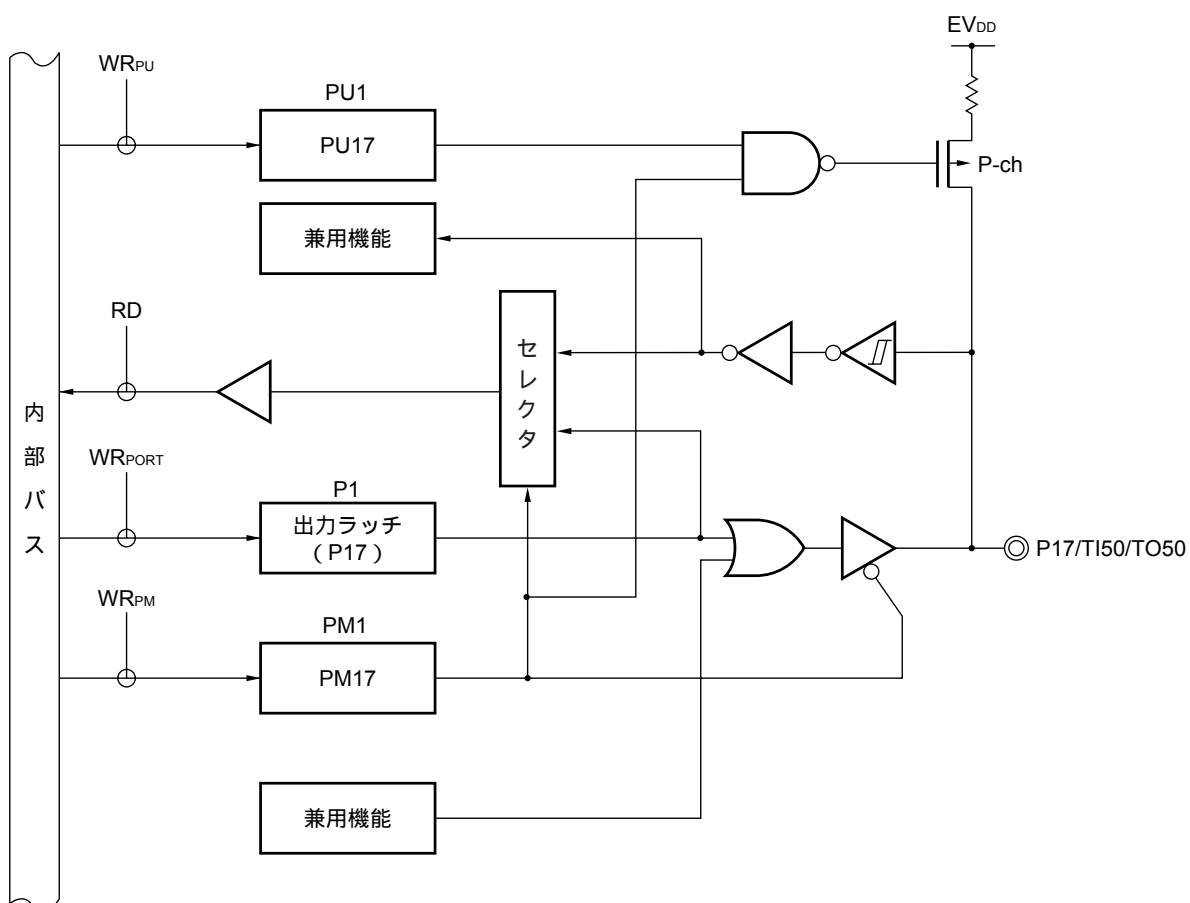
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 8 P15のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{x x} : ライト信号

図4-9 P17のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

4.2.3 ポート3

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30-P33端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

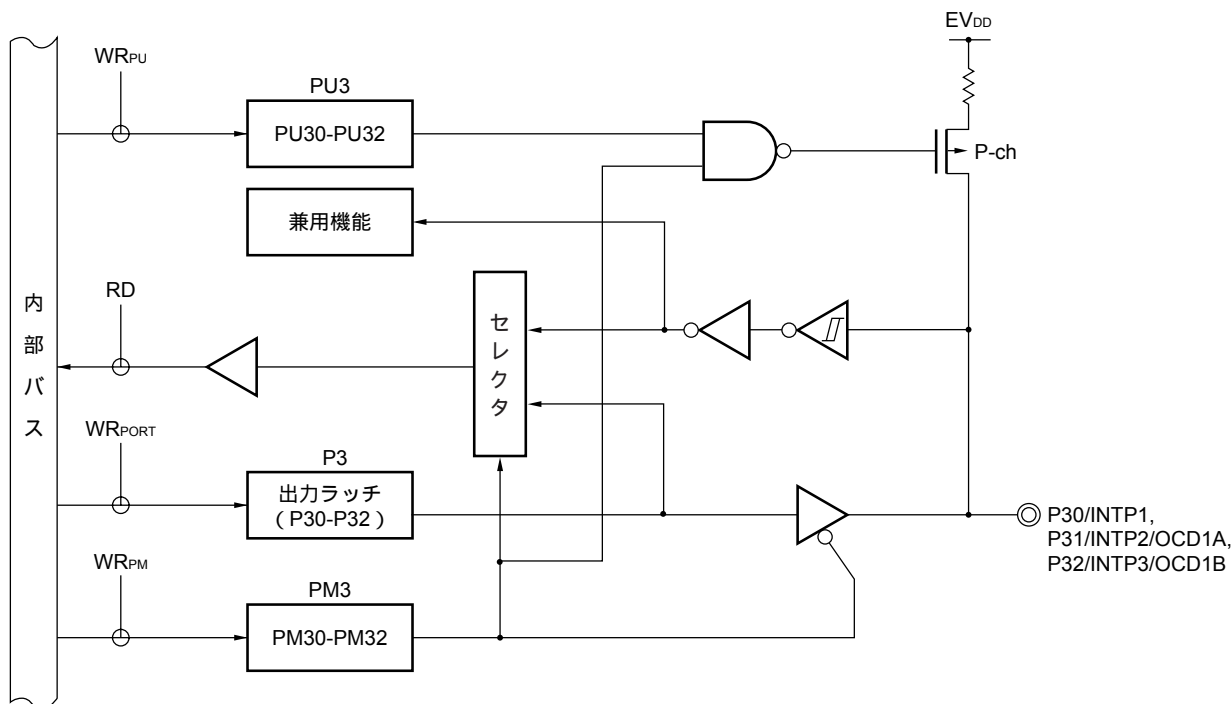
リセット信号の発生により、入力モードになります。

図4 - 10, 4 - 11にポート3のブロック図を示します。

- 注意**
1. 誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。
 2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/OCD1Aを次のように処理してください。
 - ・ P31/INTP2/OCD1A : 抵抗 (10 kΩ : 推奨) を介してV_{SS}に接続してください。
- セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

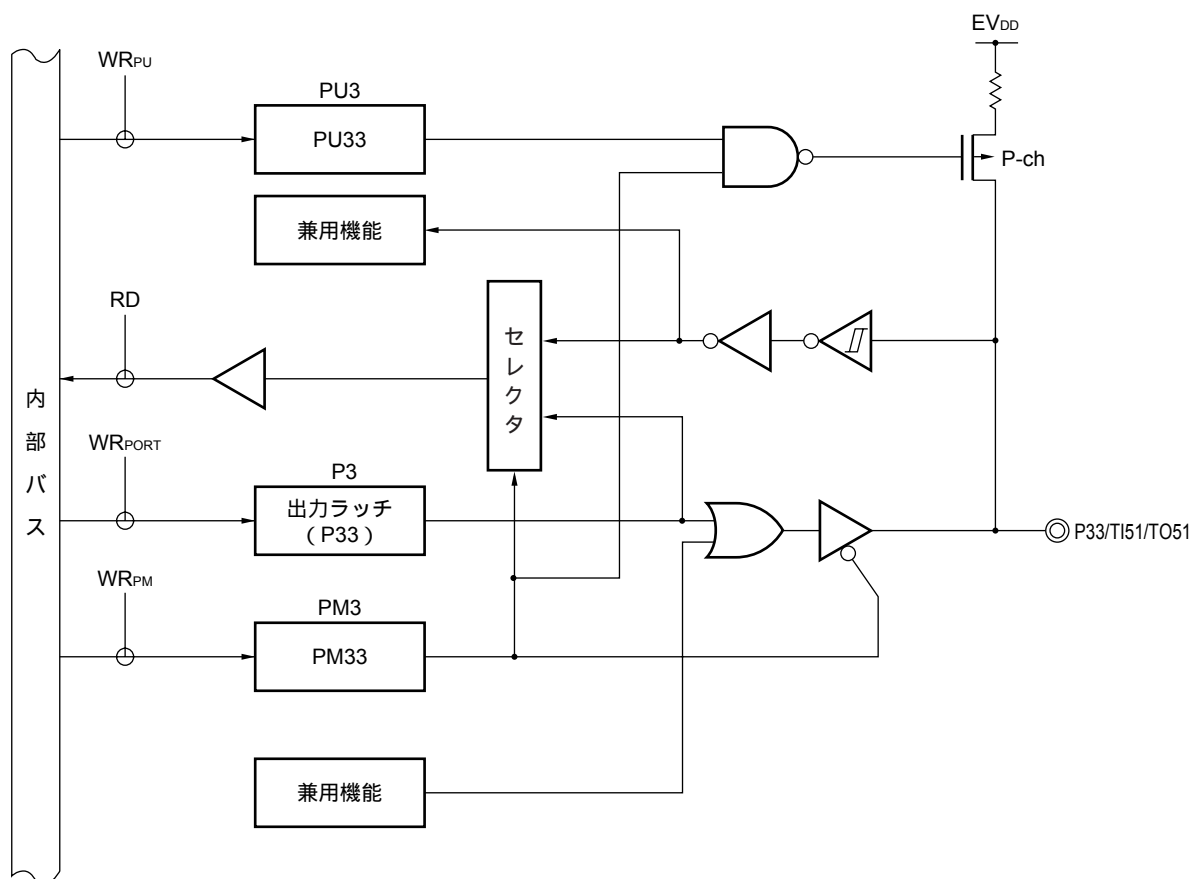
備考 μPD78F0730のP31, P32端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子(OCD1A, OCD1B)として使用できます。詳細は、第20章 オンチップ・デバッグ機能を参照してください。

図4 - 10 P30-P32のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 11 P33のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

4.2.4 ポート6

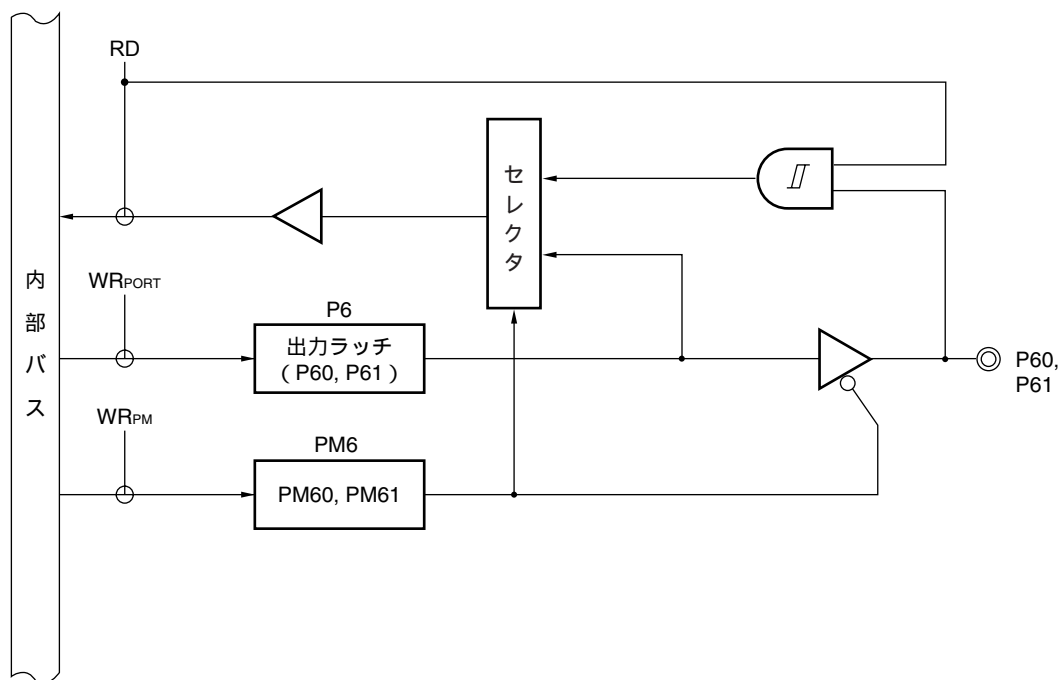
出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード / 出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

リセット信号の発生により、入力モードになります。

図4 - 12にポート6のブロック図を示します。

図4 - 12 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

4.2.5 ポート12

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。P120のみ、入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

また兼用機能として外部割り込み要求入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図4 - 13, 4 - 14にポート12のブロック図を示します。

注意1. P121, P122端子を、メイン・システム・クロック用発振子接続 (X1, X2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定してください(詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121, P122 はすべて入出力ポート) となります。このとき、PM121, PM122, P121, P122の設定は不要です。

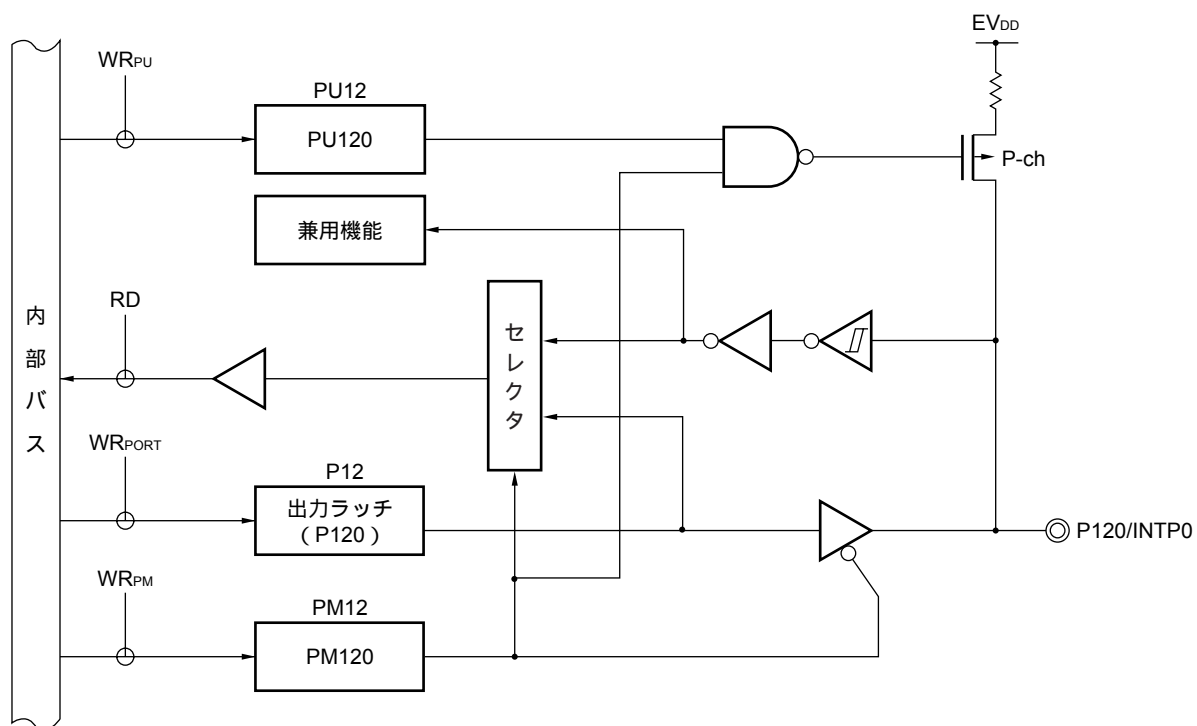
2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1/OCD0Aを次のように処理してください。

・P121/X1/OCD0A : ポートとして使用する場合は、抵抗 (10 kΩ : 推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

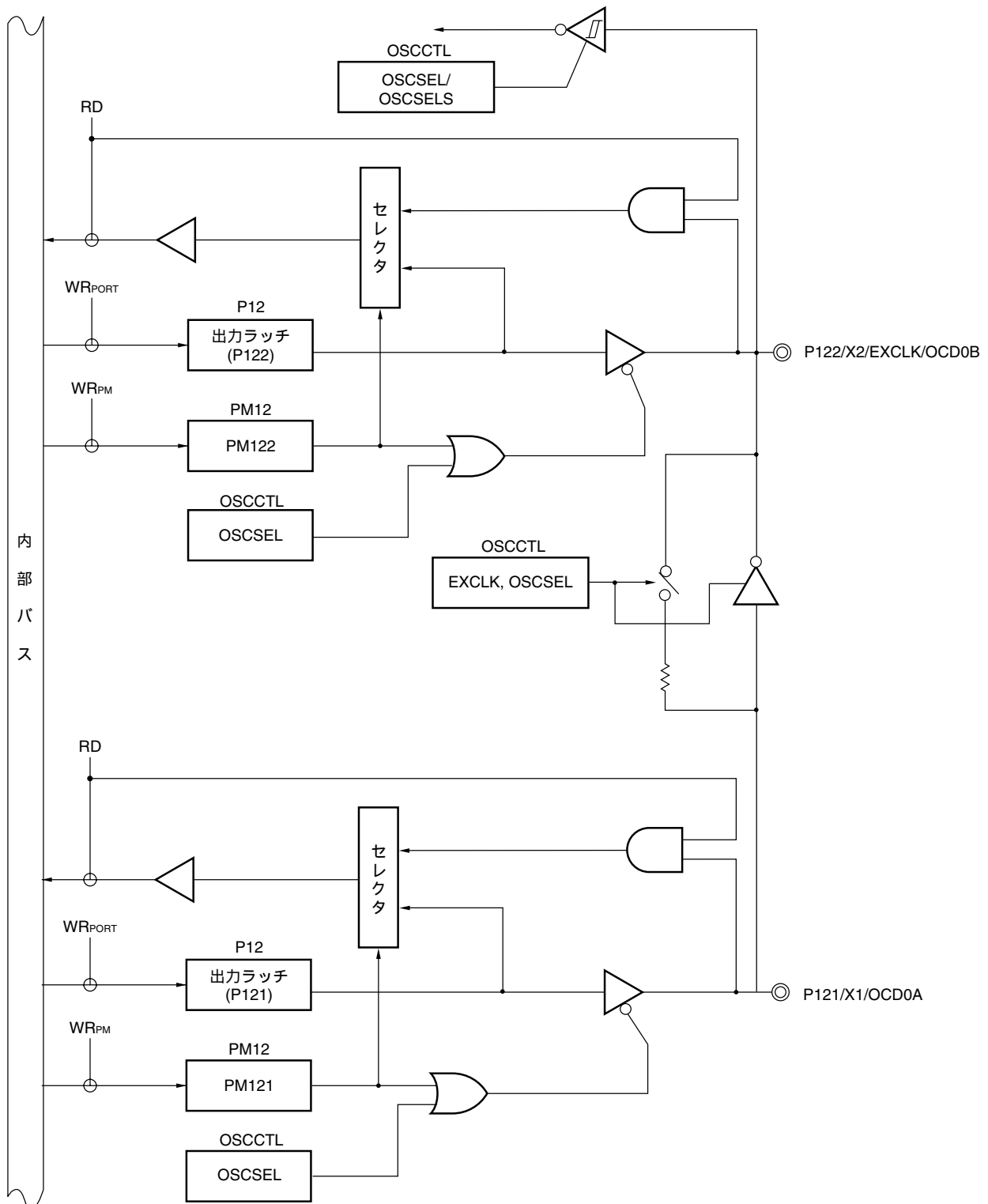
備考 μPD78F0730のX1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第20章 オンチップ・デバッグ機能を参照してください。

図4 - 13 P120のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

図4-14 P121, P122のブロック図



- P12 : ポート・レジスタ12
- PM12 : ポート・モード・レジスタ12
- OSCCTL : クロック動作モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1, PM3, PM6, PM12)
- ・ポート・レジスタ (P0, P1, P3, P6, P12)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)

(1) ポート・モード・レジスタ (PM0, PM1, PM3, PM6, PM12)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-15 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 6, 12; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポート・レジスタ (P0, P1, P3, P6, P12)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

P0, P1, P3, P6, P12は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 16 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W

Pmn	m = 0, 1, 3, 6, 12 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

(3) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)

P00, P01, P10-P17, P30-P33, P120の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU0, PU1, PU3, PU12で内蔵プルアップ抵抗の使用を指定した端子で, 入力モードに設定したビットにのみ, ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは, PU0, PU1, PU3, PU12の設定にかかわらず, 内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU3, PU12は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図4 - 17 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 12 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-5のように設定してください。

表4-5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	TI000	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P10	SCK10	入力	1	×
		出力	0	1
P11	SI10	入力	1	×
P12	SO10	出力	0	0
P13	TxD6	出力	0	1
P14	RxD6	入力	1	×
P16	TOH1	出力	0	0
P17	TI50	入力	1	×
	TO50	出力	0	0
P30-P32	INTP1-INTP3	入力	1	×
P33	TI51	入力	1	×
	TO51	出力	0	0
P120	INTP0	入力	1	×
P121	X1 ^注	-	×	×
P122	X2 ^注	-	×	×
	EXCLK ^注	入力	×	×

注 P121, P122端子を，メイン・システム・クロック用発振子接続 (X1, X2)，メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は，クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は，5.3 (1) クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121, P122はすべて入出力ポート) となります。このとき，PM121, PM122, P121, P122の設定は不要です。

備考1. × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

- μPD78F0730のX1, X2, P31, P32端子は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用 (OCD0A, OCD0B, OCD1A, OCD1B) として使用できます。詳細は，第20章 オンチップ・デバッグ機能を参照してください。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 12$ または16 MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 16$ MHz (TYP.) のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EXCLK} = 12$ または16 MHz) を供給することができます。STOP命令の実行またはMOCの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

(2) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・低速内蔵発振回路

$f_{RL} = 240$ kHz (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ のいずれかを選択時)

- 備考1** . f_x : X1クロック発振周波数
- 2 . f_{RH} : 高速内蔵発振クロック周波数
- 3 . f_{EXCLK} : 外部メイン・システム・クロック周波数
- 4 . f_{RL} : 低速内蔵発振クロック周波数

(3) USB用クロック

• PLL

X1発振回路で生成するクロック (f_x) または外部入力クロック (f_{EXCLK}) を, 8/12逡倍します。

PLLコントロール・レジスタ (PLLC) のPLLMビットにより8/12逡倍を選択し, PLLSTOPビットによりPLLを動作, 停止します。

- 備考1.** f_x : X1クロック発振周波数
2. f_{EXCLK} : 外部メイン・システム・クロック周波数

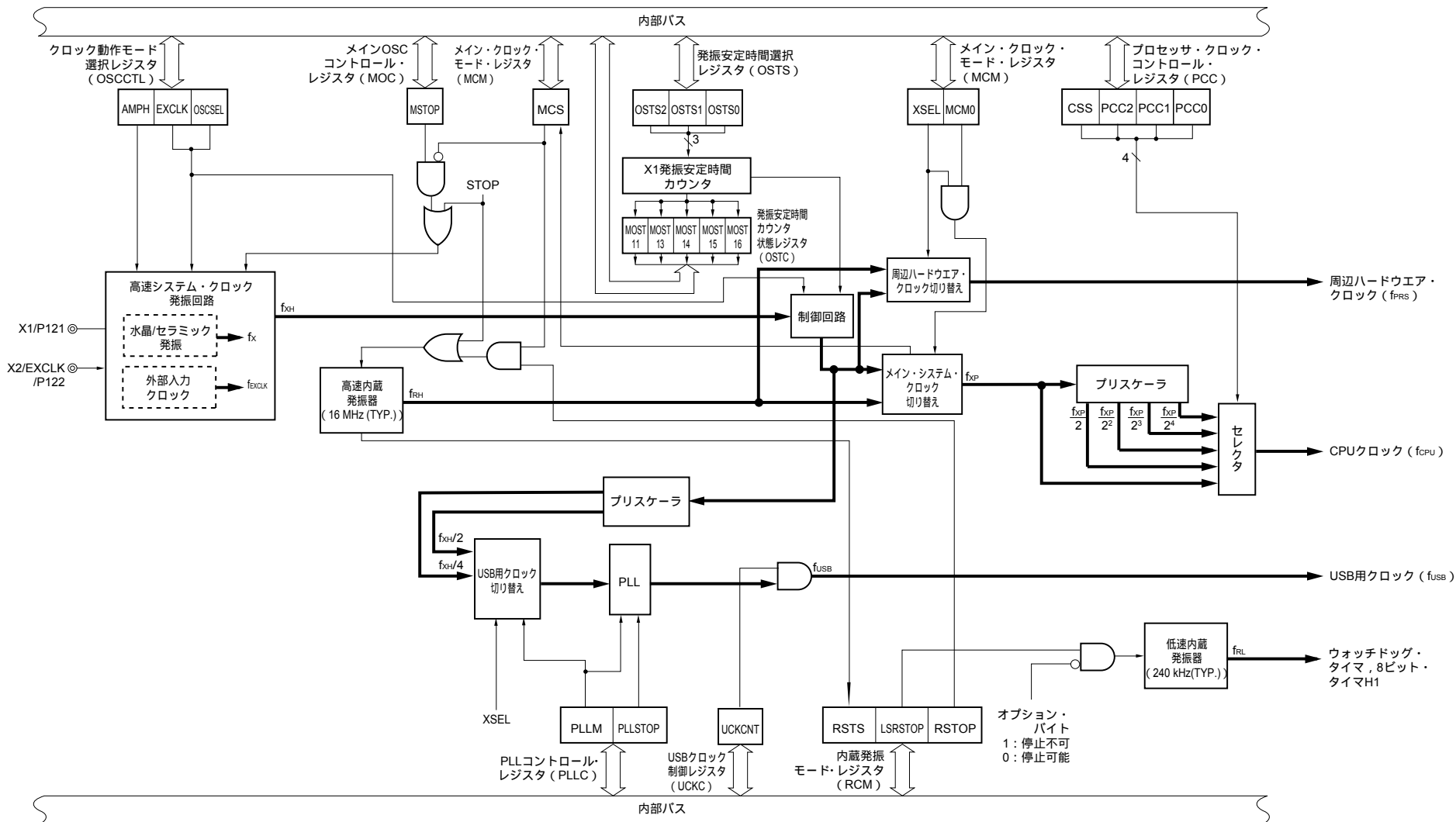
5.2 クロック発生回路の構成

クロック発生回路は, 次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) PLLコントロール・レジスタ (PLLC) USBクロック制御レジスタ (UCKC)
発振回路	X1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



- 備考1. f_x : X1クロック発振周波数
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{EXCLK} : 外部メイン・システム・クロック周波数
4. f_{XH} : 高速システム・クロック発振周波数
5. f_{XP} : メイン・システム・クロック発振周波数
6. f_{PRS} : 周辺ハードウェア・クロック発振周波数
7. f_{CPU} : CPUクロック発振周波数
8. f_{RL} : 低速内蔵発振クロック周波数
9. f_{USB} : USB用クロック発振周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の10種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・PLLコントロール・レジスタ (PLL)
- ・USBクロック制御レジスタ (UCKC)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックの動作モード，内蔵している発振器のゲインを選択するレジスタです。
 OSCCTLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス：FF9FH リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	AMPH
--------	-------	--------	---	---	---	---	---	------

EXCLK	OSCSEL	高速システム・クロックの動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

AMPH	発振周波数の制御
0	$f_{XH} \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_{XH}$

- 注意1. 高速システム・クロック発振周波数が10 MHzを越える場合は，必ずAMPHに1を設定してください。
- AMPHは，リセット解除後，周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから5 μ s (MIN.)間は，CPUクロックの供給が停止されます。
 - CPUクロックが高速内蔵発振クロックまたは外部メイン・システム・クロックで，AMPHに1を設定してSTOP命令を実行した場合，STOPモードが解除されてから5 μ s (MIN.)間は，CPUクロックの供給が停止されます。CPUクロックがX1クロックの場合は，STOPモード解除後に発振安定時間をカウントします。
 - EXCLKとOSCSELを別の値に書き換える場合，メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効)であることを必ず確認してください。

備考 f_{XH} : 高速システム・クロック発振周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス : FFFBH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	f_{XP}
0	0	1	$f_{XP}/2$ (デフォルト)
0	1	0	$f_{XP}/2^2$
0	1	1	$f_{XP}/2^3$
1	0	0	$f_{XP}/2^4$
上記以外			設定禁止

注意 ビット3-7には, 必ず0を設定してください。

備考 f_{XP} : メイン・システム・クロック発振周波数

μPD78F0730の一番速い命令はCPUクロック2クロックで実行されます。したがって, CPUクロック (f_{CPU}) と最小命令実行時間の関係は, 表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間 : $2/f_{CPU}$		
	高速システム・クロック ^注		高速内蔵発振クロック ^注
	12 MHz動作時	16 MHz動作時	16 MHz (TYP.) 動作時
f_{XP}	0.167 μs	0.125 μs	0.125 μs (TYP.)
$f_{XP}/2$	0.333 μs	0.25 μs	0.25 μs (TYP.)
$f_{XP}/2^2$	0.667 μs	0.5 μs	0.5 μs (TYP.)
$f_{XP}/2^3$	1.33 μs	1.0 μs	1.0 μs (TYP.)
$f_{XP}/2^4$	2.67 μs	2.0 μs	2.0 μs (TYP.)

注 CPUクロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は, メイン・クロック・モード・レジスタ (MCM) で行います (図5-6参照)。

(3) 内蔵発振モード・レジスタ (RCM)

内蔵発振クロックの動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5-4 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス : FFA0H リセット時 : 80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち時間後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次の条件のときに、RSTOPに1を設定してください。

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)

(4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外によるクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス：FFA2H リセット時：80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次の条件のときに、MSTOPに1を設定してください。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- 2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき、MSTOPに0を設定しないでください。
- 3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(5) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス：FFA1H リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0	設定禁止	
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ変更が可能です。

2. USB機能を使用する場合は、必ずXSEL = 1, MCM0 = 1に設定してください。

3. 次の周辺機能は、XSELとMCM0の設定にかかわらず、f_{PRS}以外のクロックが供給されます。

- ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
- ・8ビット・タイマH1のカウント・クロックに「f_{R_L}」, 「f_{R_L}/2⁷」, 「f_{R_L}/2⁹」のいずれかを
選択時 (低速内蔵発振クロックで動作)
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア
(ただし、TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)

(6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1のいずれかにより, 00Hになります。

図5-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス: FFA3H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
					$f_x = 12 \text{ MHz}$ 時	$f_x = 16 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	170.7 μs 以上	128 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	682.7 μs 以上	512 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.37 ms以上	1.024 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	2.73 ms以上	2.048 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	5.46 ms以上	4.096 ms以上

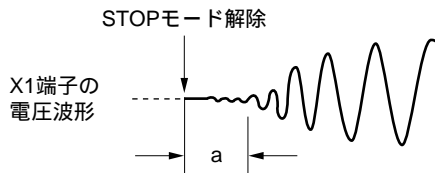
注意1. 上記時間経過後, MOST11から順番に “1” となっていく, そのまま “1” を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定ウエイト時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,05Hになります。

図5 - 8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 12 \text{ MHz}$ 時	$f_x = 16 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	170.7 μs	128 μs
0	1	0	$2^{13}/f_x$	682.7 μs	512 μs
0	1	1	$2^{14}/f_x$	1.37 ms	1.024 ms
1	0	0	$2^{15}/f_x$	2.73 ms	2.048 ms
1	0	1	$2^{16}/f_x$	5.46 ms	4.096 ms
上記以外			設定禁止		

注意1 .CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令を実行する前にOSTSを設定してください。

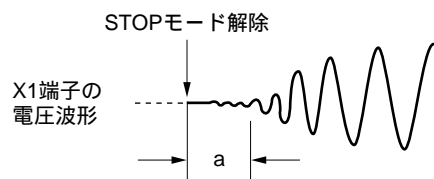
2 .X1クロックの発振安定時間中は,OSTSレジスタを変更しないでください。

3 .発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に,STOPモードに入り,解除するときは,OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって,STOPモード解除後のOSTCは,OSTSで設定している発振安定時間までのステータスしかセットされないで注意してください。

4 .X1クロックの発振安定ウエイト時間は,クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(8) PLLコントロール・レジスタ (PLL)

PLLの動作モードを設定するレジスタです。

PLLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図5-9 PLLコントロール・レジスタ (PLL) のフォーマット

アドレス : FFA6H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PLL	0	0	0	0	0	0	PLL	STOP

XSEL	PLL	PLLへの供給クロック/PLLの通倍選択	
		供給クロック	通倍選択
0	0	設定禁止	設定禁止
	1	設定禁止	設定禁止
1	0	$f_{XH}/2$	8通倍 ^{注1}
	1	$f_{XH}/4$	12通倍 ^{注2}

PLLSTOP	PLLの動作制御
0	PLL動作
1	PLL停止

注1. $f_{XH} = 12 \text{ MHz}$ のとき, $f_{USB} = 48 \text{ MHz}$ となります。

2. $f_{XH} = 16 \text{ MHz}$ のとき, $f_{USB} = 48 \text{ MHz}$ となります。

注意 USBを使用する場合には、必ずリセット後の初期設定でPLLの供給クロックを設定してください。

<設定手順>

PLLを停止 (PLLSTOP = 1)

PLLを選択 (0: f_{XH} が12 MHzのとき, 1: f_{XH} が16 MHzのとき)

XSEL = 1を設定

PLLの動作を許可 (PLLSTOP = 0)

備考 XSEL : メイン・クロック・モード・レジスタ (MCM) のビット2

(9) USBクロック制御レジスタ (UCKC)

USBファンクション・コントローラへ供給するUSBクロック (f_{USB}) を制御するレジスタです。

UCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 10 USBクロック制御レジスタ (UCKC) のフォーマット

アドレス : FFA7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UCKC	UCKCNT	0	0	0	0	0	0	0

UCKCNT	USBファンクション・コントローラへのUSBクロック供給制御
0	USBクロック供給停止
1	USBクロック供給

注意 STOPモードへ移行する場合は、USBファンクション・コントローラへのクロック供給を停止してください。

STOPモード解除後はPLLの発振安定待ち時間(800 μs)をソフトウェアでカウントし、発振安定待ち時間終了後にUSBファンクション・コントローラへクロックを供給してください。

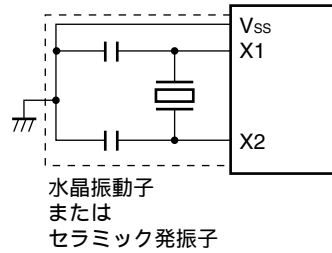
5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(12または16 MHz)によって発振します。

図5 - 11にX1発振回路の外付け回路例を示します。

図5 - 11 X1発振回路の外付け回路例(水晶, セラミック発振)



注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 11の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVssと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図5 - 12に発振子の接続の悪い例を示します。

図5 - 12 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している

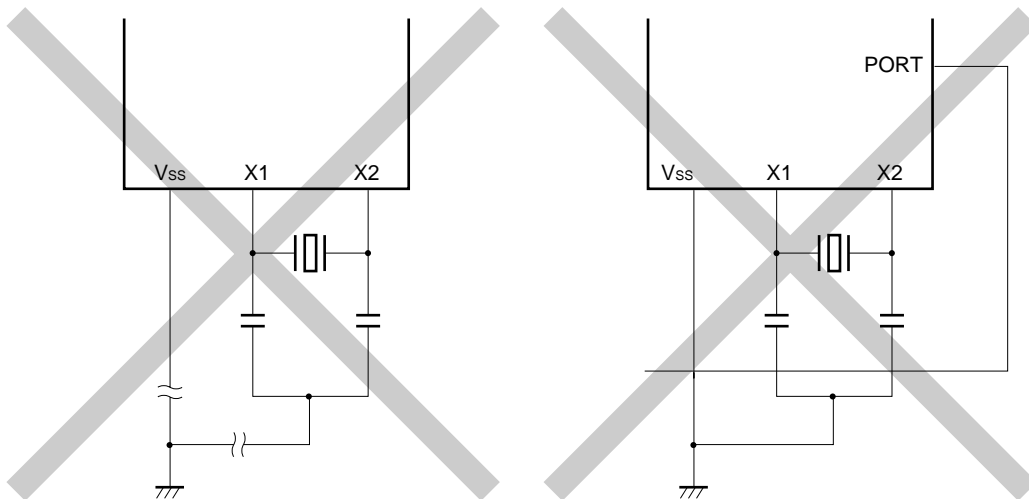
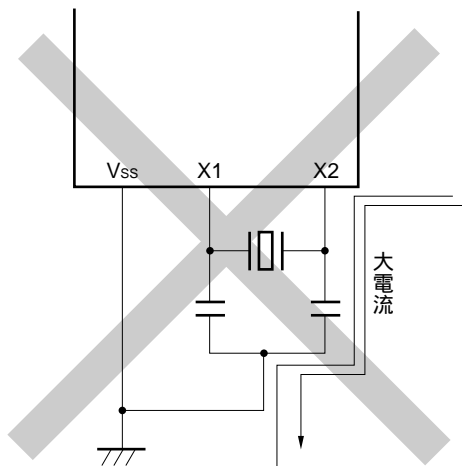
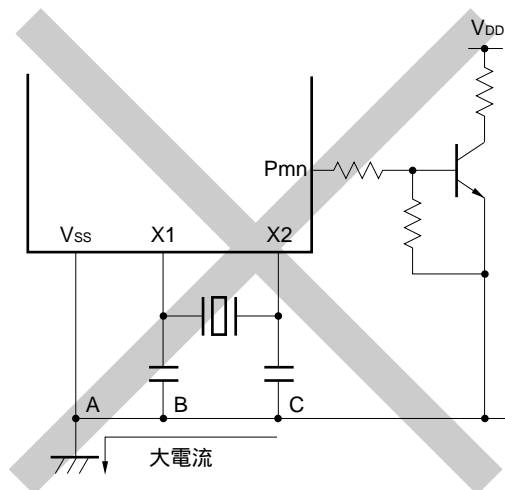


図5 - 12 発振子の接続の悪い例 (2/2)

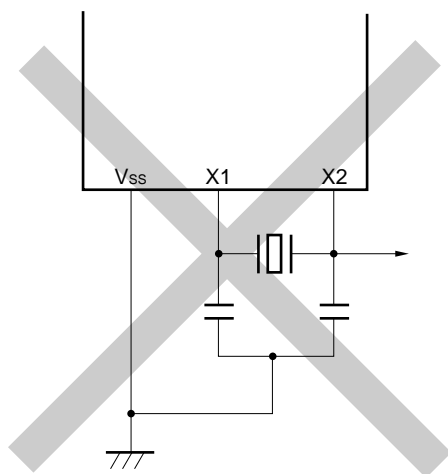
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



5.4.2 高速内蔵発振回路

μPD78F0730は、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します（16 MHz（TYP.））。

5.4.3 低速内蔵発振回路

μPD78F0730は、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））。

5.4.4 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
 { X1クロック f_X
 外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
USB用クロック f_{USB}
周辺ハードウェア・クロック f_{PRS}

μPD78F0730では、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

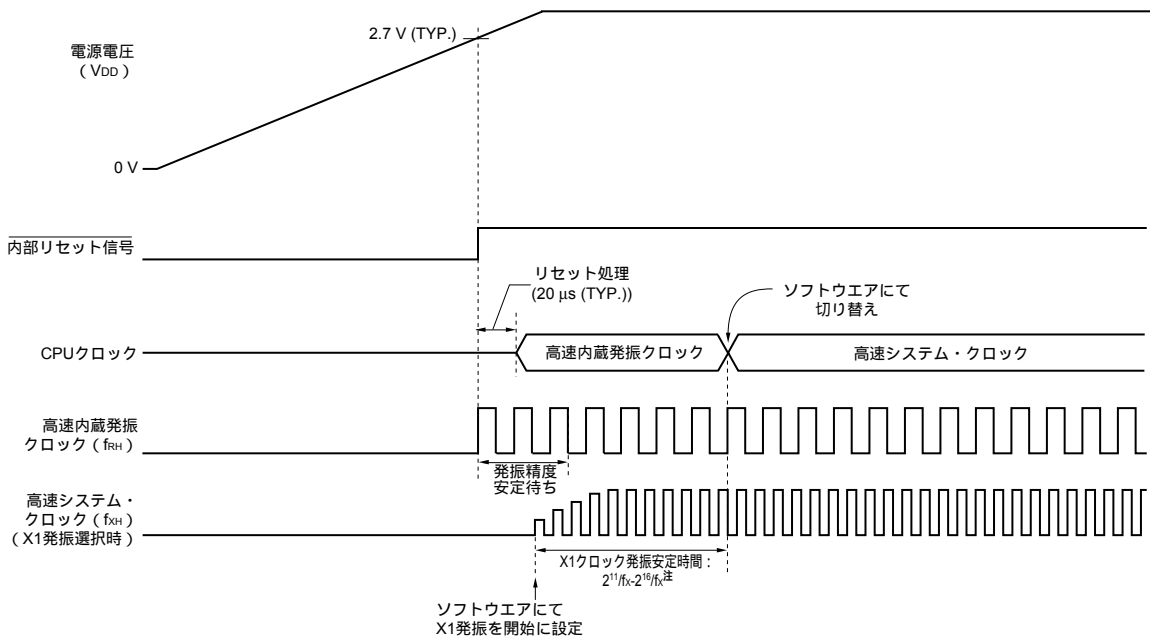
(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5-13に示します。

図5 - 13 電源電圧投入時のクロック発生回路の動作

2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックは、ソフトウェアにて発振開始を設定してください (5. 6. 1 高速システム・クロックの制御例の (1) を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5. 6. 1 高速システム・クロックの制御例の (3) を参照)。

注 リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

注意1. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

2. μPD78F0730では、必ず2.7 V/1.59 V POCモード設定 (オプション・バイト : POCMODE = 1) で使用してください。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます (5. 6. 1 高速システム・クロックの制御例の (4) , 5. 6. 2 高速内蔵発振クロックの制御例の (3) を参照)。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時の場合、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

以下の場合の設定手順例を、次の(1)～(4)に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH ^注	動作周波数の制御
0	$f_{XH} \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_{XH}$

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから5 μs (MIN.)間は、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック発振周波数

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、他のソフトウェア処理を実行できます。

- 注意1.** X1クロック動作中にEXCLK, OSCSELを書き換えないでください
- 2.** 電源電圧が、使用するクロックの動作可能電圧 (第22章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数を設定します

AMPH ^注	発振周波数の制御
0	$f_{XH} \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_{XH}$

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから5 μs (MIN.)間は、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御 (MOCレジスタ)

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

- 注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。
- 2. 電源電圧が、使用するクロックの動作可能電圧 (第22章 電気的特性を参照) に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1(1) X1クロックを発振する場合の設定手順例，または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合， の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると，メイン・システム・クロックと周辺ハードウェアに，高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択，分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ MSTOPを1に設定し、X1発振を停止する（外部クロックを使用している場合は、クロック入力無効）

(a) STOP命令を実行する場合**周辺ハードウェアの停止を設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第14章 **スタンバイ機能**を参照してください）。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合**CPUクロックのステータス（PCC, MCMレジスタ）を確認**

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック

高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

以下の場合のクロック設定手順例を、次の(1)～(3)に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック，高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速システム・クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}

高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウェイトします^{注2}。

- 注1. リセット解除後，高速内蔵発振器は自動的に発振し，高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック，周辺ハードウェア・クロックに精度が必要ない場合はウェイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合

- ・高速内蔵発振クロックの発振を再開^注

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

- ・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例，(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック，高速システム・クロック動作中の場合， の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で，メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			設定禁止

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合**周辺ハードウェアの設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第14章 **スタンバイ機能**を参照してください）。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合**CPUクロックのステータスを確認（PCC，MCMレジスタ）**

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック

高速内蔵発振クロックの停止（RCMレジスタ）

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 低速内蔵発振クロックの制御

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックに f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ のいずれかを選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

（1）低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

（2）低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.4 USBクロックの制御

USBファンクション・コントローラ用のクロック ($f_{\text{USB}} = 48 \text{ MHz}$) は、高速システム・クロック (f_{XH}) の分周クロックをPLLで逡倍して使用します。

$f_{\text{XH}} = 12/16 \text{ MHz}$ からUSBクロック供給する場合（設定方法例）

PLLSTOPを1に設定（PLLCレジスタ）

PLLSTOPを1に設定して、PLLを動作停止します。

PLLMを0/1に設定（PLLCレジスタ）

$f_{\text{XH}} = 12 \text{ MHz}$ の場合、PLLMを0に設定して、8逡倍を選択します。

$f_{\text{XH}} = 16 \text{ MHz}$ の場合、PLLMを1に設定して、12逡倍を選択します。

XSELを1に設定（MCMレジスタ）

XSELを1に設定すると、高速システム・クロック (f_{XH}) がPLLに供給されます。

PLLSTOPを0に設定（PLLCレジスタ）

PLLSTOPを0に設定すると、PLLが動作開始します。

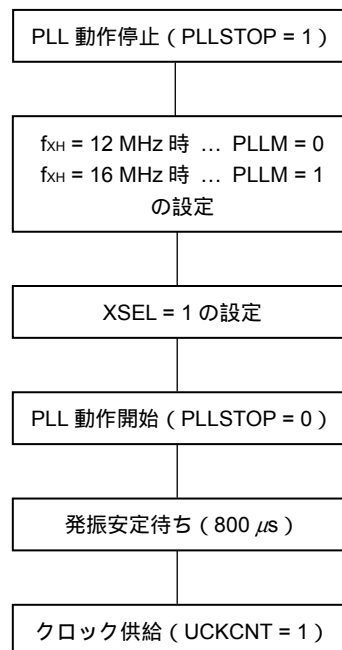
PLLの発振安定待ち

ソフトウェアで、 $800 \mu\text{s}$ ウエイトします。ウエイト中は、他のソフトウェア処理を実行できます。

UCKCNTを1に設定（UCKCレジスタ）

UCKCNTを1に設定すると、USBファンクション・コントローラへクロック供給開始します。

<制御フロー>



5.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5 - 3 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定

供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	x	x
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1

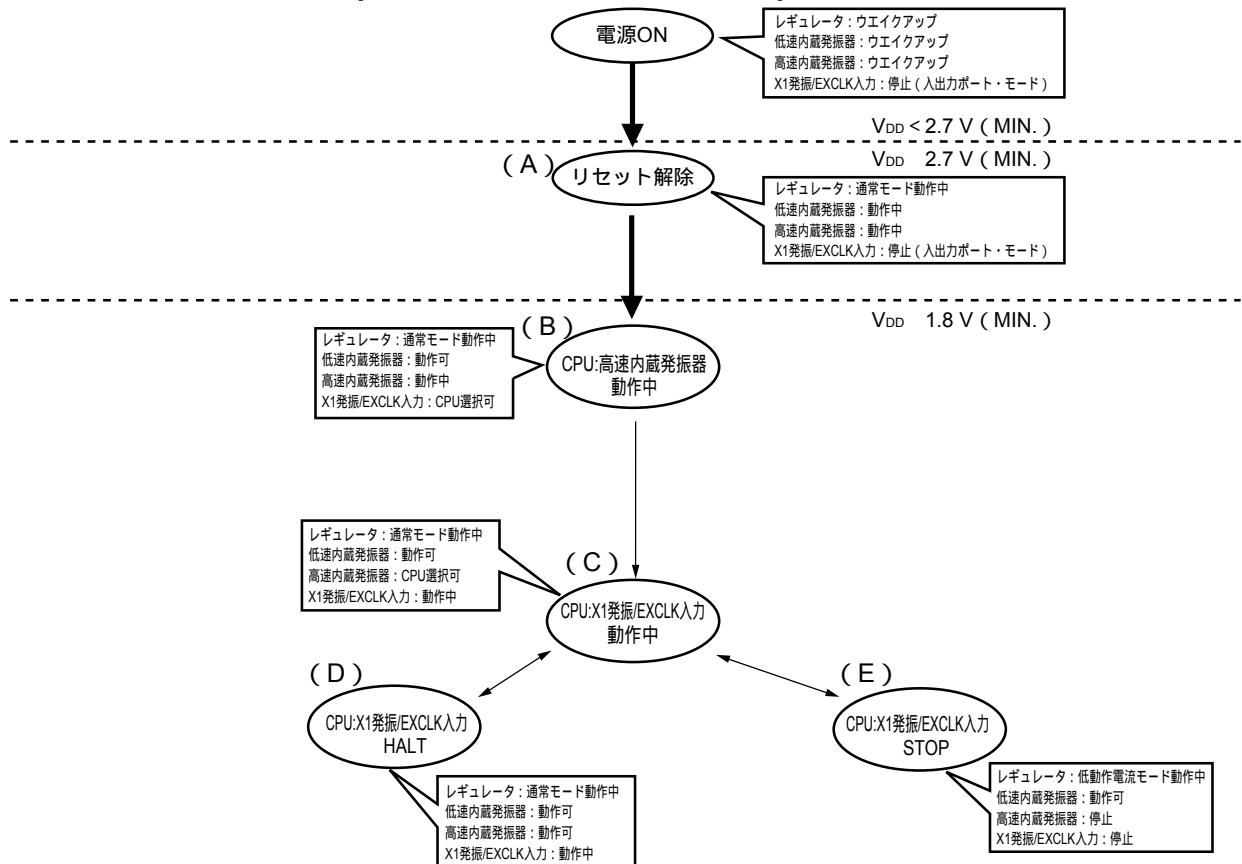
- 備考1. XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
 2. CSS :プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
 3. MCM0 :MCMのビット0
 4. EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
 5. x :don't care

5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 14に示します。

図5 - 14 CPUクロック状態移行図

2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では，電源投入後，電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し，リセット処理 (20 μs (TYP.)) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 4に示します。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ						
	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A) (B) (C) (X1クロック : 10 MHz未満)	0	0	1	0	確認必 要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz未満)	0	1	1	0	確認不 要	1	1
(A) (B) (C) (X1クロック : 10 MHz以上)	1	0	1	0	確認必 要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz以上)	1	1	1	0	確認不 要	1	1

注意 設定するクロックの動作可能電圧 (第22章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. 表5 - 4の (A) - (E) は、図5 - 14の (A) - (E) と対応しています。

2. EXCLK, OSCSEL, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(3) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) ▶

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
(B) (C) (X1クロック : 10 MHz未満)	0	0	1	0	確認必 要	1	1
(B) (C) (外部メイン・クロック : 10 MHz未満)	0	1	1	0	確認不 要	1	1
(B) (C) (X1クロック : 10 MHz以上)	1	0	1	0	確認必 要	1	1
(B) (C) (外部メイン・クロック : 10 MHz以上)	1	1	1	0	確認不 要	1	1

設定済みの場合は不要

高速システム・ク
ロック動作中の場
合は不要

注 リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

注意1. 設定するクロックの動作可能電圧 (第22章 電気的特性を参照) に電源電圧が達してから，クロックを設定してください。

2. CPUを高速システム・クロック動作 (C) から，高速内蔵発振クロック動作 (B) へ移行はできません。

備考1. 表5 - 4の (A) - (E) は，図5 - 14の(A) - (E) と対応しています。

2. EXCLK, OSCSEL, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/3)

(5) CPUが高速システム・クロック動作中 (C) にHALTモード (D) へ移行

状態遷移	設定内容
(C) (D)	HALT命令を実行する

(6) CPUが高速システム・クロック動作中 (C) にSTOPモード (E) へ移行

(設定順序) →

状態遷移	設定内容
(C) (E)	STOPモード中に動作できない周辺機能を停止する STOP命令を実行する

備考 表5 - 4の (A) - (E) は、図5 - 14の(A) - (E) と対応しています。

5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・ 発振安定時間経過後	・ 高速内蔵発振器停止可能 (RSTOP = 1) ・ AMPH = 1を設定した場合、設定してから5 μs (MIN.)間は、CPUクロックの供給停止
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ MSTOP = 0, OSCSEL = 1, EXCLK = 1	

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) の設定により、メイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数クロックは切り替え前のクロックで動作します (表5-6参照)。

表5-6 メイン・システム・クロックの分周比変更に必要な最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	8クロック			16クロック			16クロック			16クロック			16クロック		
0	0	1				8クロック			8クロック			8クロック			8クロック		
0	1	0	4クロック			4クロック			2クロック			4クロック			4クロック		
0	1	1	2クロック			2クロック						2クロック			2クロック		
1	0	0	1クロック			1クロック			1クロック			1クロック					

備考 表5-6のクロック数は、切り替え前のCPUクロックのクロック数です。

また、メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は、MCM0を書き換えた直後ではなく、MCM0を変更したのち、数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックが高速内蔵発振クロックで動作しているか、高速システム・クロックで動作しているかは、MCMのビット1 (MCS) で判定できます。

表5-7 メイン・システム・クロックの切り替えに必要な最大時間

切り替え前の設定値	切り替え後の設定値
MCM0	MCM0
	1
0	$1 + 2f_{RH}/f_{XH}$ クロック

注意 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

備考1. 表5-7のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表5-7のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 16 \text{ MHz}$, $f_{XH} = 12 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 16/12 = 1 + 2 \times 1.33 = 1 + 2.66 = 3.66 \quad \text{3クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		

5.6.10 周辺ハードウェアとソース・クロック

μPD78F0730に内蔵されている周辺ハードウェアとソース・クロックを次に示します。

表5 - 9 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・クロック (fPRS)	低速内蔵発振クロック (fRL)	TM50出力	周辺ハードウェアの端子からの外部クロック
周辺ハードウェア					
16ビット・タイマ/イベント・カウンタ	00		×	×	(T1000端子)
8ビット・タイマ/イベント・カウンタ	50		×	×	(T150端子)
	51		×	×	(T151端子)
8ビット・タイマ	H1			×	×
ウォッチドッグ・タイマ		×		×	×
シリアル・インタフェース	UART6		×		×
	CSI10		×	×	(SCK10端子)

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

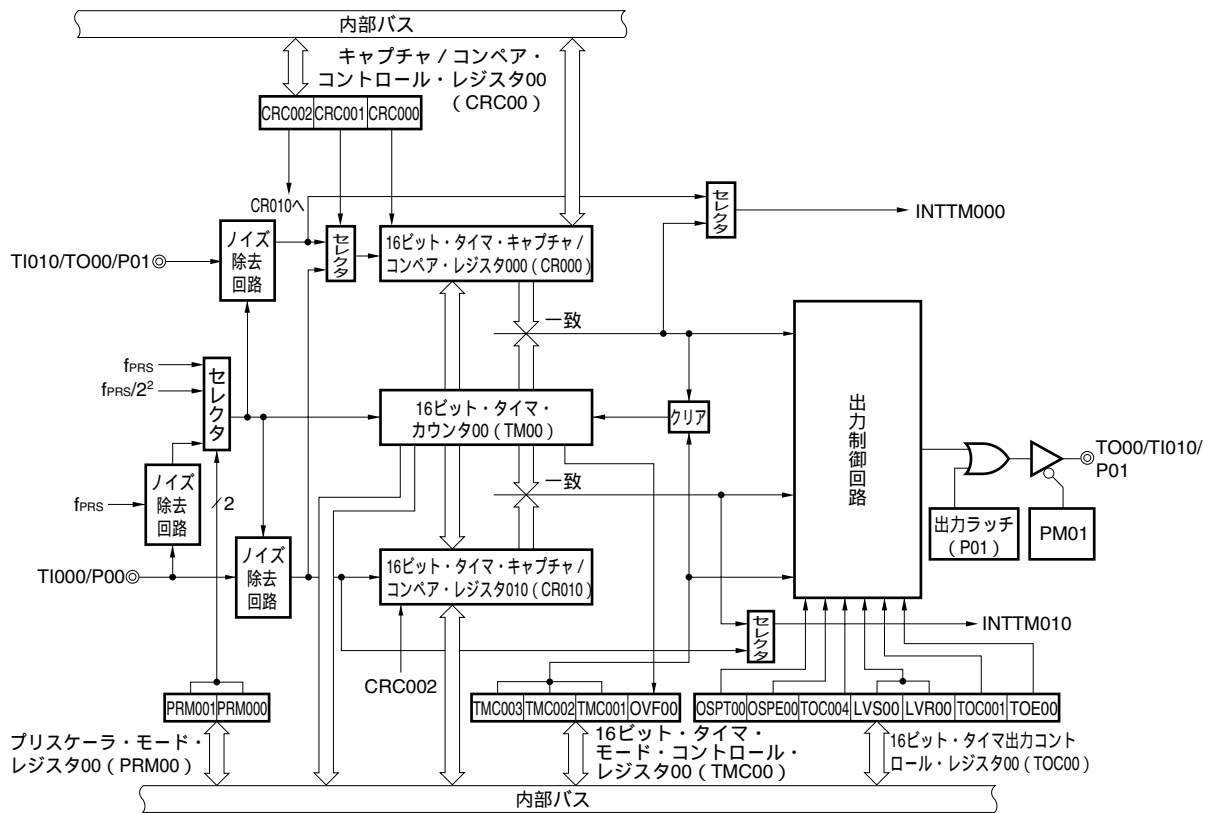
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ00の構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010端子
タイマ出力	TO00端子, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ0 (PM0) ポート・レジスタ0 (P0)

図6-1にブロック図を示します。

図6-1 16ビット・タイマ/イベント・カウンタ00のブロック図



備考 fPRS : 周辺ハードウェア・クロック周波数

(1) 16ビット・タイマ・カウンタ00 (TM00)

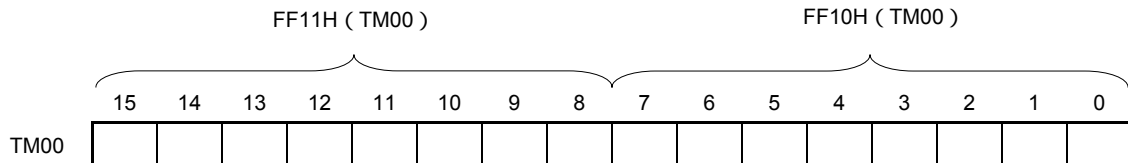
TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

また、動作中にカウント値を読み出した場合、カウント・クロック入力を一時停止し、その時点でのカウント値を読み出します。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF10H, FF11 (TM00) , リセット時：0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより、カウント値をリードできます。TMC003, TMC002 = 00の状態でもリードした場合には、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時、TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時、TM00とCR000が一致したとき
- ・ワンショット・パルス出力モードで、OSPT00をセット (1) したとき、またはTI000端子に有効エッジが入力されたとき

注意1. TM00をリードしても、CR010にはキャプチャしません。

2. TM00をリード時は、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、クロック・ミスは発生しません。

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000),
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC00で行います。

CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

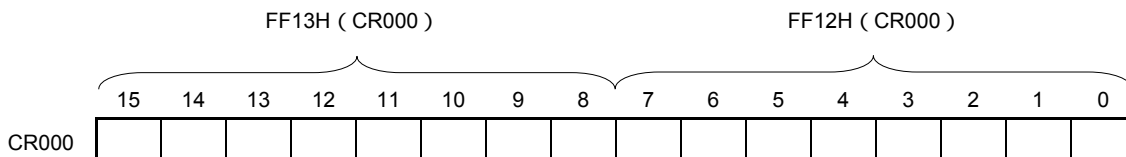
CR010は、所定の方法で設定した場合、動作中に書き換え可能です。詳細は6.5.1 CR010のTM00動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット

アドレス : FF12H, FF13H (CR000) リセット時 : 0000H R/W



(i) CR000をコンペア・レジスタとして使用するとき

CR000に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

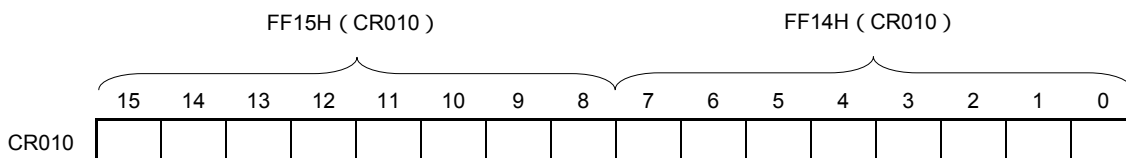
(ii) CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR000にキャプチャします。

キャプチャ・トリガとして、TI000端子の逆相のエッジかTI010端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC00, PRM00で設定します。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス : FF14H, FF15H (CR010) リセット時 : 0000H R/W



(i) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウント値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。



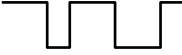





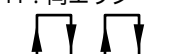



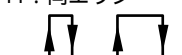
(ii) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウント値をCR010にキャプチャします。

キャプチャ・トリガとして、TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは、PRM00で設定します。

- 注意1. コンペア・レジスタとして使用するとき、CR000, CR010には0000H以外の値を設定してください。
2. P01端子はTI010有効エッジとタイマ出力 (TO00) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。
 3. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
 4. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。
なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。
 5. コンペア・モードに設定したCR000/CR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

表6-2 CR000, CR010のキャプチャ動作

外部入力信号	TI000端子入力 		TI010端子入力 	
キャプチャ動作				
CR000のキャプチャ動作	CRC001 = 1 TI000端子入力 (逆相) 	ES001, ES000の設定値 キャプチャするエッジの位置	CRC001ビット = 0 TI010端子入力 	ES101, ES100の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
	割り込み信号	キャプチャしても INTTM000信号は発生しない	割り込み信号	キャプチャするごとに INTTM000信号が発生
CR010のキャプチャ動作	TI000端子入力 ^注 	ES001, ES000の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
		11: 両エッジ 		
	割り込み信号	キャプチャするごとに INTTM010信号が発生		

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

注意 TI000端子入力の逆相でTM00レジスタのカウンタ値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

備考 CRC001 : 6.3(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照
 ES101, ES100, ES001, ES000 : 6.3(4) プリスケアラ・モード・レジスタ00 (PRM00) 参照

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタには、次の7種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	TM00動作禁止。動作クロック供給停止。内部回路を非同期リセット。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 [※] でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 [※] でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。	
OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外のとき) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

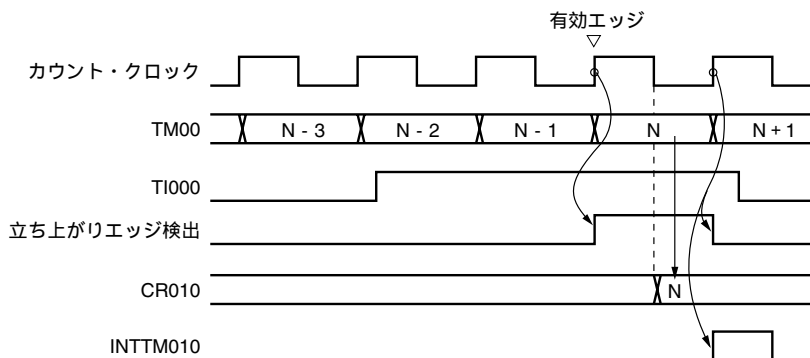
CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする ^注
TI010, TI000端子の有効エッジはPRM00で設定します。 ただし、CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると、TI000端子の有効エッジを検出できません。	

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は、CRC000には必ず0を設定してください。	

注 TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6 - 7 CR010のキャプチャ動作例 (立ち上がりエッジ指定時)



(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

TOC00は、TO00端子出力を制御する8ビットのレジスタです。

TOC00は、OSPT00だけが動作中 (TMC003, TMC002 = 00以外のとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR010の値を変更する手段としての、TOC004の書き換えは可能です (6. 5. 1 CR010のTM00動作中の書き換えを参照してください)。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC00を設定するときは、必ず次の順序で設定してください。

TOC004, TOC001のセット (1)

TOE00だけを単独でセット (1)

LVS00またはLVR00のどちらか片方だけをセット (1)

図6 - 8 16 ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス : FFBDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM00はクリア&スタートします。

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC004	CR010とTM00の一致によるTO00端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。

LVS00	LVR00	TO00端子出力の状態の設定
0	0	変化しない
0	1	TO00端子出力初期値ロウ・レベル (TO00端子出力をクリア (0))
1	0	TO00端子出力初期値ハイ・レベル (TO00端子出力をセット (1))
1	1	設定禁止

- ・LVS00, LVR00は、TO00端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。
- ・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。
LVS00, LVR00とTOE00を同時にセット(1)することも禁止です。
- ・LVS00, LVR00はトリガ・ビットです。セット(1)することで、TO00端子出力レベルの初期値を設定します。クリア(0)しても、TO00端子出力に影響はありません。
- ・LVS00, LVR00のリード値は常に“0”です。
- ・LVS00, LVR00の設定方法の詳細は、6.5.2 LVS00, LVR00の設定についてを参照してください。

TOC001	CR000とTM00の一致によるTO00端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。

TOE00	TO00端子出力制御
0	出力禁止 (TO00端子出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000, TI010端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外) の書き換えは禁止です。

PRM00は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM001, PRM000ビット = 11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
- ・ TI000端子をキャプチャ・トリガに設定

2. リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P01端子はTI010有効エッジとタイマ出力 (TO00) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

図6-9 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択		
			f _{PRS} = 12 MHz	f _{PRS} = 16 MHz
0	0	f _{PRS}	12 MHz	16 MHz
0	1	f _{PRS} /2 ²	3 MHz	4 MHz
1	0	設定禁止		
1	1	TI000有効エッジ ^注		

注 外部クロックには、内部クロック (f_{PRS}) の2周期分より長いパルスが必要です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010端子をタイマ出力として使用するとき、PM01およびP01の出力ラッチに0を設定してください。

P00/TI000, P01/TO00/TI010端子をタイマ入力として使用するとき、PM00, PM01に1を設定してください。このときP00, P01の出力ラッチは、0または1のどちらでもかまいません。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図6 - 10 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)** を参照してください。
 2. INTTM000信号の割り込み許可については、**第13章 割り込み機能** を参照してください。

図6 - 11 インターバル・タイマ動作のブロック図

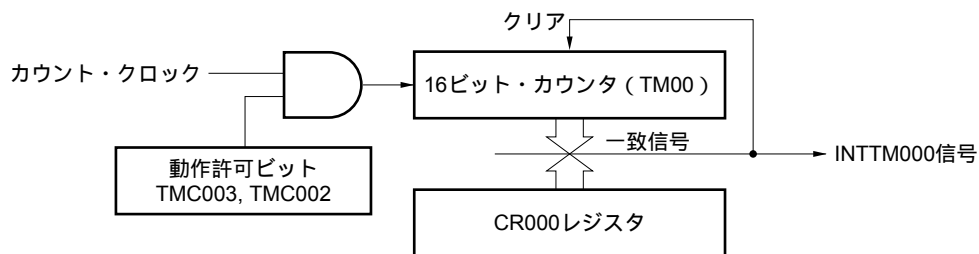


図6 - 12 インターバル・タイマ動作の基本タイミング例

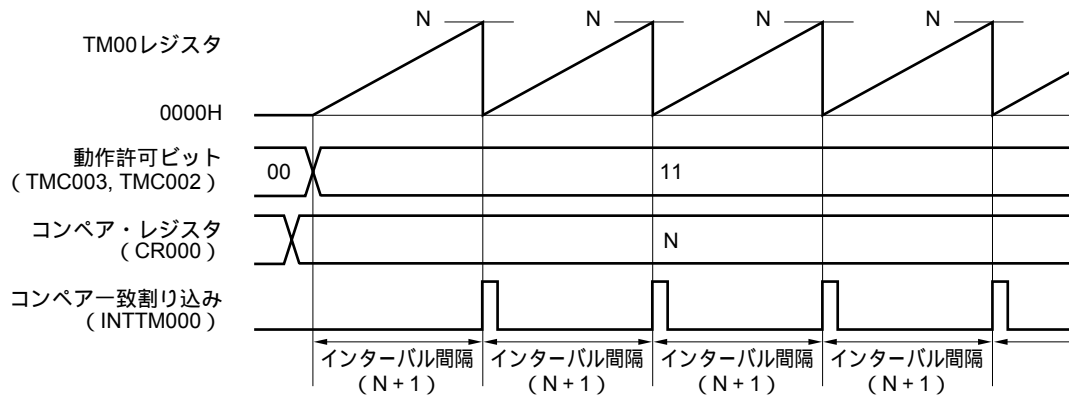
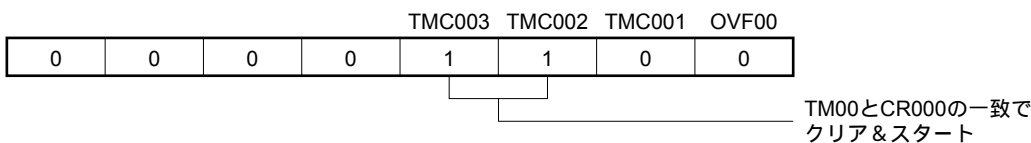
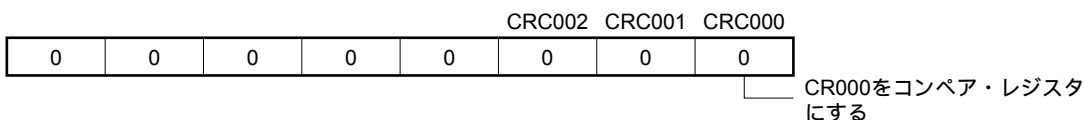


図6 - 13 インターバル・タイマ動作時のレジスタ設定内容例

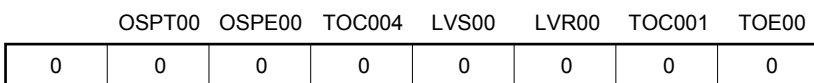
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



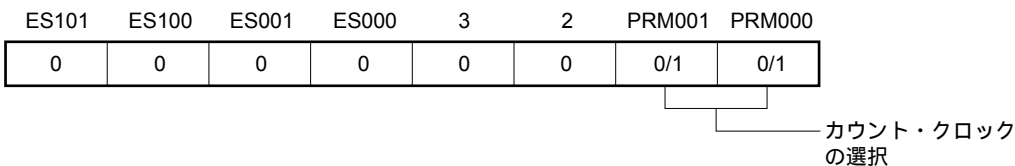
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

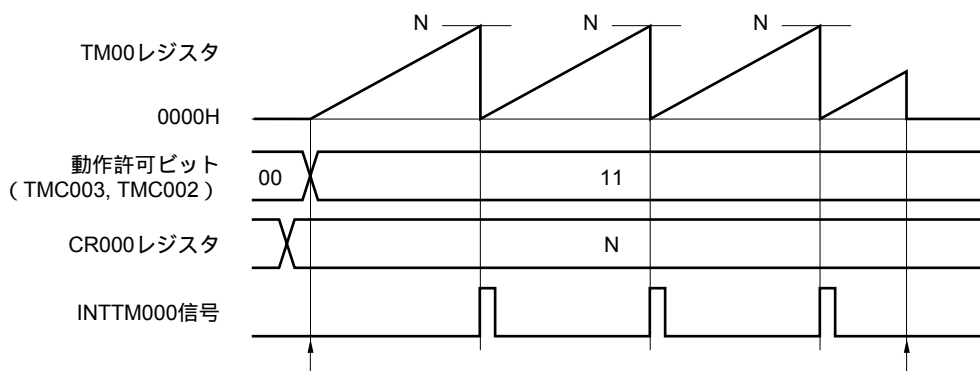
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

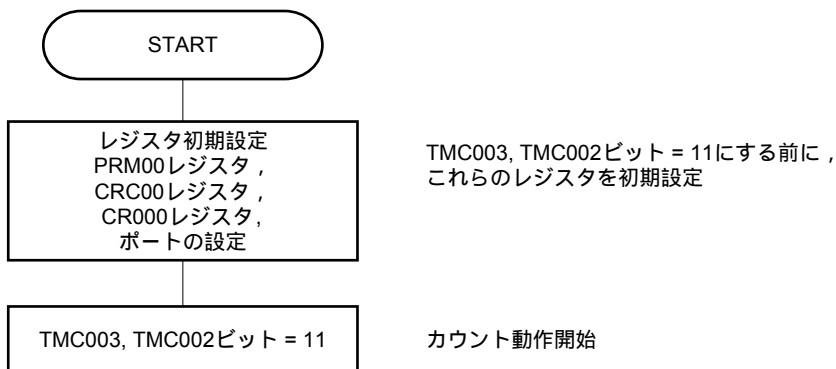
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 14 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.2 方形波出力としての動作

インターバル・タイマ (6.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ00 (TOC00) = 03Hに設定することにより、TO00端子から方形波を出力できます。

TMC003, TMC002 = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、割り込み信号 (INTTM000) を発生し、TO00端子出力を反転します。この一定間隔で反転するTO00端子出力により、方形波出力として動作します。

- 備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**を参照してください。
 2. INTTM000信号の割り込み許可については、第13章 **割り込み機能**を参照してください。

図6 - 15 方形波出力動作のブロック図

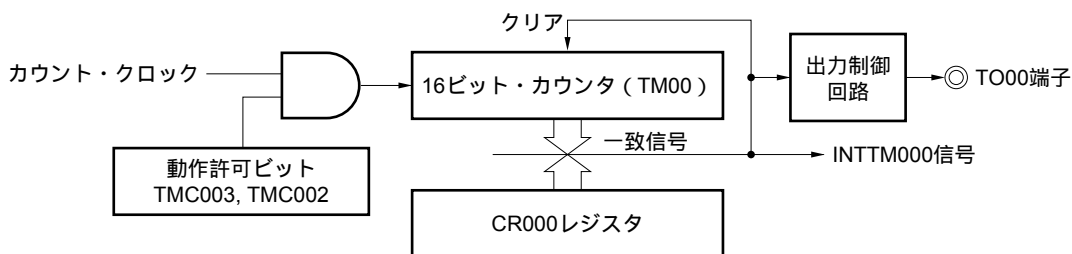


図6 - 16 方形波出力動作の基本タイミング例

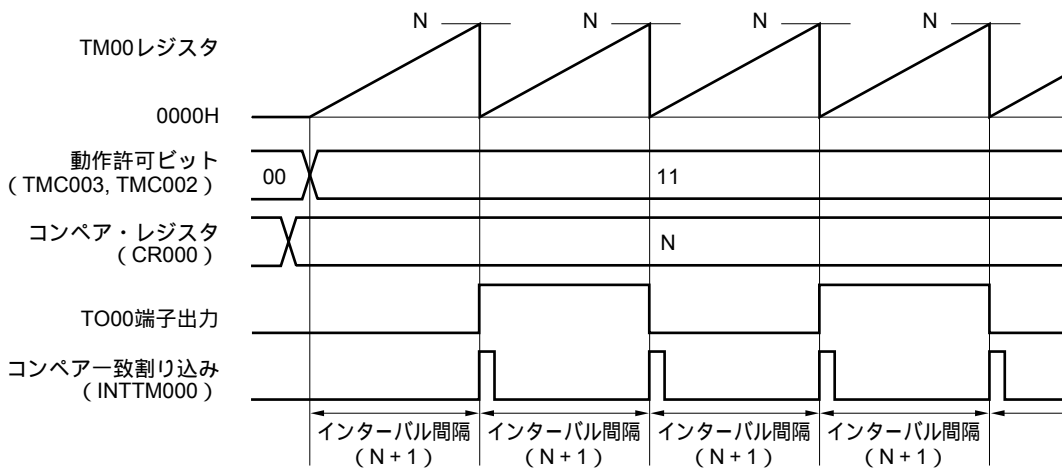
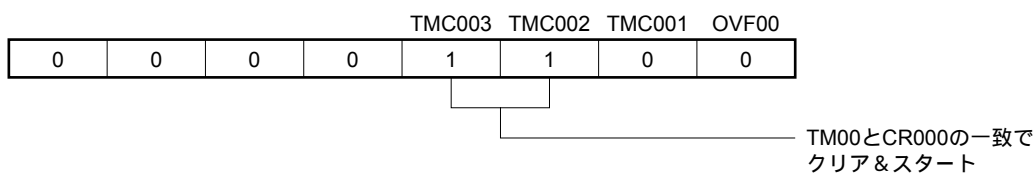
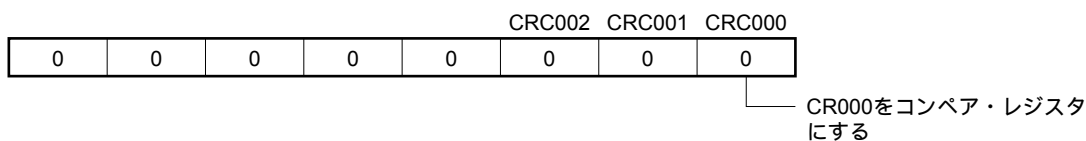


図6 - 17 方形波出力動作時のレジスタ設定内容例 (1/2)

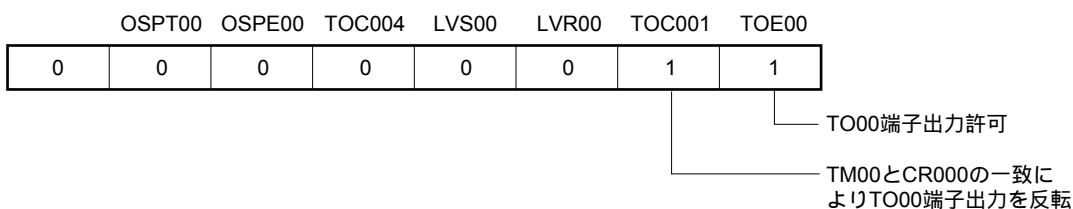
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)

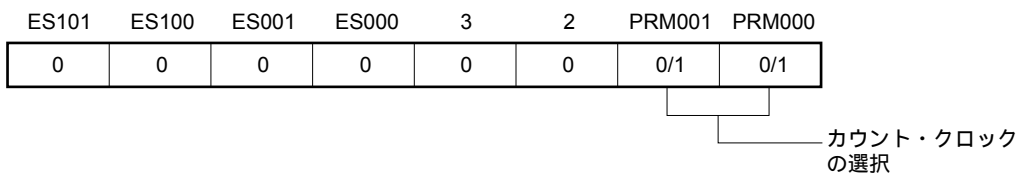


図6 - 17 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

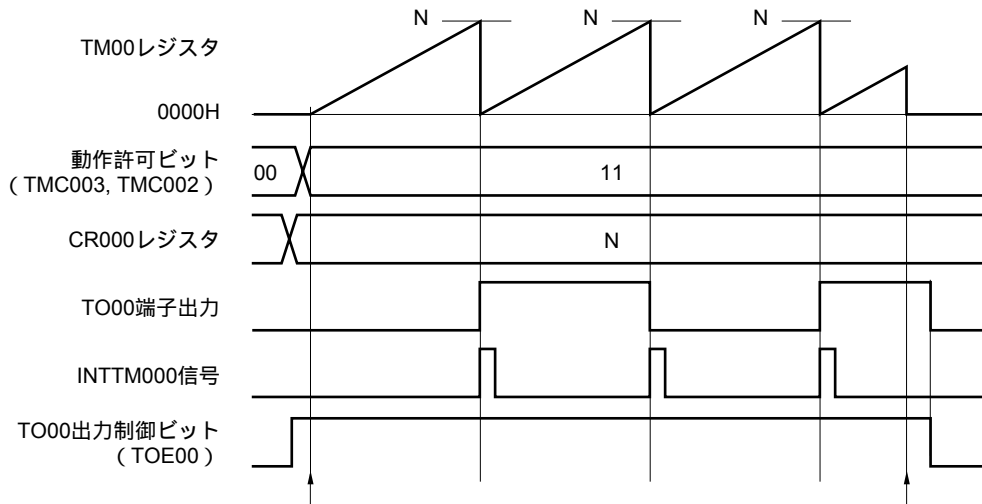
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

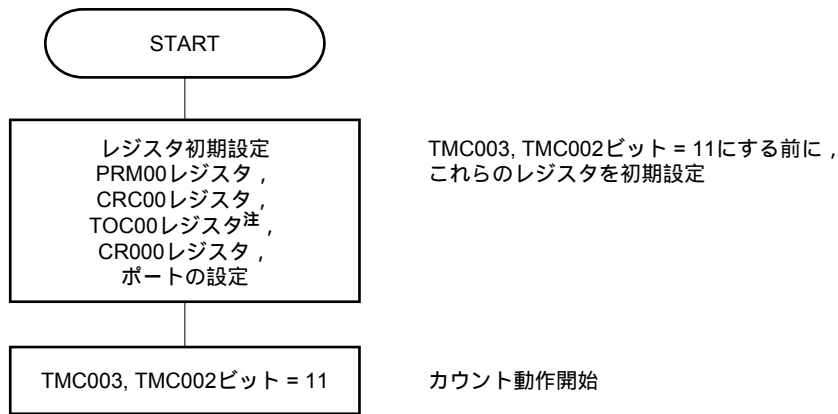
方形波出力機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

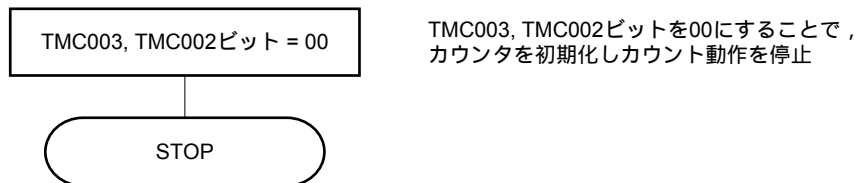
図6-18 方形波出力機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

- ・ INTTM000信号発生タイミング (2回目以降)
 - = 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・ INTTM000信号発生タイミング (初回のみ)
 - = 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号をfPRSのクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

- 備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0 (PM0)**を参照してください。
- 2. INTTM000信号の割り込み許可については, **第13章 割り込み機能**を参照してください。

図6 - 19 外部イベント・カウンタとしての動作のブロック図

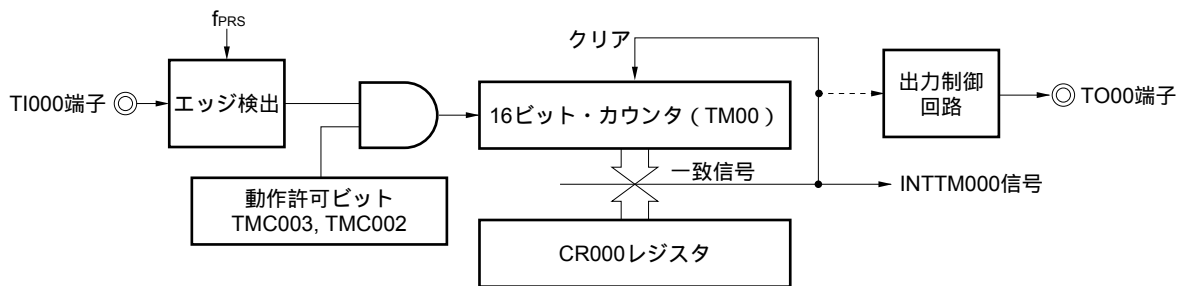
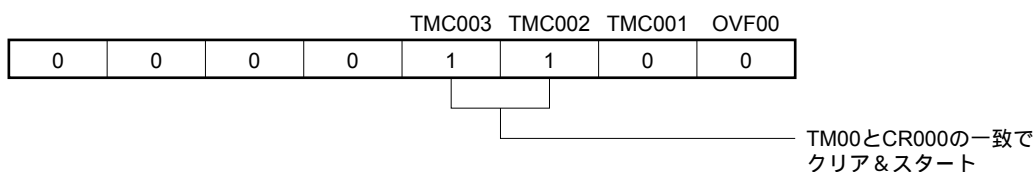
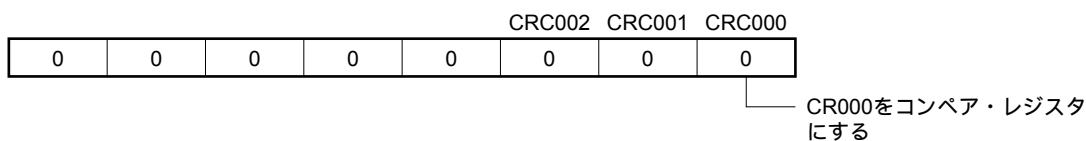


図6-20 外部イベント・カウンタ・モード時のレジスタ設定内容例(1/2)

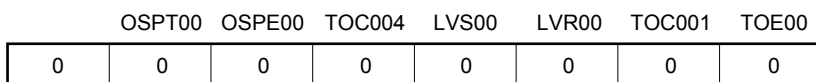
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)

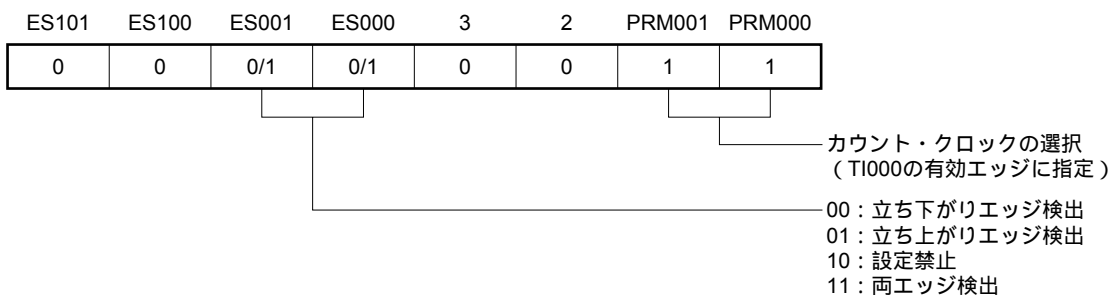


図6 - 20 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM000) が発生します。

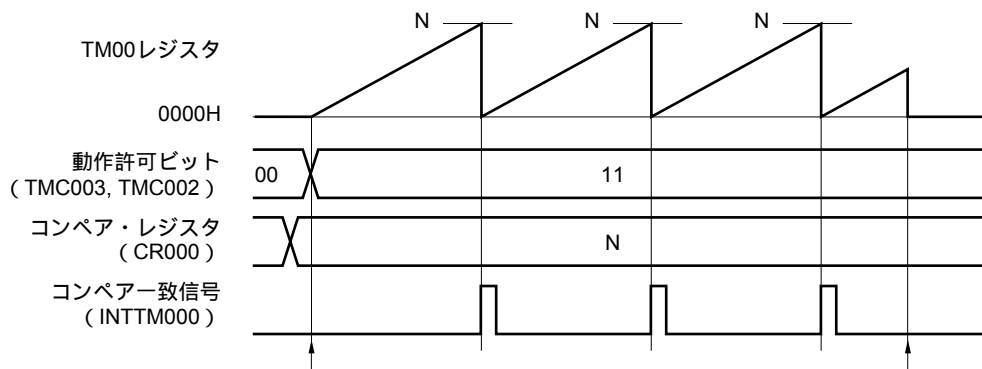
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

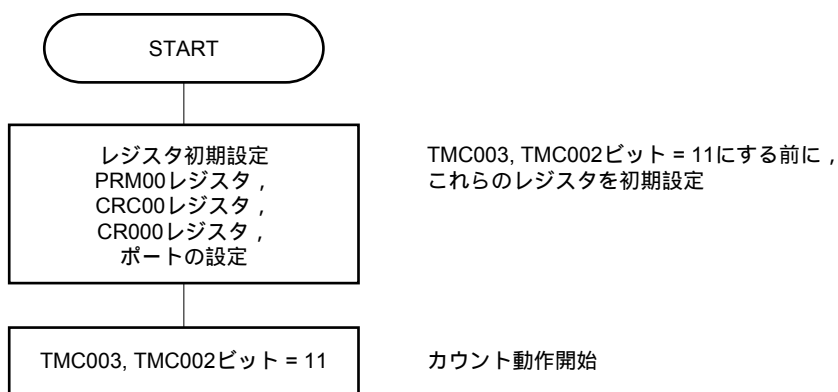
外部イベント・カウンタ・モード動作時では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 21 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し, カウント・クロック (PRM00にて設定) を供給すると, TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると, TM00を0000Hにクリアして, 再度カウント・アップします。TI000端子の有効エッジがない場合, TM00はオーバフローして, カウントを続けます。

TI000端子の有効エッジは, TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000, CR010は, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

(b) CR000, CR010をキャプチャ・レジスタとして使用した場合

TI010端子に有効エッジが入力される(またはTI000端子に有効エッジの逆相が入力される)と, TM00のカウント値をCR000にキャプチャし, INTTM000信号が発生します。

TI000端子に有効エッジが入力されると, TM00のカウント値をCR010にキャプチャし, INTTM010信号が発生します。TI000端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意 カウント・クロックをTI000端子の有効エッジ (PRM001, PRM000 = 11) に設定しないでください。
PRM001, PRM000 = 11に設定すると, TM00がクリアされてしまいます。

備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
2. INTTM000信号の割り込み許可については, 第13章 割り込み機能を参照してください。

(1) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 22 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

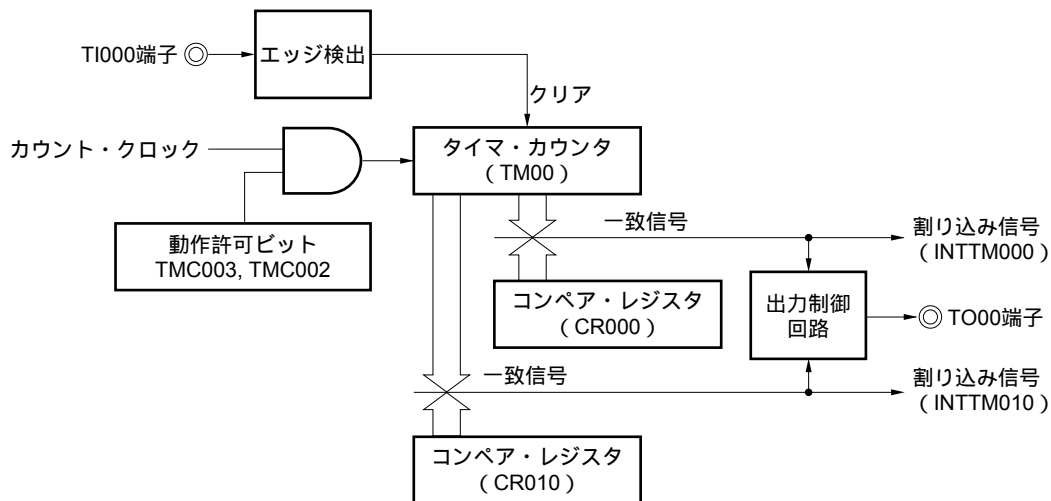
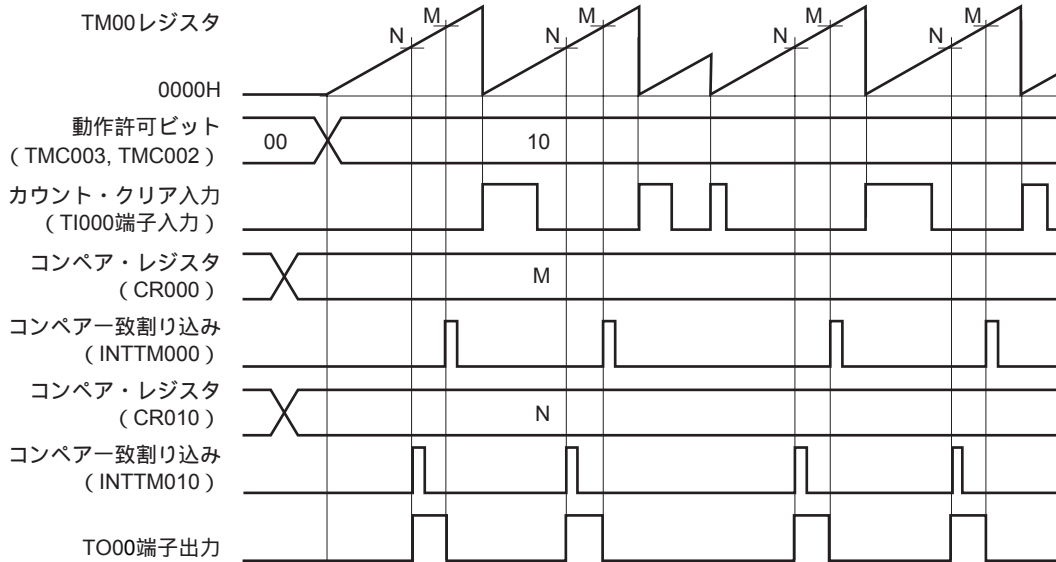
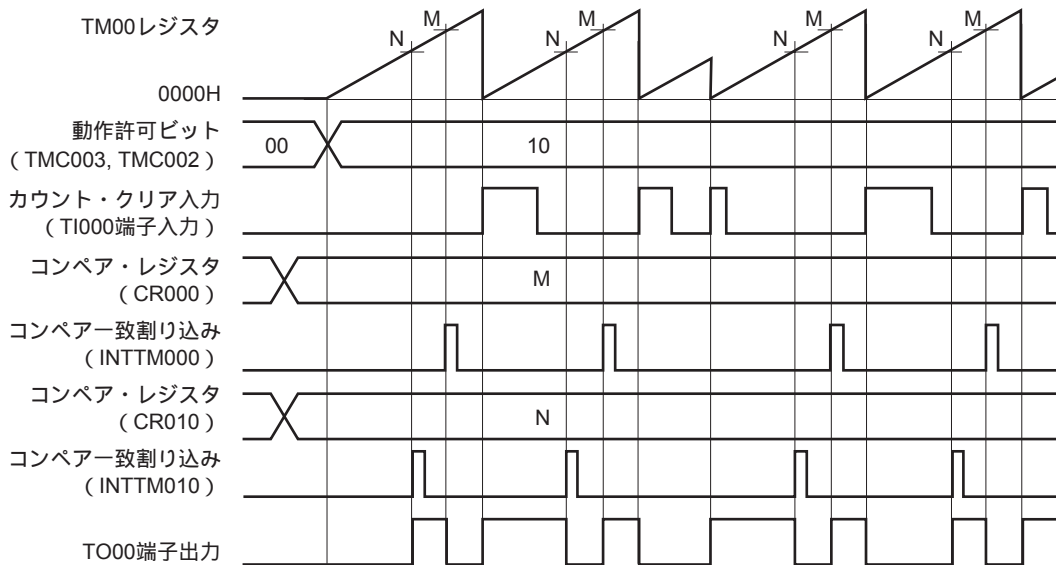


図6-23 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 0AH



16ビット・タイマ・モード・コントロール・レジスタ01 (TMC00) のビット1 (TMC001) の設定により, (a) と (b) には次のような違いがあります。

(a) TM00とコンペア・レジスタが一致したときに, TO00端子の出力レベルが反転

(b) TM00とコンペア・レジスタが一致したとき, またはTI000端子の有効エッジを検出したときに, TO00端子の出力レベルが反転

(2) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 24 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

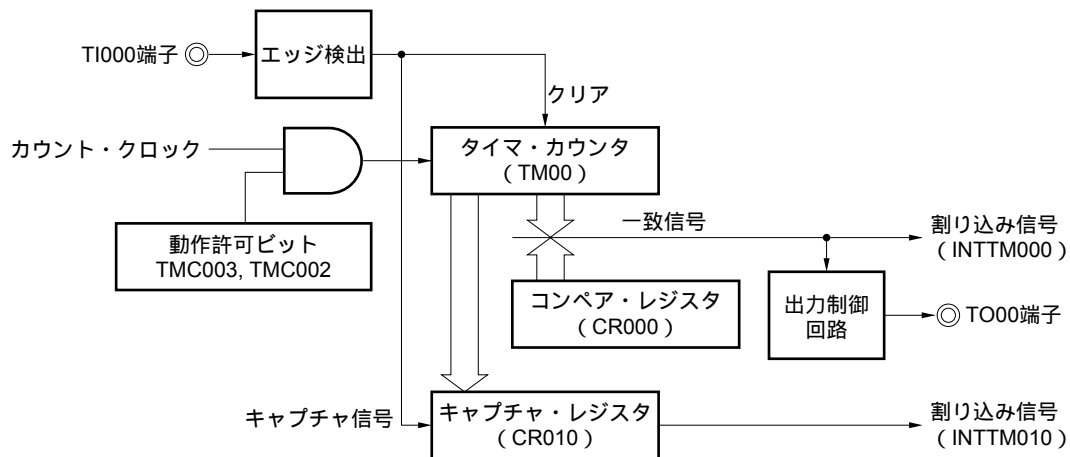
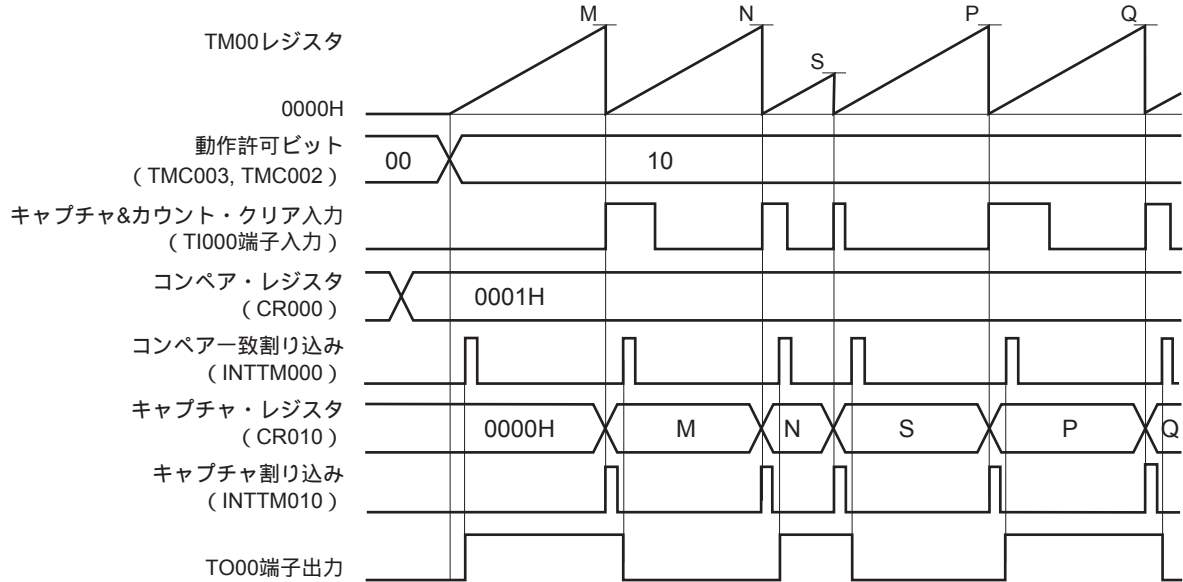


図6 - 25 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H

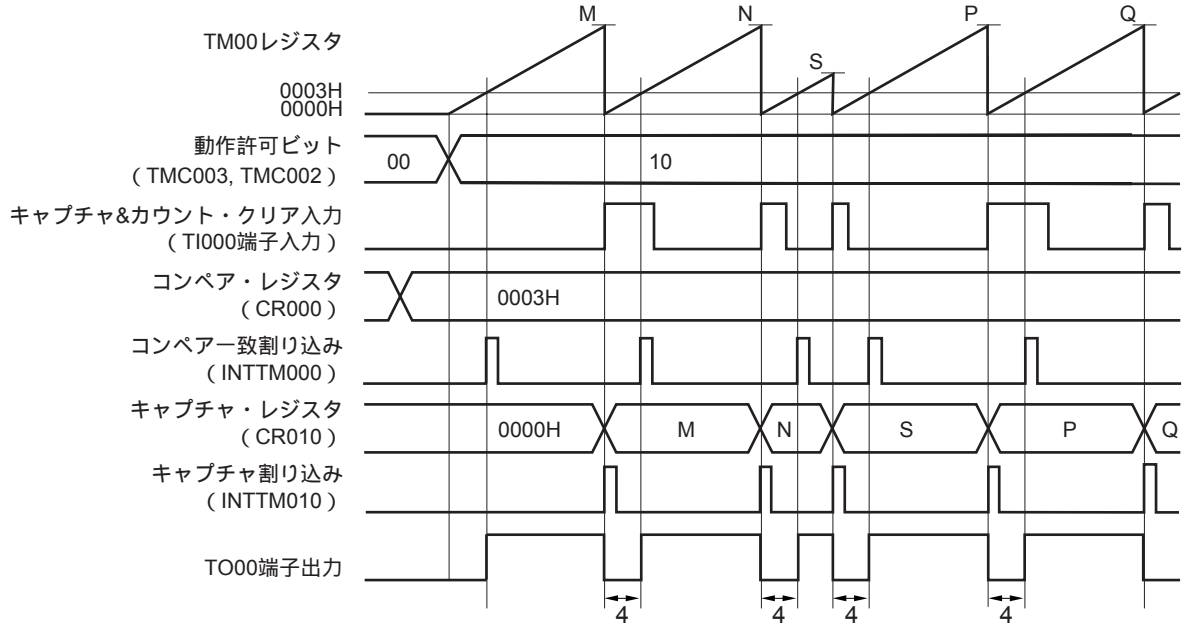


キャプチャ&クリア後に、TO00端子出力レベルを反転したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、TM00をクリア(0000H)します。TM00のカウンタ値が0001Hになると、コンペア一致割り込み信号(INTTM000)が発生し、TO00端子出力レベルが反転します。

図6 - 25 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 0AH, CR000 = 0003H



キャプチャ&クリア後に、CR000に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、キャプチャ割り込み信号（INTTM010）が発生し、TM00をクリア（0000H）し、TO00端子出力を反転します。TM00のカウンタ値が0003Hになる（4クロックをカウントする）と、コンペア一致割り込み信号（INTTM000）が発生し、TO00端子出力レベルが反転します。

(3) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : コンペア・レジスタ設定時)

図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ)

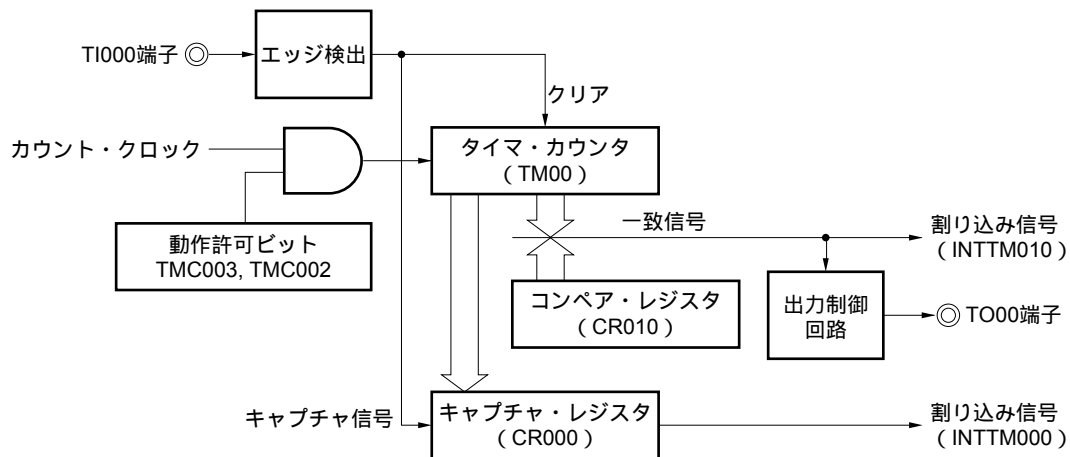
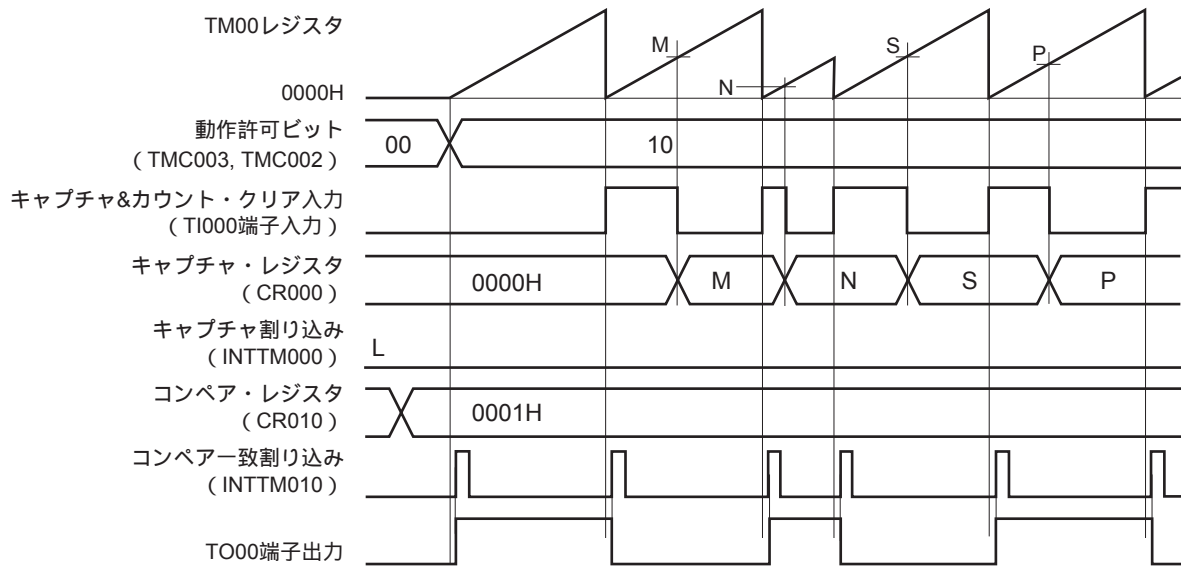


図6 - 27 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 08H, CR010 = 0001H



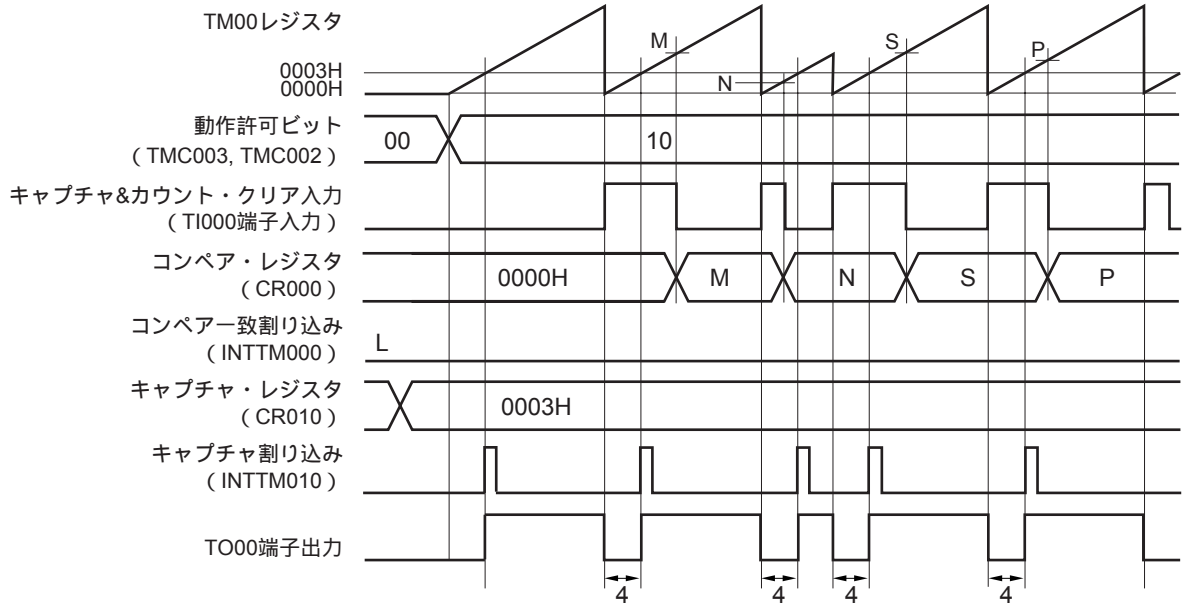
キャプチャ&クリア後に、TO00端子出力レベルを反転したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリアします。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。

キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1 (CRC001) = 1の設定により、TI000端子入力の逆相でTM00のカウンタ値をCR000にキャプチャしますが、キャプチャ割り込み信号 (INTTM000) は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000信号が発生します。INTTM000信号を使用しない場合は、INTTM000信号をマスクしてください。

図6 - 27 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 0AH, CR010 = 0003H



キャプチャ&クリア後に、CR010に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリア（0000H）します。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。TO00端子出力は、TI000端子の立ち上がりエッジ検出によるTM00のクリア（0000H）か、TM00とコンペア・レジスタ（CR010）の一致で反転します。

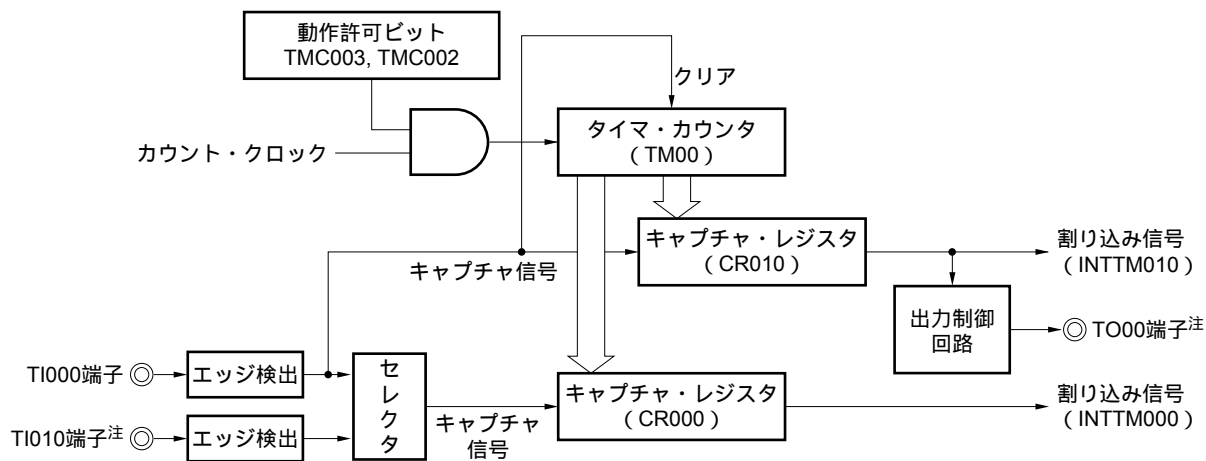
キャプチャ/コンペア・コントロール・レジスタ00（CRC00）のビット1（CRC001）= 1の設定により、TI000端子入力の逆相でTM00のカウンタ値をCR000にキャプチャしますが、キャプチャ割り込み信号（INTTM000）は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000割り込みが発生します。INTTM000信号を使用しない場合はINTTM000信号をマスクしてください。

(4) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

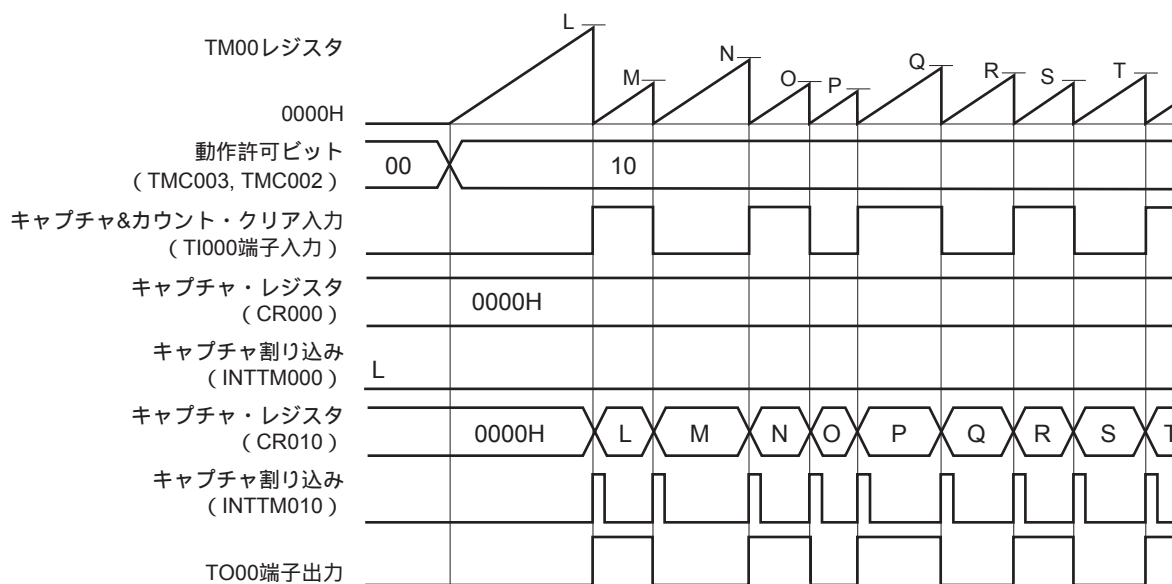
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/3)

(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH

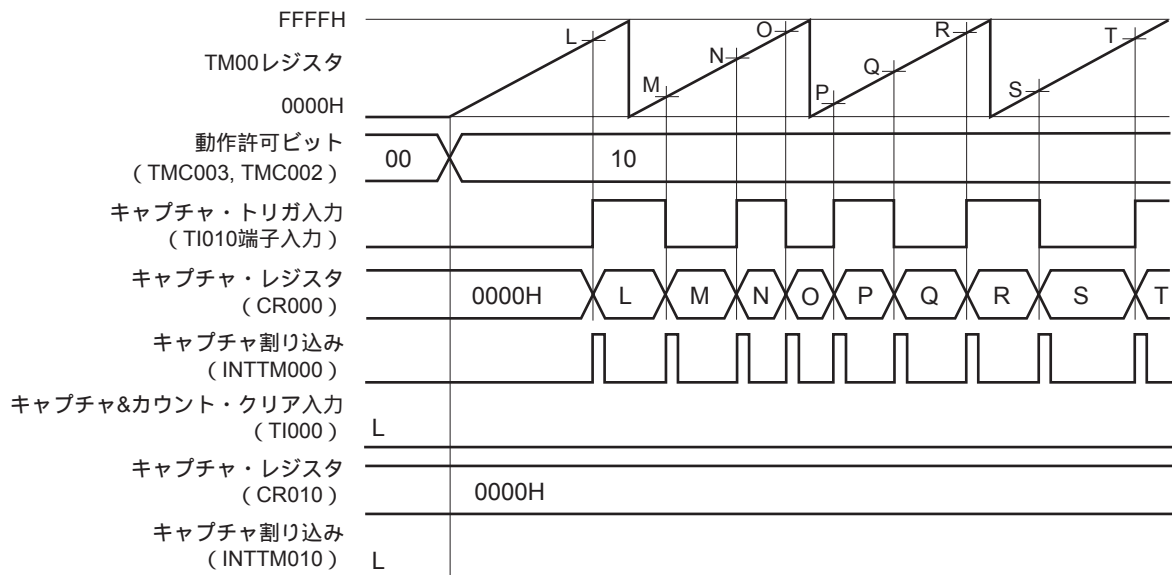


TI000端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR010にキャプチャし、TM00をクリアし、TO00端子出力を反転させるアプリケーション例です。

TI010端子のエッジ検出により、割り込み信号 (INTTM000) が発生します。INTTM000信号を使用しない場合には、INTTM000信号をマスクしてください。

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/3)

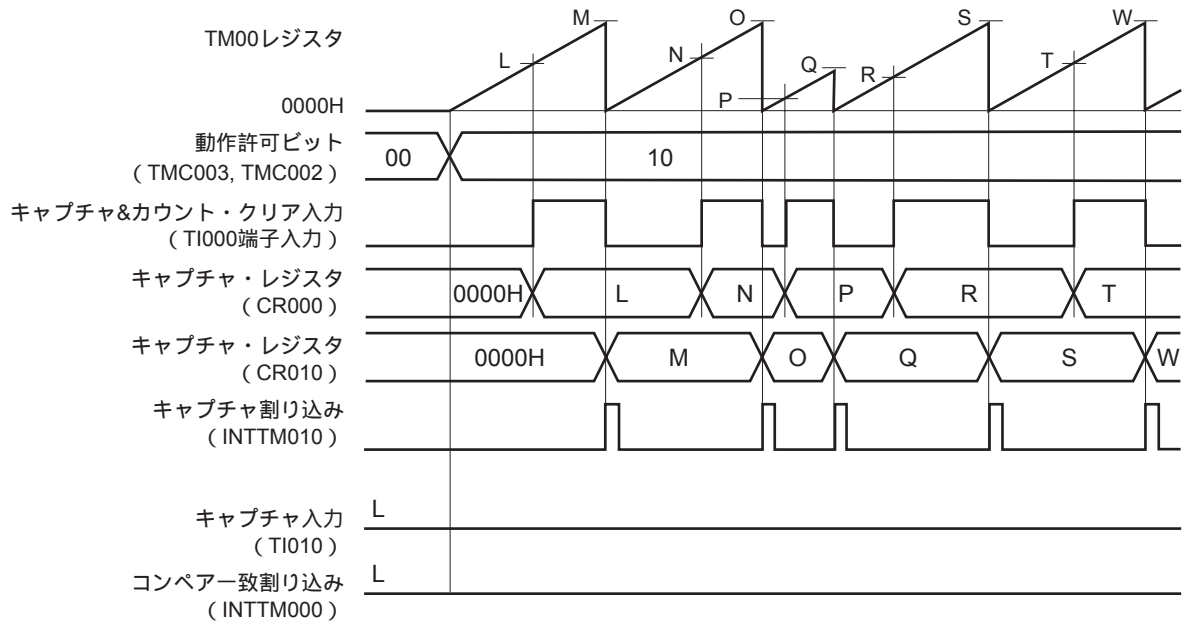
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



TI010端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR000にキャプチャするアプリケーションにおいて、TI000端子にエッジが入力されないときのタイミング例です。

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (3/3)

(c) TOC00 = 13H, PRM00 = 00H, CRC00 = 07H, TMC00 = 0AH



TI000端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC00の設定により、TI000端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR000にキャプチャし、TI000端子の立ち下がりエッジ検出でCR010にキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

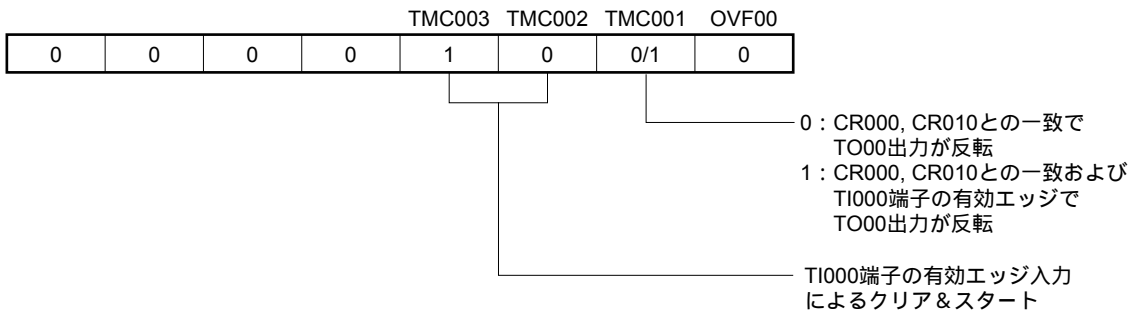
- ・ハイ・レベル幅 = [CR010値] - [CR000値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR000値] × [カウント・クロック周期]

CR000へのキャプチャ・トリガとしてTI000端子の逆相を選択した場合、INTTM000信号は発生しません。パルス幅測定のためのCR000, CR010値のリードは、INTTM010信号発生直後に行ってください。

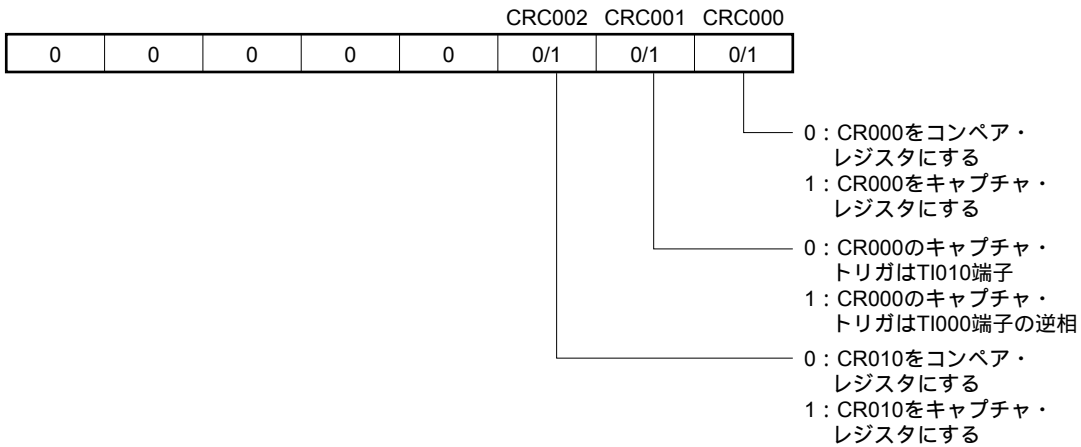
ただし、TI010端子にプリスケラ・モード・レジスタ00 (PRM00) のビット6, 5 (ES101, ES100) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM000信号は発生します。TI000端子のパルス幅を測定する場合、INTTM000信号を使用しないときは、INTTM000信号をマスクしてください。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

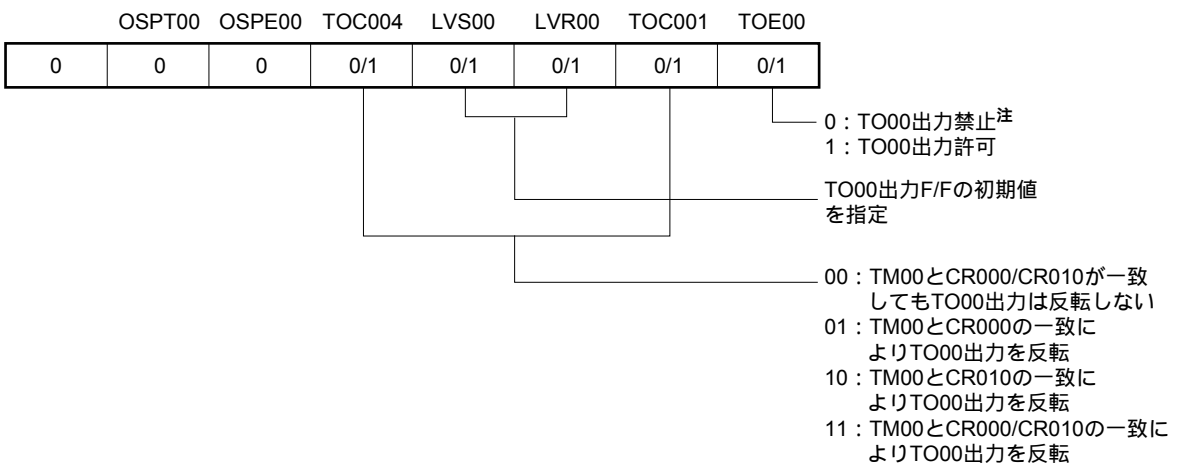
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



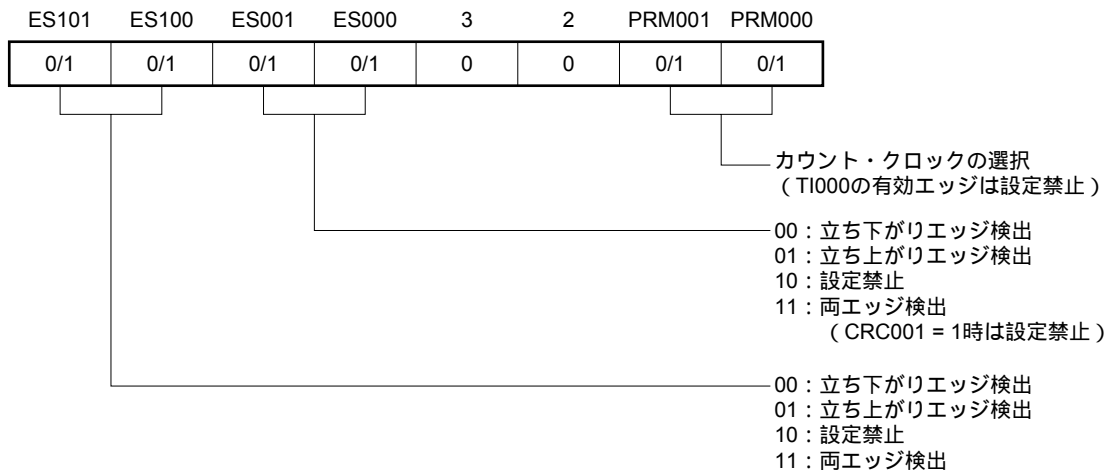
(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000, TI010端子^注入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

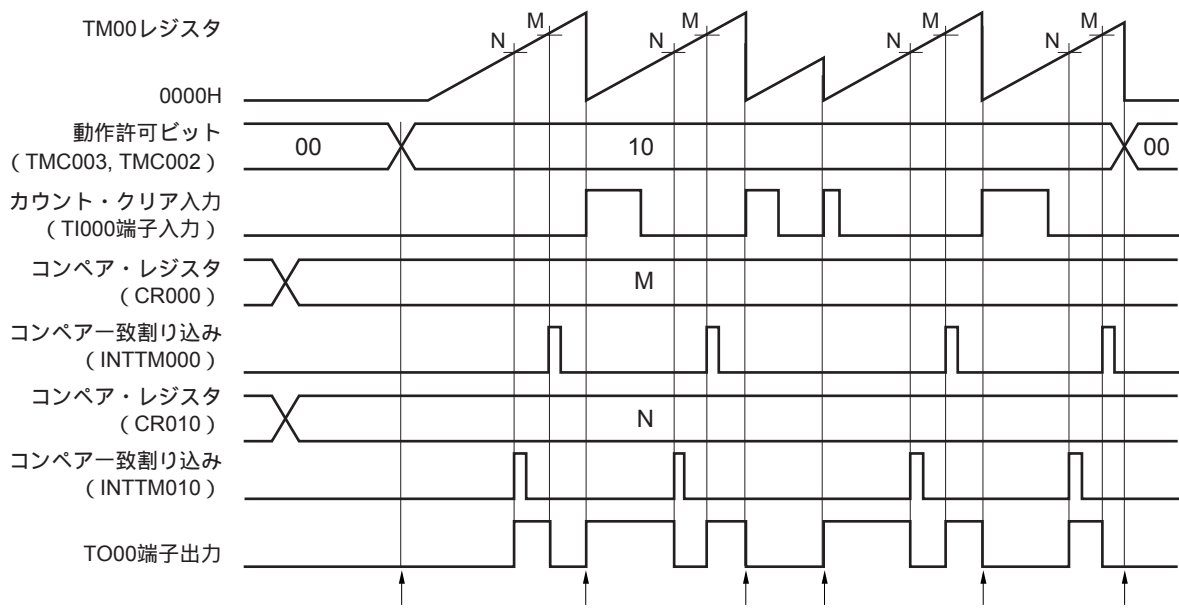
注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

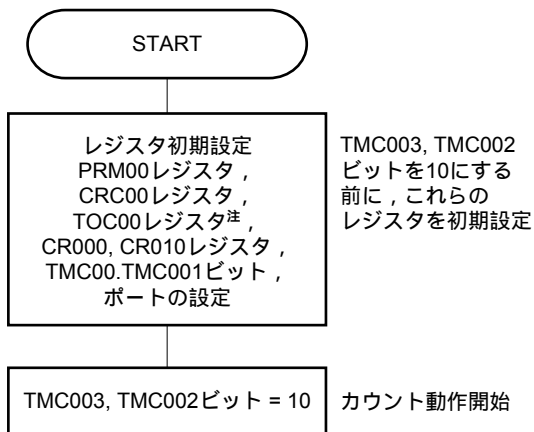
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

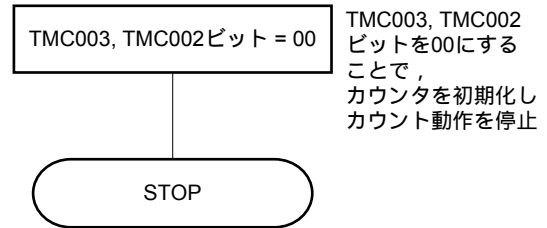
図6-31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



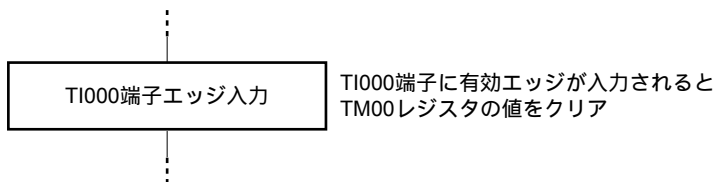
カウント動作開始フロー



カウント動作停止フロー



TM00レジスタ・クリア&スタート・フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR000, CR010を両方ともキャプチャ・レジスタとして使用

- 備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
 2. INTTM000信号の割り込み許可については、第13章 割り込み機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 32 フリー・ランニング・タイマ・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

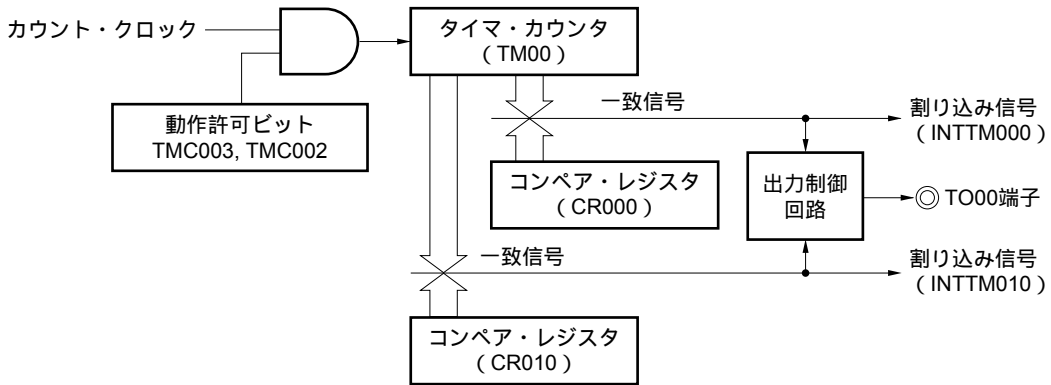
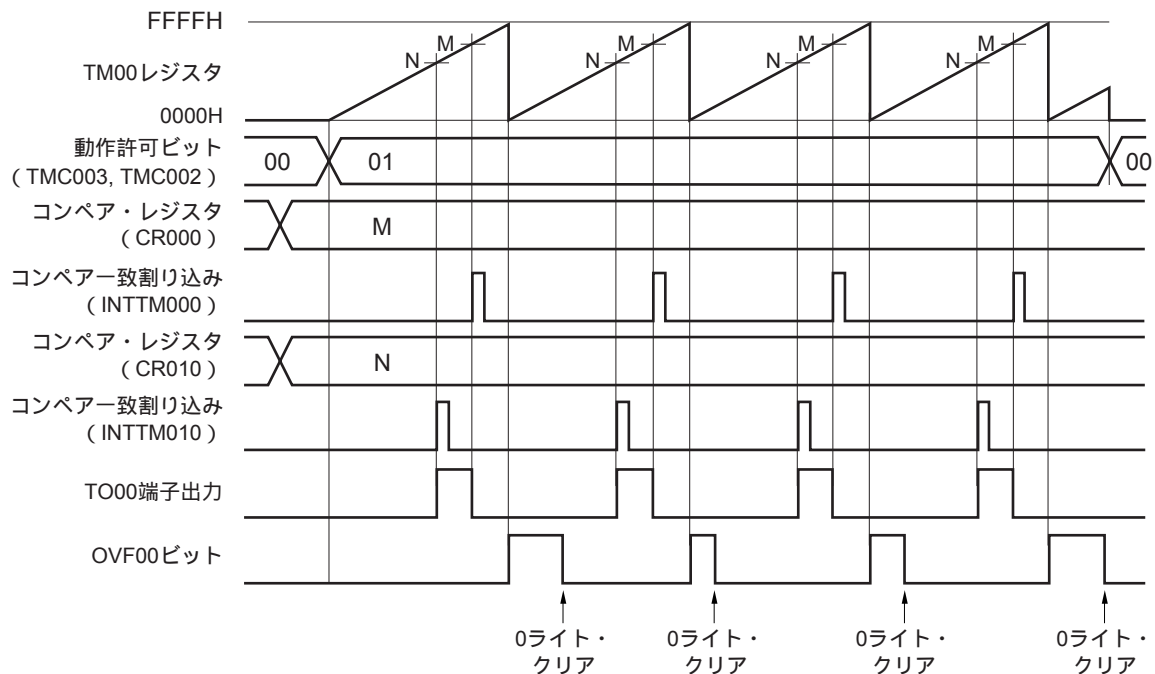


図6 - 33 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。
 TO00端子出力レベルは、CR000, CR010の設定値とTM00のカウンタ値が一致するごとに反転しま
 す。また、一致するタイミングで、INTTM00, INTTM010信号がそれぞれ発生します。

(2) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 34 フリー・ランニング・タイマ・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

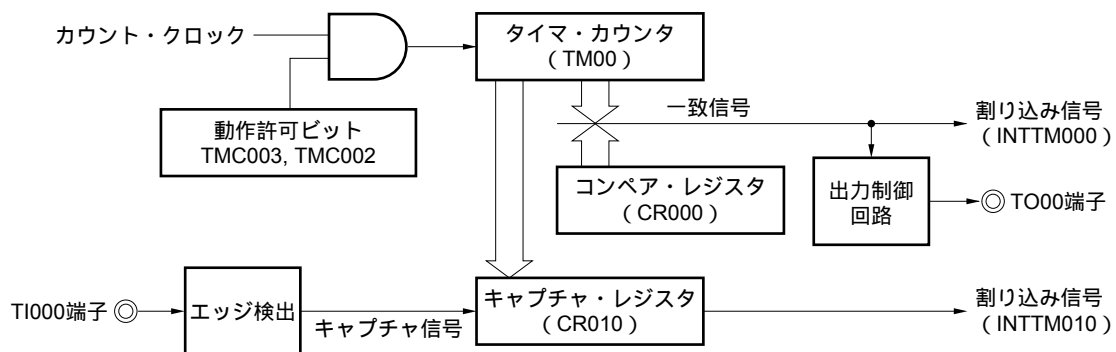
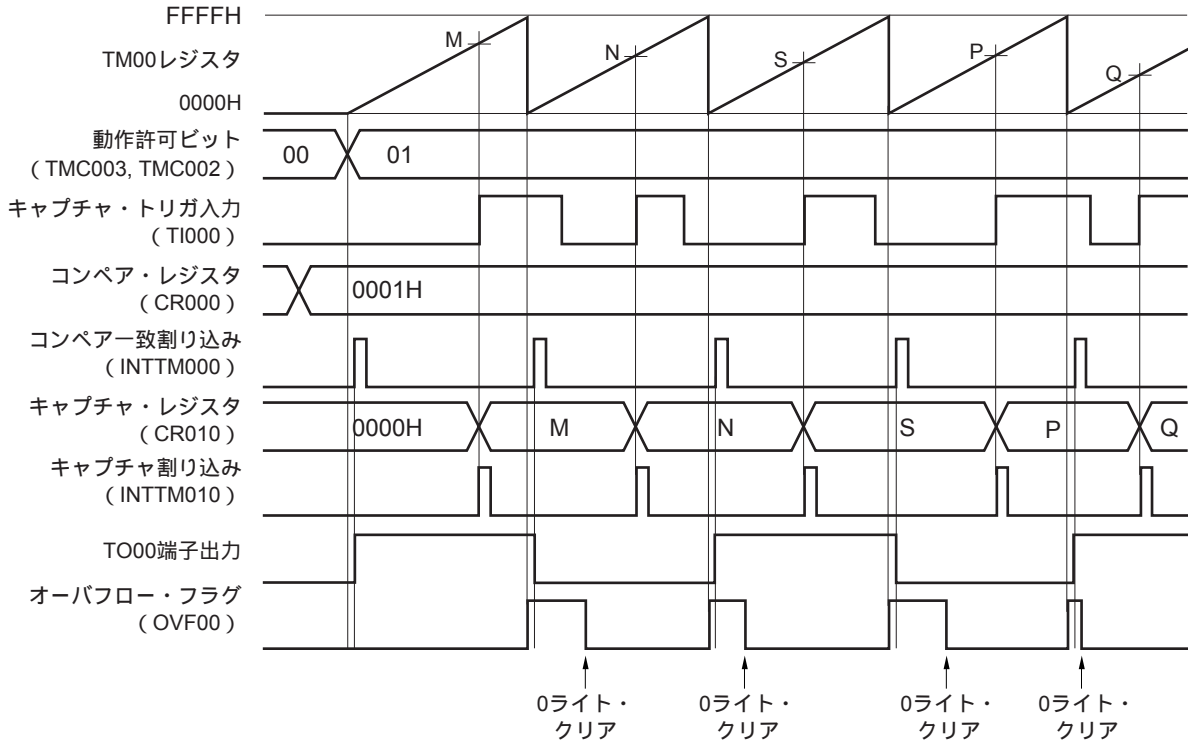


図6 - 35 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



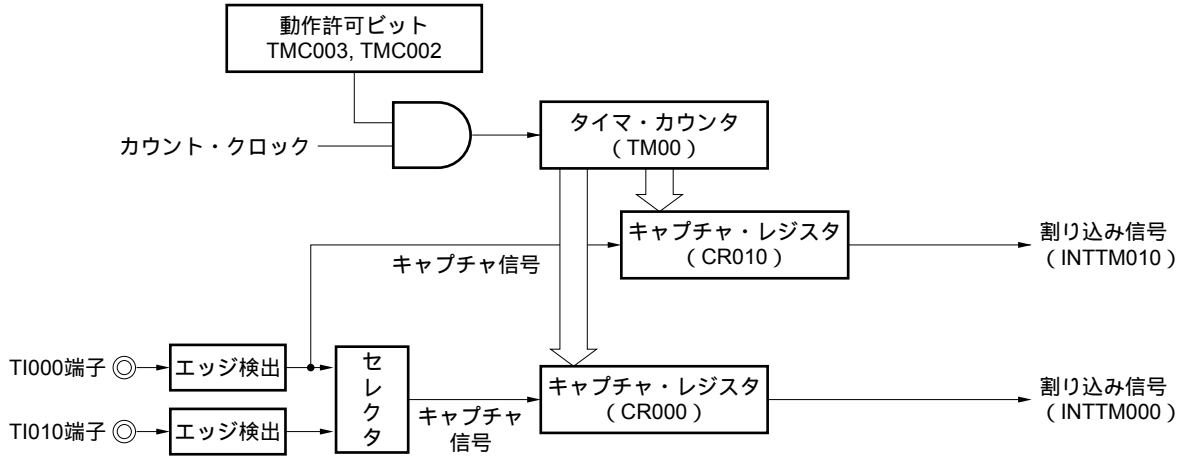
フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

この例では、CR000(コンペア・レジスタ)の設定値とTM00のカウント値が一致するごとに、INTTM000信号を発生し、TO00端子出力を反転します。また、TI000端子の有効エッジを検出するごとに、INTTM010信号を発生し、TM00のカウント値をCR010にキャプチャします。

(3) フリー・ランニング・タイマ・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

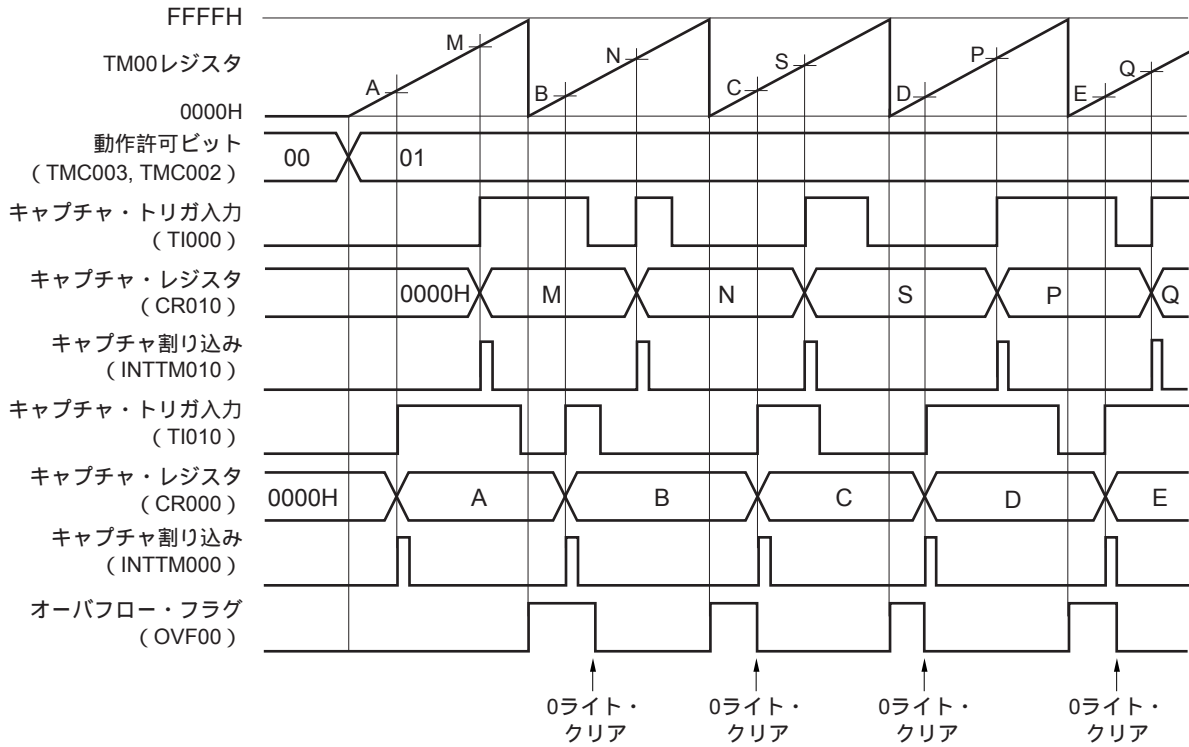
図6 - 36 フリー・ランニング・タイマ・モードのブロック図
(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)



備考 フリー・ランニング・タイマ・モードで、CR000, CR010を両方ともキャプチャ機能に設定した場合、TO00端子出力レベルは反転しません。
ただし、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) = 1に設定することにより、TI000端子の有効エッジを検出するごとにTO00端子出力レベルを反転させることができます。

図6-37 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H

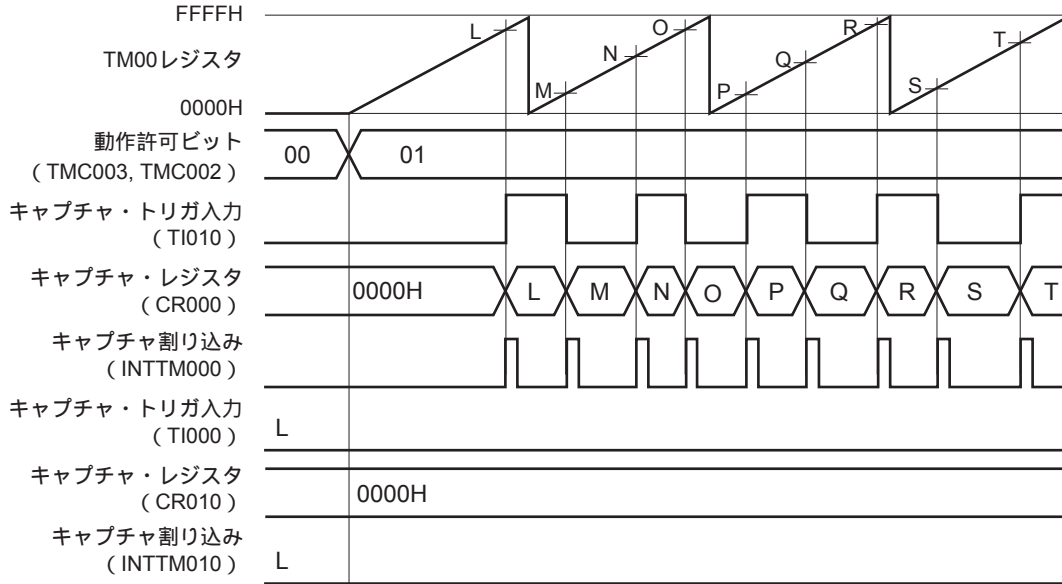


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI000端子入力の有効エッジ検出でCR010にキャプチャします。TI010端子入力の有効エッジ検出でCR000にキャプチャします。

図6-37 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H

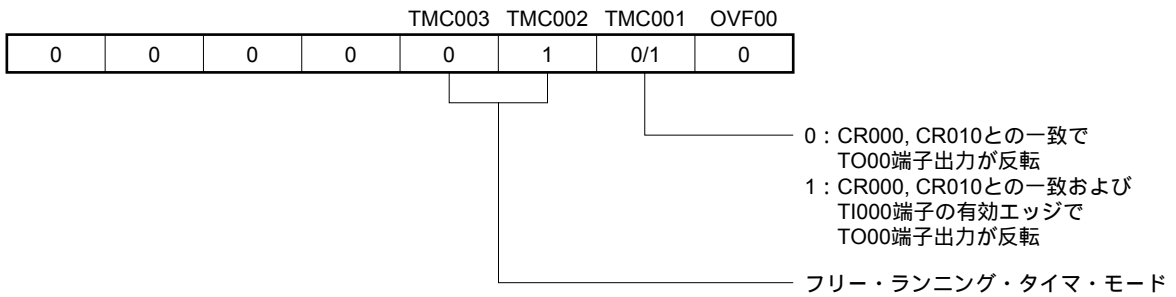


フリー・ランニング・タイマ・モードで、TI010端子の両エッジ検出に設定し、CR000にキャプチャするアプリケーション例です。

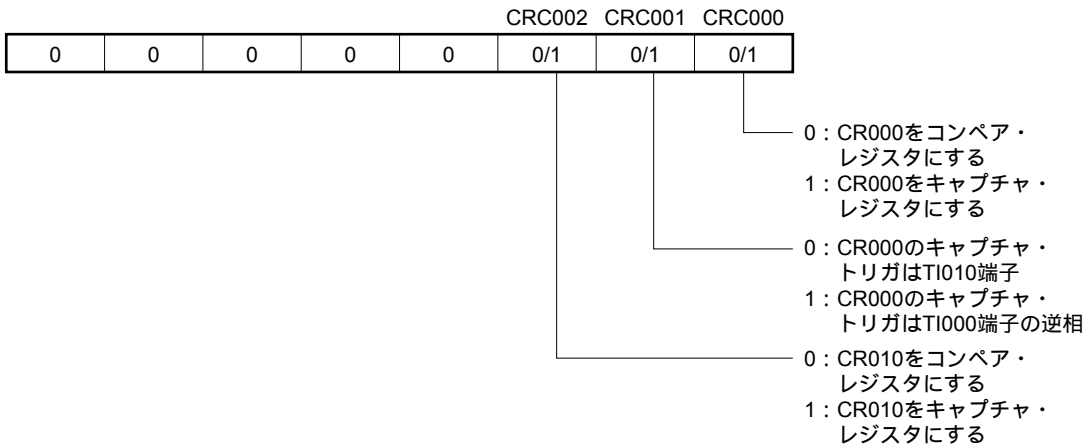
CR000, CR010を両方ともキャプチャ・レジスタとして使用し、TI010端子だけからの有効エッジを検出する場合、CR010にキャプチャすることはできません。

図6 - 38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

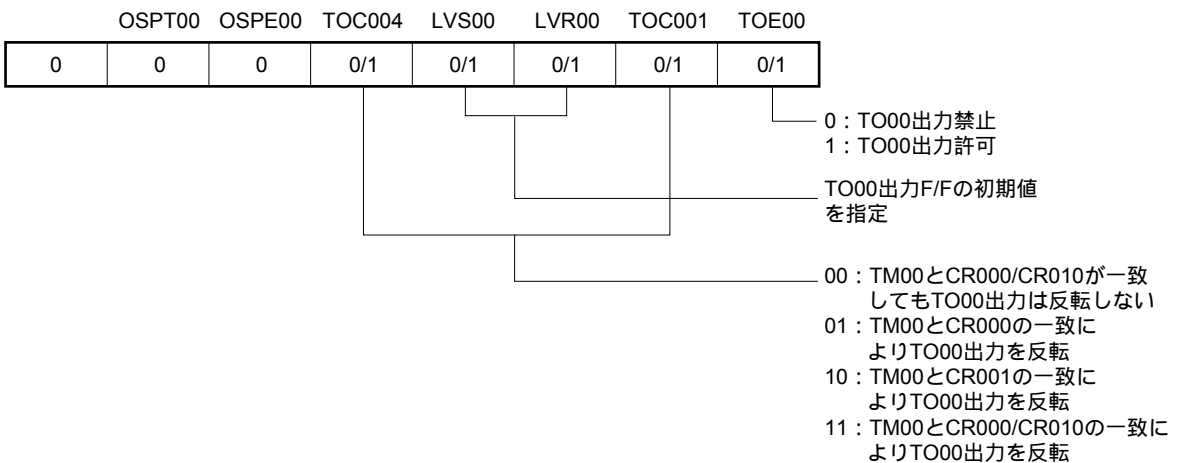
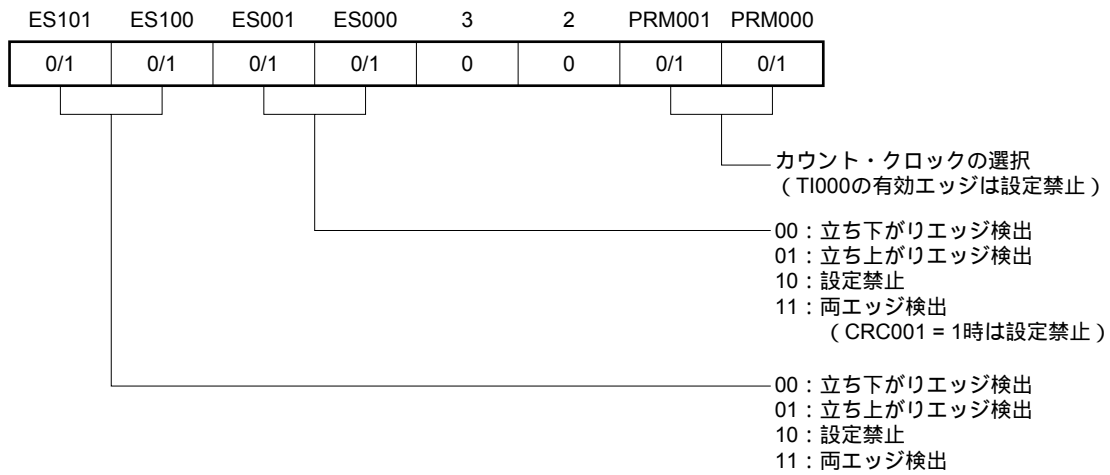


図6 - 38 フリー・ランニング・タイマ・モード時のレジスタ設定内容例 (2/2)

(d) プリスケーラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

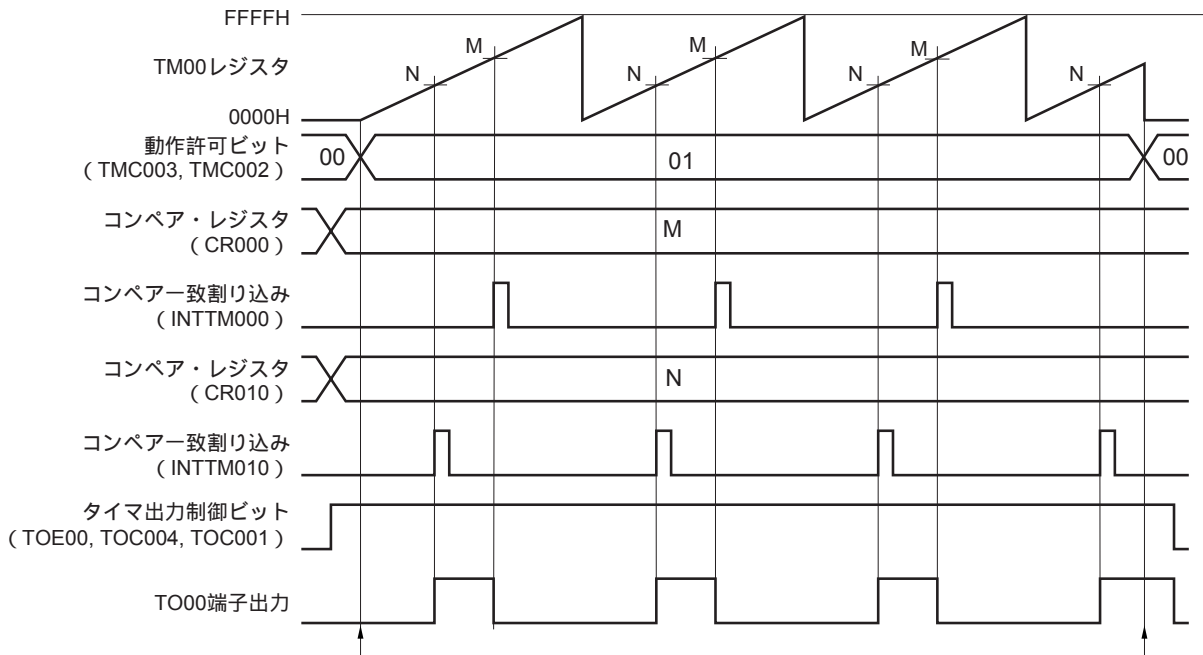
キャプチャ・レジスタとして使用する場合は、TI000, TI010端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

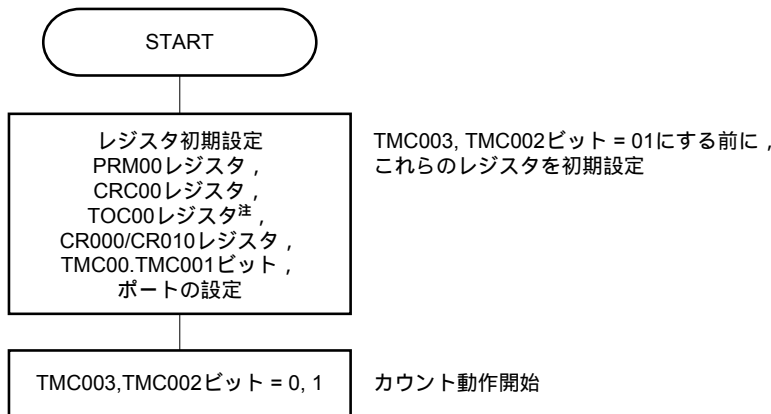
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

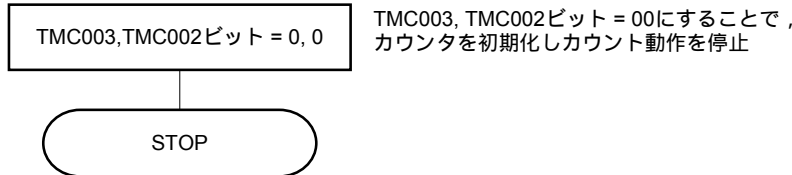
図6-39 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致によるクリア&スタート) に設定し, CR000にあらかじめ設定した値を1周期とし, CR010にあらかじめ設定した値をパルス幅とする矩形波を, TO00端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 = (CR000の設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR010の設定値 + 1) / (CR000の設定値 + 1)

注意 動作中にデューティの値 (CR010) を変更したい場合は, 6.5.1 CR010のTM00動作中の書き換えを参照してください。

- 備考1.** 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
 2. INTTM000信号の割り込み許可については, 第13章 割り込み機能を参照してください。

図6 - 40 PPG出力としての動作のブロック図

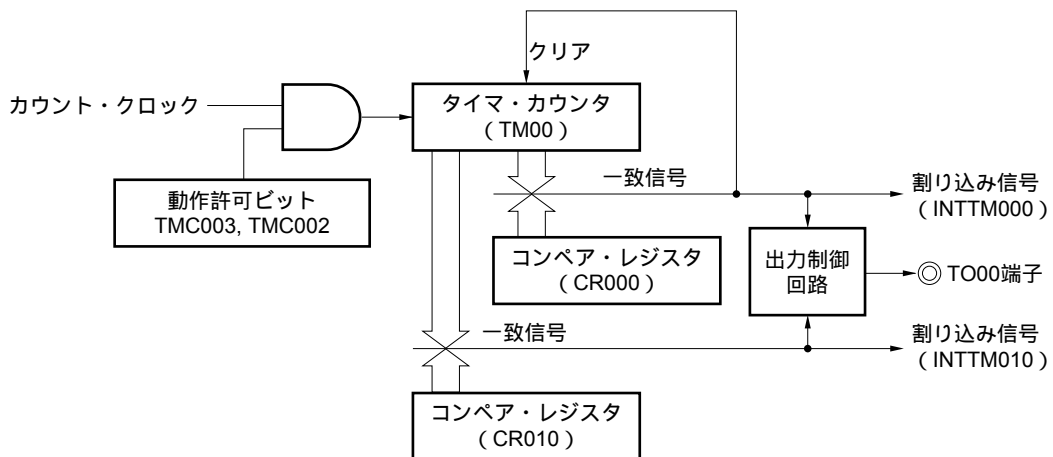


図6 - 41 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする
CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	1	0/1	0/1	1	1

TO00出力許可
TO00出力F/Fの初期値を指定
11 : TM00とCR000/CR010の
一致によりTO00出力を反転
00 : ワンショット・パルス
出力禁止

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 41 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

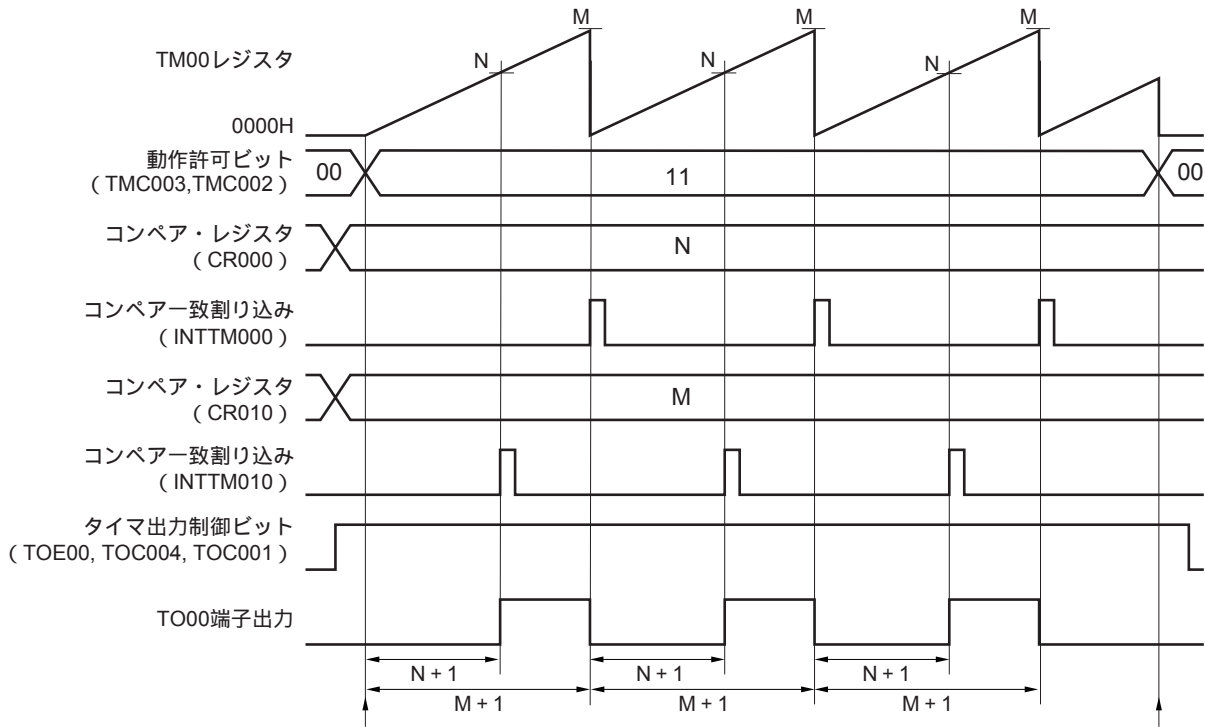
TM00との一致で割り込み信号 (INTTM000) を発生します。TM00のカウント値はクリアされません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

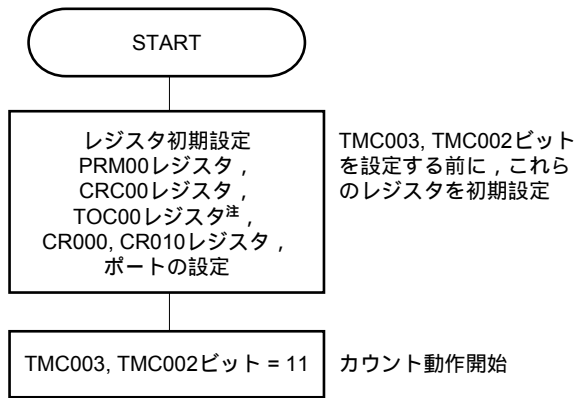
TM00との一致で割り込み信号 (INTTM010) を発生します。TM00のカウント値はクリアされません。

注意 CR000, CR010には, 0000H < CR010 < CR000 FFFFHの値を設定してください。

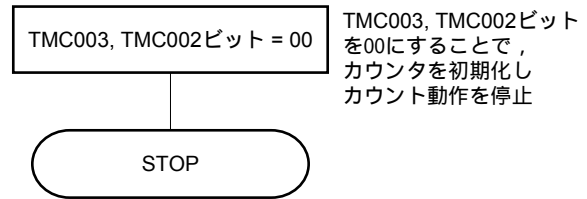
図6 - 42 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

備考 PPGのパルス周期 = (M + 1) × カウント・クロック周期
PPGのデューティ = (N + 1) / (M + 1)

6.4.7 ワンショット・パルス出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード), またはTMC003, TMC002 = 10 (TI000端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット5 (OSPE00) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC00のビット6 (OSPT00) をセット (1) するか, またはTI000端子に有効エッジが入力されると, それがトリガとなり, TM00のクリア&スタート後, CR000, CR010に設定した差分のパルスを1回だけTO00端子から出力します。

- 注意1. ワンショット・パルスを出力中に, さらにトリガ (OSPT00のセット (1), またはTI000端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
- 2. OSPT00のセット (1) のみをワンショット・パルス出力のトリガとする場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ0 (PM0) を参照してください。
- 2. INTTM000信号の割り込み許可については, 第13章 割り込み機能を参照してください。

図6 - 43 ワンショット・パルス出力としての動作のブロック図

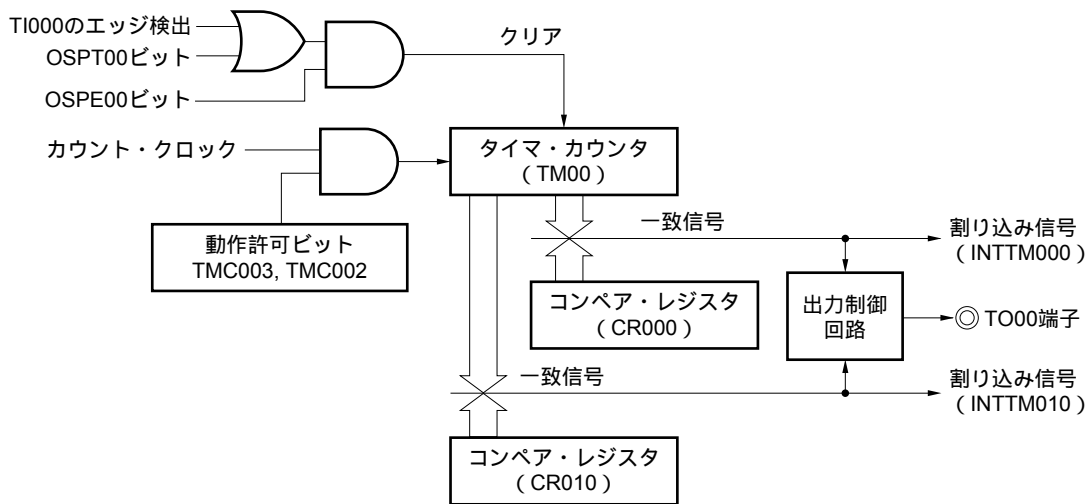


図6 - 44 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI000端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする
CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	0/1	0/1	1	1

TO00端子出力許可
TO00端子出力の初期値を
指定
TM00とCR000/CR010の
一致によりTO00出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

図6 - 44 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

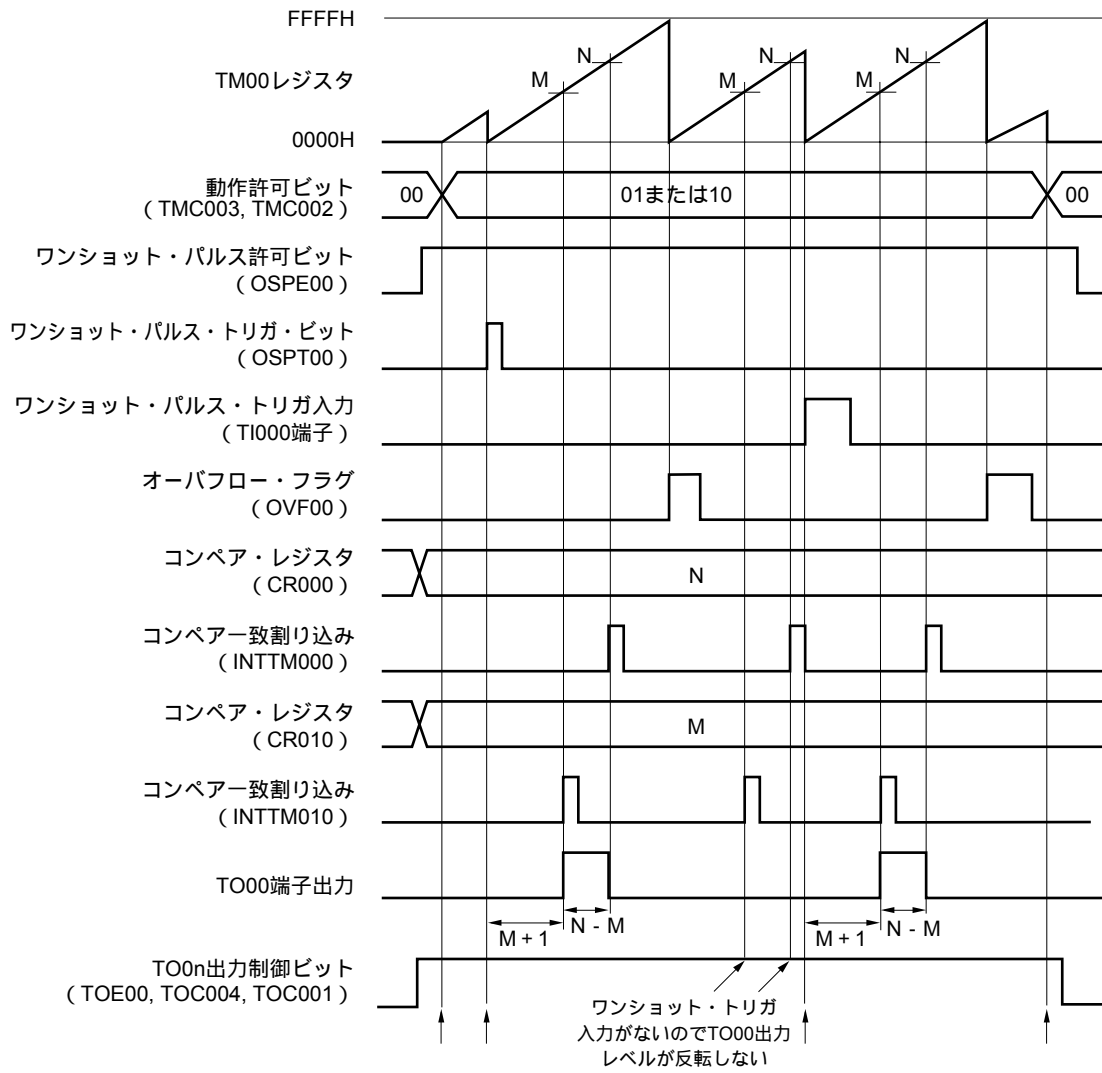
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR000の値が一致すると、割り込み信号 (INTTM000) を発生し、TO00端子出力レベルを反転します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR010の値が一致すると、割り込み信号 (INTTM010) を発生し、TO00端子出力レベルを反転します。

注意 CR000とCR001には同値および0000Hを設定しないでください。

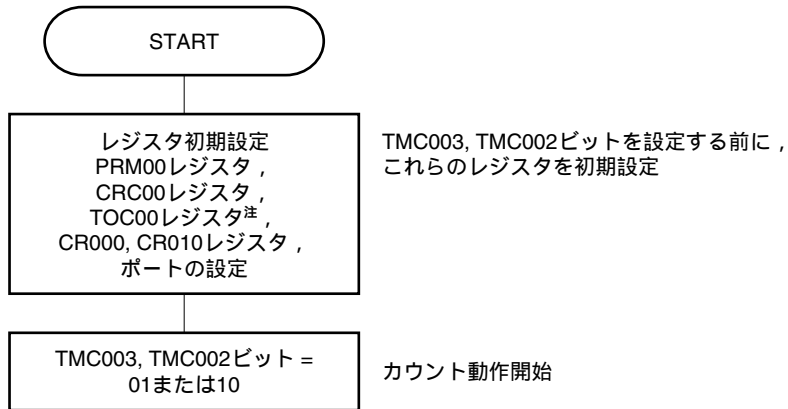
図6 - 45 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



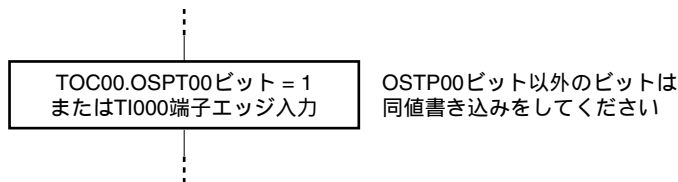
- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= (M + 1) × カウント・クロック周期
- ・ワンショット・パルス出力アクティブ・レベル幅
= (N - M) × カウント・クロック周期

図6 - 45 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

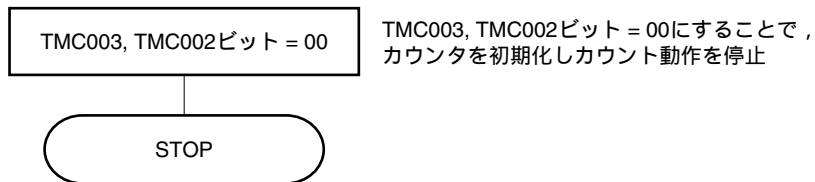
カウント動作開始フロー



ワンショット・トリガ入力フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.8 パルス幅測定としての動作

TM00を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 46 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

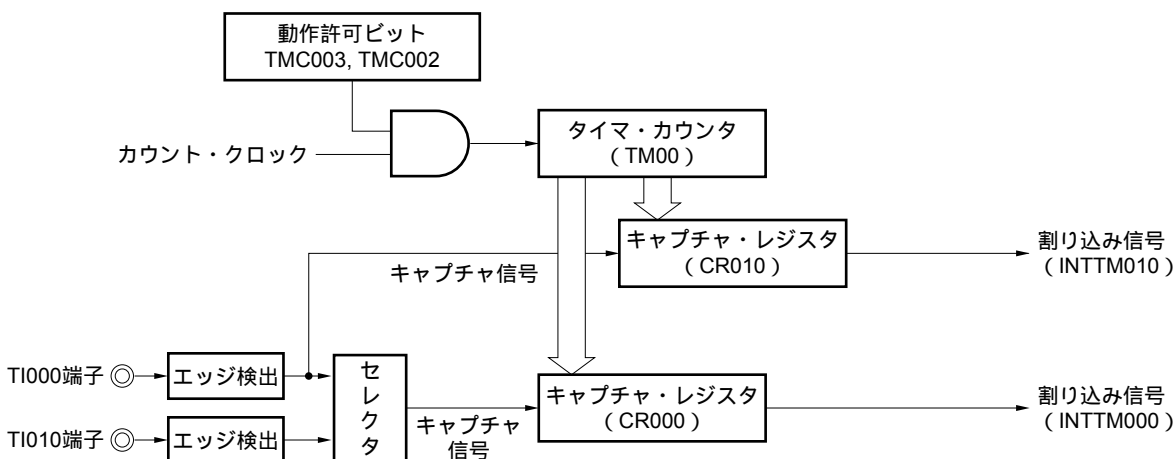
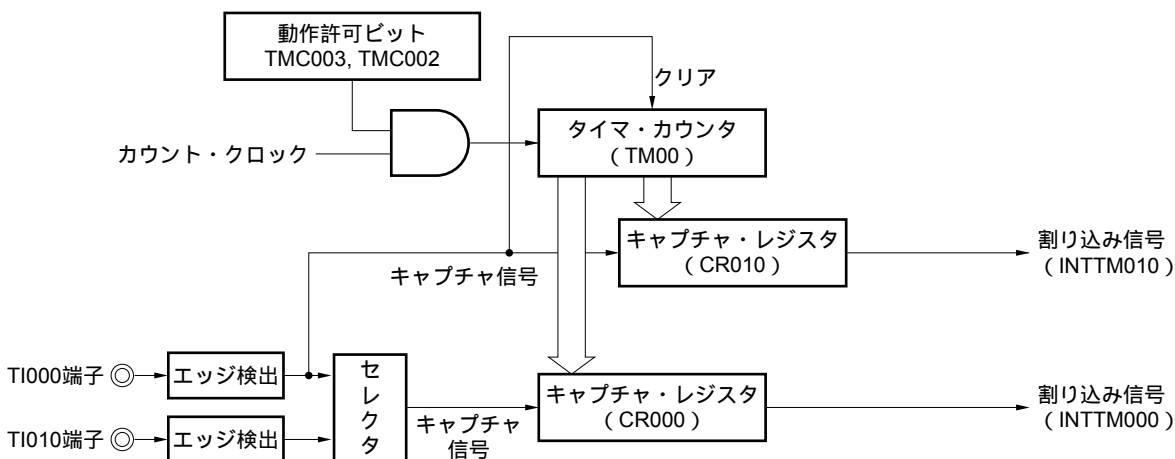


図6 - 47 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI000端子およびTI010端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

- 備考1.** 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0(PM0)**を参照してください。。
2. INTTM000信号の割り込み許可については、**第13章 割り込み機能**を参照してください。

(1) TI000端子およびTI010端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

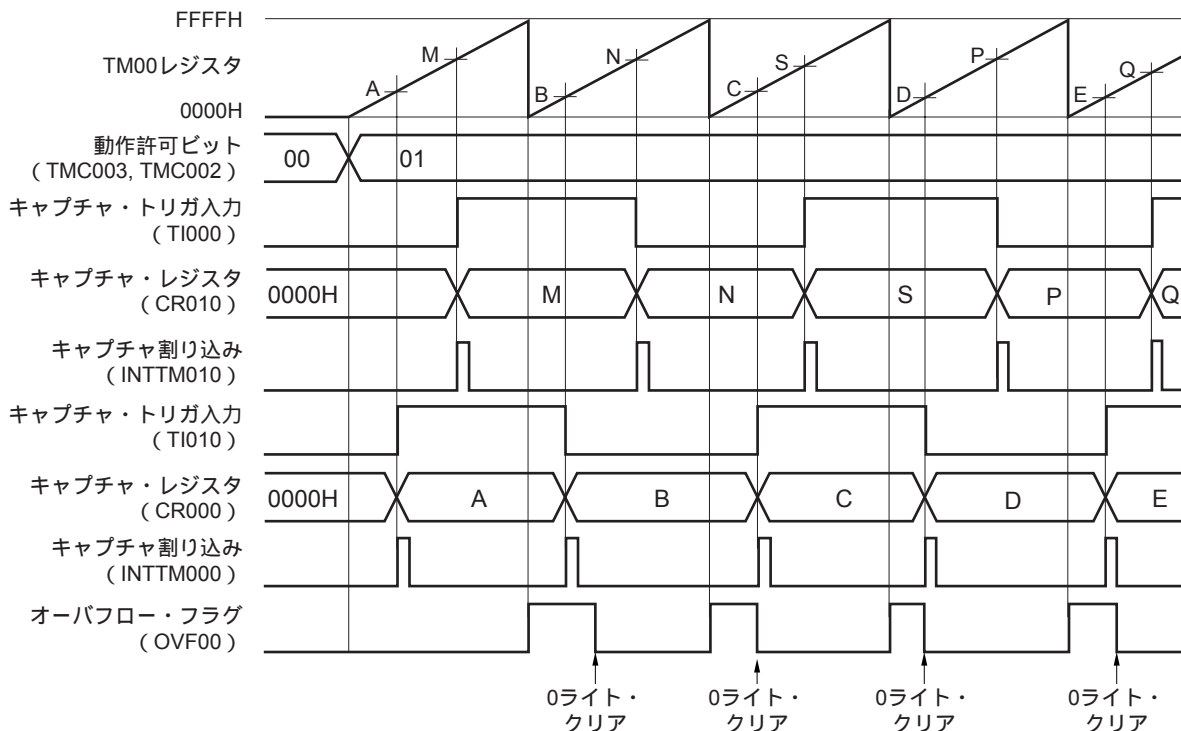
フリー・ランニング・タイマ・モード(TMC003, TMC002 = 01)に設定します。TI000端子の有効エッジ検出により, TM00のカウンタ値をCR010にキャプチャします。TI010端子の有効エッジ検出により, TM00のカウンタ値をCR000にキャプチャします。TI000端子とTI010端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6-48 パルス幅測定のタイミング例(1)

・ TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



(2) TI000端子1本の入力信号でパルス幅を測定 (フリー・ランニング・モード)

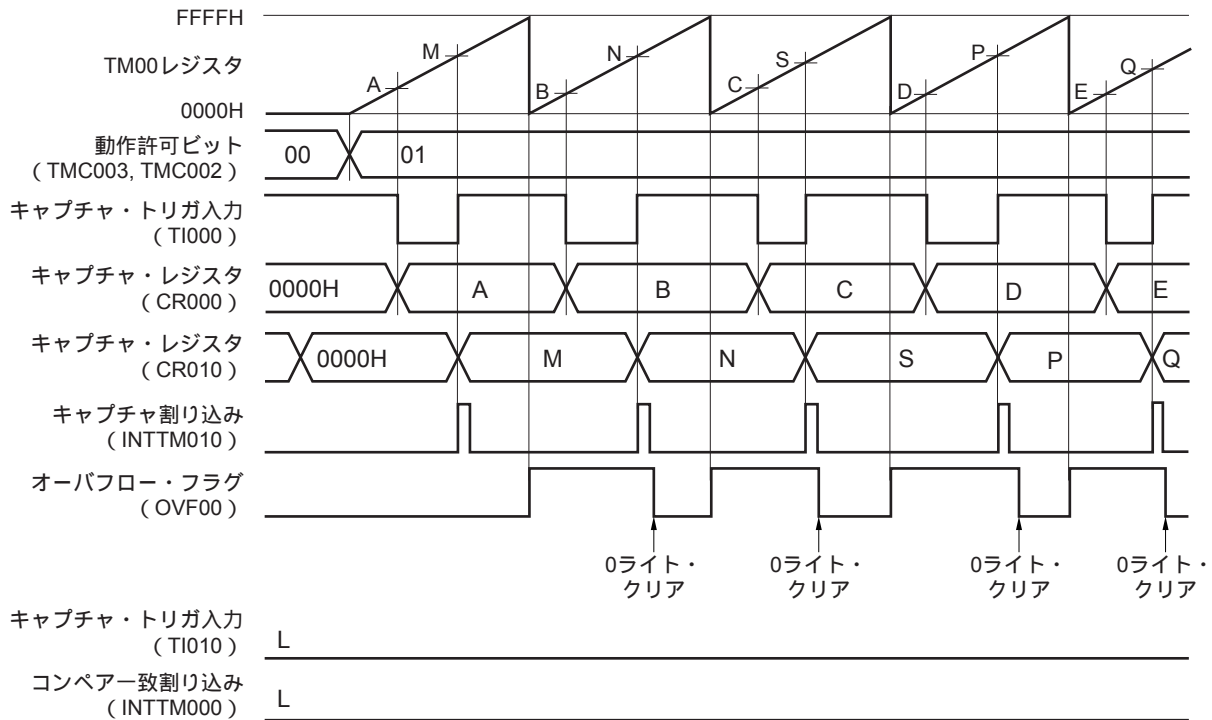
フリー・ランニング・タイマ・モード (TMC003, TMC002 = 01) に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウント値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウント値をCR010にキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) をクリア (0) してください。

図6 - 49 パルス幅測定のタイミング例 (2)

・ TMC00 = 04H, PRM00 = 10H, CRC00 = 07H



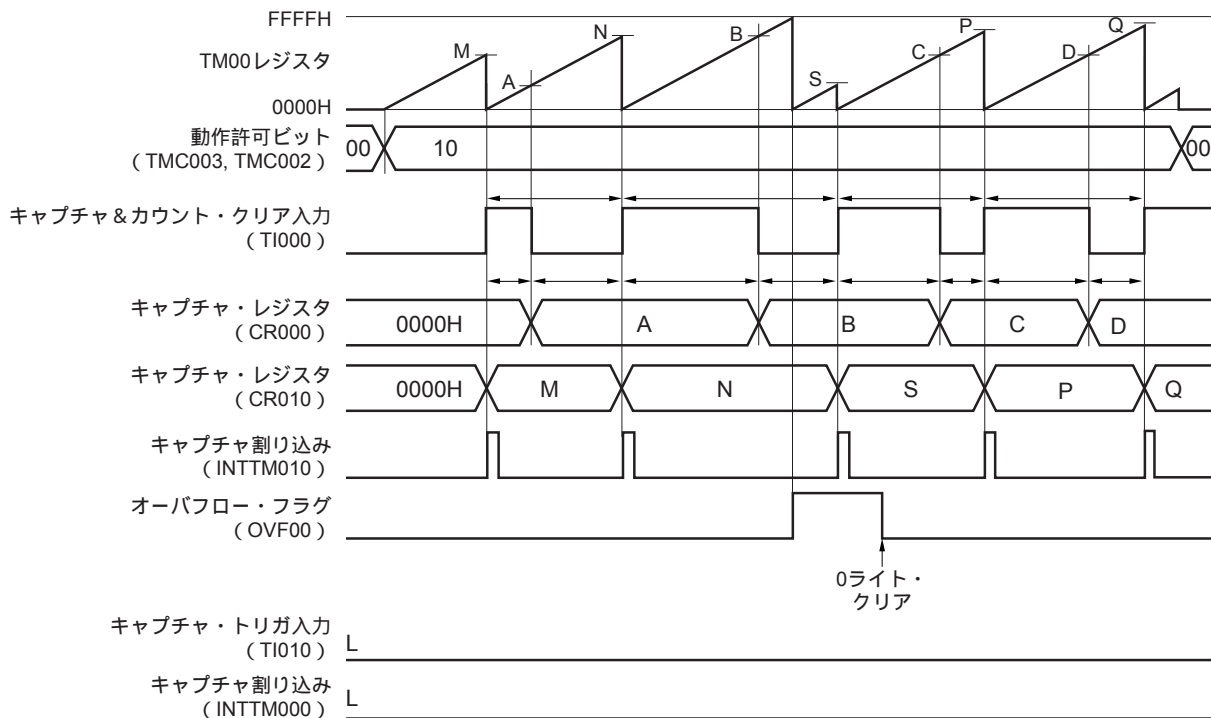
(3) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6 - 50 パルス幅測定のためのタイミング例(3)

・ TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



$$\begin{aligned} \text{パルスの周期} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \text{CR010のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのハイ・レベル幅} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \text{CR000のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのロウ・レベル幅} &= (\text{パルスの周期} - \text{パルスのハイ・レベル幅}) \end{aligned}$$

図6 - 51 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI000端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

					CRC002	CRC001	CRC000
0	0	0	0	0	1	0/1	1

- 1 : CR000をキャプチャ・レジスタにする
- 0 : CR000のキャプチャ・トリガはTI010端子
- 1 : CR000のキャプチャ・トリガはTI000端子の逆相
- 1 : CR010をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	2	PRM001	PRM000
0/1	0/1	0/1	0/1	0	0	0/1	0/1

- カウント・クロックの選択 (TI000の有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出 (CRC001 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

図6 - 51 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

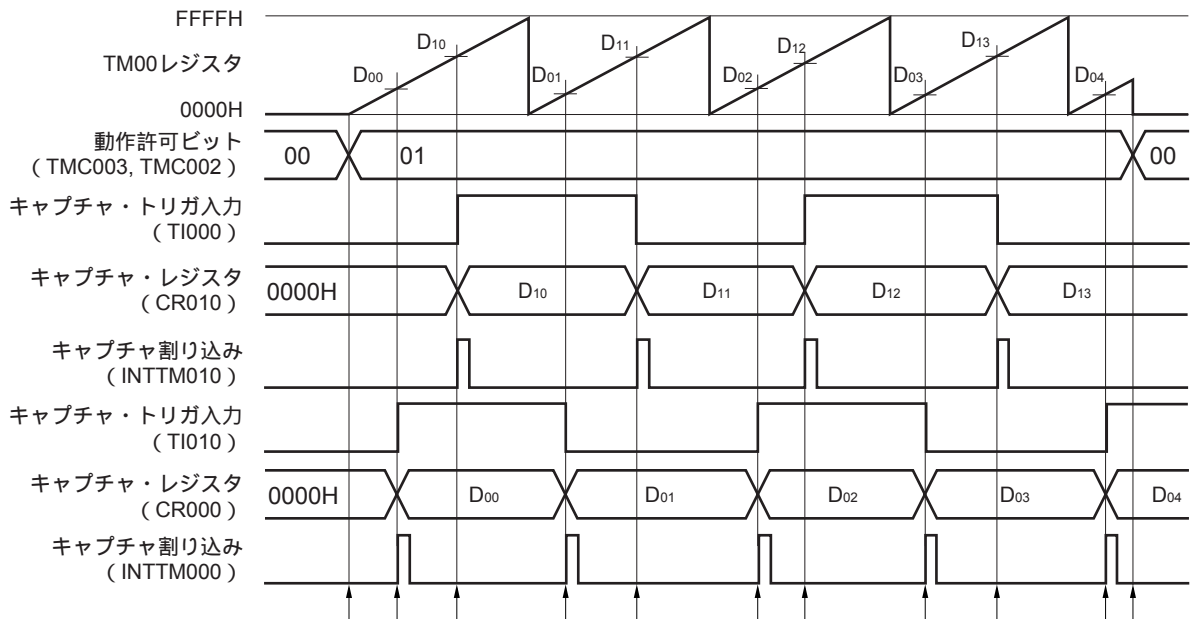
キャプチャ・レジスタとして使用します。TI000/TI010端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとして使用します。TI000端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウント値をCR010に格納します。

図6 - 52 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI000端子の有効エッジによるクリア&スタート・モードの例

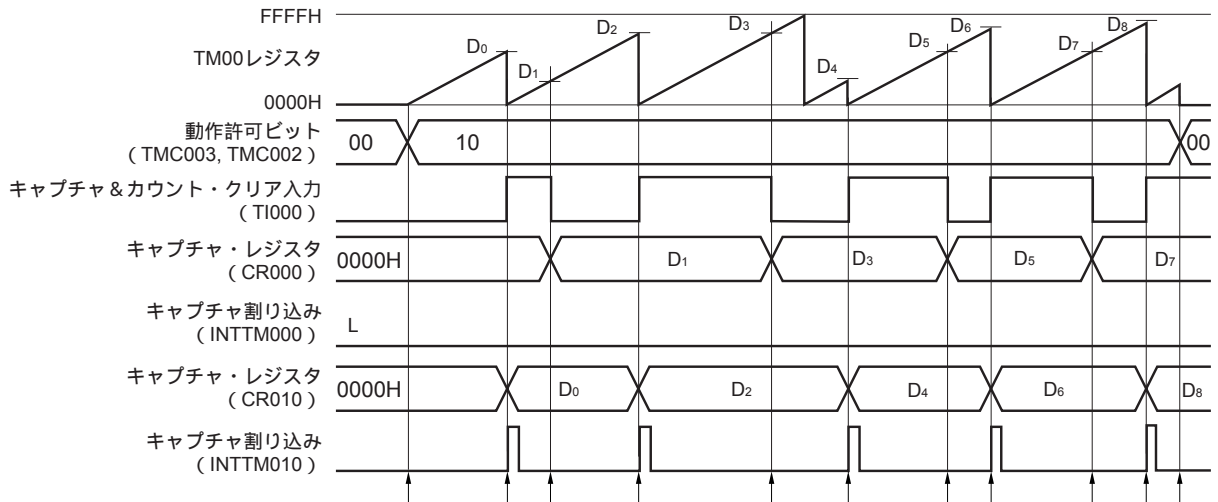
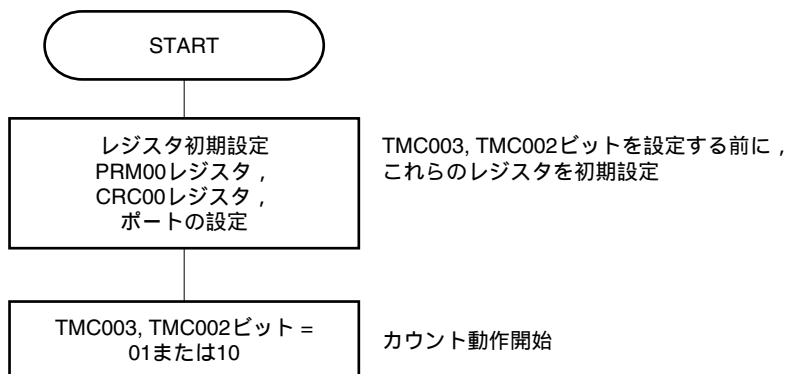
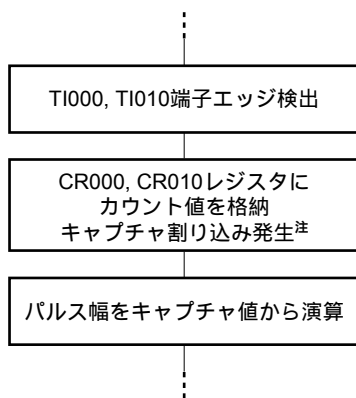


図6 - 52 パルス幅測定時のソフトウェア処理例 (2/2)

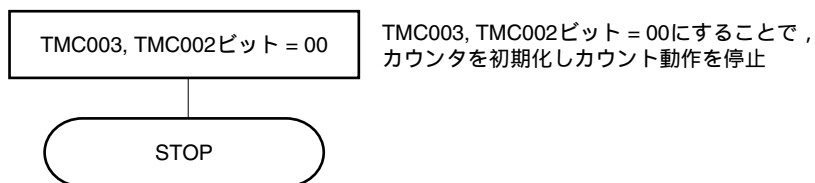
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー



注 CR000の有効エッジにTI000端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM000) は発生しません。

6.5 TM00の特殊な使用方法

6.5.1 CR010のTM00動作中の書き換え

μPD78F0730では、TM00動作中（TMC003, TMC002 = 00以外）のとき、コンペア・レジスタとして使用するCR000とCR010の書き換えは原則禁止です。

ただし、CR010だけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM00動作中でも書き換えができます（CR010とTM00の一致直後に書き換えてください。CR010とTM00の一致直前で書き換えると想定しない動作を起こす場合があります）。

CR010の書き換え手順

INTTM010の割り込みを禁止する（TMMK010 = 1）。

TM00とCR010の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）。

CR010を書き換える。

TM00のカウント・クロックの1周期分ウエイトする。

TM00とCR010の一致によるタイマ出力反転動作を許可する（TOC004 = 1）。

INTTM010の割り込みフラグをクリア（0）する（TMIF010 = 0）。

INTTM010の割り込みを許可する（TMMK010 = 0）

備考 TMIF010, TMMK010については第13章 **割り込み機能**を参照してください。

6.5.2 LVS00, LVR00の設定について

(1) LVS00, LVR00の使用用途

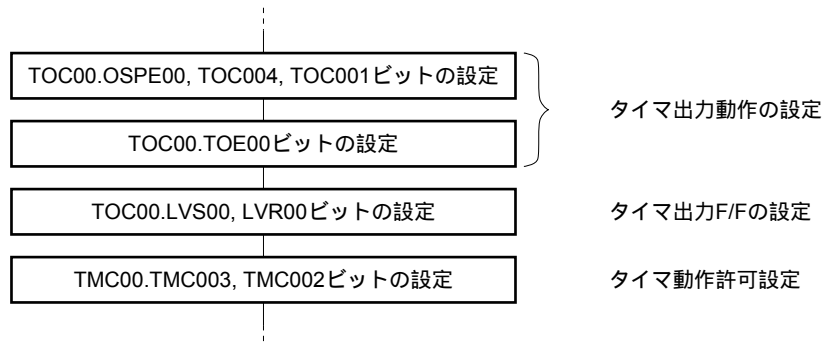
LVS00, LVR00は、TO00端子出力の初期値を設定したいときや、タイマを動作許可しない（TMC003, TMC002 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS00, LVR00は00（初期値ロウ・レベル出力）に設定してください。

LVS00	LVR00	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

(2) LVS00, LVR00の設定方法

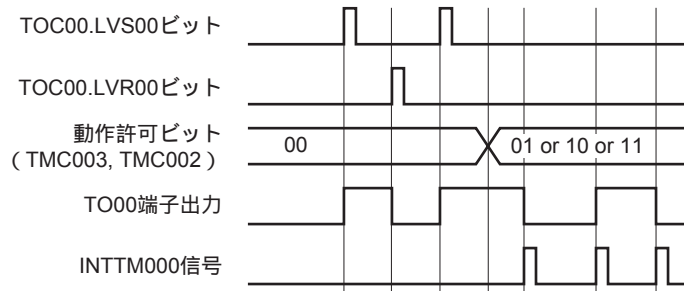
LVS00, LVR00は次の手順で設定してください。

図6 - 53 LVS00, LVR00ビットの設定フロー例



注意 LVS00, LVR00は必ず上記 , , の手順で設定してください。
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図6 - 54 LVR00, LVS00のタイミング例



LVS00, LVR00 = 10に設定することにより, TO00端子出力がハイ・レベルになります。

LVS00, LVR00 = 01に設定することにより, TO00端子出力がロウ・レベルになります (LVS00, LVR00 = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC003, TMC002 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS00, LVR00の設定が10だったので, TO00端子出力はハイ・レベルから始まりま。タイマ動作開始以降は, TMC003, TMC002 = 00 (タイマ動作禁止) にするまで, LVS00, LVR00の設定は禁止です。

割り込み信号 (INTTM00) が発生するたびに, TO00端子出力のレベルが反転します。

6.6 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) 16ビット・タイマ/イベント・カウンタ0の各チャネルの制限事項

表6-3に各チャネルの制限事項を示します。

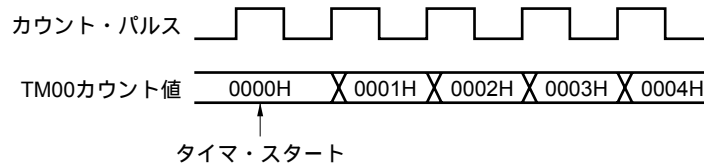
表6-3 16ビット・タイマ/イベント・カウンタ0の各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	
方形波出力としての動作	
外部イベント・カウンタとしての動作	TOC00 = 00Hに設定
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用禁止 TOC00 = 00Hに設定
フリー・ランニング・タイマとしての動作	
PPG出力としての動作	CR000とCP010には同値および0000Hは設定禁止
ワンショット・パルス出力としての動作	
パルス幅測定としての動作	TOC00 = 00Hに設定

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図6-55 TM00のカウント・スタート・タイミング



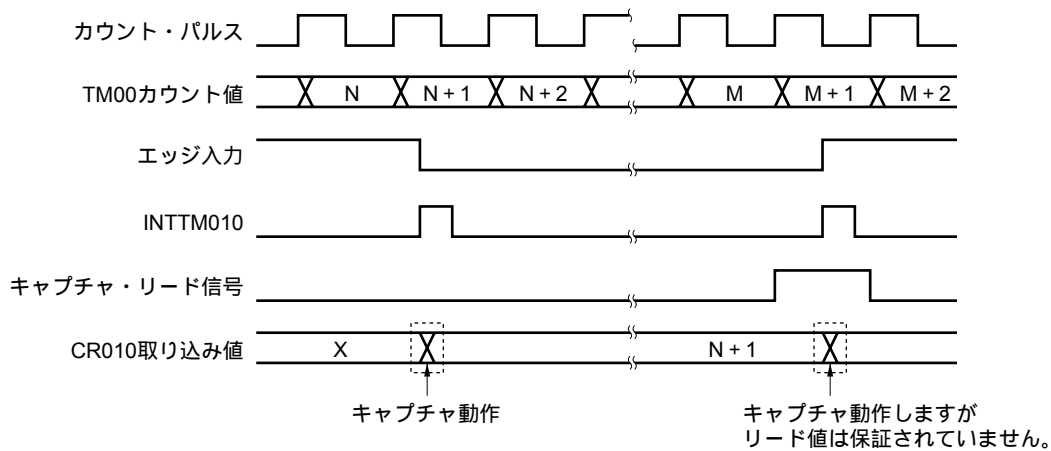
(3) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

CR000, CR010には,0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合, 1パルスのカウント動作はできません)。

(4) キャプチャ・レジスタのデータ保持タイミング

(a) CR000/CR010の読み出し中にTI000/TI010端子の有効エッジ入力，TI000端子の逆相のエッジを検出したとき，CR010はキャプチャ動作を行います，CR000/CR010の読み出し値は保証されません。このとき，TI000/TI010端子の有効エッジの検出による割り込み信号（INTTM000/INTTM010）は発生しません（TI000端子の逆相のエッジ検出時は，割り込み信号を発生しません）。
 TI000/TI010端子の有効エッジの検出によるキャプチャ時に，CR000/CR010の値を読み出す場合は，INTTM000/INTTM010発生後に行ってください。

図6 - 56 キャプチャ・レジスタのデータ保持タイミング



(b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

(5) 有効エッジの設定

TI000端子の有効エッジの設定は，タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は，ES000, ES001で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

(7) OVF00フラグの動作

(a) OVF00フラグのセット(1)

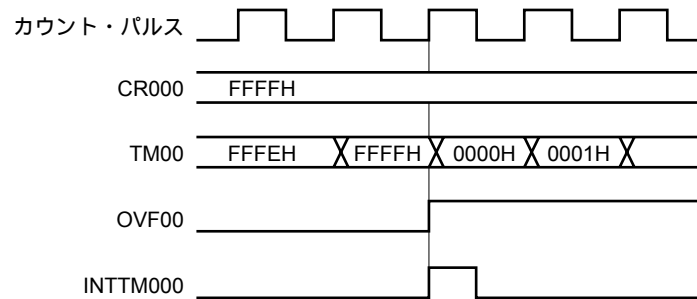
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図6 - 57 OVF00フラグの動作タイミング



(b) OVF00フラグのクリア

TM00がオーバーフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前に OVF00フラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI000端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

(9) キャプチャ動作

(a) カウント・クロックにTI000の有効エッジを指定した場合

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI010, TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000, TI010端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です(図6-7を参照)。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号(INTTM000, INTTM010)は次のカウント・クロックの立ち上がりで発生します(図6-7を参照)。

(d) CRC001(キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット1) = 1に設定したときの注意

TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号(INTTM000)は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

(10) エッジ検出

(a) リセット後の有効エッジ指定

リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図6-7を参照)。

(11) タイマ動作について

CPUの動作モードに関係なく、タイマが停止していると、TI000/ TI010端子への入力信号は受け付けられません。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

第7章 8ビット・タイマ/イベント・カウンタ50, 51

7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3) ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

図7-1, 図7-2に、8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

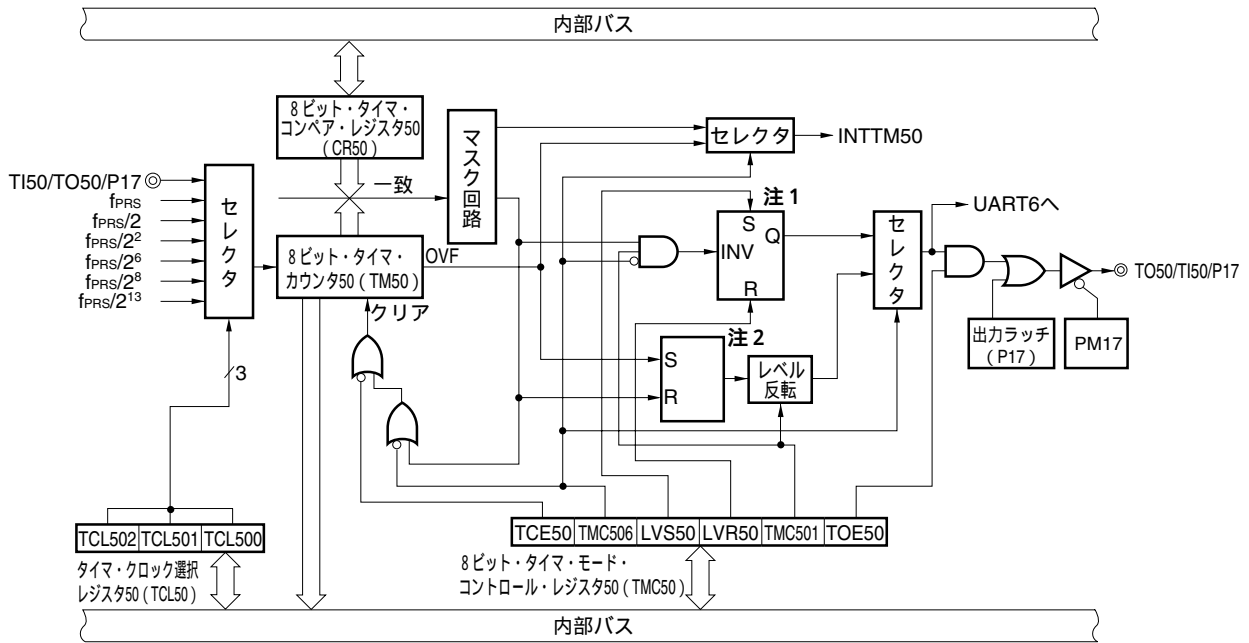
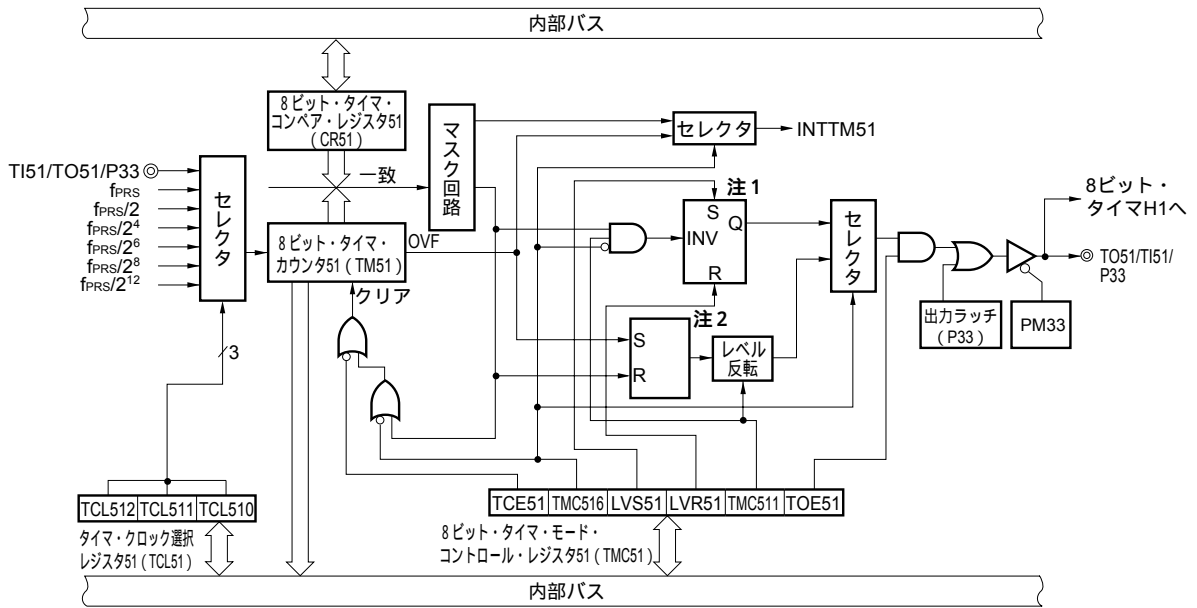


図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



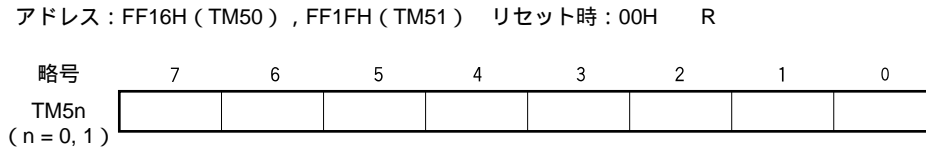
注1. タイマ出力F/F

2. PWM出力F/F

(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。
 PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。
 PWMモード時は、TM5nとCR5nの値が一致により、TO5n端子はインアクティブ・レベルになりますが、割り込みは発生しません。
 CR5nの値は、00H-FFHの範囲で設定できます。
 リセット信号の発生により、00Hになります。

図7-4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット



- 注意1.** TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。
- 2.** PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウンタ・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図7-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス：FF6AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウンタ・クロックの選択		
			fPRS = 12 MHz	fPRS = 16 MHz	
0	0	0	TI50端子の立ち下がりエッジ		
0	0	1	TI50端子の立ち上がりエッジ		
0	1	0	fPRS	12 MHz	16 MHz
0	1	1	fPRS/2	6 MHz	8 MHz
1	0	0	fPRS/2 ²	3 MHz	4 MHz
1	0	1	fPRS/2 ⁶	187.5 kHz	250 kHz
1	1	0	fPRS/2 ⁸	46.88 kHz	62.5 kHz
1	1	1	fPRS/2 ¹³	1.46 kHz	1.95 kHz

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 fPRS：周辺ハードウェア・クロック周波数

図7-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択		
				fPRS = 12 MHz	fPRS = 16 MHz
0	0	0	TI51端子の立ち下がりエッジ		
0	0	1	TI51端子の立ち上がりエッジ		
0	1	0	fPRS	12 MHz	16 MHz
0	1	1	fPRS/2	6 MHz	8 MHz
1	0	0	fPRS/2 ⁴	750 kHz	1 MHz
1	0	1	fPRS/2 ⁶	187.5 kHz	250 kHz
1	1	0	fPRS/2 ⁸	46.88 kHz	62.5 kHz
1	1	1	fPRS/2 ¹²	2.93 kHz	3.91 kHz

注意1 . TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2 . ビット3-7には必ず“0”を設定してください。

備考 fPRS : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により00Hになります。

備考 n = 0, 1

図7-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO50端子出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO50端子出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TM50の出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

(注意と備考は次頁にあります。)

図7-8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO51端子出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO51端子出力初期値ハイ・レベル)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (TM51の出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

- 注意1 . LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。
- 2 . 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。
- TMC5n1, TMC5n6を設定 : 動作モードの設定
 - 出力を許可する場合, TOE5nを設定 : タイマ出力許可
 - LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定
 - TCE5nを設定
- 3 . TMC5n6を書き換える場合は、動作を停止してから行ってください。
- 4 . 8ビット・タイマH1をキャリア・ジェネレータ・モードで使う場合は、TMC516 = 0に設定してください。

- 備考1 . PWMモード時は、TCE5n = 0により、PWM出力はインアクティブ・レベルになります。
- 2 . LVS5n, LVR5nは読み出すと、0になっています。
- 3 . TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は、TCE5nの値に関係なくTO5n端子に反映されます。
- 4 . n = 0, 1

(3) **ポート・モード・レジスタ1, 3 (PM1, PM3)**

ポート1, 3の入力/出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50, P33/TO51/TI51端子をタイマ出力として使用するとき, PM17, PM33およびP17, P33の出力ラッチに0を設定してください。

P17/TO50/TI50, P33/TO51/TI51端子をタイマ入力として使用するとき, PM17, PM33に1を設定してください。このとき, P17, P33の出力ラッチは0または1のどちらでもかまいません。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7 - 9 **ポート・モード・レジスタ1 (PM1) のフォーマット**

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図7 - 10 **ポート・モード・レジスタ3 (PM3) のフォーマット**

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

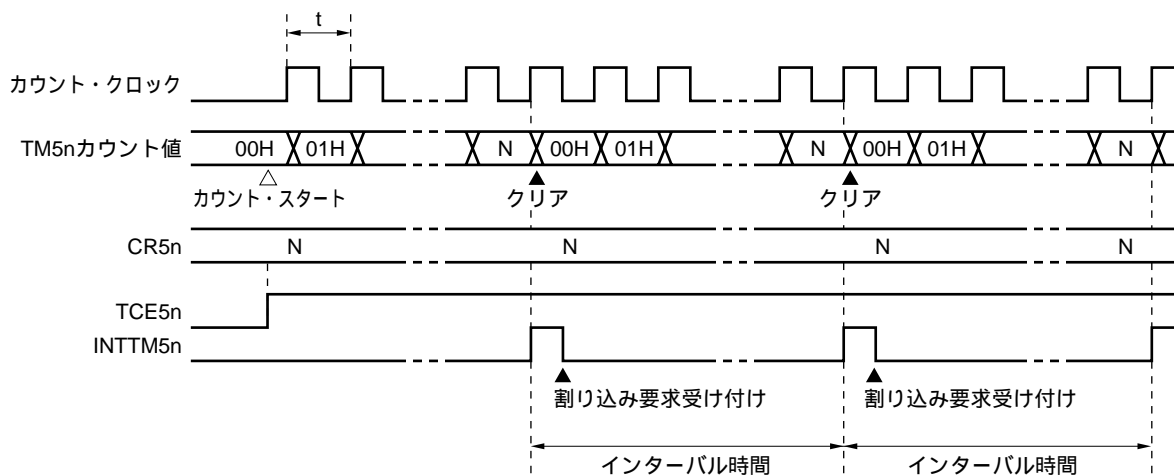
注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第13章 **割り込み機能**を参照してください。

2. n = 0, 1

図7-11 インターバル・タイマ動作のタイミング(1/2)

(a) 基本動作



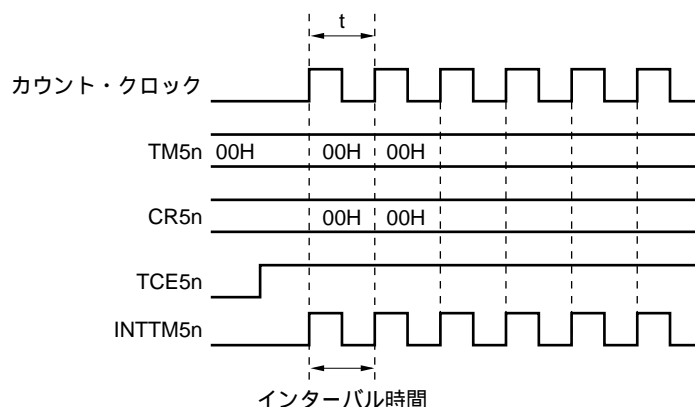
備考 インターバル時間 = $(N + 1) \times t$

N = 01H-FFH

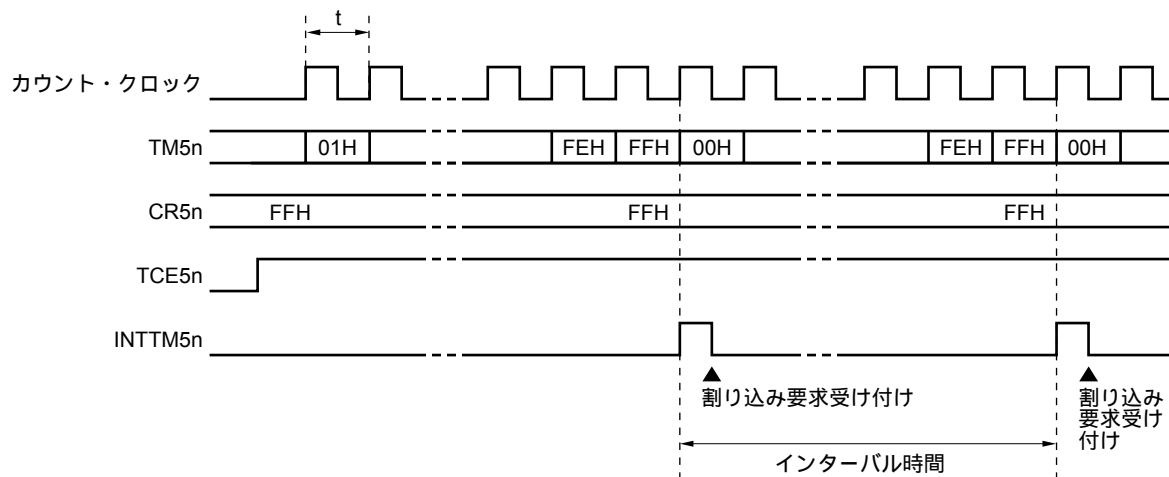
n = 0, 1

図7-11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM17, PM33) ^注に “ 1 ” を設定
- ・TCL5n : TI5n端子入力のエッジ選択
 TI5n端子の立ち下がり TCL5n = 00H
 TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
 (TMC5n = 0000 x x 00B x = don't care)

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

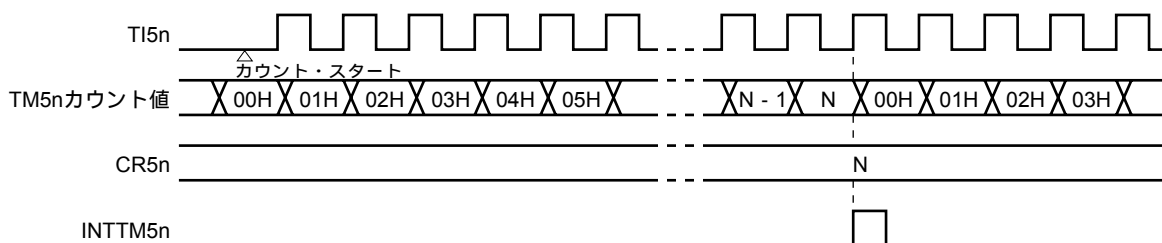
以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM17

8ビット・タイマ/イベント・カウンタ51 : PM33

備考 INTTM5n信号の割り込み許可については、第13章 割り込み機能を参照してください。

図7 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	タイマ出力F/Fをクリア (0) (TO5n端子出力初期値ロウ・レベル)
0	1	タイマ出力F/Fをセット (1) (TO5n端子出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

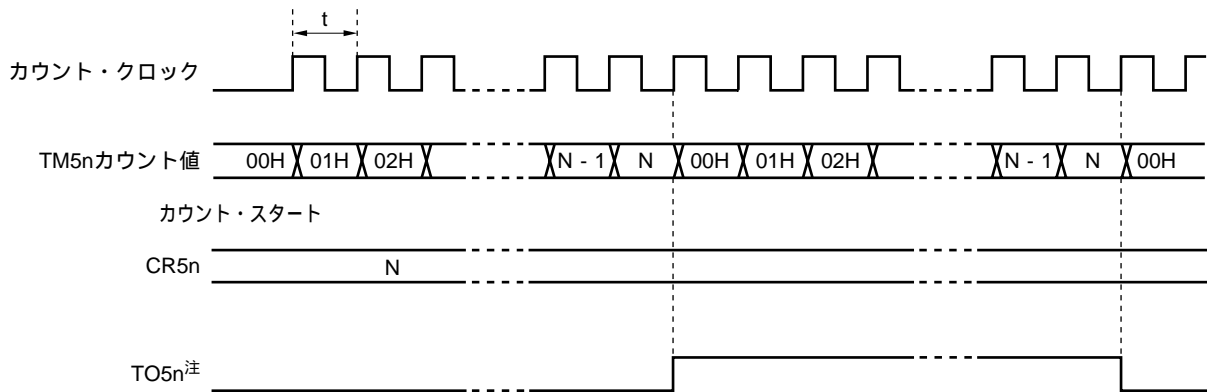
8ビット・タイマ/イベント・カウンタ51 : P33, PM33

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第13章 割り込み機能を参照してください。

2. n = 0, 1

図7-13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に “0” を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに “0” を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

8ビット・タイマ/イベント・カウンタ51 : P33, PM33

PWM出力の動作

PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7-14, 7-15を参照してください。

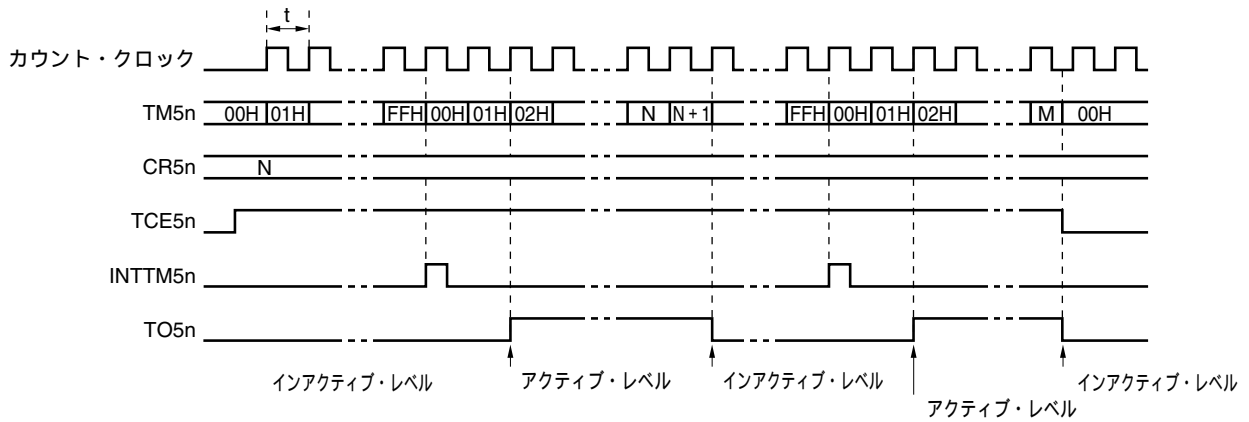
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

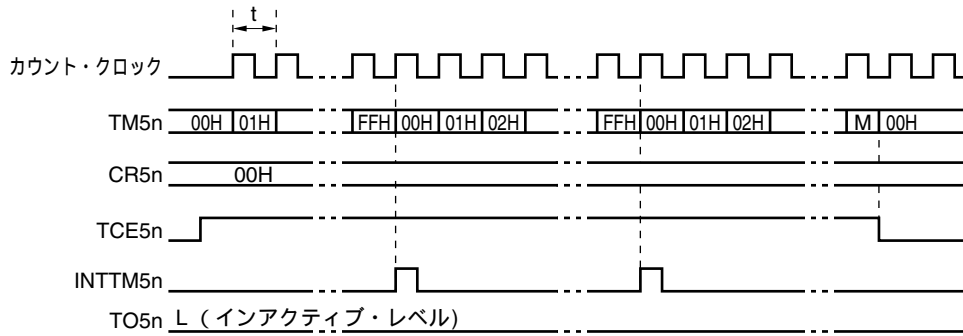
備考 n = 0, 1

図7 - 14 PWM出力動作のタイミング

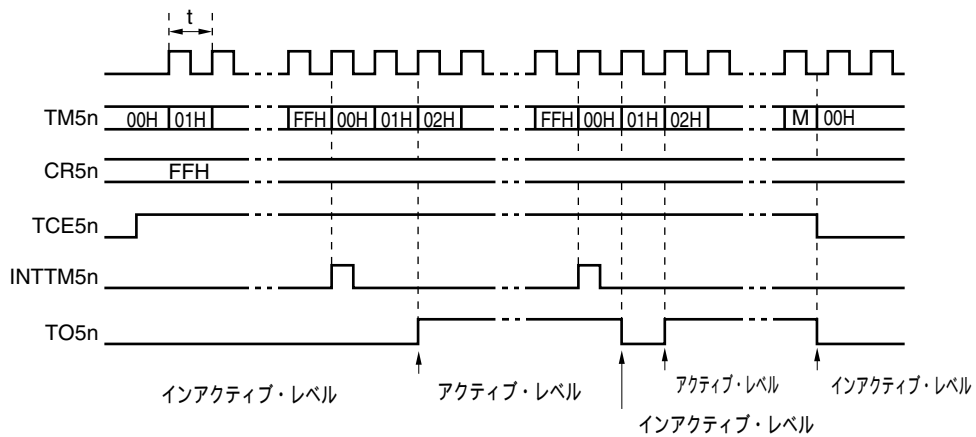
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



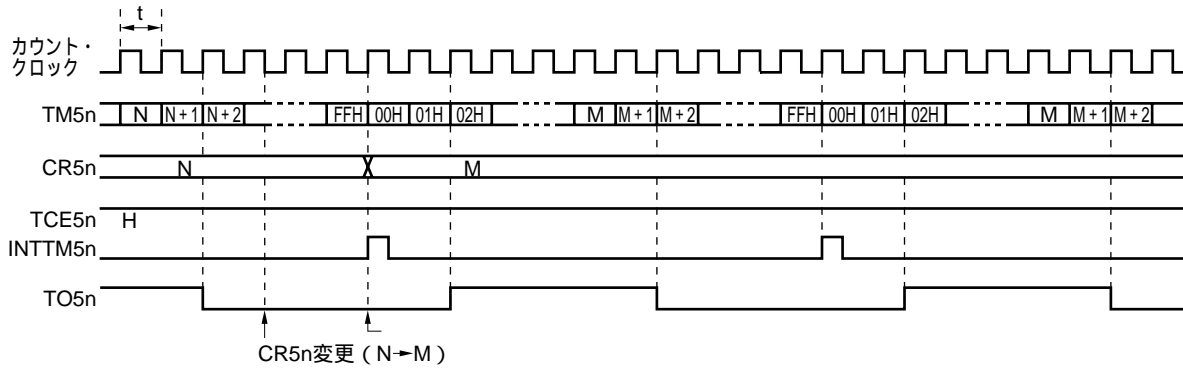
備考1. 図7 - 14 (a) の - , は, 7.4.4 (1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. $n = 0, 1$

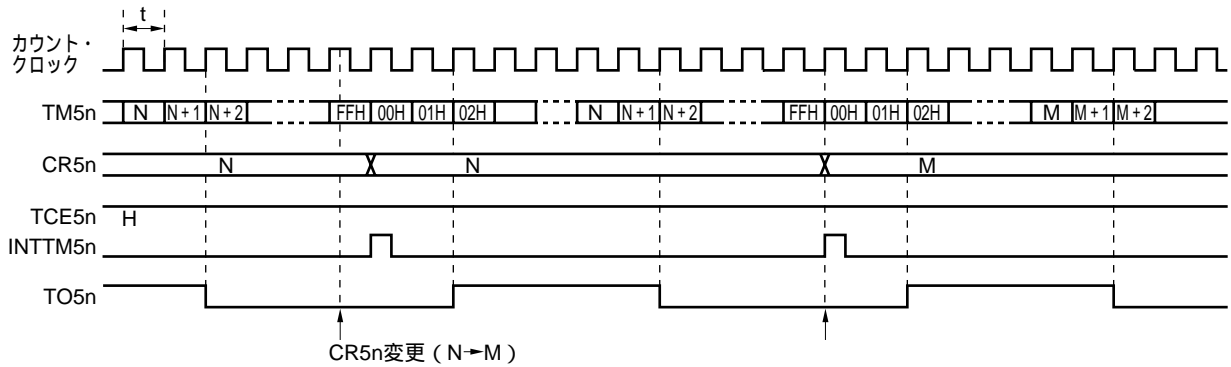
(2) CR5n変更による動作

図7 - 15 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



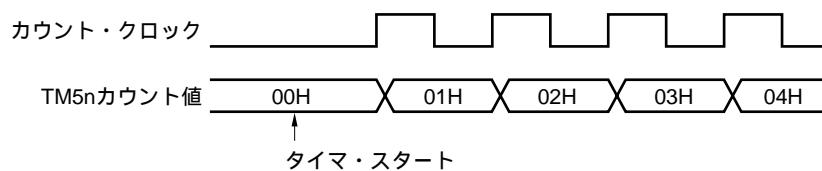
注意 図7 - 15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後,一致信号が発生するまでの時間は,最大で1クロック分の誤差が生じます。これは,カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

図7 - 16 8ビット・タイマ・カウンタ5nのスタート・タイミング



備考 n = 0, 1

第8章 8ビット・タイマH1

8.1 8ビット・タイマH1の機能

8ビット・タイマH1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力モード
- ・キャリア・ジェネレータ・モード

8.2 8ビット・タイマH1の構成

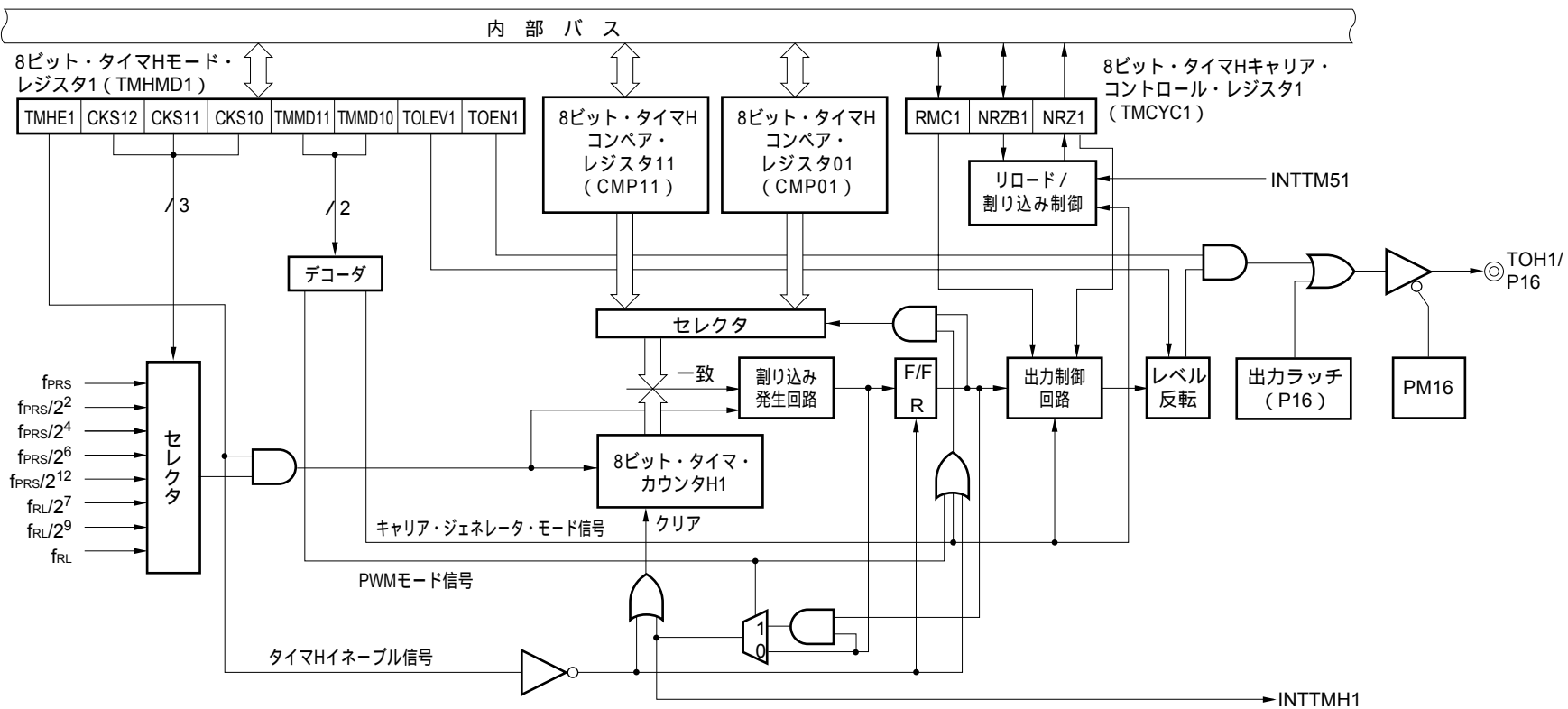
8ビット・タイマH1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタH1
レジスタ	8ビット・タイマHコンペア・レジスタ01 (CMP01) 8ビット・タイマHコンペア・レジスタ11 (CMP11)
タイマ出力	TOH1
制御レジスタ	8ビット・タイマHモード・レジスタ1 (TMHMD1) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図8 - 1にブロック図を示します。

図8-1 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ01 (CMP01)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

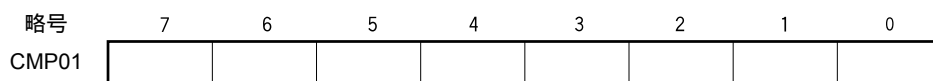
CMP01に設定した値と8ビット・タイマ・カウンタH1のカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMH1) を発生し、TOH1の出力レベルを反転させます。

CMP01は、タイマ停止中 (TMHE1 = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8 - 2 8ビット・タイマHコンペア・レジスタ01 (CMP01) のフォーマット

アドレス : FF1AH (CMP01) リセット時 : 00H R/W



注意 CMP01は、タイマ・カウンタ動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタ11 (CMP11)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP11に設定した値と、8ビット・タイマ・カウンタH1のカウンタ値を常に比較し、その2つの値が一致したときに、TOH1の出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP11に設定した値と、8ビット・タイマ・カウンタH1のカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMH1) を発生します。同じタイミングで、カウンタ値はクリアされます。

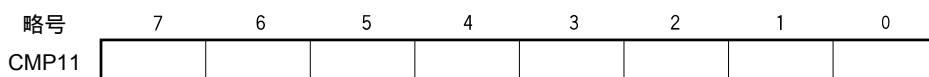
CMP11は、タイマ・カウンタ動作中に値の書き換えが可能です。

タイマ動作中にCMP11の値を書き換える場合、その値はラッチされ、カウンタ値と変更前のCMP11の値が一致するタイミングでCMP11に転送され、CMP11の値が変更されます。カウンタ値とCMP11値の一致するタイミングとCMP11への値の書き込みが競合した場合、CMP11値は変更されません。

リセット信号の発生により、00Hになります。

図8 - 3 8ビット・タイマHコンペア・レジスタ11 (CMP11) のフォーマット

アドレス : FF1BH (CMP11) リセット時 : 00H R/W



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウンタ動作停止 (TMHE1 = 0) 設定後、タイマ・カウンタ動作を開始する (TMHE1 = 1) 場合、必ずCMP11を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。

8.3 8ビット・タイマH1を制御するレジスタ

8ビット・タイマH1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ1 (TMHMD1)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

タイマHのモードを制御するレジスタです。

TMHMD1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウントは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択		
				fPRS = 12 MHz	fPRS = 16 MHz
0	0	0	fPRS	12 MHz	16 MHz
0	0	1	fPRS/2 ²	3 MHz	4 MHz
0	1	0	fPRS/2 ⁴	750 kHz	1 MHz
0	1	1	fPRS/2 ⁶	187.5 kHz	250 kHz
1	0	0	fPRS/2 ¹²	2.93 kHz	3.91 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)	
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)	
1	1	1	fRL	240 kHz (TYP.)	

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。

2. PWM出力モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。
3. キャリア・ジェネレータ・モードを使用する場合, TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。

備考1. fPRS : 周辺ハードウェア・クロック周波数

2. fRL : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図8-5 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス：FF6DH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。P16/TOH1端子をタイマ出力として使用するとき、PM16およびP16の出力ラッチに0を設定してください。PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

図8-6 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマH1の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタH1とコンペア・レジスタ01 (CMP01) が一致した場合、割り込み要求信号 (INTTMH1) が発生し、8ビット・タイマ・カウンタH1を00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ11 (CMP11) は使用しません。CMP11レジスタを設定しても、8ビット・タイマ・カウンタH1とCMP11レジスタの一致検出をしないため、タイマ出力に影響しません。

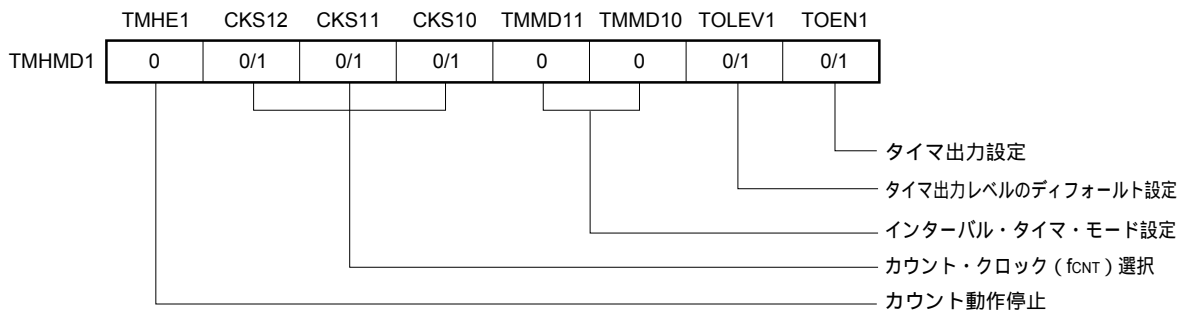
また、タイマHモード・レジスタ1 (TMHMD1) のビット0 (TOEN1) に1を設定することにより、TOH1より任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

設定方法

各レジスタの設定を行います。

図8-7 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHE1 = 1によりカウント動作を開始します。

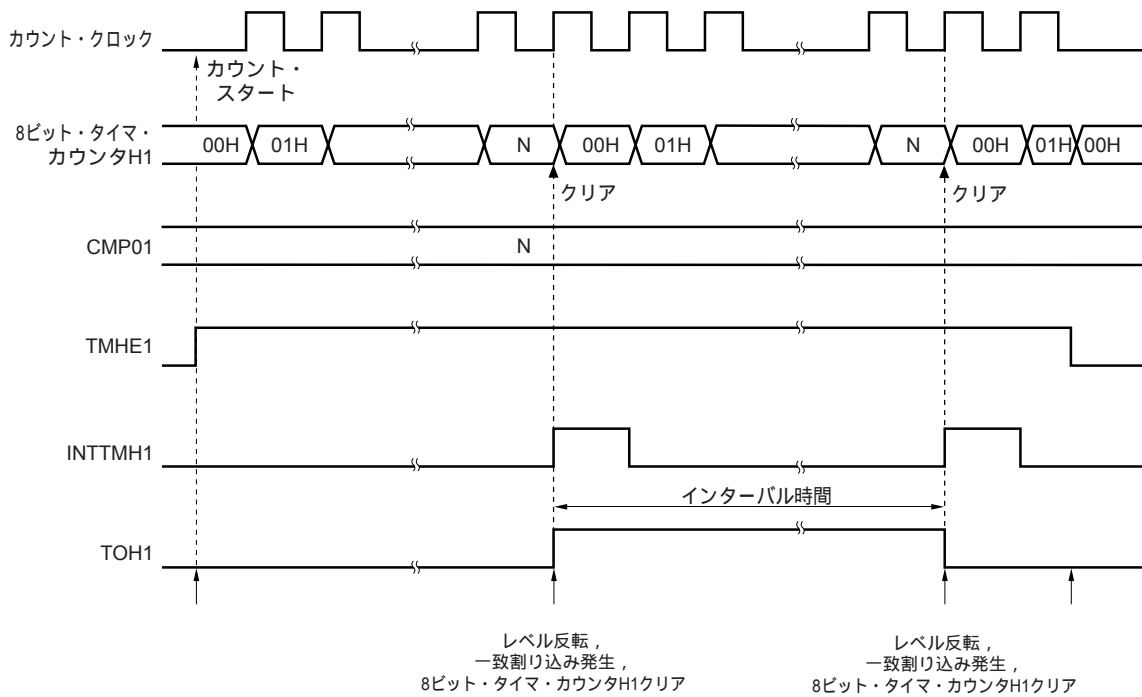
8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1は00Hにクリアされます。

以後、同一間隔でINTTMH1信号が発生します。カウント動作を停止するときは、TMHE1 = 0にします。

- 備考1. 出力端子の設定については8.3(3) **ポート・モード・レジスタ1 (PM1)** を参照してください。
 2. INTTMH1信号の割り込み許可については、**第13章 割り込み機能**を参照してください。

図8-8 インターバル・タイマ/方形波出力動作のタイミング(1/2)

(a) 基本動作



TMHE1ビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

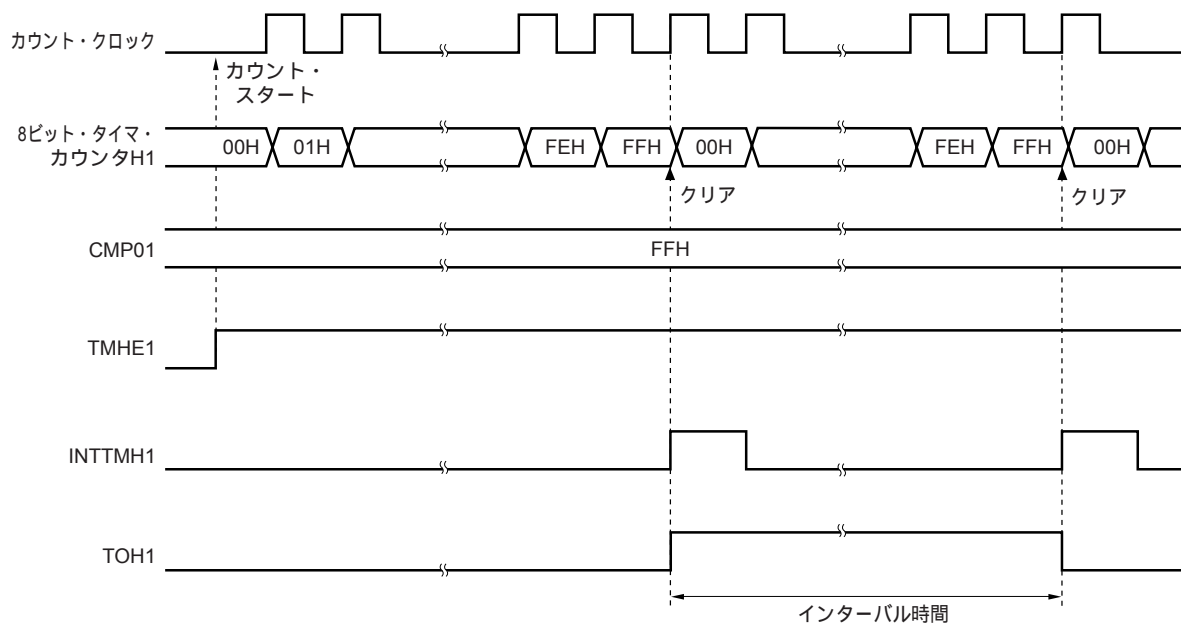
8ビット・タイマ・カウンタH1の値とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1の値をクリアし、TOH1出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMH1信号を出力します。

タイマH動作中にTMHE1ビットを0にすると、INTTMH1信号およびTOH1出力はデフォルト状態になります。TMHE1ビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

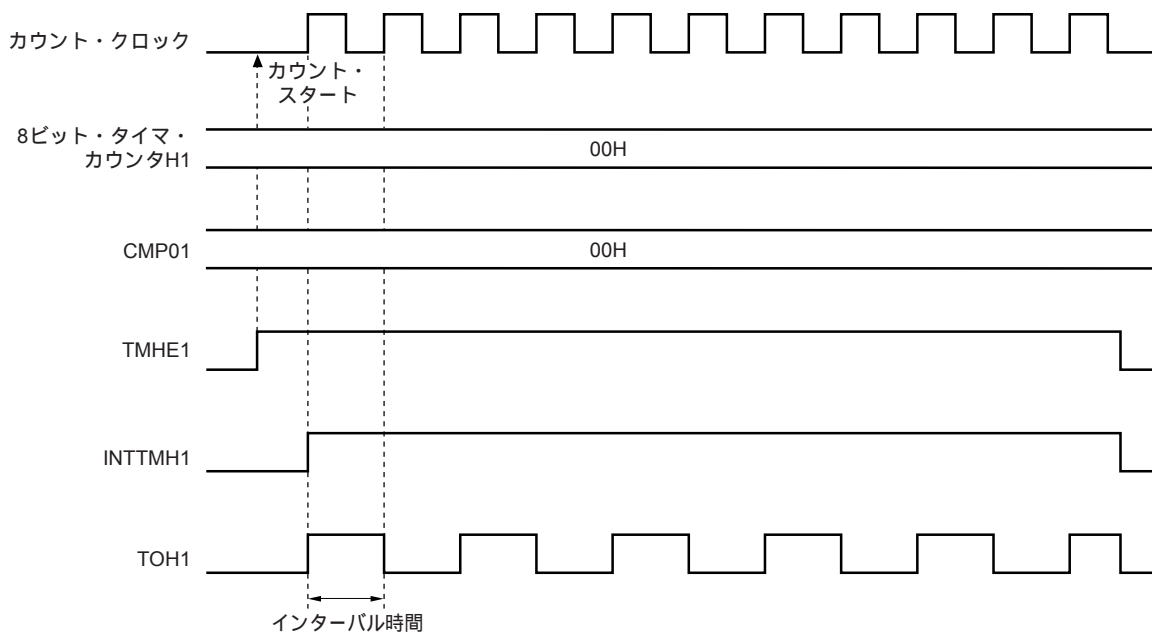
備考 01H N FEH

図8-8 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP01 = FFH時の動作



(c) CMP01 = 00H時の動作



8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ01 (CMP01) はタイマ出力 (TOH1) の周期を制御します。タイマ動作中のCMP01レジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ11 (CMP11) はタイマ出力 (TOH1) のデューティを制御するレジスタです。タイマ動作中のCMP11レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

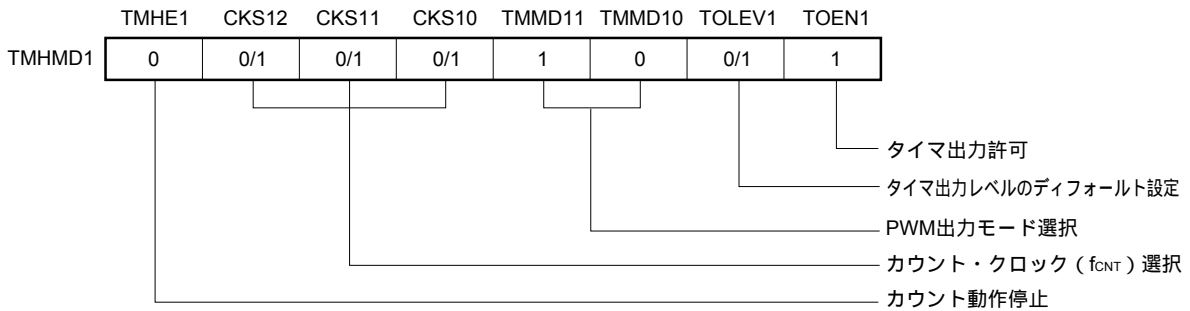
タイマ・カウント・スタート後、8ビット・タイマ・カウンタH1とCMP01レジスタが一致するとTOH1出力のレベルは反転し、8ビット・タイマ・カウンタH1は0にクリアされます。8ビット・タイマ・カウンタH1とCMP11レジスタが一致するとTOH1出力のレベルは反転します。

設定方法

各レジスタの設定を行います。

図8-9 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP11レジスタの設定

- ・コンペア値 (M) : デューティの設定

備考 00H CMP11 (M) < CMP01 (N) FFH

TMHE1 = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1はクリアされ、割り込み要求信号（INTTMH1）が発生し、TOH1出力が反転します。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタへ切り替えます。

8ビット・タイマ・カウンタH1とCMP11レジスタが一致すると、TOH1出力が反転し、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタへ切り替えます。このとき8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

以上とを繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタを(M)、カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\cdot \text{PWMパルス出力周期} = (N + 1) / f_{CNT}$$

$$\cdot \text{デューティ} = (M + 1) / (N + 1)$$

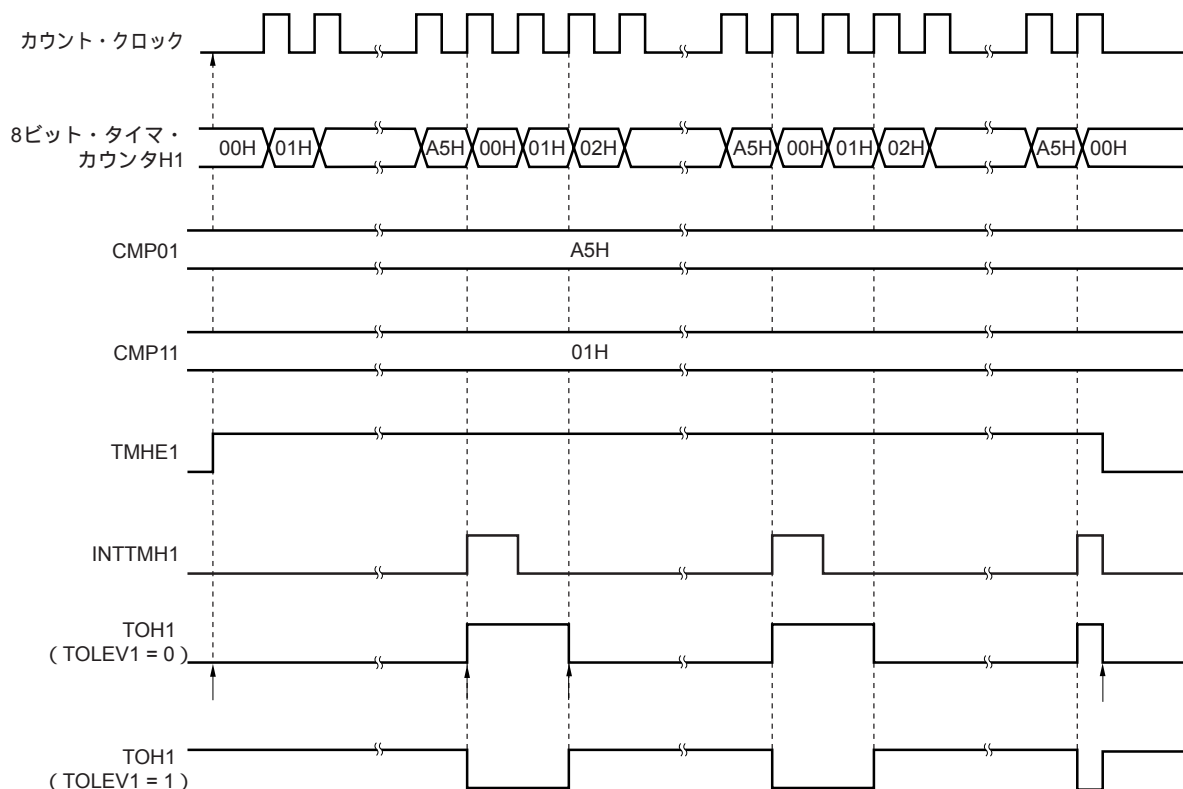
- 注意1.** タイマ・カウント動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分以上かかります。
2. タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。
3. CMP11レジスタの設定値（M）、CMP01レジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP11 (M)} < \text{CMP01 (N)} \leq FFH$$

- 備考1.** 出力端子の設定については8.3(3) **ポート・モード・レジスタ1 (PM1)**を参照してください。
2. INTTMH1信号の割り込み許可については、**第13章 割り込み機能**を参照してください。

図8 - 10 PWM出力モード動作のタイミング (1/4)

(a) 基本動作



TMHE1 = 1により，カウント動作許可状態になります。カウント・クロックを1クロック分マスクし，8ビット・タイマ・カウンタH1をスタートさせ，カウント・アップします。そのときTOH1出力はデフォルトを保持します。

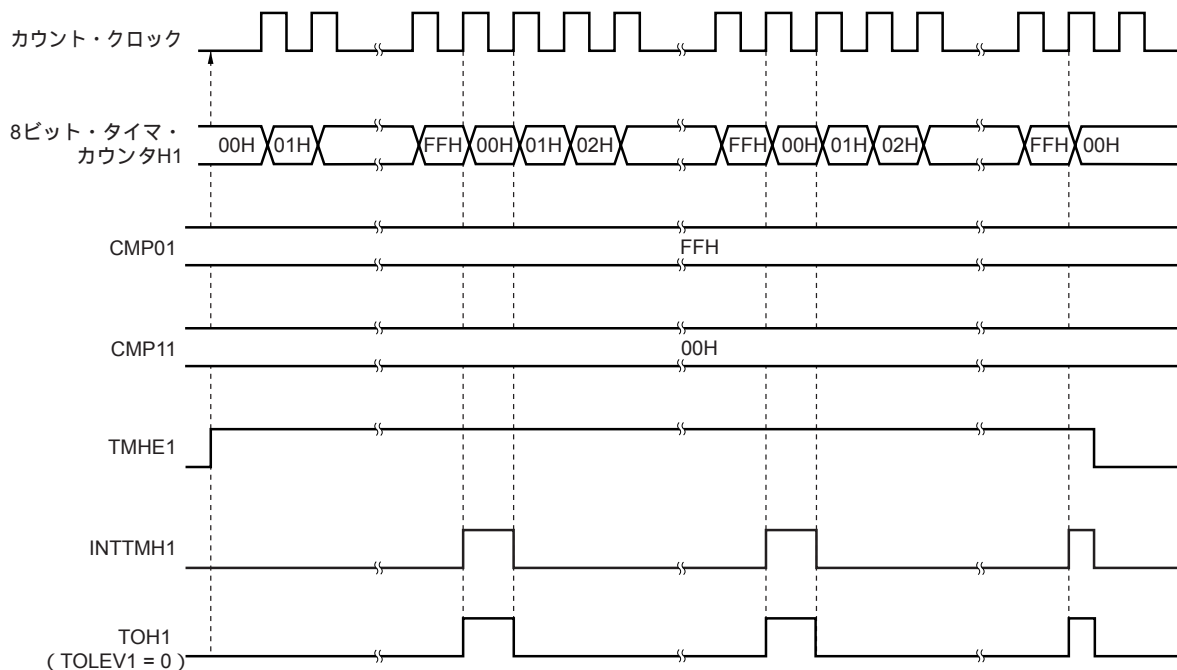
8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致したときに，TOH1出力のレベルを反転し，8ビット・タイマ・カウンタH1をクリアし，INTTMH1信号を出力します。

8ビット・タイマ・カウンタH1の値がCMP11レジスタの値と一致したときに，TOH1出力が反転します。そのとき8ビット・カウンタの値はクリアされず，INTTMH1信号は出力しません。

タイマH1動作中にTMHE1ビットを0にすることで，INTTMH1信号およびTOH1出力がデフォルトになります。

図8 - 10 PWM出力モード動作のタイミング (2/4)

(b) CMP01 = FFH, CMP11 = 00H時の動作



(c) CMP01 = FFH, CMP11 = FEH時の動作

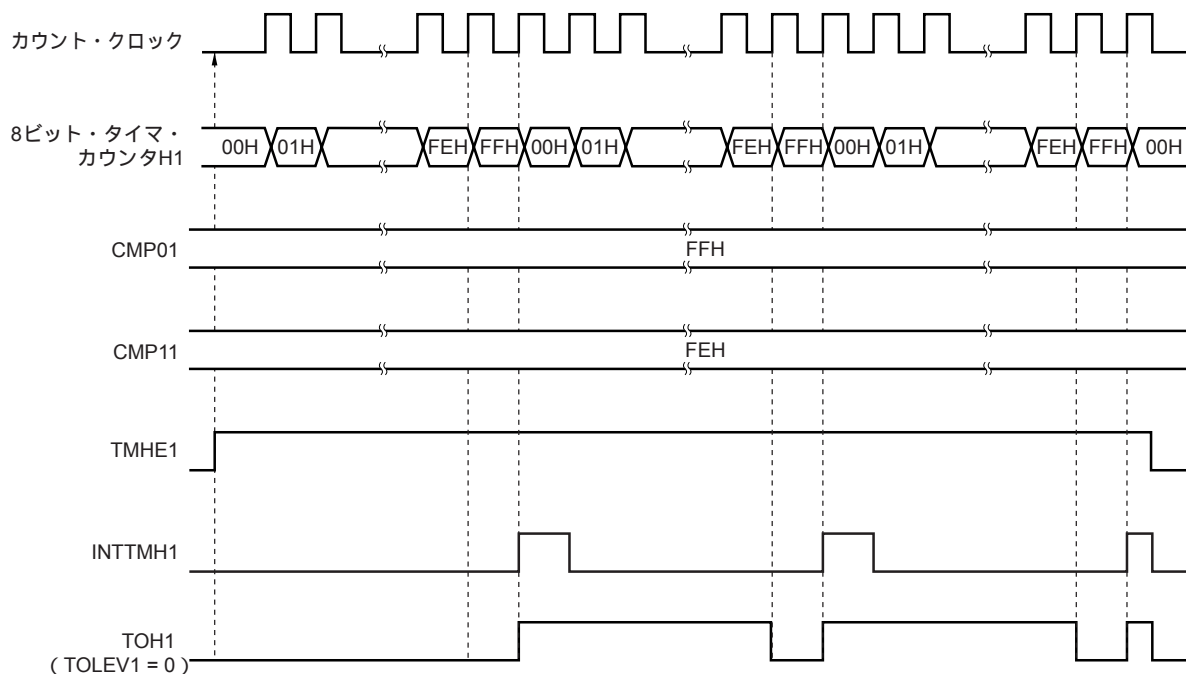
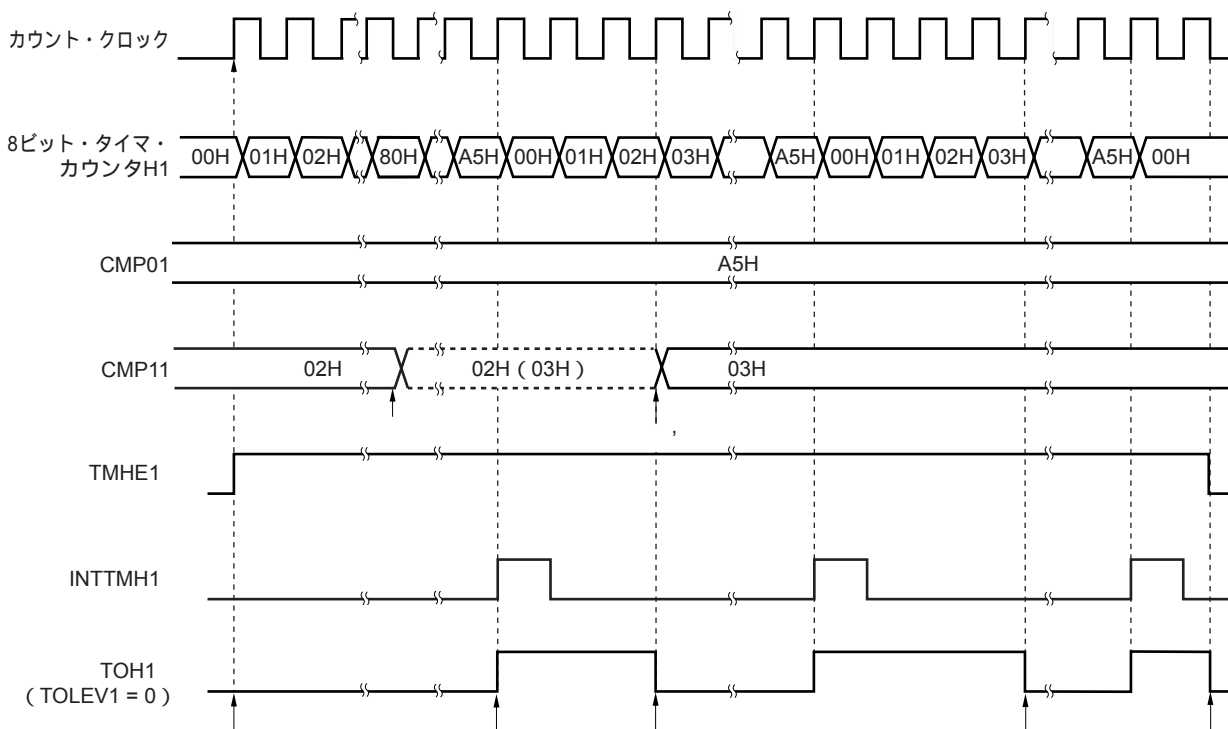


図8 - 10 PWM出力モード動作のタイミング (4/4)

(e) CMP11変更による動作 (CMP11 = 01H 03H, CMP01 = A5H)



TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOH1出力はデフォルト (TOLEV1 = 0設定時) を保持します。

タイマ・カウンタ動作中にCMP11レジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致すると、8ビット・タイマ・カウンタH1はクリアされ、TOH1出力のレベルが反転し、INTTMH1信号が発生します。

CMP11レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH1とCMP11レジスタの変更前の値が一致すると、CMP11レジスタに転送されCMP11レジスタの値が変更されます ()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1の値が変更後のCMP11レジスタの値と一致すると、TOH1出力の出力レベルを反転します。8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。

タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がデフォルトになります。

8.4.3 キャリア・ジェネレータとしての動作

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01 (CMP01) はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11 (CMP11) はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

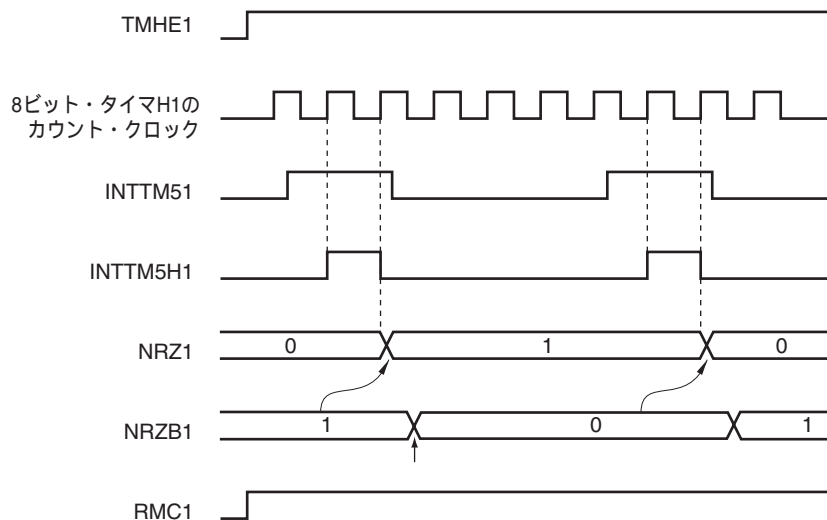
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号 (INTTM51) と8ビット・タイマHキャリア・コントロール・レジスタ (TMCYC1) のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 11 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

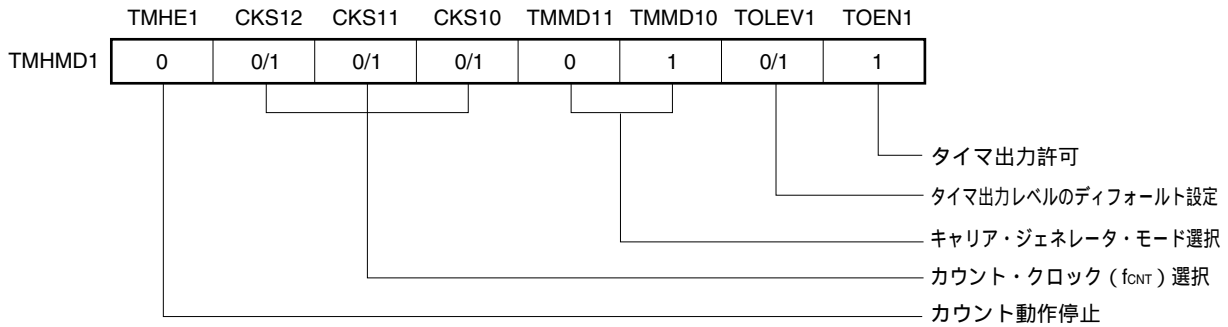
- 注意1** .NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2** .8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

設定方法

各レジスタの設定を行います。

図8 - 12 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、キャリア・クロックがTOH1端子より出力されます。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

注意1. タイマ・カウンタ動作停止(TMHE1 = 0)設定後、タイマ・カウンタ動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。

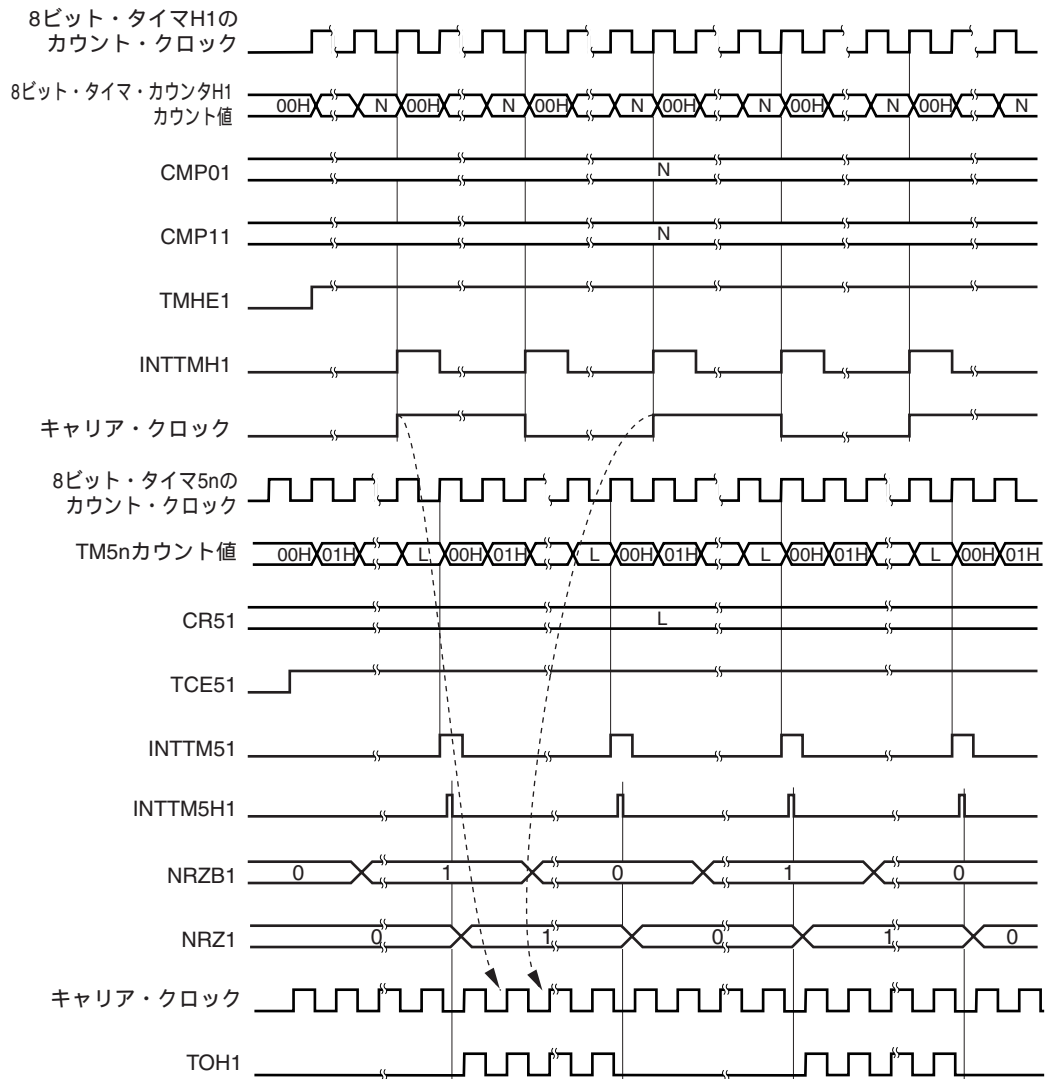
2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ1(PM1)を参照してください。

2. INTTMH1信号の割り込み許可については、第13章 割り込み機能を参照してください。

図8-13 キャリア・ジェネレータ・モード動作のタイミング (1/3)

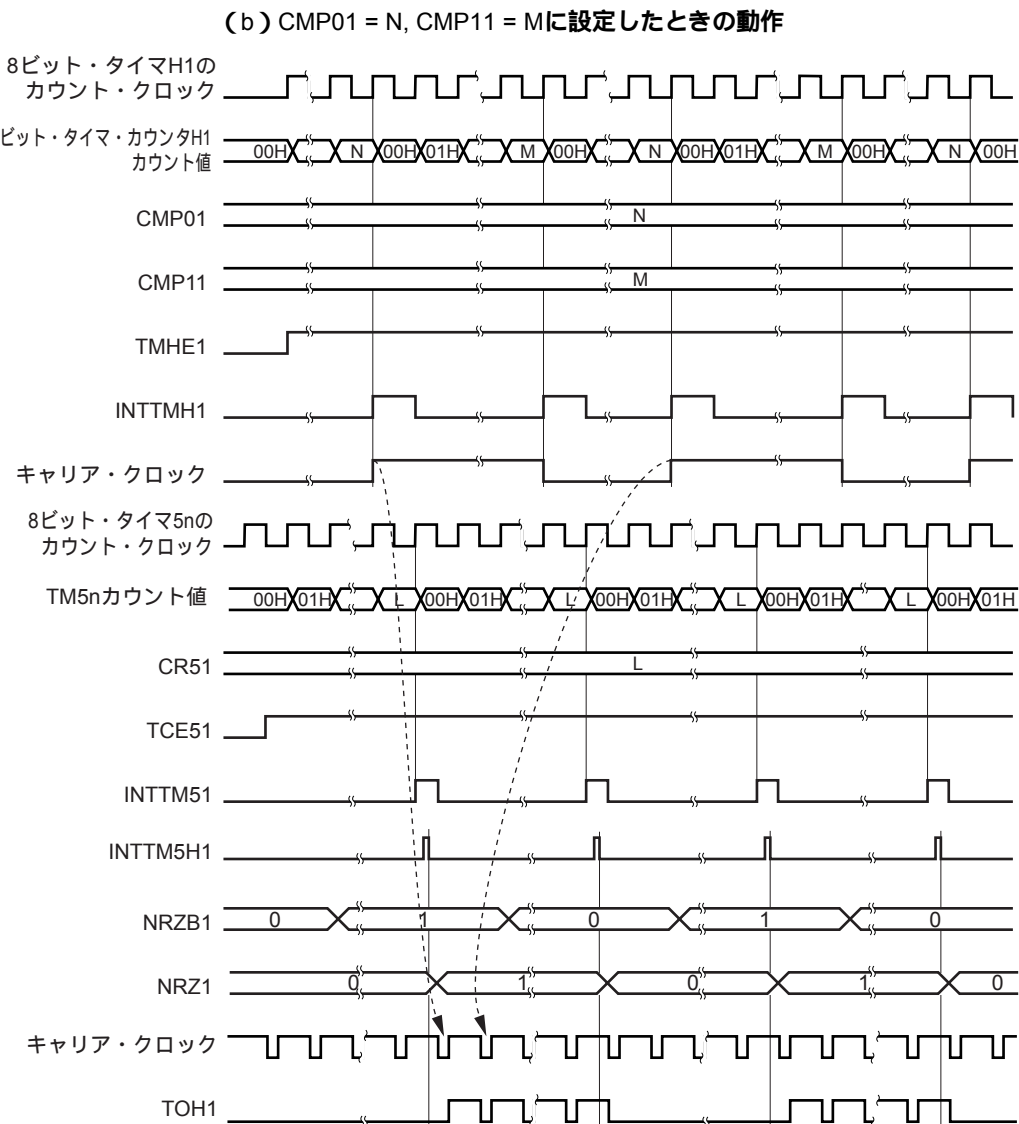
(a) CMP01 = N, CMP11 = Nに設定したときの動作



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
 TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。
 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。
 INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。
 INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により，TOH1出力はロウ・レベルになります。

図8 - 13 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき，8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると，8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに，最初のINTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに，INTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

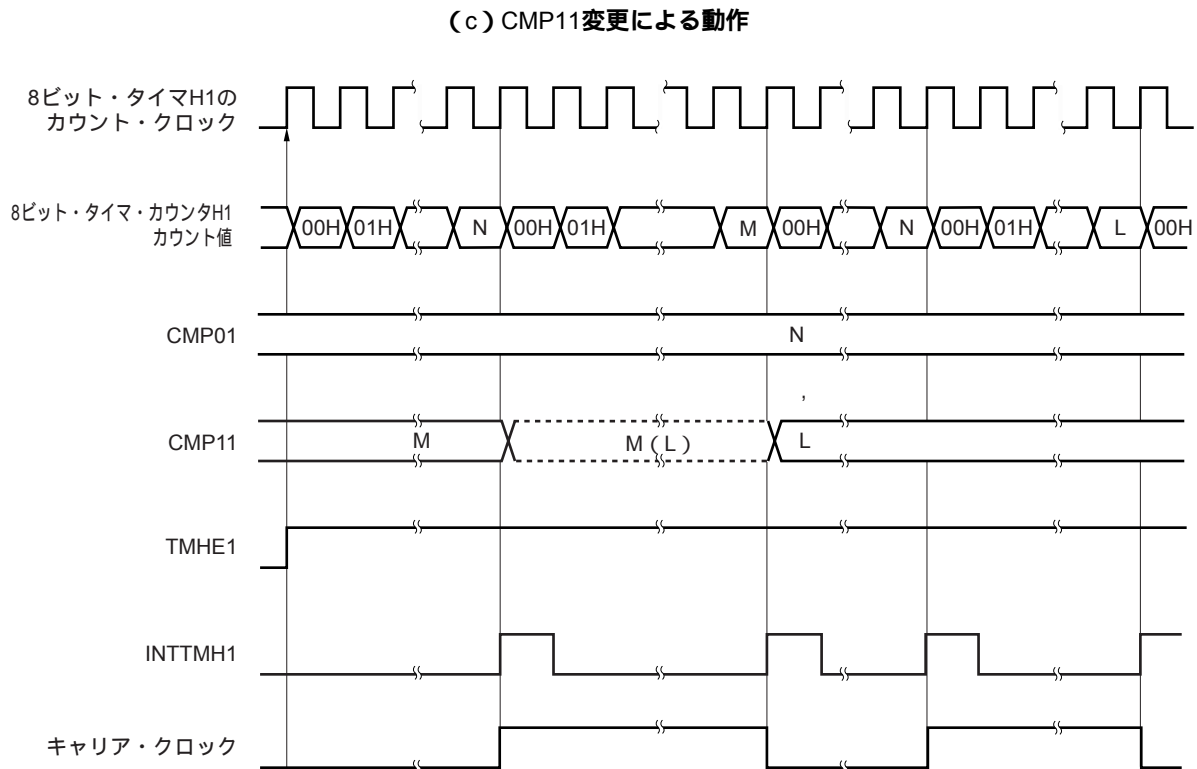
とを繰り返し，デューティ固定（50 %以外）のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力されます。

NRZ1 = 1により，最初のキャリア・クロックの立ち上がりから，キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

図8-13 キャリア・ジェネレータ・モード動作のタイミング (3/3)



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウント・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます（'）。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域をフェッチした場合 (CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域 (ただしFB00H-FFFFHは除く) にアクセスした場合 (CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第15章 **リセット機能**を参照してください。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

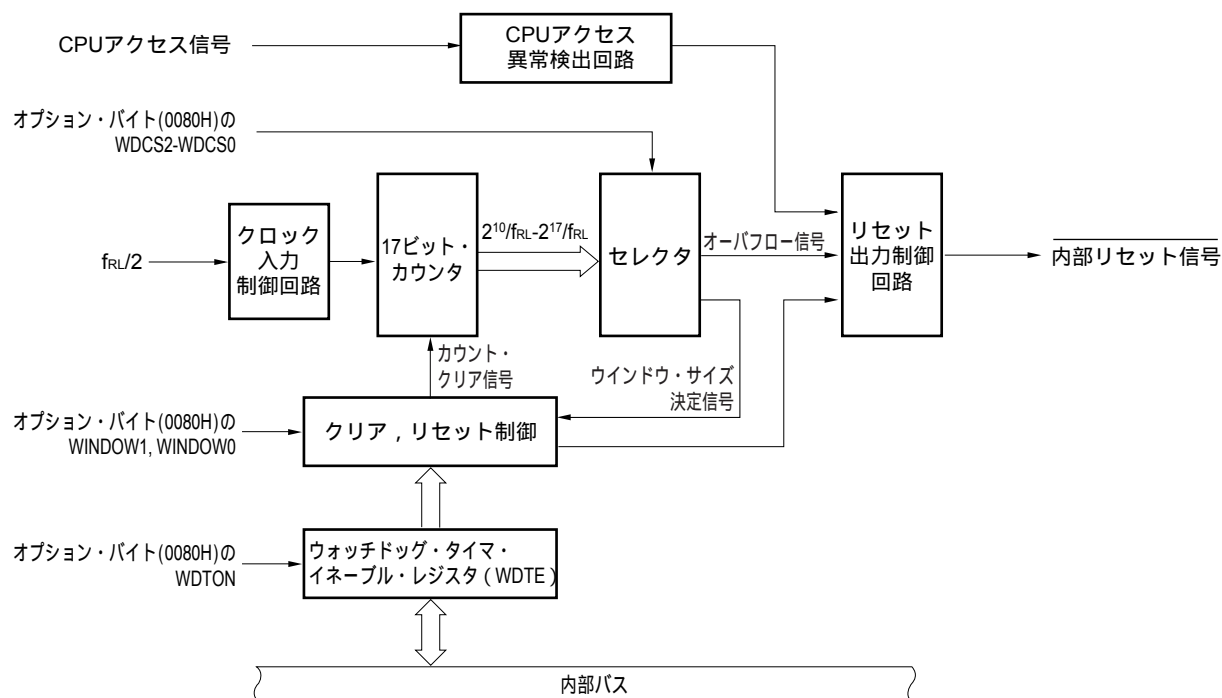
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表9-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第18章 **オプション・バイト**を参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF99H リセット時：9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第18章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ/不正アクセス検出の動作制御
0	カウンタ動作禁止（リセット解除後、カウンタ停止）、不正アクセス検出動作禁止
1	カウンタ動作許可（リセット解除後、カウンタ開始）、不正アクセス検出動作許可

・オプション・バイト（0080H）のビット3-1（WDSC2-WDSC0）で、オーバフロー時間を設定してください（詳細は、9.4.2および第18章を参照）。

・オプション・バイトのビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、9.4.3および第18章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中以外に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域（ただしFB00H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LIOCP) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LIOCP = 0 (低速内蔵発振クロックはソフトウェアにより停止可能)	LIOCP = 1 (低速内蔵発振クロックは停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	HALTモード設定前の状態を保持
STOPモード時		STOPモード設定前の状態を保持

LIOCP = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウント開始します。

また、LIOCP = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM™エミュレーション時は、ウォッチドッグ・タイマは停止しません。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間を設定してください。
- WDTONに0を設定時は、WDTのカウント動作だけでなく不正アクセス検出機能も停止します。
- WINDOW1, 0 = 1, 1のみ有効です。それ以外は設定禁止です。

9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイトのビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマは停止しません。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間を設定してください。

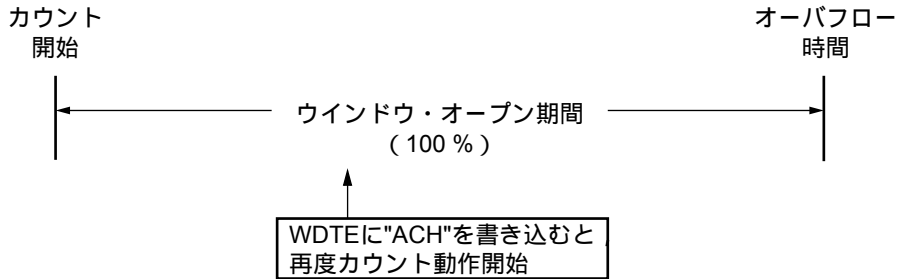
備考1. f_{RL} : 低速内蔵発振クロック周波数

2. () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

μPD78F0730のウォッチドッグ・タイマのウインドウ・オープン期間は、「100%」です。オプション・バイトのビット6, 5 (WINDOW1, WINDOW0) に1, 1 (デフォルト) 以外の値を設定しないでください。

ウインドウ・オープン期間100%のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。



設定するウインドウ・オープン期間を次に示します。

表9 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	100% (デフォルト)

注意 WINDOW1, 0 = 1, 1のみ有効です。それ以外は設定禁止です。

第10章 シリアル・インタフェースUART6

10.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については10.4.1 動作停止モードを参照してください。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については10.4.2 アシンクロナス・シリアル・インタフェース (UART) モード、10.4.3 専用ポー・レート・ジェネレータを参照してください。

- ・最大転送速度：312.5 kbps
- ・2端子構成 TxD6：送信データの出力端子
Rx6：受信データの入力端子
- ・通信データのデータ長は7ビット/8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能（全二重動作）
- ・LSBファースト通信

注意1. シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。

2. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。
3. TXE6とRXE6は、CKSR6で設定した基本クロック（ f_{XCLK6} ）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
4. TXE6 = 1に設定したあと、基本クロック（ f_{XCLK6} ）1クロック以上待ってから、TXB6に送信データを設定してください。

注意5. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。

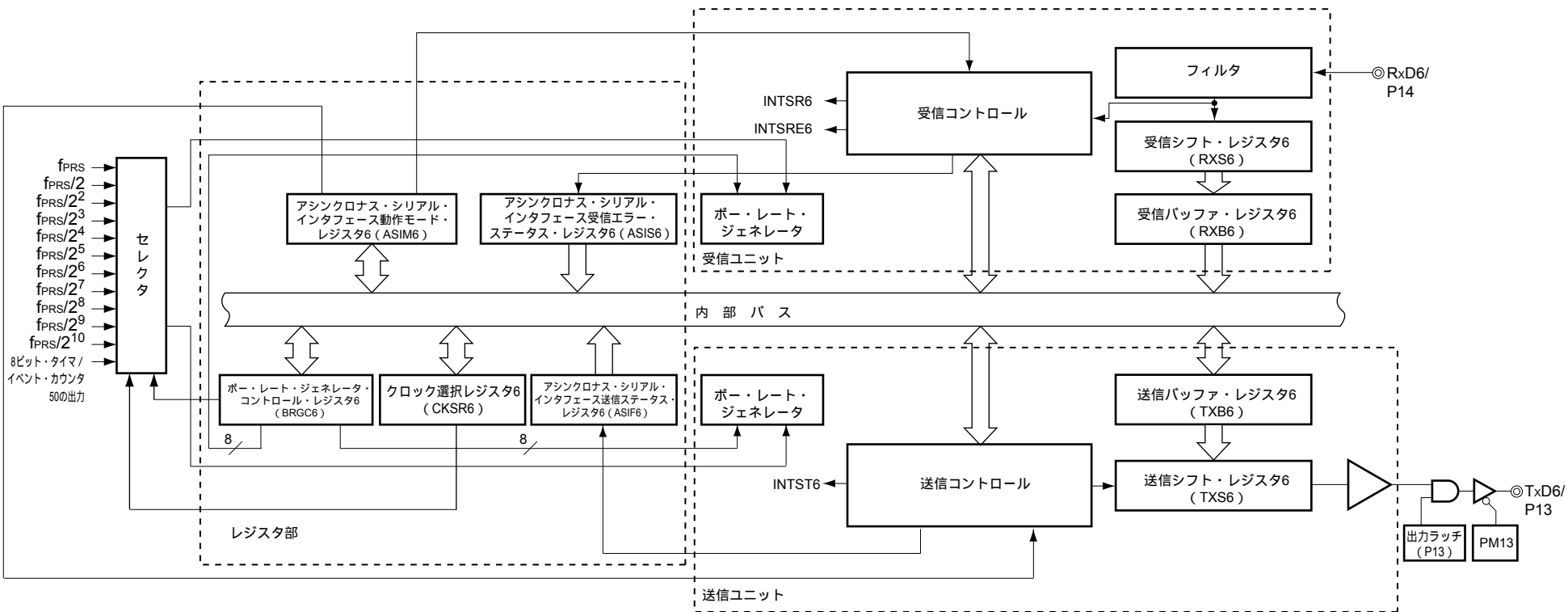
10.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表10-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 送信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図10-1 シリアル・インタフェースUART6のブロック図



(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

・受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。

3. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6はプログラムで直接操作できません。

10.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の7種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図10 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット時 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^{注3}
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

注1 . POWER6 = 0で, TxD6端子の出力はハイ・レベルになり, RxD6端子からの入力もハイ・レベルに固定されます。

2 . リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), 受信バッファ・レジスタ6 (RXB6) です。

3 . 「0パリティとして受信」を設定すると, パリティ判定を行いません。したがって, アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため, エラー割り込みも発生しません。

図10 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSRE6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSRE6は発生しない)

- 注意1. 起動時はPOWER6 = 1にしてから, TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから, POWER6 = 0としてください。
2. 起動時はPOWER6 = 1にしてから, RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから, POWER6 = 0としてください。
 3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると, 受信を開始してしまいます。
 4. TXE6とRXE6は, CKSR6で設定した基本クロック (f_{XCLK6}) により, 同期化されています。再び送信動作または受信動作を許可する場合は, TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると, 送信回路または受信回路を初期化できない場合があります。
 5. TXE6 = 1に設定したあと, 基本クロック (f_{XCLK6}) 1クロック以上待ってから, TXB6に送信データを設定してください。
 6. PS61, PS60, CL6ビットを書き換えるときは, TXE6, RXE6ビットをクリア (0) してから行ってください。
 7. SL6ビットを書き換えるときは, TXE6 = 0にしてから行ってください。また, 受信は常に “ストップ・ビット数 = 1” として動作するので, SL6ビットの設定値の影響は受けません。
 8. ISRM6ビットを書き換えるときは, RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6を読み出したあと, 受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図10 - 3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

注意1 .PE6ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6(ASIM6)のPS61, PS60ビットの設定値により異なります。

2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) に書き込まれず, データは破棄されます。
4. ASIS6からデータを読み出すと, ウェイトが発生します。詳細は, 第25章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0、ビット6 (TXE6) = 0のいずれかにより、00H になります。

図10 - 4 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが “ 0 ” であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが “ 1 ” のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが “ 0 ” であることを確認してから初期化を実行してください。TXSF6フラグが “ 1 ” のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図10 - 5 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択		
				f _{PRS}	f _{PRS} = 12 MHz	f _{PRS} = 16 MHz
0	0	0	0	f _{PRS}	12 MHz	16 MHz
0	0	0	1	f _{PRS} /2	6 MHz	8 MHz
0	0	1	0	f _{PRS} /2 ²	3 MHz	4 MHz
0	0	1	1	f _{PRS} /2 ³	1.5 MHz	2 MHz
0	1	0	0	f _{PRS} /2 ⁴	750 kHz	1 MHz
0	1	0	1	f _{PRS} /2 ⁵	375 kHz	500 kHz
0	1	1	0	f _{PRS} /2 ⁶	187.5 kHz	250 kHz
0	1	1	1	f _{PRS} /2 ⁷	93.75 kHz	125 kHz
1	0	0	0	f _{PRS} /2 ⁸	46.875 kHz	62.5 kHz
1	0	0	1	f _{PRS} /2 ⁹	23.438 kHz	31.25 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	11.719 kHz	15.625 kHz
1	0	1	1	TM50の出力 ^注		
その他				設定禁止		

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック発振周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7

(POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでBRGC6へのリフレッシュ動

作 (同値書き込み) を行うことができます。

図10 - 6 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス : FF57H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	$f_{CLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{CLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{CLK6}/6$
0	0	0	0	0	1	1	1	7	$f_{CLK6}/7$
0	0	0	0	1	0	0	0	8	$f_{CLK6}/8$
0	0	0	0	1	0	0	1	9	$f_{CLK6}/9$
0	0	0	0	1	0	1	0	10	$f_{CLK6}/10$
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{CLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{CLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{CLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{CLK6}/255$

注意 1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. x : 任意

(6) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P13/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を、P13の出力ラッチに1を設定してください。

P14/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM14に1を設定してください。このときP14の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図10 - 7 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

10.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

10.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER6 = 0で、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。
起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P14, TxD6/P13端子を汎用ポートとして使用する場合は、第4章 **ポート機能**を参照してください。

10.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

- CKSR6レジスタを設定 (図10 - 5を参照)
- BRGC6レジスタを設定 (図10 - 6を参照)
- ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図10 - 2を参照)
- ASIM6レジスタのビット7 (POWER6) をセット (1)
- ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能
- ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能
- 送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表10 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM13	P13	PM14	P14	UART6 の動作	端子機能	
								TxD6/P13	RxD6/P14
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P13	P14
1	0	1	x ^注	x ^注	1	x	受信	P13	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	P14
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

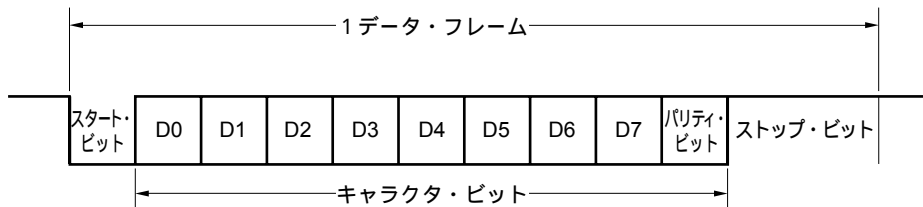
- 備考 x : don't care
- POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7
- TXE6 : ASIM6のビット6
- RXE6 : ASIM6のビット5
- PM1x : ポート・モード・レジスタ
- P1x : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図10 - 8, 10 - 9に示します。

図10 - 8 通常UART送受信データのフォーマット



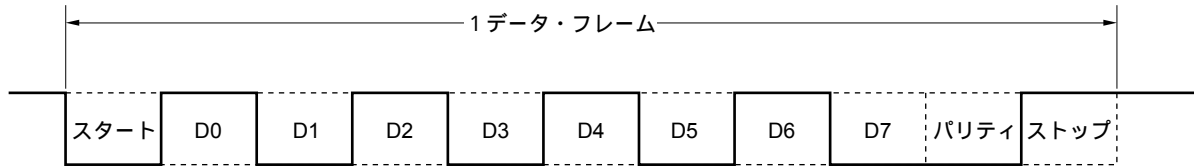
1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット..... 7ビット / 8ビット
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット..... 1ビット / 2ビット

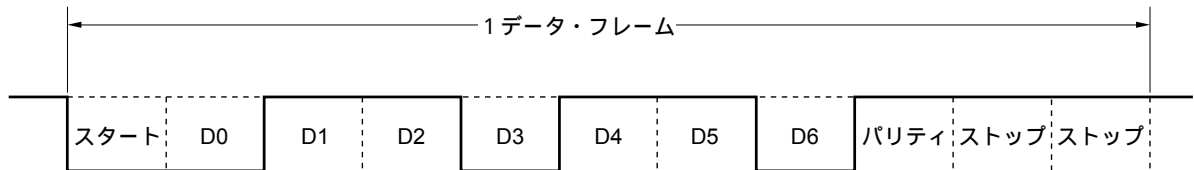
1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

図10 - 9 通常UART送受信データの波形例

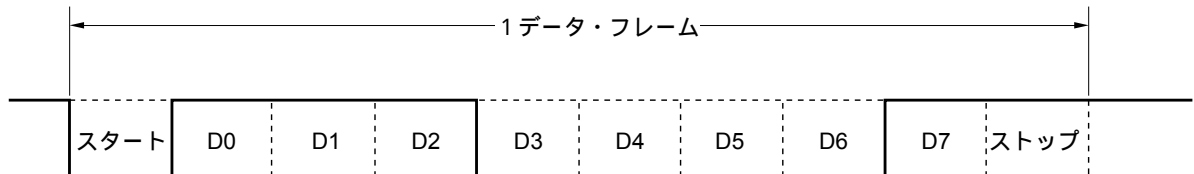
1. データ長 : 8ビット , LSBファースト , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H



2. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



3. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- 送信データ中に、値が“1”のビット数が奇数個 : 1
- 送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

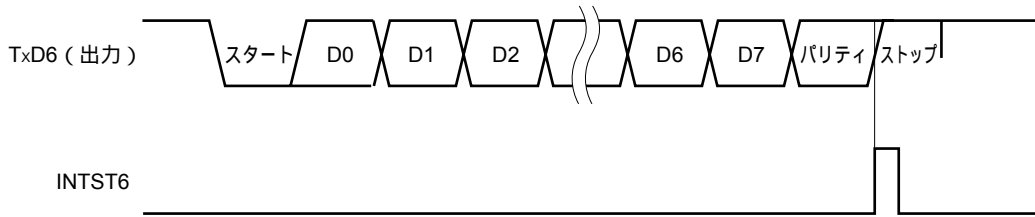
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、TXS6から順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

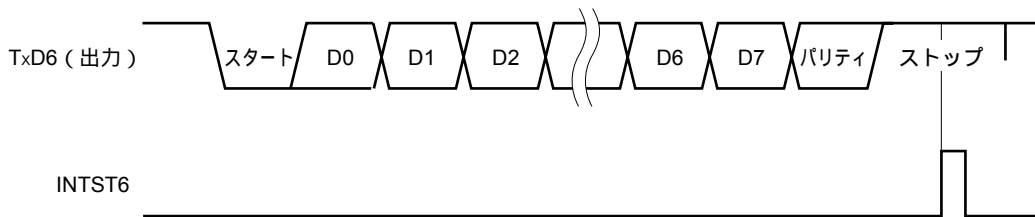
送信完了割り込み要求 (INTST6) のタイミングを図10 - 10に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図10 - 10 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

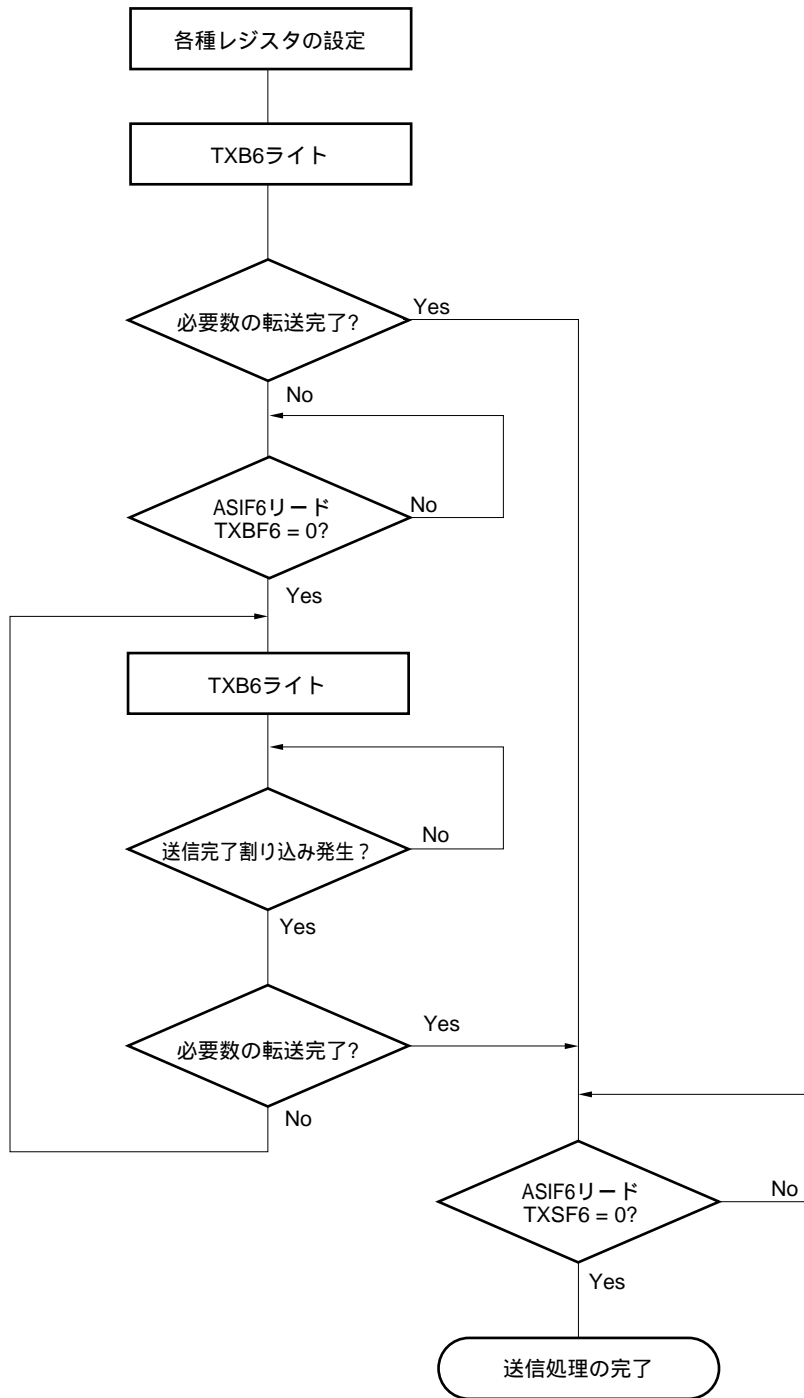
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1．連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2．連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図10 - 11に示します。

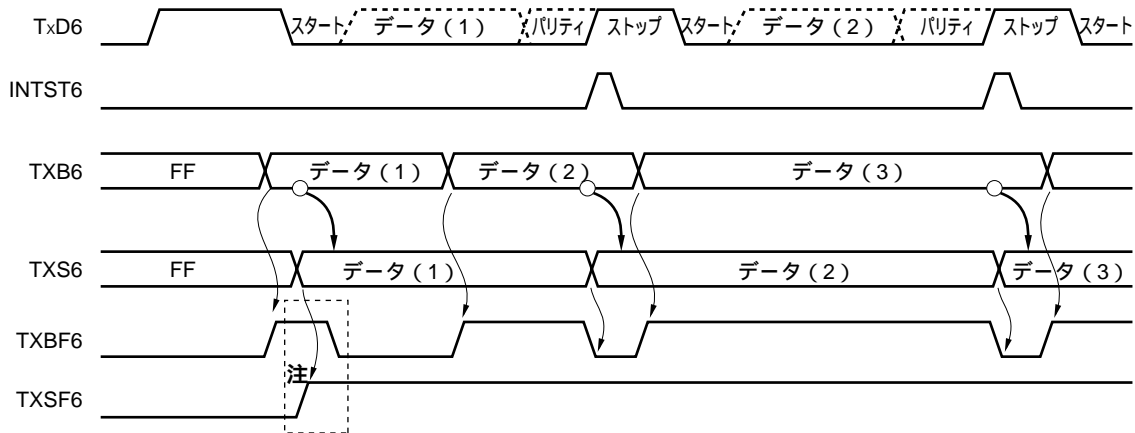
図10 - 11 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図10 - 12に、連続送信を終了する際のタイミングを図10 - 13に示します。

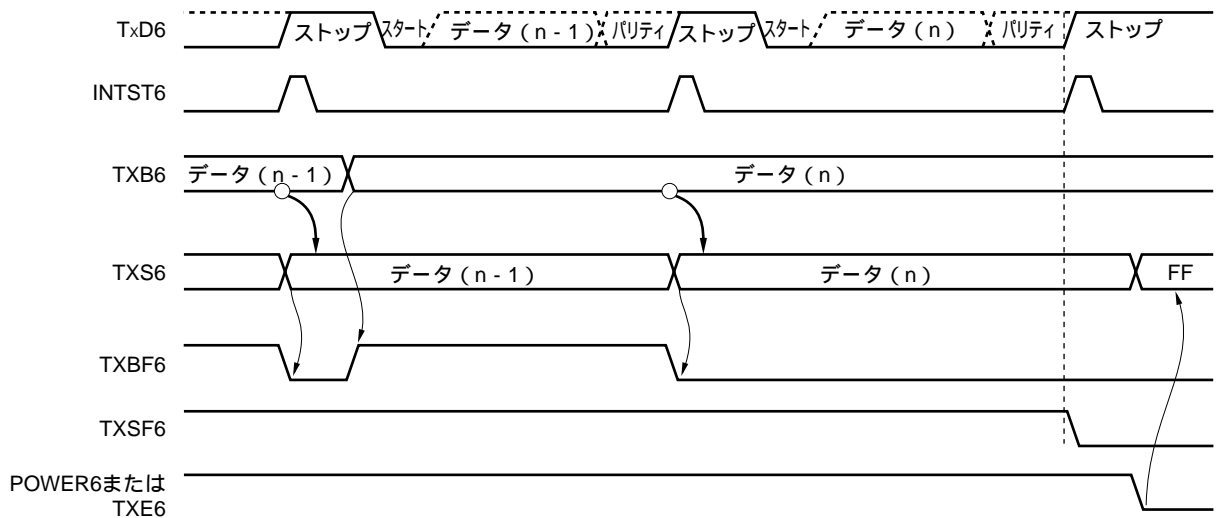
図10 - 12 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図10 - 13 連続送信を終了する際のタイミング



- 備考** TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0
 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
 TXE6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

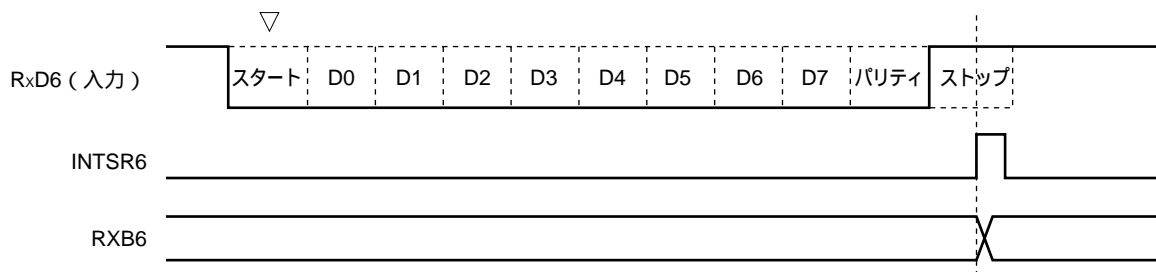
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図10 - 14の印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にエラー割り込み (INTSR6/INTSRE6) を発生します。

図10 - 14 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
- 2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
- 3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み要求 (INTSR6/INTSRE6) を発生します。

受信エラー割り込み処理内 (INTSR6/INTSRE6) で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図10 - 3参照)。

ASIS6の内容は、ASIS6を読み出すことによって、リセット (0) されます。

表10 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバーラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図10 - 15 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

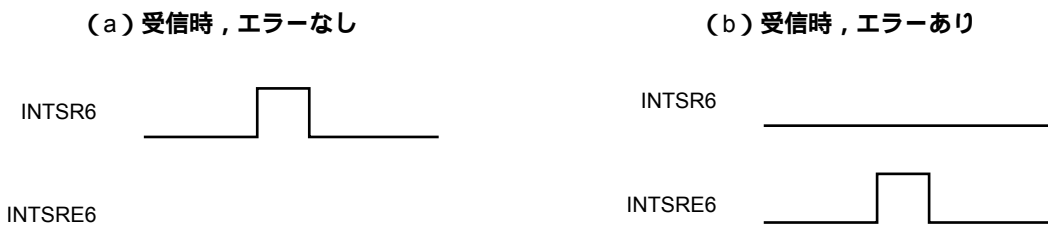
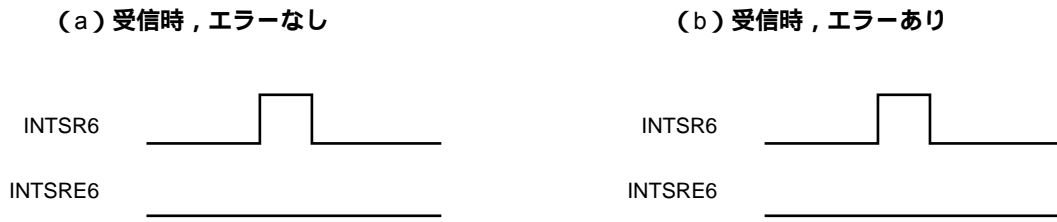


図10 - 15 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



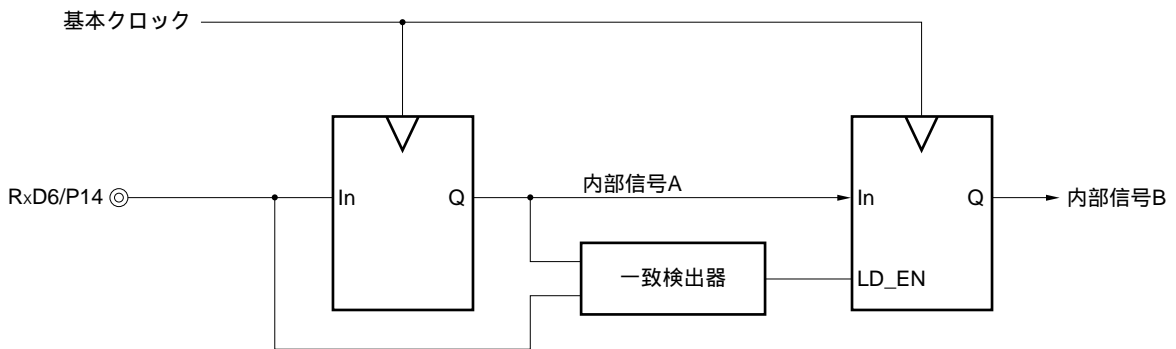
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図10 - 16のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図10 - 16 ノイズ・フィルタ回路



10.4.3 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

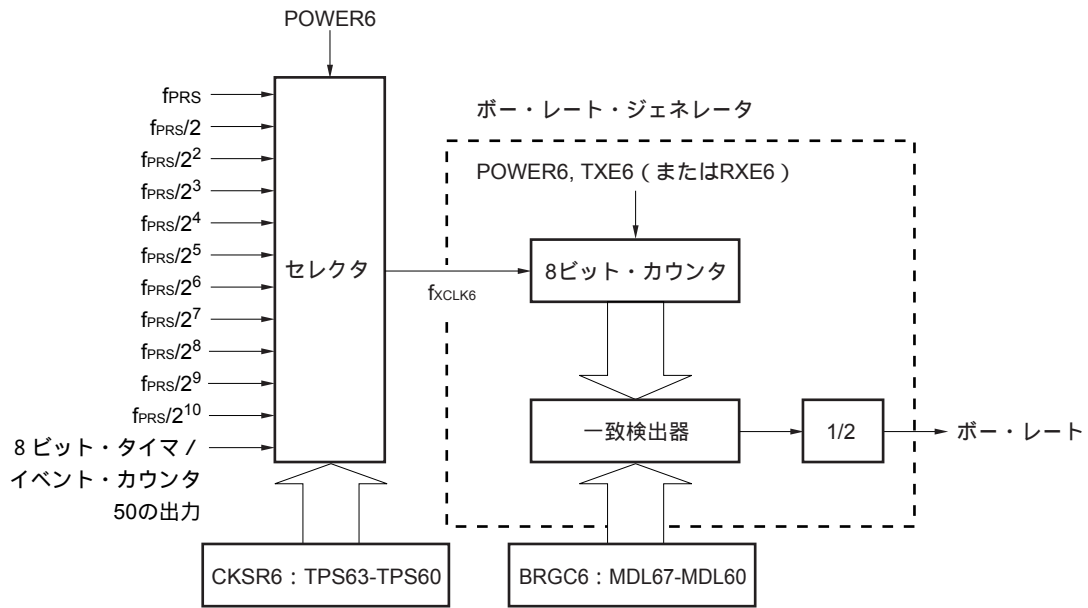
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図10 - 17 ポー・レート・ジェネレータの構成



- 備考** POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7
- TXE6 : ASIM6のビット6
- RXE6 : ASIM6のビット5
- CKSR6 : クロック選択レジスタ6
- BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、シリアル・クロックを生成できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{xCLK6}/4$ to $f_{xCLK6}/255$) を設定できます。

表10 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択		
				f _{PRS} = 12 MHz	f _{PRS} = 16 MHz	
0	0	0	0	f _{PRS}	12 MHz	16 MHz
0	0	0	1	f _{PRS} /2	6 MHz	8 MHz
0	0	1	0	f _{PRS} /2 ²	3 MHz	4 MHz
0	0	1	1	f _{PRS} /2 ³	1.5 MHz	2 MHz
0	1	0	0	f _{PRS} /2 ⁴	750 kHz	1 MHz
0	1	0	1	f _{PRS} /2 ⁵	375 kHz	500 kHz
0	1	1	0	f _{PRS} /2 ⁶	187.5 kHz	250 kHz
0	1	1	1	f _{PRS} /2 ⁷	93.75 kHz	125 kHz
1	0	0	0	f _{PRS} /2 ⁸	46.875 kHz	62.5 kHz
1	0	0	1	f _{PRS} /2 ⁹	23.438 kHz	31.25 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	11.719 kHz	15.625 kHz
1	0	1	1	TM50の出力		
その他				設定禁止		

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [bps]}$$

f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 (k = 4, 5, 6 , ... , 255)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 16 MHz = 16,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 01000101B (k = 69)

目標ボー・レート = 115200 bps

$$\begin{aligned} \text{ボー・レート} &= 16 \text{ M} / (2 \times 69) \\ &= 16000000 / (2 \times 69) = 115942 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (115942 / 115200 - 1) \times 100 \\ &= 0.644 [\%] \end{aligned}$$

(3) ボー・レート設定例

表10-5 ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	f _{PRS} = 12.0 MHz				f _{PRS} = 16.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]
300	9H	39	300.487	0.16	AH	26	300.481	0.16
600	8H	39	600.962	0.16	AH	13	600.962	0.16
1200	7H	39	1201.92	0.16	9H	13	1201.92	0.16
2400	6H	39	2403.85	0.16	8H	13	2403.85	0.16
4800	5H	39	4807.69	0.16	7H	13	4807.69	0.16
9600	4H	39	9615.38	0.16	6H	13	9615.38	0.16
19200	3H	39	19230.8	0.16	5H	13	19230.8	0.16
24000	1H	125	24000	0.00	1H	167	23952.1	- 0.20
31250	5H	6	31250	0.00	5H	8	31250	0.00
38400	2H	39	38461.5	0.16	4H	13	38461.5	0.16
48000	0H	125	48000	0.00	0H	167	47904.2	- 0.20
76800	1H	39	76923.1	0.16	3H	13	76923.1	0.16
115200	2H	13	115385	0.16	0H	69	115942	0.64
153600	0H	39	153846	0.16	2H	13	153846	0.16
312500	0H	19	315789	1.05	1H	13	307692	- 1.54

- 備考** TPS63-TPS60 : クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f_{CLK6}) 設定)
- k : ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)
- f_{PRS} : 周辺ハードウェア・クロック発振周波数
- ERR : ポー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図10 - 18 受信時の許容ポー・レート範囲

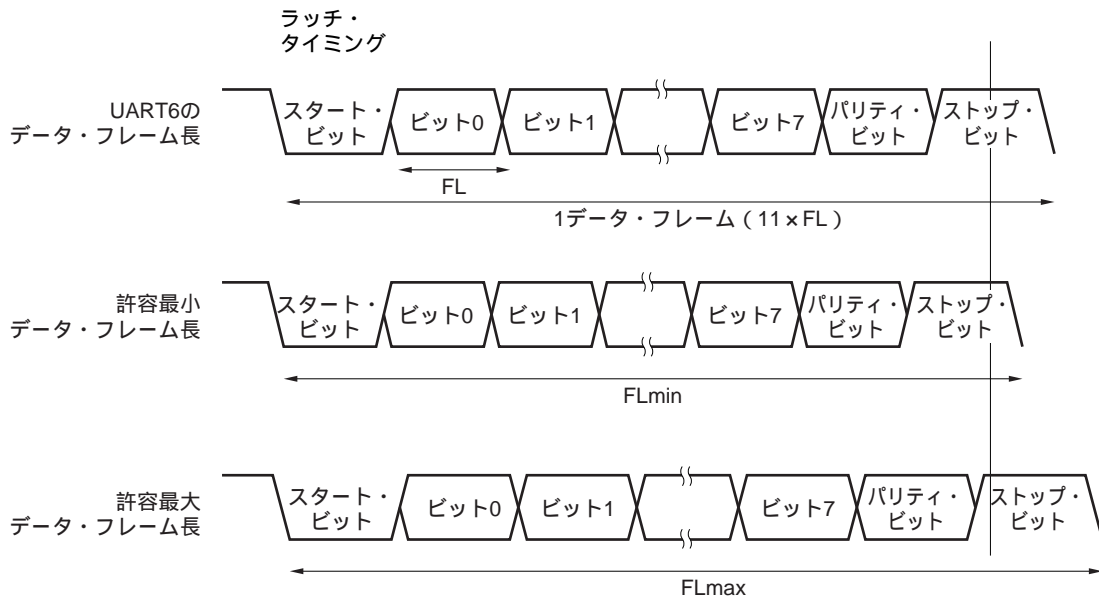


図10 - 18に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UART6のポー・レート
- k : BRGC6の設定値
- FL : 1ビット・データ長
- ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表10-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

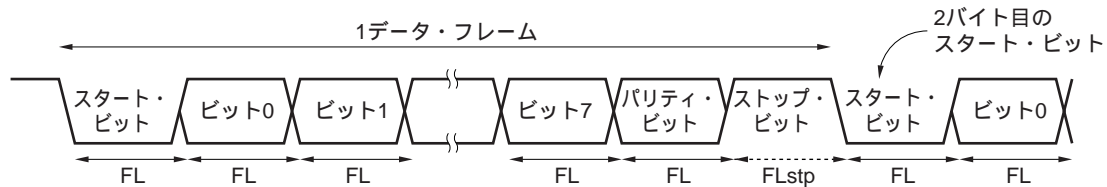
2. k : BRGC6の設定値

10.5 シリアル・インタフェースUART6の注意事項

(1) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図10 - 19 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{XCLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

(2) STOPモード時の動作電流について

UART6は、STOPモード時には動作が停止します。このときアシンクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7 (POWER6) とビット6 (TXE6)，ビット5 (RXE6) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ0L (IF0L) のビット7 (POWER6)，割り込み要求フラグ・レジスタ0H (IF0H) のビット1 (STIF6)，0 (SRIF6) をクリア (0) してから、動作開始してください。

第11章 シリアル・インタフェースCSI10

11.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については11.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK10}$) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については11.4.2 **3線式シリアルI/Oモード**を参照してください。

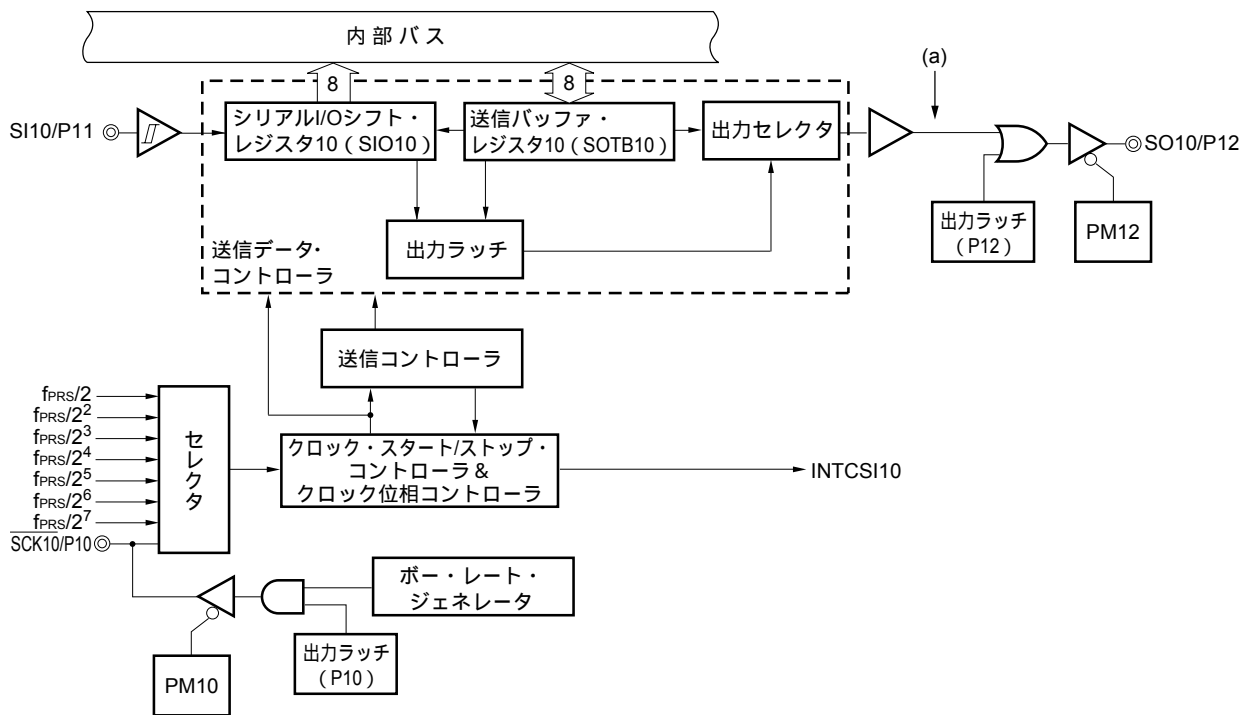
11.2 シリアル・インタフェースCSI10の構成

シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースCSI10の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図11-1 シリアル・インタフェースCSI10のブロック図



備考 (a) : SO10出力

(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

11.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	[7]	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} , 内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1 . ビット0はRead Onlyです。

- 2 . P10/SCK10, P12/SO10を汎用ポートとして使用する場合は, CSIM10を初期状態と同じ設定 (00H) にしてください。
- 3 . リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
- 4 . CSOT10 = 1 (シリアル通信中) のとき, TRMD10を書き換えしないでください。
- 5 . TRMD10が0のとき, SO10出力 (図11 - 1の (a) 参照) はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。
- 6 . CSOT10 = 1 (シリアル通信中) のとき, DIR10を書き換えしないでください。

注意 ビット1-3, 5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。
 CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図11-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定			タイプ
0	0	SCK10		1	
0	1	SCK10		2	
1	0	SCK10		3	
1	1	SCK10		4	

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択		モード	
			f _{PRS} = 12 MHz	f _{PRS} = 16 MHz		
0	0	0	f _{PRS} /2	6 MHz	8 MHz	マスタ・ モード
0	0	1	f _{PRS} /2 ²	3 MHz	4 MHz	
0	1	0	f _{PRS} /2 ³	1.5 MHz	2 MHz	
0	1	1	f _{PRS} /2 ⁴	750 kHz	1 MHz	
1	0	0	f _{PRS} /2 ⁵	375 kHz	500 kHz	
1	0	1	f _{PRS} /2 ⁶	187.5 kHz	250 kHz	
1	1	0	f _{PRS} /2 ⁷	93.75 kHz	125 kHz	
1	1	1	SCK10への外部クロック入力			スレーブ・ モード

- 注意1. CSIE10 = 1(動作許可)のとき，CSIC10への書き込みを行わないでください。
 2. P10/SCK10, P12/SO10を汎用ポートとして使用する場合は，CSIC10を初期状態と同じ状態(00H)にしてください。
 3. リセット後のデータ・クロックの位相タイプは，タイプ1になります。

備考 f_{PRS}：周辺ハードウェア・クロック発振周波数

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P10/SCK10をシリアル・インタフェースのクロック出力として使用するとき、PM10に0、P10の出力ラッチに1を設定してください。

P12/SO10をシリアル・インタフェースのデータ出力として使用するとき、PM12およびP12の出力ラッチに0を設定してください。

P10/SCK10をシリアル・インタフェースのクロック入力、P11/SI10をシリアル・インタフェースのデータ入力として使用するとき、PM10、PM11に1を設定してください。このとき、P10、P11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11 - 4 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

11.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/SCK10, P11/SI10, P12/SO10を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10)で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10)に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

- ・シリアル動作モード・レジスタ10 (CSIM10)

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} ，内部回路を非同期リセットする ^{注2}

注1．P10/SCK10, P12/SO10を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定 (00H) にしてください。

2．リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

11.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK10}}$) , シリアル出力 (SO10) , シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図11 - 3を参照)

CSIM10レジスタのビット0, 4, 6 (CSOT10, DIR10, TRMD10) を設定 (図11 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表11-2 レジスタの設定と端子の関係

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									SI10/P11	SO10/P12	SCK10/ P10
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	P11	P12	P10 ^{注2}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注3}	SI10	P12	SCK10 (入力) ^{注3}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注3}	P11	SO10	SCK10 (入力) ^{注3}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注3}	SI10	SO10	SCK10 (入力) ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	P12	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	P11	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P10/SCK10をポート機能として使用する場合、CKP10を0に設定してください。

3. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

- 備考
- x : don't care
 - CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
 - TRMD10 : CSIM10のビット6
 - CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
 - CKS102, CKS101, CKS100 : CSIC10のビット2-0
 - PM1x : ポート・モード・レジスタ
 - P1x : ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図11 - 5 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

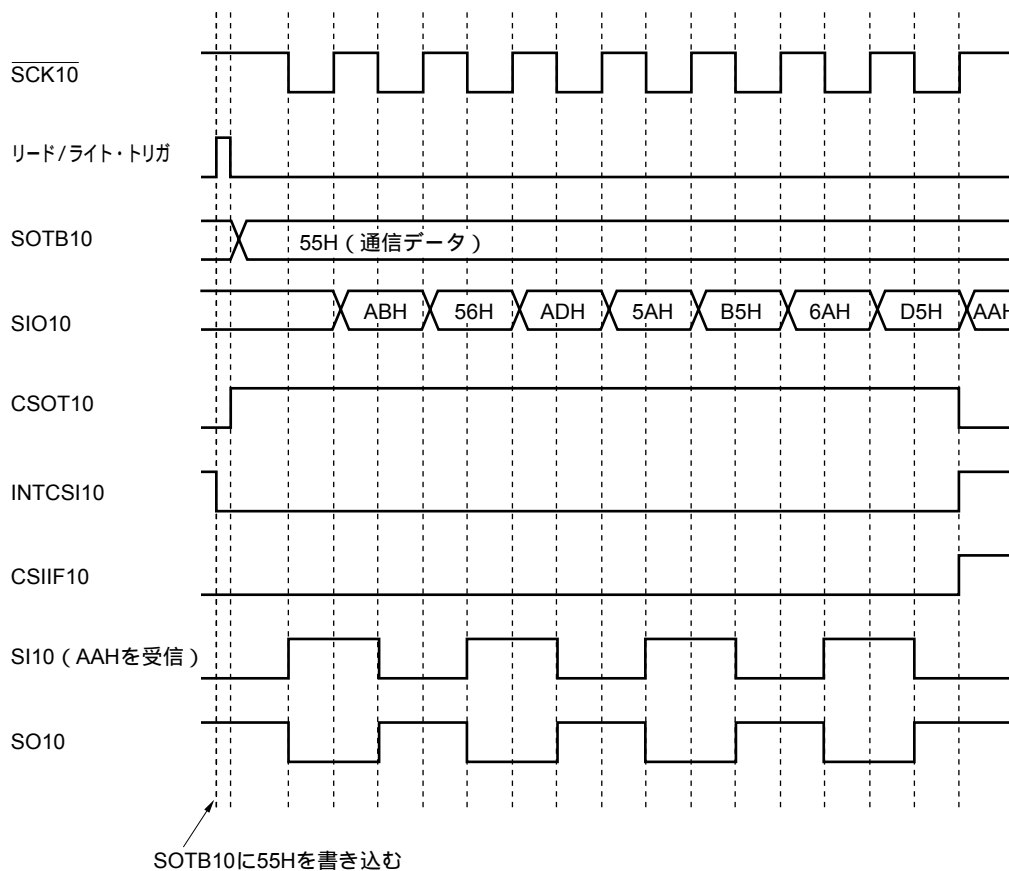


図11 - 5 3線式シリアルI/Oモードのタイミング (2/2)

(b) 送受信タイミング (タイプ2 ; TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

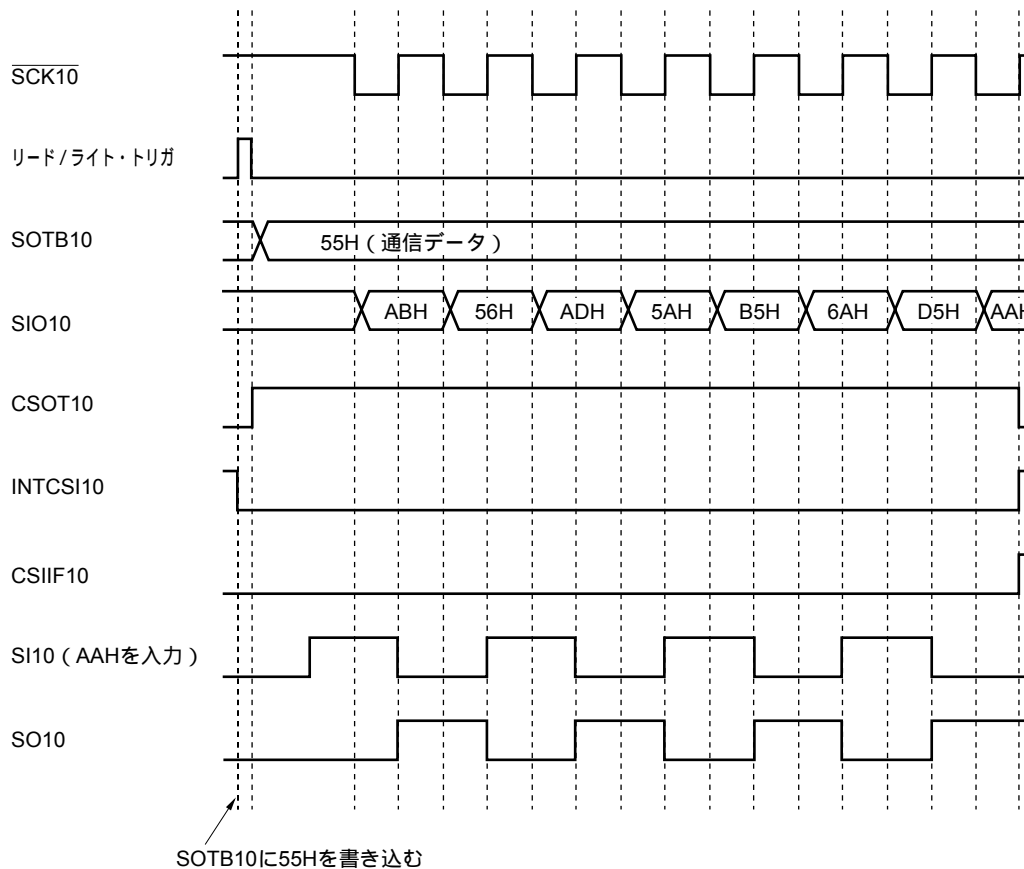
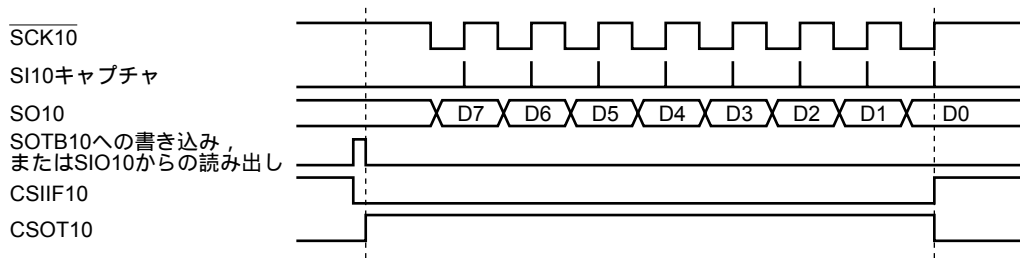
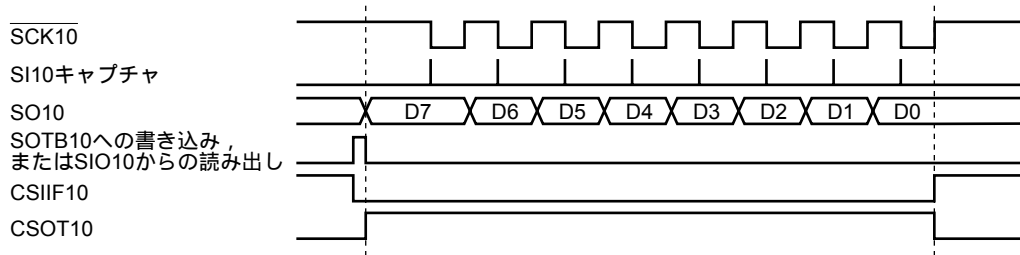


図11-6 クロック/データ位相のタイミング

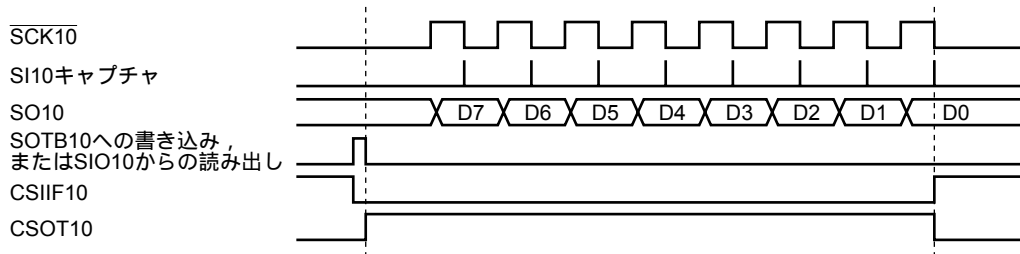
(a) タイプ1 ; CKP10 = 0, DAP10 = 0, DIR10 = 0



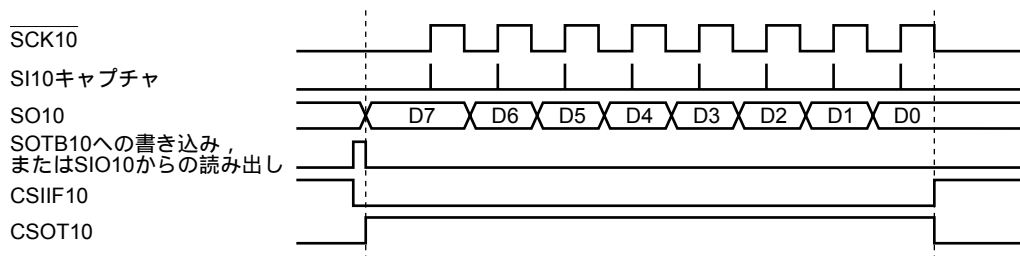
(b) タイプ2 ; CKP10 = 0, DAP10 = 1, DIR10 = 0



(c) タイプ3 ; CKP10 = 1, DAP10 = 0, DIR10 = 0



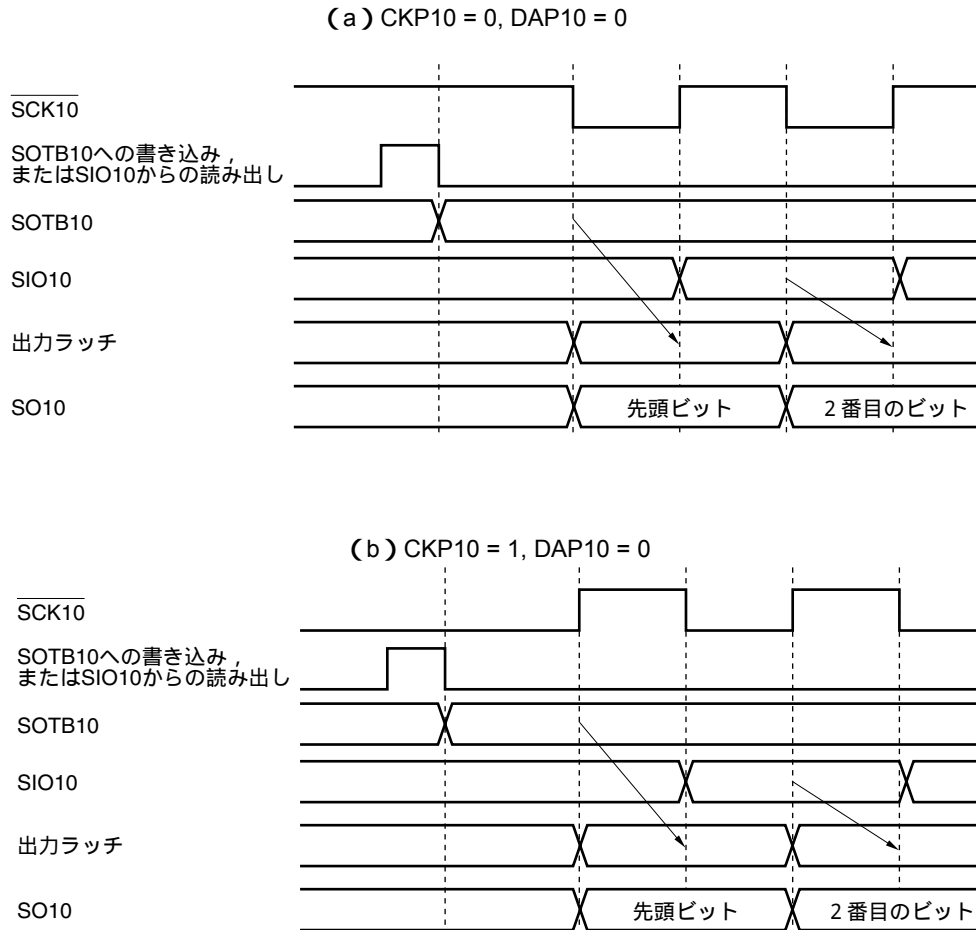
(d) タイプ4 ; CKP10 = 1, DAP10 = 1, DIR10 = 0



(3) SO10端子への出力タイミング (先頭ビット)

通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

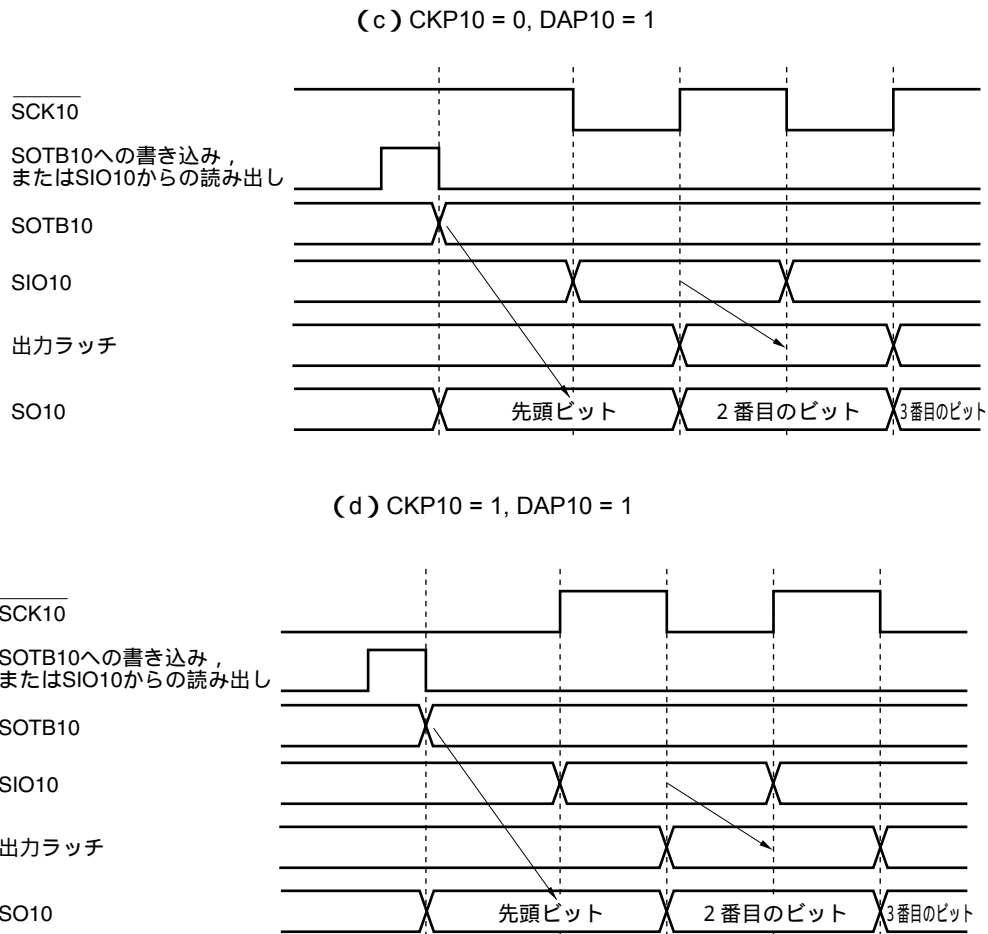
図11-7 先頭ビットの出力動作 (1/2)



先頭ビットは、 $\overline{SCK10}$ の立ち下がり (または立ち上がり) エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{SCK10}$ の立ち上がり (または立ち下がり) エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次の $\overline{SCK10}$ の立ち下がり (または立ち上がり) エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

図11-7 先頭ビットの出力動作 (2/2)



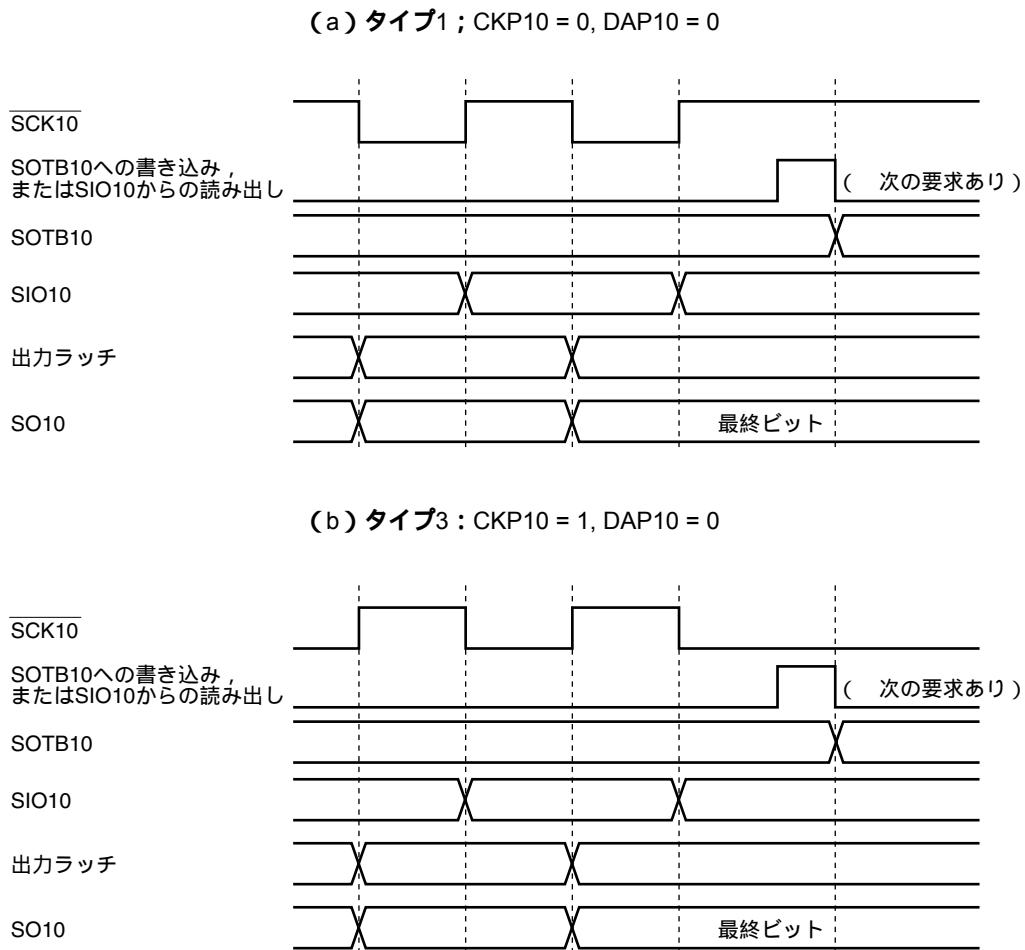
先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セレクタを通してSO10端子から出力されます。次のSCK10の立ち下がり(または立ち上がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次のSCK10の立ち上がり(または立ち下がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

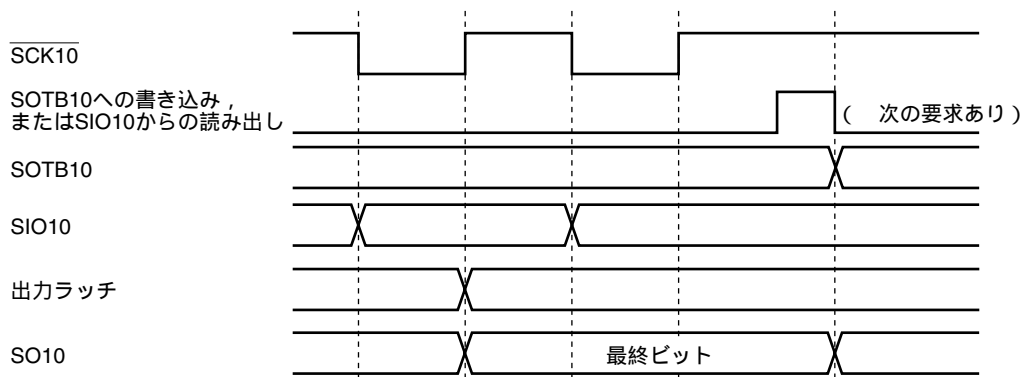
(4) SO10端子の出力値 (最終ビット)

通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

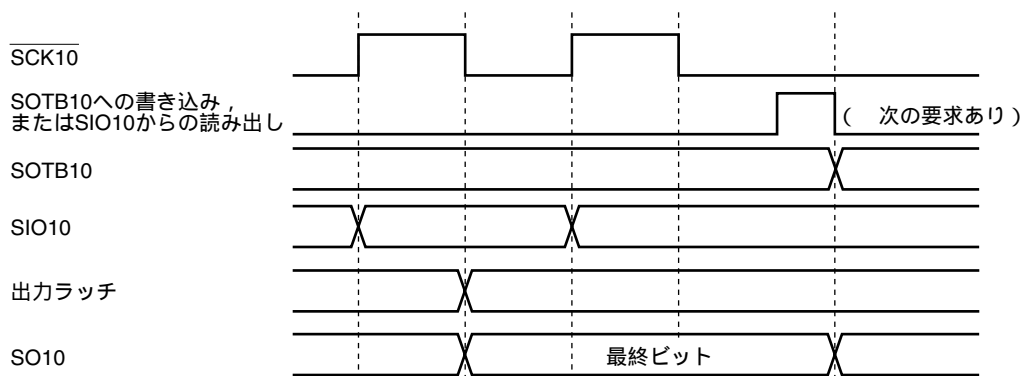
図11 - 8 SO10端子の出力値 (最終ビット)



(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



(5) SO10出力 (図11 - 1の (a) 参照) について

シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) を0に設定すると, SO10出力は次のようになります。

表11 - 3 SO10出力の状態

TRMD10	DAP10	DIR10	SO10出力 ^{注1}
TRMD10 = 0 ^{注2}	-	-	ロウ・レベル出力 ^{注2}
TRMD10 = 1	DAP10 = 0	-	SO10ラッチの値 (ロウ・レベル出力)
		DIR10 = 0	SOTB10のビット7の値
	DIR10 = 1	SOTB10のビット0の値	

注1. 実際のSO10/P12端子の出力は, SO10出力のほかにはPM12とP12によって決まります。

2. リセット時の状態です。

注意 TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

11.5 シリアル・インタフェースCSI10の注意事項

(1) スタンバイ・モードについて

スタンバイ状態から再度動作する場合, 割り込み要求フラグ・レジスタ0H (IF0H) のビット2 (CSIIF10) をクリア (0) してから, 動作開始してください。

第12章 USBファンクション・コントローラUSBF

μPD78F0730は、Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ（USBF）を内蔵しています。

12.1 概 要

Universal Serial Bus Specificationに準拠

12 Mbps（フルスピード）転送に対応

転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ（バイト）	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	-
Endpoint0 Write	64	コントロール転送	-
Endpoint1	64 × 2	バルク1転送（IN）	2バッファ構成
Endpoint2	64 × 2	バルク1転送（OUT）	2バッファ構成

クロック：f_{USB} = 48 MHz

（クロック・ソースは選択可能です。5.3（8）PLLコントロール・レジスタを参照してください。）

注意 USB機能を使用する際は、必ずUSBファンクション・コントローラにクロックを供給している状態にしてください（5.6.4 USBクロックの制御参照）。USBファンクション・コントローラにクロックを供給していない状態では、USB関連レジスタにアクセスしないでください。

12.2 USBファンクション・コントローラUSBFの構成

USBファンクション・コントローラUSBFは、次のハードウェアで構成されています。

表12 - 1 USBファンクション・コントローラUSBFの構成 (1/2)

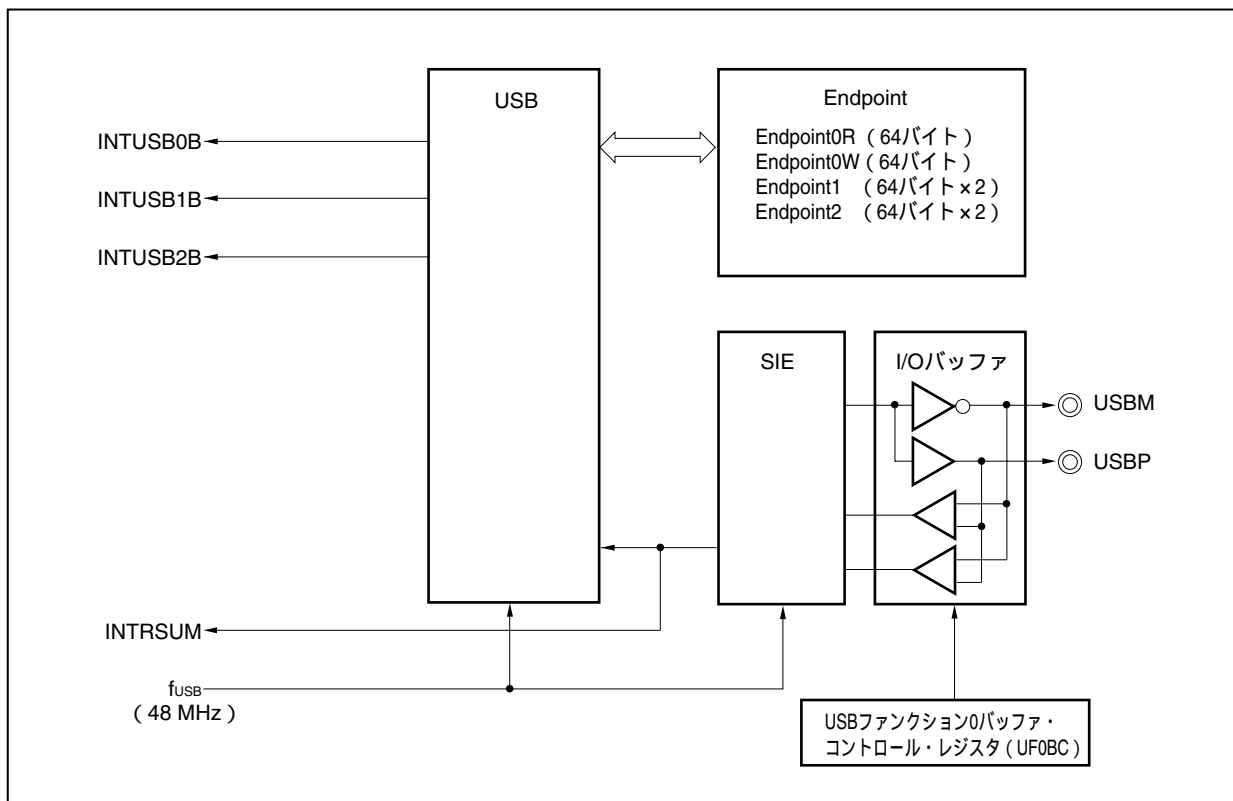
項 目	構 成
USBポート端子	USBP (+) , USBM (-)
制御レジスタ	UF0 EP0NAKレジスタ (UF0E0N) UF0 EP0NAKALLレジスタ (UF0E0NA) UF0 EPNAKレジスタ (UF0EN) UF0 EPNAKマスク・レジスタ (UF0ENM) UF0 SNDSIEレジスタ (UF0SDS) UF0 CLRリクエスト・レジスタ (UF0CLR) UF0 SETリクエスト・レジスタ (UF0SET) UF0 EPステータス0レジスタ (UF0EPS0) UF0 EPステータス1レジスタ (UF0EPS1) UF0 EPステータス2レジスタ (UF0EPS2) UF0 INTステータス0レジスタ (UF0IS0) UF0 INTステータス1レジスタ (UF0IS1) UF0 INTステータス2レジスタ (UF0IS2) UF0 INTステータス3レジスタ (UF0IS3) UF0 INTステータス4レジスタ (UF0IS4) UF0 INTマスク0レジスタ (UF0IM0) UF0 INTマスク1レジスタ (UF0IM1) UF0 INTマスク2レジスタ (UF0IM2) UF0 INTマスク3レジスタ (UF0IM3) UF0 INTマスク4レジスタ (UF0IM4) UF0 INTクリア0レジスタ (UF0IC0) UF0 INTクリア1レジスタ (UF0IC1) UF0 INTクリア2レジスタ (UF0IC2) UF0 INTクリア3レジスタ (UF0IC3) UF0 INTクリア4レジスタ (UF0IC4) UF0 FIFOクリア0レジスタ (UF0FIC0) UF0 FIFOクリア1レジスタ (UF0FIC1) UF0データ・エンド・レジスタ (UF0DEND) UF0 GPRレジスタ (UF0GPR) UF0モード・コントロール・レジスタ (UF0MODC) UF0モード・ステータス・レジスタ (UF0MODS) UF0アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

表12 - 1 USBファンクション・コントローラUSBFの構成 (2/2)

項目	構成
データ保持レジスタ	UF0 EP0リード・レジスタ (UF0E0R) UF0 EP0レングス・レジスタ (UF0E0L) UF0 EP0セットアップ・レジスタ (UF0E0ST) UF0 EP0ライト・レジスタ (UF0E0W) UF0バルク・アウト1レジスタ (UF0BO1) UF0バルク・アウト1レングス・レジスタ (UF0BO1L) UF0バルク・イン1レジスタ (UF0BI1)
リクエスト・データ・レジスタ	UF0デバイス・ステータス・レジスタL (UF0DSTL) UF0 EP0ステータス・レジスタL (UF0E0SL) UF0 EP1ステータス・レジスタL (UF0E1SL) UF0 EP2ステータス・レジスタL (UF0E2SL) UF0アドレス・レジスタ (UF0ADRS) UF0コンフィギュレーション・レジスタ (UF0CNF) UF0インタフェース0レジスタ (UF0IF0) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4) UF0ディスクリプタ・レングス・レジスタ (UF0DSCL) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255 (UF0CIE0-UF0CIE255)
周辺制御レジスタ	USBファンクション0バッファ・コントロール・レジスタ (UF0BC)

図12 - 1にブロック図を示します。

図12 - 1 USBファンクション・コントローラUSBFのブロック図



12.3 リクエスト

12.3.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表12-2 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表12-3 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考 : データ・ステージあり

× : データ・ステージなし

注1. wLength値が準備している値未満の場合 ,wLength値までを返信し ,wLength値が準備している値以上の場合 ,準備している値までを返信します。

2. CLEAR_FEATUREリクエストは ,ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL) , UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-2) をクリアします。

- 注3. SET_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL) , UF0 EPhステータス・レジスタL (UF0EnSL) (n = 0-2) をセットします。
- また、UF0E0SLレジスタのE0HALTビットを設定した場合は、CLEAR_FEATURE Endpoint0リクエストを受信するまで、GET_STATUS Endpoint0リクエスト、SET_FEATURE Endpoint0リクエスト、CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお、サポートしていないリクエストについてのSTALL応答では、UF0E0SLレジスタのE0HALTビットはセット(1)されず、次のSETUPトークンを受信した時点でSTALL応答はクリアされます。
4. wValue値が規定外の場合、自動STALL応答します。

注意1. 次に示す条件では、Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
 - SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
 - アドレス128以上のトークンを受信する場合
 - SETUPステージで送信されるリクエスト・データが8バイト未満の場合
2. ステータス・ステージにおいて、ホストがNullパケット以外のデータを送信してきた場合でも、ACK応答します。
3. FW処理のコントロール転送(リード)では、wLength値が00Hであった場合、コントロール転送(データなし)としてNullパケットを自動送出します。FWリクエストの場合は、Nullパケットを自動送出しません。

備考1. Df : Defaultステート , Ad : Addressedステート , Cf : Configuredステート

2. n = 0-4
Interface番号1-4のリクエストに対して正常応答するか、またはSTALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定により、対象のInterface番号が有効かどうかで決定します。
3. \$\$: 転送方向を含んだ有効なEndpoint番号
有効なEndpointは現在設定されているAlternate Setting番号により決定します (12. 4. 1 (33) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) , (35) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM) , (36) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM) 参照)。
4. ?と#: ホストから送信される値 (Interface番号0-4の情報)
各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか、STALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) とUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) により、対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストのDefaultステート , Addressedステート , Configuredステートでの処理内容を示します。

備考 Defaultステート : Default addressで動作する状態

Addressedステート : アドレスが割り当てられたあとの状態

Configuredステート : SET_CONFIGURATION wValue = 1を正常受信したあとの状態

(a) CLEAR_FEATURE()リクエスト

CLEAR_FEATURE()リクエストが、クリアできない、存在しないFEATUREである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : CLEAR_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : CLEAR_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : CLEAR_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE()リクエストを正常処理した場合には、UF0 CLRリクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され、UF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがクリア (0) され、割り込みが発行されます (n = 0-2)。なお、対象がEndpointのとき、CLEAR_FEATURE()リクエストを受信した場合には、対象Endpointのトグル・ビット (DATA0/DATA1の切り替え制御) は必ずDATA0に再設定されます。

(b) GET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表12-3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_CONFIGURATION()リクエストを受信したとき、UF0コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressedステート : GET_CONFIGURATION()リクエストを受信したとき、UF0CNFレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_CONFIGURATION()リクエストを受信したとき、UF0CNFレジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR()リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には、データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき、対象ディスクリプタの長さがwLength値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さがwLength値以上の場合、wLength値まで返信します。

- ・ Defaultステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0デバイス・ディスクリプタ・レジスタn (UF0DDn)、UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタm (UF0CIEm)に格納されている値を返信します(n = 0-17, m = 0-255)。
- ・ Addressedステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは、総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)して、FWによりGET_DESCRIPTOR()リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数 - 1の値をUF0ディスクリプタ・レンジ・レジスタ (UF0DSCL) に格納してください。このデータ + 1の値とwLengthにより転送データを制御します。

(d) GET_INTERFACE()リクエスト

wValue、wLengthのいずれかが表12-3 リクエスト・デコード対応表に記載以外のもの場合、またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_INTERFACE()リクエストを受信したとき、wIndex値に対応したUF0インタフェースnレジスタ (UF0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS()リクエスト

wValue, wIndex, wLengthのいずれかが表12-3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。また、対象がInterfaceか、または存在しないEndpointの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。

注 対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合：UF0デバイス・ステータス・レジスタL (UF0DSTL)
- ・ 対象がEndpoint0の場合：UF0 EP0ステータス・レジスタL (UF0E0SL)
- ・ 対象がEndpoint nの場合：UF0 EPnステータス・レジスタL (UF0EnSL) (n = 1-2)

(f) SET_ADDRESS()リクエスト

wIndex, wLengthのいずれかが表12-3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。指定されたデバイス・アドレスが127より大きい場合は、STALL応答になります。

- ・ Defaultステート : SET_ADDRESS ()リクエストを受信したとき、指定されたアドレスが0以外の場合には、デバイスはAddressedステートに入り、SIEへ入力するUSB Address値を指定のアドレス値に変更します。指定されたアドレスが0の場合には、Defaultステートのままです。
- ・ Addressedステート : SET_ADDRESS ()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはDefaultステートに入り、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。指定されたアドレスが0以外の場合には、Addressedステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。
- ・ Configuredステート : SET_ADDRESS ()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはConfiguredステートのままで、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。この場合、Endpoint0以外のEndpointも有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0以外のEndpointに対するバルク

転送およびインタラプト転送にも応答します。指定されたアドレスが0以外の場合には、Configuredステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表12-3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0モード・ステータス・レジスタ (UF0MODS) のCONFビットとUF0コンフィギュレーション・レジスタ (UF0CNF) がセット (1) されます。指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) されます。つまり、Addressedステートをスキップして、Default addressに응答するConfiguredステートに移行します。
- ・ Addressedステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット (1) され、Configuredステートに入り、指定されたコンフィギュレーション値が0の場合には、Addressedステートのままです。
- ・ Configuredステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) され、Addressedステートに戻り、指定されたコンフィギュレーション値が1の場合には、Configuredステートのままです。

SET_CONFIGURATION()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべてのHalt FeatureはSET_CONFIGURATION()リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION()リクエストを正常処理した場合には、必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます (SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではデフォルト状態であるAlternative Setting 0に設定されているものと定義しています)。

(h) SET_FEATURE()リクエスト

SET_FEATURE()リクエストが、セットできない、存在しないFeatureである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットやUF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがセット (1) され、割り込みが発行されます (n = 0-2)。

(i) SET_INTERFACE()リクエスト

wLengthが表12-3 リクエスト・デコード対応表に記載以外のもの場合、wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでNullパケットを送信します。

SET_INTERFACE()リクエストを正常処理した場合には、割り込みが発行されます。対象InterfaceにリンクされたEndpointのすべてのHalt Featureは、SET_INTERFACE()リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは、必ずDATA0に再び初期化されます。また、SET_INTERFACE()リクエストを正常処理して、現在選択されているAlternative Settingと異なる設定に変更する場合には、影響を受けるEndpointのFIFOは完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE()リクエスト完了時、対象InterfaceにリンクされたすべてのEndpointのFIFOがクリアされます。また、同時にHalt Feature、Data PIDが初期化され、関連するUF0 INTステータスnレジスタ (UF0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATIONリクエスト完了時には、Halt FeatureのクリアとData PIDの初期化のみです)。

12.3.2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表12 - 4 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

12.4 レジスタ構成

12.4.1 制御レジスタ

(1) UF0 EP0NAKレジスタ (UF0E0N)

Endpoint0のNAKを制御します (自動実行リクエストを除きます)。

8ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2に対するNAK送信中は、EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	FF60H	00H

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します (自動実行リクエストを除く)。Endpoint0がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FWによってUF0E0Rレジスタのデータが読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1 : NAKを送信する 0 : NAKを送信しない (初期値) USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なおこの場合には、FWでこのビットをクリア (0) するまでUSBFはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します (自動実行リクエストを除く)。Endpoint0のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット (1) してください。FIFOフルの場合は自動的にセット (1) されます。UF0DENDレジスタのE0DEDビットがセット (1) された場合、同時にEP0NKWビットが自動的にセット (1) されます。 1 : NAKを送信しない 0 : NAKを送信する (初期値) なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0Wレジスタがクリアされると同時にこのビットもクリア (0) されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUTトークンをともなうSETUPトランザクションの手順を示します。

(a) INトークンをともなう場合（ハードウェアで自動実行するリクエストを除く）

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア（0）してください。次に、リクエストに従った処理を行い、INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1レジスタのPROTビットが0であることを確認してから、UF0DENDレジスタのE0DEDビットをセット（1）します。ハードウェアはEP0NKWビットがセット（1）されてから最初のINトークンでデータの送出手をします。UF0IS1レジスタのPROTビットが1の場合、コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は、UF0IC1レジスタのPROTCビットをクリア（0）することでUF0IS1レジスタのPROTビットをクリア（0）してから、再度UF0E0STレジスタからデータを読み出してごください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUTトークンをともなう場合（ハードウェアで自動実行するリクエストを除く）

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア（0）してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので、FWによりFIFOをクリアしてください（EP0NKRビットは自動的にクリア（0）されます）。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し、セットされている分だけのデータをUF0E0Rレジスタから読み出してごください。UF0E0Rレジスタからのデータの読み出しが完了すると（UF0E0Rレジスタのカウンタが0になったときに）、ハードウェアは自動的にEP0NKRビットをクリア（0）します。

(2) UF0 EP0NAKALLレジスタ (UF0E0NA)

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NAK	FF61H	00H

ビット位置	ビット名	意 味
0	EP0NAK	<p>Endpoint0へのSETUPトランザクション以外のNAKを制御します (自動実行リクエストを含む)。このビットの操作はFWによって行います。</p> <p style="margin-left: 20px;">1 : NAKを送信する</p> <p style="margin-left: 20px;">0 : NAKを送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FWライトとSIEからのリードの競合を防止するためのもので、SIEからのアクセスが行われている間は、FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。このビットのセット (1) が反映されるのは、次の場合に限ります。</p> <ul style="list-style-type: none"> ・ USBFがリセットされた直後でSETUPトークンを一度も受信していない ・ Bus Resetの受信直後でSETUPトークンを一度も受信していない ・ SETUPトークンのPIDを検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア (0) はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0転送中のEP0NAKビットのセット (1) 反映タイミングは上記の4つの場合となりますが、Endpoint0の転送以外の場合は書き込み後すぐに反映されません。</p>

(3) UF0 EPNAKレジスタ (UF0EN)

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード/ライト可能です (ただし, ビット0はリードだけ可能です)。

なお, BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって, 正確にステータスを読み出す必要がある場合は, UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2に対するNAK送信中は, BKO1NKビットに対する書き込みは無視されます。ビット7-3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	0	0	0	BKO1NK	0	BKI1NK	FF62H	00H

ビット位置	ビット名	意 味
2	BKO1NK	Endpoint2 (バルク1転送 (OUT)) に対するNAKを制御します。 1 : NAKを送信する 0 : NAKを送信しない (初期値) UF0BO1レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお, トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は, 次に示す条件を満たす場合に行われます。 <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) FWはBKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し, その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず, なんらかの理由によりUSBバスからのデータを受信したくない場合には, このビットをFWによりセット (1) してください。なお, この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

ビット位置	ビット名	意 味
0	BK11NK	<p>Endpoint1 (バルク1転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0B11レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0B11レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルかUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されたデータ送信が開始されます。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BK11DEDビットをセット (1) してください。BK11DEDビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。UF0B11レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

(4) UF0 EPNAKマスク・レジスタ (UF0ENM)

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード/ライト可能です。

ビット7-3, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	0	BKO1NKM	0	0	FF63H	00H

ビット位置	ビット名	意 味
2	BKO1NKM	UF0ENレジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIEレジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード/ライトが可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	FF64H	00H

ビット位置	ビット名	意 味
3	SNDSTL	<p>Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット(1)することで、STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は、ハードウェアがこのビットをセット(1)します。自動リクエストでのオーバーラン等によりEndpoint0で問題が発生した場合もこのビットはセット(1)されます。ただし、UF0E0SLレジスタのE0HALTビットへのセット(1)は行われません。</p> <p>1: STALLハンドシェークで応答する 0: STALLハンドシェークで応答しない(初期値)</p> <p>なお、次のSETUPトークンを受信したときにこのビットはクリア(0)され、バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット(1)する場合には、UF0E0Wレジスタへの書き込みは行わないでください。また、セット(1)するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合があります。</p> <p>このビットの設定は、セット(1)されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア(0)されます。</p> <p>備考 SNDSTLビットはFW実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット(1)されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume信号を発生させる 0: Resume信号を発生させない(初期値)</p> <p>このビットがセット(1)されている間はResume信号を発生させ続けますので、一定時間経過したあとFWによりクリア(0)してください。内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。</p>

(6) UF0 CLRリクエスト・レジスタ (UF0CLR)

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット(1)され、このレジスタを読み出したときに自動的にクリア(0)されます。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	0	0	0	CLREP2	CLREP1	CLREP0	CLRDEV	FF65H	00H

ビット位置	ビット名	意 味
3-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)

備考 n = 2-0

(7) UF0 SETリクエスト・レジスタ (UF0SET)

自動処理を行ったSET_XXXXリクエスト (SET_INTERFACEを除く) が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	FF66H	00H

ビット位置	ビット名	意 味
7	SETCON	SET_CONFIGURATIONリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint nリクエスト (n = 0-2)を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EPステータスレジスタ (UF0EPS0)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	0	0	0	BKOUT1	0	BKIN1	EPOW	EP0R	FF67H	00H

ビット位置	ビット名	意味
4	BKOUT1	CPU側に接続されたUF0BO1レジスタ (FIFO) にデータがあることを示します。UF0BO1レジスタを構成しているFIFOが切り替わったときに，ハードウェアにより自動的にセット (1) されます。CPU側に接続されたUF0BO1レジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません (FIFOのトグルも発生しません)。 1: データがある 0: データがない (初期値)
2	BKIN1	CPU側に接続されたUF0BI1レジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのBK11DEDビットをセット (1) することにより，UF0BI1レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0BI1レジスタのカウンタが0であっても，UF0DENDレジスタのBK11DEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)
1	EPOW	UF0E0Wレジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのE0DEDビットをセット (1) することにより，UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0E0Wレジスタのカウンタが0であっても，UF0DENDレジスタのE0DEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
0	EP0R	UF0E0Rレジスタ (FIFO) にデータがあることを示します。UF0E0Rレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) UF0 EPステータス1レジスタ (UF0EPS1)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	FF68H	00H

ビット位置	ビット名	意 味
7	RSUM	USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。 1 : Suspend状態になった 0 : Resume状態になった (初期値) 内部でクロックによるサンプリングを行っているため、CLKが供給されている場合のみ動作を保證できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTRSUM信号は動作します。したがって割り込み要求フラグ・レジスタ1L (IF1L) のRSUMIFビットを有効にするか、USBFに対するCLKの周波数を下げることで対応が可能になります。 このビットは読み出したときに自動的にクリア (0) されます。

(10) UF0 EPステータス2レジスタ (UF0EPS2)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	0	0	0	0	HALT2	HALT1	HALT0	FF69H	00H

ビット位置	ビット名	意 味
2-0	HALTn	<p>現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット(1)されます。これらのビットはハードウェアにより自動的にセット(1)されます。</p> <p>1: Endpointがストールしている 0: Endpointはストールしていない(初期値)</p> <p>オーバラン発生/規定外リクエスト受信などによりHALT0ビットがセット(1)されると、同時にSNDSTLビットもセット(1)されます。この状態で次のSETUPトークンを受信すると、SNDSTLビットがクリア(0)されるため、このビットもクリア(0)されます。なお、SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には、CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア(0)されません。Endpoint0のHalt Featureをセットした状態でGET_STATUS Endpoint0、CLEAR_FEATURE Endpoint0、SET_FEATURE Endpoint0リクエスト、またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には、次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE、SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで、またはFWでHalt Featureをクリアするまで、HALTnビットはクリア(0)されません。SET_INTERFACE、SET_CONFIGURATIONリクエストを正常処理した場合には、wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ、これらのビットもクリア(0)されます。Endpoint0のHalt FeatureがセットされているとSET_INTERFACE、SET_CONFIGURATIONリクエストはSTALL応答されるため、Endpoint0のHalt Featureはクリアできません。</p>

備考 n = 2-0

(11) UF0 INTステータス0レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSB0B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB0B) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア (0) されません。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	0	0	SETRQ	CLRRQ	EPHALT	FF27H	00H

ビット位置	ビット名	意 味
7	BUSRST	Bus Resetが行われたことを示します。 1 : Bus Resetが行われた (割り込み要求発生) 0 : Bus Reset状態ではない (初期値)
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1 : ResumeまたはSuspend状態が発生した (割り込み要求発生) 0 : ResumeまたはSuspend状態が発生していない (初期値)
2	SETRQ	自動処理対象のSET_XXXXリクエストを受信し、自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。 1 : 自動処理対象のSET_XXXXリクエストを受信した (割り込み要求発生) 0 : 自動処理対象のSET_XXXXリクエストを受信していない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かはUF0SETレジスタを参照してください。FWによりUF0SETレジスタを読み出しても、自動的にクリア (0) されません。 なお、SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット (1) されます。
1	CLRRQ	CLEAR_FEATUREリクエストを受信し、自動処理を行ったことを示します。 1 : CLEAR_FEATUREリクエストを受信した (割り込み要求発生) 0 : CLEAR_FEATUREリクエストを受信していない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。 CLEAR_FEATUREリクエストの対象が何かはUF0CLRレジスタを参照してください。FWによりUF0CLRレジスタを読み出しても、自動的にクリア (0) されません。

(2/2)

ビット位置	ビット名	意 味
0	EPHALT	<p>Endpointがストールしていることを示します。</p> <p>1 : Endpointがストールしている (割り込み要求発生)</p> <p>0 : Endpointがストールしていない (初期値)</p> <p>なお , FWのセットによりEndpointをストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしているEndpointは , UF0EPS2レジスタを参照してください。</p> <p>CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATIONリクエストを受信しても , 自動的にクリア (0) されません。またEndpoint0のオーバーラン発生の場合 , 次のSETUPトークンを受信しても , 自動的にクリア (0) されません。</p> <p>注意 Endpoint0のHalt Featureがセットされてこの割り込み要求が発生した場合でも , SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0リクエストまたはFW処理リクエストを受信してから次の前述以外のSETUPトークンを受信するまではUF0EPS2レジスタのビット0はマスクされ0になります。</p>

(12) UF0 INTステータス1レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSB0B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB0B) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。ただし、UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア (0) されます。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPUDEC	FF28H	00H

ビット位置	ビット名	意 味
6	E0IN	Endpoint0に対するINトークンを受信して、ハードウェアが自動的にNAKを送信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1: UF0E0Wレジスタから送信が完了した (割り込み要求発生) 0: UF0E0Wレジスタから送信を完了していない (初期値) データはUF0E0NレジスタのEPONKWビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Nullパケットでもセット (1) されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。
4	E0ODT	データがUF0E0Rレジスタに正常に受信されたことを示します。 1: UF0E0Rレジスタにデータがある (割り込み要求発生) 0: UF0E0Rレジスタにデータがない (初期値) 正常に受信するとハードウェアにより自動的にセット (1) され、同時にUF0EPS0レジスタのEP0Rビットもセット (1) されます。Nullパケットを受信した場合はセット (1) されません。FWによりUF0E0Rレジスタを読み出し、UF0E0Lレジスタの値が0になるとハードウェアにより自動的にクリア (0) されます。
3	SUCES	FW処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。 1: コントロール転送を正常に処理し終わった (割り込み要求発生) 0: コントロール転送を正常に処理し終わっていない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。また、次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。 なお、コントロール転送のステータス・ステージでData PIDが0のデータ (Nullデータ) を受信した場合もSUCESビットがセット (1) されます。

ビット位置	ビット名	意 味
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット (1) されます。FW処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、FWでコントロール転送 (リード) を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア (0) されます。</p>
1	PROT	<p>SETUPトークンを受信したことを示します。ハードウェア処理またはFW処理のいずれのリクエストでも有効です。</p> <p>1: SETUPトークンを正常受信した (割り込み要求発生)</p> <p>0: SETUPトークンを受信していない (初期値)</p> <p>このビットは、UF0E0STレジスタにデータを正常受信した際にセット (1) されます。UF0E0STレジスタを最初にリード・アクセスする際などに、FWによってクリア (0) してください。FWによりクリア (0) しなかった場合、次のSETUPトークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ、2番目のリクエストがハードウェア実行の場合CPUDECビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0STレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0STレジスタにデータがない (初期値)</p> <p>UF0E0STレジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) UF0 INTステータス2レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSB1B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB1B) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0E1IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	0	0	BK11IN	BK11DT	0	0	0	0	FF29H	00H

ビット位置	ビット名	意 味
5	BK11IN	UF0BI1レジスタ (Endpoint 1) に対するINトークンを受信してNAKを返信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
4	BK11DT	UF0BI1レジスタ (Endpoint 1) のFIFOのトグルが発生したことを示します。これはEndpoint 1にデータを書き込めることを意味します。 1: FIFOのトグル動作が発生した (割り込み要求発生) 0: FIFOのトグル動作が発生していない (初期値) Endpoint 1に書き込まれたデータはUF0ENレジスタのBK11NKビットがセット (1) された次のINトークンに同期して送信されますが、FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Nullパケットの場合でもFIFOの切り替えが行われた場合はセット (1) されます。UF0BI1レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。

(14) UF0 INTステータス3レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSB1B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB1B) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0E2IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	0	0	0	0	BKO1FL	BKO1NL	BKO1NAK	BKO1DT	FF2AH	00H

ビット位置	ビット名	意 味
3	BKO1FL	UF0BO1レジスタ (Endpoint 2) にデータが正常受信され、CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1 : UF0BO1レジスタの両方のFIFOに受信データが存在する (割り込み要求発生) 0 : UF0BO1レジスタの少なくともSIE側FIFOには受信データが存在しない (初期値) CPU/SIEの両方のFIFOにデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFOのトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
2	BKO1NL	UF0BO1レジスタ (Endpoint 2) でNullパケット (0長パケット) を受信したことを示します。 1 : Nullパケットを受信した (割り込み要求発生) 0 : Nullパケットは受信していない (初期値) FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット (1) されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット (1) されます。
1	BKO1NAK	UF0BO1レジスタ (Endpoint 2) に対するOUTトークンを受信してNAKを返信したことを示します。 1 : OUTトークンを受信しNAKを送出した (割り込み要求発生) 0 : OUTトークンを受信していない (初期値)

(2/2)

ビット位置	ビット名	意 味
0	BKO1DT	<p>UF0BO1レジスタ (Endpoint 2) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行いFIFOが切り替わったときに,ハードウェアにより自動的にセット (1) され,同時にUF0EPS0レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FWIによるUF0BO1レジスタ読み出しでUF0BO1Lレジスタの値が0になると,ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア (0) されますが,このときSIE側にデータがあれば割り込み要求はクリアされずINTUSB1B信号もインアクティブになりません。連続してデータを受信した場合は,アクティブのままになります。</p>

(15) UF0 INTステータス4レジスタ (UF0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSB2B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB2B) が発生した場合、FWはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	FF2BH	00H

ビット位置	ビット名	意 味
5	SETINT	SET_INTERFACEリクエストを受信して、自動処理を行ったことを示します。 1：自動処理を行った (割り込み要求発生) 0：自動処理を行っていない (初期値) 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INTマスクレジスタ (UF0IM0)

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB0B) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUSRSTM	RSUSPDM	0	0	0	SETRQM	CLRRQM	EPHALTM	FF37H	00H

ビット位置	ビット名	意味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) UF0 INTマスク1レジスタ (UF0IM1)

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB0B) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0INDTM	E0ODTM	SUCESM	STGM	PROTM	CPUDECM	FF38H	00H

ビット位置	ビット名	意 味
6	E0INM	EP0IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDEC割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INTマスク2レジスタ (UF0IM2)

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB1B) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0E1IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	0	0	BK11INM	BK11DTM	0	0	0	0	FF39H	00H

ビット位置	ビット名	意 味
5	BK11INM	BK11IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	BK11DTM	BK11DT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(19) UF0 INTマスク3レジスタ (UF0IM3)

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB1B) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0E2IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	0	0	0	0	BKO1FLM	BKO1NLM	BKO1NAKM	BKO1DTM	FF3AH	00H

ビット位置	ビット名	意 味
3	BKO1FLM	BKO1FL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	BKO1NLM	BKO1NL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	BKO1NAKM	BKO1NK割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	BKO1DTM	BKO1DT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(20) UF0 INTマスク4レジスタ (UF0IM4)

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB2B) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	FF3BH	00H

ビット位置	ビット名	意 味
5	SETINTM	SET_INT割り込みのマスクを行います。 1 : マスクする 0 : マスクしない (初期値)

(21) UF0 INTクリアレジスタ (UF0IC0)

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUSRSTC	RSUSPDC	1	1	1	SETRQC	CLRRQC	EPHALTC	FF4AH	FFH

ビット位置	ビット名	意 味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0 : クリアする

(22) UF0 INTクリアレジスタ (UF0IC1)

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0INDTC	E0ODTC	SUCESC	STGC	PROTC	CPUDECC	FF4BH	FFH

ビット位置	ビット名	意 味
6	E0INC	EP0IN割り込み要求をクリアします。 0 : クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0 : クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0 : クリアする
3	SUCESC	Success割り込み要求をクリアします。 0 : クリアする
2	STGC	Stg割り込み要求をクリアします。 0 : クリアする
1	PROTC	Protect割り込み要求をクリアします。 0 : クリアする
0	CPUDECC	CPUDEC割り込み要求をクリアします。 0 : クリアする

(23) UF0 INTクリア2レジスタ (UF0IC2)

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

UF0E1IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	1	1	BKI1INC	BKI1DTC	1	1	1	1	FF4CH	FFH

ビット位置	ビット名	意 味
5	BKI1INC	BKI1IN割り込み要求をクリアします。 0: クリアする
4	BKI1DTC	BKI1DT割り込み要求をクリアします。 0: クリアする

(24) UF0 INTクリア3レジスタ (UF0IC3)

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

UF0E2IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	1	1	1	1	BKO1 FLC	BKO1 NLC	BKO1 NAKC	BKO1 DTC	FF4DH	FFH

ビット位置	ビット名	意 味
3	BKO1FLC	BKO1FL割り込み要求をクリアします。 0 : クリアする
2	BKO1NLC	BKO1NL割り込み要求をクリアします。 0 : クリアする
1	BKO1NAKC	BKO1NK割り込み要求をクリアします。 0 : クリアする
0	BKO1DTC	BKO1DT割り込み要求をクリアします。 0 : クリアする

(25) UF0 INTクリアレジスタ (UF0IC4)

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 2) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	FF4EH	FFH

ビット位置	ビット名	意 味
5	SETINTC	SET_INT割り込み要求をクリアします。 0: クリアする

(26) UF0 FIFOクリアレジスタ (UF0FIC0)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0E1IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	0	0	BKI1SC	BKI1CC	0	0	EP0WC	EP0RC	FF79H	00H

ビット位置	ビット名	意 味
5	BKI1SC	UF0B11レジスタのSIE側FIFOのみをクリア(カウンタをリセット)します。 1: クリアする BKI1NKビットがセット(1)されている状態でEndpoint 1に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお、BKI1NKビットはFIFOをクリアすることで自動的にクリア(0)されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
4	BKI1CC	UF0B11レジスタのCPU側FIFOのみをクリア(カウンタをリセット)します。 1: クリアする
1	EP0WC	UF0E0Wレジスタをクリア(カウンタをリセット)します。 1: クリアする EP0NKWビットがセット(1)されている状態でEndpoint0に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお、EP0NKWビットはFIFOをクリアすることで自動的にクリア(0)されます。
0	EP0RC	UF0E0Rレジスタをクリア(カウンタをリセット)します。 1: クリアする EP0NKRビットがセット(1)されている場合(ただし、FWでセット(1)した場合は除く)には、FIFOをクリアすることでEP0NKRビットが自動的にクリア(0)されます。

(27) UF0 FIFOクリア1レジスタ (UF0FIC1)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0E2IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	0	0	BKO1C	BKO1CC	FF7AH	00H

ビット位置	ビット名	意 味
1	BKO1C	UF0BO1レジスタのSIE側/CPU側の両FIFOをクリア(カウンタをリセット)します。 1: クリアする BKO1NKビットがセット(1)されている場合(ただし、FWでセット(1)した場合は除く)には、FIFOをクリアすることでBKO1NKビットが自動的にクリア(0)されます。
0	BKO1CC	UF0BO1レジスタのCPU側のFIFOだけをクリア(カウンタをリセット)します。 1: クリアする BKO1NKビットがセット(1)されている場合(ただし、FWでセット(1)した場合は除く)には、FIFOをクリアすることでBKO1NKビットが自動的にクリア(0)されます。

(28) UF0データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

UF0E1IMレジスタの設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	0	0	0	0	0	0	BK11DED	E0DED	FF75H	00H

ビット位置	ビット名	意味
1	BK11DED	<p>UF0BI1レジスタへの送信データの書き込みが終了したときにセット (1) してください。このビットがセット (1) されると、FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり、BK11NKビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>このビットはCPU側のFIFOを制御します。</p> <p>UF0FIC0レジスタのBK11CCビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0BI1レジスタのカウンタ = 0)、Null (データ長0) パケットが送信されます。</p> <p>UF0BI1レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0BI1レジスタのカウンタ = 0)、FIFOがフルでなければショート・パケットが送信されます。</p> <p>UF0BI1レジスタのCPU側のFIFOをフルにした場合、このビットをセット (1) しなくてもハードウェアはデータ送信を開始します。</p>
0	E0DED	<p>UF0E0Wレジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、EP0NKWビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>UF0FIC0レジスタのEP0WCビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0E0Wレジスタのカウンタ = 0、UF0EPS0レジスタのビット1 = 1)、Null (データ長0) パケットが送信されます。</p> <p>UF0E0Wレジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0E0Wレジスタのカウンタ = 0、UF0EPS0レジスタのビット1 = 1)、FIFOがフルでなければショート・パケットが送信されます。</p>

(29) UF0 GPRレジスタ (UF0GPR)

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。ビット7-2には、必ず0を設定してください。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	CONNECT	MRST	FF2DH	00H

ビット位置	ビット名	意 味
1	CONNECT	D+に接続するプルアップ抵抗のオン/オフを制御するUSBPUC端子の出力レベルを設定します。 0: USBPUC端子 = ロウ・レベル 1: USBPUC端子 = ハイ・レベル USBPUC端子の接続については、12.8.2 USB接続例を参照してください。
0	MRST	USBFをリセットするときにセット (1) してください。 1: リセットする このビットをFWによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから2USBクロック後になります。 システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合、USBFについてはRESET端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。 ただし、UF0CSレジスタとUF0BCレジスタは、MRSTビットによるリセットの影響を受けません。

(30) UF0モード・コントロール・レジスタ (UF0MODC)

CPUDEC処理の制御を行います。

8ビット単位でリード/ライト可能です。

このレジスタの各ビットを設定することにより、UF0MODSレジスタの設定を変更できます。ハードウェア・リセット時とUF0GRPレジスタのMRSTビットをセット(1)したときにだけ自動的にクリア(0)されます。

このレジスタのビットがハードウェアにより自動的にセット(1)されても、FWによる設定が優先されます。

ビット7, 5-0には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDCGDST	0	0	0	0	0	0	FF2EH	00H

ビット位置	ビット名	意 味
6	CDCGDST	GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるときにセット(1)してください。このビットをセット(1)することによりUF0MODSレジスタのCDCGDビットを強制的にセット(1)できます。 1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更 (UF0MODSレジスタのCDCGDビットをセット(1)) 0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)

(31) UF0モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	FF2FH	00H

ビット位置	ビット名	意 味
6	CDCGD	<p>GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるかを示します。</p> <p>1 : GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更</p> <p>0 : GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)</p>
4	MPACK	<p>Endpoint0の送信パケット・サイズを示します。</p> <p>1 : 8バイト以外で送信を行っている</p> <p>0 : 8バイトで送信を行っている (初期値)</p> <p>このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBFがリセットされるまでこのビットはクリア (0) されません (Bus Resetではクリア (0) されません)。</p> <p>このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ8バイト転送を行います。したがって、GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも、正常受信します。</p> <p>なお、Endpoint0のサイズを8バイト構成にした場合は無視されます。</p>
3	DFLT	<p>デフォルト状態 (DFLTビット = 1) になっているかを示します。</p> <p>1 : 応答許可</p> <p>0 : 応答禁止 (常に無応答) (初期値)</p> <p>このビットはBus Resetにより自動的にセット (1) されます。このビットがセット (1) されるまですべてのEndpointに対するトランザクションに応答しません。</p>
2	CONF	<p>SET_CONFIGURATIONリクエストが完了したかを示します。</p> <p>1 : SET_CONFIGURATIONリクエストが完了した</p> <p>0 : SET_CONFIGURATIONリクエストが完了していない (初期値)</p> <p>SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット (1) されます。</p> <p>このビットがセット (1) されていないかぎり、Endpoint0以外に対するアクセスは無視されます。</p> <p>なお、SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき、このビットはクリア (0) されます。また、Bus Resetを検出したときもクリア (0) されます。</p>

(32) UF0アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN)

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお、Interface 0は必ず有効となるため、Interface 1-4までを選択できます。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	FF70H	00H

ビット位置	ビット名	意 味															
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1 : IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0 : Interface 0だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット1, 0の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効なInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効なInterface番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効なInterface番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(33) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS)

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード/ライト可能です。

μPD78F0730のUSBFでは5連Alternative Setting (Alternative Setting 0, 1, 2, 3, 4を定義できる)と2連Alternative Setting(Alternative Setting 0, 1を定義できる)をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	FF71H	00H

ビット位置	ビット名	意 味															
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット (1) されるとIFALn1, IFALn0ビットの設定は無効になります。 1 : Interface 0にn連Alternative Settingをリンクする 0 : Interface 0にはn連Alternative Settingはリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative SettingにリンクされるInterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外の場合は、n連Alternative Settingは無効になります (ALTnENビット = 0)。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクするInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1とリンク</td> </tr> </tbody> </table> 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクするInterface番号	1	1	Interface 4とリンク	1	0	Interface 3とリンク	0	1	Interface 2とリンク	0	0	Interface 1とリンク
IFALn1	IFALn0	リンクするInterface番号															
1	1	Interface 4とリンク															
1	0	Interface 3とリンク															
0	1	Interface 2とリンク															
0	0	Interface 1とリンク															
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット (1) されていないとnALTビット, IFnAL1, IFnAL0ビットの設定は無効になります。 1 : n連Alternative Settingを有効にする 0 : n連Alternative Settingを有効にしない (初期値)															

備考 n = 2, 5

たとえば、UF0AIFNレジスタを82Hに設定し、UF0AASレジスタを15Hに設定した場合、Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ、Interface 1はAlternative Setting 0, 1、Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3、SET_INTERFACE wValue = 0 & wIndex = 0/2、SET_INTERFACE wValue = 0/1 & wIndex = 1、SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し、それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

(34) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS)

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACEリクエストで受信した値は同時にUF0IFnレジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	FF72H	00H

ビット位置	ビット名	意 味																								
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されているAlternative Setting番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連Alternative Settingの現在の設定状況 (設定されているAlternative Setting番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(35) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM)

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint1が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	FF73H	00H

ビット位置	ビット名	意 味																																			
7-5	E1EN2- E1EN0	<p>Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E12AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint1が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない(初期値)																																		
4	E12AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E15ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																			

備考 n = 1-4

(36) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint2が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	FF74H	00H

ビット位置	ビット名	意 味																																				
7-5	E2EN2- E2EN0	<p>Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E22AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint2が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0		1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																			
1	1	1	Interfaceとリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternative Setting 0とリンク																																			
1	0	0	Interface 3, Alternative Setting 0とリンク																																			
0	1	1	Interface 2, Alternative Setting 0とリンク																																			
0	1	0	Interface 1, Alternative Setting 0とリンク																																			
0	0	1	Interface 0, Alternative Setting 0とリンク																																			
0	0	0	Interfaceとリンクされていない(初期値)																																			
4	E22AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。</p>																																				
3-0	E25ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																				

備考 n = 1-4

12.4.2 データ保持レジスタ

(1) UF0 EP0リード・レジスタ (UF0E0R)

UF0E0Rレジスタは、Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット (1) し、UF0E0Lレジスタに受信したデータ量を保持して、割り込み要求 (INTUSB0B) を発行します。UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合にはUF0E0Lレジスタはクリア (0) され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは、UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したどうかはUF0EPS0レジスタのEP0Rビットで確認してください (全データの読み出し完了の場合: EP0R = 0)。UF0E0Lレジスタ値が0のとき、UF0E0NレジスタのEP0NKRビットがクリア (0) され、UF0E0Rレジスタは受信可能状態になります。また、UF0E0Rレジスタは、次のSETUPトークン受信時にクリアされます。

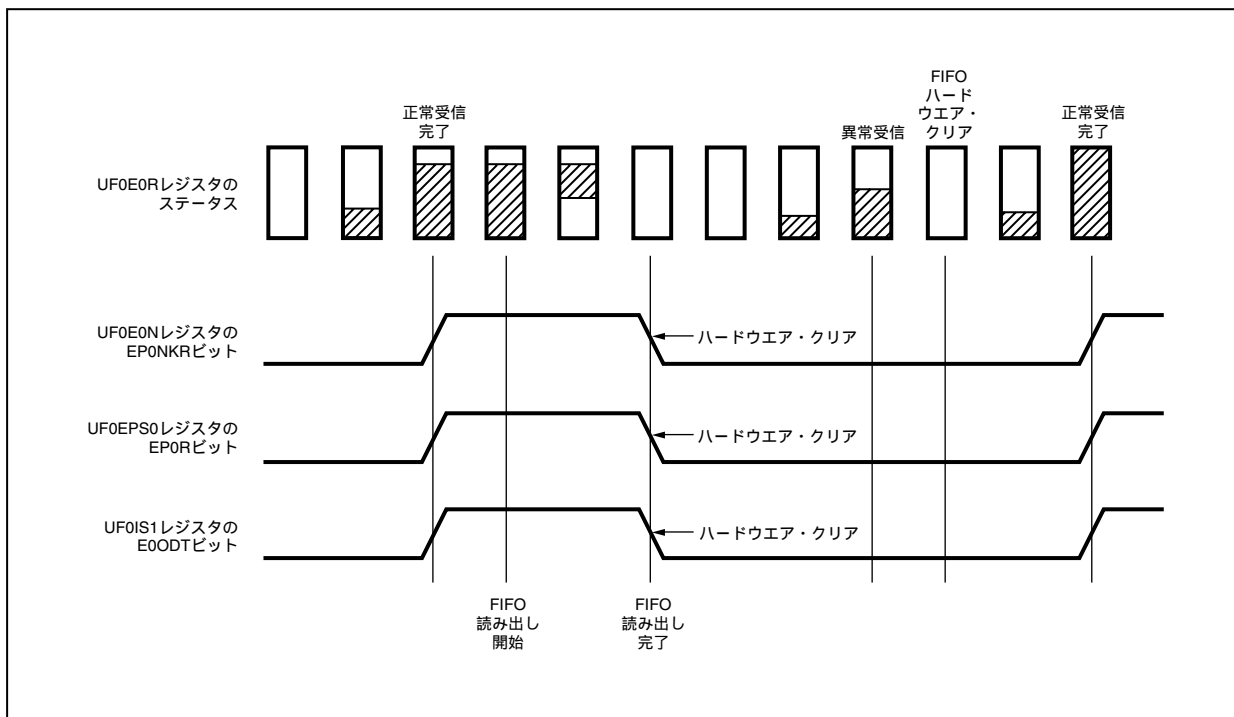
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	FF02H	不定

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図12 - 2 UF0E0Rレジスタの動作



(2) UF0 EP0 レンゲス・レジスタ (UF0E0L)

UF0E0Lレジスタは、UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0Lレジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWIはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに、ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	FF76H	00H

ビット位置	ビット名	意味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

(3) UF0 EP0セットアップ・レジスタ (UF0E0ST)

UF0E0STレジスタは、ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0STレジスタは、SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウェアはSETUPトランザクションを正常受信した場合、UF0IS1レジスタのPROTビット、FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット(1)し、割り込み要求(INTUSB0B)を発行します。FW処理の場合には、必ず8バイト・リードしてください。8バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは、Bus Resetの受信時にもクリアされないため、Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため、データ・リード中にSETUPトランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUPトランザクションを正常受信できなかった場合でも、CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし、8バイト以下のSETUPトークンを受信した場合、受信したSETUPデータは破棄され、前回受信したSETUPデータが保持されます。したがって、1回のコントロール転送中に複数回のSETUPトークンを受信した場合、次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため、UF0E0STレジスタを再度読み出してください。

FWよりリクエストのデコードを行い、UF0E0Rレジスタの読み出し、またはUF0E0Wレジスタの書き込みを行ったとき

デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

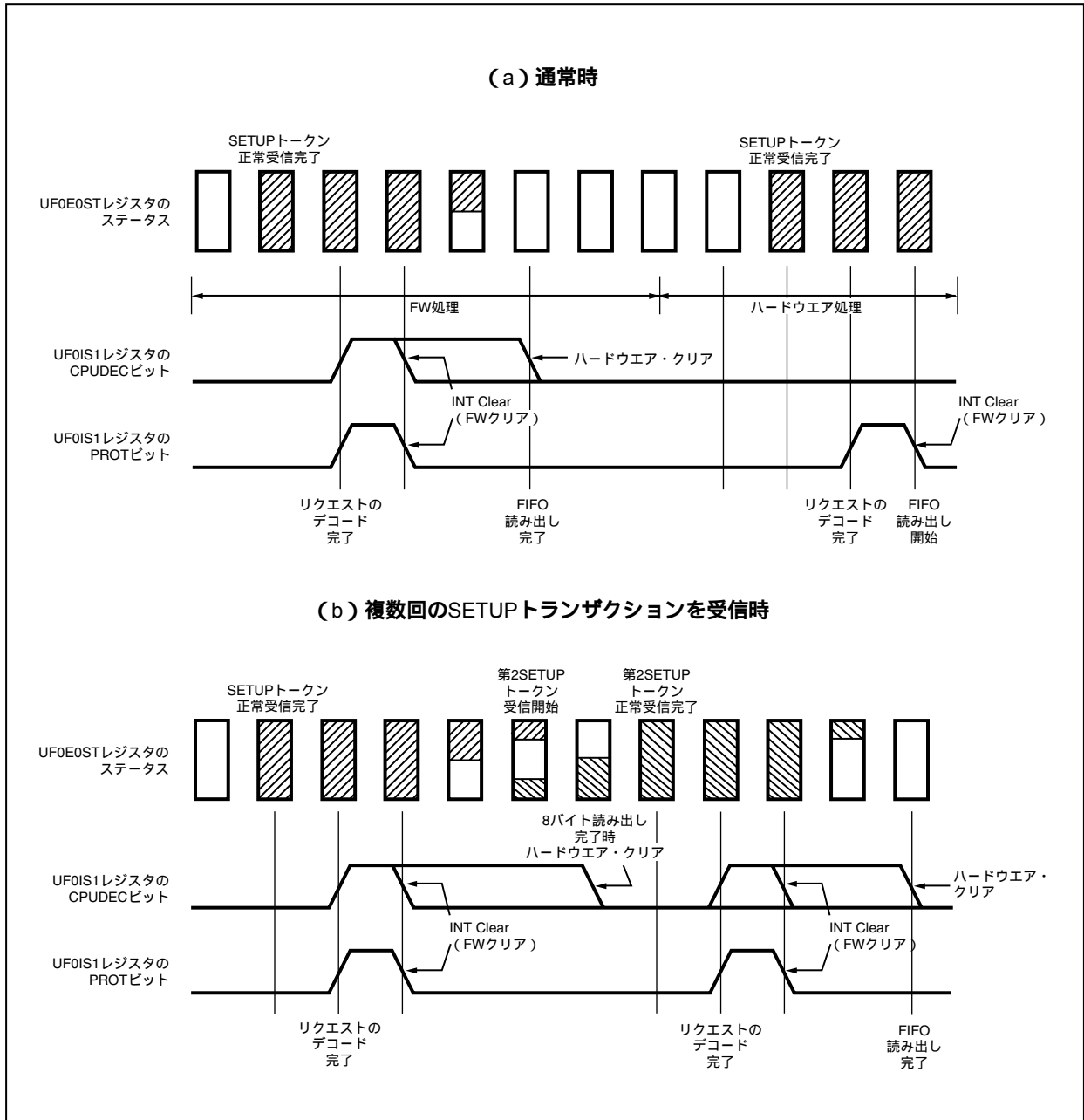
注意 格納されているデータは、すべて読み出してください。UF0E0STレジスタは、常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	FF18H	00H

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図12 - 3 UF0E0STレジスタの動作



(4) UF0 EP0ライト・レジスタ (UF0E0W)

UF0E0Wレジスタは、Endpoint0に対するデータ・ステージでホストに送るINデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアはUF0E0NレジスタのEP0NKWビットがセット (1) されている (NAKを送信しない) 場合のみ、INトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0NレジスタのEP0NKWビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0E0Wレジスタにデータを書き込み、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。Nullパケットを送信する場合は、UF0E0Wレジスタのクリアを行い、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。

UF0E0Wレジスタは、送信が完了していない状態で次のSETUPトークンを受信したときにクリア (0) されます。また、データ・ステージでACKを正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、UF0E0Wレジスタは自動的にクリア (0) され、同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア (0) されます。

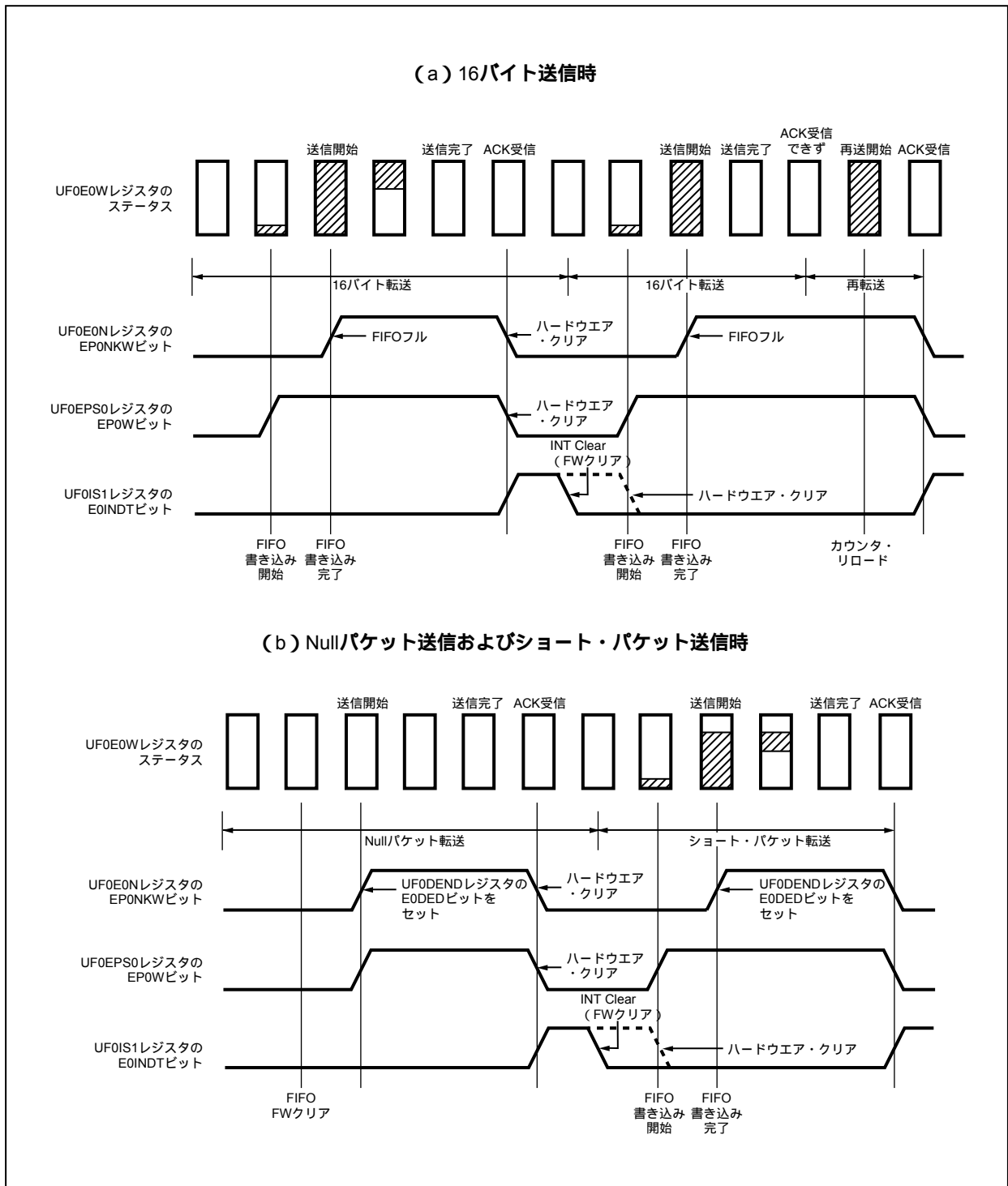
データが空の状態ではUF0E0Wレジスタを読み出した場合には、00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	FF19H	不定

ビット位置	ビット名	意 味
7-0	E0W7-E0W0	Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。

次にUF0E0Wレジスタの動作を示します。

図12 - 4 UF0E0Wレジスタの動作



(5) UF0バルク・アウト1レジスタ (UF0BO1)

UF0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0) ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO1DTビットをセット(1)し、UF0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求を発生します。

UF0BO1レジスタに保持しているデータは、UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO1NKビットが自動的にクリア(0)されます。なお、UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO1レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

		7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1		BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	FF0DH	不定

ビット位置	ビット名	意 味
7-0	BKO17- BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図12 - 5 UF0BO1レジスタの動作 (1/2)

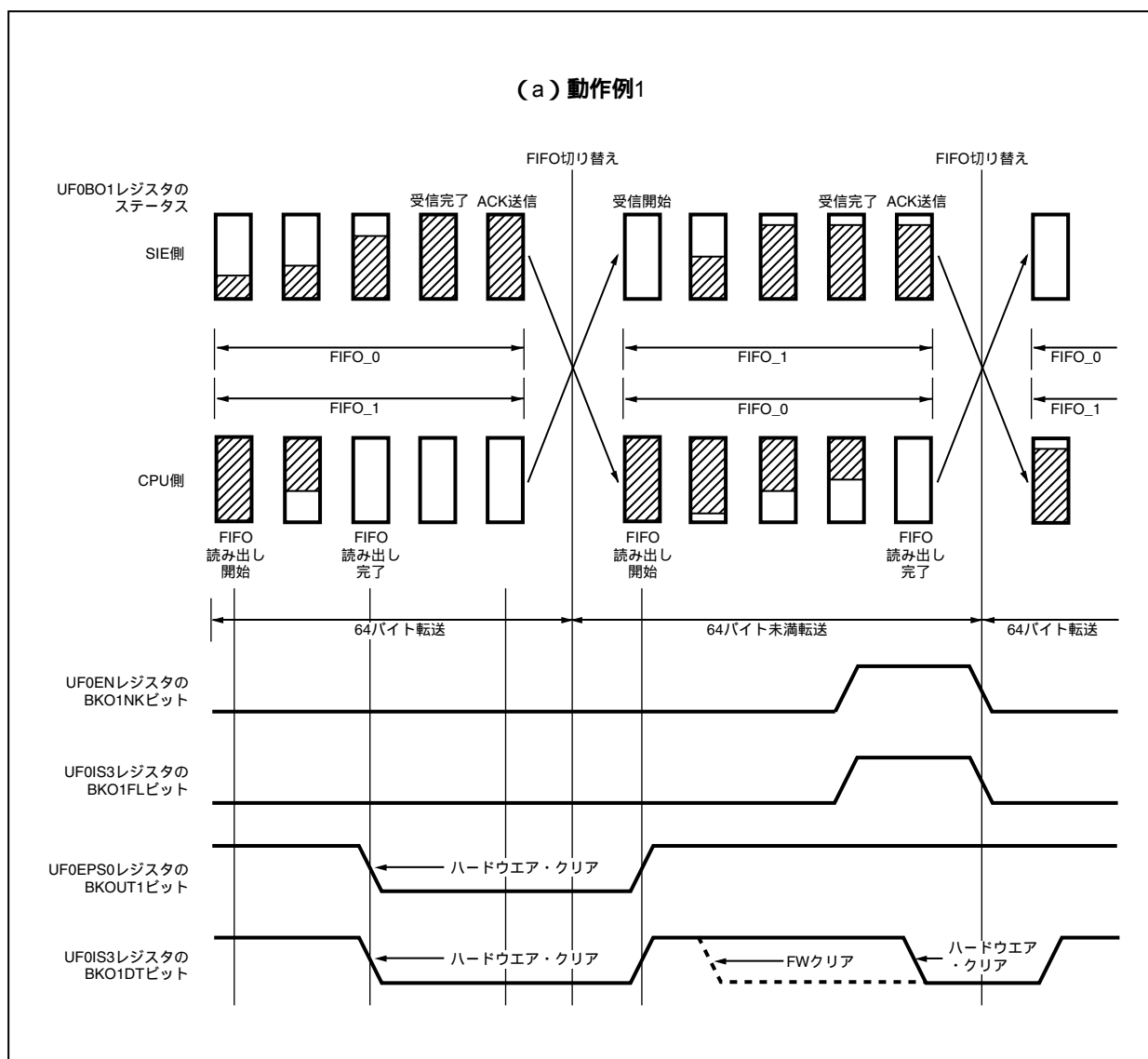
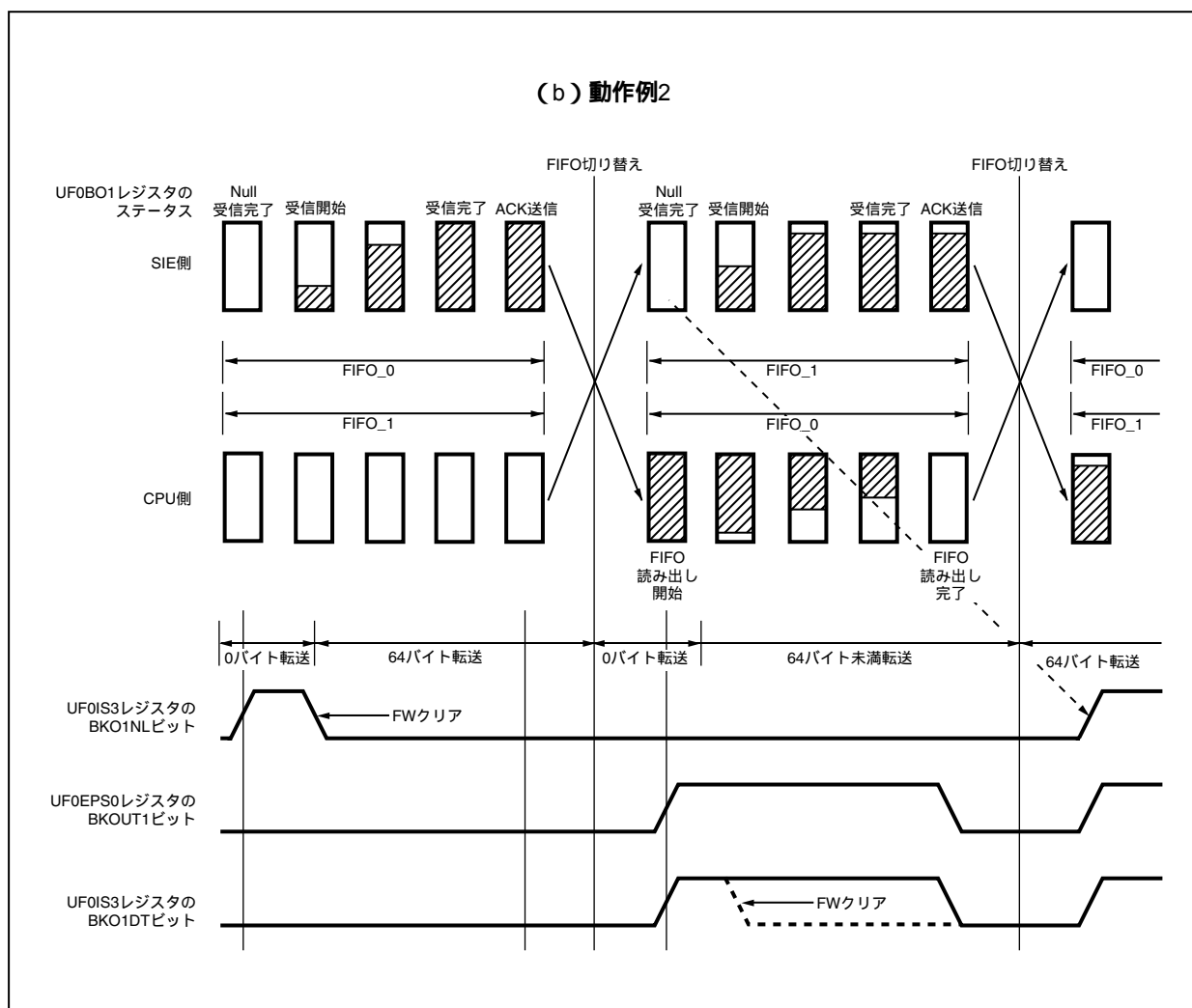


図12 - 5 UF0BO1レジスタの動作 (2/2)



(6) UF0バルク・アウト1レングス・レジスタ (UF0BO1L)

UF0BO1Lレジスタは、UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに、デクリメントされます。

		7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L		BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	FF77H	00H

ビット位置	ビット名	意 味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

(7) UF0バルク・イン1レジスタ (UF0BI1)

UF0BI1レジスタは、Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI1DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1レジスタにデータを書き込み、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI1レジスタのクリアを行い、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI1DTビットをセット(1)し、CPUに対して割り込み要求を発生します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	FF0EH	不定

ビット位置	ビット名	意味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図12 - 6 UF0B1レジスタの動作 (1/3)

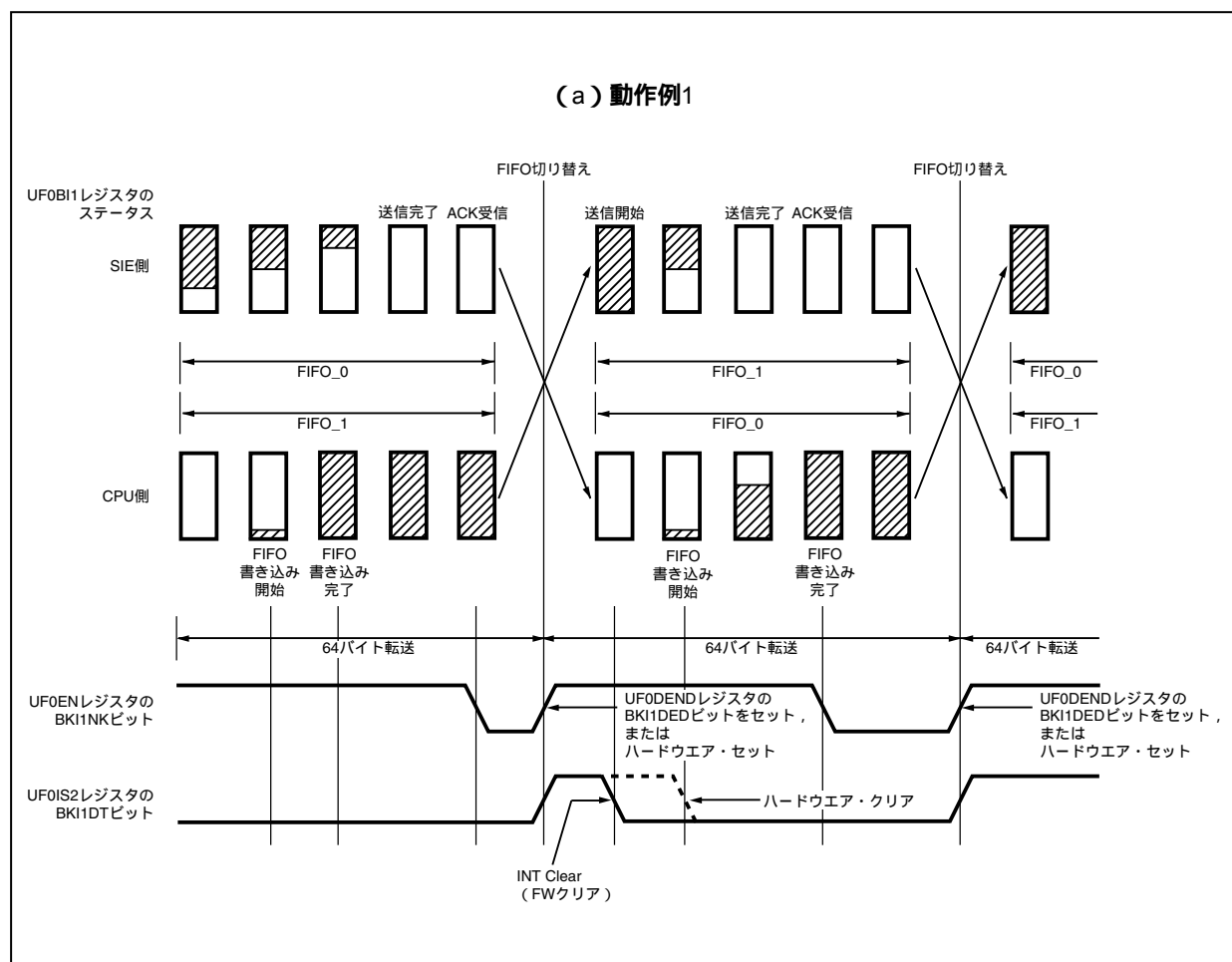


図12 - 6 UF0B1レジスタの動作 (2/3)

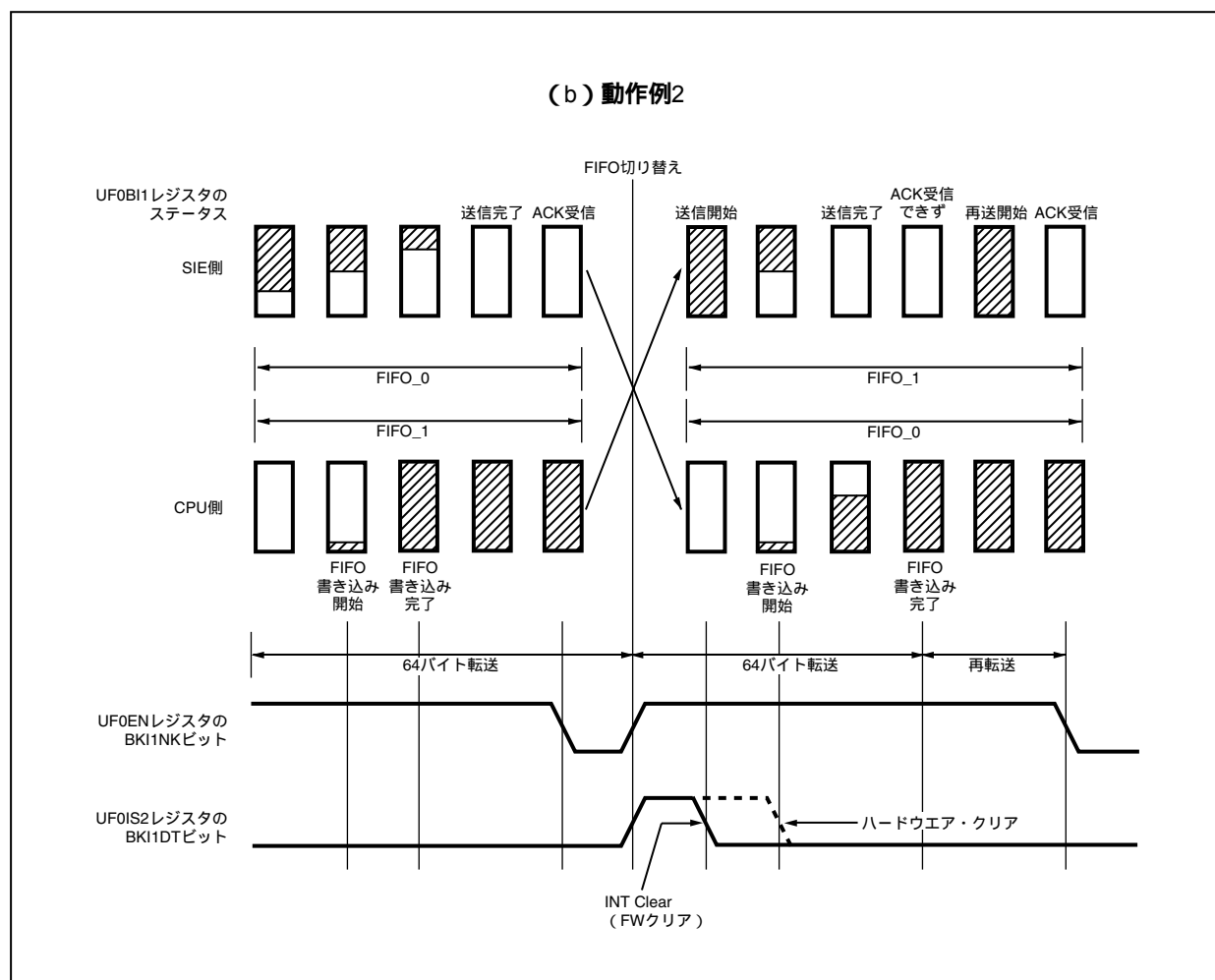
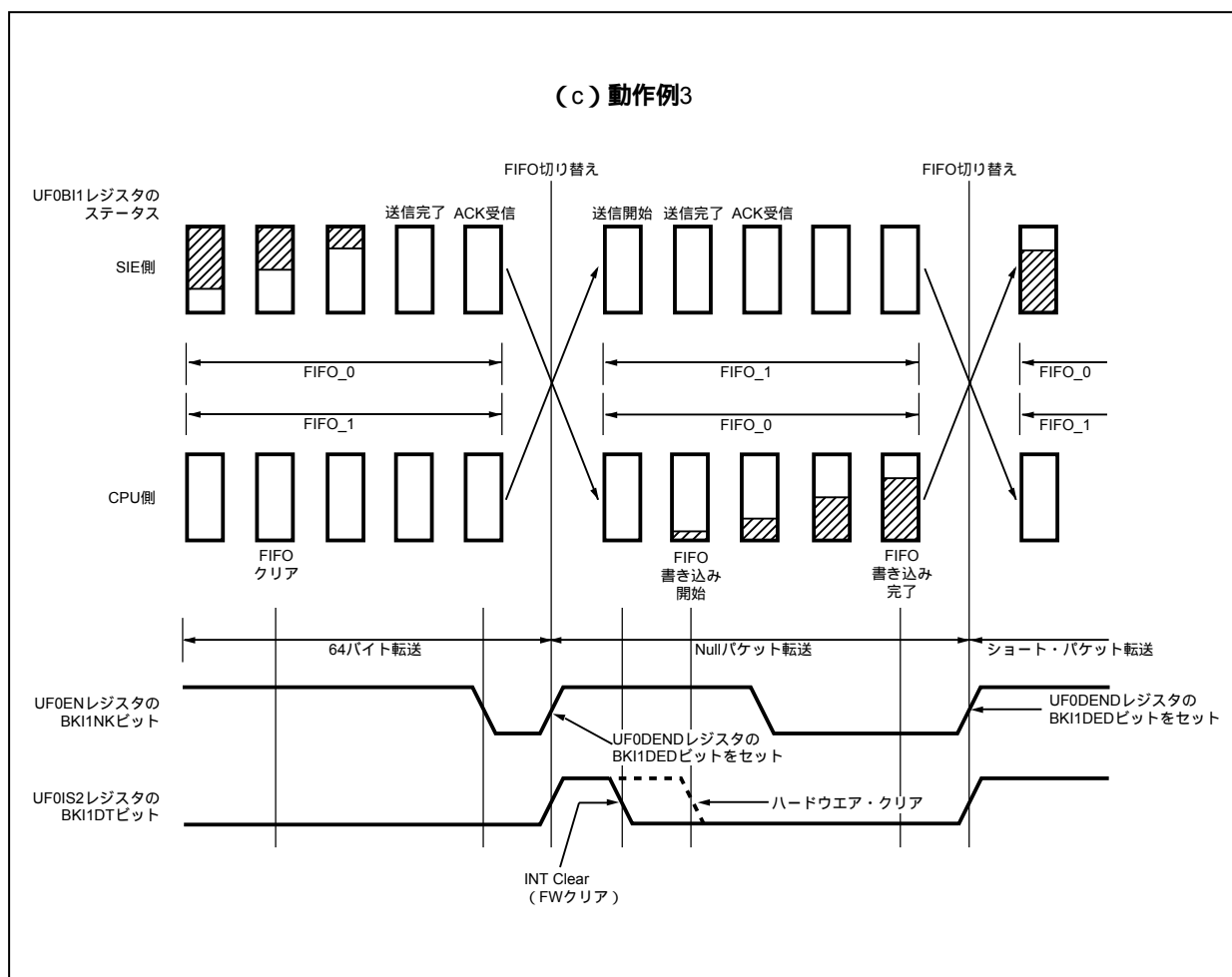


図12 - 6 UF0B1レジスタの動作 (3/3)



12.4.3 リクエスト・データ・レジスタ

(1) UF0デバイス・ステータス・レジスタ (UF0DSTL)

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアはGET_STATUS Deviceリクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	FF9AH	00H

ビット位置	ビット名	意 味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Deviceリクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Deviceリクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0ステータス・レジスタ (UF0E0SL)

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

USBF自身でエラーが発生すると、E0HALTビットがFWによってセット(1)されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット(1)する場合、直前のコントロール転送がSET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0リクエスト, またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウェアはGET_STATUS Endpoint0リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W, UF0E0Rレジスタがクリアされ、UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	FF9CH	00H

ビット位置	ビット名	意 味
0	E0HALT	Endpoint0の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(3) UF0 EP1ステータス・レジスタ (UF0E1SL)

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint1でエラーが発生すると、E1HALTビットがセット(1)されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint1リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0B11レジスタがクリアされ、BK11NKビットがクリア(0)されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	FF9DH	00H

ビット位置	ビット名	意 味
0	E1HALT	Endpoint1の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(4) UF0 EP2ステータス・レジスタ (UF0E2SL)

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint2でエラーが発生すると、E2HALTビットがセット(1)されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint2リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ、BKO1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	FF9EH	00H

ビット位置	ビット名	意 味
0	E2HALT	Endpoint2の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint2リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(5) UF0アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合、ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	FF90H	00H

ビット位置	ビット名	意 味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

(6) UF0コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して、UF0MODSレジスタのCONFビットがセット (1) されます。また、SET_CONFIGURATIONリクエストをFWで処理した場合、このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます (ステータス・ステージ終了前にCONFビット = 1になります)。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

		7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF		0	0	0	0	0	0	CONF1	CONF0	FF91H	00H

ビット位置	ビット名	意 味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

(7) UF0インタフェース0レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア(0)します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	FF92H	00H

ビット位置	ビット名	意 味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

(8) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです (n = 1-4)。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	FF93H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	FF94H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	FF95H	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	FF96H	00H

ビット位置	ビット名	意味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考 n = 1-4

(9) UF0ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configurationリクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数 - 1の値になります (n = 0-255)。このレジスタ値によりGET_DESCRIPTOR Configurationリクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると、返信するディスクリプタ長は1バイトを意味し、FFHを設定すると256バイトを意味します。なお、256バイトを越えるディスクリプタを使用する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)してFWによりGET_DESCRIPTORリクエストを処理してください(このときUF0MODSレジスタのCDCGDビットもセット(1)されます)。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

		7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL		DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	FF78H	00H

ビット位置	ビット名	意 味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configurationリクエストで返信する全ディスクリプタのバイト数 - 1の値を設定します。

(10) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKABITビットがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKABITビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
- 2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

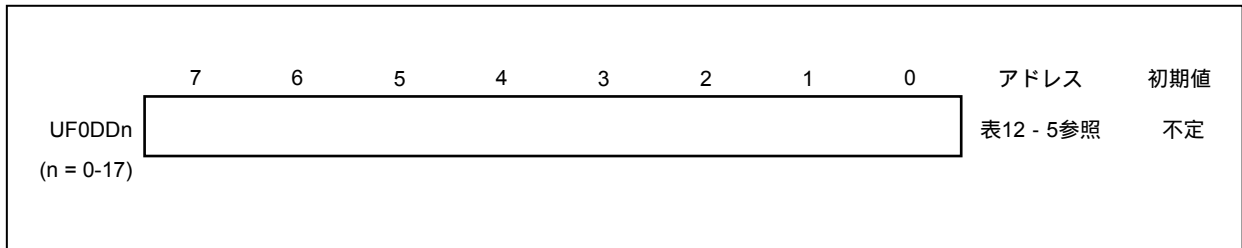


表12-5 UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
UF0DD0	F9D1	bLength	このディスクリプタのサイズ
UF0DD1	F9D2	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	F9D3	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	F9D4		USB仕様のRev.番号の小数点以上の値
UF0DD4	F9D5	bDeviceClass	クラス・コード
UF0DD5	F9D6	bDeviceSubClass	サブクラス・コード
UF0DD6	F9D7	bDeviceProtocol	プロトコル・コード
UF0DD7	F9D8	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	F9D9	idVendor	ベンダIDの下位側の値
UF0DD9	F9DA		ベンダIDの上位側の値
UF0DD10	F9DB	idProduct	製品IDの下位側の値
UF0DD11	F9DC		製品IDの上位側の値
UF0DD12	F9DD	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	F9DE		デバイス・リリース番号の上位側の値
UF0DD14	F9DF	iManufacturer	メーカーを記述するstring・ディスクリプタのインデクス
UF0DD15	F9E0	iProduct	製品を記述するstring・ディスクリプタのインデクス
UF0DD16	F9E1	iSerialNumber	デバイス・シリアル番号を記述するstring・ディスクリプタのインデクス
UF0DD17	F9E2	BNumConfigurations	設定可能なConfigurationの数

(11) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255
(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpointの順に格納してください(表12 - 6参照)。Interfaceが複数ある場合は、Interfaceディスクリプタ以降を繰り返し格納してください。

表12 - 6 UF0CIEnレジスタのマッピング

アドレス	格納するディスクリプタ
F9E3H	Configurationディスクリプタ (9バイト)
F9ECH	Interfaceディスクリプタ (9バイト)
F9F5H	Endpoint1ディスクリプタ (7バイト)
F9FCH	Endpoint2ディスクリプタ (7バイト)
FA03H	Endpoint3ディスクリプタ (7バイト)
:	:
FAxxH	Interfaceディスクリプタ (9バイト)
FAxxH + 9	Endpoint1ディスクリプタ (7バイト)
FAxxH + 16	Endpoint2ディスクリプタ (7バイト)
FAxxH + 23	Endpoint3ディスクリプタ (7バイト)
:	:

UF0DSCLレジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表12 - 7に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM化可能です。

- 注意** 1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

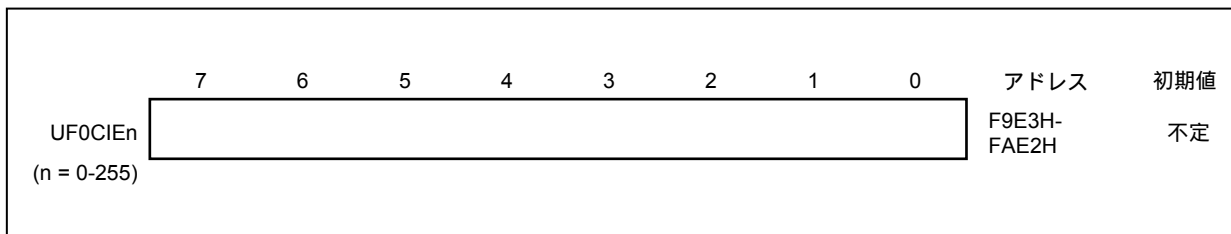


表12 - 7 UF0CIEnレジスタのデータ

(a) Configurationディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するSTRING・ディスクリプタのインデクス
7	bmAttributes	Configurationの特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	このConfigurationの最大消費電力 (単位: mA) ^注

注 2mAの単位で表されます。(例: 50 = 100mA)

(b) Interfaceディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するSTRING・ディスクリプタのインデクス

(c) Endpointディスクリプタ (7バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

12.4.4 周辺制御レジスタ

(1) USBファンクション0バッファ・コントロール・レジスタ (UF0BC)

USBファンクションの入力バッファに対するイネーブル制御, フローティング制御を行うレジスタです。
8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BC	0	0	0	0	0	0	UBFIEN	UBFIOR	FF8BH	00H

ビット位置	ビット名	意 味
1	UBFIEN	USBバッファの使用を制御します。 1: バッファ有効 0: バッファ無効 注意 USBを使用しない場合は、このビットはクリア(0)してください。このビットをセット(1)すると、USBの使用/未使用にかかわらず、定常的に3 mA (TYP.) の電流が流れます。
0	UBFIOR	USBバッファのフローティング対策の使用を制御します。 1: フローティング対策無効 0: フローティング対策有効 ケーブル未接続時(データ入力がフローティング時)に、不定値によるBus Reset, Suspend, Resumeなどの誤認識を防止します。このビットをセット(1)した場合は、フローティングに対する処置はVBUS信号等(ケーブル接続の認識)で制御してください。

次にホスト切断 / ホスト再接続時のプログラム，電源投入時のプログラムのフロー・チャートを示します。

図12 - 7 ホスト切断 / ホスト再接続時のプログラムのフロー・チャート

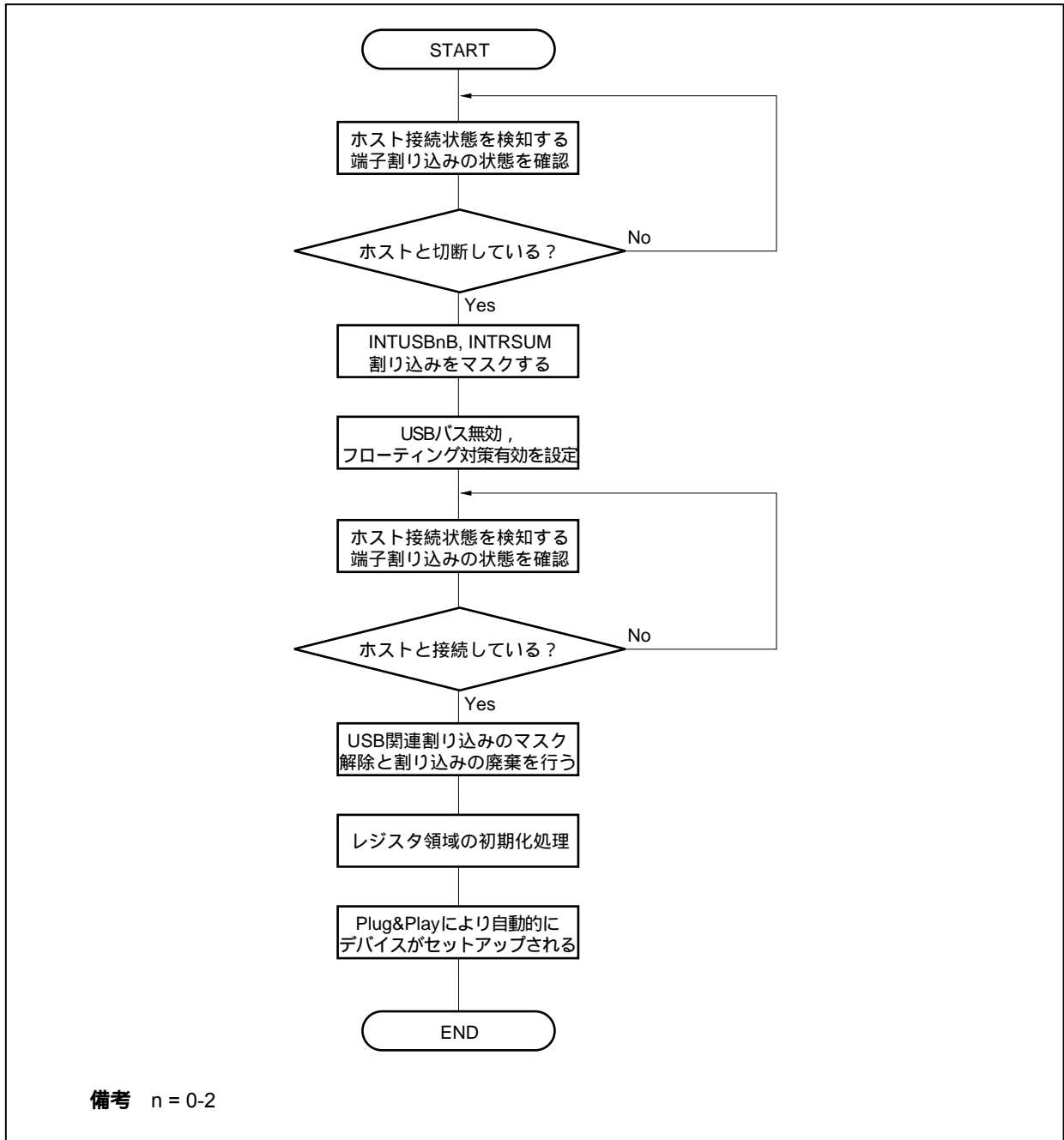
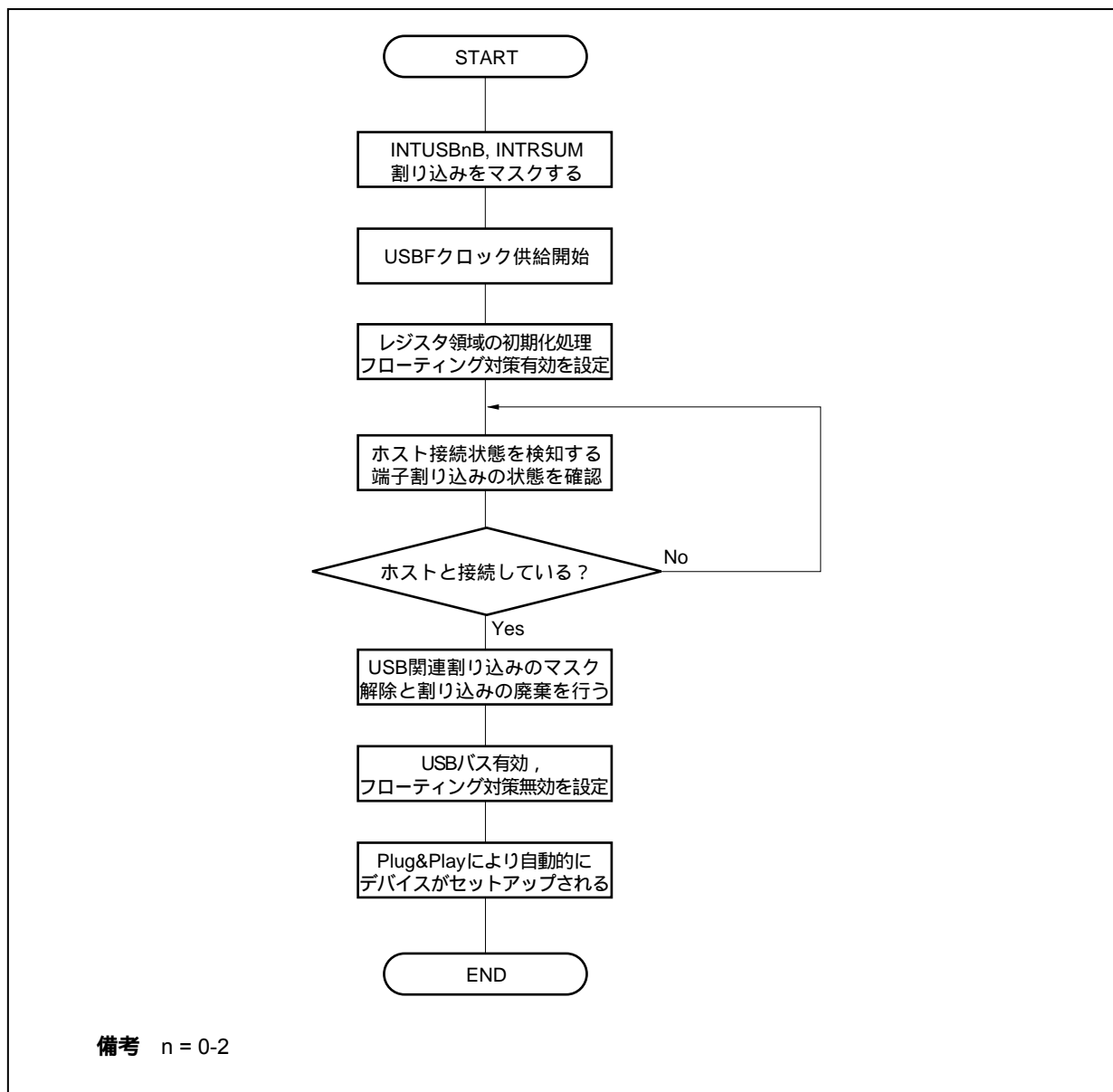


図12 - 8 電源投入時のプログラムのフロー・チャート



12.5 STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送/ バルク転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する 転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID (Data PID以外)	無応答	特になし
			CRCエラー	無応答	受信データを破棄
			ビット・スタッフィング・エラー	無応答	受信データを破棄
	OUT	データ	Data PID不一致	ACK	受信データを破棄
コントロール転送 (SETUPステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
コントロール転送 (ステータス・ ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSLレジスタの EnHALTビットをセット(1) する (n=0-2)
コントロール転送/ バルク転送	IN	ハンドシ ェーク	PIDチェック・エラー	-	送出したデータを保持し、再 転送 ^{注3}
			未対応PID (ACK PID以外)	-	送出したデータを保持し、再 転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再 転送 ^{注3}

注1. ホストの再転送に対してSTALL応答します。

- 転送データがMaxPacketSize以下の場合にはACK応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSizeを越える場合には無応答となり、UF0SDSレジスタのSNDSTLビットがセット(1)され、受信データは破棄されます。
- コントロール転送で、データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意1. 現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

- Endpoint0へのコントロール転送に含まれるリクエストに対する応答は、12.3 リクエストを参照してください。

12.6 特定状態でのレジスタ値

表12-8 特定状態でのレジスタ値 (1/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定 ^{注1}	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H

表12 - 8 特定状態でのレジスタ値 (2/2)

レジスタ名	CPUリセット ($\overline{\text{RESET}}$) 時	Bus Reset時
UF0E0Wレジスタ	不定 ^{注1}	値を保持
UF0BO1レジスタ	不定 ^{注1}	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定 ^{注1}	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ (n = 0-17)	注2	注2
UF0CIEnレジスタ (n = 0-255)	注2	注2

- 注1. 該当のレジスタは、FIFO制御のため、UF0FICnレジスタでのクリア(0)と同様に $\overline{\text{RESET}}$ 信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア(0)されるので、 $\overline{\text{RESET}}$ 信号によって、クリア(0)できます。
2. 該当のレジスタは、クリア(0)できません。ただし、FWライト可能なので、任意の値を書き込めます(その場合は、必ずUF0E0NAレジスタのEPONKAビット = 1にしてから行ってください)。

12.7 FW処理

FW処理は次に示すものに対して行います。

エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,
CLEAR_FEATUREリクエストに対する装置側の設定処理
自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト, XXXXVendorリクエストの解析とそ
の処理
バルク転送のOUTトークンに続くデータの受信バッファからの読み出し
バルク転送のINトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表12 - 9 FW対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送（OUT）のデータをUF0DDnレジスタに書き込みます（n = 0-17）。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送（OUT）のデータをUF0CIE nレジスタに書き込みます（n = 0-255）。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送（OUT）のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

12.7.1 初期化処理

初期化処理には次の2つの設定があります。

- ・ リクエスト・データ・レジスタの初期化
- ・ 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMnレジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図12 - 9 リクエスト・データ・レジスタの初期化

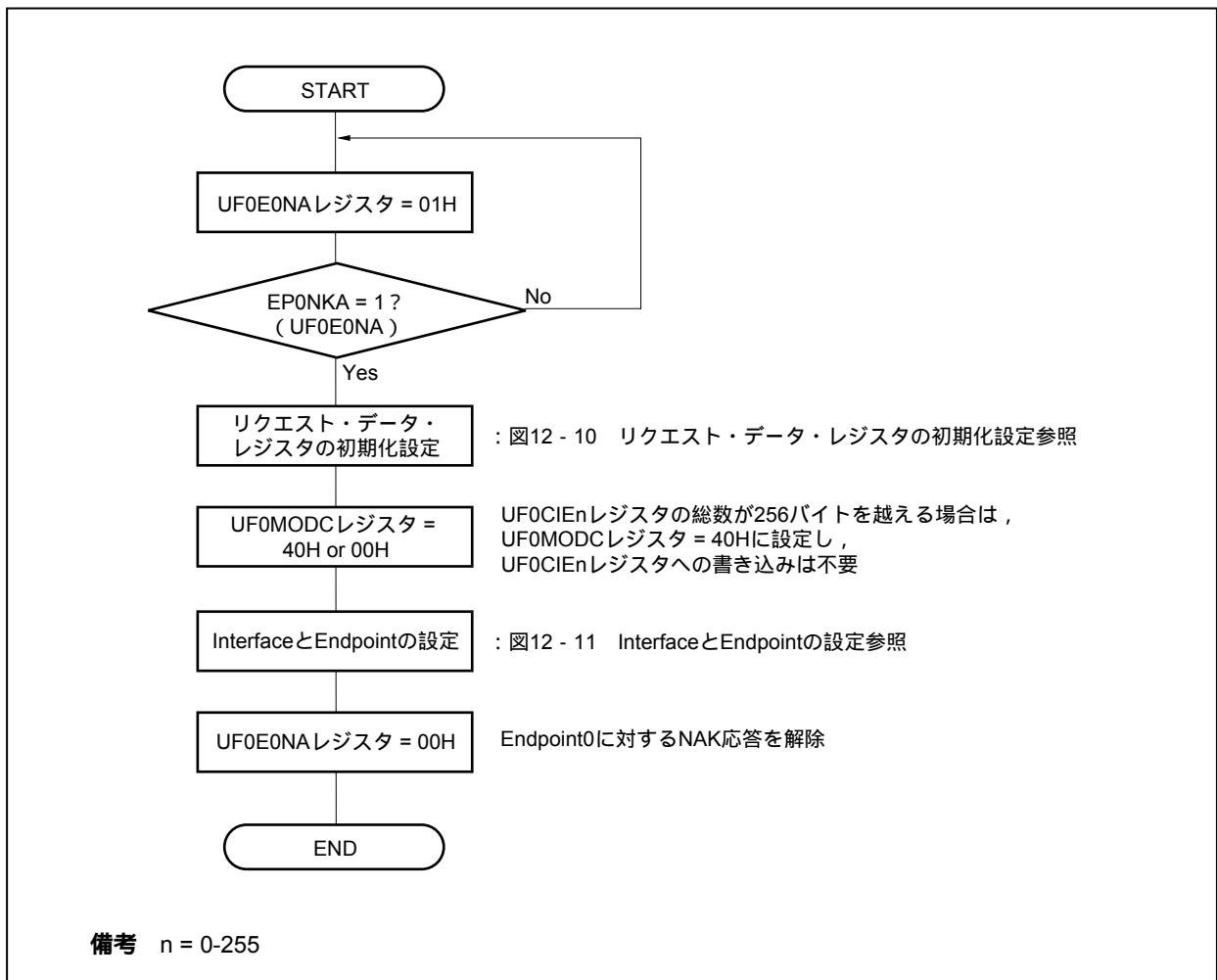


図12 - 10 リクエスト・データ・レジスタの初期化設定

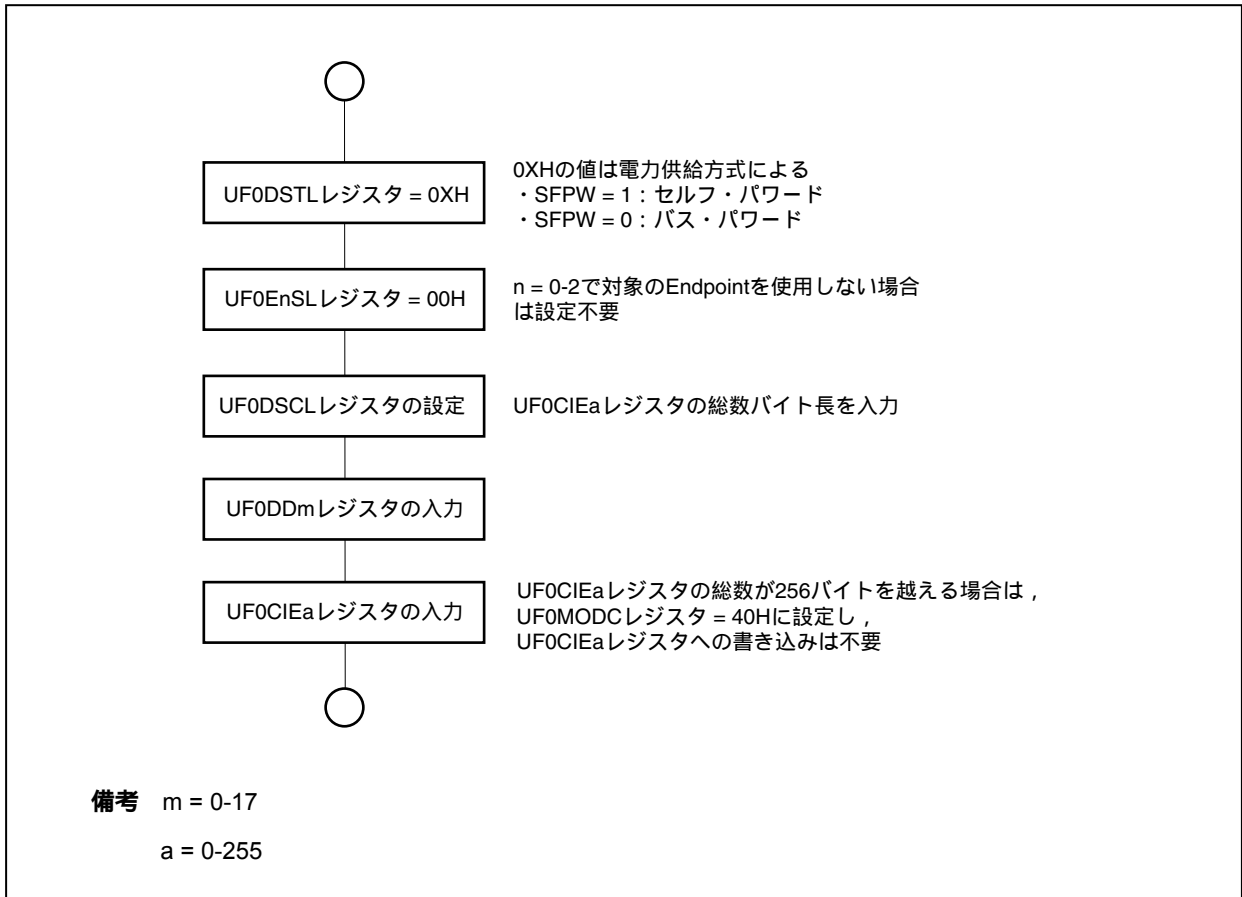


図12 - 11 InterfaceとEndpointの設定

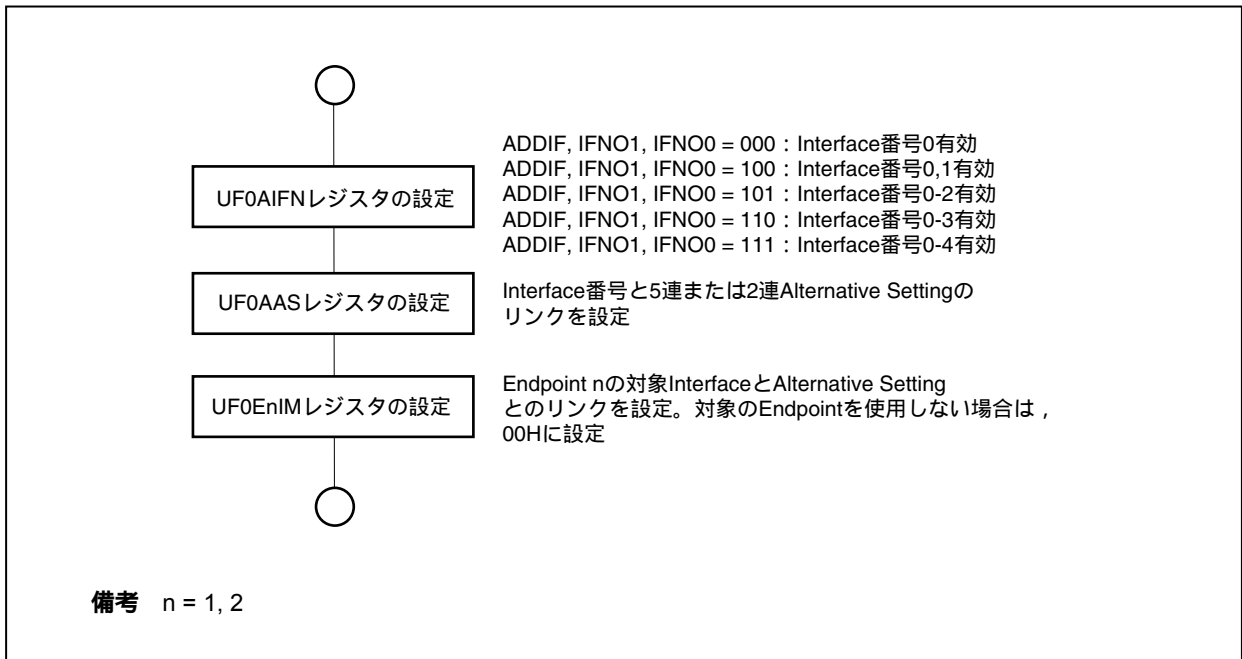
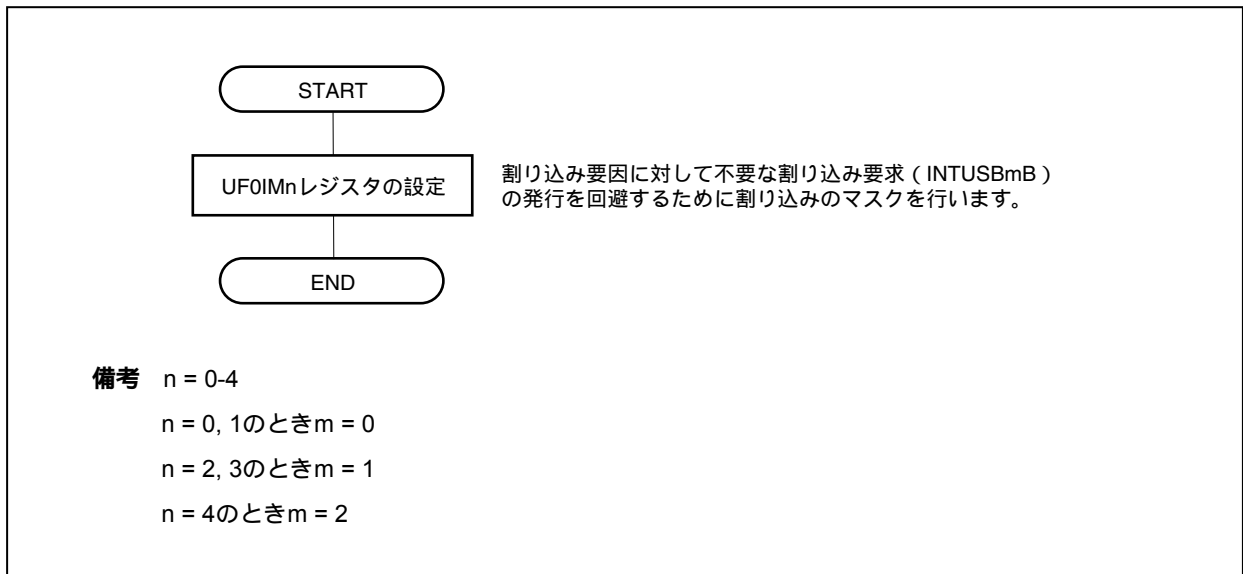


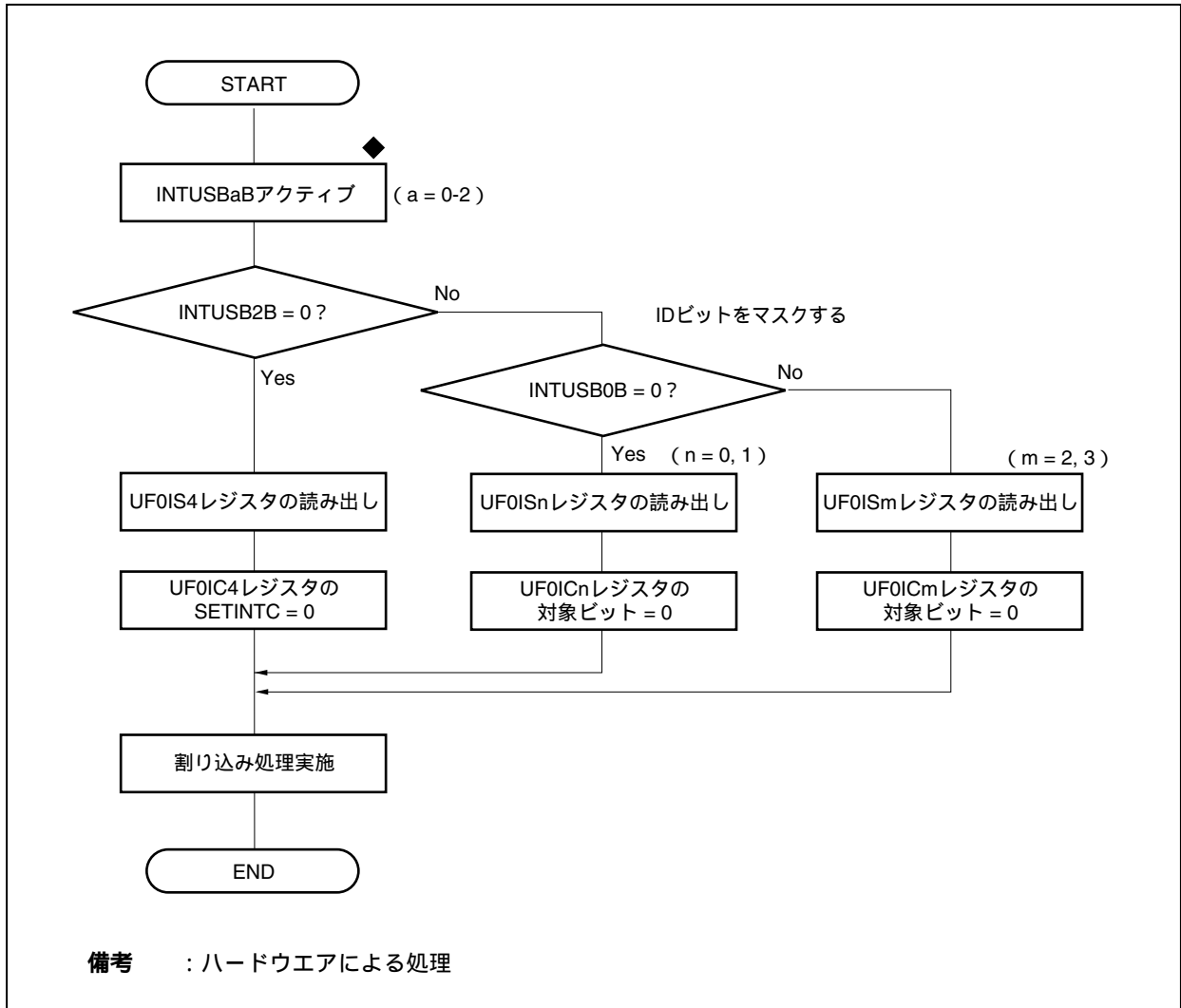
図12 - 12 割り込みの設定



12.7.2 割り込み処理

次にフローを示します。

図12 - 13 割り込み処理



次に示すUF0ISnレジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 1-3)。

- ・ UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- ・ UF0IS2レジスタのBKI1DTビット
- ・ UF0IS3レジスタのBKO1FL, BKO1DTビット

なお、UF0ICnレジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

12.7.3 USBメイン処理

USBメイン処理では、USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- ・コントロール転送に対する完全自動処理リクエスト
- ・コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・コントロール転送に対するCPUDECリクエスト
- ・バルク転送 (IN) に対する処理
- ・バルク転送 (OUT) に対する処理

Endpoint nに対する処理は、データ転送の書き込みまたは読み出し処理です。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FWでは参照できません。このため、FWで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図12 - 14 コントロール転送に対する自動処理リクエスト

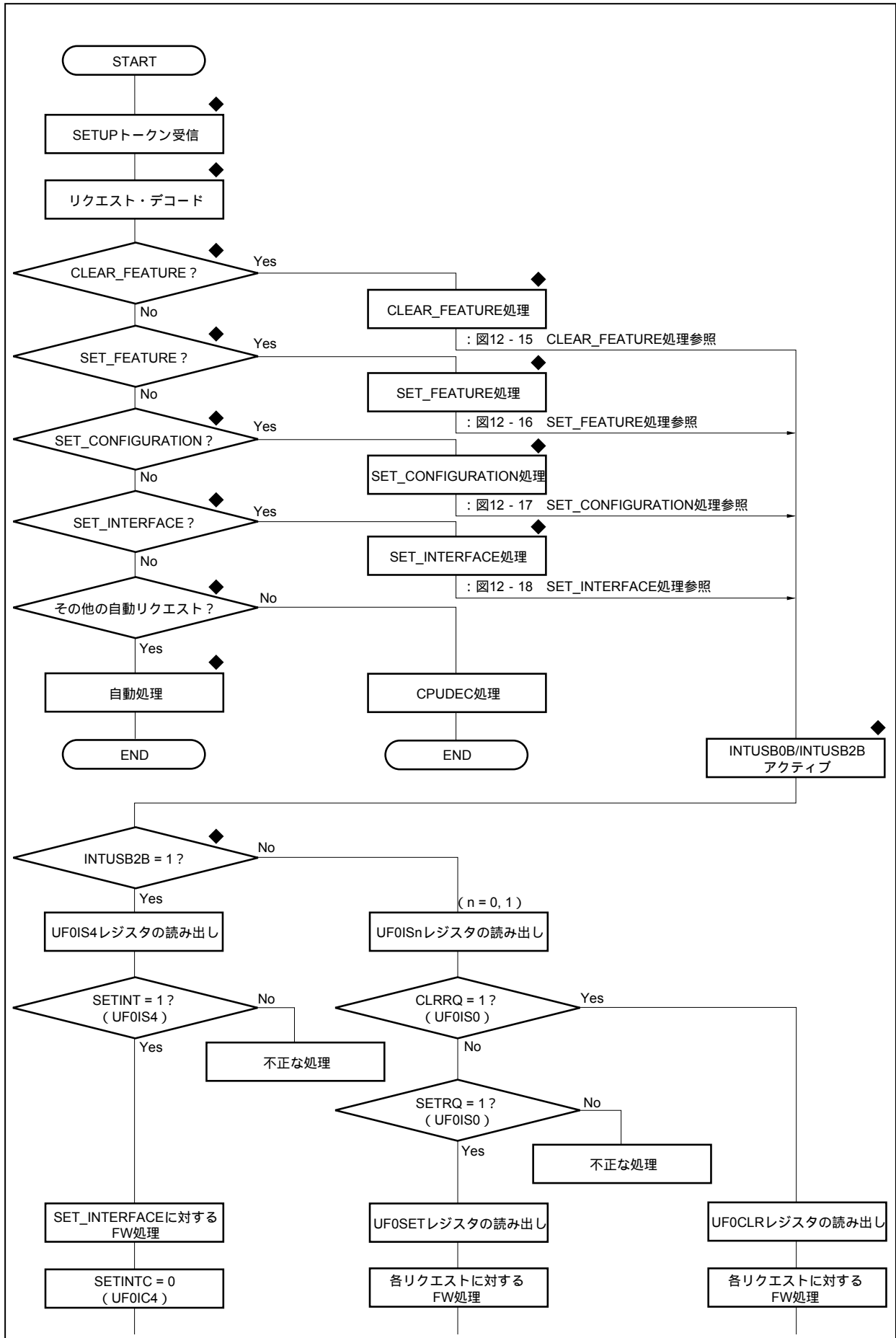


図12 - 15 CLEAR_FEATURE処理

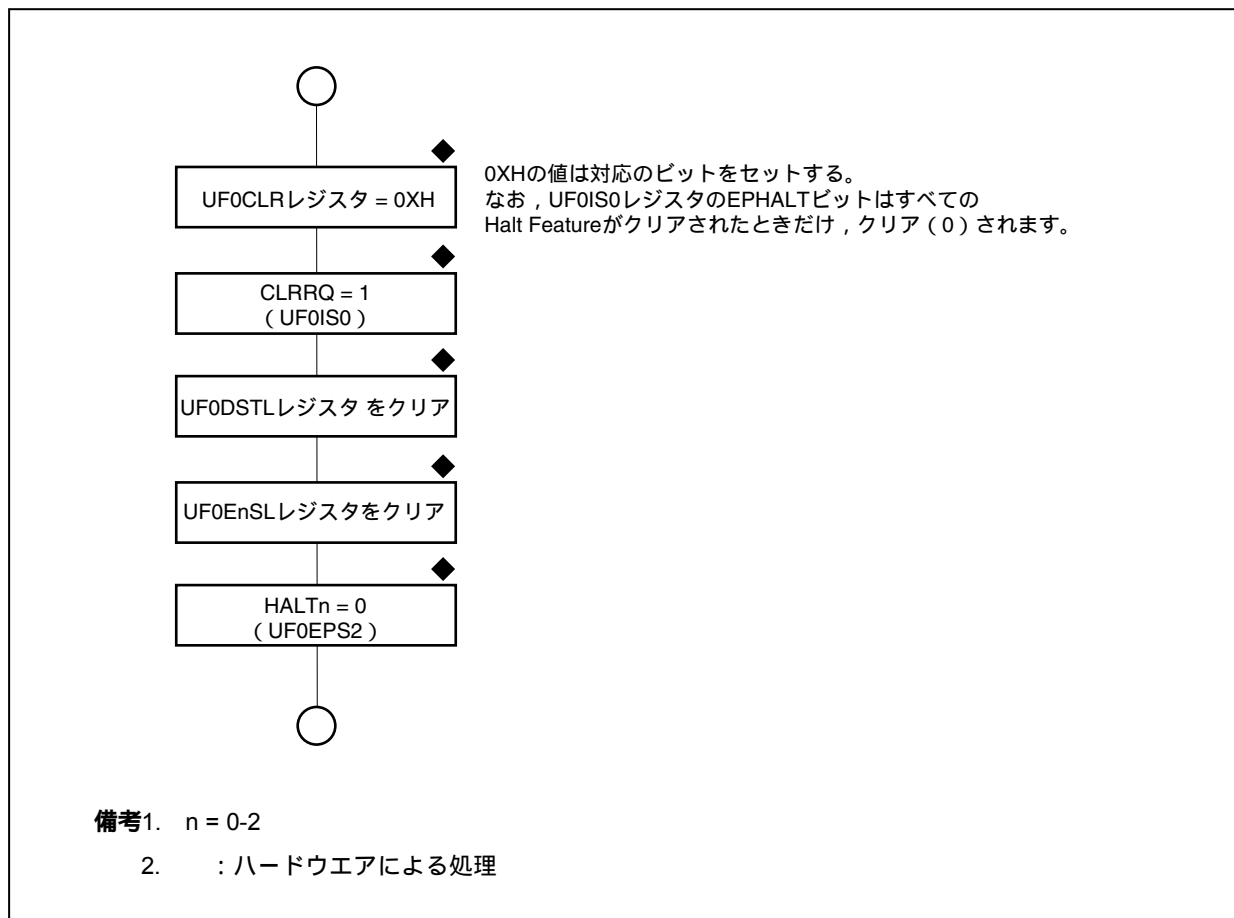


図12 - 16 SET_FEATURE処理

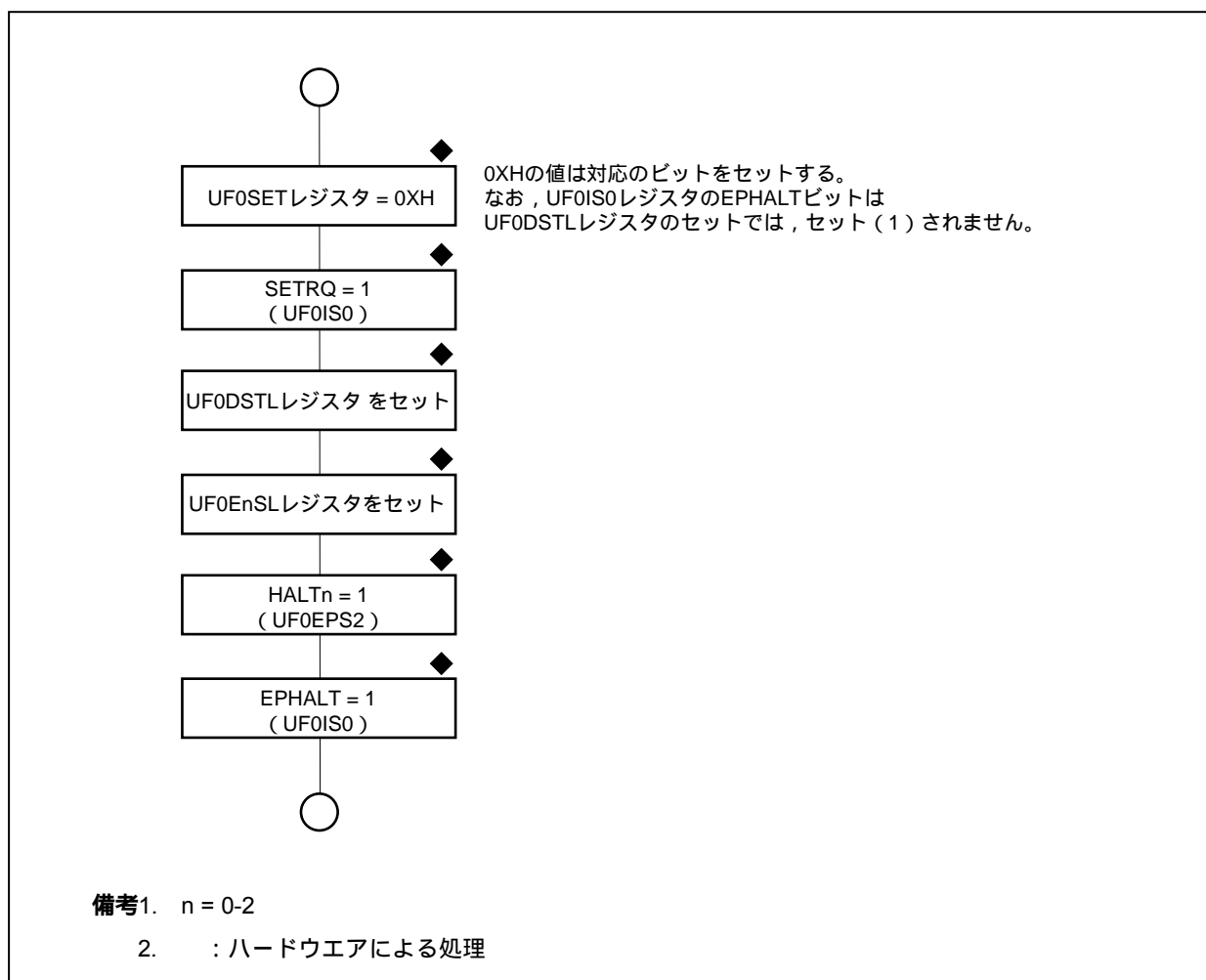


図12 - 17 SET_CONFIGURATION処理

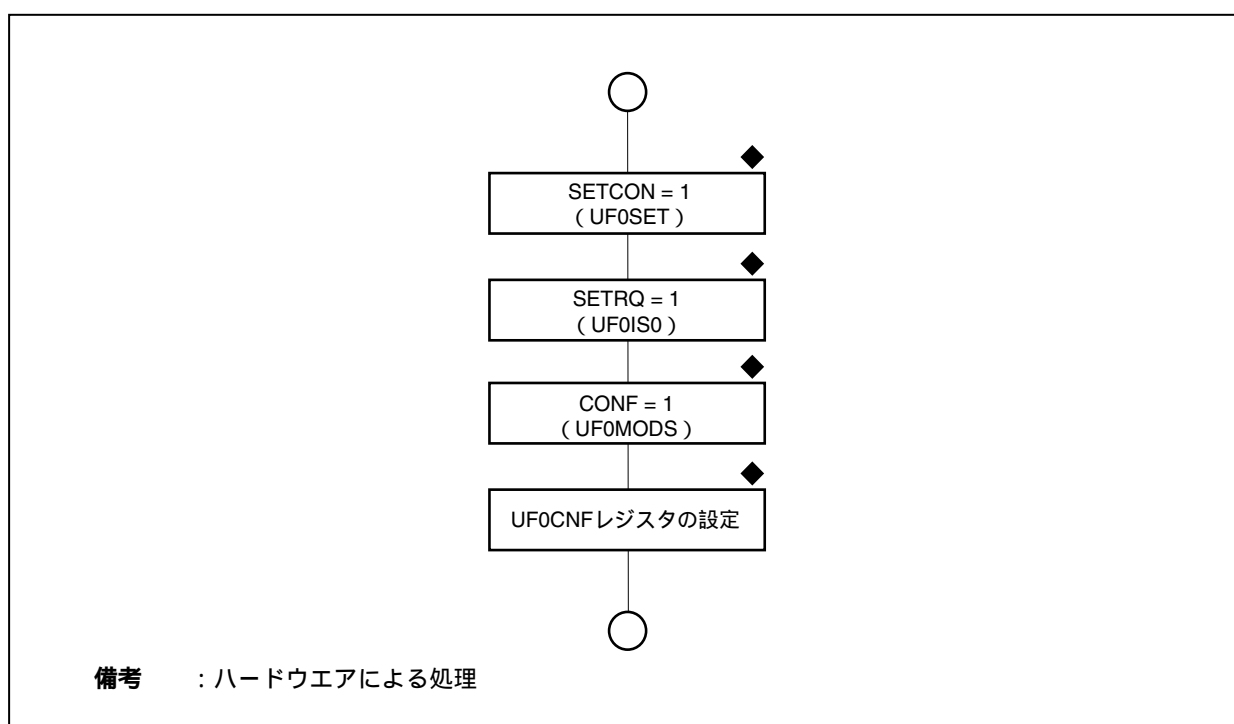
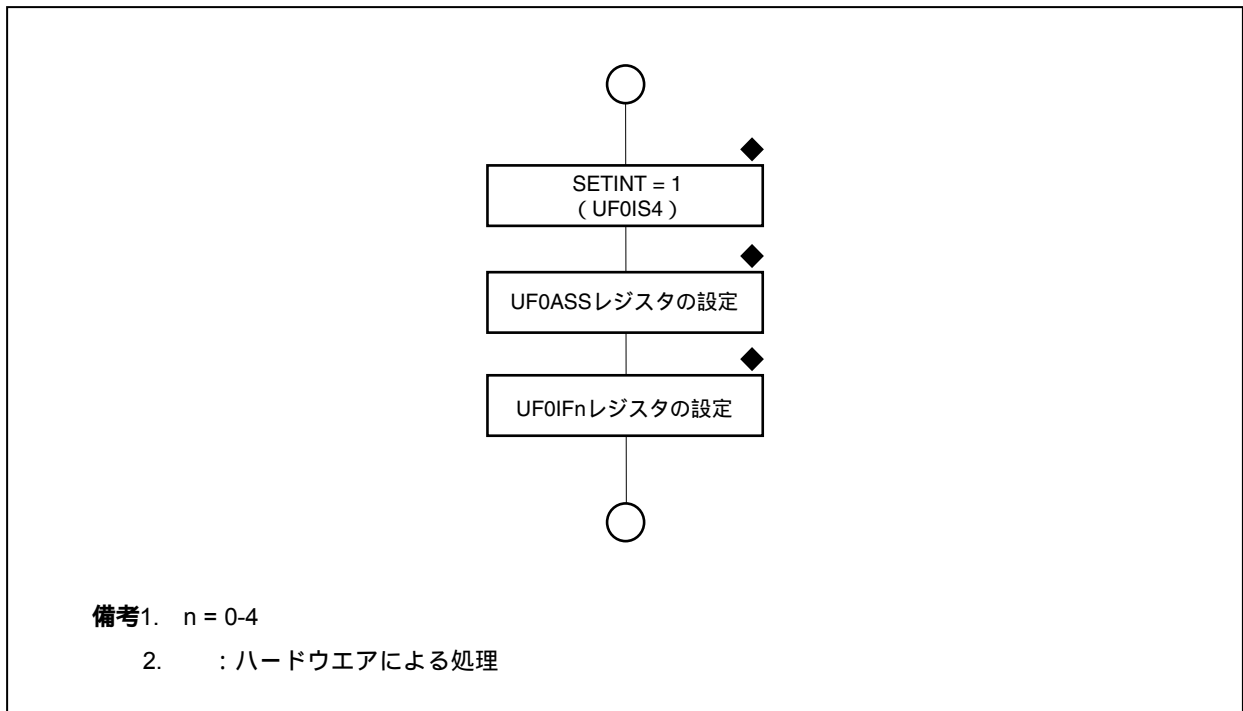


図12 - 18 SET_INTERFACE処理



(3) コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは、コントロール転送（ライト）、コントロール転送（リード）、コントロール転送（データなし）の3つの処理に分類できます。コントロール転送（ライト）はデータ・ステージでOUTトランザクションを利用するリクエスト（例：SET_DESCRIPTOR）、コントロール転送（リード）はデータ・ステージでINトランザクションを利用するリクエスト（例：GET_DESCRIPTOR）、コントロール転送（データなし）はデータ・ステージを持たないリクエスト（例：SET_CONFIGURATION）を示します。

次にフローを示します。

図12 - 19 コントロール転送に対するCPUDECリクエスト (1/12)

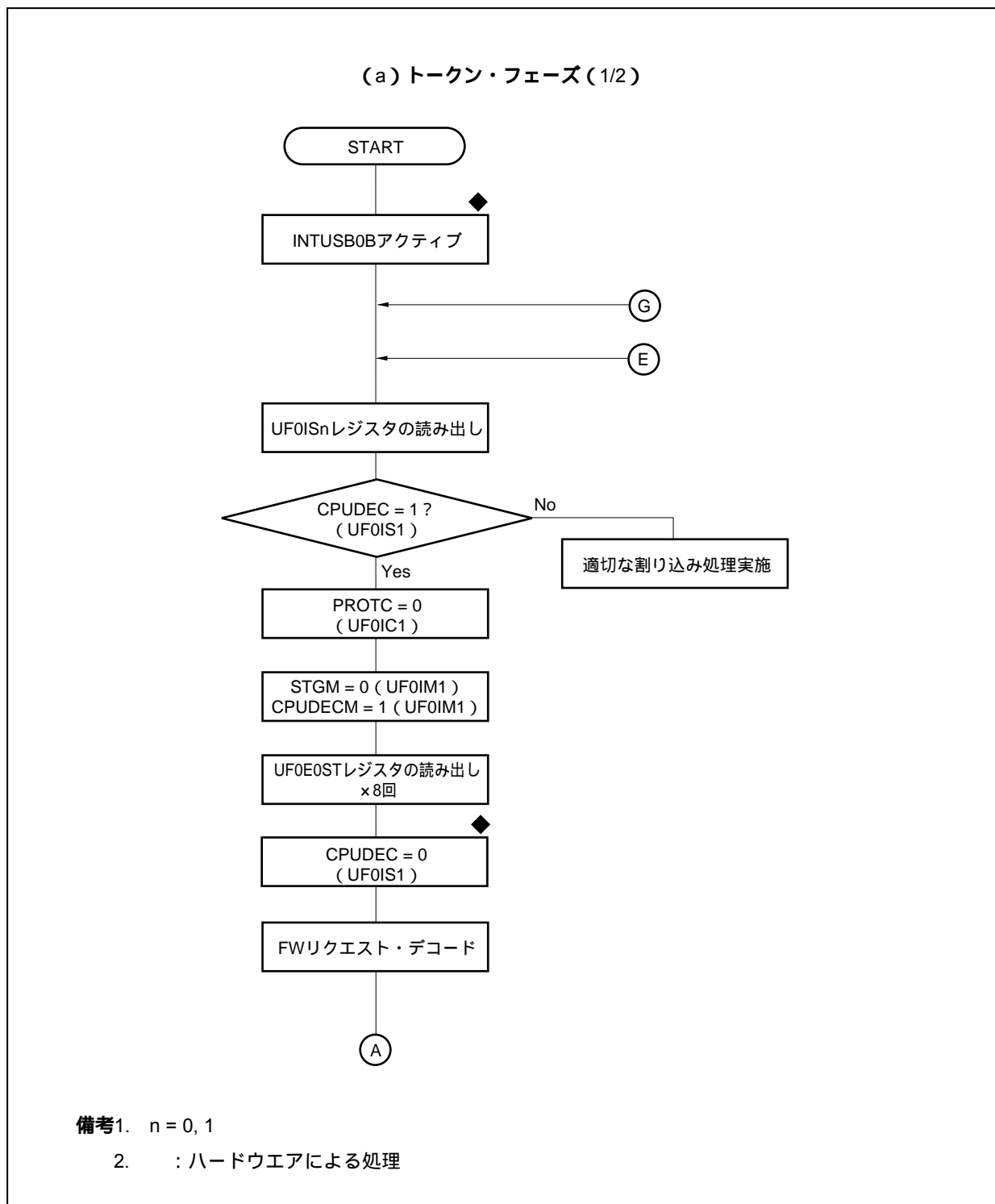


図12 - 19 コントロール転送に対するCPUDECリクエスト (2/12)

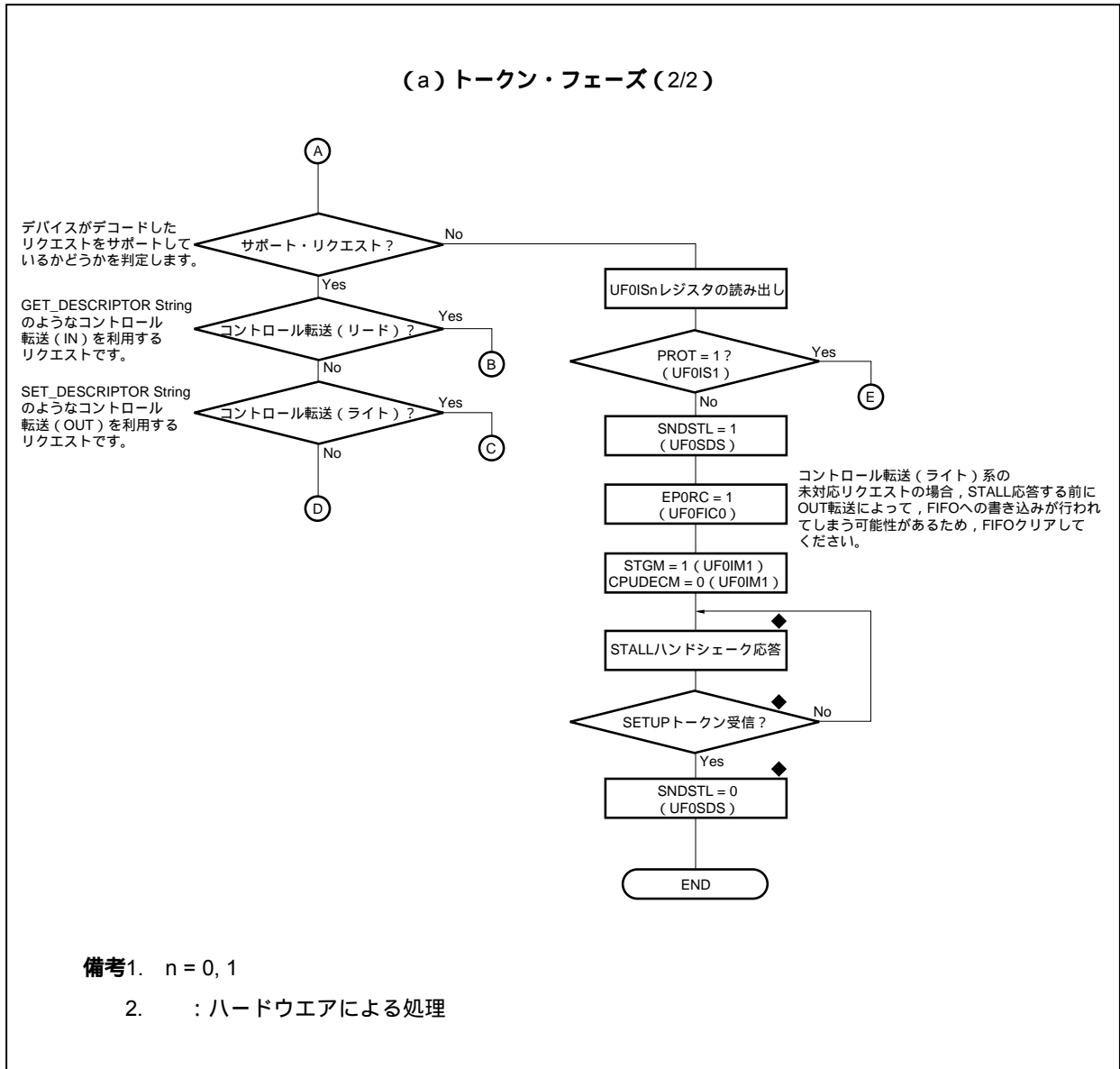


図12 - 19 コントロール転送に対するCPUDECリクエスト (3/12)

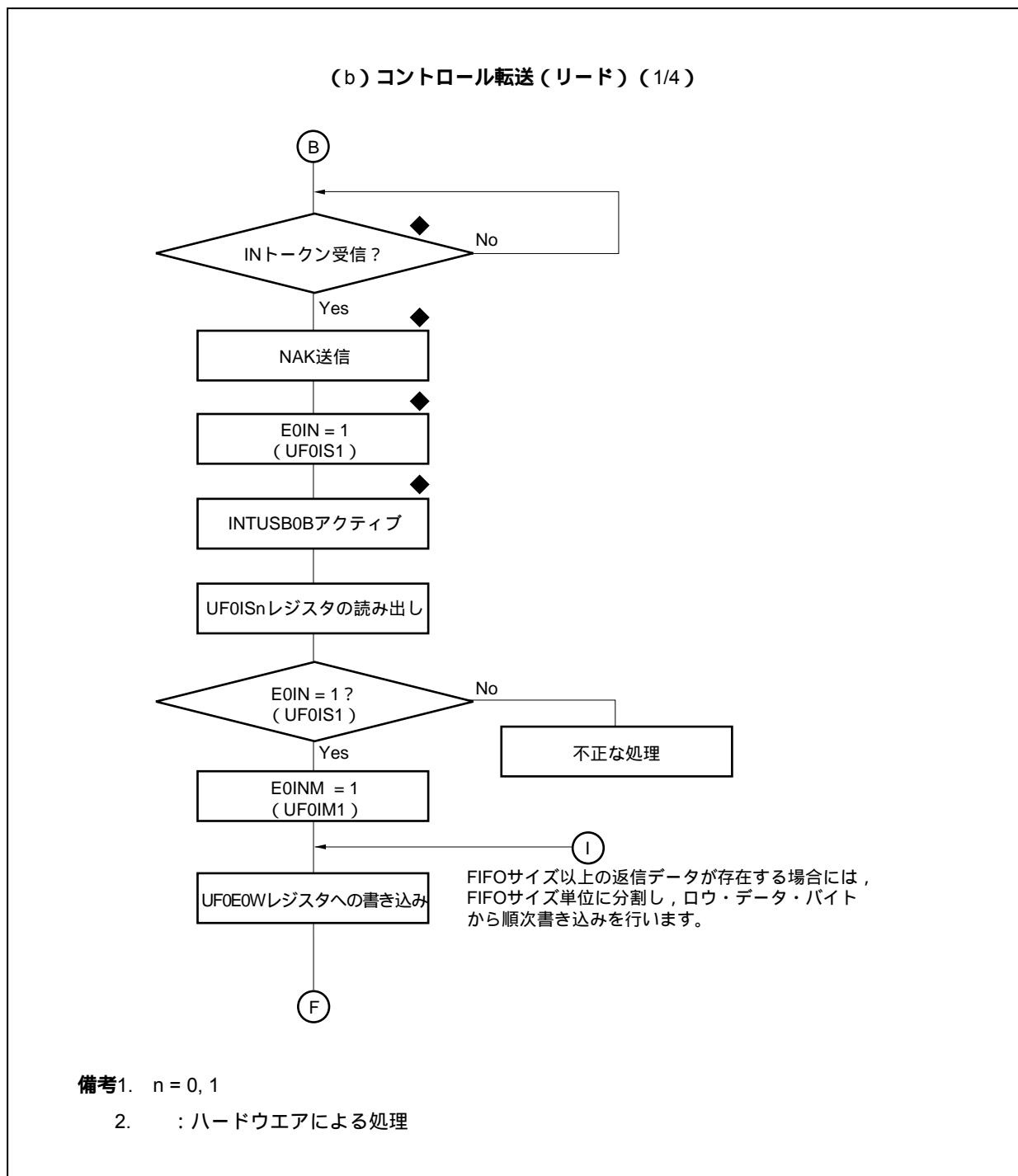


図12 - 19 コントロール転送に対するCPUDECリクエスト (4/12)

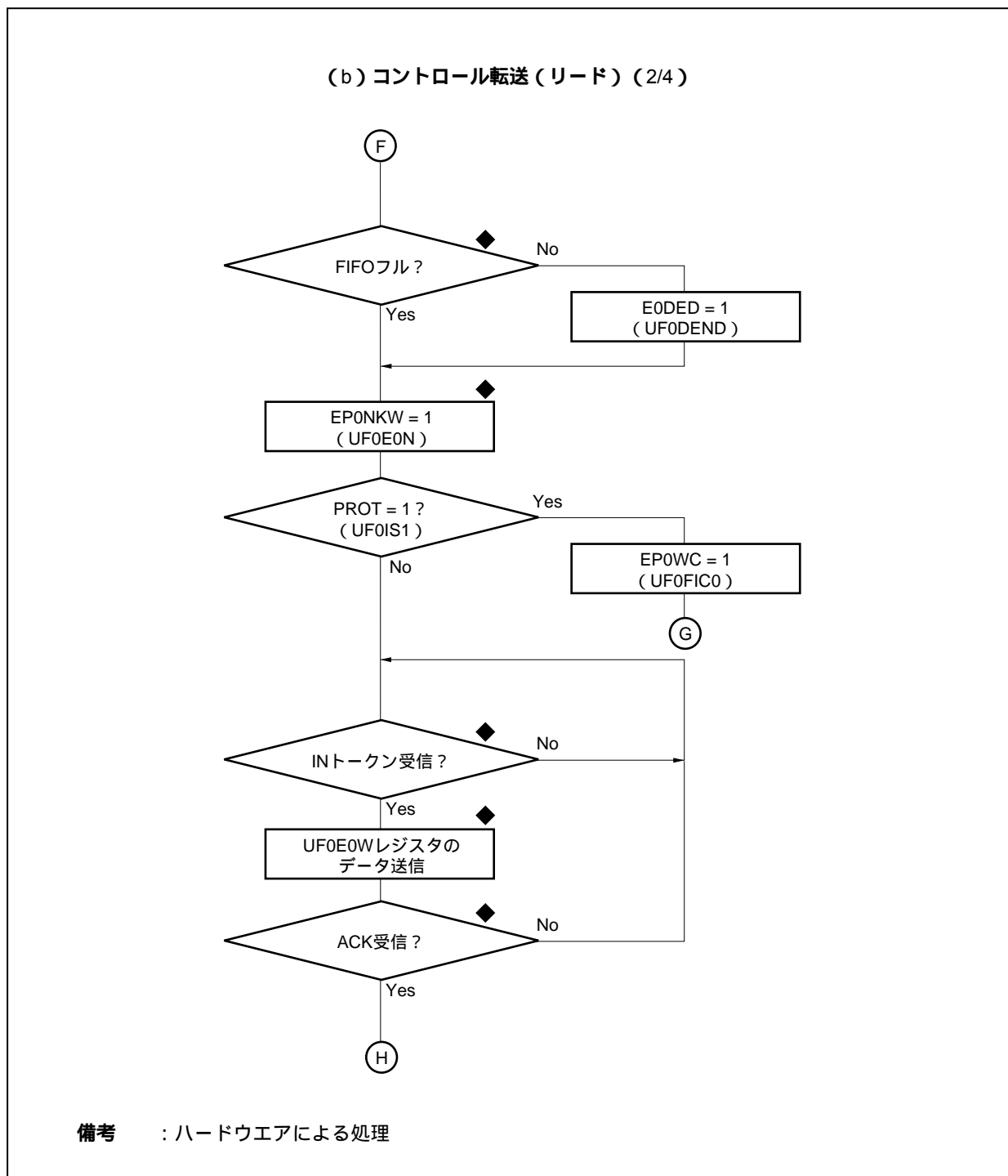


図12 - 19 コントロール転送に対するCPUDECリクエスト (5/12)

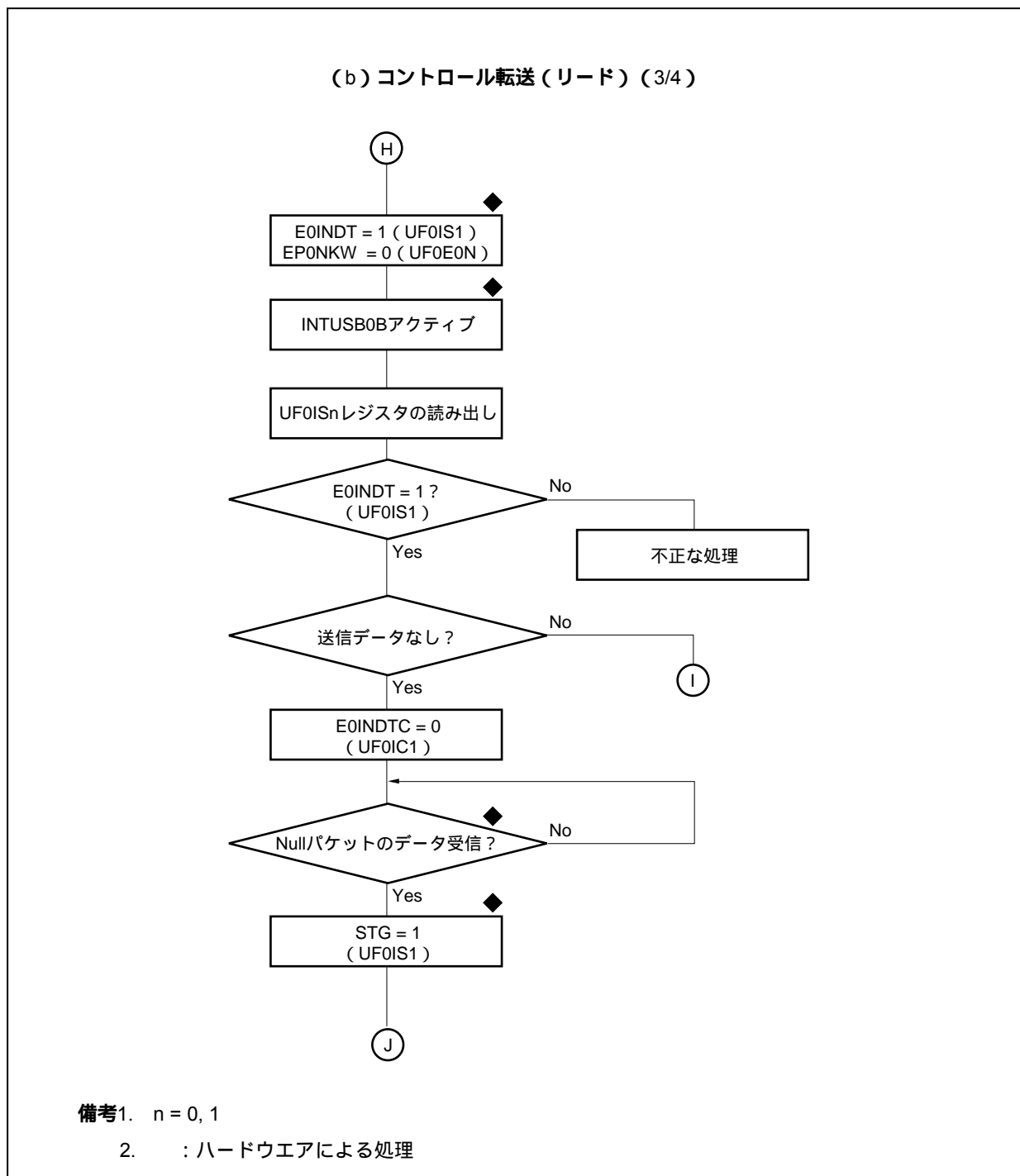


図12 - 19 コントロール転送に対するCPUDECリクエスト (6/12)

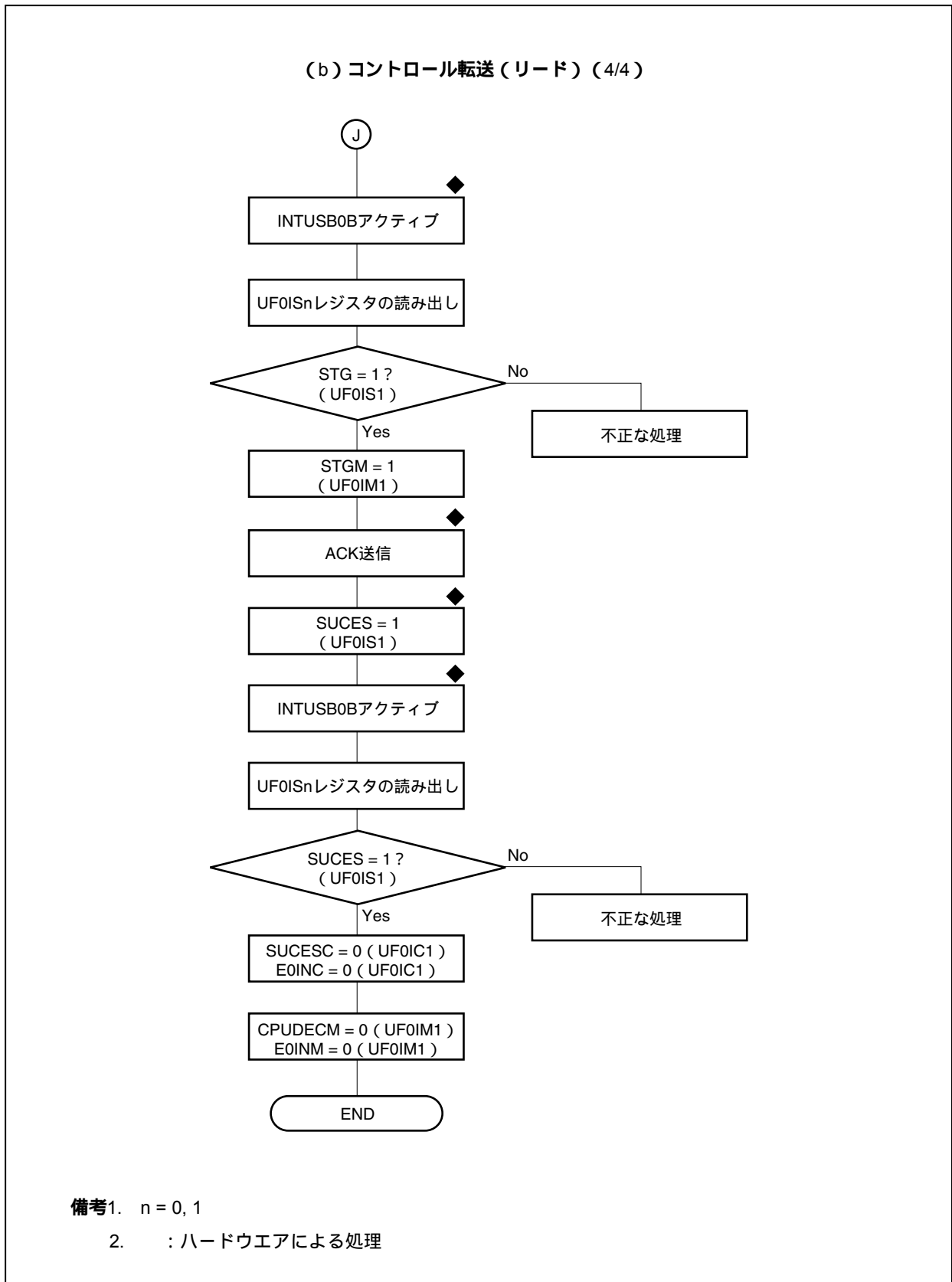


図12 - 19 コントロール転送に対するCPUDECリクエスト (7/12)

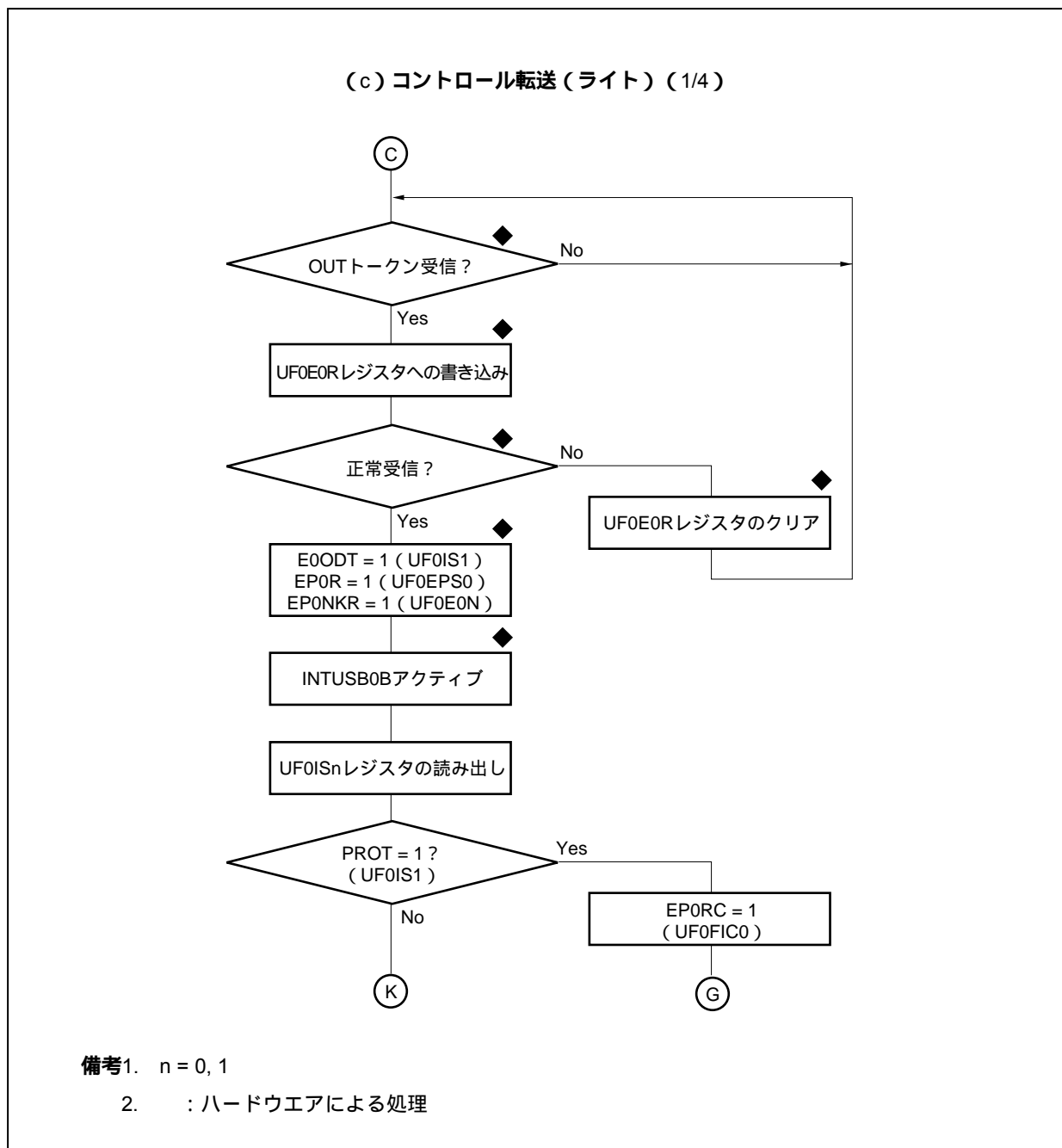


図12 - 19 コントロール転送に対するCPUDECリクエスト (8/12)

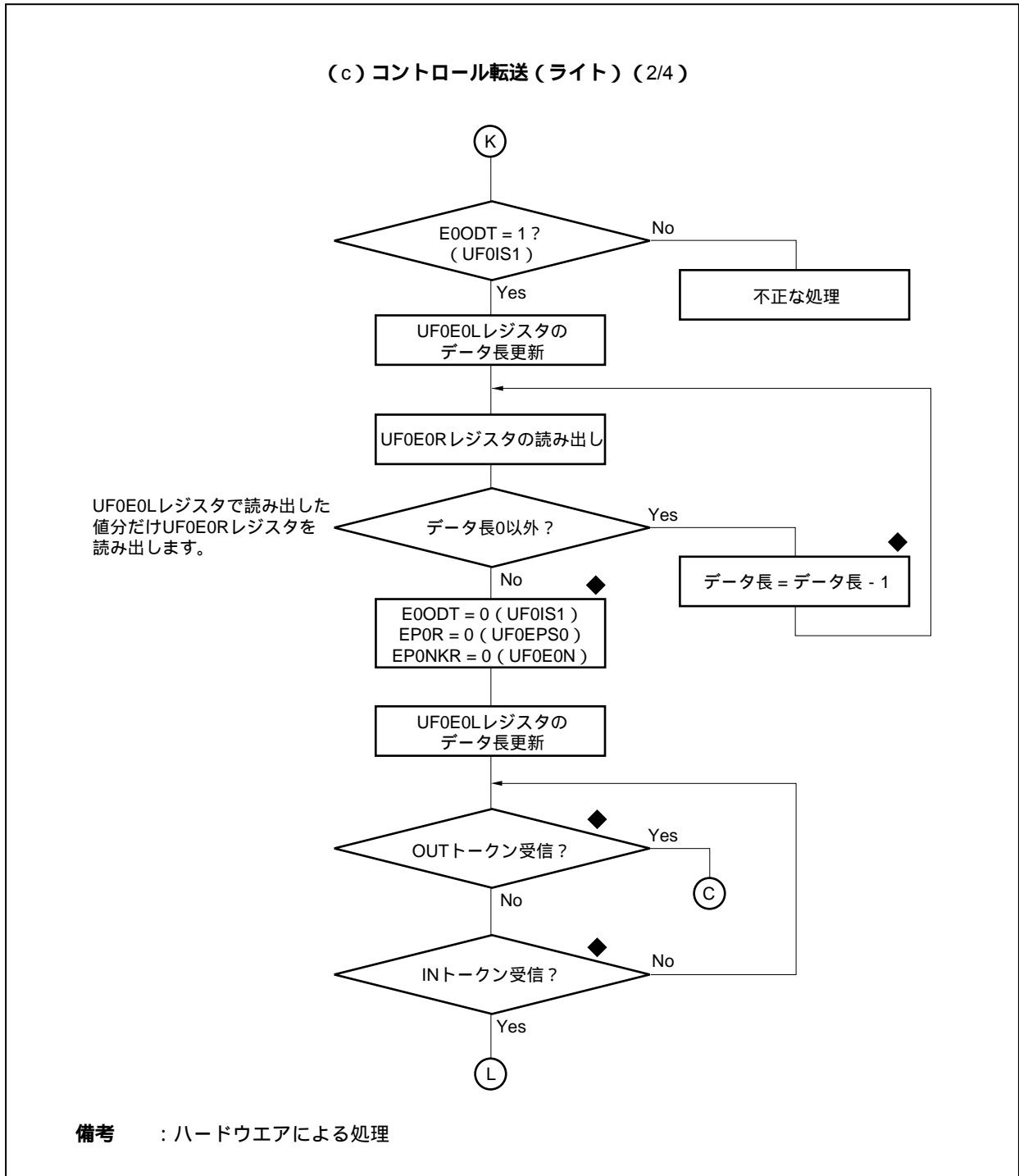


図12 - 19 コントロール転送に対するCPUDECリクエスト (9/12)

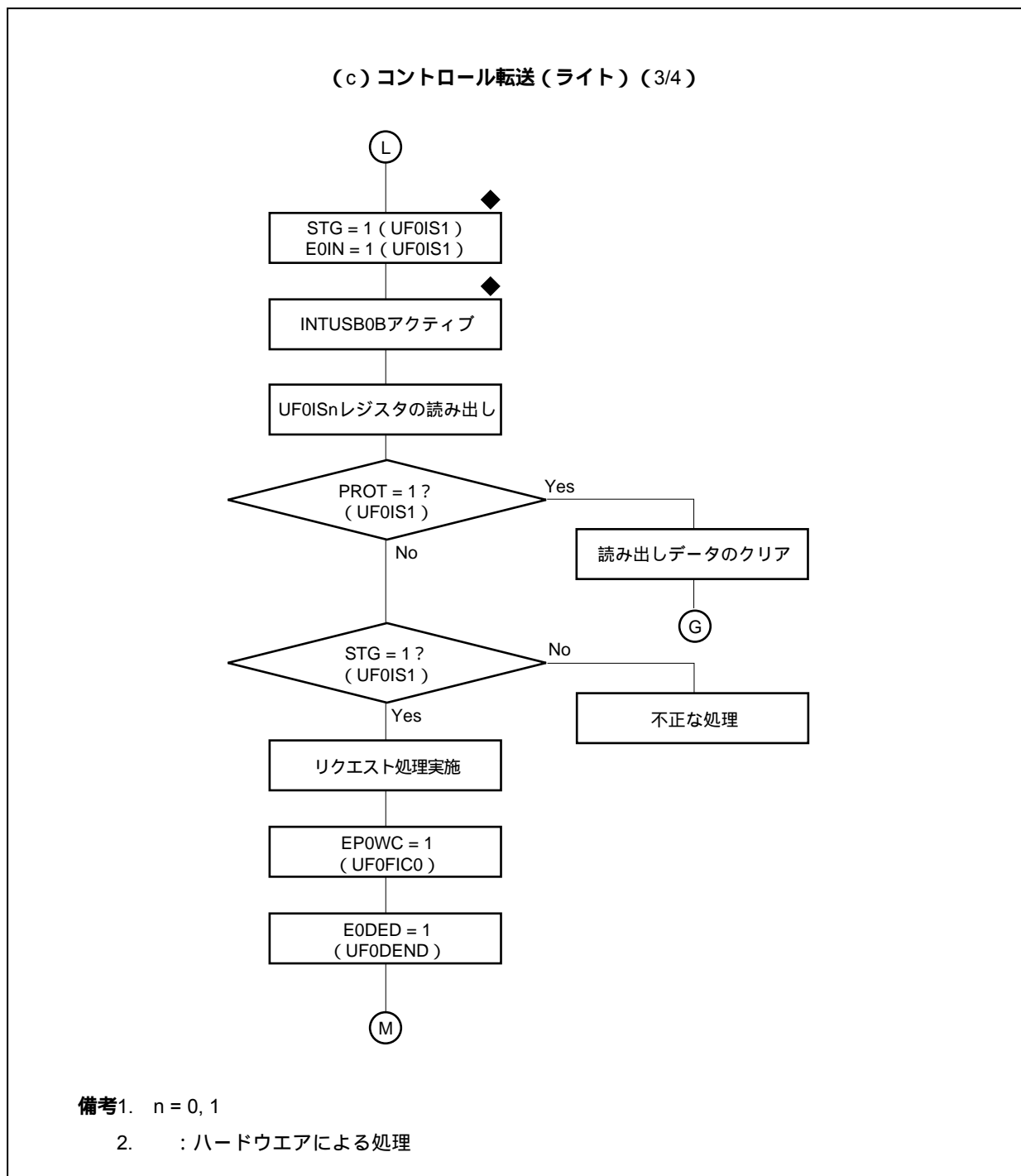


図12 - 19 コントロール転送に対するCPUDECリクエスト (10/12)

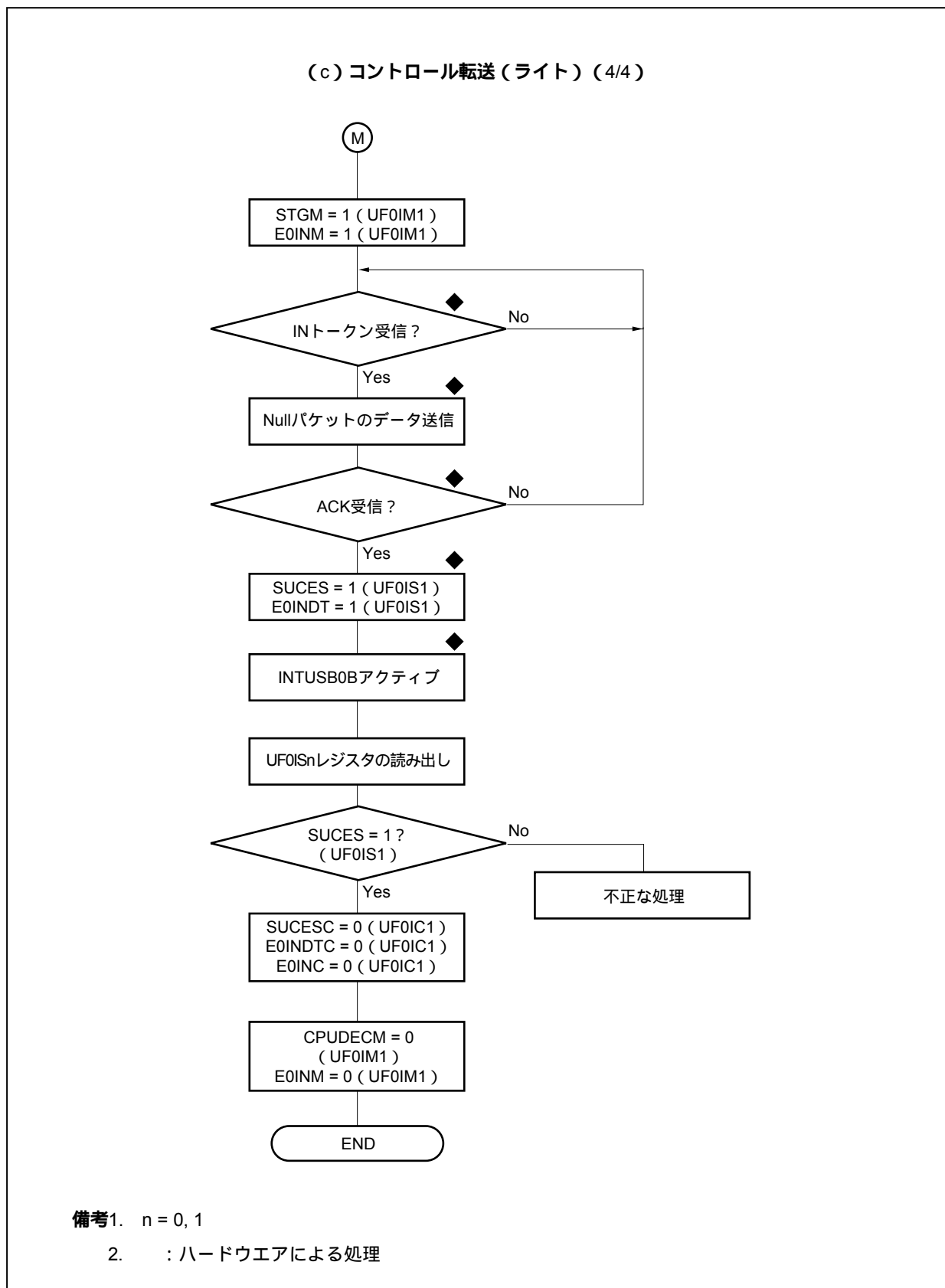


図12 - 19 コントロール転送に対するCPUDECリクエスト (11/12)

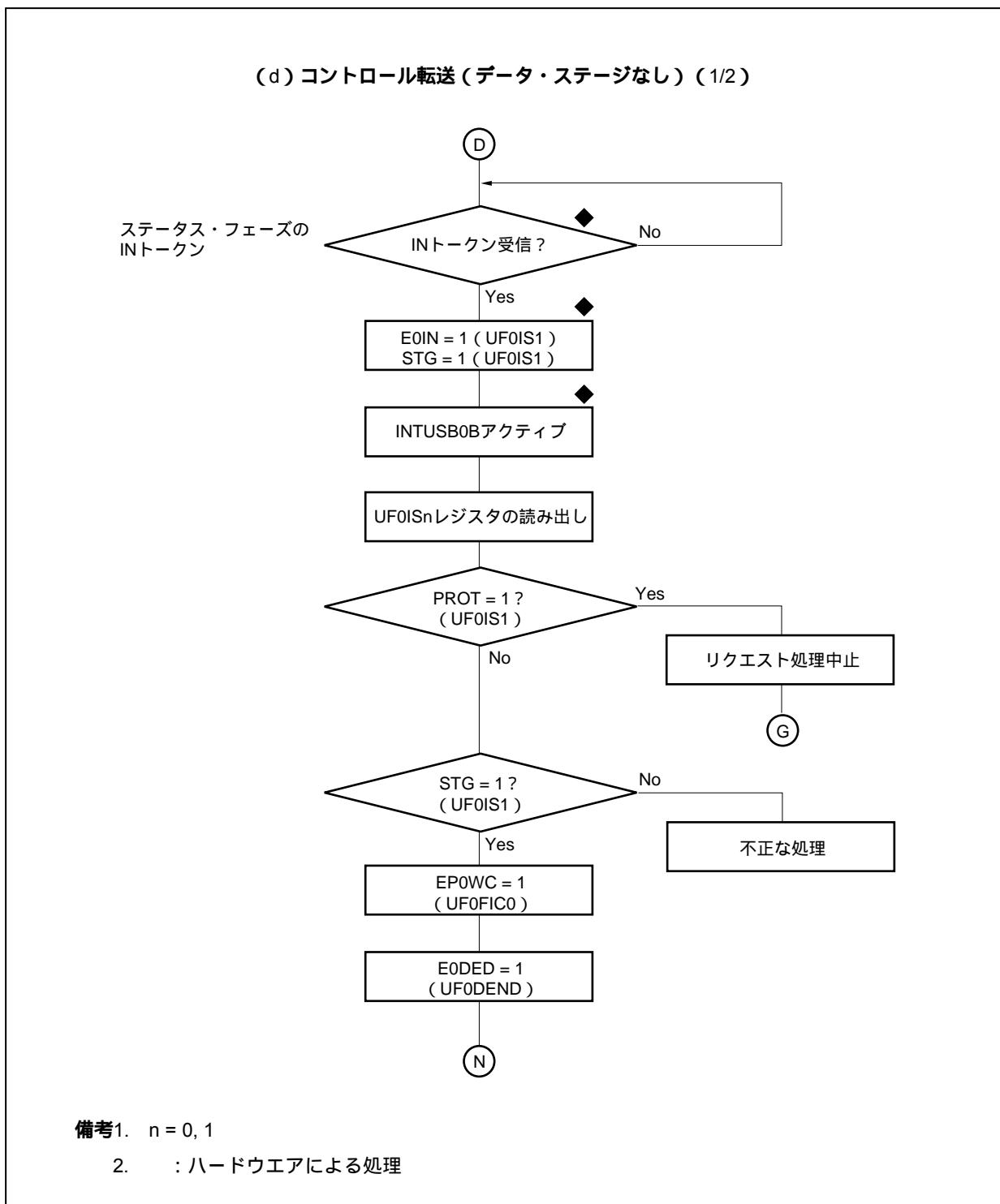
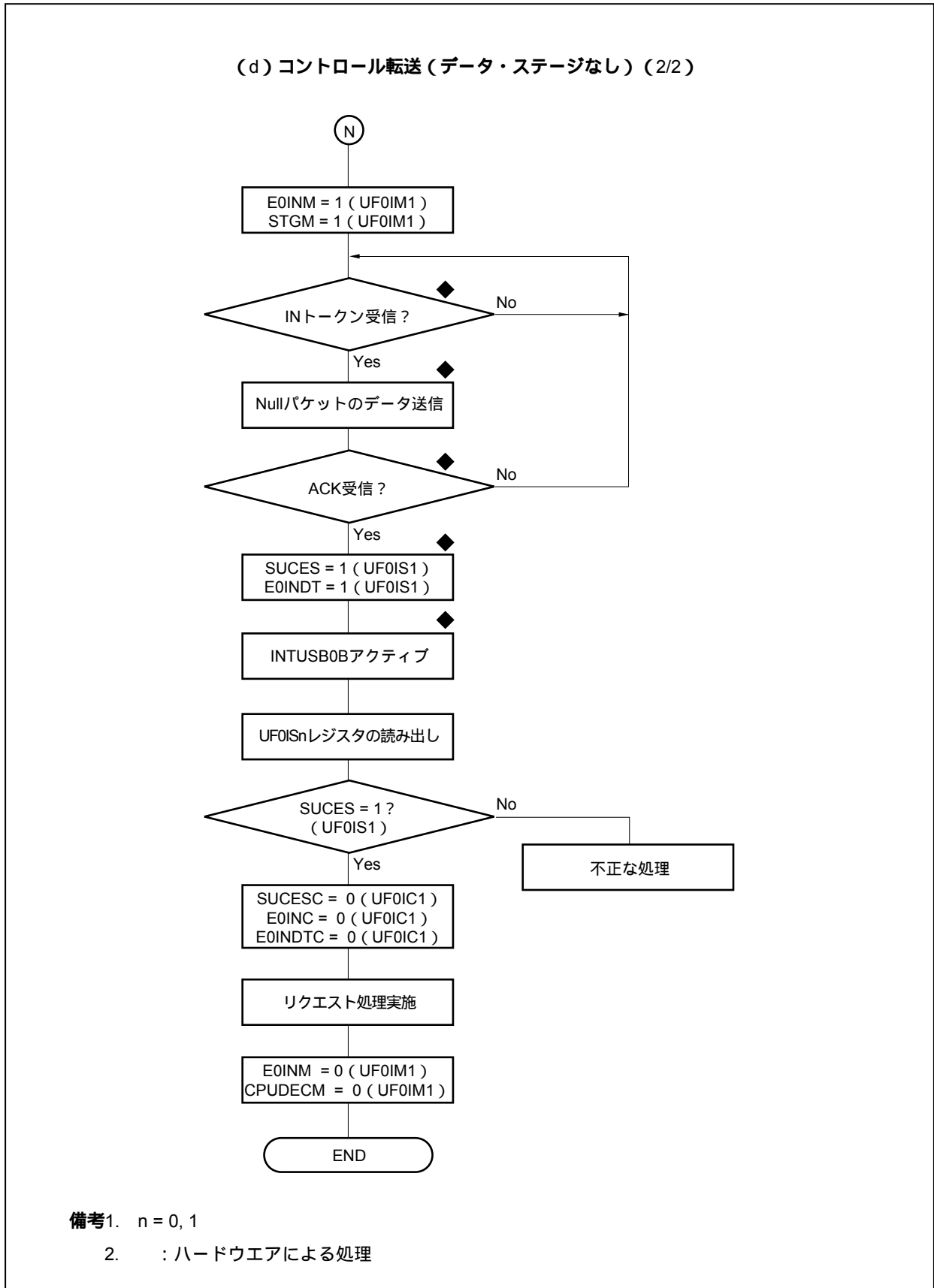


図12 - 19 コントロール転送に対するCPUDECリクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1に割り当てられています。次にフローを示します。

図12 - 20 バルク転送 (IN) に対する処理

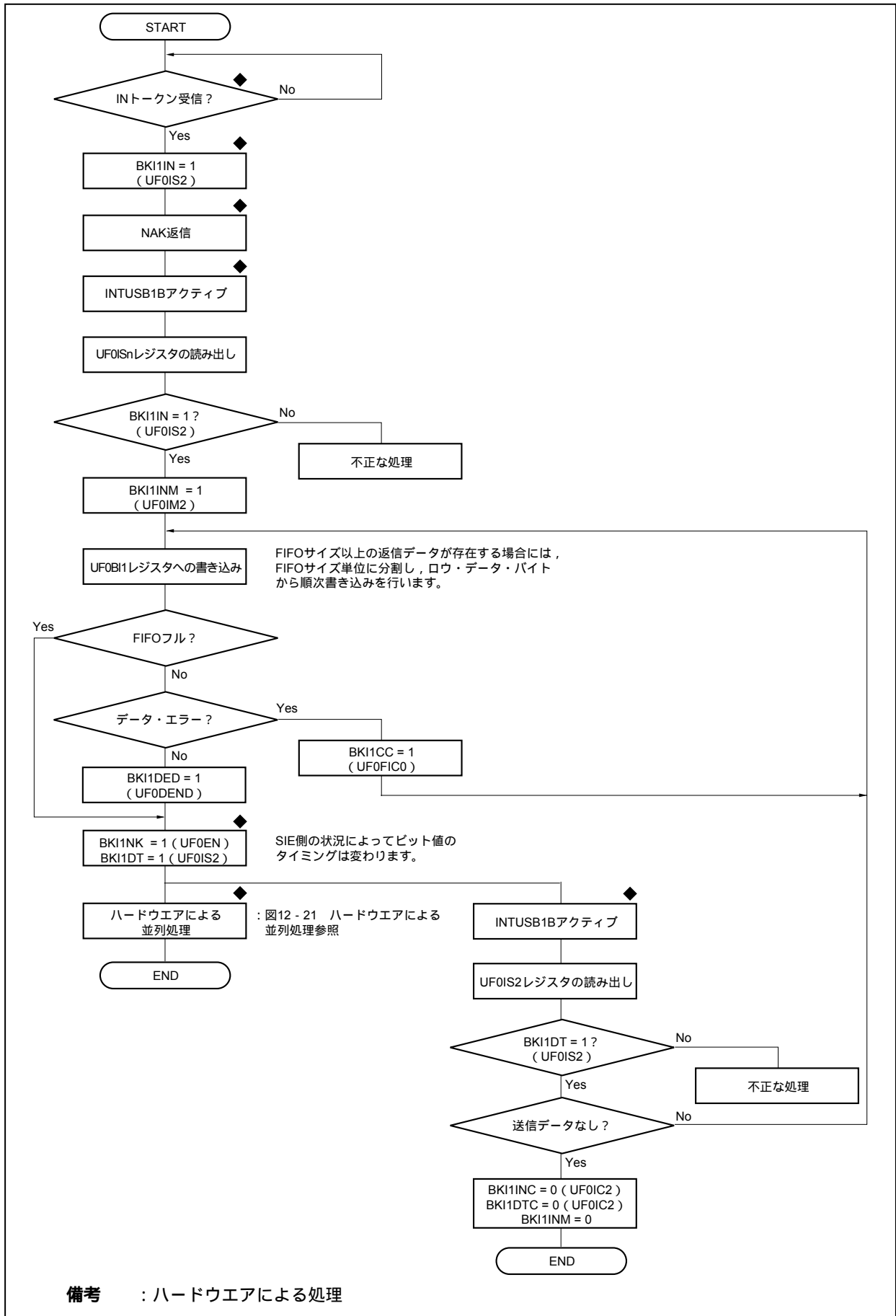
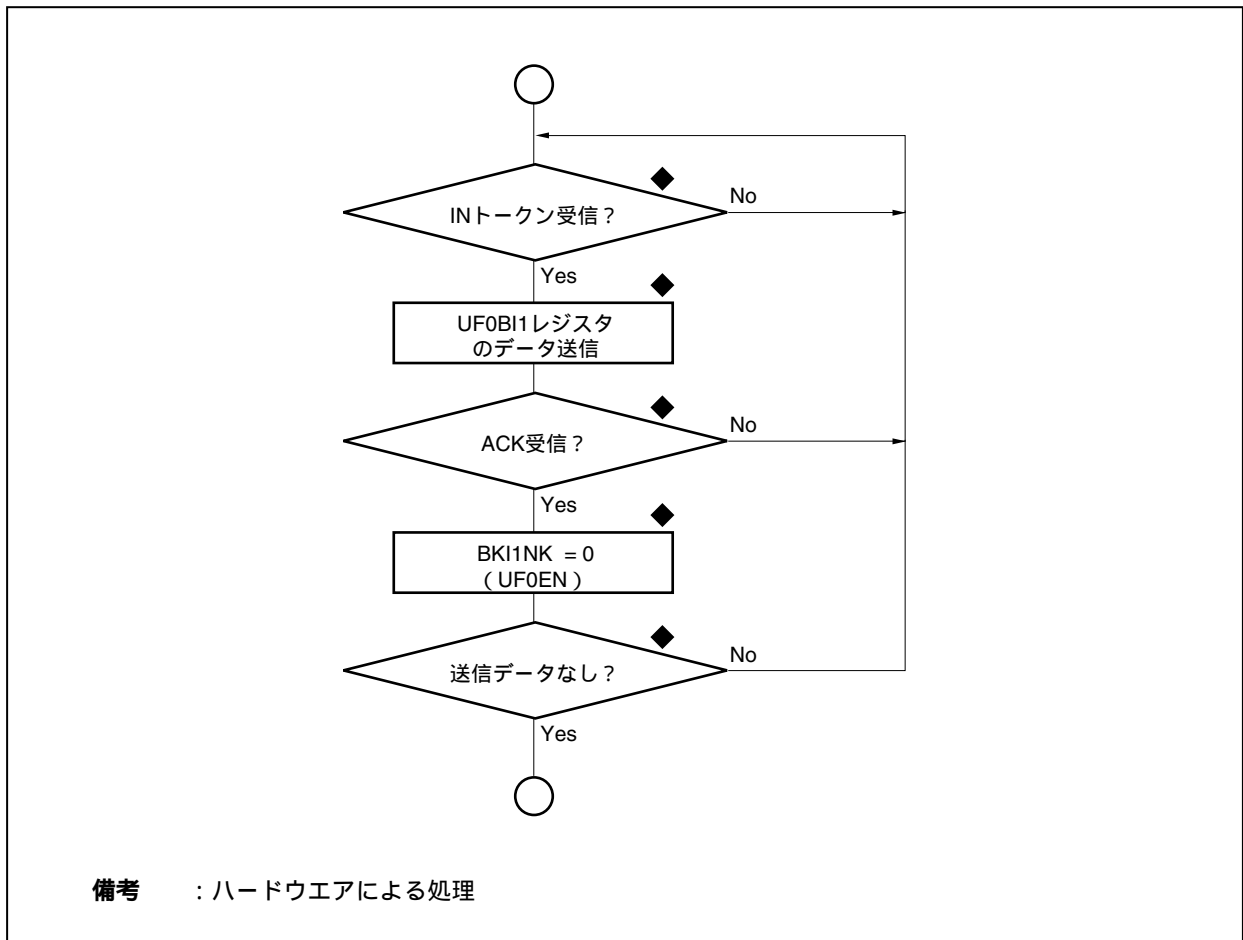


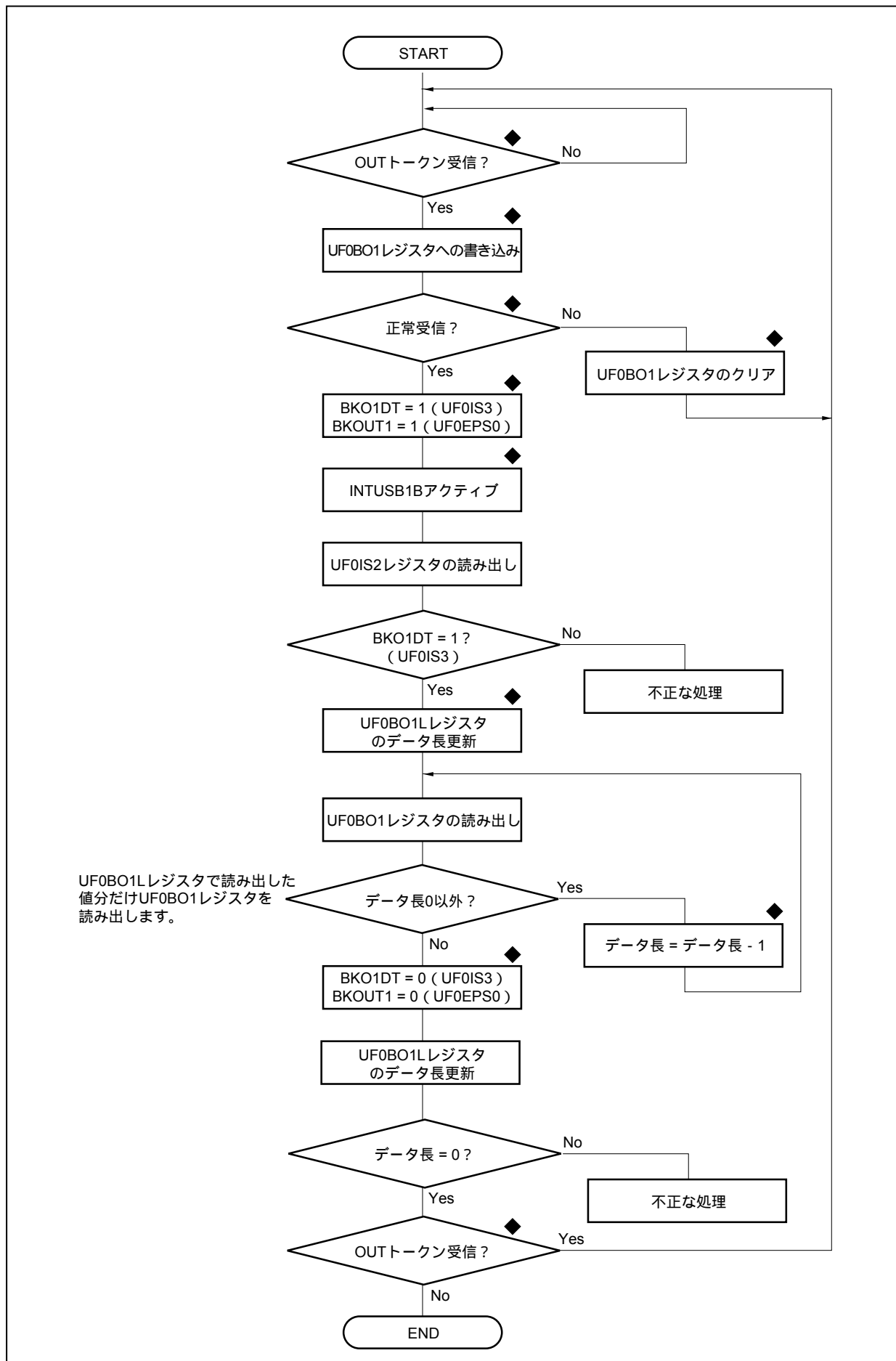
図12 - 21 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

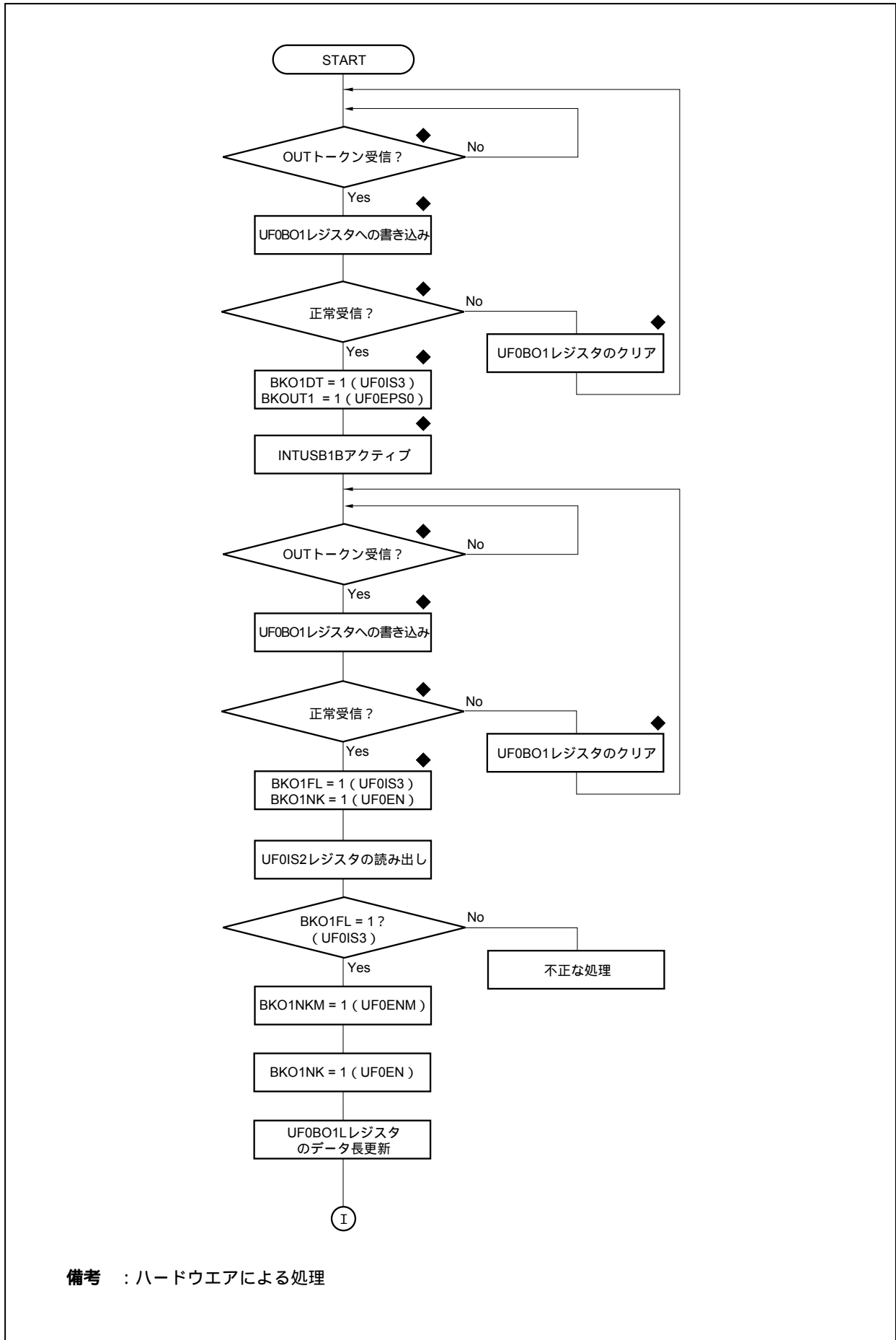
バルク転送 (OUT) は、Endpoint2に割り当てられています。次にフローを示します。

図12 - 22 バルク転送 (OUT) に対する通常処理



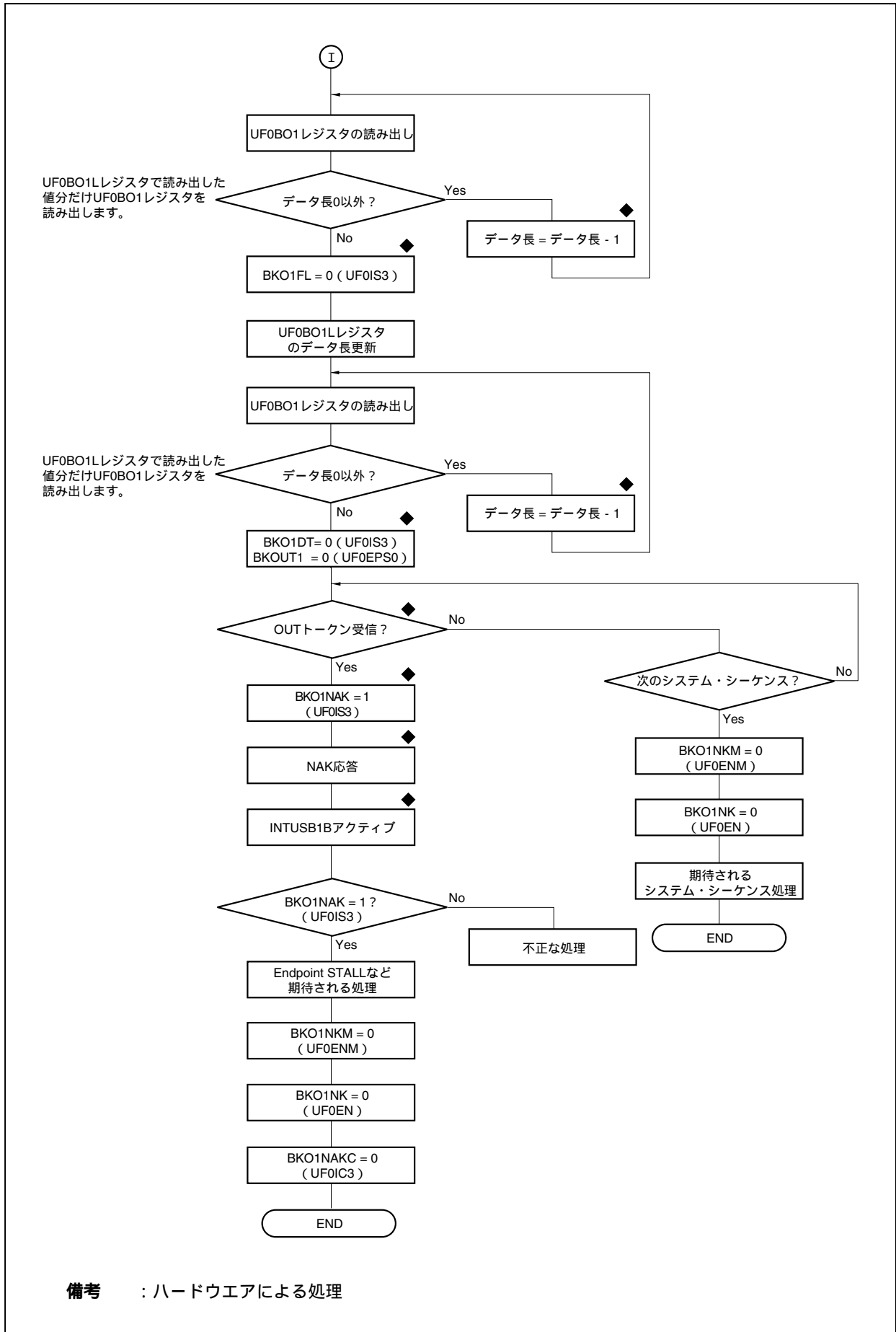
なお、バルク転送（OUT）に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。μPD78F0730では、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送（OUT）のEndpoint2は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2に対する通常処理から次に示す制御フローに切り替えてください。

図12 - 23 システムの期待するデータ量以上のデータが送られてくるときの処理 (1/2)



備考 : ハードウェアによる処理

図12 - 23 システムの期待するデータ量以上のデータが送られてくるときの処理 (2/2)



12.7.4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図12 - 24 Suspend/Resume処理例 (1/3)

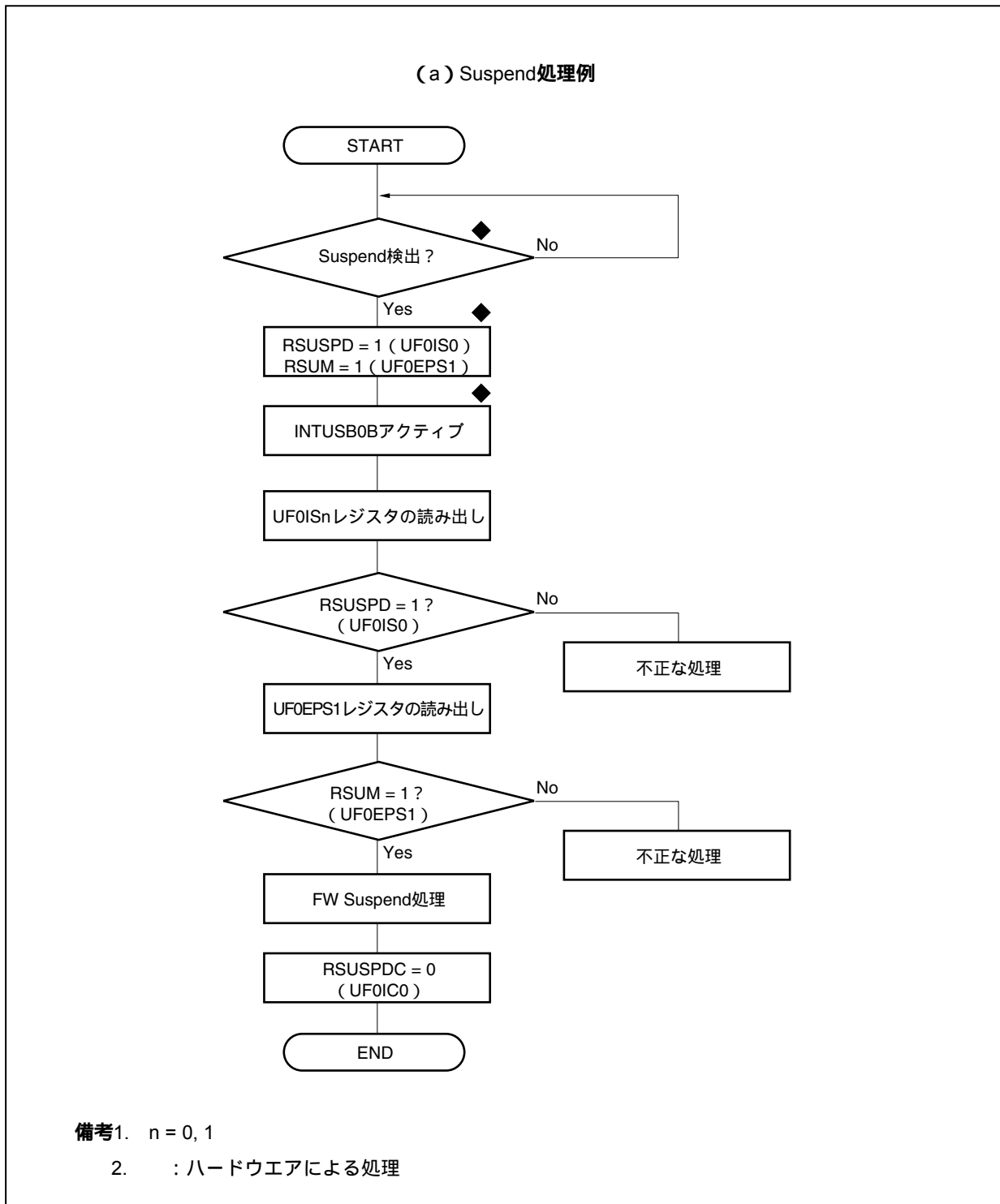


図12 - 24 Suspend/Resume処理例 (2/3)

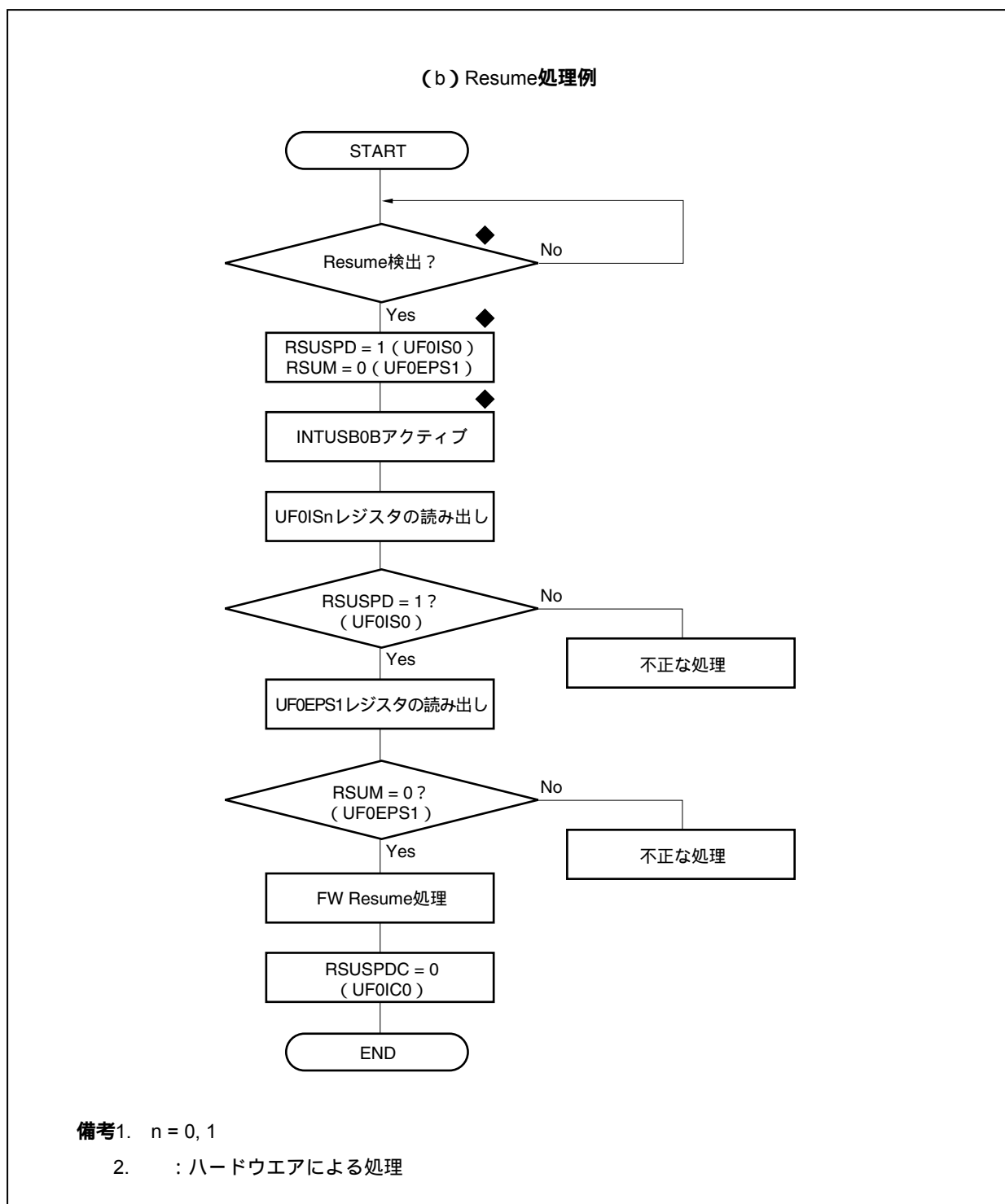
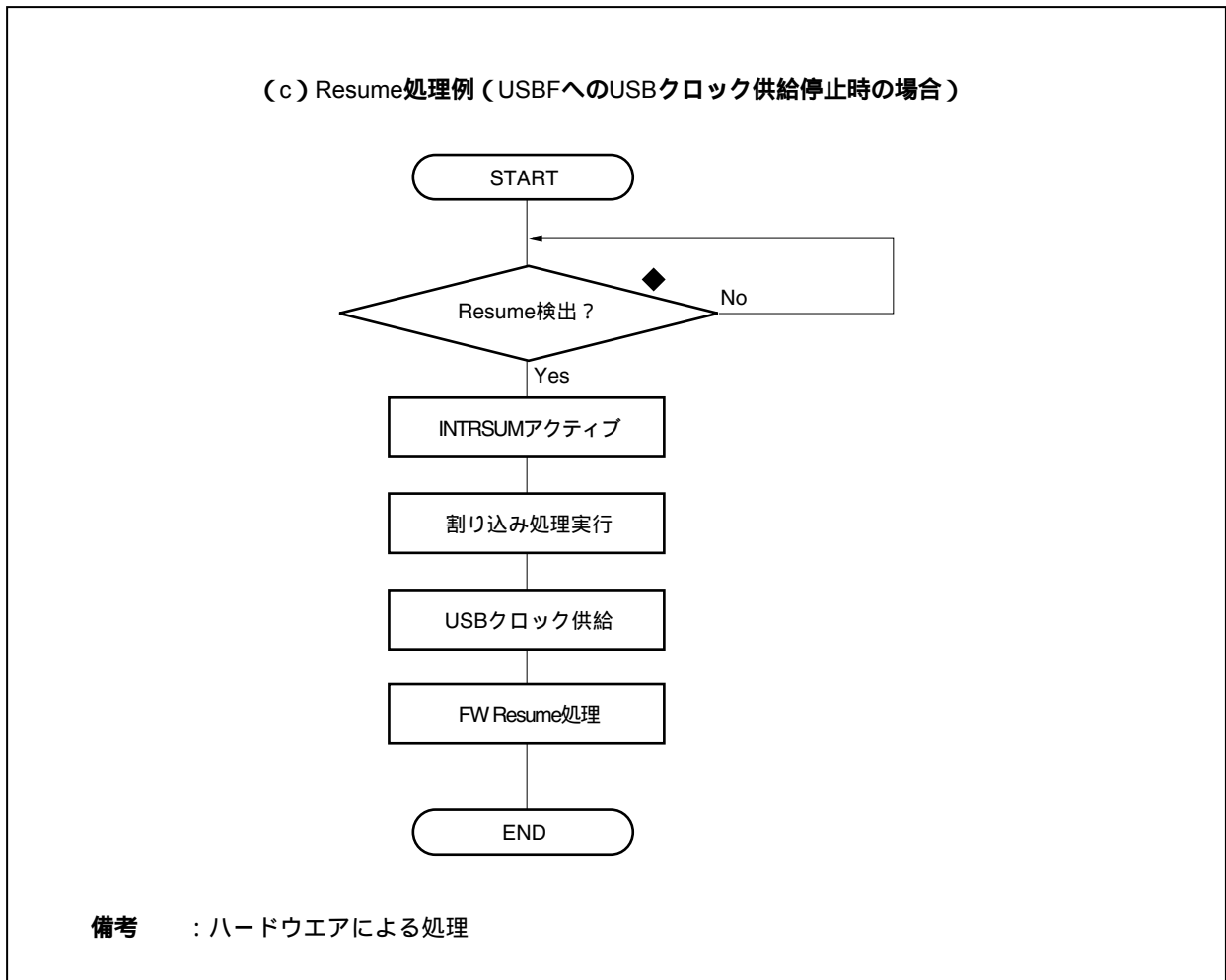


図12 - 24 Suspend/Resume処理例 (3/3)



12.7.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図12 - 25 電源投入後の処理 / 電源切断の処理例 (1/3)

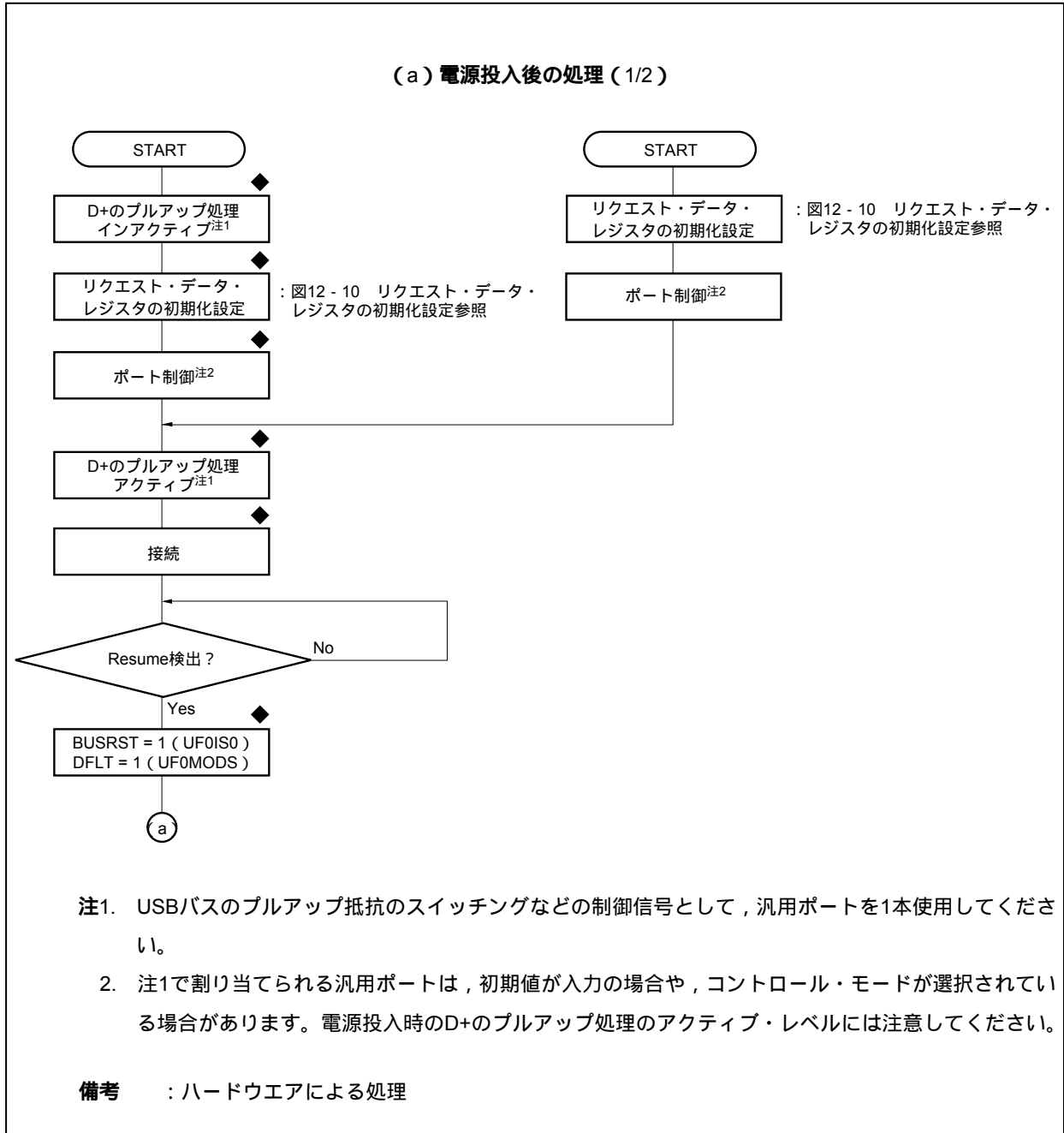


図12 - 25 電源投入後の処理 / 電源切断の処理例 (2/3)

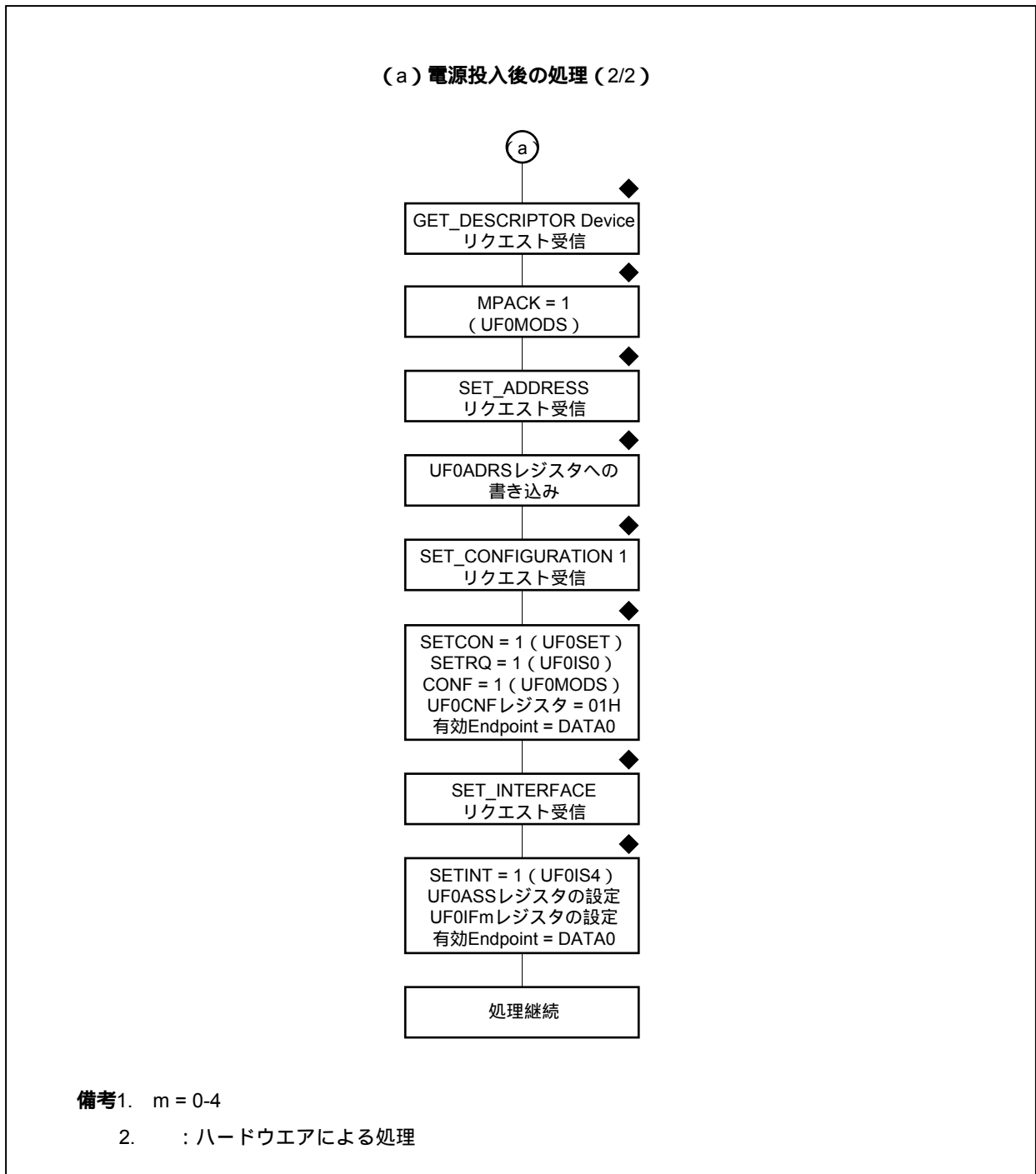
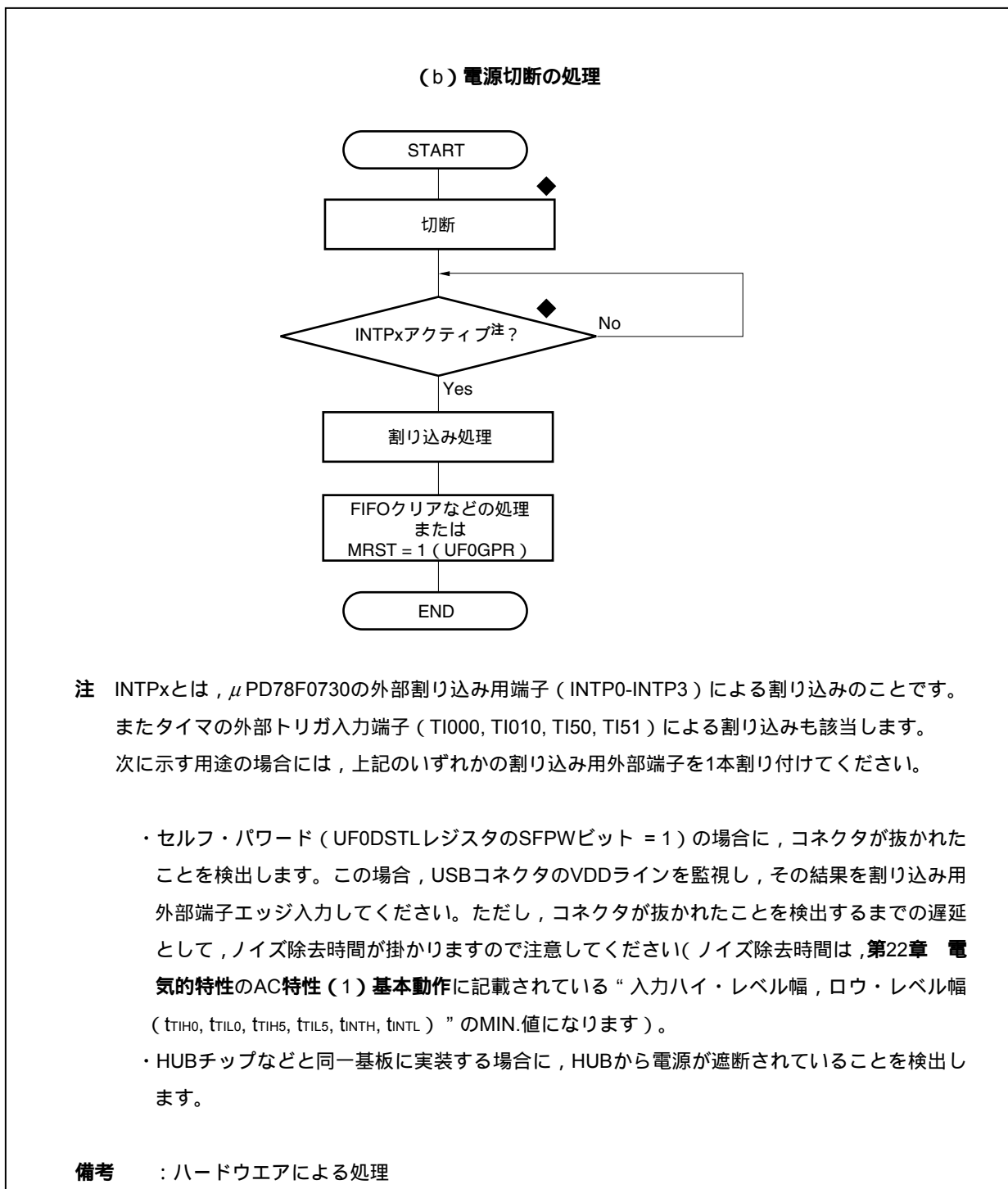


図12 - 25 電源投入後の処理 / 電源切断の処理例 (3/3)



12.8 外部回路構成

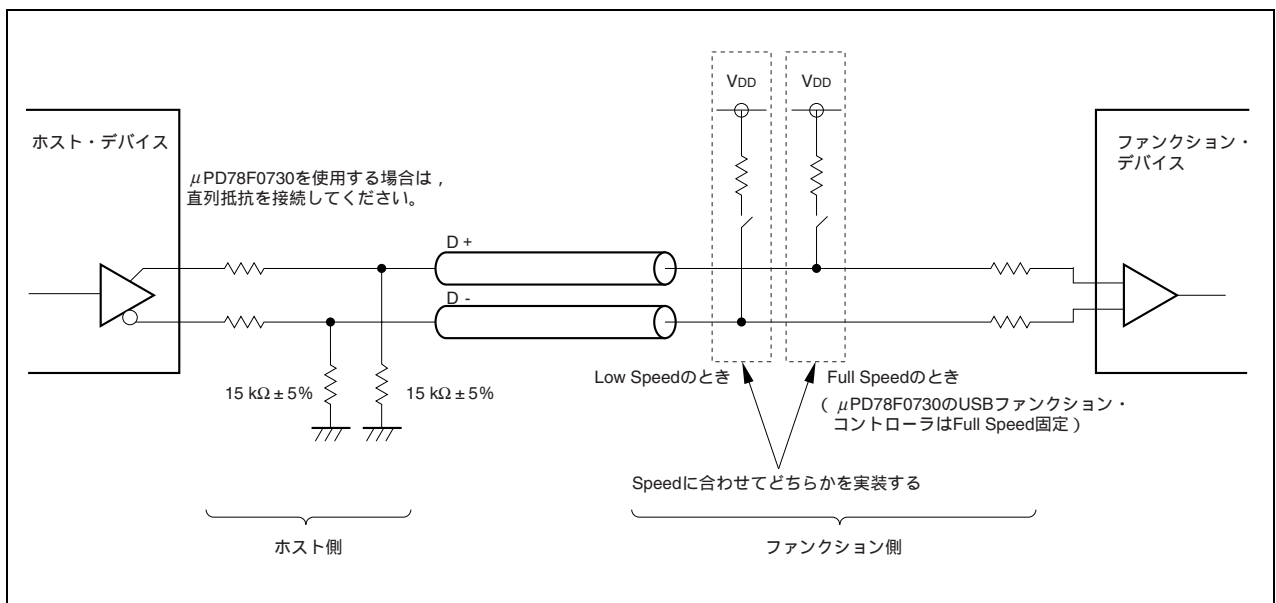
12.8.1 概 要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号（D+ /D-）にプルアップ、プルダウン抵抗を接続する必要があります。また μPD78F0730では、直列抵抗を接続する必要もあります。

μPD78F0730はこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、μPD78F0730外部で接続してください。

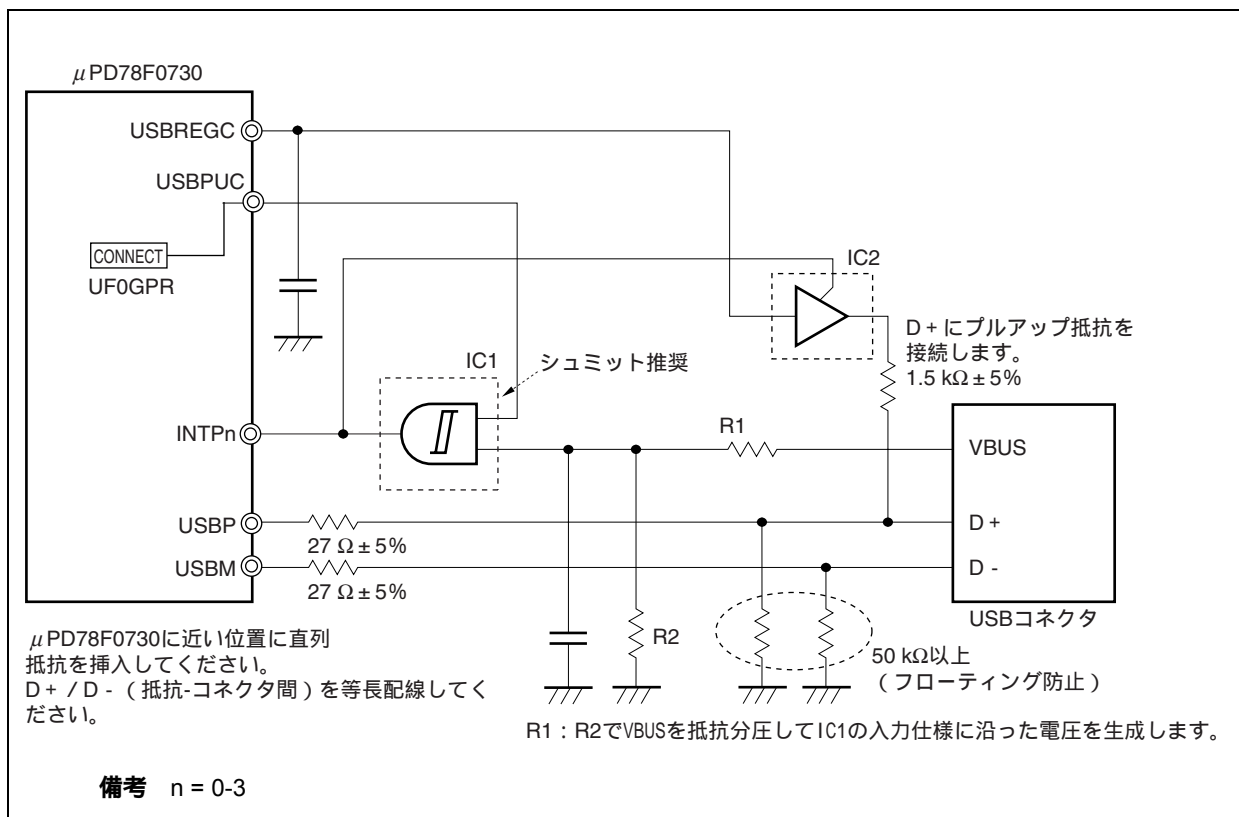
図12 - 26はUSB伝送路の構成概略図です。詳しい外付け構成については、次項にて説明します。

図12 - 26 USB伝送路のプルアップ、プルダウン、直列抵抗の概略構成



12. 8. 2 USB接続例

図12 - 27 USB接続例



(1) D+ / D- への直列抵抗の接続

μPD78F0730のUSBファンクション・コントローラのD+ / D- 端子 (USBP, USBM) には、27 Ω ± 5% の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべくμPD78F0730に近い位置に配置し、直列抵抗からUSBコネクタまでは、D+ / D- のインピーダンスが等しくなるよう、なるべく等長配線してください(差動で90 Ω ± 5%を推奨します)。

(2) D+のプルアップ制御

μPD78F0730のUSBファンクション・コントローラはフルスピード (FS) ですので、D+ 端子 (USBP) は、1.5 k Ω ± 5%でUSBREGCにプルアップしてください。USBホスト / HUBへの接続通知 (D+プルアップ)を禁止したい場合(優先度の高い処理中、初期化処理中など)、システムではD+のプルアップをUSBPUC端子により制御してください。

図12 - 27の回路例のようにD+のプルアップ制御信号およびVBUS入力信号は、USBPUC端子とUSBケーブルVBUSを使用して (AND回路)、制御してください。

図12 - 27の回路例では、リセット後の初期値でUSBPUC端子はロウ・レベル出力になるので、D+プルアップ禁止となります。

D+プルアップする場合は、リセット後に必ずUFOGPRレジスタのCONNECTビットに“1”を設定し、USBPUC端子からハイ・レベルを出力させてください。

(3) USBケーブル接続/切断の検出

USBファンクション・コントローラ (USBF) は、ハードウェアでUSBFのステートなどを管理しているため、接続/切断を認識するVBUS入力信号が必要となります。VBUS入力信号は、USBFが電源オフの場合に、USBホスト/HUBにUSBケーブルVBUSが接続されると、USBホスト/HUBから電圧(5V)が印加されます。そのため、図12-27のIC1には、システム電源オフ時に電圧印加が可能なICを使用してください。また、図12-27の回路において、切断する際、VBUSの電圧降下中にINTP_nへの入力信号が不安定になる場合があります。このため、図12-27のIC1にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+ / D- 端子は50 kΩ以上でプルダウンしてください。

備考 n = 0-3

12.9 USBファンクション・コントローラUSBFの注意事項

(1) クロック精度

USBファンクション・コントローラを動作させるには、USBクロックとして内部クロックが必要です。内部クロックは、外部16 MHz ÷ 4 × 内部12逓倍 = 内部48 MHz または外部12 MHz ÷ 2 × 内部8逓倍 = 内部48 MHz として供給してください。USBクロックには、16 (または 12) MHz ± 500 ppm以下の精度の発振子を使用してください。USBクロックの精度が低下すると、送信データがUSB規格を満足できなくなります。

第13章 割り込み機能

13.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表13 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部 : 4, 内部 : 14

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

13.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計19要因あります。また、それ以外にリセット要因が最大で合計4要因あります (表13 - 1参照)。

表13 - 1 割り込み要因一覧

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}		
		名称	トリガ					
マスカブル	0	INTLVI	低電圧検出 ^{注3}	内部	0004H	(A)		
	1	INTP0	端子入力エッジ検出	外部	0006H	(B)		
	2	INTP1			0008H			
	3	INTP2			000AH			
	4	INTP3			000CH			
	5	INTUSB0	USBファンクション・ステータス0	内部	000EH	(A)		
	6	INTUSB1	USBファンクション・ステータス1		0010H			
	7	INTSRE6	UART6の受信エラー発生		0012H			
	8	INTSR6	UART6の受信完了		0014H			
	9	INTST6	UART6の送信完了		0016H			
	10	INTCSI10	CSI10の通信完了		0018H			
	11	INTTMH1	TMH1とCMP01の一致(コンペア・レジスタ指定時)		001AH			
	12	INTUSB2	USBファンクション・ステータス2		001CH			
	13	INTTM50	TM50とCR50の一致(コンペア・レジスタ指定時)		001EH			
	14	INTTM000	TM00とCR000の一致(コンペア・レジスタ指定時), TI010端子の有効エッジ検出(キャプチャ・レジスタ指定時)		0020H			
	15	INTTM010	TM00とCR010の一致(コンペア・レジスタ指定時), TI000端子の有効エッジ検出(キャプチャ・レジスタ指定時)		0022H			
	16	INTRSUM	USB Resume信号検出		0024H			
	-	-	-		-		0026H	-
	-	-	-		-		0028H	-
17	INTTM51	TM51とCR51の一致(コンペア・レジスタ指定時)	内部	002AH	(A)			
-	-	-	-	002CH-003CH	-			
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(C)		
リセット	-	RESET	リセット入力	-	0000H	-		
		POC	パワーオン・クリア					
		LVI	低電圧検出 ^{注4}					
		WDT	WDTのオーバフロー					

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、17が最低順位です。

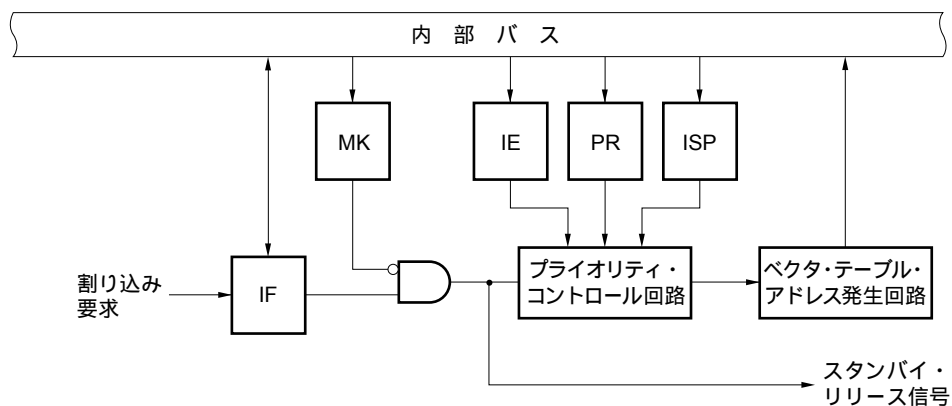
2. 基本構成タイプの(A)-(C)は、それぞれ図13-1の(A)-(C)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

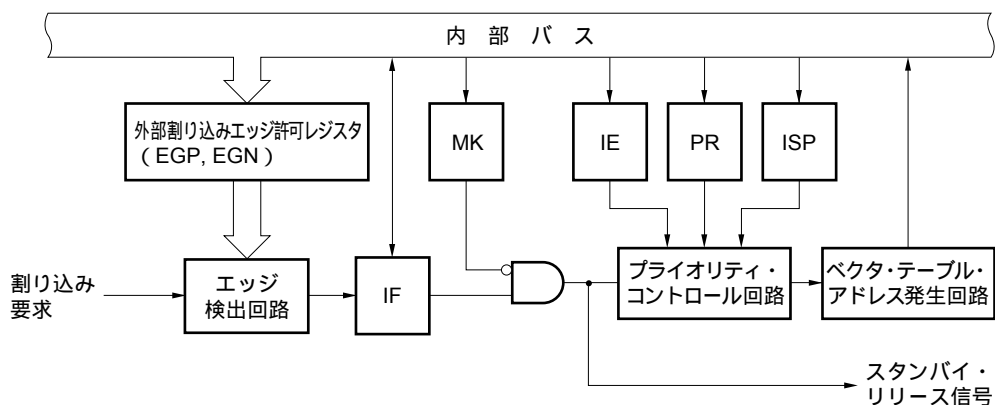
4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図13 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み



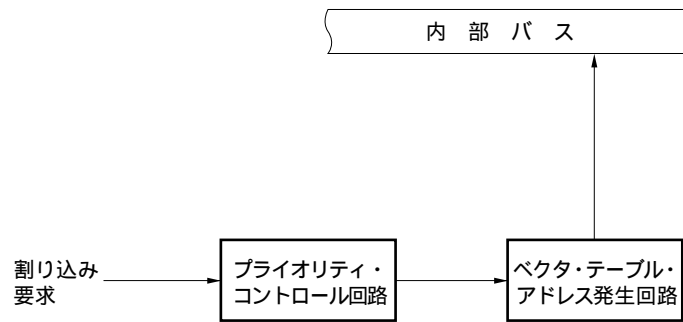
(B) 外部マスク割り込み (INTP0-INTP3)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

図13 - 1 割り込み機能の基本構成 (2/2)

(C) ソフトウェア割り込み



13.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表13 - 2に示します。

表13 - 2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTLVI	LVIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTUSB0	USBIF0		USBMK0		USBPR0	
INTUSB1	USBIF1		USBMK1		USBPR1	
INTSRE6	SREIF6		SREMK6		SREPR6	
INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
INTST6	STIF6		STMK6		STPR6	
INTCSI10	CSIIF10		CSIMK10		CSIPR10	
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTUSB2	USBIF2		USBMK2		USBPR2	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTRSUM	RSUMIF	IF1L	RSUMMK	MK1L	RSUMPR	PR1L
INTTM51	TMIF51		TMMK51		TMPR51	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	USBIF1	USBIF0	PIF3	PIF2	PIF1	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	USBIF2	TMIFH1	CSIF10	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	[3]	2	1	[0]
IF1L	0	0	0	0	TMIF51	0	0	RSUMIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	0	0	0	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF1Lのビット1, 2, 4-7, IF1Hのビット0-7には必ず0を設定してください。

2. タイマ, シリアル・インタフェースなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

注意3 . 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスクابل割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	USBMK1	USBMK0	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	USBMK2	TMMKH1	CSIMK0	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	[3]	2	1	[0]
MK1L	1	1	1	1	TMMK51	1	1	RSUMMK

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	1	1	1	1	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Lのビット1, 2, 4-7, MK1Hのビット0-7には必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	USBPR1	USBPR0	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	USBPR2	TMPRH1	CSIPR10	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	7	6	5	4	[3]	2	1	[0]
PR1L	1	1	1	1	TMPR51	1	1	RSUMPR

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	1	1	1	1	1

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Lのビット1, 2, 4-7, PR1Hのビット0-7には必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP3の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	0	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	0	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-3)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注意 ビット4-7には必ず0を設定してください。

EGPnとEGNnに対応するポートを表13 - 3に示します。

表13 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-3

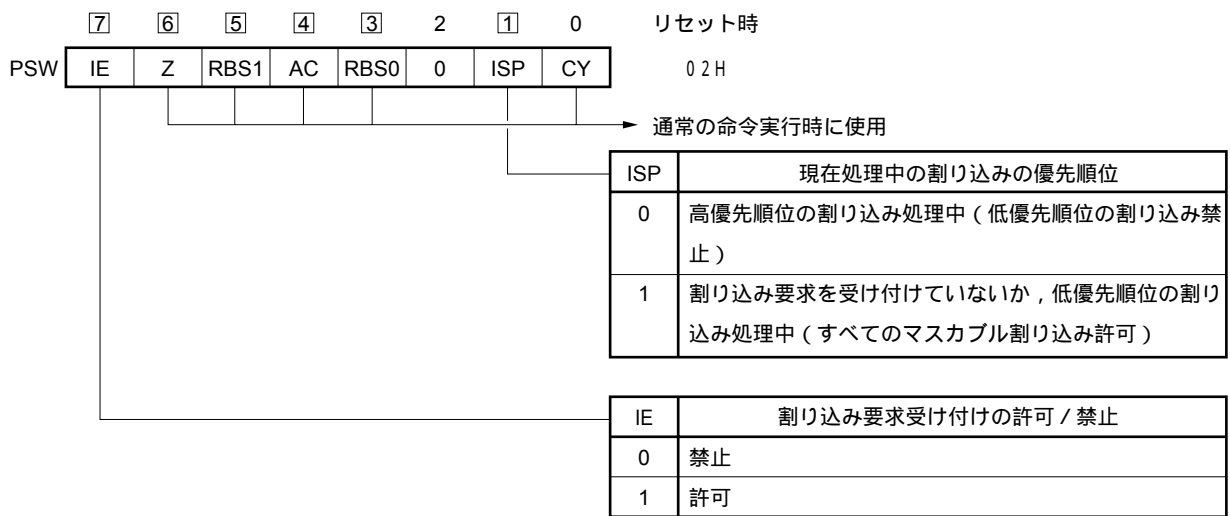
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図13 - 6 プログラム・ステータス・ワードの構成



13.4 割り込み処理動作

13.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表13-4のようになります。

割り込み要求の受け付けタイミングについては、図13-8, 13-9を参照してください。

表13-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック : 1/f_{CPU} (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

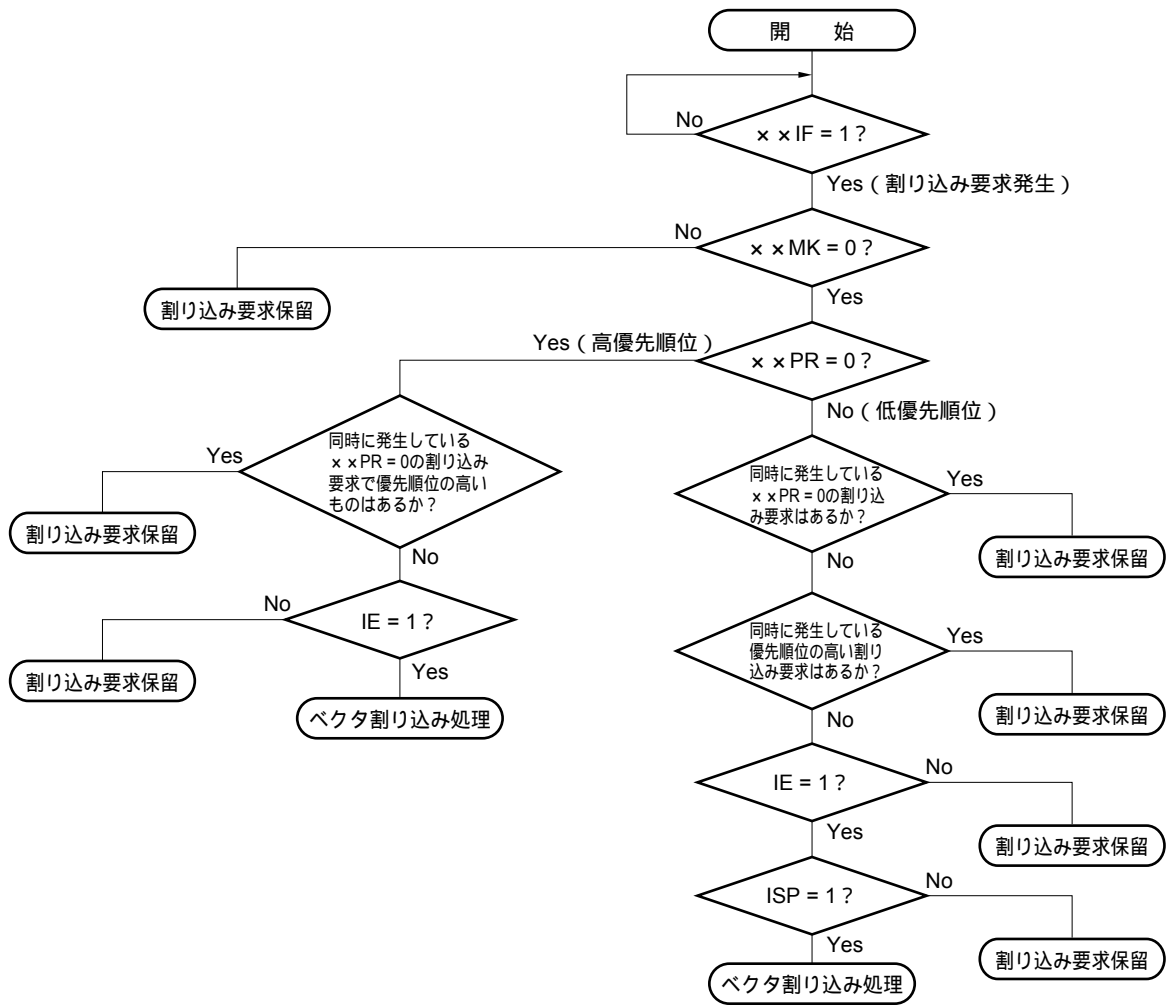
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図13-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図13 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

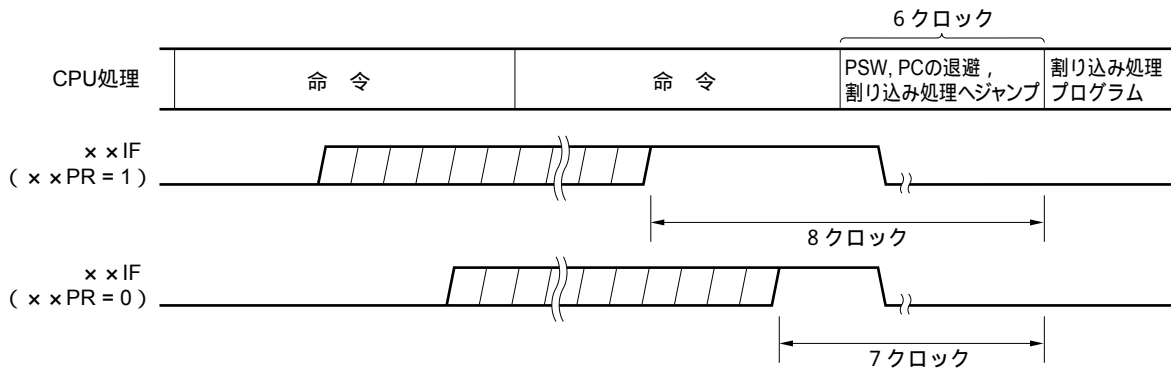
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

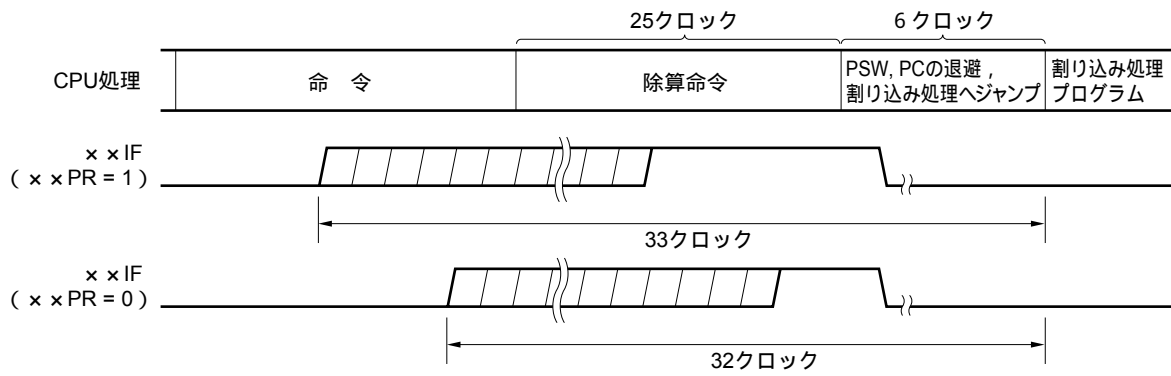
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図13 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図13 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

13. 4. 2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

13. 4. 3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表13-5に多重割り込み可能な割り込み要求の関係を、図13-10に多重割り込みの例を示します。

表13-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

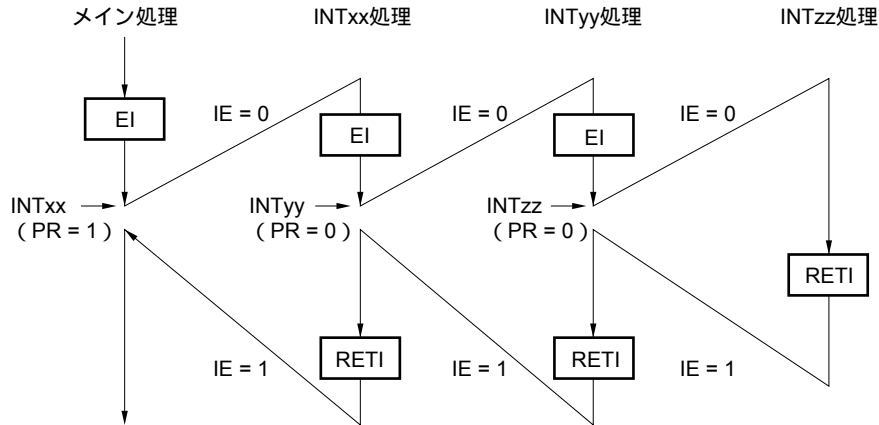
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

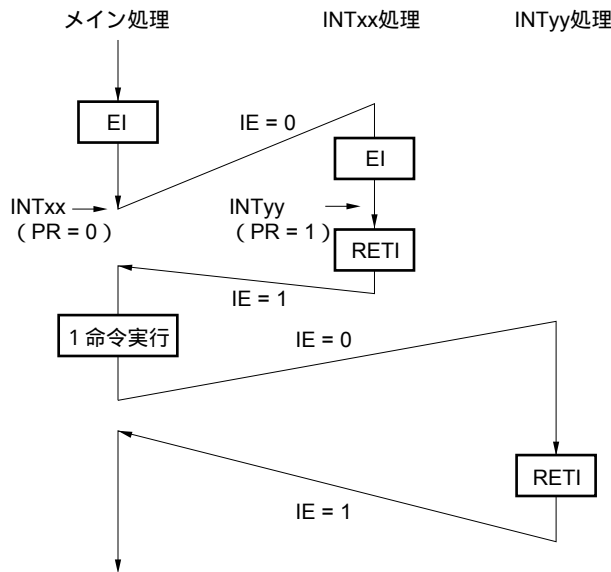
図13 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

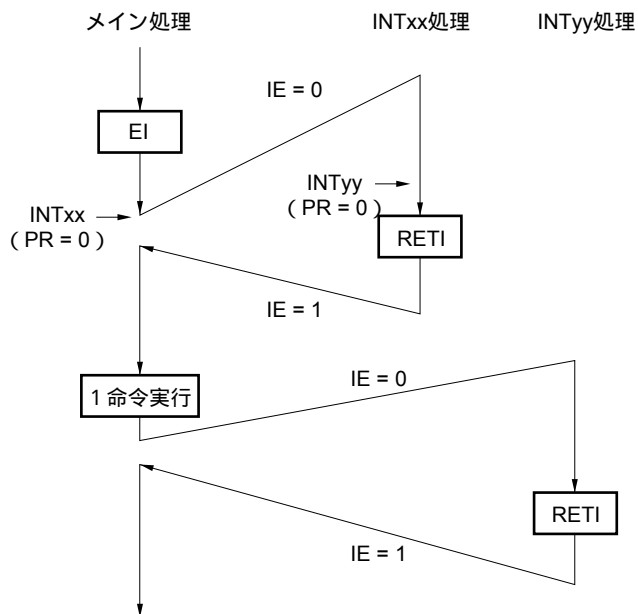
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図13 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

13.4.4 割り込み要求の保留

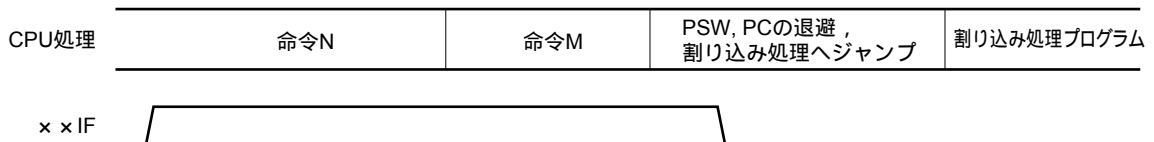
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図13-11に示します。

図13 - 11 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第14章 スタンバイ機能

14.1 スタンバイ機能と構成

14.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。

14. 1. 2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1のいずれかにより, 00Hになります。

図14 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス: FFA3H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
					f _x = 12 MHz時	f _x = 16 MHz時	
1	0	0	0	0	2 ¹¹ /f _x 以上	170.7 μs以上	128 μs以上
1	1	0	0	0	2 ¹³ /f _x 以上	682.7 μs以上	512 μs以上
1	1	1	0	0	2 ¹⁴ /f _x 以上	1.37 ms以上	1.024 ms以上
1	1	1	1	0	2 ¹⁵ /f _x 以上	2.73 ms以上	2.048 ms以上
1	1	1	1	1	2 ¹⁶ /f _x 以上	5.46 ms以上	4.096 ms以上

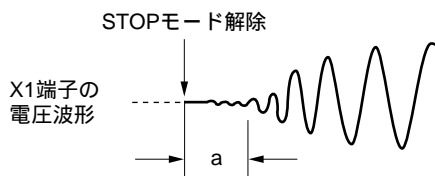
注意1. 上記時間経過後, MOST11から順番に “1” となっていく, そのまま “1” を保持します。

2. CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, 発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって, STOPモード解除後のOSTCは, OSTCで設定している発振安定時間までのステータスしかセットされないの注意してください。

3. X1クロックの発振安定ウエイト時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x: X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定ウエイト時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,05Hになります。

図14 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 12 \text{ MHz}$ 時	$f_x = 16 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	170.7 μs	128 μs
0	1	0	$2^{13}/f_x$	682.7 μs	512 μs
0	1	1	$2^{14}/f_x$	1.37 ms	1.024 ms
1	0	0	$2^{15}/f_x$	2.73 ms	2.048 ms
1	0	1	$2^{16}/f_x$	5.46 ms	4.196 ms
上記以外			設定禁止		

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令を実行する前にOSTSを設定してください。

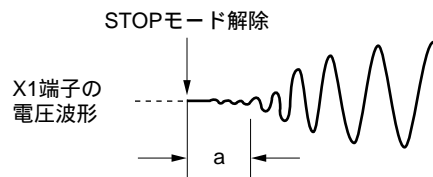
2 . X1クロックの発振安定時間中は,OSTSレジスタを変更しないでください。

3 . CPUクロックが高速内蔵発振クロック時に,STOPモードに入り,解除するときは,発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって,STOPモード解除後のOSTCは,OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4 . X1クロックの発振安定ウエイト時間は,クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

14.2 スタンバイ機能の動作

14.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表14 - 1 HALTモード時の動作状態

HALTモード の設定 項 目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f _{RH}) で CPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f _X	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f _{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)
f _{RL}		HALTモード設定前の状態を継続		
PLL		動作可能		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		HALTモード設定前の状態を保持		
レギュレータ	チップ用	通常モードで動作可能		
	USB用			
ポート (ラッチ)		HALTモード設定前の状態を保持		
16ビット・タイマ / イベント・カウンタ	00	動作可能		
8ビット・タイマ / イベント・カウンタ	50			
	51			
8ビット・タイマ	H1			
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振クロック発振 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
シリアル・インタフェース	UART6	動作可能		
	CSI10			
	USB			
パワーオン・クリア機能				
低電圧検出機能		HALTモード遷移前の設定で検出可能		
外部割り込み				

備考 f_{RH} : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RL} : 低速内蔵発振クロック

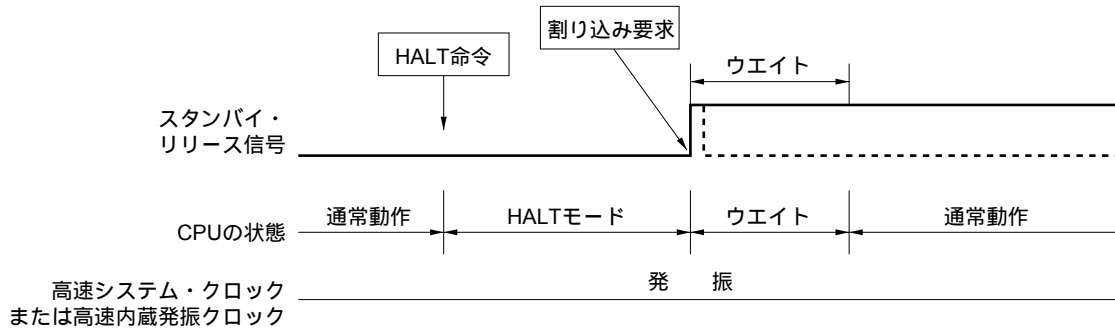
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図14 - 3 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウエイト時間は次のようになります。

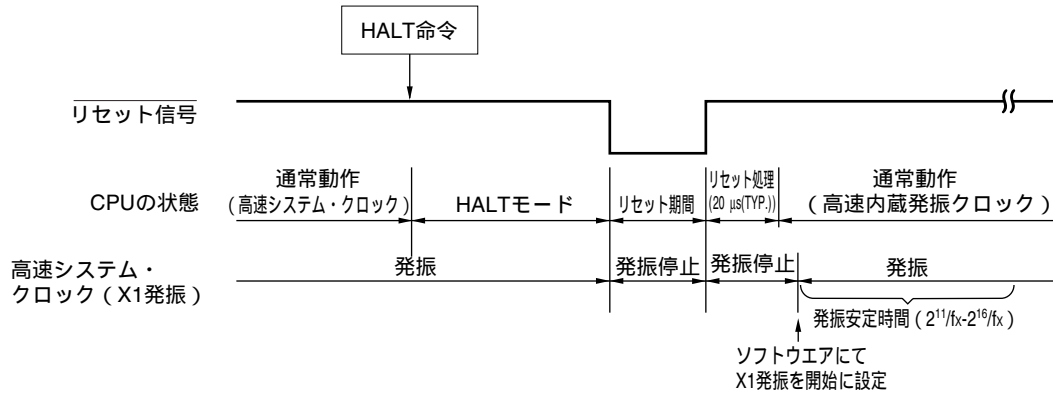
- ・ベクタ割り込み処理を行う場合 : 8~9クロック
- ・ベクタ割り込み処理を行わない場合 : 2~3クロック

(b) リセット信号の発生による解除

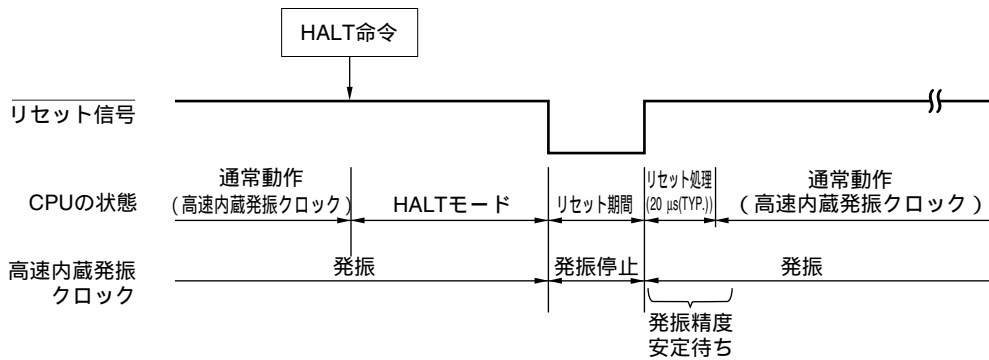
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図14 - 4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 fx : X1クロック発振周波数

表14 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動 作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
リセット	-	-	x	x	リセット処理

x : don't care

14.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表14 - 3 STOPモード時の動作状態

STOPモード の設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f _{RH}) で CPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{RH}	停止		
	f _X			
	f _{EXCLK}	入力無効		
f _{RL}	STOPモード設定前の状態を継続			
PLL		動作停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		STOPモード設定前の状態を保持		
レギュレータ	チップ用	低動作電流モードで動作		
	USB用			
ポート (ラッチ)		STOPモード設定前の状態を保持		
16ビット・タイマ/イベント・カウンタ	00	動作停止		
8ビット・タイマ/イベント・カウンタ	50	カウント・クロックをTI50選択時のみ動作可能		
	51	カウント・クロックをTI51選択時のみ動作可能		
8ビット・タイマ	H1	カウント・クロックをf _{RL} , f _{RL} /2 ⁷ , f _{RL} /2 ⁹ 選択時のみ動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振クロック発振 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
シリアル・インタフェース	UART6	8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックをTM50出力選択時のみ動作可能		
	CSI10	シリアル・クロックに外部クロック選択時のみ動作可能		
	USB	動作停止		
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

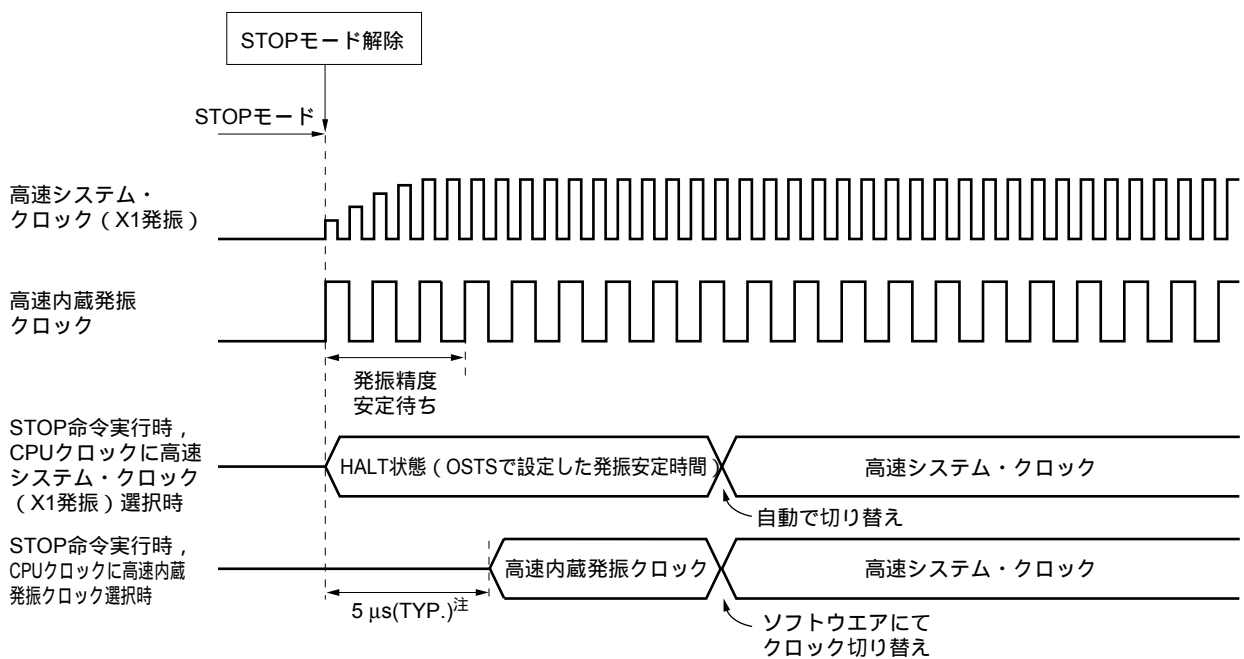
(注意は次頁にあります。)

- 備考** f_{RH} : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RL} : 低速内蔵発振クロック

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても, STOPモード時では低速内蔵発振クロックの発振は, STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は, ソフトウェアにて, 低速内蔵発振クロックの発振を停止してから, STOP命令を実行してください。
3. CPUクロックが高速内蔵発振クロックまたは外部メイン・システム・クロックで AMPHに1を設定してSTOP命令を実行した場合, STOPモードが解除されてから5μs (MIN.) 経過後に, CPUへ高速内蔵発振クロックまたは外部メイン・システム・クロックが供給されます。

(2) STOPモードの解除

図14 - 5 STOPモード解除時の動作タイミング



注 AMPH = 1設定時

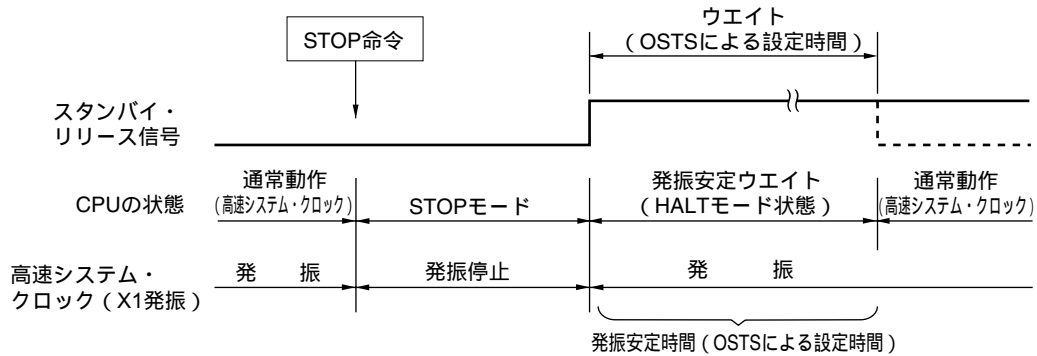
STOPモードは, 次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

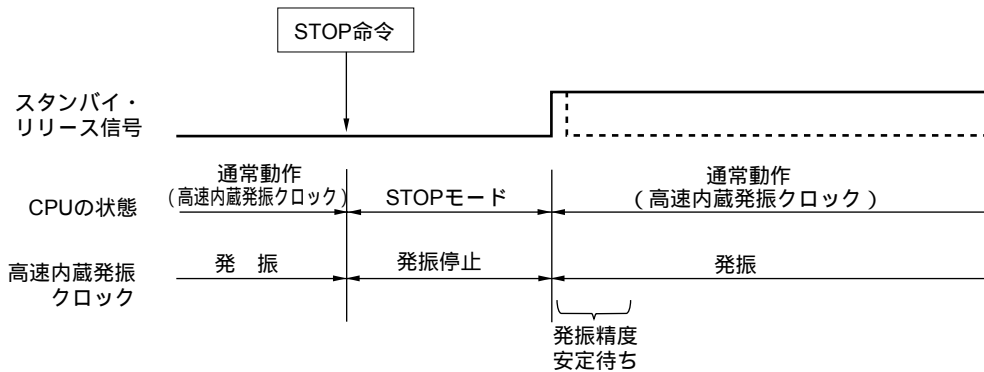
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図14 - 6 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



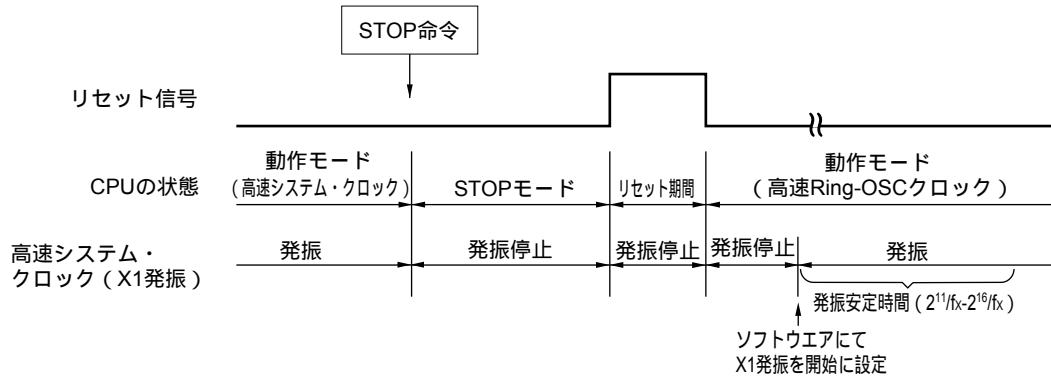
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

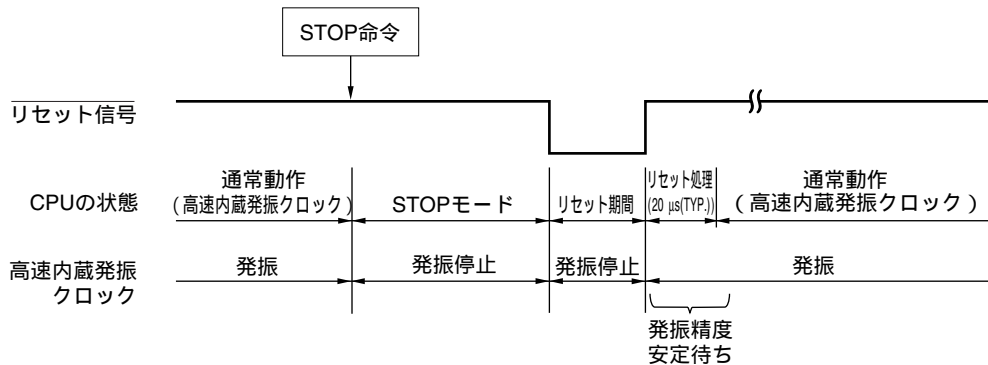
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図14 - 7 STOPモードのリセット信号入力による解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表14 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
リセット信号入力	-	-	x	x	リセット処理

x : don't care

第15章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

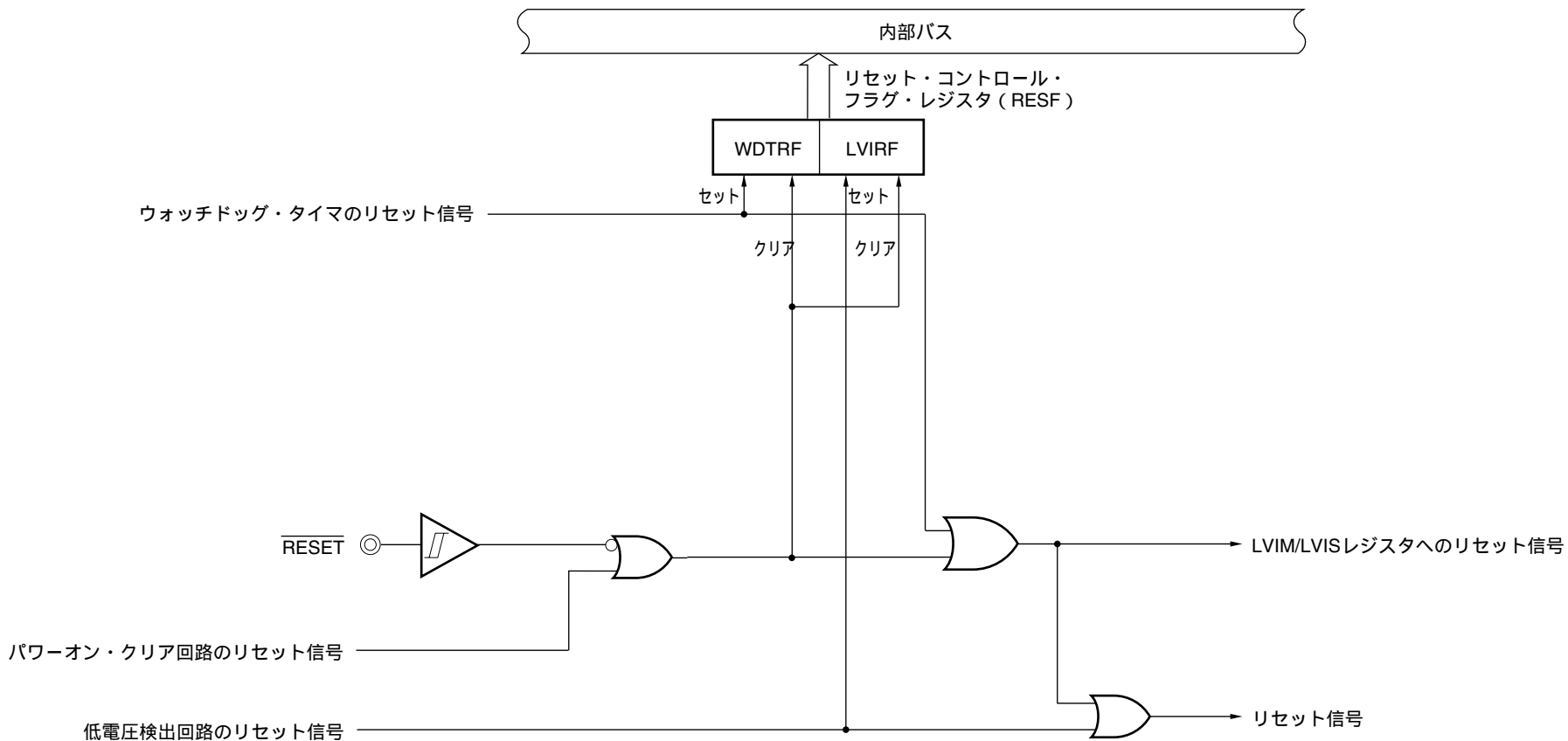
外部リセットと内部リセットは機能面での差はなく、リセット信号発生により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表15 - 1、表15 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、リセット後、自動的にリセットが解除され、高速内蔵発振クロックでプログラムの実行を開始します (図15 - 2から図15 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第16章 パワーオン・クリア回路と第17章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

図15-1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** LVIM：低電圧検出レジスタ
 2. LVIS：低電圧検出レベル選択レジスタ

図15 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

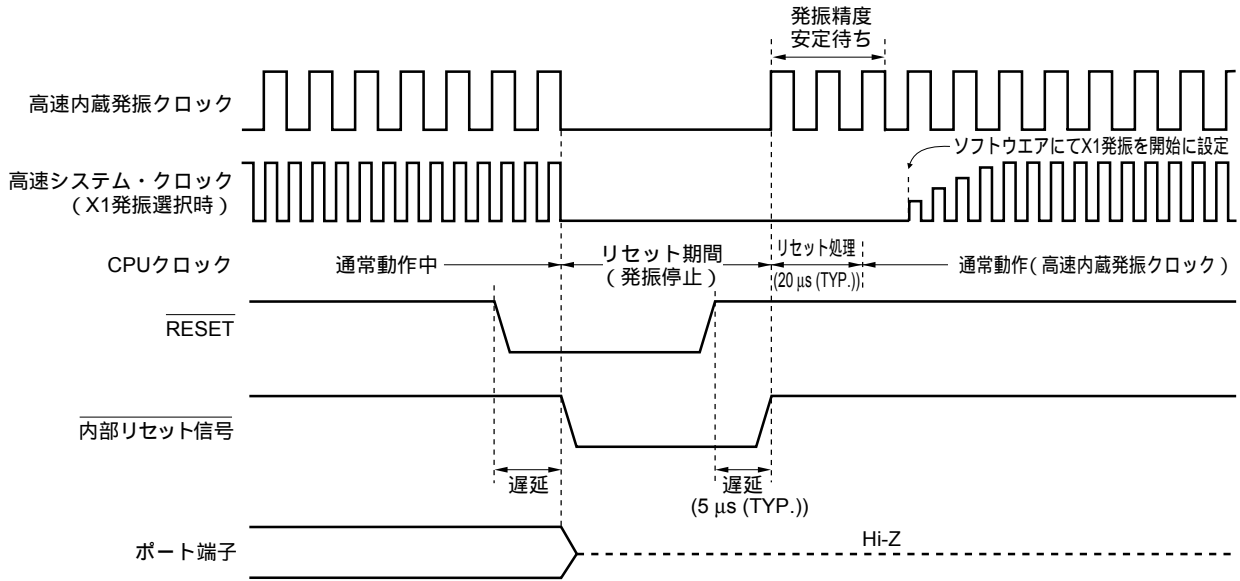
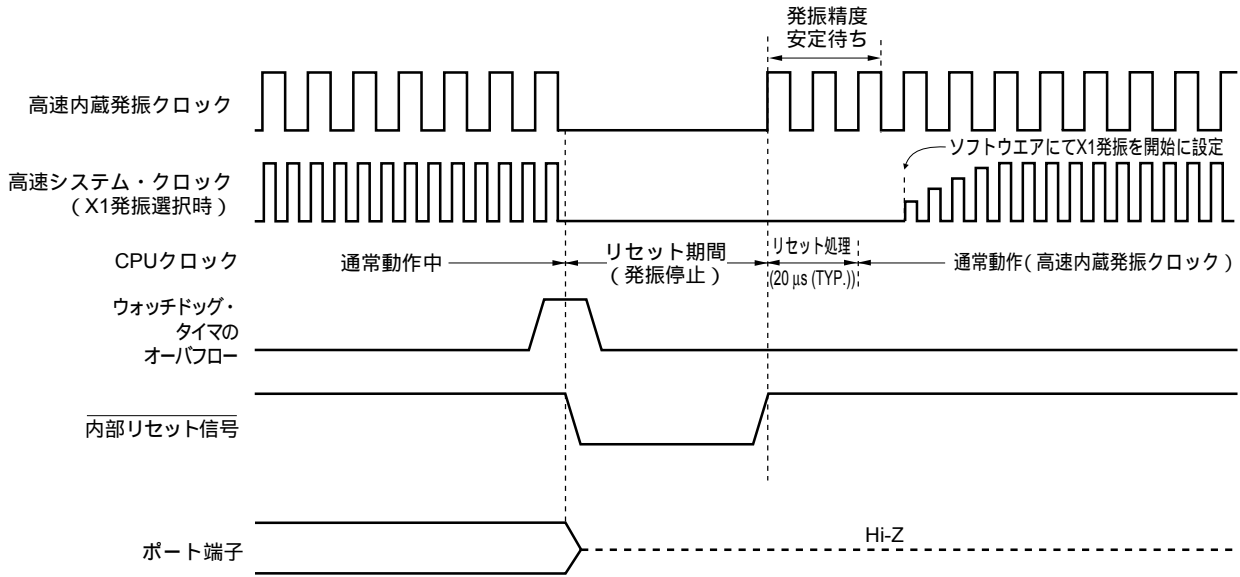
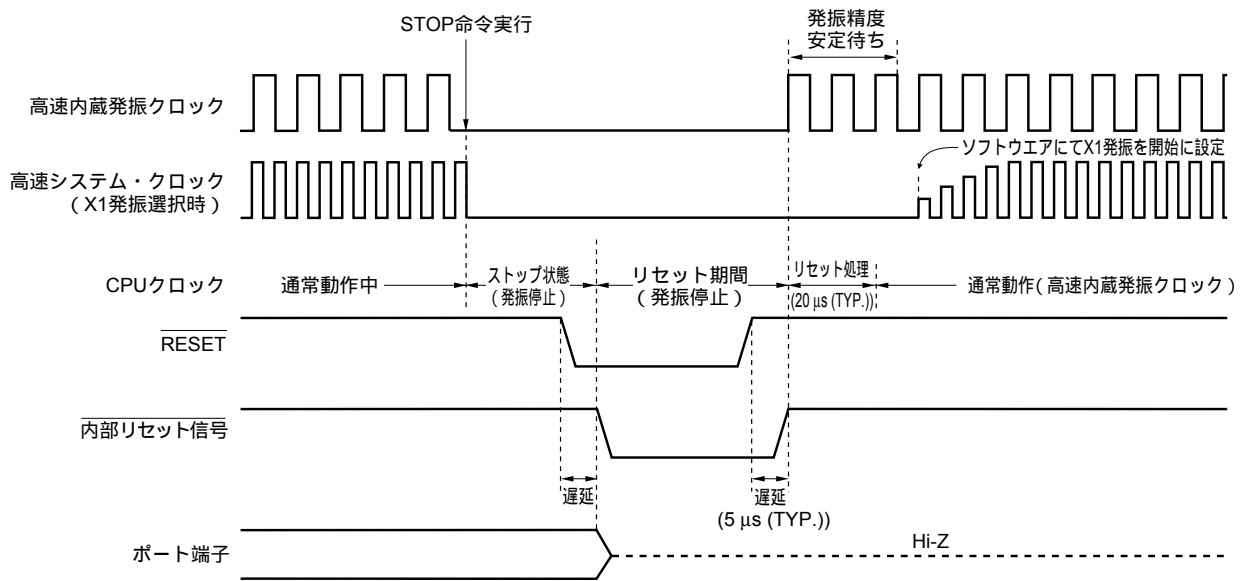


図15 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図15 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第16章 パワーオン・クリア回路と第17章 低電圧検出回路を参照してください。

表15 - 1 リセット期間中の動作状態

項 目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止 (端子は入出力ポート・モード)
	f _{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
f _{RL}		動作停止
PLL		
CPU		
フラッシュ・メモリ		
RAM		
レギュレータ	チップ用	動作可能
	USB用	
ポート (ラッチ)		動作停止
16ビット・タイマ / イベント・カウンタ	00	
8ビット・タイマ / イベント・カウンタ	50	
	51	
8ビット・タイマ	H1	
ウォッチドッグ・タイマ		
シリアル・インタフェース	UART6	
	CSI10	
	USB	
パワーオン・クリア機能		動作可能
低電圧検出機能		動作停止
外部割り込み		

備考 f_{RH} : 高速内蔵発振クロック
 f_X : X1発振クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RL} : 低速内蔵発振クロック

表15 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0, P1, P3, P6, P12) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM1, PM3, PM6, PM12)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU12)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注3}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
メインOSCコントロール・レジスタ (MOC)		80H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
PLLコントロール・レジスタ (PLL C)		00H
USBクロック制御レジスタ (UCKC)		00H
16ビット・タイマ / イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ / イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に次に示す値を必ず設定してください。

フラッシュ・メモリ製品 (μPD78F0730)	IMS	IXS
μPD78F0730	C4H	08H

表15 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
8ビット・タイマH1	コンペア・レジスタ01, 11 (CMP01, CMP11)	00H
	モード・レジスタ (TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 (SOTB10)	00H
	シリアルI/Oシフト・レジスタ10 (SIO10)	00H
	シリアル動作モード・レジスタ10 (CSIM10)	00H
	シリアル・クロック選択レジスタ10 (CSIC10)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表15 - 2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^注
USBファンクション・コントローラUSBF	UF0 EP0NAKレジスタ (UF0E0N)	00H
	UF0 EP0NAKALLレジスタ (UF0E0NA)	00H
	UF0 EPNAKレジスタ (UF0EN)	00H
	UF0 EPNAKマスク・レジスタ (UF0ENM)	00H
	UF0 SNDSIEレジスタ (UF0SDS)	00H
	UF0 CLRリクエスト・レジスタ (UF0CLR)	00H
	UF0 SETリクエスト・レジスタ (UF0SET)	00H
	UF0 EPステータス n レジスタ (UF0EPS n) ($n = 0-2$)	00H
	UF0 INTステータス n レジスタ (UF0IS n) ($n = 0-4$)	00H
	UF0 INTマスク n レジスタ (UF0IM n) ($n = 0-4$)	00H
	UF0 INTクリア n レジスタ (UF0IC n) ($n = 0-4$)	FFH
	UF0 FIFOクリア n レジスタ (UF0FIC n) ($n = 0, 1$)	00H
	UF0 データ・エンド・レジスタ (UF0DEND)	00H
	UF0 GPRレジスタ (UF0GPR)	00H
	UF0 モード・コントロール・レジスタ (UF0MODC)	00H
	UF0 モード・ステータス・レジスタ (UF0MODS)	00H
	UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN)	00H
	UF0 アクティブ・オルタネイティブ・セッティング・レジスタ (UF0AAS)	00H
	UF0 オルタネイティブ・セッティング・ステータス・レジスタ (UF0ASS)	00H
	UF0 エンドポイント n インタフェース・マッピング・レジスタ (UF0EnIM) ($n = 1, 2$)	00H
	UF0 EP0リード・レジスタ (UF0E0R)	不定
	UF0 EP0レングス・レジスタ (UF0E0L)	00H
	UF0 EP0セットアップ・レジスタ (UF0E0ST)	00H
	UF0 EP0ライト・レジスタ (UF0E0W)	00H
	UF0バルク・アウト1レジスタ (UF0BO1)	不定
	UF0バルク・アウト1レングス・レジスタ (UF0BO1L)	00H
	UF0バルク・イン1レジスタ (UF0BI1)	00H
	UF0 デバイス・ステータス・レジスタ (UF0DSTL)	00H
	UF0 EP n ステータス・レジスタL (UF0EnSL) ($n = 0-2$)	00H
	UF0 アドレス・レジスタ (UF0ADRS)	00H
	UF0 コンフィギュレーション・レジスタ (UF0CNF)	00H
	UF0 インタフェース n レジスタ (UF0IF n) ($n = 0-4$)	00H
	UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)	00H
	UF0 デバイス・ディスクリプタ・レジスタ (UF0DD n) ($n = 0-17$)	不定
	UF0 コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ (UF0CIE n) ($n = 0-255$)	不定
	USBファンクション0バッファ・コントロール・レジスタ (UF0BC)	00H

注 リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表15 - 2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFビット	クリア (0)	クリア (0)	セット (1)	保持
	LVIRFビット			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

15.1 リセット要因を確認するレジスタ

μPD78F0730は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット入力およびRESFのデータを読み出すことにより、00Hになります。

図15 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表15 - 3に示します。

表15 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第16章 パワーオン・クリア回路

16.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
2.7 V/1.59 V POCモード設定 (オプション・バイト: POCMODE = 1) 時^注は、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 V \pm 0.2 V$) を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 V \pm 0.15 V$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

注 μPD78F0730では、必ず2.7 V/1.59 V POCモード設定 (オプション・バイト: POCMODE = 1) で使用してください。また電源電圧 (V_{DD}) の立ち上がりは十分急峻になるよう設計し、POC回路によるリセット解除の時点から1.94ms以内に4.0Vに到達するようにしてください。

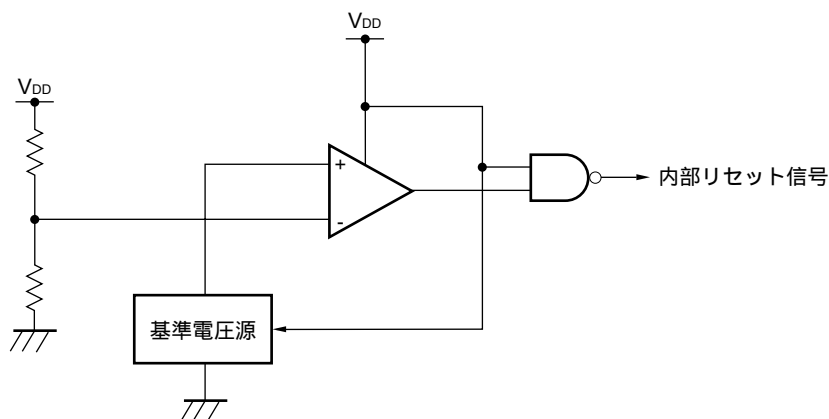
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第15章 リセット機能を参照してください。

16.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を、図16 - 1に示します。

図16 - 1 パワーオン・クリア回路のブロック図



16.3 パワーオン・クリア回路の動作

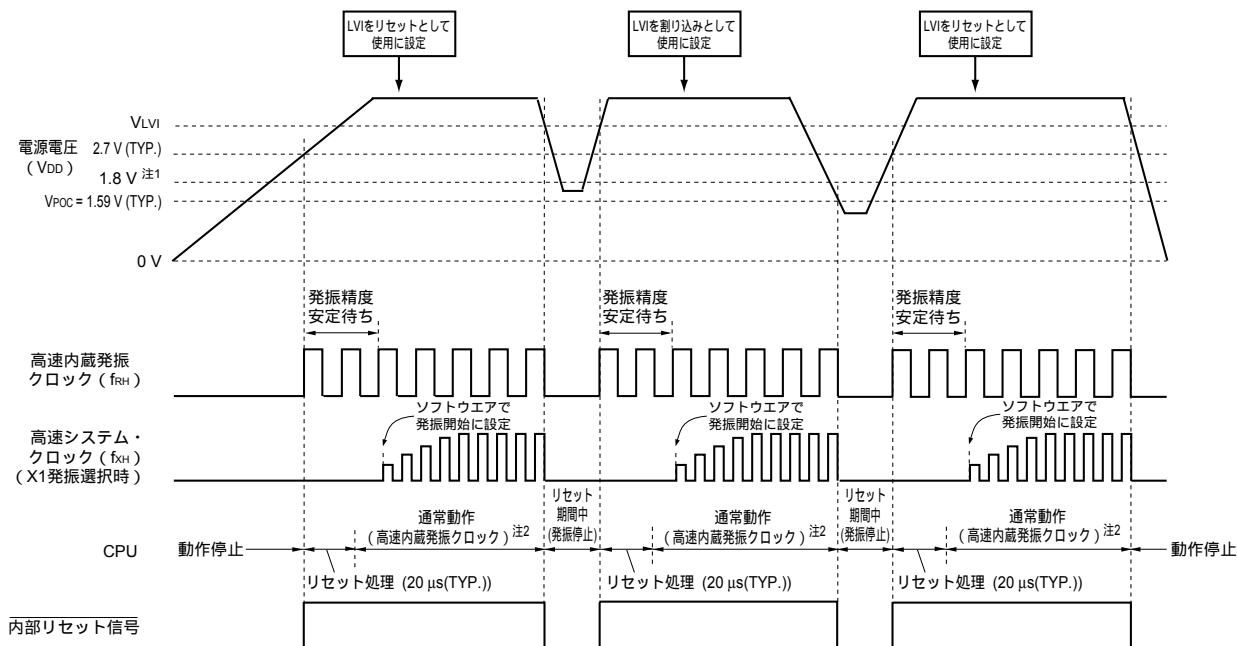
2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図16 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング

2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
- 2. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第17章 低電圧検出回路を参照)。

- 備考1. V_{LVI} : LVI検出電圧
- 2. V_{POC} : POC検出電圧
- 3. μPD78F0730では、必ず2.7 V/1.59 V POCモード設定 (オプション・バイト : POCMODE = 1) で使用してください。

16.4 パワーオン・クリア回路の注意事項

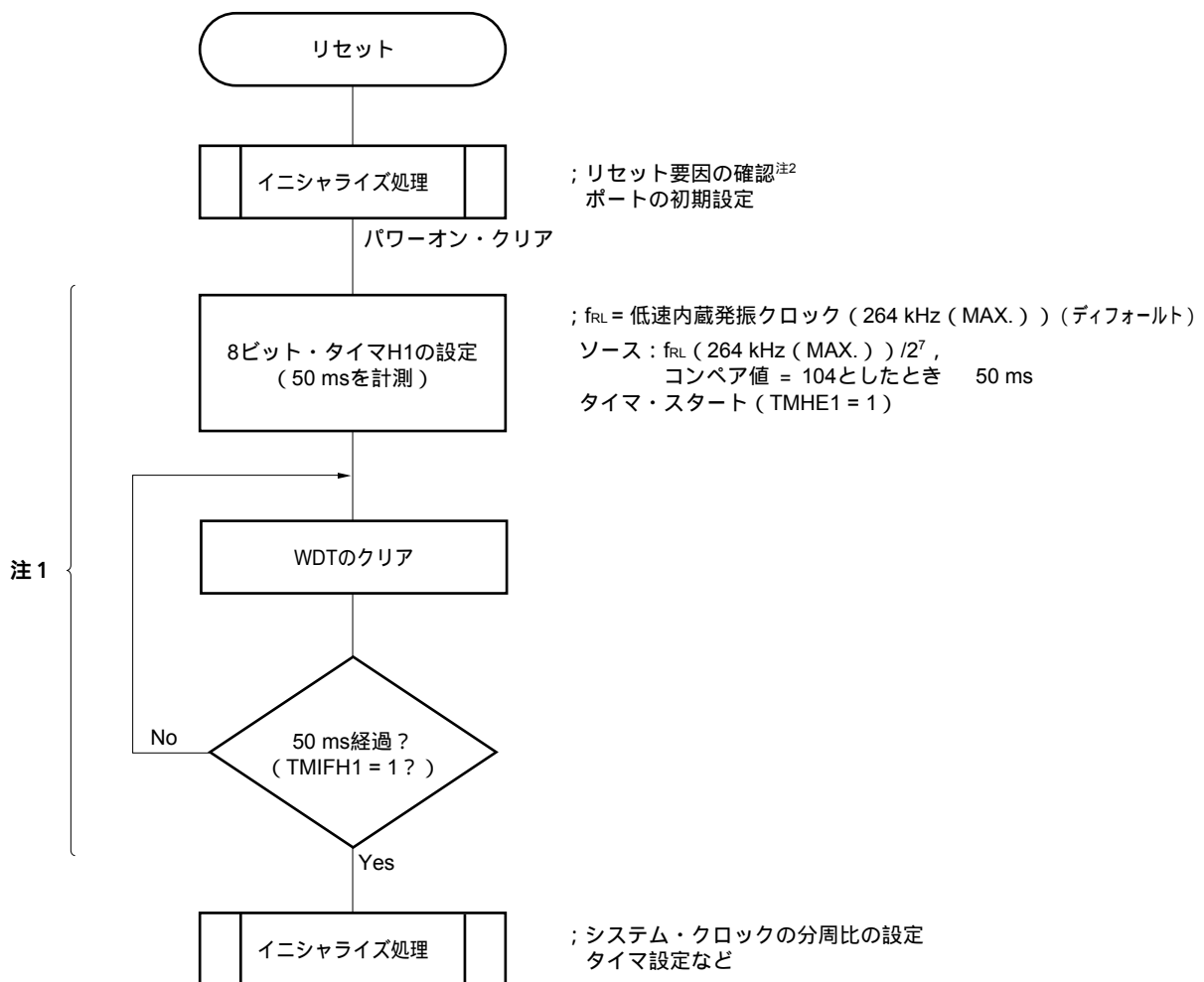
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図16 - 3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

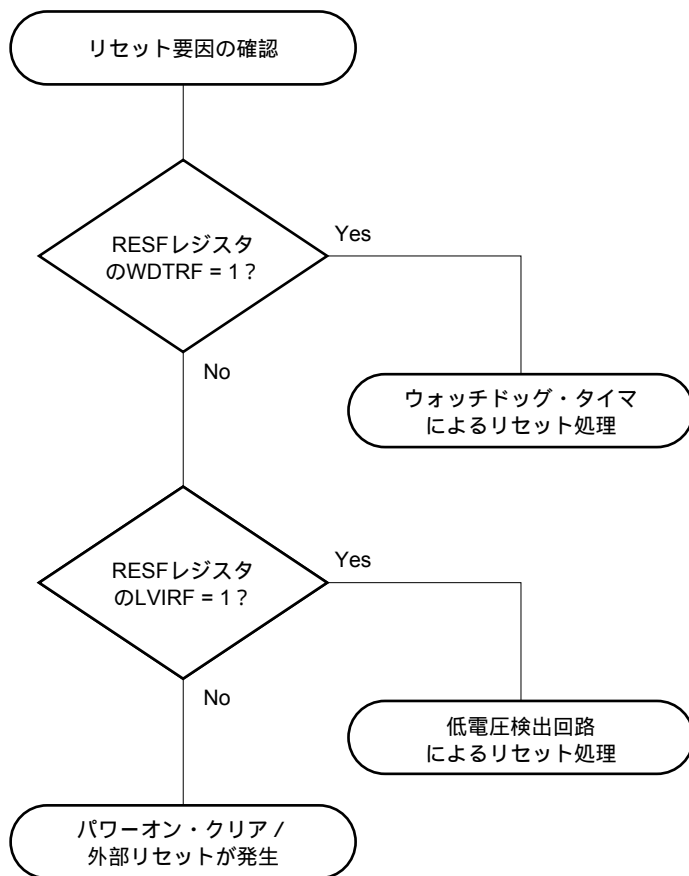


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次頁にフロー・チャートを示します。

図16 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第17章 低電圧検出回路

17.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は次のような機能を持ちます。

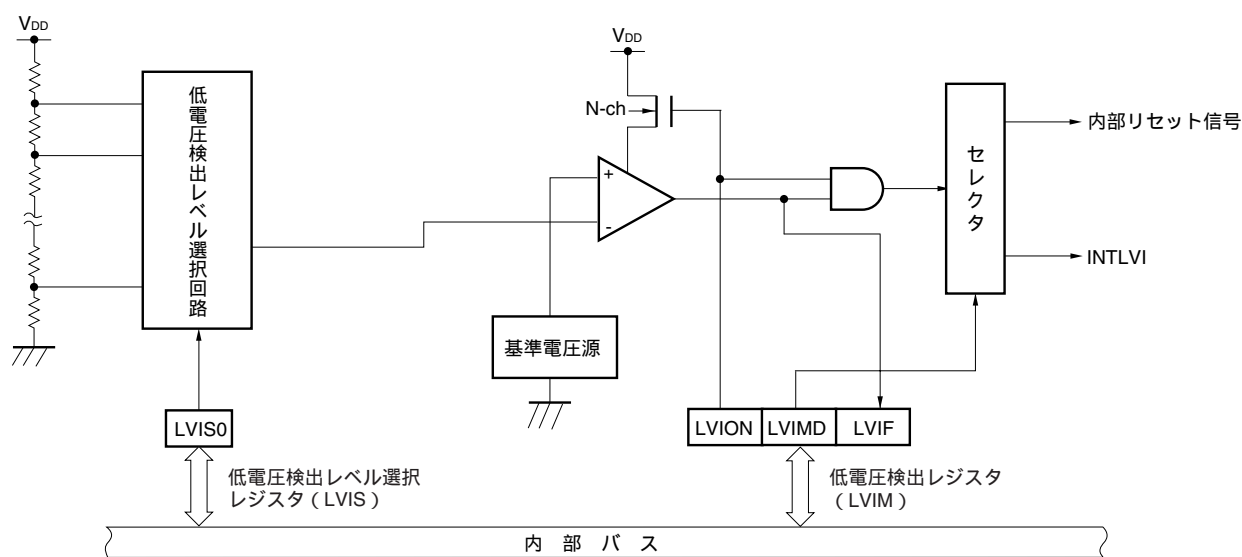
- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部割り込み信号もしくは内部リセット信号を発生します。電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモード時においても動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、**第15章 リセット機能**を参照してください。

17.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図17 - 1に示します。

図17 - 1 低電圧検出回路のブロック図



17.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFBEH リセット時：00H R/W^{注1}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION ^{注2, 3}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD ^{注2}	低電圧検出の動作モード選択
0	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に割り込み信号発生
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に内部リセット信号発生

LVIF ^{注4}	低電圧検出フラグ
0	電源電圧 (V _{DD}) 検出電圧 (V _{LVI})，または動作禁止時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI})

注1．ビット0はRead Onlyです。

- 2．LVION，LVIMDはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- 3．LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに，動作安定時間 (10 μs (TYP.)) をソフトウェアでウエイトしてください。
- 4．LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

注意 LVIMを停止する場合は，次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：LVIMDをクリア (0) LVIONをクリア (0)

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFBFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	$V_{LV10} (4.24 V \pm 0.1 V)$
1	$V_{LV11} (4.09 V \pm 0.1 V)$

注意1. ビット1-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

(3) ポート・モード・レジスタ12 (PM12)

P120/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

17.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセット信号を発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき割り込み信号 (INTLVI) を発生します。

17.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする ($LVIMK = 1$)
- 低電圧検出レベル選択レジスタ (LVIS) のビット0 ($LVIS0$) で検出電圧を設定する
- LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 ($10 \mu s$ (TYP.)) をウェイトする
- LVIMのビット0 ($LVIF$) で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ
- LVIMのビット1 ($LVIMD$) に “1” (電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に, 内部リセット信号発生) を設定する

図17-5に, ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

- 注意1.** は必ず行ってください。LVIMK = 0になっている場合, の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

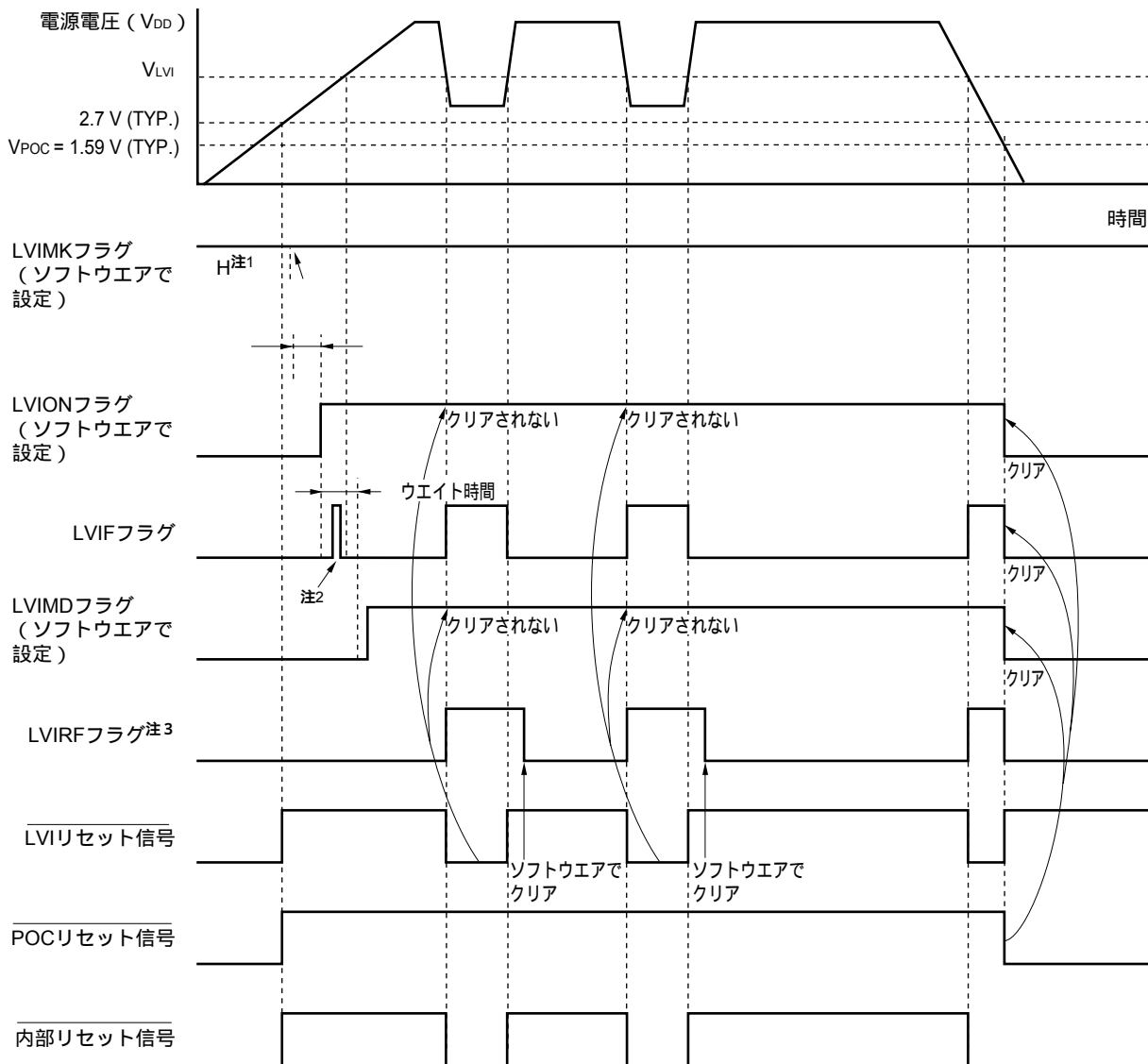
動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・8ビット・メモリ操作命令の場合:
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合:
 - LVIMDをクリア (0) LVIONをクリア (0)

図17 - 5 低電圧検出回路の内部リセット信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出)

2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

2 . LVIFフラグがセット (1) される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第15章 リセット機能を参照してください。

備考1. 図17 - 5の ~ は, 17.4.1 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

2. μPD78F0730では, 必ず2.7 V/1.59 V POCモード設定 (オプション・バイト : POCMODE = 1) で使用してください。

17.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レベル選択レジスタ (LVIS) のビット0 (LVIS0) で検出電圧を設定する
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μs (TYP.)) をウェイトする
- LVIMのビット0 (LVIF) で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認する
- LVIMの割り込み要求フラグ (LVIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
- LVIMのビット1 (LVIMD) に “0” (電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に, 割り込み信号発生) を設定する (デフォルト値)
- (ベクタ割り込みを使用する場合) EI命令を実行する

図17 - 6に, ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

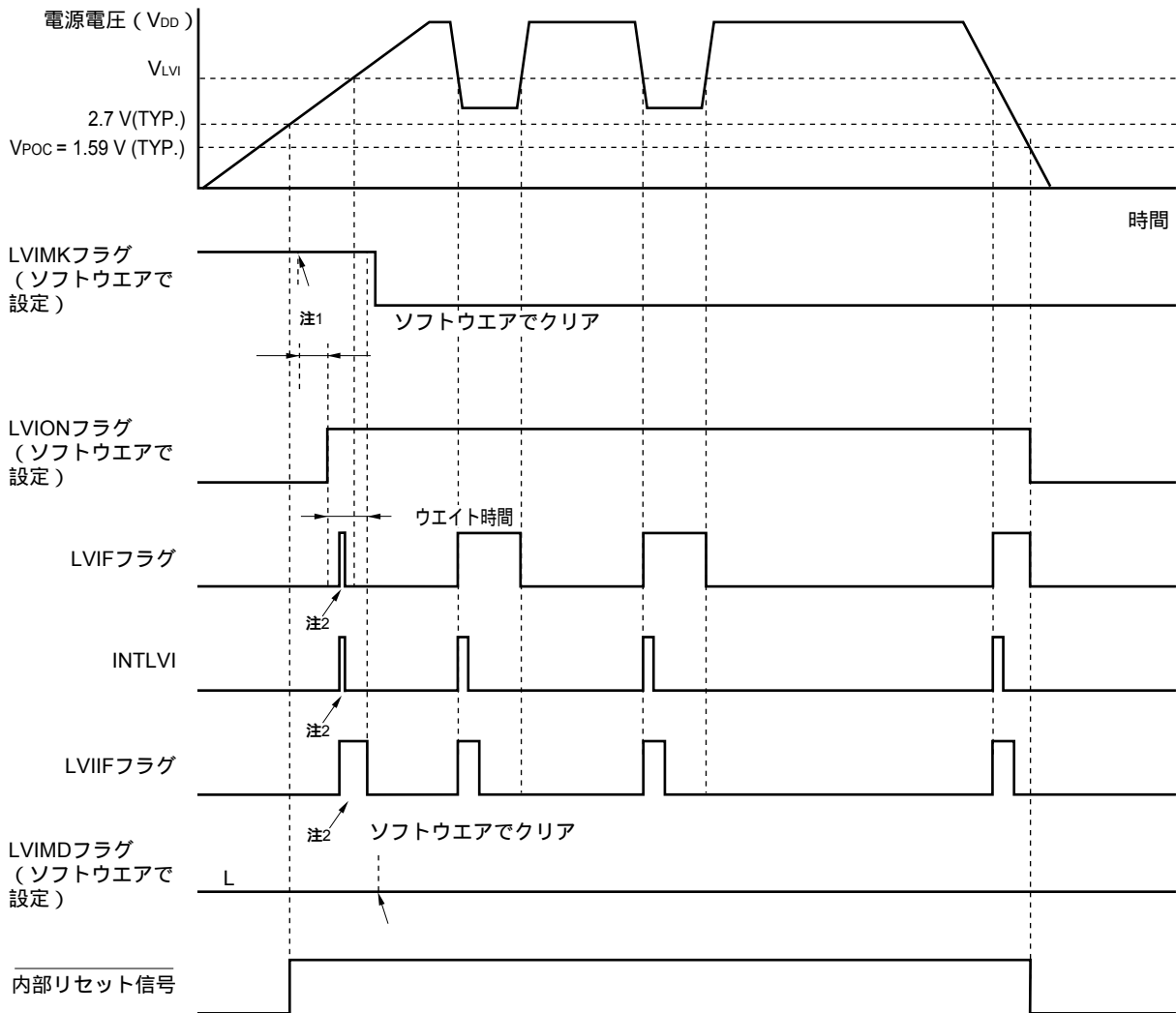
動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・8ビット・メモリ操作命令の場合:
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合:
 - LVIONをクリア (0)

図17 - 6 低電圧検出回路の割り込み信号発生時のタイミング (電源電圧 (V_{DD}) のレベルを検出)

2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。

備考1. 図17 - 6の ~ は、17.4.2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

2. μPD78F0730では、必ず2.7 V/1.59 V POCモード設定 (オプション・バイト : POCMODE = 1) で使用してください。

17.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください (図 17-7 を参照)。

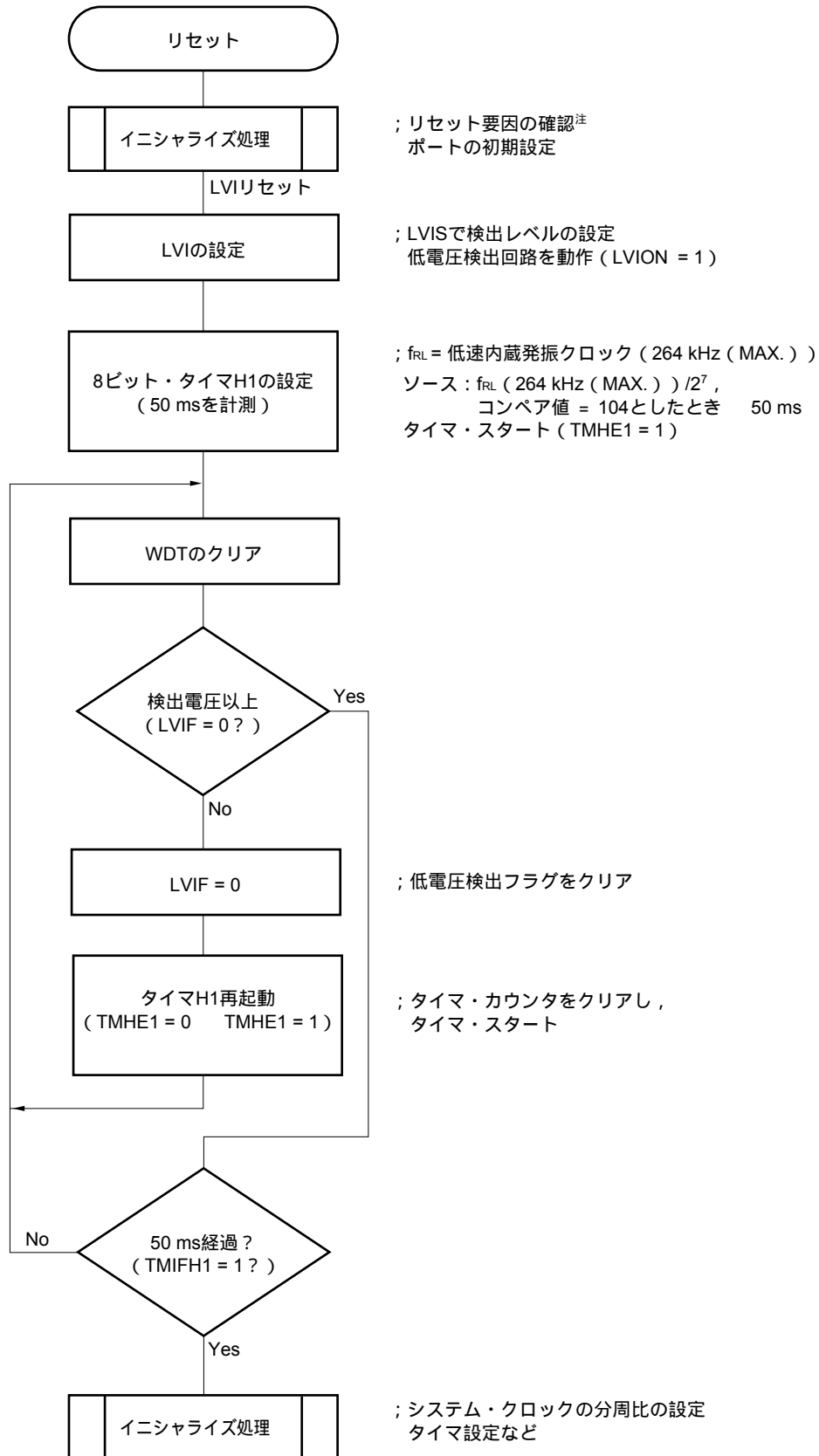
(2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) で、“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIF) をクリア (0) してください。

(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIF フラグで“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を確認し、LVIF フラグをクリア (0) してから、EI (割り込み許可) にしてください。

図17-7 リセット解除後のソフト処理例 (1/2)

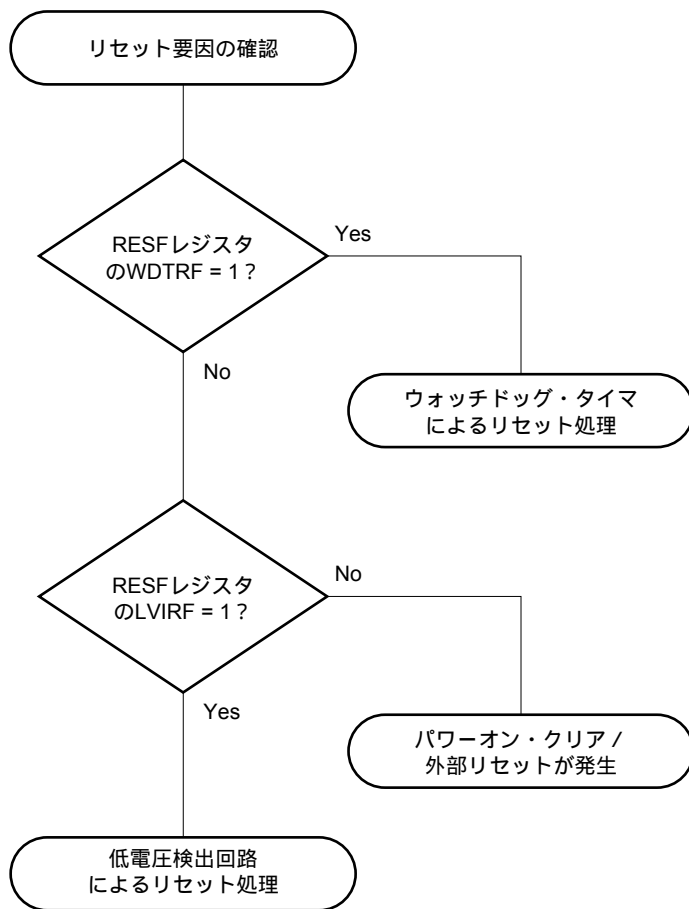
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次頁にフロー・チャートを示します。

図17 - 7 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第18章 オプション・バイト

18.1 オプション・バイトの機能

μPD78F0730のフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

(1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (POCMODE = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

- ・1.59 V POCモード動作時 (POCMODE = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 μPD78F0730では、必ずPOCMODE = 1に設定して使用してください。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止
- ・オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 オンチップ・デバッグ機能を搭載している製品 (μPD78F0730) で, オンチップ・デバッグ機能を使用する場合は, 0084Hに02Hまたは03Hを設定してください。また, ブート・スワップ時は, 0084Hと1084Hが切り替わるので, あらかじめ1084Hにも0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には, 必ず00Hを設定してください。

18.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図18 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	
1	0	
1	1	

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット0 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は, ウォッチドッグ・タイマは停止しません。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間を設定してください。
2. LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウンタ・クロックは供給されません。
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウンタ・クロックが供給されます。
3. ビット7には必ず0を書き込んでください。

- 備考1. f_{RL} : 低速内蔵発振クロック周波数
2. () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

図18 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

注1. POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません(このとき、1.59 V POCモード (デフォルト) になります)。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去 (チップ消去) 後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 μ PD78F0730では、ビット0に必ず1を書き込んでください。また、ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H, 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を搭載している製品 (μ PD78F0730) で、オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第20章 **オンチップ・デバッグ機能とQB-MINI2 ユーザーズ・マニュアル (U18371J)** を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	70H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間100%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	01H	; 2.7/1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第15章 リセット機能**を参照してください。

第19章 フラッシュ・メモリ

μ PD78F0730は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

19.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

注意 リセット解除後にC4Hに設定してください。

図19 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H リセット時 : CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0
	RAM2	RAM1	RAM0	内部高速RAM容量の選択				
	1	1	0	1024バイト				
	上記以外			設定禁止				
	ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
	0	1	0	0	16 Kバイト			
	上記以外				設定禁止			

19.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部拡張RAM容量を選択できます。

IXSは，8ビット・メモリ操作命令で設定できます。

RESET入力により，0CHになります。

注意 リセット解除後に08Hに設定してください。

図19 - 2 内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	0	0	0	2048バイト
上記以外					設定禁止

19.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にμ PD78F0730を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にμ PD78F0730を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

表19 - 1 μ PD78F0730と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	28	TxD6/P13	27
SO/TxD	出力	送信信号	SI10/P11	29	RxD6/P14	26
SCK	出力	転送クロック	SCK10/P10	30	-	-
CLK	出力	μ PD78F0730へのクロック	注1	-	EXCLK/X2/P122 注2	7
/RESET	出力	リセット信号	RESET	5	RESET	5
FLMD0	出力	モード信号	FLMD0	6	FLMD0	6
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	11	V _{DD}	11
			EV _{DD}	20	EV _{DD}	20
GND	-	グランド	V _{SS}	10	V _{SS}	10
			EV _{SS}	21	EV _{SS}	21

注1. CSI10使用時は，高速内蔵発振クロック（f_{RH}）のみ使用できます。

2. UART6使用時は，X1クロック（f_X）または外部メイン・システム・クロック（f_{EXCLK}）のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合，専用フラッシュ・メモリ・プログラマの種類により，接続する端子が異なります。

・ PG-FP5, FL-PR5, QB-MINI2：プログラマのCLKとEXCLK/X2/P122（ピン番号：7）を接続してください。

・ PG-FPL3, FP-LITE3：プログラマのCLKとX1/P121（ピン番号：8）を接続し，X2/EXCLK/P122（ピン番号：7）にその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図19 - 3 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例

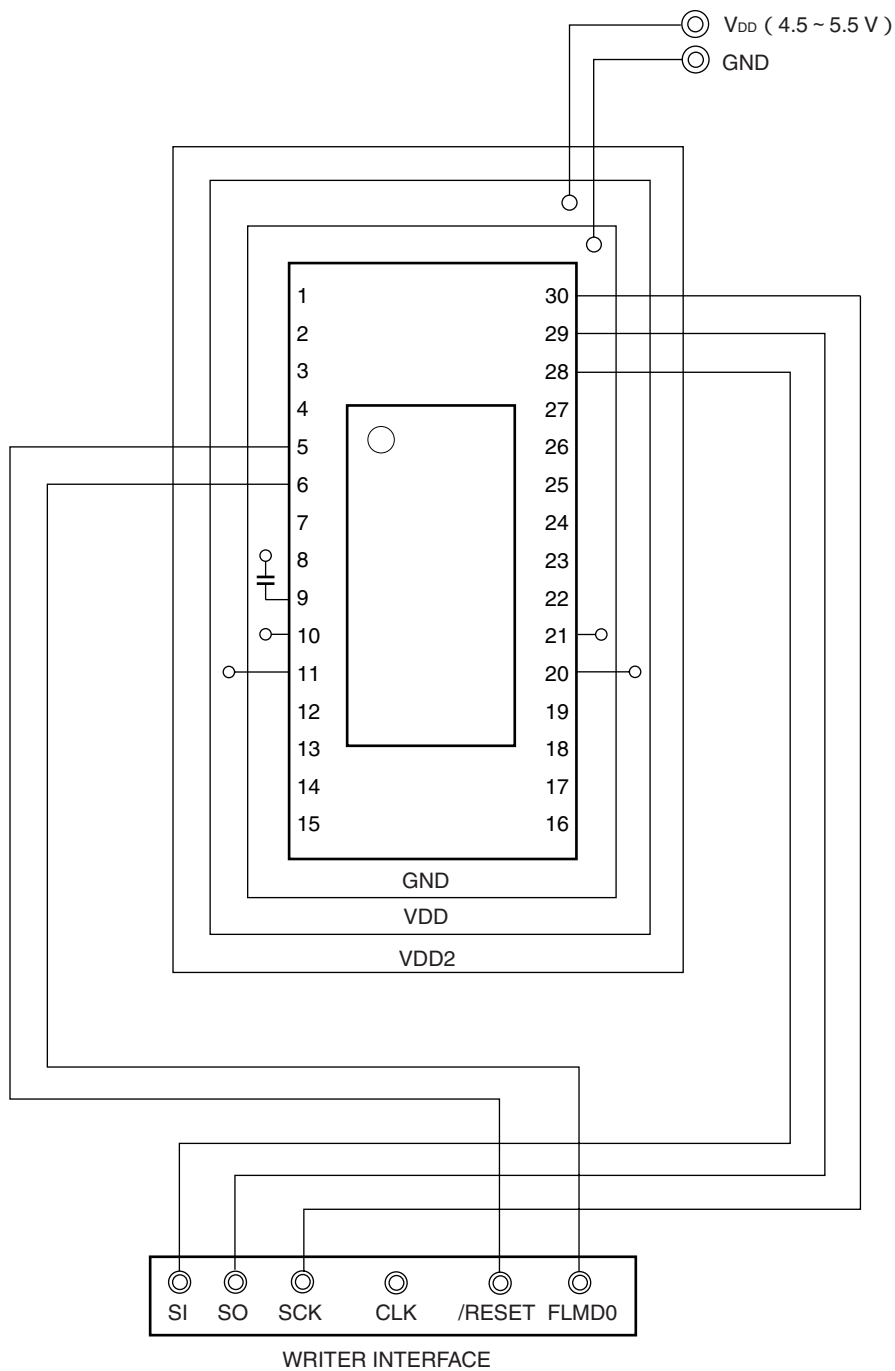
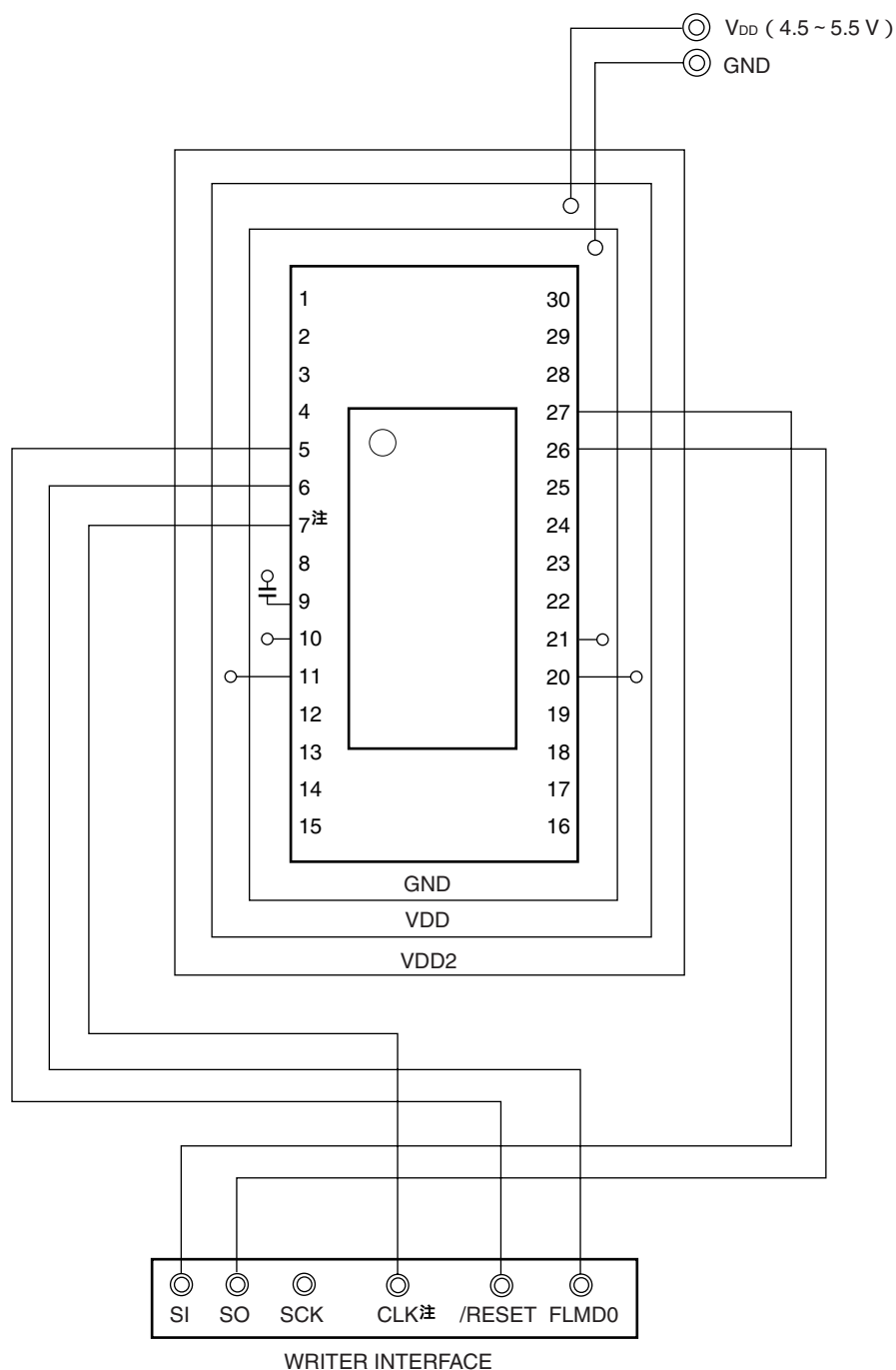


図19 - 4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例

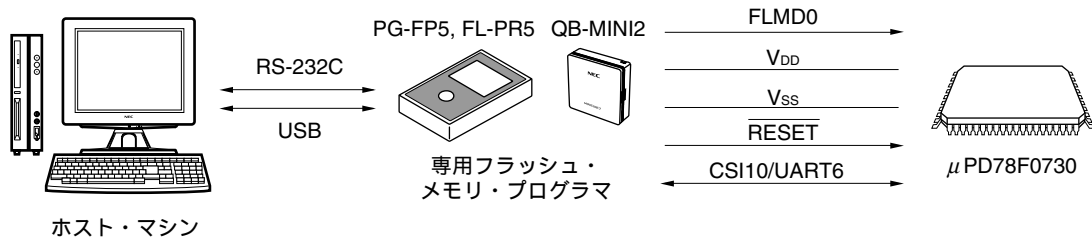


注 上図は、PG-FP5, FL-PR5, QB-MINI2のクロック・アウトを使用する場合の配線例です。
 PG-FPL3, FP-LITE3のクロック・アウトを使用する場合は、CLKとX1/P121（ピン番号：8）を接続し、
 X2/EXCLK/P122（ピン番号：7）にその反転信号を接続してください。

19.4 プログラミング環境

μPD78F0730のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図19 - 5 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとμPD78F0730とのインターフェースはCSI10またはUART6を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

19.5 通信方式

専用フラッシュ・メモリ・プログラマとμPD78F0730との通信は、μPD78F0730のCSI10またはUART6によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz～2.5 MHz

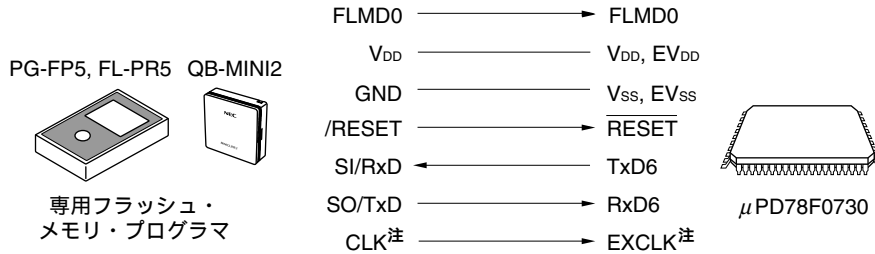
図19 - 6 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)



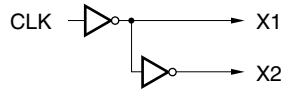
(2) UART6

転送レート : 115200 bps

図19 - 7 専用フラッシュ・メモリ・プログラマとの通信 (UART6)



注 上図は、PG-FP5, FL-PR5, QB-MINI2のクロック・アウトを使用する場合のものです。PG-FPL3, FP-LITE3のクロック・アウトを使用する場合は、CLKとX1/P121を接続し、X2/EXCLK/P122にその反転信号を接続してください。



専用フラッシュ・メモリ・プログラマはμPD78F0730に対して次の信号を生成します。詳細はPG-FP5, FL-PR5, QB-MINI2, PG-FPL3, またはFP-LITE3のマニュアルを参照してください。

表19 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			μPD78F0730	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	出力	モード信号	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD}		
GND	-	グラウンド	V _{SS} , EV _{SS}		
CLK	出力	μPD78F0730へのクロック出力	注1	x 注2	注1
/RESET	出力	リセット信号	RESET		
SI/RxD	入力	受信信号	SO10/TxD6		
SO/TxD	出力	送信信号	SI10/RxD6		
SCK	出力	転送クロック	SCK10		x

注1. UART6使用時は、X1クロック (f_X) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラマの種類により、接続する端子が異なります。

- ・ PG-FP5, FL-PR5, QB-MINI2 : プログラムのCLKとEXCLK/X2/P122を接続してください。
- ・ PG-FPL3, FP-LITE3 : プログラムのCLKとX1/P121を接続し、X2/EXCLK/P122にその反転信号を接続してください。

2. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

19.6 オンボード上の端子処理

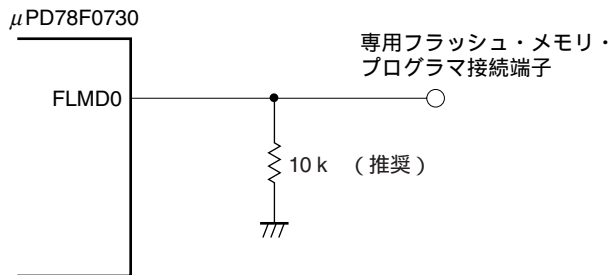
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

19.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図19 - 8 FLMD0端子の接続例



19.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表19 - 3 各シリアル・インタフェースが使用する端子

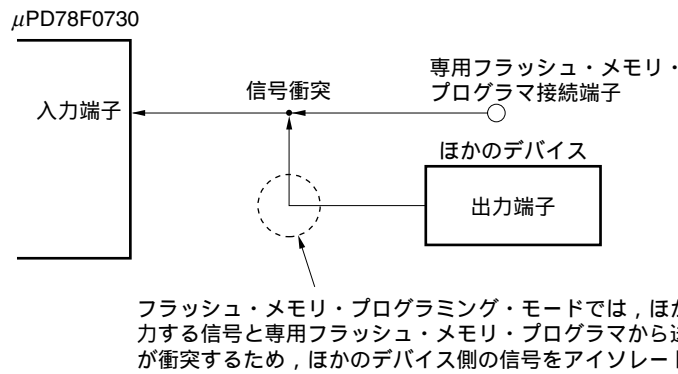
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス(出力)と接続しているシリアル・インタフェース用の端子(入力)に、専用フラッシュ・メモリ・プログラマ(出力)を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

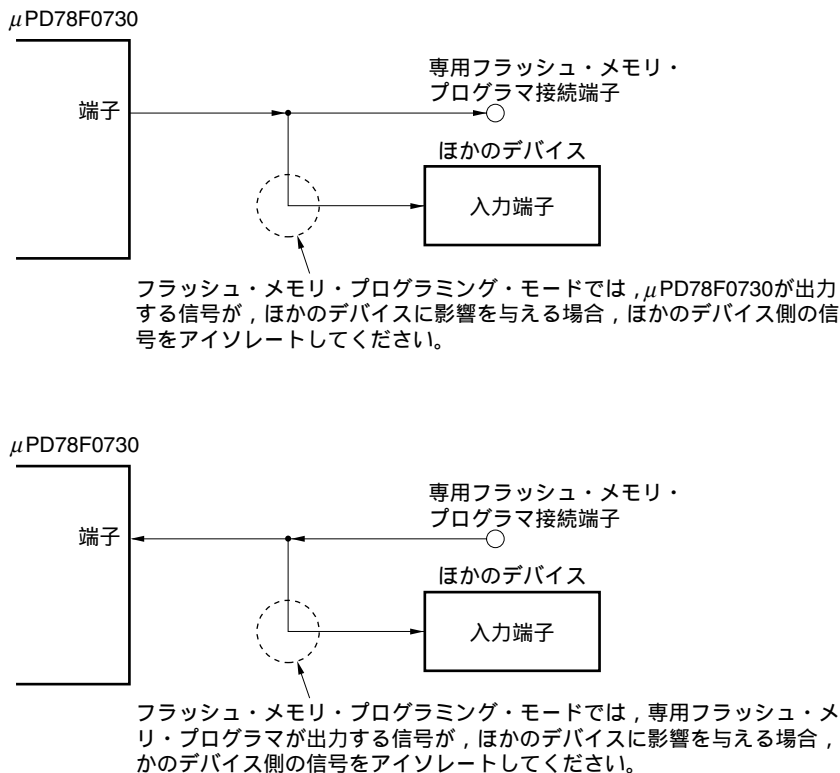
図19 - 9 信号の衝突 (シリアル・インタフェースの入力端子)



(2) ほかのデバイスの異常動作

ほかのデバイス (入力) と接続しているシリアル・インタフェース用の端子 (入力または出力) に、専用フラッシュ・メモリ・プログラマ (出力または入力) を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図19 - 10 ほかのデバイスの異常動作

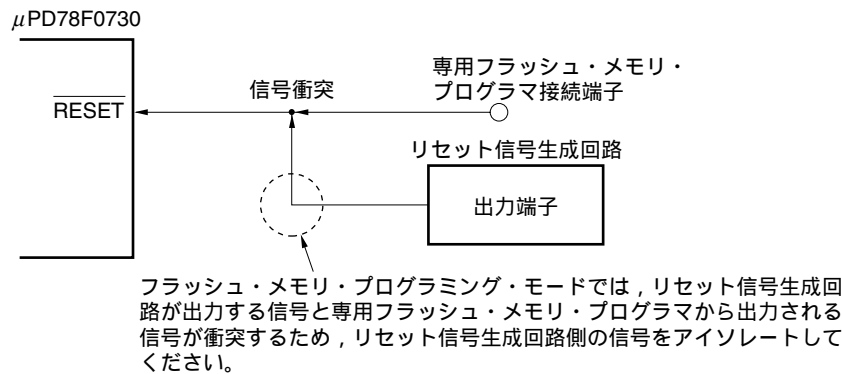


19. 6. 3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図19 - 11 信号の衝突 ($\overline{\text{RESET}}$ 端子)



19. 6. 4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

19. 6. 5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF : 推奨) を介し、GNDに接続してください。

19. 6. 6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、フラッシュ・メモリ・プログラマから動作クロックを入力する場合、次のように接続してください。

- ・ PG-FP5, FL-PR5, QB-MINI2 : プログラマのCLKとEXCLK/X2/P122を接続してください。
- ・ PG-FPL3, FP-LITE3 : プログラマのCLKとX1/P121を接続し、X2/EXCLK/P122にその反転信号を接続してください。

- 注意 1.** CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。
- 2.** UART6使用時は、X1クロック (f_X) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

注意3. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/OCD1A, P121/X1/OCD0A を次のように処理してください。

- ・ P31/INTP2/OCD1A：抵抗（10 kΩ：推奨）を介してV_{SS}に接続してください。
- ・ P121/X1/OCD0A：ポートとして使用する場合は、抵抗（10 kΩ：推奨）を介してV_{SS}に接続（入力時）またはオープン（出力時）にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

19.6.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

ただしフラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}、GNDと必ず接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

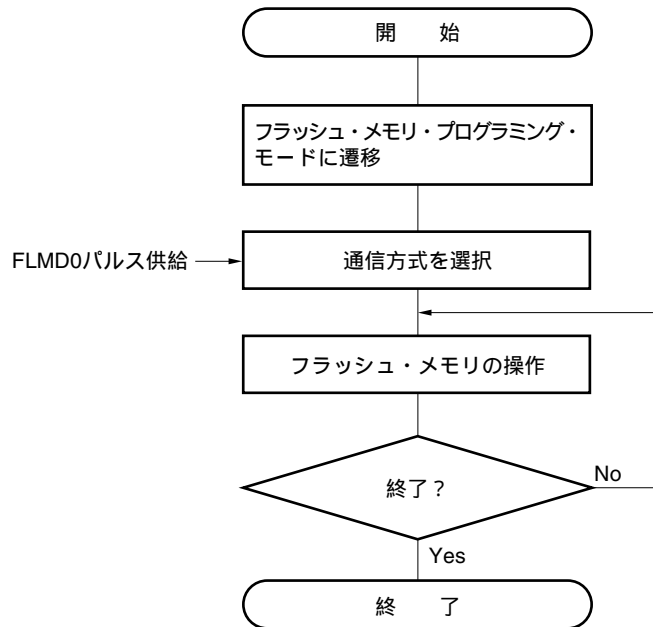
その他の電源（EV_{DD}、EV_{SS}）は、通常動作モード時と同じ電源を供給してください。

19.7 プログラミング方法

19.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図19 - 12 フラッシュ・メモリの操作手順



19.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、μPD78F0730 をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV_{DD} 設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図19 - 13 フラッシュ・メモリ・プログラミング・モード

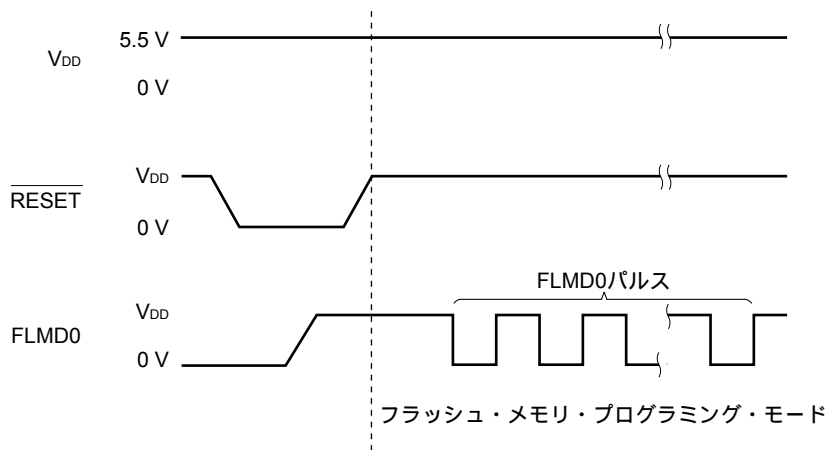


表19 - 4 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

19. 7. 3 通信方式の選択

μPD78F0730では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表19 - 5 通信方式一覧

通信方式	Standard設定 ^注				使用端子	周辺ク ロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-Osc	115200 bps	16 MHz	1.0	TxD6, RxD6	f _x	0
	UART-Ext-FP5CK					f _{EXCLK}	3
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz-2.5 MHz	16 MHz		SO10, SI10, SCK10	f _{RH}	8

注 フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

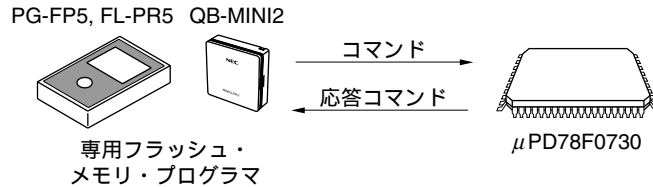
注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

- 備考** f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RH} : 高速内蔵発振クロック

19.7.4 通信コマンド

μ PD78F0730と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからμ PD78F0730へ送られる信号を「コマンド」と呼び、μ PD78F0730から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図19 - 14 通信コマンド



μ PD78F0730のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてフラッシュ・メモリ・プログラマから発行され、μ PD78F0730がコマンドに対応した各処理を行います。

表19 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	製品情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	デバイス・バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、μ PD78F0730は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答コマンドを返します。μ PD78F0730が送出する応答コマンドを次に示します。

表19 - 7 応答コマンド

応答コマンド名称	機能
ACK	コマンド / データなどのアクノリッジ
NAK	不正なコマンド / データなどのアクノリッジ

19.8 セキュリティ設定

μ PD78F0730は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- 一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、一括消去（チップ消去）コマンド、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換えはできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

μ PD78F0730のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表19 - 8に示します。

表19 - 8 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表19 - 9に示します。

表19 - 9 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

19.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μ PD78F0730は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

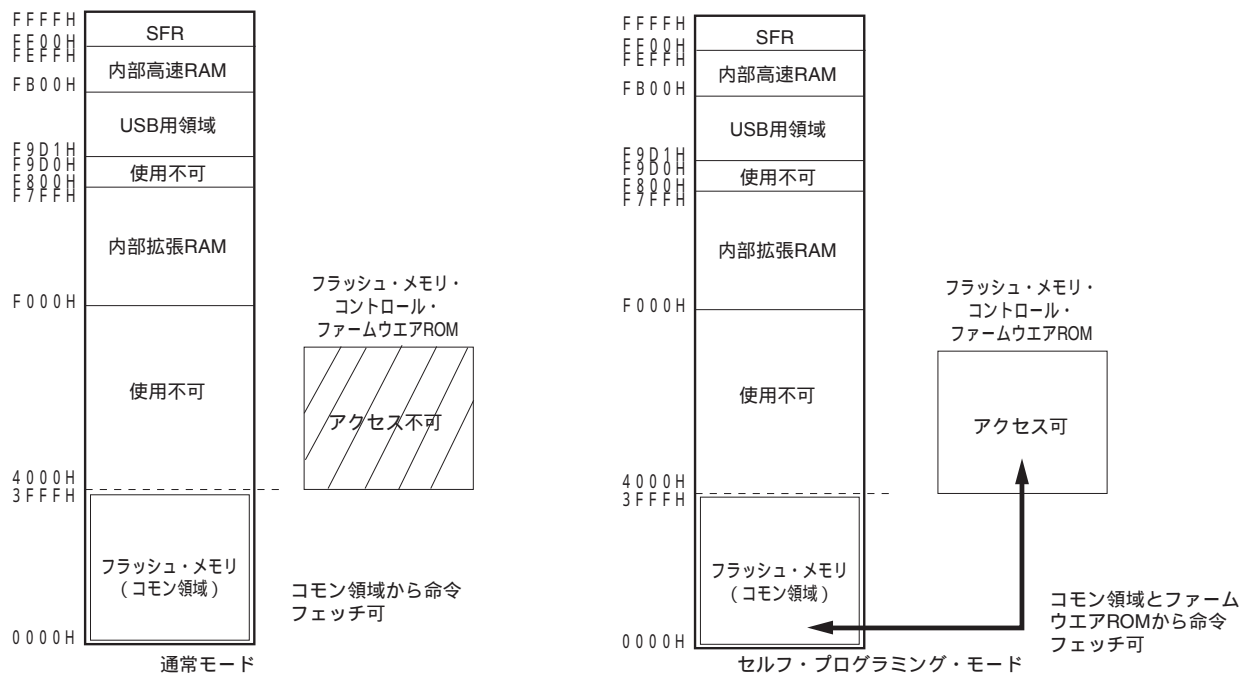
備考 セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

- 注意1.** セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
2. セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ (IF0L, IF0H, IF1L, IF1H) を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
3. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) で割り込みをマスクしてください。
4. セルフ・プログラミングは、高速内蔵発振クロックで動作します。したがって、CPUがX1クロックまたは外部メイン・システム・クロックの場合、セルフ・プログラミング中に高速内蔵発振クロックの発振安定ウエイト時間が生じます。

(注意5は次頁にあります。)

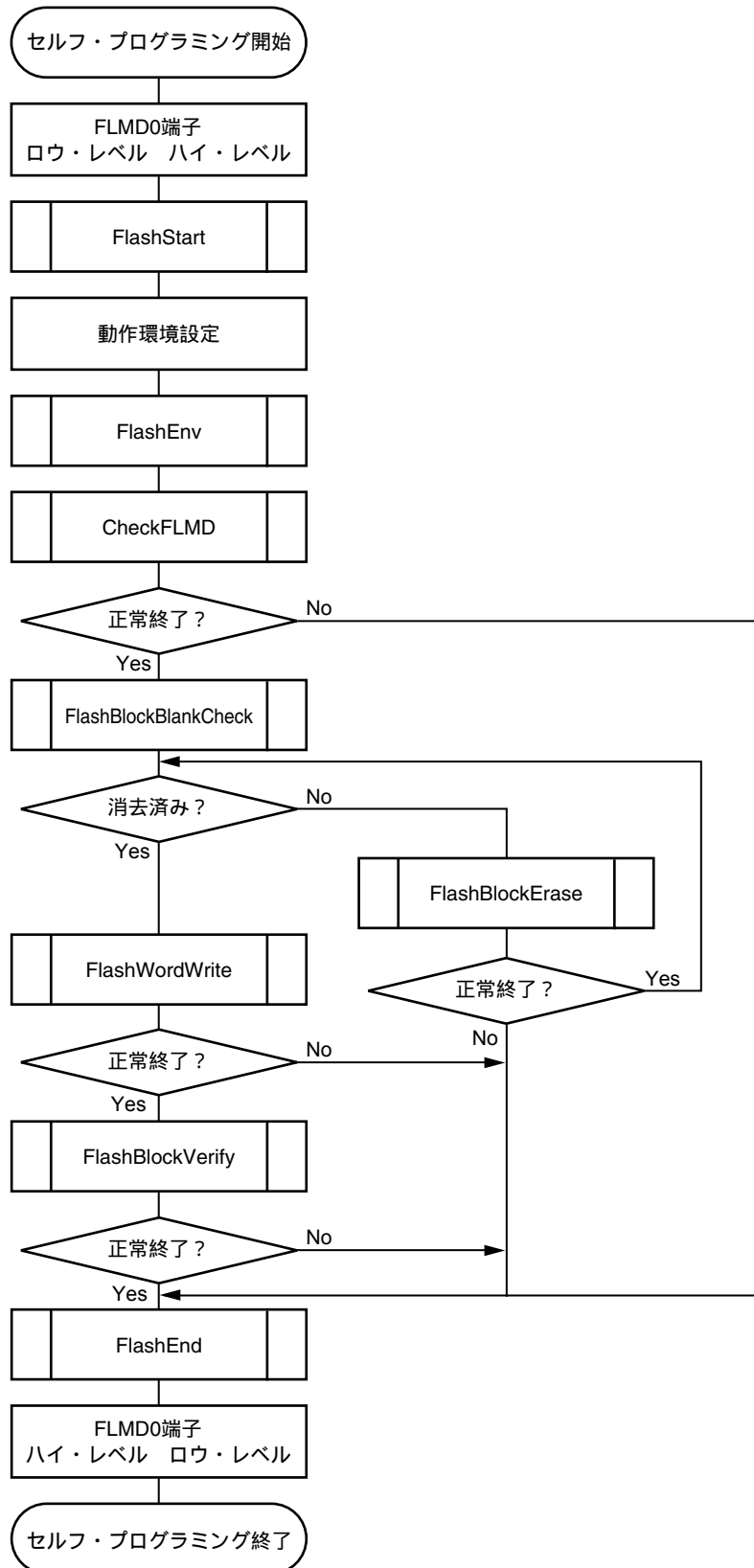
注意5. セルフ・プログラミングのエントリ・プログラムは、0000H-3FFFHのコモン領域に配置してください。

図19 - 15 セルフ・プログラミングの動作モードとメモリ・マップ



次に、セルフ・プログラミング・サンプル・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図19-16 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



備考 セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

19.9.1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、μ PD78F0730内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

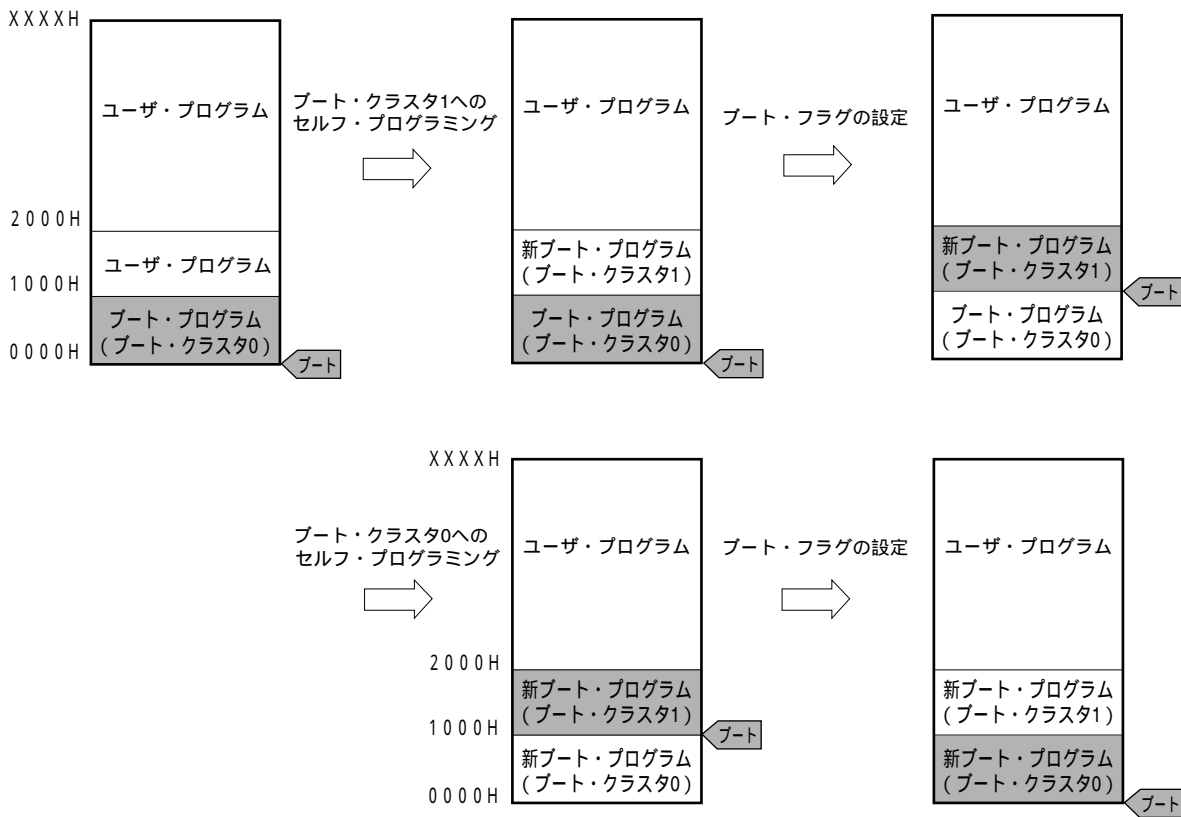
ブート・クラスタ0への書き込みが正常に終了した場合は、μ PD78F0730内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

図19 - 17 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図19 - 18 ブート・スワップの実行例

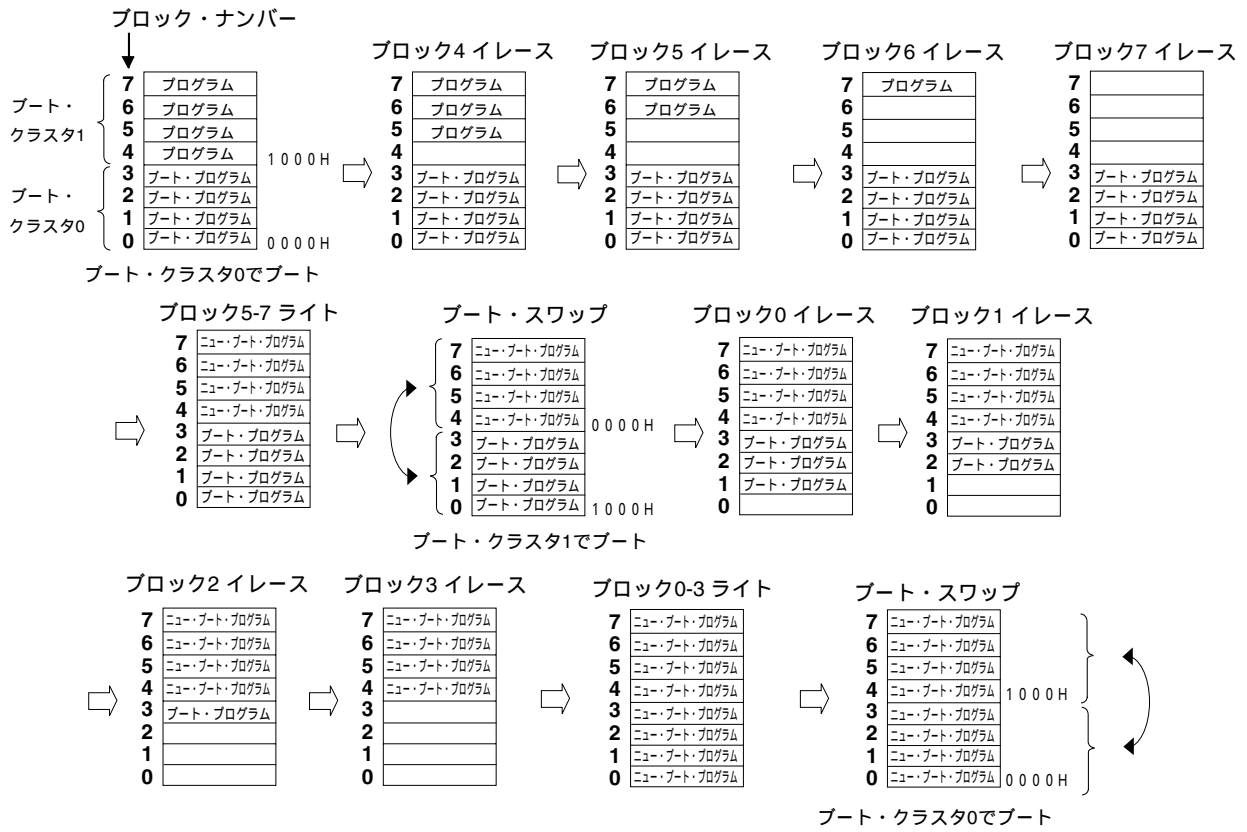
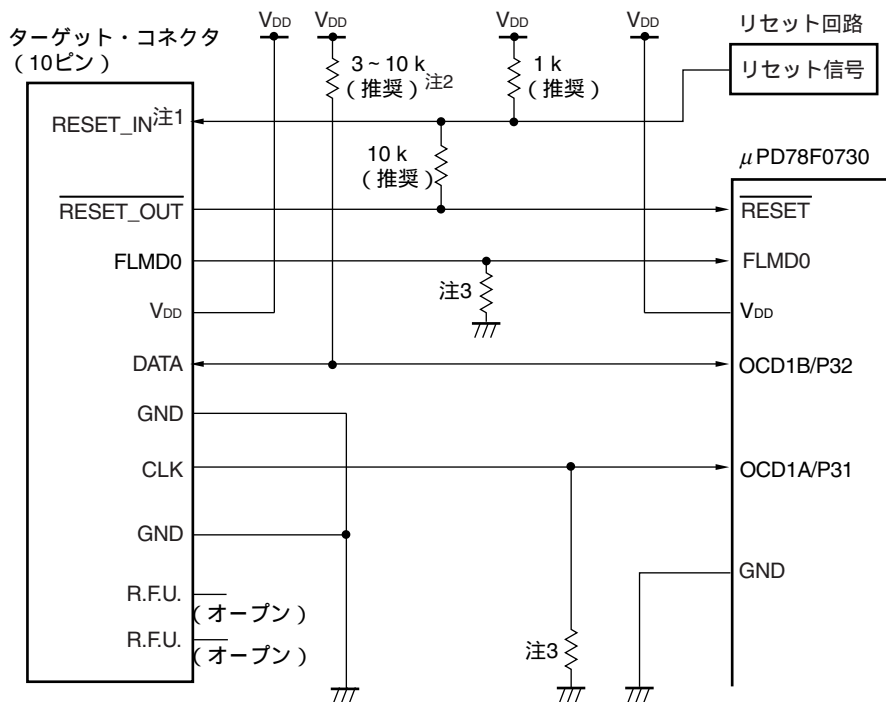


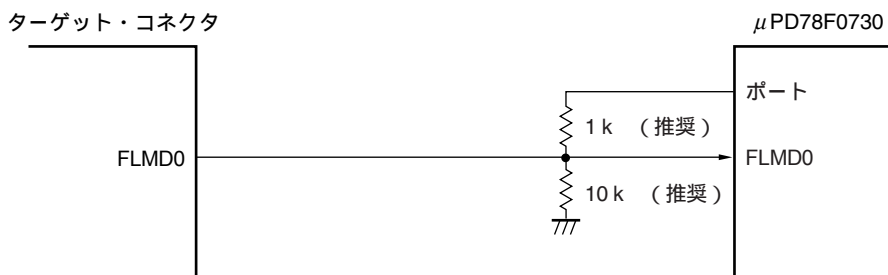
図20 - 2 QB-MINI2とμPD78F0730の接続例 (OCD1A, OCD1B使用時)



- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
- 2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-MINI2未接続時にオープンになるのを防ぐため)。
- 3. プルダウン抵抗値は470 Ω以上 (10 kΩ : 推奨) にしてください。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図20 - 3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第22章 電気的特性に記載されているハイ・レベル出力電流とFLMD0電源電圧 (MIN. 値: 0.8V_{DD}) の値を満たすように、十分注意してご使用ください。

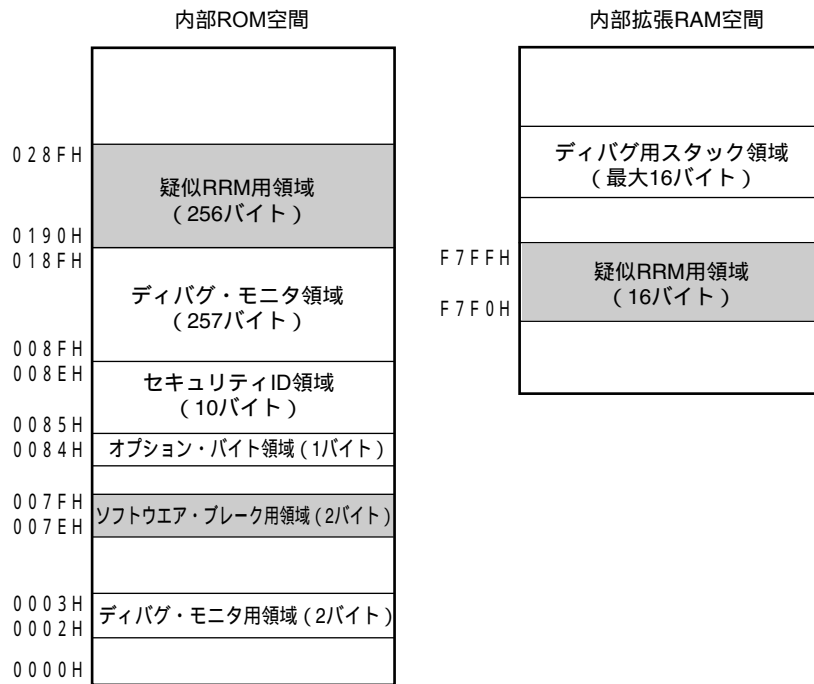
20.2 QB-MINI2が使用する予約領域

QB-MINI2は、μPD78F0730との通信，または各デバッグ機能を実現するために，図20-4で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し，それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては，QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

図20-4 QB-MINI2が使用する予約領域



備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
 それ以外の予約領域 : デバッグ時に必ず使用する領域

第21章 命令セットの概要

μ PD78F0730の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

21.1 凡 例

21.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表21 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 7 特殊機能レジスタ一覧を参照してください。

21. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

21. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

21.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	r, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp ^{注3}	1	4	-	AX rp			
		rp, AX ^{注3}	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp ^{注3}	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r <small>注3</small>	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A (HL)		x	
		A, [HL + byte]	2	8	9	A A (HL + byte)		x	
		A, [HL + B]	2	8	9	A A (HL + B)		x	
	A, [HL + C]	2	8	9	A A (HL + C)		x		
	XOR	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r <small>注3</small>	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A (HL)		x	
		A, [HL + byte]	2	8	9	A A (HL + byte)		x	
		A, [HL + B]	2	8	9	A A (HL + B)		x	
	A, [HL + C]	2	8	9	A A (HL + C)		x		
	CMP	A, #byte	2	4	-	A - byte		x	x x
		saddr, #byte	3	6	8	(saddr) - byte		x	x x
		A, r <small>注3</small>	2	4	-	A - r		x	x x
		r, A	2	4	-	r - A		x	x x
		A, saddr	2	4	5	A - (saddr)		x	x x
		A, !addr16	3	8	9	A - (addr16)		x	x x
		A, [HL]	1	4	5	A - (HL)		x	x x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x x
	CMPW	AX, #word	3	6	-	AX - word		x	x x
乗除算	MULU	X	2	16	-	AX A x X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。
 2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROL4	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) = 0			
CPU制御	SEL	R _{Bn}	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

21.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL,
RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第22章 電気的特性

注意 μ PD78F0730には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V	
	EV _{DD}		- 0.5 ~ + 6.5	V	
	V _{SS}		- 0.5 ~ + 0.3	V	
	EV _{SS}		- 0.5 ~ + 0.3	V	
入力電圧	V _{I1}	P00, P01, P10-P17, P30-P33, P120-P122, X1, X2, RESET, EXCLK, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V	
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V	
	V _{I3}	USBP, USBM,	- 0.5 ~ + 3.8	V	
	V _{I4}	REGC	- 0.5 ~ + 3.6 ^{注2}	V	
	V _{I5}	USBREGC	- 0.5 ~ + 3.8 ^{注2}	V	
出力電圧	V _{O1}	USBP, USBM, USBPUC以外	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V	
	V _{O2}	USBP, USBM, USBPUC	- 0.5 ~ + 3.8	V	
ハイ・レベル出力電流	I _{OH1}	1端子	- 10	mA	
		端子合計 - 45 mA	P00, P01, P10-P17, P30, P33, P120 P31, P32	- 25 - 20	mA mA
		1端子	P121, P122	- 1	mA
	I _{OH2}	端子合計	P121, P122	- 4	mA
		I _{OL1}	1端子	30	mA
端子合計 160 mA	P00, P01, P10-P17, P30, P33, P120 P31, P32, P60, P61		60 100	mA mA	
I _{OL2}	1端子		P121, P122	4	mA
	端子合計	P121, P122	10	mA	
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}		- 65 ~ + 150		

注1. 6.5 V以下であること。

2. V_{DD}以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		X1クロック発振周波数 (f_x) ^注	4.0 V V_{DD} 5.5 V			16.0	MHz
セラミック発振子		X1クロック発振周波数 (f_x) ^注	4.0 V V_{DD} 5.5 V			16.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1 . X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

また、CPUクロックをX1クロックに切り替える際には、 V_{DD} 4.0 Vになった事を確認してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = 0\text{ V}$)

発振子	項目	条件		MIN.	TYP.	MAX.	単位
16 MHz 内蔵発振器	高速内蔵発振クロック周波数 (f_{RH}) ^注	RSTS = 1	$V_{DD} = 2.7\text{ V}$	14.4	16.0	17.6	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック周波数 (f_{RL})	2.7 V V_{DD} 5.5 V		216	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

推奨発振回路定数

(1) X1発振 : 水晶振動子 (AMPH = 1, RMC = 00H, $T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	推奨回路定数				発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (Ω)	Rx (Ω)	MIN. (V)	MAX. (V)
京セラ	CX3225SB1200D0PPTZ1	12.0	12	12	220	270	4.0	5.5
キンセキ 株式会社	CX3225SB1600D0PPTZ1	16.0	12	12	220	270		

(2) X1発振 : セラミック発振子 (AMPH = 1, RMC = 00H, $T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	推奨回路定数				発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (Ω)	Rx (Ω)	MIN. (V)	MAX. (V)
富山村田 製作所	CSTCE12M0GH5L99-R0	12.0	内蔵 (33)	内蔵 (33)	0	0	4.0	5.5
	CSTCE16M0VH3L99-R0	16.0	内蔵 (15)	内蔵 (15)	0	0		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD78F0730の内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (1/3)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00, P01, P10-P17, P30-P33, P120 1端子	4.0 V	V_{DD}	5.5 V	- 3.0	mA
		P00, P01, P10-P17, P30, P33, P120 合計 ^{注3}	4.0 V	V_{DD}	5.5 V	- 20.0	mA
		P31, P32 合計 ^{注3}	4.0 V	V_{DD}	5.5 V	- 6.0	mA
		全端子合計 ^{注3}	4.0 V	V_{DD}	5.5 V	- 26.0	mA
	I _{OH2}	P121, P122 1端子	4.0 V	V_{DD}	5.5 V	- 100	μA
ロウ・レベル出力電流 ^{注2}	I _{OL1}	P00, P01, P10-P17, P30-P33, P120 1端子	4.0 V	V_{DD}	5.5 V	8.5	mA
		P60, P61 1端子	4.0 V	V_{DD}	5.5 V	15.0	mA
		P00, P01, P10-P17, P30, P33, P120 合計 ^{注3}	4.0 V	V_{DD}	5.5 V	20.0	mA
		P31, P32, P60, P61 合計 ^{注3}	4.0 V	V_{DD}	5.5 V	45.0	mA
		全端子合計 ^{注3}	4.0 V	V_{DD}	5.5 V	65.0	mA
	I _{OL2}	P121, P122 1端子	4.0 V	V_{DD}	5.5 V	400	μA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$, 電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn %の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50 %, I_{OH} = 20.0 mAの場合

端子合計の出力電流 = $(20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P12, P13, P15, P16	0.7V _{DD}		V _{DD}	V	
	V _{IH2}	P00, P01, P10, P11, P14, P17, P30-P33, P120-P122, RESET, EXCLK	0.8V _{DD}		V _{DD}	V	
	V _{IH3}	USBP, USBM	2.0		USBREGC ^注	V	
	V _{IH4}	P60, P61	0.7V _{DD}		6.0	V	
ロウ・レベル入力電圧	V _{IL1}	P12, P13, P15, P16, P60, P61	0		0.3V _{DD}	V	
	V _{IL2}	P00, P01, P10, P11, P14, P17, P30-P33, P120-P122, RESET, EXCLK	0		0.2V _{DD}	V	
	V _{IL3}	USBP, USBM	0		0.8	V	
ハイ・レベル出力電圧	V _{OH1}	P00, P01, P10-P17, P30-P33, P120	4.0 V V_{DD} 5.5 V, $I_{OH} = -3.0\text{ mA}$		V _{DD} - 0.7	V	
	V _{OH2}	P121, P122	$I_{OH} = -100\ \mu\text{A}$		V _{DD} - 0.5	V	
	V _{OH3}	USBP, USBM	$R_L = 15\text{ k}$, V_{SS} 接続	2.8		3.6	V
	V _{OH4}	USBPUC	$I_{OH} = -100\ \mu\text{A}$	USBREGC ^注 - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P00, P01, P10-P17, P30-P33, P120	4.0 V V_{DD} 5.5 V, $I_{OL} = 8.5\text{ mA}$			0.7	V
	V _{OL2}	P121, P122	$I_{OL} = 0.4\text{ mA}$			0.4	V
	V _{OL3}	USBP, USBM	$R_L = 1.5\text{ k}$, USBREGC接続			0.3	V
	V _{OL4}	USBPUC	$I_{OL} = 1\text{ mA}$			0.4	V
	V _{OL5}	P60, P61	4.0 V V_{DD} 5.5 V, $I_{OL} = 15\text{ mA}$			2.0	V
			4.0 V V_{DD} 5.5 V, $I_{OL} = 5\text{ mA}$			0.4	V

注 USBREGC端子に出力される電圧です (3.3 V ± 0.3 V)。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/3)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00, P01, P10-P17, P30-P33, P60, P61, P120,	$V_i = V_{DD}$			1	μA
	I _{LIH2}	P121, P122 (X1, X2)	$V_i = V_{DD}$	I/Oポート・モード		1	μA
				OSCモード		20	μA
I _{LIH3}	USBP, USBM	$V_i = \text{USBREGC}$ ^{注1}			10	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P00, P01, P10-P17, P30-P33, P60, P61, P120,	$V_i = V_{SS}$			- 1	μA
	I _{LIL2}	P121, P122 (X1, X2)	$V_i = V_{SS}$	I/Oポート・モード		- 1	μA
				OSCモード		- 20	μA
I _{LIL3}	USBP, USBM	$V_i = V_{SS}$			- 10	μA	
プルアップ抵抗値	R _U	$V_i = V_{SS}$		10	20	100	k
FLMD0電源電圧	V _{IL}	通常動作時		0		0.2V _{DD}	V
	V _{IH}	セルフ・プログラミング時		0.8V _{DD}		V _{DD}	V
電源電流 ^{注2}	I _{DD1} ^{注3,4}	動作モード	$f_{XP} = 16\text{ MHz}$, $V_{DD} = 5.0\text{ V}$		17.5	33	mA
	I _{DD3} ^{注5}	STOPモード	$V_{DD} = 5.0\text{ V}$		2.6	38	μA

注1. USBREGC端子に出力される電圧です (3.3V ± 0.3V)

- 内部電源 (V_{DD}, EV_{DD}) に流れるトータル電流です。周辺USB動作電流, 入力端子をV_{DD}またはV_{SS}に固定した接続での入力リーク電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。
- TYP値はUSBへの動作クロックを供給した状態の電流です。USBデータ通信はしていません。USBバッファで消費される電流を含んでいません。
- MAX値はUSBデータ通信時の電流です。USBバッファで消費される電流を含んでいます。
- 240kHz内蔵発振回路の電流は含んでいません。

備考1. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

- f_{XP} : システム・クロック周波数

AC特性

(1) 基本動作

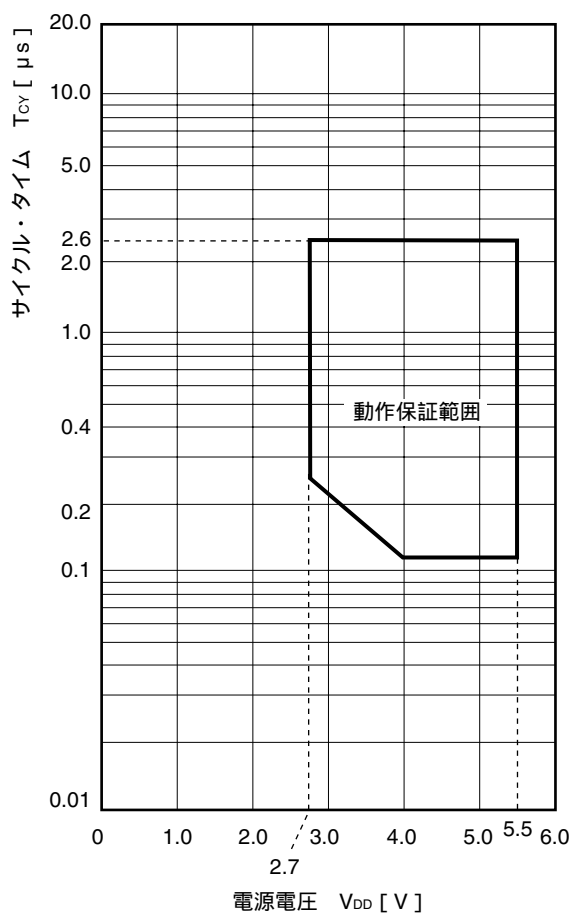
($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック	高速システム・クロック	4.0 V $V_{DD} = 5.5$ V	0.125	2.6	μs
		(f _{XP}) 動作	ク (f _{XH})	2.7 V $V_{DD} < 4.0$ V	0.25	2.6	μs
外部メイン・システム・クロック周波数	f _{EXCLK}	4.0 V $V_{DD} = 5.5$ V				16.0	MHz
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t _{EXCLKH}	4.0 V $V_{DD} = 5.5$ V		(1/f _{EXCLK} × 1/2) - 1			ns
	t _{EXCLKL}						
TI000, TI010 入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TILO}	4.0 V $V_{DD} = 5.5$ V		2/f _{sam} + 0.1 ^注			μs
TI50, TI51入力周波数	f _{TI5}	4.0 V $V_{DD} = 5.5$ V				10	MHz
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}	4.0 V $V_{DD} = 5.5$ V		50			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}	4.0 V $V_{DD} = 5.5$ V		1			μs
RESETロウ・レベル幅	t _{RSL}	4.0 V $V_{DD} = 5.5$ V		10			μs

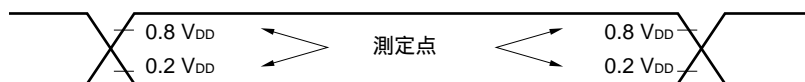
注 f_{sam} : サンプリング・クロック

プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により, f_{sam} = f_{PRS} または f_{PRS}/4 の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は, f_{sam} = f_{PRS} となります。

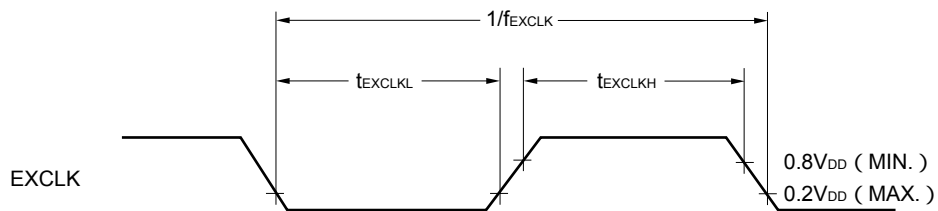
T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



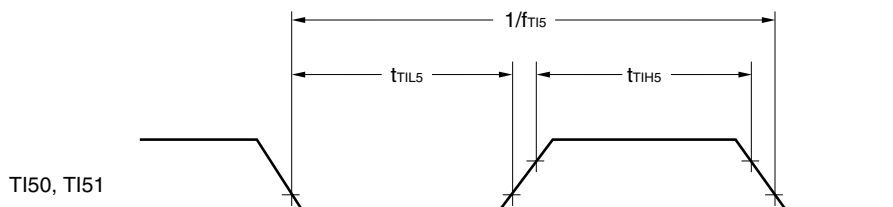
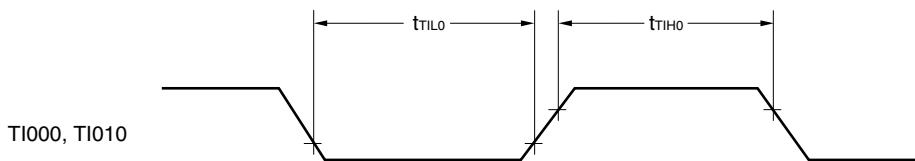
ACタイミング測定点 (外部メイン・システム・クロック入力を除く)



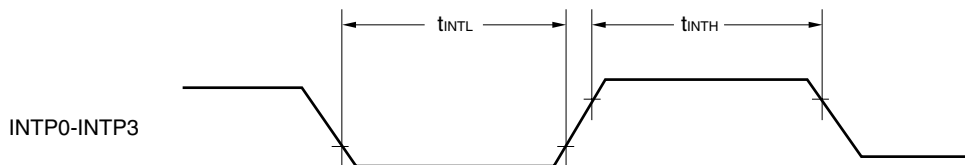
外部メイン・システム・クロック・タイミング



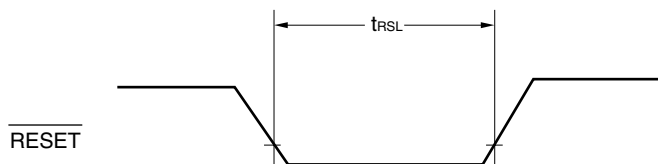
TI タイミング



割り込み要求入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

(a) UART6 (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) CSI10 (マスタ・モード, $\overline{SCK10}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	t_{KY1}	4.0 V $V_{DD} = 5.5$ V	250			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}		$t_{KY1}/2 - 20$ 注1			ns
SI10 セットアップ時間 (対 $\overline{SCK10}$)	t_{SIK1}		70			ns
SI10 ホールド時間 (対 $\overline{SCK10}$)	t_{KSI1}		30			ns
$\overline{SCK10}$ SO10 出力遅延時間	t_{KSO1}	$C = 50$ pF ^{注2}			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは, $\overline{SCK10}$, SO10 出力ラインの負荷容量です。

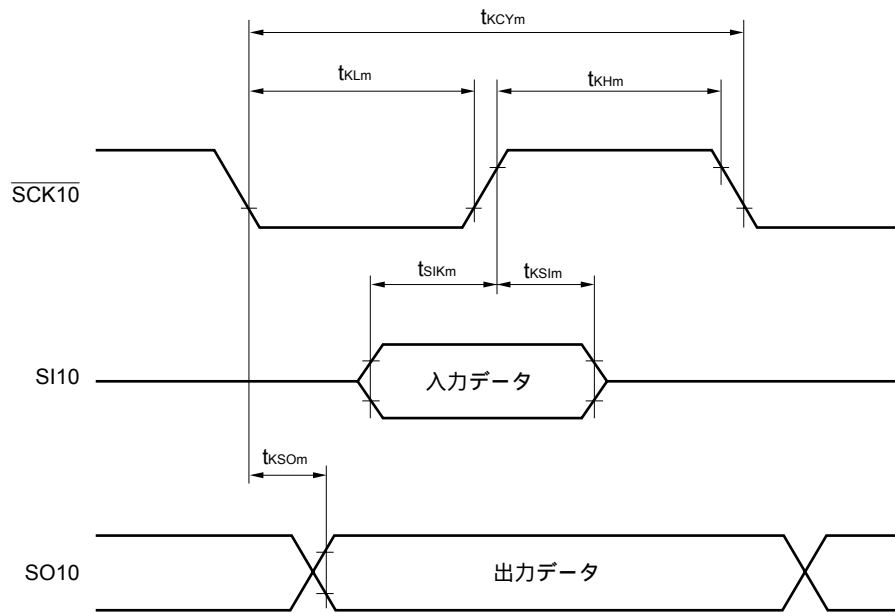
(c) CSI10 (スレーブ・モード, $\overline{SCK10}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	t_{KY2}		400			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KY2}/2$			ns
SI10 セットアップ時間 (対 $\overline{SCK10}$)	t_{SIK2}		80			ns
SI10 ホールド時間 (対 $\overline{SCK10}$)	t_{KSI2}		50			ns
$\overline{SCK10}$ SO10 出力遅延時間	t_{KSO2}	$C = 50$ pF ^注			120	ns

注 Cは, SO10 出力ラインの負荷容量です。

シリアル転送タイミング

CSI10 :

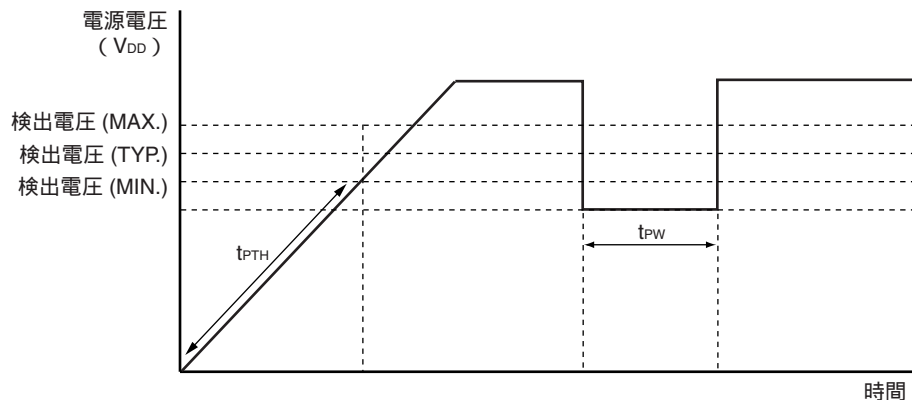


備考 $m = 1, 2$

1.59 V POC回路特性 (TA = -40 ~ +85 , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t _{PTH}	V _{DD} : 0 V V _{POC} の変化傾き	0.75			V/ms
最小パルス幅	t _{PW}	電源電圧降下時	200			μs

POC回路タイミング



2.7 V POC回路特性 (TA = -40 ~ +85 , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	V _{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

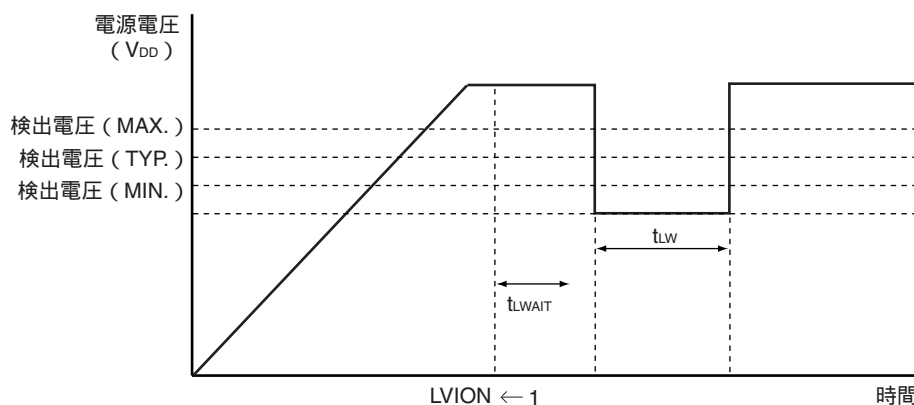
LVI回路特性 (TA = -40 ~ +85 , VPOC VDD = EVDD 5.5 V , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 電源電圧レベル	V _{LV10}	LVIS0 = 0	4.14	4.24	4.34	V
	V _{LV11}	LVIS0 = 1	3.99	4.09	4.19	V
最小パルス幅	t _{LW}		200			μs
動作安定待ち時間 ^注	t _{LWAIT}				10	μs

注 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 V_{LV10} > V_{LV11}

LVI回路タイミング

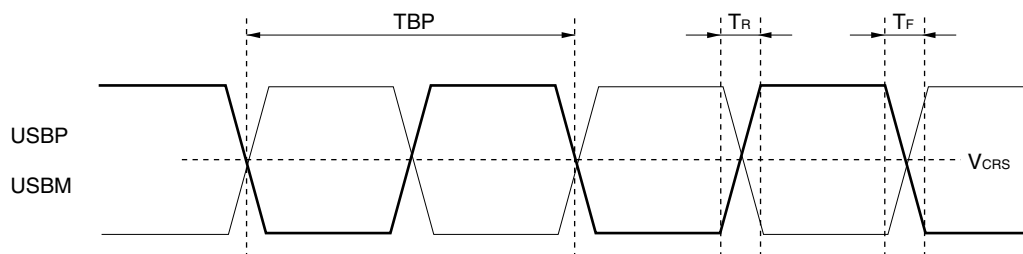


USBF特性 (TA = -40 ~ +85, 4.0 V VDD = EVDD 5.5 V, 3.0 V VUSBREGC^{注1} 3.6 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
USBM, USBP端子出力 Rise/Fall時間	Tr, Tf	CL = 50 pF ^{注2}	4		20	ns
フルスピード・データ速度	TDRATE		11.97	12.00	12.03	Mbps
ビットピリオド	TBP		83.12	83.33	83.54	ns
USBM, USBP端子 立ち上がり/立ち下がり 時間マッチング	TRFM	Tr/Tf	90		110	%
USBM, USBP端子出力信号 クロス・ポイント電圧	VCRS		1.3		2.0	V

- 注1. USBREGC端子に出力される電圧です。
 2. CLはUSBM, USBP出力ラインの負荷容量です。

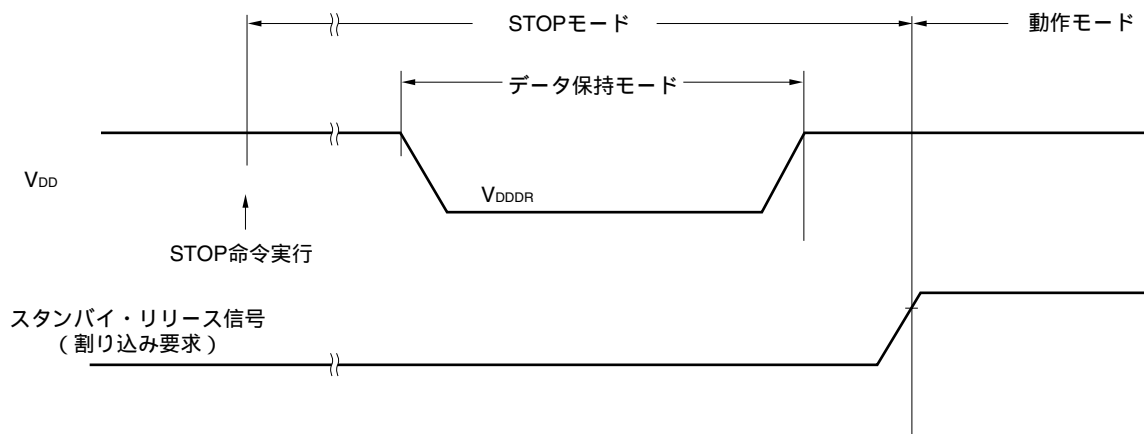
USBFタイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

・基本特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V_{DD} 電源電流	I_{DD}	$f_{XP} = 17.6\text{ MHz (MAX.)}$		4.5	11.0	mA
消去時間 注1, 2	全ブロック	T_{eraca}		10	200	ms
	ブロック単位	T_{erasa}		10	200	ms
書き込み時間 (8ビット単位)注1	T_{wrwa}			10	100	μs
1チップあたりの書き換え回数	C_{erwr}	保持15年。 消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする注3。	100			回

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP5, QB-MINI2使用時, およびセルフ・プログラミング時の書き換え時間ではありません。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

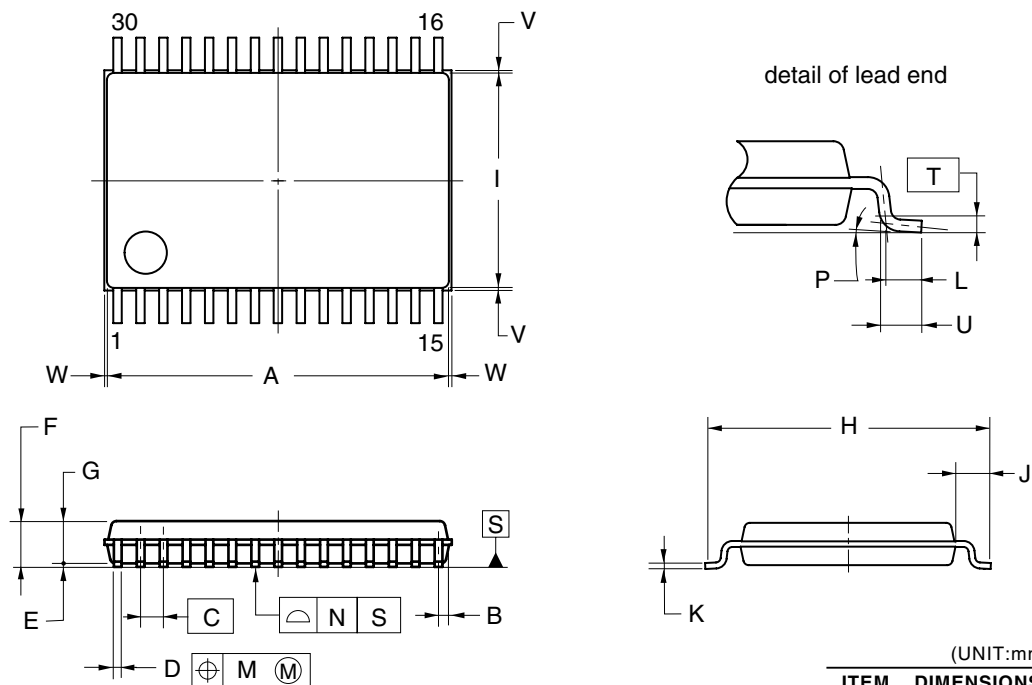
3. 出荷品に対する初回書き込み時では, 「消去 書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

備考1. f_{XP} : メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては, 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

第23章 外形图

30-PIN PLASTIC SSOP (7.62mm (300))



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3°+5° -3°
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

第24章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表24 - 1 μ PD78F0730の半田付け条件

μ PD78F0730MC-CAB-AX : 30 ピン・プラスチック SSOP (7.62 mm (300))

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125 プリバーク 10～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意1. 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

- μ PD78F0730には開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

第25章 ウェイトに関する注意事項

25.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります(ウェイト・クロック数については表25-1を参照)。リアルタイム性が要求される処理を行う場合は、注意してください。

25.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表25-1に示します。

表25-1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART6	ASIS6	リード	1クロック(固定)

備考 クロックは、CPUクロック (f_{cpu}) を示します。

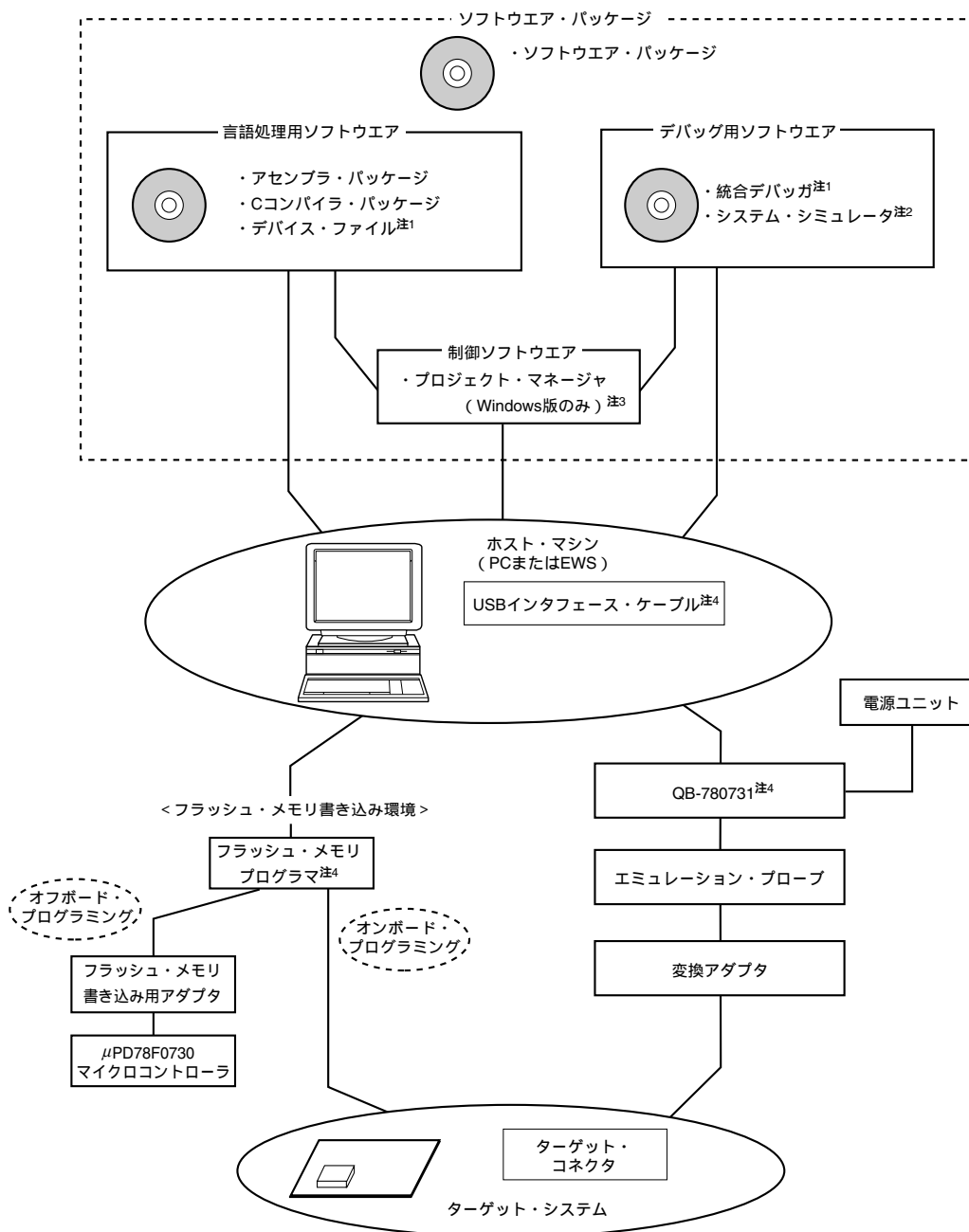
付録A 開発ツール

μPD78F0730を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-780731を使用する場合



注1. μPD78F0730マイクロコントローラ用のデバイス・ファイル (DF780731) , および統合デバッガ ID78K0-QB は、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. SM+ for 78K0 (命令シミュレーション版) は、ソフトウェア・パッケージに含まれています。

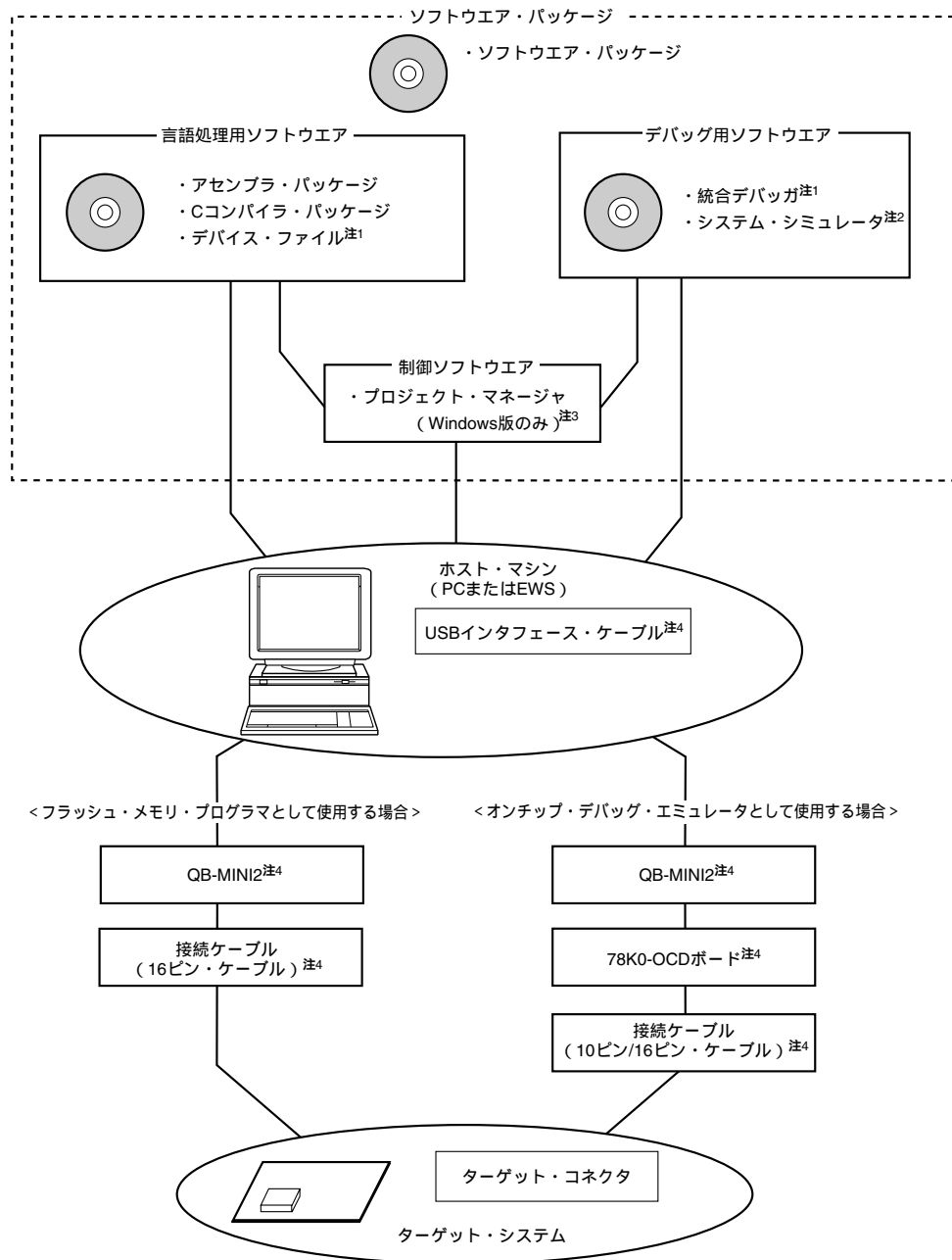
3. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。

また、Windows®以外ではPM+は使用できません。

4. QB-780731は、統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/2)

(2) オンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



- 注1. μPD78F0730マイクロコントローラ用のデバイス・ファイル (DF780731) , および統合デバッガ ID78K0-QB は, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。
2. SM+ for 78K0 (命令シミュレーション版) は, ソフトウェア・パッケージに含まれています。
3. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。
また, Windows以外ではPM+は使用できません。
4. QB-MINI2は, USBインタフェース・ケーブル, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCD ボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

A.2 言語処理用ソフトウェア

RA78K0 ^{注1} アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>デバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(アセンブラ・パッケージに含まれています)を使用することにより、Windows環境でも使用できます。</p>
CC78K0 ^{注1} Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(アセンブラ・パッケージに含まれています)を使用することにより、Windows環境でも使用できます。</p>
DF780731 ^{注2} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ)と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p>

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. DF780731は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www2.renesas.com/micro/ja/ods/index.html>)より入手してください。

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
QB-COMMON-PW 電源ユニット	フラッシュ・メモリ・プログラマPG-FP5用とインサーキット・エミュレータIECUBEの電源です。(2008年8月1日出荷分より別売になりました。)78K0S用,78K0用,78K0R用, V850用IECUBE, PG-FP5の全製品で共通に使用することができます。
FA-30MC-CAB-B フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。上記のプログラマに接続して使用します。 ・FA-30MC-CAB-B : 30ピン・プラスチックSSOP (MC-CABタイプ) 用

備考1. FL-PR5, FA-30MC-CAB-Bは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 [※] プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 μPD78F0730を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル (16ピン・ケーブル), およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ
QB-Programmer	QB-MINI2を操作するためのソフトウェア

備考1. QB-MINI2は、USBインタフェース・ケーブル, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。そのうち, 接続ケーブル (10ピン・ケーブル) と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-Programmerは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A.5 デバッグ用ツール（ハードウェア）

A.5.1 インサーキット・エミュレータ QB-780731を使用する場合

QB-780731 ^注 インサーキット・エミュレータ	μ PD78F0730を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-COMMON-PW 電源ユニット	インサーキット・エミュレータIECUBEとフラッシュ・メモリ・プログラマPG-FP5用の電源です。（2008年8月1日出荷分より別売になりました。）78K0S用、78K0用、78K0R用、V850用IECUBE、PG-FP5の全製品で共通に使用することができます。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-30MC-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 ・QB-30MC-EA-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用
QB-30MC-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-30MC-YS-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用
QB-30MC-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 ・QB-30MC-YQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用
QB-30MC-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-30MC-HQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用
QB-30MC-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-30MC-NQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用

注 QB-780731は、統合デバッガ ID78K0-QBとUSBインタフェース・ケーブルを添付しています。また、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。

備考 オーダ名称により、梱包内容は次のように異なります。

梱包内容 オーダ名称	インサーキット・ エミュレータ	エミュレーショ ン・プローブ	エクステンジ・ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-780731-ZZZ	QB-780731	なし			
QB-780731-T30MC		QB-80-EP-01T	QB-30MC-EA-01T	QB-30MC-YQ-01T	QB-30MC-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	μ PD78F0730を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

- 備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。
2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

A. 6 デバッグ用ツール（ソフトウェア）

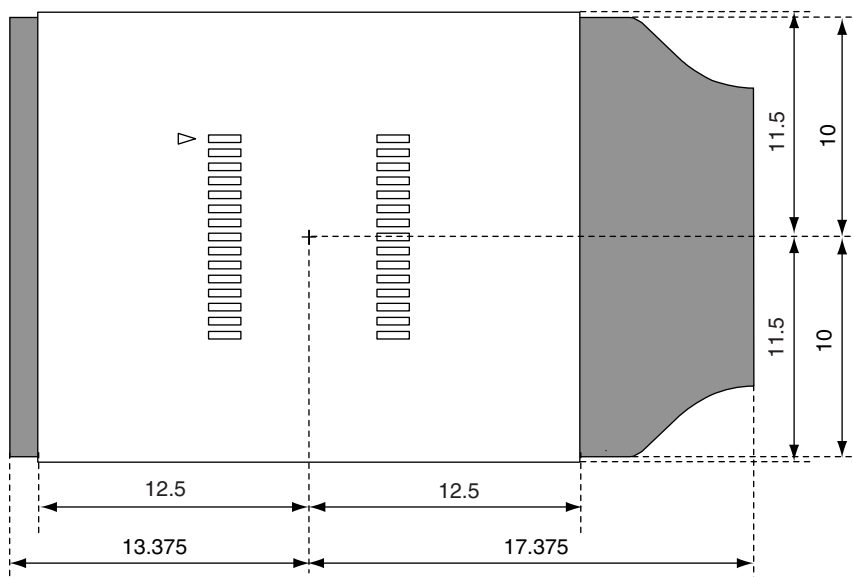
ID78K0-QB ^注 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF780731）と組み合わせて使用します。
SM+ for 78K0 システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 SM+ for 78K0（命令シミュレーション版）はCPUのみシミュレーション可能です。ソフトウェア・パッケージに同梱されています。 デバイス・ファイル（DF780731）と組み合わせて使用します。

注 開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

付録B ターゲット・システム設計上の注意

この章ではQB-780731を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

図B - 1 30ピンMCパッケージの場合



- | | | |
|---|----------------------|-------------------------------------|
| □ | : エクステンジ・アダプタ領域 | : 高さ17.45 mmまでの部品を実装可能 ^注 |
| ■ | : エミュレーション・プローブ先端部領域 | : 高さ24.45 mmまでの部品を実装可能 ^注 |

注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

- アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) ... 245
- アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) ... 246
- アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) ... 242
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) ... 234

【か行】

- 外部割り込み立ち上がりエッジ許可レジスタ (EGP) ... 423
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN) ... 423
- キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ... 125
- クロック選択レジスタ6 (CKSR6) ... 247
- クロック動作モード選択レジスタ (OSCCTL) ... 87

【さ行】

- 16ビット・タイマ・カウンタ00 (TM00) ... 119
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) ... 120
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) ... 120
- 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) ... 126
- 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ... 123
- 受信シフト・レジスタ6 (RXS6) ... 241
- 受信バッファ・レジスタ6 (RXB6) ... 241
- シリアルI/Oシフト・レジスタ10 (SIO10) ... 271
- シリアル・クロック選択レジスタ10 (CSIC10) ... 274
- シリアル動作モード・レジスタ10 (CSIM10) ... 272
- 送信シフト・レジスタ6 (TXS6) ... 241
- 送信バッファ・レジスタ6 (TXB6) ... 241
- 送信バッファ・レジスタ10 (SOTB10) ... 271

【た行】

- タイマ・クロック選択レジスタ50 (TCL50) ... 195
- タイマ・クロック選択レジスタ51 (TCL51) ... 195
- 低電圧検出レジスタ (LVIM) ... 462
- 低電圧検出レベル選択レジスタ (LVIS) ... 463

【 な行 】

- 内蔵発振モード・レジスタ (RCM) ... 89
- 内部拡張RAMサイズ切り替えレジスタ (IXS) ... 478

【 は行 】

- 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ... 215
- 8ビット・タイマHコンペア・レジスタ01 (CMP01) ... 212
- 8ビット・タイマHコンペア・レジスタ11 (CMP11) ... 212
- 8ビット・タイマHモード・レジスタ1 (TMHMD1) ... 213
- 8ビット・タイマ・カウンタ50 (TM50) ... 194
- 8ビット・タイマ・カウンタ51 (TM51) ... 194
- 8ビット・タイマ・コンペア・レジスタ50 (CR50) ... 194
- 8ビット・タイマ・コンペア・レジスタ51 (CR51) ... 194
- 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ... 197
- 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ... 197
- 発振安定時間カウンタ状態レジスタ (OSTC) ... 92, 434
- 発振安定時間選択レジスタ (OSTS) ... 93, 435
- PLLコントロール・レジスタ (PLLC) ... 94
- プリスケラ・モード・レジスタ00 (PRM00) ... 128
- プルアップ抵抗オプション・レジスタ0 (PU0) ... 80
- プルアップ抵抗オプション・レジスタ1 (PU1) ... 80
- プルアップ抵抗オプション・レジスタ3 (PU3) ... 80
- プルアップ抵抗オプション・レジスタ12 (PU12) ... 80
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 88
- ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ... 248
- ポート・モード・レジスタ0 (PM0) ... 78, 130
- ポート・モード・レジスタ1 (PM1) ... 78, 199, 215, 249, 275
- ポート・モード・レジスタ3 (PM3) ... 78, 199
- ポート・モード・レジスタ6 (PM6) ... 78
- ポート・モード・レジスタ12 (PM12) ... 78, 464
- ポート・レジスタ0 (P0) ... 64, 79
- ポート・レジスタ1 (P1) ... 66, 79
- ポート・レジスタ3 (P3) ... 72, 79
- ポート・レジスタ6 (P6) ... 74, 79
- ポート・レジスタ12 (P12) ... 75, 79

【ま行】

- メインOSCコントロール・レジスタ (MOC) ... 90
- メイン・クロック・モード・レジスタ (MCM) ... 91
- メモリ・サイズ切り替えレジスタ (IMS) ... 477

【や行】

- USBクロック制御レジスタ (UCKC) ... 95
- USBファンクション0バッファ・コントロール・レジスタ (UF0BC) ... 369
- UF0 INTクリア0レジスタ (UF0IC0) ... 325
- UF0 INTクリア1レジスタ (UF0IC1) ... 326
- UF0 INTクリア2レジスタ (UF0IC2) ... 327
- UF0 INTクリア3レジスタ (UF0IC3) ... 328
- UF0 INTクリア4レジスタ (UF0IC4) ... 329
- UF0 INTステータス0レジスタ (UF0IS0) ... 312
- UF0 INTステータス1レジスタ (UF0IS1) ... 314
- UF0 INTステータス2レジスタ (UF0IS2) ... 316
- UF0 INTステータス3レジスタ (UF0IS3) ... 317
- UF0 INTステータス4レジスタ (UF0IS4) ... 319
- UF0 INTマスク0レジスタ (UF0IM0) ... 320
- UF0 INTマスク1レジスタ (UF0IM1) ... 321
- UF0 INTマスク2レジスタ (UF0IM2) ... 322
- UF0 INTマスク3レジスタ (UF0IM3) ... 323
- UF0 INTマスク4レジスタ (UF0IM4) ... 324
- UF0アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN) ... 336
- UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) ... 337
- UF0アドレス・レジスタ (UF0ADRS) ... 361
- UF0 EP0NAKALLレジスタ (UF0E0NA) ... 302
- UF0 EP0NAKレジスタ (UF0E0N) ... 300
- UF0 EP0ステータス・レジスタL (UF0E0SL) ... 358
- UF0 EP0セットアップ・レジスタ (UF0E0ST) ... 345
- UF0 EP0ライト・レジスタ (UF0E0W) ... 347
- UF0 EP0リード・レジスタ (UF0E0R) ... 343
- UF0 EP0レングス・レジスタ (UF0E0L) ... 344
- UF0 EP1ステータス・レジスタL (UF0E1SL) ... 359
- UF0 EP2ステータス・レジスタL (UF0E2SL) ... 360
- UF0 EPNAKマスク・レジスタ (UF0ENM) ... 305
- UF0 EPNAKレジスタ (UF0EN) ... 303
- UF0 EPステータス0レジスタ (UF0EPS0) ... 309
- UF0 EPステータス1レジスタ (UF0EPS1) ... 310
- UF0 EPステータス2レジスタ (UF0EPS2) ... 311
- UF0インタフェース0レジスタ (UF0IF0) ... 363
- UF0インタフェース1レジスタ (UF0IF1) ... 364

UF0インタフェース2レジスタ (UF0IF2) ...	364
UF0インタフェース3レジスタ (UF0IF3) ...	364
UF0インタフェース4レジスタ (UF0IF4) ...	364
UF0 FIFOクリア0レジスタ (UF0FIC0) ...	330
UF0 FIFOクリア1レジスタ (UF0FIC1) ...	331
UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM) ...	339
UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM) ...	341
UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS) ...	338
UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255 (UF0CIE0-UF0CIE255) ...	367
UF0コンフィギュレーション・レジスタ (UF0CNF) ...	362
UF0 CLRリクエスト・レジスタ (UF0CLR) ...	307
UF0 GPRレジスタ (UF0GPR) ...	333
UF0 SETリクエスト・レジスタ (UF0SET) ...	308
UF0 SNDSIEレジスタ (UF0SDS) ...	306
UF0ディスクリプタ・レングス・レジスタ (UF0DSCL) ...	365
UF0データ・エンド・レジスタ (UF0DEND) ...	332
UF0デバイス・ステータス・レジスタL (UF0DSTL) ...	357
UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17) ...	366
UF0バルク・アウト1レジスタ (UF0BO1) ...	349
UF0バルク・アウト1レングス・レジスタ (UF0BO1L) ...	352
UF0バルク・イン1レジスタ (UF0BI1) ...	353
UF0モード・コントロール・レジスタ (UF0MODC) ...	334
UF0モード・ステータス・レジスタ (UF0MODS) ...	335
優先順位指定フラグ・レジスタ0H (PR0H) ...	422
優先順位指定フラグ・レジスタ0L (PR0L) ...	422
優先順位指定フラグ・レジスタ1H (PR1H) ...	422
優先順位指定フラグ・レジスタ1L (PR1L) ...	422

[ら行]

リセット・コントロール・フラグ・レジスタ (RESF) ...	454
---------------------------------	-----

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	421
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	421
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	421
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	421
割り込み要求フラグ・レジスタ0H (IF0H) ...	419
割り込み要求フラグ・レジスタ0L (IF0L) ...	419
割り込み要求フラグ・レジスタ1H (IF1H) ...	419
割り込み要求フラグ・レジスタ1L (IF1L) ...	419

C.2 レジスタ索引 (アルファベット順)

[A]

ASIF6 :	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ... 246
ASIM6 :	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 ... 242
ASIS6 :	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ... 245

[B]

BRGC6 :	ポー・レート・ジェネレータ・コントロール・レジスタ6 ... 248
---------	------------------------------------

[C]

CKSR6 :	クロック選択レジスタ6 ... 247
CMP01 :	8ビット・タイマHコンペア・レジスタ01 ... 212
CMP11 :	8ビット・タイマHコンペア・レジスタ11 ... 212
CR000 :	16ビット・タイマ・キャプチャ/コンペア・レジスタ000 ... 120
CR010 :	16ビット・タイマ・キャプチャ/コンペア・レジスタ010 ... 120
CR50 :	8ビット・タイマ・コンペア・レジスタ50 ... 194
CR51 :	8ビット・タイマ・コンペア・レジスタ51 ... 194
CRC00 :	キャプチャ/コンペア・コントロール・レジスタ00 ... 125
CSIC10 :	シリアル・クロック選択レジスタ10 ... 274
CSIM10 :	シリアル動作モード・レジスタ10 ... 272

[E]

EGN :	外部割り込み立ち下がりエッジ許可レジスタ ... 423
EGP :	外部割り込み立ち上がりエッジ許可レジスタ ... 423

[I]

IF0H :	割り込み要求フラグ・レジスタ0H ... 419
IF0L :	割り込み要求フラグ・レジスタ0L ... 419
IF1H :	割り込み要求フラグ・レジスタ1H ... 419
IF1L :	割り込み要求フラグ・レジスタ1L ... 419
IMS :	メモリ・サイズ切り替えレジスタ ... 477
IXS :	内部拡張RAMサイズ切り替えレジスタ ... 478

[L]

LVIM :	低電圧検出レジスタ ... 462
LVIS :	低電圧検出レベル選択レジスタ ... 463

[M]

MCM :	メイン・クロック・モード・レジスタ ... 91
MK0H :	割り込みマスク・フラグ・レジスタ0H ... 421
MK0L :	割り込みマスク・フラグ・レジスタ0L ... 421

MK1H :	割り込みマスク・フラグ・レジスタ1H ...	421
MK1L :	割り込みマスク・フラグ・レジスタ1L ...	421
MOC :	メインOSCコントロール・レジスタ ...	90

[O]

OSCCTL :	クロック動作モード選択レジスタ ...	87
OSTC :	発振安定時間カウンタ状態レジスタ ...	92, 434
OSTS :	発振安定時間選択レジスタ ...	93, 435

[P]

P0 :	ポート・レジスタ0 ...	64, 79
P1 :	ポート・レジスタ1 ...	66, 79
P3 :	ポート・レジスタ3 ...	72, 79
P6 :	ポート・レジスタ6 ...	74, 79
P12 :	ポート・レジスタ12 ...	75, 79
PCC :	プロセッサ・クロック・コントロール・レジスタ ...	88
PLLCC :	PLLコントロール・レジスタ ...	94
PM0 :	ポート・モード・レジスタ0 ...	78, 130
PM1 :	ポート・モード・レジスタ1 ...	78, 199, 215, 249, 275
PM3 :	ポート・モード・レジスタ3 ...	78, 199
PM6 :	ポート・モード・レジスタ6 ...	78
PM12 :	ポート・モード・レジスタ12 ...	78, 464
PR0H :	優先順位指定フラグ・レジスタ0H ...	422
PR0L :	優先順位指定フラグ・レジスタ0L ...	422
PR1H :	優先順位指定フラグ・レジスタ1H ...	422
PR1L :	優先順位指定フラグ・レジスタ1L ...	422
PRM00 :	プリスケアラ・モード・レジスタ00 ...	128
PU0 :	プルアップ抵抗オプション・レジスタ0 ...	80
PU1 :	プルアップ抵抗オプション・レジスタ1 ...	80
PU3 :	プルアップ抵抗オプション・レジスタ3 ...	80
PU12 :	プルアップ抵抗オプション・レジスタ12 ...	80

[R]

RCM :	内蔵発振モード・レジスタ ...	89
RESF :	リセット・コントロール・フラグ・レジスタ ...	454
RXB6 :	受信バッファ・レジスタ6 ...	241
RXS6 :	受信シフト・レジスタ6 ...	241

[S]

SIO10 :	シリアルI/Oシフト・レジスタ10 ...	271
SOTB10 :	送信バッファ・レジスタ10 ...	271

【T】

TCL50 :	タイマ・クロック選択レジスタ50 ...	195
TCL51 :	タイマ・クロック選択レジスタ51 ...	195
TM00 :	16ビット・タイマ・カウンタ00 ...	119
TM50 :	8ビット・タイマ・カウンタ50 ...	194
TM51 :	8ビット・タイマ・カウンタ51 ...	194
TMC00 :	16ビット・タイマ・モード・コントロール・レジスタ00 ...	123
TMC50 :	8ビット・タイマ・モード・コントロール・レジスタ50 ...	197
TMC51 :	8ビット・タイマ・モード・コントロール・レジスタ51 ...	197
TMCYC1 :	8ビット・タイマHキャリア・コントロール・レジスタ1 ...	215
TMHMD1 :	8ビット・タイマHモード・レジスタ1 ...	213
TOC00 :	16ビット・タイマ出力コントロール・レジスタ00 ...	126
TXB6 :	送信バッファ・レジスタ6 ...	241
TXS6 :	送信シフト・レジスタ6 ...	241

【U】

UCKC :	USBクロック制御レジスタ ...	95
UF0AAS :	UF0アクティブ・オルタナティブ・セッティング・レジスタ ...	337
UF0ADRS :	UF0アドレス・レジスタ ...	361
UF0AIFN :	UF0アクティブ・インタフェース・ナンバ・レジスタ ...	336
UF0ASS :	UF0オルタナティブ・セッティング・ステータス・レジスタ ...	338
UF0BC :	USBファンクション0バッファ・コントロール・レジスタ ...	369
UF0BI1 :	UF0バルク・イン1レジスタ ...	353
UF0BO1 :	UF0バルク・アウト1レジスタ ...	349
UF0BO1L :	UF0バルク・アウト1レングス・レジスタ ...	352
UF0CIE0-UF0CIE255 :	UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255 ...	367
UF0CLR :	UF0 CLRリクエスト・レジスタ ...	307
UF0CNF :	UF0コンフィギュレーション・レジスタ ...	362
UF0DD0-UF0DD17 :	UF0デバイス・ディスクリプタ・レジスタ0-17 ...	366
UF0DEND :	UF0データ・エンド・レジスタ ...	332
UF0DSSL :	UF0ディスクリプタ・レングス・レジスタ ...	365
UF0DSTL :	UF0デバイス・ステータス・レジスタL ...	357
UF0E0L :	UF0 EP0レングス・レジスタ ...	344
UF0E0N :	UF0 EP0NAKレジスタ ...	300
UF0E0NA :	UF0 EP0NAKALLレジスタ ...	302
UF0E0R :	UF0 EP0リード・レジスタ ...	343
UF0E0SL :	UF0 EP0ステータス・レジスタL ...	358
UF0E0ST :	UF0 EP0セットアップ・レジスタ ...	345
UF0E0W :	UF0 EP0ライト・レジスタ ...	347
UF0E1IM :	UF0エンドポイント1インタフェース・マッピング・レジスタ ...	339
UF0E1SL :	UF0 EP1ステータス・レジスタL ...	359
UF0E2IM :	UF0エンドポイント2インタフェース・マッピング・レジスタ ...	341

UF0E2SL :	UF0 EP2ステータス・レジスタL ...	360
UF0EN :	UF0 EPNAKレジスタ ...	303
UF0ENM :	UF0 EPNAKマスク・レジスタ ...	305
UF0EPS0 :	UF0 EPステータス0レジスタ ...	309
UF0EPS1 :	UF0 EPステータス1レジスタ ...	310
UF0EPS2 :	UF0 EPステータス2レジスタ ...	311
UF0FIC0 :	UF0 FIFOクリア0レジスタ ...	330
UF0FIC1 :	UF0 FIFOクリア1レジスタ ...	331
UF0GPR :	UF0 GPRレジスタ ...	333
UF0IC0 :	UF0 INTクリア0レジスタ ...	325
UF0IC1 :	UF0 INTクリア1レジスタ ...	326
UF0IC2 :	UF0 INTクリア2レジスタ ...	327
UF0IC3 :	UF0 INTクリア3レジスタ ...	328
UF0IC4 :	UF0 INTクリア4レジスタ ...	329
UF0IF0 :	UF0インタフェース0レジスタ ...	363
UF0IF1 :	UF0インタフェース1レジスタ ...	364
UF0IF2 :	UF0インタフェース2レジスタ ...	364
UF0IF3 :	UF0インタフェース3レジスタ ...	364
UF0IF4 :	UF0インタフェース4レジスタ ...	364
UF0IM0 :	UF0 INTマスク0レジスタ ...	320
UF0IM1 :	UF0 INTマスク1レジスタ ...	321
UF0IM2 :	UF0 INTマスク2レジスタ ...	322
UF0IM3 :	UF0 INTマスク3レジスタ ...	323
UF0IM4 :	UF0 INTマスク4レジスタ ...	324
UF0IS0 :	UF0 INTステータス0レジスタ ...	312
UF0IS1 :	UF0 INTステータス1レジスタ ...	314
UF0IS2 :	UF0 INTステータス2レジスタ ...	316
UF0IS3 :	UF0 INTステータス3レジスタ ...	317
UF0IS4 :	UF0 INTステータス4レジスタ ...	319
UF0MODC :	UF0モード・コントロール・レジスタ ...	334
UF0MODS :	UF0モード・ステータス・レジスタ ...	335
UF0SDS :	UF0 SNDSIEレジスタ ...	306
UF0SET :	UF0 SETリクエスト・レジスタ ...	308

【W】

WDTE :	ウォッチドッグ・タイマ・イネーブル・レジスタ ...	234
--------	----------------------------	-----

付録D 改版履歴

D.1 本版で改訂された主な箇所

箇所	内容	分類
第12章 USBファンクション・コントローラUSB		
p.414	図12 - 27 USB接続例を変更	(c)
第16章 パワーオン・クリア回路		
p.457	16.1 パワーオン・クリア回路の機能の注を変更	(c)
第19章 フラッシュ・メモリ		
p.484	図19 - 6 専用フラッシュ・メモリ・プログラマとの通信 (CSI10) を変更	(a)
付録A 開発ツール		
pp.537-540, 542	開発ツールのダウンロード・サイトのURLを変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版 数	内 容	適用箇所
第2版	<ul style="list-style-type: none"> ・関連資料を変更 ・フラッシュ・メモリ・プログラムのPG-FP4, FL-PR4を削除 ・オンチップ・デバッグ・エミュレータ QB-78K0MINIを削除 ・プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を追加 	全般
	2.1 端子機能一覧で、USBPUC端子のリセット時の状態を「ロウ・レベル出力」に変更	第2章 端子機能
	2.2.3 P30-P33 (Port 3) の備考を変更	
	2.2.5 P120-P122 (Port 12) の備考を変更	
	2.2.14 FLMD0に説明文を追加	
	表2-2 各端子の入出力回路タイプの注4を変更	
	12.1 概 要に注意文を変更	第12章 USBファンクション・コントローラ USBF
	図12-25 (b) 電源切断の処理の注釈文を変更	
	12.8 外部回路構成	
	<ul style="list-style-type: none"> ・12.8.1 概 要を追加 ・12.8.2 USB接続例を変更 	
	12.9 USBファンクション・コントローラUSBFの注意事項を追加	
	表19-1 μ PD78F0730と専用フラッシュ・メモリ・プログラムの配線表の注2を変更	第19章 フラッシュ・メモリ
	図19-4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例の注を変更	
	図19-7 専用フラッシュ・メモリ・プログラムとの通信 (UART6) の注を変更	
	19.5 (2) UART6の説明文を変更	
	表19-2 端子接続一覧の注1を変更	
	19.6.5 REGC端子のコンデンサ容量を変更	
	19.6.6 その他の信号端子の説明文を変更	
	19.9 セルフ書き込みによるフラッシュ・メモリ・プログラミングの関連資料を変更	
	図19-16 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れの備考を変更	第20章 オンチップ・デバッグ機能
	図20-1 QB-MINI2とμ PD78F0730の接続例 (OCD0A/X1, OCD0B/X2使用時) を変更	
	図20-2 QB-MINI2とμ PD78F0730の接続例 (OCD1A, OCD1B使用時) を変更	
	図20-3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理に注意文を追加	
	20.2 QB-MINI2が使用する予約領域を変更	第22章 電気的特性
	ターゲット・スペックから正式スペックに変更	
	推奨発振回路定数を追加	
	章を追加	第24章 半田付け推奨条件

(2/2)

版 数	内 容	適用箇所
第2版	図A - 1 開発ツール構成を変更	付録A 開発ツール
	A. 2 言語処理用ソフトウェアの注1, 2を変更	
	A. 4 フラッシュ・メモリ書き込み用ツール	
	・ A. 4. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合を変更	
	・ A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を追加	
	A. 5 デバッグ用ツール(ハードウェア)	
	・ A. 5. 1 インサーキット・エミュレータ QB-780731を使用する場合を変更	
・ A. 5. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を変更		
A. 6 デバッグ用ツール(ソフトウェア)	付録B ターゲット・システム設計上の注意	
・ ID78K0R-QBに注釈文を追加		
・ SM+ for 78K0を追加		
章を追加	付録D 改版履歴	
章を追加		

μPD78F0730

ユーザーズマニュアル ハードウェア編

発行年月日 2009年12月17日 Rev.0.01

2011年9月22日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

μPD78F0730