

μPD78F802x, 78F803x マイクロコントローラ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

μPD78F802x, 78F803x マイクロコントローラ

μPD78F8026(A)

μPD78F8027(A)

μPD78F8028(A)

μPD78F8029(A)

μPD78F8030(A)

μPD78F8032D

μPD78F8033(A)

μPD78F8034(A)

μPD78F8035(A)

μPD78F8036(A)

μPD78F8037(A)

μPD78F8039D

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、 μ PD78F802x, 78F803x マイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

・ μ PD78F802x, 78F803x マイクロコントローラ（48ピン製品）：

μ PD78F8026 (A), 78F8027 (A), 78F8028 (A), 78F8029 (A), 78F8030 (A), 78F8032D

・ μ PD78F803x マイクロコントローラ（64ピン製品）：

μ PD78F8033 (A), 78F8034 (A), 78F8035 (A), 78F8036 (A), 78F8037 (A), 78F8039D

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD78F802x, 78F803x マイクロコントローラのマニュアルは、このマニュアルと 78K0/Kx2 ユーザーズ・マニュアル、78K0/Kx2 ROM 拡張製品 ユーザーズ・マニュアルおよび命令編（78K0 マイクロコントローラ共通）の4冊に分かれています。

μ PD78F802x, 78F803x マイクロコントローラ ユーザーズ・マニュアル	78K0/Kx2 ユーザーズ・マニュアル	78K0/Kx2 ROM 拡張製品 ユーザーズ・マニュアル
端子機能 内部ブロック機能 内蔵周辺機能 電気的特性(ターゲット)	端子機能 内部ブロック機能 割り込み その他の内蔵周辺機能 電気的特性	CPU アーキテクチャ メモリ・バンク切り替え機能 乗除算器 フラッシュ・メモリ
78K0 マイクロコントローラ ユーザーズ・マニュアル 命令編		
CPU 機能 命令セット 命令の説明		

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

品名表記について

このマニュアルでは、(A)を省略して記載しております。

(A)水準品のマニュアルとしてお使いの場合は、品名を次のように読み替えてください。

・ μ PD78F8026 μ PD78F8026(A)

・ μ PD78F8027 μ PD78F8027(A)

- ・ μ PD78F8028 μ PD78F8028(A)
- ・ μ PD78F8029 μ PD78F8029(A)
- ・ μ PD78F8030 μ PD78F8030(A)
- ・ μ PD78F8033 μ PD78F8033(A)
- ・ μ PD78F8034 μ PD78F8034(A)
- ・ μ PD78F8035 μ PD78F8035(A)
- ・ μ PD78F8036 μ PD78F8036(A)
- ・ μ PD78F8037 μ PD78F8037(A)

マイクロコントローラ部の機能詳細を知りたいとき

別冊の 78K0/Kx2 **ユーザース・マニュアル**(R01UH0008J) ,78K0/Kx2 ROM **拡張製品 ユーザース・マニュアル** (U19719J) を参照してください。

78K0/KB2 マイコン製品名	78K0/KB2 マイコン製品名に対応する製品名
μ PD78F0501A	μ PD78F8026
μ PD78F0502A	μ PD78F8027
μ PD78F0503A	μ PD78F8028
μ PD78F0504A	μ PD78F8029
μ PD78F0505A	μ PD78F8030
μ PD78F0507DA	μ PD78F8032D

78K0/KC2 マイコン製品名	78K0/KC2 マイコン製品名に対応する製品名
μ PD78F0511A	μ PD78F8033
μ PD78F0512A	μ PD78F8034
μ PD78F0513A	μ PD78F8035
μ PD78F0514A	μ PD78F8036
μ PD78F0515A	μ PD78F8037
μ PD78F0517DA	μ PD78F8039D

78K0 マイクロコントローラの命令機能の詳細を知りたいとき

別冊の 78K/0 **シリーズ ユーザース・マニュアル 命令編** (U12326J) を参照してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
μ PD78F802x, 78F803x マイクロコントローラ ユーザーズ・マニュアル	このマニュアル	R01UH0111E
78K0/Kx2 ユーザーズ・マニュアル	R01UH0008J	R01UH0008E
78K0/Kx2 ROM 拡張製品 ユーザーズ・マニュアル	U19719J	U19719E
78K/0 マイクロコントローラ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編)	U17739J	U17739E
78K0 マイクロコントローラ ユーザーズマニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0 マイクロコントローラ ユーザーズマニュアル EEPROM エミュレーション・ライブラリ Type01	U18275J	U18275E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-78K0KX2 インサーキット・エミュレータ	U17341J	U17341E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	R20UT0449J	R20UT0449E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

開発ツール（ソフトウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザズ・マニュアル ^{注1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{注1}	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 C コンパイラ ユーザズ・マニュアル ^{注2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） ^{注2}	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
ID78K0-QB Ver.2.94 統合デバッガ ユーザズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{注3} ユーザズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 ^{注4} ユーザズ・マニュアル	U18416J	U18416E	

- 注 1. この資料は、RA78K0 Ver.4.01 のインストール時に、ツール本体と一緒に、PC にインストールされます。
「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80 のユーザズ・マニュアルを参照してください。
2. この資料は、CC78K0 Ver.4.00 のインストール時に、ツール本体と一緒に、PC にインストールされます。
「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70 のユーザズ・マニュアルを参照してください。
3. PM+ Ver.5.20 は、RA78K0 Ver.3.80 に同梱されている統合開発環境です。
4. PM+ Ver.6.30 は、RA78K0 Ver.4.01 に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、C コンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体パッケージ実装マニュアル	注	
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/products/package/manual/index.jsp>

英文：<http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash[®] を使用しています。

EEPROM は、ルネサス エレクトロニクス株式会社の登録商標です。

Windows は、米国 Microsoft Corporation の米国およびその他の国における登録商標または商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

目 次

第1章 概 説	1
1.1 特 徴.....	1
1.2 応用分野.....	3
1.3 オーダ情報.....	3
1.4 端子接続図 (Top View)	4
1.5 ブロック図.....	7
1.5.1 マイクロコントローラ部ブロック図.....	9
1.5.2 アナログ部ブロック図.....	11
1.6 機能概要.....	12
第2章 端子機能	16
2.1 μ PD78F8026-78F8030, 78F8032D.....	16
2.2 μ PD78F8033-78F8037, 78F8039D.....	16
2.3 マイクロコントローラ部の端子機能.....	17
2.3.1 μ PD78F8026-78F8030, 78F8032D	17
2.3.2 μ PD78F8033-78F8037, 78F8039D	19
2.4 アナログ部の端子機能.....	22
2.5 端子機能の説明.....	23
2.5.1 P00, P01 (Port 0)	23
2.5.2 P10-P17 (Port 1)	24
2.5.3 P20-P27 (Port 2)	26
2.5.4 P30-P33 (Port 3)	27
2.5.5 P40, P41 (Port 4)	28
2.5.6 P60-P63 (Port 6)	28
2.5.7 P70-P75 (Port 7)	29
2.5.8 P120-P124 (Port 12)	30
2.5.9 P130 (Port 13)	31
2.5.10 P140 (Port 14)	31
2.5.11 AV_{REF} , AV_{SS} , V_{DD} , V_{SS}	32
2.5.12 \overline{RESET}	32
2.5.13 REGC.....	33
2.5.14 FLMD0.....	33
2.5.15 HDR.....	33
2.5.16 HDC.....	33
2.5.17 GND1, GND2.....	33
2.5.18 HDS.....	33
2.5.19 LIN.....	34
2.5.20 MSLP.....	34
2.5.21 SUP.....	34
2.5.22 SWI.....	34
2.5.23 SWO.....	34
2.5.24 MOD1, MOD2.....	34
2.5.25 VRO.....	34
2.5.26 VRS.....	34
2.5.27 SRC.....	34

2.6	端子の入出力回路と未使用端子の処理	35
第3章	マイクロコントローラ機能	42
第4章	フラッシュ・メモリ・プログラマによる書き込み方法	43
第5章	電源回路	44
5.1	電源機能	44
5.2	過電流保護機能	44
5.3	過熱保護機能	44
第6章	LINトランシーバ回路	46
6.1	LINトランシーバ機能	46
6.2	動作モード	47
6.3	過電流保護機能	51
6.4	過熱保護機能	51
第7章	ドライバ回路	52
7.1	ハイ・サイド・ドライバ	52
第8章	高耐圧スイッチ入力回路	53
8.1	スイッチ入力機能	53
第9章	電気的特性 ((A)水準品)	54
9.1	絶対最大定格	56
9.2	マイクロコントローラ部電気的特性	58
9.3	アナログ部電気的特性	78
第10章	外形図	83
10.1	48ピン製品	83
10.2	64ピン製品	84
付録A	開発ツール	85
A.1	ソフトウェア・パッケージ	88
A.2	言語処理用ソフトウェア	88
A.3	フラッシュ・メモリ書き込み用ツール	89
A.3.1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合	89
A.3.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	89
A.4	デバッグ用ツール (ハードウェア)	90
A.4.1	インサーキット・エミュレータ QB-78K0KX2を使用する場合	90
A.4.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	91
A.5	デバッグ用ツール (ソフトウェア)	91
付録B	QFPパッケージ熱抵抗	92
付録C	アナログ部絶対最大定格の温度特性	96

第1章 概 説

μ PD78F802x, 78F803xは、LINトランシーバ、電源およびハイ・サイド・ドライバを1チャンネル内蔵したアナログ・チップと8ビット・マイクロコントローラ・チップを1パッケージにしたMCP (Multi Chip Package) です。μ PD78F802x, 78F803xの8ビット・マイクロコントローラ部は、それぞれ78K0/KB2, 78K0/KC2を搭載しています。

1.1 特 徴

ROM, RAM容量

ROM ^注	高速RAM ^注	拡張RAM ^注	48ピン	64ピン
16 KB	768 B	-	μ PD78F8026	μ PD78F8033
24 KB	1 KB	-	μ PD78F8027	μ PD78F8034
32 KB	1 KB	-	μ PD78F8028	μ PD78F8035
48 KB	1 KB	1 KB	μ PD78F8029	μ PD78F8036
60 KB	1 KB	2 KB	μ PD78F8030	μ PD78F8037
128 KB	1 KB	6 KB	μ PD78F8032D	μ PD78F8039D

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵 (μ PD78F8032D, 78F8039Dのみ^注)

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

乗除算器内蔵

キー割り込み機能内蔵

I/Oポート: μ PD78F8026-78F8030, 78F8032D 23本 (N-chオープン・ドレイン: 2本)

μ PD78F8033-78F8037, 78F8039D 41本 (N-chオープン・ドレイン: 4本)

注 μ PD78F8032D, 78F8039Dには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

タイマ : 7チャンネル

- ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 8ビット・タイマ : 2チャンネル
- ・ 時計用タイマ^{注1} : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース : 3チャンネル

- ・ UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル
- ・ CSI/UART^{注2} : 1チャンネル
- ・ I²C : 1チャンネル

10ビット分解能A/Dコンバータ : μ PD78F8026-78F8030, 78F8032D 4チャンネル

μ PD78F8033-78F8037, 78F8039D 8チャンネル

電源回路

出力電圧 : 5 V ± 2%

過電流保護回路内蔵

過熱保護回路内蔵

LINトランシーバ

LIN Specification Rev.2.0, 2.1準拠

スリープ機能内蔵

スリープ・アプリケーション用プルアップ抵抗内蔵

LINドライバ過電流保護回路内蔵

LINドライバ過熱保護回路内蔵

ドライバ

ハイ・サイド・ドライバ : 1チャンネル

高耐圧スイッチ入力回路 : 1チャンネル

パッケージ : 48ピン・プラスチックLQFP (ファインピッチ) (7×7)

64ピン・プラスチックLQFP (ファインピッチ) (10×10)

動作周囲温度 : (A) 水準品 T_A = -40 ~ +85

注 1. μ PD78F8033-78F8037, 78F8039Dのみ

2. 端子を兼用しているため, どちらかを選択して使用します。

1.2 応用分野

自動車電装

ボディ電装系のシステム制御

- ・パワー・ウインドウ
- ・キーレス・エントリ受信
- ・イモビライザ
- ・ミラー・コントロールなど

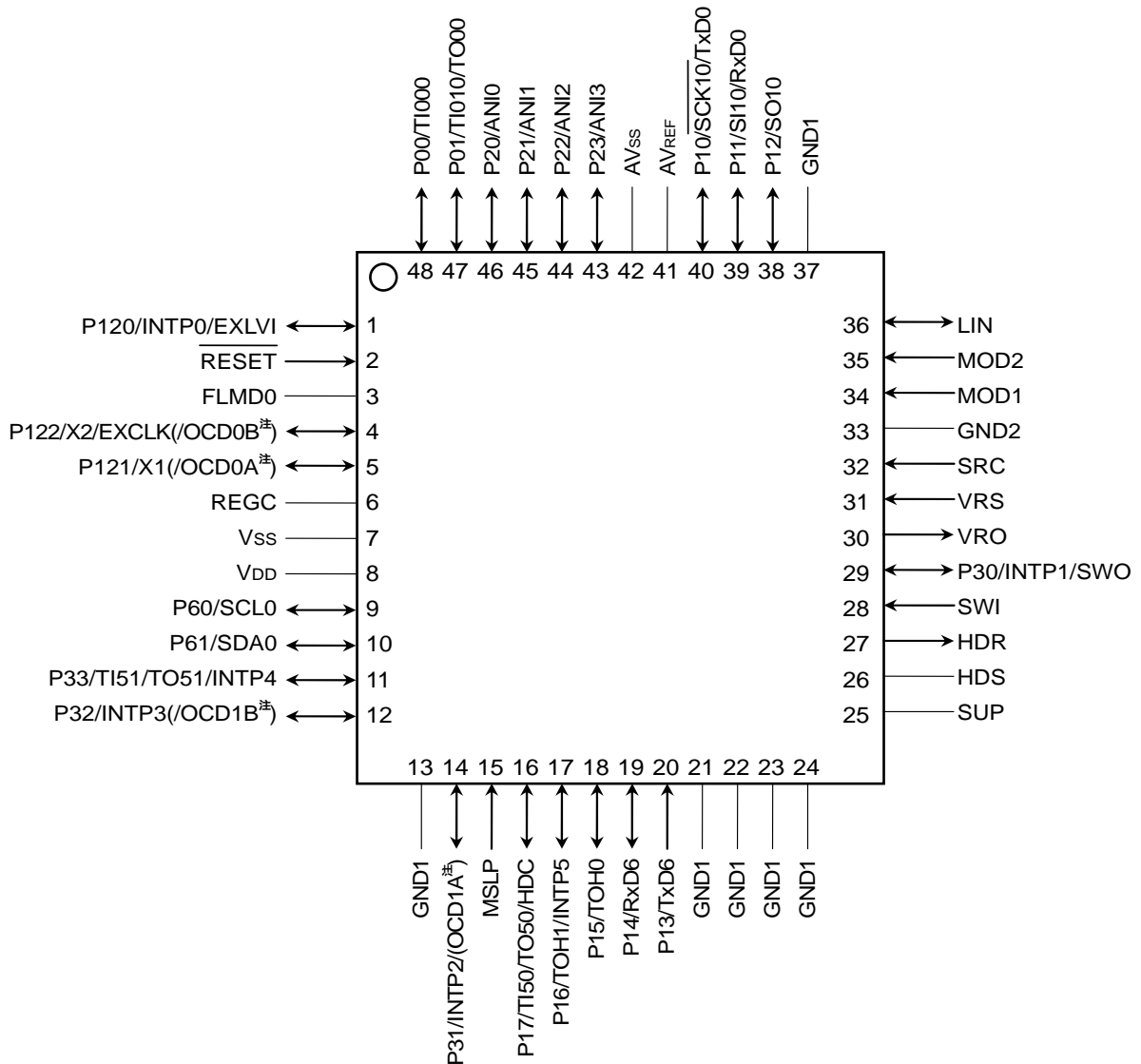
1.3 オーダ情報

オーダ名称	パッケージ	品質水準
μ PD78F8026GAA-GAM-G ^注	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	特別 (高信頼度電子機器用)
μ PD78F8027GAA-GAM-G ^注	"	"
μ PD78F8028GAA-GAM-G ^注	"	"
μ PD78F8029GAA-GAM-G ^注	"	"
μ PD78F8030GAA-GAM-G ^注	"	"
μ PD78F8032DGA-GAM-G	"	標準 (一般電子機器用)
μ PD78F8033GBA-GAH-G ^注	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	特別 (高信頼度電子機器用)
μ PD78F8034GBA-GAH-G ^注	"	"
μ PD78F8035GBA-GAH-G ^注	"	"
μ PD78F8036GBA-GAH-G ^注	"	"
μ PD78F8037GBA-GAH-G ^注	"	"
μ PD78F8039DGB-GAH-G	"	標準 (一般電子機器用)

注 (A) 水準品

1.4 端子接続図 (Top View)

・ 48ピン・プラスチックLQFP (ファインピッチ) (7×7)

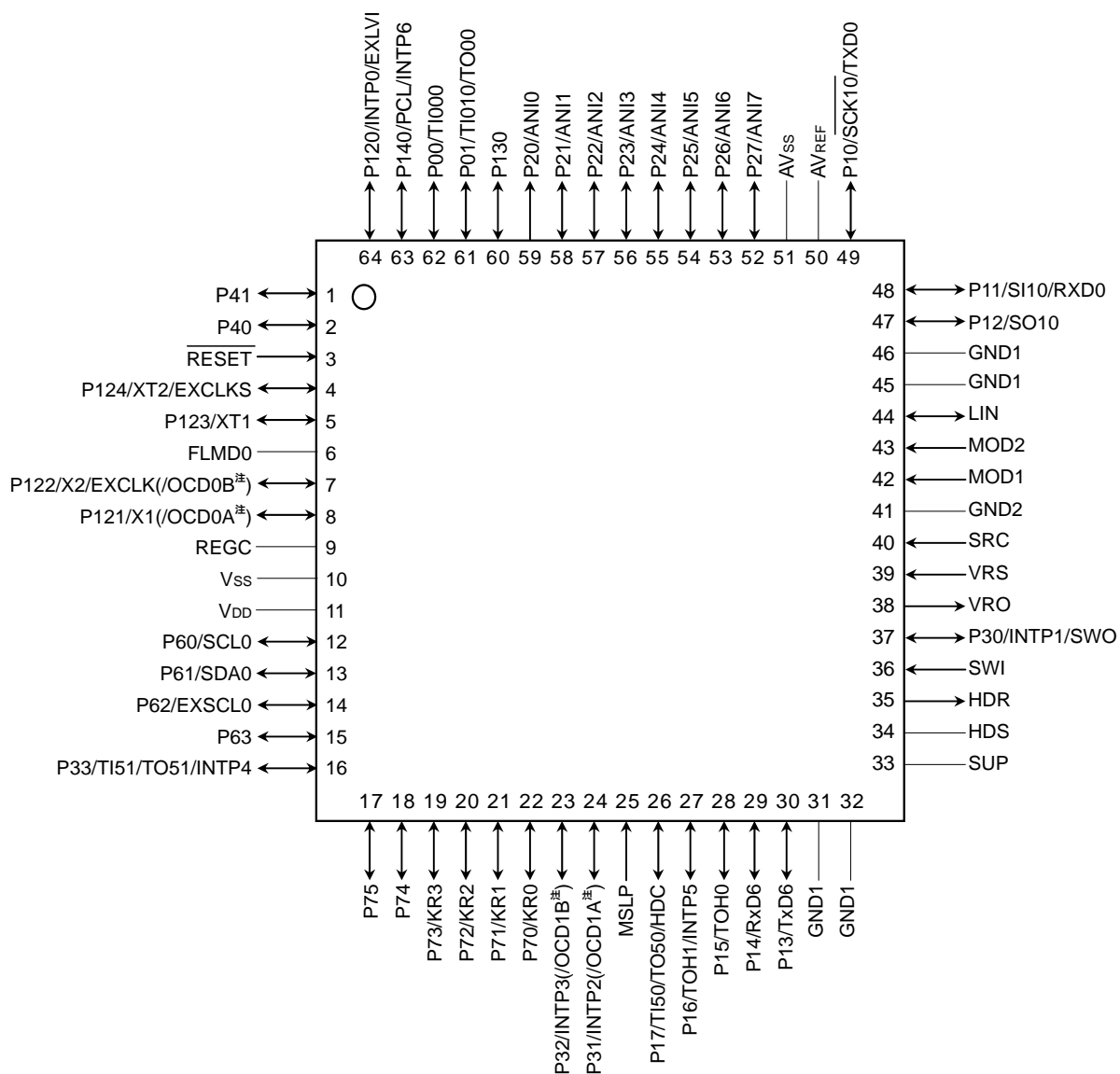


注 μ PD78F8032D (オンチップ・デバッグ機能搭載品) のみ

注意1. GND1, GND2, AV_{ss}とV_{ss}は同電位にしてください。

2. REGCはコンデンサ (0.47 μF ~ 1 μF) を介し, V_{ss}に接続してください。
3. ANI0/P20-ANI3/P23は, リセット解除後にアナログ入力モードになります。
4. SUPとHDSは同電位としてください。
5. VRO, VRSとV_{DD}は同電位としてください。

・ 64ピン・プラスチックLQFP (ファインピッチ) (10×10)



注 μ PD78F8039D (オンチップ・デバッグ機能搭載品) のみ

注意 1. GND1, GND2, AV_{SS}とV_{SS}は同電位にしてください。

2. REGCはコンデンサ (0.47 μF ~ 1 μF) を介し, V_{SS}に接続してください。

3. ANI0/P20-ANI7/P27は, リセット解除後にアナログ入力モードになります。

4. SUPとHDSは同電位としてください。

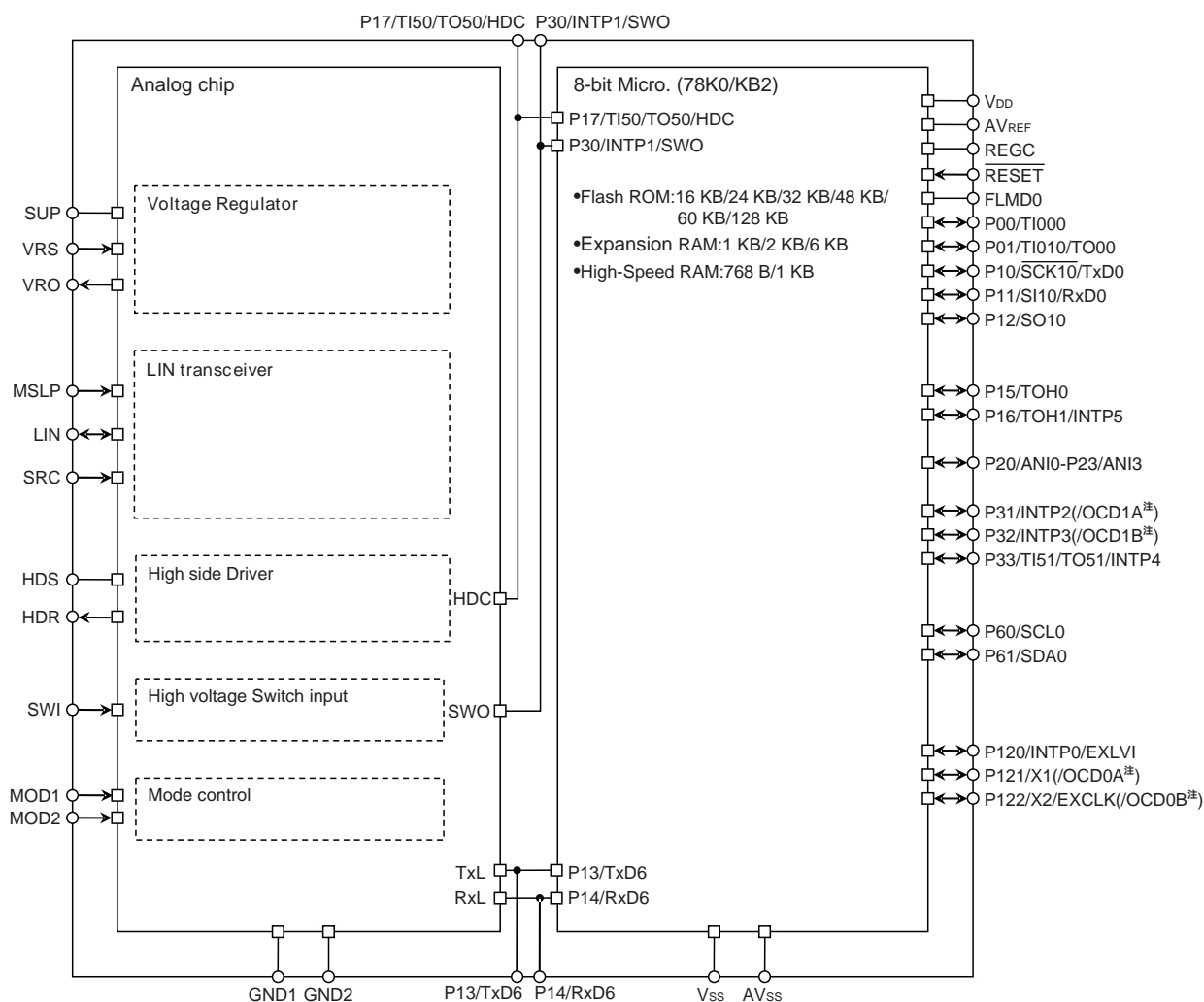
5. VRO, VRSとV_{DD}は同電位としてください。

端子名称

ANI0-ANI7	: Analog Input	P70-P75	: Port 7
AVREF	: Analog Reference Voltage	P120-P124	: Port 12
AVss	: Analog Ground	P130	: Port 13
EXCLK	: External Clock Input (Main System Clock)	P140	: Port 14
EXCLKS	: External Clock Input (Subsystem Clock)	PCL	: Programmable Clock Output
EXLVI	: External potential Input for Low-voltage detector	REGC	: Regulator Capacitance
EXSCL0	: IIC0 Serial Clock Input/Output	RESET	: Reset
FLMD0	: Flash Programming Mode	RxD0, RxD6	: Receive Data
GND1, GND2	: Ground	$\overline{\text{SCK10}}$, SCL0	: Serial Clock Input/Output
HDC	: High-side Driver Control Input	SDA0	: Serial Data Input/Output
HDR	: High-side Driver Output	SI10	: Serial Data Input
HDS	: High-side Driver Power Supply	SO10	: Serial Data Output
INTP0-INTP6	: External Interrupt Input	SRC	: Slew Rate Control Input
KR0-KR3	: Key Return	SUP	: Battery Power Supply
LIN	: LIN Bus	SWI	: High Voltage SW Input
MOD1, MOD2	: Pin Mode Control Input	SWO	: High Voltage SW Output
MSLP	: Sleep Mode Control Input	TI000 TI010,	
OCD0A, OCD0B,		TI50, TI51	: Timer Input
OCD1A, OCD1B	: On-Chip Debug Input/Output	TO00, TO01,	
P00, P01	: Port 0	TO50, TO51,	
P10-P17	: Port 1	TOH0, TOH1	: Timer Output
P20-P27	: Port 2	TxD0, TxD6	: Transmit Data
P30-P33	: Port 3	V _{DD}	: Power Supply
P40, P41	: Port 4	VRO	: Voltage Regulator Output
P60-P63	: Port 6	VRS	: Voltage Regulator Input
		Vss	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)
		XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.5 ブロック図

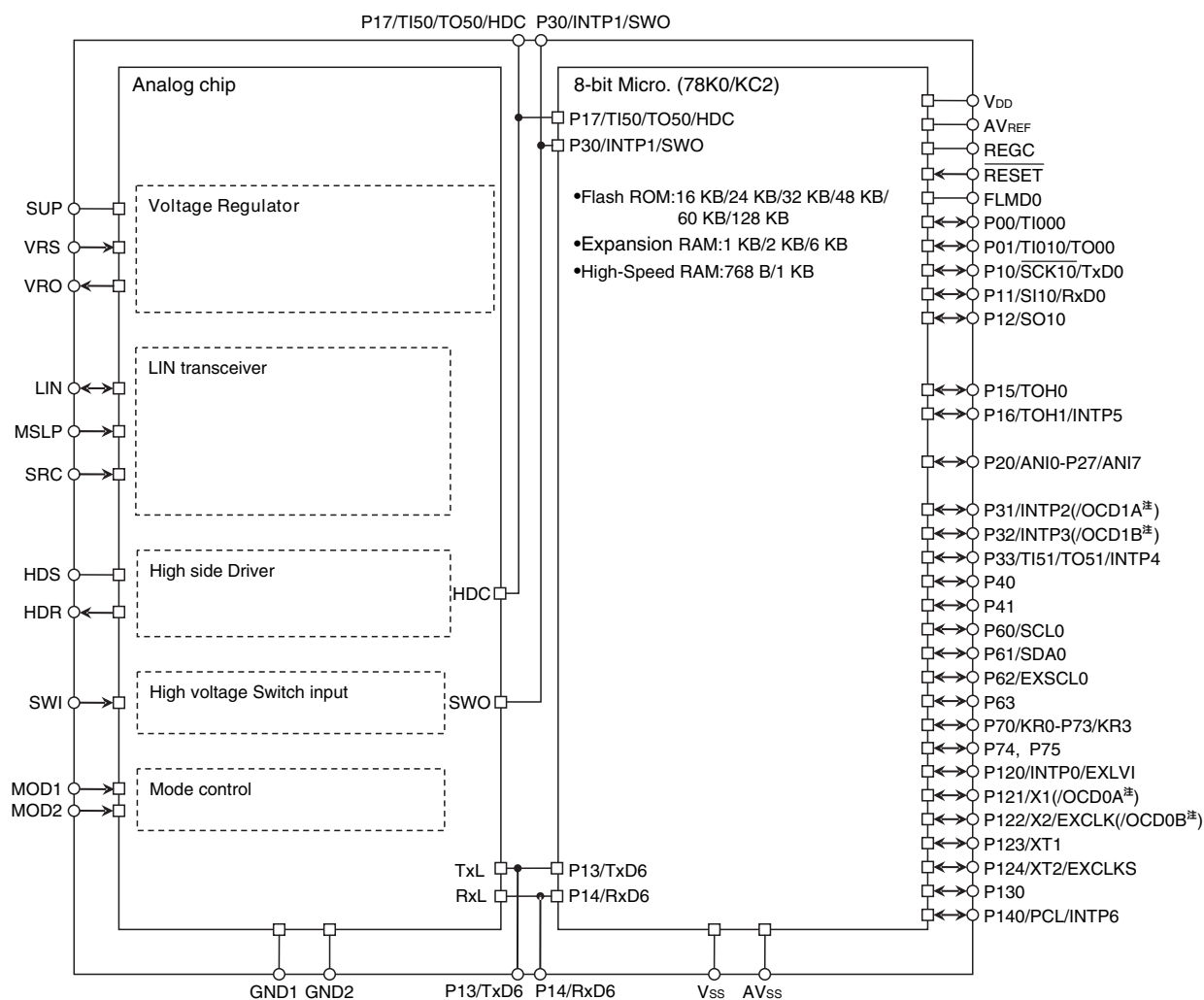
・ μ PD78F8026-78F8030, 78F8032D



注 μ PD78F8032D (オンチップ・デバッグ機能搭載品) のみ

- 注意 1. μ PD78F8026-78F8030, 78F8032Dは、マイクロコントローラとアナログ（電源回路，LINトランシーバ）の2チップを1パッケージに搭載したMCP (Multi Chip Package) です。
2. P13/TxD6, P14/RxD6, P17/TI50/TO50/HDC, P30/INTP1/SWO端子は、パッケージ内部で接続されています。

・ μ PD78F8033-78F8037, 78F8039D

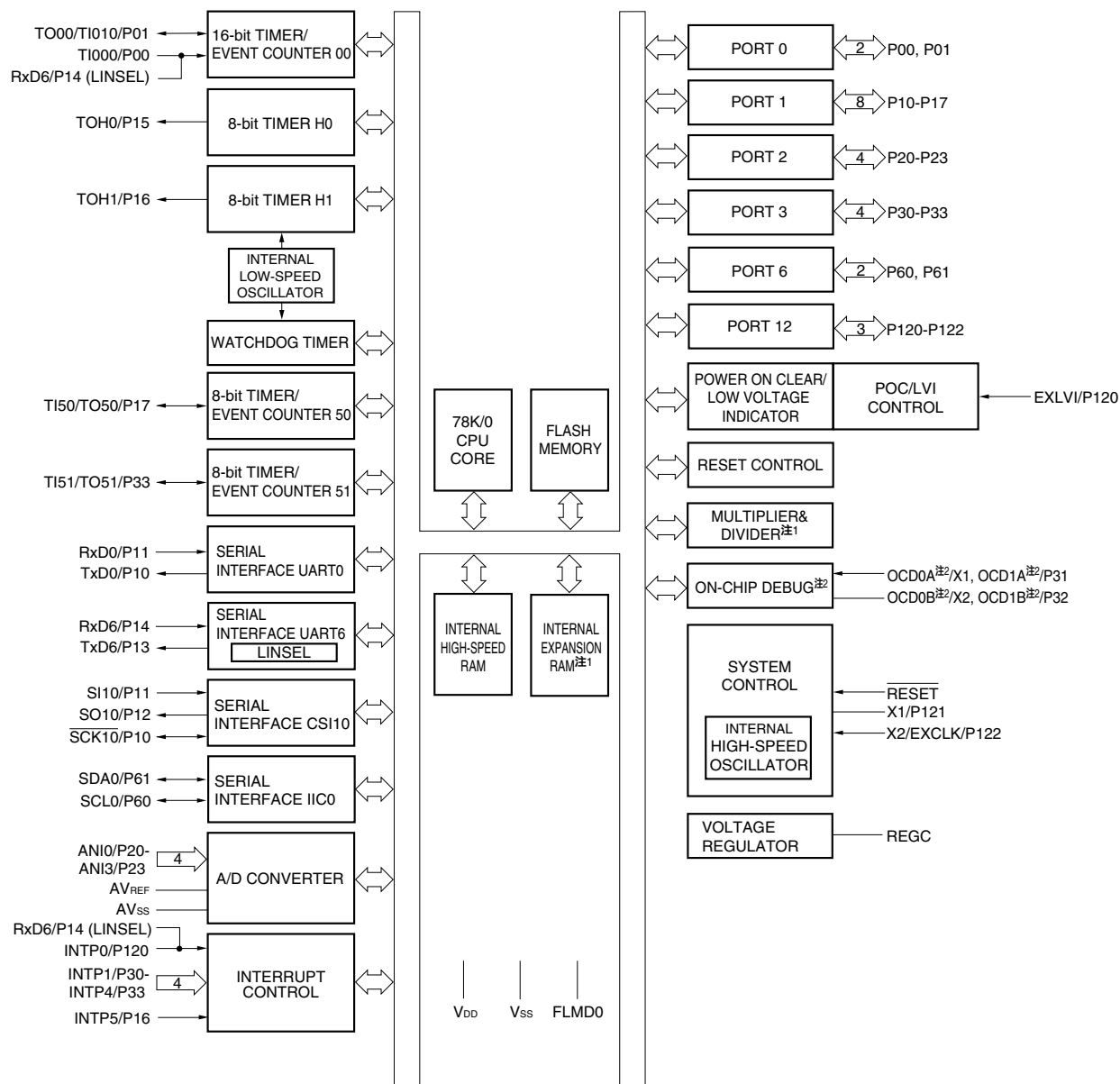


注 μ PD78F8039D (オンチップ・デバッグ機能搭載品) のみ

- 注意 1. μ PD78F8033-78F8037, 78F8039Dは、マイクロコントローラとアナログ（電源回路，LINトランシーバ）の2チップを1パッケージに搭載したMCP (Multi Chip Package) です。
2. P13/TxD6, P14/RxD6, P17/TI50/TO50/HDC, P30/INTP1/SWO端子は、パッケージ内部で接続されています。

1.5.1 マイクロコントローラ部ブロック図

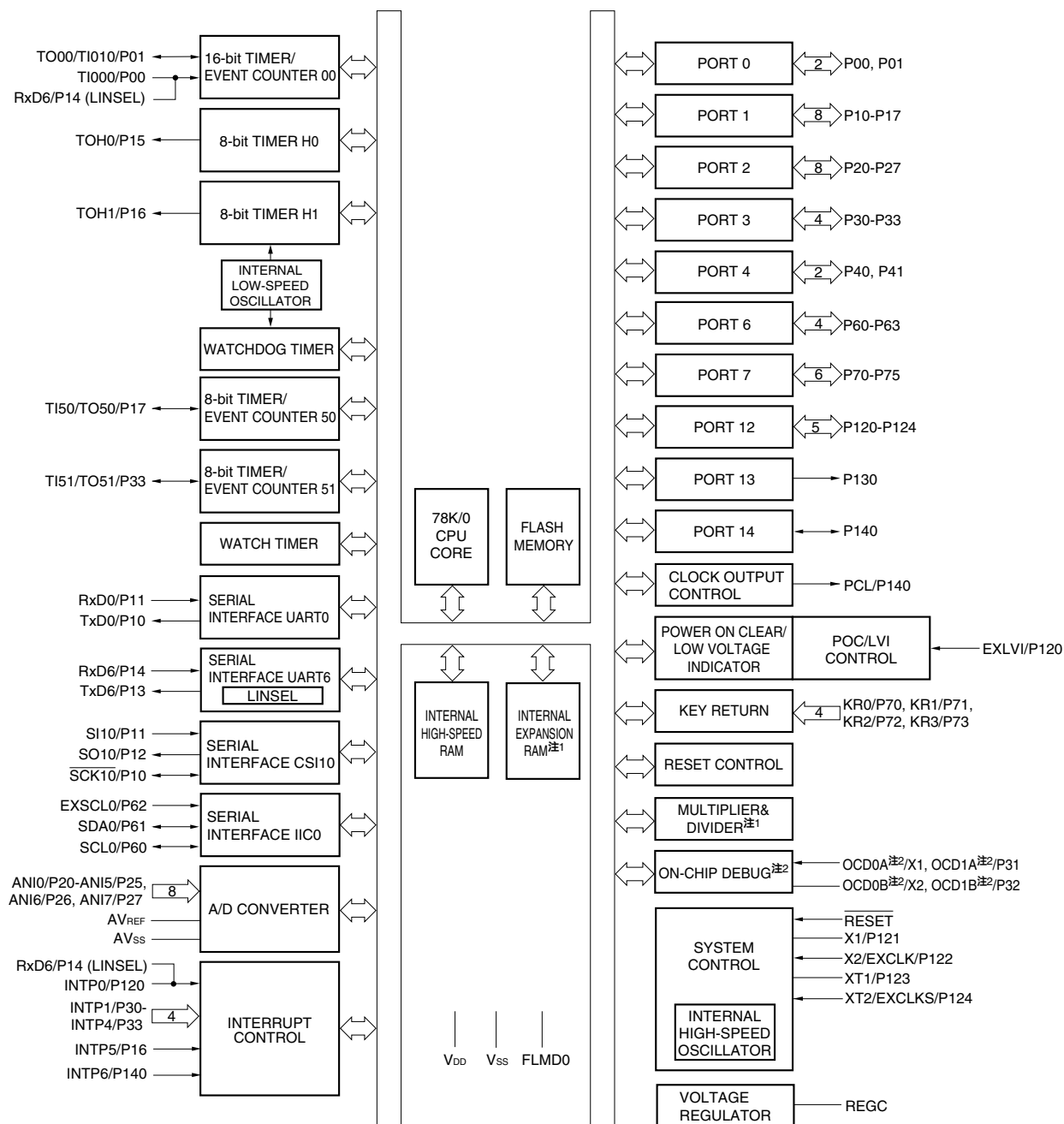
・ μ PD78F8026-78F8030, 78F8032D



注 1. μ PD78F8029, 78F8030, 78F8032Dのみ。

2. μ PD78F8032Dのみ。

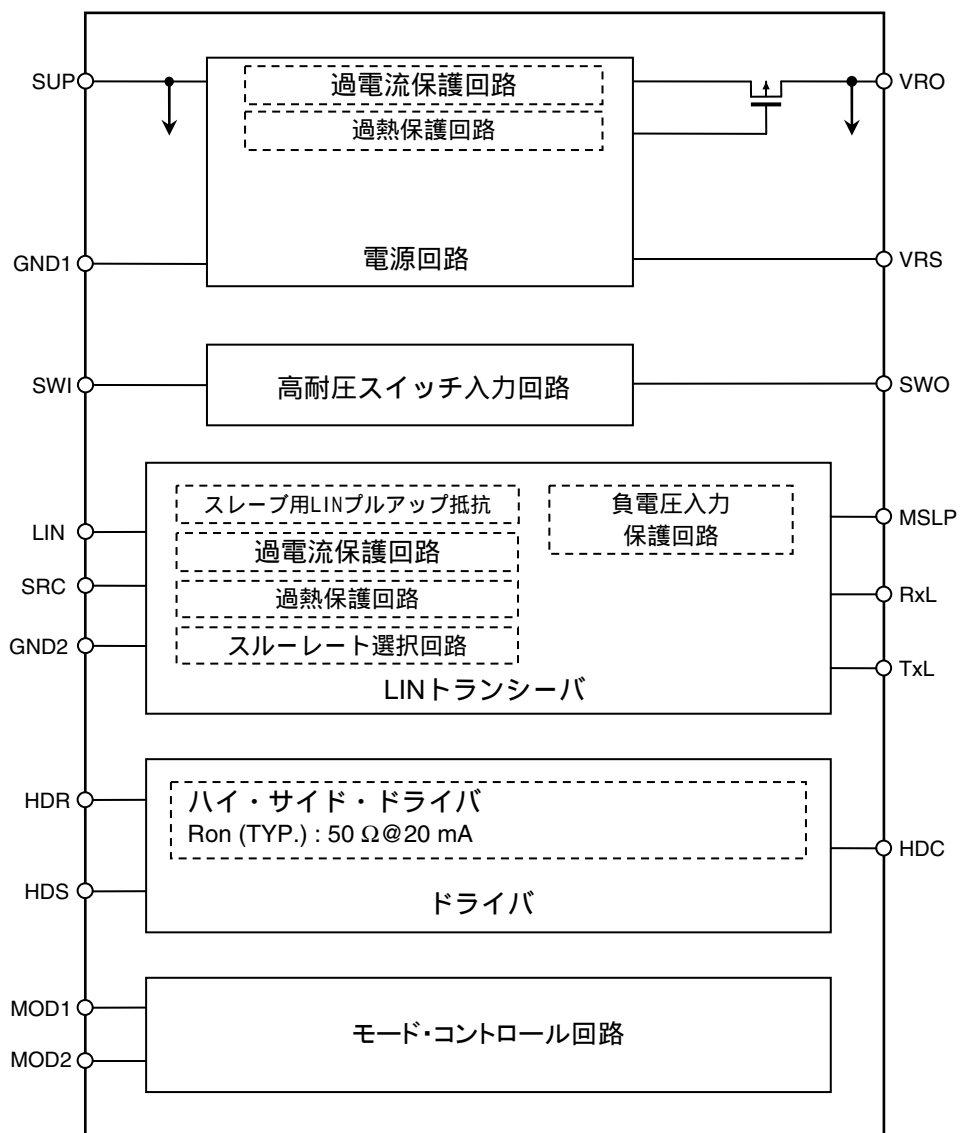
・ μ PD78F8033-78F8037, 78F8039D



注 1. μ PD78F8036, 78F8037, 78F8039Dのみ。

2. μ PD78F8039Dのみ。

1.5.2 アナログ部ブロック図



1.6 機能概要

・ μ PD78F8026-78F8030, 78F8032D

(1/2)

項目	μ PD78F8026	μ PD78F8027	μ PD78F8028	μ PD78F8029	μ PD78F8030	μ PD78F8032D
フラッシュ・メモリ (Kバイト)	16	24	32	48	60	128
高速RAM	768 バイト	1 Kバイト				
拡張RAM (Kバイト)	-			1	2	6
バンク (フラッシュ・メモリ)	-					6
電源電圧	(A) 水準品 : $V_{DD} = 1.8 \sim 5.5 \text{ V}$					
レギュレータ	内蔵					
最小命令実行時間	0.1 μs (20 MHz : $V_{DD} = 2.7 \sim 5.5 \text{ V}$ / 0.4 μs (5 MHz : $V_{DD} = 1.8 \sim 5.5 \text{ V}$))					
クロック	メイン	高速システム	20 MHz : $V_{DD} = 2.7 \sim 5.5 \text{ V}$ / 5 MHz : $V_{DD} = 1.8 \sim 5.5 \text{ V}$			
		高速内蔵発振	8 MHz (TYP.) : $V_{DD} = 1.8 \sim 5.5 \text{ V}$			
	サブ	-				
	低速内蔵発振	240 kHz (TYP.) : $V_{DD} = 1.8 \sim 5.5 \text{ V}$				
ポート	合計	23 ch				
	N-ch O.D. (6 V耐圧)	2 ch				
タイマ	16ビット (TM0)	1 ch				
	8ビット (TM5)	2 ch				
	8ビット (TMH)	2 ch				
	時計用	-				
	ウォッチドッグ (WDT)	1 ch				
シリアルインタフェース	UART/3線式CSI ^注	1 ch				
	LIN-bus対応UART	1 ch				
	I ² Cバス	1 ch				
10ビットA/D	4 ch					
割り込み	外部	6				
	内部	14				
キー割り込み	-					
リセット	RESET端子	あり				
	POC	1.59 V \pm 0.15 V				
	LVI	電源電圧の検出レベルを選択可能				
	WDT	あり				
乗除算器	なし			あり		
オンチップ・デバッグ機能	なし					あり
動作周囲温度	$T_A = -40 \sim +85$					

注 端子を兼用しているため、どちらかを選択して使用します。

(2/2)

項 目	μ PD78F8026	μ PD78F8027	μ PD78F8028	μ PD78F8029	μ PD78F8030	μ PD78F8032D
電源	<ul style="list-style-type: none"> 動作電圧範囲：6～19 V (出力電圧 : 5 V±5 % , 出力電流 : 25 mA以下) 7～19 V (出力電圧 : 5 V±2 % , 出力電流 : 50 mA以下) 出力電圧 : 5 V±5 % (動作電圧範囲 : 6～19 V , 出力電流 : 25 mA以下) 5 V±2 % (動作電圧範囲 : 7～19 V , 出力電流 : 50 mA以下) パワー段はP-ch MOSを内蔵 過電流保護回路内蔵 過熱保護回路内蔵 					
LINトランシーバ	<ul style="list-style-type: none"> LIN Specification Rev.2.0, 2.1準拠 スリープ機能内蔵 スルー・レート選択機能内蔵 スレーブ・アプリケーション用ブルアップ抵抗内蔵 LINドライバ過電流保護回路内蔵 LINドライバ過熱保護回路内蔵 					
ドライバ	<ul style="list-style-type: none"> ハイ・サイド・ドライバ : 1 ch 					
高耐圧スイッチ入力回路	1 ch					

次にタイマの概要を示します。

		16ビット・タイマ/ イベント・カウンタ00	8ビット・タイマ/イベ ント・カウンタ50, 51		8ビット・タイマH0, H1		時計用 タイマ	ウォッチ ドッグ・ タイマ
		TM00	TM50	TM51	TMH0	TMH1		
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-	-
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	-	-	-	-
	PPG出力	1出力	-	-	-	-	-	-
	PWM出力	-	1出力	1出力	1出力	1出力	-	-
	パルス幅測定	2入力	-	-	-	-	-	-
	方形波出力	1出力	1出力	1出力	1出力	1出力	-	-
	キャリア・ジェネレータ	-	-	-	-	1出力 ^注	-	-
	時計用タイマ	-	-	-	-	-	-	-
	ウォッチドッグ・タイマ	-	-	-	-	-	-	1チャンネル
割り込み要因		2	1	1	1	1	-	-

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

・ μ PD78F8033-78F8037, 78F8039D

(1/2)

項 目	μ PD78F8033	μ PD78F8034	μ PD78F8035	μ PD78F8036	μ PD78F8037	μ PD78F8039D
フラッシュ・メモリ (Kバイト)	16	24	32	48	60	128
高速RAM	768 バイト	1 Kバイト				
拡張RAM (Kバイト)	-			1	2	6
バンク (フラッシュ・メモリ)	-					6
電源電圧	(A) 水準品 : V _{DD} = 1.8 ~ 5.5 V					
レギュレータ	内蔵					
最小命令実行時間	0.1 μs (20 MHz : V _{DD} = 2.7 ~ 5.5 V / 0.4 μs (5 MHz : V _{DD} = 1.8 ~ 5.5 V)					
ク ロ ッ ク	メイン	高速システム	20 MHz : V _{DD} = 2.7 ~ 5.5 V / 5 MHz : V _{DD} = 1.8 ~ 5.5 V			
		高速内蔵発振	8 MHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V			
	サブ	32.768 kHz (TYP.) : 1.8 ~ 5.5 V				
	低速内蔵発振	240 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V				
ポ ー ト	合計	41 ch				
	N-ch O.D. (6 V耐圧)	4 ch				
タ イ マ	16ビット (TM0)	1 ch				
	8ビット (TM5)	2 ch				
	8ビット (TMH)	2 ch				
	時計用	1 ch				
	ウォッチドッグ (WDT)	1 ch				
シ リ ア ル イ ン タ フ ェ ー ス	UART/3線式CSI ^注	1 ch				
	LIN-bus対応UART	1 ch				
	I ² Cバス	1 ch				
10ビットA/D	8 ch					
割 り 込 み	外部	8				
	内部	16				
キー割り込み	4 ch					
リ セ ツ ト	RESET端子	あり				
	POC	1.59 V ± 0.15 V				
	LVI	電源電圧の検出レベルを選択可能				
	WDT	あり				
乗除算器	なし			あり		
オンチップ・デバッグ機能	なし					あり
動作周囲温度	T _A = - 40 ~ + 85					

注 端子を兼用しているため、どちらかを選択して使用します。

(2/2)

項 目	μ PD78F8033	μ PD78F8034	μ PD78F8035	μ PD78F8036	μ PD78F8037	μ PD78F8039D
電源	<ul style="list-style-type: none"> 動作電圧範囲：6～19V（出力電圧：5V±5%，出力電流：25mA以下） 7～19V（出力電圧：5V±2%，出力電流：50mA以下） 出力電圧：5V±5%（動作電圧範囲：6～19V，出力電流：25mA以下） 5V±2%（動作電圧範囲：7～19V，出力電流：50mA以下） パワー段はP-ch MOSを内蔵 過電流保護回路内蔵 過熱保護回路内蔵 					
LINトランシーバ	<ul style="list-style-type: none"> LIN Specification Rev.2.0, 2.1準拠 スリープ機能内蔵 スルー・レート選択機能内蔵 スレーブ・アプリケーション用ブルアップ抵抗内蔵 LINドライバ過電流保護回路内蔵 LINドライバ過熱保護回路内蔵 					
ドライバ	<ul style="list-style-type: none"> ハイ・サイド・ドライバ：1ch 					
高耐圧スイッチ入力回路	1ch					

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00, 01		8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0, H1		時計用タイマ	ウォッチドッグ・タイマ
		TM00	TM01	TM50	TM51	TMH0	TMH1		
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-	-	-	-
	PPG出力	1出力	1出力	-	-	-	-	-	-
	PWM出力	-	-	1出力	1出力	1出力	1出力	-	-
	パルス幅測定	2入力	2入力	-	-	-	-	-	-
	方形波出力	1出力	1出力	1出力	1出力	1出力	1出力	-	-
	キャリア・ジェネレータ	-	-	-	-	-	1出力 ^{注2}	-	-
	時計用タイマ	-	-	-	-	-	-	1チャンネル ^{注1}	-
ウォッチドッグ・タイマ	-	-	-	-	-	-	-	1チャンネル	
割り込み要因		2	2	1	1	1	1	1	-

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

第2章 端子機能

2.1 μ PD78F8026-78F8030, 78F8032D

マイクロコントローラ機能端子におけるμ PD78F8026-78F8030, 78F8032Dと78K0/KB2で異なる端子は次のとおりです。

(1) ポート機能と兼用端子

μ PD78F8026, 78F8027, 78F8028, 78F8029, 78F8030, 78F8032D		78K0/KB2 (μ PD78F0500A, 78F0501A, 78F0502A, 78F0503A, 78F0504A, 78F0505A, 78F0507DA)	
機能名称	兼用機能	機能名称	兼用機能
P17	TI50/TO50/HDC	P17	TI50/TO50
P30	INTP1/SWO	P30	INTP1

2.2 μ PD78F8033-78F8037, 78F8039D

マイクロコントローラ機能端子におけるμ PD78F8033-78F8037, 78F8039Dと78K0/KC2で異なる端子は次のとおりです。

(1) ポート機能と兼用端子

μ PD78F8033, 78F8034, 78F8035, 78F8036, 78F8037, 78F8039D		78K0/KC2 (μ PD78F0500A, 78F0501A, 78F0502A, 78F0503A, 78F0504A, 78F0505A, 78F0507DA)	
機能名称	兼用機能	機能名称	兼用機能
P17	TI50/TO50/HDC	P17	TI50/TO50
P30	INTP1/SWO	P30	INTP1

2.3 マイクロコントローラ部の端子機能

端子の入出力バッファ電源には、AVREF、VDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AVREF	P20-P27
VDD	P20-P27以外の端子

2.3.1 μ PD78F8026-78F8030, 78F8032D

(1) ポートの機能：μ PD78F8026-78F8030, 78F8032D

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50/HDC ^{注1}
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ入力	ANI0-ANI3
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SWO ^{注2}
P31				INTP2/OC01A ^{注3}
P32				INTP3/OC01B ^{注3}
P33				INTP4/TI51/TO51
P60	入出力	ポート6。 2ビット入出力ポート。 N-chオープン・ドレイン出力（6 V耐圧）。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCL0
P61				SDA0
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OC0A ^{注3}
P122				X2/EXCLK/OC0B ^{注3}

注 1. アナログ部端子の機能です。パッケージ内部で、アナログ部のHDC端子と接続されています。

2. アナログ部端子の機能です。パッケージ内部で、アナログ部のSWO端子と接続されています。

3. μ PD78F8032Dのみ。

(2) ポート以外の機能 (1/2) : μ PD78F8026-78F8030, 78F8032D

機能名称	入出力	機 能	リセット時	兼用機能
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30/SWO ^{注1}
INTP2				P31/OCD1A ^{注2}
INTP3				P32/OCD1B ^{注2}
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCL0		I ² Cのクロック入出力		P60
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6		UART6のシリアル・データ入力		P14
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6		UART6のシリアル・データ出力		P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TO10
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50/HDC ^{注3}
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50/HDC ^{注3}
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P23
AV _{REF}	-	A/Dコンバータの基準電圧入力およびP20-P23, A/Dコンバータの正電源	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
REGC	-	内部動作レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47 μF ~ 1 μF) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0

注 1. アナログ部端子の機能です。パッケージ内部で, アナログ部のSWO端子と接続されています。

2. μ PD78F8032Dのみ。

3. アナログ部端子の機能です。パッケージ内部で, アナログ部のHDC端子と接続されています。

(2) ポート以外の機能 (2/2) : μ PD78F8026-78F8030, 78F8032D

機能名称	入出力	機 能	リセット時	兼用機能
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A ^注
X2	-			P122/EXCLK/ OCD0B ^注
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B ^注
V _{DD}	-	P20-P23以外の正電源	-	-
V _{SS}	-	P20-P23以外のグラウンド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
OCD0A ^注	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F8032Dのみ)	入力ポート	P121/X1
OCD1A ^注				P31/INTP2
OCD0B ^注				P122/X2/EXCLK
OCD1B ^注				P32/INTP3

注 μ PD78F8032Dのみ。

2.3.2 μ PD78F8033-78F8037, 78F8039D

(1) ポートの機能 (1/2) : μ PD78F8033-78F8037, 78F8039D

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	Ti000
P01				Ti010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				Ti50/TO50/HDC ^{注1}
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SWO ^{注2}
P31				INTP2/OCD1A ^{注3}
P32				INTP3/OCD1B ^{注3}
P33				INTP4/Ti51/TO51
P40, P41	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ入力	-

注 1. アナログ部端子の機能です。パッケージ内部で、アナログ部のHDC端子と接続されています。

2. アナログ部端子の機能です。パッケージ内部で、アナログ部のSWO端子と接続されています。

3. μ PD78F8039Dのみ。

(1) ポートの機能 (2/2) : μ PD78F8033-78F8037, 78F8039D

機能名称	入出力	機 能	リセット時	兼用機能
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62				EXSCL0
P63				-
P70-P73	入出力	ポート7。 6ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3
P74, P75				-
P120	入出力	ポート12。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OCD0A ^注
P122				X2/EXCLK/OCD0B ^注
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート130 1ビット出力専用ポート。	出力ポート	-
P140	入出力	ポート140。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能	入力ポート	PCL/INTP6

注 μ PD78F8039Dのみ。

(2) ポート以外の機能 (1/2) : μ PD78F8033-78F8037, 78F8039D

機能名称	入出力	機 能	リセット時	兼用機能
EXSCL0	入力	I ² Cの外部クロック入力 外部クロックを入力する場合は、6.4 MHzのクロックを入力してください。	入力ポート	P62
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30/SWO ^{注1}
INTP2				P31/OCD1A ^{注2}
INTP3				P32/OCD1B ^{注2}
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL
KR0-KR3	入力	キー・リターン入力	入力ポート	P70-P73
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	入力ポート	P140/INTP6
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCL0		I ² Cのクロック入出力		P60

注 1. アナログ部端子の機能です。パッケージ内部で、アナログ部のSWO端子と接続されています。

2. μ PD78F8039Dのみ。

(2) ポート以外の機能 (2/2) : μ PD78F8033-78F8037, 78F8039D

機能名称	入出力	機 能	リセット時	兼用機能
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6		UART6のシリアル・データ入力		P14
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6		UART6のシリアル・データ出力		P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TO10
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50/HDC ^{注1}
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TO50/HDC ^{注1}
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TO51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
AV _{REF}	-	A/Dコンバータの基準電圧入力およびP20-P27, A/Dコンバータの正電源	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
REGC	-	内部動作用レギュレータ出力 (2.5 V) 安定容量接続。コンデンサ (0.47 μF ~ 1 μF) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A ^{注2}
X2	-			P122/EXCLK/OC0B ^{注2}
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B ^{注2}
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-			P124/EXCLKS
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124/XT2
V _{DD}	-	P20-P27以外の正電源	-	-
V _{SS}	-	P20-P27以外のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
OC0A ^{注2}	入力	オンチップ・デバッグ・モード引き込み用接続 (μ PD78F8039Dのみ)	入力ポート	P121/X1
OC01A ^{注2}				P31/INTP2
OC00B ^{注2}				P122/X2/EXCLK
OC01B ^{注2}				P32/INTP3

注 1. アナログ部端子の機能です。パッケージ内部で、アナログ部のHDC端子と接続されています。

2. μ PD78F8039Dのみ。

2.4 アナログ部の端子機能

機能名称	入出力	機能
GND1	-	電源回路用グランド電位
GND2	-	LINトランシーバ回路用グランド電位
HDC ^{注1}	入力	ハイ・サイド・ドライバ制御入力
HDR	出力	ハイ・サイド・ドライバ制御出力
HDS	-	ハイ・サイド・ドライバ用電源
LIN	入出力	LIN Bus端子
MOD1, MOD2	入力	端子モード制御入力
MSLP	入力	スリープ・モード選択
SRC	入力	スルー・レート制御入力
SUP	-	電源
SWI	入力	高耐圧スイッチ入力
SWO ^{注2}	出力	高耐圧スイッチ出力
VRO	出力	電源出力
VRS	入力	電源 / 電源電圧モニタ

注1. パッケージ内部で、マイクロコントローラのP17/TI50/TO50端子と接続されています。

2. パッケージ内部で、マイクロコントローラのP30/INTP1端子と接続されています。

注意1. GND1, GND2は、 V_{SS} および AV_{SS} と同電位にしてください。

2. SUPとHDSは同電位としてください。

3. VRO, VRSと V_{DD} は同電位としてください。

2.5 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.3 マイクロコントローラ部の端子機能を参照してください。

2.5.1 P00, P01 (Port 0)

2ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P00/TI000		
P01/TI010/TO00		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(b) TI010

16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

2.5.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P10/SCK10/TxD0		
P11/SI10/RxD0		
P12/SO10		
P13/TxD6		
P14/RxD6		
P15/TOH0		
P16/TOH1/INTP5		
P17/TI50/TO50/HDC ^注		

注 アナログ部端子の機能です。パッケージ内部で、アナログ部のHDC端子と接続されています。

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(h) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(i) TO50

8ビット・タイマ/イベント・カウンタ50のタイマ出力端子です。

(j) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(k) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.5.3 P20-P27 (Port 2)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P20/ANI0		
P21/ANI1		
P22/ANI2		
P23/ANI3		
P24/ANI4	-	
P25/ANI5	-	
P26/ANI6	-	
P27/ANI7	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により, 1ビット単位で入力ポートまたは出力ポートとして指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合, 78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の13.6 A/Dコンバータの注意事項を参照してください。

(a) ANI0-ANI7

A/Dコンバータのアナログ入力端子です。

注意 ANI0/P20-ANI7/P27は, リセット解除後はアナログ入力モードになります。

2.5.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P30/INTP1/SWO ^{注1}		
P31/INTP2/OCD1A ^{注2}		
P32/INTP3/OCD1B ^{注2}		
P33/INTP4/TI51/TO51		

注 1. アナログ部端子の機能です。パッケージ内部で、アナログ部のSWO端子と接続されています。

2. OCD1A, OCD1Bはオンチップ・デバッグ機能搭載品 (μ PD78F8032D, 78F8039D) のみ。

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意 1. μ PD78F8032D, 78F8039Dは、誤動作を防ぐため、リセット解除までにP31を必ずプルダウンしてください。

注意2. オンチップ・デバッグ機能搭載品 (μ PD78F8032D, 78F08039D) の P31/INTP2/OCD1A 端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

備考 μ PD78F8032D, 78F08039Dのみ、P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ対応のインサーキット・エミュレータ (QB-78K0MINI) との接続については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第28章 オンチップ・デバッグ機能を参照してください。

2.5.5 P40, P41 (Port 4)

2ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P40	-	
P41	-	

備考 : 搭載, - : 非搭載

2.5.6 P60-P63 (Port 6)

4ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P60/SCL0		
P61/SDA0		
P62/EXSCL0	-	
P63	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) SDA0

シリアル・インタフェースIIC0のシリアル・データの入出力端子です。

(b) SCL0

シリアル・インタフェースIIC0のシリアル・クロックの入出力端子です。

(c) EXSCL0

シリアル・インタフェースIIC0の外部クロック入力端子です。外部クロックを入力する場合は, 6.4 MHzのクロックを入力してください。

2.5.7 P70-P75 (Port 7)

6ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P70/KR0	-	
P71/KR1	-	
P72/KR2	-	
P73/KR3	-	
P74	-	
P75	-	

備考 : 搭載, - : 非搭載

次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子として機能します。

(a) KR0-KR3

キー割り込み入力端子です。

2.5.8 P120-P124 (Port 12)

5ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P120/INTP0/EXLVI		
P121/X1/OCD0A ^注		
P122/X2/EXCLK/ OCD0B ^注		
P123/XT1	-	
P124/XT2/EXCLKS	-	

注 OCD0A, OCD0Bはオンチップ・デバッグ機能搭載品(μ PD78F8032D, 78F8039D)のみ。

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12(PU12)の設定により, P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

(f) EXCLKS

サブシステム・クロック用外部クロック入力端子です。

注意 オンチップ・デバッグ機能搭載品(μ PD78F8032D, 78F8039D)のP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
	リセット解除時	

備考 μ PD78F8032D, 78F8039Dのみ、X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ対応のインサーキット・エミュレータ (QB-78K0MINI) との接続については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第28章 オンチップ・デバッグ機能を参照してください。

2.5.9 P130 (Port 13)

出力専用ポートです。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P130	-	

備考 1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます (78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の5.2.10 ポート13の備考の図を参照)。

2. : 搭載, - : 非搭載

2.5.10 P140 (Port 14)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、クロック出力機能があります。

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
P140/PCL/INTP6	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, クロック出力機能として機能します。

(a) INTP6

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) PCL

クロック出力端子です。

2.5.11 AVREF, AVSS, VDD, VSS

	μ PD78F8026-78F8030, 78F8032D	μ PD78F8033-78F8037, 78F8039D
AVREF		
AVSS		
VDD		
VSS		

備考 : 搭載

(a) AVREF

A/Dコンバータの基準電圧入力, およびP20-P27, A/Dコンバータの正電源供給端子です。A/Dコンバータを使用しない場合は, VDDに直接接続してください^注。

注 ポート2をデジタル・ポートとして使用する場合は, VDDと同電位にしてください。

(b) AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも, 常にVSSと同電位で使用してください。

(c) VDD

VDDは, P20-P27以外の, 正電源供給端子です。

(d) VSS

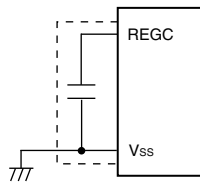
VSSは, P20-P27以外の, ポート部のグランド電位端子です。

2.5.12 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.5.13 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47 μF ~ 1 μF) を介し、V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.5.14 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0をV_{SS}に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.5.15 HDR

ハイ・サイド・ドライバ出力端子です。

ハイ・サイド・ドライバの出力は、HDCの入力信号で制御されます。

2.5.16 HDC

ハイ・サイド・ドライバの制御信号入力端子です。ハイ・サイド・ドライバ端子は内部でプルダウンされています。

ハイ・サイド・ドライバに対応する入力制御信号の真理値表を次に示します。

表2 - 2 真理値表

HDC	HDR
High	High
Low	Hi-z

2.5.17 GND1, GND2

GND1は、電源回路用グランド電位です。

GND2は、LINトランシーバ回路用グランド電位です。

GND1, GND2端子は同電位としてください。

2.5.18 HDS

ハイ・サイド・ドライバ用電源端子です。

SUP端子と同電位としてください。

2.5.19 LIN

LIN Bus端子です。

2.5.20 MSLP

モード移行命令を受ける端子です。

Normal Modeにおいて、MSLP = LowとなったときLINトランシーバは、Sleep Modeへ移行します。

Sleep Modeにおいて、MSLP = HighとなったときLINトランシーバは、Normal Modeへ移行します。

また、この端子は内部でプルダウンされています。

2.5.21 SUP

電源端子です。

2.5.22 SWI

外部スイッチ入力用の高耐圧入力端子です。

2.5.23 SWO

SWI入力信号を出力する端子です。

2.5.24 MOD1, MOD2

ポート・モードを選択するモード端子です。

詳細は、6.1 LINトランシーバ機能を参照してください。

2.5.25 VRO

電源回路の出力端子です。

2.5.26 VRS

電源回路の出力および出力電圧モニタ端子です。

2.5.27 SRC

LIN通信スルー・レートを選択する端子です。

詳細は、6.1 LINトランシーバ機能を参照してください。

2.6 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-3 各端子の入出力回路タイプ (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AQ	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P10/SCK10/TxD0			
P11/SI10/RxD0			
P12/SO10	5-AG		
P13/TxD6 ^{注1}	5-AQ		
P14/RxD6 ^{注1}			
P15/TOH0	5-AG		
P16/TOH1/INTP5	5-AQ		
P17/TI50/TO50/HDC ^{注2}	5-AQ, LIN-1-B		入出力時：個別に抵抗を介して、V _{SS} に接続してください。
P20/ANI0-P27/ANI7 ^{注3}	11-G		< デジタル入力設定時およびアナログ入力設定時 > 個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 < デジタル出力設定時 > オープンにしてください。
P30/INTP1/SWO ^{注4}	5-AQ, LIN-2		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P31/INTP2/OCD1A ^{注5,6}	5-AQ		
P32/INTP3/OCD1B ^{注6}			
P33/TI51/TO51/INTP4			

注1. LINトランシーバ機能兼用端子です。LINトランシーバ機能端子として使用する場合、オープンにしてください。

2. アナログ部端子の機能です。パッケージ内部で、アナログ部のHDC端子と接続されています。

3. P20/ANI0-P27/ANI7は、リセット解除後はアナログ入力モードになります。

4. アナログ部端子の機能です。パッケージ内部で、アナログ部のSWO端子と接続されています。

5. オンチップ・デバッグ機能搭載品(μ PD78F8032D, 78F8039D)のP31/INTP2/OCD1A端子とP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。	抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時		
	リセット解除時	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	入力時：抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。

6. 未使用時は、クロック動作モード選択レジスタ (OSCCTL) で入出力ポート・モードに設定し、上記の推奨接続方法を行ってください。

表2-3 各端子の入出力回路タイプ (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P40, P41	5-AG	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P60/SCL0	13-AI		入力時：V _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P61/SDA0			
P62/EXSCL0			
P63	13-P		
P70/KR0-P73/KR3	5-AQ	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P74, P75			
P120/INTP0/EXLVI			
P121/X1/OCD0A ^{注1, 2}	37	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P122/X2/EXCLK/OCD0B ^{注2}			
P123/XT1 ^{注2}			
P124/XT2/EXCLKS ^{注2}			
P130	3-C	出力	オープンにしてください。
P140/PCL/INTP6	5-AQ	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください
FLMD0 ^{注3}	38-A	-	V _{SS} に接続してください。
AV _{REF}	-	-	< P20-P27のうち，1本でもデジタル・ポートとして設定時 > V _{DD} と同電位にしてください。 < P20-P27をすべてアナログ・ポートとして設定時 > 1.8 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}			V _{SS} と同電位にしてください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し，V _{SS} に接続してください。

注1. オンチップ・デバッグ機能搭載品 (μ PD78F8032D, 78F8039D) のP31/INTP2/OCD1A端子とP121/X1/OCD0A端子が，フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合，次のように処理してください。

		P31/INTP2/OCD1A	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。	抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし，オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時		
	リセット解除時	入力時：抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	入力時：抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。

- 未使用時は，クロック動作モード選択レジスタ (OSCCTL) で入出力ポート・モードに設定し，上記の推奨接続方法を行ってください。
- FLMD0は，フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は，抵抗 (10 kΩ : 推奨) を介して，V_{SS}に接続してください。オンチップ・デバッグ機能搭載品 (μ PD78F8032D, 78F8039D) でオンチップ・デバッグを行う場合も同様です。

表2-3 各端子の入出力回路タイプ (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
MOD1	LIN-1	入力	V _{SS} またはVRSに直接接続してください。
MOD2			
SRC		入力	
SWO ^{注1}	LIN-2	出力	オープンにしてください。
LIN	LIN-3	入出力	オープンにしてください。
MSLP	LIN-1-A	入力	オープンにしてください。
HDC ^{注2}	LIN-1-B	入力	オープンにしてください。
HDR	LIN-4	出力	オープンにしてください。
SWI	LIN-1	入力	GND1に直接接続してください。
VRO	LIN-5	出力	V _{DD} に直接接続してください。
VRS		入力	VROに直接接続してください。
RxL	LIN-2	出力	- ^{注3}
TxL	LIN-6	入力	- ^{注4}
HDS	-	-	SUPに直接接続してください。

注1. パッケージ内部で、マイクロコントローラのP30/INTP1と接続されています。

2. パッケージ内部で、マイクロコントローラのP17/TI50/TO50と接続されています。

3. パッケージ内部で、マイクロコントローラのP14/RxD6と接続されています。

4. パッケージ内部で、マイクロコントローラのP13/TxD6と接続されています。

図2-1 端子の入出力回路一覧 (1/4)

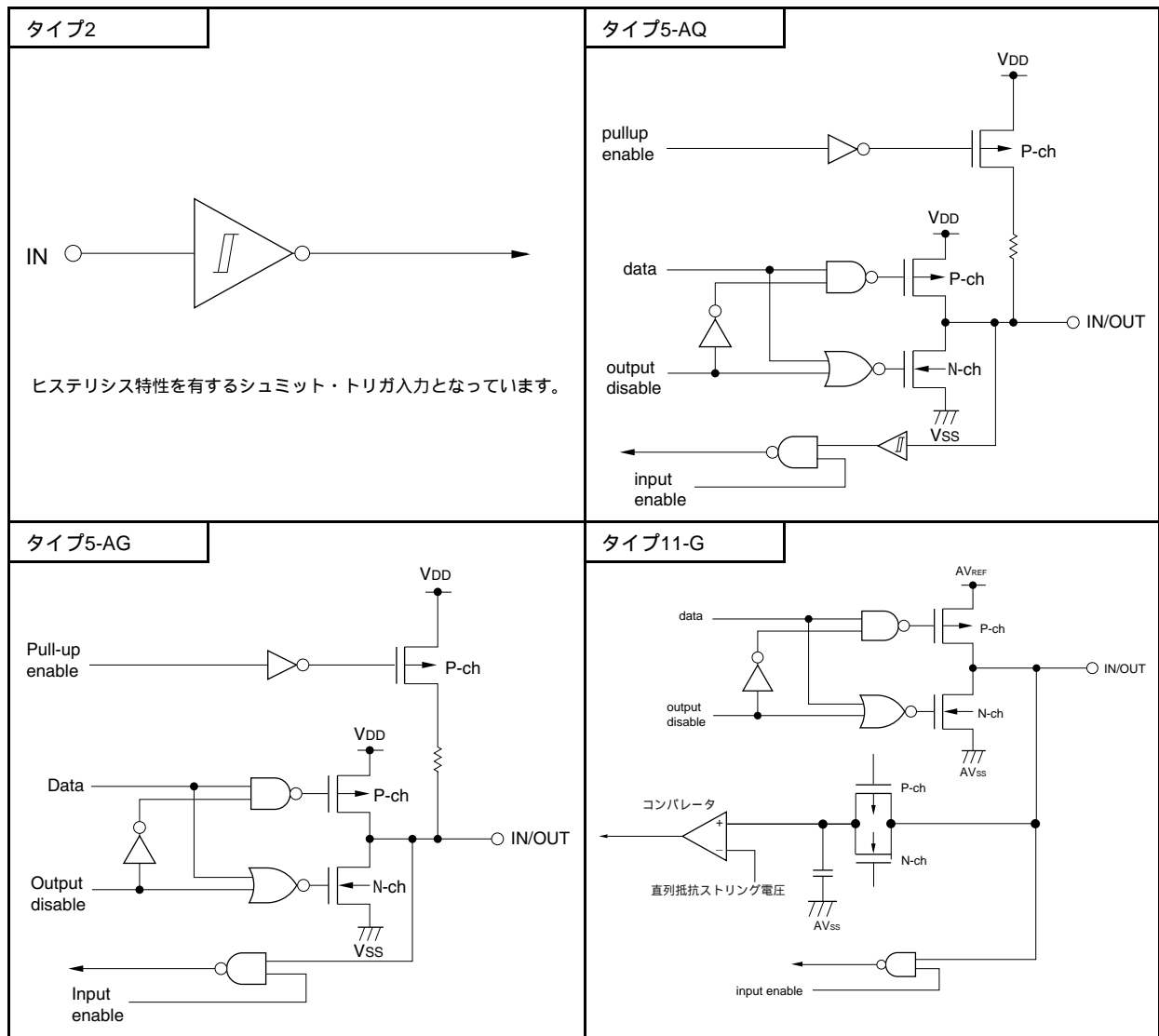


図2 - 1 端子の入出力回路一覧 (2/4)

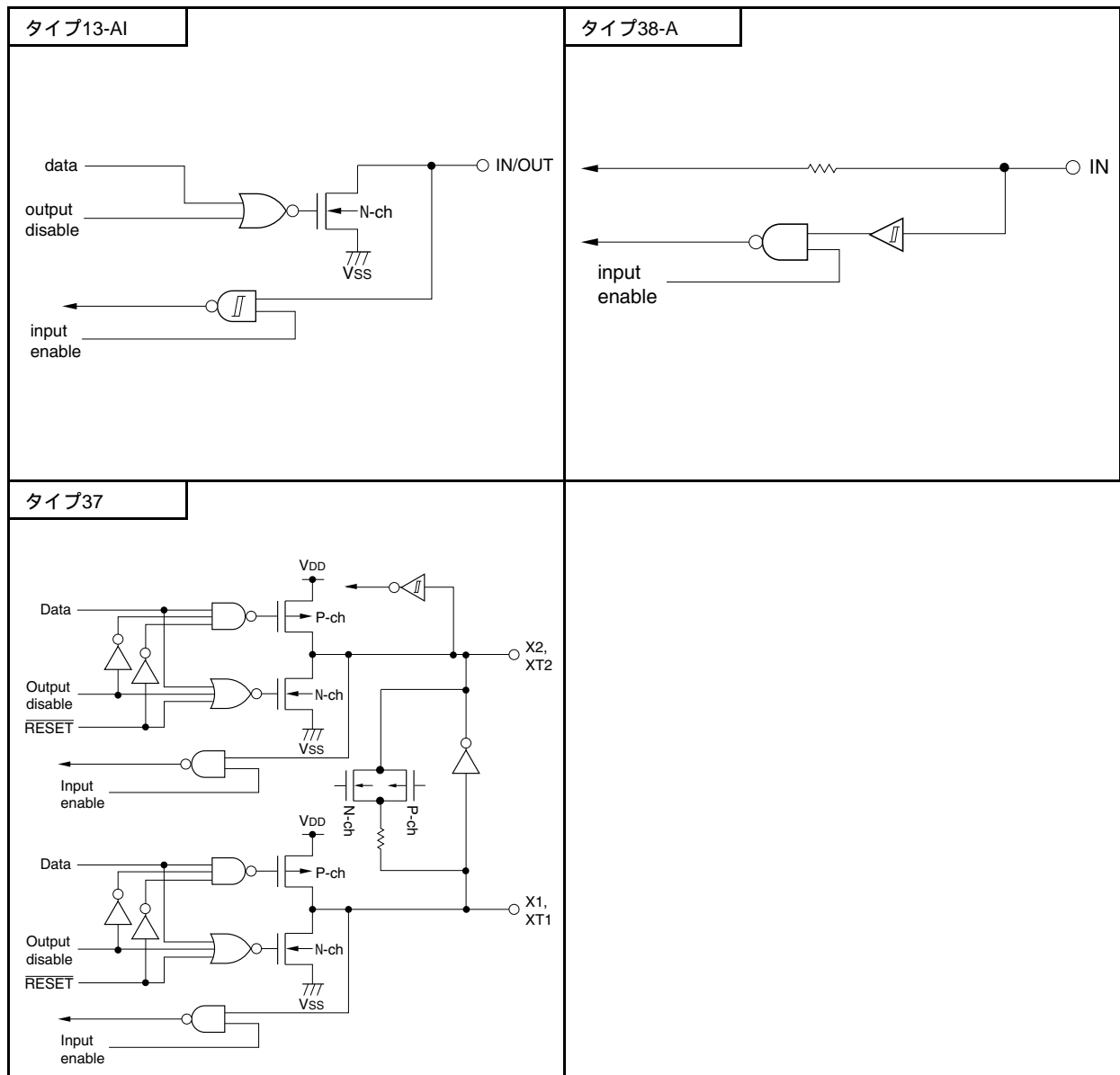
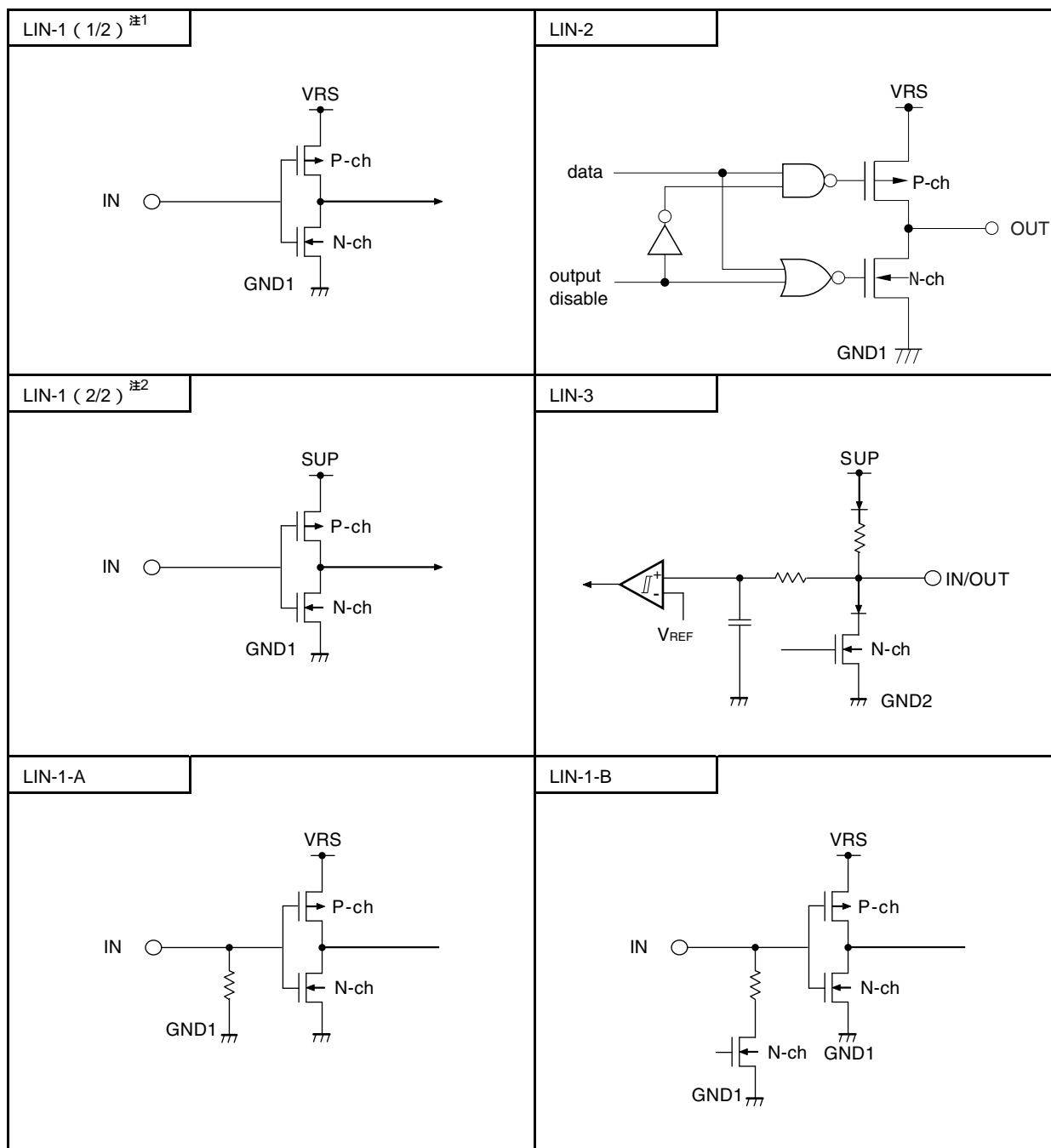


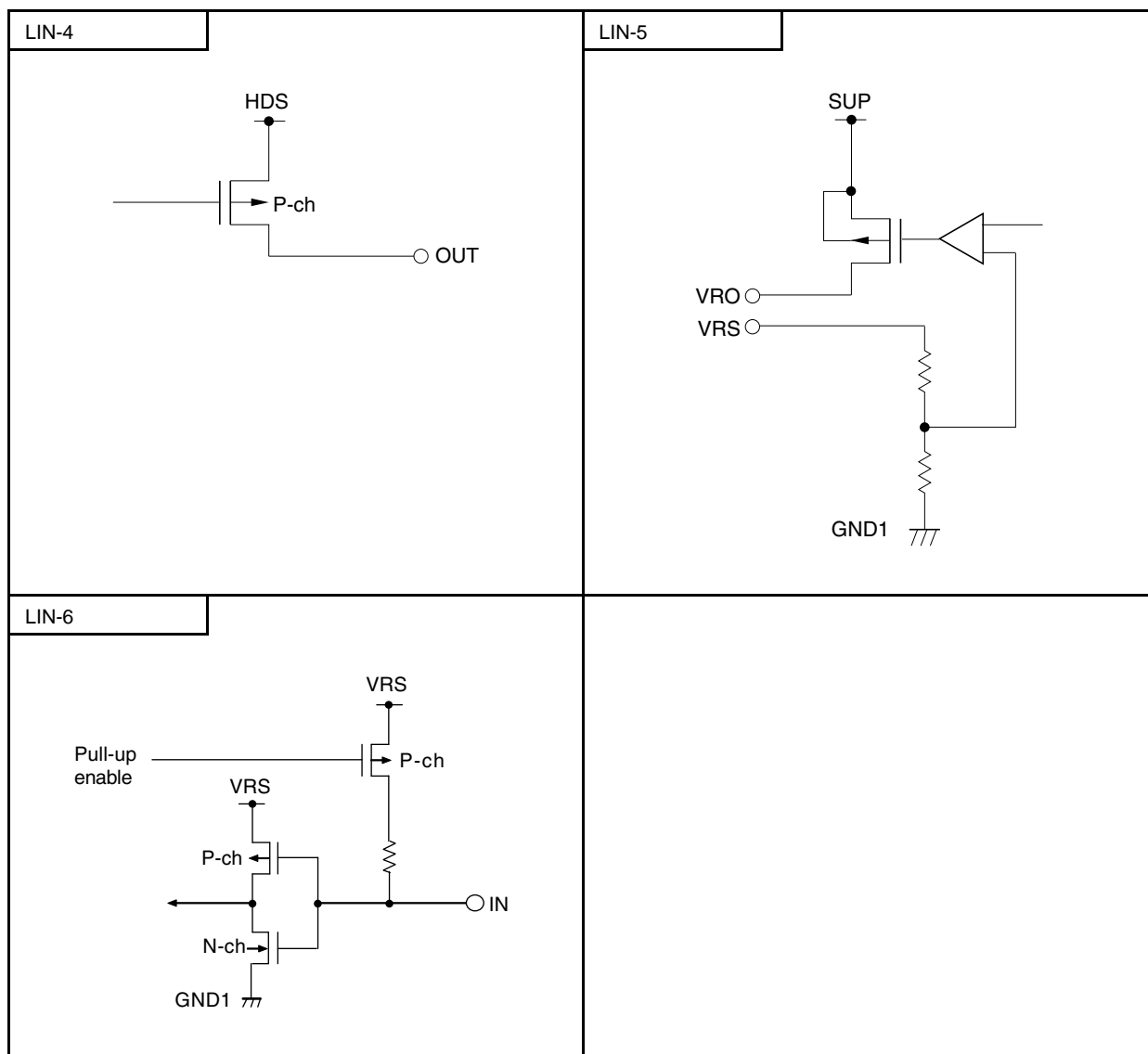
図2 - 1 端子の入出力回路一覧 (3/4)



注 1. MOD1, MOD2, SRC端子

2. SWI端子

図2 - 1 端子の入出力回路一覧 (4/4)



第3章 マイクロコントローラ機能

8ビット・マイクロコントローラ部は、78K0/KB2または78K0/KC2を搭載しています。

詳細は、78K0/Kx2 **ユーザーズ・マニュアル** (R01UH0008J) , 78K0/Kx2 **ROM拡張製品 ユーザーズ・マニュアル** (U19719J) を参照してください。

第4章 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にデバイスを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にデバイスを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

表4-1 専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時			UART6使用時		
信号名	入出力	端子機能	端子名	ピン番号		端子名	ピン番号	
				48ピン	64ピン		48ピン	64ピン
SI/RxD	入力	受信信号	SO10/P12	38	47	TxD6/P13	20	30
SO/TxD	出力	送信信号	SI10/RxD0/P11	39	48	RxD6/P14	19	29
SCK	出力	転送クロック	SCK10/TxD0/P10	40	49	-	-	-
CLK	出力	マイコンへのクロック	-注1	-	-	注2	注2	注2
/RESET	出力	リセット信号	RESET	2	3	RESET	2	3
FLMD0	出力	モード信号	FLMD0	3	6	FLMD0	3	6
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	8	11	V _{DD}	8	11
			AV _{REF}	41	50	AV _{REF}	41	50
			V _{RO}	30	38	V _{RO}	30	38
			V _{RS}	31	39	V _{RS}	31	39
			H _{DS}	26	34	H _{DS}	26	34
			S _{UP}	25	33	S _{UP}	25	33
			M _{OD1}	34	42	M _{OD1}	34	42
V _{SS}	-	グランド	V _{SS}	7	10	V _{SS}	7	10
			AV _{SS}	42	51	AV _{SS}	42	51
			GND1	13, 21-24, 37	31, 32, 45, 46	GND1	13, 21-24, 37	31, 32, 45, 46
			GND2	33	41	GND2	33	41
			M _{OD2}	35	43	M _{OD2}	35	43
			M _{SLP}	15	25	M _{SLP}	15	25
			S _{RC}	32	40	S _{RC}	32	40
			S _{WI}	28	36	S _{WI}	28	36

注1. CSI10使用時は，高速内蔵発振クロック（f_{RH}）のみ使用できます。

- UART6使用時は，X1クロック（f_X）または外部メイン・システム・クロック（f_{EXCLK}）のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合，専用フラッシュ・メモリ・プログラマの種類により，接続する端子が異なります。

・PG-FP5, FL-PR5：プログラマのCLKとEXCLK/X2/P122を接続してください。

第5章 電源回路

5.1 電源機能

電源回路は、12 V系のバッテリー供給電圧から5 V (TYP.) 電圧を生成するシリーズ・レギュレータです。次の機能を搭載しています。

- ・過電流保護機能
- ・過熱保護機能

5.2 過電流保護機能

負荷ショートなどの要因により、レギュレータ出力に過電流が流れた場合、電流制限を行い保護する回路です。過電流が流れなくなった場合、自動的に復帰します。

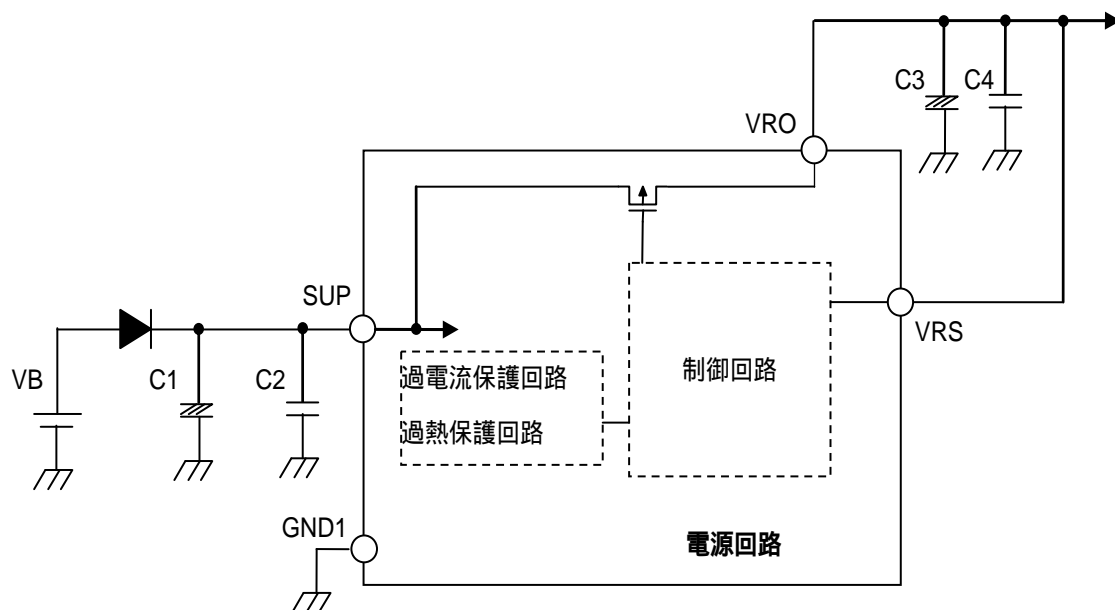
電流制限値 : 51 mA (MIN.)

5.3 過熱保護機能

過熱による破壊を防止するための保護回路です。過熱検出温度以上の温度を検出すると強制的に電源出力をオフします。電源出力を強制的にオフさせたあと、温度が低下すると自己復帰します。

注意 電源回路に内蔵している保護機能は、異常使用時におけるデバイスの保護を目的としていますので、積極的なご使用は避けてください。ジャンクション温度 (T_{jmax}) 以上が継続的に続いた場合は、本機能の機能・特性が損なわれるおそれがあります。

図5 - 1 電源回路アプリケーション例



外付け容量推奨値

C1 33 μ F

C2 0.01 μ F

4.7 μ F C3 100 μ F

C4 0.01 μ F

注意 SUP-GND端子間およびVRO-GND端子間のセラミック・コンデンサ (C2, C4) は、SUP端子およびVRO端子近傍に配置し配線を極力短くしてください。

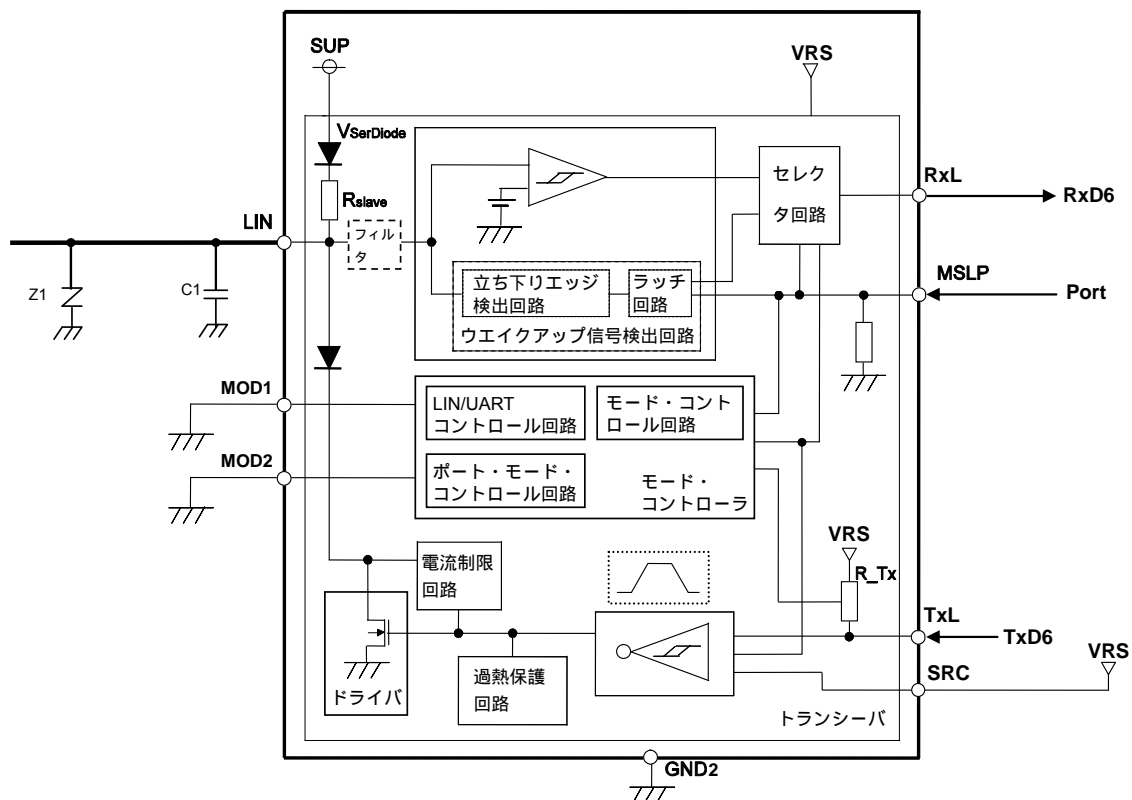
第6章 LIN トランシーバ回路

6.1 LIN トランシーバ機能

LIN トランシーバ機能および電気的特性は、LIN Specification Rev.2.0, 2.1に準拠しています。
次の機能を搭載しています。

- ・スリープ機能
- ・過電流保護機能
- ・過熱保護機能

図6 - 1 LIN トランシーバ回路アプリケーション例



- 備考1. RxLとRxD6, TxLとTxD6は、パッケージ内部で接続されています。
2. LIN端子には、スレーブ用プルアップ抵抗とダイオードが内蔵されています。

6.2 動作モード

図6-2 動作モード状態遷移図

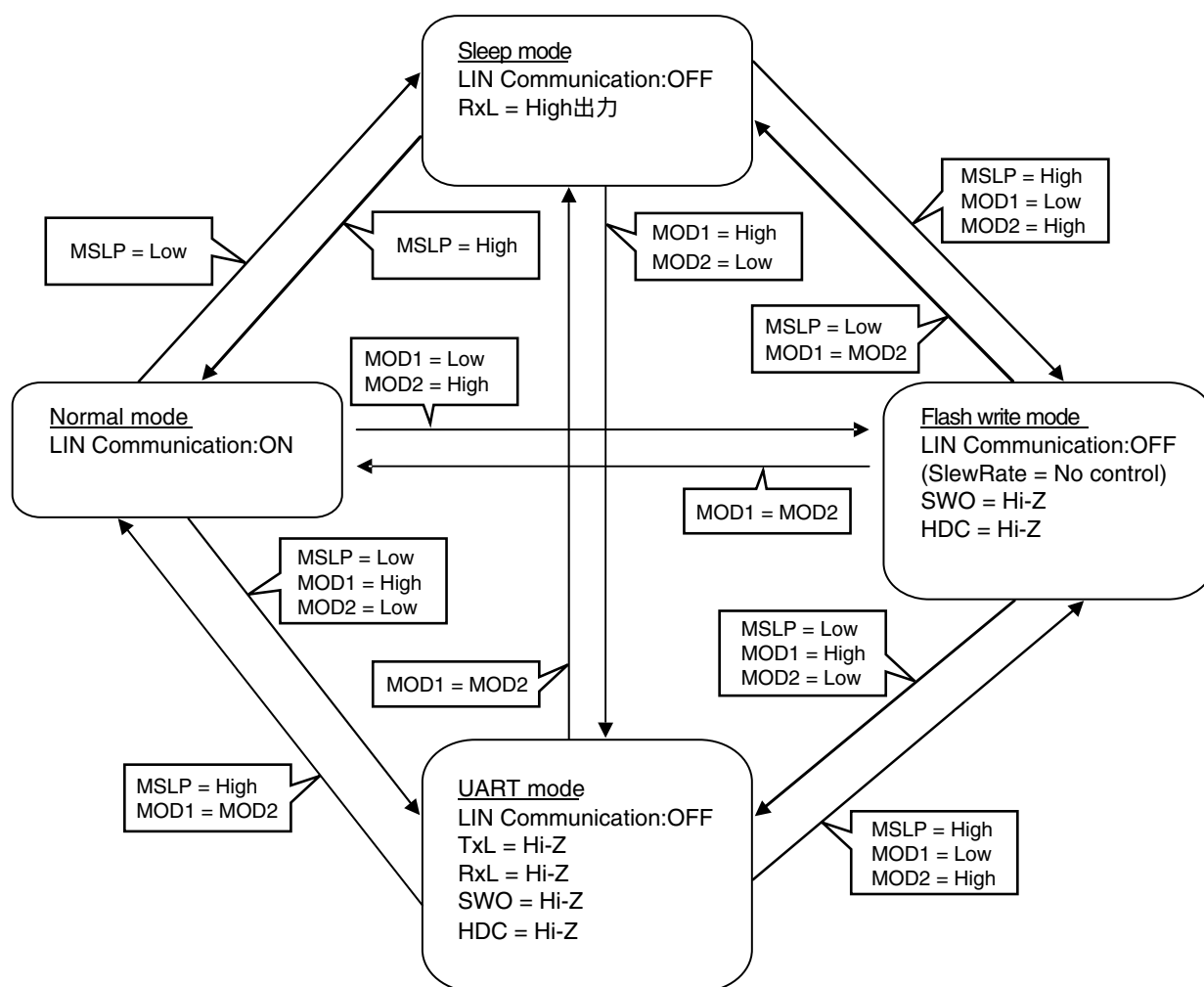


表6-1 LIN動作モード設定

LIN動作モード	スルー・レート	ポート・モード ^注	MSLP	SRC	MOD1	MOD2
LIN sleep	-	ポート・モードA	L	x	L	L
		ポート・モードB	L	x	H	H
LIN normal	Fast	ポート・モードA	H	H	L	L
		ポート・モードB	H	H	H	H
	Slow	ポート・モードA	H	L	L	L
		ポート・モードB	H	L	H	H
Flash write	OFF	ポート・モードB	H	x	L	H
UART mode	-	ポート・モードC	L	x	H	L

注 ポート・モードにおける端子状態は、表6-2 各ポート・モードの機能端子状態を参照してください。

備考 x : Don't Care

表6 - 2 各ポート・モードの機能端子状態

ポート・モード	HDC	SWO	TxL	RxL	アナログ機能の状態
ポート・モードA	プルダウン入力	出力	プルアップ入力	出力	高耐圧スイッチ入力回路, ハイ・サイド・ドライバ動作可能
ポート・モードB	Hi-Z	Hi-Z	プルアップ入力	出力	高耐圧スイッチ入力回路, ハイ・サイド・ドライバ動作停止 (P17, P30は, マイクロコントローラ機能部の端子機能のみ使用可能)
ポート・モードC	Hi-Z	Hi-Z	Hi-Z	Hi-Z	高耐圧スイッチ入力回路, ハイ・サイド・ドライバおよびLINトランシーバ動作停止 (P13, P14, P17, P30は, マクロコントローラ機能部の端子機能のみ使用可能)

・ Sleep mode

MSLP = Low, MOD1 = MOD2となった場合, Sleep modeに移行します (MSLP端子は内部でプルダウンされています)。

Sleep modeでのLINドライバ出力はTxL端子の入力状態に関係なくOFF (Recessive) 状態となり, 低消費電力状態となります。ただし, Sleep modeにおいてはLINバス・モニター機能が動作しているため, LINバスのRecessive Dominantのエッジを検出するとRxL端子はHigh Lowに遷移し, MSLP端子にハイ・レベルが入力され, Normal modeに移行するまで, RxL端子はロウ・レベルを保持します。

・ Normal mode

MSLP = High, MOD1 = MOD2となった場合, Normal modeに移行します。

Normal modeではTxL端子をハイ・レベルにするとLINドライバ出力はRecessive状態となり, TxL端子をロウ・レベルにするとLINドライバはDominant状態になります。

また, LINバスがDominant状態であればRxL端子はロウ・レベルを出力し, Recessive状態であればRxL端子はハイ・レベルを出力します。

Normal modeではLINバスを使用した通信が可能となります。

また, SRC端子の状態によりスルー・レートの切り替えができます。

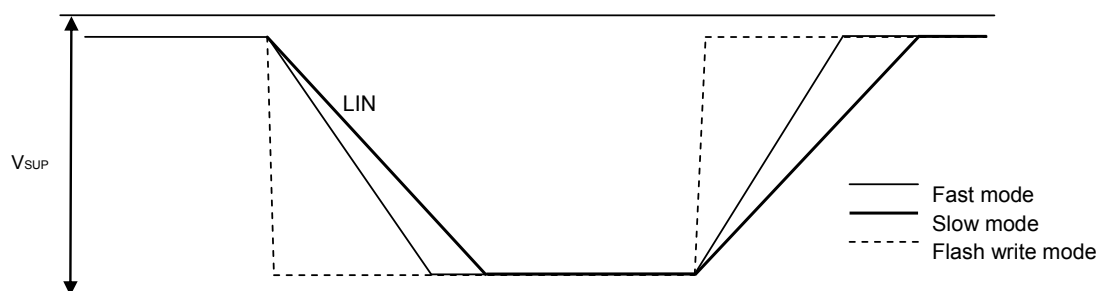
SRC = High . . . Fast mode

対応通信ボー・レート = 20 kbpsに対応したモード

SRC = Low . . . Slow mode

対応通信ボー・レート = 10.4 kbps に対応したモード

図6 - 2 スルー・レートの応答タイミング



・ Flash write mode

MSLP = High, MOD1 = Low, MOD2 = Highとなった場合, Flash write modeに移行します。
 対応通信ボー・レート = 100 kbpsに対応したモードで, これを用いることによりLINバス経由での高速通信によるフラッシュROMの書き込みができます。

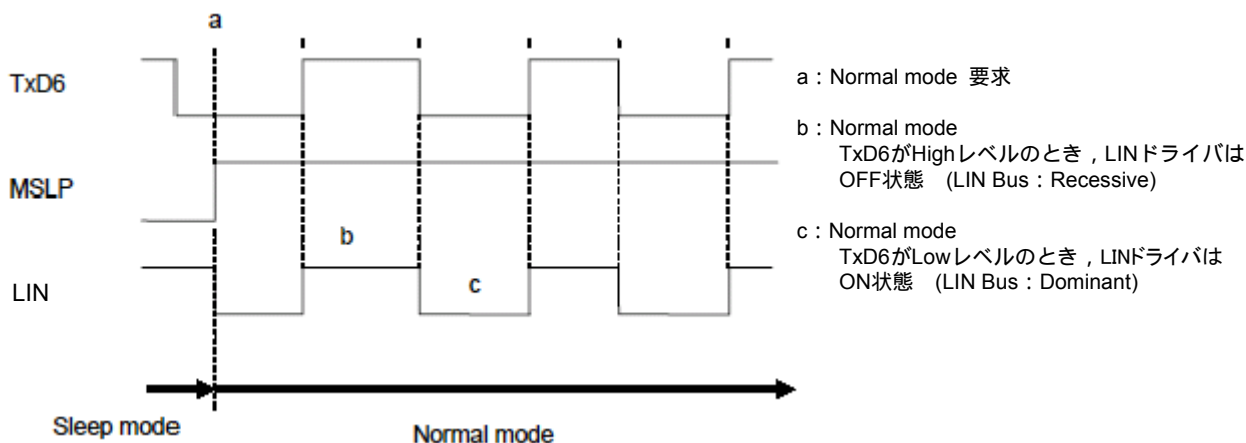
注意 Flash write modeはスルー・レート・モードの設定機能はありません。

・ UART mode

MSLP = Low, MOD1 = High, MOD2 = Lowとなった場合, UARTモードに移行します。
 UART6経由でのオンボード・フラッシュROMの書き込みができます。

図6 - 3 Normal Mode タイミング・チャート

(a) Normal mode 送信動作 (TxD6→LIN)



(b) Normal mode 受信動作 (LIN→RxD6)

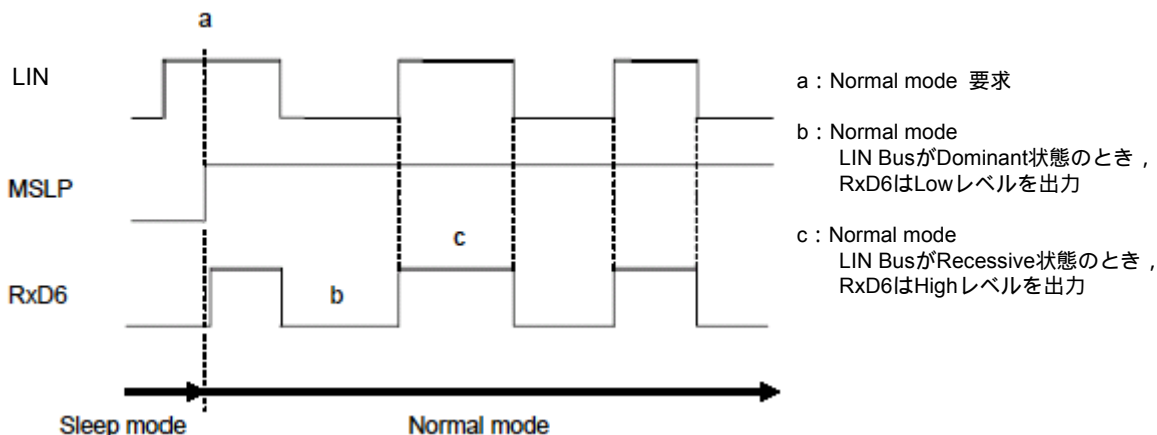
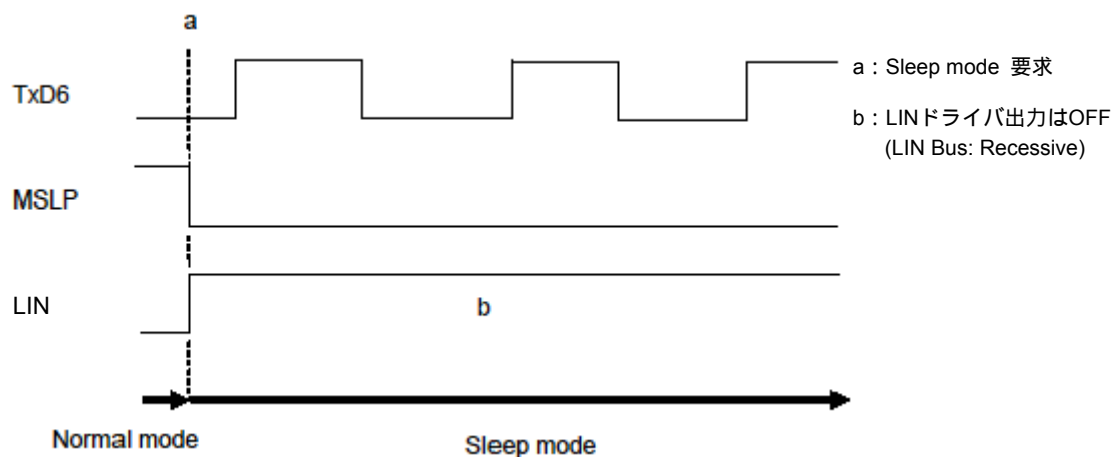
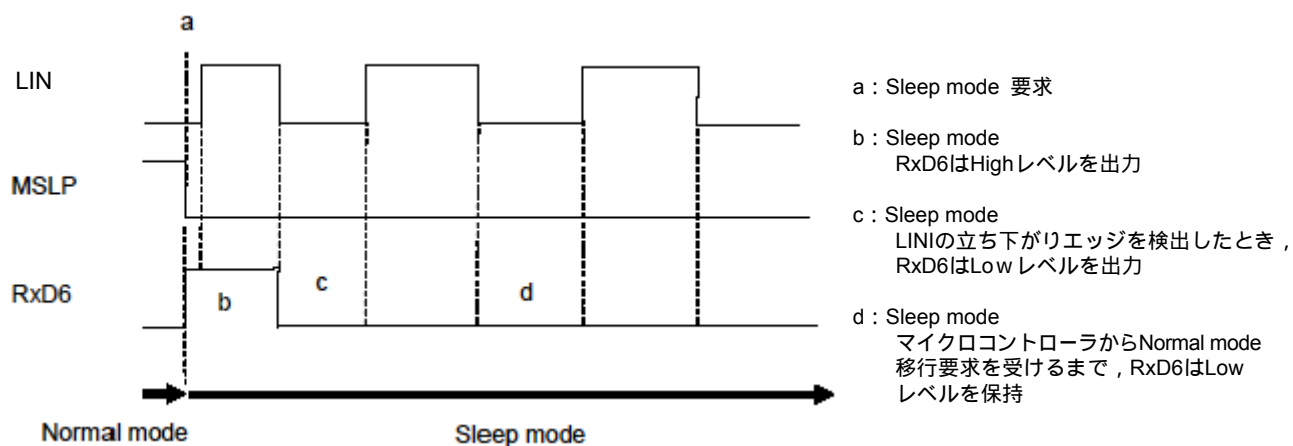


図6 - 4 Sleep Mode タイミング・チャート

(a) Sleep mode 送信動作 (TxD6→LIN)



(b) Sleep mode 受信動作 (LIN→RxD6)



6.3 過電流保護機能

負荷ショートなどの要因により、LINドライバに過電流が流れた場合、LINドライバを強制的にOFF (Recessive) 状態にし、LINドライバを保護する回路です。

過電流を検知後、LIN BusをOFF (Recessive) 状態で保持しますが、TxL端子にHighレベルを入力することで復帰します。

電流制限値：40 mA (MIN.)

6.4 過熱保護機能

過熱保護回路は、LIN出力ドライバ部の過熱による破壊、劣化を防止する回路です。

LIN出力ドライバ部の温度が過熱検出値 (MIN: 150) を越えた場合、LINドライバは強制的にLIN端子のN-chオープン・ドレイン出力をOFFにします。

温度が低下した場合、自動的に復帰します。

注意 LINトランシーバ回路に内蔵している保護機能は、異常使用時におけるデバイスの保護を目的としていますので、積極的な使用は避けてください。ジャンクション温度 (T_{jmax}) 以上が継続的に続いた場合は、本機能の機能・特性が損なわれるおそれがあります。

第7章 ドライバ回路

ドライバ回路には、ハイ・サイド・ドライバ1 chを搭載しています。

ハイ・サイド・ドライバを使用する場合は、MOD1とMOD2をそれぞれLowレベルに設定してください。

7.1 ハイ・サイド・ドライバ

・HDR : 1 ch

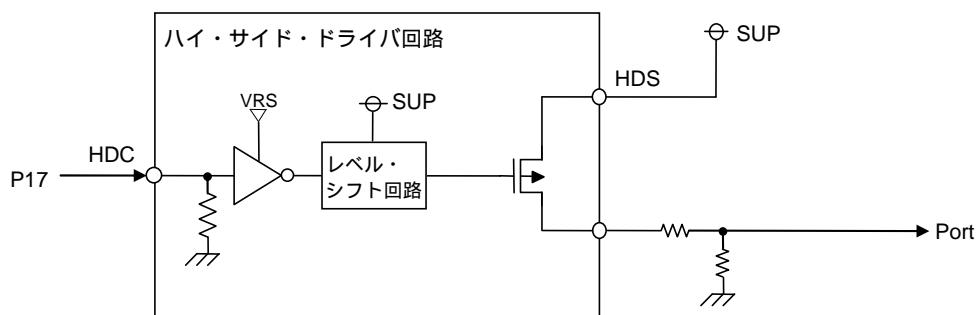
用途：供給電源電圧モニタ用ハイ・サイド・ドライバとして使用できます。

入力回路は、プルダウン抵抗が内蔵されています。

表7 - 1 真理値表

HDC	HDR
High	High
Low	Hi-z

図7 - 1 ハイ・サイド・ドライバ回路アプリケーション例



注意 SUPとHDSは同電位としてください。

第8章 高耐圧スイッチ入力回路

8.1 スイッチ入力機能

スイッチ入力回路は、12 Vバッテリー電圧を直接入力可能な回路です。

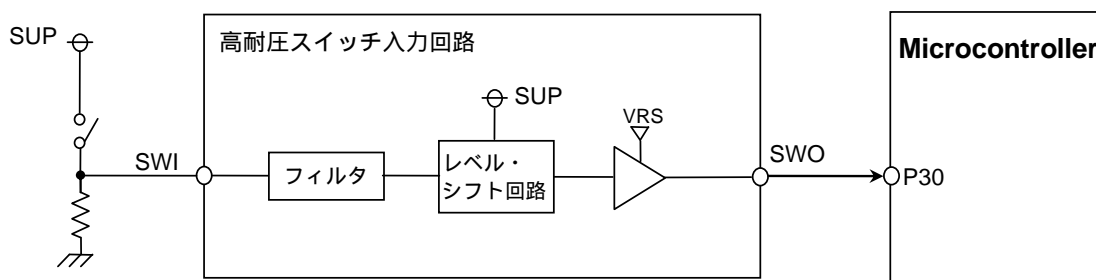
SWIに入力された信号は、0 V/5 V信号に変換されSWOから出力されます。

高耐圧スイッチ入力回路を使用する場合は、MOD1とMOD2をそれぞれLowレベルに設定してください。

表8 - 1 真理値表

SWI	SWO
High	High
Low	Low

図8 - 1 アプリケーション例



備考 フィルタのカットオフ周波数 = 150 kHz

第9章 電気的特性 ((A)水準品)

対象製品	品 名
48ピン	μ PD78F8026(A), 78F8027(A), 78F8028(A), 78F8029(A), 78F8030(A), 78F8032D
64ピン	μ PD78F8033(A), 78F8034(A), 78F8035(A), 78F8036(A), 78F8037(A), 78F8039D

注意 1. μ PD78F8032D, 78F8039Dには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	μPD78F8026-78F8030, 78F8032D	μPD78F8033-78F8037, 78F8039D
	48ピン	
ポート0	P00, P01	
ポート1	P10-P17	
ポート2	P20-P23	P20-P27
ポート3	P30-P33	
ポート4	-	P40, P41
ポート6	P60, P61	P60-P63
ポート7	-	P70-P75
ポート12	P120-P122	P120-P124
ポート13	-	P130
ポート14	-	P140

(次ページに続きの表があります)

(2) ポート以外の機能

機能		μPD78F8026-78F8030, 78F8032D 48ピン	μPD78F8033-78F8037, 78F8039D 64ピン
電源, グランド		V _{DD} , AV _{REF} , V _{SS} , AV _{SS}	
レギュレータ		REGC	
リセット		RESET	
クロック発振		X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK, EXCLKS
フラッシュ書き込み		FLMD0	
割り込み		INTP0-INTP5	INTP0-INTP6
キー割り込み		-	KR0-KR3
タイマ	TM00	TI000, TI010, TO00	
	TM50	TI50, TO50	
	TM51	TI51, TO51	
	TMH0	TOH0	
	TMH1	TOH1	
シリアル・インタフェース	UART0	RxD0, TxD0	
	UART6	RxD6, TxD6	
	IIC0	SCL0, SDA0	SCL0, SDA0, EXSCL0
	CSI10	SCK10, SI10, SO10	
A/Dコンバータ		ANI0-ANI3	ANI0-ANI7
クロック出力		-	PCL
LVI回路		EXLVI	
オンチップ・デバッグ機能		OCD0A, OCD1A, OCD0B, OCD1B (μPD78F8032D, 78F8039D (オンチップ・デバッグ機能搭載品) のみ搭載)	
電源		SUP, VRO, VRS	
LINトランシーバ		LIN, SRC, MOD1, MOD2	
ドライバ		HDC, HDR, HDS	
高耐圧スイッチ入力回路		SWI, SWO	

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

9.1 絶対最大定格

マイクロコントローラ部絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位	
電源電圧	V _{DD}			- 0.5 ~ + 6.5	V	
	V _{SS}			- 0.5 ~ + 0.3	V	
	AV _{REF}			- 0.5 ~ V _{DD} + 0.3 ^注	V	
	AV _{SS}			- 0.5 ~ + 0.3	V	
入力電圧	V _{I1}	P00, P01, P10-P17, P20-P27, P30-P33, P40, P41, P70-P75, P120-P124, P140, X1, X2, XT1, XT2, RESET, FLMD0		- 0.3 ~ V _{DD} + 0.3	V	
	V _{I2}	P60-P63 (N-chオープン・ドレイン)		- 0.3 ~ + 6.5	V	
REGC端子入力電圧	V _{I_{REGC}}			- 0.5 ~ + 3.6かつ - 0.5 ~ V _{DD}	V	
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3 ^注	V	
アナログ入力電圧	V _{AN}	ANI0-ANI7		- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P00, P01, P10-P17, P30-P33, P40, P41, P70-P75, P120, P130, P140	- 10	mA	
		端子合計 - 80 mA	P00, P01, P40, P41, P120, P130, P140 P10-P17, P30-P33, P70-P75	- 25 - 55		
		I _{OH2}	1端子	P20-P27		- 0.5
	I _{OH2}	端子合計			- 2	
		I _{OH3}	1端子	P121-P124	- 1	mA
	端子合計			- 4		
	ロウ・レベル出力電流	I _{OL1}	1端子	P00, P01, P10-P17, P30-P33, P40, P41, P60-P63, P70-P75, P120, P130, P140	30	mA
			端子合計 200 mA	P00, P01, P40, P41, P120, P130, P140 P10-P17, P30-P33, P60-P63, P70-P75	60 140	
I _{OL2}			1端子	P20-P27	1	
I _{OL2}		端子合計			5	
		I _{OL3}	1端子	P121-P124	4	mA
端子合計				10		

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

アナログ部絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{SUP1}	SUP, HDS, 400 ms	- 0.3 ~ + 60	V
	V _{SUP2}	SUP, HDS	- 0.3 ~ + 40	V
入力電圧	V _{IA1}	LIN, SWI, 400 ms	- 0.3 ~ + 60	V
	V _{IA2}	LIN, SWI	- 0.3 ~ + 40	V
	V _{IA3}	VRS	- 0.3 ~ + 6	V
	V _{IA4}	MOD1, MOD2, MSLP, HDC, SRC, TxL	- 0.3 ~ VRS + 0.3	V
LIN負入力電圧	V _{ILin}	LIN, 7 V V _{SUP} 19 V, 1 s	V _{SUP} - 40	V
出力電圧	V _{OA1}	LIN, HDR, 400 ms	- 0.3 ~ + 60	V
	V _{OA2}	LIN, HDR	- 0.3 ~ + 40	V
	V _{OA3}	VRO	- 0.3 ~ + 6	V
	V _{OA4}	SWO, RxL	- 0.3 ~ VRS + 0.3	V
出力電流	I _{RO1}	VRO	セルフ・リミット ^注	mA
	I _{LIN}	LIN	セルフ・リミット ^注	mA
	I _{HDR}	HDR	25	mA
	I _{Rx}	RxL	- 10 ~ + 10	mA
	I _{SWO}	SWO	- 10 ~ + 10	mA

注 過電流制限回路により、電流制限がかかる電流値です。

絶対最大定格共通項目

項目	略号	条件	定格	単位
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	
ジャンクション温度	T _{jmax}		150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

9.2 マイクロコントローラ部電気的特性

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック発振周波数 (f_x) ^{注1}	2.7 V $V_{DD} = 5.5$ V	1.0 ^{注2}		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	1.0		5.0	

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

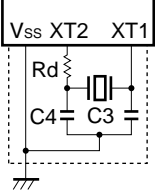
発振子	項目	条件		MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f_{RH}) ^注	RSTS = 1	2.7 V $V_{DD} = 5.5$ V	7.6	8.0	8.4	MHz
			1.8 V $V_{DD} < 2.7$ V	7.6	8.0	10.4	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f_{RL})	2.7 V $V_{DD} = 5.5$ V		216	240	264	kHz
		1.8 V $V_{DD} < 2.7$ V		192	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性^{注1}

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周 波数 (f_{XT}) ^{注2}		32	32.768	35	kHz

注1. 48ピン製品には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/5)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00, P01, P10-P17, P30-P33, P40, P41, P70-P75, P120, P130, P140 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			- 3.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 2.5	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 1.0	mA
		P00, P01, P40, P41, P120, P130, P140 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			- 12.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 7.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 5.0	mA
		P10-P17, P30-P33, P70-P75 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			- 18.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 15.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 10.0	mA
	全端子合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			- 23.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$			- 20.0	mA	
		1.8 V $V_{DD} < 2.7\text{ V}$			- 15.0	mA	
	IOH2	P20-P27 1端子	$AV_{REF} = V_{DD}$			- 0.1	mA
		P121-P124 1端子				- 0.1	mA
ロウ・レベル出力電流 ^{注3}	IOL1	P00, P01, P10-P17, P30-P33, P40, P41, P70-P75, P120, P130, P140 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			8.5	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			5.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			2.0	mA
		P60-P63 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			15.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			5.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			2.0	mA
		P00, P01, P40, P41, P120, P130, P140 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			20.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			15.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			9.0	mA
		P10-P17, P30-P33, P60-P63, P70-P75 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			45.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			35.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			20.0	mA
		全端子合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$			65.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			50.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			29.0	mA
	IOL2	P20-P27 1端子	$AV_{REF} = V_{DD}$			0.4	mA
		P121-P124 1端子				0.4	mA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70%の条件(ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn%の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50%, I_{OH} = - 20.0 mAの場合

端子合計の出力電流 = $(- 20.0 \times 0.7) / (50 \times 0.01) = - 28.0\text{ mA}$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) ^{注1}	V _{IH1}	P12, P13, P15, P40, P41, P121-P124	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P75, P120, P140, RESET, EXCLK, EXCLKS	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63		0.7V _{DD}	6.0	V
ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) ^{注2}	V _{IH1}	P12, P13, P15, P40, P41, P121-P124	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P75, P120, P140, RESET, EXCLK, EXCLKS	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V
	V _{IH4}	P60-P63		0.7V _{DD}	6.0	V
ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) ^{注1}	V _{IL1}	P12, P13, P15, P40, P41, P60-P63, P121-P124	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P75, P120, P140, RESET, EXCLK, EXCLKS	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) ^{注2}	V _{IL1}	P12, P13, P15, P40, P41, P60-P63, P121-P124	0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P75, P120, P140, RESET, EXCLK, EXCLKS	0		0.2V _{DD}	V
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	P00, P01, P10-P17, P30-P33, P40, P41, P70-P75, P120, P130, P140	4.0 V $V_{DD} \geq 5.5 \text{ V}$, I _{OH1} = - 3.0 mA	V _{DD} - 0.7		V
			2.7 V $V_{DD} < 4.0 \text{ V}$, I _{OH1} = - 2.5 mA	V _{DD} - 0.5		V
			1.8 V $V_{DD} < 2.7 \text{ V}$, I _{OH1} = - 1.0 mA	V _{DD} - 0.5		V
	V _{OH2}	P20-P27 P121-P124	AV _{REF} = V _{DD} , I _{OH2} = - 100 μA	V _{DD} - 0.5		V
			I _{OH2} = - 100 μA	V _{DD} - 0.5		V

注1. 対応製品：フラッシュ・メモリが48 Kバイト以上の48ピン製品と64ピン製品

2. 対応製品：フラッシュ・メモリが32 Kバイト以下の48ピン製品と64ピン製品

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電圧	VOL1	P00, P01, P10-P17, P30-P33, P40, P41, P70-P75, P120, P130, P140	4.0 V $V_{DD} = 5.5$ V, $I_{OL1} = 8.5$ mA			0.7	V
			2.7 V $V_{DD} < 4.0$ V, $I_{OL1} = 5.0$ mA			0.7	V
			1.8 V $V_{DD} < 2.7$ V, $I_{OL1} = 2.0$ mA			0.5	V
			1.8 V $V_{DD} < 2.7$ V, $I_{OL1} = 1.0$ mA			0.5	V
			1.8 V $V_{DD} < 2.7$ V, $I_{OL1} = 0.5$ mA			0.4	V
	VOL2	P20-P27 P121-P124	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4$ mA			0.4	V
			$I_{OL2} = 0.4$ mA			0.4	V
	VOL3	P60-P63	4.0 V $V_{DD} = 5.5$ V, $I_{OL3} = 15.0$ mA			2.0	V
			4.0 V $V_{DD} = 5.5$ V, $I_{OL3} = 5.0$ mA			0.4	V
			2.7 V $V_{DD} < 4.0$ V, $I_{OL1} = 5.0$ mA			0.6	V
			2.7 V $V_{DD} < 4.0$ V, $I_{OL1} = 3.0$ mA			0.4	V
1.8 V $V_{DD} < 2.7$ V, $I_{OL1} = 2.0$ mA					0.4	V	
ハイ・レベル入力リーク電流	ILIH1	P00, P01, P10-P17, P30-P33, P40, P41, P60-P63, P70-P75, P120, P130, P140, FLMD0, RESET	$V_i = V_{DD}$			1	μA
			$V_i = AV_{REF}$, $AV_{REF} = V_{DD}$			1	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$ I/Oポート・モード			1	μA
			OSCモード			20	μA
ロウ・レベル入力リーク電流	ILIL1	P00, P01, P10-P17, P30-P33, P40, P41, P60-P63, P70-P75, P120, P130, P140, FLMD0, RESET	$V_i = V_{SS}$			-1	μA
			$V_i = V_{SS}$, $AV_{REF} = V_{DD}$			-1	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$ I/Oポート・モード			-1	μA
			OSCモード			-20	μA
ブルアップ抵抗値	R _U	$V_i = V_{SS}$	10	20	100	kΩ	
FLMD0電源電圧	V _{IL}	通常動作時	0		0.2V _{DD}	V	
	V _{IH}	セルフ・プログラミング時	0.8V _{DD}		V _{DD}	V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	動作モード	$f_{XH} = 20\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2}	方形波入力		3.2	5.5	mA	
				発振子接続		4.5	6.9	mA	
			$f_{XH} = 20\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2}	方形波入力		3.2	5.5	mA	
				発振子接続		4.2	6.6	mA	
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2,3}	方形波入力		1.6	2.8	mA	
				発振子接続		2.3	3.9	mA	
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2,3}	方形波入力		1.5	2.7	mA	
				発振子接続		2.2	3.2	mA	
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2,3}	方形波入力		0.9	1.6	mA	
				発振子接続		1.3	2.0	mA	
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 2.0\text{ V}$ ^{注2,3}	方形波入力		0.7	1.4	mA	
				発振子接続		1.0	1.6	mA	
			$f_{RH} = 8\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注4}				1.4	2.5	mA
			$f_{SUB} = 32.768\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注5,6}	方形波入力		6	30	μA	
	発振子接続			15	35	μA			
	IDD2	HALTモード	$f_{XH} = 20\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2}	方形波入力		0.8	2.6	mA	
				発振子接続		2.0	4.4	mA	
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2,3}	方形波入力		0.4	1.3	mA	
				発振子接続		1.0	2.4	mA	
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2,3}	方形波入力		0.2	0.65	mA	
発振子接続					0.5	1.1	mA		
$f_{RH} = 8\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注4}				0.4	1.2	mA			
$f_{SUB} = 32.768\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注5,6}	方形波入力		3.0	27	μA				
	発振子接続		12	32	μA				
IDD3 ^{注7}	STOPモード				1	20	μA		
		$V_{DD} = 5.0\text{ V}$, $T_A = -40 \sim +70$			1	10	μA		

- 注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流と入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
6. サブシステム・クロックは, μ PD78F8033-78F8037, 78F8039Dのみ。
7. 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
A/Dコンバータ動作電流	I_{ADC} ^{注1}	2.3 V $AV_{REF} = V_{DD}$, $ADCS = 1$		0.86	1.9	mA
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注2}	240 kHz 低速内蔵発振クロック動作時		5	10	μ A
LVI動作電流	I_{LVI} ^{注3}			9	18	μ A

注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、マイクロコントローラ部の電流値となります。

2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、マイクロコントローラ部の電流値となります。

3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、マイクロコントローラ部の電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP})動作	2.7 V $V_{DD} \leq 5.5\text{ V}$	0.1		32	μs
			1.8 V $V_{DD} < 2.7\text{ V}$	0.4 ^{注1}		32	μs
		サブシステム・クロック (f _{XT})動作 ^{注2}		114	122	125	μs
周辺ハードウェア・クロック 周波数	f _{PRS}	f _{PRS} = f _{XH} (XSEL = 1)	4.0 V $V_{DD} \leq 5.5\text{ V}$			20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$ ^{注3}			20	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz
		f _{PRS} = f _{RH} (XSEL = 0)	2.7 V $V_{DD} < 5.5\text{ V}$	7.6		8.4	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$ ^{注4}	7.6		10.4	MHz
外部メイン・システム・ クロック周波数	f _{EXCLK}	2.7 V $V_{DD} \leq 5.5\text{ V}$	1.0 ^{注5}		20.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	1.0		5.0	MHz	
外部メイン・システム・ クロック入力ハイ, ロウ・レベル幅	t _{EXCLKH}	2.7 V $V_{DD} \leq 5.5\text{ V}$	24			ns	
	t _{EXCLKL}	1.8 V $V_{DD} < 2.7\text{ V}$	96			ns	
外部サブシステム・クロック 周波数 ^{注2}	f _{EXCLKS}		32	32.768	35	kHz	
外部サブシステム・ クロック入力ハイ, ロウ・レベル幅 ^{注2}	t _{EXCLKSH}		12			μs	
	t _{EXCLKSL}						
TI000, TI010 入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TILO}	4.0 V $V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.1$ ^{注6}			μs	
		2.7 V $V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2$ ^{注6}			μs	
		1.8 V $V_{DD} < 2.7\text{ V}$	$2/f_{sam} + 0.5$ ^{注6}			μs	
TI50, TI51入力周波数	f _{TI5}	4.0 V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			10	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz	

注1. 8 MHz内蔵発振器で動作時は、0.38 μsとなります。

2. サブシステム・クロックは、μ PD78F8033-78F8037, 78F8039Dのみ。

3. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{XH}/2 (10 MHz) 以下にしてください。ただし乗除算器回路については、f_{XH} (20 MHz) での動作が可能です。

4. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{RH}/2以下にしてください。

5. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

6. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、f_{sam} = f_{PRS}となります。

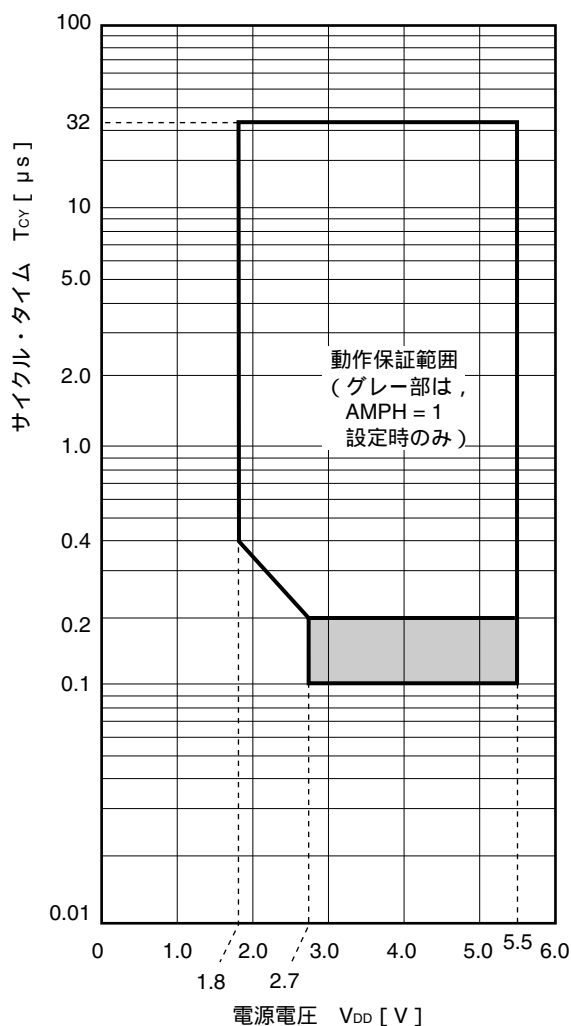
注意 製品により, 搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +85$, 1.8 V V_{DD} 5.5 V, AV_{REF} V_{DD} , $V_{SS} = AV_{SS} = 0$ V)

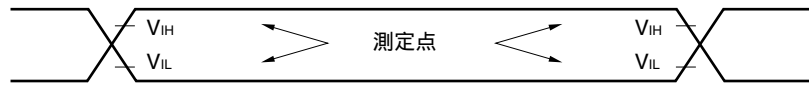
項目	略号	条件	MIN.	TYP.	MAX.	単位
TI50, TI51 入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH5} , t_{TIL5}	4.0 V V_{DD} 5.5 V	50			ns
		2.7 V $V_{DD} < 4.0$ V	50			ns
		1.8 V $V_{DD} < 2.7$ V	100			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μ s
キー割り込み入力 ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μ s

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

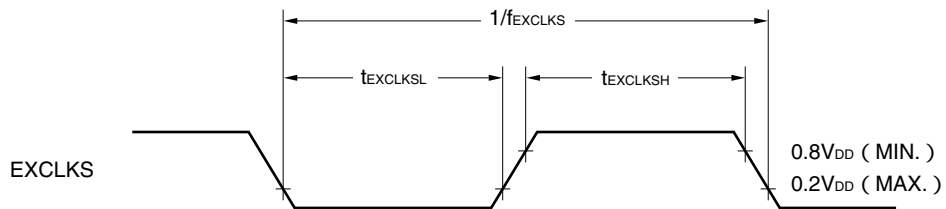
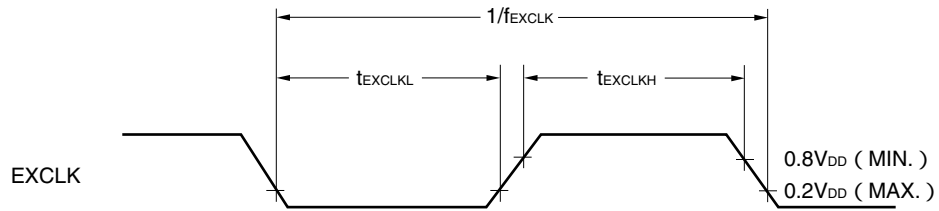


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

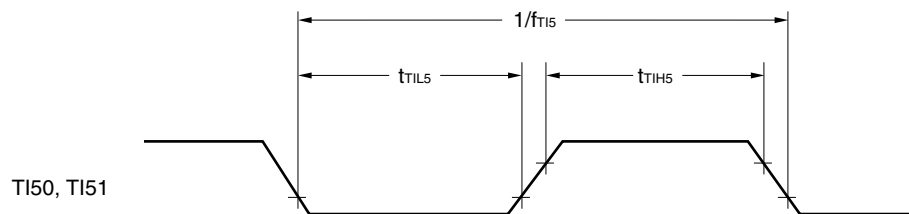
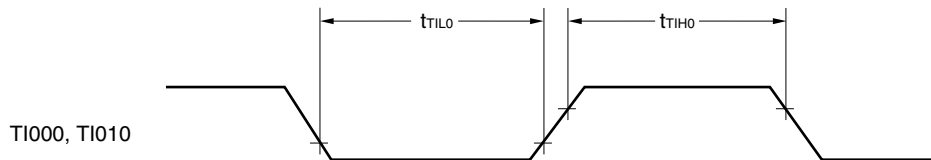
ACタイミング測定点



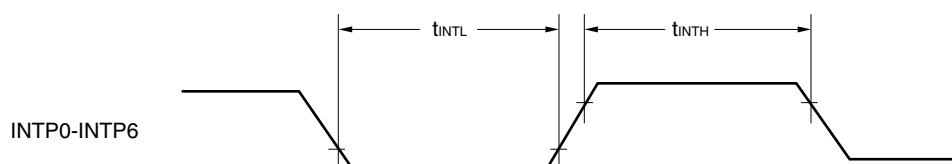
外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング



TIタイミング

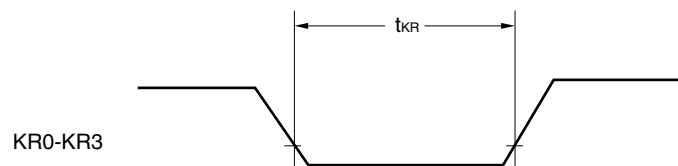


割り込み要求入力タイミング

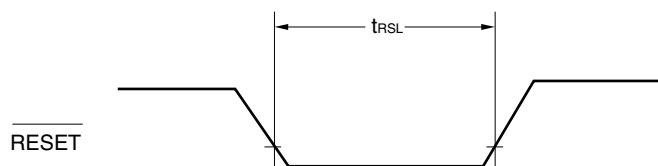


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

キー割り込み入力タイミング



RESET入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) IIC0

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}		4.7		0.6		μs
ホールド時間 ^{注1}	t _{HD:STA}		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t _{LOW}	内部クロック動作	4.7		1.3		μs
		EXSCL0クロック(6.4 MHz)動作	4.7		1.25		μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250		100		ns
データ・ホールド時間(送信時) ^{注2}	t _{HD:DAT}	f _w = f _{XH} /2 ^N 選択時 ^{注3} または	0	3.45	0	0.9 ^{注4}	μs
		f _w = f _{EXSCL0} 選択時 ^{注3}				1.00 ^{注5}	μs
		f _w = f _{RH} /2 ^N 選択時 ^{注3}	0	3.45	0	1.05	μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}		4.0		0.6		μs
バス・フリー時間	t _{HD:BUF}		4.7		1.3		μs

注1. スタート/リスタート・コンディション時は、この期間のあとに最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値(MAX.)は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ)タイミングでは、ウエイトがかかります。

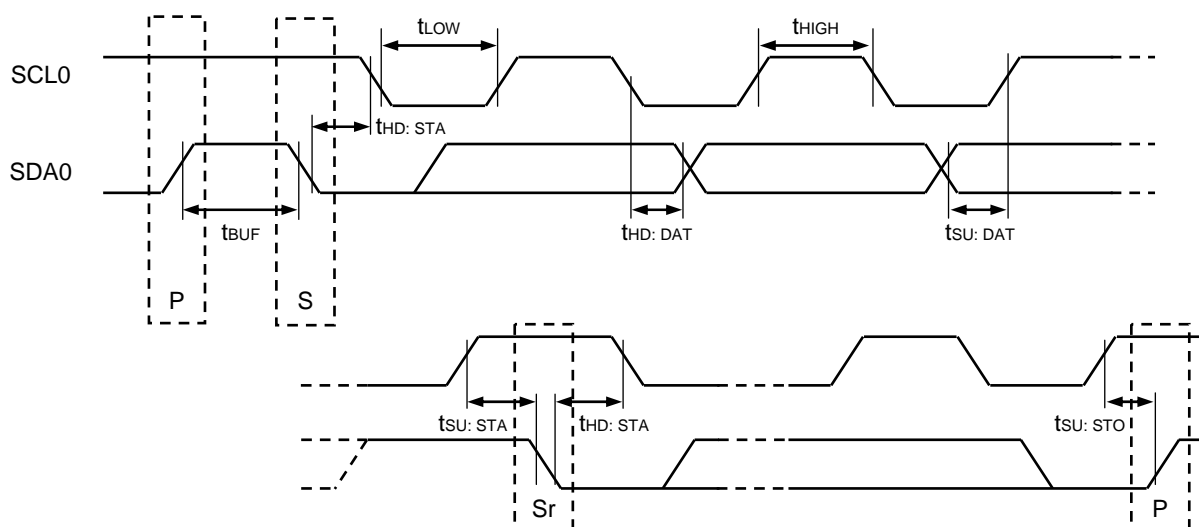
3. f_wは、IICL0レジスタとIICX0レジスタで選択した転送クロックを示します。

4. f_w 4.4 MHz選択時

5. f_w < 4.4 MHz選択時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

IIC0転送タイミング



- P : ストップ・コンディション
- S : スタート・コンディション
- Sr : リスタート・コンディション

(d) CSI10 (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	tkCY1	4.0 V V_{DD} 5.5 V	200			ns
		2.7 V $V_{DD} < 4.0$ V	400			ns
		1.8 V $V_{DD} < 2.7$ V	600			ns
SCK10ハイ、ロウ・レベル幅	tkH1, tkL1	4.0 V V_{DD} 5.5 V	$tkCY1/2 - 20$ 注1			ns
		2.7 V $V_{DD} < 4.0$ V	$tkCY1/2 - 30$ 注1			ns
		1.8 V $V_{DD} < 2.7$ V	$tkCY1/2 - 60$ 注1			ns
SI10セットアップ時間 (対 $\overline{\text{SCK10}}$)	tsIK1	4.0 V V_{DD} 5.5 V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
		1.8 V $V_{DD} < 2.7$ V	190			ns
SI10ホールド時間 (対 $\overline{\text{SCK10}}$)	tkSI1		30			ns
SCK10 SO10出力遅延時間	tkSO1	C = 50 pF ^{注2}			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、 $\overline{\text{SCK10}}$, SO10出力ラインの負荷容量です。

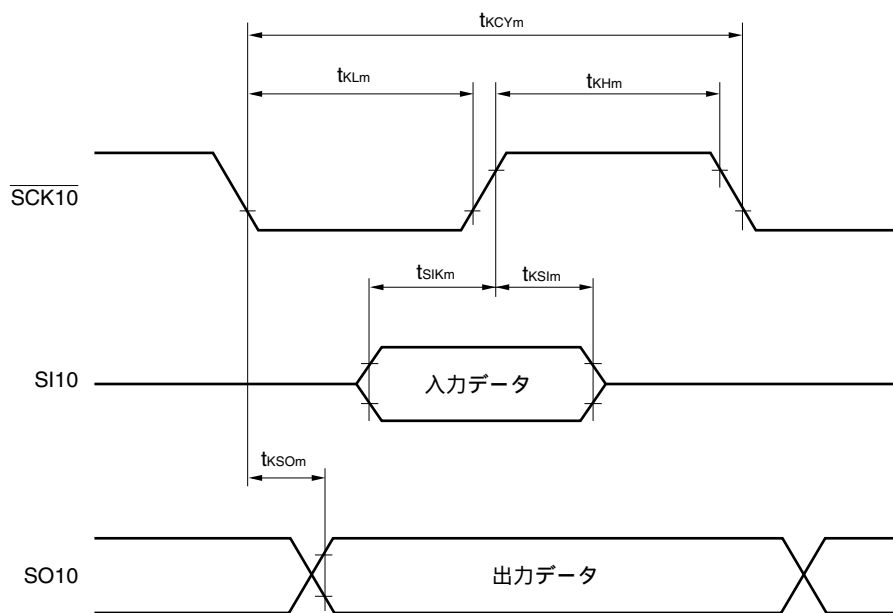
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(e) CSI10 (スレーブ・モード, $\overline{\text{SCK10}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK10}}$ サイクル・タイム	$t_{\text{KCY}2}$		400			ns
$\overline{\text{SCK10}}$ ハイ, ロウ・レベル幅	$t_{\text{KH}2}$, $t_{\text{KL}2}$		$t_{\text{KCY}2}/2$			ns
SI10 セットアップ時間 (対 $\overline{\text{SCK10}}$)	$t_{\text{SIK}2}$		80			ns
SI10 ホールド時間 (対 $\overline{\text{SCK10}}$)	$t_{\text{KSI}2}$		50			ns
$\overline{\text{SCK10}}$ SO10 出力遅延時間	$t_{\text{KSO}2}$	C = 50 pF ^注	4.0 V $V_{\text{DD}} < 5.5 \text{ V}$		120	ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$		120	ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$		180	ns

注 Cは、SO1n出力ラインの負荷容量です。

CSI10 転送タイミング



備考 m = 1, 2

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5 V, 2.3 V$ $V_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $V_{REF} = 5.5 V$			±0.4	%FSR
		2.7 V $V_{REF} < 4.0 V$			±0.6	%FSR
		2.3 V $V_{REF} < 2.7 V$			±1.2	%FSR
変換時間	tCONV	4.0 V $V_{REF} = 5.5 V$	6.1		66.6	μs
		2.7 V $V_{REF} < 4.0 V$	12.2		66.6	μs
		2.3 V $V_{REF} < 2.7 V$	27		66.6	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	4.0 V $V_{REF} = 5.5 V$			±0.4	%FSR
		2.7 V $V_{REF} < 4.0 V$			±0.6	%FSR
		2.3 V $V_{REF} < 2.7 V$			±0.6	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	4.0 V $V_{REF} = 5.5 V$			±0.4	%FSR
		2.7 V $V_{REF} < 4.0 V$			±0.6	%FSR
		2.3 V $V_{REF} < 2.7 V$			±0.6	%FSR
積分直線性誤差 ^{注1}	I _{LE}	4.0 V $V_{REF} = 5.5 V$			±2.5	LSB
		2.7 V $V_{REF} < 4.0 V$			±4.5	LSB
		2.3 V $V_{REF} < 2.7 V$			±6.5	LSB
微分直線性誤差 ^{注1}	D _{LE}	4.0 V $V_{REF} = 5.5 V$			±1.5	LSB
		2.7 V $V_{REF} < 4.0 V$			±2.0	LSB
		2.3 V $V_{REF} < 2.7 V$			±2.0	LSB
アナログ入力電圧	V _{AIN}		AV _{SS}		AV _{REF}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

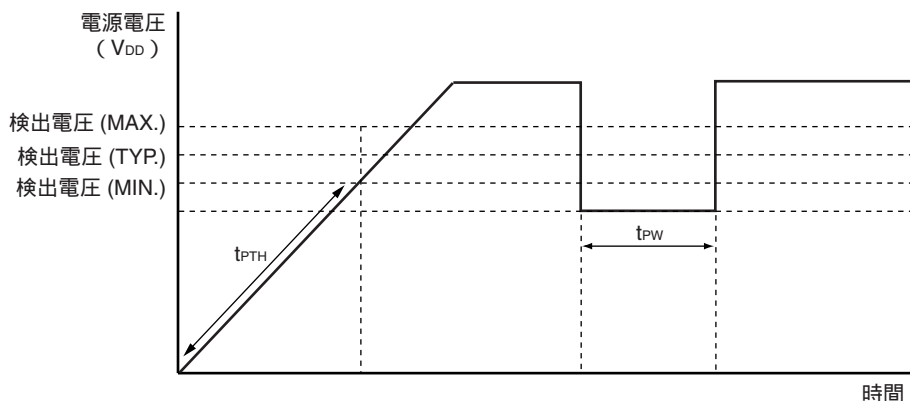
2. フルスケール値に対する比率 (%FSR) で表します。

1.59 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t _{PTH}	$V_{DD} : 0 V$ V_{POC} の変化傾き	0.5			V/ms
最小パルス幅	t _{PW}		200			μs

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

POC回路タイミング

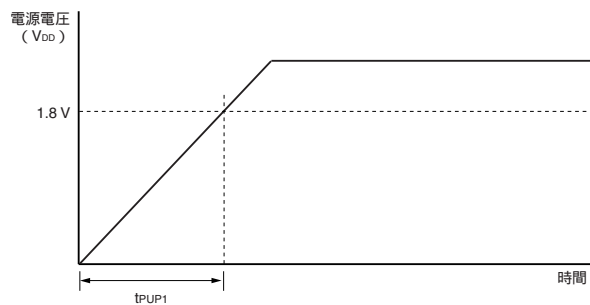


電源電圧立ち上げ時間 (TA = -40 ~ +85 , VSS = 0 V)

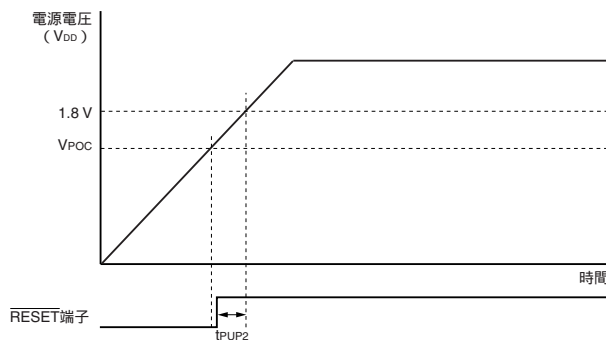
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 (VDD : 0 V 1.8 V)	tPUP1	POCMODE (オプション・バイト) = 0 , RESET入力未使用時			3.6	ms
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 (RESET入力解除 VDD : 1.8 V)	tPUP2	POCMODE (オプション・バイト) = 0 , RESET入力使用時			1.9	ms

電源電圧立ち上げ時間のタイミング

・ RESET端子入力未使用時



・ RESET端子入力使用時



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

2.7 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 V$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えるときリセットが解除されます。その後、電源投入時と同様に、 V_{POC} で POC 検出が行われます。 POCMODE = 0 の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 V$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えるときリセットが解除されます。その後、 V_{DDPOC} での POC 検出は行われず、 $V_{POC} = 1.59 V$ (TYP.) で POC 検出が行われます。 電源投入から 1.8 V に達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POC モードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = 0\text{ V}$)

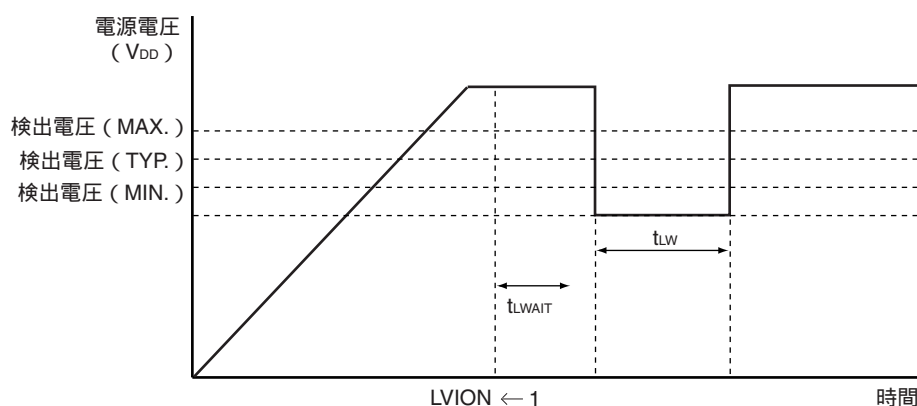
項目	略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	V_{LVI0}	4.14	4.24	4.34	V		
		V_{LVI1}	3.99	4.09	4.19	V		
		V_{LVI2}	3.83	3.93	4.03	V		
		V_{LVI3}	3.68	3.78	3.88	V		
		V_{LVI4}	3.52	3.62	3.72	V		
		V_{LVI5}	3.37	3.47	3.57	V		
		V_{LVI6}	3.22	3.32	3.42	V		
		V_{LVI7}	3.06	3.16	3.26	V		
		V_{LVI8}	2.91	3.01	3.11	V		
		V_{LVI9}	2.75	2.85	2.95	V		
		V_{LVI10}	2.60	2.70	2.80	V		
		V_{LVI11}	2.45	2.55	2.65	V		
		V_{LVI12}	2.29	2.39	2.49	V		
		V_{LVI13}	2.14	2.24	2.34	V		
		V_{LVI14}	1.98	2.08	2.18	V		
V_{LVI15}	1.83	1.93	2.03	V				
	外部入力端子 ^{注1}	EXLVI	$EXLVI < V_{DD}, 1.8\text{ V}$	$V_{DD} = 5.5\text{ V}$	1.11	1.21	1.31	V
最小パルス幅	t_{LW}		200			$\mu\text{ s}$		
動作安定待ち時間 ^{注2}	t_{LWAIT}		10			$\mu\text{ s}$		

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-15$

LVI回路タイミング

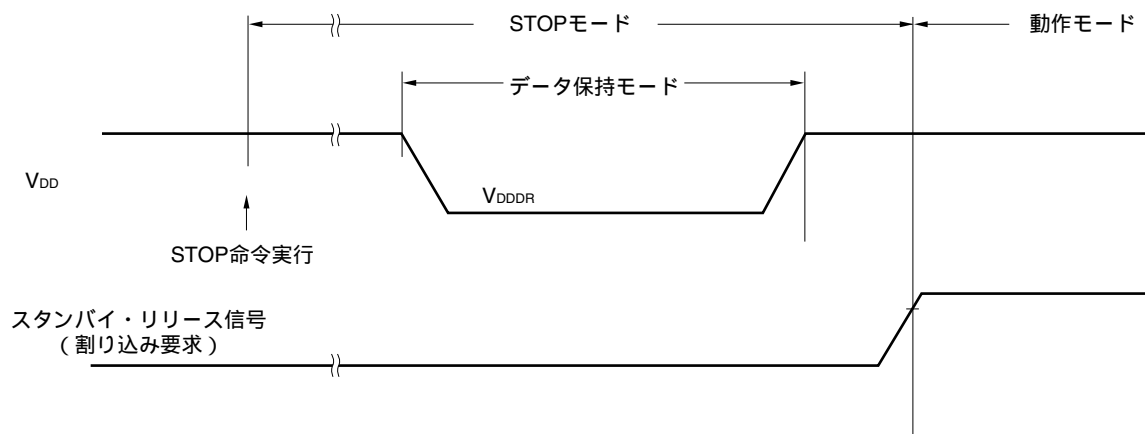


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85 , 2.7 V VDD 5.5 V, AVREF VDD, VSS = AVSS = 0 V)

・基本特性

項目	略号	条件			MIN.	TYP.	MAX.	単位
VDD電源電流	IDD	fXP = 10 MHz (TYP.), 20 MHz (MAX.)				4.5	11.0	mA
消去時間 注1, 2	全ブロック	T _{eraca}				20	200	ms
	ブロック単位	T _{erasa}				20	200	ms
書き込み時間 (8ビット単位) 注1	T _{wrwa}				10	100	μs	
1チップあたりの書き換え回数	C _{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする注3。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ注4を使用時、プログラム更新用途	保持 15年	1000			回
			当社提供のEEPROMエミュレーション・ライブラリ注5使用時、書き換えROMサイズ: 4 Kバイト、データ更新用途	保持 5年	10000			回
			上記以外の条件注6	保持 10年	100			回

注 1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間につきましては、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) を参照してください。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
3. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。
4. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリを除きます。
5. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラムを除きます。
6. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリ、および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考 1. fXP : メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

9.3 アナログ部電気的特性

電源回路特性 (特に指定のないかぎり, $T_A = -40 \sim +85$, 6 V V_{SUP} 19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	V _{CCOUT1}	7 V V_{SUP} 19 V $V_{CCOUT} = V_{RO} = V_{RS}$, $I_{RO} = 1 \sim 50$ mA	4.9	5	5.1	V
	V _{CCOUT2}	6 V V_{SUP} 19 V $V_{CCOUT} = V_{RO} = V_{RS}$, $I_{RO} = 1 \sim 25$ mA	4.75	5	5.25	V
	V _{CCOUT3}	19 V < V_{SUP} 40 V $V_{CCOUT} = V_{RO} = V_{RS}$, $I_{RO} = 1$ mA	4.5	5	5.5	V
過電流検出電流	I _{ROlim1}	7 V V_{SUP} 19 V	51		300	mA
	I _{ROlim2}	6 V $V_{SUP} < 7$ V	26		300	mA
負荷安定度	REG _{L1}	1 mA < I_{RO} 50 mA, $V_{SUP} = 14$ V			60	mV
入力安定度	REG _{IN1}	7 V V_{SUP} 19 V, $I_{RO} = 50$ mA			60	mV
		6 V V_{SUP} 19 V, $I_{RO} = 25$ mA			60	mV
過熱検出温度	VR _{th}		(150)			

備考 () で示した数値は設計保証値であり, 出荷テストは行いません。

電源電流特性 (特に指定のないかぎり, $T_A = -40 \sim +85$, 6 V V_{SUP} 19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{SUP1} ^{注1,2}	$I_{SUP1} = I_{SUP}$, LIN : Sleep, $T_A = 25$, $V_{SUP} = 14$ V			35	μA
	I _{SUP2} ^{注1,2}	$I_{SUP2} = I_{SUP}$, LIN : Sleep			60	μA
	I _{SUP3} ^{注1,2}	$I_{SUP3} = I_{SUP}$, LIN : Nomal (LIN bus: Recessive)			1	mA
	I _{SUP4} ^{注1}	$I_{SUP1} = I_{SUP}$, LIN : Sleep, $T_A = 25$, $V_{SUP} = 14$ V, ADC動作停止, WWDT動作停止, LVI動作停止			40	μA

注1. SUP, VRO, HDS内部電源に流れるトータル電流です。ただし, プルアップ抵抗に流れる電流は含みません。

2. V_{DD}に流れる電流は含みません。

V_{DD}に流れる電流 (I_{DD}) については, 78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第31章 電気的特性 ((A)水準品) のDC特性を参照してください。

LIN トランシーバ部特性

DC特性 (特に指定のないかぎり, $T_A = -40 \sim +85$, $6V$ V_{SUP} $18V$)

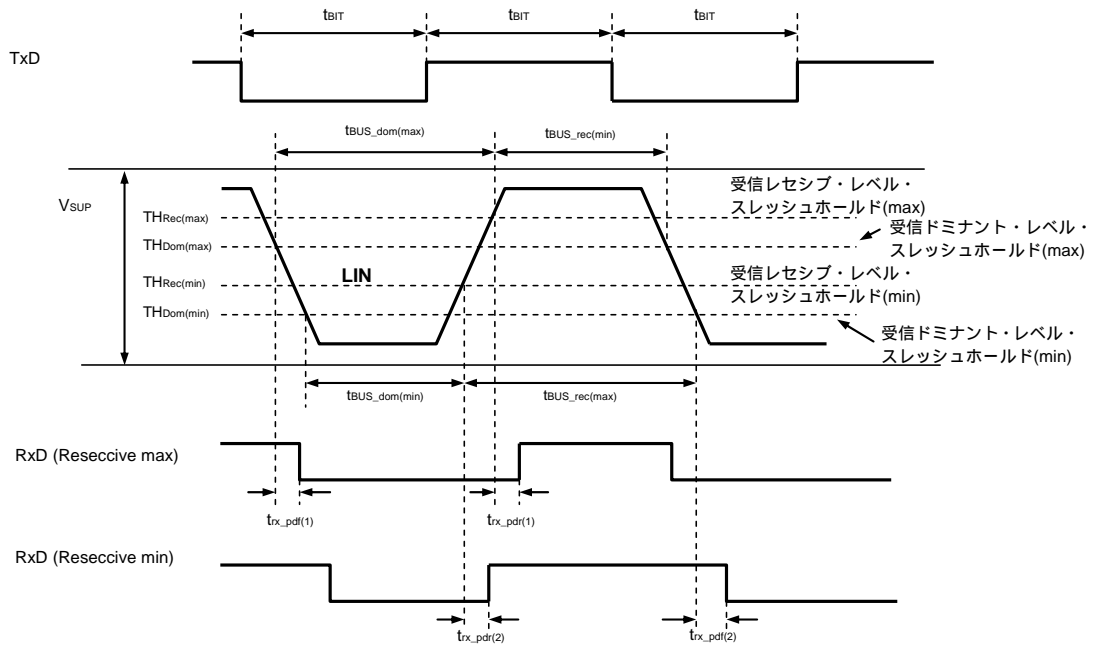
項目	略号	条件	MIN.	TYP.	MAX.	単位
LINバス・ドミナント・リーク電流	I _{BUS_PAS_dom}	$V_{BUS} = 0V, V_{SUP} = 12V$	-1			mA
LINバス・レセシブ・リーク電流	I _{BUS_PAS_rec}	$V_{BUS} \quad V_{SUP}$			20	μA
LINバス電流1	I _{BUS_NO_GND}	$0V < V_{BUS} < 18V, V_{SUP} = 12V$	(-1)		(1)	mA
LINバス電流2	I _{BUS}	$V_{SUP_Device} = GND, 0V < V_{BUS} < 18V$		(1)	(10)	μA
受信ドミナント・レベル入力電圧	V _{BUSdom}				$0.4V_{SUP}$	V
受信レセシブ・レベル入力電圧	V _{BUSrec}		$0.6V_{SUP}$			V
受信センタ・レベル・スレッシユ ホールド	V _{BUS_CNT}	$(V_{th_dom} + V_{th_rec})/2$	0.475 V_{SUP}	$0.5V_{SUP}$	0.525 V_{SUP}	V
受信ヒステリシス	V _{HYS}				0.175 V_{SUP}	V
LINドミナント・レベル出力電圧1	V _{BUSdom_DRV} _LoSUP	$V_{SUP} = 7.3V, I_{lin} = 15mA$			1.2	V
LINドミナント・レベル出力電圧2	V _{BUSdom_DRV} _HiSUP	$V_{SUP} = 18V, I_{lin} = 36mA$			2	V
LINシリアル・ダイオード・ ドロップ電圧	V _{SerDiode}	$V_{TXD} = V_{RO}$	0.4	0.7	1.0	V
LINプルアップ抵抗	R _{slave}		20	30	60	kΩ
MOD1, MOD2ハイ・レベル入力 電圧	V _{mh}		$0.7V_{RS}$			V
MOD1, MOD2ロウ・レベル入力 電圧	V _{ml}				$0.3V_{RS}$	V
SRCハイ・レベル入力電圧	V _{srh}		$0.7V_{RS}$			V
SRCロウ・レベル入力電圧	V _{srl}				$0.3V_{RS}$	V
MSLPハイ・レベル入力電圧	V _{SLPH}		$0.7V_{RS}$			V
MSLPロウ・レベル入力電圧	V _{SLPL}				$0.3V_{RS}$	V
MSLPプルダウン抵抗	R _{MSLP}		50		220	kΩ
LINドライバ過熱検出温度	LIN _{th}		(150)			
LINドライバ過電流制限	I _{const}	LIN端子流入電流制限値	40	80	200	mA

備考 ()で示した数値は設計保証値であり, 出荷テストは行いません。

AC特性 (特に指定のないかぎり, $T_A = -40 \sim +85$, 6 V V_{SUP} 18 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
Duty Cycle 1 (図9 - 1参照)	D1	$C_{bus}; R_{bus} = 1 \text{ nF}; 1 \text{ k}\Omega/6.8 \text{ nF}; 660 \Omega/$ $10 \text{ nF}; 500 \Omega$ $t_{BIT} = 50 \mu\text{s}$ $TH_{Rec(max)} = 0.744 \times V_{SUP},$ $TH_{Dom(max)} = 0.581 \times V_{SUP}$ $D_1 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ $7 \text{ V } V_{SUP} \text{ } 18 \text{ V}$ SRC = High	0.396			-
Duty Cycle 2 (図9 - 1参照)	D2	$C_{bus}; R_{bus} = 1 \text{ nF}; 1 \text{ k}\Omega/6.8 \text{ nF}; 660 \Omega/$ $10 \text{ nF}; 500 \Omega$ $t_{BIT} = 50 \mu\text{s}$ $TH_{Rec(min)} = 0.422 \times V_{SUP},$ $TH_{Dom(min)} = 0.284 \times V_{SUP}$ $D_2 = t_{BUS_rec(max)}/(2 \times t_{BIT})$ $7.6 \text{ V } V_{SUP} \text{ } 18 \text{ V}$ SRC = High			0.581	-
Duty Cycle 3 (図9 - 1参照)	D3	$C_{bus}; R_{bus} = 1 \text{ nF}; 1 \text{ k}\Omega/6.8 \text{ nF}; 660 \Omega/$ $10 \text{ nF}; 500 \Omega$ $t_{BIT} = 96 \mu\text{s}$ $TH_{Rec(max)} = 0.778 \times V_{SUP},$ $TH_{Dom(max)} = 0.616 \times V_{SUP}$ $D_3 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ $7 \text{ V } V_{SUP} \text{ } 18 \text{ V}$ SRC = Low	0.417			-
Duty Cycle 4 (図9 - 1参照)	D4	$C_{bus}; R_{bus} = 1 \text{ nF}; 1 \text{ k}\Omega/6.8 \text{ nF}; 660 \Omega/$ $10 \text{ nF}; 500 \Omega$ $t_{BIT} = 96 \mu\text{s}$ $TH_{Rec(min)} = 0.389 \times V_{SUP},$ $TH_{Dom(min)} = 0.251 \times V_{SUP}$ $D_4 = t_{BUS_rec(max)}/(2 \times t_{BIT})$ $7.6 \text{ V } V_{SUP} \text{ } 18 \text{ V}$ SRC = Low			0.590	-
伝達遅延時間	tr _x _pd	tr _x _pdf(1), tr _x _pdf(2), tr _x _pdr(1), tr _x _pdr(2)			6	μs
立ち上がり, 立ち下がり伝達遅延時間	tr _x _sym	tr _x _sym = tr _x _pdf(1) - tr _x _pdr(1), tr _x _sym = tr _x _pdf(2) - tr _x _pdr(2)	- 2		2	μs

図9 - 1 デューティ・サイクル



ハイ・サイド・ドライバ部特性

(特に指定のないかぎり, $T_A = -40 \sim +85$, 6 V ($V_{SUP} = HDS$) 19 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
オン抵抗	HDR_RON1	HDR, $I_o = 20$ mA		50	100	Ω
HDCプルダウン抵抗	R _{HDC}	HDC	50		220	k Ω
HDCハイ・レベル入力電圧	V _{IH_HDC}	HDC, $I_{OH} = -3$ mA	0.7 VRS		VRS	V
HDCロウ・レベル入力電圧	V _{IL_HDC}	HDC, $I_{OL} = 3$ mA	0		0.3 VRS	V
ハイ・レベル入力リーク電流 ^注	I _{LIH1}	HDC, $V_i = 5$ V, Port mode A			105	μ A
	I _{LIH2}	HDC, $V_i = 5$ V, Port mode B, C			3	μ A
ロウ・レベル入力リーク電流	I _{LIL}	HDC, $V_i = 0$ V, Port mode A, B, C	-3			μ A
出力オフ・リーク電流	I _{OH1}	HDC			10	μ A

注 プルダウン抵抗に流れる電流も含まれます。

高耐圧スイッチ入力回路特性

(特に指定のないかぎり, $T_A = -40 \sim +85$, 6 V V_{SUP} 19 V)

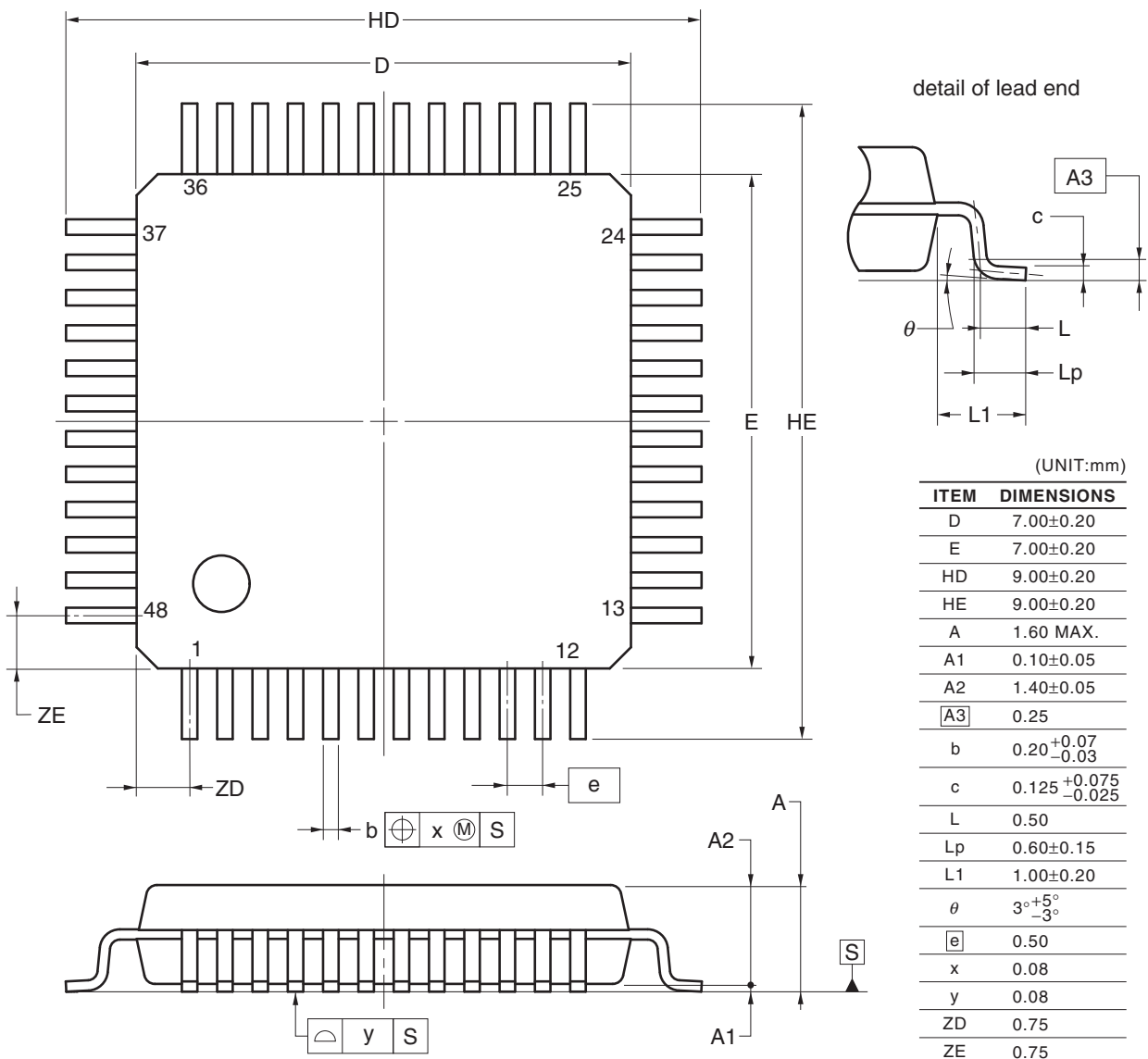
項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IHW1}	SWI	0.7 V_{SUP}		V_{SUP}	V
ロウ・レベル入力電圧	V _{ILW1}	SWI	0		0.3 V_{SUP}	V
ハイ・レベル出力電圧	V _{OHW}	SWO, $I_{OH} = -3$ mA	VRS - 0.7			V
ロウ・レベル出力電圧	V _{OLW}	SWO, $I_{OL} = 3$ mA			0.7	V
ハイ・レベル入力リーク電流	I _{LIHW1}	SWI, $V_i = V_{SUP}$			3	μ A
ロウ・レベル入力リーク電流	I _{LILW1}	SWI, $V_i = GND$	-3			μ A

第10章 外形図

10.1 48ピン製品

- μ PD78F8026GAA-GAM-G, 78F8027GAA-GAM-G, 78F8028GAA-GAM-G, 78F8029GAA-GAM-G, 78F8030GAA-GAM-G, 78F8032DGA-GAM-G

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-B	P48GA-50-GAM-2	0.16



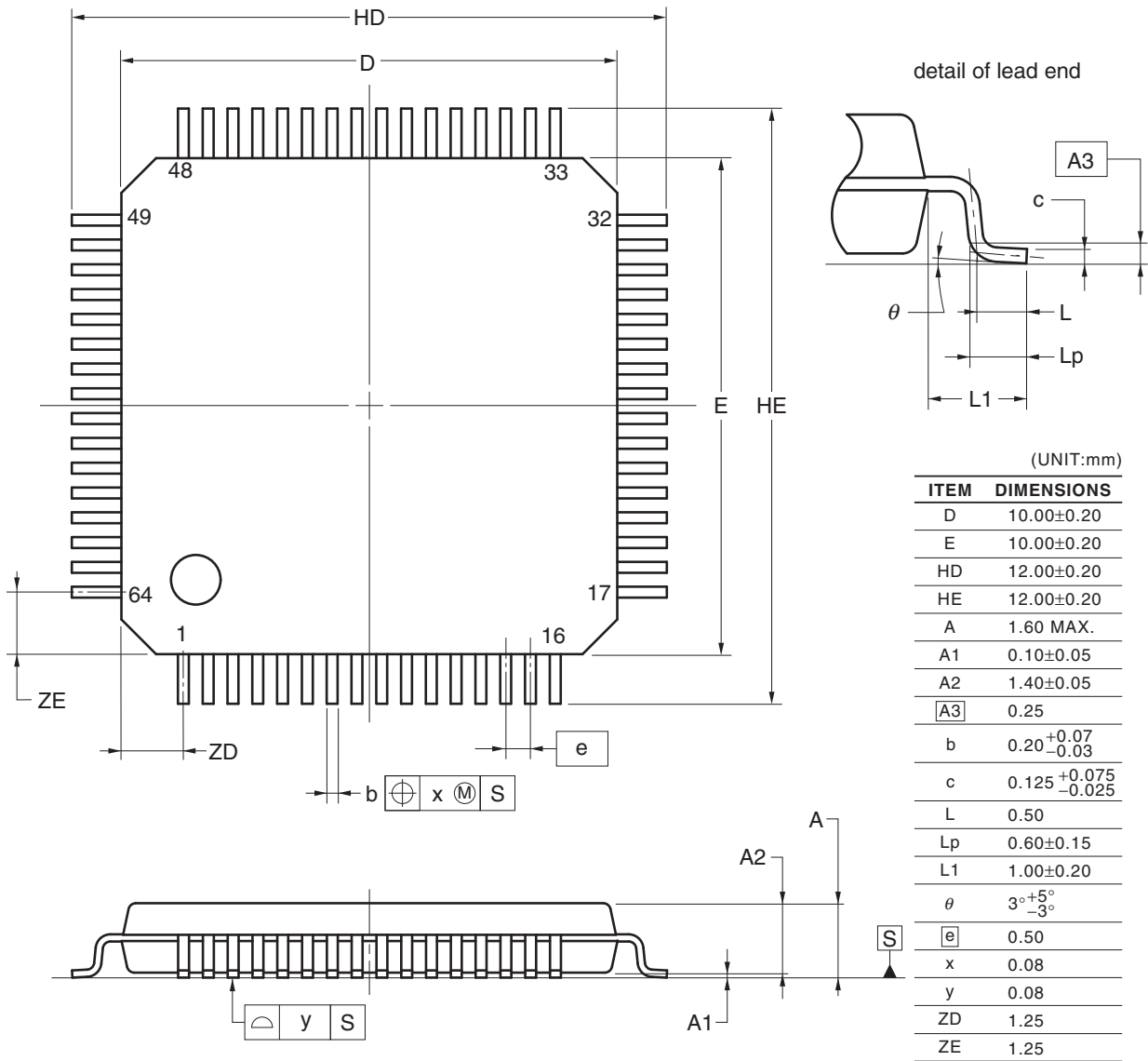
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

10.2 64ピン製品

- μPD78F8033GBA-GAH-G, 78F8034GBA-GAH-G, 78F8035GBA-GAH-G, 78F8036GBA-GAH-G, 78F8037GBA-GAH-G, 78F8039DGB-GAH-G

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-B	P64GB-50-GAH-2	0.33



NOTE

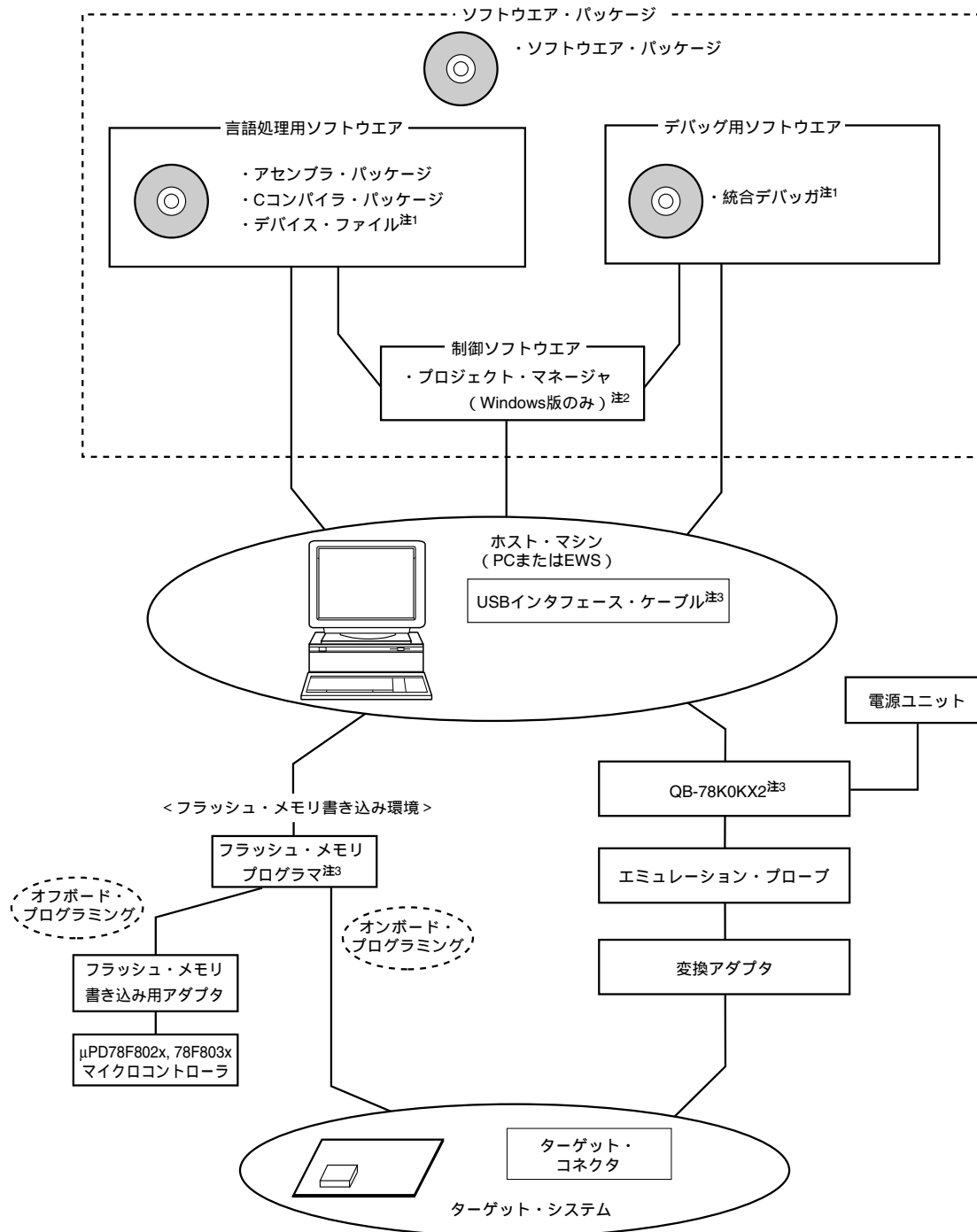
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

付録A 開発ツール

μ PD78F802x, 78F803x マイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0KX2を使用する場合



注1. μ PD78F802x, 78F803xマイクロコントローラ用のデバイス・ファイル, および統合デバッガ ID78K0-QB1は, 開発ツールのダウンロード・サイト

(https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja) より入手してください。

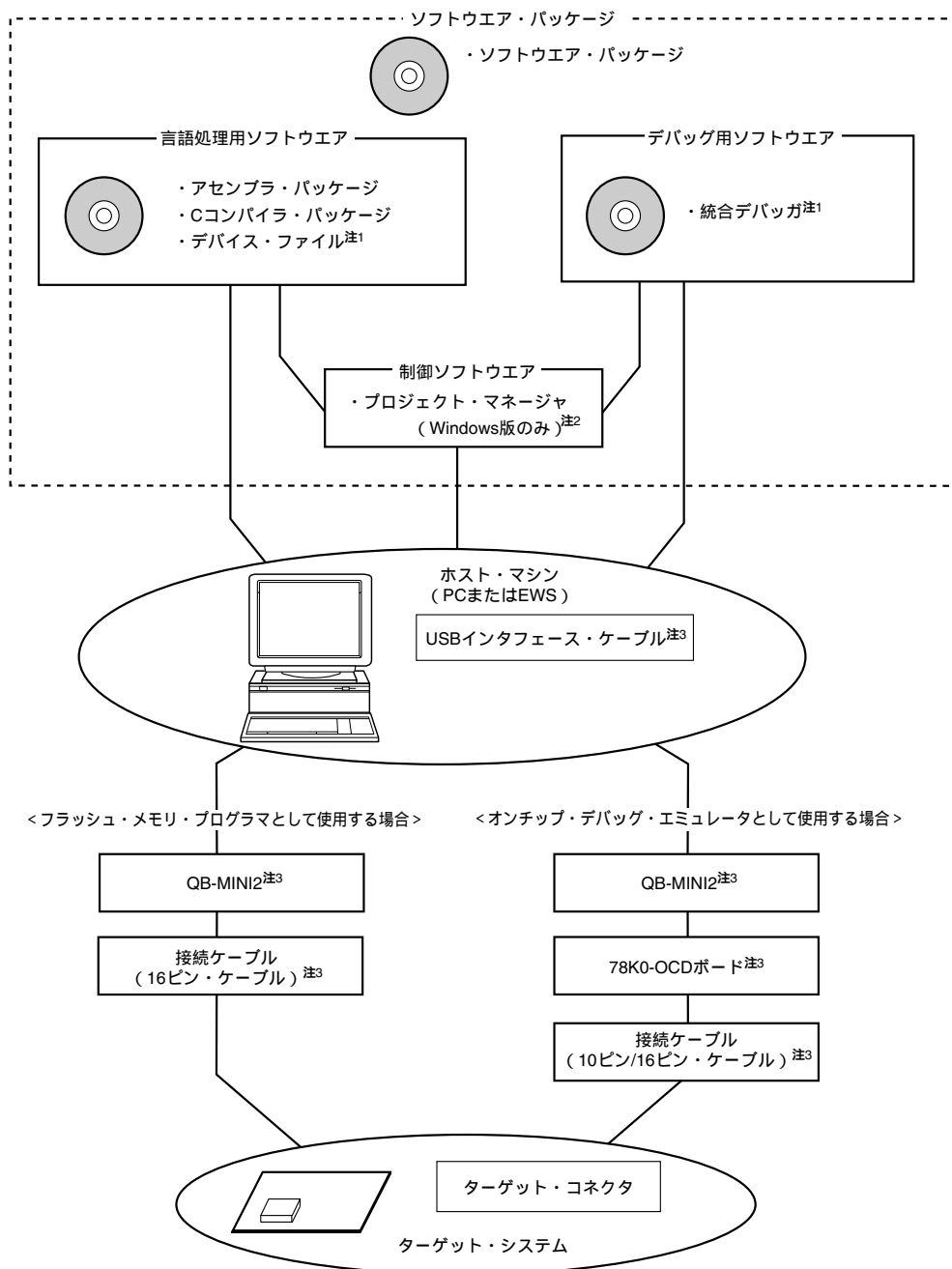
2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。

また, Windows®以外ではPM+は使用できません。

3. QB-78K0KX2は, 統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. μ PD78F802x, 78F803xマイクロコントローラ用のデバイス・ファイル, および統合デバッガ ID78K0-QBIは, 開発ツールのダウンロード・サイト(https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja) より入手してください。

2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows以外ではPM+は使用できません。

3. QB-MINI2は ,USBインタフェース・ケーブル ,接続ケーブル(10ピン・ケーブル ,16ピン・ケーブル) ,78K0-OCD ボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト

(https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

A.2 言語処理用ソフトウェア

RA78K0 ^{注1} アセンブラ・パッケージ	<p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>デバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (PM+) を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 ^{注1} Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (PM+) を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
デバイス・ファイル ^{注2}	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール (RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ) と組み合わせて使用します。対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。</p>

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. デバイス・ファイルは、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。

A. 3 フラッシュ・メモリ書き込み用ツール

A. 3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

FL-PR5, PG-FP5, フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F8039GB-GAH-RX FA-78F8032GA-GAM-RX フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 FA-78F8039GB-GAH-RX : 64ピン・プラスチックLQFP FA-78F8032GA-GAM-RX : 48ピン・プラスチックLQFP

備考1. FL-PR5は、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（<http://www.ndk-m.co.jp/>）（TEL（042）750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト

（https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja）より入手してください。

A. 4 デバッグ用ツール (ハードウェア)

A. 4.1 インサーキット・エミュレータ QB-78K0KX2を使用する場合

QB-78K0KX2 インサーキット・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ(ID78K0-QB)に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-78F8039-EA-01T QB-78F8032-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。アダプタには、LINトランシーバ、電源およびドライバ機能が搭載されています。 QB-78F8039-EA-01T : 64ピン・プラスチックLQFP QB-78F8032-EA-01T : 48ピン・プラスチックLQFP
QB-64GB-YS-01T QB-48GA-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 QB-64GB-YS-01T : 64ピン・プラスチックLQFP QB-48GA-YS-01T : 48ピン・プラスチックLQFP
QB-64GB-YQ-01T QB-48GA-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 QB-64GB-YQ-01T : 64ピン・プラスチックLQFP QB-48GA-YQ-01T : 48ピン・プラスチックLQFP
QB-64GB-HQ-01T QB-48GA-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 QB-64GB-HQ-01T : 64ピン・プラスチックLQFP QB-48GA-HQ-01T : 48ピン・プラスチックLQFP
QB-64GB-NQ-01T QB-48GA-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 QB-64GB-NQ-01T : 64ピン・プラスチックLQFP QB-48GA-NQ-01T : 48ピン・プラスチックLQFP

備考 QB-78K0KX2は、統合デバッガ ID78K0-QB、USBインタフェース・ケーブル、オンチップ・デバッグ・エミュレータ QB-MINI2、接続ケーブル(10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja) より入手してください。

A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

- 備考 1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。
2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja）より入手してください。

A. 5 デバッグ用ツール（ソフトウェア）

ID78K0-QB ^注 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
----------------------------------	--

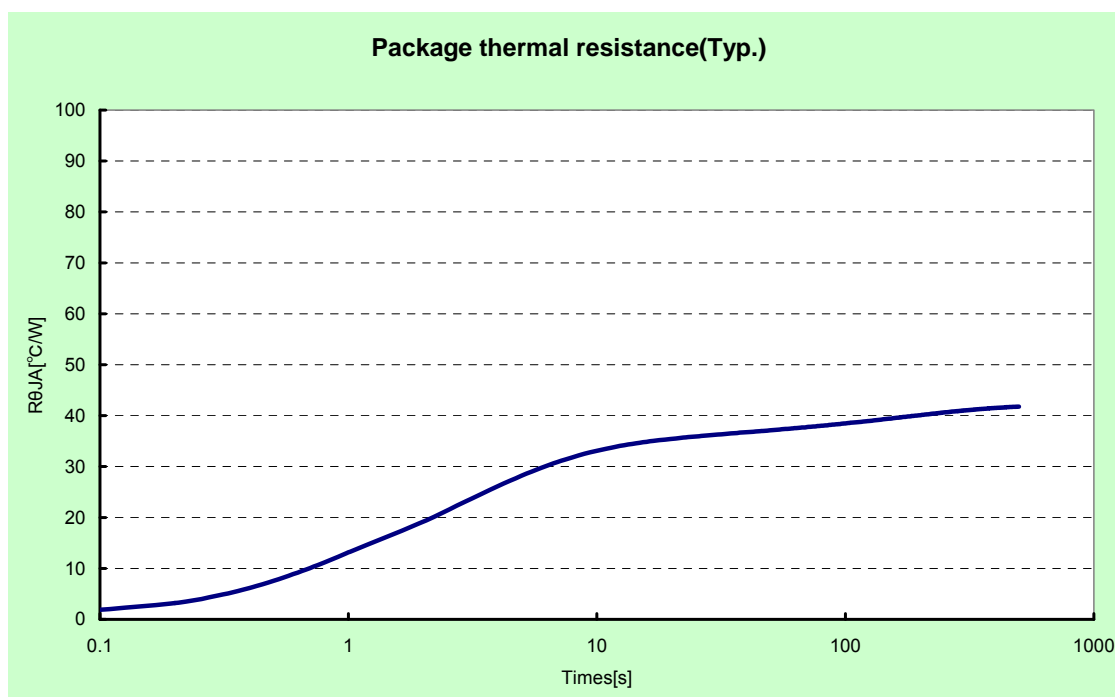
注 開発ツールのダウンロード・サイト

（https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja）より入手してください。

付録B QFPパッケージ熱抵抗

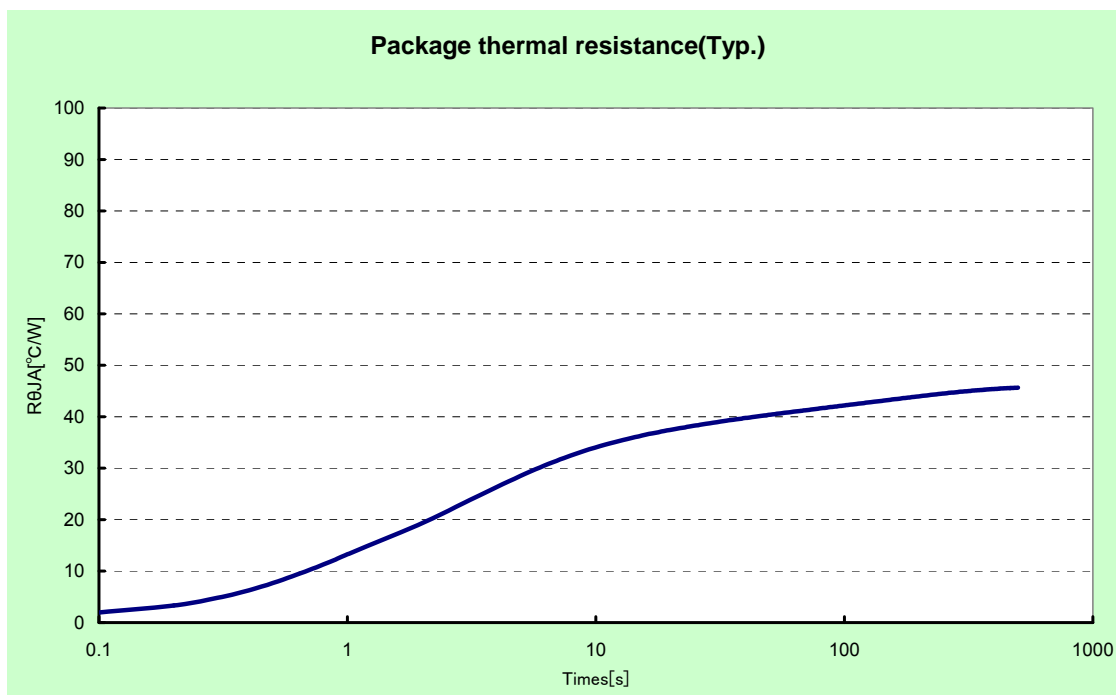
条件1

パッケージ	: 48ピン・プラスチックLQFP
基板サイズ	: 76.2 mm × 114.3 mm, t = 1.6 mm
配線層	: 4層 (配線厚 : 70 / 35 / 35 / 70 μm)
材質	: FR-4



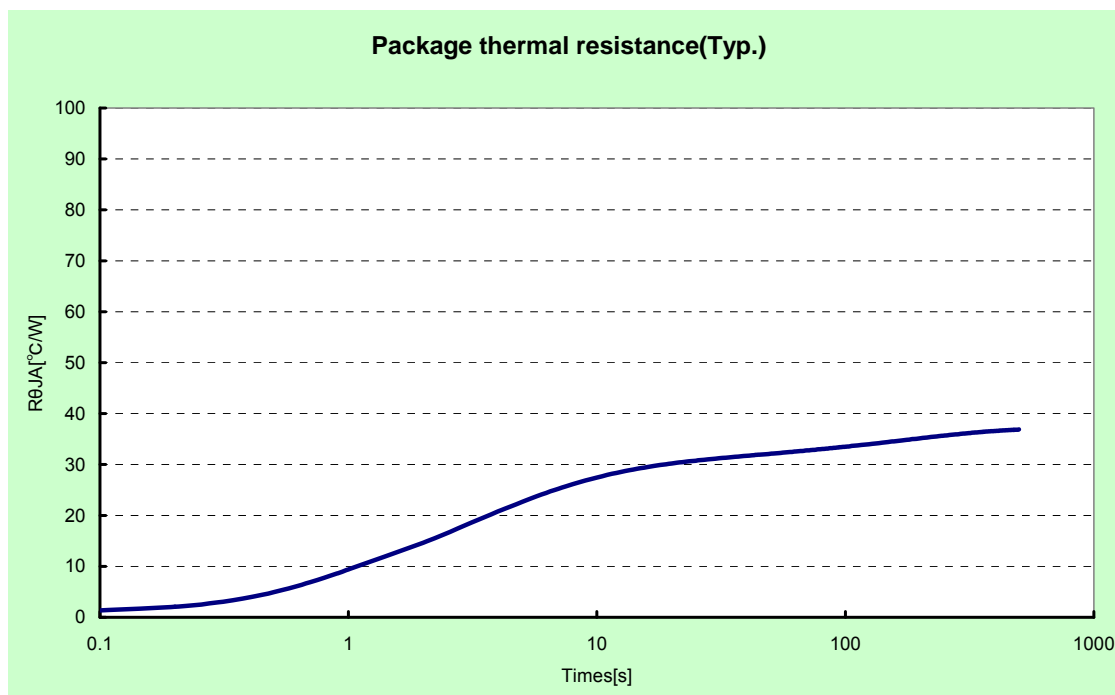
条件2

パッケージ	: 48 ピン・プラスチック LQFP
基板サイズ	: 76.2 mm × 114.3 mm, t = 1.6 mm
配線層	: 2層 (配線厚 : 70 / - / - / 70 μm)
材質	: FR-4



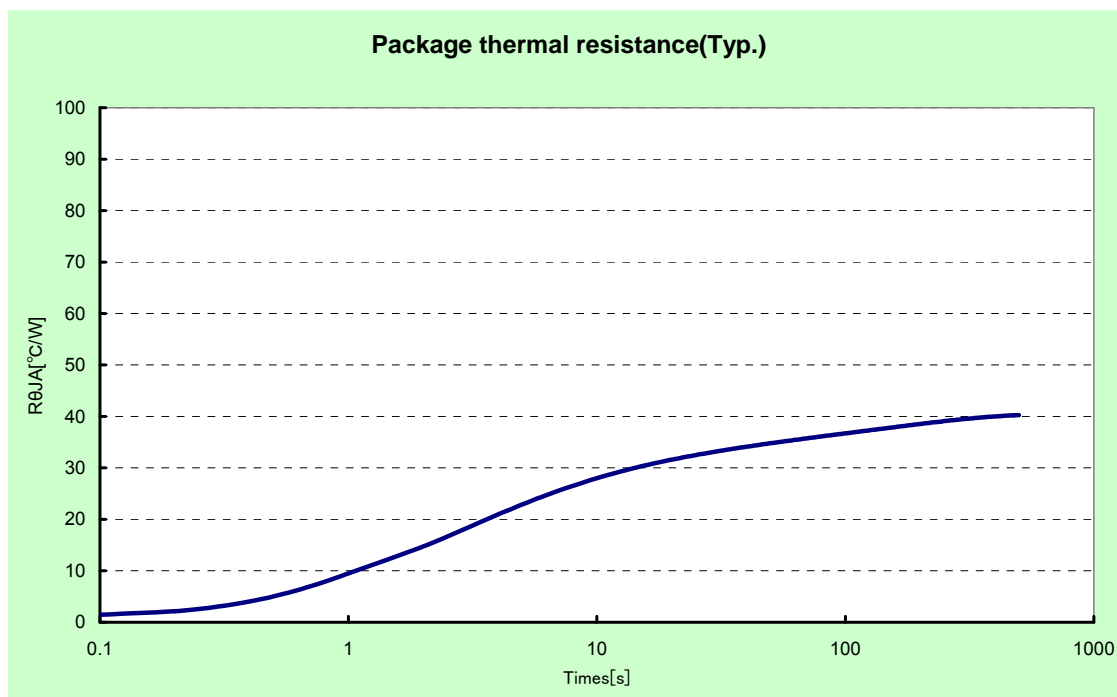
条件3

パッケージ	: 64 ピン・プラスチック LQFP
基板サイズ	: 76.2 mm × 114.3 mm, t = 1.6 mm
配線層	: 4 層 (配線厚 : 70 / 35 / 35 / 70 μm)
材質	: FR-4



条件4

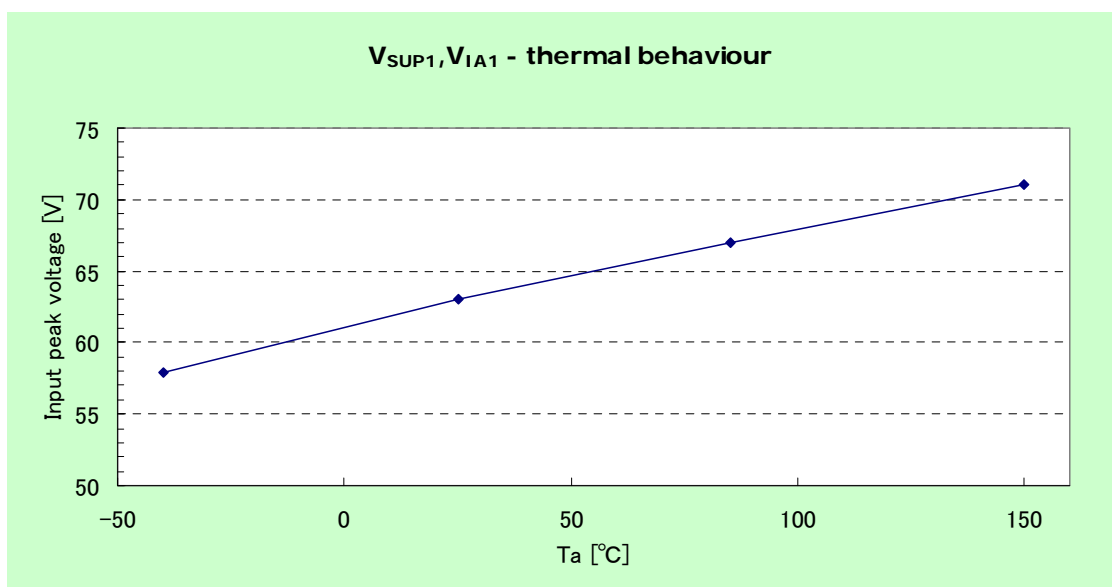
パッケージ	: 64 ピン・プラスチック LQFP
基板サイズ	: 76.2 mm × 114.3 mm, t = 1.6 mm
配線層	: 2 層 (配線厚 : 70 / - / - / 70 μ m)
材質	: FR-4



付録C アナログ部絶対最大定格の温度特性

条件

対象項目 : V_{SUP1} , V_{IA1}
対象端子 : V_{SUP} , HDS, LIN, SWI
測定温度(T_a) : -40 ~ +150
印加時間 : 400 ms



改版履歴

本版で改訂された主な箇所

(1/2)

箇所	内容
全般	以下の製品を削除 μ PD78F8026K8A-5B4-G , μ PD78F8026K8A2-5B4-G , μ PD78F8027K8A-5B4-G , μ PD78F8027K8A2-5B4-G , μ PD78F8028K8A-5B4-G , μ PD78F8028K8A2-5B4-G , μ PD78F8029K8A-5B4-G , μ PD78F8029K8A2-5B4-G , μ PD78F8030K8A-5B4-G , μ PD78F8030K8A2-5B4-G , μ PD78F8032DK8-5B4-G URLを更新
p.2	1. 1 特徴 LINトランシーバ , パッケージ , 動作周囲温度 の説明を変更
p.3	1. 3 オータ情報 48ピン・プラスチックWQFN (ファインピッチ) (7x7) 製品を削除
p.4, 5	1. 4 端子接続図 (Top View) 48ピン・プラスチックWQFN (ファインピッチ) (7x7) を削除 注意を変更
p.8	1. 5 ブロック図 ・ μ PD78F8033-78F8037, 78F8039DのMOD1端子の入出力方向の誤記を修正
p.12-13, 15	1. 6 機能概要 ・ μ PD78F8026-78F8030, 78F8032D 電源電圧から(A2)水準品 の説明を削除 動作周囲温度から $T_A = -40 \sim +125$ の記載を削除 LINトランシーバから・SAE-J2602準拠の記載を削除 ・ μ PD78F8033-78F8037, 78F8039D LINトランシーバから・SAE-J2602準拠の記載を削除
p.18, 19	2. 3. 1 (2) ポート以外の機能 : μ PD78F8026-78F8030, 78F8032D 以下の端子の機能説明を変更 SI_{10} , SO_{10} , SDA_0 , SCK_{10} , SCL_0 , RxD_0 , RxD_6 , TxD_0 , TxD_6 , $REGC$, V_{DD} , V_{SS} 以下の端子の入出力を変更 AV_{REF} , X_1
p.20, 21	2. 3. 2 (2) ポートの以外の機能 : μ PD78F8033-78F8037, 78F8039D 以下の端子の機能説明を変更 SI_{10} , SO_{10} , SDA_0 , SCK_{10} , SCL_0 , RxD_0 , RxD_6 , TxD_0 , TxD_6 , $REGC$, V_{DD} , V_{SS} 以下の端子の入出力を変更 AV_{REF} , X_1 , XT_1
p.33	2. 5. 13 REGC 説明を変更
p.36	表2 - 3 各端子の入出力回路タイプ FLMD0端子の説明を変更 , 注3の説明を追加 AV_{REF} 端子の説明を変更 , REGC端子の説明を追加 , AV_{SS} 端子の説明を変更

箇 所	内 容
p.43	表4 - 1 専用フラッシュ・メモリ・プログラムの配線表 MSLP端子の64ピン・パッケージにおける端子番号を修正
p.44	5.3 過熱保護機能 注意の説明を追加
p.46	6.1 LINトランシーバ機能 説明を変更
p.51	6.4 過熱保護機能 注意の説明を追加
p.55	第9章 電気的特性 (A)水準品 (2) ポート以外の機能 表にUART0の記述を追加
p.56-77	注意の誤記を修正
p.57	9.1 絶対最大定格 アナログ部絶対最大定格 ($T_A=25$) 出力電流 (I_{HDR}) の定格を変更
p.60	9.2 マイクロコントローラ部電気的特性 DC特性 (1/5) 注2の < 計算例 > を変更
p.63	9.2 マイクロコントローラ部電気的特性 DC特性 (4/5) 電源電流 (I_{DD1} , I_{DD2} , I_{DD3}) の条件を変更
p.64	9.2 マイクロコントローラ部電気的特性 DC特性 (5/5) A/Dコンバータ動作電流 (I_{ACC}) に条件を追加 注2から注3の説明を変更
p.65	9.2 マイクロコントローラ部電気的特性 AC特性 (1) 基本動作 (1/2) 周辺ハードウェア・クロック周波数 (f_{PRS}) の条件を変更
p.78	9.3 アナログ部電気的特性 電源回路特性 出力電圧 (V_{CCOUT3}) の条件を変更, 過電流検出電流 (I_{ROlim2}) の条件を変更
p.79	9.3 アナログ部電気的特性 LINトランシーバ部特性 DC特性 受信ヒステリシス (V_{HYS}) の値を変更
p.81	図9 - 1 デューティ・サイクル 端子名を変更
-	以下の章を削除 第10章 電気的特性 ((A2)水準品: $T_A = -40 \sim +110$) (ターゲット) 第11章 電気的特性 ((A2)水準品: $T_A = -40 \sim +125$) (ターゲット)
p.83-84	10.1 48ピン製品, 10.2 64ピン製品 の外形図を更新, 48-PIN PLASTIC WQFN (7x7)パッケージを削除
p.86, 87	図A - 1 開発ツール構成 (1) インサーキット・エミュレータ QB-78K0KX2を使用する場合 (2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 注1の説明を変更
p.88	A.2 言語処理用ソフトウェア デバイス・ファイルの「開発中」の文言を削除
p.89	A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 フラッシュ・メモリ書き込み用アダプタに品名を追加, 開発中の文字を削除
p.90	A.4.1 インサーキット・エミュレータ QB-78K0KX2を使用する場合 エクステンジ・アダプタおよびスペース・アダプタに品名を追加, 開発中の文字を削除
p.92-95	付録B QFPパッケージ熱抵抗 条件1, 条件2を変更, 条件3, 条件4を追加

前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/1)

版数	内 容	箇 所
0.02版	1.6 機能概要 変更	第1章 概 説
	表2 - 3 各端子の入出力回路タイプ 変更	第2章 端子機能
	図5 - 1 電源回路アプリケーション例 変更	第5章 電源回路
	第9章 電気的特性 (A)水準品) 章タイトル変更 ((ターゲット) の削除)	第9章 電気的特性 (A)水準品) 品)
	第9章 電気的特性 (A)水準品) 前版の注意1を削除	
	9.1 絶対最大定格 変更	
	9.3 アナログ部電気的特性 変更	
	10.1 絶対最大定格 変更	
	10.3 アナログ部電気的特性 変更	第10章 電気的特性 ((A2)水準品 : $T_A = -40 \sim +110$) (ターゲット)
	11.1 絶対最大定格 変更	第11章 電気的特性 ((A2)水準品 : $T_A = -40 \sim +125$) (ターゲット)
	11.3 アナログ部電気的特性 変更	
	付録B パッケージ熱抵抗 追加	付録B パッケージ熱抵抗
	付録C アナログ部絶対最大定格の温度特性 追加	付録C アナログ部絶対最大定格の温度特性

μ PD78F802x, 78F803x マイクロコントローラ ユーザーズマニュアル
ハードウェア編

発行年月日 2012 年 9 月 30 日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

μPD78F802x, 78F803x マイクロコントローラ



ルネサスエレクトロニクス株式会社

R01UH0111JJ0100