お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守／廃止

μPD98409

（NEASCOT - S40C™）

ATM LIGHT SAR CONTROLLER

資料番号　S12776JJ4V0UM00（第 4 版）
発行年月　July 2005 NS　CP (K)

© NEC Electronics Corporation　1997, 1998

保守／廃止

［メ　モ］

保守／廃止

目次要約

第１章　概　　説　…　17

第２章　端子機能　…　19

第３章　機能概要　…　31

第４章　インタフェース　…　39

第５章　μPD98409 の動作　…　67

第６章　コマンド　…　151

第７章　内部レジスタ　…　165

第８章　JTAG バウンダリ・スキャン　…　183

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

保守／廃止

EEPROM，NEASCOT-S40C は，NEC エレクトロニクス株式会社の商標です。

MICROWIREは，National Semiconductor社の商標です。

- 本資料に記載されている内容は2005年7月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

  当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E　02.11

保守／廃止

本版で改訂された主な箇所

箇　所	内　　容
p. 17	**1.2　オーダ情報**　μPD98409GN-LMU-A **追加**

本文欄外の★印は，本版で改訂された主な箇所を示しています。

保守／廃止

はじめに

対 象 者　このマニュアルは，μPD98409 の機能を理解し，それを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目　　的　このマニュアルは，次の構成に示すμPD98409 の持つハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　このマニュアルは，大きく分けて次の内容で構成されています。

- 概　　説
- 端子機能
- 機能概要
- インタフェース
- μPD98409 の動作
- コマンド
- 内部レジスタ
- JTAG バウンダリ・スキャン

読 み 方　このマニュアルの読者には，電気，論理回路，マイクロコンピュータの一般知識を必要とします。

一通りμPD98409 の機能を理解しようとするとき
→　目次に従ってお読みください。

μPD98409 の電気的特性を知りたいとき
→　別冊のデータ・シートを参照してください。

凡　　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：ＸＸＸ_B（端子，信号名称に_B）
メモリ・マップのアドレス	：上部－下位，下部－上位
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：２進数…××××または××××B
	10 進数…××××
	16 進数…××××H

関連資料　関連資料は暫定の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- **パンフレット：**S12897J
- **データ・シート：**S12775J

保守／廃止

目　次

第１章　概　　説　…　17

１.１　特　　徴　…　17
１.２　オーダ情報　…　17
１.３　システム構成例　…　18
１.４　ブロック図　…　18

第２章　端子機能　…　19

２.１　端子接続図（Top View）　…　19
２.２　端子機能　…　21
２.２.１　PHY デバイス・インタフェース端子　…　21
２.２.２　バス・インタフェース端子　…　23
２.２.３　シリアルEEPROMインタフェース端子　…　26
２.２.４　JTAGバウンダリ・スキャン端子　…　27
２.２.５　その他の端子　…　28
２.２.６　電源およびグランド端子　…　28
２.２.７　端子のリセット中，リセット後の状態　…　29

第３章　機能概要　…　31

３.１　機能概要　…　31
３.２　AAL-5 SAR サブレイヤ機能　…　34
３.３　ATM レイヤ機能　…　35
３.３.１　セルの生成　…　35
３.３.２　セル送出レートの設定　…　38
３.３.３　非 AAL-5 トラフィックのサポート　…　38

第４章　インタフェース　…　39

４.１　バス・インタフェース　…　39
４.１.１　PCI バス・インタフェースの特徴　…　39
４.１.２　コンフィギュレーション・レジスタ　…　40

保守／廃止

4.1.3　PCI バス・トランザクション　…　43
4.2　シリアル EEPROM インタフェース　…　56
4.2.1　シリアル EEPROM インタフェース　…　56
4.2.2　EEPROM へのアクセス　…　57
4.2.3　EEPROM のフォーマット　…　58
4.3　PHY デバイス・インタフェース　…　59
4.3.1　UTOPIA インタフェース　…　59
4.3.2　PHY デバイス・コントロール・インタフェース　…　65

第5章　μPD98409 の動作　…　67

5.1　初期化　…　67
5.2　コントロール・メモリの設定　…　70
5.3　メールボックスの設定　…　73
5.3.1　メールボックスの設定　…　73
5.3.2　メールボックスの動作　…　75
5.4　送信機能　…　76
5.4.1　送信処理フロー　…　76
5.4.2　送信データの構造　…　77
5.4.3　送信チャネル（送信 VC）　…　86
5.4.4　トラフィック制御　…　90
5.4.5　送信動作　…　105
5.4.6　非 AAL-5 トラフィックのサポート　…　107
5.4.7　送信インディケーションの発行　…　109
5.5　受信機能　…　110
5.5.1　受信処理フロー　…　110
5.5.2　受信データの構造　…　113
5.5.3　受信チャネル（受信 VC）　…　119
5.5.4　受信ルックアップ・テーブルの設定　…　124
5.5.5　受信動作　…　126
5.5.6　受信インディケーションの発行　…　141
5.5.7　非 AAL-5 トラフィックの受信　…　142
5.6　送受信インディケーション　…　145
5.7　割り込み機能　…　148
5.8　ループバック機能　…　149
5.9　グローバル・シャットダウン機能　…　149

保守／廃止

第６章　コマンド　… 151

６．１　コマンド・レジスタ（CMR）とコマンド拡張レジスタ（CER）　… 151
６．２　ビジィ・フラグ　… 152
６．３　コマンド・インディケーションを返すコマンド　… 153
６．４　コマンド拡張レジスタを使用するコマンド　… 153
６．５　コマンドとコマンド・インディケーション一覧　… 154
６．６　コマンドの詳細説明　… 155

第７章　内部レジスタ　… 165

７．１　レジスター覧　… 165
７．２　直接アドレス・レジスタ　… 167
７．３　間接アドレス・レジスタ　… 178

第８章　JTAG バウンダリ・スキャン　… 183

８．１　特　　徴　… 183
８．２　バウンダリ・スキャン回路内部構成　… 184
８．２．１　インストラクション・レジスタ（Instruction register）　…184
８．２．２　TAP コントローラ（Test Access Port controller）　… 184
８．２．３　バイパス・レジスタ（Bypass register）　… 184
８．２．４　バウンダリ・スキャン・レジスタ（Boundary Scan register）　… 185
８．３　端子機能　… 185
８．３．１　JCK 端子（JTAG Clock pin）　… 185
８．３．２　JMS 端子（JTAG Mode Select pin）　… 185
８．３．３　JDI 端子（JTAG Data Input pin）　… 185
８．３．４　JDO 端子（JTAG Data Output pin）　… 185
８．３．５　JRST_B 端子（JTAG Reset pin）　… 185
８．４　動作説明　… 186
８．４．１　TAP コントローラ　… 186
８．４．２　TAP コントローラ状態　… 186
８．５　TAP コントローラ動作　… 193
８．６　TAP コントローラの初期化　… 196
８．７　インストラクション・レジスタ　… 196
８．７．１　BYPASS 命令　… 197
８．７．２　EXTEST 命令　… 197

保守／廃止

8.7.3 SAMPLE/PRELOAD **命令** … 197
8.7.4 バウンダリ・スキャン・データ・ビット定義 … 197

保守／廃止

図の目次（1/2）

図番号	タイトル，ページ
３－１	μPD98409 の機能 … 31
３－２	μPD98409 のシステム概要 … 33
３－３	AAL-5 の PDU フォーマット … 34
３－４	セルの構造 ユーザ網インタフェース（UNI） … 35
４－１	バス・インタフェース信号 … 39
４－２	コンフィギュレーション・レジスタのレイアウト … 40
４－３	スレーブ・トランザクション・タイミング … 43
４－４	マスタ・トランザクション・タイミング … 45
４－５	送信セル・データ・バイト・アラインメント … 53
４－６	バイト・アラインメント・ライト転送時の AD[1:0]端子および PCBE_B[3:0]端子 … 54
４－７	バイト・アラインメントによるセル・データ格納例 … 55
４－８	EEPROM インタフェース・タイミング … 56
４－９	データおよび制御用 PHY レイヤ・インタフェース … 59
４－10	オクテット・レベルの送信タイミング … 61
４－11	セル・レベル・ハンドシェークの送信タイミング … 62
４－12	オクテット・レベル・ハンドシェークの受信タイミング … 64
４－13	セル・レベル・ハンドシェークの受信タイミング … 64
４－14	PHY デバイス制御用信号タイミング … 66
５－１	初期化後のコントロール・メモリ（フリー・ブロック・プール） … 68
５－２	初期化シーケンス・フロー・チャート … 69
５－３	コントロール・メモリの構成 … 71
５－４	フリー・ブロック・プールのスタック … 72
５－５	メールボックスの構造 … 74
５－６	送信フローの概略 … 76
５－７	システム・メモリ内送信データの構造例 … 77
５－８	パケット・ディスクリプタのフォーマット … 78
５－９	空白ディスクリプタの配置 … 79
５－10	送信キューの配置例 … 80
５－11	シングルバッファ・モード … 80
５－12	マルチバッファ・モード … 81
５－13	CRC-10 の挿入 … 83
５－14	バッファ・ディスクリプタのフォーマット … 85
５－15	LAST ビットの設定 … 85
５－16	送信 VC テーブルの構造 … 87
５－17	送信チャネルの状態 … 89
５－18	セル送出例（1VC 送信 I/M=1/2, P=1, C=1, ICM=“0”の場合） … 90
５－19	スケジューリング機能の概念 … 91

保守／廃止

図の目次（2/2）

図番号	タイトル，ページ
5－20	スケジューラ動作の概要 … 92
5－21	パラメータの作用例 … 94
5－22	リンクに使用するポインタ … 95
5－23	送信 VC のトラフィック・シェーパへのリンクおよびリンク解除 … 95
5－24	コントロール・メモリのシェーパ･ポインタ・エントリ … 97
5－25	シェーパの状態 … 98
5－26	優先順位によるセル送出順 … 103
5－27	送信動作概要フロー・チャート … 106
5－28	受信フローの概略 … 110
5－29	システム・メモリ内受信プールの構造 … 113
5－30	プールの構成 … 115
5－31	受信フリー･バッファ･プール･ポインタ内のプール・ディスクリプタの配置 … 116
5－32	プール・ディスクリプタのフォーマット … 116
5－33	Raw セル用プール … 118
5－34	受信 VC テーブル（MPEG-TS パケット以外のパケット受信用） … 119
5－35	受信 VC テーブル（MPEG-TS パケット受信用） … 120
5－36	受信チャネルの状態 … 123
5－37	受信ルックアップ・テーブル（SHIFT=4 の場合） … 125
5－38	受信動作フロー・チャート … 127
5－39	MPEG-TS パケットのフォーマット … 128
5－40	MPEG-TS パケット処理フロー・チャート … 130
5－41	受信データの構成例 … 132
5－42	MPEG-TS パケットの転送アドレス … 134
5－43	Raw セル・データ格納用プールの構造（VC#1 と VC#J の Raw セル・データを同じプールに格納するように設定した場合） … 135
5－44	リアセンブリ・タイマ（T1） … 137
5－45	Raw セル・データのフォーマット … 143
6－1	コマンド発行と B ビット … 152
6－2	送信クローズ・チャネル処理のフロー・チャート … 158
6－3	受信クローズ・チャネル処理のフロー・チャート … 159
6－4	Add_Batches コマンド発行前のホストの作業 … 161
8－1	バウンダリ・スキャン回路ブロック図 … 184
8－2	TAP コントローラの状態 … 186
8－3	コントローラ状態での動作タイミング … 187
8－4	テスト・ロジックの動作（インストラクション・スキャン） … 194
8－5	テスト・ロジックの動作（データ・スキャン） … 195

保守／廃止

表の目次

表番号	タイトル，ページ
4－1	コンフィギュレーション・レジスタ … 41
4－2	イネーブル・バースト・サイズの選択 … 49
4－3	μPD98409 の DMA 転送内容 … 50
4－4	各ケースでのバースト転送推移 … 52
4－5	EEPROM コマンド一覧 … 57
4－6	EEPROM フォーマット … 58
5－1	μPD98409 のメールボックス動作 … 75
5－2	パケット・ディスクリプタの機能 … 78
5－3	スケジューラ・レジスタのビット説明 … 93
5－4	μPD98409 送信機能のサポート・データのまとめ … 109
5－5	受信データの種類と使用プール … 117
5－6	パケットの先頭，中間，最終セルのいずれにおいても発生するエラーの一覧 … 141
5－7	エラー重複時に優先されるエラー … 141
6－1	コマンドの種類 … 151
8－1	それぞれのコントローラ状態における動作 … 193

保守／廃止

［メ　モ］

保守／廃止

第1章　概　　説

μPD98409は，ATMセルのセグメンテーションとリアセンブリを行う高性能SARチップです。PCI（Peripheral Component Interconnect）バス・インタフェース，コントロール・メモリを内蔵，CPUの画像圧縮データ転送負荷を軽減する MPEG パケット・トランスファ・エンジン機能をサポートし，ATM ネットワークとインタフェースするセット・トップ・ボックス（STB）に使用するのに適した仕様になっています。μPD98409 は，ATM フォーラム勧告に適合しており，AAL-5 SAR サブレイヤおよび ATM レイヤの機能を内蔵しています。

1.1　特　　徴

- ●ATMフォーラムに適合
- ●PCIバス・インタフェース内蔵（5/3.3V，32ビット，33MHz）
  PCI Local Bus Specification Revision 2.1適合
- ●AAL-5 SARサブレイヤおよびATMレイヤの機能を内蔵
- ●AAL-5処理をハードウエアでサポート（非AAL-5はソフトウエアでの処理が可能）
- ●最大64個の仮想チャネル（VC）をサポート（64VCのコントロール・メモリ内蔵）
- ●送信スケジューリングを行うトラフィック・シェーパを２個内蔵
- ●CPUの画像圧縮データ転送負荷を軽減するMPEGパケット・トランスファ・エンジン
- ●12セル分の受信FIFOを内蔵
- ●PHYデバイス・インタフェース：UTOPIA Level-1（オクテット／セル・レベル・ハンドシェーク）
- ●JTAGバウンダリ・スキャン・テスト機能（IEEE 1149.1）を装備
- ●0.35μm CMOSプロセス，+5/+3.3V電源
  －バス・インタフェース+5V：+5/+3.3V電源
  －バス・インタフェース+3.3V：+3.3V単一電源

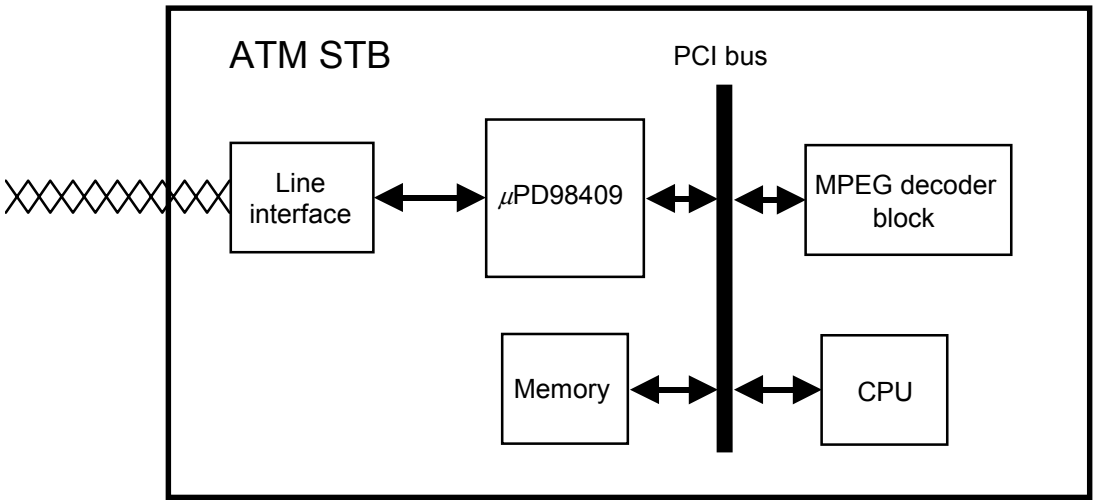
1.2　オーダ情報

	オーダ名称	パッケージ
	μPD98409GN-LMU	240ピン・プラスチックQFP（ファインピッチ）（32×32）
★	μPD98409GN-LMU-A	240ピン・プラスチックQFP（ファインピッチ）（32×32）

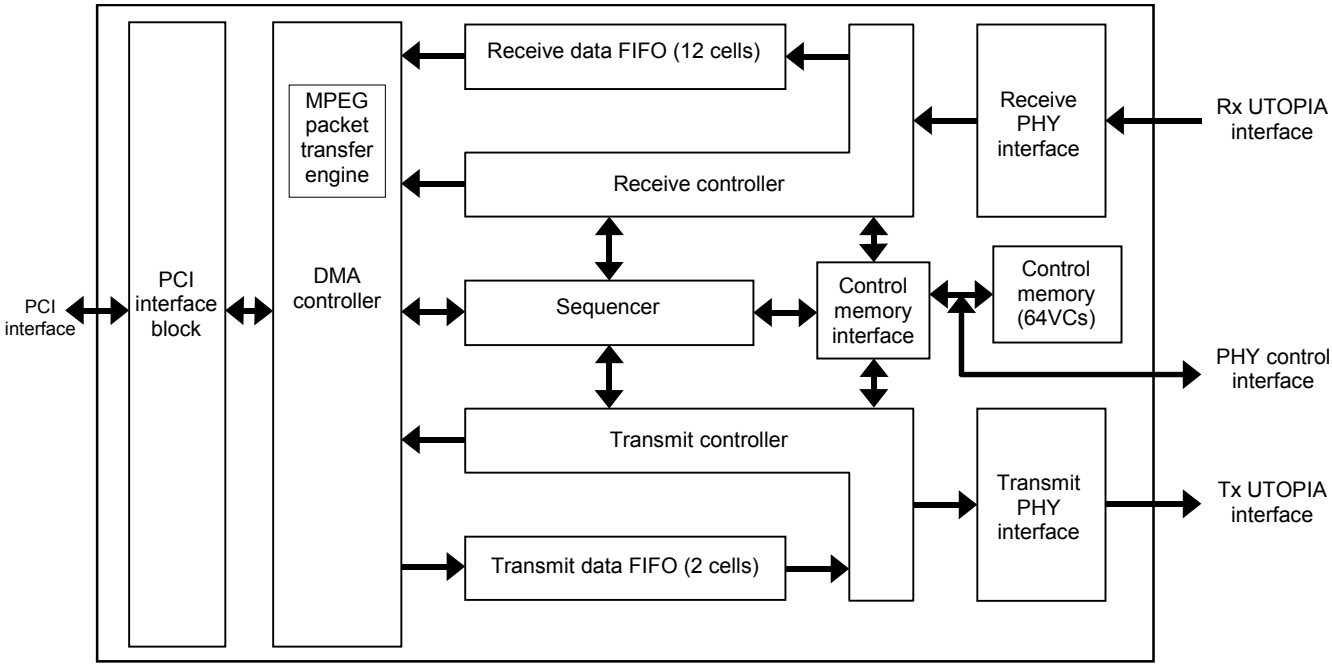
備考　μPD98409GN-LMU-A は鉛フリー製品です。

保守／廃止

１.３　システム構成例



１.４　ブロック図

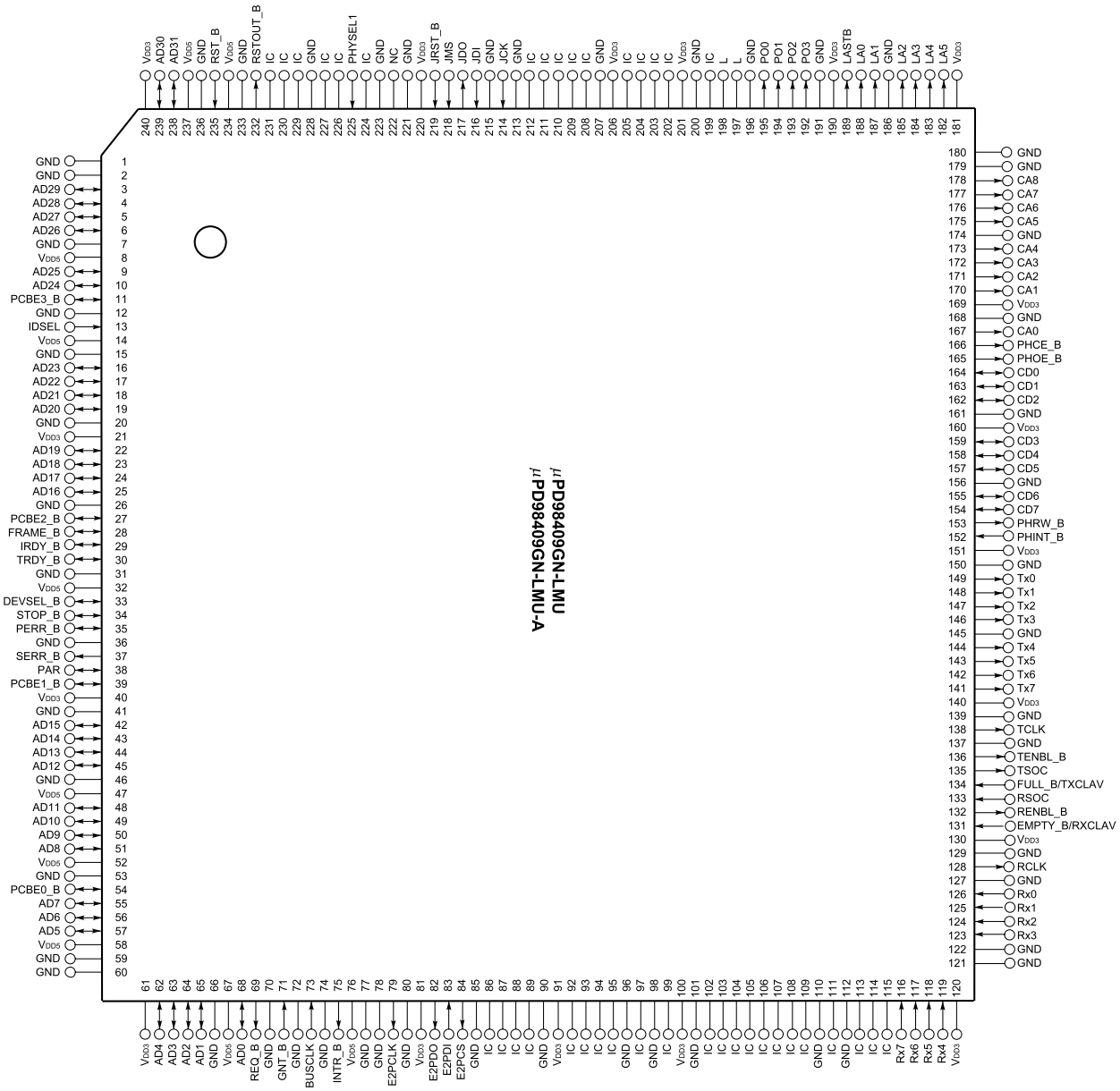


保守／廃止

第２章　端子機能

２.１　端子接続図（Top View）

・240ピン・プラスチックQFP（ファインピッチ）（32×32）



NC：ノー・コネクション。オープンにしてください。

IC：内部テスト用プルダウン抵抗付き入力端子です。ロウ・レベルに固定することを推奨します。

L：ロウ・レベル固定にしてください。

保守／廃止

端子名称

AD31-AD0	:Address/Data
BUSCLK	:Bus Clock
CA8-CA0	:PHY Device Address
CD7-CD0	:PHY Device Data
DEVSEL_B	:Device Select
E2PCLK	:Clock for EEPROM™
E2PCS	:EEPROM Chip Select
E2PDI	:Serial Data Input from EEPROM
E2PDO	:Serial Data Output to EEPROM
EMPTY_B/RxCLAV	: PHY Empty / Rx Cell Available
FRAME_B	:Cycle Frame
FULL_B/ TxCLAV	:PHY Buffer Full / Tx Cell Available
GND	:Ground
GNT_B	:Grant
IDSEL	:ID Select
INTR_B	:Interrupt
IRDY_B	:Initiator Ready
JCK	:JTAG Test Pin
JDI	:JTAG Test Pin
JDO	:JTAG Test Pin
JMS	:JTAG Test Pin
JRST_B	:JTAG Test Pin
LA5-LA0	:Internal Test Pin
LASTB	:Internal Test Pin
PAR	:Parity
PCBE_B3-PCBE_B0	:Bus Command and Byte Enables
PERR_B	:Parity Error
PHCE_B	:PHY Chip Enable
PHINT_B	:PHY Interrupt
PHOE_B	:PHY Output Enable
PHRW_B	:PHY Read/Write
PHYSEL1	:PHY Select
PO3-PO0	:Generic Output Port
RCLK	:Receive Clock
RENBL_B	:Receive Enable
REQ_B	:Request
RSOC	:Receive Start of Cell
RST_B	:Reset
RSTOUT_B	:Reset Output
Rx7-Rx0	:Receive Data Bus
SERR_B	:System Error
STOP_B	:Stop
TCLK	:Transmit Clock
TENBL_B	:Transmit Enable
TRDY_B	:Target Ready
TSOC	:Transmit Start of Cell
Tx7-Tx0	:Transmit Data Bus
V_{DD3}	:+3.3V Power Supply
V_{DD5}	:+5V Power Supply

保守／廃止

２.２　端子機能

μPD98409の機能端子について説明します。各端子の使用方法の詳細説明，および注意事項は，第４章　インタフェースに記載されていますので，必ず参照してください。

備考　LV-TTL input：5V CMOS outputに接続可

TTL output：5V TTL inputに接続可，V_{OH}=3.3V，I_{OL}=6mA

CMOS output：3.3V CMOS output，V_{OH}=3.3V，I_{OL}=12mA

PCI input：5/3.3V PCI input

PCI output：5/3.3V PCI output

２.２.１　PHY デバイス・インタフェース端子

PHYデバイス･インタフェースには，μPD98409がATMセルをPHYデバイスとの間で転送し合うためのUTOPIAインタフェースと，PHY デバイスを制御するための PHY コントロール・インタフェースがあります。

（1）UTOPIA インタフェース　（1/2）

端子名	端子番号	I/O	I/Oレベル	機　　能
Rx7 - Rx0	116 - 119, 123 - 126	I	LV-TTL	受信データ・バス Rx7-Rx0は8ビット入力バスです。ネットワークからの受信データを，PHYデバイスからバイト形式で入力します。μPD98409はRCLKの立ち上がりエッジに同期してデータを取り込みます。
RSOC	133	I	LV-TTL	受信セル開始位置信号 RSOC信号は，PHYデバイスからセル・データの1バイト目に同期して入力される信号です。Rx7-Rx0にヘッダの1バイト目が入力されている間，ハイ・レベルを入力してください。
RENBL_B	132	O	TTL	受信イネーブル RENBL_B信号は，μPD98409が次のクロック・サイクルでデータ受信可能であることをPHYデバイスに示します。
EMPTY_B/ RxCLAV	131	I	LV-TTL	PHY出力バッファ・エンプティ／Rxセル・アベイラブル 受信FIFOに転送すべきセル・データが存在せず，PHYデバイスが受信データを供給できないことをμPD98409に通知する信号です。UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェークのとき，ENPTY_B信号として機能し，現クロック・サイクルにおけるRx7-Rx0上のデータが無効であることを通知します。セル・レベル・ハンドシェークにおいては，RxCLAV信号として機能し，現在のセル転送終了後，次に供給するセルがないことを通知します。

保守／廃止

(2/2)

端子名	端子番号	I/O	I/Oレベル	機　　能
RCLK	128	O	TTL	受信クロック 受信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。
Tx7-Tx0	141 - 144, 146 - 149	O	TTL	送信データ・バス Tx7-Tx0は8ビット出力バスです。送信データを，PHYデバイスへバイト形式で出力します。μPD98409はTCLKの立ち上がりエッジに同期してデータを出力します。
TSOC	135	O	TTL	送信セル開始位置信号 TSOC信号は，送信セル・データの1バイト目に同期して出力される信号です。
TENBL_B	136	O	TTL	送信イネーブル TENBL_B信号は，現在のクロック・サイクルでTx7-Tx0にデータが出力されていることをPHYデバイスに示します。
FULL_B/ TxCLAV	134	I	LV-TTL	PHYレイヤ・バッファ・フル／Txセル・アベイラブル PHYデバイスの入力バッファが一杯で，これ以上データを受け入れられないことをμPD98409に通知する信号です。 UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェークのとき，PHYデバイスはセル・データを受けとれる場合にインアクティブを入力します。セル・レベル・ハンドシェークにおいては，現在のセル転送終了後，次の1セル・データすべてを受けとれることを通知する信号を入力します。
TCLK	138	O	TTL	送信クロック 送信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。

（2）PHY デバイス・コントロール・インタフェース　(1/2)

端子名	端子番号	I/O	I/Oレベル	機　　能
PHRW_B	153	O	TTL	PHYリード／ライト μPD98409は，PHRW_BによってPHYデバイス制御の方向を示します。 1：リード 0：ライト
PHOE_B	165	O	TTL	PHYレイヤ出力イネーブル μPD98409は，PHOE_Bをロウ・レベルにすることにより，PHYデバイスからの出力をイネーブルにします。

保守／廃止

（2/2）

端子名	端子番号	I/O	I/Oレベル	機　　能
PHCE_B	166	O	TTL	PHYレイヤ・チップ・イネーブル μPD98409は，PHYデバイスにアクセスするときPHCE_Bをロウ・レベルにします。
PHINT_B	152	I	LV-TTL	PHYレイヤ割り込み PHYデバイスからの割り込み信号入力端子です。PHYデバイスはPHINT_Bにロウ・レベルを入力することにより，割り込み要因を持つことを μPD98409に示します。
RSTOUT_B	232	O	TTL	リセット出力 PHYデバイスをリセットするための信号です。RST_B端子にロウ・レベルが入力されたとき，またはソフトウエア・リセットが実行されたとき，μPD98409はこの端子を11-22クロック・サイクルの間，ロウ・レベルにします。
CD7-CD0	154, 155, 157-159, 162-164	I/O 3ステート	LV-TTL in TTL out	PHYデバイス・データ CD7-CD0は8ビットのデータ・バスです。3ステート入出力端子です。PHYデバイスとのデータ転送に使用します。
CA8-CA0	178-175, 173-170, 167	O	TTL	PHYデバイス・アドレス CA8-CA0は9ビットのアドレス・バスです。リード／ライト動作時にPHYデバイスにアドレスを出力します。

2.2.2　バス・インタフェース端子

μPD98409は，ホストとのバス・インタフェースに32ビットのPCIバス・インタフェースを採用しています。“ PCI Local Bus Specification Revision2.1 ” に適合しています。

（1/3）

端子名	端子番号	I/O	I/Oレベル	機　　能
AD31-AD0	238, 239, 3-6, 9, 10, 16-19, 22-25, 42-45, 48-51, 55-57, 62-65, 68	I/O 3ステート	PCI	アドレス／データ AD31-AD0は，32ビットのマルチプレクス・アドレスおよびデータ・バス信号です。バス・マスタとして動作する場合，μPD98409は最初の1クロック目でアドレスをドライブします。2クロック目からはデータが転送されます。
PCBE3_B PCBE2_B PCBE1_B PCBE0_B	11 27 39 54	I/O 3ステート	PCI	バス・コマンド／バイト・イネーブル アドレス・フェーズでは，これらの信号は“ バス・コマンド ”（発生するバス・トランザクション）を定義します。データ・フェーズでは，どのバイト・レーンが有効なデータを保持しているかを示します。PCBE3_B端子は，バイト３（ビット31-ビット24）に，PCBE0_B端子は，バイト0（ビット７-ビット0）に対応します。

保守／廃止

(2/3)

端子名	端子番号	I/O	I/Oレベル	機　　能
PAR	38	I/O 3ステート	PCI	パリティ この信号は，PAR信号を含むAD31-AD0およびPCBE3_B-PCBE0_B端子上の偶数パリティの入出力を行います。マスタ動作の場合，PAR信号はアドレスおよびライト・データ・フェーズ中に出力になります。ターゲットとして動作する場合には，リード・データ・フェーズ中に出力になります。
FRAME_B	28	I/O サステインド 3ステート	PCI	フレーム この信号は，バス・トランザクションの開始と期間を示します。この信号がアクティブになると，バス・トランザクションの開始を示します。アクティブの間，データ転送が行われ，次のデータ転送フェーズがそのトランザクションの中の最後のデータ転送になったときにインアクティブになります。
TRDY_B	30	I/O サステインド 3ステート	PCI	ターゲット・レディ ターゲット・デバイスが現在のデータ・フェーズのトランザクションを完了する準備ができたとき，この信号はロウ・レベルになります。この信号はIRDY_Bと組み合わせて使われ，IRDY_BとTRDY_B信号の双方がロウ・レベルになっているタイミングでリード／ライト・データ転送が実行されます。
IRDY_B	29	I/O サステインド 3ステート	PCI	イニシエータ・レディ イニシエータが現在のデータ・フェーズのトランザクションを完了する準備ができたとき，この信号はロウ・レベルになります。この信号はTRDY_Bと組み合わせて使用され，IRDY_BとTRDY_B信号の双方がロウ・レベルになっているタイミングでリード／ライト・データ転送が実行されます。FRAME_BとIRDY_Bがともにインアクティブになっているときは，バス・サイクルが実行されていない状態となります。IRDY_BとTRDY_Bが一緒にアクティブになるまでウエイト・サイクルが挿入されます。
STOP_B	34	I/O サステインド 3ステート	PCI	ストップ この信号は，ターゲット・デバイスがマスタ・デバイスに対して，現在のトランザクションの中止を要求するときにロウ・レベルになります。
DEVSEL_B	33	I/O サステインド 3ステート	PCI	デバイス・セレクト ターゲットとして動作する場合，FRAME_B信号がアクティブになったあと，μPD98409がアドレスを認識すると，この信号をロウ・レベルにします。マスタとして動作する場合は，ターゲット・デバイスが選択できたかどうか，この信号をサンプリングします。

保守／廃止

(3/3)

端子名	端子番号	I/O	I/Oレベル	機　　能
IDSEL	13	I	PCI	初期化デバイス・セレクト この信号は，μPD98409のコンフィギュレーション・レジスタに対してリード／ライトを行うときにハイ・レベルが入力されます。
REQ_B	69	O注	PCI	リクエスト μPD98409はこの信号をロウ・レベルにして，アービタにバスの使用権を要求します。
GNT_B	71	I	PCI	グラント この信号がロウ・レベルになると，アービタからバスの使用権がμPD98409に譲与されたことを示します。
PERR_B	35	I/O サステインド 3ステート	PCI	パリティ・エラー μPD98409がデータ・パリティ・エラーを検出したことを通知するための信号です。コンフィギュレーション・レジスタの“Parity Error Response”ビットが1にセットされている場合にイネーブルになります。
SERR_B	37	O	N-Ch オープン・ ドレーン	システム・エラー μPD98409がアドレス・パリティ・エラーを検出したことを通知するための信号です。コンフィギュレーション・レジスタの“Parity Error Response”および“System Error Enable”ビットが共に1にセットされている場合にイネーブルになります。
INTR_B	75	O	N-Ch オープン・ ドレーン	割り込み出力 オープン・ドレーン信号ですので，プルアップして使用してください。INTR_Bは割り込みGSRレジスタの（マスクされていない）割り込みビットがセットされたことをCPUに知らせます。
BUSCLK	73	I	PCI	PCIバス・クロック バス・クロック入力端子です。33MHzまでのクロックを入力してください。
RST_B	235	I	PCI	リセット RST_B信号により，μPD98409を初期化します（起動時など）。RST_Bにロウ・レベルを入力すると，μPD98409内部のステート・マシンやレジスタはリセットされ，すべての３ステート信号はハイ・インピーダンスになります。動作中に入力すると，そのときの動作状態は失われます。RST_Bへの入力は少なくとも1クロック・サイクルの間ロウ・レベルを保持してください。リセット後，少なくとも20クロック間は，μPD98409へのアクセスは行わないでください。

注　“PCI Local Bus Specification Revision 2.1”では，RST_B端子にロウ・レベルが入力されている間，REQ_B端子はハイ・インピーダンスにならなければなりませんが，μPD98409のREQ_B端子はハイ・レベルを出力します。

保守／廃止

２.２.３　シリアルEEPROMインタフェース端子

μPD98409は，MICROWIRE™インタフェースに対応したシリアルEEPROM用のインタフェースを持っています。接続したEEPROMからPCIコンフィギュレーション・レジスタの一部の内容をロードすることができます。

接続するEEPROMには，National Semiconductor社製の“NM93C46L”を推奨します。

端子名	端子番号	I/O	I/Oレベル	機　　能
E2PCS	84	O	TTL	EEPROMチップ・セレクト EEPROM用のチップ・セレクト信号です。 未使用時は，オープンにしてください。
E2PDI	83	I	TTL 内部 プルアップ	EEPROMデータ入力 EEPROMのデータ出力端子に接続してください。 未使用時は，プルアップまたはオープンにしてください。
E2PDO	82	O	TTL	EEPROMデータ出力 EEPROMのデータ入力端子に接続してください。 未使用時は，オープンにしてください。
E2PCLK	79	O	TTL	EEPROMクロック EEPROMとのデータ転送に必要なクロックを供給します。 BUSCLK端子に入力されるクロックを36分周して出力します。 未使用時は，オープンにしてください。

保守／廃止

2.2.4　JTAGバウンダリ・スキャン端子

端子名	端子番号	I/O	I/Oレベル	機　　能
JDI	216	I	LV-TTL	JTAGテスト・データ入力 JDI端子は，JTAGバウンダリ・スキャン回路レジスタにデータを入力するための端子です。 通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。
JDO	217	O ３ステート	TTL	JTAGテスト・データ出力 JDO端子は，JTAGバウンダリ・スキャン回路レジスタから，データを出力するための端子です。JCK端子に入力されるクロックの立ち下がりで出力を変化させます。 通常動作時はオープンにしてください。
JCK	214	I	LV-TTL	JTAGテスト・クロック JTAGバウンダリ・スキャン回路レジスタへのクロックの供給に使用します。 通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。
JMS	218	I	LV-TTL	JTAGテスト・モード・セレクト 通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。
JRST_B	219	I	LV-TTL	JTAGテスト・リセット JTAGバウンダリ・スキャン回路を初期化するための端子です。通常動作時はロウ・レベル固定にしてください。

備考　通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは，RST_B 端子へのパルス入力ではリセットがかかりません。

JTAG ロジックがリセット状態にないと，μPD98409 は通常動作を行えない場合があります。JTAG ロジックのリセット方法には次の 2 つがありますので，JRST_B 端子をグランドに接続していない場合には，電源投入後，必ずどちらかの方法で JTAG ロジックをリセットしてください。

- **JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする**

JMS，JCK 端子を使用して，JTAG ロジックをリセット状態に移行させ，リセット状態から動かさないようにします（JRST_B 端子は，pull-up している状態です）。

JMS 端子を 1 に固定（pull-up）して，JCK 端子に 5 クロック・サイクル以上入力してください。

- **JRST_B 端子を使用して JTAG ロジックをリセット状態にする**

JRST_B 端子にロウ・パルスを入力して，その後 JMS，JRST_B 端子を pull-up してハイ・レベルを維持していると，JTAG ロジックはリセット状態から動きませんので，通常動作に影響を及ぼしません。他の JDI，JCK 端子は，pull-down/pull-up のどちらかで入力レベルを固定してください。

保守／廃止

2.2.5　その他の端子

端子名	端子番号	I/O	I/Oレベル	機　　能
PHYSEL1	225	I	LV-TTL	内部テスト用端子 ロウ・レベルを入力してください。
PO3-PO0	192-195	O	CMOS	汎用出力ポート 汎用出力端子です。GPORレジスタにライトした値が出力されます。
LA5-LA0	182-185, 187-188	O	TTL	内部テスト用端子 通常動作時はオープンにしてください。
LASTB	189	O	TTL	内部テスト用端子 通常動作時はオープンにしてください。

2.2.6　電源およびグランド端子

端子名	端子番号	I/O	機　　能
V_{DD3}	21, 40, 61, 81, 91, 100, 120, 130, 140, 151, 160, 169, 181, 190, 201, 206, 220, 240	－	+3.3V電源 チップに+3.3Vの電圧を供給します。
V_{DD5}	8, 14, 32, 47, 52, 58, 67, 76, 234, 237	－	+5V電源 バス・インタフェース+5Vを使用するときに，+5Vの電圧を供給します。バス・インタフェース+3.3Vを使用するときは，+3.3Vの電圧を供給してください。
GND	1, 2, 7, 12, 15, 20, 26, 31, 36, 41, 46, 53, 59, 60, 66, 70, 72, 74, 77, 78, 80, 85, 90, 96, 98, 101, 110, 112, 121, 122, 127, 129, 137, 139, 145, 150, 156, 161, 168, 174, 179, 180, 186, 191, 196, 200, 207, 213, 215, 221, 223, 228, 233, 236	－	グランド

保守／廃止

2.2.7　端子のリセット中，リセット後の状態

端子名	リセット中	リセット後
RENBL_B	1	1
RCLK	CLK出力	CLK出力
Tx7-Tx0	0	0
TSOC	0	0
TENBL_B	1	1
TCLK	CLK出力	CLK出力
PHRW_B	0	0
PHOE_B	1	1
PHCE_B	Hi-Z	Hi-Z
AD31-AD0	Hi-Z（入力）	Hi-Z（入力）
PCBE3_B-PCBE0_B	Hi-Z（入力）	Hi-Z（入力）
PAR	Hi-Z（入力）	Hi-Z（入力）
FRAME_B	Hi-Z（入力）	Hi-Z（入力）
TRDY_B	Hi-Z（入力）	Hi-Z（入力）
IRDY_B	Hi-Z（入力）	Hi-Z（入力）
STOP_B	Hi-Z（入力）	Hi-Z（入力）
DEVSEL_B	Hi-Z（入力）	Hi-Z（入力）
REQ_B	1	1
PERR_B	Hi-Z（入力）	Hi-Z（入力）
SERR_B	Hi-Z	Hi-Z
INTR_B	Hi-Z	Hi-Z
E2PCS	0	0
E2PDO	0	0
E2PCLK	0	0
CD7-CD0	0	0
CA8-CA0	0	0
PO3-PO0	1	1
LA5-LA0	0	0
LASTB	0	1
JDO 注	Hi-Z	Hi-Z

注　JRST_B 入力時

保守／廃止

［メ　モ］

保守／廃止

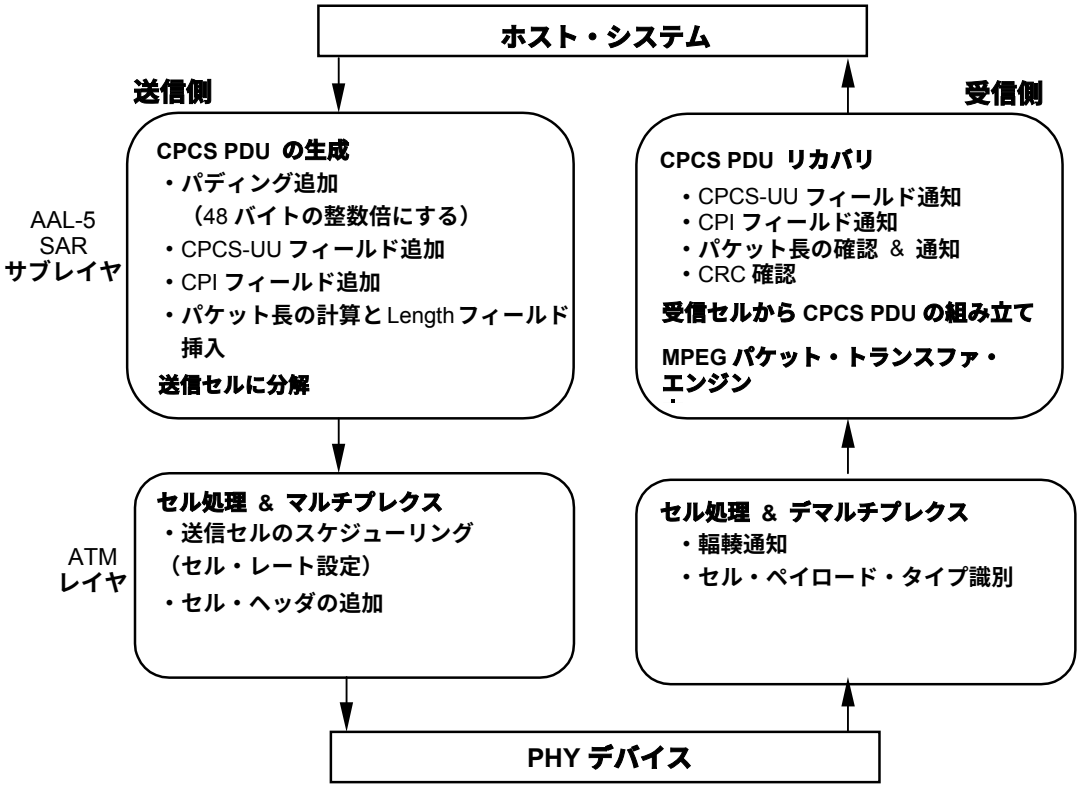
第３章　機能概要

ここでは，μPD98409 の機能概要について説明します。各機能の詳細は，**第５章 μPD98409 の動作** をご覧ください。

３.１　機能概要

μPD98409 は，ATM プロトコルのうち，ATM アダプテーション・レイヤの AAL-5 SAR サブレイヤ，および ATM レイヤをハードウエアでサポートします。

図３－１　μPD98409 の機能



保守／廃止

μPD98409 はホスト･システムと PHY デバイスの間に位置し，ホストが PCI バス・インタフェースを介して内部レジスタにアクセスすることにより制御されます。送受信データは内蔵する DMA コントローラでホストが管理するシステム・メモリと直接転送し合います。また，パケットごとに送受信完了のステータスとしてインディケーションをシステム・メモリに転送します。したがって，ホストはμPD98409 を使用して送受信するうえで，次の３つの領域をシステム・メモリに確保する必要があります。

（ａ）送信バッファ領域　　：送信データを格納する領域です。
（ｂ）受信バッファ領域　　：受信データを格納する領域です。
（ｃ）メールボックス領域　：送受信インディケーションを格納するための領域です。

μPD98409 は送受信処理を実行するために，内蔵のコントロール・メモリを使用します。コントロール・メモリとして 64VC 分（610 ワード）のメモリが内蔵され，次に示すように 4 つの領域に分割して使用されます。□つの領域の境界はホストがμPD98409 のレジスタに設定します。

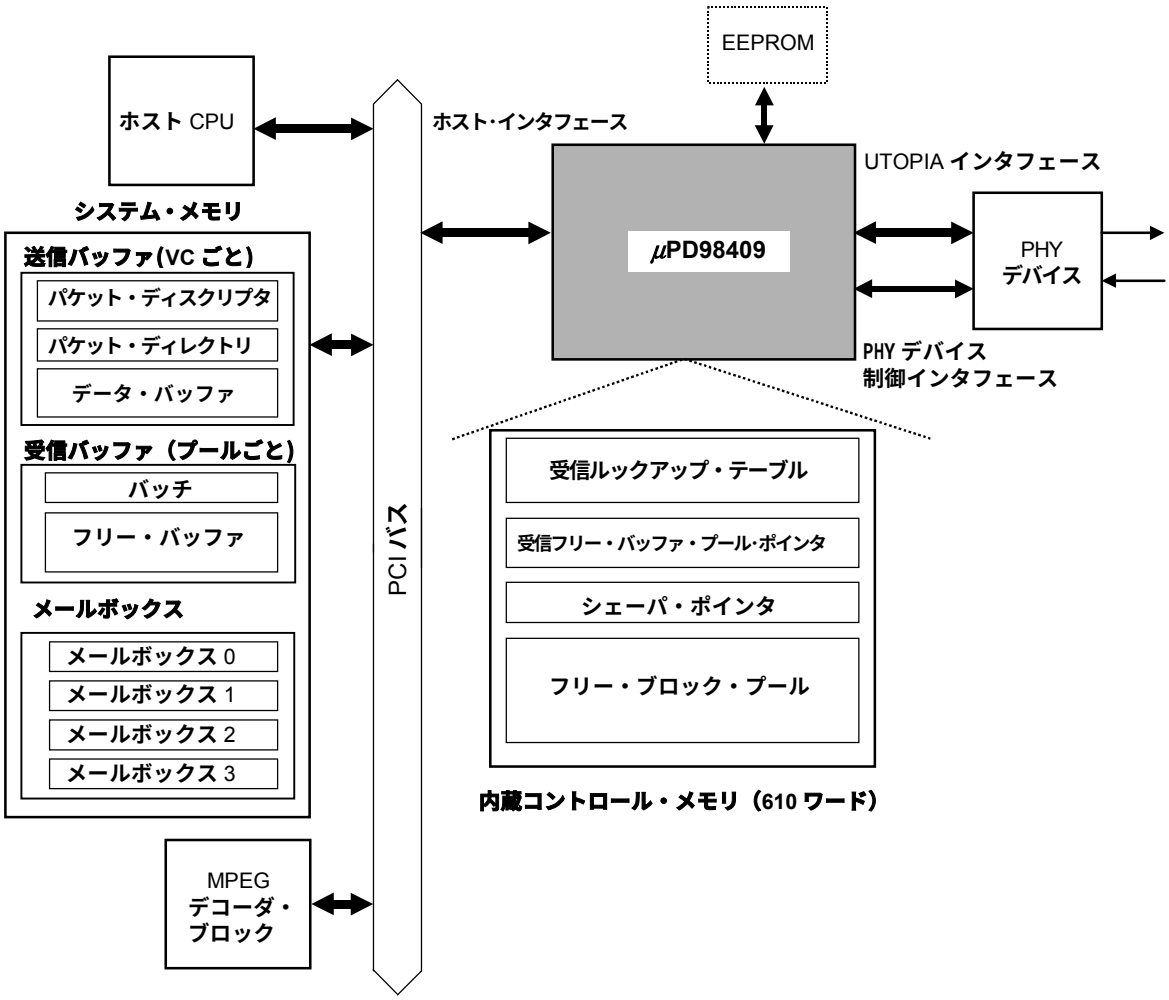
①受信ルックアップ・テーブル領域
②受信フリー・バッファ・プール・ポインタ領域
③シェーパ・ポインタ領域
④フリー･ブロック・プール領域

コントロール・メモリの詳細は，**５.２　コントロール・メモリの設定**を参照してください。

μPD98409 と PHY デバイスは，セル・フォーマットで転送を行います。μPD98409 はシステム・メモリからセグメント単位でリードした送信データを内部処理でセル化し，UTOPIA インタフェースを介して PHY デバイスに転送します。また，PHY デバイスから受けるセルは受信処理後，ホストの管理するシステム･メモリにセル単位で転送します。次にμPD98409 のシステム概要を示します。

保守／廃止

図３－２　μPD98409 のシステム概要



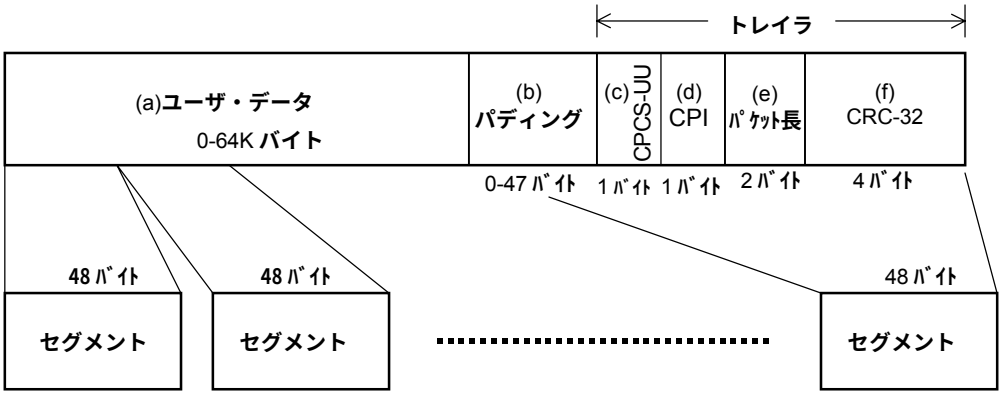
保守／廃止

３.２　AAL-5 SAR サブレイヤ機能

μPD98409 は送信機能において，ホスト・システムが用意するさまざまな長さのユーザ・データ（0-65535 バイト）に対して 48 バイトの整数倍になるようにパディングを付加し，さらに図３－３に示すトレイラを追加して AAL-5 の CPCS -PDU を生成します。それを 48 バイト長のセグメントに分解します。

受信機能においては,受信するセルからセルのオーバヘッドを削除し,システム･メモリの受信バッファ上で CPCS-PDU を組み立てます。また，そのパケットのトレイラを調べ，エラー検出を行いホストに通知します。受信バッファには，（ａ）ユーザ・データだけではなく，（ｂ）-（ｆ）のフィールドを加えた CPCS PDU のフォーマットで格納されます。

図３－３　AAL-5 の PDU フォーマット



（ａ）ユーザ・データ（User Data）フィールド：

最長 65535 バイトのデータです。

（ｂ）パディング（Padding）フィールド：

CPCS PDU を 48 バイトの整数倍にするために，ユーザ・ データとトレイラの間に挿入される 0-47 バイトのフィールドです。μPD98409 は自動的にオール 0 のデータを挿入します。

（ｃ）CPCS ユーザ-ユーザ情報（CPCS-UU）フィールド：

CPCS ユーザ-ユーザ情報の転送に用います。μPD98409 では，任意のデータを設定して送信することができます。

（ｄ）共通部識別子（CPI）フィールド：

CPCS PDU トレイラを 8 ビット長にするためにオール 0 として用います。その他の使い方および設定値は未定です。μPD98409 が送信するパケットのこのフィールドは，ユーザが任意に設定することができます。

（ｅ）パケット長（Length）フィールド：

CPCS PDU のうちのユーザ・データ長（0-65535）をバイト単位で 2 進表示します。μPD98409 の機能においては，送信側ではμPD98409 が計算し，挿入します。受信側では，受信したこのフィールドと実際に受信したパケット・サイズの結果とをベリファイする機能を持っています。

保守／廃止

（ｆ）CRC-32 フィールド：

CRC 符号が右詰で設定されます。

生成多項式は次のとおりです。

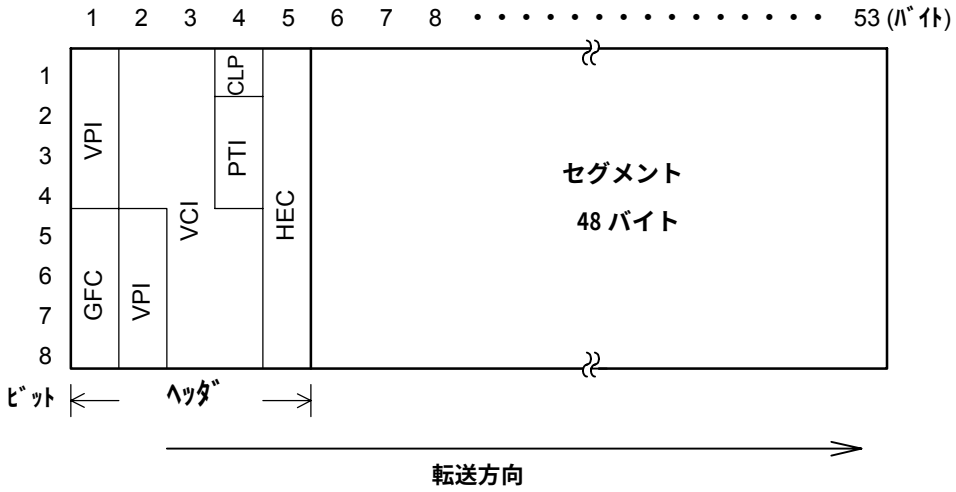
式＝$1+x+x^2+x^4+x^5+x^7+x^8+x^{10}+x^{11}+x^{12}+x^{16}+x^{22}+x^{23}+x^{25}+x^{32}$

３.３ ATM レイヤ機能

３.３.１ セルの生成

μPD98409 はセグメントに図３－４に示すような 5 バイトのヘッダ情報を付加して，セルを生成します。

図３－４　セルの構造 ユーザ網インタフェース（UNI）



GFC（Generic Flow Control）	：一般フロー制御
VPI（Virtual Path Identifier）	：バーチャル･パス識別子
VCI（Virtual Channel Identifier）	：バーチャル･チャネル識別子
PTI（Payload Type Identifier）	：ペイロード･タイプ識別子
CLP（Cell Loss Priority）	：セル損失優先表示
HEC（Header Error Contorol）	：ヘッダ誤り制御

次に，ヘッダの各フィールドの機能と，それに対してμPD98409 がサポートする機能について示します。

（1）GFC（一般的フロー制御）フィールド

GFC フィールドは，セル衝突を避けるための制御情報に使用するフィールドです。

＜μPD98409 の機能＞

送信：ユーザがパケットごとに任意に設定したパターンをこのフィールドに挿入します。

受信：このフィールドを無視し，内容はホストへ通知しません（Raw セル受信は除きます）。

保守／廃止

（2）VPI/VCI フィールド（バーチャル・パス識別子／バーチャル・チャネル識別子）

VPI，VCI は，それぞれ仮想パス（VP）レベル，仮想チャネル（VC）レベルで多重する際に識別するためのルーチング・ビットです。

＜μPD98409 の機能＞

送信：ユーザが設定した VPI/VCI の全範囲 24 ビットを挿入します。

受信：VPI/VCI を 15 ビットまでサポートします。VPI の下位ビットの一部と VCI の下位ビットの一部を連結して構成されます。24 ビットから 15 ビットに縮小するアルゴリズムについては，**5.5.4　受信ルックアップ・テーブルの設定**を参照してください。

μPD98409 のチャネルの設定方法は，送信 VC と受信 VC の場合で異なります。

μPD98409 は，アクティブ VC（バーチャル・チャネル）を同時に最大 64 個までサポートできます（受信 VC，送信 VC どのような組み合わせでもよい）。ここでいう VC（バーチャル・チャネル）は，μPD98409 の内部で送受信チャネルを識別するためのもので，VCI フィールドとは意味が異なります。

（3）PTI フィールド（ペイロード・タイプ識別子）

3 ビットのフィールドで，セルのペイロード・タイプがユーザ・データなのか，あるいはレイヤ管理情報なのかを示します。また，前方輻輳通知（EFCI）情報を含み，セルが輻輳するネットワーク・ノードを通過したことを示します。

PTI フィールドのコードは次のように割り当てられています。

PTI	用　　途
000	ユーザ・データ・セル，輻輳なし，SDU タイプ=0
001	ユーザ・データ・セル，輻輳なし，SDU タイプ=1
010	ユーザ・データ・セル，輻輳あり，SDU タイプ=0
011	ユーザ・データ・セル，輻輳あり，SDU タイプ=1
100	OAM F5 セル　（セグメント対応）
101	OAM F5 セル　(エンド-エンド対応）
110	リソース管理セル
111	将来機能の予約

SDU タイプ=0：AAL-PDU の最終セルを除くすべてのセグメント。

SDU タイプ=1：AAL-PDU の最終セル。このセルにはトレイラが含まれます。

OAM F5 セル ： VCC（Virtual Channel Connection）動作情報を持つ特定 OAM セル。

リソース管理セル（RM セル）：ネットワークのリソース情報を持つ特定のセル。

保守／廃止

＜μPD98409 の機能＞

送信：μPD98409 はユーザが設定したパターンをそのまま，このフィールドに設定し送出します。ユーザ・データ・セルを設定し，AAL-5 タイプの処理を選択したとき，最終セグメントを送出する場合は，μPD98409 が最下位ビットを“1”に変更して送出します。また，OAM セルのパターンを設定したときは，Raw セル送信処理を実行します。

受信：受信セルの PTI フィールドを監視し，受信したセルが OAM セルか，リソース管理セルか，あるいはユーザ・データ・セルかを判別し，それに応じて異なった処理を行います。OAM セルまたは，リソース管理セルであった場合は，Raw セルとしてセル単位で処理されます。

ユーザ・データ・セルを受信した場合，AAL-5 パケットとしての処理を行います。また，AAL-5 以外のユーザ・データのために Raw セルとして受信するように指定することができます。AAL-5 パケット受信の場合には，μPD98409 はパケットの最終セグメントかどうかを判断するために，さらに PTI フィールドの最下位ビットをチェックします。

PTI フィールド	μPD98409 の処理
000	ユーザ・データとして受信。
001	
010	
011	
100	Raw セルとして受信。
101	
110	
111	

（4）CLP（セル損失優先表示）

このフィールドは，このセルがネットワークの輻輳時に優先的に損失されるべきセルであるかどうかを表示するために用います。CLP=1 のときは，優先的に損失されるべきセルであることを示します。

＜μPD98409 の機能＞

送信：ユーザは送信パケットごとに次の 3 つのモードから選択して設定することができます。

●すべてのセルが CLP=0

●すべてのセルが CLP=1

●パケットの最終セルを除くすべてのセルが CLP=1，最終セルは CLP=0

受信：受信パケットごとに監視し，1 つでも CLP=1 のセルを受信すると，そのパケットの受信インディケーションでホストに通知します。

保守／廃止

（5）HEC フィールド（ヘッダ誤り制御）

物理レイヤの TC サブレイヤで処理されるフィールドで，セル同期，ヘッダ誤り検出，訂正に使用されます。

＜μPD98409 の機能＞

送信：μPD98409 は，このフィールドに“ 00H ”のダミー・データを挿入して送出します。

受信：このフィールドを無視します。

3.3.2　セル送出レートの設定

μPD98409 は生成したセルの送出レートを制御するシェーパを 2 個内蔵しています。それぞれのシェーパはデュアル・リーキ・バケット・アルゴリズムを実行します。アルゴリズムのパラメータはユーザがシェーパごとに設定します。ユーザは，チャネルごとにどちらのシェーパを使用するかを設定することができます。

また，2 個のシェーパのうちの任意の 1 つをアンアサインド／アイドル・セル・ジェネレータに設定することができます。アンアサインド／アイドル・セル・ジェネレータに設定されたシェーパは，ユーザに与えられたレートに従ってアンアサインド・セル／アイドル・セルのみを送出するシェーパとして機能します。このアンアサインド／アイドル・セル・ジェネレータ機能を使用することにより，すべてのチャネルがデータを送出するバンド幅の総和を制限することができます。

3.3.3　非 AAL-5 トラフィックのサポート

μPD98409 は，AAL-5 以外のトラフィック（AAL-5 以外の AAL セル，OAM セルやリソース管理セル（RM セル））をサポートする機能として，受信するセルを Raw セルとして処理する機能を持っています。Raw セル処理を実行するように設定された VC は，送信の場合，AAL-5 パケット送信としてのトレイラ付加などの処理を実行せず，送信データのセル化のみを実行し送出します。受信の場合は，53 バイト受信セルをヘッダが付いたまま，11 バイトのインディケーション情報と共にセル単位でシステム・メモリに格納します（フォーマットは，**5.5.7（2）Raw セル・データ**を参照してください）。セルごとのヘッダ解析，および，トレイラ検証などの処理は，ホストがソフトウエアで実行します。

また，μPD98409 は AAL-3/4 セル，OAM セル，RM セルのホスト処理を軽減するために，CRC-10 の挿入／ベリファイを行う機能を持っています。

通常モードにおいて，Raw セルは着信するたびに割り込みで通知されます。ホストは，1 セル着信ごとにソフト処理を実行します。ただし，AAL-3/4 パケットを Raw セル受信する VC においては，μPD98409 が AAL-3/4 セルの ST フィールドをチェックし，最終セル，または 1 セル単独のパケットが着信したときのみ，割り込みを発生するモードを設定できます。

保守／廃止

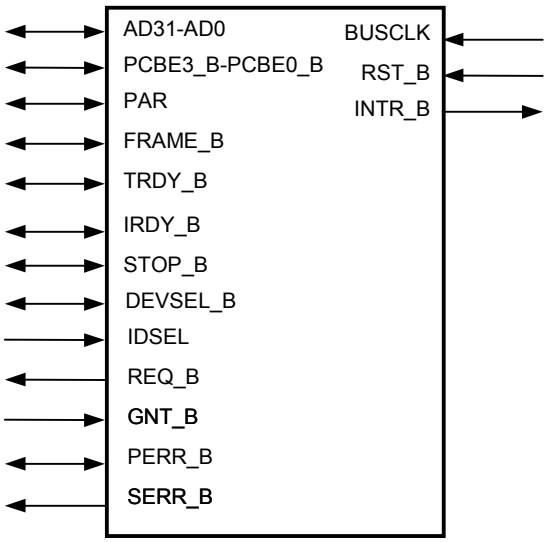
第４章　インタフェース

μPD98409には，ホスト・バス・インタフェース，PHYデバイス・インタフェースがあります。この章では各インタフェースの機能，動作の詳細について説明します。

４.１　バス・インタフェース

μPD98409のバス・インタフェースは，32ビットのPCIバス・インタフェースです。

図４－１　バス・インタフェース信号



４.１.１　PCIバス・インタフェースの特徴

- “PCI Local Bus Specification Revision2.1”に準拠
- 最高動作周波数33MHz
- ミディアム・スピード・デバイスとしてコマンド応答
- PCI規格に準拠したコンフィギュレーション・レジスタ空間を装備しコンフィギュレーション・サイクルに応答
- μPD98409の内部レジスタへのアクセスにはメモリ，I/Oの両コマンドで応答
- すべてのメモリ・リード・コマンド（メモリ・リード，メモリ・リード・マルチプル，メモリ・リード・ライン）は同じメモリ・リードとして処理
- すべてのメモリ・ライト・コマンド（メモリ・ライト，メモリ・ライト・マルチプル，メモリ・ライト・ライン）は，同じメモリ・ライトとして処理

保守／廃止

- μPD98409がマスタのとき，各ターゲット終了（リトライ／ディスコネクト／ ターゲット・アボート）に応答可
- 0ウエイト転送可（マスタ・デバイスとして）
- シリアルEEPROMインタフェースのサポート
- Retry Timer機能，TRDY Timer機能によりターゲットの異常動作を検出可能
- PCI電源電圧（V_{DD5}端子）により，5V PCIまたは3.3V PCIとして動作可能

4.1.2　コンフィギュレーション・レジスタ

コンフィギュレーション・レジスタは，PCIコンフィギュレーション空間にマッピングされています。ソフトウエア・リセットではコンフィギュレーション・レジスタの内容は初期化されません。ハードウエア・リセットでは，すべてのコンフィギュレーション・レジスタの内容がディフォールト値に初期化されます。

コンフィギュレーション・レジスタの内容は，PCI仕様書“PCI Local Bus Specification Revision2.1”をご覧ください。

オフセット40Hは，追加機能を設定するためのμPD98409特有のレジスタです。

図４－２　コンフィギュレーション・レジスタのレイアウト

アドレス	31　24	23　16	15　8	7　0
00H	Device ID		Vendor ID	
04H	Status		Command	
08H	Class Code			Revision ID
0CH	BIST	Header Type	Latency Timer	Cache Line Size
10H	IO Base Address			
14H	Memory Base Address			
18H	Reserved			
1CH				
20H				
24H				
28H				
2CH	Subsystem ID		Subsystem Vendor ID	
30H	Reserved			
34H				
38H				
3CH	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line
40H	Reserved		Retry Timer	TRDY Timer

備考　BIST :Built-in self test

保守／廃止

表 ４－１　コンフィギュレーション・レジスタ　(1/2)

オフセット	名称	ビット	R/W	ﾃﾞｨﾌｫｰﾙﾄ	説　明
00H	Device ID	31-16	R	0036H	μPD98409のデバイスIDです。
	Vendor ID	15-0	R	1033H	NECのベンダIDです。
04H	Status	31	R/W	0	Detected Parity Errorビット
		30	R/W	0	Signaled System Errorビット
		29	R/W	0	Received Master Abortビット
		28	R/W	0	Received Target Abortビット
		27	R/W	0	Signaled Target Abortビット
		26, 25	R	01	DEVSEL_B timing，μPD98409はMediumをサポート
		24	R/W	0	Data Parity Error Reportedビット
		23	R	1	Fast Back-to-Back Capableビット
		22-16	R	00H	Reserved
	Command	15-10	R	00H	Reserved
		9	R	0	Fast Back-to-Back Enableビット
		8	R/W	0	System Error Enableビット
		7	R	0	Wait Cycle Enableビット
		6	R/W	0	Parity Error Responseビット
		5	R	0	VGA Palette Snoop Enableビット
		4	R/W	0	Memory Write and Invalidate Enableビット
		3	R	0	Special Cycle Recognitionビット
		2	R/W	0	Bus Master Enableビット
		1	R/W	0	Memory Access Enableビット
		0	R/W	0	I/O Access Enableビット
08H	Class Code	31-24	R	02	基本クラス：ネットワーク・コントローラ
		23-16	R	03	サブクラス：ATMコントローラ
		15-8	R	00	プログラミング・インタフェース
	Revision ID	7-0	R	02H	デバイスのリビジョン情報が設定されています。
0CH	BIST	31-24	R	00H	ビルトイン・セルフテスト機能の制御およびそのステータスに使用されます。μPD98409はサポートしていません。
	Header Type	23-16	R	00H	PCIコンフィギュレーション空間のヘッダ・タイプ。
	Latency Timer	15-8	R/W	00H	マスタ・レイテンシ・タイマの値を設定します。 ビット[2:0]は，“000”のリード・オンリ・ビット。
	Cache Line Size	7-0	R/W	00H	ワード単位（32ビット）でシステムのキャッシュ・ライン・サイズを指定します。
10H	IO Base Address	31-8	R/W	00H	IOベース・アドレス。256バイト・サポート。
		7-1	R	00H	Reserved
		0	R	1	IO Space Indicatorビット
14H	Memory Base Address	31-12	R/W	00H	メモリ・ベース・アドレス。4Kバイト・サポート。
		11-4	R	0H	Reserved
		3	R	0	Prefetchable。μPD98409ではディスエーブル固定。
		2, 1	R	00	Type（ベース・アドレスは32ビット幅任意の位置にマップできます。）00固定。
		0	R	0	Memory Space Indicatorビット

保守／廃止

表 ４－１　コンフィギュレーション・レジスタ（2/2）

オフセット	名称	ビット	R/W	ﾃﾞｨﾌｫｰﾙﾄ	説　　明
18H	Reserved	31-0	R	all 0	
1CH					
20H					
24H					
28H					
2CH	Subsystem ID	31-16	R	0000H	これらのレジスタは，PCIデバイスが搭載されるボード特有あるいは，サブシステム特有のIDを設定します。外部シリアルEEPROMよりロード可能です。
	Subsystem Vendor ID	15-0	R	0000H	
30H	Reserved	31-0	R	all 0	
34H					
38H					
3CH	Max_Lat	31-24	R	00H	レイテンシ・タイマの値を設定します。外部シリアルEEPROMよりロード可能です。
	Min_Gnt	23-16	R	00H	
	Interrupt Pin	15-8	R	01H	割り込み端子を指定します。INTA_Bが使用されます。
	Interrupt Line	7-0	R/W	00H	μPD98409の割り込み信号が接続される割り込みコントローラの割り込みラインを指定します。
40H	Reserved	31-16	R	all 0	
	Retry Timer	15-8	R/W	00H	μPD98409特有のレジスタです。 μPD98409が許容する最大リトライ連続回数を指定します。リセット後の初期値は，タイマに00Hがロードされ，Retry Timer機能はディスエーブルになります。イネーブルにするには0以外の値を設定してください。イネーブル時，指定された回数だけリトライを繰り返してもターゲットに対してトランザクションが行えない場合は，GSRレジスタのFERRビットをセットし，リセットされるまでマスタ動作を停止します。
	TRDY Timer	7-0	R/W	00H	μPD98409特有のレジスタです。 μPD98409がTRDY_Bを待つ最大クロック数を指定します。リセット後の初期値はタイマに00Hがロードされ，TRDY Timer機能はディスエーブルになります。イネーブルにするには0以外の値を設定してください。イネーブル時，FRAME_Bをアクティブにしてから，指定されたクロック数だけ待ってもTRDY_Bがアクティブにならない場合は，GSRレジスタのFERRビットをセットし，リセットされるまでマスタ動作を停止します。

電源立ち上げ後，シリアルEEPROMが接続されていることをμPD98409が検出した場合，上記コンフィギュレーション・レジスタのSubsystem Vendor ID，Subsystem ID，およびMin_Gnt/Max_Latフィールドは，外部シリアルEEPROMよりロードされます。

保守／廃止

4.1.3　PCIバス・トランザクション

（1）スレーブ・トランザクション

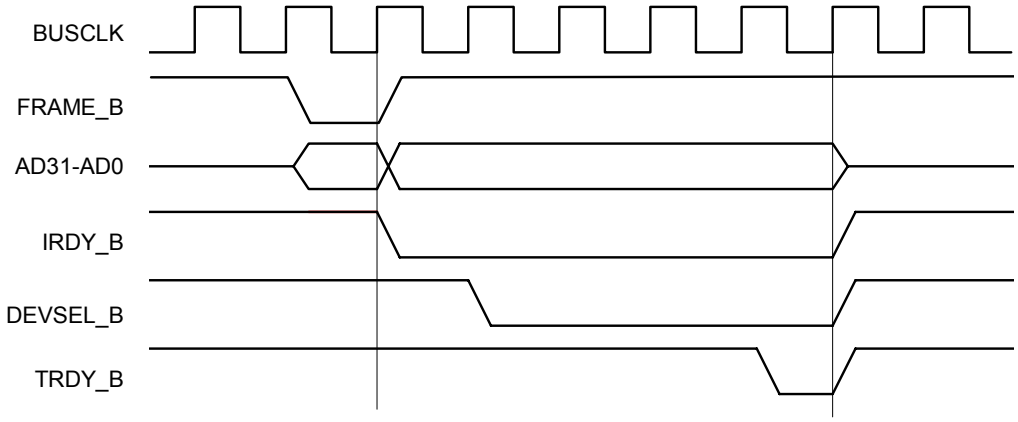
スレーブ・トランザクションでは，μPD98409は1ワード・バースト転送を行い，メモリ・コマンド／IOコマンドに対して応答します。データ・バイト・イネーブル3-0（PCBE3_B-PCBE0_B）がすべて0のときに応答します。

μPD98409のスレーブ・トランザクションでは，すべてのメモリ・リード・コマンド（メモリ・リード，メモリ・リード・マルチプル，メモリ・リード・ライン）は，メモリ・リードとして処理されます。また，すべてのメモリ・ライト・コマンド（メモリ・ライト，メモリ・ライト・アンド・インバリデート）は，メモリ・ライトとして処理されます。

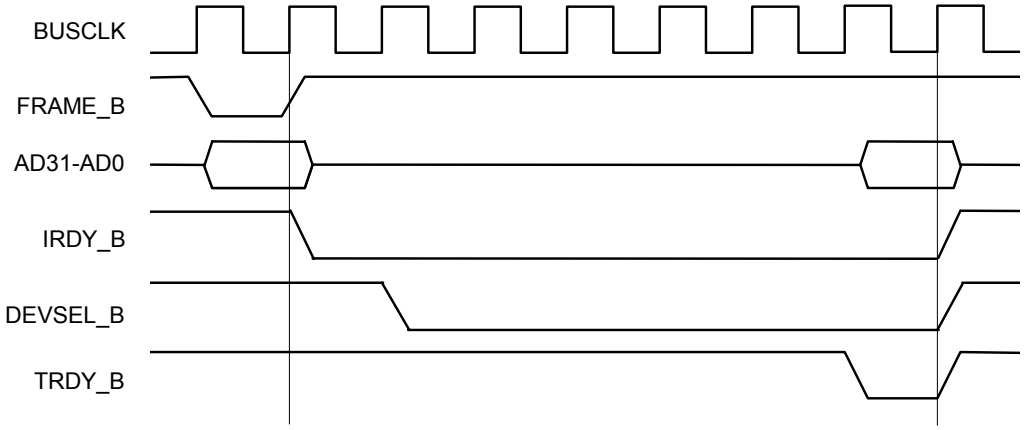
スレーブ・アクセスにおいて異常アドレスを受けた場合，μPD98409は応答しません（DEVSEL_Bをアクティブにしません）。スレーブ・トランザクション・タイミングは図４－３のとおりです。

図４－３ スレーブ・トランザクション・タイミング

（a）ライト・トランザクション



（b）リード・トランザクション



保守／廃止

（2）マスタ・トランザクション

マスタ・トランザクションにおいて，μPD98409は，1，2，4，8，12，13，16ワードのバーストをサポートしています。特に13ワードは，1セル分のデータをシステム・メモリにバイト・アラインメント転送するときに実行します。MPEG-TS(Transport Stream)パケット転送においては，バースト・サイズはμPD98409が1-47ワードの間で自動的に決定します。また，MPEG-TSパケット転送ではバイト・アラインメント転送はできません。

μPD98409は，REQ_Bをアクティブにして，PCIバスのマスタになることを要求します。バス・アービタがGNT_Bをアクティブにし，マスタになることをμPD98409に許可すると，μPD98409はFRAME_BとIRDY_BをBUSCLKの立ち上がりでサンプリングして，PCIバスがアイドル状態になるのを待ちます。両信号がインアクティブになり，PCIバスがアイドル状態になったことを検出しすると，μPD98409はトランザクションを開始します。

μPD98409からシステム・メモリに転送するライト・トランザクションでは，μPD98409はトランザクションを開始することをFRAME_Bをアクティブにして通知します。FRAME_Bは最後のデータ転送の前までアクティブを維持します。μPD98409がFRAME_Bをアクティブにした最初のクロック・エッジは，アドレス・フェーズとなり，AD31-AD0上にアドレスを，PCBE3_B-PCBE0_B上にトランザクション・タイプをドライブします。次のクロック・エッジはデータ・フェーズになり，データをAD31-AD0上にドライブします。さらにAD31-AD0上の有効バイトの位置を示すためPCBE3_B-PCBE0_Bをドライブします。TRDY_BとIRDY_Bがともにアクティブになったことを検出すると，μPD98409は最初のデータ・フェーズが完了したと認識し，次のデータをAD31-AD0上にドライブします。

システム・メモリからμPD98409にデータを転送するリード・トランザクションでは，μPD98409はFRAME_Bをアクティブにし，トランザクションの開始を通知します。FRAME_Bは最後のデータ転送の前までアクティブを維持します。FRAME_Bをアクティブにした最初のクロック・エッジでは，アドレスをAD31-AD0にトランザクション・タイプをPCBE3_B-PCBE0_Bにドライブします。次のクロック・エッジでは，μPD98409はAD31-AD0のドライブを中止してターゲットがバスをコントロールするのを許します。同じクロック・エッジで，μPD98409はPCBE3_B-PCBE0_Bにドライブする情報を，AD31-AD0上の有効バイトの位置の通知に変更します。また，μPD98409はIRDY_Bをアクティブにしてターゲットから最初のデータを受信する準備ができたことを通知します。TRDY_BとIRDY_Bがアクティブであることをサンプリングすると，μPD98409はAD31-AD0上の最初のデータをラッチします。ターゲットは次のデータをドライブし，それを示すTRDY_Bをアクティブにします。

μPD98409は，次のルールに従ってマスタ・トランザクション時のリード／ライト・コマンドを発行します。

（a）リード・トランザクション

- メモリ・リード　：転送ワード数=1の場合
- メモリ・リード・ライン　：転送ワード数＞1，および次のキャッシュ境界ラインまでリードするとき
- メモリ・リード・マルチプル　：リードするデータ・ブロックがキャッシュ境界をまたいでいるとき

保守／廃止

（b）ライト・トランザクション

・メモリ・ライト・アンド・インバリデート：次の3つの条件をすべて満足したとき

① 転送ワード数がキャッシュ・ライン数と同じであったとき

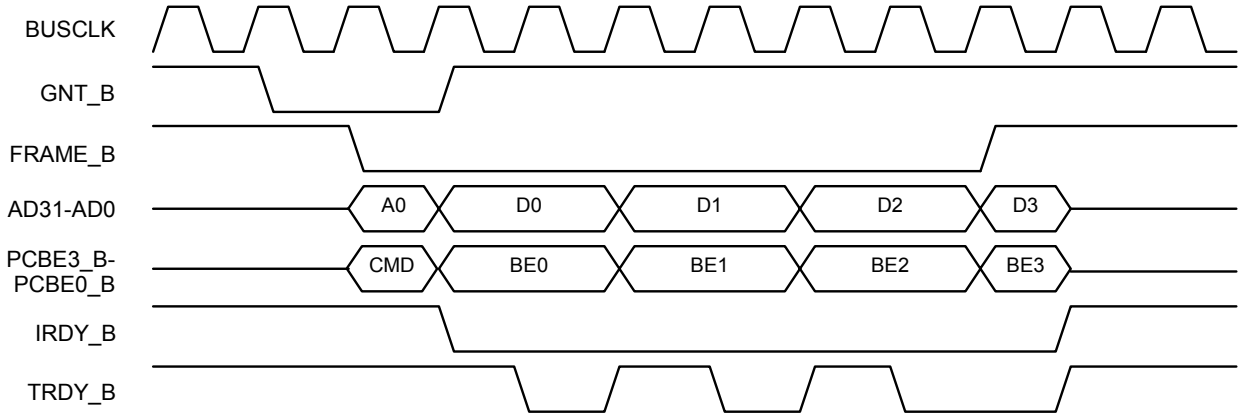
② コンフィギュレーション・レジスタの“Memory Write and Invalidate Enable”ビットが1にセットされている

③ ライト・トランザクションの開始アドレスがキャッシュ境界であったとき

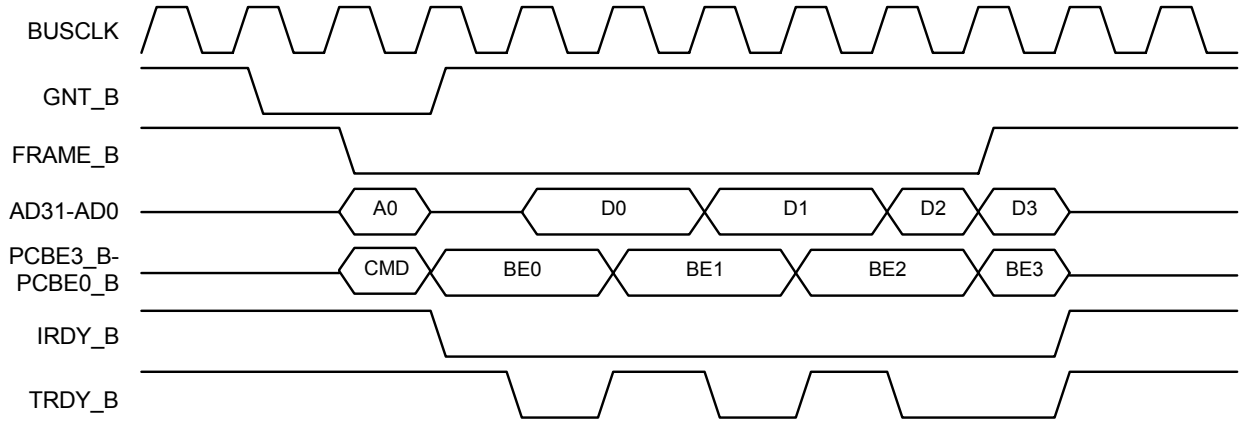
・メモリ・ライト： 上記以外の条件であったとき

図４－４　マスタ・トランザクション・タイミング

（a）PCIライト・トランザクション（μPD98409からターゲットへ）



（b） PCIリード・トランザクション（ターゲットからμPD98409へ）



保守／廃止

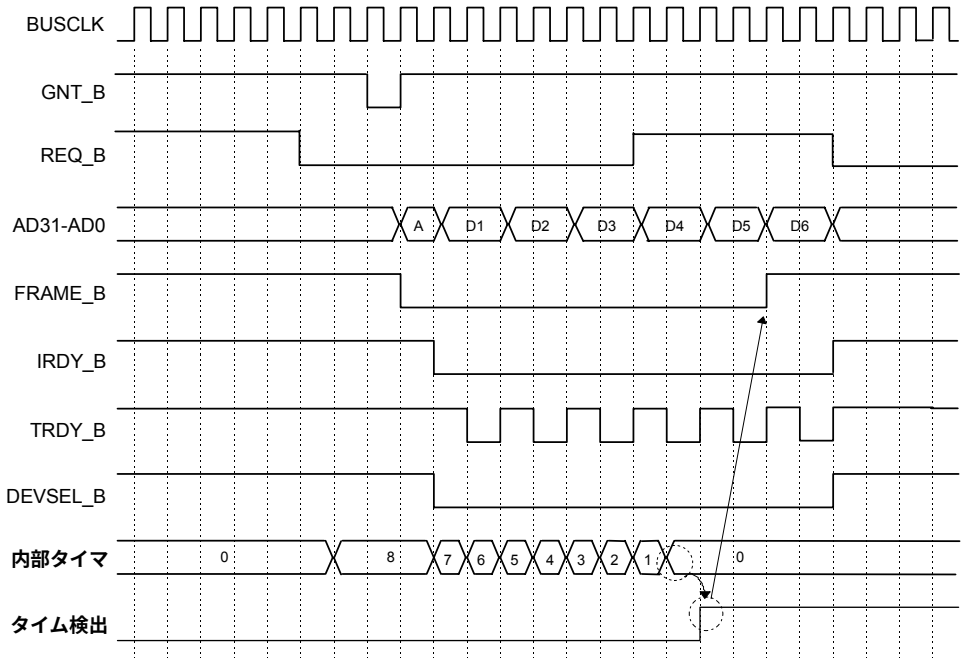
（3）マスタ時の終了

μPD98409がマスタであるとき，次の3つのいずれかでトランザクションを終了します。

① トランザクションが正常に終了したとき（ノーマル・エンド）

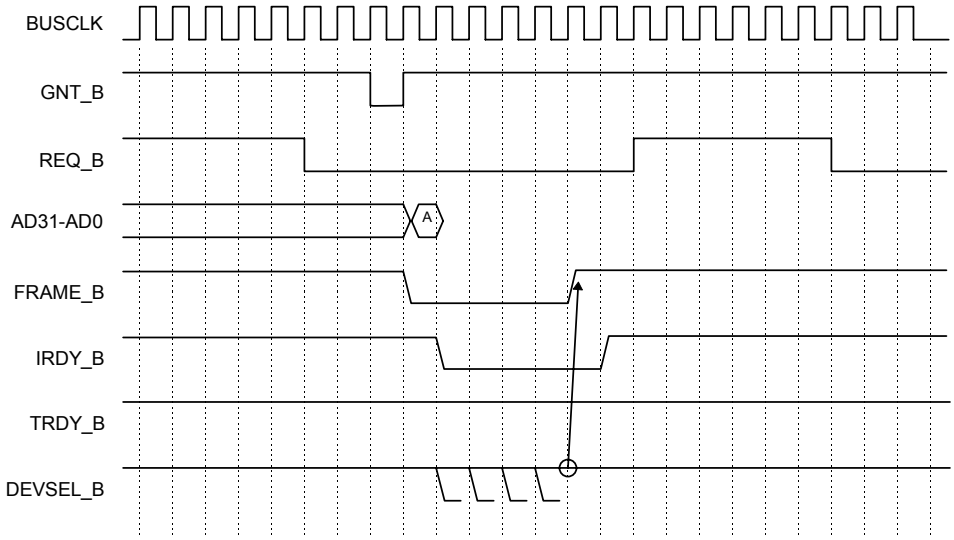
② 他のマスタがバスを獲得するために，μPD98409に対するGNT_Bがインアクティブにされたあと，Latency Timer時間経過したとき（タイムアウト）

例：Latency Timerを8に設定した場合のトランザクション終了例



③ アドレスに対して応答を返すターゲットがないとき（マスタ・アボート）

例：DEVSEL_Bがアクティブにならなかったときのトランザクション例



保守／廃止

（4）ターゲット時の終了

μPD98409がターゲットであるとき，リトライ，ディスコネクト，ターゲット・アボートを実行し，トランザクションの終了を要求することがあります。

（a）リトライ

ホストは外部EEPROMにアクセスする場合，μPD98409のECCRレジスタにコマンドを発行します。μPD98409が行う外部EEPROMへのアクセスは，一定の時間を要するため連続してコマンドを受け付けられません。したがって，ECCRレジスタへの連続アクセスが行われた場合にリトライを要求します。

また，ホストがμPD98409の内部レジスタ（直接アドレス・レジスタ，コンフィギュレーション・レジスタ）にアクセス後，μPD98409の内部レジスタに対して高速バック・ツー・バック・トランザクションを行った場合にも，μPD98409はホストに対してリトライを1回要求します。

また，電源立ち上げ後，μPD98409がシリアルEEPROMの接続を検出し，コンフィギュレーション・レジスタに自動ロードしている期間にホストからアクセス（コンフィギュレーション・サイクルを含む）があった場合にもリトライを要求します。

（b）ディスコネクト

μPD98409の内部レジスタ（直接アドレス・レジスタ，コンフィギュレーション・レジスタ）にバースト転送でアクセスされた場合，μPD98409は1ワード転送が終了した時点でSTOP_Bをアクティブにし，トランザクションを切断（ディスコネクト）します。

（c）ターゲット・アボート

- ・μPD98409が受けたアドレスがパリティ・エラーだった場合，μPD98409はターゲット・アボートを実行します。
- PCBE3_B-PCBE0_Bがオール0ではないデータ・トランザクションであった場合に，ターゲット・アボートを実行します。

（5）PCIのステータス情報

μPD98409は，PCIバス動作に関する2つのステータス・ビットをGSRレジスタに用意しています。これらのビットは，μPD98409がマスタ動作の場合にのみセットされます。

（a）PERR：ビット22

このビットはPCIバス・インタフェースにおけるパリティ・エラーに関するステートを示します。次のいずれかの条件で1にセットされます。

- ・マスタ・ライトのとき，ターゲットがPERR_B信号をアクティブにしたことをμPD98409が検出した。
- ・マスタ・リードのとき，データ・フェーズでμPD98409がパリティ・エラーを検出した。

保守／廃止

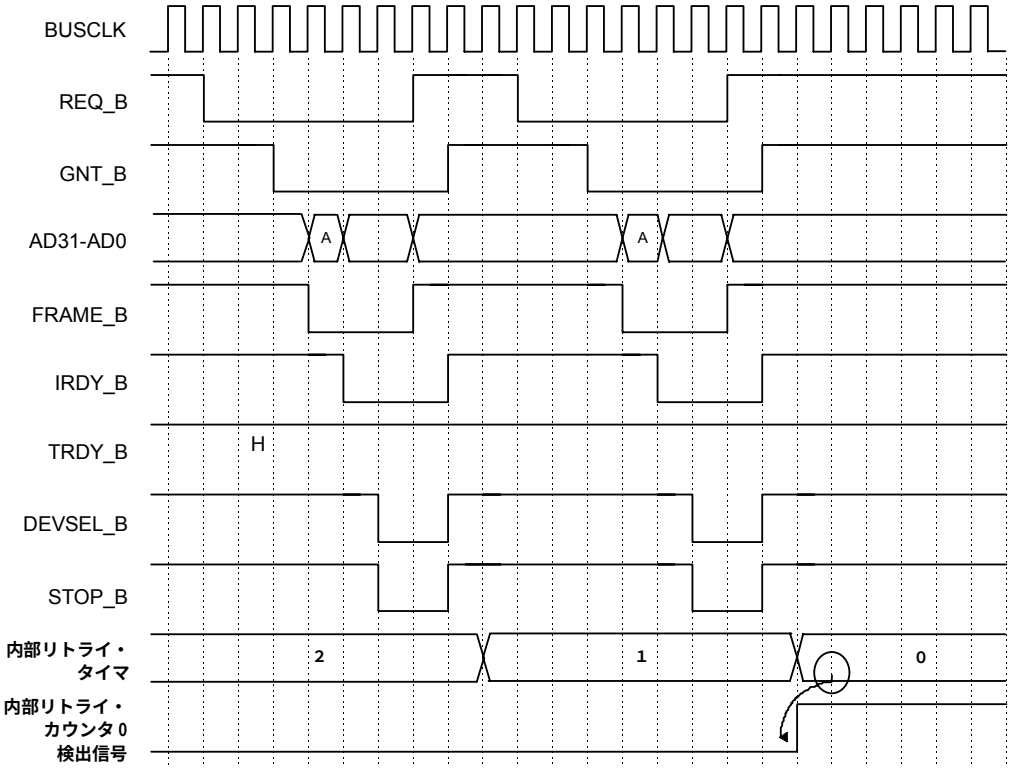
注意　パリティ・エラーの検出時および検出後のμPD98409の動作は保障できません。パリティ・エラーを検出した場合には，μPD98409に対してリセットを実行してください。

（b）FERR：ビット21

このビットはデータ転送中に次のような致命的エラーを検出したことをホストに通知します。FERRビットがセットされた場合，μPD98409はその後，スレーブ・アクセス意外のバスに関する動作を停止します。FERRビットがセットされた場合には，リセットを実行するようにしてください。

①ターゲットがDEVSEL_Bをアクティブにしなかったため，μPD98409がマスタ-アボート終了を実行した。
②ターゲットがSTOP_Bをアクティブにして，ターゲット・アボートを実行した。
③リトライ・タイマがコンフィギュレーション・レジスタのRetry Timerレジスタに設定した回数だけリトライ回数をカウントし，トランザクションを終了した。

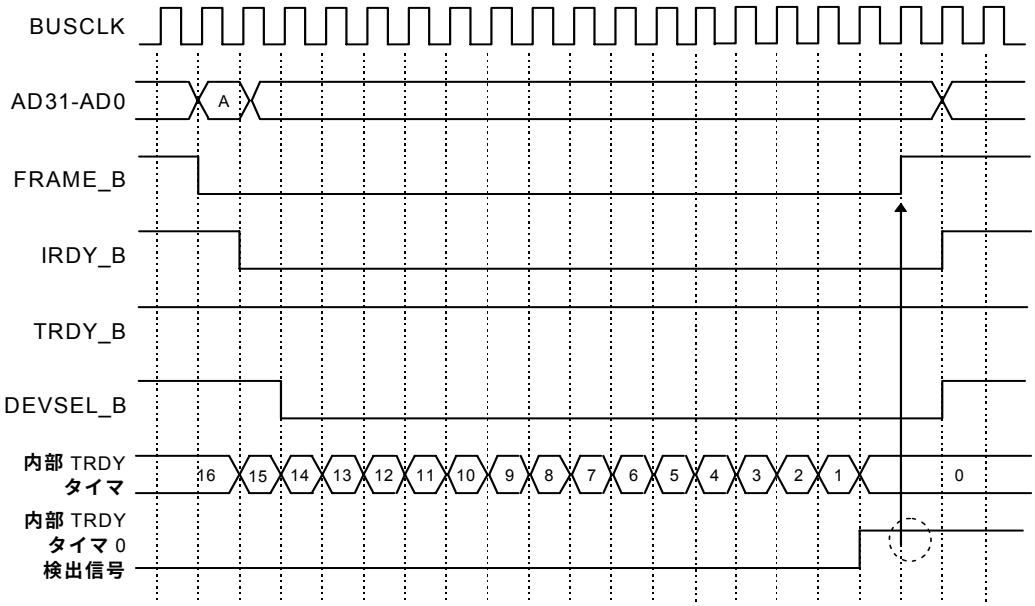
例：リトライ・タイマ・レジスタに“2”を設定した場合のタイミング・チャート



保守／廃止

④TRDYタイマがコンフィギュレーション・レジスタのTRDY Timerレジスタに設定したクロック数をカウントし，トランザクションを終了した。

例： TRDY Timerレジスタに16を設定した場合のタイミング・チャート



（6）バースト転送

μPD98409は1，2，4，8，12，13，16ワードのバースト転送をサポートしています。ユーザはイネーブルにするバースト・サイズをGMRレジスタの「SZフィールド」，または「TBEフィールド」に設定することで選択できます。ただし，MPEG-TSパケット転送においてバースト・サイズは，GMRレジスタの「SZフィールド」，または「TBEフィールド」の設定に関係なく，1-47ワードの間でμPD98409が自動的に決定します。

表４－２　イネーブル・バースト・サイズの選択

実行するバースト・サイズの選択 （GMRレジスタ　ビット11-8：SZフィールド，ビット16：TBEフィールド，ビット7：ADフィールド）		
SZフィールド	ビット11	1：16ワード・バーストのイネーブル，　0：ディスエーブル
	ビット10	1：8ワード・バーストのイネーブル，　0：ディスエーブル
	ビット9	1：4ワード・バーストのイネーブル，　0：ディスエーブル
	ビット8	1：2ワード・バーストのイネーブル，　0：ディスエーブル
TBEビット	ビット16	1：12ワード・バーストのイネーブル，　0：ディスエーブル （必ずADビットも1に設定しなければなりません。）
ディフォールト=オール0（1ワード転送のみサポート）		

保守／廃止

ホストは，複数のバースト・サイズを同時にイネーブルにすることができます。1ワード転送は「SZフィールド」，「TBEフィールド」の設定にかかわらず，常にイネーブルになっています。TBEビットを1にセットし，12ワード・バーストをイネーブルにする場合は，必ずGMRレジスタのADビットも1にセットする必要があり，バースト・サイズ選択機能はディスエーブルにしなければなりません。13ワード・バーストは，1セル分のデータ（12ワード）をバイト・アラインメント転送する場合に実行します。

また，16ワード転送をイネーブルにした場合においても，μPD98409が16ワード・バーストを実行するのはRawセルをシステム・メモリにライトする場合にかぎります。

表４－３にμPD98409のマスタ（DMA）動作でやり取りするデータを示します。それぞれの動作の意味は，**第５章　μPD98409の動作**　を参照してください。転送するデータの中には，必ずワード（32ビット）境界から開始しなければならないものと，バイト境界から開始できるものがあります。

表４－３　μPD98409のDMA転送内容

リード／ライト	データの種類	ワード数	バイト境界可／不可
リード	パケット・ディスクリプタ	4ワード	不可
	バッファ・ディスクリプタ	2ワード	不可
	送信セル・データ	1-12ワード	可
	受信バッチ内，バッファ・アドレス	1ワード	不可
ライト	送信インディケーション	1ワード	不可
	受信インディケーション	4ワード	不可
	受信セル・データ（MPEG-TSパケット以外）	12ワード	可
	受信セル・データ（MPEG-TSパケット）	1-47ワード	不可
	受信バッチ・リング・ポインタ	1ワード	不可
	Rawセル・データ	16ワード	不可

保守／廃止

（7）バースト・サイズ選択機能1

複数のバースト･サイズがイネーブルになっているとき，μPD98409は転送先のアドレス･フィールドを調べ，イネーブルされているバースト・サイズのうちから，実行するバースト・サイズを自動的に決定する機能を持っています。この機能は，μPD98409がマスタとなって行うリード／ライト･トランザクションともに有効です。ただし，12ワード・バーストをイネーブルにする場合には使用することができません。また，MPEG-TSパケット転送時のバースト・サイズは，本機能の設定とは無関係に1-47ワードの範囲でμPD98409が自動的に決定します。

転送先アドレス	実行可能バースト・サイズ
xxxxxxxx xxxxxxxx xxxxxxxx xx0000xx	16[注],8,4,2,1ワード・バースト
xxxxxxxx xxxxxxxx xxxxxxxx xxx000xx	8,4,2,1,ワード・バースト
xxxxxxxx xxxxxxxx xxxxxxxx xxx100xx	4,2,1ワード・バースト
xxxxxxxx xxxxxxxx xxxxxxxx xxxx10xx	2,1ワード・バースト
xxxxxxxx xxxxxxxx xxxxxxxx xxxxx1xx	1ワード 転送

注　16ワード・バーストはRawセル・データ転送時のみ最優先。

バースト・サイズ	16	8	4	2	1
優先順位	高　→　低				

バースト・サイズの優先順位は高いものから順に，8，4，2，1ワードとなります。μPD98409は実行可能でかつイネーブルになっているバースト・サイズの中で最も優先順位が高いサイズを選択し，実行します。

この機能はGMRレジスタ内の「ADビット」によってイネーブル／ディスエーブルを選択できます。

バースト転送モードの選択		
ADビット （GMR：ビット7）	0	μPD98409がマスタ転送を行う際，転送先のアドレス・フィールドを調べ，アドレスに応じてイネーブルされているサイズの中から，実際に行うバースト・サイズを決定する機能がイネーブルになります。
	1	μPD98409がマスタ転送を行う際，転送先のアドレス・フィールドを調べる機能がディスエーブルになります。 μPD98409はイネーブルされているバースト・サイズの中から，最も大きなバースト・サイズを単純に選択して実行します。
	ディフォールト=0	

注意　TBE=1にセットし，12ワード・バーストをイネーブルにした場合には，ADビットは必ず“1”にセットしてディスエーブルにしなくてはなりません。

次に，この機能がイネーブル（AD=0）およびディスエーブル（AD=1）である場合の動作例を示します。

保守／廃止

<例>　μPD98409が受信するセルをマスタ・トランザクションにより1セルごとにシステム・メモリに格納します。ATMセルのペイロード部分は48バイトであるため，μPD98409が転送すべきセル・データは12ワードです。受信バッファのスタート・アドレスを“ 00000000H ”と仮定した場合に，受信セル・データの格納動作を各ケースで示します。

例	ADビット	イネーブル・バースト・サイズ
ケース①	0	4ワード，8ワード
ケース②	1	4ワード，8ワード
ケース③	0	8ワードのみ
ケース④	0	2ワードのみ（この例では，開始アドレスがオール0から始まるのでAD=1のときも同じ動きをします。）
ケース⑤	0	すべてのバースト・サイズをディスエーブル（この例では，開始アドレスがオール0から始まるのでAD=1のときも同じ動きをします。）

表４－４　各ケースでのバースト転送推移

セル	ワード	アドレス	各ケースで発生するバースト・サイズ				
			①	②	③	④	⑤
1セル目	1	00000000	8	8	8	2	1
	2	00000004					1
	3	00000008				2	1
	4	0000000C					1
	5	00000010				2	1
	6	00000014					1
	7	00000018				2	1
	8	0000001C					1
	9	00000020	4	4	1	2	1
	10	00000024			1		1
	11	00000028			1	2	1
	12	0000002C			1		1
2セル目	1	00000030	4	8	1	2	1
	2	00000034			1		1
	3	00000038			1	2	1
	4	0000003C			1		1
	5	00000040	8		8	2	1
	6	00000044					1
	7	00000048				2	1
	8	0000004C					1
	9	00000050		4		2	1
	10	00000054					1
	11	00000058				2	1
	12	0000005C					1
3セル目	1	00000060	8	8	8	2	1
	2	00000064					1
	3	00000068				2	1
	4	0000006C					1

保守／廃止

（8）バイト・アラインメント転送

μPD98409は，Rawセル・データを除いた送受信のセル・データをシステム・メモリのバイト境界から置くことができます。μPD98409はマスタ・トランザクションを実行するとき，開始アドレスの下位2ビットAD1-AD0を調べ，それが00以外であった場合にバイト・アラインメント転送を実行します。

MPEG-TSパケット転送アドレスは，バイト境界に設置することができないため，MPEG-TSパケット転送時にはバイト・アラインメント転送は発生しません。

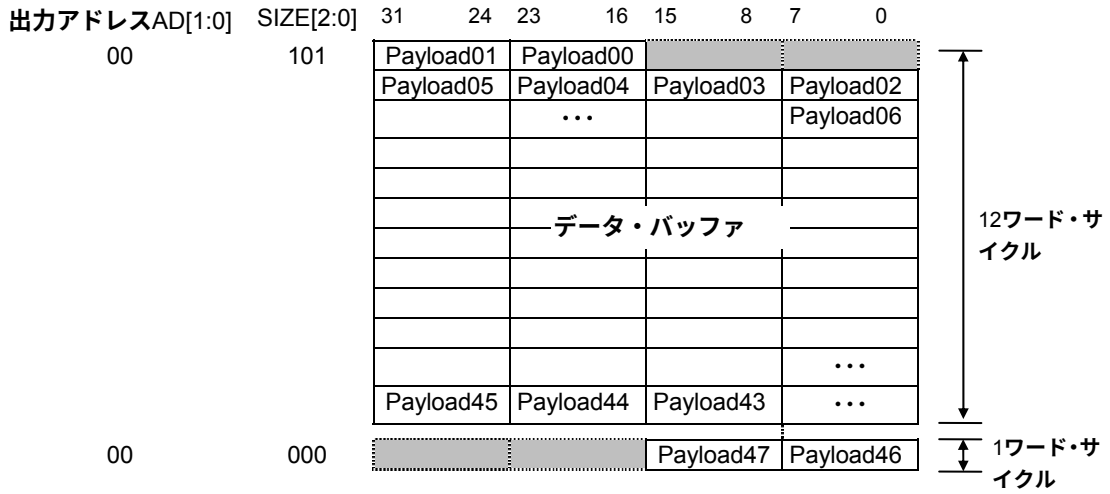
セル・データ以外は，バイト境界から設置することができないため，バイト・アラインメント転送は発生しません。

（a）送信セル・データのバイト・アラインメント転送

送信セル・データは，システム・メモリ上のデータ・バッファからリード・トランザクションによりセグメント単位（48バイト）で取り込みます。データ・バッファの開始アドレスは必ずしも32ビット境界に置く必要はありません。送信データのリード・トランザクションでは，32ビット境界から開始されていない場合でも，μPD98409は，32ビットのワード単位でリードを行い，不必要なバイトはμPD98409内部で無視します。

＜例＞　データ・バッファに1セル分の12ワード・データが置かれ，その開始アドレスが図４－５のようにバイト境界から始まっており，12ワード・バーストがイネーブルになっている場合

図４－５　送信セル・データ・バイト・アラインメント



μPD98409は，はじめに12ワードのリード・バースト・サイクルを実行します。1ワード目の上位2バイトは，μPD98409の内部で廃棄されます。次に，1ワードのリードを実行します。下位2バイトは廃棄されます。これらの2回に分けて実行するトランザクションで，μPD98409が出力するアドレスは下位2ビットが00である32ビット境界アドレスです。

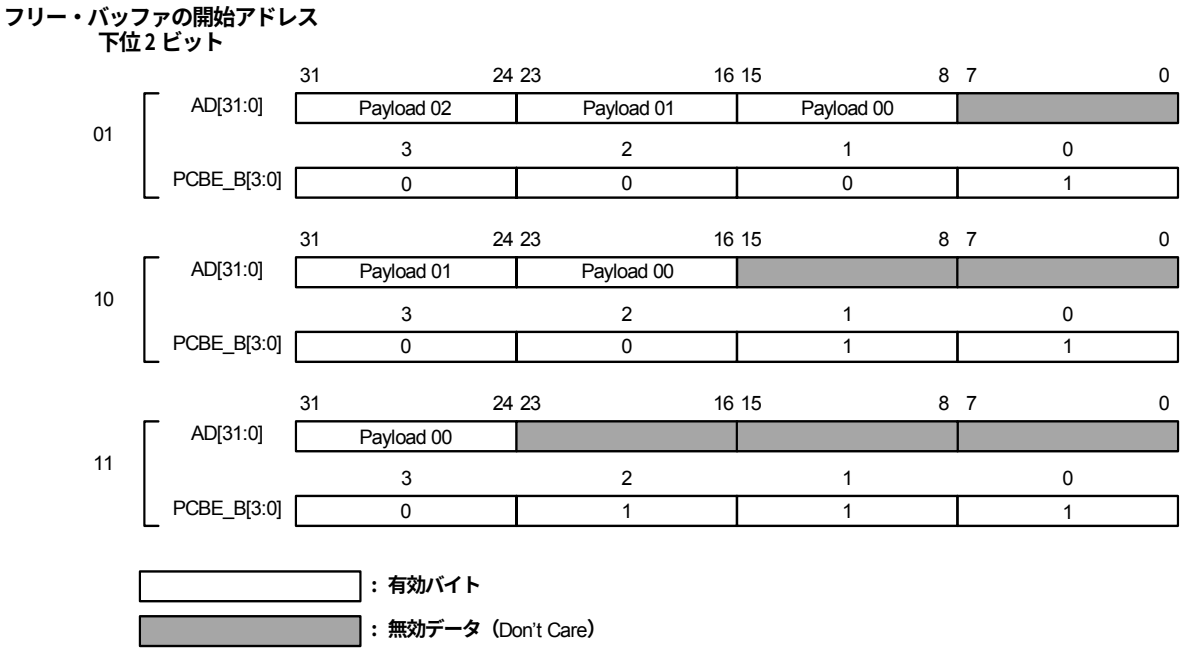
保守／廃止

（b）受信セル・データのバイト・アラインメント転送

μPD98409は，MPEG-TSパケット以外の受信セル・データをシステム・メモリ上のフリー・バッファにライト・トランザクションにより格納します。フリー・バッファの開始アドレスは，必ずしも32ビット境界から開始する必要はなく，バイト境界から開始することができます。もし，フリー・バッファの開始アドレス（バッチ内に設定されるフリー・バッファの開始アドレス）の下位2ビットが，00以外の01，10，11であった場合，μPD98409は32ビット・ワード単位でライトし，PCBE3_B-PCBE0_B上に有効バイトを示す信号を出力します。

MPEG-TSパケット転送アドレスは，バイト境界に設置することができないため，MPEG-TSパケット転送時にはバイト・アラインメント転送は発生しません。

図４－６　バイト・アラインメント・ライト転送時のAD[1:0]端子およびPCBE_B[3:0]端子



次に，フリー・バッファの開始アドレスの下位2ビットが“10”で12ワード・バースト・サイクルがイネーブルになっている場合の例を示します。

保守／廃止

図４－７　バイト・アラインメントによるセル・データ格納例

Step-1　バッファ開始アドレスAD[1:0]=10，13ワード・バーストの実行

		31 … 24	23 … 16	15 … 8	7 … 0	PCBE_B[3]	PCBE_B[2]	PCBE_B[1]	PCBE_B[0]
1セル目	Buffer address[1:0]=00	Payload1	Payload0			0	0	1	1
	01	Payload5	Payload4	Payload3	Payload2	0	0	0	0
	02	Payload9	Payload8	Payload7	Payload6	0	0	0	0
	03	Payload13	Payload12	Payload11	Payload10	0	0	0	0
	0a	Payload41	Payload40	Payload39	Payload38	0	0	0	0
	0b	Payload45	Payload44	Payload43	Payload42	0	0	0	0
	0c			Payload47	Payload46	1	1	0	0

Step-2　1セル目の最終ワードから13ワード・バーストを実行

2セル目	Buffer address[1:0]=0c	Payload1	Payload0			0	0	1	1
	0d	Payload5	Payload4	Payload3	Payload2	0	0	0	0
	0e	Payload9	Payload8	Payload7	Payload6	0	0	0	0
	0f	Payload13	Payload12	Payload11	Payload10	0	0	0	0
	16	Payload41	Payload40	Payload39	Payload38	0	0	0	0
	17	Payload45	Payload44	Payload43	Payload42	0	0	0	0
	18			Payload47	Payload46	1	1	0	0

：don't care

12ワード・バーストがイネーブルになっており，受信セル・データをライトする場合において，開始アドレスがバイト境界であると，13ワード・バーストを実行します。13ワード・バーストを実行するのは，この場合に限ります。

保守／廃止

４.２　シリアルEEPROMインタフェース

４.２.１　シリアルEEPROMインタフェース

μPD98409には，外部シリアルEEPROMを接続するためのインタフェースがあります。外部EEPROMには，コンフィギュレーション・レジスタのSubsystem Vendor ID，Subsystem ID，およびMin_Gnt/Max_Latフィールドを格納しておき，リセット後に，μPD98409内部のコンフィギュレーション・レジスタに自動でロードさせるために使用します。ハードウエア・リセット後，μPD98409はEEPROMが接続されているかどうかをチェックし，接続されている場合には自動ロードを行います。接続されていない場合には，自動ロードは行いません。

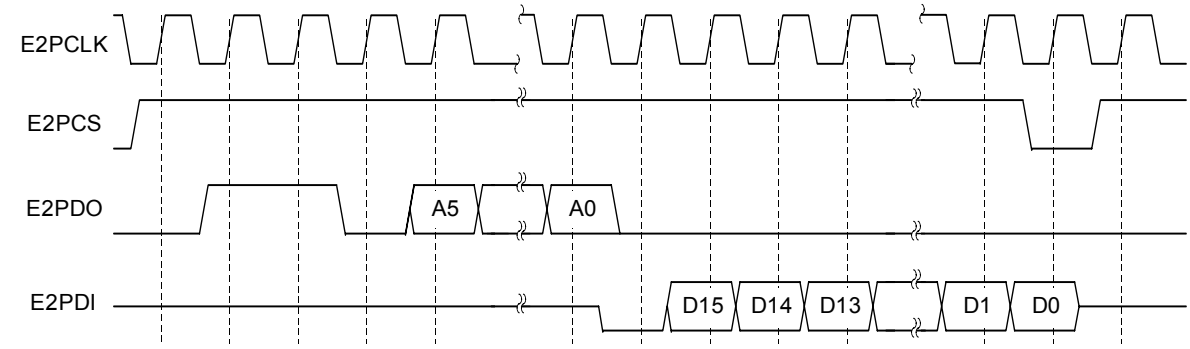
また，μPD98409はソフトウエア・リセットでは自動ロードを行いません。EEPROMインタフェースでは次の信号線を使用します。

- E2PCS（出力）　：チップ・セレクト線
- E2PDI（入力）　：シリアル・データ入力線
- E2PDO（出力）　：シリアル・データ出力線
- E2PCLK（出力）：クロック出力線（システム・クロックの36分周クロック）

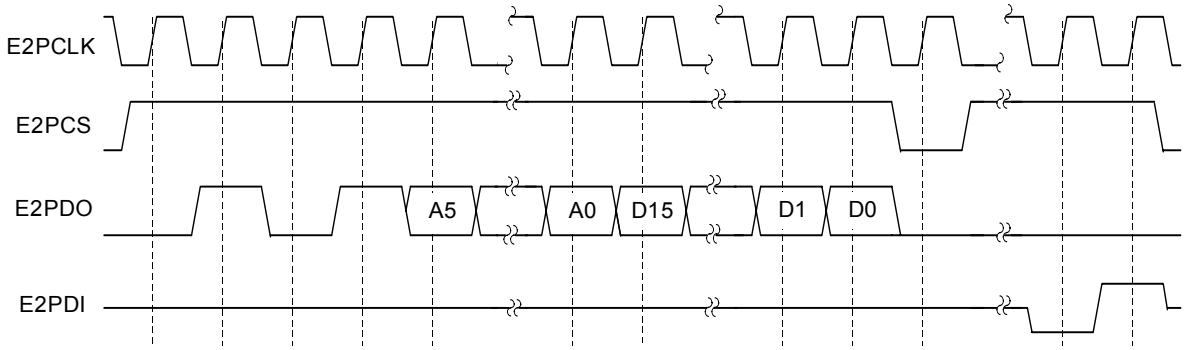
備考　μPD98409のEEPROMインタフェースは，MICROWIREシリアル・インタフェースを採用しており，National Semiconductor社のシリアルEEPROM “ NM93C46 ” との接続をターゲットにしています。

図４－８　EEPROMインタフェース・タイミング

リード・タイミング



ライト・タイミング



保守／廃止

4.2.2　EEPROMへのアクセス

EEPROMへのアクセスは，μPD98409の直接アドレス・レジスタにあるECCRレジスタ，およびERDRレジスタの2つの直接アドレス・レジスタを介して行います。ECCRレジスタには，EEPROMに対するコマンド，およびライト・データを設定し，ERDRレジスタはEEPROMからリードしたデータの格納に用います。

ECCRレジスタ（アドレス=30H）

31 ～ 16	15 ～ 9	8 ～ 6	5 ～ 0
DATA	0	COMMAND	ADDRESS

DATA　　：EEPROMにライトする2バイト・データを設定します。

COMMAND　：EEPROMに対する各種コマンドを設定します。

ADDRESS　：EEPROMのアドレスを設定します。

ERDRレジスタ（アドレス=34H）

31	16	15 ～ 0
B	0	READ DATA

B　　：0=READ DATAフィールドのデータが有効

1=EEPROMがコマンド実行中か，READ DATAフィールドのデータがまだ無効

READ DATA：EEPROMからのリード・データ

表４－５　EEPROMコマンド一覧

コマンド	設　定		説　明
	COMMAND	ADDRESS	
READ	110	アドレス指定	リード。EEPROMから指定されたアドレスのデータをリードし，ERDRレジスタの下位16ビットに格納します。
WRITE	101	アドレス指定	ライト。DATAフィールドにセットされたデータをEEPROMに書き込みます。
ERASE	111	アドレス指定	イレース。EEPROMのアドレス指定されたデータを消去します。
EWEN	100	11xxxx	イレース／ライト・イネーブル。EEPROMに対する書き込み，消去動作をイネーブルにします。
ERAL	100	10xxxx	イレース・オール。EEPROMのすべての領域を消去します。
WRAL	100	01xxxx	ライト・オール。EEPROMのすべての領域にデータ・フィールドにセットされたデータを書き込みます。
EWDS	100	00xxxx	イレース／ライト・ディスエーブル。EEPROMに対する書き込み，消去動作をディスエーブルにします。

ホストがEEPROMにアクセスするには，μPD98409のECCRレジスタにコマンドをライトします。μPD98409はコマンドを受け付けると，EEPROMインタフェースを介してコマンド動作を実行します。コマンドをセットする1ワードのライト・トランザクションでは，セットされたコマンドが完了していなくても，μPD98409はTRDY_Bをアクティブにして，ほかのマスタにバスを解放します。しかし，μPD98409が前に受け付けたコマンドをまだ完了していないときに，ホストがECCRレジスタに対して別のコマンドをライトするためのトランザクショ

保守／廃止

ンを起こすと，μPD98409はSTOP_Bをアクティブにし，リトライを要求します。

EEPROMのデータをリードする場合，アドレスとREADコマンドをECCRレジスタに設定します。コマンドを受け付けると，μPD98409はEEPROMインタフェースを介してデータの読み込みを開始します。データを読み込んでいる間，ERDRレジスタのBビットは1にセットされます。読み込みが完了するとμPD98409はBビットを0にして，データを“READ DATA”フィールドに格納します。ホストは，READコマンド発行後，ERDRレジスタのBビットが0になっていることを確認してデータを得ます。

EEPROMにデータをライトする，またはデータを消去する場合には，まずEWENコマンドでライト／消去動作をイネーブルにする必要があります。

EEPROMが接続されていない場合では，これらのレジスタへのアクセスは意味を持ちません。

4.2.3　EEPROMのフォーマット

EEPROMには，コンフィギュレーション・レジスタの Subsystem vendor ID，Subsystem ID，Min_Gnt，Max_Lat領域を格納します。EEPROMのフォーマットは，次のようになります。

表４－６　EEPROM フォーマット

アドレス（H）	内　容
00	a5a5（H） このコードは，μPD98409がEEPROMが接続されているかどうかを　チェックするために必要です。このコードが格納されていない場合には，物理的にEEPROMが接続されていても自動ロードを行いません。
01	Subsystem Vendor ID領域に格納する値
02	Subsystem IDに格納する値
03	上位8bit: Max Lat領域，下位8bit: Min Gnt領域にそれぞれ格納する値
04-3F	未使用。アプリケーションで自由に使用できます。

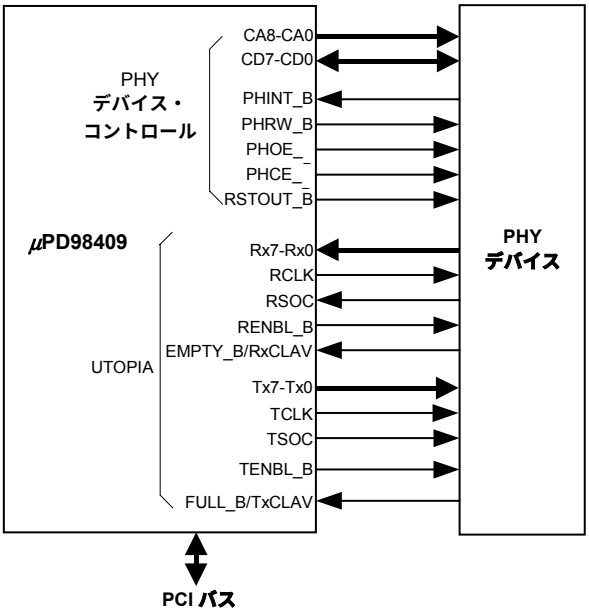
備考　電源立ち上げ後，μPD98409がEEPROMが接続されているかどうかをチェックするために約600クロック必要です。EEPROMが接続されている場合には電源立ち上げ後から自動ロード終了まで約2400クロック必要です。この期間にホストからアクセス（コンフィギュレーション・サイクルを含む）があった場合には，μPD98409はリトライを要求します。

保守／廃止

４.３　PHYデバイス・インタフェース

μPD98409とPHYデバイスとのインタフェースです。このPHYデバイスとのインタフェースには，セル・データを転送し合うためのUTOPIAインタフェースと，PHYデバイスを制御する，あるいはステータスを得るためのPHYデバイス・コントロール・インタフェースがあります。

図４－９　データおよび制御用PHYレイヤ・インタフェース



４.３.１　UTOPIAインタフェース

μPD98409はPHYデバイスとの間でセル・データを転送し合うためのインタフェースにATMフォーラム勧告のUTOPIAインタフェースを採用しており，オクテット・レベル，セル・レベルでの2モードをサポートしています。モード切り替えは，GMRレジスタのUOCビットによって行います。

UTOPIAインタフェース・モードの選択		
UOCビット (GMR：ビット26)	0	オクテット・レベル・ハンドシェーク
	1	セル・レベル・ハンドシェーク
	ディフォールト=0	

注意　μPD98409のPHYSEL1端子はロウ・レベルに固定してください。

保守／廃止

UTOPIAインタフェースは，送受信がそれぞれ，μPD98409が供給するクロック信号線，8ビット幅のデータ信号線，および3本の制御信号線で構成されています。

●TCLK（出力）　：送信用のクロック。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。

●TENBL_B（出力）：送信イネーブル信号。現在のクロック・サイクル信号でTx7-Tx0にデータが出力されていることをPHYデバイスに示すための信号です。

●FULL_B/TxCLAV（入力）：この端子は，オクテット・レベル・ハンドシェークとセル・レベル・ハンドシェークとで意味が異なります。オクテット・レベル・ハンドシェークでは，FULL_B信号として機能し，PHYデバイスが，バッファがフルになったためにこれ以上データが受け取れなくなったことをμPD98409に対して通知します。セル・レベル・ハンドシェークでは，次のセルを受け取れるかどうかを，μPD98409に対して通知するためのTxCLAV信号として機能します。

●Tx7-Tx0（出力）　：送信用のデータ・バスです。

●TSOC（出力）　：送信セル開始位置信号。セルの先頭バイトに同期して出力します。

●RCLK（出力）　：受信用クロック。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。

●RENBL_B（出力）：受信イネーブル信号。μPD98409が次のクロック・サイクルでデータ受信可能であることをPHYデバイスに通知します。

●EMPTY_B/RxCLAV（入力）：この端子は，オクテット・レベル・ハンドシェークとセル・レベル・ハンドシェークとで意味が異なります。オクテット・レベル・ハンドシェークでは，EMPTY_B信号として機能し，供給すべき受信データがなくなったために，現在Rx7-Rx0上のデータが無効であることをμPD98409に通知します。セル・レベル・ハンドシェークにおいては，次に供給すべきセル・データがあるかどうかを通知するRxCLAV信号として機能します。

●Rx7-Rx0（入力）　：受信用のデータ・バスです。

●RSOC（入力）　：受信セル開始位置信号。PHYデバイスからセルの先頭バイトに同期して入力されます。

（1）送信インタフェース

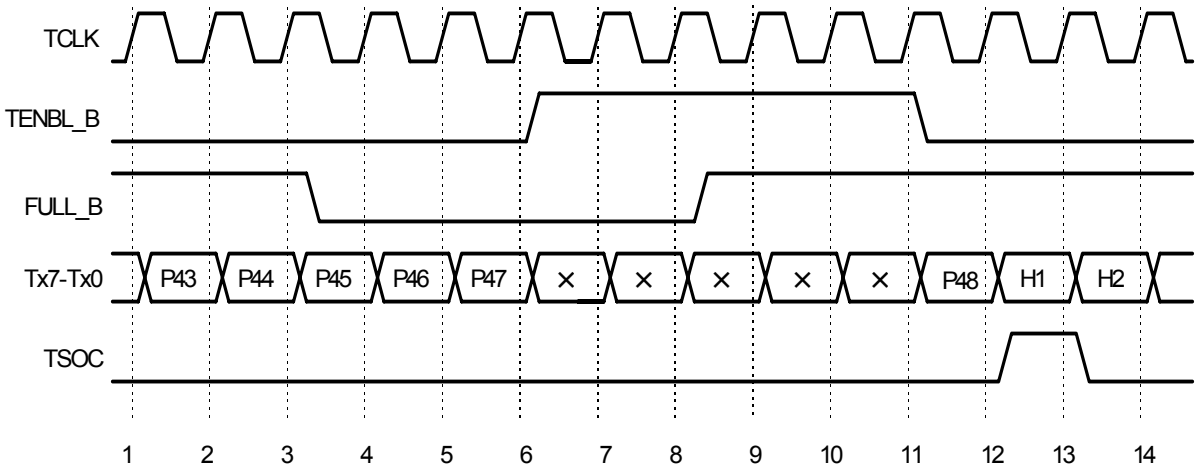
（a）オクテット・レベル・ハンドシェーク

μPD98409はBUSCLK端子に入力されているシステム・クロックをそのままTCLK端子から，PHYデバイスとの送信セル・データ同期用クロックとして出力します。送信FIFOにあるセル・データは8ビット幅のTx7-Tx0のデータ線にTCLKの立ち上がりに同期して送出します。Tx7-Tx0に有効なデータを送出しているときは，同時にイネーブル信号であるTENBL_B信号をロウ・レベルにします。また，セル・ヘッダの先頭バイトに同期して，TSOC信号をハイ・レベルにします。PHYデバイスはTENBL_B信号のロウ・レベルを検出するとTx7-Tx0からデータを読み出し，TSOC信号によってセルの先頭開始位置を知ります。PHYデバイス側は内部FIFOが一杯になり，それ以上の送信データを受け付けることができなくなると，FULL_B信号をロウ・レベルにしてμPD98409に通知します。μPD98409はFULL_B信号をTCLKクロックの立ち上がりエッジでサンプリングしています。FULL_B信号のロウ・レベルを検出すると，検出したエッジから2クロック・サイクル後の立ち

保守／廃止

上がりエッジに同期してTENBL_B信号をハイ・レベルにし，有効セル・データの送出を停止します。FULL_B信号入力がインアクティブ・ハイになるとμPD98409はハイ・レベルを検出した立ち上がりエッジから2クロック・サイクルあとの立ち上がりエッジに同期してTENBL_B信号をロウ・レベルにし，セル・データの送出を再開します。

図４－10　オクテット・レベルの送信タイミング



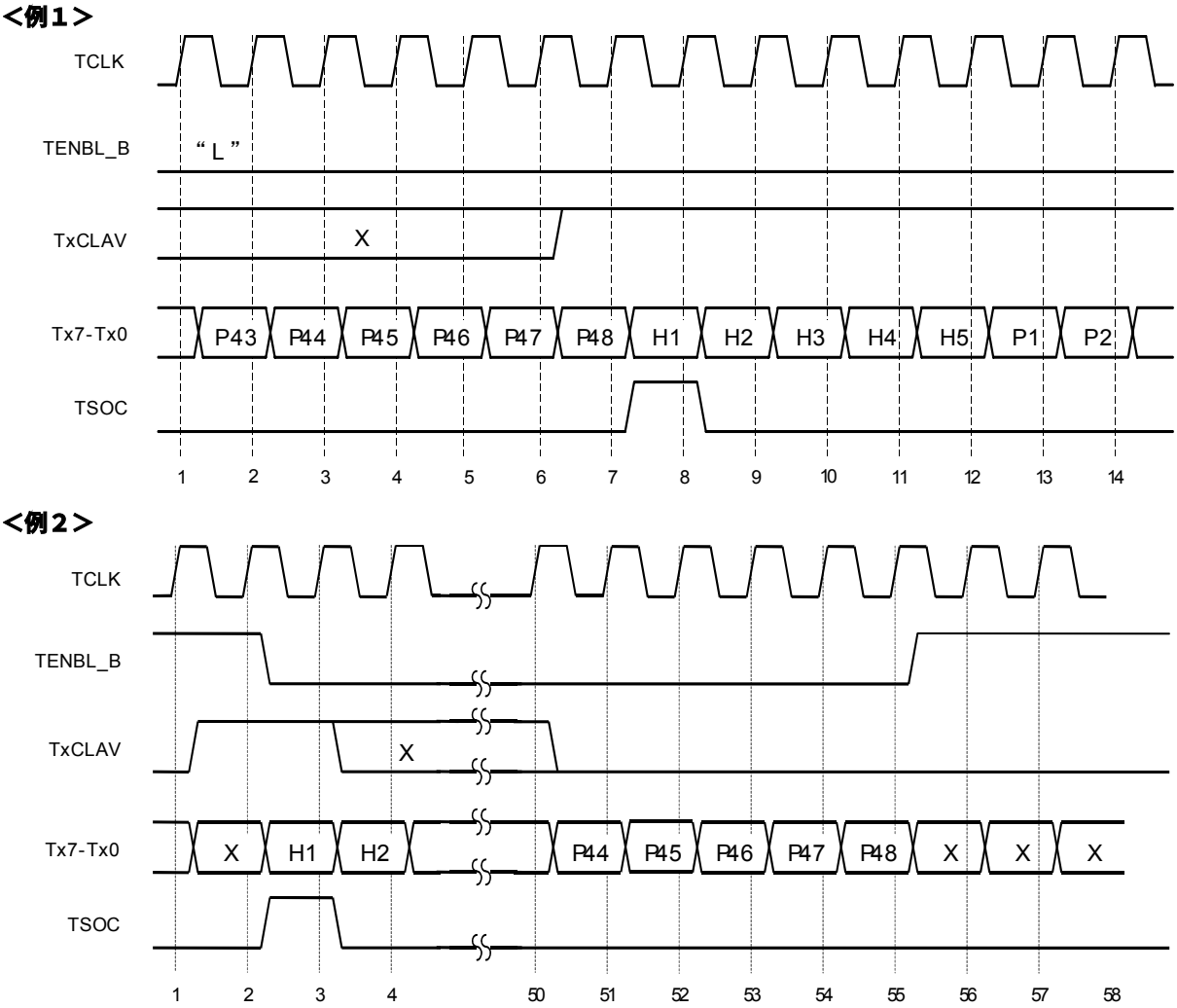
H ：ATMセル・ヘッダ　　P ：ATMセル・ペイロード　　×：無効

（b）セル・レベル・ハンドシェーク

セル・レベル・ハンドシェークにおいては，オクテット・レベル・ハンドシェークに比べてFULL_B信号がTxCLAV信号に変わるのみで他の信号のタイミングに相違はありません。PHYデバイスは，送信バッファに次のセルを受け付るだけの空きがある場合，現在のセルの転送を終えるまでにTxCLAV信号をハイ・レベルにしてます。空きがなく受け付けることができない場合は，現在転送中のセルを転送し終わる少なくとも4サイクル前に，TxCLAV信号をロウ・レベルにします。

保守／廃止

図４－11　セル・レベル・ハンドシェークの送信タイミング



H ：ATMセル・ヘッダ　　P ：ATMセル・ペイロード　　×：無効

（２）受信インタフェース

（ａ）オクテット・レベル・ハンドシェーク

μPD98409は，BUSCLK端子入力されているシステム・クロックをそのままRCLK端子から受信セル・データ同期用クロックとしてPHYデバイスに供給します。PHYデバイスは，受信セル・データをμPD98409から供給されるこのRCLKクロックに同期して，Rx7-Rx0のデータ線に出力する必要があります。

μPD98409は，RCLKの立ち上がりエッジでデータをラッチします。RENBL_B信号によってセル・データの取り込みの可否をPHYデバイスに通知します。21セル分の大きさを持つ内部受信FIFOが一杯になり，それ以上データを取り込めなくなった場合に，μPD98409は1クロック前のサイクルからRENBL_B信号をハイ・レベルにして通知します。PHYデバイスは，RENBL_Bがハイ・レベルになったことを検出すると，受信セル・データの送出を停止する必要があります。FIFOに空きができ，受信可能になると，ふたたびRENBL_B信号を1クロック前のサイクルからロウ・レベルにして通知します。

μPD98409のRENBL_B信号の動作は，DROPモードとNo DROPモードの設定で異なります。両者はGMRレジスタ内のDRビットによって選択できます。

保守／廃止

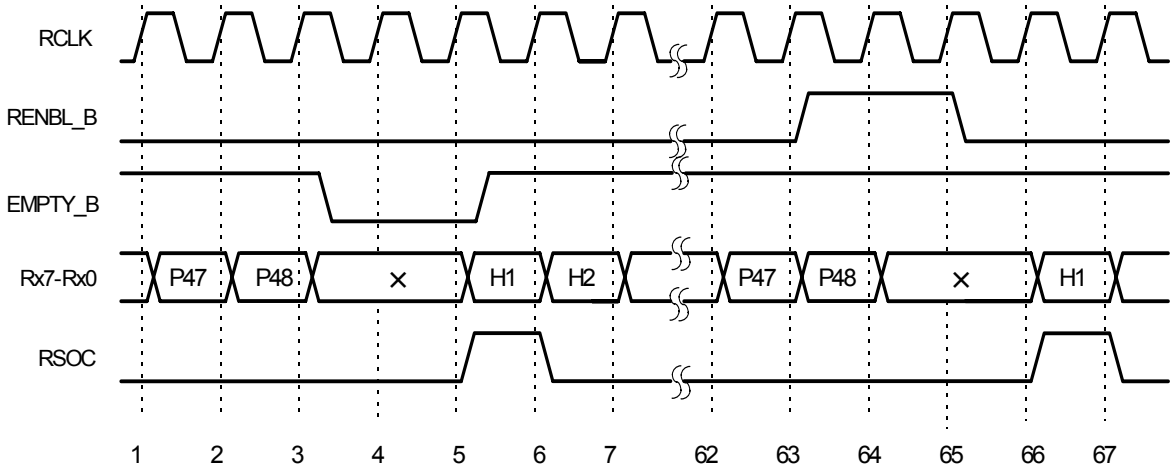
DROPモード/No DROPモード（GMRレジスタ:DRビット）	
DROPモード （DRビット=0）	μPD98409は，受信FIFOが一杯になった場合でも，RENBL_B信号をアクティブ・ロウにしたままで，PHYデバイスに対して受信セル・データ送出の停止を要求しません。したがって，受信FIFOオーバランが発生する場合があり，オーバランを起こした受信セル・データは内部で廃棄されます。 MPEG-TSパケットを受信する場合には，DROPモードには設定しないでください。MPEG-TSパケットの受信セルが内部で廃棄された場合の動作は保証できません。
No DROPモード （DRビット=1））	受信FIFOが一杯になり，それ以上受信セル・データを受け取れなくなると，μPD98409は，RENBL_B信号を1クロック前のサイクルからハイ・レベルにします。PHYデバイスはRENBL_B信号がハイ・レベルになったことを検出すると，受信セル・データの送出を停止しなければなりません。受信FIFOに空きができると，μPD98409は再びRENBL_B信号をロウ・レベルにします。

PHYデバイスは受信FIFOに出力すべき有効なセル・データがなくなると，EMPTY_B信号をロウ・レベルにし，有効な受信データの出力を停止します。μPD98409は，EMPTY_B信号をRCLKクロックの立ち上がりエッジでサンプリングしており，EMPTY_B信号がロウ・レベルになったことを検出すると，そのクロックの立ち上がりエッジでのデータ・ラッチを行いません。また，PHYデバイスは受信セル・ヘッダの先頭バイト（ヘッダの1バイト目）に同期して，RSOC端子にハイ・レベルを入力する必要があります。μPD98409は，RSOC信号をRCLKの立ち上がりでサンプリングします。RSOC信号のハイ・レベルを検出すると，同じ立ち上がりエッジで入力されるデータから有効データのカウントを開始します。53バイトをカウントすると，1セル分の受信を完了したとして，受信セルの処理を実行します。

注意　MPEG-TSパケット受信時には必ずNo DROPモードに設定してください。MPEG-TSパケットがμPD98409内部で廃棄された場合の動作は保証できません。
μPD98409のUTOPIA受信インタフェースのRx7-Rx0端子への入力レベルは，ハイ・インピーダンスにしないでください。

保守／廃止

図４－12　オクテット・レベル・ハンドシェークの受信タイミング

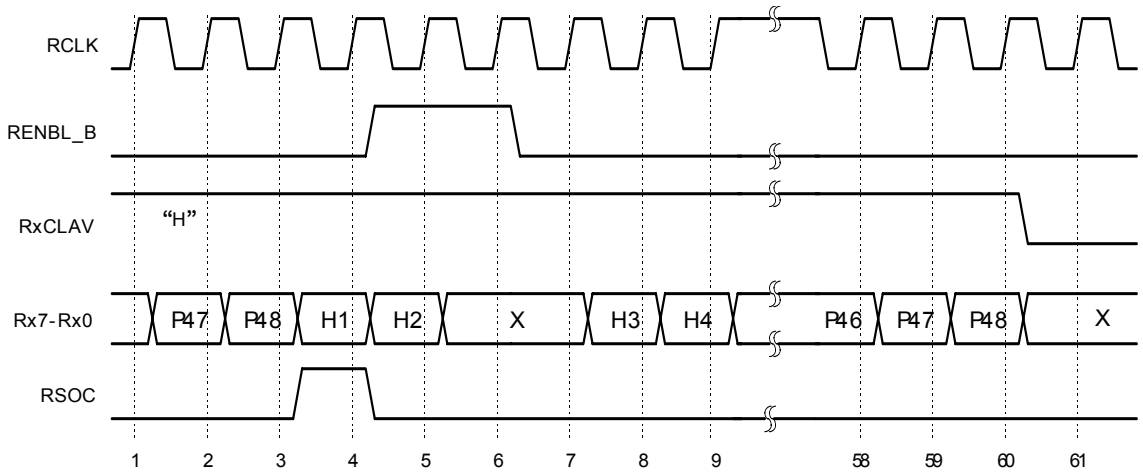


P ：ATMセル・ペイロード　　H：ATMセル・ヘッダ　　×：無効

（b）セル・レベル・ハンドシェーク

セル・レベル・ハンドシェークでは，オクテット・レベル・ハンドシェークと比較して，EMPTY_B信号がRxCLAV信号に変わるだけで，ほかに相違はありません。RxCLAV信号は，PHYデバイスが次に送るべきセル・データがあるかどうかを示す信号です。供給すべきセル・データがない場合には，現在転送中のセル・データの最終オクテットの次のサイクルでRxCLAVを信号をロウ・レベルにします。μPD98409は，RxCLAV信号がロウ・レベルであるサイクルでは，RX7-Rx0上のデータを取り込みません。RxCLAV信号は，オクテット・レベル・ハンドシェークのEMPTY_B信号の入力タイミングと同じになります。

図４－13　セル・レベル・ハンドシェークの受信タイミング



P：ATMセル・ペイロード　　H：ATMセル・ヘッダ　　×：無効

保守／廃止

4.3.2　PHYデバイス・コントロール・インタフェース

μPD98409は，PHYデバイスのレジスタに対して，リード／ライトを制御するためのインタフェースを内蔵しています。この機能を使用すると，ホストとPHYデバイスとの間でインタフェース回路を別に設ける必要はありません。

PHYデバイスの制御インタフェースは，シンプルなメモリ型スレーブ・インタフェースです。

ホストは，PHYデバイスに対してアクセスする場合，μPD98409のコマンドの1つであるIndirect_Accessコマンドを使用します。Indirect_Accessコマンドの対象がPHYデバイスであったとき，μPD98409はPHYコントロール・サイクルを起動し，次に示す制御用信号を操作します。

Indirect_Accessコマンドの詳細については，第６章　コマンドを参照してください。

●PHCE_B（出力）　：　PHYデバイスへのチップ・イネーブル信号です。ホストが，μPD98409を介してPHYデバイスが対象であるIndirect_Accessコマンドを発行した場合，この端子はロウ・レベルを出力します。

●PHRW_B（出力）　：　PHYデバイスへのアクセスがリード／ライトのどちらであるかを示します。リード・アクセスの場合はハイ・レベルを出力し，ライト・アクセスの場合はロウ・レベルを出力します。

●PHOE_B（出力）　：　PHYデバイスの出力ラインをアクティブにするための出力イネーブル信号です。

●PHINT_B（入力）　：　PHYデバイスの割り込み要求信号を入力する端子です。このPHINT_B端子にロウ・レベルが入力されると，μPD98409はGSRレジスタ内のPHY割り込み（PI）ビットをセットし，ホストに対して割り込みを発生します。

●RSTOUT_B（出力）：　PHYデバイスにリセット信号を供給する端子です。ハードウエアまたはソフトウエア・リセットが実行されたとき，μPD98409はこの信号を18～19クロックの間，ロウ・レベルにします。

●CD7-CD0（入出力）：　8本のデータ入出力信号です。

●CA8-CA0（出力）　：　9本のアドレス信号です。

このインタフェースを使用しない場合は，出力端子はオープンに，入力および入出力端子は，プルアップしてください。

備考　PHINT_Bは，PHYデバイスからの割り込み入力信号として使用する以外に，μPD98409を介してレベルを検知する汎用ポートとして使用できます。

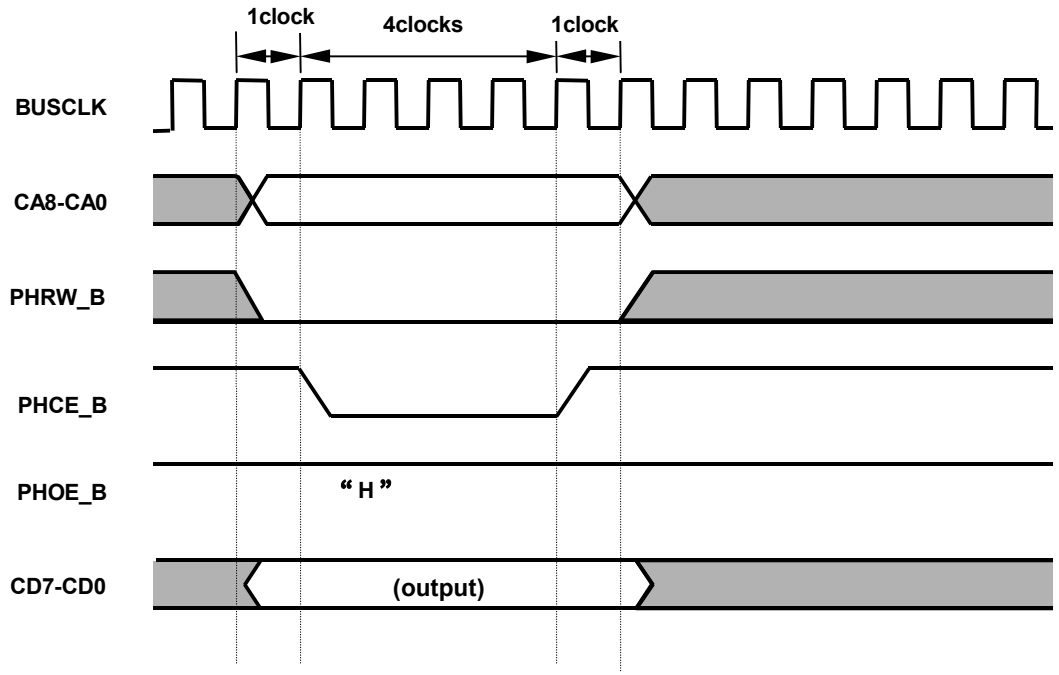
注意　**μPD98409のPHYデバイス・コントロール・インタフェースの動作は，μPD98401と次の項目以外は同一です。**

・PHOE_B端子がロウ・レベルを出力しているときのみ，CD7-CD0端子がハイ・インピーダンスとなります。

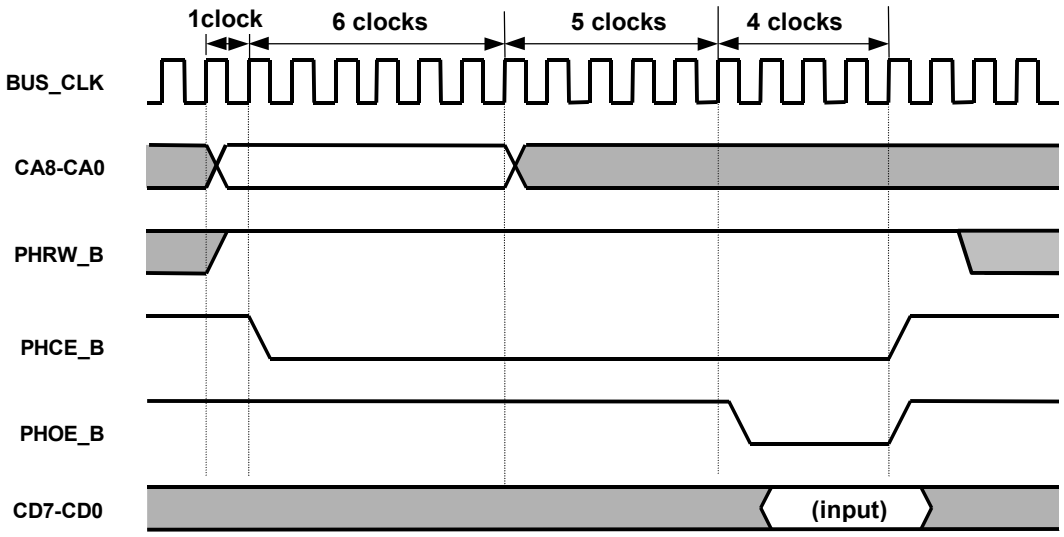
保守／廃止

図４－14　PHYデバイス制御用信号タイミング

（a）ライト・オペレーション



（b）リード・オペレーション



保守／廃止

第５章　μPD98409 の動作

この章では，μPD98409 の機能について説明します。

5.1　初期化

（1）チップの初期化

μPD98409 が適切に機能するためには，あらかじめ内部ステート・マシンやレジスタが規定状態となるようにチップを初期化しなければなりません。リセットには，RST_B 端子にロウ・レベルを入力するハードウエア・リセットと，ホストが SWR レジスタにライト・オペレーションするソフトウエア・リセットの 2 種類があります。ソフトウエア・リセットでは，コンフィギュレーション・レジスタ以外はすべて初期化されます。ハードウエア・リセットでは，μPD98409 のすべての内部ステート・マシンやレジスタが初期状態になります。

注意　μPD98409 は，チップ内部の初期化に 20 クロック・サイクル時間を要します。したがって，リセット後 20 クロック・サイクル時間は，μPD98409 に対してのスレーブ・アクセスはいっさい行わないようにしてください。

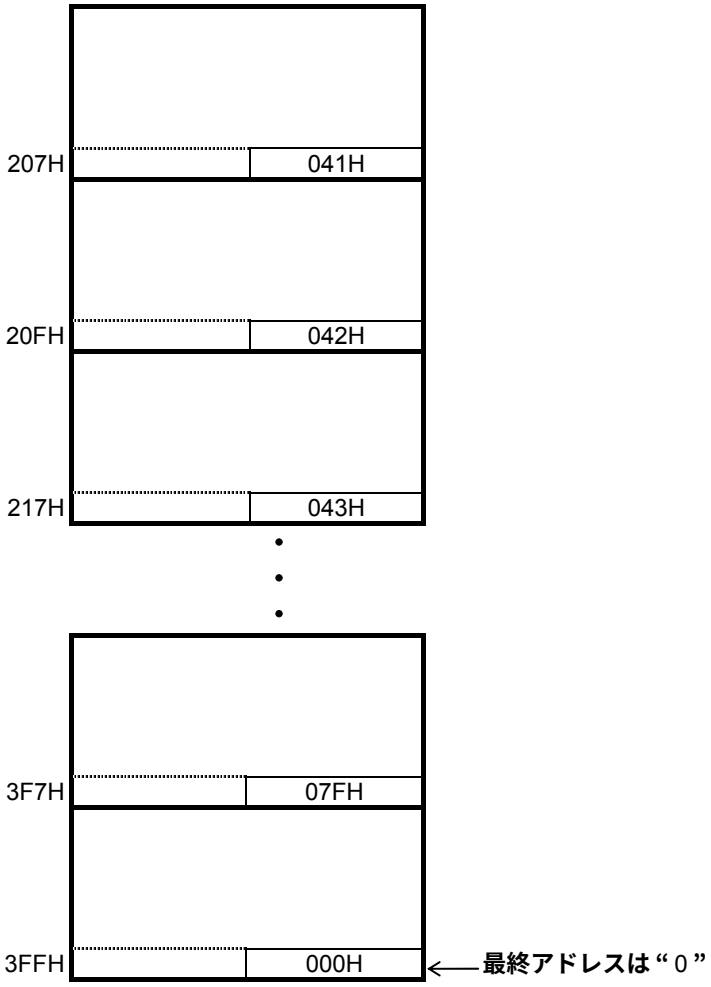
備考　電源立ち上げ後， EEPROM が接続されているかどうかをμPD98409 がチェックするために約 600 クロック必要です。EEPROM が接続されている場合には電源立ち上げ後から自動ロード終了まで約 2400 クロック必要です。この期間にホストからアクセス（コンフィギュレーション・サイクルを含む）があった場合には， μPD98409 はリトライを要求します。

（2）コントロール・メモリの初期化

ハードウエア・リセット後，またはソフトウエア・リセット後に，μPD98409 は内蔵されているコントロール・メモリの初期化を自動的に実行します。μPD98409 は，まずコントロール・メモリの全領域を 0 クリアして，その後フリー・ブロック・プールの領域に 8 ワードごとのブロック番号（ポインタ）を書き込みリンクを張ります。書き込まれたブロック番号は，次のブロックの先頭アドレスを示すポインタとして機能し，8 ワードで分割されたブロックがチェーンされているようになります。このチェーン情報は，μPD98409 がコントロール・メモリのフリー・ブロック・プール領域を管理するのに使用され，VC のオープン／クローズ，送受信処理をするために随時書き替えられます。ブロックごとにリンクが張られるのは，フリー・ブロック・プール領域だけで，そのほかのフィールドは 0 クリアされています。ブロックごとのリンクの様子を次に示します。

保守／廃止

図５－１　初期化後のコントロール・メモリ（フリー・ブロック・プール）



リセット後のコントロール・メモリの初期化は，約 1024 クロック時間かかります。この間，コントロール・メモリ・インタフェースを使用したアクセス（Indirect_Access コマンド）ができなくなり，使用可能なアクセスは，CMR，CER 以外の直接アドレス・レジスタに対するスレーブ・アクセスのみになります。

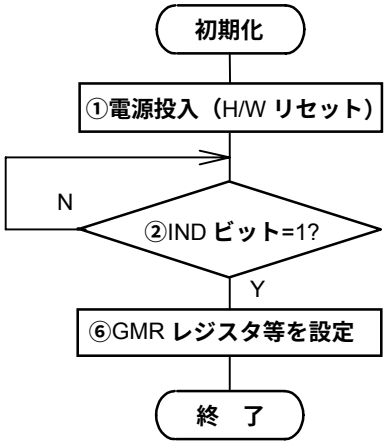
μPD98409 は，コントロール・メモリの初期化を終了すると，GSR レジスタの IND ビットを“１”にセットし，マスクされていない場合は，割り込みを発生します。

保守／廃止

（３）初期化シーケンス例

チップの初期化例を図５－２に示します。

図５－２　初期化シーケンス・フロー・チャート



①電源投入時，ハードウエア・リセットを実行し，μPD98409 を初期化します。リセット後，20 クロック・サイクルの間は，μPD98409 に対してスレーブ・アクセスを行わないようにしてください。

②GSR レジスタの IND ビットがセットされる（コントロール・メモリの初期化終了）のを待ちます（約 1024 クロック・サイクルかかります）。IND ビットが 1 になったことを検知するのは，ポーリングまたは割り込みによる方法のどちらでも構いません。割り込みによる方法で知るためには，割り込みマスク・レジスタ（IMR）でマスク解除を行う必要があります。

③IND ビットが 1 にセットされると，Indirect_Access コマンドが使用可能となります。ホストは，GMR，TOS，SMA，PMA レジスタなどの設定を行います。

保守／廃止

５.２　コントロール・メモリの設定

μPD98409 が内蔵するコントロール・メモリのサイズは，610 ワード（1 ワード=32 ビット幅）で，最大 64VC サポートすることができます。コントロール・メモリは，次に示す 4 つの領域に分けられ使用されます（本文中の 1 ブロックは 8 ワード単位です）。

（1）受信ルックアップ・テーブル：

受信する VPI/ VCI のパターン（最大 15 ビット幅）とイネーブル・ビットを格納する領域です。そのサイズは４ブロック（32 ワード）で，最大 64 受信 VC を登録することができます。

詳しくは，**５.５.４　受信ルックアップ・テーブルの設定**を参照してください。

（2）受信フリー・バッファ・プール・ポインタ：

“ プール・ディスクリプタ ” を格納する領域です。そのサイズは 8 ブロック（64 ワード）で，最大 32 個のプール・ディスクリプタを設定できます。

詳しくは，**５.５.２（２）受信フリー・バッファ・プール・ポインタ**を参照してください。

（3）送信シェーパ・ポインタ：

μPD98409 が送信処理のために使用する領域です。そのサイズは 2 ワードで，2 個のシェーパ・ポインタ・エントリが格納されます。

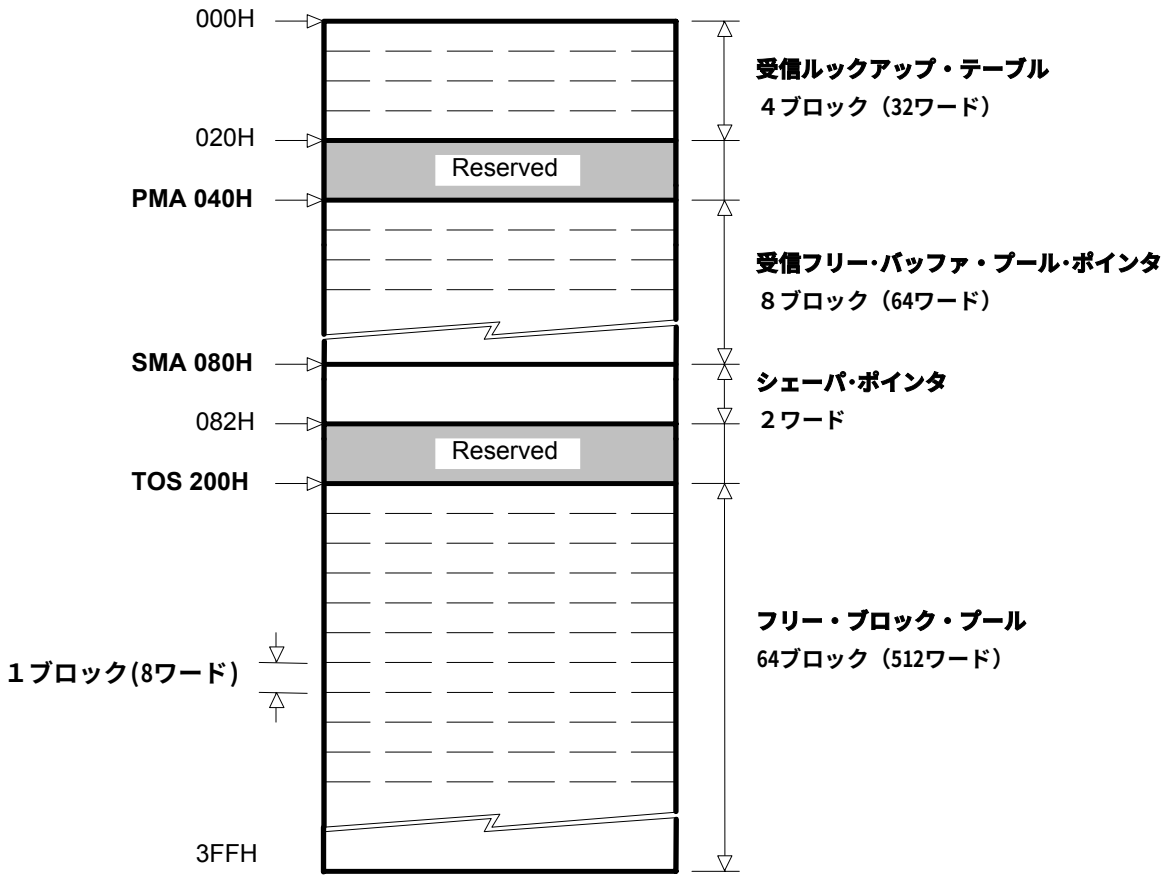
詳しくは，**５.４.４（５）シェーパ・リンク・リスト**を参照してください。

（4）フリー・ブロック・プール：

送受信 VC テーブルを格納するための領域です。そのサイズは，64 ブロック（512 ワード）で，送受信合わせて最大 64 個の VC テーブルを設定できます。

詳しくは，送受信機能の説明の中の**５.４.３（２）送信 VC テーブルの設定，５.５.３（２）受信ＶＣテーブルの設定**を参照してください。

図５－３　コントロール・メモリの構成



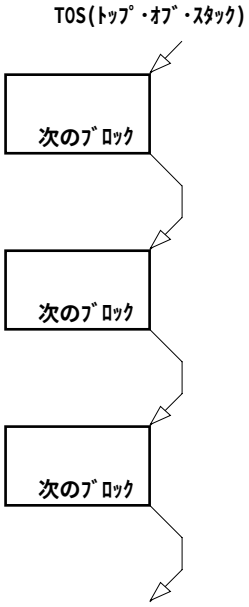
ホストはコントロール・メモリの領域分割するため，初期化時に各領域の開始アドレス（規定値）をμPD98409 の間接アドレス・レジスタへ設定する必要があります。開始アドレスのレジスタには，次の 3 つがあります。

- ●PMA レジスタ（設定値 040H）：受信フリー・バッファ・プール・ディスクリプタ領域の開始アドレスを設定します。
- ●SMA レジスタ（設定値 080H）　：シェーパ・ポインタの開始アドレスを設定します。
- ●TOS レジスタ（設定値 200H）　：フリー・ブロック・プールの開始アドレスを設定します。

TOS（トップ・オブ・スタック）は，ユーザが初期値（200H）を設定しますが，そのあとはフリー・ブロック・プールの先頭を指し示すスタック・ポインタとして，μPD98409 が随時変更します。μPD98409 は起動時にフリー・ブロック・プールのブロックをチェーンにつなぎます（**5.1（2）　コントロール・メモリの初期化**参照）。ホストが Open_Channel コマンドを発行するたびに，μPD98409 はフリー・ブロック・プールから TOS で示されるアドレスをコマンド・インディケーションで返し，ブロックを割り当てます。このとき，μPD98409 は TOS レジスタの内容を次のブロックのポインタに更新します。また，ホストが Close_Channel コマンドを発行するたびに，μPD98409 はブロックをフリー・ブロック・プールに戻し，TOS に配置します。

保守／廃止

図５－４　フリー・ブロック・プールのスタック



注意　PMA, SMA, TOS レジスタは，必ずそれぞれの規定値で初期化してください。規定値以外の値をライトしたときの動作は保証いたしません。

備考　コントロール・メモリに関する PMA，SMA，TOS レジスタに，送受信中μPD98409 は何度もアクセスします。ホストは，リセット後の初期設定時にのみこれらのレジスタに規定値をライトします。送受信動作を開始したあとは，内容を変更しないでください。送受信動作中に変更した場合は，誤動作の原因になります。リードはいつでも可能です。

保守／廃止

5.3　メールボックスの設定

5.3.1　メールボックスの設定

メールボックスは，μPD98409 が発行するインディケーションを格納するためにホストがシステム・メモリに用意する領域です。インディケーションは，μPD98409 が送受信パケットごとに発行するステータス情報です。送受信各インディケーション内容の詳細は，**5.6　送受信インディケーション** を参照してください。

μPD98409 は送受信用にそれぞれ 2 つずつ計 4 つのメールボックスをサポートすることができます。4 つのメールボックスは，それぞれ 0 から 3 の番号が付いており，番号によって送信用か受信用かが分類されます（必ずしも 4 つすべてを使用する必要はありません）。

●受信用メールボックス：0 番，1 番
●送信用メールボックス：2 番，3 番

μPD98409 はメールボックスを，システム・メモリ内のリング状のバッファとして使用します。このバッファは，次のアドレスで定義されています。

●メールボックス・スタート・アドレス・ハイ（MSH）：メールボックスの最初のアドレスの上位 16 ビットです。
●メールボックス・スタート・アドレス・ロウ（MSL）：メールボックスの最初のアドレスの下位 16 ビットです。
●メールボックス・ボトム・アドレス（MBA）：メールボックスの最後のアドレスの***次のアドレス***の下位 16 ビットです。
●メールボックス・ライト・アドレス（MWA）：μPD98409 が管理するライト・ポインタ下位 16 ビットです。
●メールボックス・テール・アドレス（MTA）：ホストが読み出したところまで更新するアドレス下位 16 ビットです。

メールボックスのポインタは，すべて 16 ビットです。μPD98409 は，ポインタをメールボックス・スタート・アドレス・ハイ 16 ビットと連結して実際の 32 ビット・アドレスを生成します。1 つのメールボックスの最大サイズは，「64K バイト－1 インディケーション分」です。メールボックスのすべてのポインタは，μPD98409 の直接アドレス・レジスタにあります。ホストは，送受信を開始する前に，メールボックスの各ポインタの初期値をレジスタに設定します。MWA と MTA の初期値は，MSL と同じに設定します。

注意１．受信用インディケーションは，1 つが 4 ワード構成となっています。したがって，受信用メールボックスのサイズは，必ず 4 ワードの整数倍にする必要があります。

保守／廃止

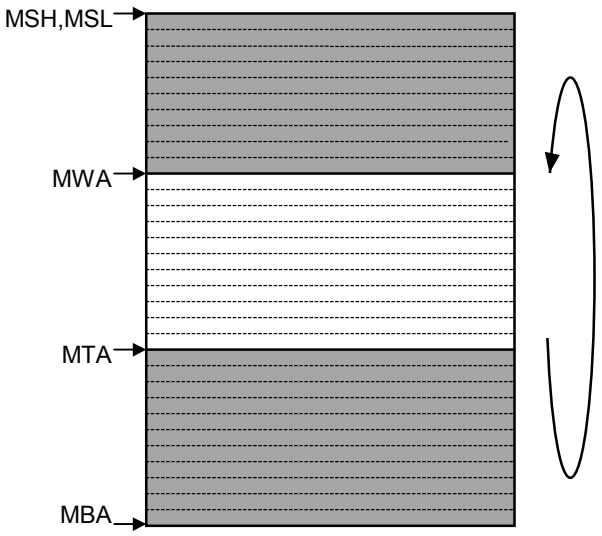
注意２．MSL と MBA は同じ値に設定しないでください。MSL を“0000H”に設定し，メールボックスを 64K バイトの領域で使用しようとすると，MBA は最後のアドレスの次のアドレスであるため，MSL と同じ“0000H”になってしまいます。最大で使用するときは，MBA を 64K バイトよりも 1 インディケーション分少ないアドレスにしてください。

送信用：FFFCH，受信用：FFF0H

３．メールボックスに関するレジスタのうち，ホストが更新し管理するのは MTA のみです。ほかの MSH，MSL，MWA，MBA には初期設定のときのみライトしてください。これらのレジスタは，μPD98409 が送受信動作中に何度もアクセスし，管理しますので，μPD98409 が送受信動作中は，これらの値を変更しないでください。途中で変更すると誤動作の原因になります。

備考　Raw セル受信のために，μPD98409 はメールボックスを使用しません。

図５－５　メールボックスの構造



保守／廃止

５.３.２　メールボックスの動作

μPD98409 は，インディケーションを書き込むと，ライト・ポインタ（MWA）をインクリメントします。インディケーションを書き込むたびに，μPD98409 は GSR レジスタの対応するメールボックスの MM ビットをセットし，マスクされていなければ割り込みを発行します。

μPD98409 はライト・ポインタ（MWA）を更新するとき，ボトム・アドレス（MBA）に達すると，MWA をスタート・アドレス（MSL）にジャンプさせます。

ホストがまだ読み出していないインディケーションに，μPD98409 が上書きしてしまうのを防ぐため，リード・ポインタ（MTA）を使用します。メールボックスごとのリード・ポインタ（MTA）は，ホストが管理し，更新します。ホストは，メールボックスからインディケーションをリードするたびに，読み出しを終了したインディケーションの次のアドレスをリード・ポインタ（MTA）にライトします。MTA は，ホストによってのみ変更され，μPD98409 が読むことになります。

μPD98409 は，インディケーションをライトする前にポインタをチェックし，ライト・ポインタ（MTA）がリード・ポインタ（MTA）と等しいアドレスを指した場合，メールボックス・フル（MF）の状態として GSR レジスタのメールボックスに対応する MF ビットをセットし，マスクされていない場合は，割り込みを発行します。MF の状態（MWA=MTA）のメールボックスに対して，μPD98409 は次のインディケーションを発行しません。したがって，ホストは MF 状態のメールボックスからインディケーションをリードし，MTA を速やかに更新しなければなりません。

注意　MF の状態になったため，μPD98409 がインディケーションの DMA 転送待ちとなった場合，インディケーションの転送が完了するまで，すべての DMA 動作が停止します。したがって，MF 状態を頻発させると，送受信動作に影響を及ぼすことになりますので注意してください。

表５－１　μPD98409 のメールボックス動作

（a）	インディケーションを発行した場合，MWA を現在の MWA＋インディケーションのバイト数に変更
（b）	MWA=MBA の場合，MWA を MSL に変更
（c）	MWA=MTA の場合，GSR レジスタの MF ビットをセット
（インディケーションのバイト数　受信=16 バイト（4 ワード）送信=4 バイト（1 ワード））	

保守／廃止

５.４　送信機能

５.４.１　送信処理フロー

μPD98409 がセルを送信するまでの流れは，いくつかの段階に分けられます。

図５－６　送信フローの概略

	ホストの処理
(1)	スケジューラ・レジスタの設定
(2)	送信データの設定
(3)	Open_Channel コマンドの発行
(4)	VC テーブルの設定
(5)	Tx_Ready コマンドの発行

⋮

(13)	送信インディケーションのリード
(14)	メールボックス･ポインタ（MTA）の更新

	μPD98409 の動作
(6)	シェーパをアクティブにし，VC をシェーパにリンク
(7)	パケット・ディスクリプタのフェッチ
(8)	スケジューリング
(9)	システム・メモリからデータを VC のセグメント単位でフェッチ
(10)	セルを生成（適宜 AAL-5 トレイラ，CRC-10 を挿入）
(11)	PHY デバイスにセルを送出
(12)	送信インディケーションの格納および割り込みの発行

μPD98409 は,送信 VC と受信 VC の任意の組み合わせで,最大 32K のチャネルをサポートすることができます。ホストが送信レートを決めるため，送信を開始する前に，（１）スケジューラ・レジスタをμPD98409 の間接アドレス・レジスタに設定します。（２）送信データは，システム・メモリに格納され，送信チャネルごとに設定する送信キューでホストが管理します。送信キューには，パケットごとのディスクリプタを格納します。ホストは，設定するコネクションごとに（３）Open_Channel コマンドを発行してチャネル（VC）のオープンを行います。μPD98409 は，コントロール・メモリのフリー・ブロック・プールから VC テーブルとして使用するためのブロックを割り当て，そのアドレスをホストに返します。ホストは，（４）VC テーブルに初期値を設定します。これで，送信を開始するための準備が整います。

μPD98409 に送信キューを読み出させるための（５）Tx_Ready コマンドを発行します。μPD98409 はコマンドを受けると，（６）VC のリンク先であるシェーパをアクティブにし，その VC をシェーパ･リンク･リストに追加します。そして，（７）ディスクリプタをリードし，VC テーブルにフェッチします。その後，（８）スケジューリングに従い，（９）セグメント単位でデータをフェッチし，（10）内部でセルを生成後，（11）PHY デバイスに送出します。1 つのパケットの送信が終わるまで，（８）-（11）の処理を繰り返し行います。

μPD98409 は，パケットごとにステータス情報として（12）送信インディケーションをメールボックスに格納し,割り込みを発行します。ホストは（13）メールボックスの送信インディケーションをリードし，（14）μPD98409 にあるメールボックスのリード・ポインタを更新します。

なお，図５－６の送信処理フローは，送信処理の流れを理解していただくための概略図です。

保守／廃止

５.４.２　送信データの構造

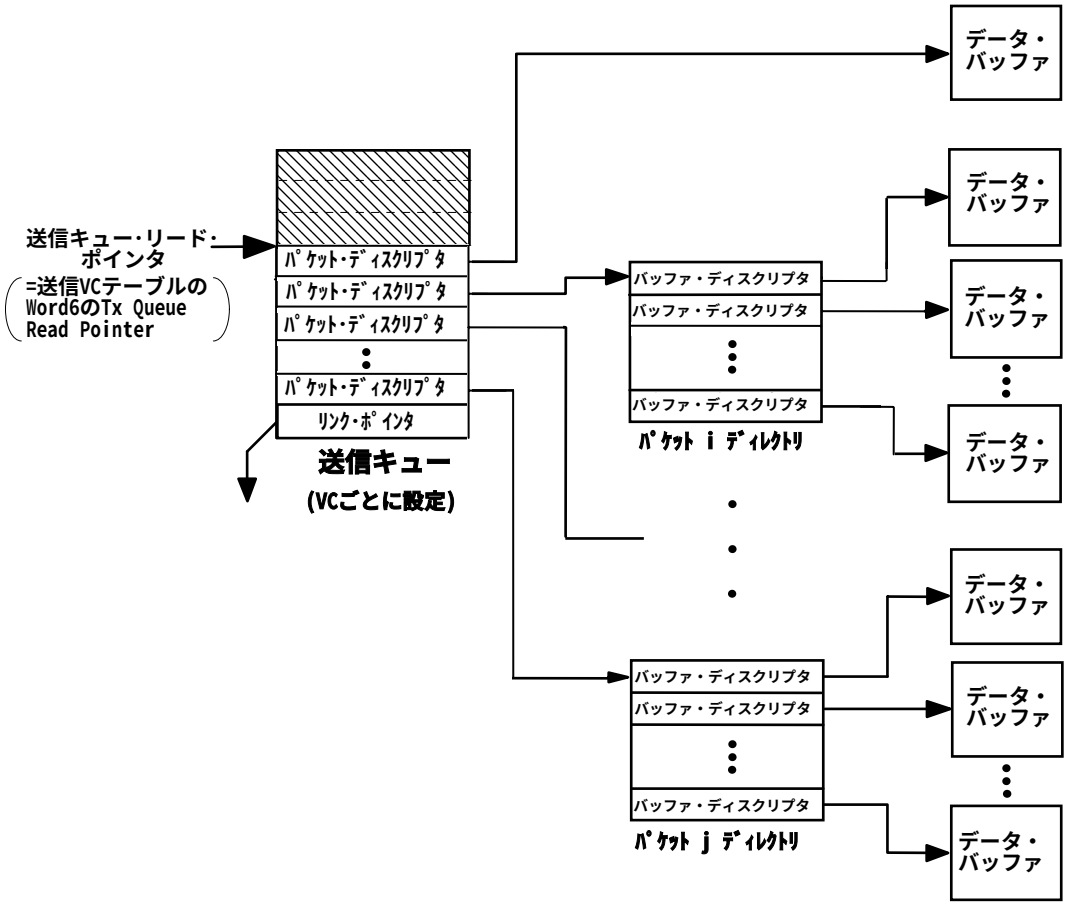
送信データはホストが管理するシステム・メモリに格納されます。システム・メモリ上に設定される送信データは，VC ごとに次の 3 つの要素で構成されます。図５－７に送信データの構造を示します。

（１）送信キュー

（２）パケット・ディレクトリ

（３）データ・バッファ

図５－７　システム・メモリ内送信データの構造例



（１）送信キュー

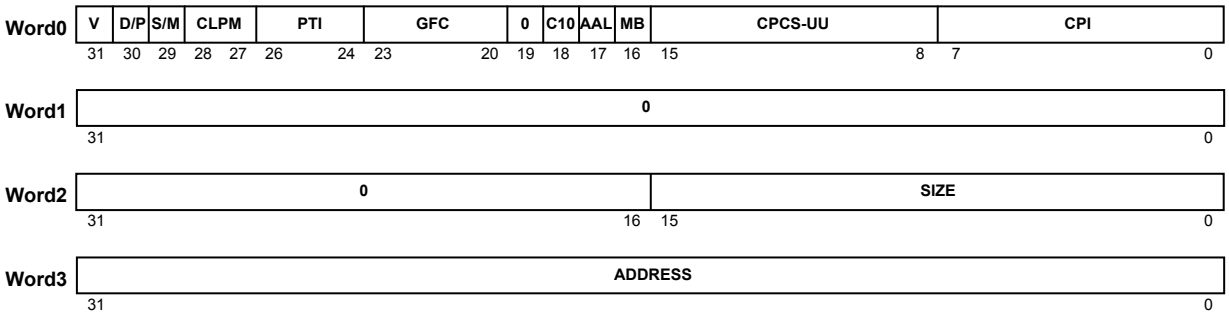
ホストは，それぞれのチャネル（送信 VC）ごとに送信キューを作成し管理します。送信キューは，対応するチャネルのパケット・ディスクリプタで構成されており，パケットには 1 つ以上のデータ・バッファが存在します。送信キューのリード・ポインタは，ホストによってコントロール・メモリの対応する送信 VC テーブルに初期設定されます。その後，リード･ポインタは，送信パケット・ディスクリプタをフェッチするたびに，μPD98409 によって修正され管理されます。

保守／廃止

パケット・ディスクリプタのリード・ポインタ（Tx Queue Read Pointer）は，ホストが初期値を送信 VC テーブルに設定し，その後は，μPD98409 がパケットを送信するたびに更新します。μPD98409 は，送信動作の進行に応じて，システム・メモリ上のパケット・ディスクリプタをリードします。ホストが突然システム・メモリ上の送信キュー領域を変更した場合には，μPD98409 が正常にパケット・ディスクリプタから情報を得ることができず，誤動作の原因になります。送信キュー領域を開放したり，変更したりする場合は，その VC を Close_Channel コマンドで閉じてからにしてください。

図５－８にパケット・ディスクリプタのフォーマットを示します。

図５－８　パケット・ディスクリプタのフォーマット



“ パケット・ディスクリプタ ” は，4 ワードで構成され，システム・メモリ上に 32 ビット境界で配置されなければなりません。送信パケットごとに 1 つのパケット・ディスクリプタを設定します。パケット・ディスクリプタには，データ・バッファのポインタ，またはパケット・ディレクトリのポインタを格納することができます。

次に，パケット・ディスクリプタの各フィールドの意味を説明します。

①V，D/P，S/M ビット

表５－２　パケット・ディスクリプタの機能

V	D/P	S/M	機　　能
0	－	－	空白パケット・ディスクリプタ
1	0	－	リンク・ポインタ
1	1	0	マルチバッファ・モードのパケット・ディスクリプタ
1	1	1	シングルバッファ・モードのパケット・ディスクリプタ

V ビットはそのパケット・ディスクリプタに送信されるべきデータがある場合，または，リンク・ポインタとして機能する場合は “ 1 ” に設定し，“ 有効パケット・ディスクリプタ ” であることを示します。V ビットを “ 0 ” に設定すると，そのパケット・ディスクリプタは “ 空白パケット・ディスクプリタ ” となります。

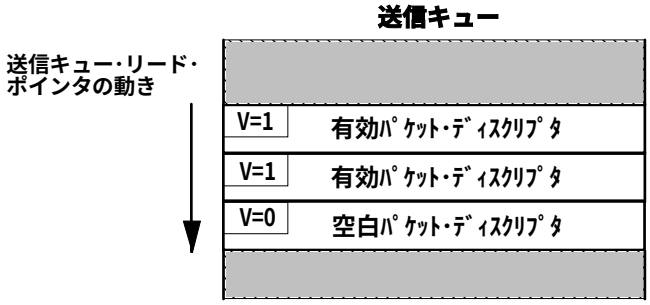
空白パケット・ディスクリプタは，μPD98409 がチェーンの最後の有効パケット・ディスクリプタを認識するために必要です。そのため，1 つまたは連続した有効パケット・ディスクリプタの最後には，必ず空白パケット・ディスクリプタを配置しなければなりません。V ビットが “ 0 ” で空白パケット・ディスクリプタで

保守／廃止

ある場合は，そのパケット・ディスクプリタの V ビット以外の領域は意味を持たず，μPD98409 は V ビット以外の領域を無視します。ただし，μPD98409 はパケット・ディスクリプタを 4 ワード単位でリードするので，空白パケット・ディスクリプタも 4 ワード領域で構成されている必要があります。

注意　ホストが V ビットを“1”にセットするのは，そのパケット・ディスクリプタの V ビット以外の領域をすべて設定し終えてからにしてください。Word0 の V ビットを“1”にセットしてから Word1-Word3 を設定すると，有効パケット・ディスクリプタとしてホストがすべて設定し終える前に，μPD98409 が前のパケット・ディスクリプタの処理を終えてリードしてしまい，誤動作の原因となります。

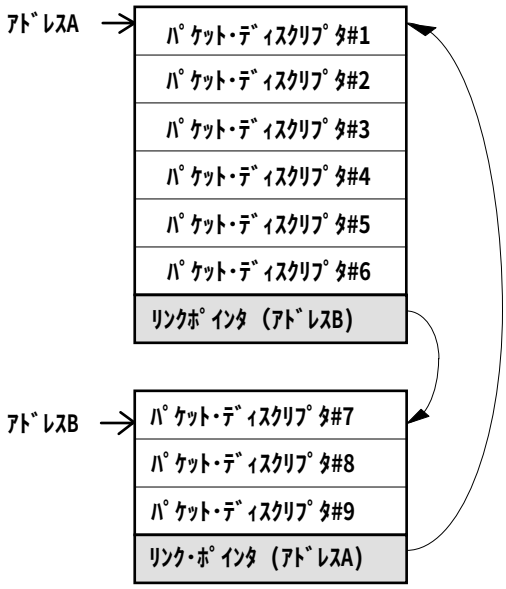
図５－９　空白ディスクリプタの配置



パケット・ディスクリプタは，D/P ビットの設定によって“リンク・ポインタ”として機能させることができ，ユーザはこれを用いて，送信キューを線形に配列したものとして扱うことも，リング状に配列したものとして扱うこともできます。リンク・ポインタとして設定したときは，“ADDRESS”フィールドには次の有効なパケット・ディスクリプタの先頭アドレスを格納します。リンク・ポインタとして機能する場合には，そのパケット・ディスクリプタの V，D/P ビットと ADDRESS フィールド以外のフィールドは意味を持たず，μPD98409 はそれらを無視します。

保守／廃止

図５－10　送信キューの配置例

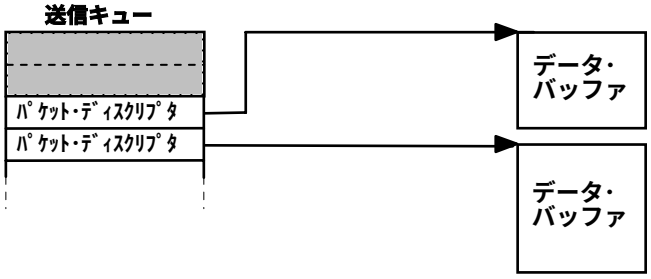


パケット・ディスクリプタの S/M ビットは，この送信パケットがシングルバッファ・モードで構成されているか，マルチバッファ・モードで構成されているかを示します。

●シングルバッファ・モードの場合

シングルバッファ・モードは，1 つの送信パケットを 1 つのデータ・バッファで構成するモードです。その場合，パケット・ディスクリプタの “ ADDRESS ” フィールドは，データ・バッファの開始アドレスを格納します。

図５－11　シングルバッファ・モード

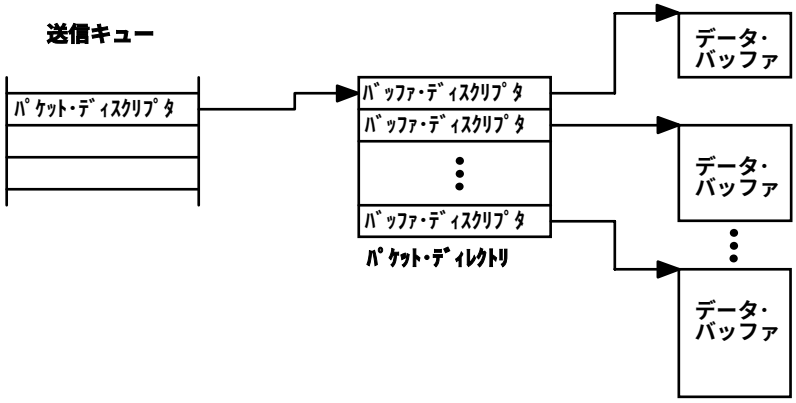


●マルチバッファ・モードの場合

マルチバッファ・モードとは，1 つの送信パケットをシステム・メモリ上に分散している複数のデータ・バッファで構成するモードです。その場合は，点在するデータ・バッファは “ パケット・ディレクトリ ” で束ねます。パケット・ディスクリプタの “ ADDRESS ” フィールドは，パケット・ディレクトリの開始アドレスを格納します。

保守／廃止

図５－12　マルチバッファ・モード



シングルバッファ・モードのパケット・ディスクリプタとマルチバッファ・モードのパケット・ディスクリプタは，1 つの送信キューの中に混在させることができます。

②CLPM

このパケットを送信するセル・ヘッダ内の“ CLP ”ビットの送信モードを選択します。μPD98409 は，このフィールドの設定に従って CLP ビットを変化させ，送出します。

ビット	モード
00	このパケットが送信されるすべてのセルの CLP ビットを“ 0 ”にします。
11	このパケットが送信されるすべてのセルの CLP ビットを“ 1 ”にします。
01	このパケットの最終セルのみ“ 0 ”にし，最終セル以外の CLP ビットを“ １ ”にします。
10	設定禁止

CLPM フィールドへの“ 10 ”コードの設定は行わないようにしてください。また，Raw セル，あるいは OAM セルの送信のときは，“ 00 ”または“ 11 ”のどちらかのみ有効です。“ 01 ”を設定することはできません。

保守／廃止

③PTI

μPD98409 は，送信パケットをセルに分解して送出するとき，ユーザがこのフィールドに設定した 3 ビットを各セル・ヘッダ内の“ PTI ”フィードに挿入します。

μPD98409 は，送信処理を行うとき，このフィールドに設定されるパターンを確認します。パケットが OAM F5 セルのコード（100，101）であるかそうでないかで送信動作が異なります。

●OAM F5 セルのパターン（100 または，101）を設定した場合：

μPD98409 は，パケットを無条件に OAM セルとして送信処理します。OAM セルの送信処理は，AAL-5，Raw セルの送信動作とは異なります。**５．４．６　非 AAL-5 トラフィックのサポート** を参照してください。

OAM F5 セルのパターンを設定した場合は，AAL ビットの設定は，必ず“ 0 ”の Raw セルを選択するようにしてください。

パケット・ディスクリプタを OAM F5 セル送信用にする場合は，1 パケット・ディスクリプタで 1 つの OAM F5 セルの設定となります。なお，OAM F5 セル送信用のパケット・ディスクリプタが指すバッファは，必ずシングルバッファ・モードでなくてはならず，マルチバッファ・モードを使用することはできません。

●OAM F5 セル以外のパターンを設定した場合：

AAL ビットによって，AAL-5 の送信パケットとして処理されるか，あるいは，Raw セルとして処理されるかに分かれます。

・AAL-5 タイプ設定である（AAL ビット=1）場合：

μPD98409 は，最終セル以外のセルは，このフィールドに設定されるコードをそのまま挿入します。パケットの最終セルは，μPD98409 が下位１ビットを“ 1 ”に変更して送出します。

・AAL-5 以外の AAL タイプ（AAL ビット=0）の場合：

μPD98409 は，このフィールドに設定された内容を，送信パケットのすべてのヘッダに，そのまま挿入して送出します。μPD98409 は，最終セルの PTI フィールド下位 1 ビットを“ 1 ”に変更せずに送出します。

④GFC

この送信パケットのすべてのセルの GFC パターンを格納します。μPD98409 は，ユーザが任意に設定した内容を，そのまますべての GFC フィールドに挿入して送出します。

⑤C10

CRC-10 誤り検出符号を挿入するかどうかを設定します。

C10	1	μPD98409 は，セルごとに 10 ビットの CRC-10 演算し，誤り検出符号を挿入します。
	0	μPD98409 は，CRC-10 を挿入しません。

保守／廃止

このビットが“1”に設定されている場合，μPD98409 はセルごとに，ペイロード部分の最後尾 10 ビットを除くフィールドに対して CRC 演算を実施し，結果を 10 ビットの CRC-10 誤り検出符号としてセルの最後尾に挿入します。

図５－13　CRC-10 の挿入

ヘッダ 5 バイト	ペイロード 46 バイト+6 ビット	CRC-10 10 ビット

CRC-10 の生成多項式は次のようになります。

$$G(X) = 1 + X + X^4 + X^5 + X^9 + X^{10}$$

μPD98409 の CRC-10 誤り検出機能を使用する場合は，次の注意が必要です。

＜注意事項＞

●μPD98409 は，データ・バッファから 1 セル分のデータにあたる 48 バイトごとにリードします。ただし，データ 48 バイト最後部 10 ビットは，CRC-10 誤り検出符号で上書きします。したがって，CRC 符号が挿入される部分については，あらかじめ上書きされることを考慮して，ダミー・データを挿入するなどのデータ・バッファの処置が必要になります。

●1 パケットのデータが 48 バイトの大きさで割り切れない場合，μPD98409 は，48 バイト未満のセル・データに対して CRC-10 演算を実行することができません。したがって，CRC-10 を挿入する送信パケットは，ダミー・データ（オール 0 のデータ）を挿入するなどの処置をして，48 バイトの倍数のサイズになるようにしてください。

●C10 ビットを“1”にセットし，CRC-10 の挿入機能をイネーブルにするのは，必ず AAL ビットが 0 のときにしてください。

⑥AAL

送信パケットを AAL-5 のタイプのパケットとして送信するのか，あるいはそれ以外のタイプとして送信するのかを設定します。

AAL	1	μPD98409 は，このパケットを AAL-5-PDU として処理します。
	0	μPD98409 は，Raw セルとして処理します。

保守／廃止

⑦MB

このパケット送信インディケーションを格納するメールボックスをメールボックスの 2 番，3 番から選択します。

MB	1	メールボックス 3 番を指定
	0	メールボックス 2 番を指定

メールボックスについては，**５.３　メールボックスの設定** を参照してください。

⑧CPCS-UU，CPI

μPD98409 は，ユーザがこのフィールドに設定したパターンを AAL-5 トレイラ内の CPCS-UU，CPI の各フィールドに挿入します。これらのフィールドは，AAL-5 のパケットを送信するとき（AAL ビット=1）のみ有効で，μPD98409 はそれ以外を無視します。

CPCS-UU　：CPCS ユーザ間表示
CPI　　：共通部種別表示

⑨SIZE

シングルバッファ・モードの場合　　：バッファのサイズをバイト単位で格納します。
マルチバッファ・モードの場合　　：このフィールドは意味を持たず，μPD98409 はこれを無視します。

⑩ADDRESS

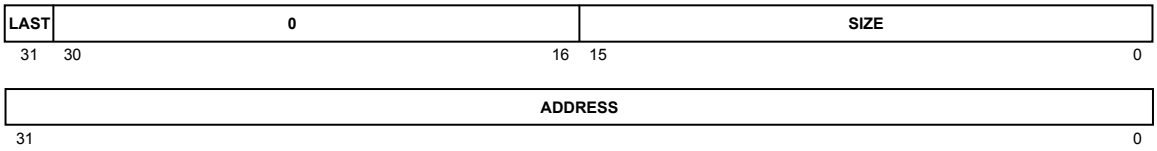
シングルバッファ・モードの場合	データ・バッファの開始アドレスを格納します。データ・バッファは，システム・メモリ上にバイト境界から配置することができるため，このフィールドに格納されるのは 32 ビット幅のバイト・アドレスになります。
マルチバッファ・モードの場合	パケット・ディレクトリの最初のバッファ・ディスクリプタの開始アドレスを格納します。バッファ・ディスクリプタは，システム・メモリ上に 32 ビット境界で配置されなければなりません。したがって，このフィールドに格納されるアドレスは，下位 2 ビットが必ず“00”でなければなりません。
リンク・ポインタの場合（D/P=0）	次の送信キューの先頭パケット・ディスクリプタの開始アドレスを格納します。パケット・ディスクリプタは，システム・メモリ上に 32 ビット境界で配置されなければならないため，このフィールドに格納されるアドレスは，下位 2 ビットが必ず“00”でなければなりません。

保守／廃止

（3）パケット・ディレクトリ

パケット・ディレクトリは，マルチバッファ・モードで送信パケットを構成する場合に設定します。必ず 32 ビット境界でシステム・メモリ上に配置されなければなりません。シングルバッファ・モードの場合は，設定する必要はありません。パケット・ディレクトリは，図５－14 に示す 2 ワードのフォーマットのバッファ・ディスクリプタが連続して構成されます。バッファ・ディスクリプタは，データ・バッファの先頭アドレスを指すポインタです。

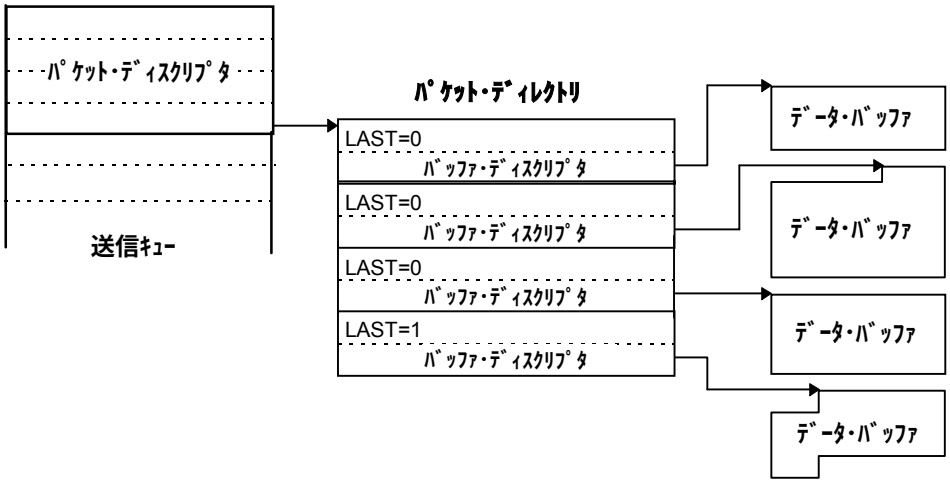
図５－14　バッファ・ディスクリプタのフォーマット



①LAST

そのバッファ・ディスクリプタが送信パケットを構成する最後のデータ・バッファを示すときに“１”に設定します。

図５－15　LAST ビットの設定



②SIZE

データ・バッファのサイズをバイト単位で設定します。

③ADDRESS

データ・バッファの開始アドレスを設定します。データ・バッファは，バイト境界から配置することができるため，このフィールドのアドレスは，32 ビット幅のバイト・アドレスになります。

備考　1VC の送信キューに，AAL-5 用，OAM F5 送信用，Raw セル送信用のそれぞれのパケット・ディスクリプタを混在させることができます。

保守／廃止

（4）データ・バッファ

データ・バッファは，実際に転送する送信データです。送信データはシステム・メモリ上のバイト境界に配置することができ，最大で 64K バイトまでのサイズを設定できます。AAL-5 タイプのデータの場合には，送信データは CPCS-PDU の“ユーザ・データ”フィールドの部分に相当します。

５.４.３　送信チャネル（送信 VC）

（1）送信チャネルのオープン

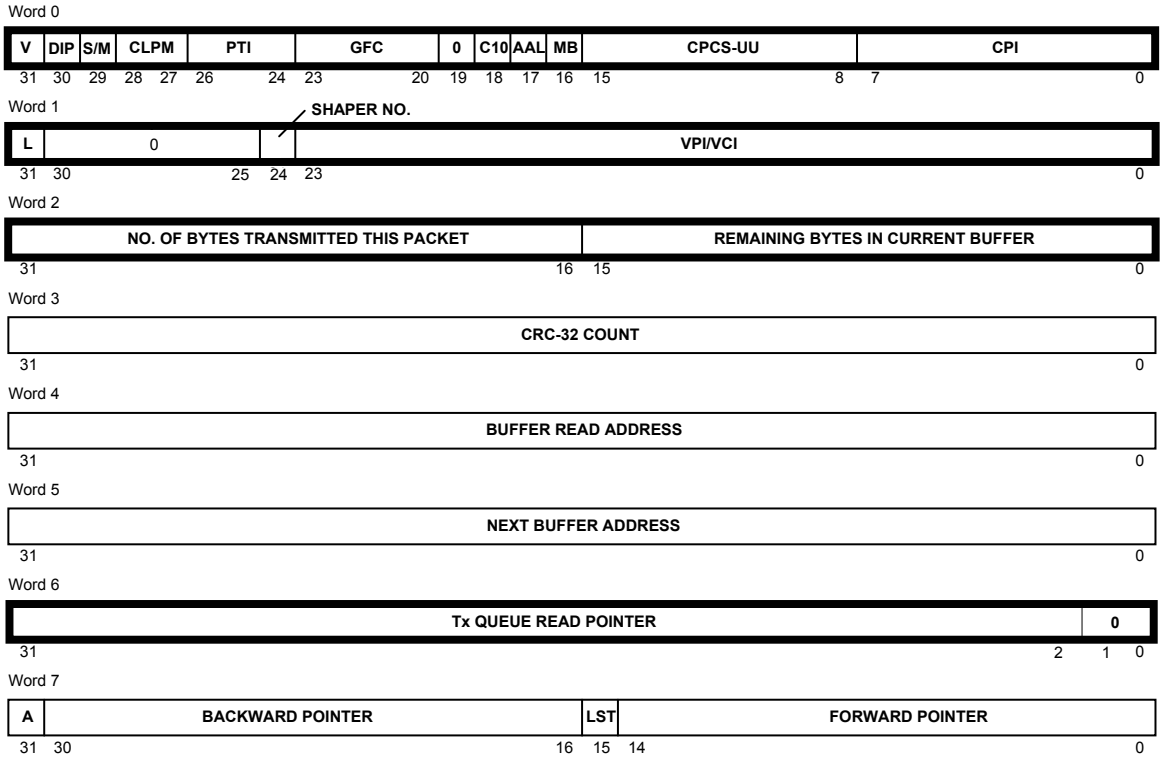
ホストが Open_Channel コマンドを発行すると，μPD98409 はコントロール・メモリのフリー・ブロック・プールから TOS（トップ・オブ・スタック）で示されるブロックを割り当て，その先頭アドレスをコマンド・インディケーションにてホストに応答します。ホストは，割り当てられたブロックを送信 VC テーブルとして設定します。

（2）送信 VC テーブルの設定

コントロール・メモリのフリー・ブロック・プールから割り当てられた８ワードのブロックを，ホストが送信 VC テーブルとして VC ごとに設定します。構造を図５－16 に示します。ホストは，太枠で示した箇所に初期値を設定します。ホストの VC テーブルへの書き込みは，Indirect_Access コマンドを使用します。太枠以外の領域は，μPD98409 が送信動作に使用する領域です。ホストは，テーブルに随時リードすることができ，ステータス情報として使用することもできます。

保守／廃止

図５－16　送信 VC テーブルの構造



Word0 の内容は，μPD98409 がシステム・メモリからフェッチするパケット・ディスクリプタの 1 ワード目を格納します。ユーザが設定したとおりの内容になります。

Word0	μPD98409 がシステム・メモリからリードしたパケット・ディスクリプタの Word0 の内容がそのまま格納されます。初期値がオール 0 にクリアされている必要があります。
L	μPD98409がフラグとして使用するビットです。初期値は必ず “ 1 ” に設定してください。
SHAPER NO.	このVCをリンクさせるシェーパ番号（0または1）を設定します。
VPI/VCI	セル・ヘッダのVPI/ VCIフィールドです。
NO. OF BYTES TRANSMITTED THIS PACKET	このパケットの現在までの送信バイト数です。初期値は必ず “ 0 ” に設定してください。

保守／廃止

REMAINING BYTES CURRENT BUFFER	現在のバッファで，まだ送信されていないバイト数です。初期値は必ず“0”に設定してください。
CRC-32 COUNT	このパケットのCRC-32演算の現在までの結果を示します。最終演算結果はAAL-5トレイラのCRC-32フィールドに挿入されます。
BUFFER READ ADDRESS	現在のバッファの次に転送するバイトを示すポインタです。
NEXT BUFFER ADDRESS	現在のパケット・ディレクトリの次のバッファを示すポインタです。シングルバッファ・モードの場合は“0”になります。
Tx QUEUE READ POINTER	次のパケット・ディスクリプタの先頭アドレスを示すポインタです。初期値はホストが設定します。パケット・ディスクリプタは必ずワード境界から配列し，このポインタの下位2ビットを必ず“00”にしなければなりません。 このポインタは，μPD98409によってパケットを送信するたびに更新されます。 初期設定時以外は，変更しないでください。
A	アクティブ・ビットです。このVCテーブルがアクティブ状態か，アイドル状態かを示します。1－アクティブ状態です。0－アイドル状態です。
BACKWARD POINTER	シェーパ・リンク・リストで1つ前のVCを示すポインタです。
LST	“1”はシェーパ・リンク・リストでこのVCが最終VCであることを示します。
FORWARD POINTER	シェーパ・リンク・リストで次のVCを示すポインタです。

備考　Word7 は変更しないでください。送信 VC テーブルの Word7 には，μPD98409 が VC テーブルを管理するうえで，必要なポインタおよびフラグが格納されています。外部ホストより変更されると，μPD98409 は正常に管理することができなくなります。

（3）送信チャネルの状態遷移

送信チャネルには，ノンイグジスタント状態，アイドル状態，アクティブ状態の 3 つの状態があります。ホストは Open_Channel コマンドを発行してチャネルをオープンします。このコマンドを受けるとμPD98409 は，コントロール・メモリのフリー・ブロック・プールから送信 VC テーブルのアドレスをコマンド・インディケーションとしてホストに通知します。次にホストは，Indirect_Access コマンドを使用して割り当てたブロックに適切なパラメータ（VPI/ VCI，使用するシェーパ，送信キュー・リード・ポインタなど）を書き込みます。これで，このブロックは，送信 VC テーブルとなり，チャネルはアイドル状態になります。

チャネルがアイドル状態になると（パラメータ設定後），その VC は送信する準備が整ったことになります。この状態で，送信するデータが生成され，有効パケット・ディスクリプタの準備ができると，ホストはμPD98409 に対して Tx_Ready コマンドを発行します。このコマンドを受けると，μPD98409 は VC テーブルの Word7“A”ビットを“1”にし，その VC テーブルをシェーパのリンク・リストに追加します。これにより，チャネルはアクティブ状態になります。

アクティブ状態になった VC は，スケジューラが決めるレートによってセルを送信する順番が回ってきます

保守／廃止

（５.４.４ トラフィック制御 を参照）。最初にこの VC を送信するとき，μPD98409 は送信キュー・リード・ポインタ（Tx Queue Read Pointer：VC テーブルの Word6）に従って，システム・メモリにあるパケット・ディスクリプタをリードし，VC テーブルの Word0 を更新します。このとき，そのパケット・ディスクリプタが空白パケット・ディスクリプタ（V=0）の場合，μPD98409 は，その VC テーブルの“ A ”ビットを“ 0 ”にしてアイドル状態に戻します。有効パケット・ディスクリプタ（V=1）の場合は，セルの送信を開始します。また，μPD98409 は送信 VC テーブルの送信キュー・リード・ポインタが次のパケット・ディスクリプタを指すように 4 ワード分加算しておきます。

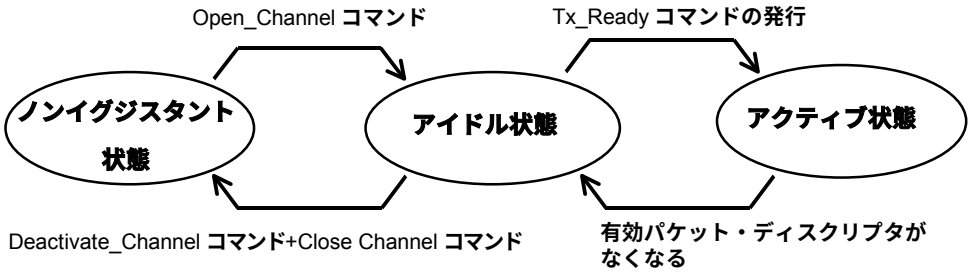
パケットのデータをすべてリードし終わるとき，μPD98409 は次のパケット・ディスクリプタをフェッチします。それが有効パケット・ディスクリプタである場合は，そのままアクティブ状態を保持してパケットの送信を続けます。送信キューに有効パケット・ディスクリプタがある間は，チャネルはアクティブ状態を保持します。

空白パケット・ディスクリプタ（V=0）をリードすると，μPD98409 はもうパケットがないことを認識します。最後のパケットのデータをすべてリードし終わると，Tx インディケーションを格納し，送信 VC テーブルをシェーパのリンク・リストから外し，“ A ”ビットを 0 にします。これで，このチャネルはアイドル状態に戻ります。チャネルがアイドル状態に遷移するのは，μPD98409 がパケットのすべてのデータを送出し終わったときではなく，システム・メモリからのリードを終了したときです。

アイドル状態に戻ったチャネルの送信キュー・リード・ポインタは最後の空白パケット・ディスクリプタを指しています。次の有効パケット・ディスクリプタの設定は，この空白パケット・ディスクリプタから始めます。したがって，送信キュー･リード･ポインタをホストが変更する必要はありません。ホストが送信キュー・リード・ポインタにアクセスするのは，初期値を設定するときのみです。有効パケット・ディスクリプタを設定後，Tx_Ready コマンドを発行すると再びアクティブ状態に遷移します。

このチャネルの使用を終了しようとする場合は，チャネルがアイドル状態にあるときに，ホストは Deactivate_Channel コマンド，および Close_Channel を発行して，VC テーブルをフリー・ブロック・プールに戻します。これでチャネルが存在しなくなり，ノンイグジスタント状態になります。Deactivate_Channel コマンドおよび Close_Channel コマンドを発行するのは，チャネルがアイドル状態の場合にかぎります。したがって，チャネルがアクティブ状態にあるときにこれらのコマンドを発行すると，μPD98409 は誤動作を起こします。チャネルをアクティブ状態からアイドル状態に戻すには，送信キューの有効パケット・ディスクリプタをなくし，空白パケット・ディスクリプイタの認識によって，アイドル状態に遷移するのを待ちます。

図５－17　送信チャネルの状態



保守／廃止

5.4.4　トラフィック制御

（1）セル送出モード

μPD98409 は，UTOPIA インタフェースを介して PHY デバイスに向けてセルを転送します。

GMR レジスタの UCE ビットの設定により，2 つのセル送出モードを選択できます。

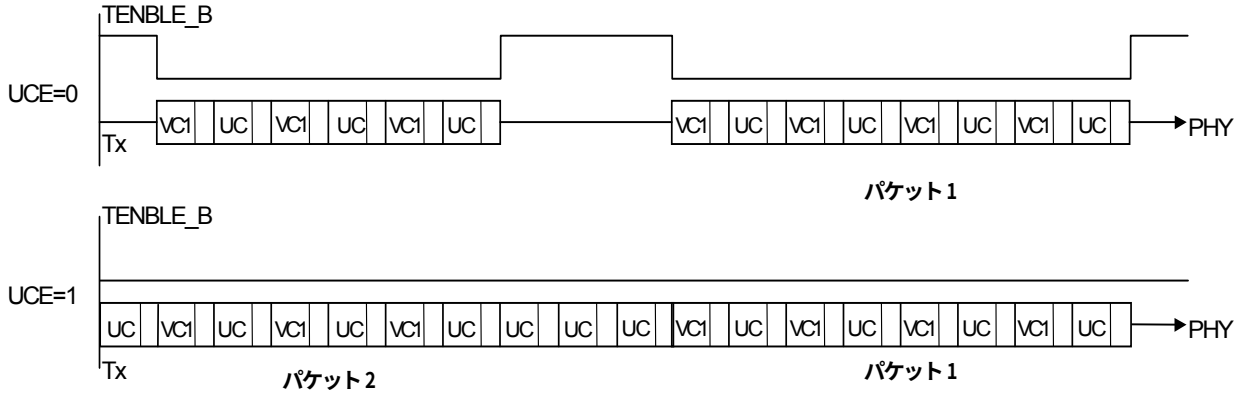
UCE ビットが“1”のとき，セルは，少なくとも 1 つの送信 VC がアクティブになっている場合，あるいは，アンアサインド／アイドル・セル・ジェネレータに設定されたシェーパがある場合にのみ連続して送出されます。それ以外の場合は，TENBL_B 信号をインアクティブにし，セルは送出されません。

UCE ビットが“1”のときには，送信すべきデータがない上記のような場合，GMR レジスタの ICM ビットで選択されるアンアサインド・セル／アイドル・セルを出力し，TENBL_B 信号をロウ・レベルを保持します。

パケット間のアンサインド／アイドル・セル挿入モードの選択		
UCE ビット (GMR：ビット 29)	1	アクティブな送信 VC が 1 つも存在しないとき，あるいはアンアサインド／アイドル・セル・ジェネレータに設定されたシェーパがない場合には，TENBL_B 信号をハイ・レベルにし，アンアサインド・セル／アイドル・セルの送出は行いません。
	0	アクティブの送信 VC が 1 つも存在しないとき，あるいはアンアサインド／アイドル・セル・ジェネレータに設定されたシェーパがない場合には，GMR レジスタの ICM ビットで選択されるアンアサインド・セル／アイドル・セルを送出します。
	ディフォールト=1	

図５－18 に UCE ビットの設定による，アンアサインド・セルの送出方法の相違例を示します。

図５－18　セル送出例（1VC 送信　I/M=1/2, P=1, C=1, ICM=“0”の場合）



VC:データ・セル
UC:アンアサインド・セル

セルの送信レートはセル単位で制御され，最大で 2 種類のレートが設定できます。

保守／廃止

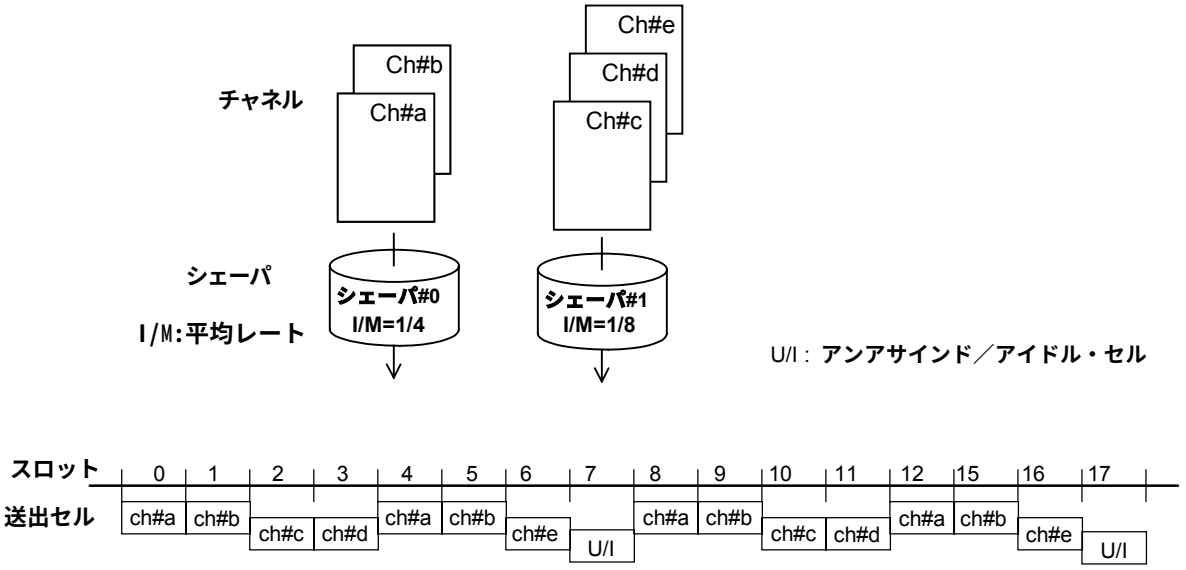
（2）スケジューリング

スケジューリングとは，次にどのチャネル（送信 VC）のセルを送出するか，送出セルの順番を決定することであり,このスケジューリングは,2 個のトラフィック･シェーパとスケジューラの動作によって実現されます。

シェーパには，それぞれに対応したスケジューラ・レジスタがあり，ホストは，使用するシェーパのスケジューラ・レジスタにセルを送出するピーク・レートと平均レートを決めるパラメータを設定します。それぞれのシェーパは，与えられたパラメータに基づいてデュアル・リーキ・バケット・アルゴリズム動作を実行し，セルの送出タイミングを生成します。ホストは，オープンしたそれぞれの送信 VC に対して，どのシェーパのレートで送信するかを選択し，送信 VC テーブルに設定します。有効なパケットが準備され Tx_Ready コマンドによってアクティブ状態となった送信 VC は，設定されたシェーパにリンクされます。リンク動作は，シェーパ・リンク・リスト，シェーパ・ポインタ・エントリを用いてコントロールされます。

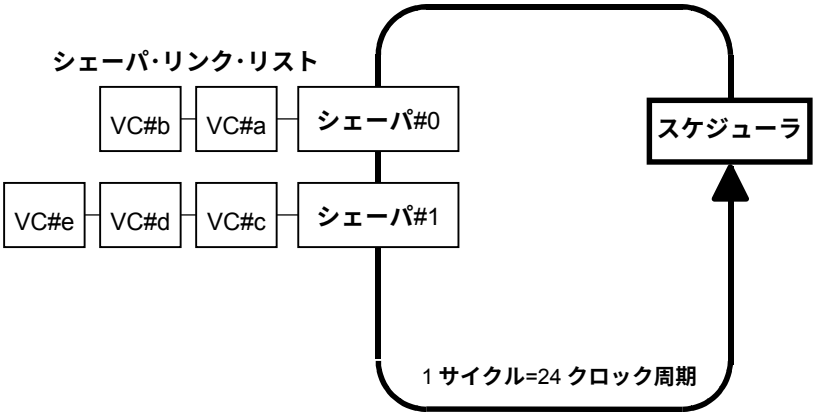
スケジューラは，システム・クロックの 24 クロックに 1 度の周期で，イネーブルになっているシェーパのパラメータを調べ，送出するタイミングにあるシェーパを検出し，その中でプライオリティの高いシェーパを 1 つ選択します。そして，そのシェーパにリンクされている送信 VC のセルを 1 つ送出します。これを繰り返すことによってトラフィック制御は行われます。

図５－19 スケジューリング機能の概念



保守／廃止

図５－20　スケジューラ動作の概要



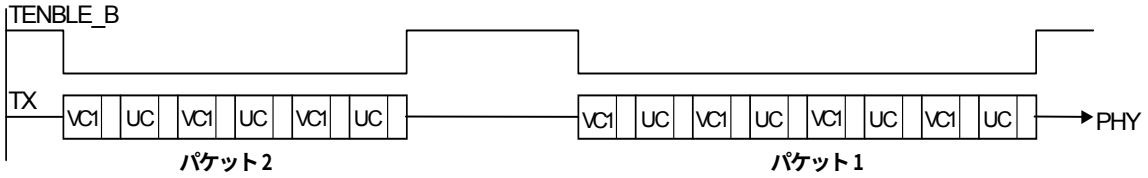
（３）空きセルの送出

少なくとも 1 つの送信 VC がアクティブになっている場合，μPD98409 はセルを連続して送出します。そのアクティブ VC のデータ・セルは，シェーパに設定された平均レート，ピーク・レートに従って送出されますが，いずれのシェーパも次にデータ・セルを送信するタイミングが来ていない場合，μPD98409 は空きセルを送出します。ユーザは，μPD98409 が送出する空きセルを，アンアサインド・セルとアイドル・セルの 2 種類から選択することができます。選択は，GMR レジスタのビット設定で行います。ディフォールトのモードでは，アンアサインド・セルを送出します。

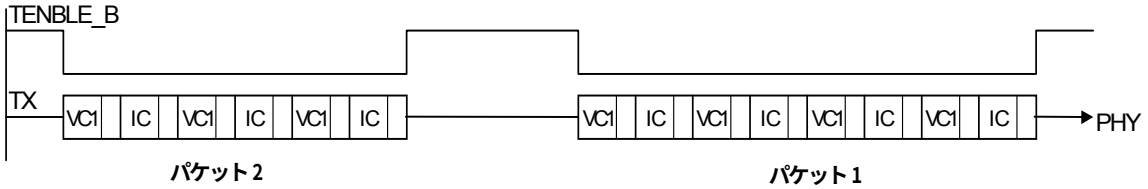
空きセルの選択		
ICM ビット (GMR：ビット 28)	0	アンアサインド・セルを挿入
	1	アイドル・セルを挿入
	ディフォールト=0	

＜例＞　1VC のみでの送信，シェーパの設定：I/M=1/2，C=1，P=0

ICM="0" の場合



ICM="1" の場合



VC1：VC1 のデータ・セル，　UC：アンアサインド・セル，　IC：アイドル・セル

保守／廃止

●空きセルのフォーマット

アンアサインド・セル（ヘッダ：オール“00H”，ペイロード：オール“00H”）

	ヘッダ					ペイロード				
	ﾊﾞｲﾄ1	ﾊﾞｲﾄ2	ﾊﾞｲﾄ3	ﾊﾞｲﾄ4	ﾊﾞｲﾄ5	ﾊﾞｲﾄ1	ﾊﾞｲﾄ2	・・・	ﾊﾞｲﾄ47	ﾊﾞｲﾄ48
内容	00	00	00	00	00	00	00	・・・	00	00

アイドル・セル（ヘッダ：CLP=1 それ以外 オール“00H”，ペイロード：オール“6AH”）

	ヘッダ					ペイロード				
	ﾊﾞｲﾄ1	ﾊﾞｲﾄ2	ﾊﾞｲﾄ3	ﾊﾞｲﾄ4	ﾊﾞｲﾄ5	ﾊﾞｲﾄ1	ﾊﾞｲﾄ2	・・・	ﾊﾞｲﾄ47	ﾊﾞｲﾄ48
内容	00	00	00	01	00	6A	6A	・・・	6A	6A

（4）スケジューラ・レジスタ

2 個のシェーパには，それぞれに，ホストが設定するパラメータおよびμPD98409 が管理する変数を格納するためのスケジューラ・レジスタがあります。

ユーザは，送信を開始する前に，レートを決定するためのパラメータを使用するシェーパごとのスケジューラ・レジスタに設定します。スケジューラ・レジスタは，間接アドレス・レジスタにあり，ホストは Indirect_Access コマンドでリード／ライトすることができます。

表５－３　スケジューラ・レジスタのビット説明

ビット名	説　　明
I（8 ビット）， M（24 ビット）	平均レート。平均レート・パラメータをセル単位で設定します。M セルにつき I セル送信の I/M で設定します。
P（ピーク，8 ビット）	ピーク・セル・レート。シェーパにリンクされたチャネルでの 2 つの連続セルの送信間の最小間隔をセル単位で設定します。
C（クレジット，8 ビット）	クレジット。シェーパが累算できるクレジットの最大数を設定します。I, M, P, C のパラメータから最大バースト・サイズが決定されます。
PRIORITY （プライオリティ，1 ビット）	シェーパに割り当てるプライオリティを設定します。0 が高プライオリティ，1 が低プライオリティです。 **備考**　ユーザは，必ずシェーパ 0 番をシェーパ 1 番より高プライオリティに設定するか，または，同じプライオリティに設定する必要があります。シェーパ1番をシェーパ0番より高プライオリティに設定することはできません。
E（イネーブル，1 ビット）	シェーパをイネーブルにします。

保守／廃止

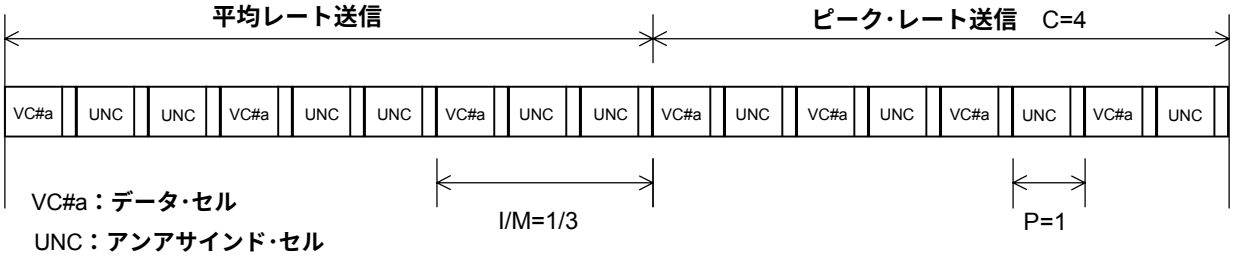
図５－21　パラメータの作用例

＜例＞

I/M=1/3（平均レート）

P=1（ピーク・レート）

C=4（クレジット）



μPD98409 は，ユーザによって設定された図５－21 のパラメータから，それぞれのシェーパごとに内部で変数を生成し，アルゴリズム動作を実行します。また，各シェーパには，シェーパの状態などを認識するのに使用するフラグがあります。これらの変数およびフラグは，各スケジューラ・レジスタにてμPD98409 によって管理されます。ホストが GMR レジスタのシェーパ・イネーブル・ビット“SE”が 1 に設定された状態で，かつ各シェーパごとにあるイネーブル・ビット“E”が 1 に設定されると動作を開始し，更新され始めます。

変数	x（32 ビット）
	y（32 ビット）
	p（8 ビット）
	c（8 ビット）
フラグ	S（スキャン，1 ビット）
	R（ラウンド･ロビン，1 ビット）
	A（アクティブ，1 ビット）

注意　I，M，P，C のパラメータおよびスケジューラ・レジスタのすべての内容は，シェーパがアクティブ（A=1）で，パケットを送信している間に変更することはできません。変更した場合，μPD98409 はレートを正常に守れなくなります。設定レートを変更するため，I，M，P，C などの値を変更する場合は，そのシェーパがインアクティブ（A=0）のときに，イネーブル・ビット E を 0 にしたのち，すべてのレジスタ内容を 0 クリアしてから実行してください（ただし，アンアサインド・セル・ジェネレータ機能使用時の“A”ビットの操作を除きます）。

保守／廃止

（5）シェーパ・リンク・リスト

ユーザは送信 VC ごとにリンク先のシェーパを選択し，ホストが送信 VC テーブルにある“ Shaper No. ”ビットに設定します。いくつかの VC を特定のシェーパにリンクさせることができます。送信 VC のシェーパへのリンク／リンク解除動作は，μPD98409 によって自動的に行われます。

μPD98409 は，それぞれのシェーパごとに VC テーブルのリンク・リストを生成して，多重されたアクティブ VC の管理を行います。シェーパのリンク・リストは，VC テーブルの 7 ワード目を使用して管理されます。このワードには，“ Forward Pointer ”と“ Backward Pointer ”および，リストの最後を示す“ Lst ”ビットがあります。ポインタには，VC テーブルの先頭を指すコード“ VC Number ”を書き込み，μPD98409 はこれを随時変更することで，VC とシェーパのリンクまたは，リンク解除を行います。

図５－22　リンクに使用するポインタ

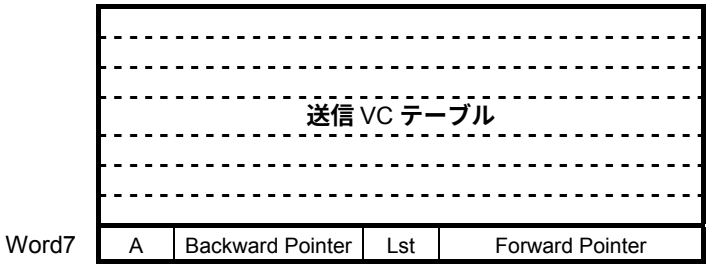
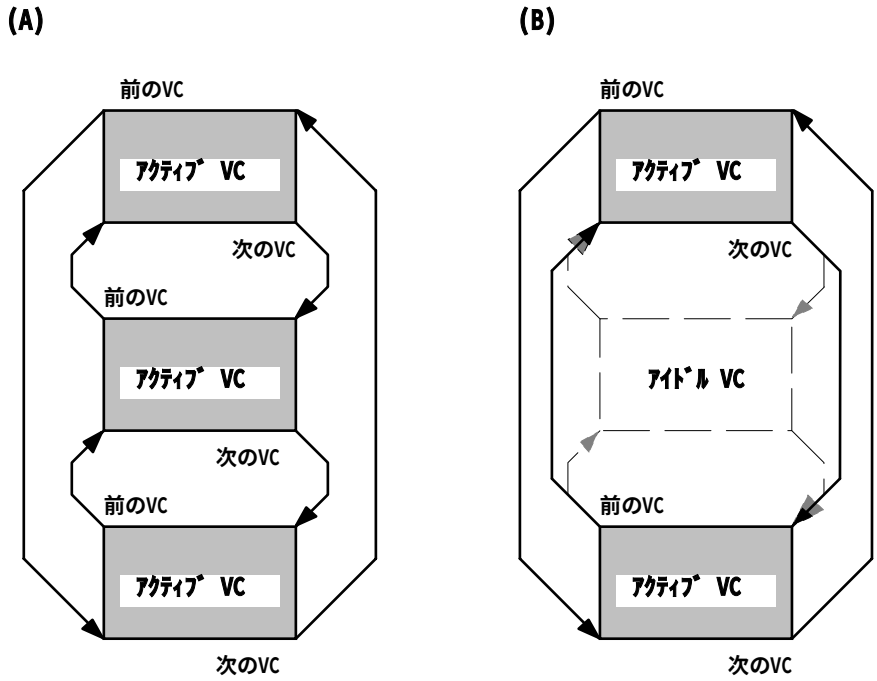


図５－23　送信 VC のトラフィック・シェーパへのリンクおよびリンク解除



保守／廃止

（A）シェーパへのリンク

VC のシェーパへのリンクは，ホストがアイドル状態（A ビット=0）の送信 VC に対して，Tx_Ready コマンドを発行したときに行われます。μPD98409 は対象となるシェーパの番号を VC テーブルの“ Shaper No. ”ビットから得て，そのシェーパのリンク・リストの最後にリンクされた VC と，これから加えようとする VC の“ Forward Pointer ”および“ Backward Pointer ”の書き換え操作を行います。このとき，VC テーブルのアクティブ・ビット A を 1 にセットし，VC をアクティブ状態とします。また，シェーパにリンクされている VC が 1 つもなく，これから加えようとする VC がリンク・リストの先頭の VC であった場合は，シェーパのスケジューラ・レジスタのアクティブ・フラグ“ A ビット ”とシェーパ・ポインタ・エントリの“ a ビット ”を 0 から 1 にセットし，アクティブにします。

すでにシェーパのリンク・リストに存在するアクティブ状態の VC に対して，Tx_Ready コマンドが発行された場合は，μPD98409 は何も動作しません。

（B）リンク解除

リンク解除は，その VC がアクティブ状態からアイドル状態に戻るときに行われます。次にフェッチしたパケット・ディスクリプタが空白パケット・ディスクリプタで，送信すべきパケットのデータをすべてリードし終わったとき，その VC と前後の VC の“ Forward Pointer ”および“ Backward Pointer ”の書き換え操作を行います。これにより，VC はリンク・リストから外されます。また，このとき，VC テーブルのアクティブ・ビット A を 1 から 0 にします。

リンク解除する VC がそのシェーパにリンクしている最後の VC だったときには，VC のリンク解除とともに，スケジューラ・レジスタ内の“ A ビット ”および，シェーパ・ポインタ・エントリの“ a ビット ”を 1 から 0 にし，シェーパ自体もインアクティブにします。

μPD98409 はリンク・リストの“ Forward Pointer ”をたどって，VC ごとに送信処理を進めます。μPD98409 は，ある VC の送信処理を実行するとき，その VC テーブルの“ Forward Pointer ”に格納されている“ VC Number ”，つまり，次に処理の対象となる VC の“ VC Number ”をコントロール・メモリのシェーパ・ポインタに格納します。これにより，μPD98409 はシェーパ間を移動したとき，どの VC から処理を行えばよいかを知ることができます。

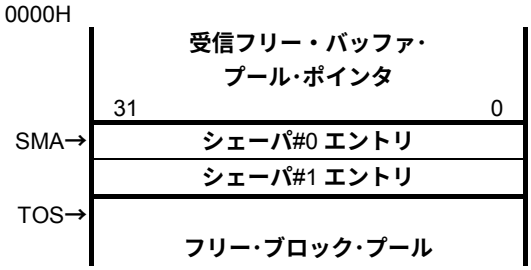
（6）シェーパ・ポインタ・エントリ

シェーパ・ポインタ・エントリは，μPD98409 がシェーパ間を移動したとき，どの VC まで処理を終えたかを格納するテーブルで，コントロール・メモリのシェーパ・ポインタ領域に配置されます。シェーパ・ポインタ領域は，SMA レジスタに設定されているアドレスから始まり，2 ワードのサイズです。μPD98409 はこの領域を,SMA のアドレスがシェーパ 0 番のエントリ,次のアドレスがシェーパ 1 番のエントリとして使用します。

シェーパ・ポインタ・エントリは，主にμPD98409 がテーブルとして使用し，管理します。ホストは，Indirect_Access コマンドを使ってこの領域にリード／ライトすることができますが，アンアサインド・セル・ジェネレータ機能を使用するときにアクセスするだけで，それ以外にアクセスする必要はありません。

保守／廃止

図５－24　コントロール・メモリのシェーパ･ポインタ・エントリ



シェーパ・ポインタ・エントリのフォーマットは，次のようになります。

a	u	- 0 -	VC Number
31	30	15	14　0

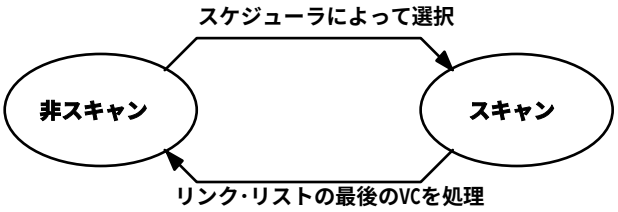
a ビット	アクティブ・フラグ・ビット。このビットは，おもにμPD98409 によって内部フラグとして使用されます。 1－少なくとも 1 つのアクティブ VC がシェーパにリンクされている。 0－アクティブ VC はひとつもない。 このシェーパをアンアサインド・セル・ジェネレータとして使用するときは，ホストが u ビットとともに 1 にセットします。
u ビット	アンアサインド・セル・ジェネレータ・ビット。このシェーパをアンアサインド・セル・ジェネレータとして機能させるときのみ，ホストが 1 にセットします（詳細は，**5.4.4（9）アンアサインド（アイドル）セル・ジェネレータ機能**参照）。
VC Number	μPD98409 が次に送信処理する VC の“ VC Number ”をスタックしておくためのテーブルとして使用されます。シェーパに VC が 1 つもリンクされていないとき，オール 0 になります。

保守／廃止

（7）アルゴリズム動作

セル・レートの制御は，シェーパごとにデュアル・リーキ・バケット・アルゴリズム動作を実行し，スケジューラがシェーパを選択することで実現されます。スケジューラは，システム・クロックの 24 クロックに 1 回の周期ですべてのシェーパの変数パラメータをチェックし，その中から送信処理を行うシェーパを 1 つ選択します。選択されたシェーパの状態を“スキャン状態”と言い，選択されていない状態を“非スキャン状態”と言います。2 つの状態は，スケジューラ・レジスタの“S フラグ”によって示されます。S フラグが 1 にセットされたシェーパは，リンクされている VC のセル送出処理を実行します。

図５－25　シェーパの状態



シェーパがスケジューラに選択される候補となるのは，以下の条件をすべて満たしているときです。

（i）SE=1（GMR レジスタ）

すべてのシェーパの動作が，イネーブルである。ホストが GMR レジスタに設定する。

（ii）E=1（スケジューラ･レジスタ）

そのシェーパがイネーブルである。ホストが使用するシェーパのスケジューラ・レジスタに設定する。

（iii）A=1（スケジューラ･レジスタ）

そのシェーパに送信すべきアクティブ VC が，リンクされている。μPD98409 がセットする。

（iv）c 変数＞0（スケジューラ･レジスタ）

μPD98409 がユーザから与えられる I，M，C のパラメータに従って更新する。

（v）p 変数＝0（スケジューラ･レジスタ）

μPD98409 がユーザから与えられる P のパラメータに従って更新する。

条件（i）-（iii）番については，シェーパがイネーブルであり，送信すべき VC がリンクされているかどうかを示す条件ですので，送信レートには直接影響しません。送信レートが決まるのは，（iv）および（v）番の条件である，c パラメータが 0 以上にインクリメントされるタイミングと，p パラメータが 0 になるタイミングです。

保守／廃止

（iv）番のスケジューラ・レジスタの８ビット“ c ”がインクリメントされる条件は，以下のとおりです。

(a) SE=1
(b) E=1
(c) x≧y
(d) c＜C

“ c ”パラメータは，上記の(a)，(b)のシェーパの動作がイネーブルである条件に加え，μPD98409 が管理する変数 x，y パラメータの両者の関係によってインクリメントされます。また，インクリメントされる上限はユーザから与えられる C パラメータまでです。

x，y の変数パラメータは，μPD98409 がユーザから与えられる I，M パラメータによって，スケジューラがすべてのシェーパ・パラメータを調べる周期（24 クロック）ごとに，次のルールに従って更新されます。

●x＝y のとき →　x と y にはそれぞれ I，M がロードされる
●x＞y のとき →　x に I が加算，y には M が加算される
●x＜y のとき →　x に I が加算される

c は x≧y のときにインクリメントされます。“ c ”が c＞0 でかつ，p=0 のとき，そのシェーパは，スケジューラの選択候補になり，選択されるとスキャン状態となってセルを送出します。

シェーパがスキャン状態から非スキャン状態になる（リンクしているすべての VC の送信が終わる）たびに，c パラメータはデクリメントされます。

“ c ”のインクリメントされる条件には，そのシェーパがアクティブ（スケジューラ・レジスタ：A ビット=1）である条件を含んでいません。したがって，シェーパにアクティブ VC があるかどうかにかかわらず，“ c ”パラメータは I/M の周期で最大“ C ”に達するまでインクリメントされます。

“ p ”は，シェーパが選択されてスキャン状態になると，ユーザが与える“ P ”でロードされ，スケジューラがすべてのシェーパを 1 周するごと（24 クロック）に，“ p ”は 1 ずつデクリメントされます。ふたたびスケジューラがそのシェーパを選択するためには，p=0 にまでデクリメントされていなければなりません。これにより，同じ VC のセルとセルの間隔は最低でもピーク・レート“ P ”を守るようになります。

保守／廃止

<例>シェーパ 0 番のみを使用し，スケジューラ・レジスタに以下のパラメータを設定した場合。

I=3，M= 10，P= 0，C=4

送信チャネル（VC＃a）をオープンし，シェーパ 0 番にリンク。

U/I：**アンアサインド・セルまたはアイドル・セル**

VC：**データ・セル**

Tx_Ready
コマンド発行 →

スロット	x 値	y 値	x ? y	c	スキャン	送信セル
1 初期値	0	0	x = y	1		
2	3	10	x < y	1		
3	6	10	x < y	1		
4	9	10	x < y	1		
5	12	10	x > y	2		
6	15	20	x < y	4		
7	18	20	x < y	2		
8	21	20	x > y	3		
9	24	30	x < y	3		
10	27	30	x < y	3		
11	30	30	x = y	4		
12	3	10	x < y	4		
13	6	10	x < y	4		
14	9	10	x < y	4		
15	12	10	x > y	4		
16	15	20	x < y	4	●	VC
17	18	20	x < y	3	●	VC
18	21	20	x > y	3	●	VC
19	24	30	x < y	2	●	VC
20	27	30	x < y	1	●	VC
21	30	30	x = y	1	●	VC
22	3	10	x < y	0		U/I
23	6	10	x < y	0		U/I
24	9	10	x < y	0		U/I
25	12	10	x > y	1	●	VC
26	15	20	x < y	0		U/I
27	18	20	x < y	0		U/I
28	21	20	x > y	1	●	VC
29	24	30	x < y	0		U/I
30	27	30	x < y	0		U/I
31	30	30	x = y	1	●	VC
32	3	10	x < y	0		U/I
33	6	10	x < y	0		U/I
34	9	10	x < y	0		U/I
35	12	10	x > y	1	●	VC
36	15	20	x < y	0		U/I

保守／廃止

スロット	x 値	y 値	x ? y	c	スキャン	送信セル
37	18	20	x < y	0		U/I
38	21	20	x > y	1	●	VC
39	24	30	x < y	0		U/I
40	27	30	x < y	0		U/I
41	30	30	x = y	1	●	VC
42	3	10	x < y	0		U/I
43	6	10	x < y	0		U/I
44	9	10	x < y	0		U/I
45	12	10	x > y	1	●	VC
46	15	20	x < y	0		U/I
47	18	20	x < y	0		U/I
48	21	20	x > y	1	●	VC
49	24	30	x < y	0		U/I
50	27	30	x < y	0		U/I
51	30	30	x = y	1	●	VC
52	3	10	x < y	0		U/I
53	6	10	x < y	0		U/I
54	9	10	x < y	0		U/I
55	12	10	x > y	1	●	VC
56	15	20	x < y	0		U/I
57	18	20	x < y	0		U/I
58	21	20	x > y	1	●	VC
59	24	30	x < y	0		
60	27	30	x < y	0		
61	30	30	x = y	1		
62	3	10	x < y	1		
63	6	10	x < y	1		
64	9	10	x < y	1		
65	12	10	x > y	2		
66	15	20	x < y	2		
67	18	20	x < y	2		
⋮	⋮	⋮	⋮	⋮		⋮

パケット送信完 → 58

3/10

保守／廃止

“ C ”は，ピーク・レートで連続送信できるセル数を規定（最大バースト・サイズではない）しています。したがって C＝1 と設定すると，そのシェーパはピーク・レートの間隔でセルを 2 つ以上連続送信できないため，アンアサインド・セルが挿入されることになります。

＜例＞　シェーパの設定（Priority は考慮に含んでいません。）

- I/M＝1/1
- P=0

●C＝1 の場合

VC#a		UC		VC#a		UN		VC#a		UN		→

2 つ以上連続できないため，アンアサインド・セルが挿入される。

●C＝2 の場合

VC#a		VC#a		VC#a		VC#a		VC#a		VC#a		→

2 セル以上の連続送信可

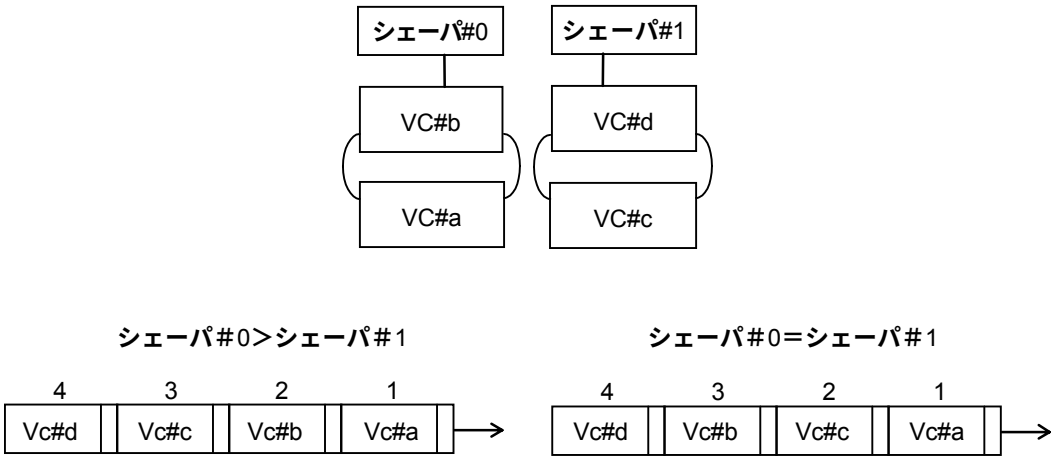
スケジューラが 2 つのシェーパを 1 周するとき，条件を満たしたシェーパの中から高プライオリティのものを選択します。シェーパのプライオリティは，ユーザが“ Priority ”パラメータに設定します。ただし，ユーザは，必ずシェーパ 0 番をシェーパ 1 番より高プライオリティに設定するか，または，同じプライオリティに設定する必要があります。シェーパ 1 番をシェーパ 0 番より高プライオリティに設定することはできません。

2 つのシェーパのプライオリティが等しい場合，スケジューラはラウンド・ロビン方式で 1 つずつのシェーパを選択します。μPD98409 は，ラウンド・ロビン・アルゴリズムを管理するため，スケジューラ・レジスタのラウンド・ロビン（R）ビットを使用します。

保守／廃止

＜例＞　シェーパ 2 つを使用し，それぞれに 2 つずつの VC がリンクされているとき，セルの送出順はプライオリティの設定によって図５－26 のようになります。

図５－26　優先順位によるセル送出順



（8）スキャン状態におけるシェーパのセル送出

1 度スキャン状態になったシェーパは，リンクされているすべての VC のセルを順に 1 つずつ送信し，最後にリンクされている VC（LST ビット=1）のセルを送信し終えた時点で，非スキャン状態に戻ります。このモードは，シェーパに設定された送信レートが，各 VC 単位でのレートを制御することを意味します。ただし，1 シェーパが占有する帯域は，そのシェーパにリンクされる VC の数によって変化します。

（9）アンアサインド（アイドル）セル・ジェネレータ機能

ユーザは，アクティブ VC が使う帯域に制限を設けるため，シェーパをアンアサインド・セル・ジェネレータとして機能させることができます。アンアサインド・セル・ジェネレータとして設定されたシェーパは，あたかもアンアサインド（アイドル）セルを送信する VC と常にリンクされているかのように働きます。アンアサインド・セル・ジェネレータに設定したシェーパをデータ送信用のシェーパよりプライオリティを高く設定することで，データが使用する帯域を制限することができます。

また，送出するアンアサインド・セルは，GMR レジスタの ICM ビットによってアイドル・セルに切り替えることができます。

アンアサインド・セル・ジェネレータの設定は，次の手順で設定します。

① アンアサインド・セル・ジェネレータとして設定するシェーパのコントロール・メモリ内シェーパ・ポインタ・エントリのビット 31，ビット 30“ａ”，“ｕ”両ビットを 1 にセットします。

② スケジューラ・レジスタにパラメータを設定します。ただし，このとき，イネーブル・ビット E と同時に，アクティブ・ビット“Ａ”も 1 にセットします。

保守／廃止

注意１．アンアサインド・セル・ジェネレータに設定したシェーパに通常の VC をリンクさせることはできません。

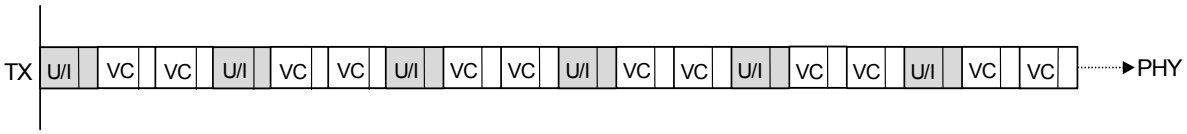
２．シェーパ・ポインタ・エントリ“ａビット”および，スケジューラ・レジスタの“Ａビット”は，アンアサインド・セル・ジェネレータ機能の使用時以外の用途では，ホストが“１”にセットする必要はありまりません。データ送信用のシェーパではμPD98409 が自動的に“１”にセットします。

３．アンアサインド・セル・ジェネレータ機能は，GMR レジスタの UCE ビットが“０”で使用されている場合にのみ使用してください。UCE ビット＝“１”の，パケット間にアンアサインド・セル／アイドル・セルを送出しないモードを選択した場合には，アンアサインド・セル・ジェネレータ機能は使用できません。

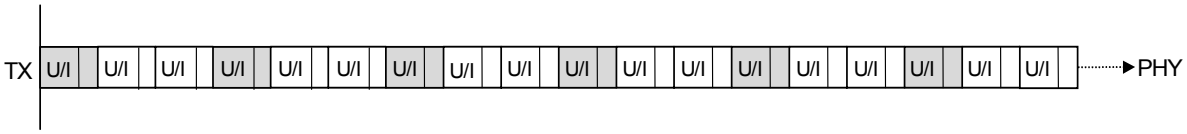
＜例＞　シェーパ 0：アンアサインド・セル・ジェネレータに設定 I/M=1/3

シェーパ 1：通常のデータ・セルを設定　I/M=1/1

送信するデータ・セルをアンアサインド・セルの間に埋めることができます。



送信するデータ・セルがない場合



：アンアサインド・セル・ジェネレータで生成されたセル

U/I：ICM=0 の場合アンアサインド・セル
ICM=1 の場合アイドル・セル
VC：データ・セル

保守／廃止

5.4.5　送信動作

μPD98409 は，システム・メモリに格納されたパケットから，送信セグメント（セルのペイロード・データ 48 バイト）を取り出し，必要な場合には AAL-5 トレイラあるいは，CRC-10 を付加し，PHY デバイスにセルを送信します。

μPD98409 には，2 セル分の FIFO があります。通常動作時，FIFO にはシステム・メモリから送信データが格納され，セルが PHY デバイスに送られると空になります。

送信マシンは，スケジューラが決定する VC の順番に従って，システム・メモリからセグメントをリードします。

μPD98409 は，システム・メモリから取り出されたセグメント（ペイロード・データ 48 バイト）とコントロール・メモリに格納されたセル・ヘッダの情報からセルを構築します。このとき，セル・ヘッダの HEC フィールドには，ダミー・データの “ 00H ” を挿入します。

セル・ヘッダの GFC フィールド，VPI/ VCI フィールド，PTI フィールドおよび，CLP フィールドは，VC テーブルの Word0 から取り出して生成されます。VC テーブルの 1 ワード目は，送信パケットごとにパケット・ディスクリプタを受け取ることでμPD98409 によって更新されます。

また，VC テーブルの“ Remaining Bytes in Current Buffer ”には，シングルバッファ・モードのとき，パケット・ディスクリプタの “ SIZE ” フィールドの内容が，マルチバッファ・モードのときは，各バッファ・ディスクリプタの “ SIZE ” フィールドの内容がそれぞれ取り込まれ格納されます。

PTI フィールドおよび，CLP ビットは，最終セルの場合，μPD98409 が PTI フィールドの LSB に“ 1 ”を設定し，CLP ビットは VC テーブルに示される CLP モードに従って設定されます。

セルのペイロード部分は，VC テーブルの“ Buffer Read Address ”フィールドから始まる 48 バイトをシステム・メモリから読み出して埋められます。次に，このフィールドは 48 バイト加算され，“ Remaining Bytes in Current Buffer ” フィールドは 48 バイト減算されます。マルチバッファ・モードの場合は，“ Remaining Bytes in Current Buffer ”が 0 となり，バッファがなくなると新たなバッファ・ディスクリプタの SIZE フィールドから“ Remaining Bytes in Current Buffer ” フィールドを更新します。μPD98409 は，現在の送信バッファの情報を VC テーブルで管理します。

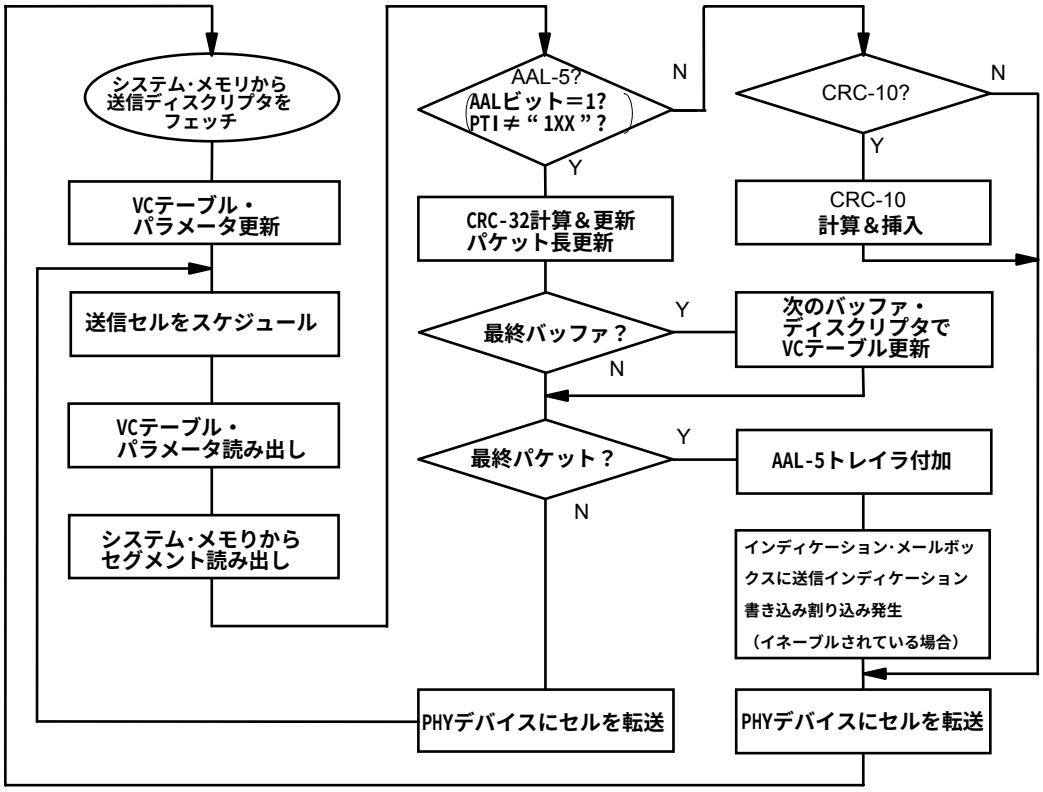
現在の送信バッファの L フラグが，最終バッファを示しているとき，VC テーブルの ” フィールドが 40 バイトより少なくなると，AAL-PDU の最後セルとなります。現在のセルが AAL-PDU の最後で，8 バイトの AAL-5 トレイラを加える余裕がある場合，μPD98409 がトレイラを適切な数のパディング（オール 0 のデータ）とともに追加します。トレイラの 8 バイトを挿入する余裕がない場合は，パディングとトレイラの情報のみを格納した最終セルを最後に追加し送付します。

AAL-5 トラフィックのとき（パケット・ディスクリプタ AAL ビット=1），送信マシンはシステム・メモリからセグメントを読み出すたびに，セグメントごとの CRC-32 の演算とパケット長の仮結果をそれぞれ VC テーブルの “ CRC-32 ” フィールド，“ No. Of Bytes Transmitted This Packet ” フィールドに格納します。AAL-5 PDU の最終セグメントが読み出されると，CRC-32 の最終値とパケット長を AAL-5 PDU のトレイラに挿入し，CPCS-UU，CPI フィールドは 1 ワード目の内容を挿入して AAL-5 トレイラを生成します。

送信マシンは，送信キューに有効パケット・ディスクリプタがなくなると，VC をインアクティブ状態にします。送信キューに有効パケット・ディスクリプタがなくなったことを検出できるようにするために，ホストは有効パケット・ディスクリプタのリストの最後に V ビット=0 の空白パケット・ディスクリプタを配置しなければなりません。

保守／廃止

図５－27　送信動作概要フロー・チャート



保守／廃止

５.４.６　非 AAL-5 トラフィックのサポート

μPD98409 には非 AAL-5 トラフィックのサポートとして，AAL-5 トレイラなどの付加を行わず，Raw セルとして送信する機能があります。μPD98409 が非 AAL-5 として送信するのは，（１）OAM F5／RM セル送信，（２）Raw セル送信の 2 つの場合です。

（１）OAM F5／RM セル送信

ホストがパケット・ディスクリプタの PTI フィールドに，OAM F5/RM セルのパターン（1xx）を設定すると，μPD98409 は，AAL-5 トレイラ付加の処理を行いません。この場合，ホストがパケット・ディスクリプタの“ SIZE ”フィールドに 48 バイト以上を設定しても，μPD98409 はデータ・バッファの先頭から 1 セル分のデータ 48 バイトまでをリードし，それ以上のデータを無視します。また，48 バイト未満には設定しないでください。送信データが 48 バイト未満の場合には，ホストがダミー・データ（オール 0 など）を付加して，データ長を 48 バイトにしてください。OAM F5／RM セル送信では，ホストは 1 つの OAM F5／RM セルにつき，1 パケット・ディスクリプタを設定します。

OAM F5／RM セルでは，CRC-10 演算挿入することができます。パケット・ディスクリプタの“ C10 ビット ”に１をセットすると，μPD98409 は，OAM F5／RM セルのセグメント 48 バイトのうち，46 バイトと 6 ビットの CRC-10 演算を実行し，結果を CRC-10 誤り検出符号としてセルの最後尾 10 ビットに上書きして挿入します。したがって，CRC-10 演算挿入機能をイネーブルにする場合，ホストはセグメントの最後尾から，10 ビットは上書きされることを承知し，データ・バッファではあらかじめその部分にダミー・データ（オール 0 など）を配置しておく必要があります。また，CRC-10 演算挿入機能は，パケット・ディスクリプタの“ SIZE ”フィールドが，48 バイトのときのみ実行することができます。実際に送信するデータが 48 バイト未満で，CRC-10 演算挿入機能を使用する場合には，ホストがデータにダミー・データ（オール 0 など）を付加し，データ長を必ず 48 バイトにする必要があります。

さらに，パケット・ディスクリプタを OAM F5／RM セル送信用に設定するときには，次の注意が必要です。

- OAM F5／RM セル送信の場合には，“ AAL ”ビットは，必ず 0 に設定しなければなりません。
- マルチバッファ・モードを使用することはできません。必ずシングルバッファ・モードで使用してください。

保守／廃止

（２）Raw セル送信

AAL-5 タイプ以外のユーザ・データ・パケットを送信する場合，ホストはパケット・ディスクリプタの“ AAL ”ビットを 0 にし，PTI フィールドはユーザ・データ・セルのコードを表す“ 0xx ”（000-011）を設定します。μPD98409 は，パケット・ディスクリプタの“ AAL ”ビットが 0 の場合，そのパケットに対して AAL-5 トレイラの演算，付加を行いません。データ・バッファから送信セグメントを 48 バイトずつリードし，セル化して PHY デバイスに送出することを繰り返します。1 パケットの送信データを 65535 バイト長まで設定することができ，マルチバッファ・モードでデータ・バッファを構成することができます。パケット・ディスクリプタの“ SIZE ”フィールドが 48 バイトの整数倍でない場合，μPD98409 は，最終セルのセグメントを 48 バイト長にするため，パディング（オール 0）を付加します。

ホストは，必要に応じてパケット・ディスクリプタの“ C10 ”ビットを１にセットし，μPD98409 の CRC-10 演算挿入機能をイネーブルにすることができます。この機能がイネーブルになると，μPD98409 はシステム・メモリのデータ・バッファからリードするセグメント 48 バイトごとの，46 バイトと 6 ビットの部分に CRC-10 演算を実行し，結果を誤り検出符号として，セルの最後尾 10 ビットに上書き挿入します。ホストは，データを CRC-10 符号で上書きされないようにするため，データをシステム・メモリに準備するときにセグメント単位で CRC-10 の上書きされる部分 10 ビットにダミー・データを挿入しておく必要があります。

また，データ・バッファの長さが 48 バイトの整数倍でない場合，最後に残る 48 バイト未満のセグメントに対して，μPD98409 は CRC-10 演算を実行することができません。したがって，ホストは CRC-10 演算挿入機能を使用するときには，ダミー・データを付加することにより，ユーザ・データ長を必ず 48 バイトの整数倍にする必要があります。

Raw セル送信では，最終セルを送信する場合でも，パケット・ディスクリプタの PTI フィールドに設定されたパターンそのままで送出され， PTI フィールドの最下位ビットを“ 1 ”に自動変更されることはありません。

保守／廃止

５.４.７　送信インディケーションの発行

μPD98409 は，送信インディケーションをパケット・ディスクリプタごとにメールボックスに書き込みます。送信用のメールボックスは，メールボックス２番または 3 番で，ホストが設定するパケット・ディスクリプタの“ MB ”ビットに従って，いずれかに格納します。

μPD98409 が送信インディケーションの書き込みを実行するタイミングは，パケットのすべてのデータ・リードが終了したときです。送信インディケーションが発行されても，そのパケットの PHY デバイスへの送出が完了しているとはかぎりません。

送信インディケーションを格納すると，μPD98409 は GSR レジスタの対応する MM ビットを１にセットし，マスクされていなければ割り込みを発行します。

送信インディケーションは，受信インディケーションと異なり，AAL-5 パケットおよび，非 AAL-5 パケット（OAM F5，RM セル，Raw セル送信パケット）のすべてのデータに対してパケットごとに発行されるので注意してください。

インディケーションの内容および，処理については，５.６　送受信インディケーションを参照してください。

μPD98409 は表５－４に示す 3 種類を送信することができ，パケット・ディスクリプタで選択します。

表５－４　μPD98409 送信機能のサポート・データのまとめ

	設　定	データ長	ｲﾝﾃﾞｨｹｰｼｮﾝ	AAL-5 トレイラ	CRC-10	備　　考
AAL-5 データ	PTI=“0xx” AAL=1	65535 バイトまで	発行	自動付加	挿入不可	
AAL-5 タイプ以外のパケット送信	PTI=“0xx” AAL=0	65535 バイトまで	発行	なし	挿入可	• CRC10 を付加時，送信データ長は必ず 48 バイトの整数倍 • ・CLPM フィールドに“ 01 ”設 • 定 不可 • 最終セルの PTI フィールドの最下位１ビットは変更なし
OAM F5／RM セル	PTI=“1xx” AAL=0	48 バイトまで	発行	なし	挿入可	• CRC-10 を付加時，データ長は必ず 48 バイト長 • ・CLPM フィールドに“ 01 ”設 • 定 不可 • シングルバッファ・モードのみ使用可

保守／廃止

5.5　受信機能

5.5.1　受信処理フロー

μPD98409 がセルを受信するまでの流れは，いくつかの段階に分けられます。

図５－28　受信フローの概略

ホストの処理	
(1)	VRR レジスタの設定
(2)	システム･メモリに受信プールを設定
(3)	コントロール･メモリ内受信プール･ディスクリプタを設定
(4)	メールボックスを設定
(5)	Open_Channel コマンドの発行
(6)	受信 VC テーブル設定
(7)	コントロール･メモリ内ルックアップ･テーブル･エントリの設定

μPD98409 の動作（AAL-5 パケット受信の場合）	
(8)	パケット先頭セルを受信
(9)	プールのバッチをアサイン
(10)	T1 タイマ･リストに VC をリンク（T1 エラーの監視）
(11)	データをセグメント単位でシステム･メモリに転送
(12)	必要に応じて新バッチをアサイン
(13)	パケット最終セルを受信
(14)	AAL-5 トレイラからエラーのチェック
(15)	受信インディケーションの発行および，割り込みの発行

(18)	受信インディケーションをリード
(19)	メールボックス･リード･ポインタ(MTA)の更新
(20)	受信プールからデータ･リード
(21)	受信プールのバッファ管理 (Add_Batches コマンド)

μPD98409 の動作（MPEG-TS パケット受信の場合）	
(8)*	パケット先頭セルを受信
(9)*	T1 タイマ･リストに VC をリンク（T1 エラーの監視）
(10)*	データを TS アドレスに転送
(11)*	MPEG-TS パケット最終セルを受信
(12)*	AAL-5 トレイラからエラーのチェック
(13)*	受信パケット数，エラー・パケット数を更新
(14)*	MPEG-TS パケット妥当性のチェック
(15)*	AAL-5 パディング，トレイラを削除し，TS アドレスに転送
(16)*	必要に応じてダミー・セルを転送
(17)*	エラーが発生した場合のみ，受信インディケーションの発行および，割り込みの発行

μPD98409 の動作（Raw セル受信の場合）	
(8)**	セルを受信
(9)**	CRC-10 チェック
(10)**	データを Raw セル･データとしてシステム･メモリに転送
(11)**	GSR レジスタの RCR ビットをセットし，割り込み発生

保守／廃止

μPD98409 は，64 個の VC（受信 VC と送信 VC のどのような組み合わせでも可）をサポートしています。μPD98409 は受信 VPI/VCI 24 ビットのうち，受信 VC の識別に用いることができるのは，最大 15 ビットまでの情報です。ユーザは 15 ビットの情報への変換方法を決め，（１）その変換方法を VRR レジスタに設定します。受信を行う前に，（２）システム・メモリに受信データを格納する受信プールを用意しておきます。システム・メモリの受信プール・サイズ，アドレスなどの情報は（３）コントロール・メモリのフリー・バッファ・プール・ポインタ領域に，プール・ディスクリプタとして設定します。また，（４）システム・メモリに受信インディケーションを格納するメールボックス領域を設定します。

ホストは，受信するコネクションごとに（５）Open_Channel コマンドを発行して，チャネル（VC）をオープンします。μPD98409 は，コントロール・メモリのフリー・ブロック・プールから VC テーブルとして使用するためのブロックを割り当て，そのアドレス（VC ナンバ）をホストに返します。ホストは，（６）受信 VC テーブルにパラメータを初期設定します。次に，実際に受信を開始するため，（７）ルックアップ・テーブルの VC ナンバに対応する 16 ビットの領域に，受信 VPI/VCI から得られる 15 ビットの情報と，その VPI/VCI の受信動作をイネーブルするフラグを設定します。

μPD98409 は，（８）PHY デバイスからパケットの最初のセルを受信すると，受信 VPI/VCI がルックアップ・テーブルに登録されているかサーチし，登録されている場合にはさらにイネーブル・フラグにより，そのセルを受信するか廃棄するかを判定します。受信する場合，ルックアップ・テーブルから得られた VC ナンバにより VC テーブルにアクセスし，（９）その VC にプールのバッチをアサインします。また，（10）その VC を T1 タイマのリストに加え，タイムアウトを監視します。セルを受信するたびに，（11）セグメント単位でシステム・メモリへ転送を繰り返します。途中でバッチが一杯になると（12）新たなバッチをフェッチし，アサインします。（13）パケットの最終セルを受信した場合，それに含まれるトレイラ情報から（14）エラーのチェックを行い，VC テーブルにより指定されたメールボックスに（15）受信インディケーションを発行し，マスクされていない場合には，ホストに割り込みで通知します。ホストは，（18）受信インディケーションをリードし，（19）メールボックスのリード・ポインタを変更後，（20）プールから受信データを引き取ります。（21）ホストは，受信中，システム・メモリのプールの残りバッチ数の領域が少なくなると，Add_Batches コマンドを発行して随時追加します。

μPD98409 は 1 つの VC を，VC テーブルの設定により MPEG-TS パケット受信専用に割り当てることができます。MPEG-TS パケット受信時には，受信 VC テーブルに設定された TS アドレスに対して受信データを転送するため，（２）システム・メモリ上の受信プールの設定，（３）コントロール・メモリ上の受信プール・ディスクリプタの設定，（19）受信プールからデータ・リード，（20）受信プールのバッファ管理は不要です。μPD98409 は（８）*MPEG-TS パケットのセルを受信すると，（９）*T1 タイマ・リストに VC をリンクし，（10）*データを TS アドレスに転送します。このときの転送バースト・サイズは，μPD98409 が自動的に決定します。（11）*MPEG-TS パケットの最終セルを受信すると，（12）*AAL-5 トレイラの情報からエラーのチェックをし，（13）*VC テーブル上の受信パケット・カウンタ，エラー・パケット・カウンタを更新します。さらに，（14）*MPEG-TS パケットとしての妥当性についてもチェックします。その後，（15）*AAL-5 パディング，トレイラを削除し，ペイロードのみを TS アドレスに転送し，（16）*セルが廃棄されているなど MPEG-TS パケットとして不適切な場合には，ダミー・セルを必要に応じて転送します。 また，エラーが起きた場合のみ（17）*VC テーブルにより指定されたメールボックスに受信インディケーションを発行し，マスクされていない場合には，ホストに割り込みで通知します。エラーがない場合には割り込みも受信インディケーションも発行しません。（17）*の受信インディケーション発行および，割り込み発行の処理は，VC テーブルの設定によりディス

保守／廃止

エーブルすることができます。この場合には，ホストは（18）以降の処理は行う必要がありません。

また，μPD98409 は AAL-5 タイプ以外のトラフィックを受信する場合のために，受信したセルを，セル単位でそのままシステム･メモリに転送する Raw セル受信機能があります。この機能は VC テーブルの設定により選択できます。Raw セル受信の場合は，（８）**セルを受信すると（９）**CRC-10 をチェックし，（10）**指定されたプールのフリー・バッファに Raw セル・データとして格納します。Raw セル受信の場合，処理はセル単位で完結し，AAL-5 パケット受信のように受信インディケーションをメールボックスに格納しません。セルを格納するたびにまたは，VC テーブルの設定によりパケットの最終セルを受信した後に（11）**GSR レジスタの RCR ビットをセットし，割り込みを発生させます。

なお，図５－28 の受信処理フローは，受信処理の流れを理解していただくための概略図です。

保守／廃止

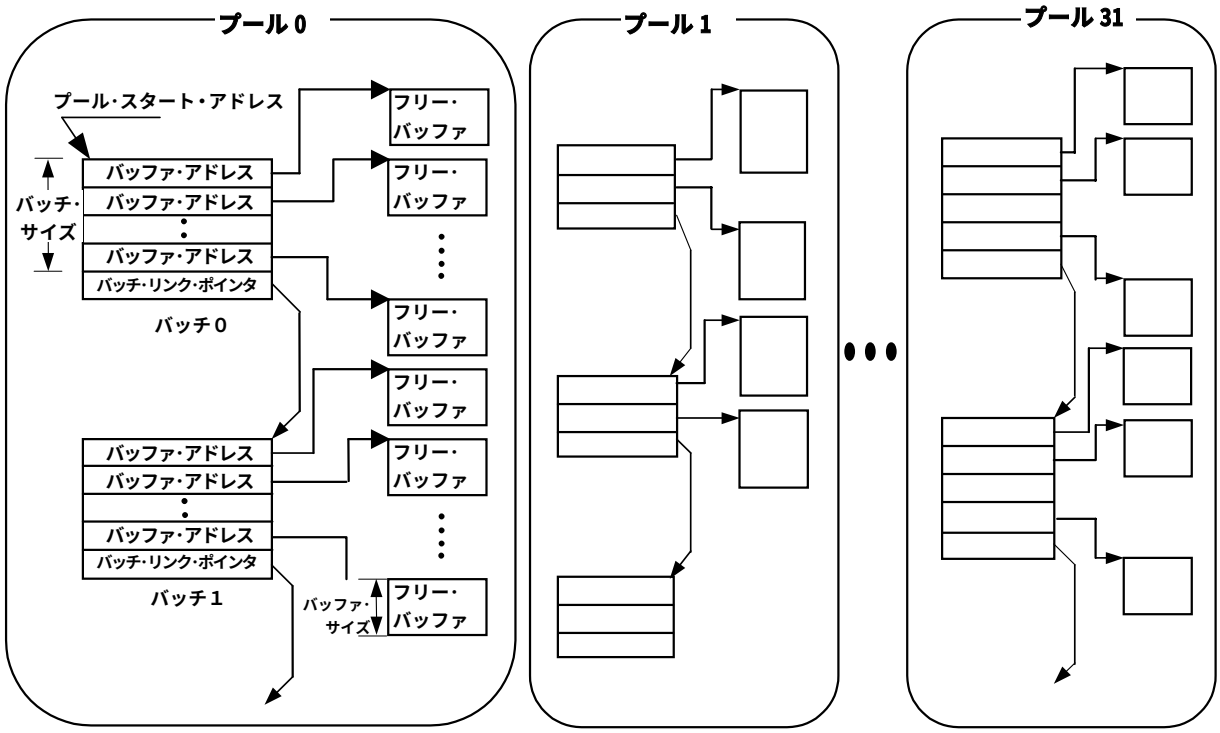
５.５.２　受信データの構造

MPEG-TS パケット以外の AAL-5 パケット，RAW セル・パケットを受信する場合，システム・メモリ上に次に示す受信プールを構成する必要があります。MPEG-TS パケットを受信する場合には，受信 VC テーブルに設定された TS アドレスに対して受信データを転送するため，受信プールは不要です。

（1）受信プール

μPD98409 は， MPEG-TS パケット以外の受信データをシステム・メモリ上に供給されるプールに格納します。ユーザは，μPD98409 に受信動作を開始させる前に，最大で 32 個のプールを次に示すルールに従ってシステム・メモリ上に設置し，そのプールのアドレスや，サイズなどの情報を，コントロール・メモリ内の“受信フリー・バッファ・プール・ポインタ”領域にセットしなければなりません。

図５－29　システム・メモリ内受信プールの構造



各プールは，次の要素で構成されます。

●バッチ：　フリー・バッファの開始アドレスを束ねるブロックです。1 バッチには，1-255 個のバッファのアドレスを格納しますが，同じプールの各バッチに束ねられるバッファの数は等しくなければなりません。バッチはシステム・メモリ上で必ず 32 ビット境界から配置されなければなりません。最終ワードはリンク・ポインタとし，次のバッチの先頭アドレスを格納して，すべてのバッチをチェーンしておかなければなりません。

バッチを構成するフリー・バッファ・アドレスおよびリンク・ポインタのフォーマットは次のとおりです。

バッファ・アドレス

FREE BUFFER ADDRESS	X
31 … 2	1　0

FREE BUFFER ADDRESS：実際に受信データを格納するフリー・バッファの開始アドレス 32 ビットを格納します。フリー・バッファの開始アドレスは，任意のバイト境界に配置することができます。下位 2 ビットが“ 00 ”以外に設定されているとき，μPD98409 はバイト・アラインメントの DMA ライトを実行します。
バイト・アラインメント転送については，**4.1.3　（8）（b）受信セル･データのバイト・アラインメント転送** を参照してください。

リンク・ポインタ

①AAL-5 タイプ受信用プール

NEXT BATCH ADDRESS1	0
31 … 2	1　0

NEXT BATCH ADDRESS1：次のバッチの開始アドレス 32 ビットを格納します。バッチは 32 ビット境界に配置されるため，下位２ビットは必ず“ 00 ”にしなければなりません。

②Raw セル受信用プール

NEXT BATCH ADDRESS2	0	1
31 … 2	1	0

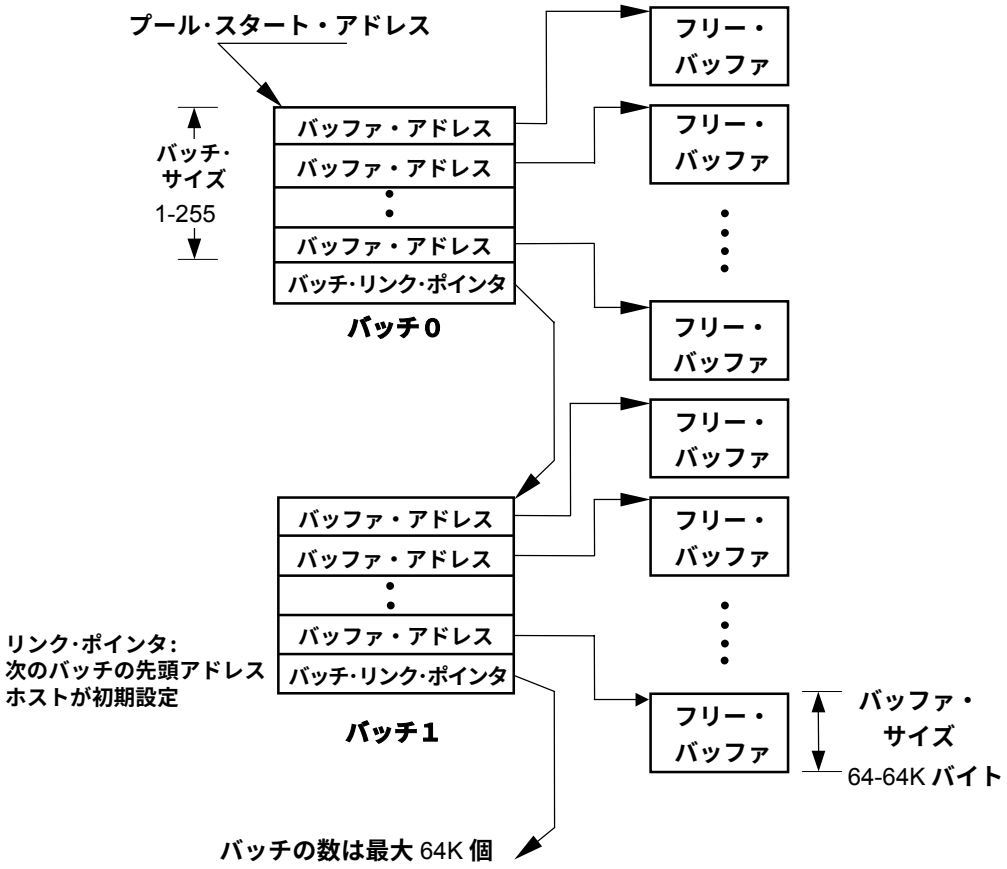
NEXT BATCH ADDRESS2：次のバッチの開始アドレス 32 ビットを格納します。バッチは 32 ビット境界に配置されるため，実際のアドレス下位 2 ビットは必ず“ 00 ”ですが，Raw セル受信用のプールのリンク・ポインタにかぎり，μPD98409 がそれをリンク・ポインタと認識するフラグとして最下位ビットを“ 1 ”にしなければなりません。**5.5.2（3）Raw セル格納用のプール** を参照してください。

備考　チェーン最後尾のバッチのリンク・ポインタは，任意のアドレスでかまいませんが，システム・メモリの運用上の他の領域の確実な保護のため，先頭バッチの開始アドレスか，または，チェーン内にあるいずれかのバッチの開始アドレスを指すようにしておくことをお勧めします。

●フリー・バッファ：実際に受信したデータをμPD98409 が格納する領域です。1 つのバッファは 64 バイトから 64 Kバイトで設定できますが，同じプール内のフリー・バッファのサイズはすべて同じにしなければなりません。

保守／廃止

図５－30　プールの構成



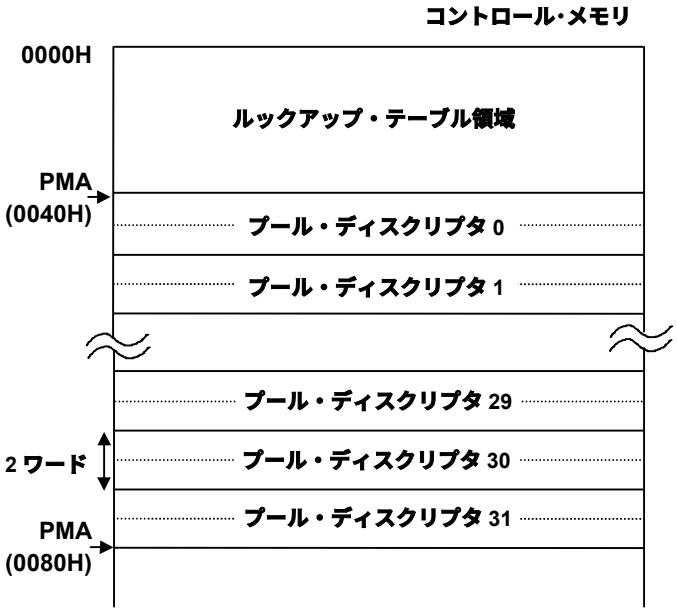
（2）受信フリー・バッファ・プール・ポインタ

ホストによってシステム・メモリに用意されるプールは，最大で 32 個であり，0 から 31 番までの番号を持ち，それぞれのプールのアドレスや，サイズの情報は，“ 受信フリー・バッファ・プール・ポインタ ”領域に 2 ワードで構成されるプール・ディスクリプタで設定されます。“ 受信フリー・バッファ・プール・ポインタ ”領域は，コントロール・メモリの PMA アドレスから始まり，μPD98409 は PMA アドレスから順に，プール 0 番・プール 1 番・プール 2 番・・・と認識して使用します。μPD98409 では，PMA アドレスは “ 0040H ” に固定です。たとえば，プール 3 番のディスクリプタの下位ワードのアドレスは “ 0046H ”，上位ワードのアドレスは “ 0047H ” となります。μPD98409 は，64 ワードの受信フリー・バッファ・プール・ポインタ領域を持っています。

MPEG-TS パケットを受信する場合には，受信フリー・バッファ・プール・ポインタを設定する必要はありません。

保守／廃止

図５－31　受信フリー･バッファ･プール･ポインタ内のプール・ディスクリプタの配置



プール・ディスクリプタのフォーマットは，次のとおりです。

図５－32　プール・ディスクリプタのフォーマット

0	ALERT LEVEL	BUFFER SIZE	BATCH SIZE	REMAINING NUMBER OF BATCHES IN THE POOL
31	30　28	27　24	23　16	15　0

ADDRESS
31　0

①ALERT LEVEL

残りバッチ数の“警告レベル”を設定します。プールに残っているバッチ数がこのフィールドに設定した値と等しくなると，μPD98409 は RQA レジスタの対応ビットおよび，GSR レジスタの RQA ビットを“1”にセットします。また，マスクされていない場合はホストに割り込みで通知します。この機能は，AAL-5 タイプ受信用のプールにのみ有効です。Raw セル･データ格納用のプールではこのフィールドは意味を持たず，μPD98409 はこれを無視します。

設定方法：このフィールドに“ n ”を書き込むと，“n×4”（残りバッチ数 4，8，12･･･28）を指定する意味になります。“000”を書き込んだ場合は，この機能はディスエーブルになり，ホストへの通知はしません。

②BUFFER SIZE

このプールに配置されるすべてのバッファのサイズを指定します。指定できるバッファ・サイズは 64 バイトから 64K バイトまでとなります。

保守／廃止

設定方法：このフィールドにｎを書き込むと，“ 64×2ⁿ ”（64，128，256，･･･64K バイト）を指定する意味になっています。

Raw セル・データ用のプールでは n=0 を設定し，バッファ・サイズを 64 バイトにします。

③BATCH SIZE

このプールに配置される 1 つのバッチのバッファ数を指定します。

設定方法：バッチの最後尾は必ず “ バッチ・リンク・ポインタ ” となります。このフィールドには，バッチ・リンク・ポインタを抜いたバッファの数 n を指定します。実際に 1 つのバッチが使用するシステム・メモリのサイズは，バッファ数 n に “ リンク・ポインタ ” を加えた n＋1 になります。

ｎには必ず 1 以上を設定するようにしてください。AAL-5 パケット受信用のプールの場合，μPD98409 はこの “ BATCH SIZE ” からリンク・ポインタの位置を認識します。

④REMAINING NUMBER OF BATCHES

ホストは初期設定時，プールに用意したバッチ数 n をこのフィールドにライトします。その後，このフィールドはμPD98409 によって管理され，プールに残っているバッチ数を表します。μPD98409 は，バッチをプールからフェッチするたびに減算し，Add_Batches コマンドを受け付けるたびに，その数だけ加算します。

⑤ADDRESS

ホストは初期設定時，プールの最初のバッチの先頭アドレスをライトします。その後，μPD98409 が次のバッチを示すポインタとして使用します。

（3）Raw セル格納用のプール

μPD98409 は，受信するデータのタイプによって，格納できるプール番号が異なります。

ユーザは MPEG-TS パケット以外の AAL-5 タイプのデータを受信する場合，VC ごとにプール 0-31 番のいずれにでも指定できます。Raw セル・データの場合は，プール 0 番から 7 番のいずれかを指定できます。ただし，PTI フィールドのパターンが “ 1xx ” のセルを受信する場合，μPD98409 は無条件にプール 0 番に格納します。したがって，ユーザが OAM F5 セル/RM セルを受信するよう設定した場合には，必ずプール 0 番を OAM セルの Raw セル・データ格納用として設定する必要があります。

表５－５　受信データの種類と使用プール

データの種類	使用プール
AAL-5 タイプ・パケット受信の場合	プール 0 番からプール 31 番まで使用可能
Raw セル・データ	プール 0 番からプール 7 番
OAM F5 セル/RM セルの Raw セル・データ	プール 0 番のみ

保守／廃止

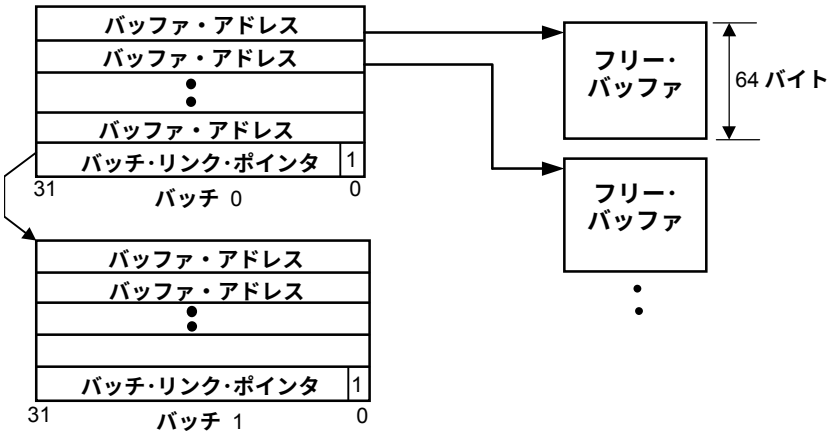
Raw セル・データ格納用として設定したプールの“リンク・ポインタ”の設定方法は，AAL-5 データの格納用のプールとは異なります。Raw セル・データ格納用のプールの場合，μPD98409 はバッチからリードするバッファ・アドレスの最下位ビットを監視しています。最下位ビットが“1”だった場合は，そのアドレスがリンク・ポインタであると認識し，最下位ビットを“0”に変えたアドレスが示す次のバッチに移行します。

したがって，ホストは Raw セル・データ格納用のプールにかぎり，バッチのリンク・ポインタに格納するアドレスの最下位ビットを“1”に設定する必要があります。

また， Raw セルを格納するプールの場合には，残りバッチ数を警告する RQA 割り込み機能は働かず，μPD98409 は“ALERT LEVEL”フィールドの設定も無視されます。

μPD98409 は 1 つのフリー・バッファごとに，64 バイトで構成された Raw セル・データを 1 つ格納します。したがって，Raw セル・データ格納用プールは，フリー・バッファ・サイズを 64 バイトに設定します。64 バイト以上に設定された場合，μPD98409 はその領域を無視します。

図５－33　Raw セル用プール



保守／廃止

５.５.３　受信チャネル（受信 VC）

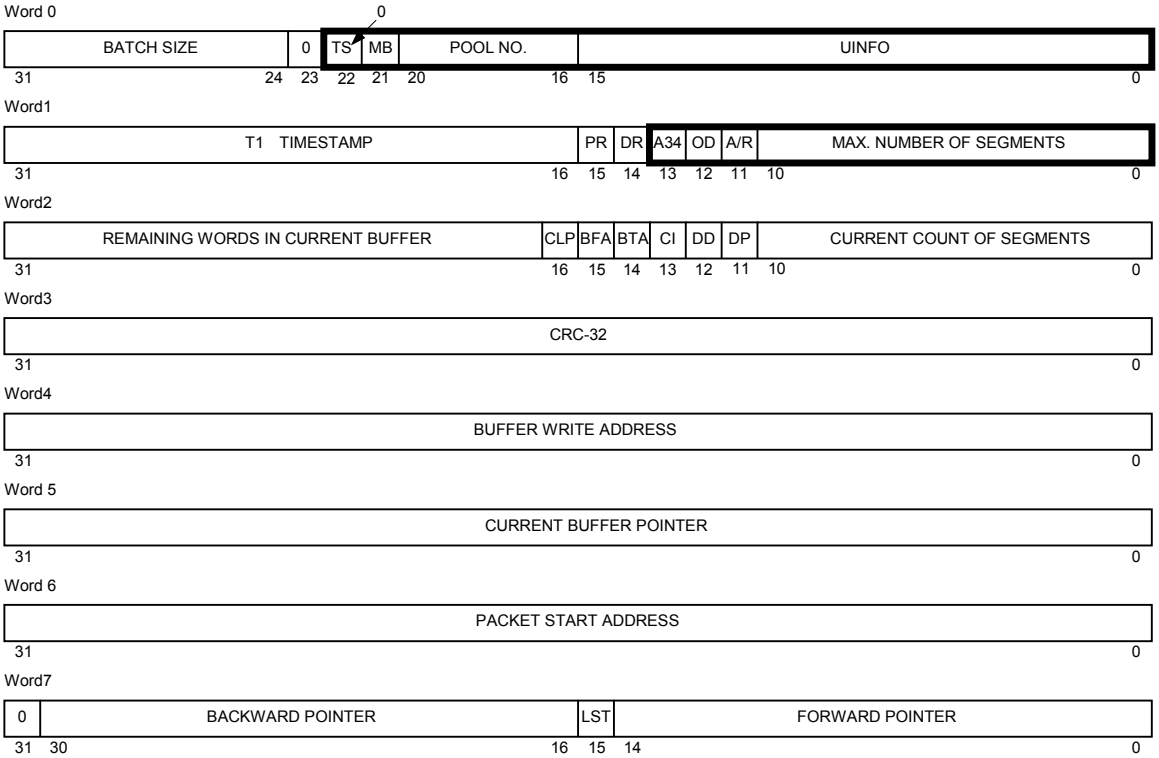
（１）受信チャネルのオープン

ホストは，Open_Channel コマンドを発行し，受信チャネルをオープンします。μPD98409 はこのコマンドを受け付けると，コントロール・メモリのフリー・ブロック・プールから TOS（トップ・オブ・スタック）で示されるブロックを割り当て，その先頭アドレスをコマンド・インディケーションにてホストに応答します。ホストは，割り当てられたブロックを受信 VC テーブルとして設定します。

（２）受信 VC テーブルの設定

コントロール・メモリのフリー・ブロック・プールから割り当てられた 8 ワードのブロックを，ホストは受信 VC テーブルとして初期化します。受信 VC テーブルの構造は，図５－34 のとおりです。ホストは太枠で示した箇所に初期値を設定し，太枠で囲んだ以外の領域を 0 クリアします。ホストの VC テーブルへの書き込みは，Indirect_Access コマンドを使用します。太枠以外の領域はμPD98409 が受信動作に使用する領域です。ホストは，テーブルに随時アクセスすることができ，ステータス情報として使用することもできます。

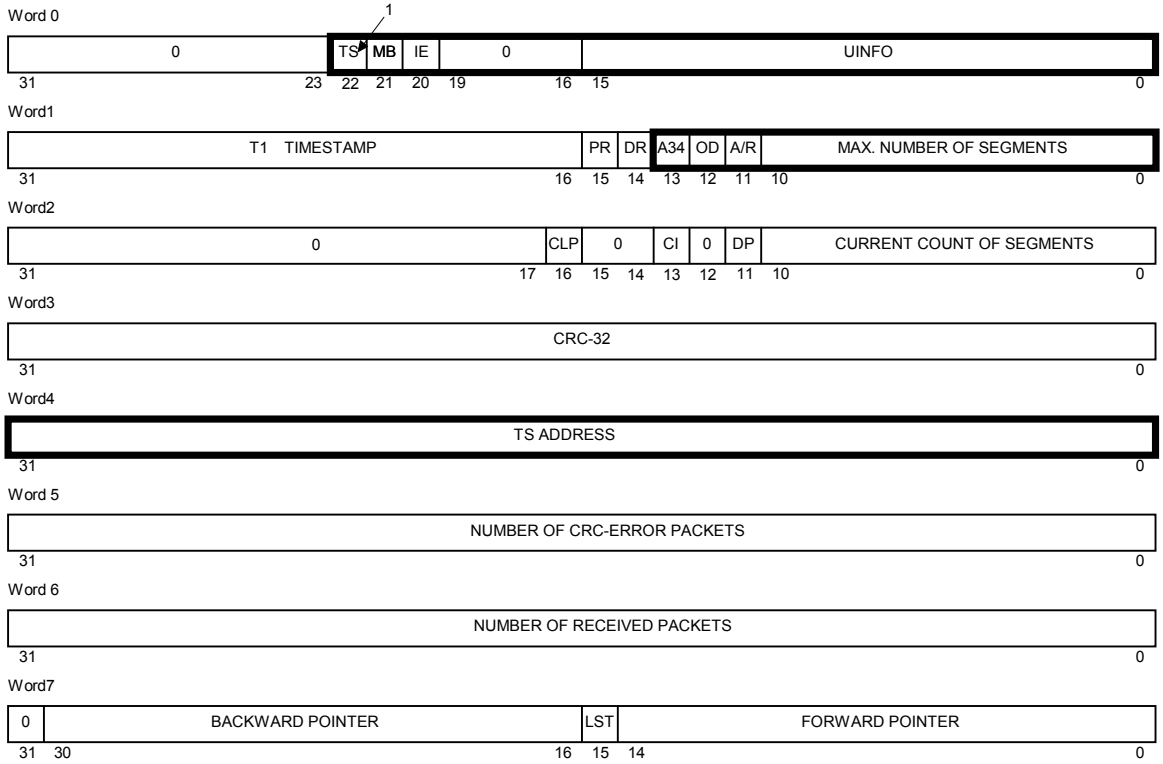
図５－34　受信 VC テーブル（MPEG-TS パケット以外のパケット受信用）



注意　Word0，Word1 の太枠で囲んだ以外の領域は，初期設定時に 0 クリアしてください。

保守／廃止

図５－35　受信 VC テーブル（MPEG-TS パケット受信用）



注意　Word0，Word1 の太枠で囲んだ以外の領域は，初期設定時に 0 クリアしてください。

BATCH SIZE　　現在のバッチに残っているフリー・バッファの数（MPEG-TS パケット受信時は無効です）。

TS　　MPEG-TS パケット受信。この VC で MPEG-TS パケットを受信するかどうかを設定します。MPEG-TS パケット受信用に設定できる VC の数は 1 つです。

1－MPEG-TS パケットを受信する

0－MPEG-TS パケットを受信しない

MB　　メールボックス。この VC に受信インディケーションを格納するメールボックスを選択します。

1－メールボックス 1 番

0－メールボックス 0 番

POOL NO.　　プールの番号。この VC に 32 のプールから 1 つを選択します（MPEG-TS パケット受信時は無効です）。

保守／廃止

IE　MPEG-TS 受信インディケーション許可。MPEG-TS パケット受信の場合，なんらかの受信エラーが含まれるパケットを受信し，かつ IE ビットが“１”のときのみ，受信インディケーションを発行します。受信エラーのないパケット受信時には，IE ビットが“１”でも発行しません。

1－MPEG-TS パケット受信時,なんらかの受信エラーが含まれるパケットを受信したときのみ受信インディケーションをメール・ボックスに書き込み，マスクされていなければ割り込みを発行します。受信エラーがない場合には受信インディケーションを発行しません。

0－MPEG-TS パケット受信時にはインディケーションも割り込みも発行しません。

UINFO　ユーザ情報。ユーザはこのフィールドに任意のパターンを選定できます。ここに設定されたパターンは，μPD98409 が受信インディケーションに付けて戻します。

T1 TIMESTAMP　μPD98409がT1タイマの計算に使用する領域です。

PR　パケット受信。このVCがパケットを受信中には“１”になり，それ以外のときでは，0になっています。

DR　FIFO廃棄。パケットのセルが受信FIFOのオーバランによって廃棄されると“１”にセットされます。AAL-5パケットにおいて一度セル廃棄が発生すると，その後着信するそのパケットに属するセルは廃棄されます。

A34　このVCがAAL-3/4セルをRawセルとして受信する場合に設定します。

1－受信AAL-3/4セルの“STフィールド”を調べ，パターンが“01”，“11”，の場合にのみRCR割り込みを発行し，それ以外は発行しません。

0－通常のRawセル受信です。セルを受信するたびにRCR割り込みを発行します。

このビットを1にセットするときは，A/Rビットを必ず0にセットしなければなりません。

OD　OAMセル，RMセル受信／廃棄選択。このVCにPTIフィールドのパターンが，“１xx”を持つセルが着信した場合に，受信するかどうかを選択します。

1－PTI=1xxのパターンのセル（OAM F5セル/RMセル）を無視し，廃棄します。

0－PTI=1xxのパターンのセル（OAM F5セル/RMセル）をRawセルとして受信します。

A/R　AAL-5 受信／Raw セル受信。この VC に着信するセルを AAL-5 として受信処理するか，Raw セルとして処理するかを選択します。

1－AAL-5 セルとして受信。

0－Raw セルとして受信

保守／廃止

MAX. NUMBER OF SEGMENTS	1パケットの最大セグメント数。このVCで受けるパケットに可能な最大セグメント数を設定します。受信中パケットの現在のセグメント数が，このフィールドのセグメント数に達したにもかかわらず，パケットの最終セルを受信していない場合には，ただちにエラー・ステータスを含む受信インディケーションを発行します。
REMAINING WORDS IN CURRENT BUFFER	現在のバッファに残っている空き領域のワード数（MPEG-TSパケット受信時は無効です）。
CLP	CLP=1受信。受信中のパケットに，ヘッダのCLP=1のセルが1つでも受信された場合に“１”にセットされます。
BFA	このVCに割り当てられたフリー・バッファがある場合に“１”にセットされます（MPEG-TSパケット受信時は無効です）。
BTA	このVCに割り当てられたバッチがある場合は“１”にセットされます（MPEG-TSパケット受信時は無効です）。
CI	輻輳通知。受信中のパケットで，PTIフィールドのパターンが輻輳を通知する“01x”のセルを１つでも受信した場合に“１”にセットされます。
DD	DMA廃棄。空きフリー・バッファが割り当てられていないため，セル廃棄が発生した場合に，“１”にセットされます。AAL-5パケット受信中，セル廃棄が発生すると，そのパケットに属するそれ以後のすべての着信セルは，廃棄されます（MPEG-TSパケット受信時は無効です）。
DP	パケット受信中。パケット受信中は“１”にセットされ，それ以外は“０”になります。
CURRENT COUNT OF SEGMENTS	受信中のパケットにおいて，現在までに受信したセグメント数。
CRC-32	μPD98409 がこのパケットの CRC-32 演算を行うために使用するテンポラリ・バッファ。
BUFFER WRITE ADDRESS	現在割り当てられているフリー・バッファの中の次に格納するアドレス（MPEG-TSパケット受信時は無効です）。
TS-ADDRESS	MPEG-TSパケットのDMA転送先の先頭アドレス。必ずワード境界（32ビット）に設定してください。
CURRENT BUFFER POINTER	次に割り当てられるフリー・バッファの先頭アドレス（MPEG-TSパケット受信時は無効です）。
NUMBER OF CRC-ERROR PACKETS	MPEG-TSパケット受信開始から，現在までに受信したCRCエラーを含むパケットの総数を表す32ビットのフリー・ランニング・カウンタです。
PACKET START ADDRESS	パケットのスタート・アドレス。最初に割り当てられたバッチの先頭アドレスです（MPEG-TSパケット受信時は無効です）。
NUMBER OF RECEIVED PACKETS	MPEG-TSパケット受信開始から，現在までに受信したパケットの総数を表す32ビットのフリー・ランニング・カウンタです。

保守／廃止

BACKWARD POINTER	T1リストにおいて，このVCの前にリンクされているVCの“VC NUMBER”。
LST	T1リストの最後にリンクされているVCであるとき“1”にセットされます。
FORWARD POINTER	T1リストにおいて，このVCの次にリンクされているVCの“VC NUMBER”。

（3）受信チャネルの状態遷移

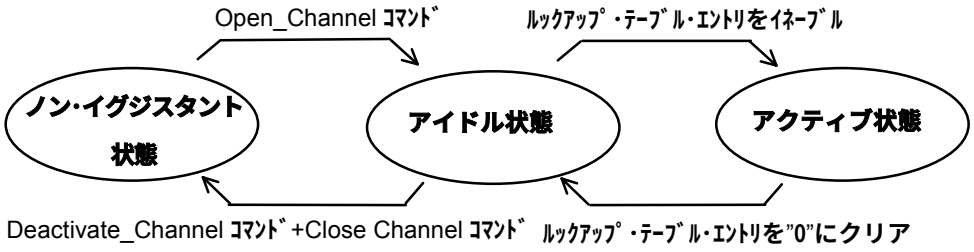
受信チャネルには，ノンイグジスタント状態，アイドル状態，アクティブ状態の 3 つの状態があります。ホストは Open_Channel コマンドを発行してチャネルをオープンします。このコマンドを受けるとμPD98409 は，コントロール・メモリのフリー・ブロック・プールから VC テーブルのアドレスをコマンド・インディケーションとしてホストに通知します。次にホストは，Indirect_Access コマンドを使用して割り当てたブロックに適切なパラメータ（使用プール番号，AAL-5 処理／MPEG-TS／Raw セル処理，許可する最大セグメント数など）を書き込みます。これでこのブロックは，受信 VC テーブルとなり，チャネルはアイドル状態になります。

チャネルをアクティブにするには，ルックアップ・テーブルの設定を行い，イネーブル・ビットをセットします。ルックアップ・テーブルの設定方法は**５．５．４　受信ルックアップ・テーブルの設定**を参照してください。これにより，チャネルはアクティブ状態に遷移し，PHY デバイスから対応した VPI/VCI を持つセルを受信すると，μPD98409 は受信処理を開始します。チャネルは，ルックアップ・テーブル・エントリのイネーブル・ビットが 1 に設定されているかぎり，アクティブ状態となっています。ルックアップ・テーブル・エントリのイネーブル・ビットをディスエーブルにすると再びアイドル状態に戻ります。

このチャネルを終了しようとするとき，ホストは，ルックアップ・テーブルのエントリを“0”にクリアし，アイドル状態にしたあと，Deactivate_Channel コマンドと Close_Channel コマンドを発行します。これにより，使用していた VC テーブルは，フリー・ブロック・プールに戻され，チャネルが存在しなくなり，ノンイグジスタント状態になります。

Deactivate_Channel コマンドおよび，Close_Channel コマンドを発行する場合は，ルックアップ・テーブルのエントリを“0”にクリアしてから，必ず 48 クロック以上の時間をおくことが必要です。NOP コマンドを 2 回発行してこのタイミングを作るようにしてください。

図５－36　受信チャネルの状態



保守／廃止

5.5.4　受信ルックアップ・テーブルの設定

（1）ルックアップ・テーブル

ルックアップ・テーブルは，コントロール・メモリにあり，受信する VPI/ VCI をマッピングするために使用します。ルックアップ・テーブルは，コントロール・メモリの 000H から 01FH の領域にあります。

μPD98409 では受信セルに含まれる VPI/VCI 24 ビットを内部で 15 ビットのロジック・コードに変換して扱います。変換方法は，VRR レジスタの“ SHIFT ”および，“ MASK ”フィールドへの設定に従って行われます。変換後のロジック・コードに基づいて，その VPI/VCI のセルを受けるかどうかを受信ルックアップ・テーブル・エントリに設定します。その手順を次に示します。

① VRR レジスタの“ SHIFT ”フィールドに設定した数だけ，VPI を VCI 側にシフトします。このとき VPI は最大 15 ビット幅をシフトさせることができますが，8 ビット以上シフトさせたとき，上位には 0 が付加されます。

② ①でできた 15 ビットと VRR レジスタの“ MASK “ フィールドの内容を AND します。

③ AND されてできた 15 ビットの値（VPI/VCI リダクション値）が，受信ルックアップ・テーブルへの設定値になります。

④ 上記の VPI/VCI リダクション値を設定する受信ルックアップ・テーブルのアドレスは，その VPI/VCI 値をもつセルを受信するための受信 VC（VC テーブル）の“ VC NUMBER ”から決定します。

⑤ “ VC NUMBER ”の最上位 1 ビット（値は“ 1 ”）と最下位 1 ビットを取り除いた値が，VPI/VCI リダクション値を設定するアドレスになります。取り除かれた最下位 1 ビットが“ 0 ”のとき，そのアドレスの下位 16 ビットに設定し，“ 1 ”のとき上位 16 ビットに設定します。
また，同じフィールドのイネーブル・ビット（“ ENBL ”ビット）を“ 1 ”にセットします。
以上の設定で受信可能になります。

注意　“ VC NUMBER ”はフリー・ブロック・プール内の VC テーブルの先頭を指し示す物理アドレスではなく，その下位 3 ビット（“ 000 ”）を除いた値であることに注意してください。

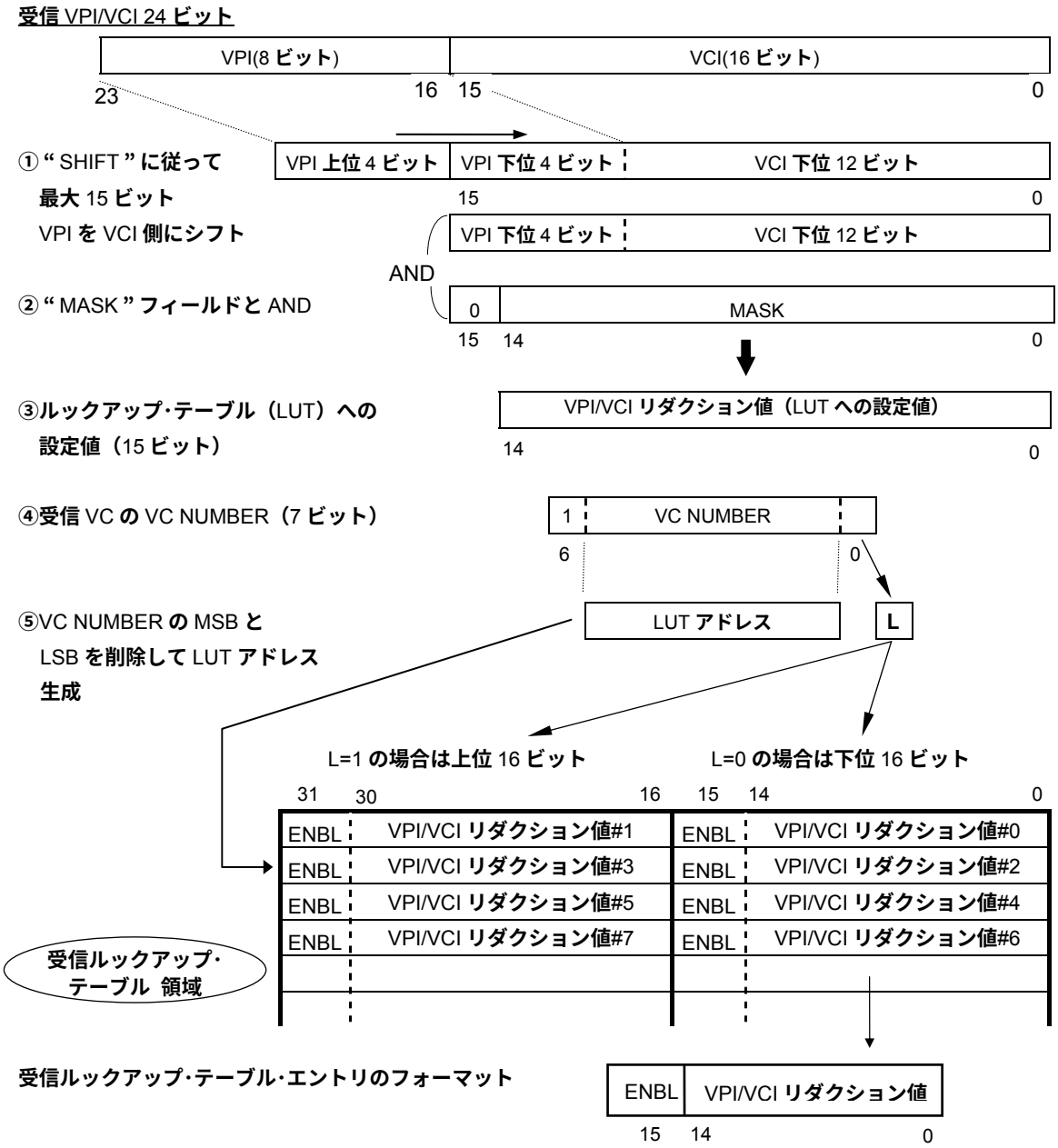
＜参考＞μPD98409 の受信動作

μPD98409 は，PHY デバイスからセルを受信すると，受信セルのヘッダにある VPI/VCI を VRR レジスタの設定に従って上記と同じ方法で 15 ビットにリダクションします。そしてμPD98409 は，その VPI/VCI リダクション値を受信ルックアップ・テーブル（LUT）から検索します。検索した結果，その VPI/VCI リダクション値がみつかり，イネーブル・ビットが“ 1 ”である場合にそのセルを受信します。このとき，その VPI/VCI リダクション値が格納されていたアドレス（LUT アドレス 5 ビット）からマッピングされている受信 VC テーブルのアドレスを算出します。VPI/VCI リダクション値が LUT の上位 16 ビットに格納されていれば“ 1 ”を，下位 16 ビットに格納されていれば“ 0 ”を LUT アドレスの下位に 1 ビット付加します。また，LUT アドレスの上位に 1 ビット付加します（値は“ 1 ”）。さらに，その下位に 3 ビットの“ 000 ”を付加して，合計 10 ビットの VC テーブルのアドレスを生成します。μPD98409 は，このアドレスにマッピングされている VC テーブルにアクセスして受信処理のための諸設定を確認または更新します。

保守／廃止

備考　同じ VPI/VCI リダクション値が LUT にエントリされている場合，検索後，μPD98409 はその小さい（下位）アドレスの方をセレクトします。

図５－37　受信ルックアップ・テーブル（SHIFT=4 の場合）



ENBL ビット：1－イネーブル。その VC をアクティブ状態にして，受信可能にする。
0－ディスエーブル。その VC のセルを受信しない。
VPI/VCI リダクション値：24 ビットの VPI/VCI 値を “ SHIFT ” と “ MASK ” により，
15 ビットにリダクションした値。

保守／廃止

5.5.5　受信動作

（1）受信動作

○μPD98409 は，PHY デバイスから UTOPIA インタフェースを介してセルを受信し，受信 FIFO に格納します。受信 FIFO は 12 セル分の大きさを持ちます。着信したセルのヘッダにある VPI/VCI パターンがオール 0 であった場合には，無効セルと認識し，受信 FIFO には格納せずに廃棄します。

○アンアサインド・セルでない場合，VPI/VCI の 24 ビット・パターンを VRR レジスタの“ SHIFT ”および，“ MASK ” フィールドの設定に従って，コントロール・メモリのルックアップ・テーブルを指すアドレスを生成します。

○生成したアドレスの指すルックアップ・テーブルのエントリをリードし，イネーブル・ビット（ENBL ビット）が“ 1 ”になっている場合，そのセルを受信 FIFO に格納して処理を続けます。ルックアップ・テーブルにマッピングされていない（ ENBL ビット=“ 0 ”）セルは破棄します。

○ENBL ビット=1 のとき，一緒にルックアップ・テーブルに格納されている“ VC NUMBER ” からフリー・ブロック・プールの VC テーブルをリードし，AAL-5 パケット，MPEG-TS パケット，または，RAW セルのどの処理を行うべきかの情報を得ます。MPEG-TS パケットの場合には，MPEG-TS パケット処理を行います。それ以外の場合には，VC テーブルより，システム・メモリのプール番号および，アドレス情報をリードし，以下の処理を行います。

○そのセルがパケットの先頭セルで，受信プールのバッチが割り当てられていない場合，あるいは現在のバッチを使い切った場合，μPD98409 はコントロール・メモリの受信フリー・バッファ・プール・ポインタ領域にあるプール・ディスクリプタの“ ADDRESS ” フィールドから，新たなバッチをフェッチします。新たなバッチをフェッチした場合には，プール・ディスクリプタの“ REMAINING NUMBER OF BATCHES IN THE POOL ” フィールドの値を 1 つデクリメントし，“ ADDRESS”フィールドが次のバッチの先頭アドレスを指すように変更しておきます。

○μPD98409 はシステム・メモリの最初のバッファにセグメント（受信セルのペイロード 48 バイト）を DMA 転送します。フェッチしたバッチのフリー・バッファ・アドレスなどは，VC テーブルに格納し，μPD98409 がセグメントを転送するたびに更新します。

○パケットの先頭セルであった場合には，VC テーブルに T1 タイム・スタンプを格納し，その VC テーブルを T1 リンク・リストに追加します。

○μPD98409 は，その VC のセルを受信するたびに，セグメント（ペイロード・データ）をシステム・メモリに転送し，フリー・バッファ・アドレスを更新します。また，セグメントごとに，CRC-32 とパケット長を計算し，VC テーブルに途中経過を更新します。

○パケットの最終セルを受信する前に，その VC に使用していたフリー・バッファが一杯になると，μPD98409 はシステム・メモリのバッチから新しいフリー・バッファのアドレスをフェッチします。バッチも使い切ると，プール・ディスクリプタから新しいバッチをフェッチします。

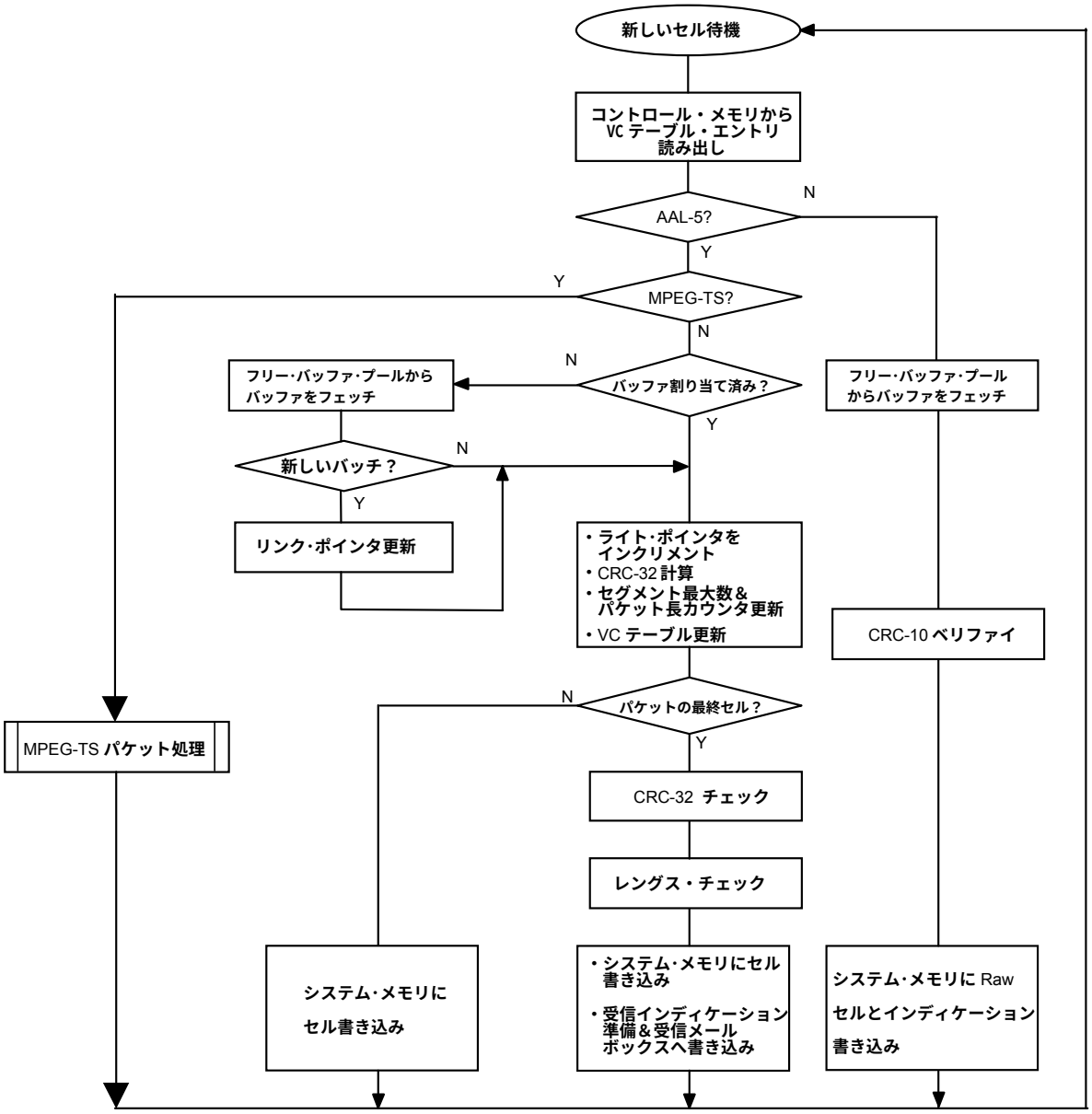
○1 つのパケットが 2 つ以上のバッチにまたがった場合，μPD98409 は使用したバッチのリンク・ポインタに上書きして，チェーンを変更します。

保守／廃止

○セル・ヘッダの PTI フィールドの LSB ビットが 1 のパケットを受信すると，そのセルを最終セルと認識し，μPD98409 は CRC-32 の計算結果とセルのカウント数を最終セルに含まれる AAL-5 トレイラの“ CRC-32 ”および，“ Length ”と比較します。

○次に，ホストによって指定された VC テーブルに指定されたメールボックスに受信インディケーションを格納しますが，エラーがあればそのステータス情報も含めます。マスクされていない場合は，割り込みを発生します。

図５－38　受信動作フロー・チャート



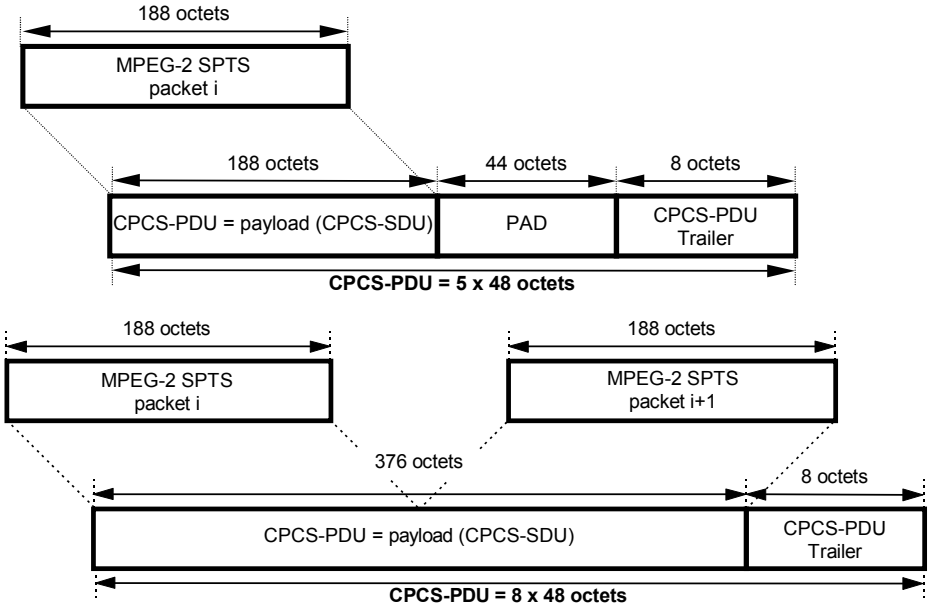
保守／廃止

（a）MPEG-TS パケット処理

μPD98409 が処理する MPEG-TS パケットのフォーマットは次のとおりです。188 バイトの MPEG-2 SPTS パケットが基本単位であり，MPEG-2 SPTS パケットをペイロードに 1 つ含む AAL-5 パケットは，5 セルに分割され,MPEG-2 SPTS パケットを 2 つ含む AAL-5 パケットは,8 セルに分割されることになります。μPD98409 は，3 つ以上の MPEG-2 SPTS パケットを含む AAL-5 パケットに対しても，次に示す MPEG-TS 処理を正しく実行できます。

- MPEG-TS パケットから AAL-5 トレイラ，パディングを削除し，ペイロードのみを MPEG-TS 処理 LSI に転送する
- 廃棄セルなどを含む MPEG-TS パケットとしての正当性を欠いたパケットの場合にはダミー・データを生成し，MPEG-TS 処理 LSI には，常に 188 バイトの整数倍のデータを書き込むようにする。

図５－39　MPEG-TS パケットのフォーマット



MPEG-TS パケット処理は，次のような動作となります。

○μPD98409 はその VC のセルを受信するたびに，セグメント（ペイロード）ごとに，CRC-32 とパケット長を計算し，VC テーブルに途中経過を更新します。また，セグメント最大数カウンタ，パケット長カウンタおよび，受信パケット数カウンタを更新します。

○パケットの先頭セルであった場合には，VC テーブルに T1 タイム・スタンプを格納し，その VC テーブルを T1 リンク・リストに追加します。

○パケットの先頭セルで，かつセル・ヘッダの PTI フィールドの LSB ビットが 0 のパケットを受信すると，そのパケットには後続のセルがあると認識し，セグメント（受信セルのペイロード 48 バイト）を内部バッファに保存し，MPEG-TS 処理を終了します。

○CRC-32 の計算結果とセルのカウント数を最終セルに含まれる AAL-5 トレイラの“ CRC-32 ”および，“ Length ”と比較します。

保守／廃止

○パケットの先頭セルで，かつセル・ヘッダの PTI フィールドの LSB ビットが 1 のパケットを受信すると，そのパケットは 1 セルのみのパケットであると認識し，μPD98409 は VC テーブルの受信パケット・カウンタを更新し，CRC-32 の計算結果とセルのカウント数を最終セルに含まれる AAL-5 トレイラの“ CRC-32 ”および，“ Length ”と比較します。CRC エラーが発生した場合には，VC テーブルの CRC エラー・パケット・カウンタを更新します。

○次に PCI バスにアドレスとして TS-ADDRESS，転送データとしてセグメント（受信セルのペイロード 48 バイト）から 8 バイトのトレイラを削除し，148 バイトの“ 0 ”を付加した 188 バイトのデータを出力し，マスタ・ライト動作を行います（47 ワード・バースト転送となります）。

○パケットの先頭セルでなく，かつセル・ヘッダの PTI フィールドの LSB ビットが 0 のパケットを受信すると，そのパケットには後続のセルがあると認識し，内部バッファに保存されていた前回受信のセグメントを転送データとして，アドレス TS-ADDRESS にマスタ・ライト動作（12 ワード・バースト転送となります）を行い，MPEG-TS パケット処理を終了します。

○パケットの先頭セルでなく，セル・ヘッダの PTI フィールドの LSB ビットが 1 のパケットを受信すると，最終セルであると認識し，μPD98409 は VC テーブルの受信パケット・カウンタを更新し，CRC-32 の計算結果とセルのカウント数を最終セルに含まれる AAL-5 トレイラの“ CRC-32 ”および，“ Length ”と比較します。CRC エラーが発生した場合には VC テーブルの CRC エラー・パケット・カウンタを更新します。

○次にパケットの MPEG-TS パケットしての正当性をチェックします。MPEG-TS パケットして正当な場合には，PCI バスにアドレスとして TS-ADDRESS，転送データとして内部バッファに保存されていた前回受信のセグメントに今回受信のセグメントを付加したものからトレイラとパディングを削除したものを出力し，マスタ・ライト動作を行います（11～22 ワード・バースト転送となります）。

○MPEG-TS パケットとして正当でない場合には， PCI バスにアドレスとして TS-ADDRESS，転送データとして内部バッファに保存されていた前回受信のセグメントに今回受信のセグメントを付加したものからトレイラを削除したものを出力し，マスタ・ライト動作を行います（22 ワード・バースト転送となります）。この転送の結果，受信パケット全体の転送バイト数が 188 の倍数とならなかった場合，アドレス TS-ADDRESS に対してダミー・データ“ 0 ”を，転送バイト数が 188 の倍数となるまで書き込みます(１～46 ワード・バースト転送となります)。

○最終セルの書き込みが終了すると，受信エラーが起きているか判定します。この判定は，MPEG-TS パケットとしての正当性の判定とは独立であり， MPEG-TS パケット以外の AAL-5 のパケットの受信処理と同様です。受信エラーがあり，かつ VC テーブルの IE ビットにより受信インディケーション発行がイネーブルの場合のみ，VC テーブルで指定されたメールボックスに受信インディケーションを格納しますが，エラーがあればそのステータス情報も含めます。マスクされていない場合には，割り込みを発生し，MPEG-TS パケット処理を終了します。受信エラーがない場合または，VC テーブルの IE ビットにより受信インディケーションの発行が禁止されている場合には，受信インディケーションを発行せずに，MPEG-TS パケット処理を終了します。

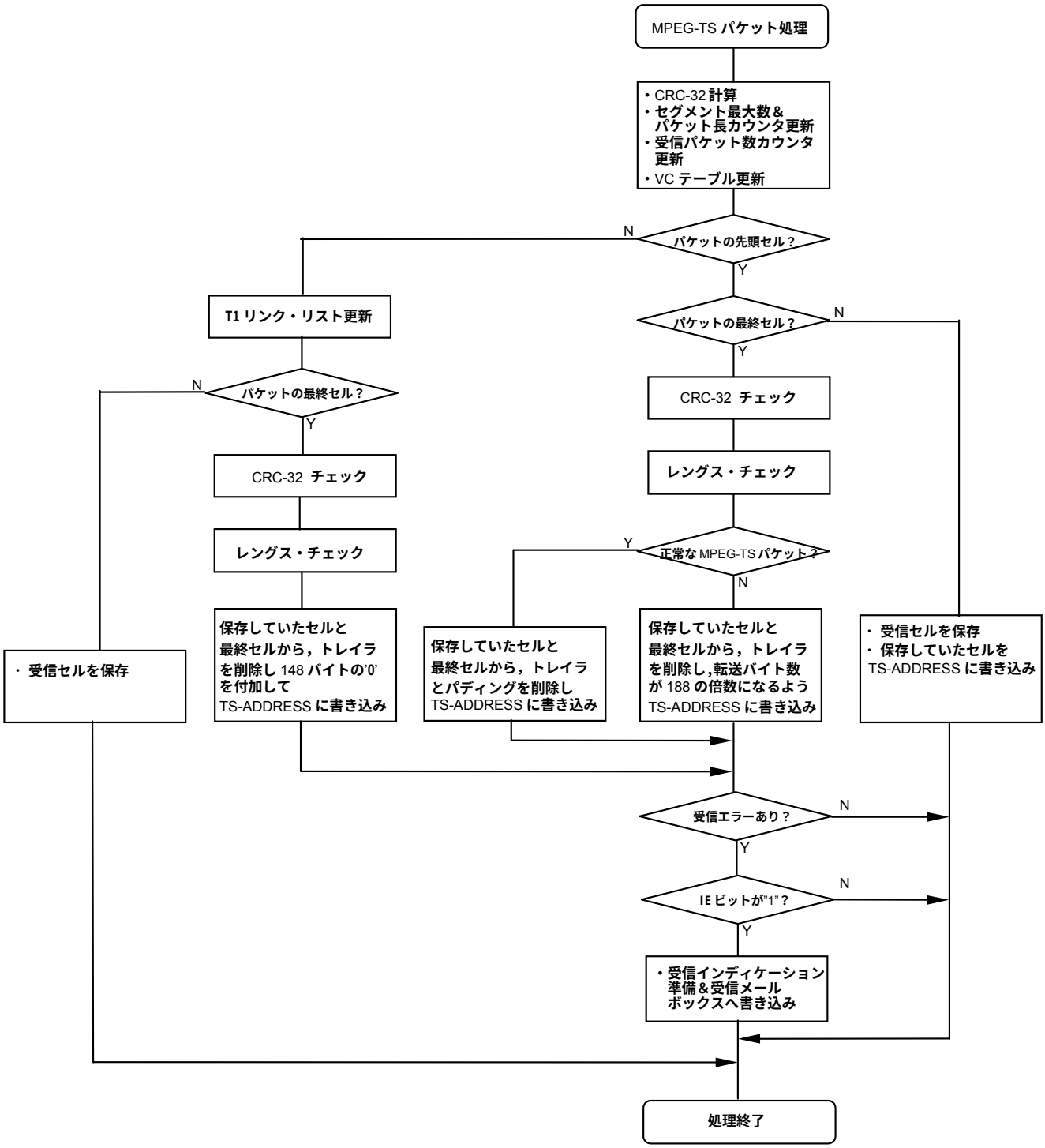
μPD98409 が MPEG-TS パケットの最終セルを受信したときに，MPEG-TS パケットとしての正当性がないと判断する基準は次のとおりです。

保守／廃止

- AAL-5 パケットとして Length エラーが発生。

  (AAL-5 トレイラの Length フィールドと受信セル数から計算した padding のワード数が 55 バイトよりも大きい。または，8 バイトよりも小さい)
- AAL-5 トレイラの Length フィールドが 188 の倍数でない。
- 25 ≦ ｛ (受信セル数 － 2) × 12 ｝ mod 47 ≦ 36

図５－40　MPEG-TS パケット処理フロー・チャート



保守／廃止

（２）受信データの格納

ここでは，μPD98409 が受信データをシステム・メモリに格納する手順および，ホストの運用の手順を説明します。MPEG-TS 以外の AAL-5 パケットのプールの場合と，Raw セル・データ格納用のプールの場合では，μPD98409 のプール使用手順が異なります。

（ａ）AAL-5 パケット用(MPEG-TS 以外)のプール

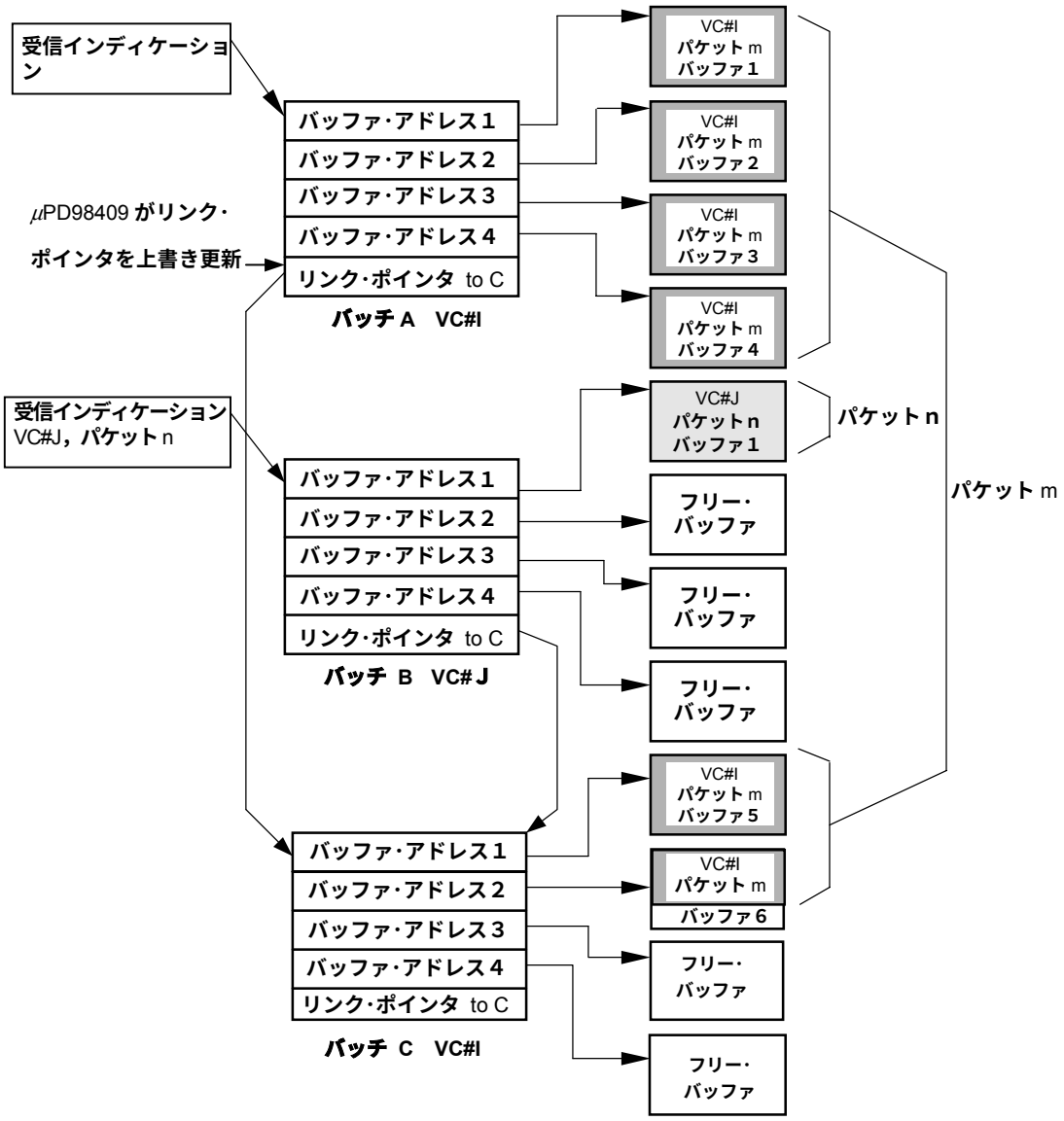
ユーザは，VC テーブル“ POOL NO. ”への設定により，それぞれの VC を 32 個のプールの１つに格納させることができます。１つのプールには，複数の VC の受信パケットを格納することができます。AAL-5 トラフィックでは，VC はフリー・バッファをバッチ単位でフェッチします。したがって，それぞれのパケットは常に新しいバッチで始まります。受信したパケットを格納するため，VC は複数のフリー・バッファを使用します。１つのバッチのフリー・バッファをすべて使用することもあり，複数のバッチにまたがってフリー・バッファを使用することもあります。複数のバッチにまたがってパケットを格納した場合，μPD98409 はバッチのリンク・ポインタを DMA で上書きし，リンク情報を変更します。

AAL-5 トラフィックの受信動作の例を次に示します。

図５－41 に示すプールには，バッチ A，バッチ B，バッチ C…があり，１つのバッチには，４つのフリー・バッファがあります。２つの VC＃ｉと VC＃ｊともにその同じプールに格納するように設定しています。

保守／廃止

図５－41　受信データの構成例



○VC＃I のパケット m の先頭セルを受信します。μPD98409 は，バッチをフェッチするため，プール・ディスクリプタをリードします。そのとき，プール・ディスクリプタにはバッチ A の先頭アドレスが格納されているので，VC＃I のパケット m にはバッチ A が割り当てられます。

○バッチＡが消費されたため，μPD98409 はプール・ディスクリプタがバッチＢの先頭を指すよう更新しておきます。

○パケット m を受信している間に，VC＃J のパケット n の先頭セルを受信します。μPD98409 は同様にパケット n にバッチ B を割り当てます。

保守／廃止

○VC＃Ｉは，パケットを最後まで受信しないうちに，バッチＡの４つのフリー・バッファを一杯にしてしまい，新たにバッチ C を割り当てます。このとき，バッチ B を指していたバッチ A のリンク・ポインタがバッチＣの先頭を指すように，μPD98409 が DMA ライトで上書きし，リンク情報を更新します。

○VC＃I のパケットをすべて格納するには，バッチ C から２つのフリー・バッファが必要です。パケット m のすべてのデータをフリー・バッファに格納し終わったとき，μPD98409 はパケット m の受信インディケーションを生成します。そのインディケーションの中には，パケットのスタート・アドレスとしてバッチ A の先頭アドレスとセル単位のパケット・サイズを格納します。ホストは，それらの情報と更新されたリンク・ポインタから受信データを処理します。

○パケット n はバッチ B のうち，１つのフリー・バッファだけが必要でした。パケット n をすべて格納し終わったときに発行する受信インディケーションには，バッチ B の先頭アドレスと，サイズを返します。

AAL-5 トラフィック格納用のプールの場合，プール・ディスクリプタに“警告レベル（ALERT LEVEL）”を設定し，残りバッチ数がそれに達したとき，μPD98409 に割り込み信号で通知させることができます。μPD98409 はバッチを使用するごとに“REMAINING NUMBER OF BATCHES IN THE POOL”をデクリメントして，ALERT LEVEL と比較します。両者が等しくなったとき，RQA レジスタの対応ビットを 1 にセットし，次に GSR レジスタの RQA ビットをセットして，ホストに割り込みを発行します。ホストはそれを受け，そのプールに対して Add_Batches コマンドを発行することで，新たなバッチを追加します。ALERT LEVEL の機能は，AAL-5 トラフィック用のプールのみ有効です。

新たなセルを受信し，指定されたプールに転送しようとしたとき，そのプールの“REMAINING NUMBER OF BATCHES IN THE POOL”が 0 にまで達していると，受信キュー・アンダーランとなります。μPD98409 は，RQU レジスタの対応ビットを 1 にセットして，次に GSR レジスタの RQU ビットをセットし，マスクされていなければ割り込みを発行します。

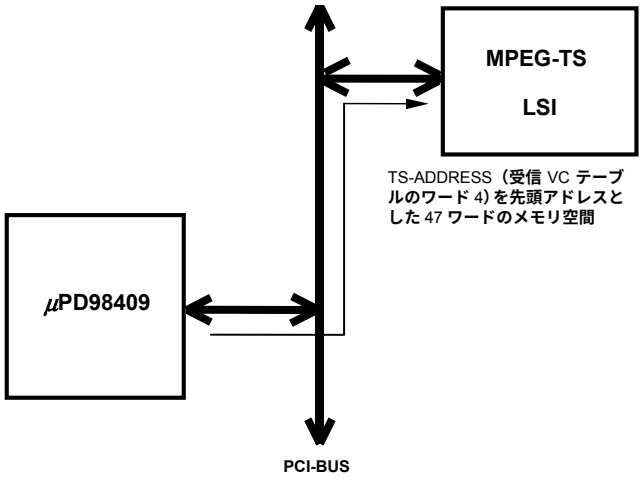
受信プールのバッチ数，アドレスなどの初期情報は，ホストが Indirect_Access コマンドを使用し，コントロール・メモリのプール・ディスクリプタに直接ライトしますが，その後，ホストがプールにバッチを追加するには，Add_Batches コマンドを使用します。Add_Batches コマンドを受けると，μPD98409 はプール・ディスクリプタの内容を更新します。ホストがコントロール・メモリのプール・ディスクリプタの値を直接更新するわけではありませんのでご注意ください。

保守／廃止

（b）MPEG-TS パケットの転送

MPEG-TS パケットは，PCI バス上に接続された MPEG-TS 処理 LSI に，PCI メモリ・ライト動作により直接書き込まれます。バースト・サイズは，μPD98409 が 1～47 ワードの範囲で自動的に決定します。TS-ADDRESS（受信 VC テーブルのワード 4）が書き込み先頭アドレスとなります。メモリ・ライト動作により書き込むため,MPEG-TS 処理 LSI が転送中にディスコネクトした場合,転送再開時に PCI バスにμPD98409 が出力するアドレスは，TS-ADDRESS アドレスではなく，ディスコネクト前に書き込んでいたワード数を TS-ADDRESS に加えた値になります。したがって，MPEG-TS 処理 LSI は，TS-ADDRESS を先頭アドレスとした 47 ワードの空間のどのアドレスに書き込まれても入力データとして受け付けるような構成になっている必要があります。

図５－42　MPEG-TS パケットの転送アドレス



(c)　Raw セル・データ格納用のプール

Raw セル・データ格納用のプールは，AAL-5 トラフィック用のように，パケットごとにバッチを割り当てることはありません。Raw セル・データ 1 つにフリー・バッファ 1 つを割り当てます。 μPD98409 は，セルを受信すると，格納するプールの先頭バッチの先頭フリー・バッファから順に，Raw セル・データを格納していきます。Raw セル・データの場合には，μPD98409 は受信インディケーションを発行しません。代わりに，1 つの Raw セル・データを格納するたびに，μPD98409 は GSR レジスタの RCR7-RCR0 ビットのうち，そのプールに対応するビットを 1 にセットし，マスクされていない場合には，割り込みを発行して通知します（ただし，A34 ビットが１に設定されている場合には，Raw セル・データを格納するたびではなく，AAL-3/4 パケットの最終セルを受信した場合にのみの割り込みになります）。

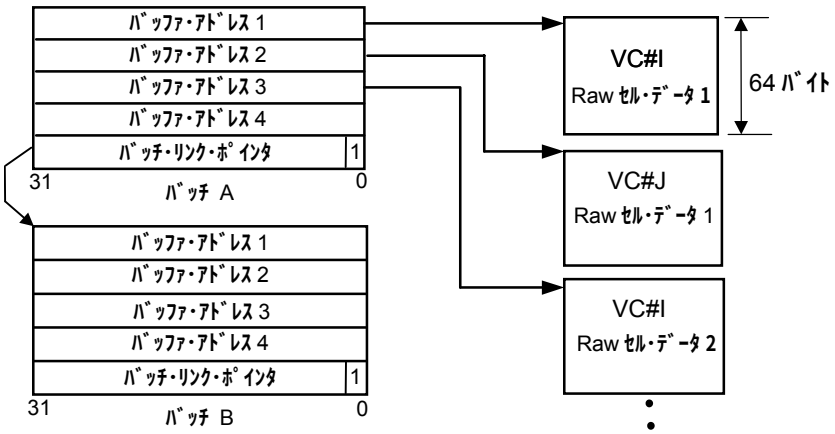
μPD98409 は格納したフリー・バッファのアドレスをホストに通知しませんので， ホストが前回までに処理を終えたフリー・バッファのアドレスを記憶しておく必要があります。１つのプールには，複数の VC の Raw セル・データを格納するように指定できます。その場合，VC の相違には関係なく，着信したセル順にフリー・バッファに格納してしていきます。AAL-5 パケット格納用のプールでは，プール・ディスクリプタの“ADDRESS”フィールドは，μPD98409 によって次に格納すべきバッチの開始アドレスに更新され用いられますが，Raw セル・データ格納用のプールでは，次に格納すべきフリー・バッファを示すアドレスを格納す

保守／廃止

るために用いられます。バッチからフリー・バッファのアドレスをフェッチしたとき，その最下位ビットが１であることを検出すると，μPD98409 はそれをリンク・ポインタと認識し，次のバッチに移ります。

図５－43　Raw セル・データ格納用プールの構造

（VC#1 と VC#J の Raw セル・データを同じプールに格納するように設定した場合）



また，Raw セル・データ用のプールには，バッチの残り数を警告する ALERT LEVEL の監視機能はありません。送信キュー・アンダーフローの RQU 割り込み機能のみが有効です。

Raw セル・データについては，**３.３.３　非 AAL-5 トラフィックのサポート**　を参照してください。なお，Raw セル・データ格納用として設定したプールに AAL-5 のパケットを格納することはできません。１つの同じプールに，両データを混在させることはできませんので注意してください。

保守／廃止

（３）T1 タイマ（リアセンブリ・タイマ）

μPD98409 には，ハードウエア上のウオッチドッグ・タイマで１パケットの到着に要する時間を規定する機能があります。それを T1 タイマ（リアセンブリ・タイマ）機能といいます。ユーザは，レジスタに先頭セルが到着してから最終セルが到着するまでの許容時間を設定します。μPD98409 は，受信中のパケットがその時間を越えていないかを監視して，越えた場合はそのパケットの受信を中止し，T1 エラーとして受信インディケーションにてホストに通知します。

T1 タイマ機能のために，μPD98409 には次の 2 つのレジスタがあります。

○TSR レジスタ：システム・クロックの周期で常にカウントアップしている 32 ビット・カウンタです。
μPD98409 は「現在の時間」として使用します。リセット後，ただちにカウントアップを開始します。

○T1R レジスタ：ホストが 1 パケットの受信に許容する時間（T1 タイム）を設定するレジスタです。32 ビット値の上位 16 ビットで定義し，時間の単位は，65536 システム・クロック周期です（上記 TSR レジスタ参照）。下位 16 ビットは，“ 0000H ” となり使用されません。

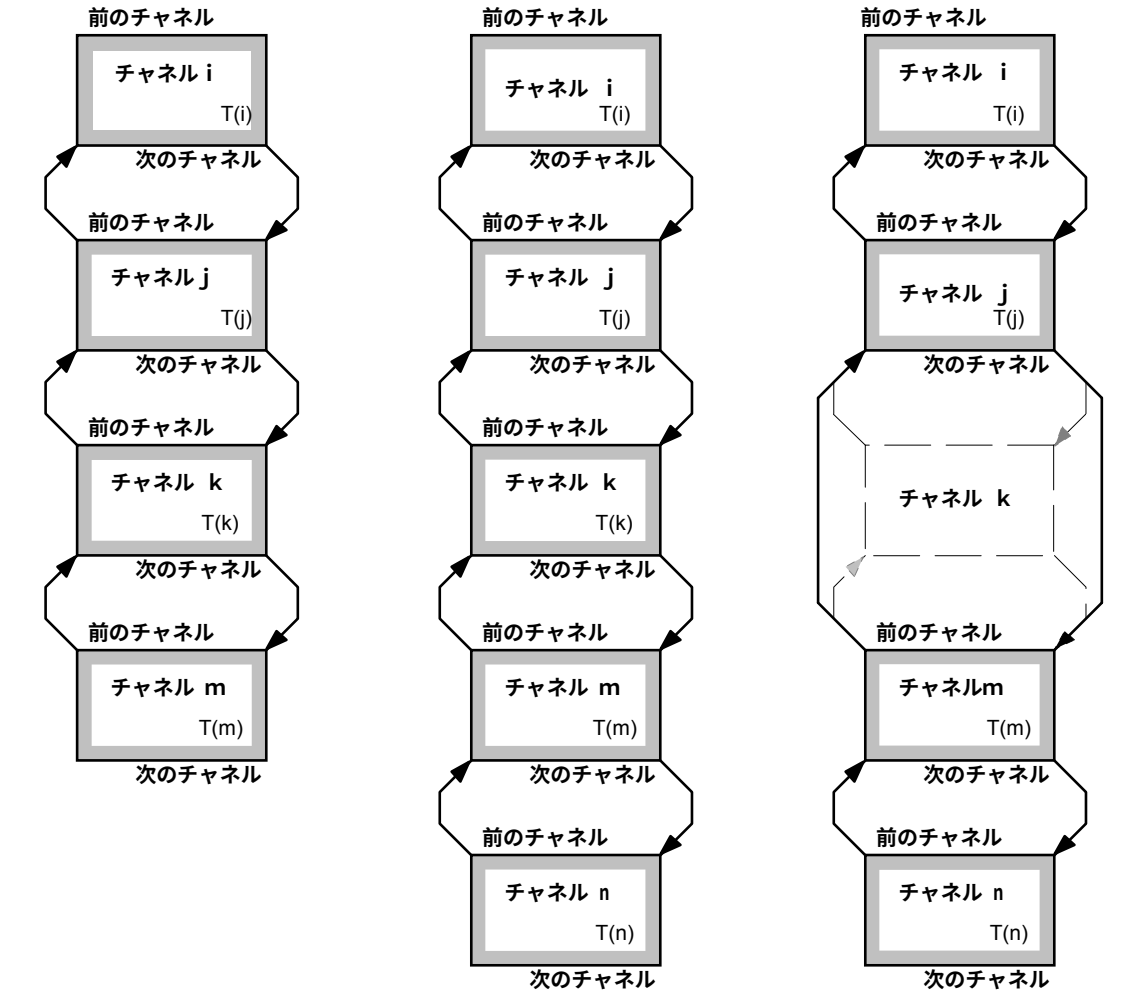
μPD98409 が動作するシステム・クロックの周波数によっては，同じ T1R の設定値でも実際の時間は異なることに注意してください。

監視のメカニズムは，VC テーブルの７ワード目にある“ FOWARD POINTER ”，“ BACKWARD POINTER ” を用いて形成するリンク・リスト方式です。これらのポインタには VC の“ VC NUMBER ” が格納されます。μPD98409 は，新しいパケットの先頭セルが到着するたびに，そのときの TSR レジスタの内容を VC テーブルの“ T1 TIME STAMP ” フィールドに書き込みます。また，その VC テーブルの“ FOWARD POINTER ”，“ BACKWARD POINTER ”，および前から受信している VC のそれらのポインタを修正後，その VC テーブルをリンク・リストの最後尾に追加します。つまり，リンク・リストは，常に“ 最も前に受信を開始した VC ” が先頭に，“ 最も新しく受信を開始した VC ”が最後尾にリンクされる形で，リストが運用されます。これにより，μPD98409 はリンク・リストの先頭にある VC，つまり“ 最も前に受信を開始した VC ” の「TSR レジスタの内容≧T（“ T1 TIME STAMP ”）」をチェックするだけでよいことになります。パケットの最終セルが到着すると，μPD98409 はその VC の VC テーブルをリンク・リストから取り除きます。

通常動作時は，パケットが正常に受信できるよう，T1 タイム時間を設定しておきます。

保守／廃止

図５－44　リアセンブリ・タイマ（T1）



保守／廃止

（４）AAL- 5 パケット受信エラー検出

μPD98409 は，パケットの受信中，あるいは受信終了時の AAL-5 トレイラ情報から，パケットの組み立てエラーをチェックします。エラーを検出した場合，μPD98409 はメールボックスに格納する受信インディケーションにおいて，エラーの種類および，エラーが発生するまでにシステム・メモリに転送したデータの開始アドレスとサイズを通知します。MPEG-TS 受信 VC では，エラーが発生して，かつ VC テーブルの IE ビットが“１”にセットされているときだけ受信インディケーションでエラーを通知します。

ホストは，エラー・ステータスを含む受信インディケーションを受けると，発生したエラーに対して適切な処理を実行し，エラーを起こしたパケットを廃棄します。

受信インディケーションで通知されるエラーは次のとおりです。

（ａ）フリー・バッファ・アンダーフロー
（ｂ）受信 FIFO オーバラン
（ｃ）“ MAX. NUMBER OF SEGMENTS ” 違反
（ｄ）CRC-32 エラー
（ｅ）ユーザ・アボート
（ｆ）“ Length ” エラー
（ｇ）T1 タイムアウト
（ｈ）Deactivate_Channel コマンドの実行

備考　MPEG-TS パケットとしての正当性判定時のエラーは通知されません。

（ａ）フリー・バッファ・アンダーフロー

AAL-5 パケットを受信中にセルを受信し，そのセグメントをシステム・メモリに転送しようとしたとき，フリー・バッファに 48 バイトの空き領域がなかった場合，μPD98409 はそのセルを廃棄します。廃棄したセルが，パケットの中間，または最終セルだった場合，μPD98409 はパケットの受信を中断し，フリー・バッファ・アンダーフローのエラーを通知する受信インディケーションを発行します。フリー・バッファのサイズは，必ず 64 バイトの整数倍であるため，フリー・バッファ・アンダーフローは，１つのセグメントのデータ 48 バイトのうち，16 バイトまで格納したときに発生します。フリー・バッファ・アンダーフローが発生したときは，そのプールにおける RQU 割り込みも同時に発生します（７.２（４）RQU 参照）。

廃棄したセルが AAL-5 パケットの先頭セルであった場合は，フリー・バッファ・アンダーフローの受信インディケーションは発行されません。プールにフリー・バッファがないことを通知する RQU 割り込みだけが発生します。

ホストは Add_Batches コマンドを使用して，RQU 割り込みを起こしたプールに対してバッチを補充します。バッチが補充されて受信可能な状態になっても，フリー・バッファ・アンダーフローを起こしたパケットの残りのセルが着信すると，それらは最終セルまで廃棄されます。

保守／廃止

（b）受信 FIFO オーバラン

DROP モード（GMR レジスタ：DR ビット＝0）において，AAL-5 パケットを受信中に，パケット途中のセルを受信しようとしたとき，10 セル分ある受信 FIFO が一杯だった場合，μPD98409 はそのセルを廃棄し受信 FIFO オーバランとなります。パケット受信中に FIFO オーバランが生じ一度セルを廃棄してしまうと，そのパケットの属していた残りセルを受信しても，最終セルまで内部で廃棄します。廃棄パケットの最終セルが着信したとき，FIFO オーバラン状態から抜けていると，そのパケットのオーバラン発生を通知する受信インディケーションを発行します。

最終セルが着信したとき，依然 FIFO オーバランであった場合には，次のパケットとの境界を検出することができないため，次のパケットも続けて廃棄されることになります。

なお，No DROP モード（GMR レジスタ：DR ビット＝1）の場合，FIFO が一杯になると PHY デバイスに対して受信データの転送中止を通知するため，FIFO オーバランは発生しません。

（c）“ MAX. NUMBER OF SEGMENTS ” 違反

受信したセル数が，ユーザの設定した“ MAX. NUMBER OF SEGMENTS ”の数に達したのに，パケットの最終セルが受信されなかったときに発生します。ユーザが VC テーブルに設定した“ MAX. NUMBER OF SEGMENTS ”の数までの受信データは，システム・メモリに格納されます。受信インディケーションが発行されるタイミングは，“ MAX. NUMBER OF SEGMENTS ”を越えた次のセルを受信したときです。その後，このエラーを起こしたパケットに属するセルは，最終セルまで廃棄されます。

たとえば，ユーザが“ MAX. NUMBER OF SEGMENTS ”に“ 100 ”を設定した場合，遅くても 100 セル目に最終セルを受信しなければなりません。100 セル目でも最終セルを受信しなかったとき，101 セル目を受信した時点で，“ MAX. NUMBER OF SEGMENTS ”エラーの受信インディケーションを発行します。その後，受信する 101 セル目からのセルは，最終セルを受信するまでμPD98409 によって廃棄されます。

（d）CRC-32 エラー

パケットのすべてのデータのシステム・メモリへの転送が終了し，CRC-32 の計算結果と受信トレイラに含まれる“ CRC-32 ”フィールドをベリファイしたところが不一致だったときに報告されます。

CRC-32 エラーは，パケットの最後に受信する AAL-5 トレイラの部分に付加されていますので，μPD98409 はパケットの受信データをすべて受信バッファに格納してからエラーを検出します。したがって，CRC エラーを起こしたパケットでも，そのパケットのすべてのデータは，受信バッファに格納されています。

AAL-5 のトレイラのチェックで，CRC-32 エラーと“ Length ”エラーの 2 つの要因を持つパケットを受信した場合には，CRC-32 エラーを受信インディケーションのエラー・ステータスとして報告します。

（e）ユーザ・アボート

パケットのすべてのデータのシステム・メモリへの転送が終了し，受信トレイラに含まれる“ Length ”フィールドをチェックしたところ“ 0 ”であったときに報告されます。通常この場合，受信したパケットは無効としてホストに破棄されます。

保守／廃止

（ｆ）“ Length ” エラー

パケットの全データのシステム・メモリへの転送が終了し，計算したパケット長と受信トレイラに含まれる “ Length ” フィールドをチェックしたところ，次の条件の場合に報告されます。

- （「受信セル数×48 バイト」－「トレイラ内の “ Length 値 ” 」）＞55 バイト
- （「受信セル数×48 バイト」－「トレイラ内の “ Length 値 ” 」）＜8 バイト

（ｇ）T1 タイムアウト

受信パケットの先頭セルを受信してから，ユーザが設定した T1R 時間経過したにもかかわらず，最終セルを着信していなかったときに発生します。T1R 時間が経過するまでは，受信データはシステム・メモリに格納され，そのパケットのスタート・アドレス，サイズは同じ受信インディケーションで報告されます。

T1 エラーを起こしたパケットの残りセルは，新たなパケットとして受信され，その結果，Length エラーが発生します。

（ｈ）Deactivate_Channel コマンドの実行

ホストが受信 VC に対して， Deactivate_Channel コマンドを発行すると，パケット受信中かどうかにかかわらず，受信インディケーションでコマンド処理が終了したことを報告します。

この VC のパケット受信中にコマンドを発行した場合は，発行までに受信 PHY に書き込まれたセルまで，システム・メモリに転送され，そのパケットのスタート・アドレスおよび，サイズは同じ受信インディケーションで報告されます。パケット受信中でなかった場合は，サイズは 0 で報告されます。

保守／廃止

表５－６　パケットの先頭，中間，最終セルのいずれにおいても発生するエラーの一覧

エラー	セル廃棄	受信インディケーション発行タイミング	発生後のセル
フリー・バッファ・アンダーラン	フリー・バッファがないとき，受信したセルを廃棄。フリー・バッファが補充されるまで廃棄継続。	セグメント転送中，途中で転送不可が生じた時点。	エラー発生パケットに属するセルは最終セルまで廃棄。
受信 FIFO オーバラン	受信 FIFO が一杯のとき受信したセルを廃棄。	セル廃棄発生後，FIFO オーバラン状態が解除され，廃棄パケットの最終セル着信。	エラー発生パケットに属するセルは最終セルまで廃棄。
“ MAX. NUMBER OF SEGMENTS ” エラー	MAX. NUMBER OF SEGMENTS 数を越えて着信したセルから最終セルまで廃棄。	MAX. NUMBER OF SEGMENTS 数に達した次のセル着信。	エラー発生パケットに属するセルは最終セルまで廃棄。
T1 エラー	なし。	T1 タイム経過時点。	新しいパケットとして受信→“ Length ”エラー
Deactivate_Channel	廃棄。	コマンド完了後。	廃棄。

エラーの種類によっては，2 つ以上のエラー要因が同時に発生する場合がありますが，受信インディケーションで報告されるのは 1 つだけです。組み合わせによる優先順位を示します。

表５－７　エラー重複時に優先されるエラー

	アンダーフロー	オーバラン	MAX.エラー	CRC エラー	アボート	Length	T1 エラー
アンダーフロー	－	－	アンダーフロー	アンダーフロー	アンダーフロー	アンダーフロー	アンダーフロー
オーバラン	－	－	オーバラン	オーバラン	オーバラン	オーバラン	オーバラン
MAX.エラー	－	－	－	MAX.エラー	MAX.エラー	MAX.エラー	MAX.エラー
CRC エラー	－	－	－	－	CRC エラー	CRC エラー	CRC エラー
アボート	－	－	－	－	－	－	アボート
Length	－	－	－	－	－	－	Length
T1 エラー	－	－	－	－	－	－	－

５.５.６　受信インディケーションの発行

AAL-5 トラフィックのパケットの場合（MPEG-TS 受信は除く），μPD98409 はホストにパケットを受信したことを通知するため，受信インディケーションを発行します。 MPEG-TS パケットでは，エラーが発生して，かつ VC テーブルの IE ビットが“ １ ”にセットされているときだけ受信インディケーションでエラーを通知します。受信インディケーションは，パケットごとに４ワード情報が生成され，メールボックスに格納されます。受信用のメールボックスは，メールボックス 0 番または，1 番で，どこに格納するかは，ホストが VC ごとに設定する VC テーブルの“ MB ”ビットで選択します。受信インディケーションを格納すると，μPD98409 は GSR レジスタの対応する MM ビットを “ 1 ” にセットし，マスクされていなければ，割り込みを発行します。受信インディケーションには，μPD98409 がそのパケットを格納するのに使用したバッチの開始アドレス，サイズなどが含まれており，ホ

保守／廃止

ストは，受信インディケーションをリードすることで，着信したパケット・データの処理が行えます。

受信インディケーションを発行するタイミングは，正常にパケットを受信した場合，すべてのデータ（AAL-5 トレイラを含む）を受信バッファに格納し終えたときです。

エラーを含むパケットを受信した場合は，“ CRC-32 エラー ”と“ Length エラー ”は，すべてのデータ（AAL-5 トレイラを含む）を受信バッファに格納し終えたときで，それ以外のエラーでは，検出した時点でインディケーションを発行します。検出したエラーは，エラー・ステータスとしてインディケーション内で報告されます。エラー・ステータスを含む受信インディケーションをリードした場合，ホストは適切な処理を行い，エラー・パケットを廃棄します。

受信インディケーションのフォーマットは，**５.６（２）受信インディケーション** を参照してください。

５.５.７　非 AAL-5 トラフィックの受信

（１）Raw セル受信処理

次の２つの場合の受信セルについては，セルを着信するたびに，53 バイトのすべての Raw セルと 11 バイトのインディケーションを含む 64 バイトの Raw セル・データを生成し，適切なフリー・バッファ・プールに格納します。その後 GSR レジスタの RCR7-RCR0 の対応するビットをセットし，マスクされていなければ割り込みを発生します。Raw セル受信の場合には，パケット単位で処理するのではなく，セル単位で処理を行うため，メールボックスへの受信インディケーションの格納は行いません。

また，Raw セルとして受信する場合は，セル単位で付加される CRC-10 誤り符号のベリファイ機能が常にイネーブルになっています。エラーを検出した場合は，Raw セル・データ内のエラー・ビットをセットし，ホストに通知します。

①OAM F5 セル／RM セル

ユーザが VC テーブルの OD ビットを“ 0 ”（OAM F5 セルを受信）に設定している場合で，ヘッダの PTI フィールドが OAM F5 セルやリソース管理セルを表す“ 1xx ”のパターンであるセルを受信したとき，μPD98409 は Raw セル・データを生成し，プール 0 番に格納します。GSR レジスタの RCR0 ビットを 1 にセットし，マスクされていなければ，割り込みを発生させます。これらのセルをμPD98409 は必ずプール０番に格納します。したがって，OD ビットを“ 0 ”に設定した場合には，プール 0 番を Raw セル・データ格納用のプールとして設定する必要があります。

OD ビットは，A/R ビットが 0 か 1 のいずれの場合にも関係なく“ 0 ”に設定することができます。たとえば，OD＝0，A/R＝１に設定し，“ POOL NO. ”に 8 を指定している場合，PTI フィールドがユーザ・データ・コードのセルを受信した場合は，プール 8 番に AAL-5 パケットとして格納され，PTI フィールドが OAM F5 セル／RM セルのコードを持つセルを受信した場合には，Raw セル・データとしてプール 0 番に格納されます。ただし，１つでも OAM F5 セル／RM セルを受信するチャネルがある場合には，プール 0 番は Raw セル・データ格納専用となり，AAL-5 パケット格納用には 0 番以外を指定しなければならないことに注意してください。1 つのプールに，Raw セル・データと AAL-5 パケットの両方を混合して格納することはできません。

②非 AAL-5 トラフィック

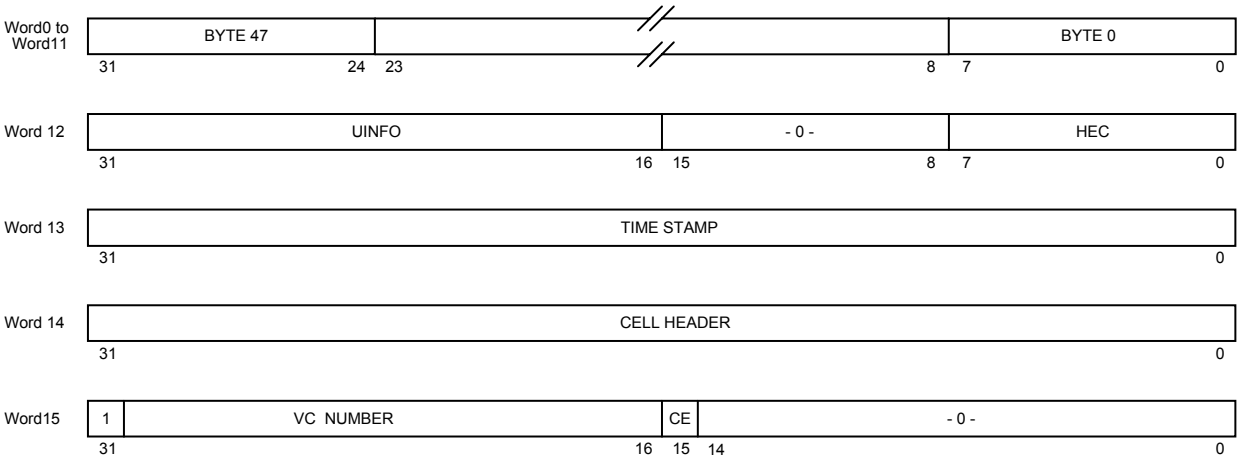
保守／廃止

ユーザがオープンした VC テーブルの A/R ビットを“ 0 ”に設定した場合は，その VC のセルを受信するたびに，すべてを Raw セル・データとしてシステム・メモリに転送します。Raw セル・データとして受信する場合，ユーザはプール 0 番から 7 番までのうち，いずれかを “ POOL NO. ” に指定することができます。指定したプールは Raw セル・データ格納用プールとして用意しておく必要があります。この機能により，ユーザは，非 AAL-5 トラフィックのセルを受信することができます。Raw セル・データから，パケット組み立て処理および，トレイラ処理は，システム・メモリ上でソフトウエアにより実行されます。非 AAL-5 トラフィックを Raw セルとして受信する場合には，セル単位で処理が完結し，AAL-5 パケットのようにパケットごとの受信インディケーションは発行されません。したがって，ALL-5 パケット受信のようにエラーを通知する機能はありません。フリー・バッファ・アンダーフローや，受信 FIFO オーバランによりセル廃棄が生じた場合でも，μPD98409 はホストに通知されず，MAX. NUMBER OF SEGMENTS の監視，T1 エラーの検出機能は動作しません。ただし，RQU 割り込み発生，および，Deactivate_Channel コマンドのコマンド完了を示すインディケーションの発行は実行されます。

（2）Raw セル・データ

Raw セル・データのフォーマットを次に示します（ビッグ・エンディアンの場合）。

図５－45　Raw セル・データのフォーマット



BYTE0-BYTE47	受信セルのセグメント・データ
UINFO	ユーザ情報。ユーザがこのチャネルのVCテーブルの“ UINFO ”フィールドに設定したパターンがそのまま格納されます。
HEC	このセルのヘッダに含まれるHECフィールドのパターン
TIME STANP	このセルを受信したときのTSRレジスタの値
CELL HEADER	このセルのヘッダ4バイト（5バイト目HECを除く）
VC NUMBER	このセルのVCのVC NUMBER

保守／廃止

CE　　CRC-10誤り演算のベリファイ結果
0－エラーなし
1－CRC-10エラー検出

（３）AAL-3/4 パケットの Raw セル受信アシスト機能

通常の Raw セル受信では，1 セルを受信するたびに，RCR 割り込みが発生し，ホストはセル単位で Raw セル・データの処理を実行しなければなりません。AAL-3/4 パケットを受信する場合にかぎりホストの処理を軽減するため，パケットの最終セルまたは，1 セル単独データを受信した場合のみ，割り込みを発行する機能があります。

受信 VC テーブルの Word1 に位置する“ A34 ”ビットを設定すると，μPD98409 は受信する AAL-3/4 セルのセグメント・タイプ（ST フィールド）を調べ，その ST フィールド 2 ビットが，“ 01 ”=エンド・オブ・メッセージ，あるいは“ 11 ”=シングル・セグメント・メッセージであるセルを受信したときのみに RCR 割り込みを発行します。それ以外のセルを受信した場合には，Raw セル・データはシステム・メモリに格納しても，RCR 割り込みは発行しません。

A34 ビットを 1 にセットする場合には，A/R ビットも必ず 1 にセットしなければなりません。

AAL-3/4 セルのフォーマット

セル・ヘッダ	ST 2 ﾋﾞｯﾄ	SN 4 ﾋﾞｯﾄ	MID 10 ﾋﾞｯﾄ	ペイロード 44 ﾊﾞｲﾄ	LI 6 ﾋﾞｯﾄ	CRC-10 10 ﾋﾞｯﾄ

ST（Segment Type）：セグメント・タイプ，　LI（Length Indication）：ペイロード長表示
SN（Sequence Number）：シーケンス番号，　CRC（Cyclic Redundancy Check Code）：巡回冗長検査
MID（Multiplexing Identification）：多重識別子

ST ビット	セグメント・タイプ
10	BOM（メッセージ先頭部）
00	COM（メッセージ継続部）
01	EOM（メッセージ終了部）
11	SSM（単一セグメント・メッセージ）

保守／廃止

５.６　送受信インディケーション

μPD98409 は，パケットごとに送受信完了のステータスとして，ホストにインディケーションを送ります。送受信インディケーションを発行するタイミングは次のとおりです。

●送信インディケーション：　1 つの送信パケットのデータをすべてリードし終わったとき。

●受信インディケーション：　1 つの受信パケットのデータをすべてシステム・メモリに転送し終わったとき。

・エラーによってパケットの受信を中断したとき。

・Deactivate_Channel コマンドを受け，コマンドの処理を終えたとき。
MPEG-TS 受信のときは，受信エラーが発生して，かつ受信 VC テーブルの IE ビットが“1”にセットされているときのみ，受信インディケーションを発行。

インディケーションは，システム・メモリで管理する 4 つのメールボックスのうちの 1 つに格納されます。メールボックスは送信インディケーション格納用と，受信インディケーション格納用に 2 つずつあります。ユーザは，VC ごとにどちらのメールボックスに格納するかを選択できます。

●送信インディケーション：　メールボックス 2 番，3 番　　パケット・ディスクリプタに設定

●受信インディケーション：　メールボックス 0 番，1 番　　VC テーブルに設定

メールボックスにインディケーションを格納すると，μPD98409 は，GSR レジスタの該当する MM ビットを 1 にセットし，それに対応する割り込みマスク・レジスタ IMR レジスタのビットがイネーブルにされていれば，割り込みを発生します。

μPD98409 が格納する送受信インディケーションの最終ワードの MSB ビットは，必ず“1”にセットされます。ホストは，リードしたインディケーションのこのビットを，“0”にリセットしておくことで，メールボックスの中で，どのインディケーションが“処理済み”か，あるいは“未処理”なのかを示すフラグとして用いることができます。このビットをフラグとして用いれば，“1”のインディケーションが続くかぎり処理を進めることで，一度に複数のインディケーション処理を実行することが可能になります（必ずしもこのフラグを変更する必要はありません）。

受信インディケーションは，パケットが格納されたバッチ，フリー・バッファの情報が格納されています。ホストは，インディケーションをもとに受信データに適切な処理を施し（パディング AAL-5 トレイラの除去など），上位アプリケーションに渡します。その後，ホストは，使用したバッチ，フリー・バッファを再利用するためシステム・メモリに開放するか，新たなバッチ，フリー・バッファとしてチェーンに追加する作業を実施します。

次に，送受信インディケーションのフォーマットについて説明します。

保守／廃止

（1）送信インディケーション

送信インディケーションは，AAL-5，非 AAL-5 にかかわらずパケット送信が完了したとき，常に発行されます。フォーマットは次のとおりです。

1	0	VC NUMBER	A	PACKET QUEUE POINTER
31	30 ～ 23	22 ～ 16	15	14 ～ 0

VC NUMBER　この VC が使用した“ VC NUMBER ”。

A (Active)　0－次のパケット・ディスクリプタが空白パケット・ディスクリプタであったため，VC はアイドル状態に移行した。

1－次のパケット・ディスクプタも有効パケット・ディスクリプタであったため，VC はアクティブ状態を保持した。

PACKET QUEUE POINTER　送信キューの次のパケット・ディスクリプタの開始アドレスの下位 15 ビット。

（2）受信インディケーション

受信インディケーションは，AAL-5 トラフィックのパケットに対して常に発行されます。MPEG-TS 受信のときは，エラーが発生して，かつ受信 VC テーブルの IE ビットが“ 1 ”にセットされているときのみ，受信インディケーションが発行されます。非 AAL-5 トラフィックの Raw セル処理の場合には，フリー・バッファ・アンダーフロー発生または，Deactivate_Channel コマンドが実行されたときだけ，受信インディケーションが発行されます。フォーマットは次のとおりです。

UINFO	PACKET SIZE
31 ～ 16	15 ～ 0

TIME STAMP
31 ～ 0

PACKET START ADDRESS
31 ～ 0

1	0	VC NUMBER	ERR	CI	CLP	0	ERROR STATUS	0	POOL NO.
31	30 ～ 23	22 ～ 16	15	14	13	12	11 ～ 8	7 ～ 5	4 ～ 0

保守／廃止

UINFO　　ホストによってVCテーブルの“UINFO”領域に設定されたパターンがそのまま格納されます。

PACKET SIZE　　受信パケットのサイズ。

GMRレジスタのPSMビットの設定により，サイズの通知方法が変わります。

PSMビット	サイズ表示形式
0	セグメント単位（48バイト）で，AAL-5パケットのパディング，トレイラを含むCPCS-PDU全体のサイズを格納します。ディフォールトは，このモードです。
1	正常受信したAAL-5パケットのLengthフィールドをこの領域に格納します。したがって，CPCS-PDUのユーザ・データ部をバイト単位で表示することになります。ただし，エラーが発生したパケットの場合は，セグメント単位で受信したところまでのサイズを格納します。

PACKET START ADDRESS　　使用したバッチの開始アドレス。

（MPEG-TSパケットのときは無効）

VC NUMBER　　このVCが使用した“VC NUMBER”。

ERR　　1－パケット受信中にエラーが発生したことを示します。

0－パケットが正常に受信されたことを示します。

CI　　輻輳通知。このパケットに属するセルで，少なくとも1つのセルのヘッダ内PTIフィールドに輻輳コードで着信したことを示します。

CLP　　CLP=1。このパケットに属するセルで，少なくとも1つのセルのヘッダ内のCLPフィールドが“1”で着信したことを示します。

ERROR STATUS　　発生したエラーのステータス。

0000－エラーなし

0001－フリー・バッファ・アンダーフロー

0010－受信FIFOオーバラン

0011－“MAX.NUMBER OF SEGMENTS”違反

0100－CRC-32エラー

0101－ユーザ・アボート

0110－“Length”エラー

0111－T1タイムアウト

1000－Deactivate_Channelコマンドの実行

各エラーの検出方法については５５５　（４）AAL-5パケット受信エラー検出を参照してください。

POOL NO.　　使用したプールの番号（MPEG-TSパケットのときは無効）。

保守／廃止

５.７　割り込み機能

μPD98409 にはオープン・ドレーンの割り込み出力端子（INTR_B）が 1 本あります。いくつかの要因でこの端子をアクティブにすることができます。それぞれの割り込み要因には，GSR レジスタのビットが割り当てられています。このビットは対応する割り込み要因が発生すると“1”にセットされます。

GSR レジスタのビットは，それぞれ割り込みマスク・レジスタの IMR レジスタのビットと対応しています。GSR レジスタのビットがセットされると，それに対応する IMR のビットが 1 にセットされている場合にのみ，割り込み端子がアクティブになります。

また，IMR レジスタのビットを 1 にセットし，マスク解除したとき，対応する GSR レジスタのビットがすでに 1 にセットされていた場合でも，割り込みはアクティブになります。

GSR レジスタは，ホストによりリードされるたびに 0 クリアされます。割り込みが発行され，ホストが GSR レジスタをリード・クリアする前に，内部で同じ割り込み要因が発生した場合，そのビットは上書きされます。

リセット後，GSR レジスタと IMR レジスタのビットはすべて“0”に設定され，すべての割り込み要因はマスクされています。

32 ビットの GSR レジスタのうち，PHY 割り込みの PI ビットは，PHY デバイスなどの外部デバイスの割り込み入力用となっています。PHY 割り込みがアクティブになったことを検出すると，PI ビットがセットされ，ホストに割り込みを発生します。ホストは，Indirect_Access コマンドを実行して，PHY デバイスのレジスタにアクセスし，詳細な割り込み要因をデータとして読み出すことができます。

GSR レジスタと IMR レジスタの詳細については，７.２　（２）GSR，（３）IMR を参照してください。

保守／廃止

５.８　ループバック機能

μPD98409 はテスト時のために，ループバック機能を持っています。ループバック機能は GMR レジスタの LP ビットを 1 にセットすることで実行されます。ループバック機能がアクティブになると，μPD98409 はホストから受けたデータを送信ブロックを通過し PHY デバイスのインタフェースの内部回路で折り返し，受信ブロックを通過してホストに戻します。このとき，送受信インディケーションも通常どおり発行されます。ループバック・モードのときは，PHY デバイス・インタフェース（UTOPIA インタフェース）から外部にデータは送出されません。

５.９　グローバル・シャットダウン機能

グローバル・シャットダウンは，VRR レジスタの MSB ビットをセットして実行します。μPD98409 はこの命令を受けると，現在行っているすべての受信 VC の処理を停止します。μPD98409 は，それ以後のセルを受信せず，受信処理機能を完全に停止します。送信側の機能には影響せず，動作を継続します。

停止処理を終えると，GSR レジスタの RD ビットに 1 をセットし，マスクされていない場合はホストに割り込みを発生します。

このコマンドをμPD98409 に対して一度発行したあとにμPD98409 の受信機能を再びイネーブルにすることはできません。再びアクティブにするためには，μPD98409 に対してソフトウエア・リセットまたは，ハードウエア・リセットを実行しなければなりません。

保守／廃止

［メ　モ］

保守／廃止

第６章　コマンド

μPD98409 に対してホストが使用するコマンドは表６－１に記載する７種類です。この章では，まず，μPD98409 に対してのコマンド発行手順を説明し，次に各コマンドの詳細について説明します。

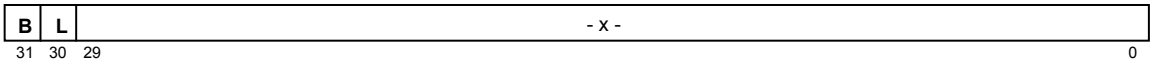
表６－１　コマンドの種類

コマンド名
Open_Channel コマンド
Close_Channel コマンド
Deactivate_Channel コマンド
Tx_Ready コマンド
Add_Batches コマンド
NOP コマンド
Indirect_Access コマンド

６.１　コマンド・レジスタ（CMR）とコマンド拡張レジスタ（CER）

コマンドは，すべてコマンド・レジスタおよびコマンド拡張レジスタを通してμPD98409 に入力されます。各レジスタのアドレスは次の表のとおりです。コマンド・レジスタにはコマンド・ステータス・フラグとして機能する“ビジィ・フラグ”があります。

コマンド・レジスタ（CMR）

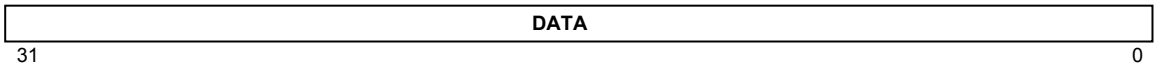


B ビット：ビジィ・フラグ

L ビット：コマンド実行時にμPD98409 が使用するビットです。リード時の値は不定です。

X　　：コマンド・コード，パラメータ

コマンド拡張レジスタ（CER）



名　称	レジスタ名	アドレス
コマンド・レジスタ	CMR	20H
コマンド拡張レジスタ	CER	28H

保守／廃止

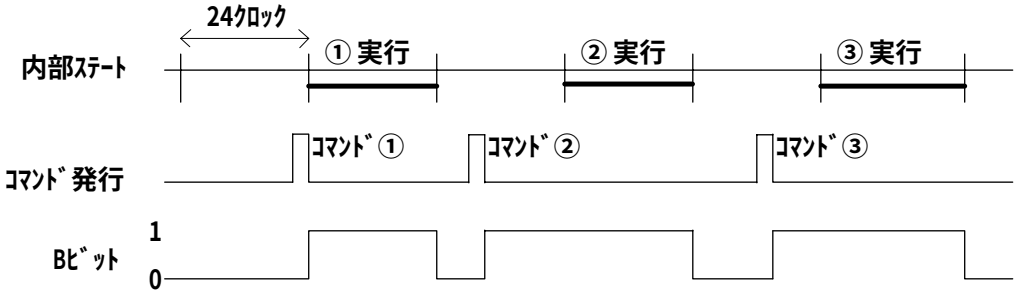
６.２　ビジィ・フラグ

ホストはコマンドをさまざまなパラメータとともにコマンド・レジスタにライトします。

μPD98409 の内部では，システム・クロックの 24 クロック時間に相当するステートという単位に区切って動作しています。μPD98409 はホストからコマンドを 1 ステートに 1 つ受け付け，次の 1 ステートで実行し，完了します。μPD98409 は 1 ステートで１コマンドしか実行することができないため，あるステートでコマンドを受け付けるとコマンド・レジスタのビット 31（B ビット）を“1”にセットし，次のステートが埋まったことを示します。つまり，この B ビットは，μPD98409 がコマンド実行中であることを通知するビジィ・フラグとして機能します。

B ビットが“1”である間は，次のステートまで新たなコマンドを受け付けることができません。仮に，B ビットが 1 のときに，新たなコマンドをコマンド・レジスタに上書きしても，μPD98409 はそのコマンドを無視し，無効とします。ホストが新たなコマンドを発行できるのは B ビットが“0”の場合にかぎります。μPD98409 は，コマンドを受け付けた次のステートでコマンドを終了すると，B ビットを“0”にします。

図６－１　コマンド発行と B ビット



したがって，ホストは新しいコマンド発行する場合には，一度コマンド・レジスタをリードし「B ビット」が“0”である（前のコマンドが完了している）ことを確認しなければなりません。あるいは，前のコマンドを発行してから少なくとも 2 ステート時間（48 クロック）ウエイトし，次のコマンドを発行します。

保守／廃止

６.３　コマンド・インディケーションを返すコマンド

コマンドのうち，Open_Channel コマンドおよび Close_Channel コマンドを実行すると，μPD98409 はコマンド・インディケーションをコマンド・レジスタに格納します。

ホストは，コマンド・インディケーションを持つコマンドを発行すると，続けてコマンド・レジスタをリードし，コマンド・インディケーションを受け取らなければなりません。μPD98409 がコマンド・インディケーションをコマンド・レジスタに格納するのは，コマンド完了時です。B ビットが“ 1 ”である間は，まだコマンドが完了しておらず，コマンド・インディケーションは格納されていません。B ビットが “ 0 ” であるコマンド・レジスタが得られたとき，そこにはコマンド・インディケーションが格納されています。

B ビットが “ 0 ” になるまで，コマンド・レジスタをポーリングするか，コマンド発行後 48 クロック以上の一定時間を待ってからリードします。

６.４　コマンド拡張レジスタを使用するコマンド

コマンドのうち「Indirect_Access コマンド」，および「Add_Batches コマンド」の両コマンドは設定パラメータを必要とするため，コマンド拡張レジスタを使用します。

ライト時はまず，コマンド拡張デバイスにデータをライトし，そのあとで，コマンド・レジスタにコマンドを設定します。μPD98409 は，コマンド・レジスタにライトされた時点でコマンド実行に移るので，コマンド拡張レジスタのデータ変更は，必ずコマンド・レジスタへのライト前に行わなければなりません。

リード時はコマンド・レジスタへコマンドをライトし，実行完了後にコマンド拡張レジスタに格納されたデータを引き取ります。μPD98409 がデータをコマンド拡張レジスタに格納するのは，コマンド完了時です。B ビットが “ 0 ” になったことを確認してから，あるいは，48 クロック以上の一定時間を待ってから，コマンド拡張レジスタをリードします。

CER レジスタに設定するパラメータはコマンドによって異なりますので，それぞれのコマンド説明を参照してください。

６.５　コマンドとコマンド・インディケーション一覧

①Open_Channel **コマンド**

- 0 -	1	0	0	0	- 0 -
31 30 29				26 25	0

②Open_Channel **インディケーション**

-不定-	VC NUMBER	- 0 -
31 10	9 3	2 0

③Close_Channel **コマンド**

- 0 -	1	0	0	1	R/T	- 0 -	VC NUMBER	- 0 -
31 30 29				26	25 24	10	9 3	2 0

④Close_Channel **インディケーション**

-不定-	VC NUMBER	- 0 -
31 10	9 3	2 0

⑤Deactivate_Channel **コマンド**

- 0 -	1	0	1	0	R/T	- 0 -	VC NUMBER	- 0 -
31 30 29				26	25 24	10	9 3	2 0

⑥Tx_Ready **コマンド**

- 0 -	1	1	0	0	- 0 -	VC NUMBER	- 0 -
31 30 29				26 25	10	9 3	2 0

⑦Add_Batches **コマンド**

CMR:

- 0 -	1	1	0	1	- 0 -	POOL NO.	NUMBER OF BATCHES
31 30 29				26 25	21	20 16	15 0

CER:

BATCH POINTER
31 0

⑧NOP **コマンド**

- 0 -	1	1	1	1	1	1	- 0 -
31 30 29						23	0

⑨Indirect_Access **コマンド**

CMR:

- 0 -	0	R/W	B3	B2	B1	B0	- 0 -	TGT	- 0 -	ADDRESS
31 30 29	28	27	26	25	24	23	20	19 18	17 10	9 0

CER:

DATA
31 0

保守／廃止

６.６　コマンドの詳細説明

① Open_Channel コマンド

コマンド･レジスタのプログラミング

- 0 -	1	0	0	0	- 0 -
31　30	29			26	25　　0

コマンド説明

Open_Channel コマンドは，送信動作や受信動作に使用する新しいチャネルをオープンするために使用するコマンドです。μPD98409 はこのコマンドを受け付けると，TOS レジスタの内容をコマンド・レジスタに格納し，それを Open_Channel インディケーションとして CMR レジスタに格納します。その後，TOS レジスタの内容をオープンした VC テーブルの“ FOWARD POINTER ”が示す値に更新します。このコマンドには受信用／送信用の区別がありません。

② Open_Channel インディケーション

コマンド･レジスタの内容

-不定-	VC NUMBER	- 0 -
31　　10	9　　3	2　　0

パラメータ説明

VC NUMBER (bit3-bit9）：新規チャネル用 VC テーブルの先頭アドレスの Bit9-Bit3 です。
この領域が 0 の場合は，これ以上，新規チャネルとしてオープンできないことを示します。

コマンド説明

μPD98409 は，Open_Channel コマンドを実行すると，インディケーションとして，新規 VC テーブルの先頭アドレスの一部 VC NUMBER をコマンド・レジスタに格納します。μPD98409 がこのインディケーションをコマンド・レジスタに格納するのは，Open_Channel コマンド実行終了時です。ホストは Open_Channel コマンド発行後，B ビットが 0 になっていることを確認して取り込みます。

このパラメータに下位３ビット“ 000 ”を加えると，コントロール・メモリ内 VC テーブルの Word0 を指す物理アドレスになります。

保守／廃止

③ Close_Channel コマンド

コマンド･レジスタのプログラミング

- 0 -	1	0	0	1	R/T	- 0 -	VC NUMBER	- 0 -
31 30	29			26	25	24 10	9 3	2 0

パラメータ説明

R/T：クローズするチャネルが受信，送信のどちらであるかを示します。

1 - 受信チャネル

0 - 送信チャネル

VC NUMBER (bit3-bit9）：クローズしたいチャネルの“ VC NUMBER ”です。

コマンド説明

Close_Channel コマンドは，受信チャネル，送信チャネルをクローズするために使用します。コマンドを受け付けると，μPD98409 は指定した VC テーブルをフリー・ブロック・プールに戻し，TOS レジスタの内容がその VC テーブルを指すように更新します。

このコマンドは，必ず Deactivate_Channel コマンドと対で使用しなければなりません。また，送信用かあるいは受信用のチャネルによって，異なった手順が定められています。相違は Deactivate_Channel コマンドの説明に記載されていますので参照してください。

④ Close_Channel インディケーション

コマンド･レジスタの内容

-不定-	VC NUMBER	- 0 -
31 10	9 3	2 0

パラメータ説明

VC NUMBER (bit9-bit3）：クローズしたチャネルの VC テーブルの先頭アドレスの Bit9-Bit3 が格納されます。この領域が 0 の場合は，発行した Close_Channel コマンドをμPD98409 が拒否したことを示します。ホストは VC NUMBER が得られるまで，繰り返し Close_Channel コマンドを発行します。

コマンド説明

μPD98409 は，Close_Channel コマンドを実行すると，インディケーションとして，クローズしたチャネルの VC テーブルの VC NUMBER をコマンド・レジスタに格納します。μPD98409 がこのインディケーションをコマンド・レジスタに格納するのは，Close_Channel コマンド実行終了時です。ホストは Close_Channel コマンド発行後，B ビットが 0 になっていることを確認して取り込みます。

μPD98409 は，Close_Channel コマンドのインディケーションとして“ 0 ”を返してくる場合があります。

これは，指定されたチャネルがクローズできなかったことを示します。その際ホストは，クローズしようとした VC の“ VC NUMBER ”が得られるまで，繰り返し Close_Channel コマンドを発行する必要があります。

⑤ Deactivate_Channel コマンド

コマンド･レジスタのプログラミング

- 0 -	1	0	1	0	R/T	- 0 -	VC NUMBER	- 0 -
31 30	29			26	25	24 10	9 3	2 0

パラメータ説明

R/T：ディアクティベートするチャネルが受信，送信のどちらであるかを示す。

1 - 受信チャネル

0 - 送信チャネル

VC NUMBER (bit3-bit9）：ディアクティベートしたいチャネルの“ VC NUMBER ”。

コマンド説明

Deactivate_Channel コマンドは，アクティブ状態である送信チャネルや受信チャネルをクローズする際，Close_Channel コマンドを発行する前にμPD98409 に準備動作をさせるためのコマンドです。

μPD98409 の内部送受信 FIFO に依然セル・データが残っており，その処理を終えていないときに，ホストが Close_Channel コマンドを発行すると，そのチャネルが使用していた VC テーブルの内容がクリアされ，処理を正常に続けることができなくなります。この Deactivate_Channel コマンドは，クローズするチャネルのセルに関する処理がすべて終わるまでの時間を保証するために使用されます。

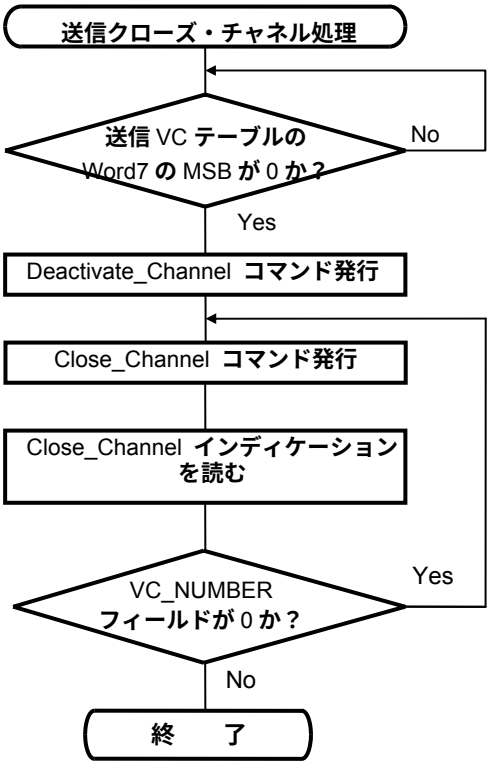
○送信チャネル

ターゲットとなるチャネルがアイドル状態のときにチャネルをクローズすることができます。Close_Channel コマンドを発行するとμPD98409 はその VC テーブルをクリアし，フリー・ブロック・プールに返します。送信チャネルがアクティブ状態からアイドル状態に遷移するのは，μPD98409 がフェッチした次のパケット・ディスクリプタが空白ディスクリプタであったときです。VC テーブルのアクティブ・ビット（Word7 の A ビット）を“ 0 ”に変更し，アイドル状態となります。ただし，内部送信 FIFO に取り込んだセル・データがすべて PHY デバイス側に出力されるまでの間は，そのチャネルに関する処理は内部で継続されており，その間，VC テーブルの内容を保持しておく必要があります。Deactivate_Channel コマンドは，内部処理を継続している間，VC テーブルの存続を保証するという機能を果たします。μPD98409 は Deactivate_Channel コマンドを受け付けると内部送信 FIFO にあるセル・データを量り，その処理が終わるまでの間 Close_Channel コマンドを実行しないで Close_Channel インディケーションに“ 0 ”を返します。Deactivate_Channel は，内部で Close_Channel コマンドを受け付けるタイミングを計るコマンドです。

送信チャネルをクローズするときのフロー・チャートを図６－２に示します。

保守／廃止

図６－２　送信クローズ・チャネル処理のフロー・チャート



このループを回る時間は，通常長くても 2 セルのデータが UTOPIA インタフェースから PHY デバイスに出力される時間です。

① 送信 VC テーブルの Word7 の MSB（Ａビット）が“０”（インアクティブ）であることを確認します。“１”（アクティブ）ならば，パケット送信が終了するまで待ちます。

② インアクティブならば， Deactivate_Channel コマンドを発行します。

③ Close_Channel コマンドを発行します。

④μPD98409 からの，Close_Channel インディケーションを読みます。

⑤ VC NUMBER フィールドが“０”かどうかを確認します。“０”ならば，③からの処理を行います。VC NUMBER フィールドにクローズするチャネルの VC NUMBER が格納されていれば送信クローズ・チャネルの処理は終了です。

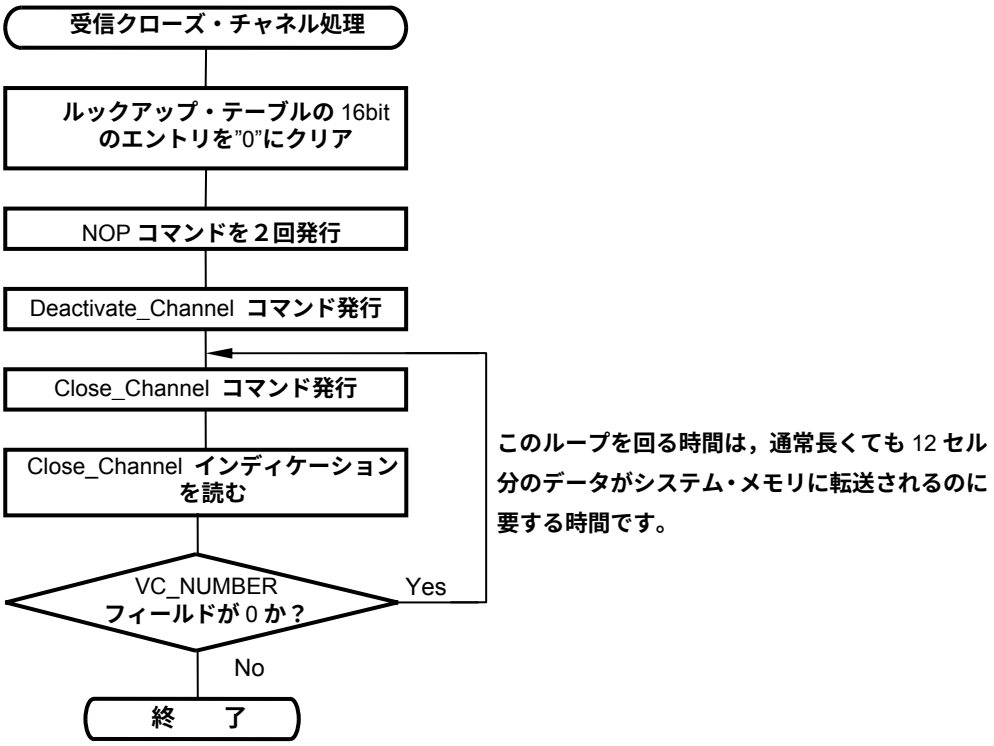
○受信チャネル・クローズ

受信チャネルの Deactivate_Channel コマンドも送信側と同様に，そのチャネルのセル・データが受信 FIFO からホスト・システムにすべて転送されるまでの時間を保証するために使用されます。受信チャネルはルックアップ・テーブルのエントリがディスエーブルになると，その VC のセルを受け付けなくなり，アイドル状態となりますが，寸前に受けたセルが依然 FIFO に残っています。そのセルの処理を終えるまでの間，Close_Channel を実行しないようにするためのコマンドです。

受信チャネルをクローズするときのフロー・チャートを図６－３に示します。

保守／廃止

図６－３　受信クローズ・チャネル処理のフロー・チャート



① 受信ルックアップ・テーブルの 16bit のエントリを“０”にクリアします。

② NOP コマンドを２回発行してウエイトを入れます。

③ その後，Deactivate_Channel コマンドを発行します。

④ Close_Channel コマンドを発行します。

⑤ Close_Channel インディケーションを読みます。

⑥ VC NUMBER フィールドが“０”かどうかを確認します。“０”ならば，④からの処理を行います。VC NUMBER フィールドにクローズするチャネルの VC NUMBER が格納されていれば，受信クローズ・チャネルの処理は終了です。

備考１．μPD98409 は受信チャネルの Deactivate_Channel コマンドを完了すると，そのステータス・コードを含む受信インディケーションを指定された受信メールボックスに格納します。
ただし，Close_Channel コマンドを発行するのにこの受信インディケーションが格納されるのを待つ必要はありません。

２．MPEG-TS パケットに設定された受信チャネルをクローズするときには，次の処理が行われます。内部受信 FIFO に残っているセル・データを PCI バスに出力した後のそのパケットの転送バイト数が 188 の倍数でない場合には，188 の倍数になるようにダミー・データ“０”を TS-ADDRESS アドレスに書き込みます。（1〜46 ワード・バースト転送になります。）

⑥ Tx_Ready コマンド

コマンド･レジスタのプログラミング

- 0 -	1	1	0	0	- 0 -	VC NUMBER	- 0 -
31 30 29				26 25	10	9 3	2 0

パラメータ説明

VC NUMBER (bit3-bit9)：μPD98409 に送信動作を開始させるチャネルの“ VC NUMBER ”です。

コマンド説明

Tx_Ready コマンドは，このチャネルに送信パケットが追加されている（送信キューに新しいパケット・ディスクリプタが追加されている）ことをμPD98409 に通知させるため，ホストが使用します。μPD98409 は Tx_Ready コマンドを受け付けると，対象となる送信 VC テーブルをアクティブ状態にして送信を開始します。

チャネルのアクティブ状態は，V ビットが“ 0 ”であるパケット・ディスクリプタに到達するまで保持します。したがって，この Tx_Ready コマンドは１つの送信パケットに対して一度発行しなければならないわけではありません。

たとえば，一度に３つの有効なパケット・ディスクリプタを送信キューに連続して並べ，Tx_Ready コマンドを発行すると，μPD98409 は３つのパケットを送信し終えてから，アイドル状態となります。また，μPD98409 は，アクティブ状態にあるチャネルに対して発行された Tx_Ready コマンドを無視し，そのチャネルの送信動作に影響を与えません。

⑦ Add_Batches コマンド

コマンド･レジスタのプログラミング

CMR

- 0 -	1	1	0	1	- 0 -	POOL NO.	NUMBER OF BATCHES
31 30 29				26 25	21 20	16 15	0

CER:

BATCH POINTER
31 0

パラメータ説明

POOL NO.　：対象となるプールの番号 0-31（0000B-11111B）を指定します。

NUMBER OF BATCHES　：新しく追加するバッチの数を書き込みます。

BATCH POINTER　：新しく追加するバッチ・リストの最初のバッチの先頭アドレスを書き込みます。

保守／廃止

コマンド説明

Add_Batches コマンドは 32 の受信フリー・バッファ・プールの１つに未使用のバッチを追加するため，ホストが使用します。このコマンドはコマンド拡張レジスタ（CER）を使用するコマンドです。ホストはまず，コマンド拡張レジスタに“ BATCH POINTER ”をライトしてから，コマンド・レジスタ（CMR）にライトします。

Add_Batches コマンドを受け付けたときのμPD98409 の動作は，そのとき対象プールに未使用バッチが残っているか，いないかによって異なります。

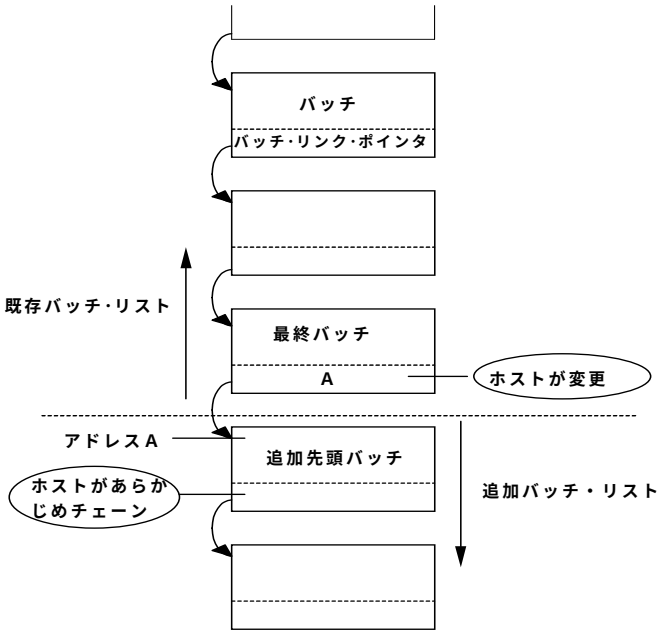
（a）プールに未使用バッチが残っているとき

（プール・ディスクリプタの“ REMAINING NUMBER OF BATCHES ”が“ 0 ”でないとき）

μPD98409 はコマンドの“ NUMER OF BATCHES ”の数の値を，プール・ディスクリプタの“ REMAINING NUMBER OF BATCHES ”に加算します。このとき，ホストは，残っているバッチの“ バッチ・リンク・ポインタ ”を新規追加するバッチの先頭アドレスに変更しなければなりません（図６－４　参照）。

また，追加するバッチもリンク・ポインタでチェーンさせておく必要があります。

図６－４　Add_Batches コマンド発行前のホストの作業



（b）プールが空のとき

（プール・ディスクリプタの“ REMAINING NUMBER OF BATCHES ”が“ 0 ”のとき=RQU 状態のとき）

プールが空のとき，Add_Batches コマンドを受け付けると，コマンドの“ NUMBER OF BATCHES ”および“ BATCH POINTER ”をそれぞれコントロール・メモリ内プール・ディスクリプタの“ REMAINING NO. OF BATCHES ”および“ ADDRESS”フィールドにロードします。

保守／廃止

⑧ NOP コマンド

コマンド･レジスタのプログラミング

- 0 -	1	1	1	1	1	1	- 0 -
31 30	29						23 … 0

コマンド説明

NOP コマンドは，ほかのコマンド（Deactivate_Channel コマンドなど）の実行を遅延させるために，ホストが使用します。このコマンドを受けると，μPD98409 は受け付けから次のコマンド・ステート（24 クロック）のあいだ B ビットを１にセットするだけで，内部動作としては何も行いません。

⑨ Indirect_Access コマンド

コマンド･レジスタのプログラミング

CMR:

- 0 -	0	R/W	B3	B2	B1	B0	- 0 -	TGT	- 0 -	ADDRESS
31 30	29	28	27	26	25	24	23 … 20	19 18	17 … 11	10 … 0

CER:

DATA
31 … 0

パラメータ説明

R/W　：ターゲットに対するアクセスがリード，ライトのどちらであるかを指定します。

1 - リード

0 - ライト

B3，B2，B1，B0 ：μPD98409 はコントロール・メモリに対するライト・アクセスにおいて，このビットに“１”をセットされたバイトにのみデータの書き込みを行います。

コントロール・メモリに対するライト・アクセス以外の場合には，このビットの設定は無効です。

1 - 該当バイトに対する書き込みを許可

0 - 該当バイトに対する書き込みを行わない

TGT（Target）　：対象となるデバイスを指定します。

“00” ････････ コントロール・メモリ

“01” ････････ μPD98409 の間接アドレス・レジスタ

“11”，“10”･･ PHY デバイス

ADDRESS　：対象デバイスに出力するアドレス。

DATA　：ライト時は，ホストがアドレス指定した対象に書き込みたい内容を設定します。

リード時は，アドレス指定した対象から引き取った内容をμPD98409 が格納します。

保守／廃止

コマンド説明

Indirect_Access **コマンドは，下記の対象デバイスにデータのリード／ライト・アクセスをするためにホストが使用します。**

○μPD98409 **内部の間接アドレス・レジスタ**

○**コントロール・メモリ**

○PHY **デバイス**

このコマンドはコマンド拡張レジスタ（CER**）とペアで使用します。**

ライト・アクセスの場合，ホストはコマンド拡張レジスタに対象デバイスへ書き込みたいデータを格納します。それから，コマンド・レジスタにコマンドを書き込みます。μPD98409 **はコマンドを受け付けると，対象デバイスに対してライト・サイクルを起動します。**

リード・アクセスでは，コマンド・レジスタにコマンドを書き込みます。μPD98409 **は対象デバイスに対しリード・サイクルを実行し，要求されたデータをコマンド拡張レジスタに格納します。ホストは，コマンドが完了したことを確認後，コマンド拡張レジスタをリードします。**

Indirect_Access **コマンドで起動するリード／ライト・サイクルは，対象デバイスによって異なります。**μPD98409 **内部の間接アドレス・レジスタとコントロール・メモリへのサイクルは，**μPD98409 **の内部バスで実行されます。**PHY **デバイスに対するサイクルは，アドレス線（**CA8-CA0**），データ線（**CD7-CD0**）と，**PHY **デバイス・インタフェースの制御信号（**PHOE_B**，**PHCE_B**，**PHRW_B**）を用いて実行されます。**

保守／廃止

［メ　モ］

保守／廃止

第７章　内部レジスタ

μPD98409の内部レジスタには，直接アドレス・レジスタと間接アドレス・レジスタの２種類があります。直接アドレス・レジスタには，バス・インタフェースを介して直接アクセスします。間接アドレス・レジスタには，Indirect_Accessコマンドを実行することによってアクセスします。

備考１．レジスタの割り当てられていないアドレスには，アクセスしないでください。
２．アクセス・モードがリードのみのレジスタには，ライト動作を行わないでください。
３．アクセス・モードがリード／ライトのレジスタで，“０”と記述されているフィールドには，“０”を設定してください。

７.１　レジスター覧

（１）直接アドレス・レジスタ　(1/2)

アドレス B (H)	レジスタ	機　　能	リード／ライト
00	GMR	ジェネラル・モード・レジスタ	リード／ライト
04	GSR	ジェネラル・ステータス・レジスタ	リード
08	IMR	割り込みマスク・レジスタ	リード／ライト
0C	RQU	受信キュー・アンダーラン	リード
10	RQA	受信キュー警告	リード
14	ADDR	最終バースト・アドレス	リード
18	VER	バージョン・ナンバ	リード
1C	SWR	ソフトウエア・リセット	ライト
20	CMR	コマンド・レジスタ	リード／ライト
28	CER	コマンド拡張レジスタ	リード／ライト
30	ECCR	EEPROM コマンド･コントロール･レジスタ	リード／ライト
34	ERDR	EEPROM リード・データ･レジスタ	リード
40	MSH0	メールボックス０スタート・アドレス・ハイ	リード／ライト
44	MSH1	メールボックス１スタート・アドレス・ハイ	リード／ライト
48	MSH2	メールボックス２スタート・アドレス・ハイ	リード／ライト
4C	MSH3	メールボックス３スタート・アドレス・ハイ	リード／ライト
50	MSL0	メールボックス０スタート・アドレス・ロウ	リード／ライト
54	MSL1	メールボックス１スタート・アドレス・ロウ	リード／ライト
58	MSL2	メールボックス２スタート・アドレス・ロウ	リード／ライト
5C	MSL3	メールボックス３スタート・アドレス・ロウ	リード／ライト
60	MBA0	メールボックス０ボトム・アドレス	リード／ライト
64	MBA1	メールボックス１ボトム・アドレス	リード／ライト

保守／廃止

(2/2)

アドレス B (H)	レジスタ	機　　能	リード／ライト
68	MBA2	メールボックス 2 スタート・アドレス・ハイ	リード／ライト
6C	MBA3	メールボックス 3 スタート・アドレス・ハイ	リード／ライト
70	MTA0	メールボックス 0 テール・アドレス	リード／ライト
74	MTA1	メールボックス 1 テール・アドレス	リード／ライト
78	MTA2	メールボックス 2 テール・アドレス	リード／ライト
7C	MTA3	メールボックス 3 テール・アドレス	リード／ライト
80	MWA0	メールボックス 0 ライト・アドレス	リード／ライト
84	MWA1	メールボックス 1 ライト・アドレス	リード／ライト
88	MWA2	メールボックス 2 ライト・アドレス	リード／ライト
8C	MWA3	メールボックス 3 ライト・アドレス	リード／ライト

（2）間接アドレス・レジスタ

間接アドレス・レジスタには，μPD98409 の Indirect_Access コマンドを使用します。

スケジューラ・レジスタ

アドレス (H)	レジスタ	機　　能
40000 - 40001	I, M	スケジューラ 0-1 の I および M エントリ
40010 - 40011	X	スケジューラ 0-1 の X エントリ
40020 - 40021	Y	スケジューラ 0-1 の Y エントリ
40030 - 40031	P, C, p, c	スケジューラ 0-1 の P, C, p, c エントリ
40040 - 40041	Pri & Status	スケジューラ 0-1 のプライオリティとステータス

その他のレジスタ

アドレス (H)	レジスタ	機　　能
40100	TOS	トップ・オブ・スタックのコントロール・メモリ・アドレス
40200	SMA	シェーパのコントロール・メモリ・スタート・アドレス
40201	PMA	受信プールのコントロール・メモリ・スタート・アドレス
40300	T1R	T1 レジスタ
40301	VRR	VPI/VCI リダクション・レジスタ／グローバル・シャットダウン
40302	TSR	タイム・スタンプ・レジスタ
40500	GPOR	汎用出力ポート・レジスタ

保守／廃止

７.２　直接アドレス・レジスタ

（１）GMR（ジェネラル・モード・レジスタ）

GMR レジスタは主にμPD98409 の動作するモード選択，および送受信機能をイネーブルにするためにホストが設定するレジスタです。ホストはデバイスのリセット後，最初に設定します。

このレジスタは，μPD98409が動作するうえでの基本モードを設定しているため，ホストがこのレジスタのSE，RE ビットを設定してμPD98409 が送受信動作を開始してからは，内容を変更しないでください。誤動作の原因になります。

アドレス　　：00H

アクセス・モード：リード／ライト

- 0 -	UCE	ICM	PSM	UOC	- 0 -	TBE	0	LP	- 0 -	SZ	AD	- 0 -	DR	SE	RE
31 30	29	28	27	26	25 17	16	15	14	13 12	11 8	7	6 3	2	1	0

フィールド	機　　能	リセット後の値
UCE	パケット間セル送出機能の選択 0 -　VC チャネルの状況にかかわらず，常に PHY レイヤ・デバイスに対して ICM フィールドで選択したセルを送信します。 1 - アクティブの VC が 1 つも存在しないとき，TENBL 信号をハイ・レベルにし，セルの送出を行いません。 レート調整用のためのみ，ICM フィールドで選択したセルを送出します。	1：アクティブのVC が 1 つも存在しないときにはセルの送出を行わない
ICM	アイドル・セル・モード 0 - レート調整用のセル，パケット間に挿入するセルおよびアンアサインド・セル・ジェネレータ機能で送出するセルとしてアンアサインド・セルを選択します。 1-　レート調整用のセル，パケット間に挿入するセルおよびアンアサインド・セル・ジェネレータ機能で送出するセルとしてアイドル・セルを選択します。	0：アンアサインド・セル送出
PSM	受信インディケーションの受信パケット・サイズ通知モード 0 -　セグメント単位で受信 AAL-5 パケット全体のサイズを通知。 1 -　受信パケットの Length フィールドでの通知。 ユーザ・データ長のみをバイト単位で通知。ただし，エラー・パケットはセル単位。	0：セル単位で通知。
UOC	UTOPIA インタフェース・モード 0 -　オクテット・レベル・モード 1 -　セル・レベル・モード	0：オクテット・レベル・モード

保守／廃止

フィールド	機　　能	リセット後の値
TBE	12 ワード・バースト・イネーブル 0 - ディスエーブル 1 - イネーブル 12 ワード・バーストをイネーブルにする場合は，AD ビットも“1”に設定しなければなりません。	0：ディスエーブル
LP	ループバック・モードの設定 0 - 通常動作 1 - ループバック・モード	0：通常動作
SZ	バースト・サイズのイネーブル 複数のバーストをイネーブルにすることができます。 ビット 8 が“1” - 2 ワード・バースト・イネーブル ビット 9 が“１” - 4 ワード・バースト・イネーブル ビット 10 が“１”- 8 ワード・バースト・イネーブル ビット 11 が“１”- 16 ワードがイネーブル **備考**　μPD98409 は，16 ワード・バーストを Raw セル・データの格納時のみ使用します。	オール 0。すべての複数ワード DMA 転送がディスエーブル。1 ワード転送のみイネーブル。
AD	μPD98409 が DMA 転送を行う際，転送先のアドレス・フィールドを調べ，バースト・サイズを自動選択する機能のイネーブル／ディスエーブル制御。 0 - イネーブル 1 - ディスエーブル	0：イネーブル
DR	受信廃棄モードの選択 0 - Drop モード。受信 FIFO が一杯になったとき，オーバラン発生としてセルを内部で廃棄。 1 - No Drop モード。受信 FIFO が一杯になったとき，RENBL_B 信号でセル転送中断を PHY デバイスに要求。μPD98409 はセルを廃棄しません。 **注意**　MPEG-TS パケット受信機能を使用する場合，必ず No Drop モードに設定してください。Drop モードに設定した場合の動作は保証できません。	0：Drop モード
SE	シェーパ・イネーブル／ディスエーブル制御 μPD98409 の送信機能をイネーブルにするビットです。 1 - 送信イネーブル 0 - 送信ディスエーブル	0：送信ディスエーブル
RE	受信機能イネーブル／ディスエーブル制御 μPD98409 の受信機能をイネーブルにするビットするビットです。 1 - 受信イネーブル 0 - ディスエーブル	0：受信ディスエーブル

（２）GSR（ジェネラル・ステータス・レジスタ）

GSR レジスタは，発生した割り込み要因を示すレジスタです。内部で割り込み要因が発生すると，このレジスタの対応ビットが 1 にセットされます。割り込みマスク・レジスタ IMR レジスタの対応するビットでマスクが解除されている場合は，割り込みが発生します。ホストからリードされることによってクリアされます。クリアされる前に同じ要因が発生した場合は，1 を上書きします。

アドレス　　：04H

アクセス・モード：リードのみ

PI	RQA	RQU	RD	- 0 -	IND	0	PER	FER	- 0 -	RCR(7:0)	MF(3:0)	MM(3:0)
31	30	29	28	27　　25	24	23	22	21	20　　16	15　　8	7　　4	3　　0

フィールド	機　　能	リセット後の値
PI	PHY デバイスからの割り込み “ 1 ” は PHY デバイスから PHINT_B 端子にロウ・レベルが入力され，割り込みを受信したことを示します。	0
RQA	受信バッファ警告 プール・ディスクリプタの “ REMANING NUMBER OF BATCHES IN THE POLL ” に，“ ALERT LEVEL ” を越えたプールがあることを示します。ホストは，どのプールで発生したかを知るために，続けて RQA レジスタをリードします。	0
RQU	受信フリー・バッファ・アンダーフロー プール・ディスクリプタの “ REMANING NUMBER OF BATCHES IN THE POLL ” が，0 になった（未使用バッチがなくなった）プールがあることを示します。ホストは，どのプールで発生したのかを知るために，続けて RQU レジスタをリードします。	0
RD	レシーバ・ディアクティベート完了 “ 1 ”は，ホストが発行したグローバル・シャットダウンの実行が完了し，受信機能が停止したことを示します。	0
IND	コントロール・メモリ初期化完了 “ 1 ” は，μPD98409 がリセット後に行う，コントロール・メモリの初期化作業が完了したことを示します。リセットされてから，このビットがセットされるまで，システム・クロックで約 32K クロックの時間を費やします。その間，ホストは μPD98409 に対してコマンド・レジスタ以外の直接アドレス・レジスタしかアクセスできません。	0

保守／廃止

フィールド	機　　能	リセット後の値
PER	PCI バスのパリティ・エラーに関するステータ・スビットです。次のケースで 1 にセットされます。 ・マスタ・ライトの時，PERR_B がアクティブになったことを μPD98409 が検出した。 ・マスタ・リードの時，μPD98409 がデータ・フェーズでパリティ・エラーを検出した。	0
FER	PCI バスのトランザクションに関するエラーのステータス・ビットです。次のケースが発生した場合に 1 にセットされます。 ・DEVSEL_B 信号がアクティブにならないので，μPD98409 がマスタ・アボートを実行した。 ・ターゲットが STOP_B 信号をアクティブにし，ターゲット・アボートを実行した。 ・リトライ・タイマが満了し，トランザクションが終了した。 ・TRDY タイマが満了し，トランザクションが終了した。 このビットが 1 にセットされると，μPD98409 の送受信機能，およびマスタ機能は停止します。直接アドレス・レジスタに対するターゲット・トランザクションは受け付けることができるのでソフトウエア・リセットを実行してください。	0
RCR(7:0)	Raw セル・データ受信 “1”はμPD98409 が Raw セル・データをプールに格納したことを示します。ビット 8 が RCR0 に対応しており，プール 0 番に格納したことを表します。	0
MF(3:0)	メールボックス・フル “1”はそのビットに対応するメールボックスで，ホストのリード・ポインタ（MTA）にμPD98409 のライト・ポインタ（MWA）が追いつき一致していることを示します。ビット 4 が MF0 に対応しており，メールボックス 0 番のフルを表します。	0
MM(3:0)	メールボックスにインディケーションを格納 “1”は，ビットに対応するメールボックスにμPD98409 が新たなインディケーションを格納したことを示します。 ビット 0 が MM0 に対応し，メールボックス 0 番に格納されたことを表します。	0

（３）IMR（割り込みマスク・レジスタ）

IMR レジスタは，割り込み要因ごとに割り込み発行のマスク／マスク解除の設定を行うレジスタです。GSR レジスタのそれぞれのビットに対応するマスク・ビットが，IMR レジスタの同じ位置にあります。マスク解除されたビットに対応する GSR レジスタのビットが 1 にセットされると，割り込み出力端子をアクティブにします。

アドレス　　：08H

アクセス・モード：リード／ライト

MASK

31　　0

フィールド	機　　能	リセット後の値
MASK	GSR レジスタのそれぞれのビットに対応するマスク・ビットが，マスク・レジスタの同じ位置にあります。 0 - マスク 1 - マスク解除。GSR レジスタに 1 がセットされると，その割り込みを発生します。	オール 0。 すべての割り込みはマスクされています。

（４）RQU（フリー・バッファ・アンダーフロー・レジスタ）

RQU レジスタは，フリー･バッファがなくなったプールに対応するビットが，1 にセットされます。このレジスタのビットのどれか 1 つでも 1 にセットされると，GSR レジスタの RQU ビットが 1 にセットされます。

μPD98409 がフリー・バッファがなくなったことを検出するのは，セルを受信し，そのデータをシステム・メモリに転送しようとするときです。フリー・バッファが補充されるまでは，フリー・バッファがないプールに設定された VC のセルは廃棄され続け，新規パケットが到着するたびにこのビットがセットされます。

アドレス　　：0CH

アクセス・モード：リードのみ

31　　0

フィールド	機　　能	リセット後の値
Receive Queue Underrun	ビット 0 番がプール 0 番，ビット 31 がプール 31 番に対応しています。“1”はそのビット位置に対応するプールに，もうフリー・バッファがないことを示します。	オール 0

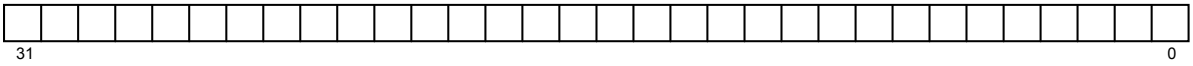
（５）RQA（受信キュー警告レジスタ）

RQA レジスタは，プールのバッチが消費され，残りバッチ数を示すプール・ディスクリプタの“ REMANING NUMBER OF BATCHEES IN THE POLL ”が，ユーザが設定した“ ALERT LEVEL ”のバッチ数と等しくなると 1 にセットされます。

このレジスタのビットのどれか 1 つでも 1 にセットされると，GSR レジスタの RQA ビットが 1 にセットされます。

アドレス　　：10H

アクセス・モード：リードのみ



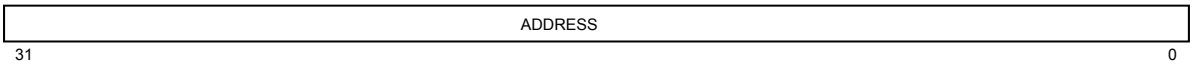
フィールド	機　　能	リセット後の値
Receive Queue Alert	ビット 0 番がプール 0 番に，ビット 31 がプール 31 番に対応しています。“ 1 ”はそのビット位置に対応するプールの残りバッチ数が，ALERT LEVEL に達したことを表します。プールのフリー・バッファをまもなく使い切ろうとしていることを表します。	オール 0

（６）ADDR（バースト・アドレス・レジスタ）

ADDRレジスタは，デバイスのテスト時などに使用するレジスタです。ホストがこのレジスタをリードした時点で，μPD98409が最後に実行したDMAサイクルのアドレスが格納されています。

アドレス　　：14H

アクセス・モード：リードのみ



フィールド	機　　能	リセット後の値
ADDRESS	最終バースト・アドレス ホストが読み出す時点までに実行した最後の DMA サイクルの転送アドレス。	オール 0

保守／廃止

（7）VER（バージョン・レジスタ）

このチップのバージョンごとのコードを格納しています。このレジスタをリードすることにより，チップのバージョンを認識することができます。

アドレス　　：18H
アクセス・モード：リードのみ

- 0 -	MAJOR REVISION	MINOR REVISION
31　　16	15　　8	7　　0

フィールド	機　　能	リセット後の値
MINOR REVISION	このチップのバージョンを示すコードが格納されています。	当社販売員にお問い合わせください。
MAJOR REVISION		02H

（8）SWR（ソフトウエア・リセット仮想レジスタ）

アドレス　　：1CH
アクセス・モード：ライトのみ

SWR は仮想レジスタです。アドレス 1CH に対するどのようなライト・オペレーションでも，ソフトウエア・リセットになります。

（9）CMR（コマンド・レジスタ）

アドレス　　：CMR　：20H
アクセス・モード：リード／ライト

CMR レジスタは，μPD98409 にコマンドを書き込み，書き込んだコマンドに対するコマンド・インディケーションを受け取るためにホストが使用します。使用方法については，**第６章　コマンド**を参照してください。

（10）CER（コマンド拡張レジスタ）

アドレス　　：CER　：28H
アクセス・モード：リード ／ライト

CER レジスタは，Indirect_Access コマンドおよび Add_Batches コマンドを発行する場合に使用します。使用方法については，**第６章　コマンド**を参照してください。

保守／廃止

（11）ECCR レジスタ

EEPROM に対するコマンドおよびライトするデータ，アドレスを設定します。

アドレス　　：30H

アクセス・モード：リード ／ライト

DATA	0	COMMAND	ADDRESS
31　　16	15　　9	8　　6	5　　0

フィールド	機　　能	リセット後の値
DATA	EEPROM ライト・データ EEPROM にライトする２バイト・データを設定します。	0
COMMAND	EEPROM コマンド EEPROM に対する各種コマンドを設定します。	0
ADDRESS	EEPROM アドレス EEPROM のアドレスを設定します。	0

EEPROM コマンド一覧

ビット				コマンド説明	
8	7	6	5-0		
1	1	0	アドレス	READ	データ・リード ERDR レジスタの下位 16 ビットに格納します。
1	0	1	アドレス	WRITE	データ・ライト
1	1	1	アドレス	ERASE	データ消去
1	0	0	11xxxx	EWEN	ライト／消去イネーブル
1	0	0	10xxxx	ERAL	すべての領域を消去
1	0	0	01xxxx	WRAL	すべての領域データをライト
1	0	0	00xxxx	EWDS	ライト／消去をディスエーブル

（12）ERDR レジスタ

EEPROM からリードしたデータが格納されます。

アドレス　　：34H

アクセス・モード　：リード

B	0	READ DATA
31	30 … 16	15 … 0

フィールド	機　　能	リセット後の値
B	リード・データの有効／無効表示 0 - READ DATA フィールド・データが有効。 1 -リード・コマンド実行中であり，READ DATA フィールドは無効。	0
READ DATA	リード・データ リード・コマンドを実行して読み込まれたデータが格納されます。	0

（13）MSH0-MSH3（メールボックス・スタート・アドレス・ハイ）（4レジスタ）

アドレス　　：40H - MSH0：メールボックス 0

44H - MSH1：メールボックス 1

48H - MSH2：メールボックス 2

4CH - MSH3：メールボックス 3

アクセス・モード　：リード／ライト

MSH0-MSH3 はシステム・メモリに設定する 4 つのメールボックスのスタート・アドレス 32 ビットのうち，上位 16 ビットを設定するレジスタです。ホストは，4 つのメールボックスのうち，使用するメールボックスの MSH に設定します。リセット後の初期値は不定です。

- 0 -	MSH0
31 … 16	15 … 0

- 0 -	MSH1
31 … 16	15 … 0

- 0 -	MSH2
31 … 16	15 … 0

- 0 -	MSH3
31 … 16	15 … 0

（14）MSL0-MSL3（メールボックス・スタート・アドレス・ロウ）（4レジスタ）

アドレス　：　50H - MSL0：**メールボックス** 0

54H - MSL1：**メールボックス** 1

58H - MSL2：**メールボックス** 2

5CH - MSL3：**メールボックス** 3

アクセス・モード　：　**リード／ライト**

MSL0-MSL3 **はシステム・メモリに設定する** 4 **つのメールボックスのスタート・アドレス** 32 **ビットのうち，下位** 16 **ビットを設定するレジスタです。ホストは，**4 **つのメールボックスのうち，使用するメールボックスの** MSL **に設定します。リセット後の初期値は不定です。**

- 0 - (31–16)	MSL0 (15–0)

- 0 - (31–16)	MSL1 (15–0)

- 0 - (31–16)	MSL2 (15–0)

- 0 - (31–16)	MSL3 (15–0)

（15）MBA0-MBA3（メールボックス・ボトム・アドレス）（4レジスタ）

アドレス　：60H　- MBA0：**メールボックス** 0

64H　- MBA1：**メールボックス** 1

68H　- MBA2：**メールボックス** 2

6CH　- MBA3：**メールボックス** 3

アクセス・モード　：**リード／ライト**

MBA0-MBA3 **はシステム・メモリに設定する** 4 **つのメールボックスのボトム・アドレス** 32 **ビットのうち，下位** 16 **ビットを格納します。ボトム・アドレスは，メールボックス領域として使用する領域の最終ワードの次のアドレスを格納します。ホストは使用するメールボックスの** MBA **に設定します。**

アドレスの上位 16 **ビットは** MSH **を使用します。このレジスタに設定する値は，**MSL **と等しくならないようにしてください。リセット後の初期値は不定です。**

- 0 - (31–16)	MBA0 (15–0)

- 0 - (31–16)	MBA1 (15–0)

- 0 - (31–16)	MBA2 (15–0)

- 0 - (31–16)	MBA3 (15–0)

（16）MTA0-MTA3（メールボックス・テール・アドレス）（4レジスタ）

アドレス　：　70H　- MTA0：**メールボックス** 0

74H　- MTA1：**メールボックス** 1

78H　- MTA2：**メールボックス** 2

7CH　- MTA3：**メールボックス** 3

アクセス・モード　：　**リード／ライト**

MTA0-MTA3 **は，**4 **つのメールボックスそれぞれのホストが読み出したリード・ポインタの下位** 16 **ビットを格納します。このレジスタはホストが管理します。ホストは，送受信インディケーションの処理を終えるたびに，処理を終えた次のインディケーションの開始アドレスをライトし更新します。リセット後の初期値は不定です。リセット後の初期設定時，ホストは，**MSL **と同じ値を設定します。**

- 0 -	MTA0
31　　16	15　　0

- 0 -	MTA1
31　　16	15　　0

- 0 -	MTA2
31　　16	15　　0

- 0 -	MTA3
31　　16	15　　0

（17）MWA0-MWA3（メールボックス・ライト・ポインタ）（4レジスタ）

アドレス　：　80H　- MWA0：**メールボックス** 0

84H　- MWA1：**メールボックス** 1

88H　- MWA2：**メールボックス** 2

8CH　- MWA3：**メールボックス** 3

アクセス・モード　：**リード／ライト**

MWA0-MWA3 **は，**4 **つのメールボックスのそれぞれのライト・ポインタの下位** 16 **ビットが格納されます。このレジスタは，**μPD98409 **に管理されます。**μPD98409 **はインディケーションを格納するたびに，このレジスタのアドレスをインクリメントして更新します。リセット後の初期値は不定です。リセット後の初期設定時，ホストは** MSL **と同じ値を設定します。**

- 0 -	MWA0
31　　16	15　　0

- 0 -	MWA1
31　　16	15　　0

- 0 -	MWA2
31　　16	15　　0

- 0 -	MWA3
31　　16	15　　0

保守／廃止

７.３　間接アドレス・レジスタ

（１）TOS（トップ・オブ・スタック）

ホストはコントロール・メモリのフリー・ブロック・プールの開始アドレス（200H）を設定します。その後，このレジスタは，μPD98409 によって管理され，VC テーブルとして割り当てることができるフリー・ブロックを指しているポインタとして機能します。リセット後の初期値は 0 です。

アドレス　　：40100H
アクセス・モード：リード／ライト

- 0 -	TOP OF STACK ADDRESS
31 ～ 10	9 ～ 0

（２）SMA（シェーパ・ポインタ・エントリ・スタート・アドレス）

SMA は，ホストがコントロール・メモリのシェーパ・ポインタ領域の開始アドレス（080H）を設定するレジスタです。リセット後の初期値は 0 です。

アドレス　　：40200H
アクセス・モード：リード／ライト

- 0 -	SHAPERS START ADDRESS
31 ～ 10	9 ～ 0

（３）PMA（受信フリー・バッファ・プール・ポインタ・スタート・アドレス）

PMA は，ホストがコントロール・メモリの受信フリー・バッファ・プール・ポインタ領域の開始アドレス（040H）を設定するレジスタです。リセット後の初期値は 0 です。

アドレス　　：40201H
アクセス・モード：リード／ライト

- 0 -	RECEIVE POOL START ADDRESS
31 ～ 10	9 ～ 0

（４）T1R （T1 タイム）

T1R は，ユーザが 1 パケットの受信に許可する時間を設定します。32 ビット値の上位 16 ビットで定義し，時間の単位は，65536 システム・クロック周期です（**７.３　間接アドレス・レジスタ（6）TSR（タイム・スタンプ・レジスタ）**参照）。下位 16 ビットは，“ 0000H ” となり使用されません。

リセット後の初期値は “ FFFFH ” です。

アドレス　　：40300H

アクセス・モード：リード／ライト

- 0 -	T1 VALUE
31 – 16	15 – 0

（５）VRR（VPI/VCIリダクション・レジスタ）

VRR レジスタは，受信する VPI/VCI の 24 パターンを内部ロジック・コード 15 ビットに縮小するために使用する，4 ビットの “ SHIFT ” パラメータと 15 ビットの “ MASK ” パラメータを設定します。

変換アルゴリズムについては，**５.５.４　受信ルックアップ・テーブルの設定**を参照してください。

また，MSB ビットは “ グローバル・シャットダウン ” コマンドのビットにアサインされています。ホストがこのビットに 1 を書き込むと，μPD98409 は実行中のすべての受信処理を中断し，GSR レジスタの RD ビットを 1 にセットしたあと，マスクされていなければ割り込みを発行します。

リセット後の初期値は，‘ 00007FFFH ’ です。

アドレス　　：40301H

アクセス・モード：リード／ライト

SDM	- 0 -	SHIFT	0	MASK
31	30 – 20	19 – 16	15	14 – 0

SDM：　グローバル・シャットダウン・ビット

0 - 通常動作

1 - シャットダウンの実行

（6）TSR（タイム・スタンプ・レジスタ）

TSR レジスタは，μPD98409 がシステム・クロックの周期でカウントアップする 32 ビットのカウンタ・レジスタです。T1 タイマ機能のパケット着信開始時間として用います。リセット後の初期値は 0 ですが，μPD98409 はリセット後，すぐにカウントアップを始めます。

アドレス　　：40302H
アクセス・モード：リード／ライト

COUNT
31　　0

（7）GPOR（汎用出力ポート・レジスタ）

μPD98409 の汎用出力ポート（PO3-PO0）から出力するレベルを設定するレジスタです。GPOR レジスタの PO3-PO0 ビットが，それぞれ PO3-PO0 端子に対応し，“ 0 ” が設定されるとロウ・レベルを，“ 1 ” が設定されるとハイ・レベルを出力します。リセット後の初期値は 0 です。

アドレス　　：40500H
アクセス・モード：リード／ライト

- 0 -	PO3	PO2	PO1	PO0
31　　4	3	2	1	0

保守／廃止

（８）スケジューラ・レジスタ

2個のシェーパそれぞれに5つのレジスタがあります。ホストは，使用するシェーパの平均レート，ピーク・レートなどを決めるパラメータを設定します。μPD98409は，トラフィック制御で計算に用いる変数，およびシェーパのステータスを示すフラグをこのレジスタに格納します。

注意１　スケジューラ・レジスタのイネーブル・ビット（E）を 1 にセットするのは，μPD98409 が使用する変数とフラグが 0 クリアされており，パラメータ（I，M，P，C，Priority）に対する設定が終わってからにしてください。

２ スケジューラ・レジスタのすべての内容は，A ビット＝1 で，そのシェーパがアクティブ状態のときには，変更することができません。シェーパは，リンクされている VC テーブルが 1 つもない場合にインアクティブになります。I，M，P，C を変更する場合は，シェーパがインアクティブ（A ビット＝0）であることを確認し，イネーブル・ビット（E）を 0 に変更してから実行するようにしてください。そのとき，μPD98409 が使用するすべての変数とフラグを 0 クリアしてください。

アドレス (H)	レジスタ	アクセス・モード	機　　能
40000 - 40001	I, M	リード／ライト	スケジューラ 0-1 の I および M パラメータ
40010 – 40011	X	リード／ライト	スケジューラ 0-1 の x の値
40020 - 40021	Y	リード／ライト	スケジューラ 0-1 の y の値
40030 - 40031	P, C, p, c	リード／ライト	スケジューラ 0-1 の P，C パラメータおよび p，c 値
40040 - 40041	Pri & Status	リード／ライト	スケジューラ 0-1 のプライオリティおよびステータス

I,M register

I	M
31 – 24	23 – 0

x register

x
31 – 0

y register

y
31 – 0

P,C,p,c register

P	C	p	c
31 – 24	23 – 16	15 – 8	7 – 0

Pri & Status register

- 0 -	PRI	S	R	A	E
31 – 5	4	3	2	1	0

保守／廃止

フィールド	機　　能	リセット後の値
I，M	平均レート 平均レート・パラメータをセル単位で設定します。 M セルにつき，I セル送信の I/M で設定します。	0
x，y	テンポラリ・パラメータを格納するために，μPD98409 が使用します。	0
P	ピーク・セル・レート シェーパにリンクされたチャネルで，2 つの連続セルの送信間の最小時間差。セル単位で設定します。	不定
C	クレジット シェーパが累算できるクレジットの最大数を設定します。 I, M, P, C のパラメータから最大バースト・サイズが決定されます。	不定
P	テンポラリ・パラメータを格納するために，μPD98409 が使用します。	0
C	テンポラリ・パラメータを格納するために，μPD98409 が使用します。	0
PRI	プライオリティ シェーパに割り当てるプライオリティを設定します。 0 が高プライオリティ，1 が低プライオリティです。	不定
S	スキャン・フラグ μPD98409 がシェーパの状態を管理するために使用します。 ユーザは値を変更しないでください。	0
R	ラウンド・ロビン・フラグ μPD98409 がシェーパの状態を管理するために使用します。 ユーザは値を変更しないでください。	0
A	アクティブ・フラグ μPD98409 がシェーパの状態を管理するために使用します。 1 - シェーパがアクティブ 0 - シェーパがインアクティブ このビットは，アンアサインド・セル・ジェネレータ機能を使用するときのみ，ホストが 1 にセットします。	0
E	イネーブル このシェーパを使用する場合，ホストが“1”にセットします。 1 - シェーパをイネーブル 0 - ディスエーブル	0

保守／廃止

第８章　JTAG バウンダリ・スキャン

μPD98409 は，JTAG バウンダリ・スキャン回路を内蔵しています。

8.1　特　　徴

○IEEE1149.1 JTAG Boundary Scan Standard に準拠

○バウンダリ・スキャン専用の 3 つのレジスタ

- インストラクション・レジスタ
- バイパス・レジスタ
- バウンダリ・スキャン・レジスタ

○3 つの命令をサポート

- BYPASS 命令
- EXTEST 命令
- SAMPLE/PRELOAD 命令

○バウンダリ・スキャン専用端子（5 端子）

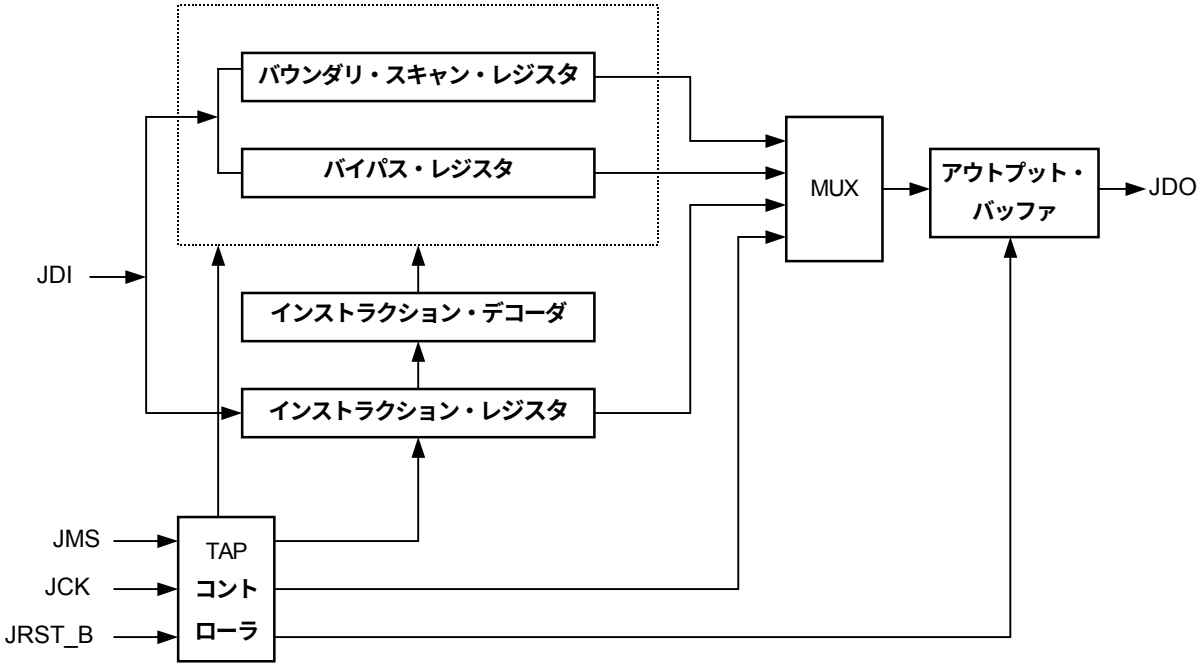
- JCK（JTAG Clock）
- JMS（JTAG Mode Select）
- JDI（JTAG Data Input）
- JDO（JTAG Data Output）
- JRST_B（JTAG Reset）

保守／廃止

８.２　バウンダリ・スキャン回路内部構成

図８－１に，μPD98409 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図８－１　バウンダリ・スキャン回路ブロック図



８.２.１　インストラクション・レジスタ（Instruction register）

インストラクション・レジスタは，2 ビットのシフト・レジスタで構成されており，JDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は，この命令データが決定します。

８.２.２　TAP コントローラ（Test Access Port controller）

TAP コントローラは，JCK 端子に入力されるクロックの立ち上がりで JMS 端子の信号をラッチすることにより，動作状態を変更します。

８.２.３　バイパス・レジスタ（Bypass register）

バイパス・レジスタは，TAP コントローラが Shift-DR 状態のときには，JDI 端子と JDO 端子の間で接続される 1 ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間，このレジスタが選択されているときには，JCK 端子に入力されるクロックの立ち上がりで JDO 端子へデータをシフトします。

このレジスタが選択されているとき，JTAG バウンダリ・スキャン回路の動作は，μPD98409 の動作に影響を与えません。

保守／廃止

８.２.４　バウンダリ・スキャン・レジスタ（Boundary Scan register）

バウンダリ・スキャン・レジスタは，μPD98409 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき，TAP コントローラの命令によりデータをラッチまたはロードします。

TAP コントローラが Shift-DR 状態の間，このレジスタが選択されている場合には，JCK 端子に入力されるクロックの立ち下がりで，JDO 端子へデータを LSB から出力します。

８.３　端子機能

８.３.１　JCK 端子（JTAG Clock pin）

JCK 端子は，JTAG バウンダリ・スキャン回路（バイパス・レジスタやインストラクション・レジスタ TAP コントローラ）へのクロック信号の供給に使用します。このクロック信号は，μPD98409 内部のほかの回路へは供給されないように分離しています。

８.３.２　JMS 端子（JTAG Mode Select pin）

JMS 端子への入力は，JCK 端子に入力されるクロックの立ち上がりでラッチされ，TAP コントローラの動作を定義します。

８.３.３　JDI 端子（JTAG Data Input pin）

JDI 端子は，JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

８.３.４　JDO 端子（JTAG Data Output pin）

JDO 端子は，JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。
JCK 端子に入力されるクロックの立ち下がりで出力を変化させます。また，この出力端子は 3 ステート出力であり，TAP コントローラにより制御されます。

８.３.５　JRST_B 端子（JTAG Reset pin）

TAP コントローラを非同期的に初期化します。このリセット信号は，μPD98409 を通常の動作モードにし，バウンダリ・レジスタを非動作状態にします。

保守／廃止

８.４　動作説明

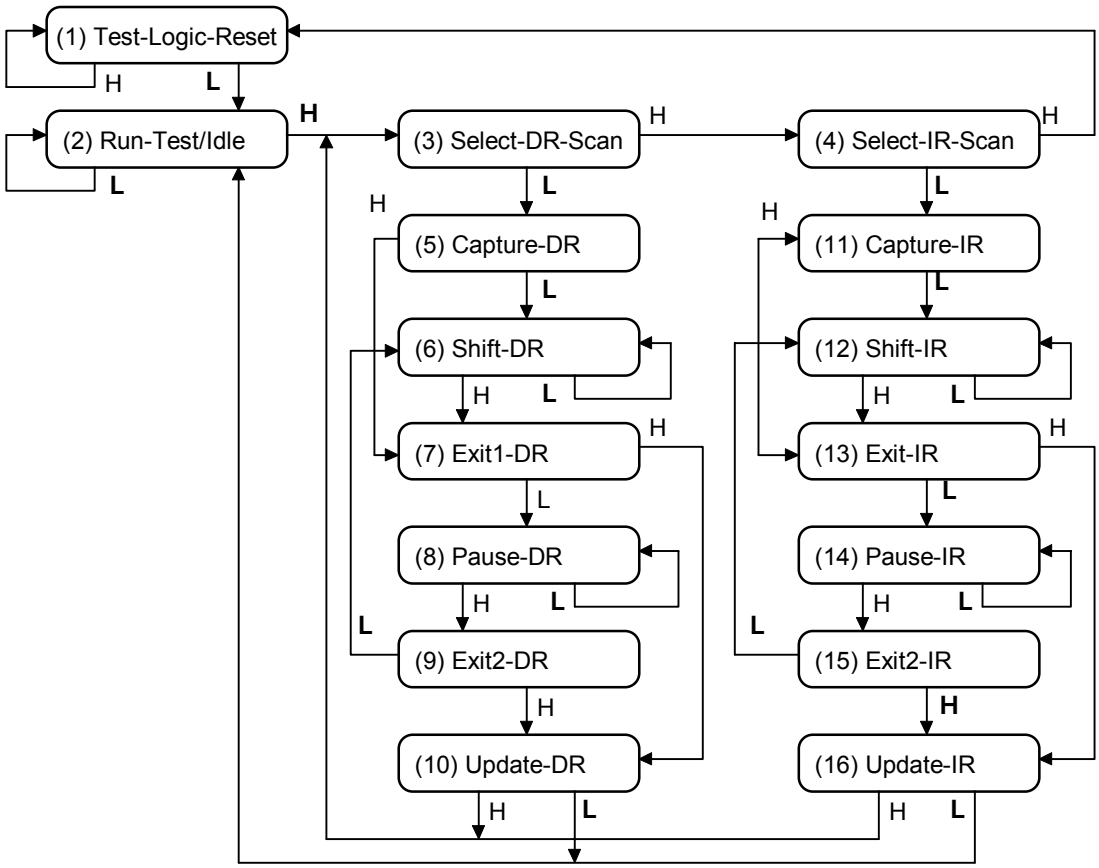
８.４.１　TAP コントローラ

TAP コントローラは，JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は，IEEE standard 1149.1 で規定されています。

８.４.２　TAP コントローラ状態

TAP コントローラの状態を図８－２に示します。TAP コントローラのすべての状態の変化は，JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ，バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は，JCK 端子に入力されるクロックの立ち上がり／立ち下がりで変化します（図８－３参照）。

図８－２　TAP コントローラの状態

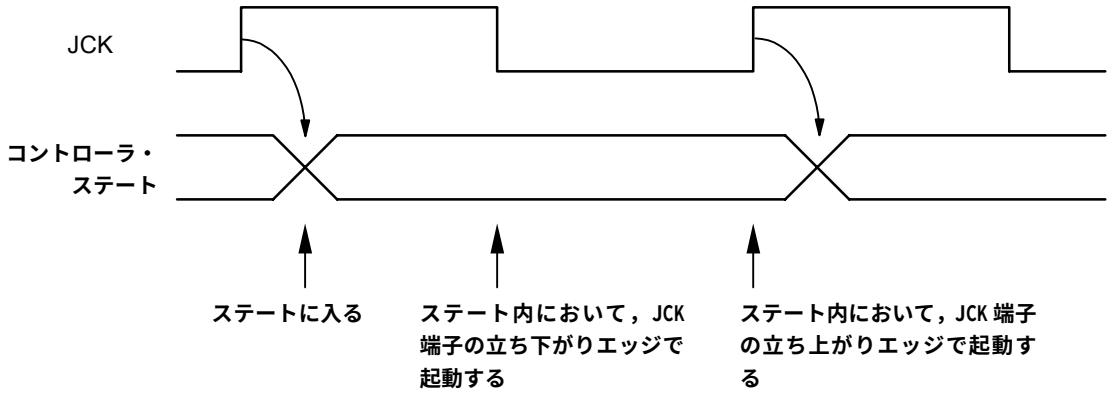


備考１． 図中の遷移を表す矢印の隣に示した“Ｈ”と“Ｌ”は，JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

２． 図中にある（ ）内の番号は，次に述べる各状態の説明の項目番号です。

保守／廃止

図８－３　コントローラ状態での動作タイミング



（1）Test-Logic-Reset

JTAG バウンダリ・スキャン回路は，μPD98409 に対して動作しません。したがって，μPD98409 のシステム・ロジックには影響しません。これは，イニシャライズ時にバイパス命令がインストラクション・レジスタに格納，実行されているからです。TAP コントローラがどの状態のときでも，JMS 端子信号が少なくとも JCK 端子信号の立ち上がりエッジの 5 回分ハイ・レベル状態を保持すれば，Test-Logic-Reset 状態になります。TAP コントローラは，この状態を JMS 端子信号がハイ・レベルの間，保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは，JCK 端子信号の立ち上がりエッジで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インタフェースの影響），JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば，元の Test-Logic-Reset 状態に戻ります。

上記のエラーによって，テスト・ロジックの動作がμPD98409 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると，TAP コントローラは，Run-Test/Idle コントローラ状態に遷移します。この状態では，バイパス・レジスタの動作によりカレント命令が選択設定されているので，どのような動作も行いません。また，この JTAG バウンダリ・スキャン回路の論理動作は，Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

（2）Run-Test/Idle

スキャン動作間（Select-DR-Scan 状態，Select-IR-Scan 状態）の TAP コントローラ状態です。一度この状態になると，JMS 端子信号がロウ・レベルを保持している間は，TAP コントローラもこの状態を保持します。JCK 端子信号の立ち上がりエッジの 1 回分，JMS 端子信号がハイ・レベルを保持すれば，Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ（バウンダリ・レジスタ，バイパス・レジスタ）には，以前の状態が保持されます（Idle）。TAP コントローラがこの状態の間，命令は変化しません。

保守／廃止

（３）Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには以前の状態が保持されます。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると，TAP コントローラは，Capture-DR 状態に遷移します。また，選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されると，TAP コントローラは，Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間，命令は変化しません。

（４）Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには以前の状態が保持されます。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると，TAP コントローラは，Capture-IR 状態に遷移します。また，選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベル状態に保持されると，TAP コントローラは，Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間，命令は変化しません。

（５）Capture-DR

このコントローラ状態において，データは JCK 端子信号の立ち上がりエッジで，カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合，個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号が立ち上がりエッジの場合，TAP コントローラの状態は次のようになります。

- JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

保守／廃止

（６）Shift-DR

このコントローラ状態では，カレント命令によって（バウンダリ・スキャン・レジスタまたはバイパス・レジスタのどちらかで）JDI と JDO の間が接続されます。シフト・データは，JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタまたはバイパス・レジスタは，シリアル・パス上に位置していないとき（Shift-DR 状態でないとき），前の状態を変化させずに保持します。TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号が立ち上がりエッジの場合，TAP コントローラの状態は次のようになります。

- JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態を保持

（７）Exit1-DR

一時的なコントローラ状態です。この状態において，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば，TAP コントローラは，Update-DR 状態に遷移します。これにより，スキャン・プロセスを終了します。

また，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば，TAP コントローラは，Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらにおいても，以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間，命令は変化しません。

（８）Pause-DR

コントローラ状態は，バイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは，以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間，TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは，TAP コントローラは，Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間，命令は変化しません。

保守／廃止

（9）Exit2-DR

一時的なコントローラ状態です。この状態において，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると，TAP コントローラは，Update-DR 状態に遷移し，スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると，TAP コントローラは，Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても，以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間，命令は変化しません。

（10）Update-DR

バウンダリ・スキャン・レジスタには，ある命令（たとえば EXTEST 命令）により，パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチがあります。

Update-DR コントローラ状態において，JCK 端子信号の立ち下がりエッジで，データは，シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは，このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は，変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されると，TAP コントローラは，Select-DR-Scan 状態に遷移します。

また，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると，TAP コントローラは，Run-Test/Idle 状態に遷移します。

（11）Capture-IR

このコントローラ状態において，シフト・レジスタは，JCK 端子信号の立ち上がりエッジでインストラクション・レジスタに固定論理値のパターン【01（2 進）】をロードします。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても，それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されると，TAP コントローラは，Exit1-IR 状態に遷移します。

また，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると，TAP コントローラは，Shift-IR 状態に遷移します。

保守／廃止

（12）Shift-IR

このコントローラ状態において，インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは，JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタとバイパス・レジスタは，変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると，TAP コントローラは，Exit1-IR 状態になります。また，JMS 端子信号がロウ・レベルに保持されていると，Shift-IR 状態を保持します。

（13）Exit1-IR

一時的なコントローラ状態です。この状態において，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると，TAP コントローラは，Update-IR 状態に遷移します。これにより，スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると，TAP コントローラは，Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらにおいても，それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間，命令は変化しません。

（14）Pause-IR

このコントローラ状態は，インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは，以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間，命令は変化しません。また，インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間，TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは，TAP コントローラは，Exit2-IR 状態に遷移します。

保守／廃止

（15）Exit2-IR

一時的なコントローラ状態です。この状態において，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると，TAP コントローラは，Update-IR コントローラ状態に遷移します。これにより，スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると，TAP コントローラは，Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらにおいても，それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態またはインストラクション・レジスタにその状態が保持されている間，命令は変化しません。

（16）Update-IR

このコントローラ状態において，インストラクション・レジスタにシフトされた命令は，JCK 端子信号の立ち下がりエッジで，シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。一度，新しい命令がラッチされると，カレント命令となります。

カレント命令によって選択されたバイパス・レジスタまたはバウンダリ・スキャン・レジスタのどちらも，前の状態を保持します。

TAP コントローラがこの状態で，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されると，TAP コントローラは，Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると，TAP コントローラは，Run-Test/Idle 状態に遷移します。

（８）の Pause-DR コントローラ状態と，（14）の Pause-IR コントローラ状態では，バイパス・レジスタ，バウンダリ・スキャン・レジスタまたはインストラクション・レジスタ内のデータのシフトを一時停止します。

保守／廃止

８.５　TAP コントローラ動作

TAP コントローラの動作は，次のとおりです。

TAP コントローラは（１），（２）のどちらかで状態遷移を行います。

（１）JCK 端子信号の立ち上がりエッジ

（２）JRST_B 端子入力

TAP コントローラは，この標準で定義されているバイパス・レジスタ，バウンダリ・スキャン・レジスタ，およびインストラクション・レジスタの動作を制御する信号を生成します（図８－４，図８－５参照）。

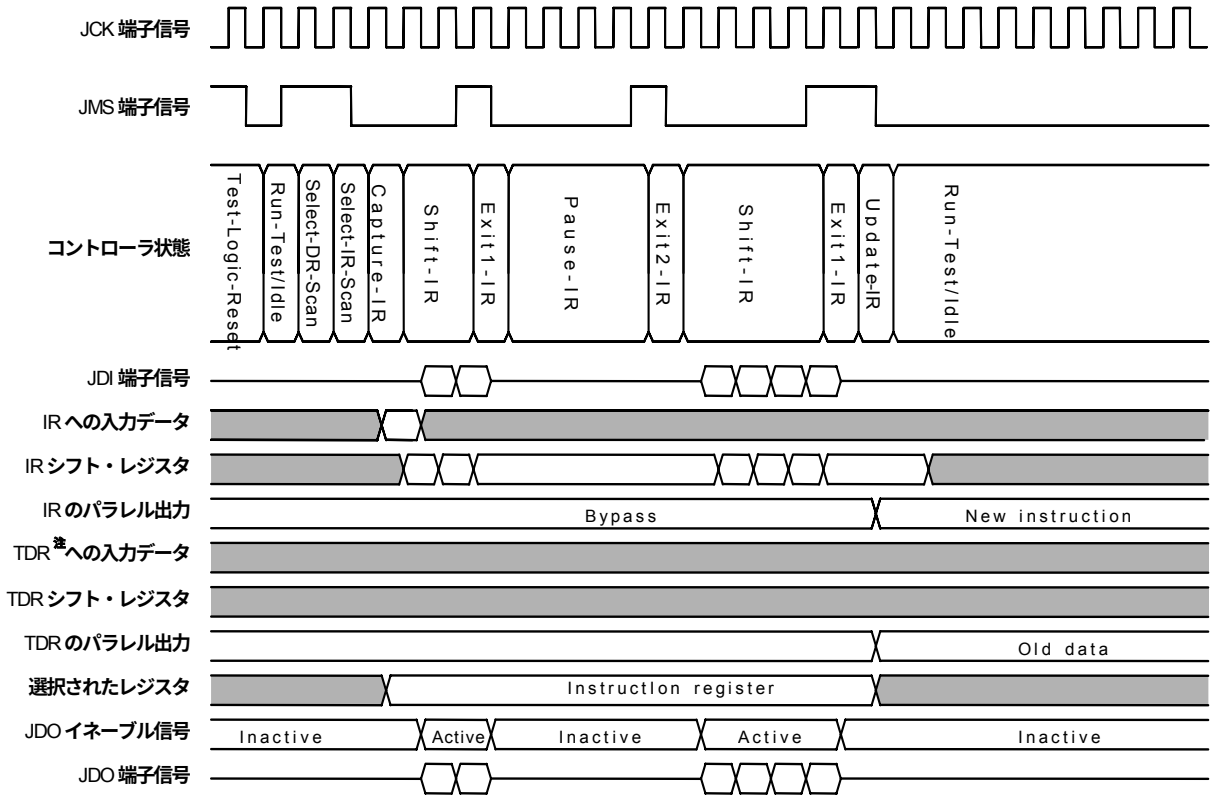
JDO 端子出力バッファと，JDO 端子に出力するレジスタを選択する周辺回路は，表８－１のように制御されています。表８－１において定義される JDO 端子は，その状態に遷移したあと，JCK 端子信号の立ち下がりエッジで変化します。

表８－１　それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ（バウンダリ・スキャン・レジスタ，バイパス・レジスタ）	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

保守／廃止

図８－４　テスト・ロジックの動作（インストラクション・スキャン）

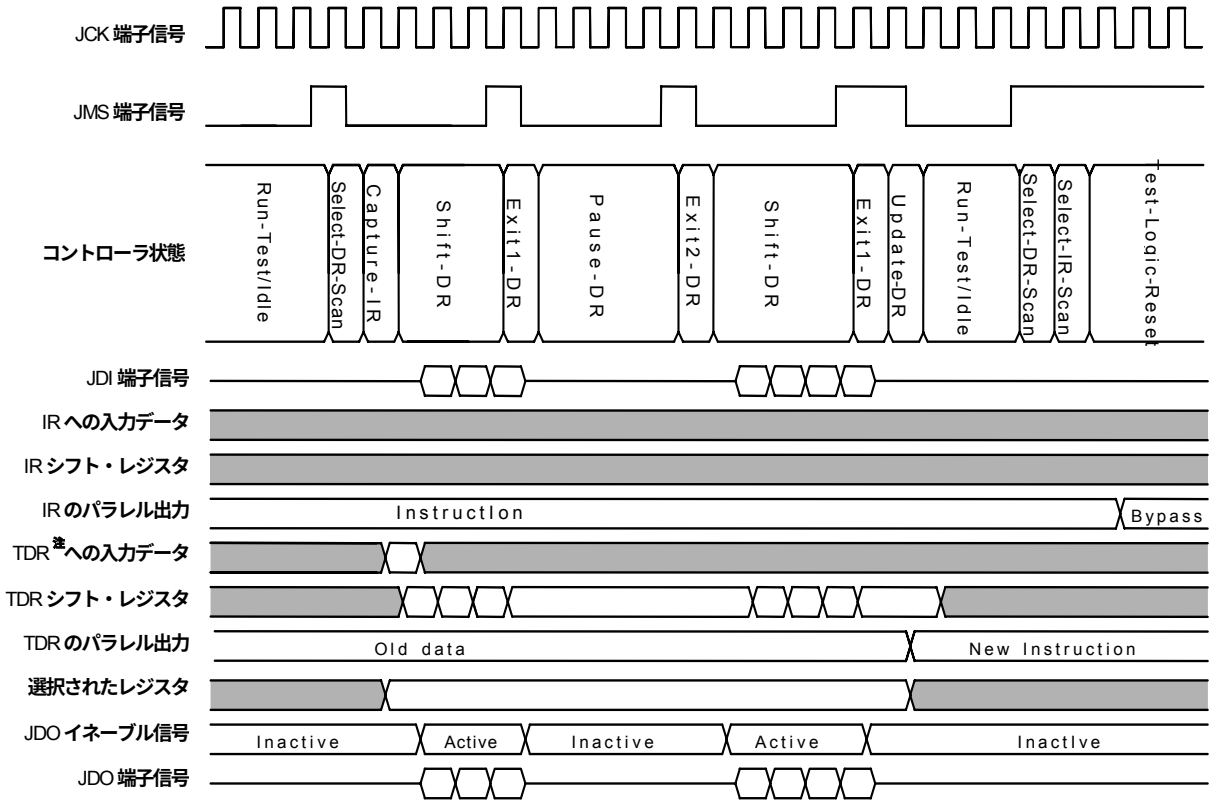


注　TDR（Test Data Register）：**バウンダリ・スキャン・レジスタおよびバイパス・レジスタ**

備考　□：Don't care **あるいは未定義**

保守／廃止

図８－５　テスト・ロジックの動作（データ・スキャン）



注　TDR（Test Data Register）：**バウンダリ・スキャン・レジスタおよびバイパス・レジスタ**

備考　▭：Don't care **あるいは未定義**

保守／廃止

８.６　TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

（１）TAP コントローラは，システム・リセットのようなシステム入力の動作によっても初期化されません。
（２）TAP コントローラは，JCK 端子信号の立ち上がりエッジ（JMS 端子信号がハイ・レベルを保持）5 回で，Test-Logic-Reset コントローラ状態に遷移します。
（３）JRST_B 入力により TAP コントローラは，非同期に Test-Logic-Reset 状態になります。

８.７　インストラクション・レジスタ

このレジスタは，次のように定義されます（８.２　バウンダリ・スキャン回路内部構成参照）。

（１）インストラクション・レジスタにシフト入力された命令は，Update-IR コントローラ状態と Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
（２）インストラクション・レジスタのシリアル入力とシリアル出力間のデータの反転はありません。
（３）Capture-IR コントローラ状態において，このレジスタ・セルは，固定された 2 進の“01”パターン・データ（LSB（Least Significant Bit）が“1”）がロードされます。
（４）Test-Logic-Reset コントローラ状態の間，このレジスタは，固定された 2 進の“01”パターン・データ（LSB（Least Significant Bit）が“1”）がセットされます。
（５）このレジスタが読み出されているとき，JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで，JDO 端子からデータが出力されます。

μPD98409 におけるこの JTAG バウンダリ・スキャン回路は，このインストラクション・レジスタに指定されたデータの設定によって，以下に示す 3 つの命令のみサポートすることができます。

○BYPASS 命令
○EXTEST 命令
○SAMPLE/PRELOAD 命令

インストラクション･レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	SAMPLE/PRELOAD 命令
1	0	未使用（BYPASS 命令）
1	1	BYPASS 命令

保守／廃止

８.７.１　BYPASS 命令

この命令は，インストラクション・データ“ 11 ”または“ 10 ”で指定されます。Shift-DR コントローラ状態において，この命令は，バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき，JTAG バウンダリ・スキャン回路の動作は，μPD98409 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間，このバイパス命令が選択されます。

８.７.２　EXTEST 命令

インストラクション・データ“ 00 ”で指定されます。Shift-DR コントローラ状態において，JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は，バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また，Update-DR コントローラ状態において，JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は，Capture-DR コントローラ状態において，JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

８.７.３　SAMPLE/PRELOAD 命令

インストラクション・データ“ 01 ”で指定されます。これは，SAMPLE 機能と PRELOAD 機能の 2 つを 1 つの命令で実行できる命令です。

８.７.４　バウンダリ・スキャン・データ・ビット定義

お客様のご要求により，μPD98409 の参考 BSDL(Boundary Scan Description Language)ファイルを提出させていただきます。巻末の［NEC 半導体テクニカルホットライン］までご連絡ください。

保守／廃止

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。