

# V850E2/Fx4-H

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ  
V850E2/Fx4-H マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準：            コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
                                 家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準：        輸送機器（自動車、電車、船舶等）、交通用信号機器、  
                                 防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



## CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

## このマニュアルの使い方

- 対象者** このマニュアルは、V850E2/Fx4-Hの機能を理解し、それを応用したシステムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV850E2/Fx4-Hのハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E2/Fx4-Hのユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850E2M ユーザズ・マニュアルアーキテクチャ編）の2冊に分かれています。
- | ハードウェア編  | アーキテクチャ編   |
|--|--|
| <ul style="list-style-type: none"><li>・端子機能</li><li>・CPU 機能</li><li>・内蔵周辺機能</li><li>・フラッシュ・メモリ・プログラミング</li></ul> | <ul style="list-style-type: none"><li>・データ・タイプ</li><li>・レジスタ・セット</li><li>・命令形式と命令セット</li><li>・割り込みと例外</li><li>・パイプラインの動作</li></ul> |
- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。
- 一通りV850E2/Fx4-Hの機能を理解しようとするとき
- 目次に従ってお読みください。
- 命令機能の詳細を理解しようとするとき
- 別冊のV850E2M ユーザズ・マニュアルアーキテクチャ編を参照してください。

FlexRay は、DaimlerChrysler 社のドイツおよびその他の国における登録商標または商標です。

本マニュアル記載の製品名は、各社の商標または登録商標です。

# 目次

第 1 章	概説	1
1.1	V850E2/Fx4-H 製品の概要	1
1.1.1	V850E2/Fx4-H の機能	1
1.2	関連資料	8
1.3	オーダ情報	8
第 2 章	端子機能	9
2.1	特徴	9
2.2	概説	10
2.2.1	用語	11
2.2.2	端子機能概要	12
2.2.3	端子データ入力／出力	13
2.2.4	ポート制御論理図	16
2.2.5	書き込み保護レジスタ	17
2.3	ポート・グループ・コンフィギュレーション・レジスタ	19
2.3.1	概要	19
2.3.2	端子機能の設定	21
2.3.3	端子データ入力／出力	28
2.3.4	電気的特性の設定	32
2.3.5	ポート・レジスタ保護	38
2.4	V850E2/Fx4-H ポート・グループ構成	40
2.4.1	ポート・レジスタ保護	40
2.4.2	ポート機能概要	41
2.4.3	V850E2/FK4-H ポート機能	45
2.4.4	V850E2/FL4-H ポート機能	57
2.4.5	アルファベット順端子機能一覧	70
2.4.6	リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能	82
2.4.7	未使用端子の推奨接続	82
2.5	ポート・フィルタ	84
2.5.1	ポート・フィルタの割り当て	84
2.5.2	ポート・フィルタのクロック供給	89
2.6	ポート・フィルタ機能説明	90
2.6.1	アナログ・フィルタ	90
2.6.2	デジタル・フィルタ	94
2.6.3	フィルタ制御レジスタ	98
第 3 章	CPU システム機能	102
3.1	概要	102
3.2	周辺保護ユニット	104
3.3	タイミング監視ユニット	107
3.4	メモリ保護ユニット (MPU)	107
3.5	CPU アクセス・バスの構造とレイテンシ	108
3.5.1	CPU サブシステム・モジュールのアクセス	108
3.5.2	PBUS/HBUS モジュールのアクセス	109
3.5.3	PBUS シンクロナイザ	113
3.6	CPU サブシステム	115
3.6.1	電源ドメインおよびクロック・ドメイン	115
3.6.2	CPU サブシステムのバスの概要	116
3.6.3	V850E2K/Fx4-H CPU サブシステム	117

3.7	データ・フラッシュ・ウェイト・サイクル・コントロール	121
3.8	HBUS クロス接続システム	122
3.8.1	HBUS 接続マトリックス	124
3.8.2	HBUS アービタ・ポリシー	125
3.9	動作モード	126
3.9.1	通常動作モード	126
3.9.2	フラッシュ・プログラミング・モード	126
3.9.3	バウンダリ・スキャン・モード	127
3.10	モード端子および JP0 の接続	128
3.10.1	通常動作モード	129
3.10.2	デバッグ・モード	130
3.10.3	フラッシュ・プログラミング・モード	132
3.10.4	バウンダリ・スキャン・モード	133
3.11	アドレス空間	134
3.11.1	CPU データ・アドレスと物理プログラムアドレス空間	134
3.11.2	プログラム空間とデータ空間	134
3.12	V850E2/Fx4-H CPU アドレス・マップ	136
3.12.1	DMA アドレス・マップ	136
3.12.2	V850E2/Fx4-H メモリ・マップ	137
3.12.3	メモリ領域	139
3.13	バックアップ RAM (BURAM)	141
3.13.1	バックアップ RAM の保護	142
3.14	CPU サブシステム - HBUS ブリッジ	144
3.14.1	機能の説明	145
3.14.2	レジスタの概要	147
3.14.3	マスタ I/F レジスタの詳細	148
3.14.4	スレーブ I/F レジスタの詳細	158
3.15	ライト保護レジスタ	163
3.15.1	レジスタ保護クラス	163
3.15.2	レジスタ保護解除シーケンス	164
3.15.3	レジスタ保護と割り込み/エミュレーション・ブレイク	165
3.15.4	V850E2/Fx4-H 書き込み保護レジスタ	166
3.15.5	V850E2/Fx4-H 保護レジスタ概要	168
3.15.6	制御保護クラス・レジスタ詳細	170
3.15.7	クロック・モニタ保護クラス・レジスタ詳細	171
3.15.8	ポート保護クラス・レジスタ詳細	172
3.15.9	セルフプログラミング保護クラス・レジスタ詳細	173
3.16	システム・エラー通知設定レジスタ	174
3.17	データ・フラッシュ・アクセス・ウェイト制御	176

## 第 4 章 外部メモリ・アクセス機能..... 178

4.1	概要	178
4.2	特徴	179
4.2.1	動作モード、接続可能メモリ	179
4.2.2	チップ・セレクト出力機能	179
4.2.3	動作設定機能	179
4.2.4	バス・サイジング機能	180
4.2.5	データ・エンディアン設定機能	180
4.2.6	プログラマブル・ウェイト設定機能	180
4.2.7	外部ウェイト機能	180
4.2.8	外部ウェイト・エラー検出機能	180
4.3	レジスタ	181
4.3.1	バス・サイズ設定レジスタ (BSC)	182
4.3.2	データ・エンディアン設定レジスタ (DEC)	183
4.3.3	バス・サイクル・タイプ設定レジスタ 0, 1 (BCT0, BCT1)	184
4.3.4	データ・ウェイト設定レジスタ 0, 1 (DWC0, DWC1)	185

4.3.5	データ・ホールド・ウエイト設定レジスタ (DHC) .....	187
4.3.6	データ・セットアップ・ウエイト設定レジスタ (DSC) .....	188
4.3.7	アドレス・ウエイト設定レジスタ 0, 1 (AWC0, AWC1) .....	189
4.3.8	アイドル・サイクル設定レジスタ 0, 1 (ICC0, ICC1) .....	191
4.3.9	外部ウエイト・エラー設定レジスタ (EWC) .....	193
4.4	バス制御機能 .....	194
4.4.1	チップ・セレクト出力機能 .....	194
4.4.2	動作許可／動作禁止設定機能 .....	195
4.4.3	バス・サイズ設定機能 .....	195
4.4.4	データ・エンディアン設定機能 .....	196
4.5	ウエイト機能 .....	197
4.5.1	プログラマブル・データ・ウエイト機能 .....	197
4.5.2	外部ウエイト機能 .....	199
4.5.3	外部ウエイト・エラー検出機能 .....	200
4.5.4	データ・セットアップ・ウエイト機能 .....	201
4.5.5	データ・ホールド・ウエイト機能 .....	202
4.5.6	アドレス・セットアップ・ウエイト機能 .....	203
4.5.7	アドレス・ホールド・ウエイト機能 .....	204
4.5.8	アイドル挿入機能 .....	205
4.6	メモリ接続例 .....	206
4.6.1	マルチプレクス・バス・モード接続例 .....	206
4.7	データ・フロー .....	207
4.7.1	バイト・アクセス時のデータ・フロー .....	208
第 5 章	割り込み機能 .....	218
5.1	特徴 .....	218
5.2	V850E2/Fx4-H 割り込み要因 .....	220
5.2.1	V850E2/Fx4-H 割り込み要因 .....	220
5.2.2	V850E2/Fx4-H FE レベル・ノン・マスカブル割り込みの共有 .....	239
5.2.3	V850E2/Fx4-H EI レベル・マスカブル割り込みの共有 .....	241
5.2.4	V850E2/Fx4-H TAPA EI レベル・マスカブル割り込みの共有 .....	244
5.2.5	V850E2/Fx4-H DMA 割り込み選択 .....	245
5.3	外部割り込み .....	246
5.3.1	エッジ検出機能 .....	246
5.3.2	外部割り込みを開始要因、ウエイクアップ要因として用いる場合 .....	247
5.4	割り込みコントローラ制御レジスタ .....	248
5.5	割り込みの受け付けと復帰 .....	257
5.5.1	FENMI 割り込み要求による FE レベル・ノンマスカブル割り込み .....	257
5.5.2	FE レベル・ノンマスカブル割り込み (FENMI) からの復帰 .....	259
5.5.3	FEINT 割り込み要求による FE レベル・マスカブル割り込み .....	259
5.5.4	FE レベル・マスカブル割り込み (FEINT) からの復帰 .....	261
5.5.5	EIINT 割り込み要求による EI レベル・マスカブル割り込み .....	262
5.5.6	EI レベル・マスカブル割り込み (EIINT) からの復帰 .....	264
5.6	割り込み動作 .....	265
5.6.1	EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能 .....	265
5.6.2	割り込み優先度判断 .....	266
5.6.3	優先度マスク機能 .....	271
5.6.4	保留割り込み通知機能 .....	271
5.6.5	イン・サービス・プライオリティ・クリア機能 .....	272
5.7	例外ハンドラ・アドレス切り替え機能 .....	272
第 6 章	DMA/DTS 機能 .....	273
6.1	V850E2/Fx4-H DMAC の特徴 .....	273
6.2	用語 .....	278
6.3	概要 .....	279

6.3.1	DMAC (DMA Controller) の機能	279
6.3.2	DTFR (DMA Trigger Factor Register) の機能	279
6.3.3	DTS (Data Transfer Service) の機能	279
6.3.4	DTSFSL (DTS Factor Selector) の機能	279
6.3.5	DMA アクセス・メモリ・マップ	280
6.3.6	チャンネルの優先順位	280
6.3.7	転送要求のアービトレーション	281
6.3.8	スタンバイ機能	282
6.4	DMAC 機能	283
6.4.1	特徴	283
6.4.2	設定レジスタ	285
6.4.3	制御レジスタへの書き込み可否	295
6.5	DMAC 制御レジスタ	296
6.5.1	DTRCx (x = 0, 1) : DMA 転送要求コントロール・レジスタ	296
6.5.2	DTRSn (n = 0-15) : DMA 転送要求選択レジスタ	297
6.5.3	DSAnL (n = 0-15) : DMA ソース・アドレス・レジスタ L	298
6.5.4	DSAnH (n = 0-15) : DMA ソース・アドレス・レジスタ H	299
6.5.5	DSCn (n = 0-15) : DMA ソース・チップ・セレクト・レジスタ	300
6.5.6	DNSAnL (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ L	301
6.5.7	DNSAnH (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ H	302
6.5.8	DNSCn (n = 0-15) : DMA ネクスト・ソース・チップ・セレクト・レジスタ	303
6.5.9	DDAnL (n = 0-15) : DMA デスティネーション・アドレス・レジスタ L	304
6.5.10	DDAnH (n = 0-15) : DMA デスティネーション・アドレス・レジスタ H	306
6.5.11	DDCn (n = 0-15) : DMA デスティネーション・チップ・セレクト・レジスタ	307
6.5.12	DNDAnL (n = 0-15) : DMA ネクスト・デスティネーション・ アドレス・レジスタ L	308
6.5.13	DNDAnH (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ H	309
6.5.14	DNDCn (n = 0-15) : DMA ネクスト・デスティネーション・チップ・ セレクト・レジスタ	310
6.5.15	DTCn (n = 0-15) : DMA 転送カウント・レジスタ	311
6.5.16	DNTCn (n = 0-15) : DMA ネクスト転送カウント・レジスタ	312
6.5.17	DTCCn (n = 0-15) : DMA 転送カウント・コンペア・レジスタ	313
6.5.18	DTCTn (n = 0-15) : DMA 転送制御レジスタ	314
6.5.19	DTSn (n = 0-15) : DMA 転送ステータス・レジスタ	316
6.6	DMAC 機能詳細	318
6.6.1	DMAC 転送の設定フロー	318
6.6.2	DMAC の転送モード	319
6.6.3	DMAC チャンネルの優先順位	322
6.6.4	DMAC 転送要求の有効条件	323
6.6.5	ネクスト・アドレス機能	324
6.6.6	DMAC 転送の中断／再開	325
6.6.7	エラー・レスポンス	326
6.6.8	スタンバイ対応	326
6.7	DTFR 機能	327
6.7.1	特徴	327
6.8	DTFR 制御レジスタ	328
6.8.1	DTFRn (n = 0-15) : DTFRn レジスタ	328
6.8.2	DRQCLR : DMA 要求クリア・レジスタ	329
6.8.3	DRQSTR : DMA 要求確認レジスタ	330
6.9	DTS 機能	331
6.9.1	特徴	331
6.10	DTS 制御レジスタ	334
6.10.1	DTS0TSR : DTS 転送状態レジスタ [レジスタ群 A]	335
6.10.2	DTS0TRC : DTS 転送要求制御レジスタ [レジスタ群 A]	336
6.10.3	DTS0ICR : DTS 初期化制御レジスタ [レジスタ群 A]	337
6.10.4	DTS0BTR : DTS ベース・テーブル・レジスタ [レジスタ群 A]	339
6.10.5	DTS0BVR : DTS ベース・ベクタ・レジスタ [レジスタ群 A]	340
6.10.6	DTS0ACR : DTS アクティブ・チャンネル・レジスタ [レジスタ群 A]	341

6.10.7	DTS0HST : DTS TI ホールド状態レジスタ [レジスタ群 A].....	342
6.10.8	DTS0HC : DTS TI ホールド・チャンネル・ナンバ・レジスタ [レジスタ群 A].....	343
6.10.9	DTS0SAR : DTS ソース・アドレス・レジスタ [レジスタ群 B].....	345
6.10.10	DTS0DAR : DTS デスティネーション・アドレス・レジスタ [レジスタ群 B].....	346
6.10.11	DTS0TCEA : DTS 転送回数 / ELSE アドレス・レジスタ [レジスタ群 B].....	347
6.10.12	DTS0SCS : DTS ソース・アドレス加減算量レジスタ [レジスタ群 B].....	349
6.10.13	DTS0DCS : DTS デスティネーション・アドレス加減算量レジスタ [レジスタ群 B] ...	350
6.10.14	DTS0CIR : DTS 制御情報レジスタ [レジスタ群 B].....	351
6.10.15	DTS0ECSRA : DTS 拡張アドレス加減算量 / リピート・アドレス・レジスタ [レジスタ群 B].....	353
6.11	DTS 機能詳細.....	355
6.11.1	転送情報 (TI).....	355
6.11.2	DTS 転送の設定フロー.....	359
6.11.3	DTS の基本動作.....	360
6.11.4	転送モード.....	361
6.11.5	転送タイプ.....	362
6.11.6	特殊機能.....	379
6.11.7	転送回数.....	381
6.11.8	チェーン機能.....	382
6.11.9	TI ホールド機能.....	383
6.11.10	割り込み出力機能.....	384
6.11.11	ブロック転送時と割り込み, チェーンの関係.....	384
6.11.12	TI ライト・バック・スキップ機能.....	385
6.11.13	DTS チャンネルの優先順位制御.....	385
6.11.14	DTS 転送要求の有効条件.....	386
6.11.15	DMA 転送の中断 / 再開.....	386
6.11.16	エラー・レスポンス対応.....	388
6.11.17	スタンバイ・サポート.....	389
6.12	DTSFSL 機能.....	390
6.12.1	特徴.....	390
6.13	DTSFSL 制御レジスタ.....	391
6.13.1	DTSEnN : DTS 転送許可レジスタ.....	391
6.13.2	DTSHEmM : DTS ホールド許可レジスタ (m = 0-3).....	392

## 第 7 章 フラッシュ・メモリ..... 394

7.1	コード・フラッシュ・メモリ概要.....	395
7.1.1	コード・フラッシュ・メモリの特徴.....	395
7.1.2	コード・フラッシュ・メモリ・マッピング.....	395
7.1.3	データ・フラッシュ・メモリ・マッピング.....	396
7.2	コード・フラッシュ・メモリの機能概要.....	397
7.2.1	コード・フラッシュ・メモリの消去と書き換え.....	400
7.3	データ・フラッシュ・メモリ.....	401
7.3.1	データ・フラッシュ・メモリの特徴.....	401
7.3.2	データ・フラッシュのライト.....	401
7.4	フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング.....	402
7.4.1	プログラミング環境.....	403
7.4.2	通信モード.....	404
7.4.3	フラッシュ・メモリ・プログラマ PG-FP5 との端子接続.....	406
7.4.4	フラッシュ・メモリ・プログラミング制御.....	407
7.5	コード・フラッシュ・セルフ・プログラミング.....	415
7.5.1	セルフ・プログラミングの有効化.....	416
7.5.2	フラッシュ・セルフ・プログラミング・ライブラリの機能.....	417
7.5.3	セルフ・プログラミングの内蔵 RAM の占有.....	417
7.5.4	安全なセルフ・プログラミング (ブート・クラスタ・スワップ).....	418
7.5.5	フラッシュ・セルフ・プログラミング時の割り込み処理.....	422
7.6	フラッシュ・マスク・オプション.....	423

7.6.1	OPBT0 - フラッシュ・マスク・オプションのレジスタ 0.....	424
<b>第 8 章</b>	<b>データ CRC 機能 (DCRA).....</b>	<b>426</b>
8.1	V850E2/Fx4-H DCRA の特徴 .....	426
8.2	機能の概要.....	427
8.3	機能の説明.....	428
8.4	レジスタ .....	429
8.4.1	DCRA レジスタの概要 .....	429
8.4.2	DCRA レジスタの詳細 .....	430
<b>第 9 章</b>	<b>クロック・コントローラ .....</b>	<b>433</b>
9.1	クロック・コントローラの概要 .....	433
9.2	クロックの生成と制御の概要.....	436
9.2.1	クロック発生回路.....	438
9.2.2	クロック・セレクタ .....	441
9.3	クロック発生回路.....	442
9.3.1	メイン発振回路 (MainOsc) のクロック発生回路.....	442
9.3.2	サブ発振回路 (SubOsc) のクロック発生回路.....	445
9.3.3	高速内蔵発振回路 (高速 IntOsc) のクロック発生回路.....	447
9.3.4	低速内蔵発振回路 (低速 IntOsc) のクロック発生回路.....	448
9.3.5	PLL (Phase-Locked Loop) のクロック発生回路.....	449
9.3.6	保護レジスタへの書き込み .....	453
9.4	クロックの選択.....	454
9.4.1	Always-On エリアのクロック・ドメイン.....	455
9.4.2	Isolated エリア 0 のクロック・ドメイン .....	460
9.4.3	Isolated エリア 1 のクロック・ドメイン .....	465
9.5	クロック・コントローラのレジスタ .....	478
9.5.1	クロック・コントローラ・レジスタの概要 .....	478
9.5.2	クロック発生回路レジスタ .....	479
9.5.3	保護コマンド・レジスタの詳細 .....	493
9.5.4	クロック選択制御レジスタ .....	494
9.6	周波数出力機能 (FOUT) .....	497
9.6.1	FOUT ボー・レート発生回路.....	497
9.6.2	FOUT ボー・レート発生回路レジスタ一覧 .....	497
9.6.3	FOUT ボー・レート発生回路制御レジスタの詳細 .....	498
9.7	クロック・モニタ A (CLMA) .....	499
9.7.1	Fx4-H CLMA の特徴.....	499
9.7.2	CLMA の有効化 .....	501
9.7.3	機能概要 .....	502
9.7.4	機能説明 .....	503
9.7.5	クロック・モニタ・レジスタ .....	507
<b>第 10 章</b>	<b>スタンバイ・コントローラ (STBC).....</b>	<b>512</b>
10.1	V850E2/Fx4-H スタンバイ・コントローラの特徴 .....	512
10.2	スタンバイ・コントローラの機能.....	516
10.2.1	ウエイクアップ .....	518
10.2.2	入出力バッファ制御 .....	522
10.2.3	パワー・セーブ・モードの移行 .....	523
10.2.4	パワー・セーブ・モードの開始と終了のフロー例 .....	524
10.2.5	保護レジスタへのライト.....	532
10.2.6	パワー・セーブ・モード遷移時の注意事項 .....	532
10.3	スタンバイ・コントローラ・レジスタ.....	534
10.3.1	スタンバイ・コントローラ・レジスタの概要.....	534



10.3.2	スタンバイ・コントローラ制御レジスタの詳細	536
10.3.3	ウエイクアップ・イベント・コントローラ・レジスタの詳細	542
10.3.4	発振回路ウエイクアップ・マスク・レジスタの詳細	546
<b>第 11 章 コード保護とセキュリティ</b>		<b>547</b>
11.1	概要	547
11.2	フラッシュ・メモリ・プログラマとセルフ・プログラミングの保護	548
11.3	オンチップ・デバッグ・インタフェースの保護	549
11.3.1	オンチップ・デバッグ許可フラグ	549
11.3.2	オンチップ・デバッグ ID コード	550
11.3.3	オンチップ・デバッグ保護レベルの概要	550
11.3.4	オンチップ・デバッグ制御レジスタ	551
<b>第 12 章 リセット・コントローラ</b>		<b>553</b>
12.1	機能概要	553
12.2	機能説明	557
12.2.1	リセット・フラグ	557
12.2.2	パワーオン・クリア (POC)	557
12.2.3	低電圧検出回路 (LVI)	558
12.2.4	超低電圧検出回路 (VLVI)	560
12.2.5	外部 RESET	561
12.2.6	ウォッチドッグ・タイマ・リセット	562
12.2.7	ソフトウェア・リセット	562
12.2.8	クロック・モニタ・リセット	563
12.2.9	入出力バッファ・リセット	563
12.2.10	デバッガ・リセット	563
12.2.11	リセット・コントローラ・レジスタ保護	563
12.3	レジスタ	564
12.3.1	リセット・コントローラ・レジスタ概要	564
12.3.2	汎用リセット・フラグ・レジスタの詳細	565
12.3.3	ソフトウェア・リセット制御レジスタの詳細	567
12.3.4	低電圧検出リセット制御レジスタ	568
12.3.5	超低電圧フラグ制御レジスタ	569
12.3.6	保護コマンド・レジスタの詳細	570
<b>第 13 章 OS タイマ (OSTM)</b>		<b>571</b>
13.1	V850E2/Fx4-H の OSTM の特徴	571
13.2	機能概要	573
13.3	機能説明	574
13.3.1	カウント・クロック	574
13.3.2	割り込み要求の生成	575
13.3.3	タイマの起動と停止	576
13.3.4	インターバル・タイマ・モード	576
13.3.5	フリー・ランニング・コンペア・モード	580
13.4	レジスタ	583
13.4.1	OS タイマ・レジスタの概要	583
13.4.2	OS タイマ・レジスタの詳細	583
<b>第 14 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)</b>		<b>588</b>
14.1	V850E2/Fx4-H の WDTA の特徴	588
14.2	WDTA の起動オプション	590
14.3	機能概要	591

14.4	機能説明	592
14.4.1	リセット解除後の WDTA	593
14.4.2	WDTA トリガ	596
14.4.3	エラー検出	597
14.4.4	75%割り込み出力	599
14.4.5	ウインドウ機能	600
14.5	レジスタ	601
14.5.1	WDTA レジスタの概要	601
14.5.2	WDTA レジスタの詳細	602

## 第 15 章 タイマ・アレイ・ユニット A (TAUA) ..... 608

15.1	V850E2/Fx4-H の TAUA の特徴	608
15.2	TAUA 入力を選択	612
15.2.1	TAUA0 入力を選択	612
15.3	機能概要	618
15.3.1	用語	620
15.4	機能説明	621
15.4.1	タイマ動作機能一覧	623
15.5	基本操作手順	625
15.6	動作モード	626
15.7	チャンネル連動動作の概念	627
15.7.1	ルール	627
15.7.2	連動チャンネル・カウンタの同時動作開始/停止	629
15.8	一斉書き換え	630
15.8.1	概要	630
15.8.2	一斉書き換えの制御方法	632
15.8.3	一斉書き換えのその他の基本ルール	634
15.8.4	一斉書き換えの種類	635
15.9	チャンネル出力モード	643
15.9.1	チャンネル出力モードを指定するための基本手順	646
15.9.2	TAUAn 信号により単体制御されるチャンネル出力モード	647
15.9.3	TAUAn 信号により連動制御されるチャンネル出力モード	649
15.10	各動作モードでのカウント開始タイミング	654
15.10.1	インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード	654
15.10.2	イベント・カウント・モード	655
15.10.3	その他の動作モード	655
15.11	カウント開始/リスタート時の TAUAnTTOUtm 出力と INTTAUAnIm 生成	656
15.12	オーバフロー時の割り込み発生	658
15.12.1	キャプチャ・モード	659
15.12.2	キャプチャ & ワンカウント・モード	660
15.12.3	カウント・キャプチャ・モード	661
15.12.4	キャプチャ & ゲート・カウント・モード	662
15.13	TAUAnTTINm エッジ検出	663
15.14	DMA ウインドウ・アドレスの割り当て	664
15.15	チャンネル単体動作機能	665
15.16	チャンネル単体割り込み機能	665
15.16.1	インターバル・タイマ機能	666
15.16.2	TAUAnTTINm 入力インターバル・タイマ機能	673
15.16.3	ディレイ・カウント機能	679
15.16.4	ワンパルス出力機能	683
15.17	チャンネル単体信号測定機能	688
15.17.1	TAUAnTTINm 入力パルス・インターバル測定機能	689
15.17.2	TAUAnTTINm 入力信号幅測定機能	698
15.17.3	オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)	706
15.17.4	TAUAnTTINm 入力期間カウント検出機能	710

15.17.5	オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)	715
15.17.6	TAUAnTTINm 入力パルス・インターバル判定機能	719
15.17.7	TAUAnTTINm 入力信号幅判定機能	723
15.18	チャンネル単体リアルタイム機能	727
15.18.1	リアルタイム出力機能タイプ 1	728
15.18.2	リアルタイム出力機能タイプ 2	736
15.19	チャンネル単体一斉書き換え機能	744
15.19.1	一斉書き換えトリガ生成機能タイプ 1	745
15.19.2	一斉書き換えトリガ生成機能タイプ 2	751
15.20	チャンネル単体 1 相 PWM 機能	758
15.20.1	1 相 PWM 出力機能	758
15.21	その他のチャンネル単体機能	765
15.21.1	外部イベント・カウント機能	766
15.21.2	クロック分周機能	772
15.21.3	TAUAnTTINm 入力位置検出機能	779
15.22	チャンネル連動動作機能	784
15.23	一定間隔でトリガされる連動 PWM 信号機能	784
15.23.1	PWM 出力機能	785
15.23.2	トリガ・スタート PWM 出力機能	796
15.23.3	ディレイ・パルス出力機能	807
15.23.4	A/D 変換トリガ出力機能タイプ 1	823
15.24	外部信号でトリガされる連動 PWM 信号機能	825
15.24.1	ワンショット・パルス出力機能	825
15.24.2	オフセット・トリガ出力機能	838
15.25	同期三角波 PWM 機能	848
15.25.1	三角波 PWM 出力機能	849
15.25.2	デッド・タイム付き三角波 PWM 出力機能	860
15.25.3	A/D 変換トリガ出力機能タイプ 2	874
15.26	同期リアルタイム出力機能	876
15.26.1	同期リアルタイム出力機能タイプ 1	877
15.26.2	同期リアルタイム出力機能タイプ 2	888
15.26.3	同期リアルタイム出力機能タイプ 3	899
15.27	連動非相補方式変調出力機能と連動相補方式変調出力機能	910
15.27.1	非相補方式変調出力機能タイプ 1	911
15.27.2	非相補方式変調出力機能タイプ 2	925
15.27.3	相補方式変調出力機能	939
15.28	その他のチャンネル連動機能	957
15.28.1	割り込み信号間引き機能	957
15.29	レジスタ	966
15.29.1	TAUAn レジスタの概要	966
15.29.2	TAUAn プリスケアラ・レジスタの詳細	968
15.29.3	TAUAn 制御レジスタの詳細	972
15.29.4	TAUAn 出力レジスタの詳細	984
15.29.5	TAUAn チャンネル出力レベル・レジスタの詳細	990
15.29.6	TAUAn 一斉書き換えレジスタの詳細	991
15.29.7	TAUAn DMA ウィンドウ・レジスタ	994
15.29.8	TAUAn エミュレーション・レジスタ	996

## 第 16 章 タイマ・アレイ・ユニット B (TAUB) ..... 997

16.1	V850E2/Fx4-H の TAUB の特長	997
16.2	TAUB 入力の選択	1002
16.3	機能概要	1003
16.3.1	用語	1004
16.4	機能説明	1005
16.4.1	タイマ動作機能一覧	1007
16.5	基本操作手順	1008

16.6	動作モード	1009
16.7	チャンネル連動動作の概念	1010
16.7.1	ルール	1010
16.7.2	連動チャンネル・カウンタの同時動作開始/停止	1012
16.8	一斉書き換え	1013
16.8.1	概要	1013
16.8.2	一斉書き換えの制御方法	1015
16.8.3	一斉書き換えのその他の基本ルール	1017
16.8.4	一斉書き換えの種類	1018
16.9	チャンネル出力モード	1024
16.9.1	チャンネル出力モードを指定するための基本手順	1026
16.9.2	TAUBn 信号により単体制御されるチャンネル出力モード	1027
16.9.3	TAUBn 信号により連動制御されるチャンネル出力モード	1028
16.10	各動作モードでのカウント開始タイミング	1030
16.10.1	インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード	1030
16.10.2	イベント・カウント・モード	1031
16.10.3	その他の動作モード	1031
16.11	カウント開始/リスタート時の TAUBnTTOUm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)	1032
16.12	オーバフロー時の割り込み発生	1034
16.12.1	キャプチャ・モード	1035
16.12.2	キャプチャ & ワンカウント・モード	1036
16.12.3	カウント・キャプチャ・モード	1037
16.12.4	キャプチャ & ゲート・カウント・モード	1038
16.13	TAUBnTTINm エッジ検出	1039
16.14	チャンネル単体動作機能	1040
16.15	チャンネル単体割り込み機能	1040
16.15.1	インターバル・タイマ機能	1041
16.15.2	TAUBnTTINm 入力インターバル・タイマ機能	1048
16.15.3	ワンパルス出力機能	1054
16.16	チャンネル単体信号測定機能	1059
16.16.1	TAUBnTTINm 入力パルス・インターバル測定機能	1060
16.16.2	TAUBnTTINm 入力信号幅測定機能	1068
16.16.3	オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)	1076
16.16.4	TAUBnTTINm 入力期間カウント検出機能	1080
16.16.5	オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)	1085
16.16.6	TAUBnTTINm 入力パルス・インターバル判定機能	1089
16.16.7	TAUBnTTINm 入力信号幅判定機能	1093
16.17	チャンネル単体一斉書き換え機能	1097
16.17.1	一斉書き換えトリガ生成機能タイプ 1	1097
16.18	その他のチャンネル単体機能	1104
16.18.1	外部イベント・カウント機能	1104
16.18.2	クロック分周機能	1110
16.18.3	TAUBnTTINm 入力位置検出機能	1117
16.19	チャンネル連動動作機能	1122
16.20	一定間隔でトリガされる連動 PWM 信号機能	1122
16.20.1	PWM 出力機能	1123
16.20.2	ディレイ・パルス出力機能	1134
16.20.3	A/D 変換トリガ出力機能タイプ 1	1149
16.21	外部信号でトリガされる連動 PWM 信号機能	1151
16.21.1	ワンショット・パルス出力機能	1151
16.22	同期三角波 PWM 機能	1163
16.22.1	三角波 PWM 出力機能	1163
16.22.2	デッド・タイム付き三角波 PWM 出力機能	1174
16.22.3	A/D 変換トリガ出力機能タイプ 2	1196
16.23	レジスタ	1198
16.23.1	TAUBn レジスタの概要	1198

16.23.2	TAUBn プリスケーラ・レジスタの詳細	1200
16.23.3	TAUBn 制御レジスタの詳細	1203
16.23.4	TAUBn 出力レジスタの詳細	1214
16.23.5	TAUBn チャネル出力レベル・レジスタの詳細	1217
16.23.6	TAUBn 一斉書き換えレジスタの詳細	1218
16.23.7	TAUBn エミュレーション・レジスタ	1221

## 第 17 章 タイマ・アレイ・ユニット C (TAUC) ..... 1222

17.1	V850E2/Fx4-H の TAUC の特長	1222
17.2	機能概要	1226
17.2.1	用語	1227
17.3	機能説明	1228
17.3.1	タイマ動作機能一覧	1229
17.4	基本操作手順	1230
17.5	動作モード	1231
17.6	チャネル連動動作の概念	1232
17.6.1	ルール	1232
17.6.2	連動チャネル・カウンタの同時動作開始/停止	1234
17.7	一斉書き換え	1235
17.7.1	概要	1235
17.7.2	一斉書き換への制御方法	1236
17.7.3	一斉書き換へのその他の基本ルール	1238
17.7.4	一斉書き換の種類	1239
17.8	チャネル出力モード	1243
17.8.1	チャネル出力モードを指定するための基本手順	1245
17.8.2	TAUCn 信号により単体制御されるチャネル出力モード	1246
17.8.3	TAUCn 信号により連動制御されるチャネル出力モード	1246
17.9	各動作モードでのカウント開始タイミング	1247
17.9.1	インターバル・タイマ・モード	1247
17.9.2	イベント・モード	1248
17.10	カウント開始/リスタート時の TAUCnTTOUtm 出力と INTTAUCnIm 生成 (TAUCnMD0 ビット)	1249
17.11	チャネル単体動作機能	1251
17.12	チャネル単体割り込み機能	1251
17.12.1	インターバル・タイマ機能	1251
17.13	チャネル単体一斉書き換え機能	1258
17.13.1	一斉書き換えトリガ生成機能タイプ 1	1258
17.14	一定間隔でトリガされる連動 PWM 信号機能	1264
17.14.1	PWM 出力機能	1264
17.15	レジスタ	1274
17.15.1	TAUCn レジスタの概要	1274
17.15.2	TAUCn プリスケーラ・レジスタの詳細	1275
17.15.3	TAUCn 制御レジスタの詳細	1278
17.15.4	TAUCn 出力レジスタの詳細	1283
17.15.5	TAUCn チャネル出力レベル・レジスタの詳細	1284
17.15.6	TAUCn 一斉書き換えレジスタの詳細	1285
17.15.7	TAUCn エミュレーション・レジスタ	1288

## 第 18 章 タイマ・アレイ・ユニット J (TAUJ) ..... 1289

18.1	V850E2/Fx4-H の TAUJ の特長	1289
18.2	TAUJ 入力の選択	1292
18.2.1	TAUJ0/TAUJ1 入力の選択	1292
18.3	機能概要	1296
18.3.1	用語	1298
18.4	機能説明	1299

18.4.1	タイマ動作機能一覧	1301
18.5	基本操作手順	1302
18.6	動作モード	1303
18.7	チャンネル連動動作の概念	1304
18.7.1	ルール	1304
18.7.2	連動チャンネル・カウンタの同時動作開始/停止	1306
18.8	一斉書き換え	1307
18.8.1	一斉書き換えの制御方法	1307
18.8.2	一斉書き換えのその他の基本ルール	1309
18.8.3	一斉書き換えの方法	1310
18.9	チャンネル出力モード	1312
18.9.1	チャンネル出力モードを指定するための基本手順	1314
18.9.2	TAUJn 信号により単体制御されるチャンネル出力モード	1315
18.9.3	TAUJn 信号により連動制御されるチャンネル出力モード	1315
18.10	各動作モードでのカウント開始タイミング	1316
18.10.1	インターバル・タイマ・モード, キャプチャ・モード	1316
18.10.2	その他の動作モード	1317
18.11	カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)	1318
18.12	オーバフロー時の割り込み発生	1319
18.12.1	キャプチャ・モード	1320
18.12.2	キャプチャ & ワンカウント・モード	1321
18.12.3	カウント・キャプチャ・モード	1322
18.12.4	キャプチャ & ゲート・カウント・モード	1323
18.13	TAUJnTTINm エッジ検出	1324
18.14	チャンネル単体動作機能	1325
18.15	チャンネル単体割り込み機能	1326
18.15.1	インターバル・タイマ機能	1326
18.15.2	TAUJnTTINm 入力インターバル・タイマ機能	1333
18.16	チャンネル単体信号測定機能	1339
18.16.1	TAUJnTTINm 入力パルス・インターバル測定機能	1340
18.16.2	TAUJnTTINm 入力信号幅測定機能	1348
18.16.3	オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	1355
18.16.4	TAUJnTTINm 入力期間カウント検出機能	1359
18.16.5	オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	1364
18.17	その他のチャンネル単体機能	1368
18.17.1	TAUJnTTINm 入力位置検出機能	1368
18.18	一定間隔でトリガされる連動 PWM 信号機能	1373
18.18.1	PWM 出力機能	1373
18.19	レジスタ	1383
18.19.1	TAUJn レジスタの概要	1383
18.19.2	TAUJn プリスケアラ・レジスタの詳細	1384
18.19.3	TAUJn 制御レジスタの詳細	1388
18.19.4	TAUJn 出力レジスタの詳細	1399
18.19.5	TAUJn 一斉書き換えレジスタの詳細	1402
18.19.6	TAUJn エミュレーション・レジスタ	1404

## 第 19 章 リアルタイム・クロック (RTCA) ..... 1405

19.1	V850E2/Fx4-H の RTCA の特徴	1405
19.2	機能概要	1407
19.3	機能説明	1408
19.3.1	動作モード	1409
19.3.2	クロック・カウンタの表示形式	1410
19.3.3	定周期割り込み機能	1410
19.3.4	アラーム割り込み機能	1411
19.3.5	クロック誤差補正	1412

19.4	レジスタ	1416
19.4.1	RTCA レジスタの概要	1416
19.4.2	RTCA 制御レジスタの詳細	1418
19.4.3	RTCA サブカウンタ・レジスタの詳細	1422
19.4.4	RTCA クロック・カウンタ・レジスタとバッファ・レジスタの詳細	1426
19.4.5	RTCA 特定カウンタ・レジスタとバッファ・レジスタの詳細	1441
19.4.6	RTCA アラーム時間設定レジスタの詳細	1445
19.4.7	RTCAn エミュレーション・レジスタ	1448
19.5	設定、書き込み、読み出しの手順	1449
19.5.1	RTCA の初期設定	1449
19.5.2	クロック・カウンタの更新	1451
19.5.3	クロック・カウンタの読み出し	1452
19.5.4	RTCAnSRBU の読み出し	1455
19.5.5	RTCAnSUBU への書き込み	1456
19.5.6	RTCAnSCMP への書き込み	1457
19.6	タイミング図	1458
19.6.1	RTCA カウンタ・スタートのタイミング	1458
19.6.2	カウンタ動作許可時の RTCA のタイミング	1459
19.6.3	カウンタ動作許可時のサブカウンタ・バッファ読み出しタイミング	1460

## 第 20 章 タイマ・オプション機能 (TAPA)..... 1461

20.1	V850E2/Fx4-H のタイマ・オプション機能の特長	1461
20.1.1	ブロック図	1464
20.2	機能概要	1465
20.2.1	タイマ・カウンタの「山」と「谷」, 「山割り込み」と「谷割り込み」について	1466
20.3	レジスタ	1467
20.3.1	レジスタの概要	1467
20.3.2	レジスタの詳細	1468
20.4	基本動作説明	1474
20.4.1	非同期 Hi-Z 制御機能	1474
20.4.2	INT 信号出力選択機能	1480
20.4.3	A/D 変換トリガ選択機能	1481

## 第 21 章 エンコーダ・タイマ (ENCA) ..... 1486

21.1	V850E2/Fx4-H の ENCA の機能	1486
21.2	機能の概要	1488
21.2.1	ブロック図	1489
21.2.2	基本的な仕様を理解するための予備知識	1490
21.3	ENCA 制御レジスタ	1491
21.4	機能の説明	1506
21.4.1	タイマ・カウンタの動作	1506
21.4.2	タイマ・カウンタのアップ/ダウン制御	1508
21.4.3	エンコーダ入力によるタイマ・カウンタ・クリア制御	1512
21.4.4	ENCAnCCR0 の機能	1514
21.4.5	ENCAnCCR1 の機能	1515
21.4.6	タイマ・カウンタの起動/停止	1518
21.5	設定の順序	1520
21.5.1	エンコーダ・タイマの設定手順	1520
21.6	タイミング図	1523
21.6.1	オーバフローの発生とオーバフロー・フラグ・クリア操作	1523
21.6.2	アンダフローの発生とアンダフロー・フラグ・クリア操作	1525
21.6.3	Z 相のキャプチャ	1526
21.6.4	オーバフローの発生と Z 相の入力によるクリア動作との競合	1527
21.6.5	アンダフローの発生と Z 相の入力によるクリア動作との競合	1528
21.6.6	開始直後のオーバフロー動作	1530

21.6.7	開始直後のアンダフロー動作.....	1531
21.6.8	開始直後の ENCA <sub>n</sub> LDE 機能の利用.....	1532
21.6.9	ENCA <sub>n</sub> LDE 機能 (カウンタ値のロード).....	1533
21.6.10	ENCA <sub>n</sub> LDE 機能 (カウンタ値のロード) と ENCA <sub>n</sub> CCR0 レジスタの書き換えとの競合.....	1535
21.6.11	ENCA <sub>n</sub> LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合....	1536
21.6.12	ENCA <sub>n</sub> LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント.....	1538
21.6.13	カウント・クロック間のキャプチャ動作 (ENCA <sub>n</sub> CCR1).....	1540
21.6.14	カウント・クロック間のキャプチャ動作 (ENCA <sub>n</sub> CCR0).....	1541
21.6.15	ENCA <sub>n</sub> ECM1-0 = {0, 1} かつ ENCA <sub>n</sub> CTS = 0 のときのエンコーダの動作.....	1542
21.6.16	ENCA <sub>n</sub> ECM1-0 = {0, 1} かつ ENCA <sub>n</sub> CTS = 1 のときのエンコーダの動作.....	1544
21.6.17	ENCA <sub>n</sub> ECM1-0 = {0, 0} のときのエンコーダの動作.....	1546
21.6.18	ENCA <sub>n</sub> SCE = 1 のときに ENCA <sub>n</sub> TZIN によるクリアのタイミングで行われるキャプチャ動作.....	1547
21.6.19	ENCA <sub>n</sub> SCE = 0 のときに ENCA <sub>n</sub> TZIN によるクリアのタイミングで行われるキャプチャ動作.....	1551
21.6.20	一致割り込みマスク動作.....	1552

## 第 22 章 PWM ディレイ・ユニット (DLYA) ..... 1555

22.1	V850E2/Fx4-H の DLYA の特徴.....	1555
22.2	機能概要.....	1561
22.3	機能説明.....	1562
22.3.1	遅延の有効化.....	1562
22.3.2	遅延時間.....	1562
22.4	レジスタ.....	1563
22.4.1	DLYA レジスタの一覧.....	1563
22.4.2	DLYA 制御レジスタの詳細.....	1565
22.5	設定手順.....	1568
22.6	タイミング図.....	1568

## 第 23 章 PWM 診断モジュール (PMCA) ..... 1569

23.1	V850E2/Fx4-H の PMCA の特徴.....	1569
23.2	PMCA 入力信号の選択.....	1572
23.2.1	トリガ発生回路の入力信号セレクタ.....	1572
23.2.2	ADC 変換完了入力信号の選択.....	1578
23.3	機能概要.....	1579
23.3.1	機能ブロック図.....	1579
23.3.2	用語.....	1580
23.4	機能説明.....	1581
23.4.1	機能ブロックの説明.....	1581
23.4.2	信号の説明.....	1581
23.5	レジスタ.....	1582
23.5.1	PWM 診断モジュール・レジスタの概要.....	1582
23.5.2	PMCA 制御レジスタの詳細.....	1583
23.6	設定、書き込み、読み出しの手順.....	1587
23.6.1	PMCA <sub>n</sub> モジュールの初期設定.....	1587
23.6.2	診断実行中 (PMCA <sub>n</sub> CTL0 ≠ 0) の PMCA <sub>n</sub> CTL0 レジスタ値の変更.....	1587
23.6.3	診断動作の停止.....	1587
23.6.4	診断動作停止後の PMCA <sub>n</sub> CTL0 レジスタ値の変更.....	1587

## 第 24 章 アシクロナス・シリアル・インタフェース E (UARTE<sub>n</sub>) ..... 1588

24.1	V850E2/Fx4-H の UARTE <sub>n</sub> の機能.....	1588
------	--	------



24.2	機能の概要	1591
24.3	構成	1592
24.4	UARTEn レジスタ	1593
24.5	割り込み要求信号	1609
24.5.1	送信割り込み要求 INTUAEnTIT	1609
24.5.2	受信割り込み要求 INTUAEnTIR	1610
24.5.3	ステータス割り込み要求 INTUAEnTIS	1611
24.5.4	受信／ステータス割り込み要求 INTUAEnTRA	1611
24.6	動作	1612
24.6.1	データ・フォーマット	1612
24.6.2	BF の送信／受信フォーマット	1614
24.6.3	BF の送信	1616
24.6.4	BF の受信	1618
24.6.5	送信データー貫性チェック	1620
24.6.6	UARTEn 送信	1621
24.6.7	連続送信の手順	1623
24.6.8	UARTEn 受信	1625
24.6.9	受信エラー	1631
24.6.10	パリティの種類と動作	1632
24.6.11	デジタル受信データ・ノイズ・フィルタ	1633
24.7	ポーレート・ジェネレータ	1634

## 第 25 章 LIN マスタ・コントローラ (LMA) ..... 1635

25.1	V850E2/Fx4-H の LMA の特徴	1635
25.2	LIN マスタ・スケジューラ・カウンタ (CNTA)	1640
25.2.1	CNTAm レジスタ	1640
25.3	機能概要	1643
25.4	機能説明	1645
25.4.1	UART スルー・モード	1645
25.4.2	UART バッファ・モード	1646
25.4.3	LIN マスタ・モード	1653
25.4.4	自動チェック・サム機能	1667
25.4.5	スケジューラ	1668
25.5	LMA レジスタ	1673
25.5.1	LMA レジスタの概要	1673
25.5.2	LMA レジスタの詳細	1674

## 第 26 章 CAN コントローラ (FCN) ..... 1690

26.1	V850E2/Fx4-H の FCN 機能	1690
26.2	FCN0 と FCN1 の接続	1694
26.3	特徴	1696
26.3.1	機能の概要	1697
26.3.2	構成	1698
26.4	FCN の内部レジスタ	1699
26.4.1	CAN コントローラの構成	1699
26.4.2	CAN コントローラ・レジスタの概要	1701
26.5	ビットのセット／クリア機能	1709
26.6	制御レジスタ	1711
26.6.1	FCN グローバル・レジスタ	1711
26.6.2	FCN モジュール・レジスタ	1720
26.6.3	FCN メッセージ・バッファ・レジスタ	1743
26.7	CAN コントローラの初期化	1754
26.7.1	FCN モジュールの初期化	1754
26.7.2	メッセージ・バッファの初期化	1754
26.7.3	メッセージ・バッファの再定義	1754

26.7.4	初期化モードから動作モードへの移行	1756
26.8	メッセージ受信	1757
26.8.1	メッセージの受信	1757
26.8.2	受信データの読み出し	1758
26.8.3	受信履歴・リスト機能	1759
26.8.4	マスク機能	1762
26.8.5	マルチ・バッファ受信ブロック機能	1764
26.8.6	リモート・フレームの受信	1766
26.9	メッセージ送信	1768
26.9.1	メッセージの送信	1768
26.9.2	送信履歴・リスト機能	1770
26.9.3	自動ブロック送信機能 (ABT)	1773
26.9.4	送信中断処理	1775
26.9.5	リモート・フレームの送信	1776
26.10	パワー・セーブ・モード	1777
26.10.1	FCN スリープ・モード	1777
26.10.2	FCN ストップ・モード	1780
26.10.3	パワー・セーブ・モードの使用例	1782
26.11	割り込み機能	1783
26.12	診断機能と特殊な動作モード	1784
26.12.1	受信オンリー・モード	1784
26.12.2	シングル・ショット・モード	1786
26.12.3	セルフ・テスト・モード	1787
26.12.4	各動作モードでの送受信動作	1788
26.13	タイム・スタンプ機能	1789
26.13.1	タイム・スタンプ機能	1789
26.14	ポー・レートの設定	1791
26.14.1	ポー・レートの設定条件	1791
26.14.2	代表的なポー・レートの設定例	1794
26.15	CAN コントローラの動作	1799
26.15.1	初期化	1799
26.15.2	メッセージの送信	1805
26.15.3	メッセージの受信	1819
26.15.4	パワー・セーブ・モード	1824

## 第 27 章 診断 CAN コントローラ (DCN)..... 1830

27.1	V850E2/Fx4-H の特徴	1830
27.2	概要	1833
27.3	機能の概要	1835
27.4	アーキテクチャ	1837
27.4.1	CPU インタフェース	1838
27.4.2	グローバル・モジュール制御	1838
27.4.3	CAN 割り込みジェネレータ	1838
27.4.4	メッセージ制御 (MSG Ctrl)	1838
27.4.5	調停ロジック	1839
27.4.6	RXONLY_CH CAN マシン	1839
27.4.7	DIAG_CH CAN マシン	1840
27.5	モジュールの初期化と制御	1841
27.5.1	グローバル・モジュールの初期化と制御	1842
27.5.2	メッセージ・バッファの初期化と設定	1852
27.5.3	CAN I/F チャネルへのメッセージ・バッファの割り当て	1855
27.5.4	DIAG モジュールの初期化と制御	1860
27.5.5	CAN ビット時間のプログラミング	1860
27.5.6	DIAG_CH の動作モードの移行	1861
27.5.7	RXONLY_CH の動作モードの移行	1863
27.6	モジュール割り込み	1865

27.7	メッセージ受信.....	1867
27.7.1	RXONLY_CH のメッセージ受信.....	1867
27.7.2	受信履歴.....	1868
27.7.3	リモート・フレームの受信.....	1868
27.8	メッセージの送信.....	1869
27.9	RXONLY_CH の動作モード.....	1870
27.9.1	RXONLY_CH でのメッセージ処理.....	1870
27.9.2	RXONLY_CH の受信専用モードでの受信フレームの処理.....	1872
27.9.3	ミラー・モード.....	1873
27.9.4	TIF 付きミラー・モード.....	1874
27.10	バッファ割り当ての移行.....	1875
27.10.1	レジスタのビット構成.....	1878
27.11	レジスタの説明.....	1887
27.11.1	DCN グローバル・レジスタ.....	1887
27.11.2	DCN モジュール・レジスタ.....	1893
27.11.3	DCN メッセージ・バッファ・レジスタ.....	1911
<b>第 28 章</b>	<b>クロック同期シリアル・インタフェース G (CSIG).....</b>	<b>1913</b>
28.1	V850E2/Fx4-H CSIG の特徴.....	1913
28.2	機能の概要.....	1918
28.3	機能の説明.....	1920
28.3.1	マスタ/スレーブ・モード.....	1921
28.3.2	マスタ/スレーブの接続.....	1923
28.3.3	送信クロックの選択.....	1926
28.3.4	データ転送モード.....	1927
28.3.5	データ長の選択.....	1928
28.3.6	シリアル・データ方向選択機能.....	1930
28.3.7	スレーブ・モードでの通信.....	1931
28.3.8	CSIG の割り込み.....	1932
28.3.9	ハンドシェーク機能.....	1935
28.3.10	ループ・バック・モード.....	1938
28.3.11	エラー検出.....	1939
28.4	CSIG 制御レジスタ.....	1944
28.5	操作手順の例.....	1958
<b>第 29 章</b>	<b>クロック同期シリアル・インタフェース H (CSIH).....</b>	<b>1960</b>
29.1	V850E2/Fx4-H CSIH の特徴.....	1961
29.2	機能の概要.....	1966
29.3	機能の説明.....	1968
29.3.1	動作モード (マスタ/スレーブ).....	1969
29.3.2	マスタ/スレーブの接続.....	1971
29.3.3	チップ・セレクト (CS) 機能.....	1973
29.3.4	チップ・セレクトのタイミングの詳細.....	1976
29.3.5	送信クロックの選択.....	1979
29.3.6	CSIH のバッファ・メモリ.....	1981
29.3.7	データ転送モード.....	1983
29.3.8	データ長の選択.....	1985
29.3.9	シリアル・データ方向の選択.....	1988
29.3.10	スレーブ・モードでの通信.....	1989
29.3.11	CSIH の割り込み要求.....	1990
29.3.12	ハンドシェーク機能.....	2000
29.3.13	エラー検出.....	2003
29.3.14	ループ・バック・モード.....	2013
29.4	CSIH 制御レジスタ.....	2014
29.4.1	CSIH レジスタの詳細.....	2015

29.5	操作手順 .....	2043
29.5.1	ダイレクト・アクセス・モードでの手順 .....	2043
29.5.2	送信専用バッファ・モードでの手順 .....	2048
29.5.3	二重バッファ・モードでの手順 .....	2052
29.5.4	FIFO モードでの手順 .....	2060

## 第 30 章 I<sup>2</sup>C バス (I<sup>2</sup>CB)..... 2064

30.1	V850E2/Fx4-H の I <sup>2</sup> CB の特徴 .....	2064
30.2	機能概要 .....	2066
30.3	I <sup>2</sup> C バス・モードの機能 .....	2068
30.3.1	端子構成 .....	2068
30.4	I <sup>2</sup> C バスの定義 .....	2069
30.4.1	スタート・コンディション .....	2070
30.4.2	アドレス .....	2071
30.4.3	拡張コード .....	2071
30.4.4	転送方向指定 .....	2072
30.4.5	アクノリッジ (ACK) .....	2073
30.4.6	データ .....	2074
30.4.7	ストップ・コンディション .....	2074
30.4.8	ウェイト .....	2075
30.4.9	アービトレーション .....	2077
30.5	レジスタ .....	2078
30.6	動作 .....	2100
30.6.1	シングル転送モード .....	2100
30.6.2	連続転送モード .....	2105
30.6.3	アービトレーション .....	2110
30.6.4	ウェイトとウェイト解除方法 .....	2111
30.6.5	拡張コード .....	2116
30.7	割り込み要求信号 .....	2117
30.7.1	シングル転送モード .....	2117
30.7.2	連続転送モード .....	2120
30.8	割り込み出力とステータス .....	2126
30.8.1	シングル転送モード (マスタ動作) .....	2127
30.8.2	シングル転送モード (スレーブ動作 : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1)) .....	2130
30.8.3	シングル転送モード (スレーブ動作 : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1)) .....	2134
30.8.4	シングル転送モード (通信不参加の動作) .....	2138
30.8.5	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, スレーブとして動作) .....	2139
30.8.6	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, 不参加) .....	2141
30.8.7	シングル転送モード (アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負けのあと, 不参加 (拡張コード転送中の場合)) .....	2147
30.8.8	連続転送モード (マスタ (受信)) .....	2148
30.8.9	連続転送モード (マスタ (送信)) .....	2151
30.8.10	連続転送モード (スレーブ (受信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1)) .....	2154
30.8.11	連続転送モード (スレーブ (受信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1)) .....	2158
30.8.12	連続転送モード (スレーブ (送信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1)) .....	2162
30.8.13	連続転送モード (スレーブ (送信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1)) .....	2166

30.8.14	連続転送モード（通信不参加の動作）	2170
30.8.15	連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した場合）： アービトレーション負けのあと、スレーブとして動作）	2171
30.8.16	連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した場合）： アービトレーション負けのあと、不参加）	2173
30.8.17	連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した場合）： アービトレーション負けのあと、不参加（拡張コード転送中の場合）	2178
30.9	設定手順	2180
30.9.1	シングルマスタ環境	2180
30.9.2	マルチマスタ環境	2184

## 第 31 章 FlexRay™ (FLX)..... 2192

31.1	V850E2/Fx4-H FLXn の特徴	2192
31.2	FlexRay コントローラの概要	2195
31.2.1	表記規則	2195
31.2.2	定義	2195
31.2.3	参照情報	2195
31.2.4	用語と略号	2196
31.2.5	機能の概要	2198
31.2.6	ブロック図	2199
31.2.7	ホスト CPU インタフェースのタイミング	2201
31.2.8	リセットのタイミング	2202
31.3	プログラマのモデル	2203
31.3.1	レジスタ・マップ	2203
31.3.2	HIF レジスタ	2208
31.3.3	特殊レジスタ	2213
31.3.4	割り込みレジスタ	2221
31.3.5	通信コントローラ制御レジスタ	2243
31.3.6	通信コントローラ・ステータス・レジスタ	2267
31.3.7	メッセージ・バッファ制御レジスタ	2285
31.3.8	メッセージ・バッファ・ステータス・レジスタ	2292
31.3.9	ID レジスタ	2306
31.3.10	入力バッファ制御レジスタ	2308
31.3.11	出力バッファ制御レジスタ	2317
31.4	機能の説明	2330
31.4.1	通信サイクル	2330
31.4.2	通信モード	2334
31.4.3	クロック同期	2334
31.4.4	エラー処理	2337
31.4.5	通信コントローラの状態	2340
31.4.6	ネットワーク管理	2358
31.4.7	フィルタリングとマスキング	2359
31.4.8	送信プロセス	2363
31.4.9	受信プロセス	2366
31.4.10	FIFO の機能	2368
31.4.11	メッセージの処理	2371
31.4.12	メッセージ RAM	2382
31.4.13	割り込み	2392
31.5	付録	2394
31.5.1	FlexRay 設定パラメータの割り当て	2394
31.6	注意	2396
31.6.1	ループ・バック・モードは 10 MBit/s でのみ動作します。	2396

31.6.2	ダイナミック・フレームのあとで発生したノイズがアイドル検出を遅延させるため、ダイナミック・セグメントの残りの部分でスロット・カウンタが停止しなくなることがあります。	2396
31.6.3	FLXnRCV レジスタに誤った値が表示されることがあります。	2397
31.6.4	有効な sync フレームを受信したあと、同じスタティック・スロットで有効な非 sync フレームを受信すると、受信された sync フレームが無視されることがあります。	2397
31.6.5	スロット・カウンタが 1024 を超えると、sync フレーム・オーバフロー・フラグ FLXnEIR.FLXnSFO がセットされることがあります。	2398
31.6.6	gSyncNodeMax を超える数の sync フレームを受信したあと、受信したスタートアップ・フレームが受け入れられます。	2398
31.6.7	pMicroInitialOffsetA,B = 00H であると、インテグレーション・ノードの初期レート補正值がゼロになります。	2399
31.6.8	有効なフレームを検出したあと、2 番目のセカンダリ・タイム参照ポイント (STRP) がアクション・ポイントと一致すると、誤ったレート補正值またはオフセット補正值あるいはその両方が設定されます。	2399
31.6.9	少なくとも 1 組の有効な sync フレーム・ペアを受信しているのに FLXnSFS.FLXnMRCS フラグが誤ってセットされます。	2400
31.6.10	SyncCalcResult=MISSING_TERM の場合にレート補正值がゼロに設定されます。	2400
31.6.11	連続する WUS を受信することによって冗長な FLXnSIR.FLXnWUPA / B イベントが発生することがあります。	2401

## 第 32 章 イーサネット・コントローラ (ETHA) ..... 2402

32.1	V850E2/Fx4-H ETHAn の特徴	2402
32.2	概説	2405
32.2.1	機能	2405
32.3	構成	2406
32.3.1	システム構成	2406
32.3.2	割り込み要求	2408
32.4	イーサネット・コントローラ制御レジスタ	2409
32.4.1	イーサネット・コントローラ・レジスタ概要	2409
32.4.2	MAC 制御レジスタ	2413
32.4.3	統計カウンタ	2447
32.4.4	FIFO コントローラ制御レジスタ	2486
32.4.5	DMAC control registers in Ethernet Controller	2520
32.4.6	送信用チェックサム専用 DMAC 制御レジスタ	2531
32.5	MAC/FIFO 機能	2541
32.5.1	フレーム・フォーマット	2541
32.5.2	送信機能	2546
32.5.3	受信機能	2551
32.5.4	MAC 制御機能	2553
32.5.5	シリアル・マネジメント・インタフェース機能	2558
32.5.6	アドレス・フィルタリング	2563
32.5.7	統計カウンタ	2568
32.6	専用 DMAC	2569
32.6.1	DMAC の概要	2569
32.6.2	DMA	2570
32.6.3	ディスクリプタ・メカニズム	2572
32.7	受信チェックサム機能	2588
32.7.1	ソフトウェア上の処理	2588
32.8	送信チェックサム	2590
32.8.1	送信チェックサム・ディスクリプタの構成	2590
32.9	注意事項	2592
32.9.1	FIFO の注意事項	2592

第 33 章	乱数ジェネレータ A (RNGA) .....	2593
33.1	V850E2/Fx4-H RNGA の特徴 .....	2593
33.2	機能の概要 .....	2594
33.3	機能の説明 .....	2594
33.3.1	LFSR 品質基準 .....	2594
33.3.2	RNGA のステータス .....	2594
33.4	レジスタ .....	2595
33.4.1	RNGA のレジスタの概要 .....	2595
33.4.2	RNG レジスタの詳細 .....	2596
第 34 章	キー・リターン機能 (KR) .....	2598
34.1	V850E2/Fx4-H KR の機能 .....	2598
34.2	機能の概要 .....	2600
34.3	機能の説明 .....	2601
34.3.1	割り込み要求 KRnTIKR .....	2601
34.4	レジスタ .....	2602
34.4.1	キー・リターン機能レジスタの概要 .....	2602
34.4.2	キー・リターン機能レジスタの詳細 .....	2603
第 35 章	A/D コンバータ (ADCA) .....	2604
35.1	V850E2/Fx4-H ADCA の特徴 .....	2604
35.1.1	ハードウェア・トリガ拡張 .....	2608
35.2	機能概要 .....	2613
35.3	機能説明 .....	2615
35.3.1	基本動作 .....	2616
35.3.2	クロックの使用 .....	2617
35.3.3	チャネルとチャネル・グループ .....	2618
35.3.4	A/D 変換モード .....	2620
35.3.5	A/D 変換の開始 (起動トリガ) .....	2623
35.3.6	A/D 変換の停止 (停止トリガ) .....	2625
35.3.7	スタンバイ・モード .....	2627
35.3.8	A/D 変換の休止と再開 (ADCHALT モード) .....	2627
35.3.9	分解能、サンプリング時間と変換時間 .....	2628
35.3.10	割り込み発生 .....	2631
35.3.11	A/D 変換結果の格納 .....	2632
35.3.12	変換結果確認機能 .....	2635
35.3.13	自己診断機能 .....	2637
35.3.14	チャネル S/H 機能 .....	2645
35.3.15	ディスチャージ機能 .....	2652
35.3.16	バッファ・アンプ機能 .....	2652
35.3.17	安定制御 .....	2653
35.4	レジスタ .....	2654
35.4.1	ADCA <sub>n</sub> レジスタの概要 .....	2654
35.4.2	制御レジスタ .....	2656
35.4.3	変換状態レジスタ .....	2664
35.4.4	ソフトウェア・トリガ・レジスタ .....	2668
35.4.5	A/D 変換結果レジスタ .....	2670
35.4.6	A/D 変換結果上下限比較レジスタ .....	2677
35.4.7	診断機能制御レジスタ .....	2681
35.4.8	チャネル S/H 機能設定レジスタ .....	2684
35.4.9	エミュレーション・レジスタ .....	2686
35.5	使用上の注意事項 .....	2687
35.5.1	チャネル入力電圧の範囲 .....	2687

35.5.2	変換動作の停止 .....	2687
35.5.3	チャンネル S/H 機能使用時の制限事項 .....	2687
35.5.4	アプリケーション設計上の注意事項 .....	2687
35.6	A/D コンバータ特性表の読み方 .....	2693

## 第 36 章 Peripheral Interconnection (PIC)..... 2700

36.1	V850E2/Fx4-H の PIC の特徴 .....	2700
36.2	機能概要 .....	2702
36.3	制御レジスタ .....	2703
36.4	タイマ間接続 (タイマ同調動作機能) .....	2705
36.4.1	機能概要 .....	2705
36.4.2	構成 .....	2705
36.4.3	動作例 .....	2706
36.4.4	設定フロー .....	2707
36.4.5	動作機能の設定 .....	2707
36.4.6	レジスタ .....	2708
36.5	タイマ間接続 (トリガ・パルス幅測定機能) .....	2711
36.5.1	機能概要 .....	2711
36.5.2	構成 .....	2711
36.5.3	動作例 .....	2713
36.5.4	設定フロー .....	2716
36.5.5	動作機能の設定例 .....	2719
36.5.6	レジスタ .....	2722
36.6	タイマ・モータ制御機能との接続 (デッド・タイム付き 3 相 PWM 出力機能) .....	2727
36.6.1	機能概要 .....	2727
36.6.2	構成 .....	2727
36.6.3	動作例 .....	2731
36.6.4	設定フロー .....	2740
36.6.5	動作機能の設定例 .....	2742
36.6.6	レジスタ .....	2749
36.7	タイマ・モータ制御機能との接続 (デッド・タイム付き高精度三角波 PWM 出力機能) .....	2756
36.7.1	機能概要 .....	2756
36.7.2	構成 .....	2757
36.7.3	動作例 .....	2760
36.7.4	設定フロー .....	2773
36.7.5	動作機能の設定例 .....	2775
36.7.6	レジスタ .....	2783
36.8	タイマ・モータ制御機能との接続 (デッド・タイム付きディレイ・パルス出力機能) .....	2795
36.8.1	機能概要 .....	2795
36.8.2	構成 .....	2795
36.8.3	動作例 .....	2799
36.8.4	設定フロー .....	2805
36.8.5	動作機能の設定例 .....	2808
36.8.6	レジスタ .....	2815
36.9	CAN コントローラとタイマの接続 (CAN タイム・スタンプ機能) .....	2822
36.9.1	機能概要 .....	2822
36.9.2	構成 .....	2822
36.9.3	レジスタ .....	2824
36.10	A/D コンバータとタイマの接続 (A/D コンバータ・トリガ選択機能) .....	2827
36.10.1	機能概要 .....	2827
36.10.2	構成 .....	2827
36.10.3	動作例 .....	2830
36.10.4	設定フロー .....	2831
36.10.5	動作機能の設定例 .....	2831
36.10.6	レジスタ .....	2832
36.11	A/D コンバータとタイマの接続 (A/D トリガ・エンコーダ・キャプチャ機能) .....	2834



36.11.1	機能概要 .....	2834
36.11.2	構成 .....	2834
36.11.3	動作例 .....	2835
36.11.4	設定フロー .....	2837
36.11.5	動作機能の設定例 .....	2838
36.11.6	レジスタ .....	2840
<b>第 37 章</b>	<b>電圧コンパレータ (VCPC) .....</b>	<b>2842</b>
37.1	V850E2/Fx4-H の VCPC の特長 .....	2842
37.2	概説 .....	2844
37.2.1	機能説明 .....	2845
37.2.2	比較結果 .....	2846
37.2.3	スタンバイ・モード .....	2846
37.2.4	タイミング .....	2847
37.3	電圧コンパレータ・レジスタ .....	2848
<b>第 38 章</b>	<b>オンチップ・デバッグ・ユニット (OCD) .....</b>	<b>2851</b>
38.1	V850E2/Fx4-H オンチップ・デバッグ機能 .....	2852
38.1.1	エミュレーション・ブレークのモジュールの動作 .....	2852
38.1.2	信号マスク .....	2854
38.2	機能概要 .....	2855
38.3	エミュレーション・ブレークの制御 .....	2857
38.4	オンチップ・デバッグ・エミュレータとの接続 .....	2858
38.5	オンチップ・デバッグ使用上の注意 .....	2860
<b>第 39 章</b>	<b>バウンダリ・スキャン .....</b>	<b>2861</b>
39.1	概要 .....	2861
39.2	JTAG インタフェース .....	2861
39.3	バウンダリ・スキャン・モードの開始 .....	2861
39.4	バウンダリ・スキャンの特徴 .....	2862
39.5	バウンダリ・スキャン対象端子 .....	2862
39.6	デバイス ID レジスタ (DID) .....	2864
<b>第 40 章</b>	<b>電源 .....</b>	<b>2865</b>
40.1	電源端子の名称 .....	2865
40.2	電源システム .....	2866
40.2.1	デジタル回路の電源 .....	2866
40.2.2	V850E2/FK4-H の電源システム .....	2867
40.2.3	V850E2/FL4-H の電源システム .....	2868
40.3	電源投入および電源オフの手順 .....	2869
40.3.1	電源シーケンサ .....	2872
40.3.2	初期電源投入および最終電源オフ .....	2874
40.3.3	DEEPSTOP モードへの移行とウエイクアップ .....	2876
40.3.4	電源障害 .....	2882
40.4	その他の電源 .....	2884

---

## 第 1 章 概説

### 1.1 V850E2/Fx4-H 製品の概要

#### 1.1.1 V850E2/Fx4-H の機能

各製品の機能一覧を示します。

## (1) V850E2/FK4-H 製品概要

表 1-1 V850E2/FK4-H 製品一覧 (1/2)

愛 称		FK4-H 2M	
品 名		μPD70F3561	
内蔵メモリ	命令フラッシュ	2 MB	
	データ・フラッシュ	64 KB	
	RAM	144 KB	
	バックアップ RAM	16 KB	
外部メモリ・インタフェース (MEMC)		あり	
CPU	CPU システム	V850E2M	
	FPU	あり	
	CPU 周波数	160 MHz max.	
	システム保護機能 (SPF)	MPU	あり
		SRP	あり
		TSU	あり
		PPU	あり
命令キャッシュ		8 KB/ 2 way associative (4 KB/ way)	
DMA		16 チャンネル	
動作クロック	メイン・クロック発振回路 (MainOsc)	4 MHz ~ 20 MHz	
	低速内蔵発振回路 (LS IntOsc)	240 kHz typ.	
	高速内蔵発振 (HS IntOsc)	8 MHz typ.	
	サブクロック発振回路 (SubOsc)	32768 Hz typ.	
	PLL0 (SSCG0)	80 MHz max.	
	PLL1	80 MHz max.	
	PLL2 (SSCG2)	80 MHz max.	
I/O ポート		127	
A/D コンバータ (ADCA)		1 × 24 チャンネル, 12 ビット, 6 S & H 1 × 16 チャンネル, 12 ビット	
タイマ	タイマ・アレイ・ユニット A (TAUA), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット B (TAUB), 16 ビット	2 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット C (TAUC), 16 ビット	4 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット	2 ユニット × 4 チャンネル	
	PWM 診断ユニット (PMCA)	1 ユニット (48 チャンネル)	
	PWM ディレイ・ユニット (DLYA)	1 ユニット (48 チャンネル)	
	リアルタイム・クロック (RTCA) キャリブレーション	1 ユニット	
	ウィンドウ・ウォッチドッグ・タイマ (WDTA)	2 チャンネル	
	OS タイマ (OSTM)	1 チャンネル	
	モータ制御 (TAPA)	1 チャンネル	
	エンコーダ・タイマ (ENCA)	1 チャンネル	

表 1-1 V850E2/FK4-H 製品一覧 (2/2)

愛 称		FK4-H 2M	
品 名		μPD70F3561	
シリアル・ インタフェース	CAN (FCN)		3 チャンネル (64 メッセージ・バッファ) 1 チャンネル (128 メッセージ・バッファ)
	Diagnostic CAN (DCAN)		1 チャンネル (128 メッセージ・バッファ)
	LIN マスタ・コントローラ付き (LM) UART (URTE)		12 チャンネル
	CSI (CSIG)		2 チャンネル
	FIFO 付き CSI (CSIH)		3 チャンネル
	I <sup>2</sup> C (IICB)		1 チャンネル
	Flexray		1 ユニット (2ch)
割り込み	マスカブル	外部	16
		内部	215
	ノンマスカブル (NMI)	外部	1
		内部	2
その他の機能	パワーオン・クリア		あり
	電圧コンパレータ		2 チャンネル
	クロック・モニタ (CLMA)		メイン・クロック, 高速内蔵発振, PLL0 監視可能
	ランダム・ナンバ・ジェネレータ (RNGA)		1 チャンネル
	データ CRC (DCRA)		1 チャンネル
	キー割り込み (KR)		8 チャンネル
	ウエイクアップ信号出力		あり
	補助周波数出力 (FOUT)		あり
	オンチップ・デバッグ		あり
電源	内部供給		3.0 V ~ 5.5 V <sup>a</sup>
	I/O 供給		VPOC <sup>b</sup> ~ 5.5 V <sup>a</sup>
動作温度		-40 °C ~ +125 °C <sup>a</sup>	
パッケージ		176 ピン HLQFP	

a) 「電気的特性 (ターゲット)」参照.

b) 2.9V +/-0.1V.

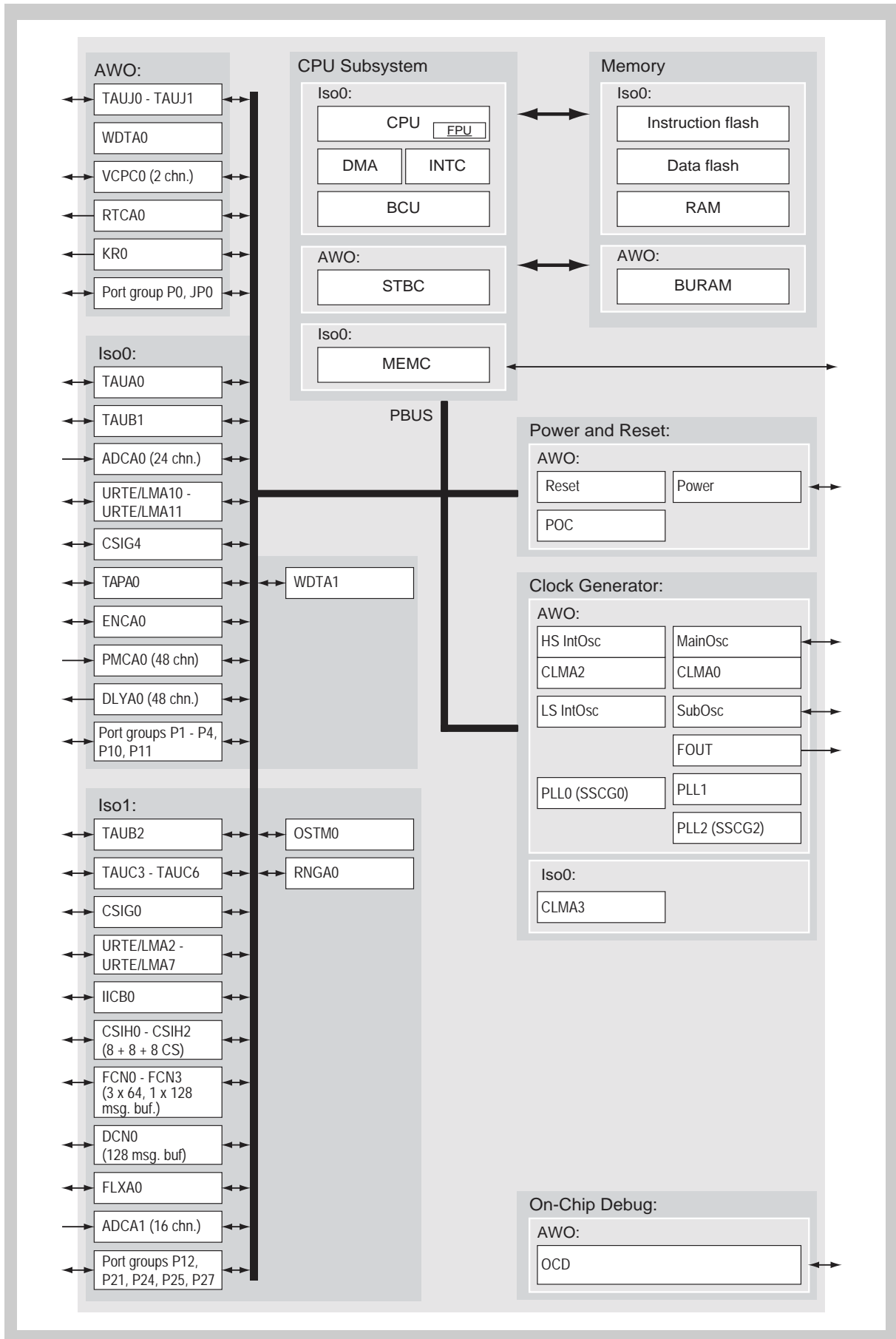


図 1-1 V850E2/FK4-H のブロック図

## (2) V850E2/FL4-H 製品概要

表 1-2 V850E2/FL4-H 製品一覧 (1/2)

愛 称		FL4-H 2M	
品 名		μPD70F3564	
内蔵メモリ	命令フラッシュ	2 MB	
	データ・フラッシュ	64 KB	
	RAM	144 KB	
	バックアップ RAM	16 KB	
外部メモリ・インタフェース (MEMC)		あり	
CPU	CPU システム	V850E2M	
	FPU	あり	
	CPU 周波数	160 MHz max.	
	システム保護 機能 (SPF)	MPU	あり
		SRP	あり
		TSU	あり
PPU		あり	
命令キャッシュ		8 KB/ 2 way associative (4 KB/ way)	
DMA		16 チャンネル	
動作クロック	メイン・クロック発振回路 (MainOsc)	4 MHz ~ 20 MHz	
	低速内蔵発振回路 (LS IntOsc)	240 kHz typ.	
	高速内蔵発振 (HS IntOsc)	8 MHz typ.	
	サブクロック発振回路 (SubOsc)	32768 Hz typ.	
	PLL0 (SSCG0)	80 MHz max.	
	PLL1	80 MHz max.	
	PLL2 (SSCG2)	80 MHz max.	
I/O ポート		157	
A/D コンバータ (ADCA)		1 × 24 チャンネル, 12 ビット, 6 S & H 1 × 24 チャンネル, 12 ビット	
タイマ	タイマ・アレイ・ユニット A (TAUA), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット B (TAUB), 16 ビット	2 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット C (TAUC), 16 ビット	5 ユニット × 8 チャンネル	
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット	2 ユニット × 4 チャンネル	
	PWM 診断ユニット (PMCA)	1 ユニット (56 チャンネル)	
	PWM ディレイ・ユニット (DLYA)	1 ユニット (56 チャンネル)	
	リアルタイム・クロック (RTCA) キャリブレーション	1 ユニット	
	ウィンドウ・ウォッチドッグ・タイマ (WDTA)	2 チャンネル	
	OS タイマ (OSTM)	1 チャンネル	
	モータ制御 (TAPA)	1 チャンネル	
	エンコーダ・タイマ (ENCA)	1 チャンネル	

表 1-2 V850E2/FL4-H 製品一覧 (2/2)

愛 称		FL4-H 2M	
品 名		μPD70F3564	
シリアル・ インタフェース	CAN (FCN)		3 チャンネル (64 メッセージ・バッファ) 2 チャンネル (128 メッセージ・バッファ)
	Diagnostic CAN (DCN)		1 チャンネル (128 メッセージ・バッファ)
	LIN マスタ・コントローラ付き (LM) UART (URTE)		12 チャンネル
	CSI (CSIG)		3 チャンネル
	FIFO 付き CSI (CSIH)		3 チャンネル
	I <sup>2</sup> C (IICB)		1 チャンネル
	Flexray		1 ユニット (2ch)
割り込み	マスカブル	外部	16
		内部	221
	ノンマスカブル (NMI)	外部	1
		内部	2
その他の機能	パワーオン・クリア		あり
	電圧コンパレータ		2 チャンネル
	クロック・モニタ (CLMA)		メイン・クロック, 高速内蔵発振, PLL0 監視可能
	ランダム・ナンバ・ジェネレータ (RNGA)		1 チャンネル
	データ CRC (DCRA)		1 チャンネル
	キー割り込み (KR)		8 チャンネル
	ウエイクアップ信号出力		あり
	補助周波数出力 (FOUT)		あり
	オンチップ・デバッグ		あり
電源	内部供給		3.0 V ~ 5.5 V <sup>a</sup>
	I/O 供給		VPOC <sup>b</sup> ~ 5.5 V <sup>a</sup>
動作温度			-40 °C ~ +125 °C <sup>a</sup>
パッケージ			208 ピン QFP 272 ピン BGA

a) 「電気的特性 (ターゲット)」参照。

b) 2.9V +/-0.1V。

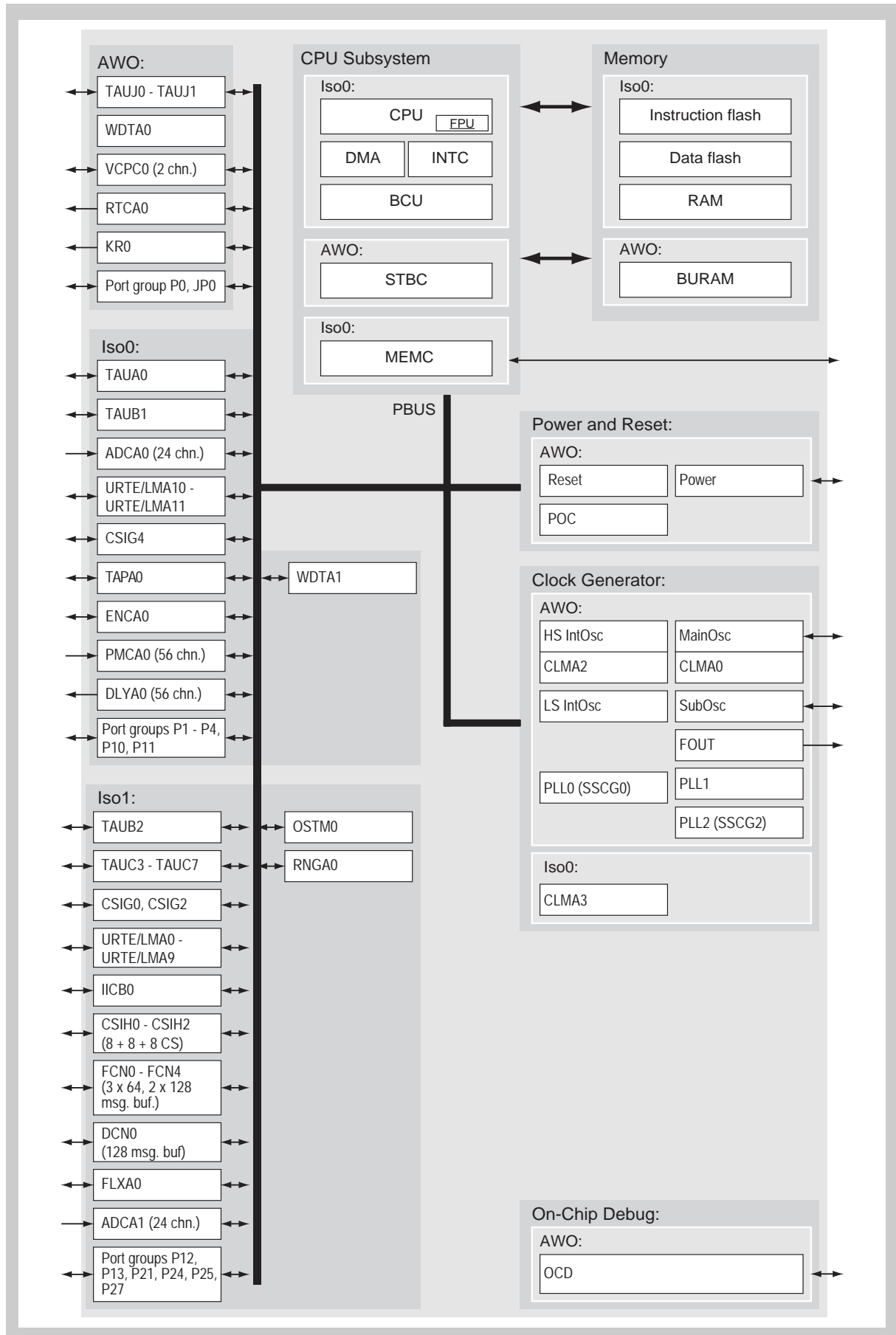


図 1-2 V850E2/FL4-H のブロック図



## 1.2 関連資料

表 1-3 関連資料一覧

資料番号	タイトル
R01US0001	V850E2M ユーザーズ・マニュアル アーキテクチャ編

## 1.3 オーダ情報

表 1-4 V850E2/Fx4-H オーダ情報

愛称	デバイス名	ルネサスオーダ・コード	備考
FK4-H 2M	μPD70F3561	データシートの「オーダ情報」を参照してください。	
FL4-H 2M	μPD70F3564		

## 第2章 端子機能

この章では、ポート機能の一般的な内容について説明します。

第1節では、端子グループ、レジスタのベース・アドレスなど製品ごとに固有な仕様を説明します。

第2節では、すべてのポートで提供されるポート機能の特徴を説明します。

第3節では、V850E2/Fx4-H 全端子の個々の機能をまとめています。

### 2.1 特徴

**ポート・グループ** この製品には下記番号のポート・グループがあります。

表 2-1 V850E2/Fx4-H のポート・グループ

ポート・グループ	V850E2/FK4-H	V850E2/FL4-H
数	12	14
名称	P0-P4, P10-P12, P21, P25, P27, JP0	P0-P4, P10-P13, P21, P24, P25, P27, JP0

**ポート・グループ・インデクス n** この章を通して、個々のポート・グループはインデクス "n" (n = 0-4, 10-13, 21, 22, 24-29) により識別されます。たとえば、Pn 端子のポート・モード・コントロール・レジスタは PMCn です。

**レジスタ・アドレス** すべてのポートと JTAG ポートのコントロール・レジスタのアドレスは、それぞれのベース・アドレス <PORTn\_base> と <JPORn\_base> からのオフセット・アドレスとして与えられます。  
ベース・アドレスの <PORTn\_base> と <JPORn\_base> は下表に示します。

表 2-2 ポート・ベース・アドレス <PORTn\_base> および <JPORn\_base>

<PORTn_base> アドレス	<JPORn_base> アドレス
FF40 0000 <sub>H</sub>	FF44 0000 <sub>H</sub>

## 2.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポート・グループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポート・グループの用語の説明は、2.2.1「用語」を参照してください。

- 機能概要**
- 端子ごとの設定が可能
  - 次に示す機能は、主な端子で選択可能
    - 4タイプの入力バッファ特性
    - 2タイプの出カバッファ特性
    - オープン・ドレーン・エミュレーション
    - プルアップ抵抗, プルダウン抵抗の接続
  - 次に示すレジスタは、主なポートで使用可能
    - 端子の値をリードするレジスタ
    - ポート・レジスタ
    - ポート・セット/リセット・レジスタ
    - 出力反転レジスタ

## 2.2.1 用語

この章で使用されている用語について説明します。

- **端子**

物理的な端子を表します。端子ごとに一意の端子番号で表されます。端子は複数のモードで使用できます。端子名は、選択したモードによって決まり、端子機能を示す名称が割り当てられます。

- **ポート・グループ**

端子のグループを表します。同じポート・グループの端子は、ポート制御レジスタを備えています。

- **ポート・モード/ポート**

ポート・モードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。

対応する名称は Pn\_m です。たとえば、P0\_7 はポート・グループ 0 のポート 7 を示します。これを「ポート P0\_7」と表します。

- **兼用モード**

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能に使用します。

対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。

なお、複数の異なる名称、たとえば P0\_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

- **ポート・タイプ**

設定レジスタの指定で制御回路が決まります。タイプの違う制御回路は「ポート・タイプ」と表します。

**JTAG ポート** JTAG ポート・グループは、オンチップ・デバッグ時にデバッガと接続するために使用します。デバッグ中はユーザ用途として使用できないため、特別なポート・グループとしています。デバッガを接続しない通常動作時は、他のすべてのポートと同じ方法で使用することが可能です。

JTAG ポート・グループのレジスタとビットの名称には先頭に「J」を付加します。たとえば、JP0 は JTAG ポート・グループ 0、JPMn.JPMnm は JPMn ポート・モード・コントロール・レジスタの JPnm ポート・モード・コントロール・ビットを意味します。

**備考** この章では、断りがない限り、すべてのポートとそれらのレジスタの説明は、JTAG ポートも含まれます。

## 2.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポート・モード (PMcn.PMCnm = 0)  
ポート・モードでは、端子は汎用入出力ポートとして動作します。PMn.PMnm で入力/出力を選択します。
- S/W I/O 制御兼用モード (PMcn.PMCnm = 1, PIPcn.PIPCnm = 0)  
S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力/出力の選択は、S/W による PMn.PMnm コントロール・ビットの設定によって行います。
- 直接 I/O 制御兼用モード (PMcn.PMCnm = 1, PIPcn.PIPCnm = 1)  
直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力/出力が直接制御します。

レジスタ設定の概要は下表に示します。

表 2-3 端子機能の設定 (概要)

モード	ビット			I/O
	PMcnm	PMnm	PIPcnm	
ポート・モード	0	0	X	O
		1 <sup>a)</sup>		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

<sup>a)</sup> 入力バッファを必ず許可 (PIBCnm = 1) してください。

端子が兼用モード (PMcn.PMCnm = 1) の場合、最大 4 つの異なる兼用機能の 1 つを PFCn, PFCEn レジスタによって選択します。

- S/W I/O 制御兼用機能 (PIPcn.PIPCnm = 0) :
  - 出力 (PMnm = 0) : ALT-OUT1 ~ ALT-OUT4
  - 入力 (PMnm = 1) : ALT-IN1 ~ ALT-IN4
- 直接 I/O 制御兼用機能 (PIPcn.PIPCnm = 1) :
  - ALT-OUT1 ~ ALT-OUT4, ALT-IN1 ~ ALT-IN4 の入出力は、兼用機能によって直接選択します。

表 2-4 兼用モード選択の概要 (PM<sub>Cn</sub>.PM<sub>Cnm</sub> = 1)

機能	レジスタ				I/O
	PIPC <sup>a</sup>	PM <sup>a</sup>	PFCE	PFC	
兼用出力モード 1 (ALT-OUT1)	0	0	0	0	O
兼用入力モード 1 (ALT-IN1)		1			I
兼用出力モード 2 (ALT-OUT2)		0	0	1	O
兼用入力モード 2 (ALT-IN2)		1			I
兼用出力モード 3 (ALT-OUT3)		0	1	0	O
兼用入力モード 3 (ALT-IN3)		1			I
兼用出力モード 4 (ALT-OUT4)		0	1	1	O
兼用入力モード 4 (ALT-IN4)		1			I

<sup>a)</sup> PIPC<sub>n</sub>.PIPC<sub>nm</sub> = 1 の場合は、入出力方向は周辺（兼用）機能により直接制御します。

端子が兼用モード (PM<sub>Cn</sub>.PM<sub>Cnm</sub> = 1) の場合、最大 4 つの異なる兼用機能の 1 つを PFC<sub>n</sub>, PFCE<sub>n</sub> レジスタによって選択します。

### 2.2.3 端子データ入力／出力

端子データの入力／出力に使用するレジスタについて説明します。

**出力データ** ポート・モード (PM<sub>Cn</sub>.PM<sub>Cnm</sub> = 0) では P<sub>n</sub>.P<sub>nm</sub> の値が P<sub>n</sub>\_m 端子から出力します。

**入力データ** PPR<sub>n</sub> レジスタのリード動作では、P<sub>n</sub>\_m 端子の値、ポート・レジスタの関連ビット P<sub>n</sub>.P<sub>nm</sub> の値、または兼用機能による出力値のいずれかを読み出します。

PPR<sub>n</sub> のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPR<sub>n</sub> リード・モードの違いを次の表に示します。

表 2-5 PPRnm リード値

PMC nm	PM nm	PIBC nm	PIPC nm	PODC nm	モード	PPRnm リード値	
0	1	0	X	X	ポート入力, 入力バッファ禁止	Pn.Pnm レジスタ	
		1		X	ポート入力, 入力バッファ許可	Pn_m 端子	
	0	X		0	ポート・プッシュプル出力	Pn.Pnm レジスタ <sup>a</sup>	
				1	ポート・オープン・ドレイン出力		
1	1	X	0	X	S/W I/O 制御兼用入力	Pn_m 端子	
				0	S/W I/O 制御兼用プッシュプル出力		兼用機能内部出力信号 <sup>a</sup>
				1	S/W I/O 制御兼用オープン・ドレイン出力		
	X		1	0	直接 I/O 制御兼用プッシュプル出力	兼用機能モードでの入出力ポート: • 入力: Pn_m 端子 • 出力: 兼用機能内部出力信号 <sup>a</sup>	
				1	直接 I/O 制御兼用オープン・ドレイン出力		

<sup>a)</sup> PBDCnm = 1 の場合, Pn\_m 端子レベルを, PPRnm レジスタでリードします。

上表に示す各制御レジスタの効果:

- PMCn.PMCnm

このビットは, ポート・モード (PMcNm = 0) または兼用機能モード (PMcNm = 1) を選択します。

- PMn.PMnm

このビットは, ポート・モード (PMcNm = 0) と S/W I/O 制御兼用機能モード (PMcNm = 1, PIPcNm = 0) 時に入力 (PMnm = 1) または出力 (PMnm = 0) を選択します。

- PIBCn.PIBCnm

このビットは, 入力ポート・モード (PMcNm = 0 と PMnm = 1) 時に入力バッファを使用不可 (PIBCnm = 0) または使用許可 (PIBCnm = 1) を選択します。入力バッファが使用不可の場合, PPRnm は Pn.Pnm ビットをリードし, 使用許可の場合は Pn\_m 端子のレベルをリードします。

- PIPcN.PIPcNm

このビットは, S/W I/O 制御兼用機能モードまたは直接 I/O 制御兼用機能モードを選択します。

- PODCn.PODCnm

このビットは, プッシュプル (PODCnm = 0) またはオープン・ドレイン (PODCnm = 1) 出力を選択します。

- PBDCn.PBDCnm

このビットを 1 に設定すると, PPRnm は強制的に Pn\_m 端子のレベルをリードします。つまり, ポートが出力モードの場合, Pn\_m 端子のレベルをリードできる双方向モードを許可します。

---

**注意** Pn<sub>m</sub> ポートを兼用出力機能 (PMCn.PMCnm = 1, PMn.PMnm = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCnm = 1) することにより、PPRn.PPRnm で Pn<sub>m</sub> 端子のレベルをリードすることができます。

しかし、その場合、Pn<sub>m</sub> 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

---

**Pn レジスタへの  
ライト** ポート・モード (PMCn.PMCnm = 0) 時に Pn<sub>m</sub> ポートから出力するデータは Pn レジスタに保持します。

Pn データは2つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

Pn レジスタに直接ライトすることによる、データの書き換え。

- 間接的な Pn レジスタへのビット操作 (set/reset/not)

Pn レジスタへのビット操作 (set/reset/not) は2つのレジスタを使って間接的に可能です。

- ポート・セット/リセット・レジスタ PSRn

PSRn.PSRn (m+16) = 1 の場合、PSRn.PSRnm ビットの値が Pn.Pnm ビットの値を決めます。

つまり、Pn レジスタへ直接ライトせずに Pnm ビットを set/reset することが可能です。

- ポート・ノット・レジスタ PNOTn

PNOTn.PNOTnm = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pnm ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。



### 2.2.4 ポート制御論理図

下図は、ポート制御機能の論理図を示します。

**注意** この図は参考に論理を示すもので、実際の回路を示すものではありません。

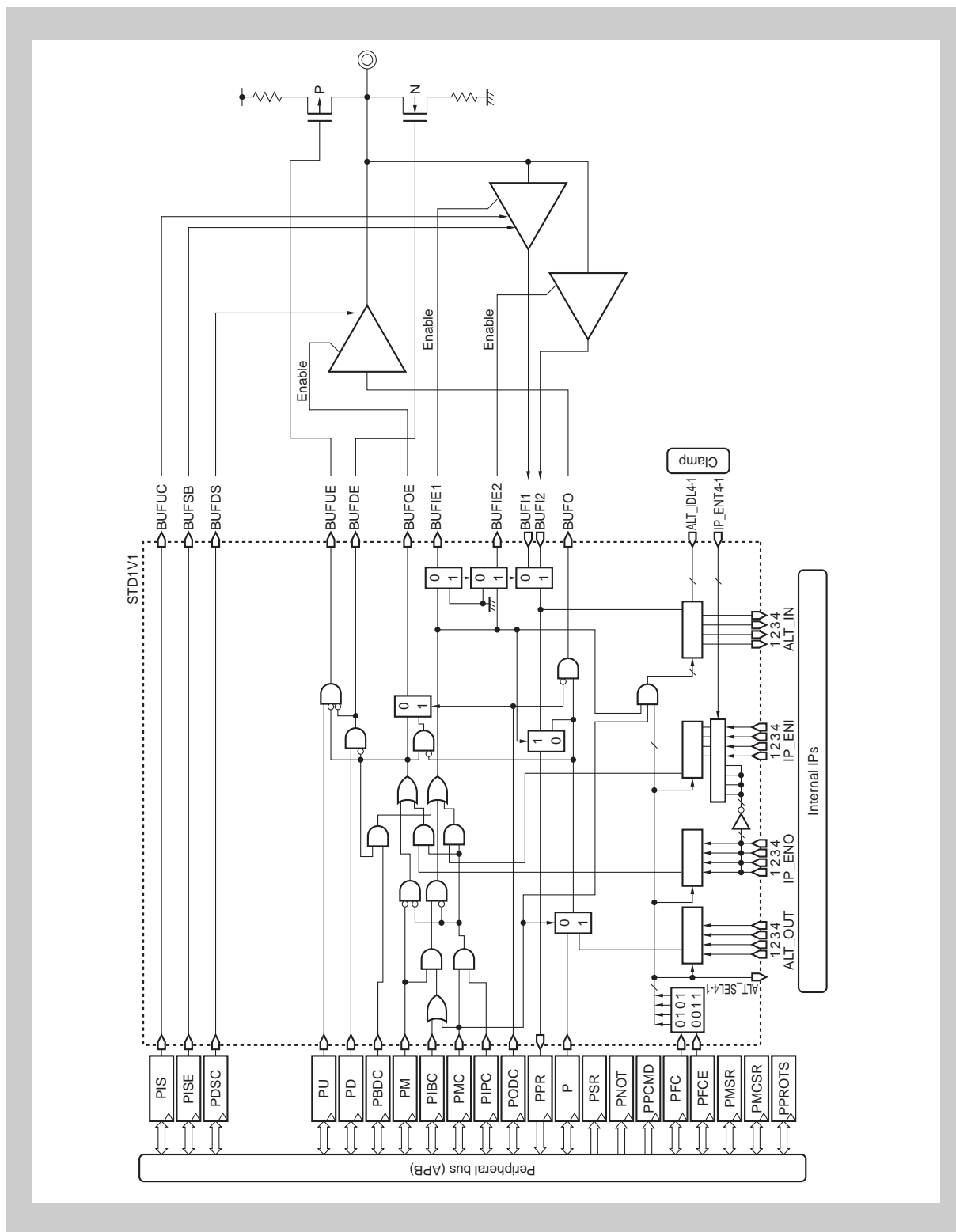


図 2-1 ポート制御論理図

## 2.2.5 書き込み保護レジスタ

書き込み保護されたレジスタは、誤ったプログラム実行などによる不注意な書き込みアクセスから保護します。

以下のポート・レジスタがこの特別な書き込み保護機能を持っています。

- ポート・ドライブ強度コントロール・レジスタ PDSCn, JPDSCn
- ポート・オープン・ドレーン・コントロール・レジスタ PODCn, JPODCn

### (1) ポート・レジスタ保護クラスタ

ポート・グループ n の保護されたレジスタは、ポート・レジスタ保護クラスタにまとめられます。

ポート・レジスタ保護クラスタにまとめられたポート・グループは、2.3.5「ポート・レジスタ保護」に記載しています。

### (2) ポート保護解除シーケンス

書き込み保護レジスタへの書き込みアクセスは、特別な保護解除シーケンスのみ可能です。

1. 保護コマンド・レジスタ PPCMDn に固定値 A5<sub>H</sub> を書いてください。
2. 保護されたレジスタに必要な値（上位 16 ビットに 0 を設定した 32 ビットの値）を書いてください。
3. 保護されたレジスタに必要な値のビット反転値（上位 16 ビットに 1 を設定した 32 ビットの値）を書いてください。
4. 保護されたレジスタに必要な値（上位 16 ビットに 0 を設定した 32 ビットの値）を書いてください。
5. PPROTSn.PPROTSnPRERR = 0 を確認して、保護されたレジスタに、必要な値が正常に書き込まれたことを確認してください。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記シーケンスのステップ 1 からステップ 4 の間に別のレジスタへアクセスした場合、保護メカニズムは次のとおりになります。

- 2 つ目のレジスタが同じクラスタに属していれば、保護されたレジスタへの書き込みが無効になります（PPROTSn.PPROTSnPRERR = 1 が示されます）。シーケンス全体はステップ 1 から再開する必要があります。
- 2 つ目のレジスタが同じクラスタに属していないならば、保護解除シーケンスは妨害されず、最初のレジスタへの書き込みは正常に完了します。

保護解除シーケンスが割り込みで中断された場合、保護メカニズムは次のとおりになります。

- 保護解除シーケンス中の割り込み

保護解除シーケンス中に割り込みが発生しても、割り込みサービス・ルーチンが同じポート・レジスタ保護クラスタのどのようなレジスタにアクセスしないならば、保護解除シーケンスは妨害されず、保護されたレジスタへの書き込みは、割り込みサービス・ルーチンから戻ったあと、正常に完了します。

- 保護シーケンス中のエミュレータによるブレーク

ブレーク・ポイントがヒットするなどにより、保護シーケンス中にエミュレーションによるブレークが発生した場合、レジスタ保護はブレーク再開後の通常動作まで中断します。

それは、ブレーク中にどのようなクロックまたはスタンバイ制御レジスタをアクセスしても、保護シーケンスが妨害されないことを意味します。

クロックおよびスタンバイ制御レジスタへのアクセスでは PPROTSn.PPROTSnPRERR は 1 になりません。

## 2.3 ポート・グループ・コンフィギュレーション・レジスタ

この節では、はじめにすべてのポート・コンフィギュレーション・レジスタの概要を示し、次に各レジスタの詳細を示します。ポート・コンフィギュレーション・レジスタは次のように分類します。

- 2.3.2 「端子機能の設定」
- 2.3.3 「端子データ入力／出力」
- 2.3.4 「電気的特性の設定」

### 2.3.1 概要

次のレジスタは、ポート・グループの各端子の設定に使用します。

表 2-6 ポート・グループ・コンフィギュレーション・レジスタ (1/2)

レジスタ名	略号	アドレス
<b>端子機能の設定</b>		
ポート・モード・コントロール・レジスタ	PMCn	<PORTn_base> + 0400 <sub>H</sub> + n × 4
	JPMCn	<JPORTn_base> + 0040 <sub>H</sub> + n × 4
ポート・モード・コントロール・セット／リセット・レジスタ	PMCSRn	<PORTn_base> + 0900 <sub>H</sub> + n × 4
	JPMCSRn	<JPORTn_base> + 0090 <sub>H</sub> + n × 4
ポート IP コントロール・レジスタ	PIPCn	<PORTn_base> + 4200 <sub>H</sub> + n × 4
ポート・モード・レジスタ	PMn	<PORTn_base> + 0300 <sub>H</sub> + n × 4
	JPMn	<JPORTn_base> + 0030 <sub>H</sub> + n × 4
ポート・モード・セット／リセット・レジスタ	PMSRn	<PORTn_base> + 0800 <sub>H</sub> + n × 4
	JPMSRn	<JPORTn_base> + 0080 <sub>H</sub> + n × 4
ポート入力バッファ・コントロール・レジスタ	PIBCn	<PORTn_base> + 4000 <sub>H</sub> + n × 4
	JPIBCn	<JPORTn_base> + 0400 <sub>H</sub> + n × 4
ポート機能コントロール・レジスタ	PFCn	<PORTn_base> + 0500 <sub>H</sub> + n × 4
	JPFCn	<JPORTn_base> + 0050 <sub>H</sub> + n × 4
ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600 <sub>H</sub> + n × 4
<b>端子データ入力／出力</b>		
ポート双方向コントロール・レジスタ	PBDCn	<PORTn_base> + 4100 <sub>H</sub> + n × 4
	JPBDCn	<JPORTn_base> + 0410 <sub>H</sub> + n × 4
ポート端子リード・レジスタ	PPRn	<PORTn_base> + 0200 <sub>H</sub> + n × 4
	JPPRn	<JPORTn_base> + 0020 <sub>H</sub> + n × 4
ポート・レジスタ	Pn	<PORTn_base> + 0000 <sub>H</sub> + n × 4
	JPn	<JPORTn_base> + 0000 <sub>H</sub> + n × 4
ポート・ノット・レジスタ	PNOTn	<PORTn_base> + 0700 <sub>H</sub> + n × 4
	JPNOTn	<JPORTn_base> + 0070 <sub>H</sub> + n × 4
ポート・セット／リセット・レジスタ	PSRn	<PORTn_base> + 0100 <sub>H</sub> + n × 4
	JPSRn	<JPORTn_base> + 0010 <sub>H</sub> + n × 4

表 2-6 ポート・グループ・コンフィギュレーション・レジスタ (2/2)

レジスタ名	略号	アドレス
<b>電氣的特性的設定</b>		
プルアップ・オプション・レジスタ	PUn	<PORTn_base> + 4300 <sub>H</sub> + n × 4
	JPU <sub>n</sub>	<JPORTn_base> + 0430 <sub>H</sub> + n × 4
プルダウン・オプション・レジスタ	PD <sub>n</sub>	<PORTn_base> + 4400 <sub>H</sub> + n × 4
	JPD <sub>n</sub>	<JPORTn_base> + 0440 <sub>H</sub> + n × 4
ポート・ドライブ強度コントロール・レジスタ	PDSC <sub>n</sub>	<PORTn_base> + 4600 <sub>H</sub> + n × 4
	JPDSC <sub>n</sub>	<JPORTn_base> + 0460 <sub>H</sub> + n × 4
ポート・オープン・ドレイン・コントロール・レジスタ	PODC <sub>n</sub>	<PORTn_base> + 4500 <sub>H</sub> + n × 4
	JPODC <sub>n</sub>	<JPORTn_base> + 0450 <sub>H</sub> + n × 4
ポート入力バッファ選択レジスタ	PIS <sub>n</sub>	<PORTn_base> + 4700 <sub>H</sub> + n × 4
	JPIS <sub>n</sub>	<JPORTn_base> + 0470 <sub>H</sub> + n × 4
ポート入力バッファ選択拡張レジスタ	PISE <sub>n</sub>	<PORTn_base> + 4800 <sub>H</sub> + n × 4
	JPISE <sub>n</sub>	<JPORTn_base> + 0480 <sub>H</sub> + n × 4
<b>ポート・レジスタ保護</b>		
ポート・レジスタ保護コマンド・レジスタ	PPCMD <sub>n</sub>	<PORTn_base> + 4C00 <sub>H</sub> + n × 4
	JPPCMD <sub>n</sub>	<JPORTn_base> + 04C0 <sub>H</sub> + n × 4
ポート保護ステータス・レジスタ	PPROTS <sub>n</sub>	<PORTn_base> + 4B00 <sub>H</sub> + n × 4
	JPPROTS <sub>n</sub>	<JPORTn_base> + 04B0 <sub>H</sub> + n × 4

**<PORTn\_base>** PORTn のベース・アドレス <PORTn\_base> は、2.1 「特徴」の「レジスタ・アドレス」で定義しています。

**JTAG ポート・レジスタ** 以降のレジスタ説明では、JTAG ポート・レジスタについて記載していません。

すべての説明（PFCE<sub>n</sub> レジスタと PIPC<sub>n</sub> レジスタ以外）は JTAG ポート・レジスタも適用されますが、JTAG ポート・レジスタのベース・アドレスは異なります。

**<JPORTn\_base>** JPORTn のベース・アドレス <JPORTn\_base> は、2.1 「特徴」の「レジスタ・アドレス」で定義しています。

**レジスタ初期値** リセット解除後の初期値はポートに依存します。初期値については、以降のレジスタ説明ではなく、2.4 「V850E2/Fx4-H ポート・グループ構成」に記載します。

## 2.3.2 端子機能の設定

### (1) PMCn - ポート・モード・コントロール・レジスタ

このレジスタは、ポート・グループ n の各端子がポート・モードか兼用モードかを指定します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 0400<sub>H</sub> + n × 4  
<JPORT\_base> + 0040<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn	PMCn
15	15	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-7 PMCn レジスタの内容

ビット位置	ビット名	機能
15-0	PMCn [15:0]	対応する端子の動作モードを指定します。 0: ポート・モード 1: 兼用モード

**(2) PMCSRn - ポート・モード・コントロール・セット/リセット・レジスタ**

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCnm にデータをライトするかどうかを指定します。

**備考** PMCSRn レジスタは、お客様がソフトウェアを AUTOSAR に準拠させる際にご使用いただくよう備えたレジスタです。PMCn レジスタへ（PMCSRn レジスタを介さず）直接書き込む（読み出す）ことは可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000<sub>H</sub> がリードされます。ビット 15-0 は PMCn レジスタの値をリードします。

**アドレス** <PORT\_base> + 0900<sub>H</sub> + n × 4  
<JPORT\_base> + 0090<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PMC SRn31	PMC SRn30	PMC SRn29	PMC SRn28	PMC SRn27	PMC SRn26	PMC SRn25	PMC SRn24	PMC SRn23	PMC SRn22	PMC SRn21	PMC SRn20	PMC SRn19	PMC SRn18	PMC SRn17	PMC SRn16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMC SRn15	PMC SRn14	PMC SRn13	PMC SRn12	PMC SRn11	PMC SRn10	PMC SRn9	PMC SRn8	PMC SRn7	PMC SRn6	PMC SRn5	PMC SRn4	PMC SRn3	PMC SRn2	PMC SRn1	PMC SRn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-8 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PMC SRn[31:16]	対応する PMCSRnm の下位ビットの値を PMCnm にライトするかどうかを指定するイネーブル・ビットです。 0: PMCnm は PMCSRnm に依存しません。 1: PMCnm は PMCSRnm の値になります。 例： PMCSRn.PMCSRn31 = 1 の場合、PMCSRn.PMCSRn15 ビットの値を PMCn.PMCn15 ビットにライトします。
15-0	PMC SRn[15:0]	対応する上位ビット（PMCSRn[31:16]）の PMCSRnm が 1 の場合、PMCnm の値を指定するデータ・ビットです。 0: PMCnm = 0 1: PMCnm = 1

**(3) PIPcN - ポート IP コントロール・レジスタ**

このレジスタは、Pn\_m 端子の入出力方向がポート・モード・レジスタ PMn.PMnm と兼用機能のどちらによって制御するかを指定します。

Pn\_m 端子が兼用モード (PMcN.PMcNm = 1) となり、兼用機能が直接 Pn\_m の入出力方向を制御する場合、PIPCn.PIPCnm は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PMn.PMnm の設定が無効となります。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 4200<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn	PIPCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-9 PIPcN レジスタの内容

ビット位置	ビット名	機能
15-0	PIPCn [15:0]	入出力制御モードを指定します。 0: 入出力モードは PMn.PMnm (S/W 入出力制御) によって選択します。 1: 入出力モードは周辺機能 (直接入出力制御) によって選択します。



**(4) PMn - ポート・モード・レジスタ**

このレジスタは、ポート・グループ n の各端子が入力モードか出力モードかを指定します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 0300<sub>H</sub> + n × 4  
<JPORT\_base> + 0030<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMn15	PMn14	PMn13	PMn12	PMn11	PMn10	PMn9	PMn8	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-10 PMn レジスタの内容

ビット位置	ビット名	機能
15-0	PMn[15:0]	対応する端子の入力／出力モードを指定します。 0: 出力モード（出力許可） 1: 入力モード（出力禁止）

- 備考**
1. ポートを入力ポート・モード（PMn.PMnm = 0 かつ PMn.PMnm = 1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCnm = 1）。
  2. リセット後は PIPcn.PIPCnm = 0（入出力モードは PMn.PMnm によって制御）ですので、PMnm はポート・モード（PMn.PMnm = 0）と兼用モード（PMn.PMnm = 1）の入出力方向を指定します。

**(5) PMSRn - ポート・モード・セット/リセット・レジスタ**

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMnm にデータをライトするかどうかを指定します。

**アクセス** 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000<sub>H</sub> をリードします。ビット 15-0 は PMn レジスタの値をリードします。

**備考** PMSRn レジスタは、お客様がソフトウェアを AUTOSAR に準拠させる際にご使用いただくよう備えたレジスタです。PMn レジスタへ（PMSRn レジスタを介さず）直接書き込む（読み出す）ことは可能です。

**アドレス** <PORT\_base> + 0800<sub>H</sub> + n × 4  
<JPORT\_base> + 0080<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM
SRn31	SRn30	SRn29	SRn28	SRn27	SRn26	SRn25	SRn24	SRn23	SRn22	SRn21	SRn20	SRn19	SRn18	SRn17	SRn16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM	PM
SRn15	SRn14	SRn13	SRn12	SRn11	SRn10	SRn9	SRn8	SRn7	SRn6	SRn5	SRn4	SRn3	SRn2	SRn1	SRn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-11 PMSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PM SRn[31:16]	対応する PMSRnm の下位ビットの値を PMnm にライトするかどうかを指定するイネーブル・ビットです。 0: PMnm は PMSRnm に依存されません。 1: PMnm は PMSRnm の値になります。 例： PMSRn.PMSRn31 = 1 の場合、PMSRn.PMSRn15 ビットの値を PMn.PMn15 ビットにライトします。
15-0	PM SRn[15:0]	対応する上位ビット（PMSRn[31:16]）の PMSRnm が 1 の場合、PMnm 値を指定するデータ・ビットです。 0: PMnm = 0 1: PMnm = 1

**(6) PIBCn - ポート入力バッファ・コントロール・レジスタ**

このレジスタは、入力ポート・モード（PM<sub>Cn</sub>.PM<sub>Cnm</sub> = 0 かつ PM<sub>n</sub>.PM<sub>nm</sub> = 1）で、ポート端子の入力バッファを許可します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 4000<sub>H</sub> + n × 4  
<JPORT\_base> + 0400<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn	PIBCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-12 PIBCn レジスタの内容

ビット位置	ビット名	機能
15-0	PIBCn[15:0]	入力バッファを許可／禁止します。 0: 入力バッファ禁止 1: 入力バッファ許可

**備考** 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウ・レベルに固定する必要はありません。

**注意** このレジスタの設定は、双方向モード（PBDCn.PBDCnm = 1）では無効です。

**(7) PFCn - ポート機能コントロール・レジスタ**

このレジスタは、PFCEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn\_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1（入出力モードは周辺機能で選択）に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 0500<sub>H</sub> + n × 4  
<JPORT\_base> + 0050<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCn 15	PFCn 14	PFCn 13	PFCn 12	PFCn 11	PFCn 10	PFCn9	PFCn8	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-13 PFCn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCn[15:0]	端子の兼用機能を指定します。 詳細は表 2-4 「兼用モード選択の概要（PMcn.PMCnm = 1）」を参照してください。

**(8) PFCEn - ポート機能コントロール拡張レジスタ**

このレジスタは、PFCn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn\_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm は 1（入出力モードは周辺機能で選択）に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm によって指定します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 0600<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCE n15	PFCE n14	PFCE n13	PFCE n12	PFCE n11	PFCE n10	PFCE n9	PFCE n8	PFCE n7	PFCE n6	PFCE n5	PFCE n4	PFCE n3	PFCE n2	PFCE n1	PFCE n0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-14 PFCEn レジスタの内容

ビット位置	ビット名	機能
15-0	PFCEn[15:0]	端子の兼用機能を指定します。 詳細は表 2-4 「兼用モード選択の概要（PMcn.PMCnm = 1）」を参照してください。

### 2.3.3 端子データ入力／出力

#### (1) PBDCn - ポート双方向コントロール・レジスタ

このレジスタは、入力バッファを許可し、常に Pn\_m 端子のレベルを PPRn.PPRnm 経由で読み出すことができます。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <PORT\_base> + 4100<sub>H</sub> + n × 4  
<JPORT\_base> + 0410<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn	PBDCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-15 PBDCn レジスタの内容

ビット位置	ビット名	機能
15-0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可

**注意** Pn\_m ポートを兼用出力機能 (PMcn.PMCnm = 1, PMn.PMnm = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCnm = 1) することにより、PPRn.PPRnm で Pn\_m 端子のレベルをリードすることができます。しかし、その場合、Pn\_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

**備考** PBDCn = 1 に設定すると、PMn.PMnm のポート・モード設定は無視します。

**(2) PPRn - ポート端子リード・レジスタ**

このレジスタは、実際の Pn\_m 端子レベル、Pn.Pnm ビットの値、または兼用機能の出力レベルを表します。リードする値は、表 2-5 「PPRnm リード値」に示すように、制御設定によって異なります。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** <PORT\_base> + 0200<sub>H</sub> + n × 4  
<JPORT\_base> + 0020<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn	PPRn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2-16 PPRn レジスタの内容

ビット位置	ビット名	機能
15-0	PPRn[15:0]	Pn_m 端子, Pn.Pnm の値, または兼用機能の出力

**(3) Pn - ポート・レジスタ**

このレジスタは、出力ポート・モード時 (PMcn.PMCnm = 0, PMn.PMnm = 0) に、関連のポート Pn\_m から出力される Pn.Pnm データを保持します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 0000<sub>H</sub> + n × 4  
<JPORT\_base> + 0000<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pn15	Pn14	Pn13	Pn12	Pn11	Pn10	Pn9	Pn8	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-17 Pn レジスタの内容

ビット位置	ビット名	機能
15-0	Pn[15:0]	Pn_m 端子 (m = 0-15) の出力レベルを設定します。 0: ロウ・レベル出力 1: ハイ・レベル出力

**備考** このレジスタのビットは、さまざまな手段で操作できます。2.2.3 「端子データ入力/出力」の「Pn レジスタへのライト」を参照してください。

**(4) PNOTn - ポート・ノット・レジスタ**

このレジスタは、ポート・レジスタ Pn に直接ライトせずに Pn の Pnm ビットを反転できます。

**アクセス** 16 ビット単位でリード／ライト可能です。常に 0000<sub>H</sub> をリードします。

**アドレス** <PORT\_base> + 0700<sub>H</sub> + n × 4  
<JPORT\_base> + 0070<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn	PNOTn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2-18 PNOTn レジスタの内容

ビット位置	ビット名	機能
15-0	PNOTn[15:0]	Pn.Pnm を反転するかどうかを指定します。 0: Pn.Pnm を反転しない (Pnm → Pnm) 1: Pn.Pnm を反転する (Pnm → Pnm)

**(5) PSRn - ポート・セット/リセット・レジスタ**

このレジスタにより、Pn レジスタにデータをライトするもう1つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pnm にデータをライトするかどうかを指定します。

**アクセス** 32 ビット単位でリード/ライト可能です。

ビット 31-16 は常に 0000<sub>H</sub> をリードします。ビット 15-0 は Pn レジスタの値をリードします。

**アドレス** <PORT\_base> + 0100<sub>H</sub> + n × 4  
<JPORT\_base> + 0010<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PSRn 31	PSRn 30	PSRn 29	PSRn 28	PSRn 27	PSRn 26	PSRn 25	PSRn 24	PSRn 23	PSRn 22	PSRn 21	PSRn 20	PSRn 19	PSRn 18	PSRn 17	PSRn 16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSRn 15	PSRn 14	PSRn 13	PSRn 12	PSRn 11	PSRn 10	PSRn 9	PSRn 8	PSRn 7	PSRn 6	PSRn 5	PSRn 4	PSRn 3	PSRn 2	PSRn 1	PSRn 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-19 PSRn レジスタの内容

ビット位置	ビット名	機能
31-16	PSRn[31:16]	対応する PSRnm の下位ビットの値が Pnm にライトするかどうかを指定するイネーブル・ビットです。 0: Pnm は PSRnm に依存しません。 1: Pnm は PSRnm の値になります。 例： PSRn.PSRn31 = 1 の場合、PSRn.PSRn15 ビットの値を Pn.Pn15 ビットにライトします。
15-0	PSRn[15:0]	対応する上位ビット (PSRn[31:16]) の PSRnm が 1 の場合、Pnm 値を指定するデータ・ビットです。 0: Pnm = 0 1: Pnm = 1



### 2.3.4 電気的特性の設定

#### (1) PUn - プルアップ・オプション・レジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 4300<sub>H</sub> + n × 4  
<JPORT\_base> + 0430<sub>H</sub> + n × 4

**初期値** 2.4「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUn15	PUn14	PUn13	PUn12	PUn11	PUn10	PUn9	PUn8	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-20 PUn レジスタの内容

ビット位置	ビット名	機能
15-0	PUn[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルアップ抵抗を接続しない 1: 内蔵プルアップ抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUnm = 1) と内蔵プルダウン抵抗 (PDn.PDnm = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
  - 2 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

**(2) PDn - プルダウン・オプション・レジスタ**

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 4400<sub>H</sub> + n × 4  
<JPORT\_base> + 0440<sub>H</sub> + n × 4

**初期値** 2.4「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDn15	PDn14	PDn13	PDn12	PDn11	PDn10	PDn9	PDn8	PDn7	PDn6	PDn5	PDn4	PDn3	PDn2	PDn1	PDn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-21 PDn レジスタの内容

ビット位置	ビット名	機能
15-0	PDn[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0: 内蔵プルダウン抵抗を接続しない 1: 内蔵プルダウン抵抗を接続する

- 備考**
- 1 端子に内蔵プルアップ抵抗 (PUn.PUnm = 1) と内蔵プルダウン抵抗 (PDn.PDnm = 1) の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
  2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

**(3) PDSCn - ポート・ドライブ強度コントロール・レジスタ**

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの速いモード（ハイ・ドライブ強度）と遅いモード（ロウ・ドライブ強度）にも関わっています。

**アクセス** 32 ビット単位でリード/ライト可能です。

このレジスタを更新するには、PPCMD レジスタを使った正しい書き込みシーケンスが必要です。

**アドレス** <PORT\_base> + 4600<sub>H</sub> + n × 4  
<JPORT\_base> + 0460<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn	PDSCn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-22 PDSCn レジスタの内容

ビット位置	ビット名	機能
31-0	PDSCn[31:0]	ポート端子の出力バッファのポート・ドライブ強度を指定します。 0: ロウ・ドライブ強度（端子から出力する周波数が 25 MHz 以下の場合） 1: ハイ・ドライブ強度（端子から出力する周波数が 25 MHz より大きく、40 MHz 以下の場合）

**(4) PODCn - ポート・オープン・ドレイン・コントロール・レジスタ**

このレジスタは、出力バッファの機能としてプッシュプルまたはオープン・ドレインを選択します。

**アクセス** 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、特定の命令シーケンスによって保護されます。詳細は 2.3.5 「ポート・レジスタ保護」を参照してください。

**アドレス** <PORT\_base> + 4500<sub>H</sub> + n × 4  
<JPORT\_base> + 0450<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PODCn 15	PODCn 14	PODCn 13	PODCn 12	PODCn 11	PODCn 10	PODCn 9	PODCn 8	PODCn 7	PODCn 6	PODCn 5	PODCn 4	PODCn 3	PODCn 2	PODCn 1	PODCn 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-23 PODCn レジスタの内容

ビット位置	ビット名	機能
15-0	PODCn[15:0]	出力バッファの機能を指定します。 0: プッシュプル 1: オープン・ドレイン

**(5) PISn - ポート入力バッファ選択レジスタ**

このレジスタは、ポート入力バッファ選択拡張レジスタ PISEn とともに、入力バッファ特性を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 4700<sub>H</sub> + n × 4  
<JPORT\_base> + 0470<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn15	PISn14	PISn13	PISn12	PISn11	PISn10	PISn9	PISn8	PISn7	PISn6	PISn5	PISn4	PISn3	PISn2	PISn1	PISn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-24 PISn レジスタの内容

ビット位置	ビット名	機能
15-0	PISn[15:0]	表 2-25 「PISEn レジスタの内容」を参照してください。

**(6) PISn - ポート入力バッファ選択拡張レジスタ**

このレジスタは、ポート入力バッファ選択レジスタ PISn とともに入力バッファ特性を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <PORT\_base> + 4800<sub>H</sub> + n × 4  
<JPORT\_base> + 0480<sub>H</sub> + n × 4

**初期値** 2.4 「V850E2/Fx4-H ポート・グループ構成」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn	PISn
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-25 PISn レジスタの内容

ビット位置	ビット名	機能															
15-0	PISn[15:0]	PISn[15:0] ビットとともに端子 m (m = 0-15) の入力バッファ特性を指定します。 <table border="1" data-bbox="550 925 1385 1137"> <thead> <tr> <th>PISnm</th><th>PISnm</th><th>入力バッファ特性</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>タイプ 1 (CMOS)</td></tr> <tr> <td>0</td><td>1</td><td>タイプ 2 (SHMT2)</td></tr> <tr> <td>1</td><td>0</td><td>タイプ 3 (SHMT1)</td></tr> <tr> <td>1</td><td>1</td><td>タイプ 4 (SHMT4)</td></tr> </tbody> </table>	PISnm	PISnm	入力バッファ特性	0	0	タイプ 1 (CMOS)	0	1	タイプ 2 (SHMT2)	1	0	タイプ 3 (SHMT1)	1	1	タイプ 4 (SHMT4)
PISnm	PISnm	入力バッファ特性															
0	0	タイプ 1 (CMOS)															
0	1	タイプ 2 (SHMT2)															
1	0	タイプ 3 (SHMT1)															
1	1	タイプ 4 (SHMT4)															

### 2.3.5 ポート・レジスタ保護

#### (1) PPCMDn - ポート・レジスタ保護コマンド・レジスタ

このレジスタは、保護対象のポート・レジスタのためのコマンド・レジスタです。

**アクセス** 8ビット単位でライト可能です。

ビット7-0は、常に0がリードされます。

**アドレス** <PORT\_base> + 4C00<sub>H</sub> + n × 4

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 2-26 PPCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	-	保護対象のポート・レジスタにライトできるコマンド

#### (2) PPROTSn - ポート保護ステータス・レジスタ

このレジスタは、保護対象のポート・レジスタの書き込みシーケンスのステータスを示します。

**アクセス** 8ビット単位でリード可能です。

ライトした場合、無視されます。

**アドレス** <PORT\_base> + 4B00<sub>H</sub> + n × 4

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn PRERR
W	W	W	W	W	W	W	W

表 2-27 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn PRERR	保護対象のポート・レジスタの書き込みシーケンス・エラーを確認します。 0: 保護エラー未発生 1: 保護エラー発生

## (3) 保護対象のポート・レジスタ

PDSCn - ポート・ドライブ強度コントロール・レジスタ

PODCn - ポート・オープン・ドレーン・コントロール・レジスタ

## (4) 保護対象のポート・レジスタの書き込みシーケンス

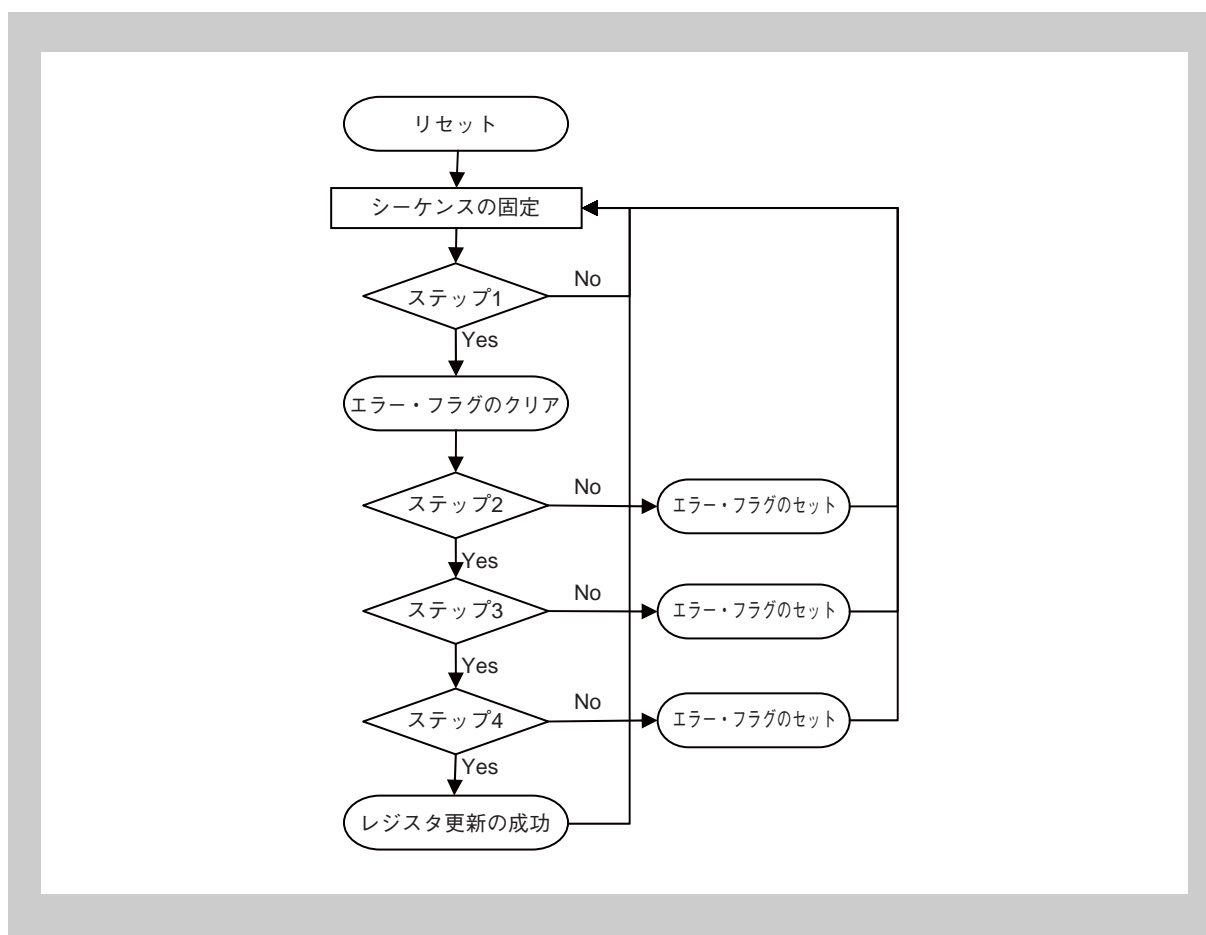


図 2-2 保護対象のポート・レジスタの書き込みシーケンス

- ステップ 1** 書き込みシーケンスを初期化するため、PPCMD レジスタに A5<sub>H</sub> をライトする。
- ステップ 2** 保護対象のレジスタに 32 ビット単位でデータをライトする（更新はしない）。
- ステップ 3** 同じ保護対象のレジスタに 32 ビット単位で逆のデータをライトする（更新はしない）。
- ステップ 4** 再び同じ保護対象のレジスタに 32 ビット単位でデータをライトする（更新の成功）。



## 2.4 V850E2/Fx4-H ポート・グループ構成

この節では次の説明をします。

- ポートレジスタ保護機能の概要。詳細は 2.4.1 「ポート・レジスタ保護」を参照してください。
- ポートの基本機能説明。  
詳細は 2.4.2 「ポート機能概要」を参照してください。
- 各製品のポート・グループとポート関連レジスタ。  
詳細は 2.4.3 「V850E2/FK4-H ポート機能」以降を参照してください。
- アルファベット順の兼用機能と割り当てられているポートの一覧は、2.4.5 「アルファベット順端子機能一覧」を参照してください。
- リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能については、2.4.6 「リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能」を参照してください。

### 2.4.1 ポート・レジスタ保護

いくつかのレジスタにはポート・レジスタ保護があります。

表 2-28 ポート保護群

ポート保護群	ポート・グループ
1	JP0
2	P0
3	P1-P4, P10, P11
4	P12, P13, P21, P24, P25, P27

ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の 3.15 「ライト保護レジスタ」を参照してください。

## 2.4.2 ポート機能概要

ここでは、各デバイスの端子がもつ兼用機能について説明します。

**汎用 I/O 機能** ポート・モードか兼用モードかは、PMcN レジスタの設定によって選択できます。PMcN.PMCNm = 1 に設定した場合、兼用機能は、PFCn, PFCEn レジスタで選択します。汎用 I/O 機能は各製品のピン配置を確認してください。

**リセット後の特殊 I/O** リセット解除後の特殊な機能のポートについて次に示します。

### (1) P0\_0: RESETOUT

リセット解除後、P0\_0 端子は RESETOUT 信号からロウ・レベルを出力します。P0\_0 端子の構成はリセット解除後次のようになります。

- PM0.P00 = 0 : 出力ポート
- PODC0.PODC0\_0 = 1: オープン・ドレイン出力

リセット解除後、P0.P0\_0 = 0 となりロウ・レベルを出力します。

P0\_0 端子の構成を何か変更すると RESETOUT 出力は停止します。

### (2) JP0\_0-JP0\_5 : デバッグ・インタフェース

リセット解除後、デバッグ・リセット端子 (DCUTRST) がハイ・レベルなら、JP0 ポート・グループの端子がデバッグ・インタフェースとして使用できます。

- JP0\_0 : DCUTDI 入力
- JP0\_1 : DCUTDO 出力
- JP0\_2 : DCUTCK 入力
- JP0\_3 : DCUTMS
- JP0\_4 : DCUTRST
- JP0\_5 : DCUTRDY

したがって、デバッグと接続している間、これらの端子のポートおよび兼用機能が使用できなくなります。

**備考** JP0-JP5 端子をデバッグに接続する場合、フラッシュ・マスク・オプション OPBT0.OPBT0[31] をセット (1) してください。

### (3) JP0\_0, JP0\_1, JP0\_2: フラッシュ・プログラマ

これらの端子はフラッシュ・プログラマと接続する場合に使用します。

詳細は、第7章「フラッシュ・メモリ」を参照してください。

**(4) モード端子**

FLMD0 端子と P0\_1: FLMD1 端子を組み合わせでシリアル・フラッシュ・プログラミング・モードに設定できます。

**常時入力** 次のポートは専用の兼用機能に常に接続しています。

表 2-29 常時入力機能端子

ポート	常時入力	ポート	常時入力	ポート	常時入力
P10_6	ADCA0I6	P11_6	ADCA0I22	P12_14	ADCA1I14
P10_7	ADCA0I7	P11_7	ADCA0I23	P12_15	ADCA1I15
P10_8	ADCA0I8	P12_0	ADCA1I0	P13_0	ADCA1I16
P10_9	ADCA0I9	P12_1	ADCA1I1	P13_1	ADCA1I17
P10_10	ADCA0I10	P12_2	ADCA1I2	P13_2	ADCA1I18
P10_11	ADCA0I11	P12_3	ADCA1I3	P13_3	ADCA1I19
P10_12	ADCA0I12	P12_4	ADCA1I4	P13_4	ADCA1I20
P10_13	ADCA0I13	P12_5	ADCA1I5	P13_5	ADCA1I21
P10_14	ADCA0I14	P12_6	ADCA1I6	P13_6	ADCA1I22
P10_15	ADCA0I15	P12_7	ADCA1I7	P13_7	ADCA1I23
P11_0	ADCA0I16	P12_8	ADCA1I8		
P11_1	ADCA0I17	P12_9	ADCA1I9		
P11_2	ADCA0I18	P12_10	ADCA1I10		
P11_3	ADCA0I19	P12_11	ADCA1I11		
P11_4	ADCA0I20	P12_12	ADCA1I12		
P11_5	ADCA0I21	P12_13	ADCA1I13		

**備考** ポート P10 グループ、および P11 グループの端子をデジタル入力機能で使用する場合、事前に ADCA0CTL1.ADCA0GPS ビットを "1" に設定してください。

ポート P12 グループ、および P13 グループの端子をデジタル入力機能で使用する場合、事前に ADCA1CTL1.ADCA1GPS ビットを "1" に設定してください。

**特殊 I/O 制御 (PIPC)** いくつかの機能ではポートの入力・出力を自動的に制御します。  
PMcN.PMcNm, PFCn.PFCnm, PFCEn.PFCEnm を設定することで兼用機能に設定し、さらに以下の設定をすることで I/O 制御を兼用機能に引き継ぎます。

PIPCn.PIPCnm = 1

この設定によって端子の PMn.PMnm の設定は無効になります。

次に PIPCn.PIPCnm = 1 とする必要がある兼用機能について示します。

製品によって使用できない兼用機能があります。

表 2-30 PIPCn.PIPCnm = 1 設定が必要な兼用機能 (1/2)

ポート	機能	兼用モード
クロック同期シリアル・インタフェース G (CSIG)		
P0_14	CSIG0SO	ALT_OUT4
P0_15	CSIG0SC	ALT_IN4/ALT_OUT4
P4_4	CSIG0SO	ALT_OUT2
P4_5	CSIG0SC	ALT_IN2/ALT_OUT2
P0_1	CSIG4SO	ALT_OUT2
P0_3	CSIG4SC	ALT_IN2/ALT_OUT2
P3_6	CSIG0SO	ALT_OUT4
P3_5	CSIG0SC	ALT_IN4/ALT_OUT4
P4_7	CSIG4SO	ALT_OUT2
P4_8	CSIG4SC	ALT_IN2/ALT_OUT2
P25_4	CSIG4SO	ALT_OUT3
P25_5	CSIG4SC	ALT_IN3/ALT_OUT3
クロック同期シリアル・インタフェース H (CSIH)		
P4_1	CSIH0SO	ALT_OUT3
P4_2	CSIH0SC	ALT_IN3/ALT_OUT3
P1_8	CSIH1SO	ALT_OUT3
P1_9	CSIH1SC	ALT_IN3/ALT_OUT3
P1_3	CSIH2SO	ALT_OUT4
P1_4	CSIH2SC	ALT_IN4/ALT_OUT4
P21_3	CSIH2SO	ALT_OUT2
P21_4	CSIH2SC	ALT_IN2/ALT_OUT2
タイマ・オプション機能 (TAPA)		
P1_2	TAPA0UP	ALT_OUT3
P1_3	TAPA0UN	ALT_OUT3
P1_4	TAPA0VP	ALT_OUT3
P1_5	TAPA0VN	ALT_OUT3
P1_6	TAPA0WP	ALT_OUT3
P1_7	TAPA0WN	ALT_OUT3

表 2-30 PIPcN.PIPcNm = 1 設定が必要な兼用機能 (2/2)

ポート	機能	兼用モード
外部メモリ・インタフェース (MEMC)		
P21_2	$\overline{\text{MEMC0BEN1}}$	ALT_OUT1
P21_3	$\overline{\text{MEMC0BEN0}}$	ALT_OUT1
P21_4	$\overline{\text{MEMC0WR}}$	ALT_OUT1
P21_5	$\overline{\text{MEMC0RD}}$	ALT_OUT1
P21_9	$\overline{\text{MEMC0CS2}}$	ALT_OUT1
P21_10	$\overline{\text{MEMC0CS3}}$	ALT_OUT1
P21_11	$\overline{\text{MEMC0CS4}}$	ALT_OUT1
P25_0	MEMC0AD0	ALT_IN1/ALT_OUT1
P25_1	MEMC0AD1	ALT_IN1/ALT_OUT1
P25_2	MEMC0AD2	ALT_IN1/ALT_OUT1
P25_3	MEMC0AD3	ALT_IN1/ALT_OUT1
P25_4	MEMC0AD4	ALT_IN1/ALT_OUT1
P25_5	MEMC0AD5	ALT_IN1/ALT_OUT1
P25_6	MEMC0AD6	ALT_IN1/ALT_OUT1
P25_7	MEMC0AD7	ALT_IN1/ALT_OUT1
P25_8	MEMC0AD8	ALT_IN1/ALT_OUT1
P25_9	MEMC0AD9	ALT_IN1/ALT_OUT1
P25_10	MEMC0AD10	ALT_IN1/ALT_OUT1
P25_11	MEMC0AD11	ALT_IN1/ALT_OUT1
P25_12	MEMC0AD12	ALT_IN1/ALT_OUT1
P25_13	MEMC0AD13	ALT_IN1/ALT_OUT1
P25_14	MEMC0AD14	ALT_IN1/ALT_OUT1
P25_15	MEMC0AD15	ALT_IN1/ALT_OUT1
P27_0	MEMC0A16	ALT_OUT1
P27_1	MEMC0A17	ALT_OUT1
P27_2	MEMC0A18	ALT_OUT1
P27_5	$\overline{\text{MEMC0ASTB}}$	ALT_OUT2

### 2.4.3 V850E2/FK4-H ポート機能

V850E2/FK4-H のポート機能およびその兼用機能とポート制御レジスタについて示します。

#### (1) 汎用 I/O 機能

V850E2/FK4-H のポート機能と兼用機能について表 2-31 「V850E2/FK4-H 汎用 I/O 機能」に示します。

PMCnm、PFCnm、PFCEnm と PMnm を制御することによって異なるモードにすることが可能です。

表 2-31 V850E2/FK4-H 汎用 I/O 機能 (1/4)

ポート・モード	兼用モード							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEn_m = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
<b>ポート・グループ 0:</b>								
P0_0	TAUJ110	TAUJ100	CSIG4SSI		ADCA0TRG0		INTP0	
P0_1	TAUJ111	TAUJ101	CSIG4DCS	CSIG4SO <sup>a</sup>	URTE2RX		INTP1	TAUA001
P0_2	TAUJ112	TAUJ102	CSIG4SI	RTCA00OUT	ADCA0TRG2	URTE2TX	INTP2	TAUA002
P0_3	TAUJ113	TAUJ103	CSIG4SC <sup>a</sup>		ADCA0TRG1		INTP3/ TAPA0ESO	
P0_4		FCN0TX					INTP11	
P0_5	FCN0RX						INTP12	
P0_6	FCN1RX	URTE11TX	KR01	CSIH2CSS1	NMI			
P0_7	URTE11RX	FCN1TX	KR02	CSIH2CSS2	INTP4			
P0_8	FCN2RX	URTE10TX	KR03	CSIH2CSS3	INTP5	TAUA005	IICB0SDA	
P0_9	URTE10RX	FCN2TX	KR04	CSIH2CSS4	INTP6	TAUA006	IICB0SCL	
P0_10	FCN3RX	URTE11TX	CSIG3SC		INTP9			
P0_11	URTE11RX	FCN3TX			INTP10			
P0_12	TAUJ010	TAUJ000	KR010		INTP8		CSIG0SSI	CSCXFOUT
P0_13	TAUJ011	TAUJ001	KR015	CSIH2CSS5	INTP7		CSIG0SI	
P0_14	TAUJ012	TAUJ002	KR016	CSIH2CSS6	FCN5RX	TAUB1013	CSIG0DCS	CSIG0SO <sup>a</sup>
P0_15	TAUJ013	TAUJ003	KR017	CSIH2CSS7		TAUB1014	CSIG0SC <sup>a</sup>	
<b>ポート・グループ 1:</b>								
P1_1	TAUA011	TAUA001		TAUC401	ENCA0AIN		FCN1RX	FCN0TX
P1_2	TAUA012	TAUA002		TAUC402	ENCA0BIN	TAPA0UP	CSIH2SI	FCN1TX
P1_3	TAUA013	TAUA003		TAUC405	ENCA0ZIN	TAPA0UN	CSIH2DCS	CSIH2SO
P1_4	TAUA014	TAUA004		TAUC406	ENCA0TIN0	TAPA0VP	CSIH2SC	
P1_5	TAUA015	TAUA005		TAUC409	ENCA0TIN1	TAPA0VN	CSIH2RYI	CSIH2RYO
P1_6	TAUA016	TAUA006		TAUC4010	CSIH1SSI	TAPA0WP	CSIH2SSI	CSIH2CSS0
P1_7	TAUA017	TAUA007		TAUC4013	CSIH1SI	TAPA0WN	FCN0RX	CSIH2CSS1
P1_8	TAUA018	TAUA008		TAUC4014	CSIH1DCS	CSIH1SO <sup>a</sup>	FCN2RX	URTE4TX
P1_9	TAUA019	TAUA009	INTP3	FLX0TXENA	CSIH1SC <sup>a</sup>		URTE4RX	FCN2TX
P1_10	TAUA0110	TAUA0010	FLX0RXDA	URTE3TX	CSIH1RYI	CSIH1RYO	INTP4	
P1_11	TAUA0111	TAUA0011	URTE3RX	FLX0TXDA		CSIH1CSS0	INTP5	
P1_12	TAUA0112	TAUA0012	FLX0RXDB	URTE4TX		CSIH1CSS1	INTP6	
P1_13	TAUA0113	TAUA0013	URTE4RX	FLX0TXDB		CSIH1CSS2	INTP7	

表 2-31 V850E2/FK4-H 汎用 I/O 機能 (2/4)

ポート・モード	兼用モード							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEn_m = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P1_14	TAUA014	TAUA0014	FLX0STPW	URTE5TX		CSIH1CSS3	INTP8	
P1_15	TAUA015	TAUA0015	URTE5RX	FLX0TXENB		CSIH1CSS4	INTP9	
<b>ポート・グループ 2:</b>								
P2_0				URTE6TX		CSIH1CSS5	INTP10	
P2_1			URTE6RX	URTE7TX	INTP0	CSIH1CSS6	TAUJ1I3	TAUJ1O3
P2_2			URTE7RX		INTP1	CSIH1CSS7	TAUJ1I2	TAUJ1O2
<b>ポート・グループ 3:</b>								
P3_0	TAUJ1I1	TAUJ1O1	TAUA0I0	TAUA0O0				
P3_1	TAUB2I1	TAUB2O1	TAUA0I1	TAUA0O1				
P3_2	TAUB2I2	TAUB2O2	TAUA0I2	TAUA0O2	KR0I7			
P3_3	TAUB2I3	TAUB2O3	TAUA0I3	TAUA0O3	KR0I6			
P3_4	TAUB2I5	TAUB2O5	TAUA0I4	TAUA0O4	KR0I5		CSIG0RYI	CSIG0RYO
P3_5	TAUB2I6	TAUB2O6	TAUA0I5	TAUA0O5	KR0I4		CSIG0SC <sup>a</sup>	
P3_6	TAUB2I7	TAUB2O7	TAUA0I6	TAUA0O6			CSIG0DCS	CSIG0SO <sup>a</sup>
P3_7	TAUB2I9	TAUB2O9	TAUA0I7	TAUA0O7	URTE7RX		CSIG0SI	URTE3TX
P3_8	TAUB2I10	TAUB2O10	TAUA0I8	TAUA0O8	INTP11	URTE6TX	URTE3RX	
P3_9	TAUB2I11	TAUB2O11	TAUA0I9	TAUA0O9	URTE5RX	FCN5TX	INTP12	URTE3TX
<b>ポート・グループ 4:</b>								
P4_0	TAUB1I1	TAUB1O1	TAUA0I13	TAUA0O13	CSIH0SI	URTE7TX		
P4_1	TAUB1I2	TAUB1O2	TAUA0I14	TAUA0O14	CSIH0DCS	CSIH0SO <sup>a</sup>	URTE2RX	FCN3TX
P4_2	TAUB1I3	TAUB1O3	TAUA0I15	TAUA0O15	CSIH0SC <sup>a</sup>		FCN3RX	URTE2TX
P4_3	TAUB1I5	TAUB1O5	CSIG0SI	URTE10TX	CSIH0RYI	CSIH0RYO	INTP10	
P4_4	INTP2	TAUB1O6	URTE10RX	CSIG0SO <sup>a</sup>	CSIH0SSI	CSIH0CSS0	ENCA0TIN0	
P4_5	TAUB1I7	TAUB1O7	CSIG0SC <sup>a</sup>		KR0I3	CSIH0CSS1	ENCA0TIN1	
P4_6	TAUB1I9	TAUB1O9	CSIG4SI	URTE11TX	KR0I2	CSIH0CSS2	ENCA0AIN	
P4_7	INTP4	TAUB1O10	URTE11RX	CSIG4SO <sup>a</sup>	KR0I1	CSIH0CSS3	ENCA0BIN	
P4_8	TAUB1I11	TAUB1O11	CSIG4SC <sup>a</sup>		KR0I0	CSIH0CSS4	ENCA0ZIN	
P4_9	TAUB1I13	TAUB1O13		CSIG0RYO		CSIH0CSS5		URTE8TX
P4_10	TAUB1I14	TAUB1O14	CSIG4RYI		INTP15	CSIH0CSS6	URTE8RX	
P4_11	TAUB1I15	TAUB1O15				CSIH0CSS7		
<b>ポート・グループ 10:</b>								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
P10_12								
P10_13								
P10_14								
P10_15								
<b>ポート・グループ 11:</b>								

表 2-31 V850E2/FK4-H 汎用 I/O 機能 (3/4)

ポート・モード	兼用モード							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEn_m = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P11_0								
P11_1								
P11_2								
P11_3								
P11_4								
P11_5								
P11_6								
P11_7								
ポート・グループ 12:								
P12_0								
P12_1								
P12_2								
P12_3								
P12_4								
P12_5								
P12_6								
P12_7								
P12_8								
P12_9	ADCA1TRG0							
P12_10	ADCA1TRG1							
P12_11	ADCA1TRG2							
P12_12								
P12_13								
P12_14								
P12_15								
ポート・グループ 21:								
P21_2	INTP10	MEMC0BEN1 <sup>a</sup>	CSIH2SI		IICB0SDA		TAUB2I13	TAUB2O13
P21_3	INTP11	MEMC0BEN0 <sup>a</sup>	CSIH2DCS	CSIH2SO <sup>a</sup>	IICB0SCL		TAUB2I14	TAUB2O14
P21_4	INTP12	MEMC0WR <sup>a</sup>	CSIH2SC <sup>a</sup>					TAUC3O1
P21_5	INTP13	MEMC0RD <sup>a</sup>	CSIH2RYI	CSIH2RYO		URTE9TX		TAUC3O2
P21_6	INTP14	MEMC0CLK	CSIH2SSI	CSIH2CSS0	URTE9RX			TAUC3O5
P21_7	MEMC0WAIT			CSIH2CSS1		URTE0TX		TAUC3O6
P21_8	INTP15			CSIH2CSS2	URTE0RX	PMCA0 MSEL0		TAUC3O9
P21_9		MEMC0CS2 <sup>a</sup>		CSIH2CSS3		PMCA0 MSEL1		TAUC3O10
P21_10		MEMC0CS3 <sup>a</sup>		CSIH2CSS4	URTE1RX	PMCA0 MSEL2		TAUC3O13
P21_11		MEMC0CS4 <sup>a</sup>		CSIH2CSS5		URTE1TX		TAUC3O14
ポート・グループ 25:								
P25_0	MEMC0AD0 <sup>a</sup>		INTP6	ETH0TXD3	URTE6RX			TAUC6O1
P25_1	MEMC0AD1 <sup>a</sup>			ETH0TXD2		URTE6TX		TAUC6O2
P25_2	MEMC0AD2 <sup>a</sup>			ETH0TXD1				TAUC6O5
P25_3	MEMC0AD3 <sup>a</sup>			ETH0TXD0	CSIG4SI	URTE7TX		TAUC6O6



表 2-31 V850E2/FK4-H 汎用 I/O 機能 (4/4)

ポート・モード	兼用モード							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEn_m = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P25_4	MEMC0AD4 <sup>a</sup>		INTP7	ETH0TXEN	URTE7RX	CSIG4SO <sup>a</sup>		TAUC6O9
P25_5	MEMC0AD5 <sup>a</sup>			ETH0TXER	CSIG4SC <sup>a</sup>			TAUC6O10
P25_6	MEMC0AD6 <sup>a</sup>		ETH0CRSDV					TAUC6O13
P25_7	MEMC0AD7 <sup>a</sup>		ETH0RXER					TAUC6O14
P25_8	MEMC0AD8 <sup>a</sup>		ETH0RXD0					TAUC5O1
P25_9	MEMC0AD9 <sup>a</sup>		ETH0RXD1					TAUC5O2
P25_10	MEMC0AD10 <sup>a</sup>		ETH0RXD2	CSIH2CSS6				TAUC5O5
P25_11	MEMC0AD11 <sup>a</sup>		ETH0RXD3	CSIH2CSS7				TAUC5O6
P25_12	MEMC0AD12 <sup>a</sup>		ETH0RXDV		IICB0SDA			TAUC5O9
P25_13	MEMC0AD13 <sup>a</sup>		ETH0RXCLK		IICB0SCL			TAUC5O10
P25_14	MEMC0AD14 <sup>a</sup>		INTP5	ETH0MDC	URTE5RX	FCN3TX		TAUC5O13
P25_15	MEMC0AD15 <sup>a</sup>		ETH0MDI	ETH0MDO	FCN3RX	URTE5TX		TAUC5O14
<b>ポート・グループ 27:</b>								
P27_0	INTP0	MEMC0A16 <sup>a</sup>			ADCA1TRG2	PMCA0 MSEL0		
P27_1	INTP1	MEMC0A17 <sup>a</sup>	ETH0COL		ADCA1TRG1	PMCA0 MSEL1		
P27_2	INTP2	MEMC0A18 <sup>a</sup>	ETH0TXCLK		ADCA1TRG0	PMCA0 MSEL2		
P27_3	INTP3							
P27_4	INTP4							
P27_5	INTP5			MEMC0ASTB <sup>a</sup>				
<b>ポート・グループ JP0<sup>b</sup>:</b>								
JP0_0	INTP0	VCPC1OUT	TAUJ0I0	TAUJ0O0				
JP0_1	INTP1	VCPC0OUT	TAUJ0I1	TAUJ0O1				
JP0_2	INTP2	CSCXFOUT	TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI	RTCA0OUT						

a) この兼用モードを使用する場合、PIPCn.PIPCnm = 1に設定してください。入出力に設定でき、PMnm レジスタの影響を受けなくなります。

b) JP0\_0 - JP0\_2については、フラッシュ書き込み時に使用します。

JP0\_0 - JP0\_5については、デバッグ時に使用します。  
詳細は、2.4.2「ポート機能概要」を参照してください。

## (2) V850E2/FK4-H ポート制御レジスタ

V850E2/FK4-H のポートを制御するレジスタとそのアドレス、初期値について示します。

表凡例 A : レジスタ・アドレス

I : 初期値

B : 有効ビット

– 1 : 有効 X : 無効

– 右側 : ビット 0, 左側 : ビット 15

表 2-32 V850E2/FK4-H ポート制御レジスタ (グループ 0- 3) (1/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
Pn	A:	FF40 0000 <sub>H</sub>	FF40 0004 <sub>H</sub>	FF40 0008 <sub>H</sub>	FF40 000C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PSRn	A:	FF40 0100 <sub>H</sub>	FF40 0104 <sub>H</sub>	FF40 0108 <sub>H</sub>	FF40 010C <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PNOTn	A:	FF40 0700 <sub>H</sub>	FF40 0704 <sub>H</sub>	FF40 0708 <sub>H</sub>	FF40 070C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PPRn	A:	FF40 0200 <sub>H</sub>	FF40 0204 <sub>H</sub>	FF40 0208 <sub>H</sub>	FF40 020C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PMn	A:	FF40 0300 <sub>H</sub>	FF40 0304 <sub>H</sub>	FF40 0308 <sub>H</sub>	FF40 030C <sub>H</sub>
	I:	FFFE <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PMCn	A:	FF40 0400 <sub>H</sub>	FF40 0404 <sub>H</sub>	FF40 0408 <sub>H</sub>	FF40 040C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PFCn	A:	FF40 0500 <sub>H</sub>	FF40 0504 <sub>H</sub>	FF40 0508 <sub>H</sub>	FF40 050C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PFCEn	A:	FF40 0600 <sub>H</sub>	FF40 0604 <sub>H</sub>	FF40 0608 <sub>H</sub>	FF40 060C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 11xx
PMSRn	A:	FF40 0800 <sub>H</sub>	FF40 0804 <sub>H</sub>	FF40 0808 <sub>H</sub>	FF40 080C <sub>H</sub>
	I:	0000 FFFE <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PMCSRn	A:	FF40 0900 <sub>H</sub>	FF40 0904 <sub>H</sub>	FF40 0908 <sub>H</sub>	FF40 090C <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111

表 2-32 V850E2/FK4-H ポート制御レジスタ (グループ 0- 3) (2/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
PIBCn	A:	FF40 4000 <sub>H</sub>	FF40 4004 <sub>H</sub>	FF40 4008 <sub>H</sub>	FF40 400C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PBDCn	A:	FF40 4100 <sub>H</sub>	FF40 4104 <sub>H</sub>	FF40 4108 <sub>H</sub>	FF40 410C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PIPCn	A:	FF40 4200 <sub>H</sub>	FF40 4204 <sub>H</sub>	FF40 4208 <sub>H</sub>	FF40 420C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PUn	A:	FF40 4300 <sub>H</sub>	FF40 4304 <sub>H</sub>	FF40 4308 <sub>H</sub>	FF40 430C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PDn	A:	FF40 4400 <sub>H</sub>	FF40 4404 <sub>H</sub>	FF40 4408 <sub>H</sub>	FF40 440C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PODCn	A:	FF40 4500 <sub>H</sub>	FF40 4504 <sub>H</sub>	FF40 4508 <sub>H</sub>	FF40 450C <sub>H</sub>
	I:	0001 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PDSCn	A:	FF40 4600 <sub>H</sub>	FF40 4604 <sub>H</sub>	FF40 4608 <sub>H</sub>	FF40 460C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PISn	A:	FF40 4700 <sub>H</sub>	FF40 4704 <sub>H</sub>	FF40 4708 <sub>H</sub>	FF40 470C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PISEn	A:	FF40 4800 <sub>H</sub>	FF40 4804 <sub>H</sub>	FF40 4808 <sub>H</sub>	FF40 480C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxxx xx11 1111 1111
PPCMDn	A:	FF40 4C00 <sub>H</sub>	FF40 4C04 <sub>H</sub>	FF40 4C08 <sub>H</sub>	FF40 4C0C <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 <sub>H</sub>	FF40 4B04 <sub>H</sub>	FF40 4B08 <sub>H</sub>	FF40 4B0C <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-33 V850E2/FK4-H ポート制御レジスタ (グループ 4, 10, 11, 12) (1/2)

レジスタ		ポート・グループ n =			
		4	10	11	12
Pn	A:	FF40 0010 <sub>H</sub>	FF40 0028 <sub>H</sub>	FF40 002C <sub>H</sub>	FF40 0030 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PSRn	A:	FF40 0110 <sub>H</sub>	FF40 0128 <sub>H</sub>	FF40 012C <sub>H</sub>	FF40 0130 <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PNOTn	A:	FF40 0710 <sub>H</sub>	FF40 0728 <sub>H</sub>	FF40 072C <sub>H</sub>	FF40 0730 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PPRn	A:	FF40 0210 <sub>H</sub>	FF40 0228 <sub>H</sub>	FF40 022C <sub>H</sub>	FF40 0230 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMn	A:	FF40 0310 <sub>H</sub>	FF40 0328 <sub>H</sub>	FF40 032C <sub>H</sub>	FF40 0330 <sub>H</sub>
	I:	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMCn	A:	FF40 0410 <sub>H</sub>	FF40 0428 <sub>H</sub>	—	FF40 0430 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	—	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	xxxx 111x xxxx xxxx	—	xxxx 111x xxxx xxxx
PFCn	A:	FF40 0510 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—
PFCEn	A:	FF40 0610 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—
PMSRn	A:	FF40 0810 <sub>H</sub>	FF40 0828 <sub>H</sub>	FF40 082C <sub>H</sub>	FF40 0830 <sub>H</sub>
	I:	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMCSRn	A:	FF40 0910 <sub>H</sub>	FF40 0904 <sub>H</sub>	—	FF40 090C <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	—	0000 0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	xxxx 111x xxxx xxxx	—	xxxx 111x xxxx xxxx
PIBCn	A:	FF40 4010 <sub>H</sub>	FF40 4028 <sub>H</sub>	FF40 402C <sub>H</sub>	FF40 4030 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PBDCn	A:	FF40 4110 <sub>H</sub>	FF40 4128 <sub>H</sub>	FF40 412C <sub>H</sub>	FF40 4130 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PIPCn	A:	FF40 4210 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—

表 2-33 V850E2/FK4-H ポート制御レジスタ (グループ 4, 10, 11, 12) (2/2)

レジスタ		ポート・グループ n =			
		4	10	11	12
PUn	A:	FF40 4310 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PDn	A:	FF40 4410 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PODCn	A:	FF40 4510 <sub>H</sub>	FF40 4528 <sub>H</sub>	FF40 452C <sub>H</sub>	FF40 4530 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PDSCn	A:	FF40 4610 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PISn	A:	FF40 4710 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PISEn	A:	FF40 4810 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PPCMDn	A:	FF40 4C10 <sub>H</sub>	FF40 4C28 <sub>H</sub>	FF40 4C2C <sub>H</sub>	FF40 4C30 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B10 <sub>H</sub>	FF40 4B28 <sub>H</sub>	FF40 4B2C <sub>H</sub>	FF40 4B30 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-34 V850E2/FK4-H ポート制御レジスタ (グループ 21, 25, 27) (1/2)

レジスタ		ポート・グループ n =			
		21	25	27	
Pn	A:	FF40 0054 <sub>H</sub>	FF40 0064 <sub>H</sub>	FF40 006C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PSRn	A:	FF40 0154 <sub>H</sub>	FF40 0164 <sub>H</sub>	FF40 016C <sub>H</sub>	
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PNOTn	A:	FF40 0754 <sub>H</sub>	FF40 0764 <sub>H</sub>	FF40 076C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PPRn	A:	FF40 0254 <sub>H</sub>	FF40 0264 <sub>H</sub>	FF40 026C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PMn	A:	FF40 0354 <sub>H</sub>	FF40 0364 <sub>H</sub>	FF40 036C <sub>H</sub>	
	I:	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PMCn	A:	FF40 0454 <sub>H</sub>	FF40 0464 <sub>H</sub>	FF40 046C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PFCn	A:	FF40 0554 <sub>H</sub>	FF40 0564 <sub>H</sub>	FF40 056C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx1x x111	
PFCEn	A:	FF40 0654 <sub>H</sub>	FF40 0664 <sub>H</sub>	FF40 066C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xxxx x111	
PMSRn	A:	FF40 0854 <sub>H</sub>	FF40 0864 <sub>H</sub>	FF40 086C <sub>H</sub>	
	I:	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PMCSRn	A:	FF40 0954 <sub>H</sub>	FF40 0964 <sub>H</sub>	FF40 096C <sub>H</sub>	
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx1x x111	
PIBCn	A:	FF40 4054 <sub>H</sub>	FF40 4064 <sub>H</sub>	FF40 406C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PBDCn	A:	FF40 4154 <sub>H</sub>	FF40 4164 <sub>H</sub>	FF40 416C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PIPCn	A:	FF40 4254 <sub>H</sub>	FF40 4264 <sub>H</sub>	FF40 426C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	

表 2-34 V850E2/FK4-H ポート制御レジスタ (グループ 21, 25, 27) (2/2)

レジスタ		ポート・グループ n =			
		21	25	27	
PUn	A:	FF40 4354 <sub>H</sub>	FF40 4364 <sub>H</sub>	FF40 436C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PDn	A:	FF40 4454 <sub>H</sub>	FF40 4464 <sub>H</sub>	FF40 446C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PODCn	A:	FF40 4554 <sub>H</sub>	FF40 4564 <sub>H</sub>	FF40 456C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PDSCn	A:	FF40 4654 <sub>H</sub>	FF40 4664 <sub>H</sub>	FF40 466C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx <sub>H</sub>	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PISn	A:	FF40 4754 <sub>H</sub>	FF40 4764 <sub>H</sub>	FF40 476C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PISEn	A:	FF40 4854 <sub>H</sub>	FF40 4864 <sub>H</sub>	FF40 486C <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx 1111 1111 11xx	1111 1111 1111 1111	xxxx xxxx xx11 x111	
PPCMDn	A:	FF40 4C54 <sub>H</sub>	FF40 4C64 <sub>H</sub>	FF40 4C6C <sub>H</sub>	
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	
	B:	1111 1111	1111 1111	1111 1111	
PPROTSn	A:	FF40 4B54 <sub>H</sub>	FF40 4B64 <sub>H</sub>	FF40 4B6C <sub>H</sub>	
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	

表 2-35 V850E2/FK4-H ポート制御レジスタ (グループ JP) (1/2)

レジスタ	ポート・グループ n =			
	JP			
JPn	A:	FF44 0000 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPSRn	A:	FF44 0010 <sub>H</sub>		
	I:	0000 0000 <sub>H</sub>		
	B:	xxxx xxxx xx11 1111		
JPNOTn	A:	FF44 0070 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPPRn	A:	FF44 0020 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPMn	A:	FF44 0030 <sub>H</sub>		
	I:	FF <sub>H</sub>		
	B:	xx11 1111		
JPMCn	A:	FF44 0040 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx1x 1111		
JPFCn	A:	FF44 0050 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xxxx 1111		
JPMSRn	A:	FF44 0080 <sub>H</sub>		
	I:	0000 00FF <sub>H</sub>		
	B:	xxxx xxxx xx11 1111		
JPMCSRn	A:	FF44 0090 <sub>H</sub>		
	I:	0000 0000 <sub>H</sub>		
	B:	xxxx xxxx xx1x 1111		
JPIBCn	A:	FF44 0400 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPBDCn	A:	FF44 0410 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPIPCn	A:	FF44 0420 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		
JPU <sub>n</sub>	A:	FF44 0430 <sub>H</sub>		
	I:	00 <sub>H</sub>		
	B:	xx11 1111		



表 2-35 V850E2/FK4-H ポート制御レジスタ (グループ JP) (2/2)

レジスタ		ポート・グループ n =			
		JP			
JPDn	A:	FF44 0440 <sub>H</sub>			
	I:	00 <sub>H</sub>			
	B:	xx11 1111			
JPODCn	A:	FF44 0450 <sub>H</sub>			
	I:	0000 <sub>H</sub>			
	B:	xxxx xxxx xx11 1111			
JPDSCn	A:	FF44 0460 <sub>H</sub>			
	I:	0000 <sub>H</sub>			
	B:	xx11 1111			
JPISn	A:	FF44 0470 <sub>H</sub>			
	I:	00 <sub>H</sub>			
	B:	xxxx xxxx xx11 1111			
JPISEn	A:	FF44 0480 <sub>H</sub>			
	I:	00 <sub>H</sub>			
	B:	xx11 1111			
JPPCMDn	A:	FF44 04C0 <sub>H</sub>			
	I:	00 <sub>H</sub>			
	B:	1111 1111			
JPPROTSn	A:	FF44 04B0 <sub>H</sub>			
	I:	00 <sub>H</sub>			
	B:	xxxx xxx1			

## 2.4.4 V850E2/FL4-H ポート機能

V850E2/FL4-H のポート機能およびその兼用機能とポート制御レジスタについて示します。

### (1) 汎用 I/O 機能

V850E2/FL4-H のポート機能と兼用機能について表 2-36 「V850E2/FL4-H 汎用 I/O 機能」に示します。

PMCnm、PFCnm、PFCEnm と PMnm を制御することによって異なるモードにすることが可能です。

表 2-36 V850E2/FL4-H 汎用 I/O 機能 (1/5)

ポート・モード	兼用機能							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
<b>ポート・グループ 0:</b>								
P0_0	TAUJ110	TAUJ100	CSIG4SSI		ADCA0TRG0		INTP0	
P0_1	TAUJ111	TAUJ101	CSIG4DCS	CSIG4SO <sup>a</sup>	URTE2RX		INTP1	TAUA001
P0_2	TAUJ112	TAUJ102	CSIG4SI	RTCA00OUT	ADCA0TRG2	URTE2TX	INTP2	TAUA002
P0_3	TAUJ113	TAUJ103	CSIG4SC <sup>a</sup>		ADCA0TRG1		INTP3/ TAPA0ESO	
P0_4		FCN0TX					INTP11	
P0_5	FCN0RX						INTP12	
P0_6	FCN1RX	URTE11TX	KR01	CSIH2CSS1	NMI			
P0_7	URTE11RX	FCN1TX	KR02	CSIH2CSS2	INTP4			
P0_8	FCN2RX	URTE10TX	KR03	CSIH2CSS3	INTP5	TAUA005	IICB0SDA	
P0_9	URTE10RX	FCN2TX	KR04	CSIH2CSS4	INTP6	TAUA006	IICB0SCL	
P0_10	FCN3RX	URTE11TX			INTP9			
P0_11	URTE11RX	FCN3TX			INTP10			
P0_12	TAUJ010	TAUJ000	KR010		INTP8	FCN4TX	CSIG0SSI	CSCXFOUT
P0_13	TAUJ011	TAUJ001	KR015	CSIH2CSS5	INTP7	FCN5TX	CSIG0SI	
P0_14	TAUJ012	TAUJ002	KR016	CSIH2CSS6	FCN5RX	TAUB1013	CSIG0DCS	CSIG0SO <sup>a</sup>
P0_15	TAUJ013	TAUJ003	KR017	CSIH2CSS7	FCN4RX	TAUB1014	CSIG0SC <sup>a</sup>	
<b>ポート・グループ 1:</b>								
P1_1	TAUA011	TAUA001		TAUC401	ENCA0AIN		FCN1RX	FCN0TX
P1_2	TAUA012	TAUA002		TAUC402	ENCA0BIN	TAPA0UP	CSIH2SI	FCN1TX
P1_3	TAUA013	TAUA003		TAUC405	ENCA0ZIN	TAPA0UN	CSIH2DCS	CSIH2SO <sup>a</sup>
P1_4	TAUA014	TAUA004		TAUC406	ENCA0TIN0	TAPA0VP	CSIH2SC <sup>a</sup>	
P1_5	TAUA015	TAUA005		TAUC409	ENCA0TIN1	TAPA0VN	CSIH2RYI	CSIH2RYO
P1_6	TAUA016	TAUA006		TAUC4010	CSIH1SSI	TAPA0WP	CSIH2SSI	CSIH2CSS0
P1_7	TAUA017	TAUA007		TAUC4013	CSIH1SI	TAPA0WN	FCN0RX	CSIH2CSS1
P1_8	TAUA018	TAUA008		TAUC4014	CSIH1DCS	CSIH1SO <sup>a</sup>	FCN2RX	URTE4TX
P1_9	TAUA019	TAUA009	INTP3	FLX0TXENA	CSIH1SC <sup>a</sup>		URTE4RX	FCN2TX
P1_10	TAUA0110	TAUA0010	FLX0RXDA	URTE3TX	CSIH1RYI	CSIH1RYO	INTP4	
P1_11	TAUA0111	TAUA0011	URTE3RX	FLX0TXDA		CSIH1CSS0	INTP5	
P1_12	TAUA0112	TAUA0012	FLX0RXDB	URTE4TX		CSIH1CSS1	INTP6	
P1_13	TAUA0113	TAUA0013	URTE4RX	FLX0TXDB		CSIH1CSS2	INTP7	

表 2-36 V850E2/FL4-H 汎用 I/O 機能 (2/5)

ポート・モード	兼用機能							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P1_14	TAUA0114	TAUA0014	FLX0STPWT	URTE5TX		CSIH1CSS3	INTP8	
P1_15	TAUA0115	TAUA0015	URTE5RX	FLX0TXENB		CSIH1CSS4	INTP9	
<b>ポート・グループ 2:</b>								
P2_0			FCN4RX	URTE6TX		CSIH1CSS5	INTP10	
P2_1			URTE6RX	URTE7TX	INTP0	CSIH1CSS6	TAUJ1I3	TAUJ1O3
P2_2			URTE7RX	FCN4TX	INTP1	CSIH1CSS7	TAUJ1I2	TAUJ1O2
P2_3								
<b>ポート・グループ 3:</b>								
P3_0	TAUJ1I1	TAUJ1O1	TAUA0I0	TAUA0O0			CSIG2SI	
P3_1	TAUB2I1	TAUB2O1	TAUA0I1	TAUA0O1			CSIG2DCS	CSIG2SO
P3_2	TAUB2I2	TAUB2O2	TAUA0I2	TAUA0O2	KR0I7		CSIG2SC	
P3_3	TAUB2I3	TAUB2O3	TAUA0I3	TAUA0O3	KR0I6		CSIG2RYI	CSIG2RYO
P3_4	TAUB2I5	TAUB2O5	TAUA0I4	TAUA0O4	KR0I5		CSIG0RYI	CSIG0RYO
P3_5	TAUB2I6	TAUB2O6	TAUA0I5	TAUA0O5	KR0I4		CSIG0SC <sup>a</sup>	
P3_6	TAUB2I7	TAUB2O7	TAUA0I6	TAUA0O6			CSIG0DCS	CSIG0SO <sup>a</sup>
P3_7	TAUB2I9	TAUB2O9	TAUA0I7	TAUA0O7	URTE7RX		CSIG0SI	URTE3TX
P3_8	TAUB2I10	TAUB2O10	TAUA0I8	TAUA0O8	INTP11	URTE6TX	URTE3RX	
P3_9	TAUB2I11	TAUB2O11	TAUA0I9	TAUA0O9	URTE5RX	FCN5TX	INTP12	URTE3TX
P3_10	TAUB2I13	TAUB2O13	TAUA0I10	TAUA0O10	FCN5RX	URTE5TX		
P3_11	TAUB2I14	TAUB2O14	TAUA0I11	TAUA0O11	URTE6RX		INTP13	
P3_12	TAUB2I15	TAUB2O15	TAUA0I12	TAUA0O12	URTE7RX	URTE6TX	INTP14	
<b>ポート・グループ 4:</b>								
P4_0	TAUB1I1	TAUB1O1	TAUA0I13	TAUA0O13	CSIH0SI	URTE7TX		
P4_1	TAUB1I2	TAUB1O2	TAUA0I14	TAUA0O14	CSIH0DCS	CSIH0SO <sup>a</sup>	URTE2RX	FCN3TX
P4_2	TAUB1I3	TAUB1O3	TAUA0I15	TAUA0O15	CSIH0SC <sup>a</sup>		FCN3RX	URTE2TX
P4_3	TAUB1I5	TAUB1O5	CSIG0SI	URTE10TX	CSIH0RYI	CSIH0RYO	INTP10	
P4_4	INTP2	TAUB1O6	URTE10RX	CSIG0SO <sup>a</sup>	CSIH0SSI	CSIH0CSS0	ENCA0TIN0	
P4_5	TAUB1I7	TAUB1O7	CSIG0SC <sup>a</sup>		KR0I3	CSIH0CSS1	ENCA0TIN1	
P4_6	TAUB1I9	TAUB1O9	CSIG4SI	URTE11TX	KR0I2	CSIH0CSS2	ENCA0AIN	
P4_7	INTP4	TAUB1O10	URTE11RX	CSIG4SO <sup>a</sup>	KR0I1	CSIH0CSS3	ENCA0BIN	
P4_8	TAUB1I11	TAUB1O11	CSIG4SC <sup>a</sup>		KR0I0	CSIH0CSS4	ENCA0ZIN	
P4_9	TAUB1I13	TAUB1O13	CSIG2SI	CSIG0RYO		CSIH0CSS5		URTE8TX
P4_10	TAUB1I14	TAUB1O14	CSIG4RYI	CSIG2SO	INTP15	CSIH0CSS6	URTE8RX	
P4_11	TAUB1I15	TAUB1O15	CSIG2SC			CSIH0CSS7		
<b>ポート・グループ 10:</b>								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
P10_12								

表 2-36 V850E2/FL4-H 汎用 I/O 機能 (3/5)

ポート・モード	兼用機能							
PMCnm = 0	PMCn_m = 1							
	PFCEnm = 0, PFCnm = 0		PFCEnm = 0, PFCnm = 1		PFCEnm = 1, PFCnm = 0		PFCEnm = 1, PFCnm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P10_13								
P10_14								
P10_15								
ポート・グループ 11:								
P11_0								
P11_1								
P11_2								
P11_3								
P11_4								
P11_5								
P11_6								
P11_7								
ポート・グループ 12:								
P12_0								
P12_1								
P12_2								
P12_3								
P12_4								
P12_5								
P12_6								
P12_7								
P12_8								
P12_9	ADCA1TRG0							
P12_10	ADCA1TRG1							
P12_11	ADCA1TRG2							
P12_12								
P12_13								
P12_14								
P12_15								
ポート・グループ 13:								
P13_0								
P13_1								
P13_2								
P13_3								
P13_4								
P13_5								
P13_6								
P13_7								
ポート・グループ 21:								
P21_0			ETH0COL					
P21_1			ETH0XCLK					
P21_2	INTP10	MEMC0BEN1 <sub>a</sub>	CSIH2SI		IICB0SDA		TAUB2I13	TAUB2O13

表 2-36 V850E2/FL4-H 汎用 I/O 機能 (4/5)

ポート・モード	兼用機能							
	PMC <sub>n</sub> m = 1							
	PFCE <sub>n</sub> m = 0, PFC <sub>n</sub> m = 0		PFCE <sub>n</sub> m = 0, PFC <sub>n</sub> m = 1		PFCE <sub>n</sub> m = 1, PFC <sub>n</sub> m = 0		PFCE <sub>n</sub> m = 1, PFC <sub>n</sub> m = 1	
	PM <sub>n</sub> m = 1	PM <sub>n</sub> m = 0	PM <sub>n</sub> m = 1	PM <sub>n</sub> m = 0	PM <sub>n</sub> m = 1	PM <sub>n</sub> m = 0	PM <sub>n</sub> m = 1	PM <sub>n</sub> m = 0
ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	
P21_3	INTP11	MEMC0BEN0 <sup>a</sup>	CSIH2DCS	CSIH2SO <sup>a</sup>	IICB0SCL		TAUB2I14	TAUB2O14
P21_4	INTP12	MEMC0WR <sup>a</sup>	CSIH2SC <sup>a</sup>					TAUC3O1
P21_5	INTP13	MEMC0RD <sup>a</sup>	CSIH2RYI	CSIH2RYO		URTE9TX		TAUC3O2
P21_6	INTP14	MEMC0CLK	CSIH2SS <sup>1</sup>	CSIH2CSS0	URTE9RX			TAUC3O5
P21_7	MEMC0WAIT			CSIH2CSS1		URTE0TX		TAUC3O6
P21_8	INTP15			CSIH2CSS2	URTE0RX	PMCA0 MSEL0		TAUC3O9
P21_9		MEMC0CS2 <sup>a</sup>		CSIH2CSS3		PMCA0 MSEL1		TAUC3O10
P21_10		MEMC0CS3 <sup>a</sup>		CSIH2CSS4	URTE1RX	PMCA0 MSEL2		TAUC3O13
P21_11		MEMC0CS4 <sup>a</sup>		CSIH2CSS5		URTE1TX		TAUC3O14
<b>ポート・グループ 24:</b>								
P24_0						URTE8TX		
P24_1			INTP8		URTE8RX			
P24_2					FCN5RX	URTE9TX		
P24_3			INTP9		URTE9RX	FCN5TX		
P24_4					FCN4RX	URTE0TX		
P24_5			INTP10		URTE0RX	FCN4TX		
P24_6						URTE1TX		
P24_7			INTP11		URTE1RX			
P24_8								TAUC7O1
P24_9								TAUC7O2
P24_10								TAUC7O5
P24_11								TAUC7O6
P24_12								TAUC7O9
P24_13								TAUC7O10
P24_14			ETH0COL					TAUC7O13
P24_15			ETH0TXCLK					TAUC7O14
<b>ポート・グループ 25:</b>								
P25_0	MEMC0AD0 <sup>a</sup>		INTP6	ETH0TXD3	URTE6RX	CSIG2SO		TAUC6O1
P25_1	MEMC0AD1 <sup>a</sup>			ETH0TXD2	CSIG2SI	URTE6TX		TAUC6O2
P25_2	MEMC0AD2 <sup>a</sup>			ETH0TXD1	CSIG2SC			TAUC6O5
P25_3	MEMC0AD3 <sup>a</sup>			ETH0TXD0	CSIG4SI	URTE7TX		TAUC6O6
P25_4	MEMC0AD4 <sup>a</sup>		INTP7	ETH0TXEN	URTE7RX	CSIG4SO <sup>a</sup>		TAUC6O9
P25_5	MEMC0AD5 <sup>a</sup>			ETH0TXER	CSIG4SC <sup>a</sup>			TAUC6O10
P25_6	MEMC0AD6 <sup>a</sup>		ETH0CRSDV					TAUC6O13
P25_7	MEMC0AD7 <sup>a</sup>		ETH0RXER					TAUC6O14
P25_8	MEMC0AD8 <sup>a</sup>		ETH0RXD0					TAUC5O1
P25_9	MEMC0AD9 <sup>a</sup>		ETH0RXD1					TAUC5O2
P25_10	MEMC0AD10 <sup>a</sup>		ETH0RXD2	CSIH2CSS6				TAUC5O5
P25_11	MEMC0AD11 <sup>a</sup>		ETH0RXD3	CSIH2CSS7				TAUC5O6
P25_12	MEMC0AD12 <sup>a</sup>		ETH0RXDV		IICB0SDA			TAUC5O9

表 2-36 V850E2/FL4-H 汎用 I/O 機能 (5/5)

ポート・モード	兼用機能							
PMcNm = 0	PMcN_m = 1							
	PFCEnm = 0, PFCNm = 0		PFCEnm = 0, PFCNm = 1		PFCEnm = 1, PFCNm = 0		PFCEnm = 1, PFCNm = 1	
	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0	PMnm = 1	PMnm = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
P25_13	MEMC0AD13 <sup>a</sup>		ETH0RXCLK		IICB0SCL			TAUC5O10
P25_14	MEMC0AD14 <sup>a</sup>		INTP5	ETH0MDC	URTE5RX	FCN3TX		TAUC5O13
P25_15	MEMC0AD15 <sup>a</sup>		ETH0MDI	ETH0MDO	FCN3RX	URTE5TX		TAUC5O14
<b>ポート・グループ 27:</b>								
P27_0	INTP0	MEMC0A16 <sup>a</sup>			ADCA1TRG2	PMCA0 MSEL0		
P27_1	INTP1	MEMC0A17 <sup>a</sup>	ETH0COL		ADCA1TRG1	PMCA0 MSEL1		
P27_2	INTP2	MEMC0A18 <sup>a</sup>	ETH0TXCLK		ADCA1TRG0	PMCA0 MSEL2		
P27_4	INTP4							
P27_5	INTP5			MEMC0ASTB <sup>a</sup>				
<b>ポート・グループ JP0:</b>								
JP0_0	INTP0	VCPC1OUT	TAUJ0I0	TAUJ0O0				
JP0_1	INTP1	VCPC0OUT	TAUJ0I1	TAUJ0O1				
JP0_2	INTP2	CSCXFOUT	TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI	RTCA0OUT						

- a) この兼用モードを使用する場合、PIPCn.PIPCnm = 1 に設定してください。入出力に設定でき、PMnm レジスタの影響を受けなくなります。
- b) JP0\_0 - JP0\_2 については、フラッシュ書き込み時に使用します。  
JP0\_0 - JP0\_5 については、デバッグ時に使用します。  
詳細は、2.4.2 「ポート機能概要」を参照してください。

## (2) V850E2/FL4-H ポート制御レジスタ

V850E2/FL4-H のポートを制御するレジスタとそのアドレス，初期値について示します。

表凡例 A：レジスタ・アドレス

I：初期値

B：有効ビット

– 1：有効 X：無効

– 右側：ビット0，左側：ビット15

表 2-37 V850E2/FL4-H ポート制御レジスタ（グループ0-3）(1/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
Pn	A:	FF40 0000 <sub>H</sub>	FF40 0004 <sub>H</sub>	FF40 0008 <sub>H</sub>	FF40 000C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PSRn	A:	FF40 0100 <sub>H</sub>	FF40 0104 <sub>H</sub>	FF40 0108 <sub>H</sub>	FF40 010C <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PNOTn	A:	FF40 0700 <sub>H</sub>	FF40 0704 <sub>H</sub>	FF40 0708 <sub>H</sub>	FF40 070C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PPRn	A:	FF40 0200 <sub>H</sub>	FF40 0204 <sub>H</sub>	FF40 0208 <sub>H</sub>	FF40 020C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PMn	A:	FF40 0300 <sub>H</sub>	FF40 0304 <sub>H</sub>	FF40 0308 <sub>H</sub>	FF40 030C <sub>H</sub>
	I:	FFFE <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PMCn	A:	FF40 0400 <sub>H</sub>	FF40 0404 <sub>H</sub>	FF40 0408 <sub>H</sub>	FF40 040C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxx1 1111 1111 1111
PFCn	A:	FF40 0500 <sub>H</sub>	FF40 0504 <sub>H</sub>	FF40 0508 <sub>H</sub>	FF40 050C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxx1 1111 1111 1111
PFCEn	A:	FF40 0600 <sub>H</sub>	FF40 0604 <sub>H</sub>	FF40 0608 <sub>H</sub>	FF40 060C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxx1 1111 1111 1111
PMSRn	A:	FF40 0800 <sub>H</sub>	FF40 0804 <sub>H</sub>	FF40 0808 <sub>H</sub>	FF40 080C <sub>H</sub>
	I:	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PMCSRn	A:	FF40 0900 <sub>H</sub>	FF40 0904 <sub>H</sub>	FF40 0908 <sub>H</sub>	FF40 090C <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx x111	xxx1 1111 1111 1111

表 2-37 V850E2/FL4-H ポート制御レジスタ (グループ 0-3) (2/2)

レジスタ		ポート・グループ n =			
		0	1	2	3
PIBCn	A:	FF40 4000 <sub>H</sub>	FF40 4004 <sub>H</sub>	FF40 4008 <sub>H</sub>	FF40 400C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PBDCn	A:	FF40 4100 <sub>H</sub>	FF40 4104 <sub>H</sub>	FF40 4108 <sub>H</sub>	FF40 410C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PIPCn	A:	FF40 4200 <sub>H</sub>	FF40 4204 <sub>H</sub>	FF40 4208 <sub>H</sub>	FF40 420C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PUn	A:	FF40 4300 <sub>H</sub>	FF40 4304 <sub>H</sub>	FF40 4308 <sub>H</sub>	FF40 430C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PDn	A:	FF40 4400 <sub>H</sub>	FF40 4404 <sub>H</sub>	FF40 4408 <sub>H</sub>	FF40 440C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PODCn	A:	FF40 4500 <sub>H</sub>	FF40 4504 <sub>H</sub>	FF40 4508 <sub>H</sub>	FF40 450C <sub>H</sub>
	I:	0001 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PDSCn	A:	FF40 4600 <sub>H</sub>	FF40 4604 <sub>H</sub>	FF40 4608 <sub>H</sub>	FF40 460C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PISn	A:	FF40 4700 <sub>H</sub>	FF40 4704 <sub>H</sub>	FF40 4708 <sub>H</sub>	FF40 470C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PISEn	A:	FF40 4800 <sub>H</sub>	FF40 4804 <sub>H</sub>	FF40 4808 <sub>H</sub>	FF40 480C <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	1111 1111 1111 1111	1111 1111 1111 111x	xxxx xxxx xxxx 1111	xxx1 1111 1111 1111
PPCMDn	A:	FF40 4C00 <sub>H</sub>	FF40 4C04 <sub>H</sub>	FF40 4C08 <sub>H</sub>	FF40 4C0C <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 <sub>H</sub>	FF40 4B04 <sub>H</sub>	FF40 4B08 <sub>H</sub>	FF40 4B0C <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1



表 2-38 V850E2/FL4-H ポート制御レジスタ (グループ 4, 10-12) (1/2)

レジスタ		ポート・グループ n =			
		4	10	11	12
Pn	A:	FF40 0010 <sub>H</sub>	FF40 0028 <sub>H</sub>	FF40 002C <sub>H</sub>	FF40 0030 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PSRn	A:	FF40 0110 <sub>H</sub>	FF40 0128 <sub>H</sub>	FF40 012C <sub>H</sub>	FF40 0130 <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PNOTn	A:	FF40 0710 <sub>H</sub>	FF40 0728 <sub>H</sub>	FF40 072C <sub>H</sub>	FF40 0730 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PPRn	A:	FF40 0210 <sub>H</sub>	FF40 0228 <sub>H</sub>	FF40 022C <sub>H</sub>	FF40 0230 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMn	A:	FF40 0310 <sub>H</sub>	FF40 0328 <sub>H</sub>	FF40 032C <sub>H</sub>	FF40 0330 <sub>H</sub>
	I:	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMCn	A:	FF40 0410 <sub>H</sub>	FF40 0428 <sub>H</sub>	—	FF40 0430 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	—	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	xxxx 111x xxxx xxxx	—	xxxx 111x xxxx xxxx
PFCn	A:	FF40 0510 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—
PFCEn	A:	FF40 0610 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—
PMSRn	A:	FF40 0810 <sub>H</sub>	FF40 0828 <sub>H</sub>	FF40 082C <sub>H</sub>	FF40 0830 <sub>H</sub>
	I:	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PMCSRn	A:	FF40 0910 <sub>H</sub>	FF40 0928 <sub>H</sub>	—	FF40 0930 <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	—	0000 0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	xxxx 111x xxxx xxxx	—	xxxx 111x xxxx xxxx
PIBCn	A:	FF40 4010 <sub>H</sub>	FF40 4028 <sub>H</sub>	FF40 402C <sub>H</sub>	FF40 4030 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PBDCn	A:	FF40 4110 <sub>H</sub>	FF40 4128 <sub>H</sub>	FF40 412C <sub>H</sub>	FF40 4130 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PIPCn	A:	FF40 4210 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>	—	—	—
	B:	xxxx 1111 1111 1111	—	—	—

表 2-38 V850E2/FL4-H ポート制御レジスタ (グループ 4, 10-12) (2/2)

レジスタ		ポート・グループ n =			
		4	10	11	12
PUn	A:	FF40 4310 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PDn	A:	FF40 4410 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PODCn	A:	FF40 4510 <sub>H</sub>	FF40 4528 <sub>H</sub>	FF40 452C <sub>H</sub>	FF40 4530 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx 1111 1111 1111	1111 1111 11xx xxxx	xxxx xxxx 1111 1111	1111 1111 1111 1111
PDSCn	A:	FF40 4610 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PISn	A:	FF40 4710 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PISEn	A:	FF40 4810 <sub>H</sub>	—	—	—
	I:	0000 <sub>H</sub>			
	B:	xxxx 1111 1111 1111			
PPCMDn	A:	FF40 4C10 <sub>H</sub>	FF40 4C28 <sub>H</sub>	FF40 4C2C <sub>H</sub>	FF40 4C30 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B10 <sub>H</sub>	FF40 4B28 <sub>H</sub>	FF40 4B2C <sub>H</sub>	FF40 4B30 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-39 V850E2/FL4-H ポート制御レジスタ (グループ 13, 21, 24, 25) (1/2)

レジスタ		ポート・グループ n =			
		13	21	24	25
Pn	A:	FF40 0034 <sub>H</sub>	FF40 0054 <sub>H</sub>	FF40 0060 <sub>H</sub>	FF40 0064 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PSRn	A:	FF40 0134 <sub>H</sub>	FF40 0154 <sub>H</sub>	FF40 0160 <sub>H</sub>	FF40 0164 <sub>H</sub>
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PNOTn	A:	FF40 0734 <sub>H</sub>	FF40 0754 <sub>H</sub>	FF40 0760 <sub>H</sub>	FF40 0764 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PPRn	A:	FF40 0234 <sub>H</sub>	FF40 0254 <sub>H</sub>	FF40 0260 <sub>H</sub>	FF40 0264 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PMn	A:	FF40 0334 <sub>H</sub>	FF40 0354 <sub>H</sub>	FF40 0360 <sub>H</sub>	FF40 0364 <sub>H</sub>
	I:	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>	FFFF <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PMCn	A:	—	FF40 0454 <sub>H</sub>	FF40 0460 <sub>H</sub>	FF40 0464 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PFCn	A:	—	FF40 0554 <sub>H</sub>	FF40 0560 <sub>H</sub>	FF40 0564 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PFCEn	A:	—	FF40 0654 <sub>H</sub>	FF40 0660 <sub>H</sub>	FF40 0664 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 11xx	1111 1111 1111 1111	1111 1111 1111 1111
PMSRn	A:	FF40 0834 <sub>H</sub>	FF40 0854 <sub>H</sub>	FF40 0860 <sub>H</sub>	FF40 0864 <sub>H</sub>
	I:	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>	0000 FFFF <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PMCSRn	A:	—	FF40 0954 <sub>H</sub>	FF40 0960 <sub>H</sub>	FF40 0964 <sub>H</sub>
	I:		0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PIBCn	A:	FF40 4034 <sub>H</sub>	FF40 4054 <sub>H</sub>	FF40 4060 <sub>H</sub>	FF40 4064 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PBDCn	A:	FF40 4134 <sub>H</sub>	FF40 4154 <sub>H</sub>	FF40 4160 <sub>H</sub>	FF40 4164 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PIPCn	A:	—	FF40 4254 <sub>H</sub>	FF40 4260 <sub>H</sub>	FF40 4264 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111

表 2-39 V850E2/FL4-H ポート制御レジスタ (グループ 13, 21, 24, 25) (2/2)

レジスタ		ポート・グループ n =			
		13	21	24	25
PUn	A:	—	FF40 4354 <sub>H</sub>	FF40 4360 <sub>H</sub>	FF40 4364 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PDn	A:	—	FF40 4454 <sub>H</sub>	FF40 44600 <sub>H</sub>	FF40 4464 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PODCn	A:	FF40 4534 <sub>H</sub>	FF40 4554 <sub>H</sub>	FF40 4560 <sub>H</sub>	FF40 4564 <sub>H</sub>
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:	xxxx xxxx 1111 1111	xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PDSCn	A:	—	FF40 4654 <sub>H</sub>	FF40 4660 <sub>H</sub>	FF40 4664 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PISn	A:	—	FF40 4754 <sub>H</sub>	FF40 4760 <sub>H</sub>	FF40 4764 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PISEn	A:	—	FF40 4854 <sub>H</sub>	FF40 4860 <sub>H</sub>	FF40 4864 <sub>H</sub>
	I:		0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>
	B:		xxxx 1111 1111 1111	1111 1111 1111 1111	1111 1111 1111 1111
PPCMDn	A:	FF40 4C34 <sub>H</sub>	FF40 4C54 <sub>H</sub>	FF40 4C60 <sub>H</sub>	FF40 4C64 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B34 <sub>H</sub>	FF40 4B54 <sub>H</sub>	FF40 4B60 <sub>H</sub>	FF40 4B64 <sub>H</sub>
	I:	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>	00 <sub>H</sub>
	B:	xxxx xxx1	xxxx xxx1	xxxx xxx1	xxxx xxx1

表 2-40 V850E2/FL4-H ポート制御レジスタ (グループ 27, JP) (1/2)

レジスタ		ポート・グループ n =			
		27	JP		
Pn	A:	FF40 006C <sub>H</sub>	FF44 0004 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PSRn	A:	FF40 016C <sub>H</sub>	FF44 0104 <sub>H</sub>		
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111		
PNOTn	A:	FF40 076C <sub>H</sub>	FF44 0704 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PPRn	A:	FF40 026C <sub>H</sub>	FF44 0204 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PMn	A:	FF40 036C <sub>H</sub>	FF44 0304 <sub>H</sub>		
	I:	FFFF <sub>H</sub>	FF <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PMCn	A:	FF40 046C <sub>H</sub>	FF44 0404 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx1x 1111		
PFCn	A:	FF40 056C <sub>H</sub>	FF44 0504 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx1x x111	xxxx 1111		
PFCEn	A:	FF40 066C <sub>H</sub>	—		
	I:	0000 <sub>H</sub>			
	B:	xxxx xxxx xxxx x111			
PMSRn	A:	FF40 086C <sub>H</sub>	FF44 0804 <sub>H</sub>		
	I:	0000 FFFF <sub>H</sub>	0000 00FF <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111		
PMCSRn	A:	FF40 096C <sub>H</sub>	FF44 0904 <sub>H</sub>		
	I:	0000 0000 <sub>H</sub>	0000 0000 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx1x 1111		
PIBCn	A:	FF40 406C <sub>H</sub>	FF44 4004 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PBDCn	A:	FF40 416C <sub>H</sub>	FF44 4104 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		
PIPCn	A:	FF40 426C <sub>H</sub>	FF44 4204 <sub>H</sub>		
	I:	0000 <sub>H</sub>	00 <sub>H</sub>		
	B:	xxxx xxxx xx11 x111	xx11 1111		

表 2-40 V850E2/FL4-H ポート制御レジスタ (グループ 27, JP) (2/2)

レジスタ	ポート・グループ n =			
		27	JP	
PUn	A:	FF40 436C <sub>H</sub>	FF44 4304 <sub>H</sub>	
	I:	0000 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xx11 1111	
PDn	A:	FF40 446C <sub>H</sub>	FF44 4404 <sub>H</sub>	
	I:	0000 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xx11 1111	
PODCn	A:	FF40 456C <sub>H</sub>	FF44 4504 <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111	
PDSCn	A:	FF40 466C <sub>H</sub>	FF44 4604 <sub>H</sub>	
	I:	0000 <sub>H</sub>	0000 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111	
PISn	A:	FF40 476C <sub>H</sub>	FF44 4704 <sub>H</sub>	
	I:	0000 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111	
PISEn	A:	FF40 486C <sub>H</sub>	FF44 4804 <sub>H</sub>	
	I:	0000 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxxx xx11 x111	xxxx xxxx xx11 1111	
PPCMDn	A:	FF40 4C6C <sub>H</sub>	FF44 4C04 <sub>H</sub>	
	I:	00 <sub>H</sub>	00 <sub>H</sub>	
	B:	1111 1111	1111 1111	
PPROTSn	A:	FF40 4B6C <sub>H</sub>	FF44 4B04 <sub>H</sub>	
	I:	00 <sub>H</sub>	00 <sub>H</sub>	
	B:	xxxx xxx1	xxxx xxx1	

## 2.4.5 アルファベット順端子機能一覧

アルファベット順の兼用機能と割り当てられているポートの一覧を次に示します。

**備考** この表ではすべての V850E2/Fx4-H の信号を示していますが、特定のデバイスに搭載/非搭載については記載されていません。

表 2-41 アルファベット順端子機能一覧 (1/12)

端子名	I/O	端子機能	ポート
ADCA0I6	I	A/D コンバータ 0 入力チャンネル 6	P10_6
ADCA0I7	I	A/D コンバータ 0 入力チャンネル 7	P10_7
ADCA0I8	I	A/D コンバータ 0 入力チャンネル 8	P10_8
ADCA0I9	I	A/D コンバータ 0 入力チャンネル 9	P10_9
ADCA0I10	I	A/D コンバータ 0 入力チャンネル 10	P10_10
ADCA0I11	I	A/D コンバータ 0 入力チャンネル 11	P10_11
ADCA0I12	I	A/D コンバータ 0 入力チャンネル 12	P10_12
ADCA0I13	I	A/D コンバータ 0 入力チャンネル 13	P10_13
ADCA0I14	I	A/D コンバータ 0 入力チャンネル 14	P10_14
ADCA0I15	I	A/D コンバータ 0 入力チャンネル 15	P10_15
ADCA0I16	I	A/D コンバータ 0 入力チャンネル 16	P11_0
ADCA0I17	I	A/D コンバータ 0 入力チャンネル 17	P11_1
ADCA0I18	I	A/D コンバータ 0 入力チャンネル 18	P11_2
ADCA0I19	I	A/D コンバータ 0 入力チャンネル 19	P11_3
ADCA0I20	I	A/D コンバータ 0 入力チャンネル 20	P11_4
ADCA0I21	I	A/D コンバータ 0 入力チャンネル 21	P11_5
ADCA0I22	I	A/D コンバータ 0 入力チャンネル 22	P11_6
ADCA0I23	I	A/D コンバータ 0 入力チャンネル 23	P11_7
ADCA0TRG0	I	A/D コンバータ 0 トリガ 0	P0_0, P10_9
ADCA0TRG1	I	A/D コンバータ 0 トリガ 1	P0_3, P10_10
ADCA0TRG2	I	A/D コンバータ 0 トリガ 2	P0_2, P10_11
ADCA1I0	I	A/D コンバータ 1 入力チャンネル 0	P12_0
ADCA1I1	I	A/D コンバータ 1 入力チャンネル 1	P12_1
ADCA1I2	I	A/D コンバータ 1 入力チャンネル 2	P12_2
ADCA1I3	I	A/D コンバータ 1 入力チャンネル 3	P12_3
ADCA1I4	I	A/D コンバータ 1 入力チャンネル 4	P12_4
ADCA1I5	I	A/D コンバータ 1 入力チャンネル 5	P12_5
ADCA1I6	I	A/D コンバータ 1 入力チャンネル 6	P12_6
ADCA1I7	I	A/D コンバータ 1 入力チャンネル 7	P12_7
ADCA1I8	I	A/D コンバータ 1 入力チャンネル 8	P12_8
ADCA1I9	I	A/D コンバータ 1 入力チャンネル 9	P12_9
ADCA1I10	I	A/D コンバータ 1 入力チャンネル 10	P12_10

表 2-41 アルファベット順端子機能一覧 (2/12)

端子名	I/O	端子機能	ポート
ADCA1I11	I	A/D コンバータ 1 入力チャネル 11	P12_11
ADCA1I12	I	A/D コンバータ 1 入力チャネル 12	P12_12
ADCA1I13	I	A/D コンバータ 1 入力チャネル 13	P12_13
ADCA1I14	I	A/D コンバータ 1 入力チャネル 14	P12_14
ADCA1I15	I	A/D コンバータ 1 入力チャネル 15	P12_15
ADCA1I16	I	A/D コンバータ 1 入力チャネル 16	P13_0
ADCA1I17	I	A/D コンバータ 1 入力チャネル 17	P13_1
ADCA1I18	I	A/D コンバータ 1 入力チャネル 18	P13_2
ADCA1I19	I	A/D コンバータ 1 入力チャネル 19	P13_3
ADCA1I20	I	A/D コンバータ 1 入力チャネル 20	P13_4
ADCA1I21	I	A/D コンバータ 1 入力チャネル 21	P13_5
ADCA1I22	I	A/D コンバータ 1 入力チャネル 22	P13_6
ADCA1I23	I	A/D コンバータ 1 入力チャネル 23	P13_7
ADCA1TRG0	I	A/D コンバータ 1 トリガ 0	P12_9, P27_2
ADCA1TRG1	I	A/D コンバータ 1 トリガ 1	P12_10, P27_1
ADCA1TRG2	I	A/D コンバータ 1 トリガ 2	P12_11, P27_0
AnVDD	-	A/D コンバータ 0 電源	-
AnVREFM	-	A/D コンバータ 0 基準電圧 (-)	-
AnVREFP	-	A/D コンバータ 0 基準電圧 (+)	-
AnVSS	-	A/D コンバータ 0 グランド	-
BnVDD	-	ポート・バッファ電源	-
BnVSS	-	ポート・バッファ・グランド	-
CSCXFOUT	O	クロック制御 FOUT	P0_12, JP0_2
CSIG0DCS	I		P0_14, P3_6
CSIG0RYI	I		P3_4
CSIG0RYO	O		P3_4, P4_9
CSIG0SC	I/O	CSIG 0 データ・クロック	P0_15, P3_5, P4_5
CSIG0SI	I	CSIG 0 シリアル・データ入力	P0_13, P3_7, P4_3
CSIG0SO	O	CSIG 0 シリアル・データ出力	P0_14, P3_6, P4_4
$\overline{\text{CSIG0SSI}}$	I		P0_12
CSIG2DCS	I		P3_1
CSIG2RYI	I		P3_3
CSIG2RYO	O		P3_3
CSIG2SC	I/O	CSIG 2 データ・クロック	P3_2, P4_11, P25_2
CSIG2SI	I	CSIG 2 シリアル・データ入力	P3_0, P4_9, P25_1
CSIG2SO	O	CSIG 2 シリアル・データ出力	P3_1, P4_10, P25_0
CSIG3SC	I/O	CSIG 3 データ・クロック	P0_10, P21_4, P24_8
CSIG3SI	I	CSIG 3 シリアル・データ入力	P0_11, P21_5, P24_6



表 2-41 アルファベット順端子機能一覧 (3/12)

端子名	I/O	端子機能	ポート
CSIG3SO	O	CSIG 3 シリアル・データ出力	P0_4, P0_12, P21_6, P24_7
CSIG4DCS	I		P0_1
CSIG4RYI	I		P4_10
CSIG4SC	I/O	CSIG 4 データ・クロック	P0_3, P4_8, P25_5
CSIG4SI	I	CSIG 4 シリアル・データ入力	P0_2, P4_6, P25_3
CSIG4SO	O	CSIG 4 シリアル・データ出力	P0_1, P4_7, P25_4
$\overline{\text{CSIG4SSI}}$	I		P0_0
CSIH0CSS0	O	CSIH 0 チップ・セレクト出力 0	P4_4
CSIH0CSS1	O	CSIH 0 チップ・セレクト出力 1	P4_5
CSIH0CSS2	O	CSIH 0 チップ・セレクト出力 2	P4_6
CSIH0CSS3	O	CSIH 0 チップ・セレクト出力 3	P4_7
CSIH0CSS4	O	CSIH 0 チップ・セレクト出力 4	P4_8
CSIH0CSS5	O	CSIH 0 チップ・セレクト出力 5	P4_9
CSIH0CSS6	O	CSIH 0 チップ・セレクト出力 6	P4_10
CSIH0CSS7	O	CSIH 0 チップ・セレクト出力 7	P4_11
CSIH0DCS	I		P4_1
CSIH0RYI	I		P4_3
CSIH0RYO	O		P4_3
CSIH0SC	I/O	CSIH 0 データ・クロック	P4_2
CSIH0SI	I	CSIH 0 シリアル・データ入力	P4_0
CSIH0SO	O	CSIH 0 シリアル・データ出力	P4_1
$\overline{\text{CSIH0SSI}}$	I		P4_4
CSIH1CSS0	O	CSIH 1 チップ・セレクト出力 0	P1_11
CSIH1CSS1	O	CSIH 1 チップ・セレクト出力 1	P1_12
CSIH1CSS2	O	CSIH 1 チップ・セレクト出力 2	P1_13
CSIH1CSS3	O	CSIH 1 チップ・セレクト出力 3	P1_14
CSIH1CSS4	O	CSIH 1 チップ・セレクト出力 4	P1_15
CSIH1CSS5	O	CSIH 1 チップ・セレクト出力 5	P2_0
CSIH1CSS6	O	CSIH 1 チップ・セレクト出力 6	P2_1
CSIH1CSS7	O	CSIH 1 チップ・セレクト出力 7	P2_2
CSIH1DCS	I		P1_8
CSIH1RYI	I		P1_10
CSIH1RYO	O		P1_10
CSIH1SC	I/O	CSIH 1 データ・クロック	P1_9
CSIH1SI	I	CSIH 1 シリアル・データ入力	P1_7
CSIH1SO	O	CSIH 1 シリアル・データ出力	P1_8
$\overline{\text{CSIH1SSI}}$	I		P1_6

表 2-41 アルファベット順端子機能一覧 (4/12)

端子名	I/O	端子機能	ポート
CSIH2CSS0	O	CSIH 2 チップ・セレクト出力 0	P1_6, P21_6
CSIH2CSS1	O	CSIH 2 チップ・セレクト出力 1	P1_7, P0_6, P21_7
CSIH2CSS2	O	CSIH 2 チップ・セレクト出力 2	P0_7, P21_8
CSIH2CSS3	O	CSIH 2 チップ・セレクト出力 3	P0_8, P21_9
CSIH2CSS4	O	CSIH 2 チップ・セレクト出力 4	P0_9, P21_10
CSIH2CSS5	O	CSIH 2 チップ・セレクト出力 5	P0_13, P21_11
CSIH2CSS6	O	CSIH 2 チップ・セレクト出力 6	P0_14, P25_10
CSIH2CSS7	O	CSIH 2 チップ・セレクト出力 7	P0_15, P25_11
CSIH2DCS	I		P1_3, P21_3
CSIH2RYI	I		P1_5, P21_5
CSIH2RYO	O		P1_5, P21_5
CSIH2SC	I/O	CSIH 2 データ・クロック	P1_4, P21_4
CSIH2SI	I	CSIH 2 シリアル・データ入力	P1_2, P21_2
CSIH2SO	O	CSIH 2 シリアル・データ出力	P1_3, P21_3
$\overline{\text{CSIH2SSI}}$	I		P1_6, P21_6
$\overline{\text{DCURDY}}$	O	デバッグ・レディ信号	JP0_5
DCUTCK	I	デバッグ・クロック入力	JP0_2
DCUTDI	I	デバッグ・データ入力	JP0_0
DCUTDO	O	デバッグ・データ出力	JP0_1
DCUTMS	I	デバッグ・モード選択	JP0_3
$\overline{\text{DCUTRST}}$	I	デバッグ・リセット	JP0_4
ENCA0AIN	I	ENCA0 エンコーダ入力 (フェーズ A)	P1_1, P4_6
ENCA0BIN	I	ENCA0 エンコーダ入力 (フェーズ B)	P1_2, P4_7
ENCA0TIN0	I	ENCA0 キャプチャ・トリガ入力 0	P1_4, P4_4
ENCA0TIN1	I	ENCA0 キャプチャ・トリガ出力 1	P1_5, P4_5
ENCA0ZIN	I	ENCA0 エンコーダ入力 (フェーズ Z)	P1_3, P4_8
EnVDD	-	ポート・バッファ電源	-
EnVSS	-	ポート・バッファ・グラウンド	-
ETH0COL	I		P21_0, P24_14, P27_1
ETH0CRSDV	I		P25_6
ETH0MDC	O		P22_2, P25_14
ETH0MDI	I		P22_1, P25_15
ETH0MDO	O		P22_0, P22_1, P25_15
ETH0RXCLK	I		P25_13
ETH0RXDV	I		P25_12
ETH0RXD0	I		P25_8
ETH0RXD1	I		P25_9
ETH0RXD2	I		P25_10

表 2-41 アルファベット順端子機能一覧 (5/12)

端子名	I/O	端子機能	ポート
ETH0RXD3	I		P25_11
ETH0RXER	I		P25_7
ETH0TXCLK	I		P21_1, P24_15, P27_2
ETH0TXD0	O		P25_3
ETH0TXD1	O		P25_2
ETH0TXD2	O		P25_1
ETH0TXD3	O		P25_0
ETH0TXEN	O		P25_4
ETH0TXER	O		P25_5
FCN0RX	I	CAN0 受信入力	P0_5, P1_7
FCN0TX	O	CAN0 送信出力	P0_4, P1_1
FCN1RX	I	CAN1 受信入力	P0_6, P1_1
FCN1TX	O	CAN1 送信出力	P0-7, P1_2
FCN2RX	I	CAN2 受信入力	P0_8, P1_8, P29_2
FCN2TX	O	CAN2 送信出力	P0_9, P1_9, P29_3
FCN3RX	I	CAN3 受信入力	P0_10, P4_2, P25_15
FCN3TX	O	CAN3 送信出力	P0_11, P4_1, P25_14
FCN4RX	I	CAN4 受信入力	P0_15, P2_0, P24_4, P29_0
FCN4TX	O	CAN4 送信出力	P0_12, P2_2, P24_5, P29_1
FCN5RX	I	CAN5 受信入力	P0_14, P3_10, P24_2
FCN5TX	O	CAN5 送信出力	P0_13, P3_9, P24_3
FLMD0	I	動作モード選択端子 0	-
FLMD1	I	動作モード選択端子 1	P0_1
FLX0RXDA	I	Flexray0 受信入力 A	P1_10
FLX0RXDB	I	Flexray0 受信入力 B	P1_12
FLX0STPWT	I	Flexray0 ストップ・ウォッチ・トリガ	P1_14
FLX0TXDA	O	Flexray0 送信出力 A	P1_11
FLX0TXDB	O	Flexray0 送信出力 B	P1_13
FLX0TXENA	O	Flexray0 送信許可 A	P1_9
FLX0TXENB	O	Flexray0 送信許可 B	P1_15
FVDDn	-	フラッシュ電源	-
IICB0SCL	I/O	I <sup>2</sup> C 0 クロック信号	P0_9, P21_3, P25_13
IICB0SDA	I/O	I <sup>2</sup> C 0 データ/アドレス信号	P0_8, P21_2, P25_12
INTP0	I	外部割り込み入力 0	P0_0, P2_1, P27_0, JP0_0
INTP1	I	外部割り込み入力 1	P0_1, P2_2, P27_1, JP0_1
INTP2	I	外部割り込み入力 2	P0_2, P4_4, P27_2, JP0_2

表 2-41 アルファベット順端子機能一覧 (6/12)

端子名	I/O	端子機能	ポート
INTP3	I	外部割り込み入力 3	P0_3, P1_9, P27_3, JP0_3
INTP4	I	外部割り込み入力 4	P0_7 P1_10, P4_7, P27_4
INTP5	I	外部割り込み入力 5	P0_8, P1_11, P25_14, P27_5
INTP6	I	外部割り込み入力 6	P0_9, P1_12, P25_0, P28_0
INTP7	I	外部割り込み入力 7	P0_13, P1_13, P25_4, P28_1
INTP8	I	外部割り込み入力 8	P0_12, P1_14, P24_1, P28_2
INTP9	I	外部割り込み入力 9	P0_10, P1_15, P24_3, P28_3
INTP10	I	外部割り込み入力 10	P0_11, P2_0, P4_3, P21_2, P24_5, P28_4
INTP11	I	外部割り込み入力 11	P3_8, P21_3, P24_7, P28_5
INTP12	I	外部割り込み入力 12	P0_4, P3_9, P21_4, P29_0
INTP13	I	外部割り込み入力 13	P0_5, P21_5, P29_1
INTP14	I	外部割り込み入力 14	P3_11, P21_6, P29_2
INTP15	I	外部割り込み入力 15	P3_12, P4_10, P21_8, P29_3
KR0I0	I	キー・リターン入力 0	P0_12, P4_8
KR0I1	I	キー・リターン入力 1	P0_6, P4_7
KR0I2	I	キー・リターン入力 2	P0_7, P4_6
KR0I3	I	キー・リターン入力 3	P0_8, P4_5
KR0I4	I	キー・リターン入力 4	P0_9, P3_5
KR0I5	I	キー・リターン入力 5	P0_13, P3_4
KR0I6	I	キー・リターン入力 6	P0_14, P3_3
KR0I7	I	キー・リターン入力 7	P0_15, P3_2
MEMC0A16	O	外部メモリ・アドレス・バス 16	P27_0
MEMC0A17	O	外部メモリ・アドレス・バス 17	P27_1
MEMC0A18	O	外部メモリ・アドレス・バス 18	P27_2
MEMC0AD0	I/O	外部メモリ・アドレス/データ・バス 0	P25_0
MEMC0AD1	I/O	外部メモリ・アドレス/データ・バス 1	P25_1
MEMC0AD2	I/O	外部メモリ・アドレス/データ・バス 2	P25_2
MEMC0AD3	I/O	外部メモリ・アドレス/データ・バス 3	P25_3
MEMC0AD4	I/O	外部メモリ・アドレス/データ・バス 4	P25_4
MEMC0AD5	I/O	外部メモリ・アドレス/データ・バス 5	P25_5
MEMC0AD6	I/O	外部メモリ・アドレス/データ・バス 6	P25_6
MEMC0AD7	I/O	外部メモリ・アドレス/データ・バス 7	P25_7
MEMC0AD8	I/O	外部メモリ・アドレス/データ・バス 8	P25_8

表 2-41 アルファベット順端子機能一覧 (7/12)

端子名	I/O	端子機能	ポート
MEMC0AD9	I/O	外部メモリ・アドレス/データ・バス 9	P25_9
MEMC0AD10	I/O	外部メモリ・アドレス/データ・バス 10	P25_10
MEMC0AD11	I/O	外部メモリ・アドレス/データ・バス 11	P25_11
MEMC0AD12	I/O	外部メモリ・アドレス/データ・バス 12	P25_12
MEMC0AD13	I/O	外部メモリ・アドレス/データ・バス 13	P25_13
MEMC0AD14	I/O	外部メモリ・アドレス/データ・バス 14	P25_14
MEMC0AD15	I/O	外部メモリ・アドレス/データ・バス 15	P25_15
MEMC0ASTB	O	外部メモリ・アドレス・ストロブ	P21_15, P27_5
MEMC0CLK	O	外部メモリ・クロック	P21_6
MEMC0BEN0	O	外部メモリ・バイト・イネーブル 0	P21_3
MEMC0BEN1	O	外部メモリ・バイト・イネーブル 1	P21_2
MEMC0CS2	O	外部メモリ・チップ・セレクト 2	P21_9
MEMC0CS3	O	外部メモリ・チップ・セレクト 3	P21_10
MEMC0CS4	O	外部メモリ・チップ・セレクト 4	P21_11
MEMC0RD	O	外部メモリ・リード・ストロブ	P21_5
MEMC0WAIT	I	外部メモリ・ウエイト入力	P21_7
MEMC0WR	O	外部メモリ・ライト・ストロブ	P21_4
MODE0	-		P0_2
MODE1	-		P0_3
NMI	I	外部ノンマスクカブル割り込み	P0_6, JP0_5
OSCVDD	-	OSC 電源	-
OSCVSS	-	OSC グランド	-
PMCA0MSEL0	O		P21_8, P27_0
PMCA0MSEL1	O		P21_9, P27_1
PMCA0MSEL2	O		P21_10, P27_2
REGCn	-	電圧レギュレータ容量接続	-
REGVDDn	-	電圧レギュレータ入力	-
REGVSSn	-	電圧レギュレータ・グラウンド	-
RESET	I	外部リセット入力	-
RESETOUT	O	リセット出力	P0_0
RTCA0OUT	O	リアルタイム・クロック 1Hz インターバル出力	P0_2, JP0_5
TAPA0ESO	I		P0_3
TAPA0UP	O		P1_2
TAPA0UN	O		P1_3
TAPA0VP	O		P1_4
TAPA0VN	O		P1_5
TAPA0WP	O		P1_6
TAPA0WN	O		P1_7

表 2-41 アルファベット順端子機能一覧 (8/12)

端子名	I/O	端子機能	ポート
TAUA0I0	I	タイマ・アレイ・ユニット A0 チャンネル 0 入力	P1_0, P3_0, P26_0
TAUA0I1	I	タイマ・アレイ・ユニット A0 チャンネル 1 入力	P1_1, P3_1, P26_1
TAUA0I2	I	タイマ・アレイ・ユニット A0 チャンネル 2 入力	P1_2, P3_2, P26_2
TAUA0I3	I	タイマ・アレイ・ユニット A0 チャンネル 3 入力	P1_3, P3_3, P26_3
TAUA0I4	I	タイマ・アレイ・ユニット A0 チャンネル 4 入力	P1_4, P3_4, P26_4
TAUA0I5	I	タイマ・アレイ・ユニット A0 チャンネル 5 入力	P1_5, P3_5, P26_5
TAUA0I6	I	タイマ・アレイ・ユニット A0 チャンネル 6 入力	P1_6, P3_6, P26_6
TAUA0I7	I	タイマ・アレイ・ユニット A0 チャンネル 7 入力	P1_7, P3_7, P26_7
TAUA0I8	I	タイマ・アレイ・ユニット A0 チャンネル 8 入力	P1_8, P3_8, P26_8
TAUA0I9	I	タイマ・アレイ・ユニット A0 チャンネル 9 入力	P1_9, P3_9, P26_9
TAUA0I10	I	タイマ・アレイ・ユニット A0 チャンネル 10 入力	P1_10, P3_10, P26_10
TAUA0I11	I	タイマ・アレイ・ユニット A0 チャンネル 11 入力	P1_11, P3_11, P26_11
TAUA0I12	I	タイマ・アレイ・ユニット A0 チャンネル 12 入力	P1_12, P3_12, P26_12
TAUA0I13	I	タイマ・アレイ・ユニット A0 チャンネル 13 入力	P1_13, P4_0, P26_13
TAUA0I14	I	タイマ・アレイ・ユニット A0 チャンネル 14 入力	P1_14, P4_1, P26_14
TAUA0I15	I	タイマ・アレイ・ユニット A0 チャンネル 15 入力	P1_15, P4_2, P26_15
TAUA0O0	O	タイマ・アレイ・ユニット A0 チャンネル 0 出力	P1_0, P3_0, P26_0
TAUA0O1	O	タイマ・アレイ・ユニット A0 チャンネル 1 出力	P0_1, P1_1, P3_1, P26_1
TAUA0O2	O	タイマ・アレイ・ユニット A0 チャンネル 2 出力	P0_2, P1_2, P3_2, P26_2
TAUA0O3	O	タイマ・アレイ・ユニット A0 チャンネル 3 出力	P1_3, P3_3, P26_3
TAUA0O4	O	タイマ・アレイ・ユニット A0 チャンネル 4 出力	P1_4, P3_4, P26_4
TAUA0O5	O	タイマ・アレイ・ユニット A0 チャンネル 5 出力	P0_8, P1_5, P3_5, P26_5
TAUA0O6	O	タイマ・アレイ・ユニット A0 チャンネル 6 出力	P0_9, P1_6, P3_6, P26_6
TAUA0O7	O	タイマ・アレイ・ユニット A0 チャンネル 7 出力	P1_7, P3_7, P26_7
TAUA0O8	O	タイマ・アレイ・ユニット A0 チャンネル 8 出力	P1_8, P3_8, P26_8
TAUA0O9	O	タイマ・アレイ・ユニット A0 チャンネル 9 出力	P1_9, P3_9, P26_9
TAUA0O10	O	タイマ・アレイ・ユニット A0 チャンネル 10 出力	P1_10, P3_10, P26_10
TAUA0O11	O	タイマ・アレイ・ユニット A0 チャンネル 11 出力	P1_11, P3_11, P26_11
TAUA0O12	O	タイマ・アレイ・ユニット A0 チャンネル 12 出力	P1_12, P3_12, P26_12
TAUA0O13	O	タイマ・アレイ・ユニット A0 チャンネル 13 出力	P1_13, P4_0, P26_13
TAUA0O14	O	タイマ・アレイ・ユニット A0 チャンネル 14 出力	P1_14, P4_1, P26_14
TAUA0O15	O	タイマ・アレイ・ユニット A0 チャンネル 15 出力	P1_15, P4_2, P26_15
TAUB1I1	I	タイマ・アレイ・ユニット B1 チャンネル 1 入力	P4_0
TAUB1I2	I	タイマ・アレイ・ユニット B1 チャンネル 2 入力	P4_1
TAUB1I3	I	タイマ・アレイ・ユニット B1 チャンネル 3 入力	P4_2
TAUB1I5	I	タイマ・アレイ・ユニット B1 チャンネル 5 入力	P4_3
TAUB1I7	I	タイマ・アレイ・ユニット B1 チャンネル 7 入力	P4_5
TAUB1I9	I	タイマ・アレイ・ユニット B1 チャンネル 9 入力	P4_6

表 2-41 アルファベット順端子機能一覧 (9/12)

端子名	I/O	端子機能	ポート
TAUB1I11	I	タイマ・アレイ・ユニット B 1 チャンネル 11 入力	P4_8
TAUB1I13	I	タイマ・アレイ・ユニット B 1 チャンネル 13 入力	P4_9
TAUB1I14	I	タイマ・アレイ・ユニット B 1 チャンネル 14 入力	P4_10
TAUB1I15	I	タイマ・アレイ・ユニット B 1 チャンネル 15 入力	P4_11
TAUB1O1	O	タイマ・アレイ・ユニット B 1 チャンネル 1 出力	P4_0
TAUB1O2	O	タイマ・アレイ・ユニット B 1 チャンネル 2 出力	P4_1
TAUB1O3	O	タイマ・アレイ・ユニット B 1 チャンネル 3 出力	P4_2
TAUB1O5	O	タイマ・アレイ・ユニット B 1 チャンネル 5 出力	P4_3
TAUB1O6	O	タイマ・アレイ・ユニット B 1 チャンネル 6 出力	P4_4
TAUB1O7	O	タイマ・アレイ・ユニット B 1 チャンネル 7 出力	P4_5
TAUB1O9	O	タイマ・アレイ・ユニット B 1 チャンネル 9 出力	P4_6
TAUB1O10	O	タイマ・アレイ・ユニット B 1 チャンネル 10 出力	P4_7
TAUB1O11	O	タイマ・アレイ・ユニット B 1 チャンネル 11 出力	P4_8
TAUB1O13	O	タイマ・アレイ・ユニット B 1 チャンネル 13 出力	P0_14, P4_9
TAUB1O14	O	タイマ・アレイ・ユニット B 1 チャンネル 14 出力	P0_15, P4_10
TAUB1O15	O	タイマ・アレイ・ユニット B 1 チャンネル 15 出力	P4_11
TAUB2I1	I	タイマ・アレイ・ユニット B 2 チャンネル 1 入力	P3_1
TAUB2I2	I	タイマ・アレイ・ユニット B 2 チャンネル 2 入力	P3_2
TAUB2I3	I	タイマ・アレイ・ユニット B 2 チャンネル 3 入力	P3_3
TAUB2I5	I	タイマ・アレイ・ユニット B 2 チャンネル 5 入力	P3_4
TAUB2I6	I	タイマ・アレイ・ユニット B 2 チャンネル 6 入力	P3_5
TAUB2I7	I	タイマ・アレイ・ユニット B 2 チャンネル 7 入力	P3_6
TAUB2I9	I	タイマ・アレイ・ユニット B 2 チャンネル 9 入力	P3_7
TAUB2I10	I	タイマ・アレイ・ユニット B 2 チャンネル 10 入力	P3_8
TAUB2I11	I	タイマ・アレイ・ユニット B 2 チャンネル 11 入力	P3_9
TAUB2I13	I	タイマ・アレイ・ユニット B 2 チャンネル 13 入力	P3_10, P21_2
TAUB2I14	I	タイマ・アレイ・ユニット B 2 チャンネル 14 入力	P3_11, P21_3
TAUB2I15	I	タイマ・アレイ・ユニット B 2 チャンネル 15 入力	P3_12
TAUB2O1	O	タイマ・アレイ・ユニット B 2 チャンネル 1 出力	P3_1
TAUB2O2	O	タイマ・アレイ・ユニット B 2 チャンネル 2 出力	P3_2
TAUB2O3	O	タイマ・アレイ・ユニット B 2 チャンネル 3 出力	P3_3
TAUB2O5	O	タイマ・アレイ・ユニット B 2 チャンネル 5 出力	P3_4
TAUB2O6	O	タイマ・アレイ・ユニット B 2 チャンネル 6 出力	P3_5
TAUB2O7	O	タイマ・アレイ・ユニット B 2 チャンネル 7 出力	P3_6
TAUB2O9	O	タイマ・アレイ・ユニット B 2 チャンネル 9 出力	P3_7
TAUB2O10	O	タイマ・アレイ・ユニット B 2 チャンネル 10 出力	P3_8
TAUB2O11	O	タイマ・アレイ・ユニット B 2 チャンネル 11 出力	P3_9
TAUB2O13	O	タイマ・アレイ・ユニット B 2 チャンネル 13 出力	P3_10, P21_2

表 2-41 アルファベット順端子機能一覧 (10/12)

端子名	I/O	端子機能	ポート
TAUB2O14	O	タイマ・アレイ・ユニット B 2 チャンネル 14 出力	P3_11, P21_3
TAUB2O15	O	タイマ・アレイ・ユニット B 2 チャンネル 15 出力	P3_12
TAUC3O1	O	タイマ・アレイ・ユニット C 3 チャンネル 1 出力	P21_4
TAUC3O2	O	タイマ・アレイ・ユニット C 3 チャンネル 2 出力	P21_5
TAUC3O5	O	タイマ・アレイ・ユニット C 3 チャンネル 5 出力	P21_6
TAUC3O6	O	タイマ・アレイ・ユニット C 3 チャンネル 6 出力	P21_7
TAUC3O9	O	タイマ・アレイ・ユニット C 3 チャンネル 9 出力	P21_8
TAUC3O10	O	タイマ・アレイ・ユニット C 3 チャンネル 10 出力	P21_9
TAUC3O13	O	タイマ・アレイ・ユニット C 3 チャンネル 13 出力	P21_10
TAUC3O14	O	タイマ・アレイ・ユニット C 3 チャンネル 14 出力	P21_11
TAUC4O1	O	タイマ・アレイ・ユニット C 4 チャンネル 1 出力	P1_1
TAUC4O2	O	タイマ・アレイ・ユニット C 4 チャンネル 2 出力	P1_2
TAUC4O5	O	タイマ・アレイ・ユニット C 4 チャンネル 5 出力	P1_3
TAUC4O6	O	タイマ・アレイ・ユニット C 4 チャンネル 6 出力	P1_4
TAUC4O9	O	タイマ・アレイ・ユニット C 4 チャンネル 9 出力	P1_5
TAUC4O10	O	タイマ・アレイ・ユニット C 4 チャンネル 10 出力	P1_6
TAUC4O13	O	タイマ・アレイ・ユニット C 4 チャンネル 13 出力	P1_7
TAUC4O14	O	タイマ・アレイ・ユニット C 4 チャンネル 14 出力	P1_8
TAUC5O1	O	タイマ・アレイ・ユニット C 5 チャンネル 1 出力	P25_8
TAUC5O2	O	タイマ・アレイ・ユニット C 5 チャンネル 2 出力	P25_9
TAUC5O5	O	タイマ・アレイ・ユニット C 5 チャンネル 5 出力	P25_10
TAUC5O6	O	タイマ・アレイ・ユニット C 5 チャンネル 6 出力	P25_11
TAUC5O9	O	タイマ・アレイ・ユニット C 5 チャンネル 9 出力	P25_12
TAUC5O10	O	タイマ・アレイ・ユニット C 5 チャンネル 10 出力	P25_13
TAUC5O13	O	タイマ・アレイ・ユニット C 5 チャンネル 13 出力	P25_14
TAUC5O14	O	タイマ・アレイ・ユニット C 5 チャンネル 14 出力	P25_15
TAUC6O1	O	タイマ・アレイ・ユニット C 6 チャンネル 1 出力	P25_0
TAUC6O2	O	タイマ・アレイ・ユニット C 6 チャンネル 2 出力	P25_1
TAUC6O5	O	タイマ・アレイ・ユニット C 6 チャンネル 5 出力	P25_2
TAUC6O6	O	タイマ・アレイ・ユニット C 6 チャンネル 6 出力	P25_3
TAUC6O9	O	タイマ・アレイ・ユニット C 6 チャンネル 9 出力	P25_4
TAUC6O10	O	タイマ・アレイ・ユニット C 6 チャンネル 10 出力	P25_5
TAUC6O13	O	タイマ・アレイ・ユニット C 6 チャンネル 13 出力	P25_6
TAUC6O14	O	タイマ・アレイ・ユニット C 6 チャンネル 14 出力	P25_7
TAUC7O1	O	タイマ・アレイ・ユニット C 7 チャンネル 1 出力	P24_8
TAUC7O2	O	タイマ・アレイ・ユニット C 7 チャンネル 2 出力	P24_9
TAUC7O5	O	タイマ・アレイ・ユニット C 7 チャンネル 5 出力	P24_10
TAUC7O6	O	タイマ・アレイ・ユニット C 7 チャンネル 6 出力	P24_11



表 2-41 アルファベット順端子機能一覧 (11/12)

端子名	I/O	端子機能	ポート
TAUC709	O	タイマ・アレイ・ユニット C 7 チャンネル 9 出力	P24_12
TAUC7010	O	タイマ・アレイ・ユニット C 7 チャンネル 10 出力	P24_13
TAUC7013	O	タイマ・アレイ・ユニット C 7 チャンネル 13 出力	P24_14
TAUC7014	O	タイマ・アレイ・ユニット C 7 チャンネル 14 出力	P24_15
TAUC801	O	タイマ・アレイ・ユニット C 8 チャンネル 1 出力	P24_0
TAUC802	O	タイマ・アレイ・ユニット C 8 チャンネル 2 出力	P24_1
TAUC805	O	タイマ・アレイ・ユニット C 8 チャンネル 5 出力	P24_2
TAUC806	O	タイマ・アレイ・ユニット C 8 チャンネル 6 出力	P24_3
TAUC809	O	タイマ・アレイ・ユニット C 8 チャンネル 9 出力	P24_4
TAUC8010	O	タイマ・アレイ・ユニット C 8 チャンネル 10 出力	P24_5
TAUC8013	O	タイマ・アレイ・ユニット C 8 チャンネル 13 出力	P24_6
TAUC8014	O	タイマ・アレイ・ユニット C 8 チャンネル 14 出力	P24_7
TAUJ0I0	I	タイマ・アレイ・ユニット J 0 チャンネル 0 入力	P0_12, JP0_0
TAUJ0I1	I	タイマ・アレイ・ユニット J 0 チャンネル 1 入力	P0_13, JP0_1
TAUJ0I2	I	タイマ・アレイ・ユニット J 0 チャンネル 2 入力	P0_14, JP0_2
TAUJ0I3	I	タイマ・アレイ・ユニット J 0 チャンネル 3 入力	P0_15, JP0_3
TAUJ0O0	O	タイマ・アレイ・ユニット J 0 チャンネル 0 出力	P0_12, JP0_0
TAUJ0O1	O	タイマ・アレイ・ユニット J 0 チャンネル 1 出力	P0_13, JP0_1
TAUJ0O2	O	タイマ・アレイ・ユニット J 0 チャンネル 2 出力	P0_14, JP0_2
TAUJ0O3	O	タイマ・アレイ・ユニット J 0 チャンネル 3 出力	P0_15, JP0_3
TAUJ1I0	I	タイマ・アレイ・ユニット J 1 チャンネル 0 入力	P0_0
TAUJ1I1	I	タイマ・アレイ・ユニット J 1 チャンネル 1 入力	P0_1, P3_0
TAUJ1I2	I	タイマ・アレイ・ユニット J 1 チャンネル 2 入力	P0_2, P2_2
TAUJ1I3	I	タイマ・アレイ・ユニット J 1 チャンネル 3 入力	P0_3, P2_1
TAUJ1O0	O	タイマ・アレイ・ユニット J 1 チャンネル 0 出力	P0_0
TAUJ1O1	O	タイマ・アレイ・ユニット J 1 チャンネル 1 出力	P0_1, P3_0
TAUJ1O2	O	タイマ・アレイ・ユニット J 1 チャンネル 2 出力	P0_2, P2_2
TAUJ1O3	O	タイマ・アレイ・ユニット J 1 チャンネル 3 出力	P0_3, P2_1
URTE0RX	I	UARTE0 受信データ入力	P21_8, P24_5
URTE0TX	O	UARTE0 送信データ出力	P21_7, P24_4
URTE1RX	I	UARTE1 受信データ入力	P21_10, P24_7
URTE1TX	O	UARTE1 送信データ出力	P21_11, P24_6
URTE2RX	I	UARTE2 受信データ入力	P0_1, P4_1
URTE2TX	O	UARTE2 送信データ出力	P0_2, P4_2
URTE3RX	I	UARTE3 受信データ入力	P1_11, P3_8
URTE3TX	O	UARTE3 送信データ出力	P1_10, P3_7, P3_9
URTE4RX	I	UARTE4 受信データ入力	P1_9, P1_13
URTE4TX	O	UARTE4 送信データ出力	P1_8, P1_12

表 2-41 アルファベット順端子機能一覧 (12/12)

端子名	I/O	端子機能	ポート
URTE5RX	I	UARTE5 受信データ入力	P1_15, P3_9, P25_14
URTE5TX	O	UARTE5 送信データ出力	P1_14, P3_10, P25_15
URTE6RX	I	UARTE6 受信データ入力	P2_1, P3_11, P25_0
URTE6TX	O	UARTE6 送信データ出力	P2_0, P3_8, P3_12, P25_1
URTE7RX	I	UARTE7 受信データ入力	P2_2, P3_7, P3_12, P25_4
URTE7TX	O	UARTE7 送信データ出力	P2_1, P4_0, P25_3
URTE8RX	I	UARTE8 受信データ入力	P4_10, P24_1
URTE8TX	O	UARTE8 送信データ出力	P4_9, P24_0
URTE9RX	I	UARTE9 受信データ入力	P21_6, P24_3
URTE9TX	O	UARTE9 送信データ出力	P21_5, P24_2
URTE10RX	I	UARTE10 受信データ入力	P0_9, P4_4
URTE10TX	O	UARTE10 送信データ出力	P0_8, P4_3
URTE11RX	I	UARTE11 受信データ入力	P0_7, P0_11, P4_7
URTE11TX	O	UARTE11 送信データ出力	P0_6, P0_10, P4_6
VCPC0IN	I	電圧コンパレータ 0 比較入力電圧	-
VCPC0OUT	O	電圧コンパレータ 0 比較出力信号	JP0_1
VCPC1IN	I	電圧コンパレータ 1 比較入力電圧	-
VCPC1OUT	O	電圧コンパレータ 1 比較出力信号	JP0_0
WAKE	O	DEEPSTOP モード・インジケータ	-
X1, X2	-	メイン・クロック用発振子接続	-
XT1, XT2	-	サブクロック用発振子接続	-

### 2.4.6 リセット期間中／解除後，スタンバイ・モード期間中／解除後のポート機能

リセット時／リセット後のポートの機能については，データ・シートに記載しています。

スタンバイ・モード時のポート機能については，第10章「スタンバイ・コントローラ (STBC)」を参照してください。

### 2.4.7 未使用端子の推奨接続

ほとんどの出力ポートおよび入出力ポートは，リセット解除後にハイ・インピーダンス状態になり，入力バッファが使用不可となります。

これらのポートは，未使用時にオープンにしておくことができます。

ただし，以下の端子は例外とします。

- JP0\_4 : 内部プルダウン・レジスタがアクティブ
- P0\_0 : RESETOUT 信号が出力
- PWGD : 常に入力に接続してください
- $\overline{\text{RESET}}$  : 常に入力に接続してください
- WAKE : 常に出力
- VCPCnIN : 常に入力，使用しない場合，レジスタによってプルアップまたはプルダウン

端子が未使用の場合，下記のように接続することを推奨します。

端子	推奨接続
JTAG Port0 (JP0_4 以外), Port0 (P0_0-3 以外)	出力時：オープン 入力時：端子ごとに抵抗を介して E0VDD または E0VSS に接続
JP0_4 P0_0-P0_3	出力時：オープン 入力時：端子ごとに抵抗を介して E0VSS に接続
Port1-4	出力時：オープン 入力時：端子ごとに抵抗を介して E1VDD または E1VSS に接続
Port10, 11	出力時：オープン 入力時：端子ごとに抵抗を介して A0VDD または A0VSS に接続
Port12, 13	出力時：オープン 入力時：端子ごとに抵抗を介して A1VDD または A1VSS に接続
Port21-22, 24-29	出力時：オープン 入力時：端子ごとに抵抗を介して B0VDD または B0VSS に接続
PTCTL1	オープン
FLMD0	E0VSS に接続
$\overline{\text{RESET}}$	E0VDD に接続
PWGD	E0VDD に接続
WAKE	オープン
MLBA0SIG, MLBA0DAT, MLBA0CLK	端子ごとに抵抗を介して MLB0VSS に接続
XT1	OSCVSS に接続

端子	推奨接続
XT2	オープン
VCPC0IN, VCPC1IN	端子ごとに抵抗を介して E0VDD または E0VSS に接続
A0VDD, A0VREFP	E1VDD に接続
A0VSS, A0VREFM	E1VSS に接続
A1VDD, A1VREFP, MLB0VDD	B0VDD に接続
A1VSS, A1VREFM, MLB0VSS	B0VSS に接続

## 2.5 ポート・フィルタ

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品はアナログ・フィルタとデジタル・フィルタを両方をサポートしています。

最初の節で、フィルタが割り当てられているポート入力信号とそのフィルタの種類、フィルタの制御レジスタと制御ビット、およびレジスタ・アドレスなどの概要を説明します。

以降の節で、アナログ・フィルタ機能、デジタル・フィルタ機能、および各フィルタの制御レジスタについての詳細を説明します。

デジタル／アナログ・フィルタと制御レジスタの詳細は2.6「ポート・フィルタ機能説明」を参照してください。

### 2.5.1 ポート・フィルタの割り当て

アナログまたは、デジタル・フィルタを内蔵した入力端子の一覧を次に示します。

#### (1) アナログ・フィルタ・タイプAの付き入力端子

アナログ・フィルタ・タイプAは次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)  
各アナログ・フィルタ付きポートにはそれぞれの端子に専用のFCLAnCTLmレジスタがあります。各グループnは8つの入力信号mに対応しています。

表 2-42 アナログ・フィルタ・タイプA付き入力信号 (1/2)

入力信号	FCLAn レジスタ構成		
	レジスタ	アドレス	
INTP0	FCLA0	CTL0	FF41 4000 <sub>H</sub>
INTP1		CTL1	FF41 4004 <sub>H</sub>
INTP2		CTL2	FF41 4008 <sub>H</sub>
INTP3		CTL3	FF41 400C <sub>H</sub>
INTP4		CTL4	FF41 4010 <sub>H</sub>
INTP5		CTL5	FF41 4014 <sub>H</sub>
INTP6		CTL6	FF41 4018 <sub>H</sub>
INTP7		CTL7	FF41 401C <sub>H</sub>
INTP8	FCLA1	CTL0	FF41 4020 <sub>H</sub>
INTP9		CTL1	FF41 4024 <sub>H</sub>
INTP10		CTL2	FF41 4028 <sub>H</sub>
INTP11		CTL3	FF41 402C <sub>H</sub>
INTP12		CTL4	FF41 4030 <sub>H</sub>
INTP13		CTL5	FF41 4034 <sub>H</sub>
INTP14		CTL6	FF41 4038 <sub>H</sub>
INTP15		CTL7	FF41 403C <sub>H</sub>

表 2-42 アナログ・フィルタ・タイプ A 付き入力信号 (2/2)

入力信号	FCLAn レジスタ構成		
	レジスタ	アドレス	
NMI	FCLA2	CTL0	FF41 4040 <sub>H</sub>
TAPA0ESO		CTL1	FF41 4044 <sub>H</sub>
KR0	FCLA3	CTL0	FF41 4060 <sub>H</sub>
KR1		CTL1	FF41 4064 <sub>H</sub>
KR2		CTL2	FF41 4068 <sub>H</sub>
KR3		CTL3	FF41 406C <sub>H</sub>
KR4		CTL4	FF41 4070 <sub>H</sub>
KR5		CTL5	FF41 4074 <sub>H</sub>
KR6		CTL6	FF41 4078 <sub>H</sub>
KR7	CTL7	FF41 407C <sub>H</sub>	

## (2) アナログ・フィルタ・タイプ B の付き入力端子

アナログ・フィルタ・タイプ B は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)  
各アナログ・フィルタ付きポートにはそれぞれの端子に専用の FCLAnCTLm レジスタがあります。各グループ n は 8 つの入力信号 m に対応しています。

表 2-43 アナログ・フィルタ・タイプ B 付き入力信号

入力信号	FCLA レジスタ構成		
	レジスタ	アドレス	
TAUJ0I0	FCLAN	CTL0	FF41 4080 <sub>H</sub>
TAUJ0I1		CTL1	FF41 4084 <sub>H</sub>
TAUJ0I2		CTL2	FF41 4088 <sub>H</sub>
TAUJ0I3		CTL3	FF41 408C <sub>H</sub>
TAUJ1I0		CTL4	FF41 4090 <sub>H</sub>
TAUJ1I1		CTL5	FF41 4094 <sub>H</sub>
TAUJ1I2		CTL6	FF41 4098 <sub>H</sub>
TAUJ1I3		CTL7	FF41 409C <sub>H</sub>

**(3) アナログ・フィルタ・タイプCの付き入力端子**

アナログ・フィルタ・タイプCには制御レジスタは、ありません。

表 2-44 アナログ・フィルタ・タイプC 付き入力信号

入力信号	FCLA レジスタ構成	
	レジスタ	アドレス
Always-On 領域 :		
FLMD0	1	-
FLMD1		-
PWGD		-
$\overline{\text{RESET}}$		-

**(4) デジタル・フィルタ・タイプDの付き入力端子**

デジタル・フィルタ・タイプDは次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm (m = 0 to 7)  
各デジタル・フィルタ付きポートにはそれぞれの端子に専用の FCLAnCTLm レジスタがあります。各グループ n は 8 つの入力信号 m に対応しています。
- デジタル・ノイズ除去制御レジスタ DNFAAnCTL  
各 DNFAAnCTL 制御レジスタは、グループ n (1 グループにつき最大で 16 の入力信号) のデジタル・フィルタ処理を制御します。
- デジタル・ノイズ除去許可レジスタ DNFAAnEN  
レジスタ DNFAAnEN の DNFAAnNFEN[15:0] ビットの設定で、グループ n (1 グループにつき最大で 16 の入力信号) デジタル・ノイズ除去を許可/禁止します。

表 2-45 デジタル・フィルタ D 付き入力信号 (1/3)

入力信号	DNFA レジスタ構成			FCLA レジスタ構成								
	レジスタ	アドレス	Filter enable bit	レジスタ	アドレス							
TAUA0I0	DNFA0CTL DNFA0EN DNFA0ENH DNFA0ENL	FF41 1000 <sub>H</sub> FF41 1004 <sub>H</sub> FF41 1008 <sub>H</sub> FF41 100C <sub>H</sub>	DNFA0EN.DNFA0	NFEN0	FCLA5	CTL0	FF41 5000 <sub>H</sub>					
TAUA0I1				NFEN1		CTL1	FF41 5004 <sub>H</sub>					
TAUA0I2				NFEN2		CTL2	FF41 5008 <sub>H</sub>					
TAUA0I3				NFEN3		CTL3	FF41 500C <sub>H</sub>					
TAUA0I4				NFEN4		CTL4	FF41 5010 <sub>H</sub>					
TAUA0I5				NFEN5		CTL5	FF41 5014 <sub>H</sub>					
TAUA0I6				NFEN6		CTL6	FF41 5018 <sub>H</sub>					
TAUA0I7				NFEN7		CTL7	FF41 501C <sub>H</sub>					
TAUA0I8			DNFA1EN.DNFA1	FF41 1020 <sub>H</sub> FF41 1024 <sub>H</sub> FF41 1028 <sub>H</sub> FF41 102C <sub>H</sub>	NFEN8	FCLA6	CTL0	FF41 5020 <sub>H</sub>				
TAUA0I9					NFEN9		CTL1	FF41 5024 <sub>H</sub>				
TAUA0I10					NFEN10		CTL2	FF41 5028 <sub>H</sub>				
TAUA0I11					NFEN11		CTL3	FF41 502C <sub>H</sub>				
TAUA0I12					NFEN12		CTL4	FF41 5030 <sub>H</sub>				
TAUA0I13					NFEN13		CTL5	FF41 5034 <sub>H</sub>				
TAUA0I14					NFEN14		CTL6	FF41 5038 <sub>H</sub>				
TAUA0I15					NFEN15		CTL7	FF41 503C <sub>H</sub>				
URTE10RX	DNFA1CTL DNFA1EN DNFA1ENH DNFA1ENL	FF41 1020 <sub>H</sub> FF41 1024 <sub>H</sub> FF41 1028 <sub>H</sub> FF41 102C <sub>H</sub>	DNFA1EN.DNFA1	NFEN0	FCLA7	CTL0	FF41 5040 <sub>H</sub>					
URTE11RX				NFEN1		CTL1	FF41 5044 <sub>H</sub>					
CSIG4SC				NFEN2		CTL2	FF41 5048 <sub>H</sub>					
CSIG4SI				NFEN3		CTL3	FF41 504C <sub>H</sub>					
CSIG4RYI				NFEN4		CTL4	FF41 5050 <sub>H</sub>					
CSIG4SSI				NFEN5		CTL5	FF41 5054 <sub>H</sub>					
ADCA0TRG0				NFEN8		CTL0	FF41 5060 <sub>H</sub>					
ADCA0TRG1				NFEN9		CTL1	FF41 5064 <sub>H</sub>					
ADCA0TRG2			DNFA2EN.DNFA2	FF41 2000 <sub>H</sub> FF41 2004 <sub>H</sub> FF41 2008 <sub>H</sub> FF41 200C <sub>H</sub>	NFEN10	FCLA8	CTL2	FF41 5068 <sub>H</sub>				
ENCA0AIN					NFEN11		CTL3	FF41 506C <sub>H</sub>				
ENCA0BIN					NFEN12		CTL4	FF41 5070 <sub>H</sub>				
ENCA0ZIN					NFEN13		CTL5	FF41 5074 <sub>H</sub>				
ENCA0TIN0					NFEN14		CTL6	FF41 5078 <sub>H</sub>				
ENCA0TIN1					NFEN15		CTL7	FF41 507C <sub>H</sub>				
TAUB1I1					DNFA2CTL DNFA2EN DNFA2ENH DNFA2ENL		FF41 2000 <sub>H</sub> FF41 2004 <sub>H</sub> FF41 2008 <sub>H</sub> FF41 200C <sub>H</sub>	DNFA2EN.DNFA2	NFEN0	FCLA9	CTL0	FF41 6000 <sub>H</sub>
TAUB1I2									NFEN1		CTL1	FF41 6004 <sub>H</sub>
TAUB1I3	NFEN2	CTL2	FF41 6008 <sub>H</sub>									
TAUB1I5	NFEN3	CTL3	FF41 600C <sub>H</sub>									
TAUB1I7	NFEN5	CTL5	FF41 6014 <sub>H</sub>									
TAUB1I9	DNFA2EN.DNFA2	FF41 2000 <sub>H</sub> FF41 2004 <sub>H</sub> FF41 2008 <sub>H</sub> FF41 200C <sub>H</sub>	NFEN8	FCLA10		CTL0		FF41 6020 <sub>H</sub>				
TAUB1I11			NFEN10			CTL2		FF41 6028 <sub>H</sub>				
TAUB1I13			NFEN11			CTL3		FF41 602C <sub>H</sub>				
TAUB1I14			NFEN12			CTL4		FF41 6030 <sub>H</sub>				
TAUB1I15			NFEN13			CTL5		FF41 6034 <sub>H</sub>				



表 2-45 デジタル・フィルタ D 付き入力信号 (2/3)

入力信号	DNFA レジスタ構成			FCLA レジスタ構成						
	レジスタ	アドレス	Filter enable bit	レジスタ	アドレス					
TAUB211	DNFA5CTL DNFA5EN DNFA5ENH DNFA5ENL		DNFA5EN.DNFA5	NFEN0	FCLA15	CTL0				
TAUB212				NFEN1		CTL1				
TAUB213				NFEN2		CTL2				
TAUB215				NFEN3		CTL3				
TAUB216				NFEN4		CTL4				
TAUB217				NFEN5	CTL5					
TAUB219				NFEN8	CTL0	FCLA16	CTL0			
TAUB2110				NFEN9	CTL1		CTL1			
TAUB2111				NFEN10	CTL2		CTL2			
TAUB2113				NFEN11	CTL3		CTL3			
TAUB2114				NFEN12	CTL4		CTL4			
TAUB2115				NFEN13	CTL5		CTL5			
ADCA1TRG0				DNFA8CTL DNFA8EN DNFA8ENH DNFA8ENL	FF41 20C0 <sub>H</sub> FF41 20C4 <sub>H</sub> FF41 20C8 <sub>H</sub> FF41 20CC <sub>H</sub>		DNFA8EN.DNFA8	NFEN4	FCLA21	CTL4
ADCA1TRG1						NFEN5		CTL5		FF41 6194 <sub>H</sub>
ADCA1TRG2	NFEN6	CTL6	FF41 6198 <sub>H</sub>							
CSIH0SC	DNFA9CTL DNFA9EN DNFA9ENH DNFA9ENL	FF41 20E0 <sub>H</sub> FF41 20E4 <sub>H</sub> FF41 20E8 <sub>H</sub> FF41 20EC <sub>H</sub>	DNFA9EN.DNFA9	NFEN0	FCLA22	CTL0	FF41 61A0 <sub>H</sub>			
CSIH0RYI				NFEN1		CTL1	FF41 61A4 <sub>H</sub>			
CSIH0SI				NFEN2		CTL2	FF41 61A8 <sub>H</sub>			
CSIH0SSI				NFEN3		CTL3	FF41 61AC <sub>H</sub>			
CSIH1SC				NFEN4		CTL4	FF41 61B0 <sub>H</sub>			
CSIH1RYI				NFEN5		CTL5	FF41 61B4 <sub>H</sub>			
CSIH1SI				NFEN6		CTL6	FF41 61B8 <sub>H</sub>			
CSIH1SSI				NFEN7	CTL7	FF41 61BC <sub>H</sub>				
CSIH2SC				NFEN8	CTL0	FF41 61C0 <sub>H</sub>	FCLA23	CTL0	FF41 61C0 <sub>H</sub>	
CSIH2RYI				NFEN9	CTL1	FF41 61C4 <sub>H</sub>		CTL1	FF41 61C4 <sub>H</sub>	
CSIH2SI				NFEN10	CTL2	FF41 61C8 <sub>H</sub>		CTL2	FF41 61C8 <sub>H</sub>	
CSIH2SSI				NFEN11	CTL3	FF41 61CC <sub>H</sub>		CTL3	FF41 61CC <sub>H</sub>	
CSIG0SC				DNFA10CTL DNFA10EN DNFA10ENH DNFA10ENL	FF41 2100 <sub>H</sub> FF41 2104 <sub>H</sub> FF41 2108 <sub>H</sub> FF41 210C <sub>H</sub>	DNFA10EN.DNFA10		NFEN0	FCLA24	CTL0
CSIG0RYI							NFEN1	CTL1		FF41 61E4 <sub>H</sub>
CSIG0SI	NFEN2	CTL2	FF41 61E8 <sub>H</sub>							
CSIG0SSI	NFEN3	CTL3	FF41 61EC <sub>H</sub>							
CSIG2RYI	NFEN8	CTL8					FCLA25	CTL8		
CSIG2SC	NFEN9	CTL9						CTL9		
CSIG2SI	NFEN10	CTL10						CTL10		
CSIG3SC	NFEN11	CTL11						CTL11		
CSIG3SI	NFEN12	CTL12						CTL12		

表 2-45 デジタル・フィルタ D 付き入力信号 (3/3)

入力信号	DNFA レジスタ構成			FCLA レジスタ構成			
	レジスタ	アドレス	Filter enable bit	レジスタ	アドレス		
URTE0RX	DNFA11CTL DNFA11EN DNFA11ENH DNFA11ENL	FF41 2120 <sub>H</sub> FF41 2124 <sub>H</sub> FF41 2128 <sub>H</sub> FF41 212C <sub>H</sub>	DNFA11EN:DNFA11	NFEN4	FCLA26	CTL4	FF41 6230 <sub>H</sub>
URTE1RX				NFEN5	FCLA26	CTL5	FF41 6234 <sub>H</sub>
URTE2RX				NFEN0	FCLA27	CTL0	FF41 6240 <sub>H</sub>
URTE3RX				NFEN1		CTL1	FF41 6244 <sub>H</sub>
URTE4RX				NFEN2		CTL2	FF41 6248 <sub>H</sub>
URTE5RX				NFEN3		CTL3	FF41 624C <sub>H</sub>
URTE6RX				NFEN4		CTL4	FF41 6250 <sub>H</sub>
URTE7RX				NFEN5		CTL5	FF41 6254 <sub>H</sub>
URTE8RX				NFEN6		CTL6	FF41 6258 <sub>H</sub>
URTE9RX				NFEN7	CTL7	FF41 625C <sub>H</sub>	

## 2.5.2 ポート・フィルタのクロック供給

下記の表にフィルタ・タイプごとのクロック供給を示します。

表 2-46 ポート・フィルタのクロック供給

ポート・ドメイン <sup>a</sup>	フィルタ・タイプ	フィルタ・クロック	接続先
Always-On 領域	Analog type A	PCLK	Clock Controller CKSCLK_A02
	Analog type B	PCLK	Clock Controller CKSCLK_A02
	Analog type C	–	–
Isolated-Area-0	Digital type D	PCLK	Clock Controller CKSCLK_005
		DNFATCKI	Clock Controller CKSCLK_016
Isolated-Area-1	Digital type D	PCLK	Clock Controller CKSCLK_101
		DNFATCKI	Clock Controller CKSCLK_128

<sup>a)</sup> ポートが属する電源ドメインを示しています。

## 2.6 ポート・フィルタ機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

- アナログ・フィルタ
  - アナログ・フィルタは固定の特性を備えています。
    - タイプ A: エッジ検出またはレベル検出を伴うアナログ・フィルタ通過信号  
出力信号は外部イベントの信号を送信するために使用されます。外部信号のタイミングは考慮されませんが、レベルまたはレベルの変化は考慮されます。  
イベント信号の典型例として、外部割り込み信号があります。
    - タイプ B: フィルタ・バイパス・オプションを伴うアナログ・フィルタ通過信号  
このフィルタ・タイプではフィルタ通過出力信号のタイミングが保持されます。フィルタをバイパスすることもできます。  
そのような信号の典型例として、周波数を計測するタイマ入力信号があります。
    - タイプ C: アナログ・フィルタのみ  
入力信号は常にアナログ・フィルタを通過します。バイパスはできません。  
このようなフィルタは、通常は外部 RESET 入力およびモード信号に使用されます。
- デジタル・フィルタ
  - デジタル・フィルタの特性はアプリケーションのニーズに合わせて調整できます。
    - タイプ D: フィルタ・バイパス・オプションを伴う設定可能なデジタル・フィルタ通過信号  
このフィルタ・タイプではフィルタ通過出力信号のタイミングが保持されます。フィルタをバイパスすることもできます。  
そのような信号の典型例として、周波数を計測するタイマ入力信号があります。

### 2.6.1 アナログ・フィルタ

**アナログ・フィルタ特性** アナログ・フィルタの特性は、レベル検出とエッジ検出の特性と共にデータ・シートに記載されています。

**アナログ・フィルタ制御レジスタ** アナログ・フィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLAnCTLm が用意されています。

FCLAnCTLm レジスタは、1つのレジスタ・グループ（グループ番号を n で表示）に 8つのレジスタで構成されています。レジスタ・インデックス m の範囲は 0～7 です。

FCLA グループ n FCLAnCTL0～FCLAnCTL7

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-42「アナログ・フィルタ・タイプ A 付き入力信号」～表 2-44「アナログ・フィルタ・タイプ C 付き入力信号」を参照してください。

### スタンバイ・モード でのアナログ・ フィルタ

- DEEPSTOP モード：  
アナログ・フィルタは、Always-On 領域（AWO）にあり、常に動作しています。
- STOP モード：  
アナログ・フィルタの動作とそのウエイクアップ機能はフィルタ・タイプに依存します。以下のアナログ・フィルタ・タイプの説明を参照してください。

#### (1) アナログ・フィルタ・タイプ A

次にアナログ・フィルタ・タイプ A のブロック図を示します。

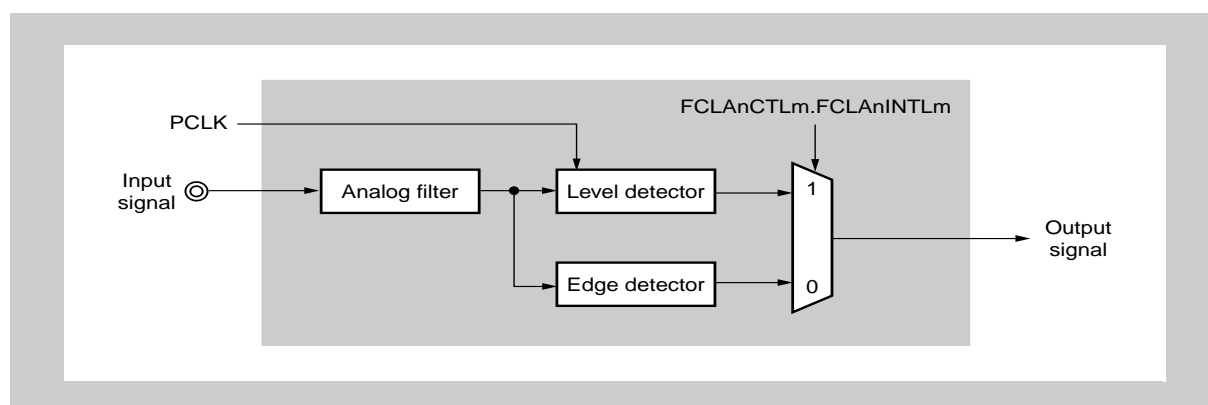


図 2-3 アナログ・フィルタ・タイプ A のブロック図

外部信号がアナログ・フィルタを通過してノイズとヒゲを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じて出力信号を発生します。

検出モードは制御ビット FCLAnCTLm.FCLAnINTLm で選択します。

- FCLAnINTLm = 0 : エッジ検出モード  
FCLAnCTLm.FCLAnINTRm と FCLAnCTLm.FCLAnINTFm の設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。
- FCLAnINTLm = 1 : レベル検出モード  
FCLAnCTLm.FCLAnINTRm の設定に応じて、ハイ・レベルまたはロウ・レベルを検出することができます。

アナログ・フィルタの検出条件を次の表に示します。

表 2-47 アナログ・フィルタ・イベント検出条件

FCLAnINTLm	FCLAnINTFm	FCLAnINTRm	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウ・レベル
	X	1		ハイ・レベル

**STOP モードの  
アナログ・  
フィルタ・タイプ A** PCLK の供給が停止している場合、レベル検出モードを使用することができません。ウェイクアップ信号として使用する場合、エッジ検出モードを選択してください。

## (2) アナログ・フィルタ・タイプ B

次にアナログ・フィルタ・タイプ B のブロック図を示します。

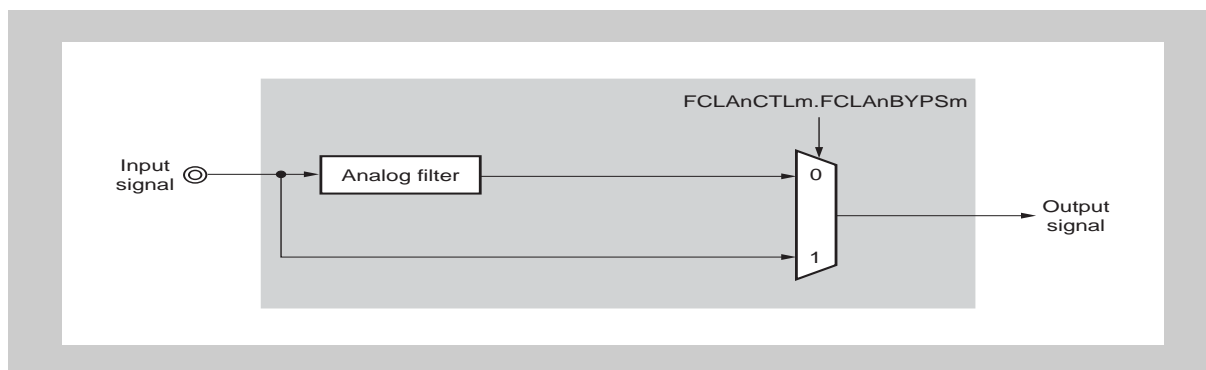


図 2-4 アナログ・フィルタ・タイプ B のブロック図

アナログ・フィルタは任意でバイパスが可能です。

- FCLAnCTLm.FCLAnBYPsm = 0: フィルタを通過した信号を出力します。
- FCLAnCTLm.FCLAnBYPsm = 1: フィルタを通過していない入力信号を出力します。

**STOP モードでの  
アナログ・  
フィルタ・タイプ B** アナログ・フィルタ・タイプ B の出力信号は、常に STOP モード・ウェイクアップ信号として使用できます。

### (3) アナログ・フィルタ・タイプC

次にアナログ・フィルタ・タイプCのブロック図を示します。

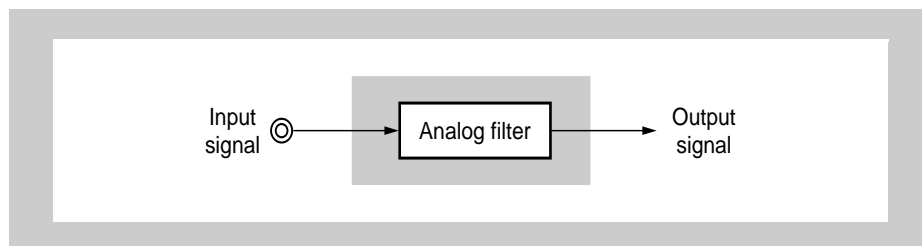


図 2-5 アナログ・フィルタ・タイプCのブロック図

出力信号は、常にアナログ・フィルタを通過した入力信号です。

**STOP モードでの  
アナログ・  
フィルタ・タイプC**

アナログ・フィルタ・タイプCの出力信号は、常にSTOPモード・ウエイクアップ信号として使用できます。

## 2.6.2 デジタル・フィルタ

**デジタル・フィルタ特性** デジタル・フィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数  $f_s$  でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズまたはヒゲと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。いずれのパラメータも設定可能です。

- DNFAAnCTL.DNFAAnPRS[2:0] を設定することによって、  

$$f_s = f_{\text{DNFATCKI}} / 2^{\text{DNFAAnPRS}[2:0]}$$
（ $f_{\text{DNFATCKI}}$  は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。
- DNFAAnCTL.DNFAAnNFSTS[1:0] で同レベルのサンプル数（2～5）を指定します。

以下の幅よりも短い外部信号パルスは常に抑制します。

- $(\text{DNFAAnNFSTS}[1:0] - 1) \times 1/f_s$

以下の幅よりも長い外部信号パルスは常に有効と判断し、フィルタ出力へ送ります。

- $\text{DNFAAnNFSTS}[1:0] \times 1/f_s$

以下範囲内の外部信号パルスは抑制する場合もあれば、有効と判断する場合があります。

- $(\text{DNFAAnNFSTS}[1:0] - 1) \times 1/f_s \sim \text{DNFAAnNFSTS}[1:0] \times 1/f_s$

DNFAAnNFSTS[1:0] = 01<sub>B</sub>（同レベルのサンプル数：3）としたときのフィルタ動作例を次の図に示します。

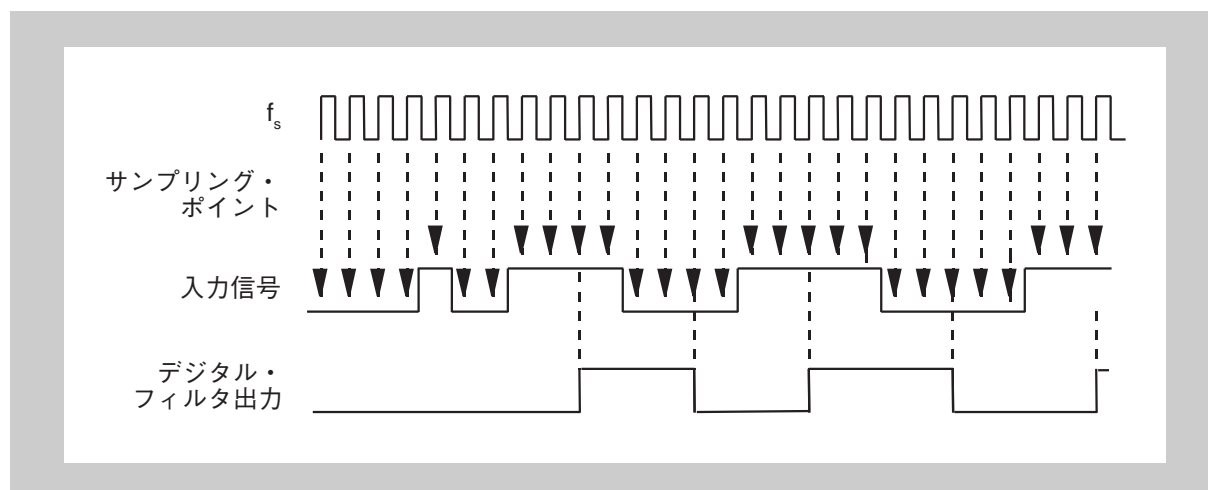


図 2-6 デジタル・フィルタ機能

- デジタル・フィルタ・グループ** デジタル・フィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。デジタル・フィルタの特性は、DNFAnCTL.DNFAnPRS[2:0] と DNFAnNFSTS[1:0] で指定し、信号グループ単位で適用されます。ただし、デジタル・フィルタの有効/無効は、DNFAnEN.DNAFnNFENm によって信号ごとに設定できます。

- 注意** 1. デジタル・フィルタの出力信号を兼用機能に入力する場合、デジタル・フィルタを有効 (DNFAnEN.DNAFnENm = 1) にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。

$$\text{DNFAnNFSTS}[1:0] \times 1/f_s + 4 \times 1/f_{\text{DNFATCKI}}$$

2. デジタル・フィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタル・フィルタを有効 (DNFAnEN.DNAFnENm = 1) にしてください。また、デジタル・フィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。

$$\text{DNFAnNFSTS}[1:0] \times 1/f_s + 5 \times 1/f_{\text{DNFATCKI}}$$

#### スタンバイ・モード のデジタル・ フィルタ

- DEEPSTOP モード：  
デジタル フィルタはアイソレート領域 0 またはアイソレート領域 1 の電力ドメインに配置され、それぞれの電力ドメインが DEEPSTOP モードにある場合は動作しません。
- STOP モード：  
デジタル・ノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。そのため、DNFATCKI が STOP モードで停止している場合は、デジタル・フィルタを通過した信号は STOP モード・ウェイクアップ・イベントとして動作することはできません。DNFATCKI が STOP モードで動作している場合は、外部信号がウェイクアップを出すことができます。



### デジタル・フィルタ 制御レジスタ

最高 16 のデジタル・フィルタで構成される各グループに対して、共通デジタル・フィルタ設定レジスタ DNFACTL およびデジタル・フィルタ許可レジスタ DNFAEN は、同じグループ内（グループ番号を  $n$  で表示）の全フィルタに対して設定を行います。

DNFACTL レジスタでのフィルタ設定はグループ単位で適用されますが、フィルタ許可レジスタ DNFAEN の制御ビット DNFAEN $m$  はフィルタの有効/無効をフィルタ単位で設定します。レジスタ・インデックス  $m$  の範囲は、0 ~ 15 です。

DNFACTL はデジタル・フィルタ  $m$  ( $m=0\sim 15$ ) のグループ  $n$  に対する制御レジスタです。制御ビット DNFAEN.DNFAEN $0\sim$  DNFAEN.DNFAEN $15$  で各フィルタの有効/無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタ FCLAnCTL $m$  によって行います。

FCLAnCTL $m$  レジスタは、1つのレジスタ・グループ（グループ番号を  $n$  で表示）に 8つのレジスタで構成されています。レジスタ・インデックス  $m$  の範囲は 0 ~ 7 です。

FCLA グループ  $n$  FCLAnCTL $0\sim$  FCLAnCTL $7$

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表 2-45「デジタル・フィルタ D 付き入力信号」を参照してください。

**注意** DNFAEN.DNFAEN $m = 1$  で関連するデジタル・フィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

#### (1) デジタル・フィルタ・タイプ D

次にデジタル・フィルタ・タイプ D のブロック図を示します。

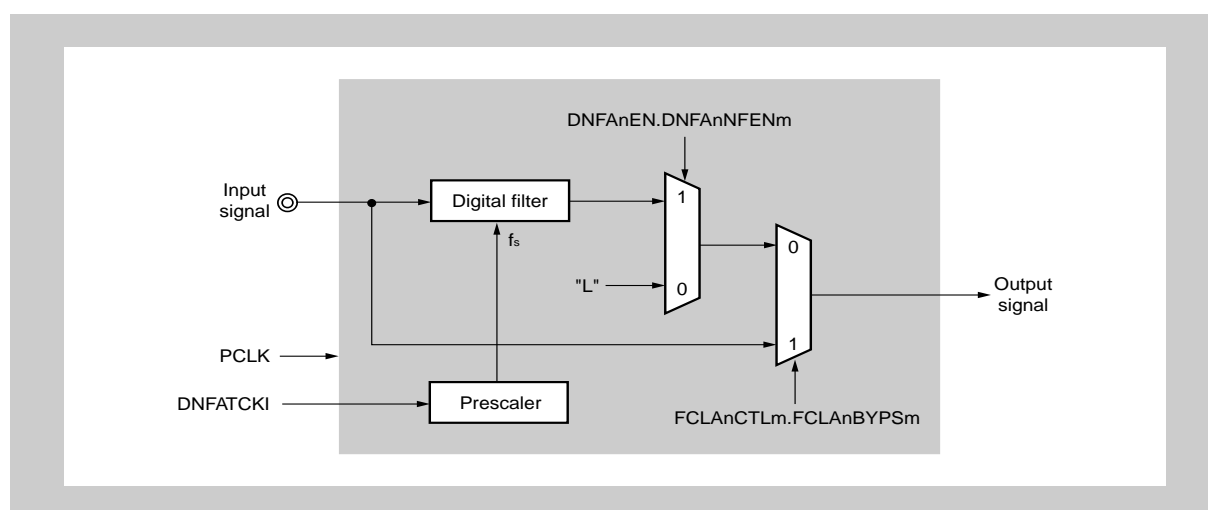


図 2-7 デジタル・フィルタ・タイプ D のブロック図

次の表に示すように、出力信号はレジスタ設定に依存します。

表 2-48 デジタル・フィルタ・タイプD の出力オプション

FCLAnCTLm. FCLAnBYPSm	DNFAnEN. DNFAnNFENm	出力信号
0	0	ロウ・レベルに固定
	1	フィルタを通過した入力信号
1	X	フィルタを通過しない入力信号

### 2.6.3 フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタは、次のレジスタによって制御、動作します。

表 2-49 フィルタ・レジスタ一覧

レジスタ名	略号	アドレス
フィルタ制御レジスタ m	FCLAnCTLm	各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の各表を参照してください。
デジタル・ノイズ除去制御レジスタ	DNFAnCTL	
デジタル・ノイズ除去許可レジスタ	DNFAnEN	

## (1) FCLAnCTLm - フィルタ制御レジスタ

アナログ・フィルタおよびデジタル・フィルタの動作を制御します。

アナログ・フィルタとデジタル・フィルタの制御オプションはそれぞれ部分的に異なるため、レジスタ説明を個別に記載します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FCLAnCTLm レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の各表を参照してください。

**初期値** 00<sub>H</sub> このレジスタはどのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
FCLAn BYPSm	0	0	0	0	FCLAn INTLm	FCLAn INTFm	FCLAn INTRm
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-50 FCLAnCTLm レジスタの内容 (アナログ・フィルタ制御)

ビット位置	ビット名	機能
7	FCLAn BYPSm	フィルタ・バイパス制御： 0: フィルタ・バイパス無効 1: フィルタ・バイパス有効 <b>備考：</b> このビットはアナログ・フィルタ・タイプBとデジタル・フィルタ・タイプDでのみ有効です。
2	FCLAn INTLm	検出モード選択 0: エッジ検出有効 1: レベル検出有効 <b>備考：</b> このビットはアナログ・フィルタ・タイプAでのみ有効です。
1	FCLAn INTFm	<ul style="list-style-type: none"> <li>レベル検出モード (FCLAnINTLm = 1) 時：検出レベル選択 0: ロウ・レベル検出 1: ハイ・レベル検出</li> <li>エッジ検出モード (FCLAnINTLm = 0) 時：立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効</li> </ul> <b>備考：</b> このビットはアナログ・フィルタ・タイプAでのみ有効です。
0	FCLAn INTRm	<ul style="list-style-type: none"> <li>レベル検出モード (FCLAnINTLm = 1) 時：このビットによる影響なし 0: ロウ・レベル検出 1: ハイ・レベル検出</li> <li>エッジ検出モード (FCLAnINTLm = 0) 時：立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効</li> </ul> <b>備考：</b> このビットはアナログ・フィルタ・タイプAでのみ有効です。

**(2) DNFACTL - デジタル・ノイズ除去制御レジスタ**

デジタル・ノイズ除去フィルタの特性を指定します。

**備考** このレジスタはデジタル・フィルタ・タイプDでのみ有効です。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** DNFACTL レジスタと入力信号の対応, および各レジスタのアドレスについては, 2.5.1「ポート・フィルタの割り当て」内の表2-45「デジタル・フィルタD付き入力信号」を参照してください。

**初期値** 00<sub>H</sub> このレジスタはどのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	DNFAnNFSTS[1:0]	0	0	DNFAnPRS[2:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-51 DNFACTL レジスタの内容

ビット位置	ビット名	機能																		
6, 5	DNFAnNFSTS[1:0]	DNFAnNFSTS[1:0] は, 外部信号パルスの有効/無効を判断する際と同レベルのサンプル数を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DNFAnNFSTS[1:0]</th> <th>同レベルのサンプル数</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>2</td> </tr> <tr> <td>01<sub>B</sub></td> <td>3</td> </tr> <tr> <td>10<sub>B</sub></td> <td>4</td> </tr> <tr> <td>11<sub>B</sub></td> <td>5</td> </tr> </tbody> </table>	DNFAnNFSTS[1:0]	同レベルのサンプル数	00 <sub>B</sub>	2	01 <sub>B</sub>	3	10 <sub>B</sub>	4	11 <sub>B</sub>	5								
DNFAnNFSTS[1:0]	同レベルのサンプル数																			
00 <sub>B</sub>	2																			
01 <sub>B</sub>	3																			
10 <sub>B</sub>	4																			
11 <sub>B</sub>	5																			
2-0	DNFAnPRS[2:0]	デジタル・フィルタ・サンプリング・クロック選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DNFAnPRS[2:0]</th> <th>サンプリング・クロック周波数</th> </tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td> <td>DNFATCKI / 1</td> </tr> <tr> <td>001<sub>B</sub></td> <td>DNFATCKI / 2</td> </tr> <tr> <td>010<sub>B</sub></td> <td>DNFATCKI / 4</td> </tr> <tr> <td>011<sub>B</sub></td> <td>DNFATCKI / 8</td> </tr> <tr> <td>100<sub>B</sub></td> <td>DNFATCKI / 16</td> </tr> <tr> <td>101<sub>B</sub></td> <td>DNFATCKI / 32</td> </tr> <tr> <td>110<sub>B</sub></td> <td>DNFATCKI / 64</td> </tr> <tr> <td>111<sub>B</sub></td> <td>DNFATCKI / 128</td> </tr> </tbody> </table>	DNFAnPRS[2:0]	サンプリング・クロック周波数	000 <sub>B</sub>	DNFATCKI / 1	001 <sub>B</sub>	DNFATCKI / 2	010 <sub>B</sub>	DNFATCKI / 4	011 <sub>B</sub>	DNFATCKI / 8	100 <sub>B</sub>	DNFATCKI / 16	101 <sub>B</sub>	DNFATCKI / 32	110 <sub>B</sub>	DNFATCKI / 64	111 <sub>B</sub>	DNFATCKI / 128
DNFAnPRS[2:0]	サンプリング・クロック周波数																			
000 <sub>B</sub>	DNFATCKI / 1																			
001 <sub>B</sub>	DNFATCKI / 2																			
010 <sub>B</sub>	DNFATCKI / 4																			
011 <sub>B</sub>	DNFATCKI / 8																			
100 <sub>B</sub>	DNFATCKI / 16																			
101 <sub>B</sub>	DNFATCKI / 32																			
110 <sub>B</sub>	DNFATCKI / 64																			
111 <sub>B</sub>	DNFATCKI / 128																			

**(3) DNFA<sub>n</sub>EN - デジタル・ノイズ除去許可レジスタ**

任意の入力信号のデジタル・ノイズ除去を有効／無効にします。

**備考** このレジスタはデジタル・フィルタ・タイプDでのみ有効です。

**アクセス** 16ビット単位でリード／ライト可能です。  
上位バイト DNFA<sub>n</sub>NFEN[15:8] および下位バイト DNFA<sub>n</sub>NFEN[7:0] は、DNFA<sub>n</sub>ENH.DNFA<sub>n</sub>NFEN[15:8]/DNFA<sub>n</sub>ENL.DNFA<sub>n</sub>NFEN[7:0] を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

**アドレス** DNFA<sub>n</sub>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、2.5.1「ポート・フィルタの割り当て」内の表2-45「デジタル・フィルタD付き入力信号」を参照してください。

**初期値** 0000<sub>H</sub> このレジスタはどのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DNFA <sub>n</sub> NFEN15	DNFA <sub>n</sub> NFEN14	DNFA <sub>n</sub> NFEN13	DNFA <sub>n</sub> NFEN12	DNFA <sub>n</sub> NFEN11	DNFA <sub>n</sub> NFEN10	DNFA <sub>n</sub> NFEN9	DNFA <sub>n</sub> NFEN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DNFA <sub>n</sub> NFEN7	DNFA <sub>n</sub> NFEN6	DNFA <sub>n</sub> NFEN5	DNFA <sub>n</sub> NFEN4	DNFA <sub>n</sub> NFEN3	DNFA <sub>n</sub> NFEN2	DNFA <sub>n</sub> NFEN1	DNFA <sub>n</sub> NFEN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2-52 DNFA<sub>n</sub>EN レジスタの内容

ビット位置	ビット名	機能
15-0	DNFA <sub>n</sub> NFEN[15:0]	デジタル・ノイズ除去制御 0: デジタル・ノイズ除去無効 1: デジタル・ノイズ除去有効

## 第3章 CPUシステム機能

この章では、CPUのレジスタ、動作モード、アドレス空間、メモリ領域について説明します。

### 3.1 概要

このCPUは、ハーバード・アーキテクチャで構成されており、RISC命令セットをサポートしています。基本命令は、1クロックで実行することができます。最適化された7段のパイプラインがサポートされており、これにより命令の実行速度が向上しています。

マイクロコントローラをデジタル制御アプリケーションで理想的な方法で利用できるようにするため、このCPUでは、32ビットのハードウェア乗算器により、乗算命令、飽和乗算命令、ビット操作命令などがサポートされています。

#### CPU • CPU

- コア : V850E2M CPU
- アーキテクチャ : V850E2-V3 アーキテクチャ・クラス
- 命令実行時間 :

デバイス	最小命令実行時間 <sup>a)</sup>	最大CPUクロック
V850E2/Fx4-H	6.25 ns	160 MHz

<sup>a)</sup> スペクトラム拡散PLL (SSCG) の使用により、CPUクロックがディザリングする場合、最大CPUクロックは所定の値を超え、そのために最小命令実行時間も短縮されます。

- 32 × 32 ビット汎用レジスタ
- 7段パイプライン
- 2ウェイ・スーパスカラー
- 内部32ビットアーキテクチャ
- メモリ空間 :
  - プログラム空間 : 4 GB リニア
  - データ空間 : 4 GB リニア

- プロセッサ保護機能
  - メモリ保護ユニット (MPU)  
CPU メモリ領域からの不正な実行や、その領域内の不正なデータ操作を防止します (命令空間は最大 5 つの領域、データ空間は最大 6 つの領域)。
  - システム・レジスタ保護 (SRP)  
信頼できないプログラムによるシステム・レジスタの破壊を防止します。
  - 周辺保護ユニット (PPU)  
周辺モジュールに対する不正なアクセスを防止します。
  - タイミング監視ユニット (TSU)  
信頼できないプログラムによる不適切な CPU 時間占有を防止します。また、割り込みを無効にするリソースや時間も管理することができます。
  
- 命令セット
  - 従来の V850 命令セットと互換性を持つ V850E2 命令セットで、さらに、コード・サイズの減少と実行速度の向上を図った強力な命令を追加しています。
  - 符号付き乗算を 1 クロックで実行
    - 16 bits × 16 bits → 32 bits
    - 32 bits × 32 bits → 32 bits or 64 bits
    - 32 bits × 32 bits → 64 bits
  - オーバーフロー/アンダーフロー検出機能付き飽和演算命令
  - 32 ビット・シフト命令を 1 クロックで実行
  - ビット操作命令 (ビット・セット, クリア, NOT, テスト)
  - ロング/ショート・フォーマットのロード/ストア命令
  - 符号付きロード命令
  - MAC 演算  
32 bit × 32 bit + 64 bit → 64 bit
  - ANSI/IEEE 標準規格 754-1985 準拠の浮動小数点演算 (IEEE2 進浮動小数点演算規格)



## 3.2 周辺保護ユニット

**PPU ベース・アドレス** 周辺保護ユニット・レジスタに関するアドレスについては、『V850E2/M 32ビット・マイクロプロセッサ・コア・アーキテクチャ・ユーザーズ・マニュアル』でオフセット・アドレスとして記述されています。ベース・アドレスは次のようになっています。:

<PPU\_base> = FFFF 5100<sub>H</sub>

**PPU 領域およびレジスタ** それぞれの保護領域の制御レジスタは、次の4つのレジスタで構成されています。

- PPVn – 汎用周辺デバイス保護の有効指定
- PPTn – 汎用周辺デバイスの保護タイプの指定
- PPPn – OS 周辺デバイスの指定
- PPSn – 特殊周辺デバイスの指定

これらのレジスタには、n = 0 から 4 の番号が振られています。

これらの32ビット幅レジスタの各ビットにはそれぞれ名前がつけられています。

- PPVn.PPVnm – 汎用周辺デバイス保護の有効指定
- PPTn.PPTnm – 汎用周辺デバイスの保護タイプの指定
- PPPn.PPPnm – OS 周辺デバイスの指定
- PPSn.PPSnm – 特殊周辺デバイスの指定

このとき、m = 0 から 31 になります。

次の表では、保護アドレス範囲、その制御レジスタ、各アドレス領域のビットとモジュールを定義しています。

表 3-1 PPU の保護領域とモジュール (1/3)

保護範囲の サイズ	保護制御		モジュール名	アドレス範囲
	Registers PPVn, PPTn, PPPn, PPSn n =	Bits PPVnm, PPTnm, PPPnm, PPSnm m =		
1120 B	0	0	INTC	FFFF 6000 <sub>H</sub> - FFFF 645F <sub>H</sub>
8 B		1	Code flash cache control	FFFF 6480 <sub>H</sub> - FFFF 6487 <sub>H</sub>
256 B		22	MEMC	FFFF 7200 <sub>H</sub> - FFFF 72FF <sub>H</sub>
256 B		23	DMAC (DMAC	FFFF 7300 <sub>H</sub> - FFFF 73FF <sub>H</sub>
256 B		24		FFFF 7400 <sub>H</sub> - FFFF 74FF <sub>H</sub>
512 B		25		FFFF 7500 <sub>H</sub> - FFFF 76FF <sub>H</sub>
512 B		26		FFFF 7700 <sub>H</sub> - FFFF 78FF <sub>H</sub>
512 B		27		FFFF 7900 <sub>H</sub> - FFFF 7AFF <sub>H</sub>
512 B		28		FFFF 7B00 <sub>H</sub> - FFFF 7CFF <sub>H</sub>
512 B		29		FFFF 7D00 <sub>H</sub> - FFFF 7EFF <sub>H</sub>

表 3-1 PPU の保護領域とモジュール (2/3)

保護範囲の サイズ	保護制御		モジュール名	アドレス範囲
	Registers PPVn, PPTn, PPPn, PPSn n =	Bits PPVnm, PPTnm, PPPnm, PPSnm m =		
64 KB	1	0	Port Pnm control	FF40 0000 <sub>H</sub> - FF40 FFFF <sub>H</sub>
		1	Port filters control	FF41 0000 <sub>H</sub> - FF41 FFFF <sub>H</sub>
		2	Clock Controller Stand-by Controller Reset Controller	FF42 0000 <sub>H</sub> - FF42 FFFF <sub>H</sub>
		4	Port JPnm control	FF44 0000 <sub>H</sub> - FF44 FFFF <sub>H</sub>
		5	FE level non-maskable interrupt sharing	FF45 0000 <sub>H</sub> - FF45 FFFF <sub>H</sub>
		8	FCN0	FF48 0000 <sub>H</sub> - FF48 FFFF <sub>H</sub>
		9		FF49 0000 <sub>H</sub> - FF49 FFFF <sub>H</sub>
		10	FCN1	FF4A 0000 <sub>H</sub> - FF4A FFFF <sub>H</sub>
		11		FF4B 0000 <sub>H</sub> - FF4B FFFF <sub>H</sub>
		12	FCN2	FF4C 0000 <sub>H</sub> - FF4C FFFF <sub>H</sub>
		13		FF4D 0000 <sub>H</sub> - FF4D FFFF <sub>H</sub>
		14	FCN3	FF4E 0000 <sub>H</sub> - FF4E FFFF <sub>H</sub>
		15		FF4F 0000 <sub>H</sub> - FF4F FFFF <sub>H</sub>
		16	FCN4	FF50 0000 <sub>H</sub> - FF50 FFFF <sub>H</sub>
		17		FF51 0000 <sub>H</sub> - FF51 FFFF <sub>H</sub>
		18	DCN0	FF52 0000 <sub>H</sub> - FF52 FFFF <sub>H</sub>
		19		FF53 0000 <sub>H</sub> - FF53 FFFF <sub>H</sub>
		24	FLX0	FF58 0000 <sub>H</sub> - FF58 FFFF <sub>H</sub>
		28	URTE0/LMA0	FF5C 0000 <sub>H</sub> - FF5C FFFF <sub>H</sub>
		29	URTE1/LMA1	FF5D 0000 <sub>H</sub> - FF5D FFFF <sub>H</sub>
30	URTE2/LMA2	FF5E 0000 <sub>H</sub> - FF5E FFFF <sub>H</sub>		
31	URTE3/LMA3	FF5F 0000 <sub>H</sub> - FF5F FFFF <sub>H</sub>		
64 KB	2	0	URTE4/LMA4	FF60 0000 <sub>H</sub> - FF60 FFFF <sub>H</sub>
		1	URTE5/LMA5	FF61 0000 <sub>H</sub> - FF61 FFFF <sub>H</sub>
		2	URTE6/LMA6	FF62 0000 <sub>H</sub> - FF62 FFFF <sub>H</sub>
		3	URTE7/LMA7	FF63 0000 <sub>H</sub> - FF63 FFFF <sub>H</sub>
		4	URTE8/LMA8	FF64 0000 <sub>H</sub> - FF64 FFFF <sub>H</sub>
		5	URTE9/LMA9	FF65 0000 <sub>H</sub> - FF65 FFFF <sub>H</sub>
		6	URTE10/LMA10	FF66 0000 <sub>H</sub> - FF66 FFFF <sub>H</sub>
		7	URTE11/LMA11	FF67 0000 <sub>H</sub> - FF67 FFFF <sub>H</sub>
		12	CSIH0	FF6C 0000 <sub>H</sub> - FF6C FFFF <sub>H</sub>
		13	CSIH1	FF6D 0000 <sub>H</sub> - FF6D FFFF <sub>H</sub>
		14	CSIH2	FF6E 0000 <sub>H</sub> - FF6E FFFF <sub>H</sub>
		16	CSIG0	FF70 0000 <sub>H</sub> - FF70 FFFF <sub>H</sub>
18	CSIG2	FF72 0000 <sub>H</sub> - FF72 FFFF <sub>H</sub>		

表 3-1 PPU の保護領域とモジュール (3/3)

保護範囲の サイズ	保護制御		モジュール名	アドレス範囲
	Registers PPVn, PPTn, PPPn, PPSn n =	Bits PPVnm, PPTnm, PPPnm, PPSnm m =		
64 KB	2	20	CSIG4	FF74 0000 <sub>H</sub> - FF74 FFFF <sub>H</sub>
		22	Back-up RAM	FF76 0000 <sub>H</sub> - FF76 FFFF <sub>H</sub>
		23	FE level maskable interrupt selection, TAUAn input selections, TAUJn input selections, FCNn signal selections,	FF77 0000 <sub>H</sub> - FF77 FFFF <sub>H</sub>
4 KB	3	0	OSTM0	FF80 0000 <sub>H</sub> - FF80 0FFF <sub>H</sub>
		2	CLMA0	FF80 2000 <sub>H</sub> - FF80 2FFF <sub>H</sub>
		3	CLMA1	FF80 3000 <sub>H</sub> - FF80 3FFF <sub>H</sub>
		4	CLMA2	FF80 4000 <sub>H</sub> - FF80 4FFF <sub>H</sub>
		5	CLMA3	FF80 5000 <sub>H</sub> - FF80 5FFF <sub>H</sub>
		6	WDTA0	FF80 6000 <sub>H</sub> - FF80 6FFF <sub>H</sub>
		7	WDTA1	FF80 7000 <sub>H</sub> - FF80 7FFF <sub>H</sub>
		8	TAUA0	FF80 8000 <sub>H</sub> - FF80 8FFF <sub>H</sub>
		9	TAUB1	FF80 9000 <sub>H</sub> - FF80 9FFF <sub>H</sub>
		10	TAUB2	FF80 A000 <sub>H</sub> - FF80 AFFF <sub>H</sub>
		11	TAUC3	FF80 B000 <sub>H</sub> - FF80 BFFF <sub>H</sub>
		12	TAUC4	FF80 C000 <sub>H</sub> - FF80 CFFF <sub>H</sub>
		13	TAUC5	FF80 D000 <sub>H</sub> - FF80 DFFF <sub>H</sub>
		14	TAUC6	FF80 E000 <sub>H</sub> - FF80 EFFF <sub>H</sub>
		15	TAUC7	FF80 F000 <sub>H</sub> - FF80 FFFF <sub>H</sub>
		16	TAUC8, PMCA0, DLYA0	FF81 0000 <sub>H</sub> - FF81 0FFF <sub>H</sub>
		17	TAUJ0	FF81 1000 <sub>H</sub> - FF81 1FFF <sub>H</sub>
		18	TAUJ1	FF81 2000 <sub>H</sub> - FF81 2FFF <sub>H</sub>
		20	RTCA0	FF81 4000 <sub>H</sub> - FF81 4FFF <sub>H</sub>
		21	TAPA0	FF81 5000 <sub>H</sub> - FF81 5FFF <sub>H</sub>
		24	VCPC0	FF81 8000 <sub>H</sub> - FF81 8FFF <sub>H</sub>
		25	ENCA0	FF81 9000 <sub>H</sub> - FF81 9FFF <sub>H</sub>
		27	FOUT	FF81 B000 <sub>H</sub> - FF81 BFFF <sub>H</sub>
29	ADCA0	FF81 D000 <sub>H</sub> - FF81 DFFF <sub>H</sub>		
30	ADCA1	FF81 E000 <sub>H</sub> - FF81 EFFF <sub>H</sub>		
31	DCRA0	FF81 F000 <sub>H</sub> - FF81 FFFF <sub>H</sub>		
4 KB	4	0	IICAB0	FF82 0000 <sub>H</sub> - FF82 0FFF <sub>H</sub>
		10	RNGA0	FF82 A000 <sub>H</sub> - FF82 AFFF <sub>H</sub>
		11	KR0	FF82 B000 <sub>H</sub> - FF82 BFFF <sub>H</sub>

### 3.3 タイミング監視ユニット

**TSU ベース・アドレス** タイミング監視ユニット・レジスタに関するアドレスについては、『V850E2/M 32 ビット・マイクロプロセッサ・コア・アーキテクチャ・ユーザーズ・マニュアル』でオフセット・アドレスとして記述されています。ベース・アドレスは次のようになっています。:

<TSU\_base> = FFFF 5000<sub>H</sub>

### 3.4 メモリ保護ユニット (MPU)

---

**注意** DPA5 は常に「ベース / マスク指定モード」で使用されます。アクセス・データのアドレスが、DPA5 で構成されている上限アドレスより下にあり、データの長さのためにアクセスが上限を超えてしまう場合は、不整列アクセスの上限バイトが DPA5 で構成されている上限アドレスより上にあっても、アクセス違反が生じません。そのため、DPA5 領域の上限を超える可能性がある不整列アクセスは回避する必要があります。

---

### 3.5 CPU アクセス・バスの構造とレイテンシ

CPU は、マイクロコントローラのすべての機能モジュールのコンフィグレーション・レジスタ、制御レジスタ、ステータス・レジスタに対し、その場所に応じて異なる方法でアクセスします。:

- CPU サブシステムのモジュール：  
以下の「CPU サブシステム・モジュールのアクセス」の節を参照してください。
- CPU サブシステム外部のモジュール（PBUS/HBUS モジュール）：  
以下の「PBUS/HBUS モジュールのアクセス」の節を参照してください。

**備考** CPU サブシステムの詳細については、この章の「CPU サブシステム」の節を参照してください。

#### 3.5.1 CPU サブシステム・モジュールのアクセス

CPU サブシステムのモジュールのレジスタに対するアクセス用として、専用バスの LSPB と GSPB が用意されています。どちらも CPU によってのみ制御されます。

表 3-2 V850E2 CPU サブシステム制御バス

モジュールのレジスタ	CPU マスタ・バス	
	LSPB	GSPB
Interrupt Controller (INTC)	R/W	—
Timing Supervision Unit (TSU)	R/W	—
Peripheral Protection Unit (PPU)	R/W	—
DMA/DTS Controller (DMAC)	—	R/W
HBUS slave I/F	—	R/W
HBUS master I/F	—	R/W
PBUS I/F	—	R/W
Data flash I/F	—	R/W

**H/W ロック機能** LSPB および GSPB バスは、ハードウェア・ロック機能をサポートしています。そのため、レジスタで 8 ビット・アクセスが許可されていれば、LSPB および GSPB バスを介してアクセスするすべてのレジスタに対しビット操作命令（CLR1, NOT1, SET1, TST1）を適用することができます。

**バイト/ハーフワード・アクセス** LSPB および GSPB バスは、バイトおよびハーフワード・アクセスをサポートしています。そのため、LSPB および GSPB バスを介してアクセスするすべてのレジスタのバイトまたはハーフワードは、個別にアクセスすることができます。

### 3.5.2 PBUS/HBUS モジュールのアクセス

CPU は、CPU サブシステムの PBUS および HBUS マスタ・インタフェースを介して、PBUS および HBUS モジュール（CPU サブシステム上にないもの）と通信します。

**H/W ロック機能** PBUS および HBUS マスタ I/F は、ハードウェア・ロック機能をサポートしていません。

**PBUS のバイト / ハーフワード・アクセス** すべての PBUS モジュールは、32 ビット・ワード・アラインされたアドレスでアクセスします。また、それぞれの読み込み / 書き込みは、バスの 32 ビット幅で実行されます。

ただし CPU は、次の結果を伴うバイト（ロード / ストア・バイト）およびハーフワード（ロード / ストア・ハーフワード）アクセス命令も実行することができます。

- バイト読み込みアクセス

- CPU 命令 LD.B および SLD.B（符号付きバイト・データのロード）では、ワード・アラインされたバイトを、CPU 汎用レジスタのビット [7:0] にロードします。汎用レジスタのビット [31:8] は符号拡張されません。
- CPU 命令 LD.BU および SLD.BU（符号なしバイト・データのロード）では、ワード・アラインされたバイトを、CPU 汎用レジスタのビット [7:0] にロードします。汎用レジスタのビット [31:8] はゼロ拡張されません。

- ハーフワード読み込みアクセス

- CPU 命令 LD.H および SLD.H（符号付きハーフワード・データのロード）では、ワード・アラインされたハーフワードを、CPU 汎用レジスタのビット [15:0] にロードします。汎用レジスタのビット [31:16] は符号拡張されます。
- CPU 命令 LD.HU および SLD.HU では、ワード・アラインされたハーフワードを、CPU 汎用レジスタのビット [15:0] にロードします。汎用レジスタのビット [31:16] はゼロ拡張されます。

- 書き込みアクセス

バイト（CPU 命令 ST.B, SST.B）またはハーフワード（CPU 命令 ST.H, SST.H）書き込みアクセスは、ワード・アドレスの書き込まれていないバイトを破壊します。

---

**注意** バイトまたはハーフワード書き込みアクセスは、書き込み対象がそれぞれ（バイト・アクセスで）8 ビットまたは（ハーフワード・アクセスで）16 ビット幅の場合を除き、実行しないでください。強行すると、それぞれ上位 3 バイトまたは 2 バイトが破壊される可能性があります。

---

**HBUS アクセス** HBUS を介したすべてのアクセスは 32 ビット幅で実行しなければなりません。そのため、ハーフワード・アクセスおよびバイト・アクセスは実行できません。

- バス・クロック** CPUサブシステムには、CKSCLK\_000クロック（CPUCLK）が供給されています。CPU（またはDMAコントローラ）が、CPUサブシステム外部のモジュールにアクセスする場合、これらのモジュールには異なるクロック・ドメインが対応しています。このため、CPUが該当モジュールにアクセスする場合、バス・クロックを同期する必要があります。
- この節では、バスの構造とそのクロックについて説明し、異なるバス・クロックを同期する場合のアクセス・レイテンシを定義します。
- バス・クロックの表記** バス・クロックPCLKおよびHCLKには、クロックを示すインデクスがあり、バスはこれで動作します。たとえばPCLK000は、CKSCLK\_000と同期したPCLKクロックで動作するPBUSを表します。一般的には次のようになります。:
- PCLKmnは、CKSCLK\_mnと同期したPBUSクロック
  - HCLKmnは、CKSCLK\_mnと同期したHBUSクロック

---

**注意** バス・シンクロナイザを使用して複数のクロック・ドメインのモジュールにアクセスする場合、複数サイクルのCPUCLKのレイテンシが発生する可能性があります。つまり、CPUサブシステム・モジュールにアクセスするCPU命令（特にINTC、DMAC）の後に、バス・シンクロナイザのレイテンシを伴ってモジュールにアクセスする命令が発生する、つまりCPUサブシステム・モジュールへのアクセスが、最初のアクセス（バス・シンクロナイザ経由のモジュール・アクセス）よりも前に有効になる可能性があります。詳細については、この節の説明を参照してください。

---

## (1) V850E2/Fx4-H の CPU アクセス・バスの構造

次の図は、V850E2/Fx4-H デバイスの他のモジュールに対する CPU アクセス・バスの構造を示しています。

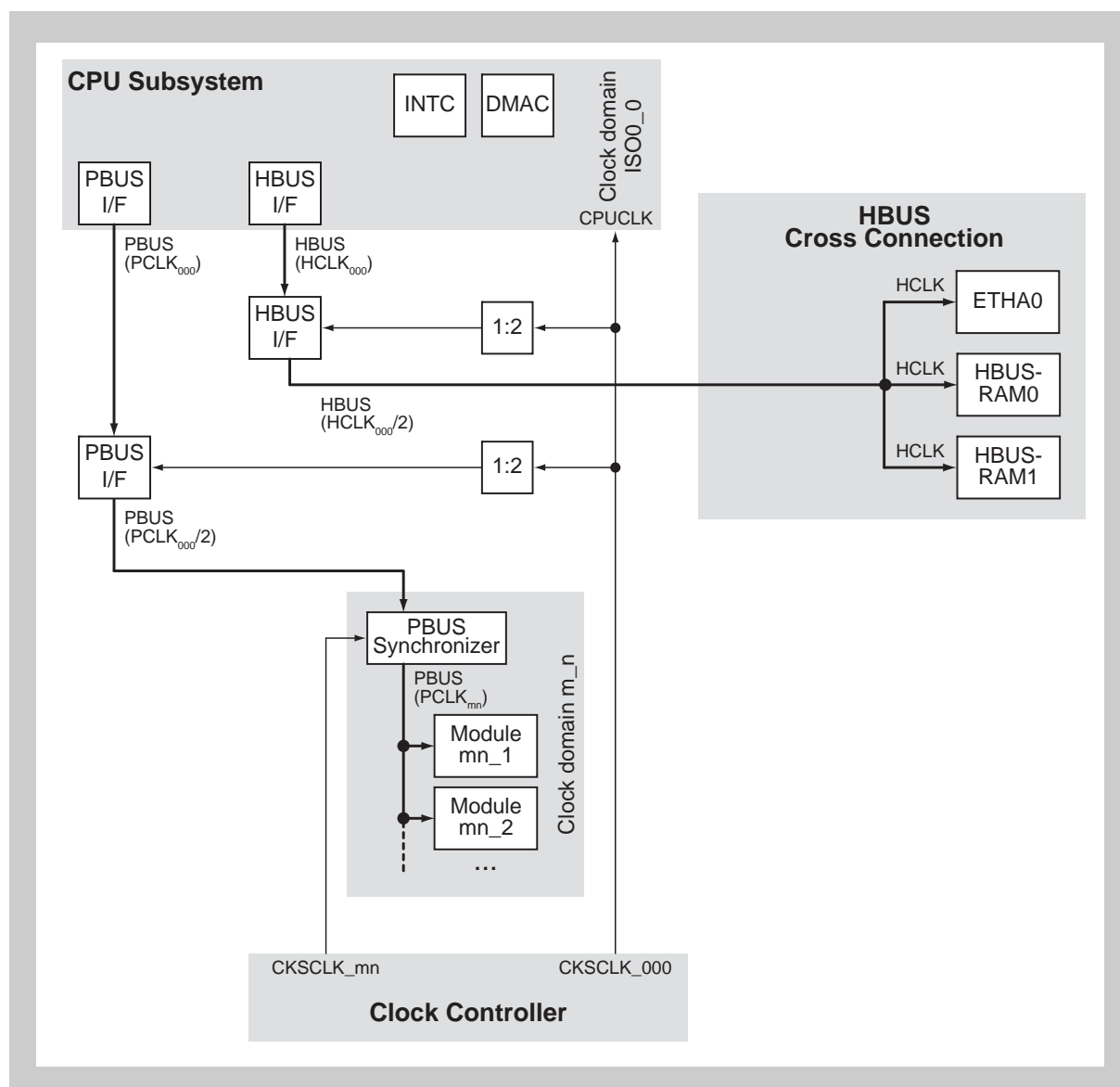


図 3-1 V850E2/Fx4-H の CPU アクセス・バスの構造

CPU によるアクセスは次のようになります。

- すべての PBUS モジュールには PCLK000/2 クロックでアクセス
- すべての HBUS モジュールには HCLK000/2 クロックでアクセス

**CPU サブシステム・モジュール** CPU は、CPU サブシステム（DMA コントローラ、割り込みコントローラ）のモジュールには CPU サブシステムの内部バスを使用してアクセスします。これらのバスのバス・クロックは CPUCLK（CKSCLK\_000）になります。そのため、バス同期は必要ありません。



- クロック・ドメイン m\_n** すべての PBUS インタフェースには、異なるクロック・ドメイン CKSCLK\_mn のクロックが供給されています。このため、CPU はクロック・ドメイン m\_n の PBUS インタフェースに PCLK000/2 = CKSCLK\_000/2 でアクセスし、これがターゲット・クロック・ドメイン CKSCLK\_mn と同期されます。
- PBUS シンクロナイザのレイテンシの詳細については、以下の「PBUS シンクロナイザ」の節を参照してください。
- HBUS クロス接続の HBUS モジュール** HBUS クロス接続システムのモジュールに対するすべての HBUS インタフェースは、CKSCLK\_000/2 で直接アクセスしますが、これは CPUCLK ドメインのクロック CKSCLK\_000 と同期されています。このため、シンクロナイザは必要ありません。

### 3.5.3 PBUS シンクロナイザ

PBUS シンクロナイザは、CPU のバス・クロック PCLK000/2 を、ターゲット・クロック・ドメインの PBUS クロック PCLKmn と同期します。

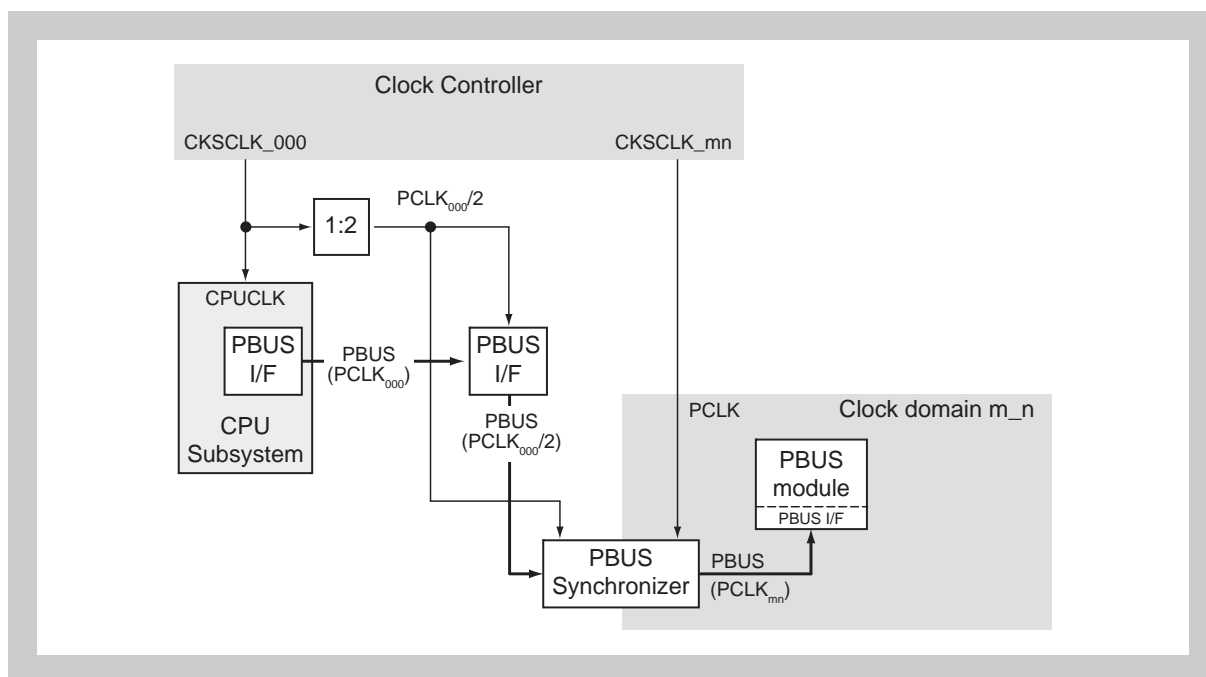


図 3-2 PBUS シンクロナイザ

シンクロナイザは、クロック・ドメイン m\_n の PBUS モジュールに CPU アクセスする際、レイテンシを生じます。

クロック・ドメイン m\_n の PBUS アクセスに対する最大レイテンシは、次の式で計算することができます。

$$\text{Latency cycles} = 4 \times \text{PCLK}_{000}/2 + 4 \times \text{PCLK}_{mn}$$

- 備考**
1. 両方のクロックが同じクロック・ソースまたは周波数を使用するよう構成されている場合でも、この同期レイテンシは常に発生します。
  2. バス・シンクロナイザについては、「クロック・コントローラ」の章の「クロック・ドメインの図」の節にあるクロック・ドメインの図で示しています。

## (1) 全体の PBUS レイテンシ

PBUS モジュールに対する CPU アクセスの全体のアクセス・レイテンシは、次の式で計算することができます。

- 読み込みアクセス：

$$T_{\text{accRD}} = 16 \cdot \text{PCLK}_{000} + 6 \cdot \text{PCLK}_{mn} + W_{\text{RD}} \cdot \text{PCLK}_{mn}$$

- 書き込みアクセス：

$$T_{\text{accWR}} = 6 \cdot \text{PCLK}_{000} + 6 \cdot \text{PCLK}_{mn} + W_{\text{WR}} \cdot \text{PCLK}_{mn}$$

$W_{\text{RD}}$  と  $W_{\text{WR}}$  は、それぞれ読み込みアクセスまたは書き込みアクセスのときに PBUS モジュールで発生するウェイト・クロック数を指定します。さまざまなモジュールの  $W_{\text{RD}}$  と  $W_{\text{WR}}$  の値については、以下の「モジュールのウェイト・クロック挿入」の節を参照してください。

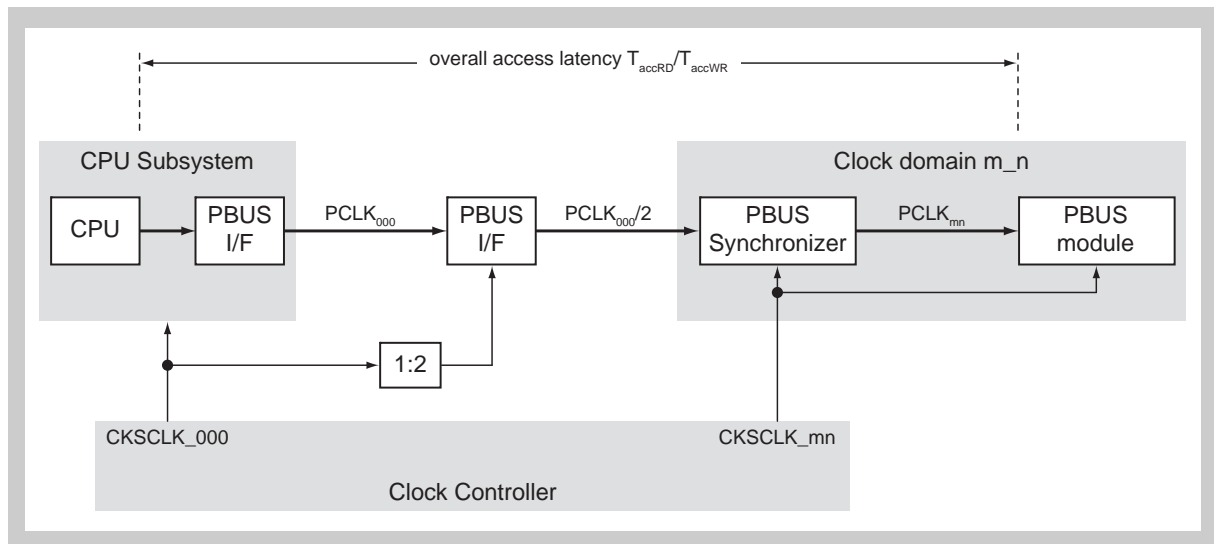


Figure 3-3 全体の PBUS アクセス・レイテンシ

- CPU 書き込みアクセス** PBUS が占有されていない、つまり PBUS がアイドルの場合、書き込みアクセスはすぐに転送され、CPU が次の命令を継続して実行します。
- 前の CPU 書き込みまたは DMA アクセスのために PBUS が占有されている場合、PBUS がアイドルになるまで CPU は停止します。
- CPU 読み込みアクセス** PBUS モジュールに対する CPU 読み込みアクセスの際、要求されたデータが利用可能になるまで CPU 動作は停止します。

## 3.6 CPU サブシステム

この節では、CPU サブシステムの概要について説明します。

CPU サブシステムは、以下で構成されています。

- CPU および CPU 専用コンポーネント、たとえばプロセッサ保護機能
- 命令メモリおよびデータ・メモリと接続するバス
- 他のマイクロコントローラ・モジュール（たとえば PBUS およびデータ・フラッシュ・インタフェースなど）とのさまざまなインタフェース
- 割り込みコントローラ（INTC）
- DMA/DTS コントローラ（DMAC）
- オンチップ・デバッグ・ユニット
- バス・マスタから他のすべてのモジュールへアクセスできるようにするバス・アービタを搭載したさまざまなバス・システム

### 3.6.1 電源ドメインおよびクロック・ドメイン

CPU サブシステムは、Isolated-Area0 にあり、そのクロック CPUCLK はクロック CKSCLK\_000 から供給されます。

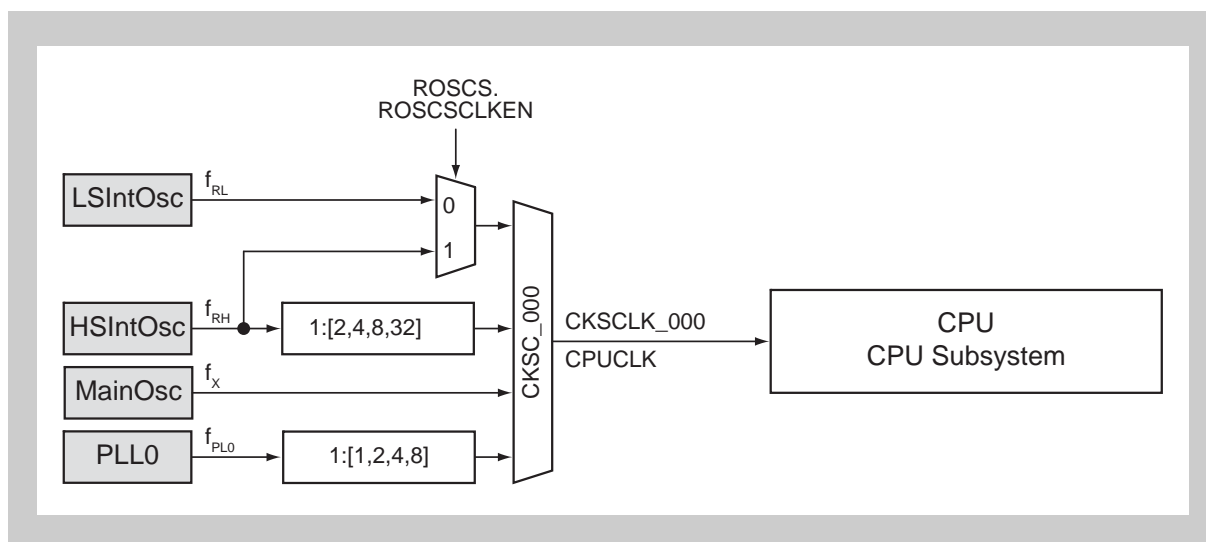


図 3-4 CPU サブシステムのクロック供給

**CPU サブシステム HW リセット** CPU サブシステムおよびそのレジスタは、次のリセット信号によって初期化されます。

表 3-3 CPU サブシステムのリセット信号 I

CPU サブシステム	リセット信号
CPU サブシステム	<ul style="list-style-type: none"> <li>• リセット・コントローラ：SYSRES</li> <li>• スタンバイ・コントローラ：DPSTPWU_0 (Isolated-Area0 が DEEPSTOP モードからウェイクアップ)</li> </ul>

### 3.6.2 CPUサブシステムのバスの概要

以下の表は、CPUサブシステムのバスの概要とその一般的な目的を示しています。

CPUサブシステムの詳細については、以下の節を参照してください。

表 3-4 バス・システム

CPUサブシステム	バス	目的	バス・マスタ
内部	ローカル・システム 周辺バス LSPB	次のレジスタへのアクセス Time Supervision Unit TSU Peripheral Protection Unit PPU Interrupt Controller INTC	CPU
	CPUシステム・バス	CPUから次へのアクセス external HBUS slaves (via HBUS master I/F) PBUS/GSPB bus Data flash	CPU
	DMAデータ・バス	DMACからHBUSの次へのアクセス Data RAM external HBUS slaves (via HBUS master I/F) PBUS/GSPB bus Data flash	DMAC
	HBUSデータ・バス	外部HBUSマスタから次へのアクセス (HBUSスレーブ I/F 経由) Data RAM Code flash external HBUS slaves (via HBUS master I/F) PBUS/GSPB bus Data flash	外部HBUSマスタ (HBUSスレーブ I/F 経由)
	グローバル・システム周辺バス GSPB	次のレジスタへのアクセス DMA/DTS Controller DMAC HBUS bridge PBUS I/F data flash I/F	CPU, DMAC, 外部 HBUSマスタ (HBUSスレーブ I/F 経由) <sup>a</sup>
外部	PBUS	PBUSマスタ I/F を介したすべての PBUS モジュールへのアクセス CPU, DMAC, 外部 HBUS マスタ (HBUS スレーブ I/F 経由)	CPU, DMAC, 外部 HBUS マスタ (HBUS スレーブ I/F 経由) <sup>a</sup>
	HBUS	HBUSマスタ I/F を介したすべての HBUS モジュールへのアクセス CPU, DMAC, 外部 HBUS マスタ (HBUS スレーブ I/F 経由)	CPU, DMAC, 外部 HBUS マスタ (HBUS スレーブ I/F 経由) <sup>a</sup>

a) バス調停の詳細については、以降の節を参照してください。

### 3.6.3 V850E2K/Fx4-H CPU サブシステム

次の図は、V850E2K/Fx4-H 製品シリーズのCPUサブシステムのブロック図を示しています。

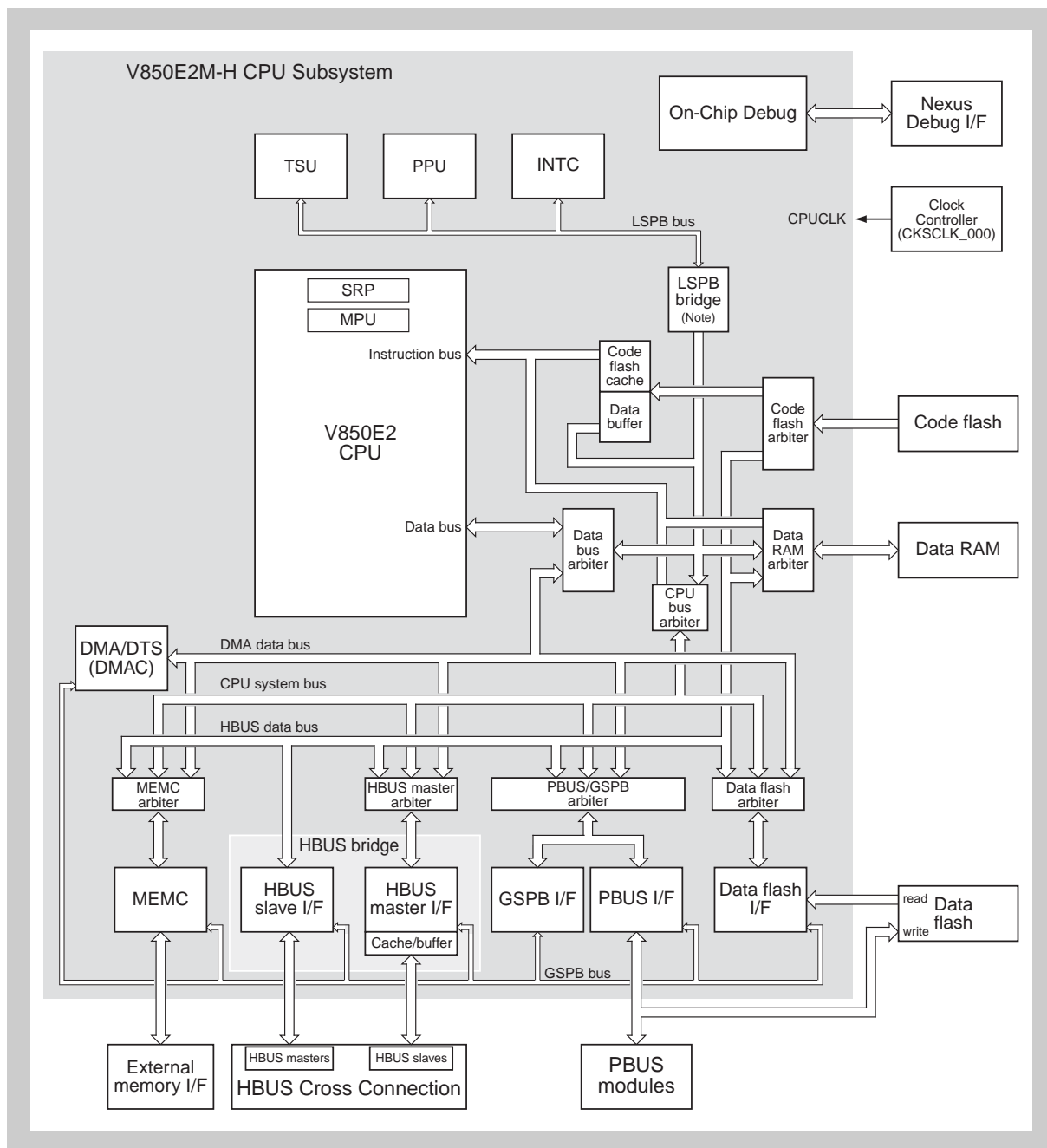


図 3-5 V850E2/M-H CPU サブシステム

**備考** LSPBブリッジを介したLSPBへのアクセスは、データ・バス・アービタを介してCPUデータ・バスにCPUアクセスする場合のみ認められます。

さまざまなモジュール間のデータ転送に使用されるすべてのバスは、次の3つのマスタによって制御されます。

- CPU
- DMA/DTS コントローラ (DMAC)
- HBUS スレーブ I/F 経由の HBUS マスタ

表 3-5 V850E2/Fx4-H の CPU サブシステム・データ / 命令バス

マスタ	バス	バス幅	コード・フラッシュ	データ RAM	データ・フラッシュ	PBUS/GSPB I/F	HBUS マスタ I/F	MEMC
CPU	Instruction	128 bit	R	R	–	–	–	R <sup>a</sup>
	Data	32 bit	R	R/W	R/W	R/W	R/W	R/W
DMA/DTS Controller	DMA data bus	32 bit	R	R/W	R	R/W	R/W	R/W
HBUS slave I/F	HBUS data bus	32 bit	R	R/W	R	R/W	R/W	R/W

<sup>a)</sup> このソースから CPU 命令フェッチするとき、大量の CPU クロック・サイクルを消費するため、CPU のパフォーマンスが低下します。このソースからの命令フェッチはお奨めできません。

### (1) コード・フラッシュ・アクセス

表 3-6 コード・フラッシュ・アクセス

Code flash	Code flash cache/ Data buffer	← CPU instruction bus	
		Data bus arbiter	← CPU data bus
			← DMA data bus
		← HBUS data bus	

### (2) データ RAM アクセス

表 3-7 データ / バックアップ RAM アクセス

Data RAM	Data RAM arbiter	← CPU instruction bus	
		Data bus arbiter	← CPU data bus
			← DMA data bus
		← HBUS data bus	

**注意** データ RAM から命令コードをフェッチする前に、フェッチする命令コードが含まれるデータ RAM の 16 バイト境界領域を必ず初期化してください。16 バイト境界領域は、アドレス XXXX XXX0<sub>H</sub> から XXXX XXXF<sub>H</sub> の領域です。データ RAM を初期化すると、あらゆるデータ値を書き込むことができますが、命令をフェッチするには、あらかじめそのデータ RAM 領域を初期化しておかなければなりません。初期化されていないデータ RAM 領域から命令をフェッチすると、メモリ保護例外 (MEP) が発生することがあります。

## (3) データ・フラッシュ I/F アクセス

表 3-8 データ・フラッシュ I/F アクセス

Data flash I/F	Data flash arbiter	CPU bus arbiter	Data bus arbiter	← CPU data bus
				X (データ・フラッシュ・アービタを介した DMA への直接アクセス)
		← HBUS data bus		
		← DMA data bus		

データ・フラッシュ・アクセスについては、この章の「データ・フラッシュ・ウェイト・サイクル」の節も参照してください。

## (4) PBUS/GSPB I/F アクセス

表 3-9 PBUS/GSPB I/F アクセス

PBUS/GSPB I/F	PBUS/GSPB arbiter	CPU bus arbiter	Data bus arbiter	← CPU data bus
				X (PBUS/GSPB アービタを介した DMA への直接アクセス)
		← HBUS data bus		
		← DMA data bus		

## (5) HBUS マスタ I/F アクセス

表 3-10 HBUS マスタ I/F アクセス

HBUS master I/F	HBUS master arbiter	CPU bus arbiter	Data bus arbiter	← CPU data bus
				X (HBUS マスタ・アービタを介した DMA への直接アクセス)
		← HBUS data bus		
		← DMA data bus		

## (6) MEMC アクセス

表 3-11 MEMC アクセス

MEMC	MEMC arbiter	CPU bus arbiter	Data bus arbiter	← CPU instruction bus
				← CPU data bus
				X (MEMC アービタを介した DMA への直接アクセス)
		← HBUS data bus		
		← DMA data bus		



## (7) CPUサブシステム・バス調停ポリシー

次の表では、CPUサブシステム・バス・アービタの調停ポリシーを示しています。

表 3-12 1 段アービタ調停ポリシー

アービタ	ポリシー	マスタ
Code flash cache/Data buffer	Fixed priority	High: DMA/CPU data bus (via data bus arbiter)
		Low: CPU instruction bus
Code flash	Round robin	HBUS
		Code flash cache/Data buffer
Data RAM	Round robin	CPU instruction bus
		CPU data bus/DMA (via data bus arbiter)
		HBUS
Data bus	Fixed priority	High: DMA
		Low: CPU data bus
CPU bus	Fixed priority	High: DMA/CPU data bus (via data bus arbiter)
		Low: CPU instruction bus

表 3-13 2 ステージ・アービタ調停ポリシー

アービタ	ポリシー	マスタ
HBUS master PBUS/GSPB Data flash	Stage 1:	
	Round robin	HBUS
		CPU system bus (from CPU bus arbiter)
	Stage 2:	
	Fixed priority:	High: DMA
		Low: HBUS/CPU system bus (from stage 1)

## (8) CPUサブシステム HBUSブリッジ

CPUサブシステム HBUSブリッジの詳細については、3.14「CPUサブシステム - HBUSブリッジ」を参照してください。

### 3.7 データ・フラッシュ・ウェイト・サイクル・コントロール

データ・フラッシュに対する CPU 読み込みアクセスでは、フラッシュ・メモリにアクセスするためにウェイト・サイクルを挿入しなければなりません。

ウェイト・サイクルの最小数（CPU サブシステム・クロック・サイクル CPUCLK 単位）は、CPUCLK の周波数によって変動します。そのため、ウェイト・サイクル制御レジスタ DCLKWAIT 経由で、次の図のように選択しなければなりません。

**注意** 最初にデータ・フラッシュに CPU アクセスする前に、データ・フラッシュ・ウェイト・サイクル制御レジスタ DCLKWAIT を設定しておかなければなりません。

表 3-14 データ・フラッシュ・ウェイト・サイクルの設定

CPU クロック周波数 <sup>a</sup>	DCLKWAIT レジスタ	CPU クロック・ウェイト・サイクル
≤ 10 MHz	≥ 04 <sub>H</sub>	≥ 4
≤ 20 MHz	≥ 05 <sub>H</sub>	≥ 5
≤ 30 MHz	≥ 06 <sub>H</sub>	≥ 6
≤ 40 MHz	≥ 07 <sub>H</sub>	≥ 7
≤ 50 MHz	≥ 08 <sub>H</sub>	≥ 8
≤ 60 MHz	≥ 09 <sub>H</sub>	≥ 9
≤ 70 MHz	≥ 0A <sub>H</sub>	≥ 10
≤ 80 MHz	≥ 0B <sub>H</sub>	≥ 11
≤ 90 MHz	≥ 0C <sub>H</sub>	≥ 12
≤ 100 MHz	≥ 0D <sub>H</sub>	≥ 13
≤ 110 MHz	≥ 0E <sub>H</sub>	≥ 14
≤ 120 MHz	≥ 0F <sub>H</sub>	≥ 15
≤ 130 MHz	≥ 10 <sub>H</sub>	≥ 16
≤ 140 MHz	≥ 11 <sub>H</sub>	≥ 17
≤ 150 MHz	≥ 12 <sub>H</sub>	≥ 18
≤ 160 MHz	≥ 13 <sub>H</sub>	≥ 19

<sup>a)</sup> PLL0 で CPU クロック CPUCLK が SSCG モードで供給されている場合、所定の CPU クロック周波数は中心周波数になります。

### 3.8 HBUS クロス接続システム

HBUS クロス接続システムは、次の機能モジュールを相互接続します。

- CPU サブシステム
- イーサネット・コントローラ ETHA0
- HBUS-RAM0
- HBUS-RAM1

#### (1) HBUS クロック供給

HBUS クロス接続およびすべての接続モジュールには、CPU サブシステム・クロック・ドメイン CKSC\_000 を 2 分周したものが供給されます。最大中心周波数は 80 MHz です。

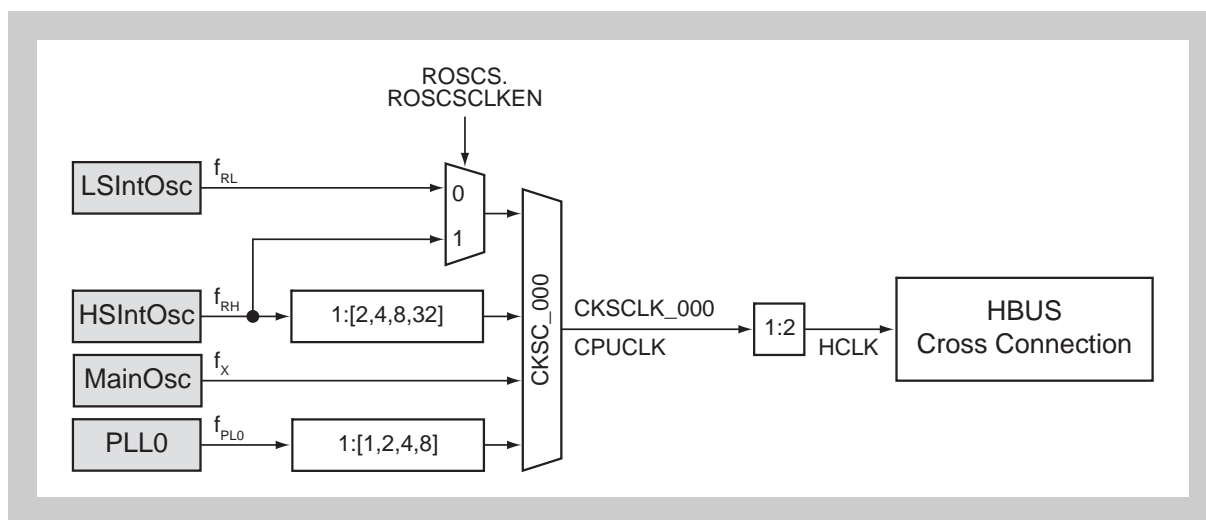


図 3-6 HBUS クロック供給

## (2) HBUS 機能の概要

HBUS クロス接続システムでは、複数のバス・マスタからさまざまなスレーブ・モジュールにアクセスできるようになります。

次の図では、HBUS パーティシパントとそのデータ・ポートの特性を示しています。

- 備考
1. 下の図では、モジュールのレジスタへのアクセスを可能にする制御ポートは示していません。
  2. 下の図の矢印は、データ・フローの方向を示しています。

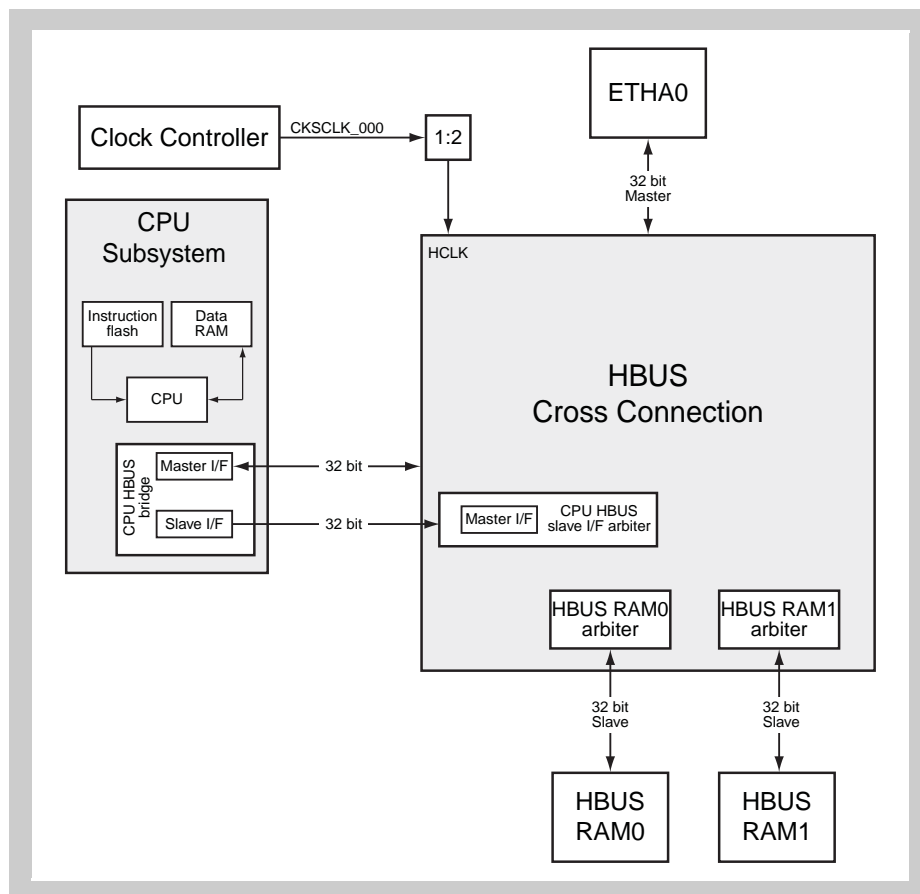


図 3-7 HBUS クロス接続

### (3) HBUS データ・ポート

HBUS データ・ポートは、異なる HBUS パーティシパント間でデータを交換するために使用します。それぞれのポートについて次の表で示します。

表 3-15 HBUS マスタ・データ・ポート

マスタ・ポート	データ幅
イーサネット・コントローラ・データ	32 bit
CPU サブシステム HBUS マスタ I/F データ	32 bit

表 3-16 HBUS slave data ports

スレーブ・ポート	データ幅
HBUS-RAM0 データ	32 bit
HBUS-RAM1 データ	32 bit
CPU サブシステム HBUS スレーブ I/F データ	32 bit

### 3.8.1 HBUS 接続マトリックス

次の図は、マスタからスレーブへの制御バスを示しています。

**備考** 下図の矢印は、アクセス制御の方向を示しており、データ・フローの方向を示すものではありません。

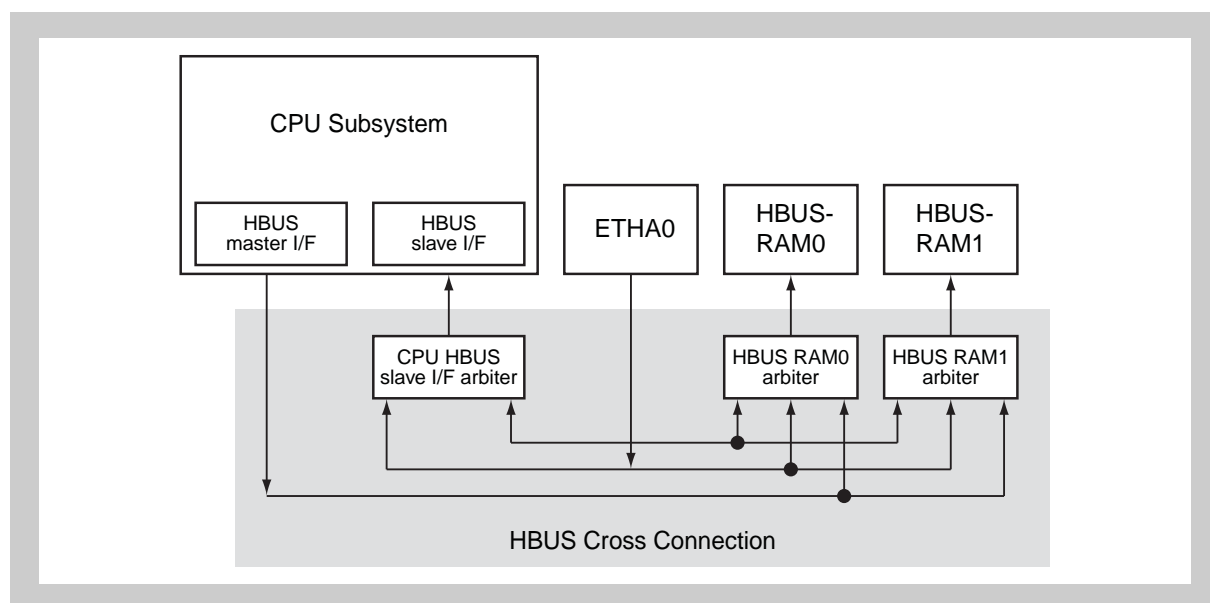


図 3-8 HBUS 制御バス

HBUS クロス接続システムでは、次の表で示すように、異なるバス・マスタとスレーブ間の接続が可能です。

表 3-17 HBUS データ・パス・クロス接続マトリックス

マスタ・データ・ポート	スレーブ・データ・ポート		
	HBUS-RAM0	HBUS-RAM1	CPU サブシステム HBUS スレーブ I/F
Ethernet Controller data	R/W	R/W	R/W
CPU Subsystem HBUS master I/F data	R/W	R/W	—

### 3.8.2 HBUS アービタ・ポリシー

次の HBUS アービタは、ラウンド・ロビン調停ポリシーを実装します。

- HBUS-RAM0 arbiter
- HBUS-RAM1 arbiter
- CPU Subsystem HBUS slave I/F arbiter

### 3.9 動作モード

この節では、V850E2/Fx4-Hの動作モードおよびモードの選択方法について説明します。

次の動作モードを選択することができます。

- 通常動作モード
- シリアル・フラッシュ・プログラミング・モード
- バウンダリ・スキャン・モード

リセット解除後、マイクロコントローラは、内部ファームウェアを含む内部ブートROMから命令をフェッチし始めます。このファームウェアは、FLMD0端子をチェックした後、オプションでFLMD1、MODE0、MODE1の各端子をチェックして、リセット解除後の動作モードを次の表に従って設定します。

表 3-18 動作モードの選択

端子				動作モード
FLMD0	FLMD1 (P0_1)	MODE0 (P0_2)	MODE1 (P0_3)	
VSS	VSS	X	X	通常動作モード
	VDD	X	X	設定禁止
VDD	VSS	X	X	シリアル・フラッシュ・プログラミング・モード
	VDD	VSS	VSS	バウンダリ・スキャン・モード
		VDD	X	

マイクロコントローラを特定の動作モードで正しく始動させるには、以下の「モード端子およびJP0の接続」の節に従って、モード端子と、JP0ポート・グループのポートを正しく設定する必要があります。

#### 3.9.1 通常動作モード

通常動作モードでは、内部フラッシュ・メモリは再プログラムされません。

リセット解除後、ファームウェアが、アクティブ・スワップ・クラスタの開始点に分岐して、ユーザ・プログラム実行が開始します。

**デバッグ・モード** デバッグ・モードは基本的には通常動作モードですが、リセット解除時にデバッグが、DCUTRSTを介して、デバイスをデバッグ・モードに変更します。

#### 3.9.2 フラッシュ・プログラミング・モード

フラッシュ・プログラミング・モードでは、内部フラッシュ・メモリーが消去され、再プログラムされます。

リセット解除後、ファームウェアが、外部フラッシュ・プログラマからユーザ・プログラム・コードのロードを開始し、フラッシュ・メモリをプログラムします。

マイクロコントローラは、外部フラッシュ・プログラマを分離した後、新しいユーザ・プログラムを通常動作モードで開始することができます。

詳細については「フラッシュ・メモリ」の章を参照してください。

### 3.9.3 バウンダリ・スキャン・モード

バウンダリ・スキャン・モードでは、マイクロコントローラが、IEEE Std 1149.1 に従った相互接続テスト・モードに移行します。



### 3.10 モード端子および JP0 の接続

この節では、さまざまなマイクロコントローラ・モードにおける、以下の配線について説明します。

- ポート・グループ JP0 (JP0\_0 から JP0\_5)
  - モード信号 FLMD0, FLMD1 (P0\_1), MODE0 (P0\_2), MODE1 (P0\_3)
- 上記の端子の機能はモードによって変動します。

表 3-19 JP0 およびモード端子の機能

端子/ ポート	動作モード				
	通常動作	デバッグ	フラッシュ・プログラミング		バウンダリ・スキャン
			非同期	同期	
JP0_0	I/O port	DCUTDI	FLUR0RTX	FLCS0SI	DCUTDI
JP0_1	I/O port	DCUTDO	I/O port	FLCS0SO	DCUTDO
JP0_2	I/O port	DCUTCK	I/O port	FLCS0SCI	DCUTCK
JP0_3	I/O port	DCUTMS	I/O port	I/O port	DCUTMS
JP0_4	I/O port	$\overline{\text{DCUTRST}}$	I/O port	I/O port	$\overline{\text{DCUTRST}}$
JP0_5	I/O port	$\overline{\text{DCUTRDY}}$	I/O port	I/O port	I/O port
FLMD0	FLMD0	FLMD0	FLMD0	FLMD0	FLMD0
P0_1	FLMD1/I/O port <sup>a</sup>	FLMD1/I/O port <sup>a</sup>	FLMD1/I/O port <sup>a</sup>	FLMD1/I/O port <sup>a</sup>	FLMD1/I/O port <sup>a</sup>
P0_2	I/O port	I/O port	I/O port	I/O port	MODE0
P0_3	I/O port	I/O port	I/O port	I/O port	MODE1

a) FLMD1 は、リセット解除時にモード設定で使用されます。その後は、P0\_1 を汎用ポートおよび兼用機能で 사용할 ことができます。

- 備考**
1. FLMD0 にはポート機能がなく、モード設定にのみ使用されます。
  2. I/O ポートは、その名前が表すように、ポートの入出力および兼用モードで使用することができます。

**プルアップ/プルダウン抵抗** 以下の説明で言及されている抵抗のサイズは、アクティブ・レベルで抵抗を通る電流、最大リーク電流でのソース・レベルの検出、ドライブ・ポートの最大ドライブ・レベルなど、さまざまなパラメータによって変動します。詳細については、データシートを参照してください。

### 3.10.1 通常動作モード

通常動作モードでは、汎用ポートおよび兼用機能で、JP0 ポート・グループ、MODE0 と MODE1 で使用されるポートを使用することができます。

通常動作モードは、次の方法で選択します。

FLMD0	FLMD1 (P0_1) <sup>a)</sup>	MODE0 (P0_2)	MODE1 (P0_3)
low level	low level	don't care	don't care

a) FLMD1 は、リセット解除後、汎用ポートおよび兼用機能で使用することができます。

FLMD0 はロウ・レベルにしなければなりません。そのため、抵抗 R1 を介して GND に接続する必要があります。

FLMD1 および DCUTRST は、リセット解除時、ロウ・レベルにしなければなりません。そのため、抵抗 R2 を介して GND に接続する必要があります。その後は、P0\_1 と JP0\_4 を汎用ポートおよび兼用機能で使用することができます。

R1 のターゲット値は 82 kΩ です。

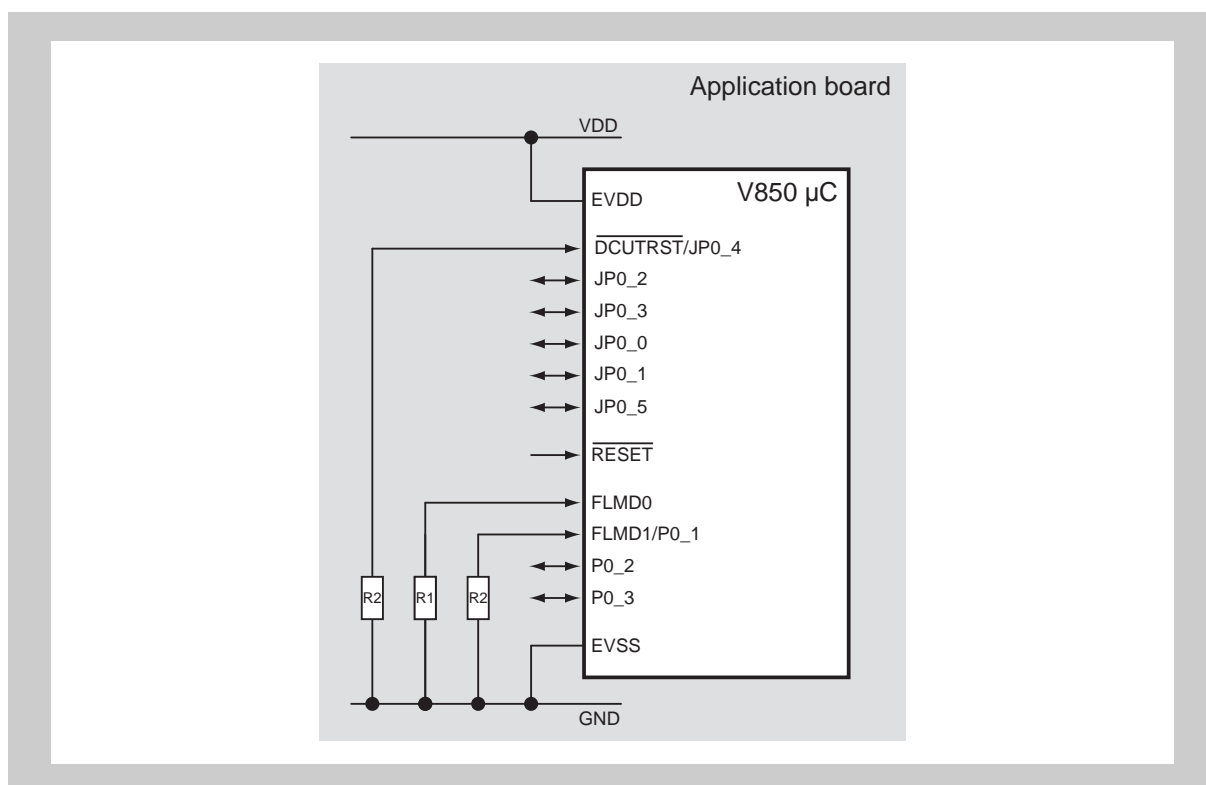


図 3-9 通常動作モードでの端子接続

### 3.10.2 デバッグ・モード

デバッグ・モードでは、デバッグがポート・グループ JP0 の端子に接続されます。MODE0 および MODE1 で使用されるポートを、汎用ポートおよび兼用機能で使うことができます。

デバッグ・モードは基本的には通常動作モードですが、リセット解除時にデバッグは DCUTRST を介して、デバイスをデバッグ・モードに変更します。

デバッグ・モードは、次の方法で選択します。

FLMD0	FLMD1 (P0_1) <sup>a)</sup>	MODE0 (P0_2)	MODE1 (P0_3)
low level	low level	don't care	don't care

a) FLMD1 は、リセット解除後、汎用ポートおよび兼用機能で使うことができます。

#### TDO, TRDY プルアップ抵抗

マイクロコントローラの DCUTDO および DCUTRDY 出力は、RESET 時、ハイ・インピーダンス状態になっているため、R3 抵抗は、リセット時オンチップ・デバッグの TDO および TRDY 入力でハイ・レベルを維持します。

TDO および TRDY が一時的に不確定なレベルになるのを回避するため、TDO および TRDY のプルアップ抵抗 R3 を（たとえばデバッグ・アダプタ・ボード/ケーブルまたはアプリケーション・ボード上に）取り付けることが望まれます。詳細については、デバッグの説明を参照してください。

通常動作では、R3 抵抗は不要です。

- 備考**
1. デバッグ・モードでは、内蔵プルアップ抵抗が自動的に DCUTCK, DCUTMS, DCUTDI に接続されます。
  2. デバッグ・モードでは、デバッグ・インタフェースのすべてのポートが自動的に構成され、ポート抵抗設定の影響を受けることはありません。

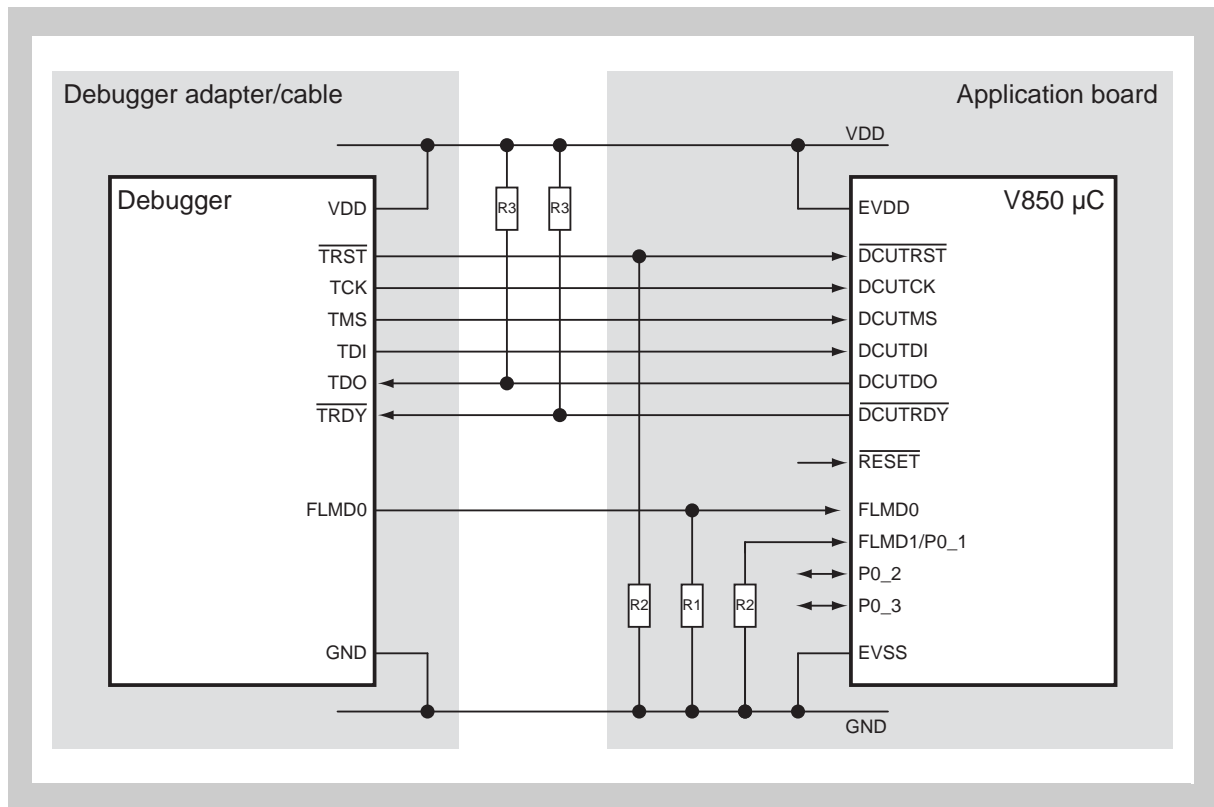


図 3-10 デバッグ・モードでの端子接続

**詳細情報** デバッガの詳細については、「オンチップ・デバッグ・ユニット (OCD)」の章および QB-V850MINI, QB-V850MINIL ユーザーズ・マニュアル (U17638J) を参照してください。

### 3.10.3 フラッシュ・プログラミング・モード

フラッシュ・プログラミング・モードでは、ポート・グループ JP0 の一部のポートがフラッシュ・プログラマに接続されます。

フラッシュ・プログラミング・モードは、次の方法で選択します。

FLMD0	FLMD1 (P0_1)	MODE0 (P0_2)	MODE1 (P0_3)
high level	low level	don't care	don't care

PG-FP5 フラッシュ・プログラマは、以下を介して V850 マイクロコントローラとの通信を行います。

- 単線非同期インタフェース FLUR0RTX  
ポート JP0\_1 から JP0\_5, MODE0 と MODE1 で使用されるポートを、汎用ポートおよび兼用機能で 사용할ことができます。
- 3線同期インタフェース FLCS0SCI, FLCS0SI, FLCS0SO  
Pポート JP0\_3 から JP0\_5, MODE0 と MODE1 で使用されるポートを、汎用ポートおよび兼用機能で 사용할ことができます。

フラッシュ・プログラミング・モードは、ハイ・レベルのとき FLMD0, ロウ・レベルのとき FLMD1 で決定されます。どちらも PG-FP5 フラッシュ・プログラマに接続でき、それが端子を正しいレベルに設定します。ただしフラッシュ・プログラマとの FLMD1 接続は、FLMD1 がプルダウン抵抗 R2 によってすでにロウに設定されているため、必須ではありません。

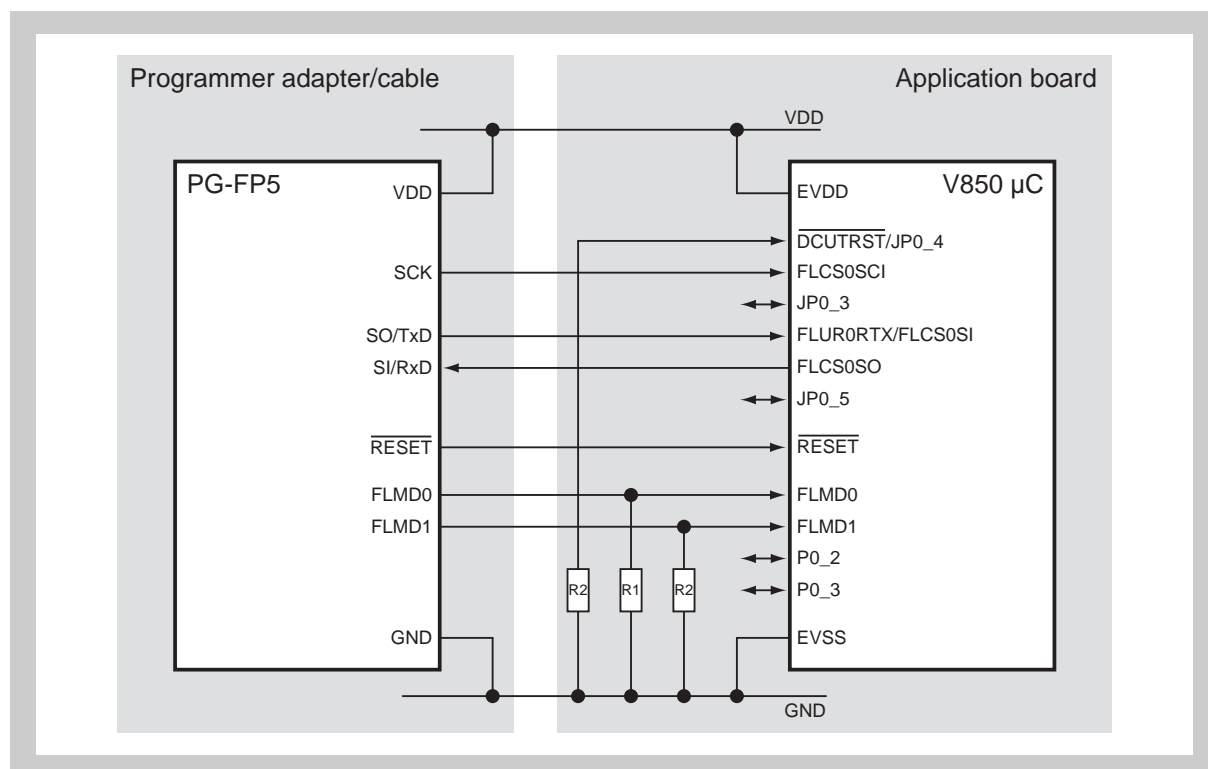


図 3-11 フラッシュ・プログラミング・モードでの端子接続 (PG-FP5 の FLMD1)

**詳細情報** 詳細については、「フラッシュ・メモリ」の章にある「フラッシュ・プログラマでのフラッシュ・プログラミング」の節および PG-FP5 ユーザーズ・マニュアル (R20UT0008J) を参照してください。

### 3.10.4 バウンダリ・スキャン・モード

バウンダリ・スキャン・テストでは、テストがポート・グループ JP0 の端子 (JP0\_5 は除く) に接続されます。

JP0\_5 は、汎用ポートおよび兼用機能で使用することができます。

バウンダリ・スキャン・モードは次の方法で選択します。

FLMD0	FLMD1 (P0_1)	MODE0 (P0_2)	MODE1 (P0_3)
high level	high level	low level	low level

バウンダリ・スキャン・テストでは、FLMD0 および FLMD1 をハイ・レベルに設定しなければならないため、分圧回路 R1 ~ R5 または R2 ~ R6 においてそれぞれ FLMD0, FLMD1 をハイ・レベルにするため、抵抗 R5 および R6 を正確な数値で設定する必要があります。

通常動作では不要ですが、バウンダリ・スキャン・アダプタ・ボードまたはケーブル上にプルアップ抵抗およびプルダウン抵抗 R4, R5, R6 を取り付けることができます。

**備考** デバッグ・モードでは、内蔵プルアップ抵抗が自動的に DCUTCK, DCUTMS, DCUTDI に接続されます。

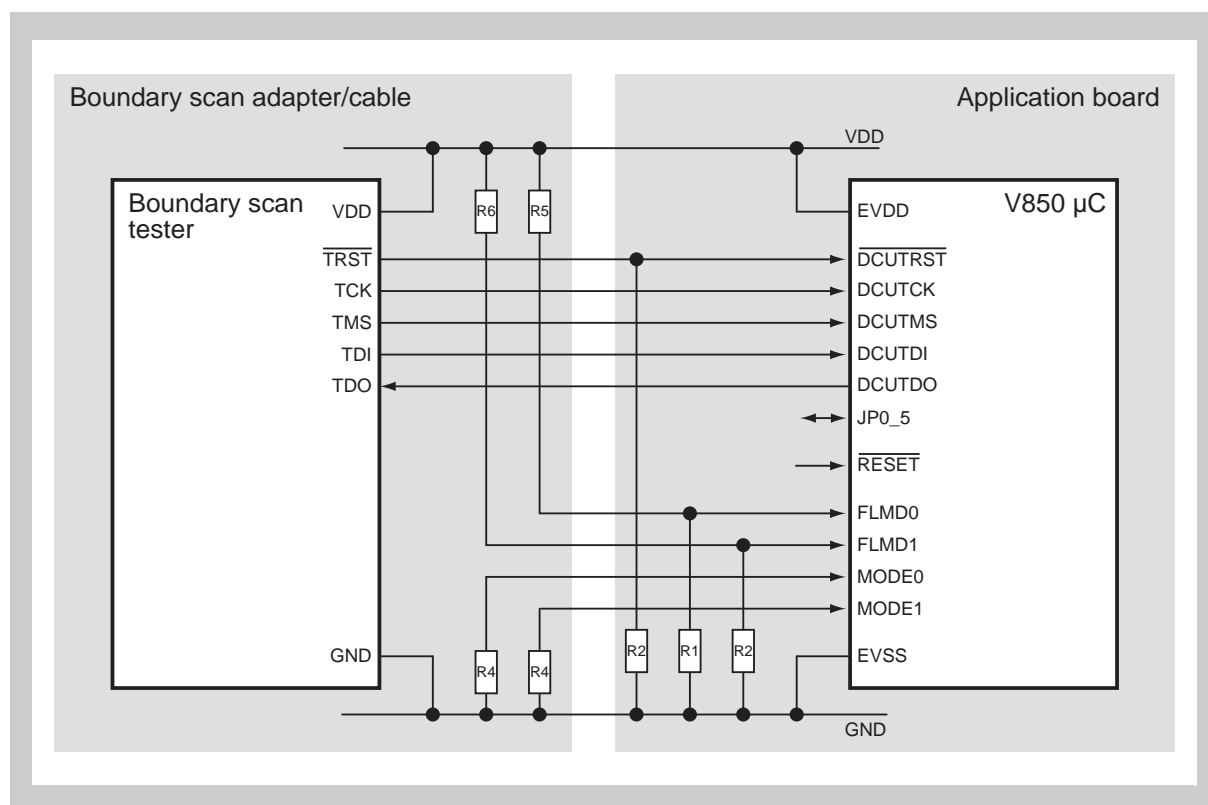


図 3-12 バウンダリ・スキャン・モードでの端子接続

### 3.11 アドレス空間

CPUのアドレス空間（CPUアドレス空間と物理アドレス空間のサイズとアドレス）について説明します

データ空間とプログラム空間のアドレス範囲はラップアラウンドにより示されます。

#### 3.11.1 CPU データ・アドレスと物理プログラムアドレス空間

CPUは次のアドレス空間をサポートしています。

- 4 GB CPU データ・アドレス空間  
32ビットの汎用レジスタで、最大4GBメモリのアドレス空間をサポートしています。これはCPUがサポートできる最大のアドレス空間です。
- 512 MB 物理プログラム・アドレス空間  
CPUはプログラム・メモリの命令コードにアクセスする512MB物理アドレス空間を供給します。つまり、外部または内部のメモリに最大512MBまでアクセス可能です。

#### 3.11.2 プログラム空間とデータ空間

次にCPUアドレス空間におけるデータ空間とプログラム空間の割り当てについて示します。

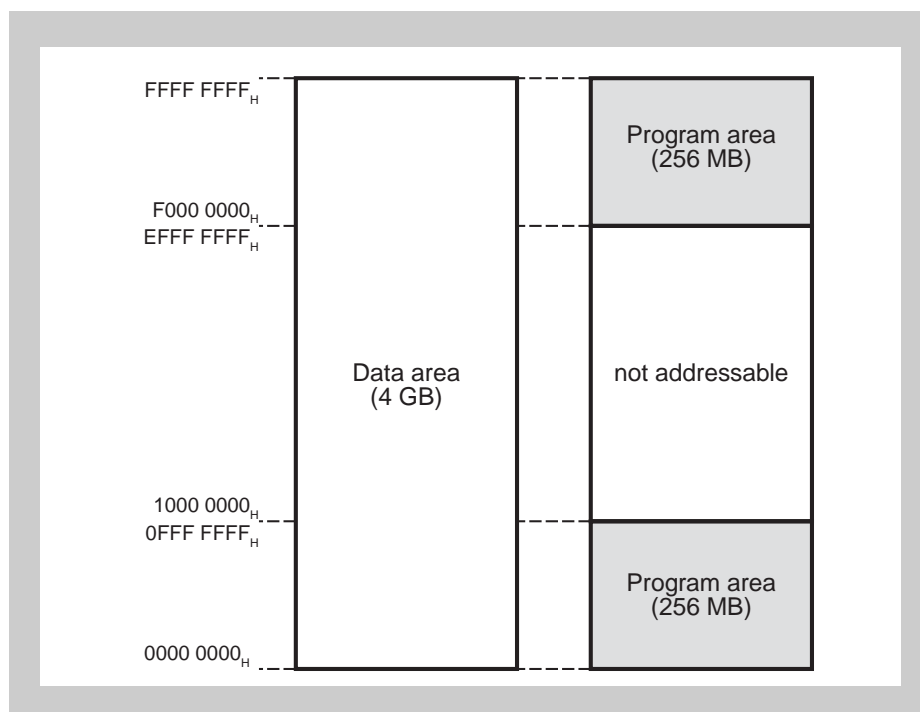


図 3-13 CPU アドレス空間

**(1) データ空間のラップアラウンド**

オペランドアドレス計算で 32 ビットを越える演算結果は無視します。

したがって、データ空間の上限である  $FFFF\ FFFF_H$  番地と、下限である  $0000\ 0000_H$  番地は連続したアドレスになり、この境界でラップアラウンドします。

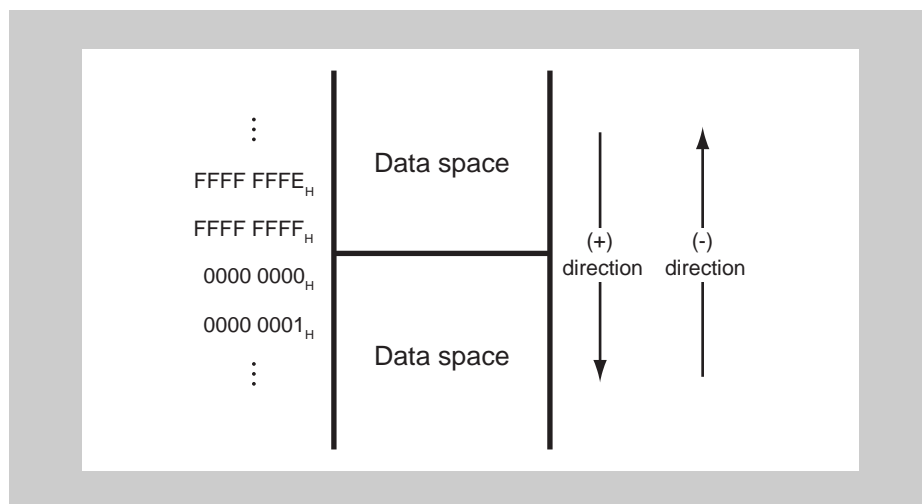


図 3-14 データ空間のラップアラウンド

**(2) プログラム空間でのラップアラウンド**

命令アドレス計算で 28 ビットを越える演算結果は無視します。

したがって、アドレス  $0FFF\ FFFF_H$  と  $F000\ 0000_H$ 、 $FFFF\ FFFF_H$  と  $0000\ 0000_H$  は連続したアドレスとなります。これによりプログラム空間がラップアラウンドされます。

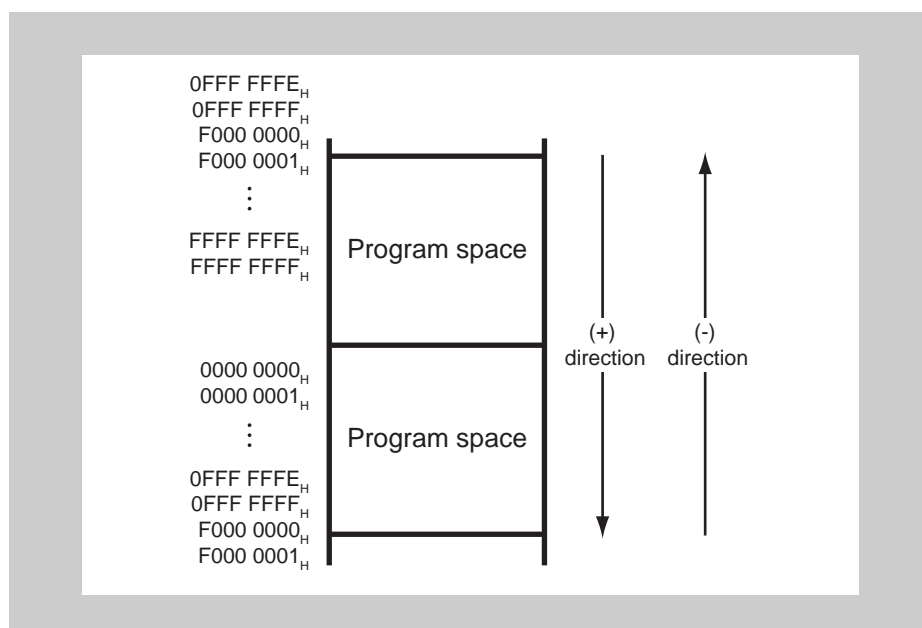


図 3-15 プログラム空間でのラップアラウンド



## 3.12 V850E2/Fx4-H CPU アドレス・マップ

以下の節では、CPUのメモリ・マップについて紹介します。個別のメモリ領域について説明します。

### 3.12.1 DMA アドレス・マップ

DMA/DTS コントローラは、次のアドレス範囲を除く CPU アドレス空間にアクセスすることができます。

FFFF 5000<sub>H</sub> - FFFF 7FFF<sub>H</sub>

この領域は CPU 以外アクセスすることができません。

## 3.12.2 V850E2/Fx4-H メモリ・マップ

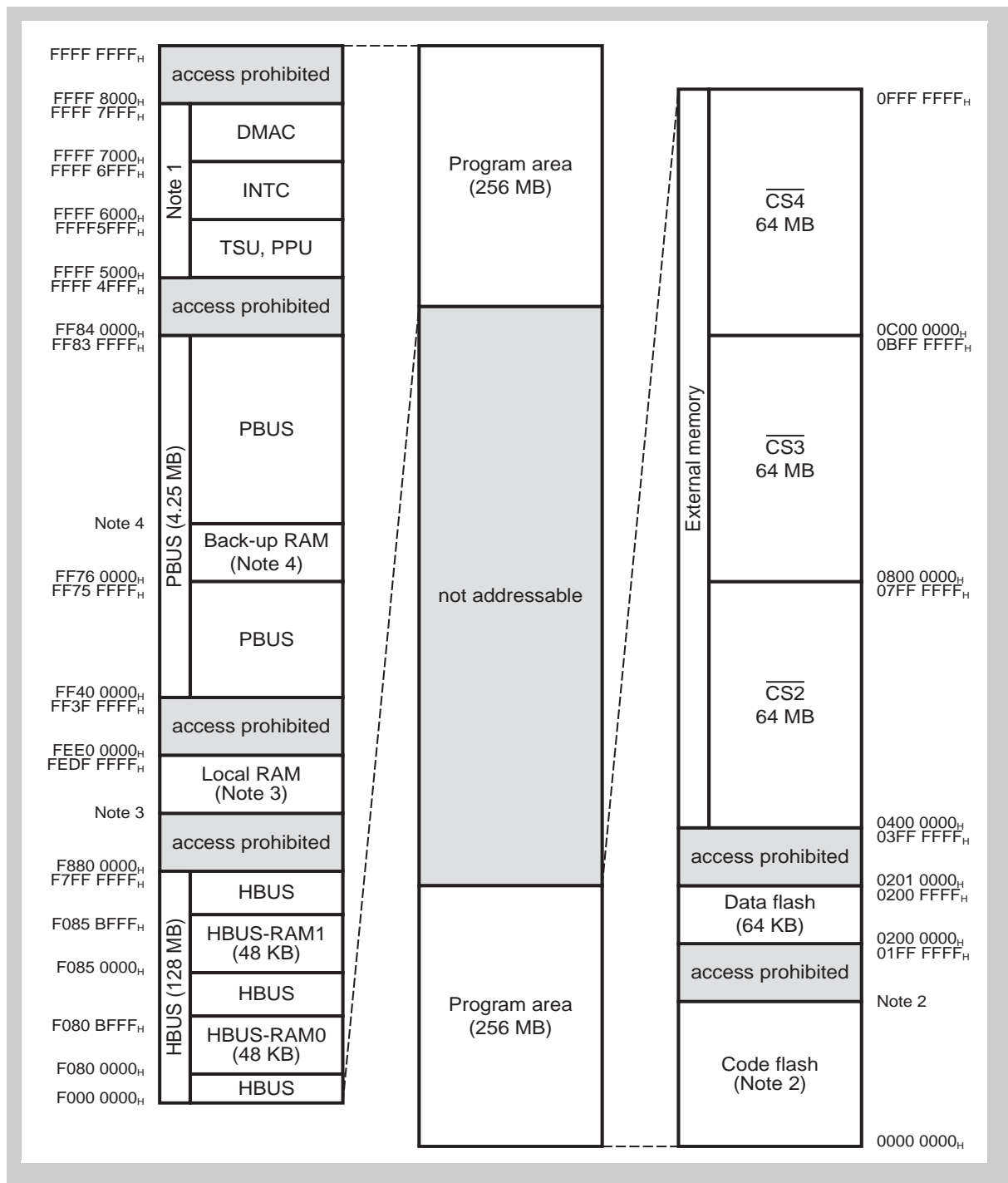


図 3-16 V850E2K/Fx4-H メモリ・マップ

- 備考
- これは DMA/DTS コントローラからアクセスできない領域です。
  - コード・フラッシュ・サイズ, つまりそのアドレス範囲はデバイスに依存します。

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	2 MB	0000 0000 <sub>H</sub> - 001F FFFF <sub>H</sub>
FL4-H-2M	μPD70F3564		

3. コード・フラッシュ・サイズ, つまりそのアドレス範囲はデバイスに依存します。

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	144 KB	FEDD C000 <sub>H</sub> - FEDF FFFF <sub>H</sub>
FL4-H-2M	μPD70F3564		

4. ローカル RAM サイズ, つまりそのアドレス範囲はデバイスに依存します。

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	16 KB	FF76 0000 <sub>H</sub> - FF76 3FFF <sub>H</sub>
FL4-H-2M	μPD70F3564		

### 3.12.3 メモリ領域

V850E2/Fx4-H の内部メモリには、次のような領域があります。

- 内部コード・フラッシュ領域
- 内部データ・フラッシュ領域
- 内部ローカル RAM 領域
- 内部バックアップ RAM 領域
- 内部 HBUS-RAM 領域
- 外部メモリ領域

以下では、これらの領域について簡単に説明します。

#### (1) 内部コード・フラッシュ領域

次の表では、コード・フラッシュ・メモリのサイズとアドレスについてまとめています。

表 3-20 コード・フラッシュ・メモリ領域

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	2 MB	0000 0000 <sub>H</sub> - 001F FFFF <sub>H</sub>
FL4-H-2M	μPD70F3564	2 MB	0000 0000 <sub>H</sub> - 001F FFFF <sub>H</sub>

#### (2) 内部データ・フラッシュ領域

次の表では、データ・フラッシュ・メモリのサイズとアドレスについてまとめています。

表 3-21 内部データ・フラッシュ領域

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	64 KB	0200 0000 <sub>H</sub> - 0200 FFFF <sub>H</sub>
FL4-H-2M	μPD70F3564	64 KB	0200 0000 <sub>H</sub> - 0200 FFFF <sub>H</sub>

#### (3) 内部ローカル RAM 領域

次の表では、ローカル RAM メモリのサイズとアドレスについてまとめています。

表 3-22 ローカル RAM メモリ領域

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	144 KB	FEDD C000 <sub>H</sub> - FEDF FFFF <sub>H</sub>
FL4-H-2M	μPD70F3564	144 KB	FEDD C000 <sub>H</sub> - FEDF FFFF <sub>H</sub>

**(4) 内部バックアップRAM領域**

次の表では、バックアップRAMメモリのサイズとアドレスについてまとめています。

表 3-23 バックアップRAMメモリ領域

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	16 KB	FF76 0000 <sub>H</sub> - FF76 3FFF <sub>H</sub>
FL4-H-2M	μPD70F3564	16 KB	FF76 0000 <sub>H</sub> - FF76 3FFF <sub>H</sub>

バックアップRAMの詳細については、以下の「バックアップRAM (BURAM)」の節を参照してください。

**(5) 内部HBUS-RAM領域**

次の表では、HBUS-RAMメモリのサイズとアドレスについてまとめています。

表 3-24 HBUS-RAMメモリ領域

シリーズ名	品名	サイズ	アドレス範囲
FK4-H-2M	μPD70F3561	HBUS-RAM0: 48 KB	F080 0000 <sub>H</sub> - F080 BFFF <sub>H</sub>
		HBUS-RAM1: 48 KB	F085 0000 <sub>H</sub> - F085 BFFF <sub>H</sub>
FL4-H-2M	μPD70F3564	HBUS-RAM0: 48 KB	F080 0000 <sub>H</sub> - F080 BFFF <sub>H</sub>
		HBUS-RAM1: 48 KB	F085 0000 <sub>H</sub> - F085 BFFF <sub>H</sub>

**(6) 外部メモリ領域**

次の表では、外部メモリのサイズとアドレスについてまとめています。

表 3-25 外部メモリ領域

デバイス	サイズ	アドレス範囲
V850E2K/FK4-H	64 MB	$\overline{CS0}$ : 0000 0000 <sub>H</sub> - 01FF FFFF <sub>H</sub>
	64 MB	$\overline{CS2}$ : 0400 0000 <sub>H</sub> - 07FF FFFF <sub>H</sub>
	64 MB	$\overline{CS3}$ : 0800 0000 <sub>H</sub> - 0BFF FFFF <sub>H</sub>
	64 MB	$\overline{CS4}$ : 0C00 0000 <sub>H</sub> - 0FFF FFFF <sub>H</sub>

### 3.13 バックアップ RAM (BURAM)

16 KB のバックアップ RAM は、4 K × 32 ビットで構成された PBUS モジュールです。

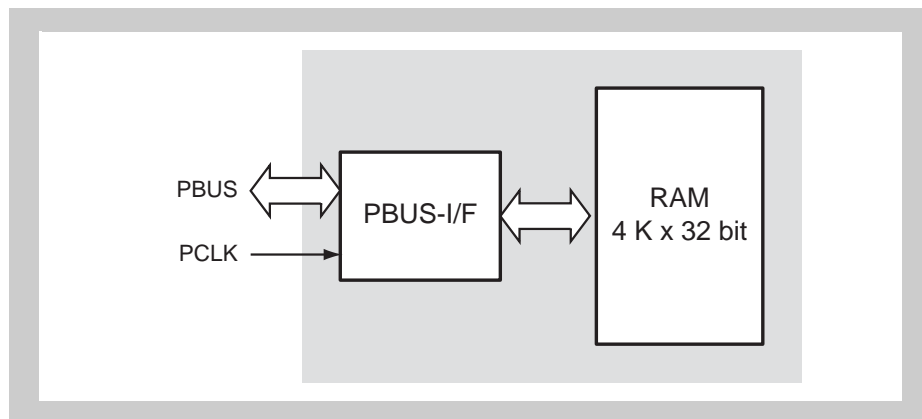


図 3-17 バックアップ RAM のブロック図

**アクセス** BURAM は、32 ビット単位で読み込み / 書き込み可能です。

**BURAM アドレス** TBURAM アドレスを次の表で示します。

表 3-26 BURAM アドレス

BURAM	アドレス
BURAM	FF76 0000 <sub>H</sub> - FF76 3FFF <sub>H</sub>

**クロック供給** BURAM では、次のクロックが供給されます。

表 3-27 BURAM clock supply

BURAM	BURAM クロック	接続先
BURAM	PCLK	Clock Controller CKSCLK_A05

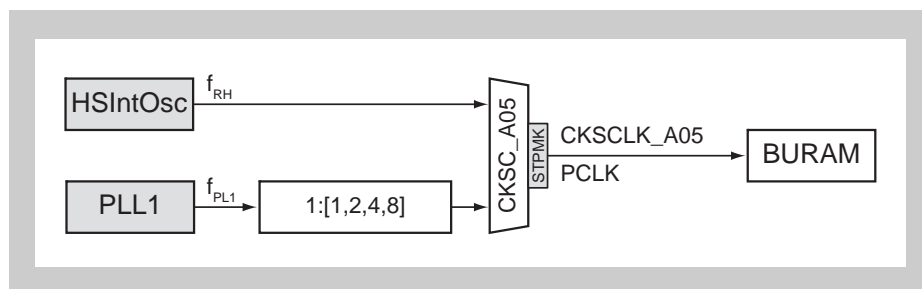


図 3-18 BURAM クロック供給

**書き込み権限** バックアップ RAM への書き込みアクセスは、バックアップ RAM 制御レジスタ BURC 経由で、明示的に許可しなければなりません。

### 3.13.1 バックアップRAMの保護

リセット解除後のバックアップRAMに対する書き込みアクセスは、禁止されます。そのため、書き込みアクセス権限ビットBURC.BURWE = 1 をセットすることによって、書き込みアクセスを明示的に許可しなければなりません。

書き込みが禁止されている (BURC.BURWE = 0) ときにバックアップRAMに対する書き込みアクセスが発生すると、エラー・ビットBURAE.BURAERR がセットされます。

以下のレジスタは、バックアップRAMに対する書き込みアクセスを制御、監視します。

表 3-28 バックアップRAM レジスタの概要

レジスタ名	略称	アドレス
バックアップRAM 制御レジスタ	BURC	FF76 FE00 <sub>H</sub>
バックアップRAM アクセス・エラー・レジスタ	BURAE	FF76 FE04 <sub>H</sub>
バックアップRAM アクセス・エラー・クリア・レジスタ	BURAECL	FF76 FE08 <sub>H</sub>

#### (1) BURC – Back-up RAM control register

このレジスタは、バックアップRAMに対する書き込みアクセスを個別に禁止するために使用されます。

アクセス 1/8 ビット単位でリード/ライト可能です。

アドレス FF76 FE00<sub>H</sub>

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BURWE
R	R	R	R	R	R	R	R/W

表 3-29 BURC レジスタの内容

ビット位置	ビット名	機能
0	BURWE	バックアップRAM 書き込み権限の制御： 0：バックアップRAM に対する書き込み禁止 1：バックアップRAM に対する書き込み許可

**(2) BURAE – バックアップ RAM アクセス・エラー・レジスタ**

このレジスタは、バックアップ RAM に対する書き込みアクセスのエラーを示します。

**アクセス** 1/8 ビット単位でリード/ライト可能です。

**アドレス** FF76 FE04<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BURAE ERR
R	R	R	R	R	R	R	R

表 3-30 BURAE レジスタの内容

ビット位置	ビット名	機能
0	BURAE ERR	バックアップ RAM 書き込みアクセス・エラー・フラグ 0: バックアップ RAM 書き込みアクセスにエラーなし 1: バックアップ RAM 書き込みアクセス・エラー発生

**(3) BURAE C – バックアップ RAM アクセス・エラー・クリア・レジスタ**

このレジスタは、バックアップ RAM 書き込みアクセス・エラー・フラグ BURAEERR をクリアするために使用されます。

**アクセス** 1/8 ビット単位でリード/ライト可能です。  
リードすると常に 00<sub>H</sub> が読めます。

**アドレス** FF76 FE08<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	BURAE ERRC
W	W	W	W	W	W	W	W

表 3-31 BURAE C レジスタの内容

ビット位置	ビット名	機能
0	BURAE ERRC	バックアップ RAM 書き込みアクセス・エラー・フラグ BURAEERR クリア 0: 機能なし 1: BURAEERR をクリア



### 3.14 CPU サブシステム - HBUS ブリッジ

CPU サブシステムの HBUS ブリッジには、CPU サブシステムの内部リソースと CPU サブシステムの外部 HBUS モジュール間のインタフェースがあります。

**HBUS スレーブ I/F** HBUS スレーブ I/F は、CPU サブシステムの外部 HBUS マスタに接続し、CPU サブシステムの内部リソースにアクセスできるようにします。

**HBUS マスタ I/F** HBUS マスタ I/F は、CPU サブシステムの外部 HBUS スレーブに接続し、CPU サブシステム・モジュール（たとえば CPU、DMAC）が外部 HBUS リソースにアクセスできるようにします。CPU サブシステムの外部 HBUS スレーブへのアクセスは、バッファ経由で行われます。

すべての CPU サブシステム外部 HBUS のマスタおよびスレーブは、クロス接続バス・システム XBUS に接続します。

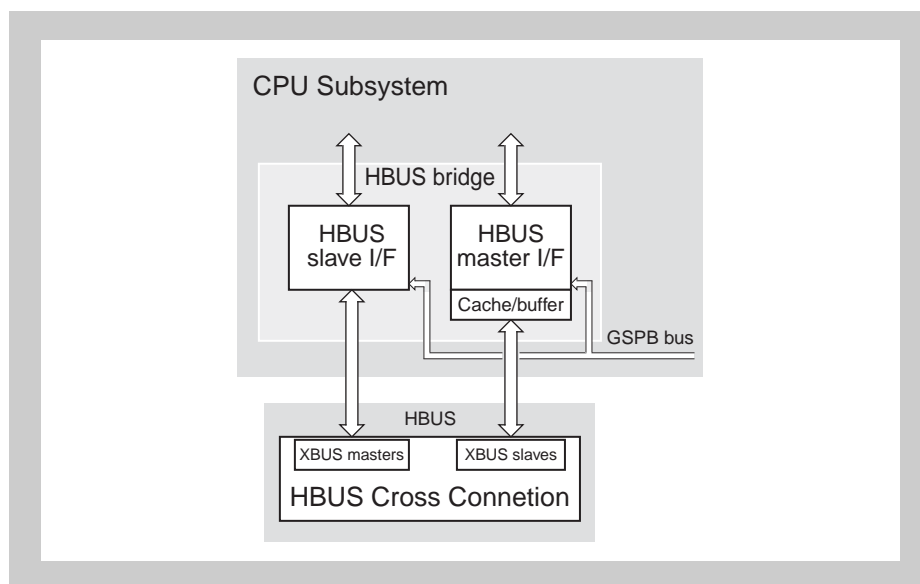


図 3-19 V850E2/Fx4-H CPU サブシステムの HBUS ブリッジ

**XBUS HBUS マスタ ID** XBUS は、CPU サブシステムの HBUS スレーブ I/F に接続する HBUS マスタです。XBUS マスタから CPU サブシステムの HBUS ブリッジにアクセスできるようにするためには、アクセス・イネーブル・マスタ ID レジスタ ATEAPMI を、次の表に従って正しく設定してください。

表 3-32 XBUS HBUS マスタ ID

バス・マスタ	XBUS HBUS マスタ ID	ATEAPMI 設定
XBUS	2	ATEAPMI = 0002 <sub>H</sub> (ATEAPMI.EN1 = 1)

### 3.14.1 機能の説明

#### (1) HBUS マスタ I/F - CPU サブシステムから HBUS への転送

**転送タイプ** CPU サブシステムから、CPU サブシステム - HBUS ブリッジがカバーする領域へのデータ・アクセスは、以下の方法で処理することができます。

- ダイレクト・アクセス
- バッファ・アクセス
- キャッシュ・アクセス

**メモリ領域** 4つのメモリ領域をベース・アドレスとサイズで定義することができます。使用する転送タイプは、それぞれの領域ごとに設定できます。これらの設定は ETACFG, ETACFGn, ETARADRSn の各レジスタで実行します。

CPU サブシステム内では、CPU コアおよび DMA ユニットがバス転送の開始者 / マスタとして機能します。ただし CPU サブシステム側では、単一のデータ転送のみが可能です。つまり CPU コアも DMA ユニットもバースト転送を実行することはできません。

また、メモリ領域は HBUS 領域にあります。この章の「メモリ」の節を参照してください。

**ダイレクト・アクセス** ダイレクト・アクセスはそのまま転送されます。つまり、CPU サブシステム側の単一のデータ転送が、HBUS 側の単一のデータ転送に送られます。

**バッファ・アクセス** バッファ・アクセスの主な目的は、CPU サブシステム側の連続する単一転送を、HBUS 側のバースト転送に変換することにあります。実装されるバッファ・サイズは、読み込みおよび書き込みの両方のデータ空間で  $2 \times 256$  ビット（つまり  $8 \times 32$  ビットが 2 ライン）です。

- 読み込みアクセス
  - バッファ・サイズ :  $2 \times 256$  ビット（つまり  $8 \times 32$  ビットが 2 ライン）
  - バッファを HBUS 側のバースト転送で充填
  - 充填は優先読み込みまたはシーケンシャルが可能（レジスタ設定で選択可能）
  - プリフェッチ・メカニズムを構成可能（インクリメント、デクリメント、オフ）
- 書き込みアクセス
  - バッファ・サイズ :  $2 \times 256$  ビット（つまり  $8 \times 32$  ビットが 2 ライン）
  - バッファを FIFO として使用
  - CPU サブシステム側の単一の書き込み転送を組み合わせ、HBUS 側でバースト書き込み

**バッファ書き込み操作** バッファは、8ワード×2ラインを使用します。このため、アドレス空間は、8×32ビット・ワードのサイズを持つブロック単位で区別されます。

ブロックの開始アドレスは8ワードでアラインされ、下位アドレスの3ビットは000Bという想定になっています。

CPUサブシステム側からバッファ領域への書き込みアクセスが受け取られると、書き込みデータがアクティブ・バッファ・ラインに格納されます。書き込みアドレスの下位3ビットにより、バッファ・ラインの位置が決まります。

それ以降の書き込みアクセスでは、アドレスが、使用されているアクティブ・バッファのアドレス・ブロックと一致する場合、書き込みデータが同じアクティブ・バッファ・ラインに格納されます。書き込みアクセスが、別のアドレス・ブロックをターゲットにしている場合、他のバッファ・ラインがアクティブ・ラインになります。

以下のいずれかの条件が有効になると、バッファ・ラインがHBUS側に書き込まれます。

- アクティブ・ラインが変わった場合（つまり他のアドレス・ブロックへの書き込みアクセスが実行された場合）
- 16ビットまたは8ビット・アクセスが実行された場合
- アクティブ・バッファ・ラインで使用されているブロックのアドレスに対して読み込みアクセスが行われた場合
- バッファ・フラッシュ要求がアサートされた場合

バッファ・ラインが一杯になったら、バッファ・ライン書き込み操作が、HBUS側でのみ書き込みバーストとして実行されます。

バッファ・ラインのエントリに有効でないデータが入っている場合、HBUS側では単一書き込みアクセスが複数回実行されます。

---

**注意** 書き込みアクセスが連続8回以下の場合、(上記の)いずれかのバッファ・ライン書き込み条件に合致することがソフトウェアで保証されない限り、データはHBUS側に書き込まれません。

---

**キャッシュ・アクセス** キャッシュ・サイズは16KBです(4ウェイ・アソシアティブ・キャッシュが使用されます)。

- キャッシュの特徴：
  - キャッシュ・ライン・サイズ：4ワード(4×32ビット)
  - LRU(最近使われていない)置換アルゴリズム
  - 充填は優先読み込みまたはシーケンシャルが可能(レジスタ設定で選択可能)
  - キャッシュ・フラッシュ機能
  - ライトスルー・ポリシー

## (2) HBUSスレーブI/F - HBUSからCPUサブシステムへのアクセス

HBUSからCPUサブシステムへのデータ・アクセスは常にダイレクト・アクセスになります。ただしこのブリッジには、4ワード(16バイト)バッファがあるため、HBUS側からのバースト・アクセスを処理することもできます。

### 3.14.2 レジスタの概要

HBUSブリッジは、以下の表で示したレジスタが制御、操作します。

表 3-33 HBUSブリッジ・レジスタの概要

レジスタ名	略称	アドレス
<b>マスタ I/F レジスタ</b>		
コンフィグレーション・レジスタ	ETACFG	FFFF 7100 <sub>H</sub>
コマンド・レジスタ	ETACMD	FFFF 7102 <sub>H</sub>
ウェイト挿入制限値レジスタ	ETAWRL	FFFF 7106 <sub>H</sub>
マスタ I/F エラー・フラグ・レジスタ	ETAERR	FFFF 7110 <sub>H</sub>
ウェイト挿入制限エラー・アドレス・レジスタ	ETAWLEA	FFFF 7128 <sub>H</sub>
ウェイト挿入制限エラー・マスタ ID レジスタ	ETAWLEM	FFFF 712C <sub>H</sub>
領域 0 設定レジスタ	ETARCFG0	FFFF 7140 <sub>H</sub>
領域 1 設定レジスタ	ETARCFG1	FFFF 7142 <sub>H</sub>
領域 2 設定レジスタ	ETARCFG2	FFFF 7144 <sub>H</sub>
領域 3 設定レジスタ	ETARCFG3	FFFF 7146 <sub>H</sub>
領域 0 アドレス・レジスタ	ETARADRS0	FFFF 7150 <sub>H</sub>
領域 0 マスク・レジスタ	ETARMASK0	FFFF 7154 <sub>H</sub>
領域 1 アドレス・レジスタ	ETARADRS1	FFFF 7158 <sub>H</sub>
領域 1 マスク・レジスタ	ETARMASK1	FFFF 715C <sub>H</sub>
領域 2 アドレス・レジスタ	ETARADRS2	FFFF 7160 <sub>H</sub>
領域 2 マスク・レジスタ	ETARMASK2	FFFF 7164 <sub>H</sub>
領域 3 アドレス・レジスタ	ETARADRS3	FFFF 7168 <sub>H</sub>
領域 3 マスク・レジスタ	ETARMASK3	FFFF 716C <sub>H</sub>
<b>スレーブ I/F レジスタ</b>		
CPU サブシステム・エラー・アドレス・レジスタ	ATEEEA	FFFF 7FC0 <sub>H</sub>
ロック・ホールド時間制限エラー・アドレス・レジスタ	ATELEA	FFFF 7FC4 <sub>H</sub>
スレーブ I/F エラー・フラグ・レジスタ	ATESR	FFFF 7FD8 <sub>H</sub>
バッファ・ステータス表示レジスタ	ATEBSR	FFFF 7FDA <sub>H</sub>
ロック・ホールド時間制限レジスタ	ATESHL	FFFF 7FE2 <sub>H</sub>
アクセス・イネーブル・マスタ ID レジスタ	ATEAPMI	FFFF 7FE4 <sub>H</sub>

### 3.14.3 マスタ I/F レジスタの詳細

#### (1) ETACFG - コンフィグレーション・レジスタ

ETACFG レジスタは、HBUS マスタ I/F の一般構成設定を定義するためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** FFFF 7100<sub>H</sub>

**初期値** 0980<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	BFM	0	BPM		CFM	0	0	0	0	0	0	0
R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R

表 3-34 ETACFG レジスタの内容

ビット位置	ビット名	機能
11	BFM	バッファ充填動作設定 0: シーケンシャル 1: 優先読み込み
9, 8	BPM	バッファ・プリフェッチ動作設定 00B: プリフェッチなし 01B: アドレス・インクリメントを伴うプリフェッチ 10B: アドレス・デクリメントを伴うプリフェッチ 11B: 予約済み
7	CFM	キャッシュ充填動作設定 0: シーケンシャル 1: 優先読み込み

## (2) ETACMD - コマンド・レジスタ

ETACMD レジスタは、HBUS マスタ I/F のバッファおよびキャッシュをフラッシュするためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** FFFF 7102<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	BFL	CFL
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 3-35 ETACMD レジスタの内容

ビット位置	ビット名	機能
1	BFL	バッファをフラッシュするためのビットです。セット (1) すると、キャッシュ / バッファのフラッシュ動作を開始します。(HBUS ブリッジの観点で) フラッシュ動作完了後、このビットは自動的にクリア (0) されます。 0: フラッシュ非動作中 / フラッシュ動作完了 1: フラッシュ動作中 / フラッシュ動作開始
0	CFL	キャッシュをフラッシュするためのビットです。セット (1) すると、キャッシュのフラッシュ動作を開始します。(HBUS ブリッジの観点で) フラッシュ動作完了後、このビットは自動的にクリア (0) されます。 0: フラッシュ非動作中 / フラッシュ動作完了 1: フラッシュ動作中 / フラッシュ動作開始

**(3) ETAWRL - HBUS wait insertion**

このレジスタは、HBUS がウェイトを要求する HBUS クロックの上限を指定します。

**注意** この機能は、デバッグの目的以外では使用しないか、またはこのレジスタを 0 にセットしてウェイト制限をオフにすることをお奨めします。

ウェイト制限を設定しているときに、HBUS のウェイト要求がクロックの定義値を超えた場合、例外エラー SYSERR が発生します。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** FFFF 7106<sub>H</sub>

**初期値** 000F<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	ETAWRL[7:0]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-36 ETAWRL レジスタの内容

ビット位置	ビット名	機能
7 - 0	ETAWRL[7:0]	HBUS からのウェイト応答に対する上限値を設定するためのビットです。 0 : 制限なし / disabled その他の値 n : n バス・クロックに制限

**(4) ETAERR - HBUSブリッジ・マスタ I/F エラー・フラグ・レジスタ**

ETAERR レジスタは、CPU および DMAC が、HBUS ブリッジ・マスタ・インタフェースを介して HBUS リソースにアクセスしようとしたときにエラーが発生した場合、それを通知するためのレジスタです。

**アクセス** 8ビット単位および16ビット単位で読み込み/書き込み可能です。

**アドレス** FFFF 7110<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	RW	R/W	R/W	R/W	RW
7	6	5	4	3	2	1	0
0	0	CDE	CTE	0	0	WLE	0
R/W	R/W	R/W	RW	R/W	R/W	R/W	RW

表 3-37 ETAERR レジスタの内容

ビット位置	ビット名	機能
5	CDE	キャッシュ RAM エラーが発生すると、このビットがセットされます。 0: エラーなし 1: エラーが検出された エラーが検出されこのビットが“1”にセットされた後、これをクリアする場合、このビットに“1”を書き込むことで実行します。
4	CTE	キャッシュ・タグ RAM エラーが発生すると、このビットがセットされます。 0: エラーなし 1: エラーが検出された エラーが検出されこのビットが“1”にセットされた後クリアする場合、このビットに“1”を書き込むことで実行します。
1	WLE	HBUS ウェイト制限エラーが発生すると、このビットがセットされます。 ウェイト制限エラーの場合、対応するエラー・アドレスが ETAWLEA レジスタに格納され、対応するマスタ ID レジスタが ETAWLEM レジスタに格納されます。 0: エラーなし 1: エラーが検出された エラーが検出されこのビットが“1”にセットされた後クリアする場合、このビットに“1”を書き込むことで実行します。



**(5) ETAWLEA - HBUSブリッジ・マスタ I/F ウェイト挿入制限エラー・アドレス・レジスタ**

ETAWLEA レジスタは、ウェイト挿入制限エラーが発生したアドレスを保持するためのレジスタです。

ETAWLEA は常に最初のウェイト挿入制限エラーのアドレスを保持します。それ以降エラーが発生しても、最初のアドレスが上書きされることはありません

**備考** ウェイト制限は、EATWRL レジスタで指定します。

**アクセス** 32 ビット単位で読み込み可能です

**アドレス** FFFF 7128<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
B28[2:0]			ETAWLEA[28:16]												
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETAWLEA[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 3-38 ETAWLEA レジスタの内容

ビット位置	ビット名	機能
31 - 29	B28[2:0]	これらのビットには常に上位アドレス・ビット ETAWLE[28] と同じ値が入ります。
28 - 0	ETAWLEA [28:0]	ETAWLEA[28:0] には、ウェイト挿入制限エラーが最初に発生したアドレスが入ります。

**(6) ETAWLEM - HBUSブリッジ・マスタ I/F ウェイト挿入制限エラー・マスタ ID レジスタ**

ETAWLEM レジスタは、ウェイト挿入制限エラーが発生したマスタ ID を保持するためのレジスタです。

ETAWLEA は常に最初のウェイト挿入制限エラーのマスタ ID を保持します。それ以降エラーが発生しても、最初のマスタ ID が上書きされることはありません。

**アクセス** 16 ビット単位で読み込み可能です。

**アドレス** FFFF 712C<sub>H</sub>

**初期値** 0000<sub>H</sub>

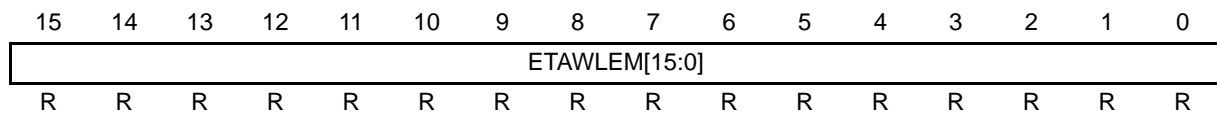


表 3-39 ETAWLEM レジスタの内容

ビット位置	ビット名	機能
15 - 0	ETAWLEM [15:0]	ETAWLEM[15:0] には、ウェイト挿入制限エラーが発生したマスタ ID が入ります。

## (7) ETARCFGn - 領域 n の設定レジスタ

ETARCFGn レジスタは、メモリ領域 n を有効にし、このレジスタの転送モードを設定するためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** ETARCFG0: FFFF 7140<sub>H</sub>, ETARCFG1: FFFF 7142<sub>H</sub>  
ETARCFG2: FFFF 7144<sub>H</sub>, ETARCFG3: FFFF 7146<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	MODE[3:0]			0	0	0	EN	
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W

表 3-40 ETARCFGn レジスタの内容

ビット位置	ビット名	機能
7 - 4	MODE[3:0]	領域 n の動作モードを設定します。 0000B : ダイレクト・アクセス 0001B : バッファを使用 0010B : キャッシュを使用 その他 : 予約済み これらのビットは、EN = 1 でモード設定がオンになっている場合に限り有効になります。
0	EN	領域 n のモード設定イネーブル・ビット 0: MODE[3:0] のモード設定ディセーブル, ダイレクト・アクセスを使用 1: MODE[3:0] のモード設定イネーブル

**備考** メモリ空間の領域オーバーラップの場合、適用される転送タイプは、バッファを使用 > キャッシュを使用 > ダイレクト・アクセスの優先順位になります。

**(8) ETARADRSn - 領域 n のアドレス・レジスタ**

ETARADRSn レジスタは、領域 n のメモリ領域を指定するベース・アドレスを設定するためのレジスタです。

**アクセス** 32 ビット単位で読み込み / 書き込み可能です。

**アドレス** ETARADRS0: FFFF 7150<sub>H</sub>, ETARADRS1: FFFF 7158<sub>H</sub>  
ETARADRS2: FFFF 7160<sub>H</sub>, ETARADRS3: FFFF 7168<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETARADRS[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETARADRS[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-41 ETARADRSn レジスタの内容

ビット位置	ビット名	機能
31 - 0	ETAR ADRS[31:0]	これらのビットは、領域 n を指定するベース・アドレスを設定します。ビット 28 は、ビット 31 ~ 29 の符号ビットとなり、符号拡張の値が格納されます。ビット 11 ~ 0 は必ず "0" にセットします。

**(9) ETARMASKn - 領域 n のマスク・レジスタ**

ETARMASKn レジスタは、領域 0～3 を指定するベース・アドレスのマスクを設定するためのレジスタです。このレジスタは、下位ビットから順に、連続する 1 を入れて値を指定します。

**アクセス** 32 ビット単位で読み込み / 書き込み可能です。

**アドレス** ETARMASK0: FFFF 7154<sub>H</sub>, ETARMASK1: FFFF 715C<sub>H</sub>  
ETARMASK2: FFFF 7164<sub>H</sub>, ETARMASK3: FFFF 716C<sub>H</sub>

**初期値** 1FFF FFFF<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETARMASK[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETARMASK[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-42 ETARMASKn レジスタの内容

ビット位置	ビット名	機能
31 - 0	ETARMASK[31:0]	これらのビットは、領域 n を指定するベース・アドレスのマスクを設定するために使用されます。ビット 31～29 を“0”にセットし、ビット 11～0 を“1”にセットします。

(10) 領域 n のアドレス範囲の計算

それぞれのアドレス領域は、ベース・アドレスとマスクを使用して設定します。アドレス領域の下限アドレスと上限アドレスは、ベース・アドレスをマスクで操作することによって設定します。マスクで“1”にセットされ、“0”にクリアされるビットのアドレスは下限アドレスになり、ビットが“1”にセットされたアドレスは上限アドレスになります。例については、下図を参照してください。

**注意** マスク値を指定する場合は、下位ビットから順に、連続する1の値を入れて設定します。

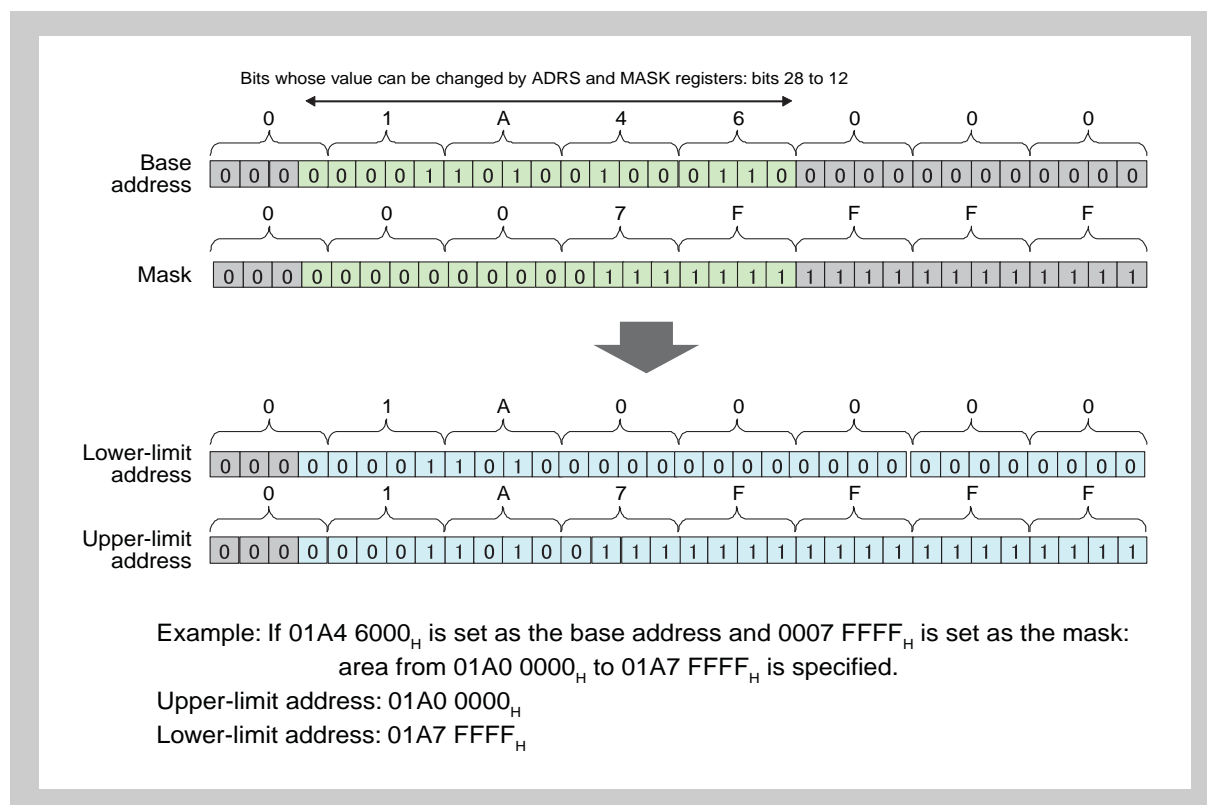


図 3-20 領域 n のアドレス範囲計算の例

### 3.14.4 スレーブ I/F レジスタの詳細

#### (1) ATEEEA - HBUS ブリッジ・スレーブ I/F CPU サブシステム・エラー・アドレス・レジスタ

ATEEEA レジスタは、CPU サブシステムがエラーを返したアドレスを保持するためのレジスタです。

ATEEEA は常に、最初の CPU サブシステム・エラーのアドレスを保持します。それ以降エラーが発生しても、最初のアドレスが上書きされることはありません。

CPU サブシステム・エラー応答は、HBUS ブリッジ・スレーブ・インタフェース・エラー・フラグ ATESR.CFL = 1 によって示されます。このフラグをクリアすると、アドレス・レジスタ ATEEEA もクリアされます。

**アクセス** 32 ビット単位で読み込み可能です

**アドレス** FFFF 7FC0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ATEEEA[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATEEEA[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 3-43 ATEEEA レジスタの内容

ビット位置	ビット名	機能
31 - 0	ATEEEA [31:0]	ATEEEA[31:0] は、CPU サブシステムがエラーを返したアドレスになります。

**(2) ATELEA - HBUS ブリッジ・スレーブ I/F ロック・ホールド時間制限エラー・アドレス・レジスタ**

ATELEA レジスタは、ロック・ホールド時間制限エラーが発生したアドレスを保持するためのレジスタです。

ATELEA は常に、最初のロック・ホールド時間制限エラーのアドレスを保持します。

それ以降エラーが発生しても、最初のアドレスが上書きされることはありません。

ロック・ホールド時間エラーは、HBUS ブリッジ・スレーブ・インタフェース・エラー・フラグ ATESR.LE = 1 によって示されます。このフラグをクリアすると、アドレス・レジスタ ATELEA もクリアされます。

**備考** ウェイト制限は、ATESHL レジスタで指定します。

**アクセス** 32 ビット単位で読み込み可能です

**アドレス** FFFF 7FC4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ATELEA[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATELEA[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 3-44 ATELEA レジスタの内容

ビット位置	ビット名	機能
31 - 0	ATELEA [31:0]	ATELEA[31:0] は、最初のロック・ホールド時間制限エラーが発生したアドレスになります。



## (3) ATESR - HBUSブリッジ・スレーブ I/F エラー・フラグ・レジスタ

ATESR レジスタは、HBUS マスタが、HBUS ブリッジ・スレーブ・インタフェースを介して CPU サブシステムのリソースにアクセスしようとしたときにエラーが発生した場合、それを通知するためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** ATESR: FFFF 7FD8<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	RW	R/W	R/W	R/W	RW
7	6	5	4	3	2	1	0
0	0	0	0	PE	0	LE	CFL
R/W	R/W	R/W	RW	R/W	R/W	R/W	RW

表 3-45 ATESR レジスタの内容

ビット位置	ビット名	機能
3	PE	このビットは、HBUS バス・アクセス保護エラーが発生したことを示します。このエラーが発生した場合、アクセス・イネーブル・マスタ ID レジスタ ATEAPMI の設定が不正であることを表します。 0: エラーなし 1: エラーを検出 エラーが検出されこのビットが“1”にセットされた後、これを“0”にクリアする場合、このビットに“1”を書き込むことで実行します。
1	LE	このビットは、ロック・ホールド時間制限エラーが発生したことを示します。最大ロック・ホールド時間は、ATESHL レジスタで指定します。ロック・ホールド時間エラーが検出された場合、対応するアドレスが ATELEA レジスタに格納されます。 0: エラーなし 1: エラーを検出 エラーが検出されこのビットが“1”にセットされた後、これを“0”にクリアする場合、このビットに“1”を書き込むことで実行します。この操作により、アドレス・レジスタ ATELEA もクリアされます。
0	CFL	このビットは、HBUS ブリッジ・スレーブ I/F を介して CPU サブシステムのリソースにアクセスする際、CPU サブシステムからエラー応答が発生したことを示します。このエラーが発生した場合、たとえば不正なアドレスなど、CPU サブシステムのリソースに対するアクセスに問題があったことを表します。CPU サブシステムが検出された場合、対応するアドレスが ATEEEEA レジスタに格納されます。 0: エラーなし 1: エラーを検出 エラーが検出されこのビットが“1”にセットされた後、これを“0”にクリアする場合、このビットに“1”を書き込むことで実行します。この操作により、アドレス・レジスタ ATEEEEA もクリアされます。

**(4) ATEBSR - バッファ・ステータス表示レジスタ**

ATEBSR レジスタは、HBUS スレーブ I/F のバッファのステータスを示すためのレジスタです。このバッファは、HBUS 側のバースト・アクセスのデータを格納するために使用されます。つまり、バッファが空の場合、HBUS から CPU サブシステムへのアクセスは実行されません。

**アクセス** 16 ビット単位で読み込み可能です。

**アドレス** FFFF 7FDA<sub>H</sub>

**初期値** 0001<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 3-46 ATEBSR レジスタの内容

ビット位置	ビット名	機能
0	E	このビットは、転送バッファのステータスを示します。 0：転送バッファにデータがあり、転送が完了していない 1：転送バッファにデータがなく、転送が完了している

**(5) ATESHL - HBUS ブリッジ・スレーブ I/F ロック・ホールド時間制限レジスタ**

ATESHL レジスタは、HBUS ブリッジ・スレーブ I/F を介して CPU サブシステムにアクセスする場合のロック・ホールド時間制限を指定するためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** FFFF 7FE2<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	LIM[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-47 ATESHL レジスタの内容

ビット位置	ビット名	機能
7 - 0	LIM[7:0]	LIM[7:0] は、ロック・ホールド時間制限を指定します。 0：制限なし（ロック・ホールド時間チェックなし） その他の値 n：n バス・クロックに制限

**(6) ATEAPMI - アクセス・イネーブル・マスタ ID レジスタ**

ATEAPMI レジスタは、HBUS スレーブ I/F に接続した HBUS マスタのアクセス許可 / 不許可を設定するためのレジスタです。

**アクセス** 16 ビット単位で読み込み / 書き込み可能です。

**アドレス** FFFF 7FE4<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-48 ATEAPMI レジスタの内容

ビット位置	ビット名	機能
15 - 0	EN15 - EN0	ID 15 ~ 0 を持つ HBUS マスタから CPU サブシステムへのアクセスを許可します。 0 : アクセス不許可 1 : アクセス許可

正しい ID については、この節の最初にある「XBUS HBUS マスタ ID」の項目を参照してください。

### 3.15 ライト保護レジスタ

書き込み保護レジスタは、誤ったプログラム実行などの不用意なライト・アクセスから保護します。

書き込み保護レジスタへの書き込みには、特定レジスタへの保護解除シーケンスが必要になります。

#### 3.15.1 レジスタ保護クラスタ

保護レジスタはいくつかのレジスタ保護クラスタにまとめられます。

保護装置は同じクラスタのすべてのレジスタを一つの保護ユニットとしてあつかいます。

レジスタへの保護解除シーケンスが始まると、同じ保護クラスタ内のすべてのレジスタへのアクセスはできなくなります。そうでないなら解除シーケンスは中断され、レジスタの書き込みは失敗となります。

次の図は、割り込み処理ルーチンの中で同じクラスタのアクセスによって解除シーケンスの中断を表しています。

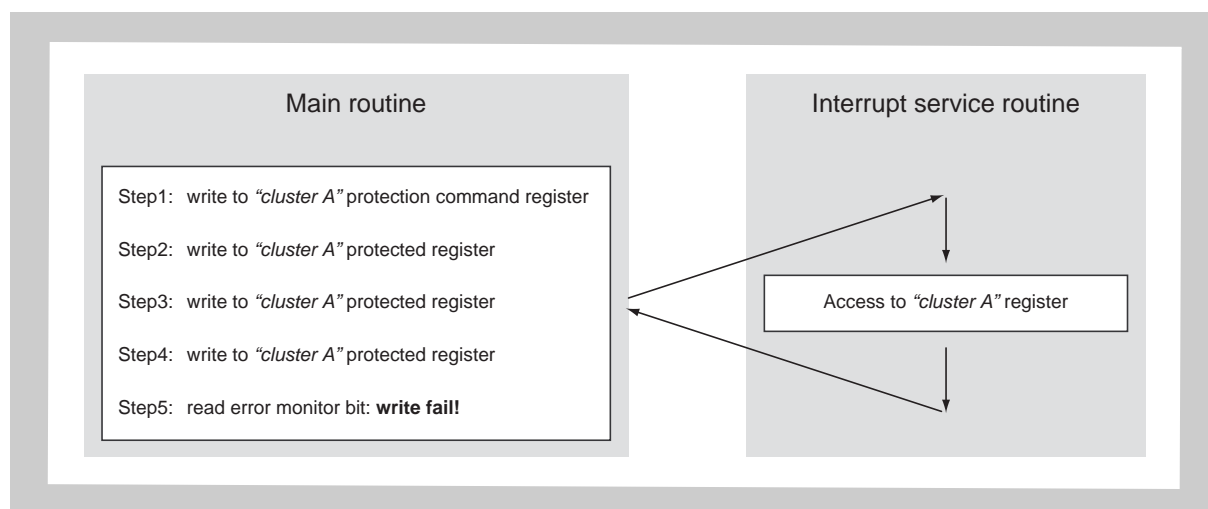


図 3-21 レジスタ保護解除シーケンスの中断

保護シーケンス中の他の保護クラスタのレジスタへのアクセスは、保護シーケンスを中断せず、レジスタへの書き込みは正常に完了できます。

次に保護解除シーケンスの成功例を示します。

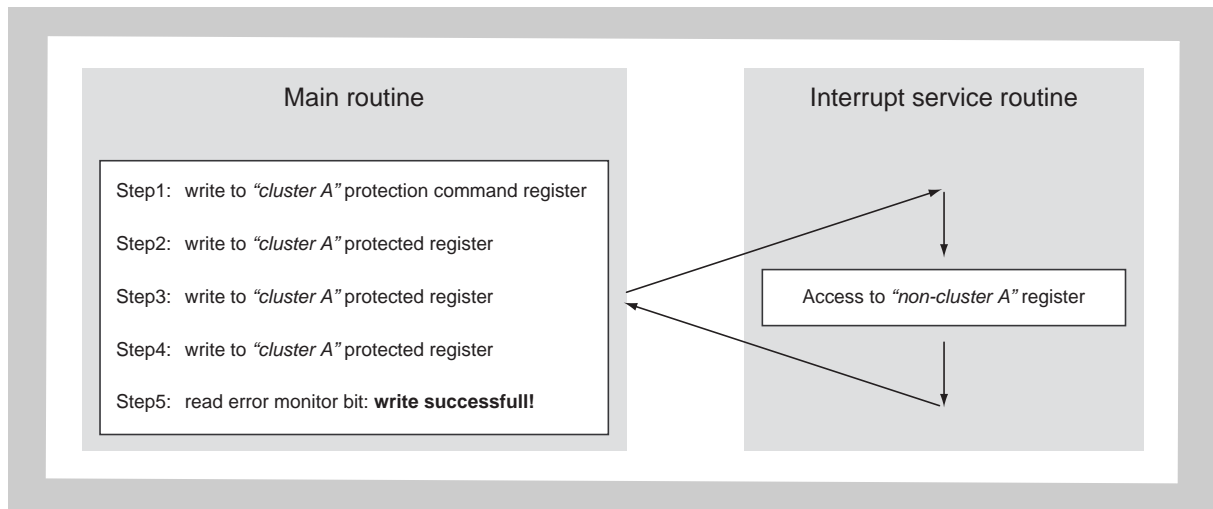


図 3-22 レジスタ保護の解除シーケンスの成功例

V850E2/Fx4-H レジスタ保護クラスタについてのレジスタの詳細は 3.15.4 「V850E2/Fx4-H 書き込み保護レジスタ」を参照してください。

### 3.15.2 レジスタ保護解除シーケンス

書き込み保護レジスタへのライト・アクセスは、特別な保護解除シーケンスでのみ可能です。

1. 保護コマンド・レジスタに A5<sub>H</sub> をライト
2. 保護されたレジスタに所定の値をライト
3. 保護されたレジスタに所定の値のビットごとに値を反転させた値をライト
4. 保護されたレジスタに所定の値をライト
5. 保護ステータス・レジスタのエラー・モニタ・ビットが 0 であることを確認することによって、保護されたレジスタに所定の値がライトできたことが確認できます。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記のシーケンスのステップ 1 からステップ 4 の間に他のレジスタにアクセスした場合は、保護機能は次のようになります。

- 第 2 のレジスタが同じクラスタに属しているなら、保護レジスタへの書き込みは失敗します（エラー・モニタ・ビットはセット（1）されます）。すべてのシーケンスはステップ 1 からやり直してください。
- 第 2 のレジスタが同じクラスタに属していないなら、保護レジスタへの書き込みは中断せず、第一のレジスタへの書き込みは正常に完了します。

### 3.15.3 レジスタ保護と割り込み／エミュレーション・ブレイク

保護解除シーケンス中の割り込み発生では、保護機能は次のようになります。

#### (1) 保護解除シーケンス中の割り込み

割り込みが保護解除シーケンス中に認識される、または割り込み処理ルーチンが同じレジスタ保護クラスタないのレジスタからアクセスされていないなら、割り込み処理ルーチンからの復帰後、保護解除シーケンスは中断されず保護レジスタへの書き込みは正常に完了できます。

#### (2) 保護解除シーケンス中のエミュレーション・ブレイク

エミュレーション・ブレイク保護シーケンス中にエミュレーション・ブレイクが発生した場合（例えばブレイク・ポイントにヒットした場合など）、ブレイク後の通常動作モードが再開されるまで、レジスタ保護は停止します。

つまりブレイク中に同じクラスタ内のレジスタにアクセスしても、保護シーケンスは中断されず、エラー・モニタ・ビットもセット（1）されません。

### 3.15.4 V850E2/Fx4-H 書き込み保護レジスタ

次に V850E2/Fx4-H の書き込み保護レジスタに関するレジスタについて示します。

表 3-49 書き込み保護レジスタ一覧

保護対象	保護されるレジスタ	保護レジスタ		保護クラス
		コマンド・レジスタ	ステータス・レジスタ	
クロック・コントローラ	CKSC_0n	PROTCMD0	PROTS0	コントロール保護クラス 0
クロック・コントローラ	CKSC_1n	PROTCMD1	PROTS1	コントロール保護クラス 1
クロック・コントローラ	PLLEk	PROTCMD2	PROTS2	コントロール保護クラス 2
	MOSCE			
	SOSCE			
	ROSCE			
	CKSC_An			
スタンバイ機能	PSC0	PROTCMD3	PROT0PS	コントロール保護クラス 3
	PSC1			
リセット機能	SWRESA	CLMAPCMD	CLMAnPS	クロック・モニタ保護クラス
	LVICNT			
オンチップ・デバッグ機能	IDMODI	PPCMDn	PPROTSn	ポート保護クラス 1-4
クロック・モニタ	CLMAnCTL0	FLMDPCMD	FLMDPS	セルフプログラミング保護クラス
ポート <sup>a)</sup>	PDSCn, JPDSCn PODCn, JPODCn			
セルフプログラミング機能	FLMDCNT			

a) 各ポート・グループはそれぞれ独自の保護コマンド・レジスタと保護ステータス・レジスタを持ちます。詳細は(1)「ポート保護クラス」のポート・コントロール・レジスタ保護を参照してください。

**(1) ポート保護クラスタ**

ポート・レジスタの書き込み保護の概要を次に示します。

- ポート・ドライブ・ストレンクス制御レジスタ (PDSCn, JPDSn)
- ポート・オープン・ドレーン制御レジスタ (PODCn, JPODCn)

上記のポート・グループ n 内のポート制御レジスタは 4 つのポート保護クラスタに割り当てられています。

表 3-50 ポート保護クラスタ

ポート保護クラスタ	ポート・グループ
1	JP0
2	P0
3	P1 - P4, P10, P11
4	P12, P13, P21, P24, P25, P27

**備考** 各ポート・グループ n には、ポート・グループごとにポート保護コマンド・レジスタ (PPCMDn) とポート保護ステータス・レジスタ (PPROTSn) があります。  
 なお、同じポート保護クラスタの保護コマンド・レジスタであれば、保護解除シーケンスを通して、書き込みアクセスが可能となります。

**レジスタ幅** ポート制御レジスタ保護と、関連する保護コマンド・レジスタ (PPCMDn) は 8 ビット・レジスタです。

保護解除シーケンスを次に示します。

1. 保護コマンド・レジスタ (PPCMDn) に A5<sub>H</sub> とライト。
2. 保護されたレジスタに所定の値 xxxx<sub>H</sub> の上位 16 ビット [31:16] に 0 を設定した 32 ビットの値 (0000 xxxx<sub>H</sub>) をライト
3. 保護されたレジスタに所定の値をビット単位で反転させた値の上位 16 ビット [31:16] に 1 を設定した 32 ビットの値 (FFFF xxxx<sub>H</sub>) をライト
4. 保護されたレジスタに所定の値 xxxx<sub>H</sub> の上位 16 ビット [31:16] に 0 を設定した 32 ビットの値 (0000 xxxx<sub>H</sub>) をライト
5. PPROTSn.PPROTSnPRERR = 0 であることを確認することによって、保護されたレジスタに所定の値がライトできたことが確認できます。



## 3.15.5 V850E2/Fx4-H 保護レジスタ概要

レジスタ・ライト保護は次のレジスタによって制御/動作します。

表 3-51 保護コマンド・レジスタ概要 (1/2)

レジスタ名	ショートカット	アドレス
<b>制御保護クラス</b>		
保護コマンド・レジスタ 0	PROTCMD0	FF42 4000 <sub>H</sub>
保護コマンド・レジスタ 1	PROTCMD1	FF42 8000 <sub>H</sub>
保護コマンド・レジスタ 2	PROTCMD2	FF42 0300 <sub>H</sub>
保護ステータス・レジスタ 0	PROTS0	FF42 4004 <sub>H</sub>
保護ステータス・レジスタ 1	PROTS1	FF42 8004 <sub>H</sub>
保護ステータス・レジスタ 2	PROTS2	FF42 0304 <sub>H</sub>
<b>クロック・モニタ・クラス</b>		
<b>CLMA0:</b>		
保護コマンド・レジスタ	CLMA0PCMD	FF80 2010 <sub>H</sub>
保護ステータス・レジスタ	CLMA0PS	FF80 2014 <sub>H</sub>
<b>CLMA2:</b>		
保護コマンド・レジスタ	CLMA2PCMD	FF80 4010 <sub>H</sub>
保護ステータス・レジスタ	CLMA2PS	FF80 4014 <sub>H</sub>
<b>CLMA3:</b>		
保護コマンド・レジスタ	CLMA3PCMD	FF80 5010 <sub>H</sub>
保護ステータス・レジスタ	CLMA3PS	FF80 5014 <sub>H</sub>
<b>ポート保護クラス</b>		
<b>ポート保護クラス 1</b>		
保護コマンド・レジスタ	JPPCMD0	FF44 04C0 <sub>H</sub>
保護ステータス・レジスタ	JPPROTS0	FF44 04B0 <sub>H</sub>
<b>ポート保護クラス 2</b>		
保護コマンド・レジスタ	PPCMD0	FF40 4C00 <sub>H</sub>
保護ステータス・レジスタ	PPROTS0	FF40 4B00 <sub>H</sub>
<b>ポート保護クラス 3</b>		
保護コマンド・レジスタ	PPCMD1	FF40 4C04 <sub>H</sub>
	PPCMD2	FF40 4C08 <sub>H</sub>
	PPCMD3	FF40 4C0C <sub>H</sub>
	PPCMD4	FF40 4C10 <sub>H</sub>
	PPCMD10	FF40 4C28 <sub>H</sub>
	PPCMD11	FF40 4C2C <sub>H</sub>
保護ステータス・レジスタ	PPROTS1	FF40 4B04 <sub>H</sub>
	PPROTS2	FF40 4B08 <sub>H</sub>
	PPROTS3	FF40 4B0C <sub>H</sub>
	PPROTS4	FF40 4B10 <sub>H</sub>
	PPROTS10	FF40 4B28 <sub>H</sub>
	PPROTS11	FF40 4B2C <sub>H</sub>

表 3-51 保護コマンド・レジスタ概要 (2/2)

レジスタ名	ショートカット	アドレス
<b>ポート保護クラスタ 4</b>		
保護コマンド・レジスタ	PPCMD12	FF40 4C30 <sub>H</sub>
	PPCMD13	FF40 4C34 <sub>H</sub>
	PPCMD21	FF40 4C54 <sub>H</sub>
	PPCMD24	FF40 4C60 <sub>H</sub>
	PPCMD25	FF40 4C64 <sub>H</sub>
	PPCMD27	FF40 4C6C <sub>H</sub>
保護ステータス・レジスタ	PPROTS12	FF40 4B30 <sub>H</sub>
	PPROTS13	FF40 4B34 <sub>H</sub>
	PPROTS21	FF40 4B54 <sub>H</sub>
	PPROTS24	FF40 4B60 <sub>H</sub>
	PPROTS25	FF40 4B64 <sub>H</sub>
	PPROTS27	FF40 4B6C <sub>H</sub>
<b>セルフプログラミング保護クラスタ</b>		
FLMD 保護コマンド・レジスタ	FLMDPCMD	FF43 8004 <sub>H</sub>
FLMD 保護エラー・ステータス・レジスタ	FLMDPS	FF43 8008 <sub>H</sub>
<b>OCD 制御保護クラスタ</b>		
OCD 保護コマンド・レジスタ	PROTCMD3	FF42 0308 <sub>H</sub>
OCD 保護エラー・ステータス・レジスタ	PROTS3	FF42 030C <sub>H</sub>

### 3.15.6 制御保護クラスタ・レジスタ詳細

#### (1) PROTCMDn – 保護コマンド・レジスタ

書き込み保護されたレジスタのための書き込み保護解除シーケンス起動させるレジスタです。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8ビット単位でライトのみ可能です。リードすると常に 00<sub>H</sub> が読めます。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

PROTCMDn レジスタの使用方法の詳細は 3.15.2「レジスタ保護解除シーケンス」を参照してください。

表 3-52 PROTCMDn レジスタの内容

ビット位置	ビット名	機能
7-0	-	独立したエリア m レジスタへの書き込み許可の保護コマンド

#### (2) PROTSn – 保護ステータス・レジスタ

PROTCMDn によって行われる保護解除シーケンスのステータスを示します。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8ビット単位でリードのみ可能です。  
ライト動作は無視されます。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROTSn ERR
R	R	R	R	R	R	R	R

表 3-53 PROTSn レジスタの内容

ビット位置	ビット名	機能
0	PROTn ERR	書き込みシーケンス保護エラー・モニタ 0：保護エラーなし 1：保護エラー発生

### 3.15.7 クロック・モニタ保護クラスタ・レジスタ詳細

#### (1) CLMAnPCMD – CLMAn 保護コマンド・レジスタ

CLMAnCTL0 レジスタの保護コマンド・レジスタです。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51 「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8 ビット単位でライトのみ可能です。

**アドレス** 表 3-51 「保護コマンド・レジスタ概要」参照

**初期値** 不定

7	6	5	4	3	2	1	0
CLMAnREG[7:0]							
W	W	W	W	W	W	W	W

表 3-54 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7 - 0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを許可する保護コマンド

#### (2) CLMAnPS – CLMAn 保護ステータス・レジスタ

書き込み保護レジスタ（CLMAnCTL0）への書き込みが正常に行われたかどうかを確認するレジスタです。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51 「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8 ビット単位でリードのみ可能です。

**アドレス** 表 3-51 「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn PRERR
R	R	R	R	R	R	R	R

表 3-55 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
0	CLMAnPRERR	書き込み保護レジスタ（CLMAnCTL0）への書き込みが成功したかどうかを示します 0：書き込み動作成功 1：書き込み動作失敗：Write operation failed

### 3.15.8 ポート保護クラスタ・レジスタ詳細

#### (1) PPCMDn – ポート保護コマンド・レジスタ

PPCMDn レジスタはポート・グループ n の保護コマンド・レジスタです。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8ビット単位でライトのみ可能です。  
リードすると常に 00H が読めます。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
W	W	W	W	W	W	W	W

表 3-56 PPCMDn レジスタの内容

ビット位置	ビット名	機能
7-0	–	ポート・レジスタに書き込み許可をする保護コマンド

#### (2) PPROTSn – ポート保護ステータス・レジスタ

PPROTSn レジスタはポート・グループ n の書き込みを保護されたレジスタの保護ステータス・レジスタです。PPCMDn によって行われる保護シーケンス動作のステータスを表します。

**インデクス n** “n” 保護コマンド・レジスタ数を表します，詳細は表 3-51「保護コマンド・レジスタ概要」を参照してください。

**アクセス** 8ビット単位でリードのみ可能です。  
ライト動作は無視されます。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PPROTSn PRERR
R	R	R	R	R	R	R	R

表 3-57 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn PRERR	保護書き込みシーケンス・エラー・モニタ 0：保護エラーなし 1：保護エラー発生

### 3.15.9 セルフプログラミング保護クラスタ・レジスタ詳細

#### (1) FLMDPCMD – FLMD 保護コマンド・レジスタ

FLMDCNT レジスタのための保護コマンド・レジスタです。

**アクセス** 8ビット単位でライトのみ可能です。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値**

7	6	5	4	3	2	1	0
FLMDPC[7:0]							
W	W	W	W	W	W	W	W

表 3-58 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
7 - 0	FLMDPC[7:0]	FLMDCNT への書き込みを許可する保護コマンドです。

#### (2) FLMDPS – FLMD 保護エラー・ステータス・レジスタ

書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを確認するレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** 表 3-51「保護コマンド・レジスタ概要」参照

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMD PRERR
R	R	R	R	R	R	R	R

表 3-59 FLMDPS レジスタの内容

ビット位置	ビット名	機能
0	FLMDPRERR	書き込み保護レジスタ (FLMDCNT) への書き込みが成功したかどうかを示します 0: 書き込み動作成功 1: 書き込み動作失敗

## 3.16 システム・エラー通知設定レジスタ

### (1) SEG\_CONT: SYSERR 例外通知設定レジスタ

各 SYSERR 要因のエラー通知の許可／不許可を設定するイネーブル・レジスタです。

ビットがセット (1) されているときは、エラー発生時の SYSERR 通知を許可します。

ビットがクリア (0) されているときは、発生したエラー要因に対応するエラー・フラグはセットされますが、SYSERR 通知は行われません。

ビット 15-8, 6, 3, 0 には必ず 0 を設定してください。

**アクセス** 16/8/1 ビット単位でリード／ライト可能です。

**アドレス** FFFF64B0<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SEG_CON TDMAE	0	SEG_CON TSEGE	SEG_CON TRAME	0	SEG_CON TEXTE	SEG_CON TFCHE	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-60 SEG\_CONT レジスタの内容

ビット位置	ビット名	意味
7	SEG_CON TDMAE	DMA エラー通知イネーブル DMA エラー発生時の SYSERR 通知許可を設定します。
4	SEG_CON TRAME	ローカル RAM 領域エラー通知イネーブル CPU がローカル RAM 領域ヘデータ・アクセスした際のエラー発生に対し、 SYSERR 通知許可を設定します。
5	SEG_CON TSEGE	リザーブ領域アクセス通知イネーブル CPU がリザーブ領域ヘデータ・アクセスした際の SYSERR 通知許可を設定しま す。
2	SEG_CON TEXTE	EXT 領域エラー通知イネーブル CPU が外部メモリ、周辺 I/O 領域ヘデータ・アクセスした際のエラー発生に対し、 SYSERR 通知許可を設定します。
1	SEG_CON TFCHE	コード・フラッシュ・エラー通知イネーブル CPU がコード・フラッシュ領域ヘデータ・アクセスした際のフラッシュ ROM か らのエラー発生に対し、SYSERR 通知許可を設定します。

**(2) SEG\_FLAG : システム・エラー要因保存レジスタ**

各 SYSERR 要因の発生状態を保存するフラグ・レジスタです。

SYSERR 要因が発生すると、対応するエラー要因のフラグがセット (1) されます。

各フラグは、(1) の状態をリード後、(0) をライトすることでクリアされます。リード時に (0) だったフラグに対し、その後のライト動作で (0) をライトしても、リード・ライト間に発生したエラーに対しては、フラグはセットされます。

ビット 15-8, 6, 3, 0 には必ず 0 を設定してください。

**アクセス** 16/8/1 ビット単位でリード/ライト可能です。

**アドレス** FFFF64B2<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SEG_FLG GDMAF	0	SEG_FLG GSEGF	SEG_FLG GRAMF	0	SEG_FLG GEXTF	SEG_FLG GFCHF	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3-61 SEG\_FLAG レジスタの内容

ビット位置	ビット名	意味
7	SEG_FLAG DMAF	DMA エラー・フラグ DMA アクセスによるシステム・エラー検出時にセットされます。
4	SEG_FLAG RAMF	ローカル RAM 領域エラー・フラグ CPU が、ローカル RAM 領域ヘデータ・アクセスした際にエラーが発生するとセットされます。
5	SEG_FLAG SEGF	リザーブ領域エラー・フラグ CPU がリザーブ領域ヘデータ・アクセスしたときにセットされます。
2	SEG_FLAG EXTF	EXT 領域エラー・フラグ CPU が外部メモリ領域、周辺 I/O 領域ヘデータ・アクセスした際にエラーが発生するとセットされます。
1	SEG_FLAG FCHF	コード・フラッシュ・エラー・フラグ CPU がコード・フラッシュ領域ヘデータ・アクセスした際に、フラッシュ ROM からのエラーが発生するとセットされます。



### 3.17 データ・フラッシュ・アクセス・ウェイト制御

データ・フラッシュをリードする場合のアクセス・ウェイトは、データ・フラッシュ・アクセス・ウェイト設定レジスタ（DCLKWAIT）で設定します。

CPU動作クロック周波数条件から許される、データ・フラッシュ・ウェイトサイクル数を下表に記します。

表 3-62 データ・フラッシュ・ウェイト・サイクル数

ウェイト・サイクル数 (CPU動作クロック数)	CPU動作クロック周波数 (クロック・ドメイン: ISO0_0)							
	10MHz以下	20MHz以下	30MHz以下	40MHz以下	50MHz以下	60MHz以下	70MHz以下	80MHz以下
4	○	—	—	—	—	—	—	—
5	○	○	—	—	—	—	—	—
6	○	○	○	—	—	—	—	—
7	○	○	○	○	—	—	—	—
8	○	○	○	○	○	—	—	—
9	○	○	○	○	○	○	—	—
10	○	○	○	○	○	○	○	—
11	○	○	○	○	○	○	○	○
12	○	○	○	○	○	○	○	○
13	○	○	○	○	○	○	○	○
14	○	○	○	○	○	○	○	○
15	○	○	○	○	○	○	○	○
16	○	○	○	○	○	○	○	○
17	○	○	○	○	○	○	○	○
18	○	○	○	○	○	○	○	○
19	○	○	○	○	○	○	○	○
23	○	○	○	○	○	○	○	○

ウェイト・サイクル数 (CPU動作クロック数)	CPU動作クロック周波数 (クロック・ドメイン: ISO0_0)							
	90MHz以下	100MHz以下	110MHz以下	120MHz以下	130MHz以下	140MHz以下	150MHz以下	160MHz以下
4	—	—	—	—	—	—	—	—
5	—	—	—	—	—	—	—	—
6	—	—	—	—	—	—	—	—
7	—	—	—	—	—	—	—	—
8	—	—	—	—	—	—	—	—
9	—	—	—	—	—	—	—	—
10	—	—	—	—	—	—	—	—
11	—	—	—	—	—	—	—	—
12	○	—	—	—	—	—	—	—
13	○	○	—	—	—	—	—	—
14	○	○	○	—	—	—	—	—
15	○	○	○	○	—	—	—	—
16	○	○	○	○	○	—	—	—
17	○	○	○	○	○	○	—	—
18	○	○	○	○	○	○	○	—
19	○	○	○	○	○	○	○	○
23	○	○	○	○	○	○	○	○

○：許されるウェイト数

備考 SSCGのクロックの場合、変調の中心周波数を表3-41内の周波数としてください。

## (1) DCLKWAIT データ・フラッシュ・アクセス・ウェイト設定レジスタ

このレジスタは、データ・フラッシュのアクセス・ウェイトを設定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FF43 6000<sub>H</sub>

**初期値** 17<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	WAIT[4:0]				
R	R	R	R/W	R/W	R/W	R/W	R/W

表 3-63 データ・フラッシュ・ウェイト・サイクル設定

WAIT[4:0] 設定値	ウェイト・サイクル数 (CPU 動作クロック数)
04 <sub>H</sub>	4
05 <sub>H</sub>	5
06 <sub>H</sub>	6
07 <sub>H</sub>	7
08 <sub>H</sub>	8
09 <sub>H</sub>	9
0A <sub>H</sub>	10
0B <sub>H</sub>	11
0C <sub>H</sub>	12
0D <sub>H</sub>	13
0E <sub>H</sub>	14
0F <sub>H</sub>	15
10 <sub>H</sub>	16
11 <sub>H</sub>	17
12 <sub>H</sub>	18
13 <sub>H</sub>	19
17 <sub>H</sub>	23

**備考** 本レジスタは、データ・フラッシュ領域へアクセスする以前に設定してください。

## 第4章 外部メモリ・アクセス機能

### 4.1 概要

このマイクロコントローラは、8つのチップ・セレクト領域を提供しており、チップ・セレクト領域ごとに個別にバス・サイズ、ウエイト時間を設定できます。

外部ウエイト機能のほか、チップ・セレクト領域ごとに、設定可能な各種プログラマブル・ウエイト機能を有しており、さまざまなタイプのメモリを接続できます。

## 4.2 特徴

**主な特徴** 外部バスとメモリ・コントローラの主な特徴を示します。

- マルチプレクス・バス（32ビット・アドレス／データ・バス）
- 各チップ・セレクト空間にてバス幅を選択可能（8/16/32ビット）
- 3つのチップセレクト信号搭載（CS2-CS4）
- チップ・セレクト空間ごとにアドレス・セットアップ / ホールド・ウエイト・ステートを設定可能
- 次のウエイト機能をチップ・セレクト空間ごとに設定可能
  - プログラマブル・データ・ウエイト
  - データ・ホールド・ウエイト
  - データ・セットアップ・ウエイト
  - アドレス・セットアップ・ウエイト
  - アイドル・サイクル挿入
- データ・エンディアン・フォーマットをチップ・セレクト空間ごとに設定可能

### 4.2.1 動作モード，接続可能メモリ

#### マルチプレクス・バス・モード

アドレス出力とデータ入出力に同一信号線を使用して外部メモリに接続する動作モードです。この動作モードでは、接続可能なメモリは全チップ・セレクト領域でSRAMに限定されてしまいますが、外部メモリ接続に要する端子数を削減できます。

### 4.2.2 チップ・セレクト出力機能

メモリ空間中の外部バス領域を3つのチップ・セレクト空間に分割して、チップ・セレクト領域ごとにチップ・セレクト信号を出力できます。このチップ・セレクト空間の割り当てはシステム固定であり、プログラマブルに変更することはできません。

ROMレスのマイクロコントローラの場合、チップ・セレクト空間は8つです。

### 4.2.3 動作設定機能

チップ・セレクト領域ごとにBCT0, BCT1レジスタによる動作の許可／禁止が設定できます。

#### 4.2.4 バス・サイジング機能

チップ・セレクト領域ごとにバス・サイズを 8 ビット / 16 ビット / 32 ビットの中から選択できます。選択したバス幅より大きなサイズのアクセスを行った場合、バス・サイジング機能により、バス幅以下のアクセスに分割してアクセスを行います。

#### 4.2.5 データ・エンディアン設定機能

チップ・セレクト領域ごとにデータ・エンディアン（リトル・エンディアン / ビッグ・エンディアン）を設定できます。ただし、旧 NEC エレクトロニクス社製のソフトウェア開発ツール（アセンブラやデバッガ）はリトル・エンディアンのみに対応しているため、ビッグ・エンディアンでの命令フェッチ動作には対応していません。

初期状態は、全チップ・セレクト領域がリトル・エンディアンに設定されています。

#### 4.2.6 プログラマブル・ウエイト設定機能

次のウエイト機能があります。チップ・セレクト領域ごとに設定できます。

- プログラマブル・データ・ウエイト
- データ・ホールド・ウエイト
- データ・セットアップ・ウエイト（マルチプレクス・バス・モード、ライト・アクセス時）
- アドレス・セットアップ・ウエイト（マルチプレクス・バス・モード時）
- アドレス・ホールド・ウエイト（マルチプレクス・バス・モード時）
- アイドル・サイクル機能

#### 4.2.7 外部ウエイト機能

SRAM メモリに対するライト・サイクル時に、WAITZ 端子より外部から任意幅のデータ・ウエイトを挿入できます。WAITZ 端子はデータ出力サイクルの手前でサンプリングされており、データのラッチ・タイミングを任意に遅らせられます。

#### 4.2.8 外部ウエイト・エラー検出機能

外部ウエイト端子の不具合などにより、外部ウエイトが常に入力され続ける状態になった場合、システムのハングアップを回避できるように、外部ウエイトが 128 クロックの間連続で検出された場合にウエイトを強制解除して、CPU が SysError 例外を発生します。

### 4.3 レジスタ

ここでは、外部メモリ・アクセス機能に関するレジスタについて説明します。

**備考** 4.3「レジスタ」で書かれているクロック数は、特に説明がない限りすべて外部バス・クロックでのクロック数です。

表 4-1 外部メモリ・アクセス制御レジスタ一覧

アドレス	レジスタ名称	略号	R/W	操作可能ビット			リセット値
				1	8	16	
FFFF7200 <sub>H</sub>	バス・サイズ設定レジスタ	BSC	R/W			○	<sup>a</sup>
FFFF7202 <sub>H</sub>	データ・エンディアン設定レジスタ	DEC	R/W			○	0000 <sub>H</sub>
FFFF7204 <sub>H</sub>	バス・サイクル・タイプ設定レジスタ 0	BCT0	R/W			○	
FFFF7206 <sub>H</sub>	バス・サイクル・タイプ設定レジスタ 1	BCT1	R/W			○	<sup>a</sup>
FFFF7208 <sub>H</sub>	データ・ウェイト設定レジスタ 0	DWC0	R/W			○	<sup>a</sup>
FFFF720A <sub>H</sub>	データ・ウェイト設定レジスタ 1	DWC1	R/W			○	<sup>a</sup>
FFFF720C <sub>H</sub>	データ・ホールド・ウェイト設定レジスタ	DHC	R/W			○	0000 <sub>H</sub>
FFFF720E <sub>H</sub>	データ・セットアップ・ウェイト設定レジスタ	DSC	R/W			○	0000 <sub>H</sub>
FFFF7210 <sub>H</sub>	アドレス・ウェイト設定レジスタ 0	AWC0	R/W			○	<sup>a</sup>
FFFF7212 <sub>H</sub>	アドレス・ウェイト設定レジスタ 1	AWC1	R/W			○	<sup>a</sup>
FFFF7214 <sub>H</sub>	アイドル・サイクル設定レジスタ 0	ICC0	R/W			○	0000 <sub>H</sub>
FFFF7216 <sub>H</sub>	アイドル・サイクル設定レジスタ 1	ICC1	R/W			○	0000 <sub>H</sub>
FFFF721A <sub>H</sub>	外部ウェイト・エラー設定レジスタ	EWC	R/W			○	0000 <sub>H</sub>

<sup>a)</sup> 製品によって異なります。

### 4.3.1 バス・サイズ設定レジスタ (BSC)

BSC レジスタは、外部バスのバス・サイズをチップ・セレクト領域ごとに設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7200<sub>H</sub>

初期値 製品によって異なります。

15	14	13	12	11	10	9	8
BS71	BS70	BS61	BS60	BS51	BS50	BS41	BS40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
BS31	BS30	BS21	BS20	BS11	BS10	BS01	BS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-2 BSC レジスタの内容

ビット位置	ビット名	機能															
15 : 14, 13 : 12, 11 : 10, 9 : 8, 7 : 6, 5 : 4, 3 : 2, 1 : 0	BSn1, BSn0	バス・サイズ設定ビット 各チップ・セレクト領域のバス幅を設定するビットです。															
		<table border="1"> <thead> <tr> <th>BSn1</th><th>BSn0</th><th>バス・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	BSn1	BSn0	バス・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	設定禁止
BSn1	BSn0	バス・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	設定禁止															

### 4.3.2 データ・エンディアン設定レジスタ (DEC)

DEC レジスタは、外部バスのエンディアンを設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7202<sub>H</sub>

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	DE7	0	DE6	0	DE5	0	DE4
R	R/W	R	R/W	R	R/W	R	R/W
7	6	5	4	3	2	1	0
0	DE3	0	DE2	0	DE1	0	DE0
R	R/W	R	R/W	R	R/W	R	R/W

表 4-3 DEC レジスタの内容

ビット位置	ビット名	機能
14, 12, 10, 8, 6, 4, 2, 0	DEn	データ・エンディアン設定ビット 各チップ・セレクト領域のエンディアンを設定するビットです。 0: リトル・エンディアン 1: ビッグ・エンディアン



### 4.3.3 バス・サイクル・タイプ設定レジスタ 0, 1 (BCT0, BCT1)

BCT0, BCT1 レジスタは、外部バスのバス・サイズをチップ・セレクト領域ごとに設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7204<sub>H</sub> : BCT0

FFFF7206<sub>H</sub> : BCT1

初期値 製品によって異なります。

BCT0	15	14	13	12	11	10	9	8
	ME3 a	0 R	BCT31 R/W	BCT30 R/W	ME2 a	0 R	BCT21 R/W	BCT20 R/W
	7	6	5	4	3	2	1	0
	ME1 a	0 R	BCT11 R/W	BCT10 R/W	ME0 a	0 R	BCT01 R/W	BCT00 R/W
BCT1	15	14	13	12	11	10	9	8
	ME7 a	0 R	BCT71 R/W	BCT70 R/W	ME6 a	0 R	BCT61 R/W	BCT60 R/W
	7	6	5	4	3	2	1	0
	ME5 a	0 R	BCT51 R/W	BCT50 R/W	ME4 a	0 R	BCT41 R/W	BCT40 R/W

a) 製品によって属性が異なります。

表 4-4 BCT0, BCT1 レジスタの内容

ビット位置	ビット名	機能									
13 : 12, 9 : 8, 5 : 4, 1 : 0	BCTn1, BCTn0	<p>バス・サイクル・タイプ設定ビット マルチプレクス・バス・モード時は、BCTn1, BCTn0 ビットの設定値は無視され、常に SRAM タイプのバス・サイクルを発生します (n = 0-7)。</p> <table border="1"> <thead> <tr> <th>BCTn1</th> <th>BCTn0</th> <th>メモリの種類</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SRAM</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	BCTn1	BCTn0	メモリの種類	0	0	SRAM	上記以外		設定禁止
BCTn1	BCTn0	メモリの種類									
0	0	SRAM									
上記以外		設定禁止									
15, 11, 7, 3	ME <sub>n</sub>	<p>メモリ・コントローラ動作許可ビット チップ・セレクト領域ごとにマイクロコントローラ内蔵メモリ・コントローラの動作の許可/禁止を設定するビットです。 0 : メモリ・コントローラ動作停止 (バス・サイクルを発生しません。) 1 : メモリ・コントローラ動作許可 ME<sub>n</sub> ビットにより動作禁止に指定した場合、マイクロコントローラは外部バス・サイクルを発生せず、リード/ライトが完了します (n = 0-7)。</p>									

### 4.3.4 データ・ウエイト設定レジスタ 0, 1 (DWC0, DWC1)

DWC0, DWC1 レジスタは外部バスのデータ・ウエイトを設定するレジスタです。

DWC0, DWC1 レジスタに対する設定は次のバス・サイクルのときに有効となります。

- SRAM バス・サイクル・タイプのデータ転送サイクル
- マルチプレクス・バス・モードのデータ転送サイクル

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7208<sub>H</sub> : DWC0

FFFF720A<sub>H</sub> : DWC1

初期値 製品によって異なります。

	15	14	13	12	11	10	9	8
DWC0	DW33	DW32	DW31	DW30	DW23	DW22	DW21	DW20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	DW13	DW12	DW11	DW10	DW03	DW02	DW01	DW00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8
DWC1	DW73	DW72	DW71	DW70	DW63	DW62	DW61	DW60
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	DW53	DW52	DW51	DW50	DW43	DW42	DW41	DW40
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-5 DWC0, DWC1 レジスタの内容

ビット位置	ビット名	意味				
15-12, 11-8, 7-4, 3-0	DWn3, DWn2, DWn1, DWn0	データ・ウェイト設定ビット 各チップ・セレクト領域のデータ・ウェイト数を設定するビットです。				
		DWn3	DWn2	DWn1	DWn0	データ・ウェイト数
		0	0	0	0	データ・ウェイトなし
		0	0	0	1	1クロック
		0	0	1	0	2クロック
		0	0	1	1	3クロック
		0	1	0	0	4クロック
		0	1	0	1	5クロック
		0	1	1	0	6クロック
		0	1	1	1	7クロック
		1	0	0	0	8クロック
		1	0	0	1	9クロック
		1	0	1	0	10クロック
		1	0	1	1	11クロック
		1	1	0	0	12クロック
		1	1	0	1	13クロック
		1	1	1	0	14クロック
1	1	1	1	15クロック		

### 4.3.5 データ・ホールド・ウエイト設定レジスタ (DHC)

DHC レジスタは、外部バスのデータ・ホールド・ウエイトを設定するレジスタです。

DHC レジスタの設定値 +1 サイクルのデータ・ホールド・ウエイトがライト・サイクルに対して挿入されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF7202<sub>H</sub>

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DH71	DH70	DH61	DH60	DH51	DH50	DH41	DH40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DH31	DH30	DH21	DH20	DH11	DH10	DH01	DH00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-6 DHC レジスタの内容

ビット位置	ビット名	意味															
15 : 14, 13 : 12, 11 : 10, 9 : 8, 7 : 6, 5 : 4, 3 : 2, 1 : 0	DHn1, DHn0	データ・ホールド・ウエイト設定ビット 各チップ・セレクト領域のデータ・ホールド・ウエイト数を設定するビットです。															
		<table border="1"> <thead> <tr> <th>DHn1</th><th>DHn0</th><th>データ・ホールド・ウエイト数</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>データ・ホールド・ウエイトなし</td></tr> <tr> <td>0</td><td>1</td><td>1クロック</td></tr> <tr> <td>1</td><td>0</td><td>2クロック</td></tr> <tr> <td>1</td><td>1</td><td>3クロック</td></tr> </tbody> </table>	DHn1	DHn0	データ・ホールド・ウエイト数	0	0	データ・ホールド・ウエイトなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
DHn1	DHn0	データ・ホールド・ウエイト数															
0	0	データ・ホールド・ウエイトなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

### 4.3.6 データ・セットアップ・ウエイト設定レジスタ (DSC)

DSC レジスタは、マルチプレクス・バス・モードにおける外部バスのデータ・セットアップ・ウエイトをチップ・セレクト領域ごとに設定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF720E<sub>H</sub>

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
DS71	DS70	DS61	DS60	DS51	DS50	DS41	DS40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DS31	DS30	DS21	DS20	DS11	DS10	DS01	DS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-7 DSC レジスタの内容

ビット位置	ビット名	意味															
15 : 14, 13 : 12, 11 : 10, 9 : 8, 7 : 6, 5 : 4, 3 : 2, 1 : 0	DSn1, DSn0	データ・セットアップ・ウエイト設定ビット 各チップ・セレクト領域のデータ・セットアップ・ウエイト数を設定するビット です。 <table border="1"> <thead> <tr> <th>DSn1</th><th>DSn0</th><th>データ・セットアップ・ウエイト数</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>データ・セットアップ・ウエイトなし</td></tr> <tr> <td>0</td><td>1</td><td>1クロック</td></tr> <tr> <td>1</td><td>0</td><td>2クロック</td></tr> <tr> <td>1</td><td>1</td><td>3クロック</td></tr> </tbody> </table>	DSn1	DSn0	データ・セットアップ・ウエイト数	0	0	データ・セットアップ・ウエイトなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
DSn1	DSn0	データ・セットアップ・ウエイト数															
0	0	データ・セットアップ・ウエイトなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

### 4.3.7 アドレス・ウエイト設定レジスタ 0, 1 (AWC0, AWC1)

AWC レジスタは、外部バスのアドレス・ウエイト期間をチップ・セレクト領域ごとに設定するレジスタです。

AWC レジスタに対する設定はマルチプレクス・バス・モード時にのみ有効になります。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF7210<sub>H</sub> : AWC0

FFFF7212<sub>H</sub> : AWC1

初期値 製品によって異なります。

	15	14	13	12	11	10	9	8
AWC0	AHW31	AHW30	ASW31	ASW30	AHW21	AHW20	ASW21	ASW20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	AHW11	AHW10	ASW11	ASW10	AHW01	AHW00	ASW01	ASW00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8
AWC1	AHW71	AHW70	ASW71	ASW70	AHW61	AHW60	ASW61	ASW60
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	AHW51	AHW50	ASW51	ASW50	AHW41	AHW40	ASW41	ASW40
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4-8 AWC0, AWC1 レジスタの内容

ビット位置	ビット名	意味															
13 : 12, 9 : 8, 5 : 4, 1 : 0	ASWn1, ASWn0	<p>アドレス・セットアップ・ウエイト設定ビット 各チップ・セレクト領域のアドレス・セットアップ・ウエイト数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>ASWn1</th> <th>ASWn0</th> <th>アドレス・セットアップ・ウエイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アドレス・セットアップ・ウエイトなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table>	ASWn1	ASWn0	アドレス・セットアップ・ウエイト数	0	0	アドレス・セットアップ・ウエイトなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
ASWn1	ASWn0	アドレス・セットアップ・ウエイト数															
0	0	アドレス・セットアップ・ウエイトなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															
15 : 14, 11 : 10, 7 : 6, 3 : 2	AHWn1, AHWn0	<p>アドレス・ホールド・ウエイト設定ビット 各チップ・セレクト領域のアドレス・ホールド・ウエイト数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>AHWn1</th> <th>AHWn0</th> <th>アドレス・ホールド・ウエイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アドレス・ホールド・ウエイトなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table>	AHWn1	AHWn0	アドレス・ホールド・ウエイト数	0	0	アドレス・ホールド・ウエイトなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
AHWn1	AHWn0	アドレス・ホールド・ウエイト数															
0	0	アドレス・ホールド・ウエイトなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

### 4.3.8 アイドル・サイクル設定レジスタ 0, 1 (ICC0, ICC1)

ICC レジスタは、外部バスのアイドル・サイクル数を設定するレジスタです。アイドル・サイクル数は、チップ・セレクト領域ごと、リード時/ライト時ごとに設定できます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFFF7214<sub>H</sub> : ICC0

FFFF7216<sub>H</sub> : ICC1

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** バースト・リード・サイクルの途中およびバス・サイジング・サイクルの途中では ICC<sub>m</sub> レジスタによるアイドル・サイクルは無効です (m = 0, 1)。

	15	14	13	12	11	10	9	8
ICC0	WIC31	WIC30	RIC31	RIC30	WIC21	WIC20	RIC21	RIC20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	WIC11	WIC10	RIC11	RIC10	WIC01	WIC00	RIC01	RIC00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	15	14	13	12	11	10	9	8
ICC1	WIC71	WIC70	RIC71	RIC70	WIC61	WIC60	RIC61	RIC60
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	7	6	5	4	3	2	1	0
	WIC51	WIC50	RIC51	RIC50	WIC41	WIC40	RIC41	RIC40
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



表 4-9 ICC0, ICC1 レジスタの内容

ビット位置	ビット名	意味															
13 : 12, 9 : 8, 5 : 4, 1 : 0	RICn1, RICn0	<p>リード・サイクル後アイドル設定ビット 各チップ・セレクト領域のリード・サイクル後アイドル・サイクル数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>RICn1</th> <th>RICn0</th> <th>アイドル・サイクル数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アイドル・サイクルなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table> <p>RICn1, RICn0 ビットに対する設定は、すべてのバス・モード／バス・サイクル・タイプのリード・アクセスに対して有効になります。</p>	RICn1	RICn0	アイドル・サイクル数	0	0	アイドル・サイクルなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
RICn1	RICn0	アイドル・サイクル数															
0	0	アイドル・サイクルなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															
15 : 14, 11 : 10, 7 : 6, 3 : 2	WICn1, WICn0	<p>ライト・サイクル後アイドル設定ビット 各チップ・セレクト領域のライト・サイクル後のアイドル・サイクル数を設定するビットです。</p> <table border="1"> <thead> <tr> <th>WICn1</th> <th>WICn0</th> <th>アイドル・サイクル数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>アイドル・サイクルなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>2クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>3クロック</td> </tr> </tbody> </table> <p>WICn1, WICn0 ビットに対する設定は、すべてのバス・モード／バス・サイクル・タイプのライト・アクセスに対して有効になります。</p>	WICn1	WICn0	アイドル・サイクル数	0	0	アイドル・サイクルなし	0	1	1クロック	1	0	2クロック	1	1	3クロック
WICn1	WICn0	アイドル・サイクル数															
0	0	アイドル・サイクルなし															
0	1	1クロック															
1	0	2クロック															
1	1	3クロック															

### 4.3.9 外部ウエイト・エラー設定レジスタ (EWC)

EWC レジスタは、外部ウエイト・エラー機能の有効／無効をチップ・セレクト領域ごとに設定するレジスタです。

EWC レジスタに対する設定は次のバス・サイクルのときに有効になります。

- マルチプレクス・バス・モード

アクセス 16 ビット単位でリード／ライト可能です。

アドレス FFFF721A<sub>H</sub>

初期値 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	EW7	0	EW6	0	EW5	0	EW4
R	R/W	R	R/W	R	R/W	R	R/W
7	6	5	4	3	2	1	0
0	EW3	0	EW2	0	EW1	0	EW0
R	R/W	R	R/W	R	R/W	R	R/W

表 4-10 EWC レジスタの内容

ビット位置	ビット名	意味
14, 12, 10, 8, 6, 4, 2, 0	EWn	外部ウエイト・エラー設定ビット。 チップ・セレクト領域ごとの外部ウエイト・エラーの有効／無効を設定するビットです。 0：外部ウエイト・エラー無効 1：外部ウエイト・エラー有効 この機能を有効にし、外部ウエイトを 128 クロック連続で検出すると、ウエイトが強制解除されるとともに、CPU が SysError 例外が発生します。

## 4.4 バス制御機能

### 4.4.1 チップ・セレクト出力機能

接続された外部メモリ領域を図 4-1 「外部メモリ・マップ」に示すように CSn (n=0-7) までの 8 つのチップ・セレクト領域に分割し管理しています。

外部バスに対するバス・サイクルを発生する際には、アクセス対象アドレスを MAO[28:0] 端子から出力するとともに、アクセス対象アドレスに対応した CSZn (n=0-7) 出力端子をアクティブ (ロウ・レベル) にします。

バス・サイズやウエイト/アイドル数などといった外部バスに対する各種設定はすべてチップ・セレクト領域ごとに設定できます。

これらの機能を利用することにより、チップ・セレクト領域ごとに異なる種類のメモリを接続できます。

なお、チップ・セレクト領域の割り当てはシステム固定であり、プログラムブルではありません。

次に、メモリ・マップを示します。

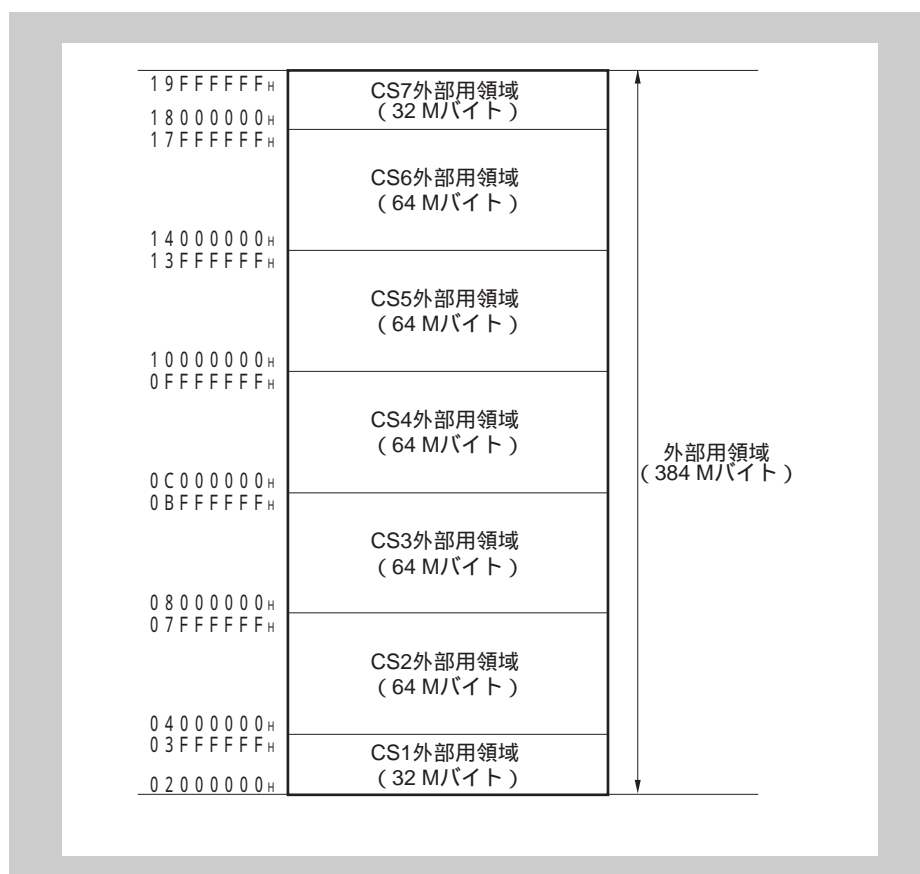


図 4-1 外部メモリ・マップ

#### 4.4.2 動作許可／動作禁止設定機能

BCT0, BCT1 レジスタの MEn (n = 0-7) ビットに対する設定により、4.4.1「チップ・セレクト出力機能」で示すチップ・セレクト領域ごとに動作の許可／禁止を設定できます。

なお、この機能により動作禁止に設定されたチップ・セレクト領域に対して、CPU（または DMA）からアクセス要求された場合、外部バス・サイクルを発生せず、ライト値は無視され、リード値は 00000000<sub>H</sub> になります。

#### 4.4.3 バス・サイズ設定機能

CPU（または DMA）からのアクセス要求は、アクセス先の外部バスのビット幅に合わせて分割され、アクセスされます。

外部バスのビット幅は BSC レジスタに対する設定によりチップ・セレクト領域ごとに 32/16/8 ビットの中から任意に選択できます。

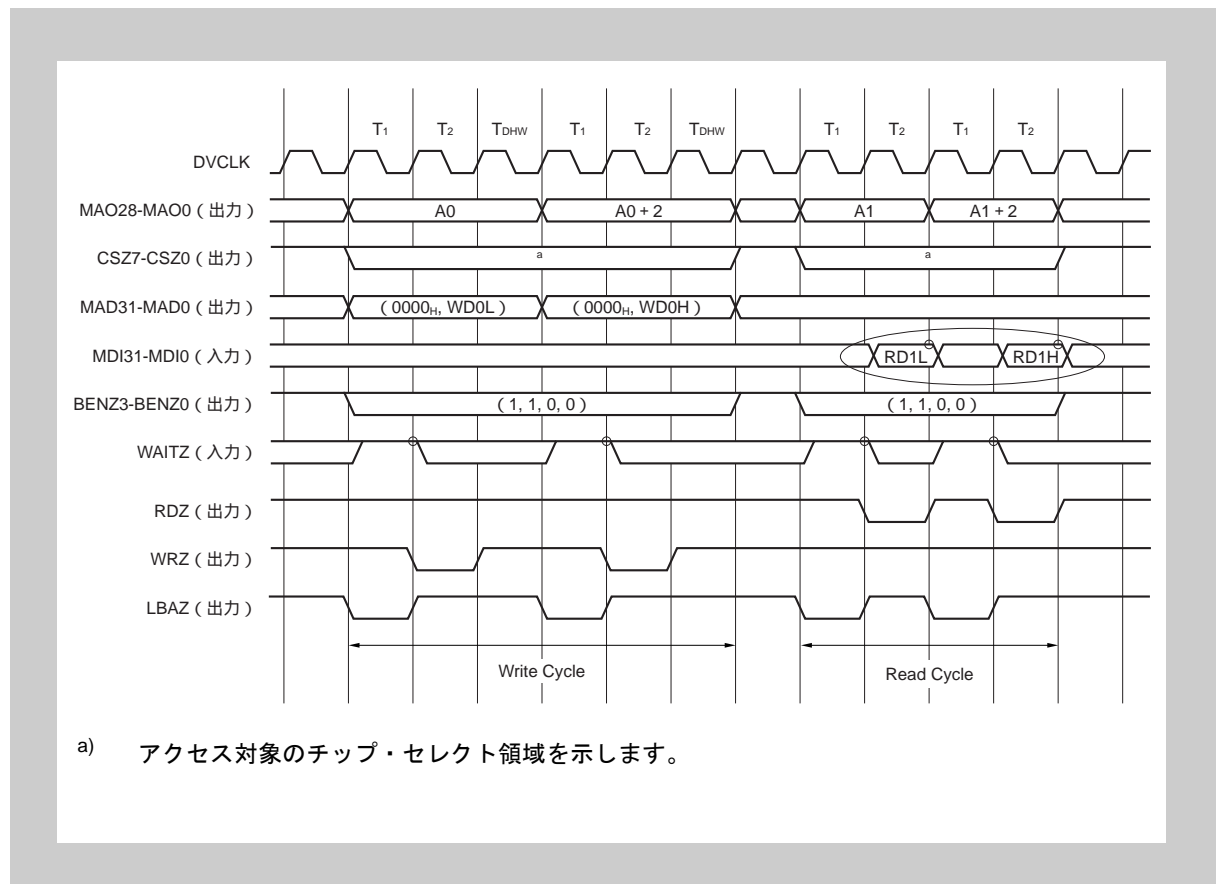


図 4-2 バス・サイズ 16 ビットにおける SRAM サイクル

#### 4.4.4 データ・エンディアン設定機能

外部バス・インタフェースのデータ・エンディアンをリトル・エンディアンまたはビッグ・エンディアンの中から選択できます。DEC レジスタにより、チップ・セレクト領域ごとに設定できます。入力端子による初期設定はできません。初期状態は全チップ・セレクト領域リトル・エンディアンに設定されています。

データ・エンディアンにビッグ・エンディアンが指定されているチップ・セレクト領域へのアクセスはビッグ・エンディアンで行われます。

この機能は、SRAM アクセス・タイプでのみ利用可能です。

---

**注意** このマイクロコントローラではビッグ・エンディアンでの命令フェッチ動作に対応していません。

---

**備考** 外部バス・サイズ、データ・サイズごとのデータ・フローの詳細については、4.7「データ・フロー」を参照してください。

## 4.5 ウェイト機能

ウェイト機能を次に示します。

表 4-11 ウェイト機能

ウェイト機能		データ・ウェイト		データ・ホールド・ウェイト	データ・セットアップ・ウェイト	アドレス・ウェイト	アイドル
		プログラマブル	外部ウェイト				
マルチプレクス・バス・モード	リード	○	○	-	-	○	○
	ライト	○	○	○	○	○	○
設定レジスタ		DWC0 DWC1	-	DHC	DSC	AWC	ICC0 ICC1
最大ウェイト数		15	-	3	3	3	3

### 4.5.1 プログラマブル・データ・ウェイト機能

リード・ストロブ、およびライト・ストロブ期間を延長してデータのラッチ・タイミングを遅らせるためのウェイト機能です。

すべてのライト・アクセス、および SRAM（マルチプレクス）の最初のデータ転送タイミングに有効になります。

最大 15 サイクルを挿入できます。

DWC0, DWC1 レジスタによりチップ・セレクト領域ごとに設定できます。

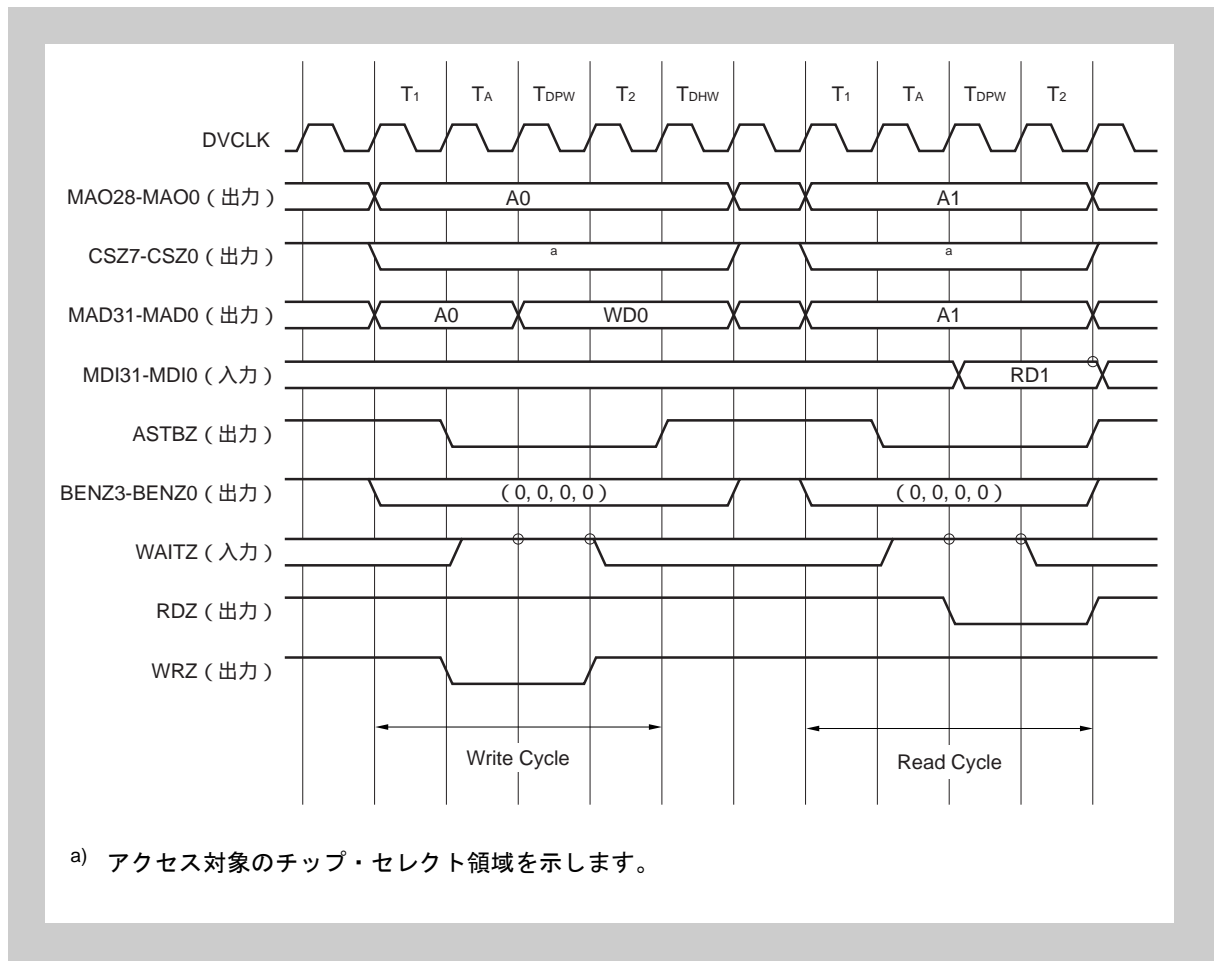


図 4-3 マルチプレクス・バス・モードにおけるプログラマブル・データ・ウエイト

### 4.5.2 外部ウエイト機能

バス・サイクル・タイプとしてマルチプレクス・バス・モードが選択されている場合、WAITZ 端子により任意の長さのデータ・ウエイトを挿入できます。

WAITZ端子入力レベルは、 $T_A$ 、 $T_1$ サイクルおよび $T_{DPW}$ 、 $T_{DEW}$ サイクル終了直後にサンプリングされます。

なお、データ・ウエイト・サイクルは、データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1 レジスタ) の設定によるプログラマブル・データ・ウエイトと WAITZ 端子入力による外部ウエイト指定との論理和 (OR) をとったものを用いて挿入されます。

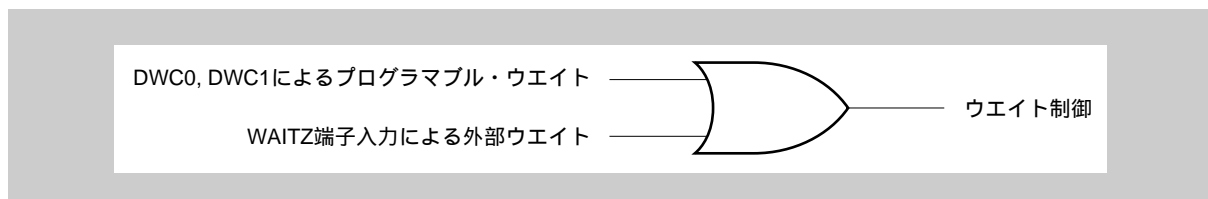


図 4-4 内部データ・ウエイト生成回路

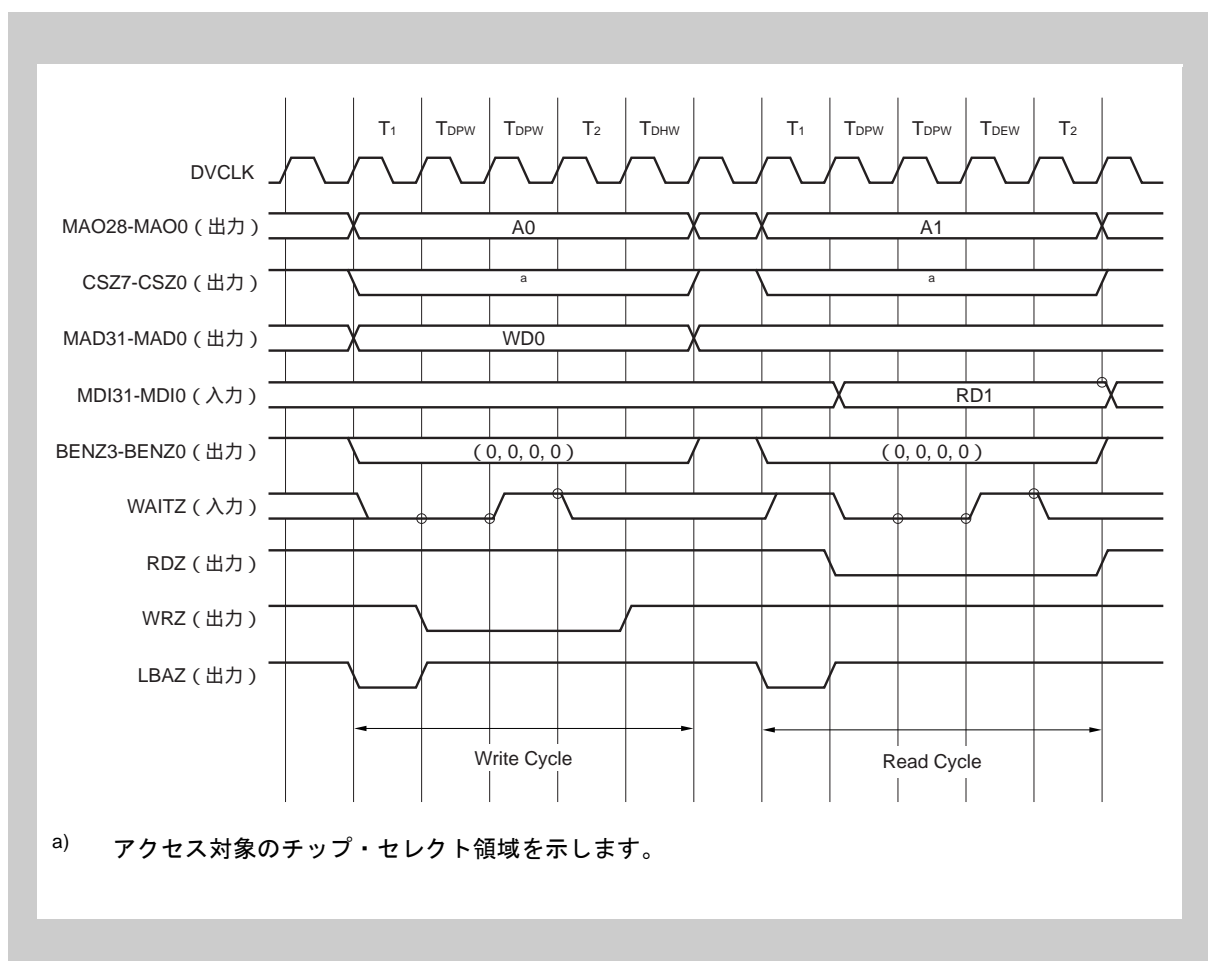


図 4-5 外部データ・ウエイトとプログラマブル・データ・ウエイトの関係 (DWC = 2 の場合)



### 4.5.3 外部ウエイト・エラー検出機能

外部ウエイト・エラー設定レジスタ（EWC レジスタ）の EWN ビットに 1 を設定することにより、外部ウエイトが 128 サイクル以上連続して入力され続けた場合に、データ・ウエイトを強制解除し、アクセス要求を行った CPU にエラーを通知する機能を有しています。このとき CPU では SysError 例外が発生します。

この機能を使用することにより、WAITZ 入力端子に対して不意な不具合が発生した場合においても、システムをハングアップさせることなく異常検出の例外処理ができます。

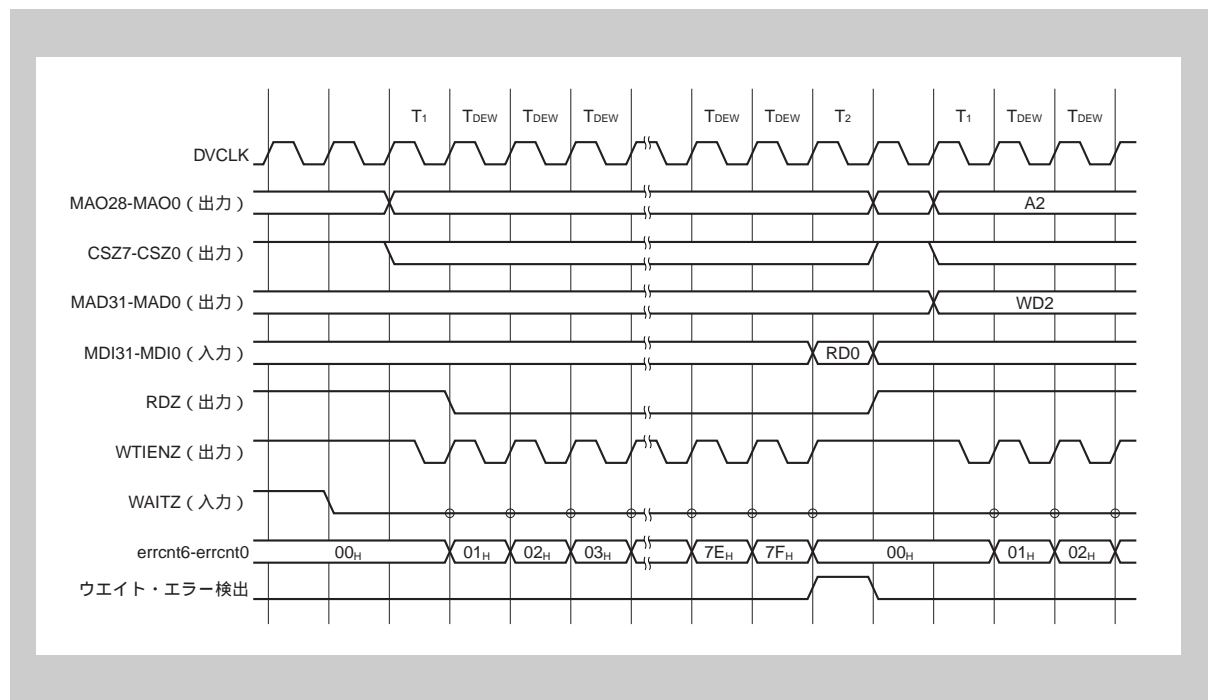


図 4-6 外部ウエイト・エラー検出時の動作タイミング

CPU などのアクセス要求元にエラーが発生させたあと、外部ウエイト・エラー検出回路は初期化され、以降の転送要求に対して WAITZ 入力端子からのデータ・ウエイト要求も含めてすべて通常通りに処理します。

このとき、再び外部ウエイトが 128 サイクル連続して入力されると、再度データ・ウエイトを強制解除するとともに、CPU などのアクセス要求元に対してエラーを通知します。

#### 4.5.4 データ・セットアップ・ウエイト機能

データのライト・ストロブに対するセットアップ時間を確保するために、転送ステートの前にウエイトを挿入する機能です。

マルチプレクス・バス・モードのライト・サイクル時のみ有効になります。

最大3サイクルを挿入できます。

DSC レジスタによりチップ・セレクト領域ごとに設定できます。初期状態は全チップ・セレクト領域ウエイトなしです。

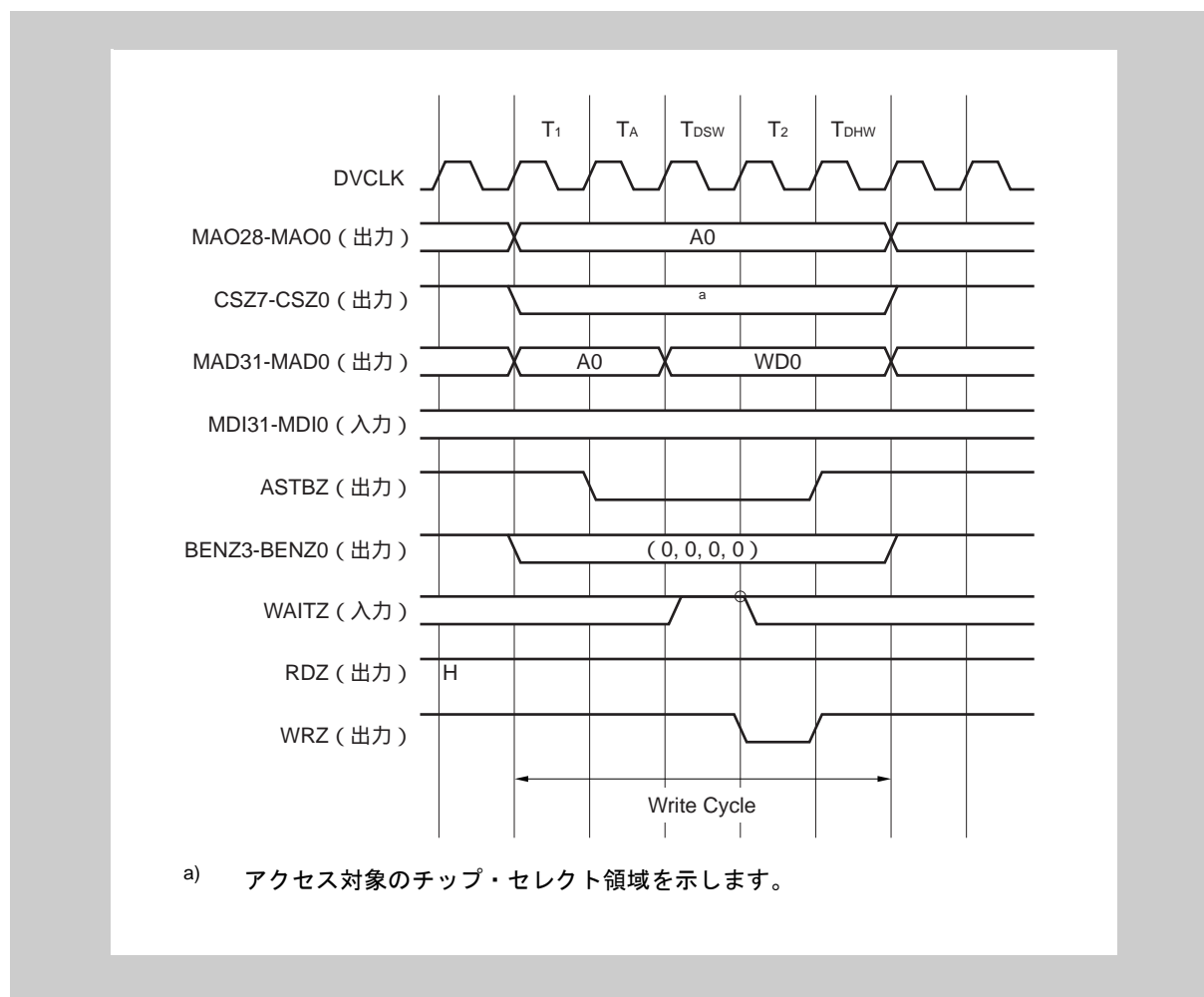


図 4-7 データ・セットアップ・ウエイト

### 4.5.5 データ・ホールド・ウエイト機能

データのライト・ストロブに対するホールド時間を確保するために、ライト・ストロブ信号立ち上がり後のステートに対しウエイトを挿入する機能です。

すべてのバス・サイクル・タイプにおけるライト・サイクル時のみ有効になります。

ライト・サイクル発生時に必ず1ステートのデータ・ホールド・ウエイトを挿入します。このデータ・ホールド・ウエイトを、DHCレジスタの設定により最大3サイクル分延長し、都合4サイクル分の挿入ができます。

DHCレジスタによるデータ・ホールド・ウエイトの延長数はチップ・セレクト領域ごとに設定できます。初期状態は全チップ・セレクト領域ウエイトの延長なし（データ・ホールド・ウエイト1サイクル）です。

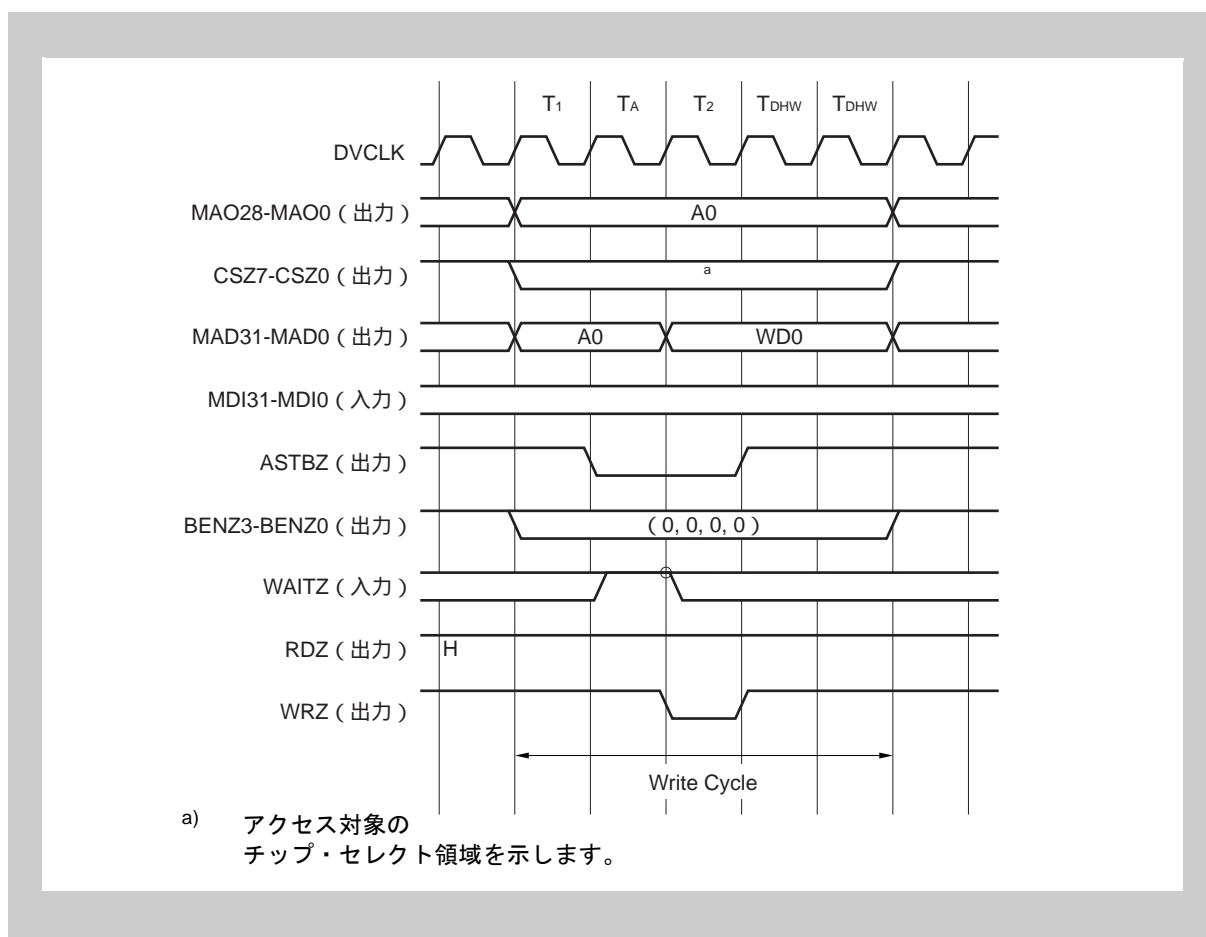


図 4-8 データ・ホールド・ウエイト（マルチプレクス・バス・モード時）

### 4.5.6 アドレス・セットアップ・ウエイト機能

マルチプレクス・バス・モードにおいて、アドレス・ストロブに対するセットアップ時間を確保するためにアドレス転送状態の前にウエイトを挿入する機能です。

マルチプレクス・バス・モードでのみ有効になります。

最大3サイクルを挿入できます。

AWC0, AWC1 レジスタによりチップ・セレクト領域ごとに設定できます。

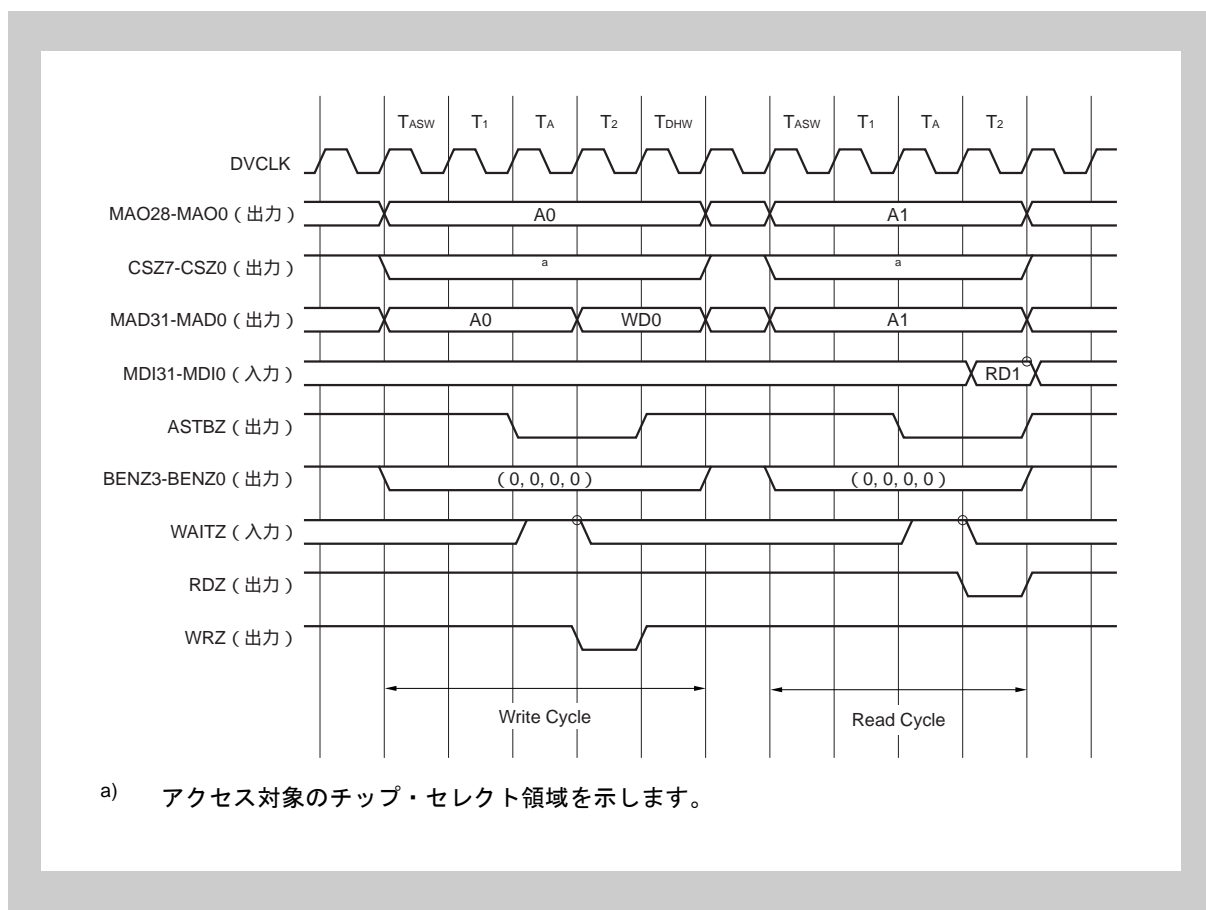


図 4-9 アドレス・セットアップ・ウエイト

### 4.5.7 アドレス・ホールド・ウエイト機能

マルチプレクス・バス・モードにおいて、アドレス・ストロブに対するホールド時間を確保するためにアドレス転送ステートの後にウエイトを挿入する機能です。

マルチプレクス・バス・モードでのみ有効になります。

最大3サイクルを挿入できます。

AWC0, AWC1 レジスタによりチップ・セレクト領域ごとに設定できます。

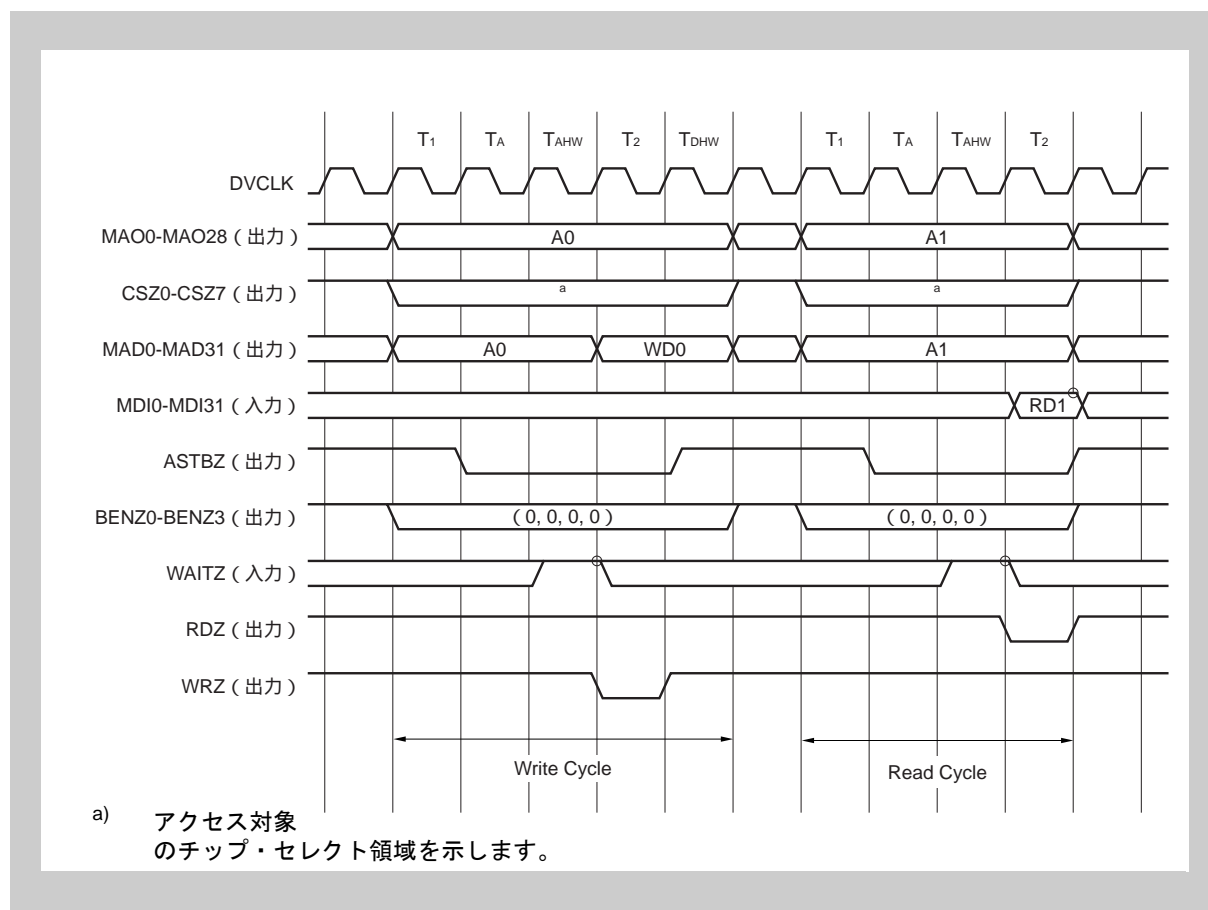


図 4-10 アドレス・ホールド・ウエイト

### 4.5.8 アイドル挿入機能

サイクルーサイクル間でバスの競合が発生するのを防止するために、各サイクルの最終ステートのあとにアイドル・ステートを挿入する機能です。

すべてのメモリ・タイプにおいて、最大3サイクルまで挿入できます。

ICC0, ICC1 レジスタへの設定により、チップ・セレクト領域ごと、リード・サイクル後/ライト・サイクル後個別に設定できます。

初期状態は、全チップ・セレクト領域アイドル・サイクルなしです。

**注意** バス・サイクル終了後、CPU（またはDMA）からの後続バス・サイクルが発生するまでの間には、アイドル・サイクル設定によらず1サイクルかかります。このため、たとえアイドル・サイクルなしに設定していた場合でも、バス・サイクル間には1サイクルの間隔が生じます。

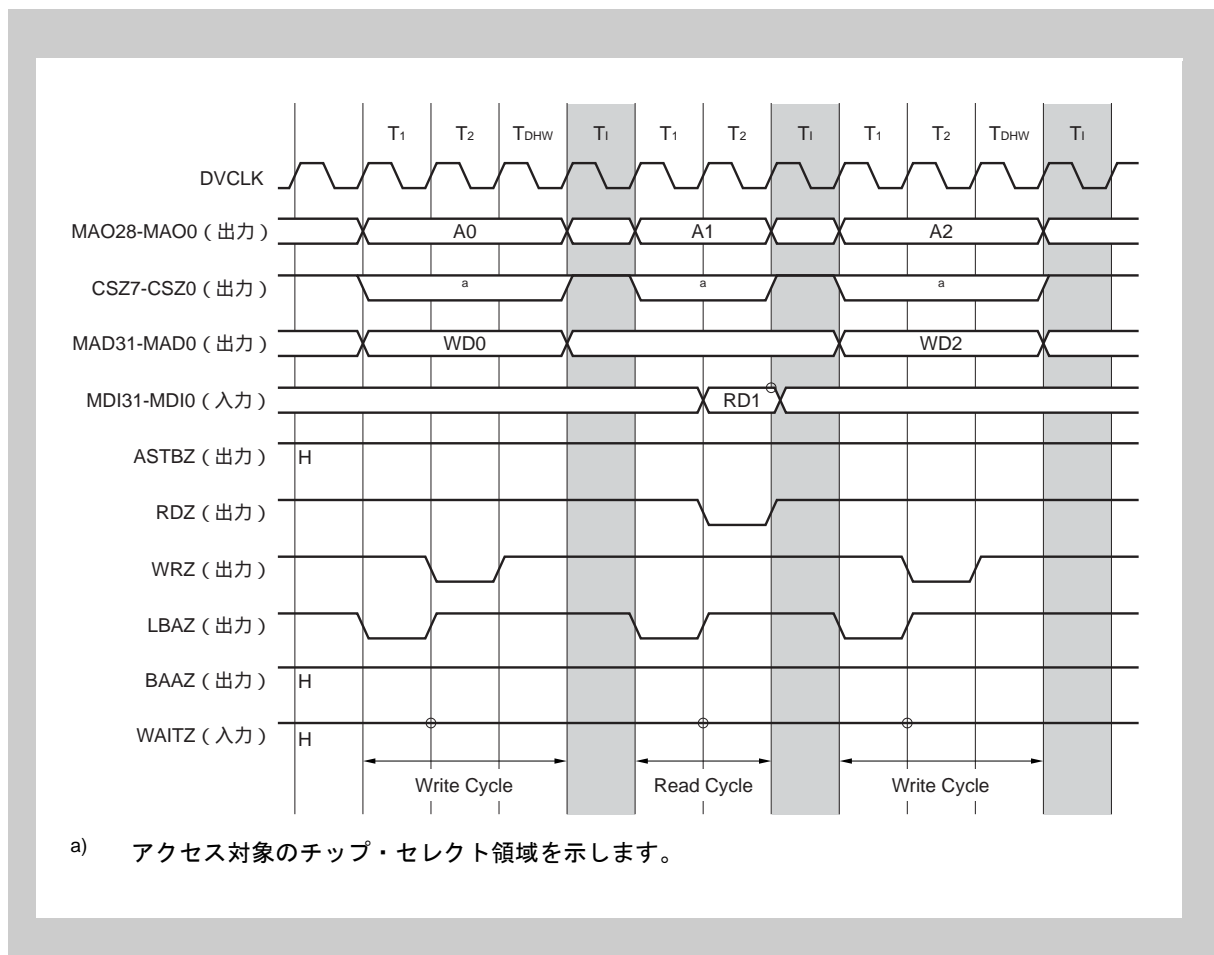


図 4-11 アイドル・サイクル

## 4.6 メモリ接続例

### 4.6.1 マルチプレクス・バス・モード接続例

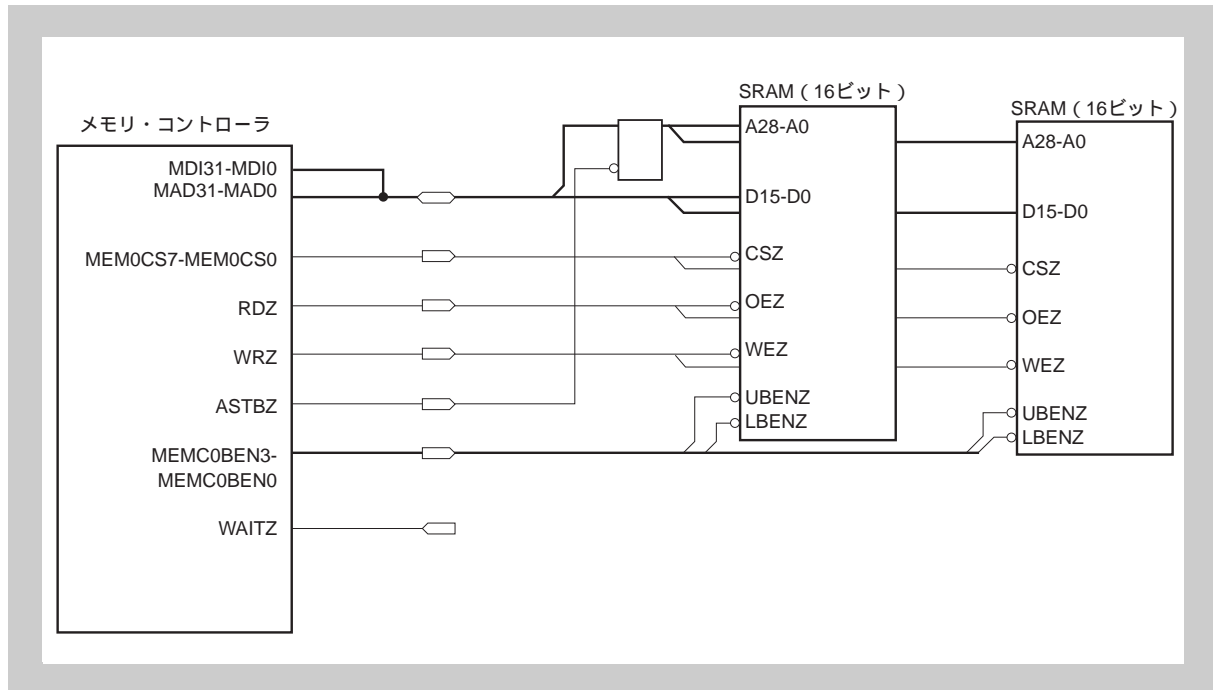


図 4-12 マルチプレクス・バス・モード接続例

## 4.7 データ・フロー

外部メモリへのデータ転送フローは、データ幅、エンディアン指定、外部バス幅、開始アドレスなどによって異なります。

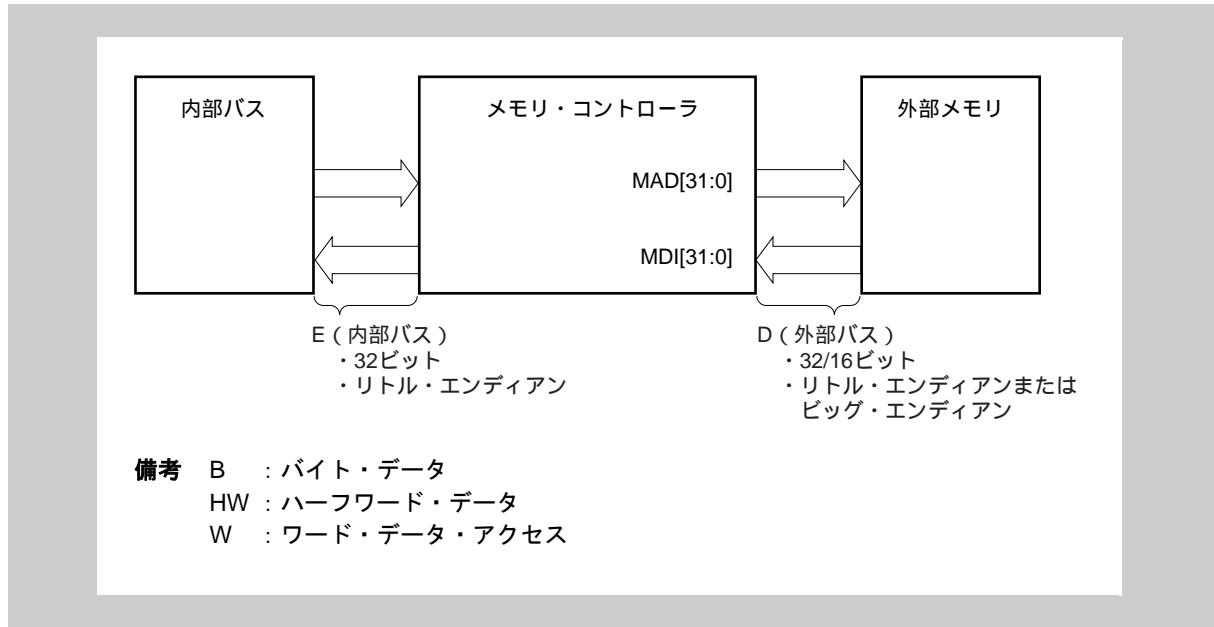


図 4-13 内部バス、メモリ・コントローラ、外部バスのデータの流れ

次ページ以降に各条件でのデータ・フローを示します。



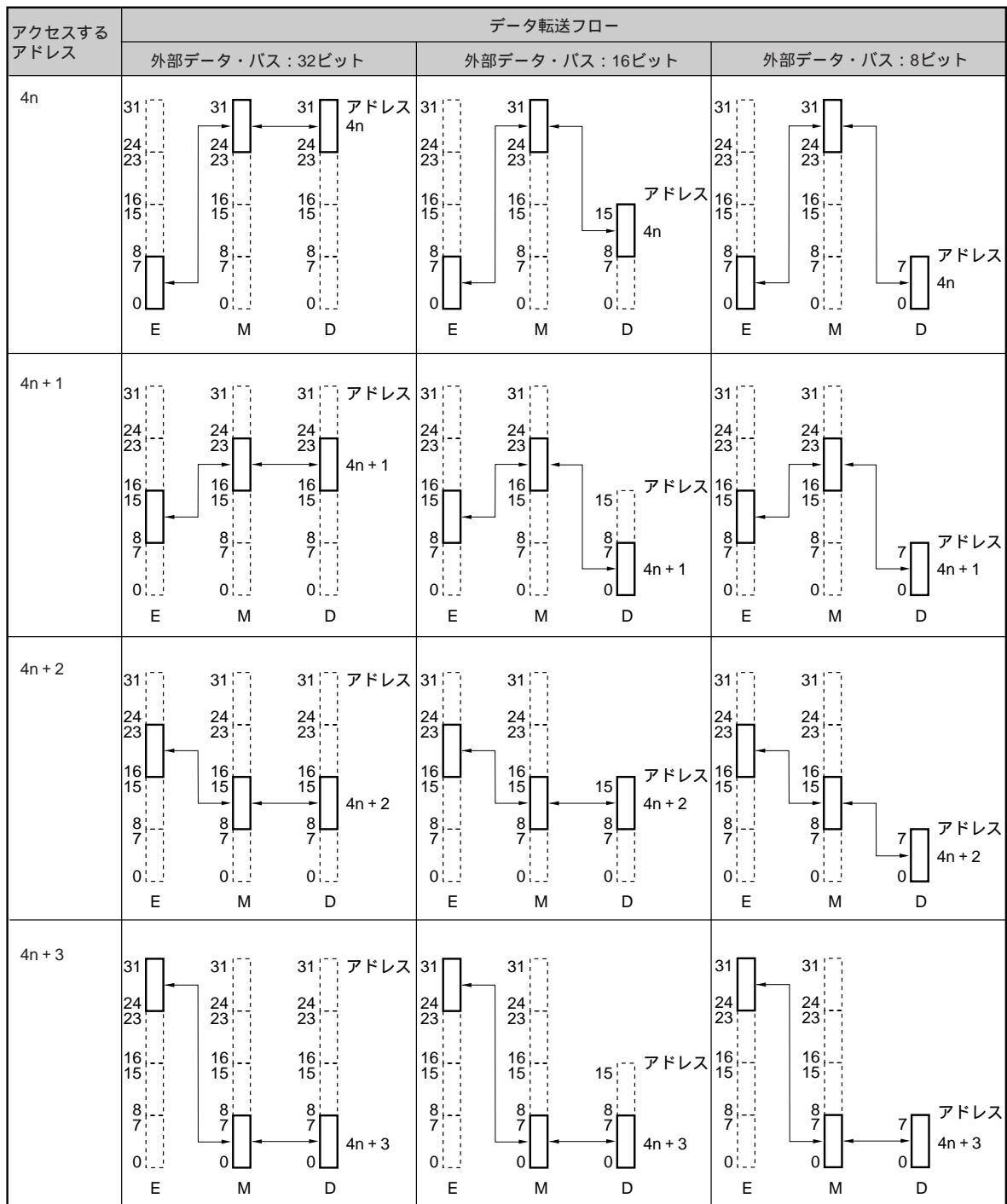
### 4.7.1 バイト・アクセス時のデータ・フロー

表 4-12 バイト・アクセス時のデータ・フロー（リトル・エンディアン）

アクセスする アドレス	データ転送フロー		
	外部データ・バス：32ビット	外部データ・バス：16ビット	外部データ・バス：8ビット
4n			
4n + 1			
4n + 2			
4n + 3			

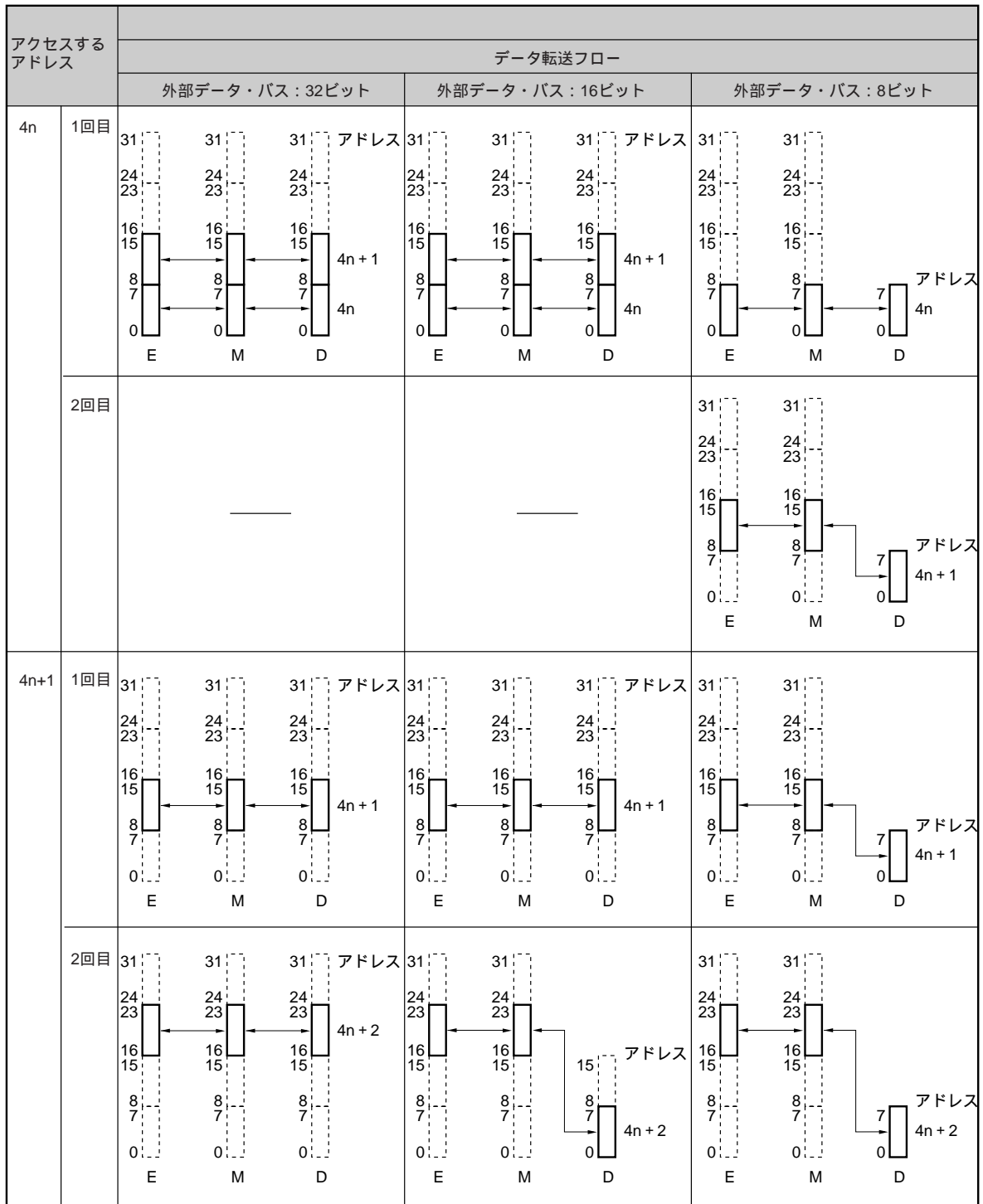
備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-13 バイト・アクセス時のデータ・フロー（ビッグ・エンディアン）



備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-14 ハーフワード・アクセス時のデータ・フロー (リトル・エンディアン) (1/2)



備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-15 ハーフワード・アクセス時のデータ・フロー (リトル・エンディアン) (2/2)

アクセスする アドレス		データ転送フロー		
		外部データ・バス : 32ビット	外部データ・バス : 16ビット	外部データ・バス : 8ビット
		4n+2	1回目	
	2回目			
4n+3	1回目			
	2回目			

備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-16 ハーフワード・アクセス時のデータ・フロー (ビッグ・エンディアン)

アクセスする アドレス		データ転送フロー		
		外部データ・バス : 32ビット	外部データ・バス : 16ビット	外部データ・バス : 8ビット
		4n	1回目	
	2回目	---	---	
4n+2	1回目			
	2回目	---	---	

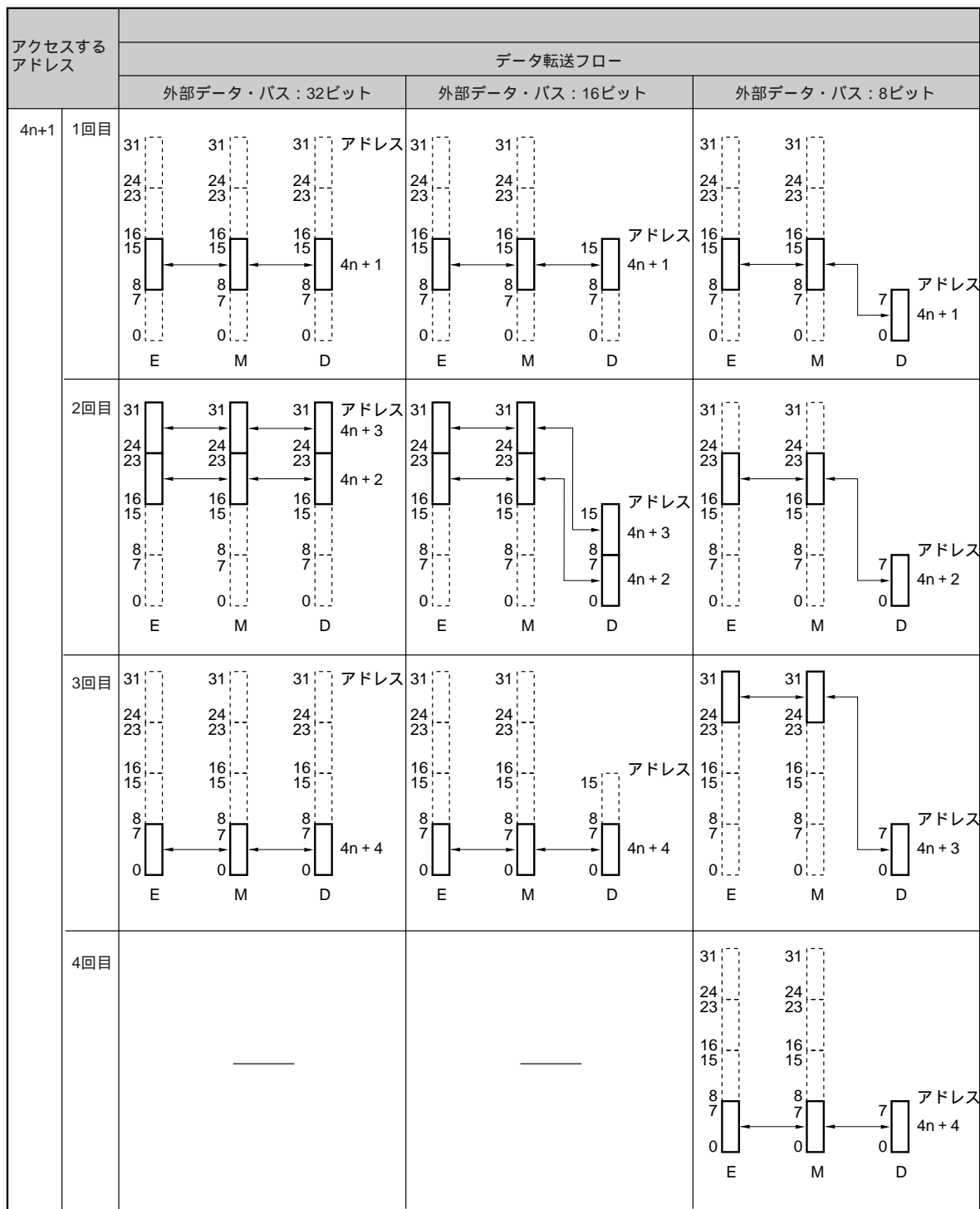
- 備考 1. E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...
2. 先頭アドレスが 4n+1, 4n+3 で始まるアクセスは禁止です。

表 4-17 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (1/4)

アクセスする アドレス		データ転送フロー		
		外部データ・バス : 32ビット	外部データ・バス : 16ビット	外部データ・バス : 8ビット
4n	1回目			
	2回目	—		
	3回目	—	—	
	4回目	—	—	

備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-18 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (2/4)



備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

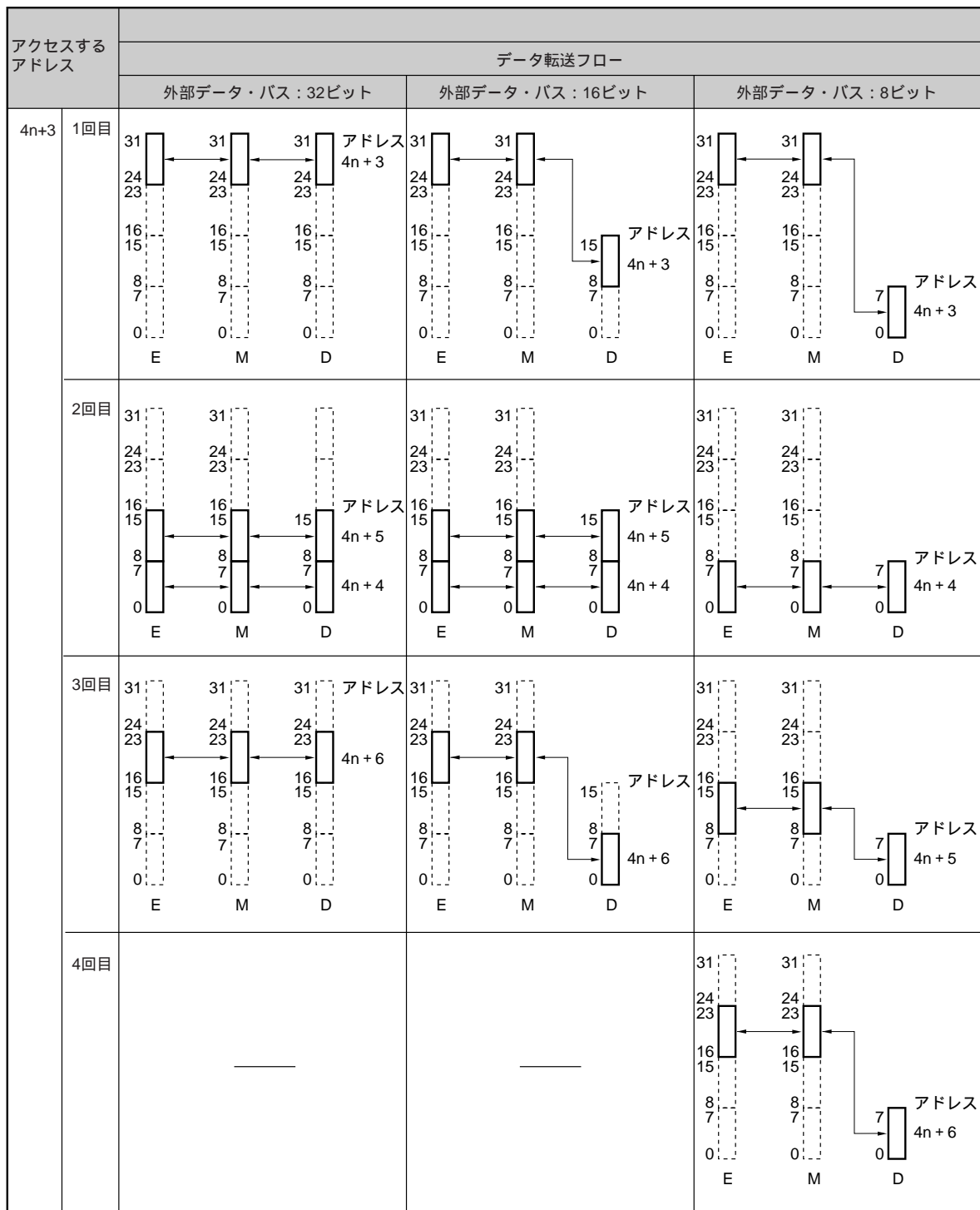
表 4-19 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (3/4)

アクセスする アドレス		データ転送フロー		
		外部データ・バス : 32ビット	外部データ・バス : 16ビット	外部データ・バス : 8ビット
4n+2	1回目			
	2回目			
	3回目	<p>---</p>	<p>---</p>	
	4回目	<p>---</p>	<p>---</p>	

備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...



表 4-20 ワード・アクセス時のデータ・フロー (リトル・エンディアン) (4/4)



備考 E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

表 4-21 ワード・アクセス時のデータ・フロー (ビッグ・エンディアン)

アクセスする アドレス		データ転送フロー		
		外部データ・バス : 32ビット	外部データ・バス : 16ビット	外部データ・バス : 8ビット
		4n	1回目	
	2回目			
	3回目			
	4回目			

備考 1. E : 内部バス  
M : MEMC データ・バッファ  
D : 外部データ・バス  
n = 0, 1, 2, 3, ...

2. 先頭アドレスが 4n+1, 4n+2, 4n+3 で始まるアクセスは禁止です。

## 第5章 割り込み機能

### 5.1 特徴

特定の要因によって実行中のプログラムから別のプログラムへの強制的な分岐動作を発生する事象を例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、V850E2M アーキテクチャ編 ユーザーズ・マニュアルを参照してください。

表 5-1 例外要因一覧

名称	略称	発生要因	優先順位	例外レベル
CPU 初期化	RESET	リセット入力	P1	—
FE レベル・ノンマスクابل割り込み <sup>a)</sup>	FENMI	FENMI 入力	P2	FE
システム・エラー例外	SYSERR	SYSERR 入力 (4 要因)	P3	FE
周辺装置保護例外	PPI	周辺装置保護違反	P4	FE
タイミング監視例外	TSI	タイミング監視違反	P5	FE
FE レベル・マスクابل割り込み <sup>a)</sup>	FEINT	FEINT 入力	P6	FE
浮動小数点演算例外 (インプレサイス)	FPI	FPU 命令	P7	EI
EI レベル・マスクابل割り込み <sup>a)</sup>	INT	マスクابل割り込み入力	P8	EI
実行保護例外	MIP	実行保護違反	P9	FE
メモリ・エラー例外	MEP	命令アクセス・エラー入力	P10	FE
データ保護例外	MDP	データ保護違反	P11	FE
浮動小数点演算例外 (プレサイス)	FPP	FPU 命令		EI
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令		FE
予約命令例外	RIEX	予約命令		FE
FE レベル・ソフトウェア例外	FETRAPEX	FETRAP 命令 (vector = 1H-FH)		FE
EI レベル・ソフトウェア例外	EITRAP0	TRAP0n 命令 (vector = 00-0FH)		EI
EI レベル・ソフトウェア例外	EITRAP1	TRAP1n 命令 (vector = 10H-1FH)		EI
システム・コール例外	SYSCALLEX	SYSCALL 命令 (vector = 00H-FFH)		EI

a) これらの割り込み例外の説明はこの章でします。

- 優先順位** 優先順位 P1 が最も優先順位が高く P11 がもっとも低いです。
- 割り込み** 表 5-1 のうち、次の 3 種の例外を割り込みと呼び、この章ではこれらについて説明します。
- FE レベル・ノンマスクブル割り込み (FENMI)
 

FENMI 割り込みは、ほかの FE レベルの割り込み (FENMI) が発生してても受け付け可能な割り込みです。

    - CPU システム・レジスタ PSW.NP = 1 の場合でも受け付け可能です。
    - 再開不可／回復不可 (エラー通知用)
  - FE レベル・マスクブル割り込み (FEINT) : 1 要因
 

FEINT 割り込みは、ほかの FE レベルの割り込み (FENMI, FEINT) が発生していなければ受け付け可能な割り込みです。

    - CPU システム・レジスタ PSW.NP = 0 の場合で受け付け可能です。PSW.NP = 1 の場合 FEINT 割り込みはマスクされます。
    - 再開可能／回復可能
    - 最高優先度割り込み (FENMI は除く)
  - EI レベル・マスクブル割り込み (EIINT)
 

EIINT 割り込みは、FE レベルの割り込み (FENMI, FEINT) が発生していなければ受け付け可能な割り込みです。

    - CPU システム・レジスタ PSW.NP = 0 の場合で受け付け可能です。
    - 再開可能／回復可能
    - 各割り込みチャンネルごとに割り込みマスクを指定可能
    - 各割り込みチャンネルごとに 16 レベルの割り込み優先度を指定可能
    - 本章では割り込みチャンネル n に対応する EIINT を EIINTn と表記します。
- 再開** 元のプログラムの中断した位置から実行再開が可能／不可能であることを示します。
- 回復** 元のプログラムを中断した時点のプロセッサ状態 (汎用レジスタ、システム・レジスタなどのプロセッサ資源の状態) への回復が可能／不可能であることを示します。

これらの割り込み要因について次に説明します。

## 5.2 V850E2/Fx4-H 割り込み要因

### 5.2.1 V850E2/Fx4-H 割り込み要因

#### (1) FE レベル・ノンマスクابل割り込み

**優先順位** 優先順位は P2.

**復帰 PC** 再開も回復もできません。

**制御レジスタ** FE レベル NMI 制御レジスタ

(8) 「FNC : FE レベル NMI 制御レジスタ」参照

**復帰命令** FERET 命令

表 5-2 FE レベル・ノンマスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先順位	例外 コード	ハンドラ・ アドレス 0000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス FFFF...						
FENMI	FNC	645C <sub>H</sub>	NMI0	NMI0 入力	端子	P2	00020 <sub>H</sub>	0020 <sub>H</sub>
			WDTANMI0	ウォッチドッグ・タイマ 0 の暴走 検出割り込み	WDTA0			
			WDTANMI1	ウォッチドッグ・タイマ 1 の暴走 検出割り込み	WDTA1			

FENMI 割り込みの発生要因は、専用のフラグ・レジスタで調べることができます。詳細は 5.2.2 「V850E2/Fx4-H FE レベル・ノン・マスクابل割り込みの共有」を参照してください。

#### (2) FE レベル・マスクابل割り込み

**優先順位** 優先順位は P6.

**復帰 PC** FERET 命令によって割り込み処理ルーチンからの復帰でセットされたプログラムカウンタ (PC) は常に次のアドレスになります。

**制御レジスタ** FE レベル・マスクابل割り込み制御レジスタ

(9) 「FIC : FE レベルマスクابل割り込み制御レジスタ」参照

**復帰命令** FERET 命令

表 5-3 FE レベル・マスクابل割り込み要求

割り込み			割り込み要求		発生 ユニット	優先順位	例外 コード	ハンドラ・ アドレス 0000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス FFFF...						
FEINT	FIC	645E <sub>H</sub>	—	—	—	P6	00010 <sub>H</sub>	0010 <sub>H</sub>

**(3) EI レベル・マスク割り込み**

**割り込み名称** 割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下割り込み要求名は <name> によって表します。

- 割り込み要求名 : **INT<name>**  
接頭語「INT」は、<name> の前に付きます。
- 割り込み制御レジスタ : **IC<name>**  
接頭語「IC」は、<name> の前に付きます。  
16 ビットの **IC<name>** レジスタは、バイト単位 (8 ビット) でアクセスすることもできます。
  - **IC<name>** レジスタの下位バイト (ビット [7:0]) : **IC<name>L**  
接尾語「L」は、レジスタ名 **IC<name>** の後に追加されます。
  - **IC<name>** レジスタの上位バイト (ビット [15:8]) : **IC<name>H**  
接尾語「H」は、レジスタ名 **IC<name>** の後に追加されます。
- 割り込み制御レジスタのビット名 : **RF<name>**、**MK<name>**、**P3<name>**、**P2<name>**、**P1<name>**、**P0<name>**
- ビット接頭辞「RF」、「MK」、「P3」、「P2」、「P1」、「P0」は、割り込み <name> の前に追加されます。
- 各割り込み要求は、特定の割り込みチャンネル番号  $n=0-255$  に割り当てられます。  
本章では、割り込み要求名、割り込み制御レジスタ名および割り込み制御ビット名を次のように表します。  
**INT<name>** が割り込みチャンネル番号  $n$  に割り当てられていた場合、次のように表されます。
  - 割り込み要求名 : **EIINT $n$**
  - 割り込み制御レジスタ名 : **EIC $n$**
  - 割り込み制御ビット名 : **EIRF $n$** 、**EIMK $n$** 、**EIP3 $n$** 、**EIP2 $n$** 、**EIP1 $n$** 、**EIP0 $n$**

**例** TAUA0 のチャンネル 2 の割り込み要求 (<name> = TAUA0I2) の場合次のような名前になります。

**INTTAUA0I2**

関係する割り込み制御レジスタの名前は次のようになります。

**ICTAUA0I2**、**ICTAUA0I2L**、**ICTAUA0I2H**

制御レジスタのビット名は次のようになります。

**RFTAUA0I2**、**MKTAUA0I2**、**P3TAUA0I2**、**P2TAUA0I2**、**P1TAUA0I2**、**P0TAUA0I2**

**INTTAUA0I2** の割り込みチャンネルは、 $n=22$  (表 5-4 「V850E2/FK4-H EI レベル・マスク割り込み要因」～表 5-5 「V850E2/FL4-H EI レベル・マスク割り込み要因」参照) です。この場合、本章における割り込み要求名称は次のようになります。

**EIINT22**

関係する割り込み制御レジスタは次のようになります。

**EIC22**

関係する割り込み制御レジスタのビット名は次のようになります。

**EIRF22**、**EIMK22**、**EIP322**、**EIP222**、**EIP122**、**EIP022**

割り込みチャンネル番号  $n$  と V850E2/Fx4-H で割り当てられている割り込み要求と制御レジスタの一覧は表 5-4 「V850E2/FK4-H EI レベル・マスクブル割り込み要因」～表 5-5 「V850E2/FL4-H EI レベル・マスクブル割り込み要因」を参照してください。

**優先順位** 優先順位は P8.

**復帰 PC** EIRET 命令によって割り込み処理ルーチンからの復帰でセットされたプログラムカウンタ (PC) は常に次のアドレスになります。

**制御レジスタ** EI レベル・マスクブル割り込み制御レジスタ

(1) 「EICn ( $n=0-255$ ) : EI レベル割り込み制御レジスタ」参照

**復帰命令** EIRET 命令

## (4) V850E2/FK4-H EI レベル・マスカブル割り込み

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (1/8)

チャネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 <sub>H</sub>	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 <sub>H</sub>	0080 <sub>H</sub>
1	ICWDTA1	6002 <sub>H</sub>	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 <sub>H</sub>	0090 <sub>H</sub>
2	ICLVI	6004 <sub>H</sub>	INTLVI	LVI 割り込み	LVI	3	00A0 <sub>H</sub>	00A0 <sub>H</sub>
3	R.F.U.	6006 <sub>H</sub>	R.F.U.			4	00B0 <sub>H</sub>	00B0 <sub>H</sub>
4	ICVCPC0	6008 <sub>H</sub>	INTVCPC0	電圧コンパレータ 0 割り込み	VCPC0	5	00C0 <sub>H</sub>	00C0 <sub>H</sub>
5	ICVCPC1	600A <sub>H</sub>	INTVCPC1	電圧コンパレータ 1 割り込み	VCPC1	6	00D0 <sub>H</sub>	00D0 <sub>H</sub>
6	ICRTCA01S	600C <sub>H</sub>	INTRTCA01S	RTC 1 Hz 割り込み	RTCA0	7	00E0 <sub>H</sub>	00E0 <sub>H</sub>
7	ICRTCA0AL	600E <sub>H</sub>	INTRTCA0AL	RTC アラーム割り込み	RTCA0	8	00F0 <sub>H</sub>	00F0 <sub>H</sub>
8	ICRTCA0R	6010 <sub>H</sub>	INTRTCA0R	RTC 定周期割り込み	RTCA0	9	0100 <sub>H</sub>	0100 <sub>H</sub>
9	ICP0	6012 <sub>H</sub>	INTP0	端子入力エッジ検出	Port	10	0110 <sub>H</sub>	0110 <sub>H</sub>
	ICDTS0		INTDTS0	DTS チャンネル 0 割り込み	DTS			
10	ICP1	6014 <sub>H</sub>	INTP1	端子入力エッジ検出	Port	11	0120 <sub>H</sub>	0120 <sub>H</sub>
	ICDTS1		INTDTS1	DTS チャンネル 1 割り込み	DTS			
11	ICP2	6016 <sub>H</sub>	INTP2	端子入力エッジ検出	Port	12	0130 <sub>H</sub>	0130 <sub>H</sub>
	ICDTS2		INTDTS2	DTS チャンネル 2 割り込み	DTS			
12	ICP3	6018 <sub>H</sub>	INTP3	端子入力エッジ検出	Port	13	0140 <sub>H</sub>	0140 <sub>H</sub>
13	ICP4	601A <sub>H</sub>	INTP4	端子入力エッジ検出	Port	14	0150 <sub>H</sub>	0150 <sub>H</sub>
14	ICP5	601C <sub>H</sub>	INTP5	端子入力エッジ検出	Port	15	0160 <sub>H</sub>	0160 <sub>H</sub>
15	ICP6	601E <sub>H</sub>	INTP6	端子入力エッジ検出	Port	16	0170 <sub>H</sub>	0170 <sub>H</sub>
16	ICP7	6020 <sub>H</sub>	INTP7	端子入力エッジ検出	Port	17	0180 <sub>H</sub>	0180 <sub>H</sub>
17	ICP8	6022 <sub>H</sub>	INTP8	端子入力エッジ検出	Port	18	0190 <sub>H</sub>	0190 <sub>H</sub>
18	ICP9	6024 <sub>H</sub>	INTP9	端子入力エッジ検出	Port	19	01A0 <sub>H</sub>	01A0 <sub>H</sub>
19	ICP10	6026 <sub>H</sub>	INTP10	端子入力エッジ検出	Port	20	01B0 <sub>H</sub>	01B0 <sub>H</sub>
20	ICTAUA0I0	6028 <sub>H</sub>	INTTAUA0I0	チャンネル 0 割り込み	TAUA0	21	01C0 <sub>H</sub>	01C0 <sub>H</sub>
	ICTAPA0IPEK0		INTTAPA0PEK0 <sup>a</sup>	山割り込み 0	TAPA0			
21	ICTAUA0I1	602A <sub>H</sub>	INTTAUA0I1	チャンネル 1 割り込み	TAUA0	22	01D0 <sub>H</sub>	01D0 <sub>H</sub>
22	ICTAUA0I2	602C <sub>H</sub>	INTTAUA0I2	チャンネル 2 割り込み	TAUA0	23	01E0 <sub>H</sub>	01E0 <sub>H</sub>
23	ICTAUA0I3	602E <sub>H</sub>	INTTAUA0I3	チャンネル 3 割り込み	TAUA0	24	01F0 <sub>H</sub>	01F0 <sub>H</sub>
24	ICTAUA0I4	6030 <sub>H</sub>	INTTAUA0I4	チャンネル 4 割り込み	TAUA0	25	0200 <sub>H</sub>	0200 <sub>H</sub>
	ICTAPA0IVLY0		INTTAPA0VLY0	谷割り込み 0	TAPA0			
25	ICTAUA0I5	6032 <sub>H</sub>	INTTAUA0I5	チャンネル 5 割り込み	TAUA0	26	0210 <sub>H</sub>	0210 <sub>H</sub>
26	ICTAUA0I6	6034 <sub>H</sub>	INTTAUA0I6	チャンネル 6 割り込み	TAUA0	27	0220 <sub>H</sub>	0220 <sub>H</sub>
27	ICTAUA0I7	6036 <sub>H</sub>	INTTAUA0I7	チャンネル 7 割り込み	TAUA0	28	0230 <sub>H</sub>	0230 <sub>H</sub>
28	ICTAUA0I8	6038 <sub>H</sub>	INTTAUA0I8	チャンネル 8 割り込み	TAUA0	29	0240 <sub>H</sub>	0240 <sub>H</sub>
29	ICTAUA0I9	603A <sub>H</sub>	INTTAUA0I9	チャンネル 9 割り込み	TAUA0	30	0250 <sub>H</sub>	0250 <sub>H</sub>
30	ICTAUA0I10	603C <sub>H</sub>	INTTAUA0I10	チャンネル 10 割り込み	TAUA0	31	0260 <sub>H</sub>	0260 <sub>H</sub>
31	ICTAUA0I11	603E <sub>H</sub>	INTTAUA0I11	チャンネル 11 割り込み	TAUA0	32	0270 <sub>H</sub>	0270 <sub>H</sub>
32	ICTAUA0I12	6040 <sub>H</sub>	INTTAUA0I12	チャンネル 12 割り込み	TAUA0	33	0280 <sub>H</sub>	0280 <sub>H</sub>
33	ICTAUA0I13	6042 <sub>H</sub>	INTTAUA0I13	チャンネル 13 割り込み	TAUA0	34	0290 <sub>H</sub>	0290 <sub>H</sub>
34	ICTAUA0I14	6044 <sub>H</sub>	INTTAUA0I14	チャンネル 14 割り込み	TAUA0	35	02A0 <sub>H</sub>	02A0 <sub>H</sub>



表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (2/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
35	ICTAUA0I15	6046 <sub>H</sub>	INTTAUA0I15	チャンネル 15 割り込み	TAUA0	36	02B0 <sub>H</sub>	02B0 <sub>H</sub>	
36	ICTAUB1I0	6048 <sub>H</sub>	INTTAUB1I0	チャンネル 0 割り込み	TAUB1	37	02C0 <sub>H</sub>	02C0 <sub>H</sub>	
	ICDTS3		INTDTS3	DTS チャンネル 3 割り込み	DTS				
37	ICTAUB1I1	604A <sub>H</sub>	INTTAUB1I1	チャンネル 1 割り込み	TAUB1	38	02D0 <sub>H</sub>	02D0 <sub>H</sub>	
	ICDTS4		INTDTS4	DTS チャンネル 4 割り込み	DTS				
38	ICTAUB1I2	604C <sub>H</sub>	INTTAUB1I2	チャンネル 2 割り込み	TAUB1	39	02E0 <sub>H</sub>	02E0 <sub>H</sub>	
39	ICTAUB1I3	604E <sub>H</sub>	INTTAUB1I3	チャンネル 3 割り込み	TAUB1	40	02F0 <sub>H</sub>	02F0 <sub>H</sub>	
40	ICTAUB1I4	6050 <sub>H</sub>	INTTAUB1I4	チャンネル 4 割り込み	TAUB1	41	0300 <sub>H</sub>	0300 <sub>H</sub>	
41	ICTAUB1I5	6052 <sub>H</sub>	INTTAUB1I5	チャンネル 5 割り込み	TAUB1	42	0310 <sub>H</sub>	0310 <sub>H</sub>	
42	ICTAUB1I6	6054 <sub>H</sub>	INTTAUB1I6	チャンネル 6 割り込み	TAUB1	43	0320 <sub>H</sub>	0320 <sub>H</sub>	
43	ICTAUB1I7	6056 <sub>H</sub>	INTTAUB1I7	チャンネル 7 割り込み	TAUB1	44	0330 <sub>H</sub>	0330 <sub>H</sub>	
44	ICTAUB1I8	6058 <sub>H</sub>	INTTAUB1I8	チャンネル 8 割り込み	TAUB1	45	0340 <sub>H</sub>	0340 <sub>H</sub>	
45	ICTAUB1I9	605A <sub>H</sub>	INTTAUB1I9	チャンネル 9 割り込み	TAUB1	46	0350 <sub>H</sub>	0350 <sub>H</sub>	
46	ICTAUB1I10	605C <sub>H</sub>	INTTAUB1I10	チャンネル 10 割り込み	TAUB1	47	0360 <sub>H</sub>	0360 <sub>H</sub>	
47	ICTAUB1I11	605E <sub>H</sub>	INTTAUB1I11	チャンネル 11 割り込み	TAUB1	48	0370 <sub>H</sub>	0370 <sub>H</sub>	
48	ICTAUB1I12	6060 <sub>H</sub>	INTTAUB1I12	チャンネル 12 割り込み	TAUB1	49	0380 <sub>H</sub>	0380 <sub>H</sub>	
49	ICTAUB1I13	6062 <sub>H</sub>	INTTAUB1I13	チャンネル 13 割り込み	TAUB1	50	0390 <sub>H</sub>	0390 <sub>H</sub>	
50	ICTAUB1I14	6064 <sub>H</sub>	INTTAUB1I14	チャンネル 14 割り込み	TAUB1	51	03A0 <sub>H</sub>	03A0 <sub>H</sub>	
51	ICTAUB1I15	6066 <sub>H</sub>	INTTAUB1I15	チャンネル 15 割り込み	TAUB1	52	03B0 <sub>H</sub>	03B0 <sub>H</sub>	
52	ICTAUB2I0	6068 <sub>H</sub>	ICTAUB2I0	チャンネル 0 割り込み	TAUB2	53	03C0 <sub>H</sub>	03C0 <sub>H</sub>	
	ICDTS5		INTDTS5	DTS チャンネル 5 割り込み	DTS				
53	ICTAUB2I1	606A <sub>H</sub>	ICTAUB2I1	チャンネル 1 割り込み	TAUB2	54	03D0 <sub>H</sub>	03D0 <sub>H</sub>	
	ICDTS6		INTDTS6	DTS チャンネル 6 割り込み	DTS				
54	ICTAUB2I2	606C <sub>H</sub>	ICTAUB2I2	チャンネル 2 割り込み	TAUB2	55	03E0 <sub>H</sub>	03E0 <sub>H</sub>	
55	ICTAUB2I3	606E <sub>H</sub>	ICTAUB2I3	チャンネル 3 割り込み	TAUB2	56	03F0 <sub>H</sub>	03F0 <sub>H</sub>	
56	ICTAUB2I4	6070 <sub>H</sub>	ICTAUB2I4	チャンネル 4 割り込み	TAUB2	57	0400 <sub>H</sub>	0400 <sub>H</sub>	
57	ICTAUB2I5	6072 <sub>H</sub>	ICTAUB2I5	チャンネル 5 割り込み	TAUB2	58	0410 <sub>H</sub>	0410 <sub>H</sub>	
58	ICTAUB2I6	6074 <sub>H</sub>	ICTAUB2I6	チャンネル 6 割り込み	TAUB2	59	0420 <sub>H</sub>	0420 <sub>H</sub>	
59	ICTAUB2I7	6076 <sub>H</sub>	ICTAUB2I7	チャンネル 7 割り込み	TAUB2	60	0430 <sub>H</sub>	0430 <sub>H</sub>	
60	ICTAUB2I8	6078 <sub>H</sub>	ICTAUB2I8	チャンネル 8 割り込み	TAUB2	61	0440 <sub>H</sub>	0440 <sub>H</sub>	
61	ICTAUB2I9	607A <sub>H</sub>	ICTAUB2I9	チャンネル 9 割り込み	TAUB2	62	0450 <sub>H</sub>	0450 <sub>H</sub>	
62	ICTAUB2I10	607C <sub>H</sub>	ICTAUB2I10	チャンネル 10 割り込み	TAUB2	63	0460 <sub>H</sub>	0460 <sub>H</sub>	
63	ICTAUB2I11	607E <sub>H</sub>	ICTAUB2I11	チャンネル 11 割り込み	TAUB2	64	0470 <sub>H</sub>	0470 <sub>H</sub>	
64	ICTAUB2I12	6080 <sub>H</sub>	ICTAUB2I12	チャンネル 12 割り込み	TAUB2	65	0480 <sub>H</sub>	0480 <sub>H</sub>	
65	ICTAUB2I13	6082 <sub>H</sub>	ICTAUB2I13	チャンネル 13 割り込み	TAUB2	66	0490 <sub>H</sub>	0490 <sub>H</sub>	
66	ICTAUB2I14	6084 <sub>H</sub>	ICTAUB2I14	チャンネル 14 割り込み	TAUB2	67	04A0 <sub>H</sub>	04A0 <sub>H</sub>	
67	ICTAUB2I15	6086 <sub>H</sub>	INTTAUB2I15	チャンネル 15 割り込み	TAUB2	68	04B0 <sub>H</sub>	04B0 <sub>H</sub>	
68	ICTAUC3I0	6088 <sub>H</sub>	INTTAUC3I0	チャンネル 0 割り込み	TAUC3	69	04C0 <sub>H</sub>	04C0 <sub>H</sub>	
69	ICTAUC3I1	608A <sub>H</sub>	INTTAUC3I1	チャンネル 1 割り込み	TAUC3	70	04D0 <sub>H</sub>	04D0 <sub>H</sub>	
70	ICTAUC3I2	608C <sub>H</sub>	INTTAUC3I2	チャンネル 2 割り込み	TAUC3	71	04E0 <sub>H</sub>	04E0 <sub>H</sub>	
71	ICTAUC3I3	608E <sub>H</sub>	INTTAUC3I3	チャンネル 3 割り込み	TAUC3	72	04F0 <sub>H</sub>	04F0 <sub>H</sub>	

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (3/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
72	ICTAUC3I4	6090 <sub>H</sub>	INTTAUC3I4	チャンネル 4 割り込み	TAUC3	73	0500 <sub>H</sub>	0500 <sub>H</sub>	
73	ICTAUC3I5	6092 <sub>H</sub>	INTTAUC3I5	チャンネル 5 割り込み	TAUC3	74	0510 <sub>H</sub>	0510 <sub>H</sub>	
74	ICTAUC3I6	6094 <sub>H</sub>	INTTAUC3I6	チャンネル 6 割り込み	TAUC3	75	0520 <sub>H</sub>	0520 <sub>H</sub>	
75	ICTAUC3I7	6096 <sub>H</sub>	INTTAUC3I7	チャンネル 7 割り込み	TAUC3	76	0530 <sub>H</sub>	0530 <sub>H</sub>	
76	ICTAUC3I8	6098 <sub>H</sub>	INTTAUC3I8	チャンネル 8 割り込み	TAUC3	77	0540 <sub>H</sub>	0540 <sub>H</sub>	
77	ICTAUC3I9	609A <sub>H</sub>	INTTAUC3I9	チャンネル 9 割り込み	TAUC3	78	0550 <sub>H</sub>	0550 <sub>H</sub>	
78	ICTAUC3I10	609C <sub>H</sub>	INTTAUC3I10	チャンネル 10 割り込み	TAUC3	79	0560 <sub>H</sub>	0560 <sub>H</sub>	
79	ICTAUC3I11	609E <sub>H</sub>	INTTAUC3I11	チャンネル 11 割り込み	TAUC3	80	0570 <sub>H</sub>	0570 <sub>H</sub>	
80	ICTAUC3I12	60A0 <sub>H</sub>	INTTAUC3I12	チャンネル 12 割り込み	TAUC3	81	0580 <sub>H</sub>	0580 <sub>H</sub>	
81	ICTAUC3I13	60A2 <sub>H</sub>	INTTAUC3I13	チャンネル 13 割り込み	TAUC3	82	0590 <sub>H</sub>	0590 <sub>H</sub>	
82	ICTAUC3I14	60A4 <sub>H</sub>	INTTAUC3I14	チャンネル 14 割り込み	TAUC3	83	05A0 <sub>H</sub>	05A0 <sub>H</sub>	
83	ICTAUC3I15	60A6 <sub>H</sub>	INTTAUC3I15	チャンネル 15 割り込み	TAUC3	84	05B0 <sub>H</sub>	05B0 <sub>H</sub>	
84	ICTAUC4I0	60A8 <sub>H</sub>	INTTAUC4I0	チャンネル 0 割り込み	TAUC4	85	05C0 <sub>H</sub>	05C0 <sub>H</sub>	
85	ICTAUC4I1	60AA <sub>H</sub>	INTTAUC4I1	チャンネル 1 割り込み	TAUC4	86	05D0 <sub>H</sub>	05D0 <sub>H</sub>	
86	ICTAUC4I2	60AC <sub>H</sub>	INTTAUC4I2	チャンネル 2 割り込み	TAUC4	87	05E0 <sub>H</sub>	05E0 <sub>H</sub>	
87	ICTAUC4I3	60AE <sub>H</sub>	INTTAUC4I3	チャンネル 3 割り込み	TAUC4	88	05F0 <sub>H</sub>	05F0 <sub>H</sub>	
88	ICTAUC4I4	60B0 <sub>H</sub>	INTTAUC4I4	チャンネル 4 割り込み	TAUC4	89	0600 <sub>H</sub>	0600 <sub>H</sub>	
89	ICTAUC4I5	60B2 <sub>H</sub>	INTTAUC4I5	チャンネル 5 割り込み	TAUC4	90	0610 <sub>H</sub>	0610 <sub>H</sub>	
90	ICTAUC4I6	60B4 <sub>H</sub>	INTTAUC4I6	チャンネル 6 割り込み	TAUC4	91	0620 <sub>H</sub>	0620 <sub>H</sub>	
91	ICTAUC4I7	60B6 <sub>H</sub>	INTTAUC4I7	チャンネル 7 割り込み	TAUC4	92	0630 <sub>H</sub>	0630 <sub>H</sub>	
92	ICTAUC4I8	60B8 <sub>H</sub>	INTTAUC4I8	チャンネル 8 割り込み	TAUC4	93	0640 <sub>H</sub>	0640 <sub>H</sub>	
93	ICTAUC4I9	60BA <sub>H</sub>	INTTAUC4I9	チャンネル 9 割り込み	TAUC4	94	0650 <sub>H</sub>	0650 <sub>H</sub>	
94	ICTAUC4I10	60BC <sub>H</sub>	INTTAUC4I10	チャンネル 10 割り込み	TAUC4	95	0660 <sub>H</sub>	0660 <sub>H</sub>	
95	ICTAUC4I11	60BE <sub>H</sub>	INTTAUC4I11	チャンネル 11 割り込み	TAUC4	96	0670 <sub>H</sub>	0670 <sub>H</sub>	
96	ICTAUC4I12	60C0 <sub>H</sub>	INTTAUC4I12	チャンネル 12 割り込み	TAUC4	97	0680 <sub>H</sub>	0680 <sub>H</sub>	
97	ICTAUC4I13	60C2 <sub>H</sub>	INTTAUC4I13	チャンネル 13 割り込み	TAUC4	98	0690 <sub>H</sub>	0690 <sub>H</sub>	
98	ICTAUC4I14	60C4 <sub>H</sub>	INTTAUC4I14	チャンネル 14 割り込み	TAUC4	99	06A0 <sub>H</sub>	06A0 <sub>H</sub>	
99	ICTAUC4I15	60C6 <sub>H</sub>	INTTAUC4I15	チャンネル 15 割り込み	TAUC4	100	06B0 <sub>H</sub>	06B0 <sub>H</sub>	
100	ICADCA0ERR	60C8 <sub>H</sub>	INTADCA0ERR	エラー割り込み	ADCA0	101	06C0 <sub>H</sub>	06C0 <sub>H</sub>	
101	ICADCA0I0	60CA <sub>H</sub>	INTADCA0I0	CG0 変換終了	ADCA0	102	06D0 <sub>H</sub>	06D0 <sub>H</sub>	
	ICDTS7		INTDTS7	DTS チャンネル 7 割り込み	DTS				
102	ICADCA0I1	60CC <sub>H</sub>	INTADCA0I1	CG1 変換終了	ADCA0	103	06E0 <sub>H</sub>	06E0 <sub>H</sub>	
	ICDTS8		INTDTS8	DTS チャンネル 8 割り込み	DTS				
103	ICADCA0I2	60CE <sub>H</sub>	INTADCA0I2	CG2 変換終了	ADCA0	104	06F0 <sub>H</sub>	06F0 <sub>H</sub>	
104	ICADCA0LLT	60D0 <sub>H</sub>	INTADCA0LLT	変換割り込み	ADCA0	105	0700 <sub>H</sub>	0700 <sub>H</sub>	
105	ICFCNWUP	60D2 <sub>H</sub>	INTFCNWUP	ウエイクアップ割り込み	FCNA[3:0]	106	0710 <sub>H</sub>	0710 <sub>H</sub>	
					DCNA0				
106	ICFCN0ERR	60D4 <sub>H</sub>	INTFCN0ERR	エラー割り込み	FCNA0	107	0720 <sub>H</sub>	0720 <sub>H</sub>	
107	ICFCN0REC	60D6 <sub>H</sub>	INTFCN0REC	受信割り込み	FCNA0	108	0730 <sub>H</sub>	0730 <sub>H</sub>	
108	ICFCN0TRX	60D8 <sub>H</sub>	INTFCN0TRX	送信割り込み	FCNA0	109	0740 <sub>H</sub>	0740 <sub>H</sub>	
109	ICCSIG0IRE	60DA <sub>H</sub>	INTCSIG0IRE	受信エラー割り込み	CSIG0	110	0750 <sub>H</sub>	0750 <sub>H</sub>	

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (4/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
110	ICCSIG0IR	60DC <sub>H</sub>	INTCSIG0IR	受信状態割り込み	CSIG0	111	0760 <sub>H</sub>	0760 <sub>H</sub>	
111	ICCSIG0IC	60DE <sub>H</sub>	INTCSIG0IC	通信状態割り込み	CSIG0	112	0770 <sub>H</sub>	0770 <sub>H</sub>	
112	ICLMA0IS	60E0 <sub>H</sub>	INTLMA0IS	状態割り込み	LMA0	113	0780 <sub>H</sub>	0780 <sub>H</sub>	
113	ICLMA0IR	60E2 <sub>H</sub>	INTLMA0IR	受信完了割り込み	LMA0	114	0790 <sub>H</sub>	0790 <sub>H</sub>	
114	ICLMA0IT	60E4 <sub>H</sub>	INTLMA0IT	転送割り込み	LMA0	115	07A0 <sub>H</sub>	07A0 <sub>H</sub>	
115	ICLMA1IS	60E6 <sub>H</sub>	INTLMA1IS	状態割り込み	LMA1	116	07B0 <sub>H</sub>	07B0 <sub>H</sub>	
116	ICLMA1IR	60E8 <sub>H</sub>	INTLMA1IR	受信完了割り込み	LMA1	117	07C0 <sub>H</sub>	07C0 <sub>H</sub>	
117	ICLMA1IT	60EA <sub>H</sub>	INTLMA1IT	転送割り込み	LMA1	118	07D0 <sub>H</sub>	07D0 <sub>H</sub>	
118	ICADCA1ERR	60EC <sub>H</sub>	INTADCA1ERR	AD1 エラー割り込み	ADCA1	119	07E0 <sub>H</sub>	07E0 <sub>H</sub>	
119	ICDMA0	60EE <sub>H</sub>	INTDMA0	DMA チャンネル 0 転送完了 (または INTCT0 <sup>b</sup> カウント一致割り込み)	DMA	120	07F0 <sub>H</sub>	07F0 <sub>H</sub>	
	ICCT0		INTCT0						
120	ICDMA1	60F0 <sub>H</sub>	INTDMA1	DMA チャンネル 1 転送完了 (または INTCT1 <sup>b</sup> カウント一致割り込み)	DMA	121	0800 <sub>H</sub>	0800 <sub>H</sub>	
	ICCT1		INTCT1						
121	ICDMA2	60F2 <sub>H</sub>	INTDMA2	DMA チャンネル 2 転送完了 (または INTCT2 <sup>b</sup> カウント一致割り込み)	DMA	122	0810 <sub>H</sub>	0810 <sub>H</sub>	
	ICCT2		INTCT2						
122	ICDMA3	60F4 <sub>H</sub>	INTDMA3	DMA チャンネル 3 転送完了 (または INTCT3 <sup>b</sup> カウント一致割り込み)	DMA	123	0820 <sub>H</sub>	0820 <sub>H</sub>	
	ICCT3		INTCT3						
123	ICDMA4	60F6 <sub>H</sub>	INTDMA4	DMA チャンネル 4 転送完了 (または INTCT4 <sup>b</sup> カウント一致割り込み)	DMA	124	0830 <sub>H</sub>	0830 <sub>H</sub>	
	ICCT4		INTCT4						
124	ICDMA5	60F8 <sub>H</sub>	INTDMA5	DMA チャンネル 5 転送完了 (または INTCT5 <sup>b</sup> カウント一致割り込み)	DMA	125	0840 <sub>H</sub>	0840 <sub>H</sub>	
	ICCT5		INTCT5						
125	ICDMA6	60FA <sub>H</sub>	INTDMA6	DMA チャンネル 6 転送完了 (または INTCT6 <sup>b</sup> カウント一致割り込み)	DMA	126	0850 <sub>H</sub>	0850 <sub>H</sub>	
	ICCT6		INTCT6						
126	ICDMA7	60FC <sub>H</sub>	INTDMA7	DMA チャンネル 7 転送完了 (または INTCT7 <sup>b</sup> カウント一致割り込み)	DMA	127	0860 <sub>H</sub>	0860 <sub>H</sub>	
	ICCT7		INTCT7						
127	ICFL	60FE <sub>H</sub>	INTFL	シーケンス完了割り込み	CDFRB	128	0870 <sub>H</sub>	0870 <sub>H</sub>	
128	ICIICB0IS	6100 <sub>H</sub>	INTIICB0IS	状態割り込み	IICB0	129	0880 <sub>H</sub>	0880 <sub>H</sub>	
129	ICIICB0IA	6102 <sub>H</sub>	INTIICB0IA	データ転送/受信割り込み	IICB0	130	0890 <sub>H</sub>	0890 <sub>H</sub>	
130	R.F.U.	6104 <sub>H</sub>	R.F.U.			131	08A0 <sub>H</sub>	08A0 <sub>H</sub>	
131	R.F.U.	6106 <sub>H</sub>	R.F.U.			132	08B0 <sub>H</sub>	08B0 <sub>H</sub>	
132	ICFCN1ERR	6108 <sub>H</sub>	INTFCN1ERR	エラー割り込み	FCNA1	133	08C0 <sub>H</sub>	08C0 <sub>H</sub>	
133	ICFCN1REC	610A <sub>H</sub>	INTFCN1REC	受信割り込み	FCNA1	134	08D0 <sub>H</sub>	08D0 <sub>H</sub>	
134	ICFCN1TRX	610C <sub>H</sub>	INTFCN1TRX	送信割り込み	FCNA1	135	08E0 <sub>H</sub>	08E0 <sub>H</sub>	
135	ICTAUJ0I0	610E <sub>H</sub>	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	136	08F0 <sub>H</sub>	08F0 <sub>H</sub>	
136	ICTAUJ0I1	6110 <sub>H</sub>	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	137	0900 <sub>H</sub>	0900 <sub>H</sub>	
137	ICTAUJ0I2	6112 <sub>H</sub>	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	138	0910 <sub>H</sub>	0910 <sub>H</sub>	
138	ICTAUJ0I3	6114 <sub>H</sub>	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	139	0920 <sub>H</sub>	0920 <sub>H</sub>	
139	ICTAUJ1I0	6116 <sub>H</sub>	INTTAUJ1I0	チャンネル 0 割り込み	TAUJ1	140	0930 <sub>H</sub>	0930 <sub>H</sub>	
140	ICTAUJ1I1	6118 <sub>H</sub>	INTTAUJ1I1	チャンネル 1 割り込み	TAUJ1	141	0940 <sub>H</sub>	0940 <sub>H</sub>	
141	ICTAUJ1I2	611A <sub>H</sub>	INTTAUJ1I2	チャンネル 2 割り込み	TAUJ1	142	0950 <sub>H</sub>	0950 <sub>H</sub>	
142	ICTAUJ1I3	611C <sub>H</sub>	INTTAUJ1I3	チャンネル 3 割り込み	TAUJ1	143	0960 <sub>H</sub>	0960 <sub>H</sub>	

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (5/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
143	ICADCA110	611E <sub>H</sub>	INTADCA110	CG0 変換終了	ADCA1	144	0970 <sub>H</sub>	0970 <sub>H</sub>	
	ICDTS9		INTDTS9	DTS チャンネル 9 割り込み	DTS				
144	ICADCA111	6120 <sub>H</sub>	INTADCA111	CG1 変換終了	ADCA1	145	0980 <sub>H</sub>	0980 <sub>H</sub>	
	ICDTS10		INTDTS10	DTS チャンネル 10 割り込み	DTS				
145	ICADCA112	6122 <sub>H</sub>	INTADCA112	CG2 変換終了	ADCA1	146	0990 <sub>H</sub>	0990 <sub>H</sub>	
	ICDTS11		INTDTS11	DTS チャンネル 11 割り込み	DTS				
146	ICADCA1LLT	6124 <sub>H</sub>	INTADCA1LLT	変換割り込み	ADCA1	147	09A0 <sub>H</sub>	09A0 <sub>H</sub>	
147	ICOSTM0	6126 <sub>H</sub>	INTOSTM0	OSTM0 割り込み	OSTM0	148	09B0 <sub>H</sub>	09B0 <sub>H</sub>	
148	R.F.U.	6128 <sub>H</sub>	R.F.U.			149	09C0 <sub>H</sub>	09C0 <sub>H</sub>	
149	R.F.U.	612A <sub>H</sub>	R.F.U.			150	09D0 <sub>H</sub>	09D0 <sub>H</sub>	
150	R.F.U.	612C <sub>H</sub>	R.F.U.			151	09E0 <sub>H</sub>	09E0 <sub>H</sub>	
151	R.F.U.	6128 <sub>H</sub>	R.F.U.			152	09F0 <sub>H</sub>	09F0 <sub>H</sub>	
152	R.F.U.	612A <sub>H</sub>	R.F.U.			153	0A00 <sub>H</sub>	0A00 <sub>H</sub>	
153	R.F.U.	612C <sub>H</sub>	R.F.U.			154	0A10 <sub>H</sub>	0A10 <sub>H</sub>	
154	ICFCN3ERR	6134 <sub>H</sub>	INTFCN3ERR	エラー割り込み	FCNA3	155	0A20 <sub>H</sub>	0A20 <sub>H</sub>	
155	ICFCN3REC	6136 <sub>H</sub>	INTFCN3REC	受信割り込み	FCNA3	156	0A30 <sub>H</sub>	0A30 <sub>H</sub>	
156	ICFCN3TRX	6138 <sub>H</sub>	INTFCN3TRX	転送割り込み	FCNA3	157	0A40 <sub>H</sub>	0A40 <sub>H</sub>	
157	R.F.U.	613A <sub>H</sub>	R.F.U.			158	0A50 <sub>H</sub>	0A50 <sub>H</sub>	
158	R.F.U.	613C <sub>H</sub>	R.F.U.			159	0A60 <sub>H</sub>	0A60 <sub>H</sub>	
159	R.F.U.	613E <sub>H</sub>	R.F.U.			160	0A70 <sub>H</sub>	0A70 <sub>H</sub>	
160	ICFCN2ERR	6140 <sub>H</sub>	INTFCN2ERR	エラー割り込み	FCNA2	161	0A80 <sub>H</sub>	0A80 <sub>H</sub>	
	ICETHA0SCTXTCH		INTETHA0SCTXTCH	データ計算完了割り込み	ET0				
161	ICFCN2REC	6142 <sub>H</sub>	INTFCN2REC	受信割り込み	FCNA2	162	0A90 <sub>H</sub>	0A90 <sub>H</sub>	
	ICETHA0SCRXTCH		INTETHA0SCRXTCH	チェックサムデータ送信割り込み	ET0				
162	ICFCN2TRX	6144 <sub>H</sub>	INTFCN2TRX	転送割り込み	FCAN2	163	0AA0 <sub>H</sub>	0AA0 <sub>H</sub>	
163	ICCSIH0IC	6146 <sub>H</sub>	INTCSIH0IC	通信状態割り込み	CSIH0	164	0AB0 <sub>H</sub>	0AB0 <sub>H</sub>	
	ICDTS12		INTDTS12	DTS チャンネル 12 割り込み	DTS				
164	ICCSIH0JC	6148 <sub>H</sub>	INTCSIH0JC	ジョブ完了割り込み	CSIH0	165	0AC0 <sub>H</sub>	0AC0 <sub>H</sub>	
	ICDTS13		INTDTS13	DTS チャンネル 13 割り込み	DTS				
165	R.F.U.	614A <sub>H</sub>	R.F.U.			166	0AD0 <sub>H</sub>	0AD0 <sub>H</sub>	
166	R.F.U.	614C <sub>H</sub>	R.F.U.			167	0AE0 <sub>H</sub>	0AE0 <sub>H</sub>	
167	R.F.U.	614E <sub>H</sub>	R.F.U.			168	0AF0 <sub>H</sub>	0AF0 <sub>H</sub>	
168	ICCSIH0IRE	6150 <sub>H</sub>	INTCSIH0IRE	受信エラー割り込み	CSIH0	169	0B00 <sub>H</sub>	0B00 <sub>H</sub>	
169	ICCSIH0IR	6152 <sub>H</sub>	INTCSIH0IR	受信状態割り込み	CSIH0	170	0B10 <sub>H</sub>	0B10 <sub>H</sub>	
	ICDTS14		INTDTS14	DTS チャンネル 14 割り込み	DTS				
170	ICCSIG4IRE	6154 <sub>H</sub>	INTCSIG4IRE	受信エラー割り込み	CSIG4	171	0B20 <sub>H</sub>	0B20 <sub>H</sub>	
171	ICCSIG4IR	6156 <sub>H</sub>	INTCSIG4IR	受信状態割り込み	CSIG4	172	0B30 <sub>H</sub>	0B30 <sub>H</sub>	
172	ICCSIG4IC	6158 <sub>H</sub>	INTCSIG4IC	通信状態割り込み	CSIG4	173	0B40 <sub>H</sub>	0B40 <sub>H</sub>	
173	ICDCN0ERR	615A <sub>H</sub>	INTDCN0ERR	エラー割り込み	DCNA0	174	0B50 <sub>H</sub>	0B50 <sub>H</sub>	
174	ICDCN0REC	615C <sub>H</sub>	INTDCN0REC	受信割り込み	DCNA0	175	0B60 <sub>H</sub>	0B60 <sub>H</sub>	
	ICDTS15		INTDTS15	DTS チャンネル 15 割り込み	DTS				

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (6/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
175	ICDCN0TRX	615E <sub>H</sub>	INTDCN0TRX	送信割り込み	DCNA0	176	0B70 <sub>H</sub>	0B70 <sub>H</sub>	
176	ICFLXA0I0	6160 <sub>H</sub>	INTFLX0I0	0 割り込み	FLXA0	177	0B80 <sub>H</sub>	0B80 <sub>H</sub>	
	ICDTS16		INTDTS16	DTS チャンネル 16 割り込み	DTS				
177	ICFLXA0I1	6162 <sub>H</sub>	INTFLX0I1	1 割り込み	FLXA0	178	0B90 <sub>H</sub>	0B90 <sub>H</sub>	
	ICDTS17		INTDTS17	DTS チャンネル 17 割り込み	DTS				
178	ICFLXA0I2	6164 <sub>H</sub>	INTFLX0I2	タイマ 0 割り込み	FLXA0	179	0BA0 <sub>H</sub>	0BA0 <sub>H</sub>	
179	ICFLXA0I3	6166 <sub>H</sub>	INTFLX0I3	タイマ 1 割り込み	FLXA0	180	0BB0 <sub>H</sub>	0BB0 <sub>H</sub>	
180	ICCSIH1IRE	6168 <sub>H</sub>	INTCSIH1IRE	受信エラー割り込み	CSIH1	181	0BC0 <sub>H</sub>	0BC0 <sub>H</sub>	
181	ICCSIH1IR	616A <sub>H</sub>	INTCSIH1IR	受信状態割り込み	CSIH1	182	0BD0 <sub>H</sub>	0BD0 <sub>H</sub>	
	ICDTS18		INTDTS18	DTS チャンネル 18 割り込み	DTS				
182	ICCSIH1IC	616C <sub>H</sub>	INTCSIH1IC	通信状態割り込み	CSIH1	183	0BE0 <sub>H</sub>	0BE0 <sub>H</sub>	
	ICDTS19		INTDTS19	DTS チャンネル 19 割り込み	DTS				
183	ICCSIH1JC	616E <sub>H</sub>	INTCSIH1JC	ジョブ完了割り込み	CSIH1	184	0BF0 <sub>H</sub>	0BF0 <sub>H</sub>	
	ICDTS20		INTDTS20	DTS チャンネル 20 割り込み	DTS				
184	R.F.U.	6170 <sub>H</sub>	R.F.U.			185	0C00 <sub>H</sub>	0C00 <sub>H</sub>	
185	R.F.U.	6172 <sub>H</sub>	R.F.U.			186	0C10 <sub>H</sub>	0C10 <sub>H</sub>	
186	R.F.U.	6174 <sub>H</sub>	R.F.U.			187	0C20 <sub>H</sub>	0C20 <sub>H</sub>	
187	ICENCA0I0	6176 <sub>H</sub>	INTENCA0I0	キャプチャ/コンペアー一致割り込み	ENCA0	188	0C30 <sub>H</sub>	0C30 <sub>H</sub>	
188	ICENCA0I1	6178 <sub>H</sub>	INTENCA0I1	キャプチャ/コンペアー一致割り込み	ENCA0	189	0C40 <sub>H</sub>	0C40 <sub>H</sub>	
189	ICENCA0IUD	617A <sub>H</sub>	INTENCA0IUD	アンドフロー割り込み	ENCA0	190	0C50 <sub>H</sub>	0C50 <sub>H</sub>	
190	ICENCA0IEC	617C <sub>H</sub>	INTENCA0IEC	エンコーダ・クリア割り込み	ENCA0	191	0C60 <sub>H</sub>	0C60 <sub>H</sub>	
191	ICENCA0IOV	617E <sub>H</sub>	INTENCA0IOV	オーバフロー割り込み	ENCA0	192	0C70 <sub>H</sub>	0C70 <sub>H</sub>	
192	R.F.U.	6180 <sub>H</sub>	R.F.U.			193	0C80 <sub>H</sub>	0C80 <sub>H</sub>	
193	ICLMA2IS	6182 <sub>H</sub>	INTLMA2IS	状態割り込み	LMA2	194	0C90 <sub>H</sub>	0C90 <sub>H</sub>	
194	ICLMA2IR	6184 <sub>H</sub>	INTLMA2IR	受信完了割り込み	LMA2	195	0CA0 <sub>H</sub>	0CA0 <sub>H</sub>	
195	ICLMA2IT	6186 <sub>H</sub>	INTLMA2IT	転送割り込み	LMA2	196	0CB0 <sub>H</sub>	0CB0 <sub>H</sub>	
196	ICLMA3IS	6188 <sub>H</sub>	INTLMA3IS	状態割り込み	LMA3	197	0CC0 <sub>H</sub>	0CC0 <sub>H</sub>	
197	ICLMA3IR	618A <sub>H</sub>	INTLMA3IR	受信完了割り込み	LMA3	198	0CD0 <sub>H</sub>	0CD0 <sub>H</sub>	
198	ICLMA3IT	618C <sub>H</sub>	INTLMA3IT	転送割り込み	LMA3	199	0CE0 <sub>H</sub>	0CE0 <sub>H</sub>	
199	ICLMA4IS	618E <sub>H</sub>	INTLMA4IS	状態割り込み	LMA4	200	0CF0 <sub>H</sub>	0CF0 <sub>H</sub>	
200	ICLMA4IR	6190 <sub>H</sub>	INTLMA4IR	受信完了割り込み	LMA4	201	0D00 <sub>H</sub>	0D00 <sub>H</sub>	
201	ICLMA4IT	6192 <sub>H</sub>	INTLMA4IT	転送割り込み	LMA4	202	0D10 <sub>H</sub>	0D10 <sub>H</sub>	
202	ICCSIH2IRE	6194 <sub>H</sub>	INTCSIH2IRE	受信エラー割り込み	CSIH2	203	0D20 <sub>H</sub>	0D20 <sub>H</sub>	
203	ICCSIH2IR	6196 <sub>H</sub>	INTCSIH2IR	受信状態割り込み	CSIH2	204	0D30 <sub>H</sub>	0D30 <sub>H</sub>	
	ICDTS21		INTDTS21	DTS チャンネル 21 割り込み	DTS				
204	ICCSIH2IC	6198 <sub>H</sub>	INTCSIH2IC	通信状態割り込み	CSIH2	205	0D40 <sub>H</sub>	0D40 <sub>H</sub>	
	ICDTS22		INTDTS22	DTS チャンネル 22 割り込み	DTS				
205	ICCSIH2JC	619A <sub>H</sub>	INTCSIH2JC	ジョブ完了割り込み	CSIH2	206	0D50 <sub>H</sub>	0D50 <sub>H</sub>	
	ICDTS23		INTDTS23	DTS チャンネル 23 割り込み	DTS				
206	R.F.U.	619C <sub>H</sub>	R.F.U.			207	0D60 <sub>H</sub>	0D60 <sub>H</sub>	
207	R.F.U.	619E <sub>H</sub>	R.F.U.			208	0D70 <sub>H</sub>	0D70 <sub>H</sub>	

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (7/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
208	ICP11	61A0 <sub>H</sub>	INTP11	端子入力エッジ検出	Port	209	0D80 <sub>H</sub>	0D80 <sub>H</sub>	
209	ICP12	61A2 <sub>H</sub>	INTP12	端子入力エッジ検出	Port	210	0D90 <sub>H</sub>	0D90 <sub>H</sub>	
210	ICP13	61A4 <sub>H</sub>	INTP13	端子入力エッジ検出	Port	211	0DA0 <sub>H</sub>	0DA0 <sub>H</sub>	
211	ICP14	61A6 <sub>H</sub>	INTP14	端子入力エッジ検出	Port	212	0DB0 <sub>H</sub>	0DB0 <sub>H</sub>	
212	ICP15	61A8 <sub>H</sub>	INTP15	端子入力エッジ検出	Port	213	0DC0 <sub>H</sub>	0DC0 <sub>H</sub>	
213	ICETHA0SRX	61AA <sub>H</sub>	INTETHA0SRX	受信データレディ割り込み	ET0	214	0DD0 <sub>H</sub>	0DD0 <sub>H</sub>	
	ICDTS26		INTDTS26	DTS チャンネル 26 割り込み	DTS				
214	ICETHA0SCRX	61AC <sub>H</sub>	INTETHA0SCRX	パケット受信割り込み	ET0	215	0DE0 <sub>H</sub>	0DE0 <sub>H</sub>	
	ICDTS27		INTDTS27	DTS チャンネル 27 割り込み	DTS				
215	ICETHA0SCTX	61AE <sub>H</sub>	INTETHA0SCTX	パケット送信割り込み	ET0	216	0DF0 <sub>H</sub>	0DF0 <sub>H</sub>	
	ICDTS28		INTDTS28	DTS チャンネル 28 割り込み	DTS				
216	ICETHA0RS	61B0 <sub>H</sub>	INTETHA0RS	受信状態割り込み	ET0	217	0E00 <sub>H</sub>	0E00 <sub>H</sub>	
	ICDTS29		INTDTS29	DTS チャンネル 29 割り込み	DTS				
217	ICETHA0TS	61B2 <sub>H</sub>	INTETHA0TS	送信状態割り込み	ET0	218	0E10 <sub>H</sub>	0E10 <sub>H</sub>	
	ICDTS30		INTDTS30	DTS チャンネル 30 割り込み	DTS				
218	ICETHA0FS	61B4 <sub>H</sub>	INTETHA0FS	FIFO 状態割り込み	ET0	219	0E20 <sub>H</sub>	0E20 <sub>H</sub>	
	ICDTS31		INTDTS31	DTS チャンネル 31 割り込み	DTS				
219	ICETHA0MAC	61B6 <sub>H</sub>	INTETHA0MAC	MAC コア割り込み	ET0	220	0E30 <sub>H</sub>	0E30 <sub>H</sub>	
220	ICKR0	61B8 <sub>H</sub>	INTKR0	キー・リターン割り込み	KR0	221	0E40 <sub>H</sub>	0E40 <sub>H</sub>	
221	R.F.U.	61BA <sub>H</sub>	R.F.U.			222	0E50 <sub>H</sub>	0E50 <sub>H</sub>	
222	R.F.U.	61BC <sub>H</sub>	R.F.U.			223	0E60 <sub>H</sub>	0E60 <sub>H</sub>	
223	R.F.U.	61BE <sub>H</sub>	R.F.U.			224	0E70 <sub>H</sub>	0E70 <sub>H</sub>	
224	R.F.U.	61C0 <sub>H</sub>	R.F.U.			225	0E80 <sub>H</sub>	0E80 <sub>H</sub>	
225	ICLMA5IS	61C2 <sub>H</sub>	INTLMA5IS	状態割り込み	LMA5	226	0E90 <sub>H</sub>	0E90 <sub>H</sub>	
226	ICLMA5IR	61C4 <sub>H</sub>	INTLMA5IR	受信完了割り込み	LMA5	227	0EA0 <sub>H</sub>	0EA0 <sub>H</sub>	
227	ICLMA5IT	61C6 <sub>H</sub>	INTLMA5IT	転送割り込み	LMA5	228	0EB0 <sub>H</sub>	0EB0 <sub>H</sub>	
228	ICDMA8	61C8 <sub>H</sub>	INTDMA8	DMA チャンネル 8 転送完了 (または INTCT8 <sup>b</sup> カウント一致割り込み)	DMA	229	0EC0 <sub>H</sub>	0EC0 <sub>H</sub>	
	ICCT8		INTCT8						
229	ICDMA9	61CA <sub>H</sub>	INTDMA9	DMA チャンネル 9 転送完了 (または INTCT9 <sup>b</sup> カウント一致割り込み)	DMA	230	0ED0 <sub>H</sub>	0ED0 <sub>H</sub>	
	ICCT9		INTCT9						
230	ICDMA10	61CC <sub>H</sub>	INTDMA10	DMA チャンネル 10 転送完了 (または INTCT10 <sup>b</sup> カウント一致割り込み)	DMA	231	0EE0 <sub>H</sub>	0EE0 <sub>H</sub>	
	ICCT10		INTCT10						
231	ICDMA11	61CE <sub>H</sub>	INTDMA11	DMA チャンネル 11 転送完了 (または INTCT11 <sup>b</sup> カウント一致割り込み)	DMA	232	0EF0 <sub>H</sub>	0EF0 <sub>H</sub>	
	ICCT11		INTCT11						
232	ICDMA12	61D0 <sub>H</sub>	INTDMA12	DMA チャンネル 12 転送完了 (または INTCT12 <sup>b</sup> カウント一致割り込み)	DMA	233	0F00 <sub>H</sub>	0F00 <sub>H</sub>	
	ICCT12		INTCT12						
233	ICDMA13	61D2 <sub>H</sub>	INTDMA13	DMA チャンネル 13 転送完了 (または INTCT13 <sup>b</sup> カウント一致割り込み)	DMA	234	0F10 <sub>H</sub>	0F10 <sub>H</sub>	
	ICCT13		INTCT13						
234	ICDMA14	61D4 <sub>H</sub>	INTDMA14	DMA チャンネル 14 転送完了 (または INTCT14 <sup>b</sup> カウント一致割り込み)	DMA	235	0F20 <sub>H</sub>	0F20 <sub>H</sub>	
	ICCT14		INTCT14						

表 5-4 V850E2/FK4-H EI レベル・マスカブル割り込み要因 (8/8)

チャンネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
235	ICDMA15	61D6 <sub>H</sub>	INTDMA15	DMA チャンネル 15 転送完了 (または INTCT15 <sup>p</sup> カウント一致割り込み)	DMA	236	0F39 <sub>H</sub>	0F39 <sub>H</sub>
	ICCT15		INTCT15					
236	ICLMA6IS	61D8 <sub>H</sub>	INTLMA6IS	状態割り込み	LMA6	237	0F40 <sub>H</sub>	0F40 <sub>H</sub>
237	ICLMA6IR	61DA <sub>H</sub>	INTLMA6IR	受信完了割り込み	LMA6	238	0F50 <sub>H</sub>	0F50 <sub>H</sub>
238	ICLMA6IT	61DC <sub>H</sub>	INTLMA6IT	転送割り込み	LMA6	239	0F60 <sub>H</sub>	0F60 <sub>H</sub>
239	ICLMA7IS	61DE <sub>H</sub>	INTLMA7IS	状態割り込み	LMA7	240	0F70 <sub>H</sub>	0F70 <sub>H</sub>
240	ICLMA7IR	61E0 <sub>H</sub>	INTLMA7IR	受信完了割り込み	LMA7	241	0F80 <sub>H</sub>	0F80 <sub>H</sub>
241	ICLMA7IT	61E2 <sub>H</sub>	INTLMA7IT	転送割り込み	LMA7	242	0F90 <sub>H</sub>	0F90 <sub>H</sub>
242	ICLMA8IS	61E4 <sub>H</sub>	INTLMA8IS	状態割り込み	LMA8	243	0FA0 <sub>H</sub>	0FA0 <sub>H</sub>
243	ICLMA8IR	61E6 <sub>H</sub>	INTLMA8IR	受信完了割り込み	LMA8	244	0FB0 <sub>H</sub>	0FB0 <sub>H</sub>
244	ICLMA8IT	61E8 <sub>H</sub>	INTLMA8IT	転送割り込み	LMA8	245	0FC0 <sub>H</sub>	0FC0 <sub>H</sub>
245	ICLMA9IS	61EA <sub>H</sub>	INTLMA9IS	状態割り込み	LMA9	246	0FD9 <sub>H</sub>	0FD9 <sub>H</sub>
246	ICLMA9IR	61EC <sub>H</sub>	INTLMA9IR	受信完了割り込み	LMA9	247	0FE0 <sub>H</sub>	0FE0 <sub>H</sub>
247	ICLMA9IT	61EE <sub>H</sub>	INTLMA9IT	転送割り込み	LMA9	248	0FF0 <sub>H</sub>	0FF0 <sub>H</sub>
248	ICLMA10IS	61F0 <sub>H</sub>	INTLMA10IS	状態割り込み	LMAA	249	1000 <sub>H</sub>	1000 <sub>H</sub>
249	ICLMA10IR	61F2 <sub>H</sub>	INTLMA10IR	受信完了割り込み	LMAA	250	1010 <sub>H</sub>	1010 <sub>H</sub>
250	ICLMA10IT	61F4 <sub>H</sub>	INTLMA10IT	転送割り込み	LMAA	251	1020 <sub>H</sub>	1020 <sub>H</sub>
251	ICLMA11IS	61F6 <sub>H</sub>	INTLMA11IS	状態割り込み	LMAB	252	1030 <sub>H</sub>	1030 <sub>H</sub>
252	ICLMA11IR	61F8 <sub>H</sub>	INTLMA11IR	受信完了割り込み	LMAB	253	1040 <sub>H</sub>	1040 <sub>H</sub>
253	ICLMA11IT	61FA <sub>H</sub>	INTLMA11IT	転送割り込み	LMAB	254	1050 <sub>H</sub>	1050 <sub>H</sub>
254	ICFLR	61FC <sub>H</sub>	INTFLR	シリアル受信割り込み	MINI2IF	255	1060 <sub>H</sub>	1060 <sub>H</sub>
255	ICFLT	61FE <sub>H</sub>	INTFLT	シリアル受信割り込み	MINI2IF	256	1070 <sub>H</sub>	1070 <sub>H</sub>

- a) 共有された TAPA 割り込みの選択は TAPAINSL0 レジスタによって可能です。詳細は 5.2.4 「V850E2/Fx4-H TAPA EI レベル・マスカブル割り込みの共有」を参照してください。
- b) 共有された DMA 割り込みの選択は DMA 割り込み選択レジスタ (DMAINTSL0) によって可能です。詳細は 5.2.5 「V850E2/Fx4-H DMA 割り込み選択」を参照してください。



## (5) V850E2/FL4-H EI レベル・マスカブル割り込み

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (1/8)

チャネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 <sub>H</sub>	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 <sub>H</sub>	0080 <sub>H</sub>
1	ICWDTA1	6002 <sub>H</sub>	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 <sub>H</sub>	0090 <sub>H</sub>
2	ICLVI	6004 <sub>H</sub>	INTLVI	LVI 割り込み	LVI	3	00A0 <sub>H</sub>	00A0 <sub>H</sub>
3	R.F.U.	6006 <sub>H</sub>	R.F.U.			4	00B0 <sub>H</sub>	00B0 <sub>H</sub>
4	ICVCPC0	6008 <sub>H</sub>	INTVCPC0	電圧コンパレータ 0 割り込み	VCPC0	5	00C0 <sub>H</sub>	00C0 <sub>H</sub>
5	ICVCPC1	600A <sub>H</sub>	INTVCPC1	電圧コンパレータ 1 割り込み	VCPC1	6	00D0 <sub>H</sub>	00D0 <sub>H</sub>
6	ICRTCA01S	600C <sub>H</sub>	INTRTCA01S	RTC 1 Hz 割り込み	RTCA0	7	00E0 <sub>H</sub>	00E0 <sub>H</sub>
7	ICRTCA0AL	600E <sub>H</sub>	INTRTCA0AL	RTC アラーム割り込み	RTCA0	8	00F0 <sub>H</sub>	00F0 <sub>H</sub>
8	ICRTCA0R	6010 <sub>H</sub>	INTRTCA0R	RTC 定周期割り込み	RTCA0	9	0100 <sub>H</sub>	0100 <sub>H</sub>
9	ICP0	6012 <sub>H</sub>	INTP0	端子入力エッジ検出	Port	10	0110 <sub>H</sub>	0110 <sub>H</sub>
	ICDTS0		INTDTS0	DTS チャンネル 0 割り込み	DTS			
10	ICP1	6014 <sub>H</sub>	INTP1	端子入力エッジ検出	Port	11	0120 <sub>H</sub>	0120 <sub>H</sub>
	ICDTS1		INTDTS1	DTS チャンネル 1 割り込み	DTS			
11	ICP2	6016 <sub>H</sub>	INTP2	端子入力エッジ検出	Port	12	0130 <sub>H</sub>	0130 <sub>H</sub>
	ICDTS2		INTDTS2	DTS チャンネル 2 割り込み	DTS			
12	ICP3	6018 <sub>H</sub>	INTP3	端子入力エッジ検出	Port	13	0140 <sub>H</sub>	0140 <sub>H</sub>
13	ICP4	601A <sub>H</sub>	INTP4	端子入力エッジ検出	Port	14	0150 <sub>H</sub>	0150 <sub>H</sub>
14	ICP5	601C <sub>H</sub>	INTP5	端子入力エッジ検出	Port	15	0160 <sub>H</sub>	0160 <sub>H</sub>
15	ICP6	601E <sub>H</sub>	INTP6	端子入力エッジ検出	Port	16	0170 <sub>H</sub>	0170 <sub>H</sub>
16	ICP7	6020 <sub>H</sub>	INTP7	端子入力エッジ検出	Port	17	0180 <sub>H</sub>	0180 <sub>H</sub>
17	ICP8	6022 <sub>H</sub>	INTP8	端子入力エッジ検出	Port	18	0190 <sub>H</sub>	0190 <sub>H</sub>
18	ICP9	6024 <sub>H</sub>	INTP9	端子入力エッジ検出	Port	19	01A0 <sub>H</sub>	01A0 <sub>H</sub>
19	ICP10	6026 <sub>H</sub>	INTP10	端子入力エッジ検出	Port	20	01B0 <sub>H</sub>	01B0 <sub>H</sub>
20	ICTAUA0I0	6028 <sub>H</sub>	INTTAUA0I0	チャンネル 0 割り込み	TAUA0	21	01C0 <sub>H</sub>	01C0 <sub>H</sub>
	ICTAPA0IPEK0		INTTAPA0PEK0 <sup>a</sup>	山割り込み 0	TAPA0			
21	ICTAUA0I1	602A <sub>H</sub>	INTTAUA0I1	チャンネル 1 割り込み	TAUA0	22	01D0 <sub>H</sub>	01D0 <sub>H</sub>
22	ICTAUA0I2	602C <sub>H</sub>	INTTAUA0I2	チャンネル 2 割り込み	TAUA0	23	01E0 <sub>H</sub>	01E0 <sub>H</sub>
23	ICTAUA0I3	602E <sub>H</sub>	INTTAUA0I3	チャンネル 3 割り込み	TAUA0	24	01F0 <sub>H</sub>	01F0 <sub>H</sub>
24	ICTAUA0I4	6030 <sub>H</sub>	INTTAUA0I4	チャンネル 4 割り込み	TAUA0	25	0200 <sub>H</sub>	0200 <sub>H</sub>
	ICTAPA0IVLY0		INTTAPA0VLY0 <sup>a</sup>	谷割り込み 0	TAPA0			
25	ICTAUA0I5	6032 <sub>H</sub>	INTTAUA0I5	チャンネル 5 割り込み	TAUA0	26	0210 <sub>H</sub>	0210 <sub>H</sub>
26	ICTAUA0I6	6034 <sub>H</sub>	INTTAUA0I6	チャンネル 6 割り込み	TAUA0	27	0220 <sub>H</sub>	0220 <sub>H</sub>
27	ICTAUA0I7	6036 <sub>H</sub>	INTTAUA0I7	チャンネル 7 割り込み	TAUA0	28	0230 <sub>H</sub>	0230 <sub>H</sub>
28	ICTAUA0I8	6038 <sub>H</sub>	INTTAUA0I8	チャンネル 8 割り込み	TAUA0	29	0240 <sub>H</sub>	0240 <sub>H</sub>
29	ICTAUA0I9	603A <sub>H</sub>	INTTAUA0I9	チャンネル 9 割り込み	TAUA0	30	0250 <sub>H</sub>	0250 <sub>H</sub>
30	ICTAUA0I10	603C <sub>H</sub>	INTTAUA0I10	チャンネル 10 割り込み	TAUA0	31	0260 <sub>H</sub>	0260 <sub>H</sub>
31	ICTAUA0I11	603E <sub>H</sub>	INTTAUA0I11	チャンネル 11 割り込み	TAUA0	32	0270 <sub>H</sub>	0270 <sub>H</sub>
32	ICTAUA0I12	6040 <sub>H</sub>	INTTAUA0I12	チャンネル 12 割り込み	TAUA0	33	0280 <sub>H</sub>	0280 <sub>H</sub>
33	ICTAUA0I13	6042 <sub>H</sub>	INTTAUA0I13	チャンネル 13 割り込み	TAUA0	34	0290 <sub>H</sub>	0290 <sub>H</sub>
34	ICTAUA0I14	6044 <sub>H</sub>	INTTAUA0I14	チャンネル 14 割り込み	TAUA0	35	02A0 <sub>H</sub>	02A0 <sub>H</sub>



表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (2/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
35	ICTAUA0I15	6046 <sub>H</sub>	INTTAUA0I15	チャンネル 15 割り込み	TAUA0	36	02B0 <sub>H</sub>	02B0 <sub>H</sub>	
36	ICTAUB1I0	6048 <sub>H</sub>	INTTAUB1I0	チャンネル 0 割り込み	TAUB1	37	02C0 <sub>H</sub>	02C0 <sub>H</sub>	
	ICDTS3		INTDTS3	DTS チャンネル 3 割り込み	DTS				
37	ICTAUB1I1	604A <sub>H</sub>	INTTAUB1I1	チャンネル 1 割り込み	TAUB1	38	02D0 <sub>H</sub>	02D0 <sub>H</sub>	
	ICDTS4		INTDTS4	DTS チャンネル 4 割り込み	DTS				
38	ICTAUB1I2	604C <sub>H</sub>	INTTAUB1I2	チャンネル 2 割り込み	TAUB1	39	02E0 <sub>H</sub>	02E0 <sub>H</sub>	
39	ICTAUB1I3	604E <sub>H</sub>	INTTAUB1I3	チャンネル 3 割り込み	TAUB1	40	02F0 <sub>H</sub>	02F0 <sub>H</sub>	
40	ICTAUB1I4	6050 <sub>H</sub>	INTTAUB1I4	チャンネル 4 割り込み	TAUB1	41	0300 <sub>H</sub>	0300 <sub>H</sub>	
41	ICTAUB1I5	6052 <sub>H</sub>	INTTAUB1I5	チャンネル 5 割り込み	TAUB1	42	0310 <sub>H</sub>	0310 <sub>H</sub>	
42	ICTAUB1I6	6054 <sub>H</sub>	INTTAUB1I6	チャンネル 6 割り込み	TAUB1	43	0320 <sub>H</sub>	0320 <sub>H</sub>	
43	ICTAUB1I7	6056 <sub>H</sub>	INTTAUB1I7	チャンネル 7 割り込み	TAUB1	44	0330 <sub>H</sub>	0330 <sub>H</sub>	
44	ICTAUB1I8	6058 <sub>H</sub>	INTTAUB1I8	チャンネル 8 割り込み	TAUB1	45	0340 <sub>H</sub>	0340 <sub>H</sub>	
45	ICTAUB1I9	605A <sub>H</sub>	INTTAUB1I9	チャンネル 9 割り込み	TAUB1	46	0350 <sub>H</sub>	0350 <sub>H</sub>	
46	ICTAUB1I10	605C <sub>H</sub>	INTTAUB1I10	チャンネル 10 割り込み	TAUB1	47	0360 <sub>H</sub>	0360 <sub>H</sub>	
47	ICTAUB1I11	605E <sub>H</sub>	INTTAUB1I11	チャンネル 11 割り込み	TAUB1	48	0370 <sub>H</sub>	0370 <sub>H</sub>	
48	ICTAUB1I12	6060 <sub>H</sub>	INTTAUB1I12	チャンネル 12 割り込み	TAUB1	49	0380 <sub>H</sub>	0380 <sub>H</sub>	
49	ICTAUB1I13	6062 <sub>H</sub>	INTTAUB1I13	チャンネル 13 割り込み	TAUB1	50	0390 <sub>H</sub>	0390 <sub>H</sub>	
50	ICTAUB1I14	6064 <sub>H</sub>	INTTAUB1I14	チャンネル 14 割り込み	TAUB1	51	03A0 <sub>H</sub>	03A0 <sub>H</sub>	
51	ICTAUB1I15	6066 <sub>H</sub>	INTTAUB1I15	チャンネル 15 割り込み	TAUB1	52	03B0 <sub>H</sub>	03B0 <sub>H</sub>	
52	ICTAUB2I0	6068 <sub>H</sub>	ICTAUB2I0	チャンネル 0 割り込み	TAUB2	53	03C0 <sub>H</sub>	03C0 <sub>H</sub>	
	ICDTS5		INTDTS5	DTS チャンネル 5 割り込み	DTS				
53	ICTAUB2I1	606A <sub>H</sub>	ICTAUB2I1	チャンネル 1 割り込み	TAUB2	54	03D0 <sub>H</sub>	03D0 <sub>H</sub>	
	ICDTS6		INTDTS6	DTS チャンネル 6 割り込み	DTS				
54	ICTAUB2I2	606C <sub>H</sub>	ICTAUB2I2	チャンネル 2 割り込み	TAUB2	55	03E0 <sub>H</sub>	03E0 <sub>H</sub>	
55	ICTAUB2I3	606E <sub>H</sub>	ICTAUB2I3	チャンネル 3 割り込み	TAUB2	56	03F0 <sub>H</sub>	03F0 <sub>H</sub>	
56	ICTAUB2I4	6070 <sub>H</sub>	ICTAUB2I4	チャンネル 4 割り込み	TAUB2	57	0400 <sub>H</sub>	0400 <sub>H</sub>	
57	ICTAUB2I5	6072 <sub>H</sub>	ICTAUB2I5	チャンネル 5 割り込み	TAUB2	58	0410 <sub>H</sub>	0410 <sub>H</sub>	
58	ICTAUB2I6	6074 <sub>H</sub>	ICTAUB2I6	チャンネル 6 割り込み	TAUB2	59	0420 <sub>H</sub>	0420 <sub>H</sub>	
59	ICTAUB2I7	6076 <sub>H</sub>	ICTAUB2I7	チャンネル 7 割り込み	TAUB2	60	0430 <sub>H</sub>	0430 <sub>H</sub>	
60	ICTAUB2I8	6078 <sub>H</sub>	ICTAUB2I8	チャンネル 8 割り込み	TAUB2	61	0440 <sub>H</sub>	0440 <sub>H</sub>	
61	ICTAUB2I9	607A <sub>H</sub>	ICTAUB2I9	チャンネル 9 割り込み	TAUB2	62	0450 <sub>H</sub>	0450 <sub>H</sub>	
62	ICTAUB2I10	607C <sub>H</sub>	ICTAUB2I10	チャンネル 10 割り込み	TAUB2	63	0460 <sub>H</sub>	0460 <sub>H</sub>	
63	ICTAUB2I11	607E <sub>H</sub>	ICTAUB2I11	チャンネル 11 割り込み	TAUB2	64	0470 <sub>H</sub>	0470 <sub>H</sub>	
64	ICTAUB2I12	6080 <sub>H</sub>	ICTAUB2I12	チャンネル 12 割り込み	TAUB2	65	0480 <sub>H</sub>	0480 <sub>H</sub>	
65	ICTAUB2I13	6082 <sub>H</sub>	ICTAUB2I13	チャンネル 13 割り込み	TAUB2	66	0490 <sub>H</sub>	0490 <sub>H</sub>	
66	ICTAUB2I14	6084 <sub>H</sub>	ICTAUB2I14	チャンネル 14 割り込み	TAUB2	67	04A0 <sub>H</sub>	04A0 <sub>H</sub>	
67	ICTAUB2I15	6086 <sub>H</sub>	INTTAUB2I15	チャンネル 15 割り込み	TAUB2	68	04B0 <sub>H</sub>	04B0 <sub>H</sub>	
68	ICTAUC3I0	6088 <sub>H</sub>	INTTAUC3I0	チャンネル 0 割り込み	TAUC3	69	04C0 <sub>H</sub>	04C0 <sub>H</sub>	
69	ICTAUC3I1	608A <sub>H</sub>	INTTAUC3I1	チャンネル 1 割り込み	TAUC3	70	04D0 <sub>H</sub>	04D0 <sub>H</sub>	
70	ICTAUC3I2	608C <sub>H</sub>	INTTAUC3I2	チャンネル 2 割り込み	TAUC3	71	04E0 <sub>H</sub>	04E0 <sub>H</sub>	
71	ICTAUC3I3	600E <sub>H</sub>	INTTAUC3I3	チャンネル 3 割り込み	TAUC3	72	04F0 <sub>H</sub>	04F0 <sub>H</sub>	

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (3/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
72	ICTAUC3I4	6090 <sub>H</sub>	INTTAUC3I4	チャンネル 4 割り込み	TAUC3	73	0500 <sub>H</sub>	0500 <sub>H</sub>	
73	ICTAUC3I5	6092 <sub>H</sub>	INTTAUC3I5	チャンネル 5 割り込み	TAUC3	74	0510 <sub>H</sub>	0510 <sub>H</sub>	
74	ICTAUC3I6	6094 <sub>H</sub>	INTTAUC3I6	チャンネル 6 割り込み	TAUC3	75	0520 <sub>H</sub>	0520 <sub>H</sub>	
75	ICTAUC3I7	6096 <sub>H</sub>	INTTAUC3I7	チャンネル 7 割り込み	TAUC3	76	0530 <sub>H</sub>	0530 <sub>H</sub>	
76	ICTAUC3I8	6098 <sub>H</sub>	INTTAUC3I8	チャンネル 8 割り込み	TAUC3	77	0540 <sub>H</sub>	0540 <sub>H</sub>	
77	ICTAUC3I9	609A <sub>H</sub>	INTTAUC3I9	チャンネル 9 割り込み	TAUC3	78	0550 <sub>H</sub>	0550 <sub>H</sub>	
78	ICTAUC3I10	609C <sub>H</sub>	INTTAUC3I10	チャンネル 10 割り込み	TAUC3	79	0560 <sub>H</sub>	0560 <sub>H</sub>	
79	ICTAUC3I11	609E <sub>H</sub>	INTTAUC3I11	チャンネル 11 割り込み	TAUC3	80	0570 <sub>H</sub>	0570 <sub>H</sub>	
80	ICTAUC3I12	60A0 <sub>H</sub>	INTTAUC3I12	チャンネル 12 割り込み	TAUC3	81	0580 <sub>H</sub>	0580 <sub>H</sub>	
81	ICTAUC3I13	60A2 <sub>H</sub>	INTTAUC3I13	チャンネル 13 割り込み	TAUC3	82	0590 <sub>H</sub>	0590 <sub>H</sub>	
82	ICTAUC3I14	60A4 <sub>H</sub>	INTTAUC3I14	チャンネル 14 割り込み	TAUC3	83	05A0 <sub>H</sub>	05A0 <sub>H</sub>	
83	ICTAUC3I15	60A6 <sub>H</sub>	INTTAUC3I15	チャンネル 15 割り込み	TAUC3	84	05B0 <sub>H</sub>	05B0 <sub>H</sub>	
84	ICTAUC4I0	60A8 <sub>H</sub>	INTTAUC4I0	チャンネル 0 割り込み	TAUC4	85	05C0 <sub>H</sub>	05C0 <sub>H</sub>	
85	ICTAUC4I1	60AA <sub>H</sub>	INTTAUC4I1	チャンネル 1 割り込み	TAUC4	86	05D0 <sub>H</sub>	05D0 <sub>H</sub>	
86	ICTAUC4I2	60AC <sub>H</sub>	INTTAUC4I2	チャンネル 2 割り込み	TAUC4	87	05E0 <sub>H</sub>	05E0 <sub>H</sub>	
87	ICTAUC4I3	60AE <sub>H</sub>	INTTAUC4I3	チャンネル 3 割り込み	TAUC4	88	05F0 <sub>H</sub>	05F0 <sub>H</sub>	
88	ICTAUC4I4	60B0 <sub>H</sub>	INTTAUC4I4	チャンネル 4 割り込み	TAUC4	89	0600 <sub>H</sub>	0600 <sub>H</sub>	
89	ICTAUC4I5	60B2 <sub>H</sub>	INTTAUC4I5	チャンネル 5 割り込み	TAUC4	90	0610 <sub>H</sub>	0610 <sub>H</sub>	
90	ICTAUC4I6	60B4 <sub>H</sub>	INTTAUC4I6	チャンネル 6 割り込み	TAUC4	91	0620 <sub>H</sub>	0620 <sub>H</sub>	
91	ICTAUC4I7	60B6 <sub>H</sub>	INTTAUC4I7	チャンネル 7 割り込み	TAUC4	92	0630 <sub>H</sub>	0630 <sub>H</sub>	
92	ICTAUC4I8	60B8 <sub>H</sub>	INTTAUC4I8	チャンネル 8 割り込み	TAUC4	93	0640 <sub>H</sub>	0640 <sub>H</sub>	
93	ICTAUC4I9	60BA <sub>H</sub>	INTTAUC4I9	チャンネル 9 割り込み	TAUC4	94	0650 <sub>H</sub>	0650 <sub>H</sub>	
94	ICTAUC4I10	60BC <sub>H</sub>	INTTAUC4I10	チャンネル 10 割り込み	TAUC4	95	0660 <sub>H</sub>	0660 <sub>H</sub>	
95	ICTAUC4I11	60BE <sub>H</sub>	INTTAUC4I11	チャンネル 11 割り込み	TAUC4	96	0670 <sub>H</sub>	0670 <sub>H</sub>	
96	ICTAUC4I12	60C0 <sub>H</sub>	INTTAUC4I12	チャンネル 12 割り込み	TAUC4	97	0680 <sub>H</sub>	0680 <sub>H</sub>	
97	ICTAUC4I13	60C2 <sub>H</sub>	INTTAUC4I13	チャンネル 13 割り込み	TAUC4	98	0690 <sub>H</sub>	0690 <sub>H</sub>	
98	ICTAUC4I14	60C4 <sub>H</sub>	INTTAUC4I14	チャンネル 14 割り込み	TAUC4	99	06A0 <sub>H</sub>	06A0 <sub>H</sub>	
99	ICTAUC4I15	60C6 <sub>H</sub>	INTTAUC4I15	チャンネル 15 割り込み	TAUC4	100	06B0 <sub>H</sub>	06B0 <sub>H</sub>	
100	ICADCA0ERR	60C8 <sub>H</sub>	INTADCA0ERR	エラー割り込み	ADCA0	101	06C0 <sub>H</sub>	06C0 <sub>H</sub>	
101	ICADCA0I0	60CA <sub>H</sub>	INTADCA0I0	CG0 変換終了	ADCA0	102	06D0 <sub>H</sub>	06D0 <sub>H</sub>	
	ICDTS7		INTDTS7	DTS チャンネル 7 割り込み	DTS				
102	ICADCA0I1	60CC <sub>H</sub>	INTADCA0I1	CG1 変換終了	ADCA0	103	06E0 <sub>H</sub>	06E0 <sub>H</sub>	
	ICDTS8		INTDTS8	DTS チャンネル 8 割り込み	DTS				
103	ICADCA0I2	60CE <sub>H</sub>	INTADCA0I2	CG2 変換終了	ADCA0	104	06F0 <sub>H</sub>	06F0 <sub>H</sub>	
104	ICADCA0LLT	60D0 <sub>H</sub>	INTADCA0LLT	変換割り込み	ADCA0	105	0700 <sub>H</sub>	0700 <sub>H</sub>	
105	ICFCNWUP	60D2 <sub>H</sub>	INTFCNWUP	ウエイクアップ割り込み	FCNA[4:0]	106	0710 <sub>H</sub>	0710 <sub>H</sub>	
					DCNA0				
106	ICFCN0ERR	60D4 <sub>H</sub>	INTFCN0ERR	エラー割り込み	FCN0	107	0720 <sub>H</sub>	0720 <sub>H</sub>	
107	ICFCN0REC	60D6 <sub>H</sub>	INTFCN0REC	受信割り込み	FCN0	108	0730 <sub>H</sub>	0730 <sub>H</sub>	
108	ICFCN0TRX	60D8 <sub>H</sub>	INTFCN0TRX	送信割り込み	FCN0	109	0740 <sub>H</sub>	0740 <sub>H</sub>	
109	ICCSIG0IRE	60DA <sub>H</sub>	INTCSIG0IRE	受信エラー割り込み	CSIG0	110	0750 <sub>H</sub>	0750 <sub>H</sub>	

表 5-5 V850E2/FL4-H EI レベル・マスクブル割り込み要因 (4/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
110	ICCSIG0IR	60DC <sub>H</sub>	INTCSIG0IR	受信状態割り込み	CSIG0	111	0760 <sub>H</sub>	0760 <sub>H</sub>	
111	ICCSIG0IC	60DE <sub>H</sub>	INTCSIG0IC	通信状態割り込み	CSIG0	112	0770 <sub>H</sub>	0770 <sub>H</sub>	
112	ICLMA0IS	60E0 <sub>H</sub>	INTLMA0IS	状態割り込み	LMA0	113	0780 <sub>H</sub>	0780 <sub>H</sub>	
113	ICLMA0IR	60E2 <sub>H</sub>	INTLMA0IR	受信完了割り込み	LMA0	114	0790 <sub>H</sub>	0790 <sub>H</sub>	
114	ICLMA0IT	60E4 <sub>H</sub>	INTLMA0IT	転送割り込み	LMA0	115	07A0 <sub>H</sub>	07A0 <sub>H</sub>	
115	ICLMA1IS	60E6 <sub>H</sub>	INTLMA1IS	状態割り込み	LMA1	116	07B0 <sub>H</sub>	07B0 <sub>H</sub>	
116	ICLMA1IR	60E8 <sub>H</sub>	INTLMA1IR	受信完了割り込み	LMA1	117	07C0 <sub>H</sub>	07C0 <sub>H</sub>	
117	ICLMA1IT	60EA <sub>H</sub>	INTLMA1IT	転送割り込み	LMA1	118	07D0 <sub>H</sub>	07D0 <sub>H</sub>	
118	ICADCA1ERR	60EC <sub>H</sub>	INTADCA1ERR	エラー割り込み	ADCA1	119	07E0 <sub>H</sub>	07E0 <sub>H</sub>	
119	ICDMA0	60EE <sub>H</sub>	INTDMA0	DMA チャンネル 0 転送完了 (または INTCT0 <sup>b</sup> カウント一致割り込み)	DMA	120	07F0 <sub>H</sub>	07F0 <sub>H</sub>	
	ICCT0		INTCT0						
120	ICDMA1	60F0 <sub>H</sub>	INTDMA1	DMA チャンネル 1 転送完了 (または INTCT1 <sup>b</sup> カウント一致割り込み)	DMA	121	0800 <sub>H</sub>	0800 <sub>H</sub>	
	ICCT1		INTCT1						
121	ICDMA2	60F2 <sub>H</sub>	INTDMA2	DMA チャンネル 2 転送完了 (または INTCT2 <sup>b</sup> カウント一致割り込み)	DMA	122	0810 <sub>H</sub>	0810 <sub>H</sub>	
	ICCT2		INTCT2						
122	ICDMA3	60F4 <sub>H</sub>	INTDMA3	DMA チャンネル 3 転送完了 (または INTCT3 <sup>b</sup> カウント一致割り込み)	DMA	123	0820 <sub>H</sub>	0820 <sub>H</sub>	
	ICCT3		INTCT3						
123	ICDMA4	60F6 <sub>H</sub>	INTDMA4	DMA チャンネル 4 転送完了 (または INTCT4 <sup>b</sup> カウント一致割り込み)	DMA	124	0830 <sub>H</sub>	0830 <sub>H</sub>	
	ICCT4		INTCT4						
124	ICDMA5	60F8 <sub>H</sub>	INTDMA5	DMA チャンネル 5 転送完了 (または INTCT5 <sup>b</sup> カウント一致割り込み)	DMA	125	0840 <sub>H</sub>	0840 <sub>H</sub>	
	ICCT5		INTCT5						
125	ICDMA6	60FA <sub>H</sub>	INTDMA6	DMA チャンネル 6 転送完了 (または INTCT6 <sup>b</sup> カウント一致割り込み)	DMA	126	0850 <sub>H</sub>	0850 <sub>H</sub>	
	ICCT6		INTCT6						
126	ICDMA7	60FC <sub>H</sub>	INTDMA7	DMA チャンネル 7 転送完了 (または INTCT7 <sup>b</sup> カウント一致割り込み)	DMA	127	0860 <sub>H</sub>	0860 <sub>H</sub>	
	ICCT7		INTCT7						
127	ICFL	60FE <sub>H</sub>	INTFL	シーケンス完了割り込み	CDFRB	128	0870 <sub>H</sub>	0870 <sub>H</sub>	
128	ICIICB0IS	6100 <sub>H</sub>	INTIICB0IS	状態割り込み	IICB0	129	0880 <sub>H</sub>	0880 <sub>H</sub>	
129	ICIICB0IA	6102 <sub>H</sub>	INTIICB0IA	データ転送/受信割り込み	IICB0	130	0890 <sub>H</sub>	0890 <sub>H</sub>	
130	R.F.U.	6104 <sub>H</sub>	R.F.U.			131	08A0 <sub>H</sub>	08A0 <sub>H</sub>	
131	R.F.U.	6106 <sub>H</sub>	R.F.U.			132	08B0 <sub>H</sub>	08B0 <sub>H</sub>	
132	ICFCN1ERR	6108 <sub>H</sub>	INTFCN1ERR	エラー割り込み	FCNA1	133	08C0 <sub>H</sub>	08C0 <sub>H</sub>	
133	ICFCN1REC	610A <sub>H</sub>	INTFCN1REC	受信割り込み	FCNA1	134	08D0 <sub>H</sub>	08D0 <sub>H</sub>	
134	ICFCN1TRX	610C <sub>H</sub>	INTFCN1TRX	送信割り込み	FCNA1	135	08E0 <sub>H</sub>	08E0 <sub>H</sub>	
135	ICTAUJ0I0	610E <sub>H</sub>	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	136	08F0 <sub>H</sub>	08F0 <sub>H</sub>	
136	ICTAUJ0I1	6110 <sub>H</sub>	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	137	0900 <sub>H</sub>	0900 <sub>H</sub>	
137	ICTAUJ0I2	6112 <sub>H</sub>	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	138	0910 <sub>H</sub>	0910 <sub>H</sub>	
138	ICTAUJ0I3	6114 <sub>H</sub>	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	139	0920 <sub>H</sub>	0920 <sub>H</sub>	
139	ICTAUJ1I0	6116 <sub>H</sub>	INTTAUJ1I0	チャンネル 0 割り込み	TAUJ1	140	0930 <sub>H</sub>	0930 <sub>H</sub>	
140	ICTAUJ1I1	6118 <sub>H</sub>	INTTAUJ1I1	チャンネル 1 割り込み	TAUJ1	141	0940 <sub>H</sub>	0940 <sub>H</sub>	
141	ICTAUJ1I2	611A <sub>H</sub>	INTTAUJ1I2	チャンネル 2 割り込み	TAUJ1	142	0950 <sub>H</sub>	0950 <sub>H</sub>	
142	ICTAUJ1I3	611C <sub>H</sub>	INTTAUJ1I3	チャンネル 3 割り込み	TAUJ1	143	0960 <sub>H</sub>	0960 <sub>H</sub>	

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (5/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
143	ICADCA110	611E <sub>H</sub>	INTADCA110	CG0 変換終了	ADCA1	144	0970 <sub>H</sub>	0970 <sub>H</sub>	
	ICDTS9		INTDTS9	DTS チャンネル 9 割り込み	DTS				
144	ICADCA111	6120 <sub>H</sub>	INTADCA111	CG1 変換終了	ADCA1	145	0980 <sub>H</sub>	0980 <sub>H</sub>	
	ICDTS10		INTDTS10	DTS チャンネル 10 割り込み	DTS				
145	ICADCA112	6122 <sub>H</sub>	INTADCA112	CG2 変換終了	ADCA1	146	0990 <sub>H</sub>	0990 <sub>H</sub>	
	ICDTS11		INTDTS11	DTS チャンネル 11 割り込み	DTS				
146	ICADCA1LLT	6124 <sub>H</sub>	INTADCA1LLT	変換割り込み	ADCA1	147	09A0 <sub>H</sub>	09A0 <sub>H</sub>	
147	ICOSTM0	6126 <sub>H</sub>	INTOSTM0	OSTM0 割り込み	OSTM0	148	09B0 <sub>H</sub>	09B0 <sub>H</sub>	
148	R.F.U.	6128 <sub>H</sub>	R.F.U.			149	09C0 <sub>H</sub>	09C0 <sub>H</sub>	
149	R.F.U.	612A <sub>H</sub>	R.F.U.			150	09D0 <sub>H</sub>	09D0 <sub>H</sub>	
150	R.F.U.	612C <sub>H</sub>	R.F.U.			151	09E0 <sub>H</sub>	09E0 <sub>H</sub>	
151	ICCSIG2IRE	6128 <sub>H</sub>	INTCSIG2IRE	受信エラー割り込み	CSIG2	152	09F0 <sub>H</sub>	09F0 <sub>H</sub>	
152	ICCSIG2IR	612A <sub>H</sub>	INTCSIG2IR	受信割り込み	CSIG2	153	0A00 <sub>H</sub>	0A00 <sub>H</sub>	
153	ICCSIG2IC	612C <sub>H</sub>	INTCSIG2IC	通信状態割り込み	CSIG2	154	0A10 <sub>H</sub>	0A10 <sub>H</sub>	
154	ICFCN3ERR	6134 <sub>H</sub>	INTFCN3ERR	エラー割り込み	FCNA3	155	0A20 <sub>H</sub>	0A20 <sub>H</sub>	
155	ICFCN3REC	6136 <sub>H</sub>	INTFCN3REC	受信割り込み	FCNA3	156	0A30 <sub>H</sub>	0A30 <sub>H</sub>	
156	ICFCN3TRX	6138 <sub>H</sub>	INTFCN3TRX	転送割り込み	FCNA3	157	0A40 <sub>H</sub>	0A40 <sub>H</sub>	
157	ICFCN4ERR	613A <sub>H</sub>	INTFCN4ERR	エラー割り込み	FCNA4	158	0A50 <sub>H</sub>	0A50 <sub>H</sub>	
158	ICFCN4REC	613C <sub>H</sub>	INTFCN4REC	受信割り込み	FCNA4	159	0A60 <sub>H</sub>	0A60 <sub>H</sub>	
159	ICFCN4TRX	613E <sub>H</sub>	INTFCN4TRX	転送割り込み	FCNA4	160	0A70 <sub>H</sub>	0A70 <sub>H</sub>	
160	ICFCN2ERR	6140 <sub>H</sub>	INTFCN2ERR	エラー割り込み	FCNA2	161	0A80 <sub>H</sub>	0A80 <sub>H</sub>	
	ICETHA0SCTXTCH		INTETHA0SCTXTCH	データ計算完了割り込み	ET0				
161	ICFCN2REC	6142 <sub>H</sub>	INTFCN2REC	受信割り込み	FCNA2	162	0A90 <sub>H</sub>	0A90 <sub>H</sub>	
	ICETHA0SCRXTCH		INTETHA0SCRXTCH	チェックサムデータ送信割り込み	ET0				
162	ICFCN2TRX	6144 <sub>H</sub>	INTFCN2TRX	転送割り込み	FCNA2	163	0AA0 <sub>H</sub>	0AA0 <sub>H</sub>	
163	ICCSIH0IC	6146 <sub>H</sub>	INTCSIH0IC	通信状態割り込み	CSIH0	164	0AB0 <sub>H</sub>	0AB0 <sub>H</sub>	
	ICDTS12		INTDTS12	DTS チャンネル 12 割り込み	DTS				
164	ICCSIH0JC	6148 <sub>H</sub>	INTCSIH0JC	ジョブ完了割り込み	CSIH0	165	0AC0 <sub>H</sub>	0AC0 <sub>H</sub>	
	ICDTS13		INTDTS13	DTS チャンネル 13 割り込み	DTS				
165	R.F.U.	614A <sub>H</sub>	R.F.U.			166	0AD0 <sub>H</sub>	0AD0 <sub>H</sub>	
166	R.F.U.	614C <sub>H</sub>	R.F.U.			167	0AE0 <sub>H</sub>	0AE0 <sub>H</sub>	
167	R.F.U.	614E <sub>H</sub>	R.F.U.			168	0AF0 <sub>H</sub>	0AF0 <sub>H</sub>	
168	ICCSIH0IRE	6150 <sub>H</sub>	INTCSIH0IRE	受信エラー割り込み	CSIH0	169	0B00 <sub>H</sub>	0B00 <sub>H</sub>	
169	ICCSIH0IR	6152 <sub>H</sub>	INTCSIH0IR	受信状態割り込み	CSIH0	170	0B10 <sub>H</sub>	0B10 <sub>H</sub>	
	ICDTS14		INTDTS14	DTS チャンネル 14 割り込み	DTS				
170	ICCSIG4IRE	6154 <sub>H</sub>	INTCSIG4IRE	受信エラー割り込み	CSIG4	171	0B20 <sub>H</sub>	0B20 <sub>H</sub>	
171	ICCSIG4IR	6156 <sub>H</sub>	INTCSIG4IR	受信状態割り込み	CSIG4	172	0B30 <sub>H</sub>	0B30 <sub>H</sub>	
172	ICCSIG4IC	6158 <sub>H</sub>	INTCSIG4IC	通信状態割り込み	CSIG4	173	0B40 <sub>H</sub>	0B40 <sub>H</sub>	
173	INTDCN0ERR	615A <sub>H</sub>	INTDCN0ERR	エラー割り込み	DCN0	174	0B50 <sub>H</sub>	0B50 <sub>H</sub>	
174	ICDCN0REC	615C <sub>H</sub>	INTDCN0REC	受信割り込み	DCNA0	175	0B60 <sub>H</sub>	0B60 <sub>H</sub>	
	ICDTS15		INTDTS15	DTS チャンネル 15 割り込み	DTS				

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (6/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
175	INTDCN0TRX	615E <sub>H</sub>	INTDCN0TRX	転送割り込み	DCN0	176	0B70 <sub>H</sub>	0B70 <sub>H</sub>	
176	ICFLXA0I0	6160 <sub>H</sub>	INTFLX0I0	0 割り込み	FLXA0	177	0B80 <sub>H</sub>	0B80 <sub>H</sub>	
	ICDTS16		INTDTS16	DTS チャンネル 16 割り込み	DTS				
177	ICFLXA0I1	6162 <sub>H</sub>	INTFLX0I1	1 割り込み	FLXA0	178	0B90 <sub>H</sub>	0B90 <sub>H</sub>	
	ICDTS17		INTDTS17	DTS チャンネル 17 割り込み	DTS				
178	ICFLXA0I2	6164 <sub>H</sub>	INTFLX0I2	タイマ 0 割り込み	FLXA0	179	0BA0 <sub>H</sub>	0BA0 <sub>H</sub>	
179	ICFLXA0I3	6166 <sub>H</sub>	INTFLX0I3	タイマ 1 割り込み	FLXA0	180	0BB0 <sub>H</sub>	0BB0 <sub>H</sub>	
180	ICCSIH1IRE	6168 <sub>H</sub>	INTCSIH1IRE	受信エラー割り込み	CSIH1	181	0BC0 <sub>H</sub>	0BC0 <sub>H</sub>	
181	ICCSIH1IR	616A <sub>H</sub>	INTCSIH1IR	受信状態割り込み	CSIH1	182	0BD0 <sub>H</sub>	0BD0 <sub>H</sub>	
	ICDTS18		INTDTS18	DTS チャンネル 18 割り込み	DTS				
182	ICCSIH1IC	616C <sub>H</sub>	INTCSIH1IC	通信状態割り込み	CSIH1	183	0BE0 <sub>H</sub>	0BE0 <sub>H</sub>	
	ICDTS19		INTDTS19	DTS チャンネル 19 割り込み	DTS				
183	ICCSIH1JC	616E <sub>H</sub>	INTCSIH1JC	ジョブ完了割り込み	CSIH1	184	0BF0 <sub>H</sub>	0BF0 <sub>H</sub>	
	ICDTS20		INTDTS20	DTS チャンネル 20 割り込み	DTS				
184	R.F.U.	6170 <sub>H</sub>	R.F.U.			185	0C00 <sub>H</sub>	0C00 <sub>H</sub>	
185	R.F.U.	6172 <sub>H</sub>	R.F.U.			186	0C10 <sub>H</sub>	0C10 <sub>H</sub>	
186	R.F.U.	6174 <sub>H</sub>	R.F.U.			187	0C20 <sub>H</sub>	0C20 <sub>H</sub>	
187	ICENCA0CC0	6176 <sub>H</sub>	INTENCA0CC0	キャプチャ/コンペアー一致割り込み	ENCA0	188	0C30 <sub>H</sub>	0C30 <sub>H</sub>	
188	ICENCA0CC1	6178 <sub>H</sub>	INTENCA0CC1	キャプチャ/コンペアー一致割り込み	ENCA0	189	0C40 <sub>H</sub>	0C40 <sub>H</sub>	
189	ICENCA0TIUD	617A <sub>H</sub>	INTENCA0TIUD	アンダフロー割り込み	ENCA0	190	0C50 <sub>H</sub>	0C50 <sub>H</sub>	
190	ICENCA0EC	617C <sub>H</sub>	INTENCA0EC	エンコーダ・クリア割り込み	ENCA0	191	0C60 <sub>H</sub>	0C60 <sub>H</sub>	
191	ICENCA0OV	617E <sub>H</sub>	INTENCA0OV	オーバフロー割り込み	ENCA0	192	0C70 <sub>H</sub>	0C70 <sub>H</sub>	
192	R.F.U.	6180 <sub>H</sub>	R.F.U.			193	0C80 <sub>H</sub>	0C80 <sub>H</sub>	
193	ICLMA2IS	6182 <sub>H</sub>	INTLMA2IS	状態割り込み	LMA2	194	0C90 <sub>H</sub>	0C90 <sub>H</sub>	
194	ICLMA2IR	6184 <sub>H</sub>	INTLMA2IR	受信完了割り込み	LMA2	195	0CA0 <sub>H</sub>	0CA0 <sub>H</sub>	
195	ICLMA2IT	6186 <sub>H</sub>	INTLMA2IT	転送割り込み	LMA2	196	0CB0 <sub>H</sub>	0CB0 <sub>H</sub>	
196	ICLMA3IS	6188 <sub>H</sub>	INTLMA3IS	状態割り込み	LMA3	197	0CC0 <sub>H</sub>	0CC0 <sub>H</sub>	
197	ICLMA3IR	618A <sub>H</sub>	INTLMA3IR	受信完了割り込み	LMA3	198	0CD0 <sub>H</sub>	0CD0 <sub>H</sub>	
198	ICLMA3IT	618C <sub>H</sub>	INTLMA3IT	転送割り込み	LMA3	199	0CE0 <sub>H</sub>	0CE0 <sub>H</sub>	
199	ICLMA4IS	610E <sub>H</sub>	INTLMA4IS	状態割り込み	LMA4	200	0CF0 <sub>H</sub>	0CF0 <sub>H</sub>	
200	ICLMA4IR	6190 <sub>H</sub>	INTLMA4IR	受信完了割り込み	LMA4	201	0D00 <sub>H</sub>	0D00 <sub>H</sub>	
201	ICLMA4IT	6192 <sub>H</sub>	INTLMA4IT	転送割り込み	LMA4	202	0D10 <sub>H</sub>	0D10 <sub>H</sub>	
202	ICCSIH2IRE	6194 <sub>H</sub>	INTCSIH2IRE	受信エラー割り込み	CSIH2	203	0D20 <sub>H</sub>	0D20 <sub>H</sub>	
203	ICCSIH2IR	6196 <sub>H</sub>	INTCSIH2IR	受信状態割り込み	CSIH2	204	0D30 <sub>H</sub>	0D30 <sub>H</sub>	
	ICDTS21		INTDTS21	DTS チャンネル 21 割り込み	DTS				
204	ICCSIH2IC	6198 <sub>H</sub>	INTCSIH2IC	通信状態割り込み	CSIH2	205	0D40 <sub>H</sub>	0D40 <sub>H</sub>	
	ICDTS22		INTDTS22	DTS チャンネル 22 割り込み	DTS				
205	ICCSIH2JC	619A <sub>H</sub>	INTCSIH2JC	ジョブ完了割り込み	CSIH2	206	0D50 <sub>H</sub>	0D50 <sub>H</sub>	
	ICDTS23		INTDTS23	DTS チャンネル 23 割り込み	DTS				
206	R.F.U.	619C <sub>H</sub>	R.F.U.			207	0D60 <sub>H</sub>	0D60 <sub>H</sub>	
207	R.F.U.	619E <sub>H</sub>	R.F.U.			208	0D70 <sub>H</sub>	0D70 <sub>H</sub>	

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (7/8)

割り込み			割り込み要求				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャンネル	制御レジスタ		割り込み名称	割り込み要因	ユニット				
	レジスタ名称	アドレス FFFF...							
208	ICP11	61A0 <sub>H</sub>	INTP11	端子入力エッジ検出	Port	209	0D80 <sub>H</sub>	0D80 <sub>H</sub>	
209	ICP12	61A2 <sub>H</sub>	INTP12	端子入力エッジ検出	Port	210	0D90 <sub>H</sub>	0D90 <sub>H</sub>	
210	ICP13	61A4 <sub>H</sub>	INTP13	端子入力エッジ検出	Port	211	0DA0 <sub>H</sub>	0DA0 <sub>H</sub>	
211	ICP14	61A6 <sub>H</sub>	INTP14	端子入力エッジ検出	Port	212	0DB0 <sub>H</sub>	0DB0 <sub>H</sub>	
212	ICP15	61A8 <sub>H</sub>	INTP15	端子入力エッジ検出	Port	213	0DC0 <sub>H</sub>	0DC0 <sub>H</sub>	
213	ICETHA0SRX	61AA <sub>H</sub>	INTETHA0SRX	受信データレディ割り込み	ET0	214	0DD0 <sub>H</sub>	0DD0 <sub>H</sub>	
	ICDTS26		INTDTS26	DTS チャンネル 26 割り込み	DTS				
214	ICETHA0SCRX	61AC <sub>H</sub>	INTETHA0SCRX	パケット受信割り込み	ET0	215	0DE0 <sub>H</sub>	0DE0 <sub>H</sub>	
	ICDTS27		INTDTS27	DTS チャンネル 27 割り込み	DTS				
215	ICETHA0SCTX	61AE <sub>H</sub>	INTETHA0SCTX	パケット送信割り込み	ET0	216	0DF0 <sub>H</sub>	0DF0 <sub>H</sub>	
	ICDTS28		INTDTS28	DTS チャンネル 28 割り込み	DTS				
216	ICETHA0RS	61B0 <sub>H</sub>	INTETHA0RS	受信状態割り込み	ET0	217	0E00 <sub>H</sub>	0E00 <sub>H</sub>	
	ICDTS29		INTDTS29	DTS チャンネル 29 割り込み	DTS				
217	ICETHA0TS	61B2 <sub>H</sub>	INTETHA0TS	送信状態割り込み	ET0	218	0E10 <sub>H</sub>	0E10 <sub>H</sub>	
	ICDTS30		INTDTS30	DTS チャンネル 30 割り込み	DTS				
218	ICETHA0FS	61B4 <sub>H</sub>	INTETHA0FS	FIFO 状態割り込み	ET0	219	0E20 <sub>H</sub>	0E20 <sub>H</sub>	
	ICDTS31		INTDTS31	DTS チャンネル 31 割り込み	DTS				
219	ICETHA0MAC	61B6 <sub>H</sub>	INTETHA0MAC	MAC コア割り込み	ET0	220	0E30 <sub>H</sub>	0E30 <sub>H</sub>	
220	ICKR0	61B8 <sub>H</sub>	INTKR0	キー・リターン割り込み	KR0	221	0E40 <sub>H</sub>	0E40 <sub>H</sub>	
221	R.F.U.	61BA <sub>H</sub>	R.F.U.			222	0E50 <sub>H</sub>	0E50 <sub>H</sub>	
222	R.F.U.	61BC <sub>H</sub>	R.F.U.			223	0E60 <sub>H</sub>	0E60 <sub>H</sub>	
223	R.F.U.	61BE <sub>H</sub>	R.F.U.			224	0E70 <sub>H</sub>	0E70 <sub>H</sub>	
224	R.F.U.	61C0 <sub>H</sub>	R.F.U.			225	0E80 <sub>H</sub>	0E80 <sub>H</sub>	
225	ICLMA5IS	61C2 <sub>H</sub>	INTLMA5IS	状態割り込み	LMA5	226	0E90 <sub>H</sub>	0E90 <sub>H</sub>	
226	ICLMA5IR	61C4 <sub>H</sub>	INTLMA5IR	受信完了割り込み	LMA5	227	0EA0 <sub>H</sub>	0EA0 <sub>H</sub>	
227	ICLMA5IT	61C6 <sub>H</sub>	INTLMA5IT	転送割り込み	LMA5	228	0EB0 <sub>H</sub>	0EB0 <sub>H</sub>	
228	ICDMA8	61C8 <sub>H</sub>	INTDMA8	DMA チャンネル 8 転送完了 (または INTCT8 <sup>b</sup> カウント一致割り込み)	DMA	229	0EC0 <sub>H</sub>	0EC0 <sub>H</sub>	
	ICCT8		INTCT8						
229	ICDMA9	61CA <sub>H</sub>	INTDMA9	DMA チャンネル 9 転送完了 (または INTCT9 <sup>b</sup> カウント一致割り込み)	DMA	230	0ED0 <sub>H</sub>	0ED0 <sub>H</sub>	
	ICCT9		INTCT9						
230	ICDMA10	61CC <sub>H</sub>	INTDMA10	DMA チャンネル 10 転送完了 (または INTCT10 <sup>b</sup> カウント一致割り込み)	DMA	231	0EE0 <sub>H</sub>	0EE0 <sub>H</sub>	
	ICCT10		INTCT10						
231	ICDMA11	61CE <sub>H</sub>	INTDMA11	DMA チャンネル 11 転送完了 (または INTCT11 <sup>b</sup> カウント一致割り込み)	DMA	232	0EF0 <sub>H</sub>	0EF0 <sub>H</sub>	
	ICCT11		INTCT11						
232	ICDMA12	61D0 <sub>H</sub>	INTDMA12	DMA チャンネル 12 転送完了 (または INTCT12 <sup>b</sup> カウント一致割り込み)	DMA	233	0F00 <sub>H</sub>	0F00 <sub>H</sub>	
	ICCT12		INTCT12						
233	ICDMA13	61D2 <sub>H</sub>	INTDMA13	DMA チャンネル 13 転送完了 (または INTCT13 <sup>b</sup> カウント一致割り込み)	DMA	234	0F10 <sub>H</sub>	0F10 <sub>H</sub>	
	ICCT13		INTCT13						
234	ICDMA14	61D4 <sub>H</sub>	INTDMA14	DMA チャンネル 14 転送完了 (または INTCT14 <sup>b</sup> カウント一致割り込み)	DMA	235	0F20 <sub>H</sub>	0F20 <sub>H</sub>	
	ICCT14		INTCT14						

表 5-5 V850E2/FL4-H EI レベル・マスカブル割り込み要因 (8/8)

チャンネル	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
235	ICDMA15	61D6 <sub>H</sub>	INTDMA15	DMA チャンネル 15 転送完了 (または INTCT15 <sup>b</sup> カウント一致割り込み)	DMA	236	0F39 <sub>H</sub>	0F39 <sub>H</sub>
	ICCT15		INTCT15					
236	ICLMA6IS	61D8 <sub>H</sub>	INTLMA6IS	状態割り込み	LMA6	237	0F40 <sub>H</sub>	0F40 <sub>H</sub>
237	ICLMA6IR	61DA <sub>H</sub>	INTLMA6IR	受信完了割り込み	LMA6	238	0F50 <sub>H</sub>	0F50 <sub>H</sub>
238	ICLMA6IT	61DC <sub>H</sub>	INTLMA6IT	転送割り込み	LMA6	239	0F60 <sub>H</sub>	0F60 <sub>H</sub>
239	ICLMA7IS	61DE <sub>H</sub>	INTLMA7IS	状態割り込み	LMA7	240	0F70 <sub>H</sub>	0F70 <sub>H</sub>
240	ICLMA7IR	61E0 <sub>H</sub>	INTLMA7IR	受信完了割り込み	LMA7	241	0F80 <sub>H</sub>	0F80 <sub>H</sub>
241	ICLMA7IT	61E2 <sub>H</sub>	INTLMA7IT	転送割り込み	LMA7	242	0F90 <sub>H</sub>	0F90 <sub>H</sub>
242	ICLMA8IS	61F4 <sub>H</sub>	INTLMA8IS	状態割り込み	LMA8	243	0FA0 <sub>H</sub>	0FA0 <sub>H</sub>
243	ICLMA8IR	61F6 <sub>H</sub>	INTLMA8IR	受信完了割り込み	LMA8	244	0FB0 <sub>H</sub>	0FB0 <sub>H</sub>
244	ICLMA8IT	61F8 <sub>H</sub>	INTLMA8IT	転送割り込み	LMA8	245	0FC0 <sub>H</sub>	0FC0 <sub>H</sub>
245	ICLMA9IS	61FA <sub>H</sub>	INTLMA9IS	状態割り込み	LMA9	246	0FD9 <sub>H</sub>	0FD9 <sub>H</sub>
246	ICLMA9IR	61FC <sub>H</sub>	INTLMA9IR	受信完了割り込み	LMA9	247	0FE0 <sub>H</sub>	0FE0 <sub>H</sub>
247	ICLMA9IT	61FE <sub>H</sub>	INTLMA9IT	転送割り込み	LMA9	248	0FF0 <sub>H</sub>	0FF0 <sub>H</sub>
248	ICLMAAIS	6200 <sub>H</sub>	INTLMAAIS	状態割り込み	LMAA	249	1000 <sub>H</sub>	1000 <sub>H</sub>
249	ICLMAAIR	6202 <sub>H</sub>	INTLMAAIR	受信完了割り込み	LMAA	250	1010 <sub>H</sub>	1010 <sub>H</sub>
250	ICLMAAIT	6204 <sub>H</sub>	INTLMAAIT	転送割り込み	LMAA	251	1020 <sub>H</sub>	1020 <sub>H</sub>
251	ICLMABIS	6206 <sub>H</sub>	INTLMABIS	状態割り込み	LMAB	252	1030 <sub>H</sub>	1030 <sub>H</sub>
252	ICLMABIR	6208 <sub>H</sub>	INTLMABIR	受信完了割り込み	LMAB	253	1040 <sub>H</sub>	1040 <sub>H</sub>
253	ICLMABIT	620A <sub>H</sub>	INTLMABIT	転送割り込み	LMAB	254	1050 <sub>H</sub>	1050 <sub>H</sub>
254	ICFLR	620C <sub>H</sub>	INTFLR	シリアル受信割り込み	MINI2IF	255	1060 <sub>H</sub>	1060 <sub>H</sub>
255	ICFLT	620E <sub>H</sub>	INTFLT	シリアル受信割り込み	MINI2IF	256	1070 <sub>H</sub>	1070 <sub>H</sub>

- a) 共有された TAPA 割り込みの選択は TAPAINSL0 レジスタによって可能です。詳細は 5.2.4 「V850E2/Fx4-H TAPA EI レベル・マスカブル割り込みの共有」を参照してください。
- b) 共有された DMA 割り込みの選択は DMA 割り込み選択レジスタ (DMAINTSL0) によって可能です。詳細は 5.2.5 「V850E2/Fx4-H DMA 割り込み選択」を参照してください。

## 5.2.2 V850E2/Fx4-H FE レベル・ノン・マスカブル割り込みの共有

FE レベル・ノンマスカブル割り込み（FENMI）は複数の割り込み要因で共有されています。

### (1) WDTNMIF - WDTNMI 要因レジスタ

このレジスタは、FE レベル・ノンマスカブル割り込み（FENMI）がどの要因で発生したかを示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FF45 0000<sub>H</sub>

初期値 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	WDTA NMI1F	WDTA NMI0F	FENM IOF
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5-6 WDTNMIF レジスタの内容

ビット位置	ビット名	機能
2	WDTANMI1F	ウォッチドッグ・タイマ 1 (WDTANMI1F) フラグ 0: WDTANMI1F が発生しない 1: WDTANMI1F が発生した
1	WDTANMI0F	ウォッチドッグ・タイマ 0 (WDTANMI0F) フラグ 0: WDTANMI0F が発生しない 1: WDTANMI0F が発生した
0	FENMI0F	NMIO 端子からの入力信号フラグ 0: NMIO が発生しない 1: NMIO が発生した



**(2) WDTNMIFC - WDTNMI 要因クリア・レジスタ**

このレジスタは WDTNMIF レジスタの FE レベル・ノンマスクブル割り込みフラグをクリアするレジスタです。

**アクセス** 32 ビット単位でライト可能です。

**アドレス** FF45 0008<sub>H</sub>

**初期値** 読み出すと常に 0000 0000<sub>H</sub> が読み出せます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	WDTANMI1FC	WDTANMIOFC	FENMIFC
R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 5-7 WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
2	WDTANMI1FC	WDTANMIF1 フラグ・クリア 0: 動作しない 1: WDTNMIF.WDTA1NMIF フラグ・クリア
1	WDTANMIOFC	WDTANMIF0 フラグ・クリア 0: 動作しない 1: WDTNMIF.WDTA0NMIF フラグ・クリア
0	FENNMIFC	FENNMIF フラグ・クリア 0: 動作しない 1: WDTNMIF.NMIOF フラグ・クリア

### 5.2.3 V850E2/Fx4-H EI レベル・マスカブル割り込みの共有

複数の EI レベル・マスカブル割り込み（EIINTn）は異なる割り込み要因で共有されています。

#### (1) “Or-ed” 割り込み

下記の割り込みは異なる割り込み要因（論理 OR 機能の組み合わせ）で共有されています。

表 5-8 “Or-ed” 割り込みの共有

割り込み	デフォルト・プライオリティ	割り込み要因
EIINT160	21	INTFCN2ERR or INTETHA0SCTXTCH
EIINT162	22	INTFCN2REC or INTETHA0SCRXTCH

#### (2) DTS パス・スルー割り込み

割り込み要因として INTDTSx を選択するには、PTHMD0LL/LH/HL/HH レジスタの各 PTHMDx ビットに 1 を設定してください。

次に共有されている割り込みについて示します。

表 5-9 TAPA EI レベル・マスカブル割り込みの共有 (1/3)

割り込み	デフォルト・プライオリティ	PTHMDx ビット	割り込み要因
EIINT9	10	PTHMD0LL.PTHMD01	0: NTP0
			1: INTDTS0
EIINT10	11	PTHMD0LL.PTHMD02	0: INTP1
			1: INTDTS1
EIINT11	12	PTHMD0LL.PTHMD03	0: INTP2
			1: INTDTS2
EIINT36	37	PTHMD0LL.PTHMD04	0: INTTAUB110
			1: INTDTS3
EIINT37	38	PTHMD0LL.PTHMD05	0: INTTAUB111
			1: INTDTS4
EIINT52	53	PTHMD0LL.PTHMD06	0: INTTAUB210
			1: INTDTS5
EIINT53	54	PTHMD0LL.PTHMD07	0: NTTAUB211
			1: INTDTS6
EIINT101	102	PTHMD0LL.PTHMD08	0: INTADCA010
			1: INTDTS7
EIINT102	103	PTHMD0LL.PTHMD09	0: INTADCA011
			1: INTDTS8
EIINT143	144	PTHMD0LL.PTHMD10	0: INTADCA110
			1: INTDTS9
EIINT144	145	PTHMD0LL.PTHMD11	0: INTADCA111
			1: INTDTS10

表 5-9 TAPA EI レベル・マスク割込みの共有 (2/3)

割り込み	デフォルト・プライオリティ	PTHMDx ビット	割り込み要因
EIINT145	146	PTHMD0LL.PTHMD12	0: INTADCA1I2
			1: INTDTS11
EIINT163	164	PTHMD0LL.PTHMD13	0: INTCSIH0IC
			1: INTDTS12
EIINT164	165	PTHMD0LL.PTHMD14	0: INTCSIH0JIC
			1: INTDTS13
EIINT169	170	PTHMD0LL.PTHMD15	0: INTCSIH0IR
			1: INTDTS14
EIINT174	175	PTHMD0LL.PTHMD16	0: INTDCN0REC
			1: INTDTS15
EIINT176	177	PTHMD0LL.PTHMD17	0: INTFLXA0I0
			1: INTDTS16
EIINT177	178	PTHMD0LL.PTHMD18	0: INTFLXA0I1
			1: INTDTS17
EIINT181	182	PTHMD0LL.PTHMD19	0: INTCSIH1IR
			1: INTDTS18
EIINT182	183	PTHMD0LL.PTHMD20	0: INTCSIH1IC
			1: INTDTS19
EIINT183	184	PTHMD0LL.PTHMD21	0: INTCSIH1JIC
			1: INTDTS20
EIINT203	204	PTHMD0LL.PTHMD22	0: INTCSIH2IR
			1: INTDTS21
EIINT204	205	PTHMD0LL.PTHMD23	0: INTCSIH2IC
			1: INTDTS22
EIINT205	206	PTHMD0LL.PTHMD24	0: INTCSIH2JIC
			1: INTDTS23
EIINT206	207	PTHMD0LL.PTHMD25	0: –
			1: INTDTS24
EIINT207	208	PTHMD0LL.PTHMD26	0: –
			1: INTDTS25
EIINT213	214	PTHMD0LL.PTHMD27	0: INTETHA0SRX
			1: INTDTS26
EIINT214	215	PTHMD0LL.PTHMD28	0: INTETHA0SCRX
			1: INTDTS27
EIINT215	216	PTHMD0LL.PTHMD29	0: INTETHA0SCTX
			1: INTDTS28
EIINT216	217	PTHMD0LL.PTHMD30	0: INTETHA0ORS
			1: INTDTS29
EIINT217	218	PTHMD0LL.PTHMD31	0: INTETHA0OTS
			1: INTDTS30

表 5-9 TAPA EI レベル・マスカブル割り込みの共有 (3/3)

割り込み	デフォルト・プライオリティ	PTHMDx ビット	割り込み要因
EIINT218	219	PTHMD0LL.PTHMD32	0: INTETHA0FS
			1: INTDTS31

## (3) PTHMD0 - 割り込みパス・スルー・モード・レジスタ

このレジスタは割り込み要求として DTS 割り込みを選択するために使用します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** PTHMD0LL: FF77 0400<sub>H</sub>; PTHMD0LH: FF77 0404<sub>H</sub>  
PTHMD0HL: FF77 0408<sub>H</sub>; PTHMD0HH: FF77 040C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

PTHMD0HH:

7	6	5	4	3	2	1	0
PTHMD31	PTHMD30	PTHMD29	PTHMD28	PTHMD27	PTHMD26	PTHMD25	PTHMD24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PTHMD0HH:

7	6	5	4	3	2	1	0
PTHMD23	PTHMD22	PTHMD21	PTHMD20	PTHMD19	PTHMD18	PTHMD17	PTHMD16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PTHMD0HH:

7	6	5	4	3	2	1	0
PTHMD15	PTHMD14	PTHMD13	PTHMD12	PTHMD11	PTHMD10	PTHMD09	PTHMD08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PTHMD0HH:

7	6	5	4	3	2	1	0
PTHMD07	PTHMD06	PTHMD05	PTHMD04	PTHMD03	PTHMD02	PTHMD01	PTHMD00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-10 PTHMD0 レジスタの内容

ビット位置	ビット名	機能
31-0	PTHMD[31:0]	DTS パス・スルー・モード選択 0: DTS 割り込みを割り込み要求として選択しない 1: DTS 割り込みを割り込み要求として選択する

### 5.2.4 V850E2/Fx4-H TAPA EI レベル・マスカブル割り込みの共有

複数の EI レベル・マスカブル割り込み (EIINTn) は異なる割り込み要因で共有されています。それらの割り込み要因は TAPA 割り込み選択レジスタ (TAPAINTSLO) によって選択します。

次に共有されている割り込みについて示します。

表 5-11 TAPA EI レベル・マスカブル割り込みの共有

割り込み	デフォルト・プライオリティ	TAPAINTSLO ビット	割り込み要因
EIINT22	21	SLTA0PEK0	0: INTTAUA0I0
			1: INTTAPA0PEK0
EIINT23	22	SLTA0PEK1	0: INTTAUA0I1
			1: INTTAPA0PEK1
EIINT26	25	SLTA0VLY0	0: INTTAUA0I4
			1: INTTAPA0VLY0
EIINT27	26	SLTA0VLY1	0: INTTAUA0I5
			1: INTTAPA0VLY1

#### (1) TAPAINTSLO - TAPA 割り込み選択レジスタ

このレジスタは TAPA 割り込み要求の割り込み要因を選択するレジスタです。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 0410<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	SLTA0 VLY0	0	SLTA0 PEK0
R	R	R	R	R	R/W	R	R/W

表 5-12 TAPAINTSLO レジスタの内容

ビット位置	ビット名	機能
2	SLTA0VLY0	INTTAPA0VLY0 選択 0: INTTAUA0I4 1: INTTAPA0VLY0
0	SLTA0PEK0	INTTAPA0IPEK0 選択 0: INTTAUA0I0 1: INTTAPA0IPEK0

## 5.2.5 V850E2/Fx4-H DMA 割り込み選択

DMA コントローラは DMA チャンネルごとに二つの異なる割り込みにより起動します。

- DMA チャンネル m 転送完了割り込み (INTDMAm)
- DMA チャンネル m カウント一致割り込み (INTCTm)

DMA 割り込み選択レジスタ (DMAINTSL0) を使用することによって、上記二つの割り込みから一つを選択することができ、各 DMA チャンネルごとに分けることができます。

### (1) DMAINTSL0 - DMA 割り込み選択レジスタ 0

このレジスタは DMA 割り込みを DMA チャンネル 0-7 ごとに選択するために使用します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 0414<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
SLINTCT7	SLINTCT6	SLINTCT5	SLINTCT4	SLINTCT3	SLINTCT2	SLINTCT1	SLINTCT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-13 DMAINTSL0 レジスタの内容

ビット位置	ビット名	機能
7 to 0	SLINTCT7 to SLINTCT0	DMA チャンネル m (m = 0-7) 割り込み要求 0: DMA チャンネル m 完了 (INTDMAm) を割り込み要求として使用 1: DMA チャンネル m カウント一致 (INTCTm) を割り込み要求として使用

### (2) DMAINTSL1 - DMA 割り込み選択レジスタ 1

このレジスタは DMA 割り込みを DMA チャンネル 8-15 ごとに選択するために使用します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 0418<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
SLINTCT15	SLINTCT14	SLINTCT13	SLINTCT12	SLINTCT11	SLINTCT10	SLINTCT9	SLINTCT8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-14 DMAINTSL1 レジスタの内容

ビット位置	ビット名	機能
15 to 8	SLINTCT15 to SLINTCT8	DMA チャンネル m (m = 8-15) 割り込み要求 0: DMA チャンネル m 完了 (INTDMAm) を割り込み要求として使用 1: DMA チャンネル m カウント一致 (INTCTm) を割り込み要求として使用

## 5.3 外部割り込み

### 5.3.1 エッジ検出機能

外部割り込み（INTPm と NMI）は外部端子の立ち上がり／立ち下がり／両エッジを検出することにより割り込みを要求できます。

各割り込みのエッジを指定するレジスタを次に示します。

表 5-15 外部割り込みエッジ検出レジスタ

割り込み	レジスタ
INTP0	FCLA0CTL0
INTP1	FCLA0CTL1
INTP2	FCLA0CTL2
INTP3	FCLA0CTL3
INTP4	FCLA0CTL4
INTP5	FCLA0CTL5
INTP6	FCLA0CTL6
INTP7	FCLA0CTL7
INTP8	FCLA1CTL0
INTP9	FCLA1CTL1
INTP10	FCLA1CTL2
INTP11	FCLA1CTL3
INTP12	FCLA1CTL4
INTP13	FCLA1CTL5
INTP14	FCLA1CTL6
INTP15	FCLA1CTL7
NMI	FCLA2CTL0

詳細は、第2章「端子機能」のなかの「ポート・フィルタの割り当て」を参照してください。

### 5.3.2 外部割り込みを開始要因、ウエイクアップ要因として用いる場合

外部割り込みは、下記に用いることも可能です。

- DMA 開始要因
- DTS 開始要因
- A/D コンバータ ハードウェア・トリガ
- スタンバイ ウェイクアップ要因

表 5-16 外部割り込みエッジ検出レジスタ

割り込み	DMA 開始要因 <sup>a)</sup>	DTS チャンネル <sup>a)</sup>	ADCAn ハードウェア・ トリガ <sup>b)</sup>	スタンバイ ウェイクアップ 要因 <sup>c)</sup>
INTP0	1	0	ADCA0TTIN201 ADCA1TTIN201	WUFLm07
INTP1	2	1	ADCA0TTIN101 ADCA1TTIN101	WUFLm08
INTP2	3	2	ADCA0TTIN001 ADCA1TTIN001	WUFLm09
INTP3	4	32	ADCA0TTIN202 ADCA1TTIN202	WUFLm10
INTP4	5	33	ADCA0TTIN102 ADCA1TTIN102	WUFLm11
INTP5	6	34	ADCA0TTIN002 ADCA1TTIN002	WUFLm12
INTP6	7	35	—	WUFLm13
INTP7	8	36	—	WUFLm14
INTP8	9	37	—	WUFLm15
INTP9	10	38	—	WUFLm16
INTP10	11	39	—	WUFLm17
INTP11	—	—	—	WUFLm18
INTP12	—	—	—	WUFLm19
INTP13	—	—	—	WUFLm20
INTP14	—	—	—	WUFLm21
INTP15	—	—	—	WUFLm22
NMI	—	—	—	WUFLm00

a) 詳細は、第6章「DMA/DTS 機能」を参照してください。

b) 詳細は、第35章「A/D コンバータ (ADCA)」を参照してください。

c) スタンバイ ウェイクアップ要因の発生はウェイクアップ要因レジスタ WUFLm の各ビットで示されます。詳細は第10章「スタンバイ・コントローラ (STBC)」を参照してください。

**スタンバイ  
ウェイクアップ** 外部割り込み INTPx を DEEPSTOP モードからのウェイクアップとして使用するには、INTPx のアナログ・フィルタをエッジ検出モード (FLCAnINTm = 0) に設定する必要があります。詳細は、2.5「ポート・フィルタ」を参照してください。



## 5.4 割り込みコントローラ制御レジスタ

### (1) EICn (n=0-255) : EI レベル割り込み制御レジスタ

EI レベル・マスカブル割り込み (EIINT) のチャンネルごとに設け、各チャンネルの制御条件を設定します。ビット 15-13, 11-8, 6-4 には必ず 0 を設定してください。

EICn レジスタは必ずバイト・ライトまたはハーフワード・ライトにより更新してください。

**アクセス** 16/8/1 ビット単位でリード/ライト可能です。  
ただし、ビット 15-13, 11-8, 6-4 への SET1, CLR1, NOT1 命令によるビット・アクセスは禁止です。

**アドレス** FFFF6000<sub>H</sub>-FFFF61FE<sub>H</sub>

**初期値** 008F<sub>H</sub> どのリセット要因でも初期化されます。

**注意** 表 5-4 「V850E2/FK4-H EI レベル・マスカブル割り込み要因」～表 5-5 「V850E2/FL4-H EI レベル・マスカブル割り込み要因」にないチャンネルの EICn レジスタにはアクセスしないでください

15	14	13	12	11	10	9	8
0	0	0	EIRFn	0	0	0	0
R	R	R	R/W	R	R	R	R
7	6	5	4	3	2	1	0
EIMKn	0	0	0	EIP3n	EIP2n	EIP1n	EIP0n
R/W	R	R	R	R/W	R/W	R/W	R/W

表 5-17 EICn レジスタの内容

ビット位置	ビット名	意味
12	EIRFn	割り込み要求フラグです。 EIRFn ビットはプログラムから書き込み可能です。EIRFn ビットをセット (1) すると、割り込み要求を受け付けた場合と同じように、EI レベル・マスクブル割り込み n (EIINTn) を発生します。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり
7	EIMKn	割り込みマスク・ビットです。EIMKn ビットがセットされている場合は、割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また EIMKn ビットがセットされているチャンネルからは、ICSR.PMF ビットによる割り込み保留表示は行われません。EIMKn ビットは割り込み入力端子からの入力そのものをマスクするわけではないので、EIMKn ビットがセットされていても割り込み要求フラグはセットされます。割り込みマスク・レジスタ (IMR) の対応するビットの設定も反映されます。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (初期値)
3-0	EIP3n- EIP0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。EIP3n-EIP0n ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

**(2) IMRm (m = 0-15) : EI レベル割り込みマスク・レジスタ**

EICn レジスタの EIMKn ビットの集合レジスタです。IMRm レジスタの各ビットは対応する EIMKn ビットの設定が反映されます。また IMRm レジスタへの設定は対応する EIMKn ビットへ反映されます。

**アクセス** 16/8/1 ビット単位でリード/ライト可能です。

**アドレス** IMR0 : FFFF6400<sub>H</sub>      IMR1 : FFFF6402<sub>H</sub>  
 IMR2 : FFFF6404<sub>H</sub>      IMR3 : FFFF6406<sub>H</sub>  
 IMR4 : FFFF6408<sub>H</sub>      IMR5 : FFFF640A<sub>H</sub>  
 IMR6 : FFFF640C<sub>H</sub>      IMR7 : FFFF640E<sub>H</sub>  
 IMR8 : FFFF6410<sub>H</sub>      IMR9 : FFFF6412<sub>H</sub>  
 IMR10 : FFFF6414<sub>H</sub>      IMR11 : FFFF6416<sub>H</sub>  
 IMR12 : FFFF6418<sub>H</sub>      IMR13 : FFFF641A<sub>H</sub>  
 IMR14 : FFFF641C<sub>H</sub>      IMR15 : FFFF641E<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** 表 5-4 「V850E2/FK4-H EI レベル・マスカブル割り込み要因」～表 5-5 「V850E2/FL4-H EI レベル・マスカブル割り込み要因」にないチャンネルに対応する EIMKn ビットには、必ず 1 を設定してください。

15	14	13	12	11	10	9	8
IMRmEIMK mx16+15	IMRmEIMK mx16+14	IMRmEIMK mx16+13	IMRmEIMK mx16+12	IMRmEIMK mx16+11	IMRmEIMK mx16+10	IMRmEIMK mx16+9	IMRmEIMK mx16+8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
IMRmEIMK mx16+7	IMRmEIMK mx16+6	IMRmEIMK mx16+5	IMRmEIMK mx16+4	IMRmEIMK mx16+3	IMRmEIMK mx16+2	IMRmEIMK mx16+1	IMRmEIMK mx16+0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-18 IMRm レジスタの内容

ビット位置	ビット名	意味
15-0	IMRmEIMK (mx16+15)- (mx16+0)	EI レベル・マスカブル割り込み (EIINT) のチャンネル (mx16+0) からチャンネル (mx16+15) の割り込みマスク・ビットです。 表 5-4～表 5-5 にないチャンネルに対応するビットの場合は、リード・オンリーで 1 に固定されています。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止

**(3) ISPR : イン・サービス・プライオリティ・レジスタ**

CPU コアで処理中の EI レベル・マスカブル割り込み (EIINT) の割り込み優先度を保持します。CPU コアから割り込み要求の受け付け応答を受け取ると、その割り込み要求の割り込み優先度に対応するビットがセットされます。CPU コアから割り込み処理の終了通知を受け取ると、セットされているビットのうち最も優先度が高いビットが自動的にクリアされます。FE レベルの割り込みからの復帰の場合はクリアされません。EI レベル・マスカブル割り込み (EIINT) の多重割り込みが発生すると受け付けられた優先度に対応するビットを順にセットし多重割り込みをした割り込み優先度の履歴を保持します。

ISPC レジスタへ 16 ビット単位で同時に 1 をライトした後、ISPR レジスタへ 16 ビット単位で同時に 0 をライトすると ISPR の全ビットをクリアすることができます。任意ビットのクリアやセットをソフトウェアで行うことはできません。一度クリアしてしまうと元の値に復旧させることはできません。

8 ビット単位でのアクセスでは上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへのアクセスとなります。

**アクセス** 16/8 ビット単位でリードのみ可能です。

**アドレス** FFFF6440<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ISPR15	ISPR14	ISPR13	ISPR12	ISPR11	ISPR10	ISPR9	ISPR8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
R	R	R	R	R	R	R	R

表 5-19 ISPR レジスタの内容

ビット位置	ビット名	意味
15-0	ISPR15- ISPR0	受け付け中の割り込み優先順位を示します。 0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中

**(4) PMR : プライオリティ・マスク・レジスタ**

EI レベル・マスカブル割り込み (EIINT) の割り込み要求フラグをマスクする割り込み優先度を指定します。このレジスタで指定された割り込み優先度が設定されている EIINT のチャンネルからの割り込み要求を一括で禁止します。

ビット位置と割り込み優先度値が対応しており、例えばビット 0 に 1 を設定すると割り込み優先度 0 のチャンネルをマスクすることができます。

16/8/1 ビット単位でリード/ライト可能です。8 ビット単位でのアクセスでは上位 8 ビット [15:8] が下位 8 ビット [7:0] のどちらかへのアクセスとなります。

**アクセス** 16/8/1 ビット単位でリード/ライト可能です。

**アドレス** FFFF6448<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
PMR15	PMR14	PMR13	PMR12	PMR11	PMR10	PMR9	PMR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-20 PMR レジスタの内容

ビット位置	ビット名	意味
15-0	PMR15-PMR0	割り込み要求フラグをマスクする割り込み優先度を推奨します。 0 : ビット位置に対応する割り込み優先度の割り込み処理を許可 (初期値) 1 : ビット位置に対応する割り込み優先度の割り込み処理を禁止

**(5) ISPC : イン・サービス・プライオリティ・クリア・レジスタ**

ISPC レジスタの全ビットへ同時に 1 をライトし、次に ISPR レジスタの全ビットに同時に 0 をライトすると、ISPR レジスタの全ビットを 0 にクリアすることができます。同時に ICSR レジスタの FE レベル NMI の処理モード、FE レベル・マスカブル割り込み (FEINT) の処理モード、EI レベル・マスカブル割り込み (EIINT) の処理モードがすべて解除されます。これにより割り込み要求が CPU コアで処理中であることを管理している割り込みコントローラ内の割り込み処理のモード・レジスタがすべてクリアされることとなります。これらの一度クリア (0) された内容は、ソフトウェアで復旧させることはできません。

ISPR レジスタの全ビットへの 0 のライトにより ISPR がクリア (0) されると、ISPC レジスタの値も自動的にクリア (0) されます。ISPC レジスタへリード・アクセスを行った場合に読み出される値は、全ビットに 1 を書き込んだあとは、全ビットから 1 が読み出され、リセット後や ISPR レジスタのクリア後は、全ビットから 0 が読み出されます。全ビット同時に 1 または 0 ではないライト・アクセスではビットの値は変化しません。また全ビットが 1 の状態で全ビットに 0 をライトすると ISPC レジスタのビットの値はすべて 0 にクリアされ、ISPR レジスタの値は変化しません。

**アクセス** 16 ビット単位でのみリード/ライト可能です。

**アドレス** FFFF6450<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
ISPC15	ISPC14	ISPC13	ISPC12	ISPC11	ISPC10	ISPC9	ISPC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ISPC7	ISPC6	ISPC5	ISPC4	ISPC3	ISPC2	ISPC1	ISPC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 5-21 ISPC レジスタの内容

ビット位置	ビット名	意味
15-0	ISPC15- ISPC0	全ビットから 1 または全ビットから 0 が読み出されます。全ビットから 1 が読み出される場合に ISPR の全ビットに 0 をライトすると ISPR をクリアできます。

**(6) SCR : 選択チャンネル保持レジスタ**

CPU に受け付けられた EI レベル・マスカブル割り込み (EIINT) のチャンネル番号を保持します。ソフトウェアでライトすることはできません。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EIINT の多重割り込み要求を受け付けられた場合は上書きされるので注意してください。FE レベルの割り込み要求を受け付けられた場合は更新されません。

8 ビット単位でのアクセスでは上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへのアクセスとなります。

**アクセス** 16/8 ビット単位でリードのみ可能です。

**アドレス** FFFF6458<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0
R	R	R	R	R	R	R	R

表 5-22 SCR レジスタの内容

ビット位置	ビット名	意味
7-0	SCR7- SCR0	CPU によって受け付けられたマスカブル割り込みのチャンネル番号を保持します。CPU コアへ割り込みベクタを通知するタイミングで値が更新されます。EI レベル・マスカブル割り込み (EIINT) の多重割り込みを受け付けられた場合は上書きされます。FE レベルの割り込みを受け付けられた場合には更新されません。このレジスタへのライト・アクセスでは何も起こりません。

**(7) ICSR : 割り込みコントローラ・ステータス・レジスタ**

割り込みコントローラの動作状態を示します。特にビット 2-0 は割り込み処理のモード・レジスタになります。ソフトウェアでライトすることはできません。

8 ビット単位でのアクセスでは上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへのアクセスとなります。

**アクセス** 16/8/1 ビット単位でリードのみ可能です。

**アドレス** FFFF645A<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	PMF
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	FNR	FIR	EIR	0	FNE	FIE	EIE
R	R	R	R	R	R	R	R

表 5-23 ICSR レジスタの内容

ビット位置	ビット名	意味
8	RMF	PMR の設定で、割り込み処理が禁止されている割り込み優先度を持つ受け付け可能な EI レベル・マスカブル割り込み (EIINT) のチャンネルの要求フラグがセットされていれば 1
6	FNR	FE レベル・ノンマスカブル割り込み (FENMI) を CPU へ要求中であれば 1
5	FIR	FE レベル・マスカブル割り込み (FEINT) を CPU へ要求中であれば 1
4	EIR	EI レベル・マスカブル割り込み (EIINT) を CPU へ要求中であれば 1
2	FNE	FE レベル・ノンマスカブル割り込み (FENMI) が CPU で処理中であれば 1
1	FIE	FE レベル・マスカブル割り込み (FEINT) が CPU で処理中であれば 1
0	EIE	EI レベル・マスカブル割り込み (EIINT) が CPU で処理中であれば 1



**(8) FNC : FE レベル NMI 制御レジスタ**

FE レベル・ノンマスクابل割り込み (FENMI) の要求状態を確認できます。  
8 ビット単位でのアクセスでは上位 8 ビット [15:8] へのアクセスとなります。

**アクセス** 16/8/1 ビット単位でリードのみ可能です。

**アドレス** FFFF645C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	FNRF	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 5-24 FNC レジスタの内容

ビット位置	ビット名	意味
12	FNRF	割り込み要求フラグです。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

**(9) FIC : FE レベルマスクابل割り込み制御レジスタ**

FE レベル・マスクابل割り込み (FEINT) の制御条件を設定します。8 ビット単位でのアクセスでは上位 8 ビット [15:8] か下位 8 ビット [7:0] のどちらかへのアクセスとなります。

**アクセス** 16/8/1 ビット単位でリードのみ可能です。

**アドレス** FFFF645E<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
0	0	0	FIRF	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

表 5-25 FNC レジスタの内容

ビット位置	ビット名	意味
12	FIRF	割り込み要求フラグです。 0 : 割り込み要求なし (初期値) 1 : 割り込み要求あり

## 5.5 割り込みの受け付けと復帰

割り込み受け付け時の動作と割り込み処理からの復帰について説明します。

### 5.5.1 FENMI 割り込み要求による FE レベル・ノンマスクابل割り込み

FENMI 割り込みが要求されると、CPU で FE レベル・ノンマスクابل割り込みが発生します。この FE レベル・ノンマスクابل割り込みは、システムの致命的エラーが発生した場合などに利用します。

---

**注意** FENMI は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FENMI, FEINT, EIINT 割り込み発生は保留されます（要求の受け付けと、要求の保持は行います）。

FENMI は、NP ビット = 1 のときでも受け付け可能です。このため、FEINT 例外、PPI 例外、その他の FE レベル例外を処理中に FENMI 割り込みが発生した場合、退避アドレスを失い復帰できません。FENMI 割り込みを要求し、所望の処理を完了したあとは、システム・リセットなどを実行してください。元の処理への復帰はできません。

---

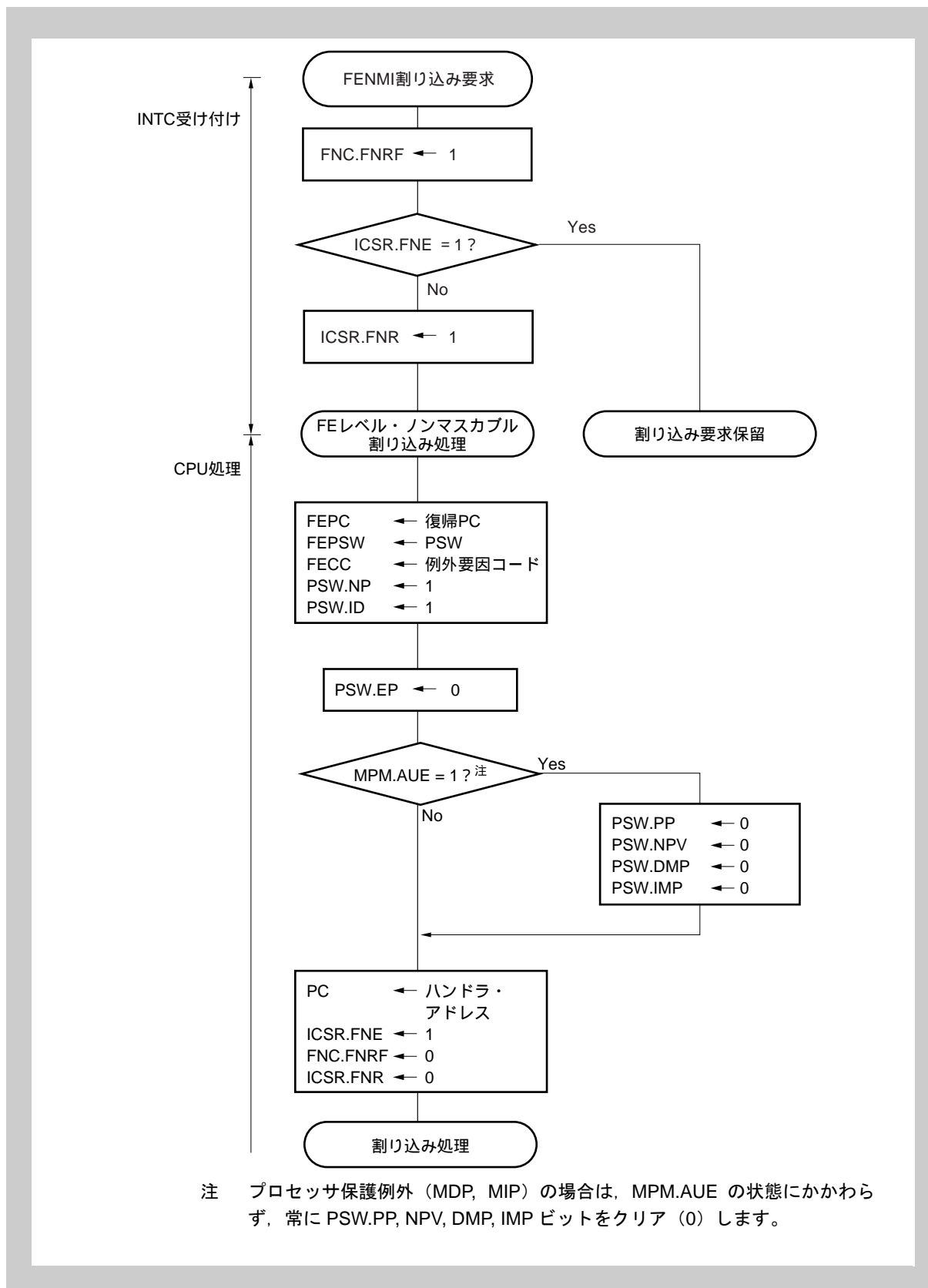


図 5-1 FENMI 割り込み要求時の処理

### 5.5.2 FE レベル・ノンマスクابل割り込み（FENMI）からの復帰

FE レベル・ノンマスクابل割り込み（FENMI）は、システムの致命的エラーが発生した場合などに利用する割り込みのため、復帰はできません。例外処理後にシステム・リセットを行ってください。

### 5.5.3 FEINT 割り込み要求による FE レベル・マスクابل割り込み

FEINT 端子により FEINT 割り込みが要求されると、FE レベル・マスクابل割り込みが発生します。この割り込みは回復可能な FE レベルの割り込みです。

FEINT は、一度割り込みを受け付けると FERET 命令を実行するまで、次の FEINT, EIINT 割り込み発生は保留されます。割り込み要求の受け付けと、要求の保持は行いません。

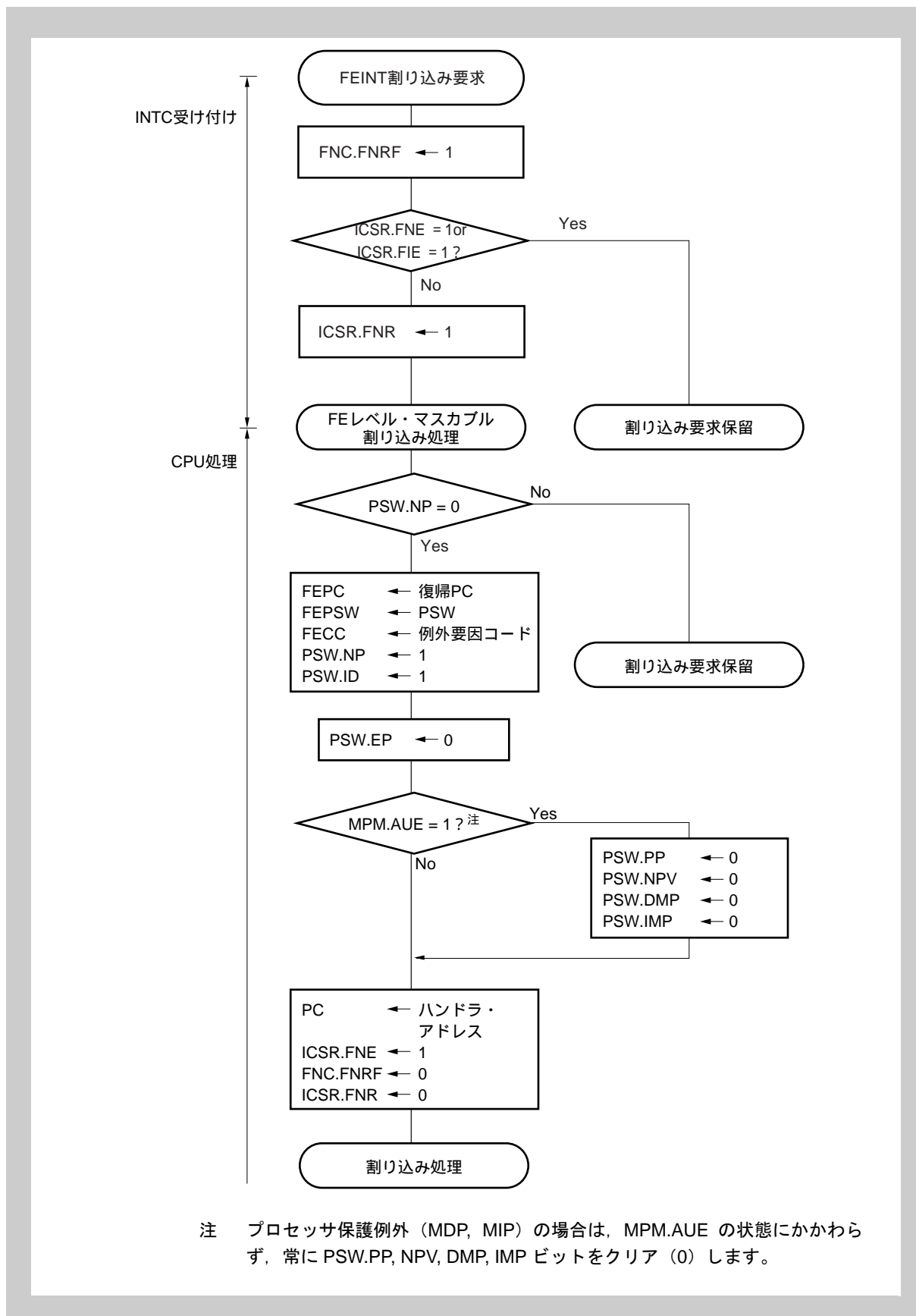


図 5-2 FEINT 割り込み要求時の処理

### 5.5.4 FE レベル・マスカブル割り込み（FEINT）からの復帰

FE レベル・マスカブル割り込み（FEINT）処理からの復帰には、FERET 命令を使用します。PSW.EP ビットがクリア（0）されている状態で FERET 命令を実行すると FE レベル・マスカブル割り込み（FEINT）からの復帰処理を行います。PSW.EP ビットが（1）のときには割り込み処理からの完全な復帰はできません（ICSR、ISPR などのレジスタのクリアが行われません）。FE レベル・マスカブル割り込み（FEINT）からの復帰には必ず PSW.EP ビットがクリア（0）されている状態で FERET 命令を実行してください。

**注意** V850E2M CPU コアでは、V850E1、V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて、EIRET 命令または FERET 命令に置き換えて使用してください。

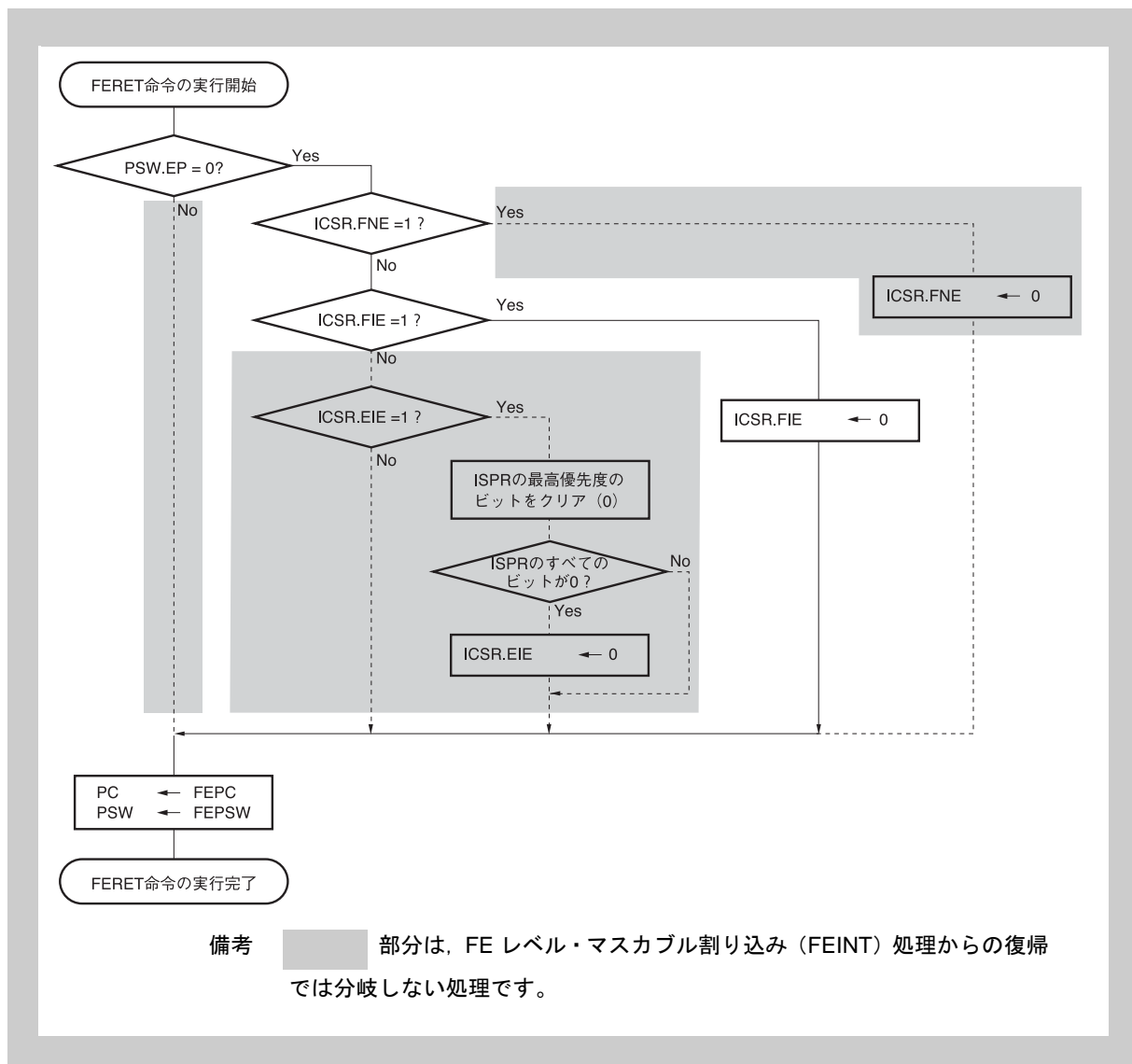


図 5-3 FE レベル・マスカブル割り込み（FEINT）処理からの復帰

### 5.5.5 EIINT 割り込み要求による EI レベル・マスカブル割り込み

EI レベル・マスカブル割り込みが要求されると、CPU に EIINT 割り込み要求を行います（割り込みハンドラへの移行は、INTC の IMR レジスタ設定により発生します）。この割り込みは回復可能な EI レベルの割り込みです。

EIINT 割り込みでは、割り込み入力のあったチャンネル番号を SCR レジスタへ設定します。これにより、複数のチャンネルで同じ割り込みベクタを共有したい場合などに簡単にチャンネル番号を知ることができます。

---

**注意** EI レベル割り込みを受け付けると、ISPR レジスタ（イン・サービス・プライオリティ・レジスタ）には現在受け付けた割り込み優先度が記録されます。これ以降、EIRET 命令を発行するまで、この ISPR レジスタの割り込み優先度以下の割り込みは、発生しません。割り込み要求の受け付け／保持は行います。

ISPR レジスタへの「現在受け付けた割り込み優先度の登録」「EIRET 時の割り込み優先度の削除」は、ハードウェアが自動的に行います。ソフトウェアでの ISPR レジスタへの書き込みはできません。書き込みは無視されます。

---

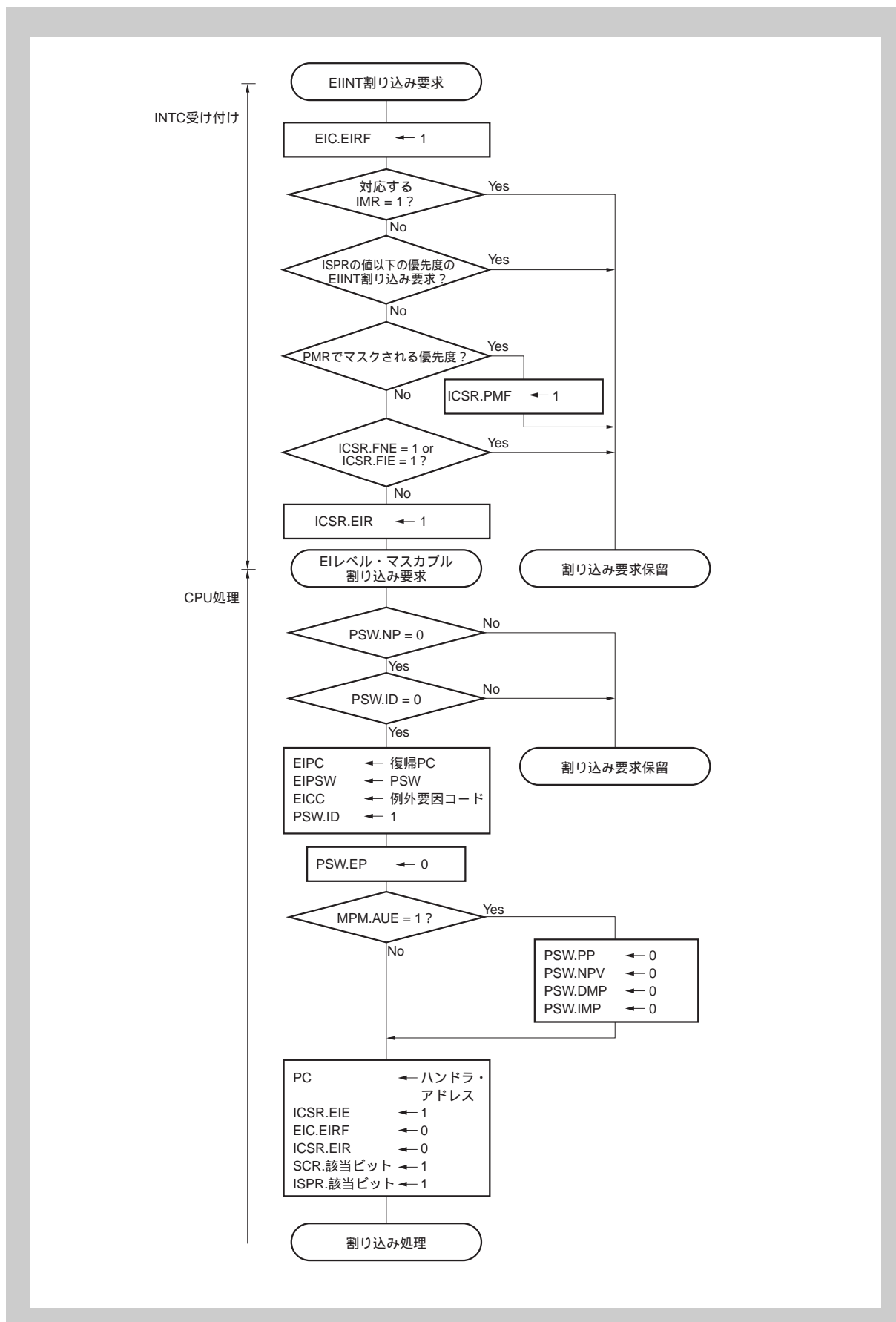


図 5-4 EIINT 割り込み要求時の処理



### 5.5.6 EI レベル・マスク割り込み (EIINT) からの復帰

EI レベル・マスク割り込み (EIINT) 処理からの復帰には、EIRET 命令を使用します。PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行すると EI レベル・マスク割り込み (EIINT) からの復帰処理をおこないます。PSW.EP ビットが (1) のときには割り込み処理からの完全な復帰はできません (ICSR, ISPR などのレジスタのクリアが行われません)。EI レベル・マスク割り込み (EIINT) からの復帰には必ず PSW.EP ビットがクリア (0) されている状態で EIRET 命令を実行してください。

**注意** V850E2-V3 CPU コアでは、V850E1, V850E2 アーキテクチャとの後方互換のため RETI 命令が用意されていますが、原則として使用を禁止しています。修正の不可能な既存プログラム以外の RETI 命令はすべて、EIRET 命令または FERET 命令に置き換えて使用してください。

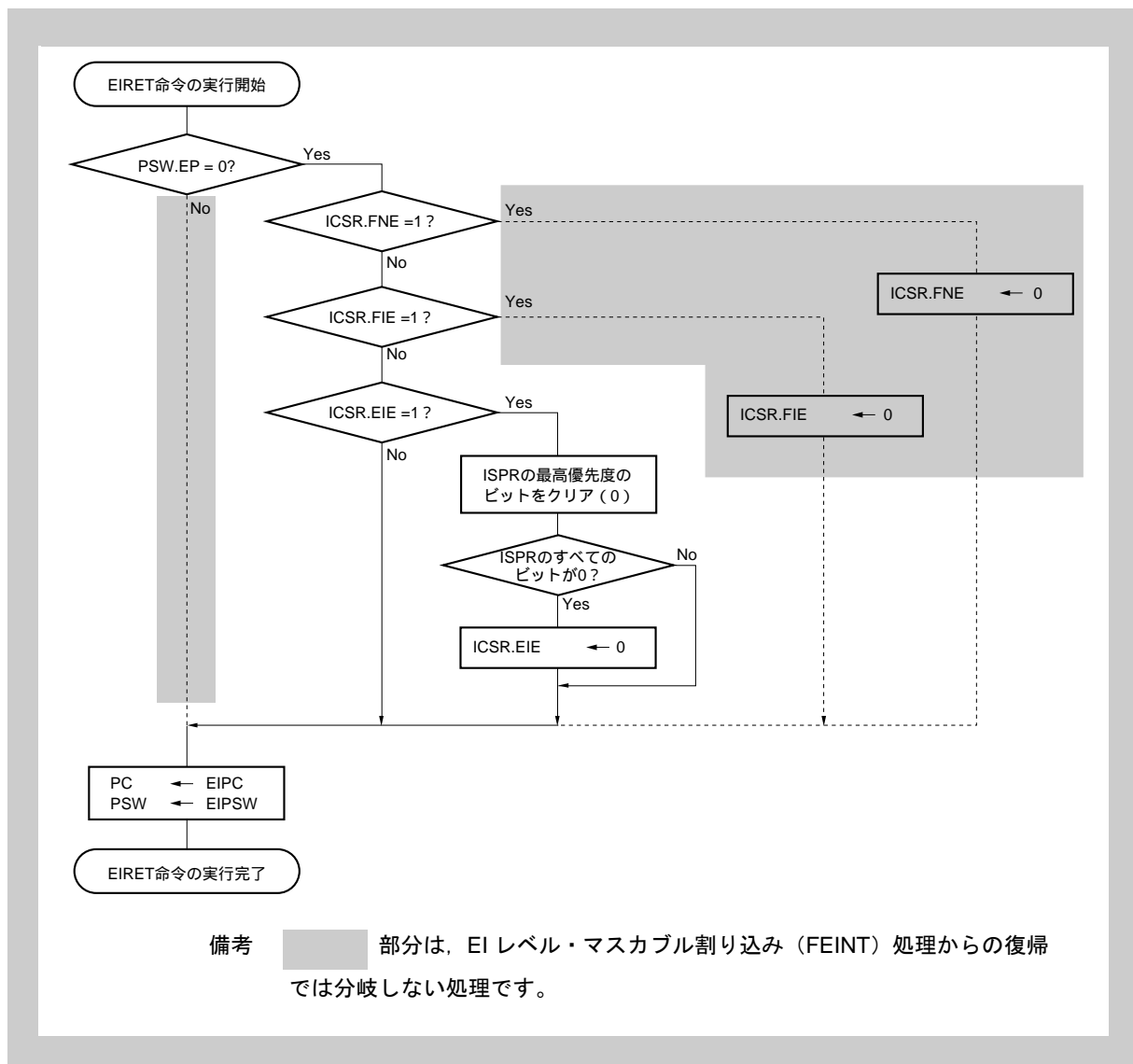


図 5-5 EI レベル・マスク割り込み (EIINT) 処理からの復帰

## 5.6 割り込み動作

### 5.6.1 EI レベル・マスカブル割り込み (EIINT) の割り込みマスク機能

EIINT は、それぞれの割り込みチャンネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

EICn.EIMKn	動作
1	割り込みをマスクします。
0	割り込みを許可します。

EICn.EIMKn ビットは、IMRm レジスタの対応する EIMKn ビットからもリード/ライト可能です。同じレジスタを共有しています。

- 【動作例】**
- (1) IMRm.EIMKn ビットに 1 を書き込むと、対応するチャンネルの割り込みは禁止されます。
  - (2) EICn.EIMKn ビットをリードすると 1 が読み出されます。

---

**注意** EIMKn ビットでは、割り込みの保持以降の処理をマスクします。EIMKn ビットを 1 に設定しても、割り込み要求の受け付け、および保持は行われます。このため EIMKn ビットで割り込み禁止が指定されている割り込みに対して、ソフトウェアによる割り込みを要求しても割り込みは発生しません。また割り込み要求が保持されている状態で EIMKn ビットを 0 に再設定すると、その時点で割り込みが発生します。すでに保持されている割り込み要求を消去したい場合には、対応する EIRFn ビットをクリア (0) してください。

---

### 5.6.2 割り込み優先度判断

FE レベル・ノンマスクブル割り込み (FENMI)、FE レベル・マスクブル割り込み (FEINT)、EI レベル・マスクブル割り込み (EIINT) が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外 (割り込み含む) が要求されます。同時に要求された例外 (割り込み含む) は、あらかじめ割り付けてある優先順位 (デフォルト優先順位) で処理されます。割り込み FENMI、FEINT、EIINT の優先順位は次のとおりです。

FENMI > FEINT > EIINT

(その他の例外については、表 5-4 「V850E2/FK4-H EI レベル・マスクブル割り込み要因」～表 5-5 「V850E2/FL4-H EI レベル・マスクブル割り込み要因」、および V850E2M アーキテクチャ編 ユーザーズ・マニュアルを参照してください)

EIINT は各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、EIC0-EIC255.EIP3-EIP0 ビットで指定します。割り込み優先度は、0-15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT 割り込み間では、割り込みチャンネル番号のもっとも小さい割り込みが優先されます。

表 5-26 EIINT の割り込み優先度設定と動作の優先順位の例

EIINT	EIP3 to EIP0 設定	動作時の優先順位
EIINT0	3	10
EIINT1	4	11
EIINT2	0	1
EIINT3	0	2
EIINT4	1	3
EIINT5	2	6
EIINT6	2	7
EIINT7	1	4
EIINT8	1	5
EIINT9	2	8
EIINT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT 割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

**(1) 現在処理中の割り込み優先度との比較**

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移りません。

**(2) プライオリティ・マスク・レジスタ (PMR) によるマスク**

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。

**(3) 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択**

最も高い優先度が設定されている割り込み要因のうち、複数の要因が同時に割り込み要求されている場合、割り込みチャンネル番号の最も小さいものが選択されます。

**(4) CPU による割り込みの保留**

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みを選択します。

**例** 優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア (0) された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 5-6 に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態にしてください。

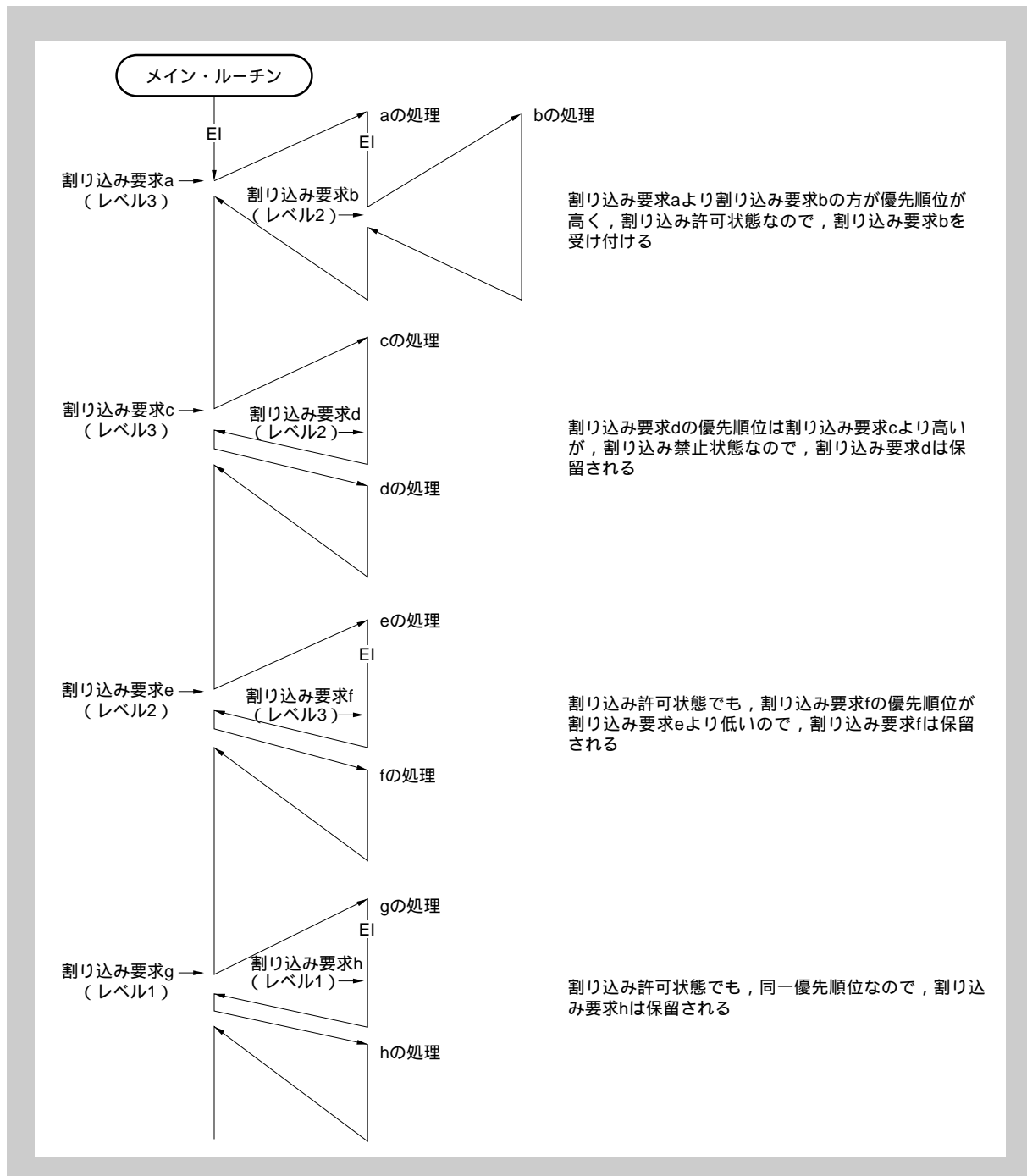


図 5-6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1)

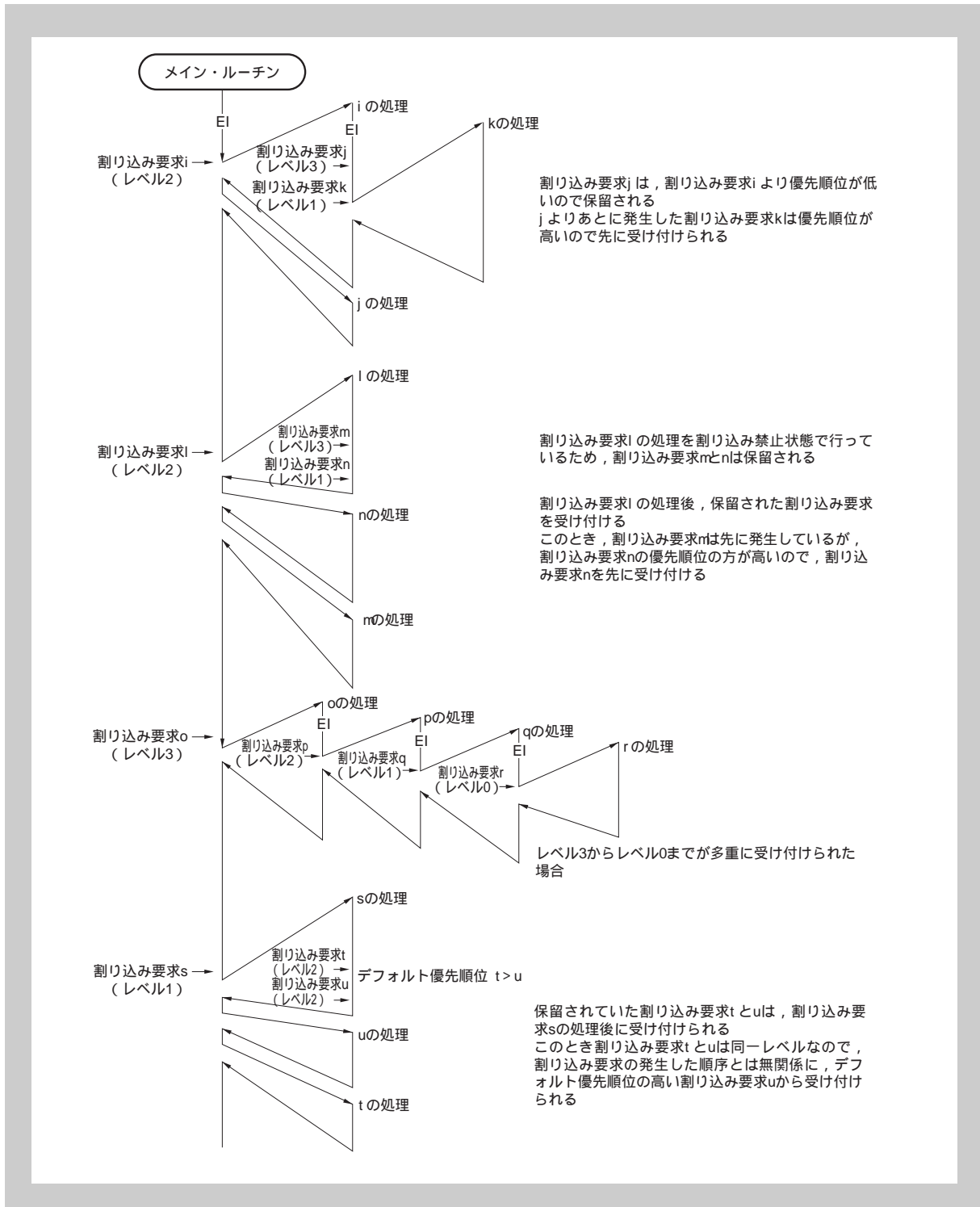


図 5-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2)

**注意** 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

- 備考 1. 図中の a-u は、各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト優先順位の高い／低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

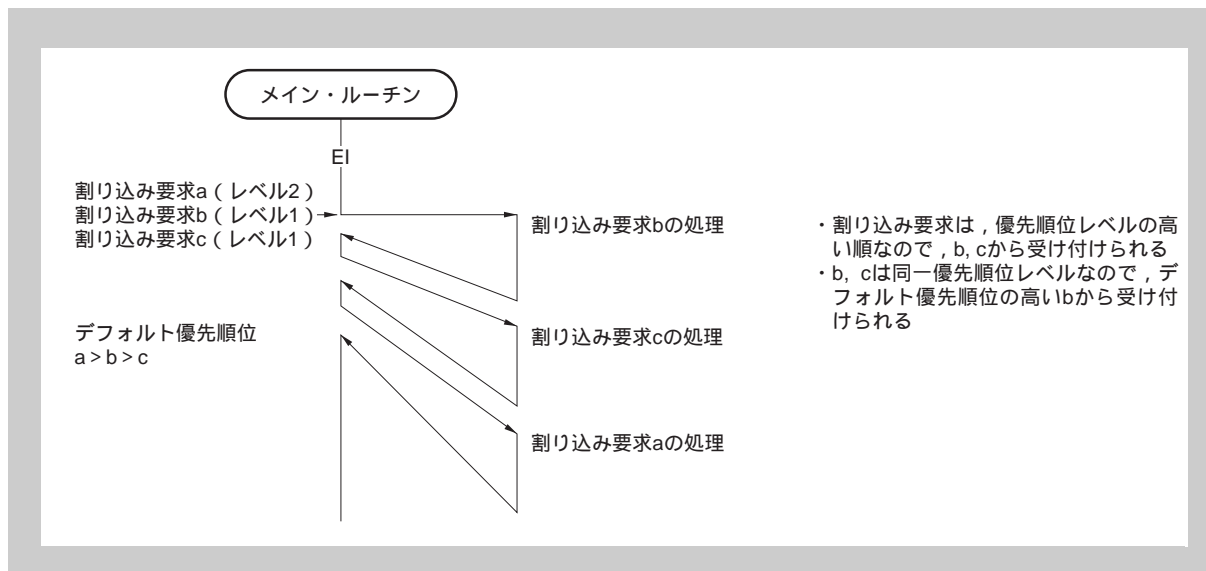


図 5-8 同時発生した割り込み要求信号の処理例

- 備考 1. 図中の a-c は、各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト優先順位の高い／低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

### 5.6.3 優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク・受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

PMR.PMRm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考 m = 0-15

PMR レジスタは、割り込み発生を禁止します。禁止の間も割り込み要求の受け付けおよび保持は行います。

この機能により保留されている EIINT 割り込みの有無は、5.6.4 「保留割り込み通知機能」で確認が可能です。

### 5.6.4 保留割り込み通知機能

保留割り込み通知機能では、現在保留されている割り込みの状態を確認できます。

保留割り込み通知機能では、次の状態を確認することができます。

- 優先度マスク機能（PMR）によってのみマスクされている割り込みが存在している場合  
ICSR.PMF ビットに 1 がセットされます。  
ISPR レジスタによる優先度マスク、EIMKn ビットによりマスクされている割り込みが存在しているだけでは、1 はセットされません。優先度マスクによる割り込み禁止中に、優先度マスク機能により保留されている割り込み要求の有無を確認できます。
- CPU に対し EI レベル・マスカブル割り込み要求が行われている場合  
ICSR.EIR ビットに 1 がセットされます。  
PSW.ID = 1 区間中に ICSR.EIR ビットを見ることで、EIINTn 割り込み要求の有無を確認できます。
- CPU に対して FE レベル・マスカブル割り込み要求が行われている場合  
ICSR.FIR ビットに 1 がセットされます。  
PSW.NP = 1 区間中に ICSR.FIR ビットを見ることで、FEINT 割り込み要求の有無を確認できます。



### 5.6.5 イン・サービス・プライオリティ・クリア機能

割り込みコントローラ内部の状態を初期化する機能です。ISPC レジスタにアクセスすることで動作します。イン・サービス・プライオリティ・クリア機能では、次の操作が可能です。

- ISPR レジスタの内容を全クリア
- ICSR.EIE, FIE, FNE ビットをクリア

ISPC レジスタの全ビットへ1をライトし、次に ISPR レジスタの全ビットに0をライトすると、ISPR レジスタの全ビットをクリア (0) することができます。また、割り込み要求が CPU コアで処理中であることを管理している ICSR.EIE, FIE, FNE ビットがすべてクリア (0) されます。

ISPR レジスタの全ビットへの0のライトとともにこのレジスタの値も自動的にクリア (0) されます。全ビット同時ではないライト・アクセスではビットの値は変化しません。

## 5.7 例外ハンドラ・アドレス切り替え機能

割り込みハンドラ・アドレスはソフトウェアにより切り替えることが可能です。

詳細は、V850E2M ユーザーズ・マニュアル アーキテクチャ編の、**第2編 6.4 例外ハンドラ・アドレス切り替え機能**を参照してください。

## 第6章 DMA/DTS機能

この章では、DMA/DTSコントローラ（DMAC）全般について説明します。  
最初の節で V850E2/Fx4-H に固有の特徴について説明します。  
以降の節で、DMAC 搭載製品に共通の特徴について説明します。

### 6.1 V850E2/Fx4-H DMAC の特徴

**チャンネル数** この章では、DMAC のチャンネル数を「n」で識別します。  
DMAC のチャンネル数は、次の表に示すとおり、製品により異なります。

表 6-1 DMAC のチャンネル数

	V850E2/FK4-H	V850E2/FL4-H
DMA のチャンネル数	n = 0 ~ 15	
DTS のチャンネル数	n = 0 ~ 127	

## (1) DMA 開始要因

DMA 開始要因は、DTFRn.IFCn[6:0] の設定により選択できます。

次の表に DTFRn レジスタで選択できる開始要因の一覧を示します。

表 6-2 DMA 起動要因 (0 ~ 63)

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み	DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
0	DMA なし	32	not uses
1	INTP0	33	not uses
2	INTP1	34	not uses
3	INTP2	35	not uses
4	INTP3	36	INTFCN0TRX
5	INTP4	37	INTFCN1TRX
6	INTP5	38	INTADCA0I0
7	INTP6	39	INTADCA0I1
8	INTP7	40	INTADCA0I2
9	INTP8	41	INTADCA0LLT
10	INTP9	42	INTCSIG0IR
11	INTP10	43	INTCSIG0IC
12	INTTAUA0I8	44	INTLMA0IR
13	INTTAUA0I9	45	INTLMA0IT
14	INTTAUA0I10	46	INTLMA1IR
15	INTTAUA0I11	47	INTLMA1IT
16	INTTAUA0I12	48	INTDMA0 / INTCT0 <sup>a</sup>
17	INTTAUA0I13	49	INTDMA1 / INTCT1 <sup>a</sup>
18	INTTAUA0I14	50	INTDMA2 / INTCT2 <sup>a</sup>
19	INTTAUA0I15	51	INTDMA3 / INTCT3 <sup>a</sup>
20	INTTAUB1I0	52	INTDMA4 / INTCT4 <sup>a</sup>
21	INTTAUB1I1	53	INTDMA5 / INTCT5 <sup>a</sup>
22	INTTAUB1I4	54	INTDMA6 / INTCT6 <sup>a</sup>
23	INTTAUB1I5	55	INTDMA7 / INTCT7 <sup>a</sup>
24	INTTAUB1I8	56	not uses
25	INTTAUB1I9	57	INTIICB0IA
26	INTTAUB1I12	58	INTFCN2TRX
27	INTTAUB1I13	59	INTTAUJ0I0
28	not uses	60	INTTAUJ0I1
29	not uses	61	INTTAUJ0I2
30	not uses	62	INTTAUJ0I3
31	not uses	63	INTTAUJ1I0

<sup>a)</sup> 使用する割り込みは、DMAINTSL0 レジスタによって選択できます。詳細は、5.2.5「V850E2/Fx4-H DMA 割り込み選択」を参照してください。

表 6-3 DMA 起動要因 (64 ~ 127)

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
64	INTTAUJ1I1
65	INTTAUJ1I2
66	INTTAUJ1I3
67	INTADCA1I0
68	INTADCA1I1
69	INTADCA1I2
70	INTFCN3TRX
71	INTDCN0TRX
72	not uses
73	not uses
74	INTFCN3REC
75	INTFCN4ERR
76	INTFCN4TRX
77	INTCSIH0IC
78	INTCSIH0JC
79	not uses
80	not uses
81	INTCSIH0IR
82	INTCSIG4IR
83	INTCSIG4IC
84	INTDCN0REC
85	INTFLXA0I0
86	INTFLXA0I1
87	INTCSIH1IR
88	INTCSIH1IC
89	INTCSIH1JC
90	not uses
91	not uses
92	INTLMA2IT
93	INTLMA3IT
94	INTLMA4IR
95	INTLMA4IT

DTFRn.IFCn[6:0]	DMA 開始要因となる 割り込み
96	INTCSIH2IR
97	INTCSIH2IC
98	INTCSIH2JC
99	not uses
100	not uses
101	not uses
102	not uses
103	not uses
104	not uses
105	not uses
106	not uses
107	INTLMA5IR
108	INTLMA5IT
109	INTLMA6IR
110	INTLMA6IT
111	INTLMA7IR
112	INTLMA7IT
113	INTLMA8IR
114	INTLMA8IT
115	INTLMA9IR
116	INTLMA9IT
117	INTLMA10IR
118	INTLMA10IT
119	INTLMA11IR
120	INTLMA11IT
121	not uses
122	not uses
123	not uses
124	not uses
125	not uses
126	not uses
127	not uses

## (2) DTS 開始要因

次の表に DTS 開始要因の一覧を示します。

表 6-4 DTS 起動要因 (0 ~ 63)

DTS チャンネル	DTS 開始要因となる 割り込み	DTS チャンネル	DTS 開始要因となる 割り込み
0	INTP0	32	INTP3
1	INTP1	33	INTP4
2	INTP2	34	INTP5
3	INTTAUB1I0	35	INTP6
4	INTTAUB1I1	36	INTP7
5	INTTAUB2I0	37	INTP8
6	INTTAUB2I1	38	INTP9
7	INTADCA0I0	39	INTP10
8	INTADCA0I1	40	INTTAUA0I10
9	INTADCA1I0	41	INTTAUA0I11
10	INTADCA1I1	42	INTTAUA0I12
11	INTADCA1I2	43	INTTAUA0I13
12	INTCSIH0IC	44	INTTAUA0I14
13	INTCSIH0IJC	45	INTTAUA0I15
14	INTCSIH0IR	46	INTTAUB1I8
15	INTDCN0REC	47	INTTAUB1I9
16	INTFLXA0I0	48	INTTAUB1I12
17	INTFLXA0I1	49	INTTAUB1I13
18	INTCSIH1IR	50	INTTAUB2I4
19	INTCSIH1IC	51	INTTAUB2I5
20	INTCSIH1IJC	52	INTTAUB2I8
21	INTCSIH2IR	53	INTTAUB2I9
22	INTCSIH2IC	54	INTTAUB2I12
23	INTCSIH2IJC	55	INTTAUB2I13
24	INTMLB0CI	56	INTADCA0I2
25	INTMLB0SI	57	INTADCA0LLT
26	INTETHA0SRX	58	INTLMA0IR
27	INTETHA0SCRX	59	INTLMA0IT
28	INTETHA0SCTX	60	INTLMA1IR
29	INTETHA0RS	61	INTLMA1IT
30	INTETHA0TS	62	INTFL
31	INTETHA0FS	63	INTTAUJ0I2

表 6-5 DTS 起動要因 (64 ~ 127)

DTS チャンネル	DTS 開始要因となる 割り込み
64	INTTAUJ0I3
65	INTTAUJ1I0
66	INTTAUJ1I1
67	INTTAUJ1I2
68	INTTAUJ1I3
69	INTCSIG2IR
70	INTCSIG2IC
71	INTLMA2IT
72	INTLMA3IT
73	INTTAUB1I4
74	INTTAUB1I5
75	INTTAUA0I8
76	INTTAUA0I9
77	not uses
78	not uses
79	INTCSIG0IR
80	INTCSIG0IC
81	INTDMA0: INTCT0
82	INTDMA1: INTCT1
83	INTDMA2: INTCT2
84	INTDMA3: INTCT3
85	INTDMA4: INTCT4
86	INTDMA5: INTCT5
87	INTDMA6: INTCT6
88	INTDMA7: INTCT7
89	INTIICB0IA
90	not uses
91	INTTAUJ0I0
92	INTTAUJ0I1
93	not uses
94	not uses
95	INTFCN3REC

DTS チャンネル	DTS 開始要因となる 割り込み
96	INTFCN4ERR
97	INTFCN4TRX
98	INTCSIG3IR
99	INTCSIG3IC
100	INTCSIG4IR
101	INTCSIG4IC
102	not uses
103	not uses
104	INTLMA4IR
105	INTLMA4IT
106	INTLMA5IR
107	INTLMA5IT
108	INTLMA6IR
109	INTLMA6IT
110	INTLMA7IR
111	INTLMA7IT
112	INTLMA8IR
113	INTLMA8IT
114	INTLMA9IR
115	INTLMA9IT
116	INTLMA10IR
117	INTLMA10IT
118	INTLMA11IR
119	INTLMA11IT
120	INTDMA0: INTCT0
121	INTDMA1: INTCT1
122	INTDMA2: INTCT2
123	INTDMA3: INTCT3
124	INTDMA4: INTCT4
125	INTDMA5: INTCT5
126	INTDMA6: INTCT6
127	INTDMA7: INTCT7

## 6.2 用語

この章では、各用語を次のように定義し使用しています。

表 6-6 語句の定義一覧

語句	意味
DMA 転送	最初の DMA サイクル開始から転送完了割り込み信号 (INTDMA <sub>n</sub> ) を “1” にするまでの期間
DMA サイクル	1 回分の転送単位を転送する期間 (転送元アドレスのリード・サイクルが始まってから、転送先アドレスのライト・サイクルが終了するまで。128 ビット転送の場合はリード・サイクル 4 回、ライト・サイクル 4 回が終了するまで)。
ハードウェア DMA 転送要求	DMA 開始要因 (DTFR <sub>n</sub> .IFC <sub>n</sub> [6:0]) による DMA 転送要求
ソフトウェア DMA 転送要求	内部レジスタ (DTS <sub>n</sub> .DTSnSR ビット) による DMA 転送要求
DMA 転送要求	ハードウェア DMA 転送要求、およびソフトウェア DMA 転送要求
転送情報 (TI)	転送アドレス、転送データ・サイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI (Transfer Information) と称します。
TI フェッチ	DTS が転送情報を内蔵 RAM から読み出すこと
TI ライト・バック	DTS が転送情報を内蔵 RAM に書き戻すこと
TI フェッチ・サイクル	DTS が転送情報を内蔵 RAM から読み出す期間
DTS サイクル	DTS が TI に応じた転送を行う期間
TI ライト・バック・サイクル	DTS が転送情報を内蔵 RAM に書き戻す期間
シングル転送	DMAC の場合、1 回の転送要求につき 1 回の DMA サイクルを実行します。DTS の場合、1 回の転送要求につき TI フェッチ・サイクル、DTS サイクル、TI ライト・バック・サイクルからなる 1 回の DTS 動作を実行します。
シングルステップ転送	DMAC のみの機能で、1 回のソフトウェア DMA 転送要求につき、転送回数設定レジスタ (DTC) で設定した回数の転送を行います。転送ごとにバスを解放しますので、CPU が割り込むことができます。シングルステップ転送実行中に別の優先順位の高い転送要求が発生した場合は、シングルステップ転送を中断し、優先順位が高い転送要求を実行します。
ブロック転送	DTS のみの機能で、1 回の転送要求につき 1 回の TI フェッチ・サイクルと転送回数設定レジスタ (TI-A の bit[31:16]) で指定した回数の DTS サイクルと、1 回の TI ライト・バック・サイクルを実行します。転送ごとにバスを解放しますので、CPU が割り込むことができます。ブロック転送実行中に別の優先順位の高い DTS 要求が発生した場合、DTS はブロック転送が完了するまで、この要求を無視します (受け付けることができません)。

## 6.3 概要

DMA (Direct Memory Access) 機能とは、CPU を介さずにデータをアクセスする機能です。

DMAC (DMA Controller) は、高速なデータ転送を行うことができます。

DTFR (DMA Trigger Factor Register) により割り込み要求の中から DMA 転送要因を選択することができます。

### 6.3.1 DMAC (DMA Controller) の機能

- 転送情報 (転送アドレス, 転送サイズなど) を格納するレジスタ, および DMAC を制御するレジスタを内蔵
- DMA 転送要求を受け付けると, 転送元アドレスから転送先アドレスに転送を開始
- ハードウェア DMA 転送要求, DMA アクノリッジ, DMA 転送完了割り込みを出力
- ライト・バック情報をレジスタに書き戻す

### 6.3.2 DTFR (DMA Trigger Factor Register) の機能

- 割り込み信号の中から DMA 転送要因を選択 (127 チャンネルの割り込み信号から 8 チャンネルを選択)

### 6.3.3 DTS (Data Transfer Service) の機能

- DTS を制御するレジスタを内蔵 (転送情報は内蔵 RAM に配置)
- DTS 転送要求を受け付けると, 内蔵 RAM に配置された転送情報を読み出し, その転送情報に応じた転送要求を DMAT に出力
- ハードウェア DTS 転送要求, DTS アクノリッジ, DTS 転送完了割り込みを出力
- ライト・バック情報 (次回の転送情報) を, 内蔵 RAM に書き戻す

### 6.3.4 DTFSFL (DTS Factor SeLector) の機能

- 割り込み信号の中から DTS 転送要因を選択 (転送要因として, 128 要因を割り当て可能)
- 4 レベルの優先順位設定
- DTS からの各種割り込み要因と周辺からの割り込み信号の選択



### 6.3.5 DMA アクセス・メモリ・マップ

3.12.2 「V850E2/Fx4-H メモリ・マップ」を参照してください。

### 6.3.6 チャンネルの優先順位

DMAC の優先順位は

「CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7>CH8>CH9>CH10>CH11>CH12>CH13>CH14>CH15」で判定します。

CH0 の優先順位が最高です。

### 6.3.7 転送要求のアービトレーション

DMA サブシステムは、DMAC0, DMAC1, DTS という3つの転送コントローラを内蔵しているため、これらの転送要求を内部で調停（アービトレーション）しています。このアービトレーションは、常に固定「DMAC0>DMAC1>DTS」の優先順位で行います。DMAC0の優先順位が最高位です。

ただし、DMAC0, DMAC1, DTSは1回の転送要求が完了すると、いったん要求を取り下げますのでアービトレーションの結果、次の現象が発生します。

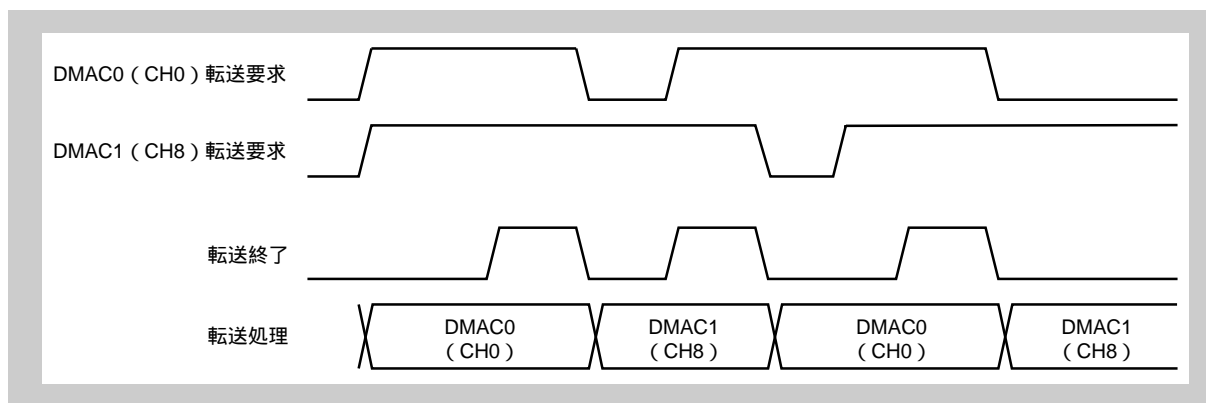


図 6-1 DMAC0 と DMAC1 の入れ替え

CH0の転送要求が継続して発生している場合でも、DMACは転送要求をいったん取り下げます。この結果、DMAC1の要求が優先されます。

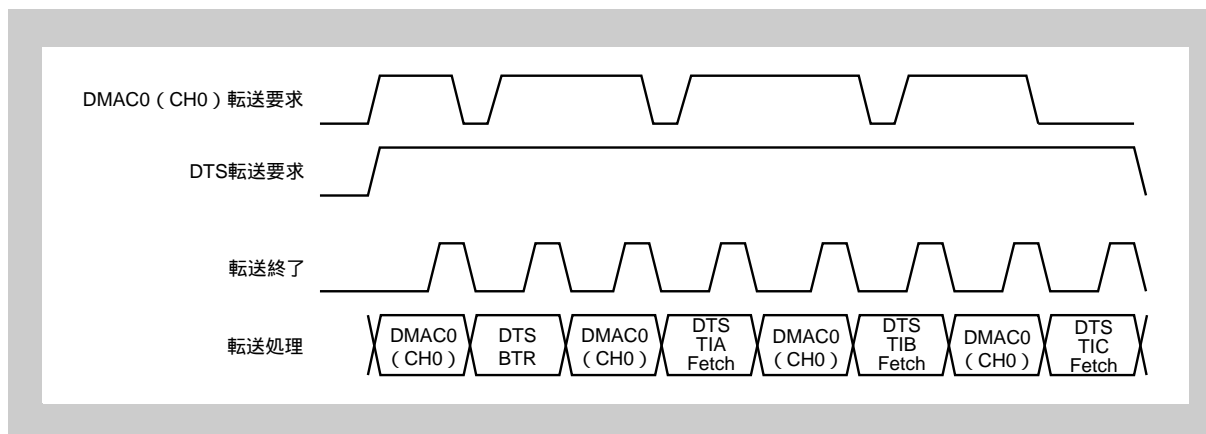


図 6-2 DMAC0 と DTS の入れ替え

CH0の転送要求が継続して発生している場合でも、DMAC0は転送要求をいったん取り下げます。この結果、DTSの要求が優先されます。DTSはベース・テーブル・リード（BTR : Base Table Read）のあと、TIA フェッチ要求を出し続けますが、DMAC0の優先順位がDTSより高いために、アービトレーションが行われDMAC0を優先します。DMAC0の転送が完了すると、DMAC0は要求をいったん取り下げるため、DTSの要求が実行されます。

### 6.3.8 スタンバイ機能

ストップ・モード要求が入ると、DMA 転送を一時中断し、ストップ・モードに遷移します。

## 6.4 DMAC 機能

### 6.4.1 特徴

チャンネル数	16 チャンネル
転送データ・サイズ	8 ビット, 16 ビット, 32 ビット, 128 ビット
転送データ	リトル・エンディアン固定 ミスアライン・データ非対応
最大転送回数	32768 ( $2^{15}$ ) 回 (16 ビット・レジスタの最上位ビットはネクスト・アドレス機能に使用)
チャンネル優先順位制御	固定優先順位 (高優先順位 (CH0) →低優先順位 (CH15))
転送対象	Code-Flash, Local-RAM, Data-Flash, 外部メモリ領域, 周辺 I/O 領域
転送タイプ	2 サイクル転送 (デュアル・アドレス転送)  転送元, 転送先ともにアドレス・アクセスします。1 回の転送に 2 バス・サイクル (リード・サイクル+ライト・サイクル) を必要とします。リード・サイクルとライト・サイクルの間でバスのロックは行わないため, CPU サイクルが割り込むことがあります。また, 128 ビット・アクセス時には, リード・サイクル 4 回のあと, ライト・サイクルを 4 回行いますが, リード・サイクル間やライト・サイクル間でバスのロックは行わないため, CPU サイクルが割り込むことがあります。
転送モード	<ul style="list-style-type: none"> <li>• シングル転送モード (ハードウェア DMA 転送要求時)  ハードウェア DMA 転送要求が発生するとバス使用权を獲得し, 1 回の転送を行ったあと必ずバスを解放します。その後, ハードウェア DMA 転送要求があると, 再度 1 回の転送を行います。この動作を, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで繰り返します。</li> <li>• シングルステップ転送モード (ソフトウェア DMA 転送要求時)  ソフトウェア DMA 転送要求が発生するとバス使用权を獲得し, 1 回の転送ごとにバスを解放します。一度ソフトウェア DMA 転送要求を受け付けると, 転送回数レジスタ (DTC) で指定した回数分の転送が終了するまで, この動作を繰り返します。</li> </ul>
転送アドレス制御	インクリメンタル, デクリメンタル, 固定
転送エラー対応	転送元からのデータがエラーであった場合, 転送先にてエラーが発生した場合, DMA 転送を中断し, CPU に対し SysError 例外を通知します。
DMA 転送要求	チャンネルごとに, ハードウェア DMA 転送要求, およびソフトウェア DMA 転送要求から任意の DMA 転送要求を選択可能です (DTRS レジスタ設定)。ソフトウェア DMA 転送要求は, ソフトウェアにより設定可能です (DTS レジスタ設定)。また, ハードウェア DMA 転送要求があることを示すステータス・ビット (DTS レジスタ) があります。なお, DMA 転送要求に割り付けられなかった周辺 I/O 割り込みを INTC に通知する機能はシステム構成に依存します。製品のユーザズ・マニュアルを参照してください。

転送回数一致 割り込み出力機能	チャンネルごとに、転送回数コンペア用レジスタ (DTCC) を持ち、当該チャンネルの転送回数レジスタ (DTC) と一致すると割り込み信号 (INTCT15-INTCT0) を出力します。
<b>転送完了割り込み 出力機能</b>	チャンネルごとに、転送回数レジスタ (DTC) で指定した回数分の DMA 転送を終了すると、転送完了割り込み信号 (INTDMA7-INTDMA0) を出力します。
ネクスト・アドレス 設定機能	チャンネルごとに、現在実行中の DMA 転送の転送アドレスおよび転送回数 (Current) を設定しているレジスタと、実行中の DMA 転送完了後、次に DMA 転送したい転送アドレスおよび転送回数 (Next) を設定するレジスタがあります。レジスタごとに、DMA 転送完了後、Next を Current にコピーするかどうかを決めるビットがあります。
スタンバイ対応	ストップ・モード要求が入ると、DMA 転送を一時中断し、ストップ・モードに遷移します。
DMA 転送中断機能	ソフトウェアによる中断に対応します。

## 6.4.2 設定レジスタ

表 6-7 DMAC 設定レジスタ一覧 (1/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7300 <sub>H</sub>	DTRC0	DMA 転送要求コントロール・レジスタ 0	R/W	○	○			00 <sub>H</sub>
FFFF7310 <sub>H</sub>	DTRS0	DMA 転送要求選択レジスタ CH0				○		0000 <sub>H</sub>
FFFF7314 <sub>H</sub>	DSA0	DMA ソース・アドレス・レジスタ CH0					○	00000000 <sub>H</sub>
FFFF7314 <sub>H</sub>	DSA0L	DMA ソース・アドレス・レジスタ LCH0				○		0000 <sub>H</sub>
FFFF7316 <sub>H</sub>	DSA0H	DMA ソース・アドレス・レジスタ HCH0				○		0000 <sub>H</sub>
FFFF7318 <sub>H</sub>	DSC0	DMA ソース・チップ・セレクト・レジスタ CH0				○		0001 <sub>H</sub>
FFFF731C <sub>H</sub>	DNSA0	DMA ネクスト・ソース・アドレス・レジスタ CH0					○	00000000 <sub>H</sub>
FFFF731C <sub>H</sub>	DNSA0L	DMA ネクスト・ソース・アドレス・レジスタ LCH0				○		0000 <sub>H</sub>
FFFF731E <sub>H</sub>	DNSA0H	DMA ネクスト・ソース・アドレス・レジスタ HCH0				○		0000 <sub>H</sub>
FFFF7320 <sub>H</sub>	DNSC0	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH0				○		0001 <sub>H</sub>
FFFF7324 <sub>H</sub>	DDA0	DMA デスティネーション・アドレス・レジスタ CH0					○	00000000 <sub>H</sub>
FFFF7324 <sub>H</sub>	DDA0L	DMA デスティネーション・アドレス・レジスタ LCH0				○		0000 <sub>H</sub>
FFFF7326 <sub>H</sub>	DDA0H	DMA デスティネーション・アドレス・レジスタ HCH0				○		0000 <sub>H</sub>
FFFF7328 <sub>H</sub>	DDC0	DMA デスティネーション・チップ・セレクト・レジスタ CH0				○		0001 <sub>H</sub>
FFFF732C <sub>H</sub>	DNDA0	DMA ネクスト・デスティネーション・アドレス・レジスタ CH0					○	00000000 <sub>H</sub>
FFFF732C <sub>H</sub>	DNDA0L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH0				○		0000 <sub>H</sub>
FFFF732E <sub>H</sub>	DNDA0H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH0				○		0000 <sub>H</sub>
FFFF7330 <sub>H</sub>	DNDC0	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH0				○		0001 <sub>H</sub>
FFFF7332 <sub>H</sub>	DTC0	DMA 転送カウント・レジスタ CH0				○		0000 <sub>H</sub>
FFFF7334 <sub>H</sub>	DNTC0	DMA ネクスト転送カウント・レジスタ CH0				○		0000 <sub>H</sub>
FFFF7336 <sub>H</sub>	DTCC0	DMA 転送カウント・コンペア・レジスタ CH0				○		0000 <sub>H</sub>
FFFF7338 <sub>H</sub>	DTCT0	DMA 転送制御レジスタ CH0				○		0000 <sub>H</sub>
FFFF733A <sub>H</sub>	DTS0	DMA 転送ステータス・レジスタ CH0			○	○		00 <sub>H</sub>
FFFF7340 <sub>H</sub>	DTRS1	DMA 転送要求選択レジスタ CH1				○		0000 <sub>H</sub>
FFFF7344 <sub>H</sub>	DSA1	DMA ソース・アドレス・レジスタ CH1					○	00000000 <sub>H</sub>
FFFF7344 <sub>H</sub>	DSA1L	DMA ソース・アドレス・レジスタ LCH1				○		0000 <sub>H</sub>
FFFF7346 <sub>H</sub>	DSA1H	DMA ソース・アドレス・レジスタ HCH1				○		0000 <sub>H</sub>
FFFF7348 <sub>H</sub>	DSC1	DMA ソース・チップ・セレクト・レジスタ CH1				○		0001 <sub>H</sub>
FFFF734C <sub>H</sub>	DNSA1	DMA ネクスト・ソース・アドレス・レジスタ CH1					○	00000000 <sub>H</sub>
FFFF734C <sub>H</sub>	DNSA1L	DMA ネクスト・ソース・アドレス・レジスタ LCH1				○		0000 <sub>H</sub>
FFFF734E <sub>H</sub>	DNSA1H	DMA ネクスト・ソース・アドレス・レジスタ HCH1				○		0000 <sub>H</sub>

表 6-7 DMAC 設定レジスタ一覧 (2/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値	
				1	8	16	32		
FFFF7350 <sub>H</sub>	DNCS1	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH1	R/W			○		0001 <sub>H</sub>	
FFFF7354 <sub>H</sub>	DDA1	DMA デスティネーション・アドレス・レジスタ CH1					○		00000000 <sub>H</sub>
FFFF7354 <sub>H</sub>	DDA1L	DMA デスティネーション・アドレス・レジスタ LCH1					○		0000 <sub>H</sub>
FFFF7356 <sub>H</sub>	DDA1H	DMA デスティネーション・アドレス・レジスタ HCH1					○		0000 <sub>H</sub>
FFFF7358 <sub>H</sub>	DDC1	DMA デスティネーション・チップ・セレクト・レジスタ CH1					○		0001 <sub>H</sub>
FFFF735C <sub>H</sub>	DNDA1	DMA ネクスト・デスティネーション・アドレス・レジスタ CH1						○	00000000 <sub>H</sub>
FFFF735C <sub>H</sub>	DNDA1L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH1					○		0000 <sub>H</sub>
FFFF735E <sub>H</sub>	DNDA1H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH1					○		0000 <sub>H</sub>
FFFF7360 <sub>H</sub>	DNDC1	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH1					○		0001 <sub>H</sub>
FFFF7362 <sub>H</sub>	DTC1	DMA 転送カウント・レジスタ CH1					○		0000 <sub>H</sub>
FFFF7364 <sub>H</sub>	DNTC1	DMA ネクスト転送カウント・レジスタ CH1					○		0000 <sub>H</sub>
FFFF7366 <sub>H</sub>	DTCC1	DMA 転送カウント・コンペア・レジスタ CH1					○		0000 <sub>H</sub>
FFFF7368 <sub>H</sub>	DTCT1	DMA 転送制御レジスタ CH1					○		0000 <sub>H</sub>
FFFF736A <sub>H</sub>	DTS1	DMA 転送ステータス・レジスタ CH1		○	○				00 <sub>H</sub>
FFFF7370 <sub>H</sub>	DTRS2	DMA 転送要求選択レジスタ CH2					○		0000 <sub>H</sub>
FFFF7374 <sub>H</sub>	DSA2	DMA ソース・アドレス・レジスタ CH2						○	00000000 <sub>H</sub>
FFFF7374 <sub>H</sub>	DSA2L	DMA ソース・アドレス・レジスタ LCH2					○		0000 <sub>H</sub>
FFFF7376 <sub>H</sub>	DSA2H	DMA ソース・アドレス・レジスタ HCH2					○		0000 <sub>H</sub>
FFFF7378 <sub>H</sub>	DSC2	DMA ソース・チップ・セレクト・レジスタ CH2					○		0001 <sub>H</sub>
FFFF737C <sub>H</sub>	DNDA2	DMA ネクスト・ソース・アドレス・レジスタ CH2						○	00000000 <sub>H</sub>
FFFF737C <sub>H</sub>	DNDA2L	DMA ネクスト・ソース・アドレス・レジスタ LCH2					○		0000 <sub>H</sub>
FFFF737E <sub>H</sub>	DNDA2H	DMA ネクスト・ソース・アドレス・レジスタ HCH2					○		0000 <sub>H</sub>
FFFF7380 <sub>H</sub>	DNCS2	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH2					○		0001 <sub>H</sub>
FFFF7384 <sub>H</sub>	DDA2	DMA デスティネーション・アドレス・レジスタ CH2						○	00000000 <sub>H</sub>
FFFF7384 <sub>H</sub>	DDA2L	DMA デスティネーション・アドレス・レジスタ LCH2					○		0000 <sub>H</sub>
FFFF7386 <sub>H</sub>	DDA2H	DMA デスティネーション・アドレス・レジスタ HCH2					○		0000 <sub>H</sub>
FFFF7388 <sub>H</sub>	DDC2	DMA デスティネーション・チップ・セレクト・レジスタ CH2					○		0001 <sub>H</sub>
FFFF738C <sub>H</sub>	DNDA2	DMA ネクスト・デスティネーション・アドレス・レジスタ CH2						○	00000000 <sub>H</sub>
FFFF738C <sub>H</sub>	DNDA2L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH2				○		0000 <sub>H</sub>	
FFFF738E <sub>H</sub>	DNDA2H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH2				○		0000 <sub>H</sub>	
FFFF7390 <sub>H</sub>	DNDC2	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH2				○		0001 <sub>H</sub>	
FFFF7392 <sub>H</sub>	DTC2	DMA 転送カウント・レジスタ CH2				○		0000 <sub>H</sub>	

表 6-7 DMAC 設定レジスタ一覧 (3/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7394 <sub>H</sub>	DNTC2	DMA ネクスト転送カウント・レジスタ CH2	R/W			○		0000 <sub>H</sub>
FFFF7396 <sub>H</sub>	DTCC2	DMA 転送カウント・コンペア・レジスタ CH2				○		0000 <sub>H</sub>
FFFF7398 <sub>H</sub>	DTCT2	DMA 転送制御レジスタ CH2				○		0000 <sub>H</sub>
FFFF739A <sub>H</sub>	DTS2	DMA 転送ステータス・レジスタ CH2		○	○			00 <sub>H</sub>
FFFF73A0 <sub>H</sub>	DTRS3	DMA 転送要求選択レジスタ CH3				○		0000 <sub>H</sub>
FFFF73A4 <sub>H</sub>	DSA3	DMA ソース・アドレス・レジスタ CH3					○	00000000 <sub>H</sub>
FFFF73A4 <sub>H</sub>	DSA3L	DMA ソース・アドレス・レジスタ LCH3				○		0000 <sub>H</sub>
FFFF73A6 <sub>H</sub>	DSA3H	DMA ソース・アドレス・レジスタ HCH3				○		0000 <sub>H</sub>
FFFF73A8 <sub>H</sub>	DSC3	DMA ソース・チップ・セレクト・レジスタ CH3				○		0001 <sub>H</sub>
FFFF73AC <sub>H</sub>	DNSA3	DMA ネクスト・ソース・アドレス・レジスタ CH3					○	00000000 <sub>H</sub>
FFFF73AC <sub>H</sub>	DNSA3L	DMA ネクスト・ソース・アドレス・レジスタ LCH3				○		0000 <sub>H</sub>
FFFF73AE <sub>H</sub>	DNSA3H	DMA ネクスト・ソース・アドレス・レジスタ HCH3				○		0000 <sub>H</sub>
FFFF73B0 <sub>H</sub>	DNSC3	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH3				○		0001 <sub>H</sub>
FFFF73B4 <sub>H</sub>	DDA3	DMA デスティネーション・アドレス・レジスタ CH3					○	00000000 <sub>H</sub>
FFFF73B4 <sub>H</sub>	DDA3L	DMA デスティネーション・アドレス・レジスタ LCH3				○		0000 <sub>H</sub>
FFFF73B6 <sub>H</sub>	DDA3H	DMA デスティネーション・アドレス・レジスタ HCH3				○		0000 <sub>H</sub>
FFFF73B8 <sub>H</sub>	DDC3	DMA デスティネーション・チップ・セレクト・レジスタ CH3				○		0001 <sub>H</sub>
FFFF73BC <sub>H</sub>	DNDA3	DMA ネクスト・デスティネーション・アドレス・レジスタ CH3					○	00000000 <sub>H</sub>
FFFF73BC <sub>H</sub>	DNDA3L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH3				○		0000 <sub>H</sub>
FFFF73BE <sub>H</sub>	DNDA3H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH3				○		0000 <sub>H</sub>
FFFF73C0 <sub>H</sub>	DNDC3	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH3				○		0001 <sub>H</sub>
FFFF73C2 <sub>H</sub>	DTC3	DMA 転送カウント・レジスタ CH3				○		0000 <sub>H</sub>
FFFF73C4 <sub>H</sub>	DNTC3	DMA ネクスト転送カウント・レジスタ CH3				○		0000 <sub>H</sub>
FFFF73C6 <sub>H</sub>	DTCC3	DMA 転送カウント・コンペア・レジスタ CH3				○		0000 <sub>H</sub>
FFFF73C8 <sub>H</sub>	DTCT3	DMA 転送制御レジスタ CH3				○		0000 <sub>H</sub>
FFFF73CA <sub>H</sub>	DTS3	DMA 転送ステータス・レジスタ CH3		○	○			00 <sub>H</sub>
FFFF73D0 <sub>H</sub>	DTRS4	DMA 転送要求選択レジスタ CH4				○		0000 <sub>H</sub>
FFFF73D4 <sub>H</sub>	DSA4	DMA ソース・アドレス・レジスタ CH4					○	00000000 <sub>H</sub>
FFFF73D4 <sub>H</sub>	DSA4L	DMA ソース・アドレス・レジスタ LCH4				○		0000 <sub>H</sub>
FFFF73D6 <sub>H</sub>	DSA4H	DMA ソース・アドレス・レジスタ HCH4				○		0000 <sub>H</sub>
FFFF73D8 <sub>H</sub>	DSC4	DMA ソース・チップ・セレクト・レジスタ CH4				○		0001 <sub>H</sub>
FFFF73DC <sub>H</sub>	DNSA4	DMA ネクスト・ソース・アドレス・レジスタ CH4					○	00000000 <sub>H</sub>
FFFF73DC <sub>H</sub>	DNSA4L	DMA ネクスト・ソース・アドレス・レジスタ LCH4			○		0000 <sub>H</sub>	
FFFF73DE <sub>H</sub>	DNSA4H	DMA ネクスト・ソース・アドレス・レジスタ HCH4			○		0000 <sub>H</sub>	
FFFF73E0 <sub>H</sub>	DNSC4	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH4			○		0001 <sub>H</sub>	



表 6-7 DMAC 設定レジスタ一覧 (4/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF73E4 <sub>H</sub>	DDA4	DMA デスティネーション・アドレス・レジスタ CH4	R/W				○	00000000 <sub>H</sub>
FFFF73E4 <sub>H</sub>	DDA4L	DMA デスティネーション・アドレス・レジスタ LCH4				○		0000 <sub>H</sub>
FFFF73E6 <sub>H</sub>	DDA4H	DMA デスティネーション・アドレス・レジスタ HCH4				○		0000 <sub>H</sub>
FFFF73E8 <sub>H</sub>	DDC4	DMA デスティネーション・チップセレクト・レジスタ CH4				○		0001 <sub>H</sub>
FFFF73EC <sub>H</sub>	DNDA4	DMA ネクスト・デスティネーション・アドレス・レジスタ CH4					○	00000000 <sub>H</sub>
FFFF73EC <sub>H</sub>	DNDA4L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH4				○		0000 <sub>H</sub>
FFFF73EE <sub>H</sub>	DNDA4H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH4				○		0000 <sub>H</sub>
FFFF73F0 <sub>H</sub>	DNDC4	DMA ネクスト・デスティネーション・チップセレクト・レジスタ CH4				○		0001 <sub>H</sub>
FFFF73F2 <sub>H</sub>	DTC4	DMA 転送カウント・レジスタ CH4				○		0000 <sub>H</sub>
FFFF73F4 <sub>H</sub>	DNTC4	DMA ネクスト転送カウント・レジスタ CH4				○		0000 <sub>H</sub>
FFFF73F6 <sub>H</sub>	DTCC4	DMA 転送カウント・コンペア・レジスタ CH4				○		0000 <sub>H</sub>
FFFF73F8 <sub>H</sub>	DTCT4	DMA 転送制御レジスタ CH4				○		0000 <sub>H</sub>
FFFF73FA <sub>H</sub>	DTS4	DMA 転送ステータス・レジスタ CH4		○	○			00 <sub>H</sub>
FFFF7400 <sub>H</sub>	DTRS5	DMA 転送要求選択レジスタ CH5				○		0000 <sub>H</sub>
FFFF7404 <sub>H</sub>	DSA5	DMA ソース・アドレス・レジスタ CH5					○	00000000 <sub>H</sub>
FFFF7404 <sub>H</sub>	DSA5L	DMA ソース・アドレス・レジスタ LCH5				○		0000 <sub>H</sub>
FFFF7406 <sub>H</sub>	DSA5H	DMA ソース・アドレス・レジスタ HCH5				○		0000 <sub>H</sub>
FFFF7408 <sub>H</sub>	DSC5	DMA ソース・チップ・セレクト・レジスタ CH5				○		0001 <sub>H</sub>
FFFF740C <sub>H</sub>	DNDA5	DMA ネクスト・ソース・アドレス・レジスタ CH5					○	00000000 <sub>H</sub>
FFFF740C <sub>H</sub>	DNDA5L	DMA ネクスト・ソース・アドレス・レジスタ LCH5				○		0000 <sub>H</sub>
FFFF740E <sub>H</sub>	DNDA5H	DMA ネクスト・ソース・アドレス・レジスタ HCH5				○		0000 <sub>H</sub>
FFFF7410 <sub>H</sub>	DNDC5	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH5				○		0001 <sub>H</sub>
FFFF7414 <sub>H</sub>	DDA5	DMA デスティネーション・アドレス・レジスタ CH5					○	00000000 <sub>H</sub>
FFFF7414 <sub>H</sub>	DDA5L	DMA デスティネーション・アドレス・レジスタ LCH5				○		0000 <sub>H</sub>
FFFF7416 <sub>H</sub>	DDA5H	DMA デスティネーション・アドレス・レジスタ HCH5			○		0000 <sub>H</sub>	
FFFF7418 <sub>H</sub>	DDC5	DMA デスティネーション・チップ・セレクト・レジスタ CH5			○		0001 <sub>H</sub>	
FFFF741C <sub>H</sub>	DNDA5	DMA ネクスト・デスティネーション・アドレス・レジスタ CH5				○	00000000 <sub>H</sub>	
FFFF741C <sub>H</sub>	DNDA5L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH5			○		0000 <sub>H</sub>	
FFFF741E <sub>H</sub>	DNDA5H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH5			○		0000 <sub>H</sub>	
FFFF7420 <sub>H</sub>	DNDC5	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH5			○		0001 <sub>H</sub>	
FFFF7422 <sub>H</sub>	DTC5	DMA 転送カウント・レジスタ CH5			○		0000 <sub>H</sub>	
FFFF7424 <sub>H</sub>	DNTC5	DMA ネクスト転送カウント・レジスタ CH5			○		0000 <sub>H</sub>	
FFFF7426 <sub>H</sub>	DTCC5	DMA 転送カウント・コンペア・レジスタ CH5			○		0000 <sub>H</sub>	

表 6-7 DMAC 設定レジスタ一覧 (5/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7428 <sub>H</sub>	DTCT5	DMA 転送制御レジスタ CH5	R/W			○		0000 <sub>H</sub>
FFFF742A <sub>H</sub>	DTS5	DMA 転送ステータス・レジスタ CH5		○	○			00 <sub>H</sub>
FFFF7430 <sub>H</sub>	DTRS6	DMA 転送要求選択レジスタ CH6				○		0000 <sub>H</sub>
FFFF7434 <sub>H</sub>	DSA6	DMA ソース・アドレス・レジスタ CH6					○	00000000 <sub>H</sub>
FFFF7434 <sub>H</sub>	DSA6L	DMA ソース・アドレス・レジスタ LCH6				○		0000 <sub>H</sub>
FFFF7436 <sub>H</sub>	DSA6H	DMA ソース・アドレス・レジスタ HCH6				○		0000 <sub>H</sub>
FFFF7438 <sub>H</sub>	DSC6	DMA ソース・チップ・セレクト・レジスタ CH6				○		0001 <sub>H</sub>
FFFF743C <sub>H</sub>	DNSA6	DMA ネクスト・ソース・アドレス・レジスタ CH6					○	00000000 <sub>H</sub>
FFFF743C <sub>H</sub>	DNSA6L	DMA ネクスト・ソース・アドレス・レジスタ LCH6				○		0000 <sub>H</sub>
FFFF743E <sub>H</sub>	DNSA6H	DMA ネクスト・ソース・アドレス・レジスタ HCH6				○		0000 <sub>H</sub>
FFFF7440 <sub>H</sub>	DNSC6	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH6				○		0001 <sub>H</sub>
FFFF7444 <sub>H</sub>	DDA6	DMA デスティネーション・アドレス・レジスタ CH6					○	00000000 <sub>H</sub>
FFFF7444 <sub>H</sub>	DDA6L	DMA デスティネーション・アドレス・レジスタ LCH6				○		0000 <sub>H</sub>
FFFF7446 <sub>H</sub>	DDA6H	DMA デスティネーション・アドレス・レジスタ HCH6				○		0000 <sub>H</sub>
FFFF7448 <sub>H</sub>	DDC6	DMA デスティネーション・チップ・セレクト・レジスタ CH6				○		0001 <sub>H</sub>
FFFF744C <sub>H</sub>	DNDA6	DMA ネクスト・デスティネーション・アドレス・レジスタ CH6					○	00000000 <sub>H</sub>
FFFF744C <sub>H</sub>	DNDA6L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH6				○		0000 <sub>H</sub>
FFFF744E <sub>H</sub>	DNDA6H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH6				○		0000 <sub>H</sub>
FFFF7450 <sub>H</sub>	DNDC6	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH6				○		0001 <sub>H</sub>
FFFF7452 <sub>H</sub>	DTC6	DMA 転送カウント・レジスタ CH6				○		0000 <sub>H</sub>
FFFF7454 <sub>H</sub>	DNTC6	DMA ネクスト転送カウント・レジスタ CH6				○		0000 <sub>H</sub>
FFFF7456 <sub>H</sub>	DTCC6	DMA 転送カウント・コンペア・レジスタ CH6				○		0000 <sub>H</sub>
FFFF7458 <sub>H</sub>	DTCT6	DMA 転送制御レジスタ CH6				○		0000 <sub>H</sub>
FFFF745A <sub>H</sub>	DTS6	DMA 転送ステータス・レジスタ CH6		○	○			00 <sub>H</sub>
FFFF7460 <sub>H</sub>	DTRS7	DMA 転送要求選択レジスタ CH7				○		0000 <sub>H</sub>
FFFF7464 <sub>H</sub>	DSA7	DMA ソース・アドレス・レジスタ CH7					○	00000000 <sub>H</sub>
FFFF7464 <sub>H</sub>	DSA7L	DMA ソース・アドレス・レジスタ LCH7				○		0000 <sub>H</sub>
FFFF7466 <sub>H</sub>	DSA7H	DMA ソース・アドレス・レジスタ HCH7				○		0000 <sub>H</sub>
FFFF7468 <sub>H</sub>	DSC7	DMA ソース・チップ・セレクト・レジスタ CH7				○		0001 <sub>H</sub>
FFFF746C <sub>H</sub>	DNSA7	DMA ネクスト・ソース・アドレス・レジスタ CH7					○	00000000 <sub>H</sub>
FFFF746C <sub>H</sub>	DNSA7L	DMA ネクスト・ソース・アドレス・レジスタ LCH7				○		0000 <sub>H</sub>
FFFF746E <sub>H</sub>	DNSA7H	DMA ネクスト・ソース・アドレス・レジスタ HCH7				○		0000 <sub>H</sub>
FFFF7470 <sub>H</sub>	DNSC7	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH7				○		0001 <sub>H</sub>
FFFF7474 <sub>H</sub>	DDA7	DMA デスティネーション・アドレス・レジスタ CH7					○	00000000 <sub>H</sub>
FFFF7474 <sub>H</sub>	DDA7L	DMA デスティネーション・アドレス・レジスタ LCH7				○		0000 <sub>H</sub>
FFFF7476 <sub>H</sub>	DDA7H	DMA デスティネーション・アドレス・レジスタ HCH7				○		0000 <sub>H</sub>

表 6-7 DMAC 設定レジスタ一覧 (6/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7478 <sub>H</sub>	DDC7	DMA デスティネーション・チップ・セレクト・レジスタ CH7	R/W			○		0001 <sub>H</sub>
FFFF747C <sub>H</sub>	DNDA7	DMA ネクスト・デスティネーション・アドレス・レジスタ CH7					○	00000000 <sub>H</sub>
FFFF747C <sub>H</sub>	DNDA7L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH7				○		0000 <sub>H</sub>
FFFF747E <sub>H</sub>	DNDA7H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH7				○		0000 <sub>H</sub>
FFFF7480 <sub>H</sub>	DNDC7	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH7				○		0001 <sub>H</sub>
FFFF7482 <sub>H</sub>	DTC7	DMA 転送カウント・レジスタ CH7				○		0000 <sub>H</sub>
FFFF7484 <sub>H</sub>	DNTC7	DMA ネクスト転送カウント・レジスタ CH7				○		0000 <sub>H</sub>
FFFF7486 <sub>H</sub>	DTCC7	DMA 転送カウント・コンペア・レジスタ CH7				○		0000 <sub>H</sub>
FFFF7488 <sub>H</sub>	DTCT7	DMA 転送制御レジスタ CH7				○		0000 <sub>H</sub>
FFFF748A <sub>H</sub>	DTS7	DMA 転送ステータス・レジスタ CH7		○	○			00 <sub>H</sub>
FFFF7500 <sub>H</sub>	DTRC1	DMA 転送要求コントロール・レジスタ 1		○	○			00 <sub>H</sub>
FFFF7510 <sub>H</sub>	DTRS8	DMA 転送要求選択レジスタ CH8				○		0000 <sub>H</sub>
FFFF7514 <sub>H</sub>	DSA8	DMA ソース・アドレス・レジスタ CH8					○	00000000 <sub>H</sub>
FFFF7514 <sub>H</sub>	DSA8L	DMA ソース・アドレス・レジスタ LCH8				○		0000 <sub>H</sub>
FFFF7516 <sub>H</sub>	DSA8H	DMA ソース・アドレス・レジスタ HCH8				○		0000 <sub>H</sub>
FFFF7518 <sub>H</sub>	DSC8	DMA ソース・チップ・セレクト・レジスタ CH8				○		0001 <sub>H</sub>
FFFF751C <sub>H</sub>	DNSA8	DMA ネクスト・ソース・アドレス・レジスタ CH8					○	00000000 <sub>H</sub>
FFFF751C <sub>H</sub>	DNSA8L	DMA ネクスト・ソース・アドレス・レジスタ LCH8				○		0000 <sub>H</sub>
FFFF751E <sub>H</sub>	DNSA8H	DMA ネクスト・ソース・アドレス・レジスタ HCH8				○		0000 <sub>H</sub>
FFFF7520 <sub>H</sub>	DNDC8	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH8				○		0001 <sub>H</sub>
FFFF7524 <sub>H</sub>	DDA8	DMA デスティネーション・アドレス・レジスタ CH8				○	00000000 <sub>H</sub>	
FFFF7524 <sub>H</sub>	DDA8L	DMA デスティネーション・アドレス・レジスタ LCH8			○		0000 <sub>H</sub>	
FFFF7526 <sub>H</sub>	DDA8H	DMA デスティネーション・アドレス・レジスタ HCH8			○		0000 <sub>H</sub>	
FFFF7528 <sub>H</sub>	DDC8	DMA デスティネーション・チップ・セレクト・レジスタ CH8			○		0001 <sub>H</sub>	
FFFF752C <sub>H</sub>	DNDA8	DMA ネクスト・デスティネーション・アドレス・レジスタ CH8				○	00000000 <sub>H</sub>	
FFFF752C <sub>H</sub>	DNDA8L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH8			○		0000 <sub>H</sub>	
FFFF752E <sub>H</sub>	DNDA8H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH8			○		0000 <sub>H</sub>	
FFFF7530 <sub>H</sub>	DNDC8	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH8			○		0001 <sub>H</sub>	
FFFF7532 <sub>H</sub>	DTC8	DMA 転送カウント・レジスタ CH8			○		0000 <sub>H</sub>	
FFFF7534 <sub>H</sub>	DNTC8	DMA ネクスト転送カウント・レジスタ CH8			○		0000 <sub>H</sub>	
FFFF7536 <sub>H</sub>	DTCC8	DMA 転送カウント・コンペア・レジスタ CH8			○		0000 <sub>H</sub>	
FFFF7538 <sub>H</sub>	DTCT8	DMA 転送制御レジスタ CH8			○		0000 <sub>H</sub>	
FFFF753A <sub>H</sub>	DTS8	DMA 転送ステータス・レジスタ CH8	○	○			00 <sub>H</sub>	

表 6-7 DMAC 設定レジスタ一覧 (7/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7540 <sub>H</sub>	DTRS9	DMA 転送要求選択レジスタ CH9	R/W			○		0000 <sub>H</sub>
FFFF7544 <sub>H</sub>	DSA9	DMA ソース・アドレス・レジスタ CH9					○	00000000 <sub>H</sub>
FFFF7544 <sub>H</sub>	DSA9L	DMA ソース・アドレス・レジスタ LCH9				○		0000 <sub>H</sub>
FFFF7546 <sub>H</sub>	DSA9H	DMA ソース・アドレス・レジスタ HCH9				○		0000 <sub>H</sub>
FFFF7548 <sub>H</sub>	DSC9	DMA ソース・チップ・セレクト・レジスタ CH9				○		0001 <sub>H</sub>
FFFF754C <sub>H</sub>	DNSA9	DMA ネクスト・ソース・アドレス・レジスタ CH9					○	00000000 <sub>H</sub>
FFFF754C <sub>H</sub>	DNSA9L	DMA ネクスト・ソース・アドレス・レジスタ LCH9				○		0000 <sub>H</sub>
FFFF754E <sub>H</sub>	DNSA9H	DMA ネクスト・ソース・アドレス・レジスタ HCH9				○		0000 <sub>H</sub>
FFFF7550 <sub>H</sub>	DNSC9	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH9				○		0001 <sub>H</sub>
FFFF7554 <sub>H</sub>	DDA9	DMA デスティネーション・アドレス・レジスタ CH9					○	00000000 <sub>H</sub>
FFFF7554 <sub>H</sub>	DDA9L	DMA デスティネーション・アドレス・レジスタ LCH9				○		0000 <sub>H</sub>
FFFF7556 <sub>H</sub>	DDA9H	DMA デスティネーション・アドレス・レジスタ HCH9				○		0000 <sub>H</sub>
FFFF7558 <sub>H</sub>	DDC9	DMA デスティネーション・チップ・セレクト・レジスタ CH9				○		0001 <sub>H</sub>
FFFF755C <sub>H</sub>	DNDA9	DMA ネクスト・デスティネーション・アドレス・レジスタ CH9					○	00000000 <sub>H</sub>
FFFF755C <sub>H</sub>	DNDA9L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH9				○		0000 <sub>H</sub>
FFFF755E <sub>H</sub>	DNDA9H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH9				○		0000 <sub>H</sub>
FFFF7560 <sub>H</sub>	DNDC9	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH9				○		0001 <sub>H</sub>
FFFF7562 <sub>H</sub>	DTC9	DMA 転送カウント・レジスタ CH9				○		0000 <sub>H</sub>
FFFF7564 <sub>H</sub>	DNTC9	DMA ネクスト転送カウント・レジスタ CH9				○		0000 <sub>H</sub>
FFFF7566 <sub>H</sub>	DTCC9	DMA 転送カウント・コンペア・レジスタ CH9				○		0000 <sub>H</sub>
FFFF7568 <sub>H</sub>	DTCT9	DMA 転送制御レジスタ CH9				○		0000 <sub>H</sub>
FFFF756A <sub>H</sub>	DTS9	DMA 転送ステータス・レジスタ CH9		○	○			00 <sub>H</sub>
FFFF7570 <sub>H</sub>	DTRS10	DMA 転送要求選択レジスタ CH10				○		0000 <sub>H</sub>
FFFF7574 <sub>H</sub>	DSA10	DMA ソース・アドレス・レジスタ CH10					○	00000000 <sub>H</sub>
FFFF7574 <sub>H</sub>	DSA10L	DMA ソース・アドレス・レジスタ LCH10				○		0000 <sub>H</sub>
FFFF7576 <sub>H</sub>	DSA10H	DMA ソース・アドレス・レジスタ HCH10				○		0000 <sub>H</sub>
FFFF7578 <sub>H</sub>	DSC10	DMA ソース・チップ・セレクト・レジスタ CH10				○		0001 <sub>H</sub>
FFFF757C <sub>H</sub>	DNSA10	DMA ネクスト・ソース・アドレス・レジスタ CH10					○	00000000 <sub>H</sub>
FFFF757C <sub>H</sub>	DNSA10L	DMA ネクスト・ソース・アドレス・レジスタ LCH10				○		0000 <sub>H</sub>
FFFF757E <sub>H</sub>	DNSA10H	DMA ネクスト・ソース・アドレス・レジスタ HCH10				○		0000 <sub>H</sub>
FFFF7580 <sub>H</sub>	DNSC10	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH10				○		0001 <sub>H</sub>
FFFF7584 <sub>H</sub>	DDA10	DMA デスティネーション・アドレス・レジスタ CH10					○	00000000 <sub>H</sub>
FFFF7584 <sub>H</sub>	DDA10L	DMA デスティネーション・アドレス・レジスタ LCH10				○		0000 <sub>H</sub>
FFFF7586 <sub>H</sub>	DDA10H	DMA デスティネーション・アドレス・レジスタ HCH10				○		0000 <sub>H</sub>
FFFF7588 <sub>H</sub>	DDC10	DMA デスティネーション・チップ・セレクト・レジスタ CH10				○		0001 <sub>H</sub>

表 6-7 DMAC 設定レジスタ一覧 (8/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF758C <sub>H</sub>	DNDA10	DMA ネクスト・デスティネーション・アドレス・レジスタ CH10	R/W				○	00000000 <sub>H</sub>
FFFF758C <sub>H</sub>	DNDA10L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH10				○		0000 <sub>H</sub>
FFFF758E <sub>H</sub>	DNDA10H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH10				○		0000 <sub>H</sub>
FFFF7590 <sub>H</sub>	DNDC10	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH10				○		0001 <sub>H</sub>
FFFF7592 <sub>H</sub>	DTC10	DMA 転送カウント・レジスタ CH10				○		0000 <sub>H</sub>
FFFF7594 <sub>H</sub>	DNTC10	DMA ネクスト転送カウント・レジスタ CH10				○		0000 <sub>H</sub>
FFFF7596 <sub>H</sub>	DTCC10	DMA 転送カウント・コンペア・レジスタ CH10				○		0000 <sub>H</sub>
FFFF7598 <sub>H</sub>	DTCT10	DMA 転送制御レジスタ CH10				○		0000 <sub>H</sub>
FFFF759A <sub>H</sub>	DTS10	DMA 転送ステータス・レジスタ CH10		○	○			00 <sub>H</sub>
FFFF75A0 <sub>H</sub>	DTRS11	DMA 転送要求選択レジスタ CH11				○		0000 <sub>H</sub>
FFFF75A4 <sub>H</sub>	DSA11	DMA ソース・アドレス・レジスタ CH11					○	00000000 <sub>H</sub>
FFFF75A4 <sub>H</sub>	DSA11L	DMA ソース・アドレス・レジスタ LCH11				○		0000 <sub>H</sub>
FFFF75A6 <sub>H</sub>	DSA11H	DMA ソース・アドレス・レジスタ HCH11				○		0000 <sub>H</sub>
FFFF75A8 <sub>H</sub>	DSC11	DMA ソース・チップ・セレクト・レジスタ CH11				○		0001 <sub>H</sub>
FFFF75AC <sub>H</sub>	DNSA11	DMA ネクスト・ソース・アドレス・レジスタ CH11					○	00000000 <sub>H</sub>
FFFF75AC <sub>H</sub>	DNSA11L	DMA ネクスト・ソース・アドレス・レジスタ LCH11				○		0000 <sub>H</sub>
FFFF75AE <sub>H</sub>	DNSA11H	DMA ネクスト・ソース・アドレス・レジスタ HCH11				○		0000 <sub>H</sub>
FFFF75B0 <sub>H</sub>	DNDC11	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH11				○		0001 <sub>H</sub>
FFFF75B4 <sub>H</sub>	DDA11	DMA デスティネーション・アドレス・レジスタ CH11					○	00000000 <sub>H</sub>
FFFF75B4 <sub>H</sub>	DDA11L	DMA デスティネーション・アドレス・レジスタ LCH11				○		0000 <sub>H</sub>
FFFF75B6 <sub>H</sub>	DDA11H	DMA デスティネーション・アドレス・レジスタ HCH11				○		0000 <sub>H</sub>
FFFF75B8 <sub>H</sub>	DDC11	DMA デスティネーション・チップ・セレクト・レジスタ CH11				○		0001 <sub>H</sub>
FFFF75BC <sub>H</sub>	DNDA11	DMA ネクスト・デスティネーション・アドレス・レジスタ CH11					○	00000000 <sub>H</sub>
FFFF75BC <sub>H</sub>	DNDA11L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH11				○		0000 <sub>H</sub>
FFFF75BE <sub>H</sub>	DNDA11H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH11				○		0000 <sub>H</sub>
FFFF75C0 <sub>H</sub>	DNDC11	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH11				○		0001 <sub>H</sub>
FFFF75C2 <sub>H</sub>	DTC11	DMA 転送カウント・レジスタ CH11				○		0000 <sub>H</sub>
FFFF75C4 <sub>H</sub>	DNTC11	DMA ネクスト転送カウント・レジスタ CH11				○		0000 <sub>H</sub>
FFFF75C6 <sub>H</sub>	DTCC11	DMA 転送カウント・コンペア・レジスタ CH11			○		0000 <sub>H</sub>	
FFFF75C8 <sub>H</sub>	DTCT11	DMA 転送制御レジスタ CH11			○		0000 <sub>H</sub>	
FFFF75CA <sub>H</sub>	DTS11	DMA 転送ステータス・レジスタ CH11	○	○			00 <sub>H</sub>	
FFFF75D0 <sub>H</sub>	DTRS12	DMA 転送要求選択レジスタ CH12			○		0000 <sub>H</sub>	

表 6-7 DMAC 設定レジスタ一覧 (9/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF75D4 <sub>H</sub>	DSA12	DMA ソース・アドレス・レジスタ CH12	R/W				○	00000000 <sub>H</sub>
FFFF75D4 <sub>H</sub>	DSA12L	DMA ソース・アドレス・レジスタ LCH12				○		0000 <sub>H</sub>
FFFF75D6 <sub>H</sub>	DSA12H	DMA ソース・アドレス・レジスタ HCH12				○		0000 <sub>H</sub>
FFFF75D8 <sub>H</sub>	DSC12	DMA ソース・チップ・セレクト・レジスタ CH12				○		0001 <sub>H</sub>
FFFF75DC <sub>H</sub>	DNSA12	DMA ネクスト・ソース・アドレス・レジスタ CH12					○	00000000 <sub>H</sub>
FFFF75DC <sub>H</sub>	DNSA12L	DMA ネクスト・ソース・アドレス・レジスタ LCH12				○		0000 <sub>H</sub>
FFFF75DE <sub>H</sub>	DNSA12H	DMA ネクスト・ソース・アドレス・レジスタ HCH12				○		0000 <sub>H</sub>
FFFF75E0 <sub>H</sub>	DNSC12	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH12				○		0001 <sub>H</sub>
FFFF75E4 <sub>H</sub>	DDA12	DMA デスティネーション・アドレス・レジスタ CH12					○	00000000 <sub>H</sub>
FFFF75E4 <sub>H</sub>	DDA12L	DMA デスティネーション・アドレス・レジスタ LCH12				○		0000 <sub>H</sub>
FFFF75E6 <sub>H</sub>	DDA12H	DMA デスティネーション・アドレス・レジスタ HCH12				○		0000 <sub>H</sub>
FFFF75E8 <sub>H</sub>	DDC12	DMA デスティネーション・チップ・セレクト・レジスタ CH12				○		0001 <sub>H</sub>
FFFF75EC <sub>H</sub>	DNDA12	DMA ネクスト・デスティネーション・アドレス・レジスタ CH12					○	00000000 <sub>H</sub>
FFFF75EC <sub>H</sub>	DNDA12L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH12				○		0000 <sub>H</sub>
FFFF75EE <sub>H</sub>	DNDA12H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH12				○		0000 <sub>H</sub>
FFFF75F0 <sub>H</sub>	DNDC12	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH12				○		0001 <sub>H</sub>
FFFF75F2 <sub>H</sub>	DTC12	DMA 転送カウント・レジスタ CH12				○		0000 <sub>H</sub>
FFFF75F4 <sub>H</sub>	DNTC12	DMA ネクスト転送カウント・レジスタ CH12				○		0000 <sub>H</sub>
FFFF75F6 <sub>H</sub>	DTCC12	DMA 転送カウント・コンペア・レジスタ CH12				○		0000 <sub>H</sub>
FFFF75F8 <sub>H</sub>	DTCT12	DMA 転送制御レジスタ CH12				○		0000 <sub>H</sub>
FFFF75FA <sub>H</sub>	DTS12	DMA 転送ステータス・レジスタ CH12		○	○			00 <sub>H</sub>
FFFF7600 <sub>H</sub>	DTRS13	DMA 転送要求選択レジスタ CH13				○		0000 <sub>H</sub>
FFFF7604 <sub>H</sub>	DSA13	DMA ソース・アドレス・レジスタ CH13					○	00000000 <sub>H</sub>
FFFF7604 <sub>H</sub>	DSA13L	DMA ソース・アドレス・レジスタ LCH13				○		0000 <sub>H</sub>
FFFF7606 <sub>H</sub>	DSA13H	DMA ソース・アドレス・レジスタ HCH13				○		0000 <sub>H</sub>
FFFF7608 <sub>H</sub>	DSC13	DMA ソース・チップ・セレクト・レジスタ CH13				○		0001 <sub>H</sub>
FFFF760C <sub>H</sub>	DNSA13	DMA ネクスト・ソース・アドレス・レジスタ CH13					○	00000000 <sub>H</sub>
FFFF760C <sub>H</sub>	DNSA13L	DMA ネクスト・ソース・アドレス・レジスタ LCH13				○		0000 <sub>H</sub>
FFFF760E <sub>H</sub>	DNSA13H	DMA ネクスト・ソース・アドレス・レジスタ HCH13				○		0000 <sub>H</sub>
FFFF7610 <sub>H</sub>	DNSC13	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH13				○		0001 <sub>H</sub>
FFFF7614 <sub>H</sub>	DDA13	DMA デスティネーション・アドレス・レジスタ CH13					○	00000000 <sub>H</sub>
FFFF7614 <sub>H</sub>	DDA13L	DMA デスティネーション・アドレス・レジスタ LCH13				○		0000 <sub>H</sub>
FFFF7616 <sub>H</sub>	DDA13H	DMA デスティネーション・アドレス・レジスタ HCH13				○		0000 <sub>H</sub>
FFFF7618 <sub>H</sub>	DDC13	DMA デスティネーション・チップ・セレクト・レジスタ CH13				○		0001 <sub>H</sub>



表 6-7 DMAC 設定レジスタ一覧 (10/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF761C <sub>H</sub>	DNDA13	DMA ネクスト・デスティネーション・アドレス・レジスタ CH13	R/W				○	00000000 <sub>H</sub>
FFFF761C <sub>H</sub>	DNDA13L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH13				○		0000 <sub>H</sub>
FFFF761E <sub>H</sub>	DNDA13H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH13				○		0000 <sub>H</sub>
FFFF7620 <sub>H</sub>	DNDC13	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH13				○		0001 <sub>H</sub>
FFFF7622 <sub>H</sub>	DTC13	DMA 転送カウント・レジスタ CH13				○		0000 <sub>H</sub>
FFFF7624 <sub>H</sub>	DNTC13	DMA ネクスト転送カウント・レジスタ CH13				○		0000 <sub>H</sub>
FFFF7626 <sub>H</sub>	DTCC13	DMA 転送カウント・コンペア・レジスタ CH13				○		0000 <sub>H</sub>
FFFF7628 <sub>H</sub>	DTCT13	DMA 転送制御レジスタ CH13				○		0000 <sub>H</sub>
FFFF762A <sub>H</sub>	DTS13	DMA 転送ステータス・レジスタ CH13		○	○			00 <sub>H</sub>
FFFF7630 <sub>H</sub>	DTRS14	DMA 転送要求選択レジスタ CH14				○		0000 <sub>H</sub>
FFFF7634 <sub>H</sub>	DSA14	DMA ソース・アドレス・レジスタ CH14					○	00000000 <sub>H</sub>
FFFF7634 <sub>H</sub>	DSA14L	DMA ソース・アドレス・レジスタ LCH14				○		0000 <sub>H</sub>
FFFF7636 <sub>H</sub>	DSA14H	DMA ソース・アドレス・レジスタ HCH14				○		0000 <sub>H</sub>
FFFF7638 <sub>H</sub>	DSC14	DMA ソース・チップ・セレクト・レジスタ CH14				○		0001 <sub>H</sub>
FFFF763C <sub>H</sub>	DNSA14	DMA ネクスト・ソース・アドレス・レジスタ CH14					○	00000000 <sub>H</sub>
FFFF763C <sub>H</sub>	DNSA14L	DMA ネクスト・ソース・アドレス・レジスタ LCH14				○		0000 <sub>H</sub>
FFFF763E <sub>H</sub>	DNSA14H	DMA ネクスト・ソース・アドレス・レジスタ HCH14				○		0000 <sub>H</sub>
FFFF7640 <sub>H</sub>	DNSC14	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH14				○		0001 <sub>H</sub>
FFFF7644 <sub>H</sub>	DDA14	DMA デスティネーション・アドレス・レジスタ CH14					○	00000000 <sub>H</sub>
FFFF7644 <sub>H</sub>	DDA14L	DMA デスティネーション・アドレス・レジスタ LCH14				○		0000 <sub>H</sub>
FFFF7646 <sub>H</sub>	DDA14H	DMA デスティネーション・アドレス・レジスタ HCH14				○		0000 <sub>H</sub>
FFFF7648 <sub>H</sub>	DDC14	DMA デスティネーション・チップ・セレクト・レジスタ CH14				○		0001 <sub>H</sub>
FFFF764C <sub>H</sub>	DNDA14	DMA ネクスト・デスティネーション・アドレス・レジスタ CH14					○	00000000 <sub>H</sub>
FFFF764C <sub>H</sub>	DNDA14L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH14				○		0000 <sub>H</sub>
FFFF764E <sub>H</sub>	DNDA14H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH14				○		0000 <sub>H</sub>
FFFF7650 <sub>H</sub>	DNDC14	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH14				○		0001 <sub>H</sub>
FFFF7652 <sub>H</sub>	DTC14	DMA 転送カウント・レジスタ CH14				○		0000 <sub>H</sub>
FFFF7654 <sub>H</sub>	DNTC14	DMA ネクスト転送カウント・レジスタ CH14				○		0000 <sub>H</sub>
FFFF7656 <sub>H</sub>	DTCC14	DMA 転送カウント・コンペア・レジスタ CH14				○		0000 <sub>H</sub>
FFFF7658 <sub>H</sub>	DTCT14	DMA 転送制御レジスタ CH14				○		0000 <sub>H</sub>
FFFF765A <sub>H</sub>	DTS14	DMA 転送ステータス・レジスタ CH14		○	○			00 <sub>H</sub>
FFFF7660 <sub>H</sub>	DTRS15	DMA 転送要求選択レジスタ CH15				○		0000 <sub>H</sub>
FFFF7664 <sub>H</sub>	DSA15	DMA ソース・アドレス・レジスタ CH15					○	00000000 <sub>H</sub>

表 6-7 DMAC 設定レジスタ一覧 (11/11)

アドレス	略号	機能レジスタ名称	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFF7664 <sub>H</sub>	DSA15L	DMA ソース・アドレス・レジスタ LCH15				○		0000 <sub>H</sub>
FFFF7666 <sub>H</sub>	DSA15H	DMA ソース・アドレス・レジスタ HCH15				○		0000 <sub>H</sub>
FFFF7668 <sub>H</sub>	DSC15	DMA ソース・チップ・セレクト・レジスタ CH15				○		0001 <sub>H</sub>
FFFF766C <sub>H</sub>	DNSA15	DMA ネクスト・ソース・アドレス・レジスタ CH15					○	00000000 <sub>H</sub>
FFFF766C <sub>H</sub>	DNSA15L	DMA ネクスト・ソース・アドレス・レジスタ LCH15				○		0000 <sub>H</sub>
FFFF766E <sub>H</sub>	DNSA15H	DMA ネクスト・ソース・アドレス・レジスタ HCH15				○		0000 <sub>H</sub>
FFFF7670 <sub>H</sub>	DNSC15	DMA ネクスト・ソース・チップ・セレクト・レジスタ CH15				○		0001 <sub>H</sub>
FFFF7674 <sub>H</sub>	DDA15	DMA デスティネーション・アドレス・レジスタ CH15					○	00000000 <sub>H</sub>
FFFF7674 <sub>H</sub>	DDA15L	DMA デスティネーション・アドレス・レジスタ LCH15				○		0000 <sub>H</sub>
FFFF7676 <sub>H</sub>	DDA15H	DMA デスティネーション・アドレス・レジスタ HCH15				○		0000 <sub>H</sub>
FFFF7678 <sub>H</sub>	DDC15	DMA デスティネーション・チップ・セレクト・レジスタ CH15				○		0001 <sub>H</sub>
FFFF767C <sub>H</sub>	DNDA15	DMA ネクスト・デスティネーション・アドレス・レジスタ CH15					○	00000000 <sub>H</sub>
FFFF767C <sub>H</sub>	DNDA15L	DMA ネクスト・デスティネーション・アドレス・レジスタ LCH15				○		0000 <sub>H</sub>
FFFF767E <sub>H</sub>	DNDA15H	DMA ネクスト・デスティネーション・アドレス・レジスタ HCH15				○		0000 <sub>H</sub>
FFFF7680 <sub>H</sub>	DNDC15	DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ CH15				○		0001 <sub>H</sub>
FFFF7682 <sub>H</sub>	DTC15	DMA 転送カウント・レジスタ CH15				○		0000 <sub>H</sub>
FFFF7684 <sub>H</sub>	DNTC15	DMA ネクスト転送カウント・レジスタ CH15				○		0000 <sub>H</sub>
FFFF7686 <sub>H</sub>	DTCC15	DMA 転送カウント・コンペア・レジスタ CH15				○		0000 <sub>H</sub>
FFFF7688 <sub>H</sub>	DTCT15	DMA 転送制御レジスタ CH15				○		0000 <sub>H</sub>
FFFF768A <sub>H</sub>	DTS15	DMA 転送ステータス・レジスタ CH15		○	○			00 <sub>H</sub>

注意 マッピングされていないアドレスにアクセスした場合、ライトは無視し、リードは0を返します。

### 6.4.3 制御レジスタへの書き込み可否

DMA 転送許可中に、下記の制御レジスタに対する書き込みはできません。読み出しは全レジスタにおいて常に可能です。

表 6-8 制御レジスタへの書き込み可否

常に書き込み可能	DTRC, DNSAnL, DNSAnH, DNSCn, DNDAnL, DNDAnH, DNDCn, DNTCn, DTSn
DMA 転送許可中 (DTSn.DTE ビット = 1) は書き込み禁止 (書き込んだときの動作は保証しません)	DTRS <sub>n</sub> , DSAnL, DSAnH, DSC <sub>n</sub> , DDAnL, DDAnH, DDC <sub>n</sub> , DTC <sub>n</sub> , DTCC <sub>n</sub> , DTCT <sub>n</sub>

備考 n = 0-15



## 6.5 DMAC 制御レジスタ

### 6.5.1 DTRCx (x = 0, 1) : DMA 転送要求コントロール・レジスタ

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** DTRC0: FFFF7300<sub>H</sub>, DTRC1: FFFF7500<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
DTRCx ERR	0	0	0	0	0	0	0	DTRCx ADS
R/W	R	R	R	R	R	R	R	R/W

表 6-9 DTRCx レジスタの内容

ビット位置	ビット名	意味
7	DTRCxERR	DMA 転送エラー・ステータス DMA 転送において転送対象よりエラー・レスポンスを受信したことを示します。 エラー・レスポンスを受信すると、DTRCxERR ビットと DTRCxADS ビットを セットし、CPU で SysError 例外を発生させます。クリアする場合“0”を書き込ん でください。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
0	DTRCxADS	DMA 転送中断 DMA 転送が転送停止要求により中断していることを示します。また、ユーザが “1”を書き込むことで、現在転送している DMA 転送を中断することができます。 0 : DMA 転送中断なし 1 : DMA 転送中断中 / DMA 転送中断要求

DTRC0 は DMA チャンネル 0-7, DTRC1 は DMA チャンネル 8-15 に対応します。

### 6.5.2 DTRSn (n = 0-15) : DMA 転送要求選択レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DTRS15: FFFF7660<sub>H</sub>, DTRS14: FFFF7630<sub>H</sub>, DTRS13: FFFF7600<sub>H</sub>,  
DTRS12: FFFF75D0<sub>H</sub>, DTRS11: FFFF75A0<sub>H</sub>, DTRS10: FFFF7570<sub>H</sub>,  
DTRS9: FFFF7540<sub>H</sub>, DTRS8: FFFF7510<sub>H</sub>, DTRS7: FFFF7460<sub>H</sub>,  
DTRS6: FFFF7430<sub>H</sub>, DTRS5: FFFF7400<sub>H</sub>, DTRS4: FFFF73D0<sub>H</sub>,  
DTRS3: FFFF73A0<sub>H</sub>, DTRS2: FFFF7370<sub>H</sub>, DTRS1: FFFF7340<sub>H</sub>,  
DTRS0: FFFF7310<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	DTR3	DTR2	DTR1	DTR0
R	R	R	R	R/W	R/W	R/W	R/W

表 6-10 DTRSn レジスタの内容

ビット位置	ビット名	意味																				
3-0	DTR3- DTR0	DMA 転送要求割り付け チャンネル n の DMA 転送要求の割り付けを設定します。 <table border="1"> <thead> <tr> <th>DTR3</th><th>DTR2</th><th>DTR1</th><th>DTR0</th><th>DMA 転送要求</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>ソフトウェア DMA 転送要求</td></tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>ハードウェア DMA 転送要求</td></tr> <tr> <td colspan="4">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	DTR3	DTR2	DTR1	DTR0	DMA 転送要求	0	0	0	0	ソフトウェア DMA 転送要求	0	0	0	1	ハードウェア DMA 転送要求	上記以外				設定禁止
DTR3	DTR2	DTR1	DTR0	DMA 転送要求																		
0	0	0	0	ソフトウェア DMA 転送要求																		
0	0	0	1	ハードウェア DMA 転送要求																		
上記以外				設定禁止																		

- 注意**
1. DMA 転送許可状態 (DTRn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. DTR[3:0] を設定禁止の状態に設定した場合の動作は保証しません。

### 6.5.3 DSA<sub>n</sub>L (n = 0-15) : DMA ソース・アドレス・レジスタ L

**アクセス** 16 ビット単位でリード／ライト可能です。

DSA<sub>n</sub>L, DSA<sub>n</sub>H を 32 ビット単位でリード／ライト可能です。

**アドレス** DSA15L: FFFF7664<sub>H</sub>, DSA14L: FFFF7634<sub>H</sub>, DSA13L: FFFF7604<sub>H</sub>,  
 DSA12L: FFFF75D4<sub>H</sub>, DSA11L: FFFF75A4<sub>H</sub>, DSA10L: FFFF7574<sub>H</sub>,  
 DSA9L: FFFF7544<sub>H</sub>, DSA8L: FFFF7514<sub>H</sub>, DSA7L: FFFF7464<sub>H</sub>,  
 DSA6L: FFFF7434<sub>H</sub>, DSA5L: FFFF7404<sub>H</sub>, DSA4L: FFFF73D4<sub>H</sub>,  
 DSA3L: FFFF73A4<sub>H</sub>, DSA2L: FFFF7374<sub>H</sub>, DSA1L: FFFF7344<sub>H</sub>,  
 DSA0L: FFFF7314<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-11 DSA<sub>n</sub>L レジスタの内容

ビット位置	ビット名	意味
15-0	SA15-SA0	DMA ソース・アドレス チャンネル n の転送元アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DSA <sub>n</sub> L, DSA <sub>n</sub> H を 32 ビットでアクセスすることを推奨します。DSA <sub>n</sub> H.NSAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTS<sub>n</sub>.DTS<sub>n</sub>DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. アドレスは、設定途中のアドレスで転送しないために、DTS<sub>n</sub>DTE ビットが“0”の状態での 32 ビット・アクセスにより設定してください。
  3. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

### 6.5.4 DSA<sub>n</sub>H (n = 0-15) : DMA ソース・アドレス・レジスタ H

**アクセス** 16 ビット単位でリード／ライト可能です。

DSA<sub>n</sub>L, DSA<sub>n</sub>H を 32 ビット単位でリード／ライト可能です。

**アドレス** DSA15H: FFFF7666<sub>H</sub>, DSA14H: FFFF7636<sub>H</sub>, DSA13H: FFFF7606<sub>H</sub>,  
 DSA12H: FFFF75D6<sub>H</sub>, DSA11H: FFFF75A6<sub>H</sub>, DSA10H: FFFF7576<sub>H</sub>,  
 DSA9H: FFFF7546<sub>H</sub>, DSA8H: FFFF7516<sub>H</sub>, DSA7H: FFFF7466<sub>H</sub>,  
 DSA6H: FFFF7436<sub>H</sub>, DSA5H: FFFF7406<sub>H</sub>, DSA4H: FFFF73D6<sub>H</sub>,  
 DSA3H: FFFF73A6<sub>H</sub>, DSA2H: FFFF7376<sub>H</sub>, DSA1H: FFFF7346<sub>H</sub>,  
 DSA0H: FFFF7316<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	SA28	SA27	SA26	SA25	SA24
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-12 DSA<sub>n</sub>H レジスタの内容

ビット位置	ビット名	意味
12-0	SA28-SA16	DMA ソース・アドレス チャンネル n の転送元アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DSA <sub>n</sub> L, DSA <sub>n</sub> H を 32 ビットでアクセスすることを推奨します。DNSA <sub>n</sub> H.NSAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTS<sub>n</sub>.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが "0" の状態で 32 ビット・アクセスにより設定してください。
  3. DMA 転送許可状態 (DTS<sub>n</sub>.DTE ビット = 1) 時に DSA<sub>n</sub> レジスタを 32 ビットで読み出した場合、読み出した値が正しくない場合があります。読み出し値の正誤判断は、次の方法で行うことができます。  
 (判断方法)  
 ・ DSA<sub>n</sub> レジスタを 32 ビットで読み出す操作を連続 (読み出し (1 回目) →読み出し (2 回目)) して行う。  
 読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が同じの場合 : 読み出し (2 回目) 値が正しい。  
 読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が異なる場合 : 読み出し (1 回目) 値が正しい。

### 6.5.5 DSCn (n = 0-15) : DMA ソース・チップ・セレクト・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DSC15: FFFF7668<sub>H</sub>, DSC14: FFFF7638<sub>H</sub>, DSC13: FFFF7608<sub>H</sub>,  
DSC12: FFFF75D8<sub>H</sub>, DSC11: FFFF75A8<sub>H</sub>, DSC10: FFFF7578<sub>H</sub>,  
DSC9: FFFF7548<sub>H</sub>, DSC8: FFFF7518<sub>H</sub>, DSC7: FFFF7468<sub>H</sub>,  
DSC6: FFFF7438<sub>H</sub>, DSC5: FFFF7408<sub>H</sub>, DSC4: FFFF73D8<sub>H</sub>,  
DSC3: FFFF73A8<sub>H</sub>, DSC2: FFFF7378<sub>H</sub>, DSC1: FFFF7348<sub>H</sub>,  
DSC0: FFFF7318<sub>H</sub>

**初期値** 0001<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	SCS1	SCS0	SCSE
R	R	R	R	R	R/W	R/W	R/W

表 6-13 DSCn レジスタの内容

ビット位置	ビット名	意味																
2 1 0	SCS1 SCS0 SCSE	DMA ソース・チップ・セレクト チャンネル n の転送元として選択する領域を設定します。 <table border="1"> <thead> <tr> <th>SCS1</th><th>SCS0</th><th>SCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>Data-Flash, 外部メモリ領域, 周辺 I/O 領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>Code-Flash, Local-RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	SCS1	SCS0	SCSE	選択領域	0	0	1	Data-Flash, 外部メモリ領域, 周辺 I/O 領域	0	1	0	Code-Flash, Local-RAM	上記以外			設定禁止
SCS1	SCS0	SCSE	選択領域															
0	0	1	Data-Flash, 外部メモリ領域, 周辺 I/O 領域															
0	1	0	Code-Flash, Local-RAM															
上記以外			設定禁止															

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. SCS0, SCSE ビットは、単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
  3. SCS1 ビットは、必ず 0 を設定してください。

### 6.5.6 DNSAnL (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ L

**アクセス** 16 ビット単位でリード/ライト可能です。

DNSAnL, DNSAnH を 32 ビット単位でリード/ライト可能です。

**アドレス** DNSA15L: FFFF766C<sub>H</sub>, DNSA14L: FFFF763C<sub>H</sub>, DNSA13L: FFFF760C<sub>H</sub>,  
 DNSA12L: FFFF75DC<sub>H</sub>, DNSA11L: FFFF75AC<sub>H</sub>, DNSA10L: FFFF757C<sub>H</sub>,  
 DNSA9L: FFFF754C<sub>H</sub>, DNSA8L: FFFF751C<sub>H</sub>, DNSA7L: FFFF746C<sub>H</sub>,  
 DNSA6L: FFFF743C<sub>H</sub>, DNSA5L: FFFF740C<sub>H</sub>, DNSA4L: FFFF73DC<sub>H</sub>,  
 DNSA3L: FFFF73AC<sub>H</sub>, DNSA2L: FFFF737C<sub>H</sub>, DNSA1L: FFFF734C<sub>H</sub>,  
 DNSA0L: FFFF731C<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
NSA15	NSA14	NSA13	NSA12	NSA11	NSA10	NSA9	NSA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NSA7	NSA6	NSA5	NSA4	NSA3	NSA2	NSA1	NSA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-14 DNSAnL レジスタの内容

ビット位置	ビット名	意味
15-0	NSA15-NSA0	DMA ネクスト・ソース・アドレス チャンネル n の次回転送時の転送元アドレスの下位 16 ビットを設定します。

**注意** ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NSA3	NSA2	NSA1	NSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

### 6.5.7 DNSAnH (n = 0-15) : DMA ネクスト・ソース・アドレス・レジスタ H

**アクセス** 16 ビット単位でリード/ライト可能です。

DNSAnL, DNSAnH を 32 ビット単位でリード/ライト可能です。

**アドレス** DNSA15H: FFFF766E<sub>H</sub>, DNSA14H: FFFF763E<sub>H</sub>, DNSA13H: FFFF760E<sub>H</sub>,  
DNSA12H: FFFF75DE<sub>H</sub>, DNSA11H: FFFF75AE<sub>H</sub>, DNSA10H: FFFF757E<sub>H</sub>,  
DNSA9H: FFFF754E<sub>H</sub>, DNSA8H: FFFF751E<sub>H</sub>, DNSA7H: FFFF746E<sub>H</sub>,  
DNSA6H: FFFF743E<sub>H</sub>, DNSA5H: FFFF740E<sub>H</sub>, DNSA4H: FFFF73DE<sub>H</sub>,  
DNSA3H: FFFF73AE<sub>H</sub>, DNSA2H: FFFF737E<sub>H</sub>, DNSA1H: FFFF734E<sub>H</sub>,  
DNSA0H: FFFF731E<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
NSAV	0	0	NSA28	NSA27	NSA26	NSA25	NSA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NSA23	NSA22	NSA21	NSA20	NSA19	NSA18	NSA17	NSA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-15 DNSAnH レジスタの内容

ビット位置	ビット名	意味
15	NSAV	DMA ネクスト・ソース・アドレス・バリッド DMA 転送完了時に DMA ネクスト・ソース・アドレス・レジスタからアドレスを DMA ソース・アドレス・レジスタにコピーするかどうかを制御します。また、ア ドレスをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了
12-0	NSA28- NSA16	DMA ネクスト・ソース・アドレス チャンネル n の次回転送時の転送元アドレスの上位 13 ビットを設定します。

### 6.5.8 DNSCn (n = 0-15) : DMA ネクスト・ソース・チップ・セレクト・レジスタ

**アクセス** 16ビット単位でリード／ライト可能です。

**アドレス** DNSC15: FFFF7670<sub>H</sub>, DNSC14: FFFF7640<sub>H</sub>, DNSC13: FFFF7610<sub>H</sub>,  
DNSC12: FFFF75E0<sub>H</sub>, DNSC11: FFFF75B0<sub>H</sub>, DNSC10: FFFF7580<sub>H</sub>,  
DNSC9: FFFF7550<sub>H</sub>, DNSC8: FFFF7520<sub>H</sub>, DNSC7: FFFF7470<sub>H</sub>,  
DNSC6: FFFF7440<sub>H</sub>, DNSC5: FFFF7410<sub>H</sub>, DNSC4: FFFF73E0<sub>H</sub>,  
DNSC3: FFFF73B0<sub>H</sub>, DNSC2: FFFF7380<sub>H</sub>, DNSC1: FFFF7350<sub>H</sub>,  
DNSC0: FFFF7320<sub>H</sub>

**初期値** 0001<sub>H</sub>

15	14	13	12	11	10	9	8
NSCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	NSCS1	NSCS0	NSCSE
R	R	R	R	R	R/W	R/W	R/W

表 6-16 DNSCn レジスタの内容

ビット位置	ビット名	意味																
15	NSCV	DMA ネクスト・ソース・アドレス・セレクト・バリッド DMA 転送完了時に DMA ネクスト・ソース・チップ・セレクト・レジスタからチップ・セレクトを DMA ソース・チップ・セレクト・レジスタにコピーするかどうかを制御します。また、チップ・セレクトをコピーするとクリアします。 0 : コピーしない／コピー完了 1 : コピーする／コピー未了																
2 1 0	NSCS1 NSCS0 NSCSE	DMA ネクスト・ソース・チップ・セレクト チャンネル n の次回 DMA 転送時の転送元として選択する領域を設定します。 <table border="1"> <thead> <tr> <th>NSCS1</th><th>NSCS0</th><th>NSCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>Data-Flash, 外部メモリ領域, 周辺 I/O 領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>Code-Flash, Local-RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	NSCS1	NSCS0	NSCSE	選択領域	0	0	1	Data-Flash, 外部メモリ領域, 周辺 I/O 領域	0	1	0	Code-Flash, Local-RAM	上記以外			設定禁止
NSCS1	NSCS0	NSCSE	選択領域															
0	0	1	Data-Flash, 外部メモリ領域, 周辺 I/O 領域															
0	1	0	Code-Flash, Local-RAM															
上記以外			設定禁止															

- 注意**
1. NSCS0, NSCSE ビットは、単一ビットが1になるように設定してください。複数ビットを1に設定した場合の動作は保証しません。
  2. NSCS1 ビットは、必ず0を設定してください。



### 6.5.9 DDA<sub>n</sub>L (n = 0-15) : DMA デスティネーション・アドレス・レジスタ L

**アクセス** 16 ビット単位でリード/ライト可能です。

DDA<sub>n</sub>L, DDA<sub>n</sub>H を 32 ビット単位でリード/ライト可能です。

**アドレス** DDA15L: FFFF7674<sub>H</sub>, DDA14L: FFFF7644<sub>H</sub>, DDA13L: FFFF7614<sub>H</sub>,  
DDA12L: FFFF75E4<sub>H</sub>, DDA11L: FFFF75B4<sub>H</sub>, DDA10L: FFFF7584<sub>H</sub>,  
DDA9L: FFFF7554<sub>H</sub>, DDA8L: FFFF7524<sub>H</sub>, DDA7L: FFFF7474<sub>H</sub>,  
DDA6L: FFFF7444<sub>H</sub>, DDA5L: FFFF7414<sub>H</sub>, DDA4L: FFFF73E4<sub>H</sub>,  
DDA3L: FFFF73B4<sub>H</sub>, DDA2L: FFFF7384<sub>H</sub>, DDA1L: FFFF7354<sub>H</sub>,  
DDA0L: FFFF7324<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-17 DDA<sub>n</sub>L レジスタの内容

ビット位置	ビット名	意味
15-0	DA15-DA0	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの下位 16 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DDA <sub>n</sub> L, DDA <sub>n</sub> H を 32 ビットでアクセスすることを推奨します。DNDAnH.NDAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTS<sub>n</sub>.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが“0”の状態では 32 ビット・アクセスにより設定してください。
  3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新します。
  4. ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。  
下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

5. DMA 転送許可状態 (DTSn.DTE ビット=1) 時に DDAn レジスタを 32 ビットで読み出した場合、読み出した値が正しくない場合があります。読み出し値の正誤判断は、次の方法で行うことができます。

(判断方法)

- ・ DDAn レジスタを 32 ビットで読み出す操作を連続 (読み出し (1 回目) → 読み出し (2 回目)) して行う。

読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が同じの場合 : 読み出し (2 回目) 値が正しい。

読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が異なる場合 : 読み出し (1 回目) 値が正しい。

---

### 6.5.10 DDA<sub>n</sub>H (n = 0-15) : DMA デスティネーション・アドレス・レジスタ H

**アクセス** 16 ビット単位でリード/ライト可能です。

DDA<sub>n</sub>L, DDA<sub>n</sub>H を 32 ビット単位でリード/ライト可能です。

**アドレス** DDA15H: FFFF7676<sub>H</sub>, DDA14H: FFFF7646<sub>H</sub>, DDA13H: FFFF7616<sub>H</sub>,  
DDA12H: FFFF75E6<sub>H</sub>, DDA11H: FFFF75B6<sub>H</sub>, DDA10H: FFFF7586<sub>H</sub>,  
DDA9H: FFFF7556<sub>H</sub>, DDA8H: FFFF7526<sub>H</sub>, DDA7H: FFFF7476<sub>H</sub>,  
DDA6H: FFFF7446<sub>H</sub>, DDA5H: FFFF7416<sub>H</sub>, DDA4H: FFFF73E6<sub>H</sub>,  
DDA3H: FFFF73B6<sub>H</sub>, DDA2H: FFFF7386<sub>H</sub>, DDA1H: FFFF7356<sub>H</sub>,  
DDA0H: FFFF7326<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	DA28	DA27	DA26	DA25	DA24
R	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-18 DDA<sub>n</sub>H レジスタの内容

ビット位置	ビット名	意味
12-0	DA28-DA16	DMA デスティネーション・アドレス チャンネル n の転送先アドレスの上位 13 ビットを設定します。DMA 転送中に参照すると、次に DMA 転送するアドレスが読み出せます。参照する場合、DDA <sub>n</sub> L, DDA <sub>n</sub> H を 32 ビットでアクセスすることを推奨します。DNDAnH.NDAV ビットをセットしていない場合、DMA 転送が完了すると、DMA 転送開始時の設定値に戻ります。

- 注意**
1. DMA 転送許可状態 (DTS<sub>n</sub>.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. アドレスは、設定途中のアドレスで転送しないために、DTE ビットが“0”の状態では 32 ビット・アクセスにより設定してください。
  3. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新しません。
  4. DMA 転送許可状態 (DTS<sub>n</sub>.DTE ビット = 1) 時に DDA<sub>n</sub> レジスタを 32 ビットで読み出した場合、読み出した値が正しくない場合があります。読み出し値の正誤判断は、次の方法で行うことができます。  
(判断方法)  
・ DDA<sub>n</sub> レジスタを 32 ビットで読み出す操作を連続 (読み出し (1 回目) → 読み出し (2 回目)) して行う。  
読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が同じの場合 : 読み出し (2 回目) 値が正しい。  
読み出し (1 回目) 値および読み出し (2 回目) 値の双方上位 16 ビットの値が異なる場合 : 読み出し (1 回目) 値が正しい。

### 6.5.11 DDCn (n = 0-15) : DMA デスティネーション・チップ・セレクト・レジスタ

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** DDC15: FFFF7678<sub>H</sub>, DDC14: FFFF7648<sub>H</sub>, DDC13: FFFF7618<sub>H</sub>,  
DDC12: FFFF75E8<sub>H</sub>, DDC11: FFFF75B8<sub>H</sub>, DDC10: FFFF7588<sub>H</sub>,  
DDC9: FFFF7558<sub>H</sub>, DDC8: FFFF7528<sub>H</sub>, DDC7: FFFF7478<sub>H</sub>,  
DDC6: FFFF7448<sub>H</sub>, DDC5: FFFF7418<sub>H</sub>, DDC4: FFFF73E8<sub>H</sub>,  
DDC3: FFFF73B8<sub>H</sub>, DDC2: FFFF7388<sub>H</sub>, DDC1: FFFF7358<sub>H</sub>,  
DDC0: FFFF7328<sub>H</sub>

**初期値** 0001<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	DCS1	DCS0	DCSE
R	R	R	R	R	R/W	R/W	R/W

表 6-19 DDCn レジスタの内容

ビット位置	ビット名	意味																
2 1 0	DCS1 DCS0 DCSE	DMA デスティネーション・チップ・セレクト チャンネル n の転送先として選択する領域を設定します。																
		<table border="1"> <thead> <tr> <th>DCS1</th><th>DCS0</th><th>DCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, 周辺 I/O 領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>Local-RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	DCS1	DCS0	DCSE	選択領域	0	0	1	外部メモリ領域, 周辺 I/O 領域	0	1	0	Local-RAM	上記以外			設定禁止
DCS1	DCS0	DCSE	選択領域															
0	0	1	外部メモリ領域, 周辺 I/O 領域															
0	1	0	Local-RAM															
上記以外			設定禁止															

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. DCS0, DCSE ビットは、単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
  3. DCS1 ビットは、必ず 0 を設定してください。

### 6.5.12 DNDA<sub>n</sub>L (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ L

**アクセス** 16 ビット単位でリード/ライト可能です。

DNDA<sub>n</sub>L, DNDA<sub>n</sub>H を 32 ビット単位でリード/ライト可能です。

**アドレス** DNDA15L: FFFF767C<sub>H</sub>, DNDA14L: FFFF764C<sub>H</sub>, DNDA13L: FFFF761C<sub>H</sub>,  
DNDA12L: FFFF75EC<sub>H</sub>, DNDA11L: FFFF75BC<sub>H</sub>, DNDA10L: FFFF758C<sub>H</sub>,  
DNDA9L: FFFF755C<sub>H</sub>, DNDA8L: FFFF752C<sub>H</sub>, DNDA7L: FFFF747C<sub>H</sub>,  
DNDA6L: FFFF744C<sub>H</sub>, DNDA5L: FFFF741C<sub>H</sub>, DNDA4L: FFFF73EC<sub>H</sub>,  
DNDA3L: FFFF73BC<sub>H</sub>, DNDA2L: FFFF738C<sub>H</sub>, DNDA1L: FFFF735C<sub>H</sub>,  
DNDA0L: FFFF732C<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
NDA15	NDA14	NDA13	NDA12	NDA11	NDA10	NDA9	NDA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDA7	NDA6	NDA5	NDA4	NDA3	NDA2	NDA1	NDA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-20 DNDA<sub>n</sub>L レジスタの内容

ビット位置	ビット名	意味
15-0	NDA15- NDA0	DMA ネクスト・デスティネーション・アドレス チャンネル n の次回転送時の転送先アドレスの下位 16 ビットを設定します。

**注意** ミスアライン・データの DMA 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 4 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	NDA3	NDA2	NDA1	NDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
128 ビット	0	0	0	0

### 6.5.13 DNDA<sub>n</sub>H (n = 0-15) : DMA ネクスト・デスティネーション・アドレス・レジスタ H

**アクセス** 16 ビット単位でリード／ライト可能です。

DNDA<sub>n</sub>L, DNDA<sub>n</sub>H を 32 ビット単位でリード／ライト可能です。

**アドレス** DNDA15H: FFFF767E<sub>H</sub>, DNDA14H: FFFF764E<sub>H</sub>, DNDA13H: FFFF761E<sub>H</sub>,  
DNDA12H: FFFF75EE<sub>H</sub>, DNDA11H: FFFF75BE<sub>H</sub>, DNDA10H: FFFF758E<sub>H</sub>,  
DNDA9H: FFFF755E<sub>H</sub>, DNDA8H: FFFF752E<sub>H</sub>, DNDA7H: FFFF747E<sub>H</sub>,  
DNDA6H: FFFF744E<sub>H</sub>, DNDA5H: FFFF741E<sub>H</sub>, DNDA4H: FFFF73EE<sub>H</sub>,  
DNDA3H: FFFF73BE<sub>H</sub>, DNDA2H: FFFF738E<sub>H</sub>, DNDA1H: FFFF735E<sub>H</sub>,  
DNDA0H: FFFF732E<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
NDAV	0	0	NDA28	NDA27	NDA26	NDA25	NDA24
R/W	R	R	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDA23	NDA22	NDA21	NDA20	NDA19	NDA18	NDA17	NDA16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-21 DNDA<sub>n</sub>H レジスタの内容

ビット位置	ビット名	意味
15	NDAV	DMA ネクスト・デスティネーション・アドレス・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・アドレス・レジスタからアドレスを DMA デスティネーション・アドレス・レジスタにコピーするかどうかを制御します。また、アドレスをコピーするとクリアします。 0 : コピーしない／コピー完了 1 : コピーする／コピー未了
12-0	NDA28- NDA16	DMA ネクスト・デスティネーション・アドレス チャンネル n の次回転送時の転送先アドレスの上位 13 ビットを設定します。

### 6.5.14 DNDCn (n = 0-15) : DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DNDC15: FFFF7680<sub>H</sub>, DNDC14: FFFF7650<sub>H</sub>, DNDC13: FFFF7620<sub>H</sub>,  
DNDC12: FFFF75F0<sub>H</sub>, DNDC11: FFFF75C0<sub>H</sub>, DNDC10: FFFF7590<sub>H</sub>,  
DNDC9: FFFF7560<sub>H</sub>, DNDC8: FFFF7530<sub>H</sub>, DNDC7: FFFF7480<sub>H</sub>,  
DNDC6: FFFF7450<sub>H</sub>, DNDC5: FFFF7420<sub>H</sub>, DNDC4: FFFF73F0<sub>H</sub>,  
DNDC3: FFFF73C0<sub>H</sub>, DNDC2: FFFF7390<sub>H</sub>, DNDC1: FFFF7360<sub>H</sub>,  
DNDC0: FFFF7330<sub>H</sub>

**初期値** 0001<sub>H</sub>

15	14	13	12	11	10	9	8
NDCV	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	NDCS1	NDCS0	NDCSE
R	R	R	R	R	R/W	R/W	R/W

表 6-22 DNDCn レジスタの内容

ビット位置	ビット名	意味																
15	NDCV	DMA ネクスト・デスティネーション・チップ・セレクト・バリッド DMA 転送完了時に DMA ネクスト・デスティネーション・チップ・セレクト・レジスタからチップ・セレクトを DMA デスティネーション・チップ・セレクト・レジスタにコピーするかどうかを制御します。また、チップ・セレクトをコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了																
2 1 0	NDCS1 NDCS0 NDCSE	DMA ネクスト・デスティネーション・チップ・セレクト チャンネル n の次回転送時の転送先として選択する領域を設定します。 <table border="1" data-bbox="630 1400 1369 1568"> <thead> <tr> <th>NDCS1</th><th>NDCS0</th><th>NDCSE</th><th>選択領域</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td><td>外部メモリ領域, 周辺 I/O 領域</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>Local-RAM</td></tr> <tr> <td colspan="3">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	NDCS1	NDCS0	NDCSE	選択領域	0	0	1	外部メモリ領域, 周辺 I/O 領域	0	1	0	Local-RAM	上記以外			設定禁止
NDCS1	NDCS0	NDCSE	選択領域															
0	0	1	外部メモリ領域, 周辺 I/O 領域															
0	1	0	Local-RAM															
上記以外			設定禁止															

- 注意**
1. NDCS0, NDCSE ビットは、単一ビットが 1 になるように設定してください。複数ビットを 1 に設定した場合の動作は保証しません。
  2. NDCS1 ビットは、必ず 0 を設定してください。

### 6.5.15 DTCn (n = 0-15) : DMA 転送カウント・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DCT15: FFFF7682<sub>H</sub>, DCT14: FFFF7652<sub>H</sub>, DCT13: FFFF7622<sub>H</sub>,  
DCT12: FFFF75F2<sub>H</sub>, DCT11: FFFF75C2<sub>H</sub>, DCT10: FFFF7592<sub>H</sub>,  
DCT9: FFFF7562<sub>H</sub>, DCT8: FFFF7532<sub>H</sub>, DCT7: FFFF7482<sub>H</sub>,  
DCT6: FFFF7452<sub>H</sub>, DCT5: FFFF7422<sub>H</sub>, DCT4: FFFF73F2<sub>H</sub>,  
DCT3: FFFF73C2<sub>H</sub>, DCT2: FFFF7392<sub>H</sub>, DCT1: FFFF7362<sub>H</sub>,  
DCT0: FFFF7332<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	DTC14	DTC13	DTC12	DTC11	DTC10	DTC9	DTC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTC7	DTC6	DTC5	DTC4	DTC3	DTC2	DTC1	DTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-23 DTCn レジスタの内容

ビット位置	ビット名	意味										
14-0	DTC14- DTC0	DMA 転送カウント チャンネル n の DMA 転送回数を設定します。DMA 転送中に参照すると、残り転送回数が読み出せます。 DNTCn.NTCV ビットをセットしていない場合、DMA 転送が完了すると、完了時の値 (0000 <sub>H</sub> ) を保持します。 <table border="1" data-bbox="630 1227 1369 1442"> <thead> <tr> <th>DTC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000<sub>H</sub></td><td>32768 回転送, または転送完了</td></tr> <tr> <td>0001<sub>H</sub></td><td>1 回転送, または残り転送回数 1 回</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFF<sub>H</sub></td><td>32767 回転送, または残り転送回数 32767 回</td></tr> </tbody> </table>	DTC[14:0]	動作	0000 <sub>H</sub>	32768 回転送, または転送完了	0001 <sub>H</sub>	1 回転送, または残り転送回数 1 回	:	:	7FFF <sub>H</sub>	32767 回転送, または残り転送回数 32767 回
DTC[14:0]	動作											
0000 <sub>H</sub>	32768 回転送, または転送完了											
0001 <sub>H</sub>	1 回転送, または残り転送回数 1 回											
:	:											
7FFF <sub>H</sub>	32767 回転送, または残り転送回数 32767 回											

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. DMA 転送のリード・サイクルで転送対象にエラーが発生すると、ライト・サイクルは実行しませんが、デスティネーション・アドレスは更新します。



### 6.5.16 DNTCn (n = 0-15) : DMA ネクスト転送カウント・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DNCT15: FFFF7684<sub>H</sub>, DNCT14: FFFF7654<sub>H</sub>, DNCT13: FFFF7624<sub>H</sub>,  
DNCT12: FFFF75F4<sub>H</sub>, DNCT11: FFFF75C4<sub>H</sub>, DNCT10: FFFF7594<sub>H</sub>,  
DNCT9: FFFF7564<sub>H</sub>, DNCT8: FFFF7534<sub>H</sub>, DNCT7: FFFF7484<sub>H</sub>,  
DNCT6: FFFF7454<sub>H</sub>, DNCT5: FFFF7424<sub>H</sub>, DNCT4: FFFF73F4<sub>H</sub>,  
DNCT3: FFFF73C4<sub>H</sub>, DNCT2: FFFF7394<sub>H</sub>, DNCT1: FFFF7364<sub>H</sub>,  
DNCT0: FFFF7334<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
NTCV	NDTC14	NDTC13	NDTC12	NDTC11	NDTC10	NDTC9	NDTC8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
NDTC7	NDTC6	NDTC5	NDTC4	NDTC3	NDTC2	NDTC1	NDTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-24 DNTCn レジスタの内容

ビット位置	ビット名	意味										
15	NTCV	DMA ネクスト転送カウント・バリッド DMA 転送完了時に DMA ネクスト転送カウント・レジスタから転送回数を DMA 転送カウント・レジスタにコピーするかどうかを制御します。また、転送回数をコピーするとクリアします。 0 : コピーしない/コピー完了 1 : コピーする/コピー未了										
14-0	NDTC14-NDTC0	DMA ネクスト転送カウント チャンネル n の次回転送時の DMA 転送回数を設定します。 <table border="1" data-bbox="628 1330 1369 1545"> <thead> <tr> <th>NDTC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000<sub>H</sub></td><td>32768 回転送</td></tr> <tr> <td>0001<sub>H</sub></td><td>1 回転送</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFF<sub>H</sub></td><td>32767 回転送</td></tr> </tbody> </table>	NDTC[14:0]	動作	0000 <sub>H</sub>	32768 回転送	0001 <sub>H</sub>	1 回転送	:	:	7FFF <sub>H</sub>	32767 回転送
NDTC[14:0]	動作											
0000 <sub>H</sub>	32768 回転送											
0001 <sub>H</sub>	1 回転送											
:	:											
7FFF <sub>H</sub>	32767 回転送											

### 6.5.17 DTCCn (n = 0-15) : DMA 転送カウント・コンペア・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DTCC15: FFFF7686<sub>H</sub>, DTCC14: FFFF7656<sub>H</sub>, DTCC13: FFFF7626<sub>H</sub>,  
DTCC12: FFFF75F6<sub>H</sub>, DTCC11: FFFF75C6<sub>H</sub>, DTCC10: FFFF7596<sub>H</sub>,  
DTCC9: FFFF7566<sub>H</sub>, DTCC8: FFFF7536<sub>H</sub>, DTCC7: FFFF7486<sub>H</sub>,  
DTCC6: FFFF7456<sub>H</sub>, DTCC5: FFFF7426<sub>H</sub>, DTCC4: FFFF73F6<sub>H</sub>,  
DTCC3: FFFF73C6<sub>H</sub>, DTCC2: FFFF7396<sub>H</sub>, DTCC1: FFFF7366<sub>H</sub>,  
DTCC0: FFFF7336<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	DTCC14	DTCC13	DTCC12	DTCC11	DTCC10	DTCC9	DTCC8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
DTCC7	DTCC6	DTCC5	DTCC4	DTCC3	DTCC2	DTCC1	DTCC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-25 DTCCn レジスタの内容

ビット位置	ビット名	意味										
14-0	DTCC14- DTCC0	<p>DMA 転送カウント・コンペア チャンネル n の DMA 転送カウント・レジスタとコンペアし、一致すると割り込みを発生させる転送回数を設定します。ネクスト・アドレス設定のトリガとして使用できます。 この DTCCn レジスタの値と一致する回数の DMA 転送が完了すると割り込みを発生させます。</p> <table border="1"> <thead> <tr> <th>DTCC[14:0]</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0000<sub>H</sub></td><td>コンペアしない</td></tr> <tr> <td>0001<sub>H</sub></td><td>DTC = 0001<sub>H</sub> のときに割り込み発生</td></tr> <tr> <td>:</td><td>:</td></tr> <tr> <td>7FFF<sub>H</sub></td><td>DTC = 7FFF<sub>H</sub> のときに割り込み発生</td></tr> </tbody> </table>	DTCC[14:0]	動作	0000 <sub>H</sub>	コンペアしない	0001 <sub>H</sub>	DTC = 0001 <sub>H</sub> のときに割り込み発生	:	:	7FFF <sub>H</sub>	DTC = 7FFF <sub>H</sub> のときに割り込み発生
DTCC[14:0]	動作											
0000 <sub>H</sub>	コンペアしない											
0001 <sub>H</sub>	DTC = 0001 <sub>H</sub> のときに割り込み発生											
:	:											
7FFF <sub>H</sub>	DTC = 7FFF <sub>H</sub> のときに割り込み発生											

**注意** DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

### 6.5.18 DTCTn (n = 0-15) : DMA 転送制御レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DTCT15: FFFF7688<sub>H</sub>, DTCT14: FFFF7658<sub>H</sub>, DTCT13: FFFF7628<sub>H</sub>,  
DTCT12: FFFF75F8<sub>H</sub>, DTCT11: FFFF75C8<sub>H</sub>, DTCT10: FFFF7598<sub>H</sub>,  
DTCT9: FFFF7568<sub>H</sub>, DTCT8: FFFF7538<sub>H</sub>, DTCT7: FFFF7488<sub>H</sub>,  
DTCT6: FFFF7458<sub>H</sub>, DTCT5: FFFF7428<sub>H</sub>, DTCT4: FFFF73F8<sub>H</sub>,  
DTCT3: FFFF73C8<sub>H</sub>, DTCT2: FFFF7398<sub>H</sub>, DTCT1: FFFF7368<sub>H</sub>,  
DTCT0: FFFF7338<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	DS1	DS0	MLE	0	0	0	0
R	R/W	R/W	R/W	R/W	R	R	R
7	6	5	4	3	2	1	0
SACM1	SACM0	DACM1	DACM0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W

表 6-26 DTCTn レジスタの内容 (1/2)

ビット位置	ビット名	意味															
14 13	DS1 DS0	DMA 転送データ・サイズ チャンネル n の DMA 転送データ・サイズを設定します。 <table border="1"> <thead> <tr> <th>DS1</th><th>DS0</th><th>転送データ・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8ビット</td></tr> <tr> <td>0</td><td>1</td><td>16ビット</td></tr> <tr> <td>1</td><td>0</td><td>32ビット</td></tr> <tr> <td>1</td><td>1</td><td>128ビット</td></tr> </tbody> </table>	DS1	DS0	転送データ・サイズ	0	0	8ビット	0	1	16ビット	1	0	32ビット	1	1	128ビット
DS1	DS0	転送データ・サイズ															
0	0	8ビット															
0	1	16ビット															
1	0	32ビット															
1	1	128ビット															
12	MLE	マルチリンク・イネーブル DMA 転送完了後、DTSn.TC ビットをクリアしなくても次の DMA 転送要求を受け付けるかどうかを設定します。 このビットをセットすると、DMA 転送完了時に DTSn.DTE ビットをクリアしません。また、DTSn.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0 : DMA 転送完了時に DTSn.DTE ビットをクリアします 1 : DMA 転送完了時に DTSn.DTE ビットをクリアしません															
7 6	SACM1 SACM0	DMA 転送元アドレス・カウント方向 チャンネル n の転送元アドレスのカウント方向を設定します。 <table border="1"> <thead> <tr> <th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>インクリメント</td></tr> <tr> <td>0</td><td>1</td><td>デクリメント</td></tr> <tr> <td>1</td><td>0</td><td>固定</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	SACM1	SACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SACM1	SACM0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

表 6-26 DTCTn レジスタの内容 (2/2)

ビット位置	ビット名	意味															
5 4	DACM1 DACM0	DMA 転送先アドレス・カウント方向 チャンネル n の転送先アドレスのカウント方向を設定します。 <table border="1" data-bbox="630 369 1369 616"> <thead> <tr> <th>DACM 1</th> <th>DACM 0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DACM 1	DACM 0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DACM 1	DACM 0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

- 注意**
1. DMA 転送許可状態 (DTSn.DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
  2. SACM[1:0], DACM[1:0] ビットを設定禁止の状態に設定した場合の動作は保証しません。
  3. DTCTn レジスタのビット 11 およびビット 0 は必ず "0" を設定してください。

### 6.5.19 DTSn (n = 0-15) : DMA 転送ステータス・レジスタ

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** DTS15:FFFF768A<sub>H</sub>, DTS14:FFFF765A<sub>H</sub>, DTS13:FFFF762A<sub>H</sub>,  
DTS12:FFFF75FA<sub>H</sub>, DTS11:FFFF75CA<sub>H</sub>, DTS10:FFFF759A<sub>H</sub>,  
DTS9:FFFF756A<sub>H</sub>, DTS8:FFFF753A<sub>H</sub>, DTS7: FFFF748A<sub>H</sub>,  
DTS6: FFFF745A<sub>H</sub>, DTS5: FFFF742A<sub>H</sub>, DTS4: FFFF73FA<sub>H</sub>,  
DTS3: FFFF73CA<sub>H</sub>, DTS2: FFFF739A<sub>H</sub>, DTS1: FFFF736A<sub>H</sub>,  
DTS0: FFFF733A<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
	DTSnTC	DTSnDT	0	0	DTSnER	DTSnDR	DTSnSR	DTSnDTE
	R/W	R/W	R	R	R	R	R/W	R/W

表 6-27 DTSn レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	DTSnTC	DMA 転送完了ステータス DMA 転送が完了したことを示します。ユーザによる“1”読み出し後、“0”書き込みによりクリアしてください。CLR1などのビット操作による書き込みを推奨します。 0 : DMA 転送未完了 1 : DMA 転送完了
6	DTSnDT	DMA 転送ステータス DMA 転送が受け付けられて DMA 転送中であることを示します。DMA 転送要求があるだけではセットしません。DMA 転送完了によりクリアします。また、DTE ビットが“0”のときは、ユーザによるクリアが可能です (DTE ビットとの同時書き込みも可能)。 0 : DMA 転送要求受け付け 1 : DMA 転送中
3	DTSnER	DMA 転送エラー・フラグ チャンネル n で DMA 転送エラーが発生したことを示します。DTRCx.ERR ビット (x=0-1) をクリアするとクリアされます。また、ER ビットは Read Only です。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
2	DTSnDR	ハードウェア DMA 転送要求フラグ チャンネル n にハードウェア DMA 転送要求があることを示します。ハードウェア DMA 転送要求が“転送要求なし”になるとクリアします。DTE ビットの状態にかかわらず動作します。ソフトウェア DMA 転送要求や、DMA 転送要求選択レジスタでソフトウェア DMA 転送要求を選択している場合のハードウェア DMA 転送要求ではセットしません。また、DR ビットは Read Only です。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり
1	DTSnSR	ソフトウェア DMA 転送要求 ソフトウェア DMA 転送要求を設定します。DMA 転送要求選択レジスタにおいてソフトウェア DMA 転送要求を選択している場合、SR ビットと DTE ビットに“1”を書き込むと DMA 転送を行います。DMA 転送が完了すると自動的にクリアします。また、SR ビットに“0”を書き込むと DMA 転送を中断します。 0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり

表 6-27 DTSn レジスタの内容 (2/2)

ビット位置	ビット名	意味
0	DTSnDTE	DMA 転送許可 DMA 転送許可を設定します。DTE ビットに“1”を書き込み、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に DTCTn.MLE ビットが“0”の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに“0”を書き込むと、DMA 転送を中断します。 0 : DMA 転送禁止 1 : DMA 転送許可

## 6.6 DMAC 機能詳細

### 6.6.1 DMAC 転送の設定フロー

DMAC 転送の設定フローを示します。

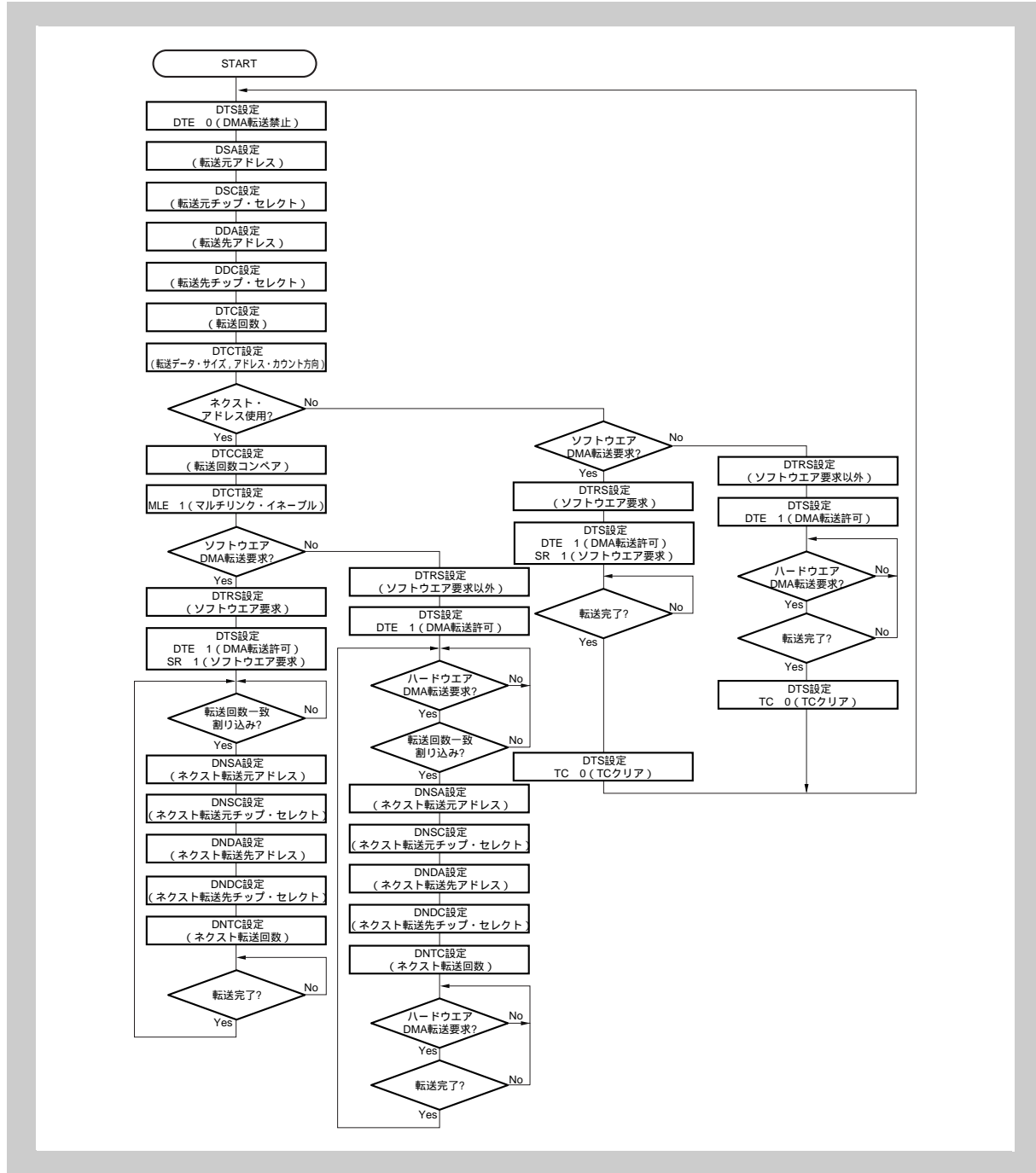


図 6-3 DMAC 転送の設定フロー

## 6.6.2 DMAC の転送モード

転送モードは、シングル転送モード、およびシングルステップ転送モードをサポートしています。

いずれのモードにおいても2サイクル転送（デュアル・アドレス転送）を行うため、1回の転送ごとにリード・サイクルとライト・サイクルを発生します。128ビット転送時にはリード・サイクル4回、ライト・サイクル4回の順にサイクルを発生します。

なお、バスをロックしないため、リード・サイクルとライト・サイクルの間や、128ビット転送時の4回のリード・サイクル、およびライト・サイクルの間にCPUサイクルが割り込むことがあります。



## (1) シングル転送モード (ハードウェア DMA 転送要求時)

ハードウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ (8 ビット / 16 ビット / 32 ビット / 128 ビット) の転送を行い、1 回の転送ごとにバスを解放して、DMA 転送要求待ち状態になります。この際、ハードウェア DMA 転送要求を受け付けたことを示すアクリッジ n も出力します (n = 15-0)。

ハードウェア DMA 転送要求を受け付けるごとに 1 回の転送を行い、この動作を DMA 転送カウント・レジスタ n (DTCn) で指定した回数分続けます (n = 15-0)。

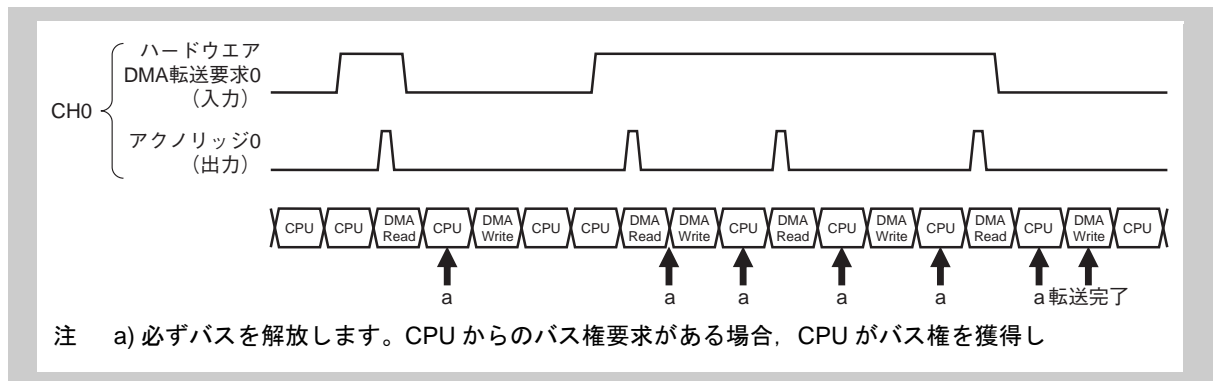


図 6-4 シングル転送例 (8/16/32 ビット)

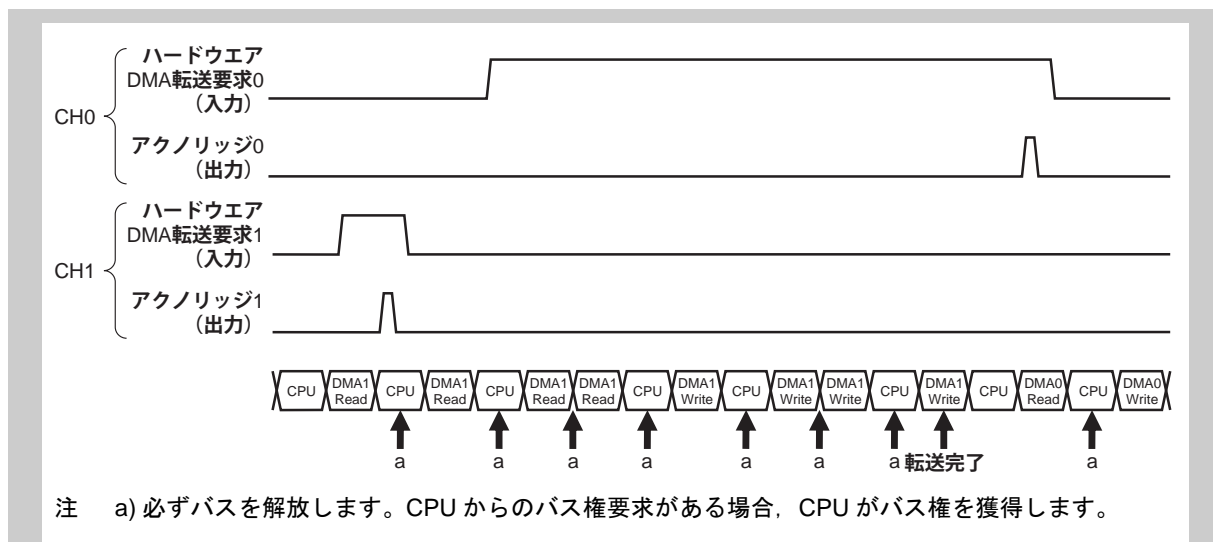


図 6-5 シングル転送例 (128 ビット, DMA チャンネル優先順位 : CH0 (高) &gt; CH1 (低))

## (2) シングルステップ転送モード（ソフトウェア DMA 転送要求時）

ソフトウェア DMA 転送要求を受け付けると、転送データ・サイズ分のデータ（8ビット／16ビット／32ビット／128ビット）の転送を行い、1回の転送ごとにバスを解放します。この際、ハードウェア DMA 転送要求を受け付けたことを示すアクノリッジ n は出力しません（n = 15-0）。

一度ソフトウェア DMA 転送要求を受け付けると、この動作を DMA 転送カウント・レジスタ n（DTCn）で指定した回数分続けます（n = 15-0）。なお、1回の転送ごとに優先順位判定を行うため、優先順位の高いチャンネルの DMA サイクルが割り込むことがあります。

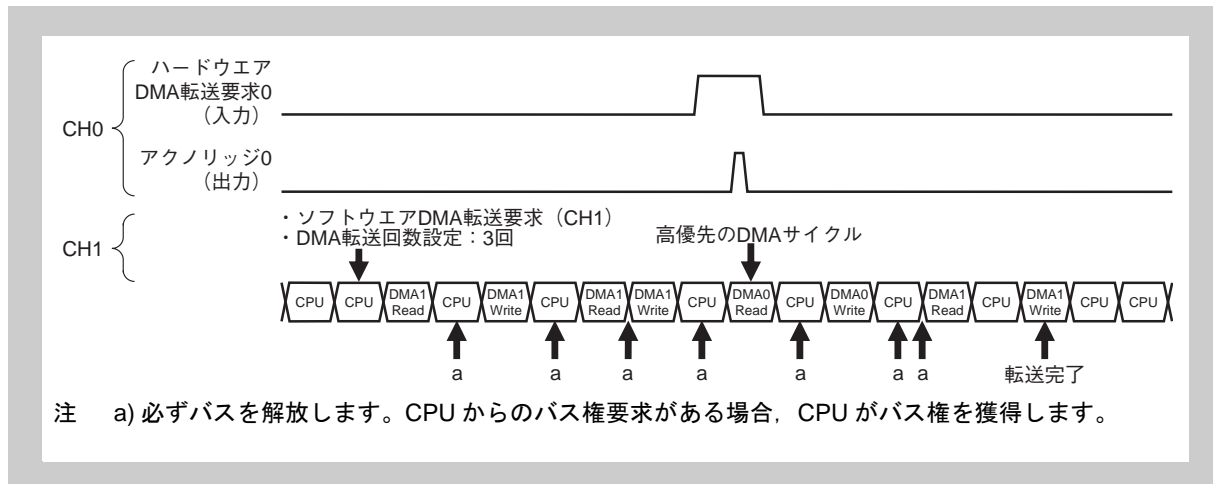


図 6-6 シングルステップ転送例（8/16/32ビット，DMA チャンネル優先順位：CH0（高）>CH1（低））

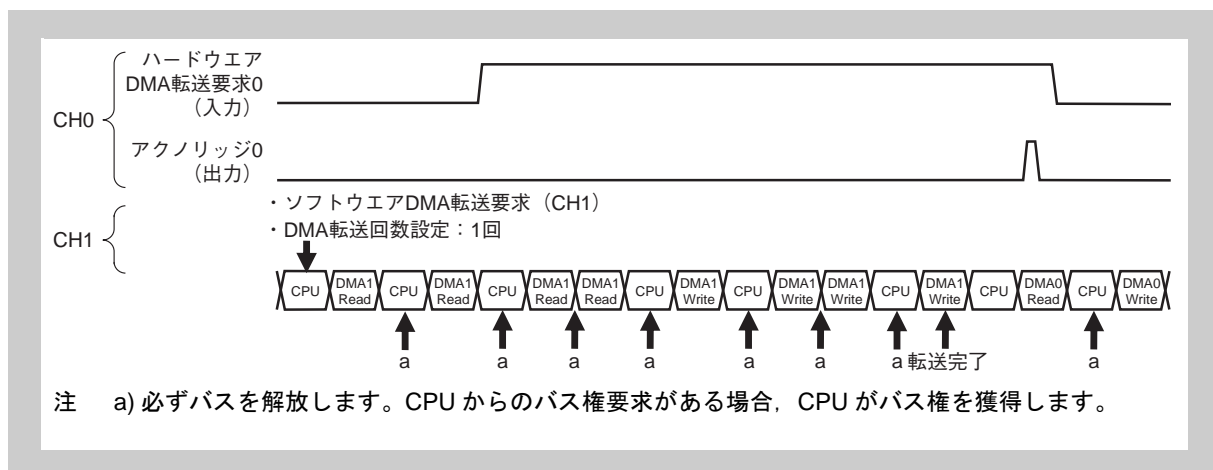


図 6-7 シングルステップ転送例（128ビット，DMA チャンネル優先順位：CH0（高）>CH1（低））

### 6.6.3 DMAC チャンネルの優先順位

各チャンネルの優先順位は固定となり次のようになります。

DMAC0 > DMAC1

DMAC0 (CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7)

DMAC1 (CH8 > CH9 > CH10 > CH11 > CH12 > CH13 > CH14 > CH15)

優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。ソフトウェア DMA 転送要求時も、1回の DMA サイクルごとにバスを解放するので、優先順位が高いほかの DMA 転送要求が発生した場合は、常に優先順位が高い DMA 転送要求を優先します。

DMA 転送実行時に、優先順位が高いほかの DMA 転送要求が発生した場合の例を次に示します。

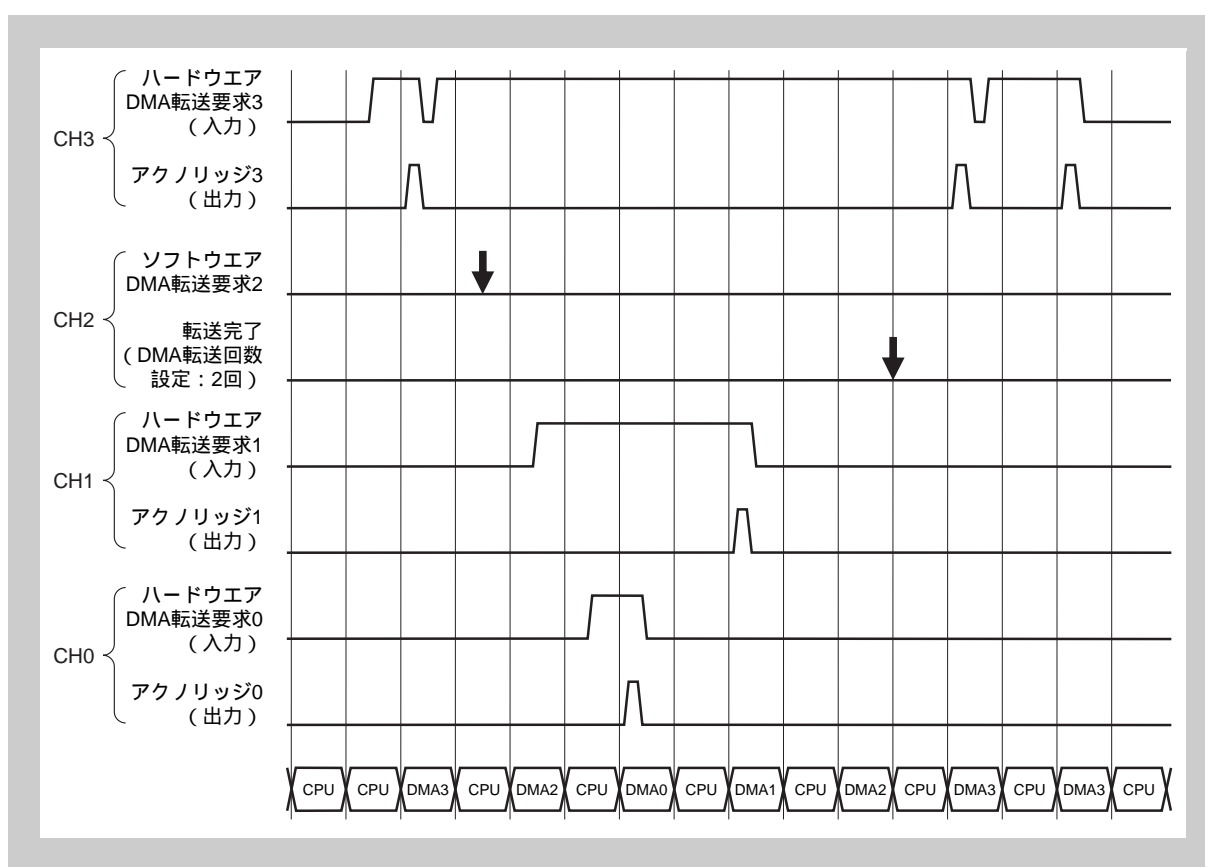


図 6-8 優先順位制御例

### 6.6.4 DMAC 転送要求の有効条件

チャンネル n の DMA 転送要求を受け付けるかどうかは、DMA 転送要求コントロール・レジスタ (DTRCx) の ERR ビット, ADS ビット, DMA 転送制御レジスタ (DTCTn) の MLE ビット, DMA 転送ステータス・レジスタ (DTSn) の TC ビット, DTE ビットの設定によります。それぞれのビットの設定状態による、DMA 転送要求受け付け可否を次に示します。

表 6-28 チャンネル n の DMA 転送要求有効条件

レジスタ・ビット名	DTSn.DTE	DTSn.TC	DTCTn.MLE	DTRCx.ERR	DTRCx.ADS	DMA 転送要求
DMA 転送禁止	0	X	X	X	X	無効
DMA 転送エラー発生中	X	X	X	1	X	無効
DMA 転送中断中	X	X	X	X	1	無効
DMA 転送完了 (マルチリンク・ ディスエーブル)	X	1	0	X	X	無効
DMA 転送完了／未完 (マルチリンク・ イネーブル)	1	X	1	0	0	有効
DMA 転送許可	1	0	0	0	0	有効

備考 x = 0-1, n = 0-15

## 6.6.5 ネクスト・アドレス機能

### (1) ネクスト・アドレス設定レジスタ

DMA 転送中に、次に転送したい転送情報をあらかじめ設定しておくレジスタです。最後の DMA サイクル開始時に、対応するレジスタにコピーします。用意しているレジスタを次に示します。

- ・DMA ネクスト・ソース・アドレス・レジスタ (DNSAnH / DNSAnL)
- ・DMA ネクスト・ソース・チップ・セレクト・レジスタ (DNSCn)
- ・DMA ネクスト・デスティネーション・アドレス・レジスタ (DNDAH / DNDAHL)
- ・DMA ネクスト・デスティネーション・チップ・セレクト・レジスタ (DNDCn)
- ・DMA ネクスト転送カウント・レジスタ (DNTCn)

それぞれ最上位（アドレス・レジスタはH側の最上位）にバリッド・ビットを持ち、最後の DMA サイクル開始時にカレント・レジスタにコピーするかどうかを選択可能です。次に転送したい転送情報をカレント・レジスタにコピーすると、バリッド・ビットをクリアします。

### (2) ネクスト・アドレス機能使用時の DMA 転送完了時の処理

通常、DMA 転送が完了すると、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送完了ステータス・ビット (TC) をセットすると同時に DMA 転送許可ビット (DTE) をクリアし、以降の DMA 転送要求を受け付けなくなります。ただし、マルチリンク・イネーブル・ビット (MLE) をセットしている場合は、DTE をクリアせず、TC がセット状態でも DMA 転送要求を受け付けることができます。したがって、ネクスト・アドレス機能を使用する場合は、MLE をセットしておくことで、DMA 転送完了後の TC のクリア、および DTE のセットの手順を省略することができます。

### (3) ネクスト・アドレスを設定するタイミング

ネクスト・アドレス設定レジスタは常に書き換え可能です。ただし、カレント・レジスタへのコピーと、ユーザによる書き込みとの競合を避けるため、最後の DMA サイクルが始まる前に、ネクスト・アドレス設定レジスタの設定が完了するようにしてください。

ネクスト・アドレス設定レジスタを設定するトリガとして、DMA 転送回数一致割り込みを使用する方法を推奨します。その場合、DMA 転送カウント・コンペア・レジスタ (DTCCn) は、ネクスト・アドレス設定レジスタの設定に必要な時間を確保できるように設定してください。

## 6.6.6 DMAC 転送の中断／再開

### (1) ソフトウェアによる全チャンネルの DMA 転送中断／再開

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS) をセットすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) や、ソフトウェア DMA 転送要求ビット (SR) はクリアしません。

再開するには ADS ビットをクリアしてください。その時点で DMA 転送が要求されている場合、優先順位が最も高いチャンネルの転送を行います。また、DMA 転送を終了するには、DTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

### (2) DMA 転送許可ビット (DTE) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。なお、DTSn レジスタのソフトウェア DMA 転送要求ビット (SR) はクリアしません。

再開するには DTE ビットをセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。また、DMA 転送を終了するには、DTE ビットをクリアした状態で、DMA 転送要求をクリアしてください。

### (3) ソフトウェア DMA 転送要求ビット (SR) による DMA 転送中断／再開

DMA 転送ステータス・レジスタ (DTSn) のソフトウェア DMA 転送要求ビット (SR) をクリアすることで、次回以降の DMA 転送を中断します。DMA サイクル中の場合、実行中の DMA サイクル終了後、DMA 転送を中断します。

再開するには SR ビットをセットしてください。その時点でほかのチャンネルが DMA 転送を実行していない場合は、通常どおり優先順位判定を行います。ほかのチャンネルが DMA 転送実行中の場合は、その転送が終了してから優先順位判定を行います。

**備考** x = 0-1, n = 0-15

## 6.6.7 エラー・レスポンス

### (1) エラー・レスポンスによる DMA 転送中断

DMA の転送先／転送元がエラーを発生すると、HEAP\_SPF は DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS) をセットして、次回以降の DMA 転送を中断します。同時に DTRCx レジスタの DMA 転送エラー・ステータス・ビット (ERR) をセットし、CPU で SysError 例外を発生させます。ユーザは ERR ビットがセットされていることを確認したら、DMA 転送ステータス・レジスタ (DTSn) の DMA 転送エラー・フラグ (ER) によって、どのチャンネルでエラーが発生したかを判断することができます。

なお、リード・サイクルでエラー・レスポンスを受けた場合、ライト・サイクルは行われませんが、転送アドレスおよび転送回数は更新するため注意が必要です。

### (2) エラー・レスポンスによる転送中断の解除の方法

DMA 転送要求コントロール・レジスタ (DTRCx) の DMA 転送中断ビット (ADS)、および DMA 転送エラー・ステータス・ビット (ERR) をクリアすることで解除します。

解除後に DMA 転送が再開しないように、あらかじめ DMA 転送ステータス・レジスタ (DTSn) の DMA 転送許可ビット (DTE) をクリアしてください。また、ソフトウェア DMA 転送要求の場合は、DTSn レジスタのソフトウェア DMA 転送要求ビット (SR) もクリアしてください。

備考 x = 0-1, n = 0-15

## 6.6.8 スタンバイ対応

ストップ要求を行うと、現在実行中の 2 サイクル転送の完了まで待ち、DMA は停止します。ソフトウェアによる DMA の中断とは異なり、DMA 制御レジスタに影響を与えません。ストップ要求解除時に DMA は動作再開し、すでに DMA 要求を保持した状態であれば、その DMA 転送を開始します。

## 6.7 DTFR 機能

DTFR (DMA Trigger Factor Register) は、割り込み信号の中から DMA 起動要因を選択し、DMAC に対して DMA 転送要求を行います。DTFR $n$  ( $n = 15-0$ ) レジスタを搭載し、入力される割り込み信号 (128 本) の中から DMA 転送要求とする信号を選択します。

### 6.7.1 特徴

<b>転送要因数</b>	割り込み信号 (128 本) の中から DMA 転送要求を選択 (16 チャンネル)
<b>DMAC インタフェース</b>	DMAC DMA 転送要求信号 $n$ ( $n = 15-0$ ) を出力 DMA からのアクノリッジ信号により DMA 転送要求信号 $n$ をクリア
<b>CPU インタフェース</b>	DMA からの最終転送信号を CPU 割り込み信号として出力
<b>転送要求クリア</b>	レジスタ・アクセスにより、DMA への転送要求信号をクリアする機能があります
<b>転送要求確認</b>	レジスタ・アクセスにより、DMA への転送要求信号の状態を確認する機能があります



## 6.8 DTFR 制御レジスタ

### 6.8.1 DTFRn (n = 0-15) : DTFRn レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DTFR0: FFFF7B00<sub>H</sub>, DTFR1: FFFF7B02<sub>H</sub>, DTFR2: FFFF7B04<sub>H</sub>,  
DTFR3: FFFF7B06<sub>H</sub>, DTFR4: FFFF7B08<sub>H</sub>, DTFR5: FFFF7B0A<sub>H</sub>,  
DTFR6: FFFF7B0C<sub>H</sub>, DTFR7: FFFF7B0E<sub>H</sub>, DTFR8: FFFF7B10<sub>H</sub>,  
DTFR9: FFFF7B12<sub>H</sub>, DTFR10: FFFF7B14<sub>H</sub>, DTFR11: FFFF7B16<sub>H</sub>,  
DTFR12: FFFF7B18<sub>H</sub>, DTFR13: FFFF7B1A<sub>H</sub>, DTFR14: FFFF7B1C<sub>H</sub>,  
DTFR15: FFFF7B1E<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
REQEN	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-29 DTFRn レジスタの内容

ビット位置	ビット名	意味
15	REQEN	チャンネル n の DMA 要因選択回路の動作許可 1: 要因選択回路の動作許可。 0: 要因選択回路の動作停止。 IFCn6-IFCn0 の設定は有効です。要求のサンプリングは常に行います。
6-0	IFCn6- IFCn0	転送要因を選択します。 設定値は、表 6-2 「DMA 起動要因 (0 ~ 63)」, 表 6-3 「DMA 起動要因 (64 ~ 127)」を参照してください。

## 6.8.2 DRQCLR : DMA 要求クリア・レジスタ

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** FFFF7B40<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
RQCR15	RQCR14	RQCR13	RQCR12	RQCR11	RQCR10	RQCR9	RQCR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
RQCR7	RQCR6	RQCR5	RQCR4	RQCR3	RQCR2	RQCR1	RQCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-30 DRQCLR レジスタの内容

ビット位置	ビット名	意味
15-0	RQCR15- RQCR0	セット“1”：チャンネル n (n = 0-15) に保持している転送要求をクリア“0”します。

**備考** ビット 15-0 への“0”の書き込みは無視します。

### 6.8.3 DRQSTR : DMA 要求確認レジスタ

**アクセス** 16ビット単位でリードのみ可能です。

**アドレス** FFFF7B44<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
RQST15	RQST14	RQST13	RQST12	RQST11	RQST10	RQST9	RQST8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RQST7	RQST6	RQST5	RQST4	RQST3	RQST2	RQST1	RQST0
R	R	R	R	R	R	R	R

表 6-31 DRQSTR レジスタの内容

ビット位置	ビット名	意味
15-0	RQST15- RQST0	DMA 転送要求ステータス・フラグ 1 : 要求あり (DMA 転送要求信号 n (n = 0-15) が "1") 0 : 要求なし (DMA 転送要求信号 n (n = 0-15) が "0")

## 6.9 DTS 機能

DTS は転送情報 (TI : Transfer Information) を設定するレジスタがありません。このため、転送要求が発生するたびに、要求番号に応じた TI をフェッチし (ローカル RAM から読み出し)、TI に応じた転送要求を DMAT に伝達することでデータ転送などを行います。

### 6.9.1 特徴

チャンネル数	チャンネル・フリー (1 ~ 128 チャンネル)
転送データ・サイズ	8 ビット 16 ビット 32 ビット
転送データ	リトル・エンディアン固定 ミスアライン・データ非対応
最大転送回数	DTS 転送回数レジスタを 16 ビットで使用時 : 65535 回  DTS 転送回数レジスタを 8 ビットレジスタを 2 つに分割して使用時 : 255 回 $\times n$ : ( $n$ は制限なし) したがって、転送回数は制限なしとなります。
チャンネル優先 順位制御	優先順位制御機能はありません (DTS 外部で制御する必要があります)
転送対象	コード・フラッシュ・メモリ ローカル RAM データ・フラッシュ・メモリ 外部メモリ領域 周辺 I/O 領域
チェーン機能	1 回の要求で、複数回 DTS を起動することができる機能です。TI のライト・バック後、異なる TI のフェッチを引き続き行い、データ転送などを実行することができます。

**転送タイプ** • 2サイクル転送（デュアル・アドレス転送）機能

TIのフェッチを行ったあと、転送元からデータを読み出し、読み出したデータを転送先へ書き込みます。その後、更新したTIをライト・バックします。TIのフェッチとライト・バックを除けばDMA転送と同じ動作です。すべてのサイクル間でバスのロックは行わないため、CPUサイクルが割り込むことがあります。

## • 比較機能

TIのフェッチを行ったあと、比較元と比較先からデータを読み出し、双方の大小比較を行います。

その後、更新したTIをライト・バックします。比較結果の真、偽により、CPUに対して割り込みを発生するか、チェーン機能を使用して引き続き処理を続けるかを選択できます。

## • フラグ・チェック機能（ビット・チェック機能）

データの任意のビットが（1）であるか、または（0）であるかを確認する機能です。

TIのフェッチを行ったあと、フラグ・チェックのためのマスク・データと被フラグ・チェック・データを読み出し、任意のビットの判定を行います。その後、更新したTIをライト・バックします。チェック結果の真、偽により、CPUに対して割り込みを発生するか、チェーン機能を使用して引き続き処理を続けるかを選択できます。

**転送回数レジスタ  
分割モード**

## • 分割

16ビットの転送回数レジスタを上位（8ビット）、下位（8ビット）に分割して使用するモードです。

下位側が転送回数レジスタ、上位側が転送回数保持レジスタとなります。最大転送回数は255回となりますが、下位側が0になると上位側の値が下位側にコピーされるため転送回数の再設定を行わずに続けて転送を行うことができます。

## • 結合

転送回数レジスタを16ビットで使用します。最大転送回数は65535回となります。

**転送モード** • シングル転送モード

DTS転送要求が発生すると、1回のDTSサイクルを行います。その後DTS転送要求が発生すると、再度1回のDTSサイクルを行います。この動作を、転送回数レジスタが0になるまで繰り返します。

## • ブロック転送モード

DTS転送要求が発生すると、転送回数レジスタで指定された回数のDTSサイクルを行います。

転送回数レジスタで指定された回数のDTSサイクルが終了するまで、他のDTS転送要求は受け付けられません。ただし、バスのロックは行わないため、CPUサイクルが割り込むことがあります。

---

<b>転送アドレス制御</b>	インクリメンタル デクリメンタル 固定
<b>転送エラー対応</b>	DMA データ・バスのエラー・レスポンスが発生すると DTS サイクルを中断し、エラー・フラグをセットします。また、割り込み信号（ELBERR）を出力します。
<b>割り込み出力機能</b>	バス・サイクル数レジスタで指定した回数分の DTS 転送を終了するか、フラグ・チェックや比較結果により割り込み要因信号を出力します（DTSFSL の機能）。
<b>DMA 転送中断機能</b>	ソフトウェアによる中断に対応します。ハードウェアによる中断には対応しません。
<b>スタンバイ対応</b>	スタンバイ対応としてスタンバイ要求が使われます。

## 6.10 DTS 制御レジスタ

DTS は、次に示す制御レジスタによって動作設定を行います。

DTS のレジスタには、CPU からアクセス可能な通常レジスタ（レジスタ群 A）と、CPU からアクセスできない内部レジスタ（レジスタ群 B）の 2 種類があります。DTS 内部レジスタには、ローカル RAM から読み出した転送情報が格納されます。

レジスタ群 B は、DTS0SAR, DTS0DAR, DTS0TCEA, DTS0CIR, DTS0SCS, DTS0DCS, DTS0ESCS, DTS0EDCS です。

表 6-32 DTS 制御レジスタ一覧

アドレス注	略号	機能レジスタ名称	R/W	操作可能ビット			初期値	
				8	16	32		
レジスタ群 A	FFFF7C00 <sub>H</sub>	DTS0TSR	DTS 転送状態レジスタ	R	○	—	—	00 <sub>H</sub>
	FFFF7C04 <sub>H</sub>	DTS0TRC	DTS 転送要求制御レジスタ	R/W	○	—	—	00 <sub>H</sub>
	FFFF7C08 <sub>H</sub>	DTS0ICR	DTS 初期化制御レジスタ	R/W	—	○	—	0000 <sub>H</sub>
	FFFF7C08 <sub>H</sub>	DTS0ICH	DTS 初期化チャンネル・ナンバ・レジスタ	R/W	○	—	—	00 <sub>H</sub>
	FFFF7C09 <sub>H</sub>	DTS0ITR	DTS 初期化チャンネル・トリガ・レジスタ	R/W	○	—	—	00 <sub>H</sub>
	FFFF7C0C <sub>H</sub>	DTS0BTR	DTS ベース・テーブル・レジスタ	R/W	—	—	○	00000000 <sub>H</sub>
	FFFF7C10 <sub>H</sub>	DTS0BVR	DTS ベース・ベクタ・レジスタ	R/W	—	—	○	00000000 <sub>H</sub>
	FFFF7C14 <sub>H</sub>	DTS0ACR	DTS アクティブ・チャンネル・レジスタ	R	—	○	—	0000 <sub>H</sub>
	FFFF7C18 <sub>H</sub>	DTS0TST	DTS TI ホールド状態レジスタ	R	○	—	—	00 <sub>H</sub>
	FFFF7C20 <sub>H</sub>	DTS0HC	DTS TI ホールド・チャンネル・ナンバ・レジスタ	R	—	—	○	00000000 <sub>H</sub>
	FFFF7C20 <sub>H</sub>	DTS0HC0	DTS ホールド・チャンネル・レジスタ 0	R	○	—	—	00 <sub>H</sub>
	FFFF7C21 <sub>H</sub>	DTS0HC1	DTS ホールド・チャンネル・レジスタ 1	R	○	—	—	00 <sub>H</sub>
	FFFF7C22 <sub>H</sub>	DTS0HC2	DTS ホールド・チャンネル・レジスタ 2	R	○	—	—	00 <sub>H</sub>
	FFFF7C23 <sub>H</sub>	DTS0HC3	DTS ホールド・チャンネル・レジスタ 3	R	○	—	—	00 <sub>H</sub>
レジスタ群 B	—	DTS0SAR	DTS ソース・アドレス・レジスタ	—	—	—	—	00000000 <sub>H</sub>
	—	DTS0DAR	DTS デスティネーション・アドレス・レジスタ	—	—	—	—	00000000 <sub>H</sub>
	—	DTS0TCEA	DTS 転送回数 / ELSE アドレス・レジスタ	—	—	—	—	0000 <sub>H</sub>
	—	DTS0CIR	DTS 制御情報レジスタ	—	—	—	—	0000 <sub>H</sub>
	—	DTS0SCS	DTS ソース・アドレス加減算量レジスタ	—	—	—	—	00 <sub>H</sub>
	—	DTS0DCS	DTS デスティネーション・アドレス加減算量レジスタ	—	—	—	—	00 <sub>H</sub>
	—	DTS0ESCSRA	DTS 拡張アドレス加減算量 / リピート・アドレス・レジスタ	—	—	—	—	00000000 <sub>H</sub>

注 DTS にマッピングされていないアドレスにアクセスした場合、ライトは無視し、リードは 0 を返します。

### 6.10.1 DTS0TSR : DTS 転送状態レジスタ [レジスタ群 A]

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** FFFF7C00<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	DTS0STPE	DTS0STPU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-33 DTS0TSR レジスタの内容

ビット位置	ビット名	意味
1	DTS0STPE	DTS SToPped by Error response (エラー・レスポンスによる DTS 転送中断) DTS 転送が、転送対象よりエラー・レスポンスを受信したことにより、中断していることを示します。 エラー・レスポンスを受信すると、DTS0STPE ビットに“1”がセットされ CPU で SysError 例外を発生させ、DTS 転送を中断します。 DTS0STPE ビットが“1”の場合、すべての転送を受け付けません。DTS0STPE ビットは読み出し専用です。クリアする場合は DTS0TRC.DTS0ECL ビットに“1”を書き込んでください。
0	DTS0STPU	DTS SToPped by User request (ユーザ要求による DTS 転送中断) DTS 転送がユーザ要求により中断していることを示します。 DTS0TRC.DTS0UST ビットに“1”を書き込むと DTS0STPU ビットに“1”がセットされ、転送を中断します。 DTS0STPU ビットが“1”の場合、すべての転送を受け付けません。DTS0STPU ビットは読み出し専用です。クリアする場合は DTS0TRC.DTS0UCL ビットに“1”を書き込んでください。



### 6.10.2 DTS0TRC : DTS 転送要求制御レジスタ [レジスタ群 A]

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFFF7C04<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
DTS0UST	0	0	0	0	0	0	DTS0ECL	DTS0UCL
	W	R	R	R	R	R	W	W

表 6-34 DTS0TRC レジスタの内容

ビット位置	ビット名	意味
7	DTS0UST	DTS User request STop Trigger (DTS 中断要求トリガ・ビット) DTS 全チャンネルの転送中断要求トリガです。 DTS0UST ビットに“1”を書き込むと、DTS0TSR.DTS0STPU ビットが“1”にセットされ、DTS 転送を中断します。読み出し値は常に“0”で、“0”の書き込みは無視します。DTS0UCL ビットと同時に“1”にセットした場合、DTS0UST が有効になります。
1	DTS0ECL	DTS dts0stpE Clear Trigger (DTS0STPE クリア要求トリガ・ビット) DTS0TSR の DTS0STPE フラグのクリア要求トリガ・ビットです。 DTS0ECL ビットを“1”にセットすると、DTS0TSR.DTS0STPE ビットがクリアされ、DTS 転送が受け付け可能になります。読み出し値は常に“0”で、“0”の書き込みは無視します。
0	DTS0UCL	DTS dts0stpU Clear Trigger (DTS0STPU クリア要求トリガ・ビット) DTS0TSR.DTS0STPU フラグのクリア要求トリガ・ビットです。 DTS0UCL ビットを“1”にセットすると、DTS0STPU ビットがクリアされ、DTS 転送が受け付け可能になります。また、転送を中断している場合には、中断した転送を再開します。読み出し値は常に“0”で、“0”の書き込みは無視します。

### 6.10.3 DTS0ICR : DTS 初期化制御レジスタ [レジスタ群 A]

**アクセス** DTS0ICR レジスタは、16 ビット単位でリード/ライト可能です。  
ただし、DTS0ICR レジスタの上位 8 ビットを DTS0ITR レジスタ、下位 8 ビットを DTS0ICH レジスタとして使用する場合は、8 ビット単位でリード/ライト可能です。

**アドレス** DTS0ICR: FFFF7C08<sub>H</sub>,  
DTS0ITR: FFFF7C09<sub>H</sub>, DTS0IC<sub>H</sub>: FFFF7C08<sub>H</sub>

**初期値** 0000<sub>H</sub>

・ DTS0ICR

15	14	13	12	11	10	9	8
0	0	0	0	0	DTS0ICS	DTS0HIT	DTS0TIT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	DTS0ICH6-0						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ DTS0ITR

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0ICS	DTS0HIT	DTS0TIT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ DTS0ICH

7	6	5	4	3	2	1	0
0	DTS0ICH6-0						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-35 DTS0ICR レジスタの内容 (1/2)

ビット位置	ビット名	意味
10	DTS0ICS	DTS Initialization Cotinuous Status (転送中止ステータス・フラグ) DTS 転送の中止を実行していることを示すステータス・フラグです。DTS0ICS フラグが“1”の場合、DTS0ICR レジスタへのライトは禁止です (書き込みを無視します)。 DTS0ICR レジスタの DTS0HIT, または DTS0TIT に“1”がセットされると、DTS0ICS ビットは“1”にセットされます。 DTS0ICR レジスタの DTS0HIT, または DTS0TIT で要求された転送中止処理が完了すると、DTS0ICS ビットはクリアされます。 0: 通常状態 1: 転送中止処理中
9	DTS0HIT	DTS Hold Initialization Trigger (転送中止, および TI ホールド・バッファ初期化トリガ・ビット) 実行中の DTS 転送の中止と、DTS に TI ホールドされているすべての TI のクリアを要求するトリガ・ビットです。 DTS0HIT ビットに“1”を書き込むと、DTS サイクルの完了を待って、TI ホールドされているすべての TI がクリアされます。DTS サイクルの完了を待つ間、DTS0ICS ビットに“1”がセットされます。読み出し値は常に“0”です。

表 6-35 DTS0ICR レジスタの内容 (2/2)

ビット位置	ビット名	意味
8	DTS0TIT	DTS Transfer Initialization Trigger (転送中止トリガ・ビット) DTS0ICR.DTS0ICH ビットで指定したチャンネルの DTS 転送の中止を要求するトリガ・ビットです。DTS0TIT ビットに“1”を書き込むと、DTS サイクルの完了を待って、現在実行中のチャンネルと DTS0ICR.DTS0ICH ビットで指定したチャンネルとを比較し、一致した場合は以降の転送を中止します。DTS サイクルの完了を待つ間、DTS0ICS ビットに“1”がセットされています。また、指定したチャンネルが TI ホールドされている場合、TI ホールドもクリアされます。読み出し値は常に“0”です。
6-0	DTS0ICH6- DTS0ICH0	DTS Initialization CHannel (初期化中止要求チャンネル) DTS0TIT ビットで初期化中止するチャンネルを指定するビットです。 DTS0ICR.DTS0HIT ビット、または DTS0ICR.DTS0TIT ビットに“1”を書き込むのと同時に、DTS0ICH6-DTS0ICH0 ビットに“1”を書き込むことができます。

### 6.10.4 DTS0BTR : DTS ベース・テーブル・レジスタ [レジスタ群 A]

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FFFF7C0C<sub>H</sub>

**初期値** 00000000<sub>H</sub>

31	30	29	28	27	26	25	24	
0	0	0	DTS0BTR28-24					
R	R	R	R/W	R/W	R/W	R/W	R/W	
23	22	21	20	19	18	17	16	
DTS0BTR23-16								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	
DTS0BTR15-8								
R/W	R	R	R/W	R/W	R/W	R/W	R/W	
7	6	5	4	3	2	1	0	
DTS0BTR7-1							0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 6-36 DTS0BTR レジスタの内容

ビット位置	ビット名	意味
28-1	—	DTS が TI の位置を検出するために使用するテーブルの先頭アドレスを設定するレジスタです。 ローカル RAM 領域を設定してください。 ビット 31-29 とビット 0 は “0” に固定されています。 DTS は次の DTS0BVR レジスタと DTS0BTR レジスタを使用し、チャンネルに応じた TI の位置を計算します。

### 6.10.5 DTS0BVR : DTS ベース・ベクタ・レジスタ [レジスタ群 A]

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FFFF7C10<sub>H</sub>

**初期値** 00000000<sub>H</sub>

31	30	29	28	27	26	25	24	
0	0	0	DTS0BVR28-24					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
23	22	21	20	19	18	17	16	
DTS0BVR23-16								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	
DTS0BVR15-8								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
7	6	5	4	3	2	1	0	
DTS0BVR7-2						0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 6-37 DTS0BVR レジスタの内容

ビット位置	ビット名	意味
28-2	—	DTS が TI の位置を検出するために使用するベクタの先頭アドレスを設定するレジスタです。ローカル RAM 領域を設定してください。 ビット 31-29 とビット 1, 0 は "0" に固定されています。 DTS 要求が発生すると, DTS0BTR + チャネル番号 × 2 のテーブル・アドレスから 16 ビットのベクタ・アドレスを読み出します。読み出した値と DTS0BVR レジスタの値を加算し, TI のアドレスを求めます。

### 6.10.6 DTS0ACR : DTS アクティブ・チャンネル・レジスタ [レジスタ群 A]

アクセス 16 ビット単位でリードのみ可能です。

アドレス FFFF7C14<sub>H</sub>

初期値 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	DTS0ACT
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	DTS0CH						
R	R	R	R	R	R	R	R

表 6-38 DTS0ACR レジスタの内容

ビット位置	ビット名	意味
8	DTS0ACT	DTS ACTive (DTS 実行状態) DTS の実行状態を示します。 0 : DTS は動作していない 1 : DTS は動作中
6-0	DTS0CH	CHannel (実行チャンネル) DTS0ACT ビットが“1”のときの実行チャンネルを示します。DTS0ACT ビットが“0”のときは、直前に実行していたチャンネルを保持します。

### 6.10.7 DTS0HST : DTS TI ホールド状態レジスタ [レジスタ群 A]

アクセス 8ビット単位でリードのみ可能です。

アドレス FFFF7C18<sub>H</sub>

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	DTS0TON 3	DTS0TON 2	DTS0TON 1	DTS0TON 0
R	R	R	R	R	R	R	R

表 6-39 DTS0HST レジスタの内容

ビット位置	ビット名	意味
3	DTS0TON3	DTS Ti-hold ON 3 (TI ホールド 3 ON) TI ホールド・バッファ 3 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
2	DTS0TON2	DTS Ti-hold ON 2 (TI ホールド 2 ON) TI ホールド・バッファ 2 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
1	DTS0TON1	DTS Ti-hold ON 1 (TI ホールド 1 ON) TI ホールド・バッファ 1 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。
0	DTS0TON0	DTS Ti-hold ON 0 (TI ホールド 0 ON) TI ホールド・バッファ 0 に TI が TI ホールドされているかを確認するビットです。 0 : TI ホールドされていない。 1 : TI ホールドされている。

### 6.10.8 DTS0HC : DTS TI ホールド・チャネル・ナンバ・レジスタ [レジスタ群 A]

**アクセス** DTS0HC レジスタは、32 ビット単位でリードのみ可能です。  
ただし、DTS0HC レジスタのビット 30-24 を DTS0HC3 レジスタ、ビット 22-16 を DTS0HC2 レジスタ、ビット 14-8 を DTS0HC1 レジスタ、ビット 6-0 を DTS0HC0 レジスタとして使用する場合は、8 ビット単位でリードのみ可能です。

**アドレス** DTS0HC: FFFF7C20<sub>H</sub>  
DTS0HC0: FFFF7C20<sub>H</sub>, DTS0HC1: FFFF7C21<sub>H</sub>, DTS0HC2: FFFF7C22<sub>H</sub>,  
DTS0HC3: FFFF7C23<sub>H</sub>

**初期値** 00000000<sub>H</sub>

・ DTS0HC

31	30	29	28	27	26	25	24
0	DTS0HC30-24						
R	R	R	R	R	R	R	R

23	22	21	20	19	18	17	16
0	DTS0HC22-16						
R	R	R	R	R	R	R	R

15	14	13	12	11	10	9	8
0	DTS0HC14-8						
R	R	R	R	R	R	R	R

7	6	5	4	3	2	1	0
0	DTS0HC6-0						
R	R	R	R	R	R	R	R

・ DTS0HC3

7	6	5	4	3	2	1	0
0	DTS0HC30-24						
R	R	R	R	R	R	R	R

・ DTS0HC2

7	6	5	4	3	2	1	0
0	DTS0HC22-16						
R	R	R	R	R	R	R	R

・ DTS0HC1

7	6	5	4	3	2	1	0
0	DTS0HC14-8						
R	R	R	R	R	R	R	R



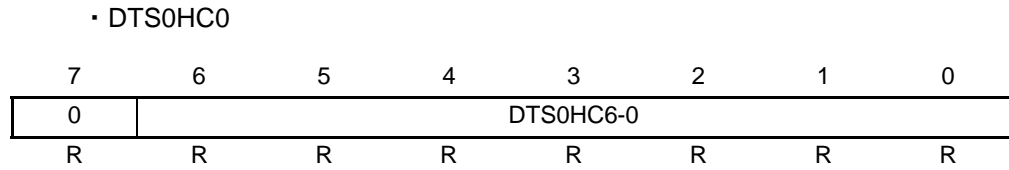


表 6-40 DTS0HC レジスタの内容

ビット位置	ビット名	意味
30-24	DTS0HC30- DTS0HC24	TI ホールド・バッファ 3 に TI ホールドされている TI のチャンネル番号が格納されます。
22-16	DTS0HC22- DTS0HC16	TI ホールド・バッファ 2 に TI ホールドされている TI のチャンネル番号が格納されます。
14-8	DTS0HC14- DTS0HC8	TI ホールド・バッファ 1 に TI ホールドされている TI のチャンネル番号が格納されます。
6-0	DTS0HC6- DTS0HC0	TI ホールド・バッファ 0 に TI ホールドされている TI のチャンネル番号が格納されます。

### 6.10.9 DTS0SAR : DTS ソース・アドレス・レジスタ [レジスタ群 B]

DTS0SAR レジスタは DTS 内部レジスタです。CPU からの書き込み／読み出しはできません。

アクセス —

アドレス —

初期値 00000000<sub>H</sub>

31	30	29	28	27	26	25	24
IMM31	IMM30	IMM29	DTS0SAR28-24 (IMM28-24)				
23	22	21	20	19	18	17	16
DTS0SAR23-16 (IMM23-16)							
15	14	13	12	11	10	9	8
DTS0SAR15-8 (IMM15-8)							
7	6	5	4	3	2	1	0
DTS0SAR7-0 (IMM7-0)							

表 6-41 DTS0SAR レジスタの内容

ビット位置	ビット名	意味
31-29	IMM31- IMM29	IMMEDIATE (イミディエイト・ビット) イミディエイト機能を使用するときに、IMM31-IMM29 ビットと、DTS0SAR ビットを組み合わせて 32 ビット・レジスタとして使用します。
28-0	DTS0SAR28- DTS0SAR0	DTS Source Address Register (ソース・アドレス・レジスタ) ソース・アドレス・レジスタです。 イミディエイト機能を使用する場合は、IMM28-IMM0 となります。

**注意** ミスアライン・データの DTS 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DTS0SAR1	DTS0SAR0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

### 6.10.10 DTS0DAR : DTS デスティネーション・アドレス・レジスタ [レジスタ群 B]

DTS0DAR レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

アクセス —

アドレス —

初期値 00000000<sub>H</sub>

31	30	29	28	27	26	25	24	
0	0	0	DTS0DAR28-24					
23	22	21	20	19	18	17	16	
DTS0DAR23-16								
15	14	13	12	11	10	9	8	
DTS0DAR15-8								
7	6	5	4	3	2	1	0	
DTS0DAR7-0								

表 6-42 DTS0DAR レジスタの内容

ビット位置	ビット名	意味
28-0	DTS0DAR28-DTS0DAR0	Destination Address Register (デスティネーション・アドレス・レジスタ) デスティネーション・アドレス・レジスタです。 ビット 31-29 は "0" に固定されています。

**注意** ミスアライン・データの DTS 転送はサポートしていません。転送データ・サイズに対応するアドレスの下位 2 ビットは次のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データ・サイズ	DTS0DAR 1	DTS0DAR 0
8 ビット	x	x
16 ビット	x	0
32 ビット	0	0

### 6.10.11 DTS0TCEA : DTS 転送回数 / ELSE アドレス・レジスタ [レジスタ群 B]

DTS0TCEA レジスタは DTS 内部レジスタです。CPU からの書き込み / 読み出しはできません。

アクセス —

アドレス —

初期値 0000<sub>H</sub>

#### (1) 転送回数 255 モード

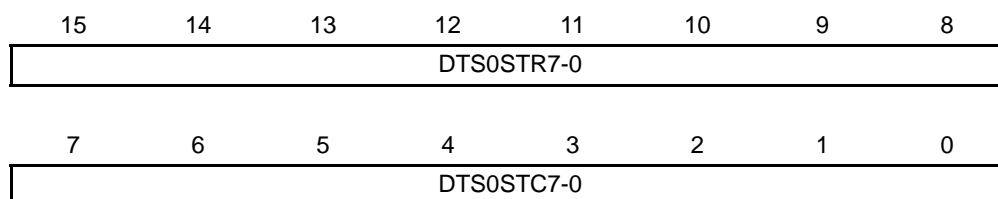


表 6-43 DTS0TCEA レジスタ (転送回数 255 モード) の内容

ビット位置	ビット名	意味
15-8	DTS0STR7- DTS0STR0	Short Transfer Number Register (転送回数保持レジスタ) 転送回数 255 モードのときに転送回数を保持するレジスタです。 DTS0STC ビットが“0”のときに DTS 要求が発生すると、DTS0TCEA レジスタの内容が DTS0STC ビットにコピーされます。
7-0	DTS0STC7- DTS0STC0	Short Transfer Counter (ショート転送カウント・レジスタ) 転送回数 255 モードのときに転送回数をカウントするレジスタです。 1 回の DTS サイクルにつき、1 減少します。1 を設定すると 1 回、FFH を設定すると 255 回の DTS サイクルを起動することができます。DTS0TCEA レジスタが“0”になると、割り込みが発生します (または、チェーン機能を選択できます)。 継続して転送を実行するかを選択できます。 DTS0TCEA レジスタが“0”のときに DTS 要求が発生すると、DTS0STR ビットの内容を DTS0TCEA レジスタにコピーして、再びデクリメント動作を行います。

#### (2) 転送回数 65535 モード

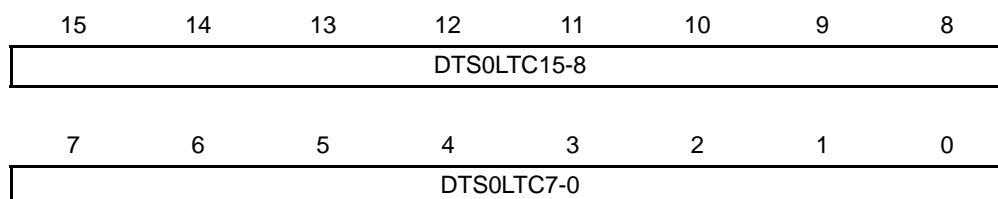


表 6-44 DTS0TCEA レジスタ (転送回数 65535 モード) の内容

ビット位置	ビット名	意味
15-0	DTS0LTC15- DTS0LTC0	Long Transfer Counter (ロング転送カウント・レジスタ) 転送回数 65535 モードのときに転送回数をカウントするレジスタです。 1 回の DTS サイクルにつき、1 減少します。1 を設定すると 1 回、FFFFH を設定すると 65535 回の DTS サイクルを起動することができます。DTS0TCEA レジスタが“0”になると、割り込みが発生します (または、チェーン機能を選択できません)。

## (3) 拡張チェーン・モード

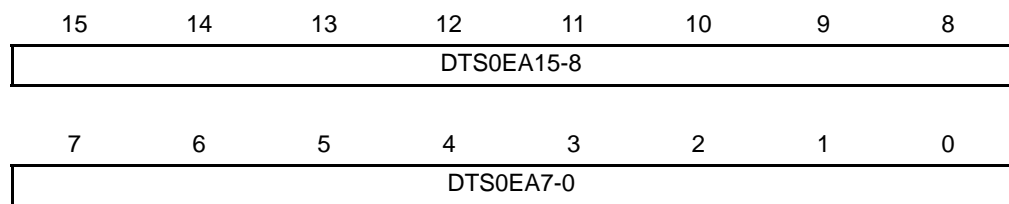


表 6-45 DTS0TCEA レジスタ (拡張チェーン・モード) の内容

ビット位置	ビット名	意味
15-0	DTS0EA15- DTS0EA0	Else Address (ELSE アドレス) 拡張チェーン・モード時に、条件が偽の場合 (ELSE) に読み込む TI の位置を指定するレジスタです。 TI の位置は、現在の位置 (拡張チェーン指定をした TI-A のアドレス) をベースとし、DTS0TCEA レジスタでオフセットを指定します。 符号付き 16 ビットで - 32768 ~ 32760 (下位 3 ビットが 3'b000) の値を指定します。

### 6.10.12 DTS0SCS : DTS ソース・アドレス加減算量レジスタ [レジスタ群 B]

DTS0SCS レジスタは DTS 内部レジスタです。CPU からの書き込み／読み出しはできません。

DTS0CIR.DTS0IMM ビットが“1”の場合、次のように動作します。

- ・ DTS0CIR.DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 32 ビットの場合 : DTS0SCS は 0 となります。
- ・ DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 16 ビットの場合 : DTS0SCS により DTS0SAR (IMM15-IMM0) が加減算されます。
- ・ DTS0DS1, DTS0DS0 ビットで示すデータ・サイズが 8 ビットの場合 : DTS0SCS により DTS0SAR (IMM7-IMM0) が加減算されます。  
ただし、SG モードの場合、DTS0SCS レジスタの設定は無視されます。

アクセス —

アドレス —

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0SCS2	DTS0SCS1	DTS0SCS0

表 6-46 DTS0SCS レジスタの内容

ビット位置	ビット名	意味
2	DTS0SCS2	ソース・アドレスのカウンタ量を指定します。
1	DTS0SCS1	000 : 0 (FIX)
0	DTS0SCS0	001 : + 1 010 : + 2 011 : + 4 101 : - 1 110 : - 2 111 : - 4

### 6.10.13 DTS0DCS : DTS デスティネーション・アドレス加減算量レジスタ [レジスタ群 B]

DTS0DCS レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

SG モードの場合、DTS0DCS レジスタの設定値は無視されます。

アクセス -

アドレス -

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	DTS0DCS2	DTS0DCS1	DTS0DCS0

表 6-47 DTS0DCS レジスタの内容

ビット位置	ビット名	意味
2	DTS0DCS2	デスティネーション・アドレスのカウント量を指定します。
1	DTS0DCS1	000 : 0 (FIX)
0	DTS0DCS0	001 : +1 010 : +2 011 : +4 101 : -1 110 : -2 111 : -4

### 6.10.14 DTS0CIR : DTS 制御情報レジスタ [レジスタ群 B]

DTS0CIR レジスタは DTS 内部レジスタです。CPU からの書き込み/読み出しはできません。

アクセス —

アドレス —

初期値 0000<sub>H</sub>

15	14	13	12	11	10	9	8
DTS0CAF	DTS0DPE1	DTS0SPE1	DTS0DISI	DTS0CM1	DTS0CM0	DTS0DS1	DTS0DS0
7	6	5	4	3	2	1	0
DTS0BEN	DTS0IMM	DTS0TYP5	DTS0TYP4	DTS0TYP3	DTS0TYP2	DTS0TYP1	DTS0TYP0

表 6-48 DTS0CIR レジスタの内容 (1/2)

ビット位置	ビット名	意味
15	DTS0CAF	Condition Accumulation Flag (条件累積フラグ) flag チェック, comp チェック結果累積フラグ。flag チェック結果, または comp チェック (比較) 結果が偽であった場合に “1” がセットされ, TI-A に書き戻されます。なお, TI-A を読み出したときに DTS0CAF ビットが “1” である場合は, 必ず “1” が書き戻されます。 セット (1) 条件: ・比較結果が偽であった場合 ・フラグ・チェック結果が偽であった場合 ・DTS0CAF ビット読み込みデータが “1” であった (TI-A フェッチ時の bit15 が “1”)。 つまり, TI-A の bit15 に “1” を設定すると DTS0CAF は “1” のままとなります。 クリア (0) 条件: ・DTS0CAF ビット読み込みデータが “0” であった (TI-A フェッチ時の bit15 が “0”)。
14	DTS0DPE1	Destination select PE1 (デスティネーション PE1 セレクト) デスティネーション側のアドレス範囲を指定します。 0: データ・フラッシュ・メモリ, 外部メモリ領域, 周辺 I/O 領域を選択する 1: コード・フラッシュ・メモリ, ローカル RAM を選択する
13	DTS0SPE1	Source select PE1 (ソース PE1 セレクト) ソース側のアドレス範囲を指定します。 0: データ・フラッシュ・メモリ, 外部メモリ領域, 周辺 I/O 領域を選択する 1: コード・フラッシュ・メモリ, ローカル RAM を選択する
12	DTS0DISI	DISable Interruption (割り込み出力禁止) DTSFSL に対する割り込み要求の発生を禁止します。 0: 割り込み許可 1: 割り込み禁止
11 10	DTS0CM1 DTS0CM0	Chain Mode (チェーン・モード) 00: チェーンしない 【if ( counter==0 ) then Interrupt else no operation】 01: Counter が 0 でチェーン 【if ( counter==0 ) then chain & Interrupt else no operation】 10: 条件真でチェーン 【if ( true ) then chain else Interrupt】 11: 常にチェーン



表 6-48 DTS0CIR レジスタの内容 (2/2)

ビット位置	ビット名	意味
9 8	DTS0DS1 DTS0DS0	Data Size (データ・サイズ) 転送, 比較, フラグ・チェック・データ・サイズを設定します。 00 : 8 ビット 01 : 16 ビット 10 : 32 ビット 11 : 設定禁止
7	DTS0BEN	Block Enable ブロック許可信号です。 0 : シングル・モード 1 : ブロック・モード
6	DTS0IMM	IMMediate enable (イミディエイト機能) イミディエイト機能選択ビットです。イミディエイト機能を有効にすると, DTS0SARがイミディエイト・レジスタとして使用されます。 0 : イミディエイト禁止 1 : イミディエイト許可
5 4 3 2 1 0	DTS0TYP5 DTS0TYP4 DTS0TYP3 DTS0TYP2 DTS0TYP1 DTS0TYP0	Transfer TYPE (転送タイプ選択) 転送タイプを指定します。 転送タイプを選択すると, 特殊機能や転送回数も同時に決定します。 転送タイプの一覧は 6.11.5 「転送タイプ」を参照してください。

### 6.10.15 DTS0ECSRA : DTS 拡張アドレス加減算量／リピート・アドレス・レジスタ [レジスタ群 B]

DTS0ECSRA レジスタは DTS 内部レジスタです。CPU からの書き込み／読み出しはできません。

アクセス —

アドレス —

初期値 00000000<sub>H</sub>

#### (1) SG (Scatter & Gather) モード

31	30	29	28	27	26	25	24
DTS0EDCS15-8							
23	22	21	20	19	18	17	16
DTS0EDCS7-0							
15	14	13	12	11	10	9	8
DTS0ESCS15-8							
7	6	5	4	3	2	1	0
DTS0ESCS7-0							

表 6-49 DTS0ECSRA レジスタ (SG (Scatter & Gather) モード) の内容

ビット位置	ビット名	意味
31-16	DTS0EDCS15-DTS0EDCS0	デスティネーション・アドレスのカウント量を指定します。 符号付 16 ビットで - 32768 ~ 32767 の値を指定可能となります。 DTS0ECSRA レジスタは、DTS の特殊機能で SG モードを選択した場合のみ有効となります。 SG モード以外では、DTS0DCS レジスタで加減算量が決まります。
15-0	DTS0ESCS15-DTS0ESCS0	ソース・アドレスのカウント量を指定します。 符号付 16 ビットで - 32768 ~ 32767 の値を指定します。 DTS0ECSRA レジスタは、DTS の特殊機能で SG モードを選択した場合のみ有効となります。 SG モード以外では、DTS0SCS レジスタで加減算量が決まります。

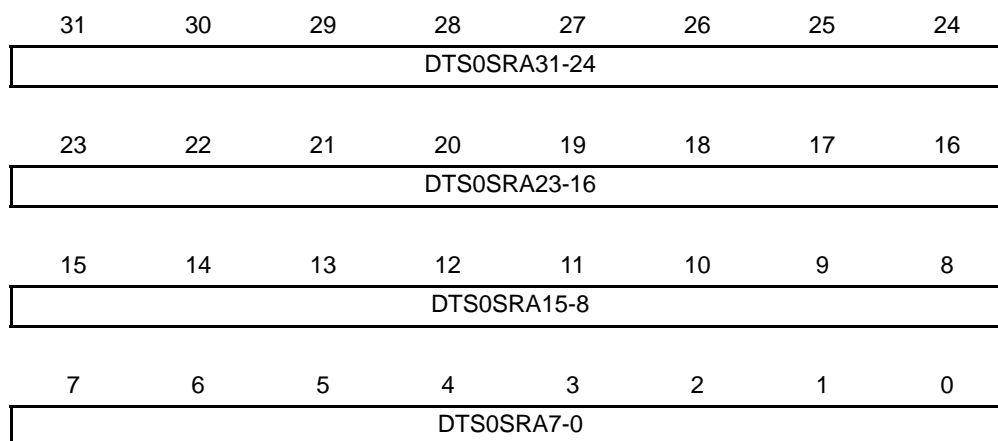
**(2) SREP (Source Repeat) モード**

表 6-50 DTS0ECSRA レジスタ (SREP (Source Repeat) モード) の内容

ビット位置	ビット名	意味
31-0	DTS0SRA31-DTS0SRA0	リピート・アドレスを保持しておくための領域です。 ソース・リピートが有効となるのは、DTS の特殊機能で SREP を選択した場合のみです。

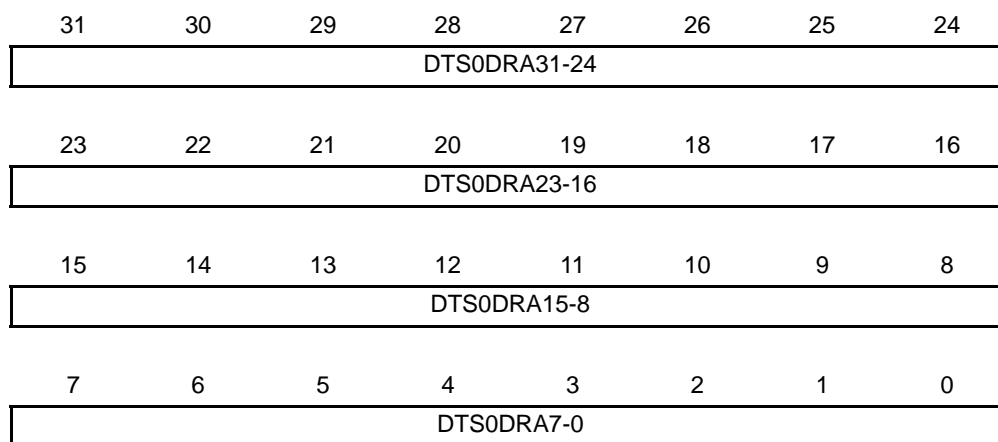
**(3) DREP (Destination Repeat) モード**

表 6-51 DTS0ECSRA レジスタ (DREP (Destination Repeat) モード) の内容

ビット位置	ビット名	意味
31-0	DTS0DRA31-DTS0DRA0	リピート・アドレスを保持しておくための領域です。 デスティネーション・リピートが有効となるのは、DTS の特殊機能で DREP を選択した場合のみです。

## 6.11 DTS 機能詳細

### 6.11.1 転送情報 (TI)

DTS 内部レジスタ (レジスタ群 B) は、外部から直接操作することができません。DTS はローカル RAM から転送情報を読み出し、内部レジスタに値を設定します。転送情報のことを TI (Transfer Information) と呼びます。

TI は TI-A から TI-C の 96 ビット、または TI-A から TI-D までの 128 ビットで構成されており、DTS0TTYP5-DTS0TTYP0 ビットの設定によりどちらのタイプを使用するかが決まります。

TI0 は、(TI-A, TI-B, TI-C) セットまたは (TI-A, TI-B, TI-C, TI-D) セットを表します。

また、TI0, TI1, TI2 は、上記セットが 3 セットあることを表します。

#### (1) TI の構成

各 TI は 32 ビットにアラインして配置してください (アドレスの下位 2 ビットが 00)。

また、TI-A から TI-D の 128 ビットを一組としてローカル RAM に配置してください。

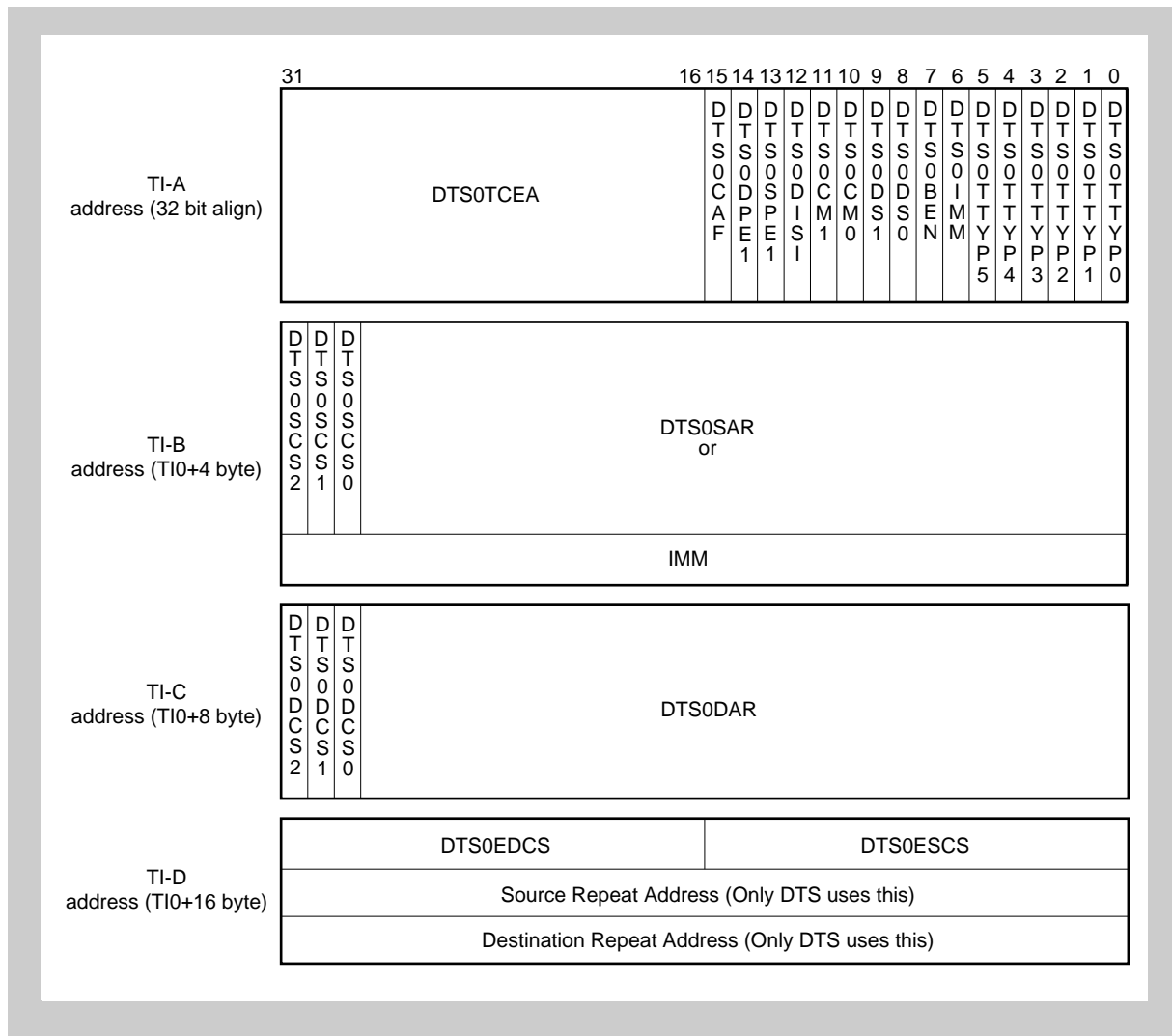


図 6-9 TI の構成

## (2) TIを配置するアドレス

DTSはDTS0BTRとDTS0BVRを使用して、チャンネルに対応したTIのアドレスを決定します。

TIはDTS0BVRで指定したアドレス～+FFFCHの間に自由に配置することができます。

DTSのTIアドレス決定方式を示します。

1. 【テーブル・アドレス = DTS0BTR + チャンネル番号 × 2】のテーブル・アドレスから16ビットのオフセット・アドレスを読み出します（オフセット・アドレスの下位2ビットは無視します）。
2. 【TIアドレス = DTS0BVR + オフセット・アドレス】のベクタ・アドレスから、順次TIを読み出します。この場合も、下位2ビットは00に固定します。

以下の図のCH3の要求を例にとると、テーブル・アドレス（1EC0\_1000<sub>H</sub> + 4 × 2）のデータは0320<sub>H</sub>。ベクタ・アドレスはDTS0BVR + 0320<sub>H</sub>となります。

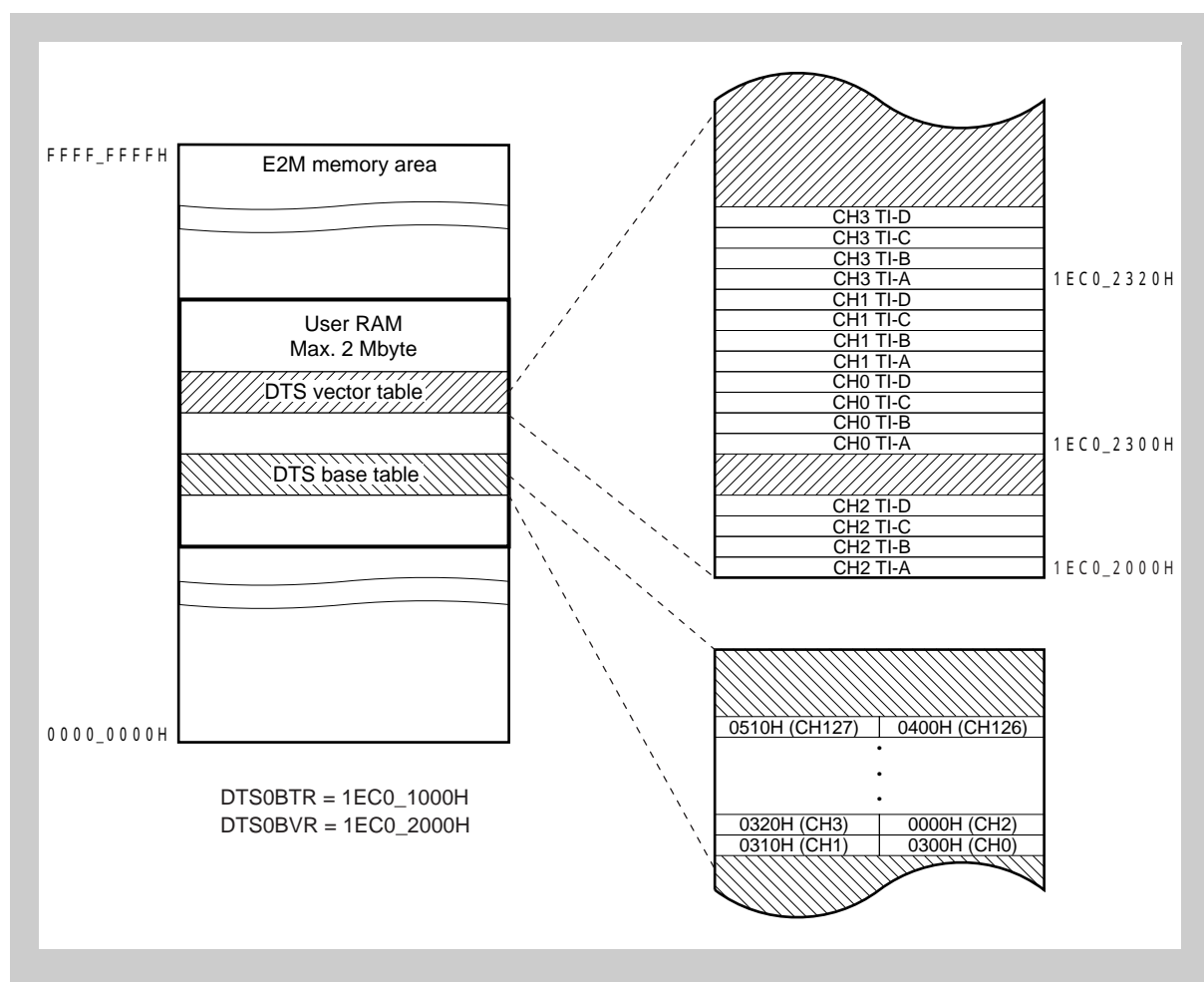


図 6-10 TIを配置するアドレス例

**(3) ベース・テーブル**

DTSは、TIの位置を検索するためにベース・テーブルを参照します。ベース・テーブルは、ユーザが作成する必要があります。ベース・テーブルは、DTS0BTRに設定したアドレスを先頭アドレスとして、チャンネル0から16ビットずつ割り当てられます。テーブルに設定するデータは、DTS0BVRの値からのオフセットです（TI-A, TI-B, TI-C 使用時 0 ~ 65524）、（TI-A, TI-B, TI-C, TI-D 使用時 0 ~ 65520）。

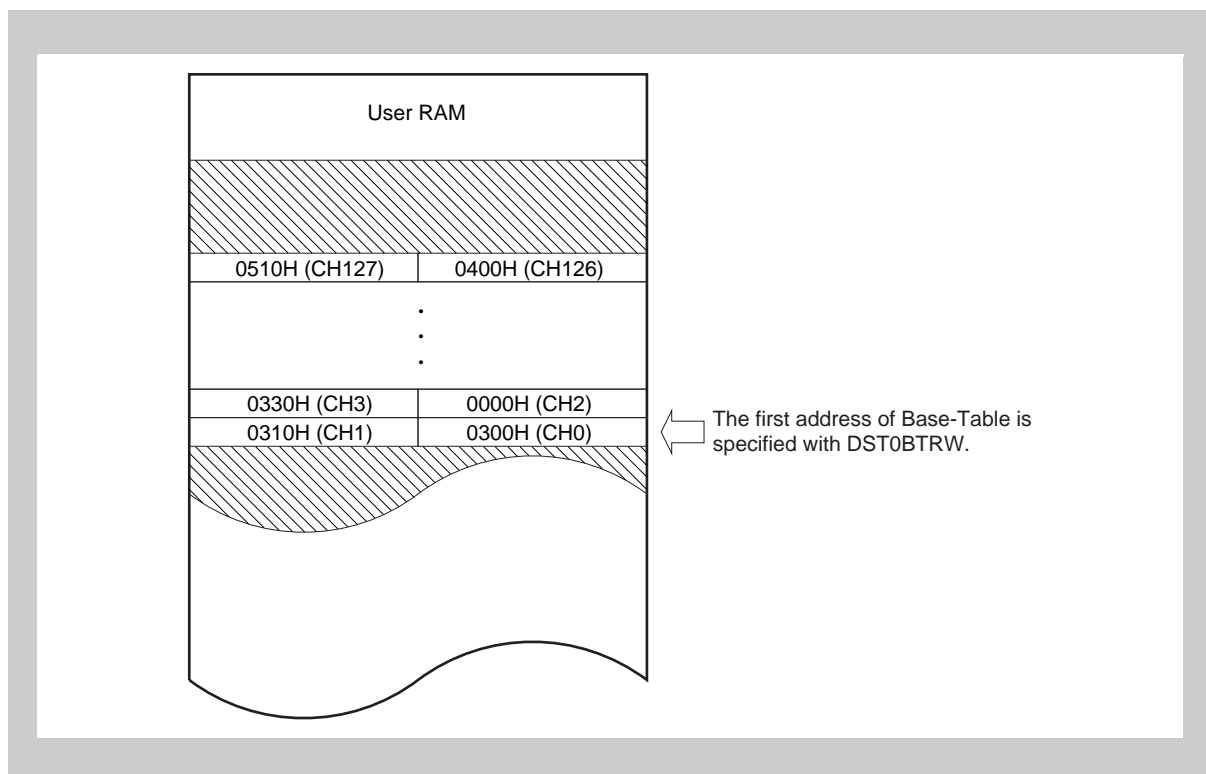


図 6-11 ベース・テーブルの説明

### 6.11.2 DTS 転送の設定フロー

TI を設定したあと、DTSEN を許可にした場合のハードウェアによる DTS 転送フローを示します。

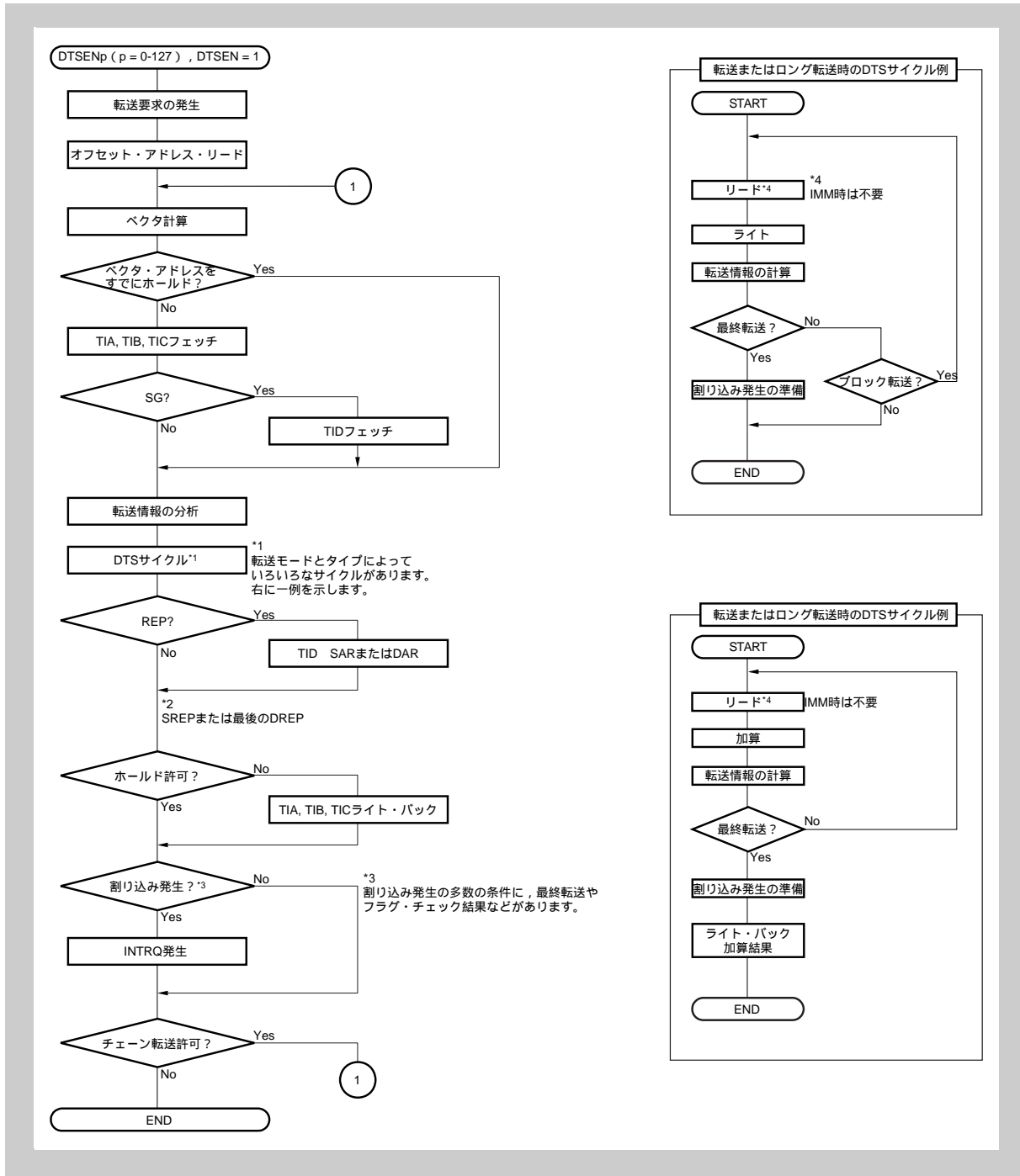


図 6-12 DTS 転送フロー



### 6.11.3 DTSの基本動作

DTSは転送に必要な情報（TI）をローカルRAMからフェッチし、そのTIに応じた転送を実行し、TIを更新してローカルRAMにライト・バック（WB）します。

#### (1) TIのフェッチとライト・バック

1回のDTS要求につき、TIフェッチ・サイクル→DTSサイクル→TIライト・バック・サイクルが発生します。バスのロックは行いませんので、CPUサイクルが割り込む場合があります。

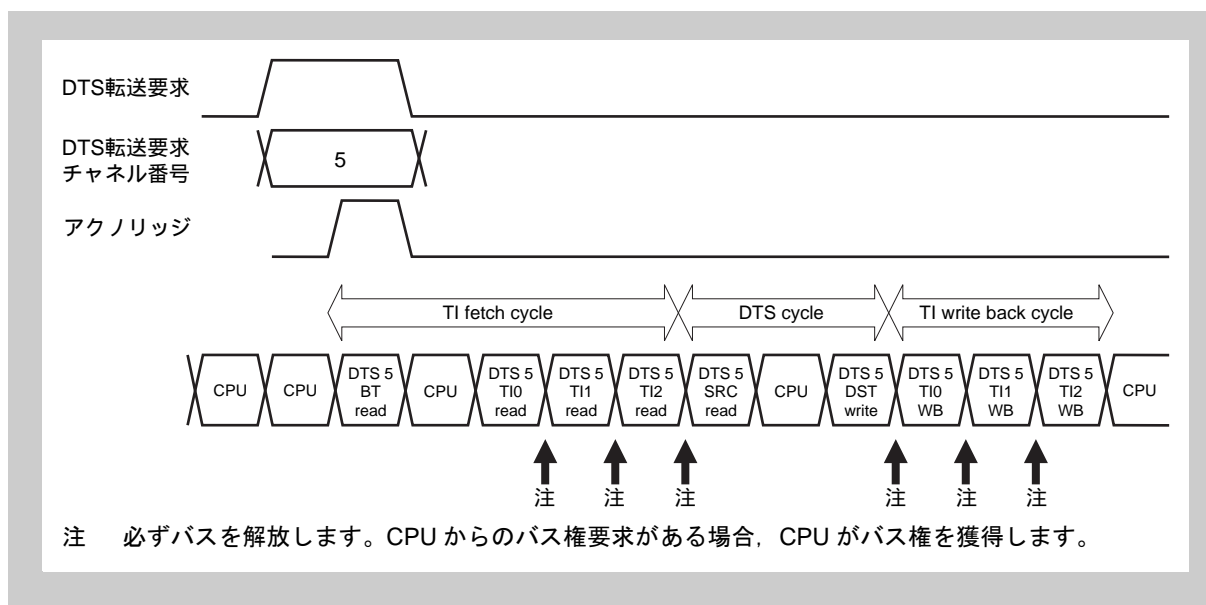


図 6-13 TIのフェッチとライト・バック例

### 6.11.4 転送モード

転送モードは、シングル転送モード、ブロック転送モードをサポートしています。

#### (1) シングル転送モード

シングル転送モードでは、1回のDTS要求につき、TI フェッチ→DTS サイクル→TI ライト・バックを行い、待機状態になります。次にDTS要求が発生すると、再びTI フェッチからサイクルを実行します。この動作を、DTS0STC（65535モードのときはDTS0LTC）が（0）になるまで繰り返します。

バスのロックは行いませんので、CPU サイクルが割り込む場合があります。

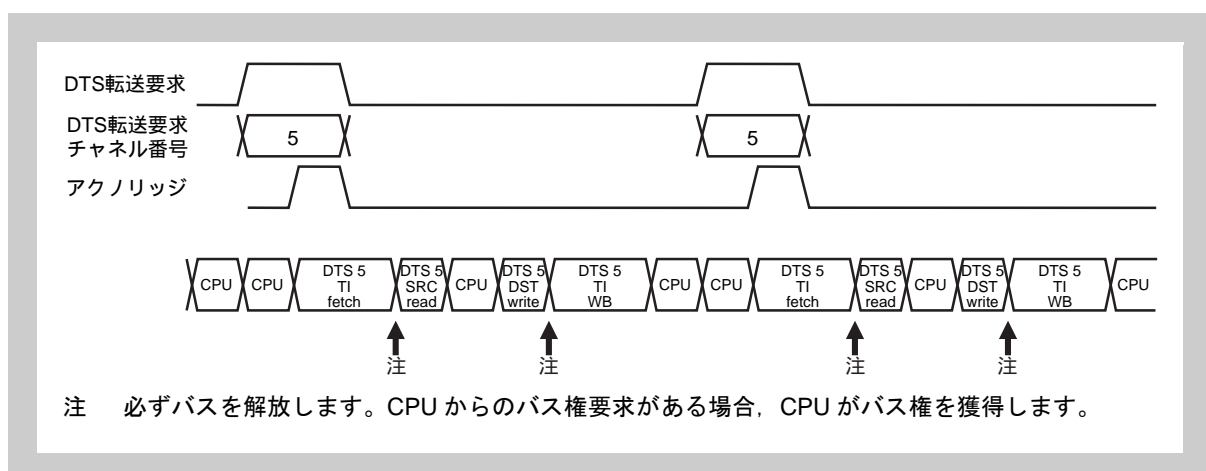


図 6-14 シングル転送例

#### (2) ブロック転送モード

ブロック転送モードでは、1回のDTS要求につき、TI フェッチを行ったあと、DTS サイクルをDTS0STC（65535モードのときはDTS0LTC）が（0）になるまで繰り返し行い、その後TIをライト・バックします。バスのロックは行いませんので、CPU サイクルが割り込む場合があります。

ブロック転送実行中は、他のDTS要求は受け付けません（DTSFSLに保留されます）。

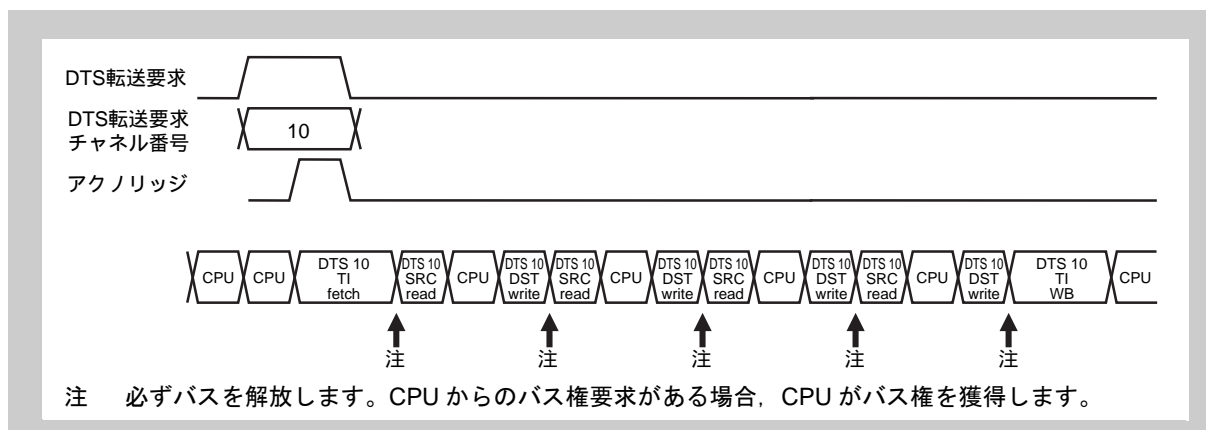


図 6-15 ブロック転送例

### 6.11.5 転送タイプ

転送タイプは、転送（2サイクル転送）、flag チェック、比較、加算をサポートしています。転送タイプは DTS0CIR.DTS0TTYP5-DTS0TTYP0 ビットで指定しますが、このとき転送回数と特殊機能<sup>注</sup>も同時に設定されます。

以下に、一覧を示します。転送タイプは、DTS0CIR.DTS0IMM ビットの設定により、動作が変わります。

注 特殊機能については、6.11.6「特殊機能」を参照してください。

表 6-52 DTS 転送タイプ一覧 (1/2)

DTS0TTYP5-DTS0TTYP0 ビット			MAX 転送回数	転送タイプ	特殊機能	TI-D
0	000	00	255	転送	なし	使用しない
		01			SREP	使用する
		10			DREP	使用する
		11			SG	使用する
0	001	00	255	加算	なし	使用しない
		01			SREP	使用する
		10			DREP	使用する
		11			SG	使用する
0	010	00	255	flag[0]	なし	使用しない
		01		flag[0]	SREP	使用する
		10		flag[0]	DREP	使用する
		11		flag[0]	(SG)	使用する
0	011	00	255	flag[1]	なし	使用しない
		01		flag[1]	SREP	使用する
		10		flag[1]	DREP	使用する
		11		flag[1]	(SG)	使用する
0	100	00	255	comp[=]	なし	使用しない
		01		comp[=]	SREP	使用する
		10		comp[=]	DREP	使用する
		11		comp[=]	(SG)	使用する
0	101	00	255	comp[!]=	なし	使用しない
		01		comp[!]=	SREP	使用する
		10		comp[!]=	DREP	使用する
		11		comp[!]=	(SG)	使用する
0	110	00	255	comp[<]	なし	使用しない
		01		comp[<]	SREP	使用する
		10		comp[<]	DREP	使用する
		11		comp[<]	(SG)	使用する
0	111	00	255	comp[>]	なし	使用しない
		01		comp[>]	SREP	使用する
		10		comp[>]	DREP	使用する
		11		comp[>]	(SG)	使用する

表 6-52 DTS 転送タイプ一覧 (2/2)

DTS0TYP5-DTS0TYP0 ビット			MAX 転送回数	転送タイプ	特殊機能	TI-D
1	000	00	65536	ロング転送	なし	使用しない
		01			(SREP)	使用する
		10			(DREP)	使用する
		11			SG	使用する
1	001	00	65536	ロング加算	なし	使用しない
		01			(SREP)	使用する
		10			(DREP)	使用する
		11			SG	使用する
1	010		—	flag[0]	拡張チェーン	使用しない
	011			flag[1]		
	100			comp[=]		
	101			comp[!=]		
	110			comp[<]		
	111			comp[>]		

**(1) 転送 : TTYP5-TTYP2 が 0000, または 1000**

- TTYP5-TTYP2 が 0000, DTS0IMM が (0) の場合

転送タイプを転送にすると、DTS サイクルはデータ転送となります。DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。チェーン・モードとして 00 (チェーンしない), 01 (転送回数 0 チェーン), 11 (常にチェーン) が指定できます。

特殊機能として、SREP (Source Repeat), DREP (Destination Repeat), SG (Scatter&Gather) を選択できます。

**動作** アドレス SAR から読み出したデータをアドレス DAR へ書き込みます。

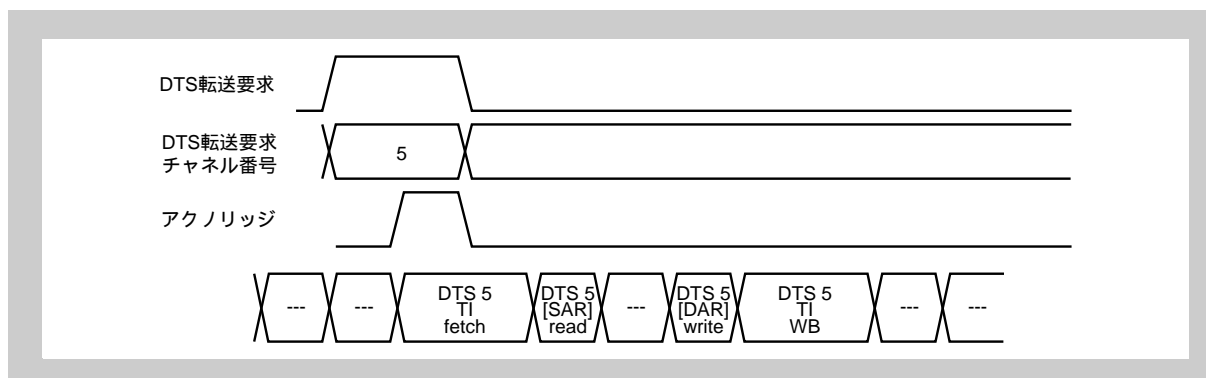


図 6-16 TTYP5-TTYP2 が 0000, DTS0CIR.DTS0IMM が (0) の場合

- TTYP5-TTYP2 が 0000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合、DTS0SAR は IMM となり、DTS0SAR の値をアドレス DTS0DAR へ書き込みます。

DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

チェーン・モードとして 00, 01, 11, 特殊機能として DREP, SG を選択できます。

**動作** SAR のデータをそのままアドレス DAR へ書き込みます。

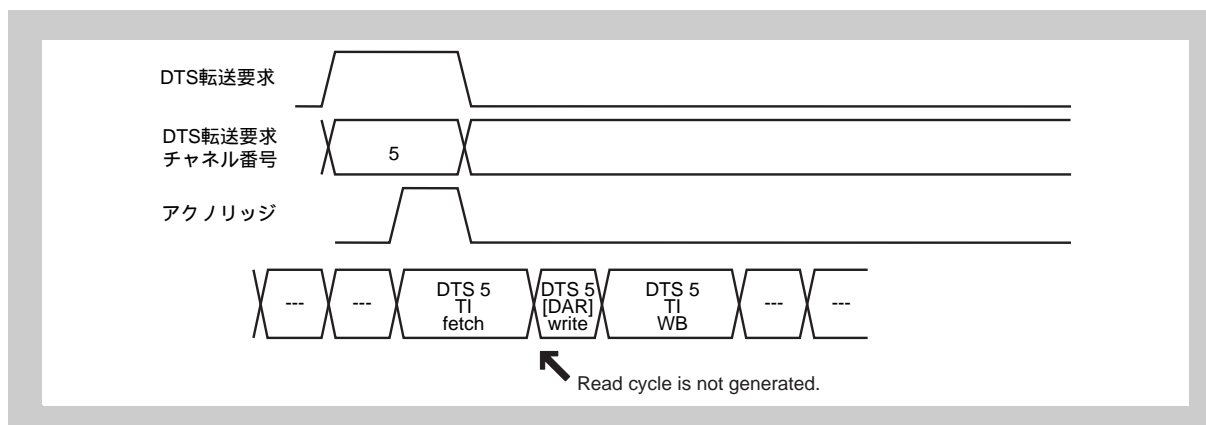


図 6-17 TTYP5-TTYP2 が 0000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- TTYP5-TTYP2 が 1000, DTS0CIR.DTS0IMM が (0) の場合

転送タイプをロング転送にすると、DTS サイクルはデータ転送となります。DTS0TCEA は DTS0LTC となり最大 65535 回の転送回数を指定可能です。DTS0LTC が 0 になると以降の転送要求は受け付けません。

転送を行う場合は、再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。

チェーン・モードとして 00, 01, 11, 特殊機能として SG を選択できます。

**動作** アドレス SAR から読み出したデータをアドレス DAR へ書き込みます。

転送サイクルの図は、[図 6-16 「TTYP5-TTYP2 が 0000, DTS0CIR.DTS0IMM が \(0\) の場合」](#)と同じです。

- TTYP5-TTYP2 が 1000, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合、DTS0SAR は IMM となり、DTS0SAR の値をアドレス DTS0DAR に書き込みます。

DTS0TCEA は DTS0LTC となり、最大 65535 回の転送回数を指定可能です。DTS0LTC が 0 になると、以降の転送要求は受け付けません。転送を行う場合は、再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。

チェーン・モードとして 00, 01, 11, 特殊機能として SG を選択できます。

**動作** SAR のデータをそのままアドレス DAR へ書き込みます。

転送サイクルの図は、[図 6-17 「TTYP5-TTYP2 が 0000, イミディエイト \(DTS0CIR.DTS0IMM が \(1\)\) の場合」](#)と同じです。

**(2) 加算 : TTYP5-TTYP2 が 0001, または 1001**

- TTYP5-TTYP2 が 0001, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを加算にすると、DTS サイクルは累計加算となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

チェーン・モードとして 00, 01, 特殊機能として SREP, DREP, SG を選択できます。

DTS0CIR.DTS0BEN は無視され、常にブロック転送モードとなります。

**動作** アドレス SAR から DTS0STC が (0) になるまで、データを読み出します。読み出したデータは、符号なしデータとして、その都度加算します。DTS0STC が (0) になると、アドレス DAR へ加算結果を書き込みます。

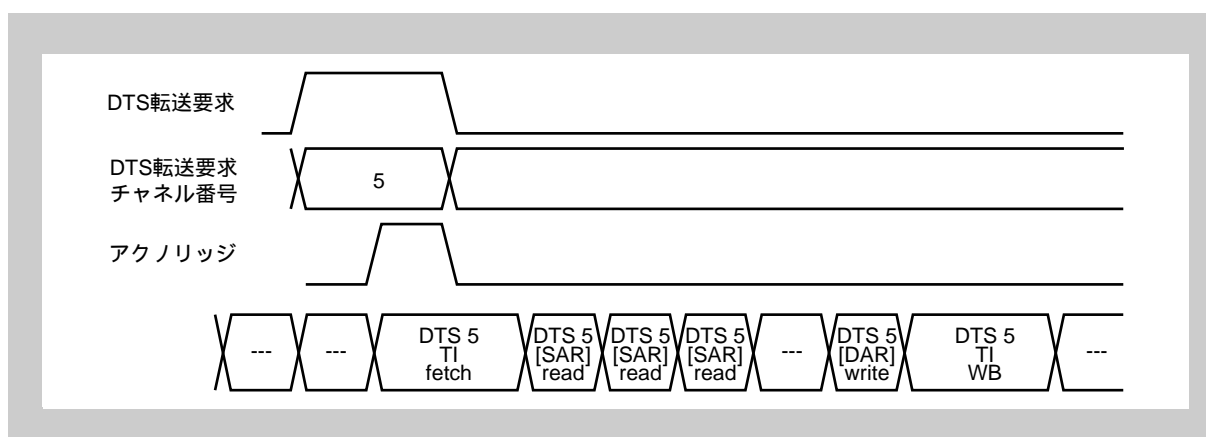


図 6-18 TTYP5-TTYP2 が 0001, DTS0CIR.DTS0IMM が (0) の場合

累積値は、転送データ・サイズによらず 32 ビット・レジスタに格納され、転送回数が (0) になると、DAR へ 32 ビットで書き込みます。32 ビットを越えるデータは切り捨てます。

したがって、転送サイズを 32 ビットにした場合オーバフローやボローが発生すると、正しい演算結果が得られません。転送サイズが 16 ビットや 8 ビットの場合は、最大転送回数である 65535 回を指定しても、オーバフローやボローは発生しません。

- TTYP5-TTYP2 が 0001, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合、DTS0SAR は IMM となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され、DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0CIR.DTS0BEN は無視され、常にブロック転送モードとなります。つまり、DTS0SAR の値を DTS0STC で指定した回数加算し、DTS0STC が 0 になるとアドレス DAR へ加算結果を書き込みます。

チェーン・モードとして 00, 01, 特殊機能として DREP, SG を選択できます。

- TTYP5-TYP2 が 1001, DTS0CIR.DTS0IMM が (0) の場合

転送タイプをロング加算にすると, DTS サイクルは累計加算となります。DTS0TCEA は DTS0LTC となり, 最大 65535 回の転送回数を指定可能です。DTS0STC が 0 になると, 以降の転送要求は受け付けません。

転送を行う場合は, 再度 DTS0LTC (TIA の DTS0TCEA) を設定してください。

チェーン・モードとして 00, 01, 特殊機能として SG を選択できます。

DTS0CIR.DTS0BEN は無視され, 常にブロック転送モードとなります。

- TTYP5-TTYP2 が 1001, イミディエイト (DTS0CIR.DTS0IM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となります。

DTS0TCEA は DTS0LTC となり, 最大 65535 回の転送回数を指定可能です。

DTS0CIR.DTS0BEN は無視され, 常にブロック転送モードとなります。つまり, DTS0SAR の値を DTS0LTC で指定した回数加算し, DTS0STC が 0 になるとアドレス DAR へ加算結果を書き込みます。

チェーン・モードとして 00, 01, 特殊機能として SG を選択できます。

### (3) flag[0] : TTYP5-TTYP2 が 0010, または 1010

- TTYP5-TTYP2 が 0010, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを flag[0] にすると, DTS サイクルはフラグ・チェック [0] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。フラグ・チェック [0] とは, アドレス DAR から読み出したデータの任意のビットが (0) であるか否かを確認する機能です。

ひとつでも (0) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。



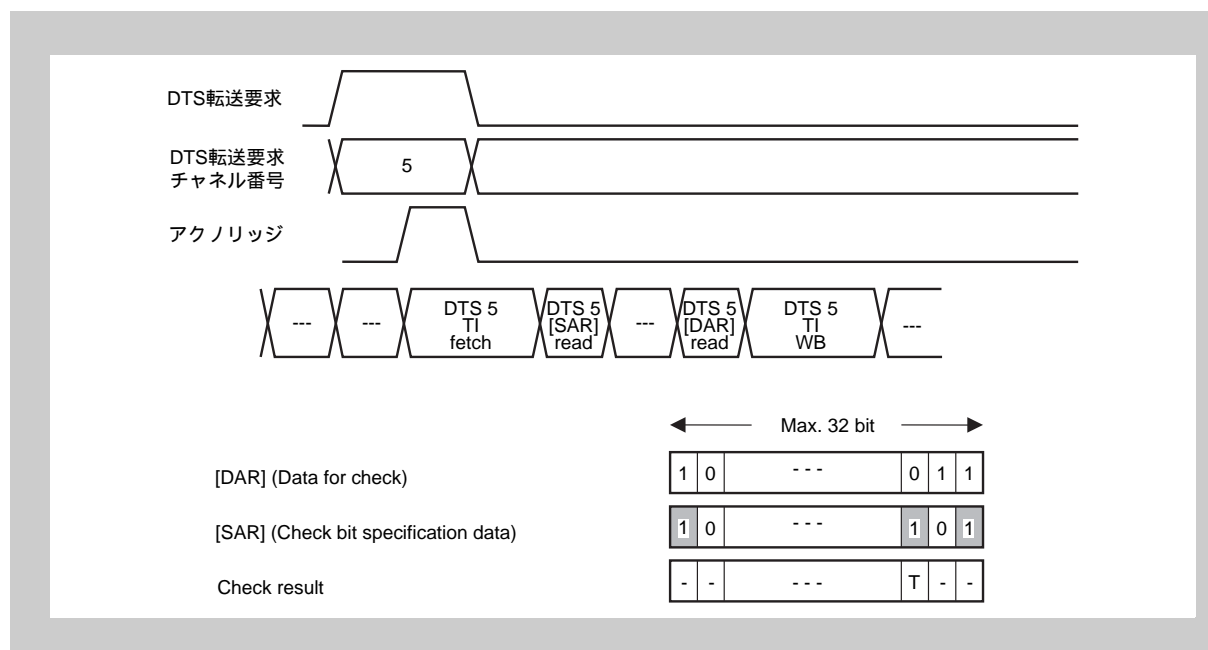


図 6-19 TTYP5-TTYP2 が 0010, DTS0CIR.DTS0IMM が (0) の場合

- TTYP5-TTYP2 が 0010, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。フラグ・チェック [0] とは, アドレス DAR から読み出したデータの任意のビットが (0) であるか否かを確認する機能です。

ひとつでも (0) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。

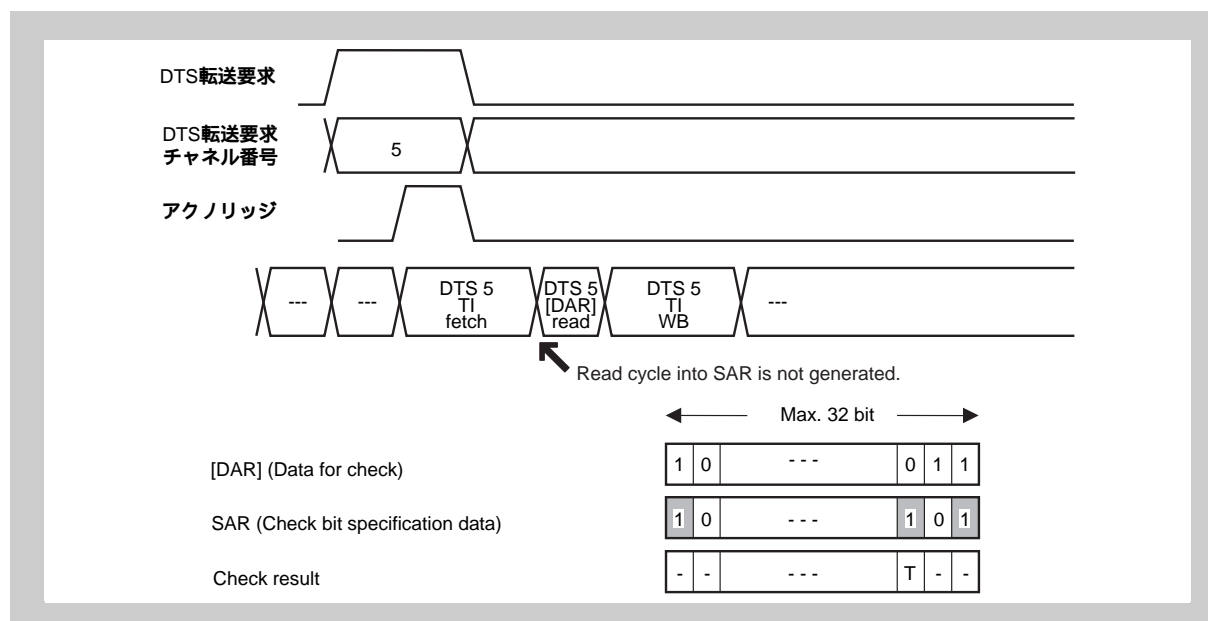


図 6-20 TTYP5-TTYP2 が 0010, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- TTYP5-TTYP2 が 1010, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 flag[0] にすると, DTS サイクルはフラグ・チェック [0] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。必ずチェーンします。

- TTYP5-TTYP2 が 1010, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。必ずチェーンします。

(4) flag[1] : TTYP5-TTYP2 が 0011, または 1011

- TTYP5-TTYP2 が 0011, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを flag[1] にすると, DTS サイクルはフラグ・チェック [1] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。フラグ・チェック [1] とは, アドレス DAR から読み出したデータの任意のビットが (1) であるか否かを確認する機能です。

ひとつでも (1) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。

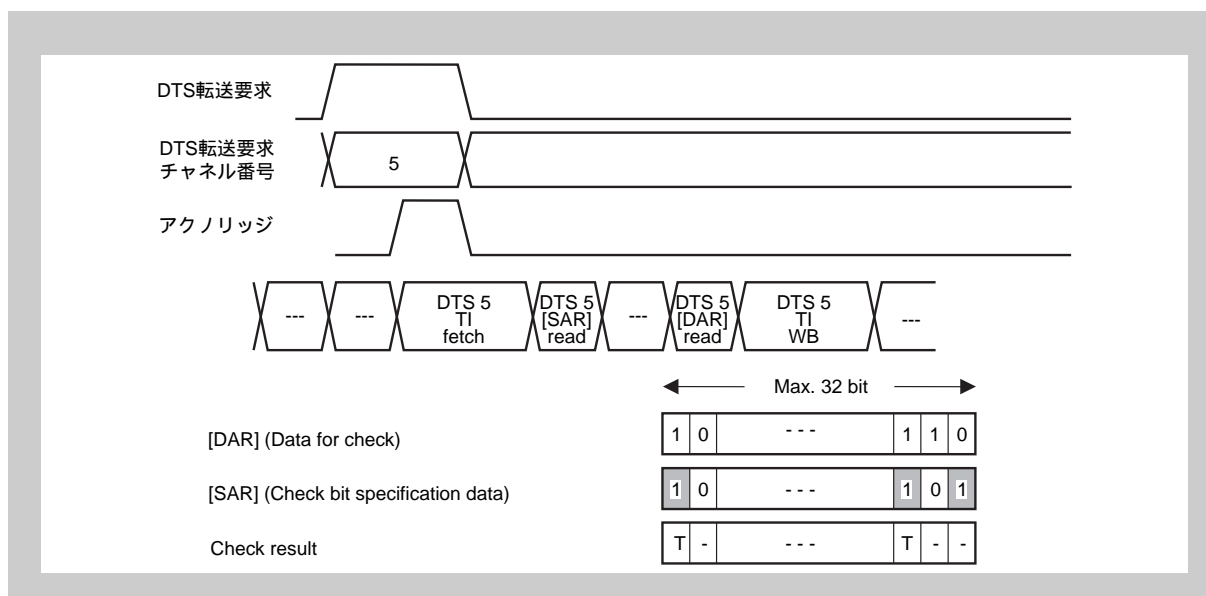


図 6-21 TTYP5-TTYP2 が 0011, DTS0CIR.DTS0IMM が (0) の場合

- DTS0TTYP5-DTS0TTYP2 が 0011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

フラグ・チェック [1] とは, アドレス DAR から読み出したデータの任意のビットが (1) であるか否かを確認する機能です。ひとつでも (1) であれば, チェック結果は真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。

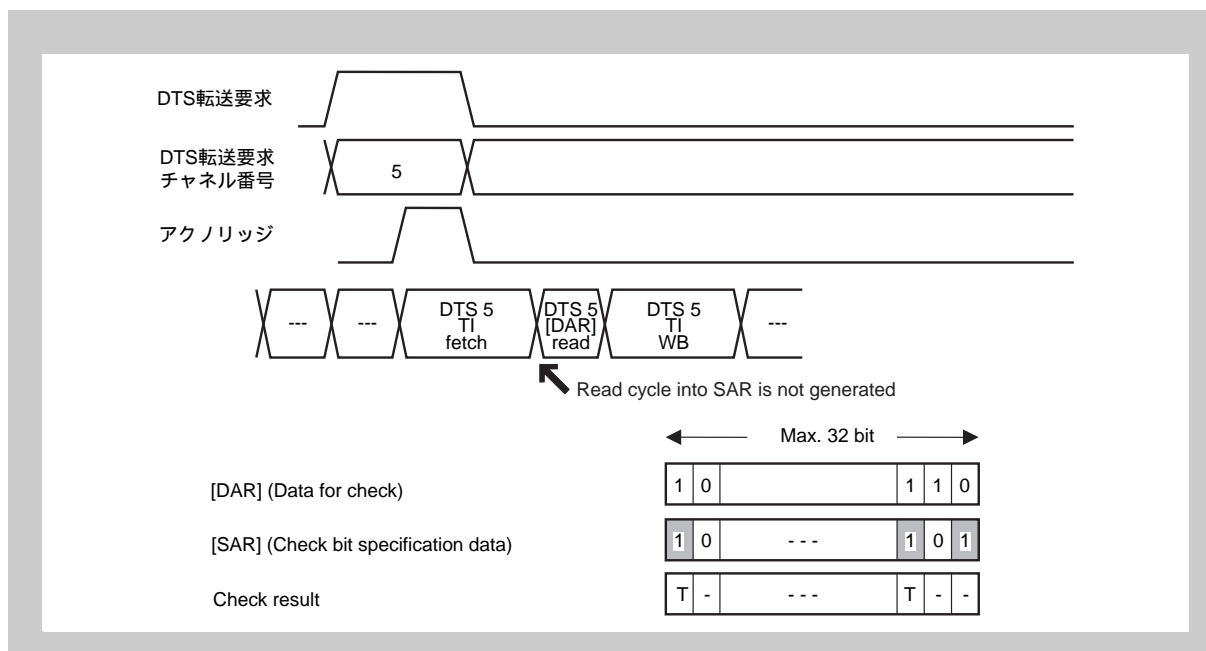


図 6-22 TTYP5-TTYP2 が 0011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- TTYP5-TTYP2 が 1011, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 flag[1] にすると, DTS サイクルはフラグ・チェック [1] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からチェック・ビット指定データを読み出し, 続けてアドレス DAR からチェック対象データを読み出し, フラグ・チェックします。必ずチェーンします。

- TTYP5-TTYP2 が 1011, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身がチェック・ビットとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR からチェック対象データを読み出し, SAR の値そのものをチェック・ビット指定データとしてフラグ・チェックします。必ずチェーンします。

#### (5) comp[=] : TTYP5-TTYP2 が 0100, または 1100

- TTYP5-TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[=] にすると, DTS サイクルは比較 [=] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [=] では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, 両者が同じ値の場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[SAR] == [DAR] であるかを確認します。

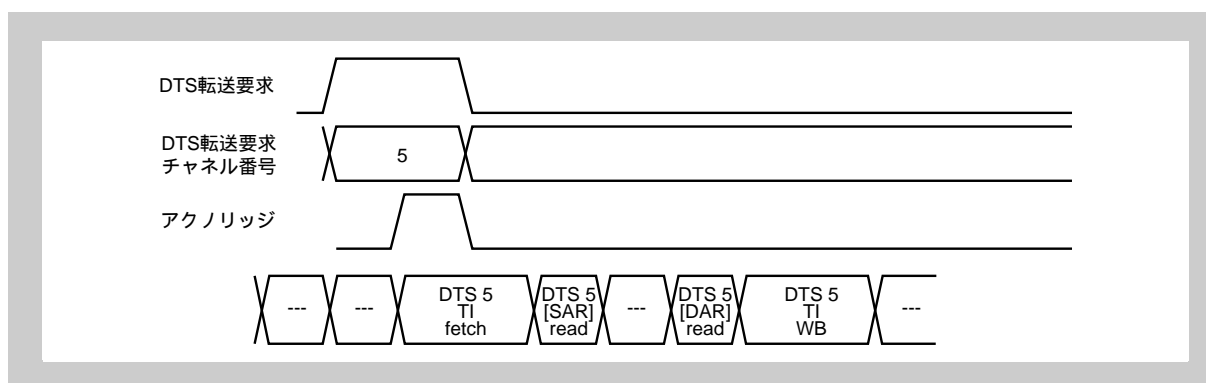


図 6-23 TTYP5-TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合

- TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合  
DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。  
DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。  
DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。  
特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。  
本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** アドレス DAR からデータを読み出し, SAR == [DAR] であることを確認します。

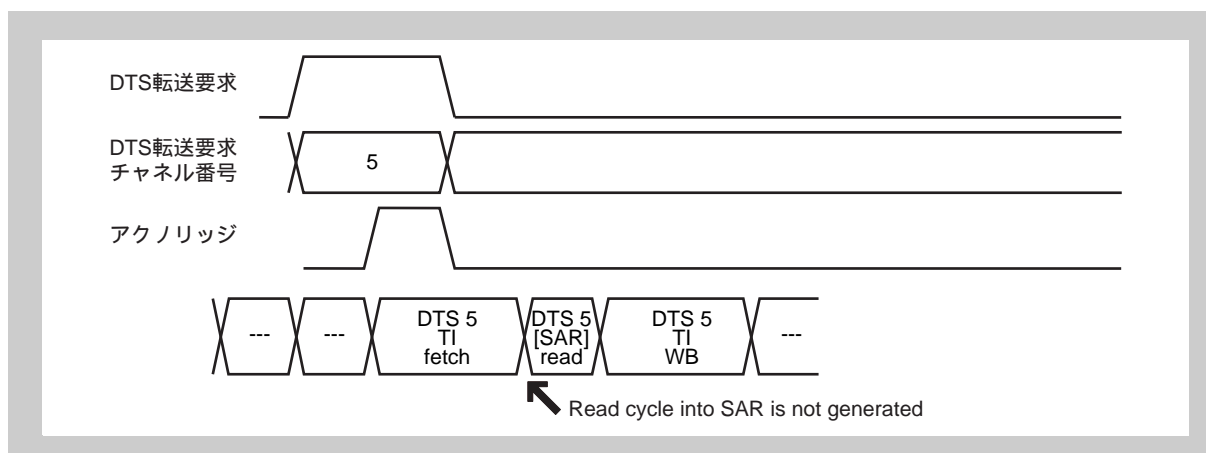


図 6-24 TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

- TTYP5-TTYP2 が 1100, DTS0CIR.DTS0IMM が (0) の場合  
転送タイプを拡張 comp[=] にすると, DTS サイクルは比較 [=] となります。  
DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。  
したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[SAR] == [DAR] であることを確認します。  
必ずチェーンします。

- TTYP5-TTYP2 が 1100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。  
必ずチェーンします。

#### (6) comp[!]= : TTYP5-TTYP2 が 0101, または 1101

- TTYP5-TTYP2 が 0101, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[!]= にすると, DTS サイクルは比較 [!]= となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [!]= では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, 両者が異なる値の場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[SAR] != [DAR] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- TTYP5-TTYP2 が 0101, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** アドレス DAR からデータを読み出し, SAR != [DAR] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- TTYP5-TTYP2 が 1101, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 comp[!=] にすると, DTS サイクルは比較 [!=] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[SAR] != [DAR] であるかを確認します。  
必ずチェーンします。

- TTYP5-TTYP2 が 1101, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。  
必ずチェーンします。



**(7) comp[<] : TTYP5-TTYP2 が 0110, または 1110**

- TTYP5-TTYP2 が 0110, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[<] にすると, DTS サイクルは比較 [<] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [<] では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, SAR から読み出したデータの方が小さい場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[ (符号なし) SAR ] < [ (符号なし) DAR ] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** DAR からデータを読み出します。  
(符号なし) SAR < [ (符号なし) DAR ] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- TTYP5-TTYP2 が 1110, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを拡張 comp[<] にすると, DTS サイクルは比較 [<] となります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[ (符号なし) SAR ] < [ (符号なし) DAR ] であるかを確認します。  
必ずチェーンします。

- TTYP5-TTYP2 が 1110, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合

DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。

DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。

したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。

チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。  
必ずチェーンします。

#### (8) comp[>] : TTYP5-TTYP2 が 0111, または 1111

- TTYP5-TTYP2 が 0111, DTS0CIR.DTS0IMM が (0) の場合

転送タイプを comp[>] にすると, DTS サイクルは比較 [>] となります。

DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。

DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。

特殊機能 (SREP, DREP, SG) とすべてのチェーン・モードを選択できます。

比較 [>] では, アドレス SAR から読み出したデータと, アドレス DAR から読み出したデータを比較し, アドレス DAR から読み出したデータの方が大きい場合, 比較結果が真となります。

本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[ (符号なし) SAR ] > [ (符号なし) DAR ] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, DTS0CIR.DTS0IMM が (0) の場合」と同じです。

- TTYP5-TTYP2 が 0111, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合  
DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。  
DTS0TCEA は DTS0STR と DTS0STC に分割され, DTS0STC により最大 255 回の転送回数を指定可能です。  
DTS0STC が 0 になると DTS0STR の値が DTS0STC にコピーされ再度転送を行うことができます。  
特殊機能 (DREP, SG) とすべてのチェーン・モードを選択できます。  
本チェック結果はチェーンの条件, または割り込み出力に使用できます。

**動作** アドレス DAR からデータを読み出し, (符号なし) SAR > [(符号なし) DAR] であるかを確認します。

転送サイクルは, 「TTYP5-TTYP2 が 0100, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合」と同じです。

- TTYP5-TTYP2 が 1111, DTS0CIR.DTS0IMM が (0) の場合  
転送タイプを拡張 comp[>] にすると, DTS サイクルは比較 [>] となります。  
DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。  
したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。  
チェーン・モードと特殊機能の選択はできません。

**動作** まず, アドレス SAR からデータを読み出し, 続けてアドレス DAR からデータを読み出します。  
[(符号なし) SAR] > [(符号なし) DAR] であるかを確認します。  
必ずチェーンします。

- TTYP5-TTYP2 が 1111, イミディエイト (DTS0CIR.DTS0IMM が (1)) の場合  
DTS0IMM が (1) の場合, DTS0SAR は IMM となり, DTS0SAR 自身が比較データとなります。  
DTS0TCEA は DTS0EA となり, チェック結果が偽の場合のオフセット・アドレス指定レジスタとなります。  
したがって, 転送回数の指定はできません。チェック結果が真の場合は +10H のアドレスにチェーンし, チェック結果が偽の場合は, +DTS0EA のアドレスにチェーンします。  
チェーン・モードと特殊機能の選択はできません。

**動作** アドレス DAR から比較対象データを読み出し, SAR の値そのものと比較します。  
必ずチェーンします。

### 6.11.6 特殊機能

特殊機能は、SREP, DREP, SG をサポートしています。

特殊機能は、DTS0CIR.DTS0TTYP1, DTS0TTYP0 により選択します。

#### (1) SREP (Source address REPeat)

DTS0STC が (0) になるときに、DTS0SAR を最初の値に戻す機能です。TI-D 領域を使用します。

TI-D 領域に、DTS0SAR と同じ値をあらかじめ設定しておきます。

DTS0STC が (0) になるまで DTS サイクルを実行し、最終転送のタイミングで TI-D 領域の値を DTS0SAR に読み出し、ライト・バックを行うことで SREP を実現しています。SREP で DTS0STC が (0) になると必ず TIB のライト・バックを行います (スキップしません)。

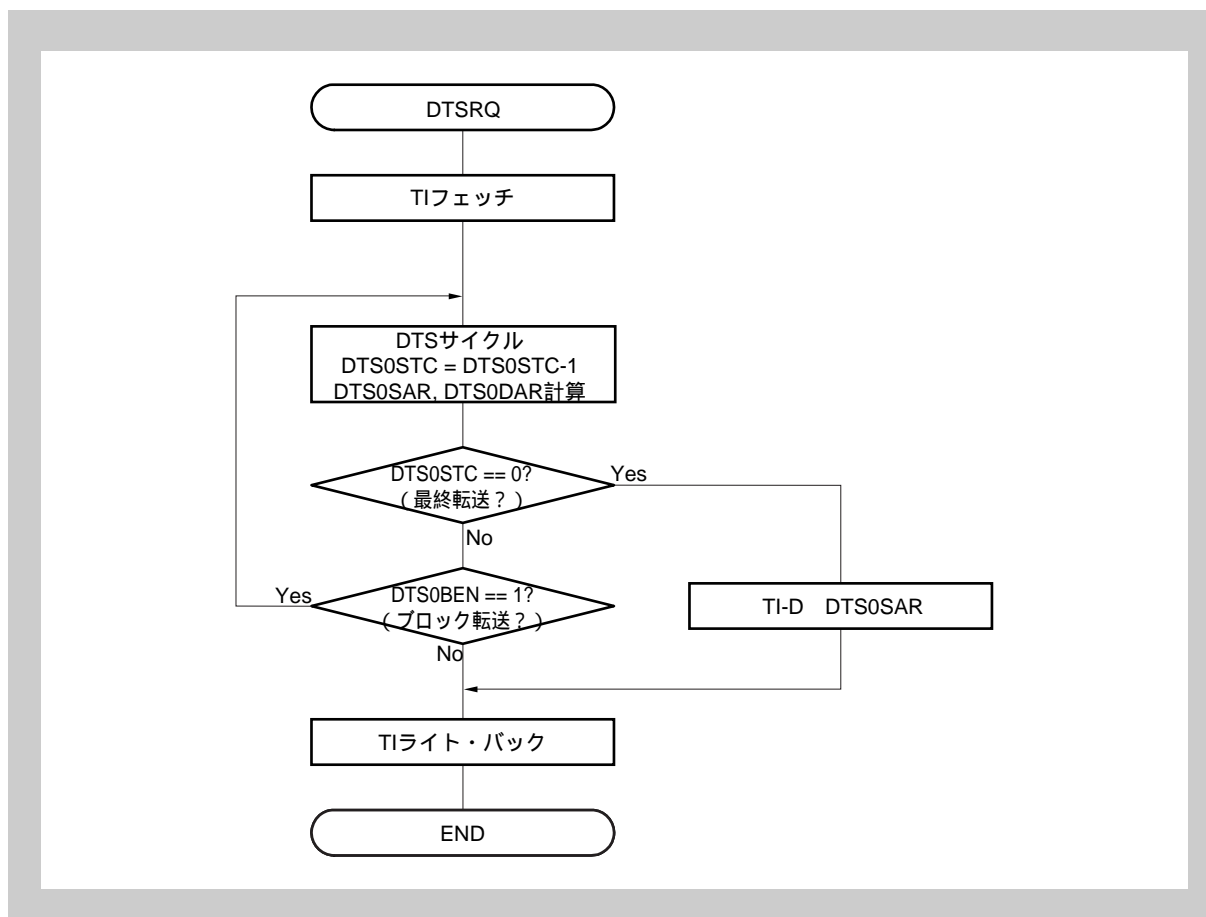


図 6-25 SREP の処理フロー

**(2) DREP (Destination address REPEAT)**

DTS0STC が (0) になるときに、DTS0DAR を最初の値に戻す機能です。TI-D 領域を使用します。

戻す方法は SREP と同じで、TI-D の値を DTS0DAR に書き戻します。

DREP で DTS0STC が (0) になると必ず TIC のライト・バックを行います (スキップしません)。

**備考** SREP, DREP は同時に設定することはできません (TI-D 領域を使用するため)。

**(3) SG (Scatter&Gather)**

ソース・アドレス、およびデスティネーション・アドレスの加減算量を符号付き 16 ビットで指定するモードです。TI-D 領域を使用します。SG 以外では、DTS のアドレス加減算量は、DTS0SCS と DTS0DCS で指定するので -4 ~ +8 までしか指定できませんが、SG モードでは DTS0ESCS と DTS0EDCS を使用するため大幅に加減算量を増やすことができます (TI-D 領域のデータを、DTS 内部レジスタの DTS0ESCS と DTS0EDCS に読み込みます)。

### 6.11.7 転送回数

転送回数は、MAX255回、またはMAX65535回があります。どちらの場合でも、指定した回数分の転送が完了すると、DTSFSLに対し割り込み要求が行われます。

#### (1) MAX255回

最大転送回数は255回ですが、転送回数(DTS0STC)が(0)になると転送回数を復帰することができるため、事実上無限回の転送に対応します。

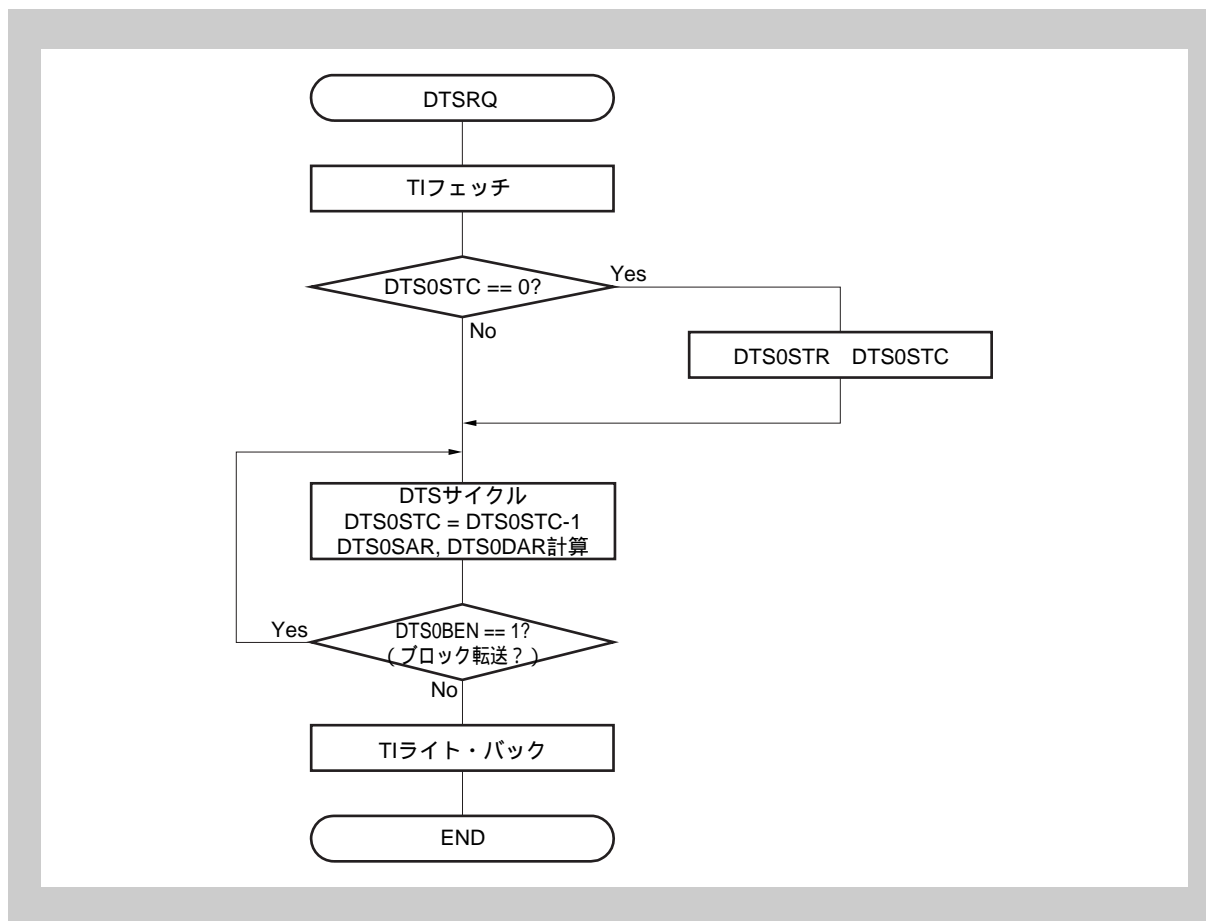


図 6-26 転送回数処理フロー

#### (2) MAX65535回

DTS0TCEAを16ビットのカウンタとして使用することで65535回の転送回数を指定可能になります。

### 6.11.8 チェーン機能

DTSは転送を数珠繋ぎにするチェーン機能を搭載しています。

チェーン機能は、DTS0CIR.DTS0CM1, DTS0CM0で条件を選択することができます。また、DTS0CIR.DTS0TYP4-DTS0TYP0により拡張チェーン機能を選択することもできます。

特殊 flag[0], 特殊 flag[1], 特殊 comp[=, !=, <, >] を選択した場合は、DTS0CM1, DTS0CM0 の設定は無視します。チェーン機能は、TI フェッチ→DTS サイクル→TI ライト・バックのあと、続けてTIのフェッチを行うことで数珠繋ぎを行います。この続けて行うTIのフェッチ・アドレスは、TI-Cまでしか使用しない場合はTI-C + 4, TI-Dまで使用する場合はTI-D + 4のアドレスとなります（ローカルRAM上の連続したアドレス）。

表 6-53 チェーン機能一覧

転送モード	特殊モード	DTS0CIR. DTS0CM1,DTS0CM0 の設定	動作
転送	—	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC (65535 の場合は DTS0LTC) が 0 のときチェーンします。
		10 (条件真)	チェーンしません。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
加算	—	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC (65535 の場合は DTS0LTC) が 0 のときチェーンします。
		10 (条件真)	チェーンしません。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
Flag	なし SREP DREP	00 (チェーンしない)	チェーンしません。
		01 (最終転送)	DTS0STC が 0 のときチェーンします。
		10 (条件真)	条件が真のときだけチェーンします。偽の場合割り込み発生します。
		11 (常にチェーン)	DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
	拡張 チェーン	無視	必ずチェーンします。条件が真のときは通常のチェーンと同じ+10 <sub>H</sub> , 偽のときは±DTS0TCEAにチェーンします。
	Comp	なし SREP DREP	00 (チェーンしない)
01 (最終転送)			DTS0STC が 0 のときチェーンします。
10 (条件真)			条件が真のときだけチェーンします。偽の場合割り込み発生します。
11 (常にチェーン)			DTS サイクル後チェーンします。ブロック転送時は 01 と同じです。
拡張 チェーン		無視	必ずチェーンします。条件が真のときは通常のチェーンと同じ+10 <sub>H</sub> , 偽のときは±DTS0TCEAにチェーンします。

### 6.11.9 TI ホールド機能

DTSFSL の DTSHENm (m = 0-3) により、TI ホールド機能を ON (有効) にすることができます。

#### (1) TI ホールド ON 時のシングル転送

シングル転送モードで TI ホールド機能を ON すると、1 回の DTS 要求につき、TI フェッチ→DTS サイクルを実行したあと、待機状態となります (TI は TI ホールド状態)。このあと、別のチャンネルの DTS 要求が発生すると別チャンネルの TI フェッチ→DTS サイクル→TI ライト・バックを実行します。TI ホールドしたチャンネルと同じ要求が発生した場合は、BT (ベース・テーブル) のリードまでは行いますが、TI は既に TI ホールド済みですので、TI のフェッチは行わずに DTS サイクルが発生します。

この動作を、DTS0STC (65535 モードのときは DTS0LTC) が (0) になるまで繰り返します。

DTS0STC (または DTS0LTC) が (0) になると、TI ホールド OFF となり、TI をライト・バックします。

バスのロックは行いませんので、CPU サイクルが割り込む場合があります。

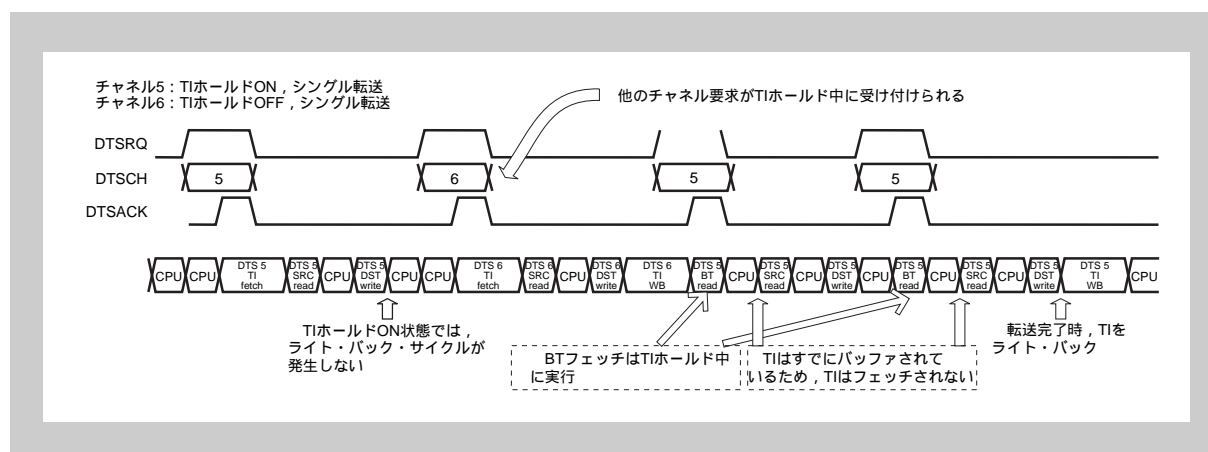


図 6-27 TI ホールド機能

#### (2) TI ホールド・バッファ数

TI ホールド・バッファは 4 組搭載しています。ホールド・バッファへのホールド指示は、DTSFSL の DTSHENm (m = 3-0) レジスタで指定します。



### 6.11.10 割り込み出力機能

DTSは、DTSFSLを介してCPUに割り込みを出力することができます。DTSはDTSFSLに対し、割り込み元信号を出力し、これをDTSFSLがデコードしCPUへの割り込み信号とします。

割り込み元信号(DTSINTRQ)の有効条件となるのは転送回数と、flagチェック、compの結果です。

まず、転送回数については、転送回数が残り1回(最終転送)の場合に、転送完了と同じタイミングでDTSINTRQがアクティブとなります。

次に、flagとcompについては、その判定結果が偽であった場合に、転送完了と同じタイミングでDTSINTRQがアクティブとなります。

割り込み元信号(DTSINTRQ)は、DTS0CIR.DTS0DISIビットでマスクすることができます。

DTS0DISIビットが“1”である場合、DTSINTRQはアクティブになりません。

### 6.11.11 ブロック転送時と割り込み、チェーンの関係

ブロック転送の場合、割り込みやチェーンの判定は、DTS0TCEAで指定した回数の転送が終了した時点で一度だけ行います。

割り込みについては、指定した回数分終了しているので(Counterが0なので)、必ず出力されます(DTS0CIR.DTS0DISIでのマスクは可能です)。

チェーンについては、DTS0CIR.DTS0CM1、DTS0CM0が01(Counterが0でチェーン)、11(常にチェーン)の場合、必ずチェーンします。10(条件真でチェーン)の場合、flagチェックやcompの結果がすべて真であった場合のみチェーンします(1回でも偽であれば、チェーンしません)。

flagチェックやcompの結果が一度でも偽であった場合、DTS0CIR.DTS0CFが1になります。

### 6.11.12 TI ライト・バック・スキップ機能

DTS はライト・バックする必要がないTIのライト・バックをスキップします。ライト・バックがスキップされる条件は次のとおりとなります。

表 6-54 ライト・バック・スキップ条件一覧

	DTS0CIR				転送回数	SCS	SAM
	DS	IMM	タイプ	特殊			
TIB のライト・バック・スキップ条件一覧	—	—	—	SG	—	—	0
	—	0	加算以外	SREP	残りあり	0	—
	—	0	—	DREP / 特殊機能なし	—	0	—
	32 ビット	1	加算以外	SREP	残りあり	—	—
	8/16 ビット	1	加算以外	SREP	残りあり	0	—
	32 ビット	1	—	DREP / 特殊機能なし	—	—	—
	8/16 ビット	1	—	DREP / 特殊機能なし	—	0	—

	DTS0CIR		転送回数	DCS	DAM
	タイプ	特殊			
TIC のライト・バック・スキップ条件一覧	—	SG	—	—	0
	—	SREP	—	0	—
	加算以外	DREP	残りあり	0	—
	—	特殊機能なし	—	0	—

### 6.11.13 DTS チャネルの優先順位制御

優先順位機能は DTSFSL で 4 レベル設定可能です。

### 6.11.14 DTS 転送要求の有効条件

DTSFSL の DTSEN000-DTSEN127.DTSEN ビットを (0) にしたチャンネルは、DTS への転送要求は行いませんが、DTS 転送要因 [255:128] のサンプリングは行います。サンプリングされた状態で DTSEN ビットを“1”にすると、DTS 転送要求が発生します。

DTSEN ビットが“1”の場合は、DTS が転送中、または ELBERR レスポンスにより停止中、またはユーザによる停止中に発生した INTIN は、DTS が受け付け可能となるまで、DTSFSL に保留されます。

表 6-55 DTS 転送要求の有効条件一覧

DTS		DTSFSL	DTS の状態	DTS 転送要因 [255:128] による転送要求
DTS0TSR.bit1	DTS0TSR.bit0	DTSEN		
x	x	0	—	無効 (保留)
0	0	1	受け付け可	有効 (転送中に次の要求が発生した場合は保留)
x	1	1	受け付け不可	DTSFSL に保留
1	x	1	受け付け不可	DTSFSL に保留

### 6.11.15 DMA 転送の中断／再開

表 6-56 DMA 転送の中断 / 再開タイミング

転送モード	転送回数	中断条件
非 TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	
非 TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断

**(1) ハードウェア (NMI) による全チャンネルの DTS 転送中断／再開**

対応しません。

**(2) ソフトウェアによる全チャンネルの DTS 転送中断／再開**

DTS 転送要求コントロール・レジスタ (DTS0TRC) の中断要求トリガ・ビット (DTS0UST) をセット (1), 次回以降の DTS 転送を中断します。DTS サイクル中の場合, 上表の中断条件で DTS 転送を中断します。

再開するには DTS 転送要求コントロール・レジスタ (DTS0TRC) の DTS0UCL ビットをセット (1) し, DTS0STPU をクリア (0) してください。その時点で DTS 転送が要求されている場合, 転送を再開します。

また, (記述追加予定)

**(3) DTS 転送許可ビット (DTSEN) による DTS 転送中断／再開**

DTSFSL 側の機能です。

### 6.11.16 エラー・レスポンス対応

#### (1) エラー・レスポンスによる DTS 転送中断

DMAT が DMA データ・バスからエラー・レスポンスを受信すると、DTS サイクル完了信号 (CYCEND) と同時に DMA データ・バス転送エラー検出信号 (ELBERR) をアサートします。DTS は、ELBERR のハイ・レベルを検出すると DTS 転送状態レジスタ (DTS0TSR) の DTS0STPE ビットをセット "1" して、即座に転送を中断し、次回以降の DTS 転送要求も受け付けません。同時に、DTS 転送エラー割り込み信号 (DTSERR) を 1 クロック間アサートします。この中断は、エラー・レスポンスを受信すると即座に行われ、転送モードや TI ホールド・非 TI ホールド状態に依存しません。

ユーザは DTS0STPE がセットされていることを確認したら、DTS アクティブ・チャンネル・レジスタを読み出すことにより、どのチャンネルでエラーが発生したかを知ることができます。

- 備考**
1. TI ホールド ON のチャンネルがエラー・レスポンスを受けた場合、TI のライト・バックは行われません。
  2. エラー・レスポンスが (TI フェッチなどの) どのサイクルで発生したかを特定することはできません。

#### (2) エラー・レスポンスによる転送中断の解除の方法

エラー・レスポンスにより中断した場合は、DTS アクティブ・チャンネル・レジスタ (DTS0ACR) を確認し、DTS 転送中止制御レジスタ (DTS0ICR) の DTS0TIT ビットと DTS0ICH ビットを使用して要因となったチャンネルの TI クリアを実行したあと、DTS 転送要求制御レジスタ (DTS0TRC) の DTS0ECL ビットをセット "1" し、DTS 転送状態レジスタ (DTS0TSR) の DTS0STPE をクリア "0" してください。

## 6.11.17 スタンバイ・サポート

表 6-57 スタンバイ・タイミング

転送モード	転送回数	中断条件
非 TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	
非 TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・シングル転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断
TI ホールド・ブロック転送	最終転送	TI をライト・バック後中断
	残りあり	DTS サイクル後中断

システム・クロック (hpclk) の立ち上がりエッジでスタンバイ要求信号 (STBRQ) がハイ・レベルでサンプリングされると、これがスタンバイ要求と判断され、DTS0TSR のビット 0 (DTS0STPU) が“1”に設定されて DTS 転送が中断されます。次に、スタンバイ ACK 信号 (STBAK) がアサートされ、スタンバイ・セットアップの完了がレポートされます。DTS サイクルでこれが発生すると、DTS 転送は、表 6-57 「スタンバイ・タイミング」の条件に従って中断します。

ただし、スタンバイ・モードの最中であっても、それ以降の DTS 転送は実行されず、特殊な動作 (クロックの停止など) も起こりません。スタンバイ・モードをキャンセルするときは、STBRQ をネゲートします。

hpclk の立ち上がりエッジでスタンバイ信号 (STBRQ) がロー・レベルでサンプリングされると、これがスタンバイ・キャンセル要求と判断されるため、STBAK がネゲートされ、スタンバイ・モードがキャンセルされます。

スタンバイをキャンセルした後 DTS 転送をイネーブルするには、DTS0STPU をクリアして“0”にします。

## 6.12 DTSFSL 機能

DTSFSL（DTS Factor SeLector）機能とは、割り込み信号の中から DTS 起動要因を選択する機能です。DTS 起動要因には、4 レベルのプライオリティを設定できます。また、DTS として使用しない要因は、DTS 転送要因スルー出力（IRQ[127:0]）を通して割り込みコントローラへ入力することができます。

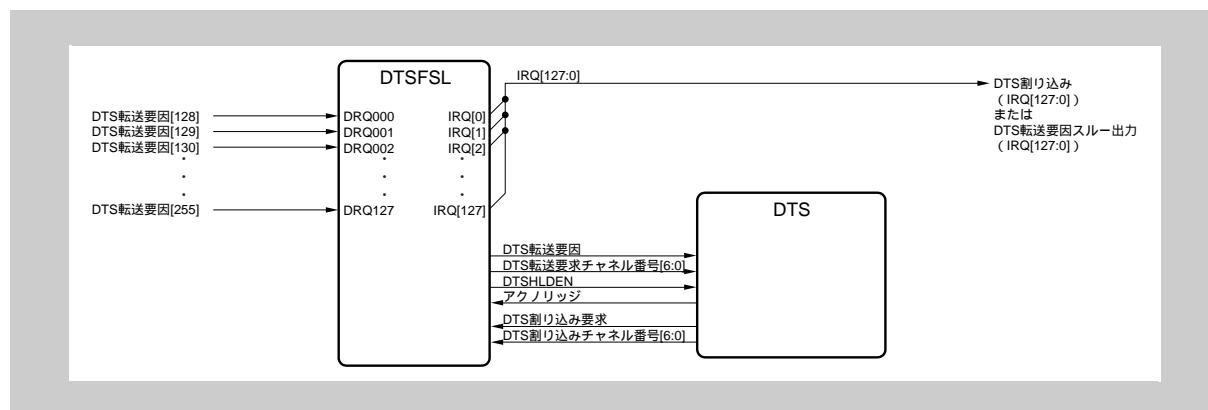


図 6-28 DTSFSL と DTS の接続

### 6.12.1 特徴

DTS 転送要因として、128 要因の割り当てが可能です。

128 要因それぞれに、4 レベルの優先順位を設定することが可能です。

DTS からの割り込み要求元を元に、各チャンネルに対応する DTS 割り込み（IRQ(127:0)）を通して、CPU へ割り込みを出力します（兼用出力）。

**S/W DTS 要求** また DTS 要求は S/W により DTSEn.DRQSET をセット“1”することにより設定できます。

**備考** DTS からの割り込み要求元の種類は「全転送回数の完了」, 「flag チェック結果が偽」, 「comp（比較）結果が偽」があります。

DTS として使用しない要因は、DTS 転送要因スルー出力（IRQ[127:0]）を通して割り込みコントローラへ入力します（兼用出力）。

## 6.13 DTSFSL 制御レジスタ

### 6.13.1 DTSEn : DTS 転送許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFFF 7D00<sub>H</sub> + 2 × n

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
DRQ	DRQSET	DRQCLR	0	0	DTSEN	DTSPR1	DTSPR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-58 DTSFSL レジスタの内容

ビット位置	ビット名	意味
7	DRQ	DTS への転送要求保持の有無を示します。リード・オンリー・ビットです。 書き込みは無視します。 0 : DTS 転送要求なし 1 : DTS 転送要求あり (待ち状態) セット (1) 条件 : DRQn の立ち上がりエッジを検出した。 クリア (0) 条件 : DRQCLR ビットへの "1" 書き込み。または DTS に転送要求が受け付けられた。
6	DRQSET	DRQSET ビットに "1" を書き込むと、DRQ ビットがセット "1" されます。 "0" の書き込みは無視します。
5	DRQCLR	DRQCLR ビットに "1" を書き込むと、DRQ ビットがクリアされます。 "0" の書き込みは無視します。
2	DTSEN	DRQn の DTS 転送要求許可ビットです。 0 : DRQn を DTS 転送要求としない (DTS 要求禁止) 1 : DRQn を DTS 転送要求とする (DTS 要求許可)
1 0	DTSPR1 DTSPR0	優先順位指定ビットです。00 が最高優先順位、11 が最低優先順位です。



### 6.13.2 DTSHENm : DTS ホールド許可レジスタ (m = 0-3)

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** DTSHEN0: FFFF7E00<sub>H</sub>, DTSHEN1: FFFF7E02<sub>H</sub>, DTSHEN2: FFFF7E04<sub>H</sub>,  
DTSHEN3: FFFF7E06<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
HEN	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	dtsch6						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6-59 DTSHENm レジスタの内容

ビット位置	ビット名	意味
15	HEN	DTS のホールド許可レジスタの動作許可 1 : ホールド許可レジスタ使用許可 0 : ホールド許可レジスタ使用禁止
6-0	dtsch6- dtsch0	ホールド対象とするチャンネルを選択します。 HEN が "1" の場合のみ、dtsch6-dtsch0 への設定が有効となります。 設定値は、次の表のとおりです。

表 6-60 dtsch6-dtsch0 ビットの設定により選択されるホールド対象チャネル一覧

dtsch[6-0] ビット	ホールド対象 チャネル	dtsch[6-0] ビット	ホールド対象 チャネル	dtsch[6-0] ビット	ホールド対象 チャネル	dtsch[6-0] ビット	ホールド対象 チャネル
000_0000	CH000	010_0000	CH032	100_0000	CH064	110_0000	CH096
000_0001	CH001	010_0001	CH033	100_0001	CH065	110_0001	CH097
000_0010	CH002	010_0010	CH034	100_0010	CH066	110_0010	CH098
000_0011	CH003	010_0011	CH035	100_0011	CH067	110_0011	CH099
000_0100	CH004	010_0100	CH036	100_0100	CH068	110_0100	CH100
000_0101	CH005	010_0101	CH037	100_0101	CH069	110_0101	CH101
000_0110	CH006	010_0110	CH038	100_0110	CH070	110_0110	CH102
000_0111	CH007	010_0111	CH039	100_0111	CH071	110_0111	CH103
000_1000	CH008	010_1000	CH040	100_1000	CH072	110_1000	CH104
000_1001	CH009	010_1001	CH041	100_1001	CH073	110_1001	CH105
000_1010	CH010	010_1010	CH042	100_1010	CH074	110_1010	CH106
000_1011	CH011	010_1011	CH043	100_1011	CH075	110_1011	CH107
000_1100	CH012	010_1100	CH044	100_1100	CH076	110_1100	CH108
000_1101	CH013	010_1101	CH045	100_1101	CH077	110_1101	CH109
000_1110	CH014	010_1110	CH046	100_1110	CH078	110_1110	CH110
000_1111	CH015	010_1111	CH047	100_1111	CH079	110_1111	CH111
001_0000	CH016	011_0000	CH048	101_0000	CH080	111_0000	CH112
001_0001	CH017	011_0001	CH049	101_0001	CH081	111_0001	CH113
001_0010	CH018	011_0010	CH050	101_0010	CH082	111_0010	CH114
001_0011	CH019	011_0011	CH051	101_0011	CH083	111_0011	CH115
001_0100	CH020	011_0100	CH052	101_0100	CH084	111_0100	CH116
001_0101	CH021	011_0101	CH053	101_0101	CH085	111_0101	CH117
001_0110	CH022	011_0110	CH054	101_0110	CH086	111_0110	CH118
001_0111	CH023	011_0111	CH055	101_0111	CH087	111_0111	CH119
001_1000	CH024	011_1000	CH056	101_1000	CH088	111_1000	CH120
001_1001	CH025	011_1001	CH057	101_1001	CH089	111_1001	CH121
001_1010	CH026	011_1010	CH058	101_1010	CH090	111_1010	CH122
001_1011	CH027	011_1011	CH059	101_1011	CH091	111_1011	CH123
001_1100	CH028	011_1100	CH060	101_1100	CH092	111_1100	CH124
001_1101	CH029	011_1101	CH061	101_1101	CH093	111_1101	CH125
001_1110	CH030	011_1110	CH062	101_1110	CH094	111_1110	CH126
001_1111	CH031	011_1111	CH063	101_1111	CH095	111_1111	CH127

## 第7章 フラッシュ・メモリ

**フラッシュ・メモリのタイプ** V850E2/Fx4-H マイクロコントローラは、“UX6LF”タイプのフラッシュ・メモリを備えています。「セルフ・プログラミング」等、別のドキュメントの“UX6LF”フラッシュ・メモリを参照してください。

以下の V850E2/Fx4-H デバイスは、次のような内蔵フラッシュ・メモリを備えています。

シリーズ名	製品名	コード・フラッシュ	データ・フラッシュ
FK4-H-2M	μPD70F3561	2 MB	64 KB
FL4-H-2M	μPD70F3564	2 MB	64 KB

コード・フラッシュ・メモリは、V850E2 CPU コアの専用命令フェッチ・バスに接続し、プログラム・コードと定数データの不揮発性ストレージとして使用します。

データ・フラッシュ・メモリには、メモリ・インタフェース・バスを介してアクセスでき、通常プログラム動作時に変更される不揮発性のユーザ・データが保存出来ます。

フラッシュ・メモリは、一般に次の開発環境と用途で使用されます。

- ターゲット・システムにマイクロコントローラを半田付けしたあとでソフトウェアを変更する
- 少量多品種生産時にソフトウェアを区別する
- 量産開始時にデータを調整する
- 在庫管理を容易にする
- 出荷後にソフトウェアを更新する

フラッシュ・メモリは、次の方法でライトできます。

- 専用フラッシュ・メモリ・プログラマをターゲット・システムに接続（シリアル・プログラミング）
- マイクロコントローラのアプリケーション・ソフトウェアの使用（セルフ・プログラミング）

さらに、さまざまな設定を保存するためのフラッシュ・メモリ・アドレス空間（フラッシュ・マスク・オプション）が提供されます。これらのオプションを使用して、たとえばウォッチドッグ・タイマの起動設定を行うことができます。フラッシュ・マスク・オプションは、フラッシュ・プログラミングでのみ書き換えできます。通常の CPU アドレス空間からはアクセスできません。

## 7.1 コード・フラッシュ・メモリ概要

### 7.1.1 コード・フラッシュ・メモリの特徴

- 全ブロックまたは複数ブロックの一括消去またはシングル・ブロック消去
- 1つの電源で消去/ライト
- さまざまなプログラミング・モード：
  - 専用フラッシュ・メモリ・プログラマと専用シリアル・インタフェースを使用したフラッシュ・メモリ・プログラマによるシリアル・プログラミング
  - セルフ・プログラミングによるフラッシュ・メモリ・プログラミング

### 7.1.2 コード・フラッシュ・メモリ・マッピング

マイクロコントローラの内蔵コード・フラッシュ・メモリ領域は、4 KB のブロックに分割されており、ブロック単位のプログラミング/消去が可能です。コード・フラッシュ・メモリを備えるすべての V850E2/Fx4-H デバイスのブロック構造とアドレスの割り当てを次の表に示します。

表 7-1 V850E2/Fx4-H デバイスのコード・フラッシュ・メモリ構成

ブロック 511 (4 KB)	001F FFFF <sub>H</sub>	アドレス
	001F F000 <sub>H</sub>	
...	...	
ブロック 1 (4 KB)	0000 1FFF <sub>H</sub>	
	0000 1000 <sub>H</sub>	
ブロック 0 (4 KB)	0000 0FFF <sub>H</sub>	
	0000 0000 <sub>H</sub>	
2 MB	コード・フラッシュのサイズ	
	ブート・スワップ・クラスタのサイズ	
<ul style="list-style-type: none"> <li>• FK4-H-2M: μPD70F3561</li> <li>• FL4-H-2M: μPD70F3564</li> </ul>	製品	

### 7.1.3 データ・フラッシュ・メモリ・マッピング

データ・フラッシュ・メモリは、2 KB のブロック・サイズで編成されています。

データ・フラッシュ・メモリを備えるすべての V850E2/Fx4-H デバイスのブロック構造とアドレス割り当てを次の表に示します。

表 7-2 V850E2/Fx4-H データ・フラッシュ・メモリ

製品	データ・フラッシュのサイズ	2 KB ブロックの数	アドレス範囲
FK4-H-2M: $\mu$ PD70F3561	64 KB	32	0200 0000 <sub>H</sub> - 0200 FFFF <sub>H</sub>
FL4-H-2M: $\mu$ PD70F3564			

## 7.2 コード・フラッシュ・メモリの機能概要

- シリアル・プログラミング** マイクロコントローラがすでにターゲット・システムまたはデバイスに実装されている場合、マイクロコントローラの内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマの書き換え機能を使用して書き換えることができます。
- セルフ・プログラミング** ユーザ・プログラムによるフラッシュ・メモリの書き換えを可能にするセルフ・プログラミング機能は、プログラミング機器を追加する必要がないため、生産および出荷後のプログラム更新に最適です。セルフ・プログラミング時にも、たとえばほかのデバイスとの通信を維持するために、一部のソフトウェア処理や割り込み処理が可能です。
- セルフ・プログラミング・モードは通常動作モードから開始できますが、外部フラッシュ・メモリ・プログラマ・モードはシステム・リセット解除直後に開始されます。通常動作モードまたはシリアル・フラッシュ・プログラミング・モードに入る方法の詳細は、「フラッシュ・メモリ・プログラミング制御」を参照してください。
- 拡張領域** フラッシュ・メモリには、セキュリティや保護機能の設定、モジュールの初期設定を格納する拡張領域があります。
- ブート・スワップ** ブート・スワップ機能により、フラッシュ・メモリの安全なプログラム変更が可能になり、何らかの原因（たとえばパワー・フェイルの状態）でプログラム変更が失敗した際には、動作可能なソフトウェア・バージョンを維持するのに使用します。ブート・スワップの詳細は、「安全なセルフ・プログラミング（ブート・クラスタ・スワップ）」を参照してください。
- 保護** フラッシュ・メモリ・プログラミング時に、一連の保護フラグを指定し、リード、書き換え、消去の保護を含むさまざまな方法でフラッシュ・メモリへのアクセスを禁止することができます。これによって、コード・フラッシュ・メモリは権限のないユーザによるフラッシュ・メモリの内容のリードや書き換えから保護されます。データ保護の詳細は、「コード保護とセキュリティ」を参照してください。

表 7-3 フラッシュ・メモリのライト方法

環境	インタフェース	概要	動作モード
シリアル・プログラミング	専用シリアル・インタフェース (FLUR, FLCS)	フラッシュ・メモリ・プログラミングは、外部フラッシュ・メモリ・プログラマによって実行されます。デバイスはターゲット・システムに搭載されています。デバイスとフラッシュ・メモリ・プログラマ間の通信には、専用シリアル・インタフェースを使用します。詳細は「フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング」を参照してください。	フラッシュ・メモリ・プログラミング・モード
セルフ・プログラミング	セルフ・プログラミング・ライブラリ	フラッシュ・メモリは、シリアル・プログラミングによってあらかじめフラッシュ・メモリにライトされたユーザ・プログラムを実行することによって書き換えることができます。セルフ・プログラミング・ライブラリは、必要なすべての機能を提供し、アプリケーション・ソフトウェアでそれらの機能呼び出します。詳細は「コード・フラッシュ・セルフ・プログラミング」を参照してください。	セルフ・プログラミング・モード

表 7-4 「フラッシュ・メモリを変更するための基本機能」に、フラッシュ・メモリの内容を変更するための機能の概要を示します。

表 7-4 フラッシュ・メモリを変更するための基本機能

機能	機能概要	サポート (√: サポートあり, ×: サポートなし)	
		シリアル・ プログラミング	セルフ・ プログラミング
ブロック消去	指定されたメモリ・ブロックの内容が消去されます。	√	√
チップ消去 <sup>a</sup>	フラッシュ・メモリ全体の内容がすべて一度に消去されます。拡張領域（ブート・クラスタ保護フラグを除く）も消去されます。  注意 チップ消去機能では、データ・フラッシュ・メモリも消去されます。	√	×
ライト	指定されたアドレスへのライトと、ライト・レベルが安全かどうかのベリファイ・チェックを実行します。	√	√
ベリファイ	フラッシュ・メモリからリードされたデータは、フラッシュ・メモリ・プログラマから転送されたデータと比較されます。	√	× <sup>b</sup>
チェック・サム	フラッシュ・メモリ全体についてマイクロコントローラで内部的に計算したチェック・サムは、シリアル・プログラマで計算したチェック・サムと比較されます。	√	×
ブランク・チェック	メモリ全体の消去ステータスがチェックされます。	√	√
保護設定	以下の機能を禁止することができます。 <ul style="list-style-type: none"> <li>• チップ消去</li> <li>• ブロック消去</li> <li>• ライト</li> <li>• リード</li> <li>• ブート・クラスタの書き換え</li> <li>• フラッシュ・シールド</li> </ul>	√	√ <sup>c</sup>

a) チップ消去は、ブート・ブロック保護が有効に設定されている場合（ブート・ブロック・クラスタ保護フラグの設定による）、または全般的にチップ消去が無効に設定されている場合（チップ消去保護フラグの設定による）は使用できません。

b) ユーザ・プログラムで実行できます。

c) セルフ・プログラミング・モードでは、ブート・クラスタの書き換え保護以外の保護による影響はありません。セルフ・プログラミング・モードでは、保護設定をアクティブにできますが、アクティブな保護設定をインアクティブにはできません。

フラッシュ・メモリ保護機能を次の表に示します。

詳細は、「コード保護とセキュリティ」を参照してください。



表 7-5 保護機能

機能	機能概要	適用可否 (√: 適用, ×: 適用不可)	
		シリアル・ プログラミング	セルフ・ プログラミング
チップ消去 コマンドの禁止	フラッシュ全体の消去（拡張領域 <sup>a)</sup> とデータ・フラッシュを含む）も1ブロックの消去もできません。	√	×
ブロック消去 コマンドの禁止	1ブロックの消去はできません。	√	×
プログラム・ コマンドの禁止	1ブロックの消去と書き換えはできません。	√	×
リード・コマンド の禁止	フラッシュの内容はリードできません。	√	×
ブート領域 書き換えの禁止	消去（ブロック消去、あるいはチップ消去）できません。ブート・クラスタのライトもできません。	√	√
フラッシュ・ シールド	指定されたウィンドウ以外のライト/消去はできません。	√	√

a) ブート・クラスタ保護フラグは消去されません。

## 7.2.1 コード・フラッシュ・メモリの消去と書き換え

**消去** フラッシュ・メモリは、そのブロック構造によって次の2通りのモードで消去できます。

- 全ブロックの一括消去（チップ消去、シリアル・プログラミング・モードのみ）  
すべてのブロックが一度に消去されます。
- ブロック消去  
4 KBのフラッシュ・メモリ・ブロックが個別に消去されます。  
セルフ・プログラミング・モードでは、連続する任意の数のフラッシュ・メモリ・ブロックを一度に消去できます。

**書き換え** セルフ・プログラミング・モードとシリアル・プログラミング・モードでは、フラッシュ・メモリを1ブロックより小さい単位で書き換えることができます。ブロック全体が消去されると、16バイト単位で書き換えることができます。ブロック全体が消去された後、単位ごとに一度だけ書き換え可能です。

## 7.3 データ・フラッシュ・メモリ

V850E2/Fx4-H シリーズの製品には、コード・フラッシュ以外にデータ・フラッシュも含まれます。

### 7.3.1 データ・フラッシュ・メモリの特徴

データ・フラッシュの特徴を次に示します。

- 2 KB ブロックのデータ・フラッシュ・メモリ
- 32 ビット単位でライト・アクセス
- 2 KB ブロック単位での消去
- コード・フラッシュのアプリケーション・コード実行時のデータ・フラッシュのライト、消去動作

### 7.3.2 データ・フラッシュのライト

データ・フラッシュは、データ・フラッシュ・ライブラリまたは外部フラッシュ・メモリ・プログラマ・ツールによるシリアル・プログラミングを使用してライトできます。

データ・フラッシュ・ライブラリを使用して、通常動作時にプログラミングを実行できます。詳細は、データ・フラッシュ・ライブラリのユーザーズ・マニュアルを参照してください。

**備考** 外部プログラマのチップ消去コマンドでは、データ・フラッシュも消去されません。

## 7.4 フラッシュ・メモリ・プログラマによるフラッシュ・プログラミング

専用フラッシュ・メモリ・プログラマを使用して、シリアル・プログラミング・モードでフラッシュ・メモリの操作を行うことができます。

**シリアル・プログラミング** シリアル・プログラミング時は、専用端子を使用してターゲット・マイクロコントローラにフラッシュ・メモリ・プログラマを接続します。

フラッシュ・メモリ・プログラマ接続時は、以下の点に注意する必要があります。

- すべての外部電源をアクティブにする必要があります。
- X1/X2 端子に外部発振子を接続する必要があります。

---

**注意** フラッシュ・メモリ・プログラマをオンボード・マイクロコントローラに接続すると、ほかの信号との競合が発生する可能性があります。「オンボード信号接続との競合の可能性」のヒントに留意してください。

---

### 7.4.1 プログラミング環境

マイクロコントローラのフラッシュ・メモリにデータを操作するための推奨される環境を次に示します。



図 7-1 フラッシュ・メモリにプログラムをライトするための環境

フラッシュ・メモリ・プログラマの設定にはホスト・マシンが必要です。フラッシュ・メモリ・プログラマの使用はスタンドアロン・モードでも機能するため、ホスト・マシンは必要ありません。

以下の専用マイクロコントローラ・シリアル・インタフェースは、フラッシュ・メモリ・プログラマとマイクロコントローラ間のインタフェースとして使用できます。

- シングル・ワイヤ非同期シリアル・インタフェース FLUR0
- クロック同期式シリアル・インタフェース FLCS0

**備考** 通常動作モードでは、シリアル・インタフェース FLUR0 と FLCS0 は使用できません。フラッシュ・プログラミング・モードで使用するポートは、7.4.3「フラッシュ・メモリ・プログラマ PG-FP5 との端子接続」を参照してください。これらは、フラッシュ・プログラミング・モードでフラッシュ・メモリ・プログラマと通信するために自動的に設定されます。

## 7.4.2 通信モード

### (1) 非同期フラッシュ・プログラミング・インタフェース FLUR0

シングル・ワイヤ非同期シリアル・プログラミング・インタフェース FLUR0 は、次のポートを使用してフラッシュ・メモリ・プログラマに接続します。

- JP0\_0: 受信/送信データ FLUR0RTX

外部フラッシュ・メモリ・プログラマでは、さまざまなポー・レートを選択できます。

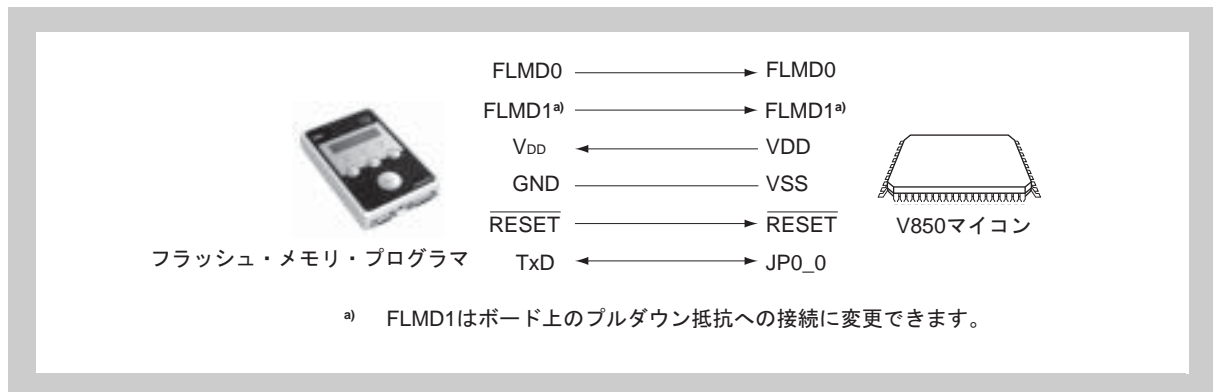


図 7-2 FLUR0 を使用したフラッシュ・メモリ・プログラマとの通信

**(2) 同期フラッシュ・プログラミング・インタフェース FLCS0**

同期シリアル・プログラミング・インタフェース FLCS0 は、次のポートを使用してフラッシュ・メモリ・プログラマに接続します。

- JP0\_0: シリアル・データ入力 FLCS0SI
- JP0\_1: シリアル・データ出力 FLCS0SO
- JP0\_2: シリアル・データ・クロック入力 FLCS0SCK

外部フラッシュ・メモリ・プログラマでは、さまざまなクロック速度を選択できます。

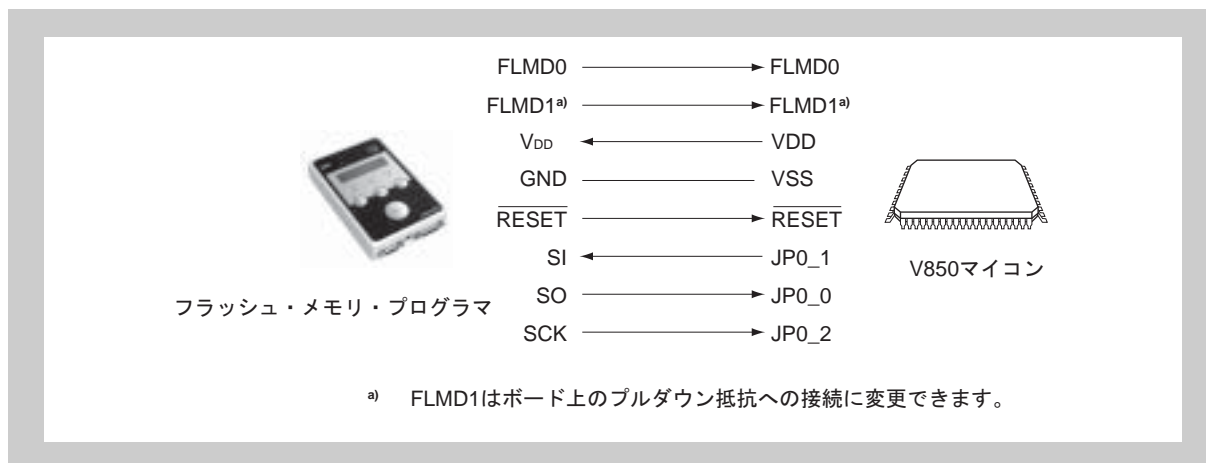


図 7-3 FLCS0 を介したフラッシュ・メモリ・プログラマとの通信

フラッシュ・メモリ・プログラマはシリアル・データ・クロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

### 7.4.3 フラッシュ・メモリ・プログラマ PG-FP5 との端子接続

ターゲット・システムにコネクタを装着し、シリアル・プログラミング用のフラッシュ・メモリ・プログラマを接続する必要があります。

マイクロコントローラのフラッシュ・メモリ・プログラミング・モードが設定された場合、フラッシュ・メモリ・プログラミングに使用しない端子はすべてリセット直後と同じ状態となります。

PG-FP5 をフラッシュ・メモリ・プログラマとして使用する場合は、次のように PG-FP5 のターゲット・インタフェース・コネクタをマイクロコントローラに接続します。

表 7-6 マイクロコントローラ・フラッシュ・メモリ・プログラマ PG-FP5 の接続

フラッシュ・メモリ・プログラマ PG-FP5 の接続端子			マイクロコントローラの信号（ポート）名			
信号名	I/O	機能	FLUR0		FLCS0	
			信号	ポート	信号	ポート
SO/TxD	O	<ul style="list-style-type: none"> <li>FLURS0: 送受信データ</li> <li>FLCS0: 送信データ</li> </ul>	FLUR0RTX	JP0_0	FLCS0SI	JP0_0
SI/RxD	I	受信データ	オープン		FLCS0SO	JP0_1
SCK	O	転送クロック	オープン		FLCS0SCI	JP0_2
CLK	O	マイクロコントローラへのクロック	オープン		オープン	
RESET	O	リセット信号	RESET	–	RESET	–
FLMD0	I	モード選択	FLMD0	–	FLMD0	–
FLMD1	I	モード選択	FLMD1 <sup>a</sup>	P0_1	FLMD1 <sup>a</sup>	P0_1
H/S	I	ハンドシェイク信号	オープン		オープン	
V <sub>DD</sub>	I	マイクロコントローラの電源電圧のモニタ	JP0 ポート・グループ・バッファの電源電圧 <sup>b</sup>		JP0 ポート・グループ・バッファの電源電圧 <sup>b</sup>	
V <sub>DD2</sub>	–	電源電圧	オープン		オープン	
V <sub>PP</sub>	–	フラッシュ・プログラミング電圧	オープン		オープン	
GND	–	グラウンド	VSS		VSS	
VDE	–	予約	オープン		オープン	
RFU-1	–	予約	オープン		オープン	

- a) FLMD1 がターゲット・ボード上でロウ・レベルに固定されている場合、FLMD1 信号を接続する必要はありません。
- b) 適切なマイクロコントローラの JP0 ポート・グループ用電源端子を確認するには、「電源」の章を参照してください。

詳細は、PG-FP5 ユーザーズ・マニュアルを参照してください。

#### 7.4.4 フラッシュ・メモリ・プログラミング制御

フラッシュ・メモリのプログラミング手順を次に示します。

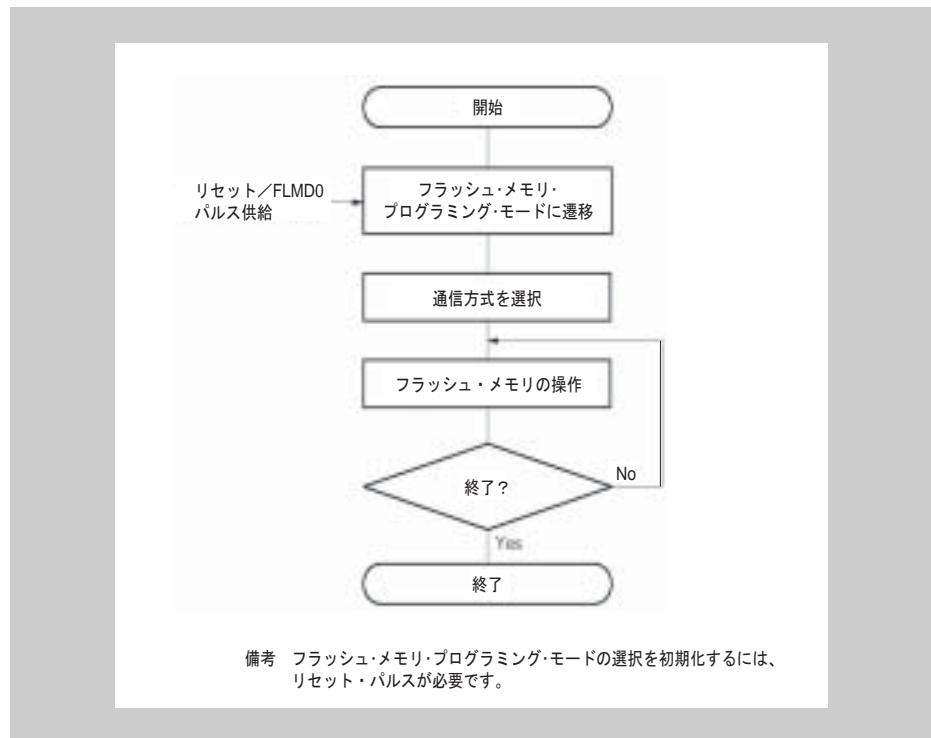


図 7-4 フラッシュ・メモリ・プログラミング手順



**(1) 動作モード制御**

フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるには、マイクロコントローラをフラッシュ・メモリ・プログラミング・モードに設定します。

このモードを設定するには、FLMD0 端子と FLMD1 端子を表 7-7「動作モードの選択」に示すように設定し、RESET 解除します。

通常動作モード時は、VSS は FLMD0 端子への入力です。フラッシュ・メモリ・プログラマが接続されていない場合は、FLMD0 端子のプルダウン抵抗によって通常動作モードが保証されます。

シリアル・フラッシュ・プログラミング・モード（外部フラッシュ・メモリ・プログラマによるオンボード・プログラミング）に入るには、RESET 解除時に FLMD0 端子に VDD が提供され、FLMD1 端子に VSS が提供される必要があります。

表 7-7 動作モードの選択

端子				動作モード
FLMD0	FLMD1 (P0_1)	MODE0 (P0_2)	MODE1 (P0_3)	
VSS	VSS	X	X	通常動作モード
	VDD	X	X	設定禁止
VDD	VSS	X	X	フラッシュ・プログラミング・モード
	VDD	VSS	VSS	バウンダリ・スキャン・モード
			VDD	設定禁止
	VDD	VDD	X	設定禁止

FLMD0 端子と FLMD1 端子の接続の例を次に示します。FLMD1 は、抵抗を介してグラウンドに接続できます。また、FLMD1 端子はフラッシュ・メモリ・プログラマの FLMD1 信号に直接接続することもできます。

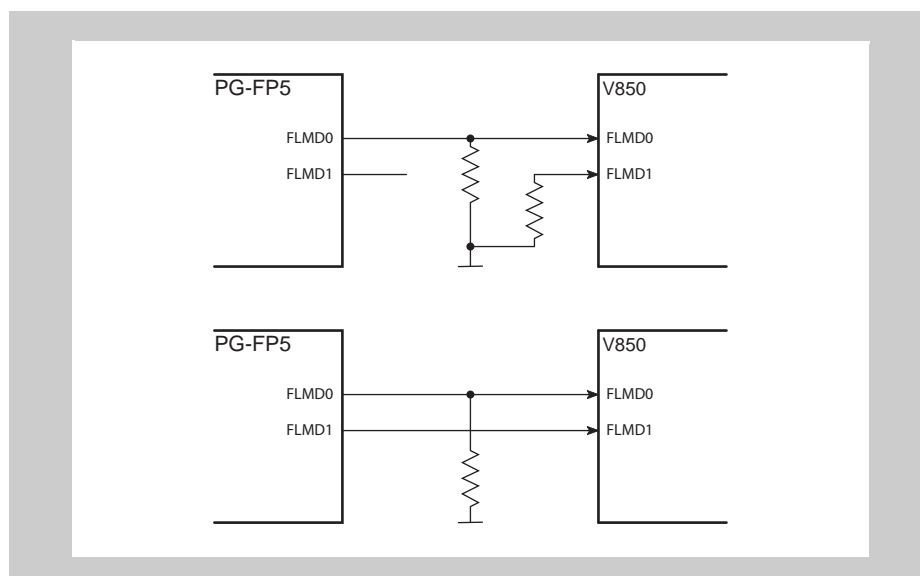


図 7-5 フラッシュ・メモリ・プログラマ PG-FP5 の接続例

通常動作モード (FLMD0 = 0) で開始すると、FLMD0 端子を使用してセルフ・プログラミングを有効にできます。7.5 「コード・フラッシュ・セルフ・プログラミング」も参照してください。

## (2) オンボード信号接続との競合の可能性

**シリアル入出力信号** シリアル・プログラミング・モードでフラッシュ・メモリ・プログラミングに使用するシリアル・インタフェース端子にほかのデバイスが接続されている場合は、関連の信号がフラッシュ・メモリ・プログラマおよびマイクロコントローラの信号と競合しないように注意してください。ほかのデバイスの出力端子をアイソレートするか、またはハイ・インピーダンスの状態に設定する必要があります。フラッシュ・メモリ・プログラマ信号によってほかのデバイスが誤動作しないようにしてください。

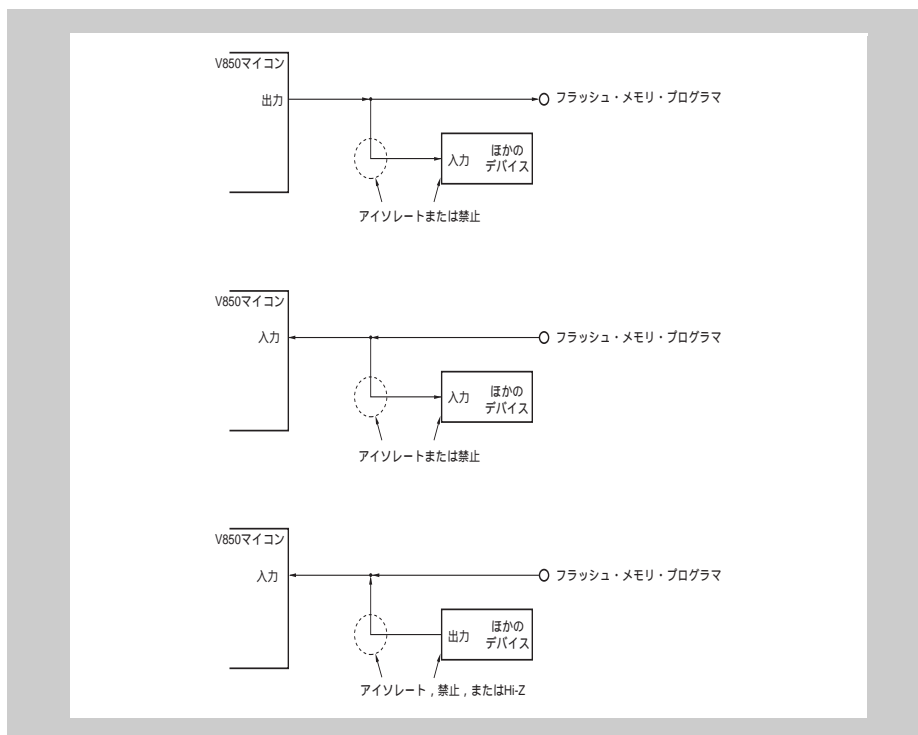


図 7-6 シリアル・インタフェース信号との競合の可能性

**RESET** フラッシュ・メモリ・プログラマの RESET 信号をオンボード・リセット発生回路にも接続する場合は、特に注意が必要です。リセット発生回路のリセット出力はフラッシュ・プログラミングの処理を無駄にする可能性があるため、場合によってはアイソレートまたは無効化が必要になります。

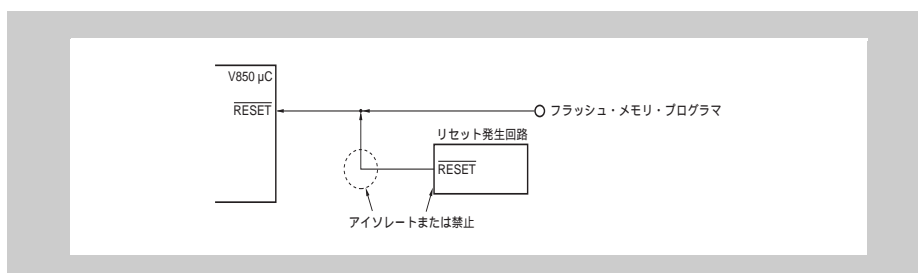


図 7-7 RESET との競合の可能性

**ポート** V850 ポート端子は、シリアル・プログラミング時に以下の状態になります。  
プログラミングに使用するポートは、それぞれ FLUR0 端子および FLCS0 端子として設定されます。

ほかのすべての端子は、リセット解除後もデフォルトの状態に維持されます。

プログラミングに使用しない端子のリセット後のデフォルトの状態が入力ポートまたはハイ・インピーダンス出力ポートの場合は、これらの端子に接続するほかのデバイスに注意してください。これらのデバイスが端子で定義されたレベルを要求する場合は、抵抗を介してポートを VDD または VSS に接続する必要があります。

**発振回路** すべての発振回路を通常動作モード時と同じ方法で接続します。

**DCUTRST** フラッシュ・メモリ・プログラミング時に、 $\overline{\text{DCUTRST}}$  (port JP0\_4) にロウ・レベルを入力するか、またはオープンにします。High レベルを入力しないでください。

**電源** 基準電圧、電源レギュレータなどを含めて、すべての電源端子に通常動作モード時と同じ電源を供給してください。

### (3) 通信モードの選択

リセット解除後に FLMD0 端子に指定された数のパルスを適用することによって通信インタフェースが選択されます。ただし、これはフラッシュ・メモリ・プログラマで処理します。

図 7-8 「通信モードの選択」に、FLCS0 をフラッシュ・メモリ・プログラマとマイクロコントローラとの通信用に設定する方法の例を示します。

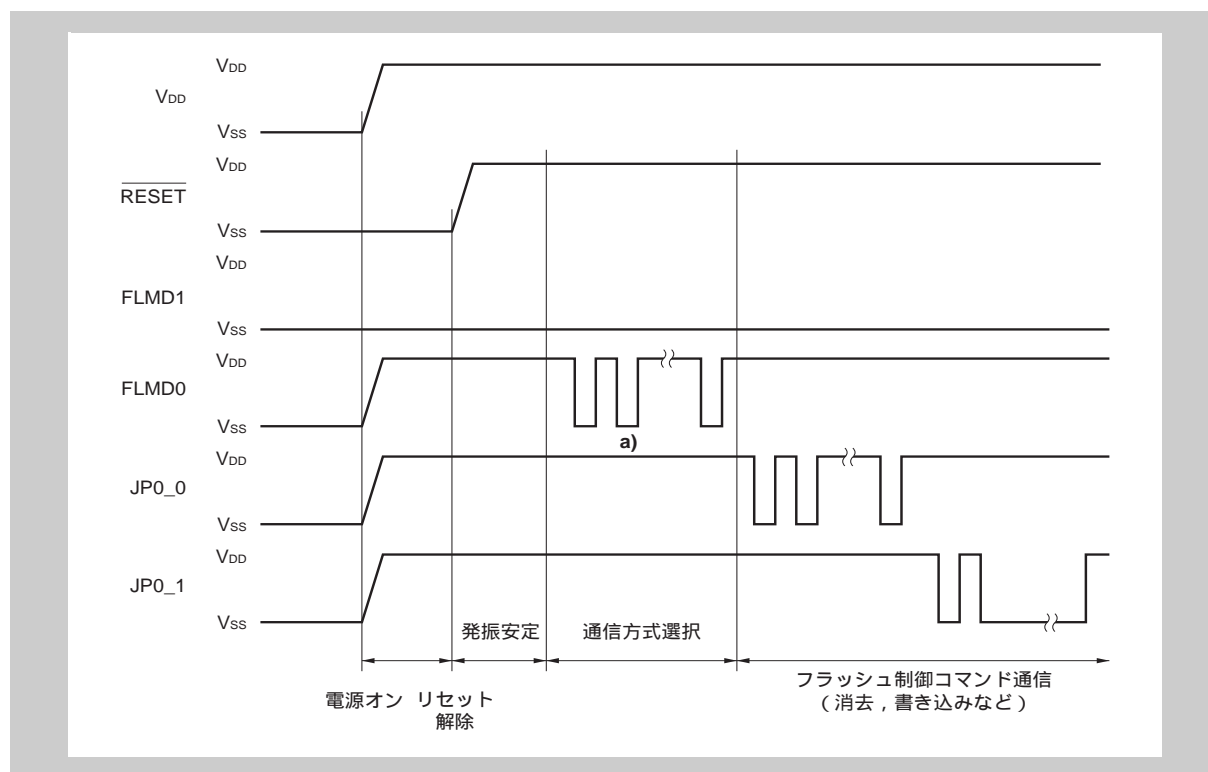


図 7-8 通信モードの選択

- a) 挿入するクロック数は、選択する通信モードによって異なります。詳細は表 7-8 「通信モードを設定する FLMD0 パルス」を参照してください。

表 7-8 通信モードを設定する FLMD0 パルス

FLMD0 パルス	通信モード	備考
0	FLUR0	通信速度：9600 bps (リセット後), LSB ファースト
8	FLCS0	マイクロコントローラはスレーブ動作を実行, MSB ファースト
その他	—	設定禁止

FLMD0 パルスを 9600 bps で受信した後に FLUR0 が選択されると、フラッシュ・メモリ・プログラマのユーザ・インタフェースを使用したユーザの選択に従って、フラッシュ・メモリ・プログラマのポー・レートが変更されません。

## (4) 通信コマンド

フラッシュ・メモリ・プログラマはマイクロコントローラにコマンドを送信します。コマンドによって、マイクロコントローラはステータス情報または要求されたデータを返します。

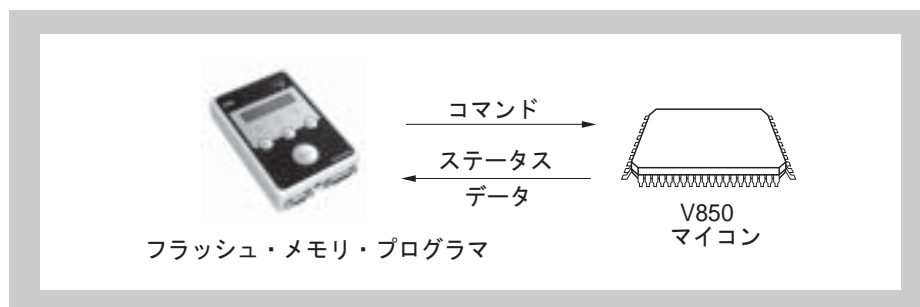


図 7-9 通信コマンドの交換

マイクロコントローラのフラッシュ・メモリ制御コマンドを次の表に示します。これらのコマンドはすべてフラッシュ・メモリ・プログラマから発行され、マイクロコントローラは対応する処理を実行します。

表 7-9 フラッシュ・メモリ制御コマンド (1/2)

分類	コマンド名	サポート		機能
		FLCS0	FLUR0	
ブランク・チェック	ブロックのブランク・チェック	√	√	メモリ全体の消去ステータスをチェックします。
消去	チップ消去	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリのすべての内容を消去します。
	ブロック消去	√	√	指定されたブロックのメモリの内容を消去します。ただし、拡張領域はそのまま保持されます。
ライト	ライト	√	√	ライト・アドレスとライトするバイト数を指定してデータをライトし、ベリファイ・チェックを行います。
消去/ライト	消去とライト	√	√	コード・フラッシュまたはデータ・フラッシュの指定された数のフラッシュ・ブロックを消去します。ただし、拡張領域はそのまま保持されます。
	チップ消去とライト	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリ全体を消去し、これにライトします。
リード	リード	√	√	ライト・アドレスとリード・バイト数を指定してデータをリードします。

表 7-9 フラッシュ・メモリ制御コマンド (2/2)

分類	コマンド名	サポート		機能
		FLCS0	FLUR0	
ベリファイ	ベリファイ	√	√	入力データをメモリのすべての内容と比較します。
ID	ID コードの設定	√	√	オンチップ・デバッグ ID をレジスタ OCDIDL, OCDIDM, OCDIDH に設定します。
	ID コードの取得	√	√	オンチップ・デバッグ ID をレジスタ OCDIDL, OCDIDM, OCDIDH からリードします。
CRC チェック	CRC チェック	√	√	コード・フラッシュまたはデータ・フラッシュの指定された数のフラッシュ・ブロックについてチェック・サムを計算します。ただし、このチェック・サムでは拡張領域は除外されます。
	チップの CRC チェック	√	√	コード・フラッシュ、データ・フラッシュ、拡張領域を含むフラッシュ・メモリ全体のチェック・サムを計算します。
フラッシュ・マスク・オプション	フラッシュ・マスク・オプションの設定	√	√	フラッシュ・マスク・オプションをレジスタ OPBT0 に設定します。
	フラッシュ・マスク・オプションの取得	√	√	フラッシュ・マスク・オプションをレジスタ OPBT0 からリードします。
保護	保護設定	√	√	チップ消去、ブロック消去、ライト保護を設定します。
	保護設定の取得	√	√	保護設定をリードします。
システムの 設定と制御	リセット	√	√	各ステータスを解除します。
	発振周波数設定	√	√	発振周波数を設定します。
	ボー・レート設定	-	√	UART を使用する場合にボー・レートを設定します。
	シリコン・シグネチャ	√	√	シリコン・シグネチャ情報をリードします。
	バージョンの取得	√	√	デバイスのバージョン情報をリードします。

## 7.5 コード・フラッシュ・セルフ・プログラミング

この V850 マイクロコントローラは、ユーザ・プログラム自体による内蔵フラッシュ・メモリの書き換えを可能にするフラッシュ・マクロ・サービスをサポートします。

ルネサス エレクトロニクスが提供するこのフラッシュ・マクロ・サービスとセルフ・プログラミング・ライブラリ (FSL) をユーザのプログラムで使用することにより、あらかじめ内蔵 RAM または外部メモリに転送されたデータでフラッシュ・メモリを書き換えることができます。

したがって、ユーザ・プログラムのアップグレードと、定数データ・フィールドの書き換えが可能になります。

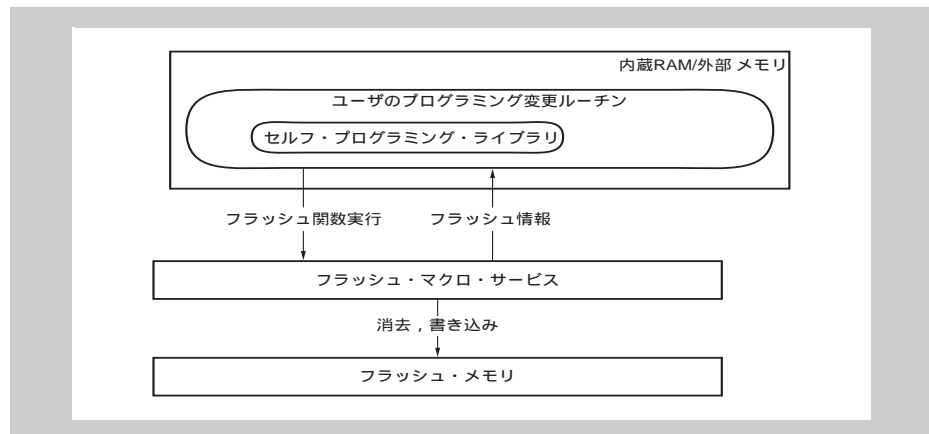


図 7-10 セルフ・プログラミングの概念

セルフ・プログラミング時にフラッシュ・メモリにアクセスできません。そのため、内蔵 RAM または外部メモリからの命令フェッチによってのみ、プログラムを実行することができます。

したがって、セルフ・プログラミングをアクティブにする前に、セルフ・プログラミング手順実行時に動作しているユーザのプログラム変更ソフトウェア・ルーチンの命令を、フラッシュ・メモリから内蔵 RAM または外部メモリにコピーする必要があります。フラッシュ・メモリ内の割り込みベクタによる割り込み処理もセルフ・プログラミング時には実行できないため、割り込みの受け付けを内蔵 RAM にルート変更する特殊な機能が提供されます(「フラッシュ・セルフ・プログラミング時の割り込み処理」を参照)。

セルフ・プログラミングの詳細については、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザズ・マニュアルを参照してください。



### 7.5.1 セルフ・プログラミングの有効化

セルフ・プログラミング機能は、マイクロコントローラの通常動作モードから起動できます。

セルフ・プログラミングは、特にフラッシュの予期しないプログラム変更を回避するために有効にする必要があります。セルフ・プログラミングを有効にするには次の2通りの方法があります。

- 外部 FLMD0 端子をハイ・レベルに設定します。  
これにはいくつかの外部構成要素または配線、たとえば出力ポートの FLMD0 への接続が必要です。
- 内部レジスタ・ビット FLMDCNT.FLMDPUP を設定します。  
この方法では特殊な外部構成要素も配線も必要ありません。

次のレジスタを使用してソフトウェアによってセルフ・プログラミングを内部的に有効にします。

#### (1) FLMDCNT-FLMD 制御レジスタ

このレジスタは、FLMD0 端子に接続され、それぞれセルフ・プログラミングを有効または無効にする内部プルアップ・レジスタと内部プルダウン・レジスタを制御します。

**保護** このレジスタへのライトは、保護コマンド・レジスタ FLMCPCMD を使用した特定の命令シーケンスによって保護されます。  
ライト保護レジスタへのライト方法の詳細は、「CPU システム機能」の「ライト保護レジスタ」を参照してください。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FF43 8000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FLMD PUP
R	R	R	R	R	R	R	R/W

表 7-10 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
0	FLMDPUP	FLMD0 のプルアップ/プルダウン制御 0: FLMD0 でプルダウン・レジスタがアクティブ (セルフ・プログラミング・モード無効) 1: FLMD0 でプルアップ・レジスタがアクティブ (セルフ・プログラミング・モード有効)

## 7.5.2 フラッシュ・セルフ・プログラミング・ライブラリの機能

ユーザ・プログラムによるコード・フラッシュ・メモリのセルフ・プログラミングは、セルフ・プログラミング・ライブラリによってサポートされます。

このライブラリは、次のような基本機能を実行するCの関数呼び出しのセットを提供します。

- フラッシュのブランク・チェック／消去／書き換え／ベリファイ
- ブート・クラスタ・スワップ（ブート・クラスタの定義を含む）
- 保護フラグの設定
- コード・フラッシュ・メモリに関するさまざまな情報の取得

ライブラリ機能の使い方の詳細は、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

## 7.5.3 セルフ・プログラミングの内蔵 RAM の占有

セルフ・プログラミング時には、内蔵 RAM がセルフ・プログラミングによって占有されます。そのため、RAM の内容はセルフ・プログラミング時に変更され、ユーザ・プログラムによる回復が必要な場合があります。詳細は、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザーズ・マニュアルを参照してください。

**備考** ほかに、セルフ・プログラミング時にフラッシュ・メモリから RAM にコピーする場合にユーザ・データおよびコードの中間記憶として RAM が必要になることもあります。

### 7.5.4 安全なセルフ・プログラミング（ブート・クラスタ・スワップ）

V850 フラッシュ・マイクロコントローラは、アドレス 0000 0000<sub>H</sub> から始まるコード・フラッシュ・メモリ・ブロックのクラスタを、前者のすぐ上位にある同じサイズの別のクラスタとスワップするメカニズムをサポートします。

#### ブート・スワップ・クラスタ

スワップされるブート・ブロックのグループアドレス 0000 0000<sub>H</sub> で始まるブロックのクラスタは、デフォルトのリセット・ベクタ 0000 0000<sub>H</sub> にユーザ・プログラムのエントリ・ポイントが含まれるため、アクティブ・ブート・スワップ・クラスタと呼ばれています。

#### ブート・スワップ・フラグ

2つのクラスタのどちらがアクティブ・ブート・クラスタかは、フラッシュ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義できるブート・スワップ・フラグで制御されます。ブート・スワップ・フラグはフラッシュ・メモリの拡張領域に格納されます。

図 7-11 「ブート・スワップ・クラスタのスワップ機能」に、クラスタ・サイズ 4 フラッシュ・メモリ・ブロックのブート・ブロック・スワップ機能の例を示します。boot\_flag を反転すると、not(boot\_flag) になり、ブロック 4-7 はアクティブなブート・クラスタになります。したがって、次のリセット解除後に、ユーザ・プログラムは新しいブート・スワップ・クラスタから開始されます。

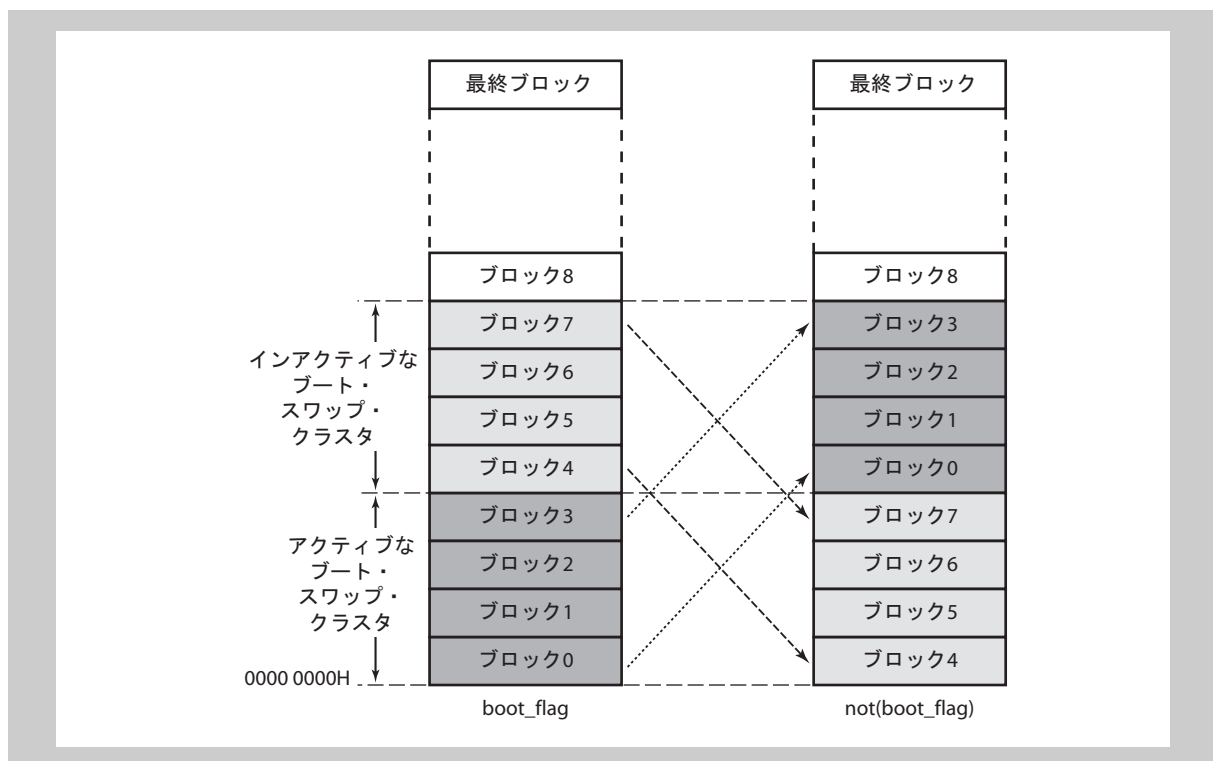


図 7-11 ブート・スワップ・クラスタのスワップ機能

<b>安全なセルフ・プログラミング</b>	<p>ブート・クラスタ・スワップ機能により、安全なセルフ・プログラミングが可能になります。ブート・コードが書き換えられると、新しいコードがインアクティブなブート・クラスタにライトされ、boot_flag は前の状態に維持されます。</p> <p>ブート・クラスタの書き換えが正常に終了すると、boot_flag が反転し、新しいブート・コードをアクティブにすることができます。</p> <p>新しいブート・コードの書き換えが何らかの原因（たとえばパワー・フェイルや予期しないリセット）で失敗すると、古いブート・コードはアクティブな状態に維持され、書き換えをやり直すことができます。</p>
<b>ブート・クラスタ</b>	<p>ブート・コードのサイズ自体はブート・スワップ・クラスタのサイズより小さい場合があります。</p> <p>ブート・コードの一部であるフラッシュ・メモリ・ブロックは、ブート・クラスタと呼ばれています。クラスタのメンバであるブート・ブロックの数は、セルフ・プログラミング時にセルフ・プログラミング・ライブラリを使用して定義できます。</p> <p>ブート・クラスタのサイズによってブート・スワップ・クラスタのサイズが決まります。これは、セルフ・プログラミング時に定義されたブート・ブロックの数から自動的に評価されます。</p> <p>表 7-11 「ブート・ブロックとブート・スワップ・クラスタの関係」に、ブート・ブロックの数、ブート・クラスタのサイズ、ブート・スワップ・クラスタ間の関係を示します。</p>
<b>ブート・ブロックの数</b>	<p>ブート・ブロックの数は、セルフ・プログラミング時にユーザが定義する必要があります。この値によって、ブート・ブロックを消去またはライト処理から保護するブート・クラスタ保護の対象となるブロックが決まります。</p>
<b>ブート・ブロックの保護</b>	<p>ブート・ブロックの書き換えを禁止するには、フラッシュ・メモリ・プログラミング時にブート・クラスタ保護フラグを設定します。このフラグが設定されると、アクティブなブート・クラスタのブロックは消去もライトもできません。ブート・クラスタ・スワップもできません。</p> <p>ただし、アクティブなブート・クラスタのブロックだけが保護されます。図 7-12 「ブート・クラスタ・スワップ機能」の例では、たとえばブロック 0 と 1 の消去とライトは禁止されますが、ブロック 2 と 3 では許可されます。</p>
<b>注意</b>	<p>一度ブート・クラスタ保護がアクティブになると、再びインアクティブにすることはできません。</p>

フラッシュ・メモリ保護フラグの詳細は、「コード保護とセキュリティ」を参照してください。

表 7-11 ブート・ブロックとブート・スワップ・クラスタの関係

ブート・ブロックの数	ブート・クラスタのサイズ	ブート・スワップ	ブート・クラスタの保護	
		アクティブなブート・スワップ・クラスタ ↔ インアクティブなブート・スワップ・クラスタ	サイズ	アドレス
00 <sub>H</sub>	4 KB	0000 0000 <sub>H</sub> - 0000 0FFF <sub>H</sub> ↔ 0000 1000 <sub>H</sub> - 0000 1FFF <sub>H</sub>	4 KB	0000 0000 <sub>H</sub> - 0000 0FFF <sub>H</sub>
01 <sub>H</sub>	8 KB	0000 0000 <sub>H</sub> - 0000 1FFF <sub>H</sub> ↔ 0000 2000 <sub>H</sub> - 0000 3FFF <sub>H</sub>	8 KB	0000 0000 <sub>H</sub> - 0000 1FFF <sub>H</sub>
02 <sub>H</sub>	16 KB	0000 0000 <sub>H</sub> - 0000 3FFF <sub>H</sub> ↔ 0000 4000 <sub>H</sub> - 0000 7FFF <sub>H</sub>	12 KB	0000 0000 <sub>H</sub> - 0000 2FFF <sub>H</sub>
03 <sub>H</sub>			16 KB	0000 0000 <sub>H</sub> - 0000 3FFF <sub>H</sub>
04 <sub>H</sub>	32 KB	0000 0000 <sub>H</sub> - 0000 7FFF <sub>H</sub> ↔ 0000 8000 <sub>H</sub> - 0000 FFFF <sub>H</sub>	20 KB	0000 0000 <sub>H</sub> - 0000 4FFF <sub>H</sub>
...			...	...
07 <sub>H</sub>			32 KB	0000 0000 <sub>H</sub> - 0000 7FFF <sub>H</sub>
08 <sub>H</sub>	64 KB	0000 0000 <sub>H</sub> - 0000 FFFF <sub>H</sub> ↔ 0001 0000 <sub>H</sub> - 0001 FFFF <sub>H</sub>	36 KB	0000 0000 <sub>H</sub> - 0000 8FFF <sub>H</sub>
...			...	...
0F <sub>H</sub>			64 KB	0000 0000 <sub>H</sub> - 0000 FFFF <sub>H</sub>
10 <sub>H</sub>	128 KB	0000 0000 <sub>H</sub> - 0001 FFFF <sub>H</sub> ↔ 0002 0000 <sub>H</sub> - 0003 FFFF <sub>H</sub>	68 KB	0000 0000 <sub>H</sub> - 0001 0FFF <sub>H</sub>
...			...	...
1F <sub>H</sub>			128 KB	0000 0000 <sub>H</sub> - 0001 FFFF <sub>H</sub>
20 <sub>H</sub>	256 KB	0000 0000 <sub>H</sub> - 0003 FFFF <sub>H</sub> ↔ 0004 0000 <sub>H</sub> - 0007 FFFF <sub>H</sub>	132 KB	0000 0000 <sub>H</sub> - 0002 0FFF <sub>H</sub>
...			...	...
FF <sub>H</sub>			512 KB	0000 0000 <sub>H</sub> - 0003 FFFF <sub>H</sub>

**最大ブート・スワップ・クラスタ** ブート・クラスタ・サイズの上限は 256 KB です。したがって、512 KB を超えるコード・フラッシュはブート・クラスタ・スワップの対象にはなりません。

図 7-12 「ブート・クラスタ・スワップ機能」に、以下の設定の例を示します。

- ブート・ブロックの数は2です（ブート・クラスタには2つのブロックが含まれます）。したがって、アクティブなブート・クラスタは次のようになります。
  - boot\_flag の場合はブロック 0 と 1
  - not(boot\_flag) の場合はブロック 4 と 5
- アクティブなブート・スワップ・クラスタは次のようになります。
  - boot\_flag の場合はブロック 0-3
  - not(boot\_flag) の場合はブロック 4-7

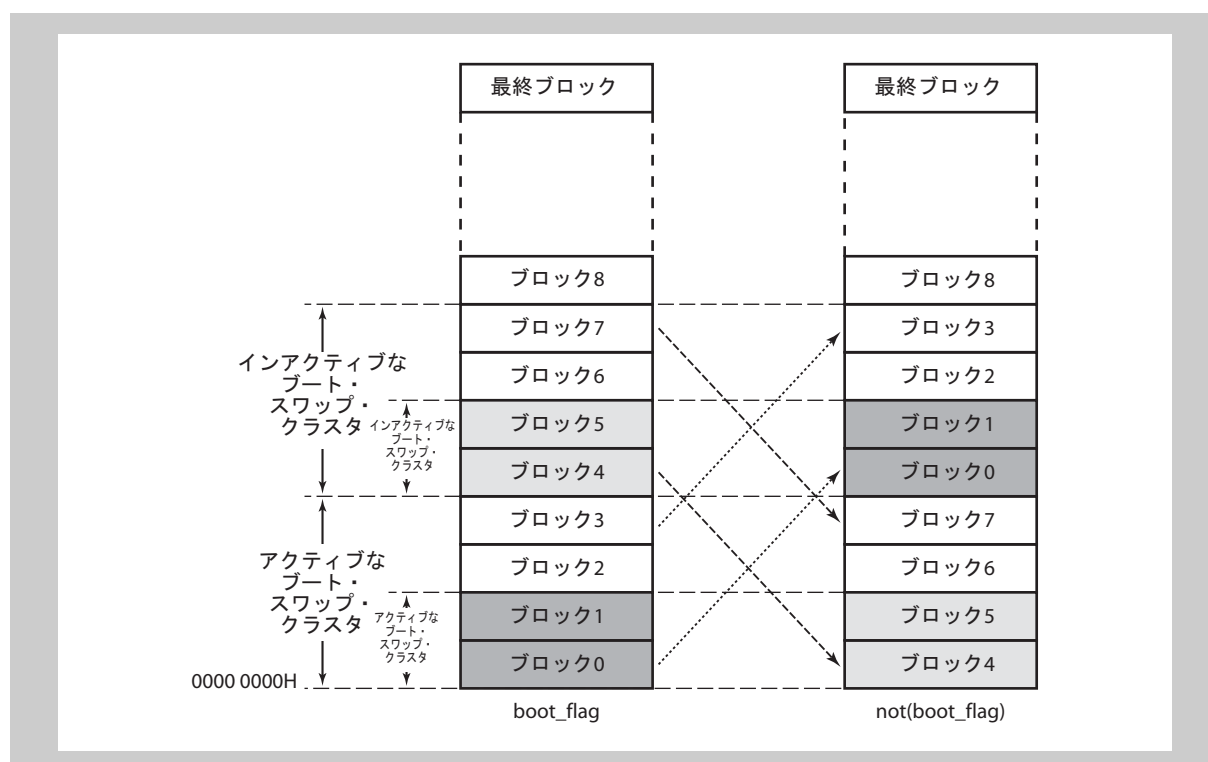


図 7-12 ブート・クラスタ・スワップ機能

**ブート・ブロック保護** ブート・ブロックの書き換えを禁止するには、フラッシュ・メモリ・プログラミング時にブート・クラスタ保護フラグを設定します。このフラグが設定されると、アクティブなブート・クラスタのブロックは消去もライトもできません。ブート・クラスタ・スワップもできません。ただし、アクティブなブート・クラスタのブロックだけが保護されます。図 7-12 「ブート・クラスタ・スワップ機能」の例では、たとえばブロック 0 と 1 の消去とライトは禁止されますが、ブロック 2 と 3 では許可されます。

**注意** 一度ブート・クラスタ保護がアクティブになると、再びインアクティブにすることはできません。

フラッシュ・メモリ保護フラグの詳細は、「コード保護とセキュリティ」を参照してください。

### 7.5.5 フラッシュ・セルフ・プログラミング時の割り込み処理

このマイクロコントローラは、セルフ・プログラミング処理中に割り込み処理を維持する機能を提供します。

セルフ・プログラミングがアクティブな場合、通常はフラッシュ・メモリ内に配置されている割り込みベクタ・テーブルにも割り込みハンドラ・ルーチンにもアクセスできないため、割り込みの受け付けを非フラッシュ・メモリ（たとえば内蔵 RAM）にルート変更する必要があります。

したがって、セルフ・プログラミング時に割り込み処理を有効にするには、次の 2 つの前提が必要になります

- 関連の割り込みハンドラ・ルーチンを非フラッシュ・メモリ（たとえば内蔵 RAM）にコピーする必要があります。ユーザはこのコピー処理を開始する必要があります。
- 関連の割り込み受け付けをこのハンドラにルート変更する必要があります。このハンドラへのルート変更を実行するには、それぞれ CPU レジスタ SW\_CFG/SW\_BASE と EH\_CFG/EH\_BASE を使用します。これらの CPU レジスタの詳細は、ドキュメント「V850E2M アーキテクチャ編」を参照してください。

割り込みベクタのルート変更には、次の 2 つのオプションがあります。

- すべての割り込みを割り込みチャンネル 0 の 1 つの割り込みベクタにマッピングできます。
- 割り込みベクタ・テーブルのベース・アドレスを別のアドレスにマッピングできます。この場合、割り込み受け付け時に新しいベース・アドレスに割り込みチャンネルのオフセットが追加され、適切な割り込みベクタが取得されます。

セルフ・プログラミングの詳細については、「フラッシュ・セルフ・プログラミング・ライブラリ」のユーザズ・マニュアルを参照してください。

## 7.6 フラッシュ・マスク・オプション

フラッシュ・メモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（フラッシュ・マスク・オプション）があります。

フラッシュ・マスク・オプションは、外部 RESET 解除またはパワーオン・クリア・リセット POCRES のあと、したがってさまざまなモジュールの初期設定が指定されたときに有効になります。

**注意** デバッグ・セッション中にオンチップ・デバッグによってフラッシュ・メモリがプログラミングされ、フラッシュ・マスク・オプションが変更されると、新しいオプションの設定を有効にするためにターゲット・リセット・コマンドが発行される必要があります。

すべてのフラッシュ・マスク・オプションはすべての動作モードでリードできます。

フラッシュ・マスク・オプションの変更は、動作モードによって変わる部分とまったく変わらない部分があります。すべてのフラッシュ・マスク・オプションとさまざまな動作モードで変更される可能性の概要を次の表に示します。

表 7-12 フラッシュ・マスク・オプションと設定

機能	フラッシュ・マスク・オプション	モードでの変更の可能性			
		通常	シリアル・フラッシュ・プログラミング	フラッシュ・セルフ・プログラミング	デバッグ
JTAG ポート・グループ JP0 制御	OPBT0.OPBT0[31]	なし	あり	あり	あり
オンチップ・デバッグ接続制御	OPBT0.OPBT0[30:28]	なし	あり	あり	あり
WDTA1 の初期 VAC 有効/無効	OPBT0.OPBT0[26]				
WDTA1 の自動起動またはソフトウェア起動	OPBT0.OPBT0[24]	なし	あり	あり	あり
WDTA1 の動作/停止	OPBT0.OPBT0[23]	なし	あり	あり	あり
WDTA0 の初期 VAC 有効/無効	OPBT0.OPBT0[22]	なし	あり	あり	あり
WDTA0 の自動起動またはソフトウェア起動	OPBT0.OPBT0[20]				
WDTA0 の動作/停止	OPBT0.OPBT0[19]	なし	あり	あり	あり
WDTAn カウント・クロックの初期値	OPBT0.OPBT0[18:16]	なし	あり	あり	あり
電源シーケンサ・タイマの値	OPBT0.OPBT0[15:3]	なし	あり	あり	あり
電源シーケンサ電源投入モード制御	OPBT0.OPBT0[0]	なし	あり	あり	あり



### 7.6.1 OPBT0 - フラッシュ・マスク・オプションのレジスタ 0

**アクセス** 通常動作モードでは 32 ビット単位でリード可能です。  
このレジスタへのライトは、フラッシュ・プログラミング・モードとセルフ・プログラミング・モードでのみ可能です。

**アドレス** FF47 000C<sub>H</sub>

**初期値** ユーザ定義

31	30	...	0
OPBT0 [31]	OPBT0 [30]	...	OPBT0 [1]    OPBT0[0]
R	R	...	R    R

表 7-13 OPBT0 レジスタの内容 (1/2)

ビット位置	ビット名	接続先		機能
		モジュール	信号	
31	OPBT0[31]	JTAG ポート・ グループ JP0	OPJTAG	JTAG ポート・グループ JP0 の機能を制御します。 0: JP0 は汎用／兼用機能ポートに使用されま す。 1: JP0 は JTAG ポートとして使用されます。
30-27	OPBT0[30:27]	OCD	MINI2_[2:0]	MINICUBE2 との接続を制御します。 100 <sub>B</sub> : オンチップデバッガとの接続を許可しま す。 000 <sub>B</sub> : オンチップデバッガを使用しない。
26	OPBT0[26]	WDTA1	OPWDVAC	WDTA1 の VAC 有効 / 無効 0: VAC 無効 1: VAC 有効
26, 25	OPBT0[26:25]	Reserved	Reserved	0 を設定してください。
24	OPBT0[24]	WDTA1	OPWDRUN1	OPWDRUN1 (WDTA1 のスタート要因) 0: ソフトウェア・トリガ 1: 自動スタート
23	OPBT0[23]	WDTA1	OPWDEN1	OPWDEN1 (WDTA1 の停止 / 動作) 0: 停止 1: 動作
22	OPBT0[22]	WDTA0	OPWDVAC	WDTA0 の VAC 有効 / 無効 0: VAC 無効 1: VAC 有効
21	OPBT0[21]	Reserved	Reserved	0 を設定してください。
20	OPBT0[20]	WDTA0	OPWDRUN0	OPWDRUN0 (WDTA0 のスタート要因) 0: ソフトウェア・トリガ 1: 自動スタート
19	OPBT0[19]	WDTA0	OPWDEN0	OPWDEN0 (WDTA0 の停止 / 動作) 0: 停止 1: 動作
18-16	OPBT0[18:16]	WDTA0 WDTA1	OPWDOVF [2-0]	カウント・クロック WDTA0 および WDTA1 制 御ビット WDTAnMD.WDTAnOVF[2:0] のリセッ ト値を指定します。

表 7-13 OPBT0 レジスタの内容 (2/2)

ビット位置	ビット名	接続先		機能
		モジュール	信号	
15-3	OPBT0[15:3]	PWRSEQ	TDON[12:0]	パワー・セーブ・モード復帰時の電源安定待ち時間を設定します。 設定範囲：0082 <sub>H</sub> ~ 1FFF <sub>H</sub> 内蔵レギュレータの電源安定待ち時間として、低速 IntOsc で待ち時間（設定値）をカウントします。
2-1	OPBT0[2:0]	Reserved	Reserved	0 を設定してください。
0	OPBT0[0]	Power Sequencer	PWGDN	電源シーケンサ電源投入モード制御 このビットには必ず 1 を設定してください。

## 第8章 データCRC機能 (DCRA)

本章では、データCRC機能A (DCRA) 全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特性について説明します。

それ以降の節では、共通の特徴について説明します。

### 8.1 V850E2/Fx4-H DCRA の特徴

**チャンネル数** 本マイクロコントローラは以下のチャンネル数のデータCRC機能Aを搭載しています。

表 8-1 DCRA のチャンネル

データCRC機能A	
チャンネル数	1
名称	DCRA0

**n の意味** 本章では、データCRC機能Aの各チャンネルを「n」(n=0)で識別します。たとえば、CRC制御レジスタはDCRAnCTLと記述します。

**レジスタ・アドレス** DCRAnレジスタのアドレスは、それぞれのベース・アドレス<DCRAn\_base>からのオフセットで示します。各DCRAnのレジスタ・ベース・アドレス<DCRAn\_base>を以下の表に示します。

表 8-2 レジスタ・ベース・アドレス<DCRAn\_base>

DCRAnのチャンネル	<DCRAn_base> アドレス
DCRA0	FF81 F000 <sub>H</sub>

**クロック供給** データCRC機能Aは1つのクロック入力を供給します。

表 8-3 DCRAnのクロック供給

DCRAnのチャンネル	DCRAnのクロック	接続先
DCRA0	PCLK	クロック・ジェネレータ CKSCLK_101

## 8.2 機能の概要

**機能の概要** データCRC機能Aを利用して、CRCで保護された任意の長さとはさまざまなビット幅を持つデータ・ストリームを検証または生成することができます。

- 32ビット・イーサネットCRC (04C11DB7<sub>H</sub>)

$$(X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1)$$

- 16ビットCCITT CRC (1021<sub>H</sub>)

$$(X^{16}+X^{12}+X^5+1)$$

- 任意のデータ・ブロック長のCRCを生成できます。
- CRC入力レジスタを初期化した後で、入力レジスタ (DCRAnCIN) にデータを書き込むと、選択された多項式に従いCRCデータを生成します。生成したデータは、データ・レジスタ (DCRAnCOUT) に格納します。

以下の図は、データCRC機能Aのブロック図を示しています。

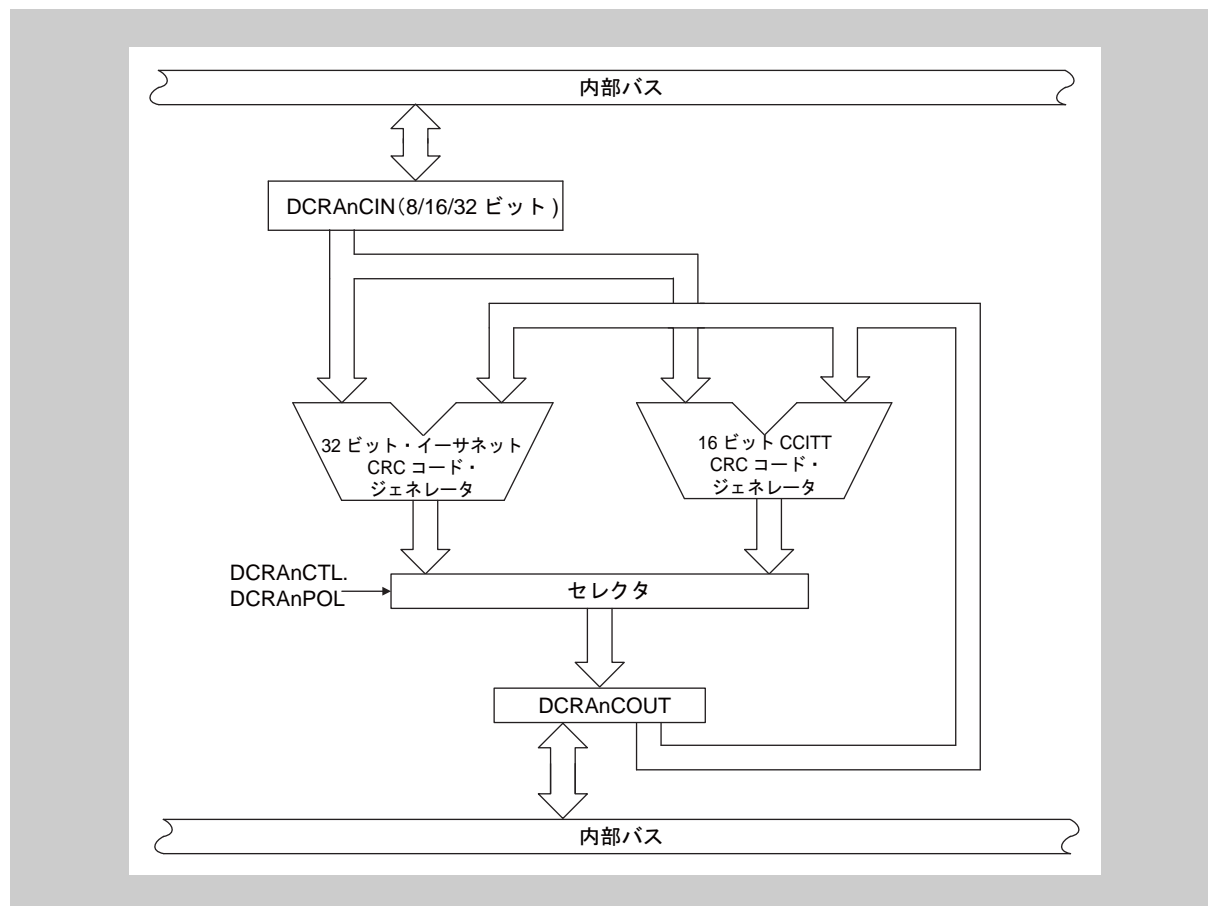


図 8-1 データCRC機能Aのブロック図

### 8.3 機能の説明

データCRC機能Aは任意のデータ・ブロック長のCRC（巡回冗長検査）を生成します。データは、8ビット単位、16ビット単位または32ビット単位で転送します。32ビット・イーサネット用または16ビットCCITT用のCRC多項式を選択できます。CRC入力レジスタ（DCRAnCIN）に最初の書き込みを行う前に、CRC制御レジスタ（DCRAnCTL）の設定、およびCRCデータ・レジスタ（DCRAnCOUT）に初期値（0000 0000<sub>H</sub>）を設定してください。

以下のフロー・チャートは、CRCの生成の流れを示しています。

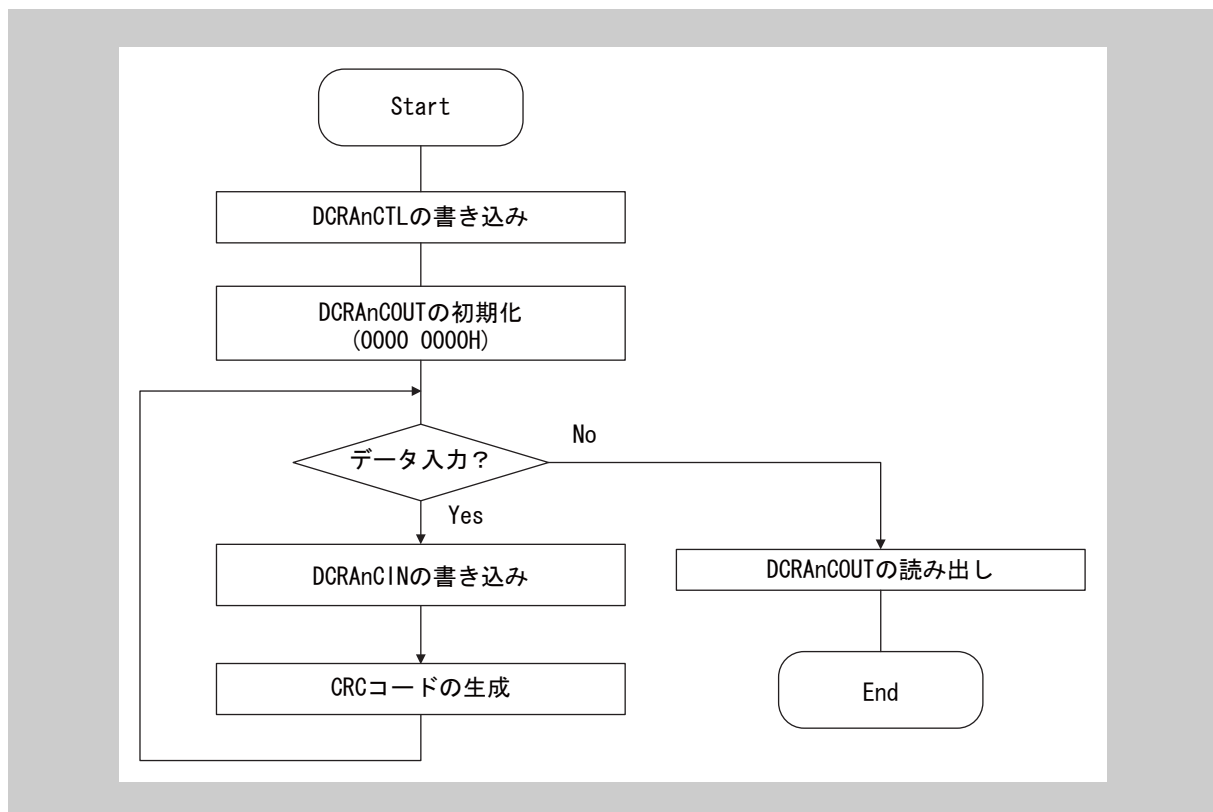


図 8-2 データCRC機能Aのフロー図

- 備考
1. 最初のデータをCRC入力レジスタ（DCRAnCIN）に書き込む前に、CRCデータ・レジスタ（DCRAnCOUT）を初期化（0000 0000<sub>H</sub>データの書き込み）してください。
  2. DCRAnCTL.DCRAnPOLによりCRC生成方式を変更した場合、CRCデータ・レジスタ（DCRAnCOUT）を再初期化（0000 0000<sub>H</sub>）してください。

## 8.4 レジスタ

本節では DCRA のレジスタについて説明します。

### 8.4.1 DCRA レジスタの概要

DCRA は、以下のレジスタによって制御します。

表 8-4 DCRA レジスタの概要

レジスタ名	略号	アドレス
CRC 入力レジスタ	DCRAnCIN	<DCRAn_base>
CRC データ・レジスタ	DCRAnCOUT	<DCRAn_base> + 4 <sub>H</sub>
CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20 <sub>H</sub>

<DCRAn\_base> データ CRC 機能 A のベース・アドレス <DCRAn\_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義します。

## 8.4.2 DCRA レジスタの詳細

### (1) DCRAnCIN - CRC 入力レジスタ

本レジスタは、CRC 計算用の入力データを格納します。CRC 計算の有効ビット幅は DCRAnCTL.DCRAnISZ[1:0] で設定してください。

本レジスタにデータを書き込むと、CRC コードの計算を開始します。データ・ブロックの最初のデータを書き込む前に、CRC データ・レジスタ (DCRAnCOUT) を初期化 (0000 0000<sub>H</sub> の書き込み) してください。

**バイト順** DCRAnCIN 内のバイト順は、選択されている CRC 生成方式によって異なります。

- 32 ビット・イーサネット CRC 多項式で生成する場合 (DCRAnCTL.DCRAnPOL = 0)

バイト順は LSB (最下位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnCTL.DCRAnISZ[1:0] = 10<sub>B</sub>) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が LSB になります。

- 16 ビット CCITT CRC 多項式で生成する場合 (DCRAnCTL.DCRAnPOL = 1)

バイト順は MSB (最上位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnCTL.DCRAnISZ[1:0] = 10<sub>B</sub>) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が MSB になります。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <DCRAn\_base>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCRAnCIN[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCRAnCIN[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-5 DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAnCIN[31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> <li>• 有効ビット幅 32 ビット : DCRAnCIN[31:0]</li> <li>• 有効ビット幅 16 ビット : DCRAnCIN[15:0]</li> <li>• 有効ビット幅 8 ビット : DCRAnCIN[7:0]</li> </ul>

**(2) DCRAnCOUT - CRC データ・レジスタ**

本レジスタには 32 ビット・イーサネット多項式または 16 ビット CCITT 多項式によって生成した CRC コードの結果を格納します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <DCRAn\_base> + 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCRAnCOUT[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCRAnCOUT[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8-6 DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAnCOUT[31:0]	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ~ 0 が CRC の結果を格納します。ビット 31 ~ 16 は不定になります。

**注意** データ・ブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、本レジスタ CRC データ・レジスタ (DCRAnCOUT) を初期化 (0000 0000<sub>H</sub> の書き込み) してください。



**(3) DCRA<sub>n</sub>CTL - CRC 制御レジスタ**

本レジスタはCRC生成プロセスを制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <DCRA<sub>n</sub>\_base> + 20<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	DCRA <sub>n</sub> ISZ[1:0]	DCRA <sub>n</sub> POL	
R	R	R	R	R	R/W	R/W	R/W

表 8-7 DCRA<sub>n</sub>CTL レジスタの内容

ビット位置	ビット名	機能
2 ~ 1	DCRA <sub>n</sub> ISZ[1:0]	CRC 入力ビット幅を指定します。 00: 32 ビット (DCRA <sub>n</sub> CIN[31:0]) 01: 16 ビット (DCRA <sub>n</sub> CIN[15:0]) 10: 8 ビット (DCRA <sub>n</sub> CIN[7:0]) 11: 設定禁止
0	DCRA <sub>n</sub> POL	CRC 生成方式を指定します。 0: 32 ビット・イーサネット CRC 多項式による生成 DCRA <sub>n</sub> CIN レジスタ内のバイト順は LSB (最下位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRA <sub>n</sub> ISZ[1:0] = 10 <sub>B</sub> ) の場合は、DCRA <sub>n</sub> CIN レジスタのビット位置 7 ~ 0 が LSB になります。 1: 16 ビット CCITT CRC 多項式による生成 DCRA <sub>n</sub> CIN レジスタ内のバイト順は MSB (最上位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRA <sub>n</sub> ISZ[1:0] = 10 <sub>B</sub> ) の場合は、DCRA <sub>n</sub> CIN レジスタのビット位置 7 ~ 0 が MSB になります。

**備考** CRC 生成方式 (DCRA<sub>n</sub>POL), および CRC 入力ビット幅 (DCRA<sub>n</sub>ISZ[1:0]) を変更した場合は、DCRA<sub>n</sub>COUT レジスタを初期化 (0000 0000<sub>H</sub> の書き込み) してください。

## 第9章 クロック・コントローラ

この章では、V850E2/Fx4-H マイクロコントローラのカロック・コントローラのカ機能について説明します。

### (1) 命名規則

カロック信号およびその制御レジスタなどは、特定の電力供給領域とカロック・ドメインを反映する、規定の命名規則に従います。

**m の意味** インデックス m は電力供給領域を表します。

- m = 0 : Isolated エリア 0 (Iso0) を表します。
- m = 1 : Isolated エリア 1 (Iso1) を表します。
- m = A : Always-On エリア (AWO) を表します。

**n の意味** インデックス n (00, 01, 02, ...) はカロック・ドメインを表します。

**例** カロック選択レジスタ CKCS\_0n は、Isolated エリア 0 のカロック CKSCLK\_0n を選択します。  
カロック信号 CKSCLK\_A06 は、Always-On エリア (m = A) のカロック・ドメイン 06 (n = 06) に供給するカロックです。このカロックは、カロック選択レジスタ CKSC\_A06 によって選択されます。

### 9.1 カロック・コントローラのカ概要

**機能概要** カロック・コントローラには、次の機能があります。

- 4つの発振回路：
  - 低速内蔵発振回路：周波数 240 kHz (Typ.)
  - 高速内蔵発振回路：周波数 8 MHz (Typ.)
  - サブ発振回路：32.768 kHz
  - メイン発振回路：4 ~ 20 MHz
- 3つの PLL 回路：
  - パラメータによって周波数変調を調整可能なスペクトル拡散 PLL 回路 (PLL0, 2)
  - 固定出力周波数を持つ PLL (PLL1) × 1
- カロック・ドメインごとに異なるカロック・セレクタを装備し、個別スタンバイによる制御
- 3つのカロック・モニタ (CLMA0, CLMA2, CLMA3)
  - CLMA0：メイン発振回路のカロック監視およびリセット、割り込み要求信号の生成
  - CLMA2：高速内蔵発振回路のカロック監視およびリセット信号、割り込み要求信号の生成
  - CLMA3：PLL0のカロック監視およびリセット信号、割り込み要求信号の生成
- 周波数出力 (FOUT) の選択・調整可能

**備考** クロック発生回路の周波数と許容範囲、およびその他のパラメータについてはデータ・シートを参照してください。

表 9-1 クロック・ソースの概要

クロック・ソース	入力	周波数
MainOsc	external crystal	nom. 4 MHz to 20 MHz
SubOsc	external crystal	nom. 32.768 kHz
PLL0/SSCG0	MainOsc	max. 160 MHz <sup>a</sup>
PLL1	MainOsc	max. 120 MHz
PLL2/SSCG2	MainOsc	max. 120 MHz <sup>a</sup>
Low Speed IntOsc	–	nom. 240 kHz
High Speed IntOsc	–	nom. 8 MHz

a) +5% (SSCG モード)

**クロック・モニタ出力** クロック・モニタは、監視対象のクロックで異常クロック周波数が識別された場合、次の出力信号を生成します。

- CLMAnRES: リセット出力によりリセットが発生します。
- INTCLMAn: 割り込みを生成できます。
  - 割り込みコントローラに接続している場合は、割り込み
  - スタンバイ・コントローラに接続され、ウェイクアップ要因として有効に設定されている場合は、スタンバイ・モードからのウェイクアップ (詳細は、「スタンバイ・コントローラ」の章を参照してください)。

表 9-2 CLMAn 出力信号

CLMA	CLMAnRES 接続先	INTCLMAn 接続先
CLMA0	リセット・コントローラ	割り込みコントローラ スタンバイ・コントローラ
CLMA2	リセット・コントローラ	スタンバイ・コントローラ
CLMA3	リセット・コントローラ	スタンバイ・コントローラ

クロック・コントローラ的主要構成要素を次の図に示します。

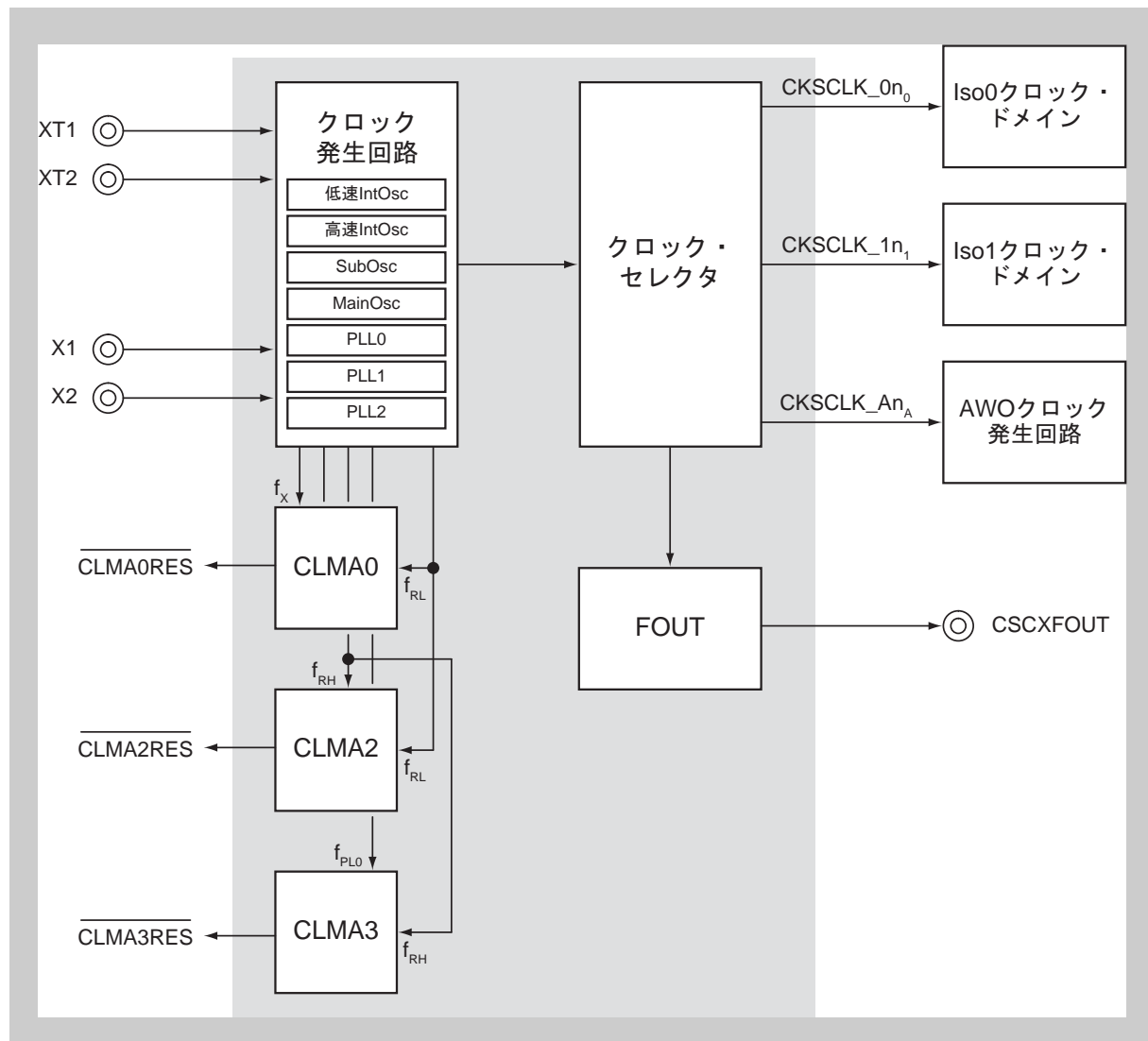


図 9-1 クロック・コントローラの概要

## 9.2 クロックの生成と制御の概要

クロック・コントローラは、3つの電力供給領域に対して、それぞれクロック信号セットを生成します。

- Isolated エリア 0 (Iso0) のクロックに対して CKSCLK\_0n
- Isolated エリア 1 (Iso1) のクロックに対して CKSCLK\_1n
- Always-On エリア (AWO) のクロックに対して CKSCLK\_An

各クロック信号 CKSCLK\_mn は、クロック・ドメイン “mn” のクロックを供給します。

特定の電力供給領域内のすべてのクロック・ドメインは、このドメインのクロックの停止を要求する STOP スタンバイ・モードによりすべてのクロックを一度に停止することができます。

クロック・コントローラの基本的な構成の概要を次の図に示します。

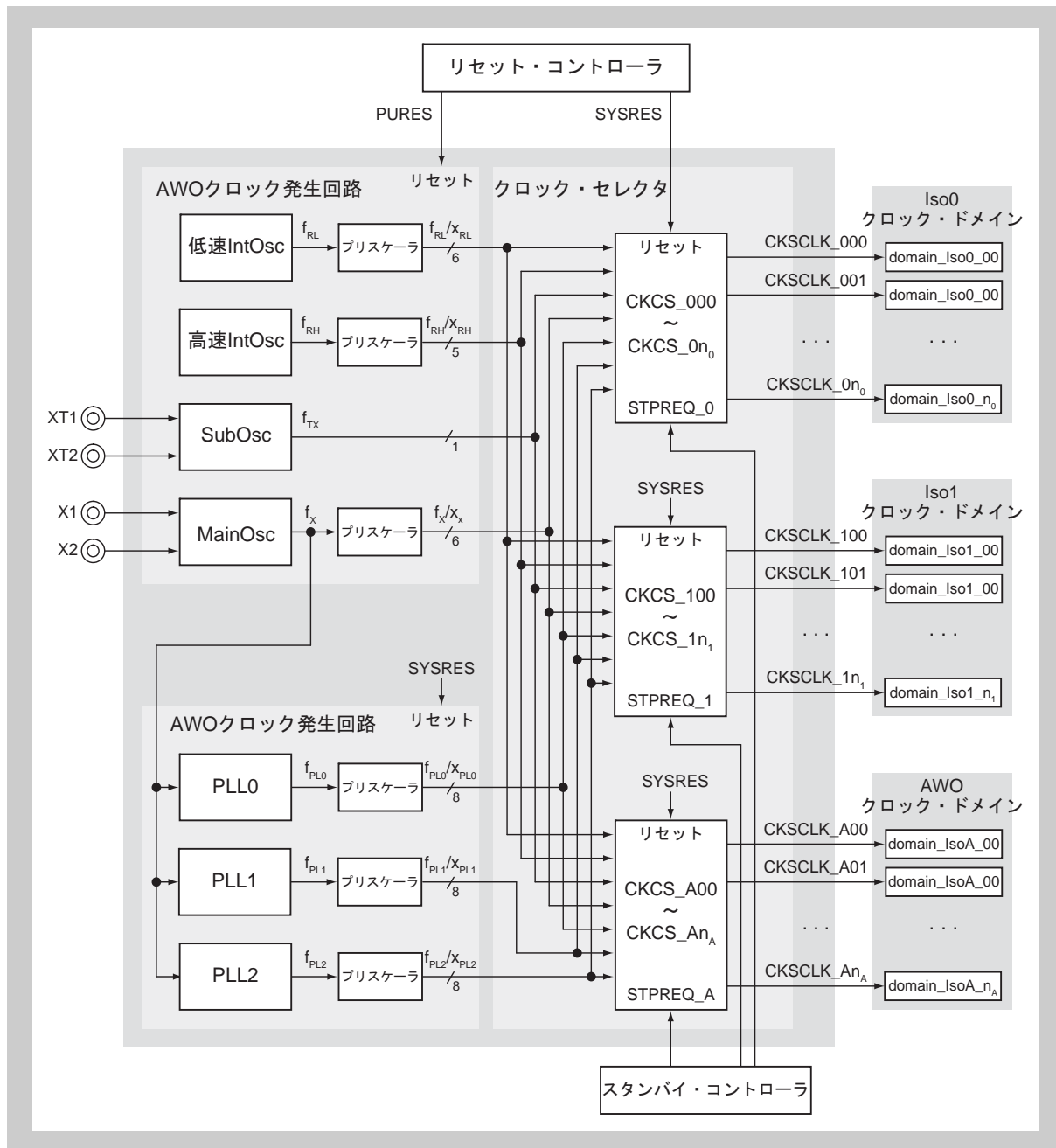


図 9-2 クロック・コントローラの構成

クロック・コントローラは、2つの主要部分で構成されています。

### 9.2.1 クロック発生回路

7つのクロック発生回路を搭載しています。

すべてのクロック発生回路は Always-On エリア (AWO) 上に配置されます。

- 低速内蔵発振回路 (低速 IntOsc)  
低速 IntOsc は、電源投入後に動作を開始し、停止することはできません。したがって、常に動作しています。周波数 240 kHz (Typ.) のクロック  $f_{RL}$  を生成します。
- 高速内蔵発振回路 (高速 IntOsc)  
高速 IntOsc は、周波数 8 MHz (Typ.) のクロックを生成します。
- サブ発振回路 (SubOsc)  
サブ発振回路は周波数 32,768 Hz (Typ.) のサブクロック  $f_{TX}$  を生成します。サブ発振回路でサブクロック  $f_{TX}$  を生成するには、外部発振子を XT1, XT2 に接続する必要があります。主にリアルタイム・クロックを利用するアプリケーションに使用されます。
- メイン発振回路 (MainOsc)  
メイン発振回路はクロック  $f_X$  を生成します。  
メイン発振回路でクロック  $f_X$  を生成するには、外部発振子を X1, X2 に接続する必要があります。  
クロック  $f_X$  は、PLL のリファレンス・クロックとして使用します。
- PLL0 ~ PLL2  
PLL 回路は、マイクロコントローラの通常動作に使用するすべての高速動作クロック  $f_{PL0}$ ,  $f_{PL1}$ ,  $f_{PL2}$  を生成します。

すべてのクロック発生回路は Always-On エリア (AWO) 上に配置されます。

低速 IntOsc, 高速 IntOsc, SubOsc, MainOsc は Always-On エリアにあり、PLLk 回路は Isolated エリア 0 にあります。このため DEEPSTOP スタンバイ・モードでは、PLLk 回路がオフになります。

STOP スタンバイ・モードで、発生回路 (低速 IntOsc を除く) を個別にオフにすることも可能です。

各クロック発生回路から出力されたクロック (SubOsc からの  $f_{TX}$  を除く) は、それぞれプリスケラに入力され、様々な分周比で分周されます。なお、すべてのクロックのプリスケラは、異った分周比を持ちます。

**(1) スタンバイ・ウエイクアップ後の MainOsc および SubOsc の発振開始**

MainOsc および SubOsc は、スタンバイ・モードのウエイクアップ時に、スタンバイ前のステータスに関係なく自動的に発振開始させることができます。

この機能の詳細については、第10章「スタンバイ・コントローラ (STBC)」の「ウエイクアップ」の節を参照してください。

**(2) クロック発生回路のリセット**

MainOsc, SubOsc, 高速 IntOsc のクロック発生回路は、パワーアップ・リセット PURES (パワーオン・クリア・リセット POCRES またはデバッグ・リセット DBRES) でのみリセットされます。

このため、内部リセットでは、これらのクロック発生回路は停止せず、その構成も変更されません。したがって、クロック発生回路の安定時間が不要になり、内部リセットから解除後のマイクロコントローラのスタートアップ時間が最小限ですみます。

すべての PLL は、SYSRES 経由のすべての内部および外部リセット・ソースによってリセットされます。

**(3) STOP スタンバイ・モード要求**

Isolated エリア 0 が STOP モードに入ると、スタンバイ・コントローラ信号 STPREQ\_0 がアサートされ、MainOsc, SubOsc, 高速 IntOsc, およびすべての PLL の停止要求 STPREQ に適用されます。

STPREQ は、それぞれのクロック発生回路制御レジスタで個別にマスクすることができます。

- MainOsc : MOSCE.MOSCESTPMK = 0 :  
STPREQ\_0 がアサートされた場合、STPREQ がマスクされないため、 $f_X$  が停止します。
- SubOsc : SOSCE.SOSCESTPMK = 0 :  
STPREQ\_0 がアサートされた場合、STPREQ がマスクされないため、 $f_{XT}$  が停止します。
- 高速 IntOsc : ROSCE.ROSCESTPMK = 0 :  
STPREQ\_0 がアサートされた場合、STPREQ がマスクされないため、 $f_{RH}$  が停止します。
- PLLk : PLLEk.PLLEkSTPMK = 0 :  
STPREQ\_0 がアサートされた場合、STPREQ がマスクされないため、 $f_{PLk}$  が停止します。

停止要求がマスクされていない場合、つまりクロック発生回路がスタンバイ・モード中に停止している場合、スタンバイ・モードに入る前に動作していたのであれば、スタンバイ・モードからのウエイクアップの後、自動的に再開します。

スタンバイ・モードの前にクロック発生回路が停止していた場合、そのまま停止したままになります。ただし、MainOsc および SubOsc は、スタンバイ・モードの前に動作していなくても、ウエイクアップ後に始動させることができます。(1)「スタンバイ・ウエイクアップ後の MainOsc および SubOsc の発振開始」を参照してください。

停止要求がマスクされている場合、クロック発生回路のステータスはスタンバイ・モードの間も変わりません。



**(4) DEEPSTOP スタンバイ・モード**

DEEPSTOP スタンバイ・モードも、STOP スタンバイ・モードと同様の方法で、STPREQ\_0 信号をアサートし、クロック発生回路に影響を及ぼします。

DEEPSTOP スタンバイ・モードで Isolated エリア 0 および Isolated エリア 1 の電源がオフになっている場合、すべての PLL クロック fPLk が動作を停止します。

DEEPSTOP モードから解除されると、PLLk 制御レジスタがリセット状態になり、PLL 回路の完全な再初期化が必要になります。

## 9.2.2 クロック・セレクタ

クロック発生回路で生成されたクロックは、クロック・セレクタ CKSC\_mn に入力されます。クロック・ドメインごとに個別のクロック選択レジスタ CKSC\_mn を用意しています。

クロック発生回路のすべてのクロックがそれぞれのクロック・セレクタに入力されるわけではありません。

クロック選択レジスタは3セット用意されており、それぞれ3つある電力供給領域のクロック・ドメイン専用となっております。

- $n_0$  レジスタ CKSC\_000-CKSC\_0 $n_0$  : Isolated エリア 0 のクロック・ドメイン用
- $n_1$  レジスタ CKCS\_100-CKCS\_1 $n_1$  : Isolated エリア 1 のクロック・ドメイン用
- $n_A$  レジスタ CKCS\_A00-CKCS\_A $n_A$  : Always-On エリアのクロック・ドメイン用

クロック選択レジスタ CKSC\_mn を使用することにより、任意の入力クロックを CKSCLK\_mn クロックとして選択することができます。

クロック・セレクタ CKSCLK\_mn は、電源ドメイン m に対するクロック・ドメインのクロックを選択するもので、同じパワー・ドメイン上にあります。

### クロック・セレクタのリセット

クロック・セレクタは SYSRES 信号でリセットされます。この信号は、マイクロコントローラの POC リセットまたはそれ以外のリセットによってアクティブになります。したがって、リセット後はすべてのクロック・ドメインの供給が初期設定に戻ります。

また、Isolated エリア 0 および Isolated エリア 1 のパワー・ドメインにあるクロック・セレクタは、そのドメインが DEEPSTOP モードからウエイクアップされるとリセットされます。

### STOP スタンバイ・モード要求

クロック・セレクタは、スタンバイコントローラからの停止要求信号である STPREQ\_0 (Iso0), STPREQ\_1 (Iso1), STPREQ\_A (AWO) により、各電力供給領域に対する STOP モードへの移行を通知されます。通知された停止要求信号を元に各電力供給領域へのクロックを停止します。なおクロック・セレクタは、クロック選択レジスタにより個々のクロックをマスクできます。

- CKSC\_mn.STPMK\_mn=0 :  
停止要求信号 STPREQ\_m のアクティブがマスクされないため、CLSCLK\_mn は発振を停止します。
- CKSC\_mn.STPMK\_mn=1 :  
停止要求信号 STPREQ\_m のアクティブがマスクされるため、CLSCLK\_mn は発振を継続します。

**備考** すべてのクロック・セレクタ CKSC\_mn に停止マスク機能があるわけではありません。これらのクロック・ドメインは、STOP モードでも動作しています。それぞれのクロック・セレクタについては、この章の「クロックの選択」の節を参照してください。

## 9.3 クロック発生回路

### 9.3.1 メイン発振回路（MainOsc）のクロック発生回路

メイン発振回路はクロック  $f_X$  を生成し、生成された  $f_X$  はクロック・ドメインのクロック・セレクタ CKSCmn に供給されます。 $f_X$  は、PLL 入力クロック PLLCLKIN としても使用されます。

MainOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

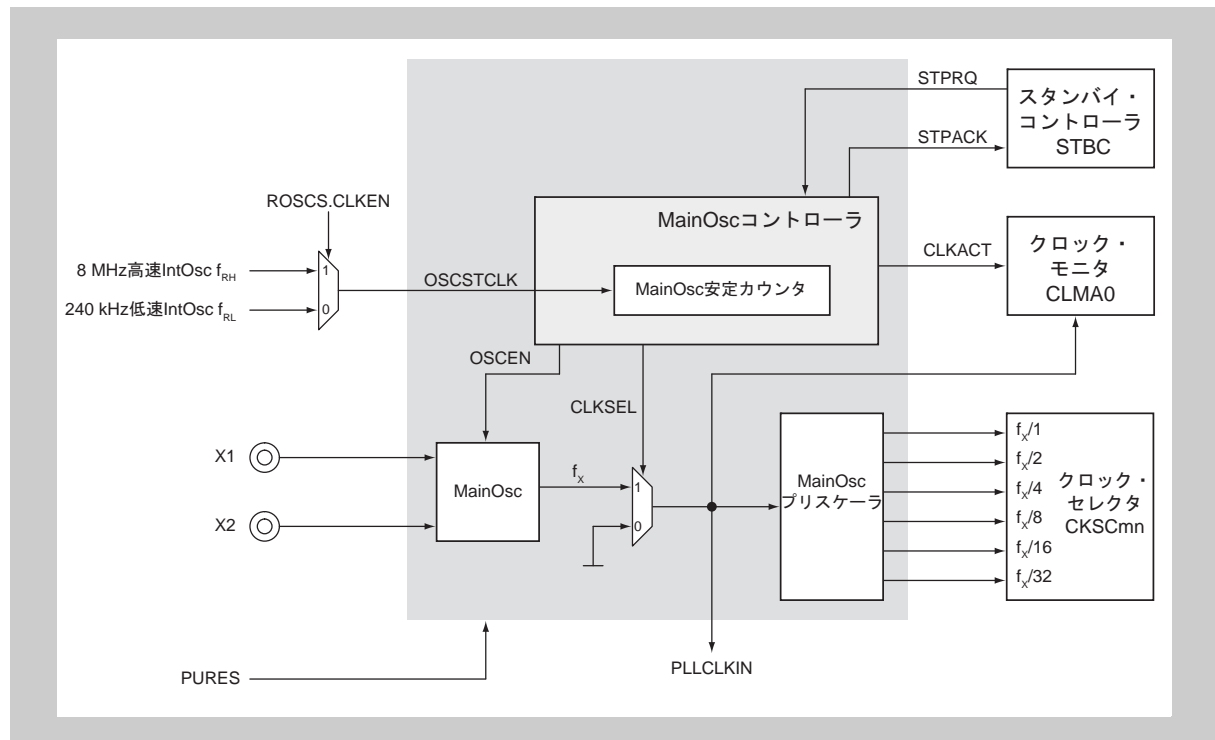


図 9-3 MainOsc クロック発生回路

**MainOsc 有効** リセット解除後、MainOsc は無効になるため、MainOsc イネーブル・トリガ MOSCE.ENTRG を 1 に設定して MainOsc を有効にする必要があります。また、スタンバイ復帰時の場合は、スタンバイ解除要因で MainOsc の起動をかけることができます。MainOsc の有効状態は、ビット MOSCS.CLKEN = 1 で示されます。

**MainOsc 安定** MainOsc 安定カウンタは、発振安定時間をカウント・ダウンします。MainOsc の発振が安定しない間は、CLKSEL 信号によって MainOsc プリスケーラへの  $f_X$  出力が禁止されます。MainOsc 安定カウンタが MOSCST.MOST[3:0] で指定した値に達すると、 $f_X$  が安定したと判断し、CLKSEL 信号の値が変化して  $f_X$  がプリスケーラに入力されます。これにより、プリスケーラ出力  $f_X/1$ ,  $f_X/2$ ,  $f_X/4$ ,  $f_X/8$ ,  $f_X/16$ , および  $f_X/64$  のすべてがクロック・セレクタ CKSCmn で選択できるようになります。 $f_X$  クロックの安定状態は、ビット MOSCS.CLKSTAB = 1 で示されます。安定カウンタ・クロック OSCSTCLK の信号源は、次の 2 つのクロックから選択されます。

- 高速 IntOsc が動作している (ROSCS.CLKEN = 1) 場合, 高速 IntOsc のクロック  $f_{RH}$  (8 MHz)
- 高速 IntOsc が停止している (ROSCS.CLKEN = 0) 場合, 低速 IntOsc のクロック  $f_{RL}$  (240 kHz)

安定カウンタ・クロックの信号源は, 高速 IntOsc の動作状態に応じて自動的に選択されます。

MOSCST.MOST[3:0] は, MainOsc 安定時間を OSCSTCLK の期間で指定します。設定範囲は  $2^2 \sim 2^{17}$  です。

**MainOsc 増幅ゲイン** 外部発振子からの MainOsc 入力周波数は, MOSCC.AMPSEL[1:0] によって 4MHz ~ 20 MHz の範囲で選択できます。

安定時間を最適化するために, MOSCC.AMPSEL[1:0] を設定することによって発振回路の増幅器ゲインをさまざまな入力周波数範囲に調整できます。

外部発振子の動作と外部回路によっては, MOSCC.SHTSTBY を 1 に設定することで増幅ゲインを強制的に最大化し, MainOSC 安定時間の期間, MOSCC.AMPSEL[1:0] の設定を無視することができます。これにより, 発振安定時間を短縮できる可能性があります。

**STOP スタンバイ・モード要求** クロック・コントローラは, スタンバイ・コントローラから STPRQ 信号により STOP スタンバイ状態を通知されます。

また, 停止要求マスク・ビット MOSCE.STPMK は, STOP スタンバイ時に MainOsc の動作を継続させるか停止させるかを制御します。

MOSCE.STPMK = 0 時に STOP スタンバイ状態となり MainOsc が停止した場合, MainOsc のスタンバイ停止アクノリッジを MOSCS.STPACK に反映させ, さらに STPACK 信号によりスタンバイ・コントローラに通知します。

なお, MainOsc は STOP スタンバイ・モードから復帰した時点で自動的に再起動します。

**クロック・モニタ制御** MainOsc のアクティビティ信号 CLKACT は, クロック・モニタ CLMA0 の監視の有効/無効を制御します。また MainOsc が無効の場合 (MOSCS.CLKEN=0), クロック・モニタ CLMA0 による出力クロック  $f_x$  の監視も無効になります。

表 9-3 クロック・モニタ 0 のステータス制御

MOSCS.CLKEN	MOSCE.STPMK	STPRQ	CLKACT	CLMA0
0	X	X	X	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ
			0	停止

- MainOsc 許可 / 停止** MainOsc は、下記のトリガで動作 / 停止可能です。
- トリガ**
- 動作許可トリガ MOSCE.ENTRG = 1 で MainOsc 起動  
動作許可トリガは、MainOsc がインアクティブ (MOSCS.CLKACT = 0) であるときのみ有効です。
  - 動作停止トリガ MOSCE.DISTRG = 1 で MainOsc 停止  
動作停止トリガは、MainOsc がアクティブ (MOSCS.CLKACT = 1) であるときのみ有効です。

### 9.3.2 サブ発振回路 (SubOsc) のクロック発生回路

サブ発振回路はサブクロック  $f_{TX}$  を生成し、生成された  $f_{TX}$  はクロック・ドメインのクロック・セクタ CKSC\_mn に供給されます。 $f_{TX}$  は、通常、周波数 32.768 kHz (Typ.) であり、主にリアルタイム・クロック用として使用されます。

SubOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

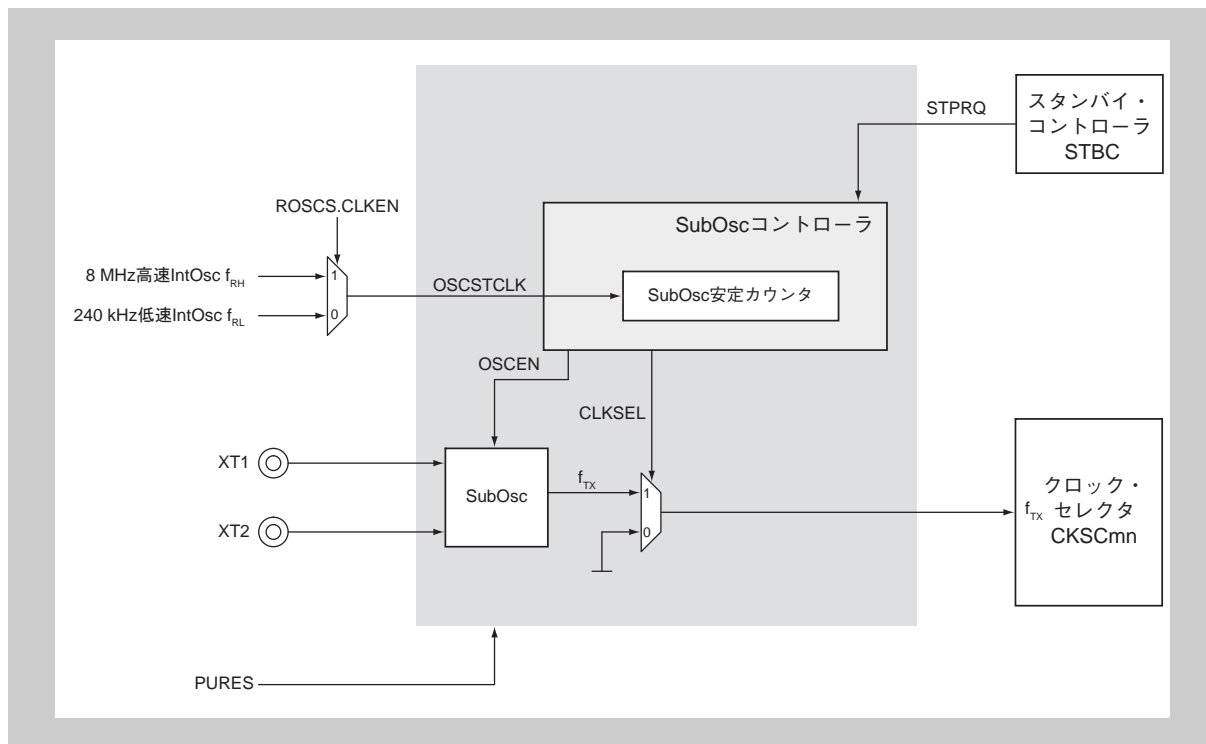


図 9-4 SubOsc クロック発生回路

- SubOsc 有効** リセット解除後、SubOscは無効になるため、SubOsc イネーブル・トリガ SOSCE.ENTRG を 1 に設定して SubOsc を有効にする必要があります。また、スタンバイ復帰時は、スタンバイ解除要因で SubOsc の起動をかけることができます。SubOsc の有効状態は、ビット SOSCS.CLKEN = 1 で示されます。
- SubOsc 安定** SubOsc 安定カウンタは、発振安定時間をカウント・ダウンします。SubOsc の発振が安定しない間は、CLKSEL 信号によってクロック・セレクタ CKSC\_mn への  $f_{TX}$  出力が禁止されます。SubOsc 安定カウンタが SOSCST.SOST[2:0] で指定した値に達すると、 $f_{TX}$  が安定したと判断し、CLKSEL 信号の値が変化して  $f_{TX}$  が入力クロック・セレクタ CKSC\_mn に入力されます。 $f_{TX}$  クロックの安定状態は、ビット SOSCS.CLKSTAB = 1 で示されます。安定カウンタ・クロック OSCSTCLK の信号源は、次の 2 つのクロックから選択されます。
- 高速 IntOsc が動作している (ROSCS.CLKEN = 1) 場合、高速 IntOsc のクロック  $f_{RH}$  (8 MHz)
  - 高速 IntOsc が停止している (ROSCS.CLKEN = 0) 場合、低速 IntOsc のクロック  $f_{RL}$  (240 kHz)
- 安定カウンタ・クロックの信号源は、高速 IntOsc の動作状態に応じて自動的に選択されます。SOSCST.SOST[2:0] は、SubOsc 安定時間を OSCSTCLK の期間で指定します。設定範囲は  $2^{19} \sim 2^{26}$  です。
- SubOsc の入力周波数** SubOsc の入力周波数は、通常 32.768 kHz です。
- SubOsc 許可 / 停止トリガ** SubOsc は、下記のトリガで動作 / 停止可能です。
- 動作許可トリガ SOSCE.ENTRG = 1 で SubOsc 起動
- 動作許可トリガは、SubOsc がインアクティブ (SOSCS.CLKACT = 0) であるときのみ有効です。

### 9.3.3 高速内蔵発振回路（高速 IntOsc）のクロック発生回路

高速内蔵発振回路はクロック  $f_{RH}$  を生成し、生成された  $f_{RH}$  はクロック・ドメインのクロック・セクタ CKSC\_mn に供給されます。 $f_{RH}$  は周波数 8 MHz (Typ.) です。

高速 IntOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

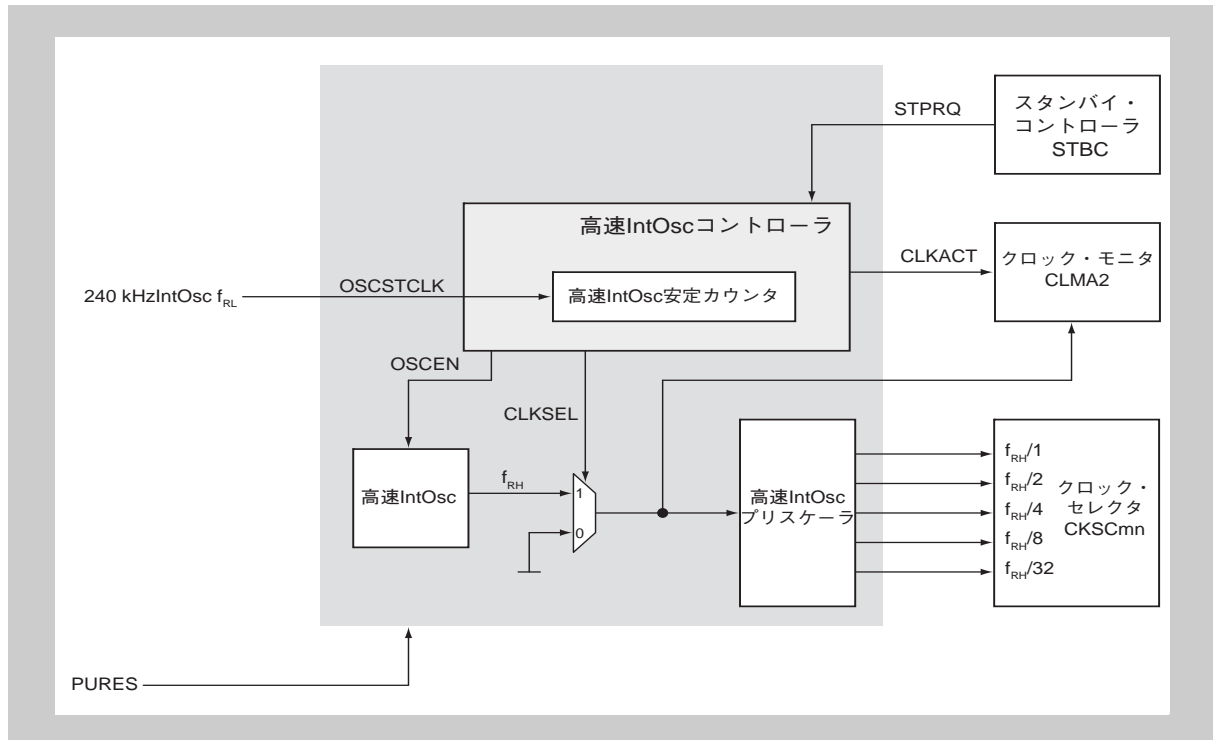


図 9-5 高速 IntOsc のクロック発生回路

リセット解除後、高速 IntOsc は動作を開始します。

**高速 IntOsc 無効** 高速 IntOsc を停止するには、ディセーブル・トリガ ROSCE.DISTRG を 1 に設定します。

**高速 IntOsc 有効** 高速 IntOsc イネーブル・トリガ ROSCE.ENTRG を 1 に設定することによって、高速 IntOsc を有効にできます。  
高速 IntOsc の有効状態は、ビット ROSCS.CLKEN = 1 で示されます。  
 $f_{RH}$  クロックの安定状態は、ビット ROSCS.CLKSTAB = 1 で示されます。

**STOP スタンバイ・モード要求** クロック・コントローラは、スタンバイ・コントローラから STPRQ 信号により STOP スタンバイ状態を通知されます。また、停止要求マスク・ビット ROSCS.STPMK は、STOP スタンバイ時に高速 IntOsc の動作継続ならびに停止を制御します。

ROSCS.STPMK = 0 時に STOP スタンバイ状態となり高速 IntOsc が停止した場合、高速 IntOsc のスタンバイ停止アクノリッジを ROSCS.STPACK に反映させ、さらに STPACK 信号によりスタンバイ・コントローラへ通知します。

なお、高速 IntOsc は STOP スタンバイ・モードから復帰した時点で自動的に再起動します。



**クロック・モニタ制御** 高速 IntOsc のアクティビティ信号 CLKACT は、クロック・モニタ CLMA2 の監視の有効/無効を制御します。また高速 IntOsc が無効の場合 (ROSCS.CLKEN=0)、クロック・モニタ CLMA2 による出カクロック  $f_{RH}$  の監視も無効になります。クロック・モニタ制御のさまざまな条件について次の表に示します。

表 9-4 クロック・モニタ 2 のステータス制御

ROSCS.CLKEN	ROSCE.STPMK	STPRQ	CLKACT	CLMA2
0	X	X	X	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ
		X	0	停止

高速 IntOsc のクロック  $f_{RH}$  は、クロック・モニタ CLMA3 のサンプリング・クロックとして使用します。

### 9.3.4 低速内蔵発振回路（低速 IntOsc）のクロック発生回路

低速内蔵発振回路はクロック  $f_{RL}$  を生成し、生成された  $f_{RL}$  はクロック・ドメインのクロック・セクタ CKSC\_mn に供給されます。 $f_{RL}$  は周波数 240 kHz (Typ.) です。

低速 IntOsc のクロック発生回路の基本的な構成と信号を次の図に示します。

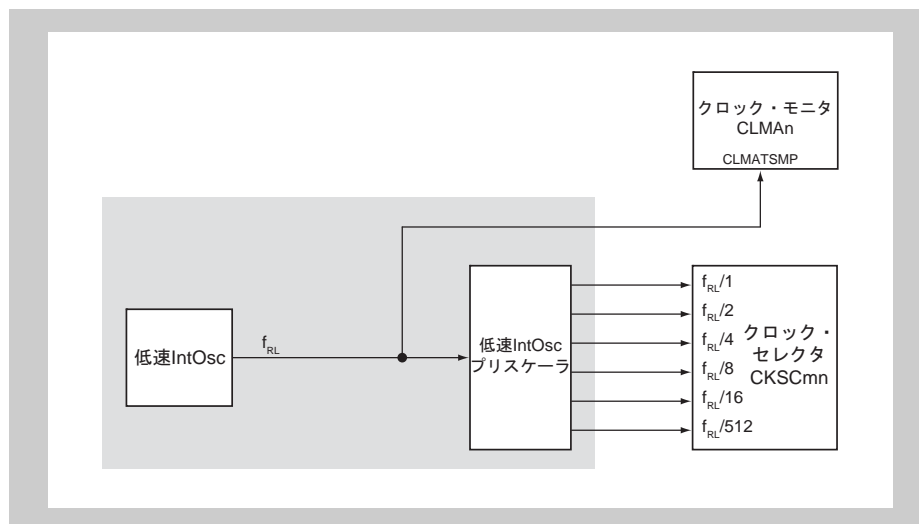


図 9-6 低速 IntOsc のクロック発生回路

リセット解除後、低速 IntOsc は動作を開始します。停止はできません。

低速 IntOsc のクロック  $f_{RL}$  は、クロック・モニタ CLMA0, CLMA2 のサンプリング・クロックとして使用されます。

### 9.3.5 PLL (Phase-Locked Loop) のクロック発生回路

メイン発振回路から出力したクロック  $f_X$  は、PLL のクロック発生回路 PLLk ( $k = 0 \sim 2$ ) に入力されます。PLLk の出力クロック  $f_{PLK}$  は  $f_X$  の倍数で、マイクロコントローラのメイン動作クロックとして機能します。

PLLk のクロック発生回路の基本的な構成と信号を次の図に示します。

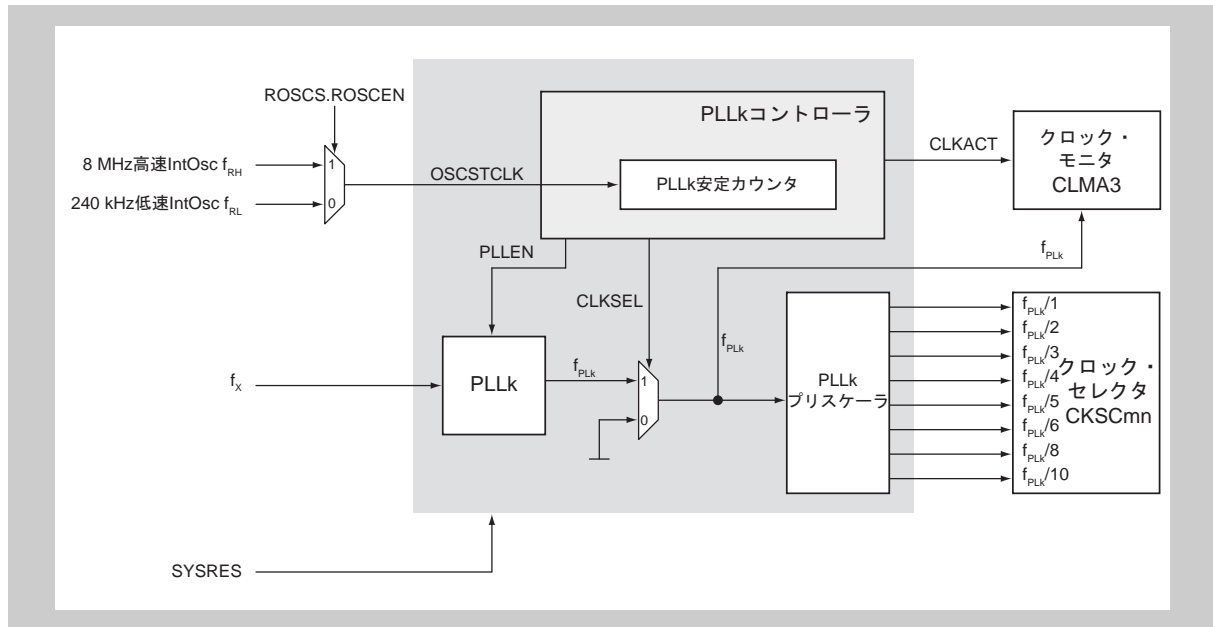


図 9-7 PLLk のクロック発生回路

**PLLk 有効** リセット解除後、PLLk は無効になるため、PLLk イネーブル・トリガ  $PLLEk.ENTRG$  を 1 に設定することによって PLLk を有効にする必要があります。PLLk の有効状態は、ビット  $PLLSk.CLKENk = 1$  で示されます。

**PLLk 安定** PLLk 安定カウンタは、安定時間をカウント・ダウンします。

PLLk の発振が安定しない間は、CLKSEL 信号によって PLLk プリスケーラへの  $f_{PLK}$  出力が禁止されます。

PLLk 安定カウンタが  $PLLSTk.PLLSTk[2:0]$  で指定した値に達すると、 $f_{PLK}$  が安定したと判断し、CLKSEL 信号の値が変化して  $f_{PLK}$  がプリスケーラに入力されます。これにより、プリスケーラ出力  $f_{PLK}/1$ ,  $f_{PLK}/2$ ,  $f_{PLK}/3$ ,  $f_{PLK}/4$ ,  $f_{PLK}/5$ ,  $f_{PLK}/6$ ,  $f_{PLK}/8$ , および  $f_{PLK}/10$  のすべてがクロック・セレクタ CKSCmn で選択できるようになります。

$f_{PLK}$  クロックの安定状態は、ビット  $PLLSk.CLKSTABk = 1$  で示されます。

安定カウンタ・クロック OSCSTCLK の信号源は、次の 2 つのクロックから選択されます。

- 高速 IntOsc が動作している ( $ROSCS.CLKEN = 1$ ) 場合、高速 IntOsc のクロック  $f_{RH}$  (8 MHz)
- 高速 IntOsc が停止している ( $ROSCS.CLKEN = 0$ ) 場合、低速 IntOsc のクロック  $f_{RL}$  (240 kHz)

安定カウンタ・クロックの信号源は、高速 IntOsc の動作状態に応じて自動的に選択されます。

PLLSTk.PLLSTk[2:0] は、PLLk 安定時間を OSCSTCLK の期間で指定します。設定範囲は  $2^7 \sim 2^{14}$  です。

**STOP スタンバイ・モード要求** クロック・コントローラは、スタンバイ・コントローラから STPRQ 信号により STOP スタンバイ状態を通知されます。また、停止要求マスク・ビット PLLEk.STPMK は、STOP スタンバイ時に PLLk の動作継続ならびに停止を制御します。

PLLEk.STPMK = 0 時に STOP スタンバイ状態となり PLLk が停止した場合、PLLk のスタンバイ停止アクノリッジを PLLSk.STPACK に反映させ、さらに STPACK 信号によりスタンバイ・コントローラへ通知します。

なお、PLLk は STOP スタンバイ・モードから復帰した時点で自動的に再起動します。

**クロック・モニタ制御** PLL0 のアクティビティ信号 CLKACT は、クロック・モニタ CLMA3 の監視の有効/無効を制御します。また PLL0 が無効の場合 (PLLS0.CLKEN=0)、クロック・モニタ CLMA3 による出力クロック  $f_{PL0}$  の監視が無効になります。

表 9-5 クロック・モニタ 3 のステータス制御

PLLS0.CLKEN	PLLE0.STPMK	STPRQ	CLKACT	CLMA3
0	X	X	X	停止
1	0	0	1	アクティブ
		1	0	停止
	1	X	1	アクティブ
			0	停止

**PLLk 許可 / 停止トリガ** PLLk は、下記のトリガで動作 / 停止可能です。

- 動作許可トリガ PLLEk.ENTRG = 1 で PLLk 起動

動作許可トリガは、PLLk がインアクティブ (PLLSk.CLKACT = 0) であるときのみ有効です。

- 動作停止トリガ PLLEk.DISTRG = 1 で PLLk 停止

動作停止トリガは、PLLk がアクティブ (PLLSk.CLKACT = 1) であるときのみ有効です。

## (1) PLLのパラメータ

PLLは、制御レジスタ PLLCk からのパラメータ・セットで設定されます。

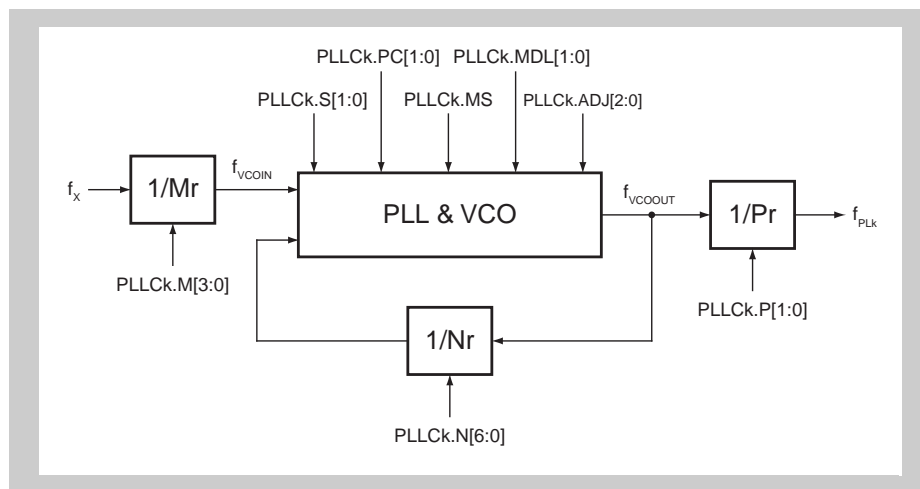


図 9-8 PLL 回路

**PLL モード** PLL モードは次の 2 つから選択します。

- PLLCk.MS = 0 : 出力周波数を変調した SSCG (Spread Spectrum Clock Generator : スペクトル拡散クロック発生回路) モード
- PLLCk.MS = 1 : 固定出力周波数の PLL モード

**f<sub>PLK</sub>** 周波数 f<sub>PLK</sub> は次のように計算します。

$$f_{PLK} = f_X \times (Nr/Mr) \times 1/Pr$$

Nr, Mr, Pr の値は、PLLCk レジスタ・ビットの設定から求められます。

- Nr = PLLCk.N[6:0] + 1
- Mr の値は次の 2 つのモード設定から求められます。
  - SSCG モード (PLLCk.PLLCkMS = 0) : Mr = PLLCk.PLLCkM[3:0] + 1
  - PLL モード (PLLCk.PLLCkMS = 1) : Mr = 1 (PLLCk.PLLCkM[3:0] = 0<sub>H</sub>)
- Pr は PLLCk.PLLCkP[1:0] によって次のように決定されます。

PLLCk.PLLCkP[1:0]	Pr	PLL 出力周波数 (f <sub>PL0</sub> ) 範囲
00 <sub>B</sub>	0.5	設定禁止
01 <sub>B</sub>	1	100 MHz - 200 MHz
10 <sub>B</sub>	2	50 MHz - 100 MHz
11 <sub>B</sub>	4	25 MHz - 50 MHz

- 周波数変調** 周波数変調が有効（PLLCK.MS = 0）の場合、PLLCKでパラメータを追加設定する必要があります。
- PLLCK.PC[1:0]は変調モードを決定します。
    - PC[1:0] = 0x<sub>B</sub> : 固定出力周波数
    - PC[1:0] = 10<sub>B</sub> : 設定禁止
    - PC[1:0] = 11<sub>B</sub> : センター・スプレッド・モード（周波数はセンター出力周波数）
  - PLLCK.MDL[1:0]は周波数周期制御（出力周波数が最大値から最小値まで、および最小値から最大値まで変化する時間）を決定します。
  - PLLCK.ADJ[2:0]は周波数変調範囲（周波数の最大値と最小値）を決定します。
- PLLパラメータの設定範囲については、PLLCKレジスタの説明を参照してください。

- PLLkの入力周波数** VCOの入力周波数  $f_{VCOIN}$  は、1 MHz ~ 2 MHz の範囲内である必要があります（SSCGモードのみ）。したがって、次のように分周比  $M_r$  を正しく設定する必要があります。

$$f_{VCOIN} = f_X / M_r = 1 \text{ MHz} \sim 2 \text{ MHz}$$

PLLCK.S[1:0]は、周波数  $f_{VCOIN}$  に応じて設定します。

### 9.3.6 保護レジスタへの書き込み

ライト保護レジスタは、誤ったプログラム動作などによる不正なライトから保護されています。

ライト保護レジスタへの書き込みは、次に示す特定の命令シーケンスによってのみ可能です。

1. 固定値 A5<sub>H</sub> を保護コマンド・レジスタ PROTCMDm に書き込みます。
2. 保護レジスタに要求値を書き込みます。
3. 保護レジスタに要求値のビット反転値を書き込みます。
4. 保護レジスタに要求値を書き込みます。
5. PROTSm.PROTERR の値が 0 であることを確認して、保護レジスタに要求値が書き込まれたことを確認します。確認結果が 1 の場合はステップ 1 から再開する必要があります。

上記命令シーケンスの手順 1 から手順 4 の間に、クロック・コントローラ・レジスタへのライト・アクセスがあった場合、保護レジスタへの書き込みは失敗します (PROTSm.PROTERR = 1 で表示)。この場合、命令シーケンスを手順 1 から再度行う必要があります。

上記特定命令シーケンス中は、この保護シーケンスを阻むことなく、クロック・コントローラ・レジスタを除く他のレジスタへアクセスすることができます。

保護シーケンスが阻まれた場合、保護機能は次のように動作します。

- 保護シーケンス中の割り込み  
上記保護シーケンス中に割り込みが受け付けられ、かつその割り込みサービス・ルーチンがクロック・コントローラ・レジスタにアクセスしていない場合、保護シーケンスは阻まれません。割り込みサービス・ルーチンから復帰したあと、保護レジスタへの書き込みが正常に行なわれます。
- 保護シーケンス中のエミュレータ中断  
上記保護シーケンス中に、たとえばブレークポイントに達したなどの理由でエミュレータが中断した場合、エミュレータ中断から復帰して正常動作に戻るまで、レジスタ保護シーケンスは中断されません。  
すなわち、クロック・コントローラ・レジスタがエミュレータ中断中にアクセスされた場合でも、保護シーケンスは阻まれません。  
クロック・コントローラ・レジスタにアクセスすることで、PROTSm.PROTERR がセットされるわけではありません。

## 9.4 クロックの選択

この節では、Fx4-H 製品の 3 つの電源ドメイン上のすべてのクロック・ドメインで使用できるクロック選択オプションについて説明します。

クロック選択制御レジスタおよびクロック選択ステータス・レジスタは、2 種類のインデックスを使用して電力供給領域とクロック・ドメインを識別します。

- |                                   |   |
|-----------------------------------|---|
| <b>m = 0 : Isolated<br/>エリア 0</b> | CKSC_mn が Isolated エリア 0 内の任意のクロック・ドメインのクロックを制御する場合：  |
|                                   | <ul style="list-style-type: none"> <li>• m = 0 :</li> <li>• n = 0, 5-7, 11, 12, 16</li> </ul>             |
| <b>m = 1 : Isolated<br/>エリア 1</b> | CKSC_mn が Isolated エリア 1 内の任意のクロック・ドメインのクロックを制御する場合：  |
|                                   | <ul style="list-style-type: none"> <li>• m = 1 :</li> <li>• n = 1-3, 5, 6, 8, 9, 11-15, 22, 28</li> </ul> |
| <b>m = A : Always-On<br/>エリア</b>  | CKSC_mn が Always-On エリア内の任意のクロック・ドメインのクロックを制御する場合：  |
|                                   | <ul style="list-style-type: none"> <li>• m = A :</li> <li>• n = 2-7, 9</li> </ul>                         |

各クロック選択レジスタの次の項目について、以降の表でそれぞれで説明します。

- 電力供給領域とクロック・ドメイン
- クロック選択レジスタの名称、アドレス、初期値
- ドメイン・クロック名
- クロック選択オプションとその ID、クロックの制限（必要な場合）

### 9.4.1 Always-On エリアのクロック・ドメイン

#### (1) クロック・ドメイン AWO\_2

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A02		電力供給領域 : Always-On エリア		
アドレス	FF42 2020 <sub>H</sub>	クロック・ドメイン : AWO_2		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_A02	RTCA0: PCLK WDTA0: PCLK VCPC0: PCLK CLMA0: PCLK KR0: PCLK FOUT: PCLK
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
0008 <sub>H</sub>	高速 IntOsc [8 MHz] / 2			
0009 <sub>H</sub>	高速 IntOsc [8 MHz] / 4			
000A <sub>H</sub>	高速 IntOsc [8 MHz] / 8			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			



## (2) クロック・ドメイン AWO\_3

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A03		電力供給領域 : Always-On エリア		
アドレス	FF42 2030 <sub>H</sub>	クロック・ドメイン : AWO_3		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 80 MHz	CKSCLK_A03	TAUJ0: PCLK
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
000C <sub>H</sub>	MainOsc / 1			
0012 <sub>H</sub>	SubOsc [32 kHz]			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (3) クロック・ドメイン AWO\_4

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A04		電力供給領域 : Always-On エリア		
アドレス	FF42 2040 <sub>H</sub>	クロック・ドメイン : AWO_4		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 80 MHz	CKSCLK_A04	TAUJ1: PCLK
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
000C <sub>H</sub>	MainOsc / 1			
0012 <sub>H</sub>	SubOsc [32 kHz]			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (4) クロック・ドメイン AWO\_5

CKSC\_A05 レジスタで、クロック・ドメイン AWO\_5 に割り当てているモジュールのクロック・ソースを選択します。

バックアップ RAM をアクセス中に選択しているクロック・ソースを停止したり、リセットが発生した場合、バックアップ RAM の値は保証いたしません。

クロック選択制御レジスタ : CKSC_A05		電力供給領域 : Always-On エリア		
アドレス	FF42 2050 <sub>H</sub>	クロック・ドメイン : AWO_5		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 40 MHz	CKSCLK_A05	バックアップ RAM: PCLK
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
上記以外	設定禁止			

## (5) クロック・ドメイン AWO\_6

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A06		電力供給領域 : Always-On エリア		
アドレス	FF42 2060 <sub>H</sub>	クロック・ドメイン : AWO_6		
初期値	0000 0000 <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 120 MHz	CKSCLK_A06	FOUT: FOUTDIVCLK
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
000C <sub>H</sub>	MainOsc / 1			
0012 <sub>H</sub>	SubOsc [32 kHz]			
0017 <sub>H</sub>	PLL0 / 4			
001F <sub>H</sub>	PLL1 / 4			
002C <sub>H</sub>	CKSCLK_000: CPU system clock			
002D <sub>H</sub>	CKSCLK_A09: RTCA0 clock RTCATCKI			
002E <sub>H</sub>	CKSCLK_A07: WDTA0 clock WDTACKI			
002F <sub>H</sub>	CKSCLK_007: WDTA1 clock WDTACKI			
0030 <sub>H</sub>	CKSCLK_113: FCN0, FCN1, FCN2 clock PCLK			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (6) クロック・ドメイン AWO\_7

CKSC\_A07 レジスタで、クロック・ドメイン AWO0\_7 に割り当てているモジュールのクロック・ソースを選択します。

クロック選択制御レジスタ : CKSC_A07		電力供給領域 : Always-On エリア		
アドレス	FF42 2070 <sub>H</sub>	クロック・ドメイン : AWO_7		
初期値	0000 0006 <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	-	CKSCLK_A07	WDTA0: WDTACKI
0003 <sub>H</sub>	低速 IntOsc [240 kHz] / 4			
0005 <sub>H</sub>	低速 IntOsc [240 kHz] / 512			
上記以外	設定禁止			

## (7) クロック・ドメイン AWO\_9

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_A09		電力供給領域 : Always-On エリア		
アドレス	FF42 2090 <sub>H</sub>	クロック・ドメイン : AWO_9		
初期値	0000 0000 <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール：クロック
0009 <sub>H</sub>	高速 IntOsc [8 MHz] / 4	32 kHz ~ 4.194304 MHz	CKSCLK_A09	RTCA0: RTCATCKI
000A <sub>H</sub>	高速 IntOsc [8 MHz] / 8			
000C <sub>H</sub>	MainOsc / 1			
000D <sub>H</sub>	MainOsc / 2			
000E <sub>H</sub>	MainOsc / 4			
000F <sub>H</sub>	MainOsc / 8			
0012 <sub>H</sub>	SubOsc [32 kHz]			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## 9.4.2 Isolated エリア 0 のクロック・ドメイン

### (1) クロック・ドメイン ISO0\_0

CKSC\_000 レジスタで、クロック・ドメイン ISO0\_0 に割り当てているモジュールのクロック・ソースを選択します。

本クロック・ドメインで選択するクロックは、システム全体のクロックになるため、ソフトウェアで選択したクロック・ソースを停止させないでください。

クロック選択制御レジスタ : CKSC_000		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6000 <sub>H</sub>	クロック・ドメイン : ISO0_0		
初期値	0000 0074 <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0008 <sub>H</sub>	高速 IntOsc [8 MHz] / 2	≤ 160 MHz	CKSCLK_000	CPU, CPU サブシステム : CPUCLK
0009 <sub>H</sub>	高速 IntOsc [8 MHz] / 4			
000A <sub>H</sub>	高速 IntOsc [8 MHz] / 8			
000B <sub>H</sub>	高速 IntOsc [8 MHz] / 32			
000C <sub>H</sub>	MainOsc / 1			
0014 <sub>H</sub>	PLL0 / 1			
0015 <sub>H</sub>	PLL0 / 2			
0017 <sub>H</sub>	PLL0 / 4			
001A <sub>H</sub>	PLL0 / 8			
003A <sub>H</sub>	高速 IntOsc [8 MHz] (低速 IntOsc [240 kHz]) <sup>a</sup>			
上記以外	設定禁止			

<sup>a)</sup> 高速 IntOsc が無効の場合は、低速 IntOsc が自動的に選択されます。

## (2) クロック・ドメイン ISO0\_5

CKSC\_mn レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_mn レジスタで“クロック選択なし”を設定してください。

本クロック・ドメインで選択するクロックは、システム全体のクロックになるため、クロック供給を行う場合、ソフトウェアで選択したクロック・ソースを停止させないでください。

クロック選択制御レジスタ : CKSC_005		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6050 <sub>H</sub>	クロック・ドメイン : ISO0_5		
初期値	0000 00E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 80 MHz	CKSCLK_005	WDTA1: PCLK WDTA1: PCLK CLMA3: PCLK FOUTDIV: PCLK Iso0 ポート制御, フィルタ : PCLK <sup>a</sup>
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
0008 <sub>H</sub>	高速 IntOsc [8 MHz] / 2			
0009 <sub>H</sub>	高速 IntOsc [8 MHz] / 4			
000A <sub>H</sub>	高速 IntOsc [8 MHz] / 8			
0014 <sub>H</sub>	PLL0 / 1			
0015 <sub>H</sub>	PLL0 / 2			
0017 <sub>H</sub>	PLL0 / 4			
001A <sub>H</sub>	PLL0 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

<sup>a)</sup> ポート・グループ P1 - P4, P10, P11 への供給

## (3) クロック・ドメイン ISO0\_6

CKSC\_mn レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_mn レジスタで“クロック選択なし”を設定してください。

本クロック・ドメインで選択するクロックは、システム全体のクロックになるため、クロック供給を行う場合、ソフトウェアで選択したクロック・ソースを停止させないでください。

クロック選択制御レジスタ : CKSC_006		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6060 <sub>H</sub>	クロック・ドメイン : ISO0_6		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_006	TAUA0: PCLK TAPA0: PCLK ENCA0: PCLK TAUB1: PCLK DLYA: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (4) クロック・ドメイン ISO0\_7

CKSC\_007 レジスタで、クロック・ドメイン ISO0\_7 に割り当てているモジュールのクロック・ソースを選択します。

クロック選択制御レジスタ : CKSC_007		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6070 <sub>H</sub>	クロック・ドメイン : ISO0_7		
初期値	0000 0006 <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	-	CKSCLK_007	WDTA1: WDTATCKI
0003 <sub>H</sub>	低速 IntOsc [240 kHz] / 4			
上記以外	設定禁止			

## (5) クロック・ドメイン ISO0\_11

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_011		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60B0 <sub>H</sub>	クロック・ドメイン : ISO0_11		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_011	URTE10: PCLK URTE11: PCLK LMA10: PCLK LMA11: PCLK CNTA2: PCLK CSIG4: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			



## (6) クロック・ドメイン ISO0\_12

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_012		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60C0 <sub>H</sub>	クロック・ドメイン : ISO0_12		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_012	ADCA0: PCLK PMCA0: PCLK
000C <sub>H</sub>	MainOsc			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (7) クロック・ドメイン ISO0\_16

CKSC\_016 レジスタで、クロック・ドメイン ISO0\_16 に割り当てているモジュールのクロック・ソースを選択します。

クロック選択制御レジスタ : CKSC_016		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6100 <sub>H</sub>	クロック・ドメイン : ISO0_16		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_016	DNFAn: DNFATCKI
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
上記以外	設定禁止			

### 9.4.3 Isolated エリア 1 のクロック・ドメイン

#### (1) クロック・ドメイン ISO1\_1

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_101		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A010 <sub>H</sub>	クロック・ドメイン : ISO1_1		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 <sub>H</sub>	低速 IntOsc [240 kHz] / 1	≤ 80 MHz	CKSCLK_101	DCRA0: PCLK RNGA0: PCLK Iso1 ポート制御, フィルタ : PCLK <sup>a</sup>
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1			
0008 <sub>H</sub>	高速 IntOsc [8 MHz] / 2			
0009 <sub>H</sub>	高速 IntOsc [8 MHz] / 4			
000A <sub>H</sub>	高速 IntOsc [8 MHz] / 8			
0014 <sub>H</sub>	PLL0 / 1			
0015 <sub>H</sub>	PLL0 / 2			
0017 <sub>H</sub>	PLL0 / 4			
001A <sub>H</sub>	PLL0 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

a) ポート・グループ P12, P13, P21, P22, P24 - P29 への供給

## (2) クロック・ドメイン ISO1\_2

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_102		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A020 <sub>H</sub>	クロック・ドメイン : ISO1_2		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_102	FLX0: eray_bclk
0014 <sub>H</sub>	PLL0 / 1			
0015 <sub>H</sub>	PLL0 / 2			
0017 <sub>H</sub>	PLL0 / 4			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (3) クロック・ドメイン ISO1\_3

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_103		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A030 <sub>H</sub>	クロック・ドメイン : ISO1_3		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_103	FLX0: eray_sclk
0014 <sub>H</sub>	PLL0 / 1			
0015 <sub>H</sub>	PLL0 / 2			
0017 <sub>H</sub>	PLL0 / 4			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (4) クロック・ドメイン ISO1\_5

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_105		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A050 <sub>H</sub>	クロック・ドメイン : ISO1_5		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_105	TAUC4: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (5) クロック・ドメイン ISO1\_6

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_106		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A060 <sub>H</sub>	クロック・ドメイン : ISO1_6		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_106	TAUC3: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (6) クロック・ドメイン ISO1\_7

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_106		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A060 <sub>H</sub>	クロック・ドメイン : ISO1_6		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_107	CSIG2: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (7) クロック・ドメイン ISO1\_8

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_108		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A080 <sub>H</sub>	クロック・ドメイン : ISO1_8		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_108	CSIG0: PCLK IICB0: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			



## (8) クロック・ドメイン ISO1\_9

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_109		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A090 <sub>H</sub>	クロック・ドメイン : ISO1_9		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_109	CSIH0: PCLK CSIH1: PCLK CSIH2: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (9) クロック・ドメイン ISO1\_11

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_111		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A0B0 <sub>H</sub>	クロック・ドメイン : ISO1_11		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_111	TAUB2: PCLK TAUC5: PCLK TAUC6: PCLK TAUC7: PCLK TAUC8: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (10) クロック・ドメイン ISO1\_12

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_112		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A0C0 <sub>H</sub>	クロック・ドメイン : ISO1_12		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_112	URTE0: PCLK URTE1: PCLK OSTM0: PCLK LMA0: PCLK LMA1: PCLK CNTA0: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (11) クロック・ドメイン ISO1\_13

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_113		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A0D0 <sub>H</sub>	クロック・ドメイン : ISO1_13		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_113	FCNA0: PCLK FCNA1: PCLK FCNA2: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (12) クロック・ドメイン ISO1\_14

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_114		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A0E0 <sub>H</sub>	クロック・ドメイン : ISO1_14		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_114	URTE2: PCLK
000C <sub>H</sub>	MainOsc / 1			URTE3: PCLK
001C <sub>H</sub>	PLL1 / 1			URTE4: PCLK
001D <sub>H</sub>	PLL1 / 2			URTE5: PCLK
001F <sub>H</sub>	PLL1 / 4			URTE6: PCLK
0022 <sub>H</sub>	PLL1 / 8			URTE7: PCLK
0000 <sub>H</sub>	クロック選択なし			URTE8: PCLK
上記以外	設定禁止		URTE9: PCLK	LMA2: PCLK
				LMA3: PCLK
				LMA4: PCLK
				LMA5: PCLK
				LMA6: PCLK
				LMA7: PCLK
				LMA8: PCLK
				LMA9: PCLK
				CNTA1: PCLK

## (13) クロック・ドメイン ISO1\_15

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_115		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A0F0 <sub>H</sub>	クロック・ドメイン : ISO1_15		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_115	FCN3: PCLK FCN4: PCLK DCN0: PCLK
000C <sub>H</sub>	MainOsc / 1			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (14) クロック・ドメイン ISO1\_22

CKSC\_n レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC\_n レジスタで“クロック選択なし”を設定してください。

クロック選択制御レジスタ : CKSC_122		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A160 <sub>H</sub>	クロック・ドメイン : ISO1_22		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_122	ADCA1: PCLK
000C <sub>H</sub>	MainOsc			
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
0024 <sub>H</sub>	PLL2 / 1			
0025 <sub>H</sub>	PLL2 / 2			
0027 <sub>H</sub>	PLL2 / 4			
002A <sub>H</sub>	PLL2 / 8			
0000 <sub>H</sub>	クロック選択なし			
上記以外	設定禁止			

## (15) クロック・ドメイン ISO1\_28

CKSC\_128 レジスタで、クロック・ドメイン ISO1\_28 に割り当てているモジュールのクロック・ソースを選択します。

クロック選択制御レジスタ : CKSC_128		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A1C0 <sub>H</sub>	クロック・ドメイン : ISO1_28		
初期値	0000 000E <sub>H</sub>			
クロック・ソース ID	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 <sub>H</sub>	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_128	DNFAn: DNFATCKI
001C <sub>H</sub>	PLL1 / 1			
001D <sub>H</sub>	PLL1 / 2			
001F <sub>H</sub>	PLL1 / 4			
0022 <sub>H</sub>	PLL1 / 8			
上記以外	設定禁止			

## 9.5 クロック・コントローラのレジスタ

この節では、クロック・コントローラの制御レジスタについて説明します。

### 9.5.1 クロック・コントローラ・レジスタの概要

クロック・コントローラは、次のレジスタで制御、動作します。

表 9-6 クロック・コントローラ・レジスタの一覧

レジスタ名	略号	アドレス
<b>クロック発生回路レジスタ :</b>		
MainOsc イネーブル・レジスタ	MOSCE	FF42 1010 <sub>H</sub>
MainOsc ステータス・レジスタ	MOSCS	FF42 1014 <sub>H</sub>
MainOsc 制御レジスタ	MOSCC	FF42 1018 <sub>H</sub>
MainOsc 安定時間レジスタ	MOSCST	FF42 101C <sub>H</sub>
SubOsc イネーブル・レジスタ	SOSCE	FF42 1020 <sub>H</sub>
SubOsc ステータス・レジスタ	SOSCS	FF42 1024 <sub>H</sub>
SubOsc 安定時間レジスタ	SOSCST	FF42 102C <sub>H</sub>
高速 IntOsc イネーブル・レジスタ	ROSCE	FF42 1000 <sub>H</sub>
高速 IntOsc ステータス・レジスタ	ROSCS	FF42 1004 <sub>H</sub>
PLL0 イネーブル・レジスタ	PLLE0	FF42 5000 <sub>H</sub>
PLL0 ステータス・レジスタ	PLLS0	FF42 5004 <sub>H</sub>
PLL0 制御レジスタ	PLLC0	FF42 5008 <sub>H</sub>
PLL0 安定時間レジスタ	PLLST0	FF42 500C <sub>H</sub>
PLL1 イネーブル・レジスタ	PLLE1	FF42 5010 <sub>H</sub>
PLL1 ステータス・レジスタ	PLLS1	FF42 5014 <sub>H</sub>
PLL1 制御レジスタ	PLLC1	FF42 5018 <sub>H</sub>
PLL1 安定時間レジスタ	PLLST1	FF42 501C <sub>H</sub>
PLL2 イネーブル・レジスタ	PLLE2	FF42 5020 <sub>H</sub>
PLL2 ステータス・レジスタ	PLLS2	FF42 5024 <sub>H</sub>
PLL2 制御レジスタ	PLLC2	FF42 5028 <sub>H</sub>
PLL2 安定時間レジスタ	PLLST2	FF42 502C <sub>H</sub>
<b>クロック選択レジスタ :</b>		
AWO のクロック選択制御/ ステータス・レジスタ	CKSC_An CSCSTAT_An	FF42 2020 <sub>H</sub> ~ FF42 2094 <sub>H</sub>
Iso0 のクロック選択制御/ ステータス・レジスタ	CKSC_0n CSCSTAT_0n	FF42 6000 <sub>H</sub> ~ FF42 6104 <sub>H</sub>
Iso1 のクロック選択制御/ ステータス・レジスタ :	CKSC_1n CSCSTAT_1n	FF42 A010 <sub>H</sub> ~ FF42 A204 <sub>H</sub>

## 9.5.2 クロック発生回路レジスタ

### (1) MOSCE - MainOsc イネーブル・レジスタ

MainOsc の起動と停止、およびスタンバイ・モード時の動作を指定します。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は 9.3.6 「保護レジスタへの書き込み」の説明を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 1010<sub>H</sub>

**初期値** 0000 0004<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	MOSC STP MK	MOSC DIS TRG	MOSC EN TRG
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

表 9-7 MOSCE レジスタの内容

ビット位置	ビット名	機能
2	MOSCSTPMK	MainOsc 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク MainOsc 停止要求をマスク (STPMSK = 1) すると、MainOsc はスタンバイ・モードでも動作を継続します。 STPMSK = 0 の場合、スタンバイ・モードに移行すると MainOsc は停止し、スタンバイ・モードから復帰したときに再起動します。
1	MOSCDISTRG	MainOsc 停止トリガ 0: 機能なし 1: MainOsc 停止 このビットを読み出すと常に 0 を返します。
0	MOSCENTRG	MainOsc 許可トリガ 0: 機能なし 1: MainOsc 起動 このビットを読み出すと常に 0 を返します。



**(2) MOSCS - MainOsc ステータス・レジスタ**

MainOsc の各種ステータス情報を提供します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** FF42 1014<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	MOSC STP ACK	MOSC CLK EN	MOSC CLK ACT	MOSC CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-8 MOSCS レジスタの内容

ビット位置	ビット名	機能
3	MOSCSTPACK	MainOsc スタンバイ停止アクリッジ・ステータス 0: 停止アクリッジがインアクティブ 1: 停止アクリッジがアクティブ
2	MOSCCLKEN	MainOsc 有効/無効ステータス 0: MainOsc 無効 1: MainOsc 有効
1	MOSCCLKACT	MainOsc アクティブ/インクティブ・ステータス 0: MainOsc インアクティブ 1: MainOsc アクティブ
0	MOSCCLKSTAB	MainOsc 安定ステータス 0: MainOsc 不安定 1: MainOsc 安定

**(3) MOSCC - MainOsc 制御レジスタ**

MainOsc の増幅器制御を指定します。

MainOsc が非動作 (MOSCS.CLKEN = 0) の場合のみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 1018<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	SHT STBY	AMPSEL[1:0]	
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 9-9 MOSCC レジスタの内容

ビット位置	ビット名	機能										
2	SHTSTBY	安定時間短縮モードの設定 0: 通常安定時間モード : MainOsc 安定時間の間, MainOsc 増幅ゲインは AMPSEL[1:0] 設定値 1: 安定時間短縮モード : MainOsc 安定時間の間, MainOsc 増幅ゲインは最大										
1, 0	AMPSEL[1:0]	MainOsc の周波数選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>AMPSEL[1:0]</th><th>MainOsc の周波数</th></tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td><td>16 MHz &lt; f<sub>X</sub> ≤ 20 MHz</td></tr> <tr> <td>01<sub>B</sub></td><td>8 MHz &lt; f<sub>X</sub> ≤ 16 MHz</td></tr> <tr> <td>10<sub>B</sub></td><td>4 MHz &lt; f<sub>X</sub> ≤ 8 MHz</td></tr> <tr> <td>11<sub>B</sub></td><td>4 MHz</td></tr> </tbody> </table> <p>通常安定時間モード (SHTSTBY = 0) での MainOsc 増幅ゲインを設定します。安定時間短縮モード (SHTSTBY = 1) では, AMPSEL[1:0] の設定は影響しません。</p>	AMPSEL[1:0]	MainOsc の周波数	00 <sub>B</sub>	16 MHz < f <sub>X</sub> ≤ 20 MHz	01 <sub>B</sub>	8 MHz < f <sub>X</sub> ≤ 16 MHz	10 <sub>B</sub>	4 MHz < f <sub>X</sub> ≤ 8 MHz	11 <sub>B</sub>	4 MHz
AMPSEL[1:0]	MainOsc の周波数											
00 <sub>B</sub>	16 MHz < f <sub>X</sub> ≤ 20 MHz											
01 <sub>B</sub>	8 MHz < f <sub>X</sub> ≤ 16 MHz											
10 <sub>B</sub>	4 MHz < f <sub>X</sub> ≤ 8 MHz											
11 <sub>B</sub>	4 MHz											

## (4) MOSCST - MainOsc 安定時間レジスタ

MainOsc 安定時間を指定します。

MainOsc が非動作 (MOSCS.CLKEN = 0) の場合のみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 101C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	MOST[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 9-10 MOSCST レジスタの内容

ビット位置	ビット名	機能																																																					
3-0	MOST[3:0]	<p>MainOsc 安定時間設定</p> <p>デフォルトでは、MainOsc 安定カウンタは高速 IntOsc で動作しています。高速 IntOsc が無効 (ROSCS.CLKEN = 0) の場合、安定カウンタ・クロックは自動的に低速 IntOsc に変更されます。</p> <table border="1"> <thead> <tr> <th rowspan="2">MOST[3:0]</th> <th colspan="2">MainOsc 安定時間</th> </tr> <tr> <th>高速 IntOsc 有効時 (ROSCS.CLKEN = 1)</th> <th>高速 IntOsc 無効時 (ROSCS.CLKEN = 0)</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td><math>2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}</math></td> <td><math>2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}</math></td> </tr> <tr> <td>0001<sub>B</sub></td> <td><math>2^3 / 8 \text{ MHz} = 1 \mu\text{s}</math></td> <td><math>2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}</math></td> </tr> <tr> <td>0010<sub>B</sub></td> <td><math>2^4 / 8 \text{ MHz} = 2 \mu\text{s}</math></td> <td><math>2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}</math></td> </tr> <tr> <td>0011<sub>B</sub></td> <td><math>2^5 / 8 \text{ MHz} = 4 \mu\text{s}</math></td> <td><math>2^5 / 240 \text{ kHz} = 133 \mu\text{s}</math></td> </tr> <tr> <td>0100<sub>B</sub></td> <td><math>2^6 / 8 \text{ MHz} = 8 \mu\text{s}</math></td> <td><math>2^6 / 240 \text{ kHz} = 267 \mu\text{s}</math></td> </tr> <tr> <td>0101<sub>B</sub></td> <td><math>2^7 / 8 \text{ MHz} = 16 \mu\text{s}</math></td> <td><math>2^7 / 240 \text{ kHz} = 533 \mu\text{s}</math></td> </tr> <tr> <td>0110<sub>B</sub></td> <td><math>2^8 / 8 \text{ MHz} = 32 \mu\text{s}</math></td> <td><math>2^8 / 240 \text{ kHz} = 1.067 \text{ ms}</math></td> </tr> <tr> <td>0111<sub>B</sub></td> <td><math>2^9 / 8 \text{ MHz} = 64 \mu\text{s}</math></td> <td><math>2^9 / 240 \text{ kHz} = 2.133 \text{ ms}</math></td> </tr> <tr> <td>1000<sub>B</sub></td> <td><math>2^{10} / 8 \text{ MHz} = 128 \mu\text{s}</math></td> <td><math>2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}</math></td> </tr> <tr> <td>1001<sub>B</sub></td> <td><math>2^{11} / 8 \text{ MHz} = 256 \mu\text{s}</math></td> <td><math>2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}</math></td> </tr> <tr> <td>1010<sub>B</sub></td> <td><math>2^{12} / 8 \text{ MHz} = 512 \mu\text{s}</math></td> <td><math>2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}</math></td> </tr> <tr> <td>1011<sub>B</sub></td> <td><math>2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}</math></td> <td><math>2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}</math></td> </tr> <tr> <td>1100<sub>B</sub></td> <td><math>2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}</math></td> <td><math>2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}</math></td> </tr> <tr> <td>1101<sub>B</sub></td> <td><math>2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}</math></td> <td><math>2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}</math></td> </tr> <tr> <td>1110<sub>B</sub></td> <td><math>2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}</math></td> <td><math>2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}</math></td> </tr> <tr> <td>1111<sub>B</sub></td> <td><math>2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}</math></td> <td><math>2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}</math></td> </tr> </tbody> </table> <p><b>備考:</b></p> <ul style="list-style-type: none"> <li>8 MHz (Typ.): 高速 IntOsc</li> <li>240 kHz (Typ.): 低速 IntOsc</li> </ul>	MOST[3:0]	MainOsc 安定時間		高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)	0000 <sub>B</sub>	$2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}$	$2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}$	0001 <sub>B</sub>	$2^3 / 8 \text{ MHz} = 1 \mu\text{s}$	$2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}$	0010 <sub>B</sub>	$2^4 / 8 \text{ MHz} = 2 \mu\text{s}$	$2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}$	0011 <sub>B</sub>	$2^5 / 8 \text{ MHz} = 4 \mu\text{s}$	$2^5 / 240 \text{ kHz} = 133 \mu\text{s}$	0100 <sub>B</sub>	$2^6 / 8 \text{ MHz} = 8 \mu\text{s}$	$2^6 / 240 \text{ kHz} = 267 \mu\text{s}$	0101 <sub>B</sub>	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$	0110 <sub>B</sub>	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$	0111 <sub>B</sub>	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$	1000 <sub>B</sub>	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$	1001 <sub>B</sub>	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$	1010 <sub>B</sub>	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}$	1011 <sub>B</sub>	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}$	1100 <sub>B</sub>	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}$	1101 <sub>B</sub>	$2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}$	$2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}$	1110 <sub>B</sub>	$2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}$	$2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}$	1111 <sub>B</sub>	$2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}$	$2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}$
MOST[3:0]	MainOsc 安定時間																																																						
	高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)																																																					
0000 <sub>B</sub>	$2^2 / 8 \text{ MHz} = 0.5 \mu\text{s}$	$2^2 / 240 \text{ kHz} = 16.7 \mu\text{s}$																																																					
0001 <sub>B</sub>	$2^3 / 8 \text{ MHz} = 1 \mu\text{s}$	$2^3 / 240 \text{ kHz} = 33.3 \mu\text{s}$																																																					
0010 <sub>B</sub>	$2^4 / 8 \text{ MHz} = 2 \mu\text{s}$	$2^4 / 240 \text{ kHz} = 66.7 \mu\text{s}$																																																					
0011 <sub>B</sub>	$2^5 / 8 \text{ MHz} = 4 \mu\text{s}$	$2^5 / 240 \text{ kHz} = 133 \mu\text{s}$																																																					
0100 <sub>B</sub>	$2^6 / 8 \text{ MHz} = 8 \mu\text{s}$	$2^6 / 240 \text{ kHz} = 267 \mu\text{s}$																																																					
0101 <sub>B</sub>	$2^7 / 8 \text{ MHz} = 16 \mu\text{s}$	$2^7 / 240 \text{ kHz} = 533 \mu\text{s}$																																																					
0110 <sub>B</sub>	$2^8 / 8 \text{ MHz} = 32 \mu\text{s}$	$2^8 / 240 \text{ kHz} = 1.067 \text{ ms}$																																																					
0111 <sub>B</sub>	$2^9 / 8 \text{ MHz} = 64 \mu\text{s}$	$2^9 / 240 \text{ kHz} = 2.133 \text{ ms}$																																																					
1000 <sub>B</sub>	$2^{10} / 8 \text{ MHz} = 128 \mu\text{s}$	$2^{10} / 240 \text{ kHz} = 4.267 \text{ ms}$																																																					
1001 <sub>B</sub>	$2^{11} / 8 \text{ MHz} = 256 \mu\text{s}$	$2^{11} / 240 \text{ kHz} = 8.533 \text{ ms}$																																																					
1010 <sub>B</sub>	$2^{12} / 8 \text{ MHz} = 512 \mu\text{s}$	$2^{12} / 240 \text{ kHz} = 17.06 \text{ ms}$																																																					
1011 <sub>B</sub>	$2^{13} / 8 \text{ MHz} = 1.024 \text{ ms}$	$2^{13} / 240 \text{ kHz} = 34.13 \text{ ms}$																																																					
1100 <sub>B</sub>	$2^{14} / 8 \text{ MHz} = 2.048 \text{ ms}$	$2^{14} / 240 \text{ kHz} = 68.267 \text{ ms}$																																																					
1101 <sub>B</sub>	$2^{15} / 8 \text{ MHz} = 4.096 \text{ ms}$	$2^{15} / 240 \text{ kHz} = 136.5 \text{ ms}$																																																					
1110 <sub>B</sub>	$2^{16} / 8 \text{ MHz} = 8.192 \text{ ms}$	$2^{16} / 240 \text{ kHz} = 273.1 \text{ ms}$																																																					
1111 <sub>B</sub>	$2^{17} / 8 \text{ MHz} = 16.38 \text{ ms}$	$2^{17} / 240 \text{ kHz} = 546.1 \text{ ms}$																																																					

**(5) SOSCE - SubOsc イネーブル・レジスタ**

SubOsc の起動と停止、およびスタンバイ・モード時の動作を指定します。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は「保護レジスタへの書き込み」の説明を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 1020<sub>H</sub>

**初期値** 0000 0004<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	SOSC DIS TRG	SOSC EN TRG
R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 9-11 SOSCE レジスタの内容

ビット位置	ビット名	機能
1	SOSCDISTRG	SubOsc 停止トリガ 0: 機能なし 1: SubOsc 停止 このビットを読み出すと常に 0 を返します。
0	SOSCENTRG	SubOsc 起動トリガ 0: 機能なし 1: SubOsc 起動 このビットを読み出すと常に 0 を返します。

**(6) SOSCS - SubOsc ステータス・レジスタ**

SubOsc のさまざまなステータス情報を提供します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** FF42 1024<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	SOSC CLK EN	SOSC CLK ACT	SOSC CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-12 SOSCS レジスタの内容

ビット位置	ビット名	機能
2	SOSCCLKEN	SubOsc 有効/無効ステータス 0: SubOsc 無効 1: SubOsc 有効
1	SOSCCLKACT	SubOsc アクティブ/インアクティブ・ステータス 0: SubOsc インアクティブ 1: SubOsc アクティブ
0	SOSCCLKSTAB	SubOsc 安定ステータス 0: SubOsc 不安定 1: SubOsc 安定

## (7) SOSCST - SubOsc 安定時間レジスタ

SubOsc 安定時間を指定します。

SubOsc が非動作 (SOSCS.CLKEN = 0) の場合のみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 102C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	SOST[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 9-13 SOSCST レジスタの内容

ビット位置	ビット名	機能																													
2-0	SOST[2:0]	<p>SubOsc 安定時間設定</p> <p>デフォルトでは、SubOsc 安定カウンタは高速 IntOsc で動作しています。高速 IntOsc が無効 (ROSCS.CLKEN = 0) の場合、安定カウンタ・クロックは自動的に低速 IntOsc に変更されます。</p> <table border="1"> <thead> <tr> <th rowspan="2">SOST[2:0]</th> <th colspan="2">SubOsc 安定時間</th> </tr> <tr> <th>高速 IntOsc 有効時 (ROSCS.CLKEN = 1)</th> <th>高速 IntOsc 無効時 (ROSCS.CLKEN = 0)</th> </tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td> <td><math>2^{19} / 8 \text{ MHz} = 65.54 \text{ ms}</math></td> <td><math>2^{19} / 240 \text{ kHz} = 2.184 \text{ s}</math></td> </tr> <tr> <td>001<sub>B</sub></td> <td><math>2^{20} / 8 \text{ MHz} = 131 \text{ ms}</math></td> <td><math>2^{20} / 240 \text{ kHz} = 4.369 \text{ s}</math></td> </tr> <tr> <td>010<sub>B</sub></td> <td><math>2^{21} / 8 \text{ MHz} = 262 \text{ ms}</math></td> <td><math>2^{21} / 240 \text{ kHz} = 8.738 \text{ s}</math></td> </tr> <tr> <td>011<sub>B</sub></td> <td><math>2^{22} / 8 \text{ MHz} = 524 \text{ ms}</math></td> <td><math>2^{22} / 240 \text{ kHz} = 17.4 \text{ s}</math></td> </tr> <tr> <td>100<sub>B</sub></td> <td><math>2^{23} / 8 \text{ MHz} = 1.048 \text{ s}</math></td> <td><math>2^{23} / 240 \text{ kHz} = 34.9 \text{ s}</math></td> </tr> <tr> <td>101<sub>B</sub></td> <td><math>2^{24} / 8 \text{ MHz} = 2.096 \text{ s}</math></td> <td><math>2^{24} / 240 \text{ kHz} = 69.9 \text{ s}</math></td> </tr> <tr> <td>110<sub>B</sub></td> <td><math>2^{25} / 8 \text{ MHz} = 4.192 \text{ s}</math></td> <td><math>2^{25} / 240 \text{ kHz} = 139 \text{ s}</math></td> </tr> <tr> <td>111<sub>B</sub></td> <td><math>2^{26} / 8 \text{ MHz} = 8.384 \text{ s}</math></td> <td><math>2^{26} / 240 \text{ kHz} = 279 \text{ s}</math></td> </tr> </tbody> </table> <p><b>備考:</b></p> <ul style="list-style-type: none"> <li>8 MHz (Typ.): 高速 IntOsc</li> <li>240 kHz (Typ.): 低速 IntOsc</li> </ul>	SOST[2:0]	SubOsc 安定時間		高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)	000 <sub>B</sub>	$2^{19} / 8 \text{ MHz} = 65.54 \text{ ms}$	$2^{19} / 240 \text{ kHz} = 2.184 \text{ s}$	001 <sub>B</sub>	$2^{20} / 8 \text{ MHz} = 131 \text{ ms}$	$2^{20} / 240 \text{ kHz} = 4.369 \text{ s}$	010 <sub>B</sub>	$2^{21} / 8 \text{ MHz} = 262 \text{ ms}$	$2^{21} / 240 \text{ kHz} = 8.738 \text{ s}$	011 <sub>B</sub>	$2^{22} / 8 \text{ MHz} = 524 \text{ ms}$	$2^{22} / 240 \text{ kHz} = 17.4 \text{ s}$	100 <sub>B</sub>	$2^{23} / 8 \text{ MHz} = 1.048 \text{ s}$	$2^{23} / 240 \text{ kHz} = 34.9 \text{ s}$	101 <sub>B</sub>	$2^{24} / 8 \text{ MHz} = 2.096 \text{ s}$	$2^{24} / 240 \text{ kHz} = 69.9 \text{ s}$	110 <sub>B</sub>	$2^{25} / 8 \text{ MHz} = 4.192 \text{ s}$	$2^{25} / 240 \text{ kHz} = 139 \text{ s}$	111 <sub>B</sub>	$2^{26} / 8 \text{ MHz} = 8.384 \text{ s}$	$2^{26} / 240 \text{ kHz} = 279 \text{ s}$
SOST[2:0]	SubOsc 安定時間																														
	高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)																													
000 <sub>B</sub>	$2^{19} / 8 \text{ MHz} = 65.54 \text{ ms}$	$2^{19} / 240 \text{ kHz} = 2.184 \text{ s}$																													
001 <sub>B</sub>	$2^{20} / 8 \text{ MHz} = 131 \text{ ms}$	$2^{20} / 240 \text{ kHz} = 4.369 \text{ s}$																													
010 <sub>B</sub>	$2^{21} / 8 \text{ MHz} = 262 \text{ ms}$	$2^{21} / 240 \text{ kHz} = 8.738 \text{ s}$																													
011 <sub>B</sub>	$2^{22} / 8 \text{ MHz} = 524 \text{ ms}$	$2^{22} / 240 \text{ kHz} = 17.4 \text{ s}$																													
100 <sub>B</sub>	$2^{23} / 8 \text{ MHz} = 1.048 \text{ s}$	$2^{23} / 240 \text{ kHz} = 34.9 \text{ s}$																													
101 <sub>B</sub>	$2^{24} / 8 \text{ MHz} = 2.096 \text{ s}$	$2^{24} / 240 \text{ kHz} = 69.9 \text{ s}$																													
110 <sub>B</sub>	$2^{25} / 8 \text{ MHz} = 4.192 \text{ s}$	$2^{25} / 240 \text{ kHz} = 139 \text{ s}$																													
111 <sub>B</sub>	$2^{26} / 8 \text{ MHz} = 8.384 \text{ s}$	$2^{26} / 240 \text{ kHz} = 279 \text{ s}$																													

**(8) ROSCE - 高速 IntOsc イネーブル・レジスタ**

高速 IntOsc の起動と停止，およびスタンバイ・モード時の動作を指定します。

このレジスタへのライトは，保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は「保護レジスタへの書き込み」の説明を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 1000<sub>H</sub>

**初期値** 0000 0004<sub>H</sub> パワーアップ・リセット PURES（パワーオン・クリア・リセットまたはデバッグ・リセット）によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	ROSC STP MK	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

表 9-14 ROSCE レジスタの内容

ビット位置	ビット名	機能
2	ROSCSTPMK	高速 IntOsc 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク 高速 IntOsc 停止要求をマスク (STPMSK = 1) すると，高速 IntOsc はスタンバイ・モードでも動作を継続します。 STPMSK = 0 の場合，スタンバイ・モードになると高速 IntOsc は停止し，スタンバイ・モードから復帰したときに再起動します。

**注意** バックアップ RAM のアクセス中にソースクロックを停止したり，リセットが発生したりすると，バックアップ RAM のデータは保証されません。

## (9) ROSCS - 高速 IntOsc ステータス・レジスタ

高速 IntOsc のさまざまなステータス情報を提供します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** FF42 1004<sub>H</sub>

**初期値** 0000 0007<sub>H</sub> パワーアップ・リセット PURES (パワーオン・クリア・リセットまたはデバッグ・リセット) によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	ROSC STP ACK	ROSC CLK EN	ROSC CLK ACT	ROSC CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-15 ROSCS レジスタの内容

ビット位置	ビット名	機能
3	ROSCSTPACK	高速 IntOsc スタンバイ停止アノリッジ・ステータス 0: 停止アノリッジがインアクティブ 1: 停止アノリッジがアクティブ
2	ROSCCLKEN	高速 IntOsc 有効/無効ステータス 0: 高速 IntOsc 無効 1: 高速 IntOsc 有効
1	ROSCCLKACT	高速 IntOsc アクティブ/インアクティブ・ステータス 0: 高速 IntOsc インアクティブ 1: 高速 IntOsc アクティブ
0	ROSCCLKSTAB	高速 IntOsc 安定ステータス 0: 高速 IntOsc 不安定 1: 高速 IntOsc 安定



**(10) PLLEk - PLLk イネーブル・レジスタ**

PLLk の起動と停止、およびスタンバイ・モード時の動作を指定します。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は「保護レジスタへの書き込み」の説明を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** PLLE0: FF42 5000<sub>H</sub>, PLLE1: FF42 5010<sub>H</sub>, PLLE2: FF42 5020<sub>H</sub>

**初期値** 0000 0004<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	PLLEk STP MK	PLLEk DIS TRG	PLLEk EN TRG
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	W

表 9-16 PLLEk レジスタの内容

ビット位置	ビット名	機能
2	PLLEkSTPMK	PLLk 停止要求のマスク 0: 停止要求をマスクしない 1: 停止要求をマスク PLLk 停止要求をマスク (STPMSK = 1) すると, PLLk はスタンバイ・モードでも動作を継続します。 STPMSK = 0 の場合, スタンバイ・モードになると PLLk は停止し, スタンバイ・モードから復帰したときに再起動します。
1	PLLEkDISTRG	PLLk 停止トリガ 0: 機能なし 1: PLLk 停止 このビットを読み出すと常に 0 を返します。
0	PLLEkENTRG	PLLk 起動トリガ 0: 機能なし 1: PLLk 起動 このビットを読み出すと常に 0 を返します。 注意: PLLEk.DISTRG ビットを "1" (PLLk 停止) にしてから, PLLEk.ENTRG ビットを "1" (PLLk 起動) にする場合, 130μs 以上の待ち時間を経過してから, 実施してください。

## (11) PLLSk-PLLk ステータス・レジスタ

PLLk のさまざまなステータス情報を提供します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** PLLS0: FF42 5004<sub>H</sub>, PLLS1: FF42 5014<sub>H</sub>, PLLS2: FF42 5024<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	PLLEK STP ACK	PLLEK CLK EN	PLLEK CLK ACT	PLLEK CLK STAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 9-17 PLLSk レジスタの内容

ビット位置	ビット名	機能
3	PLLEKSTPACK	PLLk スタンバイ停止アクノリッジ・ステータス 0: 停止アクノリッジがインアクティブ 1: 停止アクノリッジがアクティブ
2	PLLEKCLKEN	PLLk 有効/無効ステータス 0: PLLk 無効 1: PLLk 有効
1	PLLEKCLKACT	PLLk アクティブ/インクティブ・ステータス 0: PLLk インアクティブ 1: PLLk アクティブ
0	PLLEKCLKSTAB	PLLk 安定ステータス 0: PLLk 不安定 1: PLLk 安定

## (12) PLLCk - PLLk 制御レジスタ

PLLk 出カクロック  $f_{PLk}$  の周波数を指定します。

PLLk が非動作 (PLLSk.CLKEN = 0) の場合のみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** PLLC0: FF42 5008<sub>H</sub>, PLLC1: FF42 5018<sub>H</sub>, PLLC2: FF42 5028<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

なお、初期動作後、再設定する場合は、0000 0000<sub>H</sub> とすることは禁止となります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0 <sup>a</sup>	MS	PC[1:0]	ADJ[2:0]	ADJ[2:0]	ADJ[2:0]	ADJ[2:0]	MD[1:0]	MD[1:0]
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

<sup>a)</sup> ビット 24 には必ず 0 を設定してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S[1:0]	S[1:0]	M[3:0]	M[3:0]	M[3:0]	M[3:0]	P[1:0]	P[1:0]	0	0	N[6:0]	N[6:0]	N[6:0]	N[6:0]	N[6:0]	N[6:0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 9-18 PLLCk レジスタの内容 (1/2)

ビット位置	ビット名	機能																		
23	MS	PLL モードの選択 0: SSCG モード (変調モード) 1: PLL モード																		
22, 21	PC[1:0]	変調モードの選択 <table border="1"> <thead> <tr> <th>PC[1:0]</th><th>変調モード</th></tr> </thead> <tbody> <tr> <td>0<sub>B</sub></td><td>固定周波数</td></tr> <tr> <td>10<sub>B</sub></td><td>設定禁止</td></tr> <tr> <td>11<sub>B</sub></td><td>センター・スプレッド変調</td></tr> </tbody> </table>	PC[1:0]	変調モード	0 <sub>B</sub>	固定周波数	10 <sub>B</sub>	設定禁止	11 <sub>B</sub>	センター・スプレッド変調										
PC[1:0]	変調モード																			
0 <sub>B</sub>	固定周波数																			
10 <sub>B</sub>	設定禁止																			
11 <sub>B</sub>	センター・スプレッド変調																			
20-18	ADJ[2:0]	周波数変調範囲の選択 <table border="1"> <thead> <tr> <th>ADJ[2:0]</th><th>周波数変調範囲</th></tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td><td>1%</td></tr> <tr> <td>001<sub>B</sub></td><td>1%</td></tr> <tr> <td>010<sub>B</sub></td><td>2%</td></tr> <tr> <td>011<sub>B</sub></td><td>3%</td></tr> <tr> <td>100<sub>B</sub></td><td>4%</td></tr> <tr> <td>101<sub>B</sub></td><td>5%</td></tr> <tr> <td>110<sub>B</sub></td><td>設定禁止</td></tr> <tr> <td>111<sub>B</sub></td><td>設定禁止</td></tr> </tbody> </table>	ADJ[2:0]	周波数変調範囲	000 <sub>B</sub>	1%	001 <sub>B</sub>	1%	010 <sub>B</sub>	2%	011 <sub>B</sub>	3%	100 <sub>B</sub>	4%	101 <sub>B</sub>	5%	110 <sub>B</sub>	設定禁止	111 <sub>B</sub>	設定禁止
ADJ[2:0]	周波数変調範囲																			
000 <sub>B</sub>	1%																			
001 <sub>B</sub>	1%																			
010 <sub>B</sub>	2%																			
011 <sub>B</sub>	3%																			
100 <sub>B</sub>	4%																			
101 <sub>B</sub>	5%																			
110 <sub>B</sub>	設定禁止																			
111 <sub>B</sub>	設定禁止																			

表 9-18 PLLCk レジスタの内容 (2/2)

ビット位置	ビット名	機能																																									
17, 16	MDL[1:0]	周波数変調周期制御 <table border="1"> <thead> <tr> <th>MDL[1:0]</th> <th>変調周波数</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>40 kHz</td> </tr> <tr> <td>01<sub>B</sub></td> <td>50 kHz</td> </tr> <tr> <td>10<sub>B</sub></td> <td>60 kHz</td> </tr> <tr> <td>11<sub>B</sub></td> <td>設定禁止</td> </tr> </tbody> </table>	MDL[1:0]	変調周波数	00 <sub>B</sub>	40 kHz	01 <sub>B</sub>	50 kHz	10 <sub>B</sub>	60 kHz	11 <sub>B</sub>	設定禁止																															
MDL[1:0]	変調周波数																																										
00 <sub>B</sub>	40 kHz																																										
01 <sub>B</sub>	50 kHz																																										
10 <sub>B</sub>	60 kHz																																										
11 <sub>B</sub>	設定禁止																																										
15, 14	S[1:0]	SSCG モード時の VCO 入力周波数分周選択 <table border="1"> <thead> <tr> <th>S[1:0]</th> <th>入力周波数範囲</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td><math>1.0 \text{ MHz} \leq f_{\text{VCOIN}} &lt; 1.2 \text{ MHz}</math></td> </tr> <tr> <td>01<sub>B</sub></td> <td><math>1.2 \text{ MHz} \leq f_{\text{VCOIN}} &lt; 1.4 \text{ MHz}</math></td> </tr> <tr> <td>10<sub>B</sub></td> <td><math>1.4 \text{ MHz} \leq f_{\text{VCOIN}} &lt; 1.7 \text{ MHz}</math></td> </tr> <tr> <td>11<sub>B</sub></td> <td><math>1.7 \text{ MHz} \leq f_{\text{VCOIN}} &lt; 2.0 \text{ MHz}</math></td> </tr> </tbody> </table>	S[1:0]	入力周波数範囲	00 <sub>B</sub>	$1.0 \text{ MHz} \leq f_{\text{VCOIN}} < 1.2 \text{ MHz}$	01 <sub>B</sub>	$1.2 \text{ MHz} \leq f_{\text{VCOIN}} < 1.4 \text{ MHz}$	10 <sub>B</sub>	$1.4 \text{ MHz} \leq f_{\text{VCOIN}} < 1.7 \text{ MHz}$	11 <sub>B</sub>	$1.7 \text{ MHz} \leq f_{\text{VCOIN}} < 2.0 \text{ MHz}$																															
S[1:0]	入力周波数範囲																																										
00 <sub>B</sub>	$1.0 \text{ MHz} \leq f_{\text{VCOIN}} < 1.2 \text{ MHz}$																																										
01 <sub>B</sub>	$1.2 \text{ MHz} \leq f_{\text{VCOIN}} < 1.4 \text{ MHz}$																																										
10 <sub>B</sub>	$1.4 \text{ MHz} \leq f_{\text{VCOIN}} < 1.7 \text{ MHz}$																																										
11 <sub>B</sub>	$1.7 \text{ MHz} \leq f_{\text{VCOIN}} < 2.0 \text{ MHz}$																																										
13 to 10	M[3:0]	Mr の値を設定 SSCG モード : $Mr = M[3:0] + 1$ PLL モード $M[3:0] = 0$ : $Mr = 1$																																									
9, 8	P[1:0]	P 分周器の選択 <table border="1"> <thead> <tr> <th rowspan="2">P[1:0]</th> <th rowspan="2">Pr</th> <th colspan="2">PLL 出力周波数範囲</th> </tr> <tr> <th>SSCG モード</th> <th>PLL モード</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>0.5</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>01<sub>B</sub></td> <td>1</td> <td>100 ~ 200 MHz</td> <td>100 ~ 240 MHz</td> </tr> <tr> <td>10<sub>B</sub></td> <td>2</td> <td>50 ~ 100 MHz</td> <td>50 ~ 120 MHz</td> </tr> <tr> <td>11<sub>B</sub></td> <td>4</td> <td>25 ~ 50 MHz</td> <td>25 ~ 60 MHz</td> </tr> </tbody> </table>	P[1:0]	Pr	PLL 出力周波数範囲		SSCG モード	PLL モード	00 <sub>B</sub>	0.5	設定禁止	設定禁止	01 <sub>B</sub>	1	100 ~ 200 MHz	100 ~ 240 MHz	10 <sub>B</sub>	2	50 ~ 100 MHz	50 ~ 120 MHz	11 <sub>B</sub>	4	25 ~ 50 MHz	25 ~ 60 MHz																			
P[1:0]	Pr	PLL 出力周波数範囲																																									
		SSCG モード	PLL モード																																								
00 <sub>B</sub>	0.5	設定禁止	設定禁止																																								
01 <sub>B</sub>	1	100 ~ 200 MHz	100 ~ 240 MHz																																								
10 <sub>B</sub>	2	50 ~ 100 MHz	50 ~ 120 MHz																																								
11 <sub>B</sub>	4	25 ~ 50 MHz	25 ~ 60 MHz																																								
6-0	N[6:0]	Nr の値を設定 <table border="1"> <thead> <tr> <th rowspan="2">N[6:0]</th> <th colspan="2">Nr の値</th> </tr> <tr> <th>SSCG モード</th> <th>PLL モード</th> </tr> </thead> <tbody> <tr> <td>000 0100<sub>B</sub></td> <td>設定禁止</td> <td>5</td> </tr> <tr> <td>000 0101<sub>B</sub></td> <td>設定禁止</td> <td>6</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>010 0111<sub>B</sub></td> <td>設定禁止</td> <td>40</td> </tr> <tr> <td>010 1000<sub>B</sub></td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>011 0001<sub>B</sub></td> <td>50</td> <td>設定禁止</td> </tr> <tr> <td>011 0010<sub>B</sub></td> <td>51</td> <td>設定禁止</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>110 0010<sub>B</sub></td> <td>99</td> <td>-</td> </tr> <tr> <td>110 0011<sub>B</sub></td> <td>100</td> <td>-</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table>	N[6:0]	Nr の値		SSCG モード	PLL モード	000 0100 <sub>B</sub>	設定禁止	5	000 0101 <sub>B</sub>	設定禁止	6	:	:	:	010 0111 <sub>B</sub>	設定禁止	40	010 1000 <sub>B</sub>	設定禁止	設定禁止	:	:	:	011 0001 <sub>B</sub>	50	設定禁止	011 0010 <sub>B</sub>	51	設定禁止	:	:	:	110 0010 <sub>B</sub>	99	-	110 0011 <sub>B</sub>	100	-	上記以外	設定禁止	設定禁止
N[6:0]	Nr の値																																										
	SSCG モード	PLL モード																																									
000 0100 <sub>B</sub>	設定禁止	5																																									
000 0101 <sub>B</sub>	設定禁止	6																																									
:	:	:																																									
010 0111 <sub>B</sub>	設定禁止	40																																									
010 1000 <sub>B</sub>	設定禁止	設定禁止																																									
:	:	:																																									
011 0001 <sub>B</sub>	50	設定禁止																																									
011 0010 <sub>B</sub>	51	設定禁止																																									
:	:	:																																									
110 0010 <sub>B</sub>	99	-																																									
110 0011 <sub>B</sub>	100	-																																									
上記以外	設定禁止	設定禁止																																									

(13) PLLSTk - PLLk 安定時間レジスタ

PLLk 安定時間を指定します。

PLLk が無効 (PLLsk.CLKEN = 0) の場合のみ書き込み可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PLLST0: FF42 500C<sub>H</sub>, PLLST1: FF42 501C<sub>H</sub>, PLLST2: FF42 502C<sub>H</sub>

初期値 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	PLLSTk[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 9-19 PLLSTk レジスタの内容

ビット位置	ビット名	機能																													
2-0	PLLSTk[2:0]	<p>PLLk 安定時間設定                      デフォルトでは、PLLk 安定カウンタは高速 IntOsc で動作しています。                      高速 IntOsc が無効 (ROSCS.CLKEN = 0) の場合、安定カウンタ・クロックは自動的に低速 IntOsc に変更されます。</p> <table border="1"> <thead> <tr> <th rowspan="2">PLLSTk[2:0]</th> <th colspan="2">PLLk 安定時間</th> </tr> <tr> <th>高速 IntOsc 有効時 (ROSCS.CLKEN = 1)</th> <th>高速 IntOsc 無効時 (ROSCS.CLKEN = 0)</th> </tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td> <td>2<sup>7</sup> / 8 MHz = 16 μs</td> <td>2<sup>7</sup> / 240 kHz = 533 μs</td> </tr> <tr> <td>001<sub>B</sub></td> <td>2<sup>8</sup> / 8 MHz = 32 μs</td> <td>2<sup>8</sup> / 240 kHz = 1.067 ms</td> </tr> <tr> <td>010<sub>B</sub></td> <td>2<sup>9</sup> / 8 MHz = 64 μs</td> <td>2<sup>9</sup> / 240 kHz = 2.133 ms</td> </tr> <tr> <td>011<sub>B</sub></td> <td>2<sup>10</sup> / 8 MHz = 128 μs</td> <td>2<sup>10</sup> / 240 kHz = 4.267 ms</td> </tr> <tr> <td>100<sub>B</sub></td> <td>2<sup>11</sup> / 8 MHz = 256 μs</td> <td>2<sup>11</sup> / 240 kHz = 8.533 ms</td> </tr> <tr> <td>101<sub>B</sub></td> <td>2<sup>12</sup> / 8 MHz = 512 μs</td> <td>2<sup>12</sup> / 240 kHz = 17.057 ms</td> </tr> <tr> <td>110<sub>B</sub></td> <td>2<sup>13</sup> / 8 MHz = 1.024 ms</td> <td>2<sup>13</sup> / 240 kHz = 34.133 ms</td> </tr> <tr> <td>111<sub>B</sub></td> <td>2<sup>14</sup> / 8 MHz = 2.048 ms</td> <td>2<sup>14</sup> / 240 kHz = 68.267 ms</td> </tr> </tbody> </table> <p>備考：                      • 8 MHz (Typ.) : 高速 IntOsc                      • 240 kHz (Typ.) : 低速 IntOsc</p>	PLLSTk[2:0]	PLLk 安定時間		高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)	000 <sub>B</sub>	2 <sup>7</sup> / 8 MHz = 16 μs	2 <sup>7</sup> / 240 kHz = 533 μs	001 <sub>B</sub>	2 <sup>8</sup> / 8 MHz = 32 μs	2 <sup>8</sup> / 240 kHz = 1.067 ms	010 <sub>B</sub>	2 <sup>9</sup> / 8 MHz = 64 μs	2 <sup>9</sup> / 240 kHz = 2.133 ms	011 <sub>B</sub>	2 <sup>10</sup> / 8 MHz = 128 μs	2 <sup>10</sup> / 240 kHz = 4.267 ms	100 <sub>B</sub>	2 <sup>11</sup> / 8 MHz = 256 μs	2 <sup>11</sup> / 240 kHz = 8.533 ms	101 <sub>B</sub>	2 <sup>12</sup> / 8 MHz = 512 μs	2 <sup>12</sup> / 240 kHz = 17.057 ms	110 <sub>B</sub>	2 <sup>13</sup> / 8 MHz = 1.024 ms	2 <sup>13</sup> / 240 kHz = 34.133 ms	111 <sub>B</sub>	2 <sup>14</sup> / 8 MHz = 2.048 ms	2 <sup>14</sup> / 240 kHz = 68.267 ms
PLLSTk[2:0]	PLLk 安定時間																														
	高速 IntOsc 有効時 (ROSCS.CLKEN = 1)	高速 IntOsc 無効時 (ROSCS.CLKEN = 0)																													
000 <sub>B</sub>	2 <sup>7</sup> / 8 MHz = 16 μs	2 <sup>7</sup> / 240 kHz = 533 μs																													
001 <sub>B</sub>	2 <sup>8</sup> / 8 MHz = 32 μs	2 <sup>8</sup> / 240 kHz = 1.067 ms																													
010 <sub>B</sub>	2 <sup>9</sup> / 8 MHz = 64 μs	2 <sup>9</sup> / 240 kHz = 2.133 ms																													
011 <sub>B</sub>	2 <sup>10</sup> / 8 MHz = 128 μs	2 <sup>10</sup> / 240 kHz = 4.267 ms																													
100 <sub>B</sub>	2 <sup>11</sup> / 8 MHz = 256 μs	2 <sup>11</sup> / 240 kHz = 8.533 ms																													
101 <sub>B</sub>	2 <sup>12</sup> / 8 MHz = 512 μs	2 <sup>12</sup> / 240 kHz = 17.057 ms																													
110 <sub>B</sub>	2 <sup>13</sup> / 8 MHz = 1.024 ms	2 <sup>13</sup> / 240 kHz = 34.133 ms																													
111 <sub>B</sub>	2 <sup>14</sup> / 8 MHz = 2.048 ms	2 <sup>14</sup> / 240 kHz = 68.267 ms																													

### 9.5.3 保護コマンド・レジスタの詳細

#### (1) PROTCMDm – 保護コマンド・レジスタ m (m = 0-2)

ライト保護レジスタに対するライト保護解除シーケンスを開始するための保護コマンド・レジスタです。

**アクセス** 8ビット単位でライト可能です。

このレジスタを読み出すと常に0を返します。

**アドレス** PROTCMD0: FF42 4000<sub>H</sub>  
 PROTCMD1: FF42 8000<sub>H</sub>  
 PROTCMD2: FF42 0300<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
PCMD7	PCMD6	PCMD5	PCMD4	PCMD3	PCMD2	PCMD1	PCMD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

詳細は 9.3.6 「保護レジスタへの書き込み」の説明を参照してください。

表 9-20 PROTCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	PCMD7-PCMD0	Isolated エリア m レジスタへの書き込みを有効にする保護コマンド

#### (2) PROTSm – 保護ステータス・レジスタ m (m = 0-2)

PROTCMDm によって動作するライト保護解除シーケンスの状態を示します。

**アクセス** 8ビット単位でリード可能です。

このレジスタへの書き込みは無視されます。

**アドレス** PROTS0: FF42 4004<sub>H</sub>  
 PROTS1: FF42 8004<sub>H</sub>  
 PROTS2: FF42 0304<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROT ERR
R	R	R	R	R	R	R	R

表 9-21 PROTSm レジスタの内容

ビット位置	ビット名	機能
0	PROTERR	保護ライト・シーケンス・エラー・モニタ 0: 保護エラーなし 1: 保護エラーあり

## 9.5.4 クロック選択制御レジスタ

### (1) CKSC\_mn – クロック選択制御レジスタ

すべてのクロック・ドメインのクロックを選択します。

このレジスタへのライトは、電力供給領域個別の保護コマンド・レジスタを使用した特定の命令シーケンスによって保護されます。

**m = 0: Iso0** CKSC\_0n レジスタへのライト・アクセスは、保護レジスタ PRTCMD0 によって保護されます。

**m = 1: Iso1** CKSC\_1n レジスタへのライト・アクセスは、保護レジスタ PRTCMD1 によって保護されます。

**m = A: AWO** CKSC\_An レジスタへのライト・アクセスは、保護レジスタ PRTCMD2 によって保護されます。

詳細は「保護レジスタへの書き込み」の説明を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** Isolated エリア 0 : FF42 6000<sub>H</sub> + n × 16  
Isolated エリア 1 : FF42 A000<sub>H</sub> + n × 16  
Always-On エリア : FF42 2000<sub>H</sub> + n × 16

**初期値** 詳細は「クロックの選択」を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	
CKSC_mn[30:23]								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16	
CKSC_mn[22:15]								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	
CKSC_mn[14:07]								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0	
CKSC_mn[06:00]							STPMK_mn	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-22 CKSC\_mn レジスタの内容

ビット位置	ビット名	機能
31-1	CKSC_mn[30:00]	クロック・ソース ID クロック・ドメイン mn[30:00] のクロック CKSCLK_mn を指定します。
0	STPMK_mn	スタンバイ・モード時のクロック出力 CKSCLK_mn を制御します。 0: CKSCLK_mn の出力停止 1: CKSCLK_mn の出力継続

---

**注意** CKSCID\_mn[30:0] で“クロック選択なし”を設定した状態、および選択したクロック・ソースの発振が停止した状態で、該当するクロック・ドメイン領域をアクセスしないでください。

---



## (2) CSCSTAT\_mn – クロック選択ステータス・レジスタ

CKSC\_mn によって現在選択されているクロック・ソースの ID と有効/無効状態を示します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** Isolated エリア 0 : FF42 6004<sub>H</sub> + n × 16  
 Isolated エリア 1 : FF42 A004<sub>H</sub> + n × 16  
 Always-On エリア : FF42 2004<sub>H</sub> + n × 16

**初期値** 詳細は「クロックの選択」を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
CLKSEL_mn[30:23]							
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
CLKSEL_mn[22:15]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
CLKSEL_mn[14:7]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
CLKSEL_mn[6:0]							CLKACT_mn
R	R	R	R	R	R	R	R

表 9-23 CSCSTAT\_mn レジスタの内容

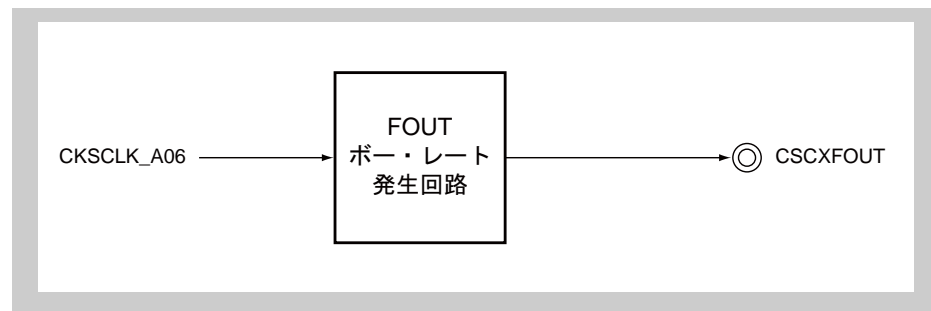
ビット位置	ビット名	機能
31-1	CLKSEL_mn[30:0]	CKSC_mn によって現在選択されているクロックのクロック・ソース ID
0	CLKACT_mn	CKSCLK_nm 有効/無効ステータス表示 0: CKSCLK_nm 無効 1: CKSCLK_nm 有効

## 9.6 周波数出力機能（FOUT）

周波数出力機能により、クロック信号 CKSCLK\_A06 は、外部出力信号 CSCXFOUT として出力できます。

また、CKSCLK\_A06 の周波数は、出力前にポー・レート発生回路で分周させることもできます。

周波数出力機能の概要を次の図に示します。



### 9.6.1 FOUT ポー・レート発生回路

FOUT ポー・レート発生回路は、入力クロック CKSCLK\_A06 を 1 ～ 512 で分周し、さまざまな CSCXFOUT クロックを供給します。

分周比 N は FOUTDIV.FOUTDIV[8:0] ビットによって次のように定義されます。なお、FOUTDIV.FOUTDIV[8:0]=000H の場合は出力停止となります。

$$N = \text{FOUTDIV.FOUTDIV}[8:0]$$

出力クロックの周波数  $f_{\text{CSCXFOUT}}$  は次の式で計算します。

$$f_{\text{CSCXFOUT}} = f_{\text{CKSCLK\_A06}} / N$$

FOUTDIV.FOUTDIV[8:0] ビットに新しく書き込まれた分周比は出力クロック CSCXFOUT クロックに同期して有効になるため、CSCXFOUT クロック動作時も分周比を変更することができます。

### 9.6.2 FOUT ポー・レート発生回路レジスタ一覧

FOUT ポー・レート発生回路は、次のレジスタで制御、動作します。

表 9-24 FOUT ポー・レート発生回路レジスタ一覧

レジスタ名	略号	アドレス
分周比レジスタ	FOUTDIV	FF81 B000 <sub>H</sub>

### 9.6.3 FOUT ボー・レート発生回路制御レジスタの詳細

#### (1) FOUTDIV - 分周比レジスタ

クロックの分周比を定義します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF81 B000<sub>H</sub>

**初期値** 0000\_000F<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	FOUT DIV8
R	R	R	R	R	R	R	R/W
7	6	5	4	3	2	1	0
FOUTDIV[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-25 FOUTDIV レジスタの内容

ビット位置	ビット名	機能
8-0	FOUTDIV[8:0]	クロック分周比 N 000 <sub>H</sub> : 出力停止 001 <sub>H</sub> : N = 1 002 <sub>H</sub> : N = 2 ... 1FE <sub>H</sub> : N = 510 1FF <sub>H</sub> : N = 511

## 9.7 クロック・モニタ A (CLMA)

この節では、クロック・モニタ A (CLMA) の一般的な内容について説明します。

最初の項でチャンネル数、レジスタのベース・アドレス、入出力信号名など、Fx4-H に固有の特徴について説明します。

以降の項で、クロック・コントローラ搭載製品に共通の特徴について説明します。

### 9.7.1 Fx4-H CLMA の特徴

**チャンネル数** この製品は次のチャンネル数のクロック・モニタ A を搭載しています。

表 9-26 チャンネル

クロック・モニタ A	
チャンネル数	3
名称	CLMA0, CLMA2, CLMA3

**n の意味** この章では、クロック・モニタ A の各チャンネルを「n」で識別します (n = 0, 2, 3)。たとえば、CLMA<sub>n</sub> の制御レジスタ 0 (CLMA<sub>n</sub>CTL0) のように記述しています。

**レジスタ・アドレス** CLMA<sub>n</sub> レジスタのアドレスは、それぞれのベース・アドレス <CLMA<sub>n</sub>\_base> からのオフセットで表されます。各 CLMA<sub>n</sub> のレジスタ・ベース・アドレス <CLMA<sub>n</sub>\_base> を次の表に示します。

表 9-27 レジスタ・ベース・アドレス <CLMA<sub>n</sub>\_base>

CLMA <sub>n</sub>	<CLMA <sub>n</sub> _base> アドレス
CLMA0	FF80 2000 <sub>H</sub>
CLMA2	FF80 4000 <sub>H</sub>
CLMA3	FF80 5000 <sub>H</sub>

**クロック供給** クロック・モニタ A のすべてのモニタ・クロックとサンプリング・クロックを次の表に示します。

表 9-28 CLMA<sub>n</sub> クロック供給

CLMA <sub>n</sub> のクロック	機能	接続先
<b>CLMA0 :</b>		
CLMATSM <sub>P</sub>	CLMA0 のサンプリング・クロック	低速 IntOsc (240 kHz)
CLMATM <sub>ON</sub>	CLMA0 のモニタ・クロック	MainOsc
PCLK	PBUS clock	CKSCLK_A02
<b>CLMA2 :</b>		
CLMATSM <sub>P</sub>	CLMA2 のサンプリング・クロック	低速 IntOsc (240 kHz)
CLMATM <sub>ON</sub>	CLMA2 のモニタ・クロック	高速 IntOsc (8 MHz)
PCLK	PBUS clock	CKSCLK_A02
<b>CLMA3 :</b>		
CLMATSM <sub>P</sub>	CLMA3 のサンプリング・クロック	高速 IntOsc (8 MHz)
CLMATM <sub>ON</sub>	CLMA3 のモニタ・クロック	PLL0
PCLK	PBUS clock	CKSCLK_005

**割り込みとリセット出力** CLMA<sub>n</sub> の割り込みとリセット出力を次の表に示します。

表 9-29 CLMA の割り込みとリセット出力

CLMA <sub>n</sub> の信号	機能	接続先
<b>CLMA0 :</b>		
CLMATRES	CLMA0 エラー・リセット	リセット・コントローラ CLMA0RES
CLMATI	CLMA0 エラー割り込み要求	接続先なし
CLMATERR	CLMA0 エラー信号	モータ制御信号 (Hi-Z 制御)
<b>CLMA2 :</b>		
CLMATRES	CLMA2 エラー・リセット	リセット・コントローラ CLMA2RES
CLMATI	CLMA2 エラー割り込み要求	接続先なし
CLMATERR	CLMA2 エラー信号	モータ制御信号 (Hi-Z 制御)
<b>CLMA3 :</b>		
CLMATRES	CLMA3 エラー・リセット	リセット・コントローラ CLMA3RES
CLMATI	CLMA3 エラー割り込み要求	接続先なし
CLMATERR	CLMA3 エラー信号	モータ制御信号 (Hi-Z 制御)

### 9.7.2 CLMA の有効化

クロック・モニタによるクロックの監視は、モニタするクロックが安定すると自動的に開始されます。

- CLMA0 は、メイン発振回路のクロック  $f_X$  が安定すると自動的に開始されます。
- CLMA2 は、高速内蔵発振回路のクロック  $f_{RH}$  が安定すると自動的に開始されます。
- CLMA3 は、PLL0 クロック  $f_{PL0}$  が安定すると自動的に開始されます。

モニタ・クロックが STOP スタンバイ・モードで停止した場合は、対応するクロック・モニタも自動的に無効になります。その後、モニタ・クロックが再度、発振を開始して、安定すると、クロック・モニタは動作を再開します。

### 9.7.3 機能概要

クロック・モニタ CLMAn は、モニタ・クロックの周波数異常を検出します。

**機能概要** クロック・モニタには次の機能があります。

- サンプリング・クロック CLMATSMIP を使用して入力クロック CLMATMON の周波数をモニタします。
- クロック異常を検出した際に次のいずれかによって異常を通知
  - リセット要求信号の出力
  - エラー信号出力とエラー割り込み要求発生との組み合わせ

**備考** 一度有効にしたら、リセット以外では無効化できません。

クロック・モニタの主な構成要素を次の図に示します。

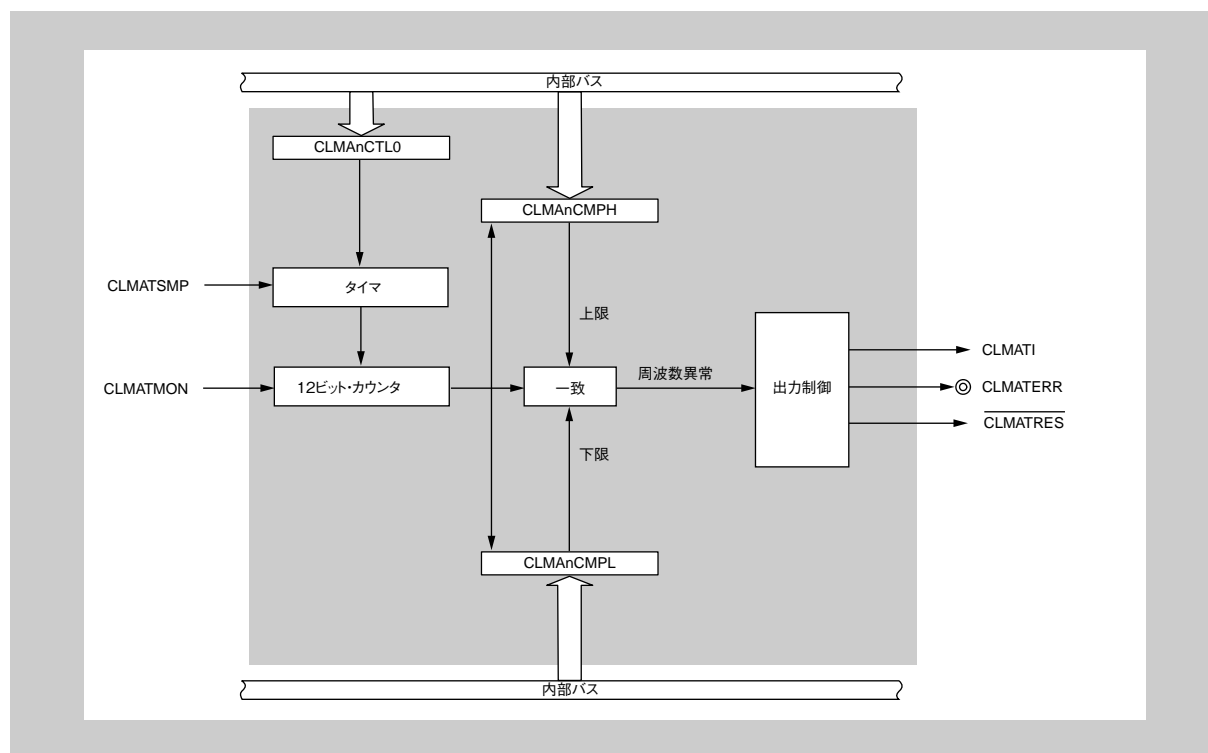


図 9-9 クロック・モニタ A のブロック図

### 9.7.4 機能説明

クロック・モニタ CLMAn は、クロック（CLMATMON）の周波数が特定の範囲内にあることを確認するために使用します。

#### (1) 異常クロック周波数の検出

- 検出方法**
- CLMAn は、サンプリング・クロック CLMATSMPL の 16 サイクル内でモニタ・クロック CLMATMON の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します。
    - CLMAnCMPL.CLMAnCMPL[11:0] は下のしきい値を指定します。
    - CLMAnCMPH.CLMAnCMPH[11:0] は上のしきい値を指定します。
  - CLMATMON が停止した場合、またはその周波数が低い場合は、カウント値は CLMAnCMPL.CLMAnCMPL[11:0] の設定値を下回ります。
  - CLMATMON の周波数が高い場合は、カウント値が CLMAnCMPH.CLMAnCMPH[11:0] の設定値を上回ります。

いずれの場合も、(2)「異常クロック周波数の通知」で説明するように、CLMAn は異常クロック周波数を示します。

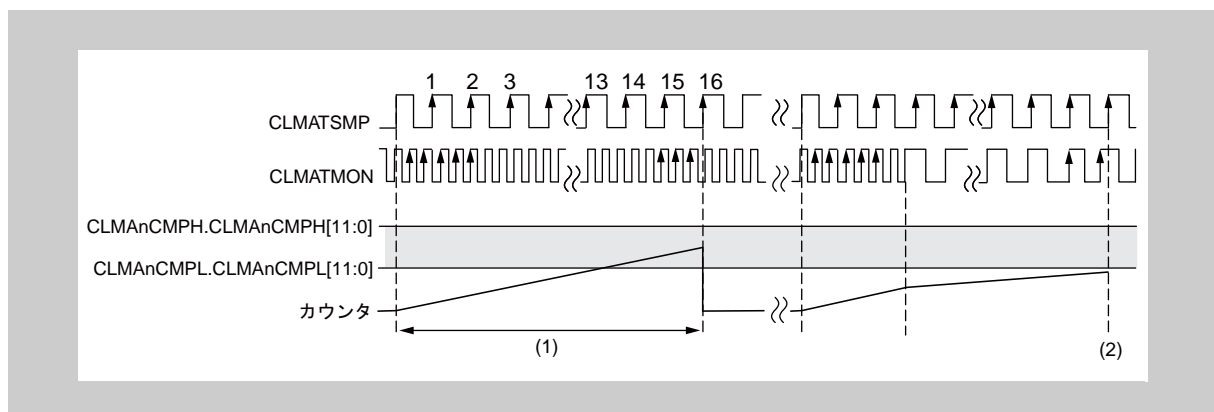


図 9-10 例： $f_{\text{CLMATMON}}$  が低い場合

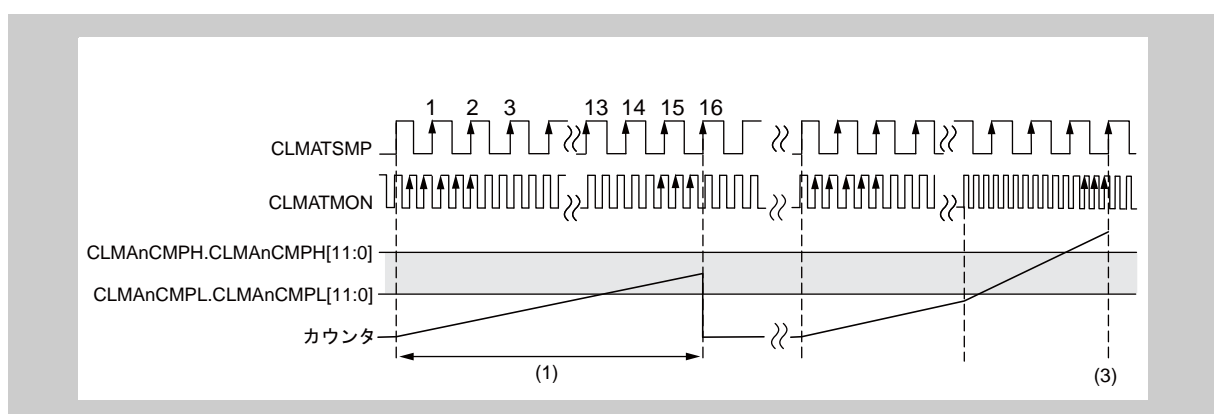


図 9-11 例： $f_{\text{CLMATMON}}$  が高い場合

**備考** サンプリング・インターバル内で  $f_{\text{CLMATMON}}$  が高く（もしくは低く）なっても、有効なカウント値に収まる可能性があります。

$f_{\text{CLMATMON}}$  の異常は、1 サンプリング・インターバル後に検出されます。



(a) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペア・レジスタ CLMAnCMPL と CLMAnCMPH には、サンプリング・クロック CLMATSMP の 8 サイクル内で有効と想定される CLMATMON のクロック・サイクルの最小値と最大値を設定します。

期待されるクロック・サイクル数を N で表します。

$$\frac{8}{f_{\text{CLMATSMP}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMP}}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMP}(\max)}} \times 16 \end{aligned}$$

$$\begin{aligned} \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMP}(\min)}} \times 16 \end{aligned}$$

**例**  $f_{\text{CLMATSMP}} = 240 \text{ kHz} (\pm 8\%)$  および  $f_{\text{CLMATMON}} = 16 \text{ MHz} (\pm 5\%)$  の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 \\ &= 938.27 \\ \text{CLMAnCMPL} &= 938 = 03AA_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 \\ &= 1217.38 \\ \text{CLMAnCMPH} &= 1218 = 04C2_{\text{H}} \end{aligned}$$

**最小しきい値** 次の制限事項を考慮する必要があります。

- CLMAnCMPL  $\geq$  0001<sub>H</sub>
- CLMAnCMPH  $\geq$  CLMAnCMPL + 0003<sub>H</sub>

**(b) しきい値レジスタの初期値入力の定義**

CLMATCSEL がアクティブの場合、しきい値レジスタの初期値／リセット値は次の入力信号によって設定されます。

- CLMAnCMPL[11:0] は、CLMATCLINI[11:0] によって設定
- CLMAnCMPH[11:0] は、CLMATCHINI[11:0] によって設定

CLMATCSEL がインアクティブの場合、しきい値レジスタの初期値／リセット値はモニタ・クロックの最大周波数偏差が許容されるように設定されます。

- CLMAnCMPL[11:0] = 0001<sub>H</sub>
- CLMAnCMPH[11:0] = 03FF<sub>H</sub>

**(2) 異常クロック周波数の通知**

$f_{\text{CLMATMON}}$  が  $f_{\text{CLMATMON}}$  が上限しきい値よりも高い場合、次のように示されます。  
**高い場合**

1. リセット要求信号  $\overline{\text{CLMATRES}}$  をロウ・レベルに設定
2. システム・リセット  $\overline{\text{PRESET}}$  が発生し、CLMAn をリセット

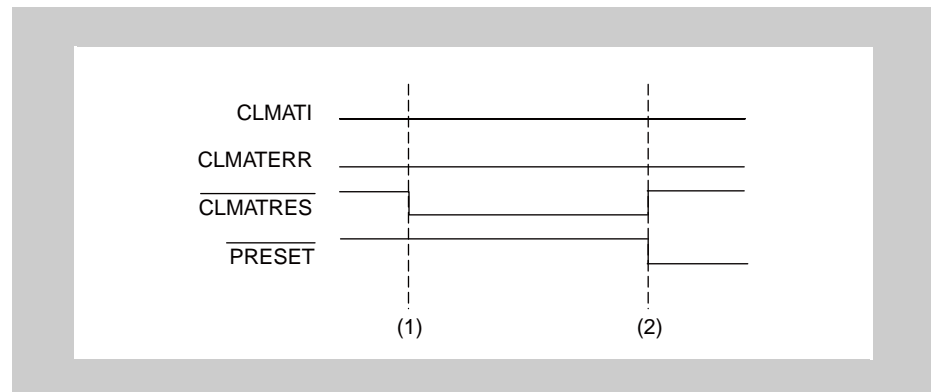


図 9-12  $f_{\text{CLMATMON}}$  が上限しきい値よりも高い場合のエラー要求信号

$f_{\text{CLMATMON}}$  が  $f_{\text{CLMATMON}}$  が下限しきい値よりも低い場合、CLMAn は CLMAnCTL1.CLMAnOSEL の設定に応じて次のいずれかを実行します。  
**低い場合**

CLMAnCTL1. CLMAnOSEL	下限しきい値よりも低い $f_{\text{CLMATMON}}$ 場合の表示
1	リセット要求信号 $\overline{\text{CLMATRES}}$ を出力（前述の $f_{\text{CLMATMON}}$ が高い場合と同様）
0	エラー信号 CLMATERR を出力し、エラー割り込み要求 CLMATI を発生 <ul style="list-style-type: none"> <li>• エラー信号 CLMATERR はハイに設定され、CLMAn がリセット（PRESET）されるまで維持します。</li> <li>• クロック周波数が低いままでも、エラー割り込み要求 CLMATI は一度しか発生しません。</li> </ul>

**備考** CLMAnCTL1.CLMAnOSEL の初期値は、入力信号 CLMATC1INI によって決まります。

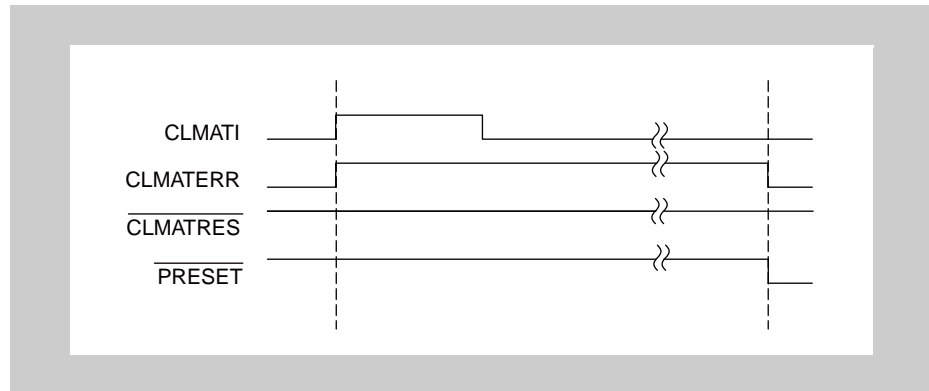


図 9-13 エラー信号とエラー割り込み要求 (CLMAnCTL1.CLMAnOSEL = 0)

### (3) CLMAn 有効 (CLMAnCTL0 へのライト)

制御レジスタ CLMAnCTL0 は、CLMAn を有効にするためのライト保護レジスタです。

**備考** CLMAn は、CLMAnCTL0 への書き込みでなくリセットでのみ無効にできません。

#### (a) CLMAnCTL0 の初期値

CLMAnCTL0 の初期値は、00<sub>H</sub> です。

#### (b) CLMAn 有効化の書き込み手順

CLMAnCTL0 を 01<sub>H</sub> に設定するには、次の命令シーケンスに従ってください。

1. A5<sub>H</sub> を CLMAnPCMD に書き込みます。
2. 次のシーケンスで CLMAnCTL0 に書き込みを行います。
  - 01<sub>H</sub> を書き込んで CLMAn を有効にする
  - 反転値 FE<sub>H</sub> を書き込む
  - 再度目的の値 01<sub>H</sub> を書き込む
3. CLMAnCTL0 を読み出します。

CLMAnCTL0 の値が 01<sub>H</sub> になっていれば、CLMAn が有効になっています。

それ以外の場合は、CLMAnCTL0 ライト動作ステータス・レジスタ CLMAnPS の値を確認します。

- CLMAnPS = 01<sub>H</sub> の場合、命令シーケンスが正しく実行されていません。手順 1 から再度シーケンスを実行し、CLMAn を有効にしてください。
- CLMAnPS = 00<sub>H</sub> の場合、まず 00<sub>H</sub> を CLMAnPCMD に書き込み、再度手順 1 からシーケンスを実行してください。

### 9.7.5 クロック・モニタ・レジスタ

クロック・モニタは、次のレジスタで制御、動作します。

表 9-30 クロック・モニタ・レジスタの一覧

レジスタ名	略号	アドレス
CLMAn 制御レジスタ 0	CLMAnCTL0	<CLMAn_base> + 00 <sub>H</sub>
CLMAn 制御レジスタ 1	CLMAnCTL1	<CLMAn_base> + 04 <sub>H</sub>
CLMAn コンペア・レジスタ L	CLMAnCMPL	<CLMAn_base> + 08 <sub>H</sub>
CLMAn コンペア・レジスタ H	CLMAnCMPH	<CLMAn_base> + 0C <sub>H</sub>
CLMAn エミュレーション・レジスタ 0	CLMAnEMU0	<CLMAn_base> + 18 <sub>H</sub>

<CLMAn\_base> CLMAn のベース・アドレス <CLMAn\_base> は、この章の最初の節「クロック・モニタ A (CLMA)」内の「レジスタ・アドレス」で定義しています。

#### (1) CLMAnCTL0 - CLMAn 制御レジスタ 0

クロック・モニタ CLMAn を有効にします。

**アクセス** 8 ビット単位でリード/ライト可能です。

このレジスタへのライトは、特定の命令シーケンスによって保護されます。詳細は 9.7.4 (3)「CLMAn 有効 (CLMAnCTL0 へのライト)」を参照してください。

**アドレス** <CLMAn\_base> + 00<sub>H</sub>

**初期値** 00<sub>H</sub>

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn CLME
R	R	R	R	R	R	R	R/W

表 9-31 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CLMAnCLME	クロック・モニタの有効/無効を設定します。 0: CLMAn 無効 1: CLMAn 有効

**注意** ライトの際、ビット 7 からビット 1 には“0”を設定してください。

**(2) CLMAnCTL1 - CLMAn 制御レジスタ 1**

モニタ・クロック CLMATMON の周波数が低すぎることを検出したときの通知方法を指定します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <CLMAn\_base> + 04<sub>H</sub>

**初期値** 00<sub>H</sub>

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLMAn OSEL
R	R	R	R	R	R	R	R/W

表 9-32 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CLMAnOSEL	クロック・モニタの周波数異常 (CLMAnCMPL より低い) を検出したときの動作を選択します。 0: CLMATRES 信号を出力 1: CLMATERR 信号 <sup>a</sup> を出力

a) CLMATERR 信号は, TAPAn の Hi-Z 出力制御に使用することができます。

**(3) CLMAnCMPH - CLMAn コンペア・レジスタ H**

周波数の上限値を指定します。

詳細は (a) 「しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

**アクセス** 16 ビット単位でリード／ライト可能です。CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

**アドレス** <CLMAn\_base> + 0C<sub>H</sub>

**初期値** 03FF<sub>H</sub> どのリセット要因でも初期化されます。

CLMATCSEL がアクティブの場合、初期値は入力信号 CLMATCHINI[11:0] によって設定されます。9.7.2 「CLMA の有効化」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPH[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-33 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPH[11:0]	上のしきい値を指定します。 <ul style="list-style-type: none"> <li>推奨値：<math>(f_{\text{CLMATMON (max)}} \times 8) / f_{\text{CLMATSMP (min)}}</math></li> <li>最小値：CLMAnCMPL + 0003<sub>H</sub></li> </ul>

**注意** ライトの際、ビット 15 からビット 12 には “0” を設定してください。

**(4) CLMAnCMPL - CLMAn コンペア・レジスタ L**

周波数の下限値を指定します。

詳細は (a) 「しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法」を参照してください。

**アクセス** 16 ビット単位でリード／ライト可能です。CLMAn が無効 (CLMAnCTL0.CLMAnCLME = 0) の場合のみ書き込み可能です。

**アドレス** <CLMAn\_base> + 08<sub>H</sub>

**初期値** 0001<sub>H</sub> どのリセット要因でも初期化されます。

CLMATCSEL がアクティブの場合、初期値は入力信号 CLMATCLINI[11:0] によって設定されます。9.7.2 「CLMA の有効化」を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	CLMAnCMPL[11:0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9-34 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
11-0	CLMAnCMPL[11:0]	下のしきい値を指定します。 <ul style="list-style-type: none"> <li>推奨値：<math>(f_{\text{CLMATMON (min)}} \times 8) / f_{\text{CLMATSMPL (max)}}</math></li> <li>最小値：0001<sub>H</sub></li> </ul>

**注意** ライトの際、ビット 15 からビット 12 には“0”を設定してください。

**(5) CLMAnEMU0 - CLMAn エミュレーション・レジスタ 0**

デバッグ中にマイコンがブレーク・モードに設定された場合に、周波数の偏差をエミュレートするビットを提供します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <CLMAn\_base> + 18<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CLMAn SLFST	CLMAn SLSLW
R	R	R	R	R	R	R/W	R/W

表 9-35 CLMAnEMU0 レジスタの内容

ビット位置	ビット名	機能
1	CLMAnSLFST	エミュレーション中の $f_{\text{CLMATMON}}$ を高く想定するかどうかを指定します。 0: CLMATMON は正常な周波数範囲内 1: CLMATMON が上限しきい値を上回った場合をエミュレーション
0	CLMAnSLSLW	エミュレーション中の $f_{\text{CLMATMON}}$ を低く想定するかどうかを指定します。 0: CLMATMON は正常な周波数範囲内 1: CLMATMON が下限しきい値を下回った場合をエミュレーション

- 注意**
- 低い CLMATMON と高い CLMATMON を同時に設定してのエミュレーションは禁止されています。したがって、CLMAnEMU0 を 03<sub>H</sub> に設定しないでください。
  - ライトの際、ビット7からビット2には“0”を設定してください。



## 第10章 スタンバイ・コントローラ (STBC)

この章では、スタンバイ・コントローラの一般的な内容について説明します。最初の節でレジスタのベース・アドレス、ウエイクアップ要因など、V850E2/Fx4-Hに固有の特徴について説明します。以降の節で、スタンバイ・コントローラ搭載製品に共通の特徴について説明します。

### 10.1 V850E2/Fx4-H スタンバイ・コントローラの特徴

**レジスタ・アドレス** スタンバイ・コントローラ・レジスタのアドレスは、それぞれのベース・アドレス <STBC\_base> からのオフセットで表されます。スタンバイ・コントローラのベース・アドレス <STBC\_base> を次の表に示します。

表 10-1 レジスタ・ベース・アドレス <STBC\_base>

STBC	<STBC_base> アドレス
スタンバイ・コントローラ	FF42 0000 <sub>H</sub>

**STBC リセット** スタンバイ・コントローラとそのレジスタは、次のリセット信号で初期化されます。

表 10-2 STBC リセット信号

STBC	リセット信号
スタンバイ・コントローラ	リセット・コントローラ SYSRES リセット・コントローラ PURES

**ウエイクアップ要因** パワー・セーブ・モードを終了するウエイクアップ・イベントは、次のスタンバイ・コントローラ・レジスタで制御され、モニタされます。

- WUFLm, WUFMSKLm, WUFCLm
- WUFMm, WUFMSKMm, WUFMm
- WUFHm, WUFMSKHm, WUFCHm

インデックス m = 0, 1 は、それぞれアイソレート領域 0, アイソレート領域 1 を表します。

制御レジスタ・ビットとステータス・レジスタ・ビットへのウエイクアップ要因の割り当てを次の表に示します。

ウエイクアップ制御およびステータス・レジスタの詳細は、この章の「ウエイクアップ・イベント・コントローラ・レジスタの詳細」節を参照してください。

表 10-3 ウェイクアップ要因レジスタの割り当て  
(WUFLm/WUFMSKLm/WUFCLm, ただし m = 0, 1)

WUFLm/WUFMSKLm/WUFCLm レジスタ・ビットの割り当て						ウェイクアップ要因			
アイソレート領域 0 のウェイクアップ			アイソレート領域 1 のウェイクアップ			ウェイクアップ 要因	モジュ ール	電力 ドメイン	クロック・ ドメイン
WUFL007	WUFMSKL007	WUFCL007	WUFL107	WUFMSKL107	WUFCL107	INTP0	ポート	AWO	-
WUFL008	WUFMSKL008	WUFCL008	WUFL108	WUFMSKL108	WUFCL108	INTP1	ポート	AWO	-
WUFL009	WUFMSKL009	WUFCL009	WUFL109	WUFMSKL109	WUFCL109	INTP2	ポート	AWO	-
WUFL010	WUFMSKL010	WUFCL010	WUFL110	WUFMSKL110	WUFCL110	INTP3	ポート	AWO	-
WUFL011	WUFMSKL011	WUFCL011	WUFL111	WUFMSKL111	WUFCL111	INTP4	ポート	AWO	-
WUFL012	WUFMSKL012	WUFCL012	WUFL112	WUFMSKL112	WUFCL112	INTP5	ポート	AWO	-
WUFL013	WUFMSKL013	WUFCL013	WUFL113	WUFMSKL113	WUFCL113	INTP6	ポート	AWO	-
WUFL014	WUFMSKL014	WUFCL014	WUFL114	WUFMSKL114	WUFCL114	INTP7	ポート	AWO	-
WUFL015	WUFMSKL015	WUFCL015	WUFL115	WUFMSKL115	WUFCL115	INTP8	ポート	AWO	-
WUFL016	WUFMSKL016	WUFCL016	WUFL116	WUFMSKL116	WUFCL116	INTP9	ポート	AWO	-
WUFL017	WUFMSKL017	WUFCL017	WUFL117	WUFMSKL117	WUFCL117	INTP10	ポート	AWO	-
WUFL018	WUFMSKL018	WUFCL018	WUFL118	WUFMSKL118	WUFCL118	INTP11	ポート	AWO	-
WUFL019	WUFMSKL019	WUFCL019	WUFL119	WUFMSKL119	WUFCL119	INTP12	ポート	AWO	-
WUFL020	WUFMSKL020	WUFCL020	WUFL120	WUFMSKL120	WUFCL120	INTP13	ポート	AWO	-
WUFL021	WUFMSKL021	WUFCL021	WUFL121	WUFMSKL121	WUFCL121	INTP14	ポート	AWO	-
WUFL022	WUFMSKL022	WUFCL022	WUFL122	WUFMSKL122	WUFCL122	INTP15	ポート	AWO	-
WUFL023	WUFMSKL023	WUFCL023	WUFL123	WUFMSKL123	WUFCL123	FCN0RX	ポート	AWO <sup>a</sup>	-
WUFL024	WUFMSKL024	WUFCL024	WUFL124	WUFMSKL124	WUFCL124	FCN1RX	ポート	AWO <sup>a</sup>	-
WUFL025	WUFMSKL025	WUFCL025	WUFL125	WUFMSKL125	WUFCL125	FCN2RX	ポート	AWO <sup>a</sup>	-
WUFL026	WUFMSKL026	WUFCL026	WUFL126	WUFMSKL126	WUFCL126	FCN3RX	ポート	AWO <sup>a</sup>	-
WUFL028	WUFMSKL028	WUFCL028	WUFL128	WUFMSKL128	WUFCL128	FCN5RX	ポート	AWO <sup>a</sup>	-

a) CAN 受信信号 (FCNnRX) は、DEEPSTOP モードからのウェイクアップ要因として使用できます。

**注意** INTKR0 は、DEEPSTOP モードのウェイクアップ要因として使用する場合は、ポート 3 とポート 4 を KR0In ピンとして使用しないでください。ポート 0 を KR0In ピンとしては、使用可能です。

表 10-4 ウェイクアップ要因レジスタの割り当て  
(WUFMm/WUFMSKMm/WUFCMm, ただし m = 0, 1)

WUFMm/WUFMSKMm/WUFCMm レジスタ・ビットの割り当て						ウェイクアップ要因						
アイソレート領域 0 のウェイクアップ			アイソレート領域 1 のウェイクアップ			ウェイクアップ 要因	モジュ ール	電力 ドメイン	クロック・ ドメイン			
WUFM006	WUFMSKM006	WUFCM006	WUFM106	WUFMSKM106	WUFCM106	INTTAUJ110	TAUJ1	AWO	CKSCLK_ A04			
WUFM007	WUFMSKM007	WUFCM007	WUFM107	WUFMSKM107	WUFCM107	INTTAUJ111						
WUFM008	WUFMSKM008	WUFCM008	WUFM108	WUFMSKM108	WUFCM108	INTTAUJ112						
WUFM009	WUFMSKM009	WUFCM009	WUFM109	WUFMSKM109	WUFCM109	INTTAUJ113						
WUFM010	WUFMSKM010	WUFCM010	WUFM110	WUFMSKM110	WUFCM110	INTADCA0ERR	ADCA0	ISO0	CKSCLK_ 012			
WUFM011	WUFMSKM011	WUFCM011	WUFM111	WUFMSKM111	WUFCM111	INTADCA0I0						
WUFM012	WUFMSKM012	WUFCM012	WUFM112	WUFMSKM112	WUFCM112	INTADCA0I1						
WUFM013	WUFMSKM013	WUFCM013	WUFM113	WUFMSKM113	WUFCM113	INTADCA0I2						
WUFM014	WUFMSKM014	WUFCM014	WUFM114	WUFMSKM114	WUFCM114	INTADCA0TLT	WDTA1	ISO0	CKSCLK_ 007			
WUFM015	WUFMSKM015	WUFCM015	WUFM115	WUFMSKM115	WUFCM115	INTWDTA1						
WUFM017	WUFMSKM017	WUFCM017	WUFM117	WUFMSKM117	WUFCM117	INTLMA10TIT				LMA10	ISO0	CKSCLK_ 011
WUFM018	WUFMSKM018	WUFCM018	WUFM118	WUFMSKM118	WUFCM118	INTLMA10TIR						
WUFM019	WUFMSKM019	WUFCM019	WUFM119	WUFMSKM119	WUFCM119	INTUAE0TIS						
WUFM020	WUFMSKM020	WUFCM020	WUFM120	WUFMSKM120	WUFCM120	INTLMA11TIT	LMA11	ISO0	CKSCLK_ 011			
WUFM021	WUFMSKM021	WUFCM021	WUFM121	WUFMSKM121	WUFCM121	INTLMA11TIR						
WUFM022	WUFMSKM022	WUFCM022	WUFM122	WUFMSKM122	WUFCM122	INTUAE1TIS						
WUFM023	WUFMSKM023	WUFCM023	WUFM123	WUFMSKM123	WUFCM123	INTCSIG4IC	CSIG4	ISO0	CKSCLK_ 011			
WUFM024	WUFMSKM024	WUFCM024	WUFM124	WUFMSKM124	WUFCM124	INTCSIG4IR						
WUFM025	WUFMSKM025	WUFCM025	WUFM125	WUFMSKM125	WUFCM125	INTCSIG4IRE						
WUFM029	WUFMSKM029	WUFCM029	WUFM129	WUFMSKM129	WUFCM129	INTTAUA0I0	TAUA0	ISO0	CKSCLK_ 006			
WUFM030	WUFMSKM030	WUFCM030	WUFM130	WUFMSKM130	WUFCM130	INTTAUA0I1						
WUFM031	WUFMSKM031	WUFCM031	WUFM131	WUFMSKM131	WUFCM131	INTTAUA0I2						

**注意** 電力ドメインが「Iso0」のウェイクアップ要因は、DEEPSTOP モードからの復帰に使用することができません。ただし、STOP モードからの復帰に使用することができます。

表 10-5 ウェイクアップ要因レジスタの割り当て  
(WUFHm/WUFMSKHm/WUFCHm, ただし m = 0, 1)

WUFMm/WUFMSKMm/WUFCHm レジスタ・ビットの割り当て						ウェイクアップ要因			
アイソレート領域 0 のウェイクアップ			アイソレート領域 1 のウェイクアップ			ウェイクアップ 要因	モジュー ル	電力 ドメイン	クロック・ ドメイン
WUFH000	WUFMSKH000	WUFCH000	WUFH100	WUFMSKH100	WUFCH100	INTTAUA0I3	TAUA0	ISO0	ISO0_6
WUFH001	WUFMSKH001	WUFCH001	WUFH101	WUFMSKH101	WUFCH101	INTTAUA0I4			
WUFH002	WUFMSKH002	WUFCH002	WUFH102	WUFMSKH102	WUFCH102	INTTAUA0I5			
WUFH003	WUFMSKH003	WUFCH003	WUFH103	WUFMSKH103	WUFCH103	INTTAUA0I6			
WUFH004	WUFMSKH004	WUFCH004	WUFH104	WUFMSKH104	WUFCH104	INTTAUA0I7			
WUFH005	WUFMSKH005	WUFCH005	WUFH105	WUFMSKH105	WUFCH105	INTTAUA0I8			
WUFH006	WUFMSKH006	WUFCH006	WUFH106	WUFMSKH106	WUFCH106	INTTAUA0I9			
WUFH007	WUFMSKH007	WUFCH007	WUFH107	WUFMSKH107	WUFCH107	INTTAUA0I10			
WUFH008	WUFMSKH008	WUFCH008	WUFH108	WUFMSKH108	WUFCH108	INTTAUA0I11			
WUFH009	WUFMSKH009	WUFCH009	WUFH109	WUFMSKH109	WUFCH109	INTTAUA0I12			
WUFH010	WUFMSKH010	WUFCH010	WUFH110	WUFMSKH110	WUFCH110	INTTAUA0I13			
WUFH011	WUFMSKH011	WUFCH011	WUFH111	WUFMSKH111	WUFCH111	INTTAUA0I14			
WUFH012	WUFMSKH012	WUFCH012	WUFH112	WUFMSKH112	WUFCH112	INTTAUA0I15			
WUFH013	WUFMSKH013	WUFCH013	WUFH113	WUFMSKH113	WUFCH113	WDTATNMIO	WDTA0	AWO	CKSCLK_ A07
WUFH014	WUFMSKH014	WUFCH014	WUFH114	WUFMSKH114	WUFCH114	WDTATNM1I	WDTA1	ISO0	CKSCLK_ 007
WUFH015	WUFMSKH015	WUFCH015	WUFH115	WUFMSKH115	WUFCH115	-	-	-	-

**注意** 電力ドメインが「Iso0」のウェイクアップ要因は、DEEPSTOP モードからの復帰に使用することができません。ただし、STOP モードからの復帰に使用することができます。

**URTEnRX による  
ウェイクアップ** URTEnRX をウェイクアップ・イベントとすることはできません。ただし、INTPx と端子を兼用している URTEnRX については、端子制御レジスタを INTPx とすることで、擬似的に URTEnRX をウェイクアップ・イベントとすることが可能です。

## 10.2 スタンバイ・コントローラの機能

マイクロコントローラは、次の3つのパワー・セーブ・モードをサポートします。

- **HALT モード**  
HALT モードに入るには、通常動作モードから CPU 命令 "HALT" を実行します。これで CPU は動作を停止しますが、クロックは動作を継続し、すべての領域の電力状態も維持されます。
- **STOP モード**  
STOP モードでは、特定のクロック・ドメインに対するクロック供給を停止することができます。  
PSCm.PSCmSTP ビットを 1 にすることで STOP モードに遷移します。  
CKSC\_mn.STPMK\_mn = 1 を設定することにより、STOP モードに遷移しても、クロック・ドメインへのクロック供給を継続することが可能です。  
CKSC\_mn レジスタは、第9章「クロック・コントローラ」を参照してください。
- **DEEPSTOP モード**  
電力消費をさらに削減するために、アイソレート領域 0 とアイソレート領域 1 の電源をオフにできます。このためには、関連するパワー・セーブ・コントロール・レジスタ PSCm (m = 0-1) のパワー・オフ・ビット POF を 1 に設定します。
- **RUN モード**  
CPU が動作しているモードは、RUN モードと呼ばれます。

**HALT** HALT モードは、電力ドメインにもクロック・ドメインにも影響しません。したがって、この章ではこのモードについては説明しません。HALT モードの詳細は、「V850E2M アーキテクチャ編」を参照してください。

**STOP/DEEPSTOP** STOP モードと DEEPSTOP モードは、次のようにクロック・ドメインごとに限定して選択できます。

- PSC0.STP は、Always-On 領域とアイソレート領域 0 のクロック供給を制御します。
- PSC1.STP はアイソレート領域 1 のクロック供給を制御します。
- PSC0.POF はアイソレート領域 0 の電力供給を制御します。
- PSC1.POF はアイソレート領域 1 の電源を制御します。

クロック・オプションと電源オプションを次の表に示します。

表 10-6 パワー・セーブ・モードの概要 (1/2)

レジスタ設定値				モード		Always-On	アイソレート領域 0		アイソレート領域 1	
PSC0.POF	PSC0.STP	PSC1.POF	PSC1.STP	Always-On Iso0	Iso1	クロック	電力	クロック	電力	クロック
0	0	0	0	RUN	RUN	許可	許可	許可	許可	許可

表 10-6 パワー・セーブ・モードの概要 (2/2)

レジスタ設定値				モード		Always-On	アイソレート領域 0		アイソレート領域 1	
0	0	0	1	RUN	STOP	許可	許可	許可	許可	停止
0	0	1	1	RUN	DEEP STOP	許可	許可	許可	オフ	停止
0	1	0	1	STOP	STOP	停止	許可	停止	許可	停止
0	1	1	1	STOP	DEEP STOP	停止	許可	停止	オフ	停止
0	1	0	0	STOP	RUN	停止	許可	停止	許可	許可
1	1	1	1	DEEPSTOP	DEEP STOP	停止	オフ	停止	オフ	停止
(設定禁止)				—		—	—	—	—	—

ただし、特定のクロック・ドメインが「停止」されるのは、CKSCn.STPMKn0 = 0 によってクロック停止のマスクが解除されている場合だけです。

**注意** アイソレート領域 1 が動作しているときには、アイソレート領域 0 を DEEPSTOP モード (PSC0.POF = 1) に設定できません。

異なるモードでのさまざまなクロック・ソースのステータスを次の表に示します。

表 10-7 パワー・セーブ・モード時のクロック・ソース

モード	Always-On				
	低速 IntOsc	高速 IntOsc	MainOsc	SubOsc	PLLk
RUN	動作可能	動作可能	動作可能	動作可能	動作可能
RUN (Iso1 STOP)		動作可能	動作可能	動作可能	動作可能
RUN (Iso1 DEEPSTOP)		動作可能	動作可能	動作可能	動作可能
STOP		停止	停止	停止	停止
STOP (Iso1 パワー・オフ)		停止	停止	停止	停止
STOP (AWO/Iso0 STOP)		停止	停止	停止	停止
DEEPSTOP		停止	停止	停止	停止

ただし、特定のクロック・ソースが「停止」されるのは、関連する停止要求イネーブル・ビットによってクロック停止のマスクが解除されている場合だけです。

- MainOsc では MOSCE.STPMK = 1
- 高速 IntOsc では ROSCE.STPMK = 1

- PLLk では PLLEk.PLLEkSTPMK = 1

## 10.2.1 ウェイクアップ

### (1) ウェイクアップ要因

次のウェイクアップ・イベントにより、パワー・セーブ・モードから復帰することができます。

表 10-8 ウェイクアップ・イベント

モード	リセット	NMI	INTLVI	INTPx <sup>a</sup>	電力ドメインの周辺機能 <sup>ab</sup>	CANの受信FCNnRX <sup>a</sup>	ソフトウェア	OCD
RUN (Iso1 STOP)	あり	あり	あり	あり	• AWOのすべて • Iso0のすべて	あり	あり	あり
RUN (Iso1 DEEPSTOP)	あり	あり	あり	あり <sup>c</sup>	• AWOのすべて • Iso0のすべて	あり	あり	あり
STOPモード	あり	あり	あり	あり	• AWOで動作中 • Iso0で動作中	あり	なし	あり
STOP (Iso1 DEEPSTOP)	あり	あり	あり	あり <sup>c</sup>	• AWOで動作中 • Iso0で動作中	あり	なし	あり
DEEPSTOP	あり	あり	あり	あり <sup>c</sup>	• AWOで動作中	あり	なし	あり

- a) ウェイクアップ・イベントとして使用する場合は、対象となるウェイクアップ要因を有効にしておく必要があります。対象となるウェイクアップ要因のレジスタ割り当ては、10.1章のレジスタウェイクアップ要因レジスタの割り当てを参照してください。
- b) ウェイクアップ・イベントとして使用する周辺機能には、クロック・コントローラからクロックを供給する必要があります。そのクロック・ドメインがSTOPモードの場合は、スタンバイ・モード要求がマスクされるので (CKSC\_mn.STPMK\_mn = 1)、周辺機能のクロックはスタンバイ・モード時も動作を継続します。
- c) 外部割り込みINTPxをDEEPSTOPモードからのウェイクアップとして使用するには、INTPxのアナログ・フィルタをエッジ検出モード (FLCAnINTm = 0) に設定する必要があります。詳細は、「ポート機能」の章の「ポート・フィルタ機能の説明」節を参照してください。

**HALTモードのウェイクアップ** HALTモードを終了するイベントについては、「V850E2M アーキテクチャ編」を参照してください。

**外部割り込みINTPx** すべての外部割り込みINTPxにより、パワー・セーブ・モードから遷移します。詳細は図10-1「パワー・セーブ・モードの移行」を参照してください。

**CAN FCNnRX ウェイクアップ** CAN 受信信号 FCNnRX の立下りエッジは、パワー・セーブ・モードからのウェイクアップを生成できます。CAN ウェイクアップの詳細は、「CAN コントローラ (FCN)」の章の「パワー・セーブ・モード」を参照してください。FCNnRX が DEEPSTOP モードからウェイクアップする場合は、FCNnRX 割り込みサービス・ルーチンは処理されません。この場合、FCNnRX はウェイクアップ・イベントとしてのみ使用され、CAN インタフェースを介したデータ通信の要素ではありません。

**周辺モジュールの割り込み** 以下の場合に、周辺機能からの割り込みによってウェイクアップを生成できます。

周辺機能が DEEPSTOP モード（電源がオフ）の電力ドメインに存在せず、周辺機能にその動作クロックが供給されており（たとえば、この機能は STOP モードの領域にあるが、CKSCn.STPMKn0 = 1 でクロック停止がマスクされている）、周辺機能イベントがウェイクアップ要因として宣言されている場合（10.2.1 「ウェイクアップ」を参照）、および、ウェイクアップ後に周辺割り込みの割り込みサービス・ルーチンを実行する場合は、マスク解除 (EICn.EIMKn = 1) する必要があります。

**ソフトウェア・ウェイクアップ** RUN (Iso1 STOP, Iso1 DEEPSTOP) と STOP (Iso1 DEEPSTOP) からのソフトウェア・ウェイクアップは、PSC1.PSC1ISOWU = 1 の設定によってトリガされます。

**オンチップ・デバッグ・ウェイクアップ** 以下の場合、オンチップ・デバッグ・ユニット (OCD) は、マイクロコントローラがアプリケーション・プログラムを実行するときにウェイクアップ・イベントを生成します。

- デバッガが停止要求を発行した場合
- ブレークポイントに達した場合

いずれの場合も、WUFMSKH レジスタを使用して OCD デバッグ・イベントが有効に設定されている場合はスタンバイ・モードが終了します。

**注意** OCD ウェイクアップ・イベントが無効の場合は、デバッガからの手動の停止によってマイクロコントローラをスタンバイ・モードからウェイクアップすることはできません。したがって、次の設定ですべてのスタンバイ・モードを終了できるように、OCD ウェイクアップを有効にすることをお勧めします。

WUFMSKH0.WUFMSKH015 = WUFMSKH1.WUFMSKH115 = 0



**(2) ウェイクアップ制御**

ウェイクアップ要因は2組 (アイソレート領域0とアイソレート領域1) のウェイクアップ要因関連レジスタにより選択します。

- ウェイクアップ要因マスク・レジスタ : WUFMSKLm, WUFMSKMm, WUFMSKHm

ウェイクアップ要因マスク・レジスタの各ビットは, アイソレート領域0 (1) の各ウェイクアップ要因に割り当てています。ビットを0に設定した場合, 本ビットに対応するウェイクアップ要因を有効にします。

- ウェイクアップ要因レジスタ : WUFLm, WUFMm, WUFHm

有効なウェイクアップ要因が発生した際に, 該当するビットが1になります。

本レジスタ, ビットを判断することで, ウェイクアップ要因を判断することが可能です。

- ウェイクアップ要因クリア・レジスタ : WUFCLm, WUFMm, WUFCHm

本レジスタのビットを1にすることで, ウェイクアップ要因レジスタ (WUFLm/ WUFMm/ WUFHm) のビットをクリアします。

**備考** ウェイクアップ要因レジスタ (WUFLm/ WUFMm/ WUFHm) は, ウェイクアップ・イベントの発生を示すものであり, 特定の電力ドメインがスタンバイ・モードから通常動作モードに遷移したことを示すものではありません。電力ドメインの遷移については, PWSm.PWSmPSS ビットを判断してください。

**(3) 発振回路のウェイクアップ**

MainOsc は、ウェイクアップ・イベントの発生によって自動的に発振を開始させることができます (OSCWUFMSK レジスタの制御ビットで設定します)。

- OSCWUFMSK.OSCWUFMSK00 = 0  
アイソレート領域 0 からのウェイクアップ要求で MainOsc の発振を開始。
- OSCWUFMSK.OSCWUFMSK01 = 0  
アイソレート領域 1 からのウェイクアップ要求で MainOsc の発振を開始。

**備考** ウェイクアップ後の発振回路の自動起動は、MOSCE.STPMK = 0 の設定による発振回路の停止 / 起動とは動作が異なります。  
MOSCE.STPMK ビットの詳細は、第9章「クロック・コントローラ」を参照してください。

## 10.2.2 入出力バッファ制御

この節では、さまざまなスタンバイ・モードでの入出力バッファの動作について説明します。

### (1) 入出力バッファ・ホールド状態

入出力バッファ・ホールド状態になると、入力バッファまたは出力バッファは入出力バッファ・ホールド状態に入る前の状態を保持します。したがって、内部信号および外部信号は入出力バッファ・ホールド状態が終了するまでその状態を変更することができません。

### (2) STOP モード時の入出力バッファ

STOP モード（クロック停止）の領域の入出力バッファは、STOP モードに入る前の状態を継続します（入出力バッファ・ホールド状態に入りません）。

### (3) DEEPSTOP モード時の入出力バッファ

DEEPSTOP モード時の入出力バッファは、入出力バッファ・ホールド状態になります。

DEEPSTOP からウエイクアップした際に、以下手順で入出力バッファ・ホールド状態の解除を行ってください。

- ① 周辺機能やポート機能の再設定
- ② PSCm.PSCmIOHLDCLR = 1

表 10-9 DEEPSTOP モード時とウエイクアップ後のバッファの動作

ユーザの操作と状態	アイソレート領域 m の電源	
	オン	オフ (DEEPSTOP)
ユーザの操作	通常動作時の 入出力バッファ (DEEPSTOP スタンバイ なし)	—
スタンバイ中のバッファの状態		入出力バッファ・ホールド 状態
DEEPSTOP ウエイクアップ後 のバッファの状態		入出力バッファ・ホールド 状態 <sup>a)</sup>

<sup>a)</sup> ウエイクアップとアイソレート領域 m の再初期化の後に、PSCm.PSCmIOHOLDCLR = 1 によって入出力バッファ・ホールド状態を終了する必要があります。

### 10.2.3 パワー・セーブ・モードの移行

さまざまな RUN モードとパワー・セーブ・モードの間で可能な移行を次の図に示します。

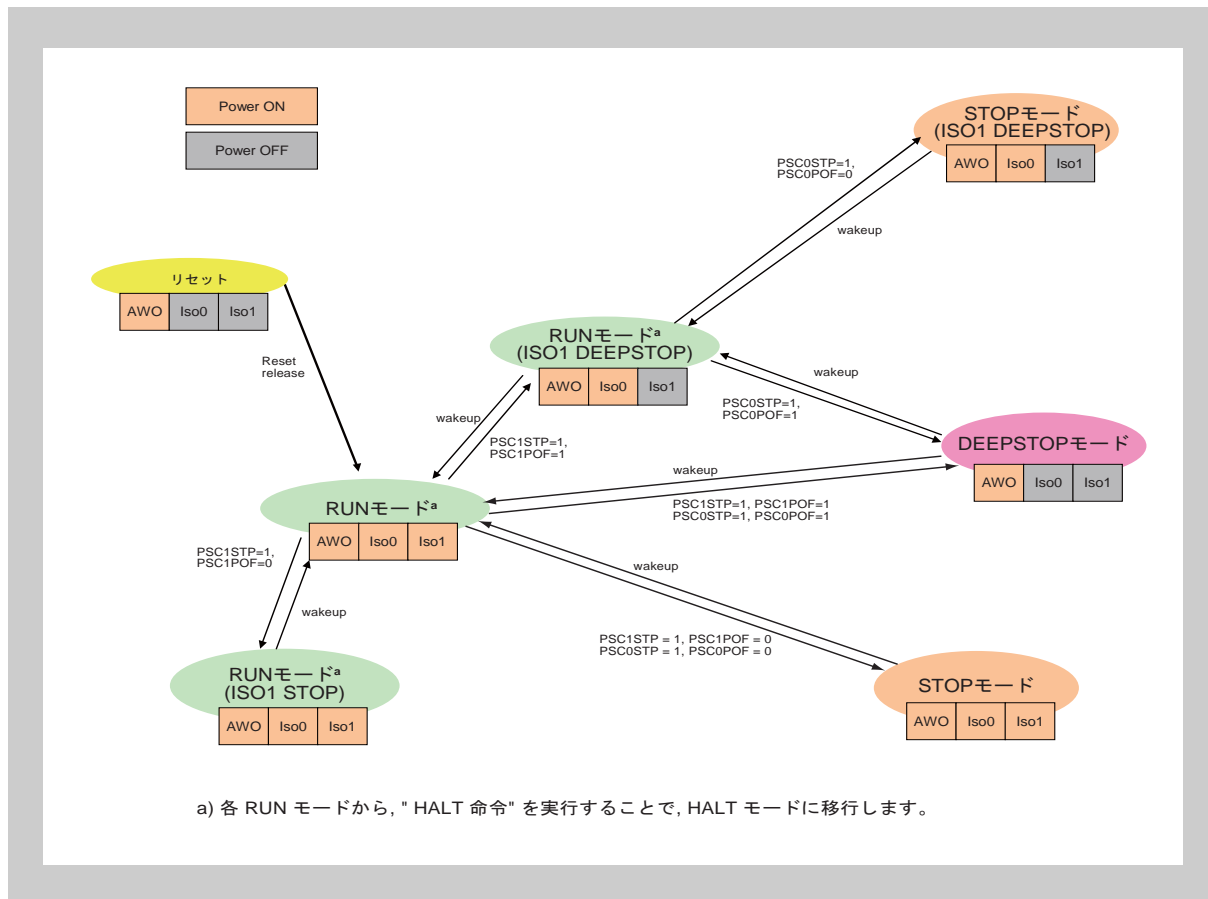


図 10-1 パワー・セーブ・モードの移行

**注意** ISO0 がパワーオフ, かつ ISO1 がパワーオンの状態に遷移させないでください。

## 10.2.4 パワー・セーブ・モードの開始と終了のフロー例

以下に示すいくつかのフローの例に、パワー・セーブ・モードがどのように開始され、終了するかを示します。

### (1) STOP モード

STOP モードでは、Always-On 領域、アイソレート領域 0、アイソレート領域 1 のクロック供給を停止します。アイソレート領域 0 を STOP モードに移行させる前に、アイソレート領域 1 を STOP モードに移行してください。また、STOP モードに遷移する前に、クロック供給を停止するすべての周辺機能を停止してください。

STOP モード遷移手順 (例) を以下に示します。

#### スタンバイの準備

- DMA/DTS チャンネルをすべて停止します。
- CPU 命令 "DI" によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
  - 割り込みフラグをクリア (EICn.EIRFn = 0)
  - 非ウェイクアップ要因の割り込みをマスク (EICn.EIMKn = 1)
  - ウェイクアップ要因の割り込みのマスク解除 (EICn.EIMKn = 0)
- ウェイクアップ関連レジスタの設定
  - ウェイクアップ要因フラグをクリア (WUFCi (i = Lm, Mm, Hm) レジスタの WUFCin ビット = 1)
  - 非ウェイクアップ要因をマスク (WUFMSKin ビット = 1)
  - ウェイクアップ要因のマスク解除 (WUFMSKin ビット = 0)
- クロック・マスクを設定し、停止するクロック・ドメインと動作を継続するクロック・ドメインをそれぞれ選択します。(CKSC\_mn.STPMK\_mn ビットで設定してください。)
- 各クロック・ソースの発振 / 停止を設定します。また、クロック・マスクを設定し、停止するクロック・ソースと動作を継続するクロック・ソースをそれぞれ選択します。(MOSCE, ROSCE, PLLk レジスタの STPMK ビット)

#### スタンバイの開始

- PSC1 レジスタの PSC1STP ビットを 1 に設定し、アイソレート領域 1 を STOP モードに移行します。
- PSC0 レジスタの PSC0STP ビットを 1 に設定し、Always-On 領域とアイソレート領域 0 を STOP モードに移行します。

#### スタンバイの終了

ウェイクアップ・イベントが発生すると、マイクロコントローラは STOP モードから復帰します。アイソレート領域 1 がウェイクアップ・イベントで復帰する設定の場合、PWS1 レジスタの PWS1PSS ビットが 0 になることを確認してください。

#### ウェイクアップ処理

ウェイクアップ要因は、ウェイクアップ要因フラグ (WUFLm/ WUFMm/ WUFHm) で判定します。

CPU 命令 "EI" により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

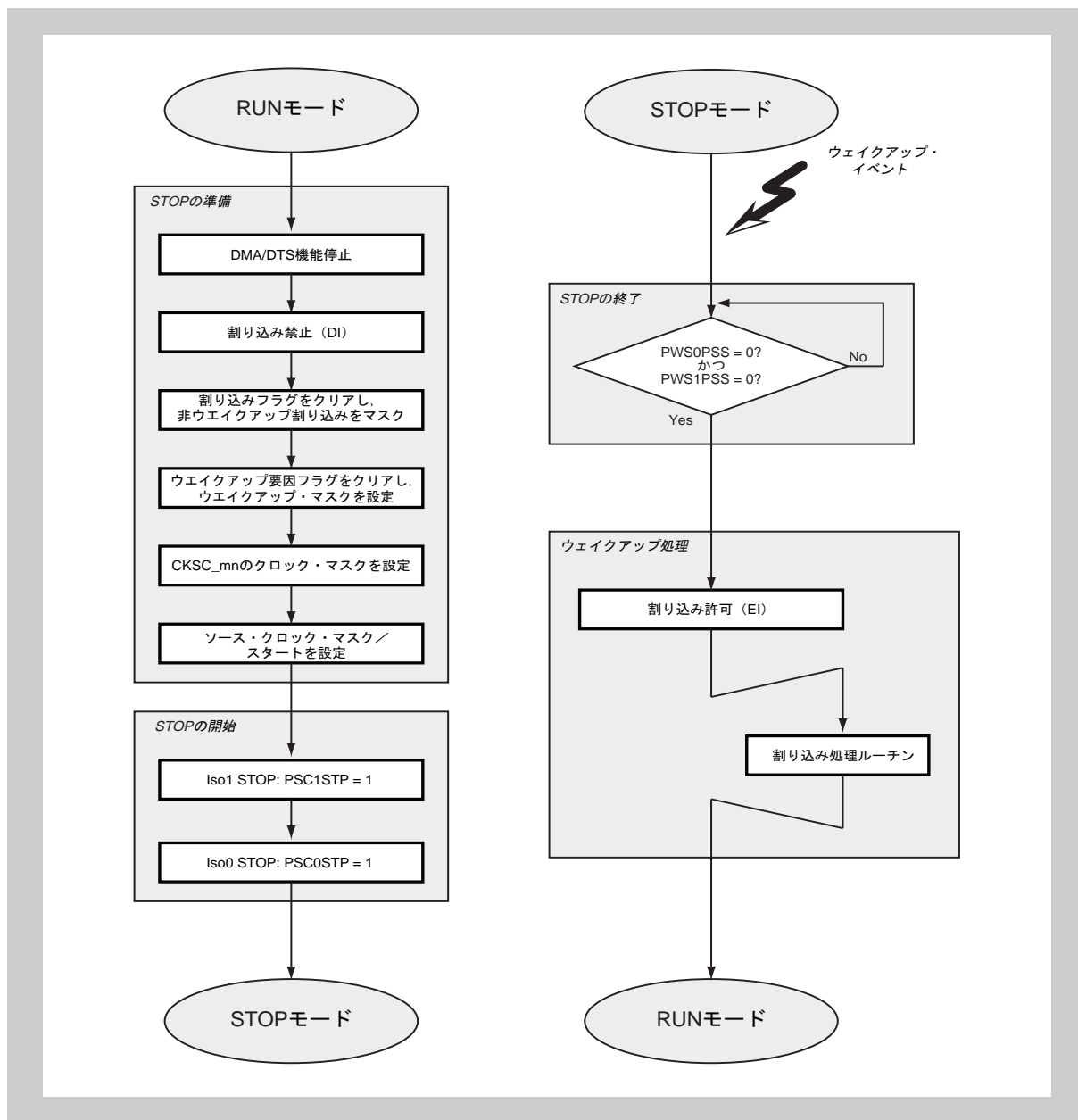


図 10-2 推奨される STOP モードのフロー

**(2) RUN モード (アイソレート領域 1 STOP)**

RUN モード (アイソレート領域 1 STOP) では, アイソレート領域 1 のクロック供給を停止します。

RUN モード (アイソレート領域 1 STOP) 遷移手順 (例) を以下に示します。

**スタンバイの準備** (1) 「STOP モード」の「スタンバイの準備」を参照してください。

**スタンバイの開始** • PSC1 レジスタの PSC1STP ビットを 1 に設定し, アイソレート領域 1 を STOP モードに移行します。

アイソレート領域 0 のクロック供給は継続するため, RUN モード (アイソレート領域 1 STOP) に遷移します。

**スタンバイの終了** ウェイクアップ・イベントが発生すると, マイクロコントローラは RUN モード (アイソレート領域 1 STOP) から復帰します。アイソレート領域 1 がウェイクアップ・イベントで復帰する設定の場合, PWS1 レジスタの PWS1PSS ビットが 0 になることを確認してください。

**ウェイクアップ処理** ウェイクアップ要因は, ウェイクアップ要因フラグ (WUFLm/ WUFMm/ WUFHm) で判定します。  
CPU 命令 "EI" により割り込みを許可すると, 発生したウェイクアップ割り込みを実行することが可能です。

**ソフトウェア・ウェイクアップ** RUN モード (アイソレート領域 1 STOP) は, ソフトウェア起動トリガ (PSC1 レジスタの PSC1ISOWU ビット) により, 終了することもできます。ソフトウェア起動トリガにより復帰した場合, 割り込みは発生しません。

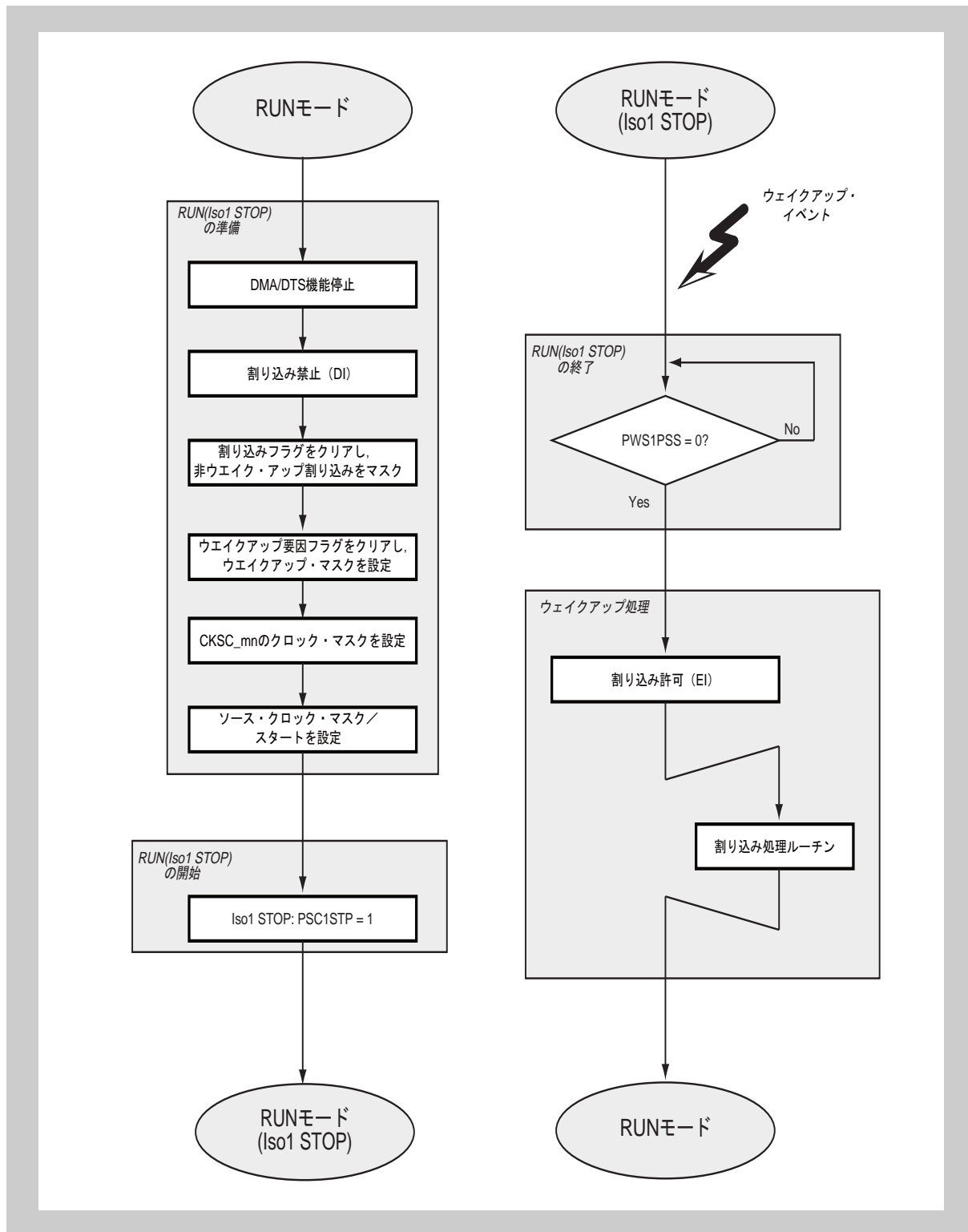


図 10-3 推奨される RUN モード (アイソレート領域 1 STOP) のフロー



**(3) DEEPSTOP モード**

DEEPSTOP モードでは、すべての領域のクロック供給とアイソレート領域の電源が停止します。

アイソレート領域 0 を DEEPSTOP モードに移行させる前に、アイソレート領域 1 を DEEPSTOP モードに移行してください。また、DEEPSTOP モードに遷移する前に、PLLk クロックを停止し、各クロック・ドメインに PLL クロックを選択しないでください。

DEEPSTOP モード遷移手順 (例) を以下に示します。

**スタンバイの準備** (1) 「STOP モード」の「スタンバイの準備」を参照してください。

- スタンバイの開始**
- PSC1 レジスタの PSC1POF ビット、および PSC1STP ビットを 1 に設定し、アイソレート領域 1 を DEEPSTOP モードに移行します。
    - PWS1 レジスタの PWS1PSS ビットが 1、および PWS1ISO ビットが 0 を確認し、アイソレート領域 1 が DEEPSTOP モードに遷移したことを確認します。
    - アイソレート領域 1 が DEEPSTOP モード遷移中にウェイクアップ・イベントが発生する可能性がある場合、ウェイクアップ要因フラグ (WUFLm/WUFMm/ WUFHm) を判定してください。ウェイクアップ・イベントが発生した場合、マイクロコントローラは DEEPSTOP モードに遷移しないため、ユーザ・ソフトウェアでウェイクアップ処理を実施してください。
  - PSC0 レジスタの PSC0POF ビット、および PSC0STP ビットを 1 に設定し、アイソレート領域 0 を DEEPSTOP モードに移行します。
    - アイソレート領域 0 が DEEPSTOP モード遷移中にウェイクアップ・イベントが発生する可能性がある場合、PWS0 レジスタの PWS0PSS ビットを判定してください。PWS0PSS ビットが 0 の場合、マイクロコントローラは DEEPSTOP モードに遷移しないため、ユーザ・ソフトウェアでウェイクアップ処理を実施してください。

**スタンバイの終了** ウェイクアップ・イベントが発生すると、マイクロコントローラは DEEPSTOP モードから復帰します。アイソレート領域 1 がウェイクアップ・イベントで復帰する設定の場合、PWS1 レジスタの PWS1PSS ビットが 0 になることを確認してください。

- ウェイクアップ処理**
- DEEPSTOP モードからウェイクアップ・イベントで復帰すると、マイクロコントローラは、リセット・アドレスから動作を開始します。
  - ウェイクアップ要因は、ウェイクアップ要因フラグ (WUFLm/ WUFMm/ WUFHm) で判定します。
  - アイソレート領域のポートは、入出力バッファ・ホールド状態を継続します。  
以下手順で入出力バッファ・ホールド状態を解除してください。
    - ① 周辺機能やポート機能の再設定
    - ② PSCm.PSCmIOHLDCLR = 1
  - ウェイクアップ後、ウェイクアップ要因の割り込みを実行したい場合、ソフトウェアでウェイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込みフラグを設定してください。次に CPU 命令 "EI" により

割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

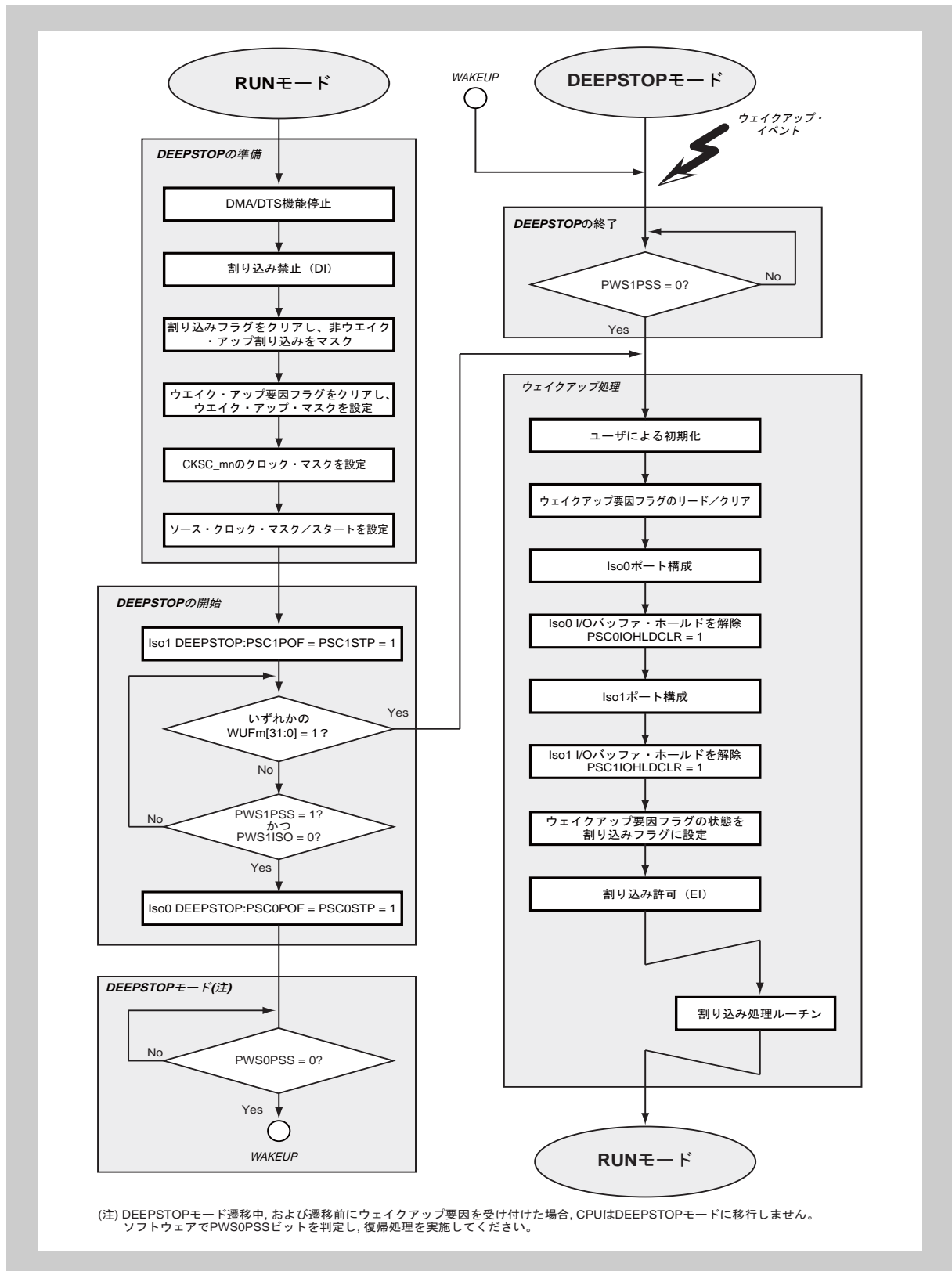


図 10-4 推奨される DEEPSTOP モードのフロー

**(4) RUN モード (アイソレート領域 1 DEEPSTOP)**

RUN モード (アイソレート領域 1 DEEPSTOP) では、アイソレート領域 1 のクロック供給、および電源が停止します。

RUN モード (アイソレート領域 1 DEEPSTOP) 遷移手順 (例) を以下に示します。

**スタンバイの準備** (1) 「STOP モード」の「スタンバイの準備」を参照してください。

- スタンバイの開始**
- PSC1 レジスタの PSC1POF ビット、および PSC1STP ビットを 1 に設定し、アイソレート領域 1 を DEEPSTOP モードに移行します。
    - PWS1 レジスタの PWS1PSS ビットが 1、および PWS1ISO ビットが 0 を確認し、アイソレート領域 1 が DEEPSTOP モードに遷移したことを確認します。
    - アイソレート領域 1 が DEEPSTOP モード遷移中にウェイクアップ・イベントが発生する可能性がある場合、ウェイクアップ要因フラグ (WUFLm/WUFMm/ WUFHm) を判定してください。ウェイクアップ・イベントが発生した場合、マイクロコントローラは DEEPSTOP モードに遷移しないため、ユーザ・ソフトウェアでウェイクアップ処理を実施してください。
  - 割り込みを許可 (EI) する場合、アイソレート領域 1 が DEEPSTOP モードに遷移したことを確認してから実施してください。

**スタンバイの終了** ウェイクアップ・イベントが発生すると、マイクロコントローラは RUN モード (アイソレート領域 1 DEEPSTOP) から復帰します。アイソレート領域 1 がウェイクアップ・イベントで復帰する設定の場合、PWS1 レジスタの PWS1PSS ビットが 0、および PWS1ISO ビットが 1 になることを確認してください。

- ウェイクアップ処理**
- ウェイクアップ要因は、ウェイクアップ要因フラグ (WUFLm/ WUFMm/ WUFHm) で判定します。
  - アイソレート領域 1 のポートは、入出力バッファ・ホールド状態を継続します。
    - 以下手順で入出力バッファ・ホールド状態を解除してください。
    - ① 周辺機能やポート機能の再設定
    - ② PSC1.PSC1IOHLDCLR = 1
  - CPU 命令 "EI" により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

**ソフトウェア・ウェイクアップ** RUN モード (アイソレート領域 1 DEEPSTOP) は、ソフトウェア起動トリガ (PSC1 レジスタの PSC1ISOWU ビット) により、終了することもできます。ソフトウェア起動トリガにより復帰した場合、割り込みは発生しません。

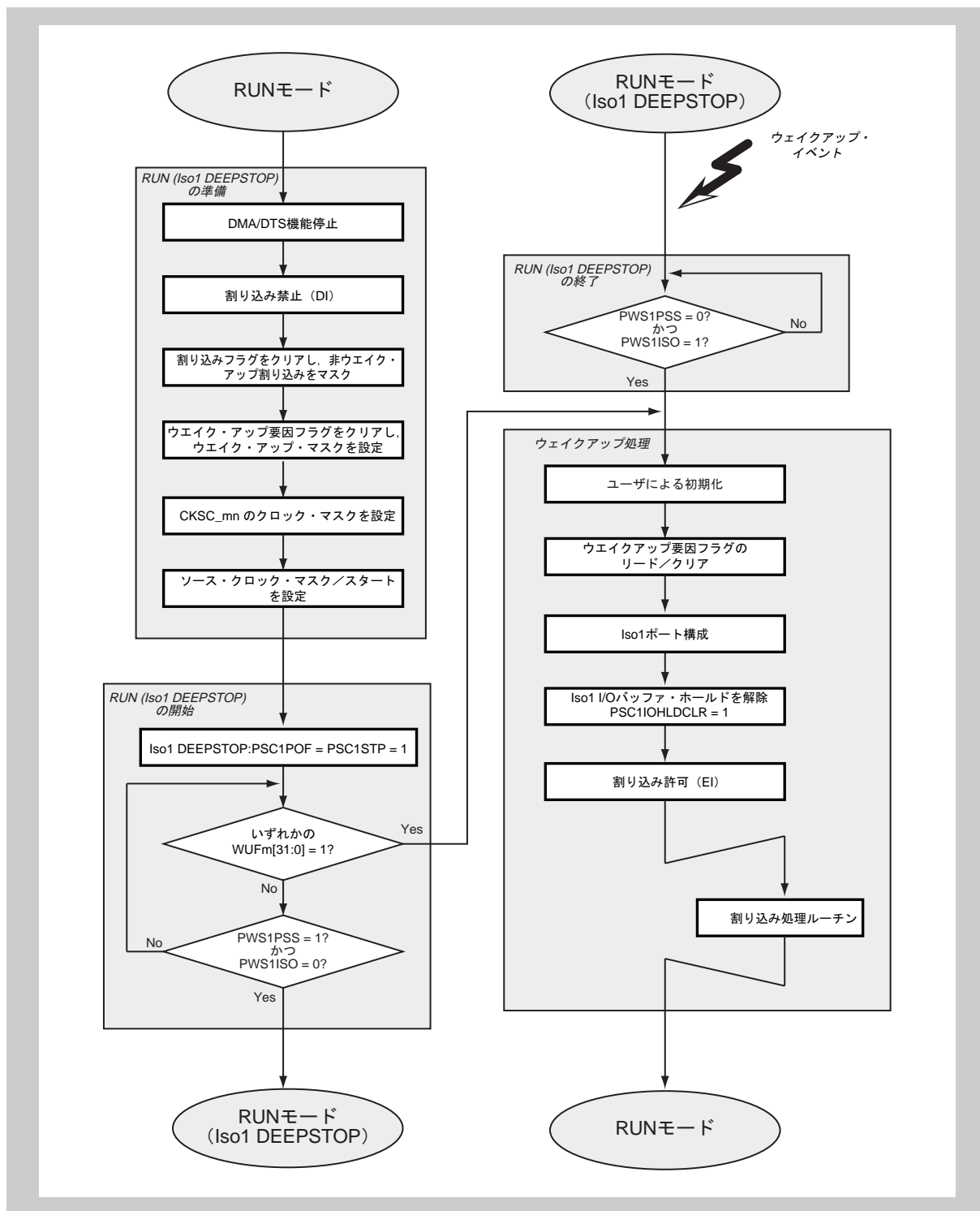


図 10-5 推奨される RUN モード (アイソレート領域 1 DEEPSTOP) のフロー

### 10.2.5 保護レジスタへのライト

以下のスタンバイ・コントローラ・レジスタは、ライト保護レジスタです。

- PSC0 レジスタ
- PSC1 レジスタ

書き込み保護レジスタは、誤ったプログラム動作などによる不正な書き込みからレジスタを保護します。

書き込み保護シーケンスについては、「CPU システム機能」の「ライト保護レジスタ」を参照してください。

### 10.2.6 パワー・セーブ・モード遷移時の注意事項

WDTA0, WDTA1 のクロック・ドメイン (AWO\_7, ISO0\_7) より低速で動作するクロック・ドメインを使用し、かつパワー・セーブ・モードに遷移する場合、以下の「クロック選択の制限事項」を確認してください。

#### (1) クロック選択の制限事項 (1)

以下のクロック条件でパワー・セーブ・モード<sup>a</sup>から復帰した場合、発振回路<sup>b</sup>が発振動作を再開しない可能性があります。

**該当するクロック条件 (パワー・セーブ・モード遷移時) :**

1. WDTA0, WDTA1 のクロック・ドメイン (AWO\_7, ISO0\_7) より低速で動作するクロック・ドメインが存在している。
2. クロックの ENTRG ビット<sup>c</sup>を“1” (クロック起動) にしている、かつ、STPMK ビット<sup>c</sup>に“0” (スタンバイ・モード時、発振を停止する) を設定している。

上記、1.、2. 両方の条件に該当する場合、クロック条件を以下設定にしてください。

- AWO\_7, ISO0\_7 のいずれか、または両方のクロック・ドメインの CKSC\_mn.STPMK\_mn ビットを“0” (スタンバイ・モード時、クロック出力停止) に設定し、AWO\_7, ISO0\_7 より低速で動作するクロック・ドメインの CKSC\_mn.STPMK\_mn ビットを“1” (スタンバイ・モード時、クロック出力継続) にしてください。
- もしくは、AWO\_7, ISO0\_7 のいずれか、または両方のクロック・ドメインの CKSC\_mn.STPMK\_mn ビットを“0” (スタンバイ・モード時、クロック出力停止) に設定し、AWO\_7, ISO0\_7 より低速で動作するクロック・ドメインの CKSC\_mn レジスタのクロック・ソース ID を“クロック選択なし”に設定してください。

a) DEEPSTOP モード, STOP (ISO1 DEEPSTO) モード

b) 高速 IntOsc, MainOsc, PLL0, PLL1, PLL2

c) MOSCE, SOSCE, ROSCE, PLLE0, PLLE1, PLLE2 レジスタのビット

**(2) クロック選択の制限事項 (2)**

以下のクロック条件で DEEPSTOP モードに遷移する場合、MainOsc の発振が停止しない可能性があります。

**該当するクロック条件 (DEEPSTOP モード遷移時) :**

1. WDTA0 のクロック・ドメイン (AWO\_7) より低速で動作するクロック・ドメイン (AWO\_3, AWO\_4, AWO\_6) が存在している。

上記条件に該当する場合、クロック条件を以下設定にしてください。

- クロック・ドメイン AWO\_3, AWO\_4, AWO\_6 の CKSC\_mn レジスタに設定する

クロック・ドメインの CKSC\_mn.STPMK\_mn ビットを“1” (スタンバイ・モード時, クロック出力継続) にしてください。もしくは、クロック源を SubOsc 以外に設定してください。

## 10.3 スタンバイ・コントローラ・レジスタ

### 10.3.1 スタンバイ・コントローラ・レジスタの概要

スタンバイ・コントローラは、次のレジスタで制御、動作します。

表 10-10 スタンバイ・コントローラ・レジスタの概要 (1/2)

レジスタ名	略号	アドレス
<b>パワー・セーブ・レジスタ</b>		
パワー・セーブ・コントロール・レジスタ 0	PSC0	FF42 0000 <sub>H</sub>
パワー・セーブ・コントロール・レジスタ 1	PSC1	FF42 0008 <sub>H</sub>
パワー・ステータス・レジスタ 0	PWS0	FF42 0004 <sub>H</sub>
パワー・ステータス・レジスタ 1	PWS1	FF42 000C <sub>H</sub>
<b>アイソレート領域 0 のウエイクアップ・イベント・コントローラ・レジスタ</b>		
ウエイクアップ要因レジスタ L	WUFL0	FF42 0100 <sub>H</sub>
ウエイクアップ要因レジスタ M	WUFM0	FF42 0110 <sub>H</sub>
ウエイクアップ要因レジスタ H	WUFH0	FF42 0120 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ L	WUFMSKL0	FF42 0104 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ M	WUFMSKM0	FF42 0114 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ H	WUFMSKH0	FF42 0124 <sub>H</sub>
ウエイクアップ要因クリア・レジスタ L	WUFCL0	FF42 0108 <sub>H</sub>
ウエイクアップ要因クリア・レジスタ M	WUFM0	FF42 0118 <sub>H</sub>
ウエイクアップ要因クリア・レジスタ H	WUFCH0	FF42 0128 <sub>H</sub>
<b>アイソレート領域 1 のウエイクアップ・イベント・コントローラ・レジスタ</b>		
ウエイクアップ要因レジスタ L	WUFL1	FF42 0130 <sub>H</sub>
ウエイクアップ要因レジスタ M	WUFM1	FF42 0140 <sub>H</sub>
ウエイクアップ要因レジスタ H	WUFH1	FF42 0150 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ L	WUFMSKL1	FF42 0134 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ M	WUFMSKM1	FF42 0144 <sub>H</sub>
ウエイクアップ要因マスク・レジスタ H	WUFMSKH1	FF42 0154 <sub>H</sub>
ウエイクアップ要因クリア・レジスタ L	WUFCL1	FF42 0138 <sub>H</sub>
ウエイクアップ要因クリア・レジスタ M	WUFM1	FF42 0148 <sub>H</sub>

表 10-10 スタンバイ・コントローラ・レジスタの概要 (2/2)

レジスタ名	略号	アドレス
ウェイクアップ要因クリア・レジスタ H	WUFCH1	FF42 0158 <sub>H</sub>
<b>発振回路ウェイクアップ・マスク・レジスタ :</b>		
発振回路ウェイクアップ・マスク・レジスタ	OSCWUFMSK	FF42 01A4 <sub>H</sub>



## 10.3.2 スタンバイ・コントローラ制御レジスタの詳細

## (1) PSC0 - パワー・セーブ・コントロール・レジスタ 0

Always-On 領域とアイソレート領域 0 のスタンバイ・モードを制御します。

**保護** このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。  
ライト保護レジスタへのライト方法の詳細は、「CPU システム機能」の章の「ライト保護レジスタ」を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 0000<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	PSC0 REGSTP	PSC0 IOHLDCLR	0	PSC0 POF	PSC0 STP
R	R	R	R/W	W	R	W	W

表 10-11 PSC0 レジスタの内容

ビット位置	ビット名	機能
4	PSC0 REGSTP	PSC1.PSC1REGSTP との組み合わせによる DEEPSTOP モードの電圧レギュレータの制御。以下の表の「電圧レギュレータの制御」の説明を参照してください。
3	PSC0 IOHLDCLR	アイソレート領域 0 の入出力バッファ・ホールド・クリア機能のトリガ 0: - 1: 入出力バッファ・ホールド機能のクリア PSC0IOHLDCLR は 1 のみライト可能です。0 のライトは無視されます。 このビットをリードすると常に 0 を返します。
1	PSC0 POF	アイソレート領域 0 の DEEPSTOP モードのパワー・オフの選択 0: アイソレート領域 0 は STOP モードに入ってもパワー・オンに維持 1: アイソレート領域 0 が STOP モードに入るとパワー・オフ (DEEPSTOP)
0	PSC0 STP	Always-On 領域とアイソレート領域 0 の STOP モードのトリガ 0: - 1: Always-On 領域 0 とアイソレート領域 0 が STOP モードに入る PSC0STP は 1 のみライト可能です。0 のライトは無視されます。 このビットをリードすると常に 0 を返します。

**注意** PSC0.POF を 1 にセットする場合は、先に PSC1.POF を 1 にセットしてください。

**電圧レギュレータの制御** 次のように、ビット PSC0.PSC0REGSTP と PSC1.PSC1REGSTP によって、DEEPSTOP モード時の内蔵電圧レギュレータと WAKE 出力信号の動作が決まります。

表 10-12 電圧レギュレータの制御

レジスタ設定		電圧レギュレータの制御		
PSC0 REGSTP	PSC1 REGSTP	AWO 電源 内蔵レギュレータ	Iso0/Iso1 電源 内蔵レギュレータ	WAKE 出力 外部レギュレータ制御
0	0	通常動作	通常動作	WAKE = 1 (外部レギュレータ制御が動作)
0	1			
1	0			
1	1	低電圧動作	動作停止	WAKE = 0 (外部レギュレータ制御がオフ)

## (2) PSC1 – パワー・セーブ・コントロール・レジスタ 1

アイソレート領域 1 のスタンバイ・モードを制御します。

**保護** このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。  
ライト保護レジスタへのライト方法の詳細は、「CPU システム機能」の章の「ライト保護レジスタ」節を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 0008<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	PSC1 REGSTP	PSC1IOH LDCLR	PSC1I ISOWU	PSC1 POF	PSC1 STP
R	R	R	R/W	W	R/W	R/W	W

表 10-13 PSC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
4	PSC1 REGSTP	PSC0.PSC0REGSTP との組み合わせによる DEEPSTOP モードの電圧レギュレータの制御。(1)「PSC0 – パワー・セーブ・コントロール・レジスタ 0」節の「電圧レギュレータの制御」の説明を参照してください。
3	PSC1 IOHLDCLR	入出力バッファ・ホールド・クリア機能のトリガ 0: – 1: 入出力バッファ・ホールド機能のクリア アイソレート領域 1 がスタンバイ・モードの場合 (PWS1.PWS1PSS = 1)、このビットへのライトは無視されます。 0 のライトは無視されます。 このビットをリードすると常に 0 を返します。

表 10-13 PSC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PSC1 ISOWU <sup>a</sup>	アイソレート領域 1 のウエイクアップ起動トリガ 0: - 1: アイソレート領域 1 のウエイクアップ PSC1ISOWU は 1 のみライト可能です。0 のライトは無視されます。 このビットをリードすると常に 0 を返します。
1	PSC1 POF	アイソレート領域 1 の DEEPSTOP モードのパワー・オフの選択 0: アイソレート領域 1 は STOP モードに入ってもオンに維持 1: アイソレート領域 1 は STOP モードに入るとパワー・オフ (DEEPSTOP)
0	PSC1 STP	アイソレート領域 1 STOP モードのトリガ 0: - 1: アイソレート領域 1 が STOP モードに入る PSC1STP は 1 のみライト可能です。0 のライトは無視されます。 このビットをリードすると常に 0 を返します。

- <sup>a)</sup> 他のウエイクアップイベントでは、WUFLm/WUFMm/WUFHm レジスタのウエイクアップ要因フラグ WUFm[31:0] によりイベント発生を確認できますが、PSC1ISOWU = 1 によるソフトウェア・ウエイクアップはこれに対応するウエイクアップ要因フラグがないため、本フラグによる確認はできません。

## (3) PWS0 – パワー・ステータス・レジスタ 0

アイソレート領域 0 のスタンバイ・モード・ステータスを示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 0004<sub>H</sub>

初期値 0000 0001<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PWS0 PSS	0	0	0	0	0	PWS0 IOHOLD	1
R	R	R	R	R	R	R	R

表 10-14 PWS0 レジスタの内容

ビット位置	ビット名	機能
7	PWS0 PSS	アイソレート領域 0 のパワー・ステータス 0: アイソレート領域 0 は通常動作モード 1: アイソレート領域 0 が以下の状態のとき ・PSC0.POF ビットをセットしてからクロック停止までの遷移期間
1	PWS0 IOHOLD	アイソレート領域 0 の入出力バッファのホールド・ステータス 0: アイソレート領域 0 の入出力バッファがホールド・モードでない 1: アイソレート領域 0 の入出力バッファはホールド・モード

備考 このレジスタは、アイソレート領域 0 が STOP および DEEPSTOP スタンバイ・モードの場合はリードできません。

## (4) PWS1 – パワー・ステータス・レジスタ 1

アイソレート領域 1 のスタンバイ・モード・ステータスを示します。

アクセス 32 ビット単位でリード可能です。

アドレス FF42 000C<sub>H</sub>

初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
PWS1 PSS	0	0	0	0	0	PWS1 IOHOLD	PWS1 ISO
R	R	R	R	R	R	R	R

表 10-15 PWS1 レジスタの内容

ビット位置	ビット名	機能
7	PWS1 PSS	アイソレート領域 1 のパワー・ステータス 0: アイソレート領域 1 は通常動作モード 1: アイソレート領域 1 が以下の状態のとき ・ PSC1.POF ビットをセットしてからクロック停止までの遷移期間 ・ クロック供給停止状態 ・ wakeup を受け付けてからクロック動作までの遷移期間
1	PWS1 IOHOLD	アイソレート領域 1 の入出力バッファのホールド・ステータス 0: アイソレート領域 1 の入出力バッファはホールド・モードではない 1: アイソレート領域 1 の入出力バッファはホールド・モード
0	PWS1 ISO	アイソレート領域 1 のスタンバイ・モード・ステータス 0: アイソレート領域 1 はパワー・オフ状態 1: アイソレート領域 1 はパワー・オフ状態ではない

### 10.3.3 ウェイクアップ・イベント・コントローラ・レジスタの詳細

#### (1) WUFLm/WUFMm/WUFHm – ウェイクアップ要因レジスタ (m = 0-1)

アイソレート領域 m のウェイクアップ・イベントを通知します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** WUFL0: FF42 0100<sub>H</sub>  
 WUFM0: FF42 0110<sub>H</sub>,  
 WUFH0: FF42 0120<sub>H</sub>  
 WUFL1: FF42 0130<sub>H</sub>,  
 WUFM1: FF42 0140<sub>H</sub>  
 WUFH1: FF42 0150<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> このレジスタはパワーアップ・リセット PURES によって初期化されます。

31	30	29	28	27	26	25	24
WUFm31	WUFm30	WUFm29	WUFm28	WUFm27	WUFm26	WUFm25	WUFm24
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
WUFm23	WUFm22	WUFm21	WUFm20	WUFm19	WUFm18	WUFm17	WUFm16
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
WUFm15	WUFm14	WUFm13	WUFm12	WUFm11	WUFm10	WUFm9	WUFm8
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
WUFm7	WUFm6	WUFm5	WUFm4	WUFm3	WUFm2	WUFm1	WUFm0
R	R	R	R	R	R	R	R

表 10-16 WUFLm/WUFMm/WUFHm レジスタの内容

ビット位置	ビット名	機能
31-0	WUFmn	ウェイクアップ・イベント WUmn (n = 0-31) の発生を示します。 0: ウェイクアップ・イベント WUmn は発生していない 1: ウェイクアップ・イベント WUmn が発生した

**注意** WUFMSKmn が 1 の場合は、ウェイクアップ要因が発生しても WUFmn がセットされません。

**ウェイクアップ要因** ウェイクアップ要因レジスタ・ビットへのウェイクアップ・イベントの割り当てについては、10.2.1 「ウェイクアップ」を参照してください。

ウェイクアップ・イベントが割り当てられていないビットを読み出した場合、その値は“0”です。

(2) WUFMSKLm/WUFMSKMm/WUFMSKHm – ウェイクアップ要因マスク・レジスタ  
(m = 0-1)

アイソレート領域 m のウェイクアップ・イベントを有効にします。

**アクセス** 32 ビット単位でリード/ライト可能です。

WUFMSKHm レジスタのビット 31-16 は、リードした場合、0 が読み出されます。

**アドレス** WUFMSKL0: FF42 0104<sub>H</sub>  
WUFMSKM0: FF42 0114<sub>H</sub>,  
WUFMSKH0: FF42 0124<sub>H</sub>  
WUFMSKL1: FF42 0134<sub>H</sub>,  
WUFMSKM1: FF42 0144<sub>H</sub>  
WUFMSKH1: FF42 0154<sub>H</sub>

**初期値** FFFF FFFF<sub>H</sub> (WUFMSKLm, WUFMSKMm),  
0000 FFFF<sub>H</sub> (WUFMSKHm)

31	30	29	28	27	26	25	24
WUF MSK <sub>m</sub> 31	WUF MSK <sub>m</sub> 30	WUF MSK <sub>m</sub> 29	WUF MSK <sub>m</sub> 28	WUF MSK <sub>m</sub> 27	WUF MSK <sub>m</sub> 26	WUF MSK <sub>m</sub> 25	WUF MSK <sub>m</sub> 24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
WUF MSK <sub>m</sub> 23	WUF MSK <sub>m</sub> 22	WUF MSK <sub>m</sub> 21	WUF MSK <sub>m</sub> 20	WUF MSK <sub>m</sub> 19	WUF MSK <sub>m</sub> 18	WUF MSK <sub>m</sub> 17	WUF MSK <sub>m</sub> 16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
WUF MSK <sub>m</sub> 15	WUF MSK <sub>m</sub> 14	WUF MSK <sub>m</sub> 13	WUF MSK <sub>m</sub> 12	WUF MSK <sub>m</sub> 11	WUF MSK <sub>m</sub> 10	WUF MSK <sub>m</sub> 9	WUF MSK <sub>m</sub> 8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
WUF MSK <sub>m</sub> 7	WUF MSK <sub>m</sub> 6	WUF MSK <sub>m</sub> 5	WUF MSK <sub>m</sub> 4	WUF MSK <sub>m</sub> 3	WUF MSK <sub>m</sub> 2	WUF MSK <sub>m</sub> 1	WUF MSK <sub>m</sub> 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10-17 WUFMSKLm/WUFMSKMm/WUFMSKHm レジスタの内容

ビット位置	ビット名	機能
31-0	WUF MSK <sub>m</sub> n	ウェイクアップ要因 WU <sub>m</sub> n の有効化 0: ウェイクアップ要因 WU <sub>m</sub> n が有効 1: ウェイクアップ要因 WU <sub>m</sub> n が無効

- 注意**
1. WUFMSK<sub>m</sub>n が 1 の場合は、ウェイクアップ要因が発生しても WUF<sub>m</sub>n がセットされません。
  2. DEEPSTOP モードに遷移させる場合、WUFMSK0<sub>n</sub> = 1 と WUFMSK1<sub>n</sub> = 0 の組み合わせは設定禁止です (n = 0-31)。



**ウエイクアップ要因** ウエイクアップ要因レジスタ・ビットへのウエイクアップ・イベントの割り当てについては、この章の最初の節の「ウエイクアップ要因」を参照してください。

本レジスタへ書込む場合、ウエイクアップ・イベントが割り当てられていないビットへは、“1”を書き込んでください。

### (3) WUFCLm/WUFMm/WUFCHm – ウェイクアップ要因クリア・レジスタ (m = 0-1)

アイソレート領域 m の WUFnm レジスタで示されるウェイクアップ・イベントをクリアします。

**アクセス** 32 ビット単位でライト可能です。  
このレジスタをリードすると常に 0000 0000<sub>H</sub> を返します。

**アドレス** WUFCL0: FF42 0108<sub>H</sub>  
WUFM0: FF42 0118<sub>H</sub>,  
WUFCH0: FF42 0128<sub>H</sub>  
WUFCL1: FF42 0138<sub>H</sub>,  
WUFM1: FF42 0148<sub>H</sub>  
WUFCH1: FF42 0158<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
WUFC m31	WUFC m30	WUFC m29	WUFC m28	WUFC m27	WUFC m26	WUFC m25	WUFC m24
W	W	W	W	W	W	W	W
23	22	21	20	19	18	17	16
WUFC m23	WUFC m22	WUFC m21	WUFC m20	WUFC m19	WUFC m18	WUFC m17	WUFC m16
W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8
WUFC m15	WUFC m14	WUFC m13	WUFC m12	WUFC m11	WUFC m10	WUFC m9	WUFC m8
W	W	W	W	W	W	W	W
7	6	5	4	3	2	1	0
WUFC m7	WUFC m6	WUFC m5	WUFC m4	WUFC m3	WUFC m2	WUFC m1	WUFC m0
W	W	W	W	W	W	W	W

表 10-18 WUFCLm/WUFMm/WUFCHm レジスタの内容

ビット位置	ビット名	機能
31-0	WUFCmn	ウェイクアップ要因レジスタのウェイクアップ要因 WUFmn のクリア 0: WUFmn は変更なし 1: WUFmn をクリア

**ウェイクアップ要因** ウェイクアップ要因レジスタ・ビットへのウェイクアップ・イベントの割り当てについては、この章の最初の節の「ウェイクアップ要因」を参照してください。

本レジスタへ書き込む場合、ウェイクアップ・イベントが割り当てられていないビットへは、“0” を書込んでください。

### 10.3.4 発振回路ウエイクアップ・マスク・レジスタの詳細

#### (1) OSCWUFMSK – 発振回路ウエイクアップ・マスク・レジスタ

アイソレート領域 0 とアイソレート領域 1 のウエイクアップ・イベントが発生したときの MainOsc の起動を制御します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF42 01A4<sub>H</sub>

**初期値** 0000 0003<sub>H</sub> このレジスタはパワーアップ・リセット PURES によって初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	OSCWUF MSK01	OSCWUF MSK00
R	R	R	R	R	R	R/W	R/W

表 10-19 OSCWUFMSK レジスタの内容

ビット位置	ビット名	機能
1	OSCWUF MSK01	MainOsc を起動するアイソレート領域 1 のウエイクアップ要因を有効にします。 0: アイソレート領域 1 のウエイクアップ要因によって発振回路が起動 1: アイソレート領域 1 のウエイクアップ要因によって発振回路が起動しない
0	OSCWUF MSK00	MainOsc を起動するアイソレート領域 0 のウエイクアップ要因を有効にします。 0: アイソレート領域 0 のウエイクアップ要因によって発振回路が起動 1: アイソレート領域 0 のウエイクアップ要因によって発振回路が起動しない

**注意** 以下の場合は、OSCWUFMSK01, OSCWUFMSK00 ビットは 0 にしないでください。

- スタンバイ・モード時に、MainOsc は停止しない (MOSCE.STPMK = 1)
- MainOsc を使用していない

## 第11章 コード保護とセキュリティ

### 11.1 概要

マイクロコントローラは、フラッシュ・メモリに格納されたプログラム・コードを好ましくないアクセス（不正なリードや不正なプログラム変更など）から保護するためのさまざまな方法をサポートします。

インタフェースには、一般に内蔵フラッシュ・メモリへのアクセスを提供するものがあります（Nexus デバッグ・インタフェース、外部フラッシュ・メモリ・プログラマ・インタフェース、セルフ・プログラミング機能、テスト・インタフェース）。

以下に、セキュリティに関連する項目を示します。内蔵フラッシュ・メモリ内のデータを権限のないユーザによるリードから保護する機能について説明します。

フラッシュ・メモリの詳細は、第7章「フラッシュ・メモリ」の章を参照してください。

以下の節では、サポートされるコード保護方法の概要を示します。

## 11.2 フラッシュ・メモリ・プログラマとセルフ・プログラミングの保護

本機能は、フラッシュ・メモリの保護を目的に、各種フラグを用意しています。

各フラグはフラッシュ・プログラムおよびセルフ・プログラミング機能で設定することができます。フラッシュ・メモリへのプログラミングについては、第7章「フラッシュ・メモリ」を参照してください。

### (1) チップ消去保護フラグ（チップ消去保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるチップ消去機能を無効にします。セルフ・プログラミング・インタフェースには影響しません。

### (2) ブロック消去保護フラグ（ブロック消去保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるブロック消去機能を無効にします。このフラグはセルフ・プログラミング・インタフェースには影響しません。

チップ消去機能には影響しません。

フラッシュ・メモリ全体に対して有効です。

### (3) プログラム保護フラグ（プログラム保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるプログラミング機能を無効にします。セルフ・プログラミング・インタフェースには影響しません。

フラッシュ・メモリ全体に対して有効です。

### (4) リード保護フラグ（リード保護機能）

フラッシュ・メモリ・プログラマ・インタフェースによるフラッシュ・メモリのリード・バックを許可する機能を無効にします。このフラグはセルフ・プログラミング・インタフェースには影響しません。

フラッシュ・メモリ全体に対して有効です。

### (5) ブート・ブロック・クラスタ保護フラグ

ブート・ブロック・クラスタの消去と書き換えを無効にします。

ブート・ブロック・クラスタの操作は一切できません（消去／書き換えともに）。

シリアル・モードとセルフ・プログラミング・モードで利用できます。

このフラグを一度セットするとリセットできません。したがって、それ以降、ブート・ブロック・クラスタの内容は変更できません。

### (6) フラッシュ・シールド

フラッシュ・シールドは、消去とプログラミングが許可されるフラッシュ・メモリ領域、プログラミング・ウインドウを指定します。プログラミング・ウインドウ以外の残りのフラッシュ・メモリ領域は、ライトも消去もできません。

## 11.3 オンチップ・デバッグ・インタフェースの保護

一般に、フラッシュ・メモリの内容の不正なリードは Nexus オンチップ・デバッグ・インタフェースを使用される可能性があります。フラッシュ・メモリを保護するために、デバッグ・インタフェースの利用を保護し、無効にすることができます。

デバッグ・インタフェースは、95 ビットの ID コードと内部コントロール・フラグ（オンチップ・デバッグ許可制御）で保護されます。

デバッガが起動すると、コントロール・フラグのステータスが照会されます。このフラグをゼロに設定すると、オンチップ・デバッガが無効になります。

デバッグが有効な場合（オンチップ・デバッグ許可フラグがセットされている場合）は、デバッガで 95 ビットの ID コードを入力する必要があります。入力したコードは、内蔵フラッシュ・メモリに格納された ID コードと比較されます。コードが一致しない場合は、デバッグできません。

オンチップ・デバッグ許可フラグと ID コードはメモリの拡張領域に格納され、レジスタ OCDIDL, OCDIDM, OCDIDH を使用してアクセスできます。

### 11.3.1 オンチップ・デバッグ許可フラグ

オンチップ・デバッグ許可フラグには、レジスタ・ビット OCDIDH.OCDID[95] を使用してアクセスできます。

次の状況でセットまたはリセットが可能です。

- 外部フラッシュ・メモリ・プログラマによるフラッシュ・メモリのプログラム変更時
- 外部フラッシュ・メモリ・プログラマとセルフ・プログラミングによるフラッシュ・メモリのプログラム変更時
- ユーザ・プログラムによる場合

オンチップ・デバッグの許可と禁止は、次のようにそれぞれオンチップ・デバッグ制御レジスタ IDMODI で行います。

- IDMODI.IDEN = 1 かつ IDMODI.IDDATA = 0 で OCDIDH.OCDID[95] = 0 が設定され、オンチップ・デバッグが無効になります。
- IDMODI.IDEN = 1 かつ IDMODI.IDDATA = 1 で OCDIDH.OCDID[95] = 1 が設定され、オンチップ・デバッグが有効になります。

- 備考**
1. オンチップ・デバッグ・コントロール・フラグ OCDIDH.OCDID[95] の変更は、外部 RESET またはパワーオン・クリア・リセット POCRES による次の解除後に有効になります。
  2. IDMODI.IDEN = 0 時に IDMODI に対してライトしても、オンチップ・デバッグ許可フラグは変更されません。

### 11.3.2 オンチップ・デバッグ ID コード

95 ビットの ID コードには、レジスタ・ビット OCDIDH.OCDID[94:64], OCDIDM.OCDID[63:32], OCDIDL.OCDID[31:0] を使用してアクセスできません。

ID コードは次の状況で指定できます。

- 外部フラッシュ・メモリ・プログラマによるフラッシュ・メモリのプログラム変更時
- 外部フラッシュ・メモリ・プログラマとセルフ・プログラミングによるフラッシュ・メモリのプログラム変更時

### 11.3.3 オンチップ・デバッグ保護レベルの概要

オンチップ・デバッグ・インタフェースの保護レベルの概要を次の表に示します。

表 11-1 オンチップ・デバッグ保護レベル

オンチップ・デバッグ許可フラグ	ID コード	保護レベル
0	x <sup>a</sup>	レベル 2 : 完全な保護 オンチップ・デバッグ・インタフェースは使用できません
1	ユーザに固有の ID コード	レベル 1 : ID コード保護 ユーザが正しい ID コードを入力した場合のみ、オンチップ・デバッグ・インタフェースを使用できます。
	ID コードはすべて 1 <sup>b</sup>	レベル 0 : 保護なし オンチップ・デバッグ・インタフェースを使用できます。

a) ID コードは比較されません。

b) フラッシュ・メモリ消去後のデフォルトの状態です。

- 備考**
1. オンチップ・デバッグ・インタフェースは、一度「使用禁止」に設定されると、ユーザ・プログラムまたはセルフ・プログラミングでオンチップ・デバッグ許可フラグが 0 に設定されるまでは使用できません。
  2. 保護レベル 1 または 2 を設定した後に、フラッシュ・メモリの拡張領域で「ブロック消去禁止フラグ」を設定してください。これを怠ると、ID コードや「オンチップ・デバッグ許可フラグ」が格納されたブロックを権限のないユーザが消去することが可能になり、結果として保護が中断する可能性があります。

### 11.3.4 オンチップ・デバッグ制御レジスタ

以下のレジスタはオンチップ・デバッグ専用です。

表 11-2 フラッシュ・マスク・オプション・レジスタの概要

レジスタ名	略号	アドレス
オンチップ・デバッグ ID レジスタ L	OCDIDL	FF47 0000 <sub>H</sub>
オンチップ・デバッグ ID レジスタ M	OCDIDM	FF47 0004 <sub>H</sub>
オンチップ・デバッグ ID レジスタ H	OCDIDH	FF47 0008 <sub>H</sub>
オンチップ・デバッグ制御レジスタ	IDMODI	FF47 0000 <sub>H</sub>

#### (1) OCDIDL/M/H - オンチップ・デバッグ ID レジスタ

これらのレジスタには 95 ビットの ID コードが保持され、ユーザはデバッグ・セッション開始時に入力を求められます。OCDID[95] ビットの使用により、一般にオンチップ・デバッグを許可または禁止することができます。

**アクセス** 通常動作モードでは 32 ビット単位でリード可能です。このレジスタへのライトは、フラッシュ・プログラミングおよびセルフ・プログラミング・モードでのみ可能です。オンチップ・デバッグ制御ビット OCDID[95] は、通常動作モードで IDMODI レジスタを使用して変更することもできます。

**アドレス** OCDIDL : FF47 0000<sub>H</sub>, OCDIDM : FF47 0004<sub>H</sub>, OCDIDH : FF47 0008<sub>H</sub>

**初期値** ユーザ定義

OCDIDH:

31	30	...	0
OCDID [95]	OCDID [94]	...	OCDID [65]    OCDID [64]
R	R	...	R            R

OCDIDM:

31	30	...	0
OCDID [63]	OCDID [62]	...	OCDID [33]    OCDID [32]
R	R	...	R            R

OCDIDL:

31	30	...	0
OCDID [31]	OCDID [30]	...	OCDID [1]     OCDID [0]
R	R	...	R            R



表 11-3 OCDIDH/M/L レジスタの内容

レジスタ	ビット位置	ビット名	機能
OCDIDH	31	OCDID[95]	オンチップ・デバッグの許可/禁止： 0：オンチップ・デバッグを禁止 1：オンチップ・デバッグを許可
OCDIDH	30-0	OCDID[94:64]	95 ビットのオンチップ・デバッグ ID コード
OCDIDM	31-0	OCDID[63:32]	
OCDIDL	31-0	OCDID[31:0]	

## (2) IDMODI - オンチップ・デバッグ制御レジスタ

通常動作モードで、たとえばユーザ・プログラムによって、オンチップ・デバッグを許可/禁止できるようにします。  
このためには、オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] を変更します。

**備考** オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] の変更は、外部 RESET またはパワーオン・クリア・リセット POCRES による次の解除後に有効になります。

**保護** このレジスタへのライトは、保護コマンド・レジスタ PROT0PCMD を使用した特定の命令シーケンスによって保護されます。  
ライト保護レジスタへのライト方法の詳細は、第3章「CPU システム機能」の章の「ライト保護レジスタ」節を参照してください。

**アクセス** 8 ビット単位でリード/ライト可能です。  
このレジスタをリードすると OCDIDL の値を返します。

**アドレス** FF47 0000<sub>H</sub>

**初期値** ユーザ定義

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IDEN	IDDATA
R	R	R	R	R	R	R/W	R/W

表 11-4 IDMODI レジスタの内容

ビット位置	ビット名	機能											
1 0	IDEN IDDATA	オンチップ・デバッグ制御ビット OCDIDH.OCDID[95] の許可/禁止の変更 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IDEN</th> <th>IDDATA</th> <th>OCDIH.OCDI[95] の変更</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>X</td> <td>変更なし</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>0 に設定 (オンチップ・デバッグを禁止)</td> </tr> <tr> <td>1</td> <td>1 に設定 (オンチップ・デバッグを許可)</td> </tr> </tbody> </table>	IDEN	IDDATA	OCDIH.OCDI[95] の変更	0	X	変更なし	1	0	0 に設定 (オンチップ・デバッグを禁止)	1	1 に設定 (オンチップ・デバッグを許可)
IDEN	IDDATA	OCDIH.OCDI[95] の変更											
0	X	変更なし											
1	0	0 に設定 (オンチップ・デバッグを禁止)											
	1	1 に設定 (オンチップ・デバッグを許可)											

## 第12章 リセット・コントローラ

### 12.1 機能概要

マイクロコントローラとレジスタを初期化するため、複数のシステム・リセット機能が用意されています。

**機能概要** 次の要因によってリセットが起こります。

- 外部リセット信号  $\overline{\text{RESET}}$   
外部リセット信号内のノイズはアナログ・フィルタによって除去されません。
- パワーオン・クリア (POCRES)
- ウォッチドッグ・タイマのオーバフロー (WDTA0RES および WDTA1RES)
- クロック・モニタ・リセット ( $\overline{\text{CLMA0RES}}$ ,  $\overline{\text{CLMA2RES}}$ ,  $\overline{\text{CLMA3RES}}$ )
- 低電圧検出リセット (LVIRES)
- ソフトウェア・リセット (SWRES)
- デバッグ・リセット (DBRES)

リセット・コントローラの主な構成要素を次のブロック図に示します。

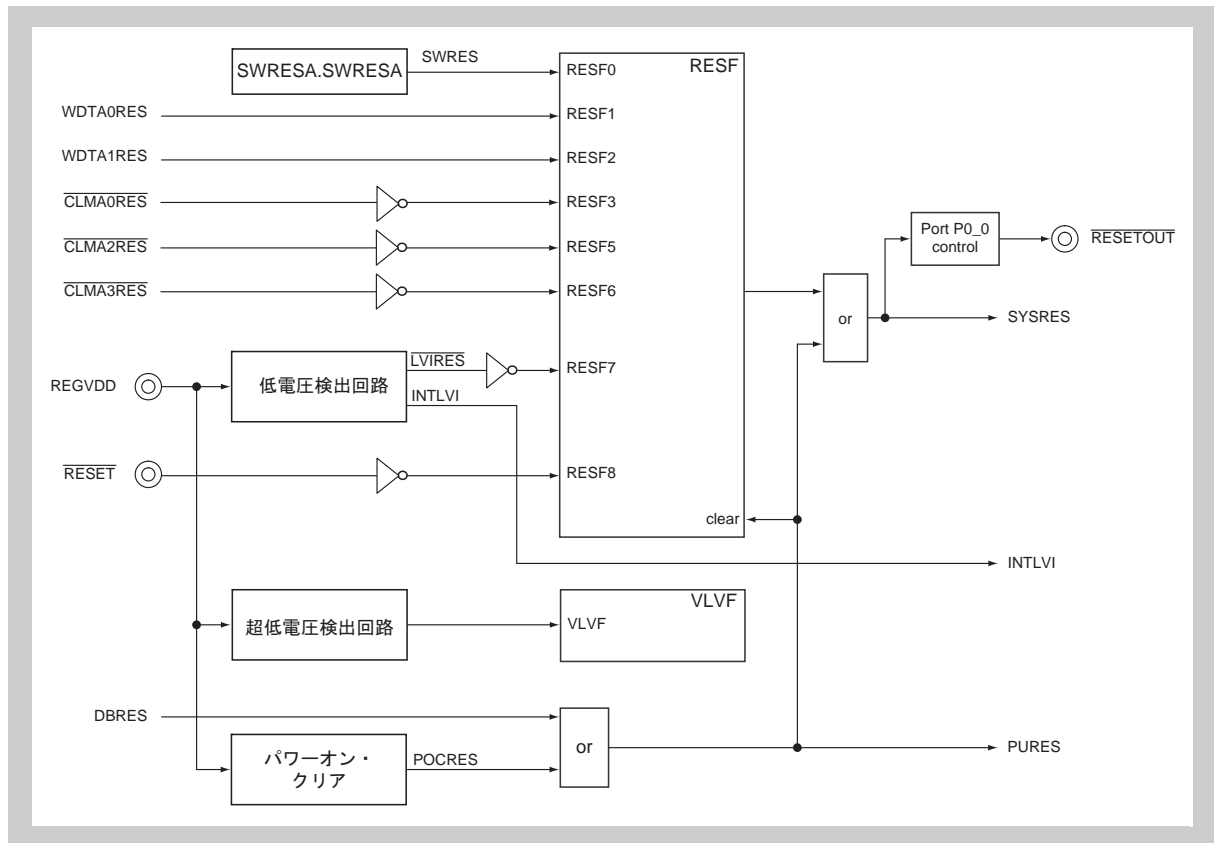


図 12-1 リセット・コントローラのブロック図

**(1) リセット信号**

リセット・コントローラは、各種リセット要因からのリセット信号に対して、次の2種類のリセット信号の発生を制御します。

- システム・リセット SYSRES  
システム・リセットはすべてのリセット要因によって発生します。SYSRESはクロック発生回路以外のすべてのマイクロコントローラ構成部に適用されます。したがって、SYSRES発生後も、それまでに動作していたすべてのクロック発生回路は動作を継続します。
- パワーアップ・リセット PURES  
パワーアップ・リセット PURESはパワーオン・クリア・リセット POCRES またはデバッグ・リセット DBRESによってアクティブとなります。PURESがアクティブになると、クロック発生回路がリセットされるので、クロック発生回路は、動作を停止したあとリスタートする必要があります。PURESによるクロック発生回路の停止についての詳細は、第9章「クロック・コントローラ」を参照してください。  
なお、PURESは、システム・リセット SYSRES もアクティブとなります。その場合は、クロック発生回路を含むすべてのマイクロコントローラ構成部がリセットされます。

**(2) リセット・フラグ**

リセット要因フラグ・レジスタ RESFは各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセット・フラグは、すべてパワーオン・リセット POCRES またはソフトウェアによってのみクリアできます。

詳細は12.2.1「リセット・フラグ」を参照してください。

**(3) 内蔵モジュール・リセット**

- |                                     |  |
|-------------------------------------|--|
| <b>ウォッチドッグ・タイマ・リセットと WDTATRTYPE</b> | ウォッチドッグ・タイマは WDTA0RES と WDTA1RES の2種類のリセットを発生させることができます。ウォッチドッグ・タイマが WDTATRTYPE 信号によって動作を継続するか、停止するかは、リセット要因によって異なります。詳細は12.2.6「ウォッチドッグ・タイマ・リセット」を参照してください。    |
| <b>クロック・モニタ・リセット</b>                | クロック・モニタは $\overline{\text{CLMA0RES}}$ 、 $\overline{\text{CLMA2RES}}$ 、 $\overline{\text{CLMA3RES}}$ の3種類のリセットを発生させることができます。詳細は12.2.8「クロック・モニタ・リセット」を参照してください。 |
| <b>デバッグ・リセット</b>                    | デバッグに接続する際に発生します。このリセット発生に伴い、パワーアップ・リセット PURES が発生します。   |

**(4) ソフトウェア・コントロール・リセット**

- SWRES** ソフトウェア・リセットはソフトウェア・リセット・コントロール・レジスタ SWRESA を設定して発生させることができます。詳細は12.2.7「ソフトウェア・リセット」を参照してください。

**(5) リセット出力信号**

リセット中およびリセット解除後、P0\_0 端子は RESETOUT 機能としてロウ・レベルを出力します。リセット解除後、P0\_0 端子の構成 (ポート・レジスタによる出力レベルの設定変更や、ポート・モード・コントロール・レジスタによる動作モードの指定変更など) を変更すると RESETOUT 出力は停止します。

**(6) 電源監視**

複数の回路によって外部電源 REGVDD のレベルを監視し、そのレベルに応じて異なる動作をします。

**低電圧検出** 低電圧検出回路 LVI は、REGVDD の電圧レベルがある特定のレベルを下回った場合、LVIRES リセットを発生させます。電圧レベルは調整可能で、また LVIRES はマスクすることができます。  
詳細は 12.2.3 「低電圧検出回路 (LVI)」を参照してください。

**パワーオン・クリア** パワーオン・クリア回路 (POC) は電源電圧  $V_{DD}$  と内蔵基準電圧を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。  
詳細は 12.2.2 「パワーオン・クリア (POC)」を参照してください。

**超低電圧検出** 超低電圧検出回路 VLVI の VLVF.VLVF フラグは、REGVDD がある特定のレベルを下回っており、バックアップ RAM (BURAM) の内容を保持することが保証できない状態であることを示します。  
詳細は 12.3.5 「超低電圧フラグ制御レジスタ」を参照してください。

## 12.2 機能説明

### 12.2.1 リセット・フラグ

リセット・フラグ・レジスタ RESF は、各リセット要因に対するリセット・フラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF 内のフラグは、パワーアップ・リセット PURES (POCRES または DBRES) によってのみクリアされます。そのため、各フラグの状態は保持されます。各リセット要因は、他のリセット要因とは独立して、対応するフラグのみをセットします。

### 12.2.2 パワーオン・クリア (POC)

パワーオン・クリア回路 (POC) は、電源電圧 REGVDD と内蔵基準電圧  $V_{POC}$  を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

REGVDD が内蔵基準電圧を下回った場合 ( $REGVDD < V_{POC}$ )、内蔵リセット信号 POCRES とシステム・リセット SYSRES、およびパワーアップ・リセット PURES が発生します。

内蔵基準電圧レベル  $V_{POC}$  の仕様についての詳細は、「電気的特性 (ターゲット)」を参照してください。

パワーオン・クリア・リセットによって、リセット状態フラグ・レジスタ RESF がクリアされます。

POCRES が発生すると、ウォッチドッグ・タイマ・リセット・タイプ信号 WDTATRTYPE がハイ・レベルに設定され、ウォッチドッグ・タイマの動作は停止します。

パワーオン・クリア機能は、電源電圧がしきい値レベル  $V_{POC}$  を超えないかぎり、マイクロコントローラのリセット状態を保持します。

POCRES のタイミングを次の図に示します。

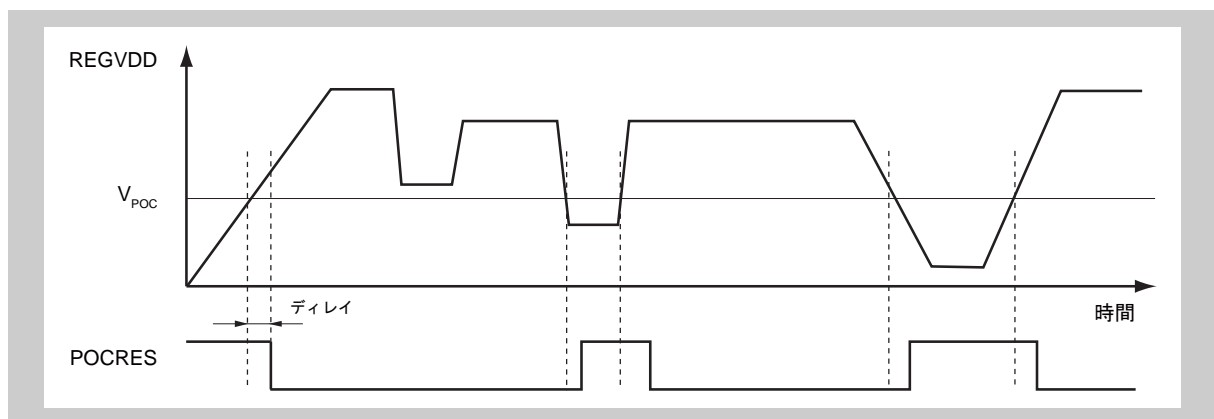


図 12-2 POC リセット・タイミング

**ディレイ** REGVDDが $V_{POC}$ レベルと交差してからPOCRESが発生/解除するまでには遅延時間が発生します。  
遅延時間の仕様については、「電気的特性（ターゲット）」を参照してください。

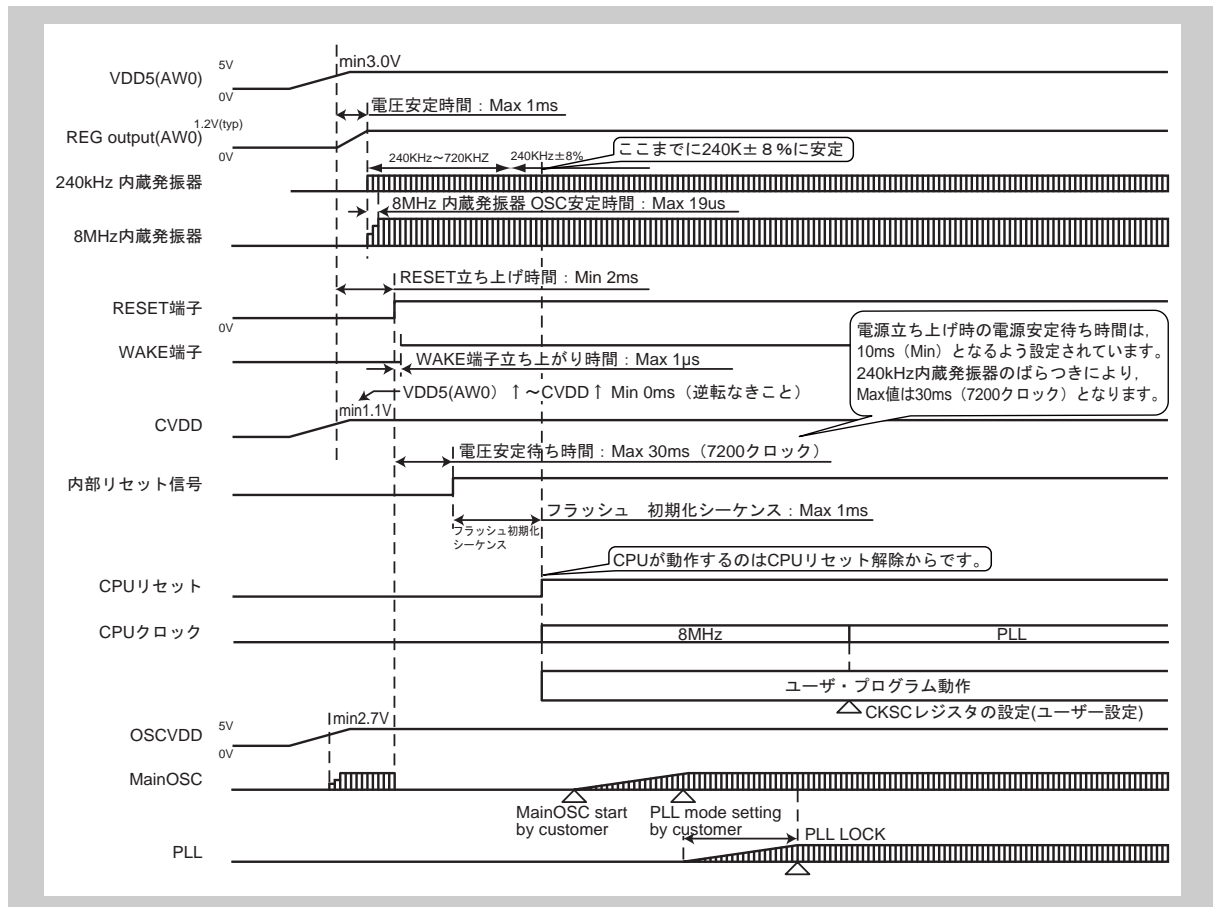


図 12-3 パワーオンクリア後のCPUシステム起動概略

### 12.2.3 低電圧検出回路（LVI）

低電圧検出回路（LVI）は、電源電圧 REGVDD と LVI 内蔵基準電圧  $V_{LVI}$  を常に比較しています。

REGVDD が内蔵基準電圧を下回った場合（ $REGVDD < V_{LVI}$ ）、内蔵リセット信号  $\overline{LVIRES}$  とシステム・リセット SYSRES が発生します。

さらに、 $\overline{LVIRES}$  フラグ（RESF.RESF7 ビット）がセットされます。その後、REGVDD が  $V_{LVI}$  を上回っても RESF.RESF7 ビットは自動的にクリアされません。RESF.RESF7 ビットは以下によってクリアされます。

- RESFC.RESFC7 ビットを 1 に設定
- パワーアップ・リセット PURES（POCRES または DBRES）

**備考**  $\overline{LVIRES}$  が発生しても WDTATRTYPE はハイ・レベルに設定されないため、ウォッチドッグ・タイマは動作を継続します。

**LVI 基準電圧** LVI 基準電圧  $V_{LVI}$  は、LVICNT.LVICNT[2:0] ビットを設定することによって 3 種類のレベルから選択できます。LVICNT.LVICNT[2:0] ビットが  $000_B$  に設定されている場合、LVI は無効です。内蔵基準電圧レベル  $V_{LVI}$  の仕様については、表 12-5 「LVICNT レジスタの内容」を参照してください。

**LVI 割り込み** LVI 割り込み (INTLVI) は、下記の場合に有効となります。

- REGVDD が LVI 基準電圧より低くなった場合 ( $REGVDD < V_{LVI}$ )
- REGVDD が LVI 基準電圧より高くなった場合 ( $REGVDD > V_{LVI}$ )

INTLVI 割り込みは、すべてのスタンバイ・モードからのウェイクアップ要因として使用できます。詳細は、第 10 章「スタンバイ・コントローラ (STBC)」を参照してください。

**LVIREs マスク**  $\overline{LVIREs}$  の発生を禁止することができます。

- LVICNT.LVIRESMSK = 0 :  $\overline{LVIREs}$  をマスクしない (許可)
- LVICNT.LVIRESMSK = 1 :  $\overline{LVIREs}$  をマスク (禁止)

$\overline{LVIREs}$  と RESF.RESF7 ビットのタイミングを次の図に示します。

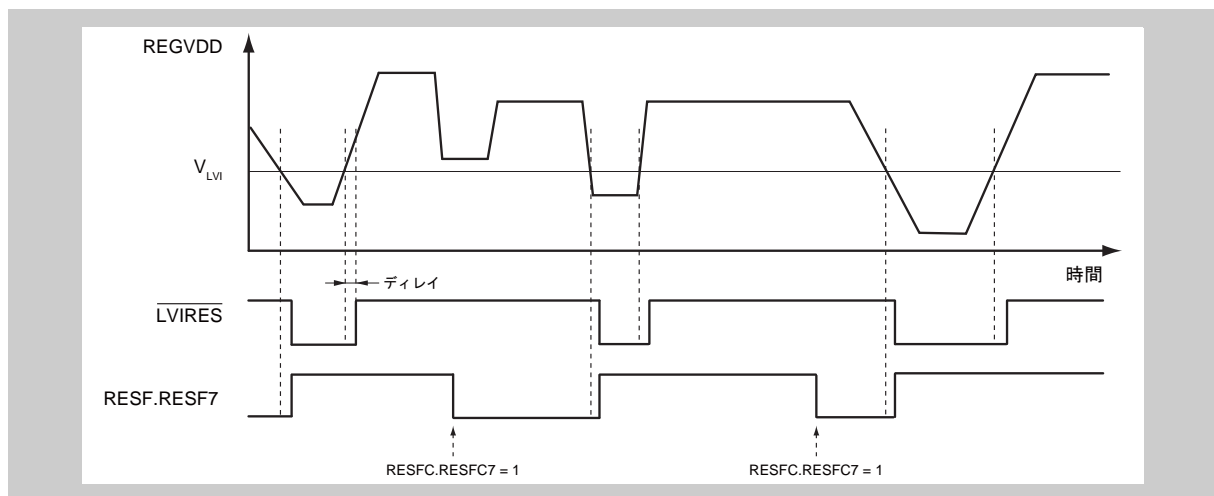


図 12-4 LVI リセット・タイミング

**ディレイ** REGVDD が  $V_{LVI}$  レベルと交差してから  $\overline{LVIREs}$  が発生し、RESF.RESF7 ビットをセットするまでには遅延時間が発生します。遅延時間の仕様については、「電気的特性 (ターゲット)」を参照してください。



## 12.2.4 超低電圧検出回路 (VLVI)

超低電圧検出回路 (VLVI) は、電源電圧 REGVDD と VLVI 内蔵基準電圧  $V_{RAMHF}$  を常に比較しています。

内蔵基準電圧レベル  $V_{RAMHF}$  の仕様については、「電気的特性 (ターゲット)」を参照してください。

**BURAM 内容の保持** 電源電圧 REGVDD が  $V_{RAMHF}$  を下回らないかぎり、バックアップ RAM (BURAM) の内容は保持され、リストアされません。REGVDD が  $V_{RAMHF}$  を下回った場合、BURAM の内容は変更されたと考えられます。したがって、動作を継続する前に BURAM 全体をリストアする必要があります。

REGVDD が内蔵基準電圧を下回った場合 ( $REGVDD < V_{RAMHF}$ )、VLVF.VLVF ビットがセットされます。その後、REGVDD が  $V_{RAMHF}$  を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC ビットを 1 に設定

VLVF ビットのタイミングを次の図に示します。

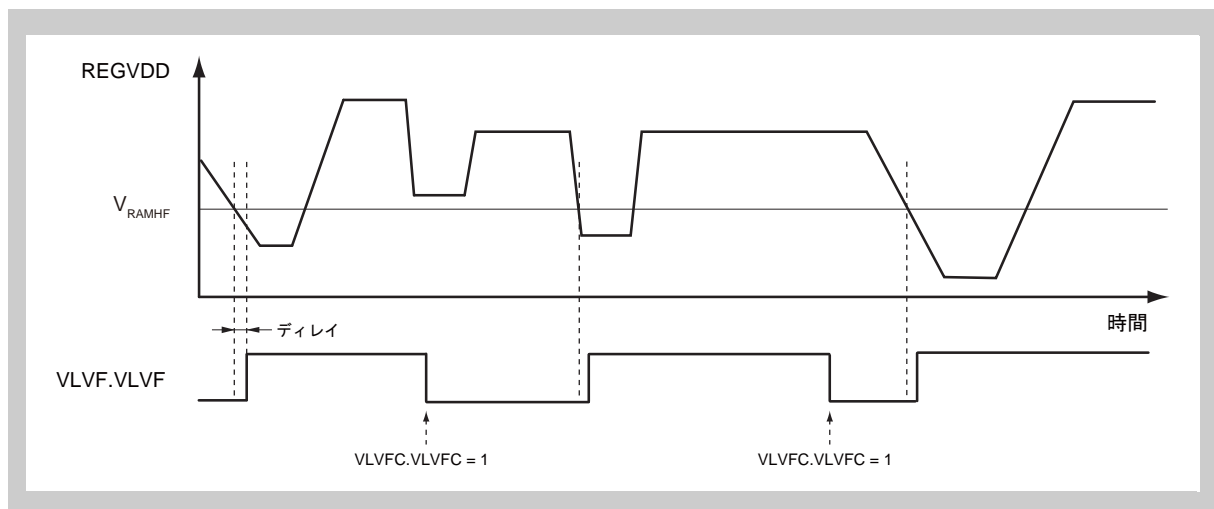


図 12-5 VLVI リセット・タイミング

**デレイ** REGVDD が  $V_{RAMHF}$  レベルと交差してから VLVF ビットをセット (1) するまでには遅延時間が発生します。遅延時間の仕様については、「電気的特性 (ターゲット)」を参照してください。

## 12.2.5 外部 $\overline{\text{RESET}}$

$\overline{\text{RESET}}$  端子にロウ・レベル信号が印加されると、リセット処理が行われます。

その後、 $\overline{\text{RESET}}$  がインアクティブになっても RESF.RESF8 ビットは自動的にクリアされません。RESF.RESF8 ビットは以下によってクリアされます。

- RESFC.RESFC8 を 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

**クロック発生回路** POC 以外のリセットによってパワーアップ・リセット (PURES) がアクティブになるため、クロック発生回路もリセットされます。詳細は、第9章 クロック・コントローラを参照してください。

$\overline{\text{RESET}}$  信号は、ノイズによる不正リセットの発生を防ぐためにアナログ・ノイズ・フィルタを通過します。

POC 以外リセットが発生するタイミングを次の図に示します。この図では、ノイズ除去の効果も示しています。

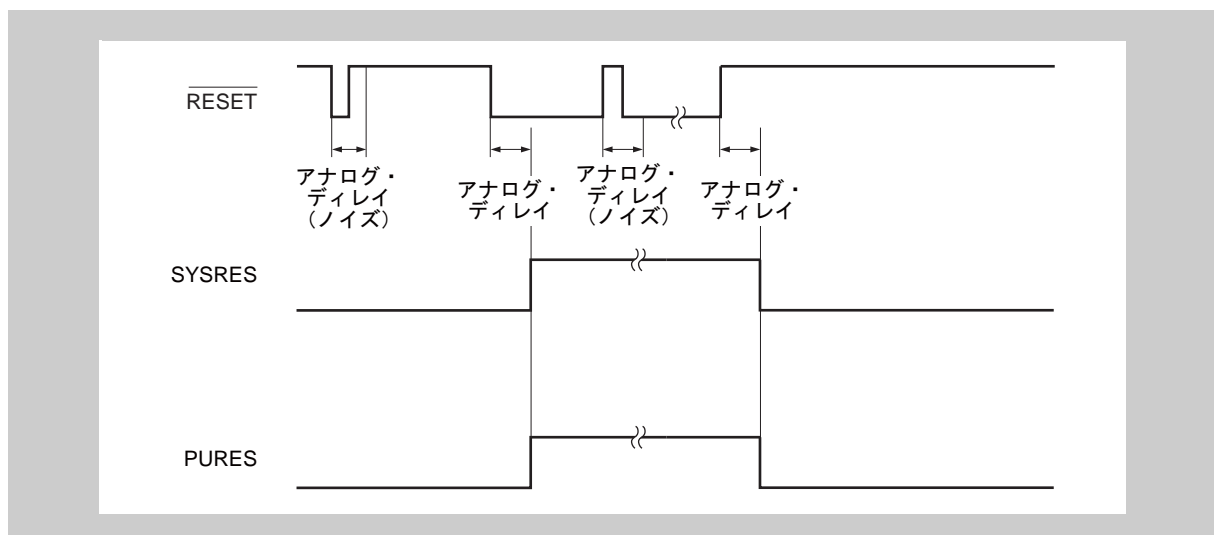


図 12-6 外部  $\overline{\text{RESET}}$  タイミング

アナログ・フィルタによってアナログ・ディレイが発生します。フィルタはある一定の幅までのパルス<sup>1)</sup>をノイズとみなし、抑制します。最小 RESET パルス幅については、「電気的特性 (ターゲット)」を参照してください。

### 12.2.6 ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマは、ウォッチドッグ時間を超えたときにリセットを発生するように設定することができます。ウォッチドッグ・リセットが発生すると、ウォッチドッグ・タイマ・リセット・フラグ (WDTA0RES に対しては RESF.RESF1 ビット, WDTA1RES に対しては RESF.RESF2 ビット) がそれぞれセットされ、システム・リセット SYSRES を発生します。

その後、WDTA0RES (WDTA1RES) が停止しても RESF.RESF1 ビット (RESF.RESF2 ビット) は自動的にクリアされません。RESF.RESF1 ビット、RESF.RESF2 ビットは以下によってクリアされます。

- RESFC.RESFC1 ビットまたは RESFC.RESFC2 ビットを 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

**WDTATRTYPE** ウォッチドッグ・タイマが WDTATRTYPE 信号によって動作を継続するか、停止するかは、リセット要因によって異なります。詳細は、14 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA) を参照してください。

- リセット要因が POCRES の場合、WDTATRTYPE をハイ・レベルに設定してウォッチドッグ・タイマを停止します。
- 他のすべてのリセット要因の場合、WDTATRTYPE をロウ・レベルに設定してウォッチドッグ・タイマは動作を停止しません。

### 12.2.7 ソフトウェア・リセット

SWRESA.SWRESA に 1 を設定することでソフトウェア・リセット SWRES を発生させることができます。

SWRES によってシステム・リセット SYSRES が発生し、リセット・フラグ RESF.RESF0 ビットがセットされます。

RESF.RESF0 ビットは自動的にクリアされません。RESF.RESF0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定
- パワーアップ・リセット PURES (POCRES または DBRES)

## 12.2.8 クロック・モニタ・リセット

クロック・モニタは以下のリセット信号を発生させることができます。

- メイン発振回路のフェイル検出： $\overline{\text{CLMA0RES}}$
- 8 MHz 内蔵発振回路のフェイル検出： $\overline{\text{CLMA2RES}}$
- PLL0 フェイル検出： $\overline{\text{CLMA3RES}}$

クロック・モニタ・リセットによってシステム・リセット SYSRES が発生し、RESF レジスタ内の対応するリセット・フラグがセットされます。これらのフラグは自動的にクリアされません。各リセット・フラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$  に対しては RESFC.RESFC3 ビット、 $\overline{\text{CLMA2RES}}$  に対しては RESFC.RESFC5 ビット = 1、 $\overline{\text{CLMA3RES}}$  に対しては RESFC.RESFC6 ビットをそれぞれセット
- パワーアップ・リセット PURES (POCRES または DBRES)

## 12.2.9 入出力バッファ・リセット

あるスタンバイ・モード時は動作しない信号の入出力バッファを、スタンバイ・モード時にリセット状態にすることができます。この機能によって、これらのバッファで消費される電力を最小限に抑えることができます。

各マイクロコントローラの機能をスタンバイ・モードに設定する前に、入出力バッファ・リセット・レジスタに割り当てられた対応ビットをセットすることによって、関連する入出力バッファをリセットしてください。

入出力バッファがリセット状態のとき、端子レベルは常にロウ・レベルが読み出されます。

スタンバイ・モードから復帰したあと、入出力バッファ・リセット制御ビットを 0 に設定して、その入出力バッファのリセット状態を解除する必要があります。

## 12.2.10 デバッグ・リセット

デバッグに接続する際、このリセット DBRES が発生します。DBRES は電源投入リセット PURES をアクティブにし、パワーオン・リセット・リセット POCRES と同様に、次のように動作します。

- クロック発生回路をリセットします。そのため、クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF をクリアします。

## 12.2.11 リセット・コントローラ・レジスタ保護

下記のリセット・コントローラ・レジスタはライト保護レジスタです。

- ソフトウェア・リセット・レジスタ SWRESA

ライト保護レジスタへの書き込みについての詳細は、3.6「保護レジスタへの書き込み」を参照してください。

## 12.3 レジスタ

この節では、リセット・コントローラのすべてのレジスタについて説明します。

### 12.3.1 リセット・コントローラ・レジスタ概要

リセット・コントローラは、次のレジスタで制御、動作します。

表 12-1 リセット・コントローラ・レジスタ一覧

レジスタ名	略号	アドレス
汎用リセット・フラグ・レジスタ		
リセット要因レジスタ	RESF	FF42 0160 <sub>H</sub>
リセット要因クリア・レジスタ	RESFC	FF42 0168 <sub>H</sub>
ソフトウェア・リセット制御レジスタ		
ソフトウェア・リセット・レジスタ	SWRESA	FF42 0204 <sub>H</sub>
低電圧検出リセット制御レジスタ		
LVI 制御レジスタ	LVICNT	FF42 0200 <sub>H</sub>
超低電圧フラグ制御レジスタ		
超低電圧レジスタ	VLVF	FF42 0180 <sub>H</sub>
超低電圧クリア・レジスタ	VLVFC	FF42 0188 <sub>H</sub>
保護コマンド・レジスタ		
保護コマンド・レジスタ 2	PROTCMD2	FF42 0300 <sub>H</sub>
保護ステータス・レジスタ 2	PROTS2	FF42 0304 <sub>H</sub>

### 12.3.2 汎用リセット・フラグ・レジスタの詳細

#### (1) RESF - リセット要因レジスタ

前回のパワーオン・クリア・リセット後に発生したリセットの種類を保持しています。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。

たとえば、ウォッチドッグ・タイマ・リセット WDTA0RES が発生したのちにクロック・モニタ CLMA0RES が発生した場合、このレジスタの読み出し値は 0000 000A<sub>H</sub> になります。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** FF42 0160<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> このレジスタはパワーオン・クリア・リセット POCRES によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RESF8	RESF7	RESF6	RESF5	0	RESF3	RESF2	RESF1	RESF0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12-2 RESF レジスタの内容

ビット位置	ビット名	機能
8	RESF8	外部以外のリセット・フラグ 0: RESET リセット未発生 1: RESET リセット発生
7	RESF7	低電圧検出リセット・フラグ 0: LVIRES リセット未発生 1: LVIRES リセット発生
6	RESF6	クロック・モニタ CLMA3 リセット・フラグ 0: CLMA3RES リセット未発生 1: CLMA3RES リセット発生
5	RESF5	クロック・モニタ CLMA2 リセット・フラグ 0: CLMA2RES リセット未発生 1: CLMA2RES リセット発生
3	RESF3	クロック・モニタ CLMA0 リセット・フラグ 0: CLMA0RES リセット未発生 1: CLMA0RES リセット発生
2	RESF2	ウォッチドッグ・タイマ WDTA1 リセット・フラグ 0: WDTA1RES リセット未発生 1: WDTA1RES リセット発生
1	RESF1	ウォッチドッグ・タイマ WDTA0 リセット・フラグ 0: WDTA0RES リセット未発生 1: WDTA0RES リセット発生
0	RESF0	ソフトウェア・リセット・フラグ 0: SWRES リセット未発生 1: SWRES リセット発生

## (2) RESFC - リセット要因クリア・レジスタ

RESF レジスタのリセット・フラグをクリアします。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF42 0168<sub>H</sub>初期値 このレジスタを読み出すと常に 0000 0000<sub>H</sub> を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	RESF C8	RESF C7	RESF C6	RESF C5	0	RESF C3	RESF C2	RESF C1	RESF C0
R	R	R	R	R	R	R	W	W	W	W	R	W	W	W	W

表 12-3 RESFC レジスタの内容

ビット位置	ビット名	機能
8	RESFC8	外部 RESET リセット・フラグ RESF.RESF8 のクリア 0: 機能なし 1: RESF.RESF8 をクリア
7	RESFC7	低電圧検出リセット・フラグ RESF.RESF7 のクリア 0: 機能なし 1: RESF.RESF7 をクリア
6	RESFC6	クロック・モニタ CLMA3 リセット・フラグ RESF.RESF6 のクリア 0: 機能なし 1: RESF.RESF6 をクリア
5	RESFC5	クロック・モニタ CLMA2 リセット・フラグ RESF.RESF5 のクリア 0: 機能なし 1: RESF.RESF5 をクリア
3	RESFC3	クロック・モニタ CLMA0 リセット・フラグ RESF.RESF3 のクリア 0: 機能なし 1: RESF.RESF3 をクリア
2	RESFC2	ウォッチドッグ・タイマ WDTA1 リセット・フラグ RESF.RESF2 のクリア 0: 機能なし 1: RESF.RESF2 をクリア
1	RESFC1	ウォッチドッグ・タイマ WDTA0 リセット・フラグ RESF.RESF1 のクリア 0: 機能なし 1: RESF.RESF1 をクリア
0	RESFC0	デバッグ・リセット・フラグ RESF.RESF0 のクリア 0: 機能なし 1: RESF.RESF0 をクリア

### 12.3.3 ソフトウェア・リセット制御レジスタの詳細

#### (1) SWRESA - ソフトウェア・リセット・レジスタ

ソフトウェア・リセット SWRES を発生させます。

**アクセス** 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使用した特定の命令シーケンスによって保護されます。

詳細は 12.2.11 「リセット・コントローラ・レジスタ保護」を参照してください。

**アドレス** FF42 0204<sub>H</sub>

**初期値** このレジスタを読み出すと常に 0000 0000<sub>H</sub> を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWRESA
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12-4 SWRESA レジスタの内容

ビット位置	ビット名	機能
0	SWRESA	ソフトウェア・リセット制御 0: 機能なし 1: ソフトウェア・リセット SWRES を発生



### 12.3.4 低電圧検出リセット制御レジスタ

#### (1) LVICNT - LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

**アクセス** 32 ビット単位でリード/ライト可能です。

このレジスタへのライトは、保護コマンド・レジスタ PROTCMD2 を使った特定の命令シーケンスによって保護されます。

詳細は 12.2.11 「リセット・コントローラ・レジスタ保護」を参照してください。

**アドレス** FF42 0200<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> このレジスタはパワーオン・クリア・リセット POCRES によって初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	LVIRE SMK	LVICNT[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 12-5 LVICNT レジスタの内容

ビット位置	ビット名	機能																
3	LVIRESMK	LVI リセット LVIRES のマスク 0 : LVIRES マスクなし 1 : LVIRES マスク (LVIRES の発生禁止)																
2-0	LVICNT[2:0]	LVI 検出レベル <table border="1"> <thead> <tr> <th>LVICNT[2:0]</th><th>検出レベル</th></tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td><td>LVI はインアクティブ</td></tr> <tr> <td>001<sub>B</sub></td><td>LVI レベル 1 (4.0V±0.1V)</td></tr> <tr> <td>010<sub>B</sub></td><td>LVI レベル 2 (3.7V±0.1V)</td></tr> <tr> <td>011<sub>B</sub></td><td>LVI レベル 3 (3.5V±0.1V)</td></tr> <tr> <td>100<sub>B</sub></td><td>設定禁止</td></tr> <tr> <td>101<sub>B</sub></td><td>設定禁止</td></tr> <tr> <td>11X<sub>B</sub></td><td>設定禁止</td></tr> </tbody> </table> <p>LVI 検出レベルの仕様については、「電気的特性 (ターゲット)」を参照してください。</p>	LVICNT[2:0]	検出レベル	000 <sub>B</sub>	LVI はインアクティブ	001 <sub>B</sub>	LVI レベル 1 (4.0V±0.1V)	010 <sub>B</sub>	LVI レベル 2 (3.7V±0.1V)	011 <sub>B</sub>	LVI レベル 3 (3.5V±0.1V)	100 <sub>B</sub>	設定禁止	101 <sub>B</sub>	設定禁止	11X <sub>B</sub>	設定禁止
LVICNT[2:0]	検出レベル																	
000 <sub>B</sub>	LVI はインアクティブ																	
001 <sub>B</sub>	LVI レベル 1 (4.0V±0.1V)																	
010 <sub>B</sub>	LVI レベル 2 (3.7V±0.1V)																	
011 <sub>B</sub>	LVI レベル 3 (3.5V±0.1V)																	
100 <sub>B</sub>	設定禁止																	
101 <sub>B</sub>	設定禁止																	
11X <sub>B</sub>	設定禁止																	

**備考** LVI 検出レベルがパワーオン・クリア検出レベルに近い場合、両方が同時に低電圧を検出します。  
 こうした場合、パワーオン・クリア・リセット POCRES が動作し、リセット要因 RESF はクリアされます。そのため、LVI リセット・フラグ RESF.RESF7 は LVI 検出を行いません。

### 12.3.5 超低電圧フラグ制御レジスタ

#### (1) VLVF - 超低電圧フラグ・レジスタ

超低電圧の検出状態を示します。

**アクセス** 32ビット単位でリード可能です。

**アドレス** FF42 0180<sub>H</sub>

**初期値** 0000 0001<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	VLVF
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12-6 VLVF レジスタの内容

ビット位置	ビット名	機能
0	VLVF	超低電圧の検出状態 0: 超低電圧未検出 1: 超低電圧検出

#### (2) VLVFC - 超低電圧フラグ・クリア・レジスタ

VLVF.VLVF ビットをクリアします。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FF42 0188<sub>H</sub>

**初期値** このレジスタを読み出すと常に 0000 0000<sub>H</sub> を返します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	VLVFC
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 12-7 VLVFC レジスタの内容

ビット位置	ビット名	機能
0	VLVFC	VLVF.VLVF ビットのクリア 0: 機能なし 1: VLVF.VLVF ビットのクリア

### 12.3.6 保護コマンド・レジスタの詳細

#### (1) PROTCMDm – 保護コマンド・レジスタ m (m = 2)

ライト保護リセット・コントローラ・レジスタの保護コマンド・レジスタです。

**アクセス** 8ビット単位でライト可能です。

(このレジスタを読み出した場合の値は、常に0です。)

**アドレス** PROTCMD2 : FF42 0300<sub>H</sub>

**初期値** 00<sub>H</sub> このレジスタはどのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
PCMD7	PCMD6	PCMD5	PCMD4	PCMD3	PCMD2	PCMD1	PCMD0
W	W	W	W	W	W	W	W

使用方法についての詳細は、12.2.11「リセット・コントローラ・レジスタ保護」を参照してください。

表 12-8 PROTCMDm レジスタの内容

ビット位置	ビット名	機能
7-0	PCMD7-PCMD0	ライト保護リセット・コントローラ・レジスタに書き込み可能な保護コマンド

#### (2) PROTSm - 保護ステータス・レジスタ m (m = 2)

PROTCMDm によって動作する保護シーケンスの状態を示します。

**アクセス** 8ビット単位でリード可能です。

このレジスタへの書き込みは無視されます。

**アドレス** PROTS2 : FF42 0304<sub>H</sub>

**初期値** 00<sub>H</sub> このレジスタはリセットの発生、または PROTCMDm レジスタへの A5h の書き込みで初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PROTSm ERR
R	R	R	R	R	R	R	R

表 12-9 PROTSm レジスタの内容

ビット位置	ビット名	機能
0	PROTSm ERR	保護ライト・シーケンス・エラー・モニタ 0 : 保護エラーなし 1 : 保護エラーあり

## 第13章 OS タイマ (OSTM)

この章では、OS タイマ全般について説明します。

最初の節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、OSTM 搭載製品に共通の特徴について説明します。

### 13.1 V850E2/Fx4-H の OSTM の特徴

**チャンネル** この製品は次のチャンネル数の OS タイマを搭載しています。

表 13-1 OS タイマのチャンネル

OS タイマ	
チャンネル数	1
名称	OSTM0

**n の意味** この章では、OSTM の各ユニットを「n」で識別します (n=0)。たとえば、OSTM カウンタ・レジスタ (OSTMnCNT) のように記述しています。

**レジスタ・アドレス** OS タイマ・レジスタのアドレスは、それぞれのベース・アドレス <OSTMn\_base> からのオフセットで表されます。  
各 OSTMn のレジスタ・ベース・アドレスを次の表に示します。

表 13-2 レジスタ・ベース・アドレス

OSTMn	<OSTMn_base> アドレス
OSTM0	FF80 0000 <sub>H</sub>

**クロック供給** OS タイマは次のクロックが供給されます。

表 13-3 OSTM クロック供給

OSTMn	OSTMn のクロック	接続先
OSTM0	PCLK	クロック・コントローラの CKSCLK_112

**入出力信号** OS タイマの入出力信号を次の表に示します。

OS タイマには、次の機能があります。

表 13-4 OSTMn の入出力信号

OSTMn 信号	機能	接続先
OSTMnTCKE	カウント・クロック許可	1 に固定
OSTMnTSST	カウント開始	0 に固定

**割り込み** OS タイマは次の割り込み要求を発生できます。

表 13-5 OSTMn の割り込み要求

OSTMn の信号	機能	接続先
OSTM0TINT	OSTMn の割り込み	割り込みコントローラ INTOSTM0I

### 13.2 機能概要

**機能概要** OS タイマには、次の機能があります。

- 2つの動作モード
  - インターバル・タイマ・モード
  - フリー・ランニング・コンペア・モード
- ほかの周辺機能との同期 (OSTMnTSST に信号が入力される場合)
- OSTMnTINT 割り込み

OS タイマの主な構成要素を次のブロック図に示します。

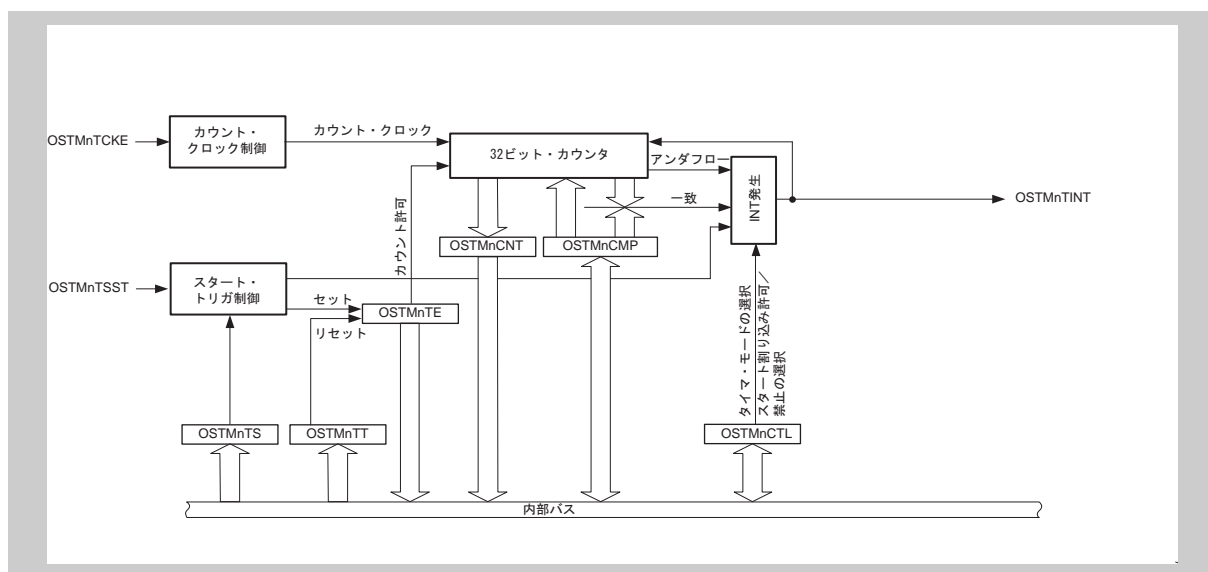


図 13-1 OS タイマのブロック図

## 13.3 機能説明

OS タイマは 32 ビットのタイマ/カウンタです。

OS タイマは、インターバル・タイマ・モードまたはフリー・ランニング・コンペア・モードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OS タイマは、カウント・クロック許可信号（OSTMnTCKE）とカウント開始信号（OSTMnTSST）の入力により、ほかの周辺機能と同期させることができます。（詳細は 13.3.1「カウント・クロック」と 13.3.3「タイマの起動と停止」を参照してください）。

### 13.3.1 カウント・クロック

OS タイマのカウント・クロックは、PCLK と OSTMnTCKE の入力によって次のように定義されます。

- PCLK をカウント・クロックとして使用する場合は、OSTMnTCKE を 1 に固定する必要があります。
- OSTMnTCKE から信号が入力される場合は、それに応じてカウントします。

これを次の図に示します。

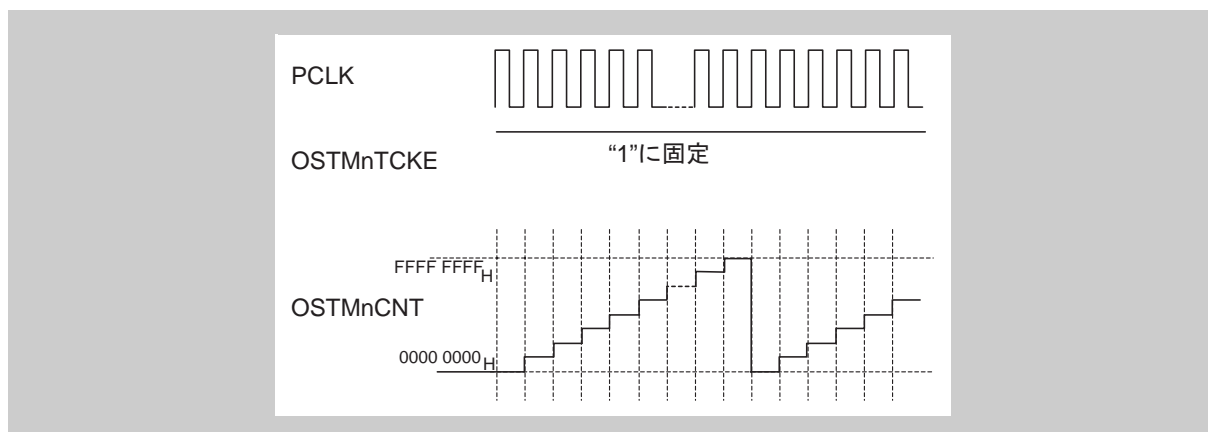


図 13-2 OSTMnTCKE を 1 に固定した場合のカウント動作

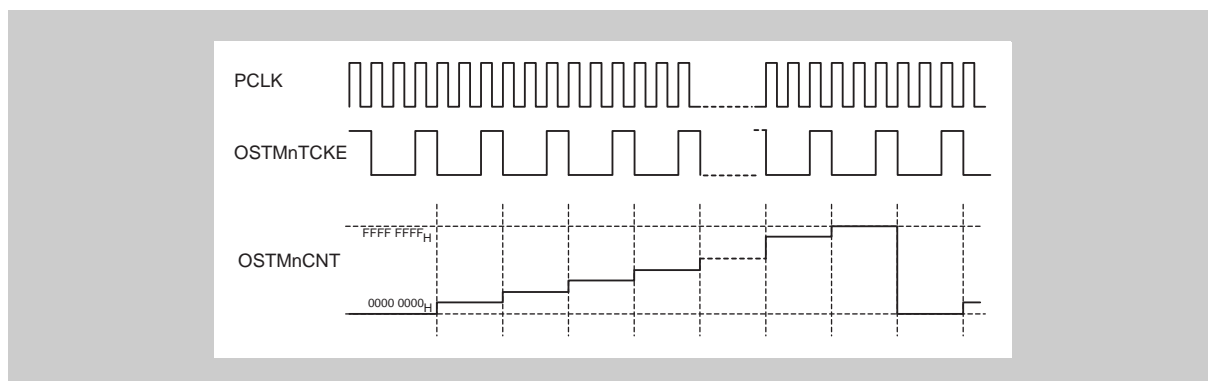


図 13-3 OSTMnTCKE の入力信号によるカウント動作

### 13.3.2 割り込み要求の生成

カウンタ・アンダフローが発生したとき（インターバル・タイマ・モードの場合）またはカウンタが比較値と一致したとき（フリー・ランニング・コンペア・モードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

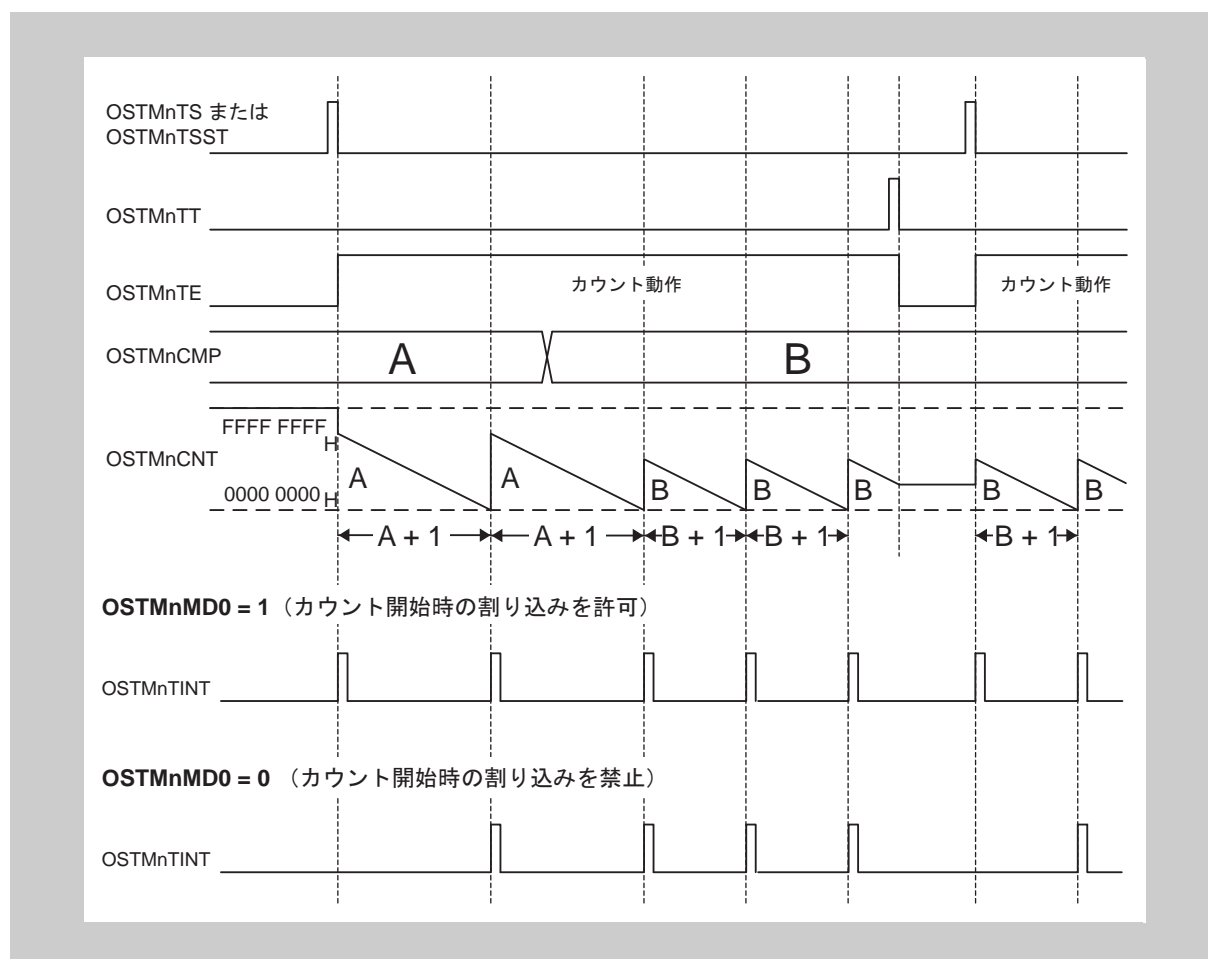


図 13-4 カウント開始時の割り込み生成



### 13.3.3 タイマの起動と停止

OS タイマは次のように起動し、停止します。

**起動** タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号が 0 から 1 に遷移

ステータス・ビット OSTMnTE.OSTMnTE が 1 に設定され、OSTMnTS.OSTMnTS ビットが 0 に戻ります。

動作モードによって、カウンタはカウント・ダウンまたはカウント・アップを開始します。詳細は 13.3.4 「インターバル・タイマ・モード」と 13.3.5 「フリー・ランニング・コンペア・モード」を参照してください。

**備考** OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

**停止** タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。ステータス・ビット OSTMnTE.OSTMnTE がクリアされます。

**同期起動** OSTMnTSST を使用して、ほかの周辺機能と同期して起動することができます。対象製品 (V850E2/Fx4-H) では、同期起動機能を使用することができません。

### 13.3.4 インターバル・タイマ・モード

インターバル・タイマ・モードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

#### (1) インターバル・タイマ・モードの基本動作

インターバル・タイマ・モードでは、タイマは OSTMnCMP レジスタで指定された値からカウント・ダウンします。カウンタがアンダフローした (0000 0000<sub>H</sub> に達した) 場合に、割り込み要求 OSTMnTINT が発生します。

インターバル・タイマ・モード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000<sub>H</sub> に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

**OSTMnTINT 期間** OSTMnTINT の期間は次のようになります。

- OSTMnTINT 発生期間 = カウント・クロック期間 × (OSTMnCMP + 1)

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みを許可された場合の OS タイマの基本動作を示します。

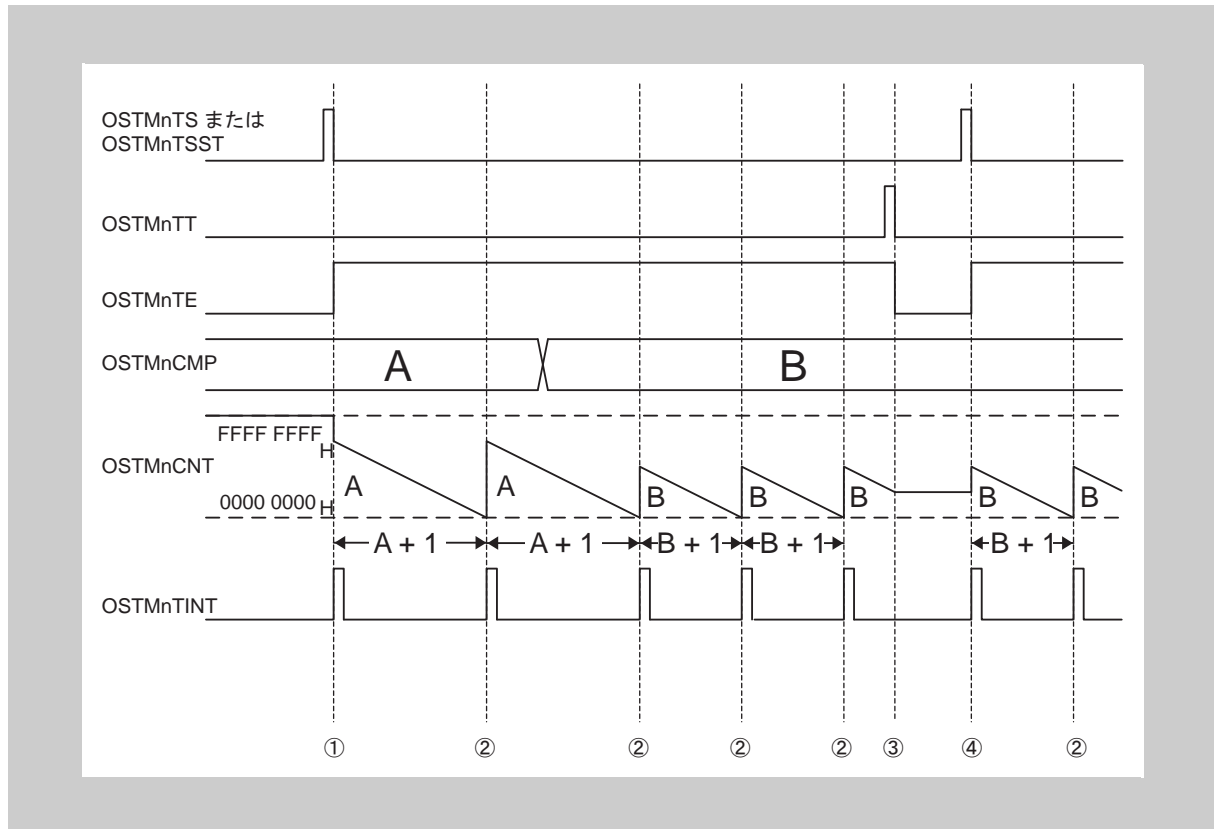


図 13-5 インターバル・タイマ・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

- ①: カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。

カウンタは、OSTMnCMP の値からカウント・ダウンを開始します。OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。

- ②: カウンタが 0000 0000<sub>H</sub> に達すると、割り込み要求 OSTMnTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウント・ダウンを継続します。

- ③: OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。

カウンタは、カウントを再開するまでその時点での値を保持します。

- ④: OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウント・ダウンを継続します。

**強制リスタート** カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 を設定するか、または OSTMnTSST 信号のハイからロウへの遷移によって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウント・ダウンを継続します。

次の図に、インターバル・タイマ・モードでカウンタ・スタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) されるタイミング図を示します。

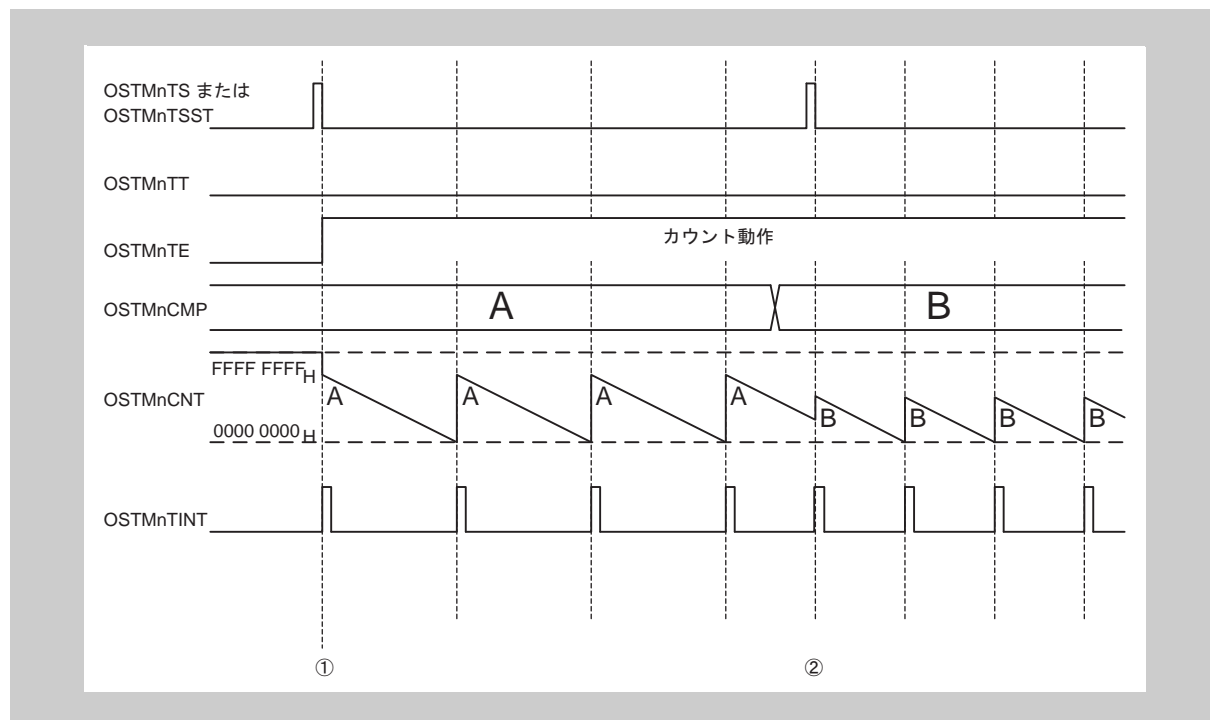


図 13-6 インターバル・タイマ・モードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- ①: カウンタは、図 13-5「インターバル・タイマ・モードの OS タイマのタイミング図」で説明されているように動作を開始します。
- ②: カウンタは、動作している間 (OSTMnTE.OSTMnTE = 1) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 にすると、リスタートします。

カウンタは、ただちに OSTMnCMP の現在値からカウント・ダウンを再開します。

OSTMnCTL.OSTMnMD0=1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。

## (2) OSTMnCMP = 0000 0000<sub>H</sub> の場合の動作

OSTMnCMP = 0000 0000<sub>H</sub> の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000<sub>H</sub> であり、カウンタ・スタート割り込みが許可された場合の OS タイマの動作を示します。

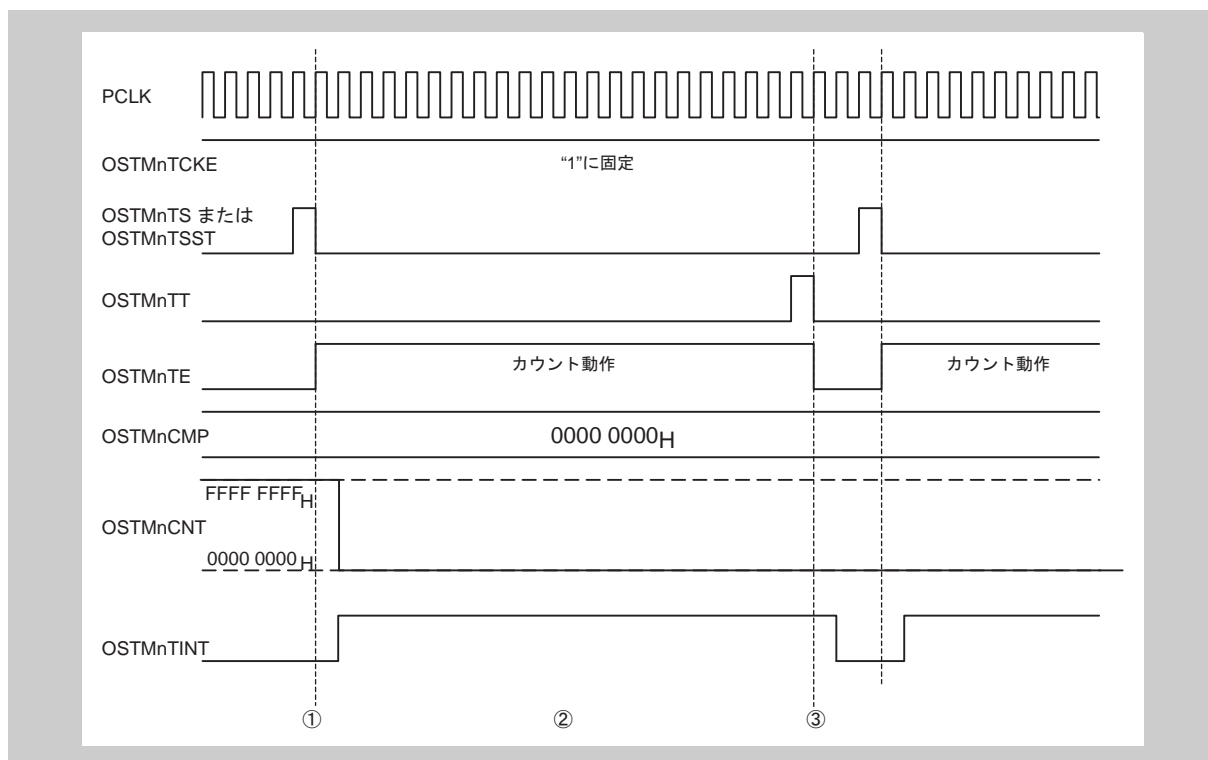


図 13-7 インターバル・タイマ・モードで OSTMnCMP = 0000 0000<sub>H</sub> の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- ①: カウントを開始すると、カウンタはカウントを開始しますが、OSTMnCMPの値をリロードするため、0000 0000<sub>H</sub>のままです。
- ②: 割り込み要求 OSTMnTINT が継続的に発生します。
- ③: カウンタが停止すると、割り込み要求 OSTMnTINT が停止します。

### (3) インターバル・タイマ・モードの初期化

リセット解除後のインターバル・タイマ・モードの設定手順を次に示します。

- 初期化**
1. OSTMnCMP レジスタにダウン・カウンタの開始値を設定します。
  2. OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバル・タイマ・モードを選択します。
  3. カウント開始時の割り込みモードを選択します (OSTMnCTL.OSTMnMD0)。

### 13.3.5 フリー・ランニング・コンペア・モード

#### (1) フリー・ランニング・コンペア・モードの基本動作

フリー・ランニング・コンペア・モードでは、カウンタは  $0000\ 0000_H$  から  $FFFF\ FFFF_H$  までカウント・アップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。

フリー・ランニング・コンペア・モードは、OSTMnCTL.OSTMnMD1 = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリー・ランニング・コンペア・モードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OS タイマの基本動作を示します。

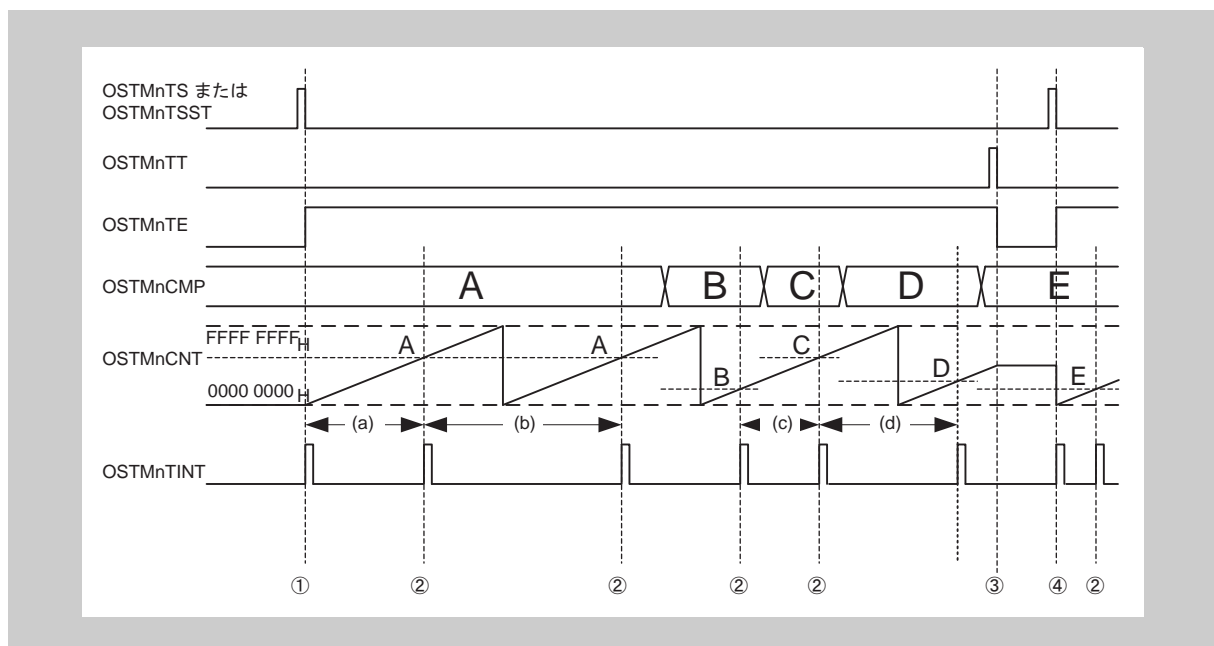


図 13-8 フリー・ランニング・コンペア・モードの OS タイマのタイミング図

上記のタイミング図では次の内容を示しています。

- ①: カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは  $0000\ 0000_H$  から  $FFFF\ FFFF_H$  までカウント・アップします。カウンタ値はレジスタ OSTMnCNT で示されます。
- ②: OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生します。
- ③: カウンタが停止すると (OSTMnTT.OSTMnTT = 1), OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。  
カウンタは、カウントを再開するまでその時点での値を保持します。
- ④: OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは  $0000\ 0000_H$  からカウントを開始します。

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 13-6 OSTMnTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times$ カウント・クロック期間	(a)
A	A	書き換えなし	$(FFFF\ FFFF_H + 1) \times$ カウント・クロック期間	(b)
B	$C > B$	$B <$ カウンタ値 $< C$	$(C - B) \times$ カウント・クロック期間	(c)
C	$D < C$	カウンタ値 $> D, C$	$(FFFF\ FFFF_H - C + D + 1) \times$ カウント・クロック期間	(d)

**強制リスタート** カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを続けます。

## (2) OSTMnCMP = 0000 0000<sub>H</sub> の場合の動作

次の図に、OSTMnCMP = 0000 0000<sub>H</sub> であり、カウンタ・スタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OS タイマの動作を示します。

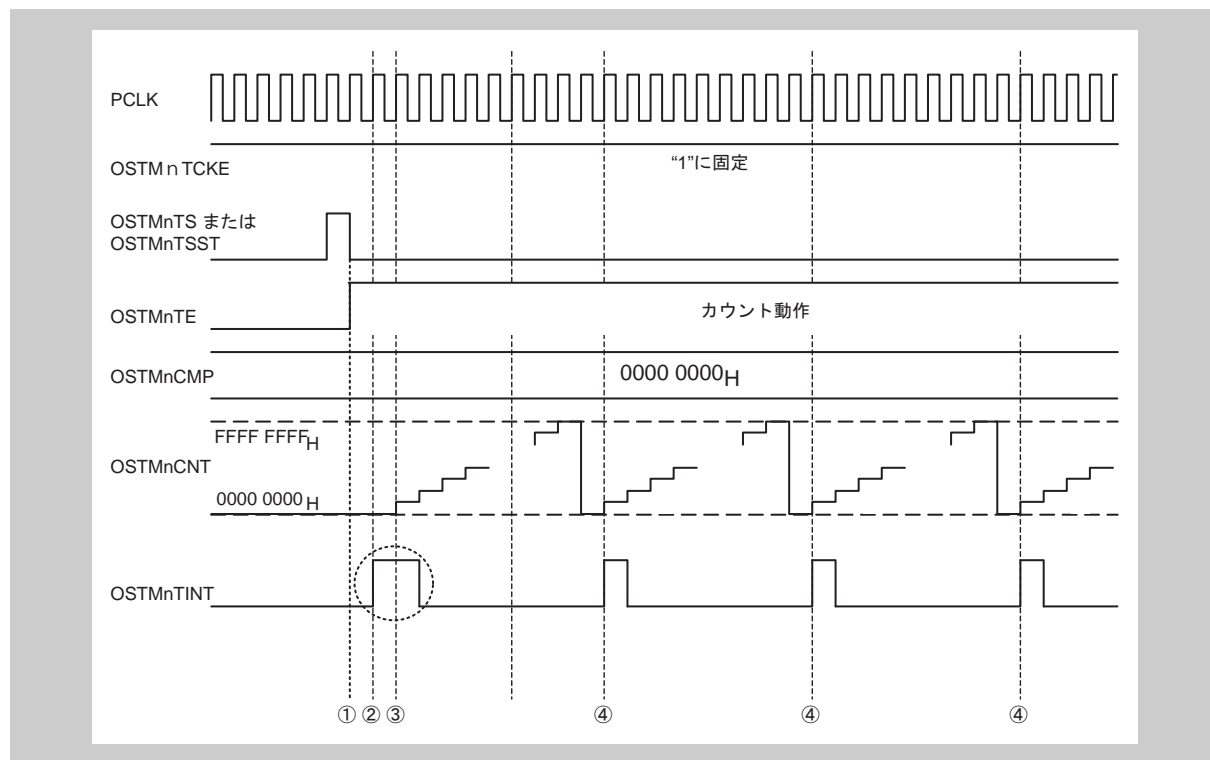


図 13-9 フリー・ランニング・コンペア・モードで OSTMnCMP = 0000 0000<sub>H</sub> の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- ①: カウントを開始すると、カウンタは 0000 0000<sub>H</sub> から FFFF FFFF<sub>H</sub> までをカウントします。

- ②: カウント開始時に割り込み要求 OSTMnTINT が発生します。
- ③: 現在のカウンタ値が OSTMnCMP と一致する場合は、コンペア割り込みが発生します。上記のように OSTMnCMP = 0000 0000<sub>H</sub> の場合、OSTMnTINT はカウンタ・クロック 2 クロック分発生します。
- ④: (FFFF FFFF<sub>H</sub> + 1) クロック・サイクルごとに、割り込み要求 OSTMnTINT が発生します。

### (3) フリー・ランニング・コンペア・モードの初期化

リセット解除後のフリー・ランニング・コンペア・モードの設定手順を次に示します。

- 初期化**
1. OSTMnCMP レジスタに比較値を設定します。
  2. OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリー・ランニング・コンペア・モードを選択します。
  3. OSTMnCTL.OSTMnMD0 ビットでカウンタ開始時の割り込みモードを選択します。

## 13.4 レジスタ

この節では、OS タイマのすべてのレジスタについて説明します。

### 13.4.1 OS タイマ・レジスタの概要

OS タイマは、次のレジスタで制御、動作します。

表 13-7 OS タイマ・レジスタの一覧

レジスタ名	略号	アドレス
OSTM コンペア・レジスタ	OSTMnCMP	<OSTMn_base>
OSTM カウンタ・レジスタ	OSTMnCNT	<OSTMn_base> + 4 <sub>H</sub>
OSTM カウント・イネーブル・ステータス・レジスタ	OSTMnTE	<OSTMn_base> + 10 <sub>H</sub>
OSTM カウント開始トリガ・レジスタ	OSTMnTS	<OSTMn_base> + 14 <sub>H</sub>
OSTM カウント停止トリガ・レジスタ	OSTMnTT	<OSTMn_base> + 18 <sub>H</sub>
OSTM 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 <sub>H</sub>
OSTM エミュレーション・レジスタ	OSTMnEMU	<OSTMn_base> + 24 <sub>H</sub>

### 13.4.2 OS タイマ・レジスタの詳細

#### (1) OSTMnCMP - OSTM コンペア・レジスタ

このレジスタは、動作モードによってダウン・カウンタの開始値またはカウンタが比較される値を格納します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <OSTMn\_base>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCMP[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-8 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCMP[31:0]	<ul style="list-style-type: none"> <li>インターバル・タイマ・モードの場合：ダウン・カウンタの開始値</li> <li>フリー・ランニング・コンペア・モードの場合：比較値</li> </ul>



## (2) OSTMnCNT - OSTM カウンタ・レジスタ

このレジスタはタイマのカウント値を示します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <OSTMn\_base> + 4<sub>H</sub>

**初期値** OS タイマの動作モードによって変わります。表 13-10「動作モード，カウント方向，初期値の関係」を参照してください。どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSTMnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSTMnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13-9 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31-0	OSTMnCNT[31:0]	32 ビット・カウンタの値

動作モード，カウント方向，初期値の関係を次に示します。初期値は，動作モードが変更されたあとにリードされる値です。

表 13-10 動作モード，カウント方向，初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	初期値
インターバル・タイマ・モード	0 <sup>a</sup>	ダウン	FFFF FFFF <sub>H</sub>
フリー・ランニング・コンペア・モード	1	アップ	0000 0000 <sub>H</sub>

a) リセット後の値

**(3) OSTMnTE - OSTM カウント・イネーブル・ステータス・レジスタ**

このレジスタは、カウンタの状態を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <OSTMn\_base> + 10<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTE
R	R	R	R	R	R	R	R

表 13-11 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTE	カウンタの状態を示します。 0：カウンタが停止中 1：カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

**備考** カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバル・タイマ・モードでは OSTMnCMP の設定値から再開します。
- フリー・ランニング・コンペア・モードでは、カウンタ値 0000 0000<sub>H</sub> で動作を再開します。

**(4) OSTMnTS - OSTM カウント開始トリガ・レジスタ**

このレジスタは、カウントを開始します。

**アクセス** 8ビット単位でライト可能です。常に 00<sub>H</sub> としてリードされます。

**アドレス** <OSTMn\_base> + 14<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTS
R	R	R	R	R	R	R	W

表 13-12 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTS	カウントを開始します。 0：設定は無効です。 1：カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 • インターバル・タイマ・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリー・ランニング・コンペア・モードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

**(5) OSTMnTT - OSTM カウント停止トリガ・レジスタ**

このレジスタは、カウンタを停止します。

**アクセス** 8ビット単位でライト可能です。常に00<sub>H</sub>としてリードされます。

**アドレス** <OSTMn\_base> + 18<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OSTMnTT
R	R	R	R	R	R	R	W

表 13-13 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
0	OSTMnTT	カウンタを停止します。 0：設定は無効です。 1：カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

**(6) OSTMnCTL - OSTM 制御レジスタ**

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMnTINT の生成を制御します。

このレジスタはリード／ライト可能ですが、OSTMnTE=0時は書き込み可、OSTMnTE=1の時は読み出し専用となります。

**アクセス** 8ビット単位でリード／ライト可能です。

**アドレス** <OSTMn\_base> + 20<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
R	R	R	R	R	R	R/W	R/W

表 13-14 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
1	OSTMnMD1	カウンタの動作モードを指定します。 0：インターバル・タイマ・モード 1：フリー・ランニング・コンペア・モード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み要求を制御します。 0：カウント開始時の割り込みを禁止 1：カウント開始時の割り込みを許可

**(7) OSTMnEMU - OSTMn エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

カウンタ停止中 (OSTMnTE.OSTMnTE=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <OSTMn\_base> + 24<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
OSTMnSVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 13-15 OSTMnEMU レジスタの内容

ビット位置	ビット名	機能
7	OSTMnSVSDIS	(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず, デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 第 14 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)

この章では、ウィンドウ・ウォッチドッグ・タイマ A 全般について説明します。

14.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特徴について説明します。

14.2 節以降で、WDTA 搭載製品に共通の特徴について説明します。

### 14.1 V850E2/Fx4-H の WDTA の特徴

**チャンネル** この製品は 2 チャンネルのウィンドウ・ウォッチドッグ・タイマ A を搭載しています。

表 14-1 WDTA のチャンネル

ウィンドウ・ウォッチドッグ・タイマ A	
チャンネル数	2
名称	WDTA0, WDTA1

**n の意味** この章では、ウィンドウ・ウォッチドッグ・タイマ A の各チャンネルを「n」で識別します。たとえば、WDTAn イネーブル・レジスタ (WDTAnWDTE) (n = 0-1) のように記述しています。

**レジスタ・アドレス** WDTAn レジスタのアドレスは、それぞれのベース・アドレス <WDTAn\_base> からのオフセットで表されます。  
各 WDTAn のレジスタ・ベース・アドレスを次の表に示します。

表 14-2 WDTAn のレジスタ・ベース・アドレス

WDTAn	<WDTAn_base> アドレス
WDTA0	FF80 6000 <sub>H</sub>
WDTA1	FF80 7000 <sub>H</sub>

**クロック供給** ウィンドウ・ウォッチドッグ・タイマ A は、次のクロックが供給されます。

表 14-3 ウィンドウ・ウォッチドッグ・タイマ A のクロック

WDTAn	WDTAn のクロック	接続先
<b>WDTA0:</b>		
WDTATCKI	タイマ・クロック	クロック・コントローラ CKSCLK_A07
PCLK	PBUS クロック	クロック・コントローラ CKSCLK_A02
<b>WDTA1:</b>		
WDTATCKI	タイマ・クロック	クロック・コントローラ CKSCLK_007
PCLK	PBUS クロック	クロック・コントローラ CKSCLK_005

**割り込み** WDTAn の割り込みを次の表に示します。

表 14-4 WDTA の割り込み

WDTAn 信号	機能	接続先
INTWDTA0	WDTA0 75%割り込み	割り込みコントローラ INTWDTA0
INTWDTA1	WDTA1 75%割り込み	割り込みコントローラ INTWDTA1

## 14.2 WDTA の起動オプション

起動オプションは、リセット解除後の WDTA の起動設定を決定します。各起動オプションを次の表で説明します。

表 14-5 WDTA の起動オプション

起動オプション	機能	説明	接続先
OPWDEN	WDTA の設定	WDTA の有効/無効を設定します。 0 : WDTA 無効 1 : WDTA 有効	<ul style="list-style-type: none"> <li>WDTA0 フラッシュ・オプション OPBT0.OPBT0[19]</li> <li>WDTA1 フラッシュ・オプション OPBT0.OPBT0[23]</li> </ul>
OPWDOVF[2:0]	カウント・クロックの設定	カウント・クロック制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。	<ul style="list-style-type: none"> <li>WDTA0/WDTA1 フラッシュ・オプション OPBT0.OPBT0[18:16]</li> </ul>
OPWDTPR	スタート・モード信号の選択	スタート・モードを設定する信号を指定します。 0 : OPWDRUN 起動オプション 1 : WDTATRYP 入力信号 WDTATRYP を選択した場合 (OPWDTPR = 1), スタート・モードはリセットの種類によって異なります。  詳細は 14.4.1 「リセット解除後の WDTA」を参照してください。	0 固定
OPWDRUN	スタート・モードの設定	スタート・モードを指定します。 0 : ソフトウェア・トリガ・スタート・モード 1 : デフォルト・スタート・モード OPWDRUN は OPWDTPR = 0 の場合のみ適用されます。  詳細は 14.4.1 「リセット解除後の WDTA」を参照してください。	<ul style="list-style-type: none"> <li>WDTA0 フラッシュ・オプション OPBT0.OPBT0[20]</li> <li>WDTA1 フラッシュ・オプション OPBT0.OPBT0[24]</li> </ul>
OPWDWS[1:0]	ウィンドウ・オープン期間の初期設定	ウィンドウ・オープン期間を制御するビット WDTAnMD.WDTAnWS[1:0] のリセット値を指定します。  ウィンドウ・オープン期間を制御するビットの設定は、最初の WDTA トリガ発生後にのみ適用され、リセット解除後には適用されません。リセット解除後、ウィンドウ・オープン期間は 100% になります。  詳細は 14.4.5 「ウィンドウ機能」を参照してください。	11 <sub>B</sub> 固定
OPWDINT	INTWDTAn (75% 割り込み) 要求の生成	制御ビット WDTAnMD.WDTAnWIE のリセット値を指定します。このビットは、75% 割り込み要求 INTWDTn の出力の有効/無効を設定します。  詳細は 14.4.4 「75% 割り込み出力」を参照してください。	0 固定

## 14.3 機能概要

**機能概要** WDTA には、次の機能があります。

- 起動オプションでリセット後の動作モードを選択可能
- 固定起動コードまたは可変起動コードを選択可能
- 次に示す 2 種類のスタート・モードがあります。
  - デフォルト・スタート・モード
  - ソフトウェア・トリガ・スタート・モード
- エラー検出時の動作が可能：
  - エラー検出時の NMI 要求 (WDTAnTNMI) の生成
  - エラー検出時のリセット (WDTAnTRES) の生成
- カウンタ・オーバーフロー値の 75% の値で割り込み要求を発生
- ウィンドウ機能

WDTA の主な構成要素を次の図に示します。

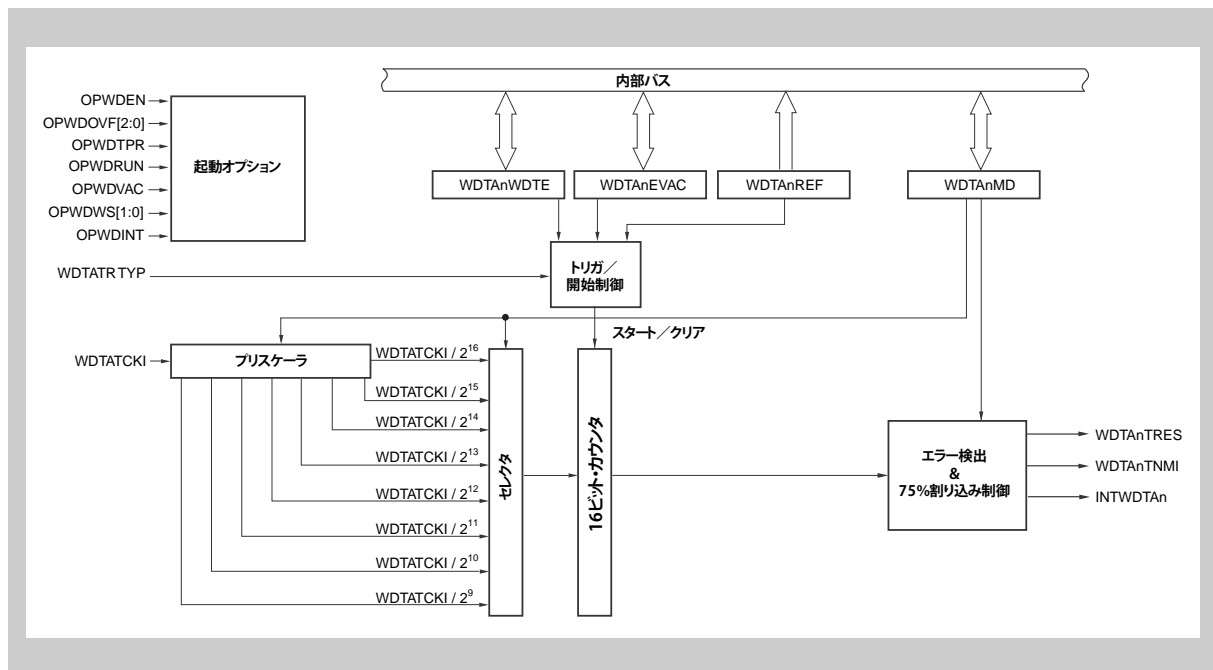


図 14-1 WDTA のブロック図



## 14.4 機能説明

16ビット・カウンタがオーバフローするか、それ以外のエラー条件が満たされた場合、WDTA はリセットまたはノンマスカブル割り込みを発生します。全エラー条件の説明に関しては 14.4.3 「エラー検出」を参照してください。

ウィンドウ・オープン期間中、WDTA トリガが発生するたびにカウンタをクリアし、リスタートします。詳細は 14.4.2 「WDTA トリガ」と 14.4.5 「ウィンドウ機能」を参照してください。

最大カウンタ値の 75%の値では、WDTA は割り込み要求 (INTWDTAn) を発生できます。詳細は 14.4.4 「75%割り込み出力」を参照してください。

リセット解除後、起動オプションはスタート・モードと WDTA の設定を指定します。ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD に書き込むことにより設定を変更できます。詳細は 14.4.1 「リセット解除後の WDTA」を参照してください。

### 14.4.1 リセット解除後の WDTA

#### (1) スタート・モード

WDTAには、リセット解除後にカウンタをスタートさせる2つのモードがあります。

- ソフトウェア・トリガ・スタート・モード  
リセット解除後、カウンタ値は0000<sub>H</sub>のままです。  
カウンタは最初のWDTAトリガの発生でスタートします。
- デフォルト・スタート・モード  
リセット解除後、カウンタは自動的にスタートします。

#### (2) スタート・モードの選択

スタート・モードは次のように選択することができます。

- 起動オプション
- WDTATRTYP 入力信号

この信号は、リセットの種類を示します。したがって、リセット解除後に選択したスタート・モードはリセットの種類によって異なります。

スタート・モードの選択について次の表に示します。

表 14-6 スタート・モードの選択

起動オプション		入力信号	リセットの種類	スタート・モード
OPWDTPR	OPWDRUN	WDTATRTYP		
0	0	無視	無視	ソフトウェア・トリガ
	1			デフォルト
1	0	無視	無視	ソフトウェア・トリガ
	1	0	デフォルト・スタート・リセット 要因以外	ソフトウェア・トリガ
		1	デフォルト・スタート・リセット 要因	デフォルト

## (3) リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生間の WDTA の設定を次の表に示します。

機能	設定	備考
スタート・モード	起動オプションで指定	スタート・モードの説明に関しては 14.4.1 「リセット解除後の WDTA」を参照してください。
カウント・クロック		
75%割り込みモード		
エラー・モード	リセット・モード	最初のトリガが発生する前に発生したどのエラー条件でもリセットが発生します。
ウィンドウ・オープン期間	100%	デフォルト・スタート・モードを指定した場合、最初のトリガはカウンタがオーバーフローするまで常に有効です。

**WDTA 設定の変更** 最初のトリガ発生後、WDTA はウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の設定にしたがって動作を継続します。

WDTA の設定を変更する場合、最初のトリガ発生前に WDTAnMD にデータを書き込む必要があります。WDTAnMD の値を最初のトリガ発生後に変更した場合、エラーが発生します。

最初のトリガ発生前に WDTAnMD を変更しなかった場合、WDTAnMD の初期値により WDTA モードが指定されます。

WDTAnMD の新しい値または初期値は、最初のトリガ発生後に適用されません。

**デフォルト・スタート・モードのタイミング** デフォルト・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

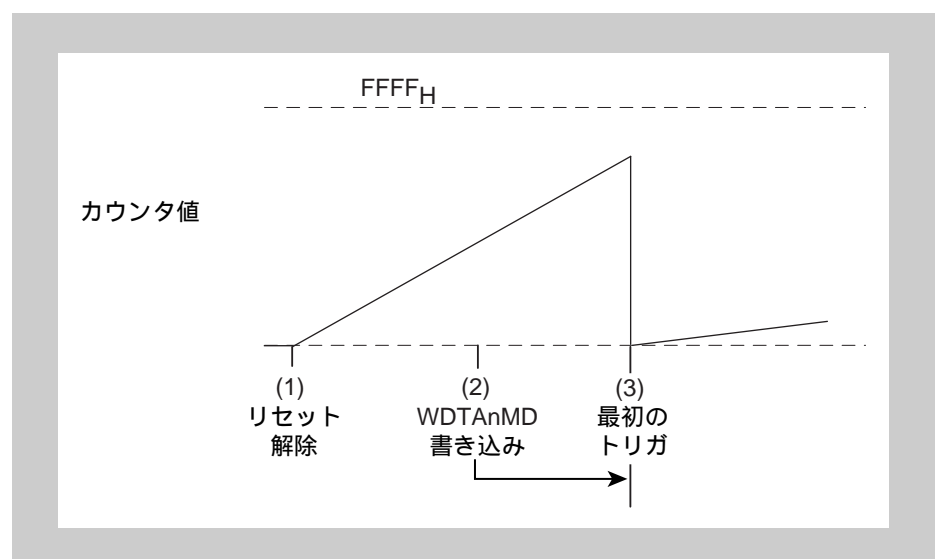


図 14-2 デフォルト・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

- リセット解除直後にカウンタはスタートします。  
カウント・クロックは、たとえば次のように起動オプションにより指定されます。

$$\text{リセット解除後のカウント・クロック} = \text{WDTATCKI} / 2^{13}$$

(OPWDOVF[2:0] = 100<sub>B</sub>)

- WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
- 最初のトリガは、カウンタがオーバフローする前に発生する必要があります。

WDTAnMD で指定した新しいカウント・クロックの設定等は、最初のトリガ発生後に適用されます。

$$\text{最初のトリガ発生後のカウント・クロック} = \text{WDTATCKI} / 2^{16}$$

(WDTAnMD.WDTAnOVF[2:0] = 111<sub>B</sub>)

**ソフトウェア・トリガ・スタート・モードのタイミング**      ソフトウェア・トリガ・スタート・モードのタイミングと WDTA 設定への変更を次の図に示します。

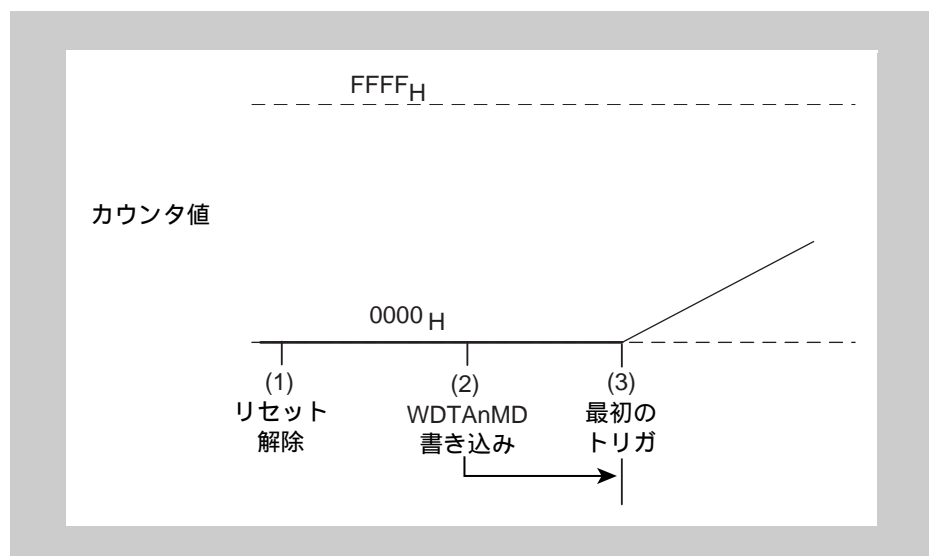


図 14-3 ソフトウェア・トリガ・スタート・モード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

- リセット解除後、最初のトリガが発生するまでカウンタ値は 0000<sub>H</sub> のままです。  
カウント・クロックは、起動オプションにより指定されますが、カウント動作が行われていないので影響はありません。
- WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
- カウンタは最初のトリガ発生でスタートします。  
WDTAnMD で指定したカウント・クロックとその他の設定が適用されます。

### 14.4.2 WDTA トリガ

WDTA トリガには、次の機能があります。

- ソフトウェア・トリガ・スタート・モード時のカウンタ起動トリガ
- カウンタ・オーバーフローを回避するためのカウンタ・リスタート・トリガ
- トリガ・レジスタは固定起動コードか可変起動コードかで異なります。起動コードの種類と、それに関連したトリガ・レジスタは起動オプション OPWDVAC で指定されます。

表 14-7 トリガ・レジスタと起動コード

起動コードの種類	トリガ・レジスタ	起動コード
固定	WDTAnWDTE	AC <sub>H</sub>
可変	WDTAnEVAC	詳細は (1) 「可変起動コードの計算」を参照してください。

#### (1) 可変起動コードの計算

可変起動コード (ExpectWDTE) は、WDTAnREF レジスタの基準値を使用して求めます。基準値 WDTAnREF は、トリガ・レジスタ WDTAnEVAC にデータが書き込まれるたびに更新されます。

- 可変起動コード (ExpectWDTE) は次の式で求められます。

$$\text{ExpectWDTE} = \text{AC}_H - \text{WDTAnREF (旧)}$$

- 基準値 WDTAnREF の更新値は次の式で求められます。

$$\text{WDTAnREF (新)} = \text{左に 1 ビット回転 (ExpectWDTE)}$$

トリガ回数ごとの可変起動コードは次のとおりです。

表 14-8 可変起動コードの展開

回数 <sup>a</sup>	WDTAnREF (旧)		ExpectWDTE (AC <sub>H</sub> - WDTAnREF)		WDTAnREF (新)	
0	0000 0000	00 <sub>H</sub>	1010 1100	AC <sub>H</sub>	0101 1001	59 <sub>H</sub>
1	0101 1001	59 <sub>H</sub>	0101 0011	53 <sub>H</sub>	1010 0110	A6 <sub>H</sub>
2	1010 0110	A6 <sub>H</sub>	0000 0110	06 <sub>H</sub>	0000 1100	0C <sub>H</sub>
...	...	...	...	...	...	...

<sup>a)</sup> リセット後のトリガ回数

**備考** WDTA のスタート後に、WDTAnEVAC レジスタのビット 7 (WDTAnEVAC7) を 0 にクリアすることはできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

### 14.4.3 エラー検出

エラー検出条件を次に示します。

- オーバフロー・インターバル時間の超過 (カウンタ・オーバフロー)
- トリガ・レジスタへの誤った起動コードの書き込み
- ウィンドウ・クローズ期間でのトリガ・レジスタへの書き込み
- ウォッチドッグ・タイマ・モード・レジスタ WDTAnMD の不正な更新 :
  - 最初のトリガ発生後に、WDTAnMD に新しい値を書き込んだ場合、エラーが検出されます。
  - 最初のトリガ発生後に、WDTAnMD に同じ値を書き込んだ場合、エラーは検出されません。

**エラー・モード** エラーが検出されると、NMI 要求 (WDTAnTNMI) またはリセット (WDTAnTRES) のいずれかが発生します。

WDTAnMD.WDTAnERM でエラー・モードを選択します。

- WDTAnMD.WDTAnERM = 0 : NMI モード
- WDTAnMD.WDTAnERM = 1 : リセット・モード

**備考** WDTA の最初のトリガ以前にエラーを検出した場合、初期の設定に沿い、WDTAnTRES が発生します。

デフォルト・スタート・モードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を次の図に示します。

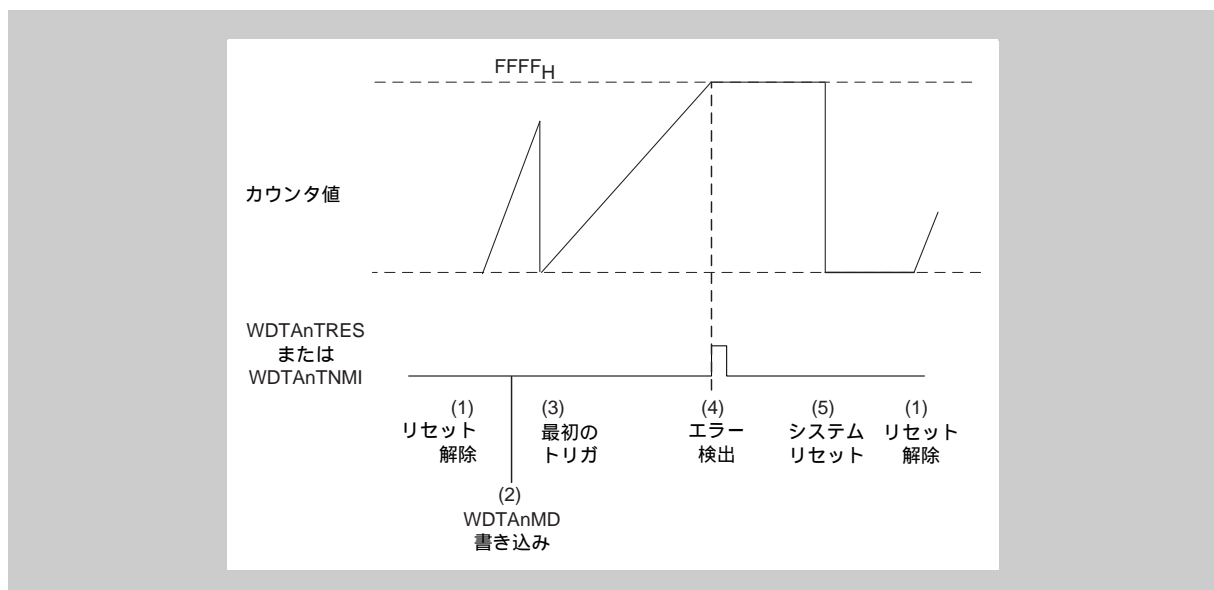


図 14-4 WDTA NMI 要求／リセット発生のタイミング図

上記のタイミング図では次の内容を示しています。

1. リセット解除後にカウンタはスタートします（デフォルト・スタート・モードが選択されている場合です）。
2. WDTAnMD は、最初のトリガ発生前に書き込まれます。ただし、設定はすぐには適用されません。
3. カウンタは最初のトリガの発生でクリアされ、新しい WDTA の設定が適用されます。
4. カウンタがオーバーフローすると、エラーが検出されます。エラー・モードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。

カウンタ値は、システム・リセットが行われるまで変わりません。

5. システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

#### 14.4.4 75%割り込み出力

カウンタが最大カウンタ値の 75%に達すると、割り込み要求 INTWDTAn が発生します。

この機能は、起動オプション OPWDINT = 1 を設定することで自動的に有効にすることができます。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図に示します。

- デフォルト・スタート・モードを選択
- 最初のトリガ発生後にカウント・クロックが変化

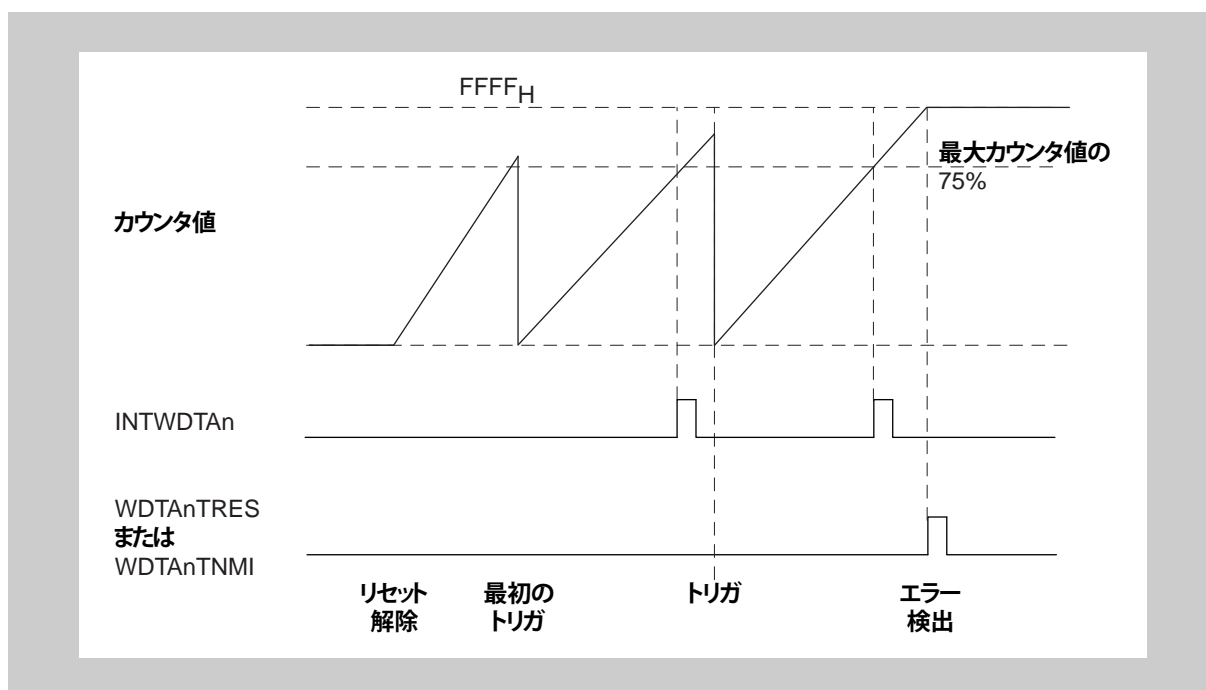


図 14-5 WDTA 75%割り込み出力のタイミング図



### 14.4.5 ウィンドウ機能

ウィンドウ・オープン期間を 100%未満に設定すると、ウィンドウ・クローズ期間中にトリガが発生した際にエラーが検出されます。

ウィンドウ・オープン期間の設定は、最初のトリガの発生前と発生後で異なります。

- リセット解除後、ウィンドウ・オープン期間は 100%になります。

OPWDWS[1:0] および WDTAnMD.WDTAnWS[1:0] ビットの設定は無効になります。

- 最初のトリガ発生後、ウィンドウ・オープン期間は WDTAnMD.WDTAnWS[1:0] ビットで指定した値になります。

次の図に、ウィンドウ・オープン期間を 25%とし、デフォルト・スタート・モードを選択した場合の WDTA の動作を示します。

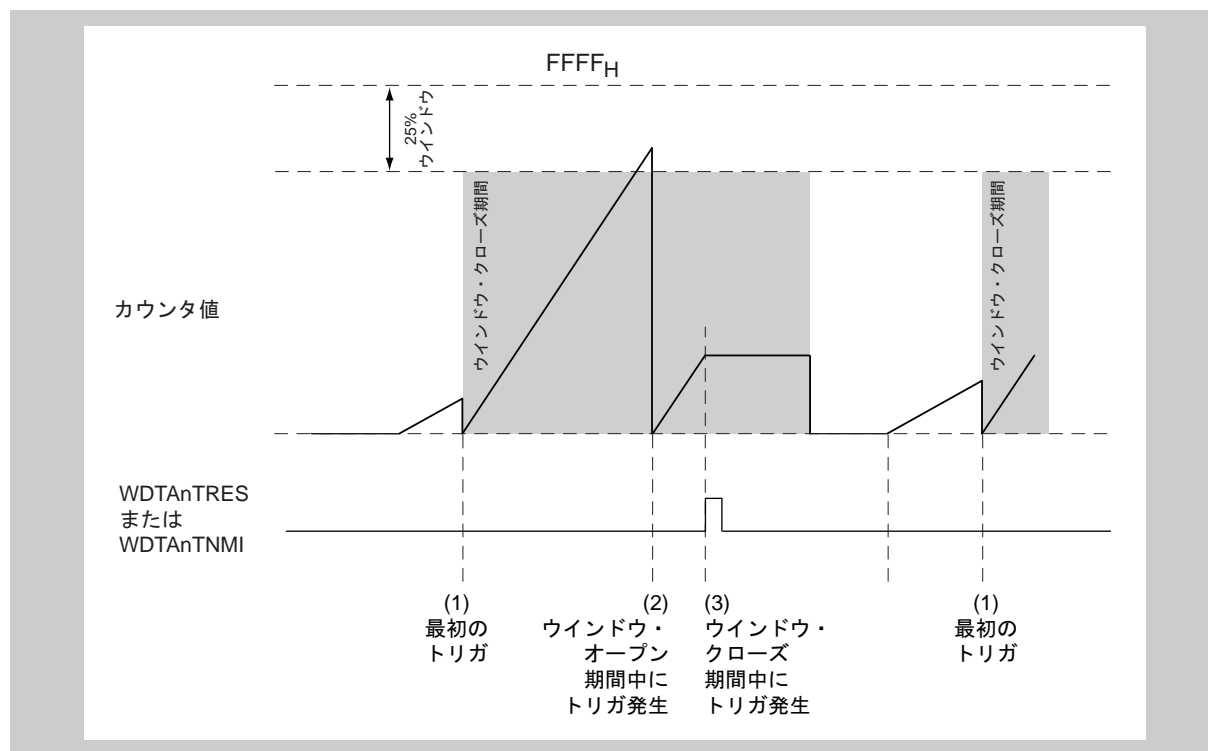


図 14-6 WDTA ウィンドウ機能のタイミング図

上記のタイミング図では次の内容を示しています。

- 最初のトリガ発生まで、ウィンドウ・オープン期間は 100%に固定されています。
- ウィンドウ・オープン期間中に発生したトリガではエラーは発生しません。
- ウィンドウ・クローズ期間中にトリガが発生すると、選択した動作モードにより WDTAnTNMI 要求または WDTAnTRES リセットが発生します。

## 14.5 レジスタ

この節では、WDTA のすべてのレジスタについて説明します。

### 14.5.1 WDTA レジスタの概要

WDTA は、次のレジスタで制御、動作します。

表 14-9 WDTA レジスタの概要

レジスタ名	略号	アドレス
WDTA イネーブル・レジスタ	WDTAnWDTE	<WDTAn_base> + 0000 <sub>H</sub>
WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004 <sub>H</sub>
WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008 <sub>H</sub>
WDTA モード・レジスタ	WDTAnMD	<WDTAn_base> + 000C <sub>H</sub>

## 14.5.2 WDTA レジスタの詳細

### (1) WDTA イネーブル・レジスタ (WDTAnWDTE)

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA スタート・コントロール／トリガ・レジスタです。

**WDTA トリガ** AC<sub>H</sub> を書き込むことによりカウンタをリスタートします。詳細は 14.4.2 「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 14-12 「WDTAnWDTE の動作」を参照してください。

**アクセス** 8 ビット単位でリード／ライト可能です。

**アドレス** <WDTAn\_base> + 0000<sub>H</sub>

**初期値** 起動オプション（OPWDEN, OPWDTPR, WDTATRTP, OPWDRUN, OPWDVAC）により異なります。表 14-11 「WDTAnRUN の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAn RUN	0	1	0	1	1	1	0	0
	R/W	R	R	R	R	R	R	R

表 14-10 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7	WDTAnRUN	WDTAn の有効／無効を設定します。 0 : WDTAn 無効 1 : WDTAn 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。

**初期値** このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が無効（OPWDVAC = 0）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnRUN ビットの初期値を次の表に示します。

表 14-11 WDTAnRUN の初期値

起動オプション		入力信号	スタート・モード	WDTAnRUN の初期値
OPWDTPR	OPWDRUN	WDTATRTP		
0	0	無視	ソフトウェア・トリガ	0
0	1	無視	自動	1
1	無視	0	ソフトウェア・トリガ	0
1	無視	1	自動	1

リード/ライト・アクセス時の WDTAnWDTE の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 14-12 WDTAnWDTE の動作

OPWDVAC	WDTAnWDTE		備考
	リード時	ライト時	
0	AC <sub>H</sub>	WDTA トリガ AC <sub>H</sub> <sup>a</sup>	VAC 無効 WDTAnWDTE 有効
1	2C <sub>H</sub>	無視	VAC 有効 WDTAnWDTE 無効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

## (2) WDTA モード・レジスタ (WDTAnMD)

オーバフロー・インターバル時間, 75% 割り込み許可 / 禁止, エラー・モード, およびウィンドウ・オープン期間を指定します。

このレジスタの値は, リセット解除後, 最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが, 同値書き込みはできます。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <WDTAn\_base> + 000C<sub>H</sub>

**初期値** 起動オプション (OPWDOVF[2:0], OPWDINT, OPWDWS[1:0]) により異なります。WDTA の起動オプションを参照してください。

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	WDTAnOVF[2:0]		WDTAnWIE	WDTAnERM	WDTAnWS[1:0]		
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-13 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
6-4	WDTAnOVF[2:0]	<p>オーバフロー・インターバル時間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフロー・インターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>WDTATCKI / 2<sup>9</sup></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>WDTATCKI / 2<sup>10</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>WDTATCKI / 2<sup>11</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>WDTATCKI / 2<sup>12</sup></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>WDTATCKI / 2<sup>13</sup></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>WDTATCKI / 2<sup>14</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>WDTATCKI / 2<sup>15</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>WDTATCKI / 2<sup>16</sup></td> </tr> </tbody> </table> <p>WDTAnOVF[2:0] のリセット値は起動オプション OPWDOVF[2:0] により異なります。</p>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間	0	0	0	WDTATCKI / 2 <sup>9</sup>	0	0	1	WDTATCKI / 2 <sup>10</sup>	0	1	0	WDTATCKI / 2 <sup>11</sup>	0	1	1	WDTATCKI / 2 <sup>12</sup>	1	0	0	WDTATCKI / 2 <sup>13</sup>	1	0	1	WDTATCKI / 2 <sup>14</sup>	1	1	0	WDTATCKI / 2 <sup>15</sup>	1	1	1	WDTATCKI / 2 <sup>16</sup>
WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間																																			
0	0	0	WDTATCKI / 2 <sup>9</sup>																																			
0	0	1	WDTATCKI / 2 <sup>10</sup>																																			
0	1	0	WDTATCKI / 2 <sup>11</sup>																																			
0	1	1	WDTATCKI / 2 <sup>12</sup>																																			
1	0	0	WDTATCKI / 2 <sup>13</sup>																																			
1	0	1	WDTATCKI / 2 <sup>14</sup>																																			
1	1	0	WDTATCKI / 2 <sup>15</sup>																																			
1	1	1	WDTATCKI / 2 <sup>16</sup>																																			
3	WDTAnWIE	<p>75% 割り込み要求 INTWDTAn の許可 / 禁止</p> <p>0 : INTWDTAn 禁止</p> <p>1 : INTWDTAn 許可</p> <p>WDTAnWIE のリセット値は起動オプション OPWDINT により異なります。</p>																																				

表 14-13 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能															
2	WDTAnERM	エラー・モードを指定します。 0 : NMI 要求モード 1 : リセット・モード (初期値)															
1-0	WDTAnWS[1:0]	<p>ウィンドウ・オープン期間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnWS1</th> <th>WDTAnWS0</th> <th>ウィンドウ・オープン期間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table> <p>WDTAnWS[1:0] のリセット値は起動オプション OPWDWS[1:0] により異なります。</p>	WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間	0	0	25%	0	1	50%	1	0	75%	1	1	100%
WDTAnWS1	WDTAnWS0	ウィンドウ・オープン期間															
0	0	25%															
0	1	50%															
1	0	75%															
1	1	100%															

**(3) WDTA イネーブル VAC レジスタ (WDTAnEVAC)**

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）のスタート・コントロール／トリガ・レジスタです。

**WDTA トリガ** 正しい起動コードを書き込むことによりカウンタをリスタートします。14.4.2「WDTA トリガ」を参照してください。

このレジスタの動作は、VAC 機能の設定によって異なります。表 14-16「WDTAnEVAC の動作」を参照してください。

**アクセス** 8 ビット単位でリード／ライト可能です。

**アドレス** <WDTAn\_base> + 0004<sub>H</sub>

**初期値** 起動オプション（OPWDEN, OPWDTPR, WDTATRTP, OPWDRUN, OPWDVAC）により異なります。表 14-15「WDTAnEVAC7 の初期値」を参照してください。

どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
WDTAnEVAC7	0	1	0	1	1	1	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-14 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7	WDTAnEVAC7	WDTAn の有効／無効を設定します。 0 : WDTAn 無効 1 : WDTAn 有効 WDTA は、一度スタートすると停止することができないため、このビットはリセットでしかクリアできません。したがって、起動コードのビット 7 が 0 の場合でも、WDTA は停止しません。

**初期値** このビットは、WDTA が有効（OPWDEN = 1）かつ VAC が有効（OPWDVAC = 1）の場合のみ有効です。この場合の起動オプションによって異なる WDTAnEVAC7 ビットの初期値を次の表に示します。

表 14-15 WDTAnEVAC7 の初期値

起動オプション		入力信号	スタート・モード	WDTAnEVAC7 の初期値
OPWDTPR	OPWDRUN	WDTATRTP		
0	0	無視	ソフトウェア・トリガ	0
0	1	無視	デフォルト	1
1	無視	0	ソフトウェア・トリガ	0
1	無視	1	デフォルト	1

リード/ライト・アクセス時の WDTAnEVAC の動作は、次の表に示すように、VAC モードの設定によって異なります。

表 14-16 WDTAnEVAC の動作

OPWDVAC	WDTAnEVAC		備考
	リード時	ライト時	
0	2C <sub>H</sub>	無視	VAC 無効
1	最後に書き込まれた VAC	WDTA トリガ VAC <sup>a</sup>	VAC 有効

a) これ以外の値を書き込んだ場合、エラーが検出されます。

#### (4) WDTA 基準値レジスタ (WDTAnREF)

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。14.4.2 「WDTA トリガ」を参照してください。

VAC が無効の場合 (OPWDVAC = 0)、このレジスタを読み出すと 00<sub>H</sub> を返します。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <WDTAn\_base> + 0008<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

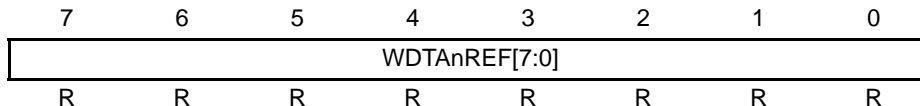


表 14-17 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7-0	WDTAnREF[7:0]	起動コードを求めるための基準値



## 第15章 タイマ・アレイ・ユニットA (TAUA)

この章では、タイマ・アレイ・ユニットA (TAUA) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、TAUA 搭載製品に共通の特徴について説明します。

### 15.1 V850E2/Fx4-H の TAUA の特徴

**ユニット** この製品は次のユニット数の TAUA を搭載しています。

表 15-1 TAUA のユニット数

TAUA	
ユニット数	1
名称	TAUA0

**n の意味** この章では、TAUA の各ユニットを「n」で識別します (n = 0)。たとえば、TAUAN チャネル出力モード・レジスタ (TAUAN TOM) のように記述しています。

**m の意味** TAUA には 16 本のチャネルがあります。この章では、各チャネルを「m」で識別しており (m = 0-15)、特定のチャネルを CHm のように記述しています。偶数チャネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm\_even と記述します。奇数チャネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm\_odd と記述します。

**レジスタ・アドレス** TAUAN レジスタのアドレスは、それぞれのベース・アドレス <TAUAN\_base> からのオフセットで表されます。各 TAUAN のレジスタ・ベース・アドレス <TAUAN\_base> を次の表に示します。

表 15-2 レジスタ・ベース・アドレス <TAUAN\_base>

TAUAN	<TAUAN_base> アドレス
TAUA0	FF80 8000 <sub>H</sub>

**クロック供給** TAUA には次の 1 つのクロック入力があります。

表 15-3 TAUAN クロック供給

TAUAN	クロック	接続先
TAUA0	PCLK	クロック発生回路 CKSCLK_006

**割り込みと DMA** TAUA は次の割り込み要求と DMA 要求を発生させることができます。

表 15-4 TAUA<sub>n</sub> 割り込みと DMA の要求

TAUA <sub>n</sub> 信号	機能	接続先
<b>TAUA0:</b>		
INTTAUA0I0-INTTAUA0I7	チャンネル 0-7 割り込み	割り込みコントローラ INTTAUA0I0-INTTAUA0I7
INTTAUA0I8	チャンネル 8 割り込み	割り込みコントローラ INTTAUA0I8 DMA コントローラ・トリガ 12
INTTAUA0I9	チャンネル 9 割り込み	割り込みコントローラ INTTAUA0I9 DMA コントローラ・トリガ 13
INTTAUA0I10	チャンネル 10 割り込み	割り込みコントローラ INTTAUA0I10 DMA コントローラ・トリガ 14 DTS コントローラ・トリガ 40
INTTAUA0I11	チャンネル 11 割り込み	割り込みコントローラ INTTAUA0I11 DMA コントローラ・トリガ 15 DTS コントローラ・トリガ 41
INTTAUA0I12	チャンネル 12 割り込み	割り込みコントローラ INTTAUA0I12 DMA コントローラ・トリガ 16 DTS コントローラ・トリガ 42
INTTAUA0I13	チャンネル 13 割り込み	割り込みコントローラ INTTAUA0I13 DMA コントローラ・トリガ 17 DTS コントローラ・トリガ 43
INTTAUA0I14	チャンネル 14 割り込み	割り込みコントローラ INTTAUA0I14 DMA コントローラ・トリガ 18 DTS コントローラ・トリガ 44
INTTAUA0I15	チャンネル 15 割り込み	割り込みコントローラ INTTAUA0I15 DMA コントローラ・トリガ 19 DTS コントローラ・トリガ 45

**TAUA ハードウェア・リセット** TAUA とそのレジスタは、下表に示すリセット信号で初期化されます。

表 15-5 TAUA<sub>n</sub> のリセット信号

TAUA <sub>n</sub>	リセット信号
TAUA0	<ul style="list-style-type: none"> <li>システム・リセット SYSRES</li> <li>DEEPSTOP モードからウエイクアップしたアイソレート 0 領域におけるリセット</li> </ul>

**入出力信号** TAUA の入出力信号を次の表に示します。

表 15-6 TAUA<sub>n</sub> 入出力信号

TAUA 信号	機能	接続先
<b>TAUA0:</b>		
TAUA0TTIN0	チャンネル 0 入力	Port TAUA0I0 / FCN0 TSOUT / port URTE10RX
TAUA0TTIN1	チャンネル 1 入力	Port TAUA0I1 / FCN1 TSOUT / port URTE11RX
TAUA0TTIN2 ~ TAUA0TTIN15	チャンネル 2 ~ 15 入力	Port TAUA0I2 ~ TAUA0I15
TAUA0TTOUT0 ~ TAUA0TTOUT15	チャンネル 0 ~ 15 出力	Port TAUA0O0 ~ TAUA0O15

TAUAn 割り込みと入出力信号を次の図に示します。

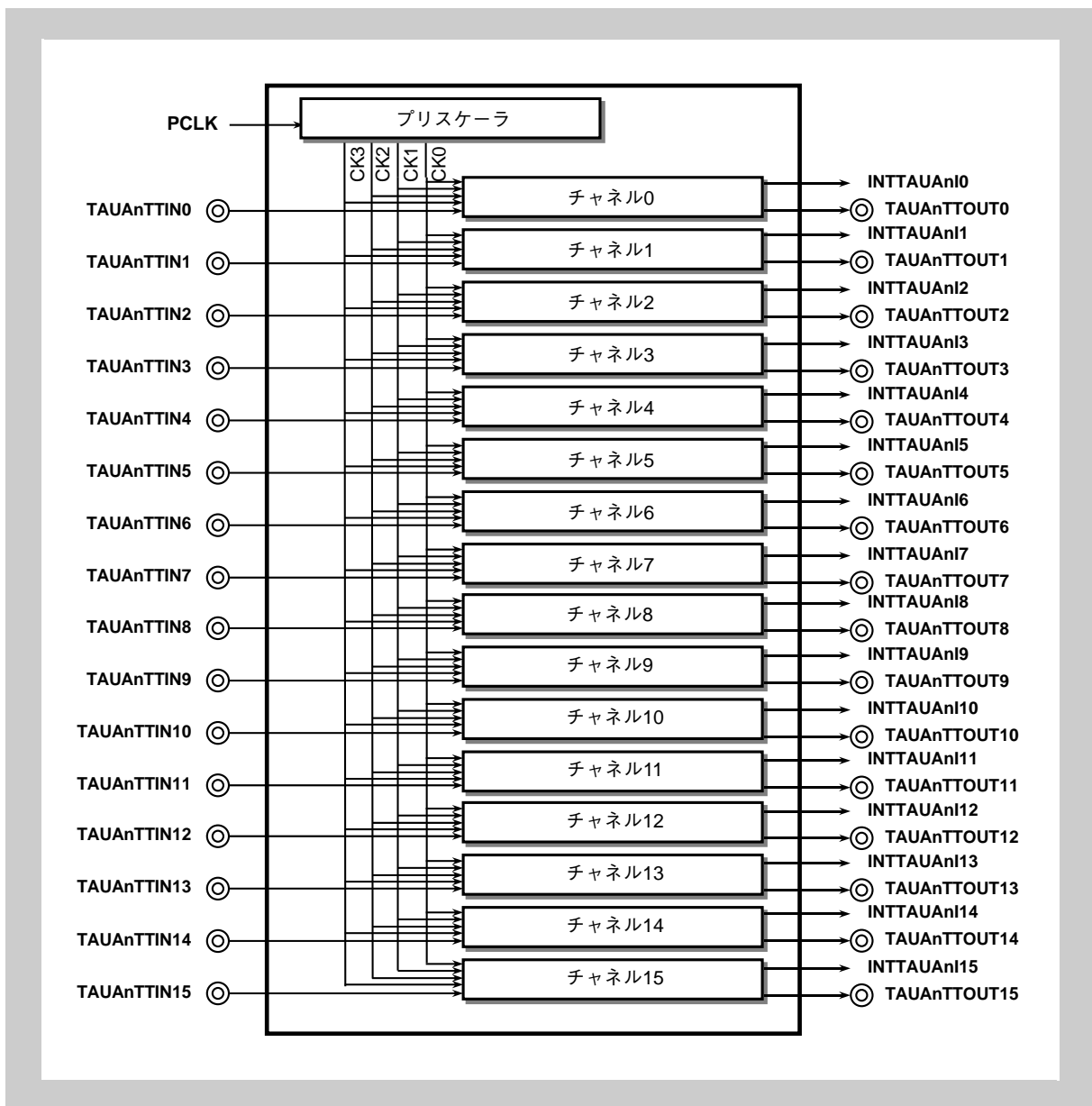


図 15-1 TAUA 入出力と割り込み信号

## 15.2 TAUA 入力の選択

### 15.2.1 TAUA0 入力の選択

TAUA0 には、次のように入力信号を接続するいくつかのオプションがあります。

- タイミング測定のための FCN0, FCN1, FCN2, FCN3, DCN0 タイム・スタンプ出力信号
- ボー・レート測定のための URTE8-URTE11 データ受信信号 (URTE<sub>n</sub>RX)

次の図は TAUA0 入力の選択スキーマを表します。

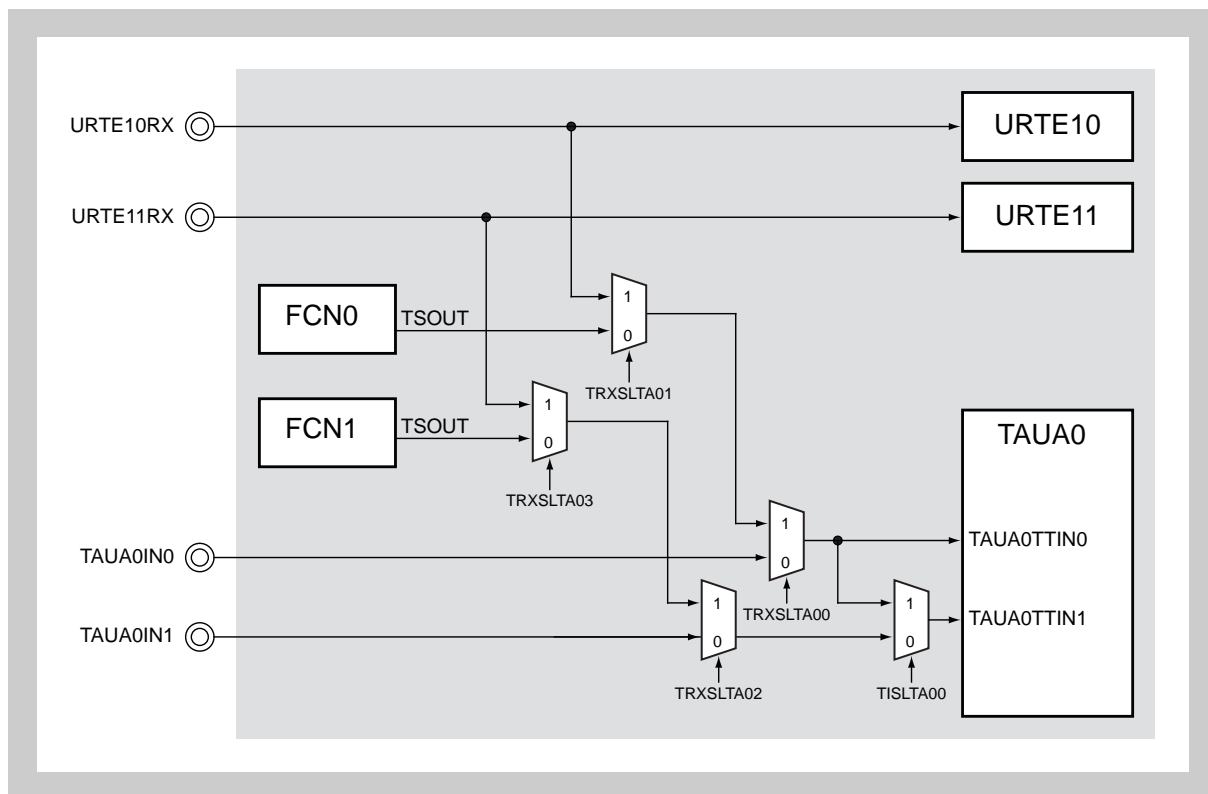


図 15-2 TAUA0 入力の選択

以下の表に TAUAn 入力へのオプションの入力を示します。

表 15-7 TAUA0 入力の選択 -TAUA0TTIN0/1

TAUA0 入力	入力オプション	選択制御	
		TISLTA0 レジスタ・ビット	TRXSLTA0 レジスタ・ビット
TAUA0TTIN 0	ポート TAUA0I0	X	TRXSLTA0[1:0] = x0 <sub>B</sub>
	FCN0 TSOUT (CAN I/F 0 タイム・スタンプ出力)		TRXSLTA0[1:0] = 01 <sub>B</sub>
	ポート URTE10RX (UART10 データ受信信号)		TRXSLTA0[1:0] = 11 <sub>B</sub>
TAUA0TTIN 1	ポート TAUA0I1	TISLTA00 = 0	TRXSLTA0[3:2] = x0 <sub>B</sub>
	FCN1 TSOUT (CAN I/F 1 タイム・スタンプ出力)		TRXSLTA0[3:2] = 01 <sub>B</sub>
	ポート URTE11RX (UART11 データ受信信号)		TRXSLTA0[3:2] = 11 <sub>B</sub>
	TAUA0TTIN0 への入力	TISLTA00 = 1	X
TAUA0TTIN 1	ポート TAUA0I1	TISLTA00 = 0	TRXSLTA0[3:2] = x0 <sub>B</sub>
	FCN1 TSOUT (CAN I/F 1 タイム・スタンプ出力)		TRXSLTA0[3:2] = 01 <sub>B</sub>
	ポート URTE11RX (URTE11 データ受信信号)		TRXSLTA0[3:2] = 11 <sub>B</sub>
	TAUA0TTIN0 への入力	TISLTA00 = 1	X
TAUA0TTIN 2	ポート TAUA0I2	X	TRXSLTA0[4] = 0 <sub>B</sub>
	ポート URTE8RX (URTE8 データ受信信号)		TRXSLTA0[4] = 1 <sub>B</sub>
TAUA0TTIN 3	ポート TAUA0I3	TISLTA01 = 0	TRXSLTA0[5] = 0 <sub>B</sub>
	ポート URTE9RX (URTE9 データ受信信号)		TRXSLTA0[5] = 1 <sub>B</sub>
	TAUA0TTIN2 への入力	TISLTA01 = 1	X

備考 TISLTA0 レジスタの詳細は、(4)「TAUA 入力選択レジスタ (TISLTA0)」を参照してください。

表 15-8 TAUA0 入力の選択 - TAUA0TTIN4 - TAUA0TTIN9

TAUA0 入力	入力オプション	選択制御	
TAUA0TTIN4	ポート TAUA0I4	TISLTA0.TISLTA02 =	x
TAUA0TTIN5	ポート TAUA0I5		0
	ポート TAUA0I4		1
TAUA0TTIN6	ポート TAUA0I6	TISLTA0.TISLTA03 =	x
TAUA0TTIN7	ポート TAUA0I7		0
	ポート TAUA0I6		1
TAUA0TTIN8	ポート TAUA0I8	TISLTA0.TISLTA04 =	x
TAUA0TTIN9	ポート TAUA0I9		0
	ポート TAUA0I8		1

表 15-9 TAUA0 入力の選択 - TAUA0TTIN10 - TAUA0TTIN15

TAUA0 入力	入力オプション	選択制御	
		TISLTA0 レジスタ・ビット	TSOSLTA0 レジスタ・ビット
TAUA0TTIN10	ポート TAUA0I10	X	TSOSLTA0[0] = 0 <sub>B</sub>
	FCN0 TSOUT (FCN0 タイム・スタンプ 出力)		TSOSLTA0[0] = 1 <sub>B</sub>
TAUA0TTIN11	ポート TAUA0I11	TISLTA05 = 0	TSOSLTA0[1] = 0 <sub>B</sub>
	FCN1 TSOUT (FCN1 タイム・スタンプ 出力)		TSOSLTA0[1] = 1 <sub>B</sub>
	Input to TAUA0TTIN10	TISLTA05 = 1	X
TAUA0TTIN12	ポート TAUA0I12	X	TSOSLTA0[2] = 0 <sub>B</sub>
	FCN2 TSOUT (FCN0 タイム・スタンプ 出力)		TSOSLTA0[2] = 1 <sub>B</sub>
TAUA0TTIN13	ポート TAUA0I13	TISLTA06 = 0	TSOSLTA0[3] = 0 <sub>B</sub>
	FCN1 TSOUT (FCN3 タイム・スタンプ 出力)		TSOSLTA0[3] = 1 <sub>B</sub>
	Input to TAUA0TTIN12 への 入力	TISLTA06 = 1	X
TAUA0TTIN14	ポート TAUA0I14	X	X
TAUA0TTIN15	ポート TAUA0I15	TISLTA07 = 0	TSOSLTA0[5] = 0 <sub>B</sub>
	DCN0 TSOUT (DCN0 タイム・スタンプ 出力)		TSOSLTA0[5] = 1 <sub>B</sub>
	Input to TAUA0TTIN14 への 入力	TISLTA07 = 1	X

## (1) TISLTA0 - TAUA0 奇数チャンネル入力選択レジスタ

このレジスタは、TAUA0の奇数チャンネルへの入力信号を選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FF77 1000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
TISLTA07	TISLTA06	TISLTA05	TISLTA04	TISLTA03	TISLTA02	TISLTA01	TISLTA00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-10 TISLTA0 レジスタ

ビット位置	ビット名	機能
7	TISLTA07	TAUA0TTIN15の選択： 0：ポートTAUA015またはDCN0タイム・スタンプTSOUT <sup>a</sup> 1：TAUA0TTIN14入力
6	TISLTA06	TAUA0TTIN13の選択： 0：PortTAUA013またはFCN3タイム・スタンプTSOUT <sup>a</sup> 1：TAUA0TTIN12入力
5	TISLTA05	TAUA0TTIN11の選択： 0：ポートTAUA011またはFCN1タイム・スタンプTSOUT <sup>a</sup> 1：TAUA0TTIN10入力
4	TISLTA04	TAUA0TTIN9の選択： 0：ポートTAUA019 1：TAUA0TTIN8入力
3	TISLTA03	TAUA0TTIN7の選択： 0：ポートTAUA017 1：TAUA0TTIN6入力
2	TISLTA02	TAUA0TTIN5の選択： 0：ポートTAUA015 1：TAUA0TTIN4入力
1	TISLTA01	TAUA0TTIN3の選択： 0：ポートTAUA013またはポートURTE9RX <sup>b</sup> 1：TAUA0TTIN2入力
0	TISLTA00	TAUA0TTIN1の選択： 0：ポートTAUA011またはFCN1タイム・スタンプTSOUT <sup>b</sup> 1：TAUA0TTIN0入力

a) TSOSLTA0 レジスタの説明を参照

b) TRXSLTA0 レジスタの説明を参照



## (2) TRXSLTA0 - TAUA0 受信入力選択レジスタ

このレジスタは、他の機能モジュール (FCN, URTE) に関連する信号からの複数の TAUA<sub>n</sub> 入力への入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 1004<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	TRXSLTA0[3:2]	TRXSLTA0[1:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-11 TRXSLTA0 レジスタ

ビット位置	ビット名	機能										
1, 0	TRXSLT A0[1:0]	TAUA0TTIN0 の選択 : <table border="1"> <thead> <tr> <th>TRXSLTA0[1:0]</th> <th>TAUA0TTIN0</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>Port TAUA0I0</td> </tr> <tr> <td>10<sub>B</sub></td> <td></td> </tr> <tr> <td>01<sub>B</sub></td> <td>FCN0 TSOUT</td> </tr> <tr> <td>11<sub>B</sub></td> <td>Port URTE10RX</td> </tr> </tbody> </table>	TRXSLTA0[1:0]	TAUA0TTIN0	00 <sub>B</sub>	Port TAUA0I0	10 <sub>B</sub>		01 <sub>B</sub>	FCN0 TSOUT	11 <sub>B</sub>	Port URTE10RX
TRXSLTA0[1:0]	TAUA0TTIN0											
00 <sub>B</sub>	Port TAUA0I0											
10 <sub>B</sub>												
01 <sub>B</sub>	FCN0 TSOUT											
11 <sub>B</sub>	Port URTE10RX											
3, 2	TRXSLT A0[3:2]	TAUA0TTIN1 の選択 : <table border="1"> <thead> <tr> <th>TRXSLTA0[3:2]</th> <th>TAUA0TTIN1</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>Port TAUA0I1</td> </tr> <tr> <td>10<sub>B</sub></td> <td></td> </tr> <tr> <td>01<sub>B</sub></td> <td>FCN1 TSOUT</td> </tr> <tr> <td>11<sub>B</sub></td> <td>Port URTE11RX</td> </tr> </tbody> </table>	TRXSLTA0[3:2]	TAUA0TTIN1	00 <sub>B</sub>	Port TAUA0I1	10 <sub>B</sub>		01 <sub>B</sub>	FCN1 TSOUT	11 <sub>B</sub>	Port URTE11RX
TRXSLTA0[3:2]	TAUA0TTIN1											
00 <sub>B</sub>	Port TAUA0I1											
10 <sub>B</sub>												
01 <sub>B</sub>	FCN1 TSOUT											
11 <sub>B</sub>	Port URTE11RX											

## (3) TSOSLTA0 - TAUA0 入力選択レジスタ

このレジスタは、他の機能モジュール (FCN, URTE) に関連する信号からの複数の TAUA<sub>n</sub> 入力への入力信号を選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FF77 2014<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	TSOSLTA 05	TSOSLTA 04	TSOSLTA 03	TSOSLTA 02	TSOSLTA 01	TSOSLTA 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-12 TSOSLTA0 レジスタ

ビット位置	ビット名	機能						
5	TSOSLTA 05	TAUA0TTIN15 入力の選択 ( TISLTA0.TISLTA07 入力) : <table border="1"> <thead> <tr> <th>TSOSLTA05</th> <th>TAUA0TTIN15 セレクタ入力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUA0I15</td> </tr> <tr> <td>1</td> <td>DCN0 タイム・スタンプ TSOUT</td> </tr> </tbody> </table>	TSOSLTA05	TAUA0TTIN15 セレクタ入力	0	Port TAUA0I15	1	DCN0 タイム・スタンプ TSOUT
TSOSLTA05	TAUA0TTIN15 セレクタ入力							
0	Port TAUA0I15							
1	DCN0 タイム・スタンプ TSOUT							
4	TSOSLTA 04	TAUA0TTIN14 への信号入力の選択。詳細は第 20 章「タイマ・オプション機能 (TAPA)」を参照。						
3	TSOSLTA 03	TAUA0TTIN13 入力の選択 ( TISLTA0.TISLTA06 入力) : <table border="1"> <thead> <tr> <th>TSOSLTA03</th> <th>TAUA0TTIN13 セレクタ入力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUA0I13</td> </tr> <tr> <td>1</td> <td>FCN3 タイム・スタンプ TSOUT</td> </tr> </tbody> </table>	TSOSLTA03	TAUA0TTIN13 セレクタ入力	0	Port TAUA0I13	1	FCN3 タイム・スタンプ TSOUT
TSOSLTA03	TAUA0TTIN13 セレクタ入力							
0	Port TAUA0I13							
1	FCN3 タイム・スタンプ TSOUT							
2	TSOSLTA 02	TAUA0TTIN12 の選択 : <table border="1"> <thead> <tr> <th>TSOSLTA02</th> <th>TAUA0TTIN12</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUA0I12</td> </tr> <tr> <td>1</td> <td>FCN2 タイム・スタンプ TSOUT</td> </tr> </tbody> </table>	TSOSLTA02	TAUA0TTIN12	0	Port TAUA0I12	1	FCN2 タイム・スタンプ TSOUT
TSOSLTA02	TAUA0TTIN12							
0	Port TAUA0I12							
1	FCN2 タイム・スタンプ TSOUT							
1	TSOSLTA 01	TAUA0TTIN11 入力の選択 ( TISLTA0.TISLTA05 入力) : <table border="1"> <thead> <tr> <th>TSOSLTA01</th> <th>TAUA0TTIN11 セレクタ入力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUA0I11</td> </tr> <tr> <td>1</td> <td>FCN1 タイム・スタンプ TSOUT</td> </tr> </tbody> </table>	TSOSLTA01	TAUA0TTIN11 セレクタ入力	0	Port TAUA0I11	1	FCN1 タイム・スタンプ TSOUT
TSOSLTA01	TAUA0TTIN11 セレクタ入力							
0	Port TAUA0I11							
1	FCN1 タイム・スタンプ TSOUT							
0	TSOSLTA 00	TAUA0TTIN12 の選択 : <table border="1"> <thead> <tr> <th>TSOSLTA00</th> <th>TAUA0TTIN12</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Port TAUA0I12</td> </tr> <tr> <td>1</td> <td>FCN0 タイム・スタンプ TSOUT</td> </tr> </tbody> </table>	TSOSLTA00	TAUA0TTIN12	0	Port TAUA0I12	1	FCN0 タイム・スタンプ TSOUT
TSOSLTA00	TAUA0TTIN12							
0	Port TAUA0I12							
1	FCN0 タイム・スタンプ TSOUT							

## 15.3 機能概要

**機能概要** TAUA には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUA の主な構成要素を次の図に示します。

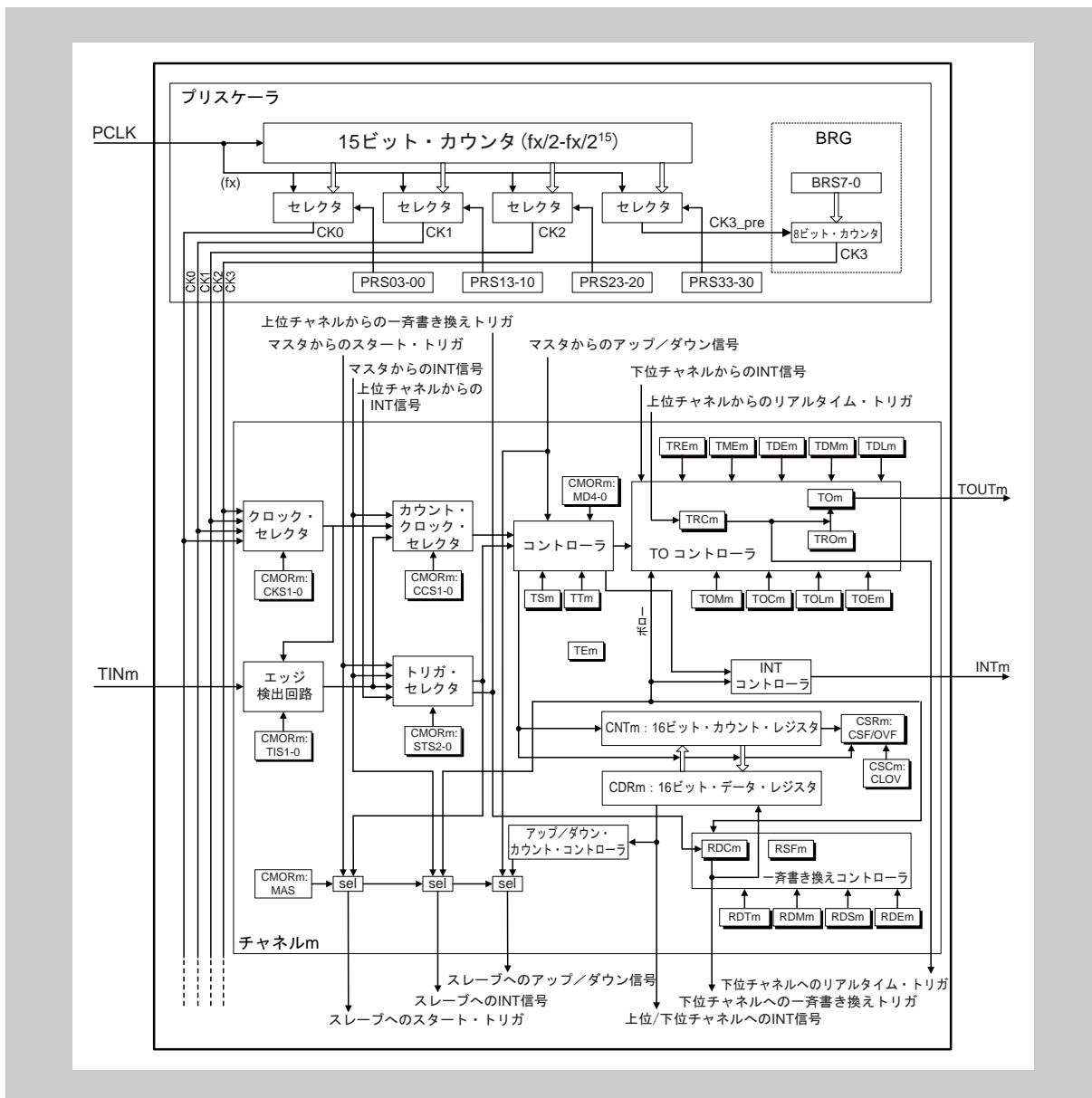


図 15-3 TAUA のブロック図

レジスタ名の「TAUA<sub>n</sub>」は、図を見やすくするために省略されています。

### 15.3.1 用語

この章で使用されている用語について説明します。

- チャンネル単体／連動動作

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- チャンネル・グループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- 動作モード

チャンネル  $m$  ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、イベント・カウント・モード、インターバル・タイマ・モードなどがあります。

- チャンネル出力モード

チャンネル出力モードは、次のチャンネルの  $TAUAnTTOUm$  の動作を規定します。

- 1つのチャンネル（単体出力動作）
  - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル単体出力モード1、デッド・タイム出力付きチャンネル連動動作モード2などがあります。

- チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- 上位／下位チャンネル

チャンネル  $m$  から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

## 15.4 機能説明

TAUA は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための16ビット・カウンタ TAUAnCNTm と16ビット・データ・レジスタ TAUAnCDRm をそれぞれ備えた16チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

### 単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

### プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK2 は、プリスケアラにより PCLK の  $2^0$ - $2^{15}$  の分周したクロックを選択することができます。4つ目のカウント・クロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

### クロックおよび カウント・クロック の選択

クロック・カウント・セレクタは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクタにより選択)
- マスタ・チャンネルからの INTTAUAnIm
- TAUAnTTINm 入力信号の有効エッジ

### コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUAnCMORm.TAUAnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUAnTS.TAUAnTSm) およびカウント停止 (TAUAnTT.TAUAnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUAnTE.TAUAnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタ・チャンネルにより制御可能)

- トリガ・セレクタ** 選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUAnTE.TAUAnTE<sub>m</sub> = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。
- チャンネル連動スタート・トリガ入力 TAUAnTSST<sub>m</sub>  
TAUAnTTIN<sub>m</sub> 入力の有効エッジ
  - マスタ、または上位チャンネルからの INTTAUAnI<sub>m</sub>
  - マスタ・チャンネルのアップ/ダウン出力トリガ信号
  - TAUAnTTOU<sub>m</sub> 生成ユニットのデッド・タイム出力信号
- 一斉書き換えコントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUAnCDR<sub>m</sub>) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUAnTOコントローラ** 各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

### 15.4.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 15-13 TAUA 動作機能一覧 (1/2)

単体動作機能	設定例
チャンネル単体割り込み機能	15.16 章
インターバル・タイマ機能	15.16.1 章
TAUAnTTINm 入力インターバル・タイマ機能	15.16.2 章
ディレイ・カウント機能	15.16.3 章
ワンパルス出力機能	15.16.4 章
チャンネル単体信号測定機能	15.17 章
TAUAnTTINm 入力パルス・インターバル測定機能	15.17.1 章
TAUAnTTINm 入力信号幅測定機能	15.17.2 章
オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)	15.17.3 章
TAUAnTTINm 入力期間カウント検出機能	15.17.4 章
オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)	15.17.5 章
TAUAnTTINm 入力パルス・インターバル判定機能	15.17.6 章
TAUAnTTINm 入力信号幅判定機能	15.17.7 章
チャンネル単体リアルタイム機能	15.18 章
リアルタイム出力機能 タイプ 1	15.18.1 章
リアルタイム出力機能 タイプ 2	15.18.2 章
チャンネル単体一斉書き換え機能	15.19 章
一斉書き換えトリガ生成機能 タイプ 1	15.19.1 章
一斉書き換えトリガ生成機能 タイプ 2	15.19.2 章
チャンネル単体 1 相 PWM 機能	15.20 章
1 相 PWM 出力機能	15.20.1 章
その他チャンネル単体機能	15.21 章
外部イベント・カウント機能	15.21.1 章
クロック分周機能	15.21.2 章
TAUAnTTINm 入力位置検出機能	15.21.3 章



表 15-13 TAUA 動作機能一覧 (2/2)

連動動作機能	設定例
チャンネル連動動作機能	15.23 章
PWM 出力機能	15.23.1 章
トリガ・スタート PWM 出力機能	15.23.2 章
ディレイ・パルス出力機能	15.23.3 章
A/D 変換トリガ出力機能タイプ 1	15.23.4 章
外部信号でトリガされる連動 PWM 信号機能	15.24 章
ワンショット・パルス出力機能	15.24.1 章
オフセット・トリガ出力機能	15.24.2 章
同期三角波 PWM 出力機能	15.25 章
三角波 PWM 出力機能	15.25.1 章
デッド・タイム付き三角波 PWM 出力機能	15.25.2 章
A/D 変換トリガ出力機能タイプ 2	15.25.3 章
同期リアルタイム出力機能	15.26 章
同期リアルタイム出力機能タイプ 1	15.26.1 章
同期リアルタイム出力機能タイプ 2	15.26.2 章
同期リアルタイム出力機能タイプ 3	15.26.3 章
連動非相補方式変調出力機能と連動相補方式変調出力機能	15.27 章
非相補方式変調出力機能タイプ 1	15.27.1 章
非相補方式変調出力機能タイプ 2	15.27.2 章
相補方式変調出力機能	15.27.3 章
その他のチャンネル連動機能	15.27 章
割り込み信号間引き機能	15.27.1 章

## 15.5 基本操作手順

TAUAnの基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUAnTTOUTmの制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUAnTPSとTAUAnBRSレジスタを設定してCK0-CK3のクロック周波数を指定してください。
2. 任意のTAUAn機能を設定してください。
  - 動作モードを設定してください。
  - チャンネル出力モードを設定してください。
  - その他の制御ビットを設定してください。
3. TAUAnTS.TAUAnTSMビットを1に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。  
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUAnTT.TAUAnTTmビットを1に設定して機能を停止してください。

**備考** 必要な制御ビットと各機能の動作の詳細は、15.15「チャンネル単体動作機能」と15.22「チャンネル連動動作機能」を参照してください。

## 15.6 動作モード

TAUA には 12 の動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、TAUAnCMORm.TAUAnMD[4:0] ビットで指定します。

**備考** 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

## 15.7 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、15.7.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 15.7.2「連動チャンネル・カウンタの同時動作開始/停止」
- 15.8「一斉書き換え」

### 15.7.1 ルール

#### マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2, CH4, ...) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。  
例：CH2がマスタ・チャンネルの場合、CH3以下 (CH3, CH4, CH5, ...) をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを複数使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。  
例：CH0, CH4がマスタ・チャンネルの場合、CH0に対してCH1-CH3までをスレーブ・チャンネルとして設定できますが、CH5-CH15は設定できません。

#### 動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUAnCMORm.TAUAnCKs[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

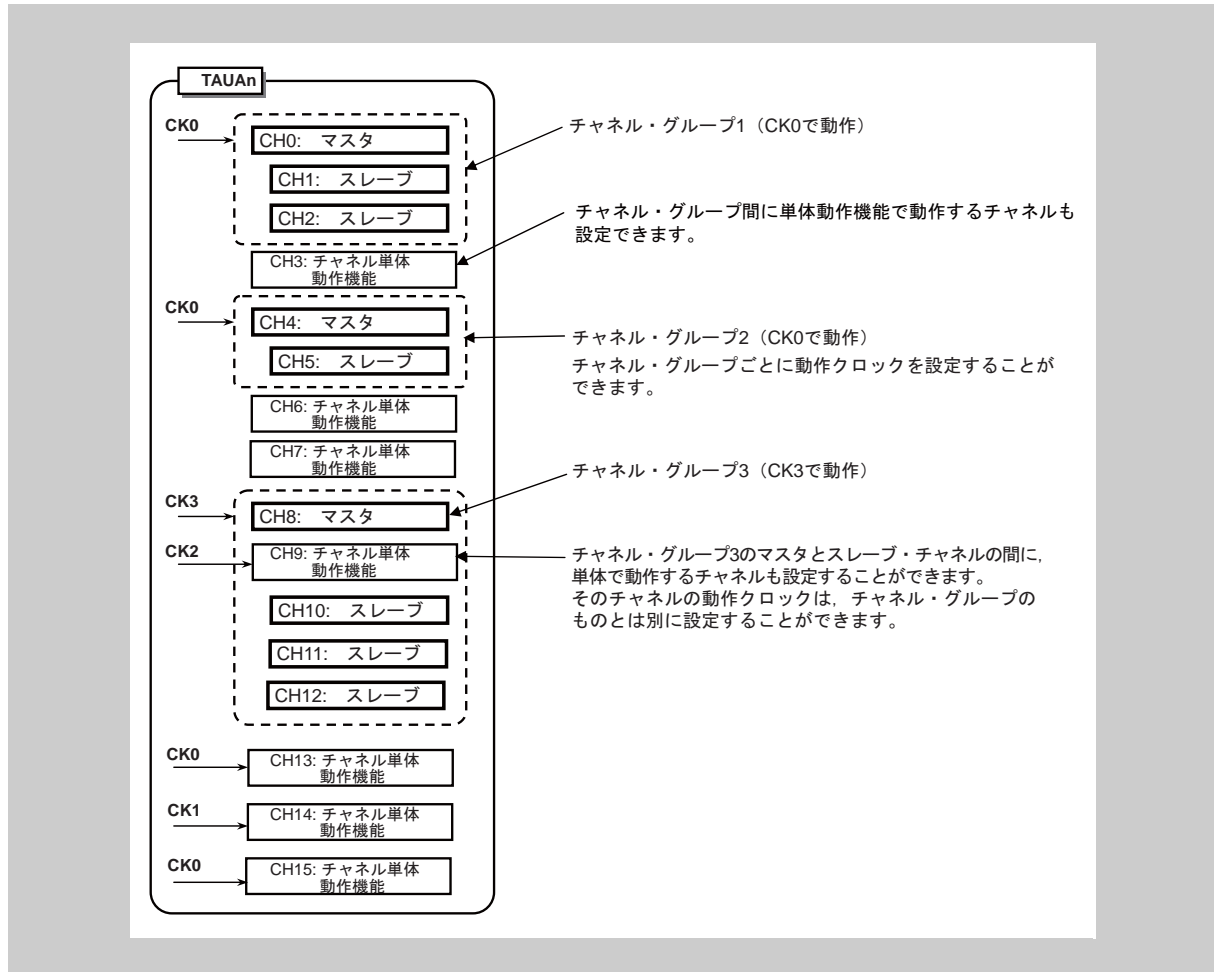


図 15-4 チャンネルのグループ化と動作クロックの割り当て

#### マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号Iを使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

## 15.7.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

### (1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらのTAUAnTS.TAUAnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらのTAUAnTT.TAUAnTTm ビットを同時に設定する必要があります。

TAUAnTS.TAUAnTSm ビットに1を設定することにより、対応するTAUAnTE.TAUAnTEm ビットが1にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

### (2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

## 15.8 一斉書き換え

### 15.8.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUAnCDRm, TAUAnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタ・チャンネルまたは上位チャンネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUAnRDC.TAUAnRDCm で指定された上位チャンネルにて INTTAUAnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 15-14 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUAnR DE. TAUAnR DEm	TAUAnR DS. TAUAnR DSm	TAUAnR DM. TAUAnR DMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1	0	0
B	スレーブ・チャンネルの三角波周期の [ 山 ] のタイミングでダウン・カウントを開始した場合	1	0	1
C1	TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合	1	1	0
C2	外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合	1	1	1

4つの方法のうち、各チャネル動作機能で使用できる方法を次の表に示します。各チャネル動作機能の詳細は、15.15「チャネル単体動作機能」と15.22「チャネル連動動作機能」を参照してください。

表 15-15 一斉書き換え方法とトリガ・タイミング

機能	A	B	C1	C2
一斉書き換えトリガ出力機能タイプ1			X	
PWM 出力機能	X		X	
ワンショット・パルス出力機能	X			
トリガ・スタート PWM 出力機能	X			X
ディレイ・パルス出力機能	X			
三角波 PWM 出力機能		X	X	
デッド・タイム付き三角波 PWM 出力機能		X	X	
割り込み信号間引き機能	X	X	X	
AD 変換トリガ出力機能タイプ1	X		X	
AD 変換トリガ出力機能タイプ2		X	X	
同期リアルタイム出力機能タイプ1	X		X	
同期リアルタイム出力機能タイプ2		X	X	
同期リアルタイム出力機能タイプ3				
非相補方式変調出力機能タイプ1	X		X	
非相補方式変調出力機能タイプ2		X	X	
相補方式変調出力機能		X	X	

備考 X：使用可能 空欄：使用不可能



### 15.8.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

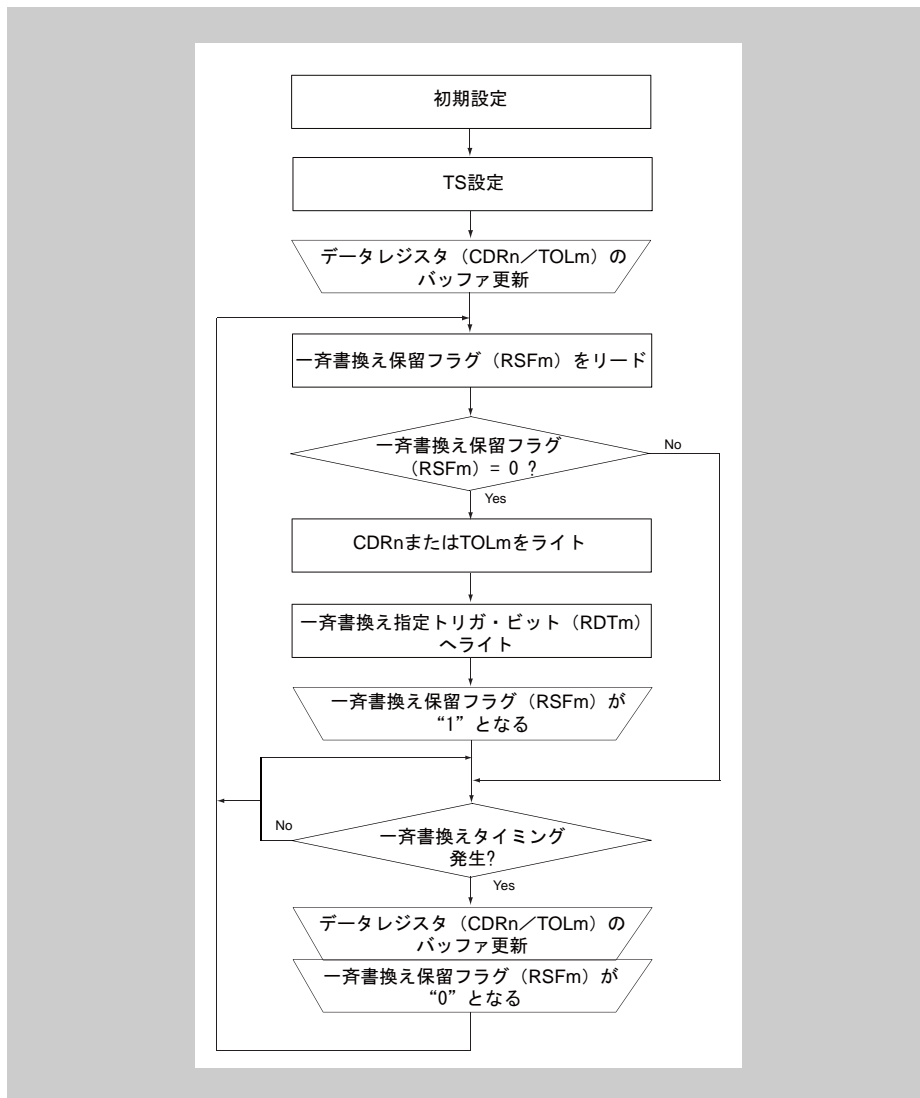


図 15-5 一斉書き換えの基本手順

**(1) 初期設定**

- チャンネル  $m$  にて一斉書き換えを許可するには、  
TAUAnRDE.TAUAnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUAnRDM.TAUAnRDMm と  
TAUAnRDS.TAUAnRDSm を表 15-14 「一斉書き換え方法とトリガ・タイ  
ミング」に示す値に設定してください。
- TAUAnRDC.TAUAnRDCm で、一斉書き換えトリガ生成チャンネルを指定し  
てください（前提：上位チャンネルに TAUAnRDS.TAUAnRDSm が設定され  
ている）。

**(2) カウント開始とカウント動作**

- チャンネル・グループに属するすべての TAUAnCNTm カウンタ動作を開始  
するには、対応する TAUAnTS.TAUAnTSm ビットを 1 に設定してくださ  
い。TAUAnTOL.TAUAnTOLm とデータ・レジスタ (TAUAnCDRm) の値  
は、対応する TAUAnTOL.TAUAnTOLm バッファ  
(TAUAnTOL.TAUAnTOLm buf) とデータ・バッファ・レジスタ  
(TAUAnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に  
設定することにより、リロード・フラグ (TAUAnRSF.TAUAnRSFm) が 1  
に設定され、一斉書き換えが許可されます。TAUAnRSF.TAUAnRSFm は  
一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可  
(TAUAnRSF.TAUAnRSFm = 1) されているかを確認するために  
TAUAnRSF.TAUAnRSFm ビットがチェックされます。一斉書き換えが許  
可されている場合、一斉書き換えが行われます。許可されていない場合、  
一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

**(3) 一斉書き換え**

- 一斉書き換えトリガが検出され、一斉書き換えが許可  
(TAUAnRSF.TAUAnRSFm = 1) されると、データ・レジスタの現在値が  
バッファにコピーされます。これらの値は、対応するカウンタにロードさ  
れ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUAnRSF.TAUAnRSFm ビットは 0 に設定  
され、システムは次の一斉書き換えトリガを待ちます。

### 15.8.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUAnTE.TAUAnTEm = 1) は、TAUAnRDE.TAUAnRDEm, TAUAnRDS.TAUAnRDsm, TAUAnRDM.TAUAnRDm, TAUAnRDC.TAUAnRDCm を変更することはできません。
- TAUAnTOL.TAUAnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUAnTOL.TAUAnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUAnTOUTm は不正な波形を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUAnRDS.TAUAnRDsm = 1)、すべての下位チャンネルは TAUAnRDC.TAUAnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUAnRDC.TAUAnRDCm ビットを 1 に設定し、ほかのチャンネルの TAUAnRDC.TAUAnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3-CH6 を制御し、CH7 は、下位チャンネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUAnRDE.TAUAnRDEm, TAUAnRDS.TAUAnRDsm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUAnRDC.TAUAnRDC[15:0] = 0)、一斉書き換えは行いません。

### 15.8.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

#### (1) マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

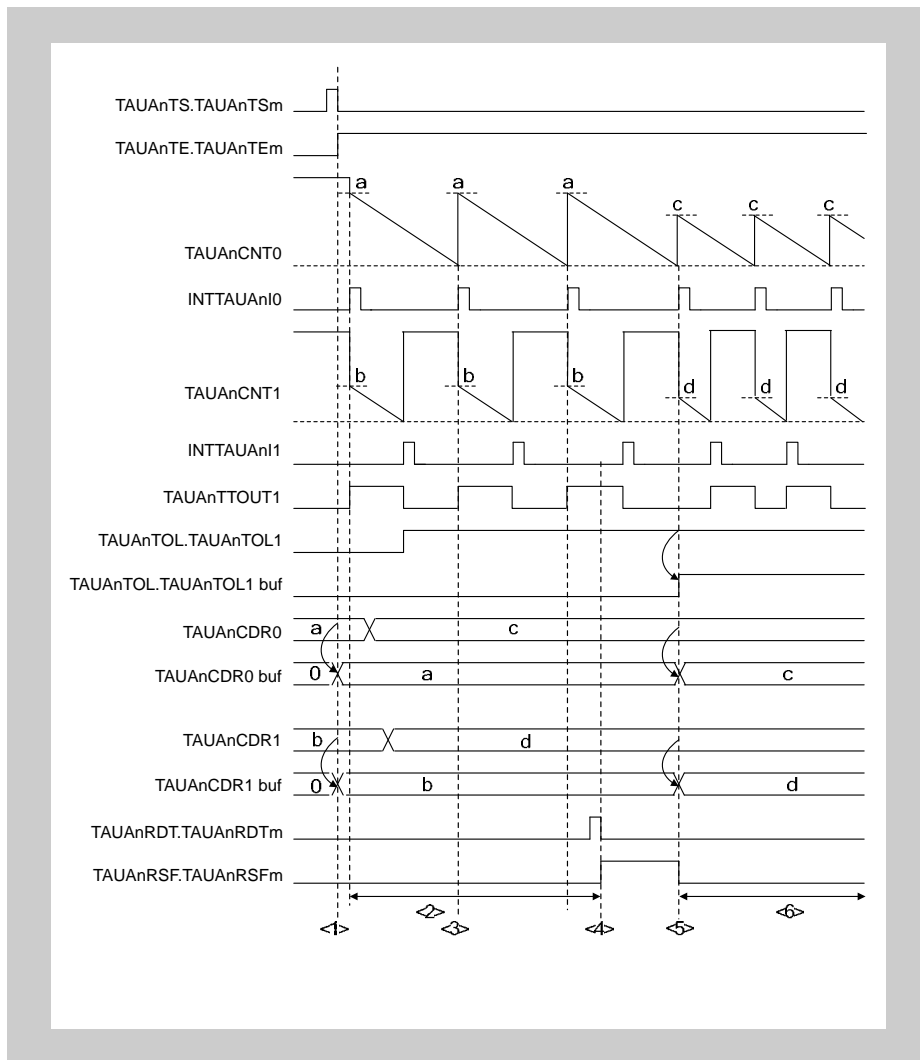


図 15-6 マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 A が適用されます。

説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファに、TAUAnTOL.TAUAnTOLm の値が TAUAnTOL.TAUAnTOLm バッファにコピーされます。
2. TAUAnCDRm と TAUAnTOL.TAUAnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUAnRSF.TAUAnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUAnCDRm の値は TAUAnCDRm バッファに、TAUAnTOL.TAUAnTOLm の値は TAUAnTOL.TAUAnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm と TAUAnTOL.TAUAnTOLm の値は再変更できます。

(2) スレーブ・チャンネルの三角波周期の [ 山 ] のタイミングで一斉書き換え (方法 B)

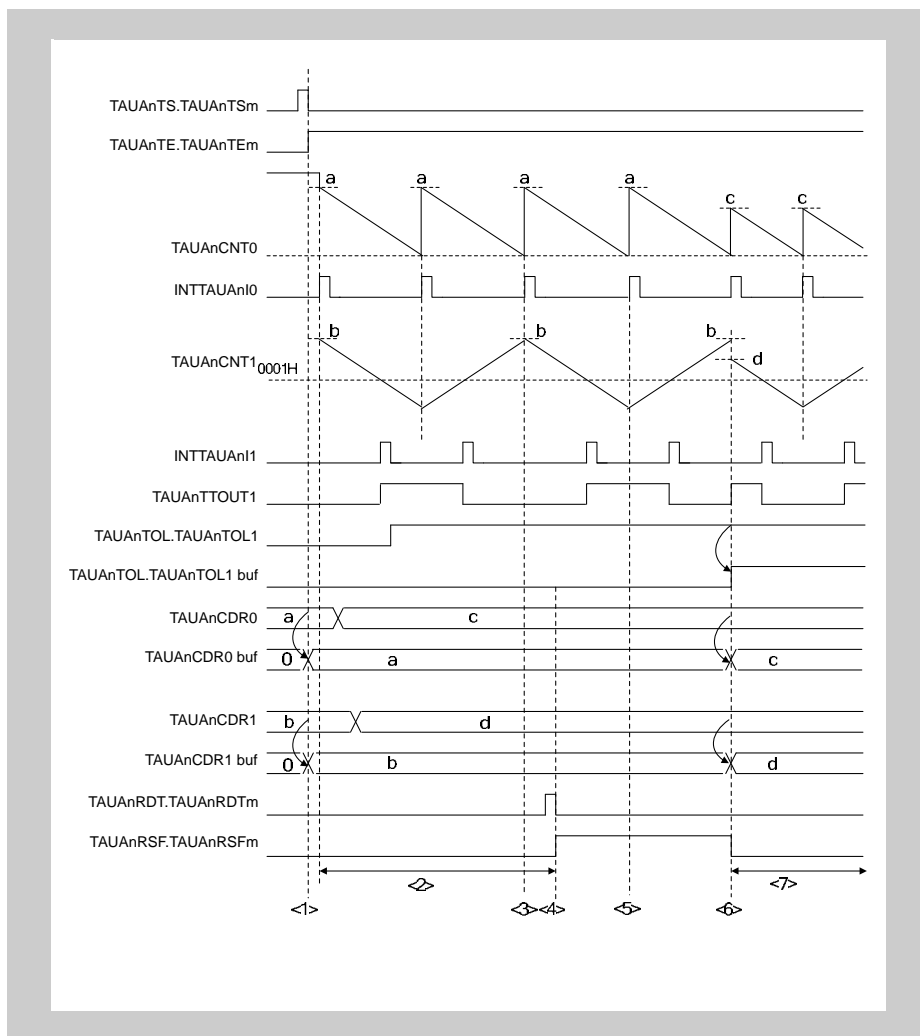


図 15-7 スレーブ・チャンネルの三角波周期の [ 山 ] のタイミングで一斉書き換え

設定

- CH0 は、ダウン/アップ・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 B が適用されます。

説明：

1. TAUAnTS.TAUAnTSm = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファにコピーされます。
2. TAUAnCDRm と TAUAnTOL レジスタは常に書き込めます。
3. 一斉書き換えは許可されていないため行われません (TAUAnRSF.TAUAnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えは、三角波周期の [ 谷 ] のタイミングでは発生しません。
6. 一斉書き換えは、三角波周期の [ 山 ] のスタート・タイミングで行われます。TAUAnCDRm の値は TAUAnCDRm バッファに、TAUAnTOL.TAUAnTOLm の値は TAUAnTOL.TAUAnTOLm バッファにロードされます。
7. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm と TAUAnTOL.TAUAnTOLm の値は再変更できます。

(3) TAUAnRDC.TAUAnRDCm で指定した上位チャネルにて INTTAUAnIm が発生した場合の一斉書き換え (方法 C1)

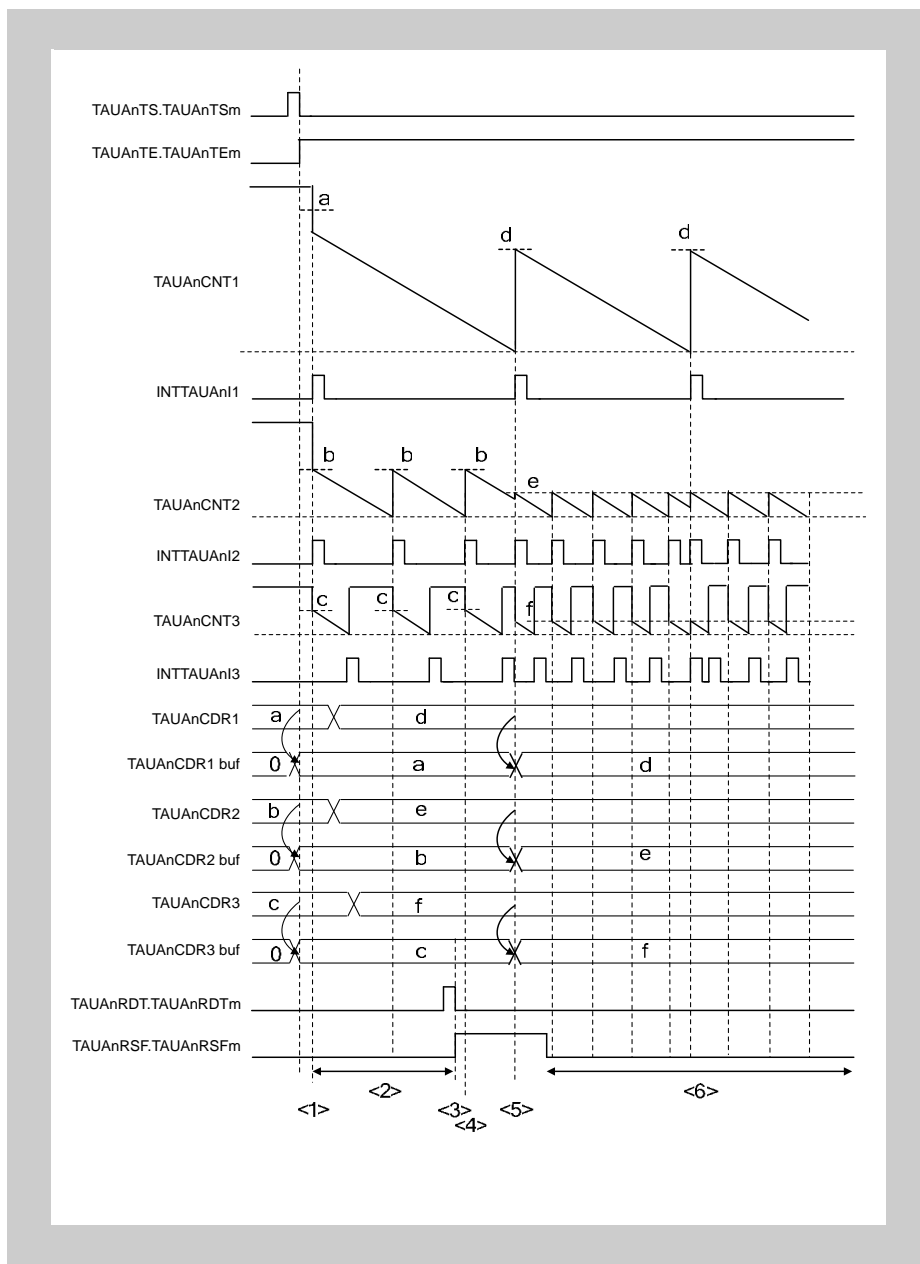


図 15-8 TAUAnRDC.TAUAnRDCm で指定した上位チャネルにて INTTAUAnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャネルです。CH2 は、マスタ・チャネルです。CH3 は、スレーブ・チャネルです。一斉書き換え方法 C1 が適用されます。TAUAnRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。



説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファにコピーされます。
2. TAUAnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、カウンタ 1 が 0000<sub>H</sub> に達したときに発生する INT1 をトリガとして行われます。TAUAnCDRm の値は対応する TAUAnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm レジスタの値は再変更できます。

(4) 外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え (方法 C2)

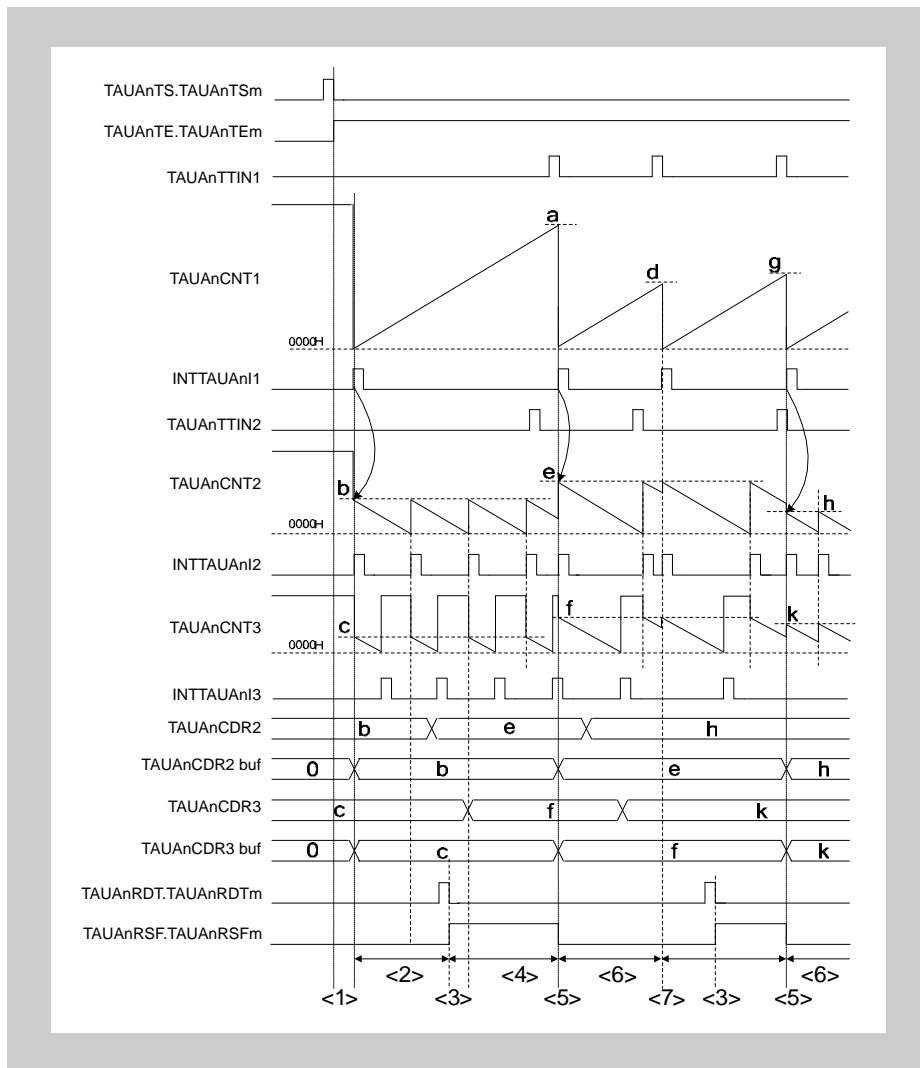


図 15-9 外部信号によりトリガされる TAUAnRDC.TAUAnRDCm で指定した上位チャンネルにて INTTAUAnIm が発生した場合の一斉書き換え

設定

- CH1 は、アップ・カウントを行う上位チャンネルです。CH2 は、マスタ・チャンネルです。CH3 は、スレーブ・チャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUAnRDC レジスタは、INTTAUAnIm トリガにてモニタする上位チャンネルを指定します。

説明：

1. TAUAnTS.TAUAnTSM = 1 に設定すると、TAUAnCDRm の値が TAUAnCDRm バッファにコピーされます。
2. TAUAnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUAnRDT.TAUAnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUAnRSF.TAUAnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUAnCDRm の値は、対応する TAUAnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUAnCDRm レジスタの値は再変更できます。
7. TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUAnRSF.TAUAnRSFm = 0) ため行われません。

## 15.9 チャネル出力モード

TAUAnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUAnTOE.TAUAnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUAnTO.TAUAnTOM) に書き込んだ値は、出力端子 (TAUAnTTOUTm) に転送されます。

- TAUA 信号による制御 (TAUAnTOE.TAUAnTOEm = 1)

TAUA 信号で制御した場合、TAUAnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUAnTTOUTm の値を反映するために、TAUAnTO.TAUAnTOM の値は更新されます。

- 単体制御 (TAUAnTOM.TAUAnTOMm = 0)

単体動作の場合、TAUAnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUAnTOM.TAUAnTOMm = 0) する必要があります。

- 連動制御 (TAUAnTOM.TAUAnTOMm = 1)

連動動作の場合、TAUAnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUAnTOM.TAUAnTOMm = 1)。

TAUAnTO.TAUAnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUAnTTOUTm の現在の値を確認することができます。

**制御ビット** 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 15-16 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 15.9.2 「TAUAn 信号により単体制御されるチャンネル出力モード」
- 15.9.3 「TAUAn 信号により連動制御されるチャンネル出力モード」

**TAUAnTOM ビットの一括操作** TAUAnTOM ビットへの設定値の反映 / 非反映は、TAUAnTOE.TAUAnTOEm ビットにより制御されます。

TAUAnTO レジスタにライトした時に、TAUAnTOE.TAUAnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUAnTOM の設定値の書き込みが行われます。TAUAnTOE.TAUAnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUAnTOM の設定値は反映されません。

**備考** TAUAnTO.TAUAnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

**出力論理** 出力の正論理または反転論理は、制御ビット TAUAnTOL.TAUAnTOLm で指定します。

TAUAnTOL.TAUAnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUAnTOL.TAUAnTOLm を変更すると、TAUAnTOUTm 信号の出力は不定になります。

15.8 「一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを次の表に示します。

表 15-16 チャンネル出力モード

チャンネル出力モード	TAUAn TOE. TAUAn TOEm	TAUAn TOM. TAUAn TOMm	TAUAn TOC. TAUAn TOCm	TAUAn TDE. TAUAn TDEm	TAUAn TRE. TAUAn TREM	TAUAn TME. TAUAn TMEem	TAUAn TDM. TAUAn TDMm
ソフトウェア制御							
ソフトウェア制御のチャンネル単体出力モード	0	X					
TAUA 信号による単体動作制御							
チャンネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャンネル単体出力モード 1					1		
チャンネル単体出力モード 2			1		0		
TAUA 信号による連動動作制御							
チャンネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャンネル連動出力モード 1					1	1	
チャンネル連動出力モード 2			1	0	0	0	0
デッド・タイム出力を行うチャンネル連動出力モード 2				1			
1 相 PWM 出力を行うチャンネル連動出力モード 2							1
相補方式変調出力を行うチャンネル連動出力モード 2					1	1	0
非相補方式変調出力を行うチャンネル連動出力モード 2			1	0			

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

**備考** 次のビットは、カウント動作中 (TAUAnTE.TAUAnTEm = 1) は変更できません。

- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTRE.TAUAnTREM
- TAUAnTDM.TAUAnTDMm

次のビットは、変調出力を行うチャンネル出力モードを除き、カウント動作中 (TAUAnTE.TAUAnTE<sub>m</sub> = 1) は変更できません。

- TAUAnTME.TAUAnTME<sub>m</sub>
- TAUAnTDL.TAUAnTDL<sub>m</sub>

### 15.9.1 チャンネル出力モードを指定するための基本手順

TAUAnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUAnTOE.TAUAnTOEm = 0)。

1. TAUAnTO.TAUAnTOm を設定して TAUAnTTOUTm 出力の初期レベルを指定してください。
2. 表 15-16 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUAnTOL.TAUAnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUAnTS.TAUAnTSm = 1)。

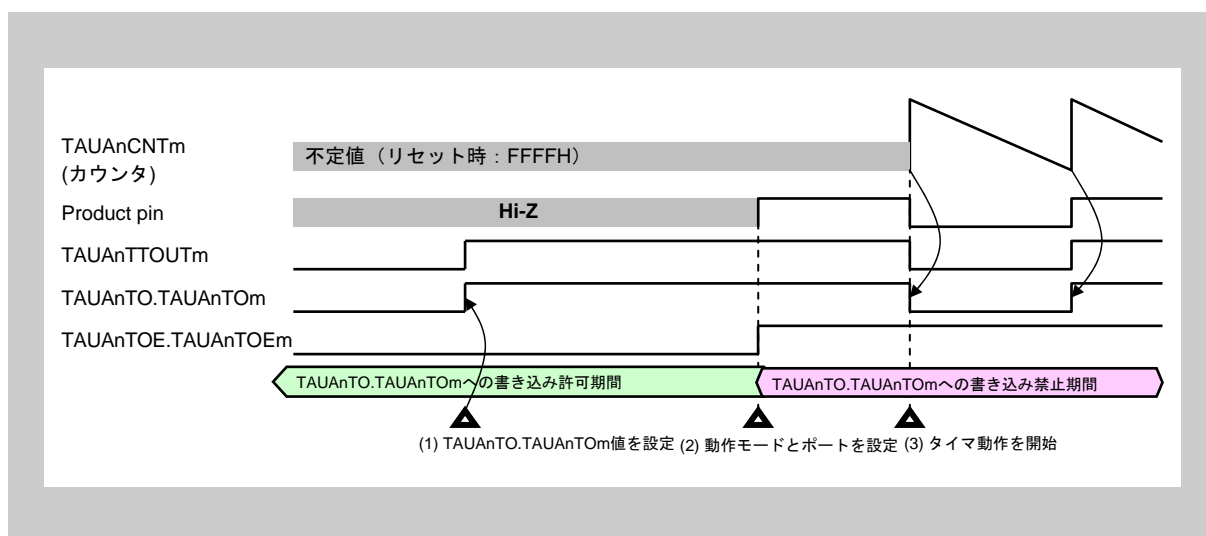


図 15-10 TAUAnTTOUTm チャンネル出力モードを指定するための基本手順

## 15.9.2 TAUAn 信号により単体制御されるチャンネル出力モード

この節では、TAUAn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、表 15-16 「チャンネル出力モード」に示します。

### (1) チャンネル単体出力モード 1

**セット/リセット条件** この出力モードでは、INTTAUAnIm が検出されると TAUAnTTOUTm がトリガされます。TAUAnTOL.TAUAnTOLm の値は無視されます。

**前提条件** 表 15-16 「チャンネル出力モード」に示す条件以外の条件はありません。

### (2) リアルタイム出力を行うチャンネル単体出力モード 1

この出力モードでは、トリガ・チャンネルの TAUAnTRO.TAUAnTROm ビットが TAUAnTTOUTm に出力されます。トリガ・チャンネルは、対応する TAUAnTRC.TAUAnTRCm ビットを 1 に設定することで指定します。トリガ・チャンネルは、TAUAnTRC.TAUAnTRCm = 0 が設定されているすべての下位チャンネルを制御します。

**セット/リセット条件** TAUAnTRO.TAUAnTROm ビットの値は、トリガ・チャンネルで INTTAUAnIm 割り込みが発生した場合にのみ TAUAnTTOUTm に転送されます。INTTAUAnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
  - 有効な TAUAnTTINm 入力エッジ、またはカウント開始の検出
- トリガの種類は、TAUAnCMORm.TAUAnMD[4:1] ビットで設定します。

**前提条件** マスタ・チャンネルおよびスレーブ・チャンネルは、ともにトリガ生成チャンネルとして設定できます。TAUAnTRC.TAUAnTRCm を 1 に設定したチャンネルは、TAUAnTRE.TAUAnTREm の値にかかわらずトリガ生成チャンネルとして動作します。

上位チャンネルの TAUAnTRC.TAUAnTRCm に 1 を設定したチャンネルがない場合、または TAUAnTRC.TAUAnTRC0 = 0 を設定したチャンネルは、リアルタイム出力を行いません。

これを次の図に示します。



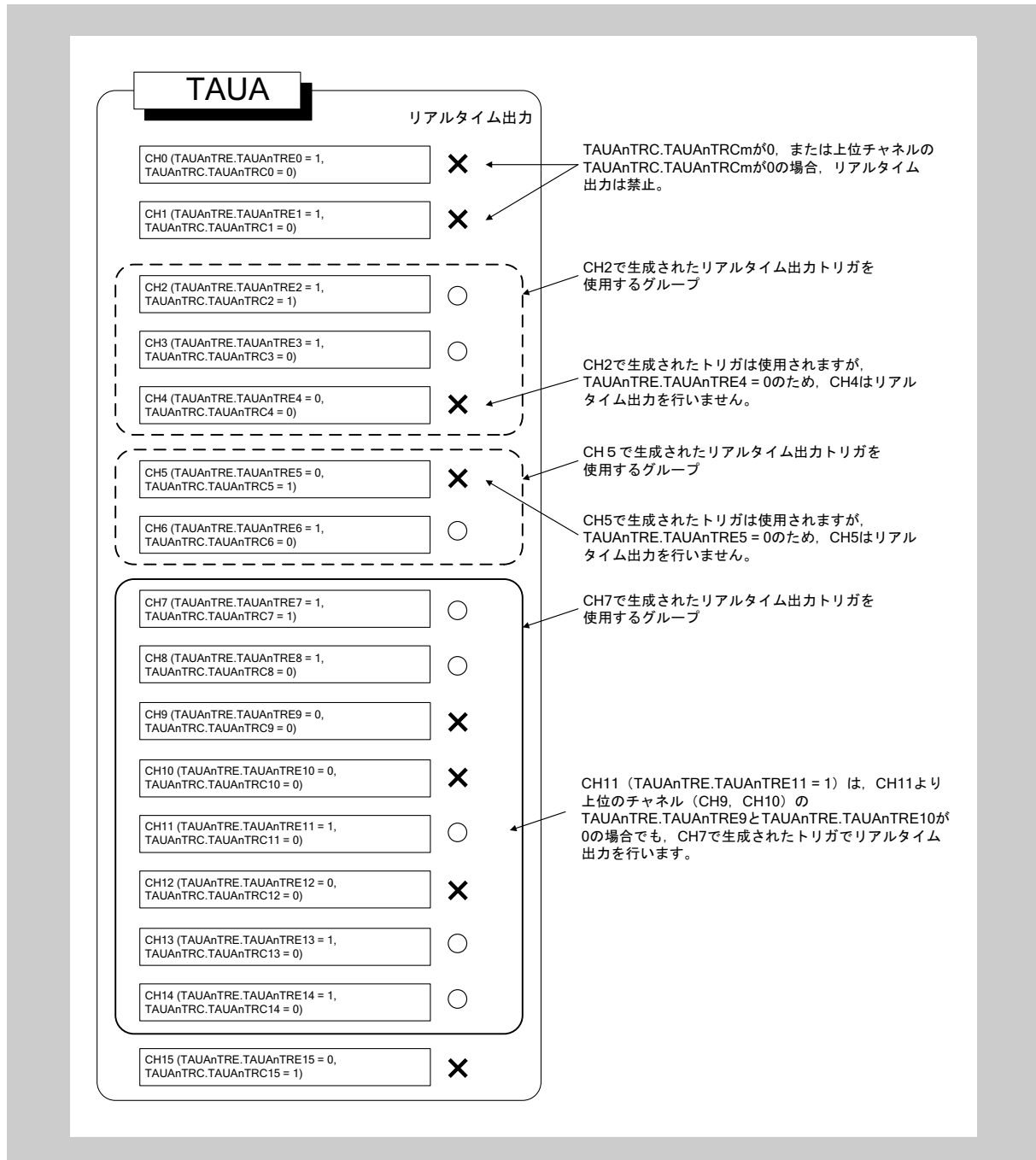


図 15-11 リアルタイム出力

**(3) チャンネル単体出力モード 2**

**セット/リセット条件** この出力モードでは, TAUAnTTOUTm は, カウント開始の INTTAUAnIm 発生でセット, TAUAnCNTm と TAUAnCDRm の一致による INTTAUAnIm 発生でリセットされます。

**前提条件** 表 15-16 「チャンネル出力モード」に示す条件以外の条件はありません。

### 15.9.3 TAUAn 信号により連動制御されるチャンネル出力モード

この節では、TAUAn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、表 15-16 「チャンネル出力モード」に示します。

#### (1) チャンネル連動出力モード 1

**セット/リセット条件** この出力モードでは、マスタ・チャンネルの INTTAUAnIm がセット信号、スレーブ・チャンネルの INTTAUAnIm がリセット信号となります。マスタ・チャンネルの INTTAUAnIm とスレーブ・チャンネルの INTTAUAnIm が同時発生した場合、スレーブ・チャンネルの INTTAUAnIm (リセット信号) は、マスタ・チャンネルの INTTAUAnIm (セット信号) より優先されます (マスタ・チャンネルは無視されます)。

**前提条件** 表 15-16 「チャンネル出力モード」に示す条件以外の条件はありません。

#### (2) 非相補方式変調出力を行うチャンネル連動出力モード 1

**セット/リセット条件** この出力モードでは、TAUAnTTOUm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) 間の AND 演算の結果を出力します。

デッド・タイムが付加される位相は、正相位相の場合は  
 $TAUAnTDL.TAUAnTDLm = 0$ 、逆相位相の場合は  
 $TAUAnTDL.TAUAnTDLm = 1$  を設定してください。

**前提条件** PWM 出力を生成するには 3 つ以上のチャンネル 1 組が必要です。マスタ・チャンネルとスレーブ・チャンネル 1 は周期を生成し、スレーブ・チャンネル 2 はデューティ・サイクルを生成します。代表的なアプリケーションでは、スレーブ・チャンネル 2 と同様に動作するスレーブ・チャンネルをさらに 5 つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem,  
 TAUAnTDL.TAUAnTDLm は、カウント動作中のみ変更できます。

- TAUAnTME.TAUAnTMEem を変更した場合、TAUAnTME.TAUAnTMEem の新しい値は、指定したチャンネルで INTTAUAnIm が検出されたときに適用されます。
- TAUAnTME.TAUAnTMEem と TAUAnTDL.TAUAnTDLm を変更した場合、新しい値は、マスタ・チャンネルで INTTAUAnIm が検出されたときに適用されます。

**(3) チャンネル連動出力モード 2**

この出力モードでは、動作モードをアップ/ダウン・カウント・モードに設定する必要があります。その結果、TAUAnTTOUTm より三角波 PWM が出力されます。詳細は 15.25.1 「三角波 PWM 出力機能」を参照してください。

**セット/リセット条件** スレーブ・チャンネルの TAUAnCNTm は、アップ/ダウン・カウントを繰り返します。カウントが  $0001_H$  を越えると、割り込みを発生し、TAUAnTTOUTm をトグルします。

**前提条件** 三角波 PWM 出力を生成するには 2 つで 1 組のチャンネルが必要です。TAUAnTTOUTm は、機能を開始する前に 0 に設定する必要があります。

**(4) デッド・タイム出力を行うチャンネル連動出力モード 2**

この出力モードでは、TAUAnTTOUTm にデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

**セット/リセット条件**

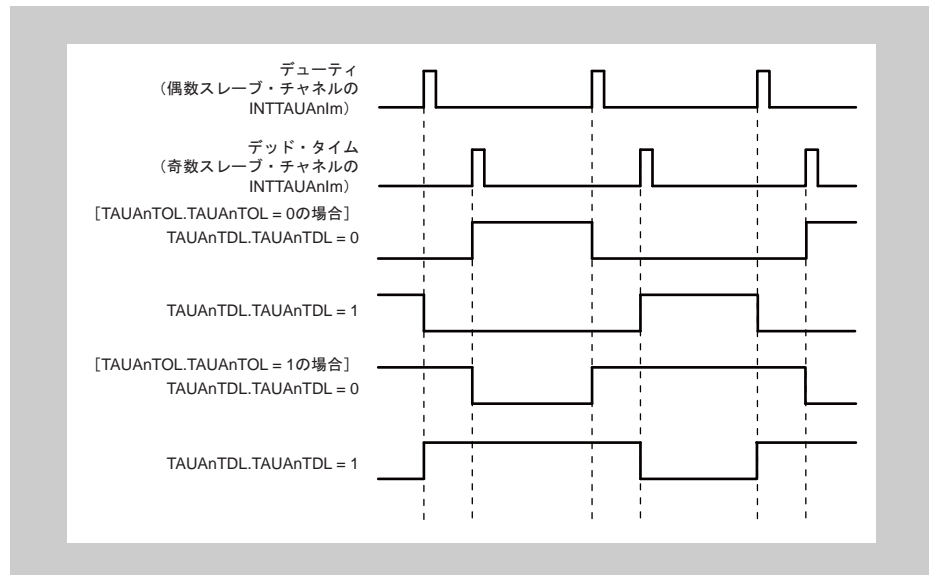


図 15-12 デッド・タイム出力を行うチャンネル連動出力モード 2 のセット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合は TAUAnTDL.TAUAnTDLm = 0, 立ち下がりエッジの場合は TAUAnTDL.TAUAnTDLm = 1 を設定してください。

**前提条件** デッド・タイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタ・チャンネル

マスタ・チャンネルは、インターバル・タイマ・モードに設定する必要があります。

- 偶数スレーブ・チャンネル

偶数スレーブ・チャンネルは、アップ/ダウン・カウント・モードに設定する必要があります。

- 奇数スレーブ・チャンネル (偶数チャンネル + 1)

奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUAnTOE.TAUAnTOEm
- TAUAnTME.TAUAnTMEem
- TAUAnTRE.TAUAnTREem
- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTDM.TAUAnTDMm

## (5) 1相PWM出力を行うチャンネル連動出力モード2

この出力モードでは、TAUAnTTOUTmにデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

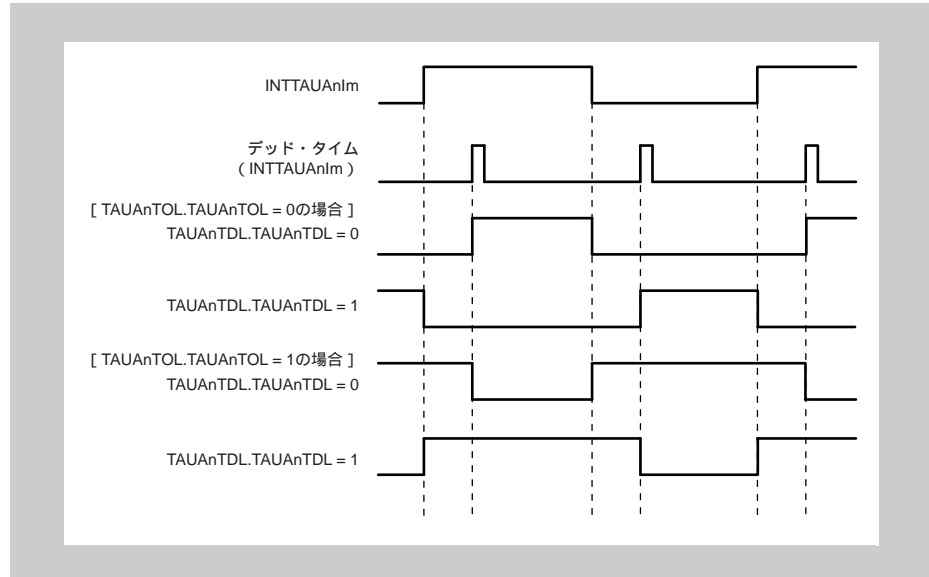
セット/リセット  
条件

図 15-13 1相PWM出力を行うチャンネル連動出力モード2のセット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合はTAUAnTDL.TAUAnTDLm = 0、立ち下がりエッジの場合はTAUAnTDL.TAUAnTDLm = 1を設定してください。

**前提条件** 1相PWM出力を制御するには、2つで1組のチャンネルが必要です。

- 偶数スレーブ・チャンネル
- 奇数スレーブ・チャンネル (偶数チャンネル + 1)

奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUAnTOE.TAUAnTOEm
- TAUAnTME.TAUAnTMEem
- TAUAnTRE.TAUAnTREem
- TAUAnTOM.TAUAnTOMm
- TAUAnTOC.TAUAnTOCm
- TAUAnTDE.TAUAnTDEm
- TAUAnTDM.TAUAnTDMm

**(6) 相補方式変調出力を行うチャンネル連動出力モード2**

**セット/リセット条件** この出力モードでは、TAUAnTTOUTm は、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTOL.TAUAnTOLm) の値に応じて PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。

詳細は 15.27.3 「相補方式変調出力機能」を参照してください。

**前提条件** このモードでは、4つ以上のチャンネル1組が必要です。マスタ・チャンネルとスレーブ・チャンネル1は周期を生成し、スレーブ・チャンネル2はデューティ・サイクルを生成し、スレーブ・チャンネル3はデッド・タイムを生成します。スレーブ・チャンネル2とスレーブ・チャンネル3は2つで1組です。代表的なアプリケーションでは、チャンネル2、チャンネル3と同様に動作するスレーブ・チャンネルをさらに4つ使用します。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem,  
TAUAnTDL.TAUAnTDLm は、カウント動作中のみ変更できます。

- TAUAnTME.TAUAnTMEem を動作中に変更した場合、TAUAnTME.TAUAnTMEem の新しい値は、指定したチャンネルで INTTAUAnIm が検出されたときに適用されます。
- TAUAnTME.TAUAnTMEem と TAUAnTDL.TAUAnTDLm を変更した場合、新しい値は、偶数スレーブ・チャンネルで INTTAUAnIm が検出されたときに適用されます。

**(7) 非相補方式変調出力を行うチャンネル連動出力モード2**

非相補方式変調出力を行うチャンネル連動出力モード1とは PWM 波形が異なります。

モード1では矩形波ですが、モード2では三角波です。

## 15.10 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUAnTS.TAUAnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

**注意** 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

### 15.10.1 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード

TAUAnTS.TAUAnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

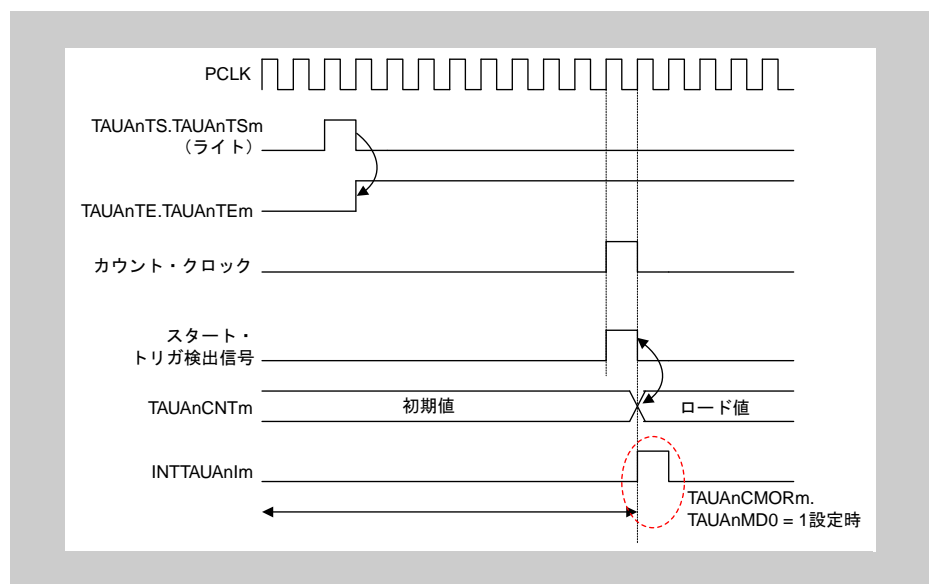


図 15-14 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モードでの開始タイミング

**備考** アップ/ダウン・カウント・モード時は、必ず MD0 = 0 に設定してください。

### 15.10.2 イベント・カウント・モード

TAUAnTS.TAUAnTSM が 1 に設定されると、ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は、以降のカウント・クロック・サイクルの開始時にインクリメントされます。

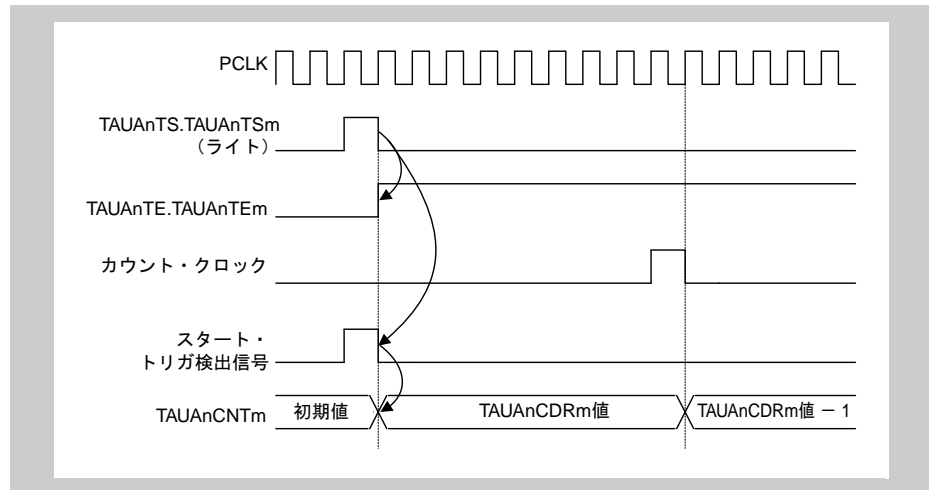


図 15-15 イベント・カウント・モード時の開始タイミング

### 15.10.3 その他の動作モード

その他の動作モードでは、カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUAnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

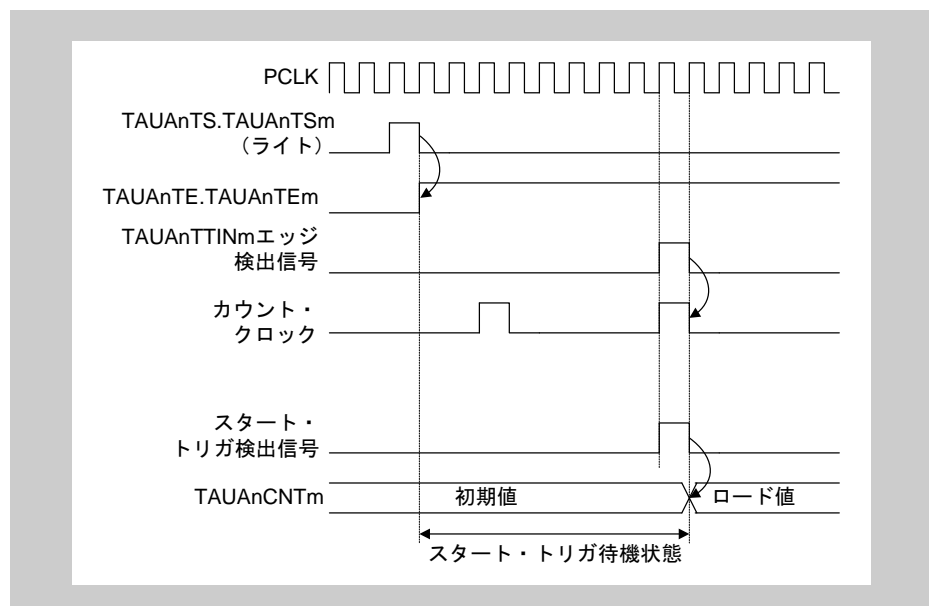


図 15-16 その他の動作モードでのカウント開始タイミング



## 15.11 カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成

カウンタのカウント開始時，TAUAnCMORm.TAUAnMD0 ビットで INTTAUAnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUAnIm の TAUAnTTOUTm に対する影響は，選択したチャネル動作機能に依存します。

表 15-17 カウンタがトリガされた場合の TAUAnCMORm.TAUAnMD0 ビットの INTTAUAnIm 発生に対する影響

モード	TAUAnCMORm.TAUAnMD0 ビット	カウント開始時の INTTAUAnIm 発生
インターバル・タイマ・モード	0	発生しない
キャプチャ・モード	1	発生
カウント・キャプチャ・モード		
キャプチャ&ワンカウント・モード	0	発生しない
キャプチャ&ゲート・カウント・モード		
イベント・カウント・モード		
アップ/ダウン・カウント・モード		
ワンカウント・モード	0/1	TAUAnCMORm.TAUAnMD0 ビットの設定にかかわらず発生しない
ゲート・カウント・モード		
パルス・ワンカウント・モード		TAUAnCMORm.TAUAnMD0 ビットの設定にかかわらず発生

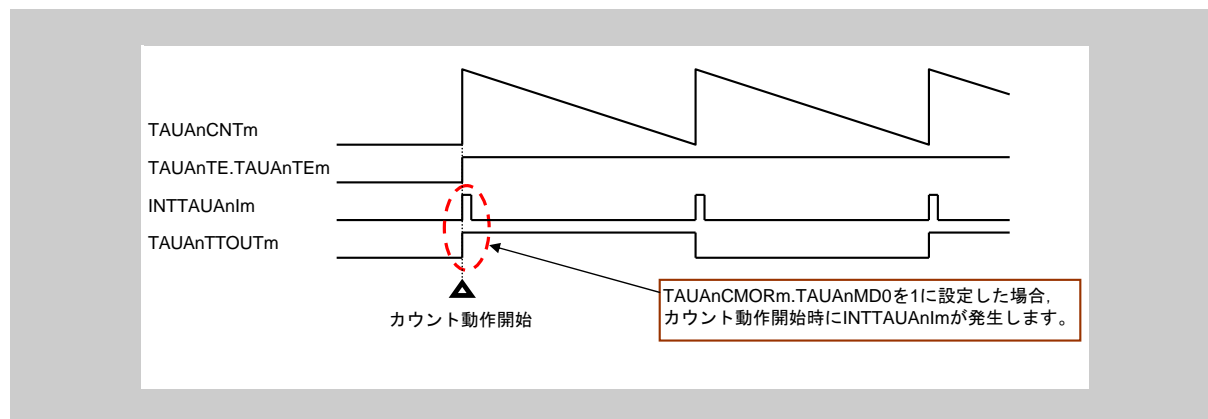


図 15-17 カウント開始時の INTTAUAnIm 発生

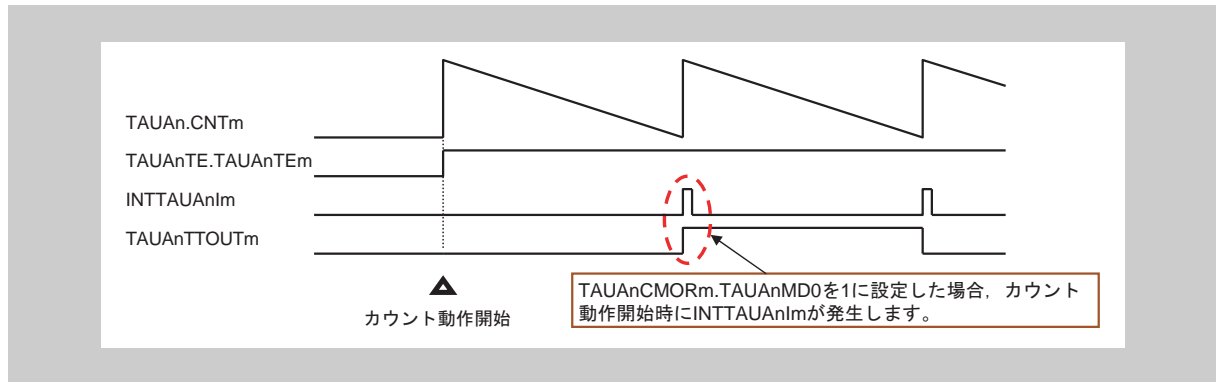


図 15-18 カウント開始時に INTTAUAnIm が発生しない

## 15.12 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が  $FFFF_H$  になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバフロー発生と同時に  $0000_H$  になるようなダウン・カウントを行う動作モードを設定します ( $TAUAnCNTm = FFFF_H$ )。
- セカンド・チャンネルの  $TAUAnCDRm$  を  $FFFF_H$  に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ  $TAUAnTTINm$  入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 ( $TAUAnCMORm.TAUAnSTS[2:0]$  と  $TAUAnCMURm.TAUAnTIS[1:0]$ ) は同じである必要があります。

結果：ファースト・チャンネルのアップ・カウンタでのオーバフロー発生 ( $TAUAnCNTm = FFFF_H$ ) と同時にセカンド・チャンネルのダウン・カウンタが  $0000_H$  になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

### 15.12.1 キャプチャ・モード

適用機能 • TAUAnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

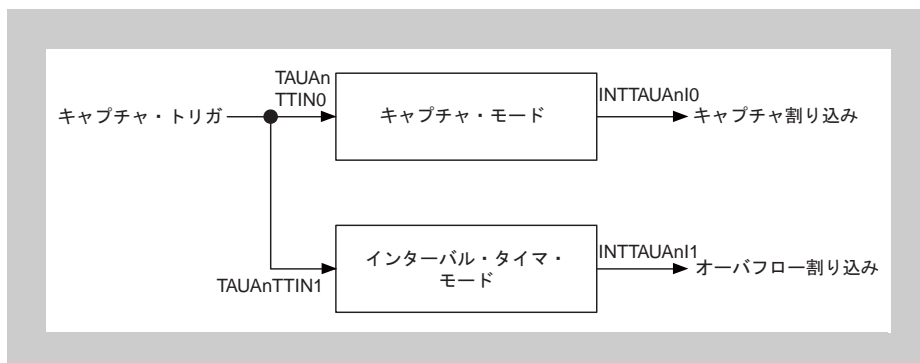


図 15-19 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

#### タイミング図

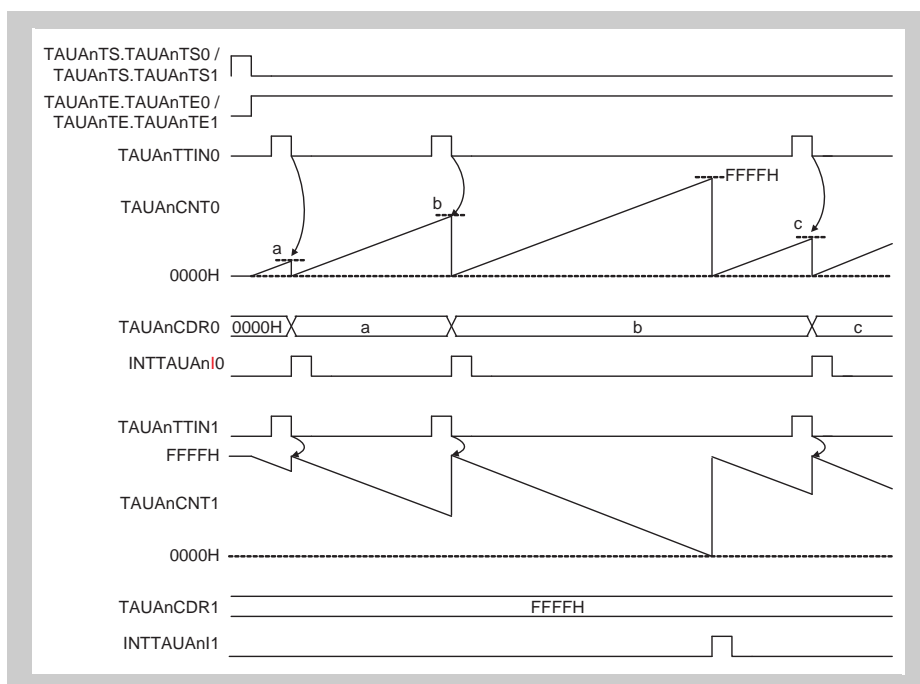


図 15-20 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

### 15.12.2 キャプチャ & ワンカウント・モード

適用機能 • TAUAnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

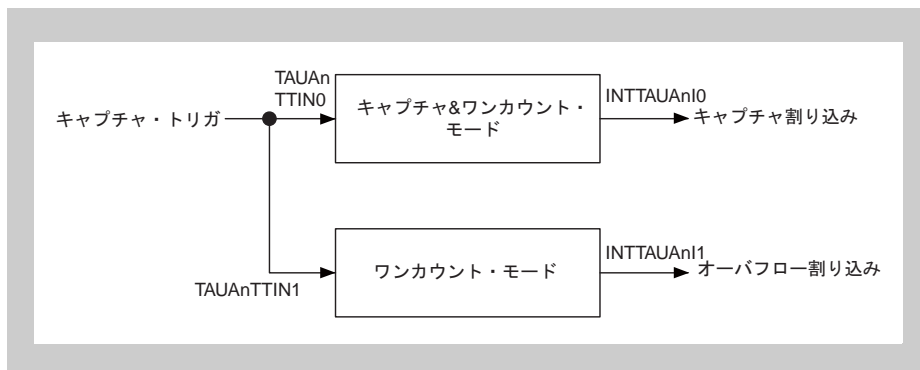


図 15-21 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

#### タイミング図

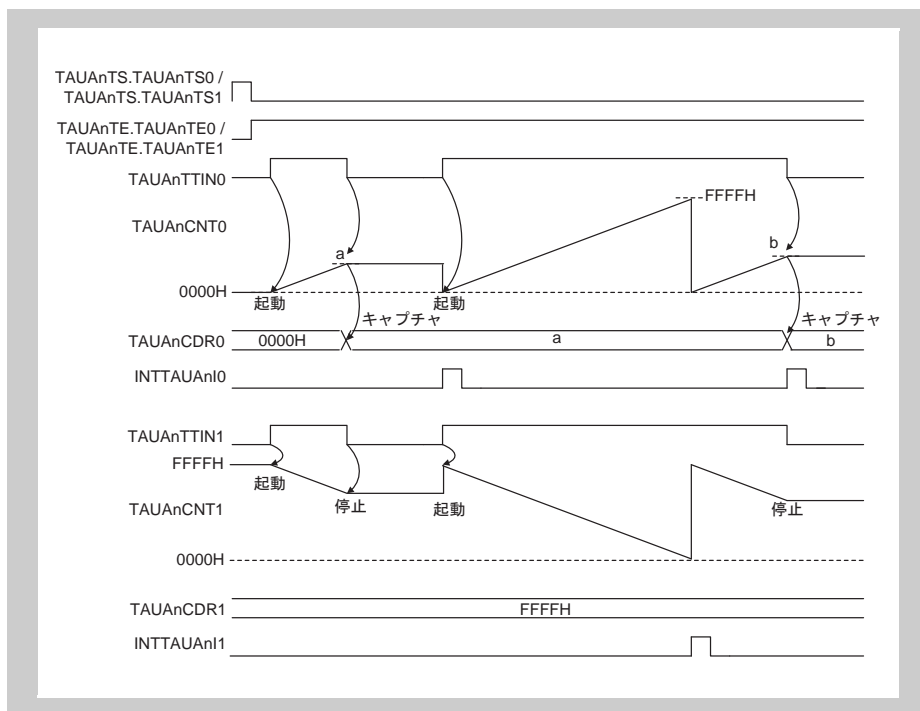


図 15-22 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

### 15.12.3 カウント・キャプチャ・モード

適用機能 • TAUAnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

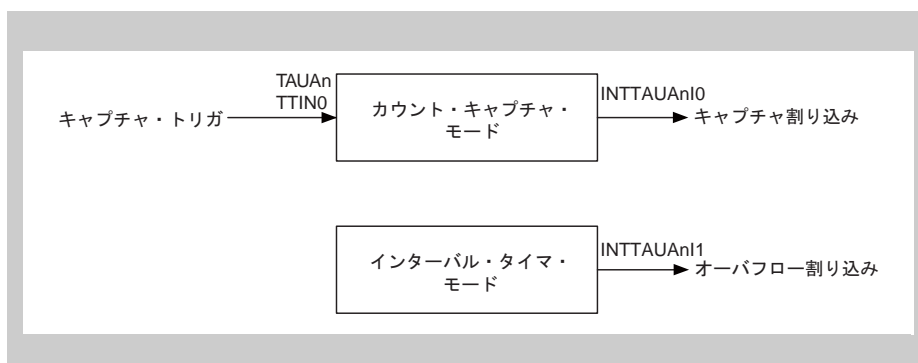


図 15-23 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

#### タイミング図

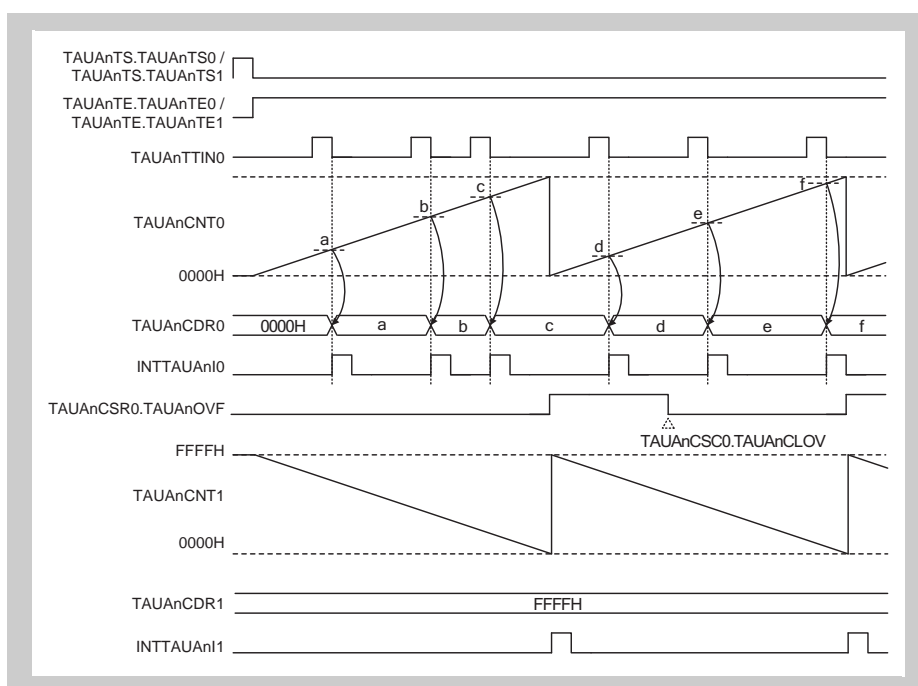


図 15-24 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

上の図では、TAUAnCNTm がオーバーフローになったときに TAUAnCSRm.TAUAnOVF が 1 に設定されています。TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

### 15.12.4 キャプチャ&ゲート・カウント・モード

適用機能 • TAUAnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

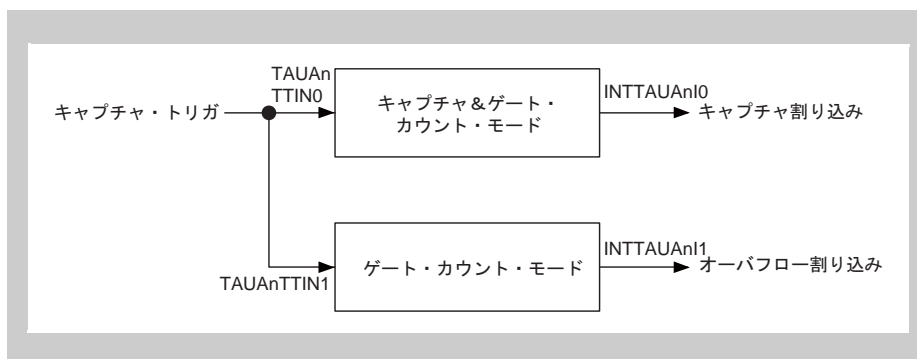


図 15-25 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

#### タイミング図

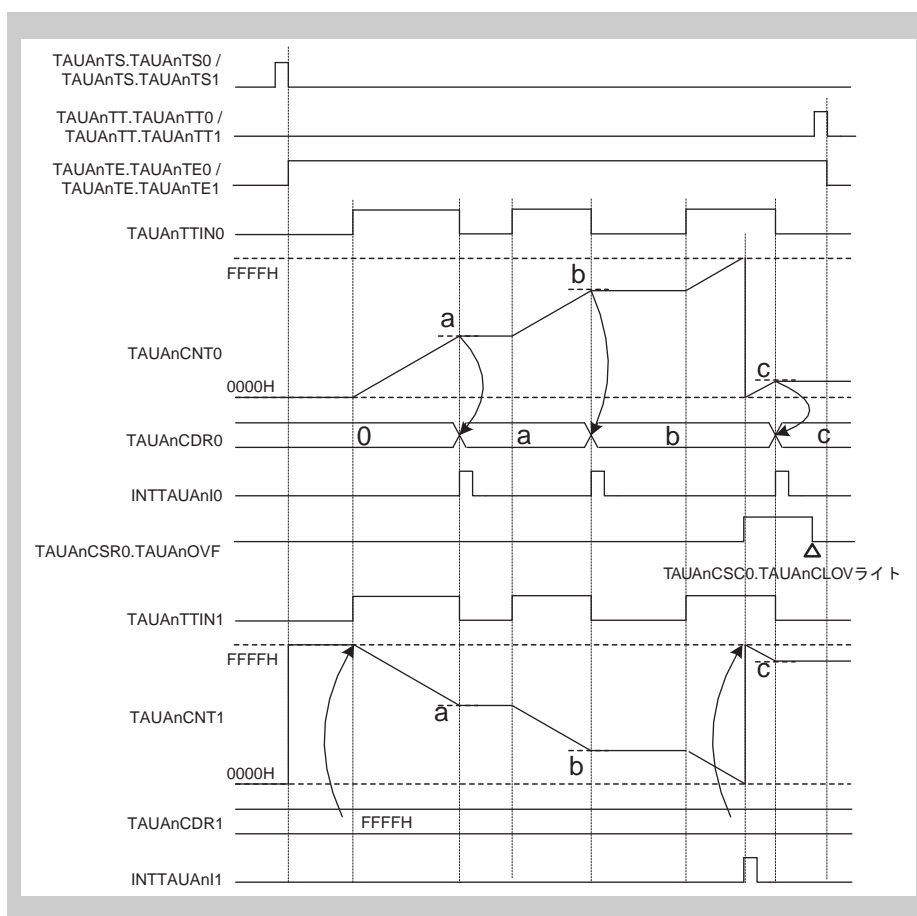


図 15-26 キャプチャ & ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

上の図では、TAUAnCNTm がオーバフローになったときに TAUAnCSRm.TAUAnOVF が 1 に設定されています。TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

### 15.13 TAUAnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

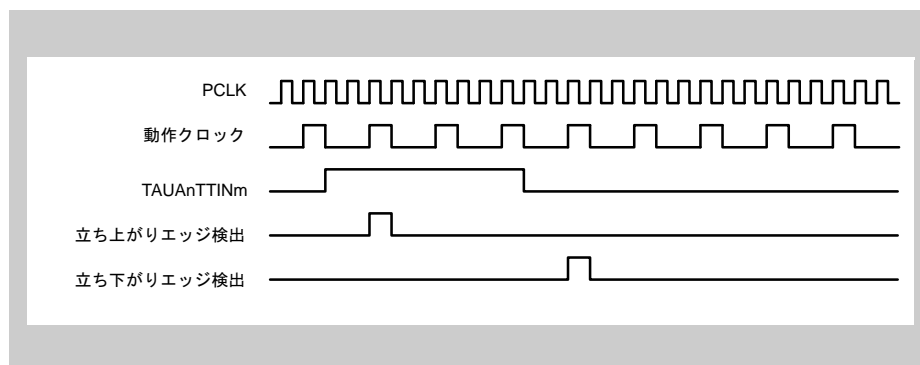


図 15-27 エッジ検出基本動作タイミング

図 15-27は動作タイミングのイメージです。実際は、TAUAnIm 端子からTAUAn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。



## 15.14 DMA ウィンドウ・アドレスの割り当て

DMA (direct memory access) を使用して、TAUAnCDRm, TAUAnTOL レジスタの現在値などの値を TAUAnDWR レジスタに格納できます。

例として、周期レジスタ、デューティ・レジスタ、TAUAnTOL レジスタの値を TAUAnDWR レジスタに書き込む方法を次の図に示します。

1. 選択したレジスタ (TAUAnCDR0, TAUAnCDR2, TAUAnCDR4, TAUAnCDR6, TAUAnCDR9, TAUAnCDR13, TAUAnTOL.TAUAnTOLm, TAUAnRDT.TAUAnRDTm) のアドレスを TAUAnDAS レジスタに指定します。
2. その後、TAUAnDMA ウィンドウ・アドレス機能は、選択したレジスタの値を対応する TAUAnDWR レジスタにロードします。

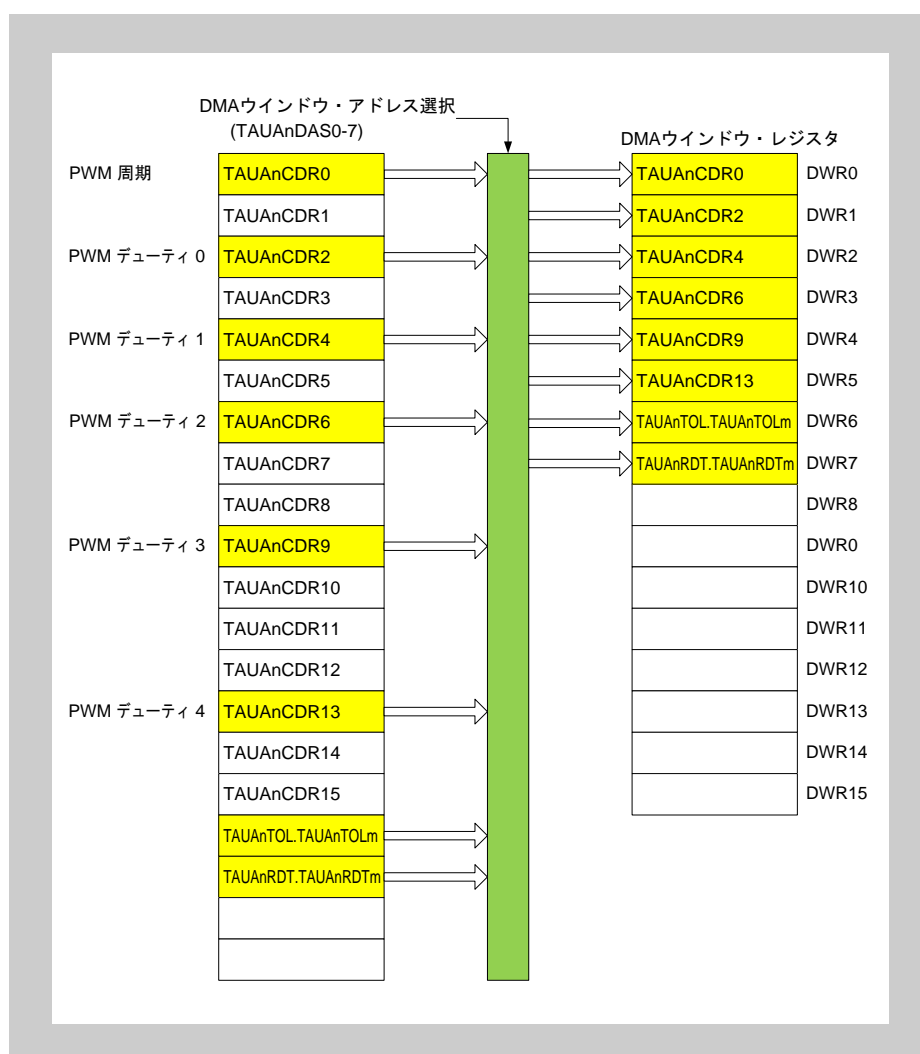


図 15-28 DMA ウィンドウ・アドレスの割り当て

**備考** データ・レジスタに対して一斉書き換え機能を使う場合、指定した領域の最後に TAUAnRDT レジスタを割り当てることを推奨します。

## 15.15 チャンネル単体動作機能

TAUA の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、15.4「機能説明」を参照してください。

## 15.16 チャンネル単体割り込み機能

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 15.16.1 「インターバル・タイマ機能」
- 15.16.2 「TAUAnTTINm 入カインターバル・タイマ機能」
- 15.16.3 「ディレイ・カウント機能」
- 15.16.4 「ワンパルス出力機能」

### 15.16.1 インターバル・タイマ機能

#### (1) 概要

**概要** この機能は、一定間隔でタイマ割り込み (INTTAUAnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 15-18 「インターバル・タイマ機能の TAUAnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、TAUAnCDRm の値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

- 条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUAnTTOUTm のトグルも行われません。これにより、TAUAnCMORm.TAUAnMD0 が 1 に設定された場合に対して、反転された TAUAnTTOUTm 信号が出力されます。詳細は、15.11 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

#### (2) 算出式

INTTAUAnIm の周期 = カウント・クロック周期 × (TAUAnCDRm + 1)

TAUAnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUAnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

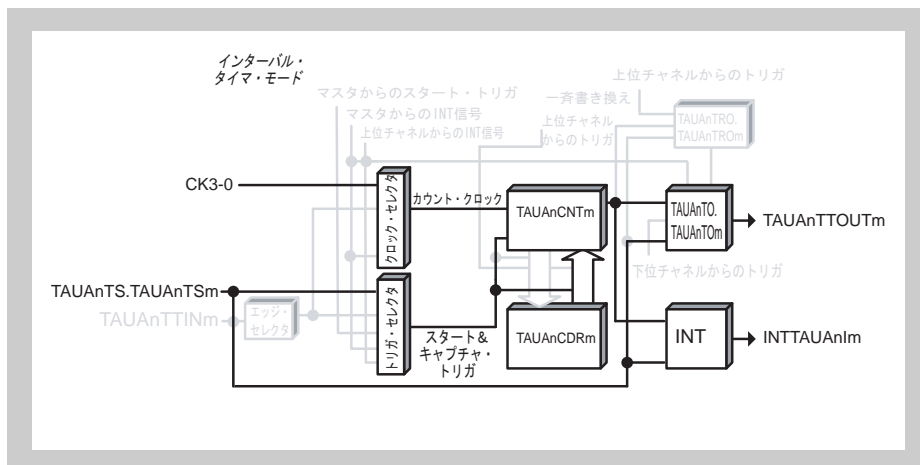


図 15-29 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

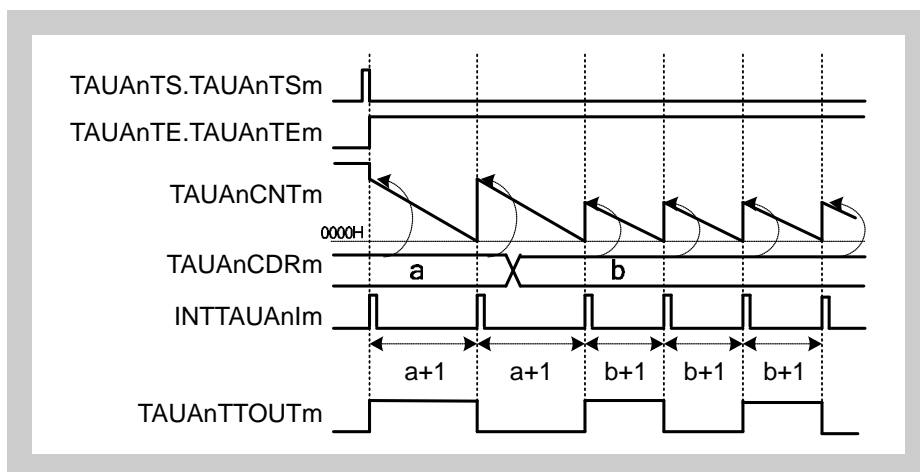


図 15-30 インターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-18 インターバル・タイマ機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-19 インターバル・タイマ機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) チャネル出力モード

表 15-20 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

**備考** チャネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUAnTTOUTm を割り込みとは独立させて制御することができます。詳細は15.9「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-21 インターバル・タイマ機能の一斉書き換え設定

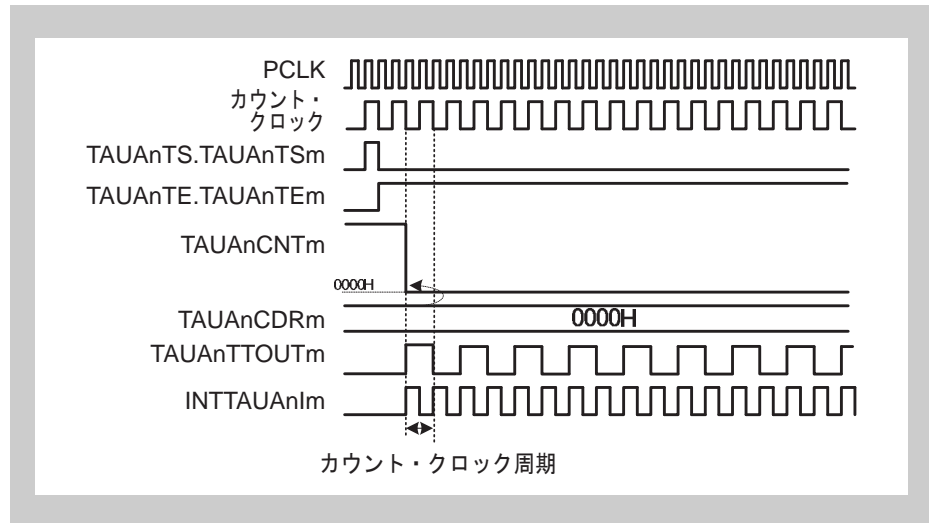
ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) インターバル・タイマ機能の操作手順

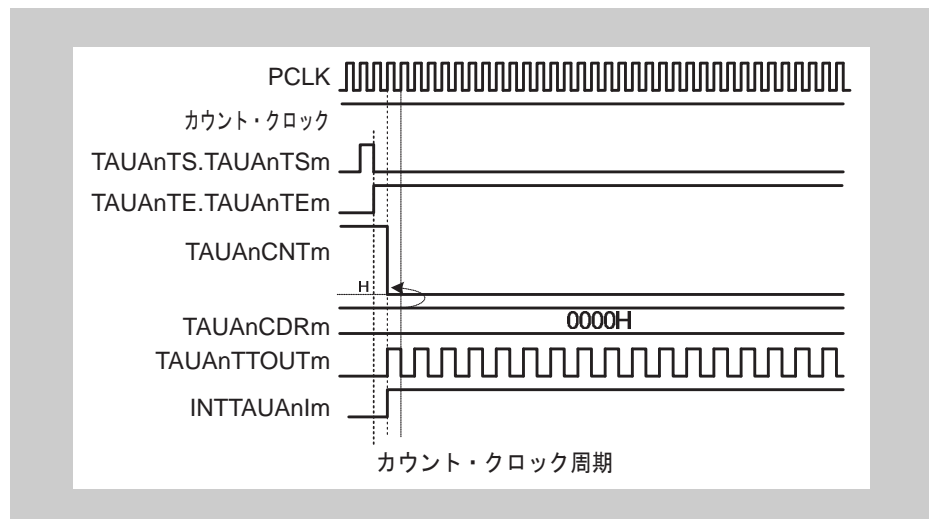
表 15-22 インターバル・タイマ機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを表 15-18 「インターバル・タイマ機能の TAUAnCMORm 設定」、表 15-19 「インターバル・タイマ機能の TAUAnCMURm 設定」に示すように設定します。  TAUAnCDRm レジスタの値を設定します。  制御ビットを表 15-20 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTsm を 1 に設定します。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。TAUAnCMORm.TAUAnMD0 = 1 の場合、INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
	動作中 TAUAnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。</li> </ul>
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

(a)  $TAUAnCDRm = 0000_H$ , カウント・クロック =  $PCLK/2$ 図 15-31  $TAUAnCDRm = 0000_H$ , カウント・クロック =  $PCLK/2$ 

- $TAUAnCDRm = 0000_H$ , かつカウント・クロック =  $PCLK/2^1$  の場合, カウント・クロックごとに  $TAUAnCDRm$  の値が  $TAUAnCNTm$  にロードされます。つまり,  $TAUAnCNTm$  は常に  $0000_H$  です。
- $INTTAUAnIm$  がカウント・クロックごとに発生するので,  $TAUAnTTOUTm$  はカウント・クロックごとにトグルされます。

(b)  $TAUAnCDRm = 0000_H$ , カウント・クロック =  $PCLK$ 図 15-32  $TAUAnCDRm = 0000_H$ , カウント・クロック =  $PCLK$ 

- $TAUAnCDRm = 0000_H$ , かつカウント・クロック =  $PCLK$  の場合,  $PCLK$  クロックごとに  $TAUAnCDRm$  の値が  $TAUAnCNTm$  にロードされます。つまり,  $TAUAnCNTm$  は常に  $0000_H$  です。
- 継続的に  $INTTAUAnIm$  が発生し,  $PCLK$  クロックごとに  $TAUAnTTOUTm$  がトグルされます。



## (c) 動作の停止と再開

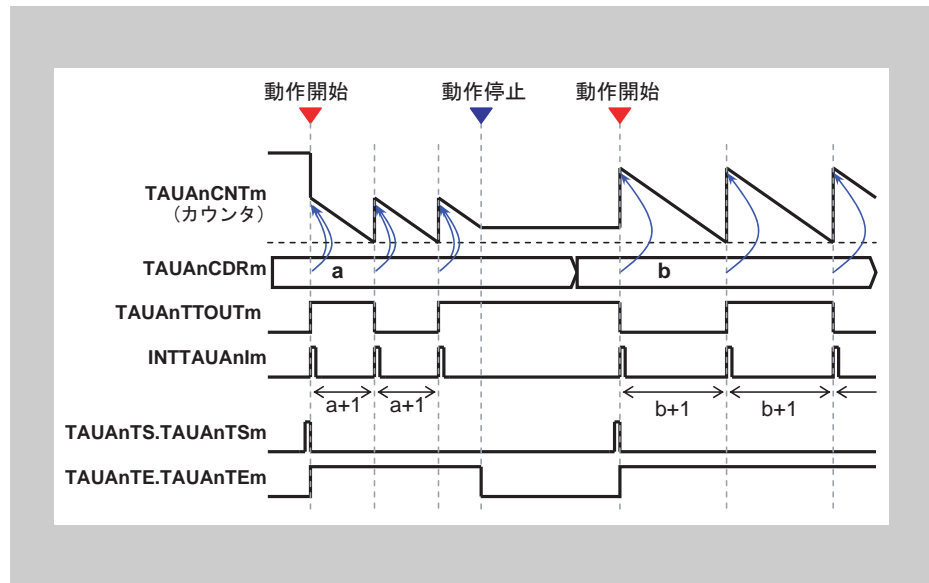


図 15-33 動作の停止と再開 (TAUAnCMORm.TAUAnMD0 = 1)

- TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。
- TAUAnTS.TAUAnTSm を 1 に設定すると、カウントを再開できます。

## (d) 強制リスタート

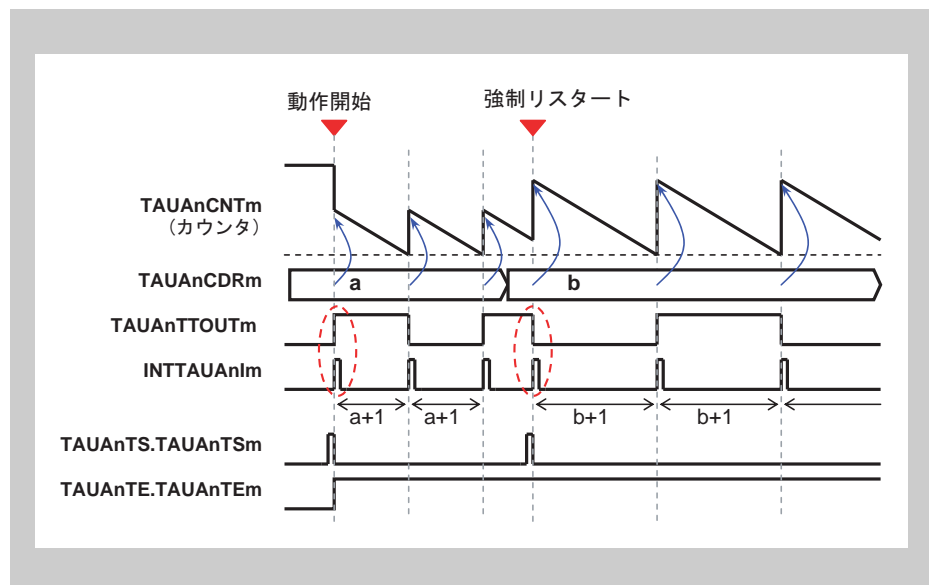


図 15-34 強制リスタート動作 (TAUAnCMORm.TAUAnMD0 = 1)

- カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUAnCMORm.TAUAnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

## 15.16.2 TAUAnTTINm 入力インターバル・タイマ機能

## (1) 概要

**概要** この機能は、一定間隔または有効な TAUAnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUAnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 15-23 「TAUAnTTINm 入力インターバル・タイマ機能の TAUAnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。

**機能説明** この機能は、有効な TAUAnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (15.16.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

## (2) 算出式

INTTAUAnIm の周期 = カウント・クロック周期 × (TAUAnCDRm + 1)

TAUAnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUAnCDRm + 1) × 2

## (3) ブロック図と基本タイミング図

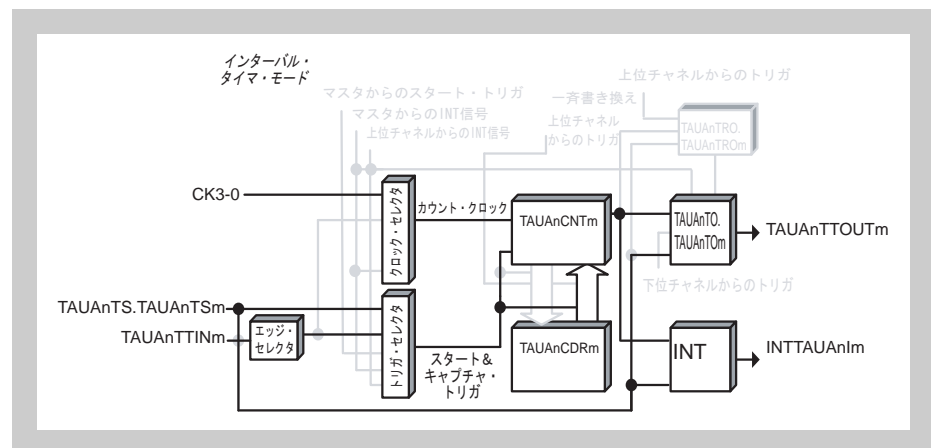


図 15-35 TAUAnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD = 1)
- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>)

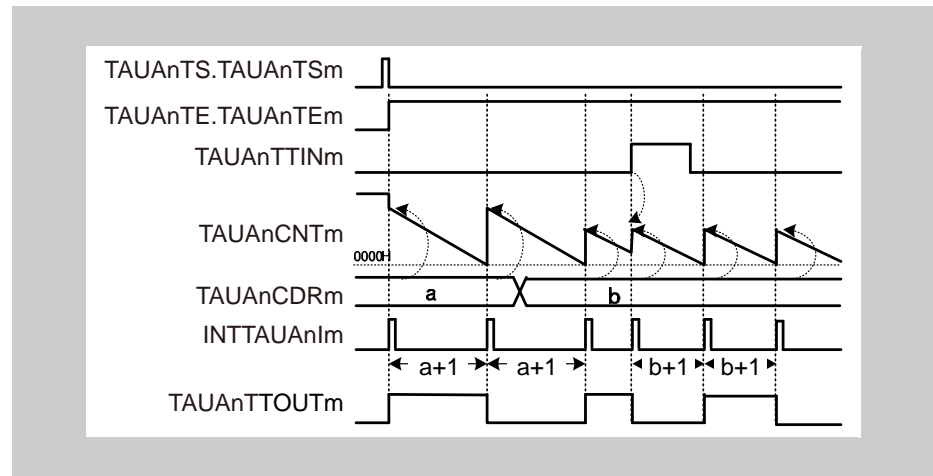


図 15-36 TAUAnTTINm 入力インターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-23 TAUAnTTINm 入インターバル・タイマ機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-24 TAUAnTTINm 入インターバル・タイマ機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャネル出力モード

表 15-25 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

**備考** チャネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUAnTTOUtm を割り込みとは独立させて制御することができます。詳細は15.9「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-26 TAUAnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) TAUAnTTINm 入インターバル・タイマ機能の操作手順

表 15-27 TAUAnTTINm 入インターバル・タイマ機能の操作手順

	操作	TAUAn の状態
動作再開 ↓	チャンネルの初期設定  TAUAnCMORm, TAUAnCMURm レジスタを、表 15-23 「TAUAnTTINm 入インターバル・タイマ機能の TAUAnCMORm 設定」と表 15-24 「TAUAnTTINm 入インターバル・タイマ機能の TAUAnCMURm 設定」に示すように設定します。  TAUAnCDRm レジスタの値を設定します。  制御ビットを表 15-25 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始  TAUAnTS.TAUAnTsm を 1 に設定します。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。 TAUAnCMORm.TAUAnMD0 = 1 の場合、INTTAUAnIm が発生し、TAUAnTTOUtm がトグルされます。
	動作中  TAUAnCMURm.TAUAnTIS[1:0], TAUAnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。  TAUAnTTINm エッジ検出	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生し、TAUAnTTOUtm がトグルされます。</li> </ul> カウント動作中に TAUAnTTINm 入力の有効エッジを検出すると、再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止  TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

15.16.1「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUAnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

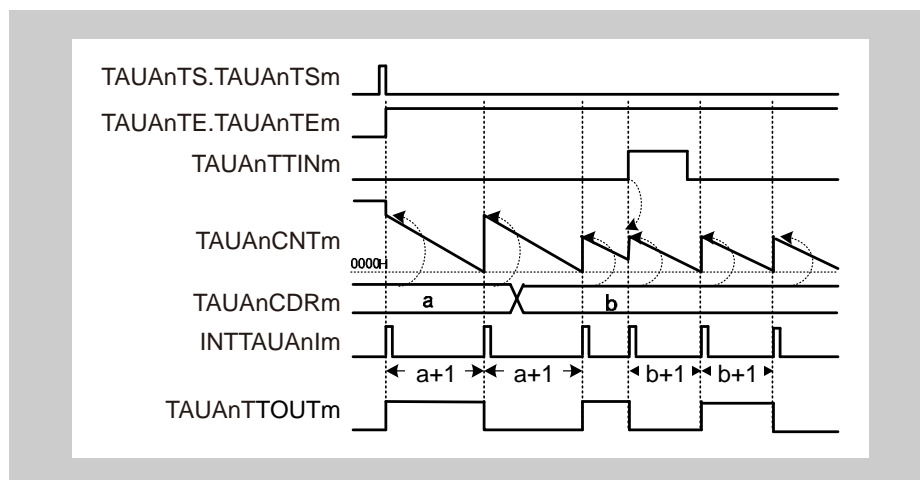


図 15-37 立ち上がり TAUAnTTINm 入力エッジ  
(TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>), TAUAnCMORM.TAUAnMD0 = 1  
でトリガされたカウンタ

- 有効な TAUAnTTINm 入力エッジを検出した場合、TAUAnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>) です。

### 15.16.3 ディレイ・カウント機能

#### (1) 概要

**概要** この機能は、TAUAnTTINm 入力信号に対して一定の遅延がある割り込み (INTTAUAnIm) を発生します。遅延期間に発生した TAUAnTTINm 入力信号パルスは無視されます。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 15-28 「ディレイ・カウント機能の TAUAnCMORm 設定」参照)。
  - この機能では、TAUAnTTOUTm は使用しません。
  - カウント動作中は、スタート・トリガを無効 (TAUAnCMORm.TAUAnMD0 = 0) にする必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入力スタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタが 0000<sub>H</sub> になると、割り込みが発生します。カウンタは FFFF<sub>H</sub> に戻り、次の有効な TAUAnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUAnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub> の場合、カウンタは立ち下がりエッジでトリガされます。
  - TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub> の場合、カウンタは立ち上がりエッジでトリガされます。
  - TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

#### (2) 算出式

TAUAnTTINm-INTTAUAnIm 間の遅延 =  
 カウント・クロック周期 × (TAUAnCDRm + 1)



(3) ブロック図と基本タイミング図

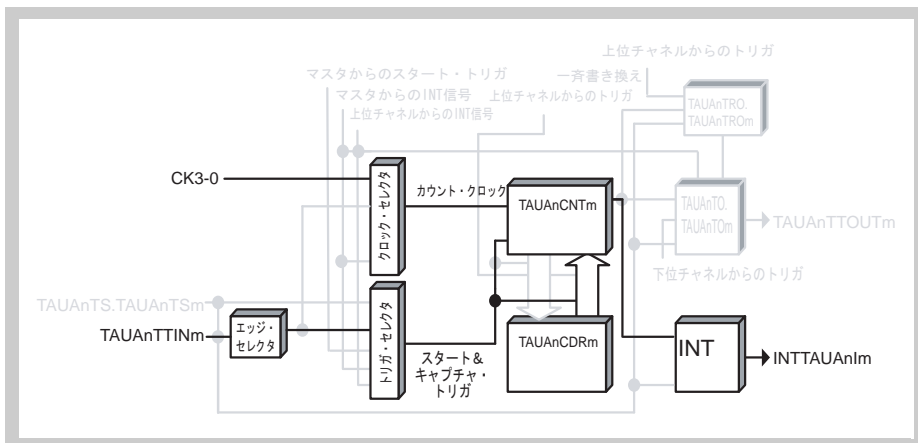


図 15-38 デレイ・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

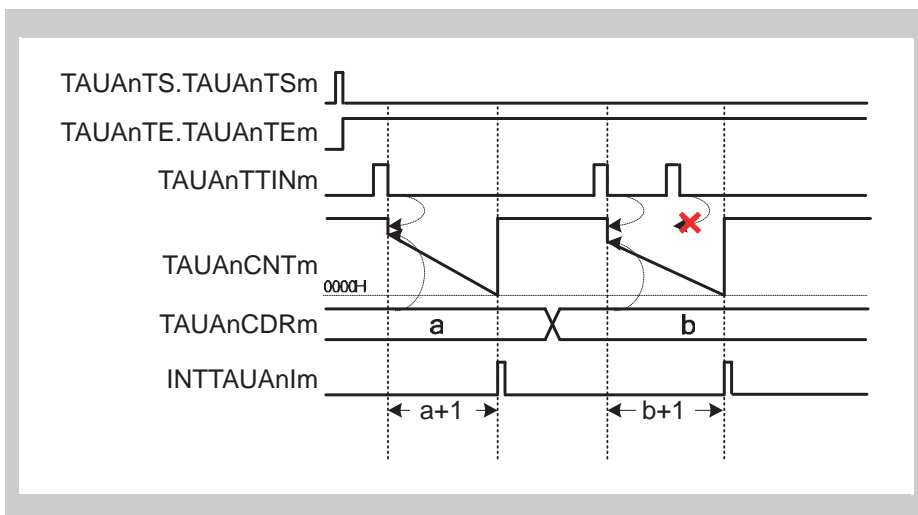


図 15-39 デレイ・カウント機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS [2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-28 ディレイ・カウント機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	0 : 動作中のスタート・トリガは無効とする

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	—

表 15-29 ディレイ・カウント機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、ディレイ・カウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-30 ディレイ・カウント機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(5) ディレイ・カウント機能の操作手順**

表 15-31 ディレイ・カウント機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-28 「ディレイ・カウント機能の TAUAnCMORm 設定」と表 15-29 「ディレイ・カウント機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUAnCDRm の値を TAUAnCNTm にロードします。
	動作中 TAUAnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合：INTTAUAnIm が発生します。TAUAnCNTm はカウントを停止し、FFFF <sub>H</sub> を戻し、トリガを待ちます。  TAUAnCNTm のカウント中に発生するトリガは無視されます。以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、値を保持します。

### 15.16.4 ワンパルス出力機能

#### (1) 概要

**概要** この機能は、有効な TAUAnTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUAnIm) を発生します。定められた期間内に発生する TAUAnTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUAnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはパルス・ワンカウント・モードに設定する必要があります (表 15-32 「ワンパルス出力機能の TAUAnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。
  - カウント動作中は、トリガ検出を禁止 (TAUAnCMORm.TAUAnMD0 = 0) にする必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUAnTTOUTm がアクティブ・レベルに設定されます。

カウンタが  $0001_H$  になると、割り込みが発生し、TAUAnTTOUTm がインアクティブ・レベルに設定されます。カウンタは  $0000_H$  で動作を停止し、次の有効な TAUAnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUAnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] =  $00_B$  の場合、カウンタは立ち下がりエッジでトリガされます。
  - TAUAnCMURm.TAUAnTIS[1:0] =  $01_B$  の場合、カウンタは立ち上がりエッジでトリガされます。
  - TAUAnCMURm.TAUAnTIS[1:0] =  $10_B$  の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

#### (2) 算出式

TAUAnTTINm-INTTAUAnIm の間隔 = TAUAnTTOUTm (タイマ出力) 幅 = カウント・クロック周期 × TAUAnCDRm

(3) ブロック図と基本タイミング図

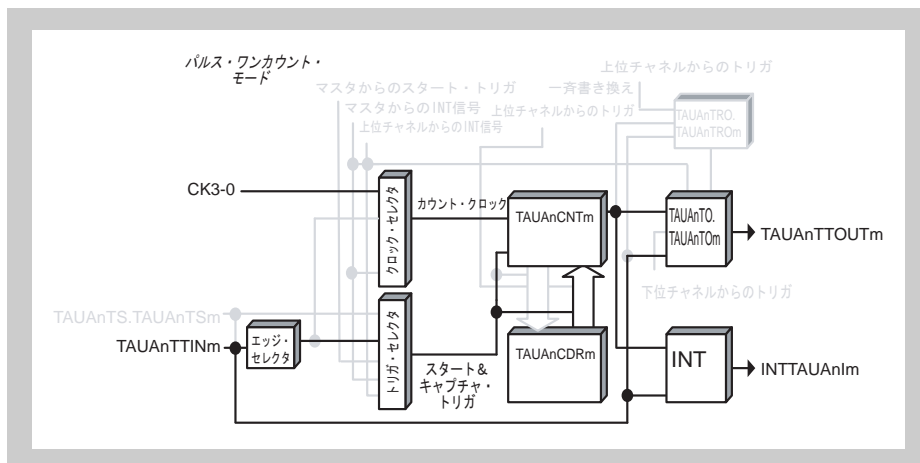


図 15-40 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

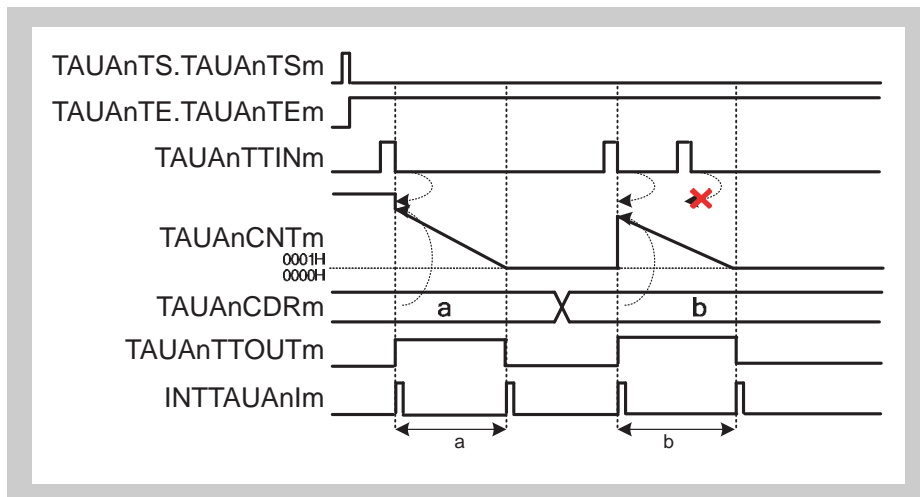


図 15-41 ワンパルス出力機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-32 ワンパルス出力機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUAnMD0	0 : 動作中のスタート・トリガを無効とする

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-33 ワンパルス出力機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) チャネル出力モード

表 15-34 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	1: セット/リセット・モード
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

**備考** チャネル出力モードは、TAUAnTOE.TAUAnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUAnTTOUtm を割り込みとは独立させて制御することができます。詳細は表 15-16 「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 15-35 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) ワンパルス出力機能の操作手順

表 15-36 ワンパルス出力機能の操作手順

	操作	TAUAnの状態
動作再開 ↓	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-32 「ワンパルス出力機能の TAUAnCMORm 設定」と表 15-33 「ワンパルス出力機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。 制御ビットを表 15-34 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUAnCNTm は TAUAnCDRm の値をロードします。
	動作中 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm の開始時に INTTAUAnIm が発生し、TAUAnTTOUTm はアクティブ・レベルに設定されます。 TAUAnCNTm がダウン・カウントを行います。カウンタが 0001 <sub>H</sub> になった場合： • INTTAUAnIm が発生します。 • TAUAnTTOUTm がインアクティブ・レベルに設定されます。 TAUAnCNTm はカウントを停止し、トリガを待ちます。  TAUAnCNTm のカウント中に発生するトリガは無視されます。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。



## 15.17 チャンネル単体信号測定機能

この節では、各 TAUAnTTINm パルスの幅、または連続した TAUAnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 15.17.1 「TAUAnTTINm 入力パルス・インターバル測定機能」
- 15.17.2 「TAUAnTTINm 入力信号幅測定機能」
- 15.17.3 「オーバーフロー割り込み出力機能 (TAUAnTTINm 幅測定時)」
- 15.17.4 「TAUAnTTINm 入力期間カウント検出機能」
- 15.17.5 「オーバーフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)」
- 15.17.6 「TAUAnTTINm 入力パルス・インターバル判定機能」
- 15.17.7 「TAUAnTTINm 入力信号幅判定機能」

## 15.17.1 TAUAnTTINm 入力パルス・インターバル測定機能

## (1) 概要

**概要** この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUAnCSRm.TAUAnOVF を使用して TAUAnTTINm 入力信号の間隔を測定します。

- 前提条件**
- 動作モードはキャプチャ・モードに設定する必要があります（表 15-38 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定」参照）。
  - この機能では、TAUAnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。カウンタ TAUAnCNTm は、0000<sub>H</sub> からカウントを開始します。有効な TAUAnTTINm エッジが検出されると、TAUAnCNTm の値がキャプチャされ、TAUAnCDRm に転送され、割り込み INTTAUAnIm が発生します。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。

有効な TAUAnTTINm エッジを検出する前にカウンタが FFFF<sub>H</sub> に達すると、カウンタは 0000<sub>H</sub> にオーバーフローします。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUAnCDRm, TAUAnCSRm.TAUAnOVF それぞれに転送される値は、TAUAnCMORm.TAUAnCOS[1:0] ビットの値によって異なります。

表 15-37 オーバフローの影響

TAUAnCMORm.COS [1:0]	オーバーフローが発生した場合		その後、有効な TAUAnTTINm 入力 が検出された場合	
	TAUAnCDRm	TAUAnCSRm. TAUAnOVF	TAUAnCDRm, TAUAnCNTm	TAUAnCSRm. TAUAnOVF
00	変化しない	0	TAUAnCNTm が TAUAnCDRm に ロードされる	1
01		1		
10	FFFF <sub>H</sub> に設定	0	TAUAnCNTm は 0 に 設定され、 TAUAnCDRm は 変更されない	0
11		1		

TAUAnCMORm.TAUAnCOS[0] = 1 のとき、オーバーフロー・ビット TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでのみクリアできます。

TAUAnCDRm 値と TAUAnCSRm.TAUAnOVF 値の組み合わせを使用することで、TAUAnTTINm 信号の間隔を推定できます。ただし、有効な TAUAnTTINm 入力検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUAnCSRm.TAUAnOVF はその複数のオーバーフローの発生を示せません。

TAUAnTT.TAUAnTTm = 1 を設定すると機能を停止できます。これにより、TAUAnTE.TAUAnTEm = 0 が設定されます。TAUAnCNTm が停止し、値を保持します。機能停止中、有効な TAUAnTTINm 入力エッジの検出と TAUAnCNTm のキャプチャは行われません。

カウンタは、0000<sub>H</sub>にリセットされ、その後動作を継続します。カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

**条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 15.11 「カウント開始／リスタート時の TAUAnTTOUm 出力と INTTAUAnIm 生成」を参照してください。

**備考** TAUAnCMORm.TAUAnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUAnTTINm 入力エッジの発生時、TAUAnCNTm の値は TAUAnCDRm にロードされません。ただし、割り込みが発生します。

## (2) 算出式

TAUAnTTINm 入力パルス間隔 = カウント・クロック周期 ×  
 [ (TAUAnCSRm.TAUAnOVF × (FFFF<sub>H</sub> + 1)) + TAUAnCDRm キャプチャ値 + 1 ]

## (3) ブロック図と基本タイミング図

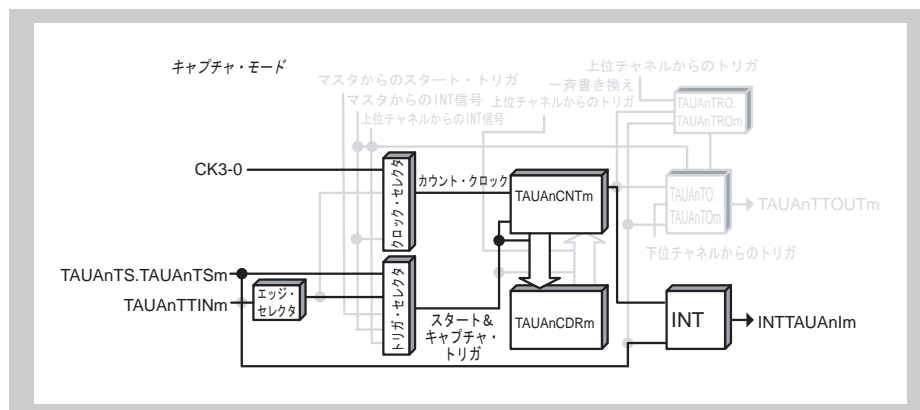


図 15-42 TAUAnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない  
(TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)
- オーバフロー後に有効な TAUAnTTINm 入力を検出すると、TAUAnCDRm を変更し、TAUAnCSRm.TAUAnOVF を 1 に設定する  
(TAUAnCMORm.TAUAnCOS[1:0] = 00<sub>B</sub>)

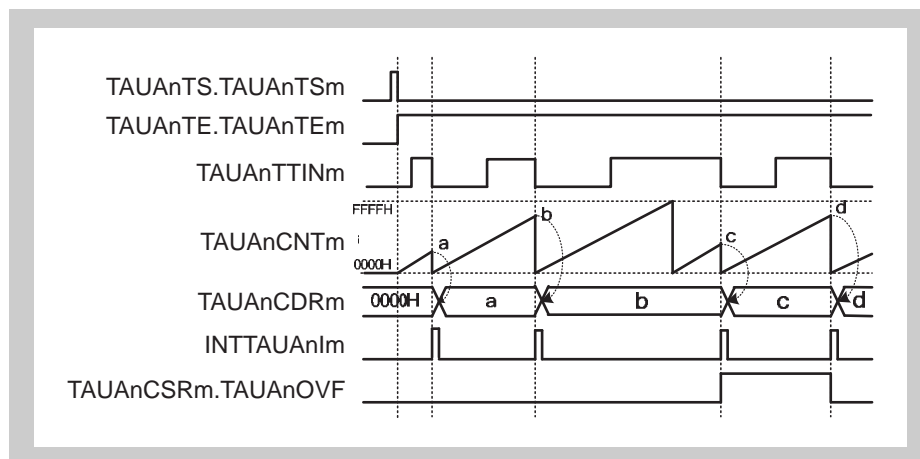


図 15-43 TAUAnTTINm 入力パルス・インターバル測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS [2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-38 TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : TAUAnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	表 15-37 「オーバフローの影響」を参照。
TAUAnMD[4:1]	0010 : キャプチャ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-39 TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

**(c) チャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力パルス・インターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 15-40 TAUAnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) TAUAnTTINm 入力パルス・インターバル測定機能の操作手順

表 15-41 TAUAnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-38 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMORm 設定」と表 15-39 「TAUAnTTINm 入力パルス・インターバル測定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSM を 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEM が 1 に設定され、カウントが開始されます。 TAUAnCNTm が 0000 <sub>H</sub> にクリアされます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中 TAUAnTTINm エッジ検出 TAUAnCMURm.TAUAnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUAnCDRm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUAnCSCm.TAUAnCLOV ビットの 1 書き込みが可能です。 (TAUAnCSRm.TAUAnOVF ビットを 0 にクリア)	TAUAnCNTm は、0000 <sub>H</sub> からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> <li>TAUAnCNTm が自身の値を TAUAnCDRm に転送（キャプチャ）して、0000<sub>H</sub> に戻ります。</li> <li>その後、INTTAUAnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEM が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図：オーバーフロー動作

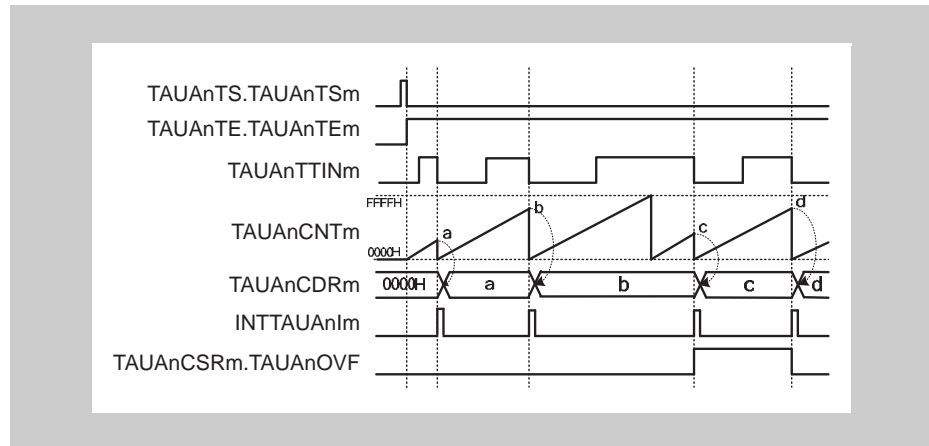
(a) TAUAnCMORm.TAUAnCOS[1:0] = 00<sub>B</sub>

図 15-44 TAUAnCMORm.TAUAnCOS[1:0] = 00<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされ、TAUAnCSRm.TAUAnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCSRm.TAUAnOVF が 0 にクリアされます。

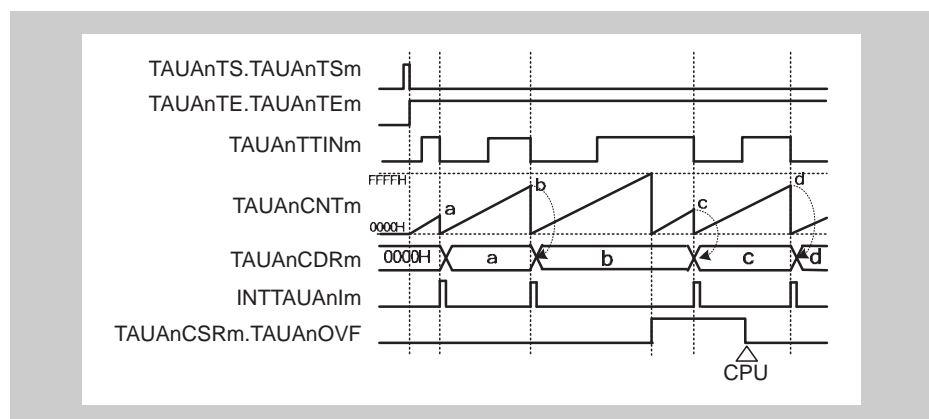
(b) TAUAnCMORm.TAUAnCOS[1:0] = 01<sub>B</sub>

図 15-45 TAUAnCMORm.TAUAnCOS[1:0] = 01<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされます。
- TAUAnCSRm.TAUAnOVF は、CPU コマンド (TAUAnCSCm.TAUAnCLOV ビット = 1 のセット) でのみクリアされます。



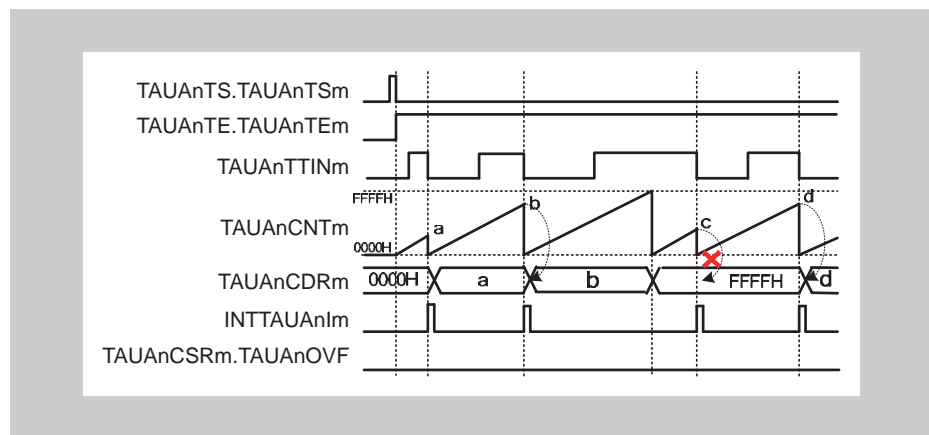
(c) TAUAnCMORm.TAUAnCOS[1:0] = 10<sub>B</sub>

図 15-46 TAUAnCMORm.TAUAnCOS[1:0] = 10<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm は FFFF<sub>H</sub> に設定され、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。

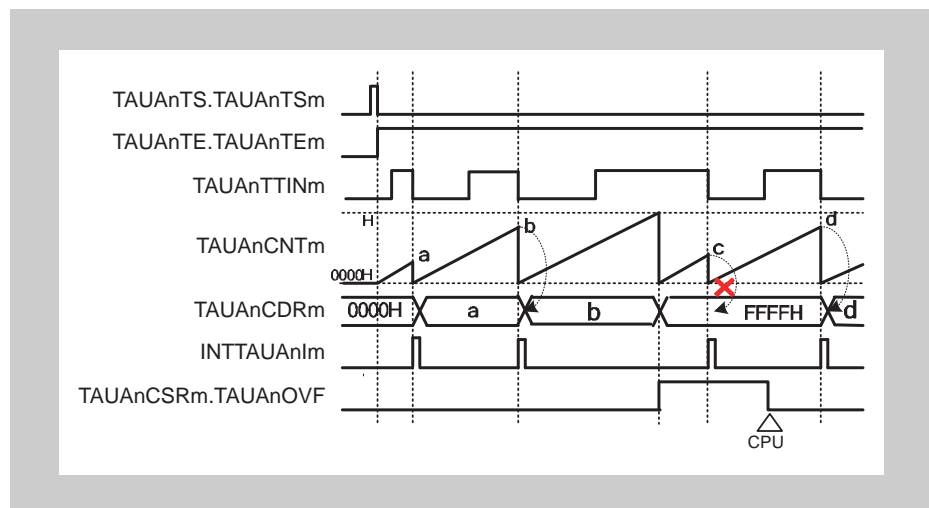
(d) TAUAnCMORm.TAUAnCOS[1:0] = 11<sub>B</sub>

図 15-47 TAUAnCMORm.TAUAnCOS[1:0] = 11<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm は FFFF<sub>H</sub> に設定され、TAUAnCSRm.TAUAnOVF は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。

- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。
- TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでクリアされます。

## 15.17.2 TAUAnTTINm 入力信号幅測定機能

### (1) 概要

**概要** この機能は、TAUAnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（表 15-43 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定」参照）。
  - この機能では、TAUAnTTOUTm は使用しません。
  - TAUAnCMORm.TAUAnMD0 は、0 に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。有効な TAUAnTTINm スタート・エッジが検出されると、カウンタ TAUAnCNTm は、0000<sub>H</sub> からカウントを開始します。有効な TAUAnTTINm ストップ・エッジが検出されると、TAUAnCNTm の値がキャプチャされ、TAUAnCDRm に転送され、割り込み INTTAUAnIm が発生します。カウンタは値 (CDRn + 1) を保持し、次の有効な TAUAnTTINm 入力スタート・エッジを待ちます。

有効な TAUAnTTINm ストップ・エッジを検出する前にカウンタが FFFF<sub>H</sub> に達すると、カウンタはオーバフローします。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUAnCDRm, TAUAnCSRm.TAUAnOVF それぞれに転送される値は、TAUAnCMORm.TAUAnCOS[1:0] ビットの値によって異なります。

表 15-42 オーバフローの影響

TAUAnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUAnTTINm 入力ストップ・エッジの検出時	
	TAUAnCDRm	TAUAnCSRm. TAUAnOVF	TAUAnCDRm, TAUAnCNTm	TAUAnCSRm. TAUAnOVF
00	変化しない	0	TAUAnCNTm が TAUAnCDRm に ロードされる	1
01		1		
10	FFFF <sub>H</sub> に設定	0	TAUAnCNTm はカウントを停止 TAUAnCDRm は変更されない	0
11		1		

TAUAnCMORm.TAUAnCOS[0] = 1 のとき、オーバフロー・ビット TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでのみクリアできます。

TAUAnCDRm 値と TAUAnCSRm.TAUAnOVF 値の組み合わせを使用することで、TAUAnTTINm 信号の幅を推定できます。ただし、有効な TAUAnTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUAnCSRm.TAUAnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

**備考** TAUAnCMORm.TAUAnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUAnTTINm 入力エッジの発生時、TAUAnCNTm の値は TAUAnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

$$\text{TAUAnTTINm 入力信号幅} = \text{カウント} \cdot \text{クロック周期} \times [ (\text{TAUAnCSRm.TAUAnOVF} \times (\text{FFFF}_H + 1)) + \text{TAUAnCDRm キャプチャ値} + 1 ]$$

(3) ブロック図と基本タイミング図

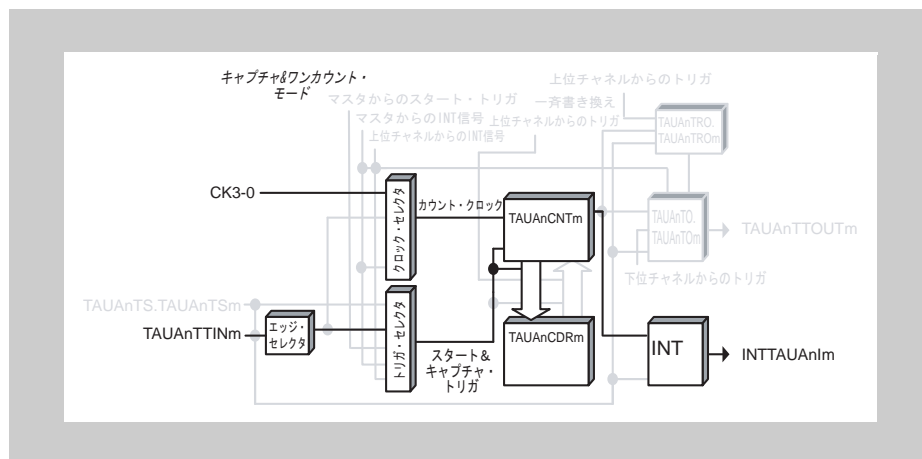


図 15-48 TAUAAnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>)
- オーバフロー後に有効な TAUAAnTTINm 入力を検出すると、TAUAAnCDRm を変更し、TAUAAnCSRm.TAUAnOVF を 1 に設定する (TAUAAnCMORM.TAUAnCOS[1:0] = 00<sub>B</sub>)

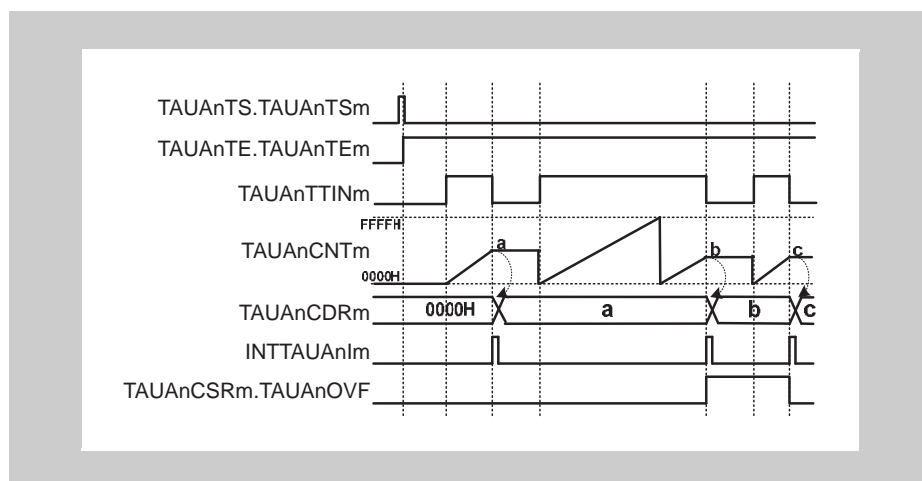


図 15-49 TAUAAnTTINm 入力信号幅測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS [2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-43 TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	010 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	表 15-42 「オーバフローの影響」を参照。
TAUAnMD[4:1]	0110 : キャプチャ & ワンカウント・モード
TAUAnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-44 TAUAnTTINm 入力信号幅測定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-45 TAUAnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) TAUAnTTINm 入力信号幅測定機能の操作手順

表 15-46 TAUAnTTINm 入力信号幅測定機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-43 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMORm 設定」と表 15-44 「TAUAnTTINm 入力信号幅測定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。TAUAnTTINm スタート・エッジを検出すると、TAUAnCNTm はアップ・カウントを開始します。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm, TAUAnCNTm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUAnCSC.CLOV ビットは、1 にセット可能です。	TAUAnCNTm は、0000 <sub>H</sub> からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> <li>TAUAnCNTm が自身の値を TAUAnCDRm に転送（キャプチャ）して、その値を保持し、INTTAUAnIm が発生します。</li> </ul> カウントは TAUAnCDRm に転送した値 + 1 の値で停止し、TAUAnCNTm は TAUAnTTINm スタート・エッジの検出を待ちます。以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図：オーバーフロー動作

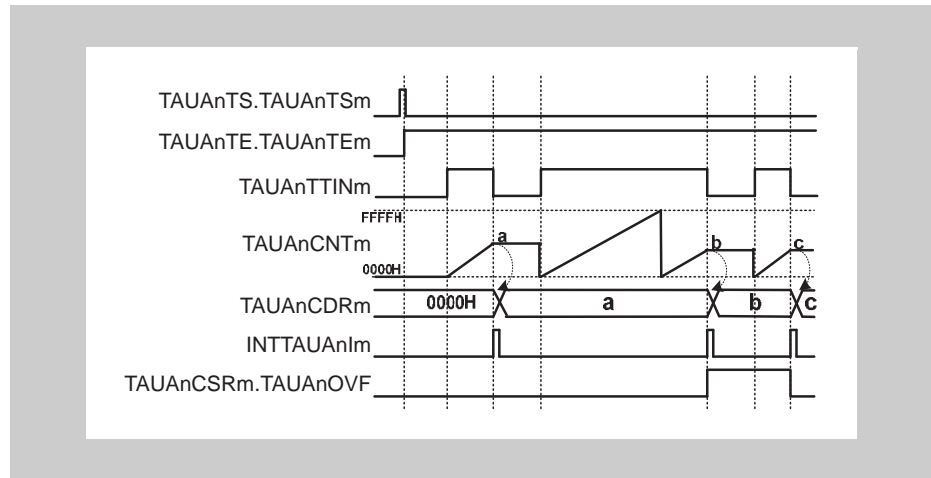
(a) TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>COS[1:0] = 00<sub>B</sub>

図 15-50 TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>COS[1:0] = 00<sub>B</sub>, TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>MD0 = 0, TAUA<sub>n</sub>CMURm.TAUA<sub>n</sub>TIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUA<sub>n</sub>CDRm の値は変更されず、TAUA<sub>n</sub>CSRm.TAUA<sub>n</sub>OVF の値は 0 のままです。
- 次の有効な TAUA<sub>n</sub>TTINm 入力エッジが検出されると、TAUA<sub>n</sub>CNTm の値が TAUA<sub>n</sub>CDRm にロードされ、TAUA<sub>n</sub>CSRm.TAUA<sub>n</sub>OVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUA<sub>n</sub>TTINm 入力エッジが検出されると、TAUA<sub>n</sub>CSRm.TAUA<sub>n</sub>OVF が 0 にクリアされます。

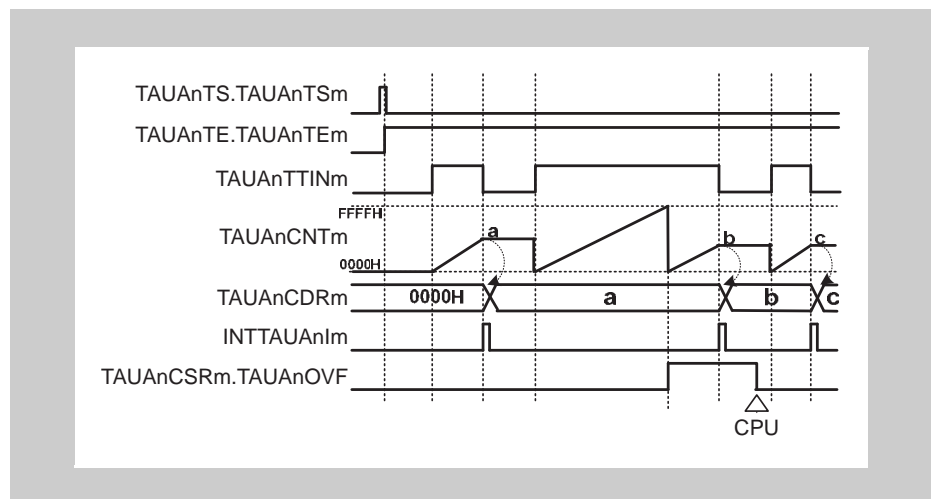
(b) TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>COS[1:0] = 01<sub>B</sub>

図 15-51 TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>COS[1:0] = 01<sub>B</sub>, TAUA<sub>n</sub>CMORm.TAUA<sub>n</sub>MD0 = 0, TAUA<sub>n</sub>CMURm.TAUA<sub>n</sub>TIS[1:0] = 11<sub>B</sub>



- オーバフローが発生すると、TAUAnCDRm の値は変更されず、TAUAnCSRm.TAUAnOVF の値は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の値が TAUAnCDRm にロードされます。
- TAUAnCSRm.TAUAnOVF は、CPU コマンド (TAUAnCSCm.TAUAnCLOV ビット =1 のセット) でのみクリアされます。

(c) TAUAnCMORm.TAUAnCOS[1:0] = 10<sub>B</sub>

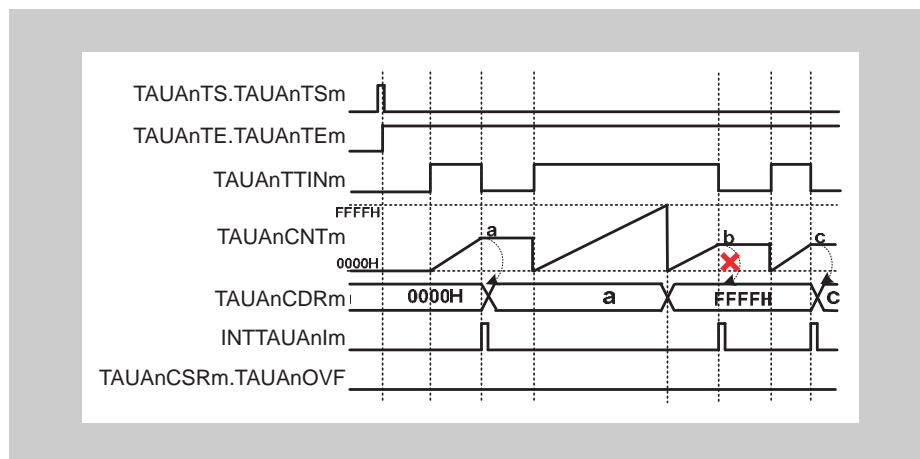


図 15-52 TAUAnCMORm.TAUAnCOS[1:0] = 10<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm は FFFF<sub>H</sub> に設定され、TAUAnCSRm.TAUAnOVF の値は 0 のままです。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。

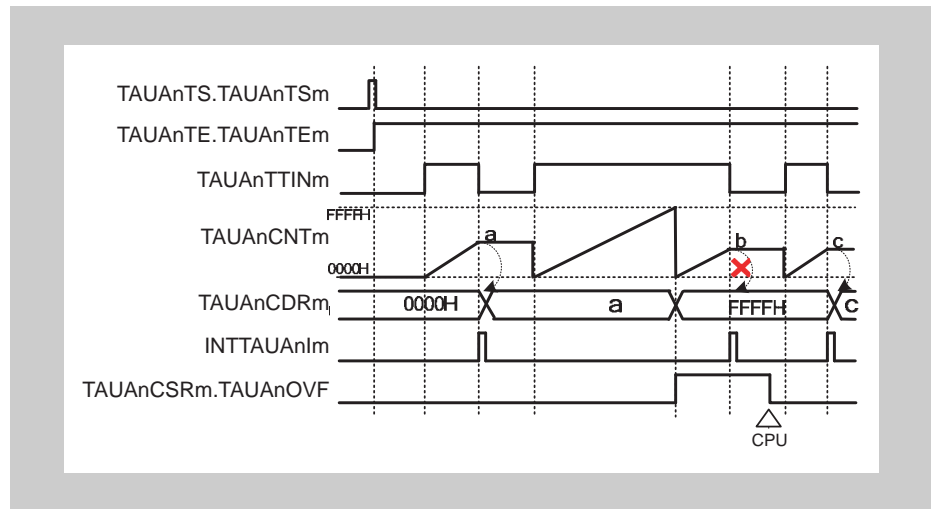
(d) TAUAnCMORm.TAUAnCOS[1:0] = 11<sub>B</sub>

図 15-53 TAUAnCMORm.TAUAnCOS[1:0] = 11<sub>B</sub>, TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUAnCDRm は FFFF<sub>H</sub> に設定され、TAUAnCSRm.TAUAnOVF は 1 に設定されます。
- 次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm が 0 にリセットされますが、TAUAnCDRm と TAUAnCSRm.TAUAnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUAnTTINm 入力エッジは無視されます。
- TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV = 1 を設定することでクリアされます。

### 15.17.3 オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時)

#### (1) 概要

**概要** この機能は、各 TAUAnTTINm 入力信号の幅を測定します。TAUAnTTINm 入力後、(FFFF<sub>H</sub> + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 15-47 「オーバーフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 幅測定時)」参照)。
  - この機能では、TAUAnTTOUTm は使用しません。
  - TAUAnCDRm の値は、FFFF<sub>H</sub> に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCNTm に FFFF<sub>H</sub> がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUAnTTINm 入カスタート・エッジが検出されると、TAUAnCNTm は FFFF<sub>H</sub> をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、割り込みが発生します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。

- TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> の場合、TAUAnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub> の場合、TAUAnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

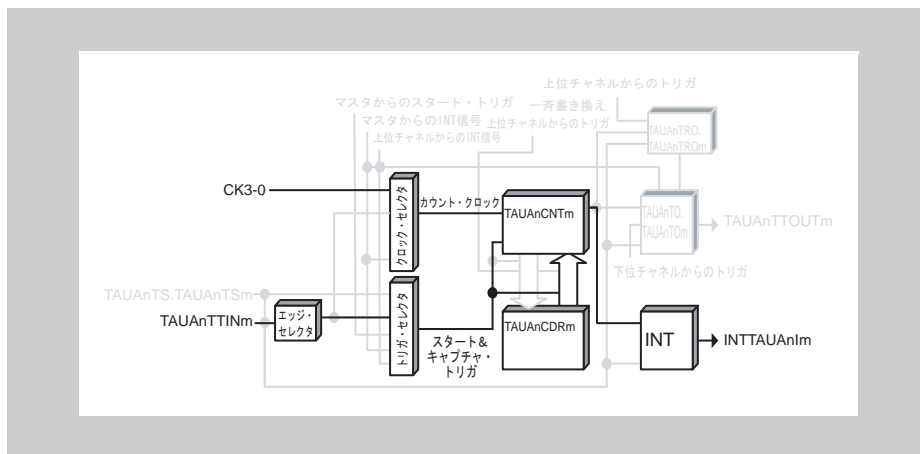


図 15-54 オーバフロー割り込み出力機能のブロック図 (TAUAnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>)

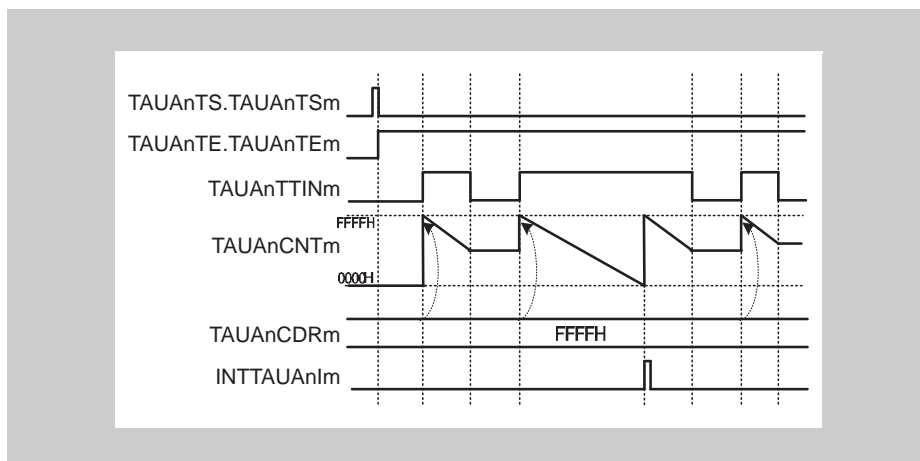


図 15-55 オーバフロー割り込み出力機能の基本タイミング図 (TAUAnTTINm 幅測定時)

## (3) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-47 オーバフロー割り込み出力機能の TAUAnCMORm 設定  
(TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	010 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-48 オーバフロー割り込み出力機能の TAUAnCMURm 設定  
(TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オーバフロー割り込み出力機能 (TAUAnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-49 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUAnTTINm 幅測定時)

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(4) オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 幅測定時)**

表 15-50 オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 幅測定時)

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-47 「オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 幅測定時)」と表 15-48 「オーバフロー割り込み出力機能の TAUAnCMURm 設定 (TAUAnTTINm 幅測定時)」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm はスタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUAnCDRm の値 (FFFF <sub>H</sub> ) を TAUAnCNTm にロードします。
	動作中 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUAnTTINm エッジ検出	TAUAnCNTm がダウン・カウントを行います。 カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUAnIm が発生します。</li> </ul> カウント動作中に TAUAnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> <li>TAUAnCNTm はカウントを停止し、トリガを待ちます。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

### 15.17.4 TAUAnTTINm 入力期間カウント検出機能

#### (1) 概要

**概要** この機能は、TAUAnTTINm 入力信号の合計幅を測定します。

**前提条件** • 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (表 15-51 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定」参照)。

• この機能では、TAUAnTTOUtm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUAnTTINm 入力エッジを待ちます。

有効な TAUAnTTINm 入カスタート・エッジが検出されると、カウンタは、0000<sub>H</sub> からカウントを開始します。

有効な TAUAnTTINm 入カストップ・エッジが検出されると、TAUAnCNTm の現在値が TAUAnCDRm にロードされ、割り込み (INTTAUAnIm) が発生します。次の有効な TAUAnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値 (CDRn + 1) を保持します。

次の有効な TAUAnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF<sub>H</sub> になると、TAUAnCSRm.TAUAnOVF ビットが 1 に設定され、カウンタは 0000<sub>H</sub> からカウント動作を再開します。

TAUAnCSCm.TAUAnCLOV = 1 を設定すると、TAUAnCSRm.TAUAnOVF 値が CPU によってリセットされます。

**備考** TAUAnTTINm 入力信号は、TAUAnCMORm.TAUAnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。

• TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> の場合、TAUAnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。

• TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub> の場合、TAUAnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

#### (2) 算出式

TAUAnTTINm 入力幅累計 =  
 カウント・クロック周期 × ((FFFF<sub>H</sub> + 1 × TAUAnCSRm.TAUAnOVF) +  
 (TAUAnCDRm キャプチャ値 + 1))

(3) ブロック図と基本タイミング図

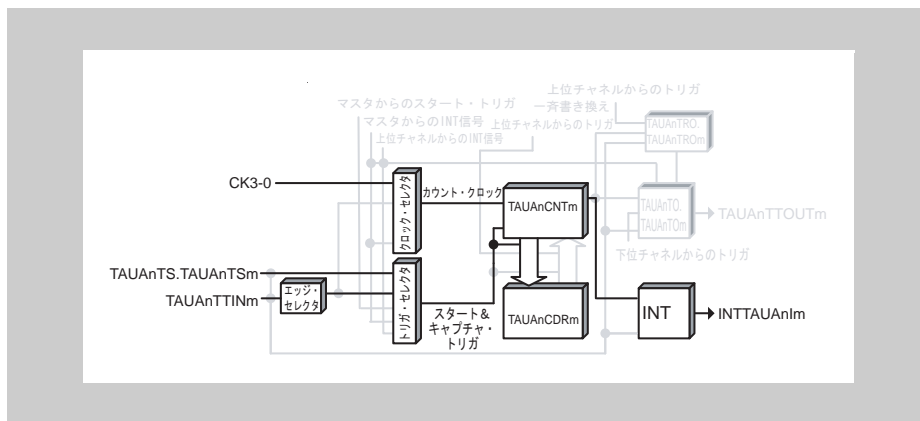


図 15-56 TAUAnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 1<sub>B</sub>)

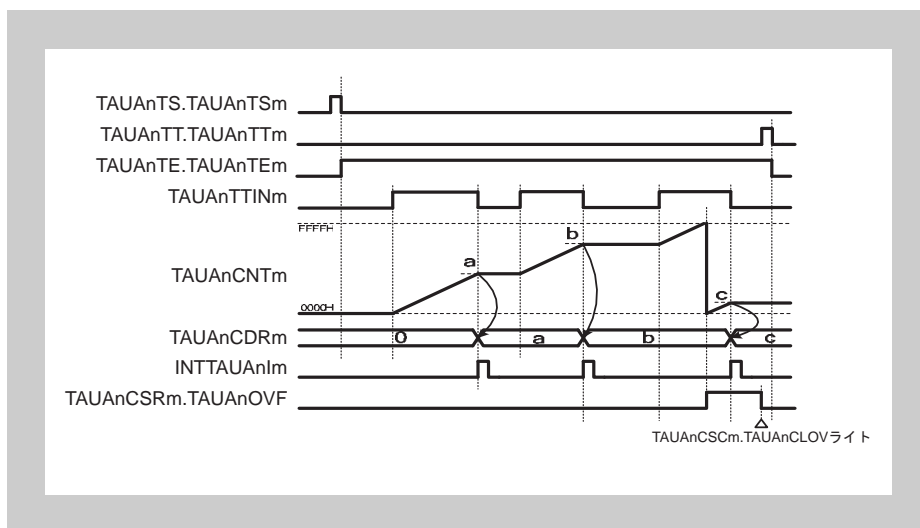


図 15-57 TAUAnTTINm 入力期間カウント検出機能の基本タイミング図



## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-51 TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	010 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUAnCSRm.TAUAnOVF) を設定, CPU 命令 (TAUAnCSCm.TAUAnCLOV に "1" 設定) によりクリア
TAUAnMD[4:1]	1101 : キャプチャ&ゲート・カウント・モード
TAUAnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-52 TAUAnTTINm 入力期間カウント検出機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-53 TAUAnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(5) TAUAnTTINm 入力期間カウント検出機能の操作手順**

表 15-54 TAUAnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUAn の状態
動作再開 ↑	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-51 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMORm 設定」と表 15-52 「TAUAnTTINm 入力期間カウント検出機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUAnCNTm は 0000 <sub>H</sub> にクリアされ、TAUAnCNTm はアップ・カウントを開始します。
動作中	TAUAnTTINm エッジ検出 TAUAnCDRm, TAUAnCNTm, TAUAnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUAnCSCm.TAUAnCLOV は、1 に設定可能です。	TAUAnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると、TAUAnCNTm は停止値よりアップ・カウントを開始します。 TAUAnCNTm は、ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると、値を TAUAnCDRm に転送し、INTTAUAnIm が発生します。 カウントは TAUAnCDRm に転送した値 + 1 の値で停止し、TAUAnCNTm は TAUAnTTINm スタート・エッジの検出を待ちます。 TAUAnCNTm が FFFF <sub>H</sub> に達すると、カウンタはオーバフローし、TAUAnCSRm.TAUAnOVF は 1 に設定されます。 以降、この動作を繰り返します。
動作停止	TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

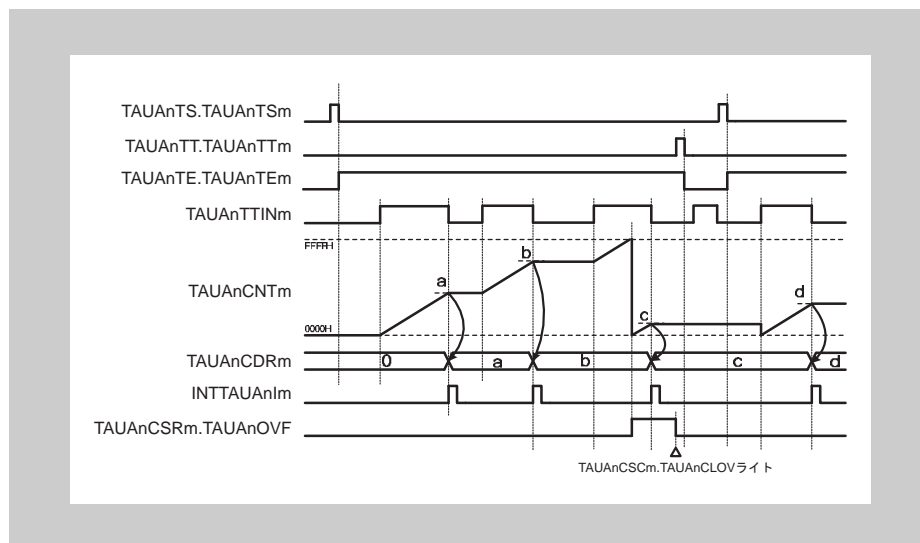


図 15-58 動作の停止と再開 (TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>)

- TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- TAUAnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUAnTTINm の有効な入力エッジは無視されます。
- TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。TAUAnCNTm は 0000<sub>H</sub> からカウントを再開します。

### 15.17.5 オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間カウント検出時)

#### (1) 概要

**概要** この機能は、TAUAnTTINm 入力信号の合計幅を測定します。TAUAnTTINm 入力合計幅が  $FFFF_H$  より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

**前提条件**

- 動作モードはゲート・カウント・モードに設定する必要があります（表 15-55 「オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 入力期間カウント検出時)」参照）。

- この機能では、TAUAnTTOUTm は使用しません。
- TAUAnCDRm の値は、 $FFFF_H$  に設定する必要があります。

**機能説明** チャネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCNTm に  $FFFF_H$  がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUAnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが  $0000_H$  になると、割り込みが発生します。TAUAnCNTm に  $FFFF_H$  がロードされ、カウンタは TAUAnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。

- TAUAnCMURm.TAUAnTIS[1:0] =  $10_B$  の場合、TAUAnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUAnCMURm.TAUAnTIS[1:0] =  $11_B$  の場合、TAUAnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

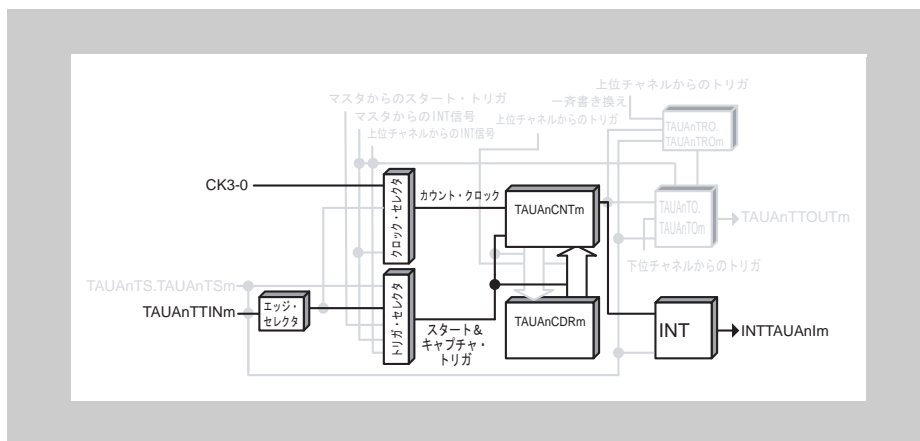


図 15-59 オーバフロー割り込み出力機能のブロック図 (TAUAnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>)

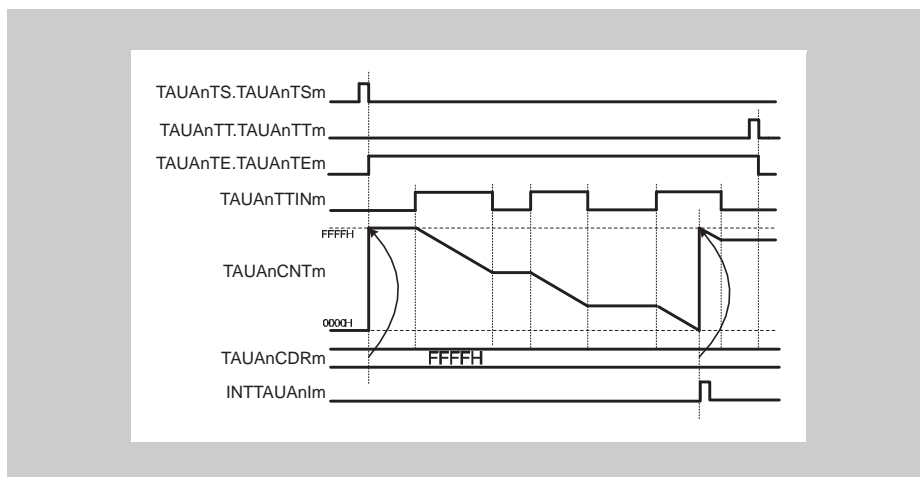


図 15-60 オーバフロー割り込み出力機能の基本タイミング図 (TAUAnTTINm 入力期間カウント検出時)

## (3) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-55 オーバフロー割り込み出力機能の TAUAnCMORm 設定  
(TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	010 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1100 : ゲート・カウント・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-56 オーバフロー割り込み出力機能の TAUAnCMURm 設定  
(TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オーバフロー割り込み出力機能 (TAUAnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 15-57 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUAnTTINm 入力期間カウント検出時)

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(4) オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 入力期間カウント検出時)**

表 15-58 オーバフロー割り込み出力機能の操作手順 (TAUAnTTINm 入力期間カウント検出時)

	操作	TAUAn の状態
動作再開	初期設定 チャネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-55 「オーバフロー割り込み出力機能の TAUAnCMORm 設定 (TAUAnTTINm 入力期間カウント検出時)」と表 15-56 「オーバフロー割り込み出力機能の TAUAnCMURm 設定 (TAUAnTTINm 入力期間カウント検出時)」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm はスタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUAnCDRm の値 (FFFF <sub>H</sub> ) を TAUAnCNTm にロードします。
	動作中 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUAnIm が発生します。</li> <li>TAUAnCDRm の値 (FFFF<sub>H</sub>) を TAUAnCNTm にロードし、ダウン・カウントを継続します。</li> </ul> カウント動作中に TAUAnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> <li>TAUAnCNTm は停止値からダウン・カウントを行います。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

### 15.17.6 TAUAnTTINm 入力パルス・インターバル判定機能

#### (1) 概要

**概要** この機能は、TAUAnTTINm 入力パルスの発生時、カウント値 (TAUAnCNTm) とチャンネル・データ・レジスタ (TAUAnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。

**前提条件**

- 動作モードはジャッジ・モードに設定する必要があります (表 15-59 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定」参照)。

- この機能では、TAUAnTTOUTm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

TAUAnTTINm 有効エッジが検出された場合、または TAUAnTS.TAUAnTSm が 1 に設定された場合、この機能は TAUAnCNTm と TAUAnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。TAUAnCNTm は、TAUAnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUAnTTINm エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、TAUAnCNTm はオーバフローし、FFFF<sub>H</sub> に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

**条件** 比較の種類を TAUAnCMORm.TAUAnMD0 ビットで指定します。

- TAUAnCMORm.TAUAnMD0 = 0 かつ TAUAnCNTm ≤ TAUAnCDRm の場合、INTTAUAnIm が発生します。
- TAUAnCMORm.TAUAnMD0 = 1 かつ TAUAnCNTm > TAUAnCDRm の場合、INTTAUAnIm が発生します。



(2) ブロック図と基本タイミング図

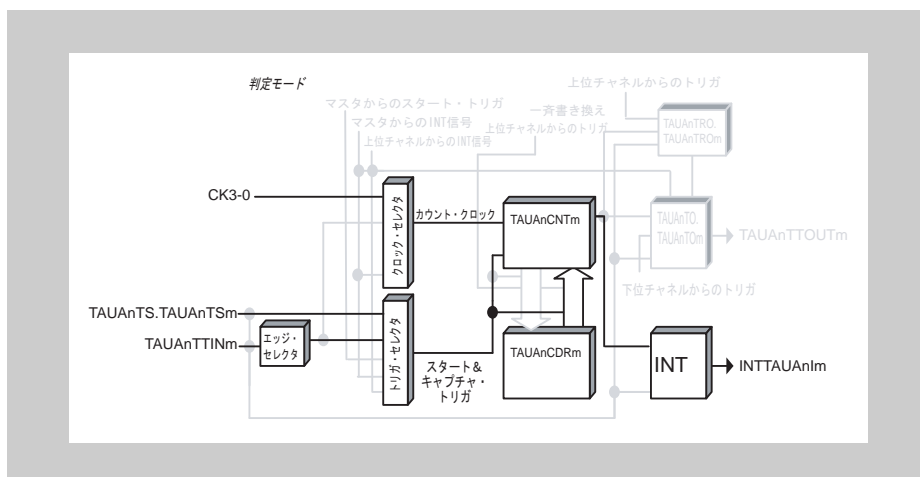


図 15-61 TAUAnTTINm 入力パルス・インターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がリエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

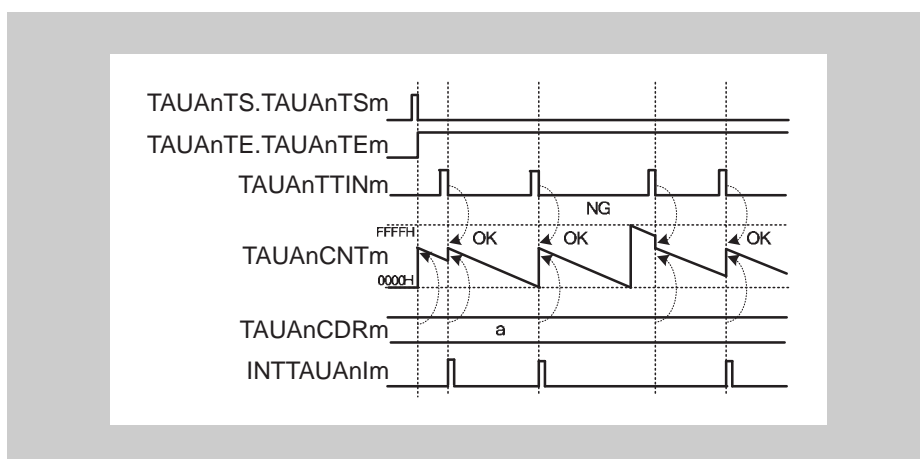


図 15-62 TAUAnTTINm 入力パルス・インターバル判定機能の基本タイミング図

## (3) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-59 TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0001 : ジャッジ・モード
TAUAnMD0	0 : TAUAnCNTm ≤ TAUAnCDRm の場合, INTTAUAnIm が発生 1 : TAUAnCNTm > TAUAnCDRm の場合, INTTAUAnIm が発生

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-60 TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力パルス・インターバル判定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-61 TAUAnTTINm 入力パルス・インターバル判定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(4) TAUAnTTINm 入力パルス・インターバル判定機能の操作手順**

表 15-62 TAUAnTTINm 入力パルス・インターバル判定機能の操作手順

	操作	TAUAn の状態
動作再開	TAUAnCMORm, TAUAnCMURm レジスタを、表 15-59 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMORm 設定」と表 15-60 「TAUAnTTINm 入力パルス・インターバル判定機能の TAUAnCMURm 設定」に示すように設定します。  TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。
	TAUAnTTINm エッジ検出  TAUAnCDRm 値は任意のタイミングで変更可能です。  TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。 TAUAnTTINm 入力エッジ検出時 : <ul style="list-style-type: none"> <li>再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>TAUAnCNTm は、値を比較し、TAUAnCMORm.TAUAnMD0 の設定にしたがって条件を判定します。</li> <li>条件が満たされている場合、INTTAUAnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
	TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

### 15.17.7 TAUAnTTINm 入力信号幅判定機能

#### (1) 概要

**概要** この機能は、TAUAnTTINm 入力信号の有効なストップ・エッジの検出時、カウンタ値 (TAUAnCNTm) とチャンネル・データ・レジスタ (TAUAnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。

- 前提条件**
- 動作モードはジャッジ & ワンカウント・モードに設定する必要があります (表 15-63 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定」参照)。
  - この機能では、TAUAnTTOUtm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。有効な TAUAnTTINm 入力スタート・エッジが検出されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

有効な TAUAnTTINm ストップ・エッジが検出されると、この機能は TAUAnCNTm と TAUAnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUAnIm が発生します。カウンタ TAUAnCNTm は、比較の結果に関係なく、次の有効な TAUAnTTINm スタート・エッジを検出するまで値を保持します。

有効な TAUAnTTINm ストップ・エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、TAUAnCNTm はオーバフローし、FFFF<sub>H</sub> に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件**
- 比較の種類を TAUAnCMORm.TAUAnMD0 ビットで指定します。
    - TAUAnCMORm.TAUAnMD0 = 0 かつ TAUAnCNTm ≤ TAUAnCDRm の場合、INTTAUAnIm が発生します。
    - TAUAnCMORm.TAUAnMD0 = 1 かつ TAUAnCNTm > TAUAnCDRm の場合、INTTAUAnIm が発生します。
  - TAUAnCMURm.TAUAnTIS[1:0] ビットで幅測定のタイプを指定します。
    - High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub> の場合) では、TAUAnTTINm 立ち上がりエッジをスタート・エッジ、TAUAnTTINm 立ち下がりエッジをストップ・エッジとして使用します。
    - Low 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> の場合) では、TAUAnTTINm 立ち下がりエッジをスタート・エッジ、TAUAnTTINm 立ち上がりエッジをストップ・エッジとして使用します。
  - この機能では強制リスタートは行えません。

## (2) ブロック図と基本タイミング図

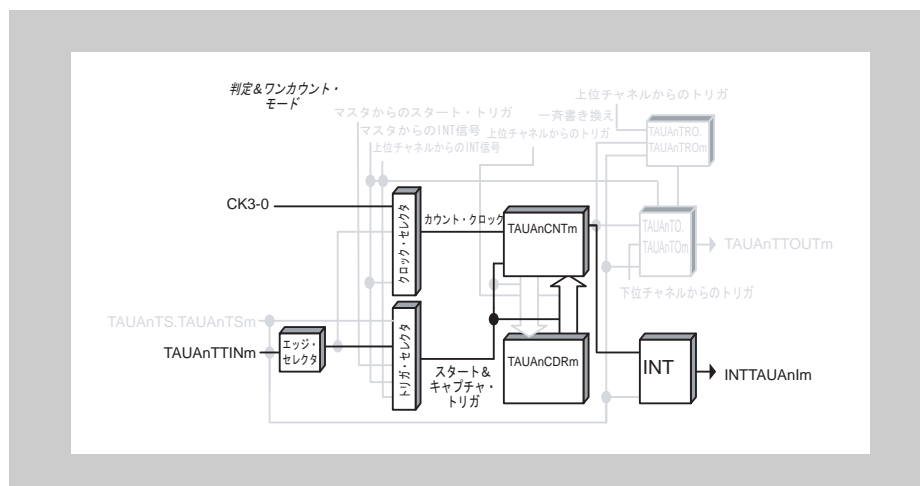


図 15-63 TAUAnTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUAnCNTm \leq TAUAnCDRm$  ( $TAUAnCMORm.TAUAnMD0 = 0$ ) の場合、INTTAUAnIm が発生します。
- TAUAnTTINm 有効スタート・エッジ = 立ち上がりエッジ, TAUAnTTINm 有効ストップ・エッジ = 立ち下がりエッジ  
( $TAUAnCMURm.TAUAnTIS[1:0] = 11_B$ )

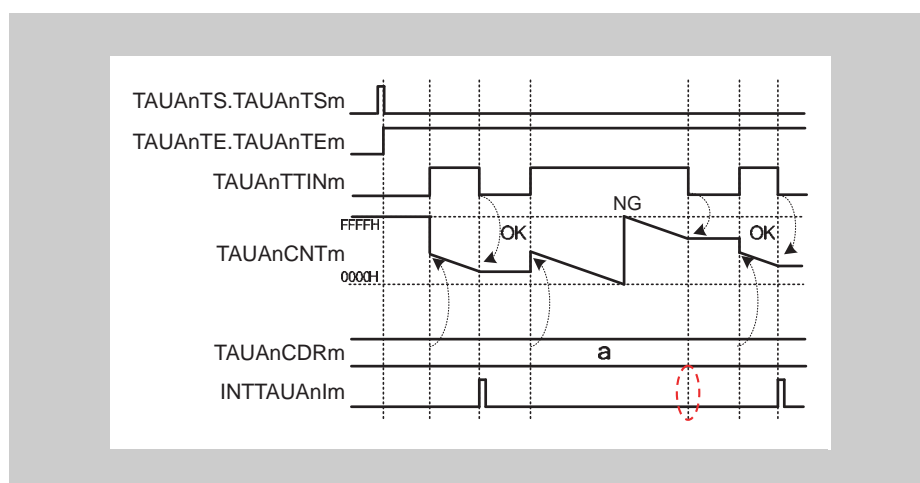


図 15-64 TAUAnTTINm 入力信号幅判定機能の基本タイミング図

## (3) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-63 TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	010 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0111 : ジャッジ&ワンカウント・モード
TAUAnMD0	0 : TAUAnCNTm ≤ TAUAnCDRm の場合, INTTAUAnIm が発生 1 : TAUAnCNTm > TAUAnCDRm の場合, INTTAUAnIm が発生

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-64 TAUAnTTINm 入力信号幅判定機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-65 TAUAnTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(4) TAUAnTTINm 入力信号幅判定機能の操作手順**

表 15-66 TAUAnTTINm 入力信号幅判定機能の操作手順

	操作	TAUAn の状態
動作再開	初期設定 チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-63 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMORm 設定」と表 15-64 「TAUAnTTINm 入力信号幅判定機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUAnTTINm スタート・エッジ検出	TAUAnTE.TAUAnTEm が 1 に設定され、TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 TAUAnTTINm スタート・エッジが検出されると、TAUAnCDRm の値を TAUAnCNTm にロードします。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm がダウン・カウントを行います。 TAUAnTTINm ストップ・エッジ検出時： <ul style="list-style-type: none"> <li>TAUAnCNTm は停止し、TAUAnTTINm スタート・エッジ検出を待ちます。</li> <li>TAUAnCNTm は、値を比較し、TAUAnCMORm.TAUAnMD0 の設定にしたがって条件を判定します。</li> <li>条件が満たされている場合、INTTAUAnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

## 15.18 チャンネル単体リアルタイム機能

この節では、TAUAnTRO.TAUAnTROm ビット値をリアルタイム出力する機能について説明します。

- 15.18.1 「リアルタイム出力機能タイプ1」
- 15.18.2 「リアルタイム出力機能タイプ2」



### 15.18.1 リアルタイム出力機能タイプ1

#### (1) 概要

**概要** 指定したチャンネルでの割り込み (INTTAUAnIm) 発生時に, TAUAnTTOUTm から TAUAnTRO.TAUAnTROm ビット値を出力する機能です。この機能では, 設定した一定の間隔で割り込みが発生します。

- 前提条件**
- 他チャンネルの TAUAnTTOUTm 制御を使用するチャンネル
  - 上位チャンネルの動作モードは, インターバル・タイマ・モードに設定する必要があります (表 15-67 「リアルタイム出力機能タイプ1の TAUAnCMORm 設定」参照)。
  - 下位チャンネルには任意の動作モードを設定可能です。
  - 全チャンネルのチャンネル出力モードは, リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。
  - 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUAnTRE.TAUAnTREM = 1)。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると, 上位チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり, カウンタが可能になります。上位チャンネルのデータ・レジスタ (TAUAnCDRm) の現在値がカウンタ (TAUAnCNTm) にロードされ, カウンタはこの値からダウン・カウントを開始します。

上位チャンネルのカウンタが 0000<sub>H</sub> に達すると, INTTAUAnIm が発生し, TAUAnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) の現在値を出力します (TAUAnTRE.TAUAnTREM = 1 のチャンネルのみ)。その後, 再び TAUAnCDRm の値を TAUAnCNTm にロードし, 以降, 動作を継続します。

TAUAnTTOUTm 信号は, 割り込み発生時と, その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TAUAnTROm の現在値と異なる場合にのみ変化します。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは, 該当チャンネルに TAUAnTRC.TAUAnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない, その他すべてのチャンネルは, TAUAnTRC.TAUAnTRCm ビットを0に設定しておく必要があります。
  - 下位チャンネルのリアルタイム出力が禁止 (TAUAnTRE.TAUAnTREM = 0) されている場合, またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUAnTRC.TAUAnTRCm = 1), そのチャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されます。
  - 下位チャンネルのリアルタイム出力が許可されていて (TAUAnTRE.TAUAnTREM = 1), TAUAnTRC.TAUAnTRCm = 0 である場合, 上位チャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAnTRO.TAUAnTROm ビット値が出力されます。
  - TAUAnCMORm.TAUAnMD0 ビットが0に設定されている場合, 動作開始または再開後の最初の割り込みは出力されません。詳細は 15.11 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) 算出式

$$\text{INTTAUAnIm の発生周期} = \text{カウント} \cdot \text{クロック周期} \times (\text{TAUAnCDRm 値} + 1)$$

(3) ブロック図と基本タイミング図

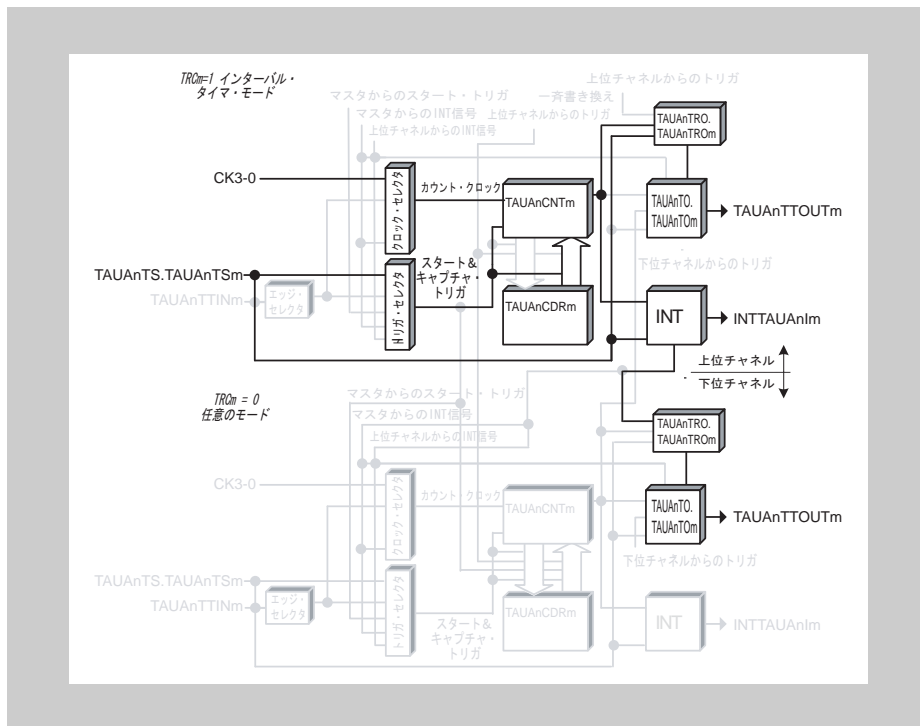


図 15-65 リアルタイム出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAn1m が発生する (TAUAnCMORm.TAUAnMD0 = 1)

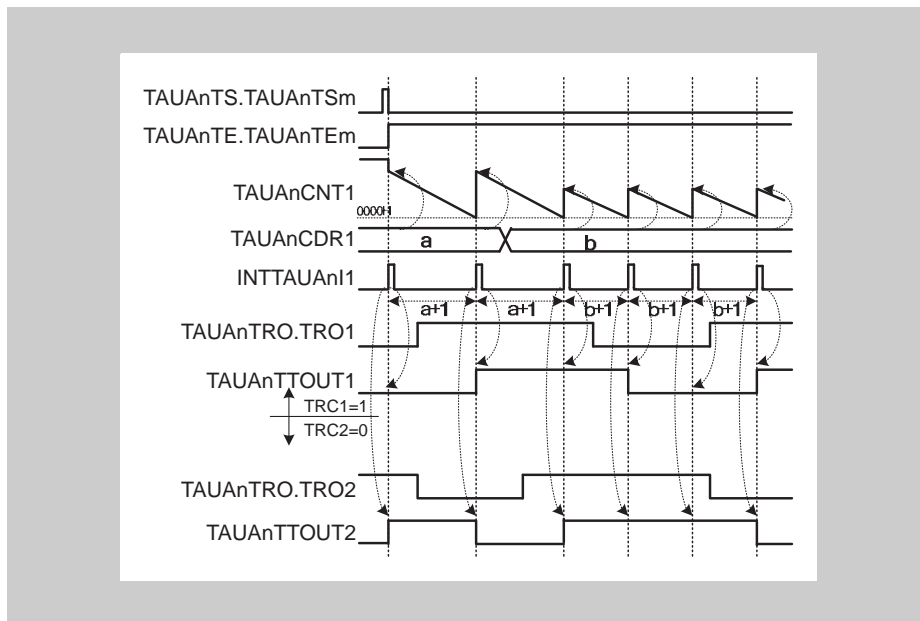


図 15-66 リアルタイム出力機能タイプ1の基本タイミング図

## (4) 上位チャネルのレジスタ設定

## (a) 上位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-67 リアルタイム出力機能タイプ1の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) 上位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-68 リアルタイム出力機能タイプ1の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位チャネルのチャネル出力モード

表 15-69 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	1: チャネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、リアルタイム出力機能タイプ1では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-70 リアルタイム出力機能タイプ1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(5) 下位チャンネルのレジスタ設定****(a) 下位チャンネルの TAUAnCMORm**

下位チャンネルの TAUAnCMORm レジスタは任意の設定が可能です。

**(b) 下位チャンネルの TAUAnCMURm**

下位チャンネルの TAUAnCMURm レジスタは任意の設定が可能です。

**(c) 下位チャンネルのチャンネル出力モード**

表 15-71 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

**(d) 下位チャンネルの一斉書き換え**

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(6) リアルタイム出力機能タイプ1の操作手順

表 15-72 リアルタイム出力機能タイプ1の操作手順

	操作	TAUAnの状態
チャンネルの初期設定	<p>上位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、表 15-67 「リアルタイム出力機能タイプ1の TAUAnCMORm 設定」と表 15-68 「リアルタイム出力機能タイプ1の TAUAnCMURm 設定」に示すように設定します。</p> <p>下位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、(5) 「下位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUAnCDRm レジスタの値を設定します (TAUAnTRC.TAUAnTRCm = 1 のチャンネルのみ)。</p> <p>制御ビットを表 15-69 「リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p> <p>制御ビットを表 15-71 「リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	<p>チャンネル動作を停止しています。</p>
動作再開	<p>動作開始</p> <p>TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネルでは、TAUAnTS.TAUAnTSm = 1 を設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>[TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネル]</p> <p>TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。</p> <p>TAUAnCDRm の値を TAUAnCNTm にロードします。TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。</p>
動作中	<p>動作中</p> <p>TAUAnCDRm レジスタと TAUAnTRO.TAUAnTROm は任意のタイミングで変更可能です。TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>TAUAnCNTm がダウン・カウントを行います。カウンタが 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生します。</li> <li>TAUAnTTOUTm がリアルタイム出力ビット TAUAnTRO.TAUAnTROm の現在値を出力します。以降、この動作を繰り返します。</li> </ul>
動作停止	<p>動作停止</p> <p>TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。</p> <p>TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUTm は現在値を保持します。</p>

## (7) 特定の設定時のタイミング図

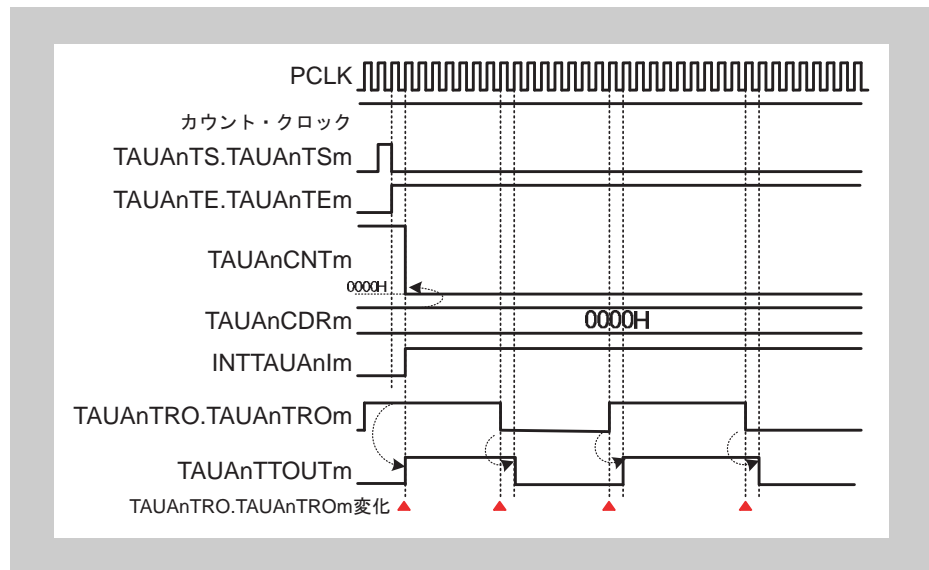


図 15-67 TAUAnCDRm = 0000<sub>H</sub>, TAUAnCMORm.TAUAnMD0 = 1

- PCLK 周期が遅延すると、TAUAnTTOUTm の値は TAUAnTRO.TAUAnTROm の設定にしたがって変化します。



## 15.18.2 リアルタイム出力機能タイプ2

### (1) 概要

**概要** 指定したチャンネルでの割り込み (INTTAUAnIm) 発生時に, TAUAAnTTOUTm から TAUAAnTRO.TAUAAnTROm ビット値を出力する機能です。この機能の開始時, または有効な TAUAAnTTINm 入力エッジが検出されると, 割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUAAnTRC.TAUAAnTRCm = 1), 下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUAAnTRC.TAUAAnTRCm = 0) です。

- 前提条件**
- 他チャンネルの TAUAAnTTOUTm 制御を使用するチャンネル
  - 上位チャンネルの動作モードは, キャプチャ・モードに設定する必要があります (表 15-73 「リアルタイム出力機能タイプ2 の TAUAAnCMORm 設定」参照)。
  - 下位チャンネルには任意の動作モードを設定可能です。
  - 全チャンネルのチャンネル出力モードは, リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。
  - 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUAAnTRE.TAUAAnTREM = 1)。

**機能説明** チャンネル・トリガ・ビット (TAUAAnTS.TAUAAnTSM) を1に設定すると, 上位チャンネルのカウンタ動作が許可されます。これにより TAUAAnTE.TAUAAnTEM = 1 となり, カウンタが可能になります。上位チャンネルのカウンタがアップ・カウンタを開始します。

上位チャンネルで有効な TAUAAnTTINm 入力エッジが発生すると, 割り込みが発生し, TAUAAnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUAAnTRO.TAUAAnTROm) の現在値を出力します (TAUAAnTRE.TAUAAnTREM = 1 のチャンネルのみ)。

TAUAAnTTOUTm 信号は, 割り込み発生時と, その割り込み発生時に TAUAAnTTOUTm の値が TAUAAnTRO.TAUAAnTROm の現在値と異なる場合にのみ変化します。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは, 該当チャンネルに TAUAAnTRC.TAUAAnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない, その他すべてのチャンネルは, TAUAAnTRC.TAUAAnTRCm ビットを0に設定しておく必要があります。
  - 下位チャンネルのリアルタイム出力が禁止 (TAUAAnTRE.TAUAAnTREM = 0) されている場合, またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUAAnTRC.TAUAAnTRCm = 1), そのチャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAAnTRO.TAUAAnTROm ビット値が出力されます。
  - 下位チャンネルのリアルタイム出力が許可されていて (TAUAAnTRE.TAUAAnTREM = 1), TAUAAnTRC.TAUAAnTRCm = 0 である場合, 上位チャンネルでの INTTAUAnIm 発生時にそのチャンネルの TAUAAnTRO.TAUAAnTROm ビット値が出力されます。
  - TAUAAnCMORm.TAUAAnMD0 ビットが0に設定されている場合, 動作開始または再開後の最初の割り込みは出力されません。詳細は 15.11 「カウント開始/リスタート時の TAUAAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

(2) ブロック図と基本タイミング図

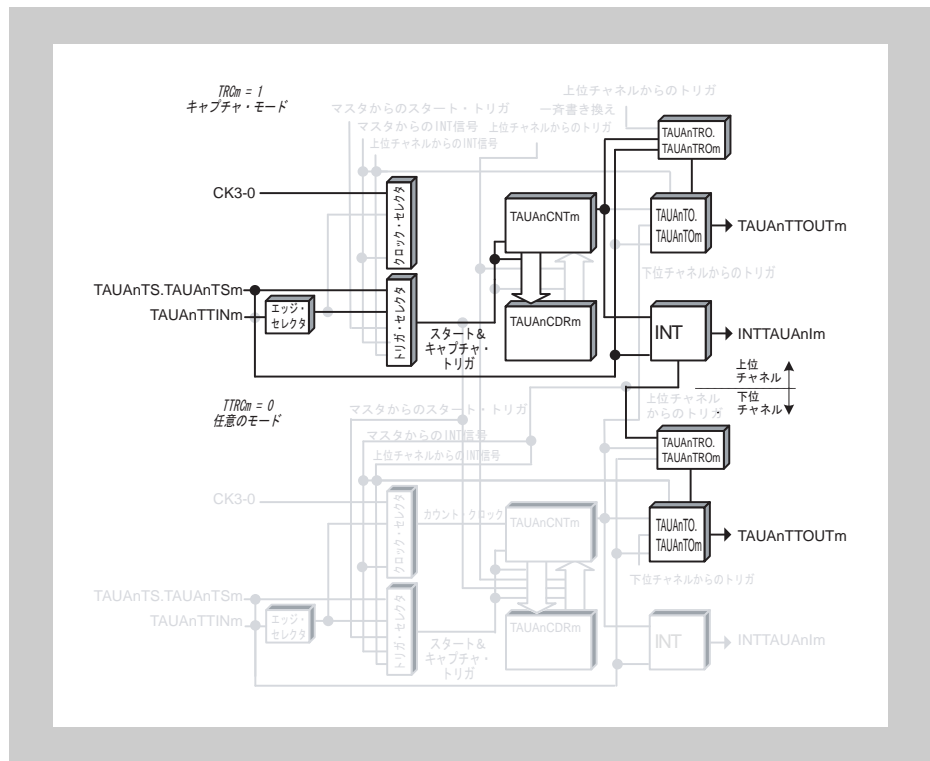


図 15-68 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)

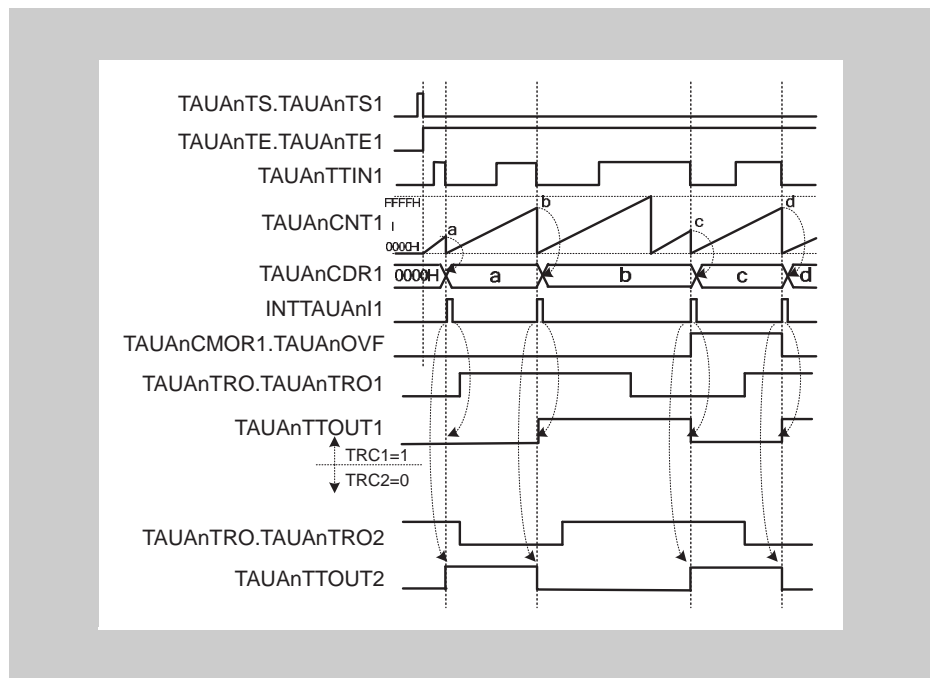


図 15-69 リアルタイム出力機能タイプ2の基本タイミング図

## (3) 上位チャネルのレジスタ設定

## (a) 上位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-73 リアルタイム出力機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0010 : キャプチャ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) 上位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-74 リアルタイム出力機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) 上位チャネルのチャネル出力モード

表 15-75 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	1: チャネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、リアルタイム出力機能タイプ2では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-76 リアルタイム出力機能タイプ2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (4) 下位チャンネルのレジスタ設定

## (a) 下位チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-77 一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号をスタート・トリ ガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	1 : 動作開始時に INTTAUAnIm が発生する

## (b) 下位チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-78 一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) 下位チャンネルのチャンネル出力モード

表 15-79 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止 1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成 1: チャンネル m は独自のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

## (5) リアルタイム出力機能タイプ2の操作手順

表 15-80 リアルタイム出力機能タイプ2の操作手順

	操作	TAUAnの状態
動作再開 ↑	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	[TAUAnTRC.TAUAnTRCm が 1 に設定されているチャンネル] TAUAnTE.TAUAnTEm が 1 に設定され、カウンタが開始されます。 TAUAnCNTm が 0000 <sub>H</sub> にクリアされます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中	TAUAnCNTm は、0000 <sub>H</sub> からアップ・カウンタを開始します。TAUAnTTINm 入力の有効エッジ検出時： • INTTAUAnIm が発生します。 TAUAnTTOUTm がリアルタイム出力ビットTAUAnTRO.TAUAnTROm の現在値を出力します。 以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm, TAUAnCSRm.TAUAnOVF, TAUAnTTOUTm は現在値を保持します。

## (6) 特定のタイミング図

## (a) 動作の開始と停止

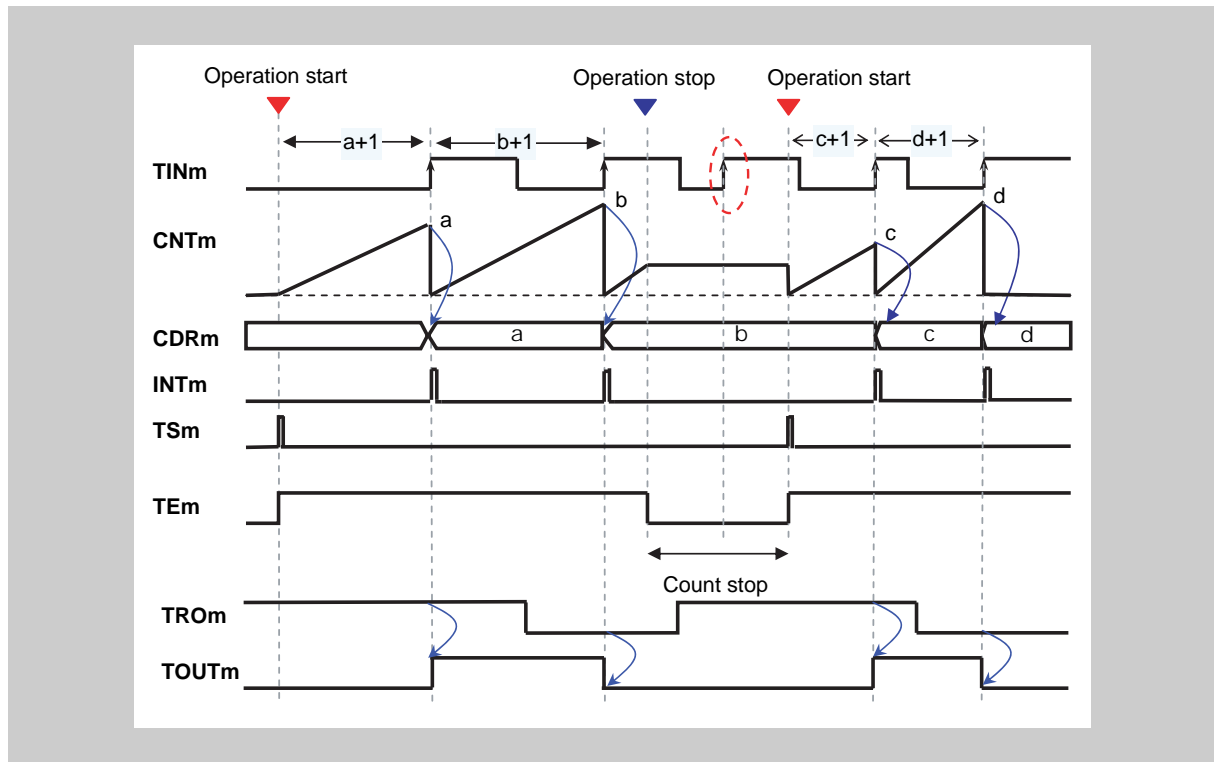


図 15-70 動作の開始と停止 (TAUAnCMORm.MD0 = 0)

- TAUAnTS.TSm が 1 に設定され、カウンタがアップ・カウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータ・レジスタ (TAUAnCDRm) に書き込まれ、割り込みが発生します。
- TAUAnTTOUTm はリアルタイム出力ビット (TAUAnTRO.TROm) の現在値を出力し、カウンタはリセットされ、アップ・カウントを再開します。
- TAUAnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合 (TAUAnTT.TTm = 1)、有効な入力エッジは無視され、割り込みは発生しません。



## 15.19 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 15.19.1 「一斉書き換えトリガ生成機能タイプ1」
- 15.19.2 「一斉書き換えトリガ生成機能タイプ2」

### 15.19.1 一斉書き換えトリガ生成機能タイプ1

#### (1) 概要

**概要** 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUAnRDC.TAUAnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUAnRDC.TAUAnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUAnRDE.TAUAnRDEm = 1)
  - 上位チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-81 「一斉書き換えトリガ生成機能タイプ1のTAUAnCMORm 設定」参照)。
  - 下位チャンネルに設定可能な動作モードは、表 15-15 「一斉書き換え方法とトリガ・タイミング」を参照してください。
  - この機能では、TAUAnTTOUTm はいずれのチャンネルでも使用しません。

**機能説明** 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、カウンタ動作が許可されます。これによりTAUAnTE.TAUAnTEm = 1となり、カウンタが可能になります。上位チャンネルのデータ・レジスタ・バッファ (TAUAnCDRm buf) の現在値がカウンタ (TAUAnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが0000<sub>H</sub>になると、そのチャンネルで割り込みが発生します。対応するTAUAnCDRm バッファの現在値をTAUAnCNTmにロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガ・チャンネルとして設定されていて (TAUAnRDC.TAUAnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUAnRSF.TAUAnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して、その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは、該当チャンネルにTAUAnRDC.TAUAnRDCm = 1を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUAnRDC.TAUAnRDCm ビットを0に設定しておく必要があります。
  - TAUAnCMORm.TAUAnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。15.11 「カウント開始/リスタート時のTAUAnTTOUTm 出力とINTTAUAnIm 生成」を参照してください。

## (2) 算出式

一斉書き換えトリガの生成周期 =  
 カウント・クロック周期 × (TAUAnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUAnCDRm = [ (一斉書き換え対象マスタ・チャンネルの TAUAnCDRm 値 + 1) \times 割り込み数 ] - 1$

[三角波 PWM の場合]

$TAUAnCDRm = [ (一斉書き換え対象マスタ・チャンネルの TAUAnCDRm 値 + 1) \times 2 \times 割り込み数 ] - 1$

つまり、TAUAnCDRm + 1 と TAUAnCDRm\_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

## (3) ブロック図と基本タイミング図

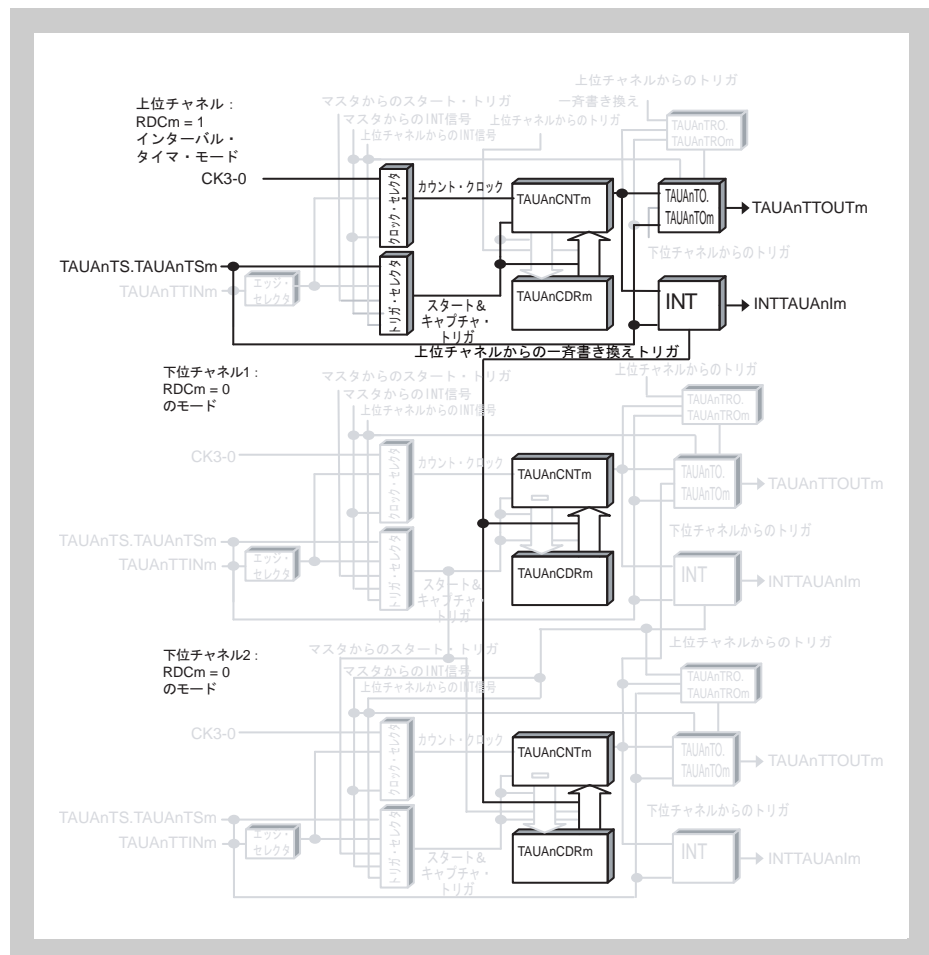


図 15-71 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

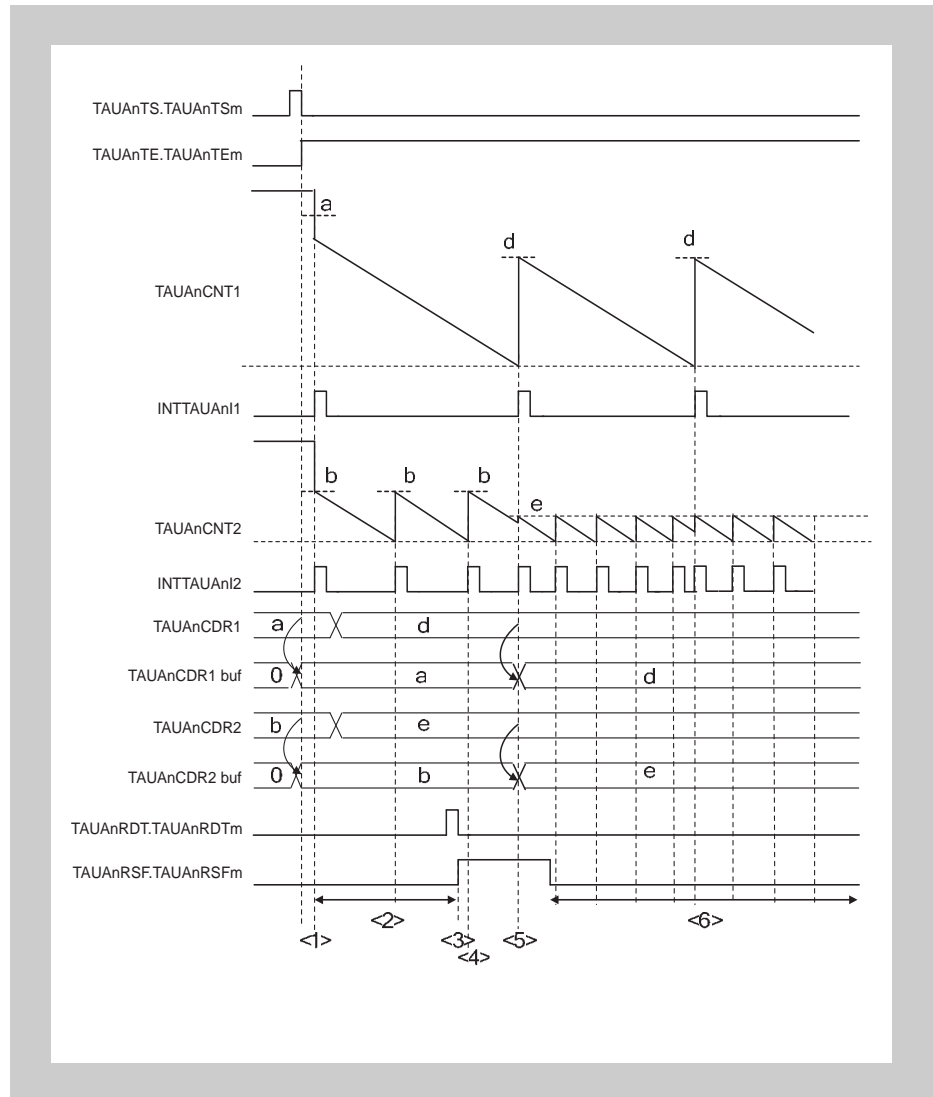


図 15-72 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

## (4) 上位チャネルのレジスタ設定

## (a) 上位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	-		TAUAnMD[4:1]				TAUAn MD0			

表 15-81 一斉書き換えトリガ生成機能タイプ1の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) 上位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUAnTIS [1:0]

表 15-82 一斉書き換えトリガ生成機能タイプ1の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 上位チャネルの一斉書き換え**

表 15-83 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	1: チャネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタ

**(5) 下位チャネルのレジスタ設定****(a) 下位チャネルの TAUAnCMORm**

下位チャネルの TAUAnCMORm レジスタは、設定可能な動作モードの TAUAnCMORm レジスタ設定に従ってください（表 15-15 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(b) 下位チャネルの TAUAnCMURm**

下位チャネルの TAUAnCMURm レジスタは、設定可能な動作モードの TAUAnCMURm レジスタ設定に従ってください（表 15-15 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(c) 下位チャネルのチャネル出力モード**

下位チャネルの動作モード（マスタ・スレーブ）設定に従った出力が可能です。

**(d) 下位チャネルの一斉書き換え**

表 15-84 一斉書き換えトリガ生成機能タイプ1時の下位チャネル一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	0: チャネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない

## (6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 15-85 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUAnの状態
動作再開 ↓	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm が1に設定され、カウントが開始されます。 TAUAnCDRm の値を TAUAnCNTm にロードします。TAUAnCMORm.TAUAnMD0 = 1 の場合、INTTAUAnIm が発生します。
	動作中	TAUAnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUAnCDRm の値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生します。</li> </ul> TAUAnRDC.TAUAnRDCm が1に設定されているチャンネルで INTTAUAnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止	TAUAnTE.TAUAnTEm が0にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm は現在値を保持します。

## 15.19.2 一斉書き換えトリガ生成機能タイプ2

### (1) 概要

**概要** 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この機能の開始時、または有効な TAUAnTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUAnRDC.TAUAnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUAnRDC.TAUAnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUAnRDE.TAUAnRDEm = 1)
  - 上位チャンネルの動作モードは、キャプチャ・モードに設定する必要があります (表 15-86 「一斉書き換えトリガ生成機能タイプ2のTAUAnCMORM設定」参照)。
  - 下位チャンネルに設定可能な動作モードは、表 15-15 「一斉書き換え方法とトリガ・タイミング」を参照してください。
  - 上位チャンネルのチャンネル出力モードは、ソフトウェア制御のチャンネル単体出力モードに設定する必要があります。15.9 「チャンネル出力モード」を参照してください。
  - 下位チャンネルには任意のチャンネル出力モードを設定可能です。

**機能説明** 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を1に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。上位チャンネルのカウンタがアップ・カウントを開始し、下位チャンネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャンネルで有効な TAUAnTTINm 入力エッジが発生すると、割り込みが発生し、下位チャンネルでトリガ検出による割り込みが発生します。

上位チャンネルで TAUAnRDC.TAUAnRDCm = 1 の場合、一斉書き換えが可能な状態 (TAUAnRSF.TAUAnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUAnIm の発生を検出するチャンネルは、該当チャンネルに TAUAnRDC.TAUAnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUAnRDC.TAUAnRDCm ビットを0に設定しておく必要があります。
  - TAUAnCMORM.TAUAnMD0 ビットを1に設定した場合、動作開始時に割り込みが発生します。詳細は 15.11 「カウント開始／リスタート時のTAUAnTTOUTm出力とINTTAUAnIm生成」を参照してください。



(2) ブロック図と基本タイミング図

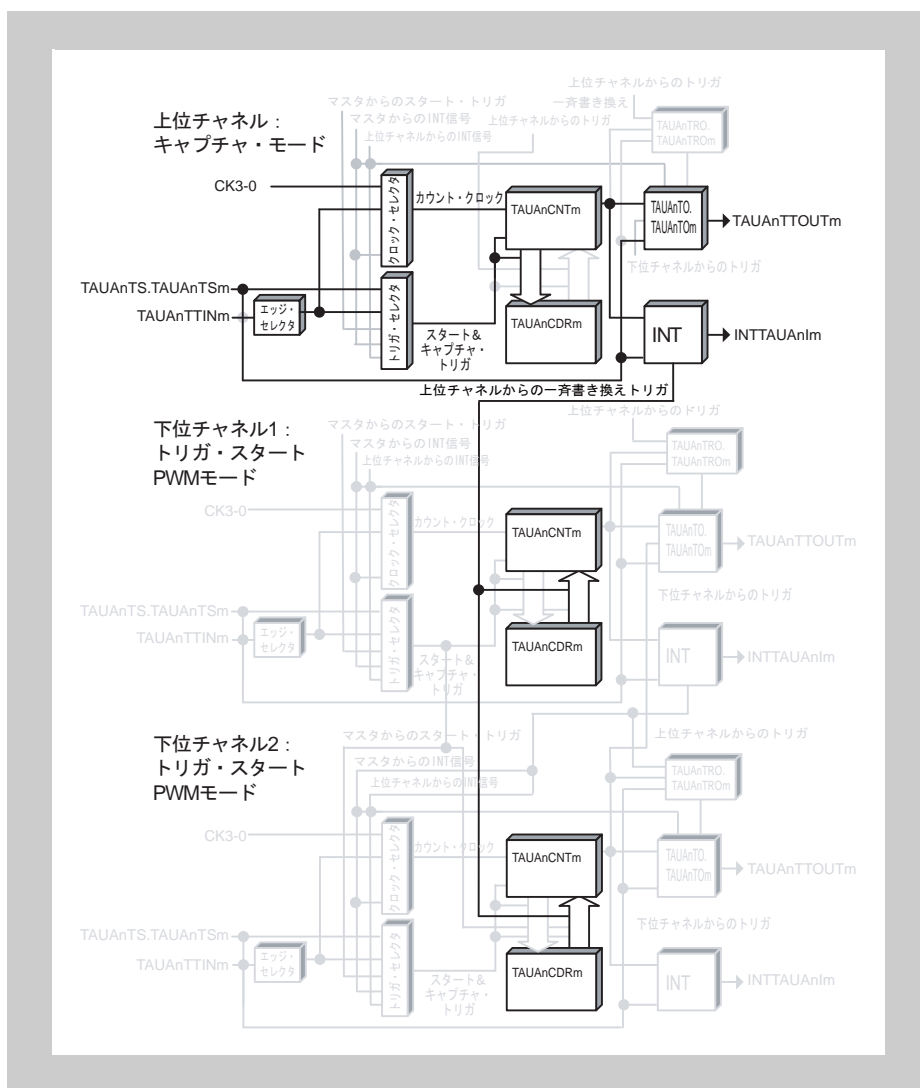


図 15-73 一斉書き換えトリガ生成機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)
- 上位チャンネル (CH1) が一斉書き換えトリガを生成

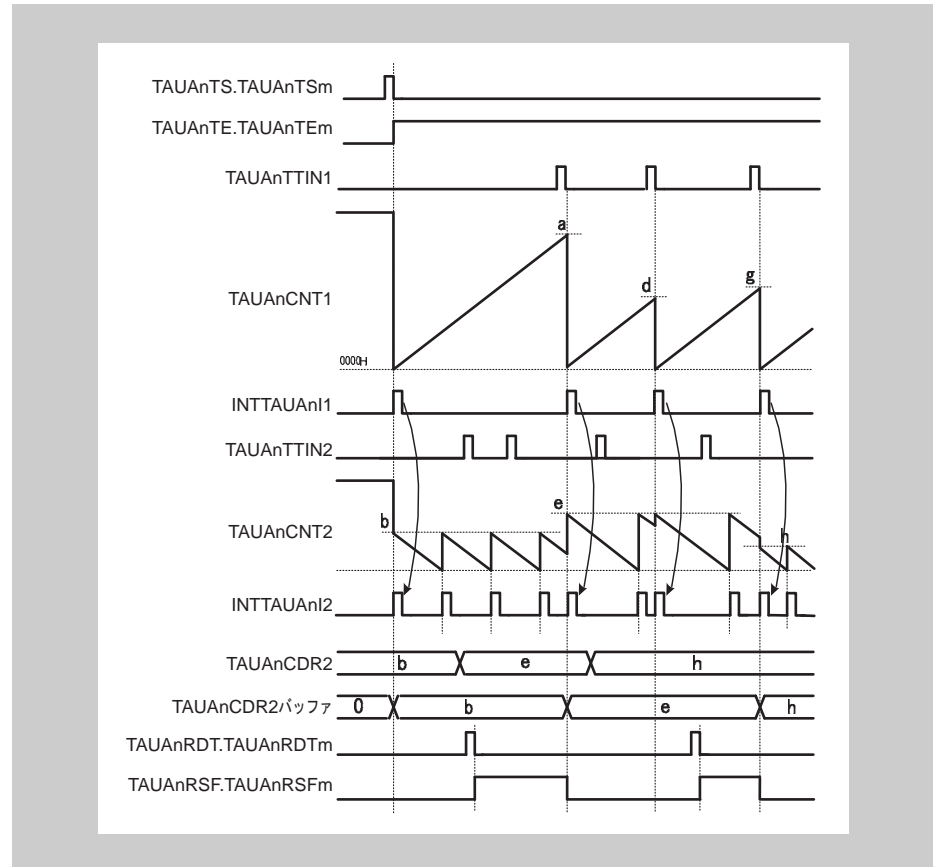


図 15-74 一斉書き換えトリガ生成機能タイプ2の基本タイミング図

## (3) 上位チャネルのレジスタ設定

## (a) 上位チャネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-86 一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : TAUAnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0010 : キャプチャ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) 上位チャネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-87 一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

## (d) 上位チャネルの一斉書き換え

表 15-88 一斉書き換えトリガ生成機能タイプ2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタ

## (4) 下位チャネルのレジスタ設定

## (a) 下位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS [2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-89 一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00: 動作クロックをカウント・クロックとして使用
TAUAnMAS	1: チャネルはマスタ・チャネル
TAUAnSTS[2:0]	001: 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00: 未使用, 00 を設定
TAUAnMD[4:1]	0000: インターバル・タイマ・モード
TAUAnMD0	1: 動作開始時に INTTAUAnIm が発生する

## (b) 下位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-90 一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

## (c) 下位チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) 下位チャンネルの一斉書き換え

表 15-91 一斉書き換えトリガ生成機能タイプ2時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	1: 上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなるINTTAUAnIm信号をモニタしない

## (5) 一斉書き換えトリガ生成機能タイプ2の操作手順

表 15-92 一斉書き換えトリガ生成機能タイプ2の操作手順

	操作	TAUAnの状態
チャンネルの初期設定	<p>上位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、表 15-86 「一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定」と表 15-87 「一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定」に示すように設定します。</p> <p>下位チャンネルの TAUAnCMORm レジスタと TAUAnCMURm レジスタを、表 15-89 「一斉書き換えトリガ生成機能タイプ2の TAUAnCMORm 設定」と表 15-90 「一斉書き換えトリガ生成機能タイプ2の TAUAnCMURm 設定」に示すように設定します。</p> <p>TAUAnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作再開	動作開始	<p>TAUAnTS.TAUAnTSm を 1 に設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p> <p>TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCNTm が 0000<sub>H</sub> にクリアされます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。</p>
動作中	<p>TAUAnRDT.TAUAnRDTm は任意のタイミングで設定可能です。 TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p>	<p>TAUAnCNTm は、0000<sub>H</sub> からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時：</p> <ul style="list-style-type: none"> <li>TAUAnCNTm が自身の値を TAUAnCDRm に転送 (キャプチャ) して、0000<sub>H</sub> に戻ります。</li> <li>INTTAUAnIm が発生します。</li> </ul> <p>TAUAnRDC.TAUAnRDCm が 1 に設定されているチャンネルで INTTAUAnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。</p>
動作停止	<p>TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm は現在値を保持します。</p>

## 15.20 チャンネル単体 1 相 PWM 機能

この節では、1 相 PWM 機能について説明します。

- 15.20.1 「1 相 PWM 出力機能」

### 15.20.1 1 相 PWM 出力機能

#### (1) 概要

**概要** TAUAnTTINm 入力信号にデッド・タイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUAnTTOUtm から出力されます。

- 前提条件**
- 2 つ（もしくはそれ以上）のチャンネルで、それぞれデッド・タイム制御が許可されている（TAUAnTDE.TAUAnTDEm = 1）
  - 下位チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 15-94 「1 相 PWM 出力機能の TAUAnCMORm 設定」参照）。
  - 上位チャンネルには任意の動作モードを設定可能です。
  - 上位・下位チャンネルのチャンネル出力モードは、1 相 PWM 出力を行うチャンネル連動出力モード 2 に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット（TAUAnTS.TAUAnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

有効な TAUAnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUAnCDRm の値が TAUAnCNTm に書き込まれ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタが 0000<sub>H</sub> になると、割り込みが発生します。カウンタは FFFF<sub>H</sub> に戻り、次の有効な TAUAnTTINm 入カスタート・エッジを待ちます。

表 15-93 デッド・タイムが付加される TAUAnTTOUtm と TAUAnTTINm の状態

TAUAnCMUR.TISm	TAUAnTOL.TOLm	デッド・タイムが付加される TAUAnTTOUtm	TAUAnTDL.TDLm	付加時の TAUAnTTINm_lower の状態
10	0	TAUAnTTOUtm low	0	High
			1	Low
	1	TAUAnTTOUtm high	0	High
			1	Low
11	0	TAUAnTTOUtm low	0	Low
			1	High
	1	TAUAnTTOUtm high	0	Low
			1	High

- 条件**
- TAUAnCMURm.TAUAnTIS[1:0] ビットで幅測定のタイプを指定します。
    - TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> : 両エッジを有効エッジとして検出 (Low 幅測定)
    - TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub> : 両エッジを有効エッジとして検出 (High 幅測定)
  - TAUAnTDL.TAUAnTDLm ビットで、下位チャンネルでの割り込み発生時または有効な TAUAnTTINm エッジの検出時の各チャンネルの TAUAnTTOUTm の動作を指定します。
    - TAUAnTDL.TAUAnTDLm = 0 の場合、割り込みを TAUAnTTOUTm セットのトリガ、有効な TAUAnTTINm エッジを TAUAnTTOUTm リセットのトリガとして使用します。
    - TAUAnTDL.TAUAnTDLm = 1 の場合、有効な TAUAnTTINm エッジを TAUAnTTOUTm セットのトリガ、割り込みを TAUAnTTOUTm リセットのトリガとして使用します。
  - この機能では強制リスタートは行えません。

## (2) ブロック図と基本タイミング図

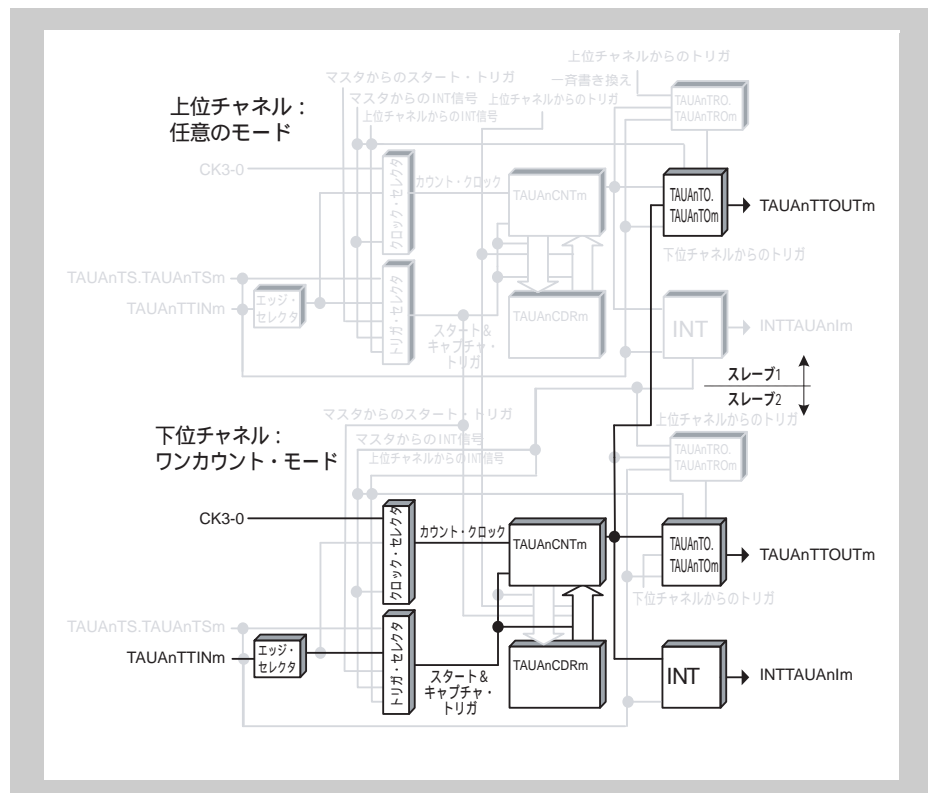


図 15-75 1 相 PWM 出力機能のブロック図



基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUAnCMURm.TAUAnTIS[1:0] = 11<sub>B</sub>)

この設定では、デューティを High アクティブとして考えています。

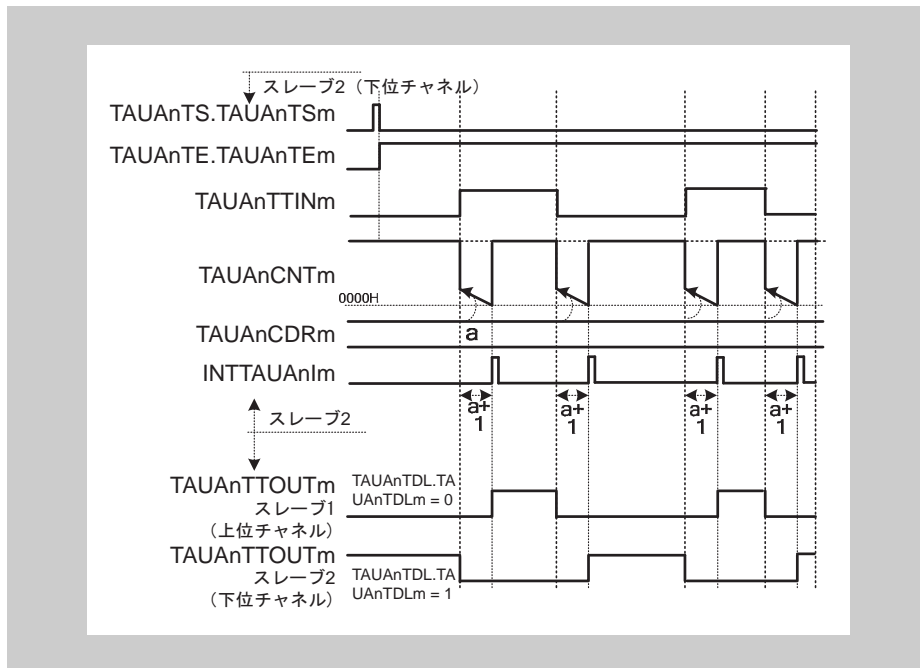


図 15-76 1 相 PWM 出力機能の基本タイミング図

## (3) 下位チャネルのレジスタ設定

## (a) 下位チャネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-94 1相 PWM 出力機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0: 未使用, 0 を設定
TAUAnSTS[2:0]	001 : TAUAnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : カウント中のスタート・トリガ検出許可

## (b) 下位チャネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-95 1相 PWM 出力機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) 下位チャンネルのチャンネル出力モード

表 15-96 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	1: 下位奇数チャンネル TAUAnTTINm 入力エッジ検出でデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 割り込みを TAUAnTTOUTm セット・トリガ、有効な TAUAnTTINm エッジを TAUAnTTOUTm リセット・トリガとして使用します。 1: 有効な TAUAnTTINm エッジを TAUAnTTOUTm セット・トリガ、割り込みを TAUAnTTOUTm リセット・トリガとして使用します。
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は、上位チャンネルと排他設定してください。

## (d) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、1相PWM出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-97 1相PWM出力機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

**(4) 上位チャンネルのレジスタ設定****(a) 上位チャンネルの TAUAnCMORm**

上位チャンネルの TAUAnCMORm レジスタは任意の設定が可能です。

**(b) 上位チャンネルの TAUAnCMURm**

上位チャンネルの TAUAnCMURm レジスタは任意の設定が可能です。

**(c) 上位チャンネルのチャンネル出力モード**

表 15-98 1 相 PWM 出力を行うチャンネル連動出力モード 2 の上位チャンネル制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード 2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	1: 下位奇数チャンネル TAUAnTTINm 入力エッジ検出でデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 下位チャンネルの割り込みを TAUAnTTOUTm セット・トリガ, 下位チャンネルの有効な TAUAnTTINm エッジを TAUAnTTOUTm リセット・トリガとして使用します。 1: 下位チャンネルの有効な TAUAnTTINm エッジを TAUAnTTOUTm セット・トリガ, 下位チャンネルの割り込みを TAUAnTTOUTm リセット・トリガとして使用します。
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は, 下位チャンネルと排他設定してください。

**(d) 上位チャンネルの一斉書き換え**

上位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

## (5) 1相PWM出力機能の操作手順

表 15-99 1相PWM出力機能の操作手順

	操作	TAUAnの状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUAnTE.TAUAnTEm は 1 に設定され (スレーブ・チャンネル 2), TAUAnCNTm は TAUAnTTINm スタート・エッジ検出を待ちます。 TAUAnCNTm は TAUAnCDRm 値をロードします。
	動作中	スレーブ・チャンネル 2 の TAUAnCNTm はダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： • INTTAUAnIm が発生します。 • TAUAnCNTm がカウントを停止します。 TAUAnTTINm のエッジ検出信号とスレーブ・チャンネル 2 の INTTAUAnIm 信号により TAUAnTTOUtM を変化させデッド・タイム付き 1 相 PWM 波形を出力する。以降、動作を繰り返す。
	動作停止	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUtM は現在値を保持します。

## 15.21 その他のチャネル単体機能

この節では、一定数の TAUAnTTINm パルスが発生すると割り込みが発生する機能、TAUAnTTINm の周波数を分周する機能、機能使用開始から TAUAnTTINm 入力信号までの期間を測定する機能を説明します。

- 15.21.1 「外部イベント・カウント機能」
- 15.21.2 「クロック分周機能」
- 15.21.3 「TAUAnTTINm 入力位置検出機能」

### 15.21.1 外部イベント・カウント機能

#### (1) 概要

**概要** この機能は、イベント・タイマとして使用します。特定数の TAUAnTTINm 入力パルスが発生すると割り込み (INTTAUAnIm) を発生します。

- 前提条件**
- 動作モードはイベント・カウント・モードに設定する必要があります (表 15-100 「外部イベント・カウント機能の TAUAnCMORm 設定」参照)。
  - この機能では、TAUAnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされます。

有効な TAUAnTTINm 入力エッジを検出すると、TAUAnCNTm 値はデクリメントされます。TAUAnCNTm は、有効な TAUAnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUAnCDRm + 1 検出されると、INTTAUAnIm が発生します。その後、TAUAnCDRm 値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。

TAUAnTS.TAUAnTSm を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUAnCMURm.TAUAnTIS[1:0] ビットで設定します。
- TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub> の時は、立ち下がりエッジがカウントされます。
  - TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub> の時は、立ち上がりエッジがカウントされます。
  - TAUAnCMURm.TAUAnTIS[1:0] = 10<sub>B</sub> の時は、両エッジがカウントされません。

#### (2) 算出式

INTTAUAnIm 発生前に検出される有効エッジ数 = TAUAnCDRm + 1

(3) ブロック図と基本タイミング図

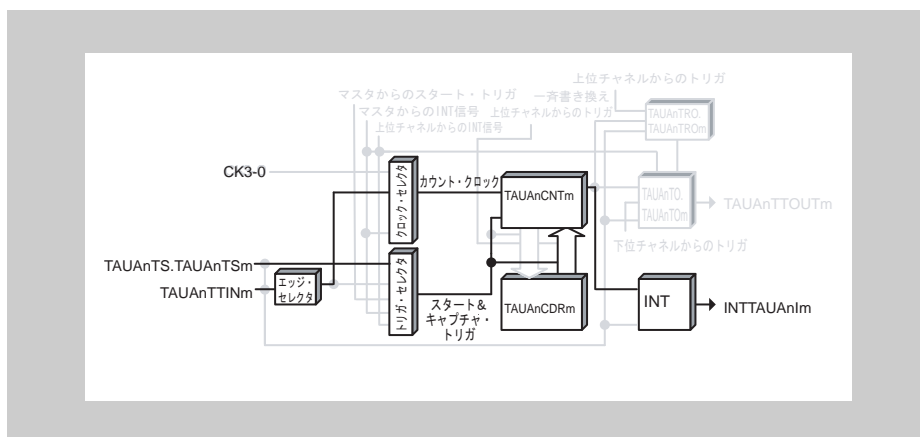


図 15-77 外部イベント・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>)

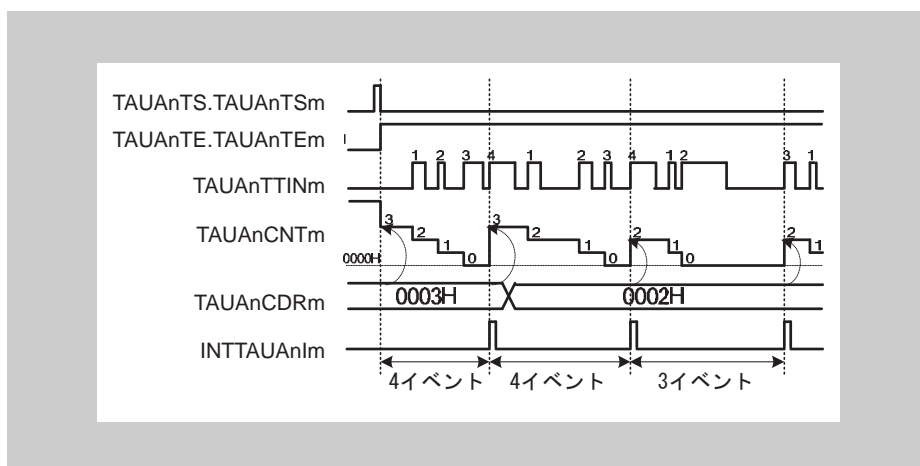


図 15-78 外部イベント・カウント機能の基本タイミング図



## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-100 外部イベント・カウント機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	01 : 有効な TAUAnTTINm 入力エッジをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0011 : イベント・カウント・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-101 外部イベント・カウント機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ 01 : 立ち上がりエッジ 10 : 両エッジ

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、外部イベント・カウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-102 外部イベント・カウント機能の一斉書き換え設定

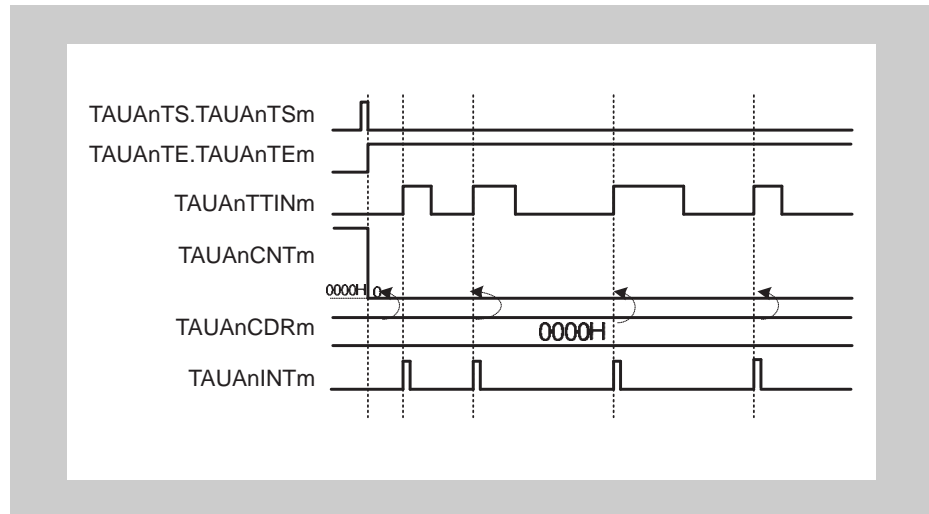
ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

(5) 外部イベント・カウント機能の操作手順

表 15-103 外部イベント・カウント機能の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-100 「外部イベント・カウント機能の TAUAnCMORm 設定」と表 15-101 「外部イベント・カウント機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCNTm は TAUAnCDRm 値をロードし、TAUAnTTINm 入力エッジ検出を待ちます。
	動作中 TAUAnTTINm エッジ検出 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUAnCNTm は TAUAnTTINm 入力エッジを検出するたびに、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>TAUAnCDRm 値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm が停止し、現在値を保持します。

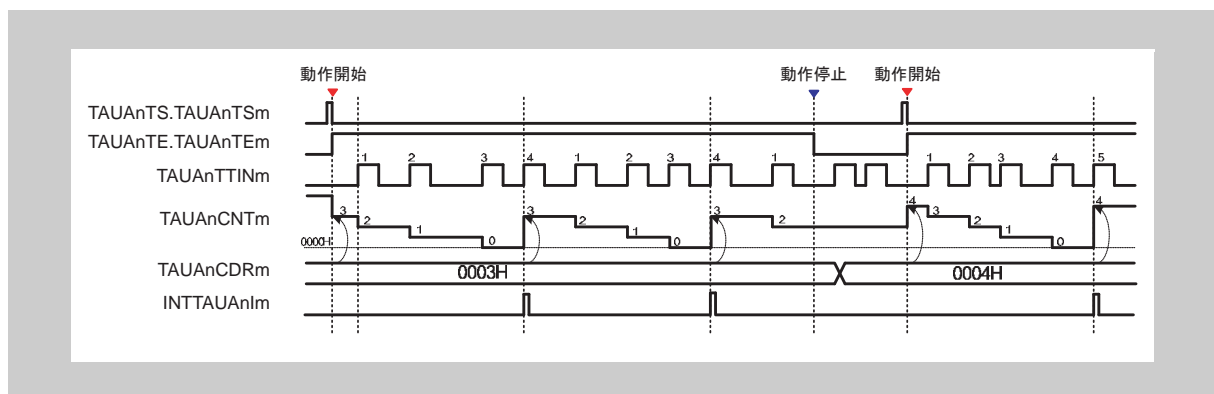
## (6) 特定の設定時のタイミング図

(a) TAUAnCDRm = 0000<sub>H</sub>図 15-79 TAUAnCDRm = 0000<sub>H</sub>, TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>

- 0000<sub>H</sub> = TAUAnCDRm の場合、有効な TAUAnTTINm 入力エッジが検出されるたびに 0000<sub>H</sub> が TAUAnCNTm にロードされます。

つまり、有効な TAUAnTTINm 入力エッジが検出されるたびに、INTTAUAnIm が発生します。

## (b) 動作の停止と再開

図 15-80 動作の停止と再開 (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>)

- TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- TAUAnCNTm が停止し、現在値を保持します。TAUAnTTINm は継続し、TAUAnCNTm は有効エッジを無視します。
- TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。TAUAnCNTm は TAUAnCDRm 値をロードし、カウント動作を再開します。

## (c) 強制リスタート

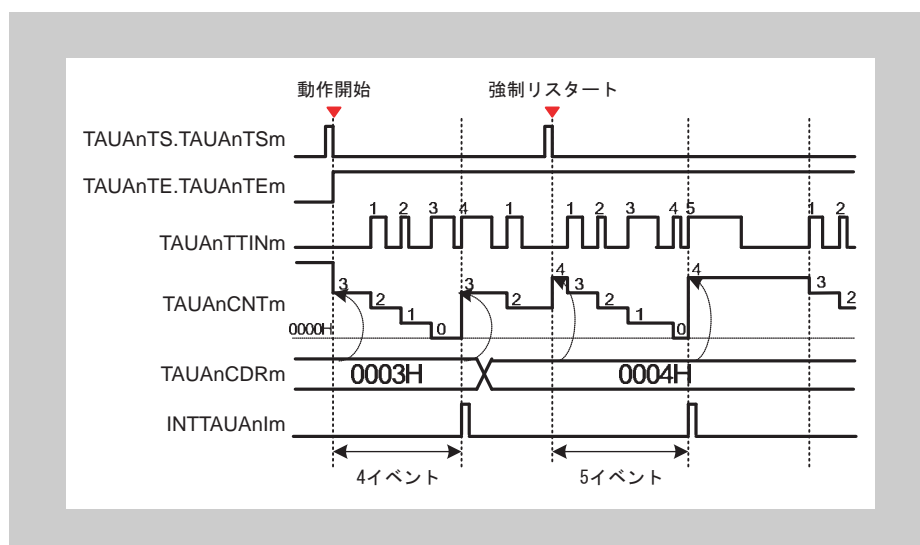


図 15-81 強制リスタート (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>)

強制リスタートを行うと、変更点がただちに TAUAnCDRm に適用されます。

- 動作中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUAnCDRm の値が TAUAnCNTm にロードされ、カウンタは次の有効な TAUAnTTINm 入力エッジを待ちます。

## 15.21.2 クロック分周機能

### (1) 概要

**概要** この機能は、周波数の分周に使用します。TAUAnTTINm 入力信号の周波数を TAUAnCDRm の係数で分周し、結果として得られる信号を TAUAnTTOUTm に出力します。

- 前提条件**
- TAUAnTTINm の周波数は固定である必要があります。
  - 動作モードはインターバル・タイマ・モードに設定する必要があります (表 15-104 「クロック分周機能の TAUAnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。15.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタは TAUAnTTINm をカウント・クロックとして使用し、その TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、TAUAnCDRm 値を TAUAnCNTm にロードし、以降、動作を継続します。

TAUAnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUAnTS.TAUAnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

**条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUAnTTOUTm のトグルも行われません。これにより、TAUAnCMORm.TAUAnMD0 が 1 に設定された場合に対して、反転された TAUAnTTOUTm 信号が出力されます。詳細は 15.11 「カウント開始/リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

**備考** TAUAnTTINm 入力信号は TAUAnCMORm.TAUAnCKs[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUAnTTOUTm の出力クロックの周期には、動作クロック  $\pm 1$  周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時：  
 $TAUAnTTOUTm \text{ 周波数} = TAUAnTTINm \text{ 周波数} / [(TAUAnCDRm + 1) \times 2]$
- 立ち下がりエッジ検出選択時：  
 $TAUAnTTOUTm \text{ 周波数} = TAUAnTTINm \text{ 周波数} / [(TAUAnCDRm + 1) \times 2]$
- 両エッジ検出選択時：  
 $TAUAnTTOUTm \text{ 周波数} = TAUAnTTINm \text{ 周波数} / (TAUAnCDRm + 1)$

(3) ブロック図と基本タイミング図

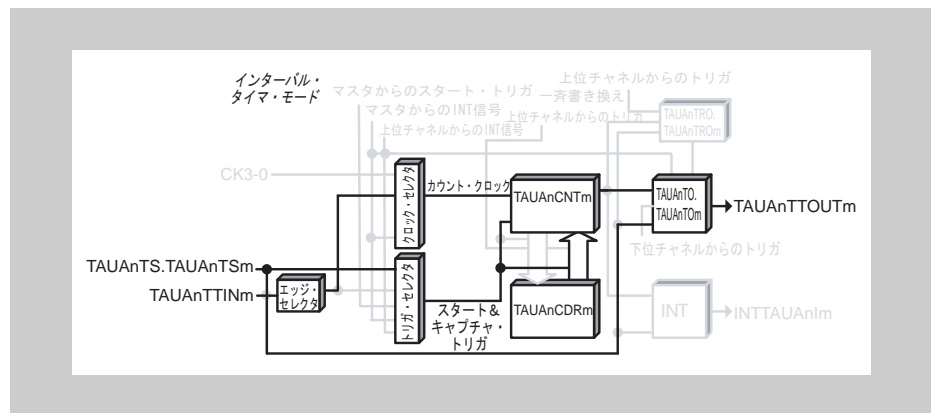


図 15-82 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAAnIm が発生する (TAUAAnCMORm.TAUAAnMD0 = 1)
- 立ち上がりエッジ検出 (TAUAAnCMURm.TAUAAnTIS[1:0] = 01<sub>B</sub>)

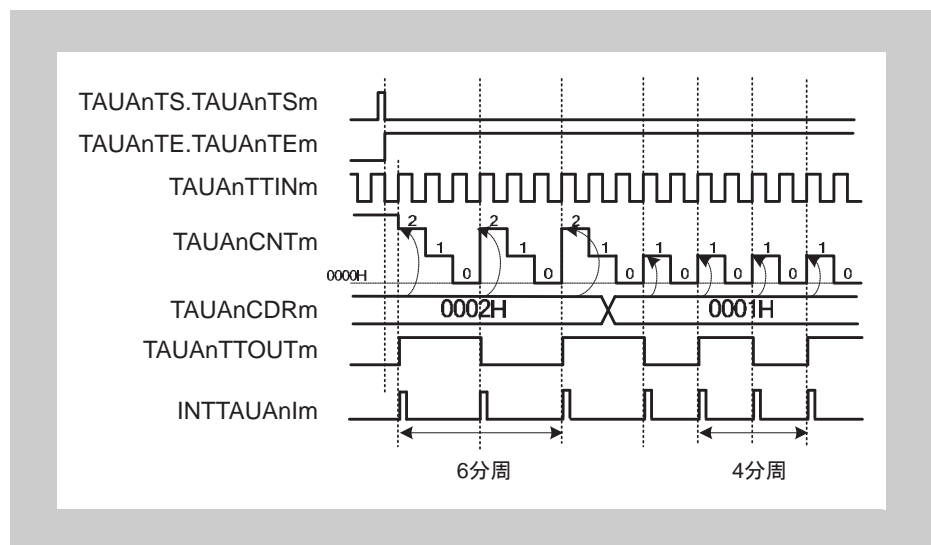


図 15-83 クロック分周機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-104 クロック分周機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	01 : 有効な TAUAnTTINm 入力エッジをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-105 クロック分周機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャンネル出力モード

表 15-106 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-107 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	



## (5) クロック分周機能の操作手順

表 15-108 クロック分周機能の操作手順

	操作	TAUAn の状態
動作再開 ↓	チャンネルの初期設定 TAUAnCMORm, TAUAnCMURm レジスタを、表 15-104 「クロック分周機能の TAUAnCMORm 設定」と表 15-105 「クロック分周機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。 制御ビットを表 15-106 「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUAnTS.TAUAnTSm を 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 1 に設定され、カウントが開始されます。 TAUAnCNTm は TAUAnCDRm 値をロードします。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生し、TAUAnTTOUTm がトグルされます。
	動作中 TAUAnCDRm 値は任意のタイミングで変更可能です。 TAUAnCNTm レジスタは常に読み出し可能です。	TAUAnTTINm 入力エッジを検出すると、TAUAnCNTm はダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>TAUAnCDRm 値を TAUAnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUAnIm が発生します。</li> <li>TAUAnTTOUTm がトグルされます。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnTTOUTm は現在値を保持します。

## (6) 特定の設定時のタイミング図

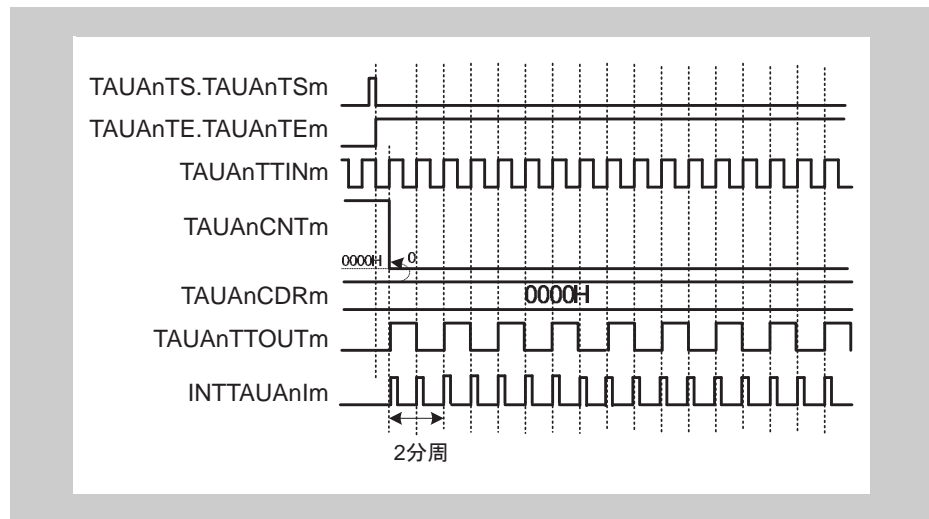
(a)  $TAUAnCDRm = 0000_H$ 

図 15-84  $TAUAnCDRm = 0000_H$ ,  $TAUAnCMORm.TAUAnMD0 = 1$ ,  
 $TAUAnCMURm.TAUAnTIS[1:0] = 01_B$

- $TAUAnCDRm$  が  $0000_H$  ならば,  $TAUAnCNTm$  も必ず  $0000_H$  です。
- $INTTAUAnIm$  がカウント・クロックごとに発生するので,  $TAUAnTTOUTm$  はカウント・クロックごとにトグルされます。

図 15-84 は動作タイミングのイメージです。実際は,  $TAUAnIm$  端子から  $TAUAn$  の間にあるノイズフィルタや同期化回路の遅延時間があるため,  $TINm$  検出から  $TOUTm$  出力までディレイが存在します。

## (b) 動作再開

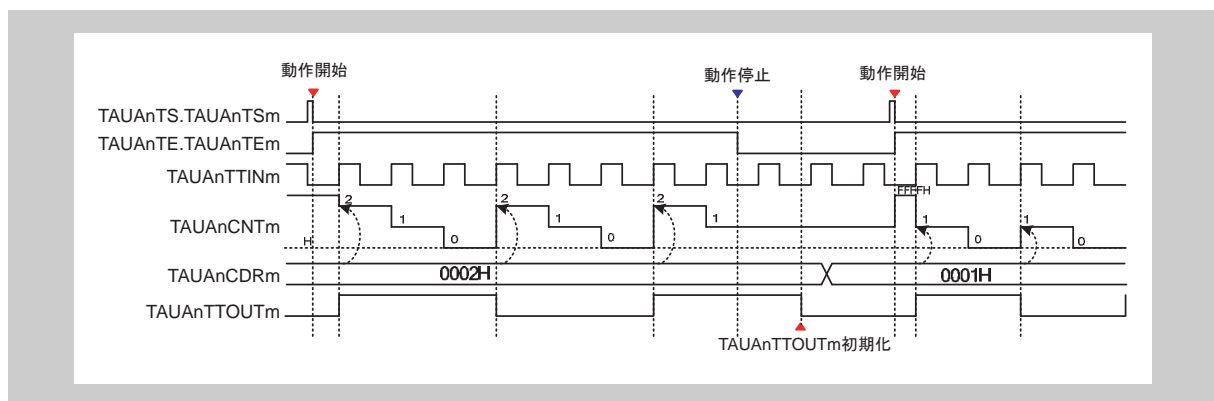


図 15-85 動作再開 ( $TAUAnCMORm.TAUAnMD0 = 1$ ,  
 $TAUAnCMURm.TAUAnTIS[1:0] = 01_B$ )

$TAUAnTTOUTm$  値のリセット方法を以下に示します。

- カウンタ停止時 ( $TAUAnTE.TAUAnTEm = 0$ ) に  $TAUAnTOE.TAUAnTOEm = 0$  を設定。
- その後,  $TAUAnTO.TAUAnTOm$  に 0 または 1 を書き込んで,  $TAUAnTTOUTm$  の新しいスタート値を設定。

## (c) 強制リスタート

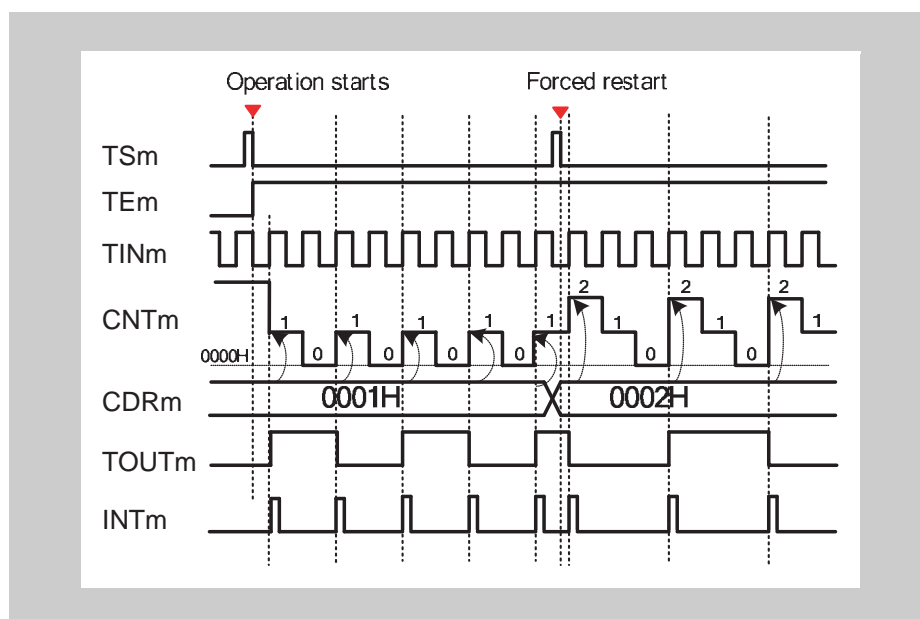


図 15-86 強制リスタート (TAUAnCMORm.MD0 = 1, TAUAnCMURm.TIS[1:0] = 01)

- 動作中に TAUAnTS.TSm = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUAnCDRm の値が TAUAnCNTm に書き込まれ、カウント動作が再開されます。
- TAUAnTOUtm は、強制リスタート前の出力レベルで動作が再開されます。

### 15.21.3 TAUAnTTINm 入力位置検出機能

#### (1) 概要

**概要** 機能使用開始から TAUAnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります (表 15-109 「TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定」参照)。
  - この機能では、TAUAnTTOUTm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。カウンタは、0000<sub>H</sub> からカウントを開始します。有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCNTm の現在値が TAUAnCDRm にロードされ、割り込み (INTTAUAnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF<sub>H</sub> になると、TAUAnCSRm.TAUAnOVF ビットが 1 に設定され、カウンタは 0000<sub>H</sub> からカウンタ動作を再開します。

TAUAnCSRm.TAUAnOVF は、TAUAnCSCm.TAUAnCLOV へ 1 を書き込むことによりクリアされます。

**条件** TAUAnCMORm.TAUAnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 15.11 「カウント開始／リスタート時の TAUAnTTOUTm 出力と INTTAUAnIm 生成」を参照してください。

#### (2) 算出式

TAUAnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × [ (FFFF<sub>H</sub> + 1 × TAUAnCSRm.TAUAnOVF) + (TAUAnCDRm キャプチャ値 + 1) ]

(3) ブロック図と基本タイミング図

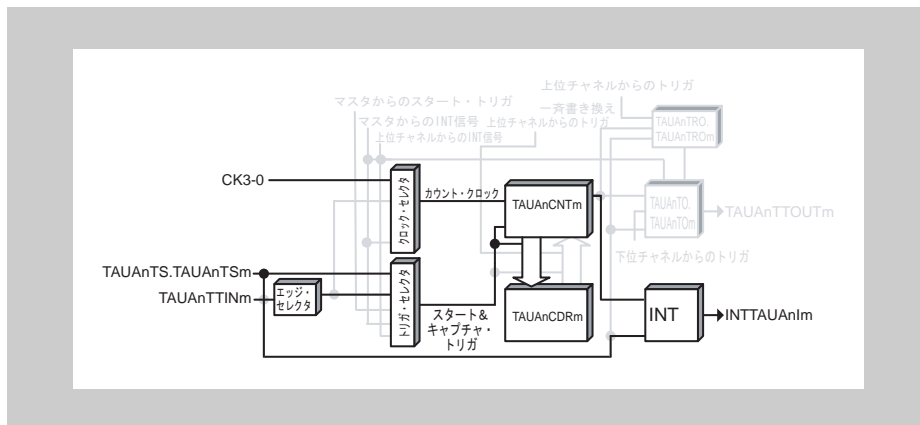


図 15-87 TAUAnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

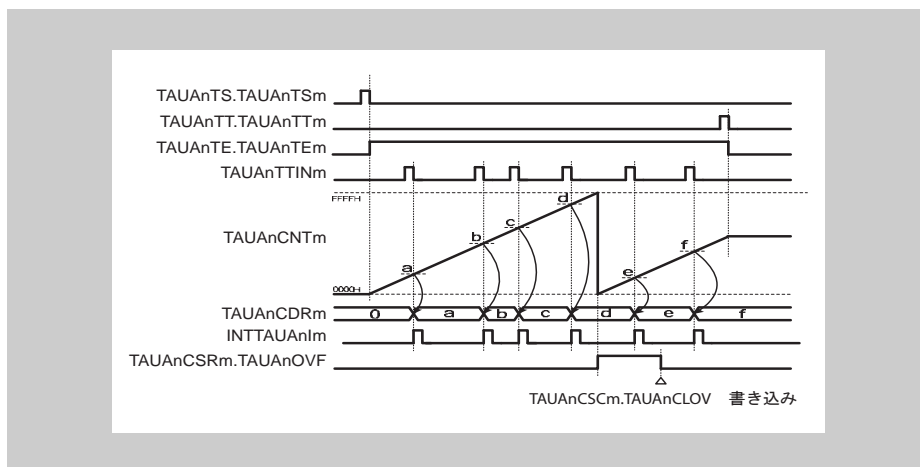


図 15-88 TAUAnTTINm 入力位置検出機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-109 TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : 未使用, 0 を設定
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUAnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUAnCSRm.TAUAnOVF) を設定, CPU 命令 (TAUAnCSCm.TAUAnCLOV に "1" 設定) でクリア
TAUAnMD[4:1]	1011 : カウント・キャプチャ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-110 TAUAnTTINm 入力位置検出機能の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、TAUAnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-111 TAUAnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	0 : 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) TAUAnTTINm 入力位置検出機能の操作手順

表 15-112 TAUAnTTINm 入力位置検出機能の操作手順

	操作	TAUAn の状態	
動作再開	初期設定 チャンネルの初期設定	TAUAnCMORm, TAUAnCMURm レジスタを、表 15-109 「TAUAnTTINm 入力位置検出機能の TAUAnCMORm 設定」と表 15-110 「TAUAnTTINm 入力位置検出機能の TAUAnCMURm 設定」に示すように設定します。 TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始	TAUAnTS.TAUAnTSM を 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEM が 1 に設定され、カウントが開始されます。 TAUAnCMORm.TAUAnMD0 が 1 の場合は、INTTAUAnIm が発生します。
	動作中	TAUAnCMURm.TAUAnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUAnCDRm, TAUAnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUAnCSC.CLOV ビットは、1 に設定可能です。	TAUAnCNTm は、0000 <sub>H</sub> からアップ・カウントを開始します。TAUAnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> <li>TAUAnCNTm が自身の値を TAUAnCDRm に転送 (キャプチャ) します。</li> <li>INTTAUAnIm を出力します。</li> <li>カウンタ値は 0000<sub>H</sub> にクリアされず、TAUAnCNTm はカウント動作を継続します。以降、この動作を繰り返します。</li> </ul>
	動作停止	TAUAnTT.TAUAnTTm を 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEM が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm は停止し、TAUAnCNTm と TAUAnCSRm.TAUAnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

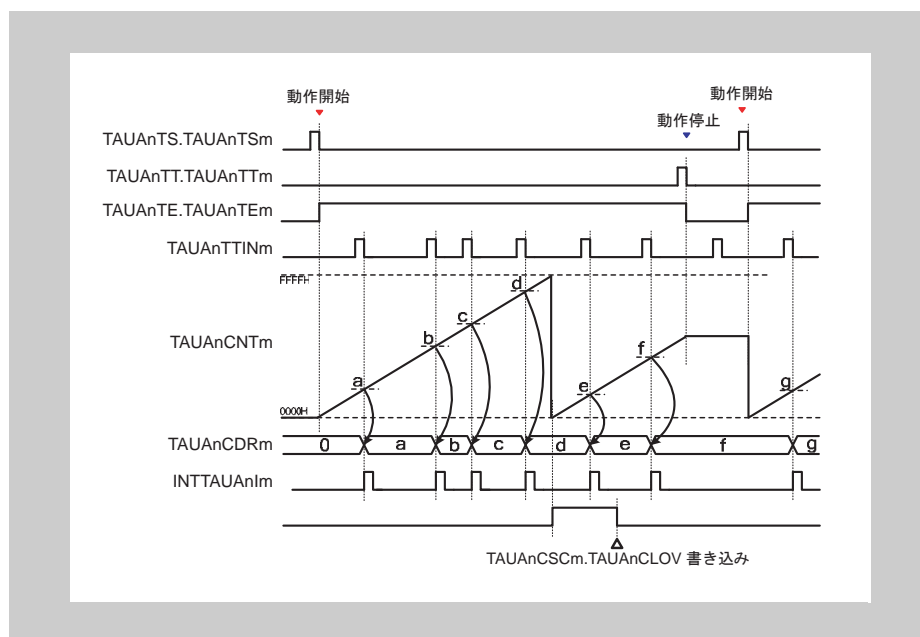


図 15-89 動作の停止と再開 (TAUAnCMORm.TAUAnMD0 = 0, TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

- TAUAnTT.TAUAnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEM は 0 に設定されます。
- TAUAnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUAnTTINm の有効な入力エッジは無視されます。
- TAUAnTS.TAUAnTSM を 1 に設定すると、カウントを再開できます。TAUAnCNTm は 0000<sub>H</sub> からカウントを再開します。



## 15.22 チャンネル連動動作機能

この節では、TAUAのチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、15.4「機能説明」を参照してください。

## 15.23 一定間隔でトリガされる連動PWM信号機能

この節では、一定間隔でPWM信号を発生させる機能について述べます。

- 15.23.1 「PWM出力機能」
- 15.23.2 「トリガ・スタートPWM出力機能」
- 15.23.3 「ディレイ・パルス出力機能」
- 15.23.4 「A/D変換トリガ出力機能タイプ1」

### 15.23.1 PWM 出力機能

#### (1) 概要

**概要** マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUAnTTOUTm のパルス周期 (周波数) とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-113 「PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (表 15-116 「PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照)。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります (15.9 「チャンネル出力モード」)。

#### 機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

#### • マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が  $0000_H$  になりパルス周期時間が経過すると、INTTAUAnIm が発生します。TAUAnCDRm 値を TAUAnCNTm にロードし、ダウン・カウントを行います。

#### • スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。TAUAnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が  $0000_H$  になると (デューティ時間が経過すると)

INTTAUAnIm が発生し、TAUAnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは  $FFFF_H$  に戻り、マスタ・チャンネルの次の INTTAUAnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウンタを再開できます。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUAnCDRm (スレーブ) / (TAUAnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

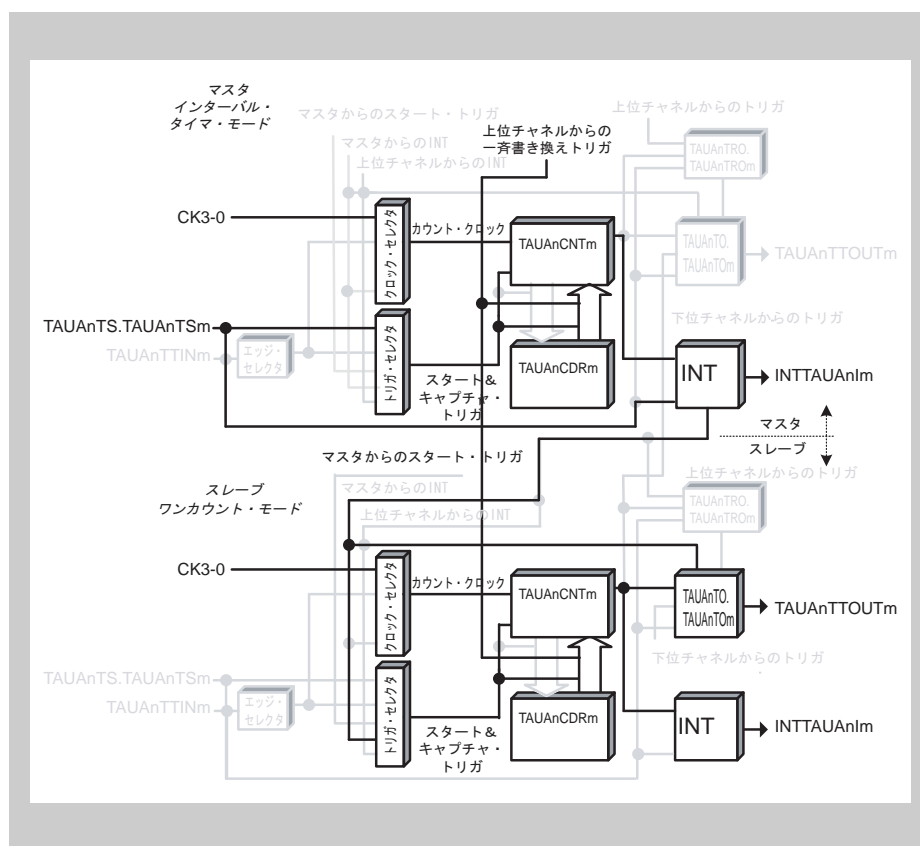


図 15-90 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUAnTOL.TAUAnTOLm = 0)

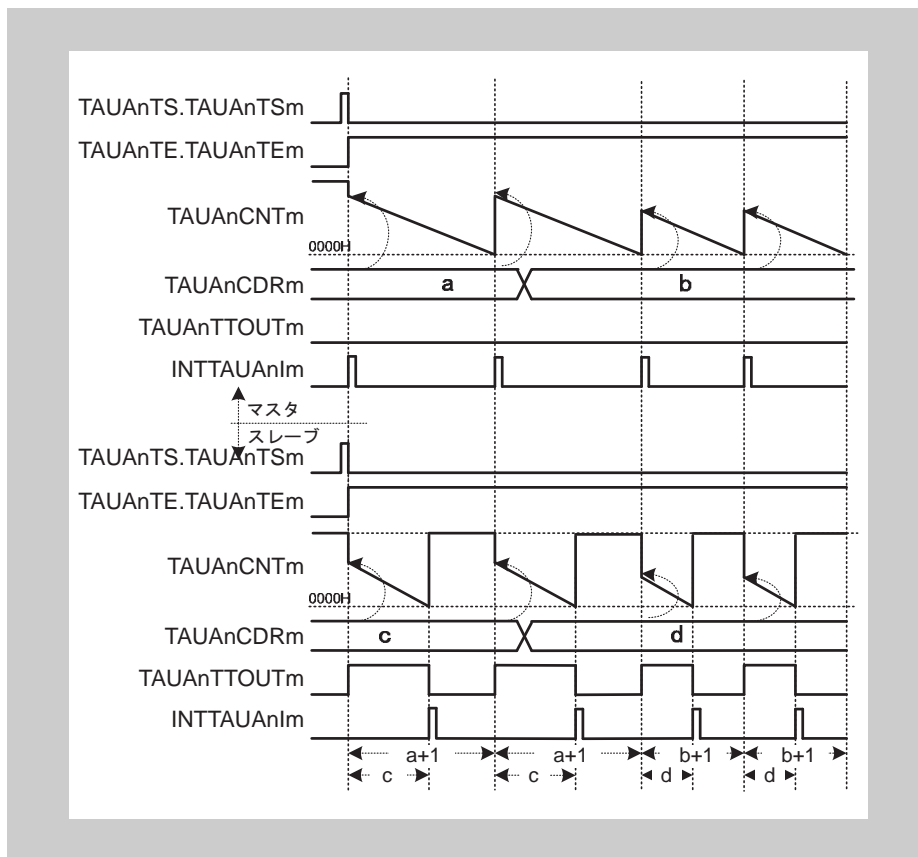


図 15-91 PWM 出力機能の基本タイミング図

**備考** スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUAnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUAnCDRm + 1 の値になります。

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	-		TAUAnMD[4:1]				TAUAn MD0			

表 15-113 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	1 : 動作開始時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUAnTIS [1:0]

表 15-114 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-115 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1 : 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0 : マスタ・チャンネルで一斉書き換えトリガをモニタ 1 : チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0 : チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

**備考** TAUAnRDS.TAUAnRDSm ビット = 1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル : TAUAnRDCm=1, TAUAnRDS=1

また、本チャンネルの TAUAnCDR 設定値は下記となります。

$$= ((\text{一斉書き換え対象のマスタ・チャンネルの TAUAnCDR 設定値} + 1) \times \text{割り込み回数}) - 1$$

- マスタ・チャンネル : TAUAnRDCm=0, TAUAnRDS=1

- スレーブ・チャンネル : TAUAnRDCm=0, TAUAnRDS=1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-116 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作中のスタート・トリガが有効

## (b) スレーブ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-117 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルのチャンネル出力モード

表 15-118 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-119 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換のトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換トリガをモニタ。



## (6) PWM 出力機能の操作手順

表 15-120 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) が設定されます。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合 : • INTTAUAnIm (マスタ) が発生します。 • TAUAnCDRm 値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUAnCDRm 値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUAnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUAnCNTm (スレーブ) が 0000 <sub>H</sub> になった場合 : • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

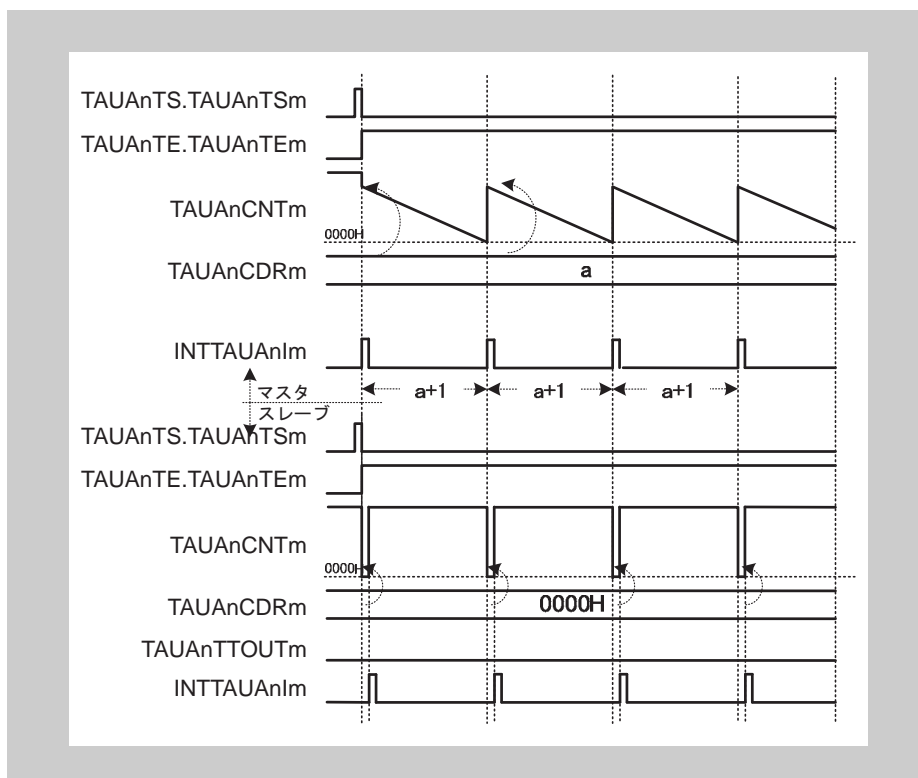


図 15-92 TAUAAnCDRm (スレーブ) = 0000<sub>H</sub>,  
正論理 (TAUAAnTOL.TAUAAnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUAAnIm) が発生するたびに、TAUAAnCNTm (スレーブ) に 0000<sub>H</sub> がロードされます。したがって、TAUAAnCNTm (スレーブ) はカウントを開始できず、TAUAAnTTOUm はアクティブでない状態のままとなります。
- TAUAAnCDRm 値を TAUAAnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

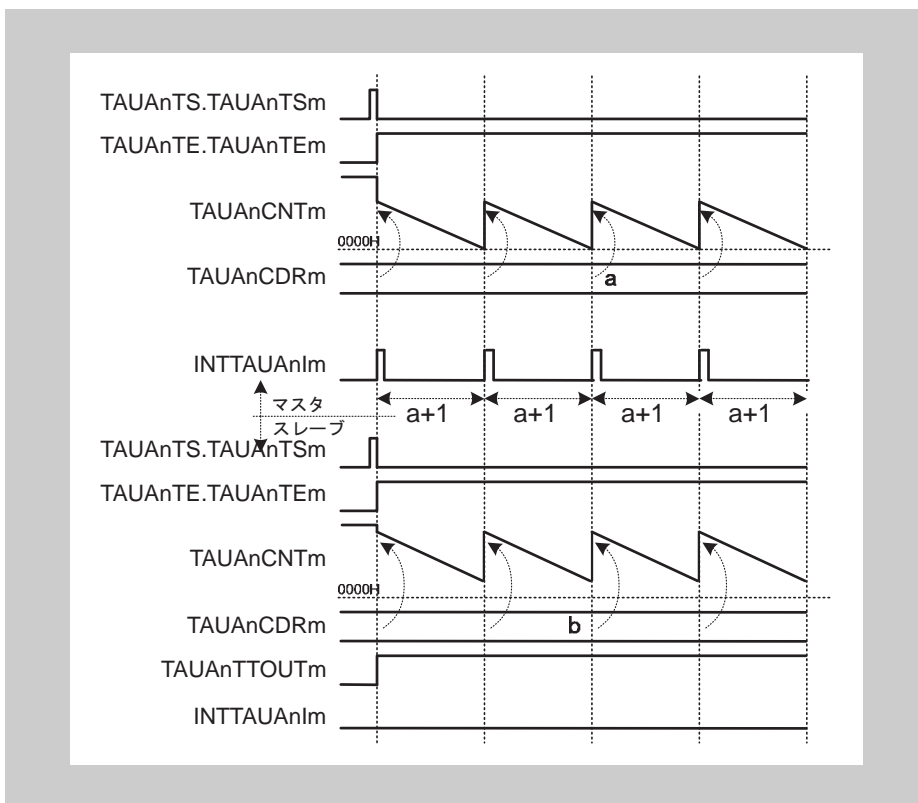


図 15-93 TAUCDRm (スレーブ)  $\geq$  TAUCDRm (マスター) + 1  
 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

- TAUCDRm (スレーブ) 値が TAUCDRm (マスター) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならないため、割り込みが発生しません。TAUAnTTOUTm はアクティブ状態のままになります。

## (c) 動作の停止と再開

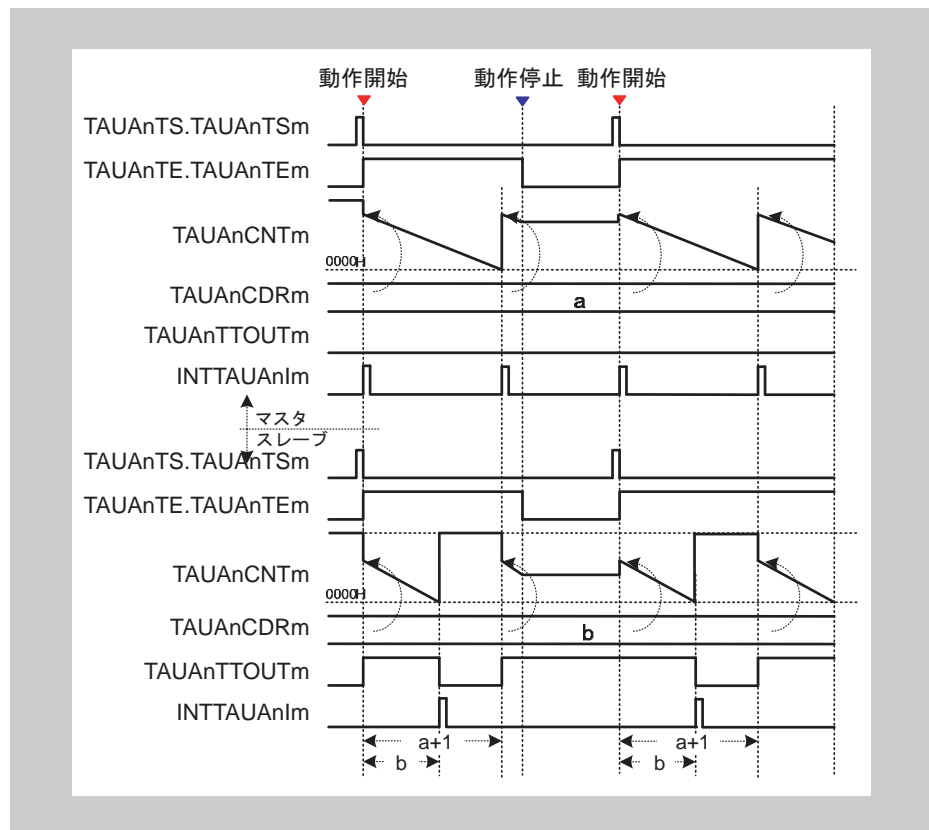


図 15-94 動作の停止と再開  
 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。
- 全チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUAnTS.TAUAnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUAnCDRm 値を TAUAnCNTm にロードし、この値からダウン・カウントを開始します。

## 15.23.2 トリガ・スタート PWM 出力機能

### (1) 概要

**概要** マスタ・チャンネルとスレーブ・チャンネルを1つずつ使用して PWM 出力を生成する機能です。これにより、TAUAnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。トリガ・スタート PWM 出力機能は、有効な TAUAnTTINm 入力エッジでマスタ・チャンネルをリセット可能である点を除いて PWM 出力機能と同じです。

### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 15-121 「トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 15-124 「トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード 1 に設定する必要があります（15.9 「チャンネル出力モード」参照）。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。

### 機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

#### • マスタ・チャンネル：

TAUAnCDRm の現在値がカウンタ（TAUAnCNTm）にロードされ、INTTAUAnIm が発生し、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。  
 カウンタ値が 0000<sub>H</sub> になりパルス周期が経過すると、INTTAUAnIm が発生し、TAUAnCDRm 値を TAUAnCNTm（マスタ／スレーブ）にロードします。  
 有効な TAUAnTTINm 入力エッジが検出されると、マスタ・チャンネルのカウンタは TAUAnCDRm の現在値をロードしてダウン・カウントを再開し、割り込みが発生します。

#### • スレーブ・チャンネル：

スレーブ・チャンネルはマスタ・チャンネルからの割り込みを検出すると、TAUAnCDRm の現在値からダウン・カウントを開始します。TAUAnTTOUTm 信号がアクティブ・レベルに設定されます。  
 カウンタ値が 0000<sub>H</sub> になると（デューティ時間が経過すると）、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは FFFF<sub>H</sub> に戻り、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm は停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウントを再開できます。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式+

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = [TAUAnCDRm (スレーブ) / (TAUAnCDRm (マスタ) + 1)] × 100

– デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

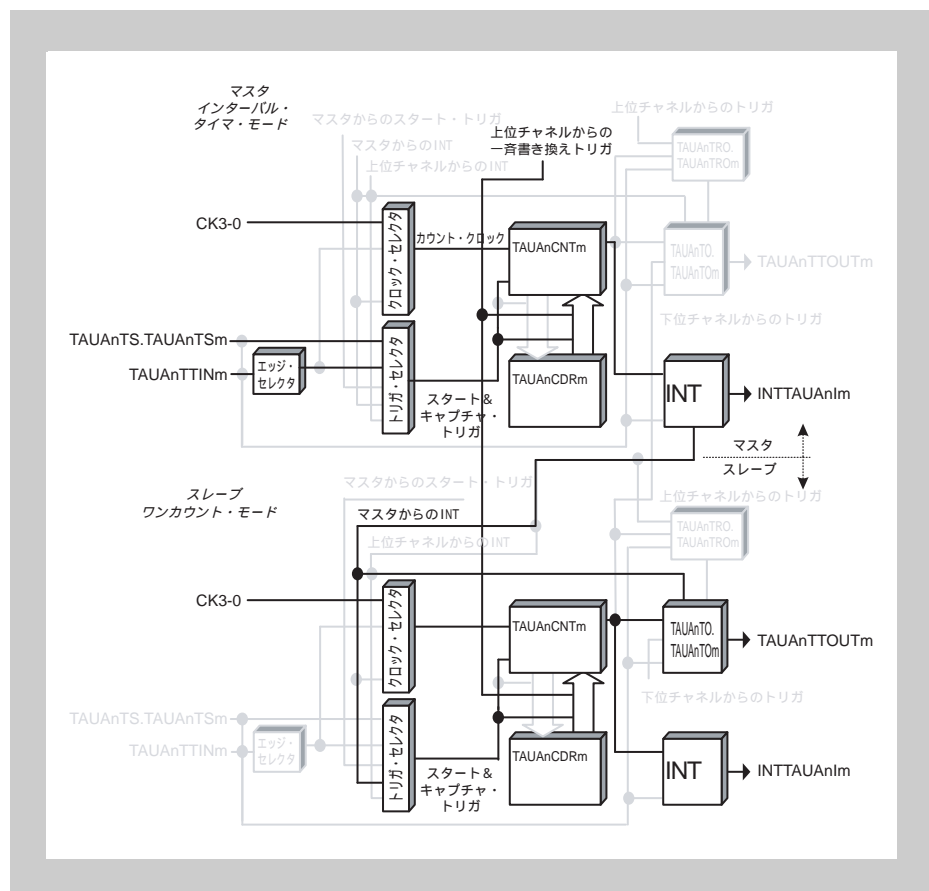


図 15-95 トリガ・スタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 01<sub>B</sub>)
- 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)

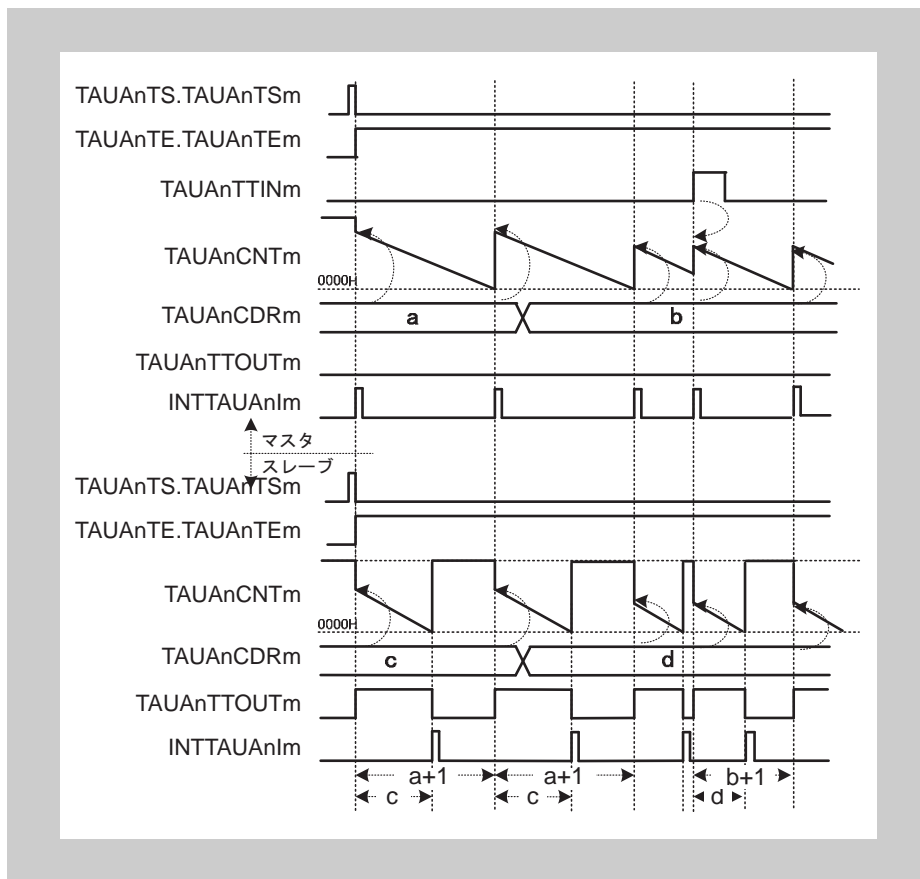


図 15-96 トリガ・スタート PWM 出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]		—	TAUAnMD[4:1]				TAUAn MD0			

表 15-121 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	1 : 動作開始時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-122 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止



**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-123 トリガ・スタート PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0				

表 15-124 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作中のスタート・トリガが有効 マスタ・チャンネルとスレーブ・チャンネルの TAUAnMD[0] ビット値は同一である必要があります。

## (b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-125 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルの出力モード

表 15-126 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-127 トリガ・スタート PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnim 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

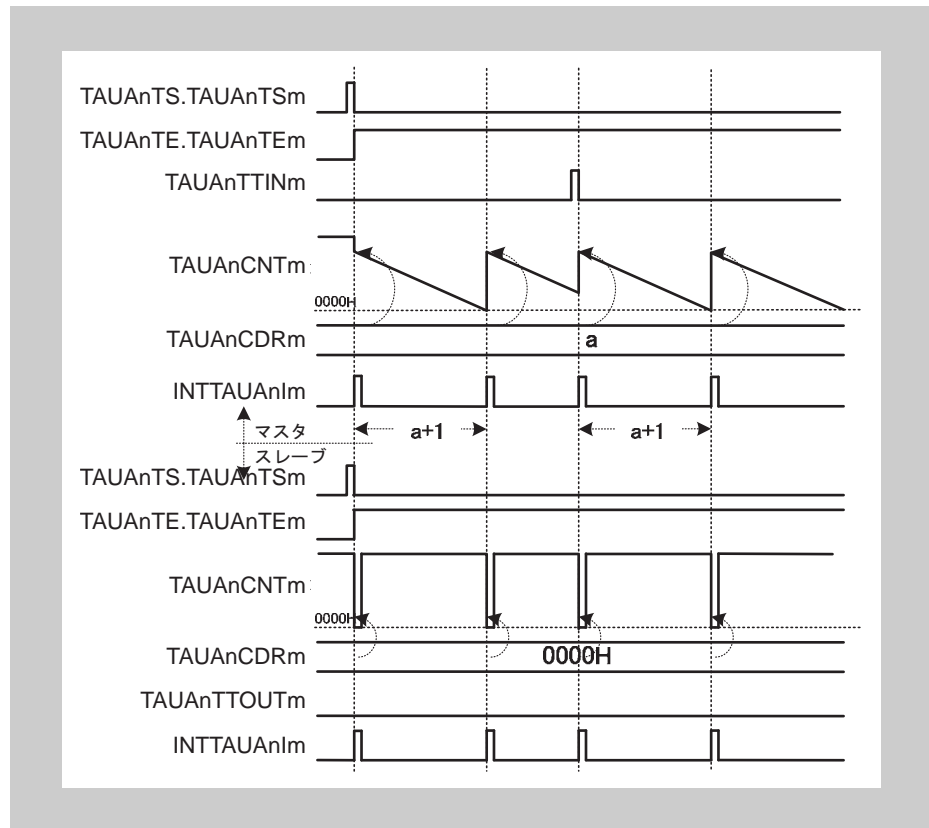
## (6) トリガ・スタート PWM 出力機能時の操作手順

表 15-128 トリガ・スタート PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生します。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： • INTTAUAnIm (マスタ) が発生します。 • TAUAnCDRm 値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUAnCDRm 値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。 • TAUAnTTOUTm (スレーブ) が設定されます。 スレーブ・チャンネルの TAUAnCNTm が 0000 <sub>H</sub> になった場合： • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。 マスタ・チャンネルの TAUAnCNTm がダウン・カウント中にマスタ・チャンネルで TAUAnTTINm 入力が見出された場合： • TAUAnCNTm (マスタ/スレーブ) は TAUAnCDRm 値をロードし、ダウン・カウントを行います。 • INTTAUAnIm (マスタ) が発生します。 • TAUAnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

図 15-97 TAUAAnCDRm (スレーブ) = 0000<sub>H</sub>.

正論理 (TAUAAnTOL.TAUAAnTOLm (スレーブ) = 0)

立ち下がリエッジ検出 (TAUAAnCMURm.TAUAAnTIS[1:0] = 00<sub>B</sub>)

- マスタ・チャンネルで割り込み (INTTAUAAnIm) が発生するたびに、TAUAAnCNTm (スレーブ) に 0000<sub>H</sub> がロードされます。したがって、TAUAAnCNTm (スレーブ) はカウントを開始できず、TAUAAnTTOUTm はアクティブでない状態のままとなります。
- TAUAAnCNTm (スレーブ) は TAUAAnCDRm 値がロードされるたびに割り込みを発生させます。

有効な TAUAAnTTINm 入力エッジを検出しても、TAUAAnTTOUTm (スレーブ) に変化はありません。

## (b) デューティ・サイクル = 100 %

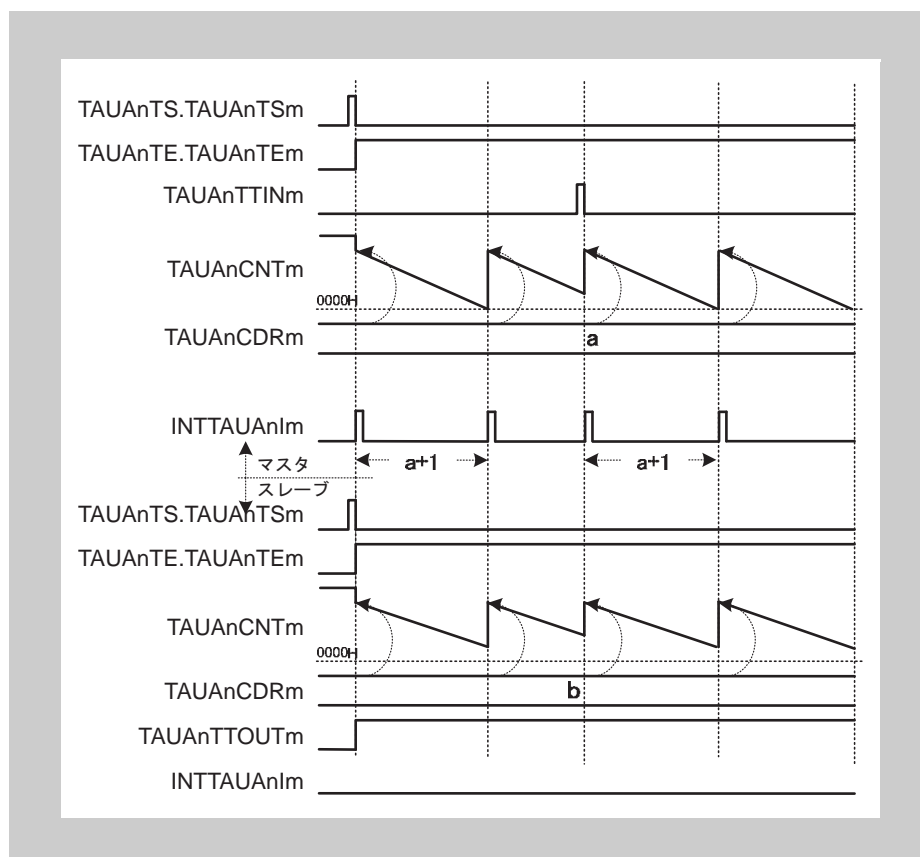


図 15-98 TAUAnCDRm (スレーブ)  $\geq$  TAUAnCDRm (マスタ) + 1  
 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)  
 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

- TAUAnCDRm (スレーブ) 値が TAUAnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならないため、割り込みが発生しません。

TAUAnTTOUtm はアクティブ状態のままになります。

有効な TAUAnTTINm 入力エッジを検出しても、TAUAnTTOUtm (スレーブ) には変化はありません。

## (c) TAUAnTTINm 検出とアクティブなスレーブ・カウンタ

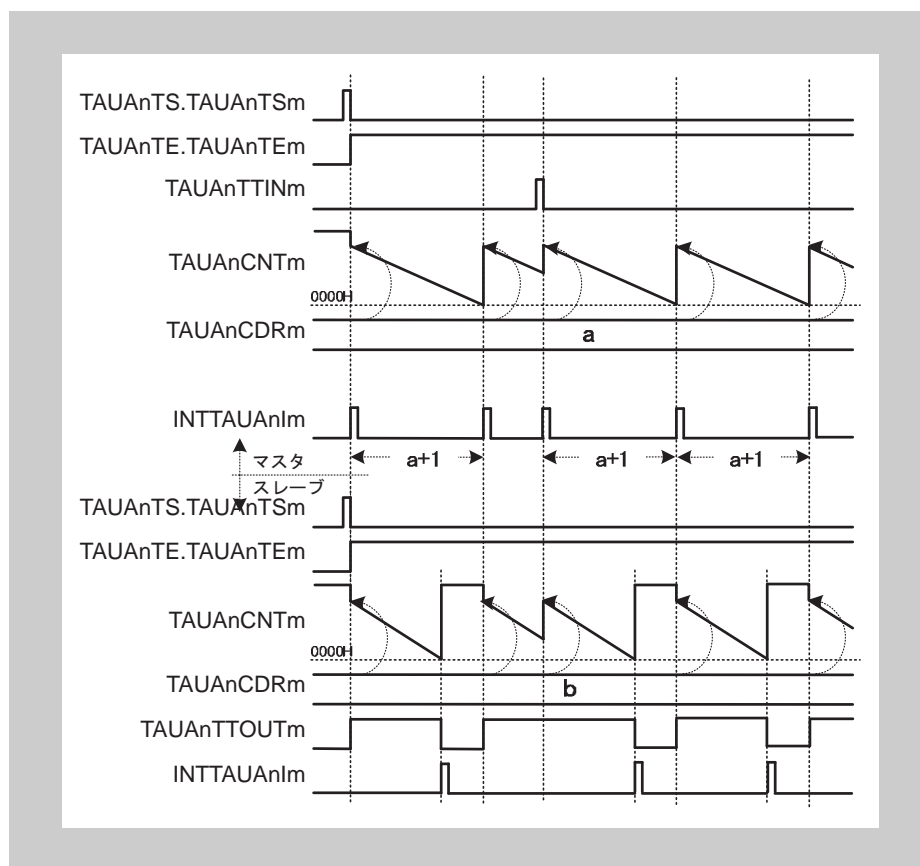


図 15-99 正論理 (TAUAnTOL.TAUAnTOLm (スレーブ) = 0)  
立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

- TAUAnCNTm (スレーブ) がダウン・カウント中に TAUAnCDRm (スレーブ) 値をロードした場合、TAUAnTTOUTm は変化せず、デューティを拡張します。

デューティはスレーブ・チャンネルのデータ・レジスタの値に対応していません。

### 15.23.3 ディレイ・パルス出力機能

#### (1) 概要

**概要** この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタ・チャンネルとスレーブ・チャンネル1を使用して定義されています。スレーブ・チャンネル2とスレーブ・チャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブ・チャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタ・チャンネルで設定します。
- 基準信号のデューティ・サイクルはスレーブ・チャンネル1を、ディレイ信号のデューティ・サイクルはスレーブ・チャンネル3を使用して設定されます。
- 遅延量はスレーブ・チャンネル2で設定します。

#### 前提条件

- 4チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 15-129 「ディレイ・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネル1, 2の動作モードは、ワンカウント・モードに設定する必要があります（表 15-132 「ディレイ・パルス出力機能時のスレーブ・チャンネル1の TAUAnCMORm 設定」参照）。
- スレーブ・チャンネル3の動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 15-136 「ディレイ・パルス出力機能時のスレーブ・チャンネル2の TAUAnCMORm 設定」参照）。
- マスタ・チャンネルおよびスレーブ・チャンネル2では TAUAnTTOUTm を使用しません。
- スレーブ・チャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（15.9 「チャンネル出力モード」）。
- スレーブ・チャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（15.9 「チャンネル出力モード」）。

#### 機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、チャンネル・グループのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

- マスタ・チャンネル：

TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUAnIm が発生します。

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になりパルス周期時間が経過すると、INTTAUAnIm が発生します。再び TAUAnCDRm の値をカウンタにロードし、ダウン・カウントを行います。

- スレーブ・チャンネル1, スレーブ・チャンネル2：

スレーブ・チャンネル1, 2はマスタ・チャンネルからの割り込みを検出すると、TAUAnCDRm の現在値からダウン・カウントを開始します。TAUAnTTOUTm 信号 (スレーブ1) が設定されます。



– スレーブ・チャンネル1：  
スレーブ・チャンネル1のカウンタ値が0000<sub>H</sub>になると（デューティ時間が経過すると）、INTTAUAnImが発生し、TAUAnTTOUTm信号がリセットされます。カウンタはFFFF<sub>H</sub>に戻り、マスタ・チャンネルの次のINTTAUAnImを待ちます。

– スレーブ・チャンネル2：  
スレーブ・チャンネル2のカウンタ値が0000<sub>H</sub>になり遅延時間が経過すると、INTTAUAnImが発生します。カウンタはFFFF<sub>H</sub>に戻り、マスタ・チャンネルの次のINTTAUAnImを待ちます。

INTTAUAnIm（スレーブ・チャンネル2）が発生することにより、スレーブ・チャンネル3のカウンタ動作がトリガされます。

- スレーブ・チャンネル3：  
スレーブ・チャンネル3はスレーブ・チャンネル2からの割り込みを検出すると、TAUAnCDRmの現在値からダウン・カウントを開始します。INTTAUAnImが発生し、TAUAnTTOUTm信号（スレーブ・チャンネル3）がセットされます。  
スレーブ・チャンネル3のカウンタ値が0001<sub>H</sub>になると、INTTAUAnImが発生し、TAUAnTTOUTm信号がリセットされます。  
スレーブ・チャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブ・チャンネルのTAUAnTT.TAUAnTTmを1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEmは0に設定されます。マスタ/スレーブ・チャンネルのTAUAnCNTmとTAUAnTTOUTmが停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSMを1に設定すると、カウントを再開できます。

**条件** この機能で一斉書き換えを行うことができます。15.8「一斉書き換え」を参照してください。

**算出式** パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期  
デューティ幅1 = (TAUAnCDRm (スレーブ1)) × カウント・クロック周期  
遅延幅 = (TAUAnCDRm (スレーブ2) + 1) × カウント・クロック周期  
デューティ幅2 = (TAUAnCDRm (スレーブ3)) × カウント・クロック周期  
ただし、遅延幅の設定値は下記範囲とすること。  
 $0000_H \leq \text{TAUAnCDRm (スレーブ2)} < \text{TAUAnCDRm (マスタ)}$

- 備考**
1. TAUAnTTOUTm（スレーブ3）の出力波形は、TAUAnTTOUTm（スレーブ1）の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
  2. スレーブ3のカウント中に、スレーブ2のTAUAnINTmが発生した場合、スレーブ3は動作を再開します。従って、TAUAnTTOUTm（スレーブ3）の出力波形は、アクティブレベルを保持します。（この場合、TOUTn（Slave-CH-3）は、TOUTn（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

(2) ブロック図と基本タイミング図

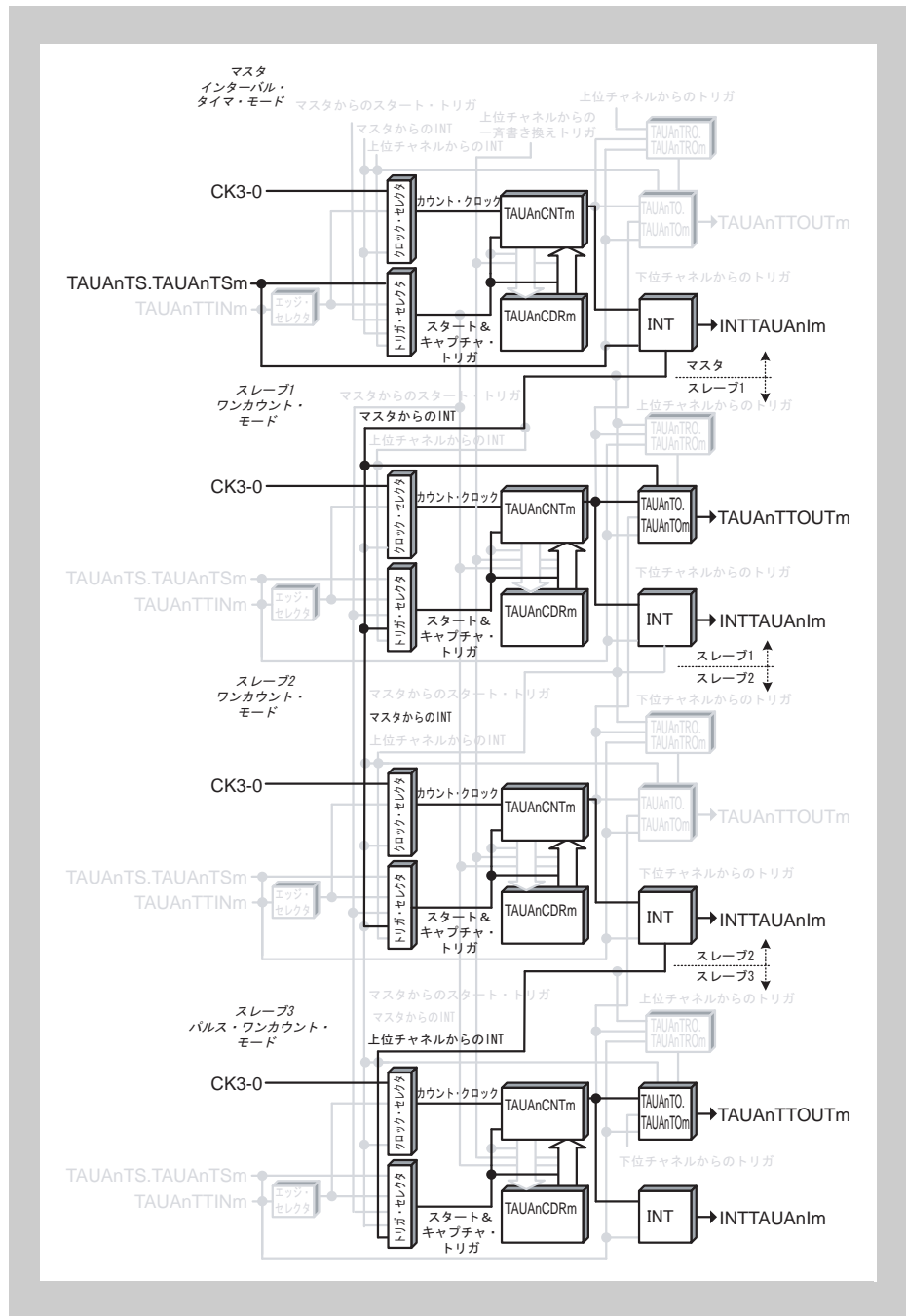


図 15-100 デレイ・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 全チャンネル
  - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

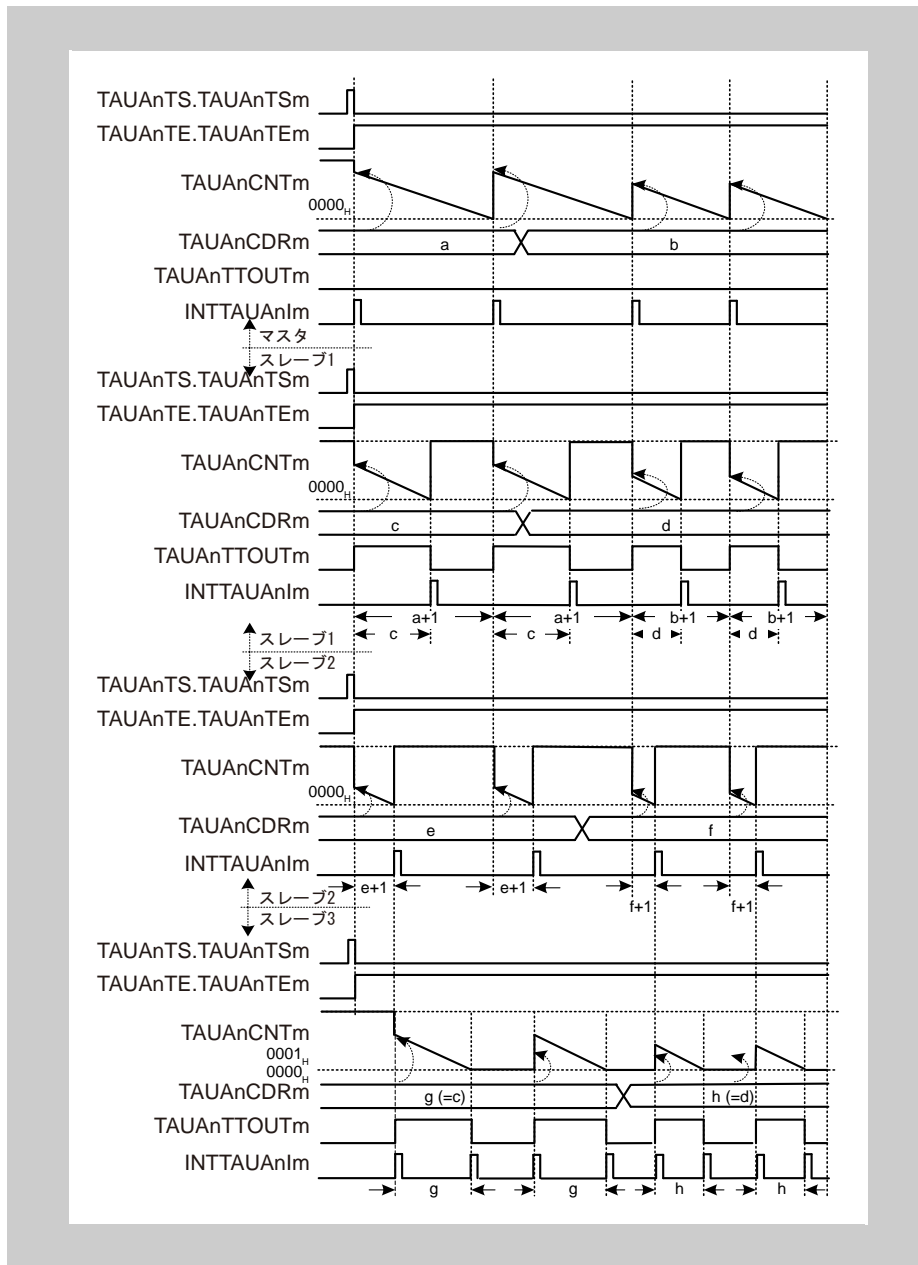


図 15-101 デイレイ・パルス出力機能の基本タイミング図

## (3) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-129 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	1 : 動作開始時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-130 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能では、マスタ・チャンネルはチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-131 ディレイ・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1 : 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0 : チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (4) スレーブ・チャンネル1のレジスタ設定

## (a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-132 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作中のスタート・トリガ有効

## (b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-133 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル1のチャンネル出力モード

表 15-134 チャンネル連動出力モード1時のスレーブ・チャンネル1の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネル1の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-135 ディレイ・パルス出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) スレーブ・チャンネル2のレジスタ設定

## (a) スレーブ・チャンネル2のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-136 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作中のスタート・トリガ有効

## (b) スレーブ・チャンネル2のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-137 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定



**(c) スレーブ・チャンネル2のチャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) スレーブ・チャンネル2の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-138 デイレイ・パルス出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) スレーブ・チャンネル3のレジスタ設定

## (a) スレーブ・チャンネル3のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-139 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	101 : マスタ設定にかかわらず, 上位チャンネル (m-1) の INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUAnMD0	1 : 動作中のスタート・トリガ有効

## (b) スレーブ・チャンネル3のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-140 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル3のチャンネル出力モード

表 15-141 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-142 ディレイ・パルス出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号の発生を検出しない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガを検出する。

## (7) デイレイ・パルス出力機能時の操作手順

表 15-143 デイレイ・パルス出力機能時の操作手順 (1/2)

	操作	TAUAn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (3) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 1 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「スレーブ・チャンネル 1 のレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 2 のレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 3 のレジスタ設定」 に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 15-143 ディレイ・パルス出力機能時の操作手順 (2/2)

	操作	TAUAnの状態
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。</p> <p>TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルとスレーブ・チャンネル 1/2 のカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ・チャンネル 1) が設定されます。</p>
	動作中	<p>TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p> <p>マスタ・チャンネルとスレーブ・チャンネル 1/2 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</p> <p>マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合：  <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 1/2) にロードし、ダウン・カウントを開始します。</li> <li>TAUAnTTOUTm (スレーブ 1) がセットされます。</li> </ul> </p> <p>TAUAnCNTm (スレーブ 1) が 0000<sub>H</sub> になった場合：  <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ 1) が発生します。</li> <li>TAUAnTTOUTm (スレーブ 1) がリセットされます。</li> </ul> </p> <p>TAUAnCNTm (スレーブ 2) が 0000<sub>H</sub> になった場合：  <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ 2) が発生します。</li> <li>TAUAnTTOUTm (スレーブ 3) がセットされます。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 3) にロードし、ダウン・カウント動作を開始します。</li> </ul> </p> <p>TAUAnCNTm (スレーブ 3) が 0000<sub>H</sub> になった場合：  <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ 3) が発生します。</li> <li>TAUAnTTOUTm (スレーブ 3) がリセットされます。</li> </ul> </p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>

## (8) 特定のタイミング図

## (a) デューティ・サイクル (slave 3) = 100 %

次の図には以下の値が適用されます。

- TAUAnCDRm (master) = 000A<sub>H</sub>
- TAUAnCDRm (slave 1) = 000B<sub>H</sub>
- TAUAnCDRm (slave 2) = 0000<sub>H</sub>
- TAUAnCDRm (slave 3) = 000B<sub>H</sub>

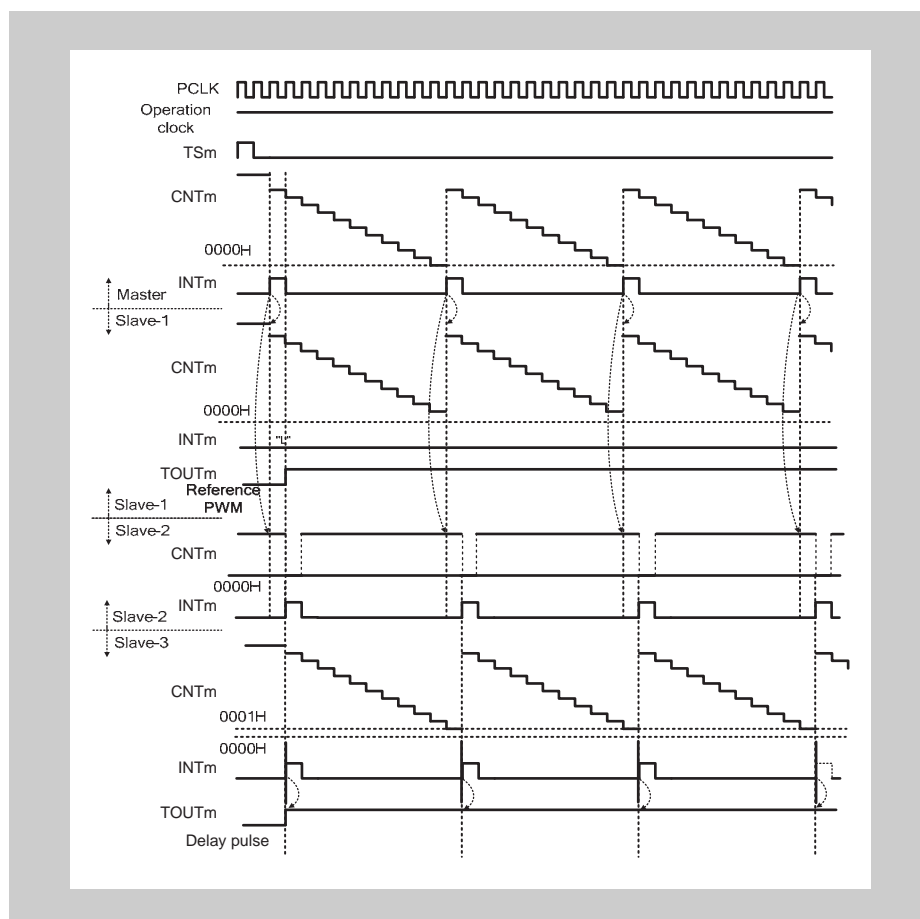


図 15-102 デューティ・サイクル (slave 3) = 100 %

- TAUAnCDRm (スレーブ 1/スレーブ 3) の値が TAUAnCDRm (マスタ) の値を越える場合は、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならず、割り込みは発生しません。チャンネル 1, 3 の TAUAnTTOUTm は、アクティブ状態のままになります。

**(b) TAUA<sub>n</sub>TTOUT<sub>m</sub> (slave 1) = TAUA<sub>n</sub>TTOUT<sub>m</sub> (slave 3)**

次の図には以下の値が適用されます。

- TAUA<sub>n</sub>CDR<sub>m</sub> (master) = 000A<sub>H</sub>
- TAUA<sub>n</sub>CDR<sub>m</sub> (slave 1) = 0005<sub>H</sub>
- TAUA<sub>n</sub>CDR<sub>m</sub> (slave 2) = 0000<sub>H</sub>
- TAUA<sub>n</sub>CDR<sub>m</sub> (slave 3) = 0005<sub>H</sub>

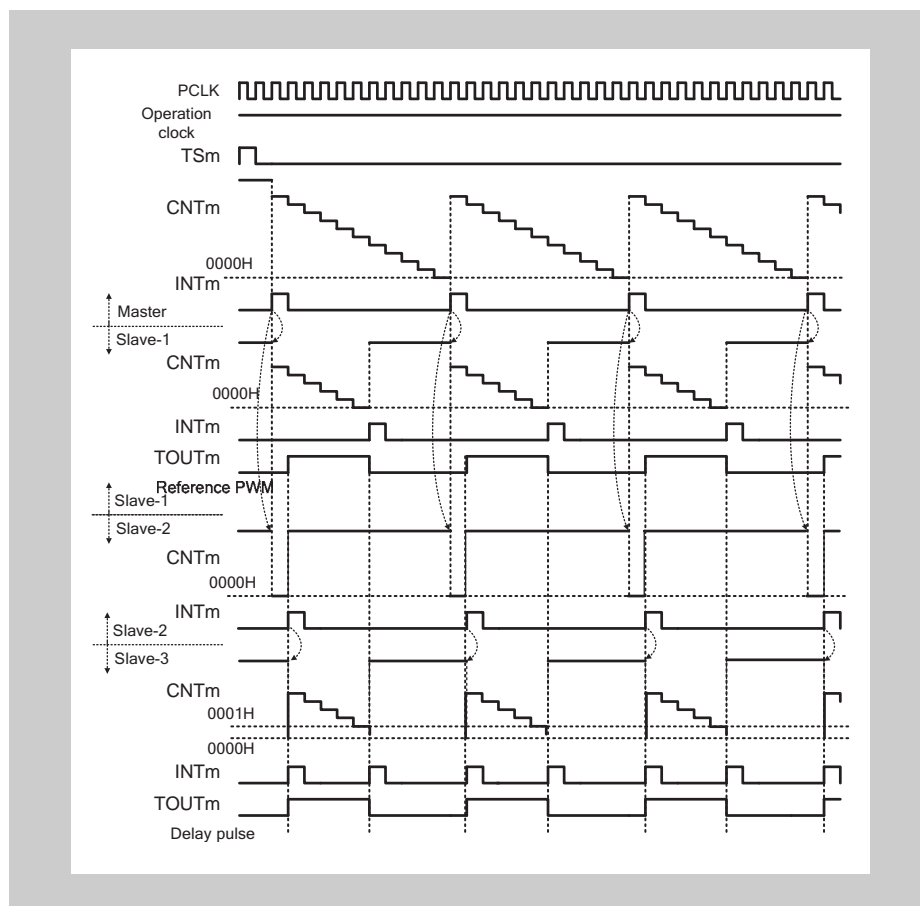


図 15-103 TAUA<sub>n</sub>TTOUT<sub>m</sub> (slave 1) = TAUA<sub>n</sub>TTOUT<sub>m</sub> (slave 3)

- TAUA<sub>n</sub>CDR<sub>m</sub> (スレーブ 2) = 0000<sub>H</sub> の場合、スレーブ・チャンネル 3 のカウンタはスレーブ・チャンネル 1 のカウンタより 1 クロック・カウント後にカウントを開始します。基本パルスとディレイ・パルスは 1 クロック・カウントの遅延で出力されます。

## 15.23.4 A/D 変換トリガ出力機能タイプ 1

## (1) 概要

**概要** この機能は、TAUAnTTOUTm が出力されないという点を除き、15.23.1「PWM 出力機能」と同じです。

スレーブ・チャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

## (2) ブロック図と基本タイミング図

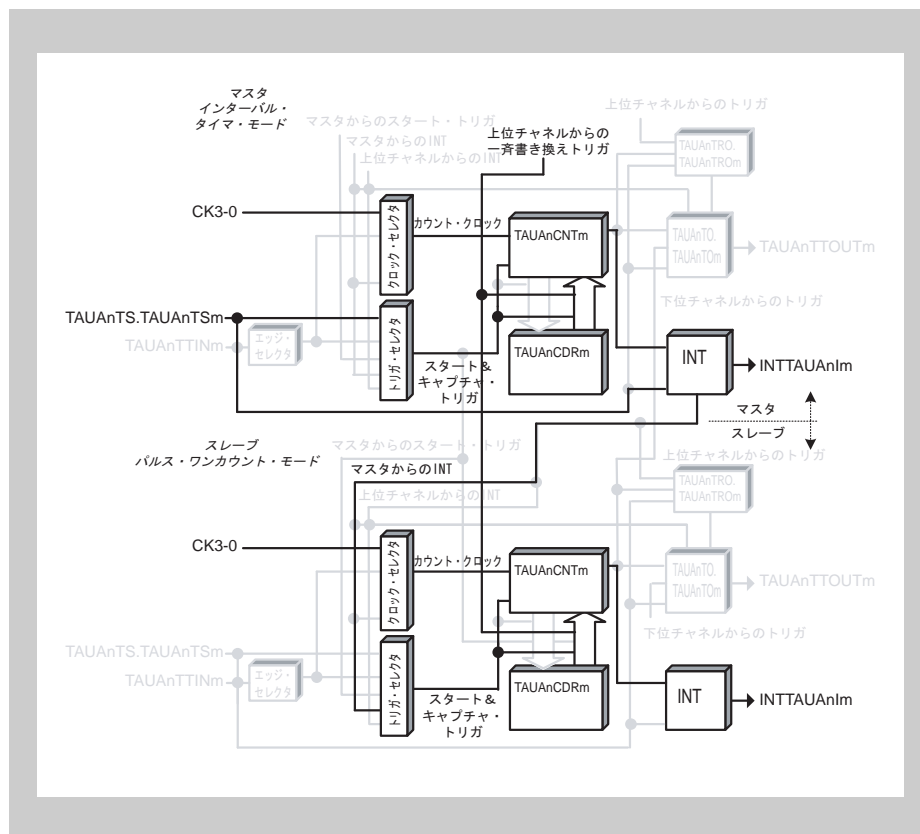


図 15-104 A/D 変換トリガ出力機能タイプ 1 のブロック図



## (3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル: 正論理 (TAUANtOL.TAUAnTOLm = 0)

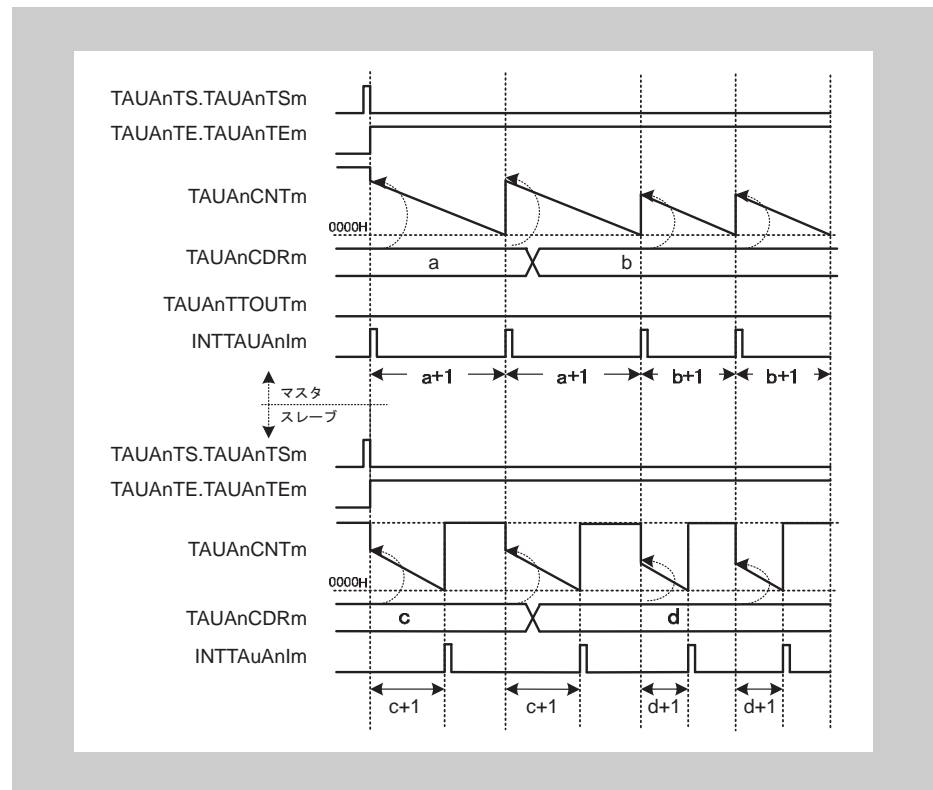


図 15-105 A/D 変換トリガ出力機能タイプ1の基本タイミング図

## 15.24 外部信号でトリガされる連動 PWM 信号機能

この節では、外部信号でトリガされる、PWM 信号を生成する機能について説明します。

- 15.24.1 「ワンショット・パルス出力機能」
- 15.24.2 「オフセット・トリガ出力機能」

### 15.24.1 ワンショット・パルス出力機能

#### (1) 概要

**概要** マスタ・チャンネルとスレーブ・チャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタ・チャンネルで設定します。パルス幅はスレーブ・チャンネルで設定します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 15-144 「ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 15-147 「ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 2 に設定する必要があります（15.9 「チャンネル出力モード」参照）。
- TAUAnTTINm（マスタ）は、TAUAnCNTm（マスタ）と TAUAnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタ・チャンネルからの割り込みでのみトリガされ、TAUAnTTINm（スレーブ）ではトリガされません。

**機能説明** マスタ・チャンネル、スレーブ・チャンネルのチャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

#### マスタ・チャンネル：

次の有効な TAUAnTTINm 入力エッジが検出されると、TAUAnCDRm の現在値が TAUAnCNTm にロードされます。カウンタは、この TAUAnCDRm 値からダウン・カウントを開始します。TAUAnCMORm.TAUAnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUAnTTINm) は無視されません。

マスタ・チャンネルのカウンタが 0000<sub>H</sub> になると、INTTAUAnIm が発生します。カウンタは FFFF<sub>H</sub> に戻り、次の有効な TAUAnTTINm 入力エッジを待ちます。

- スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウント動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUAnTTOUTm 信号がセットされます。

カウンタ値が 0001<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは 0000<sub>H</sub> で停止し、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウントを再開できます。

カウント中に TAUAnTS.TAUAnTSm を 1 に設定すると、いったん停止しなくてもマスタ・チャンネルのカウントを再開できます (強制リスタート)。

- 条件**
- マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 が 0 に設定されている場合、カウント中に検出された TAUAnTTINm 入力エッジは無視されます。
  - この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

**算出式** 入力パルスまでの遅延 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

パルス幅 = (TAUAnCDRm (スレーブ)) × カウント・クロック周期

(2) ブロック図と基本タイミング図

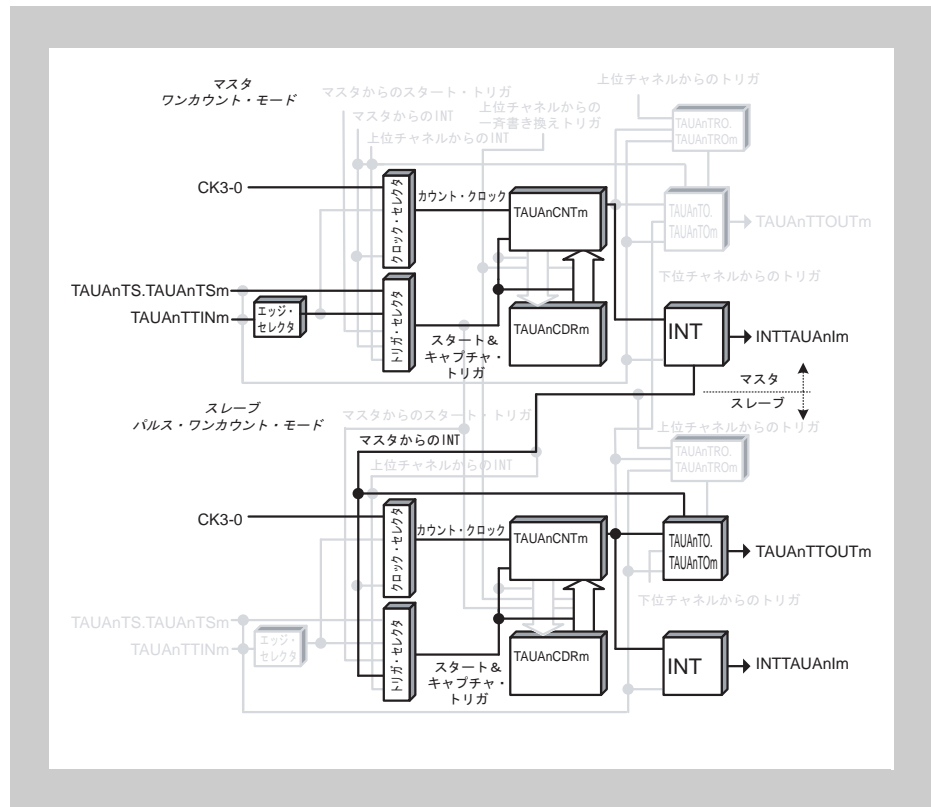


図 15-106 ワンショット・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUAnCMORm.TAUAnMD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

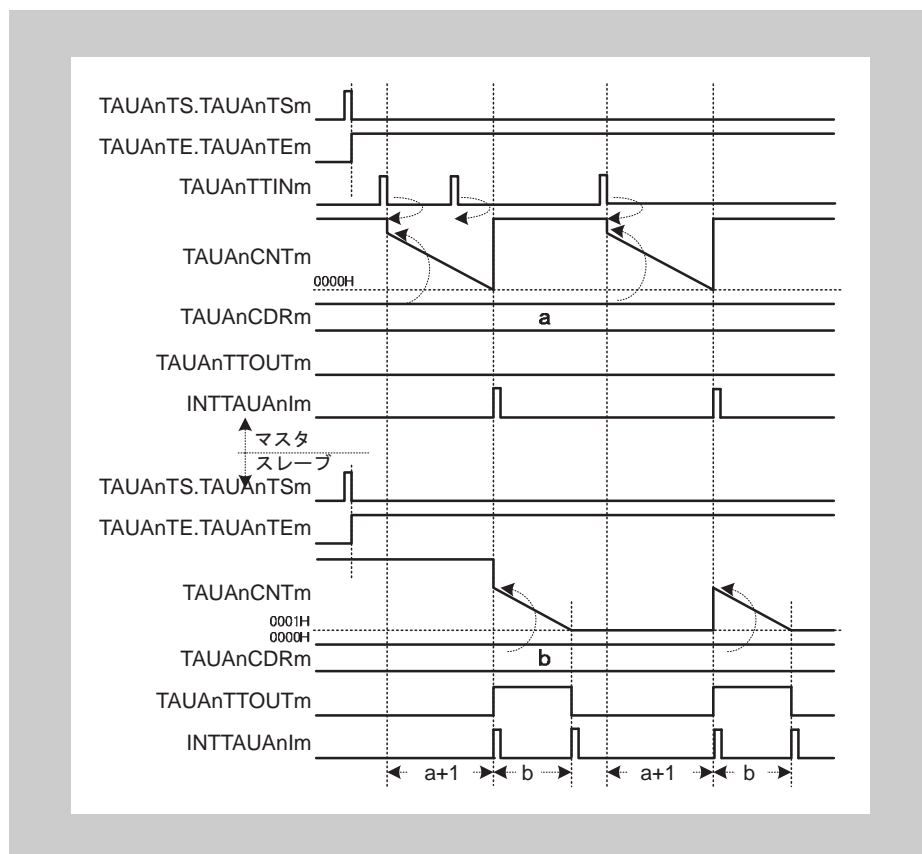


図 15-107 ワンショット・パルス出力機能の基本タイミング図

## (3) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0				

表 15-144 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケーラ出力 CK0 01 : プリスケーラ出力 CK1 10 : プリスケーラ出力 CK2 11 : プリスケーラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

## (b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-145 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-146 ワンショット・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1 : 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0 : チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (4) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	-		TAUAnMD[4:1]				TAUAn MD0			

表 15-147 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUAnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

## (b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUAnTIS [1:0]

表 15-148 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定



## (c) スレーブ・チャンネルの出力モード

表 15-149 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-150 ワンショット・パルス出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) ワンショット・パルス出力機能時の操作手順

表 15-151 ワンショット・パルス出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (3) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSm を同時に 1 に設定します。 TAUAnTS.TAUAnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルは TAUAnTTINm 入力を待ちます。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	TAUAnTTINm 入力の有効エッジを検出すると、マスタ・チャンネルの TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。</li> <li>INTTAUAnIm (スレーブ) が発生します。</li> <li>TAUAnTTOUTm (スレーブ) がセットされません。</li> </ul> TAUAnCNTm (スレーブ) が 0001 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ) が発生します。</li> <li>TAUAnTTOUTm (スレーブ) がリセットされません。</li> </ul> カウント中にマスタ・チャンネルで TAUAnTTINm 入力が検出され、TAUAnCMORm.TAUAnMD0 = 0 の場合、その入力は無視されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (6) 特定のタイミング図

(a) TAUA<sub>n</sub>CDR<sub>m</sub> (master) = 0000<sub>H</sub>

この図での設定は次のようになっています。

- カウント中のスタート・トリガ検出禁止 (TAUA<sub>n</sub>CMOR<sub>m</sub>.MD0 = 0)
- 立ち下がリエッジ検出 (TAUA<sub>n</sub>CMUR<sub>m</sub>.TIS[1:0] = 00<sub>B</sub>)

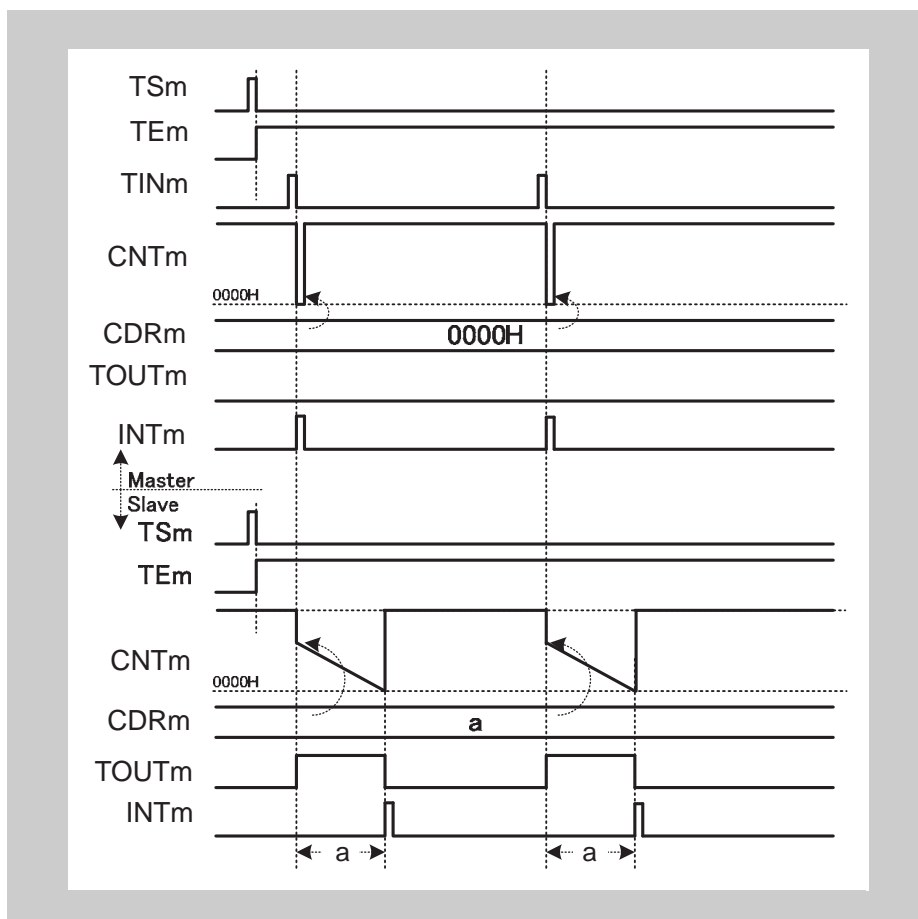


図 15-108 TAUA<sub>n</sub>CDR<sub>m</sub> (master) = 0000<sub>H</sub>

- 有効な TAUA<sub>n</sub>TTIN<sub>m</sub> 入力エッジが検出されると、TAUA<sub>n</sub>CNT<sub>m</sub> (マスタ) に値 0000<sub>H</sub> が書き込まれます。カウンタに 0000<sub>H</sub> が設定されることにより、1 カウント行くと FFFF<sub>H</sub> に戻ります。

したがって、スレーブ・チャンネルのカウンタは TAUA<sub>n</sub>TTIN<sub>m</sub> (マスタ) から 1 カウント・クロック遅れて、ダウン・カウントを開始します。

**(b) TAUAnCDRm (slave) = 0000<sub>H</sub>**

この図での設定は次のようになっています。

- カウント中のスタート・トリガ検出禁止 (TAUAnCMORm.MD0 = 0)
- 立ち下がりエッジ検出 (TAUAnCMURm.TIS[1:0] = 00<sub>B</sub>)

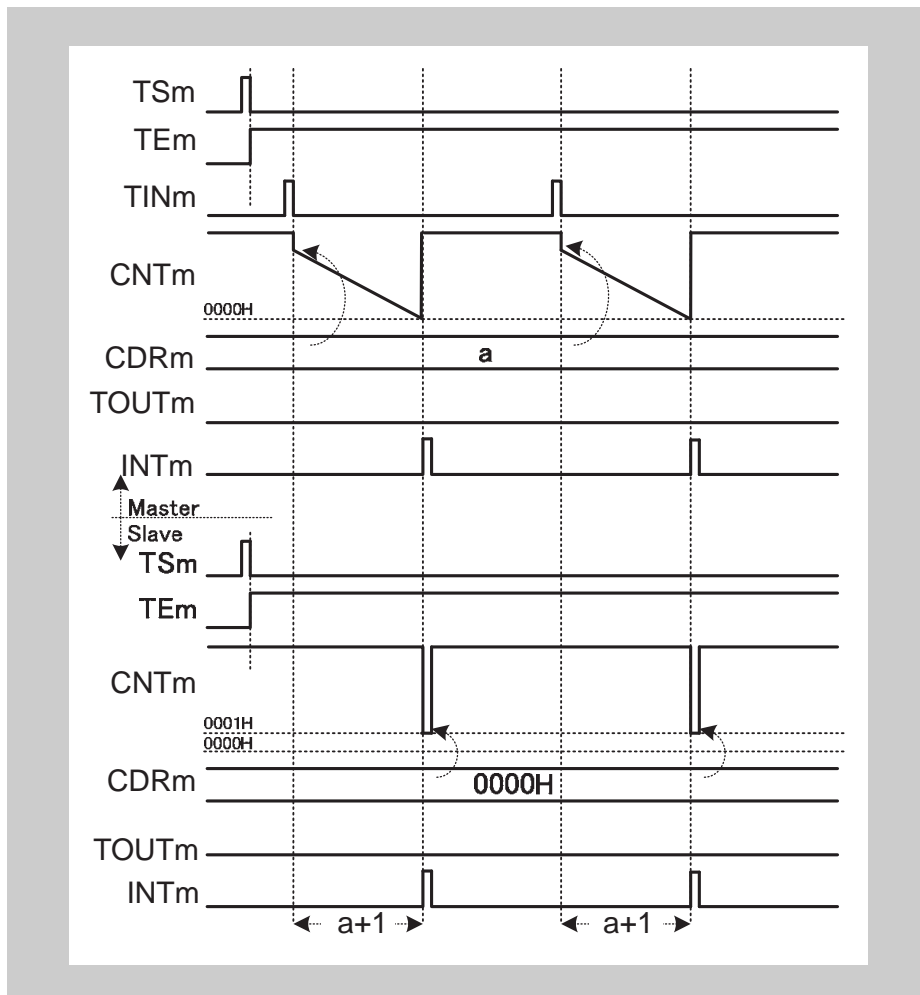


図 15-109 TAUAnCDRm (slave) = 0000<sub>H</sub>

- スレーブ・チャンネルのカウンタは 0000<sub>H</sub> をリロードし、1 カウント・クロック後に FFFF<sub>H</sub> に戻ります。

パルス幅が 0 のため、TAUAnTTOUTm は非アクティブ状態のままです。

(c) **AUAnCMORm.MD0 = 1**

この図での設定は次のようになっています。

- カウント中のスタート・トリガ検出許可 (TAUAnCMORm.MD0 = 1)
- 立ち下がりエッジ検出 (TAUAnCMURm.TIS[1:0] = 00<sub>B</sub>)

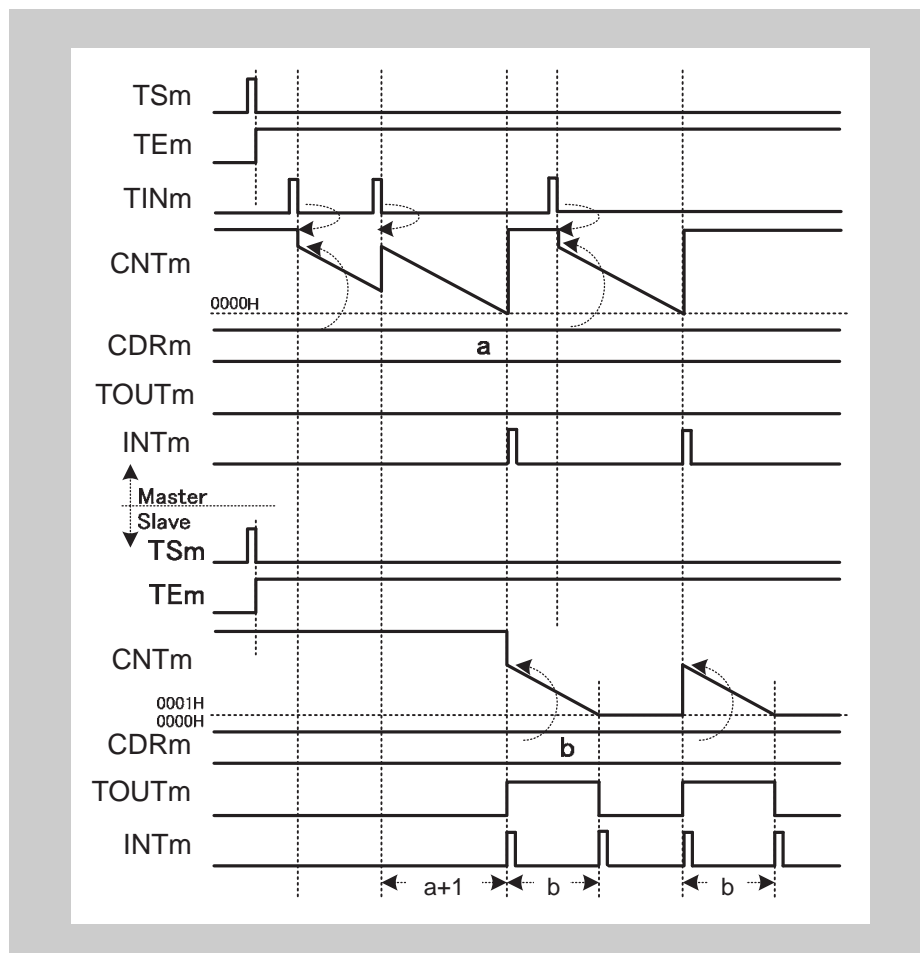


図 15-110 TAUAnCMORm.MD0 = 1

- マスタ・チャンネルのカウンタがダウン・カウント中に TAUAnTTINm 入力の有効エッジが検出されると、TAUAnCNTm は TAUAnCDRm の値をリロードします。カウンタはダウン・カウントを再開します。

これは、TAUAnTTINm 入力の有効エッジ検出時の TAUAnCNTm の値によってディレイが引き延ばされたことを意味します。

## (d) スレーブ・チャンネル・カウント中にマスタ・チャンネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタート・トリガ検出禁止 (TAUAnCMORm.MD0 = 0)
- 立ち下がリエッジ検出 (TAUAnCMURm.TIS[1:0] = 00<sub>B</sub>)

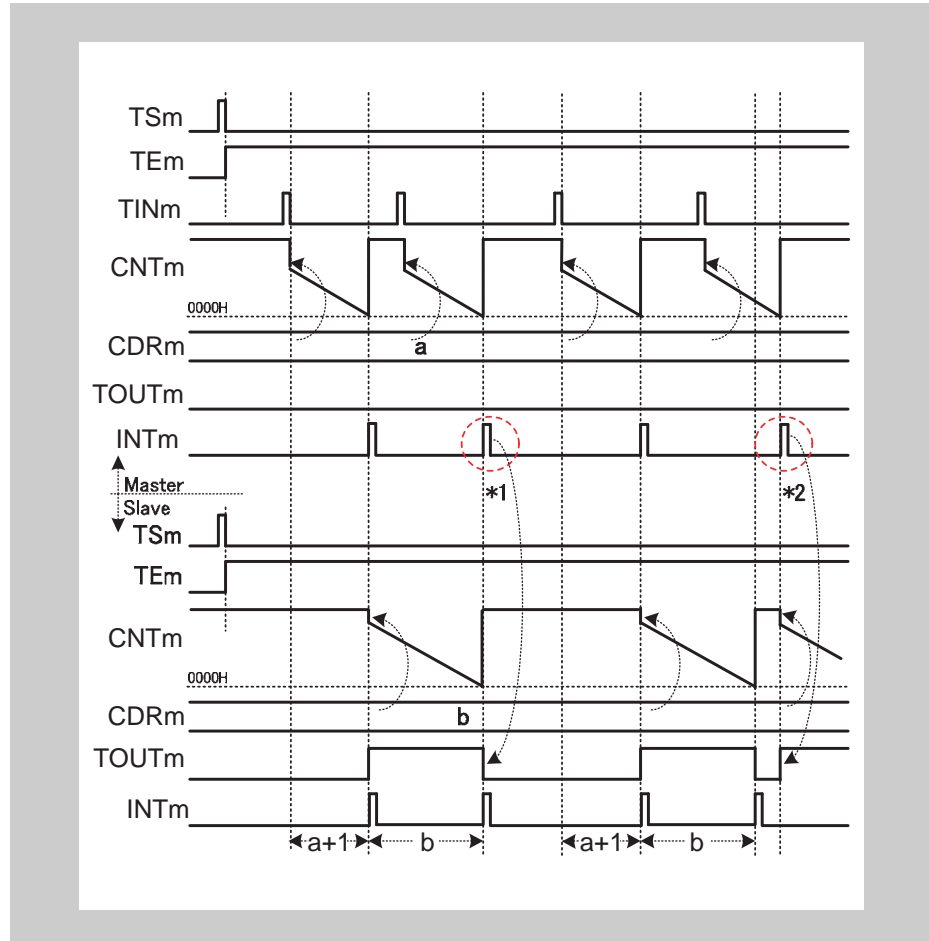


図 15-111 TAUA<sub>n</sub>TTIN<sub>m</sub> のインターバル ≤ 遅延時間 + パルス幅 + 1

- スレーブ・チャンネルのカウンタが 0001<sub>H</sub> になる前またはちょうど 0001<sub>H</sub> になったときにマスタ・チャンネルが割り込みを発生した場合は (\*1), 割り込み (マスタ) が無視されます。
- スレーブ・チャンネルのカウンタが次のトリガを待つ間にマスタ・チャンネルの割り込みが発生した場合は, TAUA<sub>n</sub>CDR<sub>m</sub> (スレーブ) の値がリロードされます。割り込みが発生し, TAUA<sub>n</sub>TTOUT<sub>m</sub> がトグルされます。TAUA<sub>n</sub>CNT<sub>m</sub> (スレーブ) がカウント中に TAUA<sub>n</sub>CNT<sub>m</sub> (マスタ) がダウン・カウントを開始した場合は (\*2), TAUA<sub>n</sub>TTOUT<sub>m</sub> は期待される遅延時間では出力されません。
- 正しいワンショット・パルスを発生するには, マスタ・チャンネルとスレーブ・チャンネルがカウント中でなくスタート・トリガ待ち状態のときにマスタ・チャンネルのスタート・トリガが検出される必要があります。

## 15.24.2 オフセット・トリガ出力機能

### (1) 概要

**概要** マスタ・チャンネルとスレーブ・チャンネルをひとつずつ使用して、PWM出力を生成する機能です。これにより、TAUAnTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタ・チャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブ・チャンネルで設定します。

### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、キャプチャ・モードに設定する必要があります（表 15-152 「オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 15-155 「オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの出力モードは、チャンネル単体出力モード2に設定する必要があります（15.9 「チャンネル出力モード」参照）。
- この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。

### 機能説明

チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSM) を 1 に設定すると、カウンタ動作が開始されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。マスタ・チャンネルのカウンタ (TAUAnCNTm) は 0000<sub>H</sub> からアップ・カウントを開始します。

#### • マスタ・チャンネル：

有効な TAUAnTTINm 入力エッジが検出されると、カウンタ (TAUAnCNTm) の現在値がマスタ・チャンネルのデータ・レジスタ (TAUAnCDRm) にロードされます。そして INTTAUAnIm が発生し、カウンタは 0000<sub>H</sub> からアップ・カウントを再開します。

#### • スレーブ・チャンネル：

マスタ・チャンネルで INTTAUAnIm が発生すると、TAUAnTTOUTm 信号 (スレーブ) がセットされ、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUAnCDRm (スレーブ) の現在値が TAUAnCNTm (スレーブ) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると (デューティ時間が経過すると)、

INTTAUAnIm が発生し、TAUAnTTOUTm 信号がリセットされます。カウンタは FFFF<sub>H</sub> に戻り、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSM を 1 に設定すると、カウンタを再開できます。

(2) 算出式

パルス幅 = (TAUAnCDRm (スレーブ)) × カウント・クロック周期

デューティ・サイクル [%] = [TAUAnCDRm (スレーブ) / TAUAnTTINm サイクル + 1] × 100

– デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) ≥ TAUAnTTINm サイクル + 1

(3) ブロック図と基本タイミング図

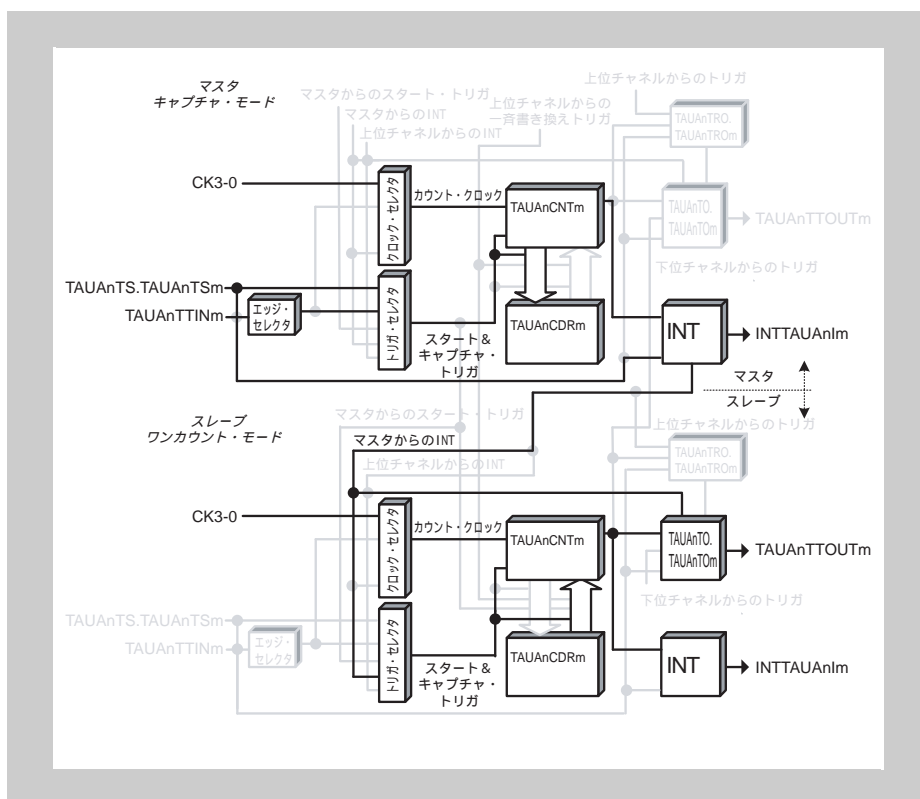


図 15-112 オフセット・トリガ出力機能のブロック図



基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TAUAnTIS[1:0] = 00<sub>B</sub>)

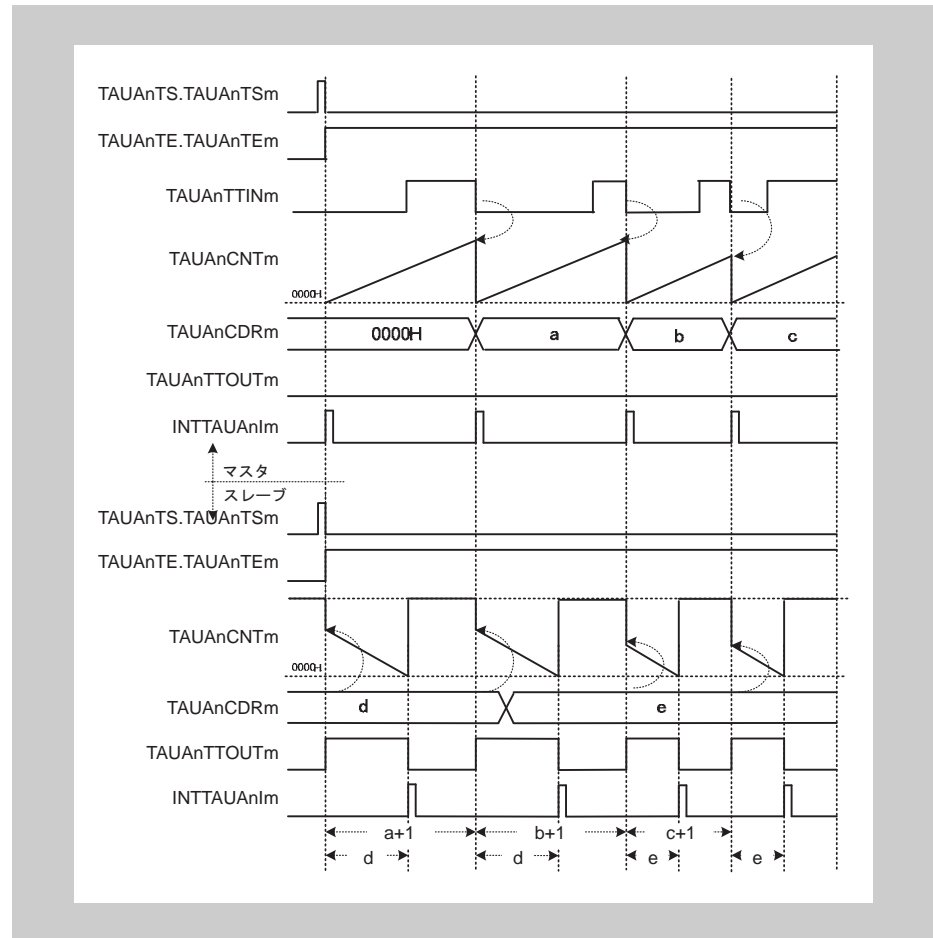


図 15-113 オフセット・トリガ出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]	-		TAUAnMD[4:1]				TAUAn MD0			

表 15-152 オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	001 : 有効な TAUAnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUAnCOS[1:0]	11 : TAUAnTTINm 入力有効エッジ検出が検出されるか、カウンタ・オーバフローが発生すると、キャプチャ・レジスタを更新 : <ul style="list-style-type: none"> <li>TAUAnTTINm 入力有効エッジ検出 : カウンタ値を TAUAnCDRm に書き込みます。</li> <li>オーバフロー発生 : TAUAnCDRm に FFFF<sub>H</sub> を書き込みます。次に検出される TAUAnTTINm 入力有効エッジは無視されます。</li> </ul> TAUAnCSRm.TAUAnOVF はカウンタ・オーバフロー時に設定され、CPU 命令 (TAUAnCSCm.TAUAnCLOV に "1" 設定) でクリアされます。
TAUAnMD[4:1]	0010 : キャプチャ・モード
TAUAnMD0	1 : 動作開始時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUAnTIS [1:0]

表 15-153 オフセット・トリガ出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オフセット・トリガ出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-154 オフセット・トリガ出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0 : 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-155 オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : カウント中のスタート・トリガ検出許可

## (b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-156 オフセット・トリガ出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルのチャンネル出力モード

表 15-157 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、オフセット・トリガ出力機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-158 オフセット・トリガ出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	0: 一斉書き換え禁止
TAUAnRDS.TAUAnRDSm	一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定
TAUAnRDM.TAUAnRDMm	
TAUAnRDC.TAUAnRDCm	

## (6) オフセット・トリガ出力機能時の操作手順

表 15-159 オフセット・トリガ出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 • TAUAnCNTm (マスタ) がアップ・カウントを行います。 • TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 マスタ・チャンネルで INTTAUAnIm が発生し、TAUAnTTOUTm (マスタ) がセットされます。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCSCm.TAUAnCLOV は 1 に設定可能です。	スレーブ・チャンネルの TAUAnCNTm が 0000 <sub>H</sub> になった場合： • INTTAUAnIm (スレーブ) が発生します。 • TAUAnTTOUTm (スレーブ) がリセットされず。 マスタ・チャンネルで TAUAnTTINm 入力エッジが検出された場合： • INTTAUAnIm (マスタ) が発生します。 • TAUAnCNTm (マスタ) は 0000 <sub>H</sub> にリセットされ、その後カウンタ動作を継続します。 • 再び TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUAnTTOUTm (スレーブ) がセットされず。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (7) 特定のタイミング図

## (a) Duty cycle = 0 %

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TIS[1:0] = 00<sub>B</sub>)

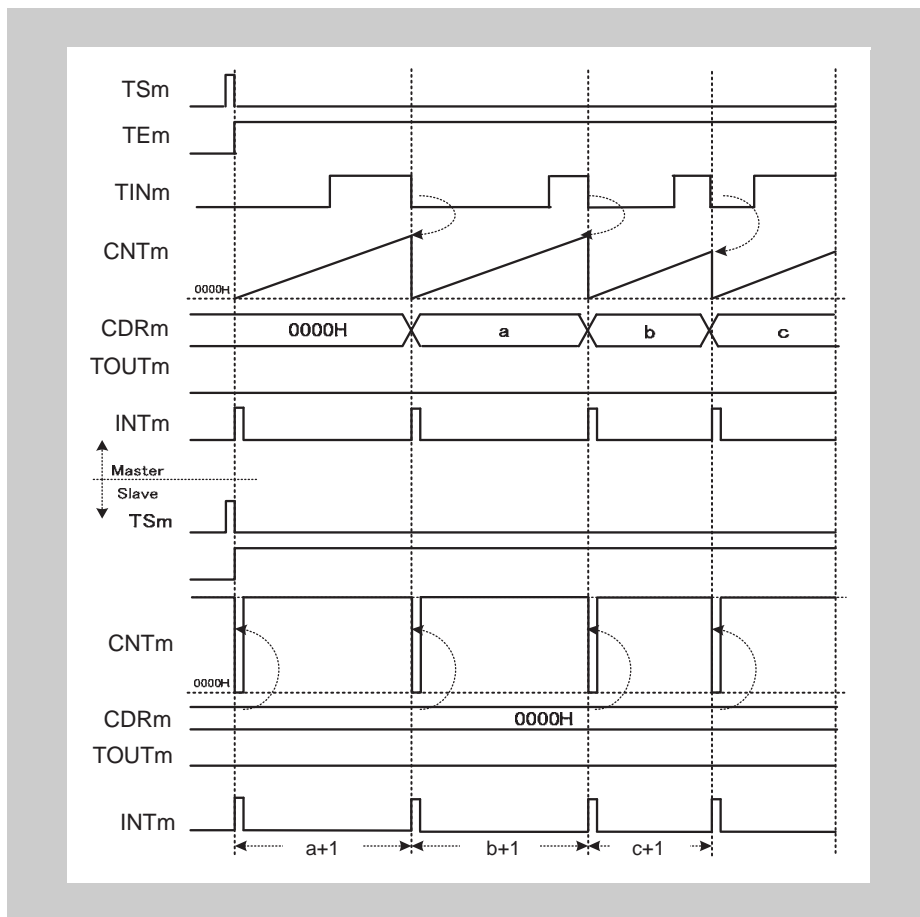


図 15-114 TAUAnCDRm (slave) = 0000<sub>H</sub>

- TAUAnCDRm (スレーブ) = 0000<sub>H</sub> の場合は、マスタ・チャンネルが割り込み (INTTAUAnIm) を発生するたびに TAUAnCNTm に 0000<sub>H</sub> が書き込まれ、TAUAnCNTm はカウントを開始できません。TAUAnTTOUTm は非アクティブ状態のままです。
- TAUAnCNTm (スレーブ) は、TAUAnCDRm の値がリロードされるたびに割り込みを発生します。スレーブ・チャンネルとマスタ・チャンネルは同じ周期で割り込みを発生します。

(b) Duty cycle = 100 %

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUAnCMURm.TIS[1:0] = 00<sub>B</sub>)

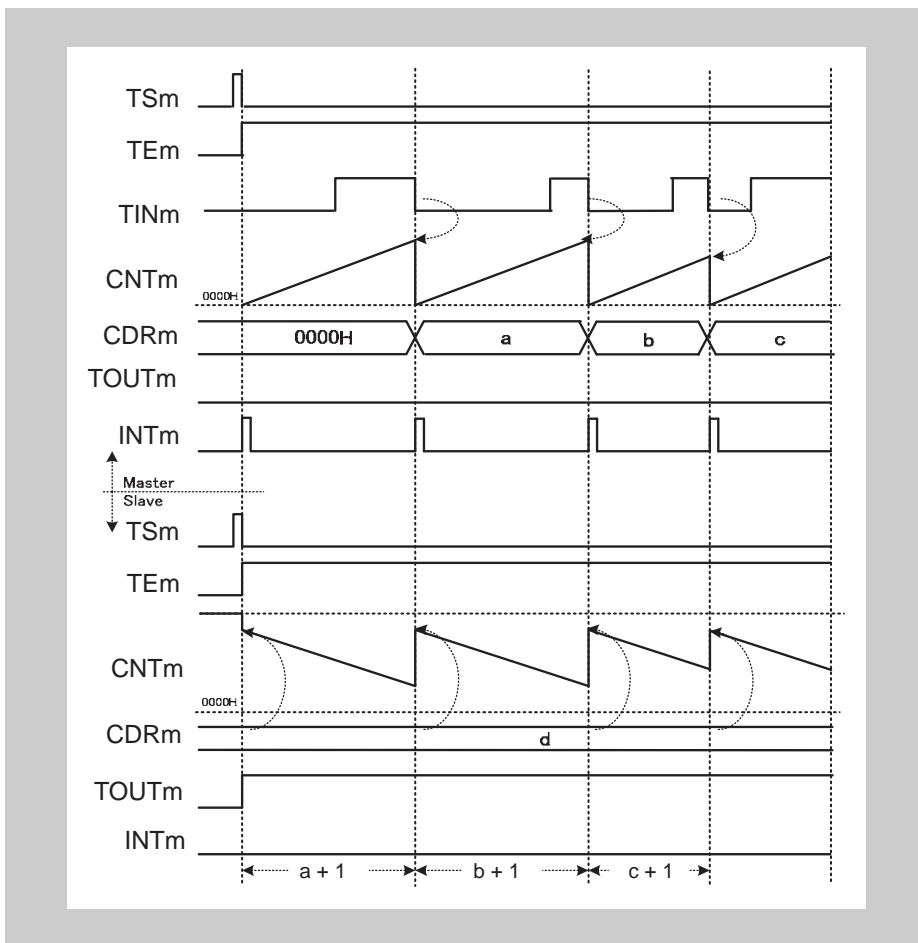


図 15-115 TAUAnCDRm (slave) ≥ TAUAnCDRm (master) + 1

- TAUAnCDRm (スレーブ) の値が有効な入力エッジのインターバルを超える場合は、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にはならず、割り込みは発生しません。TAUAnTTOUTm はアクティブ状態のままになります。



## 15.25 同期三角波 PWM 機能

この節では、三角波 PWM 出力信号を生成する機能について説明します。

- 15.25.1 「三角波 PWM 出力機能」
- 15.25.2 「デッド・タイム付き三角波 PWM 出力機能」
- 15.25.3 「A/D 変換トリガ出力機能タイプ2」

### 15.25.1 三角波 PWM 出力機能

#### (1) 概要

**概要** マスタ・チャンネルと1つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブ・チャンネルを用いて、TAUAnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。マスタ・チャンネルの1周期目はスレーブ・カウンタのダウン・ステータスを、2周期目はアップ・ステータスを制御します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 15-160 「三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、アップ/ダウン・カウント・モードに設定する必要があります（表 15-164 「三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定」参照）。
- マスタ・チャンネルの出力モードは、チャンネル単体出力モード 1 に設定する必要があります（15.9 「チャンネル出力モード」）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード 2 に設定する必要があります（15.9 「チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウン・ステータスの間、TAUAnTTOUTm 信号がハイ・レベルになります。
  - TAUAnCMORm.TAUAnMD0（マスタ）ビットが 0 に設定されている場合、TAUAnTOE.TAUAnTOEm が 0 の間、TAUAnTO.TAUAnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUAnCMORm.TAUAnMD0（マスタ）ビットが 1 に設定されている場合、TAUAnTOE.TAUAnTOEm が 0 の間、TAUAnTO.TAUAnTOm を 0 に設定する必要があります。

#### 機能説明

チャンネル・トリガ・ビット（TAUAnTS.TAUAnTSm）を 1 に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm が設定され、カウントが可能になります。TAUAnCDRm（マスタ/スレーブ）の値が TAUAnCNTm（マスタ/スレーブ）にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUAnTTOUTm 信号がトグルされます。

- マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になると（パルス周期が経過すると）、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。その後、再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。

- スレーブ・チャンネル :

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。

- スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップ・カウント中の場合は、再び TAUAnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

スレーブ・チャンネルのカウンタがアップ／ダウン・カウント中に 0001<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnTTOUTm (スレーブ) 信号がセット／リセットされます :

カウンタはアップ／ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUAnIm を待ちます。

TAUAnTOL.TAUAnTOLm を設定することにより、動作中に TAUAnTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウンタ・クロック周期

0000<sub>H</sub> ≤ TAUAnCDRm (マスタ) < FFFF<sub>H</sub>

キャリア周期 (ダウン／アップ) = (TAUAnCDRm (マスタ) + 1) × 2 × カウンタ・クロック周期

デューティ・サイクル 100 % =

$$\frac{[(TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ))]}{(TAUAnCDRm (マスタ) + 1) \times 100}$$

- デューティ・サイクル = 100 %

TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

- デューティ・サイクル = 0 %

TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

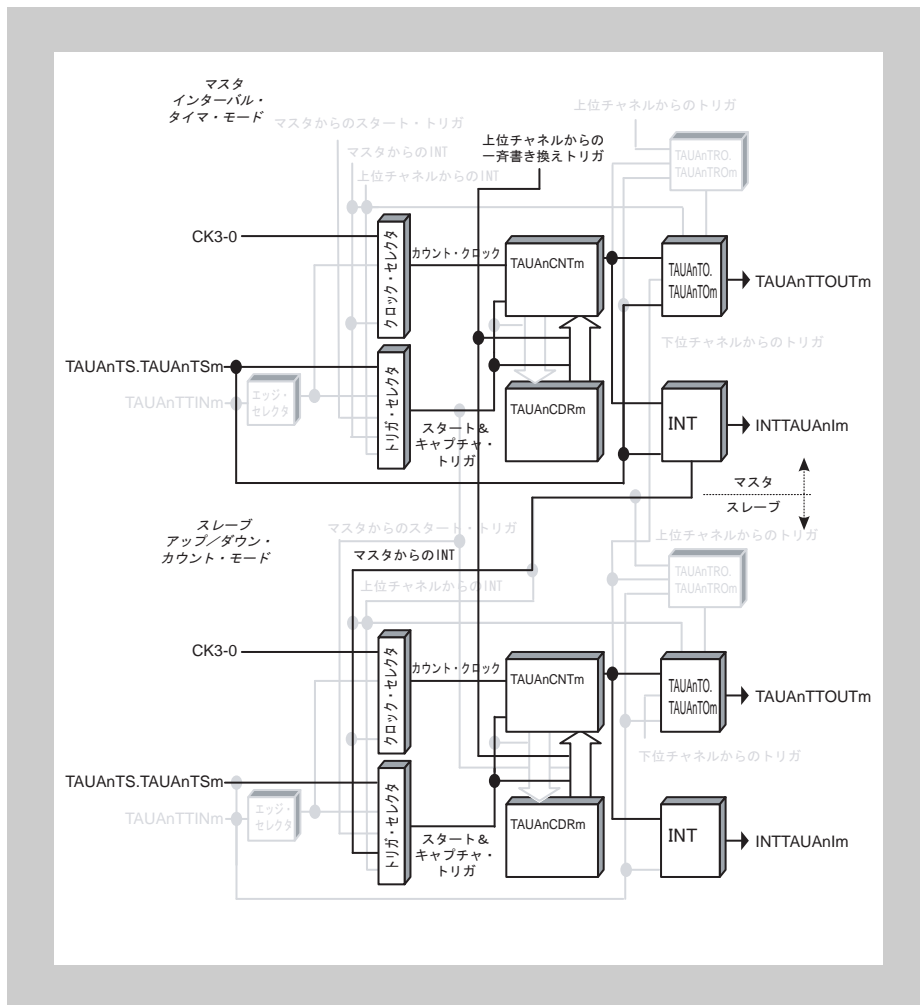


図 15-116 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
  - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

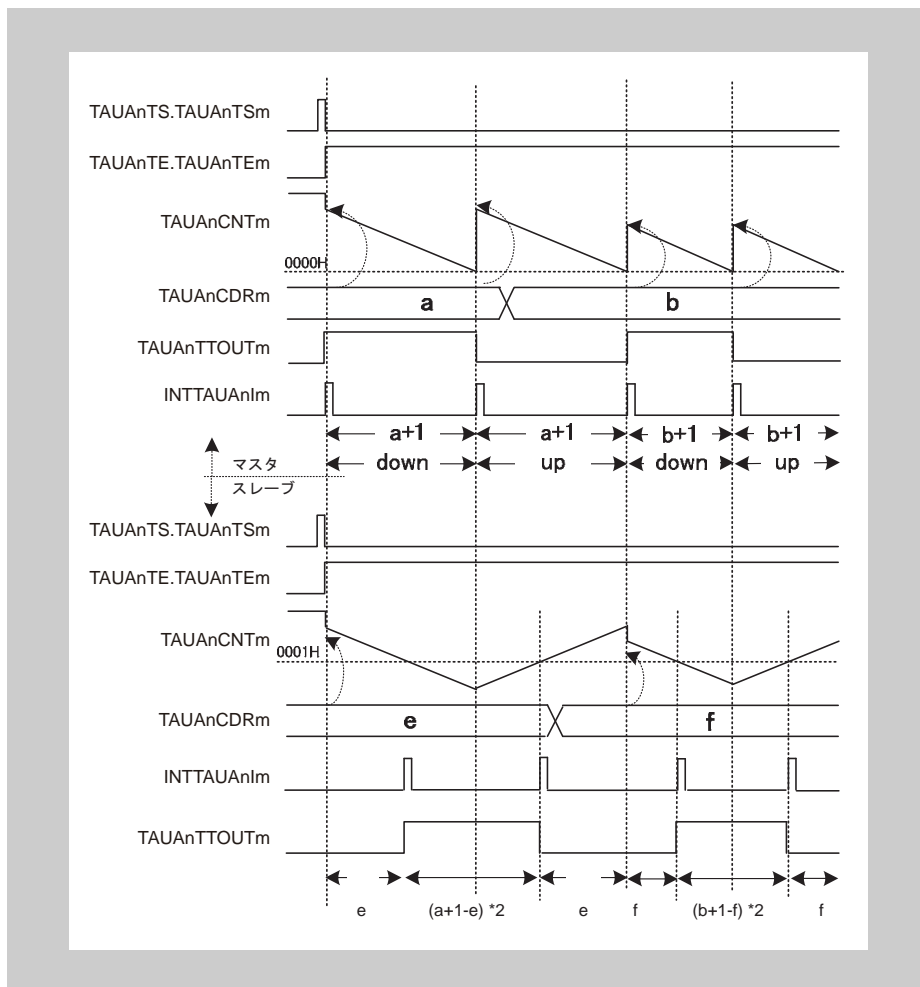


図 15-117 三角波 PWM 出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD [4:1]				TAUAn MD0					

表 15-160 三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm は トグルされる

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-161 三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

表 15-162 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-163 三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-164 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない

## (b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-165 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00: 未使用, 00 を設定



## (c) スレーブ・チャンネルのチャンネル出力モード

表 15-166 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-167 三角波 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(6) 三角波 PWM 出力機能時の操作手順

表 15-168 三角波 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUAnCMORm.TAUAnMD0 が 1 に設定されている場合は、INTTAUAnIm (マスタ) が発生します。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ/スレーブ・チャンネルの TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>TAUAnTTOUTm (マスタ) がトグルされます。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。</li> </ul> スレーブ・チャンネルの TAUAnCNTm が 0001 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ) が発生します。</li> <li>TAUAnTTOUTm (スレーブ) は、ダウン・カウント状態ではセット、アップ・カウント状態ではリセットされます。</li> </ul>
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- TAUAnCDRm = a = 5<sub>H</sub>

- スレーブ・チャンネル :

- TAUAnCDRm = 6<sub>H</sub>

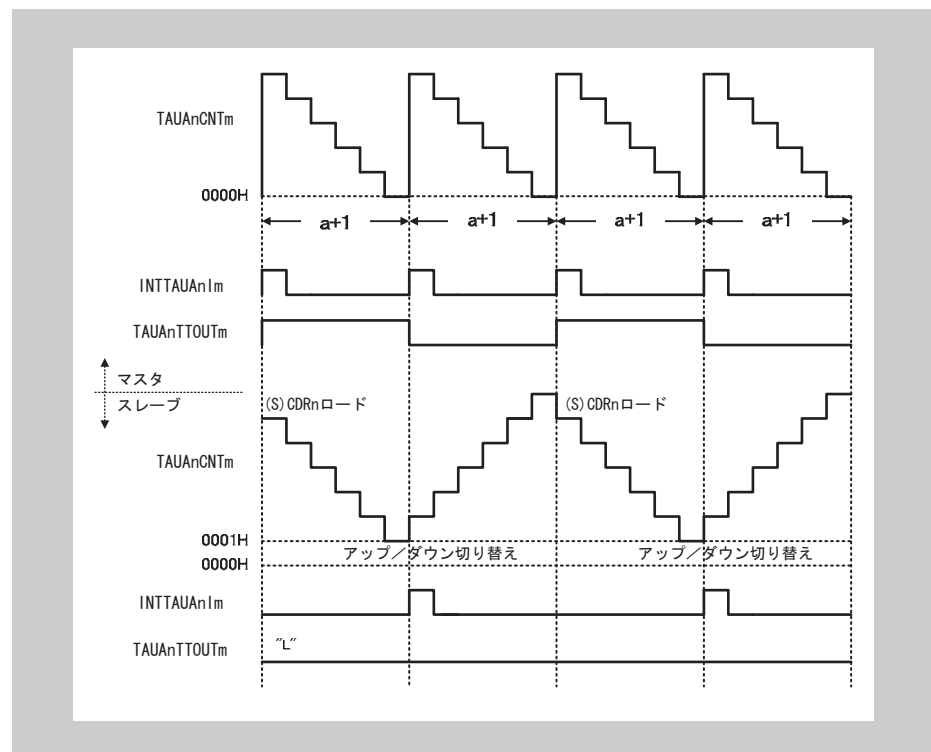


図 15-118 TAUAnCDRm (スレーブ) ≥ TAUAnCDRm (マスタ) + 1

- TAUAnCDRm (スレーブ) 値が TAUAnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0001<sub>H</sub> になります。セット信号が検出されることがないため、TAUAnTTOUTm は Low 状態のままになります。

## (b) デューティ・サイクル = 100 %

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- TAUAnCDRm = a = 5<sub>H</sub>

- スレーブ・チャンネル :

- TAUAnCDRm = 0<sub>H</sub>

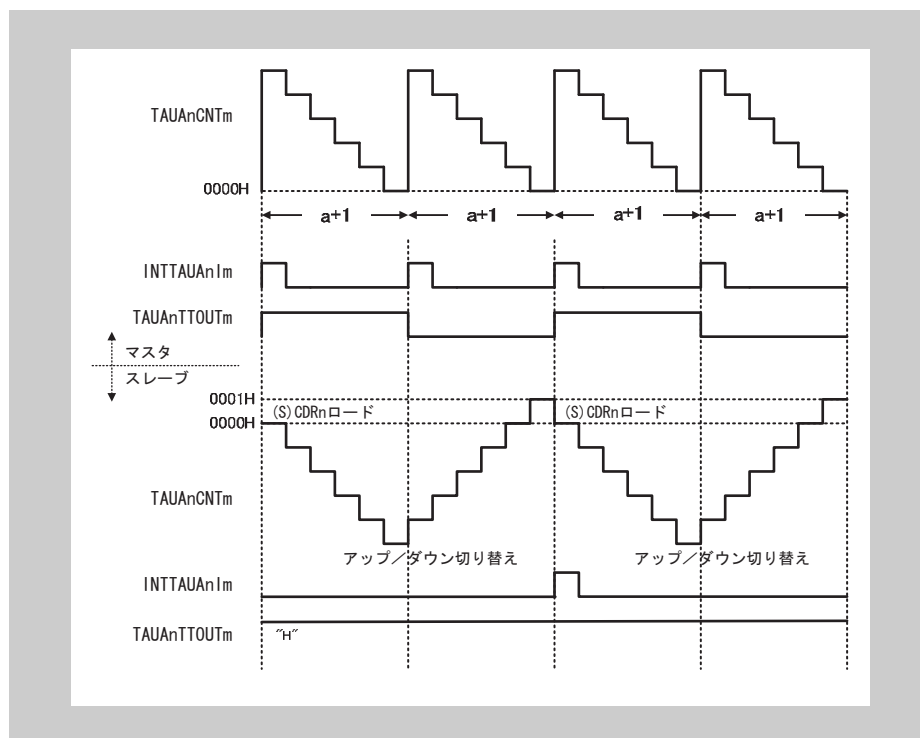


図 15-119 TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

- TAUAnCDRm (スレーブ) = 0000<sub>H</sub> の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001<sub>H</sub> になりません。リセット信号が検出されることがないため、TAUAnTTOUTm は High 状態のままになります。

## 15.25.2 デッド・タイム付き三角波 PWM 出力機能

### (1) 概要

**概要** マスタ・チャンネルと2つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッド・タイムを付加して生成する機能です。デッド・タイムが付加された PWM 信号は、スレーブ・チャンネル 2/3 の TAUAnTTOUTm から出力されます。これにより、マスタ／スレーブ・チャンネルを使って TAUAnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。1 周期目のパルスはスレーブ・カウンタのダウン・ステータスを、2 周期目のパルスはアップ・ステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブ・チャンネルの TAUAnTTOUTm がセット／リセットされます。TAUAnTDL.TAUAnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUAnTTOUTm がただちにセット／リセットされるのか、デッド・タイム経過後にセット／リセットされるのかを設定）。デッド・タイム時間はスレーブ・チャンネル 3 で設定します。

- 前提条件**
- 3 チャンネル。スレーブ・チャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 15-170 「デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照）。
  - この機能では、スレーブ・チャンネル 1 は使用しません。そのため、スレーブ・チャンネル 2 は必ず偶数チャンネル、スレーブ・チャンネル 3 は奇数チャンネルです。
  - スレーブ・チャンネル 2 の動作モードは、アップ・ダウン・モードに設定する必要があります（表 15-174 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 2 の TAUAnCMORm 設定」参照）。また、スレーブ・チャンネル 2 は偶数チャンネルでなければなりません。
  - スレーブ・チャンネル 3 の動作モードは、ワンカウント・モードに設定する必要があります（表 15-178 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 3 の TAUAnCMORm 設定」参照）。また、スレーブ・チャンネル 3 は奇数チャンネルでなければなりません。
  - マスタ・チャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（15.9 「チャンネル出力モード」）。
  - スレーブ・チャンネル 2/3 の出力モードは、デッド・タイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（15.9 「チャンネル出力モード」参照）。
  - 次のような設定により、キャリア周期のダウン・ステータスの間、TAUAnTTOUTm 信号がハイ・レベルになります。
    - TAUAnCMORm.TAUAnMD0（マスタ）ビットが 0 に設定されている場合、TAUAnTOE.TAUAnTOEm が 0 の間、TAUAnTO.TAUAnTOm を 1 に設定する必要があります。（推奨設定）
    - TAUAnCMORm.TAUAnMD0（マスタ）ビットが 1 に設定されている場合、TAUAnTOE.TAUAnTOEm が 0 の間、TAUAnTO.TAUAnTOm を 0 に設定する必要があります。

- 備考** デッド・タイム付き三角波 PWM 出力機能では、スレーブ・チャンネル 1 を使用しません。
- 機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ動作が開始されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUAnCMORM.TAUAnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUAnTTOUTm 信号がトグルされます。
- マスタ・チャンネル :
 

マスタ・チャンネルのカウント値が 0000<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnTTOUTm 信号がトグルされます。再び TAUAnCDRm の値をカウンタにロードし、ダウン・カウントを行います。
  - スレーブ・チャンネル 2 :
 

マスタ・チャンネルで INTTAUAnIm が発生すると、スレーブ・チャンネル 2 のカウンタ動作がトリガされます。

    - スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
    - スレーブのカウンタがアップ・カウント中の場合は、再び TAUAnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

カウンタはアップ／ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUAnIm を待ちます。
  - スレーブ・チャンネル 3 :
 

スレーブ・チャンネル 2 で INTTAUAnIm が発生すると、スレーブ・チャンネル 3 のカウンタ動作がトリガされます。そして TAUAnCDRm (スレーブ 3) の現在値が TAUAnCNTm (スレーブ 3) にロードされ、カウンタはその TAUAnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。カウンタは FFFF<sub>H</sub> に戻り、スレーブ・チャンネル 2 の次の INTTAUAnIm を待ちます。
- 表 15-169 「スレーブ・チャンネル 2 で割り込みが発生した際の TAUAnTTOUTm の動作」にあるように、対応するチャンネルの TAUAnTDL.TAUAnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッド・タイム経過後）が決まります。
- また、TAUAnTOL.TAUAnTOLm の設定によって、対応チャンネルからハイ・レベル信号を出力 (TAUAnTOL.TAUAnTOLm = 0) するかロウ・レベル信号を出力 (TAUAnTOL.TAUAnTOLm = 1) するかが決まります。
- マスタ／スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。
- スレーブ・チャンネル 2 の TAUAnCDRm 値を 0000<sub>H</sub> にして、TAUAnTTOUTm を 100 % 出力することができます。
- 条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

TAUAnTOL.TAUAnTOLm と TAUAnTDL.TAUAnTDLm の設定はカウント動作開始前に行う必要があり、スレーブ・チャンネル2 とスレーブ・チャンネル3 は TAUAnTOL.TAUAnTOLm か TAUAnTDL.TAUAnTDLm の設定が反対でなければなりません。

表 15-169 スレーブ・チャンネル2 で割り込みが発生した際の TAUAnTTOUTm の動作

TAUAnTDL. TAUAnTDLm	割り込み発生時のスレーブ・ チャンネル2 のカウント方向	TAUAnTTOUTm セット/ リセット・タイミング
0	ダウン・カウント	デッド・タイム経過後に設定
	アップ・カウント	割り込み発生直後にリセット
1	ダウン・カウント	割り込み発生直後にセット
	アップ・カウント	デッド・タイム経過後に設定

## (2) 算出式

パルス周期 = (TAUAnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_H \leq \text{TAUAnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUAnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

PWM 信号幅 (正相) = [ (TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ2) × 2) - (TAUAnCDRm (スレーブ3) + 1) ] × カウント・クロック周期

PWM 信号幅 (逆相) = [ (TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ2) × 2) + (TAUAnCDRm (スレーブ3) + 1) ] × カウント・クロック周期

(3) ブロック図と基本タイミング図

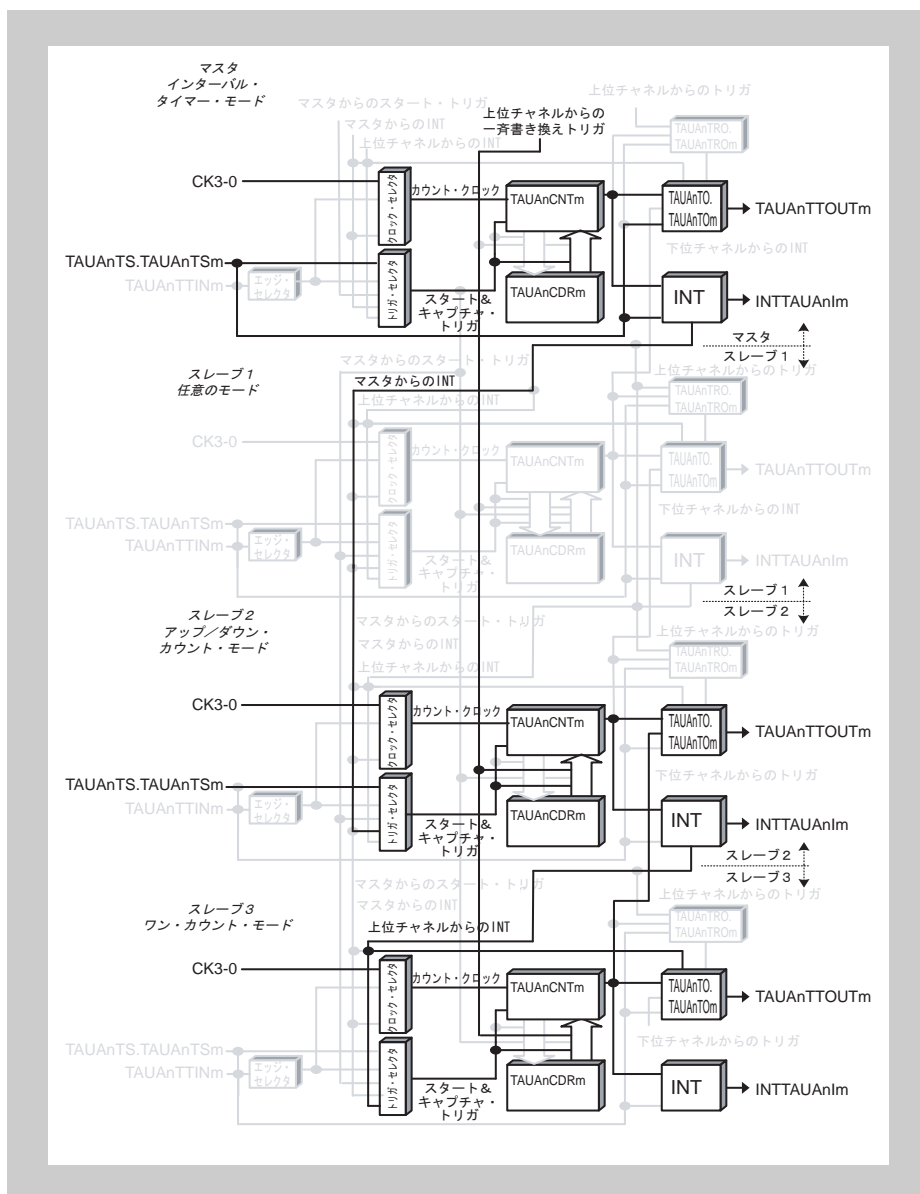


図 15-120 デッド・タイム付き三角波 PWM 出力機能のブロック図



基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
  - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
- スレーブ・チャンネル 2 :
  - 動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
  - TAUAnTDL.TAUAnTDLm = 0
  - 正論理 (TAUAnTOL.TAUAnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)
  - TAUAnTDL.TAUAnTDLm = 1
  - 負論理 (TAUAnTOL.TAUAnTOLm = 1)

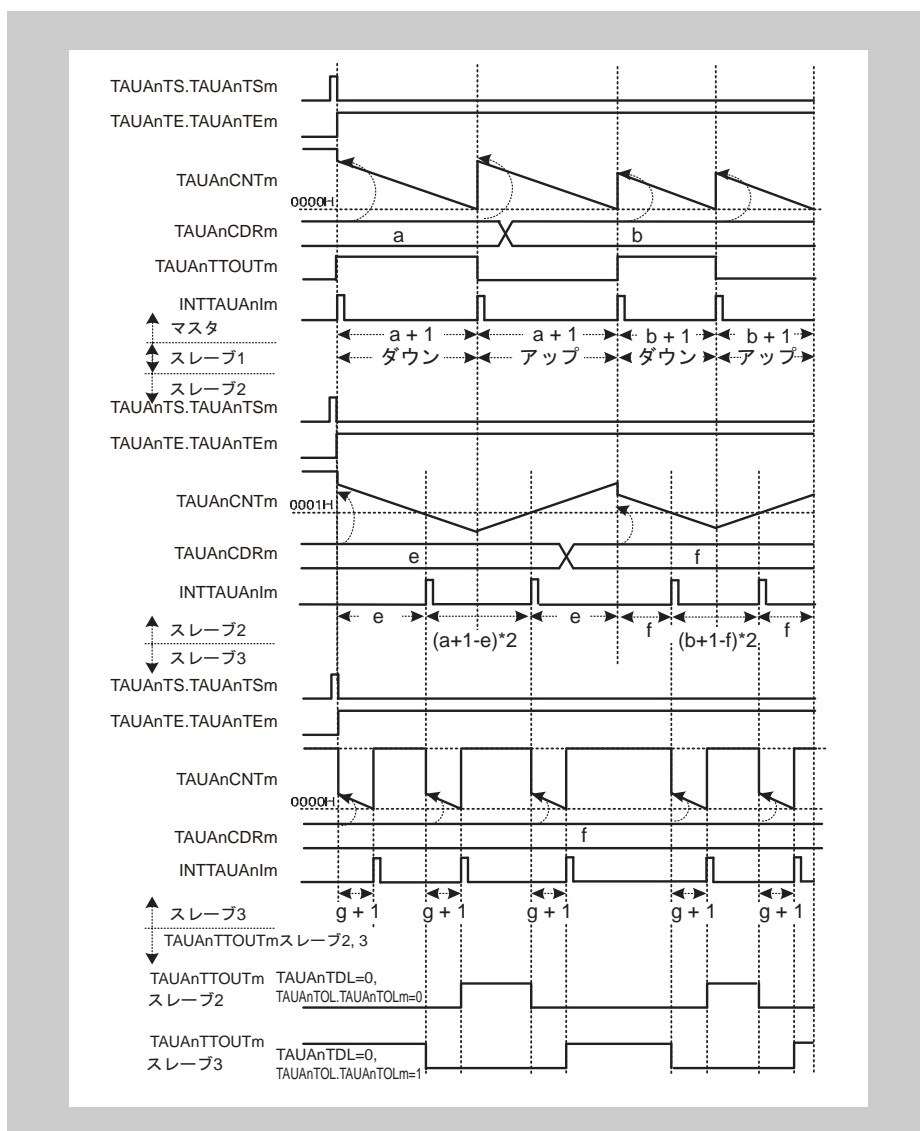


図 15-121 デッド・タイム付き三角波 PWM 出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-170 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-171 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

表 15-172 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-173 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネル2のレジスタ設定

## (a) スレーブ・チャンネル2のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-174 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない

## (b) スレーブ・チャンネル2のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-175 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル2のチャンネル出力モード

表 15-176 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルで割り込みを検出し, なおかつ TAUAnTDL.TAUAnTDLm で設定されている条件に合致している場合にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TDLm は, 奇数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-177 三角波 PWM 出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は, マスタ・チャンネルでのカウントが開始され, 対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき, このビットの値にかかわらず, マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) スレーブ・チャンネル3のレジスタ設定

## (a) スレーブ・チャンネル3のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-178 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	110 : マスタ・チャンネルのアップ/ダウン出カトリガ信号 TAUAnTUDSm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : カウント中のスタート・トリガ検出許可

## (b) スレーブ・チャンネル3のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-179 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル3のチャンネル出力モード

表 15-180 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動動作
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつTAUAnTDL.TAUAnTDLmで設定されている条件に合致している場合にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEm	0: 変調禁止

注意 TAUAnTDL.TAUAnTDLm は、偶数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-181 三角波 PWM 出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波周期の [ 山 ] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (7) デッド・タイム付き三角波 PWM 出力機能時の操作手順

表 15-182 デッド・タイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUAn の状態
動作再開	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
	<p>動作開始</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTsm を同時に 1 に設定します。 TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUAnCMORm.TAUAnMD0 が 1 に設定されている場合は、INTTAUAnIm (マスタ) が発生します。
	<p>動作中</p> <p>TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 2) にロードするか、反対方向のカウントを開始します。</li> </ul> <p>TAUAnCNTm (スレーブ 2) が 0001<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ 2) が発生します。</li> <li>スレーブ・チャンネル 3 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</li> </ul> <p>スレーブ・チャンネル 3 の TAUAnCNTm が 0000<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUAnIm が発生します。</li> </ul>
	<p>動作停止</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現在値を保持します。



## (8) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0%

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUAnTDL.TAUAnTDLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUAnTDL.TAUAnTDLm = 1)

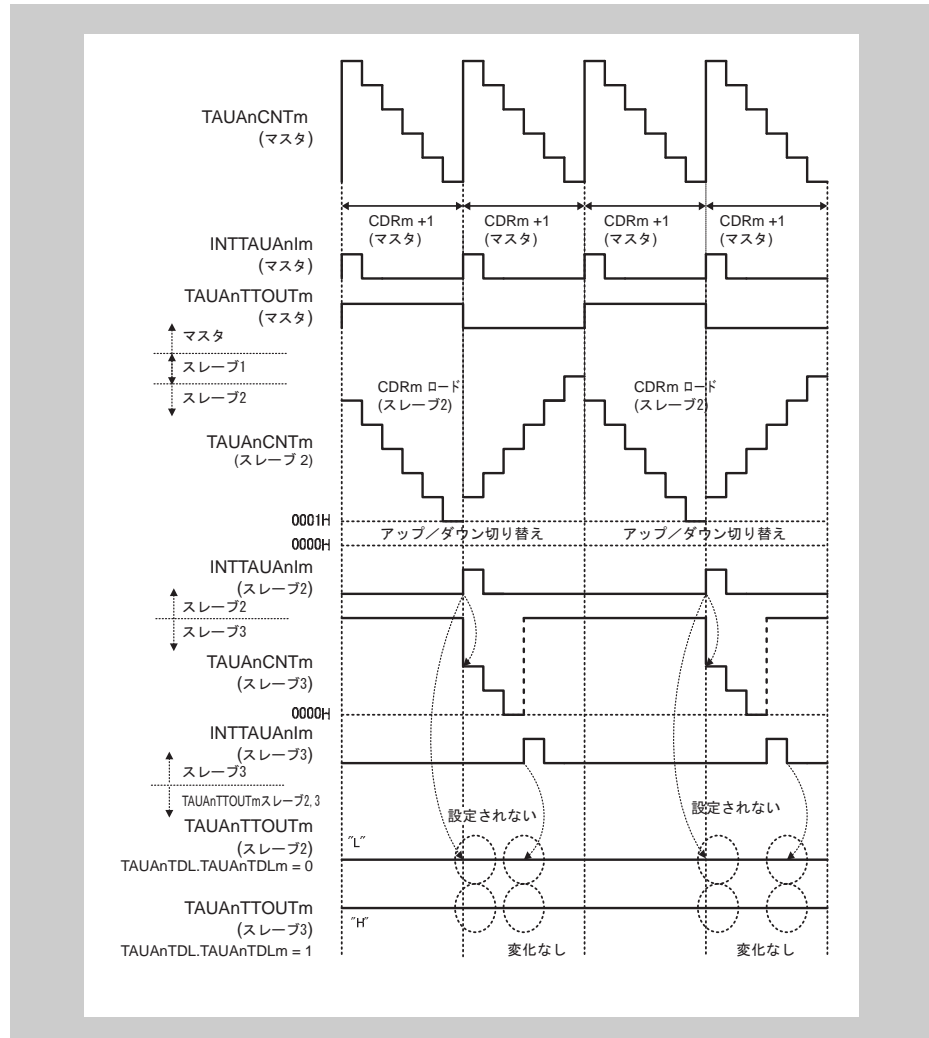


図 15-122 TAUAnCDRm (スレーブ)  $\geq$  TAUAnCDRm (マスタ) + 1

- TAUAnCDRm (スレーブ 2) 値が TAUAnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0000<sub>H</sub> になります。したがって TAUAnTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップ・カウント中にスレーブ・チャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

## (b) デューティ・サイクル = 100 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUAnTDL.TAUAnTDLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUAnTDL.TAUAnTDLm = 1)

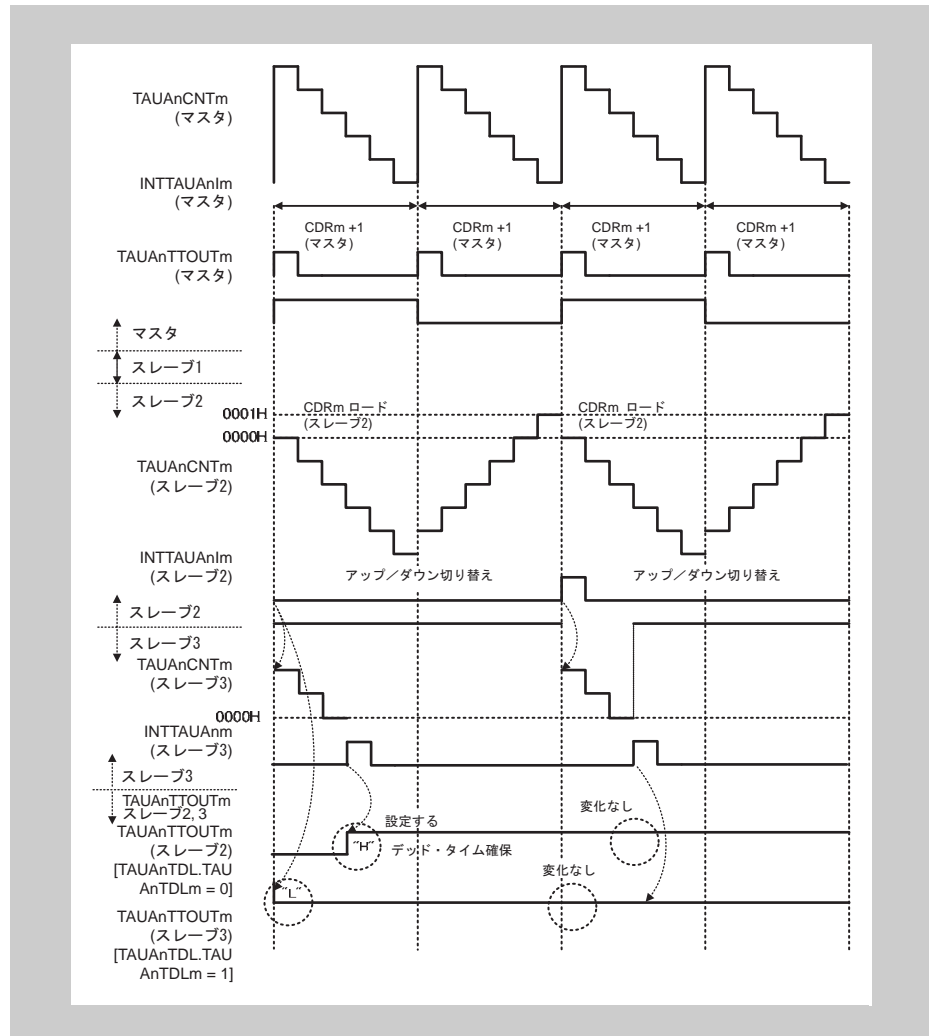


図 15-123 TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

- TAUAnCDRm (スレーブ 2) = 0000<sub>H</sub> の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001<sub>H</sub> になりません。したがって、アップ・カウント中に INTTAUAnIm は発生しません。
  - TAUAnTDL.TAUAnTDLm が 0 に設定されているチャンネルでは、デッド・タイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUAnTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブ・チャンネル 3 はカウント開始時にセットされます。ただし、TAUAnTDL.TAUAnTDLm が 1 に設定されているスレーブ・チャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUAnTTOUTm は初期状態のままになります。

## 15.25.3 A/D 変換トリガ出力機能タイプ 2

## (1) 概要

**概要** この機能は、TAUAnTTOUTm が出力されないという点を除き、15.25.1「三角波 PWM 出力機能」と同じです。

スレーブ・チャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

## (2) ブロック図と基本タイミング図

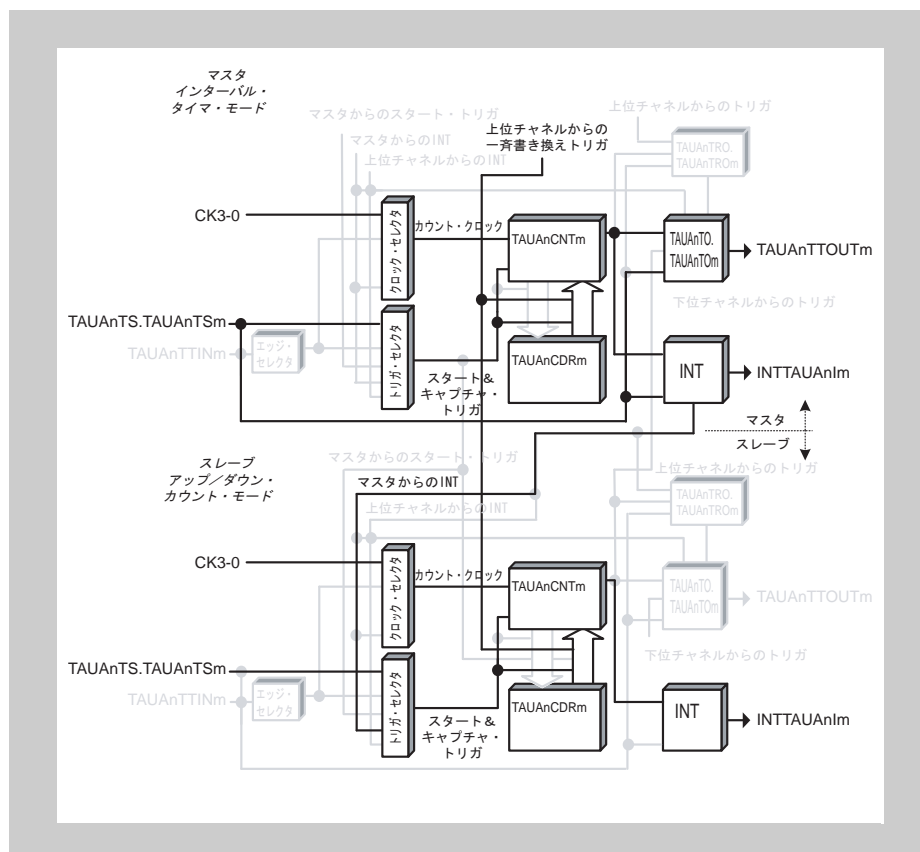


図 15-124 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
  - 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

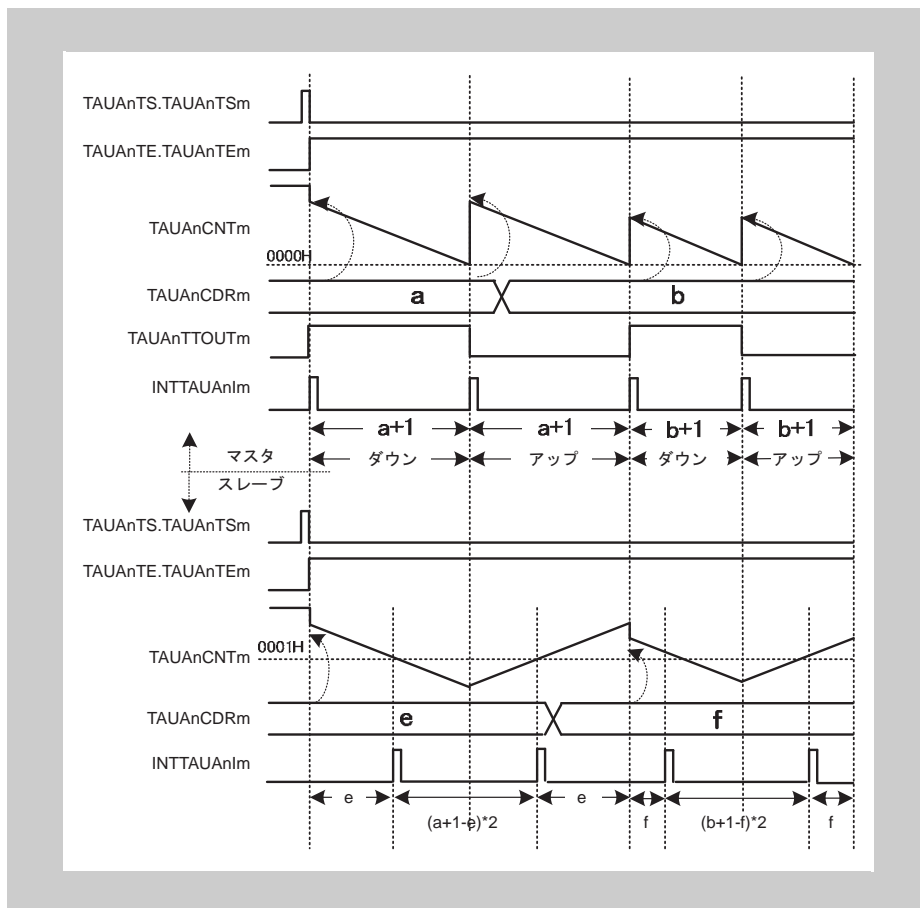


図 15-125 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

## 15.26 同期リアルタイム出力機能

この節では、割り込みが指定されたチャンネルから発生するとき、TAUAnTTOUTm から TAUAnTRO.TROm ビットの値を出力する機能について説明します。デッド・タイムが付加され一定間隔で、または、マスタ・チャンネルで指定された数の割り込みが発生した後に、またはそれらの組み合わせにより、割り込みは発生します。

リアルタイム出力トリガが1チャンネル以上のタイマの組み合わせにより生成される点で、この機能は、リアルタイム単体出力機能と異なります。リアルタイム単体出力機能では、たとえ複数のチャンネルでトリガを検出することができても、トリガは一つのチャンネルで生成されます。

- 15.26.1 「同期リアルタイム出力機能タイプ1」
- 15.26.2 「同期リアルタイム出力機能タイプ2」
- 15.26.3 「同期リアルタイム出力機能タイプ3」

## 15.26.1 同期リアルタイム出力機能タイプ 1

### (1) 概要

**概要** 割り込み (INTTAUAnIm) が指定されたチャンネルから発生するとき、この機能は、TAUAnTTOUTm から TAUAnTRO.TROm ビットの値を出力します。この機能では、デッド・タイムが付加され一定間隔で、割り込みは発生します。上位スレーブ・チャンネルがデッド・タイムを指定します。

### 前提条件

- 3つ (もしくはそれ以上) のチャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-18 「インターバル・タイマ機能の TAUAnCMORm 設定」を参照)。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (表 15-188 「リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」を参照)。
- この機能のマスタ・チャンネルでは、TAUAnTTOUTm は使用しません。
- 上位スレーブのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に、また、TAUAnTRC.TRCm は1に設定する必要があります (15.9 「チャンネル出力モード」を参照)。
- 下位スレーブ・チャンネルのチャンネル出力モードは、非相補方式変調出力を行う同期チャンネル出力モード1に設定する必要があります (15.9 「チャンネル出力モード」を参照)。

### 説明

チャンネル・トリガ・ビット (TAUAnTS.TSm) を1に設定すると、カウンタ動作 (マスタとスレーブ) が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。TAUAnCDRm (マスタとスレーブ) の現在値が TAUAnCNTm にロードされ、カウンタはその値からダウン・カウントを開始します。

#### • マスタ・チャンネル

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、以降、動作を継続します。

#### • 上位スレーブ・チャンネル

上位スレーブがマスタ・チャンネルからの割り込みを検出すると、カウンタは TAUAnCDRm の現在値からダウン・カウントを開始します。カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。TAUAnTTOUTm (スレーブ) はリアルタイム出力ビット (TAUAnTRO.TROm) の現在値を出力します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、マスタ・チャンネルからの次の INTTAUAnIm を待ちます。

#### • 下位スレーブ・チャンネル

TAUAnTRC.TRCm = 0 である点を除いて、下位スレーブ・チャンネルは上位スレーブ・チャンネルと同じスタート・トリガを持っています。

#### • 上位 / 下位スレーブ・チャンネル

リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、割り込み用に上位スレーブ・チャンネルをモニタしている全チャンネルの TAUAnTTOUTm に出力されます。TAUAnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TROm の現在値と異なる場合のみに変化します。

TAUAnCDRm (マスタとスレーブ) の値は任意のタイミングで書き換え可能で、TAUAnCDRm の変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

マスタとスレーブ・チャンネルでは、TAUAnTT.TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TEm は 0 に設定されます。マスタとスレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TSm を 1 に設定すると、機能を再開できます。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」参照してください。

## (2) 算出式

リアルタイム出カトリガが発生するチャンネルの INTTAUAnIm の量は、マスタ・チャンネルの INTTAUAnIm と比較して、遅延しています。

$$= [ \text{TAUAnCDRm (上位スレーブ)} + 1 ] \times \text{カウント} \cdot \text{クロック} \cdot \text{サイクル}$$

(3) ブロック図と基本タイミング図

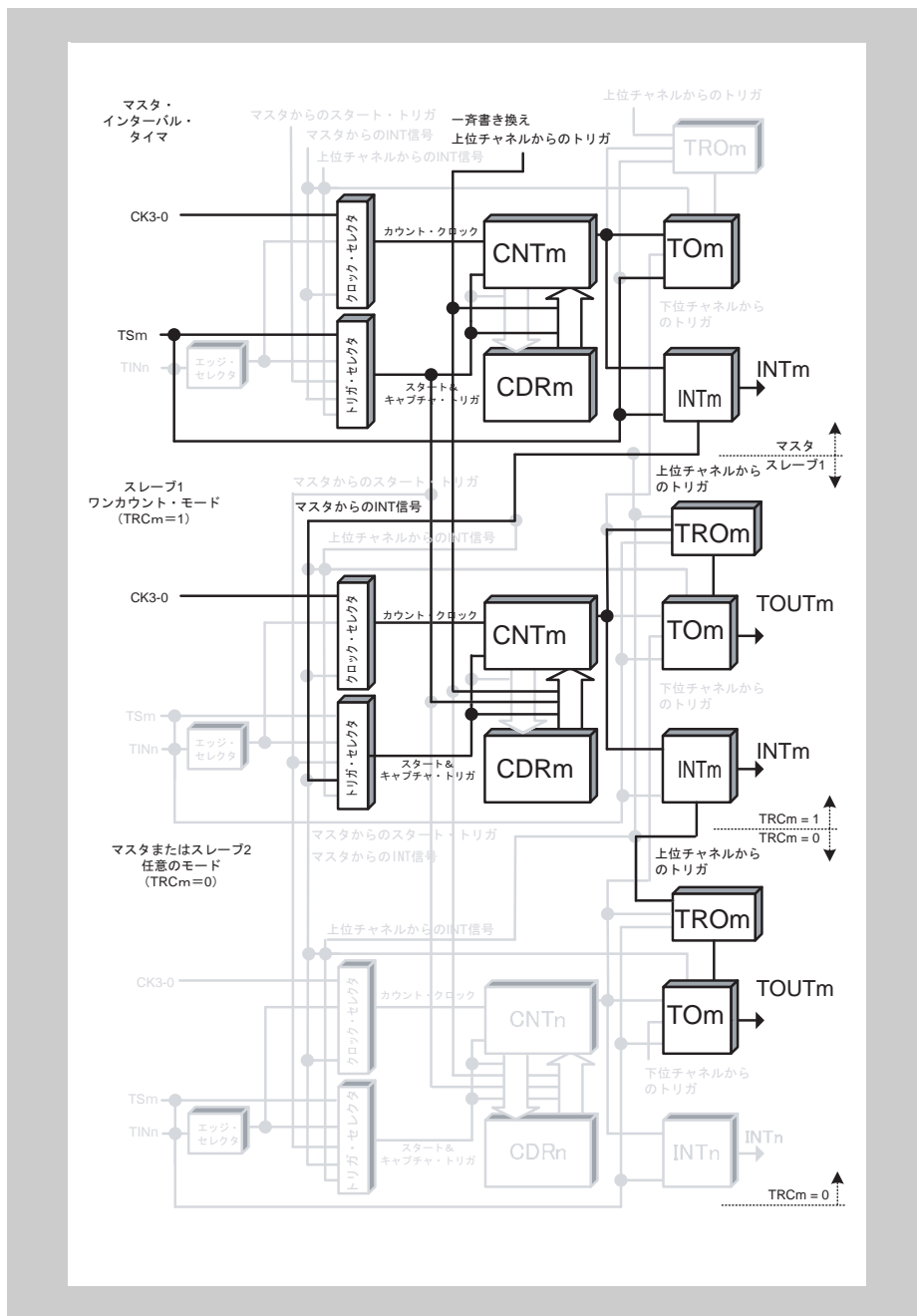


図 15-126 リアルタイム出力機能タイプ1のブロック図



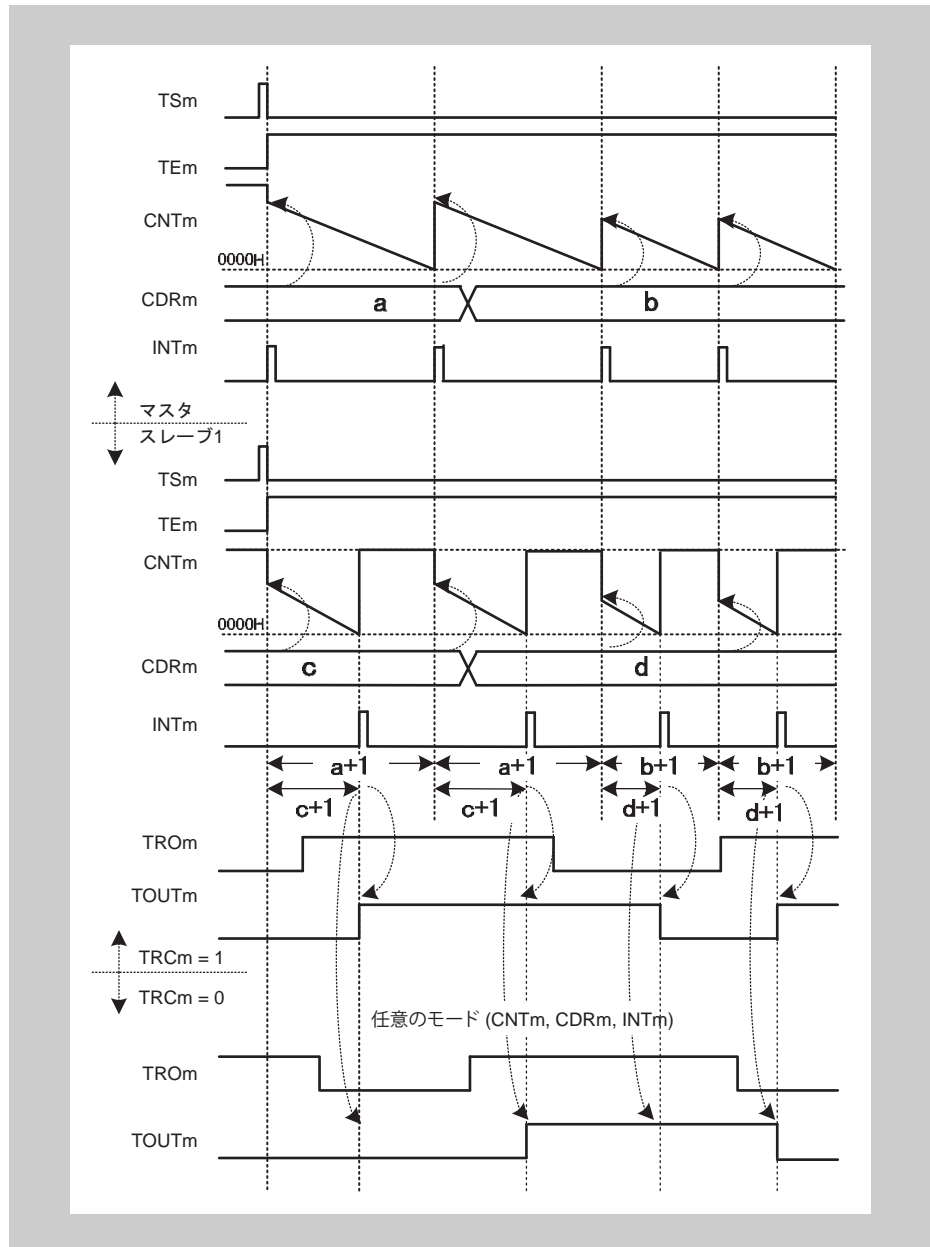


図 15-127 リアルタイム出力機能タイプ1の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]			MDO				

表 15-183 同期リアルタイム出力機能タイプ1時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
MAS	1 : マスタ・チャンネル
STS[2:0]	000 : ソフトウェアでカウンタをトリガ
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0000 : インターバル・タイマ・モード
MDO	1 : 動作開始時に INTTAUAnIm を発生

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]	

表 15-184 同期リアルタイム出力機能タイプ1時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しません。ただし、他の機能や、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-185 同期リアルタイム出力機能タイプ1時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1 : 一斉書き換えを許可
RDS.RDSm	0 : マスタ・チャンネルで一斉書き換えトリガをモニタ 1 : チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
RDC.RDCm	0 : チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) 上位スレーブ・チャンネルのレジスタ設定

## (a) 上位スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]			MD0				

表 15-186 同期リアルタイム出力機能タイプ1時の上位スレーブチャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
MAS	0 : チャンネルはスレーブ・チャンネル
STS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0100 : ワンカウント・モード
MD0	1 : 動作開始時に INTTAUAnIm を発生

## (b) 上位スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]

表 15-187 同期リアルタイム出力機能タイプ1時の上位スレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位スレーブ・チャンネルのチャンネル出力モード

表 15-188 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	0: チャンネル単体出力
TOC.TOCm	0: 動作モード1 (TAUAnTOM.TOMm = 0時はトグル・モード)
TOL.TOLm	0: 正論理
TDE.TDEm	0: デッド・タイム動作禁止
TDM.TDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TDEm = 0), 0を設定
TDL.TDLm	
TRE.TREm	1: リアルタイム出力を許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRCm	1: チャンネル m は独自のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止

備考 チャンネル出力モードは、TAUAnTOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

## (d) 上位スレーブ・チャンネルの一斉書き換え

マスタとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-189 同期リアルタイム出力機能タイプ1時の上位スレーブ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) 下位スレーブ・チャンネルのレジスタ設定

## (a) 下位スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]				MDO			

表 15-190 同期リアルタイム出力機能タイプ1時の TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
MAS	0 : チャンネルはスレーブ・チャンネル
STS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0100 : ワンカウント・モード
MDO	1 : 動作開始または再開時に, INTTAUAnIm を発生し, TAUAnTTOUTm をトグル

## (b) 下位スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]	

表 15-191 同期リアルタイム出力機能タイプ1時の TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

## (c) 下位スレーブ・チャンネルのチャンネル出力モード

表 15-192 非相補方式変調出力を行う同期チャンネル出力モード1時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	1: チャンネル連動出力
TOC.TOCm	0: 動作モード1
TOL.TOLm	0: 正論理
TDE.TDEm	0: デッド・タイム動作禁止
TDM.TDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TDEm = 0), 0 を設定
TDL.TDLm	
TRE.TREm	1: リアルタイム出力を許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRcm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止 1: 変調許可

**備考** チャンネル出力モードは、TAUAnTOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

## (d) 下位スレーブ・チャンネルの一斉書き換え

マスタとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-193 同期リアルタイム出力機能タイプ1時の一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) 同期リアルタイム出力機能タイプ1時の操作手順

表 15-194 同期リアルタイム出力機能タイプ1時の操作手順

	動作説明	TAUAn の状況
動作開始	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル： TAUAnCMORmTAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>上位スレーブ・チャンネル：TAUAnCMORm/TAUAnCMURm レジスタとチャンネル出力モードを (5) 「上位スレーブ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>下位スレーブ・チャンネル：TAUAnCMORm and TAUAnCMURm レジスタとチャンネル出力モードを (6) 「下位スレーブ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>全チャンネルの TTAUAnCDRm レジスタの値を設定します。</p> <p>上位スレーブ・チャンネルに TAUAnTRC.TRCm = 1 を設定します。</p>	<p>チャンネル動作を停止しています。 (クロックは供給され、少量の電力が消費されます。)</p>
	<p>動作開始</p> <p>マスタとスレーブ・チャンネルの TAUAnTS.TSm を同時に 1 に設定します。 TAUAnTS.TSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタとスレーブ・チャンネルの TAUAnTE.TEm が 1 に設定され、マスタ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生することにより、上位スレーブ・チャンネルのカウンタ動作が開始します。</p>
	<p>動作中</p> <p>TAUAnCDRm と TAUAnTRO.TROm は、任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.RSFm は、任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.RDTm は動作中に変更可能です。</p>	<p>TAUAnCDRm の値がマスタ・チャンネルの TAUAnCNTm にロードされ、カウンタはその値からダウン・カウントを開始します。カウンタ値が 0000<sub>H</sub> になると、</p> <ul style="list-style-type: none"> <li>• INTTAUAnIm (マスタ) が発生します。</li> <li>• TAUAnCDRm の値を TAUAnCNTm (マスタ) にロードし、ダウン・カウント動作を継続します。</li> <li>• TAUAnCDRm の値を上位スレーブ・チャンネルの TAUAnCNTm にロードし、ダウン・カウントを行います。</li> <li>• 上位スレーブ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、             <ul style="list-style-type: none"> <li>- INTTAUAnIm (上位スレーブ) が発生します。</li> <li>- カウンタは TAUAnCDRm の値をリロードし、マスタ・チャンネルの次の割り込みを待ちます。</li> <li>- リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、割り込み用に上位スレーブ・チャンネルをモニタしている全チャンネルの TAUAnTTOUTm に出力されます。</li> </ul> </li> </ul>
	<p>動作停止</p> <p>マスタとスレーブ・チャンネルの TAUAnTT.TTm を同時に 1 に設定します。 TAUAnTT.TTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。</p> <p>TAUAnTOE.TOEm が 0 のとき、TAUAnTTOUTm 出力は TAUAnTO.TOm で設定される値に、初期化されます。</p>



## 15.26.2 同期リアルタイム出力機能タイプ2

### (1) 概要

**概要** 割り込み (INTTAUAnIm) が指定されたチャンネルから発生するとき、この機能は、TAUAnTTOUTm から TAUAnTRO.TROm ビットの値を出力します。デッド・タイムが付加されない点を除いて、この機能は、同期リアルタイム出力機能タイプ1と同じですが、上位スレーブ・チャンネルで指定された一定数の間隔がマスタ・チャンネルで経過した後にのみ、割り込みは発生します。

- 前提条件**
- 3つ（もしくはそれ以上）のチャンネル
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 15-229 「非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1組のTAUAnTTOUTm出力」を参照）。
  - 上位スレーブ・チャンネルの動作モードは、イベント・カウント・モードに設定する必要があります（表 15-232 「非相補方式変調出力機能タイプ2時のマスタ・チャンネルの制御ビット設定」を参照）。
  - 下位スレーブ・チャンネルには任意の動作モードを設定可能です。
  - この機能のマスタ・チャンネルでは、TAUAnTTOUTm は使用しません。
  - 上位スレーブ・チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に、また、TAUAnTRC.TRCm は1に設定する必要があります（15.9 「チャンネル出力モード」を参照）。
  - 下位スレーブ・チャンネルのチャンネル出力モードは、非相補方式変調出力を行う同期チャンネル出力モード2に設定する必要があります（15.9 「チャンネル出力モード」を参照）。

**説明** チャンネル・トリガ・ビット (TAUAnTS.TSm) を1に設定すると、カウンタ動作（マスタとスレーブ）が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウンタが可能になります。

- マスタ・チャンネル
 

TAUAnCDRm の現在値が TAUAnCNTm に書き込まれると、カウンタはその値からダウン・カウントを開始します。マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、以降、動作を継続します。
- 上位スレーブ
 

上位スレーブがマスタ・チャンネルからの割り込みを検出すると、TAUAnCNTm の値が1減ります。カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。TAUAnTTOUTm（上位スレーブ）はリアルタイム出力ビット (TAUAnTRO.TROm) の現在値を出力します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、以降、動作を継続します。
- 下位スレーブ・チャンネル
 

TAUAnTRC.TRCm = 0 である点を除いて、下位スレーブ・チャンネルは上位スレーブ・チャンネルと同じスタート・トリガを持っています。
- 上位/下位スレーブ・チャンネル
 

リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、割り込み用に上位スレーブ・チャンネルをモニタしている全チャンネルの TAUAnTTOUTm に出力されます。TAUAnTTOUTm 信号は、割り込み発生

時と、その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TROm の現在値と異なる場合のみに変化します。

TAUAnCDRm (マスタと上位スレーブ) の値は任意のタイミングで書き換え可能で、TAUAnCDRm の変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

マスタとスレーブ・チャンネルでは、TAUAnTT.TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TEm は 0 に設定されます。マスタとスレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TSm を 1 に設定すると、機能を再開できます。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式

リアルタイム出力トリガが発生する前にマスタ・チャンネルで発生する割り込みの数

= TAUAnCDRm (upper slave)

(3) ブロック図と基本タイミング図

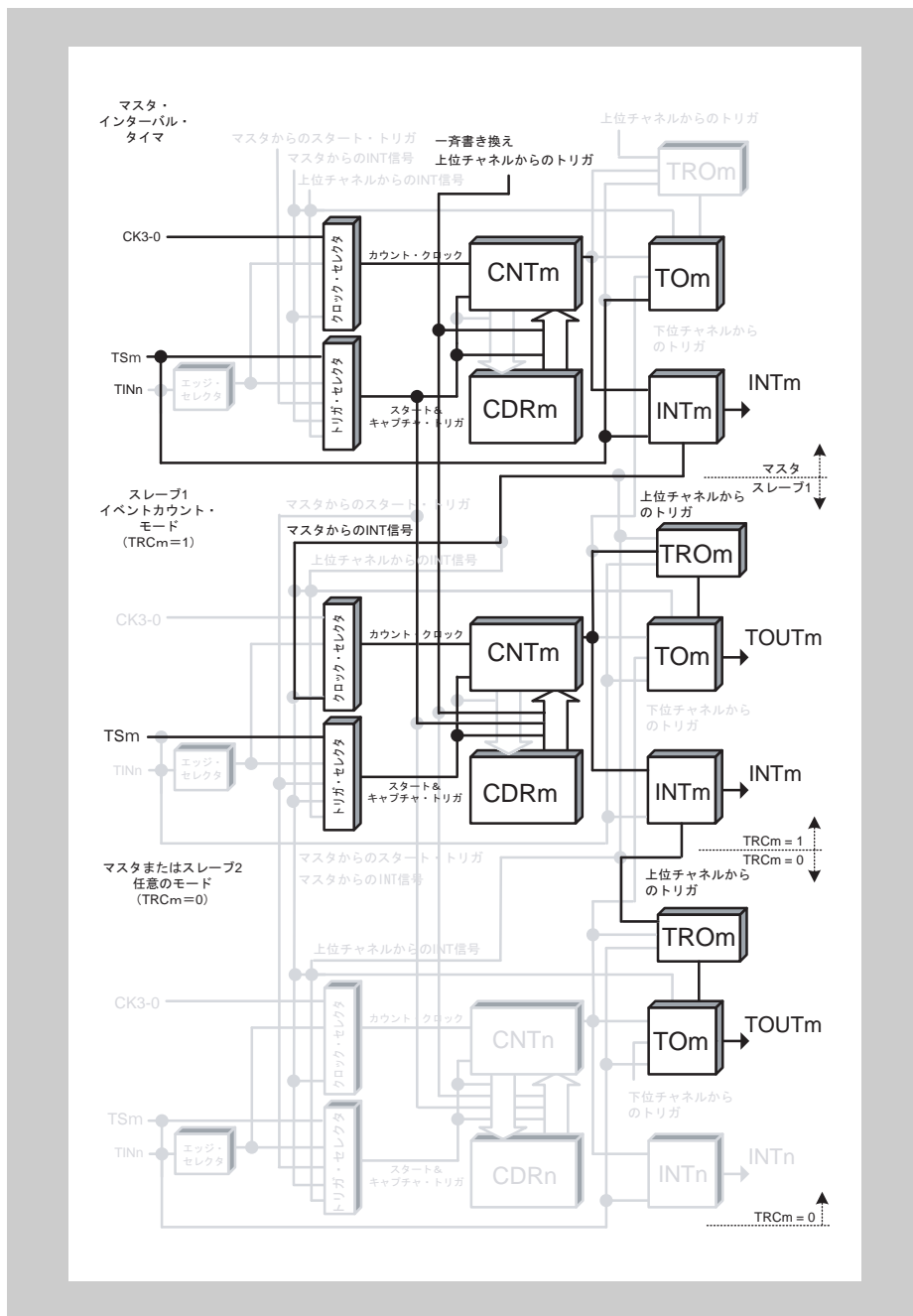


図 15-128 リアルタイム出力機能タイプ2のブロック図

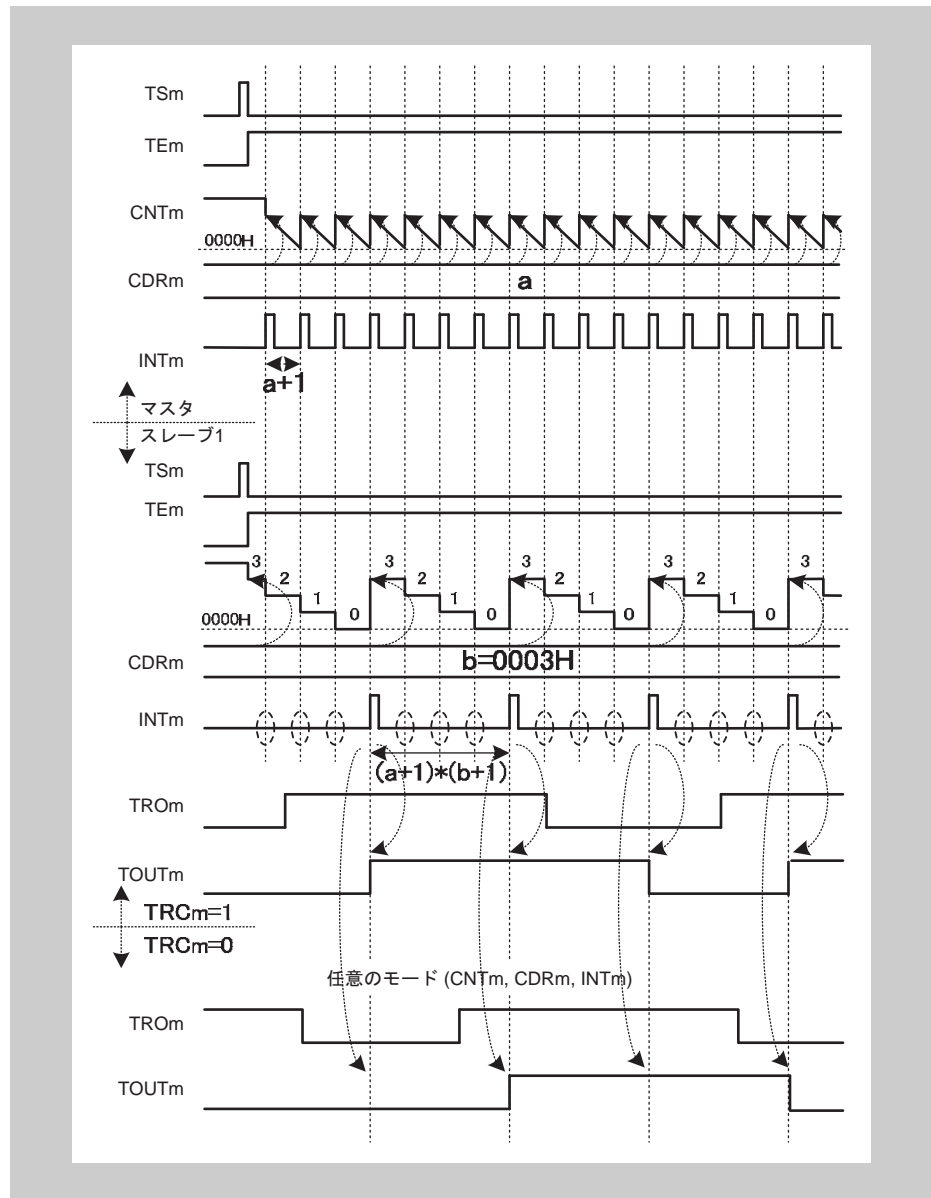


図 15-129 リアルタイム出力機能タイプ2の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]			MDO				

表 15-195 同期リアルタイム出力機能タイプ 2 時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
MAS	1 : マスタ・チャンネル
STS[2:0]	000 : ソフトウェアでカウンタをトリガ
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0000 : インターバル・タイマ・モード
MDO	1 : 動作開始時に INTTAUAnIm を発生

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]	

表 15-196 同期リアルタイム出力機能タイプ 2 時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しません。ただし、他の機能や、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-197 同期リアルタイム出力機能タイプ2時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1 : 一斉書き換えを許可
RDS.RDSm	0 : マスタ・チャンネルで一斉書き換えトリガをモニタ 1 : チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	1 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成し、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
RDC.RDCm	0 : チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) 上位スレーブ・チャンネルのレジスタ設定

## (a) 上位スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]				MDO			

表 15-198 同期リアルタイム出力機能タイプ2時の上位スレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	11 : マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
MAS	0 : チャンネルはスレーブ・チャンネル
STS[2:0]	000 : ソフトウェア・スタート
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0011 : イベント・カウント・モード
MDO	0 : 動作開始または再開時に, INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない

## (b) 上位スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]

表 15-199 同期リアルタイム出力機能タイプ2時の上位スレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位スレーブ・チャンネルのチャンネル出力モード

表 15-200 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	0: チャンネル単体出力
TOC.TOCm	0: 動作モード1 (TAUAnTOM.TOMm = 0 時はトグル・モード)
TOL.TOLm	0: 正論理
TDE.TDEm	0: デッド・タイム動作禁止
TDM.TDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TDEm = 0), 0 を設定
TDL.TDLm	
TRE.TREm	1: リアルタイム出力許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRCm	1: チャンネル m は独自のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止

備考 チャンネル出力モードは、TAUAnTOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

## (d) 上位スレーブ・チャンネルの一斉書き換え

マスタと下位スレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-201 同期リアルタイム出力機能タイプ2時の上位スレーブ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	1: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成し、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。



**(6) 下位スレーブ・チャンネルのレジスタ設定****(a) 下位スレーブ・チャンネルの TAUAnCMORm**

下位スレーブ・チャンネルには任意の動作モードを設定可能です。

**(b) 下位スレーブ・チャンネルの TAUAnCMURm**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]

表 15-202 同期リアルタイム出力機能タイプ2時の下位スレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

## (c) 下位スレーブ・チャンネルのチャンネル出力モード

表 15-203 非相補方式変調出力を行う同期チャンネル出力モード2時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	1: チャンネル連動出力
TOC.TOCm	1: 動作モード2
TOL.TOLm	0: 正論理
TDE.TDEm	0: デッド・タイム動作禁止
TDM.TDMm	0: デッド・タイム動作禁止時 (TAUANtDE.TDEm = 0), 0を設定
TDL.TDLm	
TRE.TREm	1: リアルタイム出力許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRcm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止 1: 変調許可

**備考** チャンネル出力モードは、TAUANtOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUANtTOUTm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

## (d) 下位スレーブ・チャンネルの一斉書き換え

マスタとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-204 同期リアルタイム出力機能タイプ2時の下位スレーブ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	1: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成し、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUANlm 信号をモニタしない。TAUANtRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (7) 同期リアルタイム出力機能タイプ2時の操作手順

表 15-205 同期リアルタイム出力機能タイプ2時の操作手順

	動作説明	TAUAn の状況
動作再開 ↑	チャンネルの初期設定 マスタ・チャンネル: TAUAnCMORm/ TAUAnCMURm レジスタとチャンネル出力モード を (4) 「マスタ・チャンネルのレジスタ設定」 に示 すように設定します。  上位スレーブ・チャンネル: TAUAnCMORm/ TAUAnCMURm レジスタとチャンネル出力モード を (5) 「上位スレーブ・チャンネルのレジスタ設 定」 に示すように設定します。  下位スレーブ・チャンネル: 任意の動作モードを 設定可能です。  全チャンネルの TTAUAnCDRm レジスタの値を設 定します。  上位スレーブ・チャンネルに TAUAnTRC.TRCm = 1 を設定します。	チャンネル動作を停止しています。 (クロックは供給され、少量の電力が消費されま す。)
	動作開始 マスタとスレーブ・チャンネルの TAUAnTS.TSm を同時に 1 に設定します。 TAUAnTS.TSm はトリガ・ビットなので、自 動的に 0 にクリアされます。	マスタとスレーブ・チャンネルの TAUAnTE.TEm が 1 に設定され、マスタ・チャンネルのカウンタが動作 を開始します。 マスタ・チャンネルで INTTAUAnIm が発生すること により、上位スレーブ・チャンネルのカウンタ値が 1 減ります。
	動作中 TAUAnCDRm と TAUAnTRO.TROm は、任意の タイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.RSFm は、任意の タイミングで読み出し可能です。  TAUAnRDT.RDTm は動作中に変更可能です。	TAUAnCDRm の値がマスタ・チャンネルの TAUAnCNTm にロードされ、カウンタはその値か らダウン・カウントを開始します。カウンタ値が 0000 <sub>H</sub> になると、 <ul style="list-style-type: none"> <li>• INTTAUAnIm (マスタ) が発生します。</li> <li>• TAUAnCDRm の値を TAUAnCNTm (マスタ) に ロードし、ダウン・カウント動作を継続します。</li> <li>• 上位スレーブ・チャンネルの TAUAnCNTm の値が 1 減ります。</li> <li>• 上位スレーブ・チャンネルカウンタ値が 0000<sub>H</sub> に なると、               <ul style="list-style-type: none"> <li>- INTTAUAnIm (上位スレーブ) が発生します。</li> <li>- カウンタは TAUAnCDRm の値をリロードし、 マスタ・チャンネルの次の割り込みを待ちます。</li> <li>- リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、割り込み用に上 位スレーブ・チャンネルをモニタしている全 チャンネルの TAUAnTTOUtm に出力されます。</li> </ul> </li> </ul>
	動作停止 マスタとスレーブ・チャンネルの TAUAnTT.TTm を同時に 1 に設定します。 TAUAnTT.TTm はトリガ・ビットなので、自 動的に 0 にクリアされます。	TAUAnTE.TEm が 0 にクリアされ、カウンタ動作 が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現 在値を保持します。  TAUAnTOE.TOEm が 0 のとき、TAUAnTTOUtm 出力は TAUAnTO.TOm で設定される値に、初期化 されます。

### 15.26.3 同期リアルタイム出力機能タイプ3

#### (1) 概要

**概要** 割り込み (INTTAUAnIm) が指定されたチャンネルから発生するとき、この機能は、TAUAnTTOUTm から TAUAnTRO.TROm ビットの値を出力します。マスタ・チャンネルで指定された数の間隔をカウントする前に、上位スレーブの TAUAnTS.TSm 信号を待ち、デッドが付加される点を除いて、この機能は、同期リアルタイム出力機能タイプ2と同じです。

- 前提条件**
- 3つ (もしくはそれ以上) のチャンネル
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります。
  - The 動作モード of the 上位スレーブ・チャンネル must be set to ワンカウント・モード。
  - 下位スレーブ・チャンネルには任意の動作モードを設定可能です。
  - この機能のマスタ・チャンネルでは、TAUAnTTOUTm は使用しません。
  - 上位スレーブ・チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に、また、TAUAnTRC.TRCm は1に設定する必要があります (15.9「チャンネル出力モード」を参照)。
  - 下位スレーブ・チャンネルのチャンネル出力モードは、相補方式変調出力を行う同期チャンネル出力モード2に設定する必要があります (15.9「チャンネル出力モード」を参照)。

- 説明**
- マスタ・チャンネル
 

チャンネル・トリガ・ビット (TAUAnTS.TSm) を1に設定すると、マスタ・チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。TAUAnCDRm の現在値が TAUAnCNTm にロードされ、カウンタはその値からダウン・カウントを開始します。

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、以降、動作を継続します。
  - 上位スレーブ
 

上位スレーブが TAUAnTS.TSm パルスを検出すると、マスタ・チャンネルからの次の割り込みを待ちます。そしてマスタ・チャンネルで割り込みが検出されるたびに、カウンタは TAUAnCDRm の現在値からダウン・カウントを開始します。上位スレーブ値が 0000<sub>H</sub> になる前に、別の TAUAnTS.TSm パルスが発生すると、このパルスは無視されます。カウンタ値が 0000<sub>H</sub> になると、INTTAUAnIm が発生します。スレーブ・チャンネルの TAUAnTTOUTm は、リアルタイム出力ビット (TAUAnTRO.TROm) の現在値を出力します。その後、TAUAnCNTm は、TAUAnCDRm の値をリロードし、以降、動作を継続します。
  - 下位スレーブ・チャンネル
 

TAUAnTRC.TRCm = 0 である点を除いて、下位スレーブ・チャンネルは上位スレーブ・チャンネルと同じスタート・トリガを持っています。

- 上位/下位スレーブ・チャンネル

リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、割り込み用に上位スレーブ・チャンネルをモニタしている全チャンネルの TAUAnTTOUTm に出力されます。TAUAnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUAnTTOUTm の値が TAUAnTRO.TROm の現在値と異なる場合のみに変化します。

TAUAnCDRm の値は任意のタイミングで書き換え可能で、TAUAnCDRm の変更後の値はカウンタが次にダウン・カウントを開始するときに適用されません。

マスタとスレーブ・チャンネルでは、TAUAnTT.TTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TEm は 0 に設定されます。マスタとスレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm は停止しますが、値は保持します。TAUAnTS.TSm を 1 に設定すると、機能を再開できます。

- 条件**
- マスタ・チャンネルの TAUAnTRE.TREm を 1 に設定しても、マスタ・チャンネルはリアルタイム出力のトリガには使用できません。
  - この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

**(2) 算出式**

上位スレーブの TAUAnTS.TSm パルスと INTTAUAnIm の間の時間  

$$= [TAUAnCDR \text{ (マスタ)} + 1] \times [TAUAnCDR \text{ (上位スレーブ)} + 1]$$

(3) ブロック図と基本タイミング図

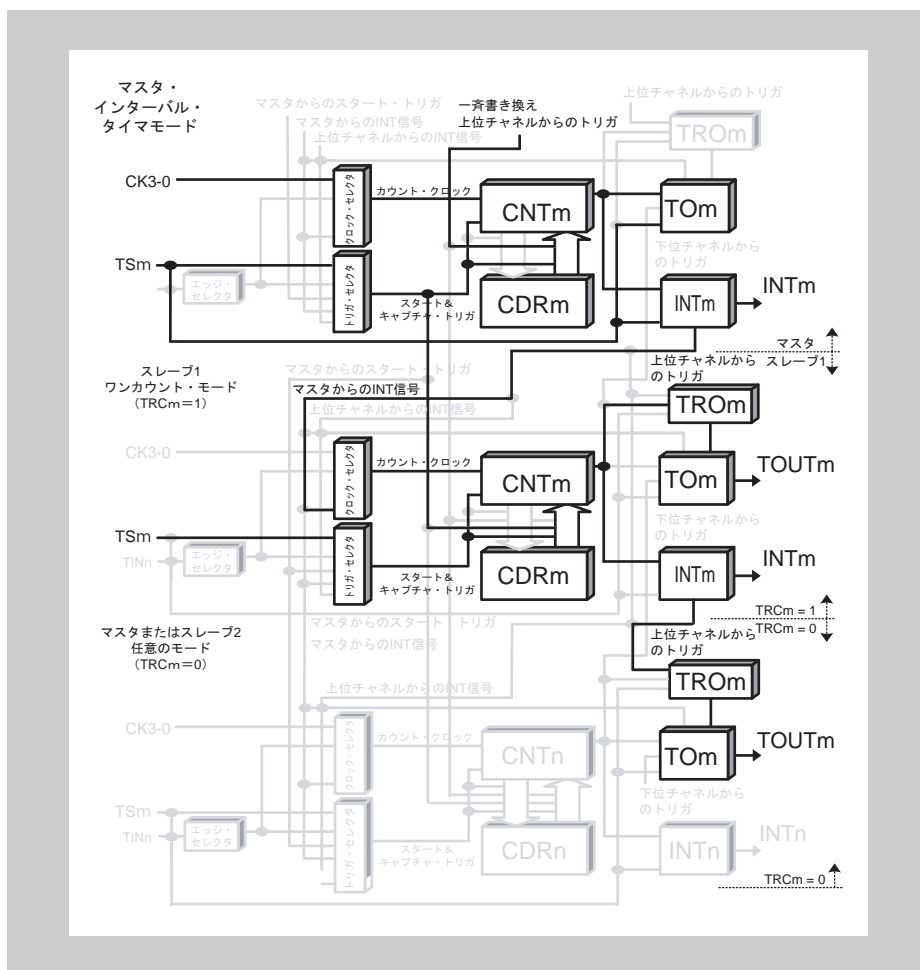


図 15-130 リアルタイム出力機能タイプ3のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル:  
動作開始時に INTTAUAnIm を発生 (TAUAnCMORm.MD0 = 1)
- 下位スレーブ・チャンネル:  
正相にデッド・タイムを付加 (TAUAnTDL.TDLm = 0)

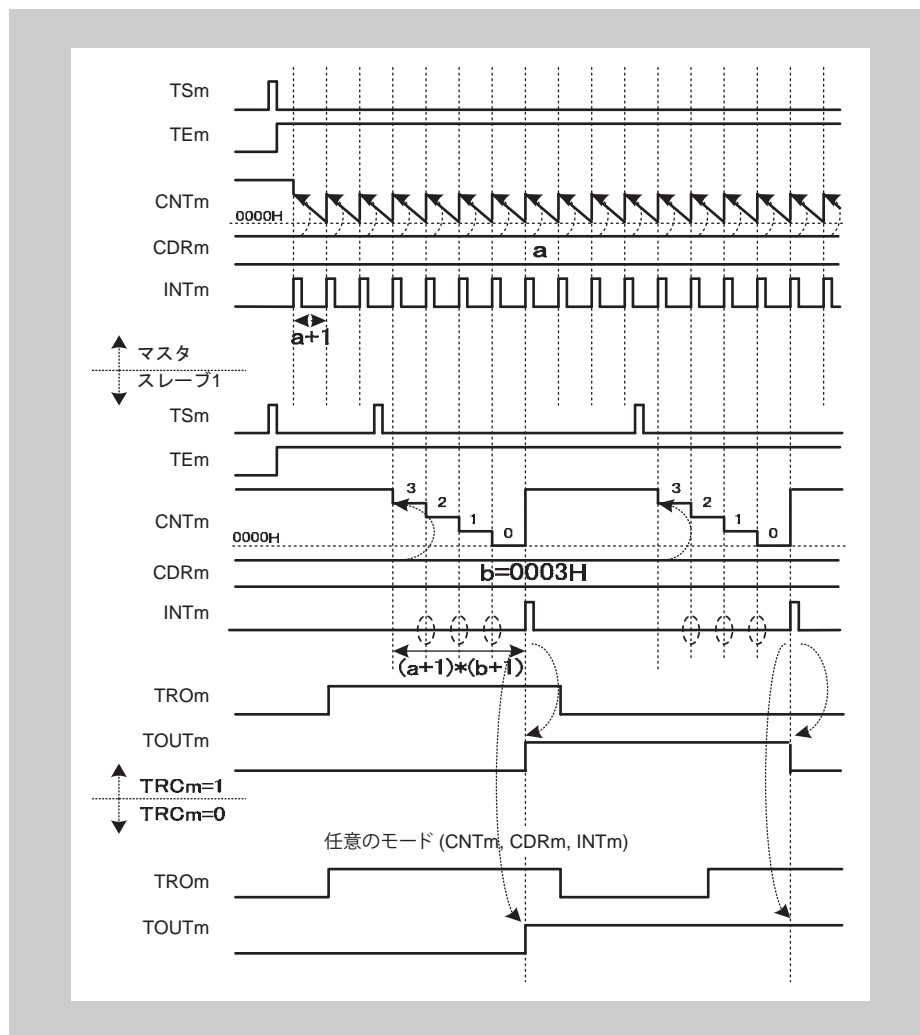


図 15-131 リアルタイム出力機能タイプ3の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]				MDO			

表 15-206 同期リアルタイム出力機能タイプ3時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
MAS	1 : マスタ・チャンネル
STS[2:0]	000 : ソフトウェアでカウンタをトリガ
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	0000 : インターバル・タイマ・モード
MDO	0 : 動作開始または再開時に, INTTAUAnIm が発生しない 1 : 動作開始または再開時に, INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]	

表 15-207 リアルタイム出力機能タイプ3時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定



**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しません。ただし、他の機能や、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタと下位スレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-208 同期リアルタイム出力機能タイプ3時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	1: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成し、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) 上位スレーブ・チャンネルのレジスタ設定

## (a) 上位スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS[1:0]	CCS[1:0]	MAS	STS[2:0]		COS[1:0]		—	MD[4:1]				MDO			

表 15-209 同期リアルタイム出力機能タイプ3時の上位スレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
CKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタとスレーブ・チャンネルの CKS[1:0] ビット値は同じである必要があります。
CCS[1:0]	11 : マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
MAS	0 : チャンネルはスレーブ・チャンネル
STS[2:0]	000 : ソフトウェア・スタート
COS[1:0]	00 : 未使用, 00 を設定
MD[4:1]	1100 : ワンカウント・モード
MDO	0 : 動作開始または再開時に, INTTAUAnIm が発生せず, TAUAnTTOUtm はトグルされない

## (b) 上位スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]

表 15-210 同期リアルタイム出力機能タイプ3時の上位スレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位スレーブ・チャンネルのチャンネル出力モード

表 15-211 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	0: チャンネル単体出力
TOC.TOCm	0: 動作モード1 (TAUAnTOM.TOMm = 0時はトグル・モード)
TOL.TOLm	0: 正論理
TDE.TDEm	0: デッド・タイム動作禁止
TDM.TDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TDEm = 0), 0を設定
TDL.TDLm	
TRE.TREm	1: リアルタイム出力を許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRCm	1: チャンネル m は独自のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止

備考 チャンネル出力モードは、TAUAnTOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

## (d) 上位スレーブ・チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUAnRDE, TAUAnRDS, TAUAnRDM, TAUAnRDC) は、同期リアルタイム出力機能タイプ3では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 15-212 同期リアルタイム出力機能タイプ3時の一斉書き換え設定

ビット名	設定
RDE.RDEm	0: 一斉書き換えを禁止
RDS.RDSm	0: 一斉書き換え禁止時 (TAUAnRDE.RDEm = 0), 0を設定
RDM.RDMm	
RDC.RDCm	

## (6) 下位スレーブ・チャンネルのレジスタ設定

## (a) 下位スレーブ・チャンネルの TAUAnCMORm

下位スレーブ・チャンネルには任意の動作モードを設定可能です。

## (b) 下位スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIS[1:0]

表 15-213 同期リアルタイム出力機能タイプ3時の下位スレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TIS[1:0]	00: 未使用, 00 を設定

## (c) 下位スレーブ・チャンネルのチャンネル出力モード

表 15-214 相補方式変調出力を行う同期チャンネル出力モード2時の制御ビット設定

ビット名	設定
TOE.TOEm	1: ソフトウェア制御のチャンネル単体出力モードを禁止
TOM.TOMm	1: チャンネル連動出力
TOC.TOCm	1: 動作モード2
TOL.TOLm	0: 正論理
TDE.TDEm	1: デッド・タイム動作許可
TDM.TDMm	0: 上位偶数チャンネルでデューティ・サイクルを検出した場合にデッド・タイムを付加
TDL.TDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TRE.TREm	1: リアルタイム出力を許可
TRO.TROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TRC.TRcm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TME.TMEm	0: 変調禁止 1: 変調許可

**備考** チャンネル出力モードは、TAUAnTOE.TOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUAnTTOUTm を割り込みとは独立させて制御することができます。詳細は 15.9 「チャンネル出力モード」を参照してください。

**(d) 下位スレーブ・チャンネルの一斉書き換え**

マスタと下位スレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-215 同期リアルタイム出力機能タイプ3時の下位スレーブ・チャンネルの一斉書き換え設定

ビット名	設定
RDE.RDEm	1: 一斉書き換えを許可
RDS.RDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
RDM.RDMm	1: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成し、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
RDC.RDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUAnIm 信号をモニタしない。TAUAnRDS.RDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (7) 同期リアルタイム出力機能タイプ3時の操作手順

表 15-216 同期リアルタイム出力機能タイプ3時の操作手順

	Operation	Status of TAUAn
動作再開 ↑	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル: TAUAnCMORm/ TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>上位スレーブ・チャンネル: TAUAnCMORm/ TAUAnCMURm レジスタとチャンネル出力モードを (5) 「上位スレーブ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>下位スレーブ・チャンネル: TAUAnCMORm/ TAUAnCMURm レジスタとチャンネル出力モードを (6) 「下位スレーブ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>全チャンネルの TTAUAnCDRm レジスタの値を設定します。</p> <p>上位スレーブ・チャンネルに TAUAnTRC.TRCm = 1 を設定します。</p>	<p>チャンネル動作を停止しています。 (クロックは供給され、少量の電力が消費されます。)</p>
	<p>動作開始</p> <p>マスタとスレーブ・チャンネルの TAUAnTS.TSm を同時に 1 に設定します。 TAUAnTS.TSm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタとスレーブ・チャンネルの TAUAnTE.TEm が 1 に設定され、マスタ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生します。</p>
	<p>動作中</p> <p>TAUAnCDRm と TAUAnTRO.TROm は、任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.RSFm は、任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.RDTm は動作中に変更可能です。</p>	<p>TAUAnCDRm の値がマスタ・チャンネルの TAUAnCNTm にロードされ、カウンタはその値からダウン・カウントを開始します。カウンタ値が 0000<sub>H</sub> になると、</p> <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>TAUAnCDRm の値を TAUAnCNTm (マスタ) にリロードし、ダウン・カウント動作を継続します。</li> </ul> <p>上位スレーブ・チャンネルで TAUAnTS.TSm が 1 に再度、設定されると、</p> <ul style="list-style-type: none"> <li>マスタ・チャンネルで割り込みが検出されるたびに、上位スレーブ・チャンネルの TAUAnCNTm の値が 1 減ります。</li> <li>上位スレーブ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、 <ul style="list-style-type: none"> <li>INTTAUAnIm が発生します。</li> <li>カウンタは TAUAnCDRm の値をリロードし、上位スレーブ・チャンネルで次の TAUAnTS.TSm = 1 パルスを待ちます。</li> <li>リアルタイム出力対象チャンネルの TAUAnTRO.TROm の値は、上位スレーブ・チャンネルをモニタしている全チャンネルの TAUAnTTOUTm に出力されます。</li> </ul> </li> </ul>
<p>動作停止</p> <p>マスタとスレーブ・チャンネルの TAUAnTT.TTm を同時に 1 に設定します。 TAUAnTT.TTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。</p> <p>TAUAnTOE.TOEm が 0 のとき、TAUAnTTOUTm 出力は TAUAnTO.TOm で設定される値に、初期化されます。</p>	

## 15.27 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタ・チャンネルと7個のスレーブ・チャンネルを使用することで、6相の三角波PWM出力を生成する機能について説明します。

- 15.27.1 「非相補方式変調出力機能タイプ1」
- 15.27.2 「非相補方式変調出力機能タイプ2」
- 15.27.3 「相補方式変調出力機能」

### 15.27.1 非相補方式変調出力機能タイプ1

#### (1) 概要

**概要** この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力許可ビット (TAUAnTME.TAUAnTME m) の値に応じて、TAUAnTTOUTm から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

- 前提条件**
- マスタ・チャンネル×1, スレーブ・チャンネル×7
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-218 「非相補方式変調出力機能タイプ1時のマスタ・チャンネルのTAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル1～7の動作モードは、ワンカウント・モードに設定する必要があります (表 15-221 「非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1のTAUAnCMORm 設定」参照)。
  - この機能では、マスタ・チャンネルでTAUAnTTOUTm は使用しません。
  - この機能ではスレーブ・チャンネル1のTAUAnTTOUTm は使用しませんが、TAUAnTRC.TAUAnTRCm は1に設定する必要があります (15.9 「チャンネル出力モード」参照)。
  - スレーブ・チャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード1に設定する必要があります (15.9 「チャンネル出力モード」参照)。
  - スレーブ・チャンネル1のTAUAnCDRm は、0000<sub>H</sub>に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、マスタ/スレーブ・チャンネルのカウンタ動作が許可されます。これによりTAUAnTE.TAUAnTE m = 1となり、カウンタが可能になります。データ・レジスタ (TAUAnCDRm) の値がカウンタ (TAUAnCNTm) にロードされ、カウンタはダウン・カウントを開始します。カウンタが0000<sub>H</sub>になると、INTTAUAnIm が発生します。

- スレーブ・チャンネル1:
 

スレーブ・チャンネル1がリアルタイム出力のトリガ・チャンネルとして設定されているため (TAUAnTRC.TAUAnTRCm = 1), スレーブ・チャンネル1 (TAUAnCDRm は0000<sub>H</sub> 固定) で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) 値が変化します。割り込み発生後、カウンタはFFFF<sub>H</sub>に戻り、マスタ・チャンネルの次の割り込みを待ちます。
- スレーブ・チャンネル2:
 

スレーブ・チャンネル2はPWM出力を生成します。PWM出力周期はマスタ・チャンネルで指定し、デューティ・サイクルはスレーブ・チャンネル2で指定します。割り込み発生後、カウンタはFFFF<sub>H</sub>に戻り、マスタ・チャンネルの次の割り込みを待ちます。

スレーブ・チャンネル3～7はスレーブ・チャンネル2と同じように動作します。



表 15-217 「非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1組の TAUAnTTOUTm 出力」にあるように、TAUAnTTOUTm から出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEem は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウントを再開できます。

- 条件**
- スレーブ・チャンネル 2 ~ 7 で TAUAnTME.TAUAnTMEem = 0 が設定されている場合：
    - チャンネルの TAUAnTRO.TAUAnTROm が 1 の場合、TAUAnTTOUTm はハイ・レベル信号を出力します。
    - チャンネルの TAUAnTRO.TAUAnTROm が 0 の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
  - スレーブ・チャンネル 2 ~ 7 で TAUAnTME.TAUAnTMEem = 1 が設定されている場合：
    - チャンネルの TAUAnTRO.TAUAnTROm が 1 の場合、TAUAnTTOUTm はそのチャンネルの対応する PWM を出力します。
    - チャンネルの TAUAnTRO.TAUAnTROm が 0 の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
  - TAUAnTOL.TAUAnTOLm が 1 の場合、TAUAnTTOUTm から出力されるハイ・レベル信号とロウ・レベル信号は反転します。PWM 信号に影響はありません。TAUAnTOL.TAUAnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 15-217 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1組の TAUAnTTOUTm 出力

TAUAnTME. TAUAnTMEem	TAUAnTRO. TAUAnTROm	TAUAnTTOUTm 出力
0	0	ロウ・レベル
	1	ハイ・レベル
1	0	ロウ・レベル
	1	PWMm

- この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。
- スレーブ・チャンネル1の TAUAnCDRm 値は、スレーブ・チャンネル 2 ~ 7 で PWM が生成されるのと同時にリアルタイム出力がトリガされるよう、0000<sub>H</sub> に設定する必要があります。
- スレーブ・チャンネル 2 ~ 7 で TAUAnTOL.TAUAnTOLm = 0 が設定されている場合、TAUAnTE.TAUAnTEem = 0 に設定する前に TAUAnTO.TAUAnTOm をロウに設定します。
- スレーブ・チャンネル 2 ~ 7 で TAUAnTOL.TAUAnTOLm = 1 が設定されている場合、TAUAnTE.TAUAnTEem = 0 に設定する前に TAUAnTO.TAUAnTOm をハイに設定します。

**(2) 算出式**

スレーブ・チャンネル2～7:

PWM 出力周期 = [TAUAnCDRm (マスタ) + 1] × カウント・クロック

PWM 出力デューティ時間 = [TAUAnCDRm (スレーブ)] × カウント・クロック

(3) ブロック図と基本タイミング図

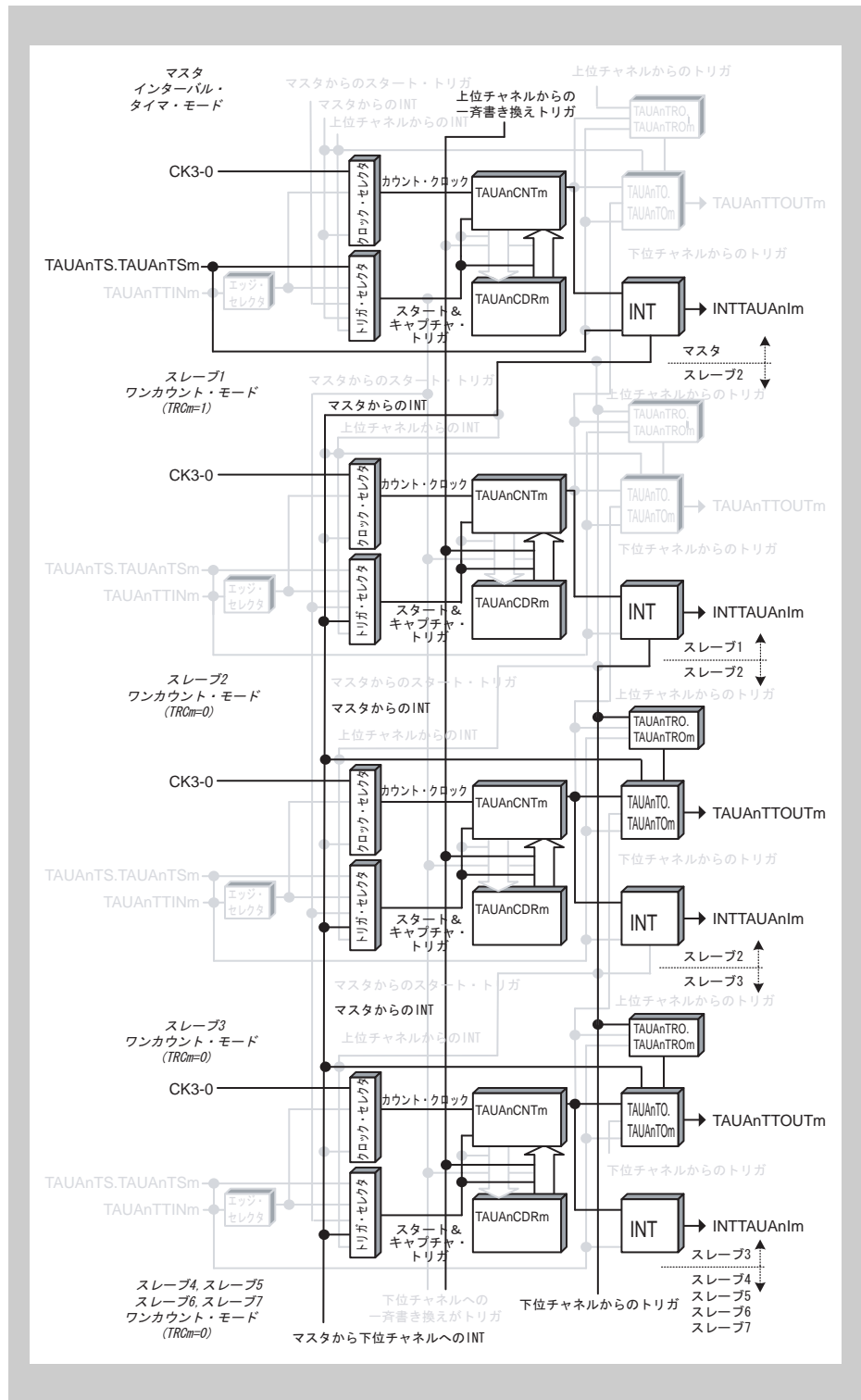


図 15-132 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル 2 ~ 7 : 正論理 (TAUANtOL.TAUAnTOLm = 0)

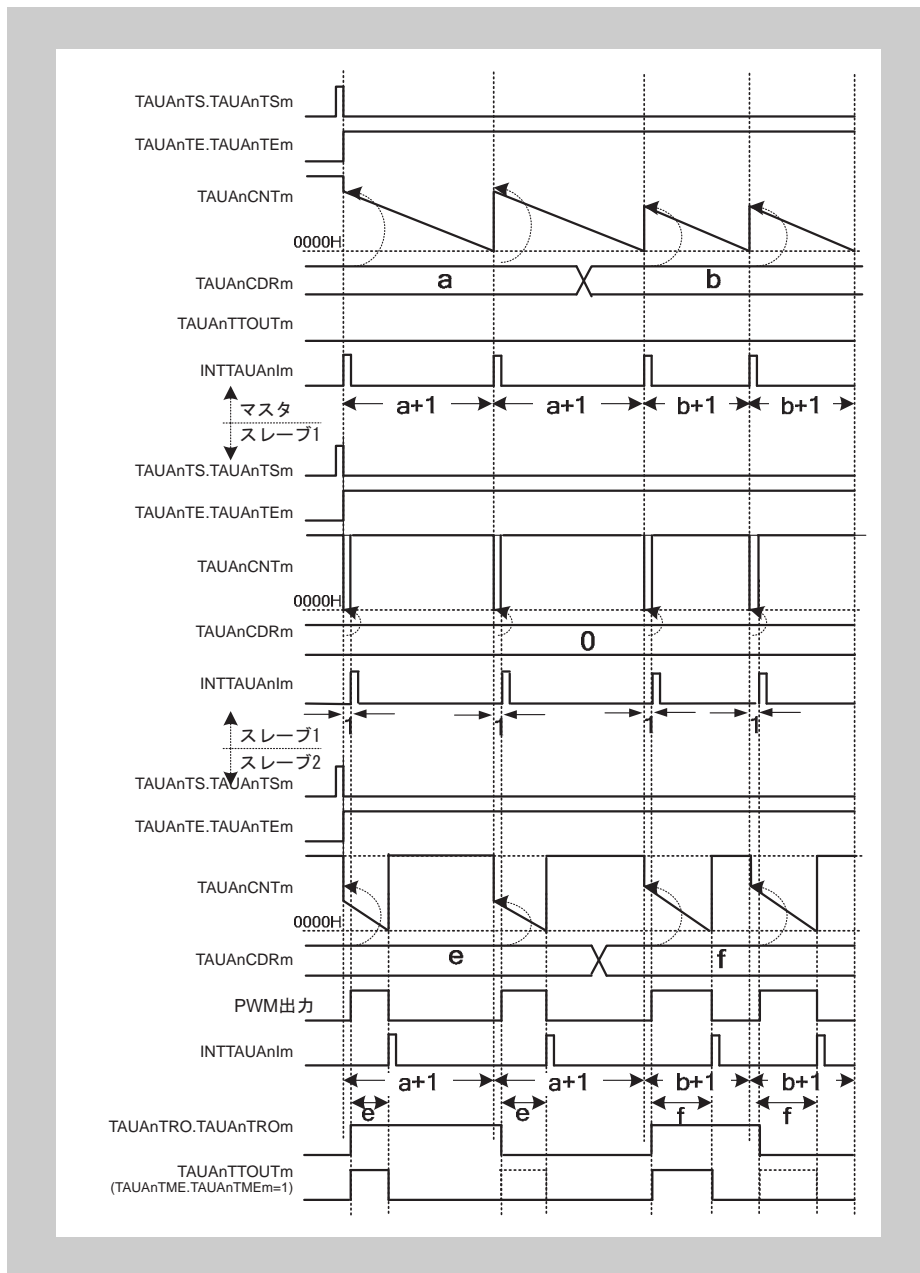


図 15-133 非相補方式変調出力機能タイプ1の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]		—	TAUAnMD[4:1]				TAUAn MD0			

表 15-218 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	1 : 動作開始または再開時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-219 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-220 非相補方式変調出力機能タイプ1時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

**備考** TAUAnRDS.TAUAnRDSm = 1の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネル1のレジスタ設定

## (a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-221 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルの INTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-222 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) チャンネル出力モード**

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**注意** スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

**(d) スレーブ・チャンネル1の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-223 非相補方式変調出力機能タイプ 1時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。



## (6) スレーブ・チャンネル2～7のレジスタ設定

## (a) スレーブ・チャンネル2～7のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-224 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルのTAUAnCKS[1:0]ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	100 : マスタ・チャンネルのINTTAUAnIm がスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0100 : ワンカウント・モード
TAUAnMD0	1 : 動作開始または再開時にINTTAUAnIm が発生し、TAUAnTTOUtm はトグルされる

## (b) スレーブ・チャンネル2～7のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-225 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル2～7のチャンネル出力モード

表 15-226 非相補方式変調出力を行うチャンネル連動出力モード1時のスレーブ・チャンネル2～7の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止 1: 変調許可

## (d) スレーブ・チャンネル2～7の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-227 非相補方式変調出力機能タイプ1時のスレーブ・チャンネル2～7の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (7) 非相補方式変調出力機能タイプ1時の操作手順

表 15-228 非相補方式変調出力機能タイプ1時の操作手順 (1/2)

	操作	TAUAnの状態
チャンネルの初期設定	<p>マスタ・チャンネル：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル1：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル2～7：TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm にパルス周期, スレーブ・チャンネル1の TAUAnCDRm に 0000<sub>H</sub>, スレーブ・チャンネル2～7の TAUAnCDRm にデューティ幅を設定します。</p> <p>スレーブ・チャンネル1に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 15-228 非相補方式変調出力機能タイプ1時の操作手順 (2/2)

	操作	TAUAnの状態	
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTsm を同時に 1 に設定します (チャンネル動作再開時はスレーブ・チャンネル 2 ~ 7 のみ設定)。</p> <p>TAUAnTS.TAUAnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が 1 に設定され、カウンタがダウン・カウントを開始します。</p>
	動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEm は任意のタイミングで変更可能です。</p> <p>TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネル, スレーブ・チャンネル 1, スレーブ・チャンネル 2 ~ 7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合:</p> <ul style="list-style-type: none"> <li>• INTTAUAnIm が発生します。</li> <li>• 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。</li> <li>• スレーブ・チャンネル 2 ~ 7 の PWM 出力信号がセット/リセットされます。</li> <li>• 再びスレーブ・チャンネル 1 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</li> <li>• 再びスレーブ・チャンネル 2 ~ 7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</li> <li>• スレーブ・チャンネル 1 またはスレーブ・チャンネル 2 ~ 7 のカウンタが 0000<sub>H</sub> になった場合: <ul style="list-style-type: none"> <li>- INTTAUAnIm が発生します。</li> </ul> </li> <li>• スレーブ・チャンネル 2 ~ 7 のカウンタが 0000<sub>H</sub> になった場合: <ul style="list-style-type: none"> <li>- スレーブ・チャンネル 2 ~ 7 の PWM 出力信号がセット/リセットされます。</li> </ul> </li> </ul> <p>スレーブ・チャンネル 2 ~ 7 の TAUAnTTOuTm は、2 つで 1 組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEm) の値に応じて、PWM 信号, ハイ・レベル信号, またはロウ・レベル信号を出力します。</p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。</p> <p>TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。</p> <p>TAUAnCNTm と TAUAnTTOuTm は停止し、現在値を保持します。</p>

## (8) 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

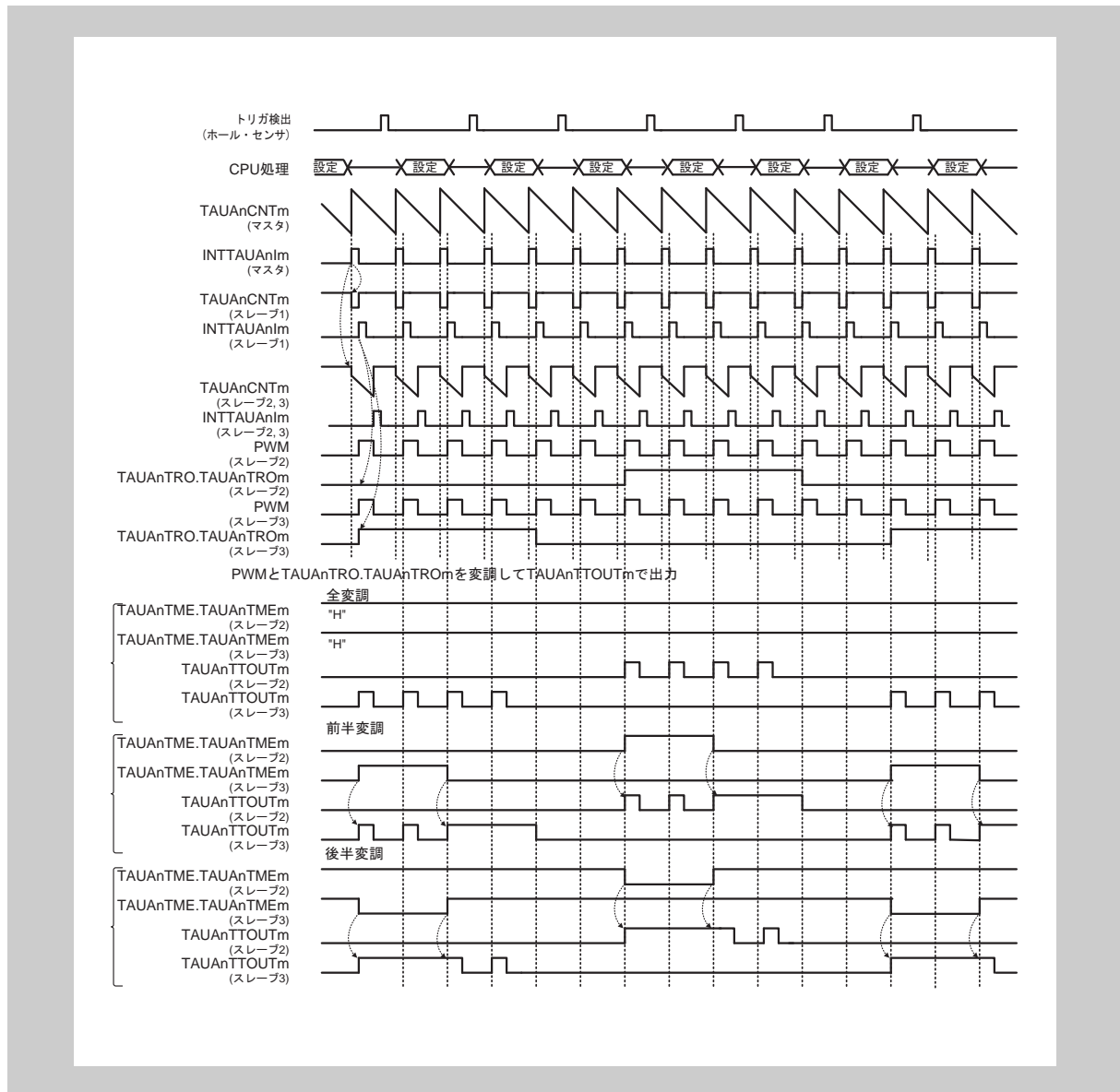


図 15-134 非相補方式変調出力機能タイプ1の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルの TAUAnTME.TAUAnTME<sub>m</sub> ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUAnCDR<sub>m</sub>、TAUAnTME.TAUAnTME<sub>m</sub>、TAUAnTRO.TAUAnTRO<sub>m</sub> の値を変更できる期間を示しています。

TAUAnTME.TAUAnTME<sub>m</sub> は、カウント開始タイミングとマスタ・チャンネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUAnTTOUT<sub>m</sub> より変調波形を出力します。

TAUAnTRO.TAUAnTRO<sub>m</sub> ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

## 15.27.2 非相補方式変調出力機能タイプ2

### (1) 概要

**概要** この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力許可ビット (TAUAnTME.TAUAnTME m) の値に応じて、TAUAnTTOUTm から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

- 前提条件**
- マスタ・チャンネル×1, スレーブ・チャンネル×7
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-230 「非相補方式変調出力機能タイプ2 時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル1の動作モードは、イベント・カウント・モードに設定する必要があります (表 15-234 「非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル1の TAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル2～7の動作モードは、アップ/ダウン・カウント・モードに設定する必要があります (表 15-237 「非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル2～7の TAUAnCMORm 設定」参照)。
  - この機能では、マスタ・チャンネルで TAUAnTTOUTm は使用しません。
  - この機能ではスレーブ・チャンネル1の TAUAnTTOUTm は使用しませんが、TAUAnTRC.TAUAnTRCm は1に設定する必要があります (15.9 「チャンネル出力モード」参照)。
  - スレーブ・チャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (15.9 「チャンネル出力モード」参照)。

**機能説明** チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、マスタ/スレーブ・チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTE m = 1 となり、カウントが可能になります。データ・レジスタ (TAUAnCDRm) の値がカウンタ (TAUAnCNTm) にロードされます。

• マスタ・チャンネル :

マスタ・チャンネルのカウンタがダウン・カウントを開始します。カウンタが 0000<sub>H</sub> になると、INTTAUAnIm が発生します。

• スレーブ・チャンネル1 :

スレーブ・チャンネル1がマスタ・チャンネルからの割り込みを検出すると、カウント値が1減ります。カウンタが 0000<sub>H</sub> になると、マスタ・チャンネルからの次の割り込みを待ちます。そして再び TAUAnCDRm の値を TAUAnCNTm (スレーブ1) にロードし、INTTAUAnIm が発生します。スレーブ・チャンネル1がリアルタイム出力のトリガ・チャンネルとして設定されているため (TAUAnTRC.TAUAnTRCm = 1), スレーブ・チャンネル1で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) 値が変化します。

- スレーブ・チャンネル2:

マスタ・チャンネルからの割り込みを検出すると、TAUAnCNTm は逆方向にカウントを行います。アップ・カウント中に割り込みを検出すると、再びTAUAnCDRm の値をロードしてからダウン・カウントを開始します。

TAUAnCNTm = 0001<sub>H</sub> の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタ・チャンネルとスレーブ・チャンネル2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタ・チャンネルはPWM 出力周期を生成し、スレーブ・チャンネル2 はデューティ・サイクルを生成します。

スレーブ・チャンネル3 ~ 7 はスレーブ・チャンネル2 と同じように動作します。

表 15-229 「非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル1 組のTAUAnTTOUTm 出力」にあるように、TAUAnTTOUTm から出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブ・チャンネルのTAUAnTT.TAUAnTTm を1に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEem は0に設定されます。マスタ/スレーブ・チャンネルのTAUAnCNTm とTAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を1に設定すると、カウントを再開できます。

- 条件**
- スレーブ・チャンネルのTAUAnTME.TAUAnTMEem が1に設定されている場合:
    - チャンネルのTAUAnTRO.TAUAnTROm が1の場合、TAUAnTTOUTm はそのチャンネルの対応するPWM を出力します。
    - チャンネルのTAUAnTRO.TAUAnTROm が0の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
  - スレーブ・チャンネルのTAUAnTME.TAUAnTMEem が0に設定されている場合:
    - チャンネルのTAUAnTRO.TAUAnTROm が1の場合、TAUAnTTOUTm はハイ・レベル信号を出力します。
    - チャンネルのTAUAnTRO.TAUAnTROm が0の場合、TAUAnTTOUTm はロウ・レベル信号を出力します。
  - TAUAnTOL.TAUAnTOLm が1の場合、TAUAnTTOUTm から出力されるハイ・レベル信号とロウ・レベル信号は反転します。PWM 信号に影響はありません。TAUAnTOL.TAUAnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 15-229 非相補方式変調出力機能タイプ2 時のスレーブ・チャンネル1 組のTAUAnTTOUTm 出力

TAUAnTME. TAUAnTMEem	TAUAnTRO. TAUAnTROm	TAUAnTTOUTm 出力
0	0	ロウ・レベル
	1	ハイ・レベル
1	0	ロウ・レベル
	1	PWMm

- この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。
- スレーブ・チャンネル2～7で  $TAUAnTOL.TAUAnTOLm = 0$  が設定されている場合、 $TAUAnTE.TAUAnTEm = 0$  に設定する前に  $TAUAnTO.TAUAnTOm$  をロウに設定します。
- スレーブ・チャンネル2～7で  $TAUAnTOL.TAUAnTOLm = 1$  が設定されている場合、 $TAUAnTE.TAUAnTEm = 0$  に設定する前に  $TAUAnTO.TAUAnTOm$  をハイに設定します。

## (2) 算出式

スレーブ・チャンネル2～7:

PWM 出力周期 =  $[TAUAnCDRm (マスタ) + 1] \times \text{カウント} \cdot \text{クロック周期}$

PWM 出力デューティ時間

=  $[TAUAnCDRm (マスタ) + 1 - TAUAnCDRm (スレーブ)] \times 2 \times \text{カウント} \cdot \text{クロック}$



(3) ブロック図と基本タイミング図

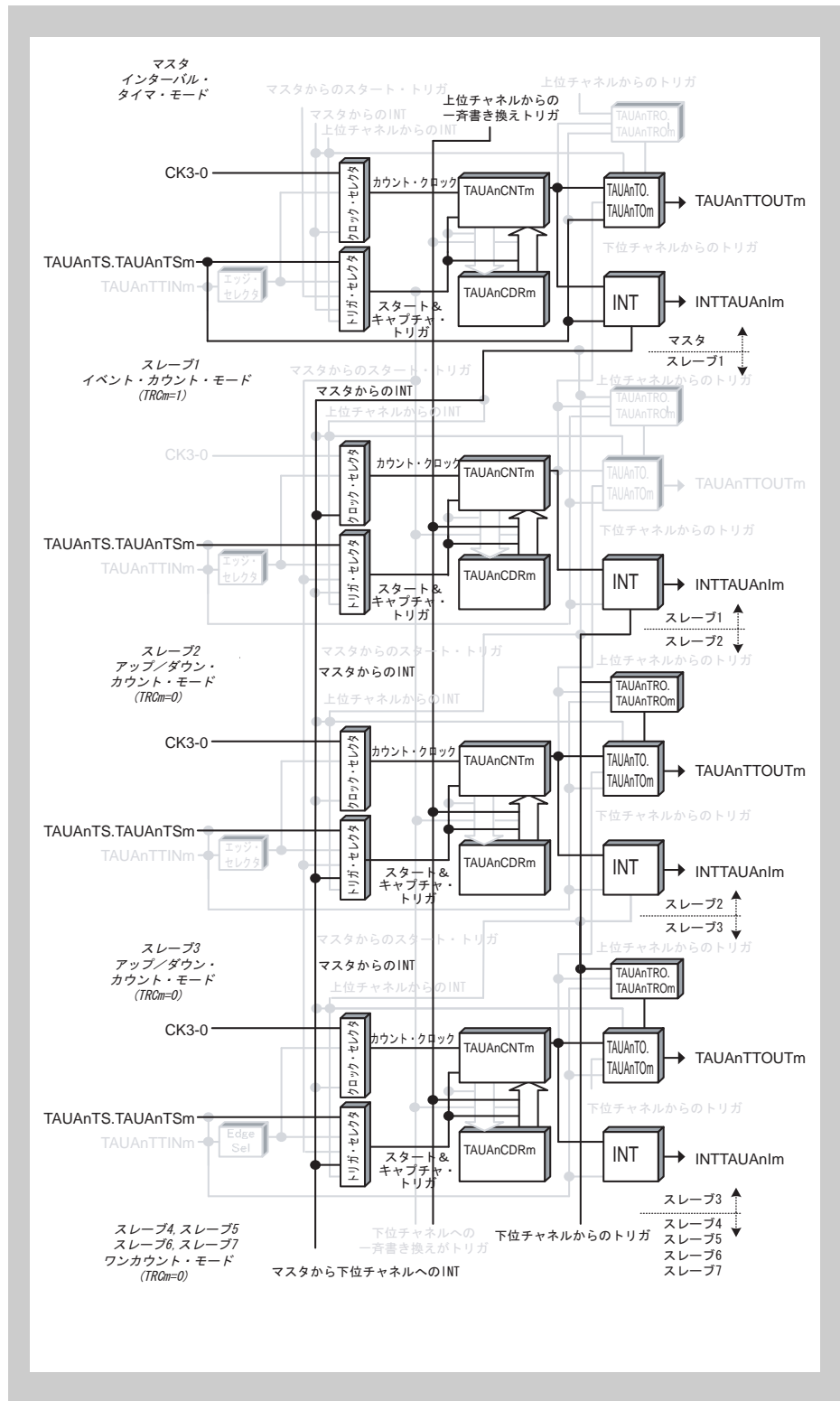


図 15-135 非相補方式変調出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- スレーブ・チャンネル 2 ~ 7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

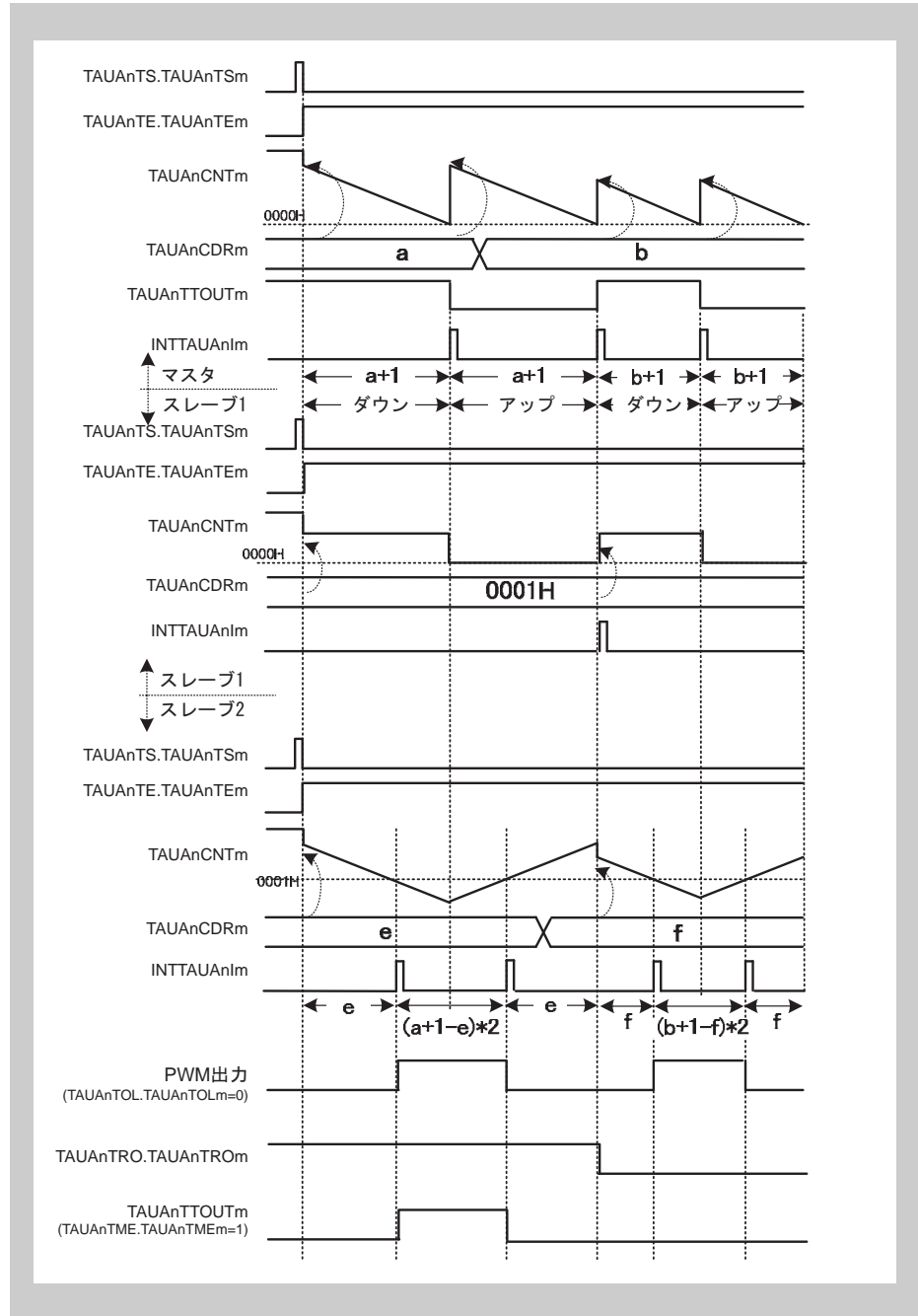


図 15-136 非相補方式変調出力機能タイプ 2 の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUA nMD0					

表 15-230 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始または再開時に INTTAUAnIm が発生しない 1 : 動作開始または再開時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-231 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

表 15-232 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low
TAUAnTRC.TAUAnTRCm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-233 非相補方式変調出力機能タイプ2時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: 一斉書き換え禁止時 (TAUAnRDE.TAUAnRDEm = 0), 0 を設定 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネル1のレジスタ設定

## (a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-234 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	11 : マスタ・チャンネルの INTTAUAnIm をカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ 011 : 一斉書き換えトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0011 : イベント・カウント・モード
TAUAnMD0	0 : 動作開始または再開時に INTTAUAnIm が発生しない

## (b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS[1:0]

表 15-235 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) チャンネル出力モード**

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**注意** スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

**(d) スレーブ・チャンネル1の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-236 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDcm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) スレーブ・チャンネル2～7のレジスタ設定

## (a) スレーブ・チャンネル2～7のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-237 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルのTAUAnCKS[1:0]ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号TAUAnTUDSmがスタート・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUAnMD0	0 : 動作開始または再開時にINTTAUAnImが発生しない

## (b) スレーブ・チャンネル2～7のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-238 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル2～7の出力モード

表 15-239 非相補方式変調出力を行うチャンネル連動出力モード2時のスレーブ・チャンネル2～7の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 次の上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEem	0: 変調禁止 1: 変調許可

## (d) スレーブ・チャンネル2～7の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-240 非相補方式変調出力機能タイプ2時のスレーブ・チャンネル2～7の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えるトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。



## (7) 非相補方式変調出力機能タイプ2時の操作手順

表 15-241 非相補方式変調出力機能タイプ2時の操作手順 (1/2)

	操作	TAUAn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル1 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル2～7 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm でパルス周期を設定し、スレーブ・チャンネル1の TAUAnCDRm でスレーブ・チャンネル1が入力信号を生成するまでに無視するマスタ・チャンネルの割り込み数を設定します。また、スレーブ・チャンネル2～7の TAUAnCDRm にデューティ幅を設定します。</p> <p>スレーブ・チャンネル1に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 15-241 非相補方式変調出力機能タイプ 2 時の操作手順 (2/2)

	操作	TAUAn の状態	
動作再開 ↓ 動作中 ↓ 動作停止	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します (チャンネル動作再開時はスレーブ・チャンネル 2 ~ 7 のみ設定)。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が 1 に設定され、カウンタがダウン・カウントを開始します。</p>
	動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 ~ 7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。スレーブ・チャンネル 1 の TAUAnCDRm の値をロードし、マスタ・チャンネルの割り込みを待ちます。マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>• INTTAUAnIm が発生します。</li> <li>• 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。</li> <li>• スレーブ・チャンネル 1 の TAUAnCNTm 値が 1 減少し、マスタ・チャンネルの次の割り込みを待ちます。</li> <li>• スレーブ・チャンネル 2 ~ 7 の TAUAnCNTm は逆方向にカウントを行います。</li> <li>• スレーブ・チャンネル 1 のカウンタが 0000<sub>H</sub> になると、マスタ・チャンネルからの次の割り込みを待ちます。割り込み検出時：                         <ul style="list-style-type: none"> <li>- INTTAUAnIm が発生します。</li> </ul> </li> <li>• スレーブ・チャンネル 2 ~ 7 のカウンタが 0001<sub>H</sub> になった場合：                         <ul style="list-style-type: none"> <li>- INTTAUAnIm が発生します。</li> <li>- スレーブ・チャンネル 2 ~ 7 の PWM 出力信号がセット/リセットされます。</li> </ul> </li> </ul> <p>スレーブ・チャンネル 2 ~ 7 の TAUAnTTOUTm は、2 つで 1 組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) と変調出力ビット (TAUAnTME.TAUAnTMEm) の値に応じて、PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。</p>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

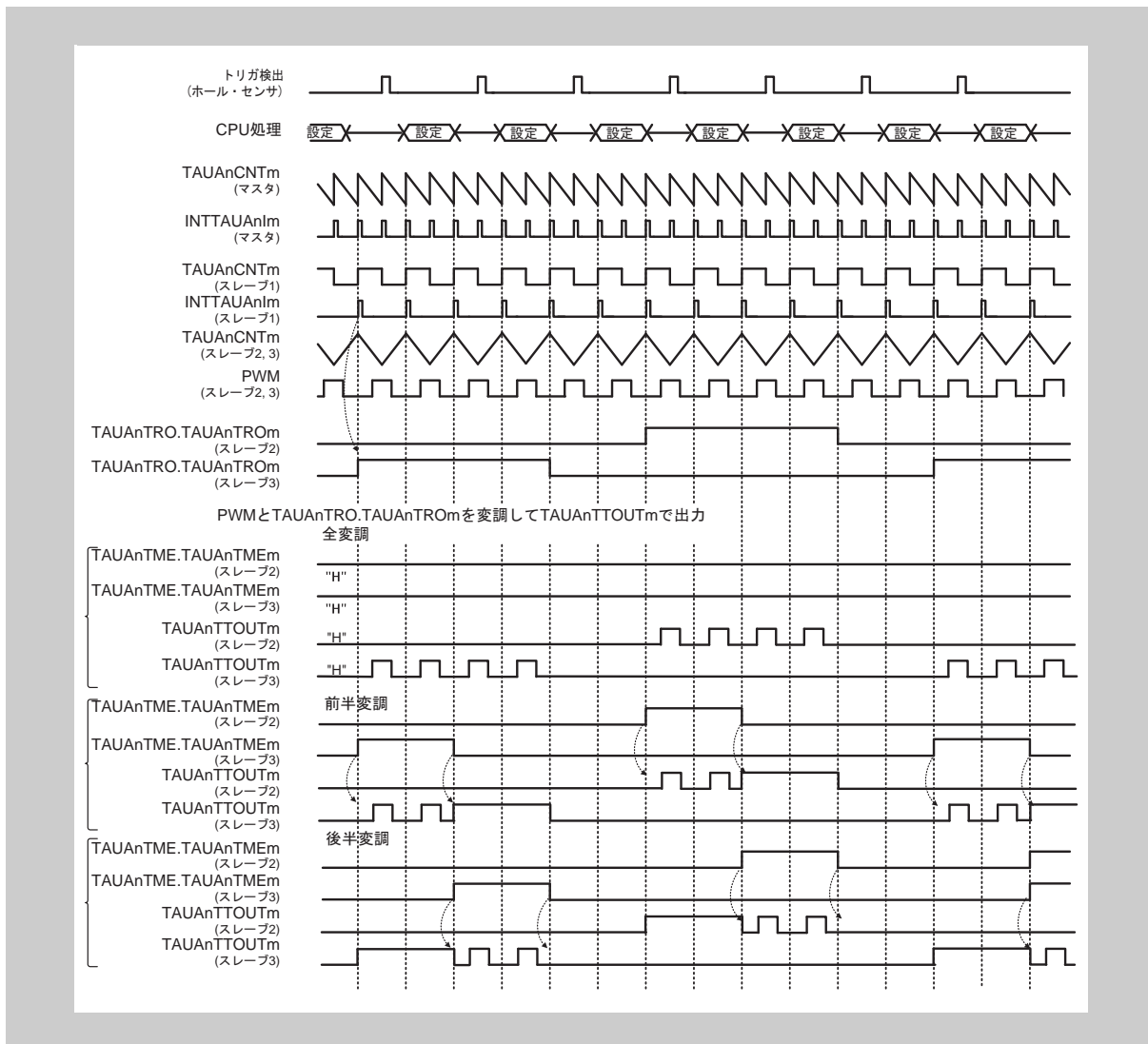


図 15-137 非相補方式変調出力機能タイプ2の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルの TAUAnTME.TAUAnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUAnCDRm, TAUAnTME.TAUAnTMEm, TAUAnTRO.TAUAnTROm の値を変更できる期間を示しています。

TAUAnTME.TAUAnTMEm は、カウント開始タイミングと三角波 PWM のキャリア周期 (山割り込みタイミング) 検出で設定値が反映されます。

TAUAnTRO.TAUAnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

### 15.27.3 相補方式変調出力機能

#### (1) 概要

**概要** この機能では、2つで1組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値に応じて、TAUAnTTOUTm から PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。通常は3組のチャンネルが使用されます。

- 前提条件**
- マスタ・チャンネル×1, スレーブ・チャンネル×7
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-244 「相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル1の動作モードは、イベント・カウント・モードに設定する必要があります (表 15-248 「相補方式変調出力機能時のスレーブ・チャンネル1の TAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル2,4,6の動作モードは、アップ/ダウン・カウント・モードに設定する必要があります (表 15-251 「相補方式変調出力機能時のスレーブ・チャンネル2, 4, 6の TAUAnCMORm 設定」参照)。
  - スレーブ・チャンネル3,5,7の動作モードは、ワンカウント・モードに設定する必要があります (表 15-255 「相補方式変調出力機能時のスレーブ・チャンネル3, 5, 7の TAUAnCMORm 設定」参照)。
  - マスタ・チャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (15.9 「チャンネル出力モード」)。
  - この機能ではスレーブ・チャンネル1の TAUAnTTOUTm は使用しませんが、TAUAnTRC.TAUAnTRCm は1に設定する必要があります (15.9 「チャンネル出力モード」参照)。
  - スレーブ・チャンネル2～7のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (15.9 「チャンネル出力モード」参照)。

- 機能説明**
- マスタ・チャンネル :  
 チャンネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を1に設定すると、マスタ・チャンネルのカウンタ動作が許可されます。これにより TAUAnTE.TAUAnTEm = 1 となり、カウントが可能になります。マスタ・チャンネルのデータ・レジスタ (TAUAnCDRm) の値がカウンタ (TAUAnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。  
 マスタ・チャンネルのカウンタが 0000<sub>H</sub> になると、INTTAUAnIm が発生します。これによりスレーブ・チャンネル1のカウンタ値が1減少し、スレーブ・チャンネル2のカウンタが反対方向にカウントを開始します。

- スレーブ・チャンネル 1 :
 

カウンタが 0000<sub>H</sub> になると、マスタ・チャンネルからの次の割り込みを待ちます。そして再び TAUAnCDRm の値を TAUAnCNTm (スレーブ 1) にロードし、INTTAUAnIm が発生します。

スレーブ・チャンネル 1 はリアルタイム出力のトリガ・チャンネルとして設定されます (TAUAnTRC.TAUAnTRCm = 1)。割り込みにより、スレーブ・チャンネル 1 の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm) の値が適用されます。リアルタイム出力ビット値はアプリケーション・ソフトで任意のタイミングで変更可能ですが、新しい値はスレーブ・チャンネル 1 で割り込みが発生するまで適用されません。
- スレーブ・チャンネル 2 :
 

スレーブ・チャンネル 2 のカウンタが 0001<sub>H</sub> になると、スレーブ・チャンネル 3 のカウンタがダウン・カウントを開始します。スレーブ・チャンネル 3 のカウンタが 0000<sub>H</sub> になると、割り込みが発生します。
- スレーブ・チャンネル 2, スレーブ・チャンネル 3 :
 

マスタ・チャンネルとスレーブ・チャンネル 2 およびスレーブ・チャンネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタ・チャンネルは PWM 出力周期を生成し、スレーブ・チャンネル 2 はデューティ・サイクルを、スレーブ・チャンネル 3 はデッド・タイムを生成します。
- スレーブ・チャンネル 4 ~ 7 :
 

スレーブ・チャンネル 4,6 はスレーブ・チャンネル 2 と同じように動作し、スレーブ・チャンネル 5,7 はスレーブ・チャンネル 3 と同じように動作します。

表 15-217 「非相補方式変調出力機能タイプ 1 時のスレーブ・チャンネル 1 組の TAUAnTTOUTm 出力」にあるように、TAUAnTTOUTm から出力される信号は、スレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値によって決まります。

ただし、チャンネル 2 とチャンネル 3 の両方からハイ・レベル信号が出力されることは禁止です (モータ・ドライバのショートを防ぐなどの目的のため)。ひとつのチャンネルがロウに、他方のチャンネルがハイに切り替わる瞬間に両チャンネルがハイになることを防ぐため、ハイに切り替わるチャンネルに遅延を付加して、ハイへの遷移が後で行われるようにする必要があります。これを実現するため、正相または逆相の PWM 信号に、チャンネル・デッド・タイム出力レベル・レジスタ (TAUAnTDL.TAUAnTDLm) 値で設定されたデッド・タイムを付加します。

マスタ/スレーブ・チャンネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEem は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。TAUAnTS.TAUAnTSm を 1 に設定すると、カウントを再開できます。

- 条件**
- 1組のチャンネルの双方で TAUAnTME.TAUAnTME<sub>m</sub> が 1 に設定されている場合：
    - 片方のチャンネルの TAUAnTRO.TAUAnTRO<sub>m</sub> が 1 の場合、TAUAnTTOUT<sub>m</sub> はそのチャンネルの対応する PWM を出力します。
    - 片方のチャンネルの TAUAnTRO.TAUAnTRO<sub>m</sub> が 0 の場合、TAUAnTTOUT<sub>m</sub> はロウ・レベル信号を出力します。
  - 1組のチャンネルの双方で TAUAnTME.TAUAnTME<sub>m</sub> が 0 に設定されている場合：
    - 片方のチャンネルの TAUAnTRO.TAUAnTRO<sub>m</sub> が 1 の場合、TAUAnTTOUT<sub>m</sub> はハイ・レベル信号を出力します。
    - 片方のチャンネルの TAUAnTRO.TAUAnTRO<sub>m</sub> が 0 の場合、TAUAnTTOUT<sub>m</sub> はロウ・レベル信号を出力します。
  - TAUAnTOL.TAUAnTOL<sub>m</sub> が 1 の場合、TAUAnTTOUT<sub>m</sub> から出力されるハイ・レベル信号とロウ・レベル信号は反転します。PWM 信号は TAUAnTOL.TAUAnTOL<sub>m</sub> の設定によって変化しません。

表 15-242 相補方式変調出力機能時のスレーブ・チャンネル1組の TAUAnTTOUT<sub>m</sub> 出力 (TAUAnTOL.TAUAnTOL<sub>m</sub> = 0)

TAUAnTME.TAUAnTME <sub>2</sub>	TAUAnTME.TAUAnTME <sub>3</sub>	TAUAnTRO.TAUAnTRO <sub>2</sub>	TAUAnTRO.TAUAnTRO <sub>3</sub>	TAUAnTTOUT <sub>2</sub> 出力	TAUAnTTOUT <sub>3</sub> 出力
0	0	0	0	ロウ・レベル	ロウ・レベル
		0	1	ロウ・レベル	ハイ・レベル
		1	0	ハイ・レベル	ロウ・レベル
		1	1	設定禁止	設定禁止
1	1	0	0	ロウ・レベル	ロウ・レベル
		0	1	~PWM <sub>m</sub>	PWM <sub>m</sub>
		1	0	PWM <sub>m</sub>	~PWM <sub>m</sub>
		1	1	設定禁止	設定禁止

**備考** 1. ~PWM は、反転された PWM 信号です。PWM, ~PWM は TAUAnTDL.TAUAnTDL<sub>m</sub> で設定されます。

2. この表に記述のない設定は禁止です。

- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTRO<sub>m</sub> が 1 に設定されている間、TAUAnTME.TAUAnTME<sub>m</sub> が継続的に 1 に設定されている場合、その変調は全変調になります。
- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTRO<sub>m</sub> が 1 に設定されている期間の前半で TAUAnTME.TAUAnTME<sub>m</sub> が 1 に設定されている場合、その変調は前半変調になります。
- 1組のチャンネルの片方で、TAUAnTRO.TAUAnTRO<sub>m</sub> が 1 に設定されている期間の後半で TAUAnTME.TAUAnTME<sub>m</sub> が 1 に設定されている場合、その変調は後半変調になります。
- 2つのチャンネルが同時にハイ・レベル信号の出力となる場合にデッド・タイムが正相 PWM 信号と逆相 PWM 信号のどちらに付加されるかは、TAUAnTDL.TAUAnTDL<sub>m</sub> ビット値で決まります。

- TAUAnTDL.TAUAnTDLm = 0 の場合, 正相 PWM 信号にデッド・タイムを付加
- TAUAnTDL.TAUAnTDLm = 1 の場合, 逆相 PWM 信号にデッド・タイムを付加
- TAUAnTDL.TAUAnTDLm ビット値の操作は, 動作中にアプリケーション・ソフトで行う必要があります。TAUAnTDL.TAUAnTDLm を変更する場合は, TAUAnTRO.TAUAnTROm が 00<sub>B</sub> の期間に書き換えてください。

表 15-243 相補方式変調出力機能時のスレーブ・チャンネル 1 組の  
TAUAnTDL.TAUAnTDLm 設定 (TAUAnTOL.TAUAnTOLm = 0)

TAUAnTME. TAUAnTME2	TAUAnTME. TAUAnTME3	TAUAnTRO. TAUAnTRO2	TAUAnTRO. TAUAnTRO3	TAUAnTDL. TAUAnTDL2	TAUAnTDL. TAUAnTDL3
0	0	0	0	1	1
		0	1	1	0
		1	0	0	1
1	1	0	0	1	1
		0	1	1	0
		1	0	0	1

- スレーブ・チャンネル 1 の TAUAnCDRm 値は 1 に設定して, キャリア周期の頂点でスレーブ・チャンネル 1 で INTTAUAnIm を発生させる必要があります。
- マスタ・チャンネルの TAUAnCMORm.TAUAnMD0 は 0 に設定してください。
- この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式

スレーブ・チャンネル 2, 4, 6 :

TAUAnTOL.TAUAnTOLm = 0 かつ TAUAnCDR (スレーブ 1) の場合 :

PWM 出力周期 =  $2 \times [TAUAnCDRm (\text{マスタ}) + 1] \times \text{カウント} \cdot \text{クロック}$

PWM 出力デューティ時間 =  $\{ [TAUAnCDRm (\text{マスタ}) + 1 - TAUAnCDRm (\text{スレーブ 2})] \times 2 - [TAUAnCDRm (\text{スレーブ 3}) + 1] \} \times \text{カウント} \cdot \text{クロック}$

(3) ブロック図と基本タイミング図

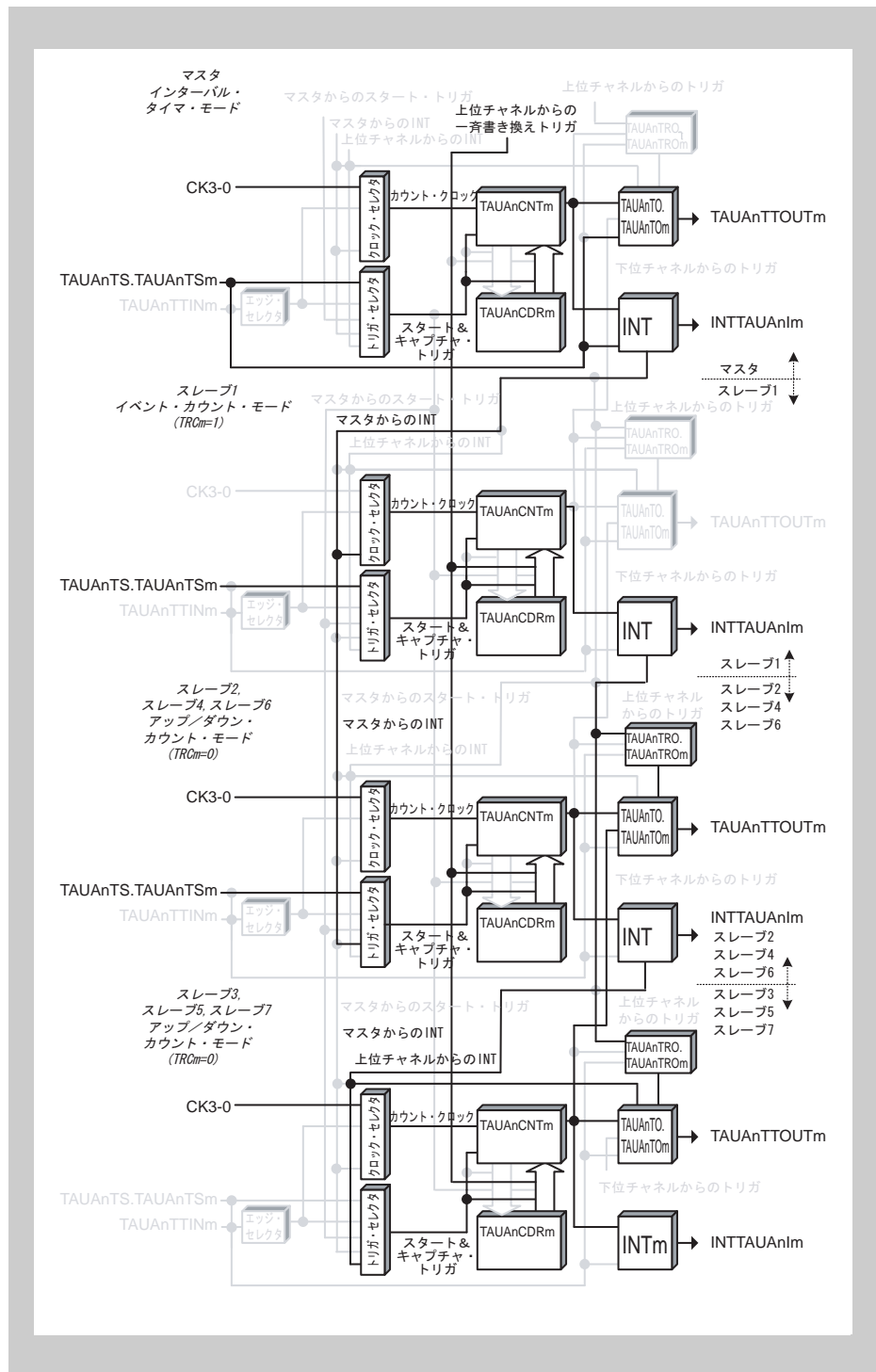


図 15-138 相補方式変調出力機能のブロック図



基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：動作開始時に INTTAUAnIm が発生しない (TAUAnCMORm.TAUAnMD0 = 0)
- スレーブ・チャンネル 2 ~ 7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

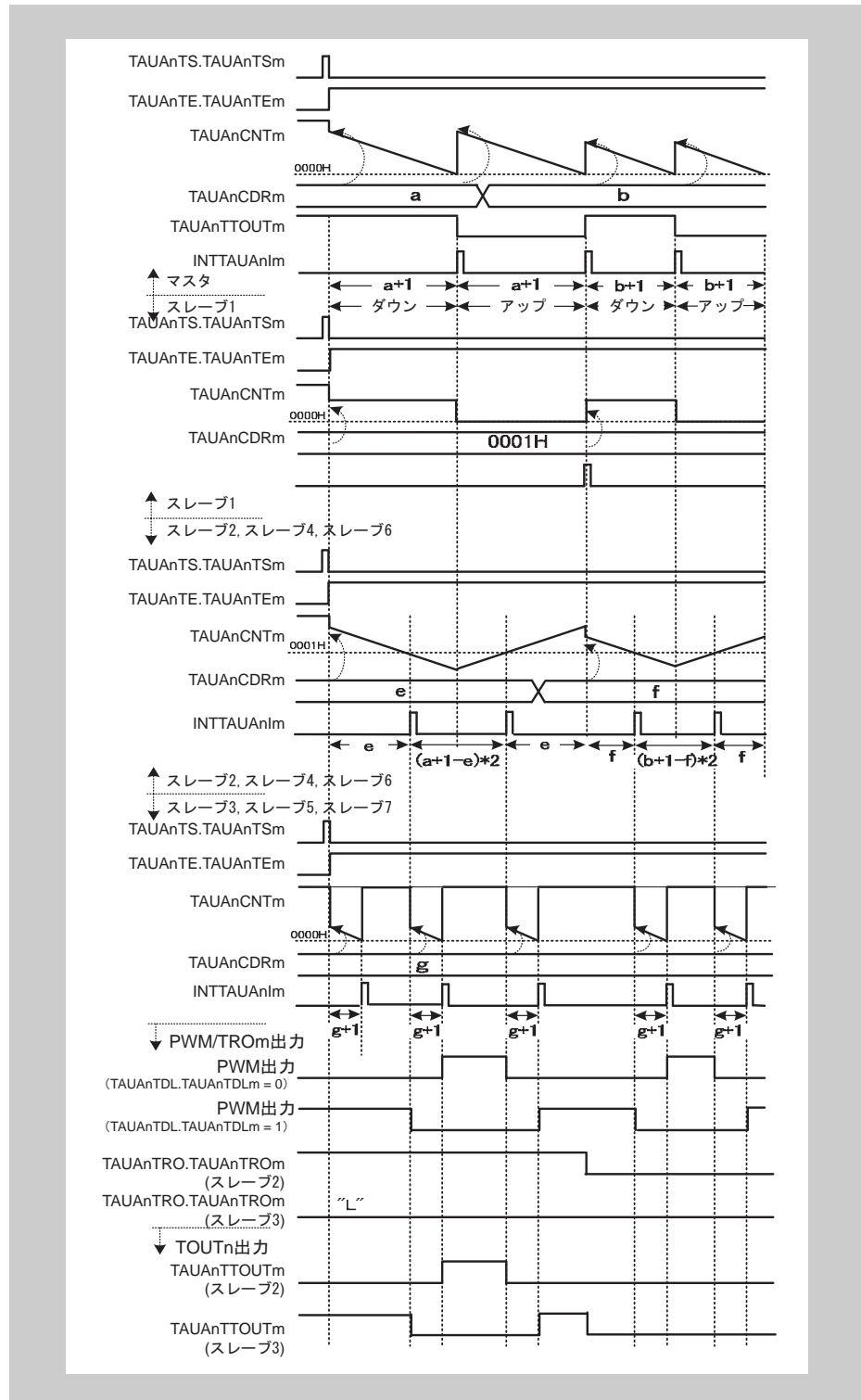


図 15-139 相補方式変調出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	-	TAUAnMD[4:1]				TAUAn MD0					

表 15-244 相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始または再開時に INTTAUAnIm が発生せず, TAUAnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUAnIm が発生し, TAUAnTTOUTm はトグルされる

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUAnTIS [1:0]	

表 15-245 相補方式変調出力機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) チャンネル出力モード

表 15-246 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	0: チャンネル単体出力
TAUAnTOC.TAUAnTOCm	0: 動作モード1 (TAUAnTOM.TAUAnTOMm = 0 時はトグル・モード)
TAUAnTOL.TAUAnTOLm	0: 正論理
TAUAnTDE.TAUAnTDEm	0: デッド・タイム動作禁止
TAUAnTDM.TAUAnTDMm	0: デッド・タイム動作禁止時 (TAUAnTDE.TAUAnTDEm = 0), 0 を設定
TAUAnTDL.TAUAnTDLm	
TAUAnTRE.TAUAnTREm	0: リアルタイム出力禁止
TAUAnTRO.TAUAnTROm	0: リアルタイム出力禁止時 (TAUAnTRE.TAUAnTREm = 0), 0 を設定
TAUAnTRC.TAUAnTRCm	
TAUAnTME.TAUAnTMEem	0: 変調禁止

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-247 相補方式変調出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUAnRDS.TAUAnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネル1のレジスタ設定

## (a) スレーブ・チャンネル1のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-248 相補方式変調出力機能時のスレーブ・チャンネル1のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルのTAUAnCKS[1:0]ビット値は同一である必要があります。
TAUAnCCS[1:0]	11 : マスタ・チャンネルのINTTAUAnImをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ 011 : 一斉書き換えトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0011 : イベント・カウント・モード
TAUAnMD0	0 : 動作開始または再開時にINTTAUAnImが発生しない

## (b) スレーブ・チャンネル1のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-249 相補方式変調出力機能時のスレーブ・チャンネル1のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) チャンネル出力モード**

この機能では、スレーブ・チャンネル1ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**注意** スレーブ・チャンネル1をリアルタイム出力のトリガ・チャンネルとして使用するため、TAUAnTRC.TAUAnTRCmを1に設定する必要があります。

**(d) スレーブ・チャンネル1の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-250 相補方式変調出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDsm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) スレーブ・チャンネル 2,4,6 のレジスタ設定

## (a) スレーブ・チャンネル 2,4,6 の TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-251 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUAnMD0	0 : 動作開始または再開時に INTTAUAnIm が発生しない

## (b) スレーブ・チャンネル 2,4,6 の TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-252 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル 2,4,6 の出力モード

表 15-253 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード 2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルのデューティ・サイクル検出時にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

注意 TAUAnTDL.TAUAnTDLm は、奇数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル 2,4,6 の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-254 相補方式変調出力機能時のスレーブ・チャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (7) スレーブ・チャンネル3,5,7のレジスタ設定

## (a) スレーブ・チャンネル3,5,7のTAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-255 相補方式変調出力機能時のスレーブ・チャンネル3, 5, 7のTAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	111 : デッド・タイム・トリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	1001 : ワンカウント・モード
TAUAnMD0	1 : カウント中のスタート・トリガ検出許可

## (b) スレーブ・チャンネル3,5,7のTAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-256 相補方式変調出力機能時のスレーブ・チャンネル3, 5, 7のTAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定



## (c) スレーブ・チャンネル3,5,7の出力モード

表 15-257 相補方式変調出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUAnTOE.TAUAnTOEm	1: チャンネル単体出力モード許可
TAUAnTOM.TAUAnTOMm	1: チャンネル連動出力
TAUAnTOC.TAUAnTOCm	1: 動作モード2
TAUAnTOL.TAUAnTOLm	0: 正論理 1: 反転論理
TAUAnTDE.TAUAnTDEm	1: デッド・タイム動作許可
TAUAnTDM.TAUAnTDMm	0: 上位偶数チャンネルのデューティ・サイクル検出時にデッド・タイムを付加
TAUAnTDL.TAUAnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加
TAUAnTRE.TAUAnTREm	1: リアルタイム出力許可
TAUAnTRO.TAUAnTROm	0: リアルタイム出力は Low 1: リアルタイム出力は High
TAUAnTRC.TAUAnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム・トリガを生成
TAUAnTME.TAUAnTMEm	0: 変調禁止 1: 変調許可

注意 TAUAnTDL.TAUAnTDLm は、偶数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル3,5,7の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-258 相補方式変調出力機能時のスレーブ・チャンネル3,5,7の一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUAnIm 信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (8) 相補方式変調出力機能時の操作手順

表 15-259 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUAn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 1 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2, 4, 6 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 2,4,6 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3, 5, 7 : TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (7) 「スレーブ・チャンネル 3,5,7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUAnCDRm レジスタの値を設定します。マスタ・チャンネルの TAUAnCDRm でパルス周期を設定し、スレーブ・チャンネル 1 の TAUAnCDRm で無視されるマスタ・チャンネル割り込み数を設定します。また、スレーブ・チャンネル 2, 4, 6 の TAUAnCDRm にデューティ幅を、スレーブ・チャンネル 3,5,7 にデッド・タイム遅延を設定します。</p> <p>スレーブ・チャンネル 1 に TAUAnTRC.TAUAnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。

表 15-259 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUAn の状態
動作再開	<p>動作開始</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します (チャンネル動作再開時はスレーブ・チャンネル 2 ~ 7 のみ設定)。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>マスタ/スレーブ・チャンネルの TAUAnTE.TAUAnTEm が 1 に設定され、カウンタがダウン・カウントを開始します。</p>
動作中	<p>TAUAnCDRm, TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEem, TAUAnTDL.TAUAnTDLm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUAnRDT.TAUAnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 ~ 7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。スレーブ・チャンネル 1 の TAUAnCDRm の値をロードし、マスタ・チャンネルの割り込みを待ちます。マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>• INTTAUAnIm が発生します。</li> <li>• 再び TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを継続します。</li> <li>• スレーブ・チャンネル 1 の TAUAnCNTm 値が 1 減少し、マスタ・チャンネルの次の割り込みを待ちます。</li> <li>• スレーブ・チャンネル 2,4,6 の TAUAnCNTm は逆方向にカウントを行います。</li> <li>• スレーブ・チャンネル 1 のカウンタが 0000<sub>H</sub> になると、マスタ・チャンネルからの次の割り込みを待ちます。割り込み検出時：             <ul style="list-style-type: none"> <li>- 再び TAUAnCDRm の値を TAUAnCNTm にロードし、マスタ・チャンネルの次の割り込みを待ちます。</li> <li>- INTTAUAnIm が発生します。</li> <li>- TAUAnTRO.TAUAnTROm を変更可能です。</li> </ul> </li> <li>• スレーブ・チャンネル 2,4,6 のカウンタが 0001<sub>H</sub> になった場合：             <ul style="list-style-type: none"> <li>- INTTAUAnIm が発生します。</li> <li>- スレーブ・チャンネル m の PWM 出力がリセットされます。</li> <li>- スレーブ・チャンネル 3,5,7 の TAUAnCDRm の値を TAUAnCNTm にロードし、ダウン・カウントを行います。</li> </ul> </li> <li>• スレーブ・チャンネル 3,5,7 のカウンタが 0001<sub>H</sub> になった場合：             <ul style="list-style-type: none"> <li>- INTTAUAnIm が発生します。</li> </ul> </li> </ul> <p>スレーブ・チャンネル 2 ~ 7 の TAUAnTTOUtm は、2 つで 1 組のスレーブ・チャンネルのリアルタイム出力ビット (TAUAnTRO.TAUAnTROm)、変調出力ビット (TAUAnTME.TAUAnTMEem)、出力レベル・ビット (TAUAnTDL.TAUAnTDLm) の値に応じて、PWM 信号、ハイ・レベル信号、またはロウ・レベル信号を出力します。</p>
動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUtm は停止し、現在値を保持します。</p>

(9) 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- スレーブ・チャンネル2～7：正論理 (TAUAnTOL.TAUAnTOLm = 0)

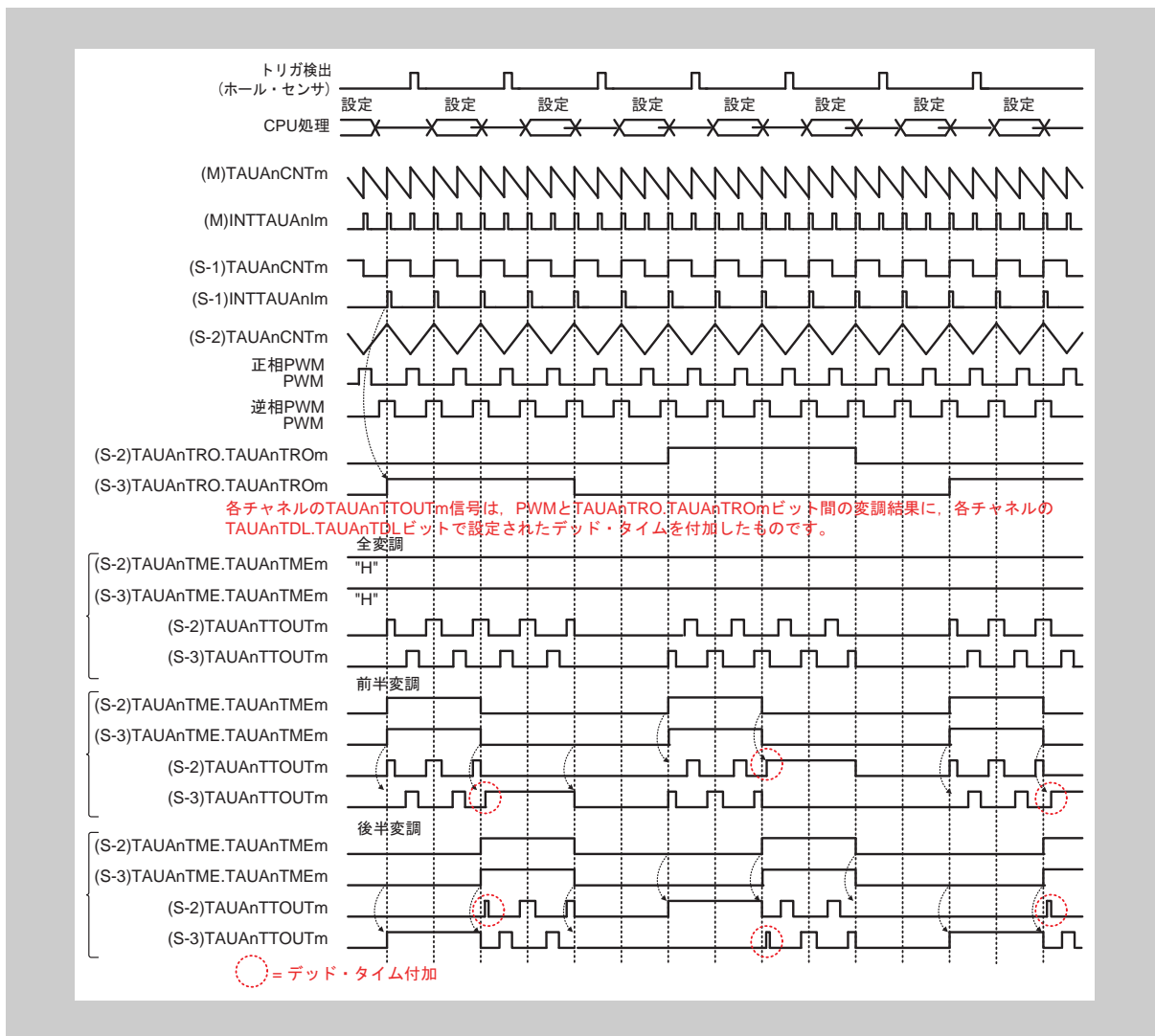


図 15-140 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブ・チャンネルのTAUAnTME.TAUAnTMEEmビットを変更することにより、どのように全変調、前半変調、後半変調を行うのが示されています。

スレーブ・チャンネル2,3から出力されるのは、変調されたPWM出力信号とTAUAnTRO.TAUAnTROmビットの値です。したがって、各チャンネルから出力されるPWM信号の種類（正相／逆相）は、このビットの値によって変わります。

TAUAnTRO.TAUAnTROm, TAUAnTME.TAUAnTMEEm, TAUAnTDL.TAUAnTDLmビット値はソフトウェアで設定しますが、新しく設定された値はスレーブ・チャンネル1で割り込みが発生しないと適用されません。

**備考** デッド・タイムは、正相と逆相のPWMのエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUAnCDRm, TAUAnTME.TAUAnTMEm,  
TAUAnTRO.TAUAnTROm, TAUAnTDL.TAUAnTDLm の値を変更できる期間  
を示しています。

## 15.28 その他のチャネル連動機能

この節では、マスタ・チャネルで発生する割り込みを特定の数だけ無視する機能について説明します。

- 15.28.1 「割り込み信号間引き機能」

### 15.28.1 割り込み信号間引き機能

#### (1) 概要

**概要** マスタ・チャネルの割り込み数を、スレーブ・チャネルを使って指定した値で割る機能です。

割り込み信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能  
(15.23.1 「PWM 出力機能」)
- 三角波 PWM 出力機能  
(15.25.1 「三角波 PWM 出力機能」)
- デッド・タイム付き三角波 PWM 出力機能  
(15.25.2 「デッド・タイム付き三角波 PWM 出力機能」)

#### 前提条件

- 2 チャネル
- マスタ・チャネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 15-260 「割り込み信号間引き機能時のマスタ・チャネルの TAUAnCMORm 設定」 参照)。
- スレーブ・チャネルの動作モードは、イベント・カウント・モードに設定する必要があります (表 15-263 「割り込み信号間引き機能時のスレーブ・チャネルの TAUAnCMORm 設定」 参照)。
- この機能では、TAUAnTTOUTm を使用しません。

#### 機能説明

チャネル・トリガ・ビット (TAUAnTS.TAUAnTSm) を 1 に設定すると、カウンタ (マスタ/スレーブ・チャネル両方) の動作が許可されます。これにより TAUAnTE.TAUAnTEm が設定され、カウンタが可能になります。マスタ・チャネルとスレーブ・チャネルのデータ・レジスタ (TAUAnCDRm) の現在値がカウンタ (TAUAnCNTm) にロードされます。

- マスタ・チャネル :  
マスタ・チャネルのカウンタが 0000<sub>H</sub> になると、INTTAUAnIm が発生し、TAUAnCDRm の値が TAUAnCNTm にロードされます。
- スレーブ・チャネル :  
マスタ・チャネルで INTTAUAnIm が発生するたびに、スレーブ・チャネルのカウンタをデクリメントします。カウンタが 0000<sub>H</sub> になると、マスタ・チャネルからの次の割り込みを待ちます。そして TAUAnCDRm の値を TAUAnCNTm (スレーブ) にロードし、INTTAUAnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブ・チャネルの TAUAnTT.TAUAnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUAnTE.TAUAnTEm は 0 に設定されます。マスタ/スレーブ・

チャンネルの TAUAnCNTm と TAUAnTTOUTm が停止しますが、それぞれの値は保持します。

**条件** この機能では一斉書き換えを行うことができます。15.8 「一斉書き換え」を参照してください。

## (2) 算出式

割り込み除算演算子 = TAUAnCDRm (スレーブ・チャンネル)

- TAUAnCDRm (スレーブ・チャンネル) + 1 で定義されたマスタ・チャンネルの INTTAUAnIm 数につき 1 つの INTTAUAnIm が発生します。

## (3) ブロック図と基本タイミング図

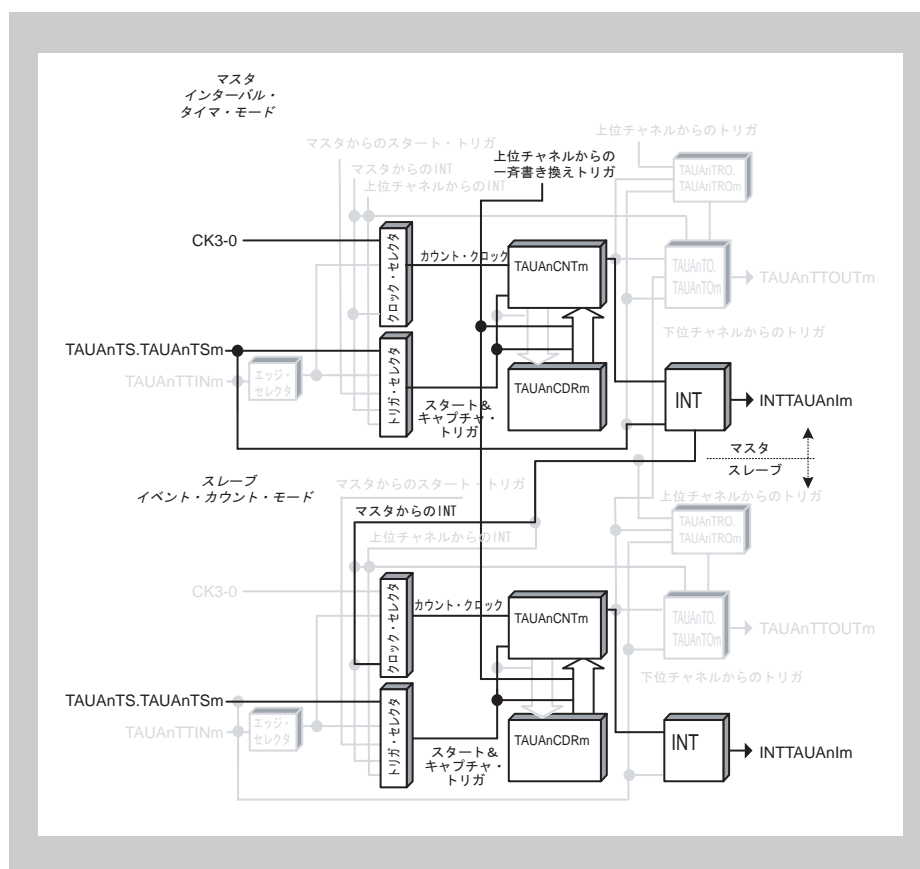


図 15-141 割り込み信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタ・チャンネル：

- 動作開始時に INTTAUAnIm が発生する (TAUAnCMORm.TAUAnMD0 = 1)

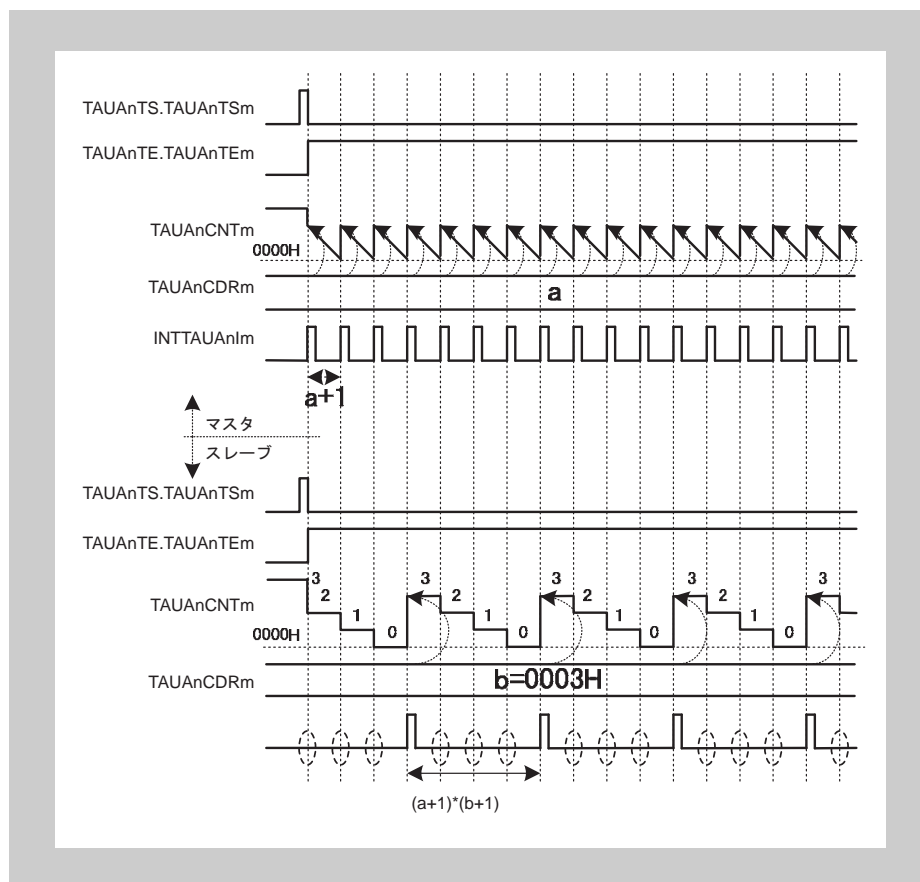


図 15-142 割り込み信号間引き機能の基本タイミング図

一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生します。



## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]		—	TAUAnMD[4:1]				TAUAn MD0			

表 15-260 割り込み信号間引き機能時のマスタ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUAnMAS	1 : チャンネルはマスタ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0000 : インターバル・タイマ・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない 1 : 動作開始時に INTTAUAnIm が発生する

## (b) マスタ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]

表 15-261 割り込み信号間引き機能時のマスタ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) マスタ・チャンネルのチャンネル出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-262 割り込み信号間引き機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の[山]のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUAnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS [2:0]	TAUAnCOS [1:0]	—	TAUAnMD[4:1]				TAUAn MD0					

表 15-263 割り込み信号間引き機能時のスレーブ・チャンネルの TAUAnCMORm 設定

ビット名	設定
TAUAnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUAnCKS[1:0] ビット値は同一である必要があります。
TAUAnCCS[1:0]	11 : マスタ・チャンネルの INTTAUAnIm をカウント・クロック として使用
TAUAnMAS	0 : チャンネルはスレーブ・チャンネル
TAUAnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUAnCOS[1:0]	00 : 未使用, 00 を設定
TAUAnMD[4:1]	0011 : イベント・カウント・モード
TAUAnMD0	0 : 動作開始時に INTTAUAnIm が発生しない

## (b) スレーブ・チャンネルの TAUAnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUAnTIS [1:0]	

表 15-264 割り込み信号間引き機能時のスレーブ・チャンネルの TAUAnCMURm 設定

ビット名	設定
TAUAnTIS[1:0]	00 : 未使用, 00 を設定

**(c) スレーブ・チャンネルの出力モード**

この機能ではチャンネル出力モードを使用しないため、TAUAnTOE.TAUAnTOEmに0を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) スレーブ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 15-265 割り込み信号間引き機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUAnRDE.TAUAnRDEm	1: 一斉書き換えを許可
TAUAnRDS.TAUAnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ
TAUAnRDM.TAUAnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUAnRDC.TAUAnRDCm	0: チャンネルで一斉書き換えのトリガとなるINTTAUAnIm信号をモニタしない。 TAUAnRDS.TAUAnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

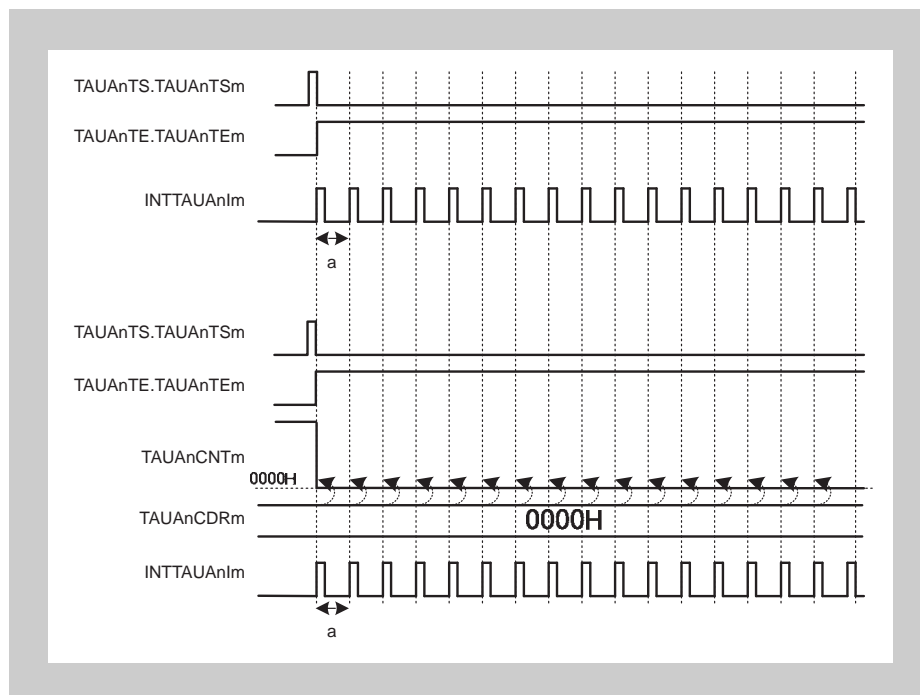
## (6) 割り込み信号間引き機能時の操作手順

表 15-266 割り込み信号間引き機能時の操作手順

	操作	TAUAn の状態
動作再開 ↓	チャンネルの初期設定 マスタ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。 スレーブ・チャンネル:TAUAnCMORm / TAUAnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。 全チャンネルの TAUAnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTS.TAUAnTSM を同時に 1 に設定します。 TAUAnTS.TAUAnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUAnIm が発生します。
	動作中 TAUAnCDRm は任意のタイミングで変更可能です。 TAUAnCNTm と TAUAnRSF.TAUAnRSFm は任意のタイミングで読み出し可能です。 TAUAnRDT.TAUAnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUAnCNTm は TAUAnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUAnIm (マスタ) が発生します。</li> <li>TAUAnCNTm (マスタ) は TAUAnCDRm 値をロードし、カウント動作を継続します。</li> <li>スレーブ・チャンネルの TAUAnCNTm は、マスタ・チャンネルの INTTAUAnIm が検出されるごとにダウン・カウントを行います。</li> </ul> スレーブ・チャンネルの TAUAnCNTm が 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUAnIm (スレーブ) が発生します。</li> </ul>
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUAnTT.TAUAnTTm を同時に 1 に設定します。 TAUAnTT.TAUAnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUAnTE.TAUAnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUAnCNTm と TAUAnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 15-143 TAUAnCDRm (スレーブ) = 0000<sub>H</sub>

- TAUAnCDRm = 0000<sub>H</sub> の場合、マスタ・チャンネルの INTTAUAnIm を検出するごとに、スレーブ・チャンネルの TAUAnCDRm の値を TAUAnCNTm にロードします。つまり、TAUAnCNTm は常に 0000<sub>H</sub> です。
- したがって、マスタ・チャンネルで割り込みが発生すると同時に、スレーブ・チャンネルで割り込みが発生することになります。

## 15.29 レジスタ

この節では、TAUAの全レジスタについて説明します。

### 15.29.1 TAUAn レジスタの概要

TAUAn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から15です。

表 15-267 TAUAn レジスタの概要 (1/2)

レジスタ名	略号	アドレス
TAUAn プリスケーラ・レジスタ		
TAUAn プリスケーラ・クロック選択レジスタ	TAUAnTPS	<TAUAn_base> + 240 <sub>H</sub>
TAUAn プリスケーラ・ポー・レート設定レジスタ	TAUAnBRS	<TAUAn_base> + 244 <sub>H</sub>
TAUAn 制御レジスタ		
TAUAn チャンル・データ・レジスタ m	TAUAnCDRm	<TAUAn_base> + m × 4 <sub>H</sub>
TAUAn チャンル・カウンタ・レジスタ m	TAUAnCNTm	<TAUAn_base> + 80 <sub>H</sub> + m × 4 <sub>H</sub>
TAUAn チャンル・モード OS レジスタ m	TAUAnCMORm	<TAUAn_base> + 200 <sub>H</sub> + m × 4 <sub>H</sub>
TAUAn チャンル・モード・ユーザ・レジスタ m	TAUAnCMURm	<TAUAn_base> + C0 <sub>H</sub> + m × 4 <sub>H</sub>
TAUAn チャンル・ステータス・レジスタ m	TAUAnCSRm	<TAUAn_base> + 140 <sub>H</sub> + m × 4 <sub>H</sub>
TAUAn チャンル・ステータス・クリア・トリガ・レジスタ m	TAUAnCSCm	<TAUAn_base> + 180 <sub>H</sub> + m × 4 <sub>H</sub>
TAUAn チャンル・スタート・トリガ・レジスタ	TAUAnTS	<TAUAn_base> + 1C4 <sub>H</sub>
TAUAn チャンル許可ステータス・レジスタ	TAUAnTE	<TAUAn_base> + 1C0 <sub>H</sub>
TAUAn チャンル・ストップ・トリガ・レジスタ	TAUAnTT	<TAUAn_base> + 1C8 <sub>H</sub>
TAUAn 出力レジスタ		
TAUAn チャンル出力許可レジスタ	TAUAnTOE	<TAUAn_base> + 5C <sub>H</sub>
TAUAn チャンル出力レジスタ	TAUAnTO	<TAUAn_base> + 58 <sub>H</sub>
TAUAn チャンル出力モード・レジスタ	TAUAnTOM	<TAUAn_base> + 248 <sub>H</sub>
TAUAn チャンル出力コンフィギュレーション・レジスタ	TAUAnTOC	<TAUAn_base> + 24C <sub>H</sub>
TAUAn チャンル出力アクティブ・レベル・レジスタ	TAUAnTOL	<TAUAn_base> + 040 <sub>H</sub>
TAUAn チャンル・デッド・タイム出力許可レジスタ	TAUAnTDE	<TAUAn_base> + 250 <sub>H</sub>
TAUAn チャンル・デッド・タイム出力モード・レジスタ	TAUAnTDM	<TAUAn_base> + 254 <sub>H</sub>
TAUAn チャンル・デッド・タイム出力レベル・レジスタ	TAUAnTDL	<TAUAn_base> + 54 <sub>H</sub>
TAUAn チャンル・リアルタイム出力レジスタ	TAUAnTRO	<TAUAn_base> + 4C <sub>H</sub>
TAUAn チャンル・リアルタイム出力許可レジスタ	TAUAnTRE	<TAUAn_base> + 258 <sub>H</sub>
TAUAn チャンル・リアルタイム出力制御レジスタ	TAUAnTRC	<TAUAn_base> + 25C <sub>H</sub>
TAUAn チャンル変調出力許可レジスタ	TAUAnTME	<TAUAn_base> + 50 <sub>H</sub>
TAUAn リロード・データ・レジスタ		
TAUAn チャンル・リロード・データ許可レジスタ	TAUAnRDE	<TAUAn_base> + 260 <sub>H</sub>
TAUAn チャンル・リロード・データ・モード・レジスタ	TAUAnRDM	<TAUAn_base> + 264 <sub>H</sub>

表 15-267 TAUAn レジスタの概要 (2/2)

レジスタ名	略号	アドレス
TAUAn チャンネル・リロード・データ制御 CH 選択レジスタ	TAUAnRDS	<TAUAn_base> + 268 <sub>H</sub>
TAUAn チャンネル・リロード・データ制御レジスタ	TAUAnRDC	<TAUAn_base> + 26C <sub>H</sub>
TAUAn チャンネル・リロード・データ・トリガ・レジスタ	TAUAnRDT	<TAUAn_base> + 44 <sub>H</sub>
TAUAn チャンネル・リロード・ステータス・レジスタ	TAUAnRSF	<TAUAn_base> + 48 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ		
TAUAn DMA ウィンドウ・アドレス設定レジスタ 0	TAUAnDAS0	<TAUAn_base> + 270 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 1	TAUAnDAS1	<TAUAn_base> + 274 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 2	TAUAnDAS2	<TAUAn_base> + 278 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 3	TAUAnDAS3	<TAUAn_base> + 27C <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 4	TAUAnDAS4	<TAUAn_base> + 280 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 5	TAUAnDAS5	<TAUAn_base> + 284 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 6	TAUAnDAS6	<TAUAn_base> + 288 <sub>H</sub>
TAUAn DMA ウィンドウ・アドレス設定レジスタ 7	TAUAnDAS7	<TAUAn_base> + 28C <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 0	TAUAnDWR0	<TAUAn_base> + 100 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 1	TAUAnDWR1	<TAUAn_base> + 104 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 2	TAUAnDWR2	<TAUAn_base> + 108 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 3	TAUAnDWR3	<TAUAn_base> + 10C <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 4	TAUAnDWR4	<TAUAn_base> + 110 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 5	TAUAnDWR5	<TAUAn_base> + 114 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 6	TAUAnDWR6	<TAUAn_base> + 118 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 7	TAUAnDWR7	<TAUAn_base> + 11C <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 8	TAUAnDWR8	<TAUAn_base> + 120 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 9	TAUAnDWR9	<TAUAn_base> + 124 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 10	TAUAnDWR10	<TAUAn_base> + 128 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 11	TAUAnDWR11	<TAUAn_base> + 12C <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 12	TAUAnDWR12	<TAUAn_base> + 130 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 13	TAUAnDWR13	<TAUAn_base> + 134 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 14	TAUAnDWR14	<TAUAn_base> + 138 <sub>H</sub>
TAUAn DMA ウィンドウ・レジスタ 15	TAUAnDWR15	<TAUAn_base> + 13C <sub>H</sub>
TAUAn エミュレーション・レジスタ		
TAUAn エミュレーション・レジスタ	TAUAnEMU	<TAUAn_base> + 290 <sub>H</sub>

備考 TAUAn のベース・アドレス <TAUAn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。



## 15.29.2 TAUAn プリスケーラ・レジスタの詳細

## (1) TAUAnTPS - TAUAn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0, CK1, CK2, CK3\_PRE クロックを指定するレジスタです。CK3 は, CK3\_PRE を TAUAnBRS で指定した係数で分周することによって生成されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 240<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnPRS3[3:0]				TAUAnPRS2[3:0]				TAUAnPRS1[3:0]				TAUAnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-268 TAUAnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUAnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUAnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは, CK3 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm= 0) 場合のみ書き換え可能です。</p>	TAUAnPRS3[3:0]	CK3_PRE クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUAnPRS3[3:0]	CK3_PRE クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 15-268 TAUAnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUAnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUAnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTE<sub>m</sub> = 0) 場合のみ書き換え可能です。</p>	TAUAnPRS2[3:0]	CK2 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUAnPRS2[3:0]	CK2 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
7-4	TAUAnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUAnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTE<sub>m</sub> = 0) 場合のみ書き換え可能です。</p>	TAUAnPRS1[3:0]	CK1 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUAnPRS1[3:0]	CK1 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 15-268 TAUAnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUAnPRSO [3:0]	CK0 クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TAUAnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。</p>	TAUAnPRSO[3:0]	CK0 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUAnPRSO[3:0]	CK0 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

**備考** TAUAn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

**(2) TAUAnBRS - TAUAn プリスケーラ・ポー・レート設定レジスタ**

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3\_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3\_PRE 用の PCLK プリスケーラは、TAUAnTPS.TAUAnPRS3[3:0] で指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 244<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

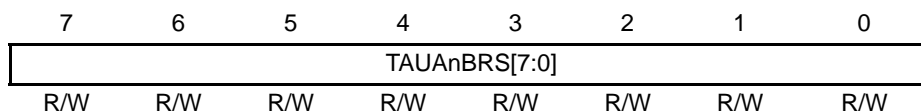


表 15-269 TAUAnBRS レジスタの内容

ビット位置	ビット名	機能																
7-0	TAUAnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">TAUAnBRS[7:0]</th> <th style="width: 50%;">CK3 クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0000 0000<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 1</td> </tr> <tr> <td style="text-align: center;">0000 0001<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 2</td> </tr> <tr> <td style="text-align: center;">0000 0010<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 3</td> </tr> <tr> <td style="text-align: center;">0000 0011<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 4</td> </tr> <tr> <td style="text-align: center;">...</td> <td style="text-align: center;">...</td> </tr> <tr> <td style="text-align: center;">1111 1110<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 255</td> </tr> <tr> <td style="text-align: center;">1111 1111<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 256</td> </tr> </tbody> </table>	TAUAnBRS[7:0]	CK3 クロック	0000 0000 <sub>B</sub>	CK3_PRE / 1	0000 0001 <sub>B</sub>	CK3_PRE / 2	0000 0010 <sub>B</sub>	CK3_PRE / 3	0000 0011 <sub>B</sub>	CK3_PRE / 4	...	...	1111 1110 <sub>B</sub>	CK3_PRE / 255	1111 1111 <sub>B</sub>	CK3_PRE / 256
TAUAnBRS[7:0]	CK3 クロック																	
0000 0000 <sub>B</sub>	CK3_PRE / 1																	
0000 0001 <sub>B</sub>	CK3_PRE / 2																	
0000 0010 <sub>B</sub>	CK3_PRE / 3																	
0000 0011 <sub>B</sub>	CK3_PRE / 4																	
...	...																	
1111 1110 <sub>B</sub>	CK3_PRE / 255																	
1111 1111 <sub>B</sub>	CK3_PRE / 256																	

### 15.29.3 TAUAn 制御レジスタの詳細

#### (1) TAUAnCDRm - TAUAn チャンネル・データ・レジスタ

このレジスタは、TAUAnCMORm.TAUAnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

**アクセス** 16 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

**アドレス**  $\langle \text{TAUAn\_base} \rangle + 0_{\text{H}} + m \times 4_{\text{H}}$

**初期値**  $0000_{\text{H}}$  どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-270 TAUAnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCDR [15:0]	キャプチャ値／コンペア値用データ・レジスタ

## (2) TAUAnCNTm - TAUAn チャネル・カウンタ・レジスタ

チャネル m カウンタ・レジスタです。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <TAUAn\_base> + 80<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> または FFFF<sub>H</sub> 初期値は動作モードによって異なります。表 15-272 「カウント再許可後の TAUAnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15-271 TAUAnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCNT [15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUAnTS.TAUAnTSm, TAUAnTT.TAUAnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUAnTT.TAUAnTTm = 1)

カウント停止後 (TAUAnTE.TAUAnTEm = 0) と再許可後 (TAUAnTS.TAUAnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUAnTS.TAUAnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 15-272 カウント再許可後の TAUAnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUAnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
ジャッジ・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
キャプチャ・モード	アップ・カウント	0000 <sub>H</sub>	停止値	—
イベント・カウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	FFFF <sub>H</sub>
キャプチャ&ワンカウント・モード	アップ・カウント	0000 <sub>H</sub>	停止値	キャプチャ値 + 1 (TAUAnCDRm)
ジャッジ&ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	TAUAnCNTm 値 - 1
アップ/ダウン・カウント・モード	アップ/ダウン・カウント	FFFF <sub>H</sub>	停止値	—
パルス・ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	0000 <sub>H</sub>
カウント・キャプチャ・モード	アップ・カウント	0000 <sub>H</sub>	停止値	—
ゲート・カウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	停止値
キャプチャ&ゲート・カウント・モード	アップ・カウント	0000 <sub>H</sub>	停止値	停止値

**備考** カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUAnCMORm.TAUAnMD[4:1]レジスタで変更します。

(3) TAUAnCMORm - TAUAn チャネル・モード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

**アクセス** 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみライト可能です。

**アドレス** <TAUAn\_base> + 200<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKS [1:0]	TAUAnCCS [1:0]	TAUAn MAS	TAUAnSTS[2:0]		TAUAnCOS [1:0]		-		TAUAnMD[4:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 15-273 TAUAnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能															
15,14	TAUAnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUAnTTINm 入力エッジ検出回路で使用します。 TAUAnCMORm.TAUAnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUAnCKS 1</th> <th>TAUAnCKS 0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUAnCKS 1	TAUAnCKS 0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUAnCKS 1	TAUAnCKS 0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUAnCCS [1:0]	<p>TAUAnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUAnCCS 1</th> <th>TAUAnCCS 0</th> <th>カウント・クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUAnTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタ・チャネルの INTTAUAnIm 信号</td> </tr> </tbody> </table>	TAUAnCCS 1	TAUAnCCS 0	カウント・クロック選択	0	0	TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック	0	1	TAUAnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタ・チャネルの INTTAUAnIm 信号
TAUAnCCS 1	TAUAnCCS 0	カウント・クロック選択															
0	0	TAUAnCMORm.TAUAnCKS[1:0] で指定した動作クロック															
0	1	TAUAnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタ・チャネルの INTTAUAnIm 信号															
11	TAUAnMAS	<p>チャネル連動動作時に、そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル (CHm_even) に対してのみ有効です。奇数チャネル (CHm_odd) は、0 に固定されています。</p>															



表 15-273 TAUAnCMORm レジスタの内容 (2/5)

ビット位置	ビット名	機能			
10-8	TAUAnSTS [2:0]	外部スタート・トリガを選択します。			
		<b>TAUA nSTS 2</b>	<b>TAUA nSTS 1</b>	<b>TAUA nSTS0</b>	<b>機能説明</b>
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUAnTTINm 入力信号の有効エッジ。有効エッジは TAUAnCMURm.TAUAnTIS[1:0] で指定
		0	1	0	TAUAnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタ・チャンネルの INT
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT
		1	1	0	TAUAnTTOUTm 生成ユニットのデッド・タイム出力信号
		1	1	1	マスタ・チャンネルのアップ/ダウン出力トリガ信号

表 15-273 TAUAnCMORm レジスタの内容 (3/5)

ビット位置	ビット名	機能			
7, 6	TAUAnCOS [1:0]	チャンネル m のキャプチャ・レジスタ TAUAnCDRm とオーバフロー・フラグ TAUAnCSRm.TAUAnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUAnCOS 1	TAUAnCOS 0	TAUAnCDRm	TAUAnCSRm.TAUAnOVF
		0	0	TAUAnTTINm 入力有効エッジを検出すると更新	TAUAnTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUAnCSRm.TAUAnOVF をセット</li> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUAnCSR.TAUAnOVF をクリア</li> </ul>
		0	1		カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア
		1	0	TAUAnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> <li>TAUAnTTINm 入力有効エッジ検出：カウンタ値が TAUAnCDRm に書き込まれる</li> <li>オーバフロー発生：FFFF<sub>H</sub> が TAUAnCDRm にロードされる。次の TAUAnTTINm 入力有効エッジ検出は無視される。</li> </ul>	カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア

表 15-273 TAUAnCMORm レジスタの内容 (4/5)

ビット位置	ビット名	機能					
4-0	TAUAnMD [4:0]	動作モードを指定します。					
		TAUAnMD4	TAUAnMD3	TAUAnMD2	TAUAnMD1	TAUAnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	ジャッジ・モード
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	0	イベント・カウント・モード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	ジャッジ&ワンカウント・モード
		1	0	0	0	0	設定禁止
		1	0	0	1	0	アップ/ダウン・カウント・モード
		1	0	1	0	1/0	パルス・ワンカウント・モード
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード

モード	TAUAnMD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUAnIm 信号を出力するかどうかを指定します。 0: INTTAUAnIm を出力しない 1: INTTAUAnIm を出力する
イベント・カウント・モード アップ/ダウン・カウント・モード	このビットは0に設定する必要があります。
ワンカウント・モード ゲート・カウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可 カウント・スタート時、INTTAUAnIm と TAUAnTTOUTm は出力されません。
パルス・ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可 カウント・スタート時、INTTAUAnIm と TAUAnTTOUTm は出力されます。

表 15-273 TAUAnCMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能
	<b>モード</b>	<b>TAUAnMD0 ビットの役割</b>
	キャプチャ&ワン カウント・モード キャプチャ&ゲート・ カウント・モード	このビットは0に設定する必要があります。
	判定モード 判定&ワンカウント・ モード	INTTAUAnIm の出力タイミングを指定します。 0 : TAUAnCNTm ≤ TAUAnCDRm 時 1 : TAUAnCNTm > TAUAnCDRm 時

## (4) TAUAnCMURm - TAUAn チャネル・モード・ユーザ・レジスタ

このレジスタは、TAUAnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + C0<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUAnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 15-274 TAUAnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUAnTIS [1:0]	TAUAnTTINm 入力信号の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>TAUAnTI S1</th> <th>TAUAnTI S0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>TAUAnTTINm 入力信号のエッジ検出は、TAUAnCMORm.TAUAnCKS[1:0] で選択した動作クロックに基づいて行われます。</li> </ul>	TAUAnTI S1	TAUAnTI S0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUAnTI S1	TAUAnTI S0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															

**(5) TAUAnCSRm - TAUAn チャンネル・ステータス・レジスタ**

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <TAUAn\_base> + 140<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUAn CSF	TAUAn OVF
R	R	R	R	R	R	R	R

表 15-275 TAUAnCSRm レジスタの内容

ビット位置	ビット名	機能
1	TAUAn CSF	カウント方向を示します。 0: アップ・カウント 1: ダウン・カウント このビットのリード値は、次のモード時にのみ有効です。 • アップ/ダウン・カウント・モード
0	TAUAn OVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ&ワンカウント・モード • カウント・キャプチャ・モード • キャプチャ&ゲート・カウント・モード  このビットの機能は、制御ビット TAUAnCMORm.TAUAnCOS[1:0] の設定により異なります。

**(6) TAUAnCSCm - TAUAn チャンネル・ステータス・クリア・レジスタ**

このレジスタは、チャンネル m のオーバーフロー・フラグ TAUAnCSRm.TAUAnOVF をクリアするためのトリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUAn\_base> + 180<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	0	TAUAn CLOV
R	R	R	R	R	R	R	W

表 15-276 TAUAnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUAnCLOV	0: 機能なし 1: オーバーフロー・フラグ TAUAnCSRm.TAUAnOVF をクリア

**(7) TAUAnTS - TAUAn チャンネル・スタート・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を許可します。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUAn\_base> + 1C4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTS 15	TAUA nTS 14	TAUA nTS 13	TAUA nTS 12	TAUA nTS 11	TAUA nTS 10	TAUA nTS 09	TAUA nTS 08	TAUA nTS 07	TAUA nTS 06	TAUA nTS 05	TAUA nTS 04	TAUA nTS 03	TAUA nTS 02	TAUA nTS 01	TAUA nTS 00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 15-277 TAUAnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUAnTE.TAUAnTEm = 1 を設定。 TAUAnTE.TAUAnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。 カウンタが開始されるかどうかは、選択されている動作モードによって異なります。

**(8) TAUAnTE - TAUAn チャンネル許可ステータス・レジスタ**

このレジスタは、カウンタ動作の許可／禁止を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <TAUAn\_base> + 1C0<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE	TAUA nTE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15-278 TAUAnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTE <sub>m</sub>	チャンネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUAnTSST <sub>m</sub> (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUAnTS.TAUAnTS <sub>m</sub> を 1 にセットすると、このビットが 1 に設定されます。 TAUAnTT.TAUAnTT <sub>m</sub> を 1 にセットすると、このビットが 0 にリセットされます。

**(9) TAUAnTT - TAUAn チャンネル・ストップ・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を停止します。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUAn\_base> + 1C8<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT	TAUA nTT
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 15-279 TAUAnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTT <sub>m</sub>	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUAnTE.TAUAnTE <sub>m</sub> をリセットします。 TAUAnCNT <sub>m</sub> , TAUAnTO.TAUAnTO <sub>m</sub> , TAUAnTTOUT <sub>m</sub> は、カウント停止前の値を保持します。



### 15.29.4 TAUAn 出力レジスタの詳細

#### (1) TAUAnTOE - TAUAn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

**アクセス** 16ビット単位でリード／ライト可能です。

**アドレス** <TAUAn\_base> + 5C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOE 15	TAUA nTOE 14	TAUA nTOE 13	TAUA nTOE 12	TAUA nTOE 11	TAUA nTOE 10	TAUA nTOE 09	TAUA nTOE 08	TAUA nTOE 07	TAUA nTOE 06	TAUA nTOE 05	TAUA nTOE 04	TAUA nTOE 03	TAUA nTOE 02	TAUA nTOE 01	TAUA nTOE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-280 TAUAnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOEm	タイマ単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止 1：タイマ単体出力機能を許可

#### (2) TAUAnTOM - TAUAn チャネル出力モード・レジスタ

このレジスタは、各チャネルの出力モードを指定します。

**アクセス** 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 248<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOM 15	TAUA nTOM 14	TAUA nTOM 13	TAUA nTOM 12	TAUA nTOM 11	TAUA nTOM 10	TAUA nTOM 09	TAUA nTOM 08	TAUA nTOM 07	TAUA nTOM 06	TAUA nTOM 05	TAUA nTOM 04	TAUA nTOM 03	TAUA nTOM 02	TAUA nTOM 01	TAUA nTOM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-281 TAUAnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作 出力モードは 15.9 「チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

(3) TAUA<sub>n</sub>TOC - TAUA<sub>n</sub> チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUA<sub>n</sub>TOM<sub>m</sub> とともに各チャンネルの出力モードを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUA<sub>n</sub>TE.TAUA<sub>n</sub>TE<sub>m</sub> = 0) のときのみ、ライト可能です。

**アドレス** <TAUA<sub>n</sub>\_base> + 24C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA <sub>n</sub> TOC <sub>15</sub>	TAUA <sub>n</sub> TOC <sub>14</sub>	TAUA <sub>n</sub> TOC <sub>13</sub>	TAUA <sub>n</sub> TOC <sub>12</sub>	TAUA <sub>n</sub> TOC <sub>11</sub>	TAUA <sub>n</sub> TOC <sub>10</sub>	TAUA <sub>n</sub> TOC <sub>09</sub>	TAUA <sub>n</sub> TOC <sub>08</sub>	TAUA <sub>n</sub> TOC <sub>07</sub>	TAUA <sub>n</sub> TOC <sub>06</sub>	TAUA <sub>n</sub> TOC <sub>05</sub>	TAUA <sub>n</sub> TOC <sub>04</sub>	TAUA <sub>n</sub> TOC <sub>03</sub>	TAUA <sub>n</sub> TOC <sub>02</sub>	TAUA <sub>n</sub> TOC <sub>01</sub>	TAUA <sub>n</sub> TOC <sub>00</sub>
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-282 TAUA<sub>n</sub>TOC レジスタの内容

ビット位置	ビット名	機能													
15-0	TAUA <sub>n</sub> TOC <sub>m</sub>	出力モードを指定します。 0: 動作モード1 1: 動作モード2 次の表にあるように、出力モードは TAUA <sub>n</sub> TOM.TAUA <sub>n</sub> TOM <sub>m</sub> の設定によっても異なります。													
		<table border="1"> <thead> <tr> <th>TOM<sub>m</sub></th> <th>TOC<sub>m</sub></th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>トグル・モード: INTTAUA<sub>n</sub>Im 発生時にトグル動作が行われます。</td> </tr> <tr> <td>1</td> <td>セット/リセット・モード: カウント開始時の INTTAUA<sub>n</sub>Im 発生時にセットされ、TAUA<sub>n</sub>CNT<sub>m</sub>, TAUA<sub>n</sub>CDR<sub>m</sub> の一致の検出による INTTAUA<sub>n</sub>Im 発生時にリセットされます。</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA<sub>n</sub>Im が発生するとセット、アップ・カウント状態で INTTAUA<sub>n</sub>Im が発生するとリセットされます。</td> </tr> </tbody> </table>	TOM <sub>m</sub>	TOC <sub>m</sub>	機能説明	0	0	トグル・モード: INTTAUA <sub>n</sub> Im 発生時にトグル動作が行われます。	1	セット/リセット・モード: カウント開始時の INTTAUA <sub>n</sub> Im 発生時にセットされ、TAUA <sub>n</sub> CNT <sub>m</sub> , TAUA <sub>n</sub> CDR <sub>m</sub> の一致の検出による INTTAUA <sub>n</sub> Im 発生時にリセットされます。	1	0	チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。	1	チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA <sub>n</sub> Im が発生するとセット、アップ・カウント状態で INTTAUA <sub>n</sub> Im が発生するとリセットされます。
TOM <sub>m</sub>	TOC <sub>m</sub>	機能説明													
0	0	トグル・モード: INTTAUA <sub>n</sub> Im 発生時にトグル動作が行われます。													
	1	セット/リセット・モード: カウント開始時の INTTAUA <sub>n</sub> Im 発生時にセットされ、TAUA <sub>n</sub> CNT <sub>m</sub> , TAUA <sub>n</sub> CDR <sub>m</sub> の一致の検出による INTTAUA <sub>n</sub> Im 発生時にリセットされます。													
1	0	チャンネル連動動作モード1: マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。													
	1	チャンネル連動動作モード2: ダウン・カウント状態で INTTAUA <sub>n</sub> Im が発生するとセット、アップ・カウント状態で INTTAUA <sub>n</sub> Im が発生するとリセットされます。													

**(4) TAUAnTDE - TAUAn チャンネル・デッド・タイム出力許可レジスタ**

このレジスタは、全チャンネルのデッド・タイム動作を許可/禁止します。

**アクセス** 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTE<sub>m</sub> = 0) のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 250<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDE 15	TAUA nTDE 14	TAUA nTDE 13	TAUA nTDE 12	TAUA nTDE 11	TAUA nTDE 10	TAUA nTDE 09	TAUA nTDE 08	TAUA nTDE 07	TAUA nTDE 06	TAUA nTDE 05	TAUA nTDE 04	TAUA nTDE 03	TAUA nTDE 02	TAUA nTDE 01	TAUA nTDE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-283 TAUAnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDE <sub>m</sub>	チャンネル m のデッド・タイム制御動作を許可/禁止します。 0: デッド・タイム動作禁止 1: デッド・タイム動作許可 対になった偶数/奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUAnTOE.TAUAnTOE <sub>m</sub> , TAUAnTOM.TAUAnTOM <sub>m</sub> , TAUAnTOC.TAUAnTOC <sub>m</sub> = 1

**(5) TAUAnTDM - TAUAn チャンネル・デッド・タイム出力モード・レジスタ**

このレジスタは、デッド・タイム出力中にデッド・タイムを付加するタイミングを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTE<sub>m</sub> = 0) のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 254<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDM 15	TAUA nTDM 14	TAUA nTDM 13	TAUA nTDM 12	TAUA nTDM 11	TAUA nTDM 10	TAUA nTDM 09	TAUA nTDM 08	TAUA nTDM 07	TAUA nTDM 06	TAUA nTDM 05	TAUA nTDM 04	TAUA nTDM 03	TAUA nTDM 02	TAUA nTDM 01	TAUA nTDM 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-284 TAUAnTDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDM <sub>m</sub>	デッド・タイム出力中にデッド・タイムを付加するタイミングを指定します。 0: 上位偶数チャンネルのデューティ・サイクル検出時 (デューティ・デッド・タイム出力) 1: 下位奇数チャンネルの TIN 入力エッジ検出時 (1相デッド・タイム出力) 対になった偶数/奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUAnTOE.TAUAnTOE <sub>m</sub> , TAUAnTOM.TAUAnTOM <sub>m</sub> , TAUAnTOC.TAUAnTOC <sub>m</sub> , TAUAnTDE.TAUAnTDE <sub>m</sub> = 1

**(6) TAUAnTDL - TAUAn チャンネル・デッド・タイム出力レベル・レジスタ**

このレジスタは、デッド・タイムを付加する位相を選択します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 54<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL	TAUAnTDL
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-285 TAUAnTDL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDLm	デッド・タイムを付加する位相を選択します。 0: 正相 1: 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUAnTOE.TAUAnTOEm, TAUAnTOM.TAUAnTOMm, TAUAnTOC.TAUAnTOCm, TAUAnTDE.TAUAnTDEm = 1

**(7) TAUAnTRE - TAUAn チャンネル・リアルタイム出力許可レジスタ**

このレジスタは、リアルタイム出力を許可/禁止します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 258<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE	TAUAnTRE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-286 TAUAnTRE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTREm	チャンネル m のリアルタイム出力を許可/禁止します。 0: リアルタイム出力禁止 1: リアルタイム出力許可 これらのビット設定は TAUAnTOE.TAUAnTOEm = 1 時のみ適用されます。 TAUAnTRE.TAUAnTREm = 0 の場合、TAUAnTTOUTm はリアルタイム出力の影響を受けません。 TAUAnTRE.TAUAnTREm = 1 の場合、TAUAnTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUAnTRO.TAUAnTROm の値を出力します。

**(8) TAUAnTRC - TAUAn チャンネル・リアルタイム出力制御レジスタ**

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE<sub>m</sub> = 0 のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 25C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTRC 15	TAUA nTRC 14	TAUA nTRC 13	TAUA nTRC 12	TAUA nTRC 11	TAUA nTRC 10	TAUA nTRC 09	TAUA nTRC 08	TAUA nTRC 07	TAUA nTRC 06	TAUA nTRC 05	TAUA nTRC 04	TAUA nTRC 03	TAUA nTRC 02	TAUA nTRC 01	TAUA nTRC 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-287 TAUAnTRC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTRC <sub>m</sub>	チャンネル m のリアルタイム出力トリガを生成するチャンネルを指定します。 0 : このビットが 1 に設定されている次の上位チャンネル 1 : チャンネル m これらのビット設定は TAUAnTRE.TAUAnTRE <sub>m</sub> = 1 時のみ適用されます。

**(9) TAUAnTRO - TAUAn チャンネル・リアルタイム出力レジスタ**

このレジスタには、TAUAnTTOUT<sub>m</sub> に出力する値を設定します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 04C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAn TRO 15	TAUAn TRO 14	TAUAn TRO 13	TAUAn TRO 12	TAUAn TRO 11	TAUAn TRO 10	TAUAn TRO 09	TAUAn TRO 08	TAUAn TRO 07	TAUAn TRO 06	TAUAn TRO 05	TAUAn TRO 04	TAUAn TRO 03	TAUAn TRO 02	TAUAn TRO 01	TAUAn TRO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-288 TAUAnTRO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTRO <sub>m</sub>	TAUAnTTOUT <sub>m</sub> に出力する値を設定します。 0 : Low 1 : High TAUAnTRE.TAUAnTRE = 0 のとき、リアルタイム・トリガが発生しても TAUAnTRO <sub>m</sub> の値は TAUAnTTOUT <sub>m</sub> には出力されません。

**(10) TAUA<sub>n</sub>TME - TAUA<sub>n</sub> チャンネル変調出力許可レジスタ**

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可／禁止します。

**アクセス** 16ビット単位でリード／ライト可能です。

**アドレス** <TAUA<sub>n</sub>\_base> + 050<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTME 15	TAUA nTME 14	TAUA nTME 13	TAUA nTME 12	TAUA nTME 11	TAUA nTME 10	TAUA nTME 09	TAUA nTME 08	TAUA nTME 07	TAUA nTME 06	TAUA nTME 05	TAUA nTME 04	TAUA nTME 03	TAUA nTME 02	TAUA nTME 01	TAUA nTME 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-289 TAUA<sub>n</sub>TME レジスタの内容

ビット位置	ビット名	機能
15-0	TAUA <sub>n</sub> TME <sub>m</sub>	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可／禁止します。 0：変調禁止 1：変調許可 これらのビット設定は TAUA <sub>n</sub> TOE.TAUA <sub>n</sub> TOE <sub>m</sub> , TAUA <sub>n</sub> TRE.TAUA <sub>n</sub> TRE <sub>m</sub> = 1 時にのみ適用されます。

### 15.29.5 TAUAn チャネル出力レベル・レジスタの詳細

#### (1) TAUAnTO - TAUAn チャネル出力レジスタ

このレジスタは、TAUAnTTOUTm レベルを指定およびリードします。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 58<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTO 15	TAUA nTO 14	TAUA nTO 13	TAUA nTO 12	TAUA nTO 11	TAUA nTO 10	TAUA nTO 09	TAUA nTO 08	TAUA nTO 07	TAUA nTO 06	TAUA nTO 05	TAUA nTO 04	TAUA nTO 03	TAUA nTO 02	TAUA nTO 01	TAUA nTO 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-290 TAUAnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOM	このレジスタは、TAUAnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャンネル単体出力機能が禁止されている (TAUAnTOEm = 0) TAUAnTOM ビットのみライト可能です。

#### (2) TAUAnTOL - TAUAn チャネル出力レベル・レジスタ

このレジスタは、チャンネル出力ビット (TAUAnTO.TAUAnTOM) の出力論理を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 040<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOL 15	TAUA nTOL 14	TAUA nTOL 13	TAUA nTOL 12	TAUA nTOL 11	TAUA nTOL 10	TAUA nTOL 09	TAUA nTOL 08	TAUA nTOL 07	TAUA nTOL 06	TAUA nTOL 05	TAUA nTOL 04	TAUA nTOL 03	TAUAn TOL 02	TAUAn TOL 01	TAUAn TOL 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-291 TAUAnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOLm	チャンネル m 出力ビット (TAUAnTO.TAUAnTOM) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

### 15.29.6 TAUAn 一斉書き換えレジスタの詳細

#### (1) TAUAnRDE - TAUAn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUAnCDRm/TAUAnTOLm の一斉書き換えを許可/禁止します。

**アクセス** 16 ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 260<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE	TAUA nRDE
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-292 TAUAnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

#### (2) TAUAnRDS - TAUAn チャンネル・リロード・データ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

**アクセス** 16 ビット/1 ビット単位でリード/ライト可能です。  
TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です

**アドレス** <TAUAn\_base> + 268<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS	TAUA nRDS
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-293 TAUAnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0：マスタ・チャンネル 1：別の上位チャンネル



**(3) TAUAnRDM - TAUAn チャンネル・リロード・データ・モード・レジスタ**

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE<sub>m</sub> = 0 のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 264<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM	TAUA nRDM
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-294 TAUAnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDM <sub>m</sub>	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUAnRDE.TAUAnRDE <sub>m</sub> = 1, TAUAnRDS.TAUAnRDS <sub>m</sub> = 0 時のみ適用されます。

**(4) TAUAnRDC - TAUAn チャンネル・リロード・データ制御レジスタ**

このレジスタは、一斉書き換えをトリガする INTTAUAnIm 信号を生成するチャンネルを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE<sub>m</sub> = 0 のときのみ、ライト可能です。

**アドレス** <TAUAn\_base> + 26C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC	TAUA nRDC
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-295 TAUAnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDC <sub>m</sub>	チャンネルが一斉書き換えトリガ信号を生成するかどうかを指定します。 0: 一斉書き換えトリガ・チャンネルとならない。 1: 一斉書き換えトリガ・チャンネルとして動作する。 これらのビット設定は TAUAnRDS.TAUAnRDS <sub>m</sub> = 1 時のみ適用されます。

**(5) TAUAnRDT - TAUAn チャネル・リロード・データ・トリガ・レジスタ**

一斉書き換え保留状態をトリガするレジスタです。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUAn\_base> + 044<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT	TAUA nRDT
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 15-296 TAUAnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし 1: 一斉書き換え保留フラグ (TAUAnRSFm) を 1 とし、一斉書き換えトリガ待ち状態となります。

**(6) TAUAnRSF - TAUAn チャネル・リロード・ステータス・レジスタ**

このフラグ・レジスタは、一斉書き換えのステータスを示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <TAUAn\_base> + 048<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF	TAUA nRSF
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15-297 TAUAnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態 (TAUAnRDTm = 1) になっていることを示します。

## 15.29.7 TAUAn DMA ウィンドウ・レジスタ

## (1) TAUAnDASi - TAUAn DMA ウィンドウ・アドレス設定レジスタ i (i = 0-7)

このレジスタは、DMA 用ウィンドウ・レジスタのアドレスを指定します。8 個の TAUAnDASi レジスタが 16 個の TAUAnDWRm レジスタを制御します。つまり、各 TAUAnDASi レジスタが、2 個の TAUAnDWRm レジスタを制御します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 0270<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nDAS odd7	TAUA nDAS odd6	TAUA nDAS odd5	TAUA nDAS odd4	TAUA nDAS odd3	TAUA nDAS odd2	TAUA nDAS odd1	TAUA nDAS odd0	TAUA nDAS even7	TAUA nDAS even6	TAUA nDAS even5	TAUA nDAS even4	TAUA nDAS even3	TAUA nDAS even2	TAUA nDAS even1	TAUA nDAS even0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

odd = 01, 03, 05, 07, 09, 11, 13, 15

even = 00, 02, 04, 06, 08, 10, 12, 14

TAUAnDAS 制御レジスタと TAUAnDWRm レジスタの関係を次の表に示します。

表 15-298 TAUAnDAS レジスタと TAUAnDWRm レジスタの関係

制御レジスタ	制御ビット	制御対象レジスタ TAUAnDWRm
TAUAnDAS0	ビット 7-0	TAUAnDWR0
TAUAnDAS0	ビット 15-8	TAUAnDWR1
TAUAnDAS1	ビット 7-0	TAUAnDWR2
TAUAnDAS1	ビット 15-8	TAUAnDWR3
TAUAnDAS2	ビット 7-0	TAUAnDWR4
TAUAnDAS2	ビット 15-8	TAUAnDWR5
TAUAnDAS3	ビット 7-0	TAUAnDWR6
TAUAnDAS3	ビット 15-8	TAUAnDWR7
TAUAnDAS4	ビット 7-0	TAUAnDWR8
TAUAnDAS4	ビット 15-8	TAUAnDWR9
TAUAnDAS5	ビット 7-0	TAUAnDWR10
TAUAnDAS5	ビット 15-8	TAUAnDWR11
TAUAnDAS6	ビット 7-0	TAUAnDWR12
TAUAnDAS6	ビット 15-8	TAUAnDWR13
TAUAnDAS7	ビット 7-0	TAUAnDWR14
TAUAnDAS7	ビット 15-8	TAUAnDWR15

表 15-299 TAUAnDASm レジスタの内容

ビット位置	ビット名	機能
15-8	TAUAnDA Soda[7:0]	00 <sub>H</sub> -3C <sub>H</sub> : CDR0-CDR15 レジスタを指定 40 <sub>H</sub> : TAUAnTOL レジスタを指定 44 <sub>H</sub> : TAUAnRDT レジスタを指定 48 <sub>H</sub> : TAUAnRSF レジスタを指定 4C <sub>H</sub> : TAUAnTRO レジスタを指定 50 <sub>H</sub> : TAUAnTME レジスタを指定 54 <sub>H</sub> : TAUAnTDL レジスタを指定 58 <sub>H</sub> : TAUAnTO レジスタを指定 5C <sub>H</sub> : TAUAnTOE レジスタを指定 60 <sub>H</sub> -7C <sub>H</sub> : 設定禁止 80 <sub>H</sub> -BC <sub>H</sub> : CNT0-CNT15 レジスタを指定 C0 <sub>H</sub> -FC <sub>H</sub> : 設定禁止
7-0	TAUAnDA Seven[7:0]	00 <sub>H</sub> -3C <sub>H</sub> : CDR0-CDR15 レジスタを指定 40 <sub>H</sub> : TAUAnTOL レジスタを指定 44 <sub>H</sub> : TAUAnRDT レジスタを指定 48 <sub>H</sub> : TAUAnRSF レジスタを指定 4C <sub>H</sub> : TAUAnTRO レジスタを指定 50 <sub>H</sub> : TAUAnTME レジスタを指定 54 <sub>H</sub> : TAUAnTDL レジスタを指定 58 <sub>H</sub> : TAUAnTO レジスタを指定 5C <sub>H</sub> : TAUAnTOE レジスタを指定 60 <sub>H</sub> -7C <sub>H</sub> : 設定禁止 80 <sub>H</sub> -BC <sub>H</sub> : CNT0-CNT15 レジスタを指定 C0 <sub>H</sub> -FC <sub>H</sub> : 設定禁止

TAUAnDASm の [9:8], [1:0] は必ず '0' 固定にしてください。

(2) TAUAnDWRm - TAUAn DMA ウィンドウ・レジスタ m

DMA 用のレジスタ (m = 0-15) です。TAUAnDWRm は、対応する TAUAnDASi (i = 0-7) レジスタで指定したアドレスをミラーします ((1) 「TAUAnDASi - TAUAn DMA ウィンドウ・アドレス設定レジスタ i (i = 0-7)」を参照)。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUAn\_base> + 0100<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnDASi (i = 0-7) で指定された DMA ウィンドウ・アドレス															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 15.29.8 TAUAn エミュレーション・レジスタ

#### (1) TAUAnEMU - TAUAn エミュレーション・レジスタ

このレジスタは SVSTOP による動作を制御します。

**アクセス** 8 ビット単位でリード/ライト可能です。

カウンタ停止中 (TAUAnTE.TAUAnTEm=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <TAUAn\_base> + 290<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TAUAn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15-300 TAUAnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUAn SVSDIS	(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 第16章 タイマ・アレイ・ユニットB (TAUB)

この章では、タイマ・アレイ・ユニットB (TAUB) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、TAUB 搭載製品に共通の特徴について説明します。

### 16.1 V850E2/Fx4-H の TAUB の特長

**ユニット** この製品は次のユニット数の TAUB を搭載しています。

表 16-1 TAUB のユニット数

TAUB	
ユニット数	2
名称	TAUB1, TAUB2

**n の意味** この章では、TAUB の各ユニットを「n」で識別します (n = 1, 2)。たとえば、TAUBn チャンネル出力モード・レジスタ (TAUBnTOM) のように記述しています。

**m の意味** TAUB には 16 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-15)、特定のチャンネルを CHm のように記述しています。  
偶数チャンネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm\_even と記述します。  
奇数チャンネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm\_odd と記述します。

**レジスタ・アドレス** TAUBn レジスタのアドレスは、それぞれのベース・アドレス <TAUBn\_base> からのオフセットで表されます。  
各 TAUBn のレジスタ・ベース・アドレス <TAUBn\_base> を次の表に示します。

**クロック供給** TAUB には次の 1 つのクロック入力があります。

表 16-2 TAUBn クロック供給

TAUBn	クロック	接続先
TAUB1	PCLK	クロック発生回路 CKSCLK_006
TAUB2	PCLK	クロック発生回路 CKSCLK_111

**割り込みと DMA** TAUB は次の割り込み要求と DMA 要求を発生させることができます。

表 16-3 TAUBn 割り込みと DMA の要求 (1/2)

TAUBn 信号	機能	接続先
<b>TAUB1:</b>		
INTTAUB110 <sup>a</sup>	チャンネル 0 割り込み	割り込みコントローラ INTTAUB110 DMA コントローラ・トリガ 20 DTS コントローラ・トリガ 3
INTTAUB111 <sup>a</sup>	チャンネル 1 割り込み	割り込みコントローラ INTTAUB111 DMA コントローラ・トリガ 21 DTS コントローラ・トリガ 4
INTTAUB112 <sup>a</sup> to INTTAUB113 <sup>a</sup>	チャンネル 2 to 3 割り込み	割り込みコントローラ INTTAUB112 to INTTAUB113
INTTAUB114 <sup>a</sup>	チャンネル 4 割り込み	割り込みコントローラ INTTAUB114 DMA コントローラ・トリガ 22
INTTAUB115 <sup>a</sup>	チャンネル 5 割り込み	割り込みコントローラ INTTAUB115 DMA コントローラ・トリガ 23
INTTAUB116 <sup>a</sup> to INTTAUB117 <sup>a</sup>	チャンネル 6 to 7 割り込み	割り込みコントローラ INTTAUB116 to INTTAUB117
INTTAUB118 <sup>a</sup>	チャンネル 8 割り込み	割り込みコントローラ INTTAUB118 DMA コントローラ・トリガ 24 DTS コントローラ・トリガ 46
INTTAUB119 <sup>a</sup>	チャンネル 9 割り込み	割り込みコントローラ INTTAUB119 DMA コントローラ・トリガ 25 DTS コントローラ・トリガ 47
INTTAUB1110 <sup>a</sup> to INTTAUB1111 <sup>a</sup>	チャンネル 10 to 11 割り込み	割り込みコントローラ INTTAUB1110 to INTTAUB1111
INTTAUB1112 <sup>a</sup>	チャンネル 12 割り込み	割り込みコントローラ INTTAUB1112 DMA コントローラ・トリガ 26 DTS コントローラ・トリガ 48
INTTAUB1113 <sup>a</sup>	チャンネル 13 割り込み	割り込みコントローラ INTTAUB1113 DMA コントローラ・トリガ 27 DTS コントローラ・トリガ 49
INTTAUB1114 <sup>a</sup> to INTTAUB1115 <sup>a</sup>	チャンネル 14 to 15 割り込み	割り込みコントローラ INTTAUB1114 to INTTAUB1115
<b>TAUB2:</b>		
INTTAUB210	チャンネル 0 割り込み	割り込みコントローラ INTTAUB210 DMA コントローラ・トリガ 28 DTS コントローラ・トリガ 5
INTTAUB211	チャンネル 1 割り込み	割り込みコントローラ INTTAUB211 DMA コントローラ・トリガ 29 DTS コントローラ・トリガ 6

表 16-3 TAUBn 割り込みと DMA の要求 (2/2)

TAUBn 信号	機能	接続先
INTTAUB2I2 to INTTAUB2I3	チャンネル 2 to 3 割り込み	割り込みコントローラ INTTAUB2I2 to INTTAUB2I3
INTTAUB2I4	チャンネル 4 割り込み	割り込みコントローラ INTTAUB2I4 DMA コントローラ・トリガ 30 DTS コントローラ・トリガ 50
INTTAUB2I5	チャンネル 5 割り込み	割り込みコントローラ INTTAUB2I5 DMA コントローラ・トリガ 31 DTS コントローラ・トリガ 51
INTTAUB2I6 to INTTAUB2I7	チャンネル 6 to 7 割り込み	割り込みコントローラ INTTAUB2I6 to INTTAUB2I7
INTTAUB2I8	チャンネル 8 割り込み	割り込みコントローラ INTTAUB2I8 DMA コントローラ・トリガ 32 DTS コントローラ・トリガ 52
INTTAUB2I9	チャンネル 9 割り込み	割り込みコントローラ INTTAUB2I9 DMA コントローラ・トリガ 33 DTS コントローラ・トリガ 53
INTTAUB2I10 to INTTAUB2I11	チャンネル 10 to 11 割り込み	割り込みコントローラ INTTAUB2I10 to INTTAUB2I11
INTTAUB2I12	チャンネル 12 割り込み	割り込みコントローラ INTTAUB2I12 DMA コントローラ・トリガ 34 DTS コントローラ・トリガ 54
INTTAUB2I13	チャンネル 13 割り込み	割り込みコントローラ INTTAUB2I13 DMA コントローラ・トリガ 35 DTS コントローラ・トリガ 55
INTTAUB2I14 to INTTAUB2I15 <sup>a)</sup>	チャンネル 14 to 15 割り込み	割り込みコントローラ INTTAUB2I14 to INTTAUB2I15

a) A/D コンバータ起動トリガとしても使用できます。

**TAUB H/W リセット** TAUB と TAUB を構成するレジスタは次のリセット信号で初期化されます。

表 16-4 TAUBn リセット信号

TAUB 信号	リセット信号
TAUBn	リセット・コントローラ SYSRES



**入出力信号** TAUBの入出力信号を次の表に示します。

表 16-5 TAUBn 入出力信号

TAUB 信号	機能	接続先
TAUBnTTIN0	チャンネル 0 入力	接続なし
TAUBnTTIN1- TAUBnTTIN3	チャンネル 1-3 入力	ポート TAUBn11-TAUBn13
TAUBnTTIN4	チャンネル 4 入力	接続なし
TAUBnTTIN5	チャンネル 5 入力	ポート TAUBn15
TAUBnTTIN6	チャンネル 6 入力	接続なし
TAUBnTTIN7	チャンネル 7 入力	ポート TAUBn17
TAUBnTTIN8	チャンネル 8 入力	接続なし
TAUBnTTIN9	チャンネル 9 入力	ポート TAUBn19
TAUBnTTIN10	チャンネル 10 入力	接続なし
TAUBnTTIN11	チャンネル 11 入力	ポート TAUBn11
TAUBnTTIN12	チャンネル 12 入力	接続なし
TAUBnTTIN13- TAUBnTTIN15	チャンネル 13-15 入力	ポート TAUBn113-TAUBn115
TAUBnTTOUT0	チャンネル 0 出力	接続なし
TAUBnTTOUT1- TAUBnTTOUT3	チャンネル 1-3 出力	ポート TAUBnO1-TAUBnO3
TAUBnTTOUT4	チャンネル 4 出力	接続なし
TAUBnTTOUT5- TAUBnTTOUT7	チャンネル 5-7 出力	ポート TAUBnO5-TAUBnO7
TAUBnTTOUT8	チャンネル 8 出力	接続なし
TAUBnTTOUT9- TAUBnTTOUT11	チャンネル 9-11 出力	ポート TAUBnO9-TAUBnO11
TAUBnTTOUT12	チャンネル 12 出力	接続なし
TAUBnTTOUT13- TAUBnTTOUT15	チャンネル 13-15 出力	ポート TAUBnO13-TAUBnO15

TAUBn 割り込みと入出力信号を次の図に示します。

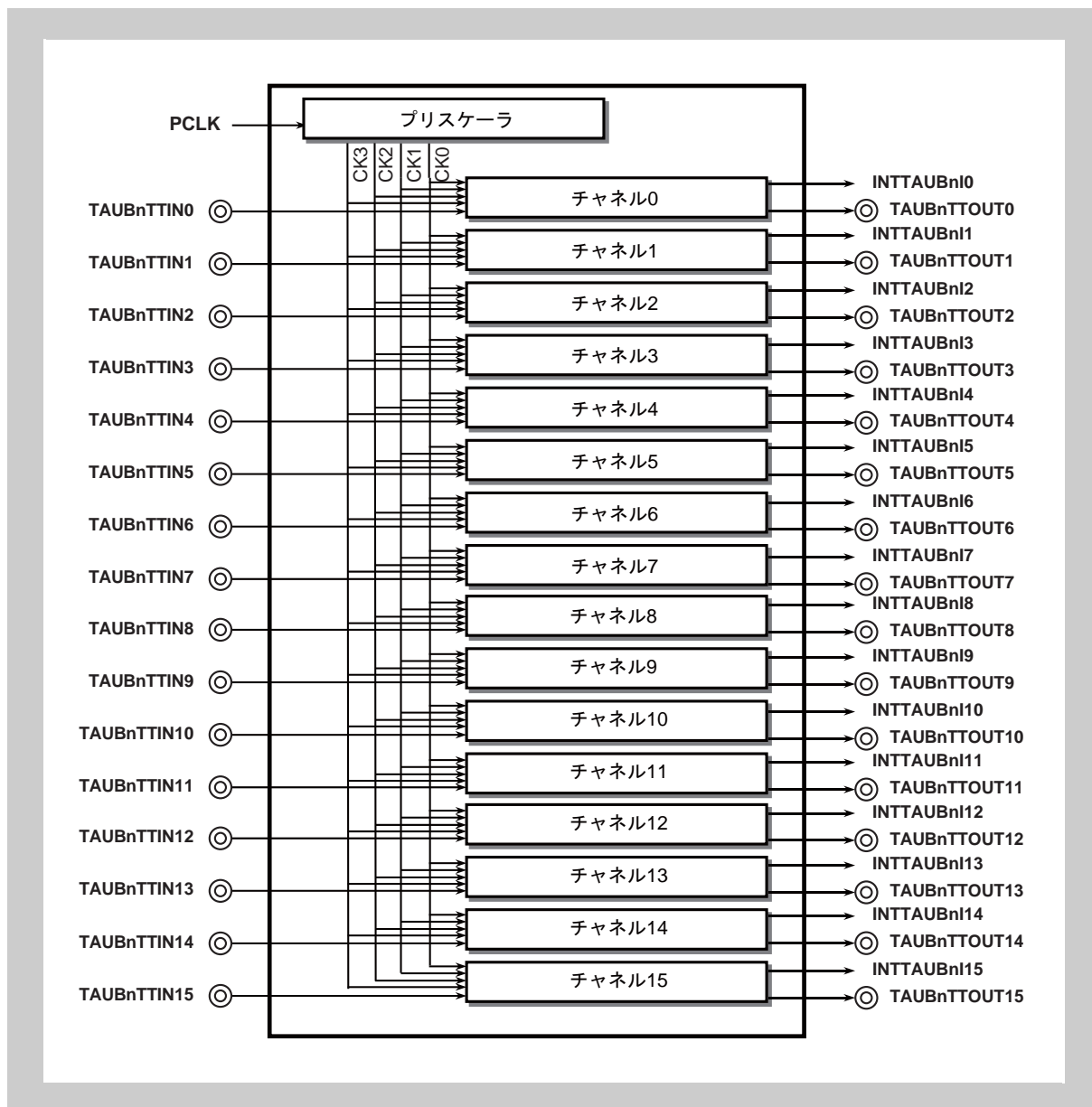


図 16-1 TAUB 入出力と割り込み信号

## 16.2 TAUB 入力の選択

### (1) TRXSLTA1 - TAUB1 受信入力選択レジスタ

このレジスタは、複数の TAUB1 入力への入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 2018<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA	TRXSLTA
1_7	1_6	1_5	1_4	1_3	1_2	1_1	1_0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-6 TRXSLTA1 レジスタ

ビット位置	ビット名	機能	設定
0	TRXSLTA1_0	TAUB1TTIN0 の選択	1 : URTE0RX 0 : (入力無し)
1	TRXSLTA1_1	TAUB1TTIN1 の選択	1 : URTE1RX 0 : TAUB111
2	TRXSLTA1_2	TAUB1TTIN2 の選択	1 : URTE2RX 0 : TAUB112
3	TRXSLTA1_3	TAUB1TTIN3 の選択	1 : URTE3RX 0 : TAUB113
4	TRXSLTA1_4	TAUB1TTIN4 の選択	1 : URTE4RX 0 : (入力無し)
5	TRXSLTA1_5	TAUB1TTIN5 の選択	1 : URTE5RX 0 : TAUB115
6	TRXSLTA1_6	TAUB1TTIN6 の選択	1 : URTE6RX 0 : (入力無し)
7	TRXSLTA1_7	TAUB1TTIN7 の選択	1 : URTE7RX 0 : TAUB117

## 16.3 機能概要

**機能概要** TAUB には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUB の主な構成要素を次の図に示します。

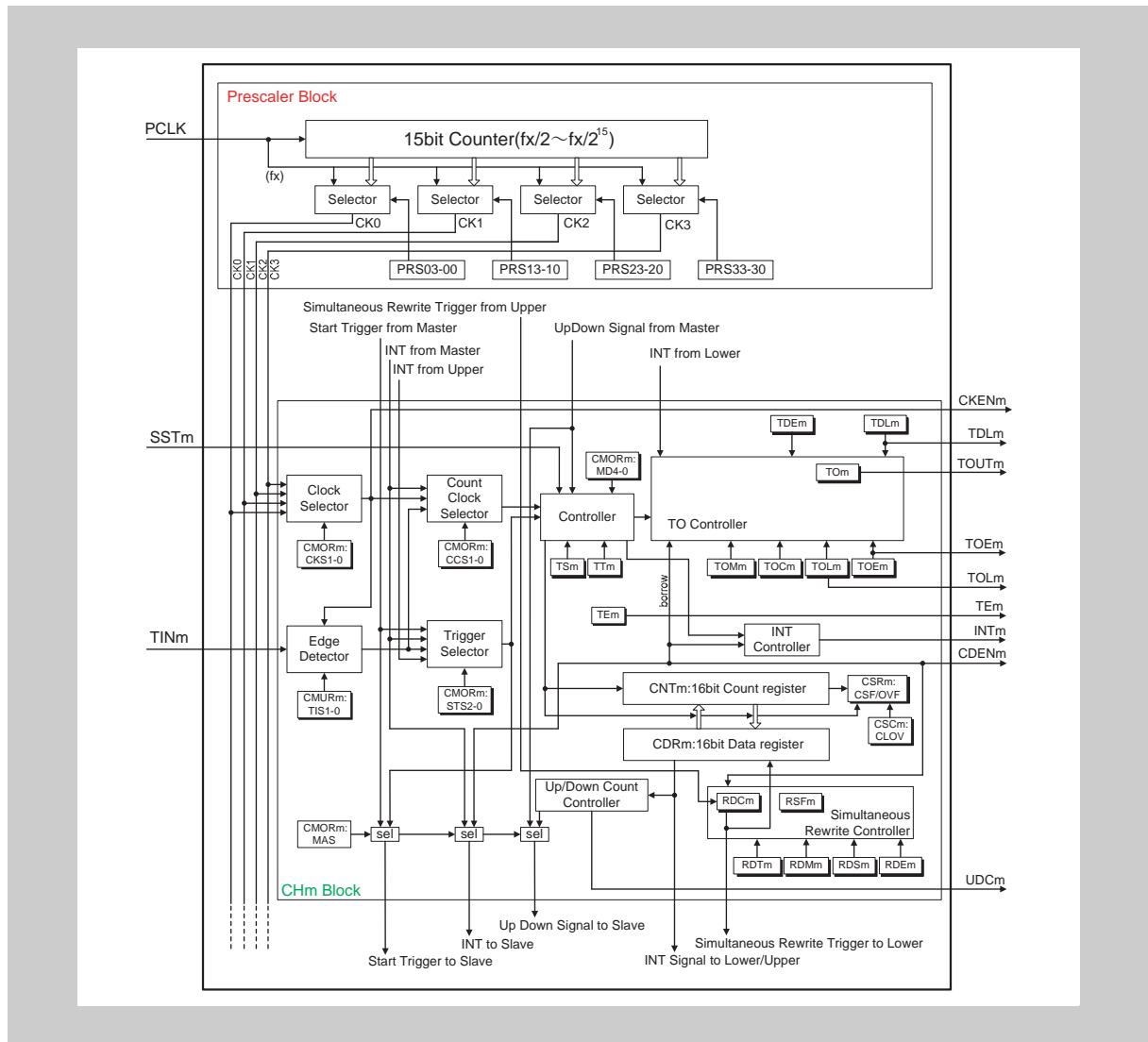


図 16-2 TAUB のブロック図

レジスタ名の「TAUBn」は、図を見やすくするために省略されています。

### 16.3.1 用語

この章で使用されている用語について説明します。

- チャンネル単体／連動動作

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- チャンネル・グループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- 動作モード

チャンネル  $m$  ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、イベント・カウント・モード、インターバル・タイマ・モードなどがあります。

- チャンネル出力モード

チャンネル出力モードは、次のチャンネルの  $TAUBnTTOUm$  の動作を規定します。

- 1つのチャンネル（単体出力動作）
  - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル単体出力モード、デッド・タイム出力付きチャンネル連動動作モードなどがあります。

- チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- 上位／下位チャンネル

チャンネル  $m$  から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

## 16.4 機能説明

TAUBは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための16ビット・カウンタ TAUBnCNTm と16ビット・データ・レジスタ TAUBnCDRm をそれぞれ備えた16チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

### 単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

### プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK3 は、プリスケアラにより PCLK の  $2^0$ - $2^{15}$  の分周したクロックを選択することができます。

### クロックおよび カウント・クロック の選択

クロック・カウント・セレクトは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクトにより選択)
- マスタ・チャンネルからの INTTAUBnIm
- TAUBnTTINm 入力信号の有効エッジ

### コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUBnCMORm.TAUBnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUBnTS.TAUBnTSm) およびカウント停止 (TAUBnTT.TAUBnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUBnTE.TAUBnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタ・チャンネルにより制御可能)

### トリガ・セレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUBnTE.TAUBnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力 TAUBnTSSTm  
TAUBnTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUBnIm
- マスタ・チャンネルのアップ/ダウン出力トリガ信号
- TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号

- 一斉書き換え  
コントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUBnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUBnTO  
コントローラ** 各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

### 16.4.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 16-7 TAUB 動作機能一覧

単体動作機能	設定例
チャンネル単体動作機能	16.15 章
インターバル・タイマ機能	16.15.1 章
TAUBnTTINm 入力インターバル・タイマ機能	16.15.2 章
ワンパルス出力機能	16.15.3 章
チャンネル単体信号測定機能	16.16 章
TAUBnTTINm 入力パルス・インターバル測定機能	16.16.1 章
TAUBnTTINm 入力信号幅測定機能	16.16.2 章
オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)	16.16.3 章
TAUBnTTINm 入力期間カウント検出機能	16.16.4 章
オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)	16.16.5 章
TAUBnTTINm 入力パルス・インターバル判定機能	16.16.6 章
TAUBnTTINm 入力信号幅判定機能	16.16.7 章
チャンネル単体一斉書き換え機能	16.17 章
一斉書き換えトリガ生成機能 タイプ 1	16.17.1 章
その他チャンネル単体機能	16.18 章
外部イベント・カウント機能	16.18.1 章
クロック分周機能	16.18.2 章
TAUBnTTINm 入力位置検出機能	16.18.3 章
チャンネル連動動作機能	16.20 章
PWM 出力機能	16.20.1 章
ディレイ・パルス出力機能	16.20.2 章
A/D 変換トリガ出力機能タイプ 1	16.20.3 章
外部信号でトリガされる連動 PWM 信号機能	16.21 章
ワンショット・パルス出力機能	16.21.1 章
同期三角波 PWM 出力機能	16.22 章
三角波 PWM 出力機能	16.22.1 章
デッド・タイム付き三角波 PWM 出力機能	16.22.2 章
A/D 変換トリガ出力機能タイプ 2	16.22.3 章



## 16.5 基本操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBnTTOUTm の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
  - 動作モードを設定してください。
  - チャネル出力モードを設定してください。
  - その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。  
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

**備考** 必要な制御ビットと各機能の動作の詳細は、16.14「チャネル単体動作機能」と 16.19「チャネル連動動作機能」を参照してください。

## 16.6 動作モード

TAUB には 12 の動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、  
TAUBnCMORm.TAUBnMD[4:0] ビットで指定します。

**備考** 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。

## 16.7 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、16.7.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 16.7.2「連動チャンネル・カウンタの同時動作開始／停止」
- 16.8「一斉書き換え」

### 16.7.1 ルール

- |                          |   |
|--------------------------|---|
| <b>マスタおよびスレーブ・チャンネル数</b> | <ul style="list-style-type: none"> <li>• マスタ・チャンネルには、偶数チャンネル (CH0, CH2, CH4, ...) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。</li> <li>• マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。<br/>例：CH2がマスタ・チャンネルの場合、CH3以下 (CH3, CH4, CH5, ...) をスレーブ・チャンネルに設定できます。</li> <li>• マスタ・チャンネルを複数使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。<br/>例：CH0, CH4がマスタ・チャンネルの場合、CH0に対してCH1-CH3までをスレーブ・チャンネルとして設定できますが、CH5-CH15は設定できません。</li> </ul> |
| <b>動作クロック</b>            | <ul style="list-style-type: none"> <li>• マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUBnCMORm.TAUBnCKs[1:0]ビットの設定値を同じ設定値にしてください。</li> </ul>   |

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

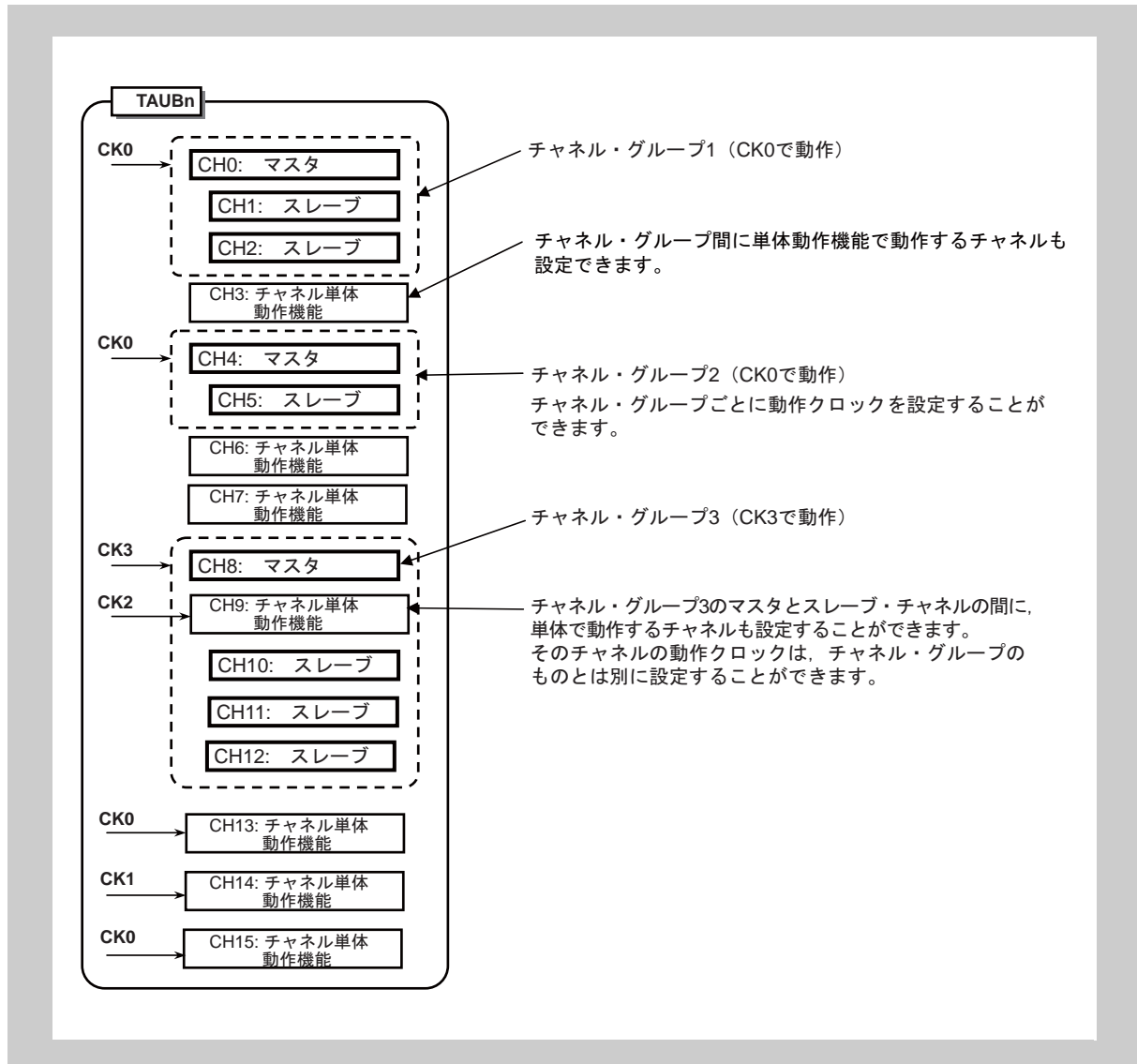


図 16-3 チャンネルのグループ化と動作クロックの割り当て

#### マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号1を使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

## 16.7.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

### (1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUBnTS.TAUBnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSm ビットに 1 を設定することにより、対応する TAUBnTE.TAUBnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

### (2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

## 16.8 一斉書き換え

### 16.8.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUBnCDRm, TAUBnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタ・チャンネルまたは上位チャンネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャンネルにて INTTAUBnIm が発生した場合

一斉書き換えは3つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 16-8 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUBnR DE. TAUBnR DEm	TAUBnR DS. TAUBnR DSm	TAUBnR DM. TAUBnR DMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1	0	0
B	スレーブ・チャンネルの三角波周期の [山] のタイミングでダウン・カウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合	1	1	0

3つの方法のうち、各チャネル動作機能で使用できる方法を次の表に示します。各チャネル動作機能の詳細は、16.14「チャネル単体動作機能」と16.19「チャネル連動動作機能」を参照してください。

表 16-9 一斉書き換え方法とトリガ・タイミング

機能	A	B	C1
一斉書き換えトリガ出力機能タイプ1			×
PWM 出力機能	×		×
ワンショット・パルス出力機能	×		
ディレイ・パルス出力機能	×		
三角波 PWM 出力機能		×	×
デッド・タイム付き三角波 PWM 出力機能		×	×
AD 変換トリガ出力機能タイプ1	×		×
AD 変換トリガ出力機能タイプ2		×	×

## 16.8.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

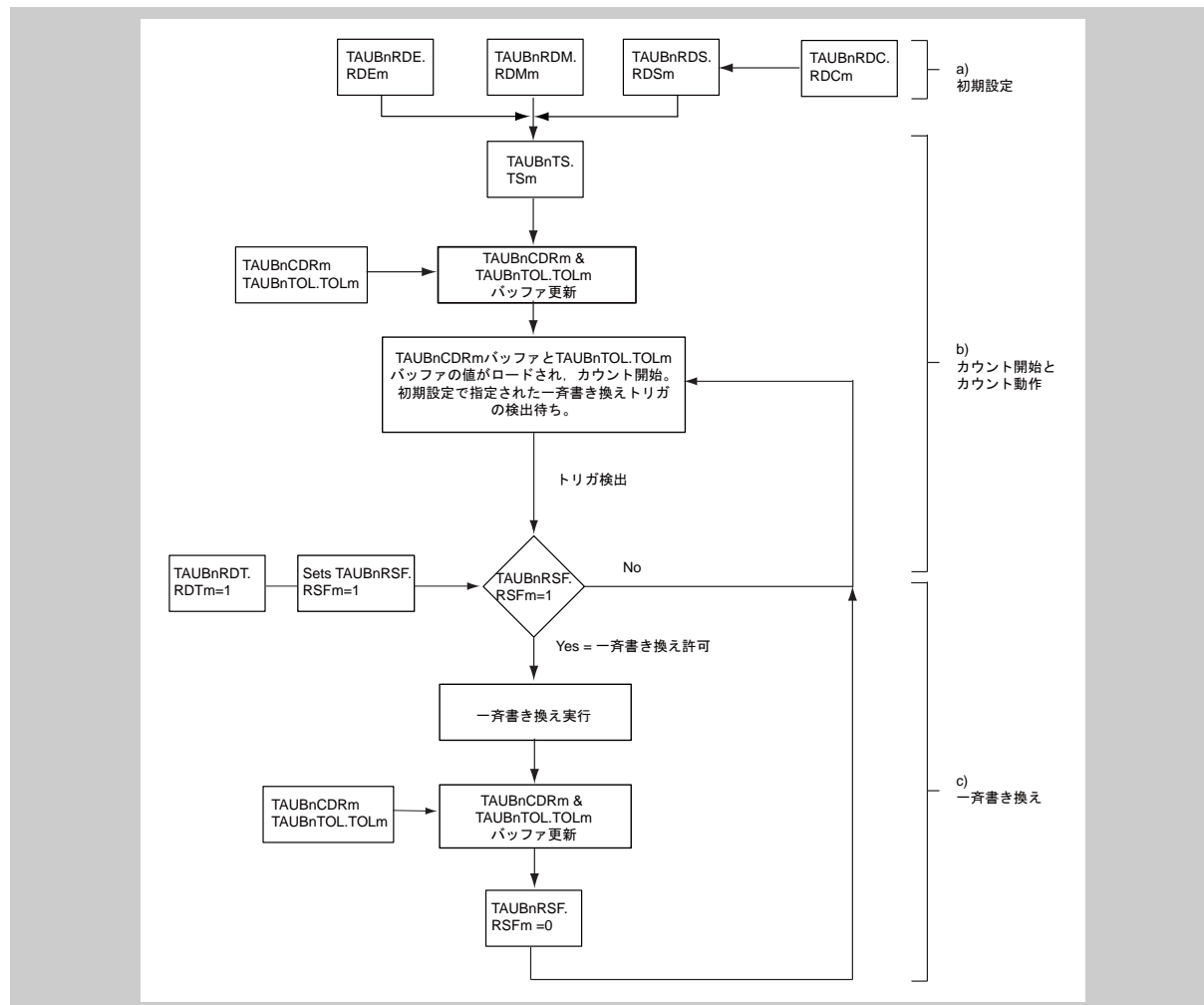


図 16-4 一斉書き換えの基本手順

### (1) 初期設定

- チャンネル  $m$  にて一斉書き換えを許可するには、 $TAUBnRDE.TAUBnRDEm = 1$  を設定してください。
- 一斉書き換えの種類を選ぶには、 $TAUBnRDM.TAUBnRDMm$  と  $TAUBnRDS.TAUBnRDSm$  を表 16-8 「一斉書き換え方法とトリガ・タイミング」に示す値に設定してください。
- $TAUBnRDC.TAUBnRDCm$  で、一斉書き換えトリガ生成チャンネルを指定してください（前提：上位チャンネルに  $TAUBnRDS.TAUBnRDSm$  が設定されている）。



**(2) カウント開始とカウント動作**

- チャンネル・グループに属するすべての TAUBnCNTm カウンタ動作を開始するには、対応する TAUBnTS.TAUBnTSM ビットを 1 に設定してください。TAUBnTOL.TAUBnTOLm とデータ・レジスタ (TAUBnCDRm) の値は、対応する TAUBnTOL.TAUBnTOLm バッファ (TAUBnTOL.TAUBnTOLm buf) とデータ・バッファ・レジスタ (TAUBnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、リロード・フラグ (TAUBnRSF.TAUBnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUBnRSF.TAUBnRSFm = 1) されているかを確認するために TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

**(3) 一斉書き換え**

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUBnRSF.TAUBnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUBnRSF.TAUBnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

### 16.8.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUBnTE.TAUBnTEm = 1) は、TAUBnRDE.TAUBnRDEm, TAUBnRDS.TAUBnRDsm, TAUBnRDM.TAUBnRDMm, TAUBnRDC.TAUBnRDCm を変更することはできません。
- TAUBnTOL.TAUBnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUBnTOL.TAUBnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUBnTOUTm は不正な波形を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUBnRDS.TAUBnRDsm = 1)、すべての下位チャンネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し、ほかのチャンネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3-CH6 を制御し、CH7 は、下位チャンネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUBnRDE.TAUBnRDEm, TAUBnRDS.TAUBnRDsm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUBnRDC.TAUBnRDC[15:0] = 0)、一斉書き換えは行いません。

### 16.8.4 一斉書き換えの種類

次に、タイミング図を使用して3つの一斉書き換え方法を説明します。

#### (1) マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

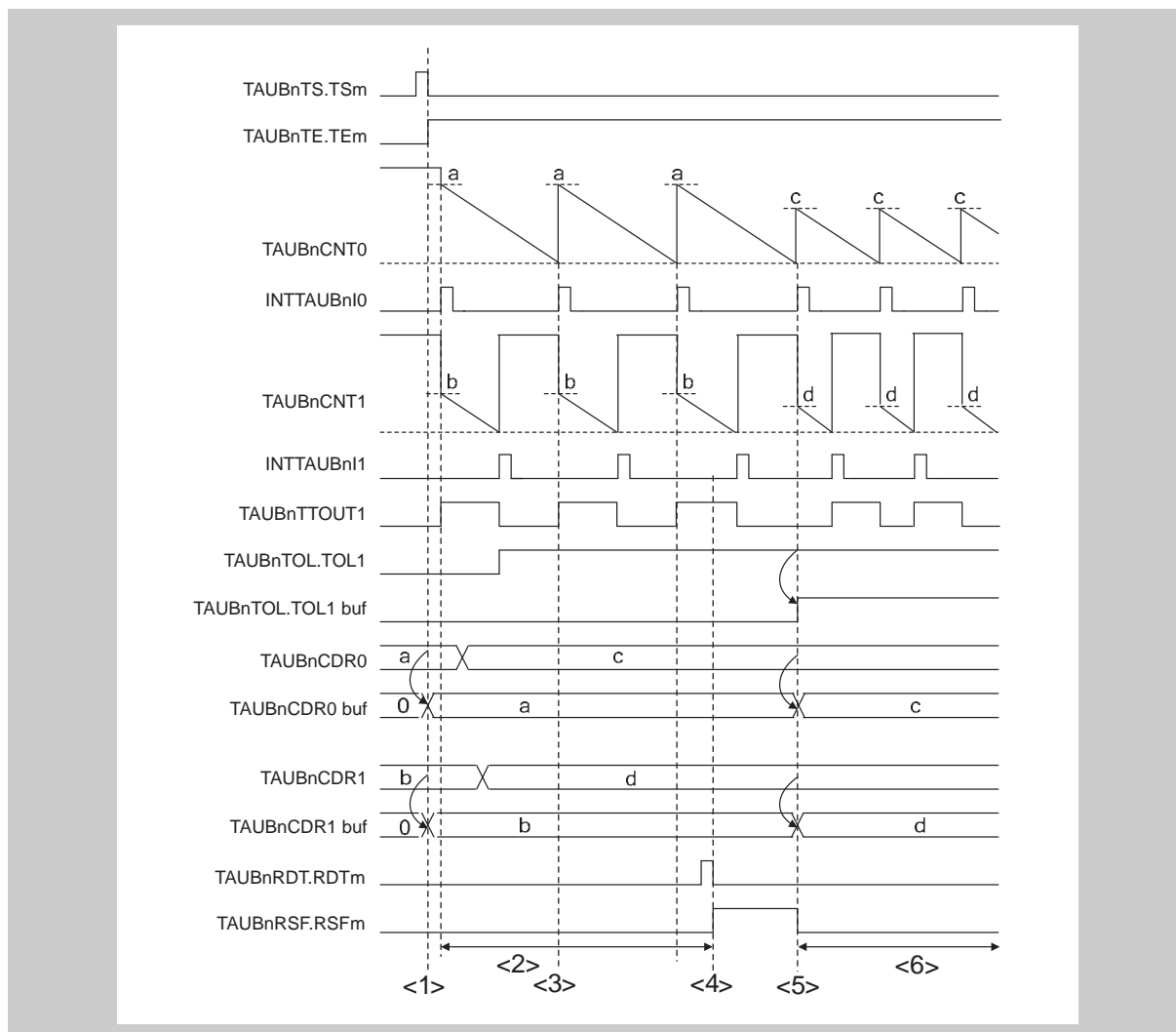


図 16-5 マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 A が適用されます。

説明：

1. TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。
2. TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUBnRSF.TAUBnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

(2) スレーブ・チャンネルの三角波周期の[山]のタイミングで一斉書き換え  
(方法B)

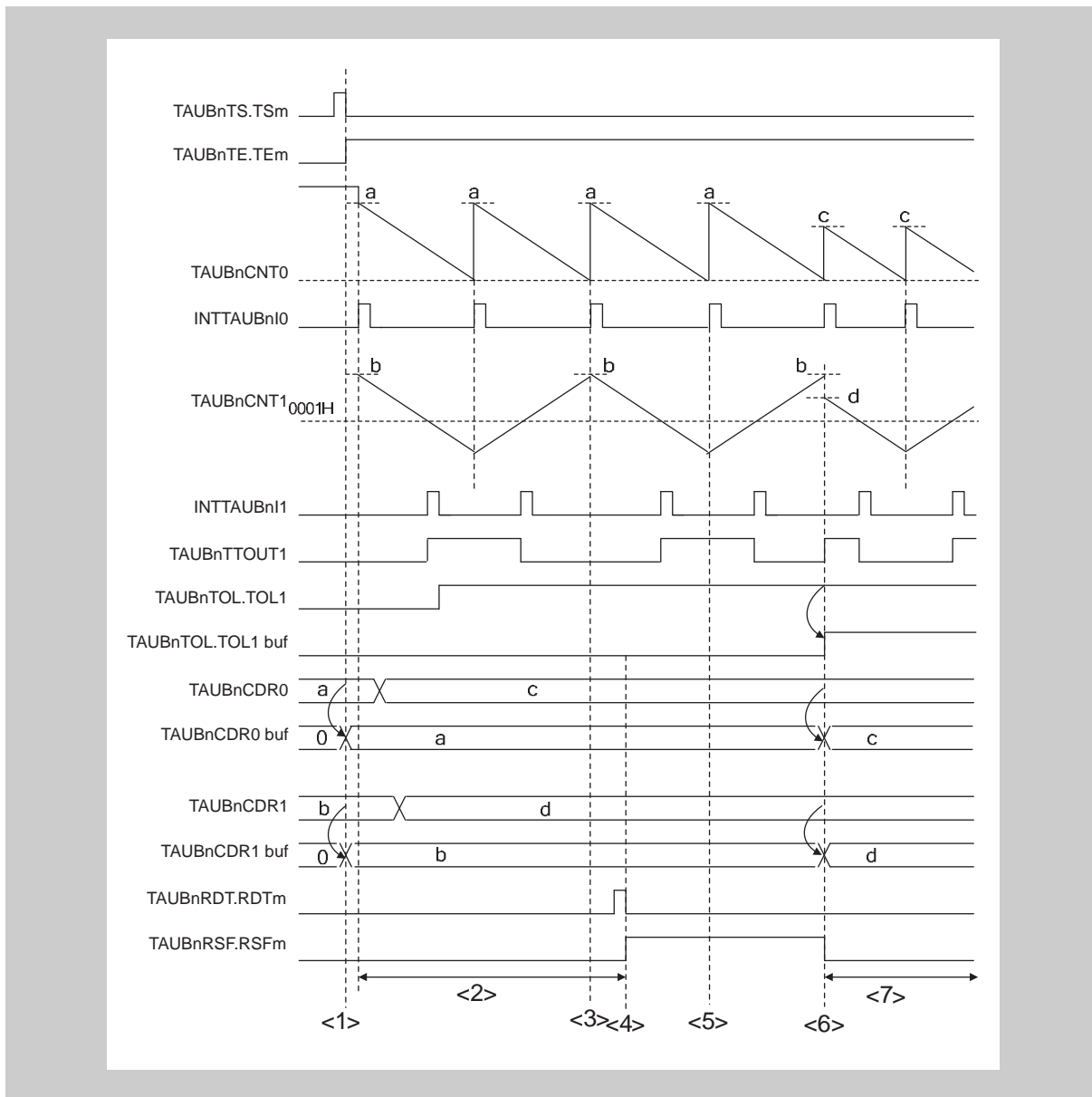


図 16-6 スレーブ・チャンネルの三角波周期の[山]のタイミングで一斉書き換え

## 設定

- CH0 は、ダウン／アップ・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 B が適用されません。

## 説明：

1.  $TAUBnTS.TAUBnTSM = 1$  に設定すると、 $TAUBnCDRm$  の値が  $TAUBnCDRm$  バッファにコピーされます。
2.  $TAUBnCDRm$  と  $TAUBnTOL$  レジスタは常に書き込めます。
3. 一斉書き換えは許可されていないため行われません ( $TAUBnRSF.TAUBnRSFm = 0$ )。
4. リロード・データ・トリガ・ビット ( $TAUBnRDT.TAUBnRDTm$ ) を 1 に設定することにより、ステータス・フラグが設定され ( $TAUBnRSF.TAUBnRSFm = 1$ )、一斉書き換えが許可されます。
5. 一斉書き換えは、三角波周期の [ 谷 ] のタイミングでは発生しません。
6. 一斉書き換えは、三角波周期の [ 山 ] のスタート・タイミングで行われます。 $TAUBnCDRm$  の値は  $TAUBnCDRm$  バッファに、 $TAUBnTOL.TAUBnTOLm$  の値は  $TAUBnTOL.TAUBnTOLm$  バッファにロードされます。
7. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。 $TAUBnCDRm$  と  $TAUBnTOL.TAUBnTOLm$  の値は再変更できます。

(3) TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え (方法 C1)

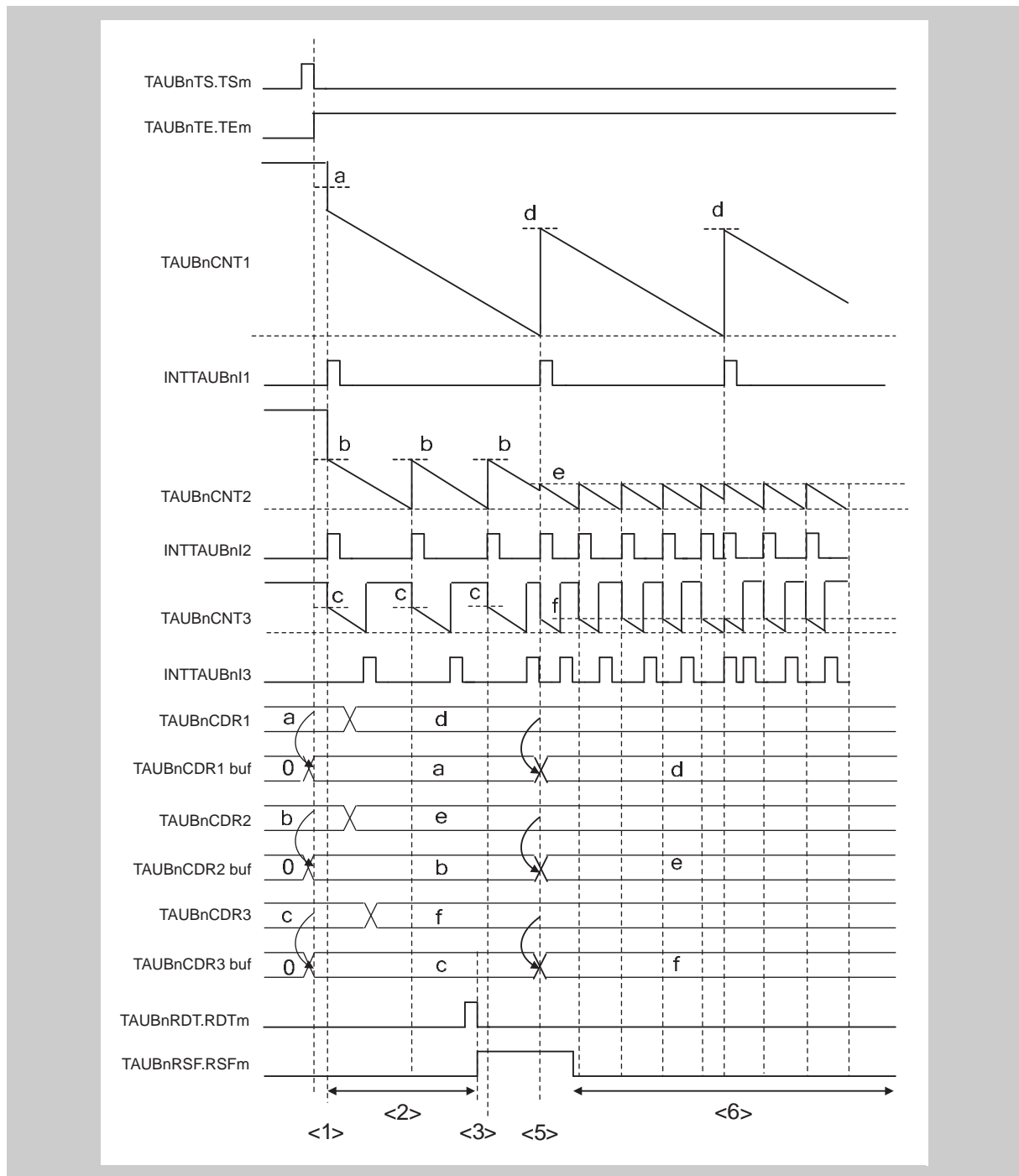


図 16-7 TAUBnRDC.TAUBnRDCm で指定した上位チャンネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャンネルです。CH2 は、マスタ・チャンネルです。CH3 は、スレーブ・チャンネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

1. TAUBnTS.TAUBnTSM = 1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。
2. TAUBnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUBnRDT.TAUBnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUBnRSF.TAUBnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、カウンタ 1 が 0000<sub>H</sub> に達したときに発生する INT1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。



## 16.9 チャネル出力モード

TAUBnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUBnTOE.TAUBnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUBnTO.TAUBnTOM) に書き込んだ値は、出力端子 (TAUBnTTOUTm) に転送されます。

- TAUB 信号による制御 (TAUBnTOE.TAUBnTOEm = 1)

TAUB 信号で制御した場合、TAUBnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUBnTTOUTm の値を反映するために、TAUBnTO.TAUBnTOM の値は更新されます。

- 単体制御 (TAUBnTOM.TAUBnTOMm = 0)

単体動作の場合、TAUBnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUBnTOM.TAUBnTOMm = 0) する必要があります。

- 連動制御 (TAUBnTOM.TAUBnTOMm = 1)

連動動作の場合、TAUBnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUBnTOM.TAUBnTOMm = 1)。

TAUBnTO.TAUBnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUBnTTOUTm の現在の値を確認することができます。

**制御ビット** 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 16-10「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 16.9.2「TAUBn 信号により単体制御されるチャンネル出力モード」
- 16.9.3「TAUBn 信号により連動制御されるチャンネル出力モード」

**TAUBnTOM ビットの一括操作** TAUBnTOM ビットへの設定値の反映/非反映は、TAUBnTOE.TAUBnTOEm ビットにより制御されます。

TAUBnTO レジスタにライトした時に、TAUBnTOE.TAUBnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUBnTOM の設定値の書き込みが行われます。TAUBnTOE.TAUBnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUBnTOM の設定値は反映されません。

**備考** TAUBnTO.TAUBnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

**出力論理** 出力の正論理または反転論理は、制御ビット TAUBnTOL.TAUBnTOLm で指定します。

TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると、TAUBnTTOUTm 信号の出力は不定になります。

16.8 「一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します。

表 16-10 チャネル出力モード

チャネル出力モード	TAUBn TOE. TAUBn TOEm	TAUBn TOM. TAUBn TOMm	TAUBn TOC. TAUBn TOCm	TAUBn TDE. TAUBn TDEm
<b>ソフトウェア制御</b>				
ソフトウェア制御のチャネル単体出力モード	0	X		
<b>TAUB 信号による単体動作制御</b>				
チャネル単体出力モード 1	1	0	0	0
チャネル単体出力モード 2			1	
<b>TAUB 信号による連動動作制御</b>				
チャネル連動出力モード 1	1	1	0	0
チャネル連動出力モード 2			1	
デッド・タイム出力を行うチャネル連動出力モード 2				

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

**備考** 次のビットは、カウント動作中 (TAUBnTE.TAUBnTEm = 1) は変更できません。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

### 16.9.1 チャンネル出力モードを指定するための基本手順

TAUBnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUBnTOE.TAUBnTOEm = 0)。

1. TAUBnTO.TAUBnTOm を設定して TAUBnTTOUTm 出力の初期レベルを指定してください。
2. 表 16-10 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUBnTS.TAUBnTSM = 1)。

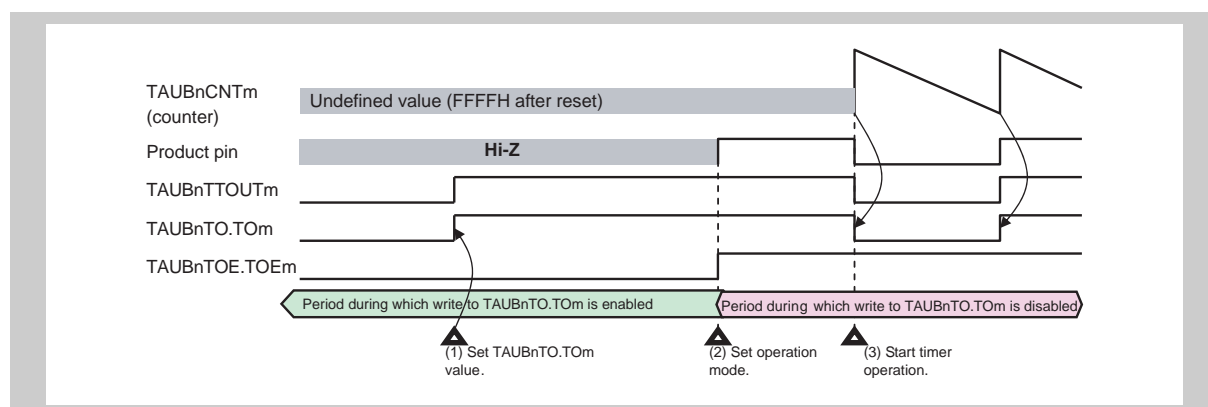


図 16-8 TAUBnTTOUTm チャンネル出力モードを指定するための基本手順

## 16.9.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では、TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 16-10「チャネル出力モード」に示します。

### (1) チャネル単体出力モード 1

- セット/リセット条件** この出力モードでは、INTTAUBnIm が検出されると TAUBnTTOUTm がトリグ  
ルされます。TAUBnTOL.TAUBnTOLm の値は無視されます。
- 前提条件** 表 16-10「チャネル出力モード」に示す条件以外の条件はありません。

### (2) チャネル単体出力モード 2

- セット/リセット条件** この出力モードでは、TAUBnTTOUTm は、カウント開始の INTTAUBnIm 発  
生でセット、TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生  
でリセットされます。
- 前提条件** 表 16-10「チャネル出力モード」に示す条件以外の条件はありません。

### 16.9.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では、TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 16-10「チャネル出力モード」に示します。

#### (1) チャネル連動出力モード 1

**セット/リセット条件** この出力モードでは、マスタ・チャネルの INTTAUBnIm がセット信号、スレーブ・チャネルの INTTAUBnIm がリセット信号となります。マスタ・チャネルの INTTAUBnIm とスレーブ・チャネルの INTTAUBnIm が同時発生した場合、スレーブ・チャネルの INTTAUBnIm (リセット信号) は、マスタ・チャネルの INTTAUBnIm (セット信号) より優先されます (マスタ・チャネルは無視されます)。

**前提条件** 表 16-10「チャネル出力モード」に示す条件以外の条件はありません。

#### (2) チャネル連動出力モード 2

この出力モードでは、動作モードをアップ/ダウン・カウント・モードに設定する必要があります。その結果、TAUBnTTOUTm より三角波 PWM が出力されます。詳細は 16.22.1「三角波 PWM 出力機能」を参照してください。

**セット/リセット条件** スレーブ・チャネルの TAUBnCnTm は、アップ/ダウン・カウントを繰り返します。カウントが  $0001_H$  を越えると、割り込みを発生し、TAUBnTTOUTm をトグルします。

**前提条件** 三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUBnTTOUTm は、機能を開始する前に 0 に設定する必要があります。

**(3) デッド・タイム出力を行うチャンネル連動出力モード2**

この出力モードでは、TAUBnTTOUTm にデッド・タイム遅延が付加されます。セット/リセット条件を次の図に示します。

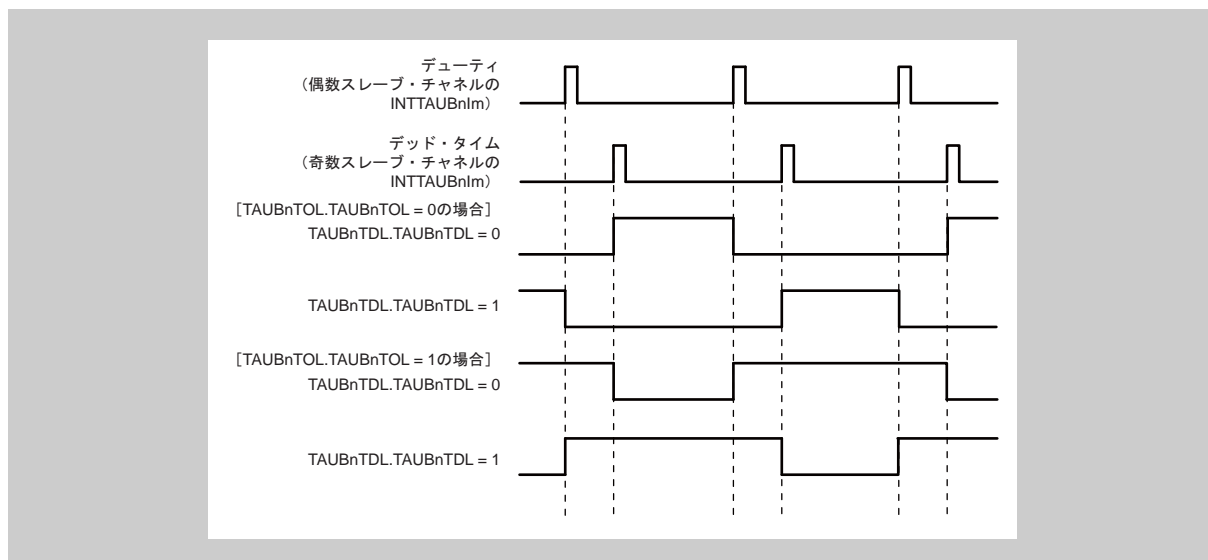
**セット/リセット  
条件**

図 16-9 デッド・タイム出力を行うチャンネル連動出力モード2の  
セット/リセット条件

デッド・タイムが付加されるエッジは、立ち上がりエッジの場合は  
TAUBnTDL.TAUBnTDLm = 0、立ち下がりエッジの場合は  
TAUBnTDL.TAUBnTDLm = 1 を設定してください。

**前提条件** デッド・タイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタ・チャンネル  
マスタ・チャンネルは、インターバル・タイマ・モードに設定する必要があります。
- 偶数スレーブ・チャンネル  
偶数スレーブ・チャンネルは、アップ/ダウン・カウント・モードに設定する必要があります。
- 奇数スレーブ・チャンネル (偶数チャンネル + 1)  
奇数スレーブ・チャンネルは、ワンカウント・モードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

## 16.10 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUBnTS.TAUBnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

**注意** 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

### 16.10.1 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モード

TAUBnTS.TAUBnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

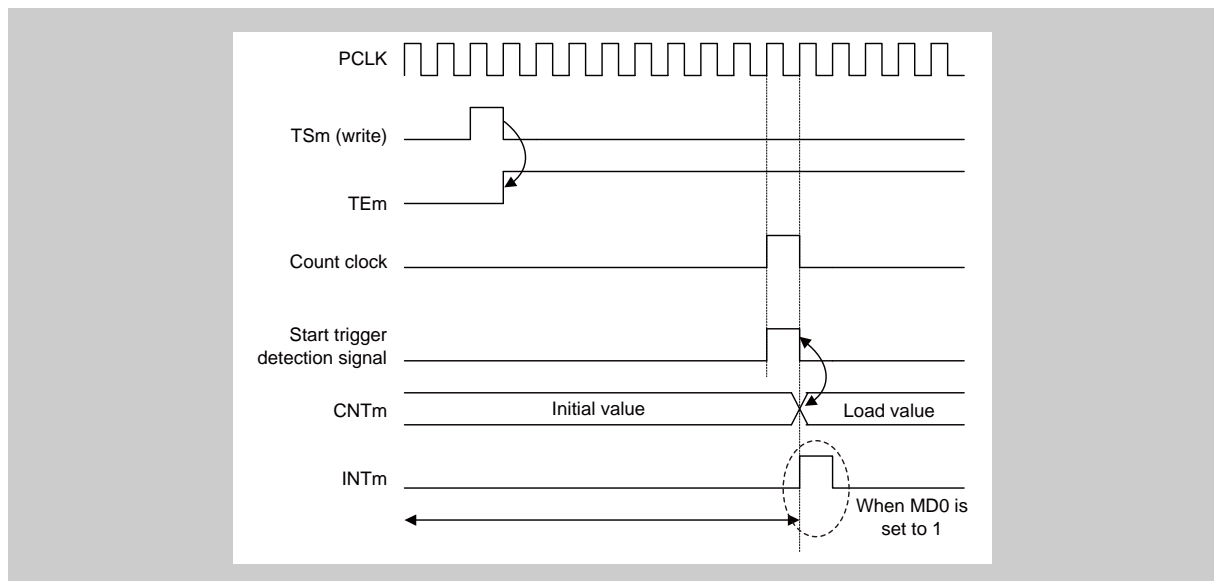


図 16-10 インターバル・タイマ・モード, ジャッジ・モード, キャプチャ・モード, アップ/ダウン・カウント・モードでの開始タイミング

**備考** アップ/ダウン・カウント・モード時は、必ず MD0 = 0 に設定してください。

### 16.10.2 イベント・カウント・モード

TAUBnTS.TAUBnTSM が 1 に設定されると、ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は、以降のカウント・クロック・サイクルの開始時に変更されます。

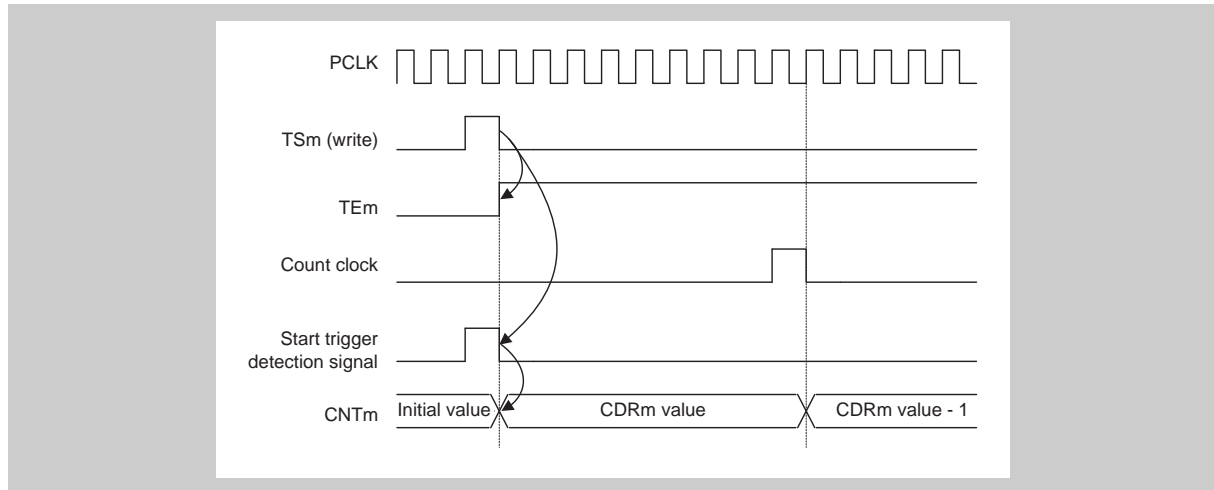


図 16-11 イベント・カウント・モード時の開始タイミング

### 16.10.3 その他の動作モード

その他の動作モードでは、カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUBnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

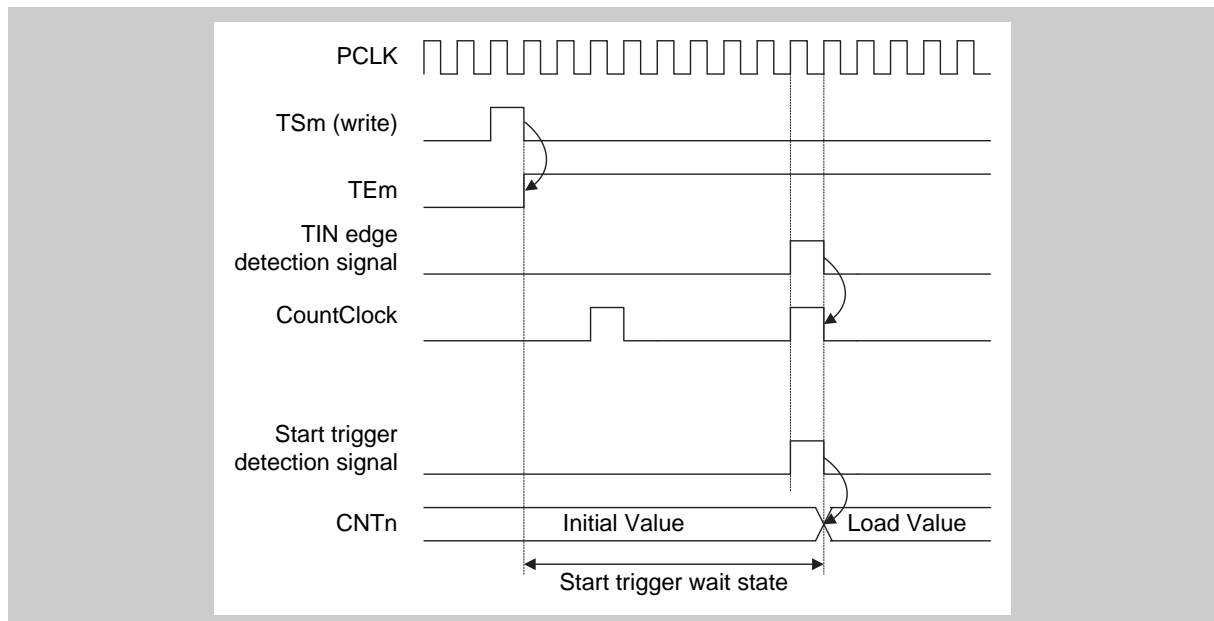


図 16-12 その他の動作モードでのカウント開始タイミング



## 16.11 カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)

カウンタのカウント開始時，TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。次の表に示すように，ビットの影響は，選択したモードに依存します。INTTAUBnIm の TAUBnTTOUTm に対する影響は，選択したチャンネル動作機能に依存します。

表 16-11 カウンタがトリガされた場合の TAUBnCMORm.TAUBnMD0 ビットの INTTAUBnIm 発生に対する影響

モード	TAUBnCMORm.TAUBnMD0 ビット	カウント開始／再開時，または TAUBnTTINm 入力信号のトリガ検出時の INTTAUBnIm 発生
インターバル・タイマ・モード	0	発生しない
キャプチャ・モード	1	発生
カウント・キャプチャ・モード		
キャプチャ&ワンカウント・モード	0	発生しない
キャプチャ&ゲート・カウント・モード		
イベント・カウント・モード		
アップ/ダウン・カウント・モード		
ワンカウント・モード	0/1	TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生しない
ゲート・カウント・モード		
パルス・ワンカウント・モード		TAUBnCMORm.TAUBnMD0 ビットの設定にかかわらず発生

動作例として，

**備考** 動作例として，図 16-29「強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 1)」を参照してください。次のビットは，カウント動作中 (TAUBnTE.TEm = 1) は変更できません。また，表 16-134「TAUBnCMORm レジスタの内容」の TAUBnMD0 ビットの役割の説明も参照してください。

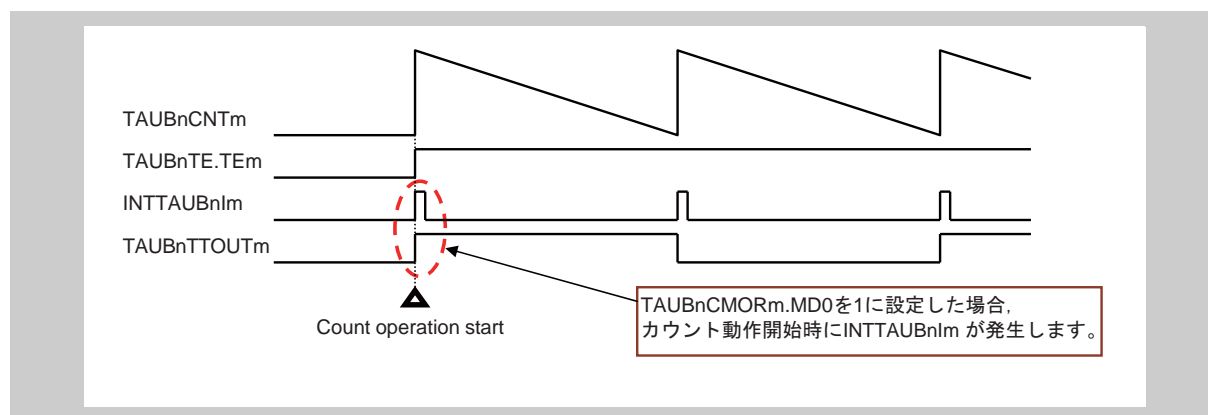


図 16-13 カウント開始時の INTTAUBnIm 発生

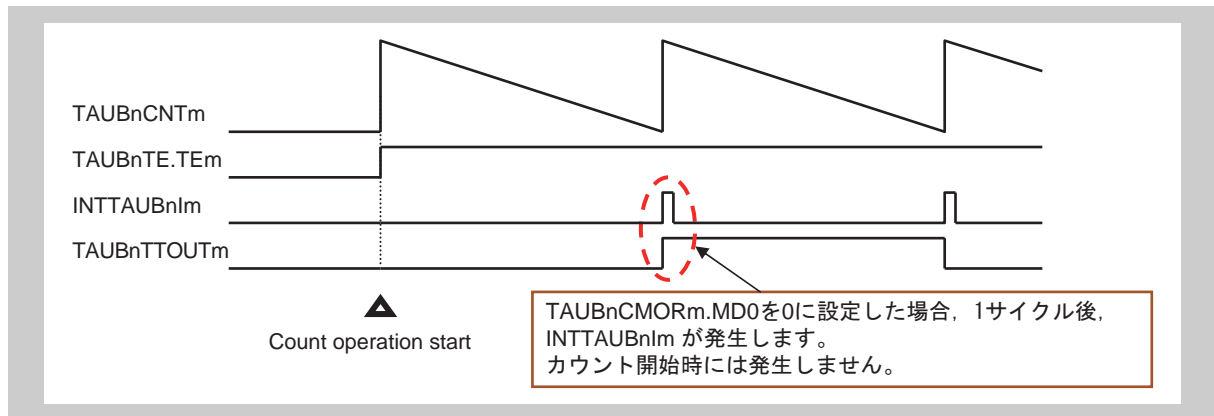


図 16-14 カウント開始時に INTTAUBnIm が発生しない

## 16.12 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が  $FFFF_H$  になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバフロー発生と同時に  $0000_H$  になるようなダウン・カウントを行う動作モードを設定します ( $TAUBnCNTm = FFFF_H$ )。
- セカンド・チャンネルの  $TAUBnCDRm$  を  $FFFF_H$  に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ  $TAUBnTTINm$  入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 ( $TAUBnCMORm.TAUBnSTS[2:0]$  と  $TAUBnCMURm.TAUBnTIS[1:0]$ ) は同じである必要があります。

結果：ファースト・チャンネルのアップ・カウントでのオーバフロー発生 ( $TAUBnCNTm = FFFF_H$ ) と同時にセカンド・チャンネルのダウン・カウンタが  $0000_H$  になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。

### 16.12.1 キャプチャ・モード

適用機能 • TAUBnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

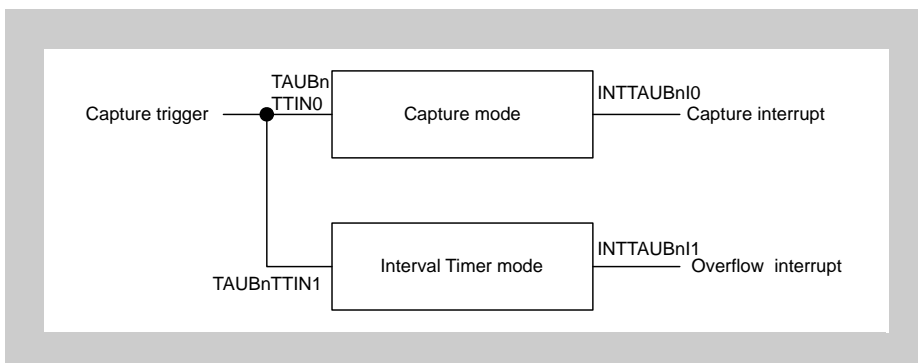


図 16-15 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

#### タイミング図

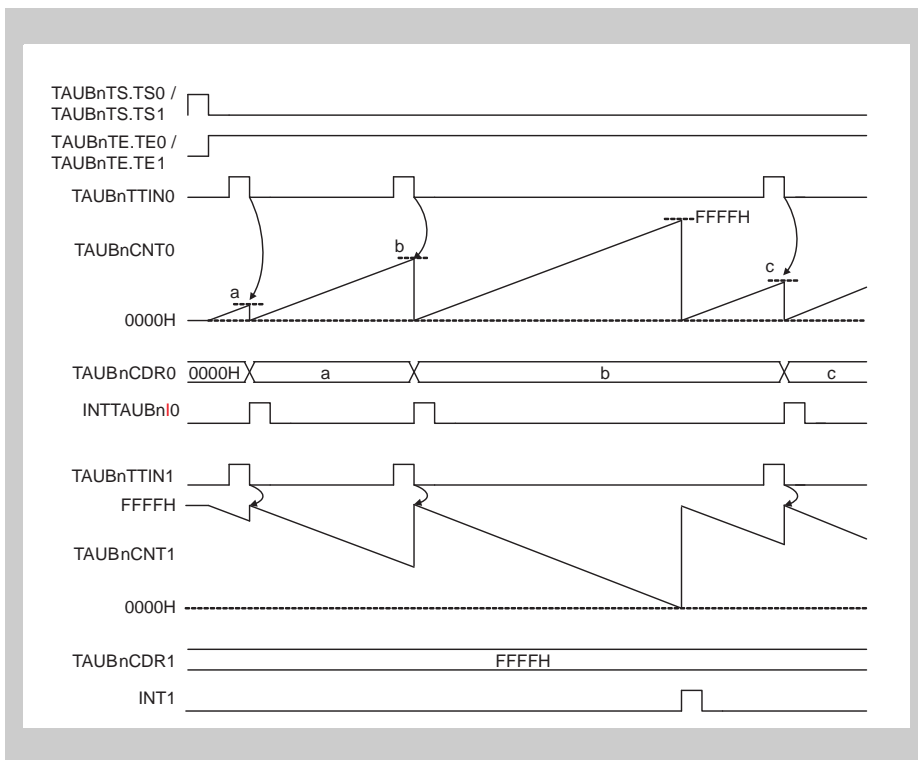


図 16-16 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

### 16.12.2 キャプチャ & ワンカウント・モード

適用機能 • TAUBnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

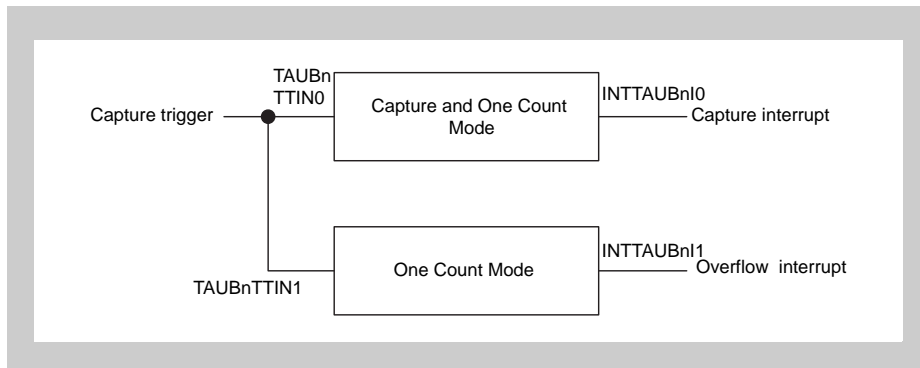


図 16-17 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

#### タイミング図

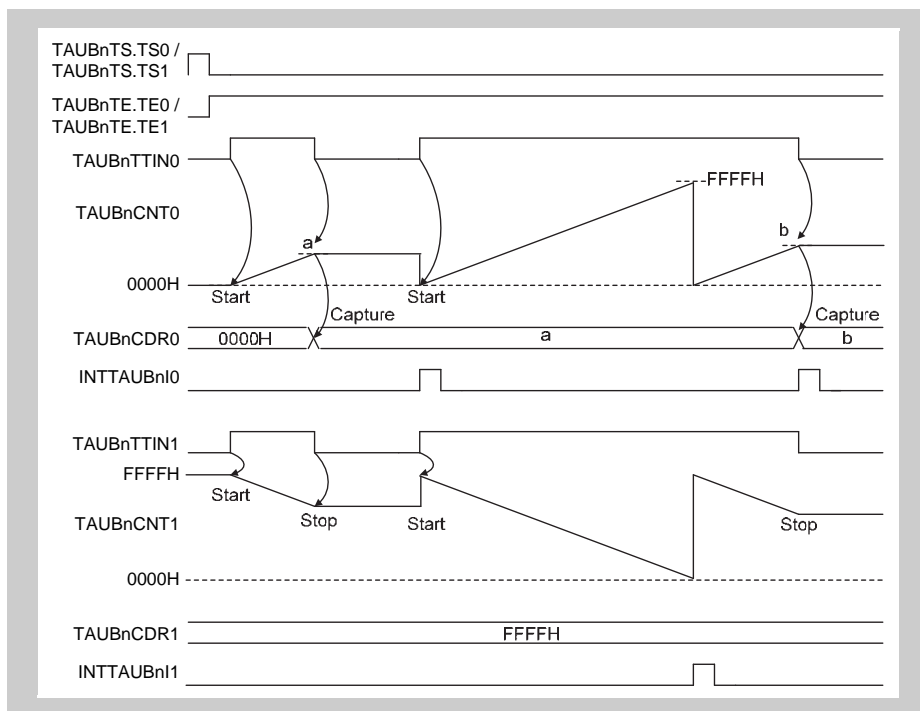


図 16-18 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

## 16.12.3 カウント・キャプチャ・モード

適用機能 • TAUBnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

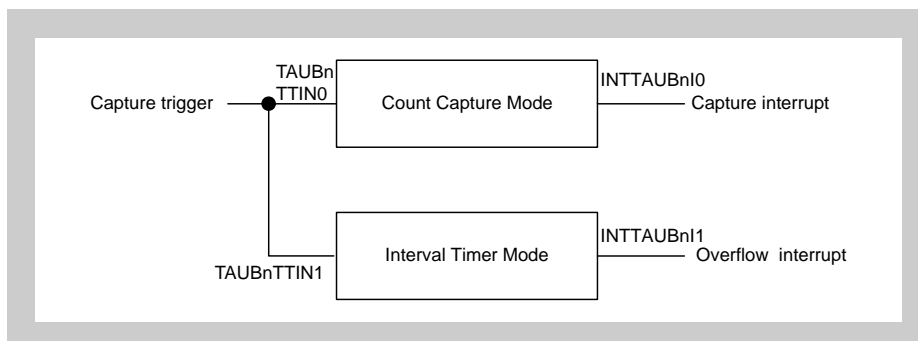


図 16-19 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

## タイミング図

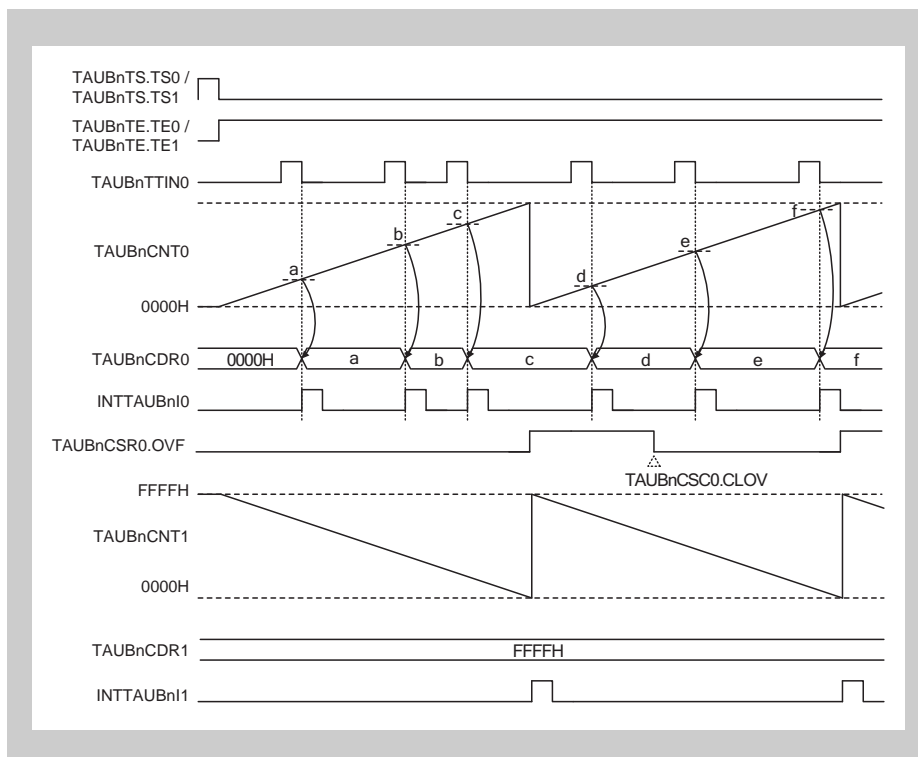


図 16-20 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

上の図では、TAUBnCNTm がオーバーフローになったときに TAUBnCSRm.TAUBnOVF が 1 に設定されています。TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV へ 1 を書き込むことによりクリアされます。

## 16.12.4 キャプチャ&amp;ゲート・カウント・モード

適用機能 • TAUBnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

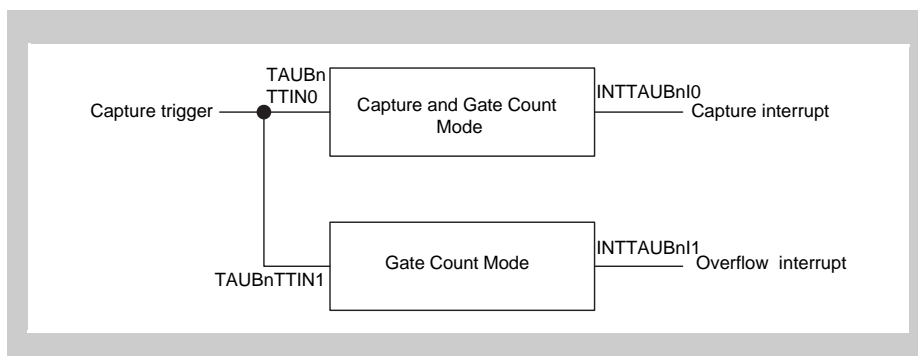


図 16-21 キャプチャ &amp; ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

## タイミング図

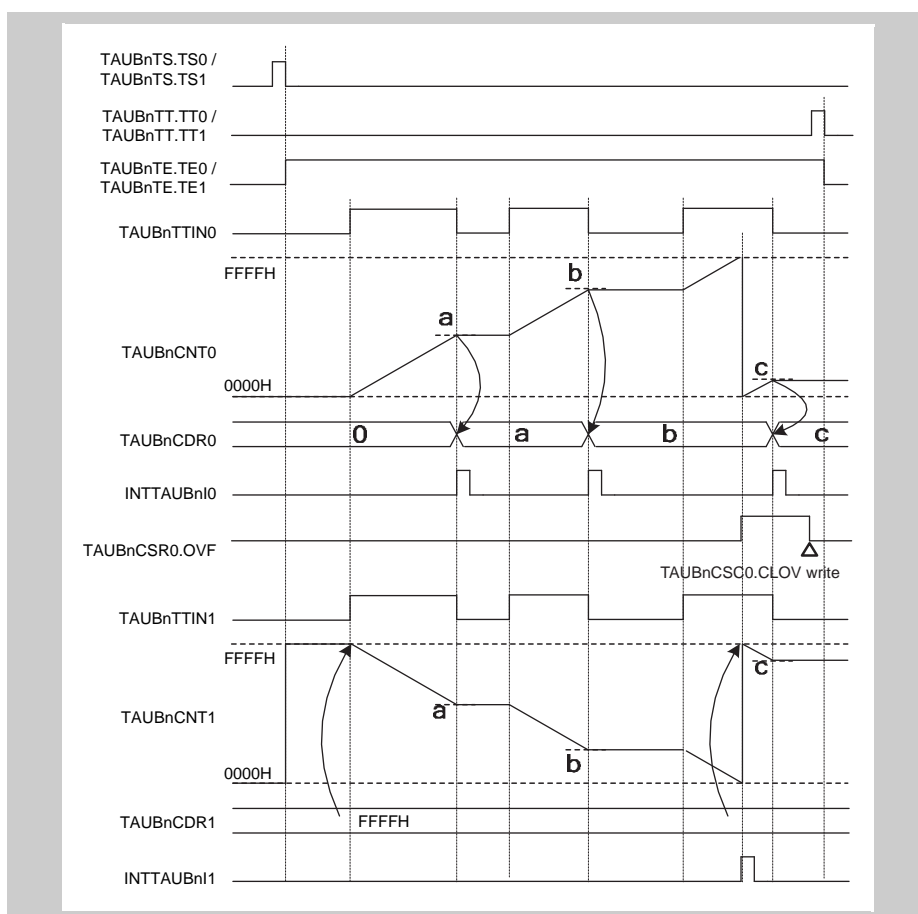


図 16-22 キャプチャ &amp; ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

上の図では、TAUBnCNTm がオーバーフローになったときに TAUBnCSRm.TAUBnOVF が 1 に設定されています。TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV へ 1 を書き込むことによりクリアされます。

## 16.13 TAUBnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

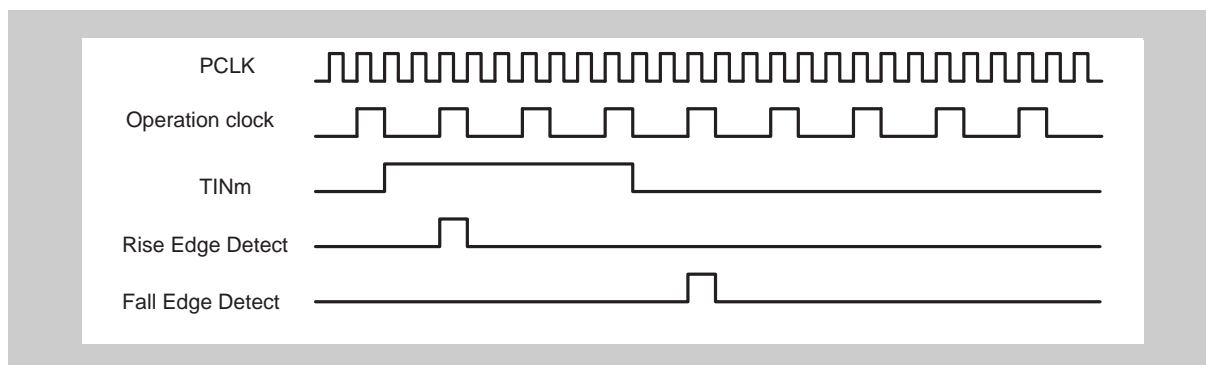


図 16-23 エッジ検出基本動作タイミング

図 16-23 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。



## 16.14 チャンネル単体動作機能

TAUB の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、16.4「機能説明」を参照してください。

## 16.15 チャンネル単体割り込み機能

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 16.15.1 「インターバル・タイマ機能」
- 16.15.2 「TAUBnTTINm 入カインターバル・タイマ機能」
- 16.15.3 「ワンパルス出力機能」

### 16.15.1 インターバル・タイマ機能

#### (1) 概要

**概要** この機能は、一定間隔でタイマ割り込み (INTTAUBnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

**前提条件**

- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 16-12 「インターバル・タイマ機能の TAUBnCMORm 設定」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。16.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

**条件** TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBnTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBnTTOUTm 信号が出力されます。詳細は、16.11 「カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

#### (2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 × (TAUBnCDRm + 1)

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUBnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

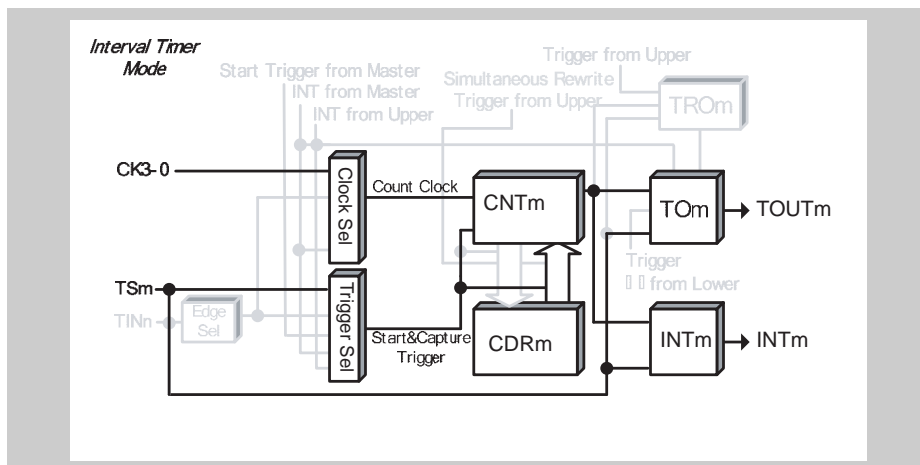


図 16-24 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

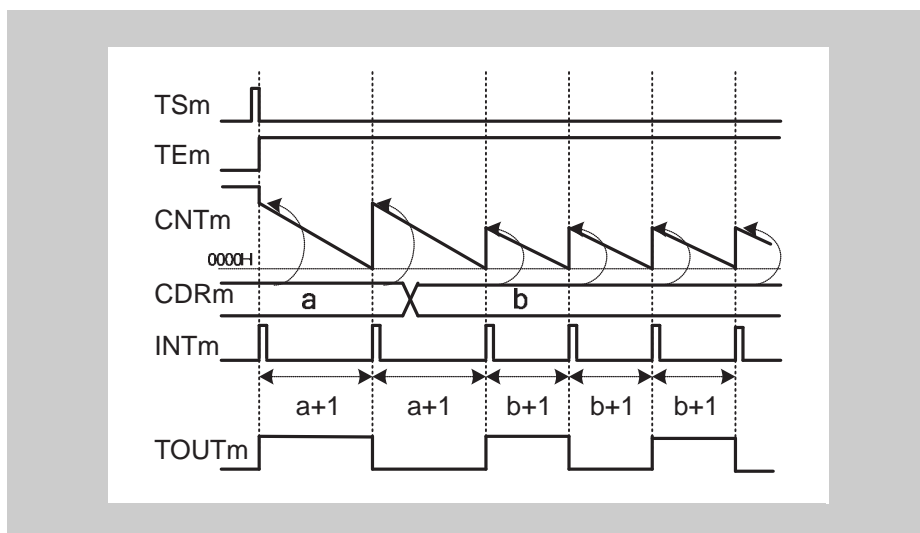


図 16-25 インターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-12 インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-13 インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) チャンネル出力モード

表 16-14 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止

**備考** チャンネル出力モードは、TAUBnTOE.TAUBnTOEm = 0を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUBnTTOUTmを割り込みとは独立させて制御することができます。詳細は16.9「チャンネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-15 インターバル・タイマ機能の一斉書き換え設定

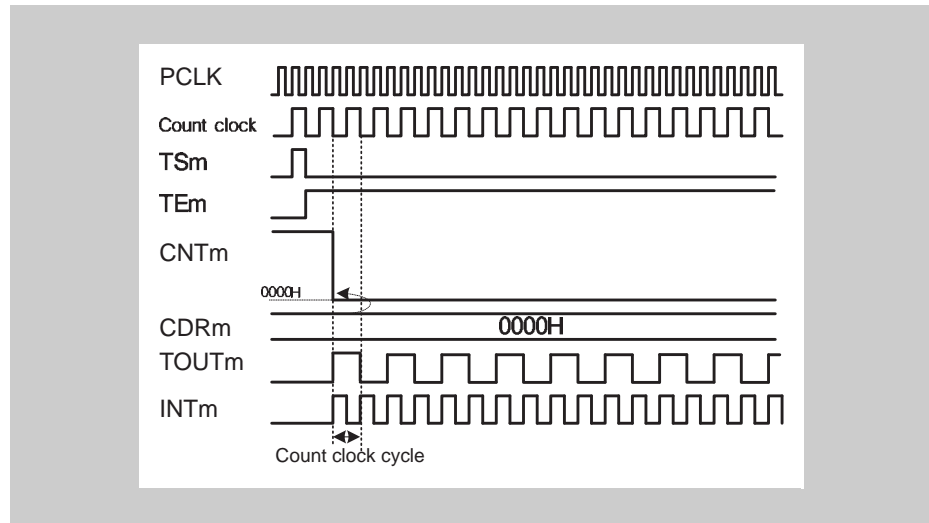
ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

## (5) インターバル・タイマ機能の操作手順

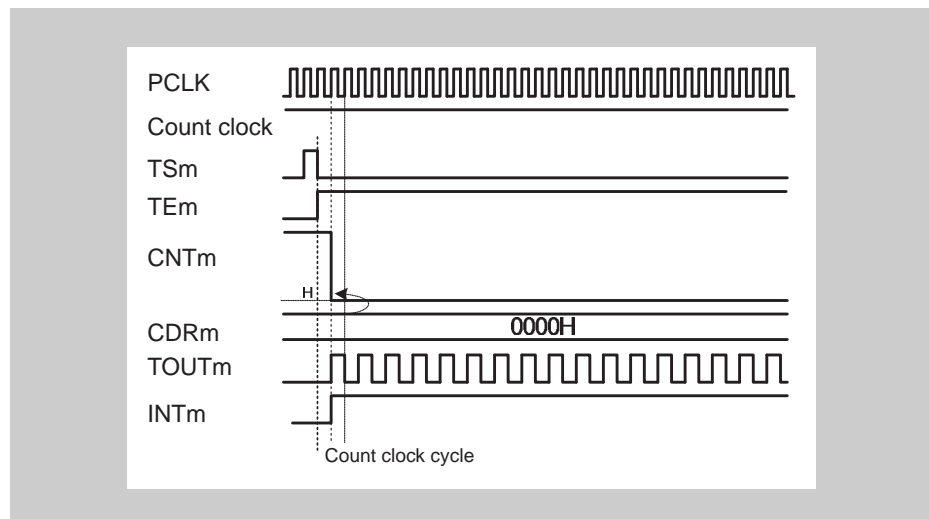
表 16-16 インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
動作再開 ↓	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを表 16-12 「インターバル・タイマ機能の TAUBnCMORm 設定」, 表 16-13 「インターバル・タイマ機能の TAUBnCMURm 設定」 に示すように設定します。  TAUBnCDRm レジスタの値を設定します。  制御ビットを表 16-14 「チャンネル単体出力モード 1 時の制御ビット設定」 に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され, カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合, INTTAUBnIM が発生し, TAUBnTTOUTm がトグルされます。
	動作中 TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUBnCDRm の値を TAUBnCNTm にロードし, カウント動作を継続します。</li> <li>INTTAUBnIM が発生し, TAUBnTTOUTm がトグルされます。</li> </ul>
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し, 現在値を保持します。

## (6) 特定の設定時のタイミング図

(a) TAUBnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK/2図 16-26 TAUBnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK/2

- TAUBnCDRm = 0000<sub>H</sub>, かつカウント・クロック = PCLK/2<sup>1</sup> の場合, カウント・クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり, TAUBnCNTm は常に 0000<sub>H</sub> です。
- INTTAUBnIm がカウント・クロックごとに発生するので, TAUBnTOUTm はカウント・クロックごとにトグルされます。

(b) TAUBnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK図 16-27 TAUBnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK

- TAUBnCDRm = 0000<sub>H</sub>, かつカウント・クロック = PCLK の場合, PCLK クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり, TAUBnCNTm は常に 0000<sub>H</sub> です。
- 継続的に INTTAUBnIm が発生し, PCLK クロックごとに TAUBnTOUTm がトグルされます。

## (c) 動作の停止と再開

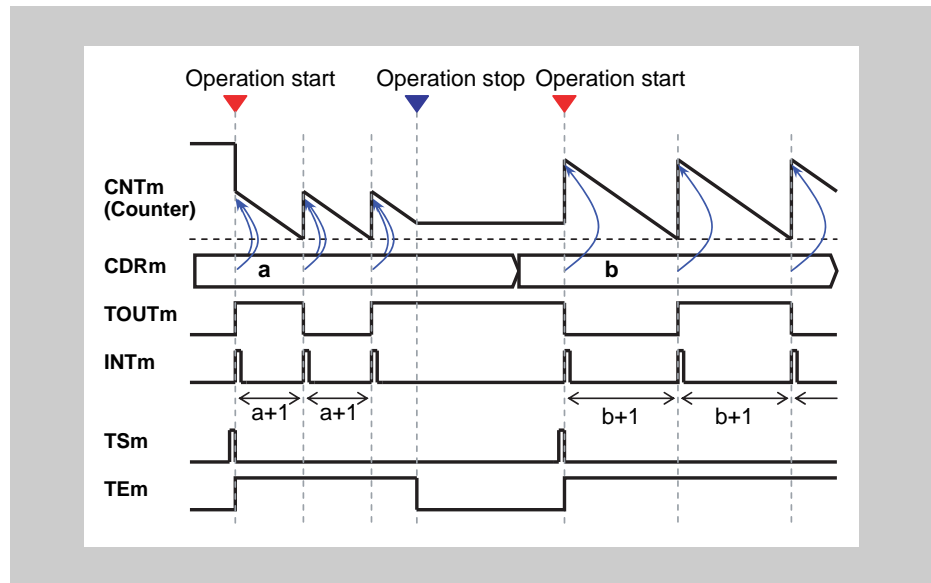


図 16-28 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 1)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

## (d) 強制リスタート

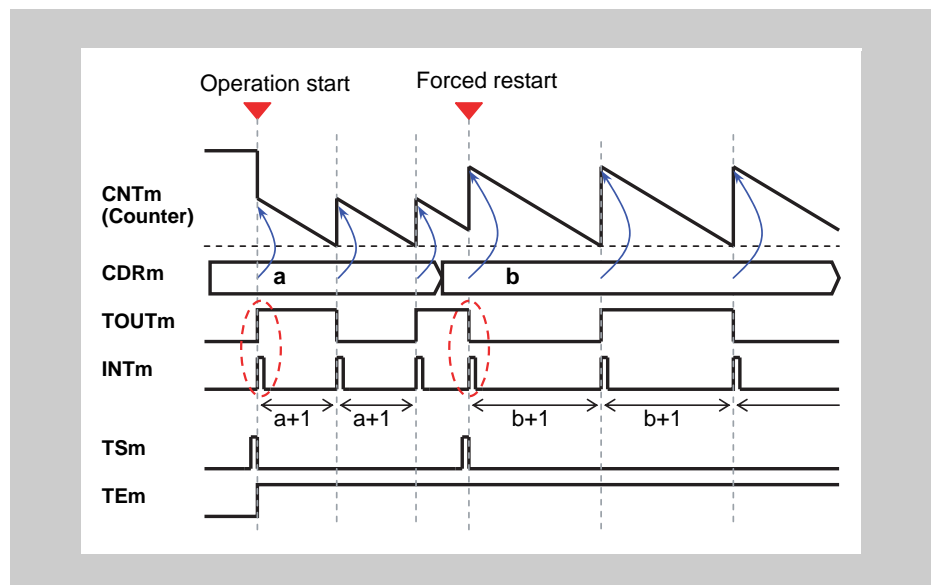


図 16-29 強制リスタート動作 (TAUBnCMORm.TAUBnMD0 = 1)

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUBnTTOUTm はトグル出力します。



## 16.15.2 TAUBnTTINm 入力インターバル・タイマ機能

### (1) 概要

**概要** この機能は、一定間隔または有効な TAUBnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUBnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 16-17 「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。16.9 「チャンネル出力モード」を参照してください。

**機能説明** この機能は、有効な TAUBnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (16.15.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

### (2) 算出式

INTTAUBnIm の周期 = カウント・クロック周期 × (TAUBnCDRm + 1)

TAUBnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUBnCDRm + 1) × 2

### (3) ブロック図と基本タイミング図

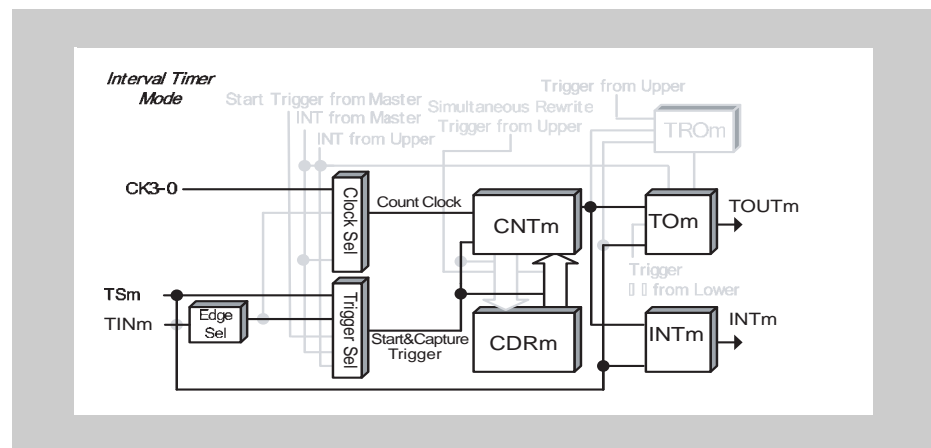


図 16-30 TAUBnTTINm 入力インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORM.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>)

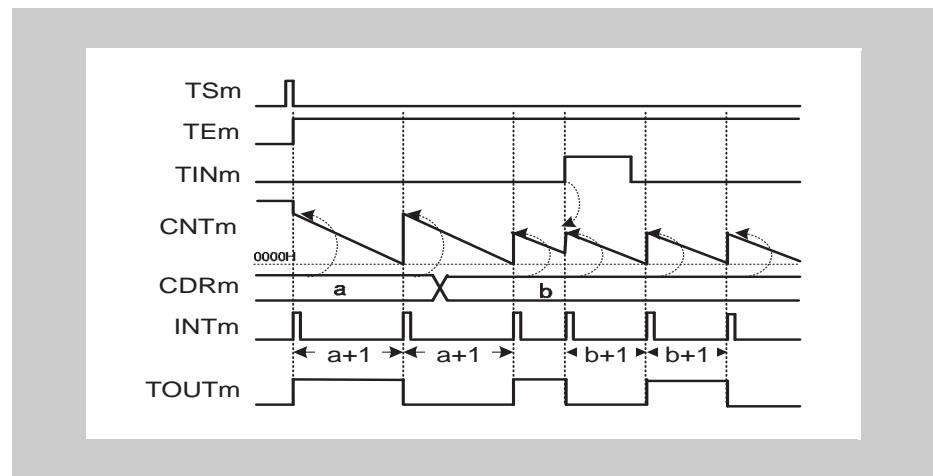


図 16-31 TAUBnTTINm 入力インターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-17 TAUBnTTINm 入インターバル・タイマ機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-18 TAUBnTTINm 入インターバル・タイマ機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャネル出力モード

表 16-19 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

**備考** チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTOUTmを割り込みとは独立させて制御することができます。詳細は16.9「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-20 TAUBnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

## (5) TAUBnTTINm 入力インターバル・タイマ機能の操作手順

表 16-21 TAUBnTTINm 入力インターバル・タイマ機能の操作手順

	操作	TAUBn の状態
動作再開 ↓	チャンネルの初期設定  TAUBnCMORm, TAUBnCMURm レジスタを, 表 16-17 「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMORm 設定」と表 16-18 「TAUBnTTINm 入力インターバル・タイマ機能の TAUBnCMURm 設定」に示すように設定します。  TAUBnCDRm レジスタの値を設定します。  制御ビットを表 16-19 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始  TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され, カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0 = 1 の場合, INTTAUBnIm が発生し, TAUBnTTOUTm がトグルされます。
	動作中  TAUBnCMURm.TAUBnTIS[1:0], TAUBnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。  TAUBnTTINm エッジ検出	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUBnCDRm の値を TAUBnCNTm にロードし, カウント動作を継続します。</li> <li>INTTAUBnIm が発生し, TAUBnTTOUTm がトグルされます。</li> </ul> カウント動作中に TAUBnTTINm 入力の有効エッジを検出すると, 再び TAUBnCDRm の値を TAUBnCNTm にロードし, カウント動作を継続します。 以降, この動作を繰り返します。
	動作停止  TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し, 現在値を保持します。

## (6) 特定の設定時のタイミング図

16.15.1「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUBnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

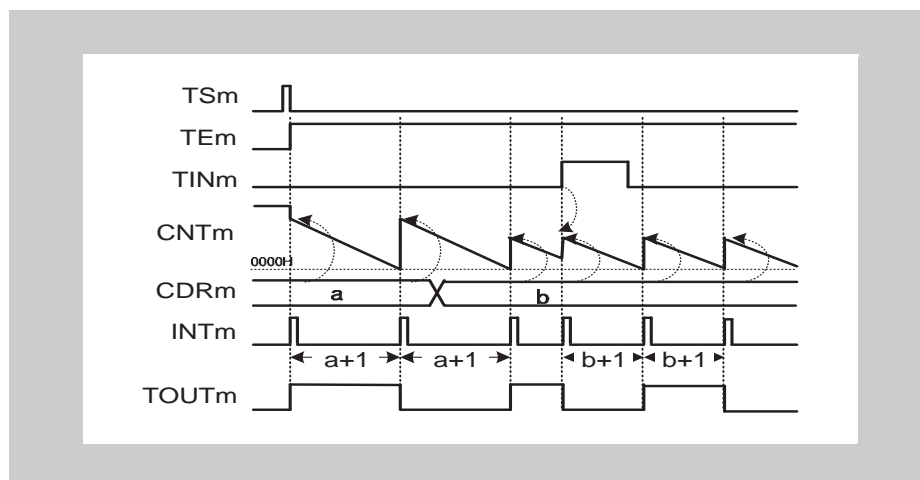


図 16-32 立ち上がり TAUBnTTINm 入力エッジ  
(TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>), TAUBnCMORm.TAUBnMD0 = 1  
でトリガされたカウンタ

- 有効な TAUBnTTINm 入力エッジを検出した場合、TAUBnTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>) です。

### 16.15.3 ワンパルス出力機能

#### (1) 概要

**概要** この機能は、有効な TAUBnTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUBnIm) を発生します。定められた期間内に発生する TAUBnTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUBnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはパルス・ワンカウント・モードに設定する必要があります (表 16-22 「ワンパルス出力機能の TAUBnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。16.9 「チャンネル出力モード」を参照してください。
  - カウント動作中は、トリガ検出を禁止 (TAUBnCMORm.TAUBnMD0 = 0) にする必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBnTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUBnTTOUTm がアクティブ・レベルに設定されます。

カウンタが 0001<sub>H</sub> になると、割り込みが発生し、TAUBnTTOUTm がインアクティブ・レベルに設定されます。カウンタは 0000<sub>H</sub> で動作を停止し、次の有効な TAUBnTTINm 入力エッジを待ちます。

カウンタのダウン・カウント時は、TAUBnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件** トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。
- TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub> の場合、カウンタは立ち下がりエッジでトリガされます。
  - TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub> の場合、カウンタは立ち上がりエッジでトリガされます。
  - TAUBnCMURm.TAUBnTIS[1:0] = 10<sub>B</sub> の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

#### (2) 算出式

TAUBnTTINm-INTTAUBnIm の間隔 = TAUBnTTOUTm (タイマ出力) 幅 = カウント・クロック周期 × TAUBnCDRm

(3) ブロック図と基本タイミング図

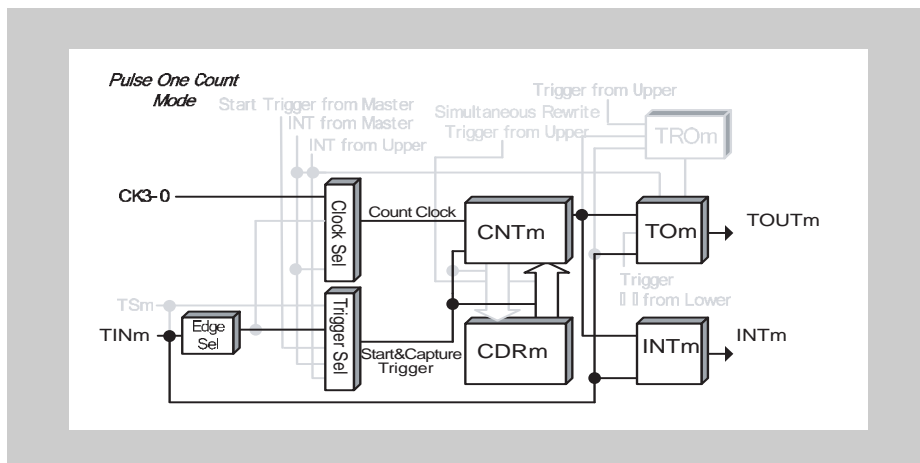


図 16-33 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

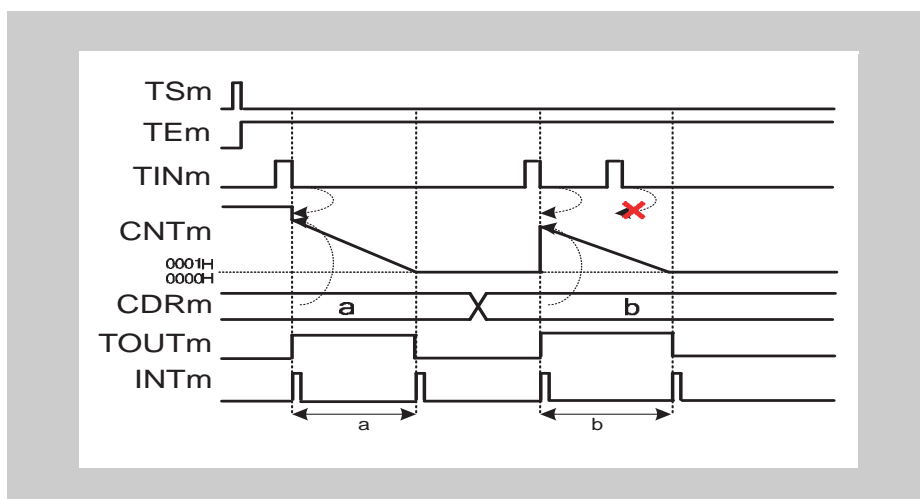


図 16-34 ワンパルス出力機能の基本タイミング図



## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS [2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-22 ワンパルス出力機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガを無効とする

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-23 ワンパルス出力機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) チャネル出力モード

表 16-24 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	1: セット/リセット・モード
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

**備考** チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTTOUtm を割り込みとは独立させて制御することができます。詳細は表 16-10 「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 16-25 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

## (5) ワンパルス出力機能の操作手順

表 16-26 ワンパルス出力機能の操作手順

	操作	TAUBnの状態
動作再開 ↑	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを, 表 16-22 「ワンパルス出力機能の TAUBnCMORm 設定」と表 16-23 「ワンパルス出力機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを表 16-24 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され, TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると, TAUBnCNTm は TAUBnCDRm の値をロードします。
	動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はアクティブ・レベルに設定されます。 TAUBnCNTm がダウン・カウントを行います。 カウンタが 0001 <sub>H</sub> になった場合: • INTTAUBnIm が発生します。 • TAUBnTTOUTm がインアクティブ・レベルに設定されます。 TAUBnCNTm はカウントを停止し, トリガを待ちます。  TAUBnCNTm のカウント中に発生するトリガは無視されます。  以降, この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し, 現在値を保持します。

## 16.16 チャンネル単体信号測定機能

この節では、各 TAUBnTTINm パルスの幅、または連続した TAUBnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 16.16.1 「TAUBnTTINm 入力パルス・インターバル測定機能」
- 16.16.2 「TAUBnTTINm 入力信号幅測定機能」
- 16.16.3 「オーバーフロー割り込み出力機能 (TAUBnTTINm 幅測定時)」
- 16.16.4 「TAUBnTTINm 入力期間カウント検出機能」
- 16.16.5 「オーバーフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)」
- 16.16.6 「TAUBnTTINm 入力パルス・インターバル判定機能」
- 16.16.7 「TAUBnTTINm 入力信号幅判定機能」

## 16.16.1 TAUBnTTINm 入力パルス・インターバル測定機能

## (1) 概要

**概要** この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUBnCSRm.TAUBnOVF を使用して TAUBnTTINm 入力信号の間隔を測定します。

- 前提条件**
- 動作モードはキャプチャ・モードに設定する必要があります (表 16-28 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」参照)。
  - この機能では、TAUBnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタ TAUBnCNTm は、0000<sub>H</sub> からカウントを開始します。有効な TAUBnTTINm エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが FFFF<sub>H</sub> に達すると、カウンタは 0000<sub>H</sub> にオーバーフローします。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUBnCDRm, TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 16-27 オーバフローの影響

TAUBnCMORm .COS[1:0]	オーバーフローが発生した場合		その後、有効な TAUBnTTINm 入力が検出された場合	
	TAUBn CDRm	TAUBnCSRm .TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm .TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm に ロードされる	1
01		1		
10	FFFF <sub>H</sub> に設定	0	TAUBnCNTm は 0 に設定され、 TAUBnCDRm は 変更されない	0
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバーフロー・ビット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBnTTINm 信号の間隔を推定できます。ただし、有効な TAUBnTTINm 入力が検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバーフローの発生を示しません。

TAUBnTT.TAUBnTTm = 1 を設定すると機能を停止できます。これにより、TAUBnTE.TAUBnTEm = 0 が設定されます。TAUBnCNTm が停止し、値を保持します。機能停止中、有効な TAUBnTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。

カウンタは、0000<sub>H</sub>にリセットされ、その後動作を継続します。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

**条件** TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は表 16.11 「カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

**備考** TAUBnCMORm.TAUBnCOS[1:0] = 11<sub>B</sub> の場合、オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

## (2) 算出式

TAUBnTTINm 入力パルス間隔 = カウント・クロック周期 ×  
 [ (TAUBnCSRm.TAUBnOVF × (FFFF<sub>H</sub> + 1)) + TAUBnCDRm キャプチャ値  
 + 1 ]

## (3) ブロック図と基本タイミング図

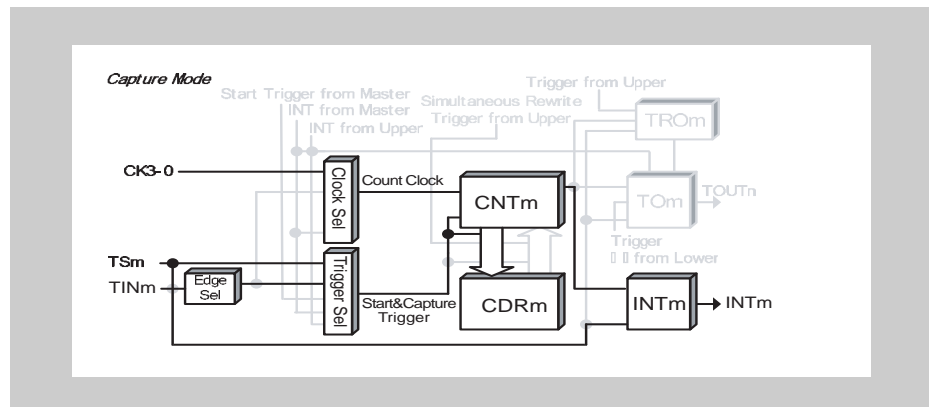


図 16-35 TAUBnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない  
(TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する  
(TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>)

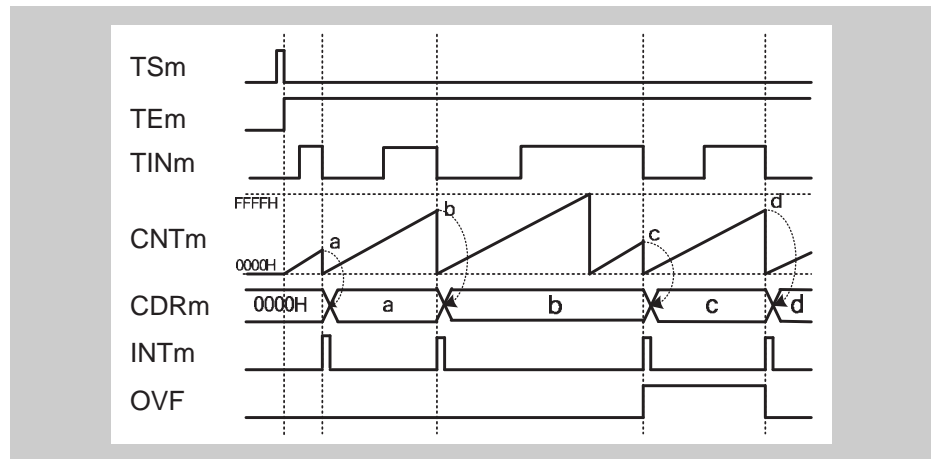


図 16-36 TAUBnTTINm 入力パルス・インターバル測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-28 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	001 : TAUBnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	表 16-27 「オーバフローの影響」を参照。
TAUBnMD[4:1]	0010 : キャプチャ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-29 TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。



(d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は, TAUBnTTINm 入力パルス・インターバル測定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 16-30 TAUBnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

(5) TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

表 16-31 TAUBnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを, 表 16-28 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMORm 設定」と表 16-29 「TAUBnTTINm 入力パルス・インターバル測定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され, カウントが開始されます。 TAUBnCNTm が 0000 <sub>H</sub> にクリアされます。 TAUBnCMORm.TAUBnMDO が 1 の場合は, INTTAUBnIm が発生します。
	動作中 TAUBnTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能です。 (TAUBnCSRm.TAUBnOVF ビットを 0 にクリア)	TAUBnCNTm は, 0000 <sub>H</sub> からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時 : <ul style="list-style-type: none"> <li>• TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) して, 0000<sub>H</sub> に戻ります。</li> <li>• その後, INTTAUBnIm が発生します。</li> </ul> 以降, この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm は停止し, TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図：オーバーフロー動作

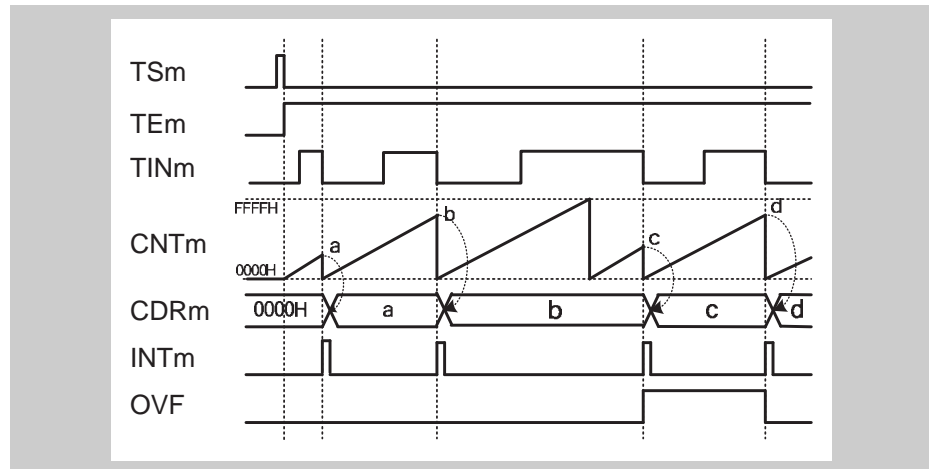
(a) TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>

図 16-37 TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

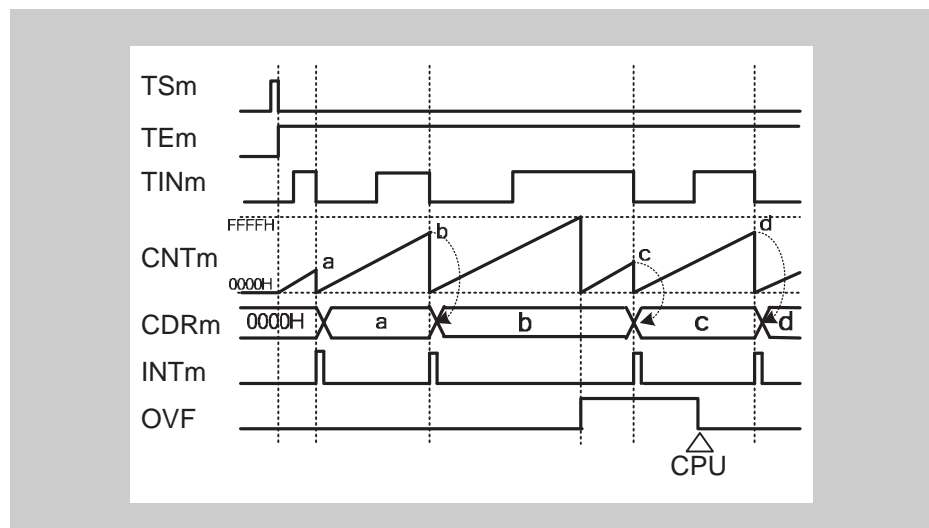
(b) TAUBnCMORm.TAUBnCOS[1:0] = 01<sub>B</sub>

図 16-38 TAUBnCMORm.TAUBnCOS[1:0] = 01<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット =1 のセット) でのみクリアされます。

(c) TAUBnCMORm.TAUBnCOS[1:0] = 10<sub>B</sub>

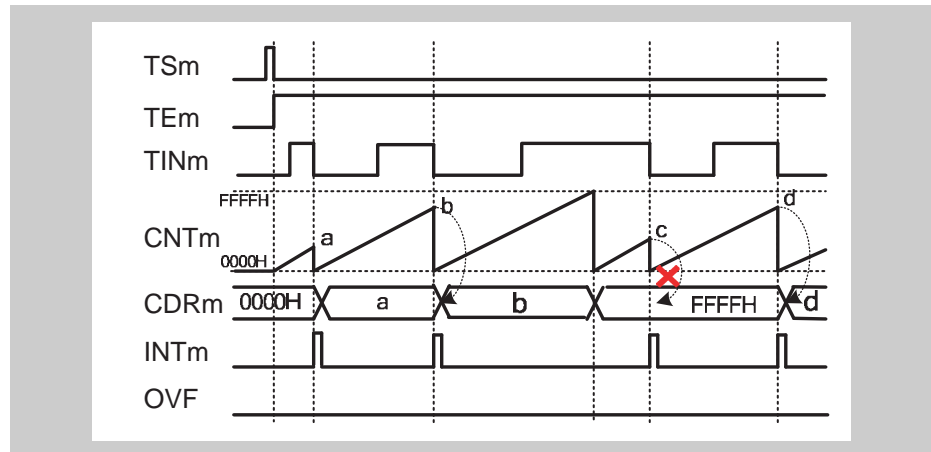


図 16-39 TAUBnCMORm.TAUBnCOS[1:0] = 10<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm は FFFF<sub>H</sub> に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

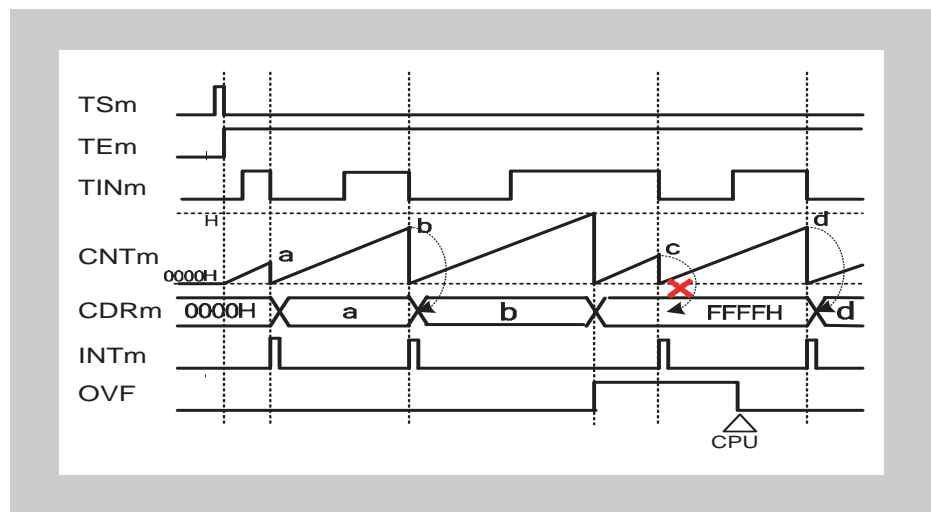
(d) TAUBnCMORm.TAUBnCOS[1:0] = 11<sub>B</sub>

図 16-40 TAUBnCMORm.TAUBnCOS[1:0] = 11<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm は FFFF<sub>H</sub> に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

## 16.16.2 TAUBnTTINm 入力信号幅測定機能

### (1) 概要

**概要** この機能は、TAUBnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（表 16-33 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」参照）。
  - この機能では、TAUBnTTOUTm は使用しません。
  - TAUBnCMORm.TAUBnMD0 は、0 に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。有効な TAUBnTTINm スタート・エッジが検出されると、カウンタ TAUBnCNTm は、0000<sub>H</sub> からカウントを開始します。有効な TAUBnTTINm ストップ・エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは値 (CDRn + 1) を保持し、次の有効な TAUBnTTINm 入力スタート・エッジを待ちます。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが FFFF<sub>H</sub> に達すると、カウンタはオーバフローします。カウンタは、0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUBnCDRm, TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0] ビットの値によって異なります。

表 16-32 オーバフローの影響

TAUBnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUBnTTINm 入力ストップ・エッジの検出時	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm に ロードされる	1
01		1		
10	FFFF <sub>H</sub> に設定	0	TAUBnCNTm はカウントを停止 TAUBnCDRm は変更されない	0
11		1		

TAUBnCMORm.TAUBnCOS[0] = 1 のとき、オーバフロー・ビット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでのみクリアできます。

TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBnTTINm 信号の幅を推定できます。ただし、有効な TAUBnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

**備考** TAUBnCMORm.TAUBnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUBnTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

## (2) 算出式

TAUBnTTINm 入力信号幅 = カウント・クロック周期 ×  
 [ (TAUBnCSRm.TAUBnOVF × (FFFF<sub>H</sub> + 1)) + TAUBnCDRm キャプチャ  
 値 + 1 ]

## (3) ブロック図と基本タイミング図

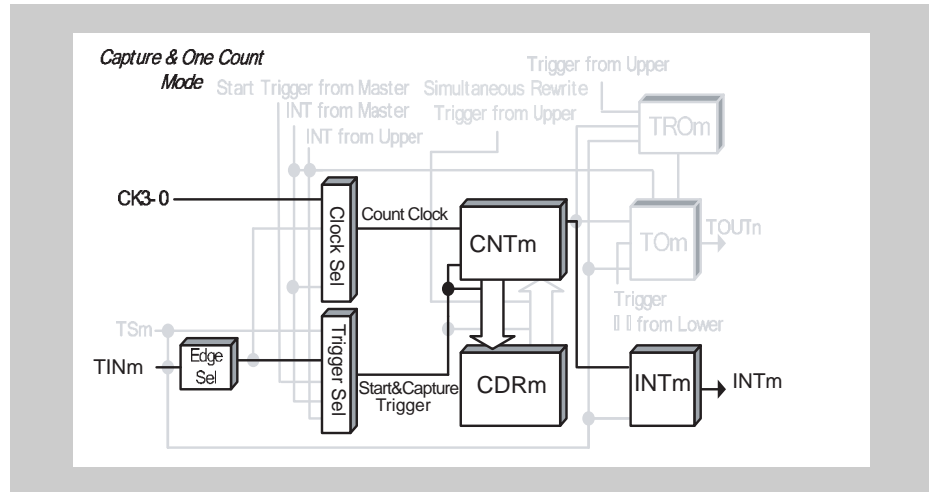


図 16-41 TAUBnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>)
- オーバフロー後に有効な TAUBnTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する (TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>)

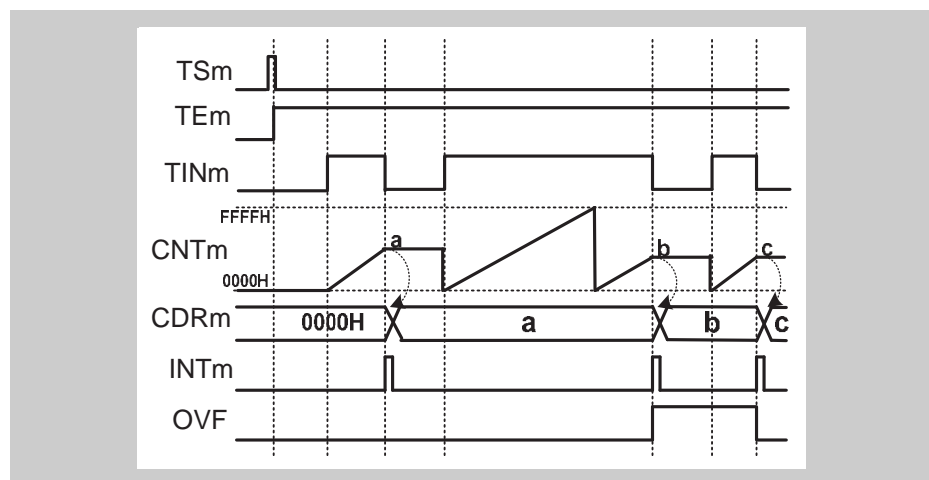


図 16-42 TAUBnTTINm 入力信号幅測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	TAUBnCCS [1:0]	TAUBn MAS	TAUBnSTS [2:0]	TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0					

表 16-33 TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	表 16-32 「オーバフローの影響」を参照。
TAUBnMD[4:1]	0110 : キャプチャ & ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-34 TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-35 TAUBnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(5) TAUBnTTINm 入力信号幅測定機能の操作手順**

表 16-36 TAUBnTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
動作再開	初期設定 チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-33 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMORm 設定」と表 16-34 「TAUBnTTINm 入力信号幅測定機能の TAUBnCMURm 設定」に示すように設定します。  TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。TAUBnTTINm スタート・エッジを検出すると、TAUBnCNTm はアップ・カウントを開始します。
	動作中 TAUBnTTINm エッジ検出  TAUBnCDRm, TAUBnCNTm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.CLOV ビットは、1 にセット可能です。	TAUBnCNTm は、0000 $\mu$ からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> <li>TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) して、その値を保持し、INTTAUBInm が発生します。</li> </ul> カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBnTTINm スタート・エッジの検出を待ちます。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。



## (6) 特定の設定時のタイミング図：オーバーフロー動作

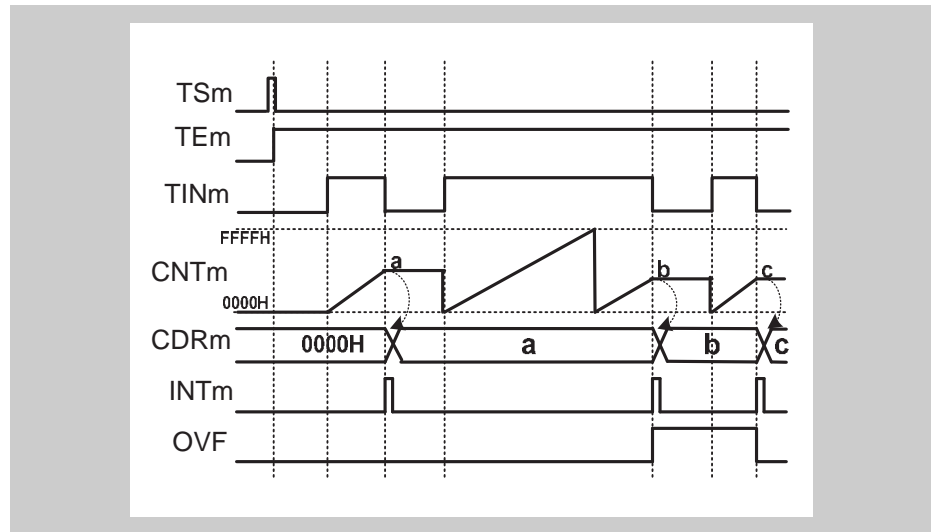
(a) TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>

図 16-43 TAUBnCMORm.TAUBnCOS[1:0] = 00<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

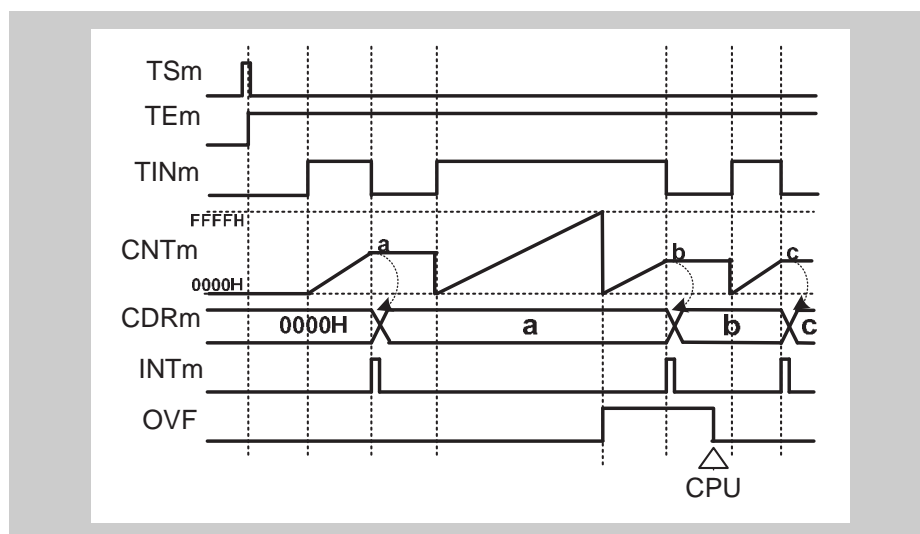
(b) TAUBnCMORm.TAUBnCOS[1:0] = 01<sub>B</sub>

図 16-44 TAUBnCMORm.TAUBnCOS[1:0] = 01<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド (TAUBnCSCm.TAUBnCLOV ビット = 1 のセット) でのみクリアされます。

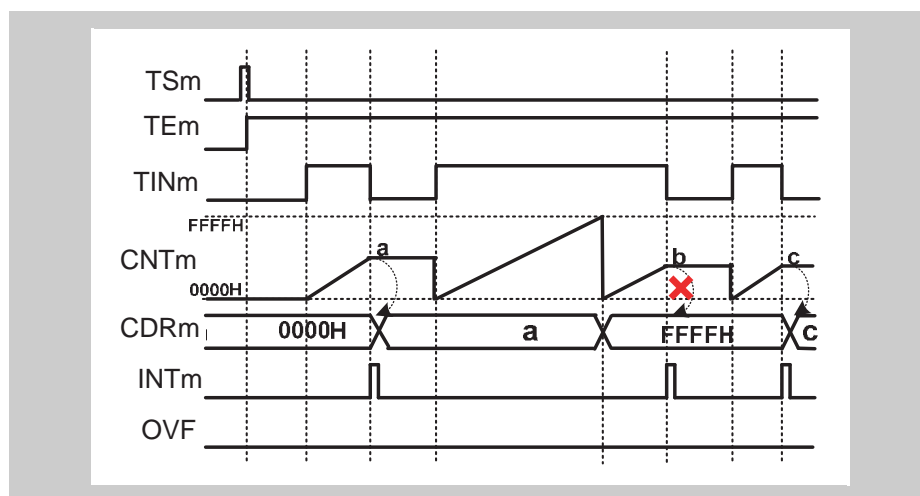
(c) TAUBnCMORm.TAUBnCOS[1:0] = 10<sub>B</sub>

図 16-45 TAUBnCMORm.TAUBnCOS[1:0] = 10<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm は FFFF<sub>H</sub> に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。

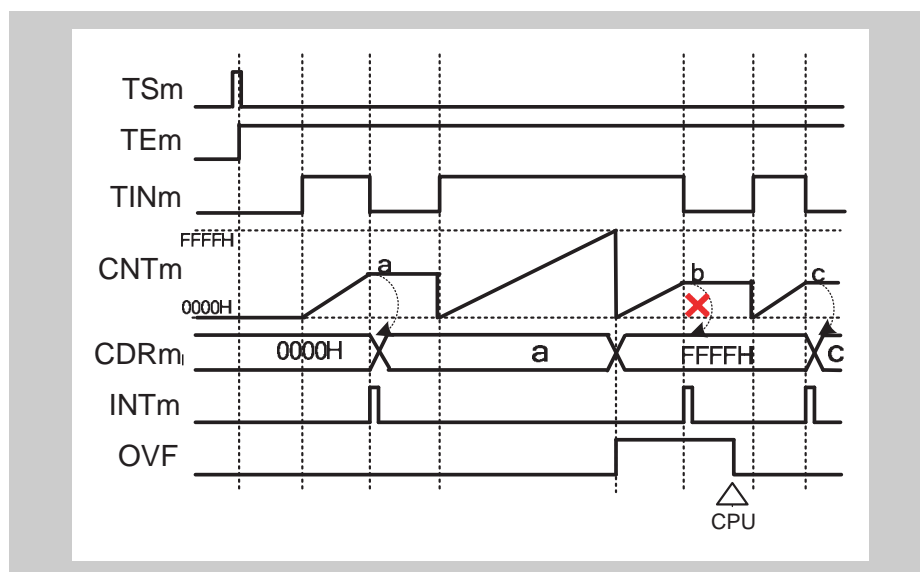
(d) TAUBnCMORm.TAUBnCOS[1:0] = 11<sub>B</sub>

図 16-46 TAUBnCMORm.TAUBnCOS[1:0] = 11<sub>B</sub>, TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUBnCDRm は FFFF<sub>H</sub> に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBnTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV = 1 を設定することでクリアされます。

### 16.16.3 オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時)

#### (1) 概要

**概要** この機能は、各 TAUBnTTINm 入力信号の幅を測定します。TAUBnTTINm 入力後、(FFFF<sub>H</sub> + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 16-37 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 幅測定時)」参照)。
  - この機能では、TAUBnTTOUTm は使用しません。
  - TAUBnCDRm の値は、FFFF<sub>H</sub> に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。

有効な TAUBnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に FFFF<sub>H</sub> がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUBnTTINm 入カスタート・エッジが検出されると、TAUBnCNTm は FFFF<sub>H</sub> をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、割り込みが発生します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 10<sub>B</sub> の場合、TAUBnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub> の場合、TAUBnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

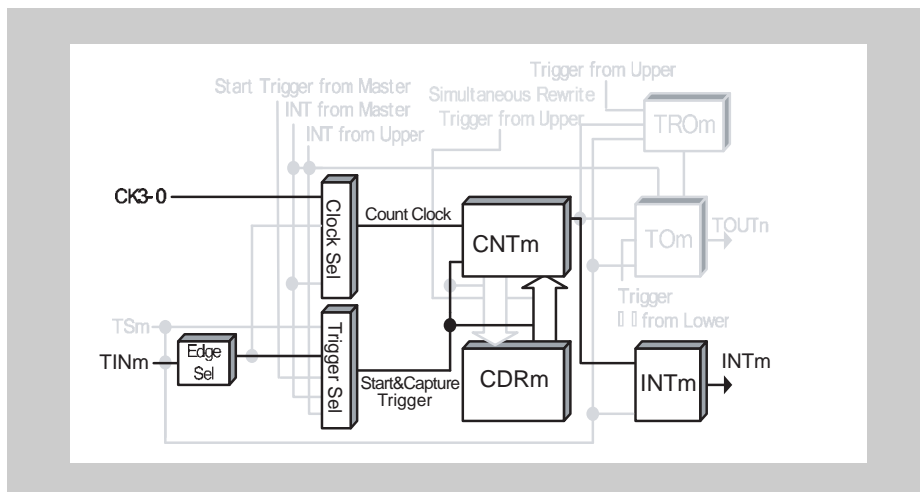


図 16-47 オーバフロー割り込み出力機能のブロック図 (TAUBnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>)

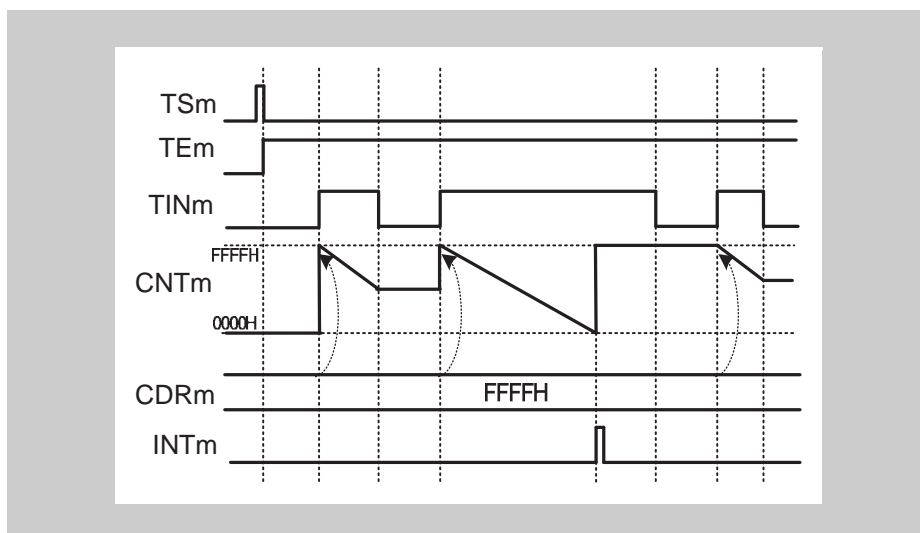


図 16-48 オーバフロー割り込み出力機能の基本タイミング図 (TAUBnTTINm 幅測定時)

## (3) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-37 オーバフロー割り込み出力機能の TAUBnCMORm 設定  
(TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-38 オーバフロー割り込み出力機能の TAUBnCMURm 設定  
(TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、オーバフロー割り込み出力機能 (TAUBnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-39 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUBnTTINm 幅測定時)

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(4) オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 幅測定時)**

表 16-40 オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 幅測定時)

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-37 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 幅測定時)」と表 16-38 「オーバフロー割り込み出力機能の TAUBnCMURm 設定 (TAUBnTTINm 幅測定時)」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUBnCDRm の値 (FFFF <sub>H</sub> ) を TAUBnCNTm にロードします。
	動作中 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUBnTTINm エッジ検出	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUBnIm が発生します。</li> </ul> カウント動作中に TAUBnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> <li>TAUBnCNTm はカウントを停止し、トリガを待ちます。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。



### 16.16.4 TAUBnTTINm 入力期間カウント検出機能

#### (1) 概要

**概要** この機能は、TAUBnTTINm 入力信号の合計幅を測定します。

**前提条件** • 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (表 16-41 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」参照)。

• この機能では、TAUBnTTOUm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUBnTTINm 入力エッジを待ちます。

有効な TAUBnTTINm 入カスタート・エッジが検出されると、カウンタは、0000<sub>H</sub> からカウントを開始します。

有効な TAUBnTTINm 入カストップ・エッジが検出されると、TAUBnCnTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。次の有効な TAUBnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値 (CDRn + 1) を保持します。

次の有効な TAUBnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF<sub>H</sub> になると、TAUBnCSRm.TAUBnOVF ビットが 1 に設定され、カウンタは 0000<sub>H</sub> からカウント動作を再開します。

TAUBnCSCm.TAUBnCLOV = 1 を設定すると、TAUBnCSRm.TAUBnOVF 値が CPU によってリセットされます。

**備考** TAUBnTTINm 入力信号は、TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

• TAUBnCMURm.TAUBnTIS[1:0] = 10<sub>B</sub> の場合、TAUBnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。

• TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub> の場合、TAUBnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

#### (2) 算出式

TAUBnTTINm 入力幅累計 =  
 カウント・クロック周期 × (((FFFF<sub>H</sub> + 1) × TAUBnCSRm.TAUBnOVF) +  
 (TAUBnCDRm キャプチャ値 + 1))

(3) ブロック図と基本タイミング図

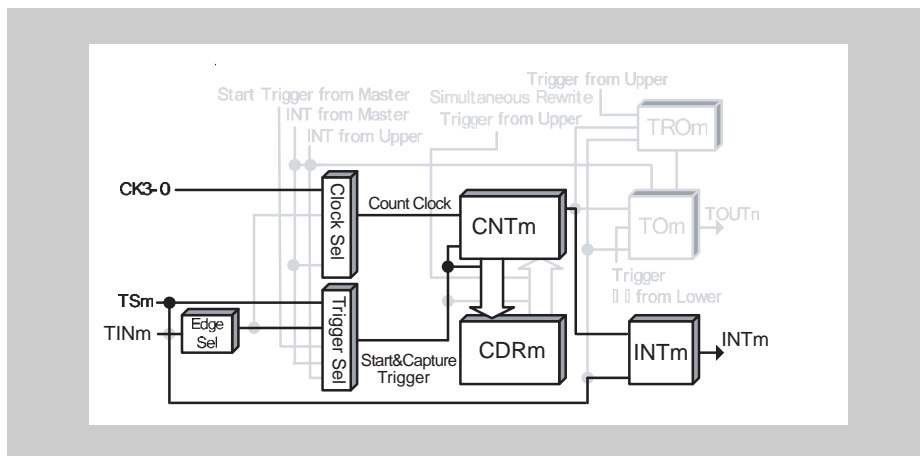


図 16-49 TAUBnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>)

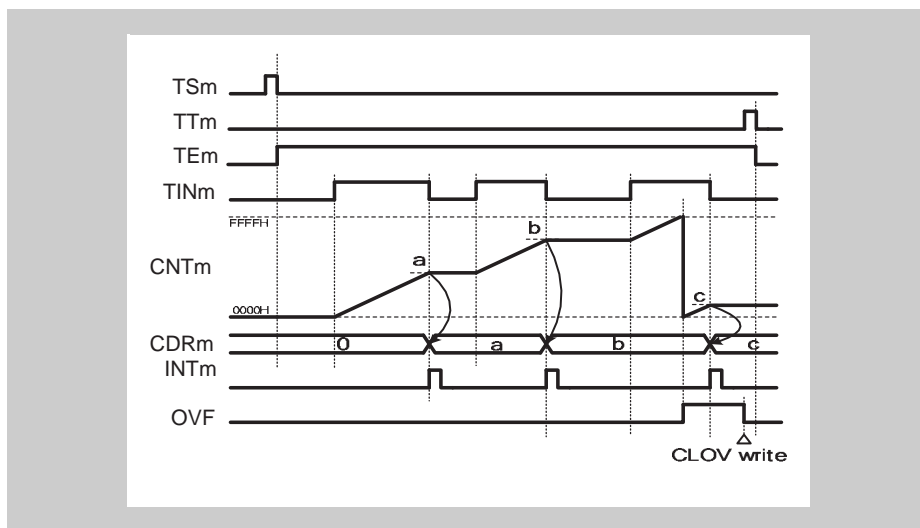


図 16-50 TAUBnTTINm 入力期間カウント検出機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-41 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUBnCSRm.TAUBnOVF) を設定, CPU 命令 (TAUBnCSCm.TAUBnCLOV に "1" 設定) によりクリア
TAUBnMD[4:1]	1101 : キャプチャ&ゲート・カウント・モード
TAUBnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-42 TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-43 TAUBnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

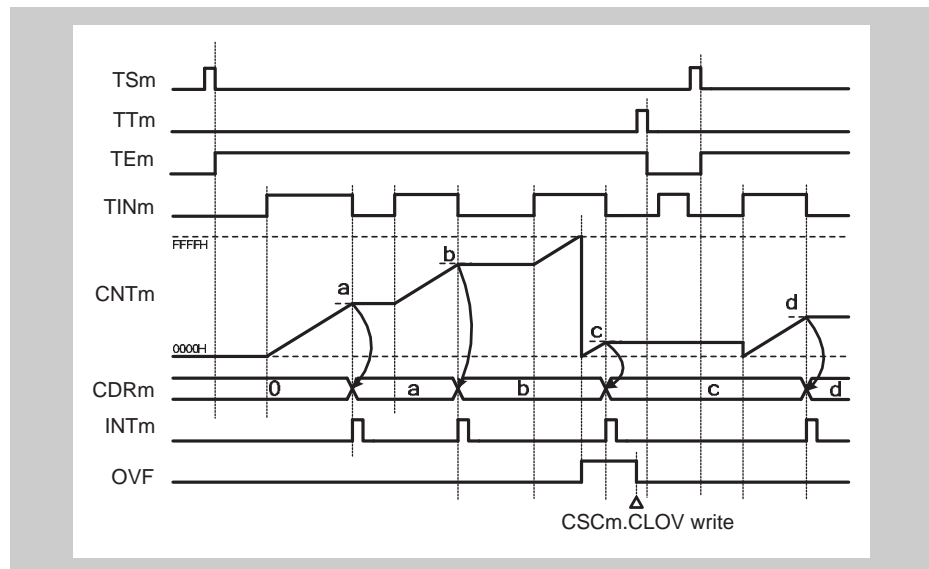
**(5) TAUBnTTINm 入力期間カウント検出機能の操作手順**

表 16-44 TAUBnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
動作再開	初期設定 チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-41 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMORm 設定」と表 16-42 「TAUBnTTINm 入力期間カウント検出機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUBnCNTm は 0000 <sub>H</sub> にクリアされ、TAUBnCNTm はアップ・カウントを開始します。
	動作中 TAUBnTTINm エッジ検出 TAUBnCDRm, TAUBnCNTm, TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV は、1 に設定可能です。	TAUBnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると、TAUBnCNTm は停止値よりアップ・カウントを開始します。 TAUBnCNTm は、ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると、値を TAUBnCDRm に転送し、INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値 + 1 の値で停止し、TAUBnCNTm は TAUBnTTINm スタート・エッジの検出を待ちます。 TAUBnCNTm が FFFF <sub>H</sub> に達すると、カウンタはオーバフローし、TAUBnCSRm.TAUBnOVF は 1 に設定されます。 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

図 16-51 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000<sub>H</sub> からカウントを再開します。

### 16.16.5 オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間カウント検出時)

#### (1) 概要

**概要** この機能は、TAUBnTTINm 入力信号の合計幅を測定します。TAUBnTTINm 入力合計幅が  $FFFF_H$  より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

**前提条件**

- 動作モードはゲート・カウント・モードに設定する必要があります（表 16-45 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 入力期間カウント検出時)」参照）。

- この機能では、TAUBnTTOUTm は使用しません。

- TAUBnCDRm の値は、 $FFFF_H$  に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。

有効な TAUBnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に  $FFFF_H$  がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUBnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが  $0000_H$  になると、割り込みが発生します。TAUBnCNTm に  $FFFF_H$  がロードされ、カウンタは TAUBnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] =  $10_B$  の場合、TAUBnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。

- TAUBnCMURm.TAUBnTIS[1:0] =  $11_B$  の場合、TAUBnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

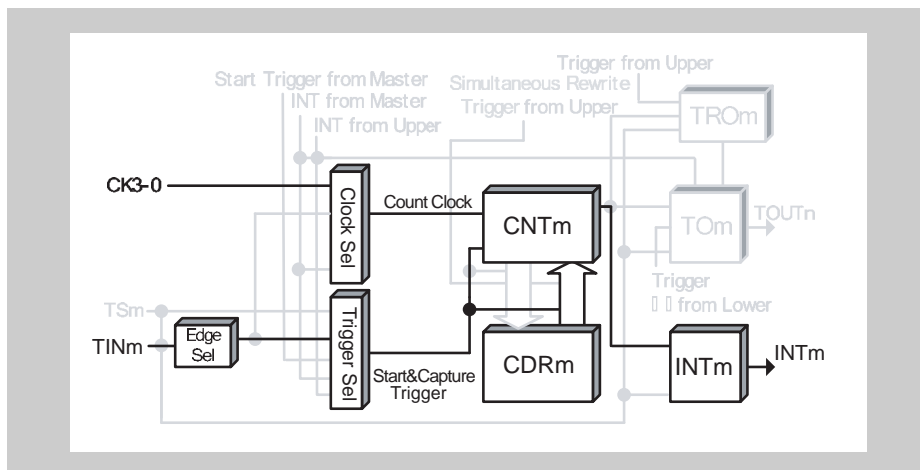


図 16-52 オーバフロー割り込み出力機能のブロック図 (TAUBnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub>)

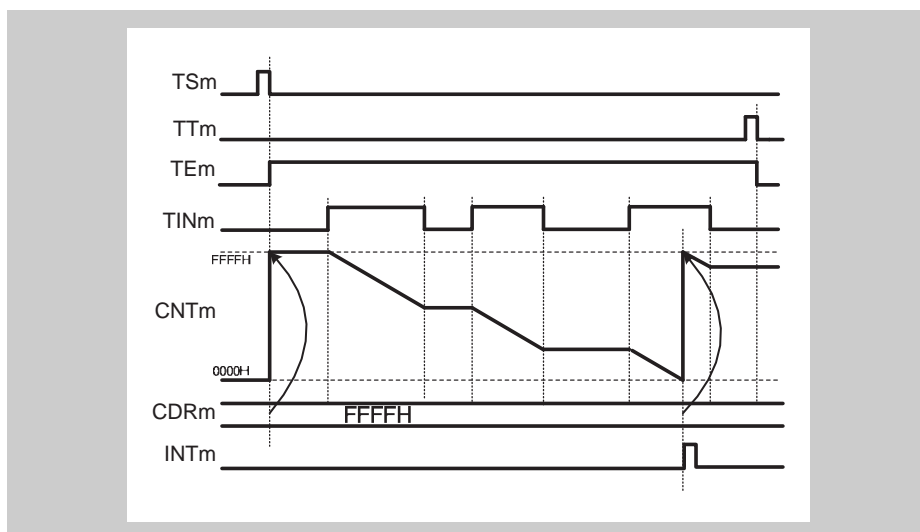


図 16-53 オーバフロー割り込み出力機能の基本タイミング図 (TAUBnTTINm 入力期間カウント検出時)

## (3) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-45 オーバフロー割り込み出力機能の TAUBnCMORm 設定  
(TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1100 : ゲート・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-46 オーバフロー割り込み出力機能の TAUBnCMURm 設定  
(TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。



**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、オーバフロー割り込み出力機能 (TAUBnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-47 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUBnTTINm 入力期間カウント検出時)

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(4) オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 入力期間カウント検出時)**

表 16-48 オーバフロー割り込み出力機能の操作手順 (TAUBnTTINm 入力期間カウント検出時)

	操作	TAUBn の状態
動作再開	初期設定 チャネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-45 「オーバフロー割り込み出力機能の TAUBnCMORm 設定 (TAUBnTTINm 入力期間カウント検出時)」と表 16-46 「オーバフロー割り込み出力機能の TAUBnCMURm 設定 (TAUBnTTINm 入力期間カウント検出時)」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUBnTTINm スタート・エッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUBnCDRm の値 (FFFF <sub>H</sub> ) を TAUBnCNTm にロードします。
	動作中 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUBnIm が発生します。</li> <li>TAUBnCDRm の値 (FFFF<sub>H</sub>) を TAUBnCNTm にロードし、ダウン・カウントを継続します。</li> </ul> カウント動作中に TAUBnTTINm の逆エッジを検出した場合： <ul style="list-style-type: none"> <li>TAUBnCNTm は停止値からダウン・カウントを行います。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

### 16.16.6 TAUBnTTINm 入力パルス・インターバル判定機能

#### (1) 概要

**概要** この機能は、TAUBnTTINm 入力パルスの発生時、カウント値 (TAUBnCNTm) とチャンネル・データ・レジスタ (TAUBnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。

**前提条件**

- 動作モードは判定モードに設定する必要があります (表 16-49 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」参照)。
- この機能では、TAUBnTTOUTm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

TAUBnTTINm 有効エッジが検出された場合、または TAUBnTS.TAUBnTSm が 1 に設定された場合、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。TAUBnCNTm は、TAUBnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUBnTTINm エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、TAUBnCNTm はオーバフローし、FFFF<sub>H</sub> に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

**条件** 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。

- TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。

(2) ブロック図と基本タイミング図

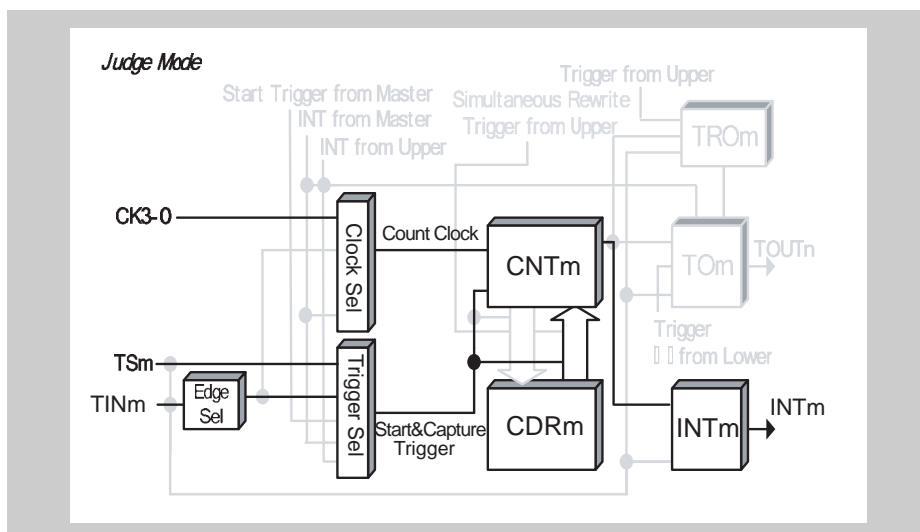


図 16-54 TAUBnTTINm 入力パルス・インターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

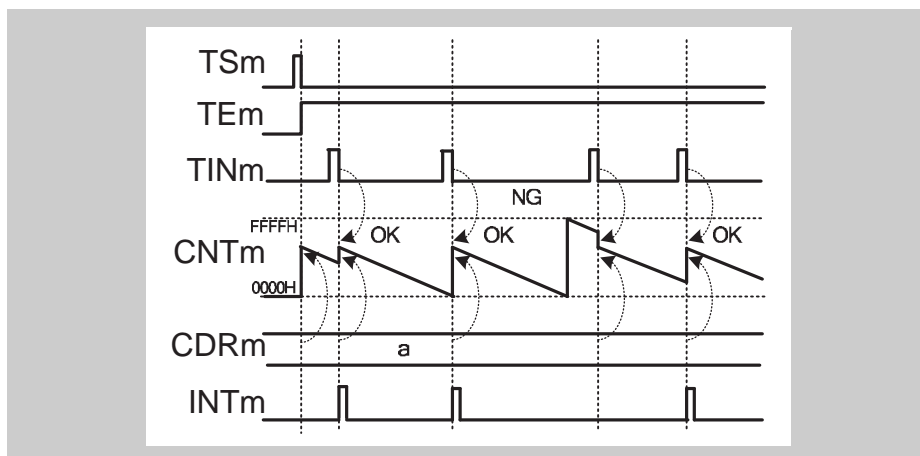


図 16-55 TAUBnTTINm 入力パルス・インターバル判定機能の基本タイミング図

## (3) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS [2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-49 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	001 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0001 : 判定モード
TAUBnMD0	0 : TAUBnCNTm ≤ TAUBnCDRm の場合, INTTAUBnIm が発生 1 : TAUBnCNTm > TAUBnCDRm の場合, INTTAUBnIm が発生

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-50 TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は, TAUBnTTINm 入力パルス・インターバル判定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 16-51 TAUBnTTINm 入力パルス・インターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(4) TAUBnTTINm 入力パルス・インターバル判定機能の操作手順**

表 16-52 TAUBnTTINm 入力パルス・インターバル判定機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを, 表 16-49 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMORm 設定」と表 16-50 「TAUBnTTINm 入力パルス・インターバル判定機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され, カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
	動作中 TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。 TAUBnTTINm 入力エッジ検出時 : <ul style="list-style-type: none"> <li>再び TAUBnCDRm の値を TAUBnCNTm にロードし, カウント動作を継続します。</li> <li>TAUBnCNTm は, 値を比較し, TAUBnCMORm.TAUBnMD0 の設定にしたがって条件を判定します。</li> <li>条件が満たされている場合, INTTAUBnIm が発生します。</li> </ul> 以降, この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ, カウンタ動作が停止します。 TAUBnCNTm が停止し, 現在値を保持します。

### 16.16.7 TAUBnTTINm 入力信号幅判定機能

#### (1) 概要

**概要** この機能は、TAUBnTTINm 入力信号の有効なストップ・エッジの検出時、カウンタ値 (TAUBnCNTm) とチャンネル・データ・レジスタ (TAUBnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。

- 前提条件**
- 動作モードは判定 & ワンカウント・モードに設定する必要があります (表 16-53 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」参照)。
  - この機能では、TAUBnTTOUTm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。有効な TAUBnTTINm 入力スタート・エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

有効な TAUBnTTINm ストップ・エッジが検出されると、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は、比較の結果に関係なく、次の有効な TAUBnTTINm スタート・エッジを検出するまで値を保持します。

有効な TAUBnTTINm ストップ・エッジを検出する前にカウンタが 0000<sub>H</sub> に達すると、TAUBnCNTm はオーバフローし、FFFF<sub>H</sub> に設定されます。その後、カウンタはダウン・カウントを継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

- 条件**
- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
    - TAUBnCMORm.TAUBnMD0 = 0 かつ TAUBnCNTm ≤ TAUBnCDRm の場合、INTTAUBnIm が発生します。
    - TAUBnCMORm.TAUBnMD0 = 1 かつ TAUBnCNTm > TAUBnCDRm の場合、INTTAUBnIm が発生します。
  - TAUBnCMURm.TAUBnTIS[1:0] ビットで幅測定のタイプを指定します。
    - High 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 11<sub>B</sub> の場合) では、TAUBnTTINm 立ち上がりエッジをスタート・エッジ、TAUBnTTINm 立ち下がりエッジをストップ・エッジとして使用します。
    - Low 幅測定 (TAUBnCMURm.TAUBnTIS[1:0] = 10<sub>B</sub> の場合) では、TAUBnTTINm 立ち下がりエッジをスタート・エッジ、TAUBnTTINm 立ち上がりエッジをストップ・エッジとして使用します。
  - この機能では強制リスタートは行えません。

## (2) ブロック図と基本タイミング図

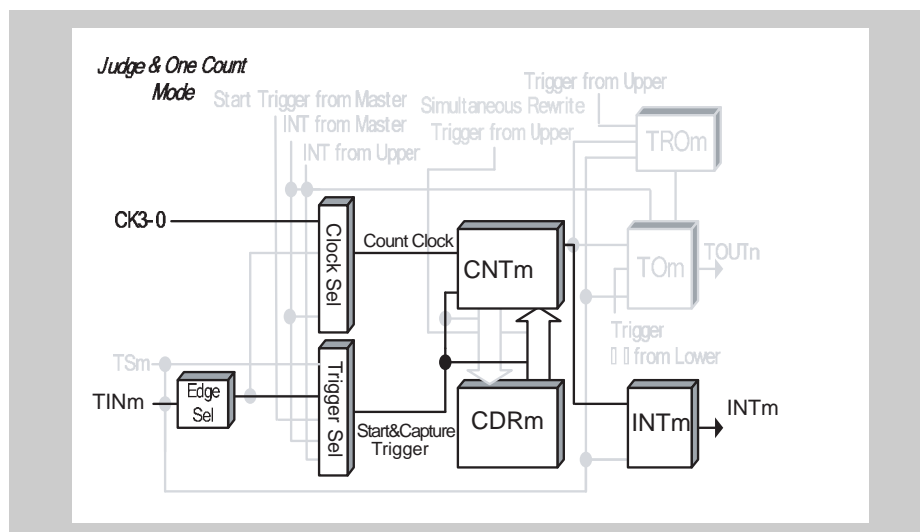


図 16-56 TAUBnTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUBnCNTm \leq TAUBnCDRm$  ( $TAUBnCMORm.TAUBnMD0 = 0$ ) の場合,  $INTTAUBnIm$  が発生します。
- $TAUBnTTINm$  有効スタート・エッジ = 立ち上がりエッジ,  $TAUBnTTINm$  有効ストップ・エッジ = 立ち下がりエッジ  
( $TAUBnCMURm.TAUBnTIS[1:0] = 11_B$ )

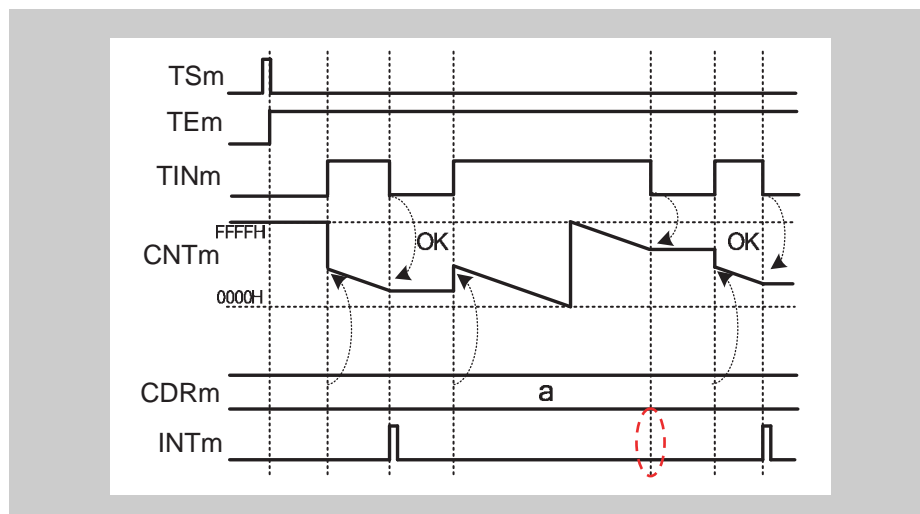


図 16-57 TAUBnTTINm 入力信号幅判定機能の基本タイミング図

## (3) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS [2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-53 TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	010 : TAUBnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0111 : 判定&ワンカウント・モード
TAUBnMD0	0 : TAUBnCNTm ≤ TAUBnCDRm の場合, INTTAUBnIm が発生 1 : TAUBnCNTm > TAUBnCDRm の場合, INTTAUBnIm が発生

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-54 TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。



**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-55 TAUBnTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(4) TAUBnTTINm 入力信号幅判定機能の操作手順**

表 16-56 TAUBnTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
初期設定 チャンネルの初期設定	TAUBnCMORm, TAUBnCMURm レジスタを、表 16-53 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMORm 設定」と表 16-54 「TAUBnTTINm 入力信号幅判定機能の TAUBnCMURm 設定」に示すように設定します。	チャンネル動作を停止しています。
	TAUBnCDRm レジスタの値を設定します。	
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBnTTINm スタート・エッジ検出を待ちます。
	TAUBnTTINm スタート・エッジ検出	TAUBnTTINm スタート・エッジが検出されると、TAUBnCDRm の値を TAUBnCNTm にロードします。
動作中	TAUBnTTINm エッジ検出  TAUBnCDRm 値は任意のタイミングで変更可能です。  TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウン・カウントを行います。 TAUBnTTINm ストップ・エッジ検出時： <ul style="list-style-type: none"> <li>TAUBnCNTm は停止し、TAUBnTTINm スタート・エッジ検出を待ちます。</li> <li>TAUBnCNTm は、値を比較し、TAUBnCMORm.TAUBnMD0 の設定にしたがって条件を判定します。</li> <li>条件が満たされている場合、INTTAUBnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

## 16.17 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 16.17.1 「一斉書き換えトリガ生成機能タイプ1」

### 16.17.1 一斉書き換えトリガ生成機能タイプ1

#### (1) 概要

**概要** 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUBnRDC.TAUBnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUBnRDC.TAUBnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUBnRDE.TAUBnRDEm = 1)
  - 上位チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 16-57 「一斉書き換えトリガ生成機能タイプ1のTAUBnCMORM 設定」参照)。
  - 下位チャンネルに設定可能な動作モードは、表 16-9 「一斉書き換え方法とトリガ・タイミング」を参照してください。
  - この機能では、TAUBnTTOUtm はいずれのチャンネルでも使用しません。

**機能説明** 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を1に設定すると、カウンタ動作が許可されます。これによりTAUBnTE.TAUBnTEm = 1となり、カウンタが可能になります。上位チャンネルのデータ・レジスタ・バッファ (TAUBnCDRm buf) の現在値がカウンタ (TAUBnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが0000<sub>H</sub>になると、そのチャンネルで割り込みが発生します。対応するTAUBnCDRm バッファの現在値をTAUBnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガ・チャンネルとして設定されていて (TAUBnRDC.TAUBnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUBnRSF.TAUBnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して、その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUBnIm の発生を検出するチャンネルは、該当チャンネルにTAUBnRDC.TAUBnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUBnRDC.TAUBnRDCm ビットを0に設定しておく必要があります。
  - TAUBnCMORM.TAUBnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。16.11 「カウント開始/リスタート時のTAUBnTTOUtm 出力とINTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

## (2) 算出式

一斉書き換えトリガの生成周期 =  
 カウント・クロック周期 × (TAUBnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$$\text{TAUBnCDRm} = [(\text{一斉書き換え対象マスタ・チャンネルの TAUBnCDRm 値} + 1) \times \text{割り込み数}] - 1$$

[三角波 PWM の場合]

$$\text{TAUBnCDRm} = [(\text{一斉書き換え対象マスタ・チャンネルの TAUBnCDRm 値} + 1) \times 2 \times \text{割り込み数}] - 1$$

つまり、TAUBnCDRm + 1 と TAUBnCDRm\_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

## (3) ブロック図と基本タイミング図

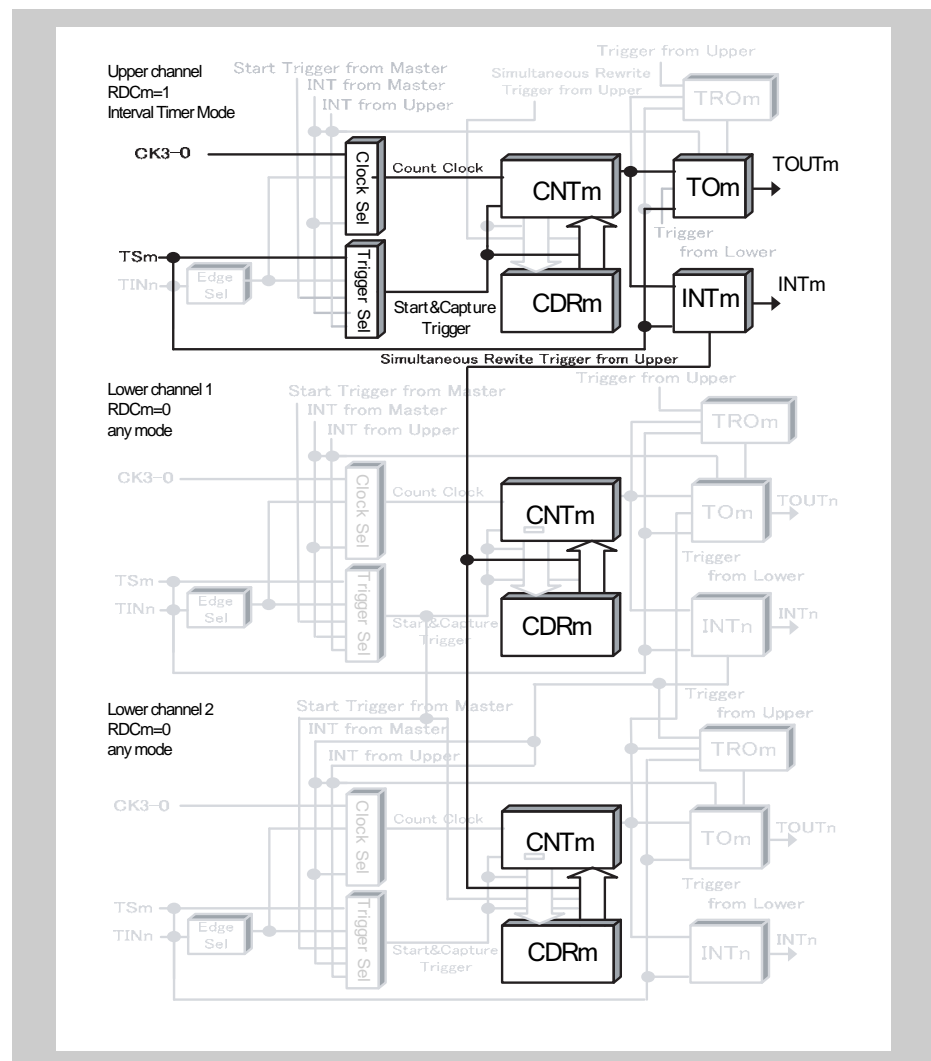


図 16-58 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORM.TAUBnMD0 = 1)

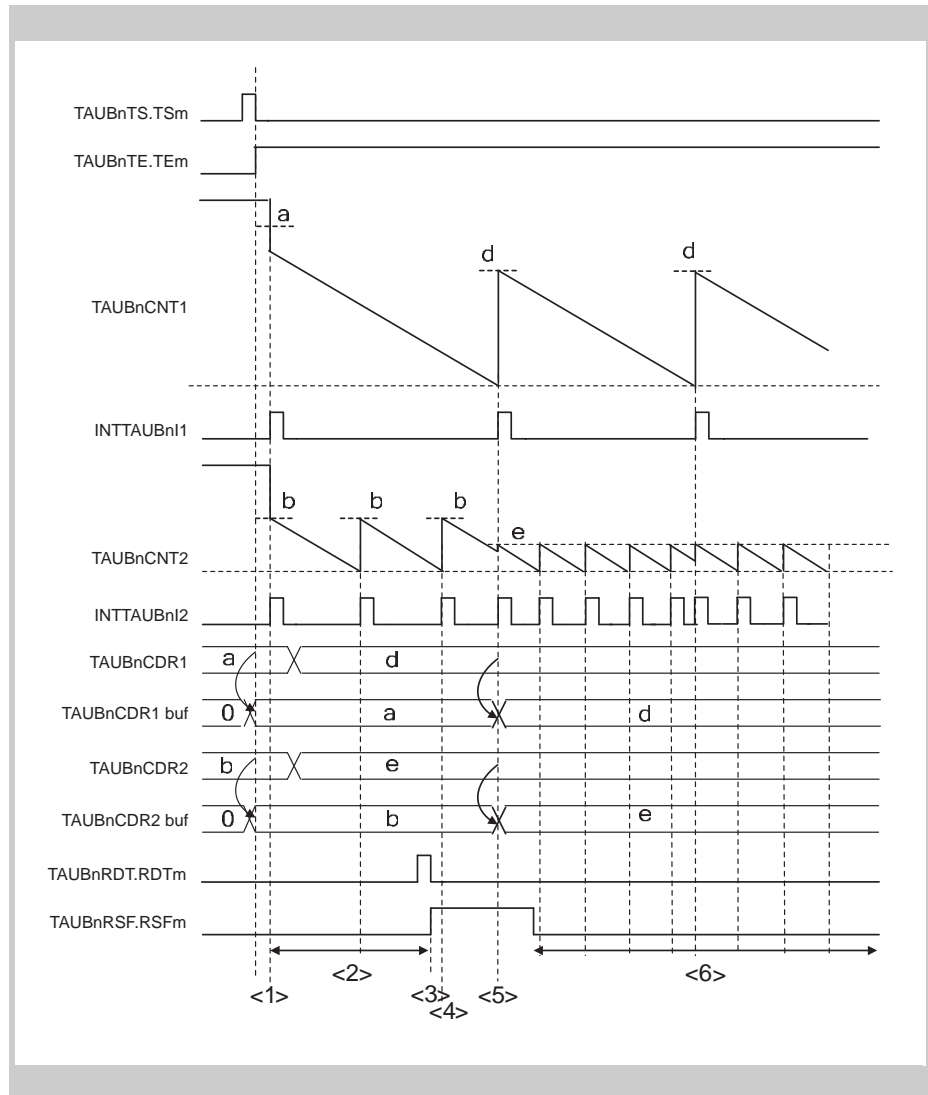


図 16-59 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

## (4) 上位チャネルのレジスタ設定

## (a) 上位チャネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-57 一斉書き換えトリガ生成機能タイプ1の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

## (b) 上位チャネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-58 一斉書き換えトリガ生成機能タイプ1の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

## (d) 上位チャネルの一斉書き換え

表 16-59 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0: マスタ・チャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタ

**(5) 下位チャンネルのレジスタ設定****(a) 下位チャンネルの TAUBnCMORm**

下位チャンネルの TAUBnCMORm レジスタは、設定可能な動作モードの TAUBnCMORm レジスタ設定に従ってください（表 16-9「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(b) 下位チャンネルの TAUBnCMURm**

下位チャンネルの TAUBnCMURm レジスタは、設定可能な動作モードの TAUBnCMURm レジスタ設定に従ってください（表 16-9「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(c) 下位チャンネルのチャンネル出力モード**

下位チャンネルの動作モード（マスタ・スレーブ）設定に従った出力が可能です。

**(d) 下位チャンネルの一斉書き換え**

表 16-60 一斉書き換えトリガ生成機能タイプ1時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の1チャンネルを一斉書き換えの制御チャンネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタ・チャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0：チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない

## (6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 16-61 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUBnの状態
動作再開 ↓	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUBnTE.TAUBnTEm が1に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。TAUBnCMORm.TAUBnMD0 = 1 の場合、INTTAUBnIm が発生します。
	動作中	TAUBnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUBnIm が発生します。</li> </ul> TAUBnRDC.TAUBnRDCm が1に設定されているチャンネルで INTTAUBnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止	TAUBnTE.TAUBnTEm が0にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。



## 16.18 その他のチャネル単体機能

この節では、一定数の TAUBnTTINm パルスが発生すると割り込みを発生する機能、TAUBnTTINm の周波数を分周する機能、機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能を説明します。

- 16.18.1 「外部イベント・カウント機能」
- 16.18.2 「クロック分周機能」
- 16.18.3 「TAUBnTTINm 入力位置検出機能」

### 16.18.1 外部イベント・カウント機能

#### (1) 概要

**概要** この機能は、イベント・タイマとして使用します。特定数の TAUBnTTINm 入力パルスが発生すると割り込み (INTTAUBnIm) を発生します。

**前提条件** • 動作モードはイベント・カウント・モードに設定する必要があります (表 16-62 「外部イベント・カウント機能の TAUBnCMORm 設定」参照)。

- この機能では、TAUBnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。

有効な TAUBnTTINm 入力エッジを検出すると、TAUBnCNTm 値はデクリメントされません。TAUBnCNTm は、有効な TAUBnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。

TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

**条件** トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0] ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub> の時は、立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub> の時は、立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0] = 10<sub>B</sub> の時は、両エッジがカウントされません。

#### (2) 算出式

INTTAUBnIm 発生前に検出される有効エッジ数 = TAUBnCDRm + 1

(3) ブロック図と基本タイミング図

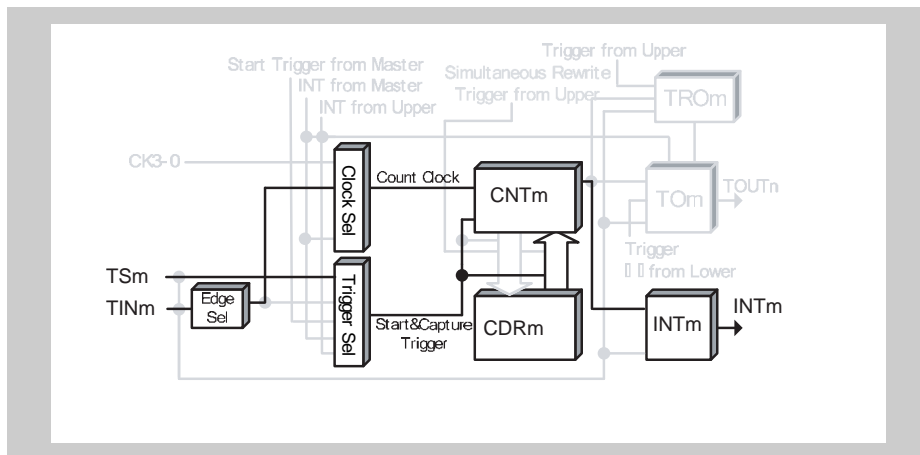


図 16-60 外部イベント・カウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>)

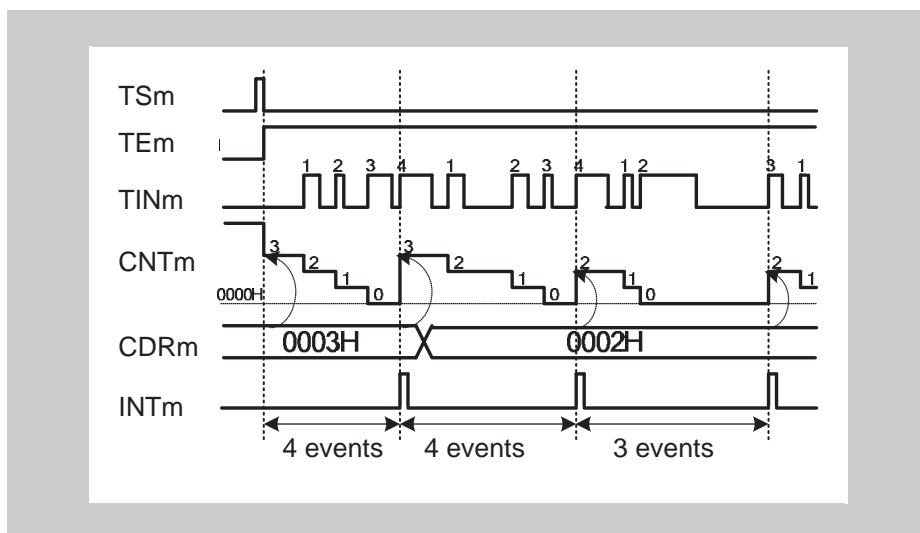


図 16-61 外部イベント・カウント機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-62 外部イベント・カウント機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	1 : 有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0011 : イベント・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-63 外部イベント・カウント機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がリエッジ 01 : 立ち上がリエッジ 10 : 両エッジ

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、外部イベント・カウント機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-64 外部イベント・カウント機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(5) 外部イベント・カウント機能の操作手順**

表 16-65 外部イベント・カウント機能の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-62「外部イベント・カウント機能の TAUBnCMORm 設定」と表 16-63「外部イベント・カウント機能の TAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードし、TAUBnTTINm 入力エッジ検出を待ちます。
	動作中 TAUBnTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は TAUBnTTINm 入力エッジを検出するたびに、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUBnIm が発生します。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) TAUBnCDRm = 0000H

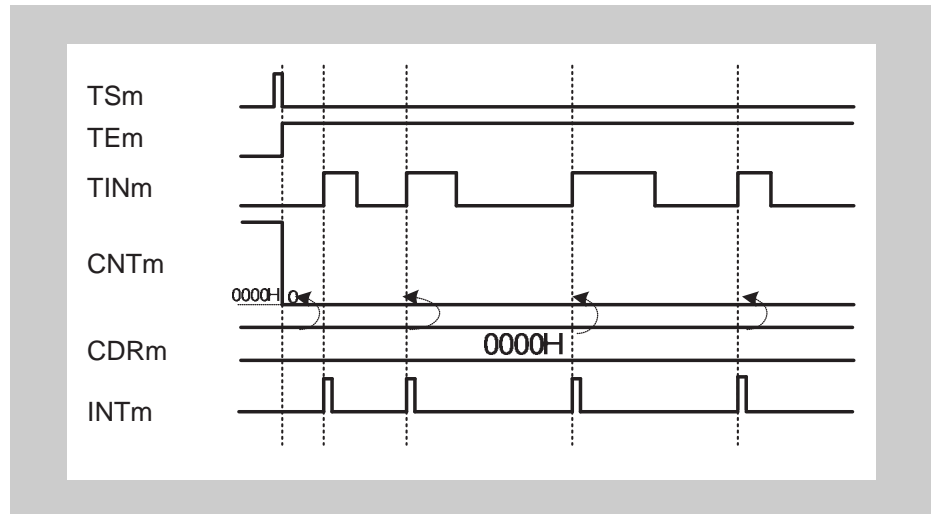


図 16-62 TAUBnCDRm = 0000H, TAUBnCMURm.TAUBnTIS[1:0] = 01B

- 0000H = TAUBnCDRm の場合、有効な TAUBnTTINm 入力エッジが検出されるたびに 0000H が TAUBnCNTm にロードされます。

つまり、有効な TAUBnTTINm 入力エッジが検出されるたびに、INTTAUBnIm が発生します。

## (b) 動作の停止と再開

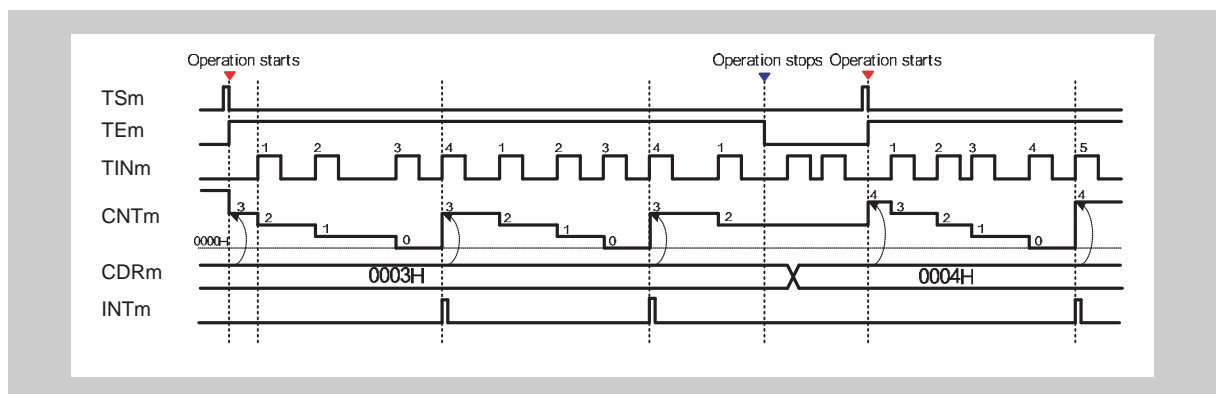


図 16-63 動作の停止と再開 (TAUBnCMURm.TAUBnTIS[1:0] = 01B)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。TAUBnTTINm は継続し、TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし、カウント動作を再開します。

## (c) 強制リスタート

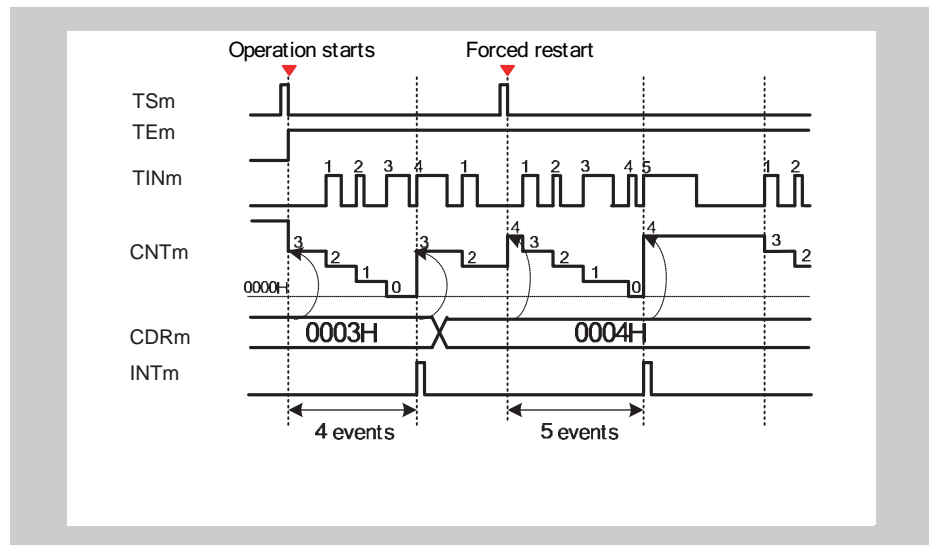


図 16-64 強制リスタート (TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>)

強制リスタートを行うと、変更点がただちに TAUBnCDRm に適用されます。

- 動作中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタは次の有効な TAUBnTINm 入力エッジを待ちます。

## 16.18.2 クロック分周機能

### (1) 概要

**概要** この機能は、周波数の分周に使用します。TAUBnTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し、結果として得られる信号を TAUBnTTOUTm に出力します。

- 前提条件**
- TAUBnTTINm の周波数は固定である必要があります。
  - 動作モードはインターバル・タイマ・モードに設定する必要があります (表 16-66 「クロック分周機能の TAUBnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。16.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタは TAUBnTTINm をカウント・クロックとして使用し、その TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBnTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

**条件** TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBnTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBnTTOUTm 信号が出力されます。詳細は 16.11 「カウント開始/リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

**備考** TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時 :  
 $TAUBnTTOUTm \text{ 周波数} = TAUBnTTINm \text{ 周波数} / [(TAUBnCDRm + 1) \times 2]$
- 立ち下がりエッジ検出選択時 :  
 $TAUBnTTOUTm \text{ 周波数} = TAUBnTTINm \text{ 周波数} / [(TAUBnCDRm + 1) \times 2]$
- 両エッジ検出選択時 :  
 $TAUBnTTOUTm \text{ 周波数} = TAUBnTTINm \text{ 周波数} / (TAUBnCDRm + 1)$

(3) ブロック図と基本タイミング図

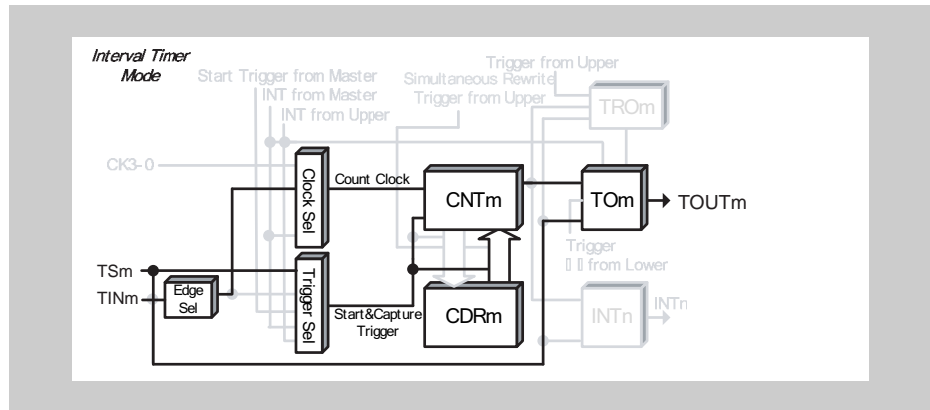


図 16-65 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち上がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>)

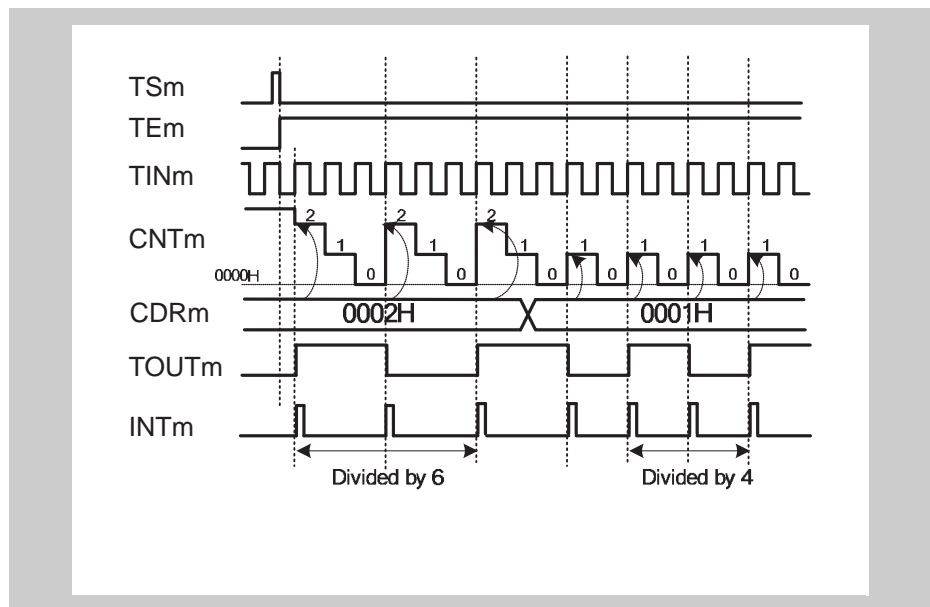


図 16-66 クロック分周機能の基本タイミング図



## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-66 クロック分周機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	1 : 有効な TAUBnTTINm 入力エッジをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-67 クロック分周機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャネル出力モード

表 16-68 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

**備考** チャネル出力モードは、TAUBnTOE.TAUBnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBnTTOUTm を割り込みとは独立させて制御することができます。詳細は表 16-10 「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-69 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0: 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0: 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

## (5) クロック分周機能の操作手順

表 16-70 クロック分周機能の操作手順

	操作	TAUBnの状態
動作再開 ↓	チャンネルの初期設定 TAUBnCMORm, TAUBnCMURm レジスタを、表 16-66「クロック分周機能のTAUBnCMORm 設定」と表 16-67「クロック分周機能のTAUBnCMURm 設定」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを表 16-68「チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUBnTS.TAUBnTSm を1に設定します。 TAUBnTS.TAUBnTSm はトリガ・ビットなので、自動的に0にクリアされます。	TAUBnTE.TAUBnTEm が1に設定され、カウントが開始されます。 TAUBnCNTm はTAUBnCDRm 値をロードします。 TAUBnCMORm.TAUBnMD0 が1の場合は、INTTAUBnIm が発生し、TAUBnTTOUm がトグルされます。
	動作中 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnTTINm 入力エッジを検出すると、TAUBnCNTm はダウン・カウントを行います。カウンタが0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>TAUBnCDRm 値をTAUBnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUBnIm が発生します。</li> <li>TAUBnTTOUm がトグルされます。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUBnTT.TAUBnTTm を1に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に0にクリアされます。	TAUBnTE.TAUBnTEm が0にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm とTAUBnTTOUm は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) TAUBnCDRm = 0000H

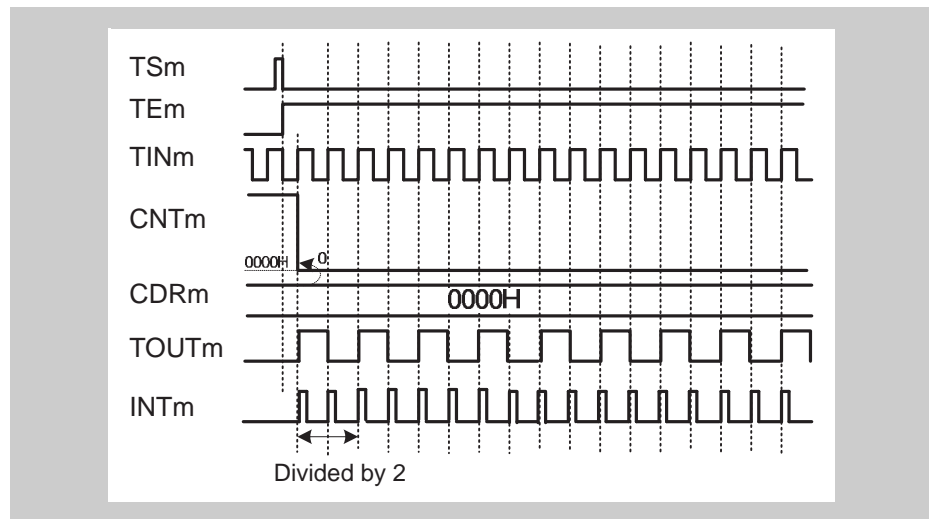


図 16-67 TAUBnCDRm = 0000H, TAUBnCMORm.TAUBnMD0 = 1, TAUBnCMURm.TAUBnTIS[1:0] = 01B

- TAUBnCDRm が 0000H ならば、TAUBnCNTm も必ず 0000H です。
- INTTAUBnIm がカウント・クロックごとに発生するので、TAUBnTOUTm はカウント・クロックごとにトグルされます。

図 16-67 は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

## (b) 動作再開

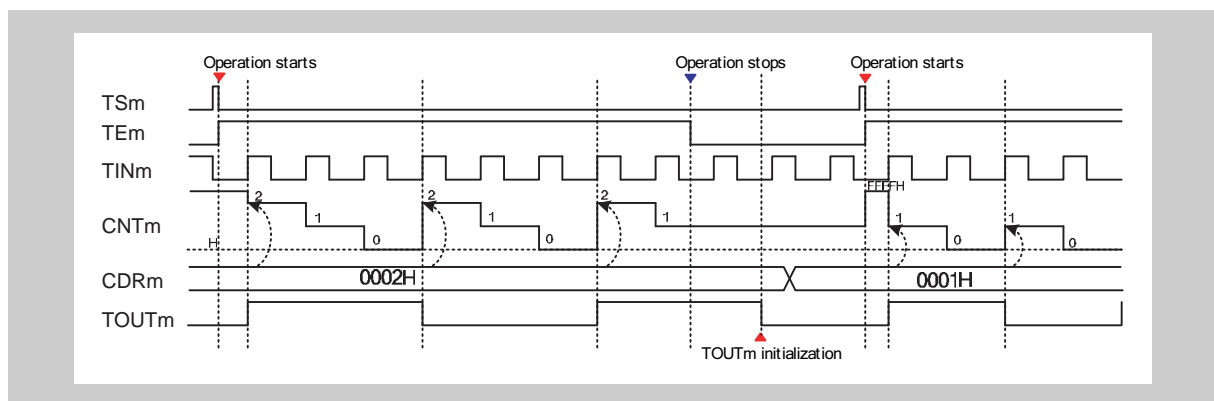


図 16-68 動作再開 (TAUBnCMORm.TAUBnMD0 = 1, TAUBnCMURm.TAUBnTIS[1:0] = 01B)

TAUBnTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUBnTE.TAUBnTEm = 0) に TAUBnTOE.TAUBnTOEm = 0 を設定。
- その後、TAUBnTO.TAUBnTOm に 0 または 1 を書き込んで、TAUBnTOUTm の新しいスタート値を設定。

## (c) 強制リスタート

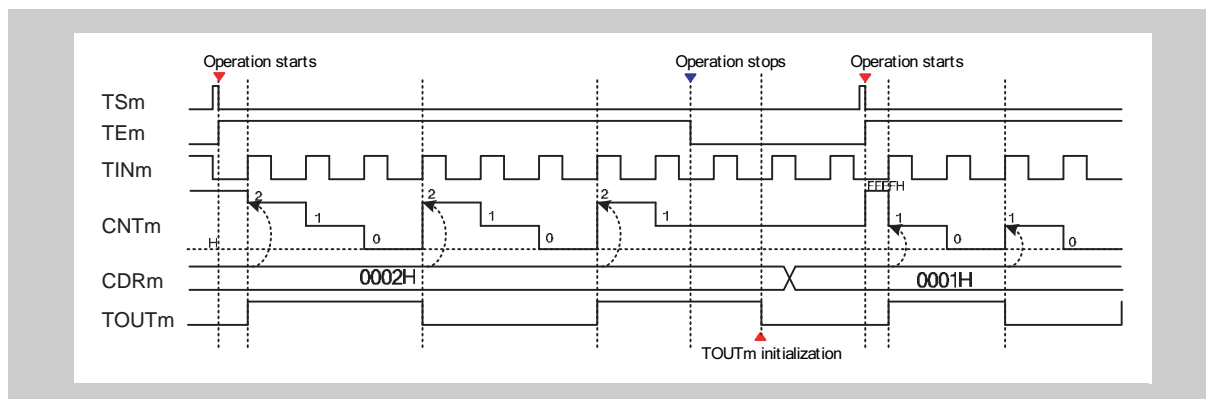


図 16-69 強制リスタート (TAUBnCMORm.TAUBnMD0 = 1, TAUBnCMURm.TAUBnTIS[1:0] = 01<sub>B</sub>)

TAUBnTTOUTm 値のリセット方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUBnCDRm の値が TAUBnCNTm に書き込まれ、カウント動作が再開します。
- TAUBnTTOUTm は強制リスタート前と同じ出力レベルで再開します。

### 16.18.3 TAUBnTTINm 入力位置検出機能

#### (1) 概要

**概要** 機能使用開始から TAUBnTTINm 入力信号までの期間を測定する機能です。

- 前提条件**
- 動作モードはカウント・キャプチャ・モードに設定する必要があります (表 16-71 「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」参照)。
  - この機能では、TAUBnTTOUTm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。カウンタは、0000<sub>H</sub> からカウントを開始します。有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み (INTTAUBnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF<sub>H</sub> になると、TAUBnCSRm.TAUBnOVF ビットが 1 に設定され、カウンタは 0000<sub>H</sub> からカウンタ動作を再開します。

TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV へ 1 を書き込むことによりクリアされます。

**備考** TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

**条件** TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 16.11 「カウント開始／リスタート時の TAUBnTTOUTm 出力と INTTAUBnIm 生成 (TAUBnMD0 ビット)」を参照してください。

#### (2) 算出式

TAUBnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × [ (FFFF<sub>H</sub> + 1) × TAUBnCSRm.TAUBnOVF ] +  
(TAUBnCDRm キャプチャ値 + 1) ]

(3) ブロック図と基本タイミング図

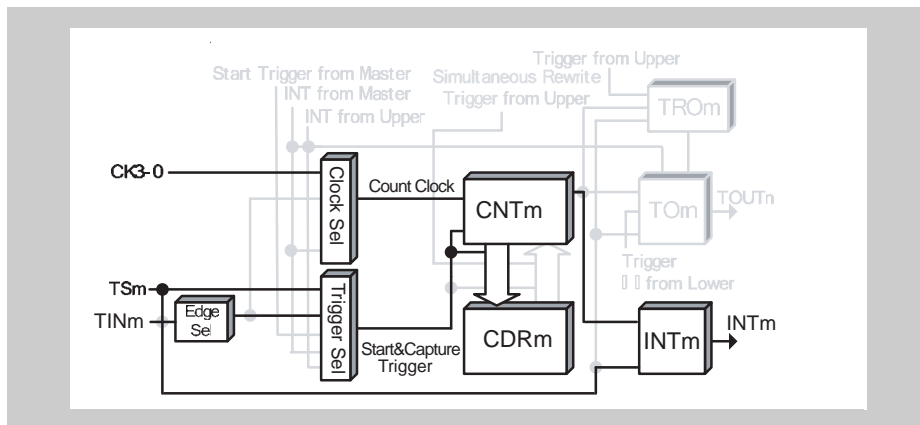


図 16-70 TAUBnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない (TAUBnCMORM.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

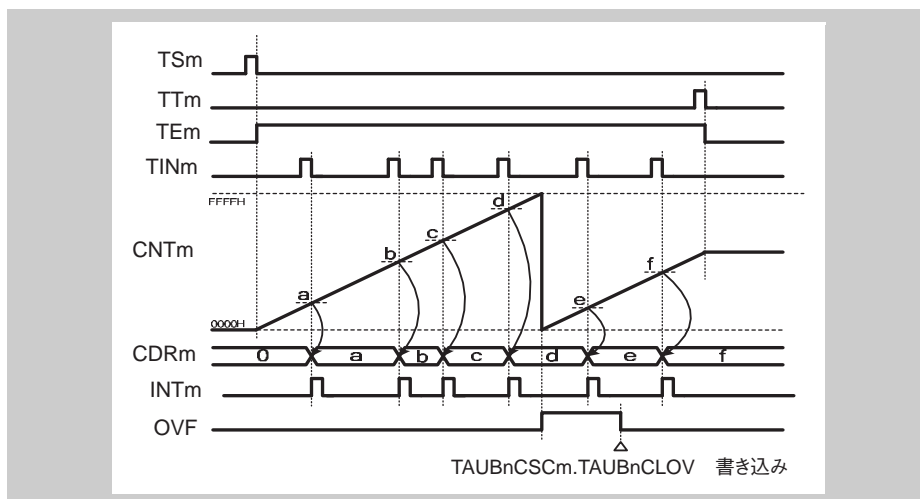


図 16-71 TAUBnTTINm 入力位置検出機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-71 TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : 未使用, 0 を設定
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUBnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUBnCSRm.TAUBnOVF) を設定, CPU 命令によりクリア
TAUBnMD[4:1]	1011 : カウント・キャプチャ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない 1 : 動作開始時に INTTAUBnIm が発生する

## (b) TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-72 TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。



**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUBnRDE, TAUBnRDS, TAUBnRDM, TAUBnRDC) は、TAUBnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 16-73 TAUBnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0 : 一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0 : 一斉書き換え禁止時 (TAUBnRDE.TAUBnRDEm = 0), 0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

**(5) TAUBnTTINm 入力位置検出機能の操作手順**

表 16-74 TAUBnTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態
初期設定 チャネルの初期設定	TAUBnCMORm, TAUBnCMURm レジスタを、表 16-71 「TAUBnTTINm 入力位置検出機能の TAUBnCMORm 設定」と表 16-72 「TAUBnTTINm 入力位置検出機能の TAUBnCMURm 設定」に示すように設定します。  TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開 動作開始	TAUBnTS.TAUBnTSM を 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 1 に設定され、カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBnCMURm.TAUBnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUBnCDRm, TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUBnCSCm.CLOV ビットは、1 に設定可能です。	TAUBnCNTm は、0000 <sub>H</sub> からアップ・カウントを開始します。TAUBnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> <li>TAUBnCNTm が自身の値を TAUBnCDRm に転送 (キャプチャ) します。</li> <li>INTTAUBnIm を出力します。</li> <li>カウンタ値は 0000<sub>H</sub> にクリアされず、TAUBnCNTm はカウント動作を継続します。以降、この動作を繰り返します。</li> </ul>
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEM が 0 にクリアされ、カウント動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

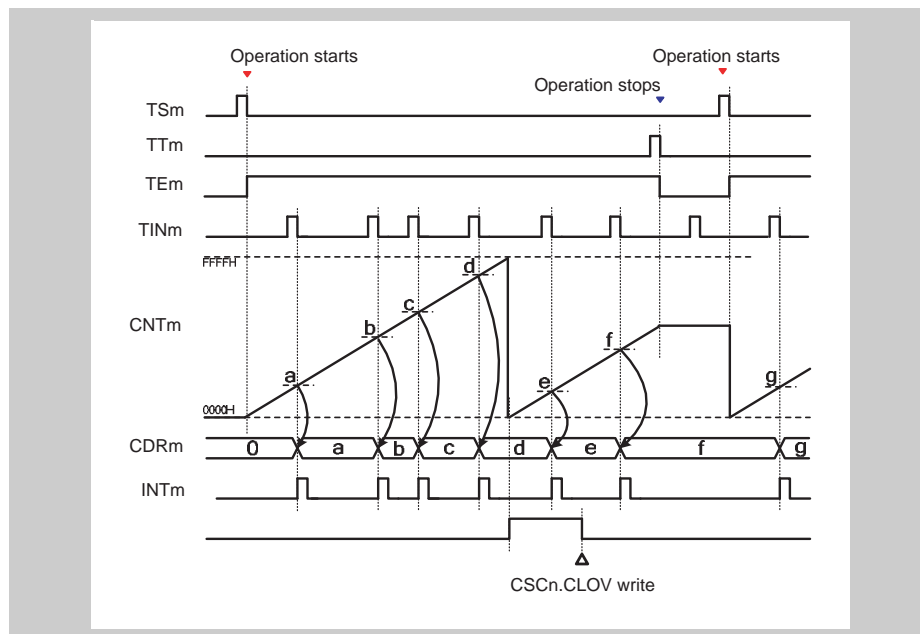


図 16-72 動作の停止と再開 (TAUBnCMORm.TAUBnMD0 = 0, TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBnTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000<sub>H</sub> からカウントを再開します。

## 16.19 チャンネル連動動作機能

この節では、TAUBのチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、16.4「機能説明」を参照してください。

## 16.20 一定間隔でトリガされる連動PWM信号機能

この節では、一定間隔でPWM信号を発生させる機能について述べます。

- 16.20.1 「PWM出力機能」
- 16.20.2 「ディレイ・パルス出力機能」
- 16.20.3 「A/D変換トリガ出力機能タイプ1」

## 16.20.1 PWM 出力機能

### (1) 概要

**概要** マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUBnTTOUTm のパルス周期 (周波数) とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 16-75 「PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照)。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります (表 16-78 「PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照)。
- この機能では、マスタ・チャンネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります (16.9 「チャンネル出力モード」)。

#### 機能説明

チャンネル・トリガ・ビット (TAUBnTS.TAUBnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

#### • マスタ・チャンネル :

マスタ・チャンネルのカウント値が  $0000_H$  になりパルス周期時間が経過すると、INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし、ダウン・カウントを行います。

#### • スレーブ・チャンネル :

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウント動作がトリガされます。TAUBnCDRm (スレーブ) の現在値が TAUBnCNTm (スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。TAUBnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が  $0000_H$  になると (デューティ時間が経過すると)

INTTAUBnIm が発生し、TAUBnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは  $FFFF_H$  に戻り、マスタ・チャンネルの次の INTTAUBnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。

**条件** この機能では一斉書き換えを行うことができます。16.8 「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUBnCDRm (スレーブ) / (TAUBnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

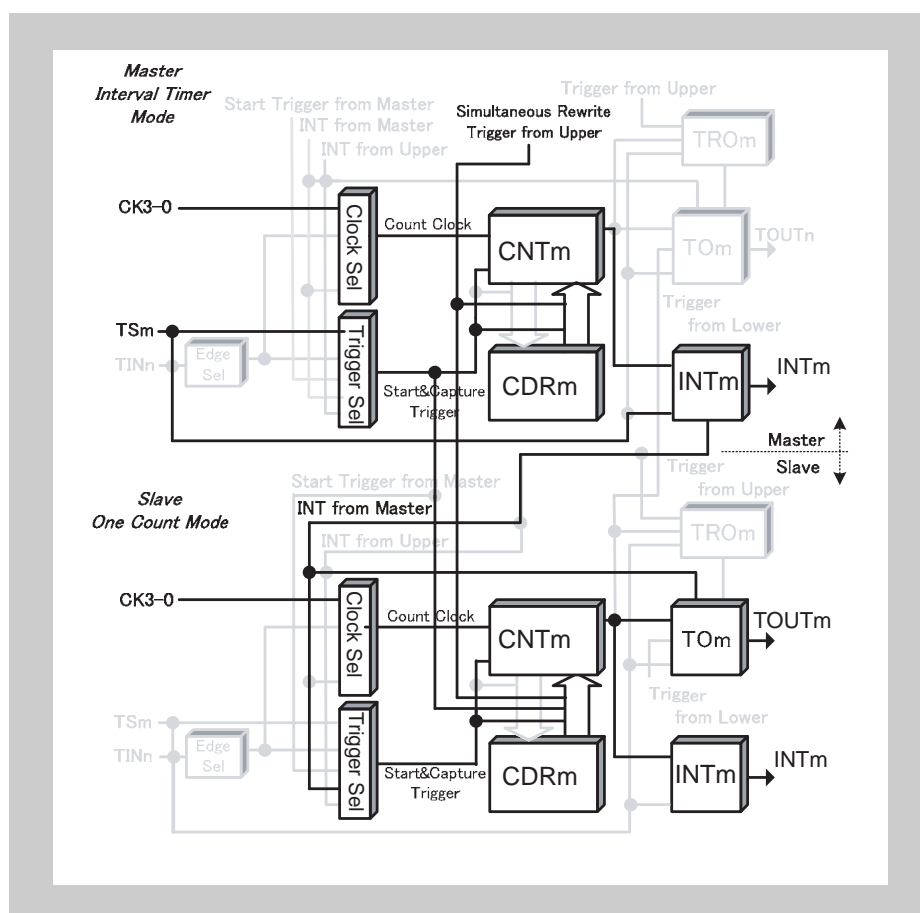


図 16-73 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUBnTOL.TAUBnTOLm = 0)

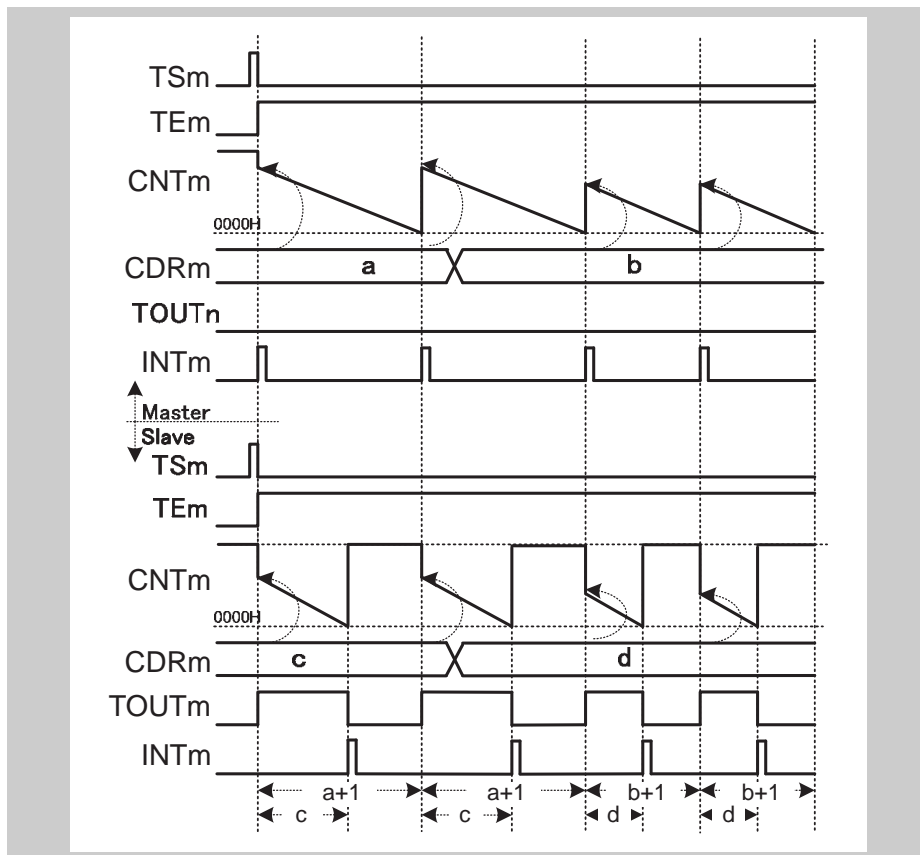


図 16-74 PWM 出力機能の基本タイミング図

**備考** スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUBnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUBnCDRm + 1 の値になります。

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-75 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	1 : 動作開始時に INTTAUBnIm が発生する

## (b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-76 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-77 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

**備考** TAUBnRDS.TAUBnRDSm ビット=1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUBnRDCm=1, TAUBnRDS=1

また、本チャンネルの TAUBnCDR 設定値は下記となります。

$$= ((\text{一斉書き換え対象のマスタ・チャンネルの TAUBnCDRm 設定値} + 1) \times \text{割り込み回数}) - 1$$

- マスタ・チャンネル: TAUBnRDCm=0, TAUBnRDS=1
- スレーブ・チャンネル: TAUBnRDCm=0, TAUBnRDS=1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。



## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-78 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガが有効

## (b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-79 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルのチャンネル出力モード

表 16-80 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	0: 動作モード1
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0を設定

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-81 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換のトリガとなるINTTAUBnIm信号をモニタしない。 TAUBnRDS.TAUBnRDsm = 0のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) PWM 出力機能の操作手順

表 16-82 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル: TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル: TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。 TAUBnTS.TAUBnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUBnlm が発生し、TAUBnTTOUTm (スレーブ) が設定されます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUBnCNTm は TAUBnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合: • INTTAUBnlm (マスタ) が発生します。 • TAUBnCDRm 値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUBnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUBnCNTm (スレーブ) が 0000 <sub>H</sub> になった場合: • INTTAUBnlm (スレーブ) が発生します。 • TAUBnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

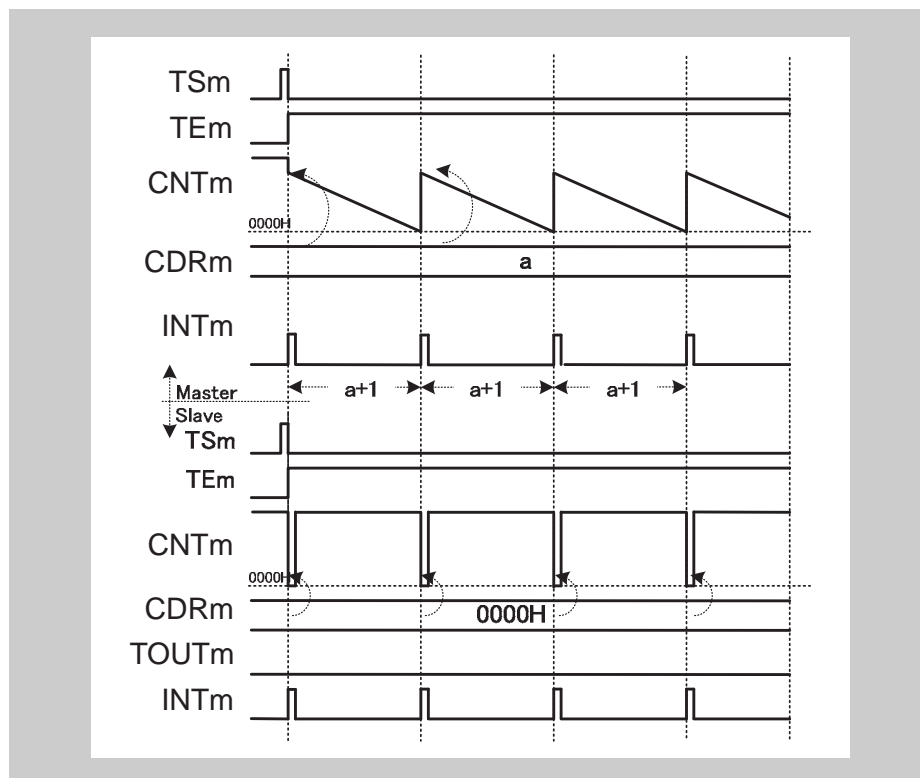


図 16-75 TAUBnCDRm (スレーブ) = 0000<sub>H</sub>,  
正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUBnIm) が発生するたびに、TAUBnCNTm (スレーブ) に 0000<sub>H</sub> がロードされます。したがって、TAUBnCNTm (スレーブ) はカウントを開始できず、TAUBnTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

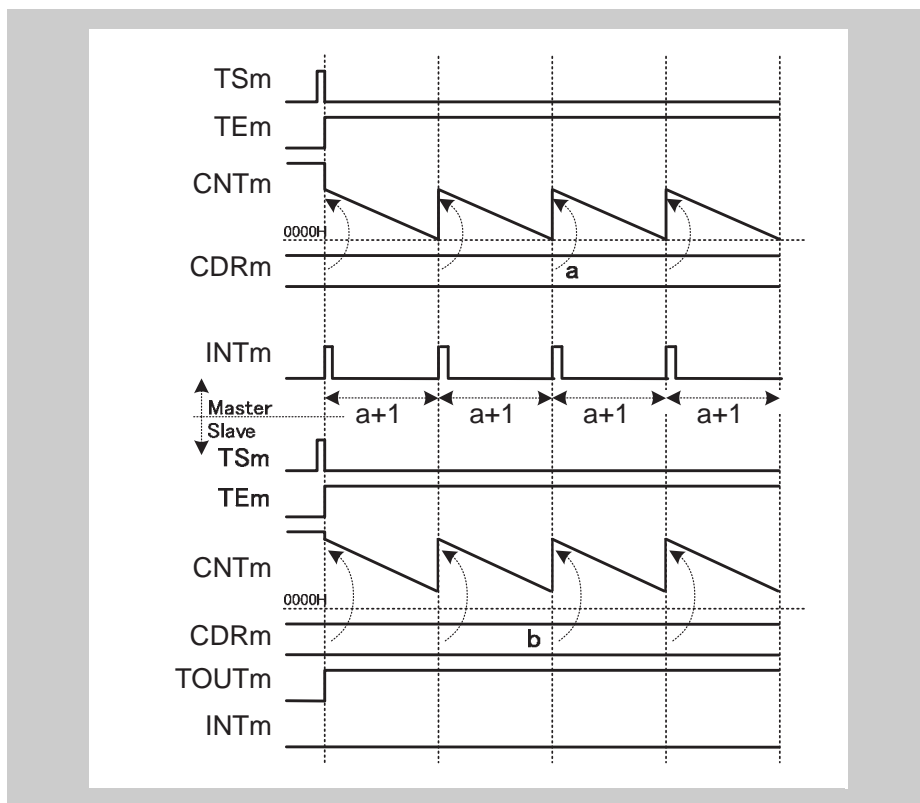


図 16-76 TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1  
 正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- TAUBnCDRm (スレーブ) 値が TAUBnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならないため、割り込みが発生しません。TAUBnTOUTm はアクティブ状態のままになります。

## (c) 動作の停止と再開

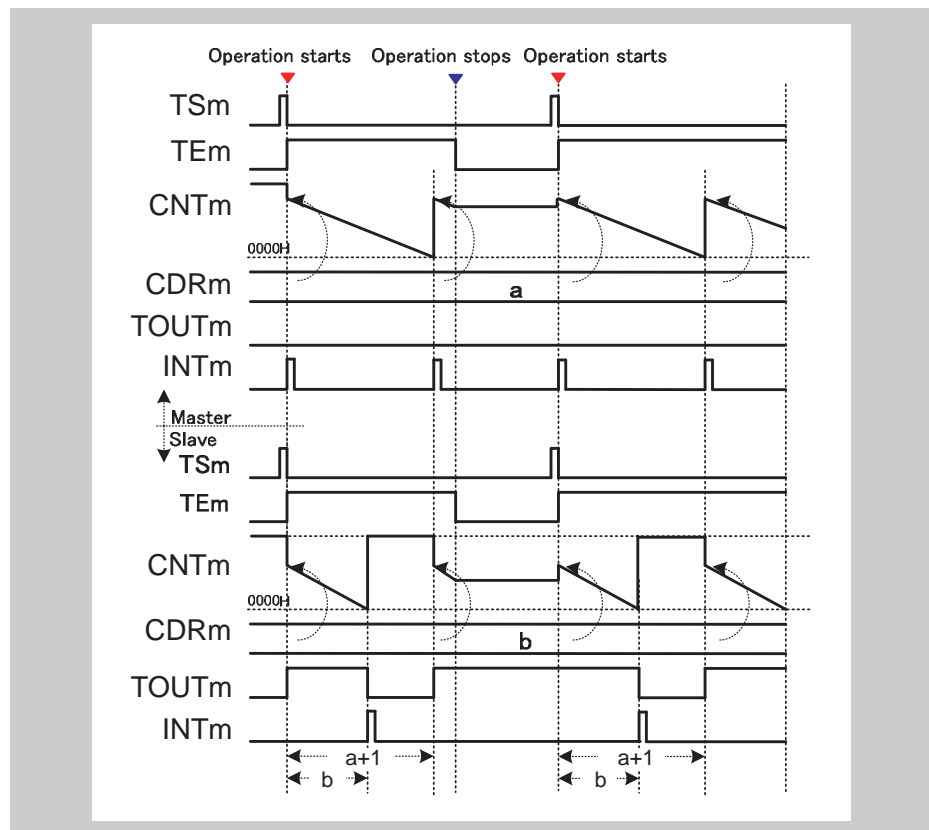


図 16-77 動作の停止と再開  
 正論理 (TAUBnTOL.TAUBnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUBnCDRm 値を TAUBnCNTm にリロードし、この値からダウン・カウントを開始します。

## 16.20.2 ディレイ・パルス出力機能

### (1) 概要

**概要** この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタ・チャンネルとスレーブ・チャンネル1を使用して定義されています。スレーブ・チャンネル2とスレーブ・チャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブ・チャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタ・チャンネルで設定します。
- 基準信号のデューティ・サイクルはスレーブ・チャンネル1を、ディレイ信号のデューティ・サイクルはスレーブ・チャンネル3を使用して設定されます。
- 遅延量はスレーブ・チャンネル2で設定します。

### 前提条件

- 4チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 16-83「ディレイ・パルス出力機能時のマスタ・チャンネルのTAUBnCMORm設定」参照）。
- スレーブ・チャンネル1, 2の動作モードは、ワンカウント・モードに設定する必要があります（表 16-86「ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMORm設定」参照）。
- スレーブ・チャンネル3の動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 16-90「ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMORm設定」参照）。
- マスタ・チャンネルおよびスレーブ・チャンネル2ではTAUBnTTOUTmを使用しません。
- スレーブ・チャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（16.9「チャンネル出力モード」）。
- スレーブ・チャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（16.9「チャンネル出力モード」）。

### 機能説明

チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を1に設定すると、チャンネル・グループのカウント動作が許可されます。これによりTAUBnTE.TAUBnTEm = 1となり、カウントが可能になります。

- マスタ・チャンネル：

TAUBnCDRmの現在値がTAUBnCNTmにロードされ、カウンタはそのTAUBnCDRm値からダウン・カウントを開始します。マスタ・チャンネルでINTTAUBnImが発生します。

マスタ・チャンネルのカウント値が0000<sub>H</sub>になりパルス周期時間が経過すると、INTTAUBnImが発生します。再びTAUBnCDRmの値をカウンタにロードし、ダウン・カウントを行います。

- スレーブ・チャンネル1, スレーブ・チャンネル2 :
 

スレーブ・チャンネル1, 2はマスタ・チャンネルからの割り込みを検出すると, TAUBnCDRmの現在値からダウン・カウントを開始します。TAUBnTTOUTm信号(スレーブ1)が設定されます。

  - スレーブ・チャンネル1 :
 

スレーブ・チャンネル1のカウンタ値が0000<sub>H</sub>になると(デューティ時間が経過すると), INTTAUBnImが発生し, TAUBnTTOUTm信号がリセットされます。カウンタはFFFF<sub>H</sub>に戻り, マスタ・チャンネルの次のINTTAUBnImを待ちます。
  - スレーブ・チャンネル2 :
 

スレーブ・チャンネル2のカウンタ値が0000<sub>H</sub>になり遅延時間が経過すると, INTTAUBnImが発生します。カウンタはFFFF<sub>H</sub>に戻り, マスタ・チャンネルの次のINTTAUBnImを待ちます。

INTTAUBnIm(スレーブ・チャンネル2)が発生することにより, スレーブ・チャンネル3のカウンタ動作がトリガされます。
- スレーブ・チャンネル3 :
 

スレーブ・チャンネル3はスレーブ・チャンネル2からの割り込みを検出すると, TAUBnCDRmの現在値からダウン・カウントを開始します。INTTAUBnImが発生し, TAUBnTTOUTm信号(スレーブ・チャンネル3)がセットされます。

スレーブ・チャンネル3のカウンタ値が0001<sub>H</sub>になると, INTTAUBnImが発生し, TAUBnTTOUTm信号がリセットされます。

スレーブ・チャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブ・チャンネルのTAUBnTT.TAUBnTTmを1に設定すると, カウンタ動作を停止できます。これにより, TAUBnTE.TAUBnTEmは0に設定されます。マスタ/スレーブ・チャンネルのTAUBnCNTmとTAUBnTTOUTmが停止しますが, それぞれの値は保持します。TAUBnTS.TAUBnTSMを1に設定すると, カウントを再開できます。

**条件** この機能で一斉書き換えを行うことができます。16.8「一斉書き換え」を参照してください。

**算出式** パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期  
 デューティ幅1 = (TAUBnCDRm (スレーブ1)) × カウント・クロック周期  
 遅延幅 = (TAUBnCDRm (スレーブ2) + 1) × カウント・クロック周期  
 デューティ幅2 = (TAUBnCDRm (スレーブ3)) × カウント・クロック周期  
 但し, 遅延幅の設定値は下記範囲とすること。  
 $0000H \leq TAUBnCDRm (スレーブ2) < TAUBnCDRm (マスタ)$

**備考** 1. TAUBnTTOUTm (スレーブ3) の出力波形は, TAUBnTTOUTm (スレーブ1) の出力波形をスレーブ2で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。

2. スレーブ3のカウント中に, スレーブ2のTAUBnINTmが発生した場合, スレーブ3は動作を再開します。従って, TAUBnTTOUTm (スレーブ3) の出力波形は, アクティブレベルを保持します。(この場合, TOUTn (Slave-CH-3) は, TOUTn (Slave-CH-1) の基本パルスをディレイさせた波形を出力できません。)



(2) ブロック図と基本タイミング図

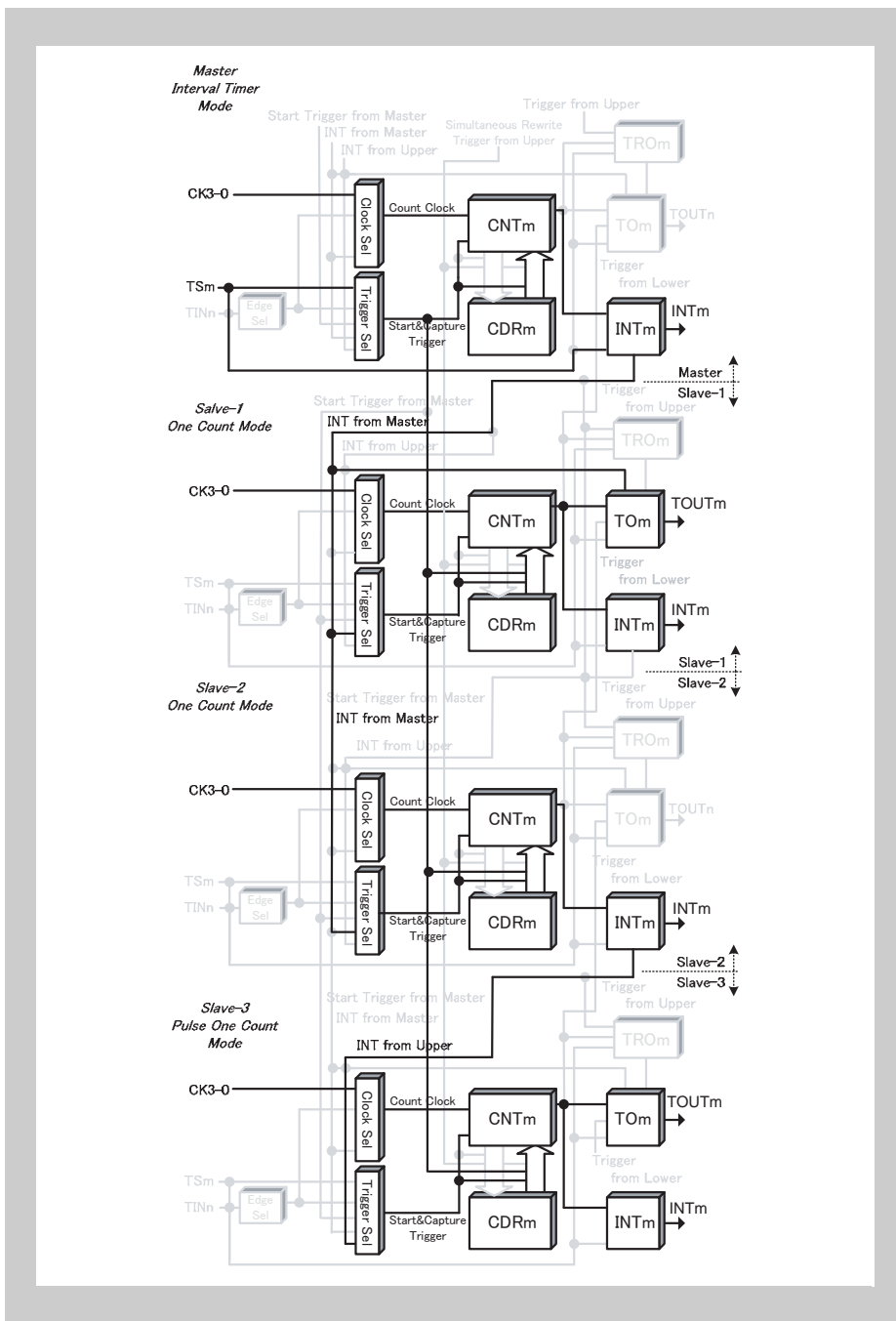


図 16-78 デレイ・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 全チャンネル
  - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)

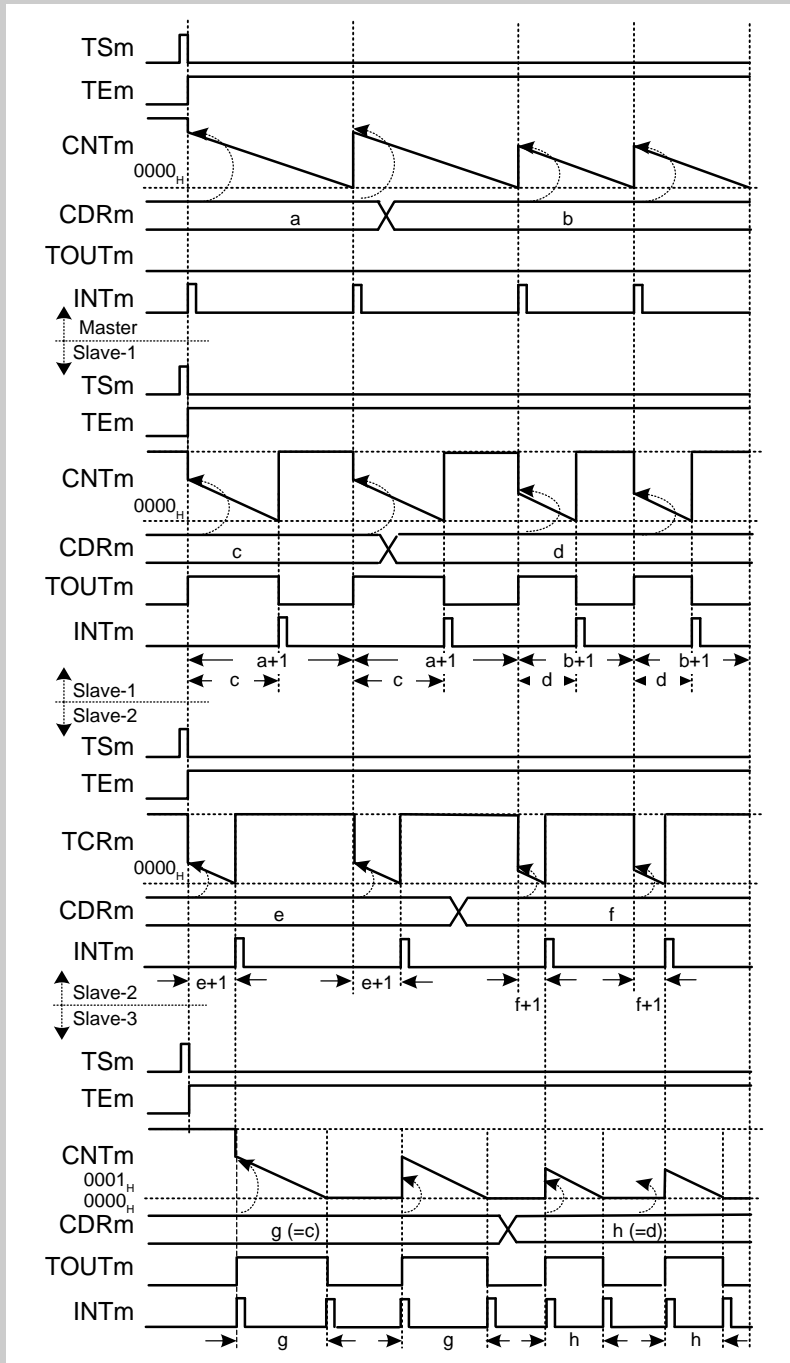


図 16-79 デレイ・パルス出力機能の基本タイミング図

## (3) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-83 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	1 : 動作開始時に INTTAUBnIm が発生する

## (b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-84 ディレイ・パルス出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

この機能では、マスタ・チャンネルはチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-85 デイレイ・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (4) スレーブ・チャンネル1のレジスタ設定

## (a) スレーブ・チャンネル1のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-86 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガ有効

## (b) スレーブ・チャンネル1のTAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-87 ディレイ・パルス出力機能時のスレーブ・チャンネル1のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル1のチャンネル出力モード

表 16-88 チャンネル連動出力モード1時のスレーブ・チャンネル1の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 : チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1 : チャンネル連動動作
TAUBnTOC.TAUBnTOCm	0 : 動作モード1
TAUBnTOL.TAUBnTOLm	0 : 正論理 1 : 反転論理
TAUBnTDE.TAUBnTDEm	0 : デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0 : デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

**(d) スレーブ・チャンネル1の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-89 ディレイ・パルス出力機能時のスレーブ・チャンネル1の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) スレーブ・チャンネル2のレジスタ設定

## (a) スレーブ・チャンネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]	TAUBnCOS [1:0]	—	—	—	—	—	TAUBnMD[4:1]	—	—	—	TAUBn MD0

表 16-90 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : 動作中のスタート・トリガ有効

## (b) スレーブ・チャンネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	TAUBnTIS[1:0]

表 16-91 ディレイ・パルス出力機能時のスレーブ・チャンネル2のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) スレーブ・チャンネル2の一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-92 ディレイ・パルス出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0: マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

**(6) スレーブ・チャンネル3のレジスタ設定****(a) スレーブ・チャンネル3の TAUBnCMORm 設定**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]	—	TAUBnMD[4:1]				TAUBn MD0			

表 16-93 ディレイ・パルス出力機能時のスレーブ・チャンネル3の TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0: 動作クロックをカウント・クロックとして使用
TAUBnMAS	0: チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	101: マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00: 未使用, 00 を設定
TAUBnMD[4:1]	1010: パルス・ワンカウント・モード
TAUBnMD0	1: 動作中のスタート・トリガ有効



## (b) スレーブ・チャンネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 16-94 ディレイ・パルス出力機能時のスレーブ・チャンネル3のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル3のチャンネル出力モード

表 16-95 チャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 : チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0 : チャンネル単体出力
TAUBnTOC.TAUBnTOCm	1 : 動作モード2
TAUBnTOL.TAUBnTOLm	0 : 正論理 1 : 反転論理
TAUBnTDE.TAUBnTDEm	0 : デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0 : デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

## (d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-96 ディレイ・パルス出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDsm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0 : チャンネルで一斉書き換えのトリガとなるINTTAUBnIm信号の発生を検出しない。 TAUBnRDS.TAUBnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガを検出する。

## (7) デイレイ・パルス出力機能時の操作手順

表 16-97 デイレイ・パルス出力機能時の操作手順 (1/2)

	操作	TAUBn の状態
チャンネルの初期設定	<p>マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (3)「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 1 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4)「スレーブ・チャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5)「スレーブ・チャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (6)「スレーブ・チャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUBnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 16-97 ディレイ・パルス出力機能時の操作手順 (2/2)

	操作	TAUBn の状態	
動作再開 ↓	動作開始	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。TAUBnTS.TAUBnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルとスレーブ・チャンネル 1/2 のカウンタが動作を開始します。マスタ・チャンネルで INTTAUBnIm が発生し、TAUBnTTOUTm (スレーブ・チャンネル 1) が設定されます。</p>
	動作中	<p>TAUBnCDRm は任意のタイミングで変更可能です。TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUBnRDT.TAUBnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 1/2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。</p> <p>マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (マスタ) が発生します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 1/2) にロードし、ダウン・カウントを開始します。</li> <li>TAUBnTTOUTm (スレーブ 1) がセットされます。</li> </ul> <p>TAUBnCNTm (スレーブ 1) が 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ 1) が発生します。</li> <li>TAUBnTTOUTm (スレーブ 1) がリセットされます。</li> </ul> <p>TAUBnCNTm (スレーブ 2) が 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ 2) が発生します。</li> <li>TAUBnTTOUTm (スレーブ 3) がセットされます。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 3) にロードし、ダウン・カウント動作を開始します。</li> </ul> <p>TAUBnCNTm (スレーブ 3) が 0000<sub>H</sub> になった場合：</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ 3) が発生します。</li> <li>TAUBnTTOUTm (スレーブ 3) がリセットされます。</li> </ul>
	動作停止	<p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。</p>

## (8) 特定の設定時のタイミング図

## (a) デューティ・サイクル (スレーブ 3) = 100 %

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm (マスター) = 000A<sub>H</sub>
- TAUBnCDRm (スレーブ 1) = 000B<sub>H</sub>
- TAUBnCDRm (スレーブ 2) = 0000<sub>H</sub>
- TAUBnCDRm (スレーブ 3) = 000B<sub>H</sub>

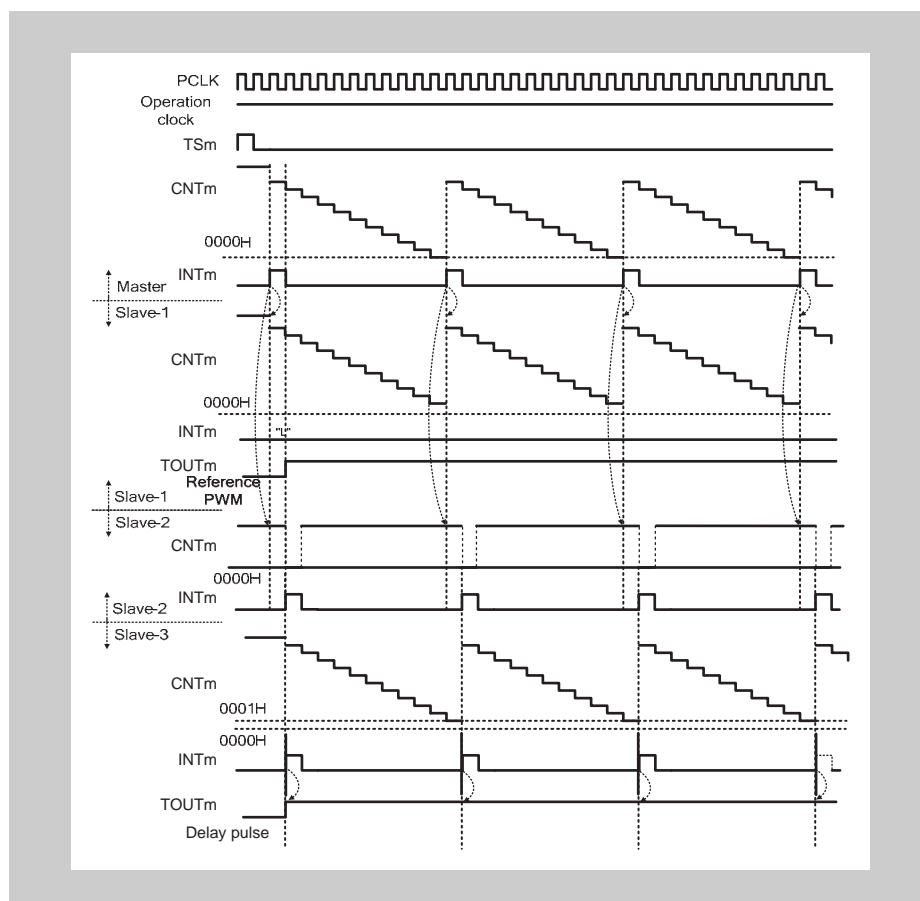


図 16-80 デューティ・サイクル (スレーブ 3) = 100 %

- TAUBnCDRm 値 (スレーブ 1, 3) が TAUBnCDRm 値 (マスター) より大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならず、割り込み信号を発生しません。チャンネル 1, 3 の TAUBnTTOUtm はアクティブ状態のままとなります。

(b)  $TAUBnTTOUTm$  (スレーブ 1) =  $TAUBnTTOUTm$  (スレーブ 3)

下記のタイミング図での設定は次のようになっています。

- $TAUBnCDRm$  (マスター) = 000A<sub>H</sub>
- $TAUBnCDRm$  (スレーブ 1) = 0005<sub>H</sub>
- $TAUBnCDRm$  (スレーブ 2) = 0000<sub>H</sub>
- $TAUBnCDRm$  (スレーブ 3) = 0005<sub>H</sub>

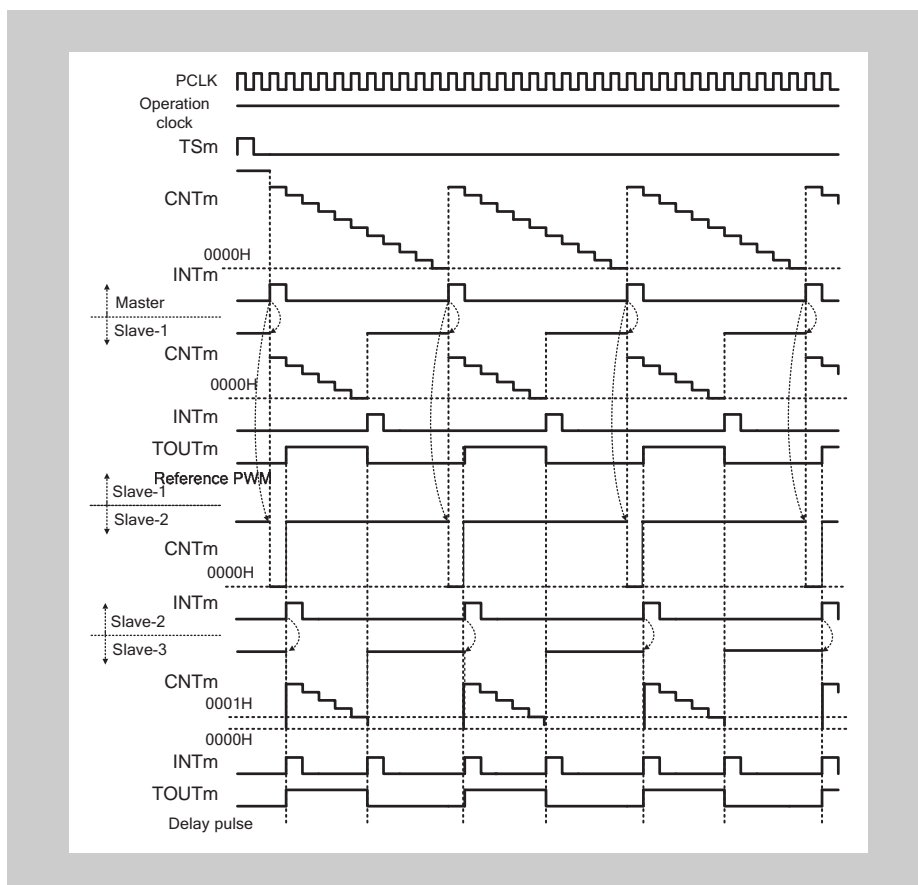


図 16-81  $TAUBnTTOUTm$  (スレーブ 1) =  $TAUBnTTOUTm$  (スレーブ 3)

- $TAUBnCDRm$  値 (スレーブ 1, 3) が  $TAUBnCDRm$  値 (マスター) より大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならず、割り込み信号を発生しません。チャンネル 1, 3 の  $TAUBnTTOUTm$  はアクティブ状態のままとなります。

$TAUBnCDRm$  (スレーブ 2) = 0000<sub>H</sub> の場合、スレーブ・チャンネル 3 はスレーブ・チャンネル 1 のカウンタから 1 カウント・クロック遅れてカウントします。リファレンス・パルスとでディレイ・パルスが 1 カウント・クロック遅れて発生します。

## 16.20.3 A/D 変換トリガ出力機能タイプ 1

## (1) 概要

**概要** この機能は、TAUBnTTOUTm が出力されないという点を除き、16.20.1 「PWM 出力機能」と同じです。

スレーブ・チャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

## (2) ブロック図と基本タイミング図

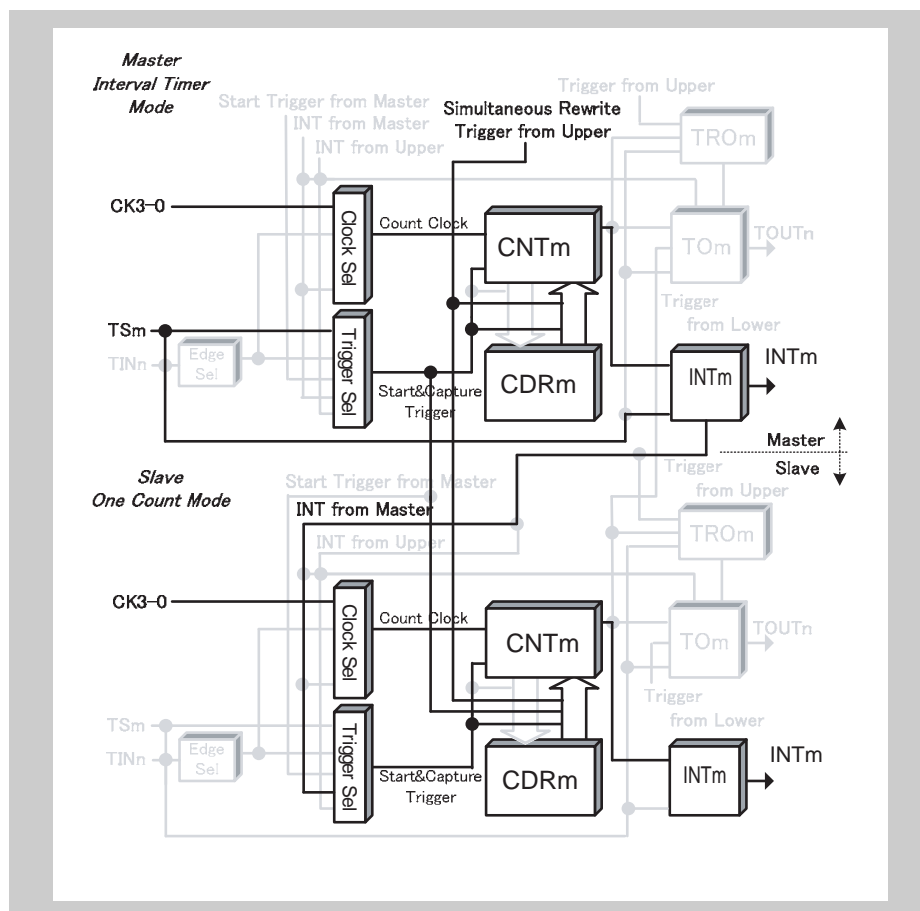


図 16-82 A/D 変換トリガ出力機能タイプ 1 のブロック図

## (3) 基本タイミング図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUBnTOL.TAUBnTOLm = 0)

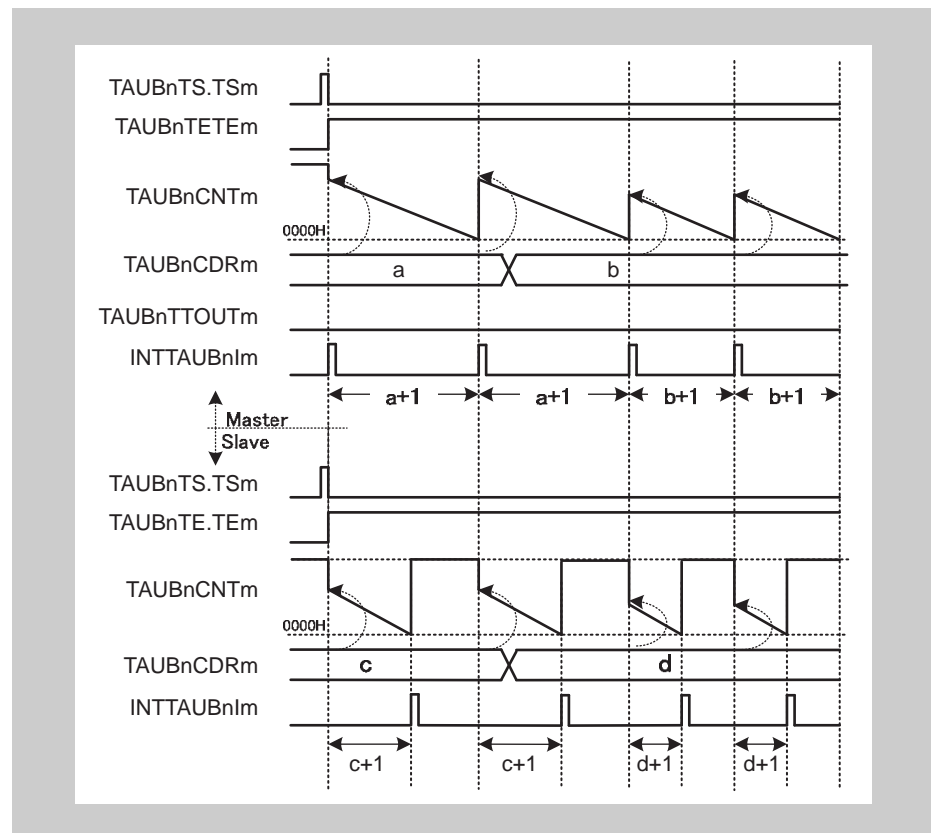


図 16-83 A/D 変換トリガ出力機能タイプ1の基本タイミング図

## 16.21 外部信号でトリガされる連動 PWM 信号機能

この節では、外部信号でトリガされる、PWM 信号を生成する機能について説明します。

- 16.21.1 「ワンショット・パルス出力機能」

### 16.21.1 ワンショット・パルス出力機能

#### (1) 概要

**概要** マスタ・チャンネルとスレーブ・チャンネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタ・チャンネルで設定します。パルス幅はスレーブ・チャンネルで設定します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 16-98 「ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、パルス・ワンカウント・モードに設定する必要があります（表 16-101 「ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUBnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 2 に設定する必要があります（16.9 「チャンネル出力モード」参照）。
- TAUBnTTINm（マスタ）は、TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタ・チャンネルからの割り込みでのみトリガされ、TAUBnTTINm（スレーブ）ではトリガされません。

#### 機能説明

マスタ・チャンネル、スレーブ・チャンネルのチャンネル・トリガ・ビット (TAUBnTS.TAUBnTSm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウンタが可能になります。

- マスタ・チャンネル：

次の有効な TAUBnTTINm 入力エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは、この TAUBnCDRm 値からダウン・カウントを開始します。TAUBnCMORm.TAUBnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUBnTTINm) は無視されます。

マスタ・チャンネルのカウンタが 0000<sub>H</sub> になると、INTTAUBnIm が発生します。カウンタは FFFF<sub>H</sub> に戻り、次の有効な TAUBnTTINm 入力エッジを待ちます。

- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUBnCDRm (スレーブ) の現在値が TAUBnCNTm (スレーブ) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。割り込みが発生し、TAUBnTTOUTm 信号がセットされます。



カウンタ値が  $0001_{\text{H}}$  になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がリセットされます。カウンタは  $0000_{\text{H}}$  で停止し、マスタ・チャンネルの次の INTTAUBnIm を待ちます。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSM を 1 に設定すると、カウントを再開できます。

カウント中に TAUBnTS.TAUBnTSM を 1 に設定すると、いったん停止しなくてもマスタ・チャンネルのカウントを再開できます (強制リスタート)。

- 備考**
1. 動作中に強制リスタートが行われた場合、出力信号の幅は TAUBnCDRm 値 (スレーブ) と一致しません。
  2. TAUBnTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBnTTOUTm の出力クロックの周期には、動作クロック  $\pm 1$  周期分の誤差があります。
- 条件**
- マスタ・チャンネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合、カウント中に検出された TAUBnTTINm 入力エッジは無視されます。
  - この機能では一斉書き換えを行うことができます。16.8 「一斉書き換え」を参照してください。

- 算出式**
- 入力パルスまでの遅延 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期
- パルス幅 = (TAUBnCDRm (スレーブ) ) × カウント・クロック周期

(2) ブロック図と基本タイミング図

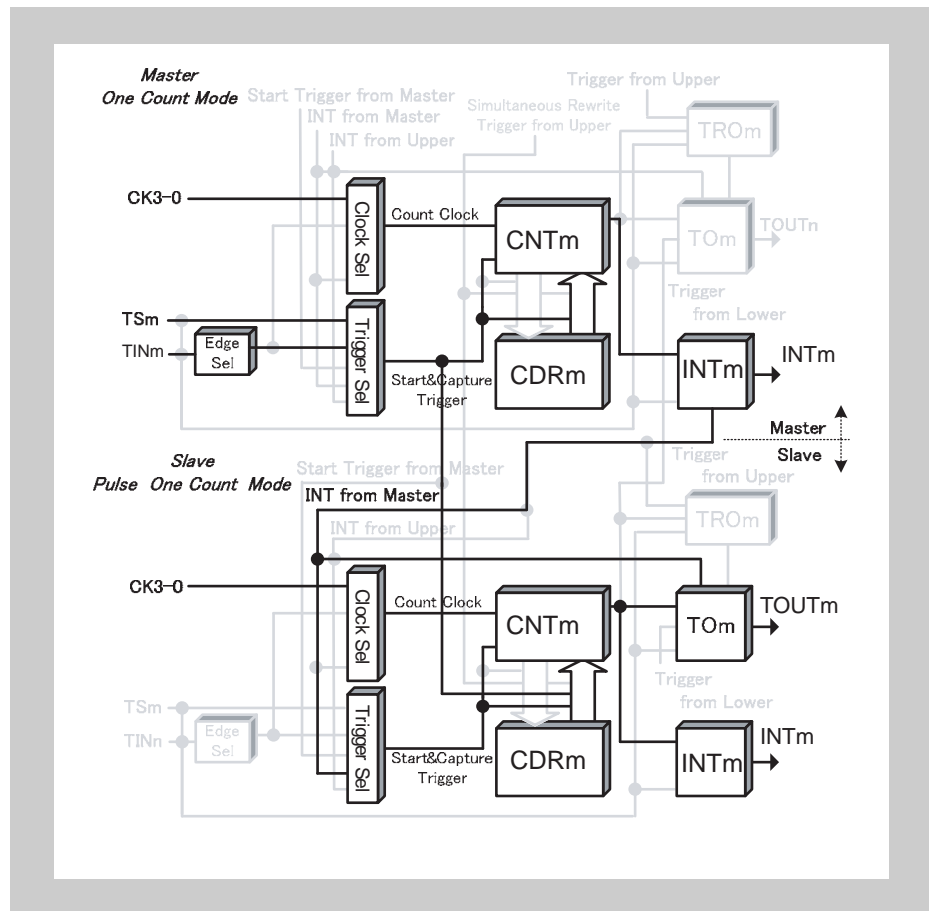


図 16-84 ワンショット・パルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止  
(TAUBnCMORM.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

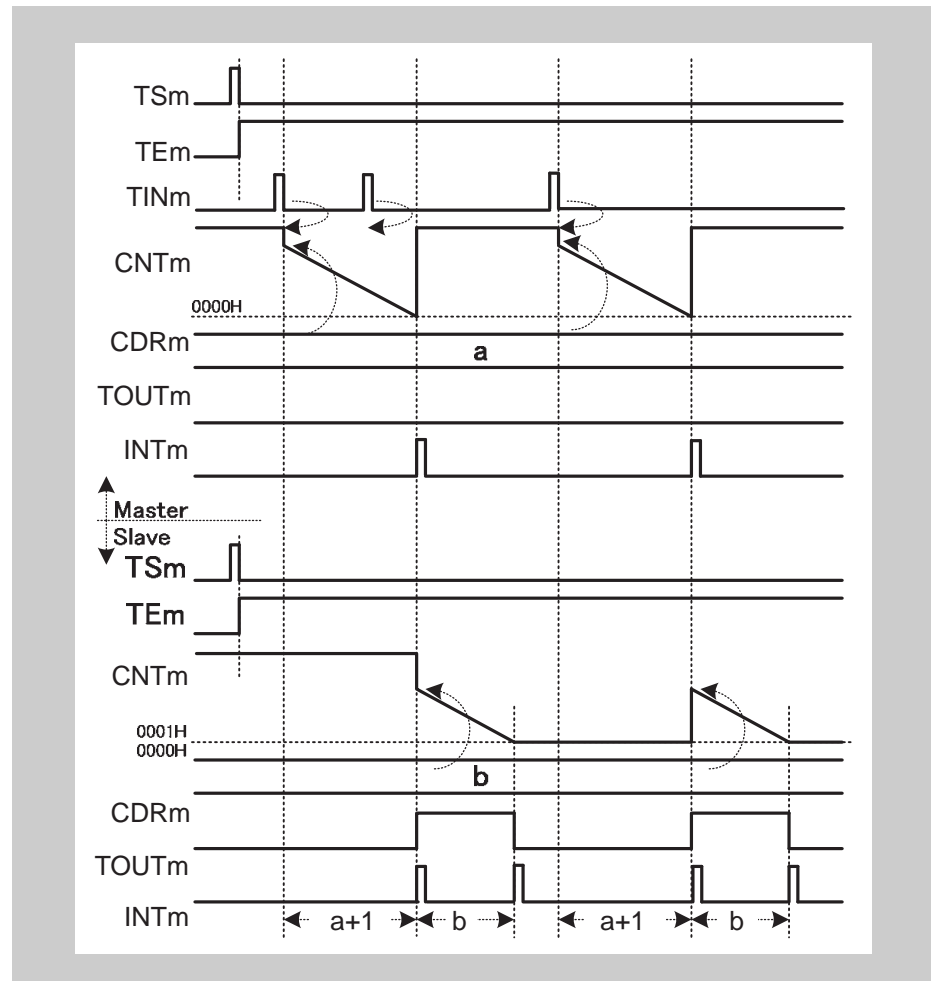


図 16-85 ワンショット・パルス出力機能の基本タイミング図

## (3) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUBnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-98 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	001 : 有効な TAUBnTTINm 入力エッジ信号をスタート・トリガとして使用
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

## (b) マスタ・チャンネルの TAUBnCMURm 設定

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-99 ワンショット・パルス出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出 11 : 設定禁止

## (c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ほかの機能あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-100 ワンショット・パルス出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0 : チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

#### (4) スレーブ・チャンネルのレジスタ設定

##### (a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]	—	TAUBnMD [4:1]				TAUBnMD0			

表 16-101 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	100 : マスタ・チャンネルの INTTAUBnIm がスタート・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1010 : パルス・ワンカウント・モード
TAUBnMD0	0 : カウント中のスタート・トリガ検出禁止 1 : カウント中のスタート・トリガ検出許可 マスタ・チャンネルとスレーブ・チャンネルの MD0 ビット値は同一である必要があります。

## (b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUBnTIS[1:0]	

表 16-102 ワンショット・パルス出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルの出力モード

表 16-103 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 : チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0 : チャンネル単体出力
TAUBnTOC.TAUBnTOCm	1 : 動作モード2
TAUBnTOL.TAUBnTOLm	0 : 正論理 1 : 反転論理
TAUBnTDE.TAUBnTDEm	0 : デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0 : デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-104 ワンショット・パルス出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1 : 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0 : マスタ・チャンネルが一斉書き換えの制御チャンネル
TAUBnRDM.TAUBnRDMm	0 : マスタ・チャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0 : チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (5) ワンショット・パルス出力機能時の操作手順

表 16-105 ワンショット・パルス出力機能時の操作手順

	操作	TAUBnの状態
動作再開	チャンネルの初期設定 マスタ・チャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを(3)「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル：TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを(4)「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTSM を同時に 1 に設定します。 TAUBnTS.TAUBnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ・チャンネルは TAUBnTTINm 入力を待ちます。
	動作中 TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBnTTINm 入力の有効エッジを検出すると、マスタ・チャンネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUBnIm (マスタ) が発生します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (スレーブ) にロードし、ダウン・カウント動作を開始します。</li> <li>INTTAUBnIm (スレーブ) が発生します。</li> <li>TAUBnTTOUTm (スレーブ) がセットされます。</li> </ul> TAUBnCNTm (スレーブ) が 0001 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ) が発生します。</li> <li>TAUBnTTOUTm (スレーブ) がリセットされます。</li> </ul> カウント中にマスタ・チャンネルで TAUBnTTINm 入力が検出され、TAUBnCMORm.TAUBnMD0 = 0 の場合、その入力は無視されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

(a) TAUBnCDRm (マスタ) = 0000<sub>H</sub>

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

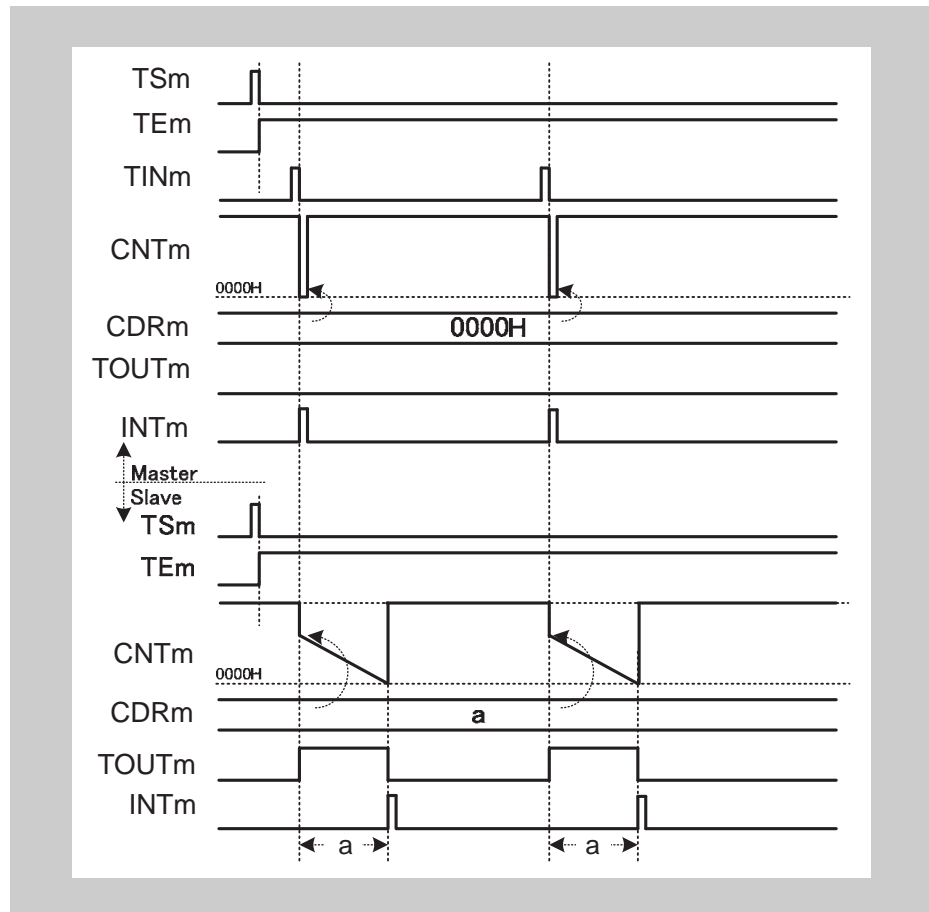


図 16-86 TAUBnCDRm (マスタ) = 0000<sub>H</sub>

- TAUBnTTINm 入力の有効エッジが検出されたとき、TAUBnCNTm (マスタ) に 0000<sub>H</sub> が書き込まれます。カウンタに 0000<sub>H</sub> が設定されることにより、1 カウント行くと FFFF<sub>H</sub> に戻ります。したがって、スレーブ・チャンネルのカウンタは TAUBnTTINm (マスタ) から 1 カウント・クロック遅れて、ダウン・カウントを開始します。



(b) TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止 (TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

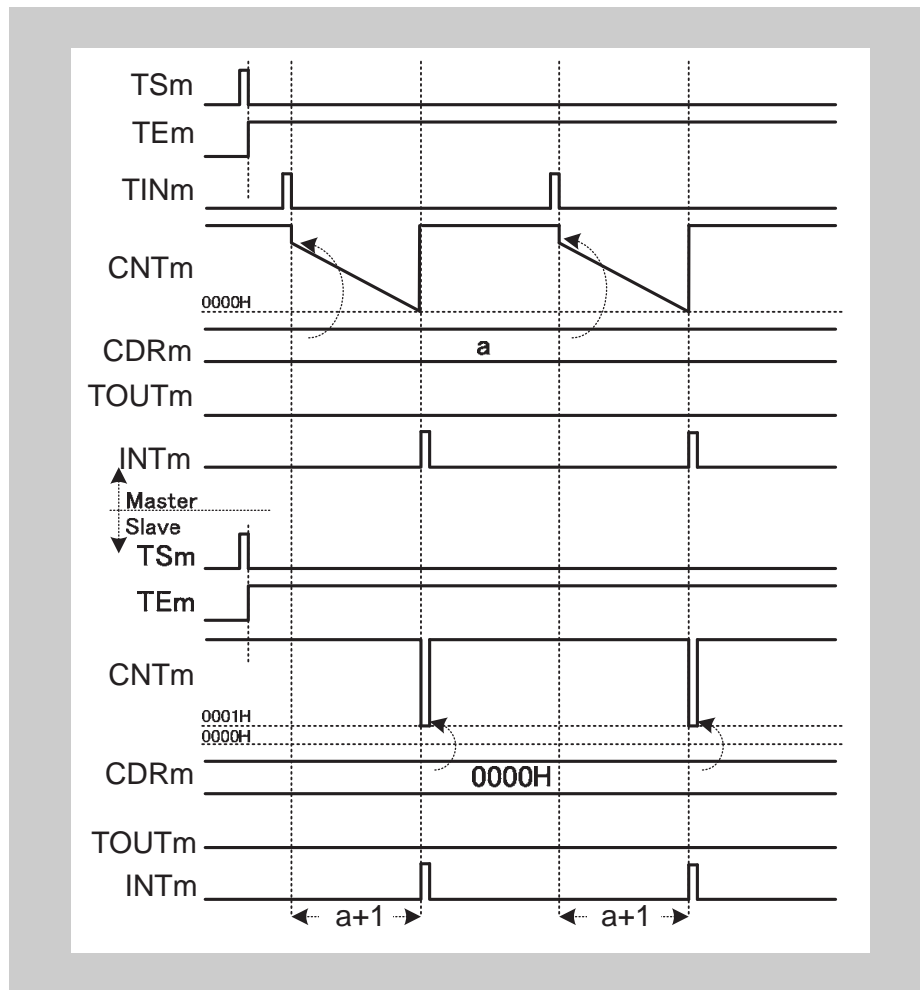


図 16-87 TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

- スレーブ・チャンネルのカウンタは 0000<sub>H</sub> をリロードし、1 カウント・クロック後に FFFF<sub>H</sub> に戻ります。  
パルス幅が 0 のため、TAUBnTOUTm は非アクティブ状態のままです。

## (c) TAUBnCMORm.TAUBnMD0 = 1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出許可 (TAUBnCMORm.TAUBnMD0 = 1)
- 立ち下がりエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

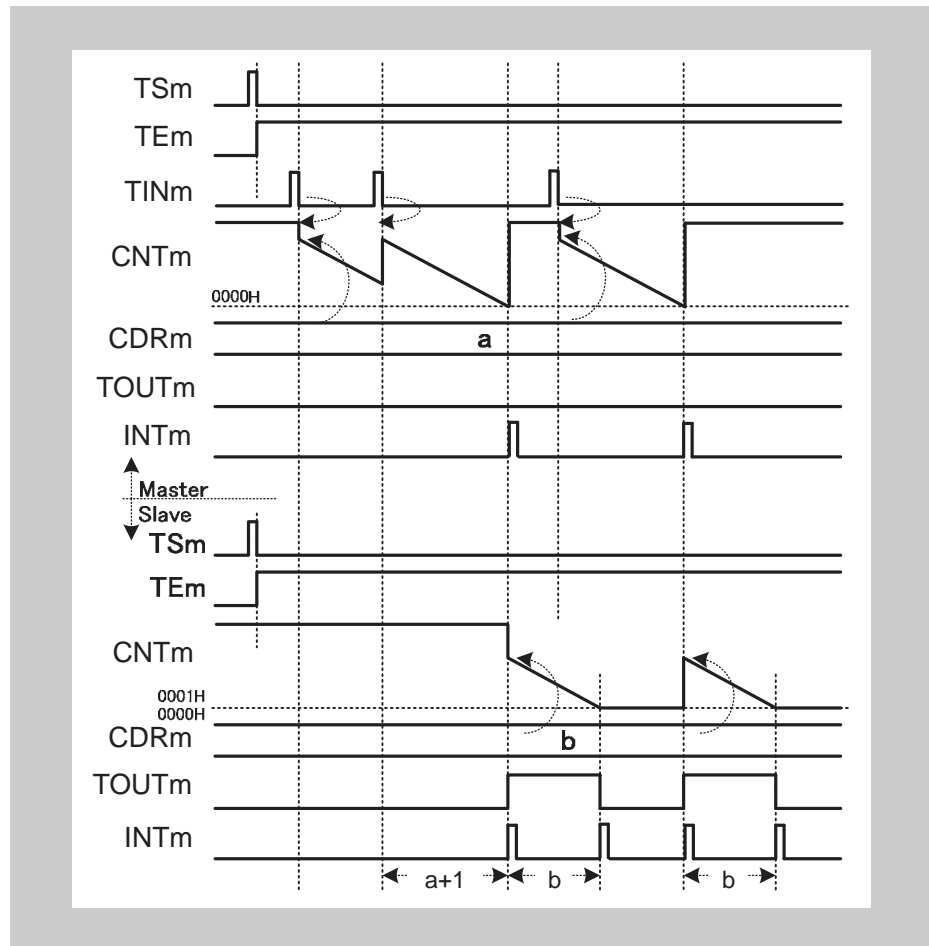


図 16-88 TAUBnCMORm.TAUBnMD0 = 1

- マスタ・チャンネルのダウン・カウント中に TAUBnTTINm 入力の有効エッジが検出された場合、TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは、ダウン・カウントを再開します。

これは、TAUBnTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって、INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

## (d) スレーブ・チャンネル・カウント中にマスタ・チャンネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタート・トリガ検出は禁止  
(TAUBnCMORm.TAUBnMD0 = 0)
- 立ち下がリエッジ検出 (TAUBnCMURm.TAUBnTIS[1:0] = 00<sub>B</sub>)

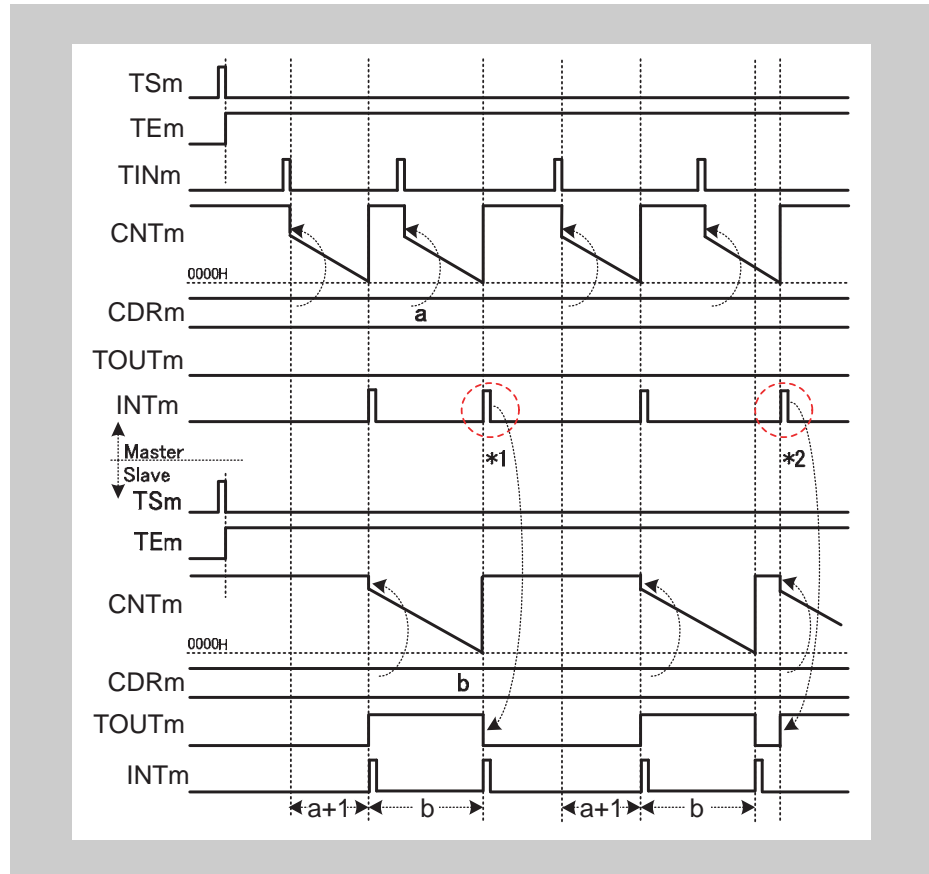


図 16-89 TAUBnTTINm 入力間隔 $\leq$ ディレイ時間 + パルス幅 + 1

- スレーブ・チャンネルのカウンタが  $0001_H$  になる前かちょうど  $0001_H$  になったときにマスタ・チャンネルが割り込みを発生した場合、割り込み（マスタ）は無視されます。
- スレーブ・チャンネルのカウンタが次のトリガを待つ間にマスタ・チャンネルの割り込みが発生した場合は、TAUBnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUBnTTOUTm がトグルされます。TAUBnCNTm（スレーブ）がカウント中に TAUBnCNTm（マスタ）がダウン・カウントを開始した場合は（\*2）、TAUBnTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショット・パルスを発生するには、マスタ・チャンネルとスレーブ・チャンネルがカウント中でなくスタート・トリガ待ち状態のときにマスタ・チャンネルのスタート・トリガが検出される必要があります。

## 16.22 同期三角波 PWM 機能

この節では、三角波 PWM 出力信号を生成する機能について説明します。

- 16.22.1 「三角波 PWM 出力機能」
- 16.22.2 「デッド・タイム付き三角波 PWM 出力機能」
- 16.22.3 「A/D 変換トリガ出力機能タイプ2」

### 16.22.1 三角波 PWM 出力機能

#### (1) 概要

**概要** マスタ・チャンネルと1つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブ・チャンネルを用いて、TAUBnTTOUm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。マスタ・チャンネルの1周期目はスレーブ・カウンタのダウン・ステータスを、2周期目はアップ・ステータスを制御します。

#### 前提条件

- 2チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 16-106 「三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、アップ／ダウン・カウント・モードに設定する必要があります（表 16-110 「三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定」参照）。
- マスタ・チャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（16.9 「チャンネル出力モード」）。
- スレーブ・チャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（16.9 「チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウン・ステータスの間、TAUBnTTOUm 信号がハイ・レベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが0に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を1に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが1に設定されている場合、TAUBnTOE.TAUBnTOEm が0の間、TAUBnTO.TAUBnTOm を0に設定する必要があります。

#### 機能説明

チャンネル・トリガ・ビット（TAUBnTS.TAUBnTSm）を1に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm が設定され、カウントが可能になります。TAUBnCDRm（マスタ／スレーブ）の値が TAUBnCnTm（マスタ／スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUBnCMORm.TAUBnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUBnTTOUm 信号がトグルされます。

- マスタ・チャンネル：  
マスタ・チャンネルのカウンタ値が  $0000_H$  になると（パルス周期が経過すると）、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。その後、再び TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。
- スレーブ・チャンネル：  
マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップ・カウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。スレーブ・チャンネルのカウンタがアップ／ダウン・カウント中に  $0001_H$  になると、INTTAUBnIm が発生し、TAUBnTTOUTm（スレーブ）信号がセット／リセットされます：  
カウンタはアップ／ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUBnIm を待ちます。  
TAUBnTOL.TAUBnTOLm を設定することにより、動作中に TAUBnTTOUTm 信号の正相／逆相を切り替えることができます。  
マスタ／スレーブ・チャンネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。

**条件** この機能では一斉書き換えを行うことができます。16.8「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_H \leq \text{TAUBnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

デューティ・サイクル =

$$\frac{(\text{TAUBnCDRm (マスタ)} + 1 - \text{TAUBnCDRm (スレーブ)})}{(\text{TAUBnCDRm (マスタ)} + 1) \times 100}$$

– デューティ・サイクル = 100 %

TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 0 %

TAUBnCDRm (スレーブ)  $\geq$  TAUBnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

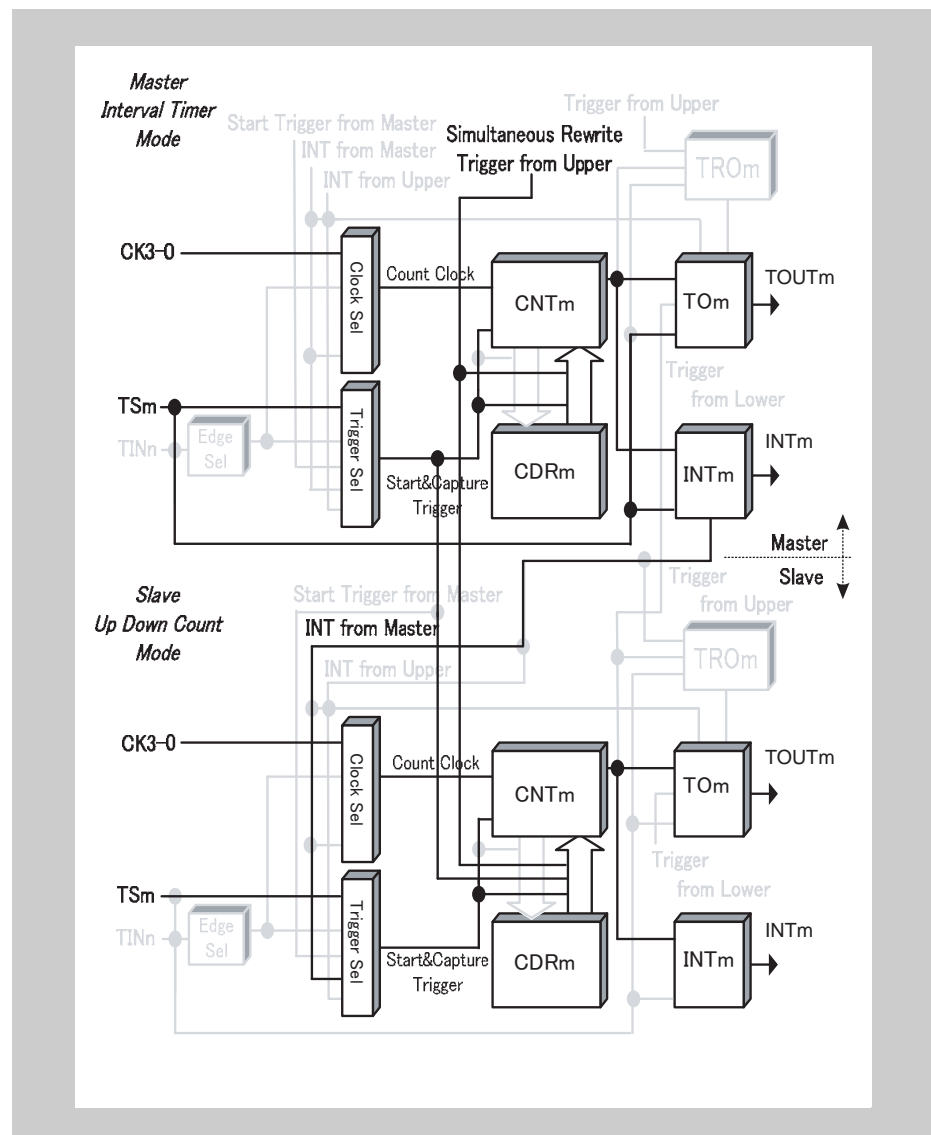


図 16-90 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
  - 動作開始時に INTTAUBnIm が発生する  
(TAUBnCMORm.TAUBnMD0 = 1)

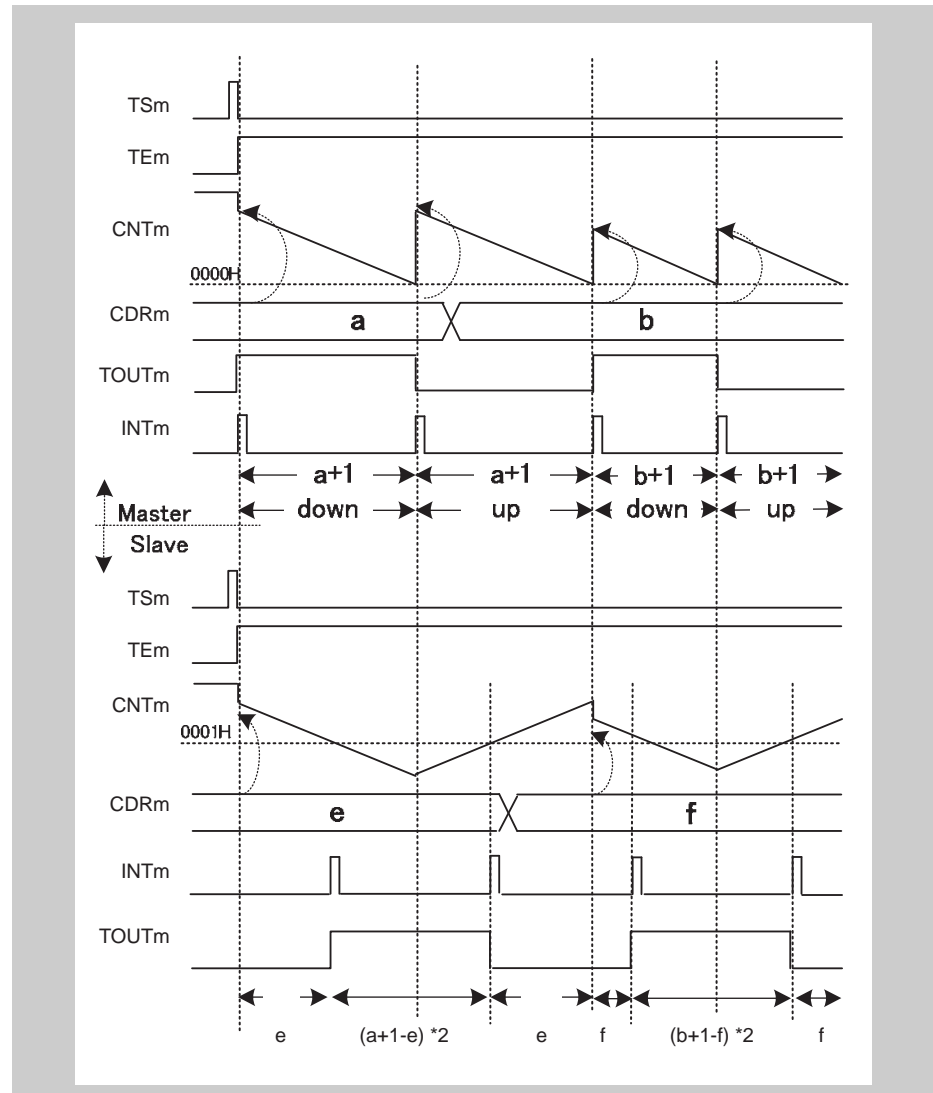


図 16-91 三角波 PWM 出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-106 三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUtM はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUtM は トグルされる

## (b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-107 三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定



## (c) マスタ・チャンネルのチャンネル出力モード

表 16-108 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-109 三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [ 山 ] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネルのレジスタ設定

## (a) スレーブ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-110 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

## (b) スレーブ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-111 三角波 PWM 出力機能時のスレーブ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルのチャンネル出力モード

表 16-112 チャンネル連動出力モード2の時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1 : チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1 : チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1 : 動作モード2
TAUBnTOL.TAUBnTOLm	0 : 正論理 1 : 反転論理
TAUBnTDE.TAUBnTDEm	0 : デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0 : デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

**(d) スレーブ・チャンネルの一斉書き換え**

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-113 三角波 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) 三角波 PWM 出力機能時の操作手順

表 16-114 三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	チャンネルの初期設定  マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。  スレーブ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」 に示すように設定します。  全チャンネルの TAUBnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始  マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。 TAUBnTS.TAUBnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。
	動作中  TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。  TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ/スレーブ・チャンネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUBnIm (マスタ) が発生します。</li> <li>TAUBnTTOUTm (マスタ) がトグルされます。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。</li> </ul> スレーブ・チャンネルの TAUBnCNTm が 0001 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ) が発生します。</li> <li>TAUBnTTOUTm (スレーブ) は、ダウン・カウント状態ではセット、アップ・カウント状態ではリセットされます。</li> </ul>
	動作停止  マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：
  - 動作開始時に INTTAUBnIm が発生する (TAUBnCMORm.TAUBnMD0 = 1)
  - TAUBnCDRm = a = 5<sub>H</sub>
- スレーブ・チャンネル：
  - TAUBnCDRm = 6<sub>H</sub>

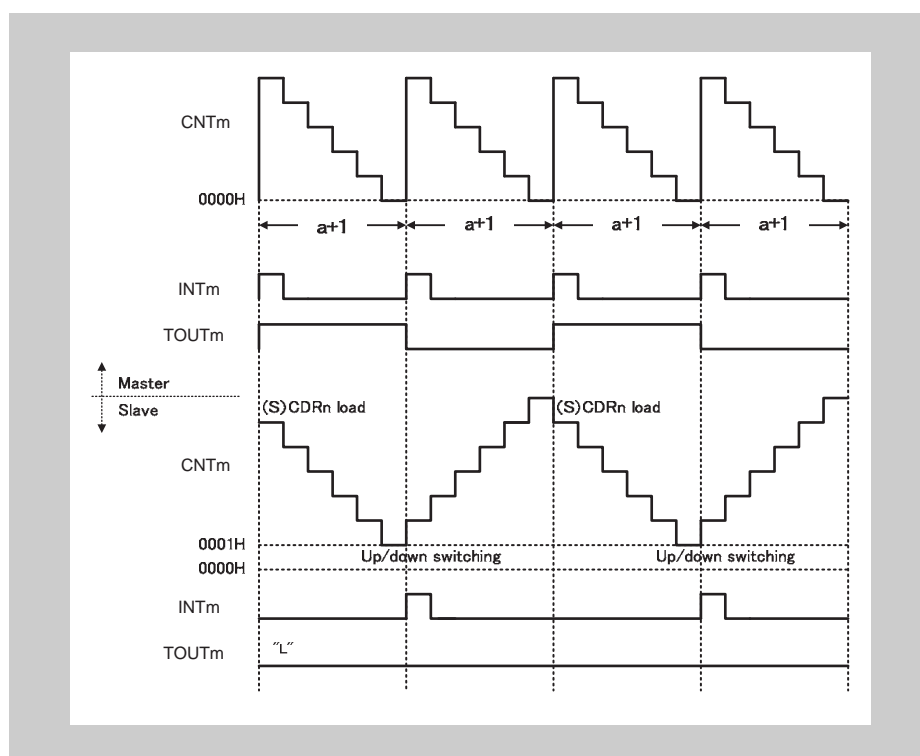


図 16-92 TAUBnCDRm (スレーブ) ≥ TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ) 値が TAUBnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0001<sub>H</sub> になりません。セット信号が検出されることがないため、TAUBnTTOUTm は Low 状態のままになります。

**(b) デューティ・サイクル = 100 %**

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル：
  - 動作開始時に INTTAUBnIm が発生する  
(TAUBnCMORm.TAUBnMD0 = 1)
  - TAUBnCDRm = a = 5<sub>H</sub>
- スレーブ・チャンネル：
  - TAUBnCDRm = 0<sub>H</sub>

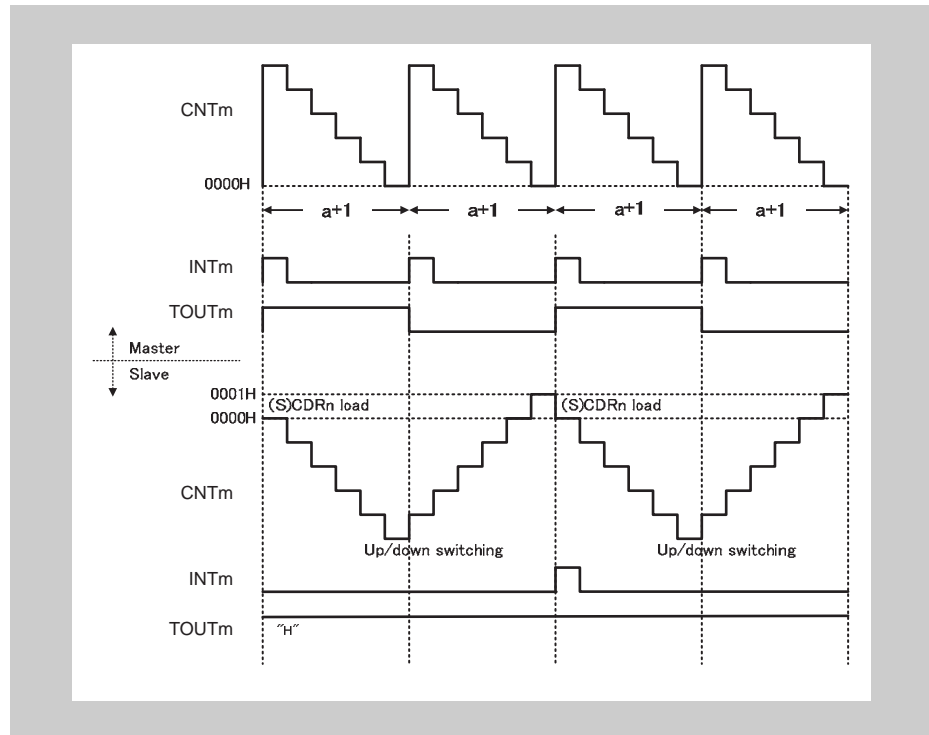


図 16-93 TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

- TAUBnCDRm (スレーブ) = 0000<sub>H</sub> の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001<sub>H</sub> になりません。リセット信号が検出されることがないため、TAUBnTTOUTm は High 状態のままになります。

## 16.22.2 デッド・タイム付き三角波 PWM 出力機能

### (1) 概要

**概要** マスタ・チャンネルと2つ以上のスレーブ・チャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッド・タイムを付加して生成する機能です。デッド・タイムが付加された PWM 信号は、スレーブ・チャンネル 2/3 の TAUBnTTOUTm から出力されます。これにより、マスタ／スレーブ・チャンネルを使って TAUBnTTOUTm のパルス周期（周波数）とデューティ・サイクルを設定することができます。

キャリア周期はマスタ・チャンネルで生成します。1 周期目のパルスはスレーブ・カウンタのダウン・ステータスを、2 周期目のパルスはアップ・ステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブ・チャンネルの TAUBnTTOUTm がセット／リセットされます。TAUBnTDL.TAUBnTDLm の設定によって、信号の正論理側または

側に遅延時間が付加されます（TAUBnTTOUTm がただちにセット／リセットされるのか、デッド・タイム経過後にセット／リセットされるのかを設定）。デッド・タイム時間はスレーブ・チャンネル 3 で設定します。

- 前提条件**
- 3 チャンネル。スレーブ・チャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
  - マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 16-116 「デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定」参照）。
  - この機能では、スレーブ・チャンネル 1 は使用しません。そのため、スレーブ・チャンネル 2 は必ず偶数チャンネル、スレーブ・チャンネル 3 は奇数チャンネルです。
  - スレーブ・チャンネル 2 の動作モードは、アップ・ダウン・モードに設定する必要があります（表 16-120 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 2 の TAUBnCMORm 設定」参照）。また、スレーブ・チャンネル 2 は偶数チャンネルでなければなりません。
  - スレーブ・チャンネル 3 の動作モードは、ワンカウント・モードに設定する必要があります（表 16-124 「デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル 3 の TAUBnCMORm 設定」参照）。また、スレーブ・チャンネル 3 は奇数チャンネルでなければなりません。
  - マスタ・チャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（16.9 「チャンネル出力モード」）。
  - スレーブ・チャンネル 2/3 の出力モードは、デッド・タイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（16.9 「チャンネル出力モード」参照）。
  - 次のような設定により、キャリア周期のダウン・ステータスの間、TAUBnTTOUTm 信号がハイ・レベルになります。

- TAUBnCMORm.TAUBnMD0 (マスタ) ビットが0に設定されている場合、TAUBnTOE.TAUBnTOEmが0の間、TAUBnTO.TAUBnTOmを1に設定する必要があります。(推奨設定)
- TAUBnCMORm.TAUBnMD0 (マスタ) ビットが1に設定されている場合、TAUBnTOE.TAUBnTOEmが0の間、TAUBnTO.TAUBnTOmを0に設定する必要があります。

**備考** デッド・タイム付き三角波 PWM 出力機能では、スレーブ・チャンネル1を使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUBnTS.TAUBnTsm) を1に設定すると、カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm = 1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルの TAUBnCMORm.TAUBnMD0 ビットが1に設定されている場合は、割り込みが発生し、マスタの TAUBnTTOUTm 信号がトグルされます。

• マスタ・チャンネル :

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になると、INTTAUBnIm が発生し、TAUBnTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし、ダウン・カウントを行います。

• スレーブ・チャンネル2 :

マスタ・チャンネルで INTTAUBnIm が発生すると、スレーブ・チャンネル2のカウンタ動作がトリガされます。

- スレーブのカウンタがダウン・カウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップ・カウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウン・カウントを開始します。

カウンタはアップ/ダウン・カウントを続け、マスタ・チャンネルの次の INTTAUBnIm を待ちます。

• スレーブ・チャンネル3 :

スレーブ・チャンネル2で INTTAUBnIm が発生すると、スレーブ・チャンネル3のカウンタ動作がトリガされます。そして TAUBnCDRm (スレーブ3) の現在値が TAUBnCNTm (スレーブ3) にロードされ、カウンタはその TAUBnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUBnIm が発生します。カウンタは FFFF<sub>H</sub> に戻り、スレーブ・チャンネル2の次の INTTAUBnIm を待ちます。

表 16-115 「スレーブ・チャンネル2で割り込みが発生した際の TAUBnTTOUTm の動作」にあるように、対応するチャンネルの TAUBnTDL.TAUBnTDLm 設定によって、セット/リセットのタイミング (割り込み発生直後またはデッド・タイム経過後) が決まります。

また、TAUBnTOL.TAUBnTOLm の設定によって、対応チャンネルからハイ・レベル信号を出力 (TAUBnTOL.TAUBnTOLm = 0) するかロウ・レベル信号を出力 (TAUBnTOL.TAUBnTOLm = 1) するかが決まります。

マスタ/スレーブ・チャンネルの TAUBnTT.TAUBnTTm を1に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は0に設定されます。マスタ/スレーブ・チャンネルの TAUBnCNTm と TAUBnTTOUTm が停止しますが、それぞれの値は保持します。



スレーブ・チャンネル2のTAUBnCDRm値を0000<sub>H</sub>にして、TAUBnTTOUTmを100%出力することができます。

**備考** 動作中に強制リスタートが発生した場合、TAUBnTTOUTmは三角波PWM出力波形を出しません。

**条件** この機能では一斉書き換えを行うことができます。16.8「一斉書き換え」を参照してください。

TAUBnTOL.TAUBnTOLmとTAUBnTDL.TAUBnTDLmの設定はカウント動作開始前に行う必要があります。スレーブ・チャンネル2とスレーブ・チャンネル3はTAUBnTOL.TAUBnTOLmかTAUBnTDL.TAUBnTDLmの設定が反対でなければなりません。

表 16-115 スレーブ・チャンネル2で割り込みが発生した際のTAUBnTTOUTmの動作

TAUBnTDL.TAUBnTDLm	割り込み発生時のスレーブ・チャンネル2のカウント方向	TAUBnTTOUTm セット/リセット・タイミング
0	ダウン・カウント	デッド・タイム経過後に設定
	アップ・カウント	割り込み発生直後にリセット
1	ダウン・カウント	割り込み発生直後にセット
	アップ・カウント	デッド・タイム経過後に設定

## (2) 算出式

パルス周期 = (TAUBnCDRm (マスタ) + 1) × カウント・クロック周期

$0000_H \leq \text{TAUBnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUBnCDRm (マスタ) + 1) × 2 × カウント・クロック周期

PWM 信号幅 (正相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ2) × 2) - (TAUBnCDRm (スレーブ3) + 1)] × カウント・クロック周期

PWM 信号幅 (逆相) = [(TAUBnCDRm (マスタ) + 1 - TAUBnCDRm (スレーブ2) × 2) + (TAUBnCDRm (スレーブ3) + 1)] × カウント・クロック周期

(3) ブロック図と基本タイミング図

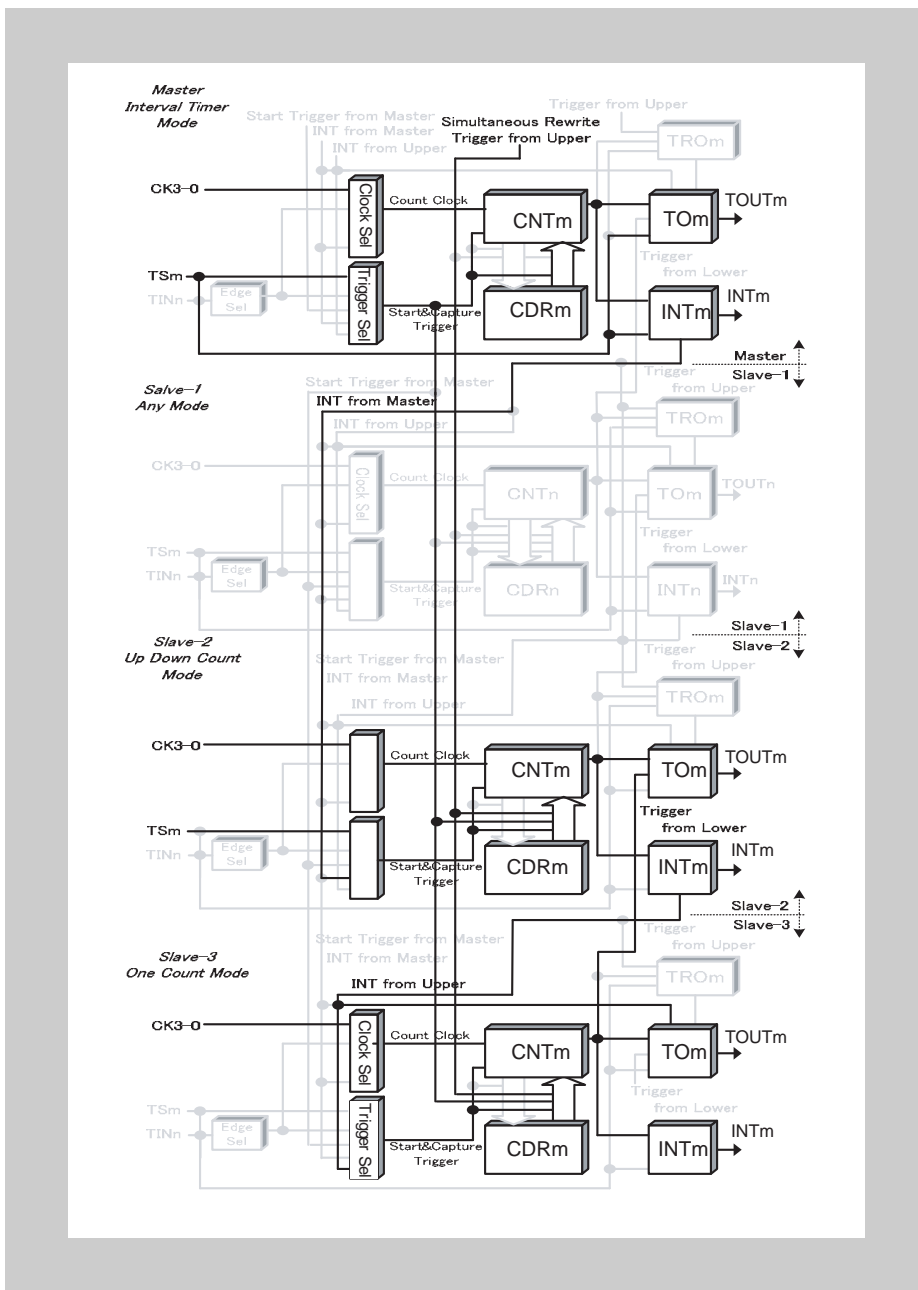


図 16-94 デッド・タイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル :
  - 動作開始時に INTTAUBnIm が発生する  
(TAUBnCMORm.TAUBnMD0 = 1)
- スレーブ・チャンネル 2 :
  - 動作開始時に INTTAUBnIm が発生しない  
(TAUBnCMORm.TAUBnMD0 = 0)
  - TAUBnTDL.TAUBnTDLm = 0
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 動作開始時に INTTAUBnIm が発生する  
(TAUBnCMORm.TAUBnMD0 = 1)
  - TAUBnTDL.TAUBnTDLm = 1
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

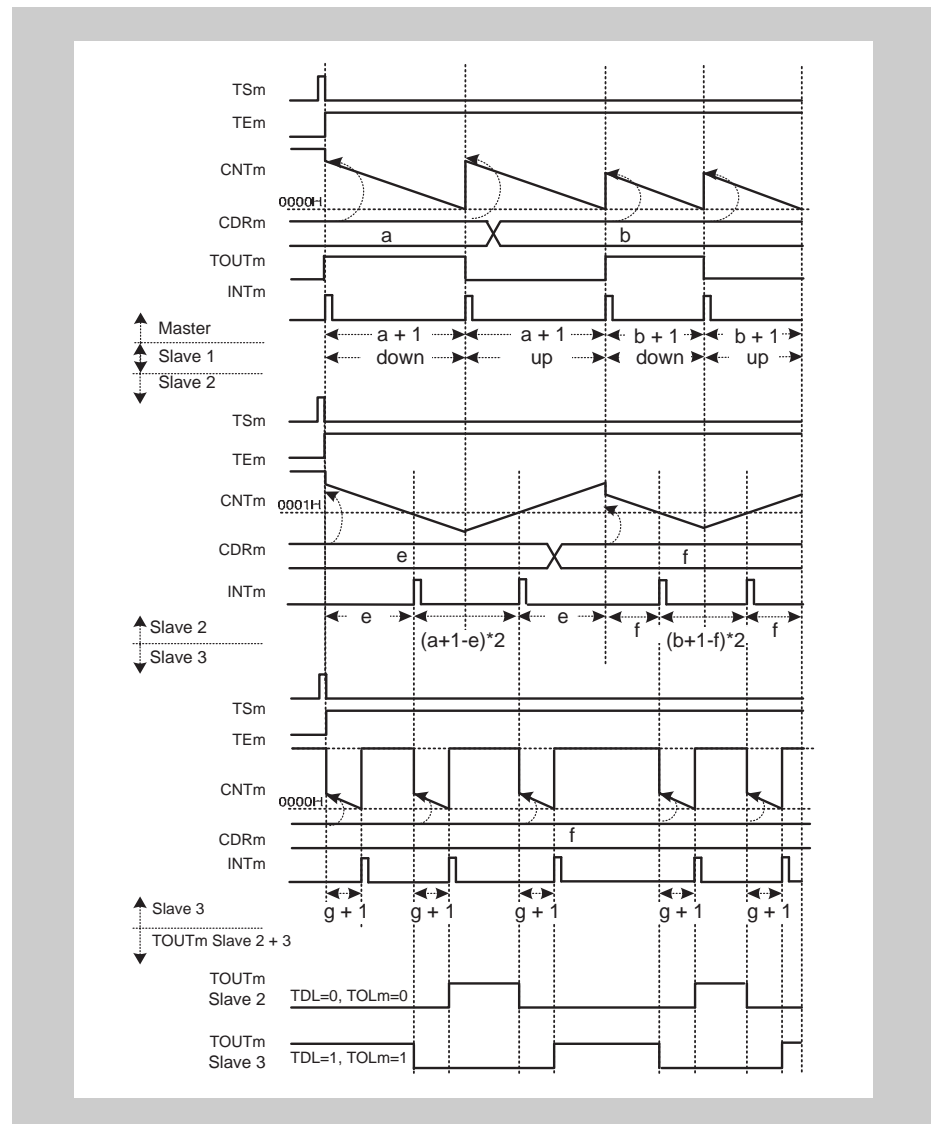


図 16-95 デッド・タイム付き三角波 PWM 出力機能の基本タイミング図

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-116 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	1 : チャンネルはマスタ・チャンネル
TAUBnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0000 : インターバル・タイマ・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生せず, TAUBnTTOUTm はトグルされない 1 : 動作開始時に INTTAUBnIm が発生し, TAUBnTTOUTm はトグルされる

## (b) マスタ・チャンネルの TAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-117 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの TAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

表 16-118 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0: チャンネル単体出力
TAUBnTOC.TAUBnTOCm	0: 動作モード1 (TAUBnTOM.TAUBnTOMm = 0 時はトグル・モード)
TAUBnTOL.TAUBnTOLm	0: 正論理
TAUBnTDE.TAUBnTDEm	0: デッド・タイム動作禁止
TAUBnTDL.TAUBnTDLm	0: デッド・タイム動作禁止時 (TAUBnTDE.TAUBnTDEm = 0), 0 を設定

## (d) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-119 デッド・タイム付き三角波 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

備考 TAUBnRDS.TAUBnRDSm = 1 の場合、マスタ・チャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

## (5) スレーブ・チャンネル2のレジスタ設定

## (a) スレーブ・チャンネル2のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-120 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	00 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	111 : マスタ・チャンネルのアップ/ダウン出カトリガ信号
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	1001 : アップ/ダウン・カウント・モード
TAUBnMD0	0 : 動作開始時に INTTAUBnIm が発生しない

## (b) スレーブ・チャンネル2のTAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-121 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル2のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネル2のチャンネル出力モード

表 16-122 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意 TDLm は、奇数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル2の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-123 三角波 PWM 出力機能時のスレーブ・チャンネル2の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) スレーブ・チャンネル3のレジスタ設定

## (a) スレーブ・チャンネル3のTAUBnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0		

表 16-124 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUBnCMORm 設定

ビット名	設定
TAUBnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUBnCKS[1:0] ビット値は同一である必要があります。
TAUBnCCS0	0 : 動作クロックをカウント・クロックとして使用
TAUBnMAS	0 : チャンネルはスレーブ・チャンネル
TAUBnSTS[2:0]	110 : デッド・タイム・トリガ
TAUBnCOS[1:0]	00 : 未使用, 00 を設定
TAUBnMD[4:1]	0100 : ワンカウント・モード
TAUBnMD0	1 : カウント中のスタート・トリガ検出許可

## (b) スレーブ・チャンネル3のTAUBnCMURm

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	

表 16-125 デッド・タイム付き三角波 PWM 出力機能時のスレーブ・チャンネル3のTAUBnCMURm 設定

ビット名	設定
TAUBnTIS[1:0]	00 : 未使用, 00 を設定



## (c) スレーブ・チャンネル3のチャンネル出力モード

表 16-126 デッド・タイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1: チャンネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	1: チャンネル連動動作
TAUBnTOC.TAUBnTOCm	1: 動作モード2
TAUBnTOL.TAUBnTOLm	0: 正論理 1: 反転論理
TAUBnTDE.TAUBnTDEm	1: デッド・タイム動作許可
TAUBnTDL.TAUBnTDLm	0: 正相にデッド・タイムを付加 1: 逆相にデッド・タイムを付加

注意 TAUBnTDL.TAUBnTDLm は、偶数チャンネルと排他設定してください。

## (d) スレーブ・チャンネル3の一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 16-127 三角波 PWM 出力機能時のスレーブ・チャンネル3の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1: 一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUBnRDM.TAUBnRDMm	1: 一斉書き換えトリガ信号は、マスタ・チャンネルでのカウントが開始され、対応するスレーブ・チャンネルの三角波周期の [山] のタイミングで発生
TAUBnRDC.TAUBnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUBnIm 信号をモニタしない。 TAUBnRDS.TAUBnRDSm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

(7) デッド・タイム付き三角波 PWM 出力機能時の操作手順

表 16-128 デッド・タイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUBn の状態
動作再開	<p>チャンネルの初期設定</p> <p>マスタ・チャンネル : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 2 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネル 2 のレジスタ設定」 に示すように設定します。</p> <p>スレーブ・チャンネル 3 : TAUBnCMORm / TAUBnCMURm レジスタとチャンネル出力モードを (6) 「スレーブ・チャンネル 3 のレジスタ設定」 に示すように設定します。</p> <p>全チャンネルの TAUBnCDRm レジスタの値を設定します。</p>	<p>チャンネル動作を停止しています。</p>
	<p>動作開始</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTS.TAUBnTsm を同時に 1 に設定します。 TAUBnTS.TAUBnTsm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm (マスタ) が発生します。</p>
	<p>動作中</p> <p>TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。</p>	<p>マスタ・チャンネルとスレーブ・チャンネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。マスタ・チャンネルのカウンタが 0000<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (マスタ) が発生します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>再び TAUBnCDRm の値を TAUBnCNTm (スレーブ 2) にロードするか、反対方向のカウントを開始します。</li> </ul> <p>TAUBnCNTm (スレーブ 2) が 0001<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUBnIm (スレーブ 2) が発生します。</li> <li>スレーブ・チャンネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウン・カウントを行います。</li> </ul> <p>スレーブ・チャンネル 3 の TAUBnCNTm が 0000<sub>H</sub> になった場合 :</p> <ul style="list-style-type: none"> <li>INTTAUBnIm が発生します。</li> </ul>
	<p>動作停止</p> <p>マスタ・チャンネルとスレーブ・チャンネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。</p>	<p>TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBnTTOUtm は停止し、現在値を保持します。</p>

## (8) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

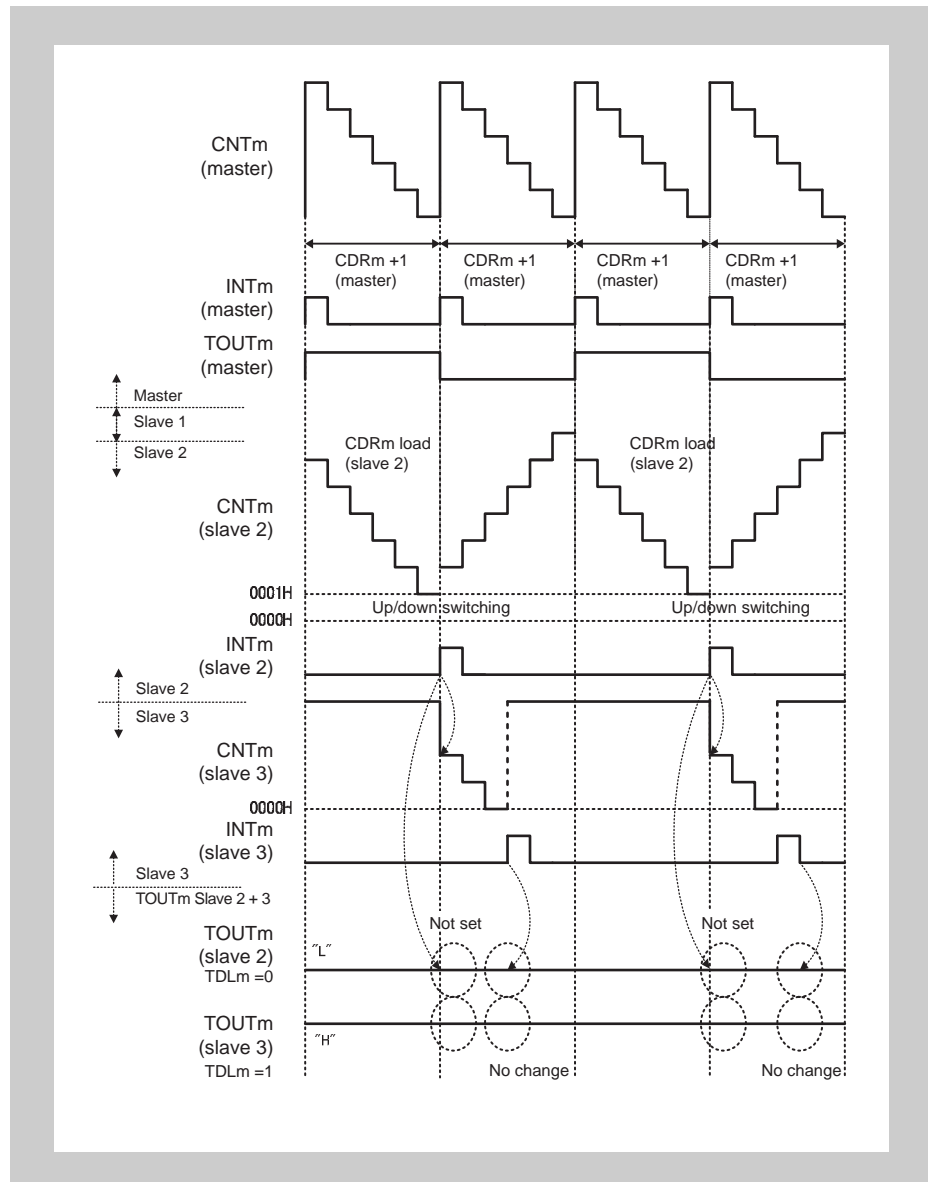


図 16-96 TAUBnCDRm (スレーブ)  $\geq$  TAUBnCDRm (マスタ) + 1

- TAUBnCDRm (スレーブ 2) 値が TAUBnCDRm (マスタ) 値以上の場合、スレーブ・チャンネルのカウンタはダウン・カウント中、0000<sub>H</sub> になりません。したがって TAUBnTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップ・カウント中にスレーブ・チャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

## (b) デューティ・サイクル = 100 %

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

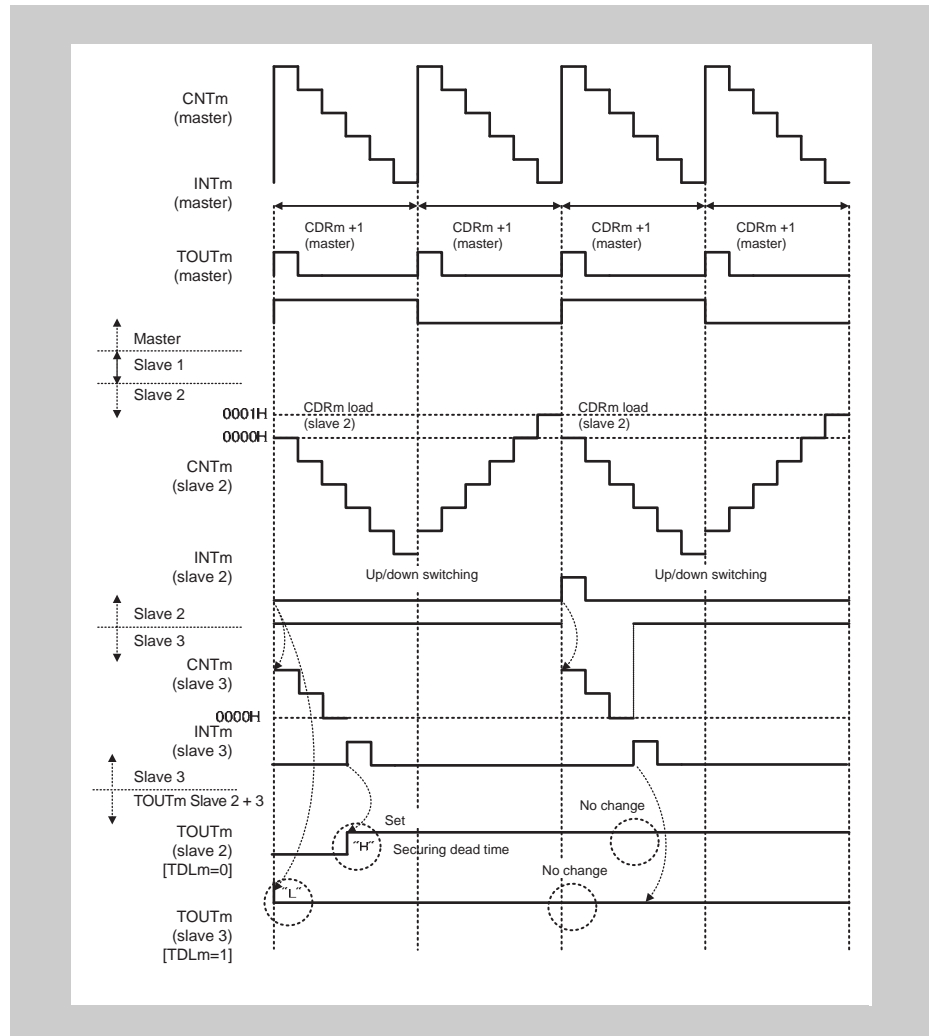


図 16-97 TAUBnCDRm (スレーブ) = 0000<sub>H</sub>

- TAUBnCDRm (スレーブ 2) = 0000<sub>H</sub> の場合、スレーブ・チャンネルのカウンタはアップ・カウント中、0001<sub>H</sub> になりません。したがって、アップ・カウント中に INTTAUBnIm は発生しません。
  - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャンネルでは、デッド・タイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUBnTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブ・チャンネル 3 はカウント開始時にセットされます。ただし、TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブ・チャンネルでは、リセット条件が満たされることがないため、当該チャンネルでは TAUBnTOUTm は初期状態のままになります。

(c)  $TAUBnTTOUTm$  (スレーブ2) = 0%,  $TAUBnTTOUTm$  (スレーブ3)  $\geq$  0%

下図での設定は次のようになっています。

- スレーブ・チャンネル2 :
  - 正論理 ( $TAUBnTOL.TAUBnTOLm = 0$ )
- スレーブ・チャンネル3 :
  - 負論理 ( $TAUBnTOL.TAUBnTOLm = 1$ )

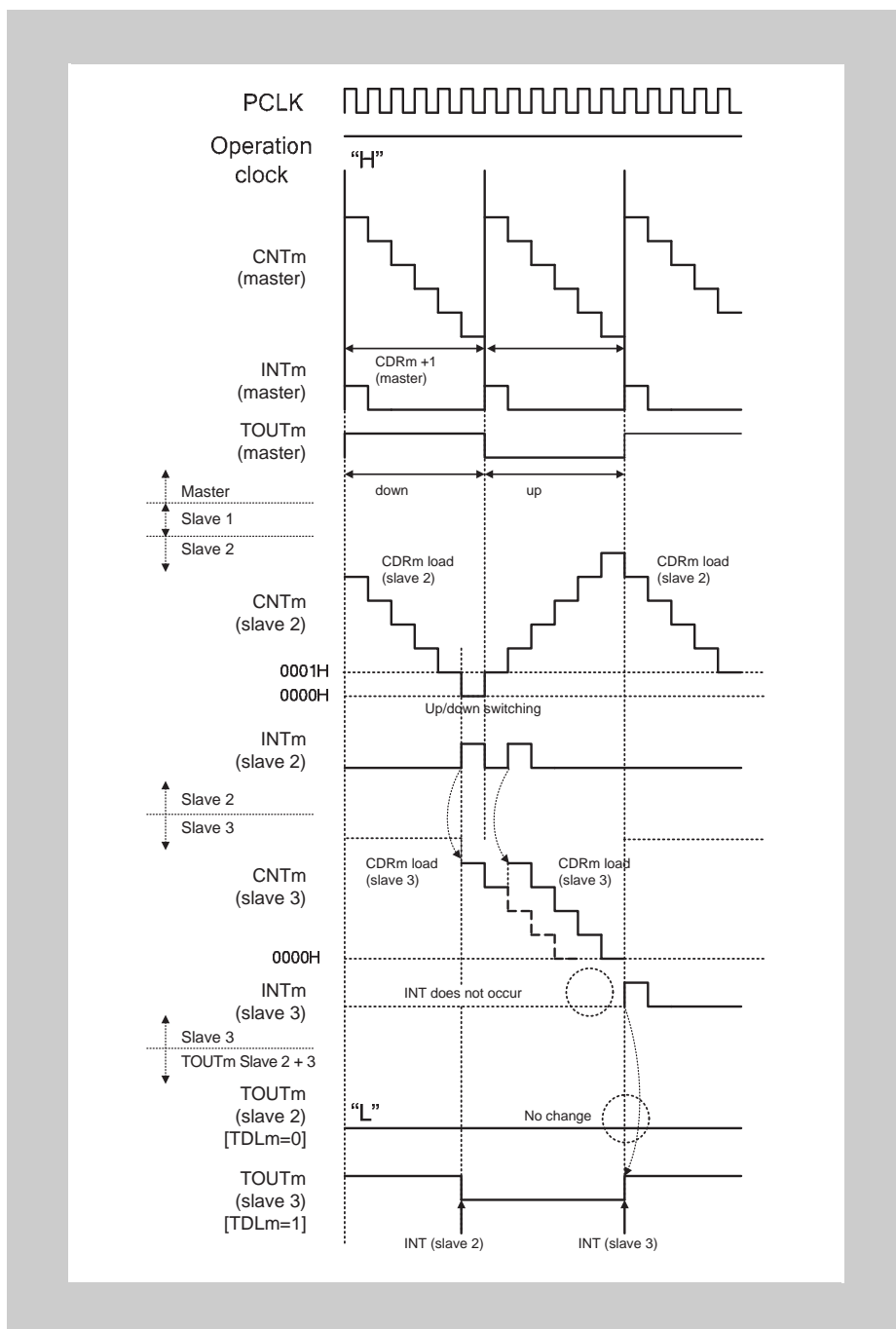


図 16-98  $TAUBnCDRm$  (マスタ) = 0005<sub>H</sub>,  $TAUBnCDRm$  (スレーブ2) = 0005<sub>H</sub>  
 $TAUBnCDRm$  (スレーブ3) = 0004<sub>H</sub>

- スレーブ・チャンネル2のカウンタが0000<sub>H</sub>になったとき、INTTAUBnIm (スレーブ2)が発生し、スレーブ・チャンネル3のダウン・カウントが開始します。
- スレーブ・チャンネル3がダウン・カウント中にINTTAUBnIm (スレーブ2)が発生した場合、TAUBnCDRm (スレーブ3)の値はリロードされ、カウンタはこの値でダウン・カウントを再開します。
- 上の図では、カウンタがダウン・カウント中にチャンネル2で第1の割り込みが発生し、アップ・カウント中に第2の割り込みが発生しています。
- 第1の割り込みの後、TAUBnTDL.TDLm = 0となるスレーブは、設定する前にデッド・タイムが経過するのを待ちます。ただし、デッド・タイムが経過する前にスレーブ2で別の割り込みが発生すると、この間カウンタはアップ・カウントしています。これはリセット信号として動作します。つまり、TAUBnTDL.TDLm = 0となるチャンネルは常に非アクティブ状態のままです。
- TAUBnTDL.TDLm = 1のスレーブ・チャンネルのTAUBnTTOUTmは、対応するINTTAUBnImが発生するときに通常どおりセット/リセットされません。

(d) TAUBnTOUTm (スレーブ2) > 0%, TAUBnTOUTm (スレーブ3) = 100%

下図での設定は次のようになっています。

- スレーブ・チャンネル2 :
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル3 :
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

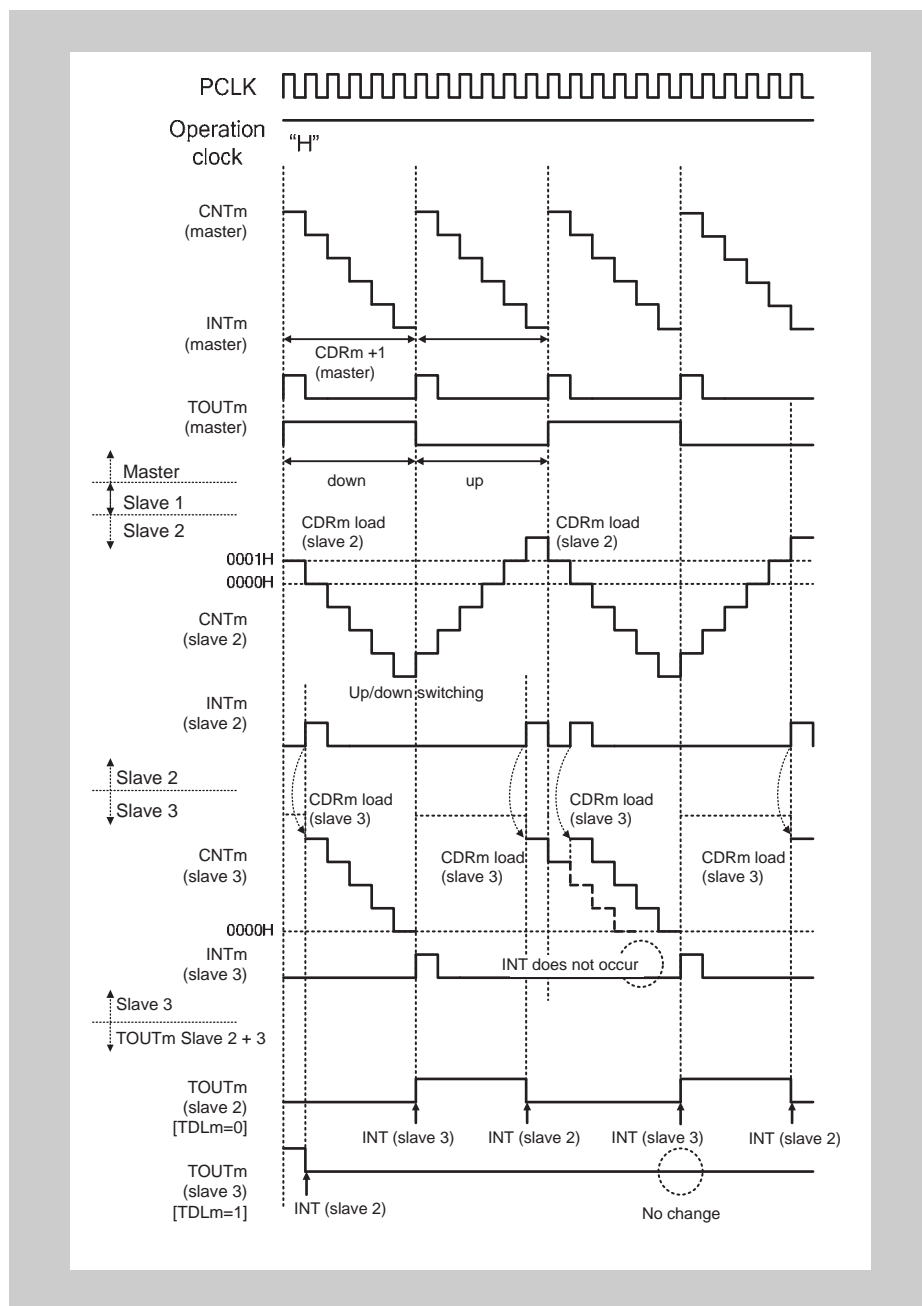


図 16-99 TAUBnCDRm (マスタ) = 0005<sub>H</sub>, TAUBnCDRm (スレーブ2) = 0002<sub>H</sub>  
 TAUBnCDRm (スレーブ3) = 0004<sub>H</sub>  
 PWM 信号幅 (逆相) ≥ キャリア周期

- 第2の割り込みの後、TAUBnTDL.TDLm = 1のスレーブはデッド・タイム経過後にリセットされます。ただし、デッド・タイムが経過する前にスレーブ2で別の割り込みが発生すると、この間カウンタはアップ・カウントしています。これはセット信号として動作します。つまり、TAUBnTDL.TDLm = 1のチャンネルは常にアクティブな状態のままです。
- TAUBnTDL.TDLm = 0となるスレーブ・チャンネルのTAUBnTTOUTmが設定され、対応するINTTAUBnImが発生するときに正常にリセットされます。



## (e) TAUBnTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

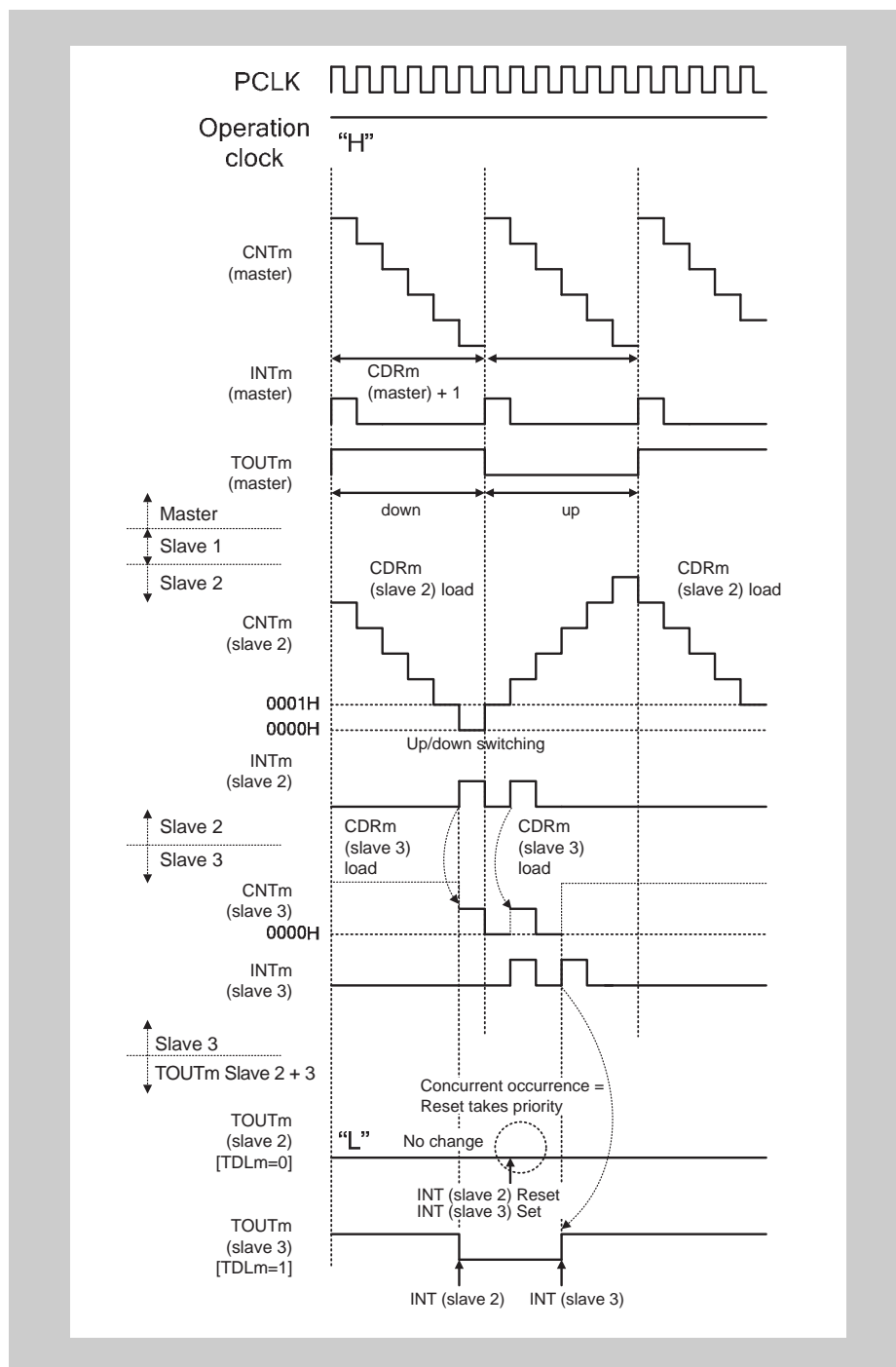


図 16-100 TAUBnCDRm (マスタ) = 0005<sub>H</sub>, TAUBnCDRm (スレーブ 2) = 0005<sub>H</sub>,  
TAUBnCDRm (スレーブ 3) = 0001<sub>H</sub>  
PWM 信号幅 (正相) = 0

- スレーブ・チャンネル3のカウンタが0000<sub>H</sub>になると INTTAUBnIm が発生し、TAUBnTDL.TDLm = 0 (この例ではスレーブ・チャンネル2) に設定されているスレーブ・チャンネルの TAUBnTTOUTm がセットされます。
- チャンネル2が INTTAUBnIm を発生し、同時に TAUBnTTOUTm をリセットする場合は、このリセット信号が優先されます (TAUBnTOL.TOLm = 0 の場合、それ以外の場合はセット信号が優先)。
- TAUBnTDL.TDLm = 0 に設定されているスレーブ・チャンネルの TAUBnTTOUTm は初期値のままになります。

(f) TAUBnTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブ・チャンネル 2 :
  - 正論理 (TAUBnTOL.TAUBnTOLm = 0)
- スレーブ・チャンネル 3 :
  - 負論理 (TAUBnTOL.TAUBnTOLm = 1)

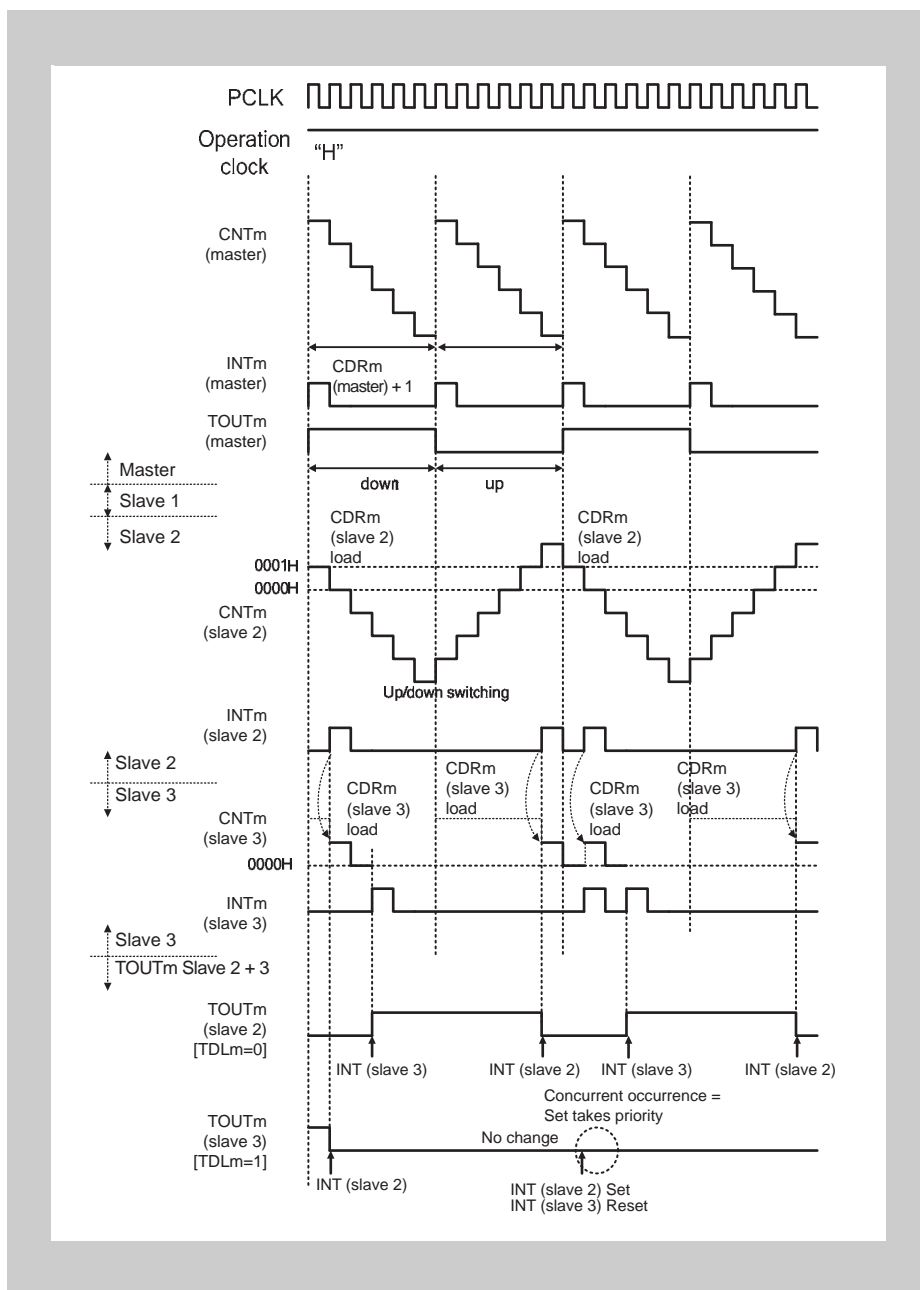


図 16-101 TAUBnCDRm (マスタ) = 0005<sub>H</sub>, TAUBnCDRm (スレーブ 2) = 0001<sub>H</sub>,  
 TAUBnCDRm (スレーブ 3) = 0001<sub>H</sub>  
 PWM 信号幅 (逆相) = キャリア周期

- スレーブ・チャンネル3のカウンタが0000<sub>H</sub>になると INTTAUBnIm が発生し、TAUBnTDL.TDLm = 1 (この例ではスレーブ・チャンネル3) に設定されているスレーブ・チャンネルの TAUBnTTOUTm がセットされます。
- チャンネル2が INTTAUBnIm を発生し、同時に TAUBnTTOUTm をリセットする場合は、セット信号が優先されます (TAUBnTOL.TOLm = 1 の場合、それ以外の場合はリセット信号が優先)。
- TAUBnTDL.TDLm = 1 に設定されているスレーブ・チャンネルの TAUBnTTOUTm は初期値のままになります。

16.22.3 A/D 変換トリガ出力機能タイプ 2

(1) 概要

**概要** スレーブ・チャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

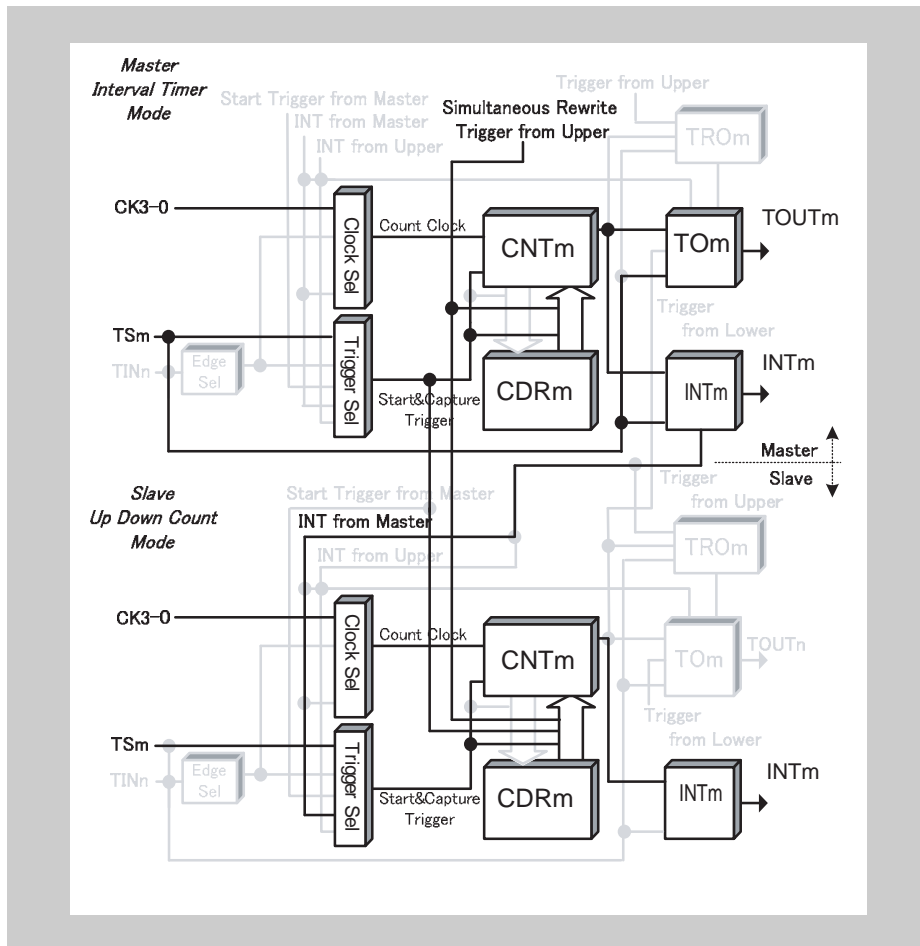


図 16-102 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタ・チャンネル
  - 動作開始時に INTTAUBnIm が発生する  
(TAUBnCMORm.TAUBnMD0 = 1)

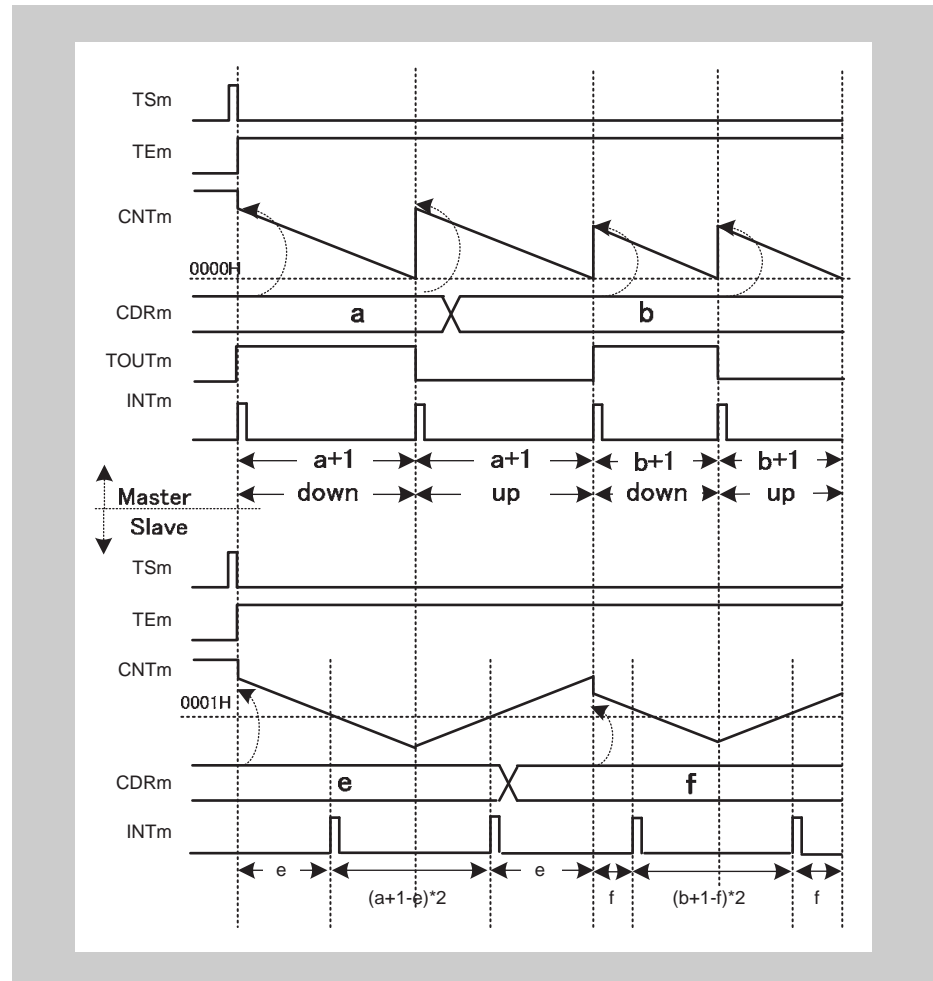


図 16-103 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

## 16.23 レジスタ

この節では、TAUBの全レジスタについて説明します。

### 16.23.1 TAUBn レジスタの概要

TAUBn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から15です。

表 16-129 TAUBn レジスタの概要 (1/2)

レジスタ名	略号	アドレス
TAUBn プリスケーラ・レジスタ		
TAUBn プリスケーラ・クロック選択レジスタ	TAUBnTPS	<TAUBn_base> + 240 <sub>H</sub>
TAUBn 制御レジスタ		
TAUBn チャンネル・データ・レジスタ m	TAUBnCDRm	<TAUBn_base> + m × 4 <sub>H</sub>
TAUBn チャンネル・カウンタ・レジスタ m	TAUBnCNTm	<TAUBn_base> + 80 <sub>H</sub> + m × 4 <sub>H</sub>
TAUBn チャンネル・モード OS レジスタ m	TAUBnCMORm	<TAUBn_base> + 200 <sub>H</sub> + m × 4 <sub>H</sub>
TAUBn チャンネル・モード・ユーザ・レジスタ m	TAUBnCMURm	<TAUBn_base> + C0 <sub>H</sub> + m × 4 <sub>H</sub>
TAUBn チャンネル・ステータス・レジスタ m	TAUBnCSRm	<TAUBn_base> + 140 <sub>H</sub> + m × 4 <sub>H</sub>
TAUBn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUBnCSCm	<TAUBn_base> + 180 <sub>H</sub> + m × 4 <sub>H</sub>
TAUBn チャンネル・スタート・トリガ・レジスタ	TAUBnTS	<TAUBn_base> + 1C4 <sub>H</sub>
TAUBn チャンネル許可ステータス・レジスタ	TAUBnTE	<TAUBn_base> + 1C0 <sub>H</sub>
TAUBn チャンネル・ストップ・トリガ・レジスタ	TAUBnTT	<TAUBn_base> + 1C8 <sub>H</sub>
TAUBn 出力レジスタ		
TAUBn チャンネル出力許可レジスタ	TAUBnTOE	<TAUBn_base> + 5C <sub>H</sub>
TAUBn チャンネル出力レジスタ	TAUBnTO	<TAUBn_base> + 58 <sub>H</sub>
TAUBn チャンネル出力モード・レジスタ	TAUBnTOM	<TAUBn_base> + 248 <sub>H</sub>
TAUBn チャンネル出力コンフィギュレーション・レジスタ	TAUBnTOC	<TAUBn_base> + 24C <sub>H</sub>
TAUBn チャンネル出力アクティブ・レベル・レジスタ	TAUBnTOL	<TAUBn_base> + 040 <sub>H</sub>
TAUBn チャンネル・デッド・タイム出力許可レジスタ	TAUBnTDE	<TAUBn_base> + 250 <sub>H</sub>
TAUBn チャンネル・デッド・タイム出力レベル・レジスタ	TAUBnTDL	<TAUBn_base> + 54 <sub>H</sub>
TAUBn リロード・データ・レジスタ		
TAUBn チャンネル・リロード・データ許可レジスタ	TAUBnRDE	<TAUBn_base> + 260 <sub>H</sub>
TAUBn チャンネル・リロード・データ・モード・レジスタ	TAUBnRDM	<TAUBn_base> + 264 <sub>H</sub>
TAUBn チャンネル・リロード・データ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base> + 268 <sub>H</sub>
TAUBn チャンネル・リロード・データ制御レジスタ	TAUBnRDC	<TAUBn_base> + 26C <sub>H</sub>
TAUBn チャンネル・リロード・データ・トリガ・レジスタ	TAUBnRDT	<TAUBn_base> + 44 <sub>H</sub>
TAUBn チャンネル・リロード・ステータス・レジスタ	TAUBnRSF	<TAUBn_base> + 48 <sub>H</sub>

表 16-129 TAUBn レジスタの概要 (2/2)

レジスタ名	略号	アドレス
TAUBn エミュレーション・レジスタ		
TAUBn エミュレーション・レジスタ	TAUBnEMU	<TAUBn_base> + 290 <sub>H</sub>

備考 TAUBn のベース・アドレス <TAUBn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。



## 16.23.2 TAUBn プリスケアラ・レジスタの詳細

## (1) TAUBnTPS - TAUBn プリスケアラ・クロック選択レジスタ

PCLK プリスケアラの全チャネルの CK0, CK1, CK2, CK3 クロックを指定するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + 240<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-130 TAUBnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUBnPRS3 [3:0]	CK3 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUBnPRS3[3:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table>	TAUBnPRS3[3:0]	CK3 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUBnPRS3[3:0]	CK3 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm= 0) 場合のみ書き換え可能です。																																		

表 16-130 TAUBnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUBnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS2[3:0]	CK2 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUBnPRS2[3:0]	CK2 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
7-4	TAUBnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUBnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm = 0) 場合のみ書き換え可能です。</p>	TAUBnPRS1[3:0]	CK1 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUBnPRS1[3:0]	CK1 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 16-130 TAUBnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUBnPRSO [3:0]	CK0 クロックを指定します。 <table border="1" data-bbox="555 342 1385 1066"> <thead> <tr> <th>TAUBnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUBnTE.TAUBnTEm = 0) 場合のみ書き換え可能です。</p>	TAUBnPRSO[3:0]	CK0 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUBnPRSO[3:0]	CK0 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

**備考** TAUBn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

### 16.23.3 TAUBn 制御レジスタの詳細

#### (1) TAUBnCDRm - TAUBn チャンネル・データ・レジスタ

このレジスタは、TAUBnCMORm.TAUBnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード/ライト可能です。

**アドレス**  $\langle \text{TAUBn\_base} \rangle + 0_{\text{H}} + m \times 4_{\text{H}}$

**初期値**  $0000_{\text{H}}$  どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-131 TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCDR [15:0]	キャプチャ値/コンペア値用データ・レジスタ

#### (2) TAUBnCNTm - TAUBn チャンネル・カウンタ・レジスタ

チャンネル m カウンタ・レジスタです。

**アクセス** 16 ビット単位でリード可能です。

**アドレス**  $\langle \text{TAUBn\_base} \rangle + 80_{\text{H}} + m \times 4_{\text{H}}$

**初期値**  $0000_{\text{H}}$  または  $\text{FFFF}_{\text{H}}$  初期値は動作モードによって異なります。表 16-133 「カウント再許可後の TAUBnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-132 TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnCNT [15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUBnTS.TAUBnTsm, TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUBnTT.TAUBnTTm = 1)

カウンタ停止後 (TAUBnTE.TAUBnTEm = 0) と再許可後 (TAUBnTS.TAUBnTsm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUBnTS.TAUBnTsm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 16-133 カウンタ再許可後の TAUBnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUBnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
ジャッジ・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
キャプチャ・モード	アップ・カウント	0000 <sub>H</sub>	停止値	—
イベント・カウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	FFFF <sub>H</sub>
キャプチャ&ワンカウント・モード	アップ・カウント	0000 <sub>H</sub>	停止値	キャプチャ値 + 1 (TAUBnCDRm)
ジャッジ&ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	TAUBnCNTm 値 - 1
アップ/ダウン・カウント・モード	アップ/ダウン・カウント	FFFF <sub>H</sub>	停止値	—
パルス・ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	0000 <sub>H</sub>
カウント・キャプチャ・モード	アップ・カウント	0000 <sub>H</sub>	停止値	—
ゲート・カウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	停止値
キャプチャ&ゲート・カウント・モード	アップ・カウント	0000 <sub>H</sub>	停止値	停止値

**備考** カウンタ停止中に動作モードが変更になった場合、カウンタ再開後の初期カウンタ値は不定になります。動作モードは、TAUBnCMORm.TAUBnMD[4:1] レジスタで変更します。

(3) TAUBnCMORm - TAUBn チャンネル・モード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

**アクセス** 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみライト可能です。

**アドレス** <TAUBn\_base> + 200<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnCKS [1:0]	—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]		TAUBnCOS [1:0]		—	TAUBnMD[4:0]						
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 16-134 TAUBnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能															
15, 14	TAUBnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUBnTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUBnCKS 1</th> <th>TAUBnCKS 0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUBnCKS 1	TAUBnCKS 0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUBnCKS 1	TAUBnCKS 0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
12	TAUBnCCS0	<p>TAUBnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUBnCCS0</th> <th>カウント・クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>1</td> <td>TAUBnTTINm 入力信号の有効エッジ</td> </tr> </tbody> </table>	TAUBnCCS0	カウント・クロック選択	0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック	1	TAUBnTTINm 入力信号の有効エッジ									
TAUBnCCS0	カウント・クロック選択																
0	TAUBnCMORm.TAUBnCKS[1:0] で指定した動作クロック																
1	TAUBnTTINm 入力信号の有効エッジ																
11	TAUBnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 16-134 TAUBnCMORm レジスタの内容 (2/5)

ビット位置	ビット名	機能			
10-8	TAUBnSTS [2:0]	外部スタート・トリガを選択します。			
		<b>TAUBnSTS 2</b>	<b>TAUBnSTS 1</b>	<b>TAUBnSTS0</b>	<b>機能説明</b>
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUBnTTINm 入力信号の有効エッジ。有効エッジは TAUBnCMURm.TAUBnTIS[1:0] で指定
		0	1	0	TAUBnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT
		1	1	0	TAUBnTTOUTm 生成ユニットのデッド・タイム出力信号
		1	1	1	マスタ・チャンネルのアップ/ダウン出力トリガ信号

表 16-134 TAUBnCMORm レジスタの内容 (3/5)

ビット位置	ビット名	機能			
7, 6	TAUBnCOS [1:0]	チャンネル m のキャプチャ・レジスタ TAUBnCDRm とオーバフロー・フラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。 これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUBnCOS 1	TAUBnCOS 0	TAUBnCDRm	TAUBnCSRm.TAUBnOVF
		0	0	TAUBnTTINm 入力有効エッジを検出すると更新	TAUBnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット</li> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア</li> </ul>
		0	1		カウンタ・オーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア
		1	0	TAUBnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> <li>TAUBnTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる</li> <li>オーバフロー発生：FFFF<sub>H</sub> が TAUBnCDRm にロードされる。次の TAUBnTTINm 入力有効エッジ検出は無視される。</li> </ul>	カウンタ・オーバフロー時にセット、TAUBnCSCm.TAUBnCLOV = 1 に設定することでクリア



表 16-134 TAUBnCMORm レジスタの内容 (4/5)

ビット位置	ビット名	機能					
4-0	TAUBnMD [4:0]	動作モードを指定します。					
		TAUBnMD4	TAUBnMD3	TAUBnMD2	TAUBnMD1	TAUBnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	ジャッジ・モード
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	0	イベント・カウント・モード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	ジャッジ&ワンカウント・モード
		1	0	0	0	0	設定禁止
		1	0	0	1	0	アップ/ダウン・カウント・モード
		1	0	1	0	1/0	パルス・ワンカウント・モード
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード

モード	TAUBnMD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する
イベント・カウント・モード アップ/ダウン・カウント・モード	このビットは0に設定する必要があります。
ワンカウント・モード ゲート・カウント・モード パルス・ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0：禁止 1：許可

表 16-134 TAUBnCMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能
	<b>モード</b>	<b>TAUBnMD0 ビットの役割</b>
	キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは0に設定する必要があります。
	判定モード 判定&ワンカウント・モード	INTTAUBnIm の出力タイミングを指定します。 0 : TAUBnCNTm ≤ TAUBnCDRm 時 1 : TAUBnCNTm > TAUBnCDRm 時

**(4) TAUBnCMURm - TAUBn チャネル・モード・ユーザ・レジスタ**

このレジスタは、TAUBnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + C0<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 16-135 TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUBnTIS [1:0]	TAUBnTTINm 入力信号の有効エッジを指定します。 <table border="1"> <thead> <tr> <th>TAUBnTI S1</th> <th>TAUBnTI S0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>TAUBnTTINm 入力信号のエッジ検出は、TAUBnCMORm.TAUBnCKS[1:0] で選択した動作クロックに基づいて行われます。</li> </ul>	TAUBnTI S1	TAUBnTI S0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUBnTI S1	TAUBnTI S0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がリエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がリエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															

**(5) TAUBnCSRm - TAUBn チャンネル・ステータス・レジスタ**

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <TAUBn\_base> + 140<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUBn CSF	TAUBn OVF
R	R	R	R	R	R	R/W	R/W

表 16-136 TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
1	TAUBn CSF	カウント方向を示します。 0: アップ・カウント 1: ダウン・カウント このビットのリード値は、次のモード時にのみ有効です。 • アップ/ダウン・カウント・モード
0	TAUBn OVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 • キャプチャ・モード • キャプチャ&ワンカウント・モード • カウント・キャプチャ・モード • キャプチャ&ゲート・カウント・モード  このビットの機能は、制御ビット TAUBnCMORm.TAUBnCOS[1:0] の設定により異なります。

**(6) TAUBnCSCm - TAUBn チャンネル・ステータス・クリア・レジスタ**

このレジスタは、チャンネル m のオーバーフロー・フラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。リード値は常に 00<sub>H</sub> です。

**アドレス** <TAUBn\_base> + 180<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	0	TAUBn CLOV
R	R	R	R	R	R	R	W

表 16-137 TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUBnCLOV	0: 機能なし 1: オーバーフロー・フラグ TAUBnCSRm.TAUBnOVF をクリア

**(7) TAUBnTS - TAUBn チャンネル・スタート・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を許可します。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUBn\_base> + 1C4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TS15	TAUBn TS14	TAUBn TS13	TAUBn TS12	TAUBn TS11	TAUBn TS10	TAUBn TS09	TAUBn TS08	TAUBn TS07	TAUBn TS06	TAUBn TS05	TAUBn TS04	TAUBn TS03	TAUBn TS02	TAUBn TS01	TAUBn TS00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 16-138 TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUBnTE.TAUBnTEm = 1 を設定。 TAUBnTE.TAUBnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。 カウンタが開始されるかどうかは、選択されている動作モードによって異なります。

**(8) TAUBnTE - TAUBn チャンネル許可ステータス・レジスタ**

このレジスタは、カウンタ動作の許可／禁止を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <TAUBn\_base> + 1C0<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TE15	TAUBn TE14	TAUBn TE13	TAUBn TE12	TAUBn TE11	TAUBn TE10	TAUBn TE09	TAUBn TE08	TAUBn TE07	TAUBn TE06	TAUBn TE05	TAUBn TE04	TAUBn TE03	TAUBn TE02	TAUBn TE01	TAUBn TE00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-139 TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTE <sub>m</sub>	チャンネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUBnTSST <sub>m</sub> （チャンネル連動スタート・トリガ信号）のトリガ入力を検知するか、TAUBnTS.TAUBnTS <sub>m</sub> を1にセットすると、このビットが1に設定されます。 TAUBnTT.TAUBnTT <sub>m</sub> を1にセットすると、このビットが0にリセットされます。

**(9) TAUBnTT - TAUBn チャンネル・ストップ・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を停止します。

**アクセス** 16ビット単位でライト可能です。リード値は常に0000<sub>H</sub>です。

**アドレス** <TAUBn\_base> + 1C8<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TT15	TAUBn TT14	TAUBn TT13	TAUBn TT12	TAUBn TT11	TAUBn TT10	TAUBn TT09	TAUBn TT08	TAUBn TT07	TAUBn TT06	TAUBn TT05	TAUBn TT04	TAUBn TT03	TAUBn TT02	TAUBn TT01	TAUBn TT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 16-140 TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTT <sub>m</sub>	チャンネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUBnTE.TAUBnTE <sub>m</sub> をリセットします。 TAUBnCNT <sub>m</sub> 、TAUBnTO.TAUBnTO <sub>m</sub> 、TAUBnTTOUT <sub>m</sub> は、カウント停止前の値を保持します。

### 16.23.4 TAUBn 出力レジスタの詳細

#### (1) TAUBnTOE - TAUBn チャネル出力許可レジスタ

このレジスタは、該当するチャネルの TAUBnTTOUTm 出力モードを選択します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + 5C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOE15	TAUBn TOE14	TAUBn TOE13	TAUBn TOE12	TAUBn TOE11	TAUBn TOE10	TAUBn TOE09	TAUBn TOE08	TAUBn TOE07	TAUBn TOE06	TAUBn TOE05	TAUBn TOE04	TAUBn TOE03	TAUBn TOE02	TAUBn TOE01	TAUBn TOE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-141 TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOEm	TAUBnTTOUTm の出力モードを選択します。 0 : TAUBnTO.TAUBnTOM で指定した出力 (ソフトウェアによる制御) 1 : タイマ単体出力機能

#### (2) TAUBnTOM - TAUBn チャネル出力モード・レジスタ

このレジスタは、各チャネルの出力モードを指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 248<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOM15	TAUBn TOM14	TAUBn TOM13	TAUBn TOM12	TAUBn TOM11	TAUBn TOM10	TAUBn TOM09	TAUBn TOM08	TAUBn TOM07	TAUBn TOM06	TAUBn TOM05	TAUBn TOM04	TAUBn TOM03	TAUBn TOM02	TAUBn TOM01	TAUBn TOM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-142 TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOMm	出力モードを指定します。 0 : チャネル単体動作 1 : チャネル連動動作 出力モードは表 16-10 「チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

## (3) TAUBnTOC - TAUBn チャンネル出力コンフィギュレーション・レジスタ

このレジスタは、TAUBnTOMm とともに各チャンネルの出力モードを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 24C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOC15	TAUBn TOC14	TAUBn TOC13	TAUBn TOC12	TAUBn TOC11	TAUBn TOC10	TAUBn TOC09	TAUBn TOC08	TAUBn TOC07	TAUBn TOC06	TAUBn TOC05	TAUBn TOC04	TAUBn TOC03	TAUBn TOC02	TAUBn TOC01	TAUBn TOC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-143 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能													
15-0	TAUBn TOCm	出力モードを指定します。 0 : 動作モード1 1 : 動作モード2 次の表にあるように、出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。													
		<table border="1"> <thead> <tr> <th>TOMm</th><th>TOCm</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td rowspan="2">0</td><td>0</td><td>トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。</td></tr> <tr> <td>1</td><td>セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCnTm, TAUBnCnDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。</td></tr> <tr> <td rowspan="2">1</td><td>0</td><td>チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。</td></tr> <tr> <td>1</td><td>チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。</td></tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。	1	セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCnTm, TAUBnCnDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。	1	チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。
TOMm	TOCm	機能説明													
0	0	トグル・モード : INTTAUBnIm 発生時にトグル動作が行われます。													
	1	セット/リセット・モード : カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCnTm, TAUBnCnDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。													
1	0	チャンネル連動動作モード1 : マスタ・チャンネルで INT が発生するとセット、スレーブ・チャンネルで INT が発生するとリセットされます。													
	1	チャンネル連動動作モード2 : ダウン・カウント状態で INTTAUBnIm が発生するとセット、アップ・カウント状態で INTTAUBnIm が発生するとリセットされます。													



**(4) TAUBnTDE - TAUBn チャンネル・デッド・タイム出力許可レジスタ**

このレジスタは、全チャンネルのデッド・タイム動作を許可/禁止します。

**アクセス** 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUBnTE.TAUBnTE<sub>m</sub> = 0) のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 250<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDE15	TAUBnTDE14	TAUBnTDE13	TAUBnTDE12	TAUBnTDE11	TAUBnTDE10	TAUBnTDE09	TAUBnTDE08	TAUBnTDE07	TAUBnTDE06	TAUBnTDE05	TAUBnTDE04	TAUBnTDE03	TAUBnTDE02	TAUBnTDE01	TAUBnTDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-144 TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDE <sub>m</sub>	チャンネル m のデッド・タイム制御動作を許可/禁止します。 0 : デッド・タイム動作禁止 1 : デッド・タイム動作許可 対になった偶数/奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOE <sub>m</sub> , TAUBnTOM.TAUBnTOM <sub>m</sub> , TAUBnTOC.TAUBnTOC <sub>m</sub> = 1

**(5) TAUBnTDL - TAUBn チャンネル・デッド・タイム出力レベル・レジスタ**

このレジスタは、デッド・タイムを付加する位相を選択します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + 54<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnTDL15	TAUBnTDL14	TAUBnTDL13	TAUBnTDL12	TAUBnTDL11	TAUBnTDL10	TAUBnTDL09	TAUBnTDL08	TAUBnTDL07	TAUBnTDL06	TAUBnTDL05	TAUBnTDL04	TAUBnTDL03	TAUBnTDL02	TAUBnTDL01	TAUBnTDL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-145 TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTDL <sub>m</sub>	デッド・タイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUBnTOE.TAUBnTOE <sub>m</sub> , TAUBnTOM.TAUBnTOM <sub>m</sub> , TAUBnTOC.TAUBnTOC <sub>m</sub> , TAUBnTDE.TAUBnTDE <sub>m</sub> = 1

## 16.23.5 TAUBn チャネル出力レベル・レジスタの詳細

## (1) TAUBnTO - TAUBn チャネル出力レジスタ

このレジスタは、TAUBnTTOUTm レベルを指定およびリードします。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + 58<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TO15	TAUBn TO14	TAUBn TO13	TAUBn TO12	TAUBn TO11	TAUBn TO10	TAUBn TO09	TAUBn TO08	TAUBn TO07	TAUBn TO06	TAUBn TO05	TAUBn TO04	TAUBn TO03	TAUBn TO02	TAUBn TO01	TAUBn TO00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-146 TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOm	このレジスタは、TAUBnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャネル単体出力機能が禁止されている (TAUBnTOEm = 0) TAUBnTOm ビットのみライト可能です。

## (2) TAUBnTOL - TAUBn チャネル出力レベル・レジスタ

このレジスタは、チャネル出力ビット (TAUBnTO.TAUBnTOm) の出力論理を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUBn\_base> + 040<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBn TOL15	TAUBn TOL14	TAUBn TOL13	TAUBn TOL12	TAUBn TOL11	TAUBn TOL10	TAUBn TOL09	TAUBn TOL08	TAUBn TOL07	TAUBn TOL06	TAUBn TOL05	TAUBn TOL04	TAUBn TOL03	TAUBn TOL02	TAUBn TOL01	TAUBn TOL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-147 TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnTOLm	チャネル m 出力ビット (TAUBnTO.TAUBnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

### 16.23.6 TAUBn 一斉書き換えレジスタの詳細

#### (1) TAUBnRDE - TAUBn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可/禁止します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 260<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDE15	TAUBnRDE14	TAUBnRDE13	TAUBnRDE12	TAUBnRDE11	TAUBnRDE10	TAUBnRDE09	TAUBnRDE08	TAUBnRDE07	TAUBnRDE06	TAUBnRDE05	TAUBnRDE04	TAUBnRDE03	TAUBnRDE02	TAUBnRDE01	TAUBnRDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-148 TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

#### (2) TAUBnRDS - TAUBn チャンネル・リロード・データ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 268<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDS15	TAUBnRDS14	TAUBnRDS13	TAUBnRDS12	TAUBnRDS11	TAUBnRDS10	TAUBnRDS09	TAUBnRDS08	TAUBnRDS07	TAUBnRDS06	TAUBnRDS05	TAUBnRDS04	TAUBnRDS03	TAUBnRDS02	TAUBnRDS01	TAUBnRDS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-149 TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0：マスタ・チャンネル 1：別の上位チャンネル

**(3) TAUBnRDM - TAUBn チャンネル・リロード・データ・モード・レジスタ**

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 264<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDM15	TAUBnRDM14	TAUBnRDM13	TAUBnRDM12	TAUBnRDM11	TAUBnRDM10	TAUBnRDM09	TAUBnRDM08	TAUBnRDM07	TAUBnRDM06	TAUBnRDM05	TAUBnRDM04	TAUBnRDM03	TAUBnRDM02	TAUBnRDM01	TAUBnRDM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-150 TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm = 1, TAUBnRDS.TAUBnRDSm = 0 時のみ適用されます。

**(4) TAUBnRDC - TAUBn チャンネル・リロード・データ制御レジスタ**

このレジスタは、一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャンネルを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUBnTE.TAUBnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUBn\_base> + 26C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDC15	TAUBnRDC14	TAUBnRDC13	TAUBnRDC12	TAUBnRDC11	TAUBnRDC10	TAUBnRDC09	TAUBnRDC08	TAUBnRDC07	TAUBnRDC06	TAUBnRDC05	TAUBnRDC04	TAUBnRDC03	TAUBnRDC02	TAUBnRDC01	TAUBnRDC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16-151 TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0: 一斉書き換えトリガ・チャンネルとならない。 1: 一斉書き換えトリガ・チャンネルとして動作する。 これらのビット設定は TAUBnRDS.TAUBnRDSm = 1 時のみ適用されます。

**(5) TAUBnRDT - TAUBn チャンネル・リロード・データ・トリガ・レジスタ**

一斉書き換え保留状態をトリガするレジスタです。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUBn\_base> + 044<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRDT15	TAUBnRDT14	TAUBnRDT13	TAUBnRDT12	TAUBnRDT11	TAUBnRDT10	TAUBnRDT09	TAUBnRDT08	TAUBnRDT07	TAUBnRDT06	TAUBnRDT05	TAUBnRDT04	TAUBnRDT03	TAUBnRDT02	TAUBnRDT01	TAUBnRDT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 16-152 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし。0 を書き込む操作は無視されます (動作に影響しません)。 1: 一斉書き換え保留フラグ (TAUBnRSFm) を 1 とし、一斉書き換えトリガ待ち状態となります。

**(6) TAUBnRSF - TAUBn チャンネル・リロード・ステータス・レジスタ**

このフラグ・レジスタは、一斉書き換えのステータスを示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <TAUBn\_base> + 048<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUBnRSF15	TAUBnRSF14	TAUBnRSF13	TAUBnRSF12	TAUBnRSF11	TAUBnRSF10	TAUBnRSF09	TAUBnRSF08	TAUBnRSF07	TAUBnRSF06	TAUBnRSF05	TAUBnRSF04	TAUBnRSF03	TAUBnRSF02	TAUBnRSF01	TAUBnRSF00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16-153 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUBnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え保留状態 (TAUBnRDTm = 1) になっていることを示します。

### 16.23.7 TAUBn エミュレーション・レジスタ

#### (1) TAUBnEMU - TAUBn エミュレーション・レジスタ

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

カウンタ停止中 (TAUBnTE.TAUBnTEm=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <TAUBn\_base> + 290<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TAUBn SVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16-154 TAUBnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUBn SVSDIS	(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 第17章 タイマ・アレイ・ユニットC (TAUC)

この章では、タイマ・アレイ・ユニットC (TAUC) について説明します。  
 最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。  
 以降の節で、TAUC 搭載製品に共通の特徴について説明します。

### 17.1 V850E2/Fx4-H の TAUC の特長

**ユニット** この製品は次のユニット数の TAUC を搭載しています。

表 17-1 TAUC のユニット数

TAUC	V850E2/FK4-H	V850E2/FL4-H
ユニット数	4	5
名称	TAUC3-TAUC6	TAUC3-TAUC7

**n の意味** この章では、TAUC の各ユニットを「n」で識別します (n = 3-7)。たとえば、TAUCn チャンネル出力モード・レジスタ (TAUCnTOM) のように記述しています。

**m の意味** TAUC には 16 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-15)、特定のチャンネルを CHm のように記述しています。  
 偶数チャンネル (m = 0, 2, 4, 6, 8, 10, 12, 14) は CHm\_even と記述します。  
 奇数チャンネル (m = 1, 3, 5, 7, 9, 11, 13, 15) は CHm\_odd と記述します。

**レジスタ・アドレス** TAUCn レジスタのアドレスは、それぞれのベース・アドレス <TAUCn\_base> からのオフセットで表されます。  
 各 TAUCn のレジスタ・ベース・アドレス <TAUCn\_base> を次の表に示します。

表 17-2 レジスタ・ベース・アドレス <TAUCn\_base>

TAUCn	<TAUCn_base> アドレス
TAUC3	FF80 B000 <sub>H</sub>
TAUC4	FF80 C000 <sub>H</sub>
TAUC5	FF80 D000 <sub>H</sub>
TAUC6	FF80 E000 <sub>H</sub>
TAUC7	FF80 F000 <sub>H</sub>

**クロック供給** TAUC には次の 1 つのクロック入力があります。

表 17-3 TAUCn クロック供給

TAUCn	クロック	接続先
TAUC3	PCLK	クロック発生回路 CKSCLK_106
TAUC4	PCLK	クロック発生回路 CKSCLK_105
TAUC5	PCLK	クロック発生回路 CKSCLK_111
TAUC6	PCLK	クロック発生回路 CKSCLK_111
TAUC7	PCLK	クロック発生回路 CKSCLK_111

**出力信号** TAUC の出力信号を次に示します。

表 17-4 TAUCn 出力信号 (1/3)

TAUCn 信号	機能	接続先
TAUC3:		
TAUC3TTOUT0	チャンネル 0 出力	接続なし
TAUC3TTOUT1- TAUC3TTOUT2	チャンネル 1-2 出力	ポート TAUC3O1-TAUC3O2
TAUC3TTOUT3- TAUC3TTOUT4	チャンネル 3-4 出力	接続なし
TAUC3TTOUT5- TAUC3TTOUT6	チャンネル 5-6 出力	ポート TAUC3O5-TAUC3O6
TAUC3TTOUT7- TAUC3TTOUT8	チャンネル 7-8 出力	接続なし
TAUC3TTOUT9- TAUC3TTOUT10	チャンネル 9-10 出力	ポート TAUC3O9-TAUC3O10
TAUC3TTOUT11- TAUC3TTOUT12	チャンネル 11-12 出力	接続なし
TAUC3TTOUT13- TAUC3TTOUT14	チャンネル 13-14 出力	ポート TAUC3O13-TAUC3O14
TAUC3TTOUT15	チャンネル 15 出力	接続なし



表 17-4 TAUCn 出力信号 (2/3)

TAUCn 信号	機能	接続先
TAUC4:		
TAUC4TTOUT0	チャンネル 0 出力	接続なし
TAUC4TTOUT1- TAUC4TTOUT2	チャンネル 1-2 出力	ポート TAUC4O1-TAUC4O2
TAUC4TTOUT3- TAUC4TTOUT4	チャンネル 3-4 出力	接続なし
TAUC4TTOUT5- TAUC4TTOUT6	チャンネル 5-6 出力	ポート TAUC4O5-TAUC4O6
TAUC4TTOUT7- TAUC4TTOUT8	チャンネル 7-8 出力	接続なし
TAUC4TTOUT9- TAUC4TTOUT10	チャンネル 9-10 出力	ポート TAUC4O9-TAUC4O10
TAUC4TTOUT11- TAUC4TTOUT12	チャンネル 11-12 出力	接続なし
TAUC4TTOUT13- TAUC4TTOUT14	チャンネル 13-14 出力	ポート TAUC4O13-TAUC4O14
TAUC4TTOUT15	チャンネル 15 出力	接続なし
TAUC5:		
TAUC5TTOUT0	チャンネル 0 出力	接続なし
TAUC5TTOUT1- TAUC5TTOUT2	チャンネル 1-2 出力	ポート TAUC5O1-TAUC5O2
TAUC5TTOUT3- TAUC5TTOUT4	チャンネル 3-4 出力	接続なし
TAUC5TTOUT5- TAUC5TTOUT6	チャンネル 5-6 出力	ポート TAUC5O5-TAUC5O6
TAUC5TTOUT7- TAUC5TTOUT8	チャンネル 7-8 出力	接続なし
TAUC5TTOUT9- TAUC5TTOUT10	チャンネル 9-10 出力	ポート TAUC5O9-TAUC5O10
TAUC5TTOUT11- TAUC5TTOUT12	チャンネル 11-12 出力	接続なし
TAUC5TTOUT13- TAUC5TTOUT14	チャンネル 13-14 出力	ポート TAUC5O13-TAUC5O14
TAUC5TTOUT15	チャンネル 15 出力	接続なし
TAUC6:		
TAUC6TTOUT0	チャンネル 0 出力	接続なし
TAUC6TTOUT1- TAUC6TTOUT2	チャンネル 1-2 出力	ポート TAUC6O1-TAUC6O2
TAUC6TTOUT3- TAUC6TTOUT4	チャンネル 3-4 出力	接続なし
TAUC6TTOUT5- TAUC6TTOUT6	チャンネル 5-6 出力	ポート TAUC6O5-TAUC6O6
TAUC6TTOUT7- TAUC6TTOUT8	チャンネル 7-8 出力	接続なし
TAUC6TTOUT9- TAUC6TTOUT10	チャンネル 9-10 出力	ポート TAUC6O9-TAUC6O10
TAUC6TTOUT11- TAUC6TTOUT12	チャンネル 11-12 出力	接続なし

表 17-4 TAUCn 出力信号 (3/3)

TAUCn 信号	機能	接続先
TAUC6TTOUT13- TAUC6TTOUT14	チャンネル 13-14 出力	ポート TAUC6O13-TAUC6O14
TAUC6TTOUT15	チャンネル 15 出力	接続なし
TAUC7:		
TAUC7TTOUT0	チャンネル 0 出力	接続なし
TAUC7TTOUT1- TAUC7TTOUT2	チャンネル 1-2 出力	ポート TAUC7O1-TAUC7O2
TAUC7TTOUT3- TAUC7TTOUT4	チャンネル 3-4 出力	接続なし
TAUC7TTOUT5- TAUC7TTOUT6	チャンネル 5-6 出力	ポート TAUC7O5-TAUC7O6
TAUC7TTOUT7- TAUC7TTOUT8	チャンネル 7-8 出力	接続なし
TAUC7TTOUT9- TAUC7TTOUT10	チャンネル 9-10 出力	ポート TAUC7O9-TAUC7O10
TAUC7TTOUT11- TAUC7TTOUT12	チャンネル 11-12 出力	接続なし
TAUC7TTOUT13- TAUC7TTOUT14	チャンネル 13-14 出力	ポート TAUC7O13-TAUC7O14
TAUC7TTOUT15	チャンネル 15 出力	接続なし

## 17.2 機能概要

**機能概要** TAUC には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビット・カウンタおよび 16 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- PWM 出力信号の生成
- 割り込み発生

TAUC の主な構成要素を次の図に示します。

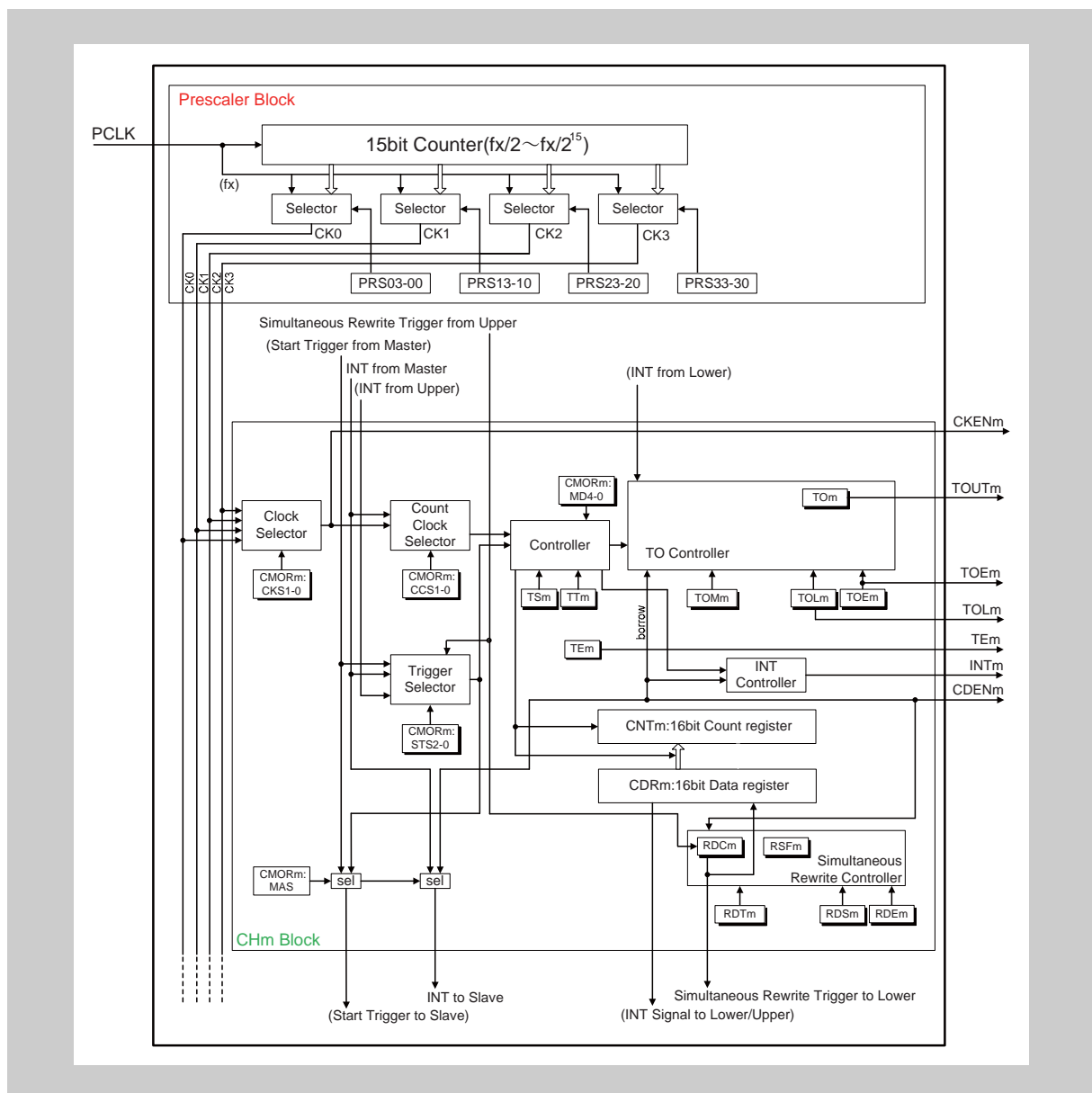


図 17-1 TAUC のブロック図

レジスタ名の「TAUCn」は、図を見やすくするために省略されています。

### 17.2.1 用語

この章で使用されている用語について説明します。

- チャンネル単体／連動動作

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- チャンネル・グループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- 動作モード

チャンネル  $m$  ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、インターバル・タイマ・モードがあります。

- チャンネル出力モード

チャンネル出力モードは、次のチャンネルの TAUCnTTOUT $m$  の動作を規定します。

- 1つのチャンネル（単体出力動作）
  - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル出力モードには、チャンネル単体出力モード1があります。

- チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- 上位／下位チャンネル

チャンネル  $m$  から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

## 17.3 機能説明

TAUC は、カウントやタイマ動作を行い、その動作の結果によって PWM 信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビット・カウンタ

TAUCnCNTm と 16 ビット・データ・レジスタ TAUCnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

### 単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

- プリスケアラ** プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。
- カウント・クロック CK0-CK3 は、プリスケアラにより PCLK の  $2^0$ - $2^{15}$  の分周したクロックを選択することができます。
- クロックおよびカウント・クロックの選択** クロック・カウント・セレクトは、各チャンネルに対してクロック・ソースを次から選択します。
- CK0-CK3 のいずれかのクロック (クロック・セレクトにより選択)
  - マスタ・チャンネルからの INTTAUCnIm
- コントローラ** コントローラは、カウンタの主な動作を制御します。
- 動作モード (TAUCnCMORm.TAUCnMD[4:0] ビットにより選択)
  - カウント開始許可 (TAUCnTS.TAUCnTSm) およびカウント停止 (TAUCnTT.TAUCnTTm)
- カウントの開始を許可すると、ステータス・フラグ TAUCnTE.TAUCnTEm がセットされます。
- トリガ・セレクト** 選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUCnTE.TAUCnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。
- チャンネル連動スタート・トリガ入力 TAUCnTSSTm
  - マスタ、または上位チャンネルからの INTTAUCnIm
- 一斉書き換えコントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUCnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUCnTO コントローラ** 各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

### 17.3.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 17-5 TAUC 動作機能一覧

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
チャンネル単体一斉書き換え機能	
一斉書き換えトリガ生成機能 タイプ1	

## 17.4 基本操作手順

TAUCnの基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUCnTTOUTmの制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUCnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUCn 機能を設定してください。
  - 動作モードを設定してください。
  - チャンネル出力モードを設定してください。
  - その他の制御ビットを設定してください。
3. TAUCnTS.TAUCnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。  
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUCnTT.TAUCnTTm ビットを 1 に設定して機能を停止してください。

**備考** 必要な制御ビットと各機能の動作の詳細は、17.11「チャンネル単体動作機能」を参照してください。

## 17.5 動作モード

TAUC には 2 つの動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、  
TAUCnCMORm.TAUCnMD[4:0] ビットで指定します。

**備考** 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。



## 17.6 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、17.6.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 17.6.2「連動チャンネル・カウンタの同時動作開始／停止」
- 17.7「一斉書き換え」

### 17.6.1 ルール

#### マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2, CH4, ...) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。  
例：CH2がマスタ・チャンネルの場合、CH3以下 (CH3, CH4, CH5, ...) をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを複数使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。  
例：CH0, CH4がマスタ・チャンネルの場合、CH0に対してCH1-CH3までをスレーブ・チャンネルとして設定できますが、CH5-CH15は設定できません。

#### 動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUCnCMORm.TAUCnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

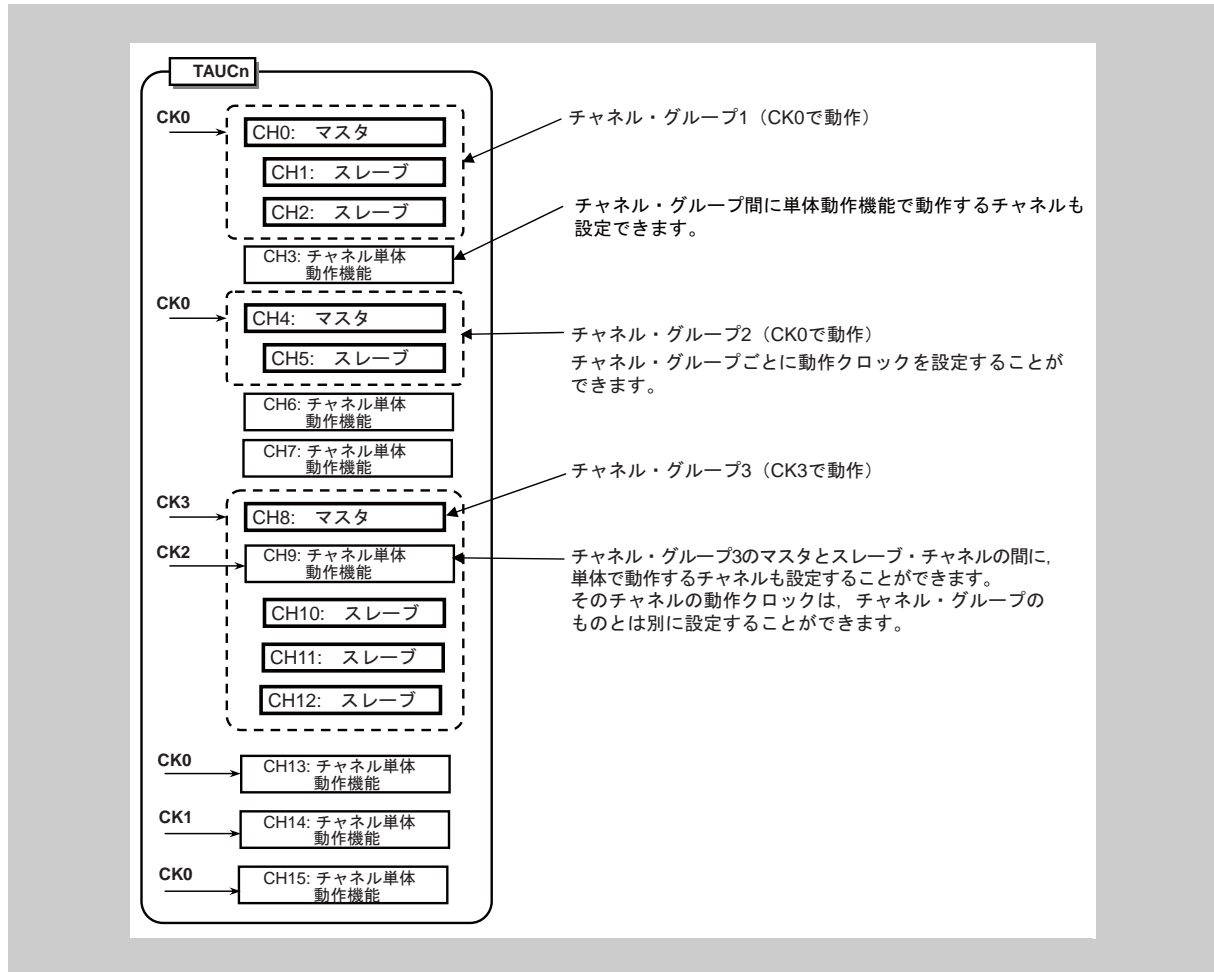


図 17-2 チャンネルのグループ化と動作クロックの割り当て

### マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号を使用できませんが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

## 17.6.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

### (1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUCnTS.TAUCnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUCnTT.TAUCnTTm ビットを同時に設定する必要があります。

TAUCnTS.TAUCnTSm ビットに 1 を設定することにより、対応する TAUCnTE.TAUCnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

### (2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

## 17.7 一斉書き換え

### 17.7.1 概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUCnCDRm, TAUCnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタ・チャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUCnRDC.TAUCnRDCm で指定された上位チャンネルにて INTTAUCnIm が発生した場合

一斉書き換えは3つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 17-6 一斉書き換え方法とトリガ・タイミング

方式	一斉書き換えがトリガされるタイミング	TAUCnRDE. TAUCnRDEm	TAUCnRDS. TAUCnRDSm
—	一斉書き換えが行われない場合	0	0
A	マスタ・チャンネルがカウントを再開/開始した場合	1	0
C1	TAUCnRDC.TAUCnRDCm で指定した上位チャンネルにて INTTAUCnIm が発生した場合	1	1
TOLm	TAUCnTOLm レジスタを書き換える場合の方式です。下記の表は動作中に TAUCnTOLm レジスタを書き換えることができるかどうかを示したものです。TAUCnTOLm レジスタの書き換え方式は、TAUCnCDRm レジスタと同じです。		

4つの方法のうち、各チャンネル動作機能で使用できる方法を次の表に示します。各チャンネル動作機能の詳細は、17.11「チャンネル単体動作機能」を参照してください。

表 17-7 一斉書き換え方法とトリガ・タイミング

機能	A	B	C1	TOLm
一斉書き換えトリガ出力機能タイプ1			×	
PWM 出力機能	×		×	×

### 17.7.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

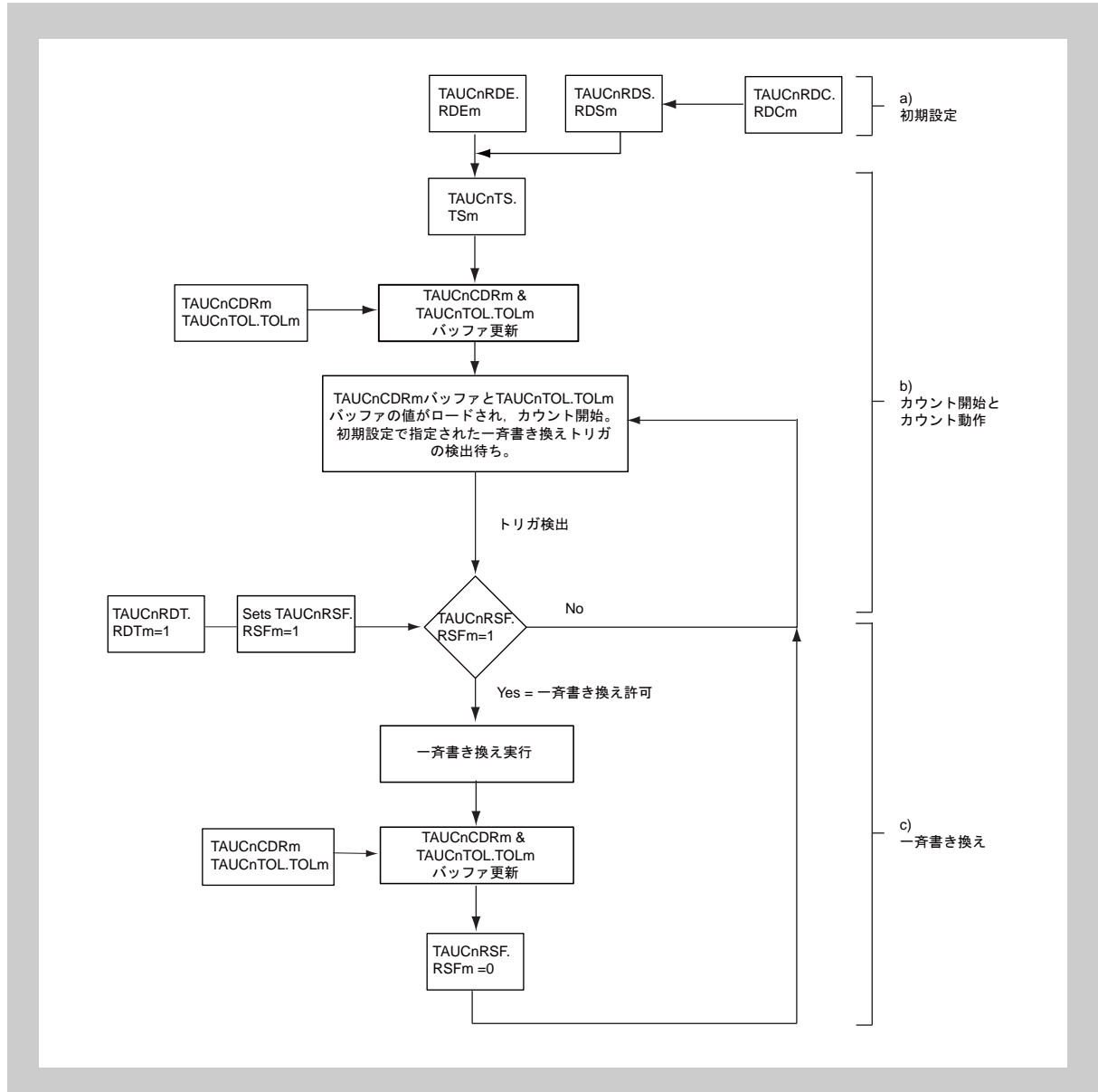


図 17-3 一斉書き換えの基本手順

**(1) 初期設定**

- チャンネル  $m$  にて一斉書き換えを許可するには、  
TAUCnRDE.TAUCnRDEm = 1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUCnRDS.TAUCnRDSm を表 17-6 「一斉書き換え方法とトリガ・タイミング」に示す値に設定してください。
- TAUCnRDC.TAUCnRDCm で、一斉書き換えトリガ生成チャンネルを指定してください（前提：上位チャンネルに TAUCnRDS.TAUCnRDSm が設定されている）。

**(2) カウント開始とカウント動作**

- チャンネル・グループに属するすべての TAUCnCNTm カウンタ動作を開始するには、対応する TAUCnTS.TAUCnTSm ビットを 1 に設定してください。TAUCnTOL.TAUCnTOLm とデータ・レジスタ (TAUCnCDRm) の値は、対応する TAUCnTOL.TAUCnTOLm バッファ (TAUCnTOL.TAUCnTOLm buf) とデータ・バッファ・レジスタ (TAUCnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUCnRDT.TAUCnRDTm) を 1 に設定することにより、リロード・フラグ (TAUCnRSF.TAUCnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUCnRSF.TAUCnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUCnRSF.TAUCnRSFm = 1) されているかを確認するために TAUCnRSF.TAUCnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

**(3) 一斉書き換え**

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUCnRSF.TAUCnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUCnRSF.TAUCnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

### 17.7.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUCnTE.TAUCnTEm = 1) は、TAUCnRDE.TAUCnRDEm, TAUCnRDS.TAUCnRDSm, TAUCnRDC.TAUCnRDCm を変更することはできません。
- TAUCnTOL.TAUCnTOLm は、PWM 出力機能、または三角波 PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、TAUCnTOL.TAUCnTOLm はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、TAUCnTTOUTm は不正な波形を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUCnRDS.TAUCnRDSm = 1)、すべての下位チャンネルは TAUCnRDC.TAUCnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUCnRDC.TAUCnRDCm ビットを 1 に設定し、ほかのチャンネルの TAUCnRDC.TAUCnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3-CH6 を制御し、CH7 は、下位チャンネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUCnRDE.TAUCnRDEm, TAUCnRDS.TAUCnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUCnRDC.TAUCnRDC[15:0] = 0)、一斉書き換えは行いません。

### 17.7.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

#### (1) マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

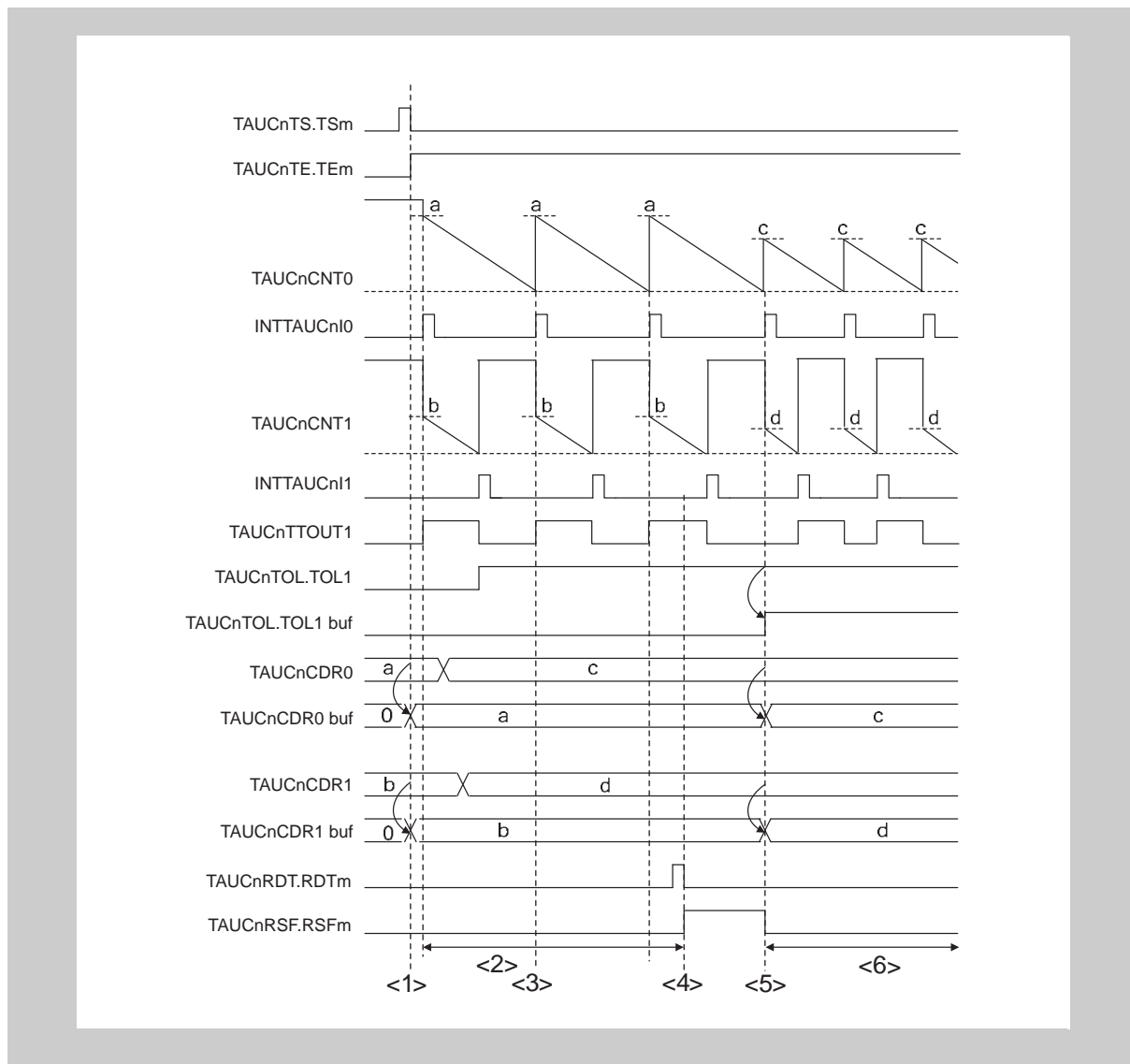


図 17-4 マスタ・チャンネルがカウントを再開/開始した場合の一斉書き換え

#### 設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換え方法 A が適用されます。



説明：

1. TAUCnTS.TAUCnTSM = 1 に設定すると、TAUCnCDRm の値が TAUCnCDRm バッファに、TAUCnTOL.TAUCnTOLm の値が TAUCnTOL.TAUCnTOLm バッファにコピーされます。
2. TAUCnCDRm と TAUCnTOL.TAUCnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUCnRSF.TAUCnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUCnRDT.TAUCnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUCnRSF.TAUCnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUCnCDRm の値は TAUCnCDRm バッファに、TAUCnTOL.TAUCnTOLm の値は TAUCnTOL.TAUCnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUCnCDRm と TAUCnTOL.TAUCnTOLm の値は再変更できます。

(2) TAUCnRDC.TAUCnRDCm で指定した上位チャンネルにて  
INTTAUCnIm が発生した場合の一斉書き換え (方法 C1)

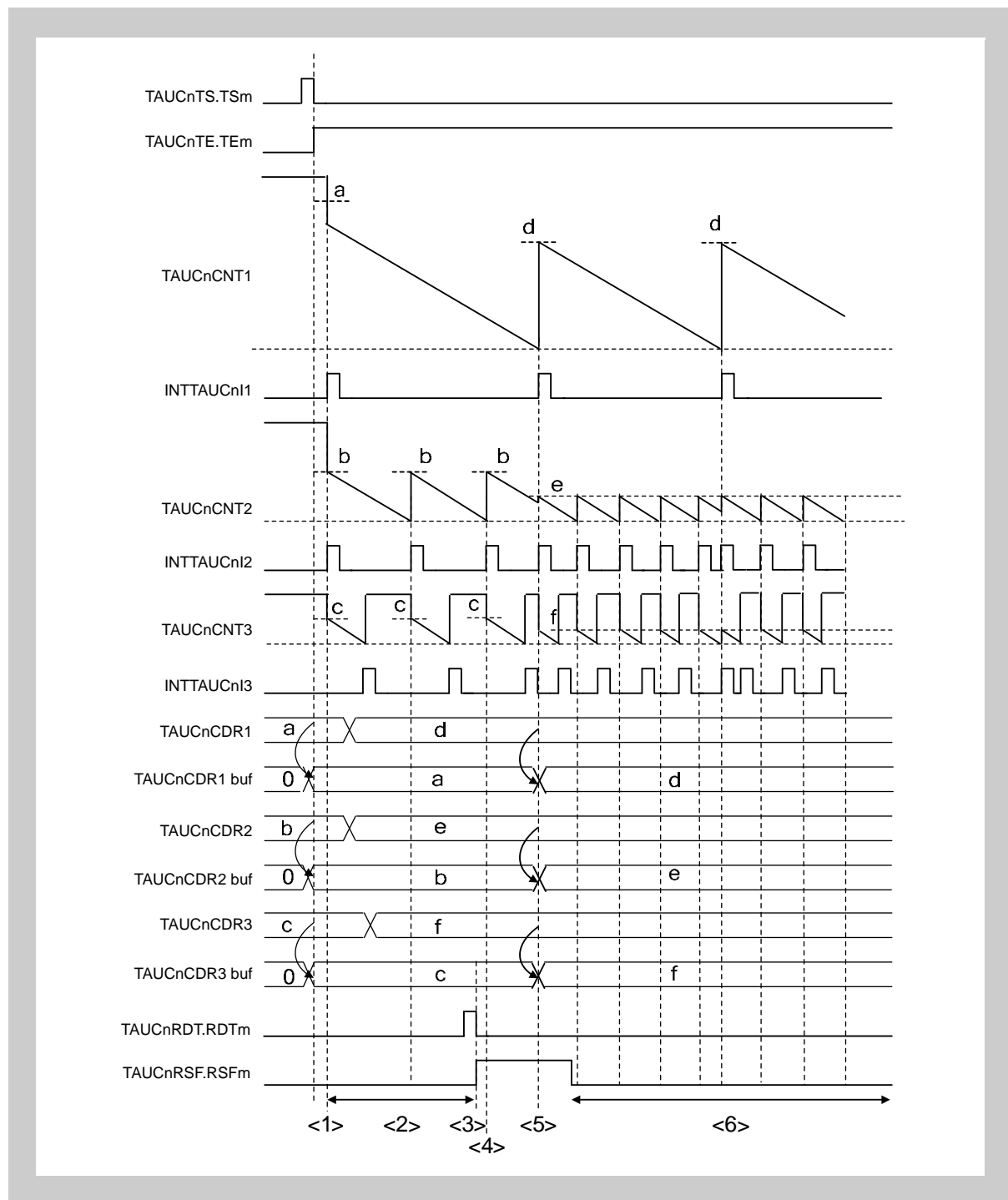


図 17-5 TAUCnRDC.TAUCnRDCm で指定した上位チャンネルにて INTTAUCnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウン・カウントを行う上位チャンネルです。CH2 は、マスタ・チャンネルです。CH3 は、スレーブ・チャンネルです。一斉書き換え方法 C1 が適用されます。TAUCnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

1. TAUCnTS.TAUCnTSM = 1 に設定すると、TAUCnCDRm の値が TAUCnCDRm バッファにコピーされます。
2. TAUCnCDRm レジスタは常に書き込めます。
3. リロード・データ・トリガ・ビット (TAUCnRDT.TAUCnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUCnRSF.TAUCnRSFm = 1)、一斉書き換えが許可されます。
4. 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
5. 一斉書き換えは、CH1 のカウンタが 0000<sub>H</sub> に達したときに発生する INT1 をトリガとして行われます。TAUCnCDRm の値は対応する TAUCnCDRm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUCnCDRm レジスタの値は再変更できます。

## 17.8 チャンネル出力モード

TAUCnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUCnTOE.TAUCnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUCnTO.TAUCnTOM) に書き込んだ値は、出力端子 (TAUCnTTOUTm) に転送されます。

- TAUC 信号による制御 (TAUCnTOE.TAUCnTOEm = 1)

TAUC 信号で制御した場合、TAUCnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUCnTTOUTm の値を反映するために、TAUCnTO.TAUCnTOM の値は更新されます。

- 単体制御 (TAUCnTOM.TAUCnTOMm = 0)

単体動作の場合、TAUCnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUCnTOM.TAUCnTOMm = 0) する必要があります。

- 連動制御 (TAUCnTOM.TAUCnTOMm = 1)

連動動作の場合、TAUCnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUCnTOM.TAUCnTOMm = 1)。

TAUCnTO.TAUCnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUCnTTOUTm の現在の値を確認することができます。

**制御ビット** 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 17-8 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 17.8.2 「TAUCn 信号により単体制御されるチャンネル出力モード」
- 17.8.3 「TAUCn 信号により連動制御されるチャンネル出力モード」

**TAUCnTOM ビットの一括操作** TAUCnTOM ビットへの設定値の反映/非反映は、TAUCnTOE.TAUCnTOEm ビットにより制御されます。

TAUCnTO レジスタにライトした時に、TAUCnTOE.TAUCnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUCnTOM の設定値の書き込みが行われます。TAUCnTOE.TAUCnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUCnTOM の設定値は反映されません。

**備考** TAUCnTO.TAUCnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

**出力論理** 出力の正論理または反転論理は、制御ビット TAUCnTOL.TAUCnTOLm で指定します。

TAUCnTOL.TAUCnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUCnTOL.TAUCnTOLm を変更すると、TAUCnTOUTm 信号の出力は不定になります。

17.7「一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを次の表に示します。

表 17-8 チャンネル出力モード

チャンネル出力モード	TAUCnTOE. TAUCnTOEm	TAUCnTOM. TAUCnTOMm
ソフトウェア制御		
ソフトウェア制御のチャンネル単体出力モード	0	×
TAUC 信号による単体動作制御		
チャンネル単体出力モード 1	1	0
チャンネル単体出力モード 2		
TAUC 信号による連動動作制御		
チャンネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “×” が記されているビットは、任意の値を設定できます。

**備考** 次のビットは、カウント動作中 (TAUCnTE.TAUCnTEm = 1) は変更できません。

- TAUCnTOE.TAUCnTOEm
- TAUCnTOM.TAUCnTOMm

### 17.8.1 チャンネル出力モードを指定するための基本手順

TAUCnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUCnTOE.TAUCnTOEm = 0)。

1. TAUCnTO.TAUCnTOm を設定して TAUCnTTOUTm 出力の初期レベルを指定してください。
2. 表 17-8 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUCnTOL.TAUCnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUCnTS.TAUCnTSM = 1)。

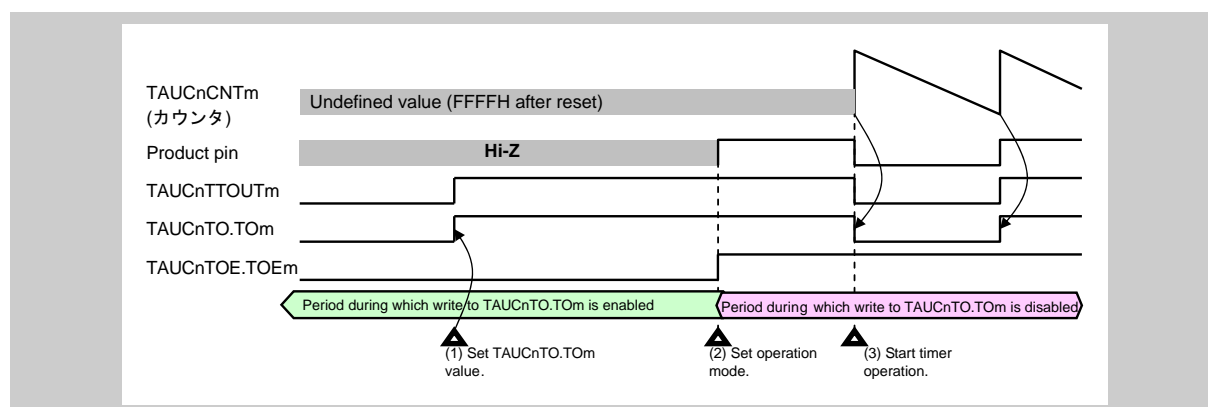


図 17-6 TAUCnTTOUTm チャンネル出力モードを指定するための基本手順

## 17.8.2 TAUCn 信号により単体制御されるチャネル出力モード

この節では、TAUCn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 17-8「チャネル出力モード」に示します。

### (1) チャネル単体出力モード 1

<b>セット/リセット条件</b>	この出力モードでは、INTTAUCnIm が検出されると TAUCnTTOUtm がトリガされます。TAUCnTOL.TAUCnTOLm の値は無視されます。
<b>前提条件</b>	表 17-8「チャネル出力モード」に示す条件以外の条件はありません。

### (2) チャネル単体出力モード 2

<b>セット/リセット条件</b>	この出力モードでは、TAUCnTTOUtm は、カウント開始の INTTAUCnIm 発生でセット、TAUCnCNTm と TAUCnCDRm の一致による INTTAUCnIm 発生でリセットされます。
<b>前提条件</b>	表 17-8「チャネル出力モード」に示す条件以外の条件はありません。

## 17.8.3 TAUCn 信号により連動制御されるチャネル出力モード

この節では、TAUCn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 17-8「チャネル出力モード」に示します。

### (1) チャネル連動出力モード 1

<b>セット/リセット条件</b>	この出力モードでは、マスタ・チャネルの INTTAUCnIm がセット信号、スレーブ・チャネルの INTTAUCnIm がリセット信号となります。マスタ・チャネルの INTTAUCnIm とスレーブ・チャネルの INTTAUCnIm が同時発生した場合、スレーブ・チャネルの INTTAUCnIm (リセット信号) は、マスタ・チャネルの INTTAUCnIm (セット信号) より優先されます (マスタ・チャネルは無視されます)。
<b>前提条件</b>	表 17-8「チャネル出力モード」に示す条件以外の条件はありません。

## 17.9 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUCnTS.TAUCnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

**注意** 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

### 17.9.1 インターバル・タイマ・モード

TAUCnTS.TAUCnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

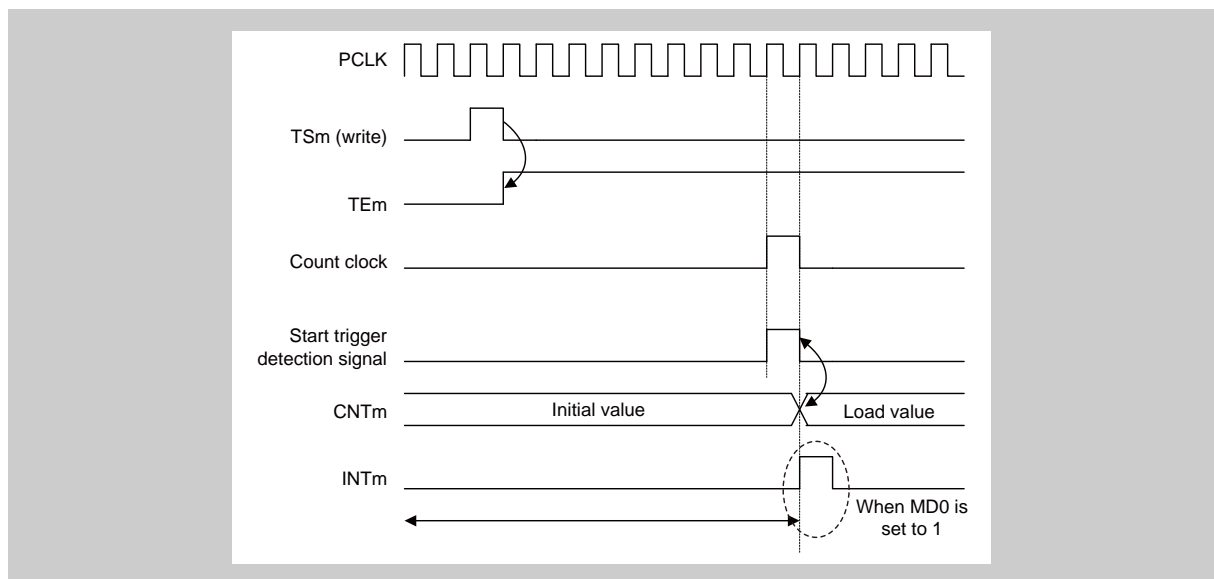


図 17-7 インターバル・タイマ・モードの開始タイミング



### 17.9.2 イベント・モード

TAUCnTS.TAUCnTSM が 1 に設定されると、ただちにデータ・レジスタの値がロードされます。カウンタ動作もただちに開始されます。データ・レジスタの値は、以降のカウンタ・クロック・サイクルの開始時に変更されます。

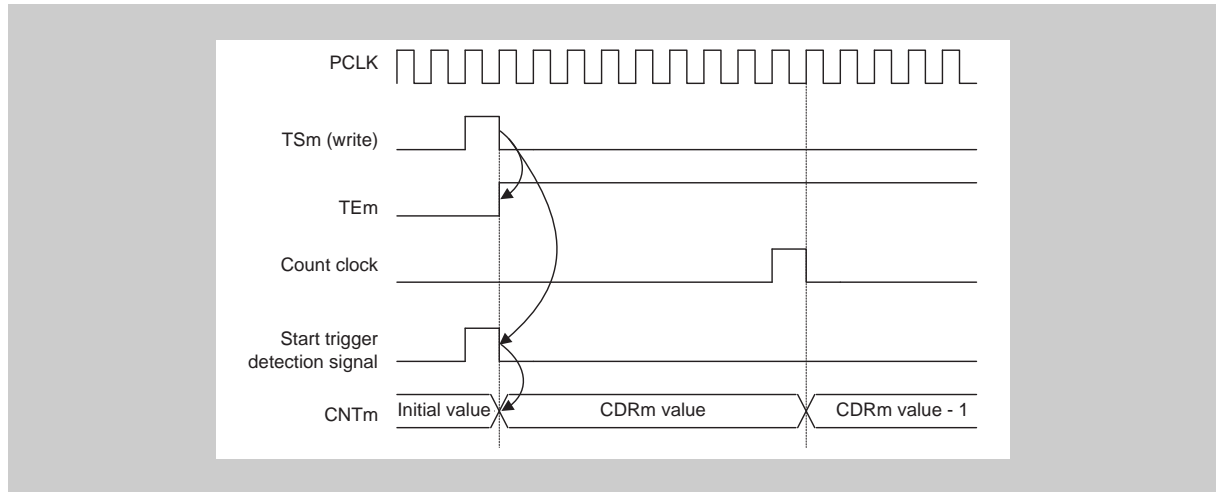


図 17-8 イベント・モード時の開始タイミング

## 17.10 カウント開始／リスタート時の TAUCnTTOUTm 出力と INTTAUCnIm 生成 (TAUCnMD0 ビット)

カウンタのカウント開始または再開時、TAUCnCMORm.TAUCnMD0 ビットで INTTAUCnIm を発生するかしないかを指定できます。次の表に示すように、ビットの影響は、選択したモードに依存します。INTTAUCnIm の TAUCnTTOUTm に対する影響は、選択したチャネル動作機能に依存します。

表 17-9 カウンタがトリガされた場合の TAUCnCMORm.TAUCnMD0 ビットの INTTAUCnIm 発生に対する影響

モード	TAUCnCMORm.TAUCnMD0 ビット	カウント開始／再開時の INTTAUCnIm 発生
インターバル・タイマ・モード	0	発生しない
	1	発生
ワンカウント・モード	0/1	TAUCnCMORm.TAUCnMD0 ビットの設定にかかわらず発生しない

**備考** 動作例として、図 17-16 「強制リスタート動作 (TAUCnCMORm.TAUCnMD0 = 1)」, 図 17-17 「強制リスタート動作 (TAUCnCMORm.TAUCnMD0 = 0)」を参照してください。また、表 17-29 「TAUCnCMORm レジスタの内容」の TAUCnMD0 ビットの役割の説明も参照してください。

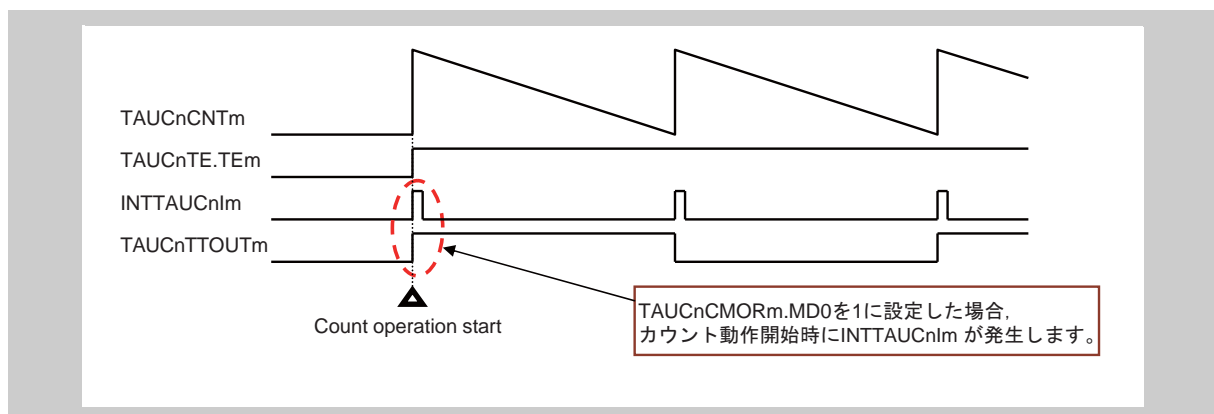


図 17-9 カウント開始時の INTTAUCnIm 発生

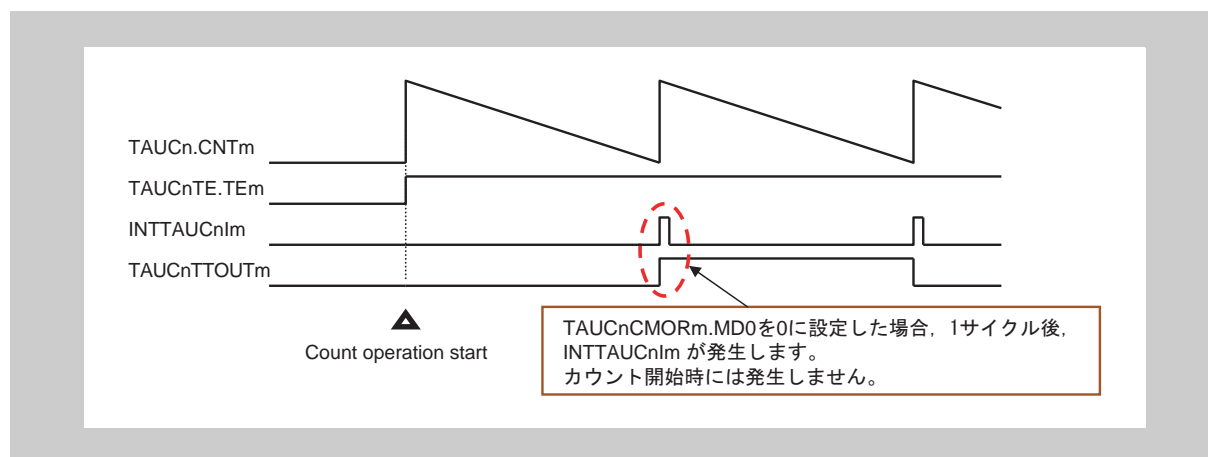


図 17-10 カウント開始時に INTTAUCnIm が発生しない

## 17.11 チャンネル単体動作機能

TAUC の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、17.3「機能説明」を参照してください。

## 17.12 チャンネル単体割り込み機能

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 17.12.1「インターバル・タイマ機能」

### 17.12.1 インターバル・タイマ機能

#### (1) 概要

**概要** この機能は、一定間隔でタイマ割り込み (INTTAUCnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUCnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 17-10「インターバル・タイマ機能の TAUCnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。17.8「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUCnTS.TAUCnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUCnTE.TAUCnTEm = 1 となり、カウントが可能になります。TAUCnCDRm の現在値が TAUCnCNTm にロードされ、カウンタはその TAUCnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000<sub>H</sub> になると、INTTAUCnIm が発生し、TAUCnTTOUTm 信号がトグルされます。その後、TAUCnCDRm の値を TAUCnCNTm にロードし、以降、動作を継続します。

TAUCnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUCnTT.TAUCnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUCnTE.TAUCnTEm は 0 に設定されます。TAUCnCNTm と TAUCnTTOUTm は停止しますが、値は保持します。TAUCnTS.TAUCnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUCnTS.TAUCnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

- 条件** TAUCnCMORm.TAUCnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUCnTTOUTm のトグルも行われません。これにより、TAUCnCMORm.TAUCnMD0 が 1 に設定された場合に対して、反転された TAUCnTTOUTm 信号が出力されます。詳細は、17.10「カウント開始/リスタート時の TAUCnTTOUTm 出力と INTTAUCnIm 生成 (TAUCnMD0 ビット)」を参照してください。

(2) 算出式

INTTAUCnIm の周期 = カウント・クロック周期 × (TAUCnCDRm + 1)

TAUCnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUCnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

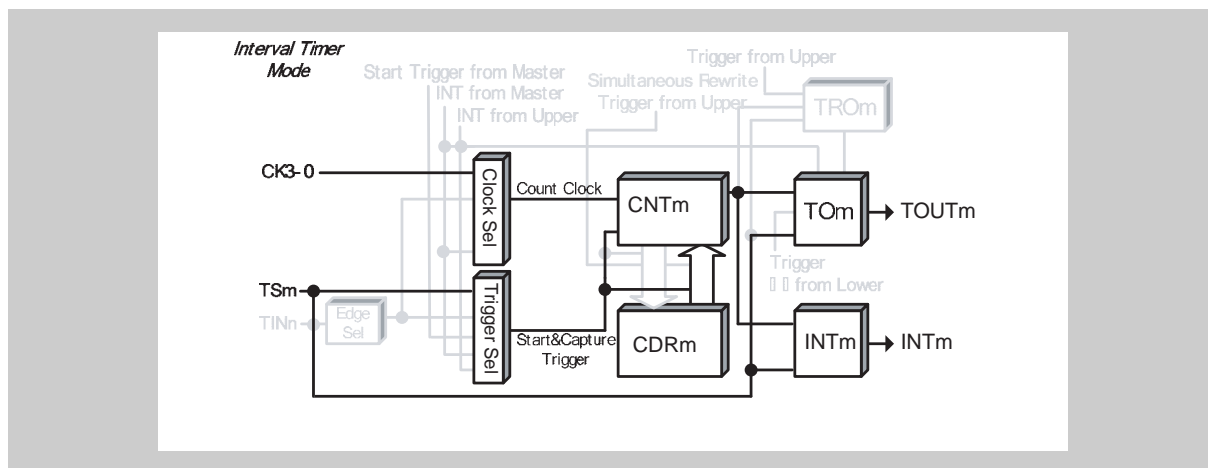


図 17-11 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUCnIm が発生する (TAUCnCMORm.TAUCnMD0 = 1)

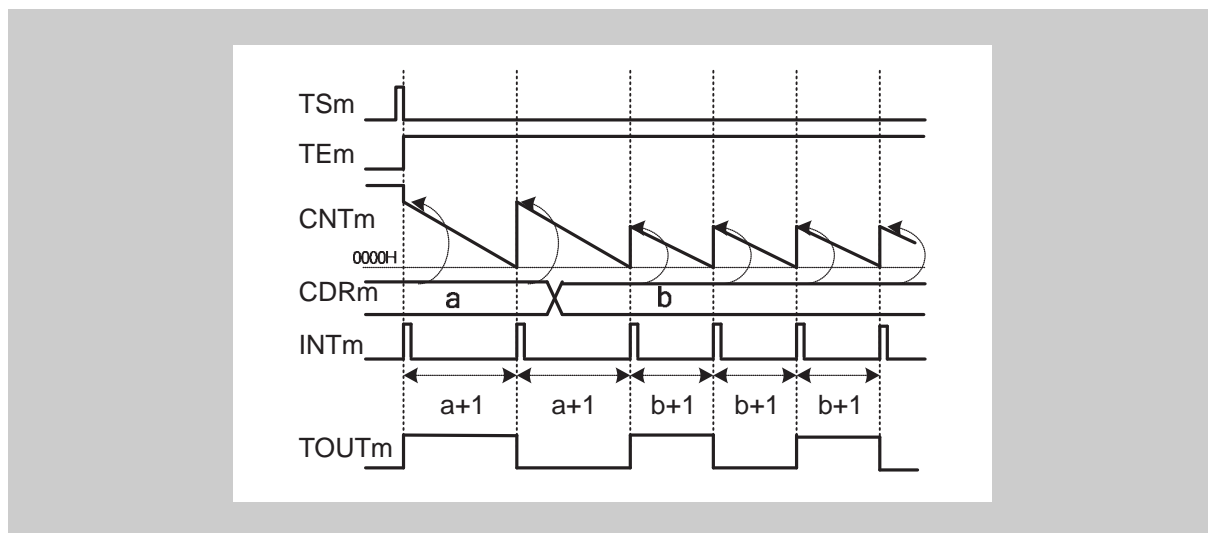


図 17-12 インターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUCnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCKS [1:0]	—	—	TAUC nMAS	TAUCnSTS[2:0]	TAUCnCOS [1:0]	—	—	—	—	—	TAUCnMD[4:1]	—	—	—	TAUC nMD0

表 17-10 インターバル・タイマ機能の TAUCnCMORm 設定

ビット名	設定
TAUCnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUCnMAS	0 : 未使用, 0 を設定
TAUCnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUCnCOS[1:0]	00 : 未使用, 00 を設定
TAUCnMD[4:1]	0000 : インターバル・タイマ・モード
TAUCnMD0	0 : 動作開始時に INTTAUCnIm が発生せず, TAUCnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUCnIm が発生し, TAUCnTTOUTm はトグルされる

## (b) チャネル出力モード

表 17-11 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUCnTOE.TAUCnTOEm	1 : チャネル単体出力モード許可
TAUCnTOM.TAUCnTOMm	0 : チャネル単体出力
TAUCnTOL.TAUCnTOLm	0 : 正論理

**備考** チャネル出力モードは, TAUCnTOE.TAUCnTOEm = 0 を設定して, ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合, TAUCnTTOUTm を割り込みとは独立させて制御することができます。詳細は 17.8 「チャネル出力モード」を参照してください。

## (c) 一斉書き換え

一斉書き換えレジスタ (TAUCnRDE, TAUCnRDS, TAUCnRDC) は, インターバル・タイマ機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 17-12 インターバル・タイマ機能の一斉書き換え設定

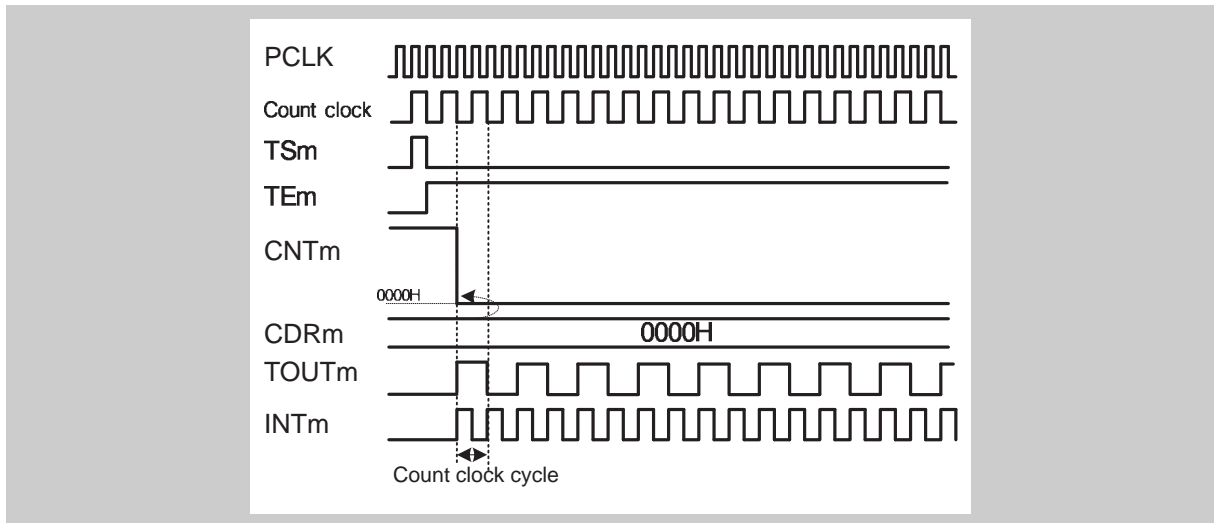
ビット名	設定
TAUCnRDE.TAUCnRDEm	0 : 一斉書き換え禁止
TAUCnRDS.TAUCnRDSm	0 : 一斉書き換え禁止時
TAUCnRDC.TAUCnRDCm	(TAUCnRDE.TAUCnRDEm = 0), 0 を設定

## (5) インターバル・タイマ機能の操作手順

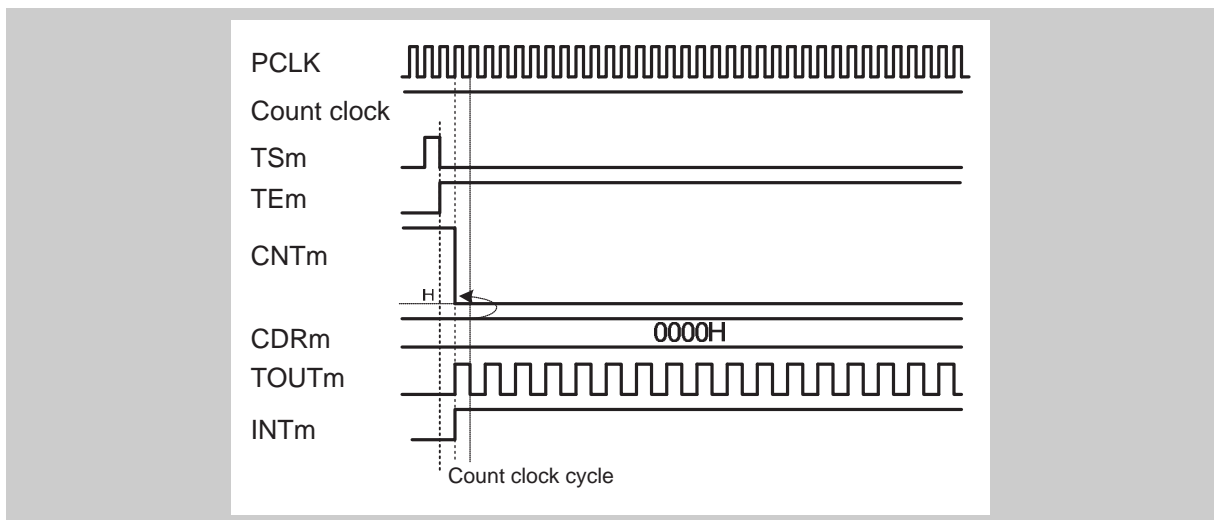
表 17-13 インターバル・タイマ機能の操作手順

	操作	TAUCn の状態
動作再開 ↓	チャンネルの初期設定 TAUCnCMORm レジスタを表 17-10「インターバル・タイマ機能の TAUCnCMORm 設定」に示すように設定します。 TAUCnCDRm レジスタの値を設定します。 制御ビットを表 17-11「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUCnTS.TAUCnTSm を 1 に設定します。 TAUCnTS.TAUCnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm が 1 に設定され、カウントが開始されます。 TAUCnCDRm の値を TAUCnCNTm にロードします。TAUCnCMORm.TAUCnMD0 = 1 の場合、INTTAUCnIm が発生し、TAUCnTTOUTm がトグルされます。
	動作中 TAUCnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUCnCNTm レジスタは常に読み出し可能です。	TAUCnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUCnCDRm の値を TAUCnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUCnIm が発生し、TAUCnTTOUTm がトグルされます。</li> </ul>
	動作停止 TAUCnTT.TAUCnTTm を 1 に設定します。 TAUCnTT.TAUCnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUCnCNTm と TAUCnTTOUTm は停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

(a) TAUCnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK/2図 17-13 TAUCnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK/2

- TAUCnCDRm = 0000<sub>H</sub>, かつカウント・クロック = PCLK/2<sup>1</sup> の場合, カウント・クロックごとに TAUCnCDRm の値が TAUCnCNTm にロードされます。つまり, TAUCnCNTm は常に 0000<sub>H</sub> です。
- INTTAUCnIm がカウント・クロックごとに発生するので, TAUCnTTOUTm はカウント・クロックごとにトグルされます。

(b) TAUCnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK図 17-14 TAUCnCDRm = 0000<sub>H</sub>, カウント・クロック = PCLK

- TAUCnCDRm = 0000<sub>H</sub>, かつカウント・クロック = PCLK の場合, PCLK クロックごとに TAUCnCDRm の値が TAUCnCNTm にロードされます。つまり, TAUCnCNTm は常に 0000<sub>H</sub> です。
- 継続的に INTTAUCnIm が発生し, PCLK クロックごとに TAUCnTTOUTm がトグルされます。



## (c) 動作の停止と再開

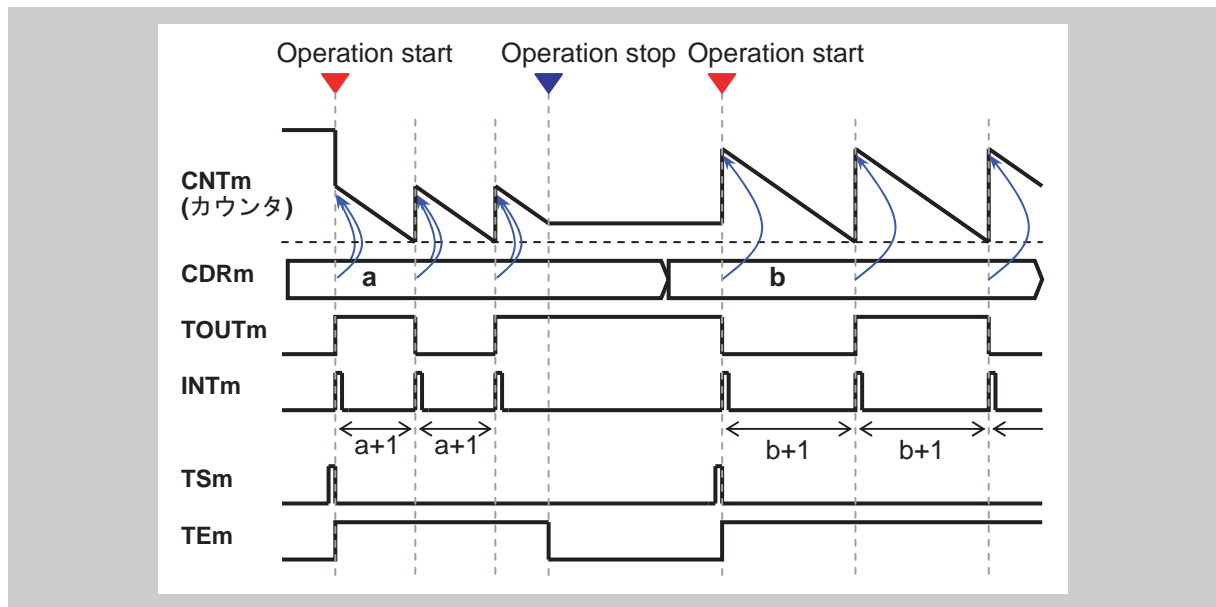


図 17-15 動作の停止と再開 (TAUCnCMORm.TAUCnMD0 = 1)

- TAUCnTT.TAUCnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUCnTE.TAUCnTEm は 0 に設定されます。
- TAUCnCNTm と TAUCnTTOUTm は停止しますが、値は保持します。
- TAUCnTS.TAUCnTSm を 1 に設定すると、カウントを再開できます。

## (d) 強制リスタート

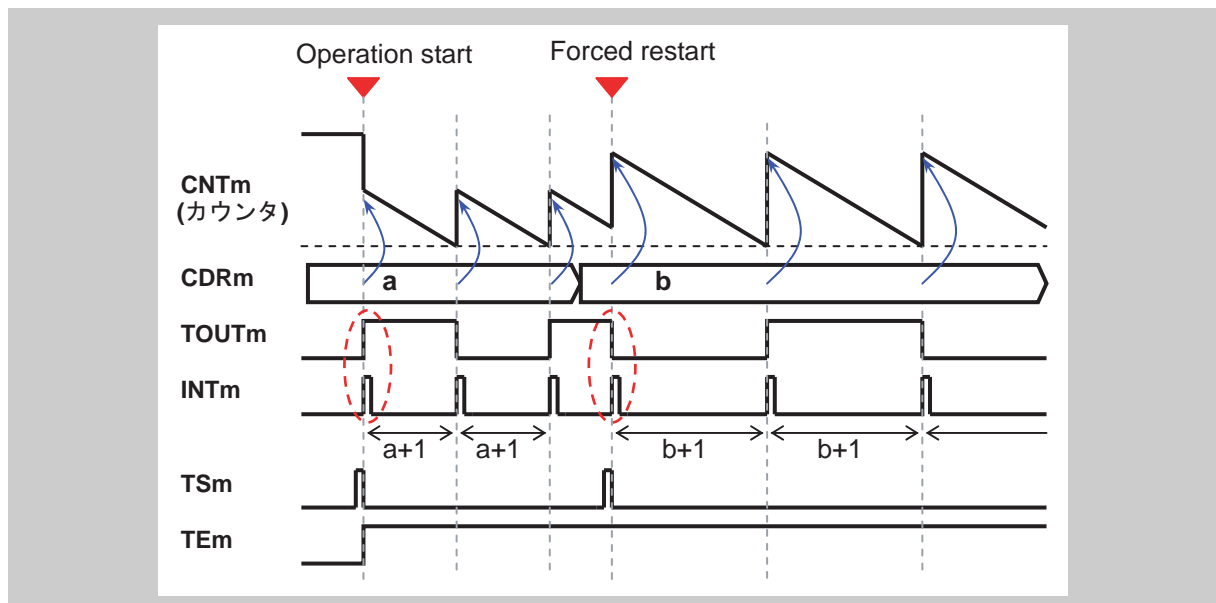


図 17-16 強制リスタート動作 (TAUCnCMORm.TAUCnMD0 = 1)

- カウント中に TAUCnTS.TAUCnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUCnCMORm.TAUCnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

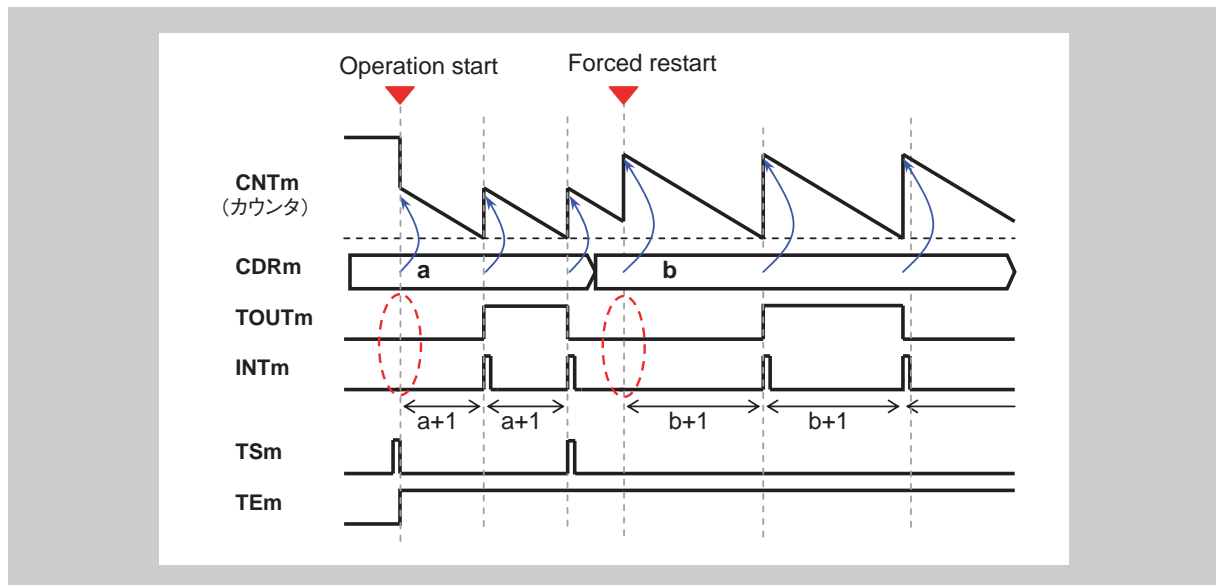


図 17-17 強制リスタート動作 (TAUCnCMORm.TAUCnMD0 = 0)

- カウント中に TAUCnTS.TAUCnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUCnCMORm.TAUCnMD0 ビットが 0 に設定されると、動作開始または再開後の最初に割り込みは発生しません。また、TAUCnTTOUTm はトグル出力しません。

## 17.13 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 17.13.1 「一斉書き換えトリガ生成機能タイプ1」

### 17.13.1 一斉書き換えトリガ生成機能タイプ1

#### (1) 概要

**概要** 下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUCnRDC.TAUCnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUCnRDC.TAUCnRDCm = 0) です。

- 前提条件**
- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUCnRDE.TAUCnRDEm = 1)
  - 上位チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります (表 17-14 「一斉書き換えトリガ生成機能タイプ1の TAUCnCMORm 設定」参照)。
  - 下位チャンネルに設定可能な動作モードは、表 17-7 「一斉書き換え方法とトリガ・タイミング」を参照してください。

**機能説明** 上位チャンネル、下位チャンネルのチャンネル・トリガ・ビット (TAUCnTS.TAUCnTSM) を1に設定すると、カウンタ動作が許可されます。これにより TAUCnTE.TAUCnTEm = 1 となり、カウンタが可能になります。上位チャンネルのデータ・レジスタ・バッファ (TAUCnCDRm buf) の現在値がカウンタ (TAUCnCNTm) にロードされ、カウンタはこの値からダウン・カウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000<sub>H</sub> になると、そのチャンネルで割り込みが発生します。対応する TAUCnCDRm バッファの現在値を TAUCnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換へのトリガ・チャンネルとして設定されていて (TAUCnRDC.TAUCnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUCnRSF.TAUCnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データ・レジスタの値は対応するデータ・レジスタ・バッファにコピーされます。カウンタはダウン・カウントを開始するたびにデータ・レジスタ・バッファの値を読み出して、その値からダウン・カウントを行います。

データ・レジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータ・レジスタ・バッファに転送されるのみです。

- 条件**
- INTTAUCnIm の発生を検出するチャンネルは、該当チャンネルに TAUCnRDC.TAUCnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUCnRDC.TAUCnRDCm ビットを0に設定しておく必要があります。
  - TAUCnCMORm.TAUCnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。表 17.10 「カウント開始／リスタート時の TAUCnTTOUTm 出力と INTTAUCnIm 生成 (TAUCnMD0 ビット)」を参照してください。

## (2) 算出式

一斉書き換えトリガの生成周期 =  
 カウント・クロック周期 × (TAUCnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUCnCDRm = [(\text{一斉書き換え対象マスタ・チャンネルの } TAUCnCDRm \text{ 値} + 1) \times \text{割り込み数}] - 1$

[三角波 PWM の場合]

$TAUCnCDRm = [(\text{一斉書き換え対象マスタ・チャンネルの } TAUCnCDRm \text{ 値} + 1) \times 2 \times \text{割り込み数}] - 1$

つまり、 $TAUCnCDRm + 1$  と  $TAUCnCDRm\_master + 1$  の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

## (3) ブロック図と基本タイミング図

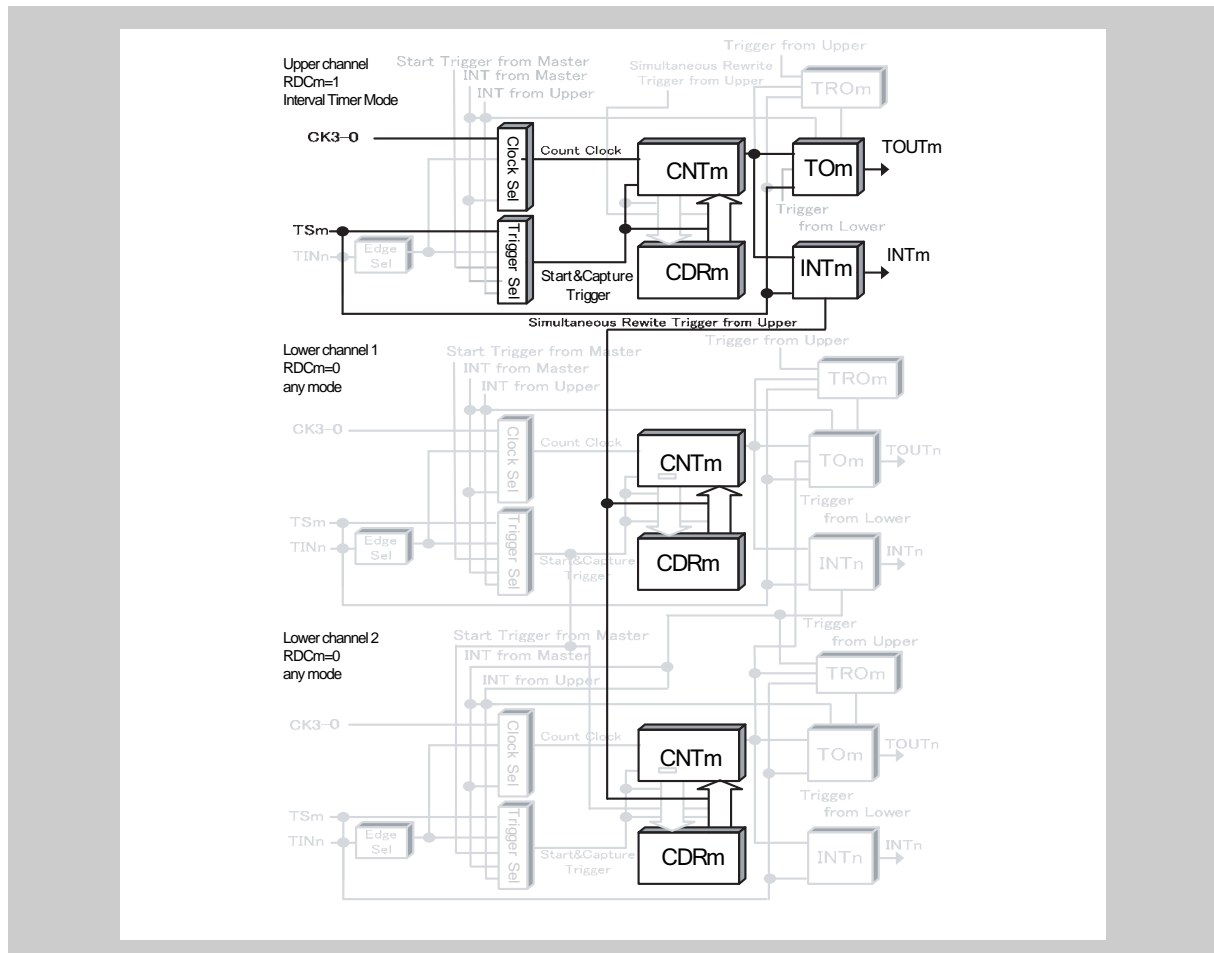


図 17-18 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUCnIm が発生する (TAUCnCMORM.TAUCnMD0 = 1)

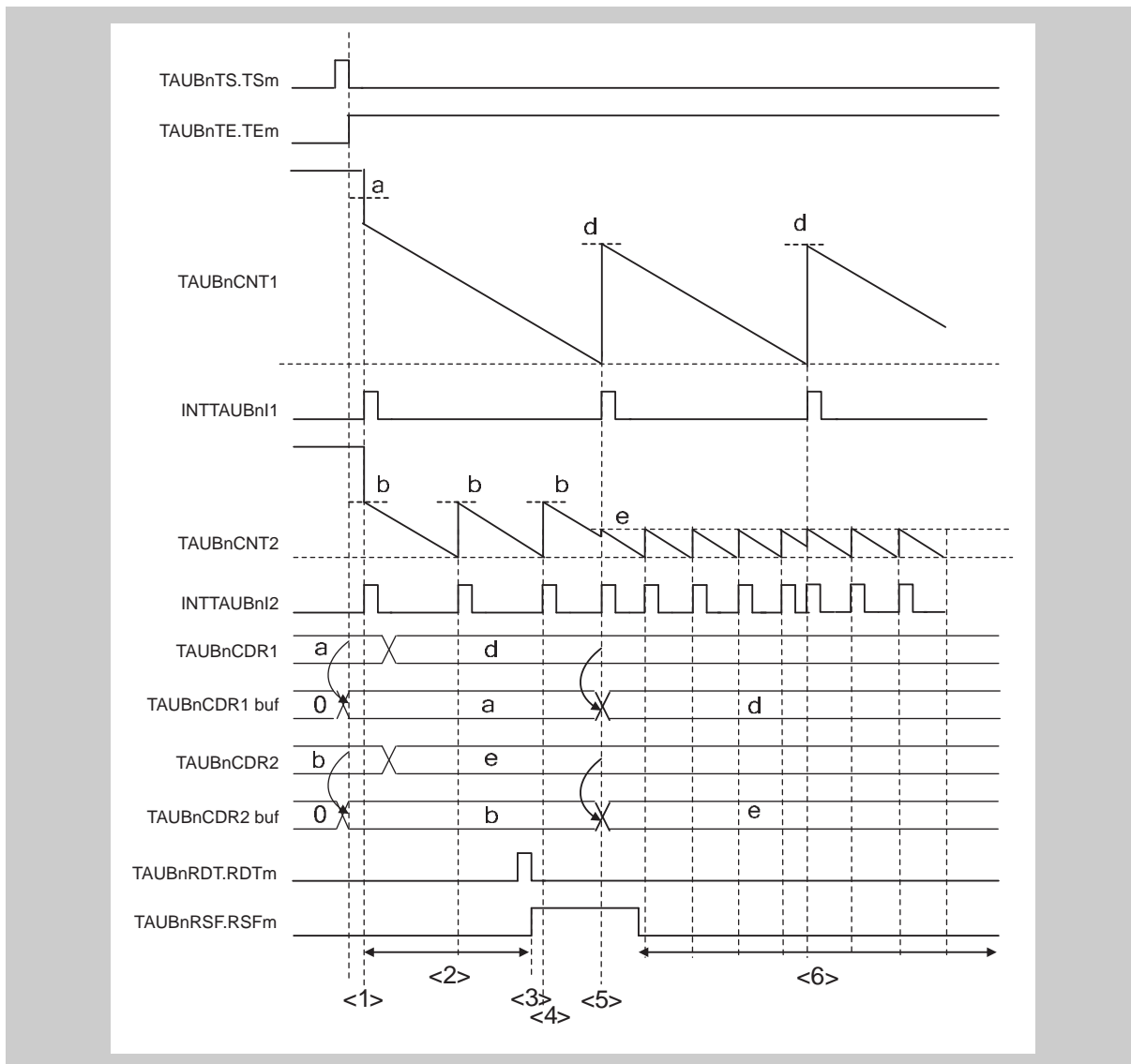


図 17-19 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

## (4) 上位チャンネルのレジスタ設定

## (a) 上位チャンネルの TAUCnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCKS [1:0]	—	—	TAUC nMAS	TAUCnSTS[2:0]	TAUCnCOS [1:0]	—	—	—	—	—	TAUCnMD [4:1]	—	—	—	TAUC nMD0

表 17-14 一斉書き換えトリガ生成機能タイプ1の TAUCnCMORm 設定

ビット名	設定
TAUCnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUCnMAS	0 : 未使用, 0 を設定
TAUCnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUCnCOS[1:0]	00 : 未使用, 00 を設定
TAUCnMD[4:1]	0000 : インターバル・タイマ・モード
TAUCnMD0	0 : 動作開始時に INTTAUCnIm が発生しない 1 : 動作開始時に INTTAUCnIm が発生する

## (b) 上位チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUCnTOE.TAUCnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (c) 上位チャンネルの一斉書き換え

表 17-15 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUCnRDE.TAUCnRDEm	1 : 一斉書き換えを許可
TAUCnRDS.TAUCnRDsm	1 : 上位の 1 チャンネルを一斉書き換えの制御チャンネルとして選択
TAUCnRDC.TAUCnRDCm	1 : チャンネルで一斉書き換えのトリガとなる INTTAUCnIm 信号をモニタ

**(5) 下位チャンネルのレジスタ設定****(a) 下位チャンネルの TAUCnCMORm**

下位チャンネルの TAUCnCMORm レジスタは、設定可能な動作モードの TAUCnCMORm レジスタ設定に従ってください（表 17-7 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(b) 下位チャンネルの TAUCnCMURm**

下位チャンネルの TAUCnCMURm レジスタは、設定可能な動作モードの TAUCnCMURm レジスタ設定に従ってください（表 17-7 「一斉書き換え方法とトリガ・タイミング」を参照してください）。

**(c) 下位チャンネルのチャンネル出力モード**

下位チャンネルの動作モード（マスタ・スレーブ）設定に従った出力が可能です。

**(d) 下位チャンネルの一斉書き換え**

表 17-16 一斉書き換えトリガ生成機能タイプ 1 時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUCnRDE.TAUCnRDEm	1：一斉書き換えを許可
TAUCnRDS.TAUCnRDsm	1：上位の 1 チャンネルを一斉書き換えの制御チャンネルとして選択
TAUCnRDC.TAUCnRDCm	0：チャンネルで一斉書き換へのトリガとなる INTTAUCnIm 信号をモニタしない

## (6) 一斉書き換えトリガ生成機能タイプ1の操作手順

表 17-17 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUCnの状態
動作再開 ↑	チャンネルの初期設定 上位チャンネルの TAUCnCMORm レジスタと TAUCnCMURm レジスタを、表 17-14 「一斉書き換えトリガ生成機能タイプ1の TAUCnCMORm 設定」 に示すように設定します。  下位チャンネルの TAUCnCMORm レジスタを、(5) 「下位チャンネルのレジスタ設定」 に示すように設定します。  TAUCnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUCnTS.TAUCnTSm を 1 に設定します。 TAUCnTS.TAUCnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm が 1 に設定され、カウントが開始されます。 TAUCnCDRm の値を TAUCnCNTm にロードします。TAUCnCMORm.TAUCnMD0 = 1 の場合、INTTAUCnIm が発生します。
	動作中 TAUCnRDT.TAUCnRDTm, TAUCnCDR.CDRm は変更可能です。 TAUCnRSF.TAUCnRSFm は常に読み出し可能です。	TAUCnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUCnCDRm の値を TAUCnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUCnIm が発生します。</li> </ul> TAUCnRDC.TAUCnRDCm が 1 に設定されているチャンネルで INTTAUCnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUCnTT.TAUCnTTm を 1 に設定します。 TAUCnTT.TAUCnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm が 0 にクリアされ、カウント動作が停止します。 TAUCnCNTm は停止し、TAUCnCNTm は現在値を保持します。



## 17.14 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

- 17.14.1 「PWM 出力機能」

### 17.14.1 PWM 出力機能

#### (1) 概要

**概要** マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUCnTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

#### 前提条件

- 2 チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 17-18 「PWM 出力機能時のマスタ・チャンネルの TAUCnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 17-20 「PWM 出力機能時のスレーブ・チャンネルの TAUCnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUCnTTOUTm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（17.8 「チャンネル出力モード」）。

#### 機能説明

チャンネル・トリガ・ビット (TAUCnTS.TAUCnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUCnTE.TAUCnTEm = 1 となり、カウンタが可能になります。TAUCnCDRm の現在値が TAUCnCNTm にロードされ、カウンタはその TAUCnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUCnIm が発生し、TAUCnTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000<sub>H</sub> になりパルス周期時間が経過すると、INTTAUCnIm が発生します。TAUCnCDRm 値を TAUCnCNTm にロードし、ダウン・カウントを行います。

- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUCnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUCnCDRm (スレーブ) の現在値が TAUCnCNTm (スレーブ) にロードされ、カウンタはその TAUCnCDRm 値からダウン・カウントを開始します。TAUCnTTOUTm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000<sub>H</sub> になると (デューティ時間が経過すると)

INTTAUCnIm が発生し、TAUCnTTOUTm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF<sub>H</sub> に戻り、マスタ・チャンネルの次の INTTAUCnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUCnTT.TAUCnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUCnTE.TAUCnTEm は 0 に設定されます。マスタ/スレーブ・チャンネルの TAUCnCNTm と TAUCnTTOUTm

が停止しますが、それぞれの値は保持します。TAUCnTS.TAUCnTSM を 1 に設定すると、カウントを再開できます。

**条件** この機能では一斉書き換えを行うことができます。17.7「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUCnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUCnCDRm (スレーブ) / (TAUCnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUCnCDRm (スレーブ) = 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUCnCDRm (スレーブ) ≥ TAUCnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

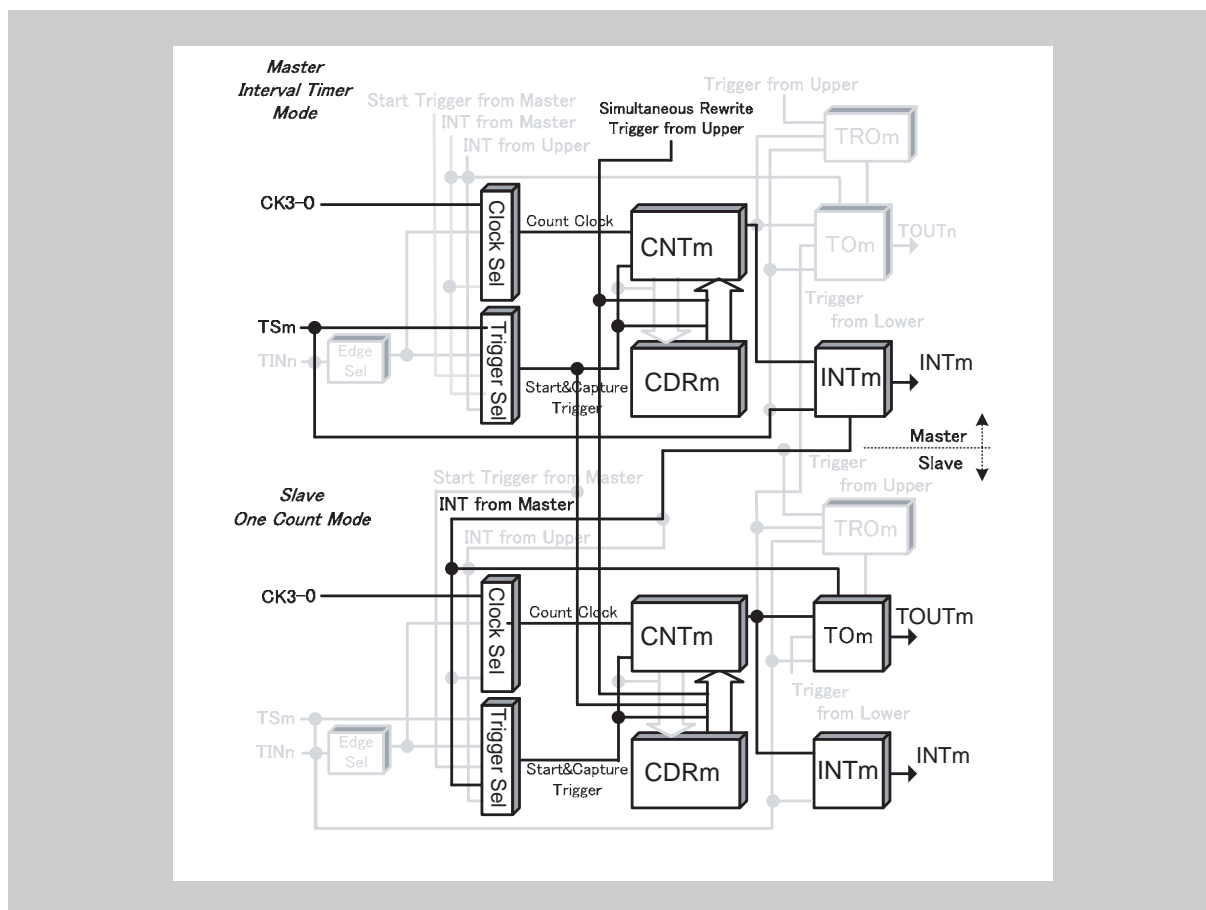


図 17-20 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUCnTOL.TAUCnTOLm = 0)

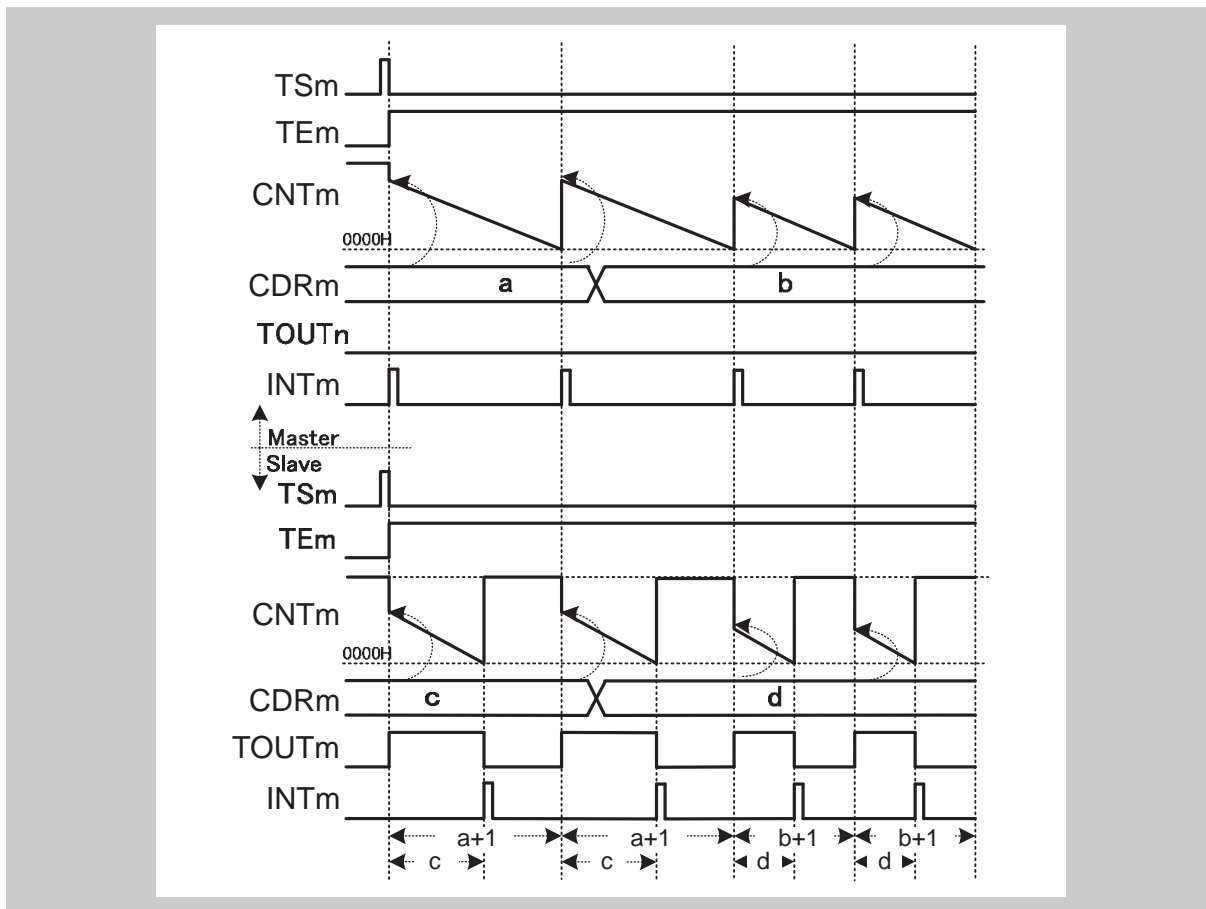


図 17-21 PWM 出力機能の基本タイミング図

**備考** スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUCnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUCnCDRm + 1 の値になります。

## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUCnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCKS [1:0]	—	—	TAUC nMAS	TAUCnSTS [2:0]	TAUCnCOS [1:0]	—	TAUCnMD[4:1]				TAUC nMD0				

表 17-18 PWM 出力機能時のマスタ・チャンネルの TAUCnCMORm 設定

ビット名	設定
TAUCnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUCnCKS[1:0] ビット値は同一である必要があります。
TAUCnMAS	1 : チャンネルはマスタ・チャンネル
TAUCnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUCnCOS[1:0]	00 : 未使用, 00 を設定
TAUCnMD[4:1]	0000 : インターバル・タイマ・モード
TAUCnMD0	1 : 動作開始時に INTTAUCnIm が発生する

## (b) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (c) マスタ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 17-19 PWM 出力機能時のマスタ・チャンネルの一斉書き換え設定

ビット名	設定
TAUCnRDE.TAUCnRDEm	1 : 一斉書き換えを許可
TAUCnRDS.TAUCnRDsm	0 : マスタ・チャンネルで一斉書き換えトリガを モニタ 1 : チャンネル・グループ外の上位チャンネルで一斉書 き換えトリガをモニタ
TAUCnRDC.TAUCnRDCm	0 : チャンネルで一斉書き換へのトリガとなる INTTAUCnIm 信号をモニタしない。 TAUCnRDS.TAUCnRDsm = 0 のとき、この ビットの値にかかわらず、マスタ・チャンネルで 一斉書き換えトリガをモニタ。

**備考** TAUCnRDS.TAUCnRDsm ビット=1 で使用する場合、マスタ・チャンネルの上位に「一斉書き換えトリガ出力機能タイプ1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル : TAUCnRDCm=1, TAUCnRDS=1  
また、本チャンネルの TAUCnCDR 設定値は下記となります。  
= ((一斉書き換え対象のマスタ・チャンネルの TAUCnCDR 設定値 +1) × 割り

込み回数)-1

- マスタ・チャンネル : TAUCnRDCm=0, TAUCnRDS=1
- スレーブ・チャンネル : TAUCnRDCm=0, TAUCnRDS=1

CDRn (スレーブ) の設定値 > CDRn (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

### (5) スレーブ・チャンネルのレジスタ設定

#### (a) スレーブ・チャンネルの TAUCnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCKS [1:0]	—	—	TAUC nMAS	TAUCnSTS [2:0]	TAUCnCOS [1:0]	—	—	—	—	—	TAUCnMD [4:1]	—	—	—	TAUC nMD0

表 17-20 PWM 出力機能時のスレーブ・チャンネルの TAUCnCMORm 設定

ビット名	設定
TAUCnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャンネルとスレーブ・チャンネルの TAUCnCKS[1:0] ビット値は同一である必要があります。
TAUCnMAS	0 : チャンネルはスレーブ・チャンネル
TAUCnSTS[2:0]	100 : マスタ・チャンネルの INTTAUCnIm がスタート・トリガ
TAUCnCOS[1:0]	00 : 未使用, 00 を設定
TAUCnMD[4:1]	0100 : ワンカウント・モード
TAUCnMD0	1 : 動作中のスタート・トリガが有効

#### (b) スレーブ・チャンネルのチャンネル出力モード

表 17-21 チャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUCnTOE.TAUCnTOEm	1 : チャンネル単体出力モード許可
TAUCnTOM.TAUCnTOMm	1 : チャンネル連動動作
TAUCnTOL.TAUCnTOLm	0 : 正論理 1 : 反転論理

## (c) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 17-22 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUCnRDE.TAUCnRDEm	1: 一斉書き換えを許可
TAUCnRDS.TAUCnRDsm	0: マスタ・チャンネルで一斉書き換えトリガをモニタ 1: チャンネル・グループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUCnRDC.TAUCnRDCm	0: チャンネルで一斉書き換へのトリガとなる INTTAUCnIm 信号をモニタしない。 TAUCnRDS.TAUCnRDsm = 0 のとき、このビットの値にかかわらず、マスタ・チャンネルで一斉書き換えトリガをモニタ。

## (6) PWM 出力機能の操作手順

表 17-23 PWM 出力機能時の操作手順

	操作	TAUCn の状態
チャンネルの初期設定	<p>マスタ・チャンネル: TAUCnCMORm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブ・チャンネル: TAUCnCMORm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUCnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 17-23 PWM 出力機能時の操作手順

	操作	TAUCn の状態
動作再開 ↓	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUCnTS.TAUCnTSm を同時に 1 に設定します。 TAUCnTS.TAUCnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。 マスタ・チャンネルで INTTAUCnIm が発生し、TAUCnTTOUTm (スレーブ) が設定されます。
	動作中 TAUCnCDRm は任意のタイミングで変更可能です。 TAUCnCNTm と TAUCnRSF.TAUCnRSFm は任意のタイミングで読み出し可能です。  TAUCnRDT.TAUCnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUCnCNTm は TAUCnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUCnIm (マスタ) が発生します。</li> <li>TAUCnCDRm 値を TAUCnCNTm (マスタ) にロードし、カウント動作を継続します。</li> <li>TAUCnCDRm 値を TAUCnCNTm (スレーブ) にロードし、ダウン・カウントを行います。</li> <li>TAUCnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。</li> </ul> TAUCnCNTm (スレーブ) が 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>INTTAUCnIm (スレーブ) が発生します。</li> <li>TAUCnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。</li> </ul>
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUCnTT.TAUCnTTm を同時に 1 に設定します。 TAUCnTT.TAUCnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUCnTE.TAUCnTEm が 0 にクリアされ、カウンタ動作が停止します。  TAUCnCNTm と TAUCnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

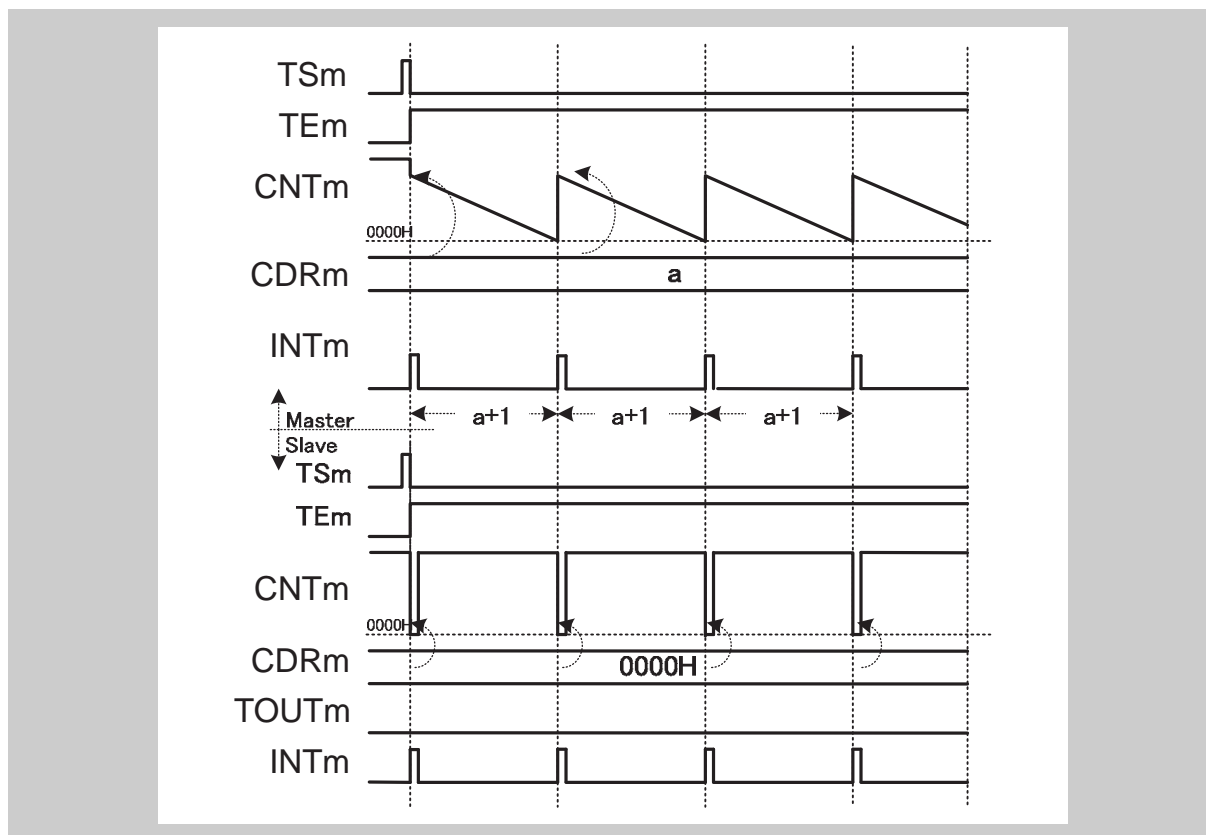


図 17-22 TAUCnCDRm (スレーブ) = 0000<sub>H</sub>,  
正論理 (TAUCnTOL.TAUCnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUCnIm) が発生するたびに、TAUCnCNTm (スレーブ) に 0000<sub>H</sub> がロードされます。したがって、TAUCnCNTm (スレーブ) はカウントを開始できず、TAUCnTOUTm はアクティブでない状態のままとなります。
- TAUCnCDRm 値を TAUCnCNTm (スレーブ) にロードし、割り込みを発生させます。



(b) デューティ・サイクル = 100 %

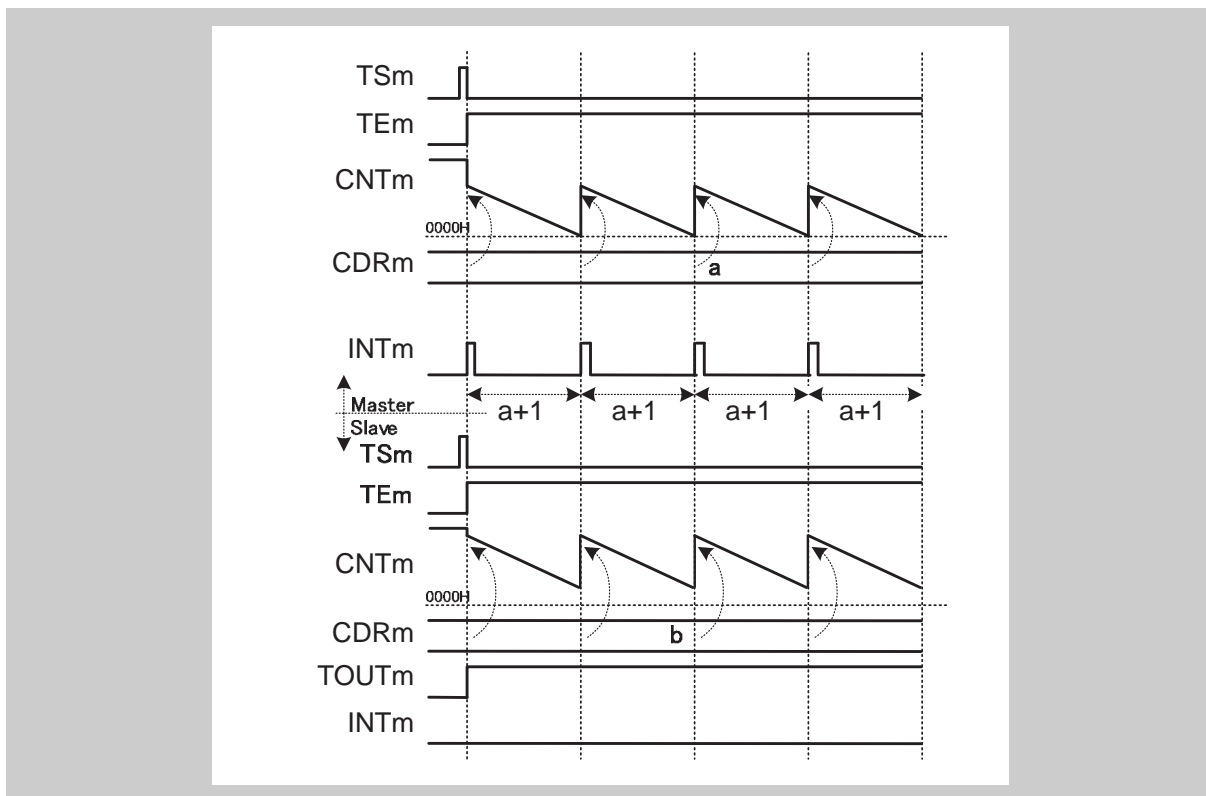


図 17-23 TAUCnCDRm (スレーブ) ≥ TAUCnCDRm (マスタ) + 1  
 正論理 (TAUCnTOL.TAUCnTOLm (スレーブ) = 0)

- TAUCnCDRm (スレーブ) 値が TAUCnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000<sub>H</sub> にならないため、割り込みが発生しません。TAUCnTOUTm はアクティブ状態のままになります。

## (c) 動作の停止と再開

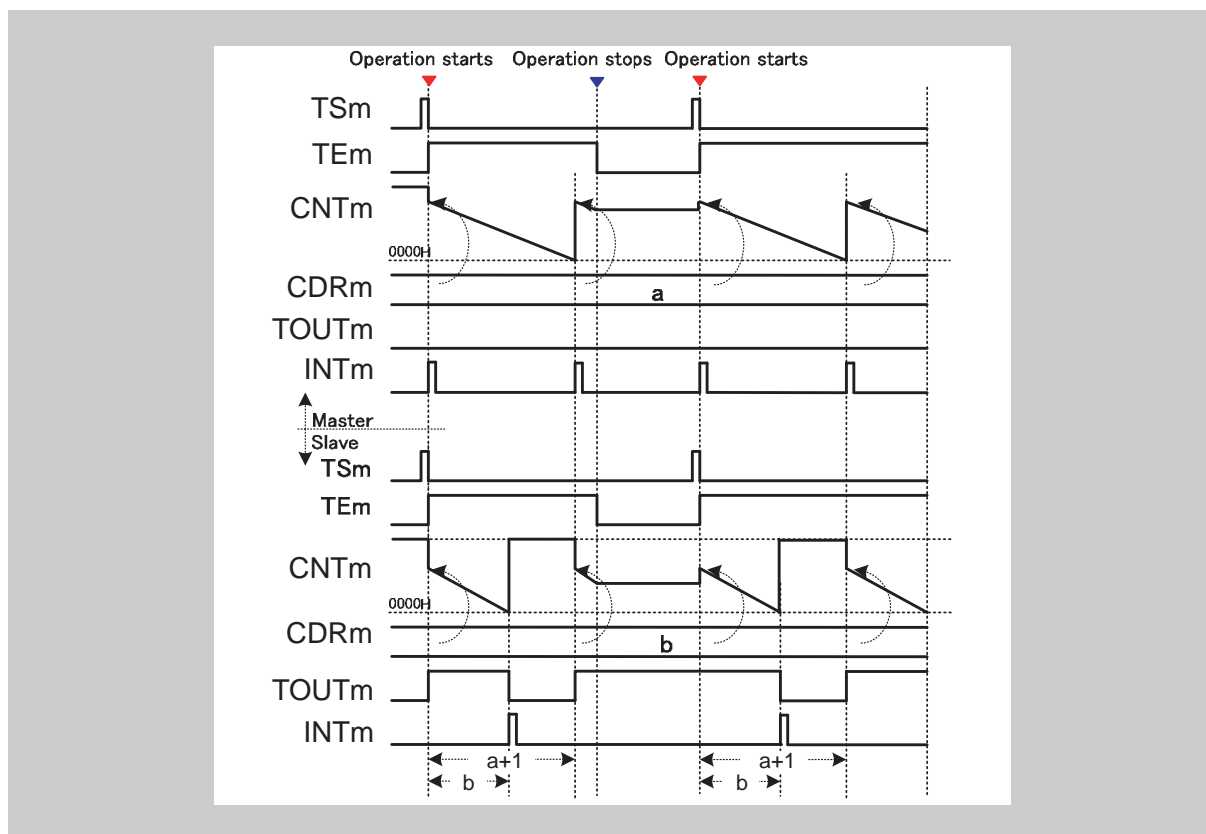


図 17-24 動作の停止と再開  
 正論理 (TAUCnTOL.TAUCnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUCnTT.TAUCnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUCnTE.TAUCnTEm は 0 に設定されます。
- 全チャンネルの TAUCnCNTm と TAUCnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUCnTS.TAUCnTSM を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUCnCDRm 値を TAUCnCNTm にリロードし、この値からダウン・カウントを開始します。

## 17.15 レジスタ

この節では、TAUCの全レジスタについて説明します。

### 17.15.1 TAUCn レジスタの概要

TAUCn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から15です。

表 17-24 TAUCn レジスタの概要

レジスタ名	略号	アドレス
TAUCn プリスケーラ・レジスタ		
TAUCn プリスケーラ・クロック選択レジスタ	TAUCnTPS	<TAUCn_base> + 240 <sub>H</sub>
TAUCn 制御レジスタ		
TAUCn チャンネル・データ・レジスタ m	TAUCnCDRm	<TAUCn_base> + m × 4 <sub>H</sub>
TAUCn チャンネル・カウンタ・レジスタ m	TAUCnCNTm	<TAUCn_base> + 80 <sub>H</sub> + m × 4 <sub>H</sub>
TAUCn チャンネル・モード OS レジスタ m	TAUCnCMORm	<TAUCn_base> + 200 <sub>H</sub> + m × 4 <sub>H</sub>
TAUCn チャンネル・スタート・トリガ・レジスタ	TAUCnTS	<TAUCn_base> + 1C4 <sub>H</sub>
TAUCn チャンネル許可ステータス・レジスタ	TAUCnTE	<TAUCn_base> + 1C0 <sub>H</sub>
TAUCn チャンネル・ストップ・トリガ・レジスタ	TAUCnTT	<TAUCn_base> + 1C8 <sub>H</sub>
TAUCn 出力レジスタ		
TAUCn チャンネル出力許可レジスタ	TAUCnTOE	<TAUCn_base> + 5C <sub>H</sub>
TAUCn チャンネル出力レジスタ	TAUCnTO	<TAUCn_base> + 58 <sub>H</sub>
TAUCn チャンネル出力モード・レジスタ	TAUCnTOM	<TAUCn_base> + 248 <sub>H</sub>
TAUCn チャンネル出力アクティブ・レベル・レジスタ	TAUCnTOL	<TAUCn_base> + 040 <sub>H</sub>
TAUCn リロード・データ・レジスタ		
TAUCn チャンネル・リロード・データ許可レジスタ	TAUCnRDE	<TAUCn_base> + 260 <sub>H</sub>
TAUCn チャンネル・リロード・データ制御 CH 選択レジスタ	TAUCnRDS	<TAUCn_base> + 268 <sub>H</sub>
TAUCn チャンネル・リロード・データ制御レジスタ	TAUCnRDC	<TAUCn_base> + 26C <sub>H</sub>
TAUCn チャンネル・リロード・データ・トリガ・ レジスタ	TAUCnRDT	<TAUCn_base> + 44 <sub>H</sub>
TAUCn チャンネル・リロード・ステータス・レジスタ	TAUCnRSF	<TAUCn_base> + 48 <sub>H</sub>
TAUCn エミュレーション・レジスタ		
TAUCn エミュレーション・レジスタ	TAUCnEMU	<TAUCn_base> + 290 <sub>H</sub>

備考 TAUCn のベース・アドレス <TAUCn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

## 17.15.2 TAUCn プリスケアラ・レジスタの詳細

## (1) TAUCnTPS - TAUCn プリスケアラ・クロック選択レジスタ

PCLK プリスケアラの全チャネルの CK0, CK1, CK2, CK3 クロックを指定するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUCn\_base> + 240<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnPRS3[3:0]				TAUCnPRS2[3:0]				TAUCnPRS1[3:0]				TAUCnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-25 TAUCnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUCnPRS3 [3:0]	CK3 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUCnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table>	TAUCnPRS3[3:0]	CK3_PRE クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUCnPRS3[3:0]	CK3_PRE クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUCnTE.TAUCnTEm= 0) 場合のみ書き換え可能です。																																		

表 17-25 TAUCnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUCnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUCnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUCnTE.TAUCnTEm = 0) 場合のみ書き換え可能です。</p>	TAUCnPRS2[3:0]	CK2 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUCnPRS2[3:0]	CK2 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
7-4	TAUCnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUCnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUCnTE.TAUCnTEm = 0) 場合のみ書き換え可能です。</p>	TAUCnPRS1[3:0]	CK1 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUCnPRS1[3:0]	CK1 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 17-25 TAUCnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUCnPRSO [3:0]	CK0 クロックを指定します。 <table border="1"> <thead> <tr> <th>TAUCnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUCnTE.TAUCnTEm = 0) 場合のみ書き換え可能です。</p>	TAUCnPRSO[3:0]	CK0 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUCnPRSO[3:0]	CK0 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

**備考** TAUCn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

### 17.15.3 TAUCn 制御レジスタの詳細

#### (1) TAUCnCDRm - TAUCn チャネル・データ・レジスタ

このレジスタは、コンペア・レジスタとして機能するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUCn\_base> + 0<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-26 TAUCnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnCDR [15:0]	コンペア値用データ・レジスタ

## (2) TAUCnCNTm - TAUCn チャンネル・カウンタ・レジスタ

チャンネル m カウンタ・レジスタです。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <TAUCn\_base> + 80<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> または FFFF<sub>H</sub> 初期値は動作モードによって異なります。表 17-28 「カウント再許可後の TAUCnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17-27 TAUCnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnCNT [15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUCnTS.TAUCnTSm, TAUCnTT.TAUCnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUCnTT.TAUCnTTm = 1)

カウント停止後 (TAUCnTE.TAUCnTEm = 0) と再許可後 (TAUCnTS.TAUCnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUCnTS.TAUCnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 17-28 カウント再許可後の TAUCnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUCnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	—
ワンカウント・モード	ダウン・カウント	FFFF <sub>H</sub>	停止値	FFFF <sub>H</sub>

**備考** カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUCnCMORm.TAUCnMD[4:1] レジスタで変更します。



## (3) TAUCnCMORm - TAUCn チャネル・モード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

**アクセス** 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUCnTE.TAUCnTEm = 0) のときのみライト可能です。

**アドレス** <TAUCn\_base> + 200<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnCKS [1:0]	—	—	TAUCnMAS	TAUCnSTS[2:0]	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 17-29 TAUCnCMORm レジスタの内容 (1/2)

ビット位置	ビット名	機能																		
15, 14	TAUCnCKS [1:0]	動作クロックを選択します。 <table border="1"> <thead> <tr> <th>TAUCnCKS1</th><th>TAUCnCKS0</th><th>動作クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUCnCKS1	TAUCnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3			
TAUCnCKS1	TAUCnCKS0	動作クロック選択																		
0	0	CK0																		
0	1	CK1																		
1	0	CK2																		
1	1	CK3																		
11	TAUCnMAS	チャネル連動動作時に、そのチャネルがマスタ・チャネルかスレーブ・チャネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャネル (CHm_even) に対してのみ有効です。奇数チャネル (CHm_odd) は、0 に固定されています。																		
10-8	TAUCnSTS [2:0]	外部スタート・トリガを選択します。 <table border="1"> <thead> <tr> <th>TAUCnSTS2</th><th>TAUCnSTS1</th><th>TAUCnSTS0</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>ソフトウェア・トリガ</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>マスタ・チャネルの INT</td></tr> </tbody> </table>	TAUCnSTS2	TAUCnSTS1	TAUCnSTS0	機能説明	0	0	0	ソフトウェア・トリガ	1	0	0	マスタ・チャネルの INT						
TAUCnSTS2	TAUCnSTS1	TAUCnSTS0	機能説明																	
0	0	0	ソフトウェア・トリガ																	
1	0	0	マスタ・チャネルの INT																	
4-0	TAUCnMD [4:0]	動作モードを指定します。 <table border="1"> <thead> <tr> <th>TAUCnMD4</th><th>TAUCnMD3</th><th>TAUCnMD2</th><th>TAUCnMD1</th><th>TAUCnMD0</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバル・タイマ・モード</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウント・モード</td></tr> </tbody> </table>	TAUCnMD4	TAUCnMD3	TAUCnMD2	TAUCnMD1	TAUCnMD0	機能説明	0	0	0	0	1/0	インターバル・タイマ・モード	0	1	0	0	1/0	ワンカウント・モード
TAUCnMD4	TAUCnMD3	TAUCnMD2	TAUCnMD1	TAUCnMD0	機能説明															
0	0	0	0	1/0	インターバル・タイマ・モード															
0	1	0	0	1/0	ワンカウント・モード															

表 17-29 TAUCnCMORm レジスタの内容 (2/2)

ビット位置	ビット名	機能
<b>モード</b>		<b>TAUCnMD0 ビットの役割</b>
インターバル・タイマ・モード		カウント動作開始時（スタート・トリガ入力時）に、INTTAUCnIm 信号を出力するかどうかを指定します。 0 : INTTAUCnIm を出力しない 1 : INTTAUCnIm を出力する
ワンカウント・モード		カウント中のスタート・トリガ検出を許可／禁止します。 0 : 禁止 1 : 許可

**(4) TAUCnTS - TAUCn チャンネル・スタート・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を許可します。

**アクセス** 16 ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUCn\_base> + 1C4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnTS15	TAUCnTS14	TAUCnTS13	TAUCnTS12	TAUCnTS11	TAUCnTS10	TAUCnTS09	TAUCnTS08	TAUCnTS07	TAUCnTS06	TAUCnTS05	TAUCnTS04	TAUCnTS03	TAUCnTS02	TAUCnTS01	TAUCnTS00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17-30 TAUCnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTSm	チャンネル m のカウンタ動作を許可します。 0 : 機能なし 1 : カウンタ動作を許可し、TAUCnTE.TAUCnTEm = 1 を設定。 TAUCnTE.TAUCnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

**(5) TAUCnTE - TAUCn チャンネル許可ステータス・レジスタ**

このレジスタは、カウンタ動作の許可／禁止を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <TAUCn\_base> + 1C0<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnTE15	TAUCnTE14	TAUCnTE13	TAUCnTE12	TAUCnTE11	TAUCnTE10	TAUCnTE09	TAUCnTE08	TAUCnTE07	TAUCnTE06	TAUCnTE05	TAUCnTE04	TAUCnTE03	TAUCnTE02	TAUCnTE01	TAUCnTE00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17-31 TAUCnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTEm	チャンネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUCnTSSTm（チャンネル連動スタート・トリガ信号）のトリガ入力を検知するか、TAUCnTS.TAUCnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUCnTT.TAUCnTTm を 1 にセットすると、このビットが 0 にリセットされます。

**(6) TAUCnTT - TAUCn チャンネル・ストップ・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を停止します。

**アクセス** 16ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUCn\_base> + 1C8<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnTT15	TAUCnTT14	TAUCnTT13	TAUCnTT12	TAUCnTT11	TAUCnTT10	TAUCnTT09	TAUCnTT08	TAUCnTT07	TAUCnTT06	TAUCnTT05	TAUCnTT04	TAUCnTT03	TAUCnTT02	TAUCnTT01	TAUCnTT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17-32 TAUCnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTTm	チャンネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUCnTE.TAUCnTEm をリセットします。 TAUCnCnTm, TAUCnTO.TAUCnTm, TAUCnTTOUTm は、カウント停止前の値を保持します。

## 17.15.4 TAUCn 出力レジスタの詳細

## (1) TAUCnTOE - TAUCn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

**アクセス** 16ビット単位でリード／ライト可能です。

**アドレス** <TAUCn\_base> + 5C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCn TOE15	TAUCn TOE14	TAUCn TOE13	TAUCn TOE12	TAUCn TOE11	TAUCn TOE10	TAUCn TOE09	TAUCn TOE08	TAUCn TOE07	TAUCn TOE06	TAUCn TOE05	TAUCn TOE04	TAUCn TOE03	TAUCn TOE02	TAUCn TOE01	TAUCn TOE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-33 TAUCnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTOEm	タイマ単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止 1：タイマ単体出力機能を許可

## (2) TAUCnTOM - TAUCn チャネル出力モード・レジスタ

このレジスタは、各チャネルの出力モードを指定します。

**アクセス** 16ビット単位でリード／ライト可能です。カウンタ停止中 (TAUCnTE.TAUCnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUCn\_base> + 248<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCn TOM15	TAUCn TOM14	TAUCn TOM13	TAUCn TOM12	TAUCn TOM11	TAUCn TOM10	TAUCn TOM09	TAUCn TOM08	TAUCn TOM07	TAUCn TOM06	TAUCn TOM05	TAUCn TOM04	TAUCn TOM03	TAUCn TOM02	TAUCn TOM01	TAUCn TOM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-34 TAUCnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作 出力モードは表 17-8「チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

### 17.15.5 TAUCn チャネル出力レベル・レジスタの詳細

#### (1) TAUCnTO - TAUCn チャネル出力レジスタ

このレジスタは、TAUCnTTOUTm レベルを指定およびリードします。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUCn\_base> + 58<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCn TO15	TAUCn TO14	TAUCn TO13	TAUCn TO12	TAUCn TO11	TAUCn TO10	TAUCn TO09	TAUCn TO08	TAUCn TO07	TAUCn TO06	TAUCn TO05	TAUCn TO04	TAUCn TO03	TAUCn TO02	TAUCn TO01	TAUCn TO00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-35 TAUCnTO レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTOM	このレジスタは、TAUCnTTOUTm レベルを指定およびリードします。 0: ロウ・レベル 1: ハイ・レベル チャネル単体出力機能が禁止されている (TAUCnTOEm = 0) TAUCnTOM ビットのみライト可能です。

#### (2) TAUCnTOL - TAUCn チャネル出力レベル・レジスタ

このレジスタは、チャネル出力ビット (TAUCnTO.TAUCnTOM) の出力論理を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUCn\_base> + 040<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCn TOL15	TAUCn TOL14	TAUCn TOL13	TAUCn TOL12	TAUCn TOL11	TAUCn TOL10	TAUCn TOL09	TAUCn TOL08	TAUCn TOL07	TAUCn TOL06	TAUCn TOL05	TAUCn TOL04	TAUCn TOL03	TAUCn TOL02	TAUCn TOL01	TAUCn TOL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-36 TAUCnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnTOLm	チャネル m 出力ビット (TAUCnTO.TAUCnTOM) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

### 17.15.6 TAUCn 一斉書き換えレジスタの詳細

#### (1) TAUCnRDE - TAUCn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUCnCDRm/TAUCnTOLm の一斉書き換えを許可/禁止します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUCnTE.TAUCnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUCn\_base> + 260<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnRDE15	TAUCnRDE14	TAUCnRDE13	TAUCnRDE12	TAUCnRDE11	TAUCnRDE10	TAUCnRDE09	TAUCnRDE08	TAUCnRDE07	TAUCnRDE06	TAUCnRDE05	TAUCnRDE04	TAUCnRDE03	TAUCnRDE02	TAUCnRDE01	TAUCnRDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-37 TAUCnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

#### (2) TAUCnRDS - TAUCn チャンネル・リロード・データ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

**アクセス** 16ビット単位でリード/ライト可能です。TAUCnTE.TAUCnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUCn\_base> + 268<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnRDS15	TAUCnRDS14	TAUCnRDS13	TAUCnRDS12	TAUCnRDS11	TAUCnRDS10	TAUCnRDS09	TAUCnRDS08	TAUCnRDS07	TAUCnRDS06	TAUCnRDS05	TAUCnRDS04	TAUCnRDS03	TAUCnRDS02	TAUCnRDS01	TAUCnRDS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-38 TAUCnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0：マスタ・チャンネル 1：別の上位チャンネル

**(3) TAUCnRDC - TAUCn チャンネル・リロード・データ制御レジスタ**

このレジスタは、一斉書き換えをトリガする INTTAUCnIm 信号を生成するチャンネルを指定します。

**アクセス** 16 ビット単位でリード／ライト可能です。TAUCnTE.TAUCnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUCn\_base> + 26C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnRDC15	TAUCnRDC14	TAUCnRDC13	TAUCnRDC12	TAUCnRDC11	TAUCnRDC10	TAUCnRDC09	TAUCnRDC08	TAUCnRDC07	TAUCnRDC06	TAUCnRDC05	TAUCnRDC04	TAUCnRDC03	TAUCnRDC02	TAUCnRDC01	TAUCnRDC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-39 TAUCnRDC レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガ・チャンネルとならない。 1：一斉書き換えトリガ・チャンネルとして動作する これらのビット設定は TAUCnRDS.TAUCnRDSm = 1 時のみ適用されます。

**(4) TAUCnRDT - TAUCn チャンネル・リロード・データ・トリガ・レジスタ**

一斉書き換え保留状態をトリガするレジスタです。

**アクセス** 16 ビット単位でライト可能です。リード値は常に 0000<sub>H</sub> です。

**アドレス** <TAUCn\_base> + 044<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnRDT15	TAUCnRDT14	TAUCnRDT13	TAUCnRDT12	TAUCnRDT11	TAUCnRDT10	TAUCnRDT09	TAUCnRDT08	TAUCnRDT07	TAUCnRDT06	TAUCnRDT05	TAUCnRDT04	TAUCnRDT03	TAUCnRDT02	TAUCnRDT01	TAUCnRDT00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 17-40 TAUCnRDT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnRDTm	一斉書き換え保留状態をトリガします。 0：機能なし ("0" を書き込む操作は、無視されます (動作に影響しません。)) 1：一斉書き換え保留フラグ (TAUCnRSFm) を "1" とし、一斉書き換えトリガ待ち状態となります。

**(5) TAUCnRSF - TAUCn チャネル・リロード・ステータス・レジスタ**

このフラグ・レジスタは、一斉書き換えのステータスを示します。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <TAUCn\_base> + 048<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUCnRSF15	TAUCnRSF14	TAUCnRSF13	TAUCnRSF12	TAUCnRSF11	TAUCnRSF10	TAUCnRSF09	TAUCnRSF08	TAUCnRSF07	TAUCnRSF06	TAUCnRSF05	TAUCnRSF04	TAUCnRSF03	TAUCnRSF02	TAUCnRSF01	TAUCnRSF00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17-41 TAUCnRSF レジスタの内容

ビット位置	ビット名	機能
15-0	TAUCnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1：一斉書き換え保留状態 (TAUCnRDTm = 1) になっていることを示します。



### 17.15.7 TAUCn エミュレーション・レジスタ

#### (1) TAUCnEMU - TAUCn エミュレーション・レジスタ

本レジスタは、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）おける、カウントクロックの停止／継続を制御します。

**アクセス** 8ビット単位でリード／ライト可能です。

カウンタ停止中（TAUCnTE.TAUCnTEm=0）、かつ（EPC.SVSTOP=0）のときにライト動作を行ってください。

**アドレス** <TAUCn\_base> + 290<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TAUCn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17-42 TAUCnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUCn SVSDIS	<p>(EPC.SVSTOP ビット=0 のとき)</p> <p>本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット=1 のとき)</p> <p>0: デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止</p> <p>1: デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給</p>

## 第18章 タイマ・アレイ・ユニットJ (TAUJ)

この章では、タイマ・アレイ・ユニットJ (TAUJ) について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、TAUJ 搭載製品に共通の特徴について説明します。

### 18.1 V850E2/Fx4-H の TAUJ の特長

**ユニット** この製品は次のユニット数の TAUJ を搭載しています。

表 18-1 TAUJ のユニット数

TAUJ	
ユニット数	2
名称	TAUJ0, TAUJ1

**n の意味** この章では、TAUJ の各ユニットを「n」で識別します (n = 0, 1)。たとえば、TAUJn チャンネル出力モード・レジスタ (TAUJnTOM) のように記述しています。

**m の意味** TAUJ には 4 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており (m = 0-3)、特定のチャンネルを CHm のように記述しています。偶数チャンネル (m = 0, 2) は CHm\_even と記述します。奇数チャンネル (m = 1, 3) は CHm\_odd と記述します。

**レジスタ・アドレス** TAUJn レジスタのアドレスは、それぞれのベース・アドレス <TAUJn\_base> からのオフセットで表されます。各 TAUJn のレジスタ・ベース・アドレス <TAUJn\_base> を次の表に示します。

表 18-2 レジスタ・ベース・アドレス <TAUJn\_base>

TAUJn	<TAUJn_base> アドレス
TAUJ0	FF81 1000 <sub>H</sub>
TAUJ1	FF81 2000 <sub>H</sub>

**クロック供給** TAUJ には次の 1 つのクロック入力があります。

表 18-3 TAUJn クロック供給

TAUJn	クロック	接続先
TAUJ0	PCLK	クロック発生回路 CKSCLK_A03
TAUJ1	PCLK	クロック発生回路 CKSCLK_A04

**割り込みと DMA** TAUJ は次の割り込み要求と DMA 要求を発生させることができます。

表 18-4 TAUJn 割り込みと DMA の要求

TAUJn 信号	機能	接続先
<b>TAUJ0:</b>		
INTTAUJ0I0	チャンネル 0 割り込み	割り込みコントローラ INTTAUJ0I0 DMA コントローラ・トリガ 59
INTTAUJ0I1	チャンネル 1 割り込み	割り込みコントローラ INTTAUJ0I1 DMA コントローラ・トリガ 60
INTTAUJ0I2	チャンネル 2 割り込み	割り込みコントローラ INTTAUJ0I2 DMA コントローラ・トリガ 61
INTTAUJ0I3	チャンネル 3 割り込み	割り込みコントローラ INTTAUJ0I3 DMA コントローラ・トリガ 62
<b>TAUJ1:</b>		
INTTAUJ1I0	チャンネル 0 割り込み	割り込みコントローラ INTTAUJ1I0 DMA コントローラ・トリガ 63
INTTAUJ1I1	チャンネル 1 割り込み	割り込みコントローラ INTTAUJ1I1 DMA コントローラ・トリガ 64
INTTAUJ1I2	チャンネル 2 割り込み	割り込みコントローラ INTTAUJ1I2 DMA コントローラ・トリガ 65
INTTAUJ1I3	チャンネル 3 割り込み	割り込みコントローラ INTTAUJ1I3 DMA コントローラ・トリガ 66

**入出力信号** TAUJ の入出力信号を次の表に示します。

表 18-5 TAUJn 入出力信号

TAUJ 信号	機能	接続先
<b>TAUJ0:</b>		
TAUJ0TTIN0- TAUJ0TTIN1	チャンネル 0-1 入力	ポート TAUJ0I0-TAUJ0I1
TAUJ0TTIN2	チャンネル 2 入力	ポート TAUJ0I2 または RTCA1HZ <sup>a</sup>
TAUJ0TTIN3	チャンネル 3 入力	ポート TAUJ0I3 または RTCA1HZ <sup>a</sup>
TAUJ0TTOUT0- TAUJ0TTOUT3	チャンネル 0-3 出力	ポート TAUJ0O0-TAUJ0O3
<b>TAUJ1:</b>		
TAUJ1TTIN0- TAUJ1TTIN1	チャンネル 0-1 入力	ポート TAUJ1I0-TAUJ1I1
TAUJ1TTIN2	チャンネル 2 入力	ポート TAUJ1I2 または RTCA1HZ <sup>a</sup>
TAUJ1TTIN3	チャンネル 3 入力	ポート TAUJ1I3 または RTCA1HZ <sup>a</sup>
TAUJ1TTOUT0- TAUJ1TTOUT3	チャンネル 0-3 出力	ポート TAUJ1O0-TAUJ1O3

a) 18.2 「TAUJ 入力の選択」を参照してください。

## 18.2 TAUJ 入力の選択

### 18.2.1 TAUJ0/TAUJ1 入力の選択

TAUJ0, TAUJ1 には、入力信号を接続するオプションが下記のとおりあります。

- 1 Hz パルス出力機能 (RTCAT1HZ)
- タイミング測定のための FCN0, FCN1 タイム・スタンプ出力信号 TSOUT
- エンコーダ・タイマ r

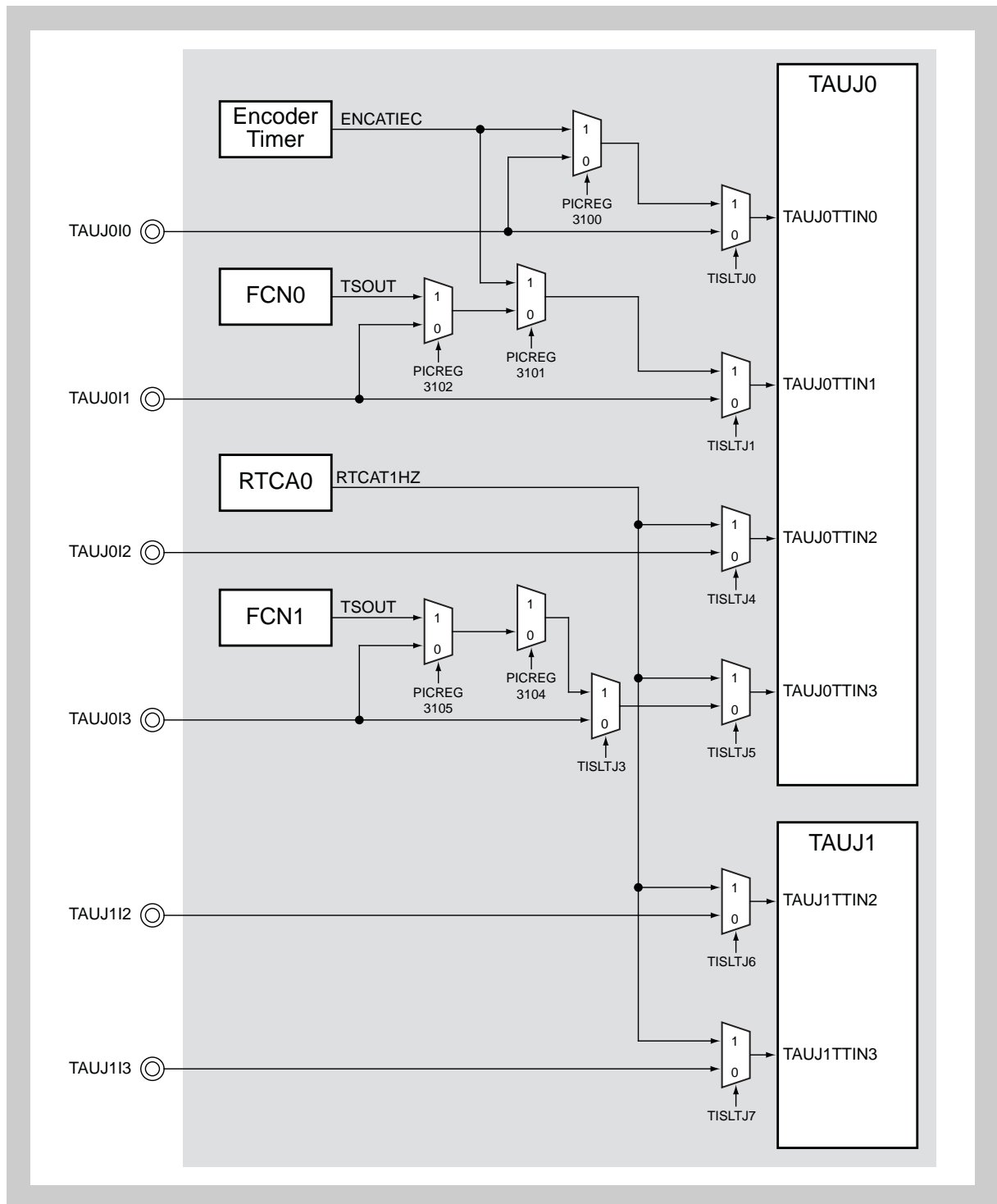


図 18-1 TAUJ0 と TAUJ1 への入力信号の選択

次の表に TAUJ への入力信号の選択方法について示します。

表 18-6 TAUJ 入力の選択

入力信号	機能	設定
TAUJ0TTIN0	ポート AUJ0I0	TISLTJ.TISLTJ0 = 0
	接続先 : エンコーダ・タイマ (ENCA) <sup>a</sup>	TISLTJ.TISLTJ0 = 1 PIC0REG31.PIC0REG3100 = 1
TAUJ0TTIN1	ポート TAUJ0I1	TISLTJ.TISLTJ1 = 0
	接続先 : エンコーダ・タイマ (ENCA) <sup>a</sup>	TISLTJ.TISLTJ1 = 1 PIC0REG31.PIC0REG3101 = 1
	FCN0 タイムスタンプ出力 TSOUT	TISLTJ.TISLTJ1 = 1 PIC0REG31.PIC0REG3101 = 1 PIC0REG31.PIC0REG3102 = 1
TAUJ0TTIN2	ポート TAUJ0I2	TISLTJ.TISLTJ4 = 0
	RTCA0 RTCAT1HZ (リアルタイム・クロック 1 Hz 出力)	TISLTJ.TISLTJ4 = 1
TAUJ0TTIN3	ポート TAUJ0I3	TISLTJ.TISLTJ5 = 0 TISLTJ.TISLTJ3 = 0
	RTCA0 RTCAT1HZ (リアルタイム・クロック 1 Hz 出力)	TISLTJ.TISLTJ5 = 1
	FCN1 タイムスタンプ出力 TSOUT	TISLTJ.TISLTJ5 = 0 TISLTJ.TISLTJ3 = 1 PIC0REG31.PIC0REG3104 = 0 PIC0REG31.PIC0REG3105 = 1
TAUJ1TTIN2	ポート TAUJ1I2	TISLTJ.TISLTJ6 = 0
	RTCA0 RTCAT1HZ (リアルタイム・クロック 1 Hz 出力)	TISLTJ.TISLTJ6 = 1
TAUJ1TTIN3	ポート TAUJ1I3	TISLTJ.TISLTJ7 = 0
	RTCA0 RTCAT1HZ (リアルタイム・クロック 1 Hz 出力)	TISLTJ.TISLTJ7 = 1

a) 第21章「エンコーダ・タイマ (ENCA)」参照

## (1) TISLTJ - タイマ入力セレクション・レジスタ Timer input selection register J

TAUJn 入力信号を選択するレジスタです。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 3000<sub>H</sub>初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
TISLTJ7	TISLTJ6	TISLTJ5	TISLTJ4	TISLTJ3	TISLTJ2	TISLTJ1	TISLTJ0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-7 TISLTJ レジスタの内容

ビット位置	ビット名	機能												
7	TISLTJ7	TAUJ1TTIN3 への入力信号の選択： 0 : port TAUJ1I3 1 : RTCA0 RTCAT1HZ												
6	TISLTJ6	TAUJ1TTIN2 への入力信号の選択： 0 : port TAUJ1I2 1 : RTCA0 RTCAT1HZ												
5 3	TISLTJ5 TISLTJ3	TAUJ0TTIN3 への入力信号の選択： <table border="1"> <thead> <tr> <th>TISLTJ5</th> <th>TISLTJ3</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Port TAUJ0I3</td> </tr> <tr> <td>0</td> <td>1</td> <td>PIC0REGREG31.PIC0REGREG3104 の選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>RTCA0 RTCAT1HZ</td> </tr> </tbody> </table>	TISLTJ5	TISLTJ3	入力信号	0	0	Port TAUJ0I3	0	1	PIC0REGREG31.PIC0REGREG3104 の選択	1	x	RTCA0 RTCAT1HZ
TISLTJ5	TISLTJ3	入力信号												
0	0	Port TAUJ0I3												
0	1	PIC0REGREG31.PIC0REGREG3104 の選択												
1	x	RTCA0 RTCAT1HZ												
4	TISLTJ4	TAUJ0TTIN2 への入力信号の選択： 0 : port TAUJ0I2 1 : RTCA0 RTCAT1HZ												
1	TISLTJ1	TAUJ0TTIN1 への入力信号の選択 Selection of TAUJ0TTIN1: 0 : port TAUJ0I1 1 : signal selection by PIC0REGREG31.PIC0REGREG3101												
0	TISLTJ0	TAUJ0TTIN0 への入力信号の選択： 0 : port TAUJ0I0 1 : signal selection by PIC0REGREG31.PIC0REGREG3100												



## 18.3 機能概要

**機能概要** TAUJには、次の機能があります。

- 4チャンネル
- チャンネルごとの32ビット・カウンタおよび32ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

TAUJ の主な構成要素を次の図に示します。

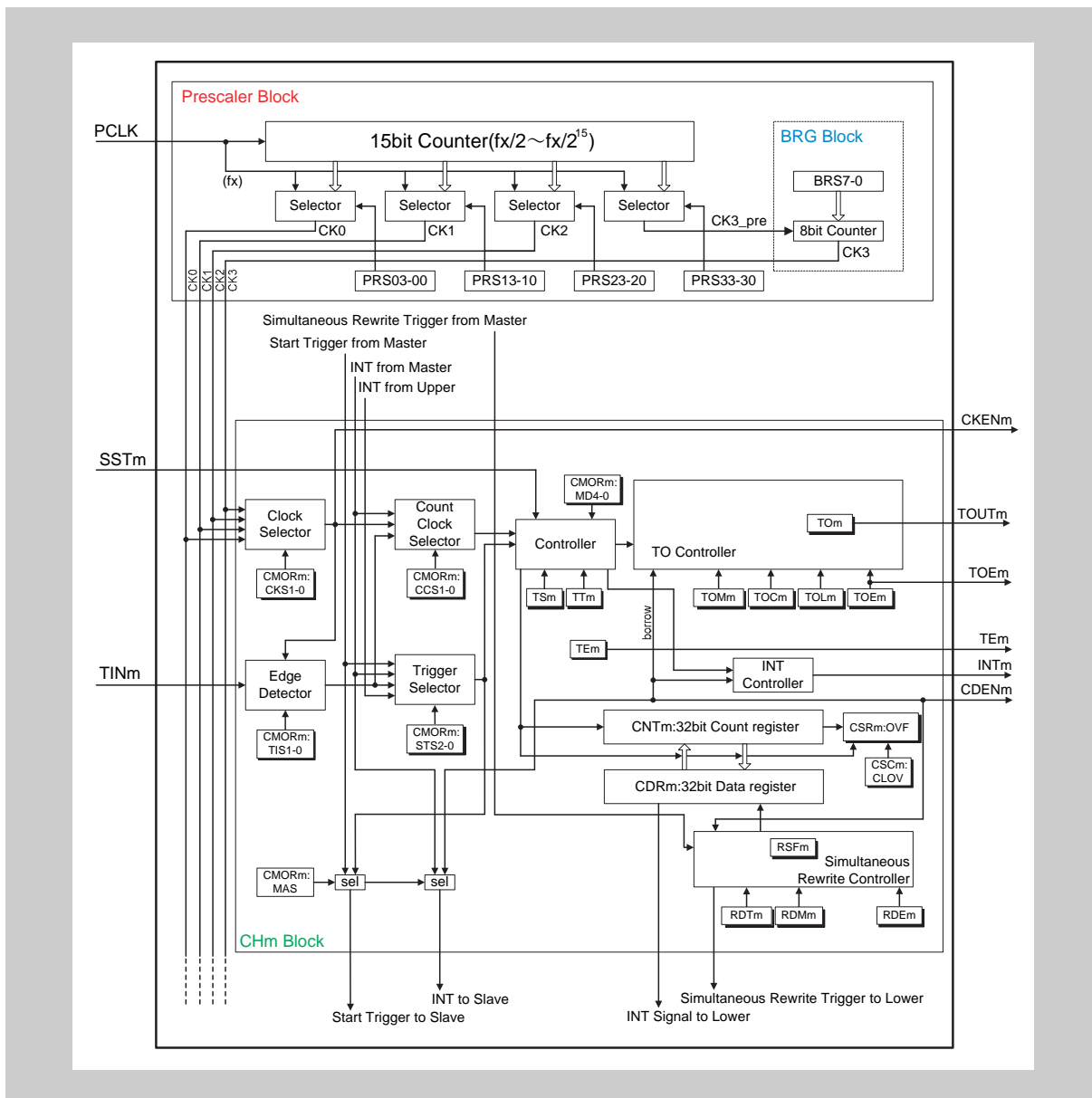


図 18-2 TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

### 18.3.1 用語

この章で使用されている用語について説明します。

- チャンネル単体／連動動作

チャンネル単体／連動動作は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

- チャンネル・グループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネル・グループ」と呼びます。

1つのチャンネル・グループは、1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルで構成されます。

- 動作モード

チャンネル  $m$  ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネル・グループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャ・モード、インターバル・タイマ・モードなどがあります。

- チャンネル出力モード

チャンネル出力モードは、次のチャンネルの  $TAUJnTTOUTm$  の動作を規定します。

- 1つのチャンネル（単体出力動作）
  - チャンネル・グループに属するすべてのチャンネル（連動出力動作）
- チャンネル出力モードには、チャンネル単体出力モード1があります。

- チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネル・グループに属するすべてのチャンネル（チャンネル連動動作）

- 上位／下位チャンネル

チャンネル  $m$  から見て、隣接するチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。

## 18.4 機能説明

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウント・クロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビット・カウンタ TAUJnCNTm と 32ビット・データ・レジスタ TAUJnCDRm をそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータス・レジスタを持っています。

### 単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタ・チャンネルと1つ以上のスレーブ・チャンネルの場合、スレーブ・チャンネルは、マスタ・チャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブ・チャンネルです。マスタ・チャンネルには、複数のスレーブ・チャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセット・タイミング等を制御できます。

機能ブロックを次に説明します。

### プリスケアラ

プリスケアラは、すべてのチャンネルのカウント・クロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウント・クロック CK0-CK2 は、プリスケアラにより PCLK の  $2^0$ - $2^{15}$  の分周したクロックを選択することができます。4つ目のカウント・クロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

### クロックおよび カウント・クロック の選択

クロック・カウント・セレクタは、各チャンネルに対してクロック・ソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロック・セレクタにより選択)
- マスタ・チャンネルからの INTTAUJnIm
- TAUJnTTINm 入力信号の有効エッジ

### コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータス・フラグ TAUJnTE.TAUJnTEm がセットされます。

### トリガ・セレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタート・トリガ信号を待ちます。次の信号をスタート・トリガとして使うことができます。

- チャンネル連動スタート・トリガ入力 TAUJnTSSm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

- 一斉書き換え  
コントローラ** 一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネル・グループに属する全チャンネルのデータ・レジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータ・レジスタの新しい値が同時に有効になります。
- TAUJnTO  
コントローラ** 各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

### 18.4.1 タイマ動作機能一覧

このタイマは各 ch を単体で動作させたり、複数 ch を組み合わせて動作させることで、下記の機能が実現できます。

表 18-8 TAUJ 動作機能一覧

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM 出力機能
TAUJnTTINm 入力インターバル・タイマ機能	
チャンネル単体信号測定機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)	
TAUJnTTINm 入力期間カウント検出機能	
オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)	
TAUJnTTINm 入力パルス・インターバル判定機能	
TAUJnTTINm 入力信号幅判定機能	
その他チャンネル単体機能	
TAUJnTTINm 入力位置検出機能	

## 18.5 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUJnTTOUTm の制御レジスタも初期化され、ロウ・レベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
  - 動作モードを設定してください。
  - チャンネル出力モードを設定してください。
  - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。

カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。  
機能は動作中です。

4. 必要に応じて、かつ設定した機能に対して可能な場合、カウントを停止するか、強制リスタートを実行してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

**備考** 必要な制御ビットと各機能の動作の詳細は、

18.15 「チャンネル単体割り込み機能」

18.16 「チャンネル単体信号測定機能」

18.17 「その他のチャンネル単体機能」

15.18 「チャンネル単体リアルタイム機能」

を参照してください。

## 18.6 動作モード

TAUJ には 7 の動作モードがあります。

各チャンネルに動作モードを 1 つ指定できます。動作モードは、TAUJnCMORm.TAUJnMD[4:0] ビットで指定します。

**備考** 各レジスタと各ビットには、動作機能によって固定される場合と、ユーザーが選択できる場合があります。

各レジスタと各ビットの設定値は各動作機能章を参照してください。



## 18.7 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。ルールの詳細は、18.7.1「ルール」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 18.7.2「連動チャンネル・カウンタの同時動作開始／停止」
- 18.8「一斉書き換え」

### 18.7.1 ルール

#### マスタおよびスレーブ・チャンネル数

- マスタ・チャンネルには、偶数チャンネル (CH0, CH2) のみ設定できます。スレーブ・チャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタ・チャンネルより下位のチャンネルのみスレーブ・チャンネルとして設定でき、1つのマスタ・チャンネルに対し複数のスレーブ・チャンネルを設定できます。  
例：CH2がマスタ・チャンネルの場合、CH3をスレーブ・チャンネルに設定できます。
- マスタ・チャンネルを2つ使用する場合、マスタ・チャンネルを跨いだスレーブ・チャンネルの設定はできません。  
例：CH0, CH2がマスタ・チャンネルの場合、CH0に対してCH1をスレーブ・チャンネルとして設定できますが、CH3は設定できません。

#### 動作クロック

- マスタ・チャンネルと連動するスレーブ・チャンネルには同じ動作クロックを設定する必要があります。マスタ・チャンネルとスレーブ・チャンネルのTAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブ・チャンネルの使用と動作クロックの基本的な概念を次の図に示します。

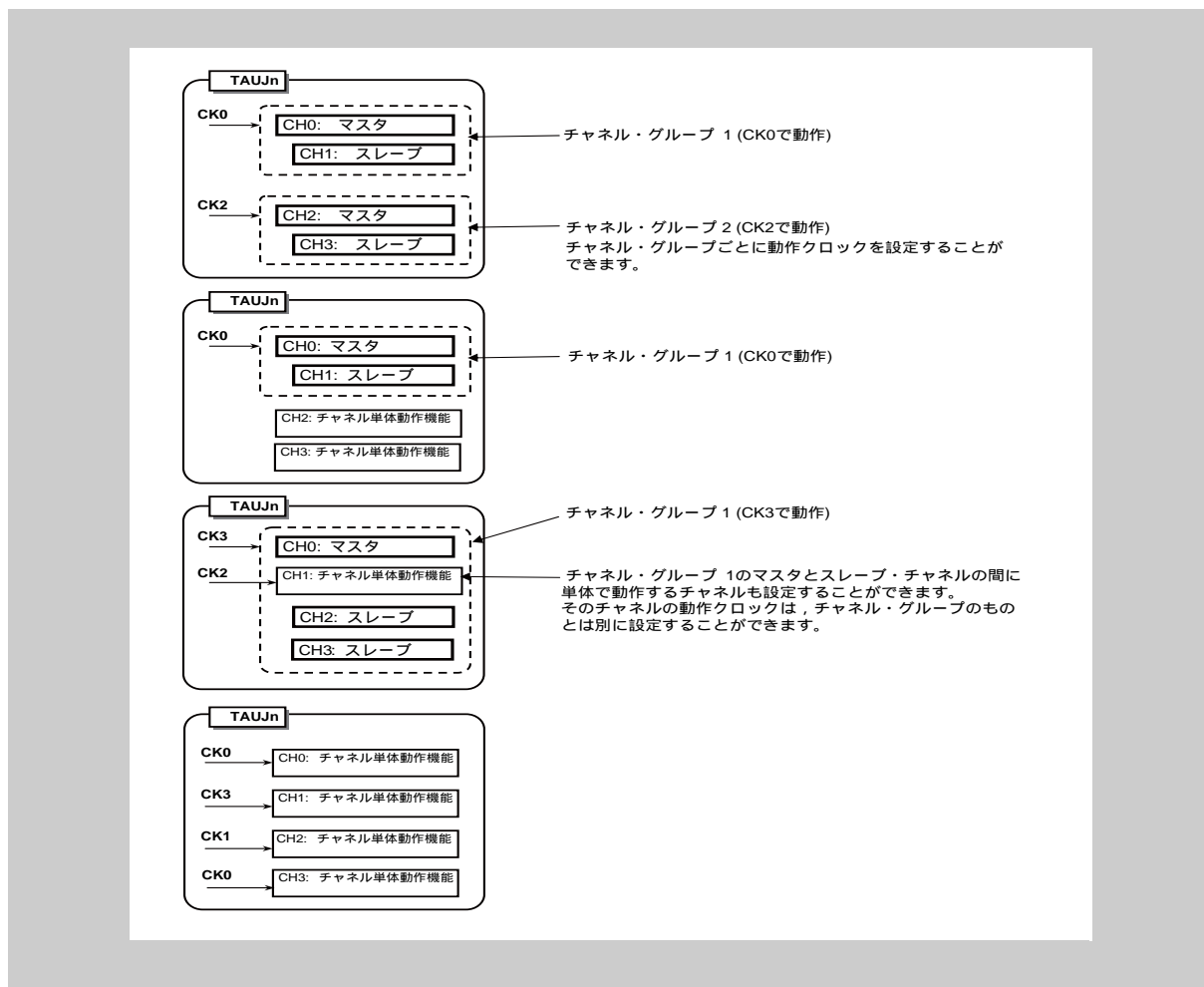


図 18-3 チャンネルのグループ化と動作クロックの割り当て

**マスタ・チャンネル、スレーブ・チャンネルの制御トリガ信号**

- マスタ・チャンネルは、制御トリガ信号をスレーブ・チャンネルに出力することができます。
- スレーブ・チャンネルは、マスタ・チャンネルの制御トリガ信号 I を使用できますが、スレーブ・チャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタ・チャンネルは、自身より上位のマスタ・チャンネルの制御トリガ信号を使用することはできません。

## 18.7.2 連動チャネル・カウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

### (1) ユニット内の連動チャネル・カウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらのTAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらのTAUJnTT.TAUJnTTM ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに1を設定することにより、対応するTAUJnTE.TAUJnTEM ビットが1にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

### (2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

## 18.8 一斉書き換え

### 18.8.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

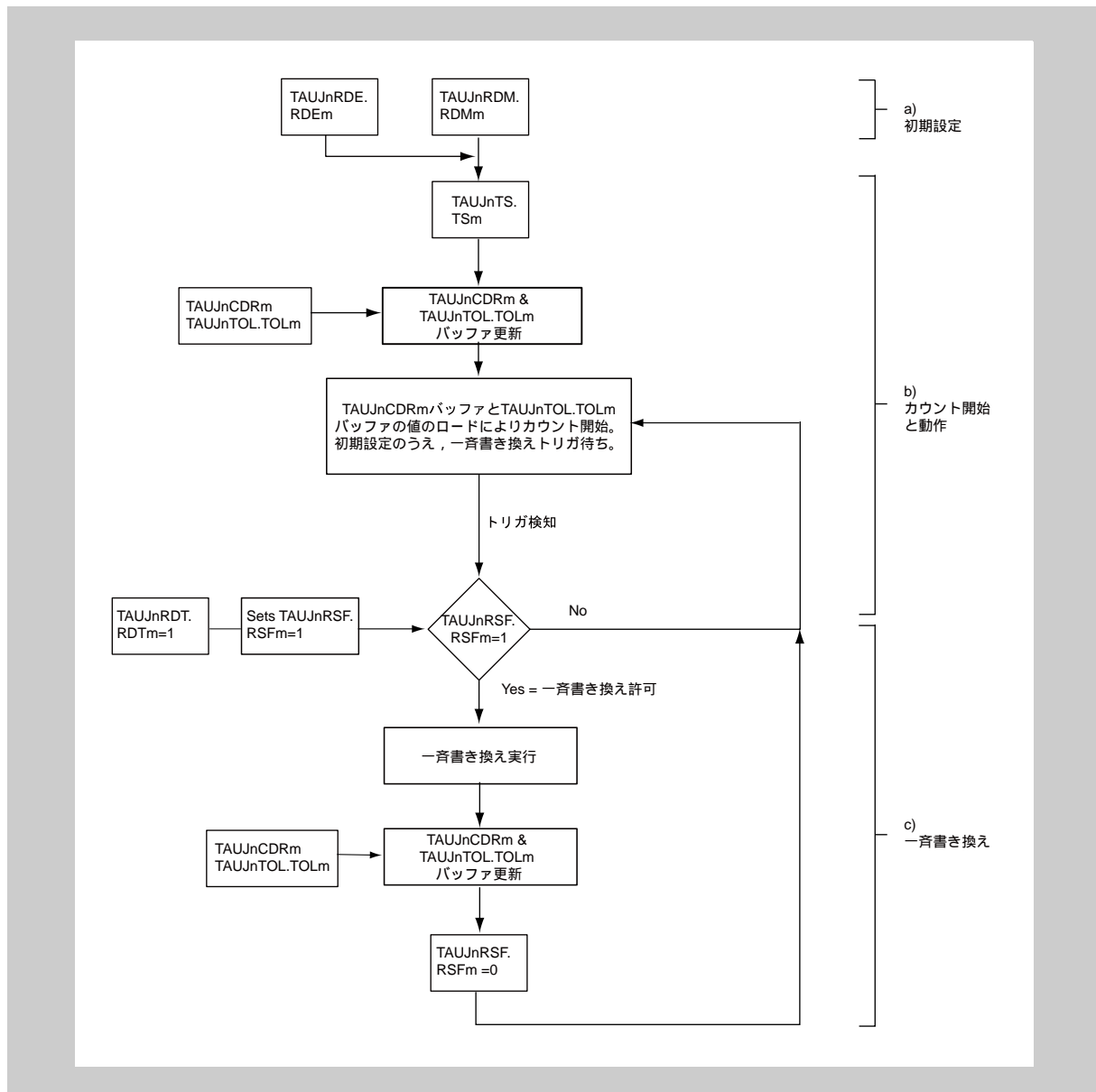


図 18-4 一斉書き換えの基本手順

**(1) 初期設定**

- チャンネル m にて一斉書き換えを許可するには、  
TAUJnRDE.TAUJnRDEm = 1 を設定してください。
- マスタ・チャンネルがカウント開始時に一斉書き換えの種類を選ぶには、  
TAUJnRDM.TAUJnRDMm を設定してください。

**(2) カウント開始とカウント動作**

- チャンネル・グループに属するすべての TAUJnCnTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータ・レジスタ (TAUJnCDRm) の値は、対応する TAUJnTOL.TAUJnTOLm バッファ (TAUJnTOL.TAUJnTOLm buf) とデータ・バッファ・レジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、リロード・フラグ (TAUJnRSF.TAUJnRSFm) が 1 に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

**(3) 一斉書き換え**

- 一斉書き換えトリガが検出され、一斉書き換えが許可 (TAUJnRSF.TAUJnRSFm = 1) されると、データ・レジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

## 18.8.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 ( $\text{TAUJnTE.TAUJnTE} = 1$ ) は、 $\text{TAUJnRDE.TAUJnRDE}$ ,  $\text{TAUJnRDM.TAUJnRDM}$  を変更することはできません。
- $\text{TAUJnTOL.TAUJnTOL}$  は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、 $\text{TAUJnTOL.TAUJnTOL}$  はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、 $\text{TAUJnTTOUT}$  は不正な波形を出力します。

### 18.8.3 一斉書き換えの方法

マスタ・チャンネルがカウント開始／再開時に一斉書き換えは行われます。  
一斉書き換えの方法を次の図で示します。

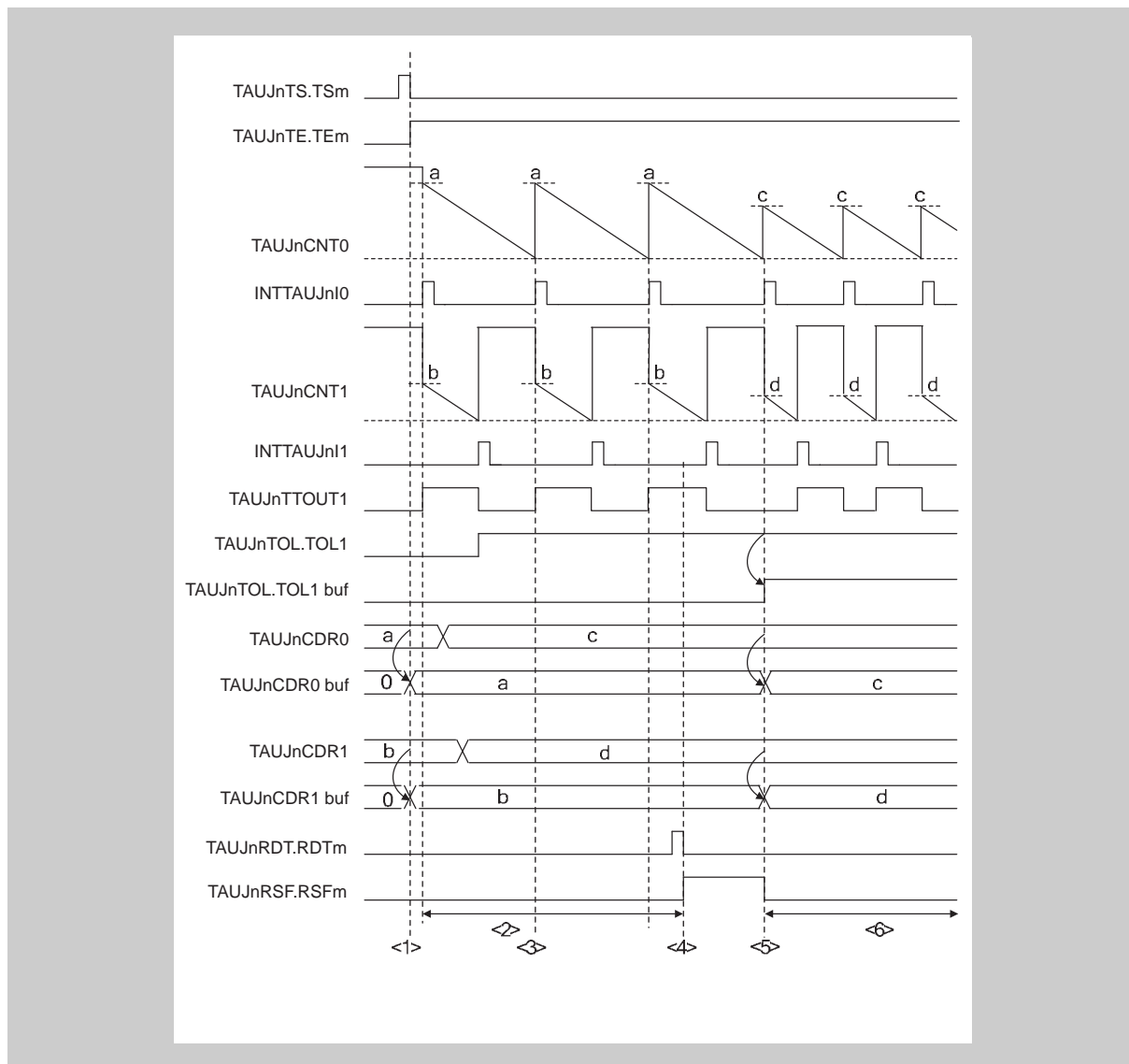


図 18-5 マスタ・チャンネルがカウントを再開／開始した場合の一斉書き換え

設定

- CH0 は、ダウン・カウントを行うマスタ・チャンネルです。CH1 は、任意のスレーブ・チャンネルです。一斉書き換えは、マスタ・チャンネルがカウント開始時に適用されます。

説明：

1. TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
2. TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。
3. CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
4. リロード・データ・トリガ・ビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータス・フラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
5. 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
6. カウンタはダウン・カウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。



## 18.9 チャネル出力モード

TAUJnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUJnTOE.TAUJnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタ・ビット (TAUJnTO.TAUJnTOm) に書き込んだ値は、出力端子 (TAUJnTTOUTm) に転送されます。

- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)

TAUJ 信号で制御した場合、TAUJnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJnTTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。

- 単体制御 (TAUJnTOM.TAUJnTOMm = 0)

単体動作の場合、TAUJnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。

- 連動制御 (TAUJnTOM.TAUJnTOMm = 1)

連動動作の場合、TAUJnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJnTTOUTm の現在の値を確認することができます。

**制御ビット** 特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、表 18-9 「チャンネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 18.9.2 「TAUJn 信号により単体制御されるチャンネル出力モード」
- 18.9.3 「TAUJn 信号により連動制御されるチャンネル出力モード」

**TAUJnTOm ビットの一括操作** TAUJnTOm ビットへの設定値の反映 / 非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOm の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOm の設定値は反映されません。

**備考** TAUJnTO.TAUJnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

**出力論理** 出力の正論理または反転論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJnTTOUTm 信号の出力は不定になります。

18.8「一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します (TAUJnTOC.TAUJnTOCm = 0)。

表 18-9 チャネル出力モード

チャネル出力モード	TAUJnTOE. TAUJnTOEm	TAUJnTOM. TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

**備考** 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。

- TAUJnTOE.TAUJnTOEm
- TAUJnTOM.TAUJnTOMm
- TAUJnTOC.TAUJnTOCm

### 18.9.1 チャンネル出力モードを指定するための基本手順

TAUJnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

1. TAUJnTO.TAUJnTOm を設定して TAUJnTTOUTm 出力の初期レベルを指定してください。
2. 表 18-9 「チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUJnTS.TAUJnTSm = 1)。

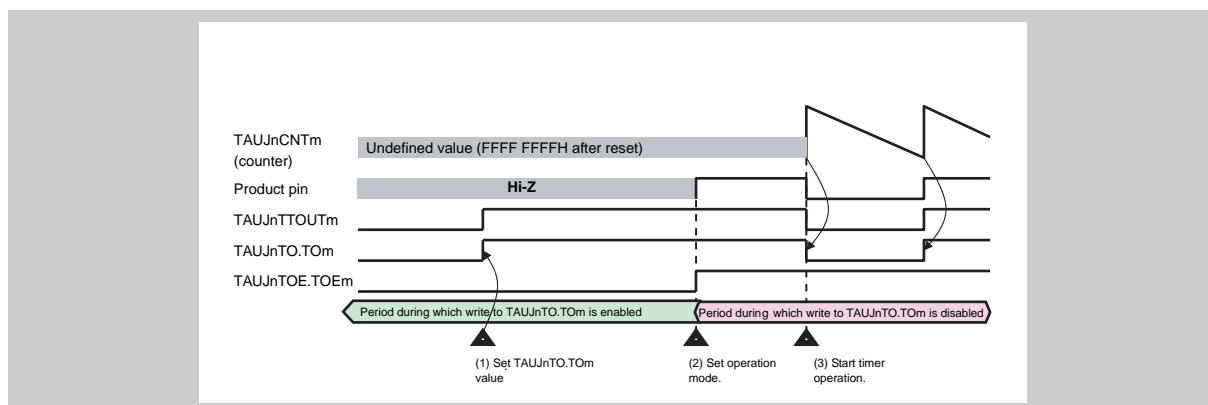


図 18-6 TAUJnTTOUTm チャンネル出力モードを指定するための基本手順

## 18.9.2 TAUJn 信号により単体制御されるチャネル出力モード

この節では、TAUJn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 18-9「チャネル出力モード」に示します。

### (1) チャネル単体出力モード1

セット/リセット条件	この出力モードでは、INTTAUJnIm が検出されると TAUJnTTOUtm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。
前提条件	表 18-9「チャネル出力モード」に示す条件以外の条件はありません。

## 18.9.3 TAUJn 信号により連動制御されるチャネル出力モード

この節では、TAUJn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、表 18-9「チャネル出力モード」に示します。

### (1) チャネル連動出力モード1

セット/リセット条件	この出力モードでは、マスタ・チャネルの INTTAUJnIm がセット信号、スレーブ・チャネルの INTTAUJnIm がリセット信号となります。マスタ・チャネルの INTTAUJnIm とスレーブ・チャネルの INTTAUJnIm が同時発生した場合、スレーブ・チャネルの INTTAUJnIm (リセット信号) は、マスタ・チャネルの INTTAUJnIm (セット信号) より優先されます (マスタ・チャネルは無視されます)。
前提条件	表 18-9「チャネル出力モード」に示す条件以外の条件はありません。

## 18.10 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データ・レジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

**注意** 本節に記載するカウント開始タイミングは参考例です。実際にはカウンタクロックタイミングにより、カウント開始タイミングは前後します。

### 18.10.1 インターバル・タイマ・モード，キャプチャ・モード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウント・クロック・サイクル開始時に動作を開始します。このとき、データ・レジスタの値もロードされます。

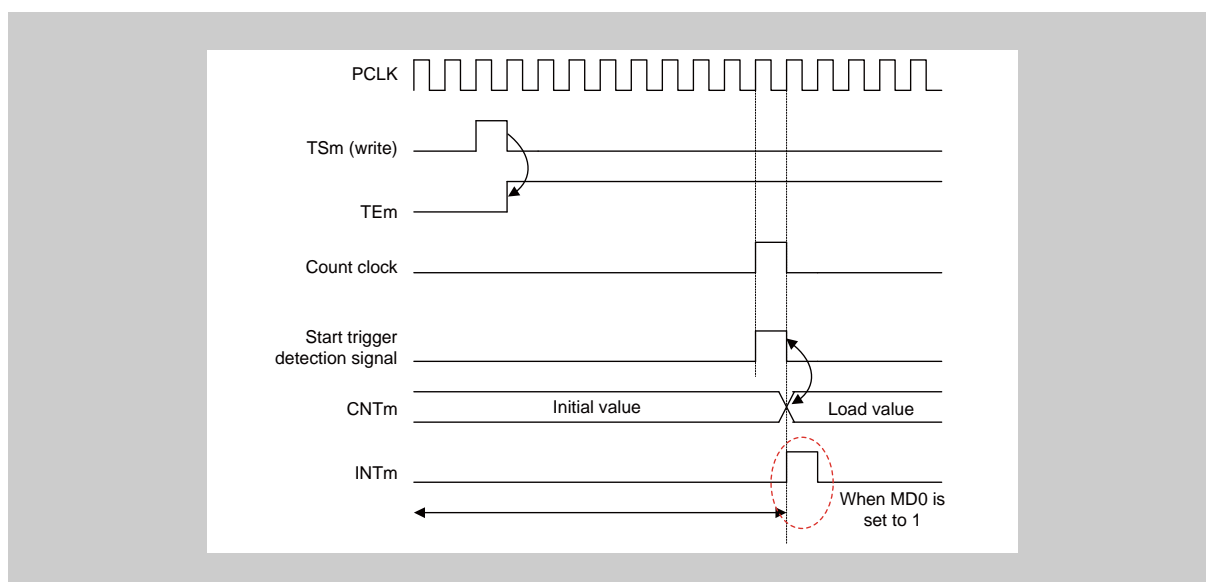


図 18-7 インターバル・タイマ・モード，キャプチャ・モードでの開始タイミング

18.10.2 その他の動作モード

その他の動作モードでは、カウント・クロック・サイクルはカウンタ動作開始に関係しません。カウンタは TAUJnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データ・レジスタ値もロードされます。カウント・クロック・サイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

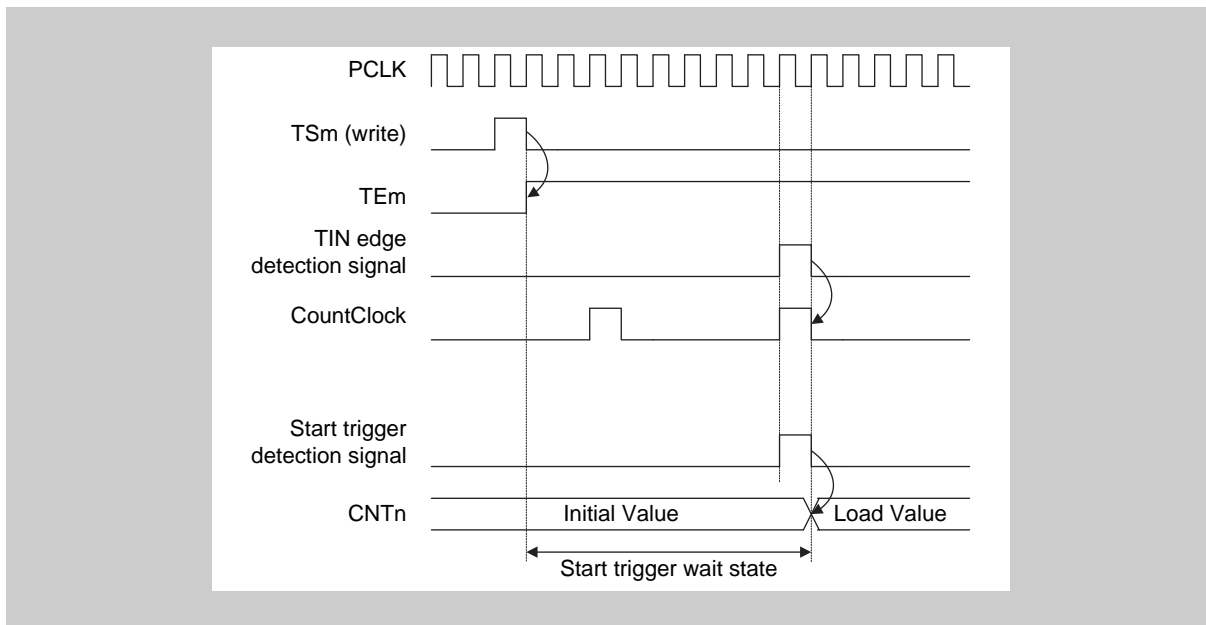


図 18-8 その他の動作モードでのカウント開始タイミング

### 18.11 カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)

カウンタのカウント開始時, TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように, ビットの影響は, 選択したモードに依存します。INTTAUJnIm の TAUJnTTOUTm に対する影響は, 選択したチャネル動作機能に依存します。

表 18-10 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始／再開時, または TAUJnTTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	0	発生しない
	1	発生
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	0	発生しない
ワンカウント・モード ゲート・カウント・モード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

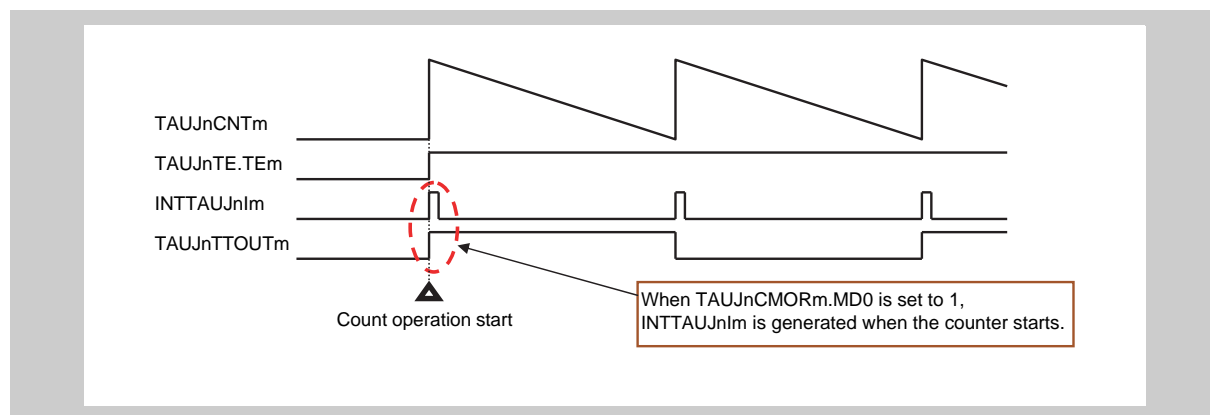


図 18-9 カウント開始時の INTTAUJnIm 発生

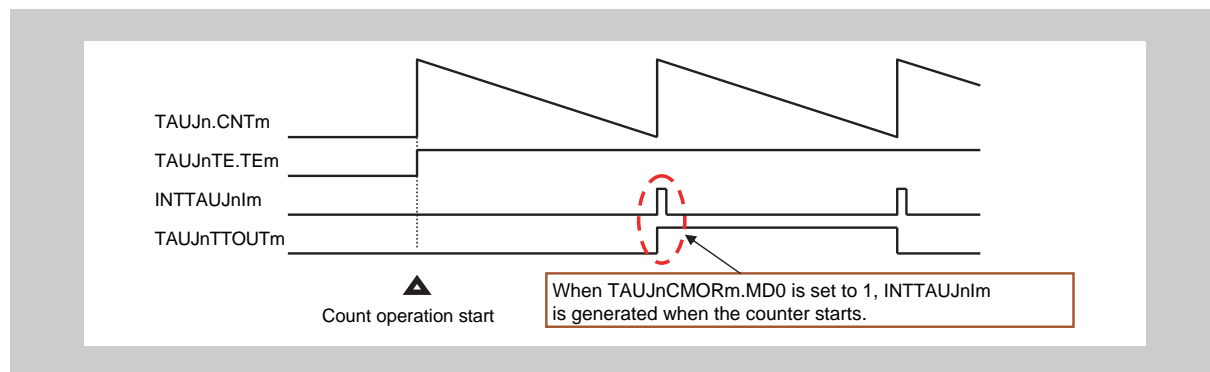


図 18-10 カウント開始時に INTTAUJnIm が発生しない

## 18.12 オーバフロー時の割り込み発生

特定の単体機能では、アップ・カウント時にカウンタ値が FFFF FFFF<sub>H</sub> になりオーバフローになる際、割り込みが発生しません。この節では、アップ・カウントを行うモードでのチャンネル動作と、ダウン・カウントを行うモードでのチャンネル動作を組み合わせで割り込みを発生させる方法を説明します。

どの動作モードがセカンド・チャンネルに適切かは、ファースト・チャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンド・チャンネルに、ファースト・チャンネルでのオーバフロー発生と同時に 0000 0000<sub>H</sub> になるようなダウン・カウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF<sub>H</sub>)。
- セカンド・チャンネルの TAUJnCDRm を FFFF FFFF<sub>H</sub> に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウント・クロックが同じでなければなりません)。
- 両チャンネルが同じ TAUJnTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。
- これは、設定可能な「入力セレクタ」(システム・レベル) を使用して TAUJ0 と TAUJ4 でのみ可能です。

結果：ファースト・チャンネルのアップ・カウンタでのオーバフロー発生 (TAUJnCNTm = FFFF FFFF<sub>H</sub>) と同時にセカンド・チャンネルのダウン・カウンタが 0000 0000<sub>H</sub> になります。そしてセカンド・チャンネルは任意の割り込みを発生させます。

以降の節で、アップ・カウントを行う動作モードとの組み合わせに必要なダウン・カウントを行う動作モードの一覧と、タイミング図の例を示します。



### 18.12.1 キャプチャ・モード

適用機能 • TAUJnTTINm 入力パルス・インターバル測定機能

組み合わせるモード インターバル・タイマ・モード

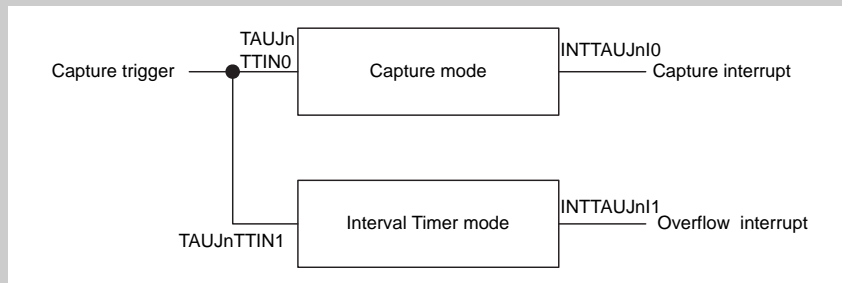


図 18-11 キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

#### タイミング図

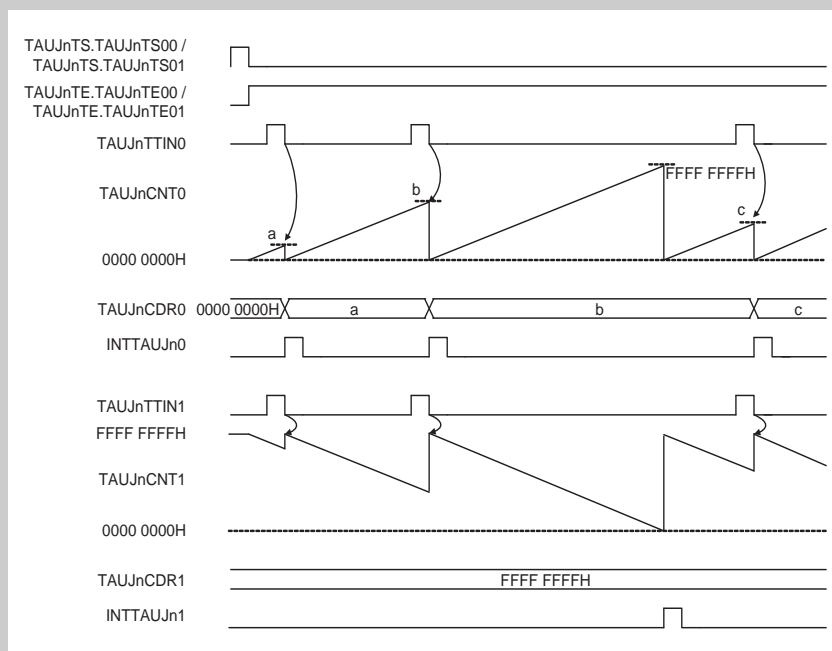


図 18-12 キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

### 18.12.2 キャプチャ & ワンカウント・モード

適用機能 • TAUJnTTINm 入力信号幅測定機能

組み合わせるモード ワンカウント・モード

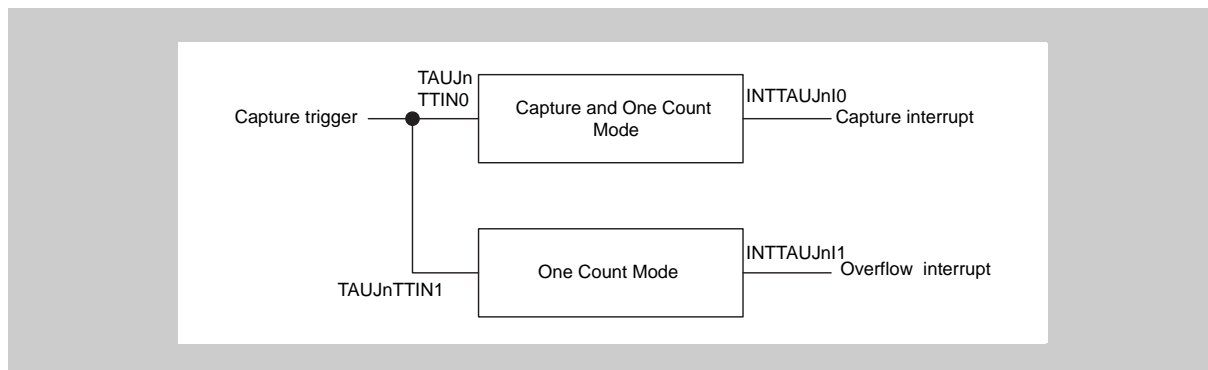


図 18-13 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせ

#### タイミング図

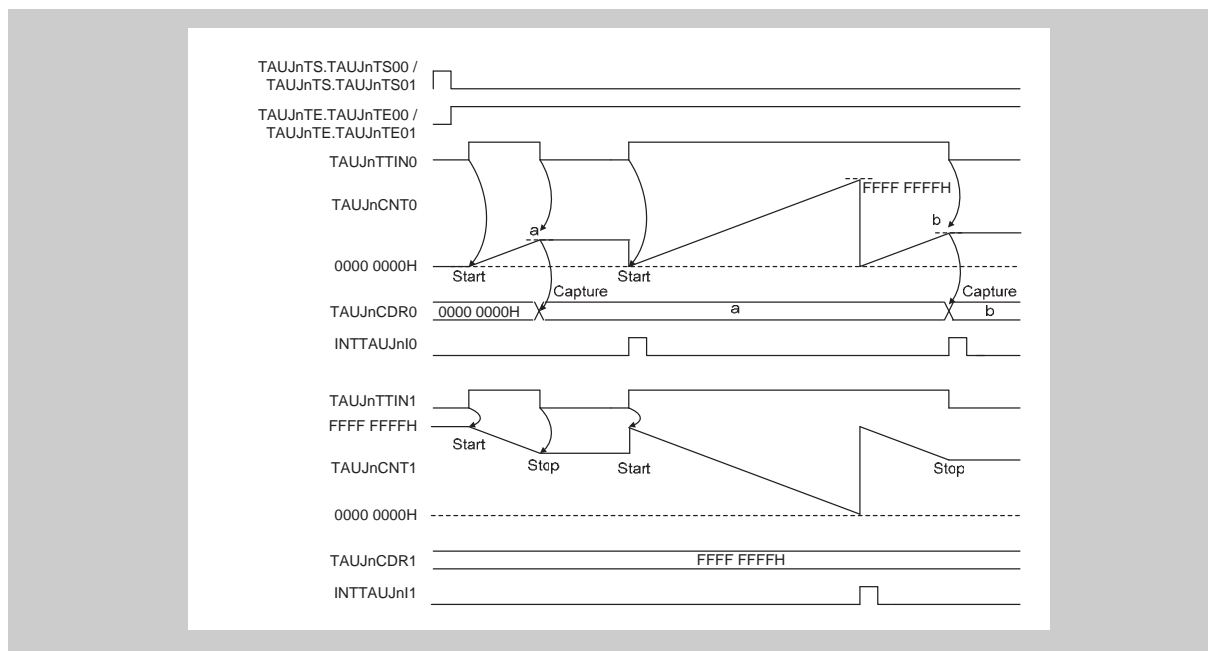


図 18-14 キャプチャ & ワンカウント・モードとワンカウント・モードの組み合わせによる割り込み発生

### 18.12.3 カウント・キャプチャ・モード

適用機能 • TAUJnTTINm 入力位置検出機能

組み合わせるモード インターバル・タイマ・モード

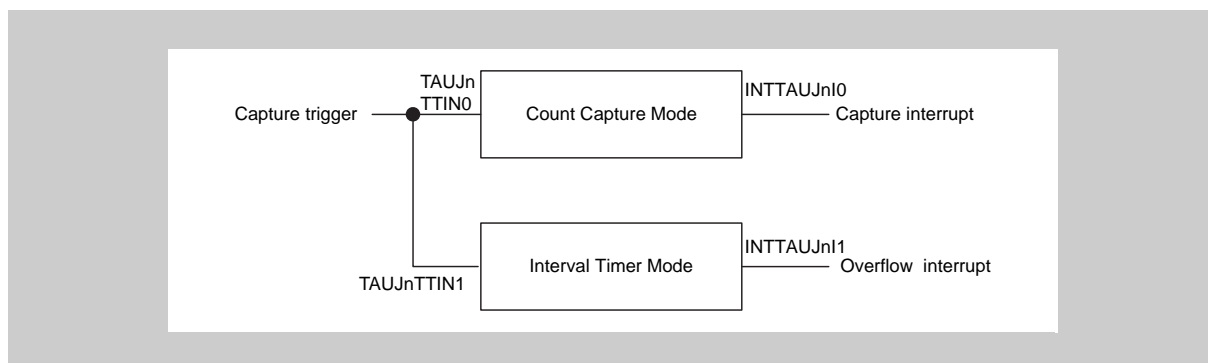


図 18-15 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせ

#### タイミング図

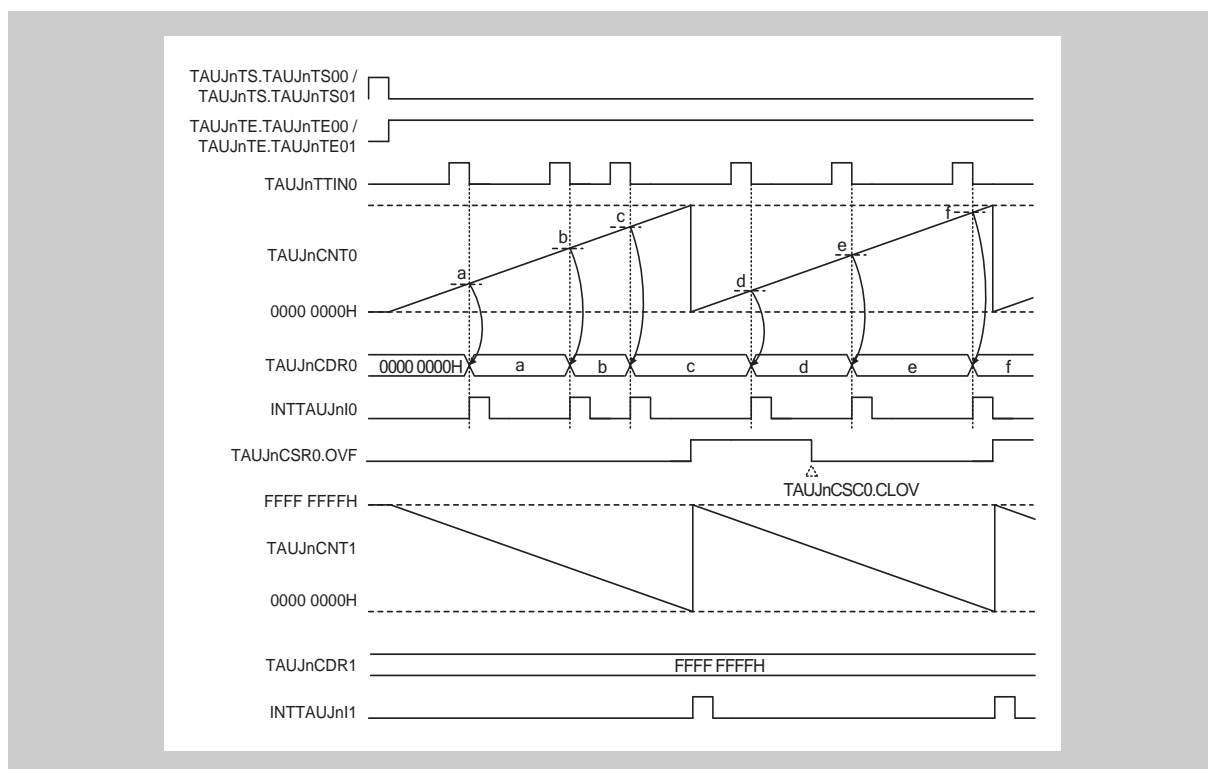


図 18-16 カウント・キャプチャ・モードとインターバル・タイマ・モードの組み合わせによる割り込み発生

上の図では、TAUJnCNTm がオーバフローになったときに TAUJnCSRm.TAUJnOVF が 1 に設定されています。TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV へ 1 を書き込むことによりクリアされます。

## 18.12.4 キャプチャ&amp;ゲート・カウント・モード

適用機能 • TAUJnTTINm 入力期間カウント検出機能

組み合わせるモード ゲート・カウント・モード

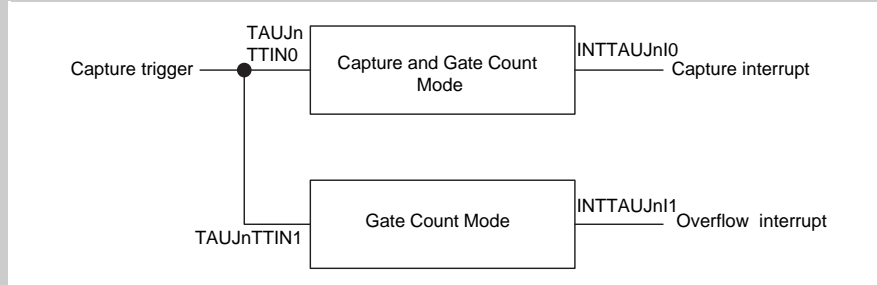


図 18-17 キャプチャ &amp; ゲート・カウント・モードとゲート・カウント・モードの組み合わせ

## タイミング図

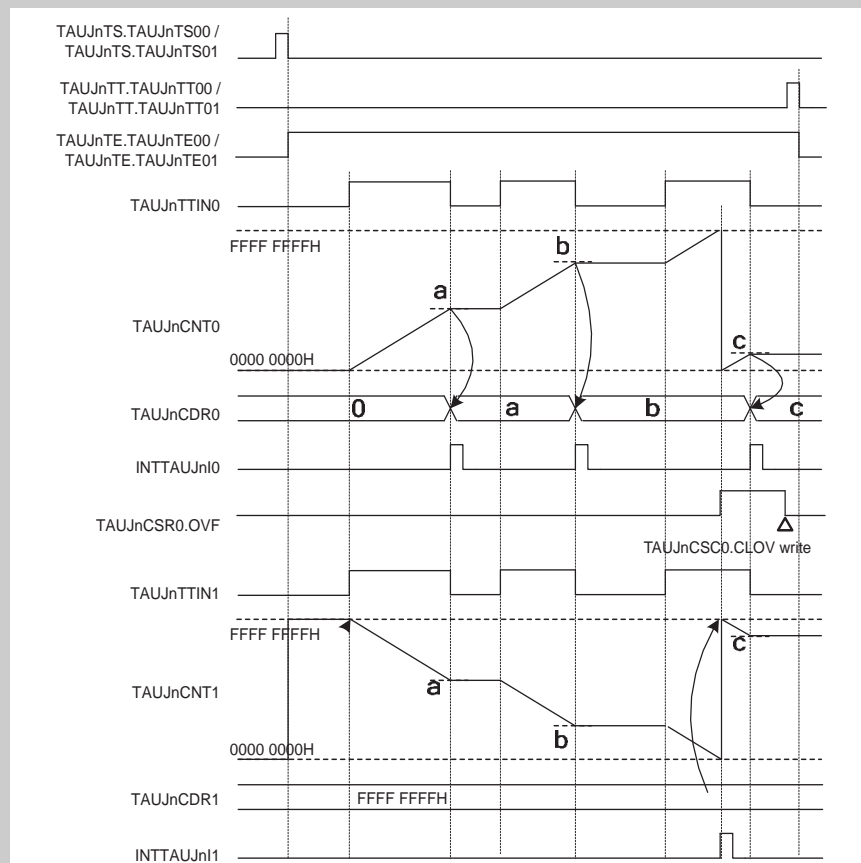


図 18-18 キャプチャ &amp; ゲート・カウント・モードとゲート・カウント・モードの組み合わせによる割り込み発生

上の図では、TAUJnCNTm がオーバーフローになったときに TAUJnCSRm.TAUJnOVF が 1 に設定されています。TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV へ 1 を書き込むことによりクリアされます。

### 18.13 TAUJnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

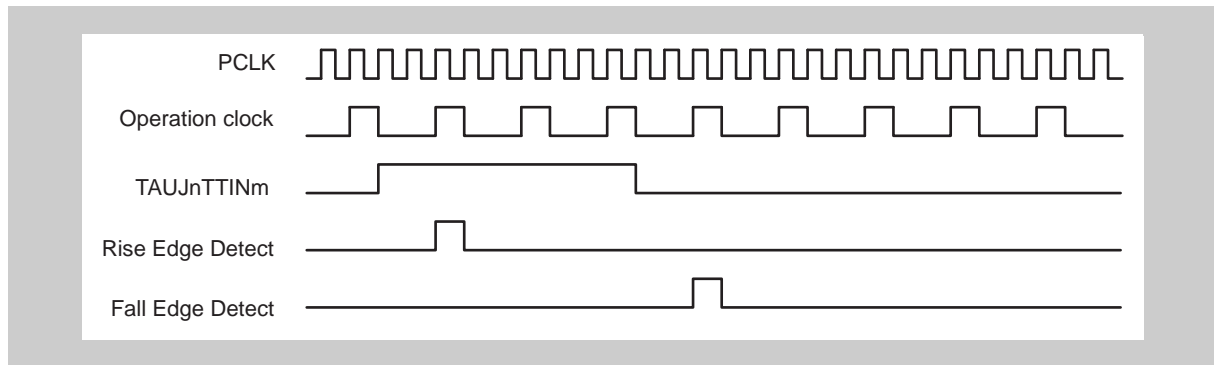


図 18-19 エッジ検出基本動作タイミング

図 18-19 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

## 18.14 チャンネル単体動作機能

TAUJ の各種チャンネル単体動作機能を次の項で説明します。チャンネル単体動作の概要は、18.4「機能説明」を参照してください。

## 18.15 チャンネル単体割り込み機能

この節では、一定間隔で割り込みを発生する機能を示します。

- 18.15.1 「インターバル・タイマ機能」
- 18.15.2 「TAUJnTTINm 入インターバル・タイマ機能」

### 18.15.1 インターバル・タイマ機能

#### (1) 概要

**概要** この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 18-11 「インターバル・タイマ機能の TAUJnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。18.9 「チャンネル出力モード」を参照してください。

**機能説明** チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。

カウンタ値が 0000 0000<sub>H</sub> になると、INTTAUJnIm が発生し、TAUJnTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウン・カウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

**条件** TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJnTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJnTTOUTm 信号が出力されます。詳細は、18.11 「カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

(2) 算出式

INTTAUJnIm の周期 = カウント・クロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUJnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

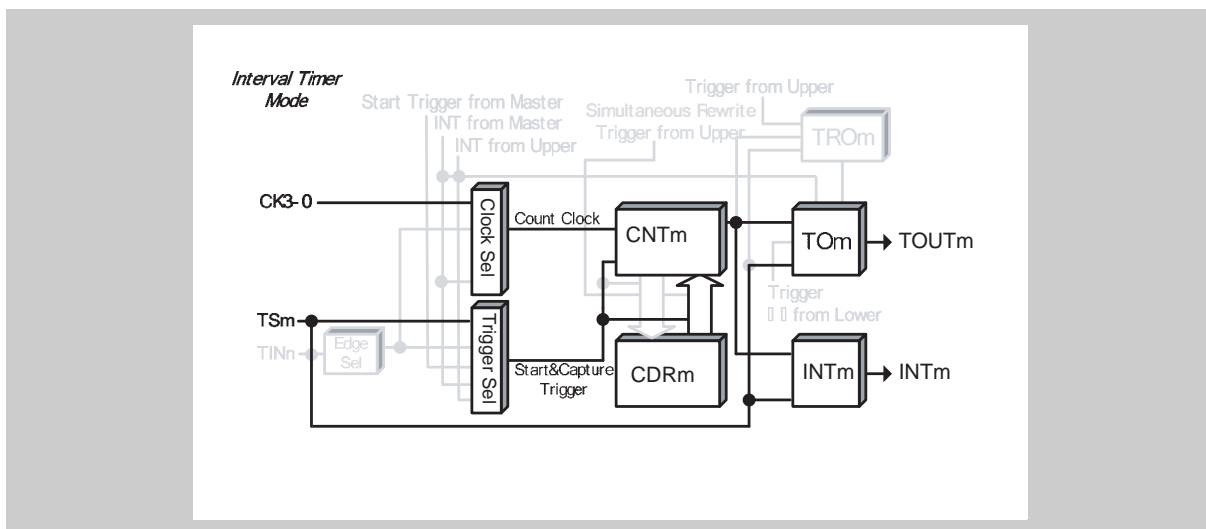


図 18-20 インターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

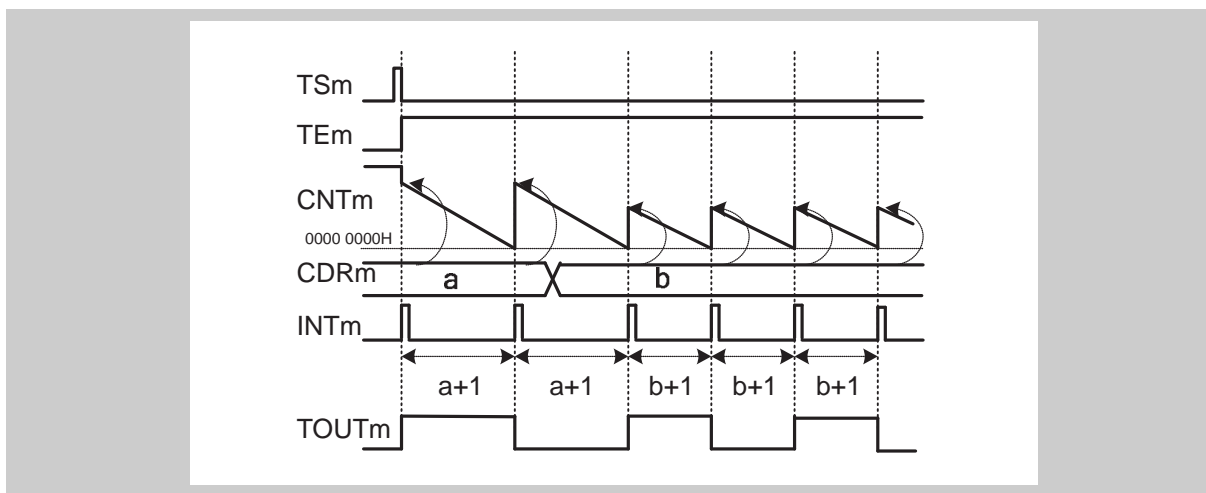


図 18-21 インターバル・タイマ機能の基本タイミング図



## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJn STS[2:0]	TAUJn COS[1:0]	—	—	—	—	—	—	TAUJn MD[4:1]	—	—	—	TAUJn MD0

表 18-11 インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0000 : インターバル・タイマ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUJnIm が発生し, TAUJnTTOUTm はトグルされる

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS[1:0]

表 18-12 インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 未使用, 00 を設定

## (c) チャネル出力モード

表 18-13 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0時はトグル・モード)
TAUJnTOL.TAUJnTOLm	0: 正論理

**備考** チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUTmを割り込みとは独立させて制御することができます。詳細は18.9「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 18-14 インターバル・タイマ機能の一斉書き換え設定

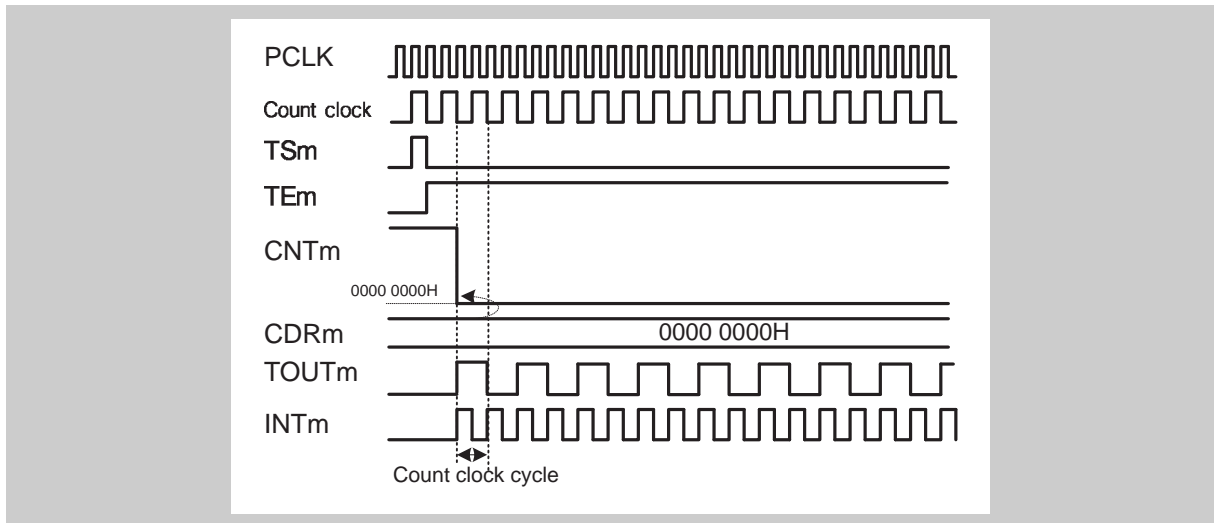
ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0を設定

## (5) インターバル・タイマ機能の操作手順

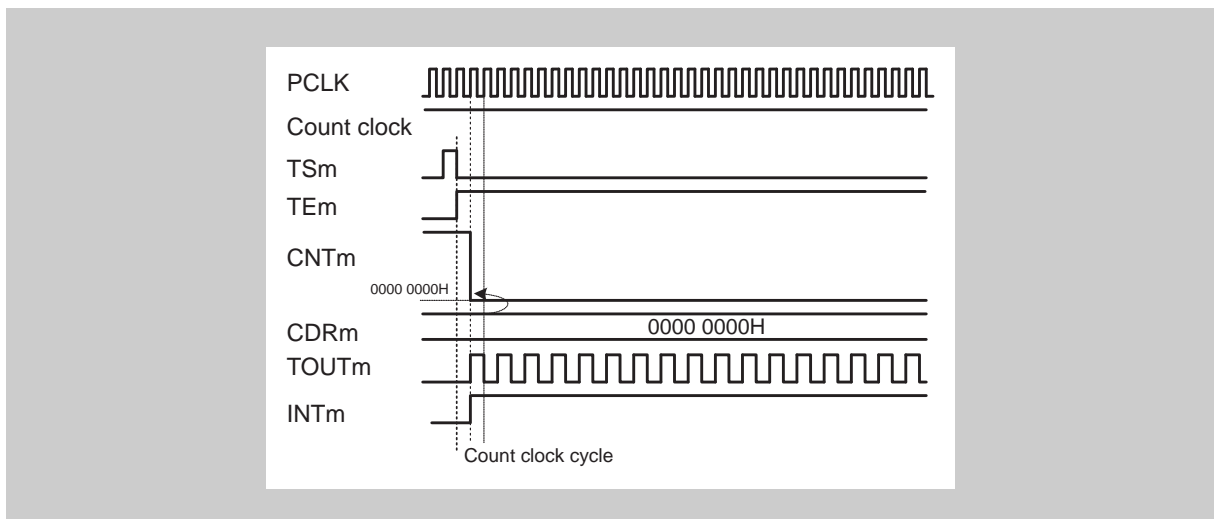
表 18-15 インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを表 18-11「インターバル・タイマ機能の TAUJnCMORm 設定」、表 18-12「インターバル・タイマ機能の TAUJnCMURm 設定」に示すように設定します。  TAUJnCDRm レジスタの値を設定します。  制御ビットを表 18-13「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。
	動作中 TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 <sub>H</sub> になった場合： <ul style="list-style-type: none"> <li>再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。</li> <li>INTTAUJnIm が発生し、TAUJnTTOUTm がトグルされます。</li> </ul>
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

## (6) 特定の設定時のタイミング図

(a) TAUJnCDRm = 0000 0000<sub>H</sub>, カウント・クロック = PCLK/2図 18-22 TAUJnCDRm = 0000 0000<sub>H</sub>, カウント・クロック = PCLK/2

- TAUJnCDRm = 0000 0000<sub>H</sub>, かつカウント・クロック = PCLK/2<sup>1</sup> の場合, カウント・クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり, TAUJnCNTm は常に 0000 0000<sub>H</sub> です。
- INTTAUJnIm がカウント・クロックごとに発生するので, TAUJnTTOUTm はカウント・クロックごとにトグルされます。

(b) TAUJnCDRm = 0000 0000<sub>H</sub>, カウント・クロック = PCLK図 18-23 TAUJnCDRm = 0000 0000<sub>H</sub>, カウント・クロック = PCLK

- TAUJnCDRm = 0000 0000<sub>H</sub>, かつカウント・クロック = PCLK の場合, PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり, TAUJnCNTm は常に 0000 0000<sub>H</sub> です。
- 継続的に INTTAUJnIm が発生し, PCLK クロックごとに TAUJnTTOUTm がトグルされます。

## (c) 動作の停止と再開

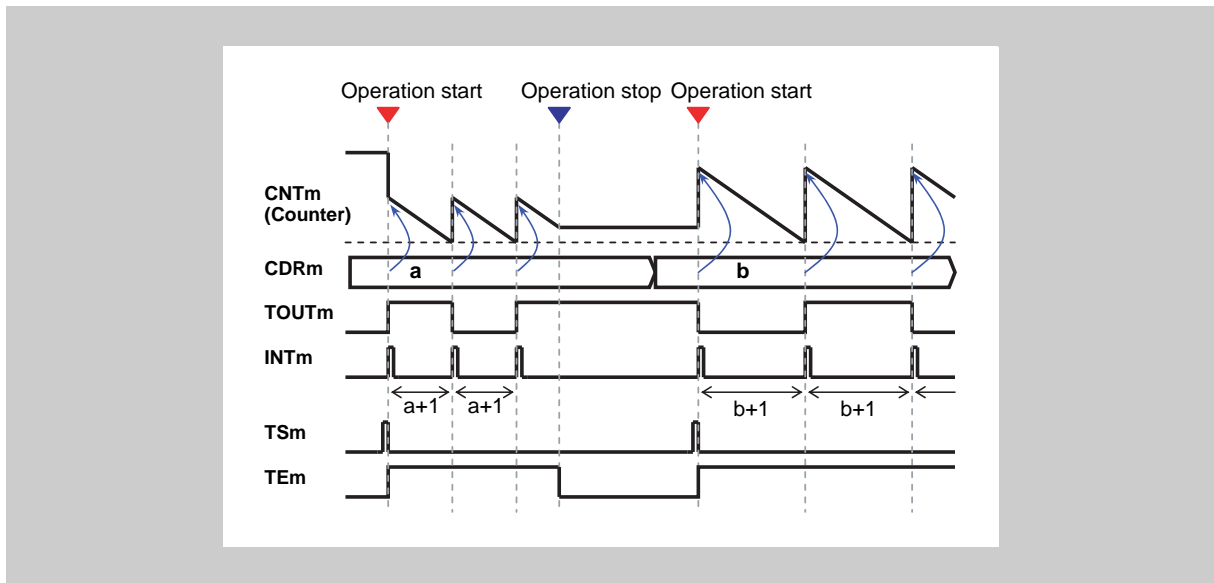


図 18-24 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

## (d) 強制リスタート

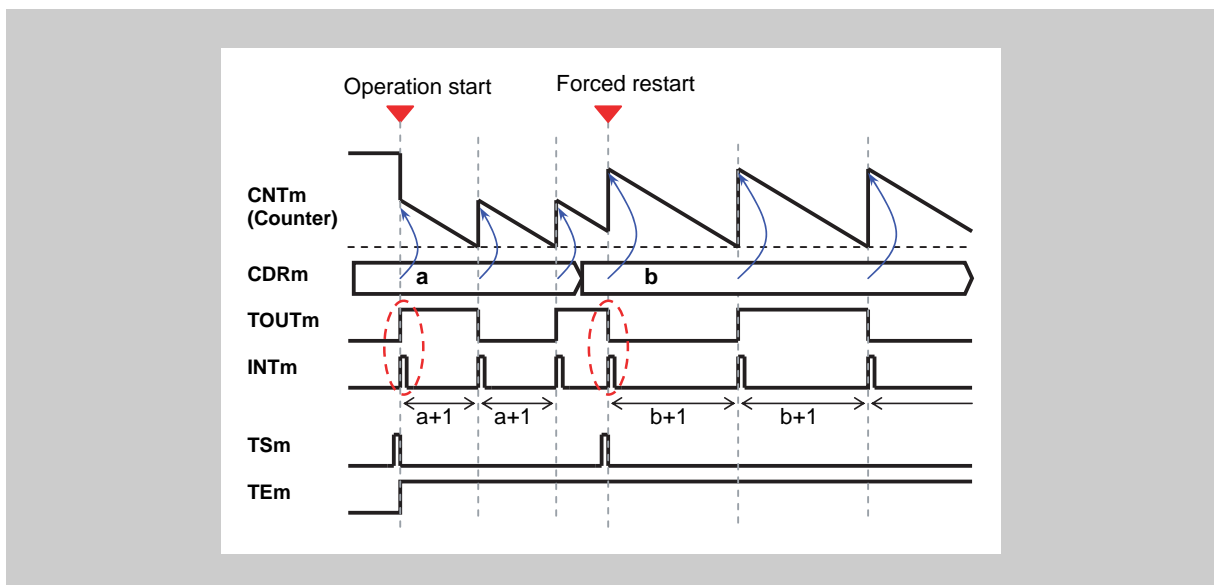


図 18-25 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できません (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

## 18.15.2 TAUJnTTINm 入カインターバル・タイマ機能

### (1) 概要

**概要** この機能は、一定間隔または有効な TAUJnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

- 前提条件**
- 動作モードはインターバル・タイマ・モードに設定する必要があります (表 18-16 「TAUJnTTINm 入カインターバル・タイマ機能の TAUJnCMORm 設定」参照)。
  - チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。18.9 「チャンネル出力モード」を参照してください。

**機能説明** この機能は、有効な TAUJnTTINm 入力エッジで再開される以外、インターバル・タイマ機能と同様に動作します (18.15.1 「インターバル・タイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

### (2) 算出式

INTTAUJnIm の周期 = カウント・クロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウント・クロック周期 × (TAUJnCDRm + 1) × 2

### (3) ブロック図と基本タイミング図

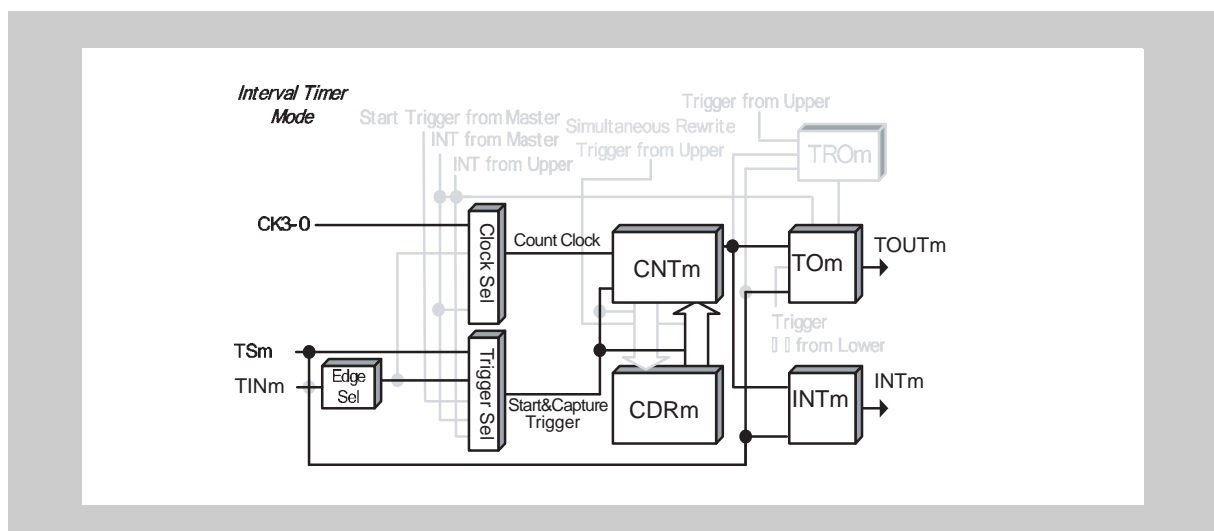


図 18-26 TAUJnTTINm 入カインターバル・タイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01<sub>B</sub>)

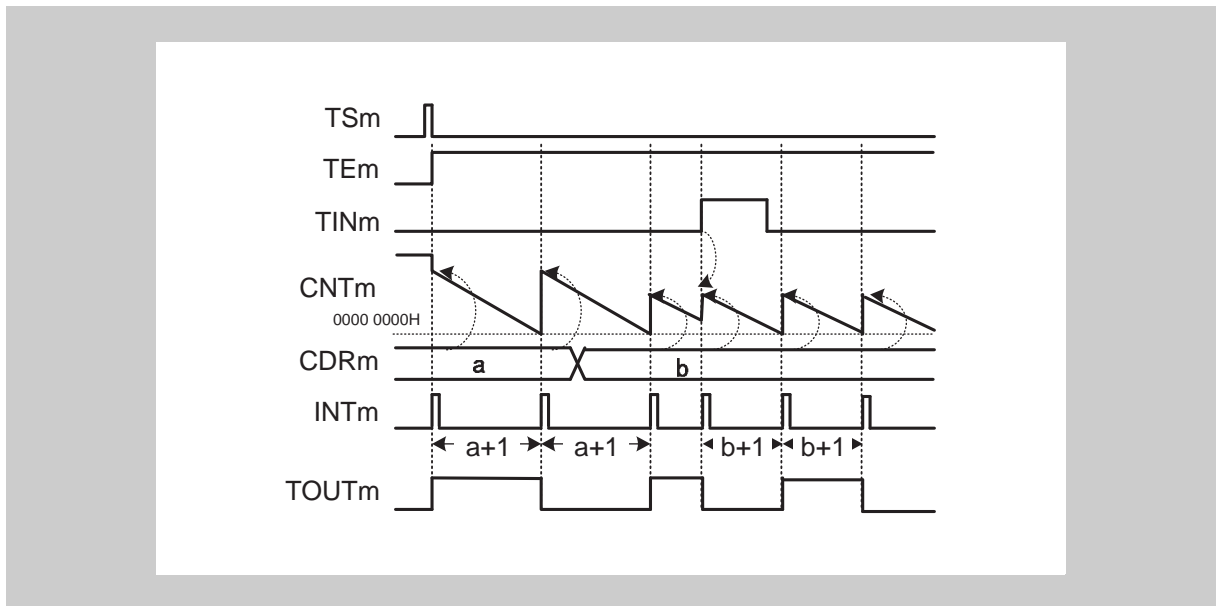


図 18-27 TAUJnTTINm 入カインターバル・タイマ機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJ nMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		-		TAUJnMD[4:1]				TAUJn MD0		

表 18-16 TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	001 : 有効な TAUJnTTINm 入力エッジ信号を外部スタート・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0000 : インターバル・タイマ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず, TAUJnTTOUtm はトグルされない 1 : 動作開始時に INTTAUJnIm が発生し, TAUJnTTOUtm はトグルされる

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUJnTIS[1:0]

表 18-17 TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がリエッジ検出 10 : 両エッジ検出



## (c) チャネル出力モード

表 18-18 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード1 (TAUJnTOM.TAUJnTOMm = 0時はトグル・モード)
TAUJnTOL.TAUJnTOLm	0: 正論理

**備考** チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUtmを割り込みとは独立させて制御することができます。詳細は18.9「チャネル出力モード」を参照してください。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、TAUJnTTINm入力インターバル・タイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 18-19 TAUJnTTINm 入力インターバル・タイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0を設定

## (5) TAUJnTTINm 入インターバル・タイマ機能の操作手順

表 18-20 TAUJnTTINm 入インターバル・タイマ機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 18-16 「TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMORm 設定」と表 18-17 「TAUJnTTINm 入インターバル・タイマ機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを表 18-18 「チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して, チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, カウントが開始されます。 TAUJnCDRm の値を TAUJnCnTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合, INTTAUJnIm が発生し, TAUJnTTOUtm がトリグルされます。
	動作中 TAUJnCMURm.TAUJnTIS[1:0], TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCnTm レジスタは常に読み出し可能です。 TAUJnTTINm エッジ検出	TAUJnCnTm がダウン・カウントを行います。 カウンタが 0000 0000 <sub>H</sub> になった場合: <ul style="list-style-type: none"> <li>再び TAUJnCDRm の値を TAUJnCnTm にロードし, カウント動作を継続します。</li> <li>INTTAUJnIm が発生し, TAUJnTTOUtm がトリグルされます。</li> </ul> カウント動作中に TAUJnTTINm 入力の有効エッジを検出すると, 再び TAUJnCDRm の値を TAUJnCnTm にロードし, カウント動作を継続します。 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウント動作が停止します。 TAUJnCnTm と TAUJnTTOUtm は停止し, 現在値を保持します。

## (6) 特定の設定時のタイミング図

18.15.1「インターバル・タイマ機能」のタイミング図も適用されますが、この機能を除いて、有効な TAUJnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

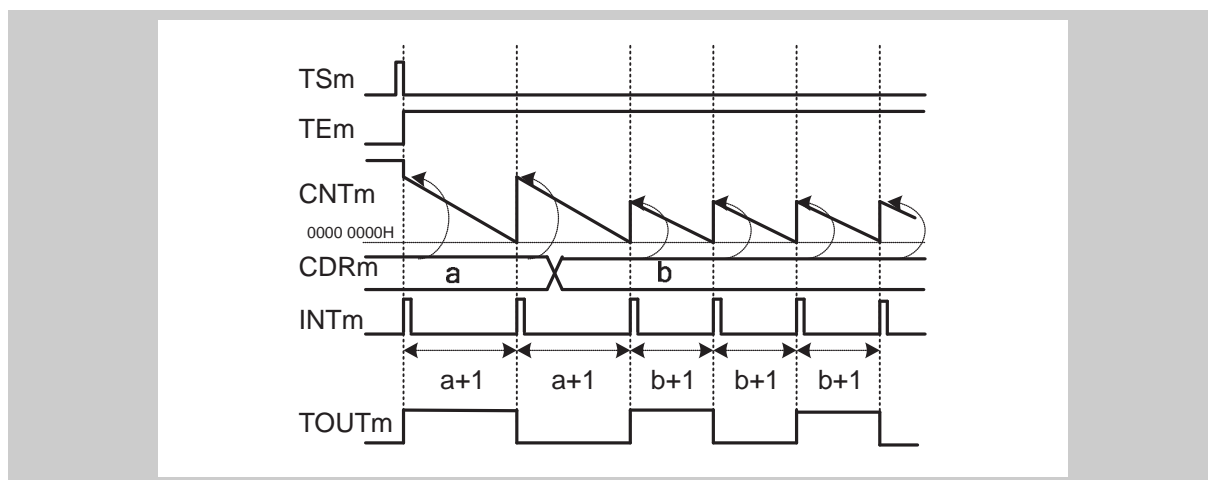


図 18-28 立ち上がり TAUJnTTINm 入力エッジ  
(TAUJnCMURm.TAUJnTIS[1:0] = 01<sub>B</sub>), TAUJnCMORm.TAUJnMD0 = 1 で  
トリガされたカウンタ

- 有効な TAUJnTTINm 入力エッジを検出した場合、TAUJnTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01<sub>B</sub>) です。

## 18.16 チャンネル単体信号測定機能

この節では、各 TAUJnTTINm パルスの幅、または連続した TAUJnTTINm パルスの合計幅を測定する機能を説明します。また、信号の間隔を測定する機能、またはパルス幅と基準値を比較する機能も説明します。

- 18.16.1 「TAUJnTTINm 入力パルス・インターバル測定機能」
- 18.16.2 「TAUJnTTINm 入力信号幅測定機能」
- 18.16.3 「オーバーフロー割り込み出力機能 (TAUJnTTINm 幅測定時)」
- 18.16.4 「TAUJnTTINm 入力期間カウント検出機能」
- 18.16.5 「オーバーフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)」

## 18.16.1 TAUJnTTINm 入力パルス・インターバル測定機能

## (1) 概要

**概要** この機能は、カウント値をキャプチャし、その値とオーバーフロー・ビット TAUJnCSRm.TAUJnOVF を使用して TAUJnTTINm 入力信号の間隔を測定します。

- 前提条件**
- 動作モードはキャプチャ・モードに設定する必要があります（表 18-22 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」参照）。
  - この機能では、TAUJnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000<sub>H</sub> からカウントを開始します。有効な TAUJnTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000<sub>H</sub> にリセットされ、その後動作を継続します。

有効な TAUJnTTINm エッジを検出する前にカウンタが FFFF FFFF<sub>H</sub> に達すると、カウンタは 0000 0000<sub>H</sub> にオーバーフローします。カウンタは、0000 0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 18-21 オーバフローの影響

TAUJnCMORm .COS[1:0]	オーバーフローが発生した場合		その後、有効な TAUJnTTINm 入力が検出された場合	
	TAUJnCDRm	TAUJnCSRm .TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm .TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF <sub>H</sub> に設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は 変更されない	0
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバーフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の間隔を推定できます。ただし、有効な TAUJnTTINm 入力が検出される前に複数のオーバーフローが発生した場合、オーバーフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバーフローの発生を示しません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCnTm が停止し、値を保持します。機能停止中、有効な TAUJnTTINm 入力エッジの検出と TAUJnCnTm のキャプチャは行われません。

カウンタは、0000 0000<sub>H</sub> にリセットされ、その後動作を継続します。カウント中に TAUJnTS.TAUJnTsm を 1 に設定すると、いったん停止せずにカウントを再開できません（強制リスタート）。

**条件** TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は表 18.11 「カウント開始／リスタート時の TAUJnTTOUtm 出力と INTTAUJnlm 生成 (TAUJnMD0 ビット)」を参照してください。

**備考** TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCnTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

## (2) 算出式

TAUJnTTINm 入力パルス間隔 = カウント・クロック周期 ×  
 [ (TAUJnCSRm.TAUJnOVF × (FFFF FFFF<sub>H</sub> + 1)) + TAUJnCDRm キャプチャ値 + 1 ]

## (3) ブロック図と基本タイミング図

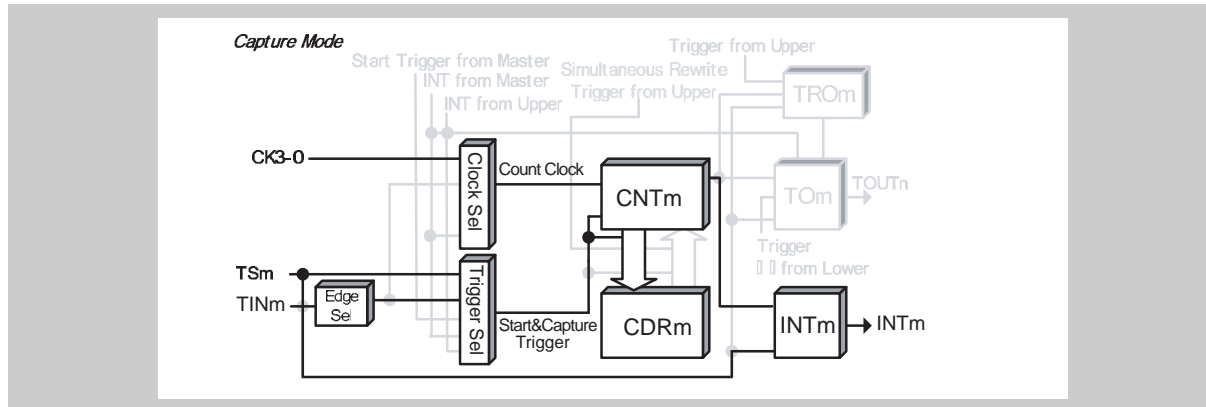


図 18-29 TAUJnTTINm 入力パルス・インターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない  
(TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00<sub>B</sub>)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する  
(TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>)

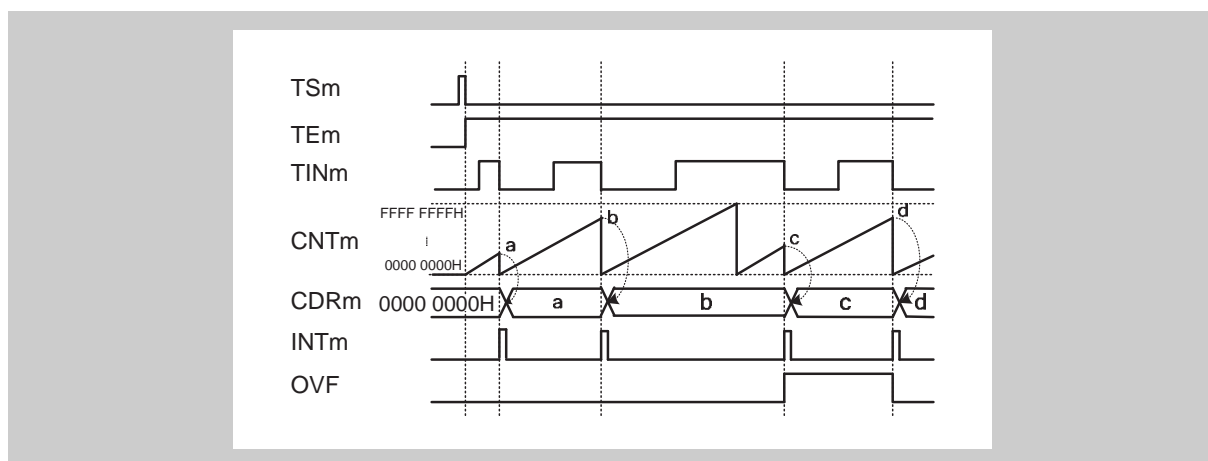


図 18-30 TAUJnTTINm 入力パルス・インターバル測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJnMAS	TAUJnSTS [2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJnMD0					

表 18-22 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	001 : TAUJnTTINm 入力信号の有効エッジを外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	表 18-21 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0010 : キャプチャ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS[1:0]

表 18-23 TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。



## (d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力パルス・インターバル測定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 18-24 TAUJnTTINm 入力パルス・インターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

## (5) TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

表 18-25 TAUJnTTINm 入力パルス・インターバル測定機能の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 18-22 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMORm 設定」と表 18-23 「TAUJnTTINm 入力パルス・インターバル測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSm を 1 に設定します。TAUJnTS.TAUJnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, カウントが開始されます。 TAUJnCNTm が 0000 0000 <sub>H</sub> にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は, INTTAUJnIm が発生します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能です。 (TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は, 0000 0000 <sub>H</sub> からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時 : <ul style="list-style-type: none"> <li>TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して, 0000 0000<sub>H</sub> に戻ります。</li> <li>その後, INTTAUJnIm が発生します。以降, この動作を繰り返します。</li> </ul>
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図：オーバーフロー動作

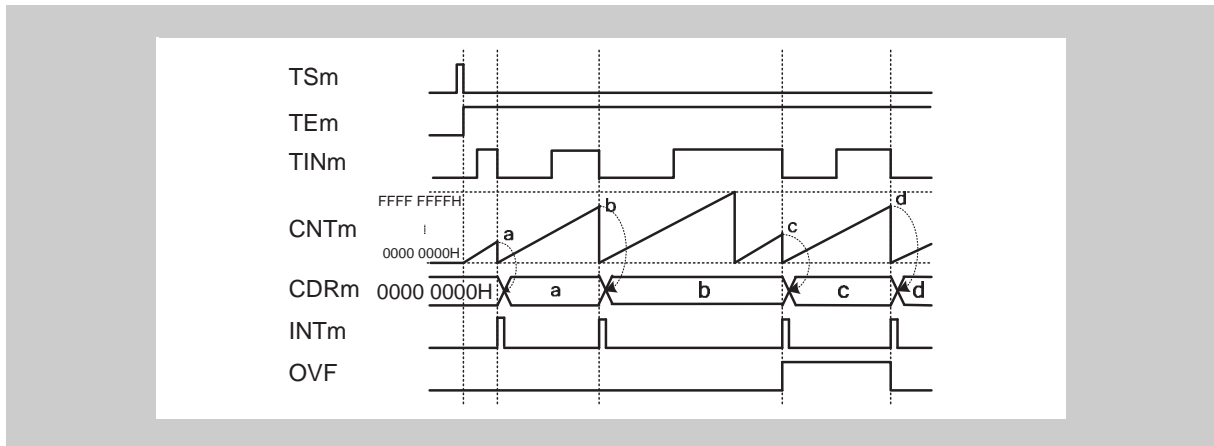
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>

図 18-31 TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

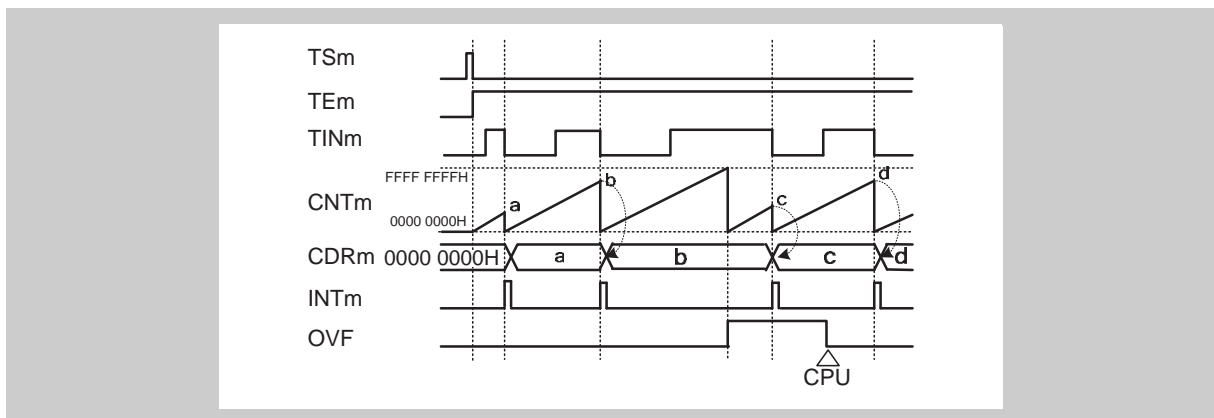
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01<sub>B</sub>

図 18-32 TAUJnCMORm.TAUJnCOS[1:0] = 01<sub>B</sub>, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット = 1 のセット) でのみクリアされます。

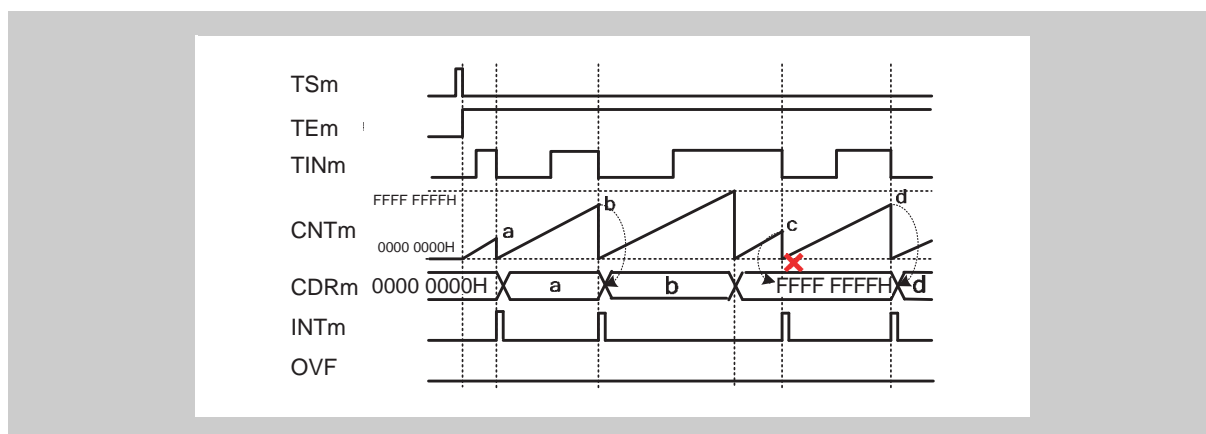
(c) TAUJnCMORM.TAUJnCOS[1:0] = 10<sub>B</sub>

図 18-33 TAUJnCMORM.TAUJnCOS[1:0] = 10<sub>B</sub>, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURM.TAUJnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF<sub>H</sub> に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

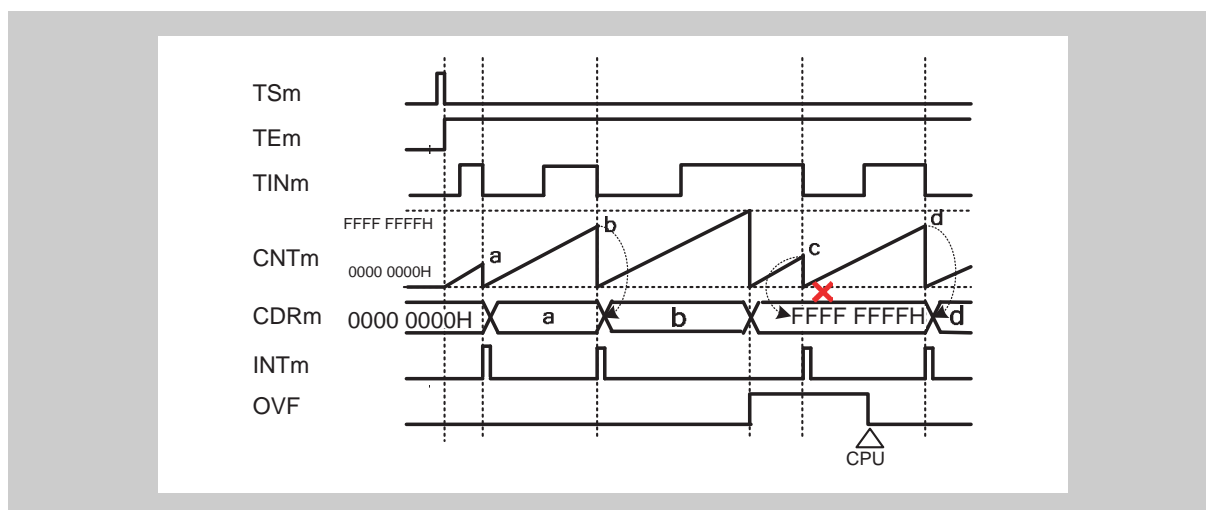
(d) TAUJnCMORM.TAUJnCOS[1:0] = 11<sub>B</sub>

図 18-34 TAUJnCMORM.TAUJnCOS[1:0] = 11<sub>B</sub>, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURM.TAUJnTIS[1:0] = 00<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF<sub>H</sub> に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。

- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

## 18.16.2 TAUJnTTINm 入力信号幅測定機能

### (1) 概要

**概要** この機能は、TAUJnTTINm 入力信号幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ワンカウント・モードに設定する必要があります（表 18-27 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」参照）。
  - この機能では、TAUJnTTOUTm は使用しません。
  - TAUJnCMORm.TAUJnMD0 は、0 に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。有効な TAUJnTTINm スタート・エッジが検出されると、カウンタ TAUJnCNTm は、0000 0000<sub>H</sub> からカウントを開始します。有効な TAUJnTTINm ストップ・エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJnTTINm 入力スタート・エッジを待ちます。

有効な TAUJnTTINm ストップ・エッジを検出する前にカウンタが FFFF FFFF<sub>H</sub> に達すると、カウンタはオーバフローします。カウンタは、0000 0000<sub>H</sub> にリセットされ、その後動作を継続します。TAUJnCDRm, TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 18-26 オーバフローの影響

TAUJnCMORm. COS[1:0]	オーバフローが発生した場合		有効な TAUJnTTINm 入力ストップ・エッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm, TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF <sub>H</sub> に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	0
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロー・ビット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の幅を推定できます。ただし、有効な TAUJnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロー・ビット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

**備考** TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

$$\text{TAUJnTTINm 入力信号幅} = \text{カウント} \cdot \text{クロック周期} \times [(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

(3) ブロック図と基本タイミング図

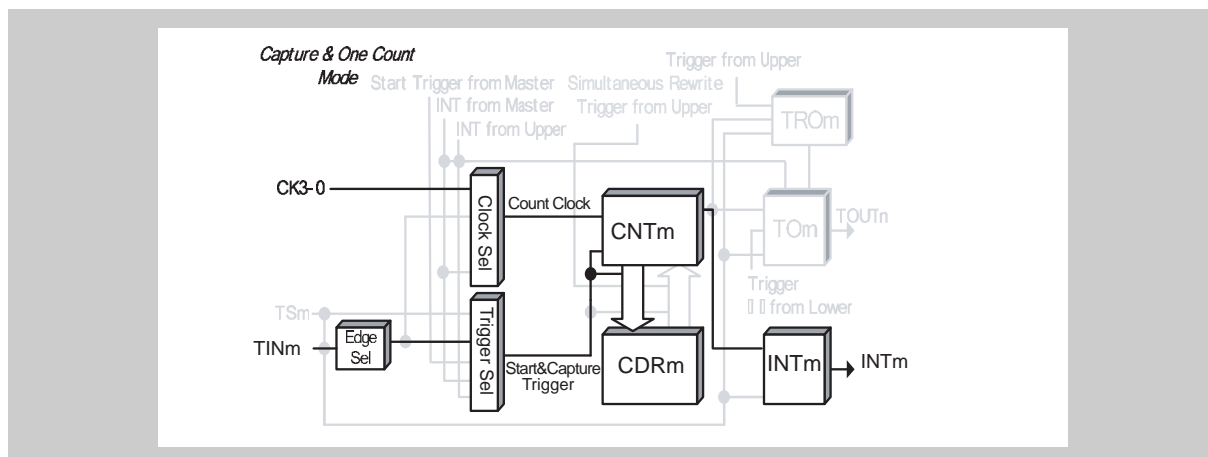


図 18-35 TAUJnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>)

オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>)

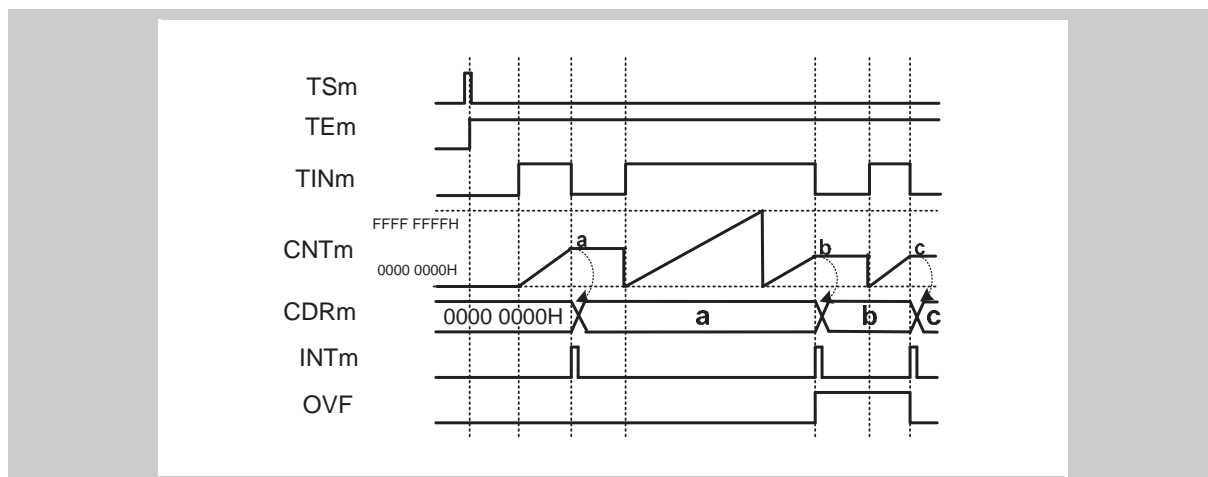


図 18-36 TAUJnTTINm 入力信号幅測定機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS [2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJn MD0					

表 18-27 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	表 18-26 「オーバフローの影響」を参照。
TAUJnMD[4:1]	0110 : キャプチャ & ワンカウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS[1:0]	

表 18-28 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力信号幅測定機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 18-29 TAUJnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

## (5) TAUJnTTINm 入力信号幅測定機能の操作手順

表 18-30 TAUJnTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 18-27 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm 設定」と表 18-28 「TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。 TAUJnTTINm スタート・エッジを検出すると, TAUJnCNTm はアップ・カウントを開始します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCDRm, TAUJnCNTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSC.CLOV ビットは, 1 にセット可能です。	TAUJnCNTm は, 0000 0000 <sub>H</sub> からアップ・カウントを開始します。TAUJnTTINm の有効エッジ検出時: <ul style="list-style-type: none"> <li>TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して, その値を保持します。</li> <li>その後, INTTAUJnIm が発生します。</li> </ul> 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。



## (6) 特定の設定時のタイミング図：オーバーフロー動作

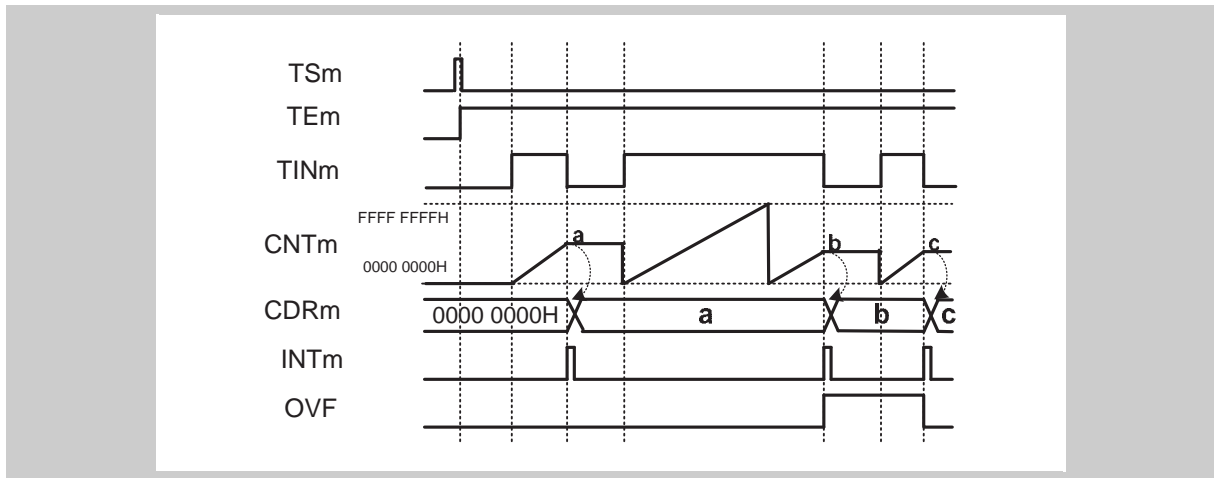
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>

図 18-37 TAUJnCMORm.TAUJnCOS[1:0] = 00<sub>B</sub>, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

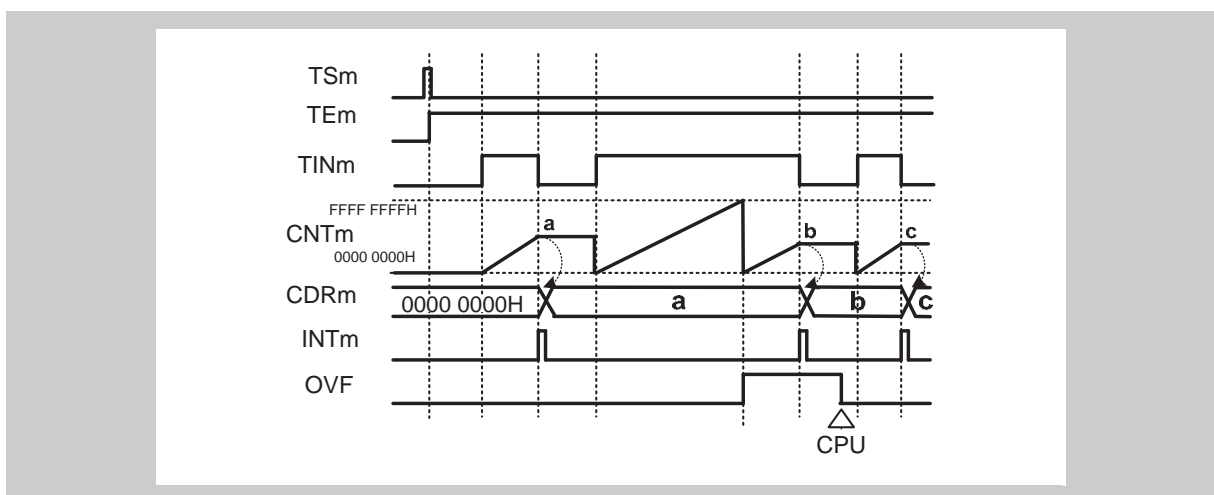
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01<sub>B</sub>

図 18-38 TAUJnCMORm.TAUJnCOS[1:0] = 01<sub>B</sub>, TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。

- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV ビット=1 のセット) でのみクリアされます。

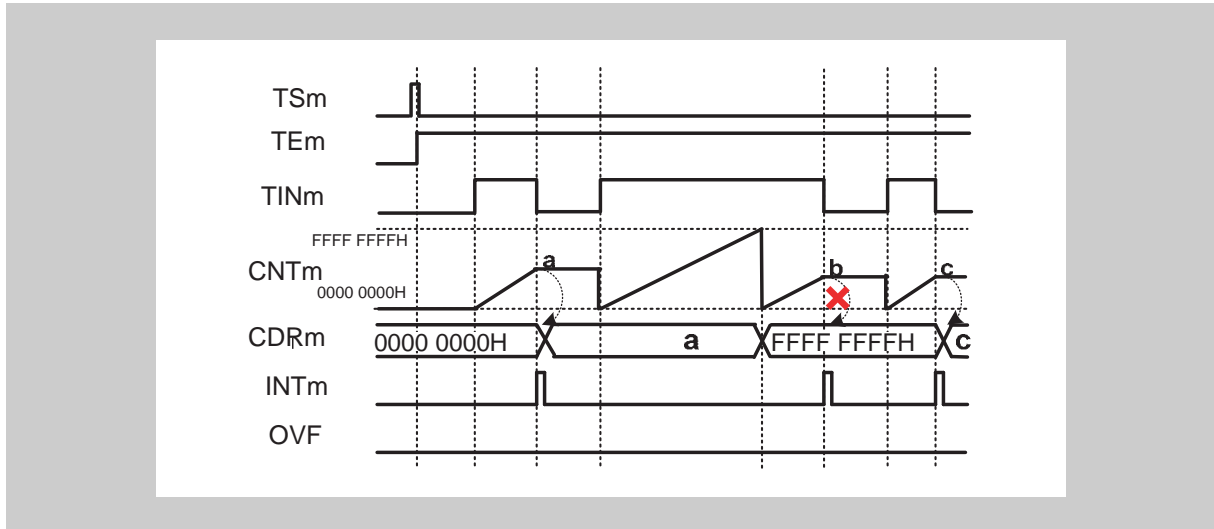
(c) TAUJnCMORM.TAUJnCOS[1:0] = 10<sub>B</sub>

図 18-39 TAUJnCMORM.TAUJnCOS[1:0] = 10<sub>B</sub>, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF<sub>H</sub> に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

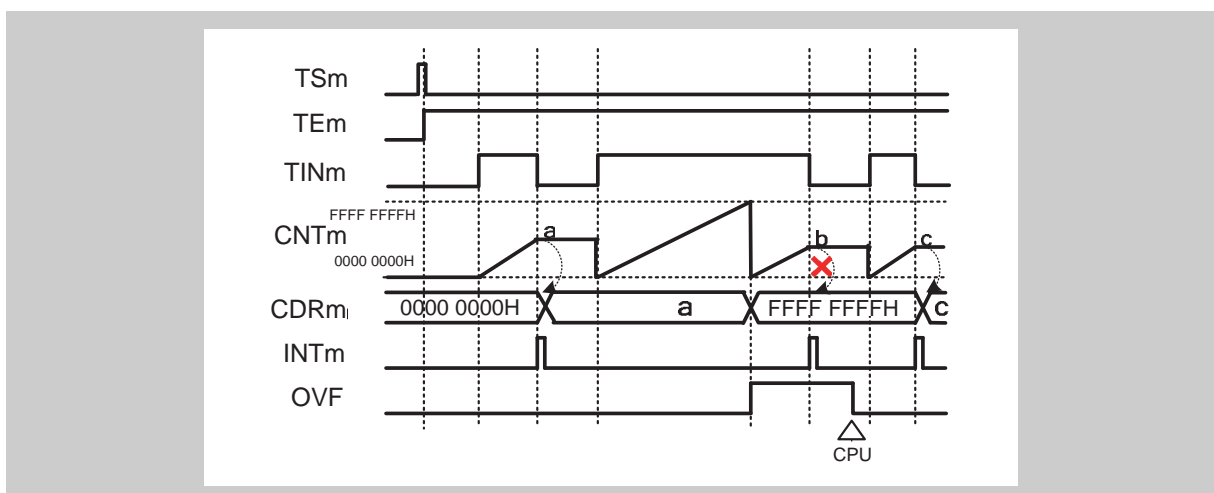
(d) TAUJnCMORM.TAUJnCOS[1:0] = 11<sub>B</sub>

図 18-40 TAUJnCMORM.TAUJnCOS[1:0] = 11<sub>B</sub>, TAUJnCMORM.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF<sub>H</sub> に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

### 18.16.3 オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時)

#### (1) 概要

**概要** この機能は、各 TAUJnTTINm 入力信号の幅を測定します。TAUJnTTINm 入力後、(FFFF FFFF<sub>H</sub> + 1) を超えた場合、割り込みが発生します。

- 前提条件**
- 動作モードはワンカウント・モードに設定する必要があります (表 18-31 「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」参照)。
  - この機能では、TAUJnTTOUTm は使用しません。
  - TAUJnCDRm の値は、FFFF FFFF<sub>H</sub> に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF<sub>H</sub> がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJnTTINm 入カスタート・エッジが検出されると、TAUJnCNTm は FFFF FFFF<sub>H</sub> をロードし、ダウン・カウントを開始します。

ストップ・エッジを検出する前にカウンタが 0000 0000<sub>H</sub> に達すると、割り込みが発生します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10<sub>B</sub> の場合、TAUJnTTINm 入力 Low 幅が測定されます。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub> の場合、TAUJnTTINm 入力 High 幅が測定されます。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

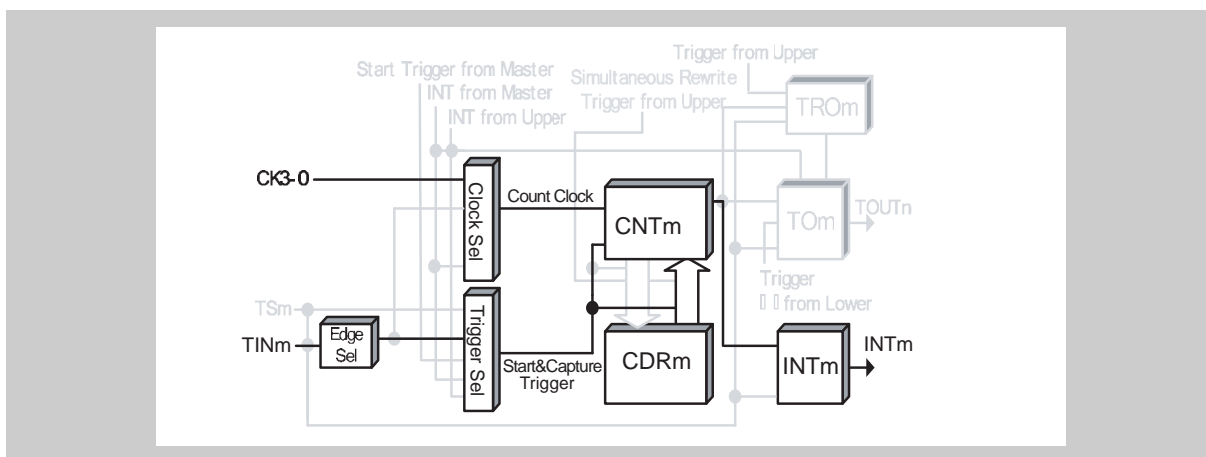


図 18-41 オーバフロー割り込み出力機能のブロック図 (TAUJnTTINm 幅測定時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>)

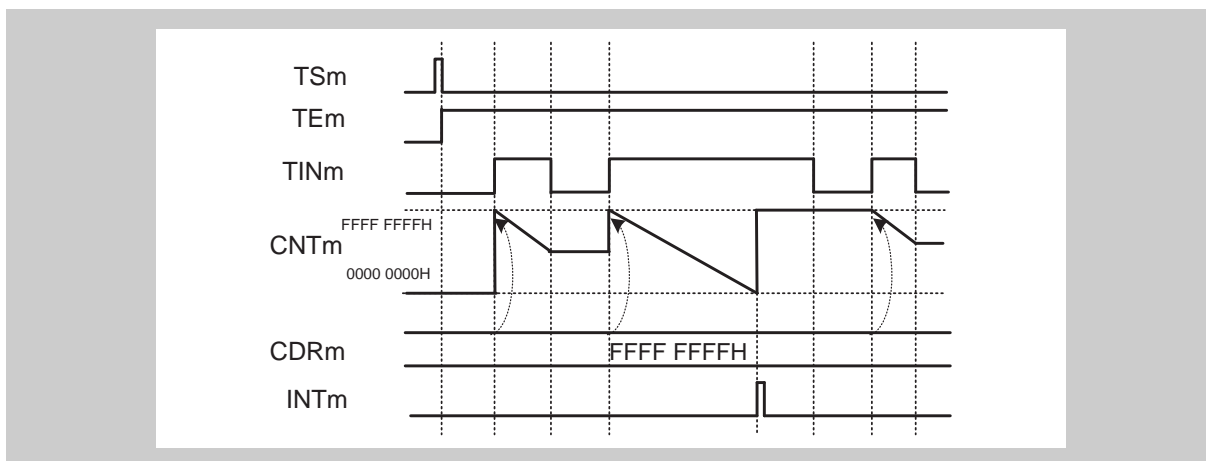


図 18-42 オーバフロー割り込み出力機能の基本タイミング図 (TAUJnTTINm 幅測定時)

## (3) レジスタ設定

## (a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]	-		TAUJnMD[4:1]				TAUJn MD0			

表 18-31 オーバフロー割り込み出力機能の TAUJnCMORM 設定  
(TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0100 : ワンカウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	TAUJnTIS [1:0]	

表 18-32 オーバフロー割り込み出力機能の TAUJnCMURm 設定  
(TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 幅測定時) では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 18-33 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJnTTINm 幅測定時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

**(4) オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)**

表 18-34 オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 幅測定時)

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、表 18-31 「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 幅測定時)」と表 18-32 「オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 幅測定時)」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタート・エッジ検出を待ちます。 スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF <sub>H</sub> ) を TAUJnCNTm にロードします。
	動作中 TAUJnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUJnTTINm エッジ検出	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 0000 <sub>H</sub> になった場合： • INTTAUJnIm が発生します。 カウント動作中に TAUJnTTINm の逆エッジを検出した場合： • TAUJnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

### 18.16.4 TAUJnTTINm 入力期間カウント検出機能

#### (1) 概要

**概要** この機能は、TAUJnTTINm 入力信号の合計幅を測定します。

- 前提条件**
- 動作モードはキャプチャ & ゲート・カウント・モードに設定する必要があります (表 18-35 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」参照)。
  - この機能では、TAUJnTTOUm は使用しません。

**機能説明** チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJnTTINm 入力エッジを待ちます。

有効な TAUJnTTINm 入カスタート・エッジが検出されると、カウンタは、0000 0000<sub>H</sub> からカウントを開始します。

有効な TAUJnTTINm 入カストップ・エッジが検出されると、TAUJnCnTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJnTTINm 入カスタート・エッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJnTTINm 入カスタート・エッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF<sub>H</sub> になると、TAUJnCSRm.TAUJnOVF ビットが 1 に設定され、カウンタは 0000 0000<sub>H</sub> からカウント動作を再開します。

TAUJnCSCm.TAUJnCLOV = 1 を設定すると、TAUJnCSRm.TAUJnOVF 値が CPU によってリセットされます。

**備考** TAUJnTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10<sub>B</sub> の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub> の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

#### (2) 算出式

TAUJnTTINm 入力幅累計 =  
 カウント・クロック周期 × ((FFFF FFFF<sub>H</sub> × TAUJnCSRm.TAUJnOVF) +  
 (TAUJnCDRm キャプチャ値 + 1))



(3) ブロック図と基本タイミング図

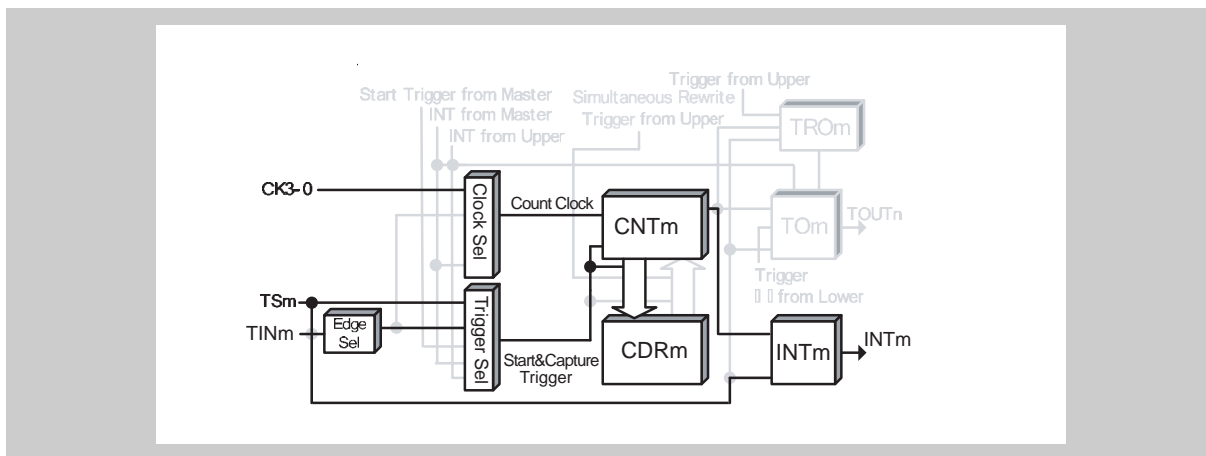


図 18-43 TAUJnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>)

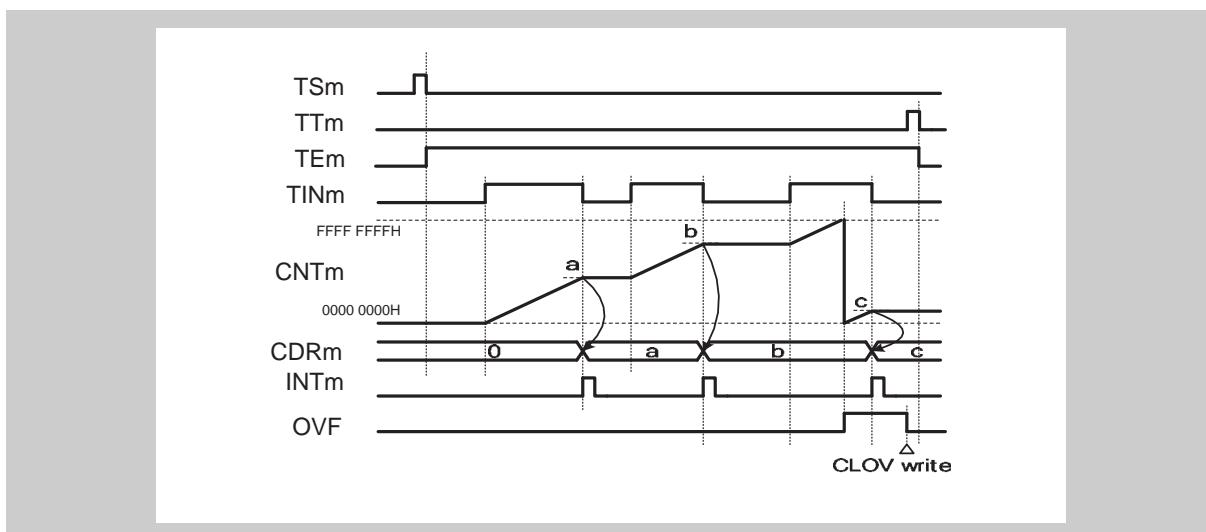


図 18-44 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJn MD0					

表 18-35 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUJnCSRm.TAUJnOVF) を設定, CPU 命令によりクリア
TAUJnMD[4:1]	1101 : キャプチャ&ゲート・カウント・モード
TAUJnMD0	0 : 動作中のスタート・トリガ無効

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS [1:0]	—

表 18-36 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力期間カウント検出機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 18-37 TAUJnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

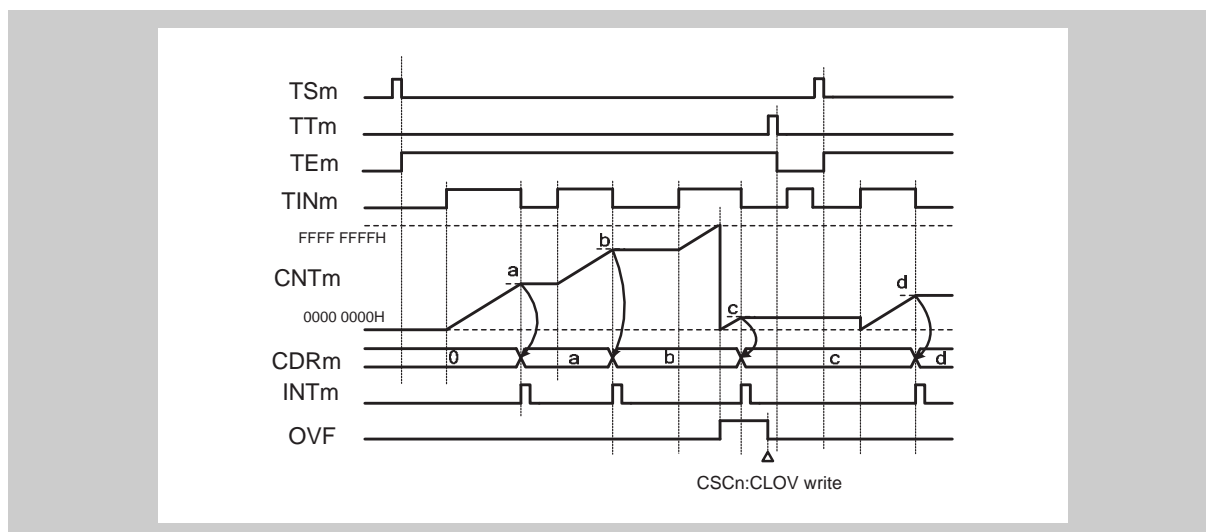
(5) TAUJnTTINm 入力期間カウント検出機能の操作手順

表 18-38 TAUJnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
動作再開	初期設定 チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを, 表 18-35 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm 設定」と表 18-36 「TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので, 自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され, TAUJnCNTm は TAUJnTTINm スタート・エッジ検出を待ちます。  スタート・エッジが検出されると, TAUJnCNTm は 0000 0000 <sub>H</sub> にクリアされ, TAUJnCNTm はアップ・カウントを開始します。
	動作中 TAUJnTTINm エッジ検出 TAUJnCDRm, TAUJnCNTm, TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV は, 1 に設定可能です。	TAUJnTTINm スタート・エッジ (High 幅測定なら立ち上がりエッジ, Low 幅測定なら立ち下がりエッジ) を検出すると, TAUJnCNTm は停止値よりアップ・カウントを開始します。 TAUJnCNTm は, ストップ・エッジ (High 幅測定なら立ち下がりエッジ, Low 幅測定なら立ち上がりエッジ) を検出すると, 値を TAUJnCDRm に転送し, INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し, TAUJnCNTm は TAUJnTTINm スタート・エッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF <sub>H</sub> に達すると, カウンタはオーバフローし, TAUJnCSRm.TAUJnOVF は 1 に設定されます。 以降, この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウンタ動作が停止します。 TAUJnCNTm は停止し, TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

図 18-45 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000<sub>H</sub> からカウントを再開します。

### 18.16.5 オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間カウント検出時)

#### (1) 概要

**概要** この機能は、TAUJnTTINm 入力信号の合計幅を測定します。TAUJnTTINm 入力合計幅が FFFF FFFF<sub>H</sub> より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

**前提条件**

- 動作モードはゲート・カウント・モードに設定する必要があります（表 18-39「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)」参照）。

- この機能では、TAUJnTTOUtm は使用しません。

- TAUJnCDRm の値は、FFFF FFFF<sub>H</sub> に設定する必要があります。

**機能説明** チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。

有効な TAUJnTTINm 入カスタート・エッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF FFFF<sub>H</sub> がロードされ、カウンタはダウン・カウントを開始します。

有効なストップ・エッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJnTTINm 入カスタート・エッジを待ち、現在値からのダウン・カウントを継続します。

カウンタが 0000 0000<sub>H</sub> になると、割り込みが発生します。TAUJnCNTm に FFFF FFFF<sub>H</sub> がロードされ、カウンタは TAUJnTTINm 入カストップ・エッジが検出されるまでダウン・カウントを継続します。

**条件** 有効なスタート・エッジとストップ・エッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10<sub>B</sub> の場合、TAUJnTTINm 入力 Low 期間をカウントします。スタート・トリガは立ち下がりエッジ、ストップ・トリガは立ち上がりエッジです。

- TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub> の場合、TAUJnTTINm 入力 High 期間をカウントします。スタート・トリガは立ち上がりエッジ、ストップ・トリガは立ち下がりエッジです。

**備考** 動作中にカウンタ動作を再開することはできません。

(2) ブロック図と基本タイミング図

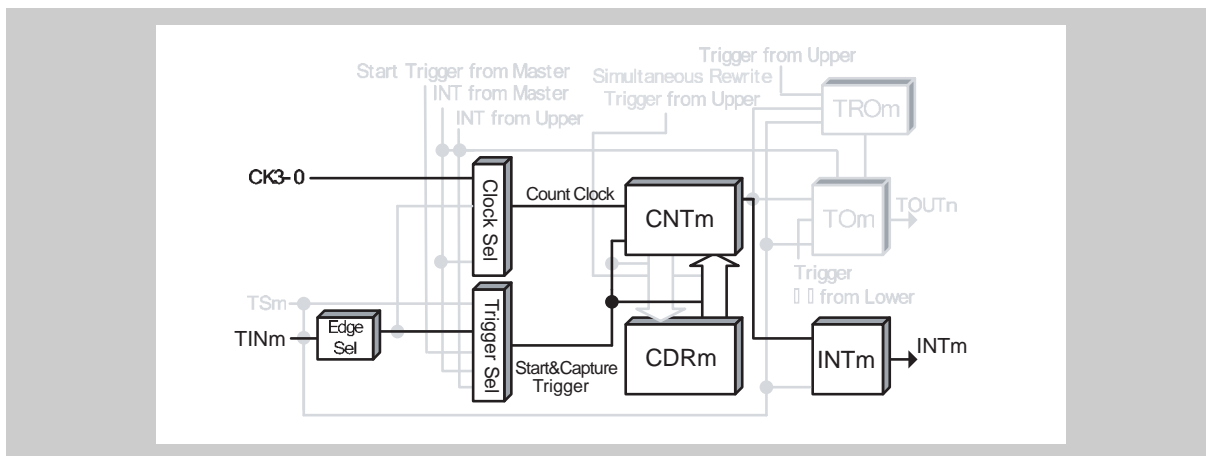


図 18-46 オーバフロー割り込み出力機能のブロック図 (TAUJnTTINm 入力期間カウント検出時)

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11<sub>B</sub>)

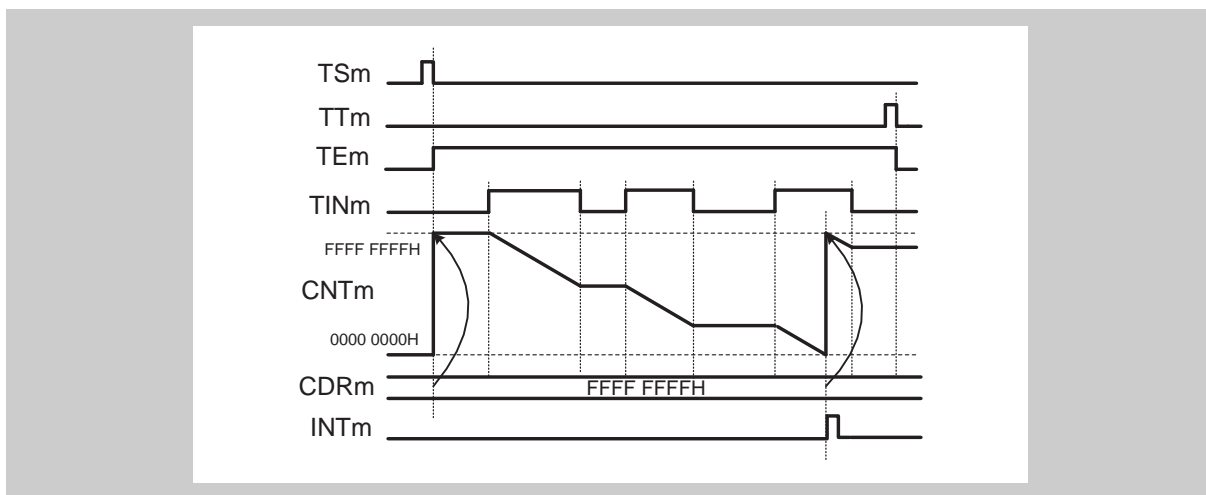


図 18-47 オーバフロー割り込み出力機能の基本タイミング図 (TAUJnTTINm 入力期間カウント検出時)

## (3) レジスタ設定

## (a) TAUJnCMORM

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJn MD0					

表 18-39 オーバフロー割り込み出力機能の TAUJnCMORM 設定  
(TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	010 : TAUJnTTINm 入力信号の有効エッジを外部スタート・トリガ, 逆エッジをストップ・トリガとして使用
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	1100 : ゲート・カウント・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS [1:0]	

表 18-40 オーバフロー割り込み出力機能の TAUJnCMURm 設定  
(TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnTIS[1:0]	10 : 両エッジ検出 (Low 幅測定) 11 : 両エッジ検出 (High 幅測定)

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) 一斉書き換え**

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は、オーバフロー割り込み出力機能 (TAUJnTTINm 入力期間検出時) では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 18-41 オーバフロー割り込み出力機能の一斉書き換え設定 (TAUJnTTINm 入力期間カウント検出時)

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

**(4) オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 入力期間カウント検出時)**

表 18-42 オーバフロー割り込み出力機能の操作手順 (TAUJnTTINm 入力期間カウント検出時)

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 TAUJnCMORm, TAUJnCMURm レジスタを、表 18-39「オーバフロー割り込み出力機能の TAUJnCMORm 設定 (TAUJnTTINm 入力期間カウント検出時)」と表 18-40「オーバフロー割り込み出力機能の TAUJnCMURm 設定 (TAUJnTTINm 入力期間カウント検出時)」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガ・ビットなので、自動的に 0 にクリアされます。 TAUJnTTINm スタート・エッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタート・エッジ検出を待ちます。  スタート・エッジが検出されると、TAUJnCDRm の値 (FFFF FFFF <sub>H</sub> ) を TAUJnCNTm にロードします。
	動作中 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウン・カウントを行います。カウンタが 0000 0000 <sub>H</sub> になった場合 : <ul style="list-style-type: none"> <li>INTTAUJnIm が発生します。</li> <li>TAUJnCDRm の値 (FFFF FFFF<sub>H</sub>) を TAUJnCNTm にロードし、ダウン・カウントを継続します。</li> </ul> カウント動作中に TAUJnTTINm の逆エッジを検出した場合 : <ul style="list-style-type: none"> <li>TAUJnCNTm は停止値からダウン・カウントを行います。</li> </ul> 以降、この動作を繰り返します。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。



## 18.17 その他のチャネル単体機能

この節では、機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能を説明します。

- 18.17.1 「TAUJnTTINm 入力位置検出機能」

### 18.17.1 TAUJnTTINm 入力位置検出機能

#### (1) 概要

**概要** 機能使用開始から TAUJnTTINm 入力信号までの期間を測定する機能です。

**前提条件**

- 動作モードはカウント・キャプチャ・モードに設定する必要があります (表 18-43 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」参照)。

- この機能では、TAUJnTTOUTm は使用しません。

**機能説明** チャネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。カウンタは、0000 0000<sub>H</sub> からカウントを開始します。有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウンタ動作は継続します。

カウンタ値が FFFF FFFF<sub>H</sub> になると、TAUJnCSRm.TAUJnOVF ビットが 1 に設定され、カウンタは 0000 0000<sub>H</sub> からカウンタ動作を再開します。TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV ← 1 を書き込むことによりクリアされます。

**条件** TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は 18.11 「カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成 (TAUJnMD0 ビット)」を参照してください。

#### (2) 算出式

TAUJnTTINm 入力パルスでの機能時間 =

カウント・クロック周期 × [ (FFFF FFFF<sub>H</sub> + 1 × TAUJnCSRm.TAUJnOVF) + (TAUJnCDRm キャプチャ値 + 1) ]

(3) ブロック図と基本タイミング図

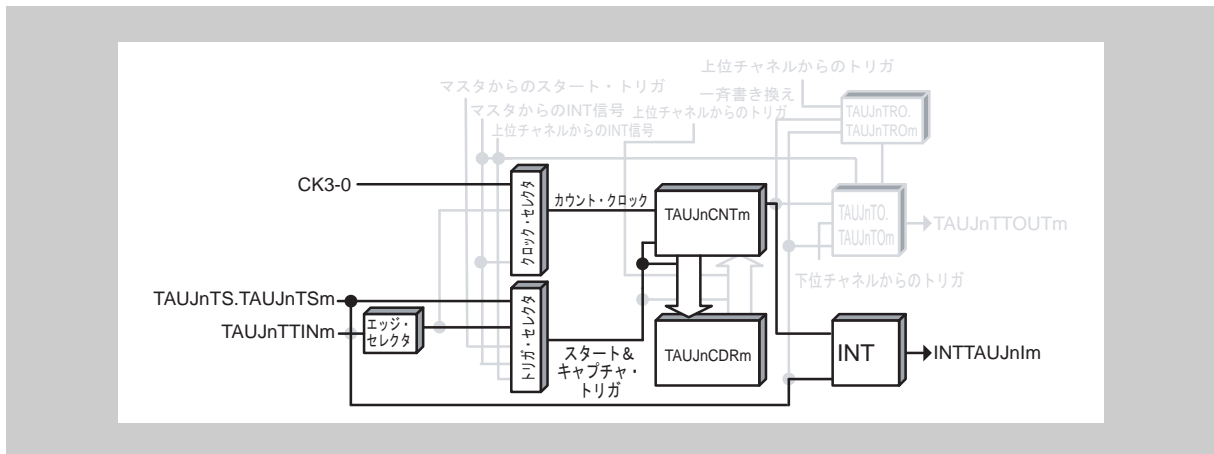


図 18-48 TAUJnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00<sub>B</sub>)

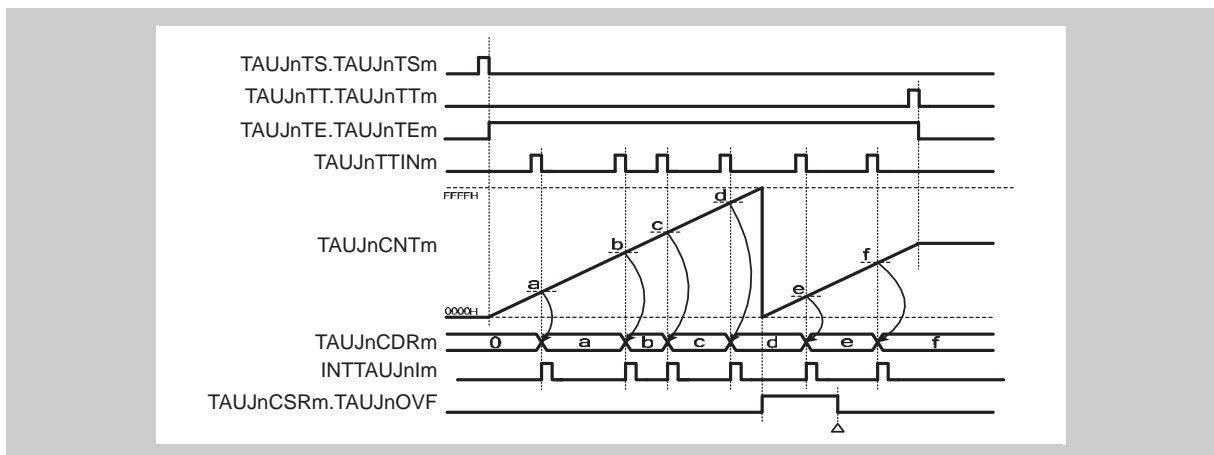


図 18-49 TAUJnTTINm 入力位置検出機能の基本タイミング図

## (4) レジスタ設定

## (a) TAUJnCMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS [2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0			

表 18-43 TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : 動作クロック = CK0 01 : 動作クロック = CK1 10 : 動作クロック = CK2 11 : 動作クロック = CK3
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : 未使用, 0 を設定
TAUJnSTS[2:0]	001 : 有効な TAUJnTTINm 入力エッジ信号を外部キャプチャ・トリガとして使用
TAUJnCOS[1:0]	01 : カウンタ・オーバフロー時にオーバフロー (TAUJnCSRm.TAUJnOVF) を設定, CPU 命令によりクリア
TAUJnMD[4:1]	1011 : カウント・キャプチャ・モード
TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

## (b) TAUJnCMURm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS [1:0]

表 18-44 TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

## (c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

## (d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE, TAUJnRDM) は, TAUJnTTINm 入力位置検出機能では使用できません。したがって, これらのレジスタは 0 に設定する必要があります。

表 18-45 TAUJnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0), 0 を設定

## (5) TAUJnTTINm 入力位置検出機能の操作手順

表 18-46 TAUJnTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態	
動作再開	初期設定 チャネルの初期設定	TAUJnCMORm, TAUJnCMURm レジスタを, 表 18-43 「TAUJnTTINm 入力位置検出機能の TAUJnCMORm 設定」と表 18-44 「TAUJnTTINm 入力位置検出機能の TAUJnCMURm 設定」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され, カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は, INTTAUJnIm が発生します。
	動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm, TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。 TAUJnCSC.CLOV ビットは, 1 に設定可能です。	TAUJnCnTm は, 0000 0000 <sub>H</sub> からアップ・カウントを開始します。 TAUJnTTINm の有効エッジ検出時: <ul style="list-style-type: none"> <li>TAUJnCnTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。</li> <li>INTTAUJnIm を出力します。</li> <li>カウンタ値は 0000 0000<sub>H</sub> にクリアされず, TAUJnCnTm はカウント動作を継続します。以降, この動作を繰り返します。</li> </ul>
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガ・ビットなので, 自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ, カウント動作が停止します。 TAUJnCnTm は停止し, TAUJnCnTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

## (6) 特定の設定時のタイミング図

## (a) 動作の停止と再開

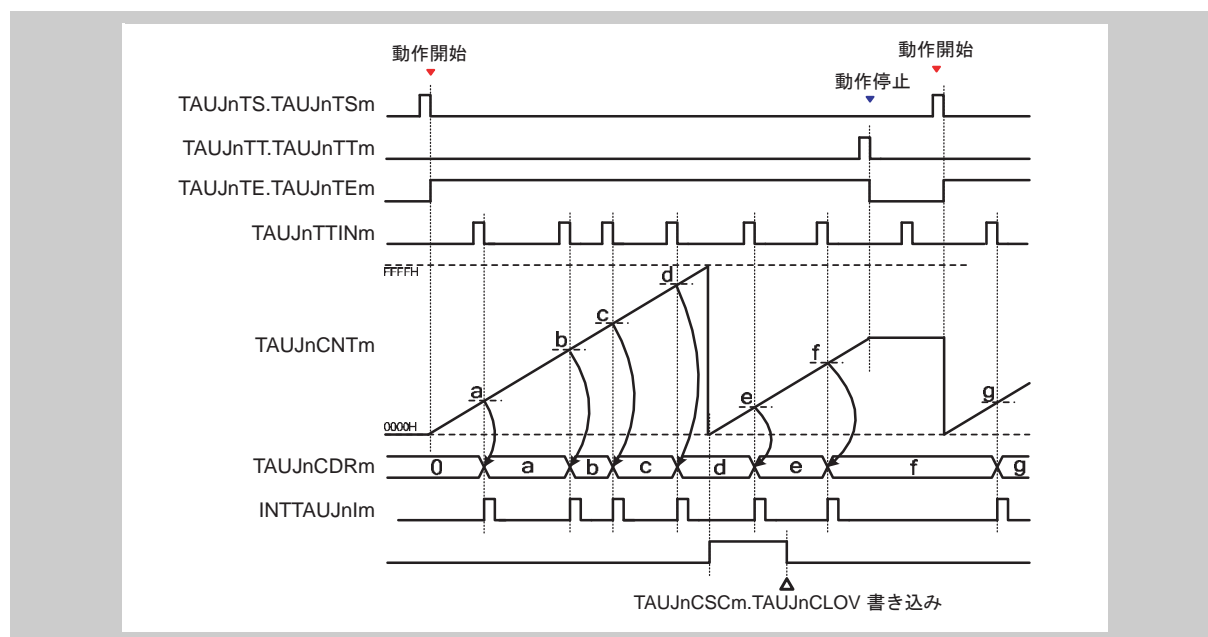


図 18-50 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00<sub>B</sub>)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000<sub>H</sub> からカウントを再開します。

## 18.18 一定間隔でトリガされる連動 PWM 信号機能

この節では、一定間隔で PWM 信号を発生させる機能について述べます。チャンネル連動動作の概要については、18.4「機能説明」を参照してください。

- 18.18.1 「PWM 出力機能」

### 18.18.1 PWM 出力機能

#### (1) 概要

**概要** マスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJnTTOUtm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタ・チャンネルで設定します。デューティはスレーブ・チャンネルで設定します。

#### 前提条件

- 2 チャンネル
- マスタ・チャンネルの動作モードは、インターバル・タイマ・モードに設定する必要があります（表 18-47「PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定」参照）。
- スレーブ・チャンネルの動作モードは、ワンカウント・モードに設定する必要があります（表 18-50「PWM 出力機能時のスレーブ・チャンネルの TAUJnCMORm 設定」参照）。
- この機能では、マスタ・チャンネルで TAUJnTTOUtm は使用しません。
- スレーブ・チャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（18.9「チャンネル出力モード」）。

#### 機能説明

チャンネル・トリガ・ビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウンタが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUJnIm が発生し、TAUJnTTOUtm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタ・チャンネル：

マスタ・チャンネルのカウンタ値が 0000 0000<sub>H</sub> になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし、ダウン・カウントを行います。

- スレーブ・チャンネル：

マスタ・チャンネルで INTTAUJnIm が発生すると、スレーブ・チャンネルのカウンタ動作がトリガされます。TAUJnCDRm (スレーブ) の現在値が TAUJnCNTm (スレーブ) にロードされ、カウンタはその TAUJnCDRm 値からダウン・カウントを開始します。TAUJnTTOUtm 信号がアクティブ・レベルに設定されます。

カウンタ値が 0000 0000<sub>H</sub> になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJnTTOUtm 信号がインアクティブ・レベルに設定されます。カウンタは FFFF FFFF<sub>H</sub> に戻り、マスタ・チャンネルの次の INTTAUJnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定

されます。マスタ/スレーブ・チャネルの TAUJnCNTm と TAUJnTTOUm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。

**条件** この機能では一斉書き換えを行うことができます。18.8「一斉書き換え」を参照してください。

## (2) 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

– デューティ・サイクル = 0 %

TAUJnCDRm (スレーブ) = 0000 0000<sub>H</sub>

– デューティ・サイクル = 100 %

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

## (3) ブロック図と基本タイミング図

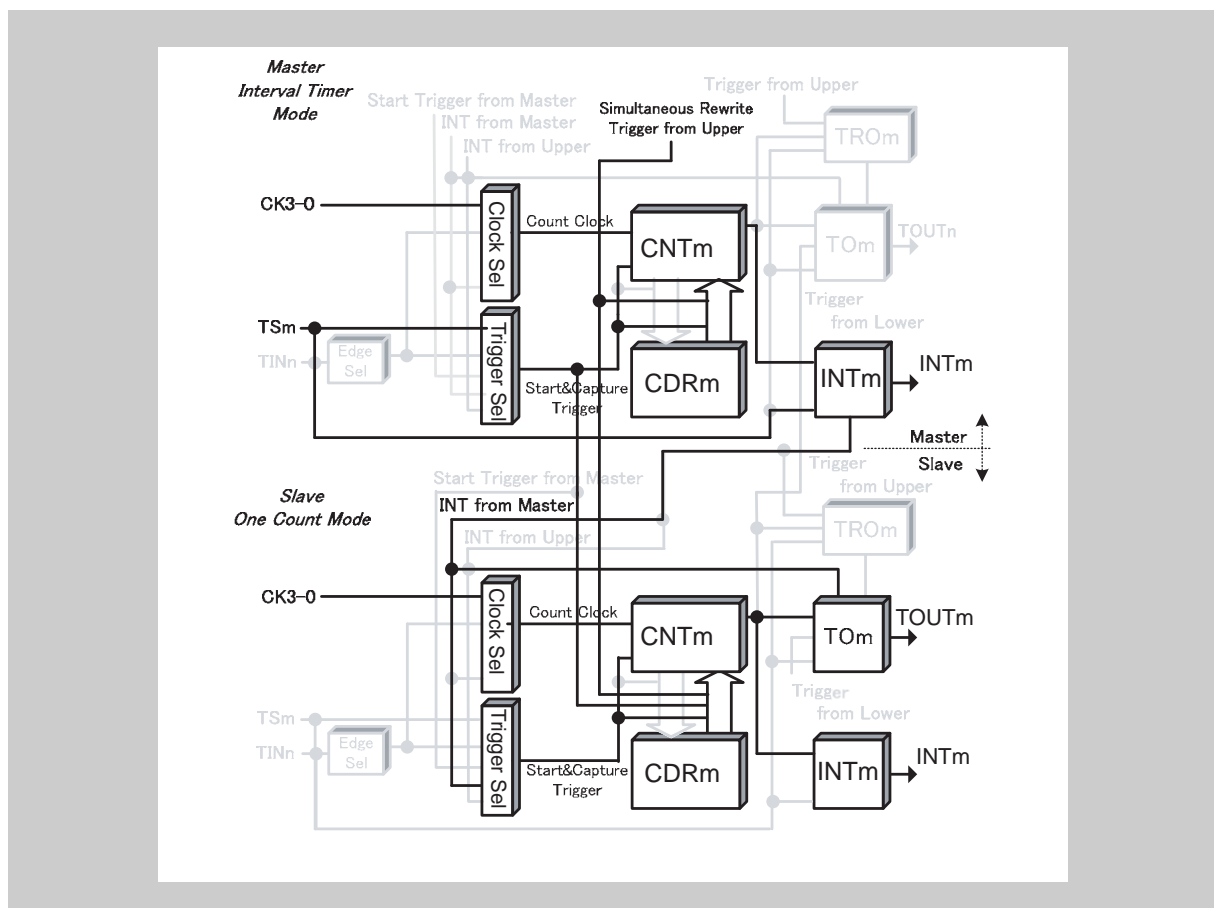


図 18-51 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル：正論理 (TAUJnTOL.TAUJnTOLm = 0)

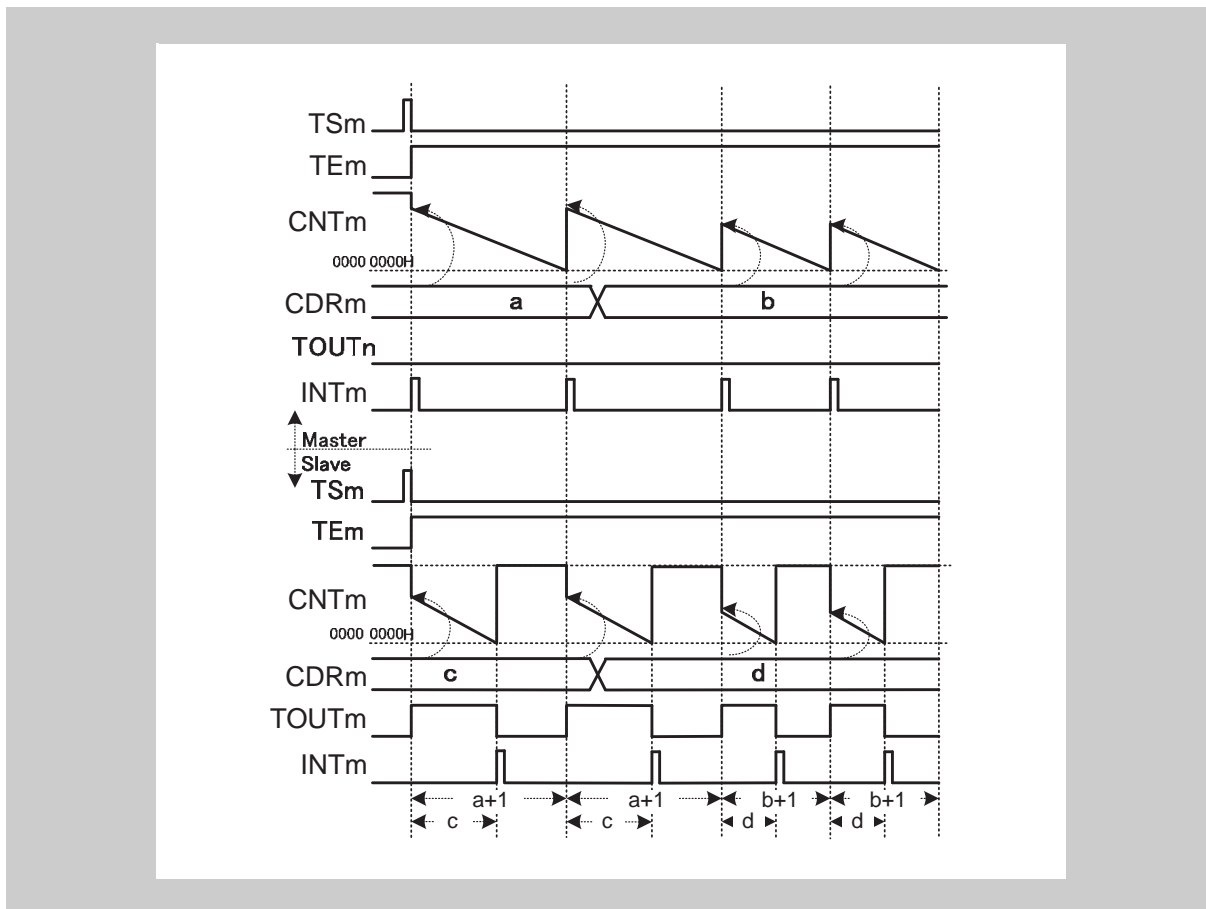


図 18-52 PWM 出力機能の基本タイミング図

備考 スレーブ・チャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが、マスタ・チャンネルでの間隔は対応する TAUJnCDRm + 1 の値になります。



## (4) マスタ・チャンネルのレジスタ設定

## (a) マスタ・チャンネルの TAUJnCMORm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJn MD0					

表 18-47 PWM 出力機能時のマスタ・チャンネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3  マスタ・チャンネルとスレーブ・チャンネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	1 : チャンネルはマスタ・チャンネル
TAUJnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0000 : インターバル・タイマ・モード
TAUJnMD0	1 : 動作開始時に INTTAUJnIm が発生する

## (b) マスタ・チャンネルの TAUJnCMURm 設定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														TAUJnTIS [1:0]	

表 18-48 PWM 出力機能時のマスタ・チャンネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 未使用, 00 を設定

## (c) マスタ・チャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

**(d) マスタ・チャネルの一斉書き換え**

マスタ・チャネルとスレーブ・チャネルの一斉書き換え設定は同じである必要があります。

表 18-49 PWM 出力機能時のマスタ・チャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1 : 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0 : マスタ・チャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

**(5) スレーブ・チャネルのレジスタ設定****(a) スレーブ・チャネルの TAUJnCMORm**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS [2:0]	TAUJnCOS [1:0]	—	TAUJnMD[4:1]				TAUJn MD0					

表 18-50 PWM 出力機能時のスレーブ・チャネルの TAUJnCMORm 設定

ビット名	設定
TAUJnCKS[1:0]	00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタ・チャネルとスレーブ・チャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
TAUJnCCS[1:0]	00 : 動作クロックをカウント・クロックとして使用
TAUJnMAS	0 : チャネルはスレーブ・チャネル
TAUJnSTS[2:0]	100 : マスタ・チャネルの INTTAUJnIm がスタート・トリガ
TAUJnCOS[1:0]	00 : 未使用, 00 を設定
TAUJnMD[4:1]	0100 : ワンカウント・モード
TAUJnMD0	1 : 動作中のスタート・トリガが有効

**(b) スレーブ・チャネルの TAUJnCMURm**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TAUJnTIS [1:0]

表 18-51 PWM 出力機能時のスレーブ・チャネルの TAUJnCMURm 設定

ビット名	設定
TAUJnTIS[1:0]	00 : 未使用, 00 を設定

## (c) スレーブ・チャンネルのチャンネル出力モード

表 18-52 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャンネル単体出力モード許可
TAUJnTOM.TAUJnTOMm	1: チャンネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 反転論理

## (d) スレーブ・チャンネルの一斉書き換え

マスタ・チャンネルとスレーブ・チャンネルの一斉書き換え設定は同じである必要があります。

表 18-53 PWM 出力機能時のスレーブ・チャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタ・チャンネルがカウントを開始すると、一斉書き換トリガ信号を生成

## (6) PWM 出力機能の操作手順

表 18-54 PWM 出力機能時の操作手順

	操作	TAUJn の状態
動作再開	チャンネルの初期設定 マスタ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを (4) 「マスタ・チャンネルのレジスタ設定」に示すように設定します。 スレーブ・チャンネル : TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを (5) 「スレーブ・チャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUJnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTS.TAUJnTSm を同時に 1 に設定します。TAUJnTS.TAUJnTSm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm (マスタ/スレーブ・チャンネル) が 1 に設定され、マスタ/スレーブ・チャンネルのカウンタが動作を開始します。マスタ・チャンネルで INTTAUJnIm が発生し、TAUJnTTOUTm (スレーブ) が設定されます。
	動作中 TAUJnCDRm は任意のタイミングで変更可能です。TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタ・チャンネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウン・カウントを行います。カウンタが 0000 0000 <sub>H</sub> になった場合 : • INTTAUJnIm (マスタ) が発生します。 • TAUJnCDRm 値を TAUJnCNTm (マスタ) にロードし、カウント動作を継続します。 • TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、ダウン・カウントを行います。 • TAUJnTTOUTm (スレーブ) がアクティブ・レベルに設定されます。 TAUJnCNTm (スレーブ) が 0000 0000 <sub>H</sub> になった場合 : • INTTAUJnIm (スレーブ) が発生します。 • TAUJnTTOUTm (スレーブ) がインアクティブ・レベルに設定されます。
	動作停止 マスタ・チャンネルとスレーブ・チャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガ・ビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

## (7) 特定の設定時のタイミング図

## (a) デューティ・サイクル = 0 %

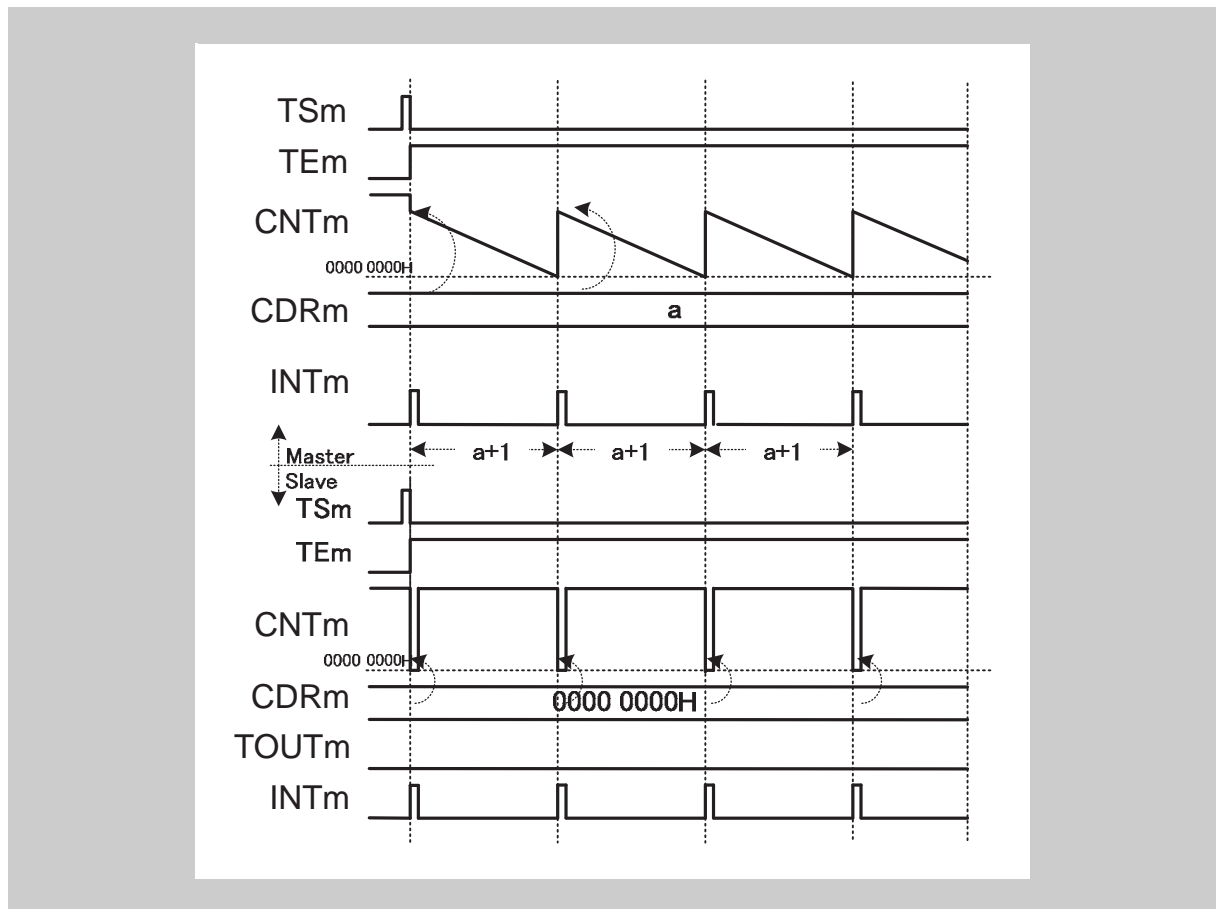


図 18-53 TAUJnCDRm (スレーブ) = 0000 0000<sub>H</sub>,  
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ・チャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000<sub>H</sub> がロードされます。したがって、TAUJnCNTm (スレーブ) はカウントを開始できず、TAUJnTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティ・サイクル = 100 %

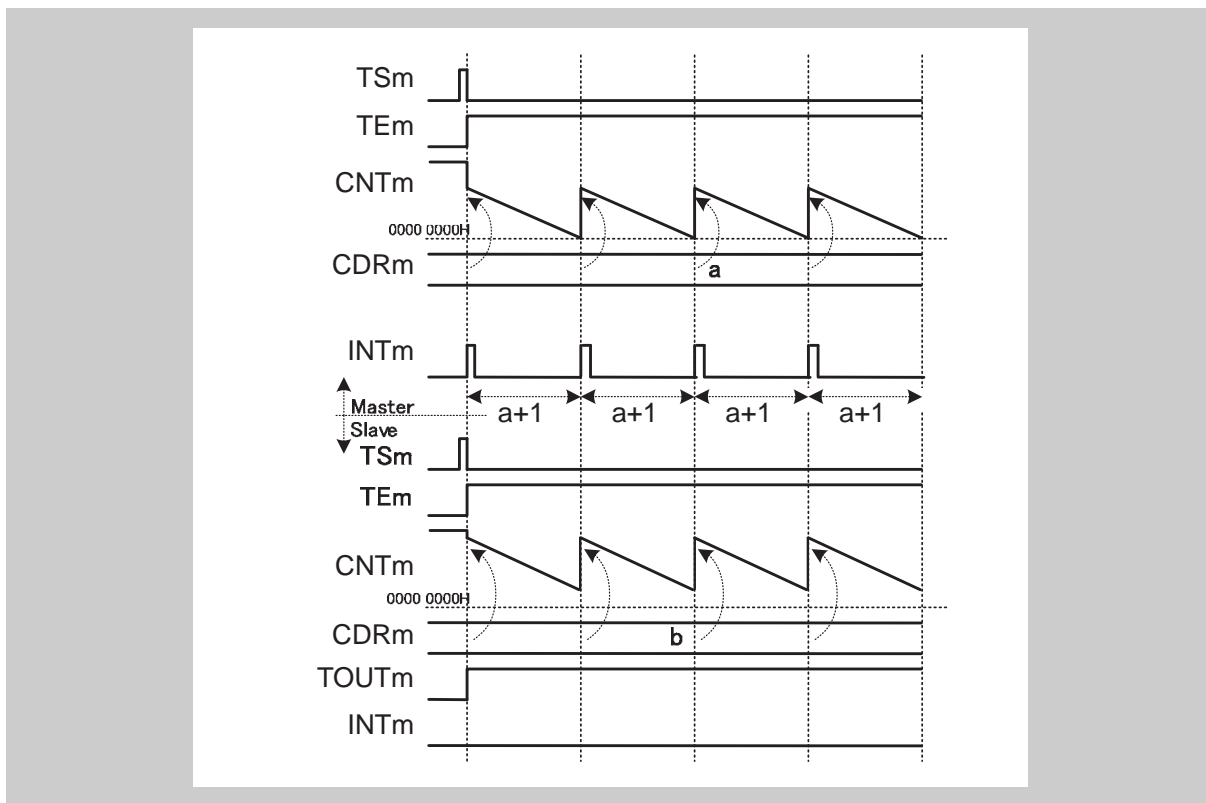


図 18-54 TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1  
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスタ) 値よりも大きい場合、スレーブ・チャンネルのカウンタは 0000 0000<sub>H</sub> にならないため、割り込みが発生しません。TAUJnTOUTm はアクティブ状態のままになります。

## (c) 動作の停止と再開

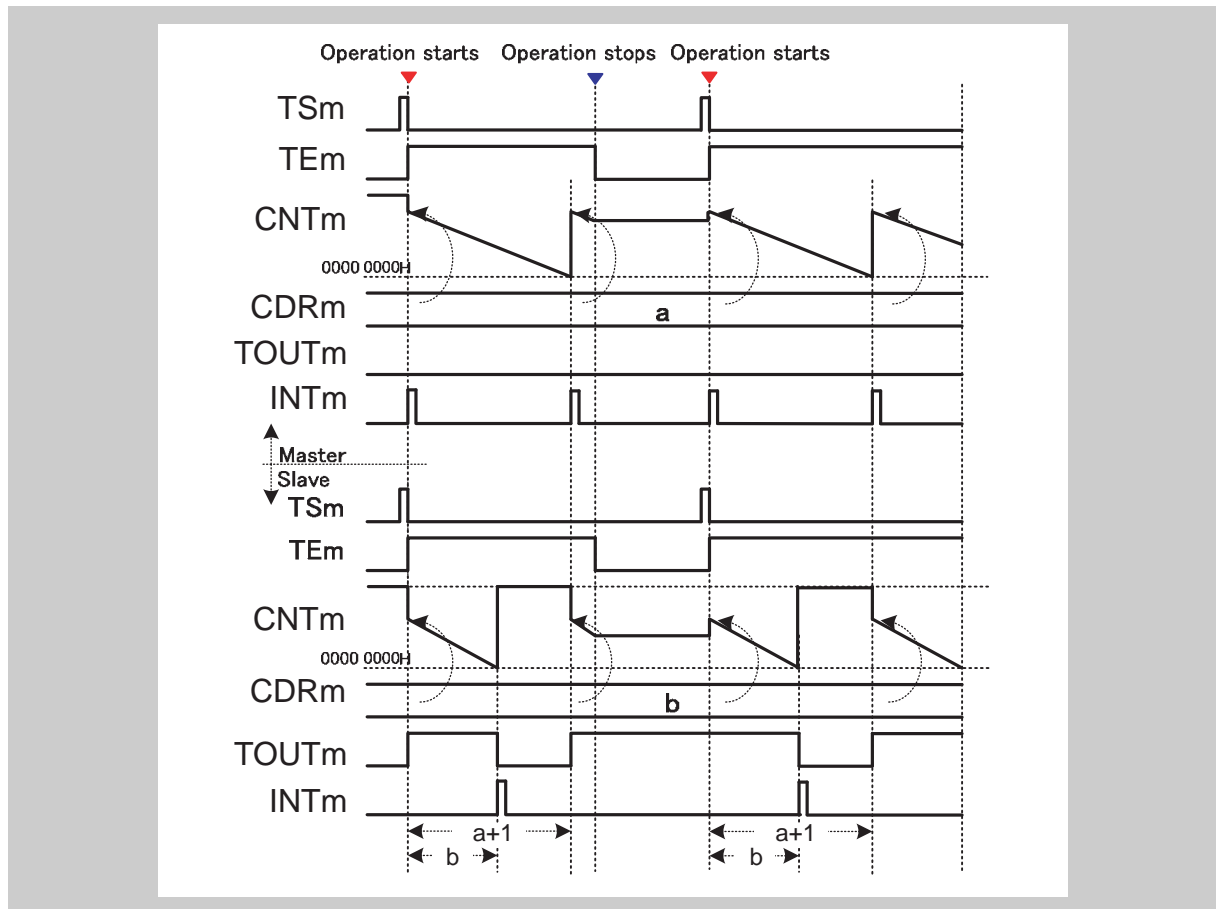


図 18-55 動作の停止と再開  
 正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ/スレーブ・チャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCNTm と TAUJnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブ・チャンネルの TAUJnTS.TAUJnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブ・チャンネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウン・カウントを開始します。

## 18.19 レジスタ

この節では、32ビットTAUJの全レジスタについて説明します。

### 18.19.1 TAUJn レジスタの概要

TAUJn は次の表に示すレジスタによって制御および動作が行われます。1チャンネル1レジスタの場合は「m」で示されており、mは0から3です。

表 18-55 TAUJn レジスタの概要

レジスタ名	略号	アドレス
TAUJn プリスケアラ・レジスタ		
TAUJn プリスケアラ・クロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 <sub>H</sub>
TAUJn プリスケアラ・ポー・レート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 <sub>H</sub>
TAUJn 制御レジスタ		
TAUJn チャンネル・データ・レジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 <sub>H</sub>
TAUJn チャンネル・カウンタ・レジスタ m	TAUJnCNTm	<TAUJn_base> + 10 <sub>H</sub> + m × 4 <sub>H</sub>
TAUJn チャンネル・モード OS レジスタ m	TAUJnCMORM	<TAUJn_base> + 80 <sub>H</sub> + m × 4 <sub>H</sub>
TAUJn チャンネル・モード・ユーザ・レジスタ m	TAUJnCMURm	<TAUJn_base> + 20 <sub>H</sub> + m × 4 <sub>H</sub>
TAUJn チャンネル・ステータス・レジスタ m	TAUJnCSRm	<TAUJn_base> + 30 <sub>H</sub> + m × 4 <sub>H</sub>
TAUJn チャンネル・ステータス・クリア・トリガ・レジスタ m	TAUJnCSCm	<TAUJn_base> + 40 <sub>H</sub> + m × 4 <sub>H</sub>
TAUJn チャンネル・スタート・トリガ・レジスタ	TAUJnTS	<TAUJn_base> + 54 <sub>H</sub>
TAUJn チャンネル許可ステータス・レジスタ	TAUJnTE	<TAUJn_base> + 50 <sub>H</sub>
TAUJn チャンネル・ストップ・トリガ・レジスタ	TAUJnTT	<TAUJn_base> + 58 <sub>H</sub>
TAUJn 出力レジスタ		
TAUJn チャンネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 <sub>H</sub>
TAUJn チャンネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C <sub>H</sub>
TAUJn チャンネル出力モード・レジスタ	TAUJnTOM	<TAUJn_base> + 98 <sub>H</sub>
TAUJn チャンネル出力コンフィギュレーション・レジスタ	TAUJnTOC	<TAUJn_base> + 9C <sub>H</sub>
TAUJn チャンネル出力アクティブ・レベル・レジスタ	TAUJnTOL	<TAUJn_base> + 64 <sub>H</sub>
TAUJn リロード・データ・レジスタ		
TAUJn チャンネル・リロード・データ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 <sub>H</sub>
TAUJn チャンネル・リロード・データ・モード・レジスタ	TAUJnRDM	<TAUJn_base> + A4 <sub>H</sub>
TAUJn チャンネル・リロード・データ・トリガ・レジスタ	TAUJnRDT	<TAUJn_base> + 68 <sub>H</sub>
TAUJn チャンネル・リロード・ステータス・レジスタ	TAUJnRSF	<TAUJn_base> + 6C <sub>H</sub>
TAUJn エミュレーション・レジスタ		
TAUJn エミュレーション・レジスタ	TAUJnEMU	<TAUJn_base> + A8 <sub>H</sub>

**備考** TAUJn のベース・アドレス <TAUJn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。



### 18.19.2 TAUJn プリスケーラ・レジスタの詳細

#### (1) TAUJnTPS - TAUJn プリスケーラ・クロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0, CK1, CK2, CK3\_PRE クロックを指定するレジスタです。CK3 は, CK3\_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 90<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-56 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15-12	TAUJnPRS3 [3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは, CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm= 0) 場合のみ書き換え可能です。</p>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 18-56 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11-8	TAUJnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS2[3:0]	CK2 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUJnPRS2[3:0]	CK2 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			
7-4	TAUJnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS1[3:0]	CK1 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUJnPRS1[3:0]	CK1 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

表 18-56 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3-0	TAUJnPRSO [3:0]	CK0 クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TAUJnPRSO[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000<sub>B</sub></td><td>PCLK/2<sup>0</sup></td></tr> <tr><td>0001<sub>B</sub></td><td>PCLK/2<sup>1</sup></td></tr> <tr><td>0010<sub>B</sub></td><td>PCLK/2<sup>2</sup></td></tr> <tr><td>0011<sub>B</sub></td><td>PCLK/2<sup>3</sup></td></tr> <tr><td>0100<sub>B</sub></td><td>PCLK/2<sup>4</sup></td></tr> <tr><td>0101<sub>B</sub></td><td>PCLK/2<sup>5</sup></td></tr> <tr><td>0110<sub>B</sub></td><td>PCLK/2<sup>6</sup></td></tr> <tr><td>0111<sub>B</sub></td><td>PCLK/2<sup>7</sup></td></tr> <tr><td>1000<sub>B</sub></td><td>PCLK/2<sup>8</sup></td></tr> <tr><td>1001<sub>B</sub></td><td>PCLK/2<sup>9</sup></td></tr> <tr><td>1010<sub>B</sub></td><td>PCLK/2<sup>10</sup></td></tr> <tr><td>1011<sub>B</sub></td><td>PCLK/2<sup>11</sup></td></tr> <tr><td>1100<sub>B</sub></td><td>PCLK/2<sup>12</sup></td></tr> <tr><td>1101<sub>B</sub></td><td>PCLK/2<sup>13</sup></td></tr> <tr><td>1110<sub>B</sub></td><td>PCLK/2<sup>14</sup></td></tr> <tr><td>1111<sub>B</sub></td><td>PCLK/2<sup>15</sup></td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRSO[3:0]	CK0 クロック	0000 <sub>B</sub>	PCLK/2 <sup>0</sup>	0001 <sub>B</sub>	PCLK/2 <sup>1</sup>	0010 <sub>B</sub>	PCLK/2 <sup>2</sup>	0011 <sub>B</sub>	PCLK/2 <sup>3</sup>	0100 <sub>B</sub>	PCLK/2 <sup>4</sup>	0101 <sub>B</sub>	PCLK/2 <sup>5</sup>	0110 <sub>B</sub>	PCLK/2 <sup>6</sup>	0111 <sub>B</sub>	PCLK/2 <sup>7</sup>	1000 <sub>B</sub>	PCLK/2 <sup>8</sup>	1001 <sub>B</sub>	PCLK/2 <sup>9</sup>	1010 <sub>B</sub>	PCLK/2 <sup>10</sup>	1011 <sub>B</sub>	PCLK/2 <sup>11</sup>	1100 <sub>B</sub>	PCLK/2 <sup>12</sup>	1101 <sub>B</sub>	PCLK/2 <sup>13</sup>	1110 <sub>B</sub>	PCLK/2 <sup>14</sup>	1111 <sub>B</sub>	PCLK/2 <sup>15</sup>
TAUJnPRSO[3:0]	CK0 クロック																																			
0000 <sub>B</sub>	PCLK/2 <sup>0</sup>																																			
0001 <sub>B</sub>	PCLK/2 <sup>1</sup>																																			
0010 <sub>B</sub>	PCLK/2 <sup>2</sup>																																			
0011 <sub>B</sub>	PCLK/2 <sup>3</sup>																																			
0100 <sub>B</sub>	PCLK/2 <sup>4</sup>																																			
0101 <sub>B</sub>	PCLK/2 <sup>5</sup>																																			
0110 <sub>B</sub>	PCLK/2 <sup>6</sup>																																			
0111 <sub>B</sub>	PCLK/2 <sup>7</sup>																																			
1000 <sub>B</sub>	PCLK/2 <sup>8</sup>																																			
1001 <sub>B</sub>	PCLK/2 <sup>9</sup>																																			
1010 <sub>B</sub>	PCLK/2 <sup>10</sup>																																			
1011 <sub>B</sub>	PCLK/2 <sup>11</sup>																																			
1100 <sub>B</sub>	PCLK/2 <sup>12</sup>																																			
1101 <sub>B</sub>	PCLK/2 <sup>13</sup>																																			
1110 <sub>B</sub>	PCLK/2 <sup>14</sup>																																			
1111 <sub>B</sub>	PCLK/2 <sup>15</sup>																																			

**備考** TAUJn クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。

**(2) TAUJnBRS - TAUJn プリスケーラ・ポー・レート設定レジスタ**

プリスケーラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3\_PRE をこのレジスタで指定した係数 + 1 で分周することによって生成されます。CK3\_PRE 用の PCLK プリスケーラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 94<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

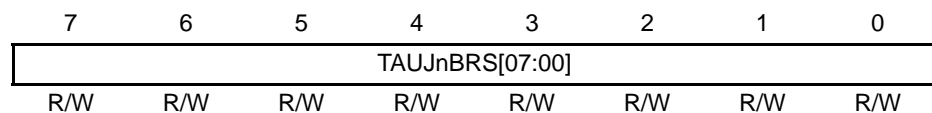


表 18-57 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7-0	TAUJnBRS [07:00]	CK3 生成のための CK3_PRE クロック分周係数を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 50%;">TAUJnBRS[07:00]</th> <th style="width: 50%;">CK3 クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0000 0000<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 1</td> </tr> <tr> <td style="text-align: center;">0000 0001<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 2</td> </tr> <tr> <td style="text-align: center;">0000 0010<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 3</td> </tr> <tr> <td style="text-align: center;">0000 0011<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 4</td> </tr> <tr> <td style="text-align: center;">...</td> <td style="text-align: center;">...</td> </tr> <tr> <td style="text-align: center;">1111 1110<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 255</td> </tr> <tr> <td style="text-align: center;">1111 1111<sub>B</sub></td> <td style="text-align: center;">CK3_PRE / 256</td> </tr> </tbody> </table> <p style="font-size: small; margin-top: 5px;">上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnBRS[07:00]	CK3 クロック	0000 0000 <sub>B</sub>	CK3_PRE / 1	0000 0001 <sub>B</sub>	CK3_PRE / 2	0000 0010 <sub>B</sub>	CK3_PRE / 3	0000 0011 <sub>B</sub>	CK3_PRE / 4	...	...	1111 1110 <sub>B</sub>	CK3_PRE / 255	1111 1111 <sub>B</sub>	CK3_PRE / 256
TAUJnBRS[07:00]	CK3 クロック																	
0000 0000 <sub>B</sub>	CK3_PRE / 1																	
0000 0001 <sub>B</sub>	CK3_PRE / 2																	
0000 0010 <sub>B</sub>	CK3_PRE / 3																	
0000 0011 <sub>B</sub>	CK3_PRE / 4																	
...	...																	
1111 1110 <sub>B</sub>	CK3_PRE / 255																	
1111 1111 <sub>B</sub>	CK3_PRE / 256																	

### 18.19.3 TAUJn 制御レジスタの詳細

#### (1) TAUJnCDRm - TAUJn チャンネル・データ・レジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

**アクセス** 32 ビット単位でリード／ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード／ライト可能です。

**アドレス** <TAUJn\_base> + 0<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TAUJnCDR[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCDR[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-58 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCDR [31:0]	キャプチャ値／コンペア値用データ・レジスタ

## (2) TAUJnCNTm - TAUJn チャネル・カウンタ・レジスタ

チャネル m カウンタ・レジスタです。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <TAUJn\_base> + 10<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> または FFFF FFFF<sub>H</sub> 初期値は動作モードによって異なります。表 18-60「カウント再許可後の TAUJnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCNT[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18-59 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCNT [31:0]	32 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSM, TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSM = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSM = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 18-60 カウント再許可後の TAUJnCNTm リード値 (1/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF FFFF <sub>H</sub>	停止値	—
キャプチャ・モード	アップ・カウント	0000 0000 <sub>H</sub>	停止値	—
ワンカウント・モード	ダウン・カウント	FFFF FFFF <sub>H</sub>	停止値	FFFF FFFF <sub>H</sub>
キャプチャ&ワンカウント・モード	アップ・カウント	0000 0000 <sub>H</sub>	停止値	キャプチャ値 + 1 (TAUJnCDRm)

表 18-60 カウント再許可後の TAUJnCNTm リード値 (2/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後	ストップ・ トリガ後	ワンカウント後
カウント・キャプチャ・モード	アップ・カウント	0000 0000 <sub>H</sub>	停止値	—
ゲート・カウント・モード	ダウン・カウント	FFFF FFFF <sub>H</sub>	停止値	停止値
キャプチャ&ゲート・カウ ント・モード	アップ・カウント	0000 0000 <sub>H</sub>	停止値	停止値

**備考** カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1] レジスタで変更します。

(3) TAUJnCMORm - TAUJn チャンネル・モード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

**アクセス** 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

**アドレス** <TAUJn\_base> + 80<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS [1:0]	TAUJnCCS [1:0]	TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18-61 TAUJnCMORm レジスタの内容 (1/4)

ビット位置	ビット名	機能															
15, 14	TAUJnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS 1</th> <th>TAUJnCKS 0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUJnCKS 1	TAUJnCKS 0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS 1	TAUJnCKS 0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13, 12	TAUJnCCS [1:0]	<p>TAUJnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS 1</th> <th>TAUJnCCS 0</th> <th>カウント・クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUJnTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table>	TAUJnCCS 1	TAUJnCCS 0	カウント・クロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック	0	1	TAUJnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	
TAUJnCCS 1	TAUJnCCS 0	カウント・クロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック															
0	1	TAUJnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1																
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															



表 18-61 TAUJnCMORm レジスタの内容 (2/4)

ビット位置	ビット名	機能			
10-8	TAUJnSTS [2:0]	外部スタート・トリガを選択します。			
		<b>TAUJnSTS 2</b>	<b>TAUJnSTS 1</b>	<b>TAUJnSTS0</b>	<b>機能説明</b>
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	設定禁止
		1	1	0	
		1	1	1	

表 18-61 TAUJnCMORm レジスタの内容 (3/4)

ビット位置	ビット名	機能			
7, 6	TAUJnCOS [1:0]	チャンネル m のデータ・レジスタ TAUJnCDRm とオーバフロー・フラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUJnCOS 1	TAUJnCOS 0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット</li> <li>有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア</li> </ul>
		0	1		カウンタ・オーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
		1	1	<ul style="list-style-type: none"> <li>TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる</li> <li>オーバフロー発生：FFFF FFFF<sub>H</sub> が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。</li> </ul>	カウンタ・オーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア

表 18-61 TAUJnCMORm レジスタの内容 (4/4)

ビット位置	ビット名	機能					
4-0	TAUJnMD [4:0]	動作モードを指定します。					
		TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	0	ゲート・カウント・モード
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード

モード	TAUJnMD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時 (スタート・トリガ入力時) に, INTTAUJnIm 信号を出力するかどうかを指定します。 0: INTTAUJnIm を出力しない 1: INTTAUJnIm を出力する
ワンカウント・モード ゲート・カウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可

モード	TAUJnMD0 ビットの役割
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは0に設定する必要があります。

(4) TAUJnCMURm - TAUJn チャンネル・モード・ユーザ・レジスタ

このレジスタは、TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 20<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 18-62 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUJnTIS [1:0]	<p>TAUJnTTINm 入力信号の有効エッジを指定します。</p> <table border="1" style="width: 100%;"> <thead> <tr> <th>TAUJnTI S1</th> <th>TAUJnTI S0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>TAUJnTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。</li> </ul>	TAUJnTI S1	TAUJnTI S0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ
TAUJnTI S1	TAUJnTI S0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がリエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がリエッジ															

**(5) TAUJnCSRm - TAUJn チャンネル・ステータス・レジスタ**

このレジスタは、チャンネル m のオーバフロー状態を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <TAUJn\_base> + 30<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	TAUJn OVF
R	R	R	R	R	R	R	R

表 18-63 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
0	TAUJn OVF	カウンタ・オーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> <li>キャプチャ・モード</li> <li>キャプチャ&amp;ワンカウント・モード</li> <li>カウント・キャプチャ・モード</li> <li>キャプチャ&amp;ゲート・カウント・モード</li> </ul> このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

**(6) TAUJnCSCm - TAUJn チャンネル・ステータス・クリア・レジスタ**

このレジスタは、チャンネル m のオーバフロー・フラグ  
TAUJnCSRm.TAUJnOVF をクリアするためのトリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。リード値は常に 00<sub>H</sub> です。

**アドレス** <TAUJn\_base> + 40<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	—	—	0	TAUJn CLOV
R	R	R	R	R	R	R	W

表 18-64 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnCLOV	0：機能なし 1：オーバフロー・フラグ TAUJnCSRm.TAUJnOVF をクリア

**(7) TAUJnTS - TAUJn チャンネル・スタート・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を許可します。

**アクセス** 8ビット単位でライト可能です。リード値は常に 00<sub>H</sub> です。

**アドレス** <TAUJn\_base> + 54<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TS03	TAUJn TS02	TAUJn TS01	TAUJn TS00
W	W	W	W	W	W	W	W

表 18-65 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

**(8) TAUJnTE - TAUJn チャンネル許可ステータス・レジスタ**

このレジスタは、カウンタ動作の許可/禁止を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <TAUJn\_base> + 50<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TE03	TAUJn TE02	TAUJn TE01	TAUJn TE00
R	R	R	R	R	R	R	R

表 18-66 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTEm	チャンネル m のカウンタ動作の許可/禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUJnTSSTm (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされます。

**(9) TAUJnTT - TAUJn チャンネル・ストップ・トリガ・レジスタ**

このレジスタは、各チャンネルのカウンタ動作を停止します。

**アクセス** 8ビット単位でライト可能です。リード値は常に 00<sub>H</sub> です。

**アドレス** <TAUJn\_base> + 58<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TT03	TAUJn TT02	TAUJn TT01	TAUJn TT00
W	W	W	W	W	W	W	W

表 18-67 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTTm	チャンネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCnTm, TAUJnTO.TAUJnTOm, TAUJnTTOUm は、カウント停止前の値を保持します。

### 18.19.4 TAUJn 出力レジスタの詳細

#### (1) TAUJnTOE - TAUJn チャンネル出力許可レジスタ

このレジスタは、該当するチャンネルの TAUJnTTOUTm 出力モードを選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 60<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TOE03	TAUJn TOE02	TAUJn TOE01	TAUJn TOE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-68 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOEm	TAUJnTTOUTm の出力モードを選択します。 0 : TAUJnTO.TAUJnTOm で指定した出力 (ソフトウェアによる制御) 1 : タイマ単体出力機能

#### (2) TAUJnTO - TAUJn チャンネル出力レジスタ

このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 5C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TO03	TAUJn TO02	TAUJn TO01	TAUJn TO00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-69 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOm	このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。 0 : ロウ・レベル 1 : ハイ・レベル チャンネル単体出力機能が許可されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。



**(3) TAUJnTOM - TAUJn チャネル出力モード・レジスタ**

このレジスタは、各チャネルの出力モードを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUJn\_base> + 98<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TOM03	TAUJn TOM02	TAUJn TOM01	TAUJn TOM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-70 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは表 18-9「チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

**(4) TAUJnTOC - TAUJn チャネル出力コンフィギュレーション・レジスタ**

このレジスタは、TAUJnTOMm とともに各チャネルの出力モードを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

**アドレス** <TAUJn\_base> + 9C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn TOC03	TAUJn TOC02	TAUJn TOC01	TAUJn TOC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-71 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJn TOCm	出力モードを指定します。 0: 動作モード1 (トグル・モード) 1: 機能なし ソフトウェア制御のチャネル単体出力モード以外のすべての出力モードでは、必ず0に設定してください。

**(5) TAUJnTOL - TAUJn チャンネル出力レベル・レジスタ**

このレジスタは、チャンネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAUJn\_base> + 64<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJn TOL03	TAUJn TOL02	TAUJn TOL01	TAUJn TOL00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-72 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOLm	チャンネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ) これらのビット設定は、ソフトウェア制御のチャンネル単体出力モード以外のすべてのチャンネル出力モードに適用されます。

### 18.19.5 TAUJn 一斉書き換えレジスタの詳細

#### (1) TAUJnRDE - TAUJn チャンネル・リロード・データ許可レジスタ

このレジスタは、データ・レジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータ・レジスタ TAUJnTOLm の一斉書き換えを許可/禁止します。

**アクセス** 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUJn\_base> + A0<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn RDE03	TAUJn RDE02	TAUJn RDE01	TAUJn RDE00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-73 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDEm	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

#### (2) TAUJnRDM - TAUJn チャンネル・リロード・データ・モード・レジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

**アクセス** 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

**アドレス** <TAUJn\_base> + A4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn RDM03	TAUJn RDM02	TAUJn RDM01	TAUJn RDM00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18-74 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

**(3) TAUJnRDT - TAUJn チャンネル・リロード・データ・トリガ・レジスタ**

一斉書き換え保留状態をトリガするレジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。リード値は常に 00<sub>H</sub> です。

**アドレス** <TAUJn\_base> + 68<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn RDT03	TAUJn RDT02	TAUJn RDT01	TAUJn RDT00
W	W	W	W	W	W	W	W

表 18-75 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRDTm	一斉書き換え保留状態をトリガします。 0: 機能なし 1: 一斉書き換え保留状態をトリガする。一斉書き換え保留フラグ (TAUJnRSFm) が 1 に設定されます。システムは一斉書き換えトリガを待ちます。

**(4) TAUJnRSF - TAUJn チャンネル・リロード・ステータス・レジスタ**

このフラグ・レジスタは、一斉書き換えのステータスを示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <TAUJn\_base> + 6C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
—	—	—	—	TAUJn RSF03	TAUJn RSF02	TAUJn RSF01	TAUJn RSF00
R	R	R	R	R	R	R	R

表 18-76 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換え不可 1: 一斉書き換え可能

### 18.19.6 TAUJn エミュレーション・レジスタ

#### (1) TAUJnEMU - TAUJn エミュレーション・レジスタ

このレジスタは SVSTOP による動作を制御します。

**アクセス** 8 ビット単位でリード/ライト可能です。

カウンタ停止中 (TAUJnTE.TAUJnTEm=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <TAUJn\_base> + A8<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TAUJn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 18-77 TAUJnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUJn SVSDIS	(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 第19章 リアルタイム・クロック (RTCA)

この章では、リアルタイム・クロック (RTCA) の一般的な内容について説明します。

19.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特徴について説明します。

19.2 節以降で、RTCA 搭載製品に共通の特徴について説明します。

### 19.1 V850E2/Fx4-H の RTCA の特徴

**チャンネル** この製品は 1 チャンネルのリアルタイム・クロック A を搭載しています。

表 19-1 RTCA のチャンネル

RTCA	V850E2/FK4-H	V850E2/FL4-H
チャンネル数	1	
名称	RTCA0	

**n の意味** この章では、リアルタイム・クロック A の各チャンネルを「n」(n = 0) で識別します。たとえば、RTCA<sub>n</sub> コントロール・レジスタ 0 (RTCA<sub>n</sub>CTL0) のように記述しています。

**レジスタ・アドレス** RTCA<sub>n</sub> レジスタのアドレスは、それぞれのベース・アドレス <RTCA<sub>n</sub>\_base> からのオフセットで表されます。各 RTCA<sub>n</sub> のレジスタ・ベース・アドレスを次の表に示します。

表 19-2 レジスタ・ベース・アドレス

RTCA <sub>n</sub>	<RTCA <sub>n</sub> _base> アドレス
RTCA0	FF81 4000 <sub>H</sub>

**クロック供給** リアルタイム・クロックには次の 2 つのクロック入力があります。

表 19-3 RTCA<sub>n</sub> のクロック供給

RTCA <sub>n</sub>	RTCA <sub>n</sub> クロック	接続先
RTCA0	RTCATCKI	クロック・コントローラの CKSCLK_A09
	PCLK	クロック・コントローラの CKSCLK_A02

**割り込み** リアルタイム・クロック RTCA は次の割り込み要求を発生できます。

表 19-4 RTCA<sub>n</sub> の割り込み要求

RTCA <sub>n</sub> 信号	機能	接続先
RTCATINT1S	1 秒インターバル割り込み	割り込みコントローラ INTRTCA01S
RTCATINTAL	アラーム割り込み	割り込みコントローラ INTRTCA0AL
RTCATINTR	定周期割り込み	割り込みコントローラ INTRTCA0R

**RTCA ハードウェア・リセット** RTCA および RTCA の各レジスタは、リセット・コントローラの SYSRES 信号でリセットされます。

**入出力信号** リアルタイム・クロックの入出力信号を次の表に示します。

表 19-5 RTCA<sub>n</sub> の入出力信号

RTCA <sub>n</sub> 信号	機能	接続先
RTCAT1HZ	1 Hz パルス出力	ポート RTCA0OUT

## 19.2 機能概要

**機能概要** RTCA には、次の機能があります。

- 32 kHz-4.194304 MHz のカウント・クロックの選択
- 年, 月, 日, 曜日, 時間, 分, 秒のカウントおよびサブカウンタを用いて最長 99 年までカウント可能。うるう年はハードウェアで自動的に処理。
- 1 Hz パルス出力機能
- 定周期割り込み機能
- アラーム割り込み機能
- 32.768 kHz カウント・クロック使用時のクロック誤差補正機能

RTCA の主な構成要素を次のブロック図に示します。

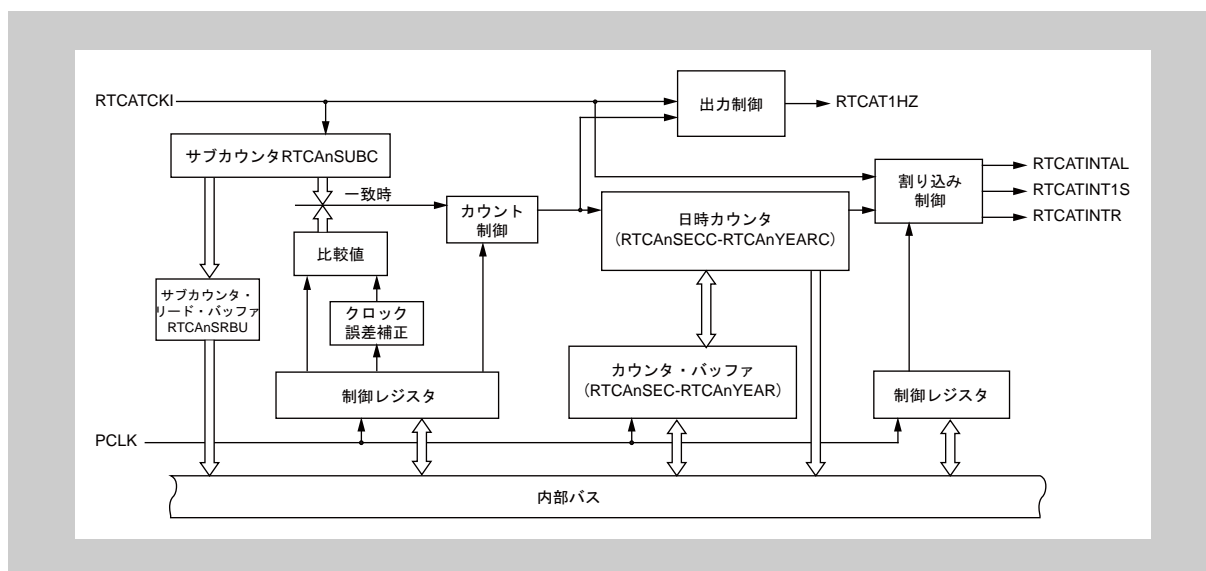


図 19-1 RTCA のブロック図



## 19.3 機能説明

リアルタイム・クロック RTCA は、現在の日付と時刻に関する情報を提供し、ウエイクアップ信号（割り込み、アラーム）を発生します。この情報はカウント・クロック RTCATCKI から得られます。

**サブカウンタ** RTCATCKI はサブカウンタ RTCA<sub>n</sub>SUBC への入力です。サブカウンタは、0 から比較値に達するまでカウント・アップします。比較値は、常に RTCATCKI の周波数 - 1 (Hz) で定義します。したがって、サブカウンタは 1 秒後にオーバーフローします。オーバーフロー後サブカウンタは 0 にリセットされ、続いて秒カウンタ RTCA<sub>n</sub>SECC が（指定によって割り込み RTCATINT1S も）カウント・アップされます。

サブカウンタは、0.25 秒、0.5 秒、または 1 秒ごとの定周期割り込みと、1 Hz の出力パルスを発生できます。

**時刻と日付のカウンタ** 分、時間、曜日、日、月、年のカウンタもカウント・アップします。各カウンタには固有のオーバーフロー値が設定されています。下位のすべてのカウンタがオーバーフローすると、上位のカウンタをカウント・アップします。日カウンタ (RTCA<sub>n</sub>DAYC) のオーバーフロー値は、現在の月によって変わります (28 日、30 日、31 日のいずれか)。また、2 月の場合は年カウンタ RTCA<sub>n</sub>YEARC によっても変わります (0, 4, 8, 12 などのはうるう年と見なされる)。

時カウンタ RTCA<sub>n</sub>HOURE は、12 時間表示と 24 時間表示との切り替えが可能です。

秒、分、時間、日、月、年のカウンタは、オーバーフローによって定周期割り込み (RTCATINTR) を発生できます。

また、分、時間、曜日のカウンタは、指定の時刻 (例: 毎週火曜日と木曜日の 10:32) にアラーム割り込み (RTCATINTAL) を発生できます。

**カウンタ・バッファ** すべてのカウンタは任意のタイミングで直接読み出すことができます。リード/ライト・レジスタにアクセスするためのクロック信号とカウント・クロックは、通常非同期です。読み出し動作中にサブカウンタがオーバーフローした場合、すべての読み出し値が最新ではない可能性があります。したがって、カウンタの読み出しは特定の手順で実行する必要があります。詳細は 19.5.3 「クロック・カウンタの読み出し」を参照してください。

同期を維持するために、カウンタへの直接書き込みは禁止されています。

すべてのカウンタには、読み出しおよび書き込み用のバッファ・レジスタが用意されています。バッファ・レジスタにより、同期を維持しながらカウンタの値を読み出し、日付と時刻の設定を行うことができます。バッファ・レジスタを使用する場合、まずサブカウンタの動作を中断し、再起動する必要があります (19.5.3 「クロック・カウンタの読み出し」および 19.5.2 「クロック・カウンタの更新」を参照)。

RTCA<sub>n</sub>TIMEC レジスタと RTCA<sub>n</sub>CALC レジスタ、およびそれぞれに対応するバッファ・レジスタを使用すると、時刻 (時間、分、秒) および日付 (曜日、日、月、年) の確認と設定を 1 回の読み出し/書き込み動作で行うことができます。

### 19.3.1 動作モード

RTCA には次の 2 つの動作モードがあります。

- 周波数選択モード
- 32.768 kHz モード

使用可能な入力クロック RTCATCKI によって使用できる動作モードが異なります。動作モードによって、秒カウンタとそれに伴うすべての後続カウンタのカウンタ動作のトリガとなるサブカウンタの比較値が異なります。クロック誤差補正は 32.768 kHz モード時のみ使用可能です。

2 つの動作モードの主な特徴を次の表に示します。

表 19-6 RTCA 動作モードの概要

	周波数選択モード	32.768 kHz モード	
		クロック誤差補正無効時	クロック誤差補正有効時
使用可能な入力クロック RTCATCKI	32 kHz-4.194304 MHz の任意の周波数	32.768 kHz	32.76180000 kHz-32.77420000 kHz の任意の周波数
サブカウンタ RTCAnSUBC の動作	<ul style="list-style-type: none"> <li>• RTCAnSCMP の値に達するとオーバフロー</li> <li>• RTCAnSCMP は RTCATCKI - 1 (Hz) に設定</li> </ul>	7FFF <sub>H</sub> に達するとオーバフロー	次の条件でオーバフロー <ul style="list-style-type: none"> <li>• 7FFF<sub>H</sub> または</li> <li>• 20 秒または 60 秒ごとに 7FFF<sub>H</sub> ±RTCAnSUBU.RTCAnF[5:0]</li> </ul>

動作モードは制御ビット RTCAnCTL0.RTCAnSLSB で選択します。RTCA の初期設定で動作モードを設定する方法については、19.5.1 「RTCA の初期設定」を参照してください。

- 注意**
1. 入力クロック RTCATCKI は有効周波数範囲内である必要があります。
  2. 動作モードは、サブカウンタ動作許可状態 (RTCAnCTL0.RTCAnCEST = 1) では変更できません。

### 19.3.2 クロック・カウンタの表示形式

クロック・カウンタ (RTCA<sub>n</sub>SECC-RTCA<sub>n</sub>YEARC) は BCD コード (2 進化 10 進数) で動作します。各桁はそれぞれ 2 進数列で表されます。

数値の各桁を表すビット数は有効データ範囲に応じて異なります。たとえば、年カウンタの月の 10 の位は 1 ビット (0, 1) ですが、分カウンタの 10 の位は 3 ビット (0-5) です。

10 進数の 0 から 59 を 2 進数と BCD で表したものを次の表に示します。

表 19-7 BCD コードの例：秒カウンタまたは分カウンタ (0-59)

10 進数	2 進数	BCD
0	000000	000 0000
1	000001	000 0001
2	000010	000 0010
3	000011	000 0011
4	000100	000 0100
5	000101	000 0101
6	000110	000 0110
7	000111	000 0111
8	001000	000 1000
9	001001	000 1001
10	001010	001 0000
11	001011	001 0001
12	001100	001 0010
:	:	:
58	111010	101 1000
59	111011	101 1001

### 19.3.3 定周期割り込み機能

割り込み RTCATINTR は、発生タイミングを 0.25 秒、0.5 秒、1 秒 (毎秒)、1 分 (毎分)、1 時間 (毎時)、1 日 (毎日)、または 1 月 (毎月) に指定して発生させることができます。

定周期割り込み機能は、RTCA<sub>n</sub>CTL1.RTCA<sub>n</sub>CT[2:0] ビットによって制御されます。

### 19.3.4 アラーム割り込み機能

特定の曜日（1つ以上）の特定の時刻に割り込み RTCATINTAL を発生するよう指定できます。この割り込みはウエイクアップ信号として使用できます。

アラーム割り込み機能の有効/無効は RTCA<sub>n</sub>CTL1.RTCA<sub>n</sub>ALME ビットで指定します。

アラームの設定は、次の制御レジスタで指定します。

- RTCA<sub>n</sub>ALW は曜日（1つ以上）を選択します。  
曜日を指定するビットの割り当ては、曜日カウンタ RTCA<sub>n</sub>WEEKC で定義します。
- RTCA<sub>n</sub>ALH と RTCA<sub>n</sub>ALM は時間と分を BCD で指定します。

**例** アラーム制御レジスタの設定例を、12 時間表示と 24 時間表示の両方についてそれぞれ次の表に示します。

この例では、日曜日が RTCA<sub>n</sub>WEEK = 0、月曜日が RTCA<sub>n</sub>WEEK = 1、火曜日が RTCA<sub>n</sub>WEEK = 2、... 土曜日が RTCA<sub>n</sub>WEEK = 6 です。

表 19-8 12 時間表示 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>AMPM = 0) のアラーム時間設定例

アラーム設定時間	RTCA <sub>n</sub> ALW	RTCA <sub>n</sub> ALH	RTCA <sub>n</sub> ALM
日曜日 午前 7:00	01 <sub>H</sub>	07 <sub>H</sub>	00 <sub>H</sub>
日曜日と月曜日 午後 12:15	03 <sub>H</sub>	32 <sub>H</sub>	15 <sub>H</sub>
月曜日、水曜日、金曜日 午後 5:30	26 <sub>H</sub>	25 <sub>H</sub>	30 <sub>H</sub>
毎日 午後 10:45	7F <sub>H</sub>	30 <sub>H</sub>	45 <sub>H</sub>

表 19-9 24 時間表示 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>AMPM = 1) のアラーム時間設定例

アラーム設定時間	RTCA <sub>n</sub> ALW	RTCA <sub>n</sub> ALH	RTCA <sub>n</sub> ALM
日曜日 7:00	01 <sub>H</sub>	07 <sub>H</sub>	00 <sub>H</sub>
日曜日と月曜日 12:15	03 <sub>H</sub>	12 <sub>H</sub>	15 <sub>H</sub>
月曜日、水曜日、金曜日 17:30	26 <sub>H</sub>	17 <sub>H</sub>	30 <sub>H</sub>
毎日 22:45	7F <sub>H</sub>	22 <sub>H</sub>	45 <sub>H</sub>

### 19.3.5 クロック誤差補正

クロック誤差補正機能は、発振回路の公称クロック速度からの偏差を補正します。クロック誤差補正では、入力クロック速度として 32.76180 kHz から 32.77420 kHz を指定できます。

クロック誤差補正は 32.768 kHz 動作モード時のみ使用可能です。この動作モードでは、公称クロック速度が 32.768 kHz に想定されており、サブカウンタのオーバフロー値は 7FFF<sub>H</sub> に固定されています。

入力クロック速度が公称クロックから逸脱している場合のクロック誤差を次の図に示します。

**RTCATCKI = 32.768 kHz** 図 19-2 「RTCATCKI = 32.768 kHz, クロック誤差補正不要」に、RTCATCKI が公称クロック速度 32.768 kHz に一致している場合のタイミング図を示します。この場合、クロック誤差補正は必要ありません。

32.768 kHz のクロックで 0 から 32767 まで (0-7FFF<sub>H</sub>) カウントすると、ちょうど 1 秒になります。

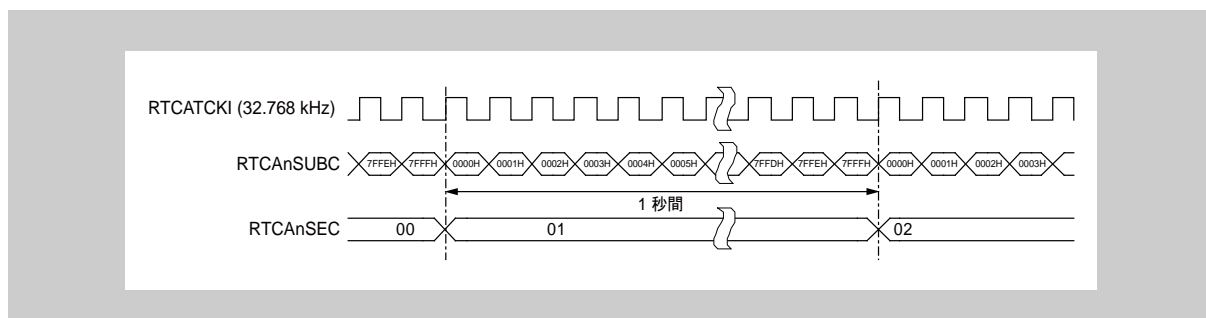


図 19-2 RTCATCKI = 32.768 kHz, クロック誤差補正不要

**RTCATCKI = 32.769 kHz** 図 19-3 「RTCATCKI = 32.769 kHz, クロック誤差補正無効」に、RTCATCKI が公称クロック速度 32.768 kHz から逸脱している場合のタイミング図を示します。この例では、RTCATCKI は 32.769 kHz の発振回路と接続しています。クロック誤差補正は許可されていません。

32.769 kHz のクロックで 0 から 32767 まで (0-7FFF<sub>H</sub>) カウントすると、約 0.99997 秒 (32768/32769) になります。このとき「正の誤差」(32.768 kHz より速い) が発生し、1 か月では RTCA には実際の時刻から約 -79 秒の偏差が発生することになります。

$$\text{誤差} = (32768/32769 - 1) \times 60 \text{ (秒)} \times 60 \text{ (分)} \times 24 \text{ (時間)} \times 30 \text{ (日)}$$

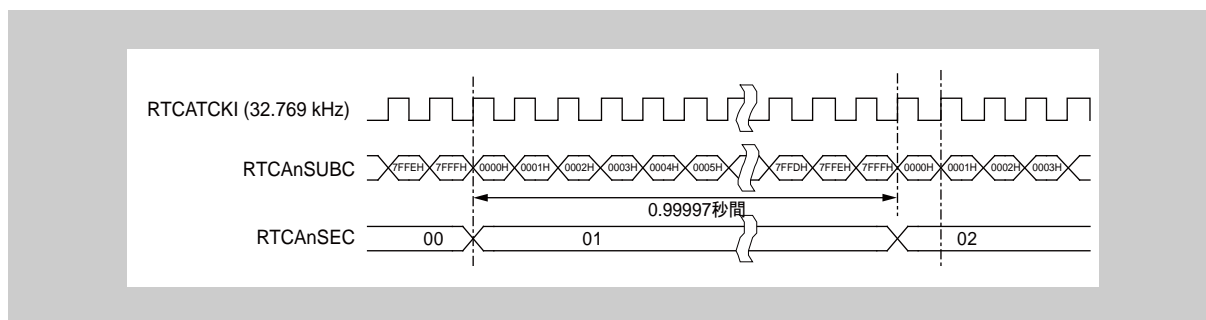


図 19-3 RTCATCKI = 32.769 kHz, クロック誤差補正無効

クロック誤差補正は、サブカウンタの1秒間を定期的に延長または短縮して実行します。RTCAnSUBU レジスタの次のパラメータを設定することによって、サブカウンタの上限値  $7FFF_H$  を増減できます。

- 1より大きい補正值
- 演算子 (+/-)
- 周期 (20秒ごとまたは60秒ごと)

補正されたオーバフローの値が20秒ごとまたは60秒ごとに適用され、平均して RTCAnSECC がちょうど1秒ごとにトリガされるようにします。

#### (1) 補正值と演算子の設定

補正值と演算子は、RTCAnSUBU レジスタの RTCAnF[6:0] ビットで指定します。

- RTCAnF[6] は、オーバフローの値を増加させるか減少させるかを指定します。
- RTCAnF[5:0] は補正值を指定します。

補正值は次のように計算されます。

表 19-10 補正值の設定

RTCAnF[6]	増加/減少	補正值
0	増加	$(RTCAnF[5:0] \text{ の値} - 1) \times 2$
1	減少	$(RTCAnF[5:0] \text{ を反転した値} + 1) \times 2$

補正值の設定例を次の表に示します。

表 19-11 補正值の設定例

RTCAnF[6]	RTCAnF[5:0]	補正值	RTCAnSUBC の カウント上限値
0	$15_H$	$(15_H - 1) \times 2 = 40$	$32768 + 40 = 32808$
1	$15_H$	$(15_H + 1) \times 2$ $= (2A_H + 1) \times 2$ $= 86$	$32768 - 86 = 32682$

**(2) 反復周期の影響**

RTCAnF[6:0] で設定された補正值による RTCAnSUBC のカウント上限値の変更は、毎秒行われるわけではありません。補正值を適用する周期は、RTCAnDEV ビットで指定します。

このビットの設定は、補正可能な周波数範囲と補正精度にも影響します。

RTCAnDEV の設定の概要を次の表に示します。

表 19-12 RTCAnSUBU.RTCAnDEV ビットの設定

RTCAnDEV	RTCAnSUBC カウント上限値の変更タイミング	補正可能な周波数範囲	補正精度
0	20 秒ごと (RTCAnSECC = 00, 20, 40)	32.76180000-32.77420000 kHz	—
1	60 秒ごと (RTCAnSECC = 00)	32.76593333-32.77006667 kHz	RTCAnDEV = 0 時の 3 倍の補正精度

**(3) 設定例**

補正可能な周波数を、RTCAnDEV および RTCAnF[6:0] の設定値とあわせて次の表に示します。

表 19-13 RTCAnDEV = 0 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	補正值
—	0	000000	補正なし
—	0	000001	補正なし
32.76810000 kHz	0	000010	20 秒ごと, RTCAnSUBC カウント値 + 2
32.76820000 kHz	0	000011	20 秒ごと, RTCAnSUBC カウント値 + 4
32.76830000 kHz	0	000100	20 秒ごと, RTCAnSUBC カウント値 + 6
...	...	...	...
32.77400000 kHz	0	111011	20 秒ごと, RTCAnSUBC カウント値 + 120
32.77410000 kHz	0	111110	20 秒ごと, RTCAnSUBC カウント値 + 122
32.77420000 kHz (上限)	0	111111	20 秒ごと, RTCAnSUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76180000 kHz (下限)	1	000010	20 秒ごと, RTCAnSUBC カウント値 - 124
32.76190000 kHz	1	000011	20 秒ごと, RTCAnSUBC カウント値 - 122
32.76200000 kHz	1	000100	20 秒ごと, RTCAnSUBC カウント値 - 120
...	...	...	...
32.76770000 Hz	1	11011	20 秒ごと, RTCAnSUBC カウント値 - 6
32.76780000 kHz	1	11110	20 秒ごと, RTCAnSUBC カウント値 - 4
32.76790000 kHz	1	11111	20 秒ごと, RTCAnSUBC カウント値 - 2

表 19-14 RTCA<sub>n</sub>DEV = 1 時に補正可能な周波数範囲

入力クロック 周波数	RTCA <sub>n</sub> F6	RTCA <sub>n</sub> F[5:0]	RTCA <sub>n</sub> SUBC の補正值
—	0	000000	補正なし
—	0	000001	補正なし
32.76803333 kHz	0	000010	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 2
32.76806667 kHz	0	000011	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 4
32.76810000 kHz	0	000100	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 6
...	...	...	...
32.77000000 kHz	0	111011	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 120
32.77003333 kHz	0	111110	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 122
32.77006667 kHz (上限)	0	111111	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 + 124
—	1	000000	補正なし
—	1	000001	補正なし
32.76593333 kHz (下限)	1	000010	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 124
32.76596667 kHz	1	000011	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 122
32.76600000 kHz	1	000100	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 120
...	...	...	...
32.76790000 kHz	1	111011	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 6
32.76793333 kHz	1	111110	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 4
32.76796667 kHz	1	111111	60 秒ごと, RTCA <sub>n</sub> SUBC カウント値 - 2



## 19.4 レジスタ

この節では、RTCAのすべてのレジスタについて説明します。

### 19.4.1 RTCA レジスタの概要

RTCAは、次のレジスタで制御、動作します。

表 19-15 RTCA レジスタ一覧 (1/2)

レジスタ名	略号	アドレス
制御レジスタ		
制御レジスタ 0	RTCA <sub>n</sub> CTL0	<RTCA <sub>n</sub> _base> + 00 <sub>H</sub>
制御レジスタ 1	RTCA <sub>n</sub> CTL1	<RTCA <sub>n</sub> _base> + 04 <sub>H</sub>
制御レジスタ 2	RTCA <sub>n</sub> CTL2	<RTCA <sub>n</sub> _base> + 08 <sub>H</sub>
サブカウンタ・レジスタ		
サブカウンタ・レジスタ	RTCA <sub>n</sub> SUBC	<RTCA <sub>n</sub> _base> + 0C <sub>H</sub>
サブカウンタ・レジスタ・リード・バッファ	RTCA <sub>n</sub> SRBU	<RTCA <sub>n</sub> _base> + 10 <sub>H</sub>
サブカウンタ・コンペア・レジスタ	RTCA <sub>n</sub> SCMP	<RTCA <sub>n</sub> _base> + 3C <sub>H</sub>
クロック誤差補正レジスタ	RTCA <sub>n</sub> SUBU	<RTCA <sub>n</sub> _base> + 38 <sub>H</sub>
クロック・カウンタ・レジスタとバッファ・レジスタ		
秒カウンタ・レジスタ	RTCA <sub>n</sub> SECC	<RTCA <sub>n</sub> _base> + 4C <sub>H</sub>
秒カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> SEC	<RTCA <sub>n</sub> _base> + 14 <sub>H</sub>
分カウンタ・レジスタ	RTCA <sub>n</sub> MINC	<RTCA <sub>n</sub> _base> + 50 <sub>H</sub>
分カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> MIN	<RTCA <sub>n</sub> _base> + 18 <sub>H</sub>
時カウンタ・レジスタ	RTCA <sub>n</sub> HOURC	<RTCA <sub>n</sub> _base> + 54 <sub>H</sub>
時カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> HOUR	<RTCA <sub>n</sub> _base> + 1C <sub>H</sub>
曜日カウンタ・レジスタ	RTCA <sub>n</sub> WEEKC	<RTCA <sub>n</sub> _base> + 58 <sub>H</sub>
曜日カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> WEEK	<RTCA <sub>n</sub> _base> + 20 <sub>H</sub>
日カウンタ・レジスタ	RTCA <sub>n</sub> DAYC	<RTCA <sub>n</sub> _base> + 5C <sub>H</sub>
日カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> DAY	<RTCA <sub>n</sub> _base> + 24 <sub>H</sub>
月カウンタ・レジスタ	RTCA <sub>n</sub> MONC	<RTCA <sub>n</sub> _base> + 60 <sub>H</sub>
月カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> MONTH	<RTCA <sub>n</sub> _base> + 28 <sub>H</sub>
年カウンタ・レジスタ	RTCA <sub>n</sub> YEARC	<RTCA <sub>n</sub> _base> + 64 <sub>H</sub>
年カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> YEAR	<RTCA <sub>n</sub> _base> + 2C <sub>H</sub>
特定カウンタ・レジスタとバッファ・レジスタ		
時間カウンタ・レジスタ	RTCA <sub>n</sub> TIMEC	<RTCA <sub>n</sub> _base> + 68 <sub>H</sub>
時間カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> TIME	<RTCA <sub>n</sub> _base> + 30 <sub>H</sub>
カレンダー・カウンタ・レジスタ	RTCA <sub>n</sub> CALC	<RTCA <sub>n</sub> _base> + 6C <sub>H</sub>
カレンダー・カウンタ・バッファ・レジスタ	RTCA <sub>n</sub> CAL	<RTCA <sub>n</sub> _base> + 34 <sub>H</sub>

表 19-15 RTCA レジスタ一覧 (2/2)

レジスタ名	略号	アドレス
アラーム時間設定レジスタ		
アラーム分設定レジスタ	RTCA <sub>n</sub> ALM	<RTCA <sub>n</sub> _base> + 40 <sub>H</sub>
アラーム時設定レジスタ	RTCA <sub>n</sub> ALH	<RTCA <sub>n</sub> _base> + 44 <sub>H</sub>
アラーム曜日設定レジスタ	RTCA <sub>n</sub> ALW	<RTCA <sub>n</sub> _base> + 48 <sub>H</sub>
エミュレーション・レジスタ		
エミュレーション・レジスタ	RTCA <sub>n</sub> EMU	<RTCA <sub>n</sub> _base> + 74 <sub>H</sub>

<RTCA<sub>n</sub>\_base> RTCA<sub>n</sub> のベース・アドレス <RTCA<sub>n</sub>\_base> は、表 19-2 「レジスタ・ベース・アドレス」で定義しています。

## 19.4.2 RTCA 制御レジスタの詳細

### (1) RTCA<sub>n</sub>CTL0 - RTCA 制御レジスタ 0

サブカウンタ RTCA<sub>n</sub>SUBC のカウント動作, 時カウンタ RTCA<sub>n</sub>HOURL とアラーム時設定レジスタ RTCA<sub>n</sub>ALH の時間表示表示 (12 時間表示 / 24 時間表示), および動作モードを制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <RTCA<sub>n</sub>\_base>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
RTCA <sub>n</sub> CE	RTCA <sub>n</sub> CEST	RTCA <sub>n</sub> AMPM	RTCA <sub>n</sub> SLSB	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R	R	R

表 19-16 RTCA<sub>n</sub>CTL0 レジスタの内容

ビット位置	ビット名	機能
7	RTCA <sub>n</sub> CE	サブカウンタ RTCA <sub>n</sub> SUBC の動作を開始/停止します。 0: サブカウンタ動作停止 出力端子と制御レジスタ RTCA <sub>n</sub> CTL2 内の状態フラグはすべてクリアされます。 1: サブカウンタ動作開始 サブカウンタはカウント・アップします。
6	RTCA <sub>n</sub> CEST	サブカウンタ動作の許可/禁止状態を示します。 0: サブカウンタ動作禁止 1: サブカウンタ動作許可 この状態フラグの使い方については, 19.5.1 「RTCA の初期設定」を参照してください。
5	RTCA <sub>n</sub> AMPM	時カウンタ RTCA <sub>n</sub> HOURL とアラーム時設定レジスタ RTCA <sub>n</sub> ALH の時間表示表示を選択します。 0: 12 時間表示 (1-12, 午前/午後) 1: 24 時間表示 (0-23) 時間表示表示については, 19.4.4 (6) 「RTCA <sub>n</sub> HOURL - RTCA 時カウント・バッファ・レジスタ」を参照してください。
4	RTCA <sub>n</sub> SLSB	動作モードを選択します。 0: 32.768 kHz モード 1: 周波数選択モード 動作モードについては, 19.3.1 「動作モード」を参照してください。  サブカウンタ動作許可時 (RTCA <sub>n</sub> CTL0.RTCA <sub>n</sub> CE ビット = 1) は動作モードを変更できません。 RTCA <sub>n</sub> の初期設定については, 19.5.1 「RTCA の初期設定」を参照してください。

(2) RTCA<sub>n</sub>CTL1 - RTCA 制御レジスタ 1

割り込み要求発生と 1 Hz パルス出力を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <RTCA<sub>n</sub>\_base> + 04<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCA <sub>n</sub> 1HZE	RTCA <sub>n</sub> ALME	RTCA <sub>n</sub> 1SE	RTCA <sub>n</sub> CT2	RTCA <sub>n</sub> CT1	RTCA <sub>n</sub> CT0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19-17 RTCA<sub>n</sub>CTL1 レジスタの内容

ビット位置	ビット名	機能																													
5	RTCA <sub>n</sub> 1HZE	1 Hz パルス出力 (RTCAT1HZ) の許可/禁止を指定します。 0 : RTCAT1HZ 禁止 (RTCAT1HZ は 0 に固定) 1 : RTCAT1HZ 許可																													
4	RTCA <sub>n</sub> ALME	アラーム割り込み要求発生 (RTCATINTAL) の許可/禁止を指定します。 0 : RTCATINTAL 禁止 1 : RTCATINTAL 許可																													
3	RTCA <sub>n</sub> 1SE	1 秒割り込み要求発生 (RTCATINT1S) の許可/禁止を設定します。 0 : RTCATINT1S 禁止 1 : RTCATINT1S 許可																													
2-0	RTCA <sub>n</sub> CT[2:0]	定周期割り込み要求 (RTCATINTR) の設定を行います。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">RTCA<sub>n</sub>CT[2:0]</th> <th colspan="2">RTCATINTR 割り込み要求発生</th> </tr> <tr> <th>インターバル</th> <th>タイミング</th> </tr> </thead> <tbody> <tr> <td>000</td> <td colspan="2">割り込み要求発生なし</td> </tr> <tr> <td>001</td> <td>0.25 秒に一度</td> <td>0.25 秒, 0.5 秒, 0.75 秒, 1 秒</td> </tr> <tr> <td>010</td> <td>0.5 秒に一度</td> <td>0.5 秒, 1 秒</td> </tr> <tr> <td>011</td> <td>1 秒に一度</td> <td>毎秒</td> </tr> <tr> <td>100</td> <td>1 分に一度</td> <td>毎分 00 秒</td> </tr> <tr> <td>101</td> <td>1 時間に一度</td> <td>毎時 00 分 00 秒</td> </tr> <tr> <td>110</td> <td>1 日に一度</td> <td>毎日 00 時 00 分 00 秒 (毎日午前 0 時)</td> </tr> <tr> <td>111</td> <td>1 月に一度</td> <td>毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)</td> </tr> </tbody> </table> <p>サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CEST = 1) に RTCA<sub>n</sub>CT[2:0] の設定を変更すると, RTCATINTR にグリッチが出力されます。そのため, 割り込みをマスクする処理を行ってください。</p>	RTCA <sub>n</sub> CT[2:0]	RTCATINTR 割り込み要求発生		インターバル	タイミング	000	割り込み要求発生なし		001	0.25 秒に一度	0.25 秒, 0.5 秒, 0.75 秒, 1 秒	010	0.5 秒に一度	0.5 秒, 1 秒	011	1 秒に一度	毎秒	100	1 分に一度	毎分 00 秒	101	1 時間に一度	毎時 00 分 00 秒	110	1 日に一度	毎日 00 時 00 分 00 秒 (毎日午前 0 時)	111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)
RTCA <sub>n</sub> CT[2:0]	RTCATINTR 割り込み要求発生																														
	インターバル	タイミング																													
000	割り込み要求発生なし																														
001	0.25 秒に一度	0.25 秒, 0.5 秒, 0.75 秒, 1 秒																													
010	0.5 秒に一度	0.5 秒, 1 秒																													
011	1 秒に一度	毎秒																													
100	1 分に一度	毎分 00 秒																													
101	1 時間に一度	毎時 00 分 00 秒																													
110	1 日に一度	毎日 00 時 00 分 00 秒 (毎日午前 0 時)																													
111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 (毎月 1 日午前 0 時)																													

**(3) RTCAnCTL2 - RTCA 制御レジスタ 2**

ステータス情報を格納し、サブカウンタ RTCAnSUBC から専用のサブカウンタ・リード・バッファ RTCAnSRBU へのデータ転送とクロック・カウンタ (RTCAnSECC-RTCAnYEARC) の動作設定を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 08<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAn WUST	RTCAn WSST	RTCAn RSST	RTCAn RSUB	RTCAn WST	RTCAn WAIT
R	R	R	R	R	R/W	R	R/W

表 19-18 RTCAnCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
5	RTCAnWUST	RTCAnSUBU への書き込み動作が完了したかどうかを示します。 0 : RTCAnSUBU への書き込み完了 1 : RTCAnSUBU への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 このビットはサブカウンタ動作許可時 (RTCAnCTL0.RTCAnCEST = 1) のみ有効です。 詳細は 19.5.5 「RTCAnSUBU への書き込み」を参照してください。
4	RTCAnWSST	RTCAnSCMP への書き込み動作が完了したかどうかを示します。 0 : RTCAnSCMP への書き込み完了 1 : RTCAnSCMP への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 このビットはサブカウンタ動作許可時 (RTCAnCTL0.RTCAnCEST = 1) のみ有効です。 詳細は 19.5.6 「RTCAnSCMP への書き込み」を参照してください。
3	RTCAnRSST	サブカウンタ (RTCAnSUBC) の値がサブカウンタ・レジスタ・リード・バッファ (RTCAnSRBU) に転送されたかどうかを示します。 0 : 転送中 1 : 転送完了 このビットは RTCAnRSUB = 1 によりクリア (転送がトリガ) されます。 転送が完了すると自動的にセットされます。 詳細は 19.5.4 「RTCAnSRBU の読み出し」を参照してください。

表 19-18 RTCA<sub>n</sub>CTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	RTCA <sub>n</sub> RSUB	サブカウンタ・レジスタ・リード・バッファ (RTCA <sub>n</sub> SRBU) へのサブカウンタ (RTCA <sub>n</sub> SUBC) 値の転送を許可/禁止します。 0: 転送禁止 1: 転送許可 このビットはサブカウンタ動作許可時 (RTCA <sub>n</sub> CTL0.RTCA <sub>n</sub> CEST = 1) のみ有効です。
1	RTCA <sub>n</sub> WST	すべてのクロック・カウンタ (RTCA <sub>n</sub> SECC-RTCA <sub>n</sub> YEARC) の状態を示します。 0: すべてのクロック・カウンタが動作中 1: すべてのクロック・カウンタが停止 サブカウンタは動作を継続 サブカウンタ動作許可時 (RTCA <sub>n</sub> CTL0.RTCA <sub>n</sub> CEST = 1) にクロック・カウンタの値を読み出ししたり書き込んだりする場合は、クロック・カウンタを停止する必要があります。クロック・カウンタを停止するには RTCA <sub>n</sub> WAIT = 1 に設定してください。
0	RTCA <sub>n</sub> WAIT	すべてのクロック・カウンタ (RTCA <sub>n</sub> SECC-RTCA <sub>n</sub> YEARC) の動作を再開/停止します。 0: すべてのクロック・カウンタの動作を、ただちに、またはクロック・カウンタの書き込み動作完了直後に再開 1: すべてのクロック・カウンタの動作を一時的に停止 サブカウンタは動作を継続 サブカウンタ動作許可時 (RTCA <sub>n</sub> CTL0.RTCA <sub>n</sub> CEST = 1) にカウンタ・バッファを読み出ししたり書き込んだりする場合は、クロック・カウンタを停止する必要があります。

### 19.4.3 RTCA サブカウンタ・レジスタの詳細

#### (1) RTCAnSUBC - RTCA サブカウント・レジスタ

1 秒の基準時間をカウントします。このレジスタはカウント・クロック RTCATCKI を使用して動作します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 0C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

次の場合に初期化されます。

- 任意のリセット
- 秒カウント・バッファ (RTCAnSEC) または時間カウント・バッファ・レジスタ (RTCAnTIME) への書き込み後

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—	—	—	RTCAnSUBC[21:16]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnSUBC[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19-19 RTCAnSUBC レジスタの内容

ビット位置	ビット名	機能
21-0	RTCAnSUBC [21:0]	サブカウンタの値 サブカウンタは、RTCAnCTL0.RTCAnCEST = 1 の場合のみ動作します。

**備考** 1. このサブカウンタは、読み出し動作が PCLK 同期で行われているときに、RTCATCKI に同期して動作します。このサブカウンタを動作中に (RTCAnCTL0.RTCAnCEST = 1) 読み出した場合、RTCATCKI に同期しないため、誤った結果が得られることがあります。

動作中にサブカウンタの値を読み出す場合は、サブカウント・レジスタ・リード・バッファを使用してください。

詳細は 19.5.4 「RTCAnSRBU の読み出し」を参照してください。

2. このサブカウンタのカウント動作は、選択した動作モードによって異なります。詳細は 19.3.1 「動作モード」を参照してください。

**(2) RTCAnSRBU - RTCA サブカウント・レジスタ・リード・バッファ**

サブカウンタ RTCAnSUBC のリード・バッファです。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 10<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—	—	—	RTCAnSRBU[21:16]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnSRBU[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19-20 RTCAnSRBU レジスタの内容

ビット位置	ビット名	機能
21-0	RTCAnSRBU [21:0]	サブカウンタ RTCAnSUBC を最後に読み出したときの値  このサブカウンタ値は制御ビット RTCAnCTL2.RTCAnRSUB ビットを 1 に設定すると、RTCATCKI に同期して、RTCAnSUBC の値をロードします。

**備考** RTCAnSRBU の読み出しは、19.5.4 「RTCAnSRBU の読み出し」に示すフローチャートに従って実行してください。



**(3) RTCAnSUBU - RTCA クロック誤差補正レジスタ**

クロック誤差補正を有効にし、指定します。このレジスタの設定は、32.768 kHz モード時 (RTCAnCTL0.RTCAnSLSB = 0) にも適用されます。

クロック誤差補正については、19.3.5「クロック誤差補正」を参照してください。

**アクセス** 8ビット単位でリード/ライト可能です。

サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSUBU への書き込み処理が完了している必要があります (RTCAnCTL2.RTCAnWUST = 0)。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

**アドレス** <RTCAn\_base> + 38<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
RTCAnDEV	RTCAnF6	RTCAnF[5:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-21 RTCAnSUBU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnDEV	クロック誤差補正を1分間に何度実行するかを指定します。 0: 毎分3回 (RTCAnSECC = 00, 20, 40 時) 1: 毎分1回 (RTCAnSECC = 00 時)
6	RTCAnF6	サブカウンタの値を増加させるか減少させるかを指定します。 0: 増加 (+の補正) 増加値 = (RTCAnF[5:0] の値 - 1) × 2 1: 減少 (-の補正) 減少値 = (RTCAnF[5:0] を反転した値 + 1) × 2
5-0	RTCAnF[5:0]	誤差補正值

- 備考**
1. RTCAnF[5:0] = 00 0000<sub>B</sub> の場合、クロック誤差補正は実行されません。
  2. RTCAnSUBU への書き込みは、次の説明に従って実行してください。
    - 19.5.1「RTCA の初期設定」
    - 19.5.5「RTCAnSUBU への書き込み」

**(4) RTCAnSCMP - RTCA サブカウンタ・コンペア・レジスタ**

周波数選択モード時 (RTCAnCTL0.RTCAnSLSB = 1) の、サブカウンタ RTCAnSUBC の比較値を設定します。

サブカウンタの値がこのレジスタの値に一致すると、オーバフロー信号を秒カウンタ RTCAnSECC に出力し、サブカウンタ値をクリアします。

このレジスタの値は、入力クロック RTCATCKI の周波数に応じて設定してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSCMP への書き込み処理が完了している必要があります (RTCAnCTL2.RTCAnWSST = 0)。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

**アドレス** <RTCAn\_base> + 3C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—	—	—	RTCAnSCMP[21:16]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnSCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-22 RTCAnSCMP レジスタの内容

ビット位置	ビット名	機能
21-0	RTCAnSCMP [21:0]	周波数選択モードでのサブカウンタ比較値

**例** RTCAnSCMP の正しい設定例を次に示します。

- RTCATCKI = 4 MHz = 4,000,000 Hz
- Set RTCAnSCMP = 4,000,000 - 1 = 3,999,999 (10 進値) = 3D08FF<sub>H</sub>
- サブカウンタの値が 3D08FF<sub>H</sub> から 0<sub>H</sub> に変わると、秒カウンタ RTCAnSECC がカウント・アップされます。

- 備考**
1. このレジスタに 3198 (10 進値) 以下の値が設定された場合、RTCA の動作は保証できません。
  2. RTCAnSCMP への書き込みは、19.5.1 「RTCA の初期設定」と 19.5.6 「RTCAnSCMP への書き込み」の説明に従って実行してください。

### 19.4.4 RTCA クロック・カウンタ・レジスタとバッファ・レジスタの詳細

#### (1) RTCAnSECC - RTCA 秒カウンタ・レジスタ

このレジスタは秒カウンタです。秒を 00 から 59 まで (BCD) カウントします。

トリガに関して次の特徴があります。

- サブカウンタ RTCAnSUBC のオーバフローによってカウント・アップされます。

秒カウンタ停止中 (RTCAnCTL2.RTCAnWST = 1) にサブカウンタがオーバフローすると、秒カウンタは次のように動作します。

- 秒カウンタ停止中にサブカウンタが 1 回オーバフローした場合、オーバフローは内部で保持されます。秒カウンタは、リスタートしたときに +1 カウント・アップします。
- 秒カウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +1 カウント・アップします。
- 秒カウンタ停止中に秒カウンタが更新された場合、サブカウンタのオーバフローは無視されます。
- 秒カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は分カウンタ (RTCAnMINC) のトリガとなります。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 4C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCAnSECC[6:0]						0
R	R	R	R	R	R	R	R

表 19-23 RTCAnSECC レジスタの内容

ビット位置	ビット名	機能
6-0	RTCAnSECC [6:0]	秒 (BCD)

- 備考**
1. RTCAnSECC の読み出しは、19.5.3 「クロック・カウンタの読み出し」 に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、秒カウンタ・バッファ・レジスタ RTCAnSEC または時間カウンタ・バッファ・レジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(2) RTCAnSEC - RTCA 秒カウント・バッファ・レジスタ**

秒カウンタ RTCAnSECC の読み出し／書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード／ライト可能です。

**アドレス** <RTCAn\_base> + 14<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCAnSEC[6:0]						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-24 RTCAnSEC レジスタの内容

ビット位置	ビット名	機能
6-0	RTCAnSEC [6:0]	秒 (BCD)

- 備考**
1. このレジスタへの書き込みには、00-59 (BCD) のみ使用できます。
  2. RTCAnSEC の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(3) RTCAnMINC - RTCA 分カウント・レジスタ**

このレジスタは分カウンタです。分を 00 から 59 まで (BCD) カウントします。

トリガに関して次の特徴があります。

- 秒カウンタ RTCAnSECC のオーバフローによってカウント・アップされます。
- 分カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は時カウンタ (RTCAnHOURC) のトリガとなります。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 50<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCAnMINC[6:0]						0
R	R	R	R	R	R	R	R

表 19-25 RTCAnMINC レジスタの内容

ビット位置	ビット名	機能
6-0	RTCAnMINC [6:0]	分 (BCD)

- 備考**
1. RTCAnMINC の読み出しは、19.5.3 「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、分カウント・バッファ・レジスタ RTCAnMIN または時間カウント・バッファ・レジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(4) RTCAnMIN - RTCA 分カウント・バッファ・レジスタ**

分カウンタ RTCAnMINC の読み出し／書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード／ライト可能です。

**アドレス** <RTCAn\_base> + 18<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCAnMIN[6:0]						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-26 RTCAnMIN レジスタの内容

ビット位置	ビット名	機能
6-0	RTCAnMIN [6:0]	分 (BCD)

- 備考**
- このレジスタへの書き込みには、00-59 (BCD) のみ使用できます。
  - RTCAnMIN の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(5) RTCAnHOURE - RTCA 時カウント・レジスタ**

このレジスタは時カウンタです。時間をBCDでカウントします。カウント範囲は、選択した時間表示によって異なります。表 19-28「12 時間表示と 24 時間表示」を参照してください。

トリガに関して次の特徴があります。

- 分カウンタ RTCAnMINC のオーバフローによってカウント・アップされません。
- 時カウンタは、その値が 23 から 00 に変わったとき (24 時間表示の場合)、または 32 から 01 に変わったとき (12 時間表示の場合) に、オーバフロー信号を発生します。このオーバフロー信号は次の 2 つのカウンタのトリガとなります。
  - 曜日カウンタ (RTCAnWEEKC)
  - 日カウンタ (RTCAnDAYC)

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 54<sub>H</sub>

**初期値** 12<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 0 の場合)  
00<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 1 の場合)

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAnHOURE[5:0]					
R	R	R	R	R	R	R	R

表 19-27 RTCAnHOURE レジスタの内容

ビット位置	ビット名	機能
5-0	RTCAnHOURE [5:0]	時間 (BCD) 詳細は表 19-28「12 時間表示と 24 時間表示」を参照してください。

- 備考**
1. RTCAnHOURE の読み出しは、19.5.3「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、時カウント・バッファ・レジスタ RTCAnHOUR または時間カウント・バッファ・レジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
    - 19.5.1「RTCA の初期設定」
    - 19.5.2「クロック・カウンタの更新」

**12 時間表示と 24 時間表示** RTCA<sub>n</sub>HOURLC のカウント値は、選択した時間表示によって異なります。

12 時間表示を選択した場合 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>AMP<sub>m</sub> = 0), RTCA<sub>n</sub>HOURLC5 ビットは午前/午後を示します。

- RTCA<sub>n</sub>HOURLC5 = 0 : 午前
- RTCA<sub>n</sub>HOURLC5 = 1 : 午後

12 時間表示と 24 時間表示における RTCA<sub>n</sub>HOURLC のカウント範囲を次の表に示します。

表 19-28 12 時間表示と 24 時間表示

12 時間表示 (RTCA <sub>n</sub> AMP <sub>m</sub> = 0)			24 時間表示 (RTCA <sub>n</sub> AMP <sub>m</sub> = 1)	
時間	RTCA <sub>n</sub> HOURLC		時間	RTCA <sub>n</sub> HOURLC
午前 0 時	12 <sub>H</sub>		0	00 <sub>H</sub>
午前 1 時	01 <sub>H</sub>		1	01 <sub>H</sub>
午前 2 時	02 <sub>H</sub>		2	02 <sub>H</sub>
午前 3 時	03 <sub>H</sub>		3	03 <sub>H</sub>
午前 4 時	04 <sub>H</sub>		4	04 <sub>H</sub>
午前 5 時	05 <sub>H</sub>		5	05 <sub>H</sub>
午前 6 時	06 <sub>H</sub>		6	06 <sub>H</sub>
午前 7 時	07 <sub>H</sub>		7	07 <sub>H</sub>
午前 8 時	08 <sub>H</sub>		8	08 <sub>H</sub>
午前 9 時	09 <sub>H</sub>		9	09 <sub>H</sub>
午前 10 時	10 <sub>H</sub>		10	10 <sub>H</sub>
午前 11 時	11 <sub>H</sub>		11	11 <sub>H</sub>
午後 0 時	32 <sub>H</sub>	↓	12	12 <sub>H</sub>
午後 1 時	21 <sub>H</sub>		13	13 <sub>H</sub>
午後 2 時	22 <sub>H</sub>		14	14 <sub>H</sub>
午後 3 時	23 <sub>H</sub>		15	15 <sub>H</sub>
午後 4 時	24 <sub>H</sub>		16	16 <sub>H</sub>
午後 5 時	25 <sub>H</sub>		17	17 <sub>H</sub>
午後 6 時	26 <sub>H</sub>		18	18 <sub>H</sub>
午後 7 時	27 <sub>H</sub>		19	19 <sub>H</sub>
午後 8 時	28 <sub>H</sub>		20	20 <sub>H</sub>
午後 9 時	29 <sub>H</sub>		21	21 <sub>H</sub>
午後 10 時	30 <sub>H</sub>		22	22 <sub>H</sub>
午後 11 時	31 <sub>H</sub>		23	23 <sub>H</sub>

12 時間表示では、  
RTCA<sub>n</sub>HOURLC5 = 1  
にて午後を指定



**(6) RTCAnHOUR - RTCA 時カウント・バッファ・レジスタ**

時カウンタ RTCAnHOURC の読み出し/書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 1C<sub>H</sub>

**初期値** 12<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 0 の場合)

00<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 1 の場合)

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAnHOUR[5:0]					
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19-29 RTCAnHOUR レジスタの内容

ビット位置	ビット名	機能
5-0	RTCAnHOUR [5:0]	時間 (BCD) 詳細は表 19-28 「12 時間表示と 24 時間表示」を参照してください。

- 備考**
- このレジスタへの書き込みには、次の値 (BCD) のみ使用できます。
    - 12 時間表示 (RTCAnCTL0.RTCAnAMPM = 0) :  
01-12 または 21-32
    - 24 時間表示 (RTCAnCTL0.RTCAnAMPM = 1) :  
00-23
  - RTCAnHOUR の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(7) RTCAnWEEKC - RTCA 曜日カウント・レジスタ**

このレジスタは曜日カウンタです。0 から 6 までカウントします。

トリガに関して次の特徴があります。

- 時カウンタ RTCAnHOURE のオーバフローによってカウント・アップされます。
- ほかのカウンタのトリガにはなりません。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 58<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	RTCAnWEEKC[2:0]		
R	R	R	R	R	R	R	R

表 19-30 RTCAnWEEKC レジスタの内容

ビット位置	ビット名	機能
2-0	RTCAnWEEKC [2:0]	曜日

- 備考**
1. RTCAnWEEKC の読み出しは、19.5.3 「クロック・カウンタの読み出し」 に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、曜日カウント・バッファ・レジスタ RTCAnWEEK またはカレンダー・カウント・バッファ・レジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(8) RTCAnWEEK - RTCA 曜日カウント・バッファ・レジスタ**

曜日カウンタ RTCAnWEEKC の読み出し／書き込み用バッファ・レジスタです。

RTCAnWEEK の値と曜日との特定の対応はありません。用途に応じて対応を設定してください。

例：0 = 日曜日, 1 = 月曜日, ..., 6 = 土曜日

**アクセス** 8ビット単位でリード／ライト可能です。

**アドレス** <RTCAn\_base> + 20<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	RTCAnWEEK[2:0]		
R	R	R	R	R	R/W	R/W	R/W

表 19-31 RTCAnWEEK レジスタの内容

ビット位置	ビット名	機能
2-0	RTCAnWEEK [2:0]	曜日

- 備考**
- このレジスタへの書き込みには、0-6 (BCD) のみ使用できます。
  - RTCAnWEEK の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(9) RTCAnDAYC - RTCA 日カウント・レジスタ**

このレジスタは日カウンタです。月カウンタ (RTCAnMONC) と年カウンタ (RTCAnYEARC) の値に応じて、01 から最大 31 まで (BCD) カウントします。

- 01-31 (1月, 3月, 5月, 7月, 8月, 10月, 12月)
- 01-30 (4月, 6月, 9月, 11月)
- 01-29 (2月, うるう年)
- 01-28 (2月, 通常年)

0, 4, 8, 12年などがうるう年となります。

トリガに関して次の特徴があります。

- 時カウンタ RTCAnHOURC のオーバフローによってカウント・アップされます。
- 日カウンタは、その値が 28, 29, 30, 31 のいずれかから 01 に変わったときに、オーバフロー信号を発生します。このオーバフロー信号は月カウンタ (RTCAnMONC) のトリガとなります。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 5C<sub>H</sub>

**初期値** 01<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAnDAYC[5:0]					
R	R	R	R	R	R	R	R

表 19-32 RTCAnDAYC レジスタの内容

ビット位置	ビット名	機能
5-0	RTCAnDAYC [5:0]	日 (BCD)

- 備考**
1. RTCAnDAYC の読み出しは、19.5.3 「クロック・カウンタの読み出し」 に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、日カウント・バッファ・レジスタ RTCAnDAY またはカレンダー・カウント・バッファ・レジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(10) RTCAnDAY - RTCA 日カウント・バッファ・レジスタ**

日カウンタ RTCAnDAYC の読み出し/書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 24<sub>H</sub>

**初期値** 01<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAnDAY[5:0]					
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19-33 RTCAnDAY レジスタの内容

ビット位置	ビット名	機能
5-0	RTCAnDAY [5:0]	日 (BCD)

- 備考**
- このレジスタへの書き込みには、01-31 (BCD) のみ使用できます。
    - 01-31 (1月, 3月, 5月, 7月, 8月, 10月, 12月)
    - 01-30 (4月, 6月, 9月, 11月)
    - 01-29 (2月, うるう年)
    - 01-28 (2月, 通常年)
  - RTCAnDAY の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(11) RTCAnMONC - RTCA 月カウント・レジスタ**

このレジスタは月カウンタです。年間の月を 01 から 12 まで (BCD) カウントします。

トリガに関して次の特徴があります。

- サブカウンタ RTCAnDAYC のオーバフローによってカウント・アップされます。
- 月カウンタは、その値が 12 から 01 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は年カウンタ (RTCAnYEARC) のトリガとなります。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 60<sub>H</sub>

**初期値** 01<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	RTCAnMONC[4:0]				
R	R	R	R	R	R	R	R

表 19-34 RTCAnMONC レジスタの内容

ビット位置	ビット名	機能
4-0	RTCAnMONC [4:0]	月 (BCD)

- 備考**
1. RTCAnMONC の読み出しは、19.5.3 「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、月カウント・バッファ・レジスタ RTCAnMONTH またはカレンダー・カウント・バッファ・レジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(12) RTCAnMONTH - RTCA 月カウント・バッファ・レジスタ**

月カウンタ RTCAnMONC の読み出し／書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード／ライト可能です。

**アドレス** <RTCAn\_base> + 28<sub>H</sub>

**初期値** 01<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	RTCAnMONTH[4:0]				
R	R	R	R/W	R/W	R/W	R/W	R/W

表 19-35 RTCAnMONTH レジスタの内容

ビット位置	ビット名	機能
4-0	RTCAnMONTH [4:0]	月 (BCD)

- 備考**
1. このレジスタへの書き込みには、01-12 (BCD) のみ使用できます。
  2. RTCAnMONTH の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

**(13) RTCAnYEARC - RTCA 年カウント・レジスタ**

このレジスタは年カウンタです。年を 00 から最大 99 まで (BCD) カウントします。

00, 04, 08, ..., 92, 96 年 (4 年ごと) はうるう年となります。

トリガに関して次の特徴があります。

- 月カウンタ RTCAnMONC のオーバフローによってカウント・アップされます。
- ほかのカウンタのトリガにはなりません。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 64<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

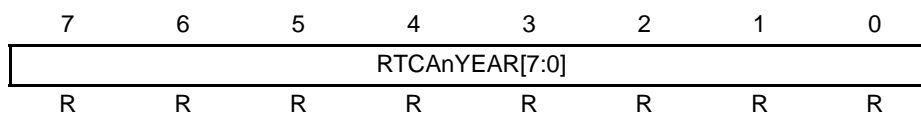


表 19-36 RTCAnYEARC レジスタの内容

ビット位置	ビット名	機能
7-0	RTCAnYEARC [7:0]	年 (BCD)

- 備考**
1. RTCAnYEARC の読み出しは、19.5.3 「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、年カウント・バッファ・レジスタ RTCAnYEAR またはカレンダー・カウント・バッファ・レジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」



**(14) RTCAnYEAR - RTCA 年カウント・バッファ・レジスタ**

年カウンタ RTCAnYEARC の読み出し/書き込み用バッファ・レジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 2C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

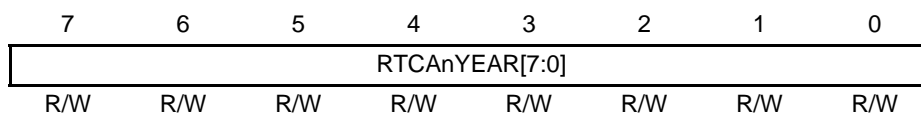


表 19-37 RTCAnYEAR レジスタの内容

ビット位置	ビット名	機能
7-0	RTCAnYEAR [7:0]	年 (BCD)

- 備考**
1. このレジスタへの書き込みには、00-99 (BCD) のみ使用できます。
  2. RTCAnYEAR の読み出しと書き込みは、次の説明に従って実行してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」
    - 19.5.3 「クロック・カウンタの読み出し」

### 19.4.5 RTCA 特定カウンタ・レジスタとバッファ・レジスタの詳細

#### (1) RTCAnTIMEC - RTCA 時間カウンタ・レジスタ

RTCAnHOUREC, RTCAnMINC, RTCAnSECC の各カウンタ値を同時にリード可能です。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 68<sub>H</sub>

**初期値** 0012 0000<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 0 の場合)

0000 0000<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 1 の場合)

どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	RTCAnHOUREC[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnMINC[7:0]								RTCAnSECC[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19-38 RTCAnTIMEC レジスタの内容

ビット位置	ビット名	機能
23-16	RTCAnHOUREC [7:0]	時間 (BCD) 詳細は表 19-28 「12 時間表示と 24 時間表示」を参照してください。
15-8	RTCAnMINC [7:0]	分 (BCD)
7-0	RTCAnSECC [7:0]	秒 (BCD)

- 備考**
1. RTCAnTIMEC の読み出しは、19.5.3 「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、時間カウンタ・バッファ・レジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(2) RTCAnTIME - RTCA 時間カウント・バッファ・レジスタ**

RTCAnHOUR, RTCAnMIN, RTCAnSEC の各バッファ・レジスタ値を同時に読み出したり、書き込んだりすることができます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 30<sub>H</sub>

**初期値** 0012 0000<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 0 の場合)

0000 0000<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 1 の場合)

どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	RTCAnHOUR[7:0]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnMIN[7:0]								RTCAnSEC[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-39 RTCAnTIME レジスタの内容

ビット位置	ビット名	機能
23-16	RTCAnHOUR [7:0]	時間 (BCD) 詳細は表 19-28 「12 時間表示と 24 時間表示」を参照してください。
15-8	RTCAnMIN [7:0]	分 (BCD)
7-0	RTCAnSEC [7:0]	秒 (BCD)

**備考** RTCAnTIME の読み出しと書き込みは、次の説明に従って実行してください。

- 19.5.1 「RTCA の初期設定」
- 19.5.2 「クロック・カウンタの更新」
- 19.5.3 「クロック・カウンタの読み出し」

**(3) RTCAnCALC - RTCA カレンダー・カウント・レジスタ**

RTCAnYEARC, RTCAnMONC, RTCAnDAYC, RTCAnWEEKC の各カウンタ値を同時に読み出すことができます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <RTCAn\_base> + 6C<sub>H</sub>

**初期値** 0001 0100<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTCAnYEARC[7:0]								RTCAnMONC[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnDAYC[7:0]								RTCAnWEEKC[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19-40 RTCAnCALC レジスタの内容

ビット位置	ビット名	機能
31-24	RTCAnYEARC [7:0]	年 (BCD)
23-16	RTCAnMONC [7:0]	月 (BCD)
15-8	RTCAnDAYC [7:0]	日 (BCD)
7-0	RTCAnWEEKC [7:0]	曜日 (BCD)

- 備考**
1. RTCAnCALC の読み出しは、19.5.3 「クロック・カウンタの読み出し」に示すフローチャートに従って実行してください。
  2. このレジスタの開始値は、カレンダー・カウント・バッファ・レジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
    - 19.5.1 「RTCA の初期設定」
    - 19.5.2 「クロック・カウンタの更新」

**(4) RTCAnCAL - RTCA カレンダー・カウント・バッファ・レジスタ**

RTCAnYEAR, RTCAnMONTH, RTCAnDAY, RTCAnWEEK の各バッファ・レジスタ値を同時に読み出したり、書き込んだりすることができます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 34<sub>H</sub>

**初期値** 0001 0100<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTCAnYEAR[7:0]								RTCAnMONTH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCAnDAY[7:0]								RTCAnWEEK[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-41 RTCAnCAL レジスタの内容

ビット位置	ビット名	機能
31-24	RTCAnYEAR [7:0]	年 (BCD)
23-16	RTCAnMONTH [7:0]	月 (BCD)
15-8	RTCAnDAY [7:0]	日 (BCD)
7-0	RTCAnWEEK [7:0]	曜日 (BCD)

**備考** RTCAnCAL の読み出しと書き込みは、次の説明に従って実行してください。

- 19.5.1 「RTCA の初期設定」
- 19.5.2 「クロック・カウンタの更新」
- 19.5.3 「クロック・カウンタの読み出し」

### 19.4.6 RTCA アラーム時間設定レジスタの詳細

#### (1) RTCA<sub>n</sub>ALM - RTCA アラーム分設定レジスタ

アラーム割り込み発生時間の「分」を指定します。

詳細な説明と設定例は、19.3.4「アラーム割り込み機能」を参照してください。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCA<sub>n</sub>\_base> + 40<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCA <sub>n</sub> ALM[6:0]						
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-42 RTCA<sub>n</sub>ALM レジスタの内容

ビット位置	ビット名	機能
6-0	RTCA <sub>n</sub> ALM [6:0]	アラーム割り込み発生時間の「分」(BCD)

- 備考**
- 00-59 (BCD) 以外の値を設定すると、アラーム割り込み要求は発生しません。
  - サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CE = 1) に RTCA<sub>n</sub>ALM の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

**(2) RTCAnALH - RTCA アラーム時設定レジスタ**

アラーム割り込み発生時間の「時」を指定します。

詳細な説明と設定例は、19.3.4「アラーム割り込み機能」を参照してください。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 44<sub>H</sub>

**初期値** 12<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 0 の場合)

00<sub>H</sub> (RTCAnCTL0.RTCAnAMPM = 1 の場合)

どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	RTCAnALH[5:0]					
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 19-43 RTCAnALH レジスタの内容

ビット位置	ビット名	機能
5-0	RTCAnALH [5:0]	アラーム割り込み発生時間の「時」(BCD)

**備考** 1. 次の範囲以外の値を設定した場合、アラーム割り込み要求は発生しません。

- 12 時間表示 (RTCAnCTL0.RTCAnAMPM = 0) :  
01-12 または 21-32
- 24 時間表示 (RTCAnCTL0.RTCAnAMPM = 1) :  
00-23

2. サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCE = 1) に RTCAnALH の設定を変更すると、RTCATINTAL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

**(3) RTCAnALW - RTCA アラーム曜日設定レジスタ**

アラーム割り込み発生時間の「曜日」を指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <RTCAn\_base> + 48<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	RTCAnALW[6:0]						0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-44 RTCAnALW レジスタの内容

ビット位置	ビット名	機能
6-0	RTCAnALW [6:0]	アラーム割り込み要求発生時間の曜日 m (m = 0-6) を指定します。 0: 曜日 m にアラーム割り込み要求は発生しない 1: 曜日 m の, RTCAnALM と RTCAnALH で設定した時間にアラーム割り込み要求を発生する このレジスタのビットは, 曜日カウンタ (RTCAnWEEKC) のカウント値に対応します。

**備考** サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCEST = 1) に RTCAnALW の設定を変更すると, RTCATINTAL にグリッチが出力されるため, 割り込みをマスクする処理を行ってください。

**例** 日曜日を RTCAnWEEK = 0, 月曜日を RTCAnWEEK = 1, 火曜日を RTCAnWEEK = 2, ... 土曜日を RTCAnWEEK = 6 と設定した場合:

- アラームを日曜日に設定するには, RTCAnALW = 0000 0001 を設定します。
- アラームを月曜日と水曜日に設定するには, RTCAnALW = 0000 1010 を設定します。
- アラームを火曜日, 木曜日, 土曜日に設定するには, RTCAnALW = 0101 0100 を設定します。

その他の例は, 19.3.4「アラーム割り込み機能」を参照してください。



### 19.4.7 RTCA<sub>n</sub> エミュレーション・レジスタ

#### (1) RTCA<sub>n</sub>EMU - RTCA<sub>n</sub> エミュレーション・レジスタ

このレジスタは SVSTOP による動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

カウンタ停止中 (ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <RTCA<sub>n</sub>\_base> + 74<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
RTCA <sub>n</sub> SVSDIS	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19-45 RTCA<sub>n</sub>EMU レジスタの内容

ビット位置	ビット名	機能
7	RTCA <sub>n</sub> SVSDIS	<p>(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 19.5 設定, 書き込み, 読み出しの手順

以降の各項では, RTCA の設定と RTCA クロック・カウンタの読み出しおよび書き込みの手順を説明するフローを示します。

### 19.5.1 RTCA の初期設定

各カウンタの初期値を設定する前に, RTCA を停止させる必要があります。

#### (1) RTCA の停止手順

RTCA の停止は次のフローチャートに従って実行してください。

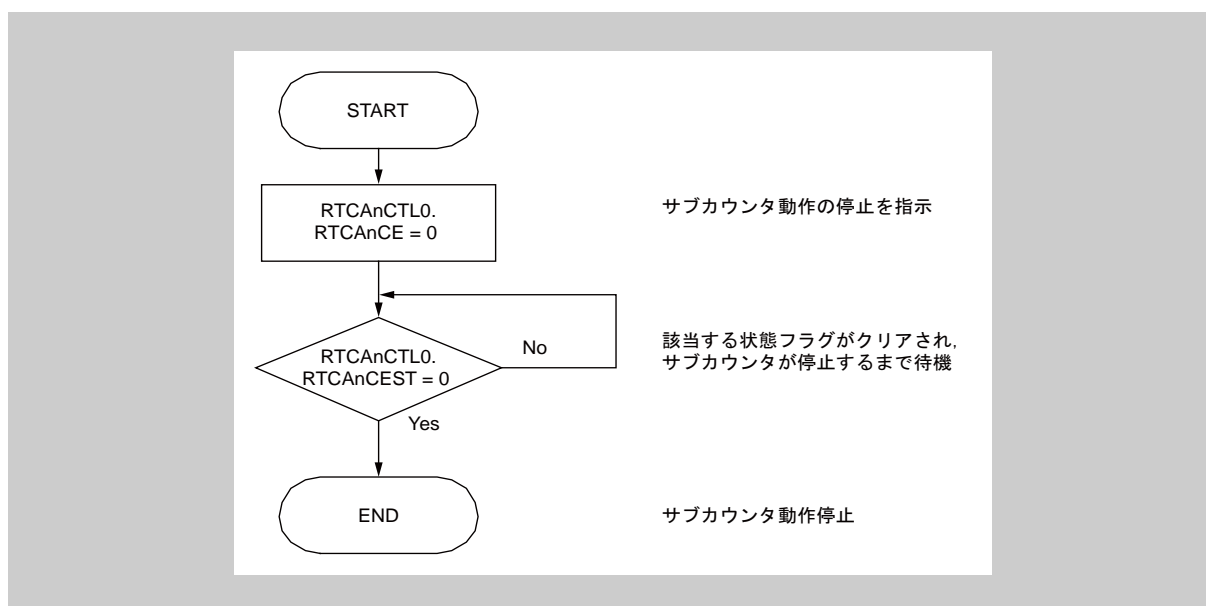


図 19-4 RTCA の停止手順

## (2) RTCA の初期設定手順

RTCA の初期設定は次のフローチャートに従って実行してください。

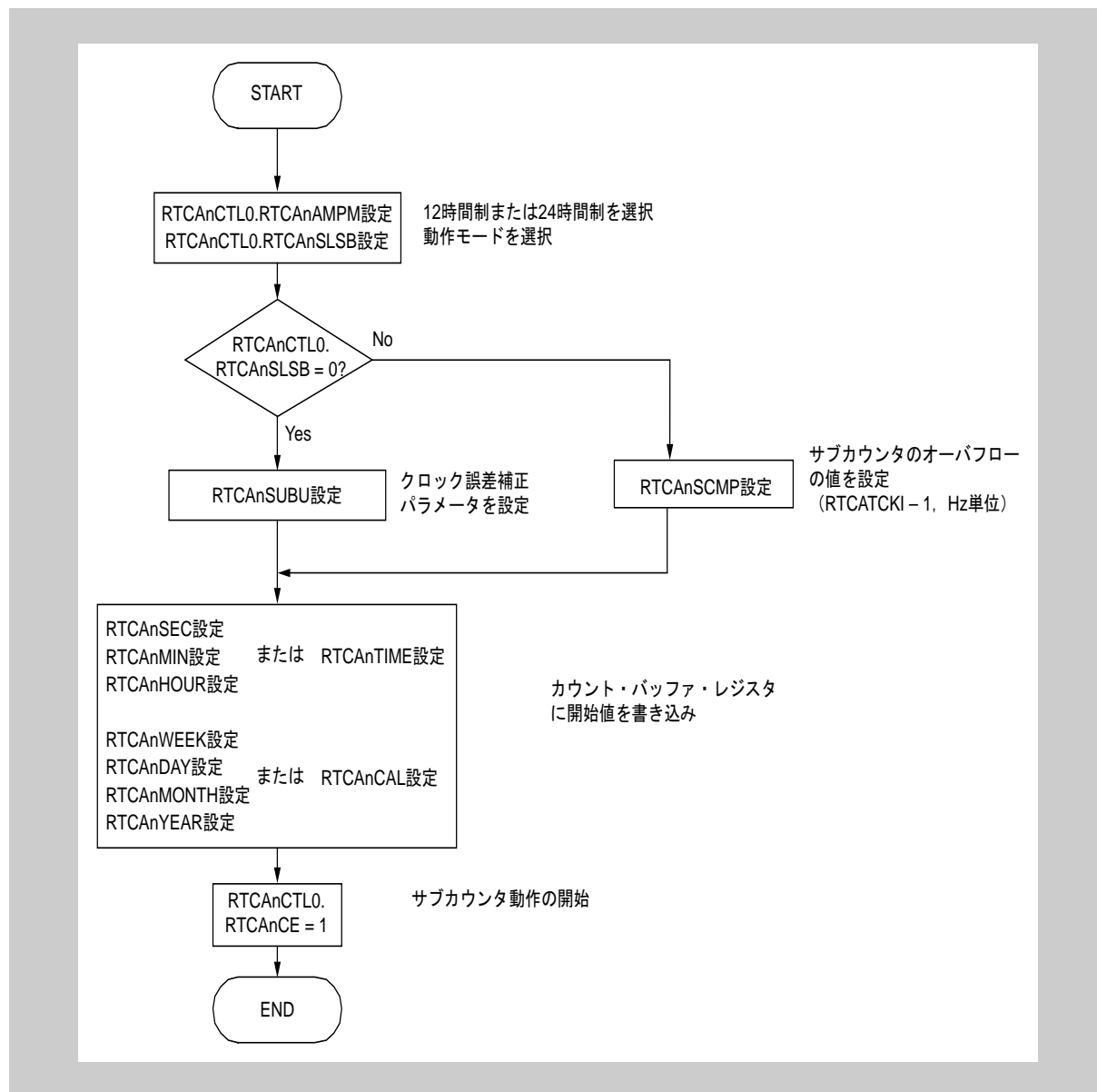


図 19-5 RTCA の設定手順

**注意** 各レジスタの設定は、RTCACKI クロックに同期して有効になります。そのため、1つのRTCACKI 期間内にレジスタを書き換えると、先に指定した設定が上書きされ、失われることがあります。  
上記の手順フローチャート内でレジスタを書き換えしないでください。

## 19.5.2 クロック・カウンタの更新

クロック・カウンタ RTCAnSECC-RTCAnYEARC は、サブカウンタ動作中に停止したり更新したりできます。

更新手順を次のフローチャートで示します。

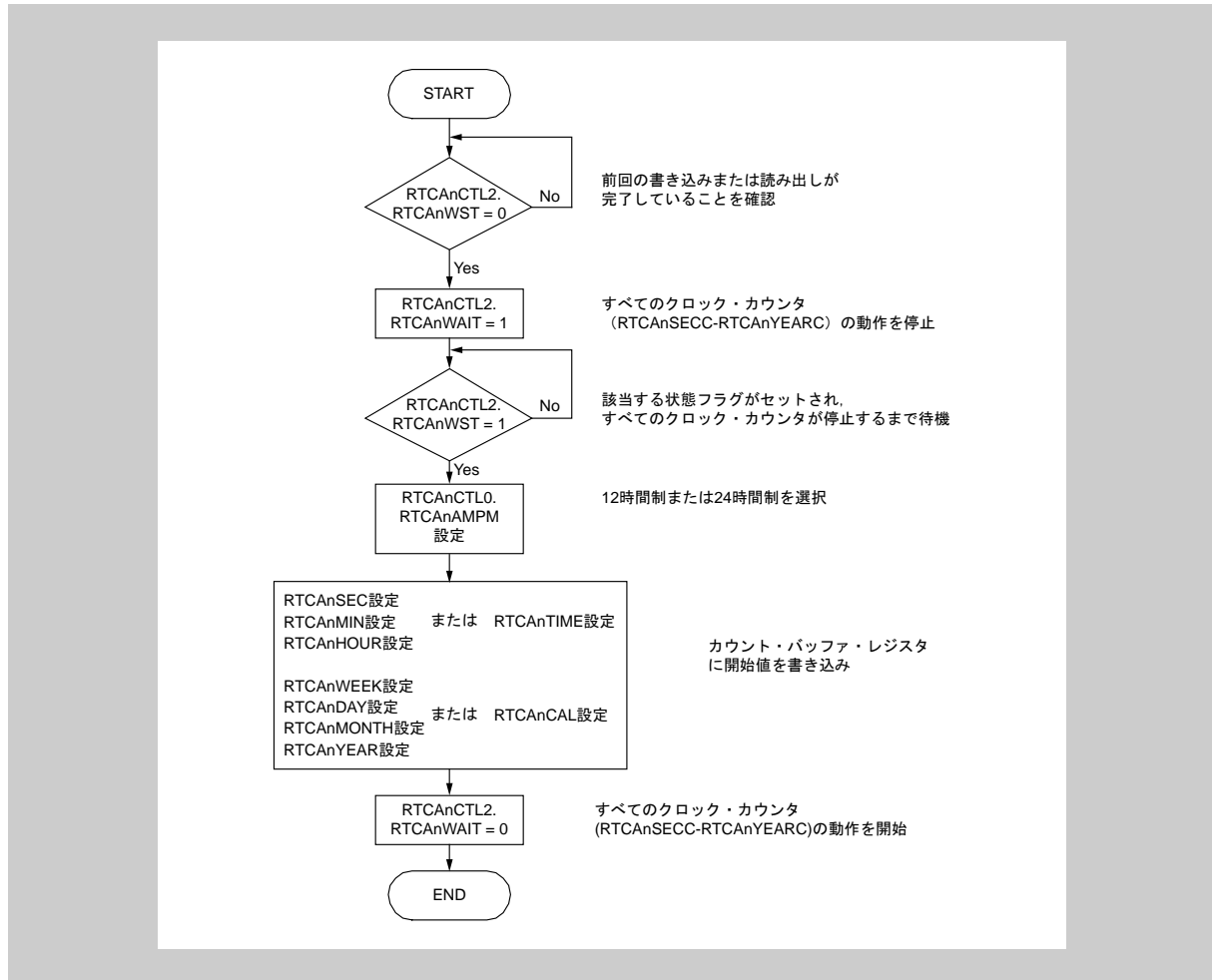


図 19-6 クロック・カウンタ値の更新

**注意** 各レジスタの設定は、RTCACKI クロックに同期して有効になります。そのため、1つのRTCACKI期間内にレジスタを書き換えると、先に指定した設定が上書きされ、失われることがあります。  
上記の手順フローチャート内でレジスタを書き換えしないでください。

**備考** 更新処理は1秒以内に完了する必要があります。更新処理が1秒以内に完了しなかった場合、リアルタイム・クロックは正しくカウントしなくなります。

- サブカウンタのオーバーフローは内部に1回分だけ保持でき、クロック・カウンタのリスタート後に秒カウンタを+1カウント・アップします。
- クロック・カウンタ停止中にサブカウンタが2回以上オーバーフローした場合、オーバーフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに+2でなく+1だけカウント・アップします。

### 19.5.3 クロック・カウンタの読み出し

サブカウンタ動作許可時にクロック・カウンタを読み出すには、次の2つの方法があります。

- カウント・バッファ・レジスタの読み出し
- カウンタ・レジスタの読み出し

2つの方法の利点と欠点の概要を次の表に示します。

表 19-46 2つの読み出し方法の比較

	利点	欠点
カウント・バッファ・レジスタの読み出し	各クロック・カウンタの読み出しは互いに同期して行われるため、何度も読み出す必要がありません。	RTCA <sub>n</sub> CTL2.RTCA <sub>n</sub> WAIT = 1 の設定からデータ転送の完了までプログラムのウェイト・ステートが発生します。
カウンタ・レジスタの読み出し	プログラムのウェイト・ステートは発生しません。	クロック・カウンタの読み出しはRTCATCKI と非同期に行われるため、リード中にサブカウンタのカウント・アップが発生した場合は、読み出しを数回行う必要があります。

#### (1) カウント・バッファ・レジスタ読み出し手順

次の操作を行ってください。

1. すべてのクロック・カウンタを停止します (RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WAIT = 1)。  
各クロック・カウンタの値が、それぞれ対応するカウント・バッファ・レジスタに転送されます。
2. カウント・バッファ・レジスタを読み出します。

RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WAIT = 1 の設定からデータ転送の完了までプログラムのウェイト・ステートが発生します。  
最大遅延時間は、PCLK 期間 ×3 + RTCATCKI 期間 ×2 です。たとえば、RTCA が PCLK = 80 MHz と RTCATCKI = 32.768 kHz で動作する場合、遅延時間は約 61 μsec となります。

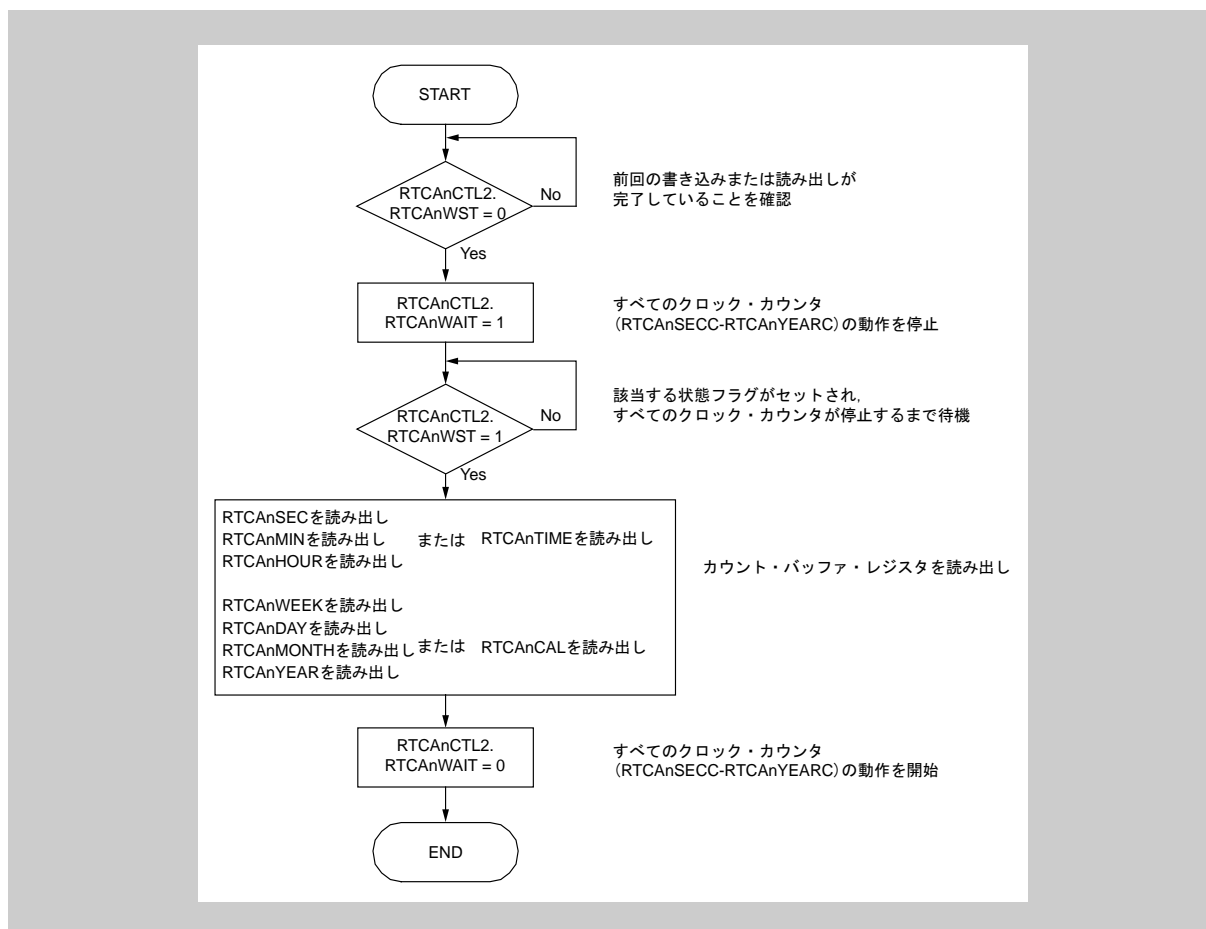


図 19-7 クロック・カウンタ・バッファ・レジスタの読み出し

**備考** 読み出し処理は 1 秒以内に完了する必要があります。読み出し処理が 1 秒以内に完了しなかった場合、リアルタイム・クロックは正しくカウントしなくなります。

- サブカウンタのオーバーフローは内部に 1 回分だけ保持でき、クロック・カウンタのリスタート後に秒カウンタを +1 カウント・アップします。
- クロック・カウンタ停止中にサブカウンタが 2 回以上オーバーフローした場合、オーバーフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに +2 でなく +1 だけカウント・アップします。

## (2) カウンタ・レジスタ直接読み出し手順

カウンタの読み出し中にサブカウンタがオーバーフローしたかどうかを確認するために、秒カウンタ RTCAnSECC を二度（手順開始時と終了時）読み出す必要があります。最初の読み出し値と2回目の読み出し値を比較します。

- 最初の読み出し値 = 2 回目の読み出し値 :

カウンタ読み出し動作中にサブカウンタのオーバーフローは発生していません。

- 最初の読み出し値  $\neq$  2 回目の読み出し値 :

カウンタ読み出し動作中にサブカウンタのオーバーフローが発生しています。再度読み出しを行って、現在のカウンタ値を取得する必要があります。

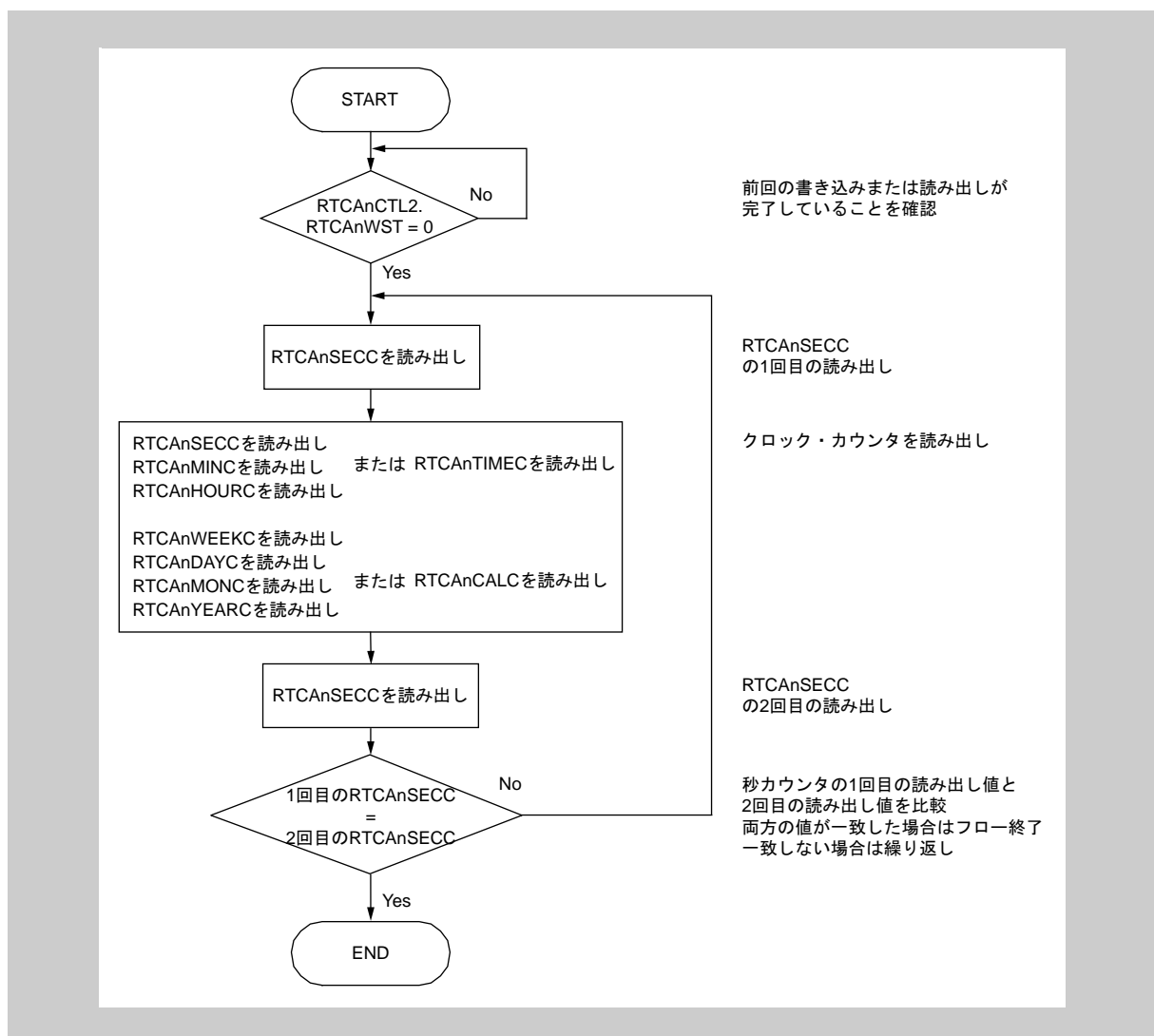


図 19-8 クロック・カウンタ・レジスタの読み出し

備考 読み出し処理は 1 秒以内に完了する必要があります。

### 19.5.4 RTCAnSRBU の読み出し

RTCAnSRBU はサブカウンタのリード・バッファ・レジスタです。  
 サブカウンタ動作許可時 (RTCAnCTL0.RTCAnCEST = 1) に RTCAnSRBU を読み出す場合は、次のフローチャートに従って実行してください。

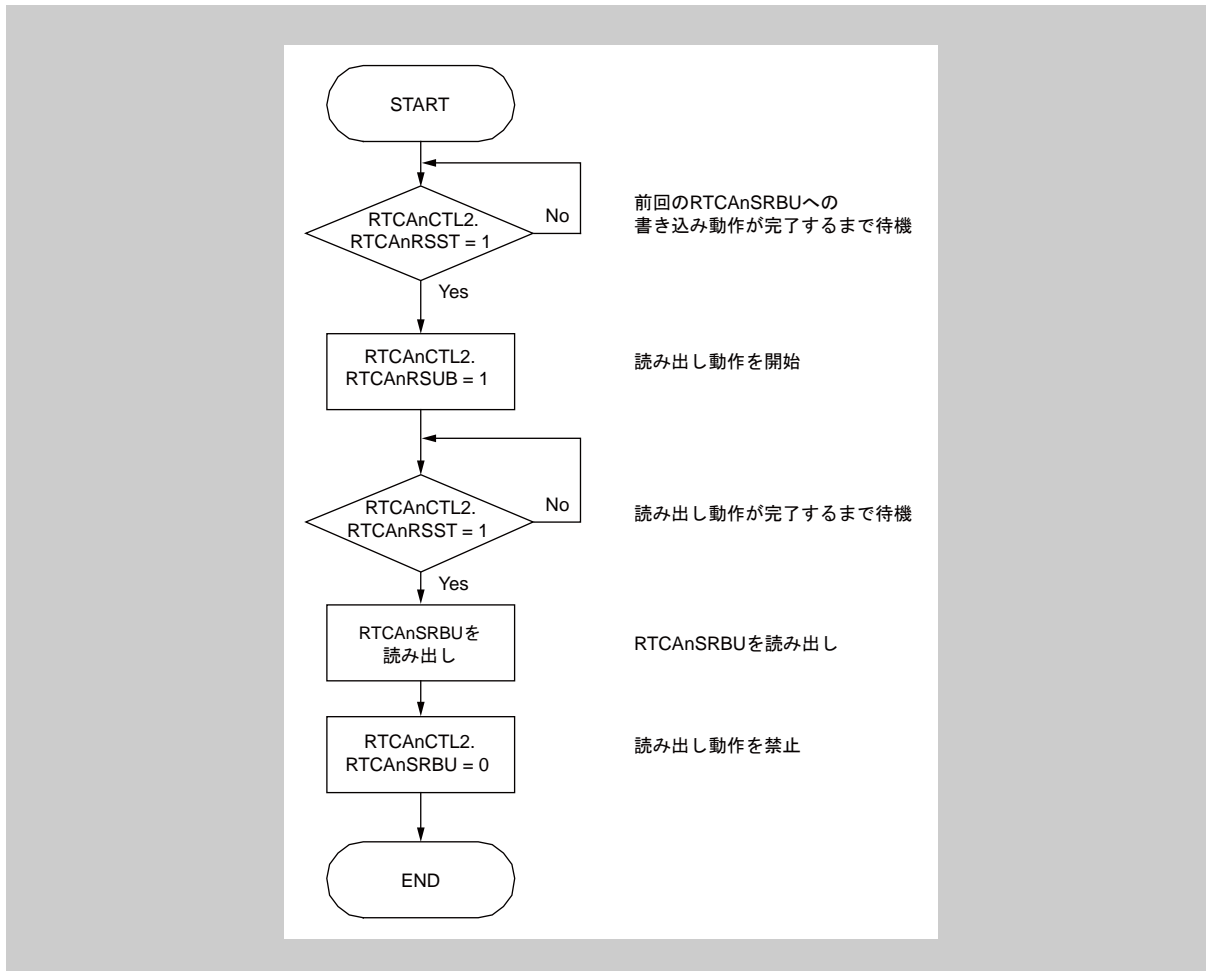


図 19-9 RTCAnSRBU レジスタの読み出し



### 19.5.5 RTCA<sub>n</sub>SUBU への書き込み

RTCA<sub>n</sub>SUBU はサブカウンタのクロック誤差補正レジスタです。

サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CEST = 1) に RTCA<sub>n</sub>SUBU への書き込みを行う場合は、次のフローチャートに従って実行してください。

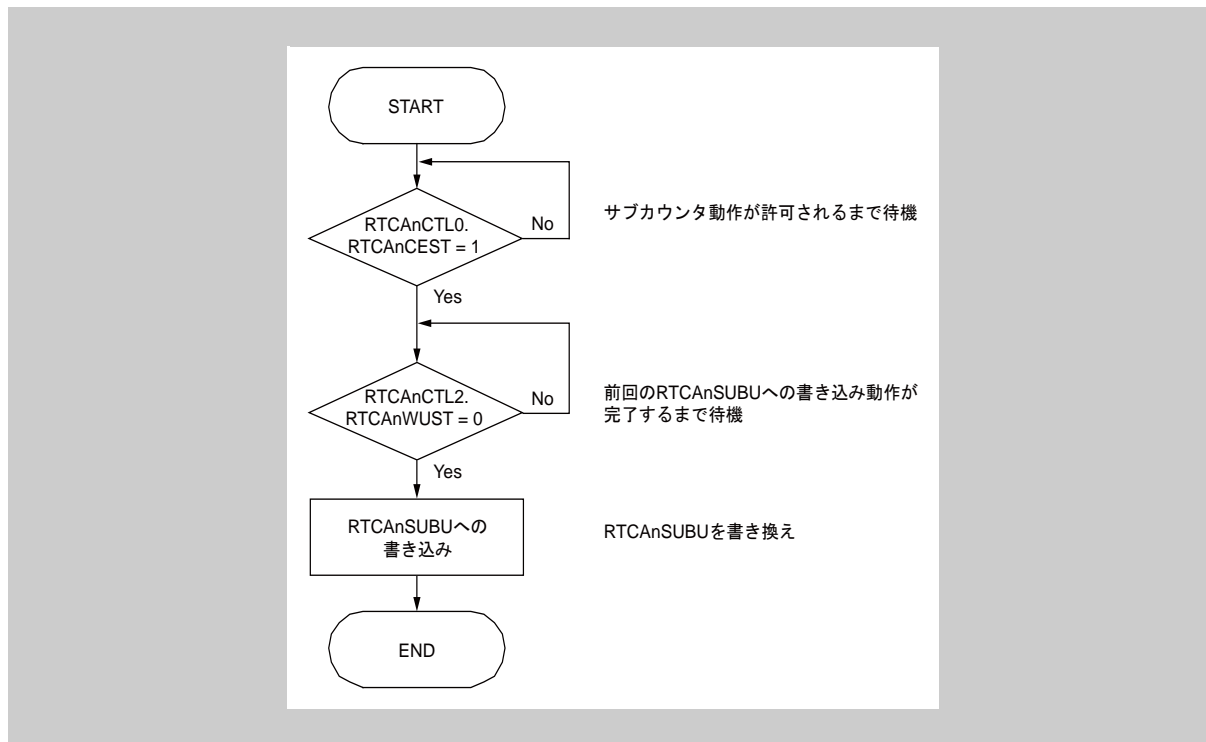


図 19-10 RTCA<sub>n</sub>SUBU レジスタへの書き込み

**備考** サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CEST = 1) に RTCA<sub>n</sub>SUBU への書き込みを行うと、状態フラグ RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WUST がセットされます。この状態フラグは、RTCA<sub>n</sub>SUBU への書き込み動作が完了するとクリアされます。これは次回の RTCA<sub>n</sub>SUBU のオーバフローと同期します。

RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WUST は最大 1 秒間セットされます。そのためポーリング (このフローの最初で RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WUST = 1 を確認) する際は、ご注意ください。

### 19.5.6 RTCA<sub>n</sub>SCMP への書き込み

RTCA<sub>n</sub>SCMP はサブカウンタ・コンペア・レジスタです。

サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CEST = 1) に RTCA<sub>n</sub>SCMP への書き込みを行う場合は、次のフローチャートに従って実行してください。

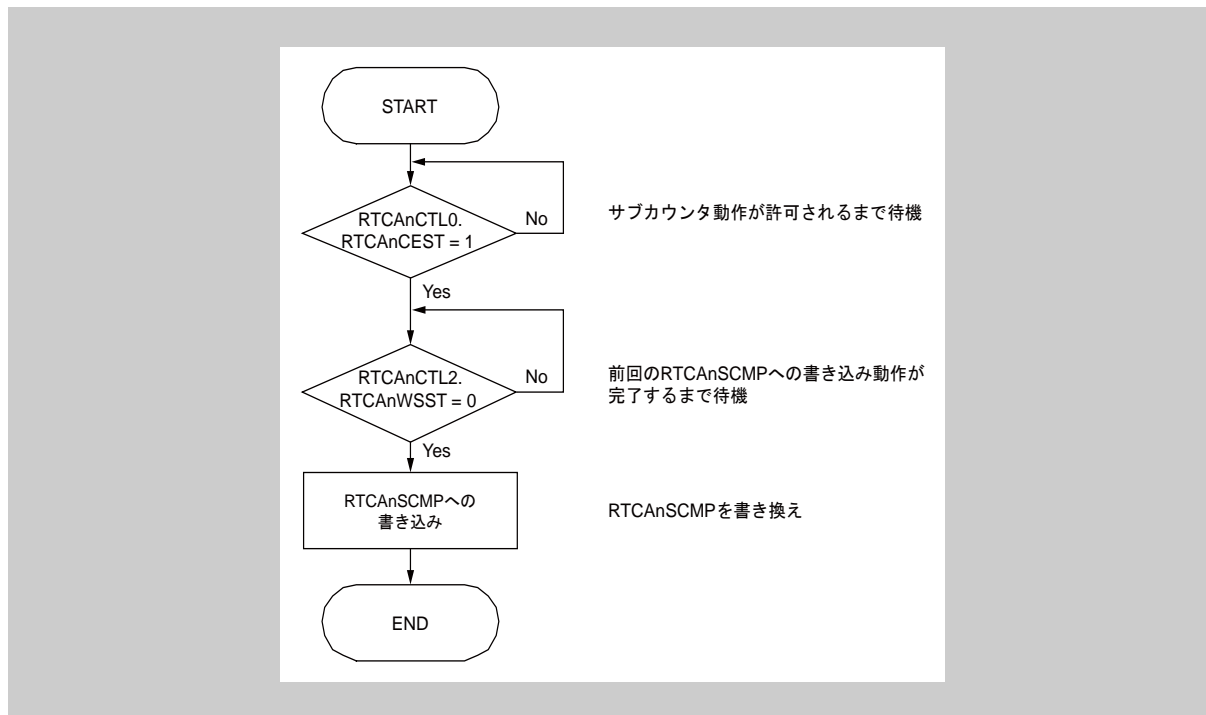


図 19-11 RTCA<sub>n</sub>SCMP レジスタへの書き込み

**備考** サブカウンタ動作許可時 (RTCA<sub>n</sub>CTL0.RTCA<sub>n</sub>CEST = 1) に RTCA<sub>n</sub>SCMP への書き込みを行うと、状態フラグ RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WSST がセットされます。この状態フラグは、RTCA<sub>n</sub>SCMP への書き込み動作が完了するとクリアされます。これは次回の RTCA<sub>n</sub>SUBC のオーバフローと同期します。

RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WSST は最大 1 秒間セットされます。そのためポーリング (このフローの最初で RTCA<sub>n</sub>CTL2.RTCA<sub>n</sub>WSST = 1 を確認) する際は、ご注意ください。

## 19.6 タイミング図

### 19.6.1 RTCA カウンタ・スタートのタイミング

バッファ・レジスタに時間を設定してからカウンタがスタートするまでのタイミングを次の図に示します。

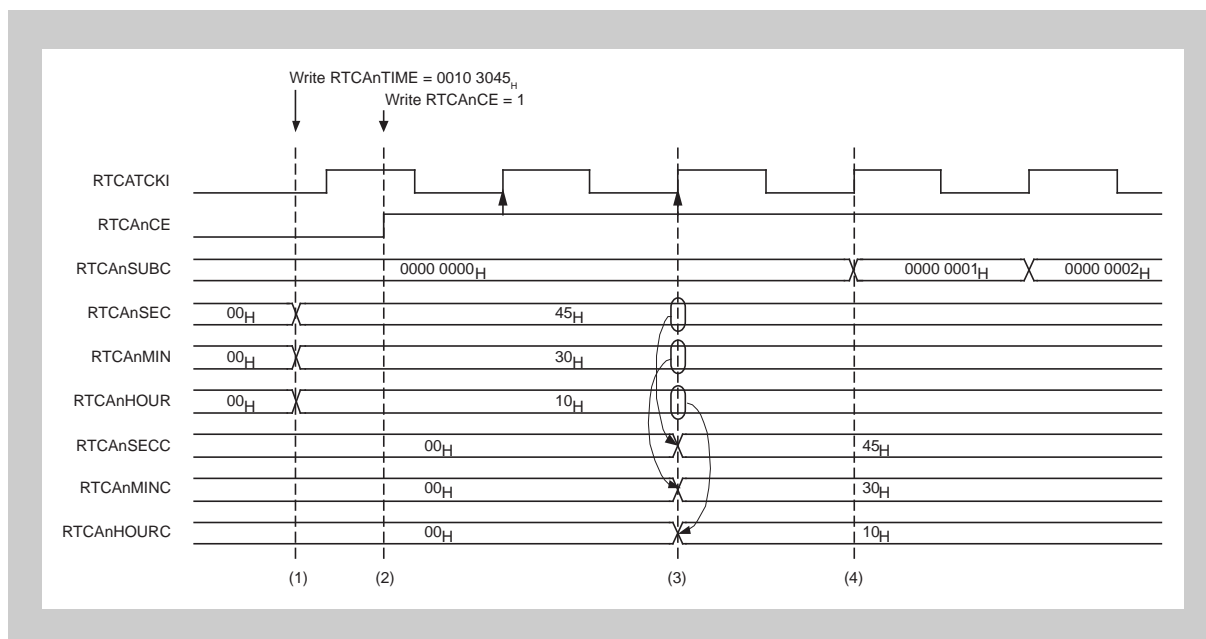


図 19-12 RTCA カウンタ・スタート・タイミング

上記のタイミング図における各動作について説明します。

1. RTCAnTIME = 0010 3045<sub>H</sub> を指定することによって、時間カウンタの初期値を 10:30:45 に設定。  
 カウント・バッファ・レジスタ RTCAnSEC, RTCAnMIN, RTCAnHOURL を自動的に書き込み。
2. RTCAnCTL0.RTCAnCEST = 1 によって、サブカウンタが動作を開始
3. RTCATCKI の 2 回目の立ち上がりエッジで両方の内部同期信号が設定され、各バッファ・レジスタの値が対応するカウント・レジスタにロード
4. RTCATCKI の次の立ち上がりエッジで、サブカウンタのカウント・アップがスタート

## 19.6.2 カウンタ動作許可時の RTCA のタイミング

バッファ・レジスタに時間を設定してからカウンタが動作を継続するまでのタイミングを次の図に示します。

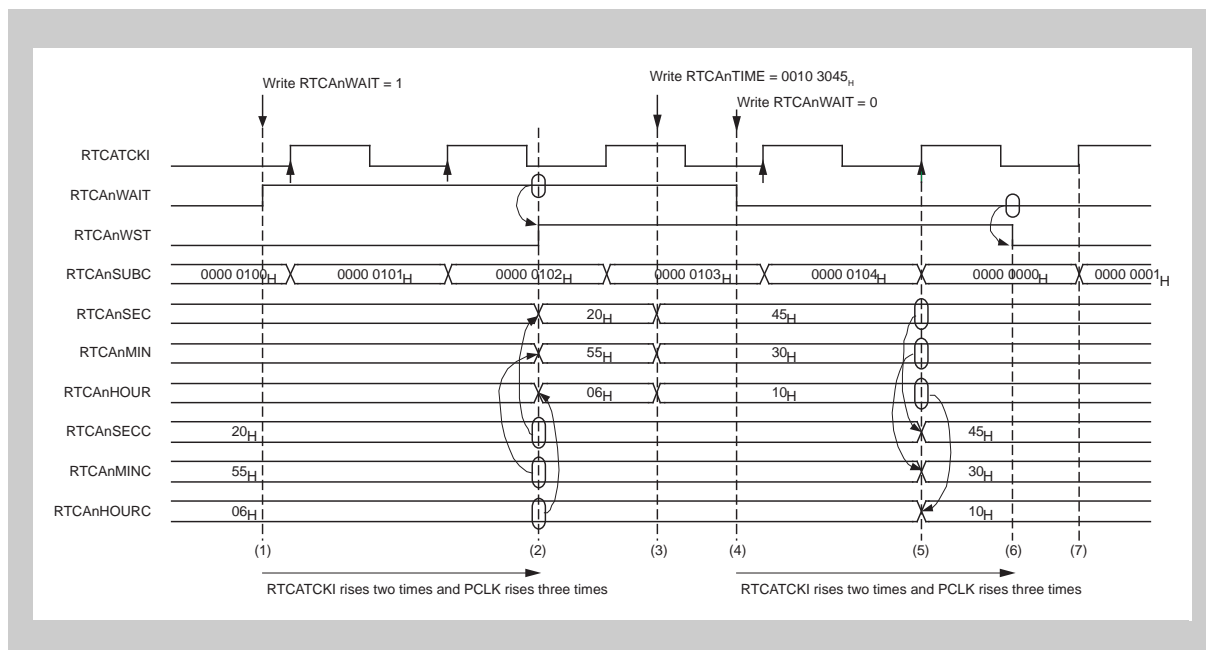


図 19-13 RTCA カウンタ動作継続タイミング

上記のタイミング図における各動作について説明します。

1. クロック・カウンタの停止をトリガ (RTCAnCTL2.RTCAnWAIT = 1)。
2. カウンタが停止するまで、少なくとも 1RTCATCKI 期間が必要。カウンタの停止は、RTCAnCTL2.RTCAnWST = 1 により示される。  
サブカウンタはカウント動作を継続。
3. RTCAnTIME = 0010 3045<sub>H</sub> を指定することで、時間カウンタの初期値が 10:30:45 に設定される。  
カウント・バッファ・レジスタ RTCAnSEC, RTCAnMIN, RTCAnHOUR を自動的に書き込み。
4. クロック・カウンタのリスタートをトリガ (RTCAnCTL2.RTCAnWAIT = 0)。
5. RTCATCKI 期間経過後、RTCAnSECC への書き込みが行われ、RTCAnSUBC がクリア。
6. クロック・カウンタがカウンタ・リスタート可能状態 (RTCAnCTL2.RTCAnWST = 0)。
7. クロック・カウンタが動作を再開。

### 19.6.3 カウンタ動作許可時のサブカウンタ・バッファ読み出しタイミング

サブカウンタ・リード・バッファ RTCAnSRBU を読み出すタイミングを次の図に示します。

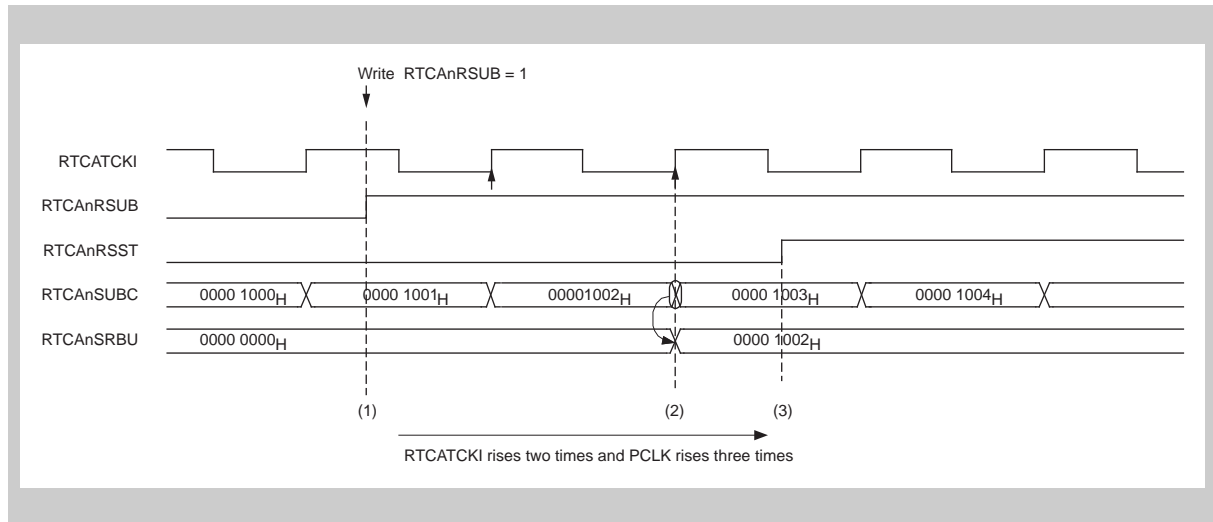


図 19-14 サブカウンタ・バッファ・レジスタ読み出しタイミング

上のタイミング図に示した各動作について説明します。

1. RTCAnSRBU の値のサブカウンタへの転送がトリガになる (RTCAnCTL2.RTCAnRSUB = 1).
2. RTCATCKI の 2 回目の立ち上がりエッジで、RTCAnSUBC の値が RTCAnSRBU にロード。
3. 転送の完了を RTCAnCTL2.RTCAnRSST = 1 によって表示。RTCAnSRBU が読み出し可能状態になる。

## 第20章 タイマ・オプション機能 (TAPA)

この章では、タイマ・オプション機能について説明します。

最初の節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、タイマ・オプション機能搭載製品に共通の特徴について説明します。

### 20.1 V850E2/Fx4-H のタイマ・オプション機能の特長

**チャンネル** この製品は次のチャンネル数のタイマ・オプション機能を搭載しています。

表 20-1 タイマ・オプション機能のチャンネル数

タイマ・オプション	
チャンネル数	1
名称	TAPA0

**n の意味** この章では、タイマ・オプション機能の各チャンネルを「n」で識別します。たとえば、TAPAn フラグ・レジスタ (TAPAnFLG) (n = 0) のように記述しています。

**レジスタ・アドレス** タイマ・オプション・レジスタのアドレスは、それぞれのベース・アドレス <TAPAn\_base> からのオフセットで表されます。各 TAPAn のレジスタ・ベース・アドレスを次の表に示します。

表 20-2 レジスタ・ベース・アドレス <TAPAn\_base>

TAPAn	<TAPAn_base> アドレス
TAPA0	FF81 5000 <sub>H</sub>

**クロック供給** タイマ・オプションには次のクロックが入力されます。

表 20-3 TAPAn クロック供給

TAPAn	クロック	接続先
TAPA0	PCLK	クロック・コントローラ

**割り込み** タイマ・オプションは次の割り込み要求を発生できます。

表 20-4 TAPAn の割り込み要求

TAPAn の信号	機能	接続先
<b>TAPA0:</b>		
INTTAPA0IPEK0	TAPA0 の山割り込み	割り込みコントローラ INTTAPA0IPEK0
INTTAPA0IVLY0	TAPA0 の谷割り込み	割り込みコントローラ INTTAPA0IVLY0

**信号の接続先** タイマ・オプションの接続先を次の表に示します。

表 20-5 TAPAn の接続先

TAPAn の信号	機能	接続先
<b>TAPA0:</b>		
TAPA0ESO	Hi-Z 制御 非同期入力信号	PIC
TAPATSIM0	TAUA マスタ・チャネル割り込み入力	PIC
TAPATCDENS0	TAUA スレーブ・チャネル一致検出入力 0	PIC
TAPATCDENS1	TAUA スレーブ・チャネル一致検出入力 1	PIC
TAPATADOUT0	A/D 変換トリガ出力 0	ADC0
TAPATADOUT1	A/D 変換トリガ出力 1	ADC0

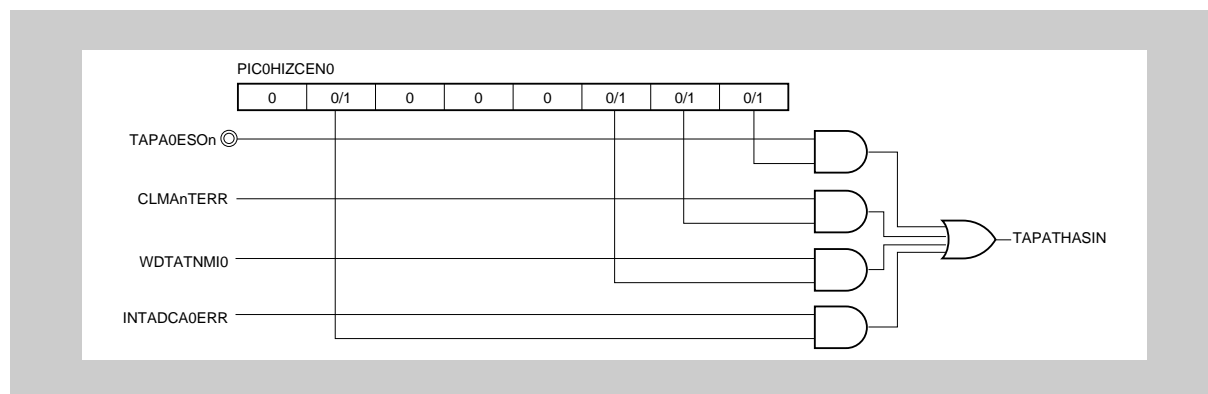


図 20-1 TAPA0 の Hi-Z 制御信号 (TAPA0ESO 信号)

**TAPA0 の PIC 関連レジスタ** TAPA0 の PIC 関連レジスタを下記に示します。

TAPA0 の PIC 関連レジスタのアドレスは、それぞれのベース・アドレス <PIC\_base> からのオフセットで表されます。

<PIC\_base> : FF81C000<sub>H</sub>

## (1) PIC0HIZCEN0 : Hi-Z 制御要求許可レジスタ

このレジスタで使用する Hi-Z 制御信号を選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <PIC\_base>+B4H

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZCEN06 (INTADCA0ERR)	0	0	0	PIC0HIZCEN02 (WDTATNMIO)	PIC0HIZCEN01 (CLMAnTERR)	PIC0HIZCEN00 (TAPA0ESO0)
R	R/W	R	R	R	R/W	R/W	R/W

表 20-6 PIC0HIZCEN0 レジスタの内容

ビット位置	ビット名	機能
6, 5, 0	PIC0 HIZCEN0m (m=0, 5, 6)	0 : ( ) 内に示す信号の Hi-Z 制御要求を禁止します。 1 : ( ) 内に示す信号の Hi-Z 制御要求を許可します。

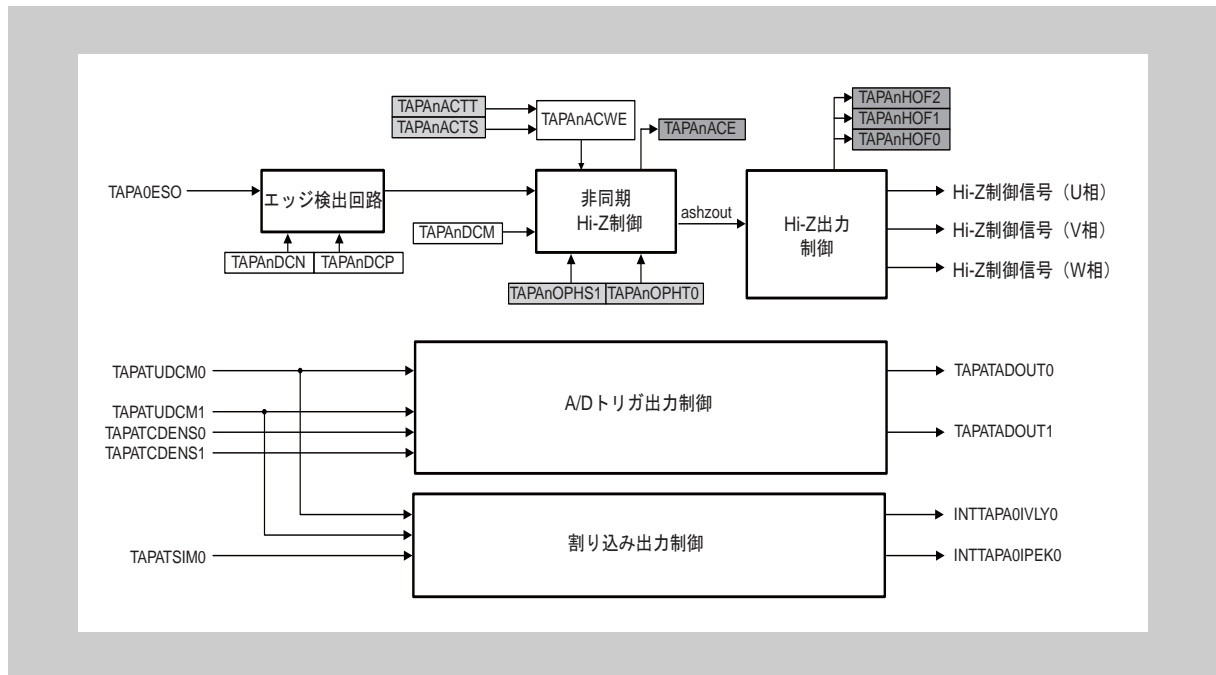
**入出力信号** タイマ・オプションの入出力信号を次の表に示します。

表 20-7 TAPAn の入出力信号

TAPAn の信号	機能	接続先
TAPA0	Hi-Z 制御信号 0 (U 相)	TAUA0 の U 相出力信号 (TAPA0UP/TAPA0UN) の Hi-Z 制御
	Hi-Z 制御信号 1 (V 相)	TAUA0 の V 相出力信号 (TAPA0VP/TAPA0VN) の Hi-Z 制御
	Hi-Z 制御信号 2 (W 相)	TAUA0 の W 相出力信号 (TAPA0WP/TAPA0WN) の Hi-Z 制御



20.1.1 ブロック図



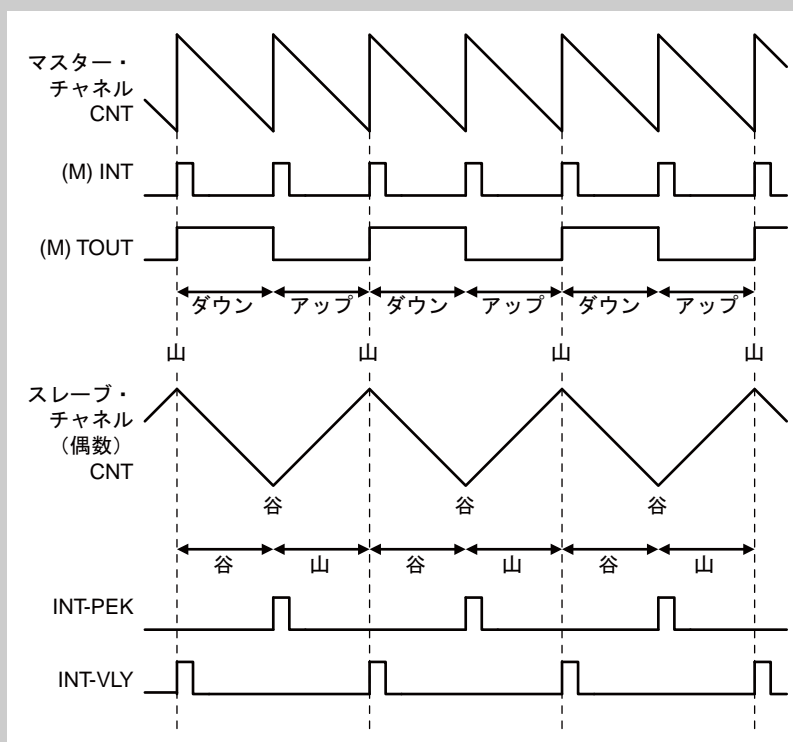
## 20.2 機能概要

**機能概要** タイマ・モータ制御機能 (TAPA) をタイマ・アレイ・ユニット A (TAUA) と組み合わせ、モータ・システムを実現します。

- 非同期 Hi-Z 制御機能
- モータ制御用タイマ出力を非同期にハイ・インピーダンスにすることで強制的に停止
- INT 信号出力選択機能 TAUA が出力する INTn 信号を基に山割り込み, 谷割り込みを出力
- A/D 変換トリガ選択機能 TAUA が出力する INTn 信号を基に A/D コンバータ変換トリガ信号を 2 本出力

### 20.2.1 タイマ・カウンタの「山」と「谷」, 「山割り込み」と「谷割り込み」について

このドキュメントでは、TAUAのUpステータス(カウント・アップ・ステータス)期間から、マスタ・チャンネルのINT発生までを「山」期間とし、発生するマスタ・チャンネルのINTを「山割り込み」(INT-PEK)と定義します。また、TAUAのDownステータス(カウント・ダウン・ステータス)期間から、マスタ・チャンネルのINT発生までを「谷」期間とし、発生するマスタ・チャンネルのINTを「谷割り込み」(INT-VLY)と定義します。



## 20.3 レジスタ

タイマ・モータ制御機能は、次のレジスタで制御、動作します。

### 20.3.1 レジスタの概要

表 20-8 制御レジスタ一覧

レジスタ名	略号	アドレス
制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20 <sub>H</sub>
制御レジスタ 1	TAPAnCTL1	<TAPAn_base> + 24 <sub>H</sub>
フラグ・レジスタ	TAPAnFLG	<TAPAn_base> + 00 <sub>H</sub>
非同期 Hi-Z 制御ライト・イネーブル・レジスタ	TAPAnACWE	<TAPAn_base> + 04 <sub>H</sub>
非同期 Hi-Z 制御スタート・トリガ・レジスタ	TAPAnACTS	<TAPAn_base> + 08 <sub>H</sub>
非同期 Hi-Z 制御ストップ・トリガ・レジスタ	TAPAnACTT	<TAPAn_base> + 0C <sub>H</sub>
Hi-Z スタート・トリガ・レジスタ	TAPAnOPHS	<TAPAn_base> + 14 <sub>H</sub>
Hi-Z ストップ・トリガ・レジスタ	TAPAnOPHT	<TAPAn_base> + 18 <sub>H</sub>
エミュレーション・レジスタ	TAPAnEMU	<TAPAn_base> + 28 <sub>H</sub>

<TAPAn\_base> TAPAn のベース・アドレス <TAPAn\_base> は、この章の最初の節に「レジスタ・アドレス」という言葉で定義されています。

## 20.3.2 レジスタの詳細

### (1) TAPAnCTL0 - 制御レジスタ 0

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0、かつ、対応する TAUA のマスタ・チャンネルの TAUAnTE = 0 の場合のみ書き換えることができます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <TAPAn\_base> + 20<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	TAPAn DCM	TAPAn DCN	TAPAn DCP	0	0
R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 20-9 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0 : TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 ビットの操作を有効 1 : TAPATHASIN 信号入力アクティブ・レベルの場合、TAPAnOPHT0 ビットの操作を無効 TAPATHASIN 信号入力インアクティブの場合、TAPAnOPHT0 ビット操作を有効															
3, 2	TAPAnDCN, TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPATHASIN 信号の有効エッジを指定する制御ビットです。 <table border="1" data-bbox="552 1220 1385 1523"> <thead> <tr> <th>TAPAn DCN</th><th>TAPAn DCP</th><th>動作説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>有効エッジを検出しない</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	TAPAn DCN	TAPAn DCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)	1	1	設定禁止
TAPAn DCN	TAPAn DCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブ・レベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブ・レベル = Low)															
1	1	設定禁止															

## (2) TAPAnCTL1 - 制御レジスタ 1

このレジスタで、A/D 変換トリガを指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <TAPAn\_base> + 24<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	TAPAn ATS3	TAPAn ATS2	TAPAn ATS1	TAPAn ATS0
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 20-10 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能															
3, 2	TAPAn ATS[3:2]	<p>A/D 変換トリガ 1 選択ビット A/D 変換トリガ出力 1 (TAPATADOUT1 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS3</th><th>TAPAn ATS2</th><th>動作説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>三角波のダウン・カウント中の INT 信号が出力</td></tr> <tr> <td>0</td><td>1</td><td>三角波のアップ・カウント中の INT 信号が出力</td></tr> <tr> <td>1</td><td>0</td><td>三角波のアップ/ダウン・カウント中の INT 信号が出力</td></tr> <tr> <td>1</td><td>1</td><td>三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力</td></tr> </tbody> </table>	TAPAn ATS3	TAPAn ATS2	動作説明	0	0	三角波のダウン・カウント中の INT 信号が出力	0	1	三角波のアップ・カウント中の INT 信号が出力	1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力	1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力
TAPAn ATS3	TAPAn ATS2	動作説明															
0	0	三角波のダウン・カウント中の INT 信号が出力															
0	1	三角波のアップ・カウント中の INT 信号が出力															
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力															
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力															
1, 0	TAPAn ATS[1:0]	<p>A/D 変換トリガ 0 選択ビット A/D 変換トリガ出力 0 (TAPATADOUT0 信号) を指定する制御ビットです。</p> <table border="1"> <thead> <tr> <th>TAPAn ATS1</th><th>TAPAn ATS0</th><th>動作説明</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>三角波のダウン・カウント中の INT 信号が出力</td></tr> <tr> <td>0</td><td>1</td><td>三角波のアップ・カウント中の INT 信号が出力</td></tr> <tr> <td>1</td><td>0</td><td>三角波のアップ/ダウン・カウント中の INT 信号が出力</td></tr> <tr> <td>1</td><td>1</td><td>三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力</td></tr> </tbody> </table>	TAPAn ATS1	TAPAn ATS0	動作説明	0	0	三角波のダウン・カウント中の INT 信号が出力	0	1	三角波のアップ・カウント中の INT 信号が出力	1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力	1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力
TAPAn ATS1	TAPAn ATS0	動作説明															
0	0	三角波のダウン・カウント中の INT 信号が出力															
0	1	三角波のアップ・カウント中の INT 信号が出力															
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力															
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力															

**(3) TAPAnFLG - フラグ・レジスタ**

非同期 Hi-Z 制御のフラグ・レジスタです。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <TAPAn\_base> + 00<sub>H</sub>

**初期値** 0700<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	0	0	0	0	0	0	0	TAPAn ACE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20-11 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
10-8	TAPAn HOFm	Hi-Z 制御モニタ・ビット (m = 0, 1, 2) Hi-Z 制御のモニタ・ビットです。 0 : Hi-Z 制御中ではない 1 : Hi-Z 制御中である
0	TAPAn ACE	非同期 Hi-Z 制御イネーブル・ビット 非同期 Hi-Z 制御信号 (TAPATHASIN) の状態を示します。 0 : 非同期 Hi-Z 制御が停止状態 1 : 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE ビット = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE ビット = 1 時の TAPAnACTS への "1" 書き込み

**(4) TAPAnACWE - 非同期 Hi-Z 制御ライト・イネーブル・レジスタ**

非同期 Hi-Z 制御のための書き込みを許可します。

**アクセス** 8/1 ビット単位でリード／ライト可能です。

**アドレス** <TAPAn\_base> + 04<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACWE
R	R	R	R	R	R	R	R/W

表 20-12 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACWE	非同期制御ライト・イネーブル・ビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 "1" に書き込み後, TAPA0ACTS ビットと TAPA0ACTT ビットに "1" を書き込むことにより, 自動的に "0" にクリアされます。 0 : TAPAnACTS ビットと TAPAnACTT ビットへの書き込み禁止 1 : TAPAnACTS ビットと TAPAnACTT ビットへの書き込み許可

**(5) TAPAnACTS - 非同期 Hi-Z 制御スタート・トリガ・レジスタ**

非同期 Hi-Z 制御用のスタート・トリガを許可します。

**アクセス** 8 ビット単位でリード/ライト可能です。読み出し値は常に 00<sub>H</sub> となります。

**アドレス** <TAPAn\_base> + 08<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTS
R	R	R	R	R	R	R	W

表 20-13 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTS	非同期 Hi-Z 制御スタート・トリガ・ビット 非同期 Hi-Z 制御用のイネーブル・スタート・トリガ・ビットです。 このビットの設定は、TAPA0ACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: 非同期 Hi-Z 制御が許可になり、TAPAnACE ビットが 1 にセットされます。

**(6) TAPAnACTT - 非同期 Hi-Z 制御ストップ・トリガ・レジスタ**

非同期 Hi-Z 制御用のストップ・トリガを許可します。

**アクセス** 8 ビット単位でリード/ライト可能です。読み出し値は常に 00<sub>H</sub> となります。

**アドレス** <TAPAn\_base> + 0C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn ACTT
R	R	R	R	R	R	R	W

表 20-14 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn ACTT	非同期 Hi-Z 制御ストップ・トリガ・ビット 非同期 Hi-Z 制御用のストップ・トリガを許可します。 このビットの設定は、TAPA0ACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: 非同期 Hi-Z 制御が停止状態になり、TAPAnACE ビットが 0 にクリアされます。



**(7) TAPAnOPHS - Hi-Z スタート・トリガ・レジスタ**

タイマ出力端子に対する Hi-Z 制御を開始するためのソフトウェア・トリガ・レジスタです。

**アクセス** 8 ビット単位でリード/ライト可能です。読み出し値は常に 00<sub>H</sub> となります。

**アドレス** <TAPAn\_base> + 14<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHS0
R	R	R	R	R	R	R	W

表 20-15 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHS0	Hi-Z 制御スタート・トリガ・ビット タイマ出力端子の Hi-Z 制御を開始します。 0: "0" 書き込みは、機能として意味を持ちません。 1: Hi-Z 制御を開始

**(8) TAPAnOPHT - Hi-Z ストップ・トリガ・レジスタ**

タイマ出力端子に対する Hi-Z 制御を停止するためのソフトウェア・トリガ・レジスタです。

**アクセス** 8 ビット単位でリード/ライト可能です。読み出し値は常に 00<sub>H</sub> となります。

**アドレス** <TAPAn\_base> + 18<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TAPAn OPHT0
R	R	R	R	R	R	R	W

表 20-16 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
0	TAPAn OPHT0	Hi-Z 制御ストップ・トリガ・ビット Hi-Z 制御信号のストップ・トリガを設定します。 0: "0" 書き込みは機能として意味を持ちません。 1: Hi-Z 制御を停止。TAPAnOPHT0 ビットの設定有効/無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

**(9) TAPAnEMU - TAPAn エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <TAPAn\_base> + 28<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TAPAn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20-17 TAPAnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAPAn SVSDIS	<p>(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 20.4 基本動作説明

### 20.4.1 非同期 Hi-Z 制御機能

#### (1) 非同期 Hi-Z 制御機能の目的

CPU によって制御されるタイマ・モータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPU による制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

#### (2) 非同期 Hi-Z 制御機能の概要

非同期 Hi-z 制御により、タイマ機能からの出力を強制的に停止する機能です。

TAPATHASIN がアクティブ・レベルの間、Hi-Z 制御信号のストップ・トリガによる停止要求まで、タイマ機能の出力端子から Hi-Z 出力を行います。

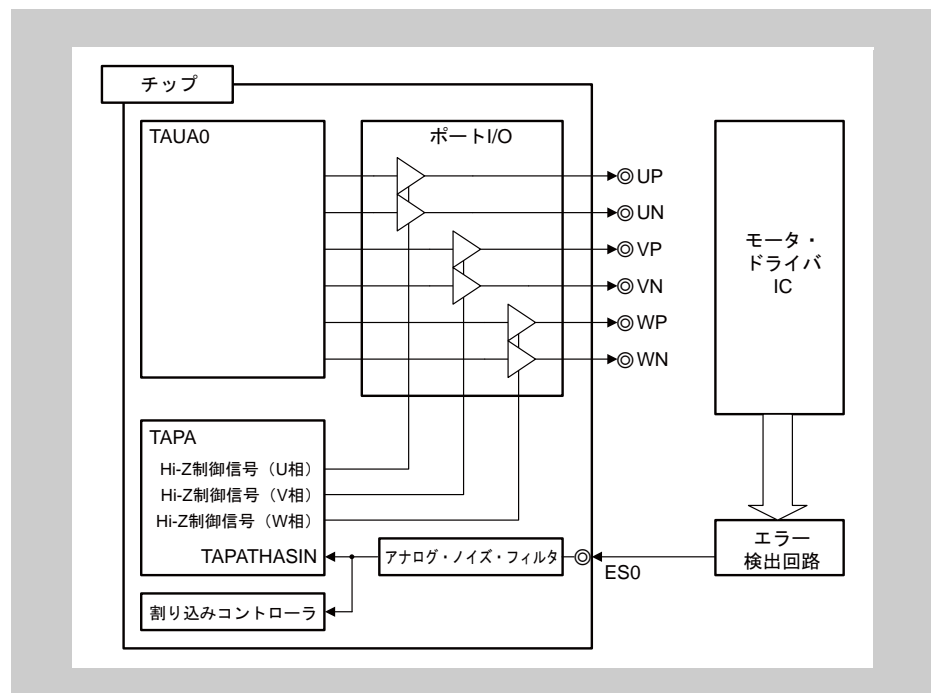
#### (3) システム構成例

モータ・タイマ出力端子 (UP/UN, VP/VN, WP/WN) の出力を外部エラー検出信号 (ES00 端子) にて Hi-Z 制御する場合のシステム構成例を下記に示します。

外部エラー検出信号を受け付けると、モータ・タイマ出力端子を Hi-Z にします。

エラー発生時にマイコンも暴走している可能性があることを想定し、外部のエラー検出信号を継続的に処理することによってクロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラー検出信号の有効エッジを検出したときのみエラーを検出し、出力レベルが固定されている (信号にエッジがない) 場合、エラーは検出されません。



**(4) 非同期 Hi-Z 制御機能の基本動作**

タイマ出力端子の Hi-Z 制御は次の方法で開始できます。

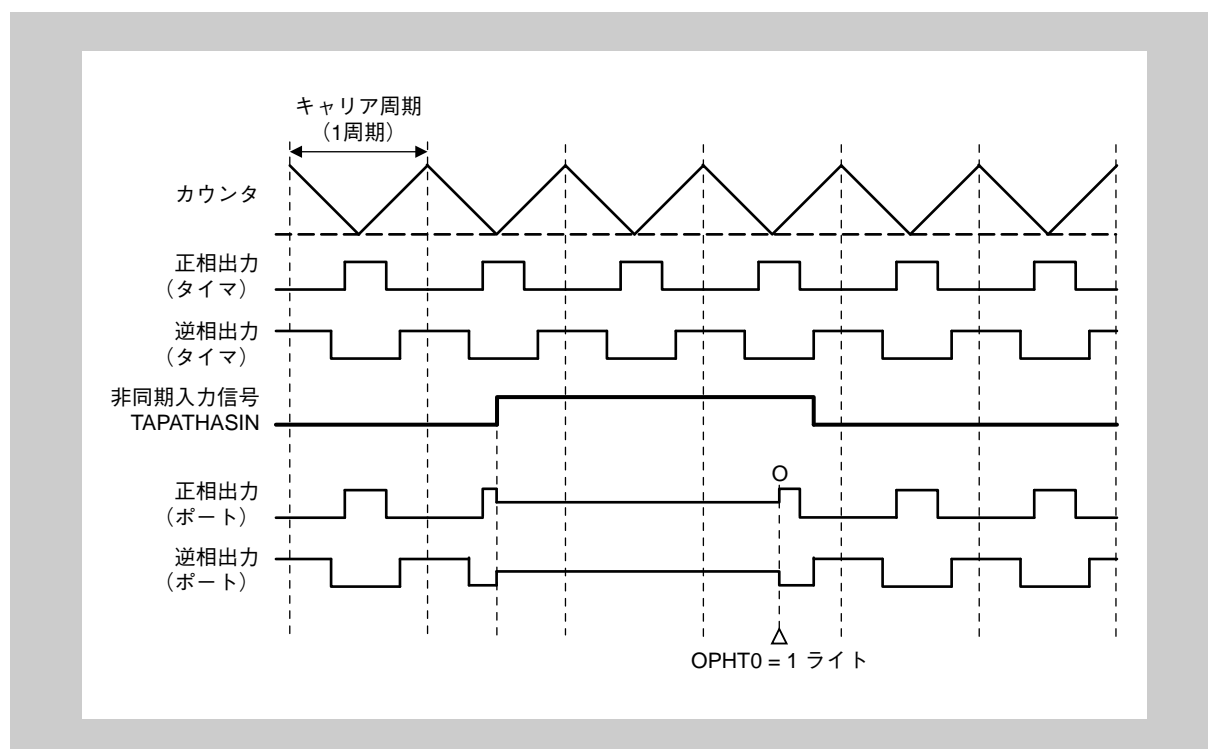
- TAPATHASIN 信号の有効エッジ検出
- Hi-Z 制御信号のスタート・トリガ・ビット (TAPAnOPHS0) をセット

Hi-Z 制御信号のストップ・トリガ・ビット (TAPAnOPHT0) をセットするまで、タイマ出力端子から Hi-Z を出力します。ただし、TAPAnOPHT0 ビットの設定有効 / 無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

**(a) TAPAnCTL0.TAPAnDCM = 0, TAPAnDCP = 0, TAPAnDCN = 0 時**

非同期入力 (TAPATHASIN) の有効エッジを検出すると、TAPATHZOUT0 がロウ・レベルになります。

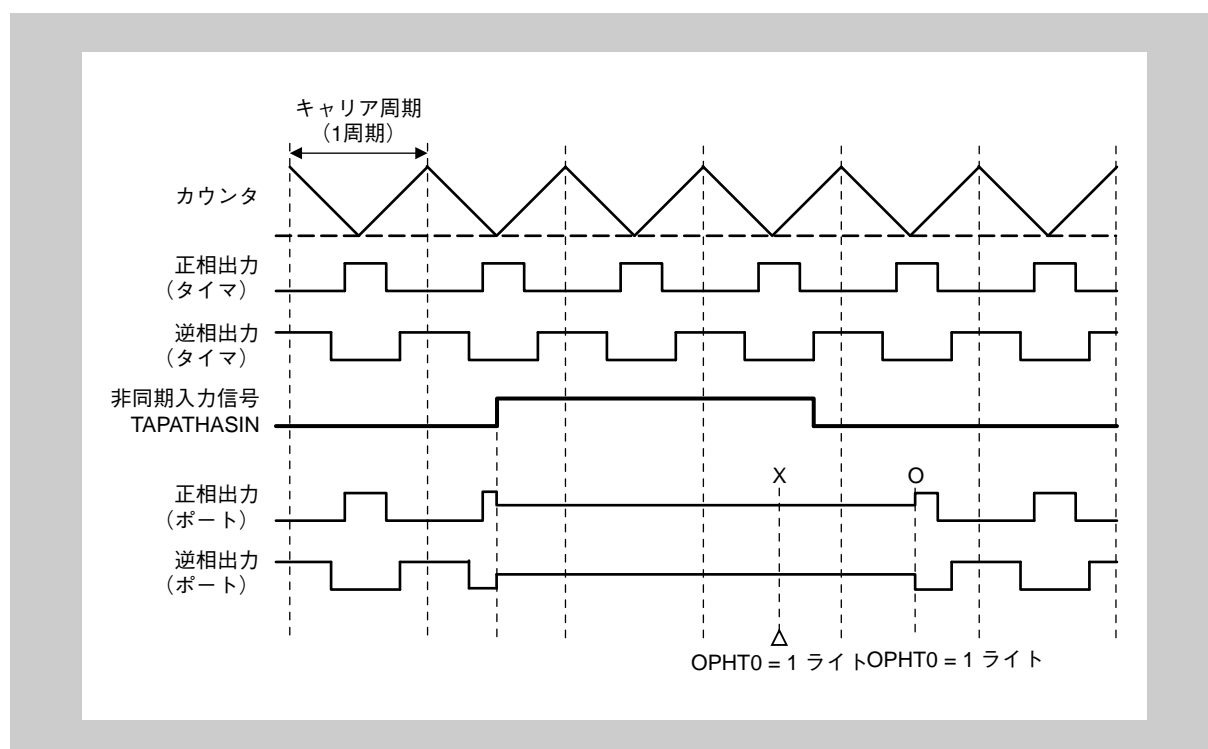
TAPATHZOUT0 がロウ・レベルの間、強制的に出力を停止 (ポート制御による Hi-Z 出力) します。



非同期入力信号 (TAPATHASIN) の有効エッジを検出すると、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

TAPATHASIN のレベルに関係なく、Hi-Z ストップ・トリガ・ビット (OPHT0) に "1" を書き込むことによって、タイマ出力が再開します。

## (b) TAPAnCTL0.TAPAnDCM = 1, TAPAnDCP = 1, TAPAnDCN = 0 時



非同期入力信号 (TAPATHASIN) の有効エッジを検出すると、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

非同期入力信号 (TAPATHASIN) がアクティブ・レベル (TAPAnDCP = 1 のためハイ・レベル) の間、Hi-Z ストップ・トリガ・ビット (TAPAOPHT0) への "1" 書き込みは無視されます。

非同期入力信号 (TAPATHASIN) がインアクティブ (TAPAnDCP = 1 のためロウ・レベル) レベルとなったあと、Hi-Z ストップ・トリガ・ビット (TAPAnOPHT0) に "1" を書き込むことによって、タイマ出力が再開します。

**(5) ソフトウェア・トリガによる非同期 Hi-Z 制御**

この機能では、ソフトウェア・トリガによる Hi-Z 制御が可能です。

Hi-Z 制御スタート・トリガ・ビット (TAPAnOPHS0) および Hi-Z 制御ストップ・トリガ・ビット (TAPAnOPHT0) で、タイマ出力の Hi-Z 制御ができます。

**(a) Hi-Z 制御スタート・トリガ・ビット (TAPAnOPHS) の動作**

TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに“1”を書き込むことによって、Hi-Z 制御を開始し、タイマ出力を強制的に停止 (ポート制御による Hi-Z 出力) します。

**(b) Hi-Z 制御ストップ・トリガ・ビット (TAPAnOPHT) の動作**

Hi-Z 制御ストップ・トリガは次の条件のときのみ有効となります。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、タイマ出力を再開します。
1	TAPATHASIN 信号がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、タイマ出力を再開します。 TAPATHASIN 信号がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。

(c) TAPAnDCM = 0, TAPAnDCP = 1, TAPAnDCN = 0 時

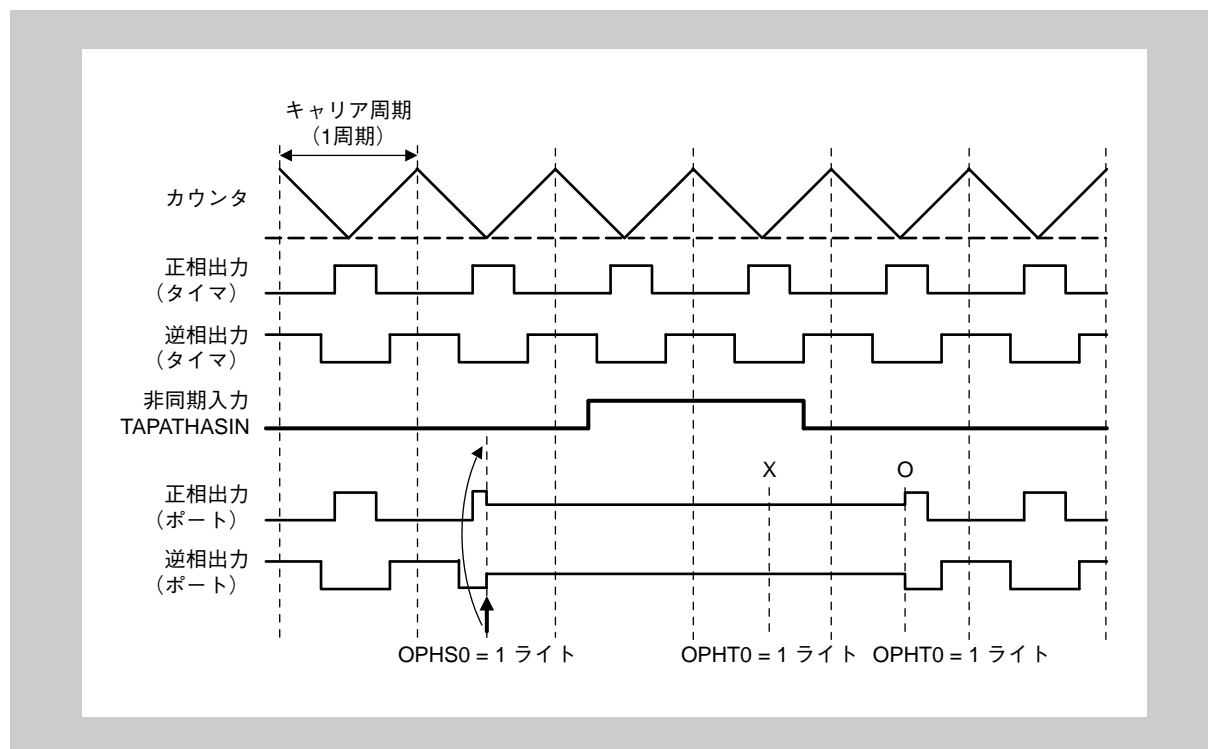


図 20-2 TAPAnDCM = 0, TAPAnDCP = 1, TAPAnDCN = 0 時の TAPATHZOUT0 の動作

TAPAnOPHS0 ビットに“1”を書き込むことによってタイマ出力を強制的に停止（ポート制御による Hi-Z 出力）します。

その後、TAPATHASIN 信号の立ち上がりエッジを検出しても、タイマ出力は Hi-Z のままです。

TAPATHASIN 信号がアクティブ・レベル（TAPAnDCN = 0, TAPAnDCP = 1 のためハイ・レベル）の間、TAPAnOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN 信号の立ち下がりエッジ検出後、TAPATHASIN 信号がインアクティブ（TAPAnDCN = 0, TAPAnDCP = 1 のためロウ・レベル）の期間に TAPAnOPHT0 ビットに“1”を書き込むことによってタイマ出力が再開します。

## (6) 非同期入力 Hi-Z 制御機能の操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

	動作	TAPA の状態	
動作再開 ↑	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP ビット, TAPAnDCN ビットを設定 (入力エッジ選択) TAPAnDCM を設定 (クリア・モード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS ビットに "1" を設定	TAPAnACTS ビットの書き込み可能  非同期 Hi-Z 制御許可 (TAPAnFLG.TAPAnACE = 1)
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下のとおりです。 <ul style="list-style-type: none"> <li>TAPAnOPHS レジスタで制御 Hi-Z 制御非同期入力信号 (TAPATHASIN) で制御</li> </ul> Hi-Z 制御を終了 (ストップ) する方法は、以下のとおりです。 <ul style="list-style-type: none"> <li>TAPAnOPHT レジスタで制御 (TAPAnDCM ビット = 1 の場合は TAPATHASIN 信号がインアクティブ時のみ制御可能)</li> </ul> TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	Hi-Z 制御非同期入力信号 (TAPATHASIN) の有効エッジ検出, またはスタート・トリガ・ビットを設定 (TAPAnOPHS0 ビット = 1) することによって, タイマ出力端子の Hi-Z 制御を開始。TAPAnCTL0.TAPAnDCM で設定した動作モードに従い, ストップ・トリガ・ビットを設定 (TAPAnOPHT0 ビット = 1) することによって, タイマ出力端子の Hi-Z 制御を停止。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに "1" を設定  TAPAnACTT レジスタを設定します。 TAPAnACTT ビットに "1" を設定	TAPAnACTT ビットの書き込み許可  非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)



## 20.4.2 INT 信号出力選択機能

### (1) INT 信号出力選択機能の構成

TAUA の三角波キャリア周期生成チャンネル (マスタ) の INT 信号が接続された TAPATSIMm 信号から、山割り込み INTTAPAnIPEK<sub>m</sub> と谷割り込み INTTAPAnIVLY<sub>m</sub> を生成する機能です。

本製品における TAPATSIMm 信号の接続先は表 0-5 を参照してください。

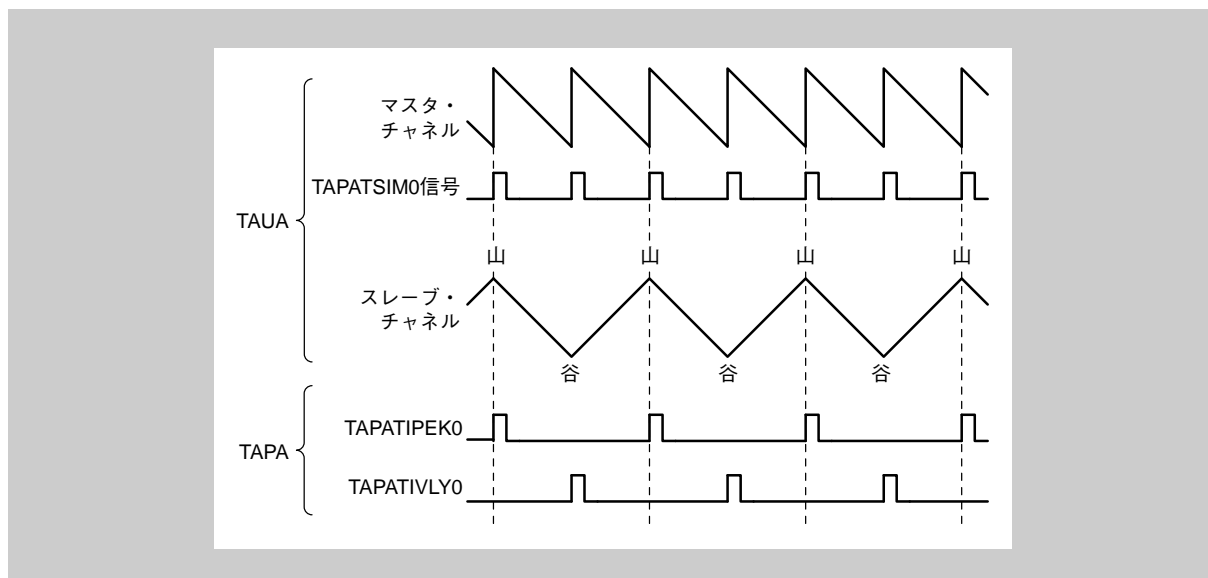


図 20-3 INT 信号出力選択機能の基本動作タイミング

マスタ・チャンネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタ・チャンネルの割り込みは TAPATSIMm 信号に接続され、TAPA へ入力されます。TAPATSIMm 信号は、三角波の山タイミングでは山割り込み INTTAPAnIPEK<sub>m</sub> として、谷タイミングでは谷割り込み INTTAPAnIVLY<sub>m</sub> として生成されます。

**注意** 山割り込み INTTAPAnIPEK<sub>m</sub> と谷割り込み INTTAPAnIVLY<sub>m</sub> は TAUA のモードに関わらず発生します。  
これらの割り込みを使用しない場合は ICTAPAnIPEK<sub>m</sub> レジスタと ICTAPAnIVLY<sub>m</sub> レジスタにてマスクしてください。

### 20.4.3 A/D 変換トリガ選択機能

TAUA の三角波キャリア周期とのコンペアー一致割り込みに接続された TAPATCDENS0 信号 /TAPATCDENS1 信号から A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) を出力する機能です。

#### (1) A/D コンバータ変換トリガ選択機能の構成

表 20-18 TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPAT ADOUT0	TAPAT CDENS0	TAPAT IVLY0
TAPAT ADOUT1	TAPAT CDENS1	TAPAT IVLY0

表 20-19 TAPAnCTL1.TAPAnATS[3:0], TAPATADOUT0 の動作

TAPAn ATS3	TAPAn ATS2	動作説明
0	0	三角波のダウン・カウント中の INT 信号が出力
0	1	三角波のアップ・カウント中の INT 信号が出力
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY1 が出力

TAPAn ATS0	TAPAn ATS1	動作説明
0	0	三角波のダウン・カウント中の INT 信号が出力
0	1	三角波のアップ・カウント中の INT 信号が出力
1	0	三角波のアップ/ダウン・カウント中の INT 信号が出力
1	1	三角波のアップ/ダウン・カウント中の INT 信号と谷割り込み INTTAPAnIVLY0 が出力

## (2) 三角波 PWM モード時の A/D コンバータ・トリガ出力制御動作波形

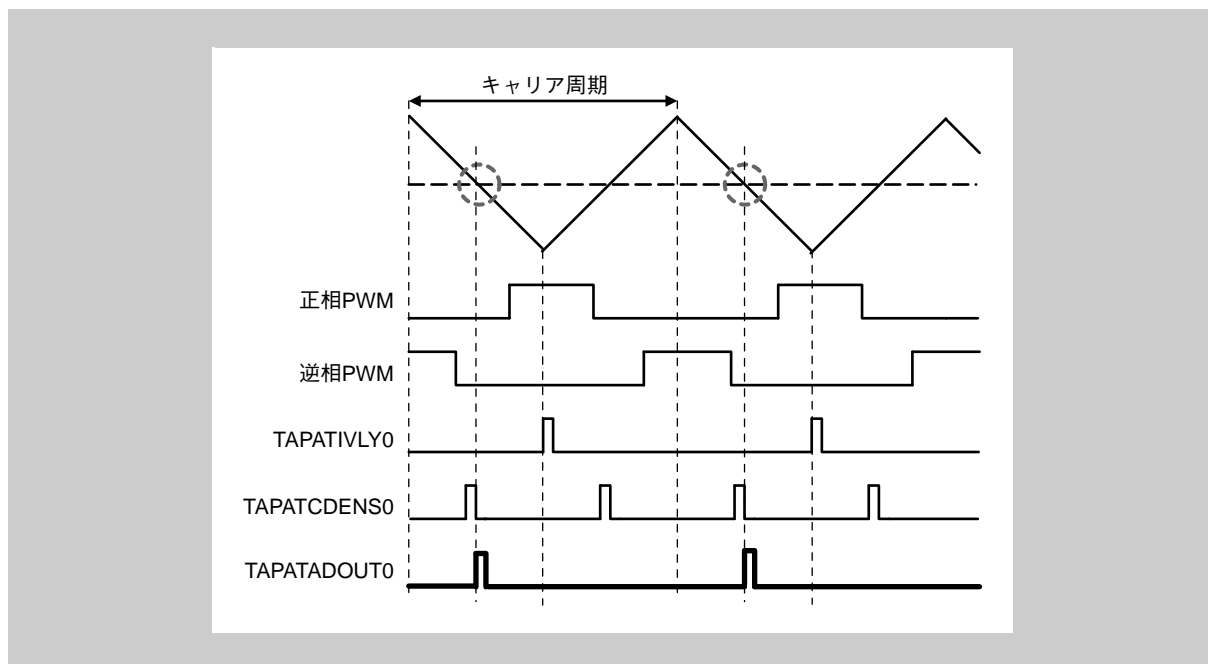


図 20-4 TAPAnATS[1:0] ビット =00B : 三角波がダウン・カウント中に INT 信号を出力

三角波がダウン・カウント中の TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

三角波がアップ・カウント中は, A/D コンバータ変換トリガ用信号は出力されません。

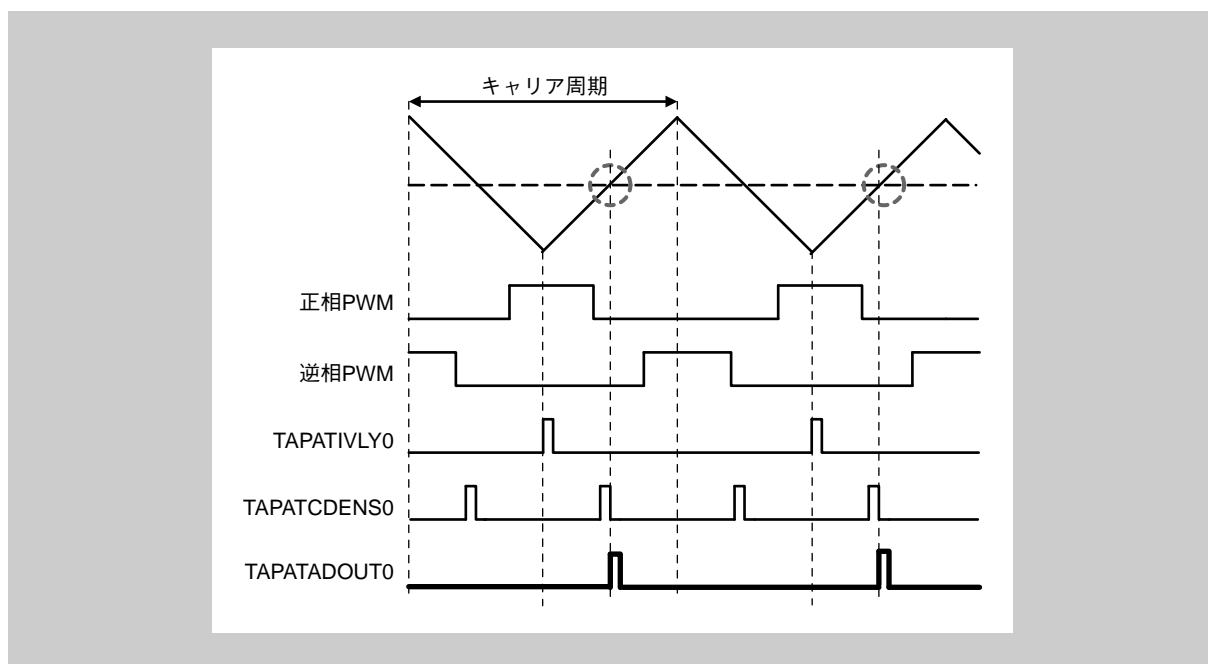


図 20-5 TAPAnATS[1:0] ビット =01B : 三角波がアップ・カウント中に INT 信号を出力

三角波がアップ・カウント中の TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

三角波がダウン・カウント中は, A/D コンバータ変換トリガ用信号は出力されません。

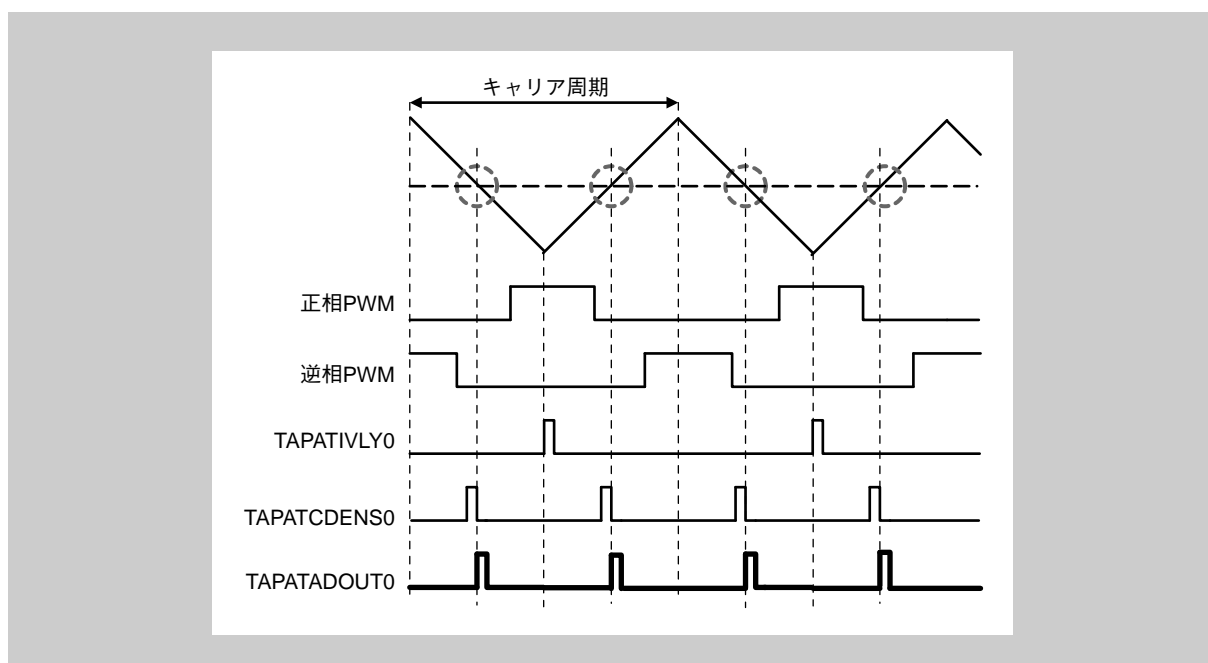


図 20-6 TAPAnATS[1:0] ビット =10B : 三角波がアップ/ダウン・カウント中に INT 信号を出力

TAPATCDNS0 信号 /TAPATCDNS1 信号は A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

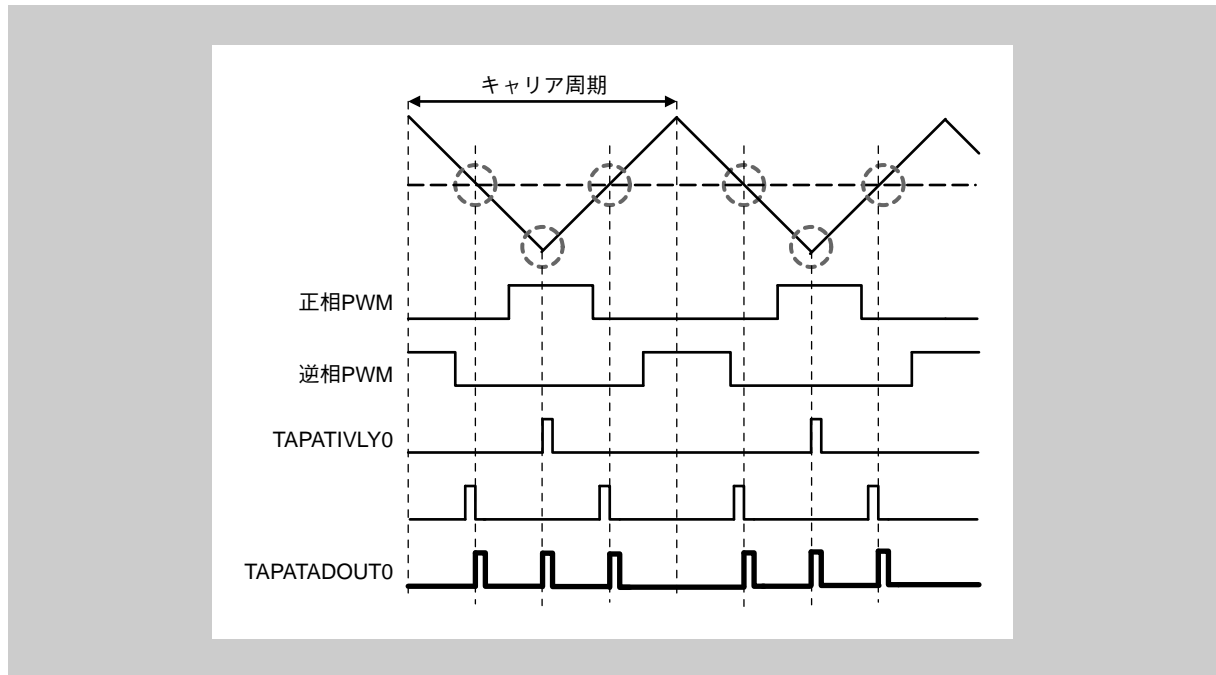


図 20-7 TAPAnATS[1:0] ビット =11B : 三角波がアップ/ダウン・カウント中の INT 信号と谷割り込みを出力

TAPATCDNS0 信号 /TAPATCDNS1 信号と谷割り込み INTTAPAnIVLY0 が A/D コンバータ変換トリガ用信号 (TAPATADOUT0/TAPATADOUT1) として出力されます。

## (3) A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

	動作	TAUA, TAPA の状態
動作再開 ↓	初期設定	TAUA を初期設定します。 タイマ動作モードを確定  TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0] を設定 (TAPATADOUT0 の設定) TAPAnATS[3:2] を設定 (TAPATADOUT1 の設定)
	動作開始	TAUA を動作開始します。  TAUA のカウント動作が開始します。
	動作中	TAUA は、各機能の設定に従って動作します。  A/D 変換トリガ選択機能は、TAUA からの割り込み入力 (TAPATCDENS1/TAPATCDENS0)、TAPA で生成した谷割り込み信号 (TAPATIVLY1/TAPATIVLY0) をもとに、TAPAnATS[1:0] の設定に従って TAPATADOUT0、または TAPAnATS[3:2] の設定に従って TAPATADOUT1 を出力します。
	動作停止	TAUA を動作停止します。  TAUA のカウント動作が停止します。

## 第21章 エンコーダ・タイマ (ENCA)

本章では、エンコーダ・タイマ (ENCA) 全般について説明します。

最初の節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/Fx4-H に固有の特性について説明します。

それ以降の節では、すべてのバージョンに共通の特徴について説明します。

### 21.1 V850E2/Fx4-H の ENCA の機能

**チャンネル数** 本マイクロコントローラは以下のチャンネル数のエンコーダ・タイマを搭載しています。

表 21-1 ENCA のチャンネル

エンコーダ・タイマ	
チャンネル数	1
名称	ENCA0

**n の意味** 本章では、エンコーダ・タイマの各チャンネルを「n」(n = 0) で識別します。たとえば、ENCAn 制御レジスタは ENCAnCTL と記述します。

**レジスタ・アドレス** ENCAn のレジスタ・アドレスは、ベース・アドレス <ENCAn\_base> からのオフセットで表されます。各 ENCAn のベース・アドレス <ENCAn\_base> を以下の表に示します。

表 21-2 レジスタ・ベース・アドレス <ENCAn\_base>

ENCAn のチャンネル	<ENCAn_base> アドレス
ENCA0	FF81 9000 <sub>H</sub>

**クロック供給** エンコーダ・タイマは 1 つのクロック入力を使用します。

表 21-3 ENCAn のクロック供給

ENCAn のチャンネル	ENCAn のクロック	接続先
ENCA0	PCLK	クロック・コントローラ CKSCLK_006

**割り込み** エンコーダ・タイマは以下の割り込み要求を生成できます。

表 21-4 ENCA<sub>n</sub> の割り込み要求

ENCA <sub>n</sub> の信号	機能	接続先
<b>ENCA0 :</b>		
ENCATIOV	ENCA0 オーバフロー割り込み	割り込みコントローラ INTENCA0IOV
ENCATIUD	ENCA0 アンダフロー割り込み	割り込みコントローラ INTENCA0IUD
ENCATINT0	ENCA0 コンペア一致 0 またはキャプチャ 0 割り込み	割り込みコントローラ INTENCA0I0
ENCATINT1	ENCA0 コンペア一致 1 またはキャプチャ 1 割り込み	割り込みコントローラ INTENCA0I1
ENCATIEC	エンコーダ入力 (Z 相) による ENCA0 クリア割り込み	割り込みコントローラ INTENCA0IEC

エンコーダ・タイマの I/O 信号を以下の表に示します。

表 21-5 ENCA<sub>n</sub> の I/O 信号

ENCA <sub>n</sub> の信号	機能	接続先
<b>ENCA0 :</b>		
ENCATTIN0	ENCA0 キャプチャ・トリガ入力 0	ポート ENC0TTIN0
ENCATTIN1	ENCA0 キャプチャ・トリガ入力 1	ポート ENC0TTIN1
ENCATAIN	ENCA0 エンコーダ入力 (A 相)	ポート ENC0TAIN
ENCATBIN	ENCA0 エンコーダ入力 (B 相)	ポート ENC0TBIN
ENCATZIN	ENCA0 エンコーダ入力 (Z 相)	ポート ENC0TZIN



## 21.2 機能の概要

- 機能の概要**
- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウンタ動作を実行
  - 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
  - カウンタ値とのコンペア一致判定を行うコンペア機能
  - キャプチャとコンペア用に別々に設定できる2つのキャプチャ/コンペア・レジスタ
  - コンペア動作中にコンペア一致と判定された結果、生成される割り込み信号出力をマスクするための割り込みマスク機能
  - アンダフローが発生したときにキャプチャ/コンペア・レジスタの値をカウンタにロードする機能
  - タイマ・カウンタのクリア条件にエンコーダ入力信号を利用可能
  - タイマ・カウンタ・クリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
  - カウンタのオーバフローとアンダフローの検出機能およびエラー・フラグとエラー発生割り込みの出力機能
  - 5つの割り込み：キャプチャ/コンペア割り込み (2), カウンタ・クリア割り込み (1), オーバフロー割り込み (1), アンダフロー割り込み (1)

21.2.1 ブロック図

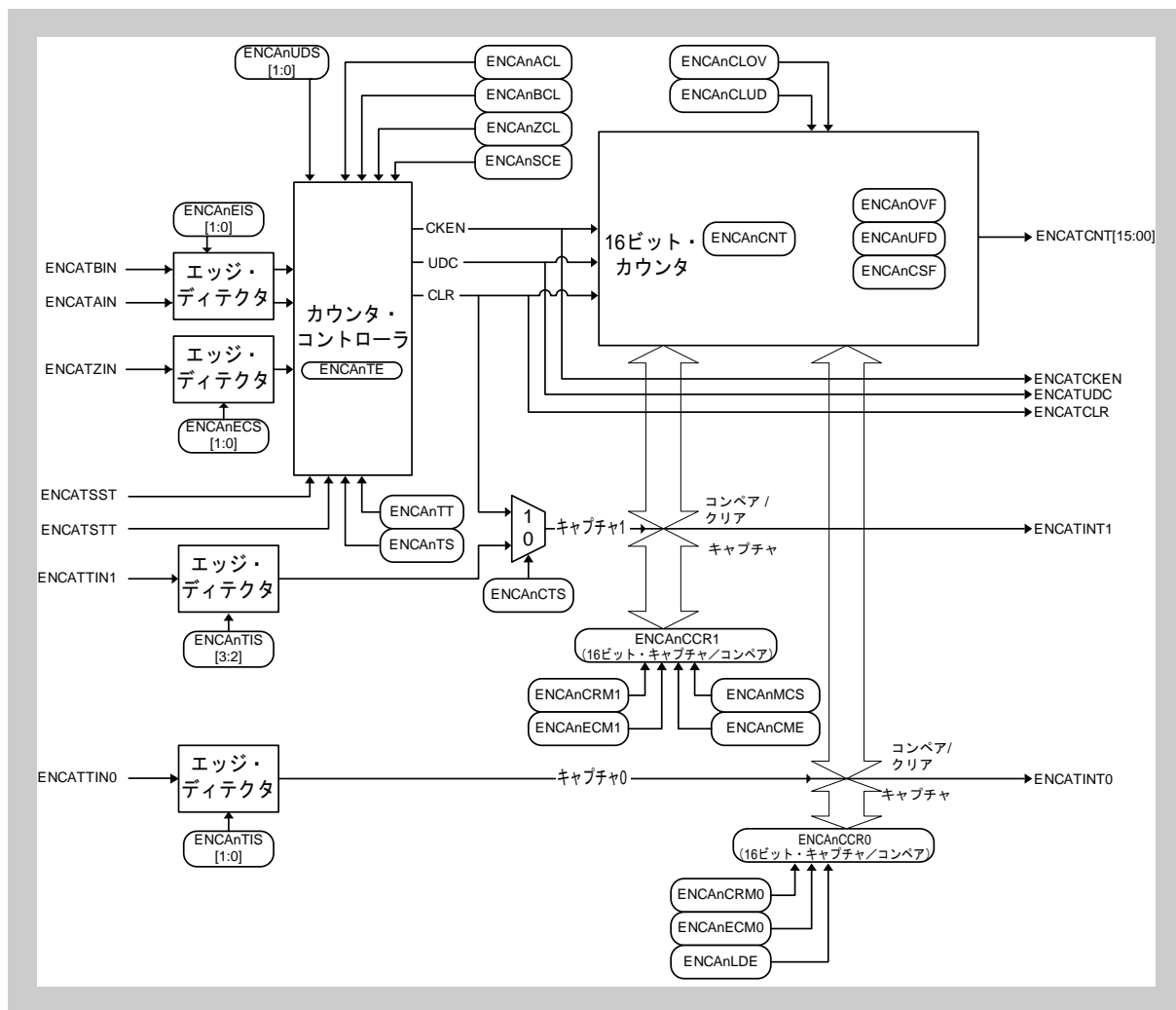


図 21-1 エンコーダ・タイマのブロック図

## 21.2.2 基本的な仕様を理解するための予備知識

このマクロはエンコーダ・カウンタ機能を備えています。以下でロータリー・エンコーダについて説明します。

- ロータリー・エンコーダ**    ロータリー・エンコーダは回転軸の変位量に従ってパルスを出力します。光学パターンの書き込まれたディスクが回転軸の変位に従って回転するときに2つのスリット (A 相, B 相) を通過する光が伝送されたり遮断されたりするため、出力パルスは2つの異なる位相を持つ波形として出力されます。
- A 相のパルスを ENCATAIN に、B 相のパルスを ENCATBIN に入力し、そこから出力されるパルスをカウンタでカウントすることによって回転を検出できます。
- さらに、エンコーダの1回転の原点を示す Z 相と呼ばれるパルスがあります。
- Z 相のパルスを ENCATZIN に入力してカウンタを 0000<sub>H</sub> にクリアすることで、位相シフトなどの誤差を修正することができます。
- タイマ・カウンタで測定した回転数を位置測定アプリケーションや速度測定アプリケーションで利用できます。

## 21.3 ENCA 制御レジスタ

ENCA<sub>n</sub> は、以下のレジスタによって制御され、操作されます。

表 21-6 ENCA<sub>n</sub> レジスタの概要

レジスタ名	略号	アドレス
ENCA キャプチャ/コンペア・レジスタ 0	ENCA <sub>n</sub> CCR0	<ENCA <sub>n</sub> _base>
ENCA キャプチャ/コンペア・レジスタ 1	ENCA <sub>n</sub> CCR1	<ENCA <sub>n</sub> _base> + 04 <sub>H</sub>
ENCA カウンタ・レジスタ	ENCA <sub>n</sub> CNT	<ENCA <sub>n</sub> _base> + 08 <sub>H</sub>
ENCA ステータス・フラグ・レジスタ	ENCA <sub>n</sub> FLG	<ENCA <sub>n</sub> _base> + 0C <sub>H</sub>
ENCA ステータス・フラグ・クリア・レジスタ	ENCA <sub>n</sub> FGC	<ENCA <sub>n</sub> _base> + 10 <sub>H</sub>
ENCA タイマ・イネーブル・ステータス・レジスタ	ENCA <sub>n</sub> TE	<ENCA <sub>n</sub> _base> + 14 <sub>H</sub>
ENCA タイマ・スタート・トリガ・レジスタ	ENCA <sub>n</sub> TS	<ENCA <sub>n</sub> _base> + 18 <sub>H</sub>
ENCA タイマ・ストップ・トリガ・レジスタ	ENCA <sub>n</sub> TT	<ENCA <sub>n</sub> _base> + 1C <sub>H</sub>
ENCA I/O 制御レジスタ 0	ENCA <sub>n</sub> IOC0	<ENCA <sub>n</sub> _base> + 20 <sub>H</sub>
ENCA 制御レジスタ	ENCA <sub>n</sub> CTL	<ENCA <sub>n</sub> _base> + 40 <sub>H</sub>
ENCA I/O 制御レジスタ 1	ENCA <sub>n</sub> IOC1	<ENCA <sub>n</sub> _base> + 44 <sub>H</sub>
ENCA エミュレーション・レジスタ	ENCA <sub>n</sub> EMU	<ENCA <sub>n</sub> _base> + 48 <sub>H</sub>

<ENCA<sub>n</sub>\_base> ENCA<sub>n</sub> のベース・アドレス <ENCA<sub>n</sub>\_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

(1) ENCA<sub>n</sub>CTL - ENCA 制御レジスタ

本レジスタは、エンコーダ・タイマのさまざまな動作の設定に使用されます。

**アクセス** 16ビット単位でリード/ライト可能です。  
動作中の本レジスタへの書き込みは禁止されています。

**アドレス** <ENCA<sub>n</sub>\_base> + 40<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは、リセットにより 0000<sub>H</sub> に初期化されます。

15	14	13	12	11	10	9	8
ENCA <sub>n</sub> CME	ENCA <sub>n</sub> MCS	0	0	0	0	ENCA <sub>n</sub> CRM1	ENCA <sub>n</sub> CRM0
R/W	R/W	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
ENCA <sub>n</sub> CTS	0	0	ENCA <sub>n</sub> LDE	ENCA <sub>n</sub> ECM1	ENCA <sub>n</sub> ECM0	ENCA <sub>n</sub> UDS[1:0]	
R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 21-7 ENCA<sub>n</sub>CTL レジスタの内容 (1/2)

ビット	名称	機能
15	ENCA <sub>n</sub> CME	エンコーダ・クリア・マスク・イネーブル・ビット このビットは、コンペア機能が使用されているときにコンペアー一致割り込み検出のマスクングを有効または無効にするために使用されます。 0: ENCA <sub>n</sub> CCR1 レジスタのコンペアー一致割り込み (ENCA <sub>n</sub> TINT1) マスク機能を無効にします。 1: ENCA <sub>n</sub> CCR1 レジスタのコンペアー一致割り込み (ENCA <sub>n</sub> TINT1) マスク機能を有効にします。 このビットは ENCA <sub>n</sub> CRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCA <sub>n</sub> ECM1 を「1」にセットすることは禁止されています。
14	ENCA <sub>n</sub> MCS	エンコーダ・マスク・クリア選択ビット このビットは、コンペア機能が使用されているときにコンペアー一致割り込み検出のマスクングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCA <sub>n</sub> CRM1 = 0 のときにのみ有効になります。 0: ENCA <sub>n</sub> CCR1 レジスタへの書き込みが行われると、コンペアー一致割り込み検出のマスクングをキャンセルします。 1: 以下の3つの動作のいずれかが実行されたときにコンペアー一致割り込み検出のマスクングをキャンセルします。 - Z相によるタイマ・カウンタ・クリア動作 - ENCA <sub>n</sub> ECM0 = 1 のときに ENCA <sub>n</sub> CNT と ENCA <sub>n</sub> CCR0 がコンペアー一致したときのタイマ・カウンタ・クリア動作 - ENCA <sub>n</sub> LDE = 1 のときのアンダフローの検出による ENCA <sub>n</sub> CCR0 からタイマ・カウンタへのロード
9	ENCA <sub>n</sub> CRM1	ENCA <sub>n</sub> CCR1 レジスタ・モード・ビット 0: ENCA <sub>n</sub> CCR1 をコンペアレジスタとして使用します。 1: ENCA <sub>n</sub> CCR1 をキャプチャ・レジスタとして使用します。
8	ENCA <sub>n</sub> CRM0	ENCA <sub>n</sub> CCR0 レジスタ・モード・ビット 0: ENCA <sub>n</sub> CCR0 をコンペアレジスタとして使用します。 1: ENCA <sub>n</sub> CCR0 をキャプチャ・レジスタとして使用します。

表 21-7 ENCAAnCTL レジスタの内容 (2/2)

ビット	名称	機能
7	ENCAAn CTS	<p>ENCAAnCCR1 キャプチャ・トリガ選択ビット ENCAAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビット・レジスタです。</p> <p>このビットで ENCAAnCCR1 レジスタへのキャプチャ・トリガを選択します。このビットは ENCAAnCRM1 = 1 のときにのみ有効になります。</p> <p>0: キャプチャ・トリガ 1 信号の ENCATTIN1 を ENCAAnCCR1 レジスタへのキャプチャ・トリガとして使用します。</p> <p>1: Z 相エンコーダ入力信号の ENCATZIN を ENCAAnCCR1 レジスタへのキャプチャ・トリガとして使用します。</p>
4	ENCAAn LDE	<p>ENCAAn カウンタ・ロード・イネーブル・ビット このレジスタは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>ENCAAnCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAAnCCR0 レジスタの設定値のロードは行われません。</p> <p>0: カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。</p> <p>1: カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p>
3	ENCAAn ECM1	<p>エンコーダ・クリア・モード・ビット 1 このレジスタは、カウンタ値と ENCAAnCCR1 の設定値が一致したときのカウンタ・クリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。</p> <p>0: タイマ・カウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000<sub>H</sub>にクリアしません。</p> <p>1: 次のカウントがダウン・カウントであれば、タイマ・カウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000<sub>H</sub>にクリアします。</p>
2	ENCAAn ECM0	<p>エンコーダ・クリア・モード・ビット 0 このレジスタは、カウンタ値と ENCAAnCCR0 の設定値が一致したときのカウンタ・クリア動作の設定に使用されます。</p> <p>このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>0: タイマ・カウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000<sub>H</sub>にクリアしません。</p> <p>1: 次のカウントがアップ・カウントであれば、タイマ・カウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000<sub>H</sub>にクリアします。</p>
1-0	ENCAAn UDS[1:0]	<p>アップダウン・カウント選択ビット 1 と 0 ENCATAIN と ENCATBIN を使用するカウンタ・アップ/ダウン制御レジスタです。</p> <p>00: ENCATAIN の有効エッジを検出したときに以下のカウントを実行します。</p> <ul style="list-style-type: none"> <li>- ENCATBIN = H の場合はダウン・カウント</li> <li>- ENCATBIN = L の場合はアップ・カウント</li> </ul> <p>01: ENCATAIN の有効エッジを検出したときにアップ・カウントを実行します。</p> <p>ENCATBIN の有効エッジを検出したときにダウン・カウントを実行します。</p> <p>10: ENCATAIN の立ち上がりエッジでダウン・カウントを実行します。</p> <p>ENCATAIN の立ち下がりエッジでアップ・カウントを実行します。</p> <p>ただし、カウントは ENCATBIN = L のときにのみ実行されます。</p> <p>11: ENCATAIN と ENCATBIN の両方のエッジを検出します。</p> <p>検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

**(2) ENCA<sub>n</sub>IOC0 - ENCA I/O 制御レジスタ 0**

本レジスタは、キャプチャ・トリガ0と1 (ENCA<sub>n</sub>TTIN0 と ENCA<sub>n</sub>TTIN1) の入力エッジの選択に使用されます。

**アクセス** 8ビット単位でリード/ライト可能です。  
動作中の本レジスタへの書き込みは禁止されています。

**アドレス** <ENCA<sub>n</sub>\_base> + 20<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	ENCA <sub>n</sub> TIS[3:2]	ENCA <sub>n</sub> TIS[1:0]		
R	R	R	R	R/W	R/W	R/W	R/W

表 21-8 ENCA<sub>n</sub>IOC0 レジスタの内容

ビット	名称	機能
3-2	ENCA <sub>n</sub> TIS[3:2]	キャプチャ・トリガ1の入力エッジ選択ビットです。 これらのビットは ENCA <sub>n</sub> CTL レジスタの ENCA <sub>n</sub> CRM1 = 1 かつ ENCA <sub>n</sub> CTS = 0 である場合にのみ有効になります。 ENCA <sub>n</sub> CRM1 と ENCA <sub>n</sub> CTS がそれ以外の値に設定されているときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。
1-0	ENCA <sub>n</sub> TIS[1:0]	キャプチャ・トリガ0の入力エッジ選択ビットです。 これらのビットは ENCA <sub>n</sub> CTL.ENCA <sub>n</sub> CRM0 = 1 の場合にのみ有効になります。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

**(3) ENCA<sub>n</sub>IOC1 - ENCA I/O 制御レジスタ 1**

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

**アクセス** 8ビット単位でリード/ライト可能です。  
動作中の本レジスタへの書き込みは禁止されています。

**アドレス** <ENCA<sub>n</sub>\_base> + 44<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
ENCA <sub>n</sub> SCE	ENCA <sub>n</sub> ZCL	ENCA <sub>n</sub> BCL	ENCA <sub>n</sub> ACL	ENCA <sub>n</sub> ECS[1:0]		ENCA <sub>n</sub> EIS[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-9 ENCA<sub>n</sub>IOC1 レジスタの内容 (1/2)

ビット	名称	機能
7	ENCA <sub>n</sub> SCE	エンコーダ特殊クリア・イネーブル・ビット これはエンコーダ特殊クリア・イネーブル・ビットです。 0に設定すると、カウンタはZ相のエッジが検出されたときにクリアされます。 1に設定すると、カウンタは、ENCATZIN, ENCATAIN, ENCATBIN が設定されたレベルに達したときにクリアされます (特殊クリア)。 このビットを1にセットする場合は、ENCA <sub>n</sub> UDS1 と ENCA <sub>n</sub> UDS0 を {1, 0} または {1, 1} に設定してください。ENCA <sub>n</sub> UDS1 と ENCA <sub>n</sub> UDS0 が {0, 0} または {0, 1} に設定された状態でこのビットを1にセットした場合の動作は保証されません。 0: (ENCA <sub>n</sub> ECS1 と ENCA <sub>n</sub> ECS0 で設定された) ENCATZIN の有効エッジを検出すると、カウンタをクリアします。 1: (ENCA <sub>n</sub> ZCL ビット, ENCA <sub>n</sub> BCL ビット, ENCA <sub>n</sub> ACL ビットで設定された) ENCATZIN, ENCATBIN, ENCATAIN の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCA <sub>n</sub> ZCL	入力Zクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのZ相エンコーダ入力 (ENCA <sub>n</sub> ZIN) のクリア条件の設定に使用されます。 このビットは ENCA <sub>n</sub> SCE = 1 のときにのみ有効であり、ENCA <sub>n</sub> SCE = 0 のときは無効です。 0: クリア条件: ロウ・レベル 1: クリア条件: ハイ・レベル
5	ENCA <sub>n</sub> BCL	入力Bクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのB相エンコーダ入力 (ENCA <sub>n</sub> BIN) のクリア条件の設定に使用されます。 このビットは ENCA <sub>n</sub> SCE = 1 のときにのみ有効であり、ENCA <sub>n</sub> SCE = 0 のときは無効です。 0: クリア条件: ロウ・レベル 1: クリア条件: ハイ・レベル



表 21-9 ENCAAnIOC1 レジスタの内容 (2/2)

ビット	名称	機能
4	ENCAAn ACL	<p>入力 A クリア条件選択ビット</p> <p>このビットは、エンコーダ特殊クリア機能を使用するときの A 相エンコーダ入力 (ENCAAnAIN) のクリア条件の設定に使用されます。</p> <p>このビットは ENCAAnSCE = 1 のときにのみ有効であり、ENCAAnSCE = 0 のときは無効です。</p> <p>0 : クリア条件 : ロウ・レベル 1 : クリア条件 : ハイ・レベル</p>
3-2	ENCAAn ECS[1:0]	<p>エンコーダ・クリア入力エッジ選択ビット 1 と 0</p> <p>これらはエンコーダ・クリア入力エッジ選択ビット (Z 相) です。</p> <p>これらのビットは ENCAAnSCE = 0 のときにのみ有効であり、ENCAAnSCE = 1 のときは無効です。</p> <p>00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。</p>
1-0	ENCAAn EIS[1:0]	<p>エンコーダ入力選択ビット 1 と 0</p> <p>これらはエンコーダ入力エッジ選択ビット (A 相, B 相) です。</p> <p>これらのビットは、ENCAAnUDS1 と ENCAAnUDS0 が {0, 0} または {0, 1} のときにのみ有効であり、ENCAAnUDS1 と ENCAAnUDS0 が {1, 0} または {1, 1} のときは無効です。</p> <p>00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。</p>

**(4) ENCA<sub>n</sub>FLG - ENCA ステータス・フラグ・レジスタ**

本レジスタには ENCA<sub>n</sub> のタイマ・カウンタのステータス・フラグが格納されます。

**アクセス** 8ビット単位でリード可能です。  
動作中の本レジスタへの書き込みは禁止されています。

**アドレス** <ENCA<sub>n</sub>\_base> + 0C<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	ENCA <sub>n</sub> CSF	ENCA <sub>n</sub> UDF	ENCA <sub>n</sub> OVF
R	R	R	R	R	R	R	R

表 21-10 ENCA<sub>n</sub>FLG レジスタの内容

ビット	名称	機能
2	ENCA <sub>n</sub> CSF	カウンタ・ステータス・フラグ このビットには現在のタイマ・カウンタの動作が反映されます。 このビットはカウント動作の開始時にクリアされます。 0: タイマ・カウンタがアップ・カウント状態にあります。 1: タイマ・カウンタがダウン・カウント状態にあります。
1	ENCA <sub>n</sub> UDF	アンダフロー・フラグ このビットには、タイマ・カウンタの動作中にアンダフローが発生したかどうか反映されます。このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 - ENCA <sub>n</sub> FGC レジスタの ENCA <sub>n</sub> CLUD に「1」が書き込まれる - ENCA <sub>n</sub> TE = 0 のときに ENCA <sub>n</sub> TS が「1」にセットされる - ENCA <sub>n</sub> SST の入力信号が「ハイ」になる 1: エンコーダ・タイマ・カウント動作中にアンダフローが発生すると、このフラグが「1」にセットされます。
0	ENCA <sub>n</sub> OVF	オーバフロー・フラグ このビットには、タイマ・カウンタの動作中にオーバフローが発生したかどうか反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 - ENCA <sub>n</sub> FGC レジスタの ENCA <sub>n</sub> CLOV に「1」が書き込まれる - ENCA <sub>n</sub> TE = 0 のときに ENCA <sub>n</sub> TS が「1」にセットされる - ENCA <sub>n</sub> SST の入力信号が「ハイ」になる 1: エンコーダ・タイマ・カウント動作中にオーバフローが発生すると、このフラグが「1」にセットされます。

**(5) ENCA<sub>n</sub>FGC - ENCA ステータス・フラグ・クリア・レジスタ**

本レジスタは ENCA<sub>n</sub>FLG のタイマ・カウンタ・ステータス・フラグをクリアするために使用されます。

**アクセス** 8 ビット単位で書き込み可能です。  
本レジスタは、読み出すと常に 0 を返します。

**アドレス** <ENCA<sub>n</sub>\_base> + 10<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ENCA <sub>n</sub> CLUD	ENCA <sub>n</sub> CLOV
R	R	R	R	R	R	W	W

表 21-11 ENCA<sub>n</sub>FGC レジスタの内容

ビット	名称	機能
1	ENCA <sub>n</sub> CLUD	アンダフロー・フラグ・クリア このビットはアンダフロー・フラグをクリアします。 0: 書き込みは無視されます。 1: ENCA <sub>n</sub> FLG レジスタの ENCA <sub>n</sub> UDF をクリアします (アンダフロー検出のクリア)。
0	ENCA <sub>n</sub> CLOV	オーバフロー・フラグ・クリア このビットはオーバフロー・フラグをクリアします。 0: 書き込みは無視されます。 1: ENCA <sub>n</sub> FLG レジスタの ENCA <sub>n</sub> OVF をクリアします (オーバフロー検出のクリア)。

**(6) ENCA<sub>n</sub>CCR0 - ENCA キャプチャ/コンペア・レジスタ 0**

このレジスタは 16 ビットのキャプチャ/コンペア・レジスタ 0 です。

**アクセス** コンペア・レジスタとして使用する場合 (ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM0 = 0) は 16 ビット単位で書き込み可能です。

キャプチャ・レジスタとして使用する場合 (ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM0 = 1), 動作中の本レジスタへの書き込みは無効になります。

**アドレス** <ENCA<sub>n</sub>\_base> + 00<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは、リセットにより 0000<sub>H</sub> に初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCA <sub>n</sub> CCR0[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-12 ENCA<sub>n</sub>CCR0 レジスタの内容

ビット	名称	機能
15-0	ENCA <sub>n</sub> CCR0[15:0]	<p>キャプチャ/コンペア・レジスタ 0</p> <p>アンダフローが発生した場合は、ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>LDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、ENCA 制御レジスタ ENCA<sub>n</sub>CTL の ENCA<sub>n</sub>LDE ビットの説明を参照してください。</p> <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM0 = 0 の場合：ENCA<sub>n</sub>CCR0 はコンペア・レジスタになります。 タイマ・カウンタ値との比較の対象になる値を設定します。</li> <li>ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM0 = 1 の場合：ENCA<sub>n</sub>CCR0 はキャプチャ・レジスタになります。 キャプチャされたタイマ・カウンタ値が格納されます。</li> </ul>

(7) ENCA<sub>n</sub>CCR1 - ENCA キャプチャ/コンペア・レジスタ 1

このレジスタは 16 ビットのキャプチャ/コンペア・レジスタ 1 です。

**アクセス** コンペア・レジスタとして使用する場合 (ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM1 = 0) は 16 ビット単位で書き込み可能です。

キャプチャ・レジスタとして使用する場合 (ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM1 = 1), 動作中の本レジスタへの書き込みは無効になります。

**アドレス** <ENCA<sub>n</sub>\_base> + 04<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは、リセットにより 0000<sub>H</sub> に初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCA <sub>n</sub> CCR1[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-13 ENCA<sub>n</sub>CCR1 レジスタの内容

ビット	名称	機能
15-0	ENCA <sub>n</sub> CCR1[15:0]	キャプチャ/コンペア・レジスタ 1 キャプチャ動作中、本レジスタへのキャプチャをトリガにする条件は、ENCA <sub>n</sub> CTL.ENCA <sub>n</sub> CTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA <sub>n</sub> CTL の ENCA <sub>n</sub> CTS ビットの説明を参照してください。 <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM1 = 0 の場合：ENCA<sub>n</sub>CCR1 はコンペア・レジスタになります。 タイマ・カウンタ値との比較の対象になる値を設定します。</li> <li>ENCA<sub>n</sub>CTL.ENCA<sub>n</sub>CRM1 = 1 の場合：ENCA<sub>n</sub>CCR1 はキャプチャ・レジスタになります。 キャプチャされたタイマ・カウンタ値が格納されます。</li> </ul>

**(8) ENCA<sub>n</sub>CNT - ENCA カウンタ・レジスタ**

本レジスタは 16 ビットのタイマ・カウンタ・レジスタです。

**アクセス** 16 ビット単位でリード／ライト可能です。  
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

**アドレス** <ENCA<sub>n</sub>\_base> + 08<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは、リセットにより 0000<sub>H</sub> に初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCA <sub>n</sub> CNT[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-14 ENCA<sub>n</sub>CNT レジスタの内容

ビット	名称	機能
15-0	ENCA <sub>n</sub> CNT[15:0]	カウンタ・レジスタ <ul style="list-style-type: none"> <li>• ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE の状態 : 0 (初期設定) : カウント停止 任意の値をタイマ・カウンタに設定できます。</li> <li>• ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ／ダウン・カウント動作を開始します。</li> <li>• ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE の状態 : 1 (動作中) : カウント実行中 アップ／ダウン・カウント動作を実行中です。</li> <li>• ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。</li> </ul>

**(9) ENCA<sub>n</sub>TE - ENCA タイマ・イネーブル・ステータス・レジスタ**

本レジスタは ENCA<sub>n</sub> の動作状態を示します。

**アクセス** 8 ビット単位でリード可能です。

**アドレス** <ENCA<sub>n</sub>\_base> + 14<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA <sub>n</sub> TE
R	R	R	R	R	R	R	R

表 21-15 ENCA<sub>n</sub>TE レジスタの内容

ビット	名称	機能
0	ENCA <sub>n</sub> TE	タイマ・ステータス・イネーブル・ビット ENCA <sub>n</sub> の動作可能/停止状態を示すステータス・ビットです。 このビットは、ENCA <sub>n</sub> TT.ENCA <sub>n</sub> TT に「1」が書き込まれるか、ENCATSTT 信号にハイ・レベルが入力されると「0」にクリアされます。 また、このビットは、ENCA <sub>n</sub> TS.ENCA <sub>n</sub> TS に「1」が書き込まれるか、ENCATSST 信号にハイ・レベルが入力されると「1」にセットされます。 0：動作停止状態 1：動作可能状態

**(10) ENCA<sub>n</sub>TS - ENCA タイマ・スタート・トリガ・レジスタ**

本レジスタは、ENCA<sub>n</sub> を動作可能状態に設定するトリガ・ビットです。

**アクセス** 8ビット単位でリード/ライト可能です。  
本レジスタは、読み出すと常に0を返します。本レジスタへの書き込みはENCA<sub>n</sub>TE.ENCA<sub>n</sub>TEが0のときにのみ行うことができます。

**アドレス** <ENCA<sub>n</sub>\_base> + 18<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより00<sub>H</sub>に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA <sub>n</sub> TS
R	R	R	R	R	R	R	W

表 21-16 ENCA<sub>n</sub>TS レジスタの内容

ビット	名称	機能
0	ENCA <sub>n</sub> TS	タイマ・スタート・トリガ・ビット ENCA <sub>n</sub> を動作可能状態に設定するトリガ・ビットです。 0 : 書き込みは無視されます。 1 : ENCA <sub>n</sub> TE.ENCA <sub>n</sub> TE = 1 に設定することで、ENCA <sub>n</sub> を動作可能状態に設定します。



**(11) ENCA<sub>n</sub>TT - ENCA タイマ・ストップ・トリガ・レジスタ**

本レジスタは、ENCA<sub>n</sub> を動作停止状態に設定するトリガ・ビットです。

**アクセス** 8ビット単位でリード/ライト可能です。  
本レジスタは、読み出すと常に0を返します。

**アドレス** <ENCA<sub>n</sub>\_base> + 1C<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは、リセットにより 00<sub>H</sub> に初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ENCA <sub>n</sub> TT
R	R	R	R	R	R	R	W

表 21-17 ENCA<sub>n</sub>TT レジスタの内容

ビット	名称	機能
0	ENCA <sub>n</sub> TT	タイマ・ストップ・トリガ・ビット ENCA <sub>n</sub> を動作停止状態に設定するトリガ・ビットです。 0: 書き込みは無視されます。 1: ENCA <sub>n</sub> TE.ENCA <sub>n</sub> TE を 0 にクリアし、ENCA <sub>n</sub> をカウント動作停止状態に設定します。

**(12) ENCA<sub>n</sub>EMU - ENCA<sub>n</sub> エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

カウンタ停止中 (ENCA<sub>n</sub>TE.ENCA<sub>n</sub>TE=0), かつ (EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <ENCA<sub>n</sub>\_base> + 48<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
ENCA <sub>n</sub> SVSDIS	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21-18 ENCA<sub>n</sub>EMU レジスタの内容

ビット位置	ビット名	機能
7	ENCA <sub>n</sub> SVSDIS	<p>(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず, デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 21.4 機能の説明

ENCAnは、エンコーダ入力 (A相, B相, Z相) を利用してカウンタ・アップ/ダウン制御とクリア制御を行うことでタイマ・カウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペア・レジスタとしても専用のキャプチャ・レジスタとしても使用することができます。

### 21.4.1 タイマ・カウンタの動作

以下で ENCAn のタイマ・カウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号のセクションを参照してください。

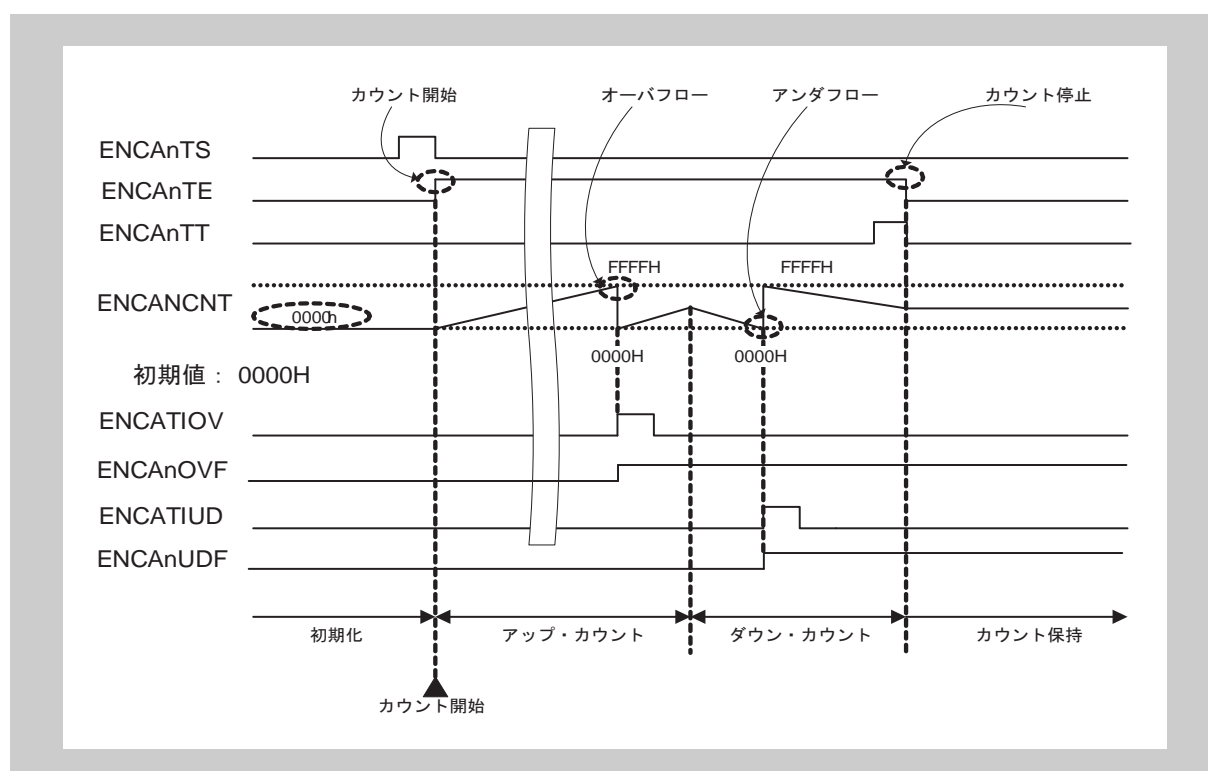


図 21-2 タイマ・カウンタの初期値設定/開始/停止

**(1) タイマ・カウンタの初期値設定**

カウンタ動作停止状態 (ENCA<sub>n</sub>TE = 0) のときに ENCA<sub>n</sub> カウンタ・レジスタ (ENCA<sub>n</sub>CNT) の初期値を設定することができます。

**(2) タイマ・カウンタの起動**

タイマ・スタート・トリガ・ビット (ENCA<sub>n</sub>TS) に「1」を書き込むことによってタイマ・ステータス・イネーブル・ビット (ENCA<sub>n</sub>TE) が「1」にセットされ、カウント動作が可能になり、エンコーダ入力の有効エッジが検出されるとカウント動作が実行されます。

**(3) オーバフロー動作**

カウンタ値が FFFF<sub>H</sub> のときにアップ・カウントが実行されると、オーバフローが発生します。カウンタ値が FFFF<sub>H</sub> から 0000<sub>H</sub> になると、オーバフロー割り込み (ENCATIOV) が発生し、オーバフロー・フラグ (ENCA<sub>n</sub>OVF) が「1」にセットされます。オーバフロー・クリア・ビット (ENCA<sub>n</sub>CLOV) が「1」にセットされると、オーバフロー・フラグ (ENCA<sub>n</sub>OVF) が「0」にクリアされます。動作の詳細については、21.6.1「オーバフローの発生とオーバフロー・フラグ・クリア操作」を参照してください。

**(4) アンダフローの動作**

カウンタ値が 0000<sub>H</sub> のときにダウン・カウントが実行されると、アンダフローが発生します。カウンタ値が 0000<sub>H</sub> から FFFF<sub>H</sub> になると、アンダフロー割り込み (ENCATIUD) が発生し、アンダフロー・フラグ (ENCA<sub>n</sub>UDF) が「1」にセットされます。アンダフロー・クリア・ビット (ENCA<sub>n</sub>CLUD) が「1」にセットされると、アンダフロー・フラグ (ENCA<sub>n</sub>UDF) が「0」にクリアされます。動作の詳細については、21.6.2「アンダフローの発生とアンダフロー・フラグ・クリア操作」を参照してください。

**(5) タイマ・カウンタの停止**

タイマ・ストップ・トリガ・ビット (ENCA<sub>n</sub>TT) に「1」を書き込むことによって、タイマ・ステータス・イネーブル・ビット (ENCA<sub>n</sub>TE) が「0」にクリアされ、カウント動作が停止します。その時点で、タイマ・カウンタは 0000<sub>H</sub> にリセットされず、カウント動作が停止する直前の値を保持します。

### 21.4.2 タイマ・カウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 の設定に従ってエンコーダ入力 (ENCTAIN, ENCTBIN) の位相を判定することによって行われます。

#### (1) ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 0} の場合

ENCA <sub>n</sub> UDS1	ENCA <sub>n</sub> UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
0	0	ENCA <sub>n</sub> EIS で指定したエッジ	ハイ・レベル	ダウン
		ENCA <sub>n</sub> EIS で指定したエッジ	ロウ・レベル	アップ

ENCATAIN の有効エッジは、ENCA<sub>n</sub>EIS1 と ENCA<sub>n</sub>EIS0 を設定することによって指定します。

カウント動作は ENCATAIN と ENCTBIN の有効エッジが重なると実行されます。

以下のタイミング図は、ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 0} のときのカウント動作を示しています。

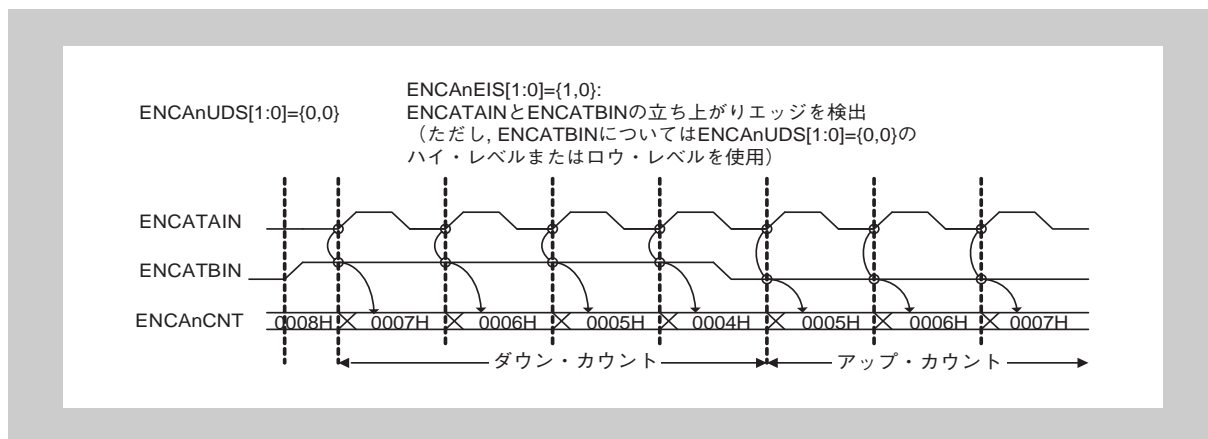


図 21-3 ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 0} のときのカウント動作

(2) ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 1} の場合

ENCA <sub>n</sub> UDS1	ENCA <sub>n</sub> UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
0	1	ロウ・レベル	ENCA <sub>n</sub> EIS で指定したエッジ	ダウン
		ハイ・レベル	ENCA <sub>n</sub> EIS で指定したエッジ	
		ENCA <sub>n</sub> EIS で指定したエッジ	ロウ・レベル	アップ
		ENCA <sub>n</sub> EIS で指定したエッジ	ハイ・レベル	
		同時入力		保持

ENCATAIN と ENCTBIN の有効エッジは、ENCA<sub>n</sub>EIS1 と ENCA<sub>n</sub>EIS0 を設定することによって指定します。

カウント動作は ENCATAIN と ENCTBIN の有効エッジが重なると実行されます。

以下のタイミング図は、ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 1} のときのカウント動作を示しています。

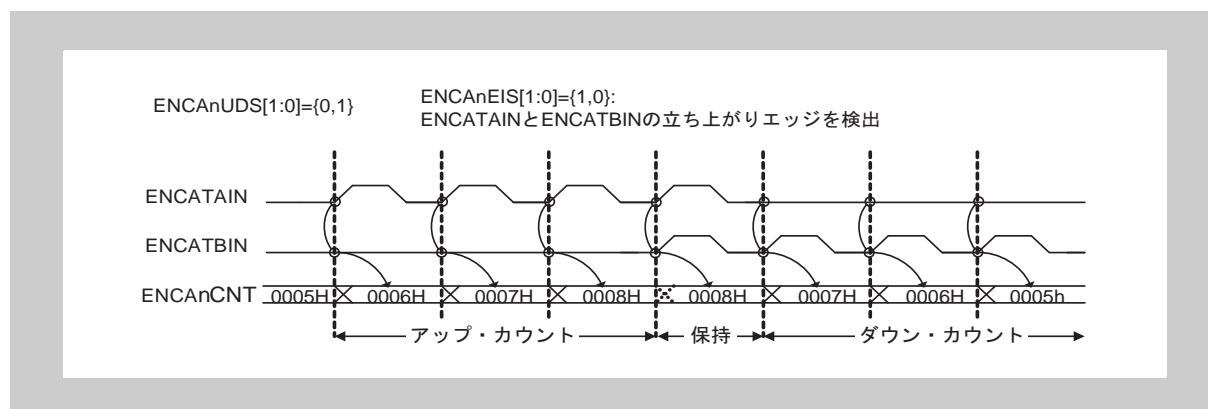


図 21-4 ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {0, 1} のときのカウント動作

(3) ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 0} の場合

ENCA <sub>n</sub> UDS1	ENCA <sub>n</sub> UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
1	0	立ち上がりエッジ	ロウ・レベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウ・レベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウ・レベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイ・レベル	
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイ・レベル	

ENCATAIN と ENCATBIN の有効エッジの指定 (ENCA<sub>n</sub>EIS1 と ENCA<sub>n</sub>EIS0 の設定) は無効です。

以下のタイミング図は、ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 0} のときのカウント動作を示しています。

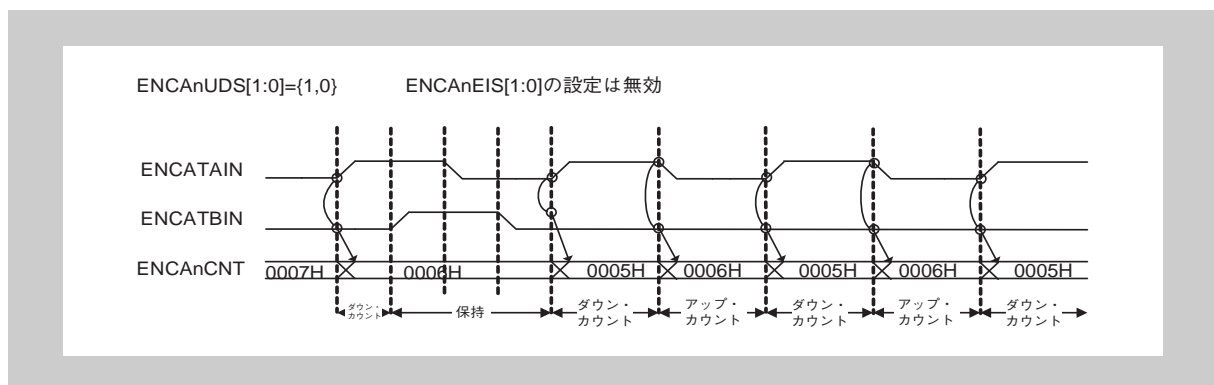


図 21-5 ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 0} のときのカウント動作

(4) ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 1} の場合

ENCA <sub>n</sub> UDS1	ENCA <sub>n</sub> UDS0	動作の説明		
		ENCATAIN 入力	ENCTBIN 入力	カウント動作
1	1	ロウ・レベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウ・レベル	
		ハイ・レベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイ・レベル	
		立ち上がりエッジ	ハイ・レベル	アップ
		ハイ・レベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウ・レベル	
		ロウ・レベル	立ち上がりエッジ	
		同時入力		

ENCATAIN と ENCATBIN の有効エッジの指定 (ENCA<sub>n</sub>EIS1 と ENCA<sub>n</sub>EIS0 の設定) は無効です。

ENCATAIN と ENCATBIN の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 1} のときのカウンタ動作を示しています。

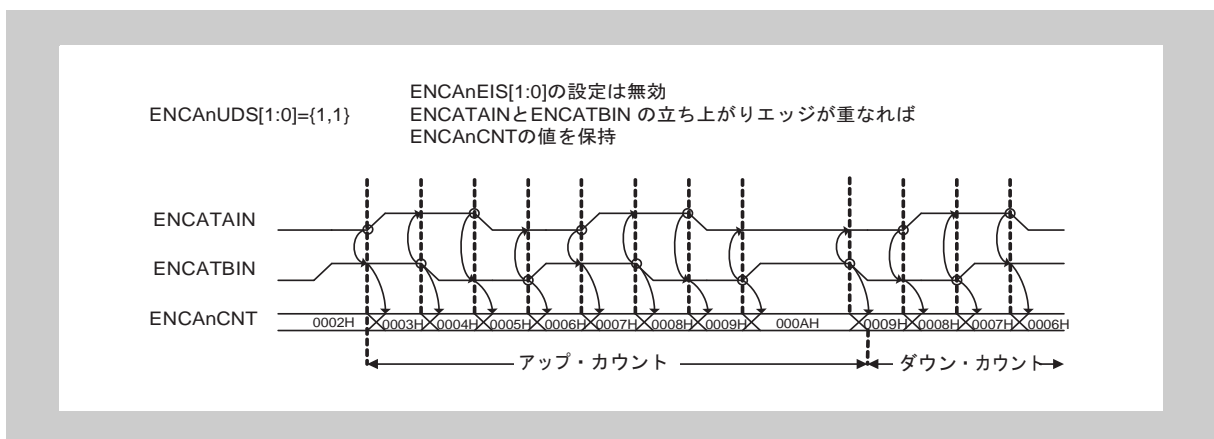


図 21-6 ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 がともに 1 のときのカウンタ動作



### 21.4.3 エンコーダ入力によるタイマ・カウンタ・クリア制御

タイマ・カウンタは、Z相のエンコーダ入力（ENCATZIN）によって 0000<sub>H</sub> にクリアされます。

ENCAnIOC1 レジスタの ENCAAnSCE ビット、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビット、ENCAnECS1 ビットおよび ENCAAnECS0 ビットを制御することによって、2種類のクリア方法を選択できます。

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS1, ENCAAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

#### (1) ENCAAnSCE = 0 のときのクリア方法

- ENCATZIN の有効エッジを検出すると、タイマ・カウンタは動作クロックと同期して 0000<sub>H</sub> にクリアされます。
- ENCATZIN の有効エッジは ENCAAnECS1 ビットと ENCAAnECS0 ビットを設定することによって指定します。
- ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に、クリア割り込み信号（ENCATIEC）が出力されます。

ENCAnSCE = 0 のときのクリア動作については、21.6.19「ENCAnSCE = 0 のときに ENCAAnZCL によるクリアのタイミングで行われるキャプチャ動作」のタイミング図を参照してください。

#### (2) ENCAAnSCE = 1 のときのクリア方法

- ENCATZIN 入力、ENCATBIN 入力、ENCATAIN 入力のクリア・レベルを検出すると、タイマ・カウンタは動作クロックと同期して 0000<sub>H</sub> にクリアされます。
- ENCATZIN 入力、ENCATBIN 入力、ENCATAIN 入力のクリア・レベルは、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定することによって指定します。
- ENCAnECS1 ビットと ENCAAnECS0 ビットの設定は無効です。
- タイマ・カウンタがクリアされると同時に、エンコーダ・クリア割り込み信号（ENCATIEC）が出力されます。

ENCA<sub>n</sub>ZCL, ENCA<sub>n</sub>BCL, ENCA<sub>n</sub>ACL の設定に従って行われるタイマ・カウンタのクリア条件を以下の表に示します。

カウンタ・クリア条件の設定			エンコーダの入カレベル		
ENCA <sub>n</sub> ZCL	ENCA <sub>n</sub> BCL	ENCA <sub>n</sub> ACL	ENCATZIN	ENCATBIN	ENCATAIN
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

## 21.4.4 ENCA<sub>n</sub>CCR0 の機能

### (1) コンペア機能

- ENCA<sub>n</sub>CRM0 = 0 のとき、ENCA<sub>n</sub>CCR0 レジスタは専用のコンペア・レジスタとして機能します。
- タイマ・カウンタの値と ENCA<sub>n</sub>CCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み (ENCATINT0) が出力されます。
- ENCA<sub>n</sub>ECM0 = 1 の場合、次のカウント動作がアップ・カウントであれば、コンペア一致が発生すると同時にタイマ・カウンタが動作クロックと同期して 0000<sub>H</sub> にクリアされます。

ENCA <sub>n</sub> CCR0 の機能	コンペア一致 クリア制御	次のカウント動作	ENCA <sub>n</sub> CCR0 とのコンペア一致が発生したときの タイマ・カウンタのクリア
ENCA <sub>n</sub> CRM0	ENCA <sub>n</sub> ECM0		
0 (コンペア)	0	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	
	1	アップ・カウント	タイマ・カウンタを 0000 <sub>H</sub> にクリアします。
		ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。

- ENCA<sub>n</sub>LD = 1 の場合**
- アンダフローが発生すると、ENCA<sub>n</sub>CCR0 レジスタの設定値がタイマ・カウンタにロードされます。
  - アンダフロー割り込み (ENCATIUD) が出力されます。

ENCA<sub>n</sub>LDE = 1 のときのタイミング図については 21.6.8 「開始直後の ENCA<sub>n</sub>LDE 機能の利用」から 21.6.12 「ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント」を参照してください。

### (2) キャプチャ機能

- ENCA<sub>n</sub>CRM0 = 1 のとき、ENCA<sub>n</sub>CCR0 レジスタは専用のキャプチャ・レジスタとして機能します。
- キャプチャ・トリガ入力 0 (ENCATTIN0) の有効エッジを検出すると、タイマ・カウンタの値が ENCA<sub>n</sub>CCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (ENCATINT0) が出力されません。

ENCA<sub>n</sub>CCR0 へのキャプチャ動作については、21.6.14 「カウント・クロック間のキャプチャ動作 (ENCA<sub>n</sub>CCR0)」と 21.6.17 「ENCA<sub>n</sub>ECM1-0 = {0, 0} のときのエンコーダの動作」のタイミング図を参照してください。

### 21.4.5 ENCA<sub>n</sub>CCR1 の機能

#### (1) コンペア機能

- ENCA<sub>n</sub>CRM1 = 0 のとき、ENCA<sub>n</sub>CCR1 レジスタは、専用のコンペア・レジスタとして機能します。
- タイマ・カウンタの値と ENCA<sub>n</sub>CCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み (ENCA<sub>n</sub>TINT1) が出力されます。
- ENCA<sub>n</sub>ECM1 = 1 の場合は、次のカウント動作がダウン・カウントであれば、コンペア一致が発生すると同時にタイマ・カウンタが動作クロックと同期して 0000<sub>H</sub> にクリアされます。

ENCA <sub>n</sub> CCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCA <sub>n</sub> CCR1 とのコンペア一致が発生したときのタイマ・カウンタのクリア
ENCA <sub>n</sub> CRM1	ENCA <sub>n</sub> ECM1		
0 (コンペア)	0	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
	1	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)。
		ダウン・カウント	タイマ・カウンタを 0000 <sub>H</sub> にクリアします。

#### コンペア一致割り込み検出マスク機能

- ENCA<sub>n</sub>CME = 1 のときは、コンペア 1 一致割り込み検出マスク機能が有効です。この状態では、タイマ・カウンタの値と ENCA<sub>n</sub>CCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCA<sub>n</sub>MCS = 0 のときは、ENCA<sub>n</sub>CCR1 レジスタへの書き込み操作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCA<sub>n</sub>MCS = 1 のときは、Z 相によるタイマ・カウンタのクリア動作または ENCA<sub>n</sub>CCR0 レジスタ値とタイマ・カウンタ値との一致によるタイマ・カウンタのクリア動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCA<sub>n</sub>MCS = 1 かつ ENCA<sub>n</sub>LDE = 1 のときは、アンダフロー検出時の ENCA<sub>n</sub>CCR0 レジスタからタイマ・カウンタへのロード動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- コンペア 1 一致割り込み検出マスク機能を有効にする場合、ENCA<sub>n</sub>ECM を「1」にセットすることはできません。

ENCA <sub>n</sub> CCR1 の機能	コンペア1一致 割り込みマスク	割り込みマスク・キャンセル・トリガ		ENCA <sub>n</sub> CCR1 とのコンペア一致 が発生したときのコンペア1一 致割り込みの出力
ENCA <sub>n</sub> CRM1	ENCA <sub>n</sub> CME	ENCA <sub>n</sub> MCS	ENCA <sub>n</sub> LDE = 0 のと きのアンダフローの 発生	
0 (コンペア)	0 (マスク機能 無効)	- (設定無効)	-	コンペア一致が発生するたびに コンペア1一致割り込みを出力 します。
	1 (マスク機能 有効)	0 (ENCA <sub>n</sub> CCR1 への書き込み 操作)	発生 (ENCA <sub>n</sub> CCR0 から タイマ・カウンタへ のロード)	最初のコンペア一致でコンペア1 一致割り込みを1回出力します (キャンセル・トリガが発生する まで、2回目以降の一致によって 生成される割り込みはマスクさ れます)。
1 (タイマ・カウン タ・クリア動作)				

コンペア一致割り込みマスク機能が有効になっているときのタイミング図については 21.6.20 「一致割り込みマスク動作」を参照してください。

## (2) キャプチャ機能

- ENCA<sub>n</sub>CRM1 = 1 のとき、ENCA<sub>n</sub>CCR1 レジスタは、専用のキャプチャ・レジスタとして機能します。

ENCA<sub>n</sub>CCR1 へのキャプチャ動作については、21.6.13 「カウント・クロック間のキャプチャ動作 (ENCA<sub>n</sub>CCR1)」のタイミング図を参照してください。

ENCA<sub>n</sub>CTS のさまざまな設定に対応する動作を以下の表に示します。

ENCA <sub>n</sub> CCR1 の機能	キャプチャ・ト リガの選択	キャプチャ・トリガ 信号	タイマ・カウンタ のクリア	割り込みの発生
ENCA <sub>n</sub> CRM1	ENCA <sub>n</sub> CTS			
1 (キャプチャ)	0	キャプチャ・トリガ 1 入力 (ENCATTIN1)	タイマ・カウンタ をクリアしません。	(1) キャプチャ1 割り込み (ENCATINT1)
	1	Z 相によるエンコー ダ・クリア入力 (ENCATZIN)	タイマ・カウンタ をクリアします。	(1) キャプチャ1 割り込み (ENCATINT1) (2) エンコーダ・クリア割り 込み (ENCATIEC)

ENCA<sub>n</sub>CTS = 0 または ENCA<sub>n</sub>CTS = 1 のときのタイミング図については、以下を参照してください。

21.6.3 「Z 相のキャプチャ」、21.6.4 「オーバフローの発生と Z 相の入力によるクリア動作との競合」、アンダフローの発生と Z 相の入力によるクリア動作との競合、21.6.11 「ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合」、21.6.12 「ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント」。

## (3) コンペア・レジスタが一致したときのタイマ・カウンタのクリア

タイマ・カウンタ値と ENCA<sub>n</sub>CCR0/1 の設定値がコンペア一致したときに、ENCA<sub>n</sub>ECM1 ビットと ENCA<sub>n</sub>ECM0 ビットの設定に従って行われるタイマ・カウンタのクリア動作の詳細を以下の表に示します。

ENCA <sub>n</sub> ECM1 と ENCA <sub>n</sub> ECM0	次のカウント 動作	ENCA <sub>n</sub> CCR1 とのコンペア一致が 発生したときの タイマ・カウンタのクリア	ENCA <sub>n</sub> CCR0 とのコンペア一致が 発生したときの タイマ・カウンタのクリア
00	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
	ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
01	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタを 0000 <sub>H</sub> にクリア します。
	ダウン・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
10	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタをクリアしません (カウント動作を継続します)
	ダウン・カウント	タイマ・カウンタを 0000 <sub>H</sub> にクリア します。	タイマ・カウンタをクリアしません (カウント動作を継続します)
11	アップ・カウント	タイマ・カウンタをクリアしません (カウント動作を継続します)	タイマ・カウンタを 0000 <sub>H</sub> にクリア します。
	ダウン・カウント	タイマ・カウンタを 0000 <sub>H</sub> にクリア します。	タイマ・カウンタをクリアしません (カウント動作を継続します)

### 21.4.6 タイマ・カウンタの起動/停止

#### (1) タイマの起動

ENCA<sub>n</sub>TS ビットを1にセットすることによってマクロの動作を開始することができます。このマクロが1つしか搭載されていない場合は、同期動作用の同時スタート・トリガ入力ピン (ENCATSST) をLに固定します。

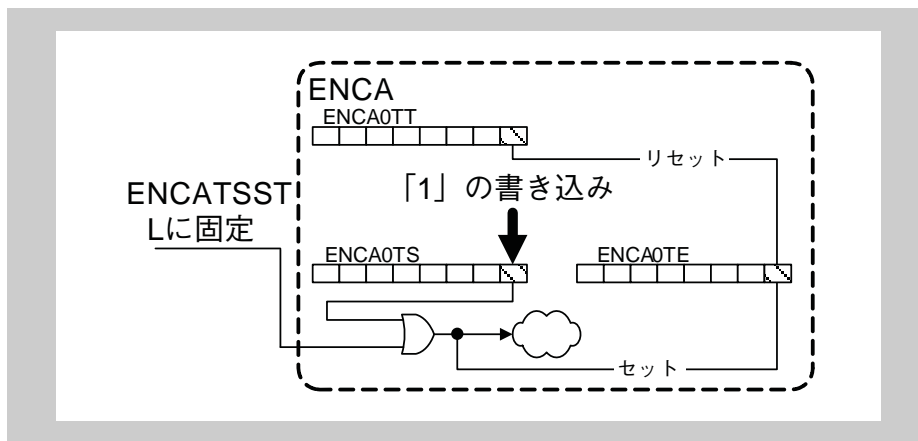


図 21-7 ENCA<sub>n</sub> を起動するための構成

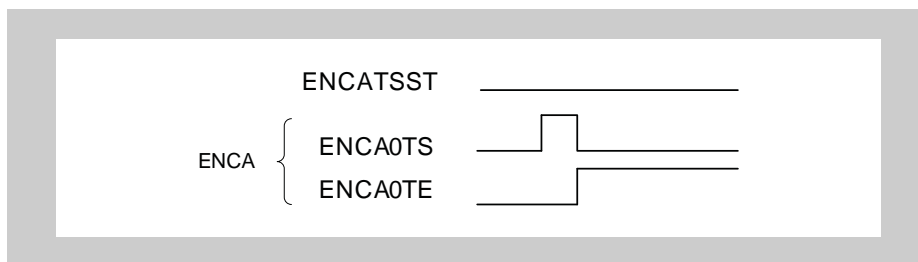


図 21-8 起動のタイミング

(2) タイマの停止

ENCA<sub>n</sub>TT ビットが「1」にセットされると ENCA<sub>n</sub>TE ビットが0になり、タイマが停止します。

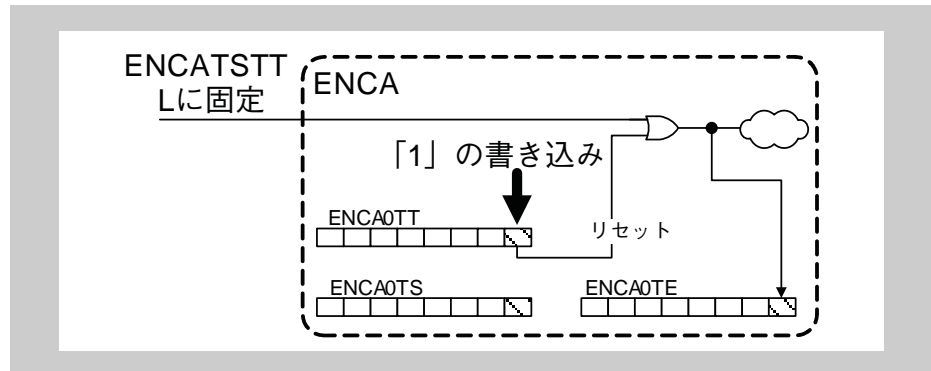


図 21-9 ENCA を停止させる構成

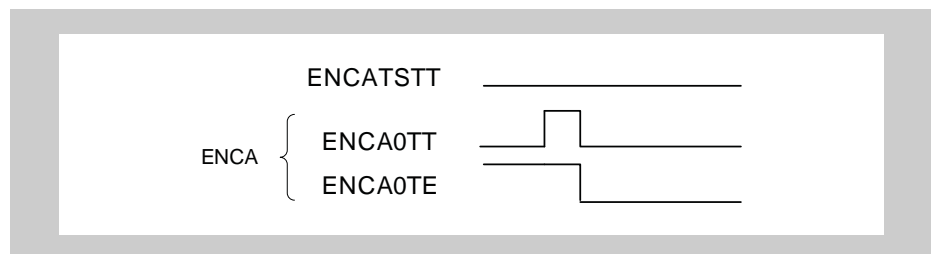


図 21-10 停止のタイミング図



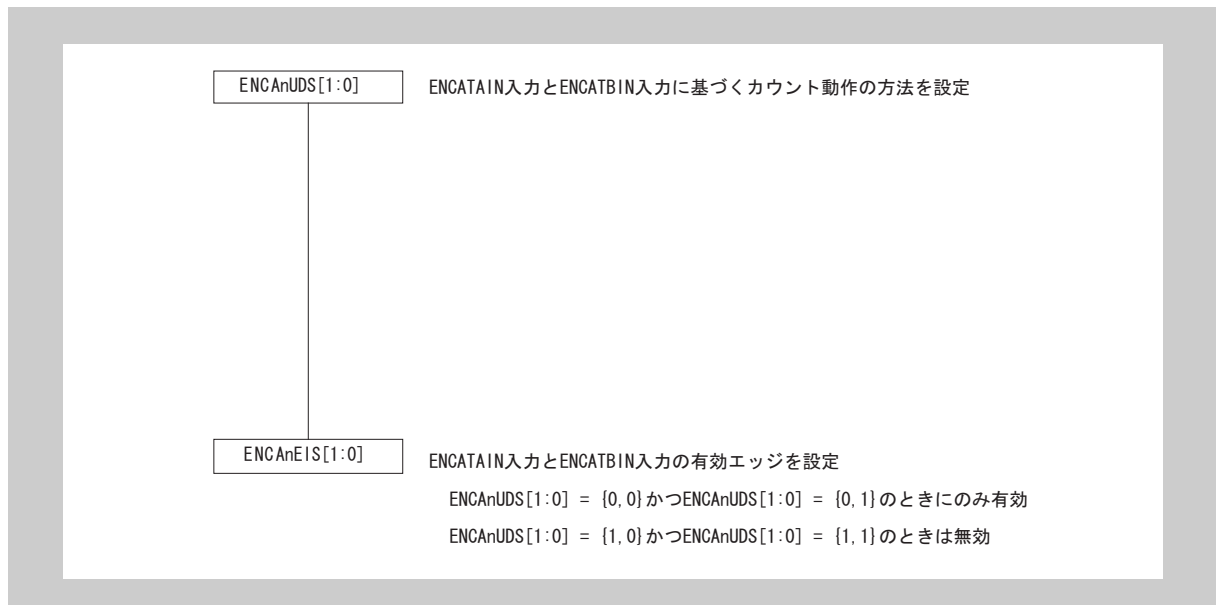
## 21.5 設定の順序

### 21.5.1 エンコーダ・タイマの設定手順

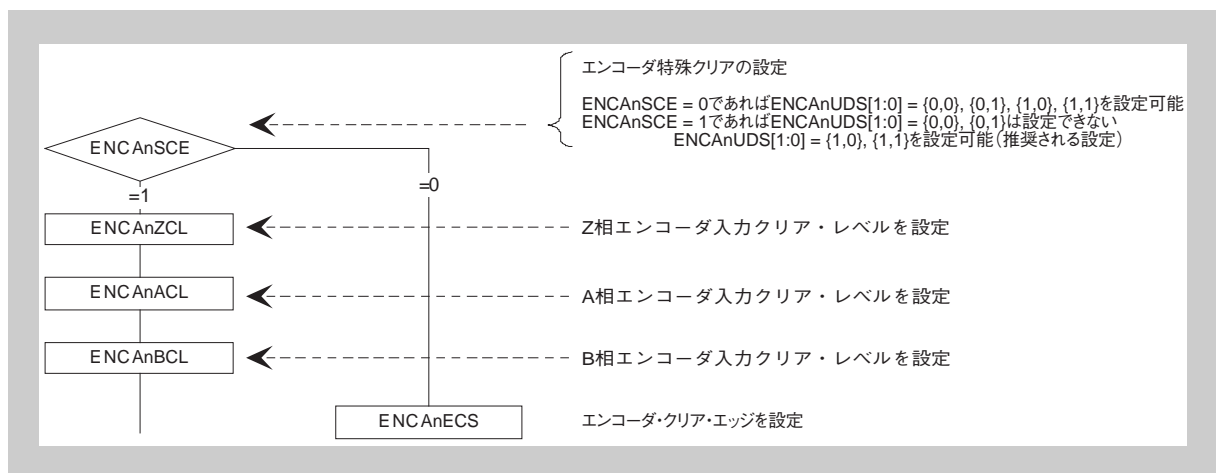
以下でエンコーダ・タイマの設定の手順を説明します。

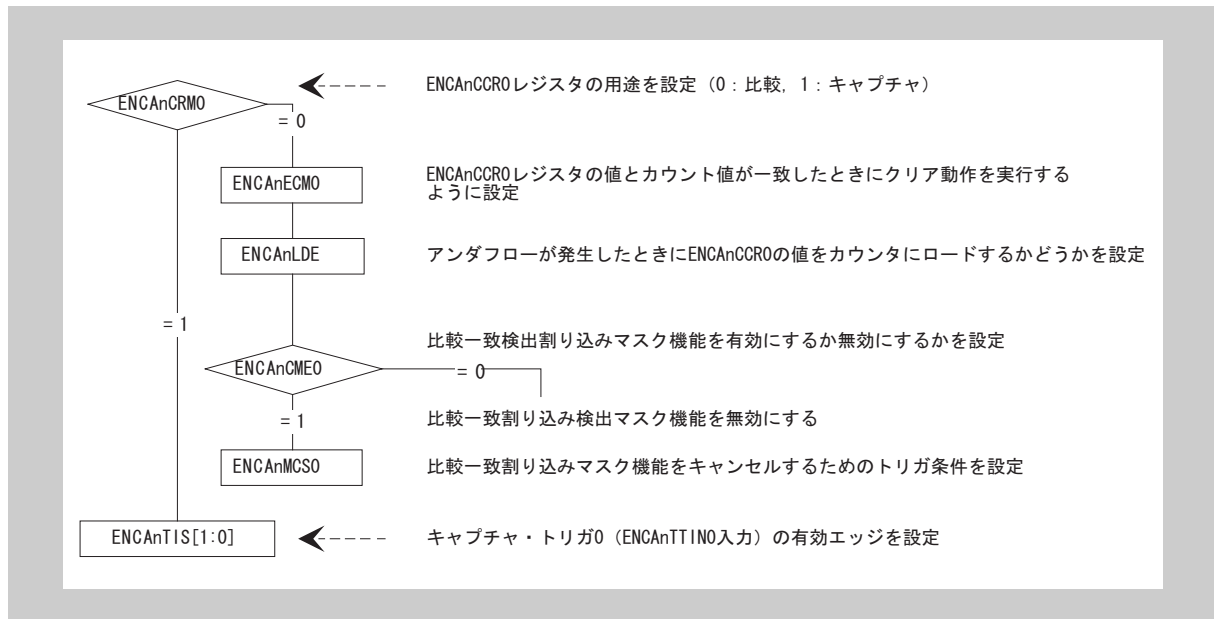
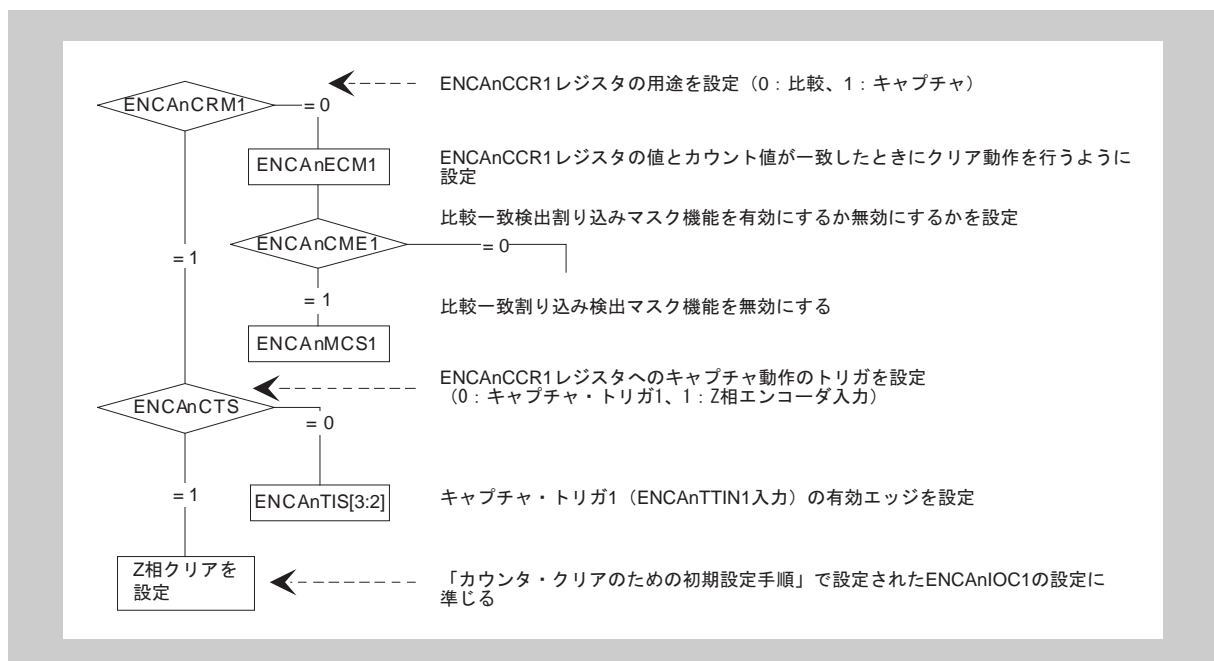
	操作	設定の状態
初期設定	—	電源オフ状態 (各レジスタへの書き込みが禁止されています)
	リセット・リリース	電源オン状態, ENCA動作停止状態。 (各レジスタへの書き込みが許可されます)
ENCAの初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> <li>カウンタの設定</li> <li>カウンタ・クリアの設定</li> <li>ENCA<sub>n</sub>CCR0レジスタの設定</li> <li>ENCA<sub>n</sub>CCR1レジスタの設定</li> </ul>	これはカウンタ動作停止状態です。 動作状態を示す ENCA <sub>n</sub> TE ビットの値が0です。
	カウンタ初期値の設定を実行します。 <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>CNTレジスタに任意の16ビット値を設定します。 (このレジスタを設定した後、ENCA<sub>n</sub>TS ビットを「1」にセットすると、設定されたカウンタ値からカウンタの動作が開始されます)。</li> </ul>	ここで設定される値がカウンタ・レジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>TS ビットを「1」にセットします。</li> </ul>	これはカウンタ動作開始状態です。 動作状態を示す ENCA <sub>n</sub> TE ビットの値が1であり、カウンタ・クロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>CCR0レジスタの設定は変更可能です。</li> <li>ENCA<sub>n</sub>CCR1レジスタの設定は変更可能です。</li> <li>ENCA<sub>n</sub>IOC0レジスタの設定は変更可能です。</li> </ul>	初期設定で設定されたカウンタ動作が実行され、ENCATAINとENCATBINに従ってアップ・カウント/ダウン・カウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> <li>ENCA<sub>n</sub>TT ビットを「1」に設定します。</li> </ul>	これはカウンタ動作停止状態です。 動作状態を示す ENCA <sub>n</sub> TE ビットの値が0です。
ENCA停止	リセット	これは電源オフ状態です。 回路全体とすべての設定レジスタが初期化されます。

(1) カウンタの初期設定手順



(2) カウンタ・クリアのための初期設定手順



(3) ENCA<sub>n</sub>CCR0 レジスタの設定手順(4) ENCA<sub>n</sub>CCR1 レジスタの設定手順

## 21.6 タイミング図

### 21.6.1 オーバフローの発生とオーバフロー・フラグ・クリア操作

以下でオーバフローの発生について説明します。

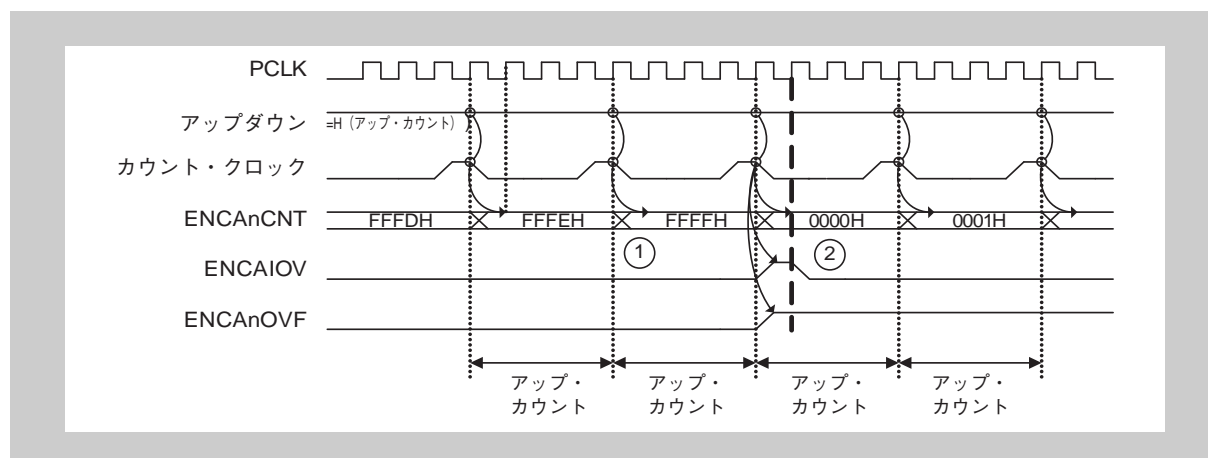


図 21-11 オーバフローの発生

1. カウント値が  $FFFF_H$  のときにアップ・カウントが実行されるとオーバフローが発生します。
2. カウント値が  $FFFF_H$  から  $0000_H$  に変化するとオーバフローが発生します。同時に、オーバフロー割り込みが出力され、オーバフロー・フラグが「1」にセットされます。

以下でオーバフロー・フラグ・クリア操作について説明します。

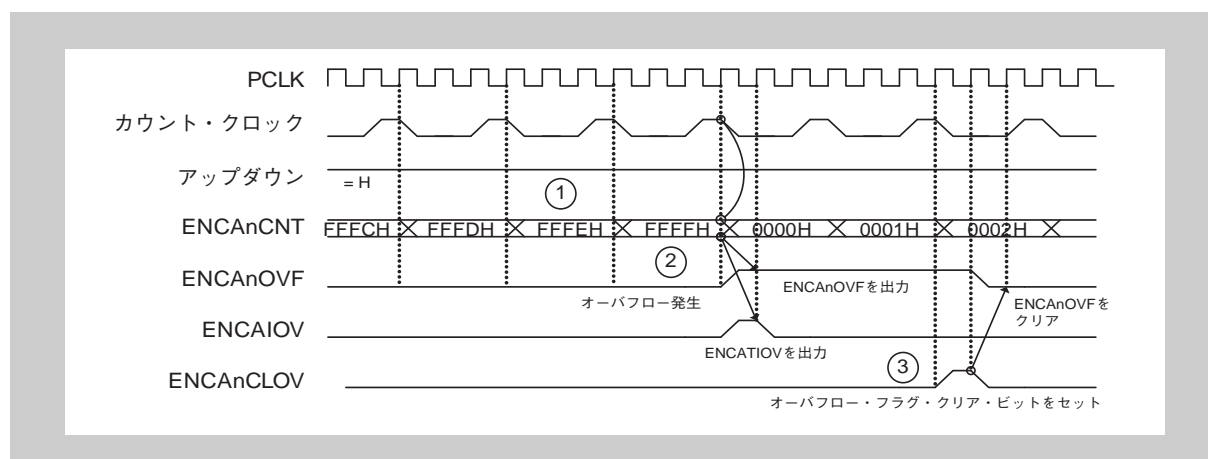


図 21-12 オーバフロー・フラグ・クリア

1. アップ・カウントが実行されます。
2. カウント値が  $FFFF_H$  のときにアップ・カウントが実行されるとオーバフローが発生します。オーバフローが発生すると、オーバフロー割り込みが出力され、オーバフロー・フラグが「1」にセットされます。

3. オーバフローが発生したあとは、オーバーフロー・フラグが（「1」に）セットされたままになりますが、ENCA<sub>n</sub>CLOVを「1」にセットすることで、オーバーフロー・フラグは「0」にクリアされます。ENCA<sub>n</sub>TE=0のときにENCA<sub>n</sub>TSに「1」を設定するか、ENCASSTの入力信号が「ハイ」になってもオーバーフロー・フラグはクリアされます。

## 21.6.2 アンダフローの発生とアンダフロー・フラグ・クリア操作

以下でアンダフローの発生について説明します。

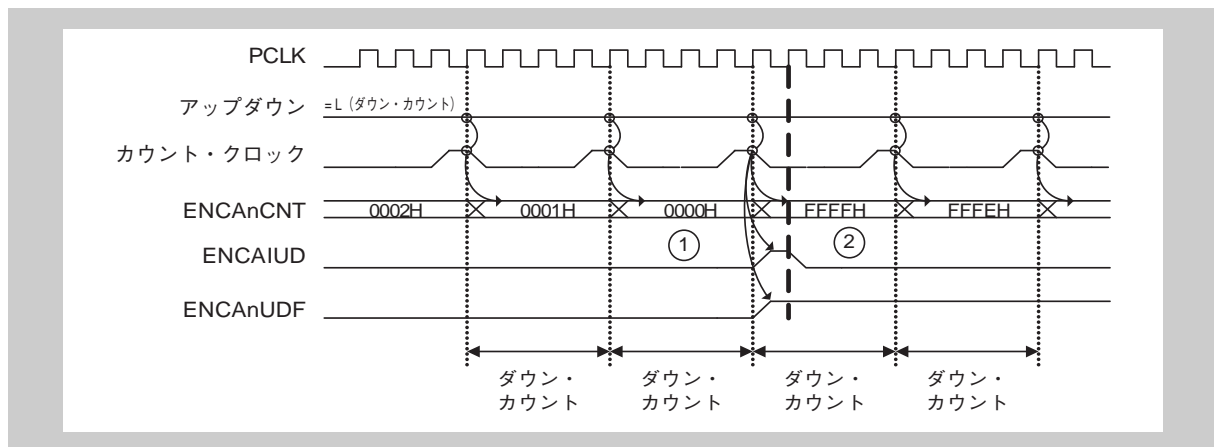


図 21-13 アンダフローの発生

1. カウント値が  $0000_H$  のときにダウン・カウントが実行されるとアンダフローが発生します。
2. カウント値が  $0000_H$  から  $FFFF_H$  に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフロー・フラグが「1」にセットされます。

以下でアンダフロー・フラグ・クリア操作について説明します。

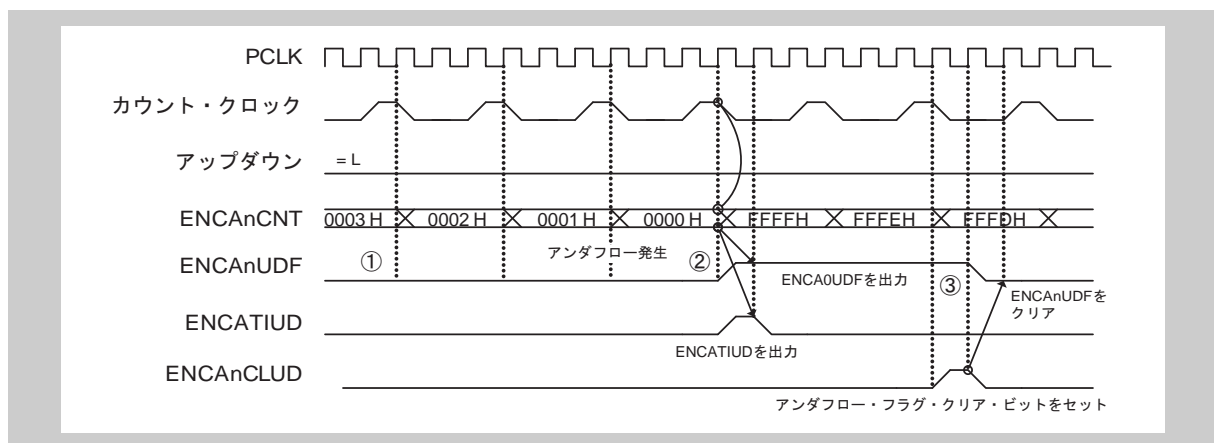


図 21-14 アンダフロー・フラグ・クリア

1. ダウン・カウントが実行されます。
2. カウント値が  $0000_H$  のときにダウン・カウントが実行されるとアンダフローが発生します。アンダフローが発生すると、アンダフロー割り込みが出力され、アンダフロー・フラグが「1」にセットされます。
3. アンダフローが発生したあとは、アンダフロー・フラグが（「1」に）セットされたままになりますが、ENCAAnCLUD を「1」にセットすることで、アンダフロー・フラグは「0」にクリアされます。ENCAAnTE=0 のときに ENCAAnTS に「1」を設定するか、ENCASST の入力信号が「ハイ」になってもアンダフロー・フラグはクリアされます。

## 21.6.3 Z相のキャプチャ

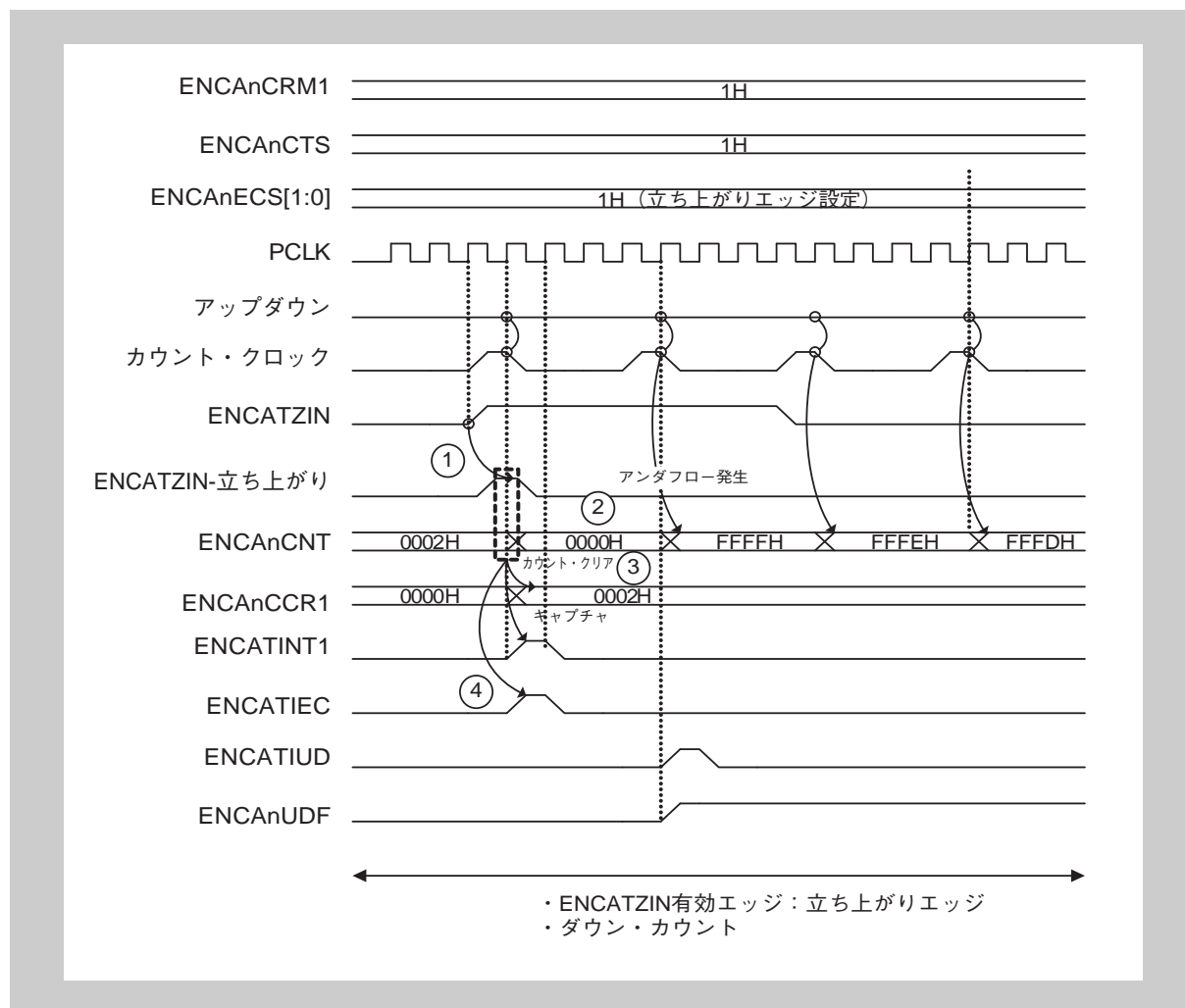


図 21-15 Z相キャプチャのタイミング図

1. ENCATZIN トリガの立ち上がりエッジでキャプチャ動作が実行されます (立ち上がりエッジ: ENCAAnECS1 と ENCAAnECS0 = 「01」)。
2. Z相の入力によるクリア動作が実行され、カウント値が 0000<sub>H</sub> にリセットされます。
3. ENCATZIN の立ち上がりエッジでカウンタ値 (0002<sub>H</sub>) がキャプチャされ、ENCAAnCCR1 レジスタに保存されます。
4. 同時に、Z相の入力によるクリア割り込み (ENCATIEC) とキャプチャ割り込み (ENCATINT1) が出力されます。

## 21.6.4 オーバフローの発生とZ相の入力によるクリア動作との競合

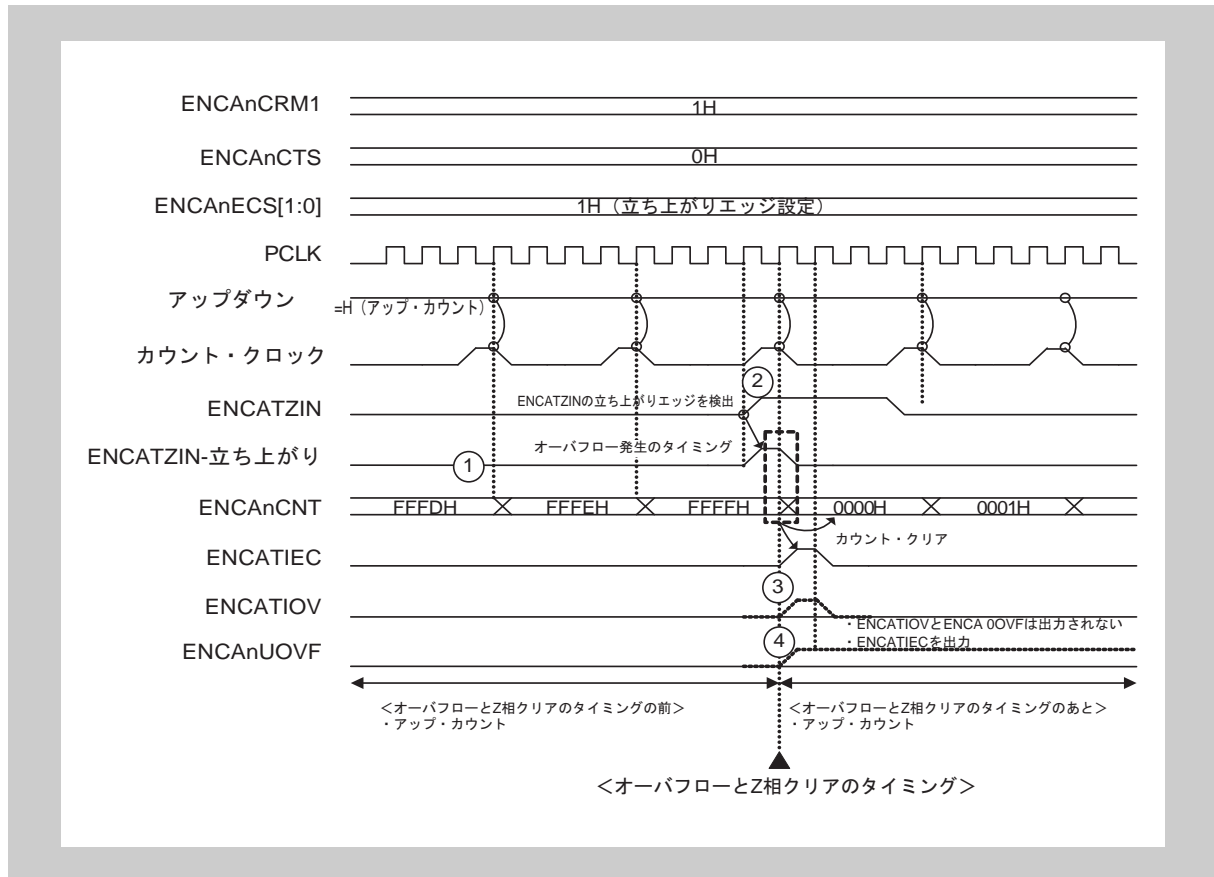


図 21-16 オーバフローの発生とZ相の入力によるクリア動作との競合

1. FFFD<sub>H</sub> からのアップ・カウントが継続的に実行されます。
2. カウント値 FFFF<sub>H</sub> でオーバーフローが発生すると同時に ENCATZIN の立ち上がりエッジが検出されると、Z相の入力によるクリア動作が実行されます。カウンタ値が 0000<sub>H</sub> にクリアされます。
3. Z相の入力によるカウンタ値のクリアが実行されると同時に、Z相によるクリア割り込み (ENCATIEC) が出力されます。Z相の入力によるクリアがオーバーフローの発生と同時に行われるため、オーバーフロー割り込みは出力されません (オーバーフローは発生しません。Z相の入力によるクリアが実行されます)。
4. ステップ (3) と同様にオーバーフローが発生しないため、オーバーフロー・フラグもセットされません。



21.6.5 アンダフローの発生とZ相の入力によるクリア動作との競合

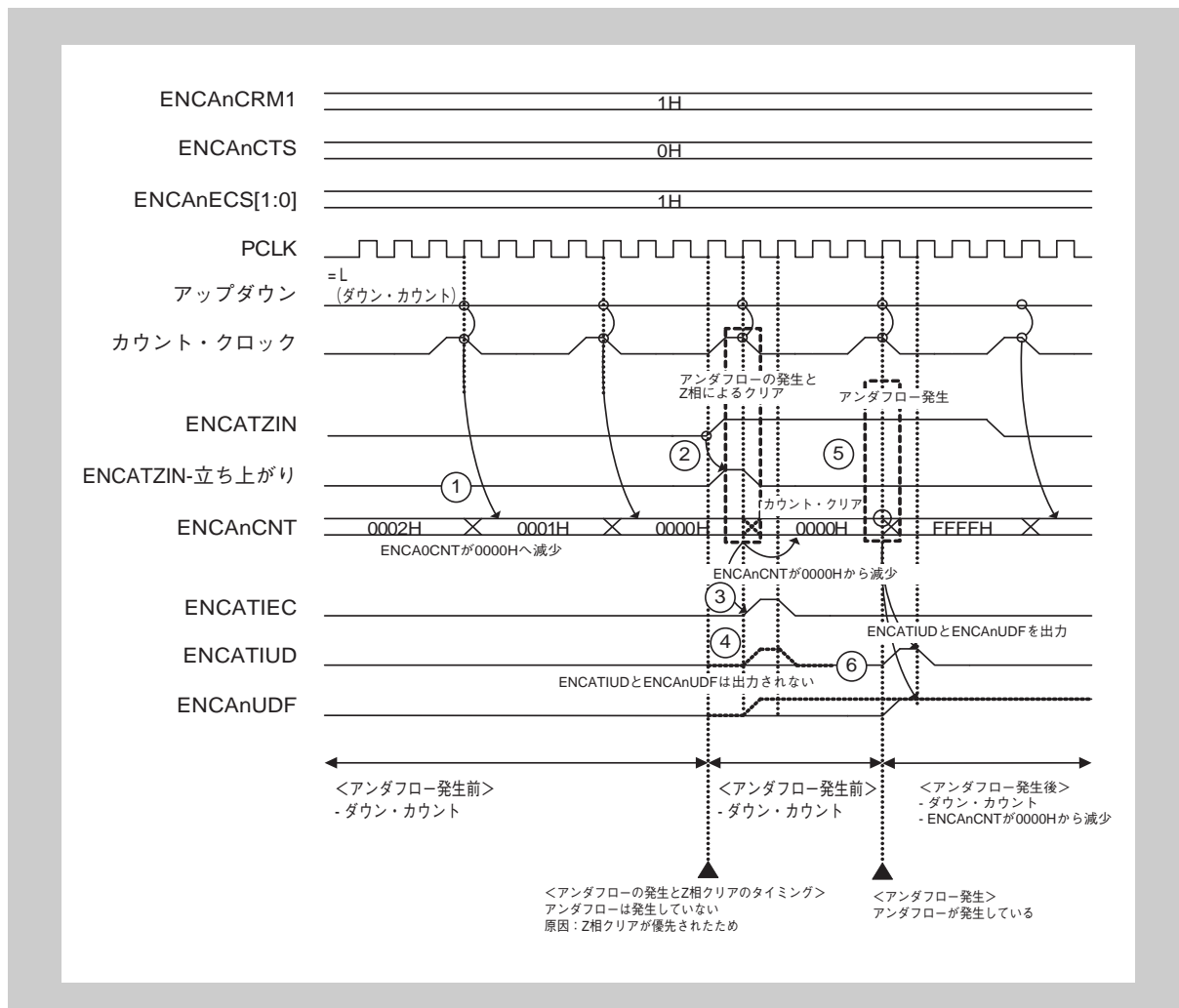


図 21-17 アンダフローの発生とZ相の入力によるクリア動作との競合

1. 0002<sub>H</sub> からのダウン・カウントが継続的に実行されます。
2. カウント値 0000<sub>H</sub> でアンダフローが発生すると同時に ENCATZIN の立ち上がりエッジが検出されると、Z相の入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000<sub>H</sub> のまま変わりません。
3. Z相の入力によるカウンタ値のクリアが実行されると同時に、Z相クリア割り込み (ENCATIEC) が出力されます。Z相の入力によるクリアがアンダフローの発生と同時に進行するため、アンダフロー割り込みは出力されません (アンダフローは発生しません。Z相の入力によるクリアが実行されます)。
4. ステップ (3) と同様にアンダフローが発生しないため、アンダフロー・フラグもセットされません。
5. Z相の入力によるクリア動作によってカウンタ値が 0000<sub>H</sub> になったあと、さらにダウン・カウントが行われることで、カウンタ値が 0000<sub>H</sub> から FFFF<sub>H</sub> へ変化し、アンダフローが発生します。
6. アンダフローが発生すると、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

## 21.6.6 開始直後のオーバーフロー動作

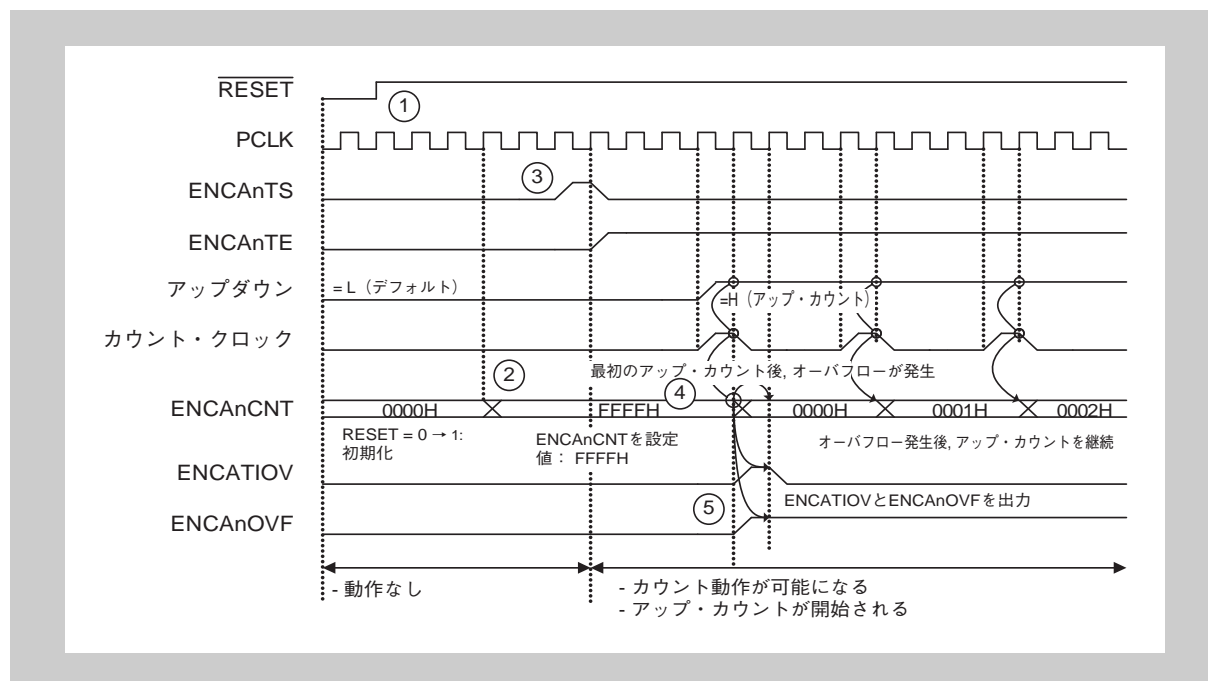


図 21-18 開始直後のオーバーフロー動作

1. RESET の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
2. FFFF<sub>H</sub> がタイマ・カウンタに初期値として設定されます。
3. ENCAnts が「1」にセットされ、動作が開始されます。ENCAnte が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウント値である FFFF<sub>H</sub> からのアップ・カウントが実行されることで、カウンタ値が FFFF<sub>H</sub> から 0000<sub>H</sub> へ変化し、動作開始直後にオーバーフローが発生します。
5. 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込みが出力され、オーバーフロー・フラグがセットされます。

## 21.6.7 開始直後のアンダフロー動作

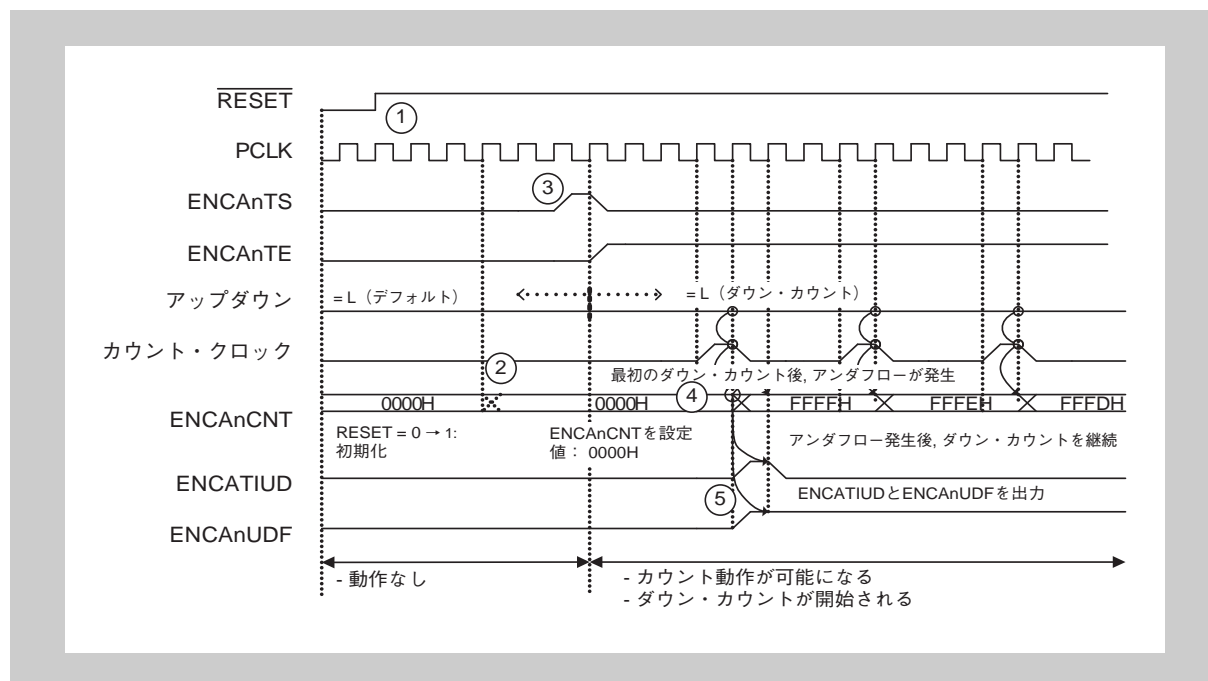
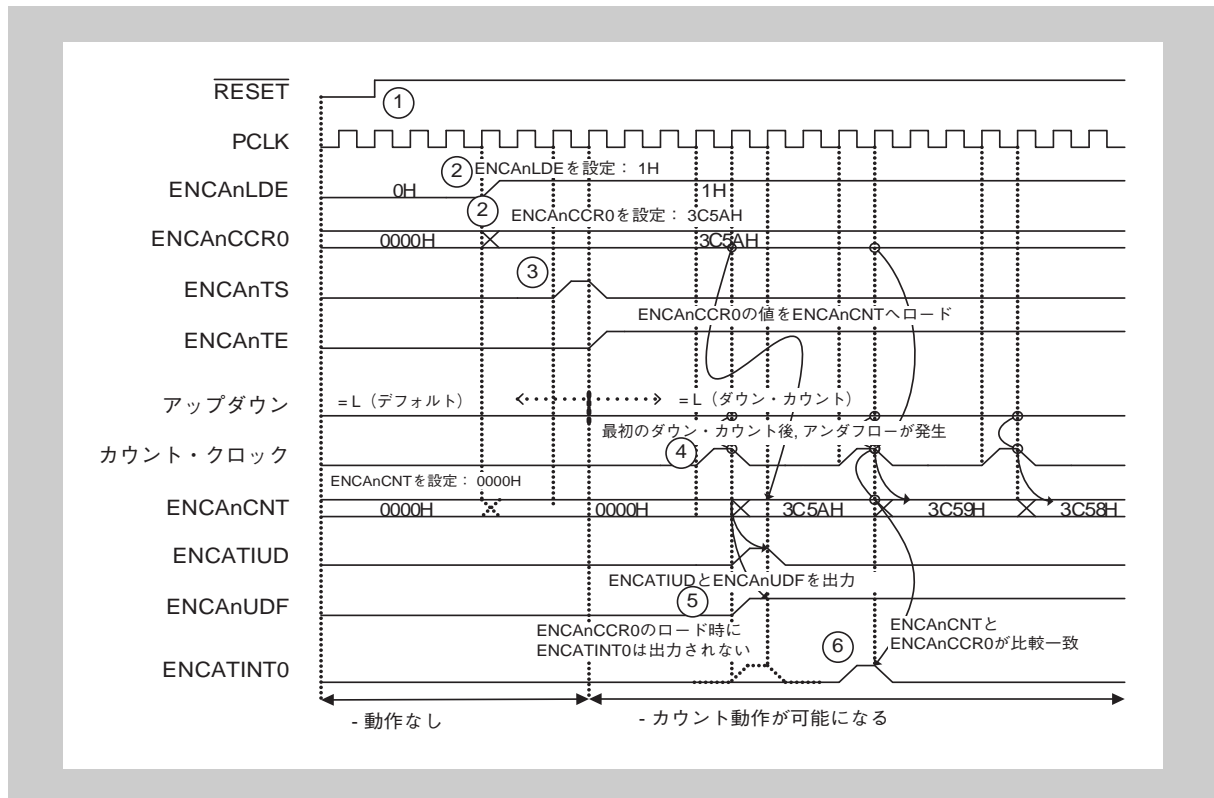
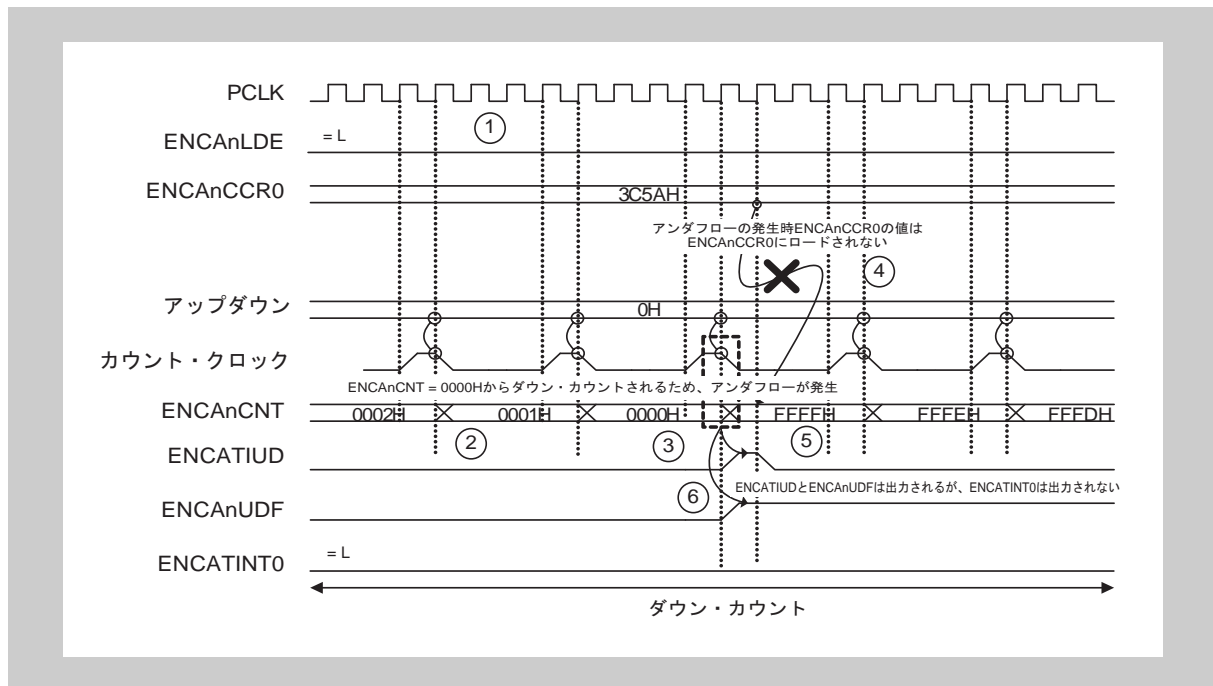


図 21-19 開始直後のアンダフロー動作

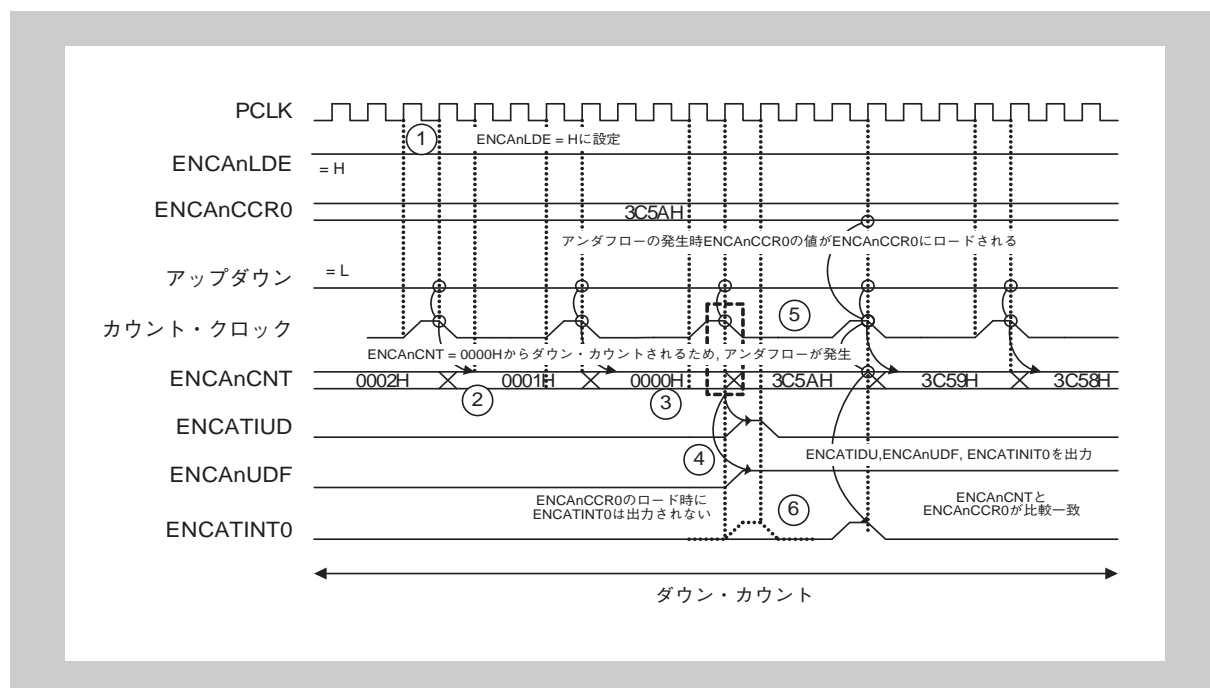
1. RESET の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
2. 0000<sub>H</sub> がタイマ・カウンタに初期値として設定されます。
3. ENCAnts が「1」にセットされ、動作が開始されます。ENCAnte が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウント値である 0000<sub>H</sub> からのダウン・カウントが実行されることで、カウンタ値が 0000<sub>H</sub> から FFFF<sub>H</sub> へ変化し、動作開始直後にアンダフローが発生します。
5. 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

21.6.8 開始直後の ENCA<sub>n</sub>LDE 機能の利用図 21-20 開始直後の ENCA<sub>n</sub>LDE 機能の利用

- RESET の値が「0」から「1」になると、ステータスがリセットからリセット・リリースへ変化します。
- ロード・イネーブル・ビット (ENCA<sub>n</sub>LDE) が「1」にセットされ、キャプチャ/コンペア・レジスタ 0 (ENCA<sub>n</sub>CCR0) が 3C5A<sub>H</sub> に設定され、タイマ・カウンタが初期値 0000<sub>H</sub> に設定されます。
- ENCA<sub>n</sub>TS が「1」にセットされ、動作が開始されます。ENCA<sub>n</sub>TE が「1」になり、動作が可能になったことを示します。
- 初期設定されたカウント値である 0000<sub>H</sub> からのダウン・カウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA<sub>n</sub>LDE が「1」にセットされているため、ENCA<sub>n</sub>CCR0 の値である 3C5A<sub>H</sub> がタイマ・カウンタにロードされず (ENCA<sub>n</sub>INT0 はロード時に出力されません)。
- 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます (アンダフローが発生した後、ロードされた値 (3C5A<sub>H</sub>) からのダウン・カウント動作が継続します)。
- ENCA<sub>n</sub>CCR0 の値が ENCA<sub>n</sub>CNT にロードされたあと、ENCA<sub>n</sub>CCR0 との一致が検出され、ENCA<sub>n</sub>INT0 が出力されます。

21.6.9 ENCA<sub>n</sub>LDE 機能 (カウント値のロード)(1) <ENCA<sub>n</sub>LDE = 0 の場合 >図 21-21 ENCA<sub>n</sub>LDE 機能 (ENCA<sub>n</sub>LDE = 0 の場合)

1. ENCA<sub>n</sub>LDE が「0」に設定されています (アンダフローが発生しても、ENCA<sub>n</sub>CCR0 の値はロードされません)。
2. ダウン・カウントが実行されます : 0002<sub>H</sub> → 0001<sub>H</sub> → 0000<sub>H</sub>。
3. カウンタ値が 0000<sub>H</sub> になったあと、さらにダウン・カウントが実行されることでアンダフローが発生します。
4. ENCA<sub>n</sub>LDE が「0」に設定されているため、アンダフローが発生したときに ENCA<sub>n</sub>CCR0 レジスタの設定値はカウンタにロードされません。
5. 動作がアンダフロー動作に変化します (カウンタ値 : 0000<sub>H</sub> → FFFF<sub>H</sub>)。
6. アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。

(2) <ENCA<sub>n</sub>LDE = 1 の場合 >図 21-22 ENCA<sub>n</sub>LDE 機能 (ENCA<sub>n</sub>LDE = 1 の場合)

- ENCA<sub>n</sub>LDE が「1」に設定されています (アンダフローが発生すると、ENCA<sub>n</sub>CCR0 の値がカウンタにロードされます)。
- ダウン・カウントが実行されます : 0002<sub>H</sub> → 0001<sub>H</sub> → 0000<sub>H</sub>。
- カウンタ値が 0000<sub>H</sub> になったあと、さらにダウン・カウントが実行されることでアンダフローが発生します。
- アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。
- ENCA<sub>n</sub>LDE が「1」にセットされているため、アンダフローが発生すると ENCA<sub>n</sub>CCR0 レジスタの設定値がカウンタにロードされます。ENCA<sub>n</sub>CNT が 3C5A<sub>H</sub> に設定されます。
- ENCA<sub>n</sub>CCR0 の値が ENCA<sub>n</sub>CNT に設定された後、ENCA<sub>n</sub>CNT の値と ENCA<sub>n</sub>CCR0 の値がカウント・クロックで一致すれば、コンパレー一致割り込み (ENCA<sub>n</sub>TINT0) が出力されます。

### 21.6.10 ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と ENCA<sub>n</sub>CCR0 レジスタの書き換えとの競合

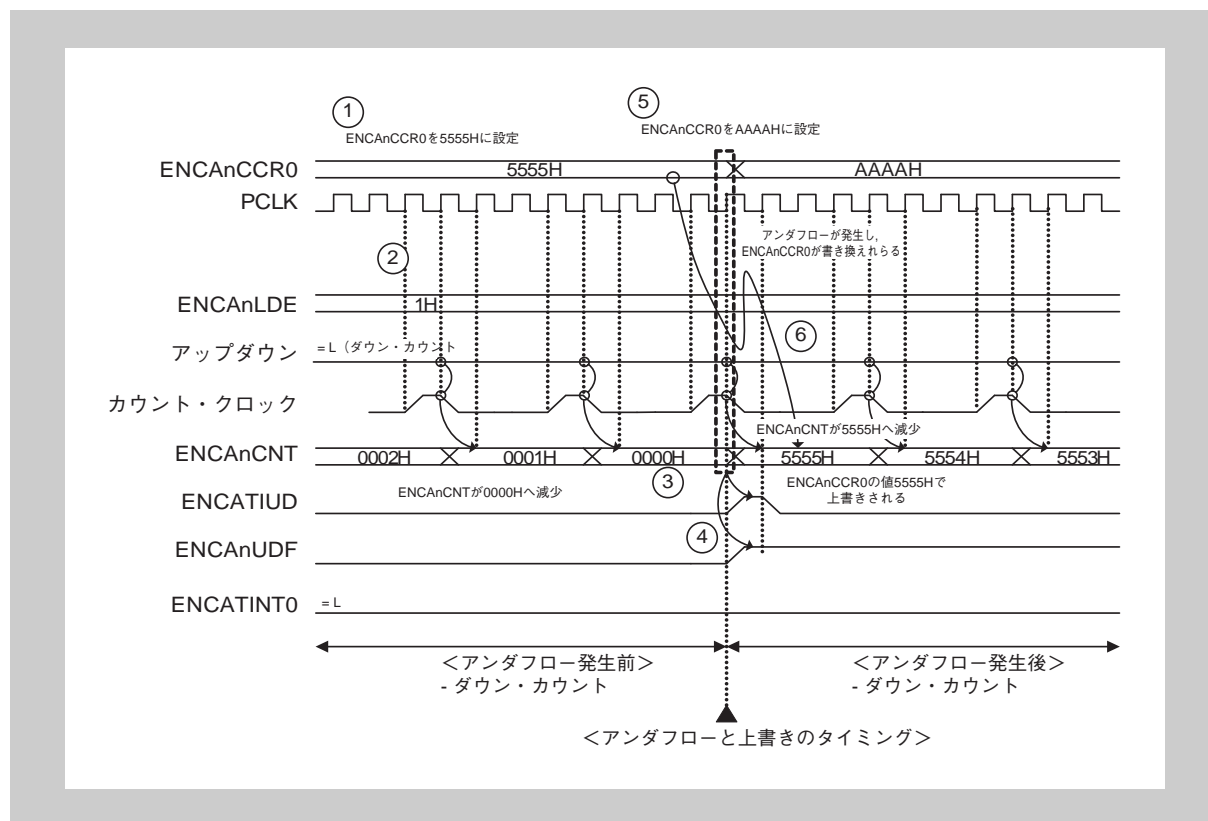


図 21-23 ENCA<sub>n</sub>LDE 機能と ENCA<sub>n</sub>CCR0 レジスタの書き換えとの競合

1. ENCA<sub>n</sub>CCR0 レジスタは、現在 5555<sub>H</sub> に設定されています。
2. ENCA<sub>n</sub>LDE は現在「1」にセットされています。
3. 00002<sub>H</sub> → 0001<sub>H</sub> → 000<sub>H</sub> とダウン・カウントが実行され、アンダフローが発生します。
4. アンダフロー割り込みが出力され、アンダフロー・フラグがセットされます。
5. アンダフローが発生すると同時に、APB によって ENCA<sub>n</sub>CCR0 レジスタの値が 5555<sub>H</sub> から AAAA<sub>H</sub> に書き換えられます。
6. 書き換えの実行後、ENCA<sub>n</sub>CCR0 レジスタは新たに書き換えられた値に設定されます。さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA<sub>n</sub>CCR0 の値 (5555<sub>H</sub>) が ENCA<sub>n</sub>CNT に設定されます。



21.6.11 ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合

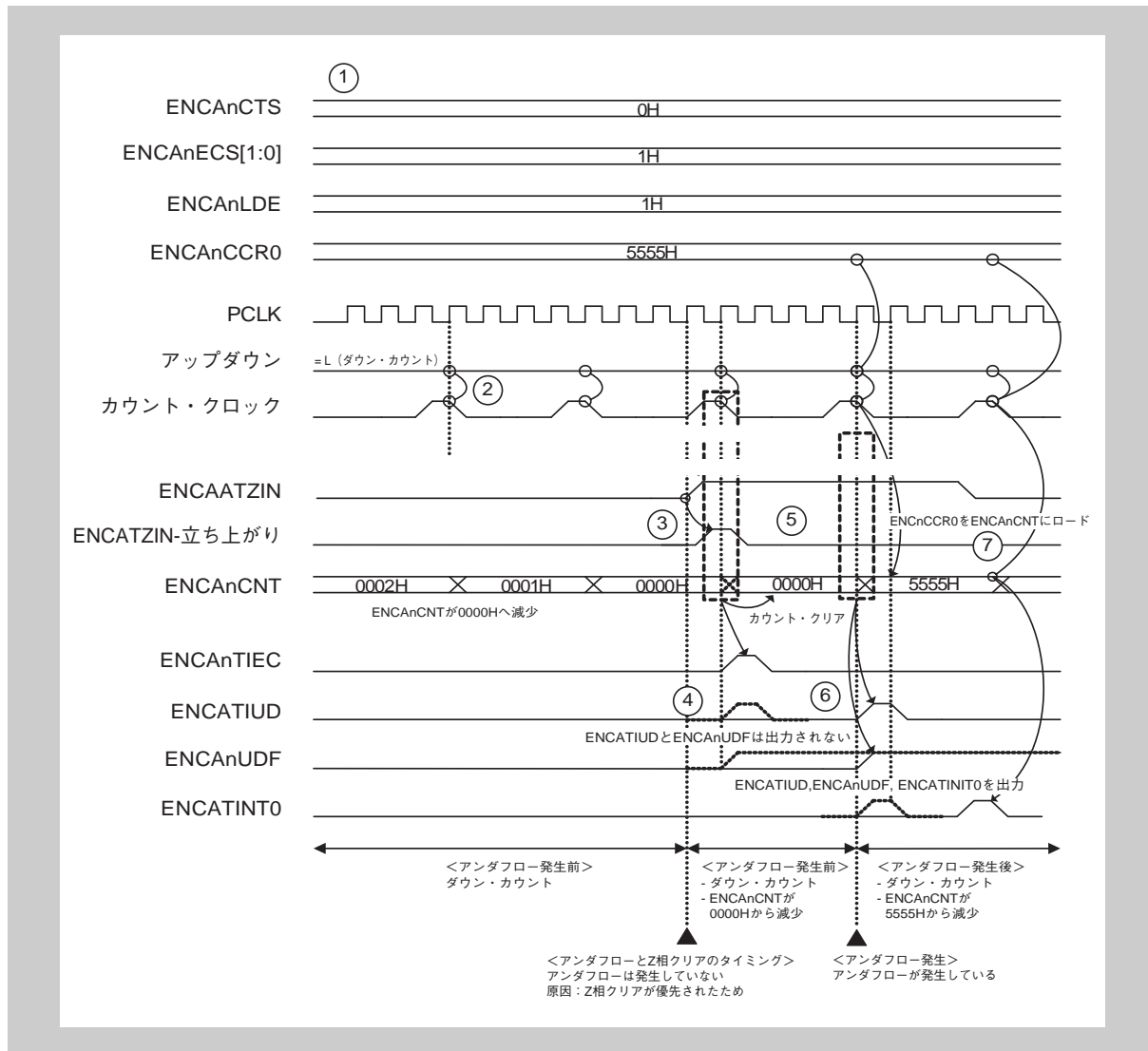


図 21-24 ENCA<sub>n</sub>LDE 機能と Z 相の入力によるクリア動作との競合

1. 以下の値が設定されています。ENCAnCTS = 0, ENCAnECS1 と ENCAnECS0 = {0, 1}, ENCAnLDE = 1, ENCAnCCR0 = 5555<sub>H</sub>。
2. ダウン・カウントが実行されます : 0002<sub>H</sub> → 0001<sub>H</sub> → 0000<sub>H</sub>。
3. カウント値が 0000<sub>H</sub> になったときに ENCATZIN の立ち上がりエッジが検出され, Z 相の入力によるクリアが実行されます。
4. カウント値が 0000<sub>H</sub> に達したときにカウント・クリアが実行されたため, Z 相の入力によるカウンタ・クリア割り込み (ENCAnTIEC) が出力されます。さらに, カウント値 0000<sub>H</sub> でダウン・カウントが行われなかったため, アンダフローは発生しません。したがって, アンダフロー割り込み (ENCAnIUD) は出力されず, アンダフロー・フラグ (ENCAnUDF) もセットされません。
5. Z 相の入力によるクリアによってカウント値が 0000<sub>H</sub> にクリアされたあと, ダウン・カウントが実行され, アンダフローが発生します。
6. アンダフロー割り込みが出力され, アンダフロー・フラグがセットされます。
7. ENCAnLDE = 1 であるため, アンダフローが発生すると ENCAnCCR0 の値が ENCAnCNT にロードされます。
8. ENCAnCCR0 の値が ENCAnCNT に設定されたあと, カウント・クロックに基づいてコンペアー一致の検出が行われ, ENCAnCNT と ENCAnCCR0 が一致するとコンペアー一致割り込みが出力されます。

21.6.12 ENCA<sub>n</sub>LDE 機能 (カウンタ値のロード) と Z 相の入力によるクリア動作との競合があったあとのアップ・カウント

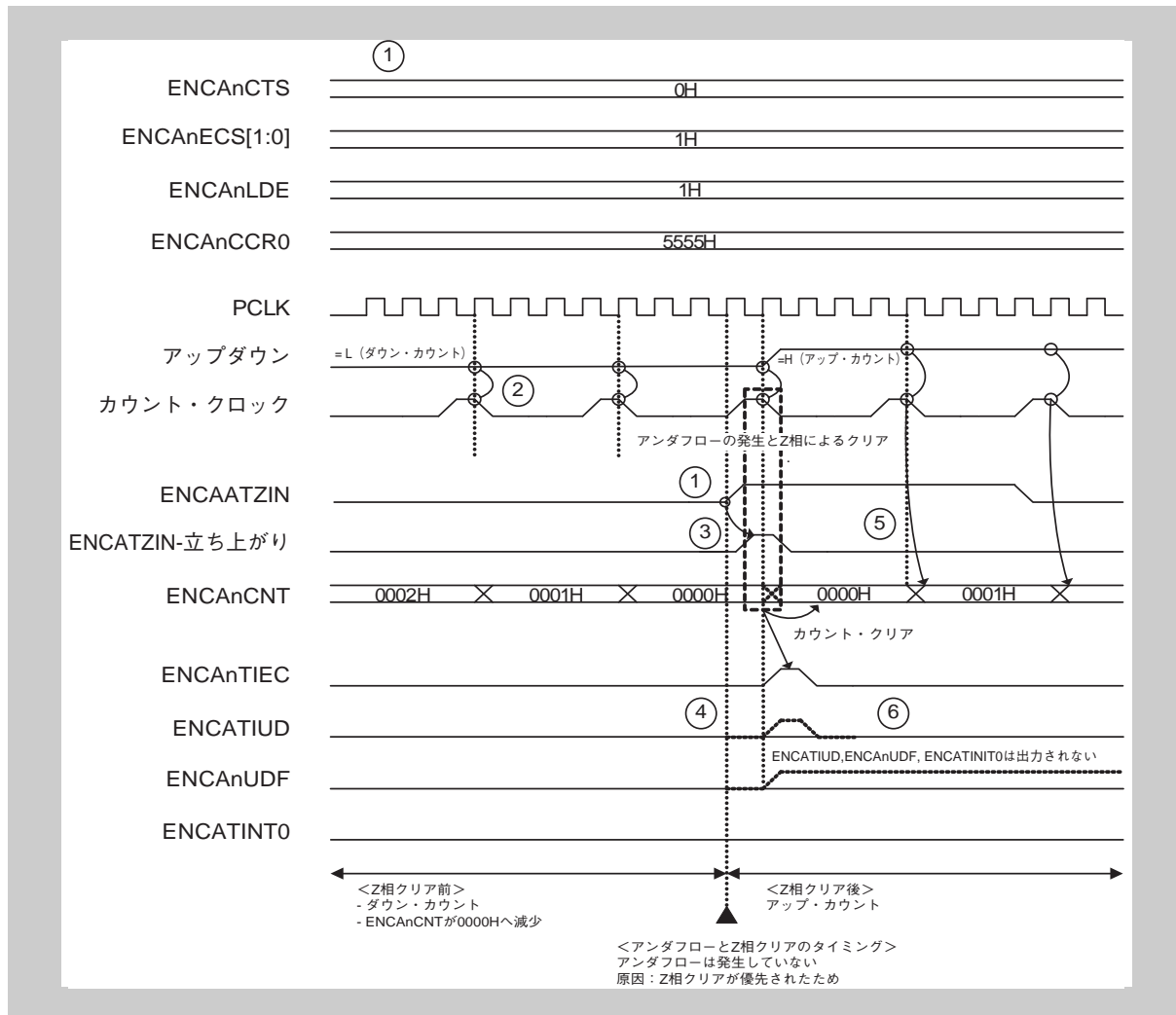


図 21-25 ENCA<sub>n</sub>LDE 機能と Z 相クリアとの競合後のアップ・カウント

1. 以下の値が設定されています。ENCAnCTS = 0, ENCAnECS1 と ENCAnECS0 = {0, 1}, ENCAnLDE = 1, ENCAnCCR0 = 5555<sub>H</sub>。
2. ダウン・カウントが実行されます : 0002<sub>H</sub> → 0001<sub>H</sub> → 0000<sub>H</sub>。
3. カウント値が 0000<sub>H</sub> になったときに ENCATZIN の立ち上がりエッジが検出され、Z 相の入力によるクリアが実行されます。
4. カウント値が 0000<sub>H</sub> に達したときにカウント・クリアが実行されたため、Z 相の入力によるカウンタ・クリア割り込み (ENCAnTIEC) が出力されます。さらに、カウント値 0000<sub>H</sub> のときにダウン・カウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCAnIUD) は出力されず、アンダフロー・フラグ (ENCAnUDF) もセットされません。
5. Z 相の入力によるクリアによってカウント値が 0000<sub>H</sub> にクリアされたあと、アップ・カウントが実行されます。
6. アンダフロー割り込みは出力されず、アンダフロー・フラグもセットされません。

## 21.6.13 カウント・クロック間のキャプチャ動作 (ENCAAnCCR1)

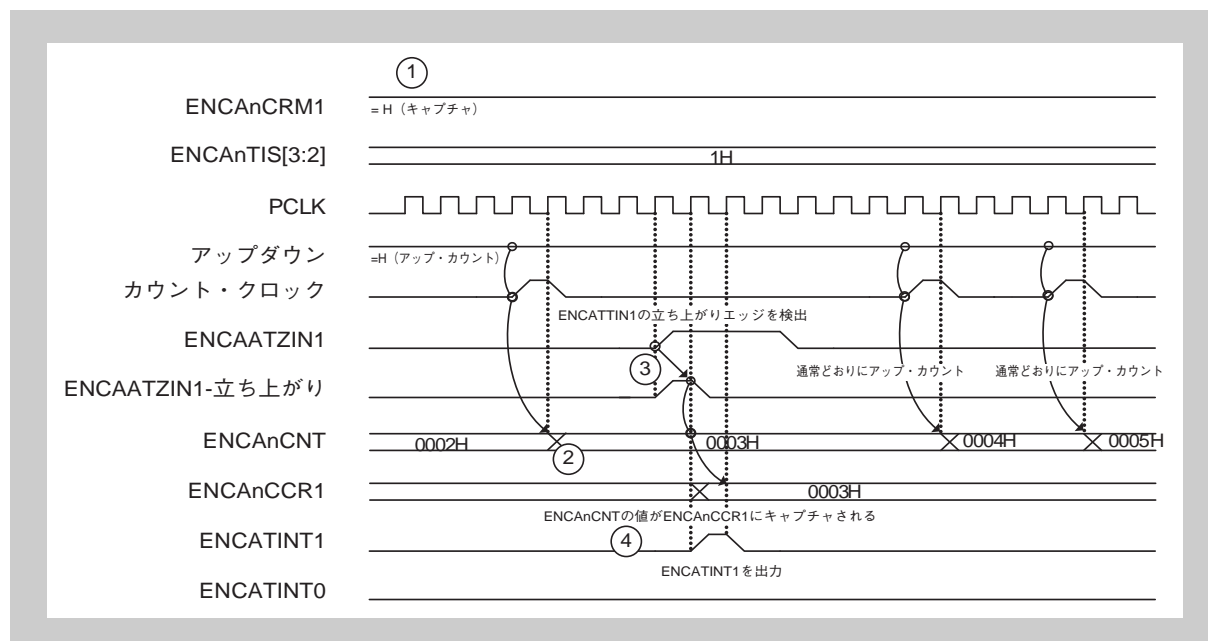
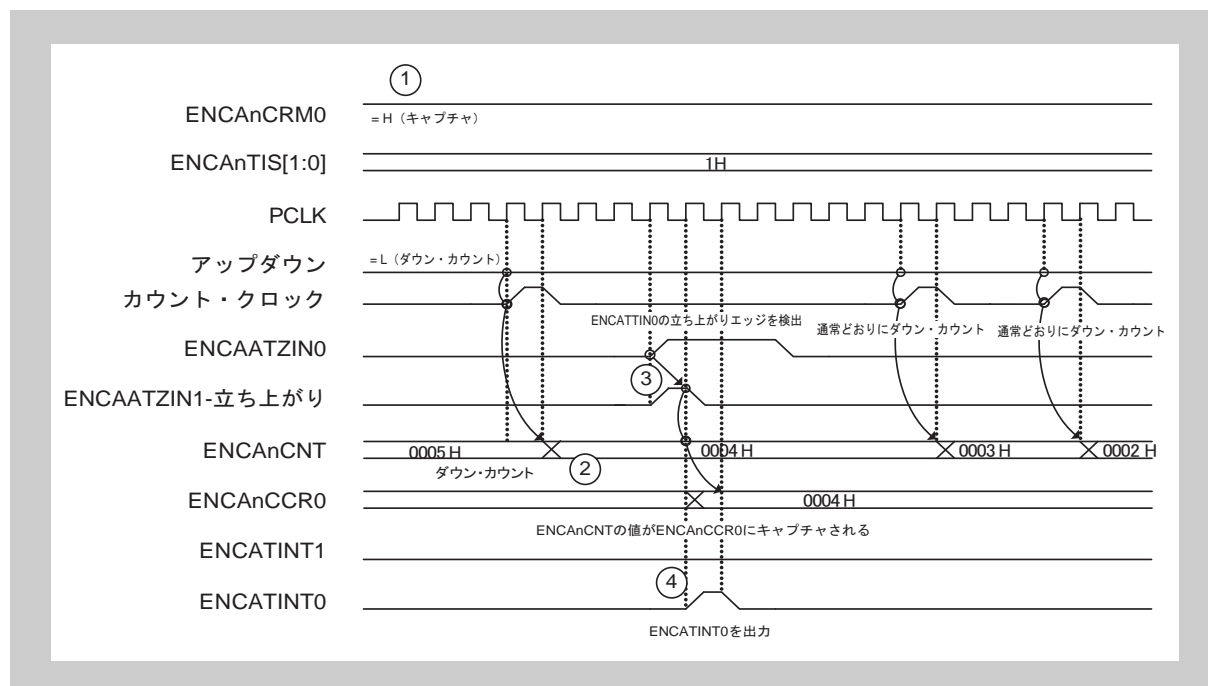


図 21-26 カウント・クロック間のキャプチャ動作 (ENCAAnCCR1)

- 以下の値が設定されています。ENCAAnCRM1 = 1, ENCAAnTIS3 と ENCAAnTIS2 = {0, 1}。
- アップ・カウントが実行されます。
- ENCATTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR1 にキャプチャされます。
- ENCAAnCCR1 レジスタへのキャプチャに対応する割り込み信号 (ENCATINT1) が出力されます。

21.6.14 カウント・クロック間のキャプチャ動作 (ENCA<sub>n</sub>CCR0)図 21-27 カウント・クロック間のキャプチャ動作 (ENCA<sub>n</sub>CCR0)

- 以下の値が設定されています。ENCA<sub>n</sub>CRM1 = 1, ENCA<sub>n</sub>TIS3 と ENCA<sub>n</sub>TIS2 = {0, 1}。
- ダウン・カウントが実行されます。
- ENCAATZIN0 入力の立ち上がりエッジが検出され、カウント値が ENCA<sub>n</sub>CCR0 にキャプチャされます。
- ENCA<sub>n</sub>CCR0 レジスタへのキャプチャに対応する割り込み信号 (ENCA<sub>n</sub>TINT0) が出力されます。

### 21.6.15 ENCA<sub>n</sub>ECM1-0 = {0, 1} かつ ENCA<sub>n</sub>CTS = 0 のときのエンコーダの動作

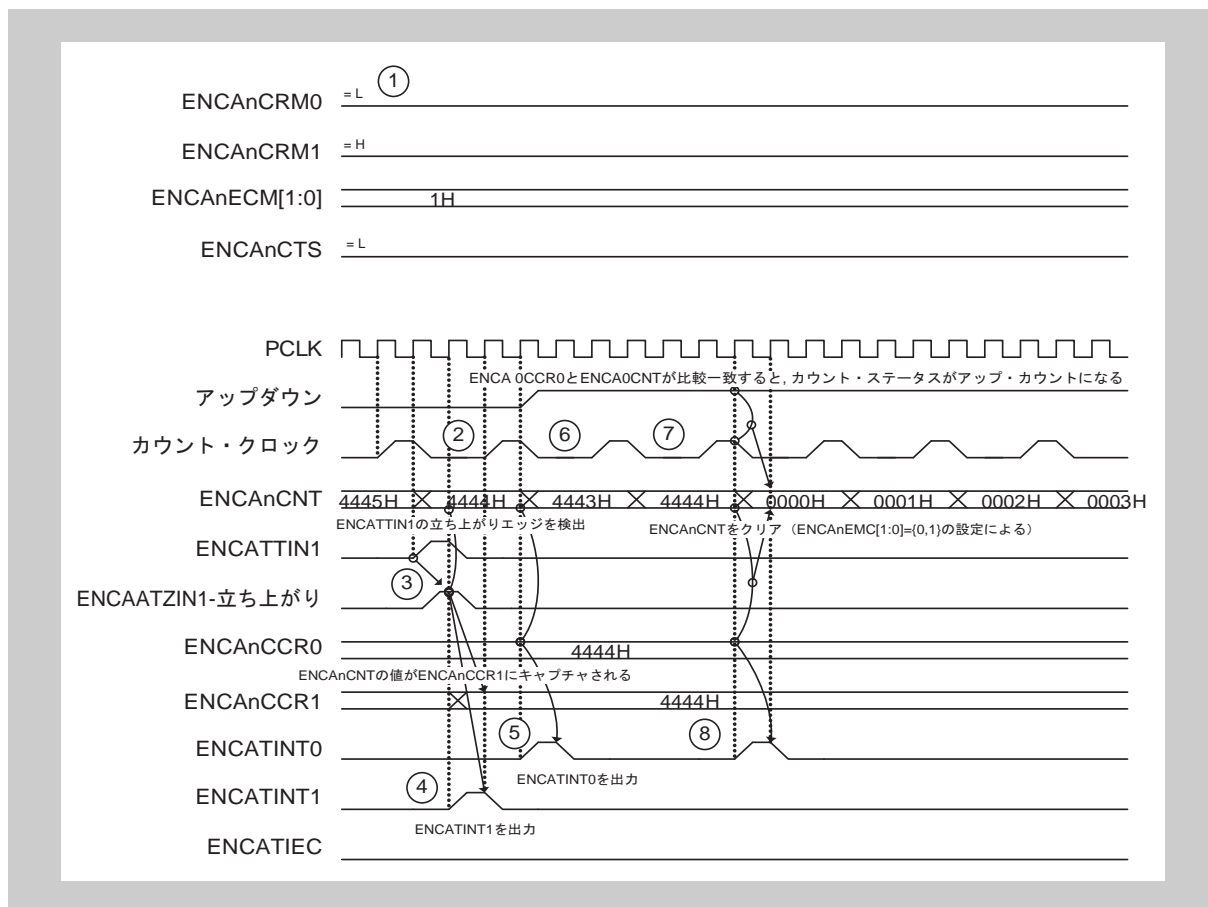


図 21-28 ENCA<sub>n</sub>ECM1-0 = {0, 1} かつ ENCA<sub>n</sub>CTS = 0 のときのエンコーダの動作

1. 以下の値が設定されています。ENCAnCCR0 = 4444<sub>H</sub>, ENCAnCRM0 = 0, ENCAnCRM1 = 1, ENCAnECM1 と ENCAnECM0 = {0, 1}, ENCAnCTS = 0。
2. ダウン・カウントが実行されます。
3. ENCATTIN1 の立ち上がりエッジが検出され, ENCAnCNT の値 4444<sub>H</sub> が ENCAnCCR1 レジスタにキャプチャされます。
4. ENCAnCCR1 へのキャプチャに対応する割り込み (ENCAnTIEC) が出力されます。
5. ENCAnCNT (4445<sub>H</sub> から 4444<sub>H</sub> へダウン・カウントされる) と ENCAnCCR0 (4444<sub>H</sub>) がコンペア一致すると, ENCAnCCR0 とのコンペア一致割り込み (ENCAnTINT0) が出力されます。
6. カウント動作がアップ・カウントに変わります。
7. ENCAnCNT が 4443<sub>H</sub> から 4444<sub>H</sub> へカウント・アップされると ENCAnCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップ・カウントであるため, ENCAnECM1 と ENCAnECM0 の設定 ({0, 1}) に従ってカウント値がクリアされ, ENCAnCNT の値が 0000<sub>H</sub> になります。
8. ENCAnCNT が 4444<sub>H</sub> になると, ENCAnCCR0 とのコンペア一致割り込み (ENCAnTINT0) が出力されます。



21.6.16 ENCA<sub>n</sub>ECM1-0 = {0, 1} かつ ENCA<sub>n</sub>CTS = 1 のときのエンコーダの動作

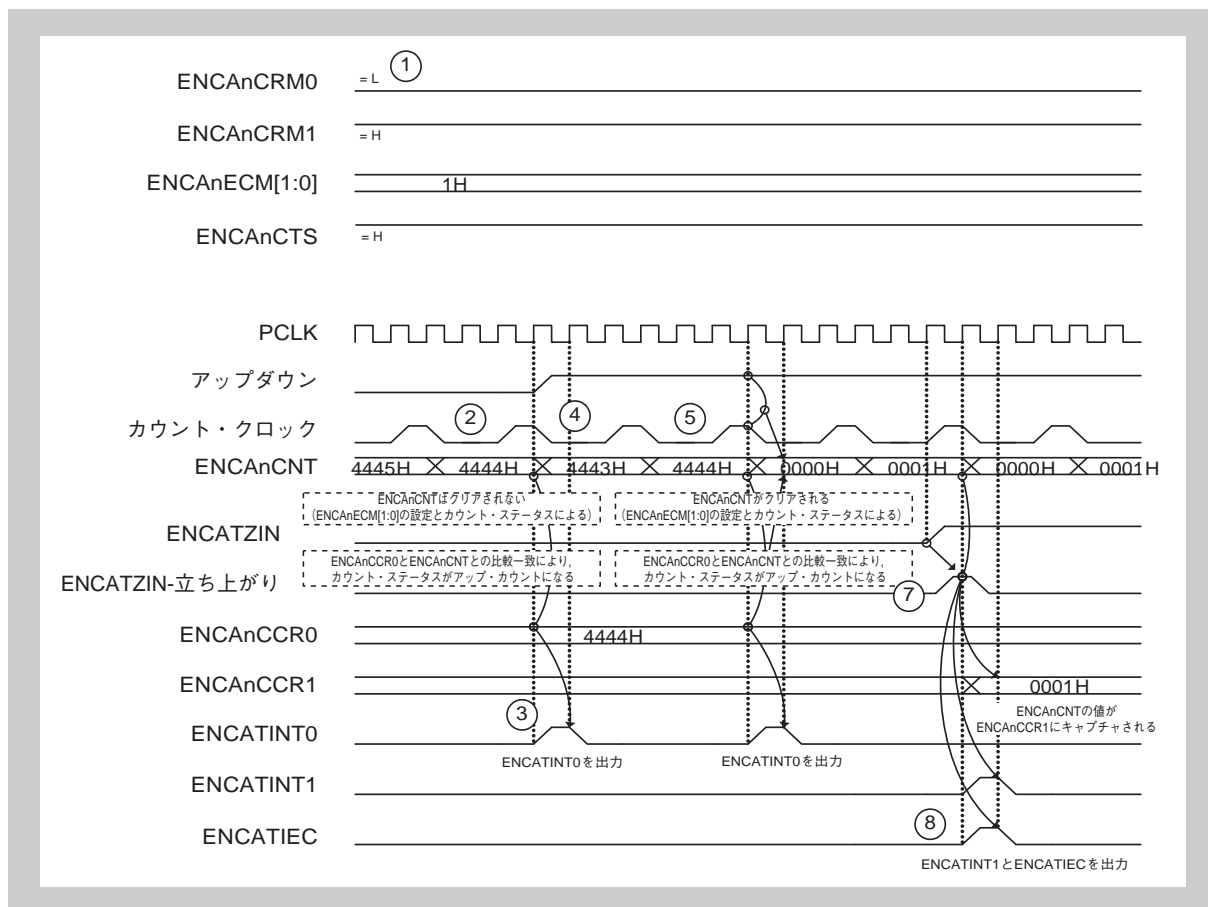
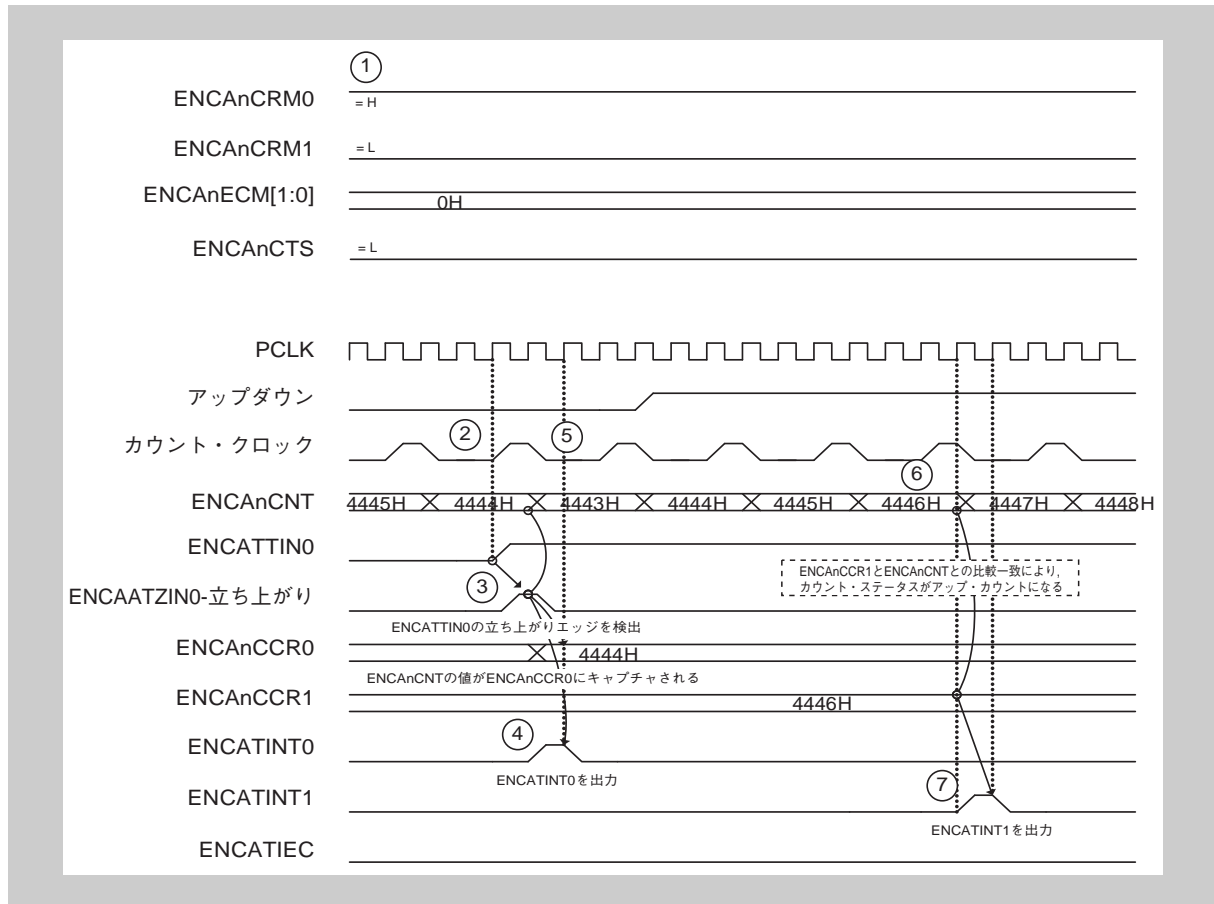


図 21-29 ENCA<sub>n</sub>ECM1-0 = {0, 1} かつ ENCA<sub>n</sub>CTS = 1 のときのエンコーダの動作

1. 以下の値が設定されています。ENCAnCCR0 = 4444<sub>H</sub>, ENCAnCRM0 = 0, ENCAnCRM1 = 1, ENCAnECM1 と ENCAnECM0 = {0, 1}, ENCAnCTS = 1。
2. ダウン・カウントが実行されます。
3. ENCAnCNT (4445<sub>H</sub> から 4444<sub>H</sub> へダウン・カウントされる) と ENCAnCCR0 (4444<sub>H</sub>) がコンペア一致すると、割り込み信号 (ENCAnTINT0) が出力されます。
4. カウント動作がアップ・カウントに変わります。
5. ENCAnCNT が 4443<sub>H</sub> から 4444<sub>H</sub> へカウント・アップされると ENCAnCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップ・カウントであるため、ENCAnECM1 と ENCAnECM0 の設定 ({0, 1}) に従ってカウント値がクリアされ、ENCAnCNT の値が 0000<sub>H</sub> になります。
6. ENCAnCNT が 4444<sub>H</sub> になると、ENCAnCCR0 とのコンペア一致割り込み (ENCAnTINT0) が出力されます。
7. カウントがクリアされたあと、アップ・カウントが実行され、カウント値が 0001<sub>H</sub> になります。この時点で ENCAnZIN 信号の立ち上がりエッジが検出されることによって ENCAnCNT の値 0001<sub>H</sub> が ENCAnCCR1 にキャプチャされ、カウンタが 0000<sub>H</sub> にクリアされます。
8. ENCAnCCR1 レジスタへのキャプチャに対応する割り込み (ENCAnTINT1) と ENCATZIN によるクリア割り込み (ENCATIEC) が出力されます。

21.6.17 ENCA<sub>n</sub>ECM1-0 = {0, 0} のときのエンコーダの動作図 21-30 ENCA<sub>n</sub>ECM1-0 = {0, 0} のときのエンコーダの動作

1. 以下の値が設定されています。ENCA<sub>n</sub>CCR1 = 4446<sub>H</sub>, ENCA<sub>n</sub>CRM0 = 1, ENCA<sub>n</sub>CRM1 = 1, ENCA<sub>n</sub>ECM1 と ENCA<sub>n</sub>ECM0 = {0, 0}, ENCA<sub>n</sub>CTS = 0。
2. ダウン・カウントが実行されます。
3. ENCA<sub>n</sub>CATINT0 の立ち上がりエッジが検出されると、ENCA<sub>n</sub>CNT の値 (4444<sub>H</sub>) が ENCA<sub>n</sub>CCR0 にキャプチャされます。
4. ENCA<sub>n</sub>CCR0 へのキャプチャに対応する割り込み (ENCA<sub>n</sub>CATINT0) が出力されます。
5. カウント動作がアップ・カウントに変わります。
6. ENCA<sub>n</sub>CNT が 4446<sub>H</sub> になると、ENCA<sub>n</sub>CCR1 とのコンペア一致が検出されます。
7. ENCA<sub>n</sub>CCR1 とのコンペア一致割り込み (ENCA<sub>n</sub>CATINT1) が出力されま

## 21.6.18 ENCA<sub>n</sub>SCE = 1 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

### (1) 付随するキャプチャ動作

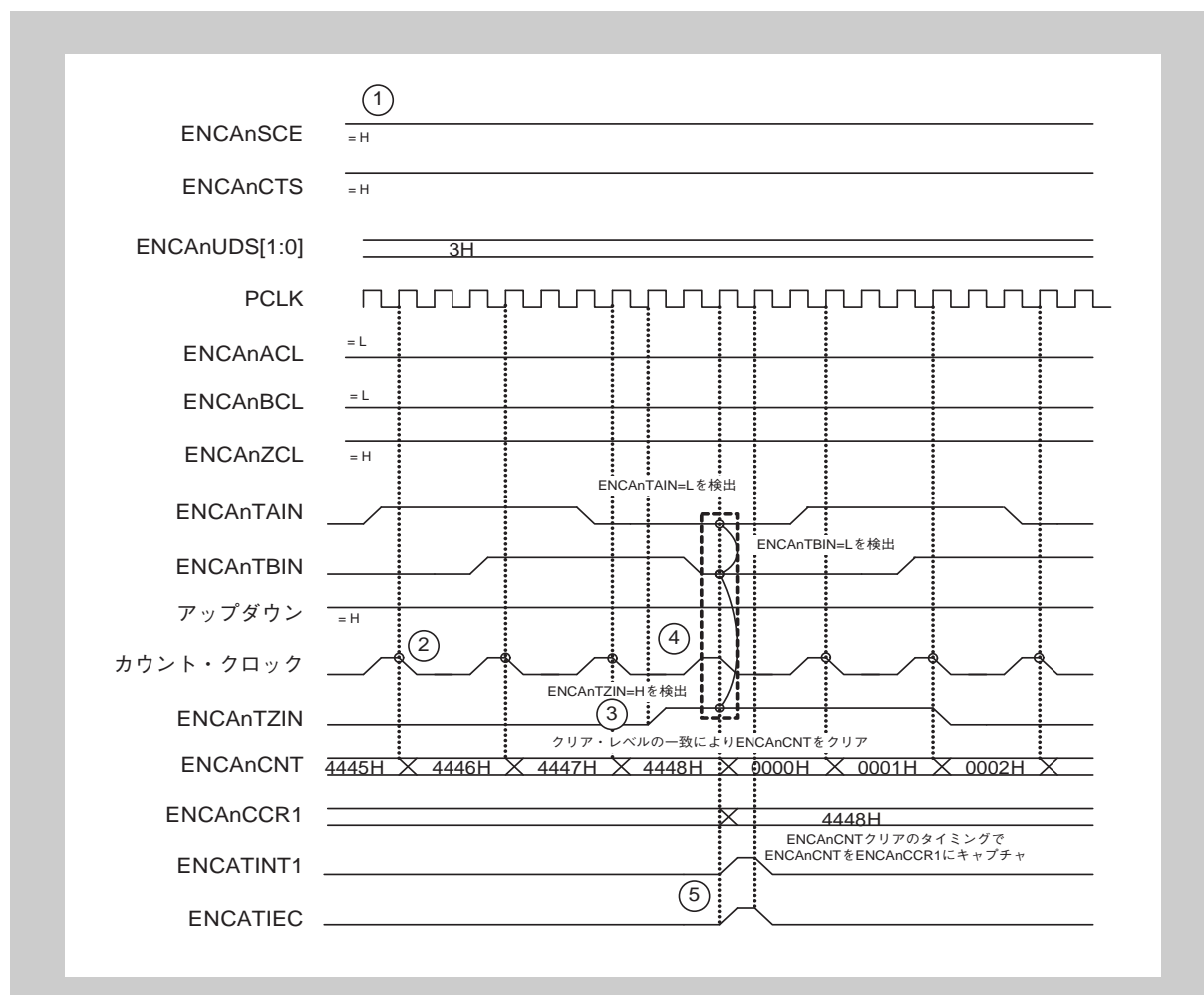


図 21-31 ENCA<sub>n</sub>SCE = 1 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

- 以下の設定が行われています。ENCA<sub>n</sub>SCE = 1, ENCA<sub>n</sub>CTS = 1, ENCA<sub>n</sub>UDS1 と ENCA<sub>n</sub>UDS0 = {1, 1}, ENCA<sub>n</sub>ACL = 0, ENCA<sub>n</sub>BCL = 0, ENCA<sub>n</sub>ZCL = 1。
- アップ・カウントが実行されます。
- ENCATZIN の立ち上がりエッジではカウント値はクリアされません。
- ENCATAIN, ENCATBIN, ENCATZIN が設定されたクリア・レベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA<sub>n</sub>CCR1 にキャプチャされます。
- クリアのタイミングで、ENCA<sub>n</sub>CCR1 へのキャプチャに対応する割り込み (ENCATINT1) と ENCATZIN によるクリア割り込み (ENCATIEC) が出力されます。

(2) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合

(ENCA<sub>n</sub>ACL=1, ENCA<sub>n</sub>BCL=0, ENCA<sub>n</sub>ZCL=1, ENCA<sub>n</sub>UDS={1,1} のとき)

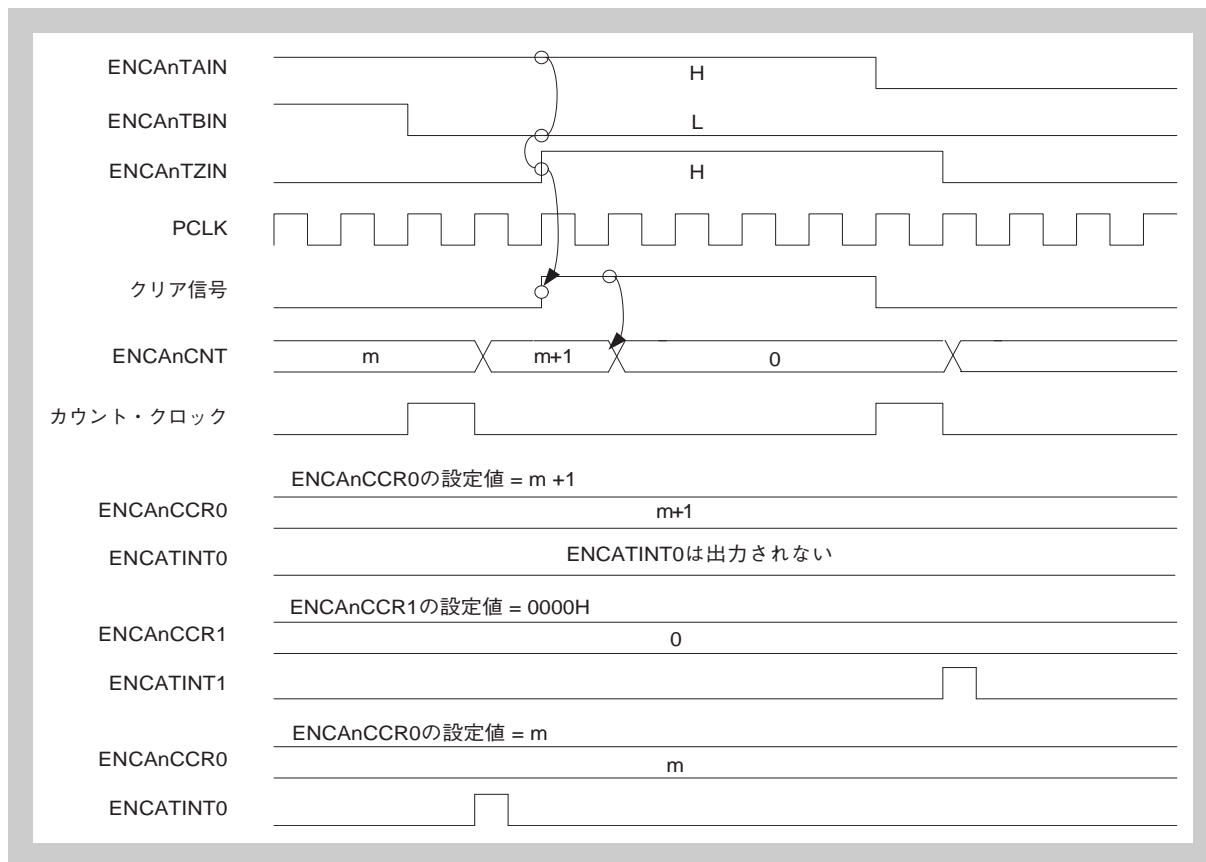


図 21-32 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合のクリアのタイミング

(3) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングと同じだった場合

(ENCAnACL=1, ENCANBCL=0, ENCANZCL=1, ENCANUDS={1,1} のとき)

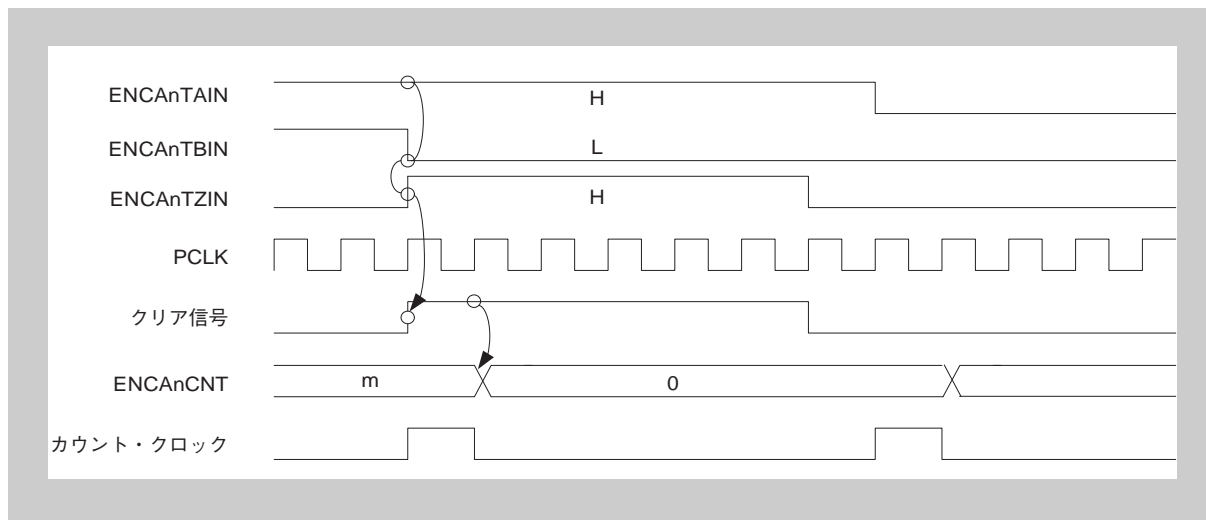


図 21-33 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングと同じだった場合のクリアのタイミング

(4) アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより早かった場合

(ENCAnACL=1, ENCANBCL=0, ENCANZCL=1, ENCANUDS={1,1} のとき)

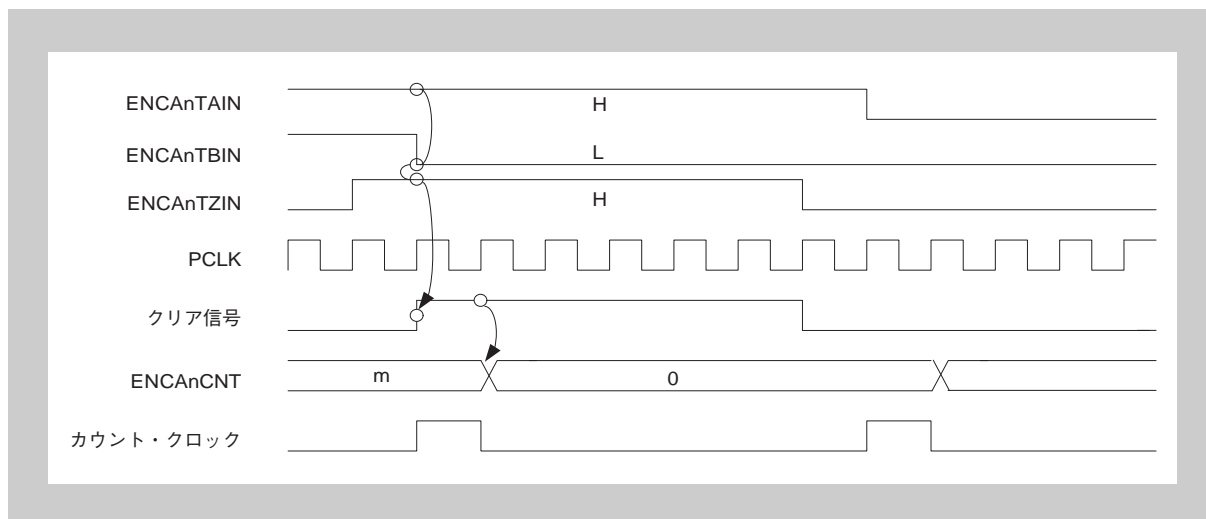


図 21-34 アップ・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより早かった場合のクリアのタイミング

(5) ダウン・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合

(ENCAnACL=1, ENCAAnBCL=0, ENCAAnZCL=1, ENCAAnUDS={1,1} のとき)

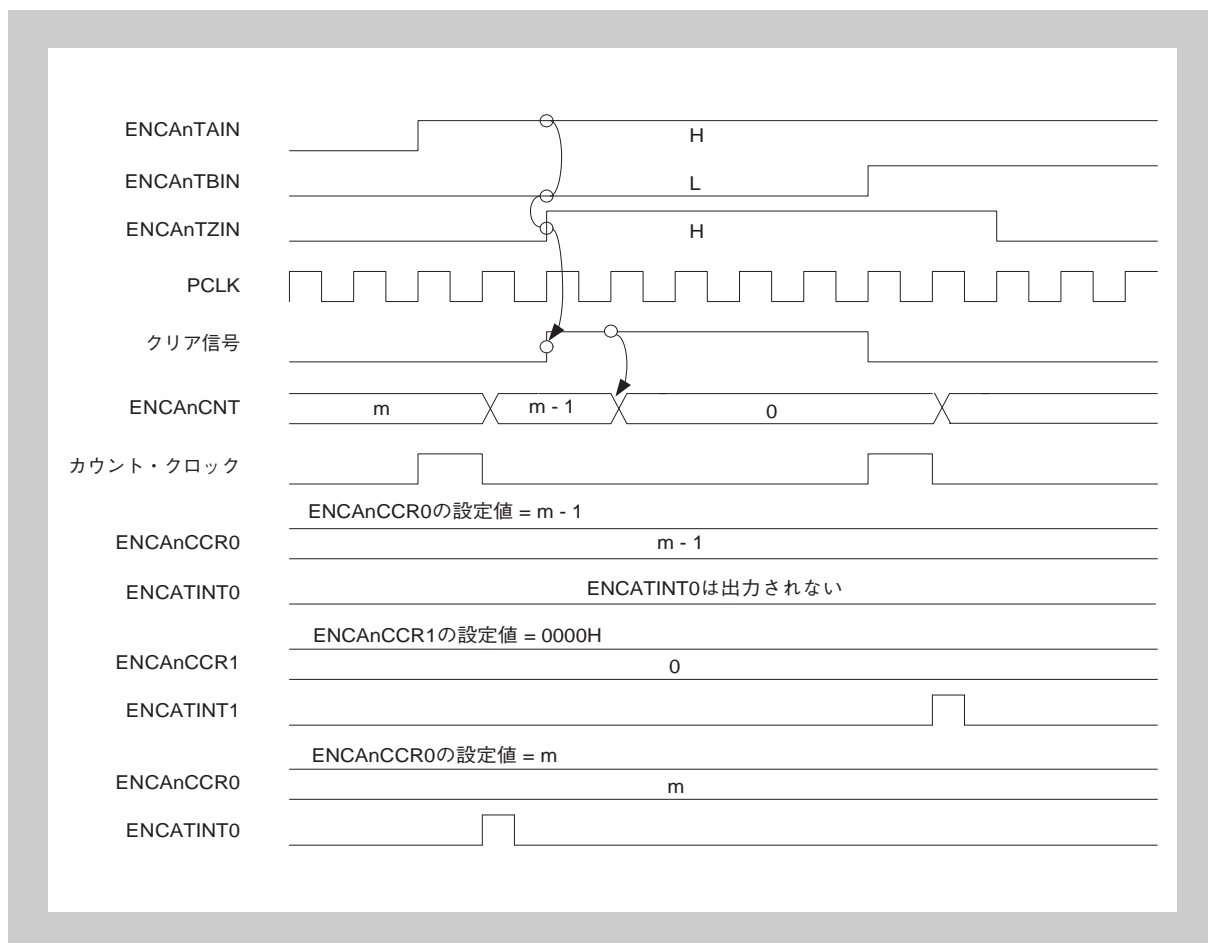


図 21-35 ダウン・カウント中に ENCATZIN の入力のタイミングが ENCATBIN の入力のタイミングより遅かった場合のクリアのタイミング

### 21.6.19 ENCA<sub>n</sub>SCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

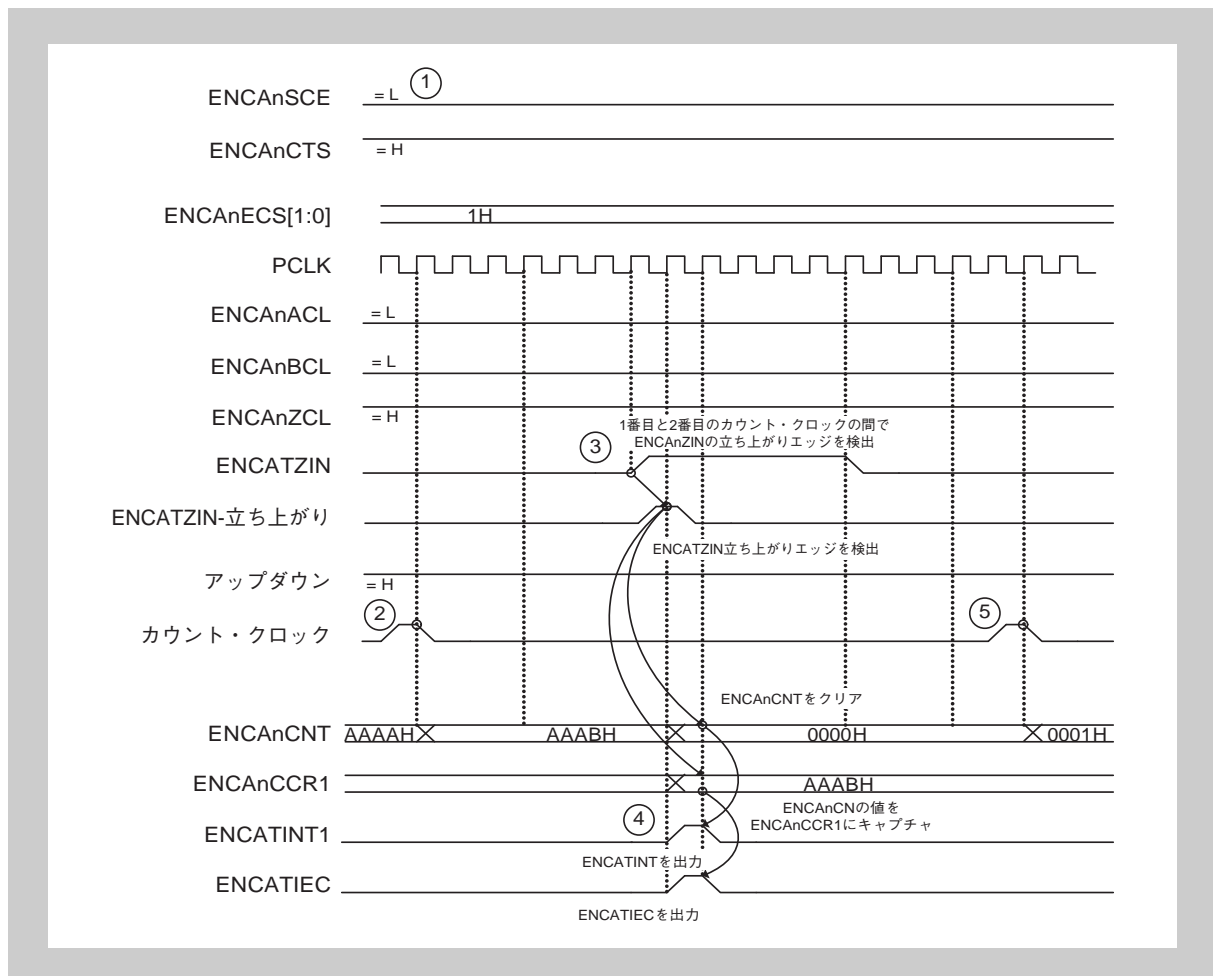


図 21-36 ENCA<sub>n</sub>SCE = 0 のときに ENCATZIN によるクリアのタイミングで行われるキャプチャ動作

- 以下の値が設定されています。ENCA<sub>n</sub>SCE = 0, ENCA<sub>n</sub>CTS = 1, ENCA<sub>n</sub>ECS1 と ENCA<sub>n</sub>ECS0 = {0, 1}。
- アップ・カウントが実行されます。
- ENCATZIN の立ち上がりエッジが検出され、ENCA<sub>n</sub>CNT の値 (AAAB<sub>H</sub>) が ENCA<sub>n</sub>CCR1 にキャプチャされます。同時に、ENCATZIN によるクリア動作が行われるため、ENCA<sub>n</sub>CNT は 0000<sub>H</sub> にリセットされます。
- ENCA<sub>n</sub>CCR1 へのキャプチャに対応する割り込み (ENCATINT1) と ENCATZIN によるクリア割り込み (ENCATIEC) が出力されます。
- カウントがクリアされたあと、アップ・カウントが実行され、カウント値が 0001<sub>H</sub> になります。



## 21.6.20 一致割り込みマスク動作

## (1) マスク動作とマスクングのキャンセル

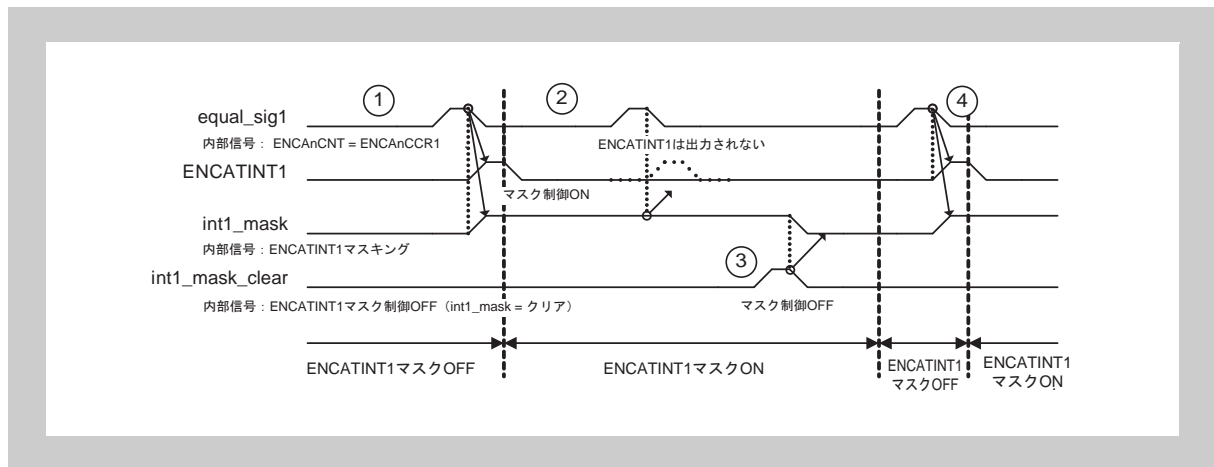


図 21-37 一致割り込みマスク動作とマスクングのキャンセル

上のタイミング図の信号：

equal\_sig1：

ENCAnCNT と ENCAAnCCR1 が一致したときに生成される内部信号

int1\_mask：

割り込み検出マスク信号。この信号は ENCAAnCNT と ENCAAnCCR1 との最初のコンペア一致が発生したときにセットされます。

int1\_mask\_clr：

割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは、以下に示すように、ENCAnMCS の設定によって異なります。

ENCAnMCS = 0：

ENCAnCCR1 レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。

ENCAnMCS = 1：

ENCAnCNT と ENCAAnCCR0 が一致したときのタイマ・カウンタ・クリア動作、Z 相によるタイマ・カウンタのクリア動作または ENCAAnLDE = 1 のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。

1. 一致割り込み検出マスク機能が無効になっている状態で最初のコンペア一致が検出されます。その時点で、2 番目以降のコンペア一致割り込みの検出をマスクする int1\_mask が「1」にセットされ、一致割り込み検出マスク機能が有効になります。
2. int1\_mask がハイであるため、equal\_sig1 がハイになっても ENCATINT1 は出力されません。
3. 一致割り込み検出マスクをキャンセルするトリガが発生すると、int1\_mask\_clr が「1」にセットされ、int1\_mask が L にクリアされ、一致割り込み検出マスク機能が無効になります。
4. 一致割り込み検出マスクが無効になった状態で、最初のコンペア一致が検出され、それと同時に int1\_mask が「1」にセットされます。

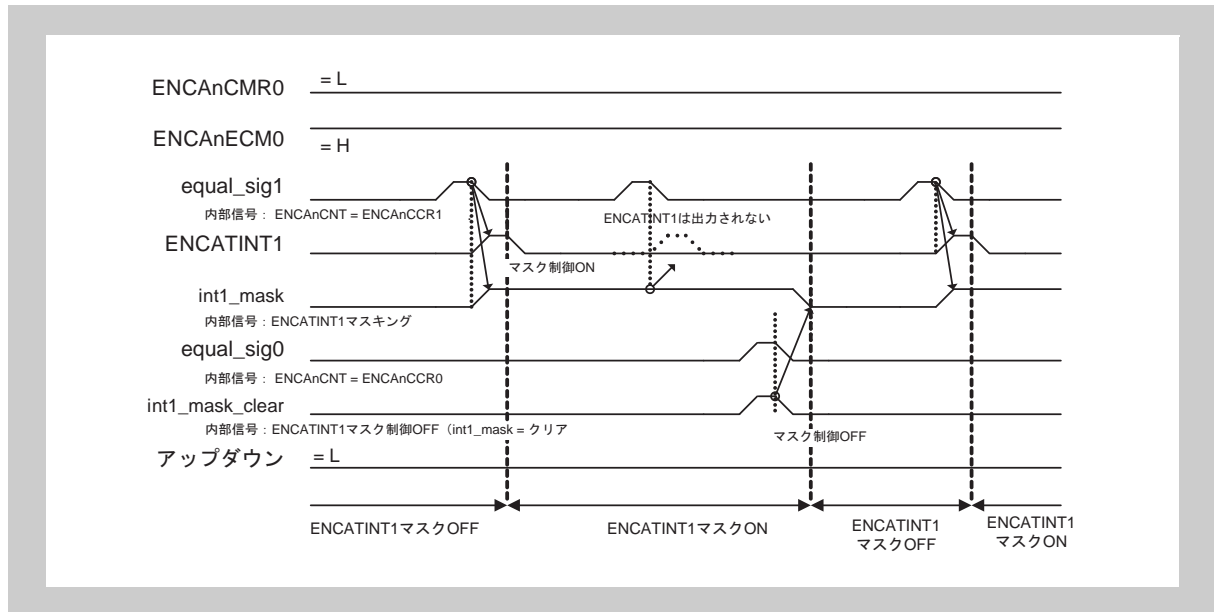
(2) マスク動作とマスクングのキャンセル (ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR0 が一致するとき)

図 21-38 一致割り込みマスク動作とマスクングのキャンセル (ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR0 が一致するとき)

上のタイミング図の信号：

equal\_sig1：

ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR1 が一致したときに生成される内部信号

int1\_mask：

割り込み検出マスク信号。この信号は ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR1 との最初のコンペア一致が発生したときにセットされます。

equal\_sig0：

ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR0 が一致したときに生成される内部信号

int1\_mask\_clr：

割り込み検出マスク・キャンセル信号。マスク・キャンセルのトリガは、以下に示すように、ENCA<sub>n</sub>MCS の設定によって異なります。

ENCA<sub>n</sub>MCS = 0：

ENCA<sub>n</sub>CCR1 レジスタへの書き込み動作によって割り込み検出マスクがキャンセルされます。

ENCA<sub>n</sub>MCS = 1：

ENCA<sub>n</sub>CNT と ENCA<sub>n</sub>CCR0 が一致したときのタイマ・カウンタ・クリア動作、Z 相によるタイマ・カウンタのクリア動作または ENCA<sub>n</sub>LDE = 1 のときのアンダフローの検出によって割り込み検出マスクがキャンセルされます。

アップダウン：

A 相入力信号、B 相入力信号および UDS の値によってカウント・ステータスが制御される内部信号。

1. 一致割り込み検出マスク機能が無効になっている状態で最初のコンペア一致が検出されます。  
その時点で、2番目以降のコンペア一致割り込みの検出をマスクする `int1_mask` が「1」にセットされ、一致割り込み検出マスク機能が有効になります。
2. `int1_mask` がハイであるため、`equal_sig1` がハイになっても `ENCATINT1` は出力されません。
3. `ENCAncNT` と `ENCAncCR0` とのコンペア一致によるクリア動作によって `int1_mask_clr` が「1」にセットされ、`int1_mask` がLにクリアされ、一致割り込み検出マスク機能が無効になります。
4. 一致割り込み検出マスクが無効になった状態で、最初のコンペア一致が検出され、それと同時に `int1_mask` が「1」にセットされます。

## 第22章 PWMディレイ・ユニット (DLYA)

この章では、PWMディレイ・ユニット (DLYA) の一般的な内容について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。以降の節で、DLYA搭載製品に共通の特徴について説明します。

### 22.1 V850E2/Fx4-H の DLYA の特徴

**ユニット** この製品は次のユニット数の DLYA を搭載しています。

表 22-1 DLYA のユニット数

DLYA	
ユニット数	1
名称	DLYA0

**n の意味** この章では、DLYA の各ユニットを「n」で識別します (n=0)。たとえば、DLYAn 制御レジスタ 00 (DLYAnCTL00) のように記述しています。

**レジスタ・アドレス** DLYAn レジスタのアドレスは、それぞれベース・アドレス <DLYAn\_base> からのオフセットで表されます。  
各 DLYAn のレジスタ・ベース・アドレス <DLYAn\_base> を次の表に示します。

表 22-2 レジスタ・ベース・アドレス <DLYAn\_base>

DLYAn ユニット	<DLYAn_base> アドレス
DLYA0	FF81 0800 <sub>H</sub>

**クロック供給** DLYA ユニットには次の1つのクロック入力があります。

表 22-3 DLYA のクロック供給

DLYAn ユニット	DLYAn クロック	接続先
DLYA0	PCLK	クロック発生回路 CKSCLK_006

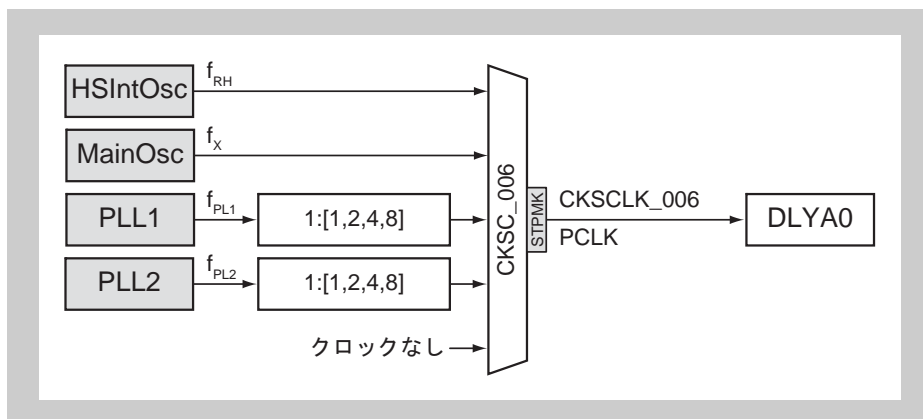


図 22-1 DLYA のクロック供給

**DLYA のハードウェア・リセット** DLYA ユニットとそのレジスタは以下のリセット信号によって初期化されません。

表 22-4 DLYA リセット信号

DLYAn ユニット	リセット信号
DLYA0	<ul style="list-style-type: none"> <li>コントローラをリセットする信号 (SYSRES)</li> <li>アイソレート領域 0 が DEEPSTOP モードからウエイクアップするときにリセット</li> </ul>

**信号接続** DLYA ユニットの遅延回路は、デバイス内のタイマ・アレイ・ユニットからの出力に接続されています。  
DLYAn ユニット内部信号の TAU 出力への接続先を次の表に示します。

表 22-5 DLYAn 信号接続 (1/2)

チャンネル・グループ	DLYA0 入力信号	接続先	DLYA0 出力信号	接続先
p = 0:	DLYA0TDIN00	TAUA0TTOUT1	DLYA0TDOUT00	TAUA0 出力ポート (DLYA) バイパス制御を経由)
	DLYA0TDIN01	TAUA0TTOUT2	DLYA0TDOUT01	
	DLYA0TDIN02	TAUA0TTOUT5	DLYA0TDOUT02	
	DLYA0TDIN03	TAUA0TTOUT6	DLYA0TDOUT03	
	DLYA0TDIN04	TAUA0TTOUT9	DLYA0TDOUT04	
	DLYA0TDIN05	TAUA0TTOUT10	DLYA0TDOUT05	
	DLYA0TDIN06	TAUA0TTOUT13	DLYA0TDOUT06	
	DLYA0TDIN07	TAUA0TTOUT14	DLYA0TDOUT07	
p = 1:	DLYA0TDIN10	TAUB1TTOUT1	DLYA0TDOUT10	TAUB1 出力ポート (DLYA) バイパス制御を経由)
	DLYA0TDIN11	TAUB1TTOUT2	DLYA0TDOUT11	
	DLYA0TDIN12	TAUB1TTOUT5	DLYA0TDOUT12	
	DLYA0TDIN13	TAUB1TTOUT6	DLYA0TDOUT13	
	DLYA0TDIN14	TAUB1TTOUT9	DLYA0TDOUT14	
	DLYA0TDIN15	TAUB1TTOUT10	DLYA0TDOUT15	
	DLYA0TDIN16	TAUB1TTOUT13	DLYA0TDOUT16	
	DLYA0TDIN17	TAUB1TTOUT14	DLYA0TDOUT17	
p = 2:	DLYA0TDIN20	TAUC2TTOUT1	DLYA0TDOUT20	TAUC2 出力ポート (DLYA) バイパス制御を経由)
	DLYA0TDIN21	TAUC2TTOUT2	DLYA0TDOUT21	
	DLYA0TDIN22	TAUC2TTOUT5	DLYA0TDOUT22	
	DLYA0TDIN23	TAUC2TTOUT6	DLYA0TDOUT23	
	DLYA0TDIN24	TAUC2TTOUT9	DLYA0TDOUT24	
	DLYA0TDIN25	TAUC2TTOUT10	DLYA0TDOUT25	
	DLYA0TDIN26	TAUC2TTOUT13	DLYA0TDOUT26	
	DLYA0TDIN27	TAUC2TTOUT14	DLYA0TDOUT27	
p = 3:	DLYA0TDIN30	TAUC3TTOUT1	DLYA0TDOUT30	TAUC3 出力ポート (DLYA) バイパス制御を経由)
	DLYA0TDIN31	TAUC3TTOUT2	DLYA0TDOUT31	
	DLYA0TDIN32	TAUC3TTOUT5	DLYA0TDOUT32	
	DLYA0TDIN33	TAUC3TTOUT6	DLYA0TDOUT33	
	DLYA0TDIN34	TAUC3TTOUT9	DLYA0TDOUT34	
	DLYA0TDIN35	TAUC3TTOUT10	DLYA0TDOUT35	
	DLYA0TDIN36	TAUC3TTOUT13	DLYA0TDOUT36	
	DLYA0TDIN37	TAUC3TTOUT14	DLYA0TDOUT37	
p = 4:	DLYA0TDIN40	TAUC4TTOUT1	DLYA0TDOUT40	TAUC4 出力ポート (DLYA) バイパス制御を経由)
	DLYA0TDIN41	TAUC4TTOUT2	DLYA0TDOUT41	
	DLYA0TDIN42	TAUC4TTOUT5	DLYA0TDOUT42	
	DLYA0TDIN43	TAUC4TTOUT6	DLYA0TDOUT43	
	DLYA0TDIN44	TAUC4TTOUT9	DLYA0TDOUT44	
	DLYA0TDIN45	TAUC4TTOUT10	DLYA0TDOUT45	
	DLYA0TDIN46	TAUC4TTOUT13	DLYA0TDOUT46	
	DLYA0TDIN47	TAUC4TTOUT14	DLYA0TDOUT47	

表 22-5 DLYAn 信号接続 (2/2)

チャンネル・グループ	DLYA0 入力信号	接続先	DLYA0 出力信号	接続先
p = 5:	DLYA0TDIN50	TAUC5TTOUT1	DLYA0TDOUT50	Port TAUC5O1
	DLYA0TDIN51	TAUC5TTOUT2	DLYA0TDOUT51	Port TAUC5O2
	DLYA0TDIN52	TAUC5TTOUT5	DLYA0TDOUT52	Port TAUC5O5
	DLYA0TDIN53	TAUC5TTOUT6	DLYA0TDOUT53	Port TAUC5O6
	DLYA0TDIN54	TAUC5TTOUT9	DLYA0TDOUT54	Port TAUC5O9
	DLYA0TDIN55	TAUC5TTOUT10	DLYA0TDOUT55	Port TAUC5O10
	DLYA0TDIN56	TAUC5TTOUT13	DLYA0TDOUT56	Port TAUC5O13
	DLYA0TDIN57	TAUC5TTOUT14	DLYA0TDOUT57	Port TAUC5O14
p = 6:	DLYA0TDIN60	TAUC6TTOUT1	DLYA0TDOUT60	Port TAUC6O1
	DLYA0TDIN61	TAUC6TTOUT2	DLYA0TDOUT61	Port TAUC6O2
	DLYA0TDIN62	TAUC6TTOUT5	DLYA0TDOUT62	Port TAUC6O5
	DLYA0TDIN63	TAUC6TTOUT6	DLYA0TDOUT63	Port TAUC6O6
	DLYA0TDIN64	TAUC6TTOUT9	DLYA0TDOUT64	Port TAUC6O9
	DLYA0TDIN65	TAUC6TTOUT10	DLYA0TDOUT65	Port TAUC6O10
	DLYA0TDIN66	TAUC6TTOUT13	DLYA0TDOUT66	Port TAUC6O13
	DLYA0TDIN67	TAUC6TTOUT14	DLYA0TDOUT67	Port TAUC6O14
p = 7:	DLYA0TDIN70	TAUC7TTOUT1	DLYA0TDOUT70	Port TAUC7O1
	DLYA0TDIN71	TAUC7TTOUT2	DLYA0TDOUT71	Port TAUC7O2
	DLYA0TDIN72	TAUC7TTOUT5	DLYA0TDOUT72	Port TAUC7O5
	DLYA0TDIN73	TAUC7TTOUT6	DLYA0TDOUT73	Port TAUC7O6
	DLYA0TDIN74	TAUC7TTOUT9	DLYA0TDOUT74	Port TAUC7O9
	DLYA0TDIN75	TAUC7TTOUT10	DLYA0TDOUT75	Port TAUC7O10
	DLYA0TDIN76	TAUC7TTOUT13	DLYA0TDOUT76	Port TAUC7O13
	DLYA0TDIN77	TAUC7TTOUT14	DLYA0TDOUT77	Port TAUC7O14

**DLYA のバイパス** DLYA ユニットの、以下の TAU 出力信号をバイパスすることができます。

- TAU A0
- TAU B1
- TAU C2
- TAU C3
- TAU C4

バイパスは、DLYAEN レジスタで制御します。

表 22-6 バイパス可能なチャンネル・グループ

TAUxn	チャンネル・グループ	DLYAEN の設定		Port TAUxnO
TAUA0	p = 0	DLYAEN0 =	0:	TAUA0O[1,2,5,6,9,10,13,14]
			1:	DLYATDOUT0[7:0]
TAUB1	p = 1	DLYAEN1 =	0:	TAUB1O[1,2,5,6,9,10,13,14]
			1:	DLYATDOUT1[7:0]
TAUC2	p = 2	DLYAEN2 =	0:	TAUC2O[1,2,5,6,9,10,13,14]
			1:	DLYATDOUT2[7:0]
TAUC3	p = 3	DLYAEN3 =	0:	TAUC3O[1,2,5,6,9,10,13,14]
			1:	DLYATDOUT3[7:0]
TAUC4	p = 4	DLYAEN4 =	0:	TAUC4O[1,2,5,6,9,10,13,14]
			1:	DLYATDOUT4[7:0]

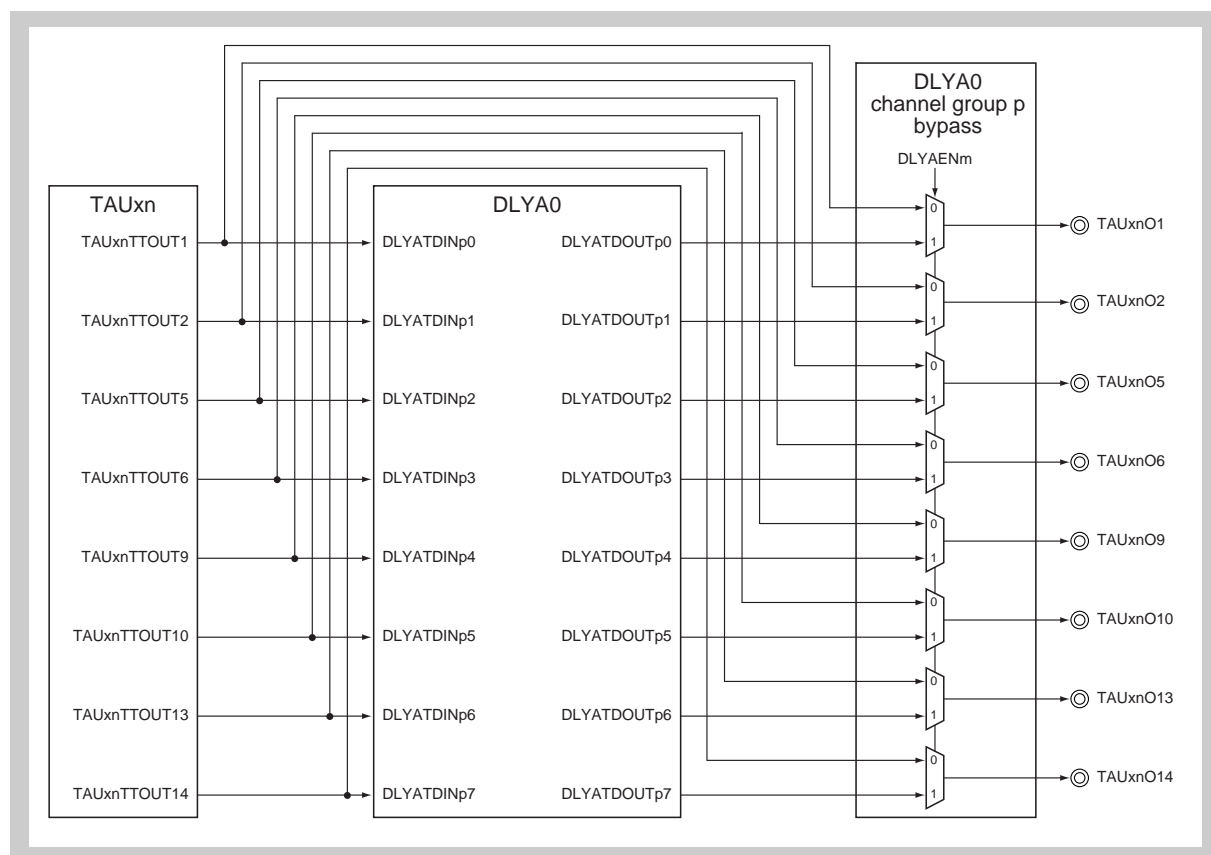


図 22-2 PWM 遅延バイパス



## (1) DLYAEN – DLYA バイパス・イネーブル・レジスタ

TAU から DLYA ユニットへの出力信号のバイパスを制御します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** FF77103C<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	DLYAEN4	DLYAEN3	DLYAEN2	DLYAEN1	DLYAEN0
R	R	R	R/W	R/W	R/W	R/W	R/W

表 22-7 DLYAEN レジスタの内容

ビット位置	ビット名称	機能
4	DLYAEN4	TAUC4 出力信号のバイパス有効/無効を指定します。 0 : バイパス有効 (TAUC4 の出力信号は直接ほかのユニットに接続される) 1 : バイパス無効 (TAUC4 の出力信号は DLYA ユニットにより遅延する)
3	DLYAEN3	TAUC3 出力信号のバイパス有効/無効を指定します。 0 : バイパス有効 (TAUC3 の出力信号は直接ほかのユニットに接続される) 1 : バイパス無効 (TAUC3 の出力信号は DLYA ユニットにより遅延する)
2	DLYAEN2	TAUC2 出力信号のバイパス有効/無効を指定します。 0 : バイパス有効 (TAUC2 の出力信号は直接ほかのユニットに接続される) 1 : バイパス無効 (TAUC2 の出力信号は DLYA ユニットにより遅延する)
1	DLYAEN1	TAUC1 出力信号のバイパス有効/無効を指定します。 0 : バイパス有効 (TAUC1 の出力信号は直接ほかのユニットに接続される) 1 : バイパス無効 (TAUC1 の出力信号は DLYA ユニットにより遅延する)
0	DLYAEN0	TAUC0 出力信号のバイパス有効/無効を指定します。 0 : バイパス有効 (TAUC0 の出力信号は直接ほかのユニットに接続される) 1 : バイパス無効 (TAUC0 の出力信号は DLYA ユニットにより遅延する)

## 22.2 機能概要

**機能概要** DLYA ユニットには次の機能があります。

- 64 本の入力チャンネル
- チャンネルごとに遅延の有効/無効を設定可能
- チャンネルごとに遅延時間を設定可能

次に DLYA ユニットのブロック図を示します。

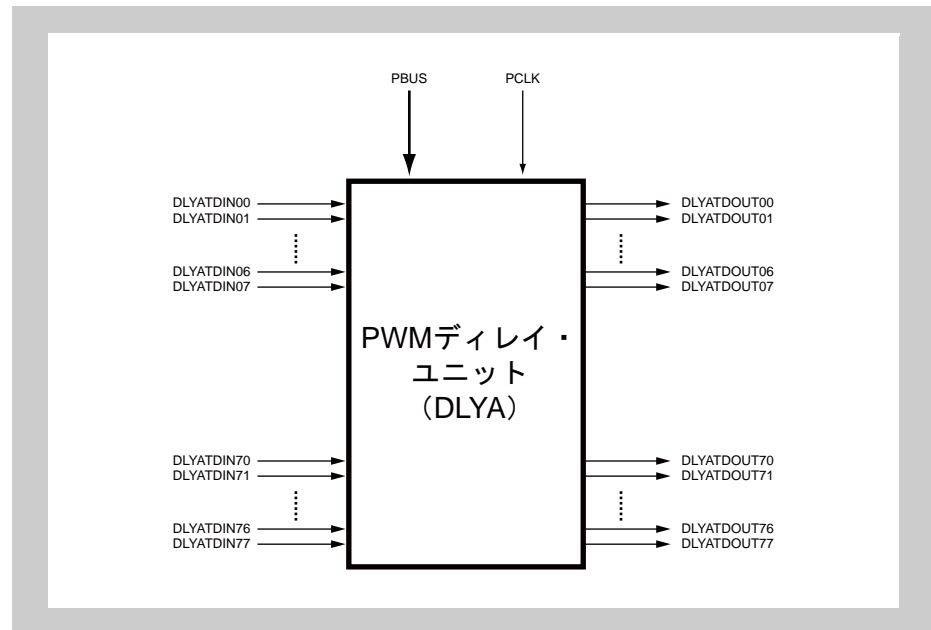


図 22-3 DLYA のブロック図

## 22.3 機能説明

### 22.3.1 遅延の有効化

遅延機能の有効／無効は、制御レジスタによって入力信号 DLYATDINpq ごとに設定できます。

- DLYAnCTL00 レジスタで入力信号 DLYATDIN0[7:0]-DLYATDIN3[7:0] を制御
- DLYAnCTL01 レジスタで入力信号 DLYATDIN4[7:0]-DLYATDIN7[7:0] を制御

### 22.3.2 遅延時間

入力信号 DLYATDINpq それぞれの遅延時間は、チャンネルごとに DLYACMPpq レジスタによって設定します。

遅延時間は CNTCLK クロック・サイクル数単位で、12 ビットの値 DLYACMPpq.DLYACMPpq[11:0] を 002<sub>H</sub> から FFF<sub>H</sub> の範囲で指定します。

DLYACMPpq.DLYACMPpq[11:0] = 0 のとき、DLYATDINpq に遅延は適用されません。

---

**注意** PWM 診断モジュール (PMCA) を使用し、TAUA, TAUB, TAUC のタイマ出力を行う場合、PWM ディレイ・ユニット (DLYA) のクロック・ドメイン (ISO0\_6) に選択するクロックの 2 分周より高速なタイマ出力を行わないでください。

---

## 22.4 レジスタ

この節では、DLYAのすべてのレジスタについて説明します。

### 22.4.1 DLYA レジスタの一覧

DLYAは、次のレジスタで制御、動作します。

表 22-8 DLYA レジスタの一覧 (1/2)

レジスタ名	略号	アドレス
制御レジスタ 00	DLYAnCTL00	<DLYAn_base> + 00 <sub>H</sub>
制御レジスタ 01	DLYAnCTL01	<DLYAn_base> + 04 <sub>H</sub>
DLYATDIN00 遅延選択レジスタ	DLYAnCMP00	<DLYAn_base> + 08 <sub>H</sub>
DLYATDIN01 遅延選択レジスタ	DLYAnCMP01	<DLYAn_base> + 0C <sub>H</sub>
DLYATDIN02 遅延選択レジスタ	DLYAnCMP02	<DLYAn_base> + 10 <sub>H</sub>
DLYATDIN03 遅延選択レジスタ	DLYAnCMP03	<DLYAn_base> + 14 <sub>H</sub>
DLYATDIN04 遅延選択レジスタ	DLYAnCMP04	<DLYAn_base> + 18 <sub>H</sub>
DLYATDIN05 遅延選択レジスタ	DLYAnCMP05	<DLYAn_base> + 1C <sub>H</sub>
DLYATDIN06 遅延選択レジスタ	DLYAnCMP06	<DLYAn_base> + 20 <sub>H</sub>
DLYATDIN07 遅延選択レジスタ	DLYAnCMP07	<DLYAn_base> + 24 <sub>H</sub>
DLYATDIN10 遅延選択レジスタ	DLYAnCMP10	<DLYAn_base> + 28 <sub>H</sub>
DLYATDIN11 遅延選択レジスタ	DLYAnCMP11	<DLYAn_base> + 2C <sub>H</sub>
DLYATDIN12 遅延選択レジスタ	DLYAnCMP12	<DLYAn_base> + 30 <sub>H</sub>
DLYATDIN13 遅延選択レジスタ	DLYAnCMP13	<DLYAn_base> + 34 <sub>H</sub>
DLYATDIN14 遅延選択レジスタ	DLYAnCMP14	<DLYAn_base> + 38 <sub>H</sub>
DLYATDIN15 遅延選択レジスタ	DLYAnCMP15	<DLYAn_base> + 3C <sub>H</sub>
DLYATDIN16 遅延選択レジスタ	DLYAnCMP16	<DLYAn_base> + 40 <sub>H</sub>
DLYATDIN17 遅延選択レジスタ	DLYAnCMP17	<DLYAn_base> + 44 <sub>H</sub>
DLYATDIN20 遅延選択レジスタ	DLYAnCMP20	<DLYAn_base> + 48 <sub>H</sub>
DLYATDIN21 遅延選択レジスタ	DLYAnCMP21	<DLYAn_base> + 4C <sub>H</sub>
DLYATDIN22 遅延選択レジスタ	DLYAnCMP22	<DLYAn_base> + 50 <sub>H</sub>
DLYATDIN23 遅延選択レジスタ	DLYAnCMP23	<DLYAn_base> + 54 <sub>H</sub>
DLYATDIN24 遅延選択レジスタ	DLYAnCMP24	<DLYAn_base> + 58 <sub>H</sub>
DLYATDIN25 遅延選択レジスタ	DLYAnCMP25	<DLYAn_base> + 5C <sub>H</sub>
DLYATDIN26 遅延選択レジスタ	DLYAnCMP26	<DLYAn_base> + 60 <sub>H</sub>
DLYATDIN27 遅延選択レジスタ	DLYAnCMP27	<DLYAn_base> + 64 <sub>H</sub>
DLYATDIN30 遅延選択レジスタ	DLYAnCMP30	<DLYAn_base> + 68 <sub>H</sub>
DLYATDIN31 遅延選択レジスタ	DLYAnCMP31	<DLYAn_base> + 6C <sub>H</sub>
DLYATDIN32 遅延選択レジスタ	DLYAnCMP32	<DLYAn_base> + 70 <sub>H</sub>
DLYATDIN33 遅延選択レジスタ	DLYAnCMP33	<DLYAn_base> + 74 <sub>H</sub>
DLYATDIN34 遅延選択レジスタ	DLYAnCMP34	<DLYAn_base> + 78 <sub>H</sub>
DLYATDIN35 遅延選択レジスタ	DLYAnCMP35	<DLYAn_base> + 7C <sub>H</sub>
DLYATDIN36 遅延選択レジスタ	DLYAnCMP36	<DLYAn_base> + 80 <sub>H</sub>

表 22-8 DLYA レジスタの一覧 (2/2)

レジスタ名	略号	アドレス
DLYATDIN37 遅延選択レジスタ	DLYAnCMP37	<DLYAn_base> + 84 <sub>H</sub>
DLYATDIN40 遅延選択レジスタ	DLYAnCMP40	<DLYAn_base> + 88 <sub>H</sub>
DLYATDIN41 遅延選択レジスタ	DLYAnCMP41	<DLYAn_base> + 8C <sub>H</sub>
DLYATDIN42 遅延選択レジスタ	DLYAnCMP42	<DLYAn_base> + 90 <sub>H</sub>
DLYATDIN43 遅延選択レジスタ	DLYAnCMP43	<DLYAn_base> + 94 <sub>H</sub>
DLYATDIN44 遅延選択レジスタ	DLYAnCMP44	<DLYAn_base> + 98 <sub>H</sub>
DLYATDIN45 遅延選択レジスタ	DLYAnCMP45	<DLYAn_base> + 9C <sub>H</sub>
DLYATDIN46 遅延選択レジスタ	DLYAnCMP46	<DLYAn_base> + A0 <sub>H</sub>
DLYATDIN47 遅延選択レジスタ	DLYAnCMP47	<DLYAn_base> + A4 <sub>H</sub>
DLYATDIN50 遅延選択レジスタ	DLYAnCMP50	<DLYAn_base> + A8 <sub>H</sub>
DLYATDIN51 遅延選択レジスタ	DLYAnCMP51	<DLYAn_base> + AC <sub>H</sub>
DLYATDIN52 遅延選択レジスタ	DLYAnCMP52	<DLYAn_base> + B0 <sub>H</sub>
DLYATDIN53 遅延選択レジスタ	DLYAnCMP53	<DLYAn_base> + B4 <sub>H</sub>
DLYATDIN54 遅延選択レジスタ	DLYAnCMP54	<DLYAn_base> + B8 <sub>H</sub>
DLYATDIN55 遅延選択レジスタ	DLYAnCMP55	<DLYAn_base> + BC <sub>H</sub>
DLYATDIN56 遅延選択レジスタ	DLYAnCMP56	<DLYAn_base> + C0 <sub>H</sub>
DLYATDIN57 遅延選択レジスタ	DLYAnCMP57	<DLYAn_base> + C4 <sub>H</sub>
DLYATDIN60 遅延選択レジスタ	DLYAnCMP60	<DLYAn_base> + C8 <sub>H</sub>
DLYATDIN61 遅延選択レジスタ	DLYAnCMP61	<DLYAn_base> + CC <sub>H</sub>
DLYATDIN62 遅延選択レジスタ	DLYAnCMP62	<DLYAn_base> + D0 <sub>H</sub>
DLYATDIN63 遅延選択レジスタ	DLYAnCMP63	<DLYAn_base> + D4 <sub>H</sub>
DLYATDIN64 遅延選択レジスタ	DLYAnCMP64	<DLYAn_base> + D8 <sub>H</sub>
DLYATDIN65 遅延選択レジスタ	DLYAnCMP65	<DLYAn_base> + DC <sub>H</sub>
DLYATDIN66 遅延選択レジスタ	DLYAnCMP66	<DLYAn_base> + E0 <sub>H</sub>
DLYATDIN67 遅延選択レジスタ	DLYAnCMP67	<DLYAn_base> + E4 <sub>H</sub>
DLYATDIN70 遅延選択レジスタ	DLYAnCMP70	<DLYAn_base> + E8 <sub>H</sub>
DLYATDIN71 遅延選択レジスタ	DLYAnCMP71	<DLYAn_base> + EC <sub>H</sub>
DLYATDIN72 遅延選択レジスタ	DLYAnCMP72	<DLYAn_base> + F0 <sub>H</sub>
DLYATDIN73 遅延選択レジスタ	DLYAnCMP73	<DLYAn_base> + F4 <sub>H</sub>
DLYATDIN74 遅延選択レジスタ	DLYAnCMP74	<DLYAn_base> + F8 <sub>H</sub>
DLYATDIN75 遅延選択レジスタ	DLYAnCMP75	<DLYAn_base> + FC <sub>H</sub>
DLYATDIN76 遅延選択レジスタ	DLYAnCMP76	<DLYAn_base> + 100 <sub>H</sub>
DLYATDIN77 遅延選択レジスタ	DLYAnCMP77	<DLYAn_base> + 104 <sub>H</sub>

<DLYAn\_base> DLYAn のベース・アドレス <DLYAn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

## 22.4.2 DLYA 制御レジスタの詳細

### (1) DLYAnCTL00 - 制御レジスタ 00

DLYATDIN[3:0][7:0] 信号の遅延の有効／無効を指定します。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <DLYAn\_base> + 00<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DLYAn EN37	DLYAn EN36	DLYAn EN35	DLYAn EN34	DLYAn EN33	DLYAn EN32	DLYAn EN31	DLYAn EN30	DLYAn EN27	DLYAn EN26	DLYAn EN25	DLYAn EN24	DLYAn EN23	DLYAn EN22	DLYAn EN21	DLYAn EN20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLYAn EN17	DLYAn EN16	DLYAn EN15	DLYAn EN14	DLYAn EN13	DLYAn EN12	DLYAn EN11	DLYAn EN10	DLYAn EN07	DLYAn EN06	DLYAn EN05	DLYAn EN04	DLYAn EN03	DLYAn EN02	DLYAn EN01	DLYAn EN00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-9 DLYAnCTL00 レジスタの内容

ビット位置	ビット名称	機能
31-0	DLYAnENpq	DLYATDINpq 信号 (p = 3-0, q = 7-0) の遅延の有効／無効を指定します。 0 : DLYATDINpq 信号は遅延しません。 1 : DLYATDINpq 信号は遅延します。

**注意** 本ビットの設定は DLYATDIN[3:0][7:0] 信号が入力されていない間のみ変更可能です。

## (2) DLYAnCTL01 - 制御レジスタ 01

DLYATDIN[7:4][7:0] 信号の遅延の有効／無効を指定します。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <DLYAn\_base> + 04<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DLYAn EN77	DLYAn EN76	DLYAn EN75	DLYAn EN74	DLYAn EN73	DLYAn EN72	DLYAn EN71	DLYAn EN70	DLYAn EN67	DLYAn EN66	DLYAn EN65	DLYAn EN64	DLYAn EN63	DLYAn EN62	DLYAn EN61	DLYAn EN60
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLYAn EN57	DLYAn EN56	DLYAn EN55	DLYAn EN54	DLYAn EN53	DLYAn EN52	DLYAn EN51	DLYAn EN50	DLYAn EN47	DLYAn EN46	DLYAn EN45	DLYAn EN44	DLYAn EN43	DLYAn EN42	DLYAn EN41	DLYAn EN40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-10 DLYAnCTL01 レジスタの内容

ビット位置	ビット名称	機能
31-0	DLYAnENpq	DLYATDINpq 信号 (p = 7-4, q = 7-0) の遅延の有効／無効を指定します。 0 : DLYATDINpq 信号は遅延しません。 1 : DLYATDINpq 信号は遅延します。

**注意** 本ビットの設定は DLYATDIN[7:4][7:0] 信号が入力されていない間のみ変更可能です。

**(3) DLYAnCMPpq – 遅延選択レジスタ (p, q = 0-7)**

各 DLYATDINp 信号の遅延を PCLK サイクル単位で指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** DLYAnCMP0q : <DLYAn\_base> + 08<sub>H</sub> + p × 4  
 DLYAnCMP1q : <DLYAn\_base> + 28<sub>H</sub> + p × 4  
 DLYAnCMP2q : <DLYAn\_base> + 48<sub>H</sub> + p × 4  
 DLYAnCMP3q : <DLYAn\_base> + 68<sub>H</sub> + p × 4  
 DLYAnCMP4q : <DLYAn\_base> + 88<sub>H</sub> + p × 4  
 DLYAnCMP5q : <DLYAn\_base> + A8<sub>H</sub> + p × 4  
 DLYAnCMP6q : <DLYAn\_base> + C8<sub>H</sub> + p × 4  
 DLYAnCMP7q : <DLYAn\_base> + E8<sub>H</sub> + p × 4

**初期値** 0000 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	DLYAnCMP[11..0]											
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-11 DLYAnCMPpq レジスタの内容

ビット位置	ビット名称	機能
11-0	DLYAnCMP [11..0]	DLYATDINpq 信号が遅延する PCLK サイクル数を指定します。 設定値は、002 <sub>H</sub> -FFF <sub>H</sub> の範囲で設定する必要があります。 入力信号の 1 サイクル分より長い遅延時間は設定できません。

**注意** 本ビットの設定は DLYATDINpq 信号が入力されていない間のみ変更可能です。



## 22.5 設定手順

DLYA の動作を開始するには、以下の手順を実行してください。

1. DLYAnCMPpq レジスタを設定します (p, q = 0-7)。
2. DLYA0CTL00 と DLYA0CTL01 レジスタを設定します。
3. DLYAnCMPpq に信号を入力します (p, q = 0-7)。

## 22.6 タイミング図

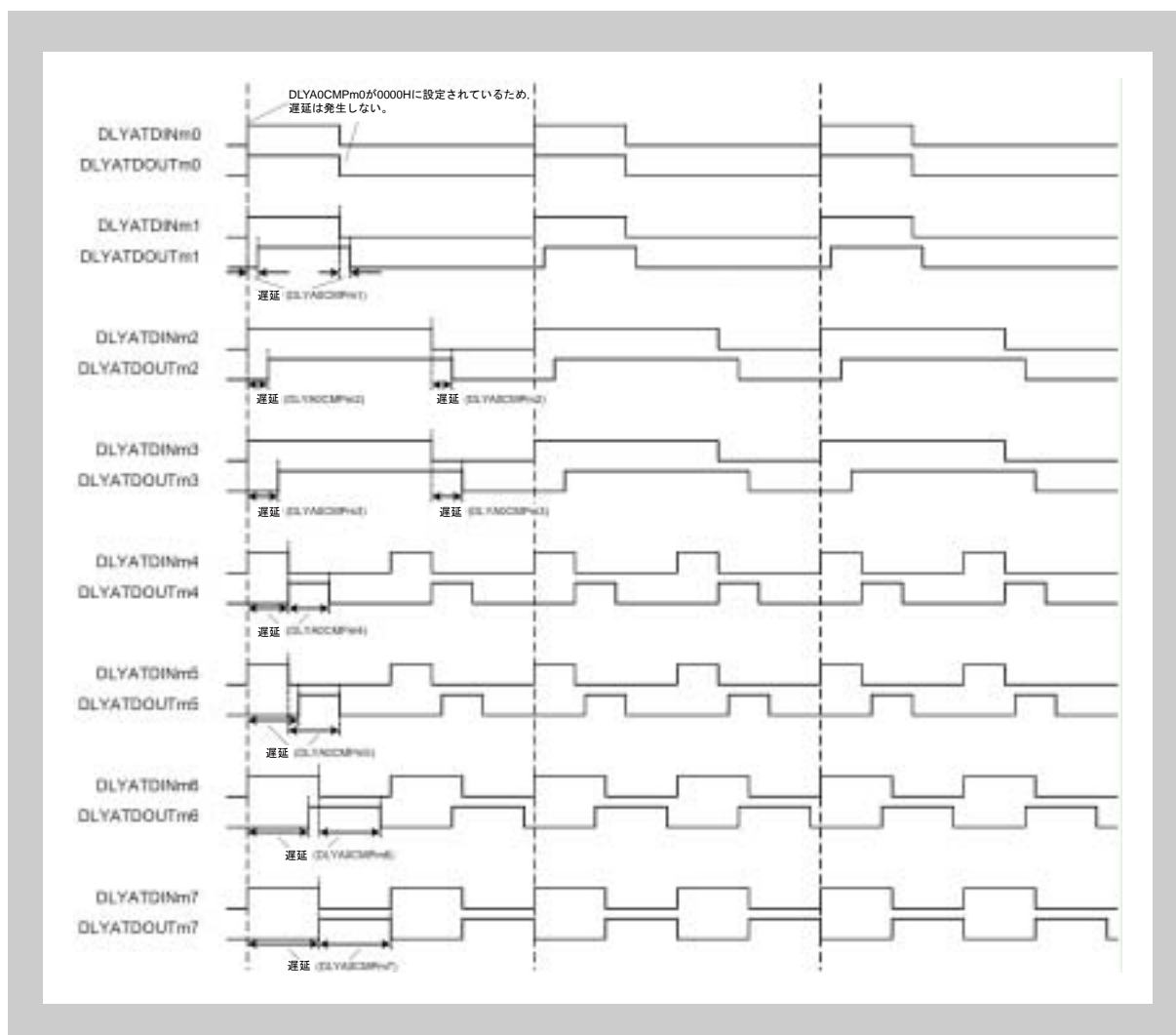


図 22-4 DLYA のタイミング図

## 第23章 PWM診断モジュール (PMCA)

この章では、PWM診断モジュール (PMCA) の一般的な内容について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、PMCA搭載製品に共通の特徴について説明します。

### 23.1 V850E2/Fx4-H の PMCA の特徴

**ユニット** この製品は次のユニット数の PMCA を搭載しています。

表 23-1 PMCA のユニット数

PWM診断モジュール	
ユニット数	1
名称	PMCA0

**n の意味** この章では、PMCA の各ユニットを「n」で識別します (n=0)。たとえば、PMCA<sub>n</sub> 制御レジスタ 0 (PMCA<sub>n</sub>CTL0) のように記述しています。

**レジスタ・アドレス** PMCA<sub>n</sub> レジスタのアドレスは、それぞれのベース・アドレス <PMCA<sub>n</sub>\_base> からのオフセットで表されます。  
各 PMCA<sub>n</sub> のレジスタ・ベース・アドレス <PMCA<sub>n</sub>\_base> を次の表に示します。

表 23-2 レジスタ・ベース・アドレス <PMCA<sub>n</sub>\_base>

PMCA <sub>n</sub> のユニット	<PMCA <sub>n</sub> _base> アドレス
PMCA0	FF81 0C00 <sub>H</sub>

**クロック供給** PMCA<sub>n</sub>には次の1つのクロック入力があります。

表 23-3 PMCA<sub>n</sub>のクロック供給

PMCA <sub>n</sub> のユニット	PMCA <sub>n</sub> のクロック	接続先
PMCA0	PCLK	クロック発生回路 CKSCLK_012

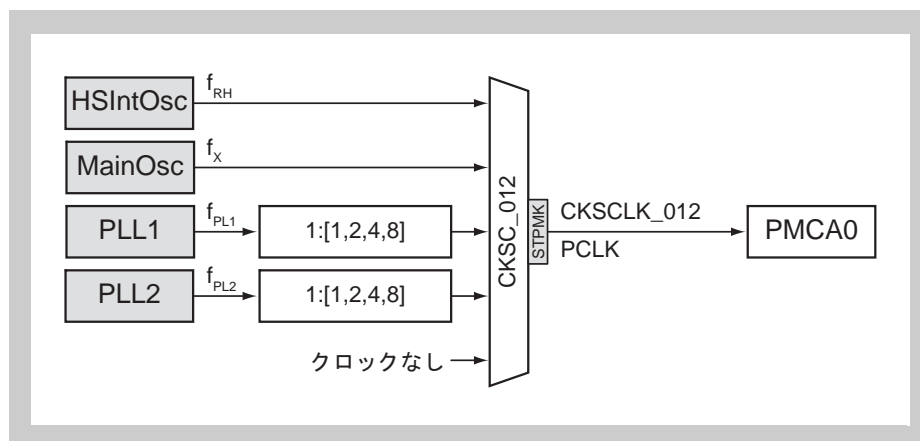


図 23-1 PMCAのクロック供給

**PMCAのハードウェア・リセット** PMCA<sub>n</sub> モジュールとそのレジスタは以下のリセット信号によって初期化されます。

表 23-4 PMCA<sub>n</sub> リセット信号

PMCA <sub>n</sub>	リセット信号
PMCA0	<ul style="list-style-type: none"> <li>コントローラをリセットする信号 (SYSRES)</li> <li>アイソレート領域 0 が DEEPSTOP モードからウエイクアップするときにリセット</li> </ul>

**I/O 信号** PMCA<sub>n</sub>の入出力信号を次の表に示します。

表 23-5 PMCA<sub>n</sub>の入出力信号

PMCA 信号	機能	接続先
<b>PMCA0:</b>		
PMCAMSEL0	外部マルチプレクサ・アドレス選択信号 0	ポート PMCA0MSEL0
PMCAMSEL1	外部マルチプレクサ・アドレス選択信号 1	ポート PMCA0MSEL1
PMCAMSEL2	外部マルチプレクサ・アドレス選択信号 2	ポート PMCA0MSEL2

PMCA<sub>n</sub>はTAU<sub>n</sub>, TAUB, TAU<sub>Cn</sub>の各信号に接続され、ADC<sub>n</sub>とのインターフェースも行います。

**内部信号** PMCA<sub>n</sub> の内部信号の接続先を次の表に示します。

表 23-6 PMCA<sub>n</sub> の内部信号

PMCA 信号	機能	接続先
<b>PMCA0:</b>		
PMCACUP	カウントアップ信号入力	カウントアップ信号入力セクタ
PMCATRGIN0 - PMCATRGIN7	トリガ生成用入力信号	トリガ生成入力信号セクタ
PMCAADTR0	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
PMCAADTR1	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
PMCAADTR2	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
PMCAADTR3	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
PMCAADTR4	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
PMCAADTR5	ADC グループ変換トリガ信号	ADCA <sub>n</sub> ハードウェア・トリガ拡張 <sup>a</sup>
ADCINTIN	ADC 変換完了フィードバック信号	PMATRGSEL.OUT
PMCAIAD	ADC 変換完了フィードバック信号 6	ADC 変換完了信号セクタ
PMCAACKDIV	クロック・ドライバ制御	DLYA PCMAACKDIV 信号

a) A/D 変換開始用のトリガ・ソースとして使用できます。詳細については、第 35 章「A/D コンバータ (ADCA)」の「ハードウェア・トリガ拡張」を参照してください。

## 23.2 PMCA 入力信号の選択

### 23.2.1 トリガ発生回路の入力信号セレクタ

トリガ発生回路 TRG0-TRG7 の入力信号は、トリガ入力セレクタ SEL0-SEL7 を使用して TAUA, TAUB, TAUC の各ソースから選択できます。

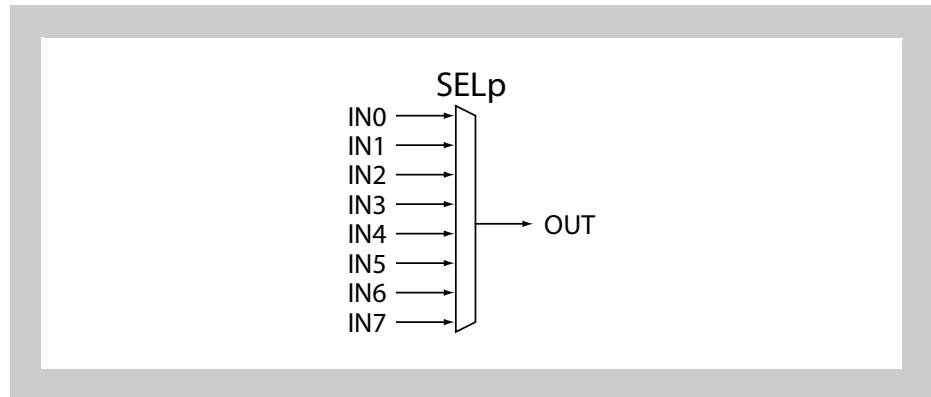


図 23-2 トリガ入力選択

## (1) TRGSLO - トリガ入力選択レジスタ 0

トリガ発生回路 TRG0 および TRG1 の設定を制御し、ADC トリガ信号生成用のタイマ信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。  
このレジスタを読み出すと常に 00<sub>H</sub> を返します。

**アドレス** FF771020<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	TRG1[2:0]			0	TRG0[2:0]		
R	W	W	W	R	W	W	W

表 23-7 TRGSEL0 レジスタの内容

ビット位置	ビット名称	機能
6-4	TRG1[2:0]	PCMATRGIN1 入力選択 : 000 <sub>B</sub> : TAUA0PCMATRGIN 001 <sub>B</sub> : TAUB1PCMATRGIN 010 <sub>B</sub> : TAUC2PCMATRGIN 011 <sub>B</sub> : TAUC3PCMATRGIN 100 <sub>B</sub> : TAUC4PCMATRGIN 101 <sub>B</sub> : TAUC5PCMATRGIN 110 <sub>B</sub> : TAUC6PCMATRGIN 111 <sub>B</sub> : TAUC7PCMATRGIN
2-0	TRG0[2:0]	PCMATRGIN0 入力選択 : 000 <sub>B</sub> : TAUA0PCMATRGIN 001 <sub>B</sub> : TAUB1PCMATRGIN 010 <sub>B</sub> : TAUC2PCMATRGIN 011 <sub>B</sub> : TAUC3PCMATRGIN 100 <sub>B</sub> : TAUC4PCMATRGIN 101 <sub>B</sub> : TAUC5PCMATRGIN 110 <sub>B</sub> : TAUC6PCMATRGIN 111 <sub>B</sub> : TAUC7PCMATRGIN

**(2) TRGSL1 - トリガ入力選択レジスタ 1**

トリガ発生回路 TRG2 および TRG3 の設定を制御し、ADC トリガ信号生成用のタイマ信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF771024<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	TRG3[2:0]			0	TRG2[2:0]		
R	W	W	W	R	W	W	W

表 23-8 TRGSEL1 レジスタの内容

ビット位置	ビット名称	機能
6-4	TRG1[2:0]	000 : TAUA0TO3 001 : TAUA0TO7 010 : TAUB1TO3 011 : TAUB1TO7 100 : TAUC2TO3 101 : TAUC2TO7 110 : TAUC3TO3 111 : TAUC3TO7
2-0	TRG0[2:0]	000 : TAUA0TO11 001 : TAUA0TO15 010 : TAUB1TO11 011 : TAUB1TO15 100 : TAUC2TO11 101 : TAUC2TO15 110 : TAUC3TO11 111 : TAUC3TO15

**(3) TRGSL2 - トリガ入力選択レジスタ 2**

トリガ発生回路 TRG4 および TRG5 の設定を制御し、ADC トリガ信号生成用のタイマ信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF771028<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	TRG5[2:0]			0	TRG4[2:0]		
R	W	W	W	R	W	W	W

表 23-9 TRGSEL2 レジスタの内容

ビット位置	ビット名称	機能
6-4	TRG1[2:0]	000 : TAUA0TO11 001 : TAUA0TO15 010 : TAUB1TO11 011 : TAUB1TO15 100 : TAUC2TO11 101 : TAUC2TO15 110 : TAUC3TO11 111 : TAUC3TO15
2-0	TRG0[2:0]	000 : TAUA0TO7 001 : TAUB1TO7 010 : TAUC2TO7 011 : TAUC3TO7 100 : TAUC4TO7 101 : TAUC5TO7 110 : TAUC6TO7 111 : TAUC7TO7



**(4) TRGSL3 - トリガ入力選択レジスタ 3**

トリガ発生回路 TRG6 および TRG7 の設定を制御し、ADC トリガ信号生成用のタイマ信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77102C<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	TRG7[2:0]			0	TRG6[2:0]		
R	W	W	W	R	W	W	W

表 23-10 TRGSEL3 レジスタの内容

ビット位置	ビット名称	機能
6-4	TRG1[2:0]	000 : TAUA0TO3 001 : TAUB1TO3 010 : TAUC2TO3 011 : TAUC3TO3 100 : TAUC4TO3 101 : TAUC5TO3 110 : TAUC6TO3 111 : TAUC7TO3
2-0	TRG0[2:0]	000 : TAUA0TO3 001 : TAUA0TO7 010 : TAUB1TO3 011 : TAUB1TO7 100 : TAUC2TO3 101 : TAUC2TO7 110 : TAUC3TO3 111 : TAUC3TO7

**(5) TRGSL4 - トリガ入力選択レジスタ 4 (診断クロック用)**

SELCLK 入力セレクタの設定を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。**アドレス** FF771030<sub>H</sub>**初期値** 00<sub>H</sub>

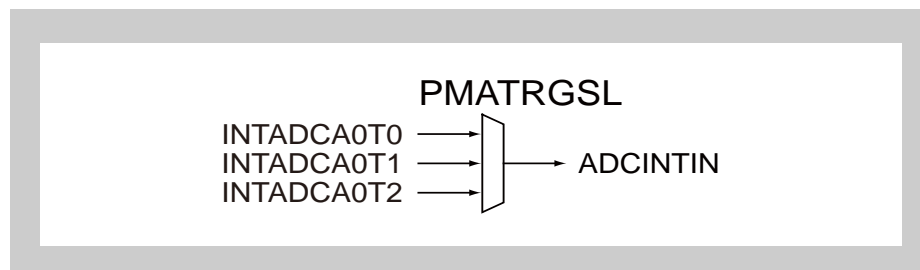
7	6	5	4	3	2	1	0
0	0	0	0	0	CUP[2:0]		
R	R	R	R	R	W	W	W

表 23-11 TRGSEL4 レジスタの内容

ビット位置	ビット名称	機能
2-0	CUP[2:0]	000 : TAUA0TO3 001 : TAUA0TO7 010 : TAUB1TO3 011 : TAUB1TO7 100 : TAUC2TO3 101 : TAUC2TO7 110 : TAUC3TO3 111 : TAUC3TO7

### 23.2.2 ADC 変換完了入力信号の選択

PMATRGSL セレクタを使用して、ADC 変換の完了を知らせるフィードバック信号を選択できます。



#### (1) PMATRGSL - ADCA0 変換完了時入力信号選択レジスタ

ADCA0 変換割り込みを選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF771038<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	PMATRGSL[1:0]	
R	R	R	R	R	R	R/W	R/W

表 23-12 PMATRGSL レジスタの内容

ビット位置	ビット名称	機能
1, 0	PMATRGSL[1:0]	ADCA0 変換完了割り込みの選択 00 <sub>B</sub> : INTADCA0T0 01 <sub>B</sub> : INTADCA0T1 1x <sub>B</sub> : INTADCA0T2

## 23.3 機能概要

**機能概要** PWM 診断モジュール (PMCA) には、次の機能があります。

- 最大 6 つの PWM 信号グループに対する ADC トリガの制御
- 最大 3 つの同期 PWM グループに対する外部マルチプレクサ用アドレス信号の制御

### 23.3.1 機能ブロック図

PMCA の主な構成要素を次のブロック図に示します。

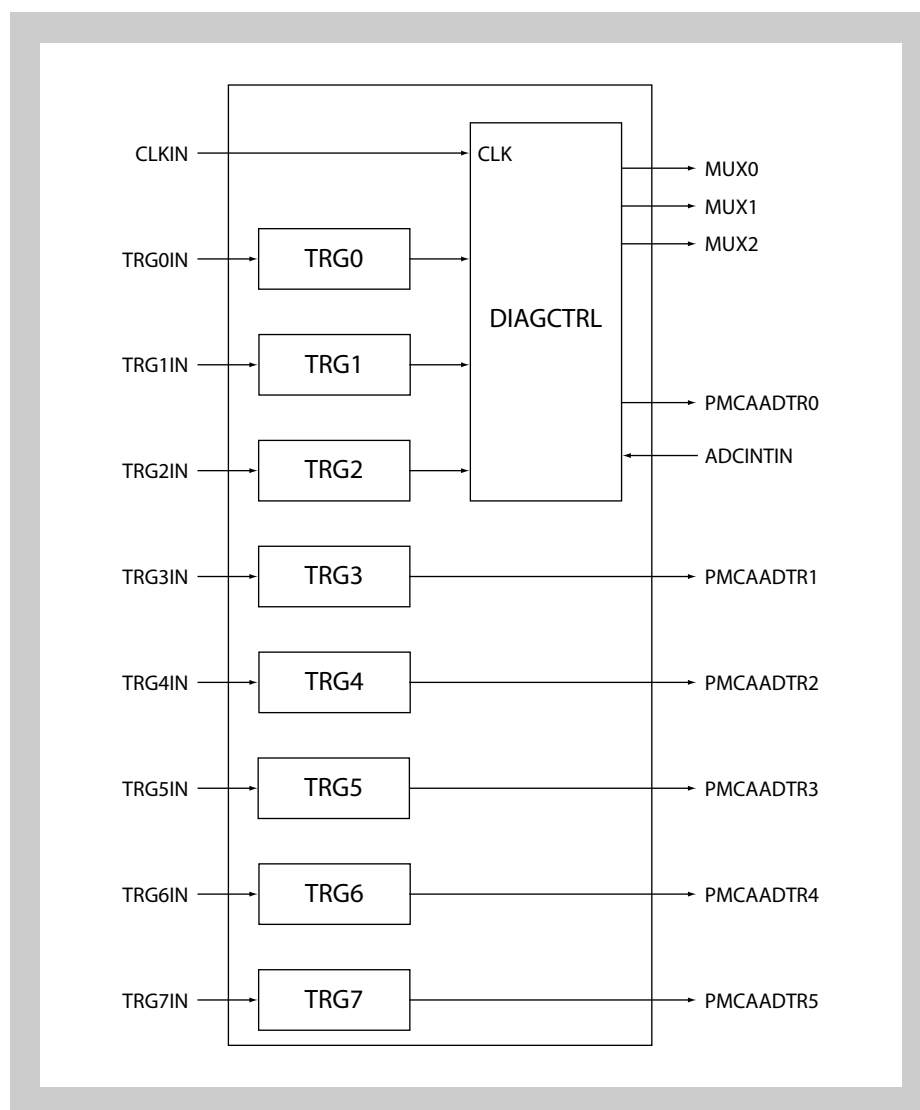


図 23-3 PMCA のブロック図

### 23.3.2 用語

この章で使用されている用語について説明します。

- PWM 信号** 周期とデューティ・サイクルによって定義される PWM 信号。  
周期とは、PWM 信号の立ち上がりエッジから次の立ち上がりエッジまでの時間を指します。値は信号の  $1/f$  に相当します ( $f$  = 信号の周波数)。  
デューティ・サイクルとは、信号の周期全体に対してハイ・レベルである期間の割合を指します。  
自動診断に使用する PWM 信号は必ずハイ・レベルで始まる必要があります。
- PWM グループ** 同じ周期をもつ PWM 信号
- チャンネル間の遅延** あるチャンネルの立ち上がりエッジから別のチャンネルの立ち上がりエッジまでの期間

## 23.4 機能説明

### 23.4.1 機能ブロックの説明

図 23-3 「PMCA のブロック図」内の主なブロックを次に示します。

- トリガ発生回路** トリガ発生回路 TRG0-TRG7 は、指定した入力信号のタイミングに同期して ADC 変換グループに対するトリガ・イベントを生成します。
- 診断の制御** DIAGCTRL ブロックは動作タイミングを生成し、外部マルチプレクサの切り替えに関する信号を生成し、接続されている ADC トリガ・グループの動作開始をトリガします。

### 23.4.2 信号の説明

PWM 診断モジュール (PMCA) に関する信号について、次に説明します。

- CLKIN** CLKIN 信号により、自動診断機能で使用する最も低速な PWM 周波数の周期が決まります。
- MUX0-2** 3本の出力信号 MUX0-MUX2 により、8:1 信号マルチプレクサ用のアドレス信号が生成されます。外部マルチプレクサを使用することにより、自動診断に必要な ADC チャンネルの数を減らすことができます。
- PMCAADTR0-5** PMCAADTR 信号により、ほかの PWM グループのタイミングに同期する ADC ユニットへのトリガ情報を確認できます。
- ADCINTIN** ADCINTIN 信号により、PMCAADTR0 でトリガされた変換が完了したときに該当する ADC ユニットから送信されるフィードバック情報を確認できます。

## 23.5 レジスタ

この節では、PMCA<sub>n</sub> モジュールのすべてのレジスタについて説明します。

### 23.5.1 PWM 診断モジュール・レジスタの概要

PMCA は、次のレジスタで制御、動作します。

表 23-13 PMCA レジスタ一覧

レジスタ名	略号	アドレス
制御レジスタ		
制御レジスタ 0	PMCA <sub>n</sub> CTL0	<PMCA <sub>n</sub> _base> + 00 <sub>H</sub>
制御レジスタ 1	PMCA <sub>n</sub> CTL1	<PMCA <sub>n</sub> _base> + 04 <sub>H</sub>
制御レジスタ 2	PMCA <sub>n</sub> CTL2	<PMCA <sub>n</sub> _base> + 28 <sub>H</sub>
ステータス・レジスタ		
ステータス・レジスタ	PMCA <sub>n</sub> STR	<PMCA <sub>n</sub> _base> + 2C <sub>H</sub>
コンペア・レジスタ		
コンペア・レジスタ 0	PMCA <sub>n</sub> CMP0	<PMCA <sub>n</sub> _base> + 08 <sub>H</sub>
コンペア・レジスタ 1	PMCA <sub>n</sub> CMP1	<PMCA <sub>n</sub> _base> + 0C <sub>H</sub>
コンペア・レジスタ 2	PMCA <sub>n</sub> CMP2	<PMCA <sub>n</sub> _base> + 10 <sub>H</sub>
コンペア・レジスタ 3	PMCA <sub>n</sub> CMP3	<PMCA <sub>n</sub> _base> + 14 <sub>H</sub>
コンペア・レジスタ 4	PMCA <sub>n</sub> CMP4	<PMCA <sub>n</sub> _base> + 18 <sub>H</sub>
コンペア・レジスタ 5	PMCA <sub>n</sub> CMP5	<PMCA <sub>n</sub> _base> + 1C <sub>H</sub>
コンペア・レジスタ 6	PMCA <sub>n</sub> CMP6	<PMCA <sub>n</sub> _base> + 20 <sub>H</sub>
コンペア・レジスタ 7	PMCA <sub>n</sub> CMP7	<PMCA <sub>n</sub> _base> + 24 <sub>H</sub>

<PMCA<sub>n</sub>\_base> PMCA<sub>n</sub> のベース・アドレス <PMCA<sub>n</sub>\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

## 23.5.2 PMCA 制御レジスタの詳細

### (1) PMCA<sub>n</sub>CTL0 – PMCA 制御レジスタ 0

PWM ディレイ・ユニット (DLYA) とマルチプレクサ・コントローラの動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <PMCA<sub>n</sub>\_base> + 00<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
PMCA <sub>n</sub> EN7	PMCA <sub>n</sub> EN6	PMCA <sub>n</sub> EN5	PMCA <sub>n</sub> EN4	PMCA <sub>n</sub> EN3	PMCA <sub>n</sub> EN2	PMCA <sub>n</sub> EN1	PMCA <sub>n</sub> EN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-14 PMCA<sub>n</sub>CTL0 レジスタの内容

ビット位置	ビット名称	機能
7-0	PMCA <sub>n</sub> EN <sub>m</sub>	Delay_m モジュールの有効/無効を指定します。 0 : 診断ブロック m に対する診断を無効にします。 1 : 診断ブロック m に対する診断を有効にします。
2-0		外部マルチプレクサのアドレス信号 MUX2-MUX0 の有効/無効を指定します。 000 : MUX2-MUX0 = 000 <sub>B</sub> , PMCAADTR0 = 0 上記以外 : MUX2-MUX および PMCAADTR0 は動作中

**注意** 本レジスタの任意のビットを 1 に設定する場合は、PMCA<sub>n</sub> のほかのレジスタをすべて初期化した後に行ってください。

**備考** PMCA<sub>n</sub>CTL0.PMCA<sub>n</sub>EN2 の値を 0 にクリアした場合、3 ビットのカウンタに値がリロードされた後に有効になります。  
PMCA<sub>n</sub>CTL0.PMCA<sub>n</sub>EN7 の値を 3 に設定した場合、値はただちに有効になります。



**(2) PMCACTL1 – PMCA 制御レジスタ 1**

PMCA<sub>n</sub> モジュールの動作クロックに対する全般的な分周回路を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <PMCA<sub>n</sub>\_base> + 04<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PMCA <sub>n</sub> DIV
R	R	R	R	R	R	R	R/W

表 23-15 PMCACTL1 レジスタの内容

ビット位置	ビット名称	機能
0	PMCA <sub>n</sub> DIV	モジュールの動作クロックの分周比を指定します。 0 : PCLK/256 1 : PCLK/128

**注意** 本レジスタは、PMCACTL0 = 0 時のみ設定可能です。

**(3) PMCACTL2 – PMCA 制御レジスタ 2**

このレジスタは停止操作を制御します。

PMCACTL0 レジスタが xxxxx000B でない時に、故障等により意図しないトリガが PMCA<sub>n</sub>TRGIN2-0 に入った場合、MUX 制御ブロック内の 3bit カウンタはカウントアップできません。そのため MUX 制御部は停止できなくなります。

この状況を避けるために、PMCACTL1 を除くすべての PMCA レジスタは PMCA<sub>n</sub>STP=1 の設定により初期化されます。それにより、MUX 制御部も初期化されます。

このレジスタの読み出し値は常に 00H です。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <PMCA<sub>n</sub>\_base> + 28<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
PMCA <sub>n</sub> STP	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R

表 23-16 PMCACTL2 レジスタの内容

ビット位置	ビット名称	機能
7	PMCA <sub>n</sub> STP	マクロ緊急停止を実行します。 0 : PMCA レジスタを初期化しません。 1 : PMCACTL1 レジスタ以外の全 PMCA レジスタが初期化されます。

**(4) PMCA<sub>n</sub>STR – PMCA ステータス・レジスタ**

このレジスタは PMCA<sub>n</sub>CTL0 レジスタのステータスを示します。

動作中に PMCA<sub>n</sub>CTL0 レジスタを設定し、MUX 制御ブロック向けのトリガ種類 (TRG0<sub>n</sub>/TRG1<sub>n</sub>/TRG2<sub>n</sub>) を変更する際、トリガ種類が正しく変更されたか確認するために使用します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <PMCA<sub>n</sub>\_base> + 2C4<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	PMCA <sub>n</sub> E NF2	PMCA <sub>n</sub> E NF1	PMCA <sub>n</sub> E NF0
R	R	R	R	R	R	R	R

表 23-17 PMCA<sub>n</sub>CTL1 レジスタの内容

ビット位置	ビット名称	機能
2	PMCA <sub>n</sub> ENF2	0 : PMCA0CTL0.PMCA0EN2=0 設定中 1 : PMCA0CTL0.PMCA0EN2=1 設定中
1	PMCA <sub>n</sub> ENF1	0 : PMCA0CTL0.PMCA0EN1=0 設定中 1 : PMCA0CTL0.PMCA0EN1=1 設定中
0	PMCA <sub>n</sub> ENF0	0 : PMCA0CTL0.PMCA0EN0=0 設定中 1 : PMCA0CTL0.PMCA0EN0=1 設定中

**(5) PMCA<sub>n</sub>CMP<sub>m</sub> - PMCA コンペア・レジスタ**

ADC トリガ信号生成用のタイミング値を設定します。

ADC トリガがトリガ・ブロック m に対して生成される PWM グループのチャンネル間遅延と同じ値を設定する必要があります (m = 0-7)。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** PMCA<sub>n</sub>CMP0 : <PMCA<sub>n</sub>\_base> + 08<sub>H</sub>  
 PMCA<sub>n</sub>CMP1 : <PMCA<sub>n</sub>\_base> + 0C<sub>H</sub>  
 PMCA<sub>n</sub>CMP2 : <PMCA<sub>n</sub>\_base> + 10<sub>H</sub>  
 PMCA<sub>n</sub>CMP3 : <PMCA<sub>n</sub>\_base> + 14<sub>H</sub>  
 PMCA<sub>n</sub>CMP4 : <PMCA<sub>n</sub>\_base> + 18<sub>H</sub>  
 PMCA<sub>n</sub>CMP5 : <PMCA<sub>n</sub>\_base> + 1C<sub>H</sub>  
 PMCA<sub>n</sub>CMP6 : <PMCA<sub>n</sub>\_base> + 20<sub>H</sub>  
 PMCA<sub>n</sub>CMP7 : <PMCA<sub>n</sub>\_base> + 24<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	0	0	0	PMCA <sub>n</sub> TP[11:8]			
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PMCA <sub>n</sub> TP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23-18 PMCA<sub>n</sub>CMP<sub>m</sub> レジスタの内容

ビット位置	ビット名称	機能
11-0	PMCA <sub>n</sub> TP [11:0]	タイミング値 PMCA <sub>n</sub> CTL0.PMCA <sub>n</sub> EN を 1 に設定する前に、これらのビットに 1 またはそれ以上の値を設定してください。

**注意** 本マクロの動作中 (PMCA<sub>n</sub>CTL0.PMCA<sub>n</sub>EN = 1) は、本レジスタの設定を変更することはできません。

## 23.6 設定, 書き込み, 読み出しの手順

以降の各項では, PMCA の設定と使用の手順を説明します。

### 23.6.1 PMCA<sub>n</sub> モジュールの初期設定

システム・リセット後に PMCA<sub>n</sub> モジュールを初期化するには, 以下の順序でレジスタに書き込みしてください。

1. PMCA<sub>n</sub>CTL1 レジスタを設定します。
2. PMCA<sub>n</sub>CMPm レジスタを設定します。
3. PMCA<sub>n</sub>CTL0 レジスタを設定します。
4. PMCA<sub>n</sub>CUP と PMCA<sub>n</sub>TRGIN[7:0] に信号を入力します。

### 23.6.2 診断実行中 (PMCA<sub>n</sub>CTL0 ≠ 0) の PMCA<sub>n</sub>CTL0 レジスタ値の変更

診断の実行中に PMCA<sub>n</sub>CTL0 レジスタの値を変更するには, 以下の順序でレジスタに書き込んでください。

1. 変更後の値を PMCA<sub>n</sub>CTL0 レジスタに設定します。
2. PMCA<sub>n</sub>CTL0.PMCA<sub>n</sub>EN2 ビットの値が 0 にクリアされた場合, 設定値は 3 ビットのカウンタに値がリロードされた後に有効になります。  
PMCASTR レジスタを読み出し, PMCA<sub>n</sub>CTL0 の変更後の値が有効になっていることを確認します。

### 23.6.3 診断動作の停止

診断動作をただちに停止するには, PMCA<sub>n</sub>CTL0.PMCA<sub>n</sub>STP に 1 をセットしてください。

### 23.6.4 診断動作停止後の PMCA<sub>n</sub>CTL0 レジスタ値の変更

PMCA<sub>n</sub>CTL2.PMCA<sub>n</sub>STP に 1 をセットして診断動作を停止した場合, 診断動作を再び有効にするには以下の手順を行ってください。

1. PMCA<sub>n</sub>CUP と PMCA<sub>n</sub>TRGIN[7:0] への信号入力をすべて停止します。
2. PMCA<sub>n</sub>CMPm レジスタを設定します。
3. PMCA<sub>n</sub>CTL0 レジスタを設定します。
4. PMCA<sub>n</sub>CUP と PMCA<sub>n</sub>TRGIN[7:0] に信号を入力します。

## 第 24 章 アシクロナス・シリアル・インタフェース E (UARTE<sub>n</sub>)

### 24.1 V850E2/Fx4-H の UARTE<sub>n</sub> の機能

**チャンネル** この製品は次のチャンネル数のアシクロナス・シリアル・インタフェース機能を搭載しています。

表 24-1 UARTE<sub>n</sub> のチャンネル数

アシクロナス・シリアル・インタフェース E	V850E2/FK4-H	V850E2/FL4-H
チャンネル数	12	
名称	UARTE0-UARTE11	

**n の意味** この章では、アシクロナス・シリアル・インタフェース E の各チャンネルを「n」で識別します (n = 0-11)。たとえば、UARTE<sub>n</sub> 制御レジスタ 0 (URTE<sub>n</sub>CTL0) のように記述しています。

**レジスタ・アドレス** UARTE<sub>n</sub> レジスタのアドレスは、それぞれベース・アドレス <URTE<sub>n</sub>\_base> からのオフセットで表されます。

各 UARTE<sub>n</sub> のレジスタ・ベース・アドレス <URTE<sub>n</sub>\_base> を次の表に示します。

表 24-2 UARTE<sub>n</sub> レジスタ・ベース・アドレス <URTE<sub>n</sub>\_base>

チャンネル名	<URTE <sub>n</sub> _base> アドレス
UARTE0	FF5C 0000 <sub>H</sub>
UARTE1	FF5D 0000 <sub>H</sub>
UARTE2	FF5E 0000 <sub>H</sub>
UARTE3	FF5F 0000 <sub>H</sub>
UARTE4	FF60 0000 <sub>H</sub>
UARTE5	FF61 0000 <sub>H</sub>
UARTE6	FF62 0000 <sub>H</sub>
UARTE7	FF63 0000 <sub>H</sub>
UARTE8	FF64 0000 <sub>H</sub>
UARTE9	FF65 0000 <sub>H</sub>
UARTE10	FF66 0000 <sub>H</sub>
UARTE11	FF67 0000 <sub>H</sub>

**クロック供給** UARTE<sub>n</sub>には次の1つのクロック入力があります。

表 24-3 UARTE<sub>n</sub>のクロック供給

UARTE <sub>n</sub>	UARTE クロック	クロック接続先
UARTE0	PCLK	クロック・コントローラ CKSCLK_112
UARTE1	PCLK	クロック・コントローラ CKSCLK_112
UARTE2	PCLK	クロック・コントローラ CKSCLK_114
UARTE3	PCLK	クロック・コントローラ CKSCLK_114
UARTE4	PCLK	クロック・コントローラ CKSCLK_114
UARTE5	PCLK	クロック・コントローラ CKSCLK_114
UARTE6	PCLK	クロック・コントローラ CKSCLK_114
UARTE7	PCLK	クロック・コントローラ CKSCLK_114
UARTE8	PCLK	クロック・コントローラ CKSCLK_114
UARTE9	PCLK	クロック・コントローラ CKSCLK_114
UARTE10	PCLK	クロック・コントローラ CKSCLK_011
UARTE11	PCLK	クロック・コントローラ CKSCLK_011

**割り込み** UARTE<sub>n</sub>の割り込みを次の表に示します。割り込みはそれぞれのLIN マスタ・コントローラ (LMA<sub>n</sub>)に入力されます。

表 24-4 UARTE<sub>n</sub>の割り込み

UARTE <sub>n</sub> 信号	機能	接続先
INTUAEnTIT	送信割り込み	LMA <sub>n</sub> INTUAEnIT
INTUAEnTIR	受信割り込み	LMA <sub>n</sub> INTUAEnIR
INTUAEnTIS	ステータス割り込み	LMA <sub>n</sub> INTUAEnIS
INTUAEnTRA	受信/ステータス割り込み	接続されていません。

**UARTE ハードウェア・リセット** UARTE とそのレジスタは次のリセット信号によって初期化されます。

表 24-5 UARTE<sub>n</sub> リセット信号 I

UARTE <sub>n</sub>	リセット信号
UARTE <sub>n</sub>	リセット・コントローラ SYSRES

**入出力信号** UARTE<sub>n</sub>の入出力信号を次の表に示します。

表 24-6 UARTE の入出力信号

UARTE <sub>n</sub> 信号	機能	接続先
URTE <sub>n</sub> TTXD	送信データ出力	ポート (URTE <sub>n</sub> RX 端子)
URTE <sub>n</sub> TRXD	受信データ入力	ポート (URTE <sub>n</sub> TX 端子)

**注意** アシクロナス・シリアル・インタフェースE (UARTE<sub>n</sub>) の受信データ入力端子 (URTE<sub>n</sub>RX) にポート・フィルタが割り当てられています (初期値が有効です) が、UARTE<sub>n</sub> 内部にフィルタがありますので、UARTE<sub>n</sub> を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

URTE0RX : FCLA26CTL4 = 80<sub>H</sub>  
 URTE1RX : FCLA26CTL5 = 80<sub>H</sub>  
 URTE2RX : FCLA27CTL0 = 80<sub>H</sub>  
 URTE3RX : FCLA27CTL1 = 80<sub>H</sub>  
 URTE4RX : FCLA27CTL2 = 80<sub>H</sub>  
 URTE5RX : FCLA27CTL3 = 80<sub>H</sub>  
 URTE6RX : FCLA27CTL4 = 80<sub>H</sub>  
 URTE7RX : FCLA27CTL5 = 80<sub>H</sub>  
 URTE8RX : FCLA27CTL6 = 80<sub>H</sub>  
 URTE9RX : FCLA27CTL7 = 80<sub>H</sub>  
 URTE10RX : FCLA7CTL0 = 80<sub>H</sub>  
 URTE11RX : FCLA7CTL1 = 80<sub>H</sub>

**ポーレート測定** UARTE11-10 受信データ信号は、タイマ・アレイ・ユニットAのキャプチャ入力に内部接続されています。

また、UARTE9-0 受信データ信号は、タイマ・アレイ・ユニットBのキャプチャ入力に内部接続されています。

表 24-7 UARTE<sub>n</sub> のタイマ接続

チャンネル名	UARTE <sub>n</sub> 信号	機能	接続先
UARTE0	URTE0RX	受信データ入力	TAUB1 TAUB1TTIN0
UARTE1	URTE1RX	受信データ入力	TAUB1 TAUB1TTIN1
UARTE2	URTE2RX	受信データ入力	TAUB1 TAUB1TTIN2
UARTE3	URTE3RX	受信データ入力	TAUB1 TAUB1TTIN3
UARTE4	URTE4RX	受信データ入力	TAUB1 TAUB1TTIN4
UARTE5	URTE5RX	受信データ入力	TAUB1 TAUB1TTIN5
UARTE6	URTE6RX	受信データ入力	TAUB1 TAUB1TTIN6
UARTE7	URTE7RX	受信データ入力	TAUB1 TAUB1TTIN7
UARTE8	URTE8RX	受信データ入力	TAUA0 TAUA0TTIN2
UARTE9	URTE9RX	受信データ入力	TAUA0 TAUA0TTIN3
UARTE10	URTE10RX	受信データ入力	TAUA0 TAUA0TTIN0
UARTE11	URTE11RX	受信データ入力	TAUA0 TAUA0TTIN1

UARTE7-0 (URTE7RX-URTE0RX) の詳細は、16.2 「TAUB 入力の選択」を参照してください。

UARTE11-8 (URTE11RX-URTE8RX) の詳細は、15.2 「TAUA 入力の選択」を参照してください。

## 24.2 機能の概要

- 全二重通信
  - UARTEn 受信データ・レジスタ n 内蔵 (URTEnRX)
  - UARTEn 送信データ・レジスタ n 内蔵 (URTEnTX)
- 2 端子構成 :
  - URTEnTTXD : 送信データ出力端子
  - URTEnTRXD : 受信データ入力端子
- 受信エラーとステータス出力機能
  - パリティ・エラー
  - フレーミング・エラー
  - オーバラン・エラー
  - データ一貫性エラー
- 割り込み要求 : 4 種類
  - 送信割り込み INTUAEnTIT
  - 受信割り込み INTUAEnTIR
  - ステータス割り込み INTUAEnTIS
  - 受信/ステータス割り込み INTUAEnTRA
- キャラクタ長 : 7, 8 ビット
- パリティ機能 : 奇数, 偶数, 0, なし
- 送信ストップ・ビット : 1, 2 ビット
- MSB ファースト / LSB ファーストを切り換え可能
- 送信 / 受信データの出力 / 入力の反転が可能
- LIN (Local Interconnect Network) 通信フォーマットの BF (ブレーク・フィールド) を 13-20 ビットに設定可能
  - LIN 通信フォーマットの BF 受信で 11 ビット以上を認識可能
  - BF 受信フラグあり
- データ通信中に BF 受信の検出が可能
- 送信データのデータ一貫性を保つバス・モニタ機能



### 24.3 構成

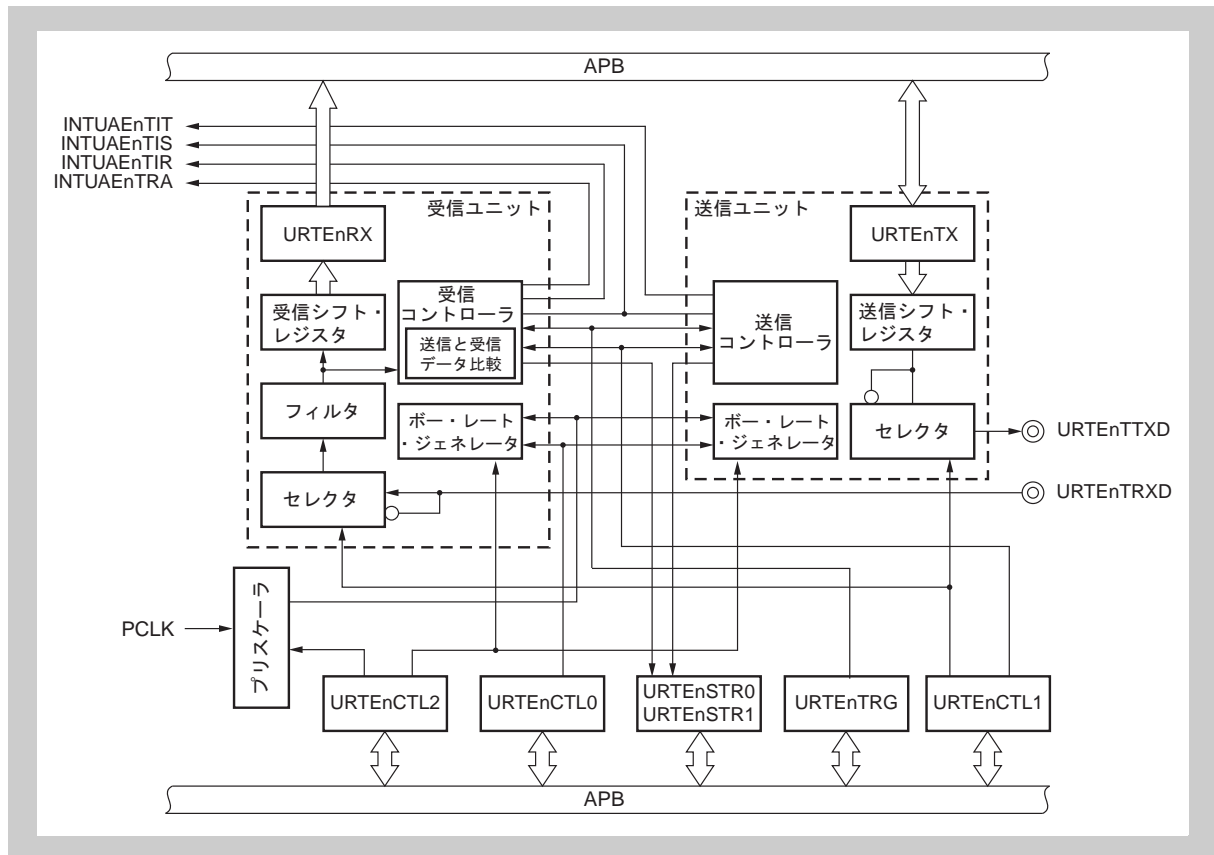


図 24-1 非同期シリアル・インタフェース UARTEn のブロック図

## 24.4 UARTEn レジスタ

UARTEn は、次のレジスタで制御、動作します。

表 24-8 UARTEn レジスタ

レジスタ機能	名称	アドレス
制御レジスタ 0	URTEnCTL0	<URTEn_base> + 00 <sub>H</sub>
制御レジスタ 1	URTEnCTL1	<URTEn_base> + 20 <sub>H</sub>
制御レジスタ 2	URTEnCTL2	<URTEn_base> + 24 <sub>H</sub>
トリガ・レジスタ	URTEnTRG	<URTEn_base> + 04 <sub>H</sub>
ステータス・レジスタ 0	URTEnSTR0	<URTEn_base> + 08 <sub>H</sub>
ステータス・レジスタ 1	URTEnSTR1	<URTEn_base> + 0C <sub>H</sub>
ステータス・クリア・レジスタ	URTEnSTC	<URTEn_base> + 10 <sub>H</sub>
受信データ・レジスタ	URTEnRX	<URTEn_base> + 14 <sub>H</sub>
送信データ・レジスタ	URTEnTX	<URTEn_base> + 18 <sub>H</sub>
エミュレーション・レジスタ	URTEnEMU	<URTEn_base> + 34 <sub>H</sub>

<URTEn\_base> UARTEn のレジスタ・ベース・アドレス <URTEn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

## (1) URTEnCTL0 - UARTEn 制御レジスタ 0

UARTEn のシリアル転送動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <URTEn\_base> + 00<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
URTEn PW	URTEn TXE	URTEn RXE	0	0	0	0	URTEn SLDC
R/W	R/W	R/W	R	R	R	R	R/W

表 24-9 URTEnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	URTEnPw	UARTEn の動作許可 0 : UARTEn の動作禁止 1 : UARTEn の動作許可 このビットを変更すると、すべての送信ユニットと受信ユニットが初期化されます。
6	URTEnTXE	送信許可 0 : 送信動作を禁止 1 : 送信動作を許可 <ul style="list-style-type: none"> <li>送信を開始するには、URTEnPw をセット (1) したあと、URTEnTXE をセット (1) します。送信を停止するには、URTEnTXE をクリア (0) したあと、URTEnPw をクリア (0) します (URTEnTXE と URTEnPw ビットを同時にクリア (0) することも可能です)。</li> <li>送信ユニットを初期化するには、URTEnTXE をクリア (0) し、プリスケラ・クロックの 2 周期分の時間を経過してから、再度 URTEnTXE をセット (1) します (プリスケラ・クロックについては (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。</li> </ul>
5	URTEnRXE	受信許可 0 : 受信動作を禁止 1 : 受信動作を許可 <ul style="list-style-type: none"> <li>受信を許可するには、URTEnPw をセット (1) したあと、URTEnRXE をセット (1) します。受信を停止するには、URTEnRXE をクリア (0) したあと、URTEnPw をクリア (0) します (URTEnRXE と URTEnPw ビットを同時にクリア (0) することも可能です)。</li> <li>受信ユニットを初期化するには、URTEnRXE を 0 にクリア (0) し、プリスケラ・クロックの 2 周期分の時間を経過してから、再度 URTEnRXE をセット (1) します。URTEnRXE がセット (1) されてからプリスケラ・クロックの 2 周期分の時間を経過してから、受信が許可されます。URTEnRXE がセット (1) されてから 4 プリスケラ・クロック・サイクルが経過すると、URTEnTRXD 信号の立ち上がりエッジの検出が可能になります (プリスケラ・クロックについては (3) 「URTEnCTL2 - UARTEn 制御レジスタ 2」を参照してください)。</li> </ul>
0	URTEnSLDC	データ一貫性チェックの有効/無効 0 : 一貫性チェック無効 1 : 一貫性チェック有効 データ送信時にデータ一貫性エラー・チェックを有効にするかどうかを選択します。 セット (1) した場合、送信データと受信データの比較を行います。比較の結果不一致が検出されると、URTEnSTR1.URTEnDCE がセット (1) され、ステータス割り込み要求 INTUAEnTIS が発生します。 このビットは送信開始時のみ参照されます。したがって、このビットの値を送信処理中に変更しても、後続の送信処理は送信開始時の設定に応じて実行されます。

**注意** 1. UARTEn が次の状態をすべて満たす場合、送信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中、または送信完了状態

受信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnTXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されるためです。上記手順を実行することによって、データ転送中またはデータ転送完了後に送信を禁止した際にデータ一貫性エラーが発生しなくなります。

2. UARTEn が次の状態をすべて満たす場合、受信を禁止してください。

- 送受信許可時 (URTEnCTL0.URTEnPW = URTEnRXE = URTEnTXE = 1)
- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- 送信中または送信完了状態

送信許可状態に保つには、次の手順に従ってください。

- 保留されている送信がないことを確認します (URTEnSTR0.URTEnSSBT = URTEnSST = 0)。
- 保留されている受信がないことを確認します (URTEnSTR0.URTEnSSBR = URTEnSSR = 0)。
- URTEnCTL0.URTEnRXE を 0 に設定して受信を禁止します。

この手順を実行するのは、URTEnCTL0.URTEnRXE をクリア (0) するとデータ一貫性エラー・フラグ URTEnSTR1.URTEnDCE がクリア (0) されて無効になるためです。上記手順を実行することによって、すでに送信されたデータに対するデータ一貫性エラーは発生しなくなります。

3. 次の状態をすべて満たす場合、データの送信を開始しないでください。

- データ一貫性チェックが有効 (URTEnCTL0.URTEnSLDC = 1)
- BF 受信許可時 (URTEnSTR0.URTEnSSBR = 1)
- 受信中の BF 検出禁止時 (URTEnCTL1.URTEnSLBM = 0)

上記の場合、BF の受信が完了したときにデータ一貫性エラーが発生します。このとき、ステータス割り込み INTUAEnTIS が発生し、BF の受信完了は発生しません (URTEnSTR1.URTEnBSF は 0 を保持)。したがって、BF の受信完了は認識されません。

## (2) URTEnCTL1 - UARTEn 制御レジスタ 1

UARTEn シリアル・データ転送で使用するデータ・フレームの特性を指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <URTEn\_base> + 20<sub>H</sub>

**初期値** 5002<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnSLBM	URTEnBLG[2:0]			0	0	0	URTEnCLG
R/W	R/W	R/W	R/W	R	R	R	R/W
7	6	5	4	3	2	1	0
URTEnSLP[1:0]	URTEnTDL	URTEnRDL	0	URTEnSLG	URTEnSLD	URTEnSLIT	
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 24-10 URTEnCTL1 レジスタの内容 (1/3)

ビット位置	ビット名	機能																																				
15	URTEnSLBM	BF 受信モード選択 0 : データ受信中の BF の受信を禁止 1 : データ受信中の BF の受信を許可 • このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) にのみ変更できます。																																				
14-12	URTEnBLG[2:0]	送信時の BF ビット長 <table border="1"> <thead> <tr> <th>URTEnBLG2</th><th>URTEnBLG1</th><th>URTEnBLG0</th><th>BF 長</th></tr> </thead> <tbody> <tr><td>1</td><td>0</td><td>1</td><td>13 ビット</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>14 ビット</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>15 ビット</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>16 ビット</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>17 ビット</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>18 ビット</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>19 ビット</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>20 ビット</td></tr> </tbody> </table> これらのビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。	URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長	1	0	1	13 ビット	1	1	0	14 ビット	1	1	1	15 ビット	0	0	0	16 ビット	0	0	1	17 ビット	0	1	0	18 ビット	0	1	1	19 ビット	1	0	0	20 ビット
URTEnBLG2	URTEnBLG1	URTEnBLG0	BF 長																																			
1	0	1	13 ビット																																			
1	1	0	14 ビット																																			
1	1	1	15 ビット																																			
0	0	0	16 ビット																																			
0	0	1	17 ビット																																			
0	1	0	18 ビット																																			
0	1	1	19 ビット																																			
1	0	0	20 ビット																																			
8	URTEnCLG	送信/受信データ・ビット長 0 : 7 ビット 1 : 8 ビット • LIN フォーマットで送信/受信を行うときは、URTEnCLG をセット (1) してください。 • このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。																																				

表 24-10 URTEnCTL1 レジスタの内容 (2/3)

ビット位置	ビット名	機能																						
7, 6	URTEnSLP[1:0]	<p>パリティ・ビット選択</p> <table border="1"> <thead> <tr> <th rowspan="2">URTEnSLP1</th> <th rowspan="2">URTEnSLP0</th> <th colspan="2">動作</th> </tr> <tr> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットなしで出力</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力(0に固定)</td> <td>パリティを判定しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判定を行う</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>受信中に「パリティを判定しない受信」を選択した場合、パリティ・チェックは行われません。したがって、URTEnSTR1.URTEnPE ビットがセット(1)されないため、エラー割り込みは出力されません。</li> <li>LIN フォーマットで送信／受信を行うときは、URTEnPE ビットがセット(1)されず、パリティ・エラーによるエラー割り込みも出力されません。</li> <li>これらのビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できません。</li> </ul>	URTEnSLP1	URTEnSLP0	動作		送信	受信	0	0	パリティ・ビットなしで出力	パリティなしで受信	0	1	0パリティを出力(0に固定)	パリティを判定しない	1	0	奇数パリティを出力	奇数パリティとして判定を行う	1	1	偶数パリティを出力	偶数パリティとして判定を行う
URTEnSLP1	URTEnSLP0	動作																						
		送信	受信																					
0	0	パリティ・ビットなしで出力	パリティなしで受信																					
0	1	0パリティを出力(0に固定)	パリティを判定しない																					
1	0	奇数パリティを出力	奇数パリティとして判定を行う																					
1	1	偶数パリティを出力	偶数パリティとして判定を行う																					
5	URTEnTDL	<p>送信データ・レベル制御</p> <p>0: 送信データ出力反転無効 1: 送信データ出力反転有効</p> <ul style="list-style-type: none"> <li>このビットを使って URTEnTTXD 信号の出力レベルを反転させることができます。このビットをセット (1) すると、ただちに URTEnTTXD の出力レベルを反転します。したがって、動作禁止時に URTEnTDL をセット (1) すると、URTEnTTXD はロウ・レベルを出力します。</li> <li>このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) のときだけ変更できます。</li> </ul>																						
4	URTEnRDL	<p>受信データ・レベル制御</p> <p>0: 受信データ入力反転無効 1: 受信データ入力反転有効</p> <ul style="list-style-type: none"> <li>このビットを使って URTEnTRXD 信号の入力レベルを反転させることができます。このビットをセット (1) すると、ただちに URTEnTRXD の入力レベルを反転します。したがって、動作禁止時に URTEnRDL をセット (1) すると、URTEnTRXD にはロウ・レベルが入力されます。</li> <li>このビットは、受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE = 0) のときだけ変更できます。</li> </ul>																						

表 24-10 URTEnCTL1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	URTEnSLG	<p>送信データのストップ・ビット数の選択</p> <p>0 : 1 ビット 1 : 2 ビット</p> <ul style="list-style-type: none"> <li>データまたは BF の受信時、ストップ・ビット長は常に 1 として処理されます。</li> <li>このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。</li> </ul>
1	URTEnSLD	<p>転送方向選択</p> <p>0 : MSB ファースト転送 1 : LSB ファースト転送</p> <ul style="list-style-type: none"> <li>データまたは BF の受信時、ストップ・ビット長は常に 1 として処理されます。</li> <li>LIN フォーマットで送信／受信を行うときは、URTEnSLD をセット (1) してください。</li> <li>このビットは、送受信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnRXE, URTEnCTL0.URTEnTXE = 0) にのみ変更できます。</li> </ul>
0	URTEnSLIT	<p>送信割り込み要求 (INTUAEnTIT) 発生タイミング選択</p> <p>0 : 送信データが送信シフト・レジスタに格納され、送信を開始する際に INTUAEnTIT を発生します。 1 : 送信完了時に INTUAEnTIT を発生します。</p> <ul style="list-style-type: none"> <li>このビットは、送信禁止時 (URTEnCTL0.URTEnPW = 0 または URTEnCTL0.URTEnTXE = 0) にのみ変更できます。</li> </ul>

**(3) URTEnCTL2 - UARTEn 制御レジスタ 2**

UARTEn シリアル・データ転送で 사용되는ボー・レートを指定します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <URTEn\_base> + 24<sub>H</sub>

**初期値** EFFF<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8
URTEnPRS[2:0]			0	URTEnBRS[11:8]			
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
URTEnBRS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24-11 URTEnCTL2 レジスタの内容

ビット位置	ビット名	機能																						
15-13	URTEn PRS[2:0]	プリスケラ・クロック (PRCLK) 分周値 0 : PRCLK = PCLK / 2 <sup>0</sup> 1 : PRCLK = PCLK / 2 <sup>1</sup> 2 : PRCLK = PCLK / 2 <sup>2</sup> 3 : PRCLK = PCLK / 2 <sup>3</sup> 4 : PRCLK = PCLK / 2 <sup>4</sup> 5 : PRCLK = PCLK / 2 <sup>5</sup> 6 : PRCLK = PCLK / 2 <sup>6</sup> 7 : PRCLK = PCLK / 2 <sup>7</sup>																						
11-0	URTEn BRS[11:0]	ボー・レート・クロック (BRCLK) 分周値 <table border="1"> <thead> <tr> <th>URTEn BRS[11:0]</th><th>送信/受信 BRCLK</th><th>BF 受信クロック</th></tr> </thead> <tbody> <tr> <td>000<sub>H</sub></td><td rowspan="5">PRCLK/ (2 × 4)</td><td rowspan="5">PRCLK/ 4</td></tr> <tr> <td>001<sub>H</sub></td></tr> <tr> <td>002<sub>H</sub></td></tr> <tr> <td>003<sub>H</sub></td></tr> <tr> <td>004<sub>H</sub></td></tr> <tr> <td>005<sub>H</sub></td><td>PRCLK/ (2 × 5)</td><td>PRCLK/ 5</td></tr> <tr> <td>...</td><td>PRCLK/ (2 × URTEnBRS[11:0])</td><td>PRCLK/ URTEnBRS[11:0]</td></tr> <tr> <td>FFE<sub>H</sub></td><td>PRCLK/ (2 × 4094)</td><td>PRCLK/ 4094</td></tr> <tr> <td>FFF<sub>H</sub></td><td>PRCLK/ (2 × 4095)</td><td>PRCLK/ 4095</td></tr> </tbody> </table>	URTEn BRS[11:0]	送信/受信 BRCLK	BF 受信クロック	000 <sub>H</sub>	PRCLK/ (2 × 4)	PRCLK/ 4	001 <sub>H</sub>	002 <sub>H</sub>	003 <sub>H</sub>	004 <sub>H</sub>	005 <sub>H</sub>	PRCLK/ (2 × 5)	PRCLK/ 5	...	PRCLK/ (2 × URTEnBRS[11:0])	PRCLK/ URTEnBRS[11:0]	FFE <sub>H</sub>	PRCLK/ (2 × 4094)	PRCLK/ 4094	FFF <sub>H</sub>	PRCLK/ (2 × 4095)	PRCLK/ 4095
URTEn BRS[11:0]	送信/受信 BRCLK	BF 受信クロック																						
000 <sub>H</sub>	PRCLK/ (2 × 4)	PRCLK/ 4																						
001 <sub>H</sub>																								
002 <sub>H</sub>																								
003 <sub>H</sub>																								
004 <sub>H</sub>																								
005 <sub>H</sub>	PRCLK/ (2 × 5)	PRCLK/ 5																						
...	PRCLK/ (2 × URTEnBRS[11:0])	PRCLK/ URTEnBRS[11:0]																						
FFE <sub>H</sub>	PRCLK/ (2 × 4094)	PRCLK/ 4094																						
FFF <sub>H</sub>	PRCLK/ (2 × 4095)	PRCLK/ 4095																						

**注意** このレジスタは、UARTEn 動作禁止時 (URTEnCTL0.URTEnPW = 0) にも書き込み可能です。

**PCLK** UARTEn 入力クロックの値は、この章の最初の節内「クロック供給」で定義している、ドメイン・クロックのクロックソース ID の設定値から算出してください。



**(4) URTEnTRG - UARTEn トリガ・レジスタ**

BF の UARTEn 送信／受信トリガを制御します。

**アクセス** 8/1 ビット単位でリード／ライト可能です。

**アドレス** <URTEn\_base> + 04<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	URTEn BRT	URTEn BTT	0	0	0	0	0
R	R/W	R/W	R	R	R	R	R

表 24-12 URTEnTRG レジスタの内容 (1/2)

ビット位置	ビット名	機能
6	URTEnBRT	<p>BF 受信トリガ</p> <p>0 : 読み出し値は常に 0 になり, 0 の書き込みは無視されます。</p> <p>1 : BF の受信許可</p> <ul style="list-style-type: none"> <li>受信許可時にこのビットをセット (1) することによって BF の受信を許可し (URTEnSTR0.URTEnSSBR = 1), 受信シリアル信号の立ち下がリエッジ検出によって BF の受信処理を開始します。</li> <li>受信処理中にこのビットをセット (1) すると, 進行中の受信処理が終了します。このとき, 受信データは格納されず, 受信していたデータに基づいてフレーミング・エラー・ビット, パリティ・エラー・ビット, オーバフロー・エラー・ビットが更新されることもなく, 割り込みも発生しません。この間 BF カウンタ値は継続的に使用されます。</li> <li>BF 受信後は, URTEnCTL1.URTEnSLBM の設定に従って受信ステータスが設定されます。</li> <li>このビットは, 受信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnRXE = 1) にのみセット (1) できます。</li> </ul> <p>URTEnBRT がセット (1) されると, URTEnCTL1.URTEnSLBM の設定に応じて, 次のいずれかの方法で BF の受信完了が発生します。</p> <ul style="list-style-type: none"> <li>URTEnCTL1.URTEnSLBM = 0 の場合 BF の受信が完了すると, 受信割り込み要求 INTUAEnTIR が発生します。</li> <li>URTEnCTL1.URTEnSLBM = 1 の場合 BF の受信が完了すると, URTEnSTR1.URTEnBSF がセット (1) され, ステータス割り込み要求 INTUAEnTIS が発生します。</li> </ul>

表 24-12 URTEnTRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	URTEnBTT	<p>BF 送信トリガ</p> <p>0 : 読み出し値は常に 0 になり、0 の書き込みは無視されます。</p> <p>1 : BF の送信許可</p> <ul style="list-style-type: none"> <li>• URTEnSTR0.URTEnSSBT = 0 かつ送信許可時 (URTEnDCE = 0) にこのビットをセット (1) すると、BF 送信要求が設定され、URTEnSSBT がセット (1) されます。</li> <li>• データ送信中にこのビットをセット (1) すると、現在の送信処理が完了したあとで BF が送信されます。BF の送信が完了する前にこのビットをセット (1) しても、BF は 1 回しか送信されません。</li> <li>• 送信許可時 (URTEnPW = URTEnTXE = 1) にこのビットをセット (1) すると、それまでに設定されていた未送信のデータ送信要求はすべてクリア (0) され、BF 送信要求だけが残ります。このビットをセット (1) したあとに URTEnTX7-URTEnTX0 ビットへの書き込みが行われた場合、BF が送信されたあとでデータが送信されます。</li> <li>• 送信開始時に BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。</li> <li>• URTEnDCE = 1 の場合は、このビットに 1 を書き込んでも無視されます。</li> <li>• このビットは、送信許可時 (URTEnCTL0.URTEnPW = URTEnCTL0.URTEnTXE = 1) にのみセット (1) できます。</li> <li>• URTEnCTL0.URTEnPW = 1, URTEnCTL0.URTEnRXE = 1, URTEnCTL1.URTEnSLBM = 0 の状態で BF を送信する場合は、URTEnTRG.URTEnBRT = 1 を書き込んだ後に URTEnTRG.URTEnBTT = 1 を書き込み、BF を送信してください。 (URTEnTRG.URTEnBTT = 1 を先に書き込むと、フレーミングエラーが発生する場合があります)。</li> </ul>

**(5) URTEnSTR0 - UARTEn ステータス・レジスタ 0**

シリアル・データ送信の現在の状態を示します。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <URTEn\_base> + 08<sub>H</sub>

**初期値** 00<sub>H</sub> すべてのリセット要因および URTEnCTL0.URTEnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

	7	6	5	4	3	2	1	0
	0	URTEnSSBR <sup>a</sup>	URTEnSSBT <sup>b</sup>	0	0	0	URTEnSSR <sup>a</sup>	URTEnSST <sup>b</sup>
	R	R	R	R	R	R	R	R

- a) このビットは、URTEnCTL0.URTEnRXE = 0 によって受信が禁止されたときにも初期化されます。
- b) これらのビットは、URTEnCTL0.URTEnTXE = 0 によって送信が禁止されたときにも初期化されます。

表 24-13 URTEnSTR0 レジスタの内容

ビット位置	ビット名	機能
6	URTEnSSBR	BF 受信許可／禁止状態表示 0 : BF 受信禁止状態 1 : URTEnTRG.URTEnBRT のセット (1) による BF 受信許可状態 (BF 受信スタンバイ・モードまたは BF 受信ビジー)
5	URTEnSSBT	BF 送信許可／禁止状態表示 0 : BF 送信禁止状態 1 : URTEnTRG.URTEnBTT のセット (1) による BF 送信許可状態 (BF 送信スタンバイ・モードまたは BF 送信ビジー)
1	URTEnSSR	データ受信状態 0 : データ受信処理外 1 : データ受信 (データ受信ビジー)
0	URTEnSST	データ送信状態 0 : 進行中または保留中の送信なし 1 : URTEnTX[7:0] 内データの送信を保留中、または進行中

**(6) URTEnSTR1 - UARTEn ステータス・レジスタ 1**

シリアル・データ送信の結果を示します。

**アクセス** 8ビット単位でリード可能です。**アドレス** <URTEn\_base> + 0C<sub>H</sub>**初期値** 00<sub>H</sub> すべてのリセット (1) 要因および URTEnCTL0.URTEnPW = 0 → 1 または 1 → 0 と変更されたときに初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTEnBSF <sup>a</sup>	URTEnDCE <sup>b</sup>	URTEnPE <sup>a</sup>	URTEnFE <sup>a</sup>	URTEnOVE <sup>a</sup>
R	R	R	R	R	R	R	R

- a) これらのビットは、URTEnCTL0.URTEnRXE = 0 によって受信が禁止されたときも初期化されます。
- b) このビットは、URTEnCTL0.URTEnTXE = 0 によって送信が禁止されたときも初期化されます。

表 24-14 URTEnSTR1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
4	URTEnBSF	BF 受信成功フラグ 0: URTEnCTL1.URTEnSLBM = 1 のとき BF 受信なし 1: URTEnCTL1.URTEnSLBM = 1 のとき BF 受信成功 LIN 通信時、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認してください。 URTEnBSF ビットは、次のいずれかの設定によりクリア (0) します。 - URTEnCTL0.URTEnPW = 1 - URTEnCTL0.URTEnRXE = 0 - URTEnCTL1.URTEnSLBM = 0 - URTEnSTC.URTEnCLBS = 1
3	URTEnDCE	データー貫性エラー・フラグ 0: 送信データ/受信データ (送信 BF / 受信 BF) の不一致なし 1: 送信データ/受信データ (送信 BF / 受信 BF) の不一致検出 LIN 通信時に BF 受信モード選択ビットをセット (1) した場合、ステータス割り込み処理によってこのビットを読み出して新しいフレーム・スロットの開始を確認する必要があります。 URTEnDCE ビットは、次の設定によってクリア (0) されます。 • URTEnCTL0.URTEnPW = 0 or • URTEnCTL0.URTEnTXE = 0 or • URTEnSTC.URTEnCLDC = 1
2	URTEnPE	パリティ・エラー・フラグ 0: 受信データ内にパリティ・エラーなし 1: 受信データ内にパリティ・エラー検出 URTEnPE の動作は URTEn.URTEnSLP[1:0] の設定によって制御されます。 URTEnPE ビットは、次の設定によってクリア (0) されます。 • URTEnCTL0.URTEnPW = 0 or • URTEnCTL0.URTEnRXE = 0 or • URTEnSTC.URTEnCLP = 1
1	URTEnFE	フレーミング・エラー・フラグ 0: 受信データ内にフレーミング・エラーなし 1: 受信データ内にフレーミング・エラー検出 URTEnFE ビットは、次の設定によってクリア (0) されます。 • URTEnCTL0.URTEnPW = 0 or • URTEnCTL0.URTEnRXE = 0 or • URTEnSTC.URTEnCLF = 1

表 24-14 URTEnSTR1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	URTEnOVE	<p>オーバーラン・エラー・フラグ</p> <p>0: 受信データ内にオーバーラン・エラーなし 1: 受信データ内にオーバーラン・エラー検出</p> <p>オーバーラン・エラーが発生した場合、そのデータは破棄され、次の受信データも受信データ・レジスタ URTEnRX に書き込まれません。 URTEnOVE ビットは、次の設定によってクリア (0) されます。</p> <ul style="list-style-type: none"> <li>• URTEnCTL0.URTEnPW = 0 or</li> <li>• URTEnCTL0.URTEnRXE = 0 or</li> <li>• URTEnSTC.URTEnCLOV = 1</li> </ul>

**備考** このレジスタのビットに対してセット (1) とクリア (0) が同時に起こった場合、セット (1) が優先されます。

エラー検出の詳細は、24.6.5「送信データ一貫性チェック」および 24.6.9「受信エラー」を参照してください。

**注意** 送受信許可時に一貫性チェック・エラーが発生 (URTEnSTR1.URTEnDCE = 1) した場合、後続のデータを転送する前に次の手順を実行してください。

- URTEnCTL0.URTEnTXE を 0 に設定して送信を禁止します。
- URTEnCTL0.URTEnTXE を 1 に設定して送信を許可します。
- URTEnTRG.URTEnBTT (BT 送信トリガ) をセット (1) するか、URTEnTX に任意のデータを書き込んで送信を開始します。

これで新しい送信を開始できる状態になります。

## (7) URTEnSTC - UARTEn ステータス・クリア・レジスタ

URTEnSTR1 (ステータス・レジスタ 1) のステータス・ビットをクリア (0) します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。  
このレジスタを読み出すと常に 00<sub>H</sub> を返します。

**アドレス** <URTEn\_base> +10<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	URTEn CLBS	URTEn CLDC	URTEn CLP	URTEn CLF	URTEn CLOV
R	R	R	R/W	R/W	R/W	R/W	R/W

表 24-15 URTEnSTC レジスタの内容

ビット位置	ビット名	機能
4	URTEnCLBS	BF 受信成功フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnBSF がクリア (0) されます。
3	URTEnCLDC	データ一貫性エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnDCE がクリア (0) されます。 このビットをセット (1) することで URTEnDCE をクリア (0) すると、保留中のデータや BF 送信要求はすべて無視されます。
2	URTEnCLP	パリティ・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnPE がクリア (0) されます。
1	URTEnCLF	フレーミング・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnFE がクリア (0) されます。
0	URTEnCLOV	オーバラン・エラー・フラグ・クリア 0: 0 の書き込みは無視されます。 1: 1 を書き込むと URTEnSTR1.URTEnOVE がクリア (0) されます。

**(8) URTEnRX - UARTEn 受信データ・レジスタ**

受信データを格納します。

1バイトのデータ受信が完了すると、受信シフト・レジスタに格納されたデータがURTEnRXに転送されます。

**アクセス** 8ビット単位でリード可能です。

**アドレス** <URTEn\_base> + 14<sub>H</sub>

**初期値** FF<sub>H</sub> すべてのリセット要因およびURTEnCTL0.URTEnPWビットを0→1に設定しUARTEnの動作が許可されたときに初期化されます。

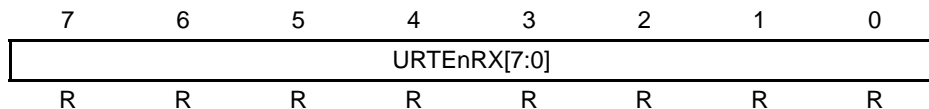


表 24-16 URTEnRx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnRX[7:0]	UARTEn 受信データ

**7ビット転送** データ長が7ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された受信データは転送方向 (MSB ファースト / LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト受信 (URTEnCTL1.URTEnSLD = 1) の場合、受信データはURTEnRX[6:0]に転送され、データのMSBであるURTEnRX[7]は常に0になります。
- MSB ファースト受信 (URTEnCTL1.URTEnSLD = 0) の場合、受信データはURTEnRX[7:1]に転送され、データのLSBであるURTEnRX[0]は常に0になります。

データ・フォーマットの詳細は、24.6.1「データ・フォーマット」を参照してください。

**オーバラン・エラー** オーバラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合、そのときの受信データはURTEnRXに転送されず、破棄されます。

受信処理が終了し、オーバラン・エラーが発生せずにデータが受信されたことを確認した場合、指定された格納フォーマットで受信データがURTEnRXに格納されます。

このレジスタは、UARTEn動作禁止時 (URTEnCTL0.URTEnPW = 0) に書き込み可能です。UARTEnの動作が許可 (URTEnCTL0.URTEnPW = 1) されると、このレジスタはそれまで書き込まれた値を無視して初期値に戻ります。

**(9) URTEnTX - UARTEn 送信データ・レジスタ**

送信するデータを格納します。

URTEnTX 内の送信データは、指定された送信データ・フォーマットで送信シフト・レジスタに格納されます。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <URTEn\_base> + 18<sub>H</sub>

**初期値** FF<sub>H</sub> どのリセット要因でも初期化されます。

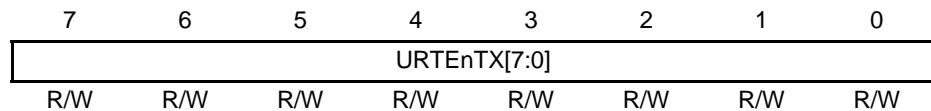


表 24-17 URTEnTx レジスタの内容

ビット位置	ビット名	機能
7-0	URTEnTX[7:0]	UARTEn 送信データ

送受信許可時 (URTEnCTL0.URTEnPW = URTEnTXE = 1) にこのレジスタへの書き込みを行うと、送信が起動されます。

**7 ビット転送** データ長が7ビットに指定されている (URTEnCTL1.URTEnCLG = 0) 場合、このレジスタに格納された送信データは転送方向 (MSB ファースト/LSB ファースト) の指定に応じて次のように転送されます。

- LSB ファースト送信 (URTEnCTL1.URTEnSLD = 1) の場合、URTEnTX[6:0] がシフト・レジスタへ転送されます。
- MSB ファースト送信 (URTEnCTL1.URTEnSLD = 0) の場合、データの LSB である URTEnTX[0] は常に 0 に設定され、URTEnTX[7:1] がシフト・レジスタへ転送されます。

データ・フォーマットの詳細は、24.6.1「データ・フォーマット」を参照してください。

**備考** 処理中のデータ送信が完了する前に次のデータをこのレジスタに書き込んだ場合、転送の完了を待って、次のデータを送信することで連続転送を行うことができます。



**(10) URTEEnEMU - URTEEn エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <URTEEn\_base> + 34<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

	7	6	5	4	3	2	1	0
URTEEn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 24-18 URTEEnEMU レジスタの内容

ビット位置	ビット名	機能
7	URTEEn SVSDIS	(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 24.5 割り込み要求信号

UARTEnからは次の4種類の割り込み要求信号を発生します。

- 送信割り込み要求 INTUAEnTIT
- 受信割り込み要求 INTUAEnTIR
- ステータス割り込み要求 INTUAEnTIS
- 受信/ステータス割り込み要求 INTUAEnTRA

### 24.5.1 送信割り込み要求 INTUAEnTIT

送信割り込み要求の発生条件は、URTECTL1.URTEenSLITの設定に依存します。

- 送信処理の開始時：URTECTL1.URTEenSLIT = 0  
最初のビット（データ送信の最初のビット、またはBF送信の最初のBF）が送信されると、送信割り込み要求が発生します。
- 送信処理の終了時：URTECTL1.URTEenSLIT = 1  
送信の最後のビット（ストップ・ビット長が1の場合最初のストップ・ビット、ストップ・ビット長が2の場合2番目のストップ・ビット）が送信されると、送信割り込み要求が発生します。

**備考** データ一貫性チェック・エラーが検出されてもこの割り込みは発生しません。  
送信処理の開始時と終了時の送信割り込み要求の発生タイミングを、それぞれ次の図に示します。

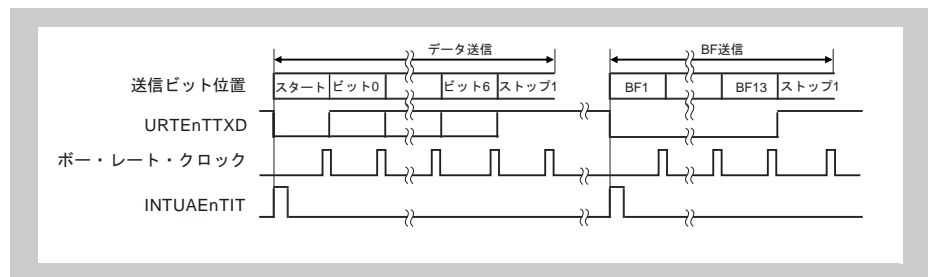


図 24-2 URTECTL1.URTEenSLIT = 0 のときの送信割り込み要求発生タイミング

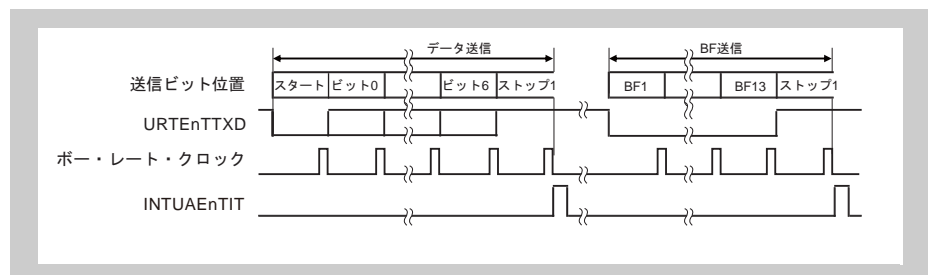


図 24-3 URTECTL1.URTEenSLIT = 1 のときの送信割り込み要求発生タイミング

### 24.5.2 受信割り込み要求 INTUAEnTIR

ストップ・ビットの最初のビットがサンプリングされると、受信割り込み要求が発生します。

受信時にエラーが生じた場合は、INTUAEnTIR ではなくステータス割り込み INTUAEnTIS を発生します。

受信禁止状態中は、受信割り込み要求 INTUAEnTIR は発生しません。

データ／BF 受信中の受信割り込み要求の発生タイミングを次の図に示します。

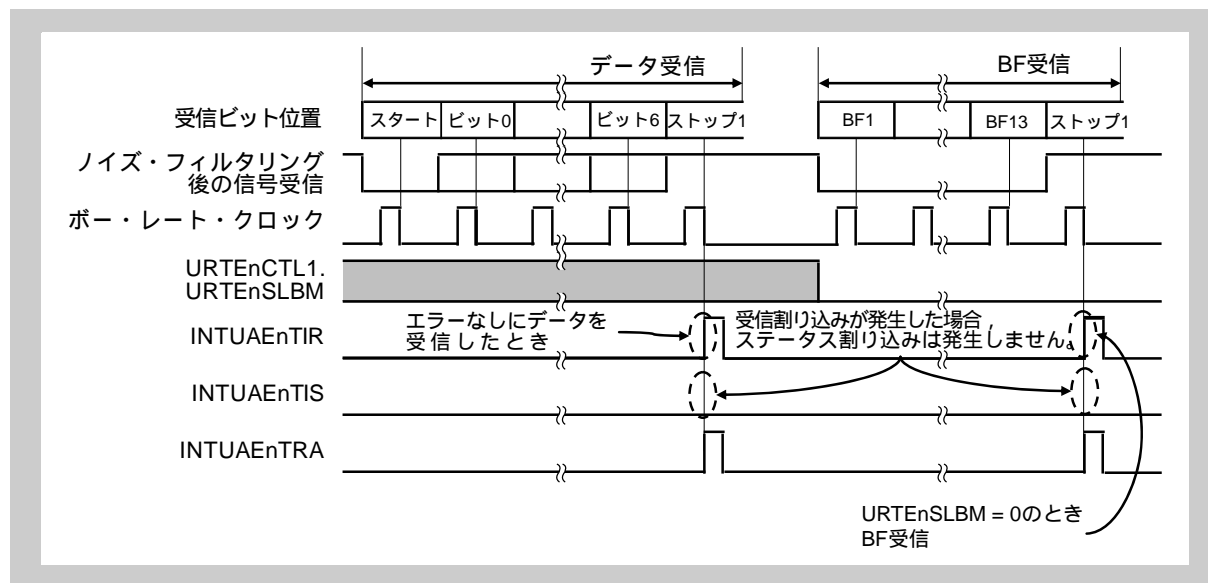


図 24-4 受信割り込み要求の発生タイミング

### 24.5.3 ステータス割り込み要求 INTUAEnTIS

受信中または送信中にエラー条件が発生すると、URTEnSTR1（ステータス・レジスタ 1）の設定に応じてステータス割り込み要求が発生します。

LIN 通信時に BF 受信を許可（URTEnCTL1.URTEnSLBM = 1）にすると、11 ビット以上の連続的なロウ・レベル（BF）が受信された際にステータス割り込み要求信号が発生します。

### 24.5.4 受信／ステータス割り込み要求 INTUAEnTRA

受信割り込み要求またはステータス割り込み要求が発生した場合、受信／ステータス割り込み要求が発生します。すなわち、以下の関係となっています。

INTUAEnTRA = INTUAEnTIR または INTUAEnTIS

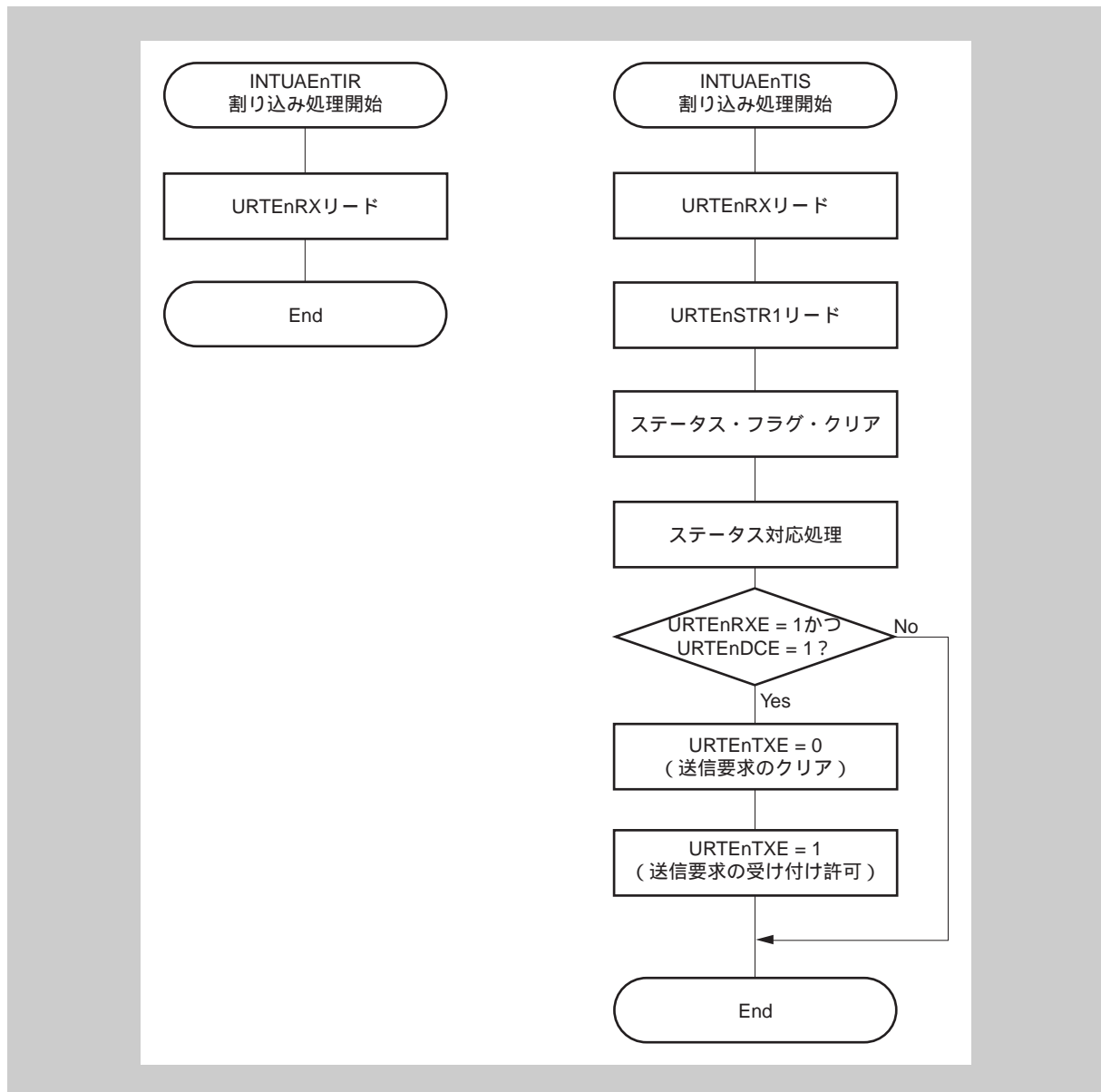


図 24-5 割り込み発生後処理フロー

## 24.6 動作

### 24.6.1 データ・フォーマット

全二重シリアル・データの受信と送信を行います。

送受信データのフォーマットは、次の図に示すようにスタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

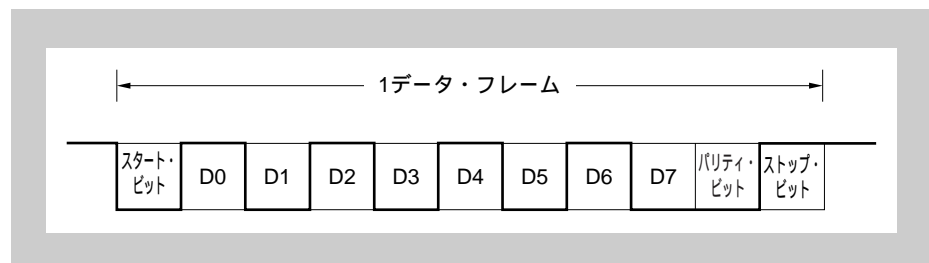
URTEnCTL1レジスタの制御ビットを使って送信／受信データ・フレームの複数の特性を指定することができます。

表 24-19 データ・フォーマットの仕様

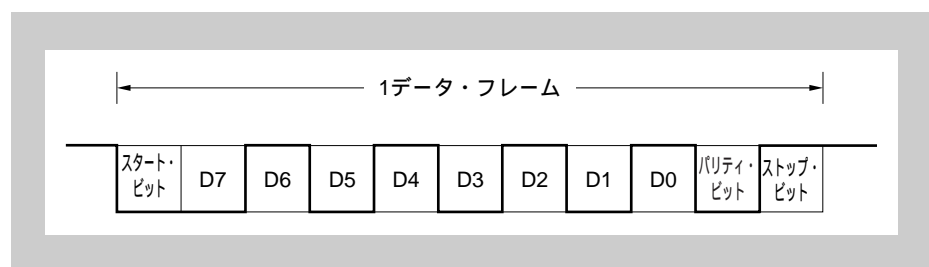
項目	オプション	制御ビット
スタート・ビット	1ビット	固定
キャラクタ・ビット	7ビット／8ビット	URTEnCTL1.URTEnCLG
パリティ	偶数パリティ／奇数パリティ／0／なし	URTEnCTL1.URTEnSLP[1:0]
ストップ・ビット数	1ビット／2ビット	URTEnCTL1.URTEnSLG
データ順序	MSB ファースト／LSB ファースト	URTEnCTL1.URTEnSLD
送信データ・レベル	反転／非反転	URTEnCTL1.URTEnTDL
受信データ・レベル	反転／非反転	URTEnCTL1.URTEnRDL

#### (1) UARTEnの送信／受信データ・フォーマット

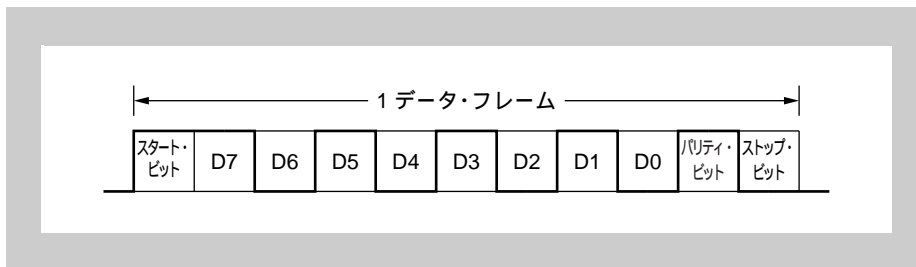
- (a) 8ビット・データ長, LSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55<sub>H</sub>



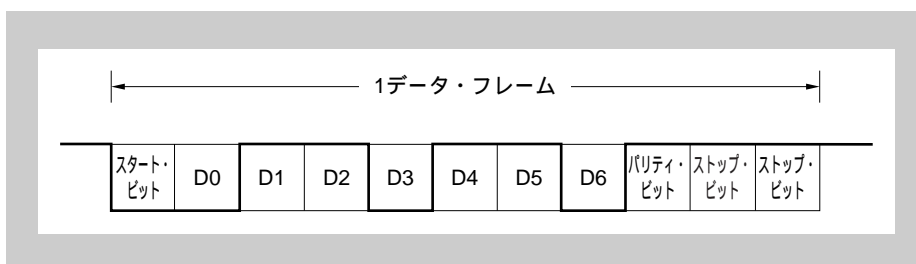
- (b) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55<sub>H</sub>



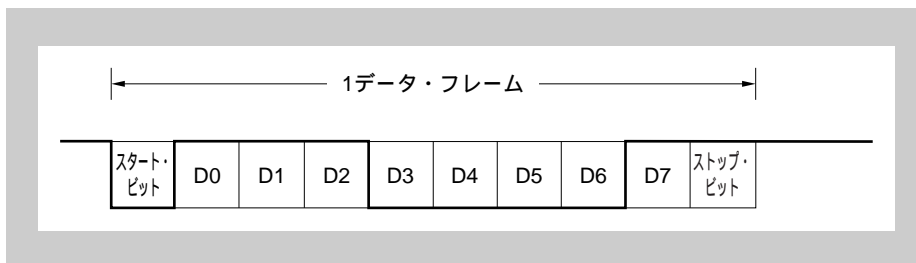
- (c) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット,  
転送データ : 55<sub>H</sub>, URTE<sub>n</sub>TTXD 反転



- (d) 7ビット・データ長, LSB ファースト, 奇数パリティ, 2ストップ・ビット,  
転送データ : 36<sub>H</sub>



- (e) 8ビット・データ長, LSB ファースト, パリティなし, 1ストップ・ビット,  
転送データ : 87<sub>H</sub>



## 24.6.2 BF の送信／受信フォーマット

UARTEnにはLIN機能を使用するためにBF（ブレーク・フィールド）送信／受信制御機能があります。

**LINについて** LINはLocal Interconnect Network（ローカル相互接続ネットワーク）の略であり、車載ネットワークのコスト削減を図るために開発された低速（1～20 kbps）シリアル通信プロトコルです。

LIN通信はシングルマスタ通信で、1つのマスタに最大15個のスレーブを接続することができます。

LINスレーブは、スイッチ、アクチュエータ、センサの制御に使用され、LINネットワークを介してLINマスタに接続されます。

通常、LINマスタはCAN（Controller Area Network）などのネットワークに接続されます。

さらに、LINバスはシングル・ワイヤ方式を使用し、ISO9141に準拠したトランシーバを介してノードに接続されます。

LINプロトコルでは、マスタがポー・レート情報とともにフレームを送信し、スレーブがそれを受信してポー・レート誤差を補正します。したがって、スレーブのポー・レート誤差が±14%以内であれば通信が可能です。

LINの送信と受信の概要については、図24-6「LIN送信の概要」および図24-7「LIN受信の概要」を参照してください。

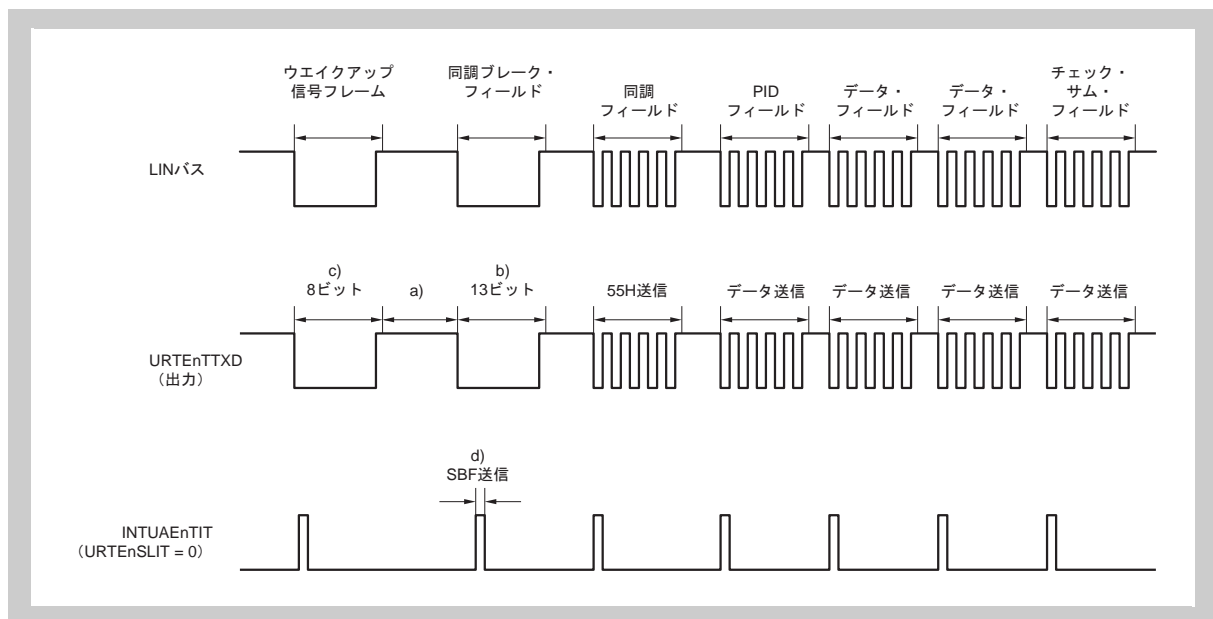


図 24-6 LIN 送信の概要

- フィールド間のインターバルはソフトウェアによって制御されます。
- BFの出力はハードウェアによって実行されます。出力幅はURTEnCTL1.URTEnBLG[2:0]によって設定されるビット長です。URTEnCTL2.URTEnBRS[11:0]を設定することによって、出力幅をより細かく調整することができます。
- ウェイクアップ信号フレームの代わりに8ビット・モードで80Hが転送されます。
- 送信を開始するたびに送信許可割り込みINTUAEnTITが発生します。INTUAEnTITは、BFの送信開始時にも発生します。

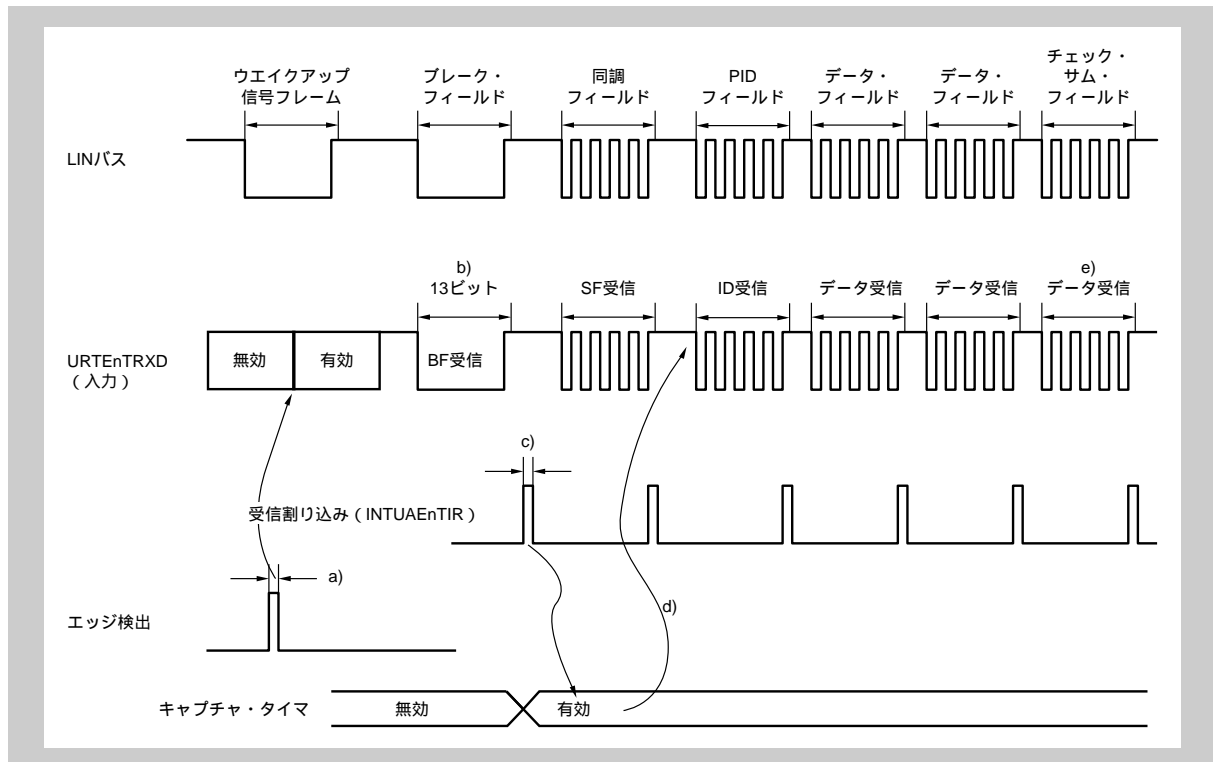


図 24-7 LIN 受信の概要

- a) ウェイクアップ信号は端子のエッジ検出器によって送信され、UARTEn を有効にして BF 受信モードを設定します。
- b) 11 ビット以上の BF 受信を検出した場合、正常 BF 受信終了と判断します。BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。  
URTEnSLBM, URTEnSSBR ビットの設定に応じて次の割り込みを発生します。

URTEnSLBM	URTEnSSBR	割り込み
1	x	INTUAEnTIS 割り込み
0	1	INTUAEnTIR 割り込み
0	0	フレーミング・エラーになり、INTUAEnTIS 割り込みが発生します。

- c) BF 受信が正常に終了した場合、BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて、次の割り込みを発生します。  
・0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。  
・1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、BF 受信成功フラグ URTEnSTR1.URTEnBSF をセット (1) します。  
BF 受信トリガ・ビット URTEnTRG.URTEnBRT が 1 の場合、BF 受信中はオーバーラン・エラー、パリティ・エラー、フレーミング・エラーの検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ URTEnRX へのデータ転送も行われません。このとき、URTEnRX は以前の値を保持します。
- d) ポー・レート・クロックを正しく調整するために、URTEnTRXD 信号をタイマのキャプチャ入力に接続する必要があります。URTEnTRXD のエッジ間の時間を測定することによって転送レートとポー・レート誤差を計算することができ、ポー・レート設定ビット URTEnCTL2.URTEnBRS[11:0] を設定することによって、ポー・レートを調整することができます。
- e) チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールドを受信すると UARTEn が初期化され、ソフトウェアによって BF 受信モードに再設定されます。URTEnCTL1.URTEnSLBM が 1 の場合、再度 BF 受信モードに設定することなく自動的に BF の受信を行います。



### 24.6.3 BF の送信

URTEnCTL0 の URTEnPW ビットと URTEnTXE ビットを 1 に設定すると送信許可状態になり、BF 送信トリガ URTEnTRG.URTEnBTT をセット (1) することによって BF の送信を開始します。

以降、URTEnSTR0.URTEnSSBT がセット (1) され、URTEnCTL1.URTEnBLG[2:0] の指定に従って 13-20 ビットのロウ・レベル幅が出力されます。次の場合に送信割り込み INTUAEnTIT が発生します。

- BF 送信開始時、URTEnCTL1.URTEnSLIT = 0 の場合
- BF 送信終了時、URTEnCTL1.URTEnSLIT = 1 の場合

BF の送信が終了すると、URTEnSTR0.URTEnSSBT が自動的にクリア (0) されます。そのあと、UARTEn 送信モードに戻ります。

次に送信されるデータが URTEnTX レジスタに書き込まれ、URTEnSTR0.URTEnSST が 1 に変化するか、BF 送信トリガ URTEnTRG.URTEnBTT がセット (1) され、URTEnSTR0.URTEnSSBT が 1 に変化するまで、送信は中断されます。

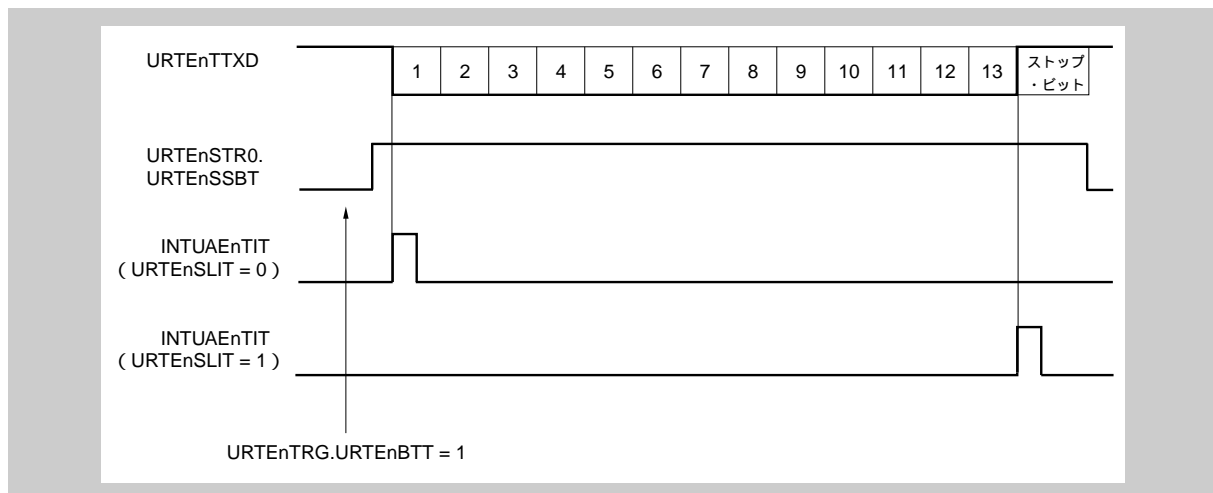


図 24-8 BF の送信

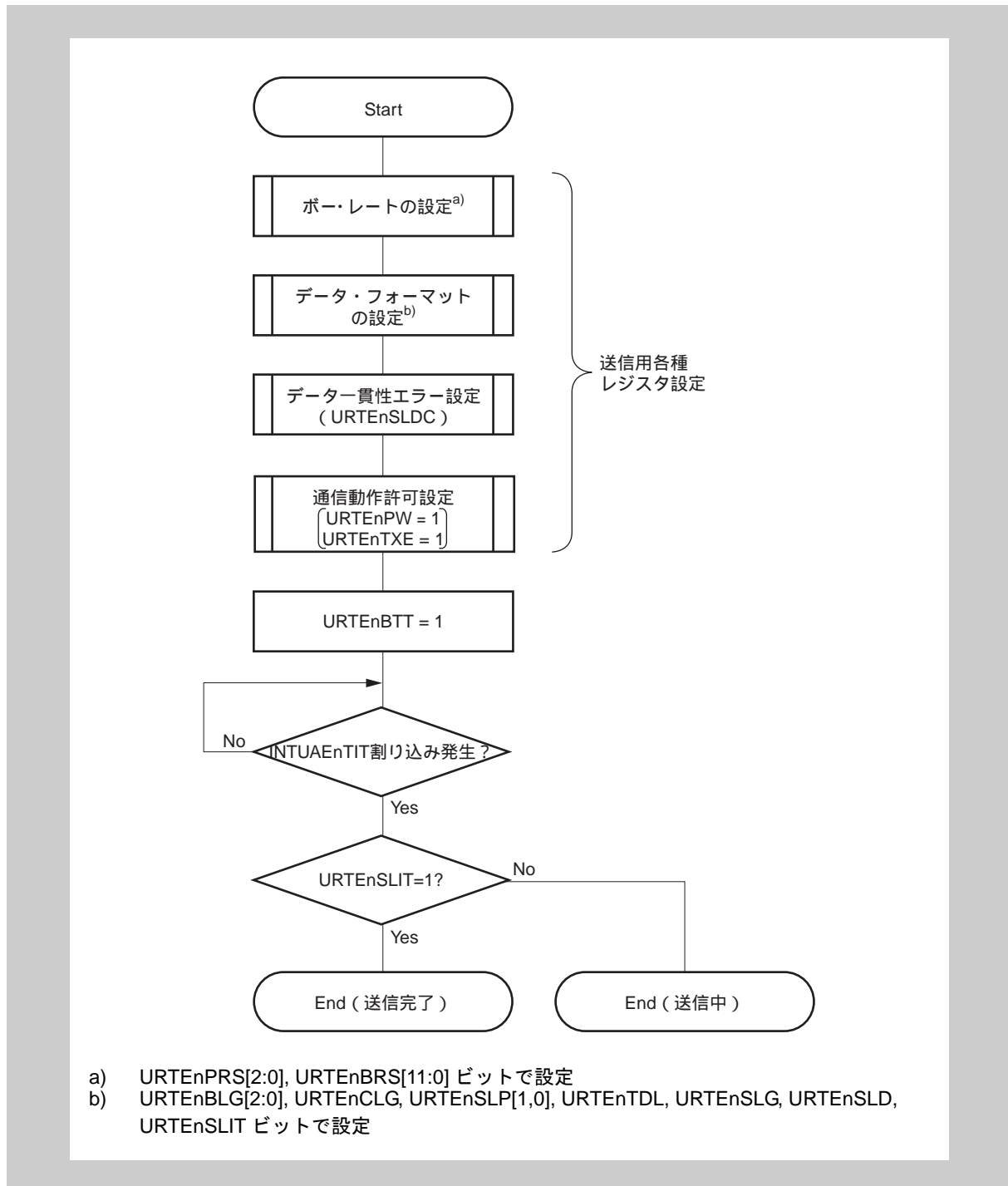


図 24-9 BF の送信のフロー図

### 24.6.4 BFの受信

URTEnCTL0.URTEnPW ビットをセット (1) したあと、URTEnCTL0.URTEnRXE ビットをセット (1) することによって受信許可状態になります。

BF 受信トリガ URTEnTRG.URTEnBRT をセット (1) することによってBF 受信待ち状態になります。

UARTEn 受信待ち状態と同様に、BF 受信待ち状態では URTEnTRXD 端子信号をモニタし、スタート・ビットの検出を行います。

ロウ・レベルを検出したら、受信動作を開始し、設定されたボー・レートに従って内部カウンタをカウント・アップします。

ハイ・レベルを受信し、BF 幅が 11 ビット以上の場合、BF 受信モード選択ビット URTEnCTL1.URTEnSLBM の設定に応じて次のように処理を行います。

- 0 に設定されていた場合、受信割り込み INTUAEnTIR を発生します。
- 1 に設定されていた場合、ステータス割り込み INTUAEnTIS を発生し、同時に BF 受信成功フラグ URTEnSTR1.URTEnBSF をセット (1) します。

URTEnSTR0.URTEnSSBR ビットが自動的にクリア (0) され、BF の受信を終了します。

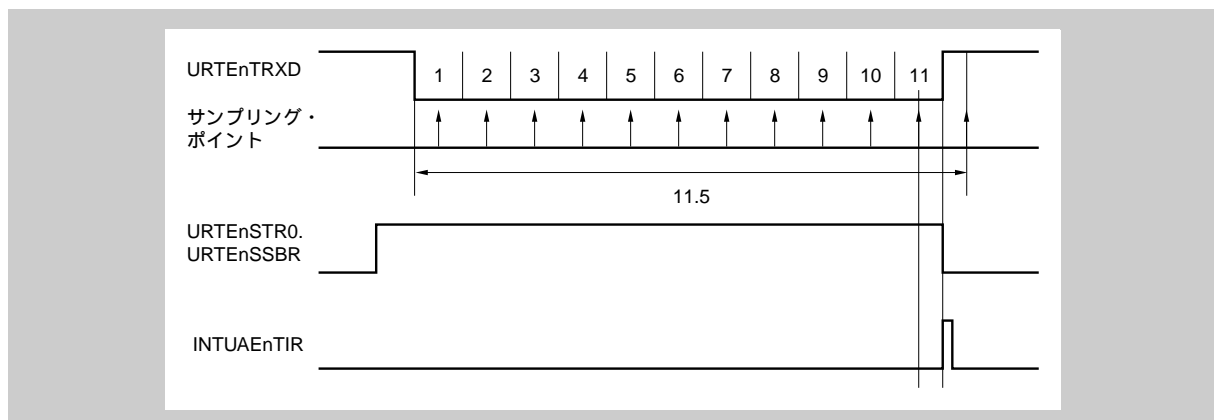


図 24-10 正常 BF 受信 (10.5 超のロウ・ビット受信後にストップ・ビットを検出)

URTEnSTR1 エラー・フラグ URTEnOVE, URTEnPE, URTEnFE によるエラー検出は抑制され、UARTEn 通信エラー検出処理は行われません。

エラーが含まれたデータは URTEnRX に格納されず、URTEnRX は初期値 FFH を保持します。

BF の幅が 10 ビット以下の場合、エラー処理として、割り込みを発生せずに受信を終了し、BF 受信モードに戻ります。このとき、URTEnSTR0.URTEnSSBR はクリア (0) されません。

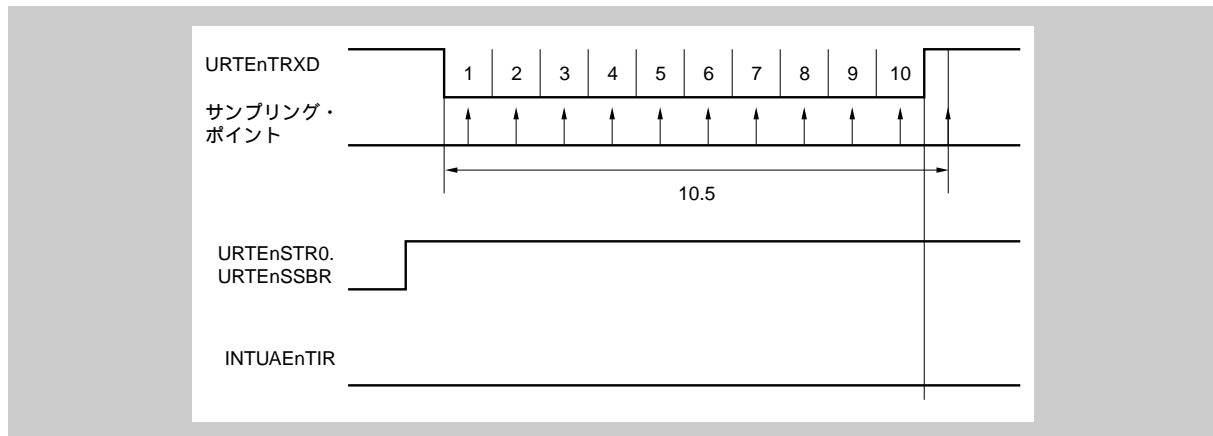


図 24-11 BF 受信エラー (10.5 以内のロウ・ビットでストップ・ビットを検出)

URTEnCTL1.URTEnSLBM を使って、シングル BF 受信モードと常時 BF 受信モード間で BF モードを切り換えることができます。BF 受信が成功したかどうかは URTEnSTR1.URTEnBSF で確認できます。

**備考** URTEnSTR0.URTEnSSBR は次の場合にセット (1) されます。

- URTEnTRG.URTEnBRT をセット (1) したとき
- BF 正常受信によってエラーがクリア (0) されたとき

### 24.6.5 送信データ一貫性チェック

UARTEn は、デバイスがマスタ・モードで動作中に、送信レジスタ URTEnTX へ書き込まれた送信データとバス上のデータとの不一致を検出するデータ一貫性チェック機能を備えています。

データ一貫性チェックは URTEnCTL0.URTEnSLDC を 1 に設定することによって有効になります。

データ一貫性のチェックは、送信レジスタ URTEnTX 内の送信データと受信レジスタ URTEnRX 内の受信データとを比較して行います。データの不一致を検出すると、データ一貫性エラー・フラグ URTEnSTR1.URTEnDCE をセット (1) し、ステータス割り込み要求 INTUAEnTIS を発生します。

受信モード中はデータ一貫性チェックを実行しません。

送信中に受信が禁止されている場合でも、送信データと入力データ信号レベルの一貫性チェックは実行されます。この場合、受信完了割り込み要求信号 INTUAEnTIR とステータス割り込み要求信号 INTUAEnTIS は発生せず、また URTEnSTR1 のステータス・ビット (URTEnBSF, URTEnFE, および URTEnOVE) もセット (1) しません。また、受信データを読み出す必要はありません。

詳細は「URTEnSTR1 - UARTEn ステータス・レジスタ 1」を参照してください。

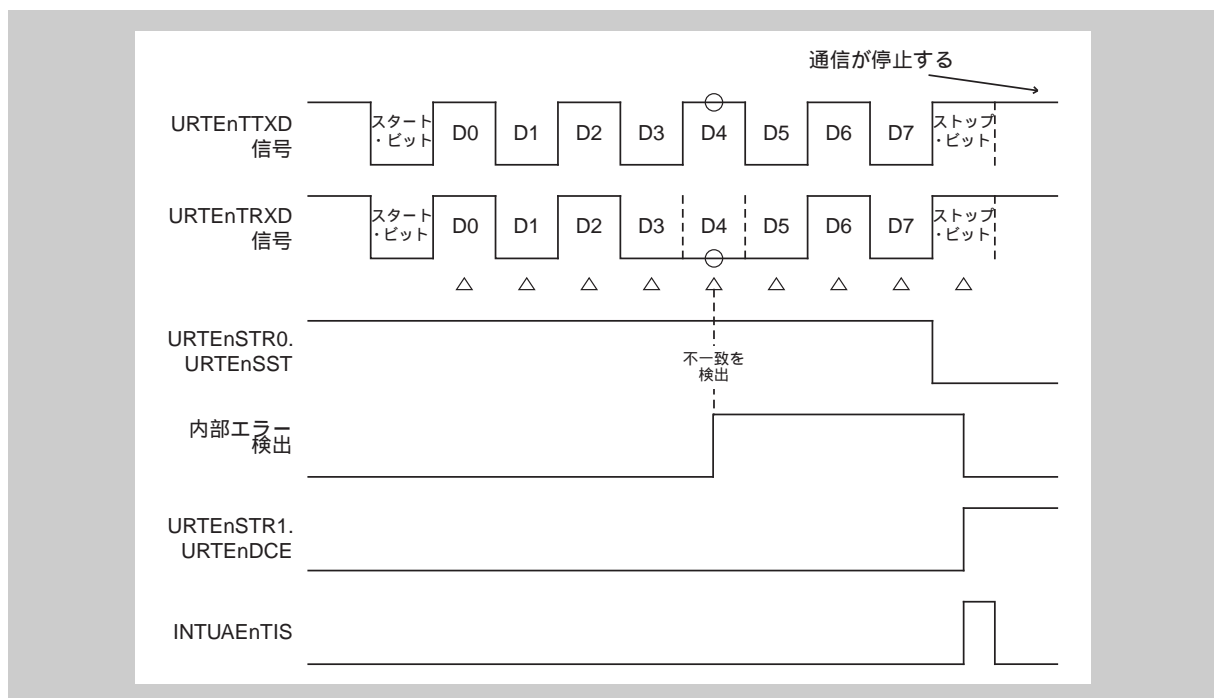


図 24-12 データ一貫性エラーのタイミング例 (URTEnSTR0.URTEnSSBR = 0 で BF 受信禁止時)

## 24.6.6 UARTEn 送信

**送信の開始** 次の手順に従って送信許可状態を設定します。

- UARTEn 制御レジスタ 2 の URTEnCTL2 でポー・レートを設定します。
- UARTEn 制御レジスタ 1 の URTEnCTL1 で、送信パリティ、データ・キャラクタ長、ストップ・ビット長、送信データ順序、送信割り込み要求タイミング、および出力論理レベルを設定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnTXE をセット (1) して、UARTEn の動作と送信を許可します。

送信バッファ・レジスタ URTEnTX に送信データを書き込んで送信を開始します。URTEnTX 内に保存されたデータは送信シフト・レジスタへ転送されます。データ・フレームにスタート・ビット、パリティ・ビット、ストップ・ビットを追加し、URTEnTTXD を介してシリアル出力します。

**送信の停止** URTEnCTL0.URTEnPW または URTEnCTL0.URTEnTXE が 0 に設定されると、送信処理中であっても、ただちに送信動作を停止します。

**BF とデータの同時送信** BF 送信要求とデータ送信要求の両方が設定された場合は、BF 送信要求が優先されます。

**データ一貫性チェック** データ一貫性エラーを検出すると、URTEnCLDC = 1、URTEnPW = 0、または URTEnTXE = 0 が設定されるまで後続データは送信されません。

**INTUAEnTIT の発生タイミング** 送信割り込み INTUAEnTIT の発生タイミングは、URTEnCTL1.URTEnSLIT の設定に依存します。

- URTEnCTL1.URTEnSLIT = 0 の場合：  
INTUAEnTIT は送信開始時（データ・レジスタ URTEnTX から送信シフト・レジスタへのデータ転送）に発生します。
- URTEnCTL1.URTEnSLIT = 1 の場合：  
INTUAEnTIT は全データの送信処理完了時（データ・フレームの最終ビット送信時）に発生します。

INTUAEnTIT が発生すると、次のデータを URTEnTX に書き込むことができるようになります。

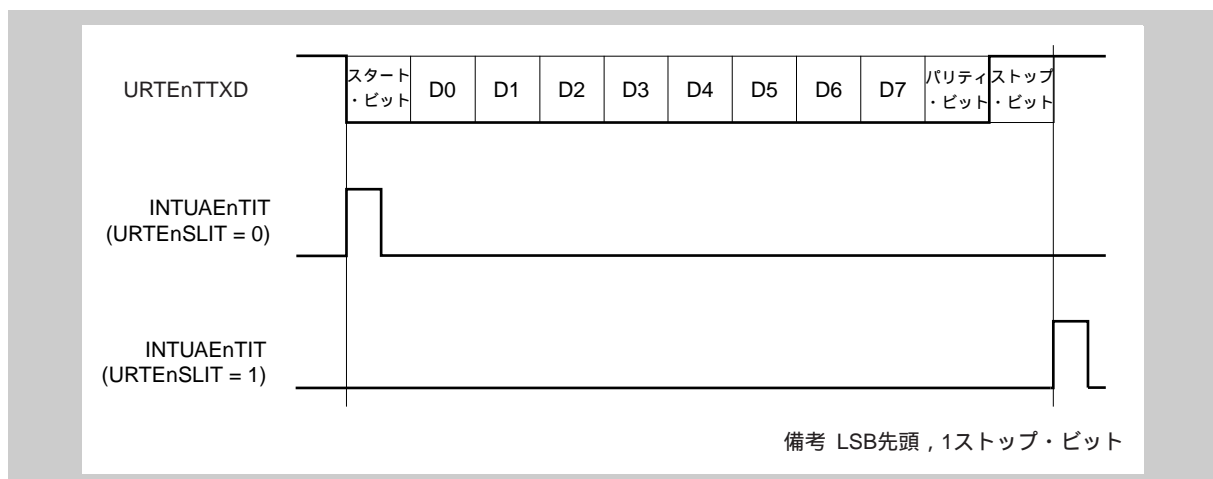


図 24-13 送信割り込み発生タイミング

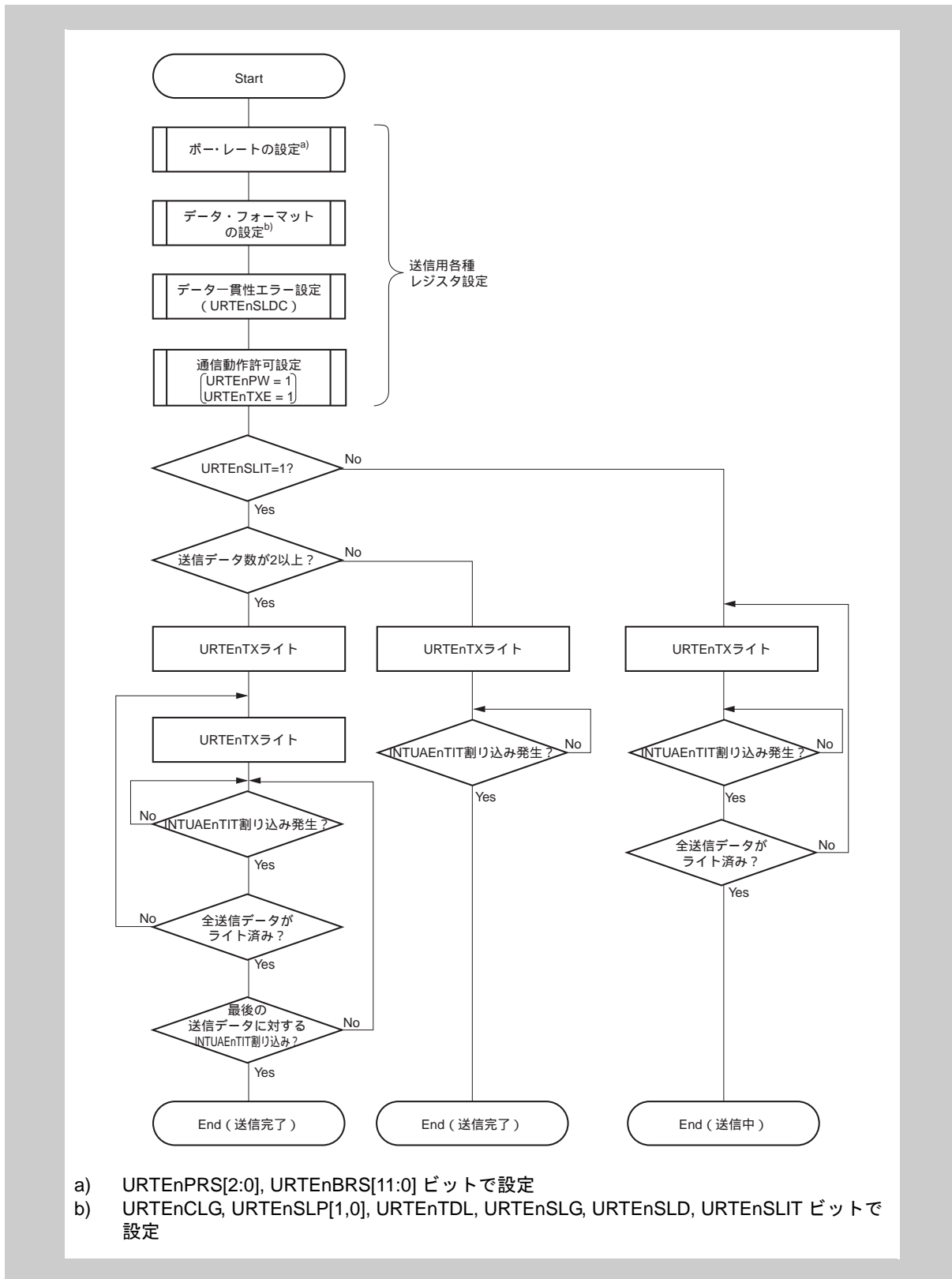


図 24-14 データ送信のフロー

### 24.6.7 連続送信の手順

送信シフト・レジスタからのデータ転送中に、次の送信データを送信データ・レジスタ URTEnTX へ書き込むことで連続送信を実行できます。

**備考** 正しい書き込みタイミングを維持するため、それぞれの送信開始 (URTEnCTL1.URTEnSLIT = 0) 時に送信割り込み INTUAEnTIT を発生させる必要があります。

**注意** INTUAEnTIT が発生する前に URTEnTX レジスタへ値を書き込んだ場合、前に設定された送信データは新しい送信データによって上書きされます。送信ユニットを初期化するには、送信中でない (URTEnSTR0.URTEnSSBT = URTEnSST = 0) ことを確認してください。送信中に初期化が行なわれた場合、その送信は中止されます。

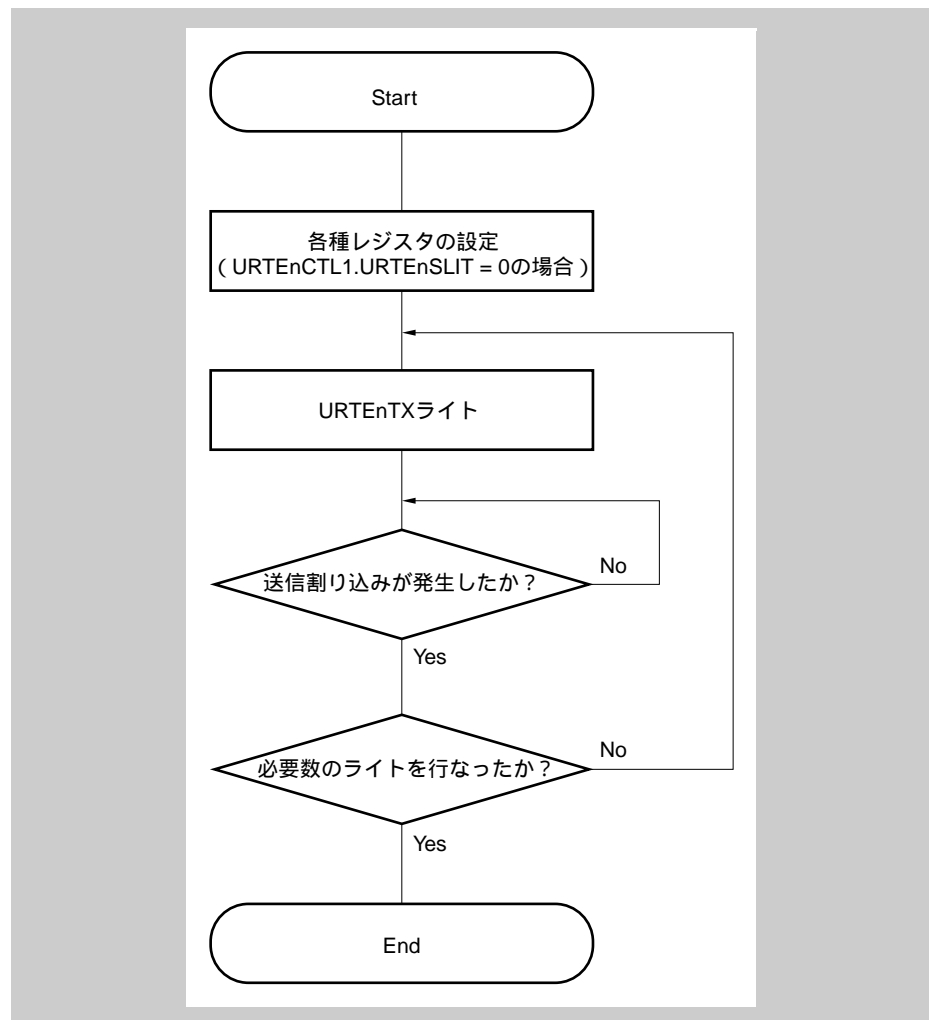


図 24-15 連続送信の手順フロー



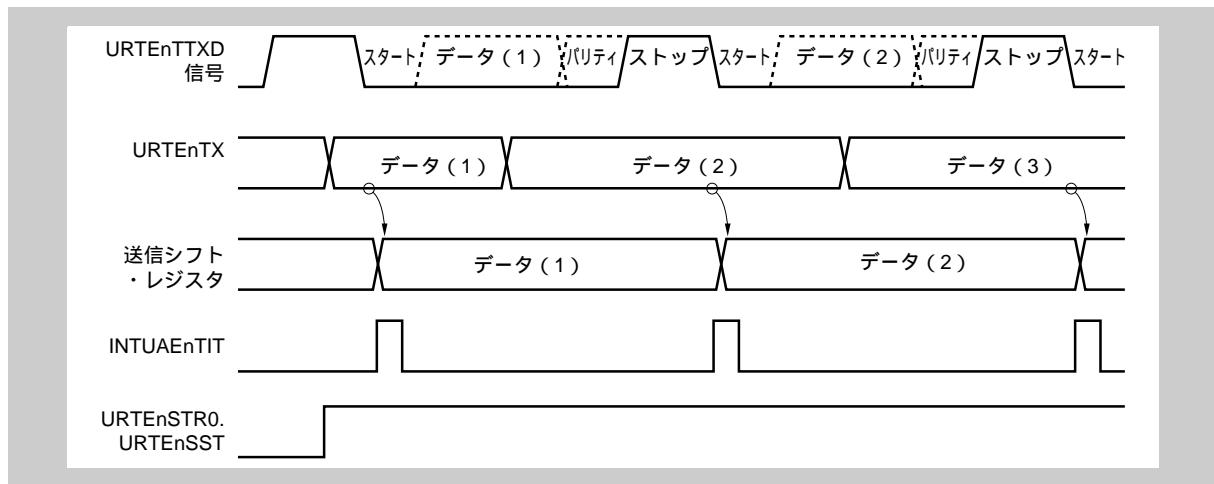


図 24-16 連続送信動作タイミング (送信開始時)

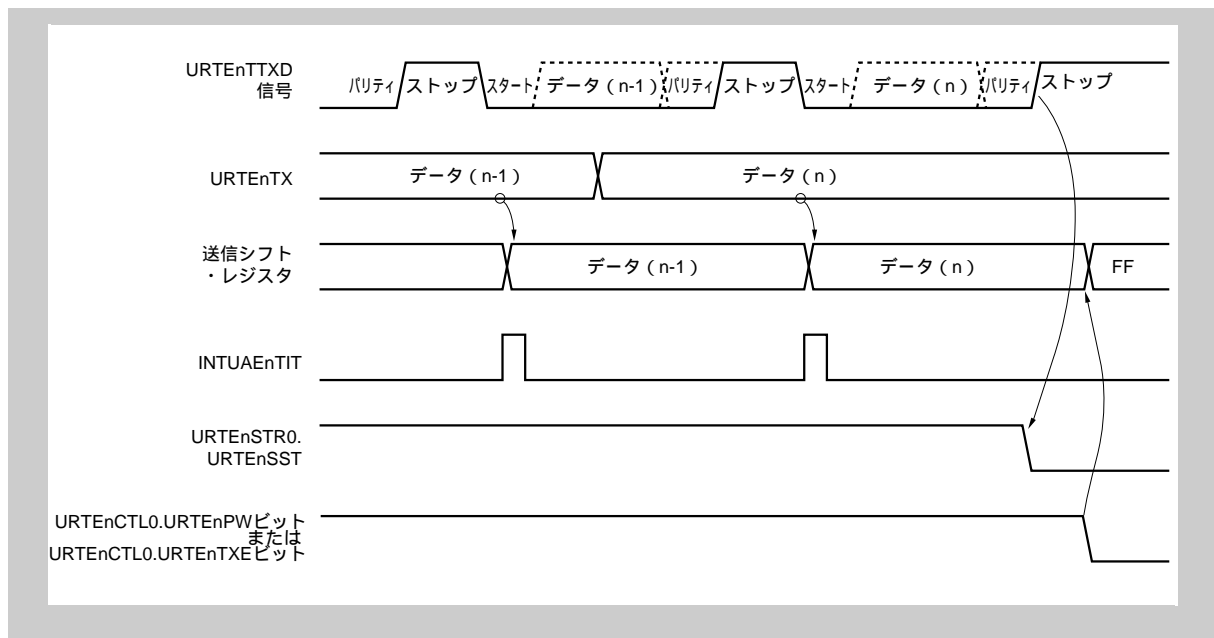


図 24-17 連続送信動作タイミング (送信終了時)

### 24.6.8 UARTEn 受信

**受信の開始** 次の手順に従って受信許可状態を設定します。

- URTEnCTL2 レジスタでボー・レートを指定します。
- URTEnCTL1 レジスタで、受信パリティ、データ・キャラクタ長、ストップ・ビット長、受信データ順序、および出力論理レベルを指定します。
- URTEnCTL0.URTEnPW と URTEnCTL0.URTEnRXE をセット (1) して、UARTEn の動作と受信を許可します。

URTEnTRXD 端子の入力レベルの立ち下がりエッジを検出すると URTEnTRXD 入力のデータをサンプリングします。立ち下がりエッジを検出してから半ビット分の時間が経過したあと、URTEnTRXD 信号がロウ・レベルになると、スタート・ビットが認識されます (次の図を参照)。スタート・ビットが認識されると、受信動作を開始し、設定されたボー・レートに従ってシリアル・データを受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、受信割り込み INTUAEnTIR を発生し、受信シフト・レジスタに格納されたデータを受信データ・レジスタ URTEnRX に書き込みます。

**受信の停止** URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE が 0 に設定されると、受信処理中であっても、ただちに受信動作を停止します。

**受信エラー** オーバーラン・エラーが発生 (URTEnSTR1.URTEnOVE = 1) した場合は、そのときの受信データは URTEnRX に転送されず、破棄されます。

受信中にパリティ・エラー (URTEnSTR1.URTEnPE = 1) またはフレーミング・エラー (URTEnSTR1.URTEnFE = 1) が発生しても、最初のストップビットまでは受信を継続し、受信データを URTEnRX へ転送します。

受信エラーが発生した場合、受信割り込み INTUAEnTIR ではなくステータス割り込み INTUAEnTIS および受信/ステータス割り込み INTUAEnTRA が発生します。

受信データ順序、パリティ、データ・キャラクタ長、またはストップ・ビット長を変更する場合は、パワー・ビットをクリア (URTEnCTL0.URTEnPW = 0) したあとに行います。

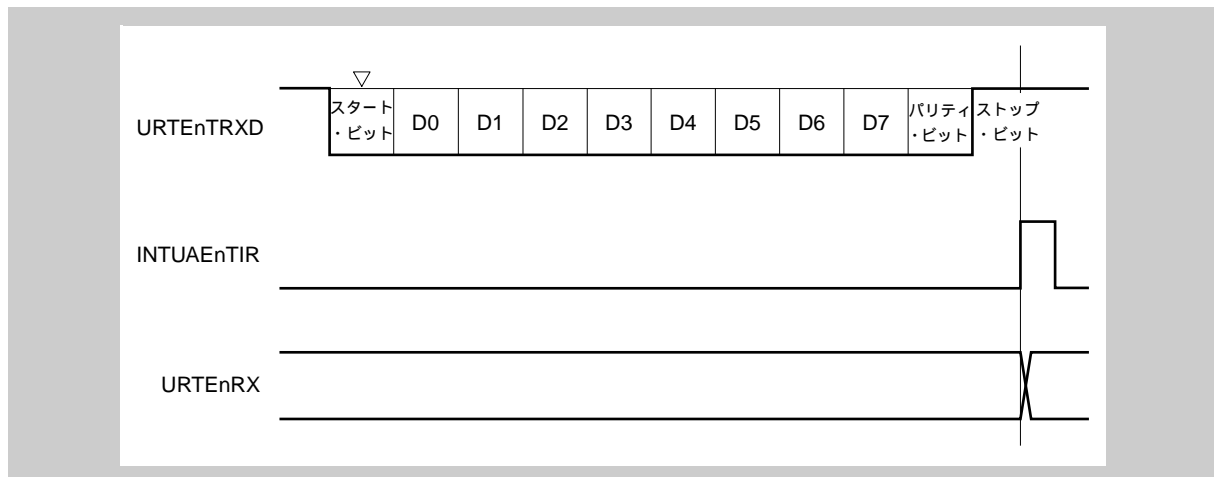


図 24-18 UARTEn の受信

- 注意**
1. 受信エラー発生時にも、URTEnRX レジスタは必ずを読み出してください。URTEnRX レジスタを読み出さないと、次のデータ受信中にオーバーラン・エラーが発生します。
  2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2 ビット目のストップ・ビットは無視されます。
  3. 受信完了後は、受信割り込み INTUAEnTIR が発生したあとに URTEnRX レジスタを読み出し、URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE をクリア (0) してください。INTUAEnTIR が発生する前に URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE をクリア (0) した場合、URTEnRX レジスタからの読み出し値は保証されません。
  4. 受信完了処理 (INTUAEnTIR 割り込み発生) と URTEnCTL0.URTEnPW または URTEnCTL0.URTEnRXE のクリア (0) が同時に起こった場合、URTEnRX レジスタにデータが格納されていないにもかかわらず INTUAEnTIR が発生することがあります。

- 備考**
1. URTEnTRXD 端子への入力が常にロウ・レベルの場合、その入力はスタート・ビットとして見なされません。
  2. 連続受信では、最初の受信ビットでストップ・ビットが検出 (受信割り込み発生) された直後に次のスタート・ビットが検出されることがあります。

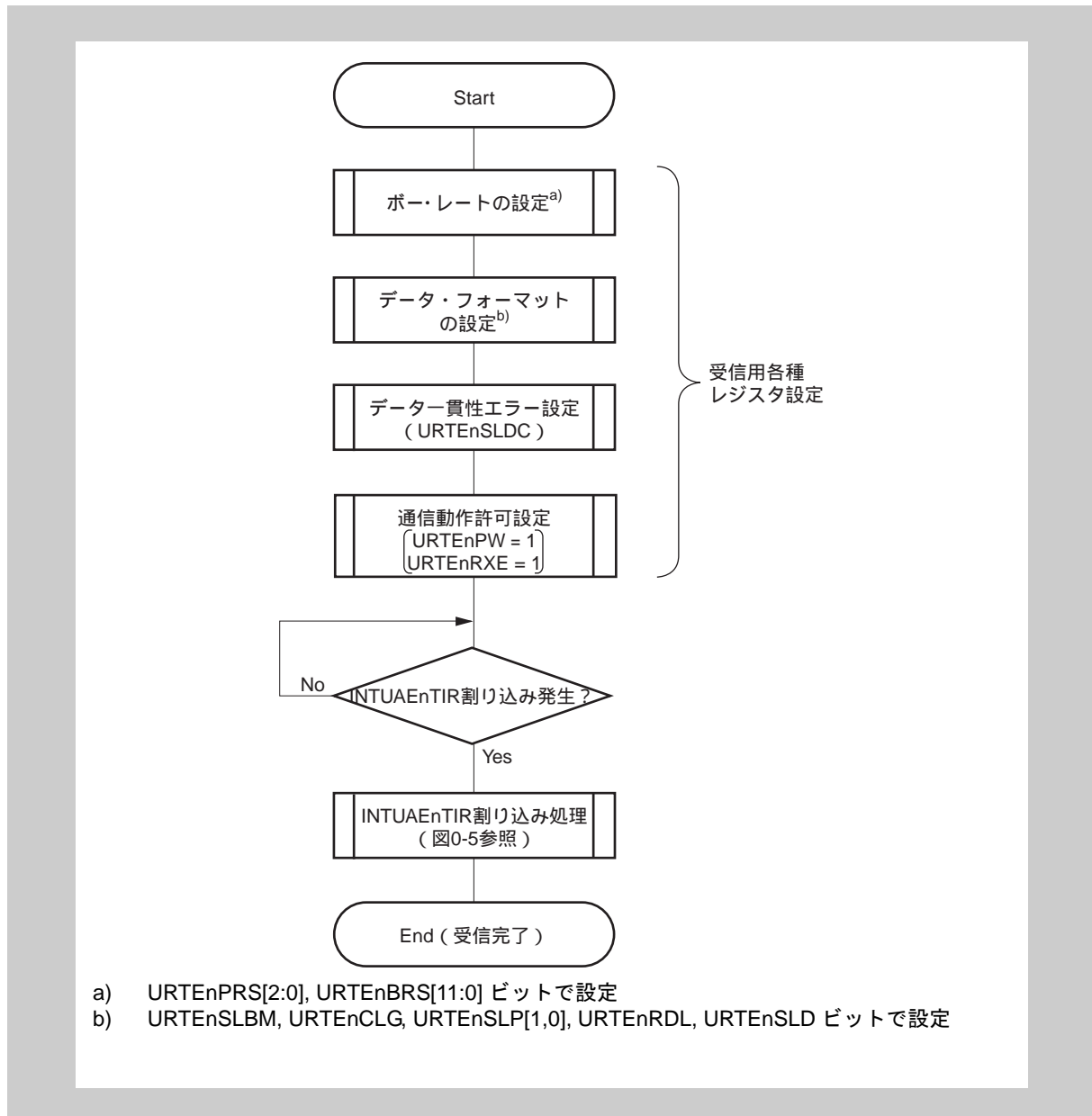


図 24-19 データ受信のフロー (URTEenSLBM = 0, URTEenSSBR = 0)

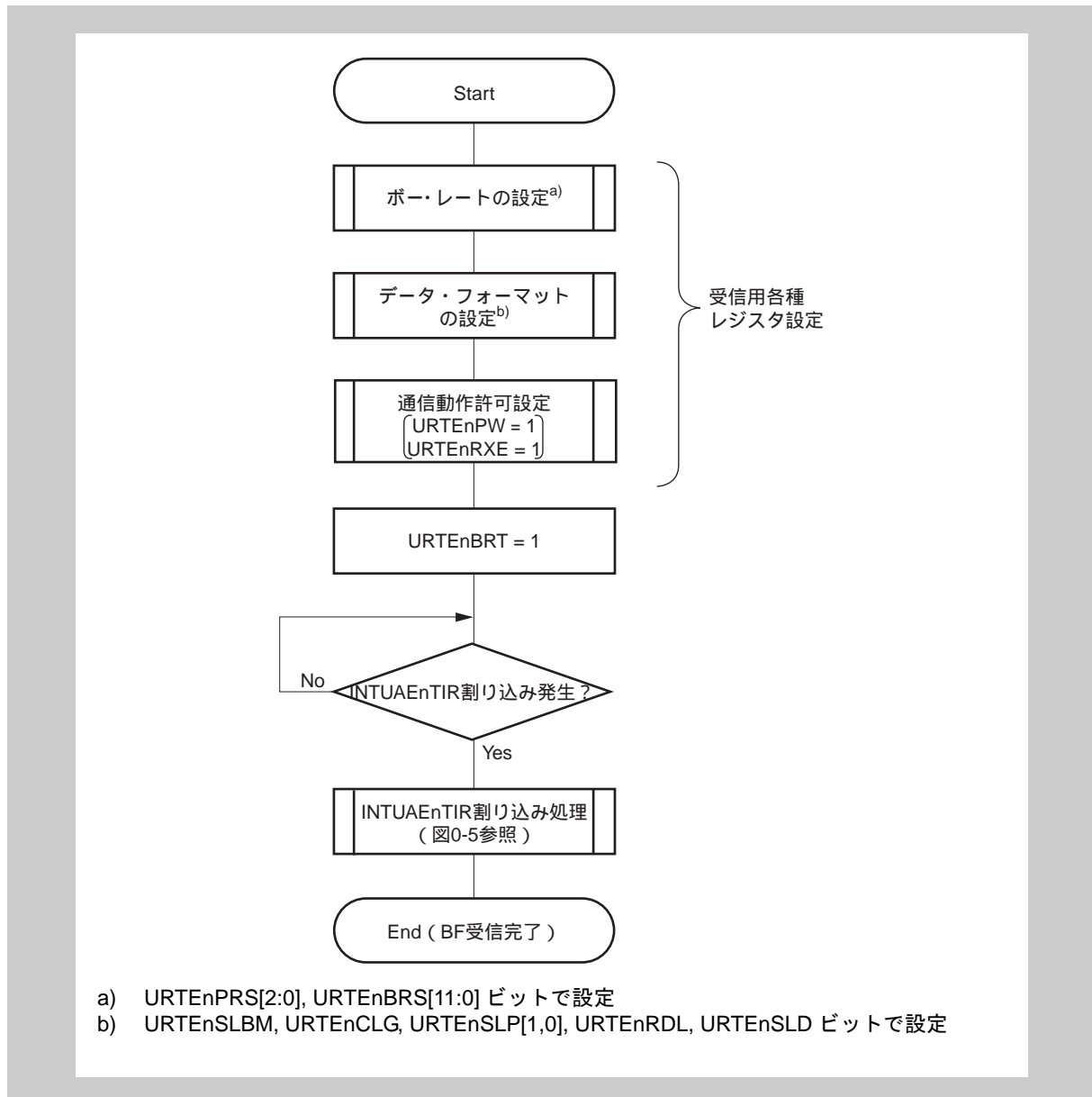
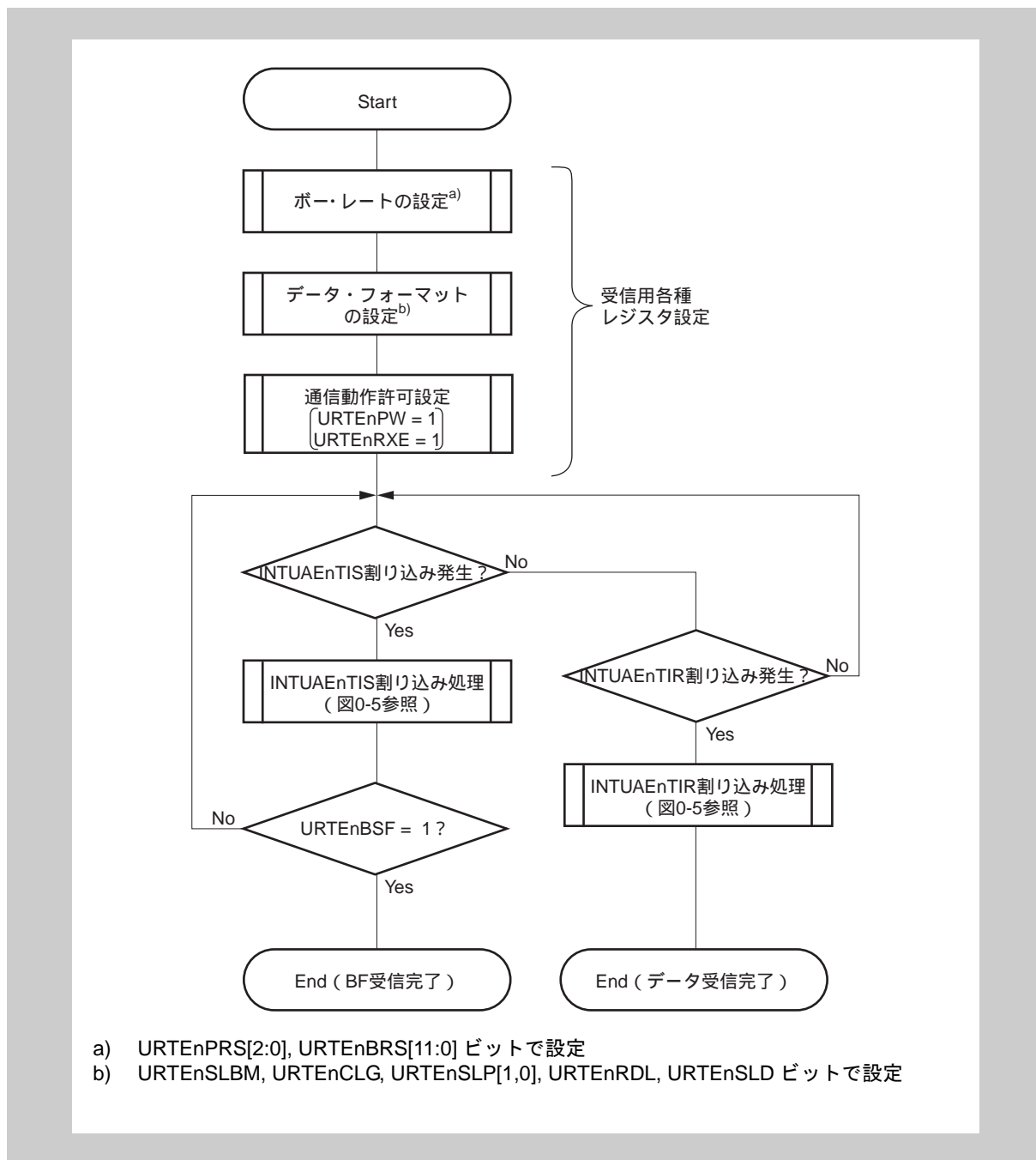


図 24-20 データ受信のフロー (URTEenSLBM = 0, URTEenSSBR = 1)



- a) URTEenPRS[2:0], URTEenBRS[11:0] ビットで設定
- b) URTEenSLBM, URTEenCLG, URTEenSLP[1,0], URTEenRDL, URTEenSLD ビットで設定

図 24-21 データ受信のフロー (URTEenSLBM = 1, URTEenSSBR = 0)

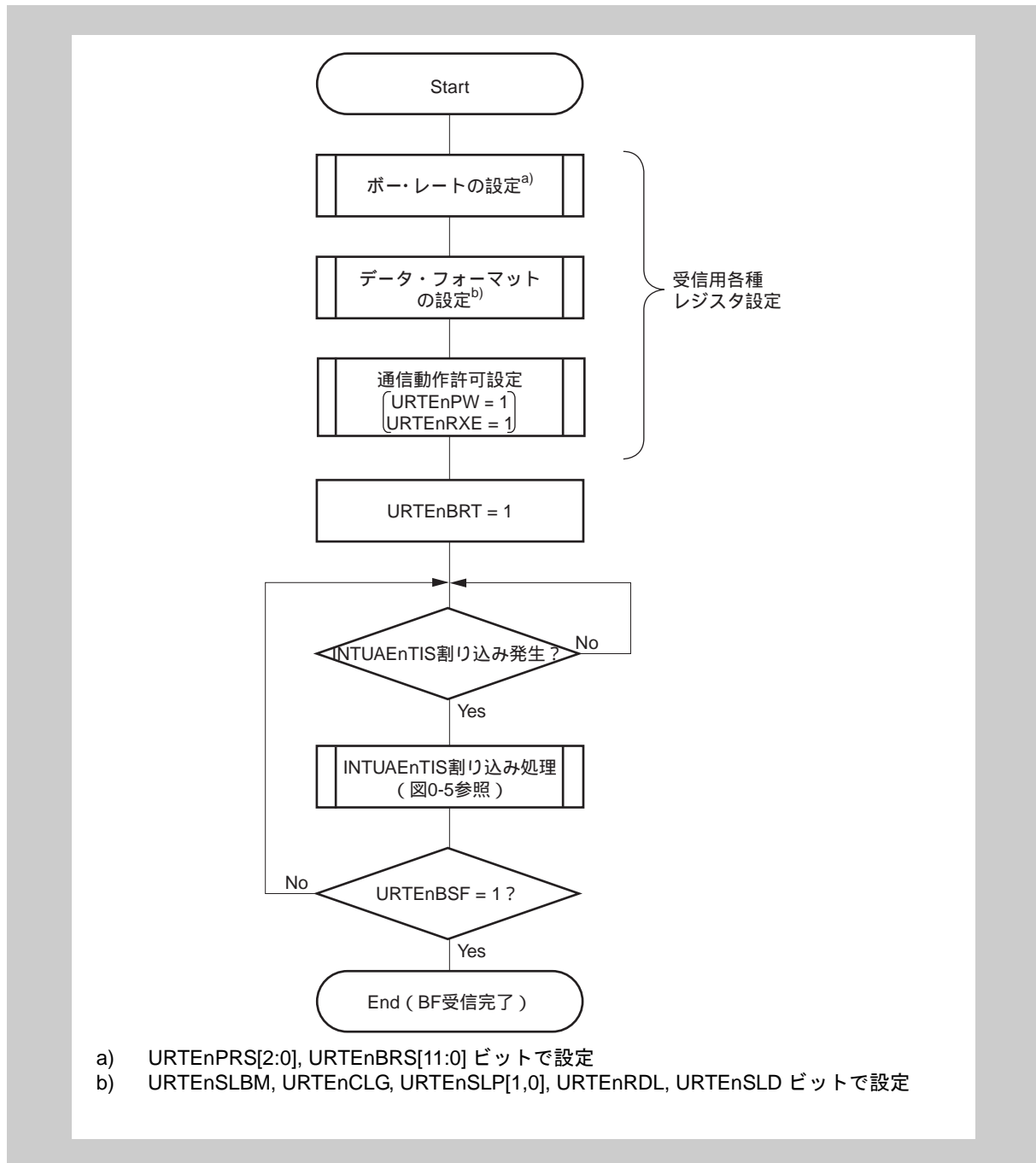


図 24-22 データ受信のフロー (URTEnSLBM = 1, URTEnSSBR = 1)

### 24.6.9 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。URTEnSTR1 レジスタにはいくつかのデータ受信結果エラー・フラグが用意されており、エラーが発生するとステータス割り込み要求信号 INTUAEnTIS が発生します。

URTEnSTR1 レジスタの内容を読み出すことによって、受信時にどのエラーが発生したのかを検出することができます。

受信エラー・フラグは、ステータス・クリア・レジスタ URTEnSTC 内の対応ビットをセット (1) することでクリア (0) できます。

表 24-20 受信エラーの要因

URTEnSTR1 内のエラー・フラグ	受信エラー	要因
URTEnPE	パリティ・エラー	受信パリティ・ビットが設定と一致しない
URTEnFE	フレーミング・エラー	ストップ・ビットが検出されない
URTEnOVE	オーバーラン・エラー	受信バッファからデータを読み出す前に次のデータの受信が完了した

**備考** パリティ・エラーまたはフレーミング・エラーが発生した場合であっても、受信シフト・レジスタから受信データ・レジスタ URTEnRX へデータが転送されます。したがって、URTEnRX からデータを読み出す必要があります。読み出しを行わない場合、次のデータの受信時にオーバーラン・エラー (URTEnSTR1.URTEnOVE = 1) が発生します。

オーバーラン・エラーが発生した場合、受信シフト・レジスタのデータは URTEnRX へ転送されないため、前のデータは上書きされません。



## 24.6.10 パリティの種類と動作

**注意** LIN機能を使用するときは、URTEnCTL1.URTEnSLP[1:0]を00<sub>B</sub>に固定してください。

パリティ・ビットは通信データ内のビット・エラーを検出するために使用されます。通常は、送信側と受信側で同じパリティが使用されます。

偶数パリティと奇数パリティの場合は、奇数カウント・ビット・エラーを検出することができます。0パリティとパリティなしの場合は、エラーを検出できません。

### (1) 偶数パリティ

- 送信中：  
パリティ・ビットを含めた送信データ中の、値が1のビット数が偶数個になるように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に、値が1のビット数が奇数個：1
  - 送信データ中に、値が1のビット数が偶数個：0
- 受信中：  
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (2) 奇数パリティ

- 送信中：  
偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が1のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。
  - 送信データ中に、値が1のビット数が奇数個：0
  - 送信データ中に、値が1のビット数が偶数個：1
- 受信中：  
パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (3) 0パリティ

送信中、送信データに関係なくパリティ・ビットを常に0にします。

受信時にはパリティ・ビットのチェックを行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーを発生しません。

### (4) パリティなし

送信データにパリティ・ビットを追加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 24.6.11 デジタル受信データ・ノイズ・フィルタ

受信データ信号入力 URTEnTRXD は、ノイズやヒゲを除去するデジタル・ノイズ・フィルタを備えています。

このフィルタはプリスケラ出カクロック PRSCLK を使用して URTEnTRXD 端子信号をサンプリングします。

サンプリング値が同じ値を 2 回取ると、URTEnTRXD 信号は有効入力データと見なされます。

したがって、データ幅が 2 プリスケラ出カクロック未満のデータはノイズと判断され、除去されます。

ノイズ・フィルタを使用すると、シリアル・データ URTEnTRXD をキャプチャするときに、キャプチャしたデータを有効と見なして転送するまで、プリスケラ出カクロック PRSCLK の 4 サイクル分の遅延が発生します。

## 24.7 ボー・レート・ジェネレータ

送受信のボー・レート・クロック BRCLK は、プリスケアラとボー・レート・ジェネレータを使用して APB バス・クロック PCLK から生成されます (次の図参照)。

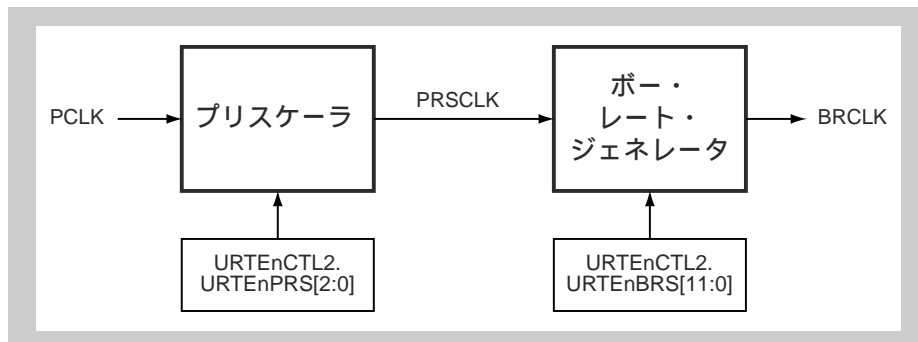


図 24-23 ボー・レート・ジェネレータの構成

プリスケアラ出力クロック PRSCLK は PCLK を分子とする分数であり、分母は URTEnCTL2.URTEnPRS[2:0] の設定によって決定されます。

$$\text{PRSCLK} = \text{PCLK} / 2^{\text{URTEnPRS}[2:0]}$$

ボー・レート・ジェネレータは、URTEnCTL2.URTEnBRS[11:0] の設定によって決定される値で PRSCLK をさらに分周します。

ボー・レート・ジェネレータは、データ・フレーム用のボー・レートと BF 受信のボー・レートを次の表のように区別します。BF 受信クロックは、ボー・レート・クロック BRCLK の 2 倍です。

表 24-21 ボー・レート・ジェネレータ・クロック出力

URTEnCTL2. URTEnBRS[11:0]	送受信 BRCLK	BF 受信クロック
000 <sub>H</sub>	PRSCLK / (2 × 4)	PRSCLK / 4
001 <sub>H</sub>		
002 <sub>H</sub>		
003 <sub>H</sub>		
004 <sub>H</sub>	PRSCLK / (2 × 5)	PRSCLK / 5
005 <sub>H</sub>		
...	PRSCLK / (2 × URTEnBRS[11:0])	PRSCLK / URTEnBRS[11:0]
FFE <sub>H</sub>	PRSCLK / (2 × 4094)	PRSCLK / 4094
FFF <sub>H</sub>	PRSCLK / (2 × 4095)	PRSCLK / 4095

## 第25章 LIN マスタ・コントローラ (LMA)

この章では、LIN マスタ・コントローラ全般について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。

以降の節で、LIN マスタ・コントローラ搭載製品に共通の特徴について説明します。

### 25.1 V850E2/Fx4-H の LMA<sub>n</sub> の特徴

**LMA<sub>n</sub> のユニット数** この製品は次のユニット数の LIN マスタ・コントローラ LMA<sub>n</sub> を搭載しています。

表 25-1 LMA<sub>n</sub> ユニット

LIN マスタ・コントローラ	V850E2/FK4-H	V850E2/FL4-H
ユニット数	12	
名称	LMA0-LMA11	

**LMA<sub>n</sub> の n の意味** この章では、LIN マスタ・コントローラの各ユニットを「n」で識別します (n = 0-11)。たとえば、LMA<sub>n</sub> 制御レジスタ L (LMA<sub>n</sub>CTLL) のように記述しています。

**CNTA<sub>m</sub> のチャンネル数** この製品は、次のチャンネル数の LIN マスタ・スケジューラ・カウンタ CNTA<sub>m</sub> を搭載しています。

表 25-2 LIN マスタ・スケジューラ・カウンタ LMA<sub>n</sub> のチャンネル

LIN マスタ・スケジューラ・カウンタ	V850E2/FK4-H	V850E2/FL4-H
チャンネル数	3	
名称	CNTA0-CNTA2	

**CNTA<sub>m</sub> の m の意味** この章では、LIN マスタ・スケジューラ・カウンタの各チャンネルを「m」で識別します (m = 0-2)。たとえば、CNTA<sub>m</sub> 制御レジスタ (CNTA<sub>m</sub>CTL) のように記述しています。

**LMA<sub>n</sub> レジスタ・アドレス** LMA<sub>n</sub> レジスタのアドレスは、それぞれベース・アドレス <LMA<sub>n</sub>\_base> からのオフセットで表されます。  
各 LMA<sub>n</sub> のレジスタ・ベース・アドレスを次の表に示します。

表 25-3 LMA<sub>n</sub> レジスタ・ベース・アドレス <LMA<sub>n</sub>\_base>

LMA <sub>n</sub>	<LMA <sub>n</sub> _base> アドレス
LMA0	FF5C 0080 <sub>H</sub>
LMA1	FF5D 0080 <sub>H</sub>
LMA2	FF5E 0080 <sub>H</sub>
LMA3	FF5F 0080 <sub>H</sub>
LMA4	FF60 0080 <sub>H</sub>
LMA5	FF61 0080 <sub>H</sub>
LMA6	FF62 0080 <sub>H</sub>
LMA7	FF63 0080 <sub>H</sub>
LMA8	FF64 0080 <sub>H</sub>
LMA9	FF65 0080 <sub>H</sub>
LMA10	FF66 0080 <sub>H</sub>
LMA11	FF67 0080 <sub>H</sub>

**CNTA<sub>m</sub> レジスタ・アドレス** CNTA<sub>m</sub> レジスタのアドレスは、それぞれベース・アドレス <CNTA<sub>m</sub>\_base> からのオフセットで表されます。  
各 CNTA<sub>m</sub> のレジスタ・ベース・アドレスを次の表に示します。

表 25-4 CNTA<sub>m</sub> レジスタ・ベース・アドレス <CNTA<sub>m</sub>\_base>

CNTA <sub>m</sub>	<CNTA <sub>m</sub> _base> アドレス
CNTA0	FF5C 4000 <sub>H</sub>
CNTA1	FF5D 4000 <sub>H</sub>
CNTA2	FF5E 4000 <sub>H</sub>

**クロック供給** LIN マスタ・コントローラとスケジューラ・カウンタには1つのクロック入力があります。

表 25-5 LMA<sub>n</sub>, CNTA<sub>m</sub> のクロック供給 (1/2)

LMA <sub>n</sub> /CNTA <sub>m</sub>	クロック	接続先
LMA0	PCLK	クロック・コントローラの CKSCLK_112
LMA1	PCLK	クロック・コントローラの CKSCLK_112
LMA2	PCLK	クロック・コントローラの CKSCLK_114
LMA3	PCLK	クロック・コントローラの CKSCLK_114
LMA4	PCLK	クロック・コントローラの CKSCLK_114
LMA5	PCLK	クロック・コントローラの CKSCLK_114
LMA6	PCLK	クロック・コントローラの CKSCLK_114
LMA7	PCLK	クロック・コントローラの CKSCLK_114
LMA8	PCLK	クロック・コントローラの CKSCLK_114

表 25-5 LMA<sub>n</sub>, CNTA<sub>m</sub> のクロック供給 (2/2)

LMA <sub>n</sub> /CNTA <sub>m</sub>	クロック	接続先
LMA9	PCLK	クロック・コントローラの CKSCLK_114
LMA10	PCLK	クロック・コントローラの CKSCLK_011
LMA11	PCLK	クロック・コントローラの CKSCLK_011
CNTA0	PCLK	クロック・コントローラの CKSCLK_112
CNTA1	PCLK	クロック・コントローラの CKSCLK_114
CNTA2	PCLK	クロック・コントローラの CKSCLK_011

**割り込み** LIN マスタ・コントローラの割り込みを次の表に示します。

表 25-6 LMA<sub>n</sub> の割り込み (1/3)

LMA <sub>n</sub> 信号	機能	接続先
<b>LMA0 :</b>		
INTLMA0TIT	送信割り込み	割り込みコントローラ INTLMA0IT DMA 開始要因の優先順位 : 45 DTS 開始要因の優先順位 : 59
INTLMA0TIR	受信割り込み	割り込みコントローラ INTLMA0IR DMA 開始要因の優先順位 : 44 DTS 開始要因の優先順位 : 58
INTLMA0TIS	ステータス割り込み	割り込みコントローラ INTLMA0IS
<b>LMA1 :</b>		
INTLMA1TIT	送信割り込み	割り込みコントローラ INTLMA1IT DMA 開始要因の優先順位 : 47 DTS 開始要因の優先順位 : 61
INTLMA1TIR	受信割り込み	割り込みコントローラ INTLMA1IR DMA 開始要因の優先順位 : 46 DTS 開始要因の優先順位 : 60
INTLMA1TIS	ステータス割り込み	割り込みコントローラ INTLMA1IS
<b>LMA2 :</b>		
INTLMA2TIT	送信割り込み	割り込みコントローラ INTLMA2IT DMA 開始要因の優先順位 : 92
INTLMA2TIR	受信割り込み	割り込みコントローラ INTLMA2IR
INTLMA2TIS	ステータス割り込み	割り込みコントローラ INTLMA2IS
<b>LMA3 :</b>		
INTLMA3TIT	送信割り込み	割り込みコントローラ INTLMA3IT DMA 開始要因の優先順位 : 93
INTLMA3TIR	受信割り込み	割り込みコントローラ INTLMA3IR
INTLMA3TIS	ステータス割り込み	割り込みコントローラ INTLMA3IS

表 25-6 LMA<sub>n</sub> の割り込み (2/3)

LMA <sub>n</sub> 信号	機能	接続先
<b>LMA4 :</b>		
INTLMA4TIT	送信割り込み	割り込みコントローラ INTLMA4IT DMA 開始要因の優先順位 : 95
INTLMA4TIR	受信割り込み	割り込みコントローラ INTLMA4IR DMA 開始要因の優先順位 : 94
INTLMA4TIS	ステータス割り込み	割り込みコントローラ INTLMA4IS
<b>LMA5 :</b>		
INTLMA5TIT	送信割り込み	割り込みコントローラ INTLMA5IT DMA 開始要因の優先順位 : 108
INTLMA5TIR	受信割り込み	割り込みコントローラ INTLMA5IR DMA 開始要因の優先順位 : 107
INTLMA5TIS	ステータス割り込み	割り込みコントローラ INTLMA5IS
<b>LMA6 :</b>		
INTLMA6TIT	送信割り込み	割り込みコントローラ INTLMA6IT DMA 開始要因の優先順位 : 110
INTLMA6TIR	受信割り込み	割り込みコントローラ INTLMA6IR DMA 開始要因の優先順位 : 109
INTLMA6TIS	ステータス割り込み	割り込みコントローラ INTLMA6IS
<b>LMA7 :</b>		
INTLMA7TIT	送信割り込み	割り込みコントローラ INTLMA7IT DMA 開始要因の優先順位 : 112
INTLMA7TIR	受信割り込み	割り込みコントローラ INTLMA7IR DMA 開始要因の優先順位 : 111
INTLMA7TIS	ステータス割り込み	割り込みコントローラ INTLMA7IS
<b>LMA8 :</b>		
INTLMA8TIT	送信割り込み	割り込みコントローラ INTLMA8IT DMA 開始要因の優先順位 : 114
INTLMA8TIR	受信割り込み	割り込みコントローラ INTLMA8IR DMA 開始要因の優先順位 : 113
INTLMA8TIS	ステータス割り込み	割り込みコントローラ INTLMA8IS
<b>LMA9 :</b>		
INTLMA9TIT	送信割り込み	割り込みコントローラ INTLMA9IT DMA 開始要因の優先順位 : 116
INTLMA9TIR	受信割り込み	割り込みコントローラ INTLMA9IR DMA 開始要因の優先順位 : 115
INTLMA9TIS	ステータス割り込み	割り込みコントローラ INTLMA9IS

表 25-6 LMA<sub>n</sub> の割り込み (3/3)

LMA <sub>n</sub> 信号	機能	接続先
<b>LMA10 :</b>		
INTLMA10TIT	送信割り込み	割り込みコントローラ INTLMA10IT DMA 開始要因の優先順位 : 118
INTLMA10TIR	受信割り込み	割り込みコントローラ INTLMA10IR DMA 開始要因の優先順位 : 117
INTLMA10TIS	ステータス割り込み	割り込みコントローラ INTLMA10IS
<b>LMA11 :</b>		
INTLMA11TIT	送信割り込み	割り込みコントローラ INTLMA11IT DMA 開始要因の優先順位 : 120
INTLMA11TIR	受信割り込み	割り込みコントローラ INTLMA11IR DMA 開始要因の優先順位 : 119
INTLMA11TIS	ステータス割り込み	割り込みコントローラ INTLMA11IS

**LIN マスタ・スケジューラ・カウンタ** LIN マスタ・スケジューラへの LIN マスタ・コントローラの割り当てを次の表に示します。

CNTA <sub>m</sub>	LMA <sub>n</sub>
CNTA0	LMA0, LMA1
CNTA1	LMA2 to LMA9
CNTA2	LMA10 to LMA11

LIN マスタ・スケジューラ・カウンタ CNTA<sub>m</sub> の詳細に関しては、25.2 「LIN マスタ・スケジューラ・カウンタ (CNTA)」を参照してください。



## 25.2 LIN マスタ・スケジューラ・カウンタ (CNTA)

LIN マスタ・スケジューラ・カウンタは、16 ビットのフリーランニング・カウンタで構成されています。カウント・クロックは、CNTA 入カクロック PCLK をプリスケータで分周して生成します。

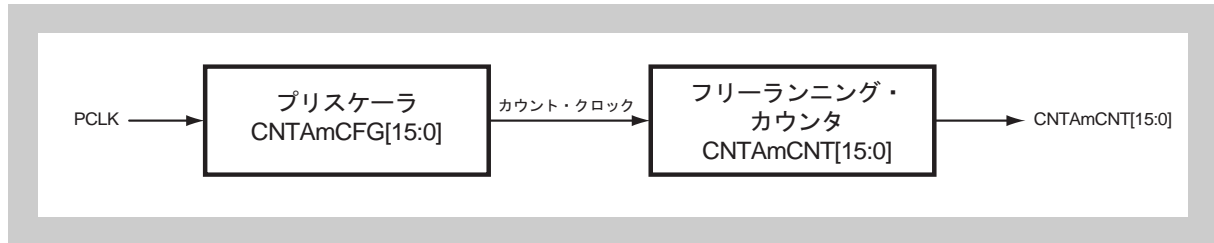


図 25-1 LIN マスタ・スケジューラ・カウンタ

**CNTAm の動作許可** LIN マスタ・コントローラがスケジューラの動作を許可する前に、CNTAmCTL.CNTAmPW を 1 にセットしてカウンタ CNTAm の動作を許可する必要があります。

**プリスケータによる分周** プリスケータの分周比は、CNTAmCFG.CNTAmPRS[15:0] の値によって決定されます。

- $\text{CNTAmPRS}[15:0] = \text{FFFF}_{\text{H}}$ : カウント・クロック =  $\text{PCLK}/1$
- その他の設定 : カウント・クロック =  $\text{PCLK}/(\text{CNTAmPRS}[15:0] + 2)$

### 25.2.1 CNTAm レジスタ

CNTAm は、次のレジスタで制御、動作します。

表 25-7 CNTAm レジスタ

レジスタ機能	名称	アドレス
制御レジスタ	CNTAmCTL	<CNTAm_base> + 00 <sub>H</sub>
設定レジスタ	CNTAmCFG	<CNTAm_base> + 04 <sub>H</sub>
テストレジスタ	CNTAmTCR3	<CNTAm_base> + 10 <sub>H</sub>

<CNTAm\_base> CNTAm のベース・アドレス <CNTAm\_base> は、表 25-4 「CNTAm レジスタ・ベース・アドレス <CNTAm\_base>」を参照してください。

**(1) CNTAmCTL - CNTAm 制御レジスタ**

CNTAm の動作を許可／禁止します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <CNTAm\_base> + 00<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTAmPW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-8 CNTAmCTL レジスタの内容

ビット位置	ビット名	機能
15	CNTAmPW	CNTAm の動作許可 0 : CNTAm の動作禁止 1 : CNTAm の動作許可

**(2) CNTAmCFG - CNTAm 設定レジスタ**

クロック・プリスケアラの分周比を設定します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <CNTAm\_base> + 04<sub>H</sub>

**初期値** FFFF<sub>H</sub> どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTAmPRS[15:0]															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25-9 CNTAmCFG レジスタの内容

ビット位置	ビット名	機能
15	CNTAmPRS [15:0]	CNTAm プリスケアラの分周比 FFFF <sub>H</sub> : PCLK/1 (初期値) 0000 <sub>H</sub> : PCLK/2 0001 <sub>H</sub> : PCLK/3 n <sub>H</sub> : PCLK/(n+2) ... FFFE <sub>H</sub> : PCLK/65536

**(3) CNTAmTCR3 - CNTAm テストレジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 16ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <CNTAm\_base> + 10<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CNTAmSVSDIS	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

表 25-10 CNTAmTCR レジスタの内容

ビット位置	ビット名	機能
7	CNTAmSVSDIS	<p>(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 25.3 機能概要

LMA<sub>n</sub> モジュールは、UARTE<sub>n</sub> モジュールに接続されます。この組み合わせにより、バッファ付き UARTE<sub>n</sub> としても使用可能な LIN マスタ・インタフェースを提供します。

- UART スルー・モード
- UART バッファ・モード, 全二重動作
  - 12 バイト送信バッファ
  - 12 バイト受信バッファ
- LIN マスタ・モード
  - チェック・サム自動生成/チェック機能
  - Break Field (BF), Sync Field (SF), チェック・サムの自動送信機能
  - スケジューラと自動フレーム開始機能

LIN マスタ・コントローラを次のブロック図に示します。

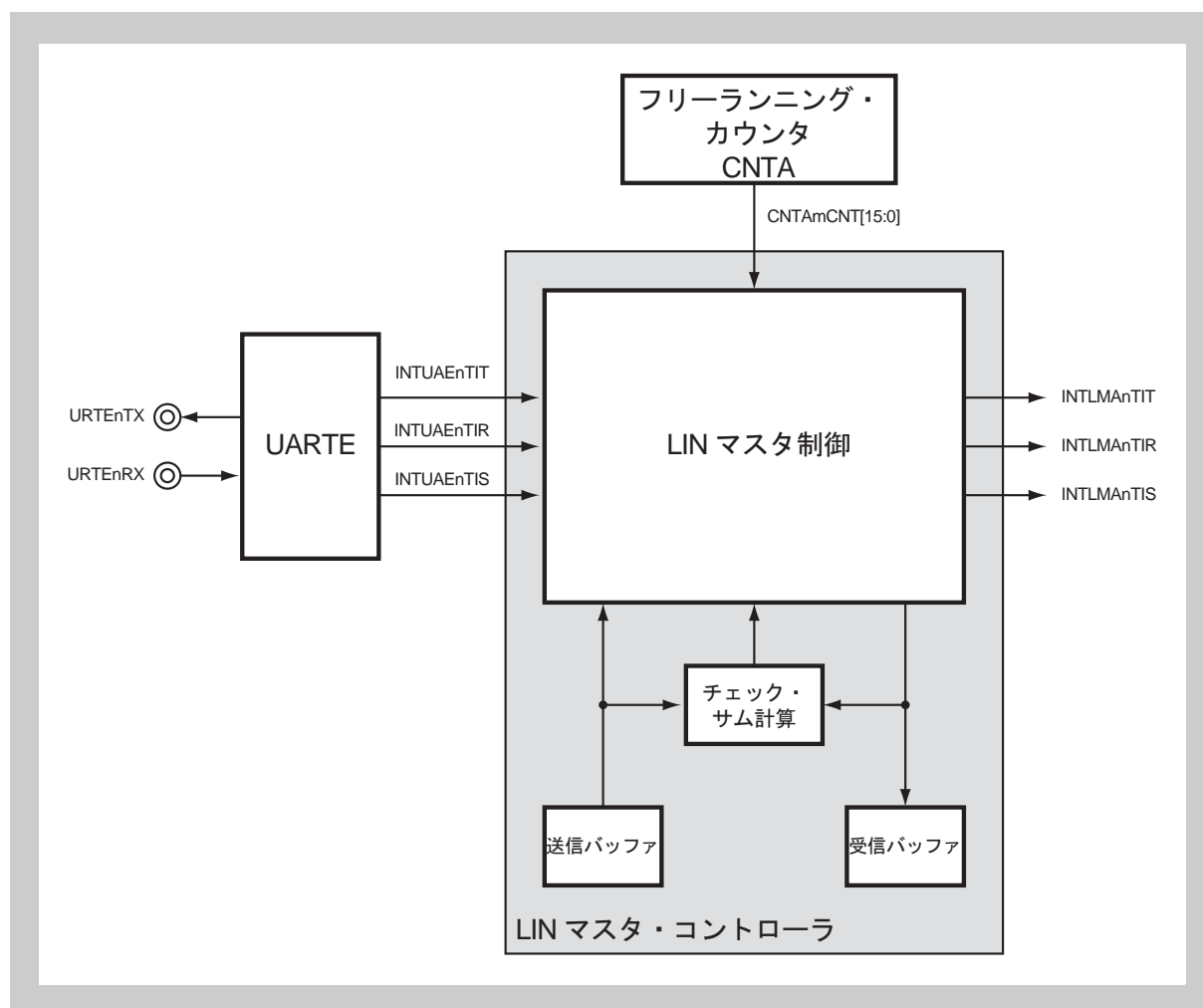


図 25-2 LIN マスタ・コントローラ環境

LIN マスタ・コントローラは、UARTE と連動することで、UARTE を LIN 機能を有する非同期シリアル・インタフェースとして活用します。

LIN マスタ・モード時、UARTE は LIN マスタ・コントローラによって完全に制御されます。また、送信バッファと受信バッファ間のデータ転送も LIN マスタ・コントローラによって管理されます。

UARTE 割り込み信号 INTUAEnTIT, INTUAEnTIR, INTUAEnTIS は、LIN マスタ・コントローラによって処理されます。LIN マスタ・コントローラは、割り込み信号 INTLMAntIT, INTLMAntIR, INTLMAntIS をマイコンの割り込みコントローラに対して発生させます。

UARTE の詳細は、第24章「アシンクロナス・シリアル・インタフェース E (UARTE<sub>n</sub>)」の章を参照してください。

スケジューラと自動フレーム開始機能を使用するためには、フリーランニング・カウンタを LIN マスタ・コントローラに接続します。詳細は、25.2「LIN マスタ・スケジューラ・カウンタ (CNTA)」を参照してください。

## 25.4 機能説明

LIN マスタは、LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] ビットを設定することで3つの異なる基本モードに設定できます。

- LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 00<sub>B</sub> : UARTE<sub>n</sub> スルー・モード  
LMA<sub>n</sub> をバイパスして、LMA<sub>n</sub> が接続されていない場合のように接続した UARTE<sub>n</sub> を動作させます。
- LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 01<sub>B</sub> : UARTE<sub>n</sub> バッファ・モード  
LMA<sub>n</sub> を、それぞれ 12 バイトの UARTE<sub>n</sub> 受信バッファ、送信バッファとして動作させます。
- LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub> : LIN マスタ・モード  
UARTE<sub>n</sub> と組み合わせることで、LMA<sub>n</sub> をそれぞれ 12 バイトの UARTE<sub>n</sub> 受信バッファ、送信バッファを提供する LIN マスタ・コントローラとして動作させ、CPU からの干渉を受けずに LIN フレーム転送をフレーム単位で処理します。

### 25.4.1 UART スルー・モード

UART スルー・モード (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 00<sub>B</sub>) では、LMA<sub>n</sub> 機能を使わずに UART を使用します。

リセット後の初期状態では、LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] が UART スルー・モードであるため、LMA<sub>n</sub> の制御を行わなくても、UARTE の制御のみで、このモードを使用できます。

**備考** 消費電力を最小限に抑えるためには、LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW を 0 に維持することを推奨します。

**割り込み** LMA<sub>n</sub> 割り込み要求はすべて UART 割り込み要求と同等です。

- 送信割り込み要求 : INTLMA<sub>n</sub>TIT = INTUAE<sub>n</sub>TIT
- 受信割り込み要求 : INTLMA<sub>n</sub>TIR = INTUAE<sub>n</sub>TIR
- ステータス割り込み要求 : INTLMA<sub>n</sub>TIS = INTUAE<sub>n</sub>TIS

**データ送信** 送信するデータを UARTE<sub>n</sub> 送信データ・レジスタ URTE<sub>n</sub>TX に書き込みます。

**データ受信** 受信したデータを UARTE<sub>n</sub> 受信データ・レジスタ URTE<sub>n</sub>RX から読み出します。

UARTE 状態レジスタ URTE<sub>n</sub>STR0 および URTE<sub>n</sub>STR1 は、データ転送状態とエラー検出に関する情報を提供します。

## 25.4.2 UART バッファ・モード

UARTE<sub>n</sub>と接続しているLMA<sub>n</sub>を、それぞれ12バイトのUARTE<sub>n</sub>受信バッファ、送信バッファ付きUARTE<sub>n</sub>として制御します。

UART バッファ・モードは全二重通信であるため、受信と送信は個別動作しますが、動作許可は同時に処理することが可能です。

### (1) 初期化

**UARTE 設定** UARTE<sub>n</sub>を次のように設定する必要があります。

- URTE<sub>n</sub>CTL2
    - URTE<sub>n</sub>PRS[2:0], URTE<sub>n</sub>BRS[11:0] : ボー・レート設定
  - URTE<sub>n</sub>CTL1
    - URTE<sub>n</sub>SLBM = 1 : データ受信中はBFを受信する
  - URTE<sub>n</sub>CTL0
    - URTE<sub>n</sub>PW = 1 : UARTE<sub>n</sub>の動作許可
    - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>TXE = x : 送信を許可/禁止
    - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>RXE = x : 受信を許可/禁止
    - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>SLDC = 0 : データの整合性をチェックしない
    - URTE<sub>n</sub>SLIT = 0 : 送信開始時に送信割り込み要求を発生
- 他のUARTE<sub>n</sub>設定はすべて必要に応じて指定できます。

**LMA<sub>n</sub> 設定** LMA<sub>n</sub>を次のように設定する必要があります。

- LMA<sub>n</sub>CTLH
  - LMA<sub>n</sub>PW = 1 : LMA<sub>n</sub>の動作許可
- LMA<sub>n</sub>CTLL
  - LMA<sub>n</sub>MD[1:0] = 01<sub>B</sub> : UART バッファ・モード
  - LMA<sub>n</sub>ACSE = 0 : 自動チェック・サム無効
  - LMA<sub>n</sub>SCHE = 0 : スケジューラ無効
  - LMA<sub>n</sub>AFE = 0 : 自動フレーム開始機能無効
  - LMA<sub>n</sub>ITMK = 0 : INTLMA<sub>n</sub>TIT をマスクしない
  - LMA<sub>n</sub>IRMK = 0 : INTLMA<sub>n</sub>TIR をマスクしない

**(2) 割り込み**

- INTLMAntTIT** LMAntCTLL.LMAntTLG[3:0] によって送信バッファに指定された数のデータ・バイトが転送されると、送信割り込み要求を発生します。
- INTLMAntTIR** LMAntRCTL.LMAntRLG[3:0] によって指定された数のデータ・バイトが受信バッファに格納されると、受信割り込み要求を発生します。  
 継続して受信を行う場合 (LMAntRCTL.LMAntRLG[3:0] = 0)、12 番目のデータが格納される (受信バッファがフル) と INTLMAntTIR を発生します。
- INTLMAntTIS** 次の条件下でステータス割り込み要求を発生します。
- 受信中に UART が以下のエラーを検出
    - パリティ・エラー : URTEnSTR1.URTEnPE = 1
    - フレーミング・エラー : URTEnSTR1.URTEnFE = 1
    - オーバラン・エラー : URTEnSTR1.URTEnOVE = 1

**(3) データ送信**

データを送信するには、送信するデータを送信バッファに書き込み (LMAntTX01-LMAntTXAB レジスタを使用)、送信バッファ長を LMAntCTLL.LMAntTLG[3:0] で指定したあとに、送信要求ビット LMAntCTLL.LMAntTRQ をセットします。

送信割り込み要求 INTLMAntTIT は、最終データ・バイトの送信を示します。

次の値を送信バッファとして指定できます。

- LMAntCTLL.LMAntTLG[3:0] = 0 : 12 データ・バイトを送信
  - LMAntCTLL.LMAntTLG[3:0] = 1-12 : 1 ~ 12 データ・バイトを送信
- LMAntCTLL.LMAntTLG[3:0] > 12 の設定は禁止です。

主な送信処理を次の図に示します。

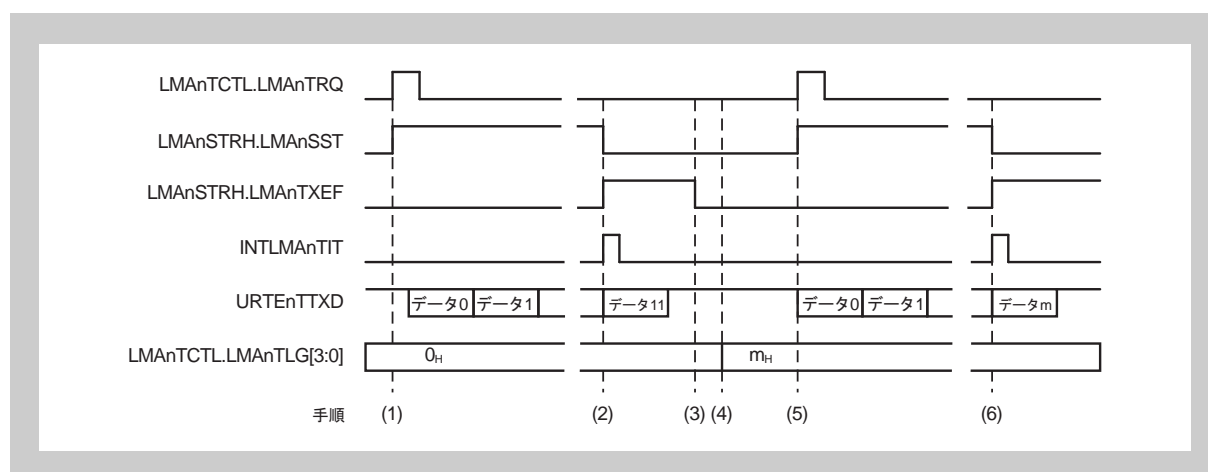


図 25-3 UART バッファ・モード時のデータ送信

- 前提条件**
- LMAnt の動作許可 (LMAntCTLL.LMAntPW = 1)
  - LMAnt を UART バッファ・モードに設定 (LMAntCTLL.LMAntMD[1:0] = 01<sub>B</sub>)
  - 送信バッファ・エンプティ・フラグ LMAntSTRH.TXEF をクリア



- 手順**
1. 送信バッファ LMA<sub>n</sub>TX01-LMA<sub>n</sub>TXAB に 12 バイトのデータを書き込み、送信要求ビット LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットしてください。データ送信を開始します。  
LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 によってデータ送信の開始が示されます。  
LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] を 0 に設定しているため、送信データ・バイトのサイズは 12 バイトです。
  2. 最終データ・バイト Data11 の送信を開始すると、送信割り込み要求 INTLMA<sub>n</sub>TIT を発生し、送信バッファが空であることを示すために LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF が 1 に設定されます。LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST が 0 にクリアされます。
  3. LMA<sub>n</sub>STCH.LMA<sub>n</sub>CLTXEF をセットして、送信バッファ・エンプティ・フラグをクリアしてください。
  4. m データ・バイトを送信バッファに書き込み、LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] = 0m<sub>H</sub> を設定することで、次の送信バッファによる m バイトのデータ送信が準備されます。
  5. その後、LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ = 1 により次の送信が開始されます。
  6. m 番目のデータ・バイト Data<sub>m</sub> の送信を開始すると、送信割り込み要求 INTLMA<sub>n</sub>TIT を発生し、送信バッファが空であることを示すために LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF が 1 に設定されます。LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST が 0 にクリアされます。

**備考** 送信バッファが空であることが示された場合 (LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF = 1)、または不正な値が送信バッファ長として指定された場合 (LMA<sub>n</sub>TCTLOW.LMA<sub>n</sub>TLG[3:0] > 0C<sub>H</sub>) でも、送信要求の発生時にエラーは検出されず、示されません。

**送信中止** 実行中のデータ送信を停止するには、LMA<sub>n</sub>TCTH.LMA<sub>n</sub>TAB をセットして送信中止要求を発生します。送信バッファから UARTE に新しいデータは送信されず、LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST がクリアされます。  
UARTE は、実行中のすべてのデータ送信を完了します。  
URTE<sub>n</sub>STR0.URTE<sub>n</sub>SST = 0 によって UARTE 送信の完了が確認できます。

**注意** 送信中止要求ビット LMA<sub>n</sub>TCTH.LMA<sub>n</sub>TAB をセットしたあとで送信割り込み要求が発生される場合があります。そのため、送信中止要求が発生される前に割り込みコントローラで INTLMA<sub>n</sub>TIT をマスクしてください。

**(4) データ受信**

データを受信するには、受信バッファ長を LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RLG[3:0] で指定したあとに、受信要求ビット LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RRQ をセットします。

受信割り込み要求 INTLMA<sub>n</sub>TIR は、最終データ・バイトの受信を示します。

次の値を受信バッファ長として指定できます。

- LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RLG[3:0] = 0 : 連続受信モード

以降の受信要求を設定 (LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RRQ = 1) することなく、受信されたデータが連続して受信バッファに格納されます。12 データ・バイトが受信バッファに格納されるたびに受信割り込み要求 INTLMA<sub>n</sub>TIR を発生します。

- LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RLG[3:0] = 1-12 : 1 ~ 12 データ・バイトを受信バッファに格納

LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>TLG[3:0] > 12 の設定は禁止です。

主な受信処理を次の図に示します。

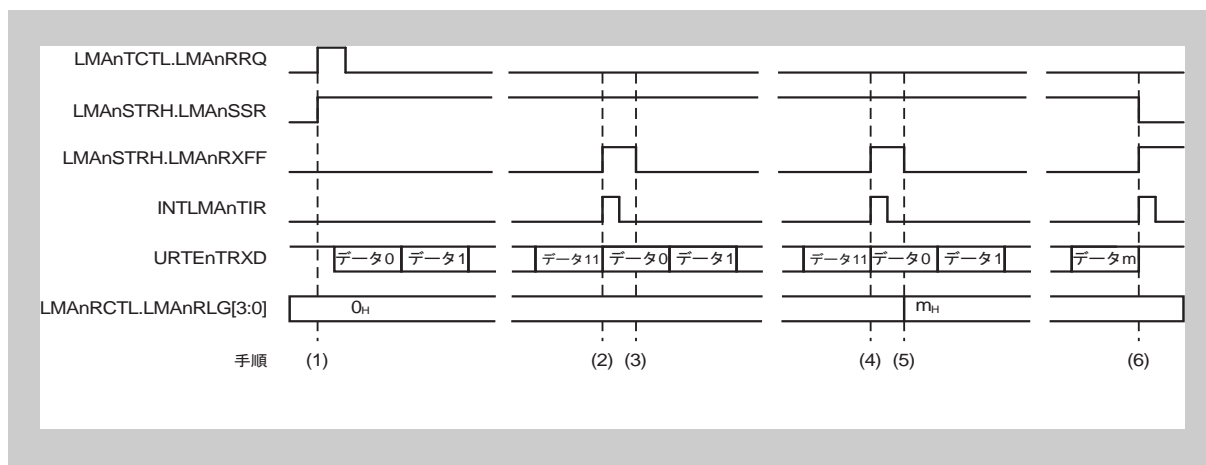


図 25-4 UART バッファ・モード時のデータ受信

- 前提条件**
- LMAの動作許可 (LMACTLH.LMAPW = 1)
  - LMAをUARTバッファ・モードに設定 (LMACTLL.LMAMD[1:0] = 01<sub>B</sub>)
  - 受信バッファ・フル・フラグ LMASTRH.LMARXFF をクリア
- 手順**
1. 受信要求ビット LMACTLL.LMARRQ をセットします。データ受信を開始します。  
LMASTRH.LMASSR = 1 によってデータ受信の開始が示されます。  
LMACTLL.LMARG[3:0] を 0 に設定しているため、連続受信モードで 12 バイトが受信されます。
  2. 最終データ・バイト Data11 の受信を開始すると、受信割り込み要求 INTLMACTIR を発生し、受信バッファがフルであることを示すために LMASTRH.LMARXFF が 1 に設定されます。  
連続受信モードであるため、新しい受信要求を発生せずに Data1 が受信されます。
  3. LMARX00-LMARXAB レジスタで受信バッファを読みだし、LMASTCH.LMACLRXFF をセットして受信バッファ・フル・フラグをクリアします。
  4. 次の 12 データ・バイト受信後、m データ・バイトのみ受信し、受信を停止する必要があります。したがって、LMACTLL.LMARG[3:0] によって受信バッファ長を m に指定し、LMASTCH.LMACLRXFF をセットして受信バッファ・フル・フラグをクリアします。
  5. m データ・バイトを受信バッファに格納すると、受信を停止します (LMASTRH.LMASSR = 0)。
- 受信中止** 実行中のデータ受信を停止するには、LMACTH.LMARAB をセットして受信中止要求を発生します。受信バッファに新しいデータは格納されず、LMASTRH.LMASSR は 0 にクリアされます。  
UARTE は実行中のすべてのデータ受信を完了しますが、最後に受信したデータは受信バッファに格納されません。URTESTR0.URTESSR = 0 によって UARTE 受信の完了が確認できます。
- 注意** 受信中止要求ビット LMACTH.LMARAB をセットしたあとで受信割り込み要求が発生される場合があります。そのため、受信中止要求が発生される前に割り込みコントローラで INTLMACTIR をマスクしてください。

## (5) UARTE 受信エラー

UARTE および LMA<sub>n</sub> で、データ受信中にエラー検出を開始できます。

**UARTE<sub>n</sub> エラー** データ受信中に UARTE がパリティ、フレーミング、またはオーバラン・エラーを検出すると、受信データを受信バッファに格納し、対応する受信データ・フラグ (LMA<sub>n</sub>STRLL.LMA<sub>n</sub>RXBE[11:0]) をセットします。RXBE[11:0] の値は受信バッファのデータ・バイトに関連付けられています。

- LMA<sub>n</sub>RX01.LMA<sub>n</sub>RX00B[7:0] エラー : LMA<sub>n</sub>STRLL.LMA<sub>n</sub>RXBE[0] = 1

...

- LMA<sub>n</sub>RXAB.LMA<sub>n</sub>RX11B[7:0] エラー : LMA<sub>n</sub>STRLL.LMA<sub>n</sub>RXBE[11] = 1

LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RLG[3:0] によって指定された数のデータ・バイトが受信バッファに格納されると、連続受信モードで動作中 (LMA<sub>n</sub>STRH.LMA<sub>n</sub>SSR = 0) であっても、割り込み要求 INTLMA<sub>n</sub>TIS を発生して受信を停止します (LMA<sub>n</sub>STRH.LMA<sub>n</sub>SSR = 0)。

この場合、受信割り込み要求 INTLMA<sub>n</sub>TIR は発生されません。

受信エラー・フラグ LMA<sub>n</sub>STRLL.LMA<sub>n</sub>RXBE[11:0] は累積されます。つまり、指定された数のデータ・バイトが受信されるまでに受信エラーが検出されると、それに対応するエラー・フラグはセットされたままとなります。受信終了 (INTLMA<sub>n</sub>TIS によって表示) 時、LMA<sub>n</sub>STRLL.LMA<sub>n</sub>RXBE[11:0] を読みだすことでエラー・フラグをセットしたすべての受信バッファ・データを確認できます。

連続受信モード時 (LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RLG[3:0] = 0) の例を次の図に示します。

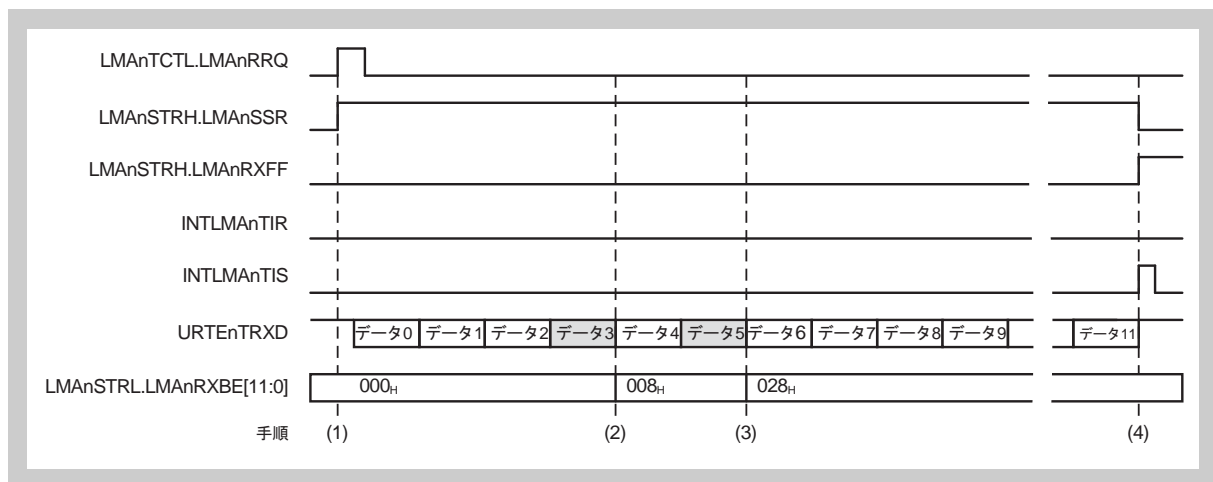


図 25-5 UART バッファ・モード時のデータ受信と UART 受信エラーの発生

- 前提条件**
- LMAの動作許可 (LMACTLH.LMAPW = 1)
  - LMAをUARTバッファ・モードに設定 (LMACTLL.LMAMD[1:0] = 01<sub>B</sub>)
  - 受信バッファ・フル・フラグ LMASTRH.LMARXFF をクリア
  - 受信エラー・フラグ LMASTR.LMARXBE[11:0] をクリア

- 手順**
1. LMA RCTLL.LMARRRQ をセットして受信を開始します。
  2. Data3 の受信中に UARTE がエラーを検出しました。Data3 は受信バッファ LMARX23.LMARX03B[7:0] に格納され、対応するエラー・フラグ LMASTR.LMARXBE[3] をセットしますので、LMASTR.LMARXBE[11:0] = 008<sub>H</sub> となります。
  3. Data5 の受信中に UARTE がエラーを検出しました。Data5 は受信バッファ LMARX45.LMARX05B[7:0] に格納され、対応するエラー・フラグ LMASTR.LMARXBE[5] をセットしますので、LMASTR.LMARXBE[11:0] = 028<sub>H</sub> となります。
  4. 最終データ・バイト Data11 の受信後、INTLMANTIR の代わりにステータス割り込み INTLMANTIS を発生し、受信処理を停止します (LMASTRH.LMASSR = 0)。

**LMA 受信バッファのオーバーフロー・エラー** 新しいデータの受信中に受信バッファ・フル・フラグ LMASTRH.LMARXFF がセットされると、以下の処理を行います。

- 受信バッファ・オーバーフロー・フラグ LMASTRH.LMAROVE をセット
- ステータス割り込み要求 INTLMANTIS を発生
- 受信データは受信バッファに格納しない
- 受信処理を停止 (LMASTRH.LMASSR = 0)

オーバーフロー発生時のデータは UARTE の受信レジスタ URTE<sub>n</sub>RX に保持されるため、そこから読みだすことができます。

ただし、次のデータを受信すると、UARTE は URTE<sub>n</sub>RX レジスタを上書きしませんがオーバーラン・エラー・フラグ URTESTR1.URTE<sub>n</sub>OVE をセットすることによってこの保持データを破棄します。

### 25.4.3 LIN マスタ・モード

LMA<sub>n</sub>と接続している UARTE<sub>n</sub>を LIN マスタとして制御します。LIN マスタ・フレーム転送を開始するための Break Field (BF) と Sync Field (SF) の送信、自動チェック・サム機能、スケジューラ、および自動フレーム開始機能を含む自動 LIN マスタ送受信フレーム転送を行う LIN マスタ・インタフェースを提供します。独立した 12 バイトの送信バッファと受信バッファにより、CPU からの干渉を受けずに LIN フレーム転送を処理できます。

**動作方法** LIN マスタ・フレームの転送は、フレーム・ヘッダ (BF と SF) を送信することで開始します。この送信は転送開始時に自動的に行われます。

LIN マスタ送信/受信モード時、PID は送信バッファに書き込みます。

送信モード時には、送信するデータ (最大 8 データ・バイト) を送信バッファに書き込み、送信バッファ長を LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] に設定してください。

自動チェック・サム機能が有効の場合、チェック・サムを自動で算出し、送信バッファの送信データ・バイトに付加します。自動チェック・サム機能が無効の場合、チェック・サムは CPU によって計算して送信バッファに書き込む必要があります。

送信要求ビット LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットすることによってフレームの送信を開始したあと、BF, SF, PID, 送信データ・バイト, 送信チェック・サムを送信します。

LIN フレーム全体の送信中にデータ整合性チェックを行うため、送信したデータは同時に受信し、受信バッファに格納します。

自動チェック・サム機能が有効の場合、受信したデータのチェック・サムを自動で算出し、受信バッファ内の受信チェック・サムと比較します。不一致の場合、チェック・サム・エラーが発生します。自動チェック・サム機能が無効の場合、受信したデータのチェック・サムの計算と受信チェック・サムとの比較は CPU によって行う必要があります。

受信モード時は、受信バッファ長 (最大 8 データ・バイト) を LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] で指定してください。フレーム受信は、LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ = 1 (送信要求設定) により開始します。LIN マスタは BF, SF, PID の送信を開始し、LIN スレーブから指定したデータ・バイトとチェック・サムを受信します。

自動チェック・サム機能が有効の場合、受信したデータのチェック・サムを自動で算出し、受信バッファ内の受信チェック・サムと比較します。

不一致の場合、チェック・サム・エラーが発生します。

自動チェック・サム機能が無効の場合、受信したデータのチェック・サムの計算と受信チェック・サムとの比較は CPU によって行う必要があります。

**備考** LIN マスタ送信/受信モード時、フレームの転送は送信制御レジスタ LMA<sub>n</sub>TCTL によって制御されます。

スケジューラが有効の場合、最小限の LIN インタフェース空間 (LIN フレーム間の時間) を確保するためにステータス割り込みを一定の周期で発生します。スレーブによってはこの最小限の LIN インタフェース空間が必要な場合があります。

そのため、LIN フレームの転送を開始する前に、LIN フレームとフレーム間

のスペースを合わせた LIN フレーム・スロット長 FRSL を送信バッファに指定します。

スケジューラと自動フレーム開始機能が有効の場合、LIN フレーム・スロット長 FRSL に続いて新しい LIN フレームの転送が自動的に開始されます。

**LIN フレーム・ヘッダ・エラー** LIN フレーム・ヘッダ (BF : Break Field, SF : Sync Field) 送信中のエラーに対処するモードとして2つのモードが用意されています。

- LMAAnCTLL.LMAAnMD[1:0] = 10<sub>B</sub> : ヘッダにブ레이크がない LIN マスタ・モード  
ヘッダ送信中にエラーを検出した場合でも、データ転送を続けます。
- LMAAnCTLL.LMAAnMD[1:0] = 11<sub>B</sub> : ヘッダにブ레이크がある LIN マスタ・モード  
ヘッダ送信中にエラーを検出すると、データ転送を停止します。

**チェック・サム** 自動チェック・サムは2つの方法で計算することができます。

- LMAAnTCTLL.LMAAnSLEC = 0 : データ・バイトのみを使用してチェック・サムを計算します (クラシック・チェック・サム)。
- LMAAnTCTLL.LMAAnSLEC = 1 : PID とデータ・バイトを使用してチェック・サムを計算します (エンハンス・チェック・サム)。

**LIN フレーム長** 送信バッファ長 (LIN フレームの長さ) を LMAAnTCTLL.LMAAnTLG[3:0] で指定する必要があります。

LMAAnTCTLL.LMAAnTLG[3:0] の値は、データ・バイト数 (最大 8)、PID、チェック・サムを含みます。したがって、LMAAnTCTLL.LMAAnTLG[3:0] の設定範囲は次のようになります。

$$\text{LMAAnTCTLL.LMAAnTLG}[3:0] = 2 \sim 10$$

他の値はすべて設定禁止です。

**送信／受信中止** 実行中のデータ転送を停止するには、LMAAnCTLH.LMAAnTAB をセットして送信中止要求を発生します。

送信バッファから新しく送信されたデータは UARTE に送信され、また UARTE から受信したデータは受信バッファに格納されます。

LMAAnSTRH.LMAAnSST がクリアされます。

UARTE は、実行中のデータ送信をすべて完了します。UARTE の送信／受信の完了は、それぞれ URTEEnSTR0.URTEEnSST = 0, URTEEnSTR0.URTEEnSST = 0 で確認できます。

---

**注意** 送信中止要求ビット LMAAnCTLH.LMAAnTAB をセットしたあとで、送信、受信、またはステータス割り込みが発生する場合があります。そのため、送信中止要求が発生される前に割り込みコントローラで INTLMAnTIT, INTLMAnTIR, INTLMAnTIS をマスクしてください。

---



## (1) 初期化

**CNTAn 設定** スケジューラを使用する場合、スケジューラ・カウンタを次のように設定する必要があります。

- CNTAmCTL
  - CNTAmPW = 1 : カウンタ有効
- CNTAmCFG
  - CNTAmPRS[15:0] : 分周比

**UARTE 設定** UARTE<sub>n</sub> を次のように設定する必要があります。

- URTE<sub>n</sub>CTL2
  - URTE<sub>n</sub>PRS[2:0] および URTE<sub>n</sub>BRS[11:0] : ボー・レート設定
- URTE<sub>n</sub>CTL1
  - URTE<sub>n</sub>SLBM = 0 : データ受信中は BF を受信しない
  - URTE<sub>n</sub>BLG[2:0] : BF ビット長
  - URTE<sub>n</sub>CLG = 1 : 8 ビット・データ
  - URTE<sub>n</sub>SLP[1:0] = 00<sub>B</sub> : パリティなし
  - URTE<sub>n</sub>TDL = 0 : 送信データを反転しない
  - URTE<sub>n</sub>RDL = 0 : 受信データを反転しない
  - URTE<sub>n</sub>SLG = 0 : ストップ・ビット数 1
  - URTE<sub>n</sub>SLD = 1 : LSB ファースト
  - URTE<sub>n</sub>SLIT = 0 : 送信開始時に送信割り込み要求を発生
- URTE<sub>n</sub>CTL0
  - URTE<sub>n</sub>PW = 1 : UARTE<sub>n</sub> の動作許可
  - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>TXE = 1 : 送信を許可
  - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>RXE = 1 : 受信を許可
  - URTE<sub>n</sub>CTL0.URTE<sub>n</sub>SLDC = 1 : データ整合性チェック有効

**LMA<sub>n</sub> 設定** LMA<sub>n</sub> を次のように設定する必要があります。

- LMA<sub>n</sub>CTLH
  - LMA<sub>n</sub>PW = 1 : LMA<sub>n</sub> の動作許可
- LMA<sub>n</sub>CTLL
  - LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub> : LIN マスタ・モード
  - LMA<sub>n</sub>ACSE = x : 自動チェック・サム機能有効／無効
  - LMA<sub>n</sub>SCHE = x : スケジューラ有効／無効
  - LMA<sub>n</sub>AFE = x : 自動フレーム開始機能有効／無効
  - LMA<sub>n</sub>iTMK = x : INTLMA<sub>n</sub>TIT をマスクする／しない
  - LMA<sub>n</sub>iRMK = x : INTLMA<sub>n</sub>TIR をマスクする／しない

**(2) 割り込み**

LINマスタ・フレーム転送は送受信を伴うため、送信モードおよび受信モードではそれぞれ送信割り込み (INTLMAntIT) と受信割り込み (INTLMAntIR) が発生します。

**備考** 送信割り込みと受信割り込みの要求は個別に制御できます。

- LMAntCTLL.ITMK = 1 : INTLMAntIT はマスクされ発生しない
- LMAntCTLL.IRMK = 1 : INTLMAntIR はマスクされ発生しない

- INTLMAntIT**
- 送信モード時 (LMAntCTLL.LMAntSLRT = 0)  
LMAntCTLL.LMAntTLG[3:0] で指定した数のデータ・バイトを送信すると、INTLMAntIT を発生します。
  - 受信モード時 (LMAntCTLL.LMAntSLRT = 1)  
SF を送信した場合
- INTLMAntIR**
- 送信モード時 (LMAntCTLL.LMAntSLRT = 0)  
INTLMAntIR の発生は、自動チェック・サム機能の有効/無効に依存します。  
チェック・サム制御によってチェック・サムを受信したとき、INTLMAntIR の発生は次のように異なります。
    - 自動チェック・サム機能無効時 (LMAntCTLL.LMAntACSE = 0) : 必ず INTLMAntIR が発生します。
    - 自動チェック・サム機能有効時 (LMAntCTLL.LMAntACSE = 1) : 受信したチェック・サムと自動的に計算されたチェック・サムが一致すると INTLMAntIR を発生します。不一致の場合、チェック・サム・エラーを示し (LMAntSTRH.LMAntFCSE = 1)、代わりにステータス割り込み要求 INTLMAntIS を発生します。
  - 受信モード時 (LMAntCTLL.LMAntSLRT = 1)  
LMAntRCTL.LMAntTLG[3:0] によって指定された数のデータ・バイトが受信バッファに格納されると、INTLMAntIR を発生します。
- INTLMAntIS** ステータス割り込み要求は、さまざまな条件に応じて発生されます。
- UARTE がフレーミング・エラーを検出
  - UARTE がオーバラン・エラーを検出
  - UARTE がデータ整合性エラーを検出
  - UARTE が BF 送信エラーを検出
  - UARTE が SF 送信エラーを検出
  - LMAnt が自動チェック・サム・エラーを検出
  - LMAnt がバッファ準備エラーを検出
  - LMAnt スケジューラ準備完了イベントが発生

## (3) データ送信

LMAAnCTLL.LMAAnMD[1:0] = 1x<sub>B</sub> と LMAAnTCTLL.LMAAnSLRT = 0 を設定して LIN マスタ送信モードを選択します。

LIN マスタ・フレームを送信するためには、フレームの送信を開始する前に、送信バッファを次に示すフォーマットで準備する必要があります。

表 25-11 LIN マスタ送信モード時の送信バッファの準備

送信バッファ・レジスタ		8 データ・バイト用 送信バッファ	5 データ・バイト用 送信バッファ
LMAAnTXAB.	LMAAnTX11B[7:0]	FRSLH <sup>a</sup>	FRSLH <sup>a</sup>
	LMAAnTX10B[7:0]	FRSLL <sup>a</sup>	FRSLL <sup>a</sup>
LMAAnTX89.	LMAAnTX9B[7:0]	送信チェック・サム <sup>b</sup>	—
	LMAAnTX8B[7:0]	TxDat7	—
LMAAnTX67.	LMAAnTX7B[7:0]	TxDat6	—
	LMAAnTX6B[7:0]	TxDat5	送信チェック・サム <sup>b</sup>
LMAAnTX45.	LMAAnTX5B[7:0]	TxDat4	TxDat4
	LMAAnTX4B[7:0]	TxDat3	TxDat3
LMAAnTX23.	LMAAnTX3B[7:0]	TxDat2	TxDat2
	LMAAnTX2B[7:0]	TxDat1	TxDat1
LMAAnTX01.	LMAAnTX1B[7:0]	TxDat0	TxDat0
	LMAAnTX0B[7:0]	PID	PID

a) フレーム・スロット長 FRSLH/FRSLL は、スケジューラが有効 (LMAAnCTLL.LMAAnSCHE = 1) の場合のみ有効です。

b) 送信チェック・サムは、自動チェック・サム機能が有効 (LMAAnCTLL.LMAAnACSE = 1) の場合、自動的に格納されます。自動チェック・サム機能が無効の場合、チェック・サムの計算と格納はソフトウェアで行う必要があります。

LIN フレームの送信開始後、送信したデータはチェック・サムを確認するために受信バッファに格納します。フレーム全体を送信後、受信バッファは次のようになります。

表 25-12 LIN フレーム送信後の受信バッファ

受信バッファ・レジスタ		8 データ・バイト用 受信バッファ	5 データ・バイト用 受信バッファ
LMAAnRxAB.	LMAAnRx11B[7:0]	—	—
	LMAAnRx10B[7:0]	—	—
LMAAnRx89.	LMAAnRx9B[7:0]	受信チェック・サム	—
	LMAAnRx8B[7:0]	RxDat7	—
LMAAnRx67.	LMAAnRx7B[7:0]	RxDat6	—
	LMAAnRx6B[7:0]	RxDat5	受信チェック・サム
LMAAnRx45.	LMAAnRx5B[7:0]	RxDat4	RxDat4
	LMAAnRx4B[7:0]	RxDat3	RxDat3
LMAAnRx23.	LMAAnRx3B[7:0]	RxDat2	RxDat2
	LMAAnRx2B[7:0]	RxDat1	RxDat1
LMAAnRx01.	LMAAnRx1B[7:0]	RxDat0	RxDat0
	LMAAnRx0B[7:0]	PID	PID

自動チェック・サム機能が有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 1) の場合、LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLEC で選択したチェック・サムを計算し、受信したチェック・サムと比較します。自動チェック・サム機能が無効の場合、チェック・サムの計算と比較はソフトウェアで行う必要があります。

8 データ・バイト時の LIN フレーム送信処理を次の図に示します。

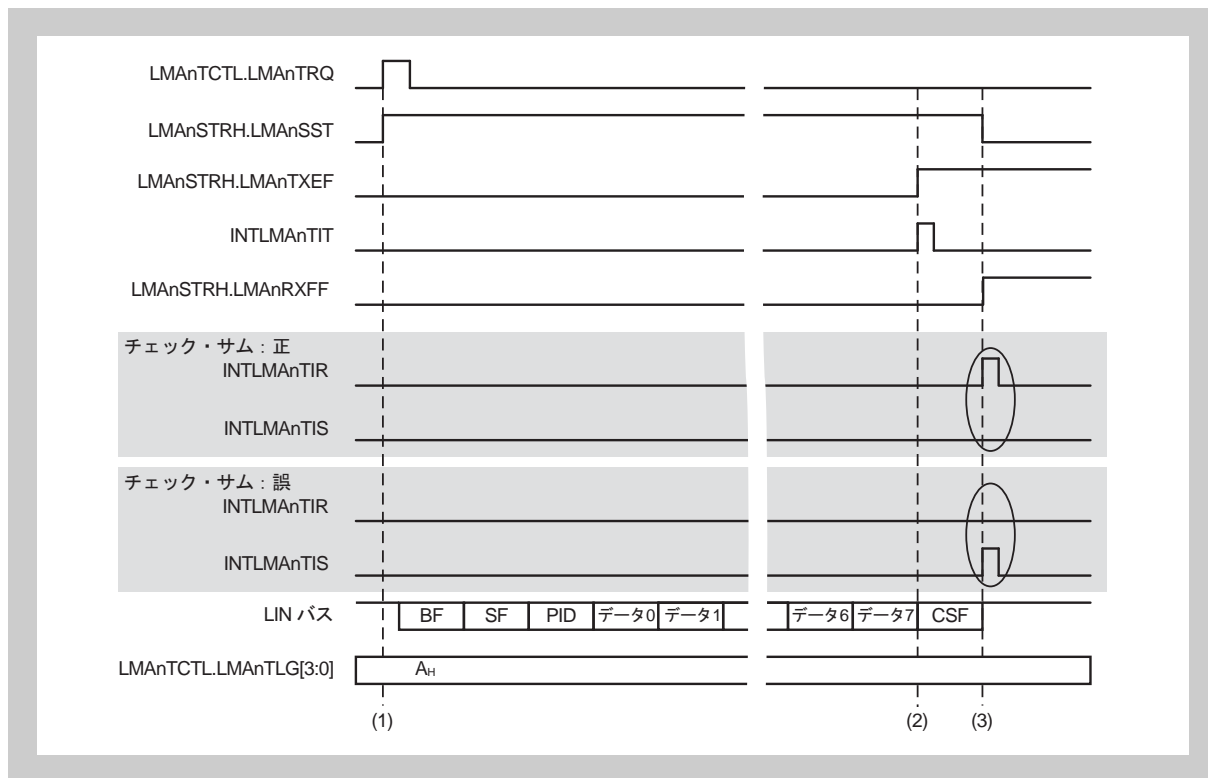


図 25-6 LIN マスタ送信モード時の LIN フレーム送信

- 前提条件**
- LMA<sub>n</sub> の動作許可 (LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 1)
  - LMA<sub>n</sub> を LIN マスタ送信モードに設定 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub>, LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLRT = 0)
  - スケジューラを未使用。したがって自動フレーム開始機能も未使用 (LMA<sub>n</sub>CTLL レジスタの LMA<sub>n</sub>SCHE, LMA<sub>n</sub>AFE をクリア)
  - 送信バッファ・エンプティ・フラグ LMA<sub>n</sub>STRH.TXEF をクリア
  - 受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF をクリア
- 手順**
1. 送信バッファ LMA<sub>n</sub>TX01.LMA<sub>n</sub>TX00B[7:0] に PID, 送信バッファ LMA<sub>n</sub>TX01.LMA<sub>n</sub>01B[7:0]-LMA<sub>n</sub>TX89.LMA<sub>n</sub>08B[7:0] にデータを 8 バイト書き込んでください。  
 自動チェック・サムが無効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 0) の場合, CSF (チェックサム・フィールド) を CPU によって計算し, 送信バッファに付加する必要があります。  
 自動チェック・サムが有効の場合, CSF は自動的に計算されて付加されます。  
 フレーム長 LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] = A<sub>H</sub> (10 = PID + 8 データ・バイト + CSF) を設定してください。  
 LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットしてフレーム送信を開始します。送信開始は, LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 で示されます。
  2. チェック・サム・フィールド (CSF) の送信を開始すると, LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF が 1 に設定されて送信バッファが空であることが示され, 送信割り込み要求 INTLMA<sub>n</sub>TIT を発生します。
  3. チェック・サム・フィールドの送信後, 自動チェック・サム機能が有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 1) の場合, 受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF がセットされ, チェック・サム制御が行われます。  
 チェック・サムが正しい場合, 受信割り込み要求 INTLMA<sub>n</sub>TIR を発生します。  
 チェック・サムが正しくない場合, 受信割り込み要求の代わりにステータス割り込み要求 INTLMA<sub>n</sub>TIS を発生します。

## (4) データ受信

LMAAnCTLL.LMAAnMD[1:0] = 1x<sub>B</sub>, LMAAnTCTLL.LMAAnSLRT = 1 を設定して LIN マスタ受信モードを選択します。

LIN マスタ・モードでデータを受信するためには、フレームの受信を開始する前に、送信バッファを次に示すフォーマットで準備する必要があります。

表 25-13 LIN マスタ受信モード時の送信バッファの準備

送信バッファ・レジスタ		送信バッファ
LMAAnTXAB.	LMAAnTX11B[7:0]	FRSLH <sup>a</sup>
	LMAAnTX10B[7:0]	FRSLL <sup>a</sup>
LMAAnTX89.	LMAAnTX9B[7:0]	—
	LMAAnTX8B[7:0]	—
LMAAnTX67.	LMAAnTX7B[7:0]	—
	LMAAnTX6B[7:0]	—
LMAAnTX45.	LMAAnTX5B[7:0]	—
	LMAAnTX4B[7:0]	—
LMAAnTX23.	LMAAnTX3B[7:0]	—
	LMAAnTX2B[7:0]	—
LMAAnTX01.	LMAAnTX1B[7:0]	—
	LMAAnTX0B[7:0]	PID

a) フレーム・スロット長 FRSLH/FRSLL は、スケジューラが有効 (LMAAnCTLL.LMAAnSCHE = 1) の場合のみ有効です。

LIN フレームの受信開始後、LIN マスタ・フレーム・ヘッダ (BF, SF, PID) をスレーブに送信し、その後スレーブから受信したデータを受信バッファに格納します。フレーム全体を送信後、受信バッファは次のようになります。

表 25-14 LIN フレーム受信後の LIN マスタ受信バッファ

受信バッファ・レジスタ		8 データ・バイト用 受信バッファ	5 データ・バイト用 受信バッファ
LMAAnRxAB.	LMAAnRx11B[7:0]	—	—
	LMAAnRx10B[7:0]	—	—
LMAAnRx89.	LMAAnRx9B[7:0]	Rx checksum	—
	LMAAnRx8B[7:0]	RxData7	—
LMAAnRx67.	LMAAnRx7B[7:0]	RxData6	—
	LMAAnRx6B[7:0]	RxData5	受信チェック・サム
LMAAnRx45.	LMAAnRx5B[7:0]	RxData4	RxData4
	LMAAnRx4B[7:0]	RxData3	RxData3
LMAAnRx23.	LMAAnRx3B[7:0]	RxData2	RxData2
	LMAAnRx2B[7:0]	RxData1	RxData1
LMAAnRx01.	LMAAnRx1B[7:0]	RxData0	RxData0
	LMAAnRx0B[7:0]	PID	PID

自動チェック・サム機能が有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 1) の場合、LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLEC で選択したチェック・サムを計算し、受信したチェック・サムと比較します。自動チェック・サム機能が無効の場合、チェック・サムの計算と比較はソフトウェアで行う必要があります。

8 データ・バイト時の LIN フレーム受信処理を次の図に示します。

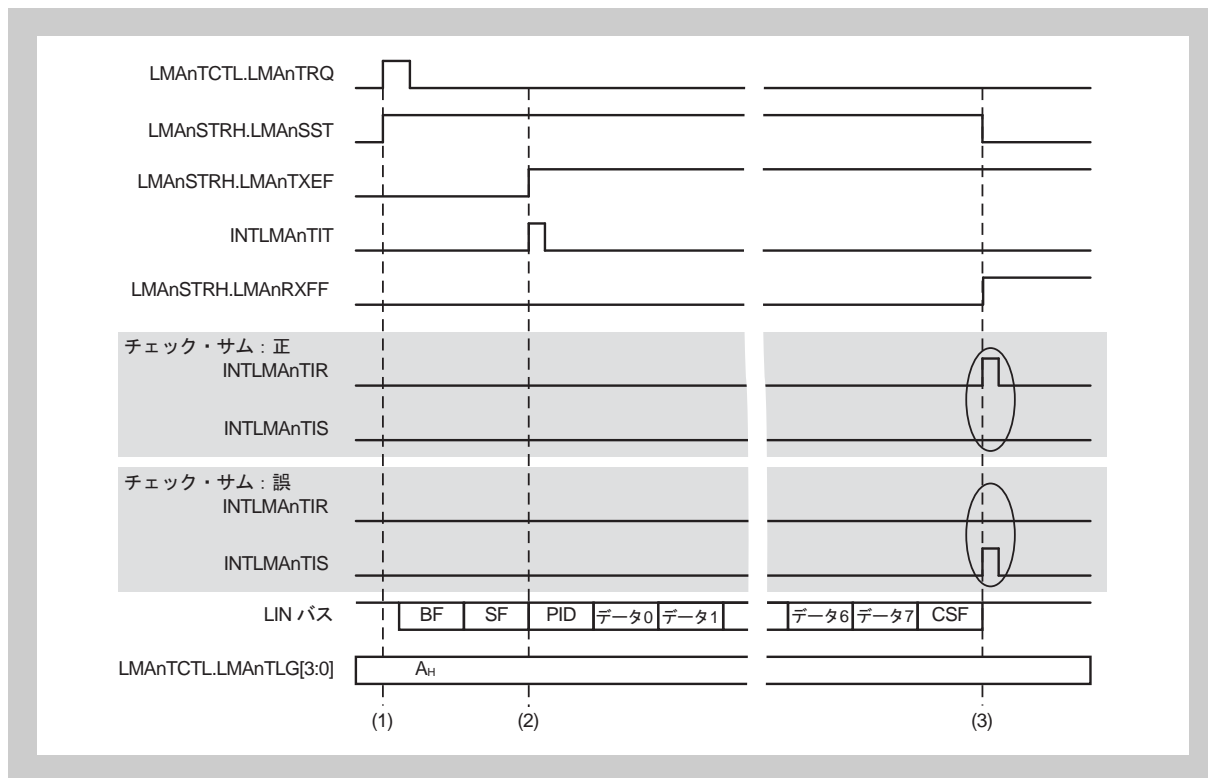


図 25-7 LIN マスタ受信モード時の LIN フレーム受信

- 前提条件**
- LMA<sub>n</sub> の動作許可 (LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 1)
  - LMA<sub>n</sub> を LIN マスタ受信モードに設定 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub>, LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLRT = 1)
  - スケジューラを未使用。したがって自動フレーム開始機能も未使用 (LMA<sub>n</sub>CTLL レジスタの LMA<sub>n</sub>SCHE, LMA<sub>n</sub>AFE をクリア)
  - 送信バッファ・エンプティ・フラグ LMA<sub>n</sub>STRH.TXEF をクリア
  - 受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF をクリア
- 手順**
1. 送信バッファ LMA<sub>n</sub>TX01.LMA<sub>n</sub>TX00B[7:0] に PID を書き込みます。LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットしてフレーム受信を開始します。フレーム・ヘッダの送信開始は、LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 で示されます。
  2. PID の送信を開始すると、LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF が 1 設定されて送信バッファが空であることが示され、送信割り込み要求 INTLMA<sub>n</sub>TIT を発生します。
  3. チェック・サム・フィールドの送信後、自動チェック・サム機能が有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 1) の場合、受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF がセットされ、チェック・サム制御が行われます。チェック・サムが正しい場合、受信割り込み要求 INTLMA<sub>n</sub>TIR を発生します。チェック・サムが正しくない場合、受信割り込み要求の代わりにステータス割り込み要求 INTLMA<sub>n</sub>TIS を発生します。



## (5) LINマスタ・モード転送エラー

LINマスタ・モードで転送時、UARTE<sub>n</sub>とLMA<sub>n</sub>はさまざまな転送エラーを検出して表示することができます。

表 25-15 LINマスタ・モード転送エラー

検出モジュール	エラー	表示ビット	エラー要因
UARTE	フレーミング・エラー	URTE <sub>n</sub> STR1.URTE <sub>n</sub> FE = 1	SF, PID, データ, または CSF (チェック・サム) バイトの 8 番目のビットの受信後, ストップ・ビットが検出されない場合。フレーミング・エラー発生時は, データ整合性エラーも発生します。
	オーバーラン・エラー	URTE <sub>n</sub> STR1.URTE <sub>n</sub> OVE = 1	UARTE 受信レジスタ URTE <sub>n</sub> RX がデータを保持している間, 受信バッファに未格納の新しいデータを受信した場合。
	データ整合性エラー	URTE <sub>n</sub> STR1.URTE <sub>n</sub> DCE = 1	送信中に送信されたデータが不正の場合。BF 送信中に起こるデータ整合性エラーは, BF 送信エラーとして示されます。SF 送信中に起こるデータ整合性エラーは, SF 送信エラーとして示されます。フレーミング・エラー発生時は, データ整合性エラーも発生します。
	BF 送信エラー	URTE <sub>n</sub> STR1.URTE <sub>n</sub> BSF = 0 LMA <sub>n</sub> STRH.LMANBFE = 1	BF 送信中にデータ整合性エラーが発生した場合。
	SF 送信エラー	URTE <sub>n</sub> STR1.URTE <sub>n</sub> DCE = 1 LMA <sub>n</sub> STRH.LMANSFE = 1	SF 送信中にデータ整合性エラーが発生した場合。
LMA <sub>n</sub>	自動チェック・サム・エラー	LMA <sub>n</sub> STRH.LMA <sub>n</sub> FCSE = 1	LMA <sub>n</sub> CTLL.LMA <sub>n</sub> ACSE をセットして自動チェック・サム機能を有効にした状態で, LIN フレーム転送の完了後, 計算したチェック・サムが受信したチェック・サムと一致しない場合。
	送信/受信バッファ準備エラー	LMA <sub>n</sub> STRH.LMA <sub>n</sub> PIE = 1	送信バッファおよび受信バッファが正しく設定されていない以下のような状態で, LMA <sub>n</sub> TCTLL.TRQ = 1 の設定または自動フレーム開始モードのため LIN フレーム転送が開始された場合。 <ul style="list-style-type: none"> <li>送信バッファが空 (LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF = 1)</li> <li>受信バッファがフル (LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF = 1)</li> <li>送信バッファ長が不正 (LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TLG[3:0] = 0, 1, 11-15)</li> </ul>

UARTE エラー検出後の動作は, LMA<sub>n</sub> の動作モードと不正データの種類によって異なります。

ヘッダにブ레이크がある LIN マスタ・モードとブ레이크がない LIN マスタ・モードとでは, 受信モードで LIN フレーム・ヘッダ (BF/SF) 内にデータ整合性エラーを検出した際の動作が異なります。ヘッダにブ레이크がある LIN マスタ・モード時は後続の転送は停止しますが, ヘッダにブ레이크のない LIN マスタ・モード時は転送を継続します。

- ヘッダにブレイクがある LIN マスタ・モード

任意の種類でデータでデータ整合性エラーが検出された場合、後続の転送は中止され、対応する受信バッファ・エラー・フラグ LMAAnSTRL.LMAAnRXBE をセットし、ステータス割り込み要求 INTLMAAnTIS を発生します。

BF/SF 送信時にフレーミング／オーバーラン・エラーを検出した場合、転送を継続します。

受信モード時にフレーミング・エラー／オーバーラン・エラーを伴う PID、データ、またはチェック・サムを受信した場合、後続の転送は停止し、対応する受信バッファ・エラー・フラグ LMAAnSTRL.LMAAnRXBE をセットし、ステータス割り込み要求 INTLMAAnTIS を発生します。

- ヘッダにブレイクがない LIN マスタ・モード

PID、データ、チェック・サム内、または BF/SF 送信時にデータ整合性エラーを検出した場合、後続の転送は中止され、対応する受信バッファ・エラー・フラグ LMAAnSTRL.LMAAnRXBE をセットし、ステータス割り込み要求 INTLMAAnTIS を発生します。受信モード時に BF/SF でデータ整合性エラーが発生した場合、転送は継続し、対応する受信バッファ・エラー・フラグ LMAAnSTRL.LMAAnRXBE をセットし、ステータス割り込み要求 INTLMAAnTIS を発生します。

BF または SF 送信時にフレーミング／オーバーラン・エラーを検出した場合、転送を継続します。

受信モード時にフレーミング／オーバーラン・エラーを伴う PID、データ、またはチェック・サムを受信した場合、後続の転送は停止し、対応する受信バッファ・エラー・フラグ LMAAnSTRL.LMAAnRXBE をセットし、ステータス割り込み要求 INTLMAAnTIS を発生します。

これら一連の動作の概要を次の表に示します。

表 25-16 LIN マスタ送信モード時の UARTE エラー

送信/受信モード	フレーミング・エラー <sup>a</sup> / オーバーラン・エラー		データ整合性エラー	
	BF/SF 内 <sup>b</sup>	PID / データ / CSF 内	BF/SF 内	PID / データ / CSF 内
<b>ヘッダにブレークがある LIN マスタ・モード時 (LMAAnCTLL.LMAAnMD[1:0] = 11<sub>B</sub>)</b>				
送信モード (LMAAnTCTLL. LMAAnSLRT = 0)	転送継続		<ul style="list-style-type: none"> <li>不正フィールドのストップ・ビットで転送停止</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>INTLMAAnTIS 発生</li> </ul>	
受信モード (LMAAnTCTLL. LMAAnSLRT = 1)	転送継続	<ul style="list-style-type: none"> <li>不正フィールドのストップ・ビットで転送停止</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>INTLMAAnTIS 発生</li> </ul>		
<b>ヘッダにブレークがない LIN マスタ・モード時 (LMAAnCTLL.LMAAnMD[1:0] = 10<sub>B</sub>)</b>				
送信モード (LMAAnTCTLL. LMAAnSLRT = 0)	転送継続		<ul style="list-style-type: none"> <li>PID 送信後に転送停止</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>PID 送信後に INTLMAAnTIS 発生</li> </ul>	<ul style="list-style-type: none"> <li>不正フィールドのストップ・ビットで転送停止</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>INTLMAAnTIS 発生</li> </ul>
受信モード (LMAAnTCTLL. LMAAnSLRT = 1)	転送継続	<ul style="list-style-type: none"> <li>不正フィールドのストップ・ビットで転送停止</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>INTLMAAnTIS 発生</li> </ul>	<ul style="list-style-type: none"> <li>転送継続</li> <li>LMAAnSTRL.LMAAnRXBE[i] = 1</li> <li>CF 受信完了後に INTLMAAnTIS 発生</li> </ul>	

- a) 任意の種類データを送信中に発生したフレーミング・エラーは、データ整合性エラーと同時に検出されます (送信モード: BF, SF, PID, データ, CSF を送信, 受信モード: BF, SF, PID を送信)。
- b) BF または SF でエラーを検出すると、それぞれに対応するエラー・フラグ LMAAnSTRH.LMAAnBFE, LMAAnSTRH.LMAAnSFE をセットします。

### 25.4.4 自動チェック・サム機能

自動チェック・サム機能により、チェック・サムを自動的に生成、制御することができます。

自動チェック・サム機能は【LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE によって】制御されず。

- LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 0 : 自動チェック・サム機能無効
- LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 1 : 自動チェック・サム機能有効

LMA<sub>n</sub>CTLL.LMA<sub>n</sub>ACSE = 0 の場合、自動チェック・サム機能を有効にし、次の動作を行います。

**送信モード** 送信モード (LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLRT = 0) の場合、チェック・サムは LIN フレームの転送開始時に自動的に計算され、送信バッファの送信データに付加されます。

**受信モード** 受信完了後、チェック・サムは受信したデータから計算され、受信したチェック・サムと自動的に比較され、受信バッファに格納されます。一致した場合、受信割り込み要求 INTLMA<sub>n</sub>TIR を発生します。一致しない場合、ステータス割り込み要求 INTLMA<sub>n</sub>TIS を発生し、チェック・サム・エラー・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>FCSE をセットします。

**チェック・サムの形式** 自動チェック・サム・モード時にチェック・サムの計算に使用するデータを選ぶことができます。

- LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLEC = 0 : クラシック・チェック・サム  
送信／受信バッファに格納したデータ・バイトのみを使用してチェック・サムを計算します。
- LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>SLEC = 1 : エンハンス・チェック・サム  
送信／受信バッファに格納したデータ・バイトと PID を使用してチェック・サムを計算します。

### 25.4.5 スケジューラ

スケジューラでは、ステータス割り込み INTLMAnTIS を一定の時間間隔で発生することができます。INTLMAnTIS を使用して次の LIN マスタ・フレームの転送を開始できます。

これにより、最小限のインターフレーム・スペース (LIN フレーム間の時間) を確保できます。スレーブによってはこの最小限の LIN インタフェース空間が必要な場合があります。

そのため、LIN フレームの転送を開始する前に、LIN フレームとフレーム間のスペースを合わせた LIN フレーム・スロット長 FRSL を送信バッファに指定します。

**スケジューラ・カウンタ** スケジューラは、スケジューラ・カウンタ CNTAm を使用します。CNTAm はフリーランニング・カウンタです。CNTAm のクロックは、プリスケアラ CNTAmCFG.CNTAmPS[15:0] で選択できます。スケジューラ・カウンタ CNTAm の詳細は、この章の最初の節「スケジューラ・カウンタ A」を参照してください。

#### (1) スケジューラ動作

**備考** スケジューラで LIN マスタ・フレームの転送を開始する前に、使用するスケジューラ・カウンタ CNTAm の動作を許可 (CNTAmCTL.CNTAmPWR = 1) して、CNTAm のプリスケアラを設定する必要があります。スケジューラ・クロック SCHECLK は、CNTAmCFG.CNTAmPS[15:0] で決定します。スケジューラ・クロックは、スケジューラ・カウンタ値 CNTAmCNT をカウント・アップします。

LMAAnCTLL.LMAAnSCHE をセットしてスケジューラを有効にする必要があります。

スケジューラ機能で LIN マスタ・フレームの転送を開始 (LMAAnTCTLL.LMAAnTRQ = 1) する前に、16 ビットの LIN フレーム・スロット長 FRSL[15:0] を送信バッファに書き込む必要があります。

- LMAAnTXAB.LMAAnTX10B[7:0] = FRSL = FRSL[7:0]
- LMAAnTXAB.LMAAnTX11B[7:0] = FRSLH = FRSL[15:8]

FRSL[15:0] は、フレーム・スロット長をスケジューラ・クロック SCHECLK の数で定義します。

LIN マスタ・フレームの転送を開始すると、定義したフレーム・スロット長 FRSL[15:0] にスケジューラ・カウンタ CNTAmCNT[15:0] の現在値を加算し、コンペア・レジスタ LMAAnCMPL.LMAAnCMP[15:0] に格納します。

スケジューラ・カウンタ値 CNTAmCNT[15:0] はコンペア・レジスタ LMAAnCMPL.LMAAnCMP[15:0] と継続的に比較されます。一致した場合、ステータス割り込み要求 INTLMAnTIS を発生し、スケジューラ・レディ・フラグ LMAAnSTRH.LMAAnSRF をセットします。

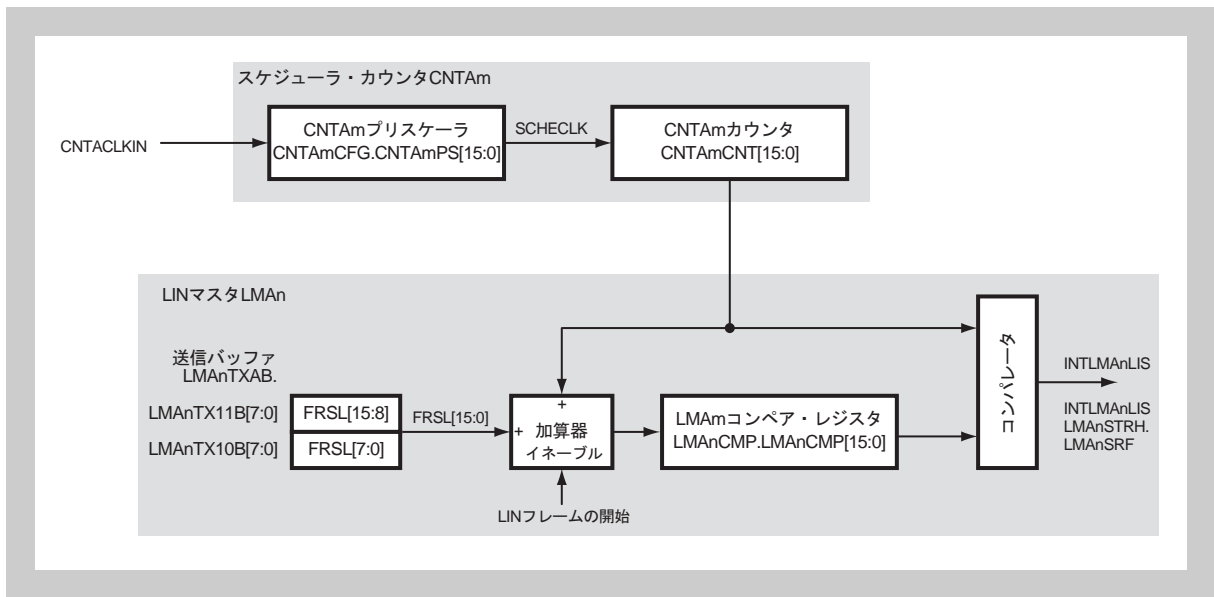


図 25-8 スケジューラ機能の概要

**割り込み処理** ステータス割り込み INTLMA nTIS 発生時、フレーム・スロット長 FRSL が最小限のインターフレーム・スペースを含む場合、ただちに次の LIN マスタ・フレームの転送を開始できます。そのため、送信割り込みや受信割り込みを処理する必要がない場合があります。それらの割り込みを LMA nCTLL.LMA nITMK ビットまたは LMA nCTLL.LMA nIRMK ビットをセットすることでマスクし、制御することができます。

スケジューラを使用した LIN フレーム送信のタイミングを次の図に示します。

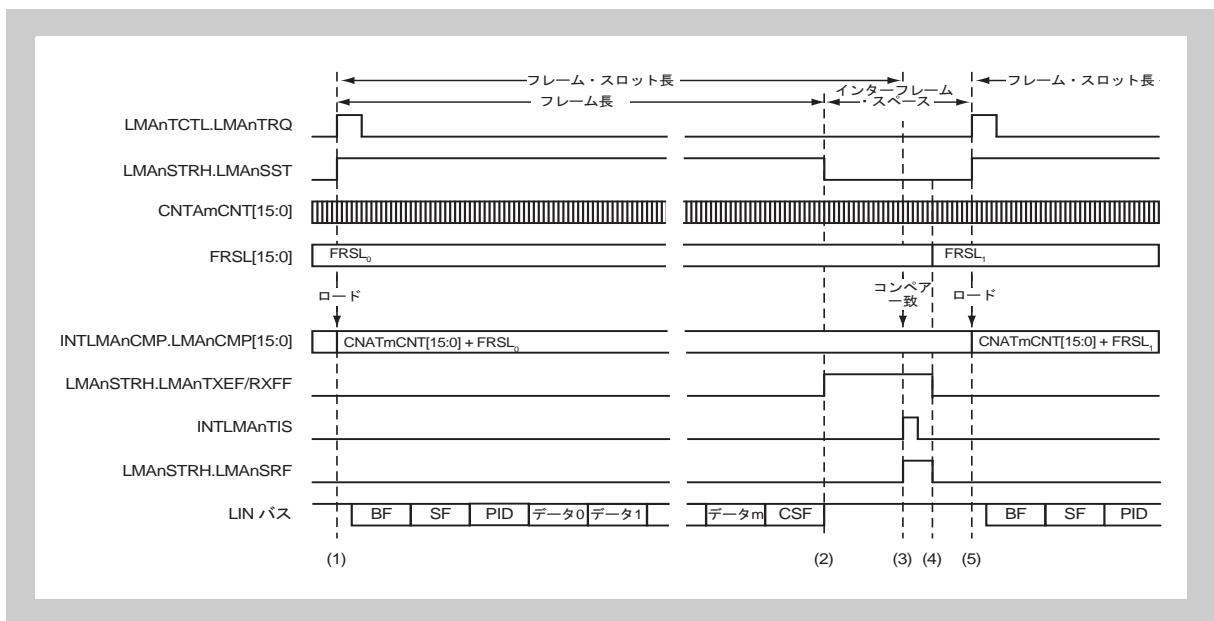


図 25-9 スケジューラを使用した LIN フレーム転送

- 前提条件** スケジューラ・カウンタ動作中で、かつスケジューラ・クロック周波数が設定済みである必要があります。
- LMA<sub>n</sub> の動作許可 (LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 1)
  - LMA<sub>n</sub> を LIN マスタ・モードに設定 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub>)
  - スケジューラ有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>SCHE = 1)
  - 自動フレーム開始機能無効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>AFE = 0)
  - 送信バッファ・エンプティ・フラグ LMA<sub>n</sub>STRH.TXEF, 受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF をクリア
  - 送信バッファに正しいフレーム・スロット長 FRSL<sub>0</sub> を設定済み
- 手順**
1. LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットしてフレーム送信を開始します。送信開始は、LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 で示されます。  
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL<sub>0</sub> の合計値を LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] に格納します。
  2. チェック・サム・フィールド CSF の送信後 (1 フレーム分のデータを送信後), 送信バッファが空 (LMA<sub>n</sub>STRH.LMA<sub>n</sub>TXEF = 1) で, 受信バッファがフル (LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF = 1) であることが示されます。
  3. スケジューラ・カウンタ CNTAmCNT[15:0] と LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] が一致すると, ステータス割り込み要求 INTLMA<sub>n</sub>TIS により 1 フレーム分のデータ送信の終了が示され, スケジューラ・レディ・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>SRF がセットされます。  
フレーム・スロット長 FRSL<sub>0</sub> を定義する際に十分なインターフレーム・スペースを考慮していれば, その時点ですでに次のフレーム転送を開始することが可能です。
  4. バッファ状態フラグとスケジューラ・レディ・フラグをクリアします (LMA<sub>n</sub>STCH レジスタの LMA<sub>n</sub>CLTXEF, LMA<sub>n</sub>CLRxFF, LMA<sub>n</sub>CLSRF を 1 に設定)。  
次のフレーム転送 (フレーム・スロット長 FRSL<sub>1</sub>) のために, 送信バッファと制御レジスタ LMA<sub>n</sub>TCTLH, LMA<sub>n</sub>TCTLL を準備します。
  5. LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ をセットして次のフレーム転送を開始します。送信開始は、LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 で示されます。  
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL<sub>1</sub> の合計値を LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] に格納します。

## (2) 自動フレーム開始機能を使用したスケジューラ動作

自動開始機能とスケジューラを組み合わせることで、CPUはすべての準備をインターフレーム・スペースで行い、それによりLINフレーム開始時のジッターを低減することができます。インターフレーム・スペースに続いて次のLINフレーム転送を自動的に開始することで、バス上で最大限のデータ送信性能を維持します。

LMAAnCTL.LMAAnAFE をセットして自動フレーム開始機能を有効にする必要があります。

また、LMAAnCTL.LMAAnSCHE をセットしてスケジューラも有効にする必要があります。

自動フレーム開始機能を使用してLINフレーム転送を開始するには、送信要求ビット LMAAnTCTL.LMAAnTRQ のほかに最初の送信要求ビット

LMAAnTCTL.LMAAnFRQ をセットする必要があります。LMAAnTRQ は、フレームの転送中 (LMAAnSTRH.LMAAnSST = 1) でも、0にクリアされたあと再び1に設定することができます。これにより、次のインターフレーム・スペースの直後に次のフレーム転送を開始できます。

次のフレーム転送のために必要な準備 (受信/送信バッファの設定等) はすべてインターフレーム・スペースで行う必要があります。これらの準備は、受信割り込み要求 INTLMAAnTIR でトリガすることができます。

**注意** 送信モードおよび受信モードでフレームの準備を開始するには、受信割り込み要求 INTLMAAnTIR を使用する必要があります。

スケジューラと自動フレーム開始機能を使用したLINフレーム送信のタイミングを次の図に示します。

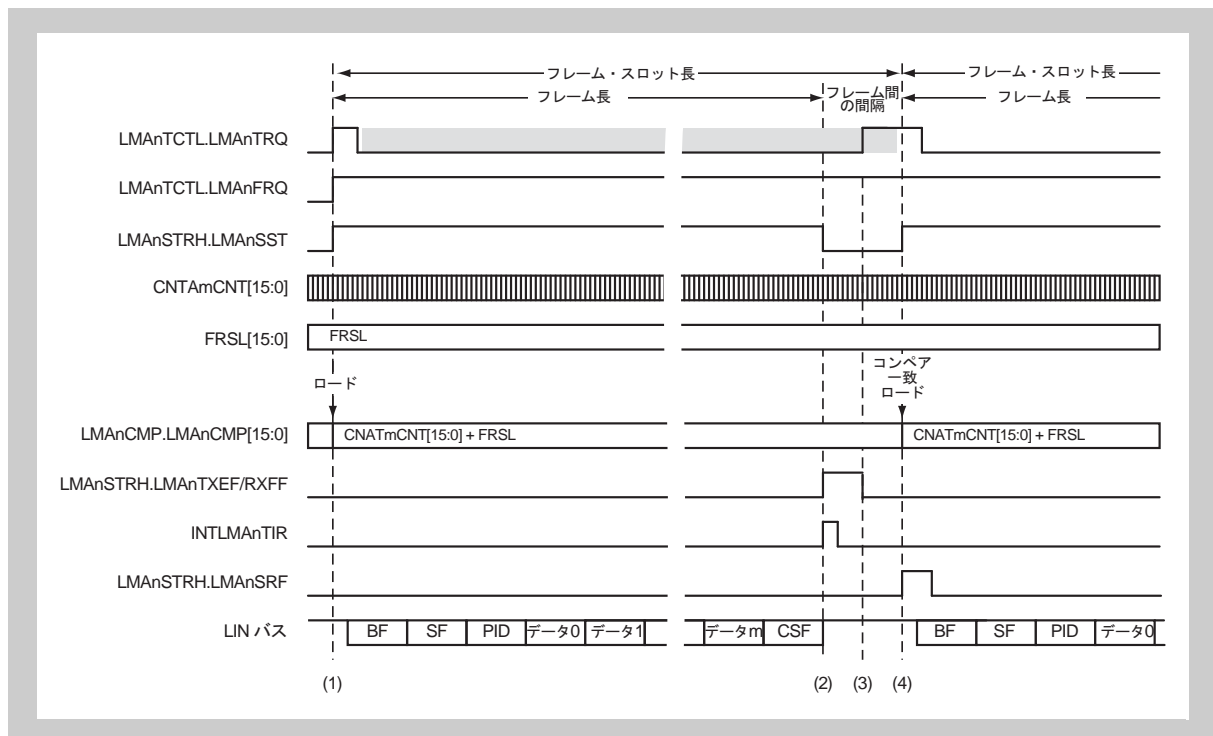


図 25-10 スケジューラと自動フレーム開始機能を使用したLINフレーム送信



- 前提条件** スケジューラ・カウンタ動作中で、かつスケジューラ・クロック周波数が設定済みである必要があります。
- LMA<sub>n</sub> の動作許可 (LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 1)
  - LMA<sub>n</sub> を LIN マスタ・モードに設定 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>MD[1:0] = 1x<sub>B</sub>)
  - スケジューラ有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>SCHE = 1)
  - 自動フレーム開始機能有効 (LMA<sub>n</sub>CTLL.LMA<sub>n</sub>AFE = 1)
  - 送信バッファ・エンプティ・フラグ LMA<sub>n</sub>STRH.TXEF, 受信バッファ・フル・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF をクリア
  - 送信バッファに正しいフレーム・スロット長 FRSL を設定済み
- 手順**
1. LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ と LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>FRQ を 1 に設定し、自動フレーム開始機能で最初の送信を開始します。LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 1 によって送信開始が示されます。  
現在のスケジューラ・カウンタ値 CNTAmCNT[15:0] とフレーム・スロット長 FRSL の合計値を LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] に格納します。  
LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ が 0 にクリアされたあと、次の送信要求を設定できます。遅くとも、インターフレーム・スペースが終わる前 (グレーの領域) に設定する必要があります。  
(ただし、例に示した図では LMA<sub>n</sub>TRQ はインターフレーム・スペースで設定されています。)
  2. チェック・サム・フィールド CSF の送信後 (1 フレーム分のデータを送信後)、送信バッファが空 (LMA<sub>n</sub>STRH.TXEF = 1) で、受信バッファがフル (LMA<sub>n</sub>STRH.LMA<sub>n</sub>RXFF = 1) であることが示されます。受信割り込み要求 INTLMA<sub>n</sub>TIR を発生します。
  3. 次のフレーム送信に必要なすべての準備を行います。  
バッファ状態フラグとスケジューラ・レディ・フラグをクリアします (LMA<sub>n</sub>STCH レジスタの LMA<sub>n</sub>CLTXEF, LMA<sub>n</sub>CLRxFF, LMA<sub>n</sub>CLSRF を 1 に設定)。  
次の送信要求を設定します (LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ = 1)。
  4. スケジューラ・カウンタ値 CNTAmCNT[15:0] とコンペア・レジスタ値 LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] が一致すると、次のフレーム送信を開始します。
- 準備エラー** 次のフレームを完全かつ正しく準備しない場合、以下の動作が行われます。
- LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ と LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST がクリアされ、フレーム転送が開始されない
  - LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0] に CNATmCNT[15:0] + FRSL をロード
  - バッファ準備エラー・フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>PIE をセット
  - ステータス割り込み要求 LMA<sub>n</sub>TIS を発生
- 次のフレームの開始時にフレームの準備を完了すると (CNATmCNT[15:0] = LMA<sub>n</sub>CMPL.LMA<sub>n</sub>CMP[15:0])、フレーム送信を開始します。フレームの準備が完了していない場合、別のバッファ準備エラーを示す LMA<sub>n</sub>TIS 割り込み要求を発生します。

## 25.5 LMAn レジスタ

この節では、LIN マスタ・コントローラのすべてのレジスタについて説明します。

### 25.5.1 LMAn レジスタの概要

LMAn は、次のレジスタによって制御され、操作されます。

表 25-17 LMAn レジスタ一覧

レジスタ機能	16 ビット・アクセス		32 ビット・アクセス	
	名称	アドレス	名称	アドレス
<b>制御, 状態レジスタ :</b>				
制御レジスタ L	LMAAnCTL	<LMAAn_base> + 80 <sub>H</sub>	LMAAnCTLOW	<LMAAn_base> + 180 <sub>H</sub>
制御レジスタ H	LMAAnCTLH	<LMAAn_base> + 84 <sub>H</sub>		
状態レジスタ L	LMAAnSTRL	<LMAAn_base> + 88 <sub>H</sub>	LMAAnSTR0W	<LMAAn_base> + 188 <sub>H</sub>
状態レジスタ H	LMAAnSTRH	<LMAAn_base> + 8C <sub>H</sub>		
状態クリア・レジスタ L	LMAAnSTCL	<LMAAn_base> + 90 <sub>H</sub>	LMAAnSTC0W	<LMAAn_base> + 190 <sub>H</sub>
状態クリア・レジスタ H	LMAAnSTCH	<LMAAn_base> + 94 <sub>H</sub>		
コンペア・レジスタ L	LMAAnCMPL	<LMAAn_base> + 98 <sub>H</sub>	LMAAnCMP0W	<LMAAn_base> + 198 <sub>H</sub>
送信制御レジスタ L	LMAAnTCTLL	<LMAAn_base> + D8 <sub>H</sub>	LMAAnTCTLOW	<LMAAn_base> + 1D8 <sub>H</sub>
送信制御レジスタ H	LMAAnTCTLH	<LMAAn_base> + DC <sub>H</sub>		
受信制御レジスタ L	LMAAnRCTL	<LMAAn_base> + F8 <sub>H</sub>	LMAAnRCTLOW	<LMAAn_base> + 1F8 <sub>H</sub>
受信制御レジスタ H	LMAAnRCTLH	<LMAAn_base> + FC <sub>H</sub>		
<b>送信バッファ・レジスタ :</b>				
送信バッファ・レジスタ 01	LMAAnTX01	<LMAAn_base> + C0 <sub>H</sub>	LMAAnTX00W	<LMAAn_base> + 1C0 <sub>H</sub>
送信バッファ・レジスタ 23	LMAAnTX23	<LMAAn_base> + C4 <sub>H</sub>		
送信バッファ・レジスタ 45	LMAAnTX45	<LMAAn_base> + C8 <sub>H</sub>	LMAAnTX04W	<LMAAn_base> + 1C8 <sub>H</sub>
送信バッファ・レジスタ 67	LMAAnTX67	<LMAAn_base> + CC <sub>H</sub>		
送信バッファ・レジスタ 89	LMAAnTX89	<LMAAn_base> + D0 <sub>H</sub>	LMAAnTX08W	<LMAAn_base> + 1D0 <sub>H</sub>
送信バッファ・レジスタ AB	LMAAnTXAB	<LMAAn_base> + D4 <sub>H</sub>		
<b>受信バッファ・レジスタ :</b>				
受信バッファ・レジスタ 01	LMAAnRX01	<LMAAn_base> + E0 <sub>H</sub>	LMAAnRX00W	<LMAAn_base> + 1E0 <sub>H</sub>
受信バッファ・レジスタ 23	LMAAnRX23	<LMAAn_base> + E4 <sub>H</sub>		
受信バッファ・レジスタ 45	LMAAnRX45	<LMAAn_base> + E8 <sub>H</sub>	LMAAnRX04W	<LMAAn_base> + 1E8 <sub>H</sub>
受信バッファ・レジスタ 67	LMAAnRX67	<LMAAn_base> + EC <sub>H</sub>		
受信バッファ・レジスタ 89	LMAAnRX89	<LMAAn_base> + F0 <sub>H</sub>	LMAAnRX08W	<LMAAn_base> + 1F0 <sub>H</sub>
受信バッファ・レジスタ AB	LMAAnRXAB	<LMAAn_base> + F4 <sub>H</sub>		

**<LMAAn\_base>** LMAAn のベース・アドレス <LMAAn\_base> は、表 25-3 「LMAAn レジスタ・ベース・アドレス <LMAAn\_base>」を参照してください。

**レジスタへの** すべてのレジスタは、16 ビットでアクセス可能です。

**アクセス**

存在しないレジスタ・ビットへの書き込みは無視されます。読み出すと常に 0 を返します。

### 25.5.2 LMA<sub>n</sub> レジスタの詳細

#### (1) LMA<sub>n</sub>CTLL - LMA<sub>n</sub> 制御レジスタ L

LMA<sub>n</sub> の動作を許可／禁止します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <LMA<sub>n</sub>\_base> + 80<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	LMA <sub>n</sub> MD[1:0]	LMA <sub>n</sub> ACSE	LMA <sub>n</sub> SCHE	LMA <sub>n</sub> AFE	LMA <sub>n</sub> ITMK	LMA <sub>n</sub> IRMK	
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	

表 25-18 LMA<sub>n</sub>CTLL レジスタの内容 (1/2)

ビット位置	ビット名	機能										
6, 5	LMA <sub>n</sub> MD[1:0]	<p>LMA<sub>n</sub> 動作モードの選択</p> <table border="1"> <thead> <tr> <th>MD[1:0]</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>00<sub>B</sub></td> <td>UART スルー・モード LMA<sub>n</sub> をバイパスして、接続した UART を単体で使用します。</td> </tr> <tr> <td>01<sub>B</sub></td> <td>UART バッファ・モード 接続した UART をバッファ付き UART として使用します。</td> </tr> <tr> <td>10<sub>B</sub></td> <td>ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を継続します。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。</td> </tr> <tr> <td>11<sub>B</sub></td> <td>ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、ステータス割り込み要求信号 INTLMA<sub>n</sub>TIS を発生します。その後、BF で新しいフレーム転送を開始できます。</td> </tr> </tbody> </table>	MD[1:0]	動作モード	00 <sub>B</sub>	UART スルー・モード LMA <sub>n</sub> をバイパスして、接続した UART を単体で使用します。	01 <sub>B</sub>	UART バッファ・モード 接続した UART をバッファ付き UART として使用します。	10 <sub>B</sub>	ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を継続します。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。	11 <sub>B</sub>	ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、ステータス割り込み要求信号 INTLMA <sub>n</sub> TIS を発生します。その後、BF で新しいフレーム転送を開始できます。
MD[1:0]	動作モード											
00 <sub>B</sub>	UART スルー・モード LMA <sub>n</sub> をバイパスして、接続した UART を単体で使用します。											
01 <sub>B</sub>	UART バッファ・モード 接続した UART をバッファ付き UART として使用します。											
10 <sub>B</sub>	ヘッダにブレークがない LIN マスタ・モード (ヘッダ中断なし) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出しても、データ送信を継続します。ただし、PID 中にデータ整合性エラーを検出した場合、データ送信を停止します。											
11 <sub>B</sub>	ヘッダにブレークがある LIN マスタ・モード (ヘッダ中断あり) 接続した UART を LIN マスタとして使用します。LIN ヘッダ中 (BF, SF) にデータ整合性エラーを検出した場合、データ送信を停止します。このとき、ステータス割り込み要求信号 INTLMA <sub>n</sub> TIS を発生します。その後、BF で新しいフレーム転送を開始できます。											
4	LMA <sub>n</sub> ACSE	<p>自動チェック・サム機能有効／無効 0 : 自動チェック・サム機能を無効 1 : 自動チェック・サム機能を有効</p> <p>UART スルー・モードまたは UART バッファ・モード (LMA<sub>n</sub>MD[1:0] = 0x<sub>B</sub>) では、このビットを 0 に設定する必要があります。</p> <p>自動チェック・サム機能を無効にした場合、以下の動作になります。</p> <ul style="list-style-type: none"> <li>受信チェック・サムをソフトウェアで計算し、受信したチェック・サムと比較する必要があります。</li> <li>データ送信を開始する前に、送信チェック・サムをソフトウェアで計算し、送信バッファに設定する必要があります。</li> </ul> <p>自動チェック・サム機能を有効にした場合、以下の動作になります。</p> <ul style="list-style-type: none"> <li>受信チェック・サムを受信したデータから計算し、受信したチェック・サムと比較します。</li> <li>データ送信の開始時、送信チェック・サムを自動的に計算し、送信バッファに設定します。</li> </ul>										

表 25-18 LMA<sub>n</sub>CTLL レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	LMA <sub>n</sub> SCHE	スケジューラの有効/無効 0 : スケジューラ無効 1 : スケジューラ有効 UART スルー・モードまたは UART バッファ・モード (LMA <sub>n</sub> MD[1:0] = 0x <sub>B</sub> ) では、このビットを 0 に設定する必要があります。 スケジューラを有効にする前に、LMA <sub>n</sub> に接続したスケジューラ・カウンタの動作を開始する必要があります。
2	LMA <sub>n</sub> AFE	自動フレーム開始機能の有効/無効 0 : 自動フレーム開始機能無効 1 : 自動フレーム開始機能有効 UART スルー・モードまたは UART バッファ・モード (LMA <sub>n</sub> MD[1:0] = 0x <sub>B</sub> ) では、このビットを 0 に設定する必要があります。 自動フレーム開始機能を無効にした場合、LMA <sub>n</sub> TCTLL.LMA <sub>n</sub> TRQ をセットすると、ソフトウェアによりフレーム送信を開始します。 自動フレーム開始機能を有効にした場合、LMA <sub>n</sub> TCTLL.LMA <sub>n</sub> TRQ をセットすると、インターフレーム・スペースの直後にスケジューラがフレーム送信を自動的に開始します。
1	LMA <sub>n</sub> ITMK	送信割り込み要求 (INTLMA <sub>n</sub> TIT) のマスク 0 : INTLMA <sub>n</sub> TIT をマスクしない (INTLMA <sub>n</sub> TIT を発生) 1 : INTLMA <sub>n</sub> TIT をマスク (INTLMA <sub>n</sub> TIT を発生しない) UART スルー・モードまたは UART バッファ・モード (LMA <sub>n</sub> MD[1:0] = 0x <sub>B</sub> ) では、このビットを 0 に設定する必要があります。
0	LMA <sub>n</sub> IRMK	受信割り込み要求 (INTLMA <sub>n</sub> TIR) のマスク 0 : INTLMA <sub>n</sub> TIR をマスクしない (INTLMA <sub>n</sub> TIR を発生) 1 : INTLMA <sub>n</sub> TIR をマスク (INTLMA <sub>n</sub> TIR を発生しない) UART スルー・モードまたは UART バッファ・モード (LMA <sub>n</sub> MD[1:0] = 0x <sub>B</sub> ) では、このビットを 0 に設定する必要があります。

**注意** LMA<sub>n</sub>CTLL レジスタの値を変更する場合、LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 0 (LMA<sub>n</sub>動作禁止) の時に実施してください。ただし、LMA<sub>n</sub>PW ビットを 0 から 1 (LMA<sub>n</sub>動作許可) に設定する場合に、32 ビット・アクセスによる同時設定は可能です。

**(2) LMA<sub>n</sub>CTLH - LMA<sub>n</sub> 制御レジスタ H**

LMA<sub>n</sub> の動作を許可／禁止します。

**アクセス** 16 ビット単位でリード／ライト可能です。

**アドレス** <LMA<sub>n</sub>\_base> + 84<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA <sub>n</sub> PW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-19 LMA<sub>n</sub>CTLH レジスタの内容

ビット位置	ビット名	機能
15	LMA <sub>n</sub> PW	LMA <sub>n</sub> の動作許可／禁止 0: LMA <sub>n</sub> 動作禁止 (クロック供給停止) 1: LMA <sub>n</sub> 動作許可 (クロック供給動作) LMA <sub>n</sub> PW を 0 に設定すると、すべての動作を停止し、LMA <sub>n</sub> をリセットします。 本ビットを 1 から 0 に変更する場合、以下の状態で設定してください。 <ul style="list-style-type: none"> <li>• LMA<sub>n</sub>TCTLL.LMA<sub>n</sub>TRQ = 0</li> <li>• LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST = 0</li> <li>• LMA<sub>n</sub>RCTLL.LMA<sub>n</sub>RRQ = 0</li> <li>• LMA<sub>n</sub>STRH.LMA<sub>n</sub>SSR = 0</li> </ul>

**(3) LMA<sub>n</sub>STRL - LMA<sub>n</sub> 状態レジスタ L**

受信状態を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <LMA<sub>n</sub>\_base> + 88<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA <sub>n</sub> SSB[2:0]			0	LMA <sub>n</sub> RXBE[11:0]											
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-20 LMA<sub>n</sub>STRL レジスタの内容

ビット位置	ビット名	機能								
15-13	LMA <sub>n</sub> SSB[2:0]	受信バッファ・モード状態フラグ <table border="1"> <thead> <tr> <th>SSB[2:0]</th> <th>受信バッファ・モード</th> </tr> </thead> <tbody> <tr> <td>0<sub>H</sub></td> <td>アイドル状態 (受信データなし)</td> </tr> <tr> <td>5<sub>H</sub></td> <td>データを受信したが、受信バッファ長に未達。LMA<sub>n</sub>RCTLH.LMA<sub>n</sub>RAB をセットして受信を中止する必要があります。</td> </tr> <tr> <td>その他</td> <td>異常動作が発生。LMA<sub>n</sub>RCTLH.LMA<sub>n</sub>RAB をセットして受信を中止する必要があります。</td> </tr> </tbody> </table> 受信処理停止中、診断のために LMA <sub>n</sub> SSB[2:0] を読み出すことができます。	SSB[2:0]	受信バッファ・モード	0 <sub>H</sub>	アイドル状態 (受信データなし)	5 <sub>H</sub>	データを受信したが、受信バッファ長に未達。LMA <sub>n</sub> RCTLH.LMA <sub>n</sub> RAB をセットして受信を中止する必要があります。	その他	異常動作が発生。LMA <sub>n</sub> RCTLH.LMA <sub>n</sub> RAB をセットして受信を中止する必要があります。
SSB[2:0]	受信バッファ・モード									
0 <sub>H</sub>	アイドル状態 (受信データなし)									
5 <sub>H</sub>	データを受信したが、受信バッファ長に未達。LMA <sub>n</sub> RCTLH.LMA <sub>n</sub> RAB をセットして受信を中止する必要があります。									
その他	異常動作が発生。LMA <sub>n</sub> RCTLH.LMA <sub>n</sub> RAB をセットして受信を中止する必要があります。									
11-0	LMA <sub>n</sub> RXBE[11:0]	受信バッファ・エラー・フラグ 0 : 受信バッファ 11-00 のデータにて検出された UART エラーなし 1 : 受信バッファ 11-00 のデータにて UART がエラーを検出 ビット値 [11:0] は、受信バッファ番号に対応しています。 0 : 受信バイト 0 (LMA <sub>n</sub> RX01.LMA <sub>n</sub> RX00B[7:0]) にエラーが発生 ... 11 : 受信バイト 11 (LMA <sub>n</sub> RXAB.LMA <sub>n</sub> RX11B[7:0]) にエラーが発生  セットされたビットは、LMA <sub>n</sub> STCL.LMA <sub>n</sub> CLRRXBE[11:0] = 1 でクリアされるまで、1 を保持します。								

**(4) LMA<sub>n</sub>STRH - LMA<sub>n</sub> 状態レジスタ H**

受信状態を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <LMA<sub>n</sub>\_base> + 8C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA <sub>n</sub> SST	LMA <sub>n</sub> SSR	LMA <sub>n</sub> TXEF	LMA <sub>n</sub> RXFF	LMA <sub>n</sub> ROVE	LMA <sub>n</sub> FCSE	LMA <sub>n</sub> SRF	LMA <sub>n</sub> PIE	LMA <sub>n</sub> BFE	LMA <sub>n</sub> SFE	LMA <sub>n</sub> SSL[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-21 LMA<sub>n</sub>STRH レジスタの内容 (1/3)

ビット位置	ビット名	機能
15	LMA <sub>n</sub> SST	送信状態フラグ 0: 送信要求未発生 1: 送信要求発生  LMA <sub>n</sub> TCTLL.LMA <sub>n</sub> TRQ = 1 で送信要求を設定した場合、LMA <sub>n</sub> SST は自動的にセットされます。 ただし、LIN モードで自動フレーム開始機能を使用した場合 (LMA <sub>n</sub> CTLL.LMA <sub>n</sub> AFE = 1) は例外として、新しいフレームの自動開始時に、このフラグを自動的にセットします。  UART スルー・モード時はセットされません。  次の場合にクリアされます。 • LMA <sub>n</sub> CTLH.LMA <sub>n</sub> PW = 0 • 送信処理完了時 (LIN マスタ・モードでフレーム送信完了)
14	LMA <sub>n</sub> SSR	受信状態フラグ 0: 受信要求未発生 1: 受信要求発生  LMA <sub>n</sub> RCTLL.LMA <sub>n</sub> RRQ = 1 で受信要求を設定した場合、LMA <sub>n</sub> SSR は自動的にセットされます。  UART スルー・モードおよび LIN マスタ・モード時はセットされません。  次の場合にクリアされます。 • LMA <sub>n</sub> CTLH.LMA <sub>n</sub> PW = 0 • 受信処理完了時
13	LMA <sub>n</sub> TXEF <sup>a</sup>	送信バッファ・エンプティ・フラグ 0: 送信バッファに送信すべきデータが残っている 1: 送信バッファが空: 最終送信データ送信済み  UART スルー・モード時はセットされません。  次の場合にクリアされます。 • LMA <sub>n</sub> CTLH.LMA <sub>n</sub> PW = 0 • LMA <sub>n</sub> STCH.LMA <sub>n</sub> CLTXEF = 1

表 25-21 LMAAnSTRH レジスタの内容 (2/3)

ビット位置	ビット名	機能
12	LMAAnRXFF <sup>a</sup>	<p>受信バッファ・フル・フラグ            0 : 受信バッファに受信, 格納すべきデータが残っている            1 : 受信バッファがフル : 最終受信データを受信済み</p> <p>UART スルー・モード時はセットされません。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLRxFF = 1</li> </ul>
11	LMAAnROVE <sup>a</sup>	<p>受信バッファ・オーバフロー・フラグ            0 : 受信バッファ・オーバフロー未発生            1 : 受信バッファ・オーバフロー発生</p> <p>データの受信中にオーバフローが発生すると, 新しいデータは格納されずに破棄されます。</p> <p>UART スルー・モードおよび LIN マスタ・モード時はセットされません。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLROVE = 1</li> </ul>
10	LMAAnFCSE <sup>a</sup>	<p>チェック・サム・エラー・フラグ            0 : チェック・サム・エラー未発生            1 : チェック・サム・エラー発生</p> <p>LMAAnFCSE は, LIN フレーム受信中のチェック・サム制御の結果を示します。受信したデータから計算したチェック・サムが受信したチェック・サムと一致しない場合, エラーを示します。</p> <p>このフラグは, LIN マスタ・モードで自動チェック・サム機能を有効 (LMAAnCTLL.LMAAnACSE = 1) にした場合のみ有効です。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLFCSE = 1</li> </ul>
9	LMAAnSRF <sup>a</sup>	<p>スケジューラ・レディ・フラグ            0 : スケジューラ準備完了イベント未発生            1 : スケジューラ準備完了イベント発生</p> <p>コンペア・レジスタ LMAAnCMPL.LMAAnCMP15:0] の値とスケジューラ・カウンタの値が一致すると, スケジューラ準備完了イベントが発生します。このとき, ステータス割り込み要求 INTLMAAnTIS も発生します。</p> <p>このフラグは, LIN マスタ・モードで自動フレーム開始機能を無効 (LMAAnCTLL.LMAAnAFE = 0) にしたままスケジューラ機能を有効 (LMAAnCTLL.LMAAnSCHE = 1) にした場合のみ有効です。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLSRF = 1</li> </ul>



表 25-21 LMAAnSTRH レジスタの内容 (3/3)

ビット位置	ビット名	機能								
8	LMAAnPIE <sup>a</sup>	<p>バッファ準備エラー・フラグ</p> <p>0 : 送信バッファ/受信バッファが正しく準備されている 1 : 送信バッファ/受信バッファが正しく準備されていない</p> <p>送信バッファ、受信バッファを正しく準備せずにLINマスタ・フレームの転送を開始するとセットされます。次の条件が発生すると、バッファ準備不完全エラーを検出します。</p> <ul style="list-style-type: none"> <li>• LMAAnSTRH.LMAAnTXEF = 1 (送信バッファが空)</li> <li>• LMAAnSTRH.LMAAnRXFF = 1 (受信バッファがフル)</li> <li>• LMAAnTCTLL.LMAAnTLG[3:0] が不正な値を保持</li> </ul> <p>このフラグはLINマスタ・モード時のみ有効です。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLPIE = 1</li> </ul>								
7	LMAAnBFE <sup>a</sup>	<p>BF (Break Field) エラー・フラグ</p> <p>0 : BF 送信成功 1 : BF 送信失敗</p> <p>LINフレーム送信開始時のBF送信中にフレーミング・エラー、オーバラン・エラー、またはデータ整合性エラーを検出した場合にセットされます。</p> <p>このフラグはLINマスタ・モード時のみ有効です。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLBFE = 1</li> </ul>								
6	LMAAnSFE <sup>a</sup>	<p>SF (Sync Field) エラー・フラグ</p> <p>0 : SF 送信成功 1 : SF 送信失敗</p> <p>LINフレーム送信開始時のSF送信中にフレーミング・エラー、オーバラン・エラー、またはデータ整合性エラーを検出した場合にセットされます。エラーを検出した場合、ステータス割り込み要求INTLMAAnTISが発生します。</p> <p>このフラグはLINマスタ・モード時のみ有効です。</p> <p>次の場合にクリアされます。</p> <ul style="list-style-type: none"> <li>• LMAAnCTLH.LMAAnPW = 0</li> <li>• LMAAnSTCH.LMAAnCLSFE = 1</li> </ul>								
5-0	LMAAnSSL [5:0]	<p>LINマスタ・モード状態フラグ</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">LMAAnSSL[5:0]</th> <th style="text-align: center;">LINマスタ・モード状態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0<sub>H</sub></td> <td>アイドル状態 (動作なし)</td> </tr> <tr> <td style="text-align: center;">19<sub>H</sub></td> <td>スレーブからの応答なし。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。</td> </tr> <tr> <td style="text-align: center;">その他</td> <td>異常動作が発生。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。</td> </tr> </tbody> </table> <p>受信処理停止中、診断のためにLMAAnSSL[2:0]を読み出すことができます。</p>	LMAAnSSL[5:0]	LINマスタ・モード状態	0 <sub>H</sub>	アイドル状態 (動作なし)	19 <sub>H</sub>	スレーブからの応答なし。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。	その他	異常動作が発生。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。
LMAAnSSL[5:0]	LINマスタ・モード状態									
0 <sub>H</sub>	アイドル状態 (動作なし)									
19 <sub>H</sub>	スレーブからの応答なし。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。									
その他	異常動作が発生。LMAAnRCTLH.LMAAnTABをセットして送信を中止する必要があります。									

a) これらのフラグは、データ送信処理を開始する前に、LMAAnSTCH, LMAAnSTCL レジスタの対応する状態クリア・ビットを1に設定してクリアしてください。

**(5) LMA<sub>n</sub>STCL - LMA<sub>n</sub> 状態クリア・レジスタ L**

LMA<sub>n</sub> 状態レジスタ L (LMA<sub>n</sub>STRL) の状態とエラー・ビットをクリアします。

**アクセス** 16 ビット単位でライト可能です。

読み出すと不定値を返します。

**アドレス** <LMA<sub>n</sub>\_base> + 90<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	LMA <sub>n</sub> CLR <sub>X</sub> BE[11:0]											
R	R	R	R	W	W	W	W	W	W	W	W	W	W	W	W

表 25-22 LMA<sub>n</sub>STCL レジスタの内容

ビット位置	ビット名	機能
11-0	LMA <sub>n</sub> CLR <sub>X</sub> BE [11:0]	受信バッファ・エラー・フラグのクリア 0 : 0 の書き込みは無視 1 : 1 の書き込みで LMA <sub>n</sub> RXBE[11:0] をクリア

**(6) LMA<sub>n</sub>STCH - LMA<sub>n</sub> 状態クリア・レジスタ H**

LMA<sub>n</sub> 状態レジスタ H (LMA<sub>n</sub>STRH) の状態とエラー・ビットをクリアします。

**アクセス** 16 ビット単位でライト可能です。

読み出すと不定値を返します。

**アドレス** <LMA<sub>n</sub>\_base> + 94<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	LMA <sub>n</sub> CL TXEF	LMA <sub>n</sub> CL RXFF	LMA <sub>n</sub> CL ROVE	LMA <sub>n</sub> CL FCSE	LMA <sub>n</sub> CL SRF	LMA <sub>n</sub> CL PIE	LMA <sub>n</sub> CL BFE	LMA <sub>n</sub> CL SFE	0	0	0	0	0	0
R	R	W	W	W	W	W	W	W	W	R	R	R	R	R	R

表 25-23 LMA<sub>n</sub>STCH レジスタの内容

ビット位置	ビット名	機能
13	LMA <sub>n</sub> CLTXEF	送信バッファ・エンプティ・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> TXEFをクリア
12	LMA <sub>n</sub> CLRXFF	受信バッファ・フル・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> RXFFをクリア
11	LMA <sub>n</sub> CLROVE	受信バッファ・オーバフロー・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> ROVEをクリア
10	LMA <sub>n</sub> CLFCSE	チェック・サム・エラー・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> FCSEをクリア
9	LMA <sub>n</sub> CLSRF	スケジューラ・レディ・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> SRFをクリア
8	LMA <sub>n</sub> CLPIE	準備不完全エラー・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> PIEをクリア
7	LMA <sub>n</sub> CLBFE	BF (Break Field) エラー・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> BFEをクリア
6	LMA <sub>n</sub> CLSFE	SF (Sync Field) エラー・フラグのクリア 0:0の書き込みは無視 1:1の書き込みでLMA <sub>n</sub> SFEをクリア

**(7) LMA<sub>n</sub>CMPL - LMA<sub>n</sub> コンペア・レジスタ L**

スケジューラの比較値を保持します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <LMA<sub>n</sub>\_base> + 98<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LMA <sub>n</sub> CMP[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25-24 LMA<sub>n</sub>CMPL レジスタの内容

ビット位置	ビット名	機能
15-0	LMA <sub>n</sub> CMP [15:0]	現在のスケジューラ比較値 LIN マスタ・フレームの開始時、現在のフリーランニング・カウンタ値 CNATmCNT[15:0]とフレーム・スロット長 FRSL の合計値を LMA <sub>n</sub> CMP[15:0] に格納します。

**(8) LMA<sub>n</sub>TCTLL - LMA<sub>n</sub> 送信制御レジスタ L**LMA<sub>n</sub> 送信バッファを制御します。**アクセス** 16ビット単位でリード/ライト可能です。**アドレス** <LMA<sub>n</sub>\_base> + D8<sub>H</sub>**初期値** 0000<sub>H</sub> すべてのリセット要因および LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 0 で初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	LMA <sub>n</sub> SLEC	LMA <sub>n</sub> SLRT	LMA <sub>n</sub> FRQ	LMA <sub>n</sub> TRQ	LMA <sub>n</sub> TLG[3:0]			
R	R	R	R	R	R	R	R	R/W	R/W	W	R/W	R/W	R/W	R/W	R/W

表 25-25 LMA<sub>n</sub>TCTLL レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	LMA <sub>n</sub> SLEC	チェック・サム制御 0: クラシック・チェック・サム データ・バイトのみを使用してチェック・サムを計算します。 1: エンハンス・チェック・サム データ・バイトと PID を使用してチェック・サムを計算します。 LMA <sub>n</sub> SLEC は自動チェック・サムが有効 (LMA <sub>n</sub> CTLL.LMA <sub>n</sub> ACSE = 1) の場合のみ有効です。
6	LMA <sub>n</sub> SLRT	LIN マスタ・モード動作制御 0: 送信モード 1: 受信モード LMA <sub>n</sub> SLRT は LIN マスタ・モード時のみ有効です。
5	LMA <sub>n</sub> FRQ	最初の送信要求の制御 0: スケジューラ準備完了イベントで LIN フレーム転送を開始 1: 送信動作を要求していない場合 (LMA <sub>n</sub> STRH.LMA <sub>n</sub> SST = 0), 送信要求を発生 (LMA <sub>n</sub> TRQ = 1) した直後に LIN フレーム転送を開始 LMA <sub>n</sub> STRH.LMA <sub>n</sub> SST = 1 時に LMA <sub>n</sub> FRQ をセットした場合, 次のスケジューラ・イベントの発生で LIN フレーム転送を開始し, LMA <sub>n</sub> FRQ = 0 の場合と同様の動作をします。 LMA <sub>n</sub> FRQ は, LMA <sub>n</sub> TRQ と同時にセットしてください。 LMA <sub>n</sub> FRQ は, LIN マスタ・モードでスケジューラを使用 (LMA <sub>n</sub> CTLL/LMA <sub>n</sub> SCHE = 1) し, かつ自動フレーム開始が有効 (LMA <sub>n</sub> CTLL.LMA <sub>n</sub> AFE = 1) の場合のみ有効です。それ以外のモードでは, 0 に設定する必要があります。
4	LMA <sub>n</sub> TRQ	送信要求制御 0: 送信動作を開始しているか, または要求していない 1: 送信動作を要求 LIN マスタ・モード時は, LIN マスタ受信モード (LMA <sub>n</sub> SLRT = 1) と同じく, LMA <sub>n</sub> TRQ = 1 で LIN フレーム転送をトリガします。 LMA <sub>n</sub> TRQ = 1 設定後に送信を開始すると, LMA <sub>n</sub> TRQ は自動的に 0 を返します。 LMA <sub>n</sub> TRQ への 0 書き込みは無効です。 UART スルー・モード (LMA <sub>n</sub> MD[1:0] = 00 <sub>B</sub> ) 時は, このビットを 0 に設定する必要があります。  注意 LIN マスタモードでスケジューラと自動フレーム開始を有効にした状態 (LMA <sub>n</sub> CTLL レジスタの LMA <sub>n</sub> SCHE, LMA <sub>n</sub> AFE を 1 に設定) で LMA <sub>n</sub> を使用している場合を除き, 送信要求を保留している間は LMA <sub>n</sub> TRQ = 1 の設定は禁止です。

表 25-25 LMA<sub>n</sub>TCTLL レジスタの内容 (2/2)

ビット位置	ビット名	機能																
3-0	LMA <sub>n</sub> TLG[3:0]	<p>送信バッファ長の指定 LMA<sub>n</sub>TLG[3:0] は UART バッファ・モードと LIN マスタ・モード時のみ有効です。</p> <ul style="list-style-type: none"> <li>UART バッファ・モード時 <table border="1" data-bbox="560 443 1369 613"> <thead> <tr> <th>LMA<sub>n</sub>TLG[3:0]</th> <th>送信バッファ長</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>12 バイト送信</td> </tr> <tr> <td>1-12</td> <td>1 ~ 12 バイト送信</td> </tr> <tr> <td>13-15</td> <td>設定禁止</td> </tr> </tbody> </table> </li> <li>LIN マスタ・モード時 <table border="1" data-bbox="560 696 1369 866"> <thead> <tr> <th>LMA<sub>n</sub>TLG[3:0]</th> <th>送信バッファ長</th> </tr> </thead> <tbody> <tr> <td>0, 1</td> <td>設定禁止</td> </tr> <tr> <td>2-10</td> <td>2 ~ 10 バイト送信</td> </tr> <tr> <td>11-15</td> <td>設定禁止</td> </tr> </tbody> </table> </li> </ul> <p>LMA<sub>n</sub>TLG[3:0] に設定した値は、PID とチェック・サムのパイトを含みます。したがって、最大 8 データ・パイトを送信することができます。 LMA<sub>n</sub>TLG[3:0] に禁止された値を設定した場合、準備不完全エラーを検出し、LMA<sub>n</sub>STRH.LMA<sub>n</sub>PIE = 1 でそのエラーを示します。</p>	LMA <sub>n</sub> TLG[3:0]	送信バッファ長	0	12 バイト送信	1-12	1 ~ 12 バイト送信	13-15	設定禁止	LMA <sub>n</sub> TLG[3:0]	送信バッファ長	0, 1	設定禁止	2-10	2 ~ 10 バイト送信	11-15	設定禁止
LMA <sub>n</sub> TLG[3:0]	送信バッファ長																	
0	12 バイト送信																	
1-12	1 ~ 12 バイト送信																	
13-15	設定禁止																	
LMA <sub>n</sub> TLG[3:0]	送信バッファ長																	
0, 1	設定禁止																	
2-10	2 ~ 10 バイト送信																	
11-15	設定禁止																	

**(9) LMA<sub>n</sub>TCTLH - LMA 送信制御レジスタ H**

送信中断処理を制御します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <LMA<sub>n</sub>\_base> + DC<sub>H</sub>

**初期値** 0000<sub>H</sub> すべてのリセット要因および LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 0 で初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LMA <sub>n</sub> TAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 25-26 LMA<sub>n</sub>TCTLH レジスタの内容

ビット位置	ビット名	機能
0	LMA <sub>n</sub> TAB	<p>送信中断要求</p> <p>0 : 読み出しは常に 0 を返し、0 書き込みは無効</p> <p>1 : 1 書き込みで送信中断を要求</p> <p>LMA<sub>n</sub>TAB を 1 に設定した場合、送信動作を停止し、送信状態フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>SST をクリアします。</p> <p>このビットは UART スルー・モード時は 0 に設定してください。</p> <p>このビットは LIN マスタ・モードの受信処理で有効です。</p>

**備考** LMA<sub>n</sub>TAB = 1 で送信を中断した場合、LMA<sub>n</sub> は UART へのデータ送信を停止します。ただし、送信中のデータは送信完了します。URTE<sub>n</sub>STR0.URTE<sub>n</sub>SST = 0 で送信動作が完全に停止していることを確認できます。

**(10) LMA<sub>n</sub>RCTL<sub>L</sub> - LMA<sub>n</sub> 受信制御レジスタ L**LMA<sub>n</sub> 受信バッファを制御します。**アクセス** 16 ビット単位でリード/ライト可能です。**アドレス** <LMA<sub>n</sub>\_base> + F8<sub>H</sub>**初期値** 0000<sub>H</sub> すべてのリセット要因および LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 0 で初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	LMA <sub>n</sub> RRQ	LMA <sub>n</sub> RLG[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 25-27 LMA<sub>n</sub>RCTL<sub>L</sub> レジスタの内容

ビット位置	ビット名	機能								
4	LMA <sub>n</sub> RRQ	受信要求制御 0 : 受信動作を開始しているか、または要求していない 1 : 受信動作を要求 LMA <sub>n</sub> RRQ = 1 設定後に受信バッファへの受信データの格納を開始すると、LMA <sub>n</sub> RRQ は自動的に 0 を返します。 LMA <sub>n</sub> RRQ への 0 書き込みは無効です。  このビットは UART バッファ・モード時のみ有効です。それ以外のモードでは、このビットを 1 に設定しないでください。								
3-0	LMA <sub>n</sub> RLG[3:0]	受信バッファ長の指定 LMA <sub>n</sub> RLG[3:0] は UART バッファ・モード時のみ有効です。 <table border="1" data-bbox="560 1155 1366 1328"> <thead> <tr> <th>LMA<sub>n</sub>RLG[3:0]</th><th>受信バッファ長</th></tr> </thead> <tbody> <tr> <td>0</td><td>連続データ受信</td></tr> <tr> <td>1-12</td><td>受信バッファで 1 ~ 12 データ・バイトを受信</td></tr> <tr> <td>13-15</td><td>設定禁止</td></tr> </tbody> </table> 連続してデータを受信する場合 (LMA <sub>n</sub> RLG[3:0] = 0), 受信したデータを連続して受信バッファに格納します。12 バイト分のデータを格納するたびに、受信割り込み要求 INTLMA <sub>n</sub> TIR またはステータス割り込み要求 INTLMA <sub>n</sub> TIS を発生します。連続格納を停止するには、LMA <sub>n</sub> RLG[3:0] に 1 ~ 12 を設定します。	LMA <sub>n</sub> RLG[3:0]	受信バッファ長	0	連続データ受信	1-12	受信バッファで 1 ~ 12 データ・バイトを受信	13-15	設定禁止
LMA <sub>n</sub> RLG[3:0]	受信バッファ長									
0	連続データ受信									
1-12	受信バッファで 1 ~ 12 データ・バイトを受信									
13-15	設定禁止									



**(11) LMA<sub>n</sub>RCTLH - LMA<sub>n</sub> 受信制御レジスタ H**

受信中断処理を制御します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <LMA<sub>n</sub>\_base> + FC<sub>H</sub>

**初期値** 0000<sub>H</sub> すべてのリセット要因および LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW = 0 で初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LMA <sub>n</sub> RAB
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 25-28 LMA<sub>n</sub>RCTLH レジスタの内容

ビット位置	ビット名	機能
0	LMA <sub>n</sub> RAB	<p>受信中断要求</p> <p>0 : 読み出しは常に 0 を返し、0 書き込みは無効</p> <p>1 : 1 書き込みで受信中断を要求</p> <p>LMA<sub>n</sub>RAB を 1 に設定した場合、受信動作を停止し、受信状態フラグ LMA<sub>n</sub>STRH.LMA<sub>n</sub>SSR をクリアします。</p> <p>このビットは UART バッファ・モード時のみ有効です。それ以外のモードでは、このビットを 1 に設定しないでください。</p> <p>LIN マスタ・モードの受信処理で中断要求する場合は、このビットを 0 に設定し、受信処理であっても、LMA<sub>n</sub>CTLH.LMA<sub>n</sub>TAB で中断要求してください。</p>

**備考** LMA<sub>n</sub>RAB = 1 で受信を中断した場合、LMA<sub>n</sub> は受信バッファへのデータの格納を停止します。ただし、UART が実行中の受信動作は完了します。URTE<sub>n</sub>STR0.URTE<sub>n</sub>SSR = 0 で受信動作が完全に停止していることを確認できます。

**(12) LMA<sub>n</sub>TX<sub>i</sub> - 送信バッファ・レジスタ (i = 01, 23, 45, 67, 89, AB)**

送信するデータを送信バッファに書き込みます。

**アクセス** 32/16 ビット単位でリード/ライト可能です。

**アドレス** <LMA<sub>n</sub>\_base> + j (j = C0<sub>H</sub>, C4<sub>H</sub>, C8<sub>H</sub>, CC<sub>H</sub>, D0<sub>H</sub>, D4<sub>H</sub>)  
(32 ビット・アクセス時は, (j = 1C0<sub>H</sub>, 1C8<sub>H</sub>, 1D0<sub>H</sub>))

**初期値** 0000<sub>H</sub> すべてのリセット要因で初期化します。

---

**注意** LMA<sub>n</sub> が動作禁止時 (LMA<sub>n</sub>CTLH.LMA<sub>n</sub>PW= 0), これらのレジスタにデータを書き込むことはできません。

---

**(13) LMA<sub>n</sub>RX<sub>i</sub> - 受信バッファ・レジスタ (i = 01, 23, 45, 67, 89, AB)**

受信データが格納されます。

**アクセス** 32/16 ビット単位でリード可能です。

**アドレス** <LMA<sub>n</sub>\_base> + j (j = E0<sub>H</sub>, E4<sub>H</sub>, E8<sub>H</sub>, EC<sub>H</sub>, F0<sub>H</sub>, F4<sub>H</sub>)  
(32 ビット・アクセス時は, (j = 1E0<sub>H</sub>, 1E8<sub>H</sub>, 1F0<sub>H</sub>))

**初期値** 0000<sub>H</sub> すべてのリセット要因で初期化します。

## 第26章 CANコントローラ (FCN)

この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN (Controller Area Network) コントローラを搭載しています。

この章では、CAN コントローラ (FCN) 全般について説明します。

最初の節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特性について説明します。

### 26.1 V850E2/Fx4-H の FCN 機能

**チャンネル** この製品は次のチャンネル数の CAN コントローラを搭載しています。

表 26-1 FCN のチャンネル

製品	V850E2/FK4-H	V850E2/FL4-H
チャンネル数 n	4	5
名称	FCN0 ~ FCN3	FCN0 ~ FCN4

**n の意味** 本章では、CAN コントローラの各チャンネルを「n」(n = 0 ~ 4) で識別します。たとえば、FCNn グローバル制御レジスタ (FCNnGMCLCTL) のように記述しています。

表 26-2 FCN チャンネルのメッセージ・バッファ

チャンネル	メッセージ・バッファの数 m
FCN0	64
FCN1	64
FCN2	64
FCN3	128
FCN4	128

**m の意味** 本章では、FCN メッセージ・バッファ・レジスタを「m」(m = 0 ~ 127) で識別します。たとえば、FCN チャンネル n、FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、FCNnMmDAT4B と記述します。

**レジスタ・アドレス** CANコントローラのレジスタ・アドレスは、FCNnのベース・アドレス <FCNn\_base> からのオフセットで表されます。

FCNnの <FCNn\_base> アドレスを表 26-3 に示します。

表 26-3 FCNn のレジスタ <FCNn\_base> アドレス

チャンネル	<FCNn_base> アドレス
FCN0	FF48 0000 <sub>H</sub>
FCN1	FF4A 0000 <sub>H</sub>
FCN2	FF4C 0000 <sub>H</sub>
FCN3	FF4E 0000 <sub>H</sub>
FCN4	FF50 0000 <sub>H</sub>

**クロック供給** CANコントローラは1つのクロック入力を使用します。CANコントローラはAPBバス・クロックPCLKに接続されています。

表 26-4 CANコントローラのクロック供給

チャンネル	FCNn クロック	接続先
FCN0	PCLK	クロック・コントローラ CKSCLK_113
FCN1	PCLK	クロック・コントローラ CKSCLK_113
FCN2	PCLK	クロック・コントローラ CKSCLK_113
FCN3	PCLK	クロック・コントローラ CKSCLK_115
FCN4	PCLK	クロック・コントローラ CKSCLK_115

**割り込み** CANコントローラの割り込みを表 26-5 に示します。

表 26-5 CANコントローラの割り込み

FCNn の割り込み	機能	接続先
<b>FCN0:</b>		
INTC0ERR	エラー検出	INTFCN0ERR
INTC0REC	受信完了	INTFCN0REC
INTC0TRX	送信完了	INTFCN0TRX
INTC0WUP	スリープ・ウェイクアップ ／送信中断	INTFCNWUP
<b>FCN1:</b>		
INTC1ERR	エラー検出	INTFCN1ERR
INTC1REC	受信完了	INTFCN1REC
INTC1TRX	送信完了	INTFCN1TRX
INTC1WUP	スリープ・ウェイクアップ ／送信中断	INTFCNWUP
<b>FCN2:</b>		
INTC2ERR	エラー検出	INTFCN2ERR
INTC2REC	受信完了	INTFCN2REC
INTC2TRX	送信完了	INTFCN2TRX
INTC2WUP	スリープ・ウェイクアップ ／送信中断	INTFCNWUP
<b>FCN3:</b>		
INTC3ERR	エラー検出	INTFCN3ERR
INTC3REC	受信完了	INTFCN3REC
INTC3TRX	送信完了	INTFCN3TRX
INTC3WUP	スリープ・ウェイクアップ ／送信中断	INTFCNWUP
<b>FCN4:</b>		
INTC4ERR	エラー検出	INTFCN4ERR
INTC4REC	受信完了	INTFCN4REC
INTC4TRX	送信完了	INTFCN4TRX
INTC4WUP	スリープ・ウェイクアップ ／送信中断	INTFCNWUP

**I/O 信号** CANコントローラの I/O 信号を表 26-6 に示します。

表 26-6 CANコントローラの I/O 信号

FNCn の信号	機能	接続先
<b>FCN0:</b>		
CRXD0	CAN バス受信入力	FCN0RX, FCN1RX
CTXD0	CAN バス送信出力	FCN0TX
<b>FCN1:</b>		
CRXD1	CAN バス受信入力	FCN1RX
CTXD1	CAN バス送信出力	FCN1TX
<b>FCN2:</b>		
CRXD2	CAN バス受信入力	FCN2RX
CTXD2	CAN バス送信出力	FCN2TX
<b>FCN3:</b>		
CRXD3	CAN バス受信入力	FCN3RX
CTXD3	CAN バス送信出力	FCN3TX
<b>FCN4:</b>		
CRXD4	CAN バス受信入力	FCN4RX
CTXD4	CAN バス送信出力	FCN4TX

**タイム・スタンプ** 下記の FCNn タイム・スタンプ出力信号は TAU A のキャプチャ入力に内部接続できます。

表 26-7 FCNn タイム・スタンプ信号

FNCn の信号	機能	接続先
<b>FCN0:</b>		
TSOUT	CAN タイム・スタンプ出力	TAUA0 TAUA0TTIN0
<b>FCN1:</b>		
TSOUT	CAN タイム・スタンプ出力	TAUA0 TAUA0TTIN1

## 26.2 FCN0 と FCN1 の接続

FCN0 モジュールと FCN1 モジュールには、同じ CAN バス信号に接続するオプションがあります。これにより、同じ CAN バス上で 2 つの FCN モジュール (FCN1 信号) が動作でき、このバス上で 128 メッセージ・バッファをサポートできます。

次の図に FCN0 と FCN1 の接続を表します。

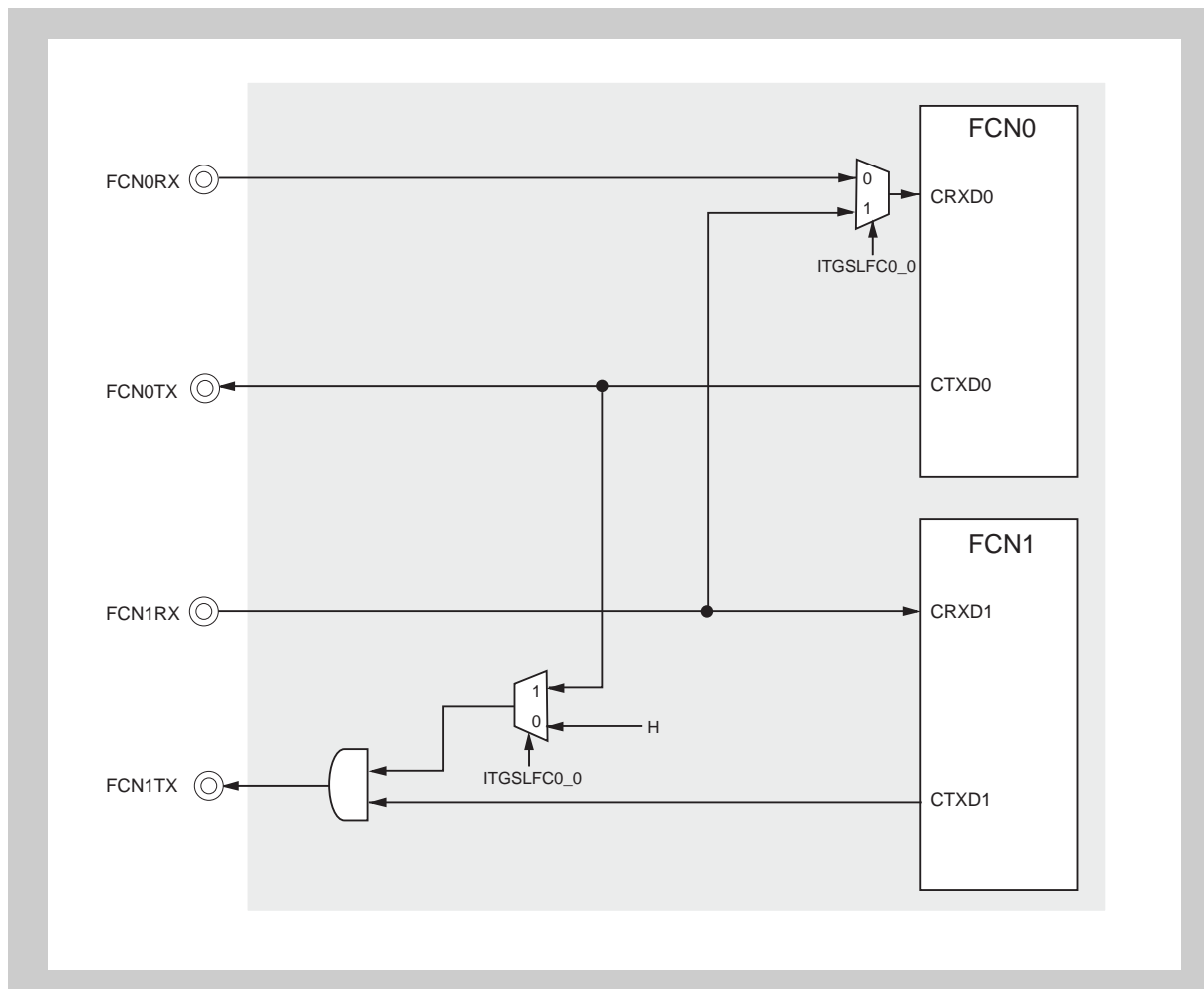


図 26-1 FCN0 と FCN1 の接続図

## (1) ITGSLFC0 - FCN0 信号接続選択レジスタ

FCN0 の信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 2008<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ITGSLFC 0_0
R	R	R	R	R	R	R	R/W

表 26-8 ITGSLFC0 レジスタの内容

ビット位置	ビット名	機能
0	ITGSLFC0_0	FCN0 信号選択 0 : FCN0 バス信号を使用 (FCN0RX, FCN0TX) 1 : FCN1 バス信号を使用 (FCN1RX, FCN1TX) 組み合わせ動作



## 26.3 特徴

- ISO 11898 に準拠し, ISO/DIS 16845 (CAN コンフォーマンス・テスト) に従ってテスト済み
- 標準フレームと拡張フレームの送受信が可能
- 転送速度: 最大 1 Mbps (FCN クロック入力が 16 MHz 以上の場合)
- 1 チャンネルにつき 64 個または 128 個のメッセージ・バッファ
- 送受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)
- 自動ブロック送信機能
- マルチ・バッファ受信ブロック機能
- データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能
- FCN モジュール・ビット・レート・プリスケアラ・レジスタ (FCNnCMBRPRS) およびビット・レート・レジスタ (FCNnCMBTCTL) により, データ・ビット・タイム, 通信ポー・レート, サンプル・ポイントを制御可能
  - たとえば, 以下のサンプル・ポイントを設定可能:
    - 66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%
  - 10 kbps ~ 1 Mbps のポー・レートを設定可能
- 拡張機能:
  - 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能
  - 対象となるメッセージ・バッファの送信要求フラグをクリアすることで送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応
  - 自動ブロック送信動作モード (ABT)
  - タイマ・キャプチャ・チャンネルと連携する FCN チャンネル 0 ~ 3 のタイム・スタンプ機能
  - 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により, 一箇所ですべてのデータ更新ビットを確認可能

## 26.3.1 機能の概要

CANコントローラの機能の概要を表 26-9 に示します。

表 26-9 機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO 11898 (標準フレームおよび拡張フレームの送受信)
ポー・レート	最大 1 Mbps (最小 FCN クロック入力 = 16 MHz)
データの保存	FCN RAM にメッセージを保存
メッセージ数	<ul style="list-style-type: none"> <li>1 チャンネルにつき 64 個または 128 個のメッセージ・バッファ</li> <li>個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能</li> </ul>
メッセージ受信	<ul style="list-style-type: none"> <li>個々のメッセージ・バッファに固有の ID を設定可能</li> <li>データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能</li> <li>メッセージを受信し、メッセージ・バッファに保存するたびに受信完了割り込みを発生 (メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能)</li> <li>複数の受信メッセージ・バッファを 1 つの FIFO 受信バッファとして使用可能 (マルチ・バッファ受信ブロック機能)</li> <li>受信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)</li> <li>一元管理されるグローバル・データ更新ビット・モニタ・レジスタ</li> </ul>
メッセージ送信	<ul style="list-style-type: none"> <li>個々のメッセージ・バッファに固有の ID を設定可能</li> <li>メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能</li> <li>メッセージ・バッファごとの送信中断割り込みおよび送信完了フラグ (いずれのバッファについても、同時に中断可能な送信は 1 つに限られる)</li> <li>送信メッセージ・バッファとして指定されたメッセージ・バッファ番号 0 ~ 15/31 は、自動ブロック転送用として使用可能。メッセージ送信間隔をプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABT と記述))</li> <li>送信履歴・リスト機能 (各メッセージ・バッファにて個別に設定可能)</li> </ul>
リモート・フレーム処理	<ul style="list-style-type: none"> <li>送信メッセージ・バッファによるリモート・フレーム処理</li> <li>受信メッセージ・バッファによるリモート・フレーム受信 (8 個のマスクの 1 つを適用可能)</li> </ul>
タイム・スタンプ機能	<ul style="list-style-type: none"> <li>16 ビット・タイマと組み合わせて使用することで、メッセージ受信時のタイム・スタンプ機能を設定可能</li> <li>タイム・スタンプ・キャプチャ・トリガを選択可能 (CAN メッセージ・フレーム内の SOF または EOF 検出に切り替え可能)</li> </ul>
診断機能	<ul style="list-style-type: none"> <li>読み出し可能なエラー・カウンタ</li> <li>バス接続確認用の「有効プロトコル動作フラグ」</li> <li>受信オンリー・モード</li> <li>シングル・ショット・モード</li> <li>CAN プロトコル・エラーの判別</li> <li>セルフ・テスト・モード</li> </ul>
バスオフ復帰機能	<ul style="list-style-type: none"> <li>ソフトウェアによりバスオフからの強制復帰が可能</li> <li>バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)</li> </ul>
パワー・セーブ・モード	<ul style="list-style-type: none"> <li>CAN スリープ・モード (CAN バスによりウエイクアップ可能)</li> <li>CAN ストップ・モード (CAN バスによりウエイクアップ不可)</li> </ul>

### 26.3.2 構成

CANコントローラは以下の4つのブロックから構成されています。

- APB インタフェース  
APB インタフェースおよび FCN モジュールとホスト CPU の間でメッセージを送受信するための機能ブロックです。
- MCM (Message Control Module)  
FCN モジュール内の CAN プロトコル・レイヤと CAN RAM へのアクセスを制御している機能ブロックです。
- CAN プロトコル・レイヤ  
CAN プロトコルの動作とそれに関連する設定を行う機能ブロックです。
- CAN RAM  
メッセージ ID, メッセージ・データなどの保存に使用される CAN メモリ機能ブロックです。

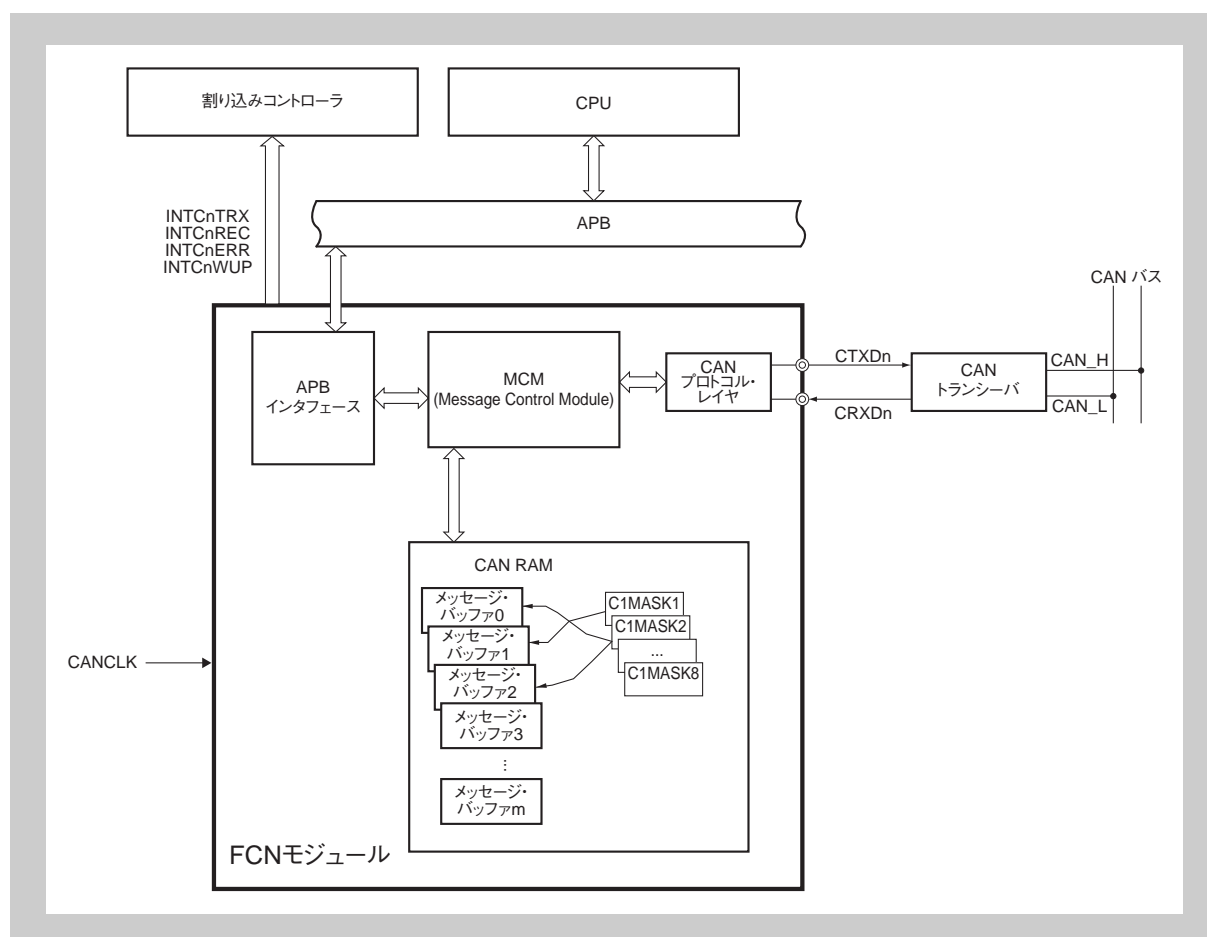


図 26-2 CANコントローラのブロック図

**注意** CAN RAM はメモリ照合モジュールを内蔵しています。CAN RAM エラーがソフトウェア・リセット中に発生した場合、メッセージ・バッファ RAM 読み出しエラー検出ビット (FCNnGMCLCTL.FCNnGMCLECCF) がセットされます。そのような場合には、FCN 機能を確認してください。

## 26.4 FCN の内部レジスタ

### 26.4.1 CAN コントローラの構成

表 26-10 FCN レジスタ一覧 (1/2)

項目	レジスタ名
FCNn グローバル・レジスタ	FCNn グローバル制御レジスタ (FCNnGMCLCTL)
	FCNn グローバル・クロック選択レジスタ (FCNnGMCSPRE)
	FCNn グローバル自動ブロック送信制御レジスタ (FCNnGMABCTL)
	FCNn グローバル自動ブロック送信遅延設定レジスタ (FCNnGMADCTL)
	FCNn グローバル・データ更新ビット・モニタ・レジスタ (FCNnDNBMRX0 ~ FCNnDNBMRX3)
FCNn モジュール・レジスタ	FCNn モジュール・マスク 1 レジスタ (FCNnCMMKCTL01H, FCNnCMMKCTL02H, FCNnCMMKCTL01W)
	FCNn モジュール・マスク 2 レジスタ (FCNnCMMKCTL03H, FCNnCMMKCTL04H, FCNnCMMKCTL03W)
	FCNn モジュール・マスク 3 レジスタ (FCNnCMMKCTL05H, FCNnCMMKCTL06H, FCNnCMMKCTL05W)
	FCNn モジュール・マスク 4 レジスタ (FCNnCMMKCTL07H, FCNnCMMKCTL08H, FCNnCMMKCTL07W)
	FCNn モジュール・マスク 5 レジスタ (FCNnCMMKCTL09H, FCNnCMMKCTL10H, FCNnCMMKCTL09W)
	FCNn モジュール・マスク 6 レジスタ (FCNnCMMKCTL11H, FCNnCMMKCTL12H, FCNnCMMKCTL11W)
	FCNn モジュール・マスク 7 レジスタ (FCNnCMMKCTL13H, FCNnCMMKCTL14H, FCNnCMMKCTL13W)
	FCNn モジュール・マスク 8 レジスタ (FCNnCMMKCTL15H, FCNnCMMKCTL16H, FCNnCMMKCTL15W)
	FCNn モジュール制御レジスタ (FCNnCMCLCTL)
	FCNn モジュール最終エラー情報レジスタ (FCNnCMLCSTR)
	FCNn モジュール情報レジスタ (FCNnCMINSTR)
	FCNn モジュール・エラー・カウンタ・レジスタ (FCNnCMERCNT)
	FCNn モジュール割り込み許可レジスタ (FCNnCMIECTL)
	FCNn モジュール割り込みステータス・レジスタ (FCNnCMISCTL)
	FCNn モジュール・ビット・レート・プリスケアラ・レジスタ (FCNnCMBRPRS)
	FCNn モジュール・ビット・レート・レジスタ (FCNnCMBTCTL)
	FCNn モジュール最終受信ポインタ・レジスタ (FCNnCMLISTR)
	FCNn モジュール受信履歴・リスト・レジスタ (FCNnCMRGRX)
	FCNn モジュール最終送信ポインタ・レジスタ (FCNnCMLOSTR)
	FCNn モジュール送信履歴・リスト・レジスタ (FCNnCMTGTX)
	FCNn モジュール・タイム・スタンプ・レジスタ (FCNnCMTSCTL)

表 26-10 FCN レジスタ一覧 (2/2)

項目	レジスタ名
FCN メッセージ・ バッファ・レジスタ	FCNn メッセージ・データ・バイト 0 ~ 3 レジスタ m (FCNnMmDAT0W, FCNnMmDAT0H, FCNnMmDAT2H, FCNnMmDAT0B, FCNnMmDAT1B, FCNnMmDAT2B, FCNnMmDAT3B)
	FCNn メッセージ・データ・バイト 4 ~ 7 レジスタ m (FCNnMmDAT4W, FCNnMmDAT4H, FCNnMmDAT6H, FCNnMmDAT4B, FCNnMmDAT5B, FCNnMmDAT6B, FCNnMmDAT7B)
	FCNn メッセージ・データ長レジスタ m (FCNnMmDTLGB)
	FCNn メッセージ・コンフィギュレーション・レジスタ m (FCNnMmSTRB)
	FCNn メッセージ ID レジスタ m (FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W)
	FCNn メッセージ制御レジスタ m (FCNnMmCTL)

## 26.4.2 CANコントローラ・レジスタの概要

備考 レジスタ・アドレスはベース・アドレス <FCNn\_base> からのオフセットとして表されます。レジスタの <FCNn\_base> アドレスは、本章第1節のキーワード「レジスタ・アドレス」で定義されています。

## (1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ

表 26-11 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (1/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 0008 <sub>H</sub>	FCNn グローバル・クロック選択レジスタ	FCNnGMCSPRE	R/W	8	0F <sub>H</sub>
0 0020 <sub>H</sub>	FCNn グローバル自動ブロック送信遅延設定レジスタ	FCNnGMADCTL	R/W	8	00 <sub>H</sub>
0 8000 <sub>H</sub>	FCNn グローバル制御レジスタ	FCNnGMCLCTL	R/W	16	00x0 <sub>H</sub> <sup>a</sup>
0 8018 <sub>H</sub>	FCNn グローバル自動ブロック送信制御レジスタ	FCNnGMABCTL	R/W	16	0000 <sub>H</sub>
1 00C0 <sub>H</sub>	FCNn グローバル・データ更新ビット・モニタ・レジスタ 0	FCNnDNBMRX0	R	32	0000 0000 <sub>H</sub>
1 00D0 <sub>H</sub>	FCNn グローバル・データ更新ビット・モニタ・レジスタ 1	FCNnDNBMRX1	R	32	0000 0000 <sub>H</sub>
1 00E0 <sub>H</sub>	FCNn グローバル・データ更新ビット・モニタ・レジスタ 2	FCNnDNBMRX2	R	32	0000 0000 <sub>H</sub>
1 00F0 <sub>H</sub>	FCNn グローバル・データ更新ビット・モニタ・レジスタ 3	FCNnDNBMRX3	R	32	0000 0000 <sub>H</sub>
0 8300 <sub>H</sub>	FCNn モジュール・マスク 1 レジスタ	FCNnCMMKCTL01H	R/W	16	0000 <sub>H</sub>
0 8308 <sub>H</sub>		FCNnCMMKCTL02H			
1 0300 <sub>H</sub>		FCNnCMMKCTL01W		32	0000 0000 <sub>H</sub>
0 8310 <sub>H</sub>	FCNn モジュール・マスク 2 レジスタ	FCNnCMMKCTL03H	R/W	16	0000 <sub>H</sub>
0 8318 <sub>H</sub>		FCNnCMMKCTL04H			
1 0310 <sub>H</sub>		FCNnCMMKCTL03W		32	0000 0000 <sub>H</sub>
0 8320 <sub>H</sub>	FCNn モジュール・マスク 3 レジスタ	FCNnCMMKCTL05H	R/W	16	0000 <sub>H</sub>
0 8328 <sub>H</sub>		FCNnCMMKCTL06H			
1 0320 <sub>H</sub>		FCNnCMMKCTL05W		32	0000 0000 <sub>H</sub>
0 8330 <sub>H</sub>	FCNn モジュール・マスク 4 レジスタ	FCNnCMMKCTL07H	R/W	16	0000 <sub>H</sub>
0 8338 <sub>H</sub>		FCNnCMMKCTL08H			
1 0330 <sub>H</sub>		FCNnCMMKCTL07W		32	0000 0000 <sub>H</sub>
0 8340 <sub>H</sub>	FCNn モジュール・マスク 5 レジスタ	FCNnCMMKCTL09H	R/W	16	0000 <sub>H</sub>
0 8348 <sub>H</sub>		FCNnCMMKCTL10H			
1 0340 <sub>H</sub>		FCNnCMMKCTL09W		32	0000 0000 <sub>H</sub>
0 8350 <sub>H</sub>	FCNn モジュール・マスク 6 レジスタ	FCNnCMMKCTL11H	R/W	16	0000 <sub>H</sub>
0 8358 <sub>H</sub>		FCNnCMMKCTL12H			
1 0350 <sub>H</sub>		FCNnCMMKCTL11W		32	0000 0000 <sub>H</sub>
0 8360 <sub>H</sub>	FCNn モジュール・マスク 7 レジスタ	FCNnCMMKCTL13H	R/W	16	0000 <sub>H</sub>
0 8368 <sub>H</sub>		FCNnCMMKCTL14H			
1 0360 <sub>H</sub>		FCNnCMMKCTL13W		32	0000 0000 <sub>H</sub>

表 26-11 FCNn グローバル・レジスタと FCNn モジュール・レジスタ (2/2)

アドレス・オフセット	レジスタ名	略号	R/W	アクセス・ビット	リセット後の値
0 8370 <sub>H</sub>	FCNn モジュール・マスク 8 レジスタ	FCNnCMMKCTL15H	R/W	16	0000 <sub>H</sub>
0 8378 <sub>H</sub>		FCNnCMMKCTL16H			
1 0370 <sub>H</sub>		FCNnCMMKCTL15W		32	
0 0248 <sub>H</sub>	FCNn モジュール最終エラー情報レジスタ	FCNnCMCSTR	R/W	8	00 <sub>H</sub>
0 024C <sub>H</sub>	FCNn モジュール情報レジスタ	FCNnCMINSTR	R	8	00 <sub>H</sub>
0 0268 <sub>H</sub>	FCNn モジュール・ビット・レート・プリスケアラ・レジスタ	FCNnCMBRPRS	R/W	8	FF <sub>H</sub>
0 0278 <sub>H</sub>	FCNn モジュール最終受信ポインタ・レジスタ	FCNnCMLISTR	R	8	不定
0 0288 <sub>H</sub>	FCNn モジュール最終送信ポインタ・レジスタ	FCNnCMLOSTR	R	8	不定
0 8240 <sub>H</sub>	FCNn モジュール制御レジスタ	FCNnCMCLCTL	R/W	16	0000 <sub>H</sub>
0 8250 <sub>H</sub>	FCNn モジュール・エラー・カウンタ・レジスタ	FCNnCMERCNT	R	16	0000 <sub>H</sub>
0 8258 <sub>H</sub>	FCNn モジュール割り込み許可レジスタ	FCNnCMIECTL	R/W	16	0000 <sub>H</sub>
0 8260 <sub>H</sub>	FCNn モジュール割り込みステータス・レジスタ	FCNnCMISCTL	R/W	16	0000 <sub>H</sub>
0 8270 <sub>H</sub>	FCNn モジュール・ビット・レート・レジスタ	FCNnCMBTCCTL	R/W	16	370F <sub>H</sub>
0 8280 <sub>H</sub>	FCNn モジュール受信履歴・リスト・レジスタ	FCNnCMRGRX	R/W	16	xx02 <sub>H</sub>
0 8290 <sub>H</sub>	FCNn モジュール送信履歴・リスト・レジスタ	FCNnCMGTGX	R/W	16	xx02 <sub>H</sub>
0 8298 <sub>H</sub>	FCNn モジュール・タイム・スタンプ・レジスタ	FCNnCMTSCTL	R/W	16	0000 <sub>H</sub>

a) 初期値は、メッセージ・バッファ RAM からの読み出しでエラーが検出されたかどうかを示す FCNnGMCLCTL.FCNnGMCLECCF によって異なります。詳細については、FCNnGMCLCTL レジスタの説明を参照してください。

## (2) レジスタのビット構成

表 26-12 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/ 8/24/16
0 8000 <sub>H</sub>	FCNnGMCLCTL (W)	0	0	FCNnGMCLCLMB		0	0	0	FCNnGMCLCLOM
		0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSEDE	FCNnGMCLSEOM
	FCNnGMCLCTL (R)	0	0	FCNnGMCLCF	FCNnGMCLSRF	0	0	FCNnGMCLSEDE	FCNnGMCLPWO M
		FCNnGMCLSSMO	0	0	0	0	0	0	0
0 0008 <sub>H</sub>	FCNnGMCSPRE	0	0	0	0	FCNnGMCSPRSC[3:0]			

表 26-12 FCN グローバル・レジスタのビット構成

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/ 8/24/16	
0 8018 <sub>H</sub>	FCNnGMABC TL (W)	0	0	0	0	0	0	0	FCNnGM ABCLAT	
		0	0	0	0	0	0	0	FCNnG MABSE AC	FCNnGM ABSEAT
	FCNnGMABC TL (R)	0	0	0	0	0	0	0	FCNnG MABCL RF	FCNnGM ABABTT
		0	0	0	0	0	0	0	0	0
0 0020 <sub>H</sub>	FCNnGMADC TL	0	0	0	0	FCNnGMADSSAD[3:0]				
1 00C0 <sub>H</sub>	FCNnDNBMR X0 (R)	FCNnDNBMSSDN[7:0]								
		FCNnDNBMSSDN[15:8]								
		FCNnDNBMSSDN[23:16]								
		FCNnDNBMSSDN[31:24]								
1 00D0 <sub>H</sub>	FCNnDNBMR X1 (R) <sup>a</sup>	FCNnDNBMSSDN[39:32]								
		FCNnDNBMSSDN[47:40]								
		FCNnDNBMSSDN[55:48]								
		FCNnDNBMSSDN[63:56]								
1 00E0 <sub>H</sub>	FCNnDNBMR X2 (R) <sup>a</sup>	FCNnDNBMSSDN[71:64]								
		FCNnDNBMSSDN[79:72]								
		FCNnDNBMSSDN[87:80]								
		FCNnDNBMSSDN[95:88]								
1 00F0 <sub>H</sub>	FCNnDNBMR X3 (R) <sup>a</sup>	FCNnDNBMSSDN[103:96]								
		FCNnDNBMSSDN[111:104]								
		FCNnDNBMSSDN[119:112]								
		FCNnDNBMSSDN[127:120]								

a) 128 個のメッセージ・バッファ (m = 0 ~ 127) でのみ利用可能です。



表 26-13 FCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12 ~ 0
0 8300 <sub>H</sub>	FCNnCM MKCTL01 H	FCNnCMMKSSID[15:0]			
0 8308 <sub>H</sub>	FCNnCM MKCTL02 H	0	0	0	FCNnCMMKSSID[28:16]
0 8310 <sub>H</sub>	FCNnCM MKCTL03 H	FCNnCMMKSSID[15:0]			
0 8318 <sub>H</sub>	FCNnCM MKCTL04 H	0	0	0	FCNnCMMKSSID[28:16]
0 8320 <sub>H</sub>	FCNnCM MKCTL05 H	FCNnCMMKSSID[15:0]			
0 8328 <sub>H</sub>	FCNnCM MKCTL06 H	0	0	0	FCNnCMMKSSID[28:16]
0 8330 <sub>H</sub>	FCNnCM MKCTL07 H	FCNnCMMKSSID[15:0]			
0 8338 <sub>H</sub>	FCNnCM MKCTL08 H	0	0	0	FCNnCMMKSSID[28:16]
0 8340 <sub>H</sub>	FCNnCM MKCTL09 H	FCNnCMMKSSID[15:0]			
0 8348 <sub>H</sub>	FCNnCM MKCTL10 H	0	0	0	FCNnCMMKSSID[28:16]
0 8350 <sub>H</sub>	FCNnCM MKCTL11 H	FCNnCMMKSSID[15:0]			
0 8358 <sub>H</sub>	FCNnCM MKCTL12 H	0	0	0	FCNnCMMKSSID[28:16]
0 8360 <sub>H</sub>	FCNnCM MKCTL13 H	FCNnCMMKSSID[15:0]			
0 8368 <sub>H</sub>	FCNnCM MKCTL14 H	0	0	0	FCNnCMMKSSID[28:16]
0 8370 <sub>H</sub>	FCNnCM MKCTL15 H	FCNnCMMKSSID[15:0]			
0 8378 <sub>H</sub>	FCNnCM MKCTL16 H	0	0	0	FCNnCMMKSSID[28:16]

表 26-14 FCN モジュール・マスク制御 32 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ~ 0
1 0300 <sub>H</sub>	FCNnCM MKCTL01 W	0	0	0	FCNnCMMKSSID[28:0]
1 0310 <sub>H</sub>	FCNnCM MKCTL03 W	0	0	0	FCNnCMMKSSID[28:0]
1 0320 <sub>H</sub>	FCNnCM MKCTL05 W	0	0	0	FCNnCMMKSSID[28:0]
1 0330 <sub>H</sub>	FCNnCM MKCTL07 W	0	0	0	FCNnCMMKSSID[28:0]
1 0340 <sub>H</sub>	FCNnCM MKCTL09 W	0	0	0	FCNnCMMKSSID[28:0]
1 0350 <sub>H</sub>	FCNnCM MKCTL11 W	0	0	0	FCNnCMMKSSID[28:0]
1 0360 <sub>H</sub>	FCNnCM MKCTL13 W	0	0	0	FCNnCMMKSSID[28:0]
1 0370 <sub>H</sub>	FCNnCM MKCTL15 W	0	0	0	FCNnCMMKSSID[28:0]

表 26-15 FCN モジュール・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8	
0 8240 <sub>H</sub>	FCNnCM CLCTL (W)	0	FCNnC MCLCL AL	FCNnC MCLCL VL	FCNnCMCLCLPS [1:0]		FCNnCMCLCLOP[2:0]			
		FCNnC MCLSE RC	FCNnC MCLSE AL	0	FCNnCMCLSEPS [1:0]		FCNnCMCLSEOP[2:0]			
	FCNnCM CLCTL (R)	FCNnC MCLER CF	FCNnC MCLAL BF	FCNnC MCLVA LF	FCNnCMCLMDPF [1:0]		FCNnCMCLMDOF[2:0]			
		0	0	0	0	0	0	FCNnC MCLSS RS	FCNnC MCLSS TS	
0 00248 <sub>H</sub>	FCNnCM LCSTR (W)	0	0	0	0	0	0	0	0	
	FCNnCM LCSTR (R)	0	0	0	0	0	FCNnCMCLCSSL[2:0]			
0 024CH	FCNnCM INSTR	0	0	0	FCNnC MINBOF F	FCNnCMINSSTE [1:0]		FCNnCMINSRE [1:0]		
0 8250 <sub>H</sub>	FCNnCM ERCNT	FCNnCMERTECF[7:0]								
		FCNnC MERRP SF	FCNnCMERRECF[6:0]							
0 8258 <sub>H</sub>	FCNnCM IECTL (W)	0	FCNnCMIECLIE[6:0]							
		0	FCNnCMIESEIE[6:0]							
	FCNnCM IECTL (R)	0	FCNnCMIEINTF[6:0]							
		0	0	0	0	0	0	0	0	0
0 8260 <sub>H</sub>	FCNnCM ISCTL (W)	0	FCNnCMISCLTS[6:0]							
		0	0	0	0	0	0	0	0	
	FCNnCM ISCTL (R)	0	FCNnCMISITSF[6:0]							
		0	0	0	0	0	0	0	0	
0 0268 <sub>H</sub>	FCNnCM BRPRS	FCNnCMBRPRS[7:0]								
0 8270 <sub>H</sub>	FCNnCM BTCTL	0	0	0	0	FCNnCMBTS1LG[3:0]				
		0	0	FCNnCMBTJWL G [1:0]		0	FCNnCMBTS2LG[2:0]			
0 0278 <sub>H</sub>	FCNnCM LISTR	FCNnCMLISSLR[7:0]								
0 8280 <sub>H</sub>	FCNnCM RGRX (W)	0	0	0	0	0	0	0	FCNnC MRGCL RV	
		0	0	0	0	0	0	0	0	
	FCNnCM RGRX (R)	0	0	0	0	0	0	0	FCNnC MRGSS PM	FCNnC MRGRV FF
		FCNnCMRDSSPT[7:0]								

表 26-15 FCN モジュール・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 0288 <sub>H</sub>	FCNnCM LOSTR	FCNnCMLOSTR[7:0]							
0 8290 <sub>H</sub>	FCNnCM TGTX (W)	0	0	0	0	0	0	0	FCNnC MTGCLT V
		0	0	0	0	0	0	0	0
	FCNnCM TGTX (R)	0	0	0	0	0	0	FCNnC MTGSS PM	FCNnC MTGTV FF
		FCNnCMTGSSPT[7:0]							
0 8298 <sub>H</sub>	FCNnCM TSCTL (W)	0	0	0	0	0	FCNnC MTSCLL K	FCNnC MTSCL SL	FCNnC MTSCLT S
		0	0	0	0	0	FCNnC MTSSEL K	FCNnC MTSSE SL	FCNnC MTSSE TS
	FCNnCM TSCTL (R)	0	0	0	0	0	FCNnC MTSLO KE	FCNnC MTSSEL E	FCNnC MTSTS GE
		0	0	0	0	0	0	0	0

表 26-16 FCN メッセージ・バッファ・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/8/24/ 16
1 1000 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT0W	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
		FCNnMmSSD[27:20]							
		FCNnMmSSD[37:30]							
0 9000 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT0H	FCNnMmSSD[07:00]							
		FCNnMmSSD[17:10]							
0 1000 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT0B	FCNnMmSSD[07:00]							
0 1004 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT1B	FCNnMmSSD[17:10]							
		FCNnMmSSD[27:20]							
0 9008 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT2H	FCNnMmSSD[27:20]							
		FCNnMmSSD[37:30]							
0 1008 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT2B	FCNnMmSSD[27:20]							
0 100C <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT3B	FCNnMmSSD[37:30]							
1 1010 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT4W	FCNnMmSSD[47:40]							
		FCNnMmSSD[57:50]							
		FCNnMmSSD[67:60]							
		FCNnMmSSD[77:70]							

表 26-16 FCN メッセージ・バッファ・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15/31/ 23	ビット 6/14/30/ 22	ビット 5/13/29/ 21	ビット 4/12/28/ 20	ビット 3/11/27/ 19	ビット 2/10/26/ 18	ビット 1/9/25/ 17	ビット 0/8/24/ 16	
0 9010 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT4H	FCNnMmSSD[47:40]								
		FCNnMmSSD[57:50]								
0 1010 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT4B	FCNnMmSSD[47:40]								
0 1014 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT5B	FCNnMmSSD[57:50]								
0 9018 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT6H	FCNnMmSSD[67:60]								
		FCNnMmSSD[77:70]								
0 1018 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT6B	FCNnMmSSD[67:60]								
0 101C <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DAT7B	FCNnMmSSD[77:70]								
0 1020 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm DTLGB	0				FCNnMmDTLGL[3:0]				
0 1024 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm STRB	FCNnM mSSO W	FCNnMmSSMT[3:0]				FCNnM mSSRT	0	FCNnM mSSAM	
0 9028 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm MID0H	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
0 9030 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm MID1H	FCNnMmSSID[23:16]								
		FCNnM mSSIE	0	0	FCNnMmSSID[28:24]					
1 1028 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm MID0W	FCNnMmSSID[7:0]								
		FCNnMmSSID[15:8]								
		FCNnMmSSID[23:16]								
		FCNnM mSSIE	0	0	FCNnMmSSID[28:24]					
0 9038 <sub>H</sub> + m × 40 <sub>H</sub>	FCNnMm CTL (W)	0	FCNn Mm CLNH	0	FCNn Mm CLMW	FCNn Mm CLIE	FCNn Mm CLDN	FCNn Mm CLTR	FCNn Mm CLRY	
		0	FCNn Mm SENH	0	0	FCNn Mm SEIE	0	FCNn Mm SETR	FCNn Mm SERY	
	FCNnMmCT L (R)	0	FCNn Mm NHMF	0	FCNn Mm MOWF	FCNn Mm IENF	FCNn Mm DTNF	FCNn Mm TRQF	FCNn Mm RDYF	
		0	0	FCNn Mm MUCF	0	0	0	FCNn Mm TCPF	0	

## 26.5 ビットのセット／クリア機能

FCN 制御レジスタには、CPU および CAN コントローラを介してビットをセットまたはクリアできるレジスタが含まれています。これらのレジスタ・ビットを SET1, CLR1, NOT1 などのビット操作命令によって CPU が直接変更することはできません。レジスタ・ビットの変更には、特殊なビット・セット／ビット・クリア・メカニズムが使用されます。

ビット操作演算が禁止されているレジスタでは、CPU による変更が許可されているすべてのビットが下位バイト（下記のレジスタ・レイアウトの RWx）に配置されており、上位バイト（下記のレジスタ・レイアウトの ROx）には情報が配置されていないか、読み出し専用情報が配置されています。

レジスタの説明にあるように、現在設定されている 16 個のデータ・ビットすべてを取得する通常の方法でレジスタを読み出すことができます。下位 8 ビットのセットまたはクリアには、以下のメカニズムが使用されます。

レジスタ・アドレスに 16 ビット・データを書き込む場合

- ビット・クリア**
- 下位 8 データ・ビット（下記のレジスタ・レイアウトの CLx）を使用して、各ビット位置に対応するレジスタ・ビット RWx が次のいずれの状態になるかを示します。
    - クリアされる、つまり 0 にセットされる：CLx = 1 であれば、対応する RWx は 0 にクリアされます。
    - 変化しない：CLx = 0 であれば、対応する RWx は変化しません。
- ビット・セット**
- 上位 8 データ・ビット（下記のレジスタ・レイアウトの SEx）を使用して、各ビット位置に対応するレジスタ・ビットが次のいずれの状態になるかを示します。
    - セットされる、つまり 1 にセットされる：SEx = 1 であれば、対応する RWx が 1 にセットされます。
    - 変化しない：SEx = 0 であれば、対応する RWx は変化しません。

読み出しアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO7	RO6	RO5	RO4	RO3	RO2	RO1	RO0	RW7	RW6	RW5	RW4	RW3	RW2	RW1	RW0
CPU による変更が不可能								SE7 ~ SE0 および CL7 ~ CL0 を介した CPU によるビット操作が可能							

書き込みアクセスのレジスタ・レイアウト

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0
SEx = 1 であれば、対応する RW7 ~ RW0 をセットします。								CLx = 1 であれば、対応する RW7 ~ RW0 をクリアします。							

RWx ビットに適用される操作を以下の表に示します。

表 26-17 ビットのセット/クリア操作

CLx	SEx	RWx に対する操作
0	0	RWx を変更しません。
0	1	RWx を 1 にセットします。
1	0	RWx を 0 にクリアします。
1	1	RWx を変更しません。

例 以下に例を示します。

内容が 1883<sub>H</sub> であるレジスタを以下のように変更する場合

- ビット 3 を 1 に設定 : SE3 = 1
- ビット 1 を 0 にクリア : CL1 = 1

ビット操作前のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	1	1
任意の値に設定することができます。 この例では 18 <sub>H</sub> です。								RW7 ~ RW0 : 83 <sub>H</sub>							

レジスタ書き込みアクセス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
SE3 = 1 : 08 <sub>H</sub>								CL1 = 1 : 02 <sub>H</sub>							

ビット操作後のレジスタ読み出し値

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
任意の値にすることができます。 この例では 18 <sub>H</sub> です。								RW7 ~ RW0 : 89 <sub>H</sub>							

## 26.6 制御レジスタ

### 26.6.1 FCN グローバル・レジスタ

#### (1) FCNnGMCLCTL - FCNn グローバル制御レジスタ

本レジスタはFCN モジュールの動作の制御に使用されます。

**アクセス** 16 ビット単位でリード/ライトが可能です。

**アドレス** <FCNn\_base> + 0 8000<sub>H</sub>

**初期値** 00x0<sub>H</sub><sup>a</sup> 本レジスタは各種リセットにより初期化されます。

- a) ハード・リセット後、ソフト・リセットが自動的に開始されます。したがって、初期値は以下のようになります。
- ソフト・リセット後にエラーが検出されなければ 0000<sub>H</sub>
  - ソフト・リセット中にエラーが検出されなければ 0010<sub>H</sub>
  - ソフト・リセット後にエラーが検出されれば 0020<sub>H</sub>
  - ソフト・リセット中にエラーが検出されれば 0030<sub>H</sub>

#### (a) FCNnGMCLCTL の読み出し値

	15	14	13	12	11	10	9	8
FCNnGM CLSSMO	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	FCNnGM CLECCF	FCNnGM CLSORF	0	0	FCNnGM CLESDE	FCNnGM CLPWOM

FCNnGMCLSSMO	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・レジスタへのアクセス有効ビット
0	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは無効です。
1	FCN メッセージ・バッファ・レジスタおよび送受信ヒストリ・リスト・レジスタへの書き込みアクセスおよび読み出しアクセスは有効です。

- 注意**
- FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されている間、ソフトウェアによる FCN メッセージ・バッファ・レジスタ (FCNnMm であるすべてのレジスタ) または送信ヒストリ、受信ヒストリに関連したレジスタ (FCNnCMLOSTR, FCNnCMTGTGX, FCNnCMLISTR, FCNnCMRGRX) へのアクセスは無効です。
  - FCNnGMCLCTL.FCNnGMCLSSMO はリード・オンリーです。本ビットが 0 の状態で 1 を書き込んでも、ビットの値は変わらず、FCN メッセージ・バッファ・レジスタまたは送信ヒストリ、受信ヒストリに関連したレジスタへのアクセスは無効のままです。



**備考** FCN モジュールが FCN スリープ・モードまたは FCN ストップ・モードに移行した場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) された場合に、FCNnGMCLCTL.FCNnGMCLSSMO がクリア (0) されます。

FCN スリープ・モードまたは FCN ストップ・モードが解除された場合、または、FCNnGMCLCTL.FCNnGMCLPWOM がセット (1) された場合に、FCNnGMCLSSMO がセット (1) されます。

FCNnGMCLECCF	メッセージ・バッファ RAM 読み出しエラー検出ビット
0	メッセージ・バッファ RAM からの読み出しでエラーが検出されなかったことを示します。
1	メッセージ・バッファ RAM からの読み出しでエラーが検出されたことを示します。

- 備考**
- ソフト・リセットの実行中、メッセージ・バッファ RAM からの読み出しでメモリ・エラーが検出されると、FCNnGMCLCTL.FCNnGMCLECCF がセット (1) されます。FCNnGMCLECCF がセット (1) されると、クリア (0) されるまで、セット状態が保たれます。
  - 本ビットは、ソフト・リセット実行後にメモリ・エラーを確認する用途以外で使用しないでください。
  - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間 (ソフト・リセットの実行中)、FCNnGMCLECCF をクリア (0) することはできません。

FCNnGMCLSORF	ソフト・リセット実行ステータス・ビット
0	ソフト・リセットを実行していないことを示します。
1	ソフト・リセットを実行中であることを示します。

- 備考**
- ソフト・リセットを実行中 (FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されている間)、FCNnGMCLCTL.FCNnGMCLPWOM および FCNnGMCLCTL.FCNnGMCLESEDE をセットすることはできません。FCNnGMCLCTL.FCNnGMCLPWOM がクリア (0) されている間は、FCNnGMCLCTL.FCNnGMCLSESR = 1 にすることで、ソフトウェア・リセットの開始を設定することができます。
  - FCNnGMCLCTL.FCNnGMCLSORF がセット (1) されると、メッセージ・バッファ RAM の初期化が開始されます。FCNnGMCLSORF をセットする前に FCNnGMCLCTL.FCNnGMCLECCF がクリアされれば、メッセージ・バッファ RAM の初期化中にエラーを検出することができます。
  - すでにセット (1) されている FCNnGMCLCTL.FCNnGMCLSORF を再びセット (1) しても、ソフト・リセット処理は再開されず、処理が継続されるだけです。
  - ハードウェア・リセットの解除後、FCNnGMCLCTL.FCNnGMCLSORF が自動的にセット (1) され、メッセージ・バッファ RAM の初期化が開始されます。
  - FCNnGMCLCTL.FCNnGMCLPWOM のクリア (0) と FCNnGMCLCTL.FCNnGMCLSORF のセット (1) を同時に行うことはできません。
  - FCNnGMCLCTL.FCNnGMCLSORF = 1 の間、ハードウェア・リセットが行われると、ソフト・リセット処理が中断され、ハードウェア・リセットが開始されます。

FCNnGMCLESDE	強制シャットダウン有効ビット
0	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは無効です。
1	FCNnGMCLCTL.FCNnGMCLPWOM = 0 による強制シャットダウンは有効です。

**注意** 強制シャットダウンを要求するには、FCNnGMCLCTL.FCNnGMCLESDE がセット (1) された直後に行われるアクセスで FCNnGMCLCTL.FCNnGMCLPWOM をクリア (0) する必要があります。FCNnGMCLESDE がセット (1) された直後に FCNnGMCLPWOM をクリア (0) することなく、ほかのレジスタへの何らかのアクセス (FCNnGMCLCTL レジスタの読み出しを含む) を実行すると、FCNnGMCLESDE は強制的にクリア (0) され、強制シャットダウン要求が無効になります。

FCNnGMCLPWOM	グローバル動作モード・ビット
0	FCN モジュールの動作を禁止します。
1	FCN モジュールの動作を許可します。

**注意** FCNnGMCLCTL.FCNnGMCLPWOM は、初期化モード中、または FCNnGMCLCTL.FCNnGMCLESDE がセットされた (強制シャットダウン) 直後にだけクリアすることができます。

#### (b) FCNnGMCLCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	FCNnGMCLSESR	0	0	FCNnGMCLSESD	FCNnGMCLSEOM
7	6	5	4	3	2	1	0
0	0	FCNnGMCLCLMB	0	0	0	0	FCNnGMCLCLOM

FCNnGMCLSESR	ソフトウェア・リセット開始
0	変化しません。
1	ソフト・リセットを開始します。

FCNnGMCLSESD	FCNnGMCLESDE ビットの設定
0	FCNnGMCLESDE ビットを変更しません。
1	FCNnGMCLESDE ビットをセット (1) します。

FCNnGMCLSEOM	FCNnGMCLCLOM	FCNnGMCLPWOM ビットの設定
0	1	FCNnGMCLCTL.FCNnGMCLPWOM ビットを0にクリアします。
1	0	FCNnGMCLCTL.FCNnGMCLPWOM ビットを1にセットします。
上記以外の値		FCNnGMCLCTL.FCNnGMCLPWOM ビットを変更しません。

**注意** FCNnGMCLCTL.FCNnGMCLPWOM ビットと FCNnGMCLCTL.FCNnGMCLSEDE ビットは必ず別々にセットしてください。

FCNnGMCLCLMB	FCNnGMCLCTL.FCNnGMCLCCF ビットのクリア
0	FCNnGMCLCTL.FCNnGMCLCCF ビットを変更しません。
1	FCNnGMCLCTL.FCNnGMCLCCF ビットを0にクリアします。

**(2) FCNnGMCSPRE - FCNn グローバル・クロック選択レジスタ**

本レジスタはFCN モジュール・システム・クロックの選択に使用されます。

**アクセス** 8ビット単位でリード/ライトが可能です。

**アドレス** <FCNn\_base> + 0008<sub>H</sub>

**初期値** 0F<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMCSPRSC[3:0]			

FCNnGMCSPRSC[3:0]	プレCAN プロトコル・レイヤ基本システム・クロック (f <sub>CANPRE</sub> )
0000 <sub>B</sub>	f <sub>CAN</sub> /1
0001 <sub>B</sub>	f <sub>CAN</sub> /2
0010 <sub>B</sub>	f <sub>CAN</sub> /3
0011 <sub>B</sub>	f <sub>CAN</sub> /4
0100 <sub>B</sub>	f <sub>CAN</sub> /5
0101 <sub>B</sub>	f <sub>CAN</sub> /6
0110 <sub>B</sub>	f <sub>CAN</sub> /7
0111 <sub>B</sub>	f <sub>CAN</sub> /8
1000 <sub>B</sub>	f <sub>CAN</sub> /9
1001 <sub>B</sub>	f <sub>CAN</sub> /10
1010 <sub>B</sub>	f <sub>CAN</sub> /11
1011 <sub>B</sub>	f <sub>CAN</sub> /12
1100 <sub>B</sub>	f <sub>CAN</sub> /13
1101 <sub>B</sub>	f <sub>CAN</sub> /14
1110 <sub>B</sub>	f <sub>CAN</sub> /15
1111 <sub>B</sub>	f <sub>CAN</sub> /16 (デフォルト値)

**備考** f<sub>CAN</sub> = システム・レベルでFCNに供給されるクロック (クロックの生成, 分配, 選択)

**(3) FCNnGMABCTL - FCNn グローバル自動ブロック送信制御レジスタ**

本レジスタは、自動ブロック送信 (ABT) 操作の制御に使用されます。

**アクセス** 16 ビット単位でリード/ライトが可能です。

**アドレス** <FCNn\_base> + 0 8018<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnGMABCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnGM ABCLRF	FCNnGM ABABTT

FCNnGMABCLRF	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動送信エンジンのクリアが完了していることを示します。
1	自動送信エンジンをクリア中であることを示します。

**備考** FCNnGMABCLRF は FCNnGMABABTT がクリア (0) されている状態でセット (1) してください。  
FCNnGMABABTT がセット (1) されている状態で、FCNnGMABCLRF をセット (1) した場合の動作は保証いたしません。

FCNnGMABABTT	自動ブロック送信ステータス・ビット
0	自動ブロック送信が停止していることを示します。
1	自動ブロック送信が実行されていることを示します。

## (b) FCNnGMABCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnGM ABSEAC	FCNnGM ABSEAT
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnGM ABCLAT

**備考** FCNnGMABCTL.FCNnGMABSEAC を 1 にセットして自動ブロック送信エンジンをクリアすると、FCNnGMABCLRF が自動的にセットされ、要求されたクリア処理が完了すると同時に FCNnGMABCLRF が 0 にクリアされます。

- 注意**
1. ABT 付き通常動作モードから初期化モードへ変更する前に、必ず FCNnGMABCTL レジスタをデフォルト値 (0000<sub>H</sub>) に設定し、FCNnGMABCTL レジスタがデフォルト値 (0000<sub>H</sub>) に確実に初期化されたことを確認してください。
  2. 初期化モード中に自動ブロック送信を開始しないでください。初期化モード中に自動ブロック送信を開始した場合、CAN コントローラが ABT 付き通常動作モードに入ったときの動作は保証されません。
  3. FCNnCMCLCTL.FCNnCMCLSSTS が 1 にセットされている間 (送信中) に自動ブロック送信を開始しないでください。自動ブロック送信を開始する前に、あらかじめ FCNnCMCLSSTS = 0 になっていることを直接確認してください。

FCNnGMABSEAC	自動ブロック送信エンジン・クリア要求ビット
0	自動ブロック送信エンジンがアイドル状態または動作中であることを示します。
1	自動ブロック送信エンジンのクリアを要求します。自動ブロック送信エンジンがクリアされたあと、FCNnGMABCTL.FCNnGMABABTT = 1 にセットすることで、メッセージ・バッファ 0 からの自動ブロック送信が開始されます。

FCNnGMABSEAT	FCNnGMABCLAT	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求します。
1	0	自動ブロック送信の開始を要求します。
上記以外の値		FCNnGMABCTL.FCNnGMABABTT ビットを変更しません。

**(4) FCNnGMADCTL - FCNn グローバル自動ブロック送信遅延設定レジスタ**

本レジスタは、ABT 付き通常動作モード中に、ABT に割り当てられたメッセージ・バッファのデータを送信するインターバルの設定に使用されます。

**アクセス** 8 ビット単位でリード/ライトが可能です。

**アドレス** <FCNn\_base> + 0020<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnGMADSSAD[3:0]			

FCNnGMADSSAD[3:0]	自動ブロック送信中のデータ・フレーム・インターバル (DBT 単位) <sup>a</sup>
0000 <sub>B</sub>	0 DBT (デフォルト値)
0001 <sub>B</sub>	2 <sup>5</sup> DBT
0010 <sub>B</sub>	2 <sup>6</sup> DBT
0011 <sub>B</sub>	2 <sup>7</sup> DBT
0100 <sub>B</sub>	2 <sup>8</sup> DBT
0101 <sub>B</sub>	2 <sup>9</sup> DBT
0110 <sub>B</sub>	2 <sup>10</sup> DBT
0111 <sub>B</sub>	2 <sup>11</sup> DBT
1000 <sub>B</sub>	2 <sup>12</sup> DBT
上記以外の値	設定禁止

a) 単位 : DBT (データ・ビット・タイム)

- 注意**
1. FCNnGMABCTL.FCNnGMABCLRF = 1 である間 (ABT のクリア中) に FCNnGMADCTL レジスタの内容を変更しないでください。
  2. ABT メッセージが実際に CAN バスに送信されるタイミングは、ほかのステーションからの送信の状態または ABT メッセージ以外のメッセージの送信要求が行われた方法によって異なります。

**(5) FCNnDNBMRXk - FCNn グローバル・データ更新ビット・モニタ・レジスタ (k=0 ~ 3)**

本レジスタは、同時に複数のメッセージ・バッファのデータ更新ビットをグローバルに読み出すために使用されます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** FCNnDNBMRX0 : <FCNn\_base> + 1 00C0<sub>H</sub>  
 FCNnDNBMRX1 : <FCNn\_base> + 1 00D0<sub>H</sub>

以下のレジスタは m = 128 メッセージ・バッファでのみ利用可能です。

FCNnDNBMRX2 : <FCNn\_base> + 1 00E0<sub>H</sub>  
 FCNnDNBMRX3 : <FCNn\_base> + 1 00F0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24
FCNnDNBMSSDN[31:24]							

23	22	21	20	19	18	17	16
FCNnDNBMSSDN[23:16]							

15	14	13	12	11	10	9	8
FCNnDNBMSSDN[15:8]							

7	6	5	4	3	2	1	0
FCNnDNBMSSDN[7:0]							

FCNnDNBMSSDN[31:0]	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。



## 26.6.2 FCN モジュール・レジスタ

### (1) FCNnCMMKCTLaH - FCNn モジュール・マスク制御レジスタ

これらのレジスタは、比較されるメッセージ識別子 (ID) の一部をマスクし、マスクされた部分の ID を無効にすることで、同じメッセージ・バッファに保存できるメッセージの数を増やすために使用されます。

レジスタ FCNnCMMKCTLaW ( $a = 01, 03, 05, 07, 09, 11, 13, 15$ ) への 1 回の 32 ビット・アクセスで、2 つの 16 ビット・レジスタ FCNnCMMKCTLaH ( $a = 01 \sim 16$ ) にアクセスすることもできます。

**アクセス** FCNnCMMKCTLaH レジスタは 16 ビット単位でリード/ライト可能です。  
FCNnCMMKCTLaW レジスタは 32 ビット単位でリード/ライト可能です。

**アドレス** FCNnCMMKCTL01H: <FCNn\_base> + 0 8300<sub>H</sub>  
FCNnCMMKCTL02H: <FCNn\_base> + 0 8308<sub>H</sub>  
FCNnCMMKCTL03H: <FCNn\_base> + 0 8310<sub>H</sub>  
FCNnCMMKCTL04H: <FCNn\_base> + 0 8318<sub>H</sub>  
FCNnCMMKCTL05H: <FCNn\_base> + 0 8320<sub>H</sub>  
FCNnCMMKCTL06H: <FCNn\_base> + 0 8328<sub>H</sub>  
FCNnCMMKCTL07H: <FCNn\_base> + 0 8330<sub>H</sub>  
FCNnCMMKCTL08H: <FCNn\_base> + 0 8338<sub>H</sub>  
FCNnCMMKCTL09H: <FCNn\_base> + 0 8340<sub>H</sub>  
FCNnCMMKCTL10H: <FCNn\_base> + 0 8348<sub>H</sub>  
FCNnCMMKCTL11H: <FCNn\_base> + 0 8350<sub>H</sub>  
FCNnCMMKCTL12H: <FCNn\_base> + 0 8358<sub>H</sub>  
FCNnCMMKCTL13H: <FCNn\_base> + 0 8360<sub>H</sub>  
FCNnCMMKCTL14H: <FCNn\_base> + 0 8368<sub>H</sub>  
FCNnCMMKCTL15H: <FCNn\_base> + 0 8370<sub>H</sub>  
FCNnCMMKCTL16H: <FCNn\_base> + 0 8378<sub>H</sub>  
FCNnCMMKCTL01W: <FCNn\_base> + 1 0300<sub>H</sub>  
FCNnCMMKCTL03W: <FCNn\_base> + 1 0310<sub>H</sub>  
FCNnCMMKCTL05W: <FCNn\_base> + 1 0320<sub>H</sub>  
FCNnCMMKCTL07W: <FCNn\_base> + 1 0330<sub>H</sub>  
FCNnCMMKCTL09W: <FCNn\_base> + 1 0340<sub>H</sub>  
FCNnCMMKCTL11W: <FCNn\_base> + 1 0350<sub>H</sub>  
FCNnCMMKCTL13W: <FCNn\_base> + 1 0360<sub>H</sub>  
FCNnCMMKCTL15W: <FCNn\_base> + 1 0370<sub>H</sub>

**初期値** FCNnCMMKCTLaH は 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

FCNnCMMKCTLaW は 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

#### (a) FCNnCMMKCTLaH ( $a = 01, 03, 05, 07, 09, 11, 13, 15$ )



**(b) FCNnCMMKCTLaH (a = 02, 04, 06, 08, 10, 12, 14, 16)**

15	14	13	12	11	10	9	8
0	0	0	FCNnCMMKSSID[28:24]				
7	6	5	4	3	2	1	0
FCNnCMMKSSID[23:16]							

**(c) FCNnCMMKCTLaW (a = 01, 03, 05, 07, 09, 11, 13, 15)**

31	30	29	28	27	26	25	24
0	0	0	FCNnCMMKSSID[28:24]				
23	22	21	20	19	18	17	16
FCNnCMMKSSID[23:16]							
15	14	13	12	11	10	9	8
FCNnCMMKSSID[15:8]							
7	6	5	4	3	2	1	0
FCNnCMMKSSID[7:0]							

FCNnCMMKSSID[i] <sup>a</sup>	ID ビットのマスク・パターン設定
0	FCNnMmSSID[i] によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較します。
1	FCNnMmSSID[i] によって設定されたメッセージ・バッファ m の ID ビット i を受信メッセージ・フレームの ID ビットと比較しません (マスクします)。

<sup>a)</sup> i = [28:0]

**備考** マスクは常に 29 ビットの ID 長で定義されます。マスクが標準 ID を持つメッセージに割り当てられている場合、FCNnCMMKSSID[17:0] は無視されます。したがって、受信 ID の FCNnCMMKSSID[28:18] のみがマスクされます。同じマスクを標準 ID と拡張 ID の両方に使用できます。

**(2) FCNnCMCLCTL - FCNn モジュール制御レジスタ**

本レジスタは FCN モジュールの動作モードの制御に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8240<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMCLCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	FCNnCM CLSRS	FCNnCM CLSSTS
7	6	5	4	3	2	1	0
FCNnCM CLERCF	FCNnCM CLALBF	FCNnCM CLVALF	FCNnCM CLMDPF[1:0]		FCNnCM CLMDOF[2:0]		

FCNnCMCLSRS	受信ステータス・ビット
0	受信が停止していることを示します。
1	受信中であることを示します。

- 備考**
- FCNnCMCLSRS は以下の条件 (タイミング) で 1 にセットされます。
    - 受信フレームの SOF ビットが検出されたとき
    - 送信フレームにアービトレーション・ロストが生じたとき
  - FCNnCMCLSRS は以下の条件 (タイミング) で 0 にクリアされます。
    - インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき
    - インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLSSTS	送信ステータス・ビット
0	送信が停止していることを示します。
1	送信中であることを示します。

- 備考**
- FCNnCMCLSSTS は以下の条件 (タイミング) で 1 にセットされます。
    - 送信フレームの SOF ビットが検出されたとき
  - FCNnCMCLSSTS は以下の条件 (タイミング) で 0 にクリアされます。
    - バスオフ移行時
    - 送信フレームにアービトレーション・ロストが生じたとき
    - インターフレーム・スペースの第 2 ビットでレセシブ・レベルが検出されたとき
    - インターフレーム・スペースの第 1 ビットで初期化モードへ移行したとき

FCNnCMCLERCF	エラー・カウンタ・クリア・ビット
0	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアしません。
1	FCNnCMERCNT レジスタと FCNnCMINSTR レジスタを初期化モード中にクリアします。

**注意** FCNnCMCLERCF ビットは、再初期化またはバスオフ状態から強制復帰のときにエラー・カウンタ FCNnCMERCNT と情報レジスタ FCNnCMINSTR をクリアするために使用されます。エラー・カウンタおよび情報レジスタは下記の条件でクリア (FCNnCMCLERCF セット) 可能です。

- バスオフ期間中の初期化モード状態時
- FCN モジュール起動 (FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM をセット) 後の初期化モード状態時
- 動作モード中に図 26-25 の送信中断処理に従ったすべての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 26-26 の送信中断処理に従ってすべての送信要求をクリアしてください。)

- 備考**
1. FCNnCMERCNT レジスタと FCNnCMINSTR レジスタがクリアされると、FCNnCMCLERCF も自動的に 0 にクリアされます。
  2. 初期化モードから動作モードへの移行要求が発行されると同時に、FCNnCMCLERCF を 1 にセットすることができます。
  3. FCN スリープ・モード中または FCN ストップ・モード中、FCNnCMCLERCF は読み出し専用になります。
  4. エラー・カウンタは CAN コントローラの通常シャットダウンまたは強制シャットダウンでもクリアされます。

FCNnCMCLALBF	アービトレーション・ロストが発生したときの動作を設定するビット
0	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行しません。
1	シングル・ショット・モード中にアービトレーション・ロストが発生したときに再送信を実行します。

**備考** FCNnCMCLALBF はシングル・ショット・モード中にのみ有効です。

FCNnCMCLVALF	有効受信メッセージ・フレーム検出ビット
0	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されていないことを示します。
1	FCNnCMCLVALF が最後に 0 にクリアされたあと、有効メッセージ・フレームが受信されたことを示します。

- 備考**
1. 有効受信メッセージ・フレームの検出は、受信メッセージ・バッファ (データ・フレーム/リモート・フレーム) または送信メッセージ・バッファ (リモート・フレーム) にフレームが保存されているかどうかにかかわらず、行われます。
  2. 受信オンリー・モードでは確認応答が生成されないため、2つの CAN ノードのみが CAN バスに接続されていて、一方が通常モードでメッセージ・フレームを送信しており、もう一方が受信オンリー・モードになっている場合は、送信側ノードがエラー・パッシブ状態に入るまで FCNnCMCLVALF は 1 にセットされません。
  3. FCNnCMCLVALF をクリアするには、まず FCNnCMCLLVL を 1 にセットしたあと、FCNnCMCLVALF がクリアされたかどうかを確認してください。FCNnCMCLVALF がクリアされていない場合は、クリア処理を再び実行してください。

FCNnCMCLMDPF[1:0]	パワー・セーブ・モード
00 <sub>B</sub>	パワー・セーブ・モードが選択されていないことを示します。
01 <sub>B</sub>	FCN スリープ・モード
10 <sub>B</sub>	設定禁止
11 <sub>B</sub>	FCN ストップ・モード

- 注意**
1. FCN ストップ・モードからほかのモードへ、またはほかのモードから FCN ストップ・モードへ移行するときは、FCN スリープ・モードを経由する必要があります。ほかのモードから FCN ストップ・モードへの直接の移行または FCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。
  2. パワー・セーブ・モードを解除した場合は、メッセージ・バッファへのアクセスを再開する前に、FCNnGMCLCTL の FCNnGMCLSSMO フラグをチェックする必要があります。
  3. FCN スリープ・モード要求は、ソフトウェアによって要求がキャンセルされるか、適切なバス状態（バス・アイドル状態）に移行するまで保留されます。ソフトウェアで FCNnCMCLMDPF[1:0] を読み出すことで、実際のステータスを確認することができます。
  4. パワー・セーブ・モードは、動作モード変更と組み合わせてはなりません。これらのアクセスはステップを分けて実行しなければなりません。

**備考** 初期化モードからいずれかの通信モードに遷移する場合、FCN モジュールは CAN バスのアイドル期間を確認したあとで通信に参加します。アイドル期間確認前でもスリープ・モードに移行することは可能ですが、ウェイクアップ条件は常にレセシブ・レベルからドミナント・レベル方向への変化です。

FCNnCMCLMDOF[2:0]	動作モード
000 <sub>B</sub>	いずれの動作モードも選択されていない（FCN モジュールが初期化モード中である）ことを示します。
001 <sub>B</sub>	通常動作モード
010 <sub>B</sub>	自動ブロック送信機能付き通常動作モード（ABT 付き通常動作モード）
011 <sub>B</sub>	受信オンリー・モード
100 <sub>B</sub>	シングル・ショット・モード
101 <sub>B</sub>	セルフ・テスト・モード
上記以外の値	設定禁止

- 
- 注意**
1. 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に、値を読み出すことによって、モードの変更が成功したかどうかを必ず確認してください。
  2. 動作モードで受信中に初期化モードを設定したとき、メッセージ・バッファの FCNnMmCTL.FCNnMmDTNF ビットをセットする最後の受信が発生する可能性があります。また、動作モードへ戻る遷移は受信履歴・リストもクリアします。従って、初期化モードに達したことを動作モードを読み込んで確認してください。また、動作モードを再開する前に、全ての有効な受信メッセージ・バッファの全てのセットされた FCNnMmCTL.FCNnMmDTNF ビットをクリアしてください。
- 

**備考** FCN スリープ・モード中または FCN ストップ・モード中、FCNnCM.FCNnCMCLMDOF[2:0] は読み出し専用になります。

## (b) FCNnCMCLCTL の書き込み値

15	14	13	12	11	10	9	8
FCNnCM CLSERC	FCNnCM CLSEAL	0	FCNnCM CLSEPS[1:0]			FCNnCM CLSEOP[2:0]	
7	6	5	4	3	2	1	0
0	FCNnCM CLCLAL	FCNnCM CLCLVL	FCNnCM CLCLPS[1:0]			FCNnCM CLCLOP[2:0]	

FCNnCMCLSERC	FCNnCMCLERCF ビットの設定
1	FCNnCMCLERCF を 1 にセットします。
上記以外の値	FCNnCMCLERCF を変更しません。

FCNnCMCLSEAL	FCNnCMCLCLAL	FCNnCMCLALBF ビットの設定
0	1	FCNnCMCLALBF を 0 にクリアします。
1	0	FCNnCMCLALBF を 1 にセットします。
上記以外の値		FCNnCMCLALBF を変更しません。

FCNnCMCLCLVL	FCNnCMCLVALF ビットの設定
0	FCNnCMCLVALF を変更しません。
1	FCNnCMCLVALF を 0 にクリアします。

FCNnCMCLSEPS0	FCNnCMCLCLPS0	FCNnCMCLMDPF0 ビットの設定
0	1	FCNnCMCLMDPF0 を 0 にクリアします。
1	0	FCNnCMCLMDPF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF0 を変更しません。

FCNnCMCLSEPS1	FCNnCMCLCLPS1	FCNnCMCLMDPF1 ビットの設定
0	1	FCNnCMCLMDPF1 を 0 にクリアします。
1	0	FCNnCMCLMDPF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDPF1 を変更しません。

FCNnCMCLSEOP0	FCNnCMCLCLOP0	FCNnCMCLMDOF0 ビットの設定
0	1	FCNnCMCLMDOF0 を 0 にクリアします。
1	0	FCNnCMCLMDOF0 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF0 を変更しません。

FCNnCMCLSEOP1	FCNnCMCLCLOP1	FCNnCMCLMDOF1 ビットの設定
0	1	FCNnCMCLMDOF1 を 0 にクリアします。
1	0	FCNnCMCLMDOF1 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF1 を変更しません。

FCNnCMCLSEOP2	FCNnCMCLCLOP2	FCNnCMCLMDOF2 ビットの設定
0	1	FCNnCMCLMDOF2 を 0 にクリアします。
1	0	FCNnCMCLMDOF2 を 1 にセットします。
上記以外の値		FCNnCMCLMDOF2 を変更しません。



**(3) FCNnCMCSTR - FCNn モジュール最終エラー情報レジスタ**

本レジスタは CAN プロトコルのエラー情報を提供します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 0248<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCMCSSL[2:0]		

- 備考**
1. FCN モジュールが動作モードから初期化モードへ移行しても FCNnCMCSTR レジスタの内容はクリアされません。
  2. ソフトウェアで 00<sub>H</sub> 以外の値を FCNnCMCSTR レジスタに書き込もうとしても、そのアクセスは無視されます。

FCNnCMCSSL[2:0]	最終 FCN プロトコル・エラー情報
000 <sub>B</sub>	エラーなし
001 <sub>B</sub>	スタッフ・エラー
010 <sub>B</sub>	フォーム・エラー
011 <sub>B</sub>	ACK エラー
100 <sub>B</sub>	ビット・エラー (FCN モジュールがレセシブ・レベルのビットを (アービトレーション・フィールド以外の) 送信メッセージの一部として送信しようとしたが、CAN バス上の値がドミナント・レベルのビットだった)
101 <sub>B</sub>	ビット・エラー (FCN モジュールがドミナント・レベルのビットを送信メッセージ、ACK ビット、エラー・フレームまたはオーバーロード・フレームの一部として送信しようとしたが、CAN バス上の値がレセシブ・レベルのビットだった)
110 <sub>B</sub>	CRC エラー
111 <sub>B</sub>	不定

**(4) FCNnCMINSTR - FCNn モジュール情報レジスタ**

本レジスタはFCN モジュールの状態を示します。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** <FCNn\_base> + 0 024C<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	FCNnCM INBOFF	FCNnCM INSSTE[1:0]	FCNnCM INSSRE[1:0]		

FCNnCMINBOFF	バスオフ状態ビット
0	バスオフ状態でないこと（送信エラー・カウンタが 255 以下）を示します（送信エラー・カウンタの値が 256 未満）。
1	バスオフ状態であること（送信エラー・カウンタが 255 を上回っている）を示します（送信エラー・カウンタの値が 256 以上）。

FCNnCMINSSTE[1:0]	送信エラー・カウンタ状態ビット
00 <sub>B</sub>	送信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 <sub>B</sub>	送信エラー・カウンタの値が警告レベルの範囲内（96 ～ 127）であることを示します。
10 <sub>B</sub>	不定
11 <sub>B</sub>	送信エラー・カウンタの値がエラー・パッシブ状態またはバスオフ状態の範囲にあること（128 以上）を示します。

FCNnCMINSSRE[1:0]	受信エラー・カウンタ状態ビット
00 <sub>B</sub>	受信エラー・カウンタの値が警告レベル（96）未満であることを示します。
01 <sub>B</sub>	受信エラー・カウンタの値が警告レベルの範囲内（96 ～ 127）であることを示します。
10 <sub>B</sub>	不定
11 <sub>B</sub>	受信エラー・カウンタの値がエラー・パッシブ状態の範囲にあること（128 以上）を示します。

**(5) FCNnCMERCNT - FCNn モジュール・エラー・カウンタ・レジスタ**

本レジスタは送受信エラー・カウンタのカウント値を示します。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** <FCNn\_base> + 0 8250<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
FCNnCM ERRPSF		FCNnCM ERRECF[6:0]					

7	6	5	4	3	2	1	0
FCNnCM ERTECF[7:0]							

FCNnCMERRPSF	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタがエラー・パッシブ範囲にないこと (128 未満) を示します。
1	受信エラー・カウンタがエラー・パッシブ範囲にあること (128 以上) を示します。

FCNnCMERRECF[6:0]	受信エラー・カウンタ・ビット
0 ~ 127	受信エラー・カウント数を示します。これらのビットは受信エラー・カウンタの <b>状態</b> を反映します。 <b>カウント</b> 数は CAN プロトコルによって定義されています。

**備考** 受信エラー・パッシブ状態 (FCNnCMINSTR.FCNnCMINSSRE[1:0] = 11<sub>B</sub>) では, FCNnCMERRECF[6:0] は無効です。

FCNnCMERTECF[7:0]	送信エラー・カウンタ・ビット
0 ~ 255	送信エラー・カウント数を示します。これらのビットは送信エラー・カウンタの <b>状態</b> を反映します。 <b>カウント</b> 数は CAN プロトコルによって定義されています。

**備考** バスオフ状態 (FCNnCMINSTR.FCNnCMINBOFF = 1) では, FCNnCMERTECF[7:0] は無効です。

**(6) FCNnCMIECTL - FCNn モジュール割り込み許可レジスタ**

本レジスタはFCN モジュールの割り込みの許可または禁止に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8258<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMIECTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMIEINTF[6:0]						

FCNnCMIEINTF[6:0]	FCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ FCNnCMISCTL に対応する割り込みの出力を許可します。

**(b) FCNnCMIECTL の書き込み値**

15	14	13	12	11	10	9	8
0	FCNnCMIESEIE[6:0]						
7	6	5	4	3	2	1	0
0	FCNnCMIECLIE[6:0]						

FCNnCMIESEIE[6:0]	FCNnCMIECLIE[6:0]	FCNnCMIEINTF[6:0] ビットの 設定
0	1	FCNnCMIEINTF[6:0] ビットを 0 にクリアします。
1	0	FCNnCMIEINTF[6:0] ビットを 1 にセットします。
上記以外の値		FCNnCMIEINTF[6:0] ビットを変更しません。

**(7) FCNnCMISCTL - FCNn モジュール割り込みステータス・レジスタ**

本レジスタはFCN モジュールの割り込みステータスを示します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8260<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMISCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

FCNnCMISITSF[6:0]	FCN 割り込みステータス・ビット
0	関連する割り込みソース・イベントが保留中でないことを示します。
1	関連する割り込みソース・イベントが保留中であることを示します。

割り込みステータス・ビット	関連する割り込みソース・イベント
FCNnCMISITSF6	FCN モジュール送信中断割り込みステータス・ビット
FCNnCMISITSF5	FCN スリープ・モードからのウェイクアップ割り込み <sup>a</sup>
FCNnCMISITSF4	アービトレーション・ロスト割り込み
FCNnCMISITSF3	CAN プロトコル・エラー割り込み
FCNnCMISITSF2	CAN エラー・ステータス割り込み
FCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
FCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み

a) FCNnCMISITSF5 は、FCN モジュールが CAN バス上の動作によって FCN スリープ・モードからウェイクアップされたときのみセットされます。FCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。

**(b) FCNnCMISCTL の書き込み値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	FCNnCMISITSF[6:0]						

FCNnCMISITSF[6:0]	FCNnCMISITSF[6:0] のクリア
0	FCNnCMISITSF[6:0] ビットを変更しません。
1	FCNnCMISITSF[6:0] ビットを0にクリアします。

**注意** これらのビットは自動的にクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

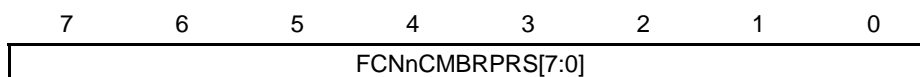
**(8) FCNnCMRPRS - FCNn モジュール・ビット・レート・プリスケアラ・レジスタ**

本レジスタは CAN プロトコル・レイヤの基本システム・クロック ( $f_{TQ}$ ) の選択に使用されます。通信ボア・レートは FCNnCMBTCTL レジスタに合わせて設定されます。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 0268<sub>H</sub>

**初期値** FF<sub>H</sub> 本レジスタは各種リセットにより初期化されます。



FCNnCMRPRS	CAN プロトコル・レイヤの基本システム・クロック ( $f_{TQ}$ )
0	$f_{CANPRE}/1$
1	$f_{CANPRE}/2$
n	$f_{CANPRE}/(n+1)$
:	:
255	$f_{CANPRE}/256$ (デフォルト値)

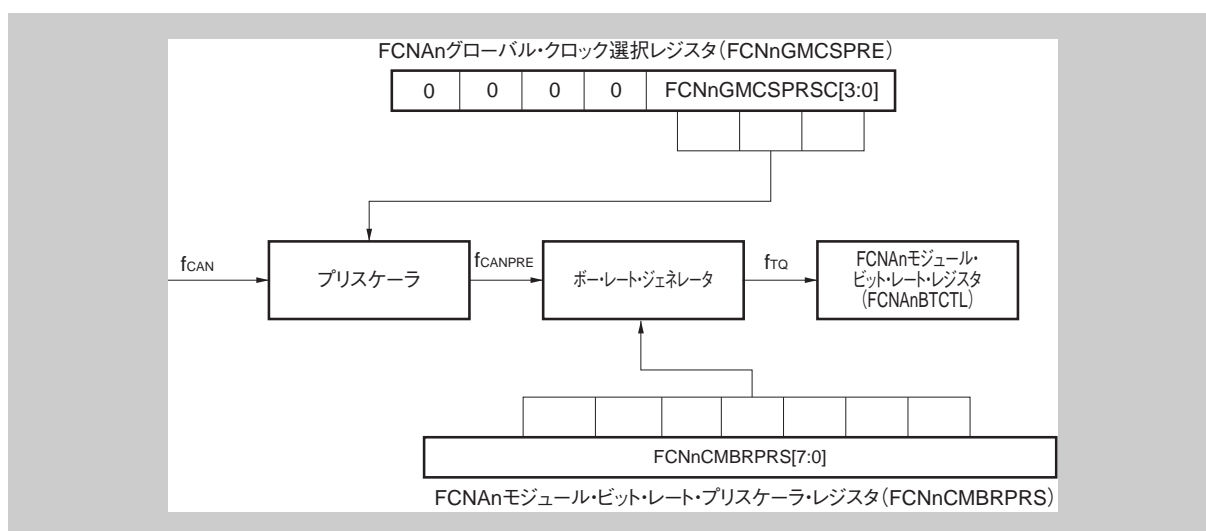


図 26-3 FCN モジュール・クロック

**備考**  $f_{CAN}$  : FCN へ供給されるクロック

$f_{CANPRE}$  : プレ CAN プロトコル・レイヤ基本システム・クロック

$f_{TQ}$  : CAN プロトコル・レイヤの基本システム・クロック

**注意** FCNnCMRPRS へは、初期化モード中のみ書き込みアクセスが可能です。

## (9) FCNnCMBTCTL - FCNn モジュール・ビット・レート・レジスタ

本レジスタは、通信ポー・レートのデータ・ビット・タイムの制御に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8270<sub>H</sub>

**初期値** 0370F<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
0	0	FCNnCM BTJWLG[1:0]		0	FCNnCM BTS2LG[2:0]		
7	6	5	4	3	2	1	0
0	0	0	0	FCNnCMBTS1LG[3:0]			

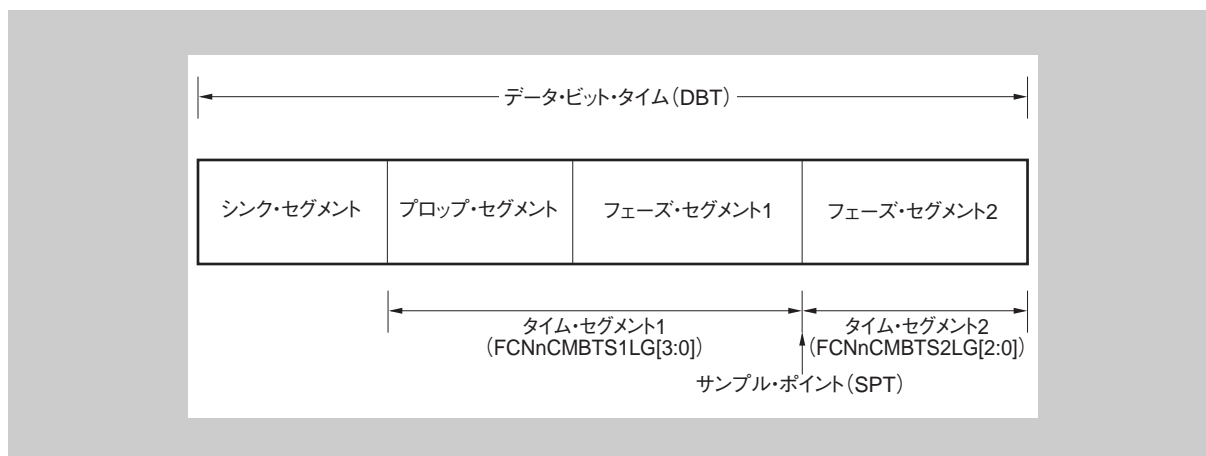


図 26-4 データ・ビット・タイム

FCNnCMBTJWLG[1:0]	同期ジャンプ幅の長さ
00 <sub>B</sub>	1T <sub>Q</sub>
01 <sub>B</sub>	2T <sub>Q</sub>
10 <sub>B</sub>	3T <sub>Q</sub>
11 <sub>B</sub>	4T <sub>Q</sub> (デフォルト値)

FCNnCMBTS2LG[2:0]	タイム・セグメント 2 の長さ
000 <sub>B</sub>	1T <sub>Q</sub>
001 <sub>B</sub>	2T <sub>Q</sub>
010 <sub>B</sub>	3T <sub>Q</sub>
011 <sub>B</sub>	4T <sub>Q</sub>
100 <sub>B</sub>	5T <sub>Q</sub>
101 <sub>B</sub>	6T <sub>Q</sub>
110 <sub>B</sub>	7T <sub>Q</sub>
111 <sub>B</sub>	8T <sub>Q</sub> (デフォルト値)



FCNnCMBTS1LG[3:0]	タイム・セグメント1の長さ
0000 <sub>B</sub>	設定禁止
0001 <sub>B</sub>	2T <sub>Q</sub> <sup>a</sup>
0010 <sub>B</sub>	3T <sub>Q</sub> <sup>a</sup>
0011 <sub>B</sub>	4T <sub>Q</sub>
0100 <sub>B</sub>	5T <sub>Q</sub>
0101 <sub>B</sub>	6T <sub>Q</sub>
0110 <sub>B</sub>	7T <sub>Q</sub>
0111 <sub>B</sub>	8T <sub>Q</sub>
1000 <sub>B</sub>	9T <sub>Q</sub>
1001 <sub>B</sub>	10T <sub>Q</sub>
1010 <sub>B</sub>	11T <sub>Q</sub>
1011 <sub>B</sub>	12T <sub>Q</sub>
1100 <sub>B</sub>	13T <sub>Q</sub>
1101 <sub>B</sub>	14T <sub>Q</sub>
1110 <sub>B</sub>	15T <sub>Q</sub>
1111 <sub>B</sub>	16T <sub>Q</sub> (デフォルト値)

a) FCNnCMBRPRS = 00<sub>H</sub> のときにこの設定を行わないでください。

備考  $T_Q = 1/f_{TQ}$  ( $f_{TQ}$  : CAN プロトコル・レイヤの基本システム・クロック)

#### (10) FCNnCMLISTR - FCNn モジュール受信履歴・リストの最終受信ポイント

本レジスタは、データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <FCNn\_base> + 0 0278<sub>H</sub>

初期値 不定

7	6	5	4	3	2	1	0
FCNnCMLISLR[7:0]							

FCNnCMLISLR [7:0]	最終受信ポイント・レジスタ
0 ~ 63 <sup>a</sup> 0 ~ 127 <sup>b</sup>	FCNnCMLISTR レジスタをリードすると、データ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

a) 64 メッセージ・バッファの FCN の場合

b) 128 メッセージ・バッファの FCN の場合

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、FCNnCMLISTR の読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に FCNnCMRGRX.FCNnCMRGSSPM がセットされている場合には、FCNnCMLISTR の読み出し値は不定となります。

**(11) FCNnCMRGRX - FCNn モジュール受信ヒストリ・リスト・レジスタ**

本レジスタは受信ヒストリ・リスト (RHL) の読み出しに使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8280<sub>H</sub>

**初期値** xx02<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMRGRX の読み出し値**

15	14	13	12	11	10	9	8
FCNnCMRGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCMRGSSPM	FCNnCMRGRVFF

FCNnCMRGSSPT[7:0]	受信ヒストリ・リスト読み出しポインタ
0 ~ 63 <sup>a</sup> 0 ~ 127 <sup>b</sup>	FCNnCMRGRX をリードすると、受信ヒストリ・リストの読み出しポインタ (FCNnCMRGRX.FCNnCMRGSSPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

- a) 64 メッセージ・バッファの FCN の場合  
b) 128 メッセージ・バッファの FCN の場合

FCNnCMRGSSPM <sup>a</sup>	受信ヒストリ・リストのポインタ一致
0	受信ヒストリ・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

- a) FCNnCMRGSSPM = 1 のとき、FCNnCMRGSSPT[7:0] の読み出し値は無効です。

FCNnCMRGRVFF <sup>a</sup>	受信ヒストリ・リスト・オーバフロー・ビット <sup>b</sup>
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます (受信ヒストリ・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用 (たとえば、FCNnCMRGRX の読み込みなど) してから少なくとも (i) 個のエントリが格納されています。 FCNnCMRGRVFF がセットされていると、すべてのメッセージ・バッファ番号は位置 (i) に格納されるため、最初の (i-1) 個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

- a) FCNnCMRGRVFF が 1 にセットされている状態で、FCNnCMRGRX レジスタによりすべての受信履歴が読み出されている場合、FCNnCMRGSSPM は新たな受信格納があってもクリアされず 1 にセットされたままになります。
- b) 64 メッセージ・バッファの FCN では  $i = 47$   
128 メッセージ・バッファの FCN では  $i = 95$

**(b) FCNnCMRGRX の書き込み値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCMRGCLRV

FCNnCMRGCLRV	FCNnCMRGRVFF ビットのクリア
0	FCNnCMRGRVFF ビットを変更しません。
1	FCNnCMRGRVFF ビットを 0 にクリアします。

**(12) FCNnCMLOSTR - FCNn モジュール最終送信ポインタ・レジスタ**

本レジスタは、データ・フレームまたはリモート・フレームを最後に送信したメッセージ・バッファの番号を示します。

**アクセス** 8 ビット単位でリードのみ可能です。

**アドレス** <FCNn\_base> + 0 0288<sub>H</sub>

**初期値** 不定

7	6	5	4	3	2	1	0
FCNnCMLOSSLT[7:0]							

FCNnCMLOSSLT [7:0]	送信履歴・リストの最終送信ポインタ
0 ~ 63 <sup>a</sup> 0 ~ 127 <sup>b</sup>	FCNnCMLOSTR をリードすると、データ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

- a) 64 メッセージ・バッファの FCN の場合  
b) 128 メッセージ・バッファの FCN の場合

**注意** メッセージ・バッファからデータ・フレームまたはリモート・フレームが送信されたことがない場合、FCNnCMLOSTR レジスタの読み出し値は不定になります。

**(13) FCNnCMTGTX - FCNn モジュール送信履歴・リスト・レジスタ**

本レジスタは送信履歴・リスト (THL) の読み出しに使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8290<sub>H</sub>

**初期値** xx02<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMTGTX の読み出し値**

15	14	13	12	11	10	9	8
FCNnCMTGSSPT[7:0]							
7	6	5	4	3	2	1	0
0	0	0	0	0	0	FCNnCM TGSSPM	FCNnCM TGTVFF

FCNnCMTGSSPT[7:0]	送信履歴・リスト読み出しポインタ
0 ~ 63 <sup>a</sup> 0 ~ 127 <sup>b</sup>	FCNnCMTGTX をリードすると、送信履歴・リストの読み出しポインタ (FCNnCMTGSSPT [7:0]) でインデックスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

- a) 64 メッセージ・バッファの FCN の場合  
b) 128 メッセージ・バッファの FCN の場合

FCNnCMTGSSPM <sup>a</sup>	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

- a) FCNnCMTGSSPM = 1 のとき、FCNnCMTGSSPT[7:0] の読み出し値は無効です。

FCNnCMTGTVFF <sup>a</sup>	送信履歴・リスト・オーバーフロー・ビット <sup>b</sup>
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、FCNnCMTGTX の読み込みなど) してから少なくとも (i) 個のエントリが格納されています。FCNnCMTGTVFF がセットされていると、すべてのメッセージ・バッファ番号は位置 (i) に格納されるため、最初の (i-1) 個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

- a) FCNnCMTGTVFF がセットされていれば、FCNnCMTGSSPM はメッセージが送信されてもクリアされませんが、FCNnCMTGTX のすべてのエントリがソフトウェアで読み出されれば、FCNnCMTGSSPM はセットされます。
- b) 64 メッセージ・バッファの FCN では  $i = 15$   
128 メッセージ・バッファの FCN では  $i = 31$

**備考** 以下のメッセージ・バッファからの送信は、ABT 付きの通常動作モード中には送信履歴・リストに記録されません。

- 0 ~ 16 (64 メッセージ・バッファの FCN の場合)
- 0 ~ 32 (128 メッセージ・バッファの FCN の場合)

**(b) FCNnCMTGTX の書き込み値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	FCNnCM TGCLTV

FCNnCMTGCLTV	FCNnCMTGTVFF ビットの設定
0	FCNnCMTGTVFF ビットを変更しません。
1	FCNnCMTGTVFF ビットを 0 にクリアします。

**(14) FCNnCMTSCTL - FCNn モジュール・タイム・スタンプ・レジスタ**

本レジスタはタイム・スタンプ機能の制御に使用されます。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 8298<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnCMTSCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSLOKE	FCNnCM TSSELE	FCNnCM TSTSGE

**備考** FCN モジュールが ABT 付き通常動作モードを実行している間は、タイム・スタンプ機能のロック機能を使用しないでください。

FCNnCMTSLOKE	タイム・スタンプ・ロック機能許可ビット
0	タイム・スタンプ・ロック機能を停止させます。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。
1	タイム・スタンプ・ロック機能を許可します。 TSOUT 信号は、選択されているタイム・スタンプ・キャプチャ・イベントが発生するたびにトグルします。 ただし、データ・フレームがメッセージ・バッファ 0 で正しく受信されれば、TSOUT 出力信号はロックされます。 <sup>a)</sup>

a) FCNnCMTSTSGE は自動的に 0 にクリアされます。

FCNnCMTSSELE	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントは SOF です。
1	タイム・スタンプ・キャプチャ・イベントは EOF の最終ビットです。

FCNnCMTSTSGE	TSOUT 動作設定ビット
0	TSOUT のトグル動作を禁止します。
1	TSOUT のトグル動作を許可します。

## (b) FCNnCMTSCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	FCNnCM TSSELK	FCNnCM TSSESL	FCNnCM TSSETS
7	6	5	4	3	2	1	0
0	0	0	0	0	FCNnCM TSCLK	FCNnCM TSCLSL	FCNnCM TSCLTS

FCNnCMTSSELK	FCNnCMTSCLK	FCNnCMTSLOKE ビットの設定
0	1	FCNnCMTSLOKE を 0 にクリアします。
1	0	FCNnCMTSLOKE を 1 にセットします。
上記以外の値		FCNnCMTSLOKE を変更しません。

FCNnCMTSSESL	FCNnCMTSCLSL	FCNnCMTSSELE ビットの設定
0	1	FCNnCMTSSELE を 0 にクリアします。
1	0	FCNnCMTSSELE を 1 にセットします。
上記以外の値		FCNnCMTSSELE を変更しません。

FCNnCMTSSETS	FCNnCMTSCLTS	FCNnCMTSTSGE ビット の設定
0	1	FCNnCMTSTSGE を 0 に クリアします。
1	0	FCNnCMTSTSGE を 1 に セットします。
上記以外の値		FCNnCMTSTSGE を変更 しません。

### 26.6.3 FCN メッセージ・バッファ・レジスタ

#### (1) FCNnMmDATxB/H/W - FCNn メッセージ・データ・バイト・レジスタ

これらのレジスタは送受信メッセージのデータの保存に使用されます。

**アクセス** FCNnMmDATxW レジスタは、32 ビット単位でリード/ライト可能です。  
FCNnMmDATxH レジスタは、16 ビット単位でリード/ライト可能です。  
FCNnMmDATxB レジスタは、8 ビット単位でリード/ライト可能です。

**アドレス** FCNnMmDAT0B : <FCNn\_base> + 0 1000<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT1B : <FCNn\_base> + 0 1004<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT2B : <FCNn\_base> + 0 1008<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT3B : <FCNn\_base> + 0 100C<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT4B : <FCNn\_base> + 0 1010<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT5B : <FCNn\_base> + 0 1014<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT6B : <FCNn\_base> + 0 1018<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT7B : <FCNn\_base> + 0 101C<sub>H</sub> + m × 40<sub>H</sub>  
  
FCNnMmDAT0H : <FCNn\_base> + 0 9000<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT2H : <FCNn\_base> + 0 9008<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT4H : <FCNn\_base> + 0 9010<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT6H : <FCNn\_base> + 0 9018<sub>H</sub> + m × 40<sub>H</sub>  
  
FCNnMmDAT0W : <FCNn\_base> + 1 1000<sub>H</sub> + m × 40<sub>H</sub>  
FCNnMmDAT4W : <FCNn\_base> + 1 1010<sub>H</sub> + m × 40<sub>H</sub>

**初期値** FCNnMmDATxW レジスタは 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

FCNnMmDATxH レジスタは 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

FCNnMmDATxB レジスタは 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

#### (a) FCNnCMmDATxB (x = 0 ~ 7)

7	6	5	4	3	2	1	0
FCNnMmSSD0, FCNnMmSSD1, FCNnMmSSD2, FCNnMmSSD3, FCNnMmSSD4, FCNnMmSSD5, FCNnMmSSD6, FCNnMmSSD7							

#### (b) FCNnCMmDATyH (y = 0, 2, 4, 6)

15	14	13	12	11	10	9	8
FCNnMmSSD1, FCNnMmSSD3, FCNnMmSSD5, FCNnMmSSD7							

7	6	5	4	3	2	1	0
FCNnMmSSD0, FCNnMmSSD2, FCNnMmSSD4, FCNnMmSSD6							

#### (c) FCNnCMmDATzW (z = 0, 4)

31	30	29	28	27	26	25	24
FCNnMmSSD3, FCNnMmSSD7							

23	22	21	20	19	18	17	16
FCNnMmSSD2, FCNnMmSSD6							



15	14	13	12	11	10	9	8
FCNnMmSSD1, FCNnMmSSD5							
7	6	5	4	3	2	1	0
FCNnMmSSD0, FCNnMmSSD4							

## (2) FCNnMmDTLGB - FCNn メッセージ・データ長レジスタ m

本レジスタはメッセージ・バッファのデータ・フィールドのバイト数 (DLC) の設定に使用されます。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 1020<sub>H</sub> + m × 40<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	FCNnMmDTLG[3:0]			

FCNnMmDTLG[3:0]	送受信メッセージのデータ長
0000 <sub>B</sub>	0 バイト
0001 <sub>B</sub>	1 バイト
0010 <sub>B</sub>	2 バイト
0001 <sub>B</sub>	3 バイト
0100 <sub>B</sub>	4 バイト
0101 <sub>B</sub>	5 バイト
0110 <sub>B</sub>	6 バイト
0111 <sub>B</sub>	7 バイト
1000 <sub>B</sub>	8 バイト
1001 <sub>B</sub>	設定禁止 (送信時に設定した場合、データ・フレームが送信されるときに、FCNnMmDTLG [3:0] の設定値に関係なく、8 バイト・データが送信されます。しかし、実際に CAN バスに送信される DLC は、このレジスタに対して設定された値です)。備考
1010 <sub>B</sub>	
1001 <sub>B</sub>	
1100 <sub>B</sub>	
1101 <sub>B</sub>	
1110 <sub>B</sub>	
1111 <sub>B</sub>	

**備考** データと DLC 値は、実際は以下のように CAN バスに送信されます。

送信フレームのタイプ	送信データ長	送信される DLC
データ・フレーム	FCNnMmDTLG [3:0] によって指定されたバイト数 (ただし、設定値が 8 以上のときは 8 バイト)	FCNnMmDTLGB.FC NnMmDTLG[3:0] ビットの設定値
リモート・フレーム	0 バイト	

- 
- 注意**
1. ビット7～4 を必ず 0000<sub>B</sub> に設定してください。
  2. 受信データは、受信フレームの DLC に対応するバイト数と同じ数（ただし、上限は8個）の FCNnMmDATxB レジスタに保存されます。データが保存されない FCNnMmDATxB レジスタは不定になります。
  3. 受信時、FCNnMmDTLGB は受信フレームに従って更新されます。
-

**(3) FCNnMmSTRB - FCNn メッセージ・コンフィギュレーション・レジスタ m**

本レジスタはメッセージ・バッファのタイプの指定およびマスクの設定に使用されます。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 1024<sub>H</sub> + m × 40<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
FCNnMmSSOW	FCNnMmSSMT[3:0]			FCNnMmSSRT	0	FCNnMmSSAM	

FCNnMmSSOW	オーバーライト制御ビット
0	すでにデータ・フレームを受信しているメッセージ・バッファ <sup>a</sup> を新たに受信されたデータ・フレームによって上書きしません。新たに受信されたデータ・フレームは破棄されます。
1	すでにデータ・フレームを受信しているメッセージ・バッファ <sup>a</sup> を新たに受信されたデータ・フレームによって上書きします。

a) 「すでにデータ・フレームを受信しているメッセージ・バッファ」とは、FCNnMmCTL.FCNnMmDTNF ビットが1にセットされている受信メッセージ・バッファです。

**備考** リモート・フレームの送信用メッセージ・バッファへの受信格納に際しては、FCNnMmCTL.FCNnMmSSOW および FCNnMmCTL.FCNnMmDTNF の設定には依存せず、その他の条件が合致 (ID が一致、FCNnMmSTRB.FCNnMmSSRT = 0, FCNnMmCTL.FCNnMmTRQF = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成, FCNnMmDTNF フラグのセット, FCNnMmDTLGB.FCNnMmDTLG[3:0] ビットの更新, および受信ヒストリ・リストへの記録) されます。

FCNnMmSSRT	リモート・フレーム要求ビット
0	データ・フレームを送信または受信します。
1	リモート・フレームを送信または受信します。

FCNnMmSTRB.FCNnMmSSRT は、メッセージ・バッファで送信または受信するメッセージ・フレームのタイプを指定します。

**備考**

1. メッセージ・バッファが送信メッセージ・バッファとして定義されており、そのバッファでリモート・フレームを受信する場合は、FCNnMmSSRT ビットをクリアする必要があります。
2. 送信メッセージ・バッファが有効なリモート・フレームを受信した場合でも、フレームを受信した送信メッセージ・バッファの FCNnMmSSRT ビットは0にクリアされた状態にとどまります。
3. ID が一致するリモート・フレームを CAN バスから受信した場合でも、送信メッセージ・バッファの FCNnMmSSRT ビットが1にセットされていれば (リモート・フレームを送信するように設定されていれば)、そのリモート・フレームは、その送信メッセージ・バッファには保存されません。

4. メッセージ・バッファが受信メッセージ・バッファとして定義されている場合、そのメッセージ・バッファでデータ・フレームの代わりにリモート・フレームを受信するには、FCNnMmSSRT ビットをセットする必要があります。

FCNnMmSSMT[3:0]	メッセージ・バッファ・タイプ設定ビット
0000 <sub>B</sub>	送信メッセージ・バッファ
0001 <sub>B</sub>	受信メッセージ・バッファ (マスク設定なし)
0010 <sub>B</sub>	受信メッセージ・バッファ (マスク 1 設定)
0011 <sub>B</sub>	受信メッセージ・バッファ (マスク 2 設定)
0100 <sub>B</sub>	受信メッセージ・バッファ (マスク 3 設定)
0101 <sub>B</sub>	受信メッセージ・バッファ (マスク 4 設定)
0110 <sub>B</sub>	受信メッセージ・バッファ (マスク 5 設定)
0111 <sub>B</sub>	受信メッセージ・バッファ (マスク 6 設定)
1000 <sub>B</sub>	受信メッセージ・バッファ (マスク 7 設定)
1001 <sub>B</sub>	受信メッセージ・バッファ (マスク 8 設定)
上記以外の値	設定禁止

**備考** FCNnMmSSMT を設定することで、リモート・フレームの受信と併せてマスクを選択することもできます。受信メッセージ・バッファでリモート・フレームを受信するには、メッセージ・バッファの FCNnMmSSRT フラグをセットする必要があります。

FCNnMmSSAM	メッセージ・バッファ割り当てビット
0	メッセージ・バッファを使用しません。
1	メッセージ・バッファを使用します。

**注意** ビット 1 に必ず 0 を書き込んでください。

**(4) FCNnMmMID0H, FCNnMmMID1H, FCNnMmMID0W - FCNn メッセージ ID レジスタ m**

これらのレジスタは識別子 (ID) の設定に使用されます。

**アクセス** FCNnMmMID0H と FCNnMmMID1H は 16 ビット単位でリード/ライト可能です。

FCNnMmMID0W は 32 ビット単位でリード/ライト可能です。

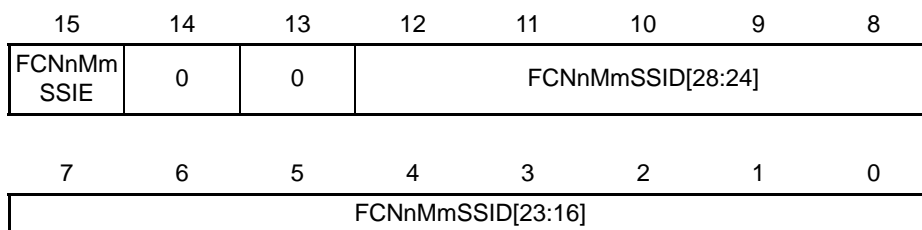
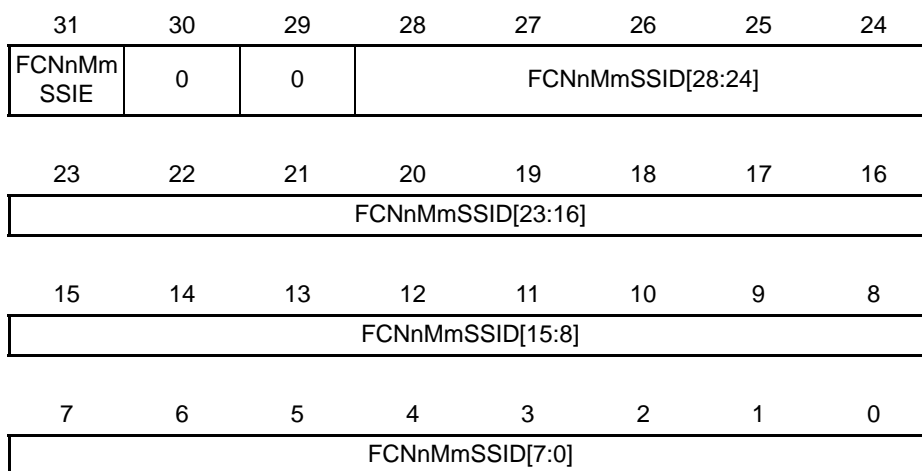
**アドレス** FCNnMmMID0H :  $\langle \text{FCNn\_base} \rangle + 0\ 9028_{\text{H}} + m \times 40_{\text{H}}$

FCNnMmMID1H :  $\langle \text{FCNn\_base} \rangle + 0\ 9030_{\text{H}} + m \times 40_{\text{H}}$

FCNnMmMID0W :  $\langle \text{FCNn\_base} \rangle + 1\ 1028_{\text{H}} + m \times 40_{\text{H}}$

**初期値** FCNnMmMID0H, FCNnMmMID1H は  $0000_{\text{H}}$  本レジスタは各種リセットにより初期化されます。

FCNnMmMID0W は  $0000\ 0000_{\text{H}}$  本レジスタは各種リセットにより初期化されます。

**(a) FCNnMmMID0H****(b) FCNnMmMID1H****(c) FCNnCMmMID0W**

FCNmMSSIE	フォーマット・モード指定ビット
0	標準フォーマット・モード (FCNmMSSID[28:18] : 11 ビット。FCNmMSSID[17:0] は使用しません)
1	拡張フォーマット・モード (FCNmMSSID[28:0] : 29 ビット)

FCNmMSSID[28:0]	メッセージ ID
FCNmMSSID[28:18]	11 ビットの標準 ID 値 (FCNmMSSIE = 0 の場合)
FCNmMSSID[28:0]	29 ビットの拡張 ID 値 (FCNmMSSIE = 1 の場合)

- 注意**
1. FCNmMID1H のビット 14 とビット 13 および FCNmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。
  2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合、FCNmMSSID[28:18] ビット位置に ID 値を合わせるには、ID 値をシフトする必要がある点に注意してください。

**(5) FCNnMmCTL - FCNn メッセージ制御レジスタ m**

本レジスタはメッセージ・バッファの動作の制御に使用されます。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <FCNn\_base> + 0 9038<sub>H</sub> + m × 40<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FCNnMmCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	FCNnMm MUCF	0	0	0	FCNnMm TCPF	0
7	6	5	4	3	2	1	0
0	FCNnMm NHMF	0	FCNnMm MOWF	FCNnMm IENF	FCNnMm DTNF	FCNnMm TRQF	FCNnMm RDYF

FCNnMmNHMF	履歴マスク・フラグ
0	受信/送信ヒストリ・リスト・レジスタ FCNnCMRGRX/ FCNnCMRGTX の更新をマスクしません。
1	受信/送信ヒストリ・リスト・レジスタ FCNnCMRGRX/ FCNnCMRGTX の更新をマスクします。

**備考** 更新がマスクされると、対象となるメッセージ・バッファ上の受信動作または送信動作が完了しても送受信ヒストリ・リストは更新されません。

FCNnMmMUCF	メッセージ・バッファへのデータ更新中ビット
0	FCN モジュールがメッセージ・バッファを更新していない (受信と保存を行っていない) ことを示します。
1	FCN モジュールがメッセージ・バッファを更新している (受信と保存を行っている) ことを示します。

FCNnMmTCPF <sup>a</sup>	送信完了フラグ
0	送信が失敗したことを示します。 <sup>b</sup>
1	送信が完了したことを示します。

a) FCNnMmRDYF が変更されるか、FCNnMmTRQF がセットされると、FCNnMmTCPF はクリアされます。

b) アプリケーションが FCNnMmTRQF フラグをクリアすることで送信中断を要求した場合、0 は送信の中断が成功したことを示します。

FCNnMmMOWF	メッセージ・バッファ・オーバーライト・ステータス・ビット
0	新たに受信されたデータ・フレームまたはリモート・フレーム によってメッセージ・バッファが上書きされていないことを示 します。
1	新たに受信されたデータ・フレームまたはリモート・フレーム によってメッセージ・バッファが上書きされていることを示し ます。

**備考** FCNnMmDTNF = 1 の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、本ビットはセット (1) されません。

FCNnMmIENF	メッセージ・バッファ割り込み要求許可ビット
0	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを禁止します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを禁止します。
1	受信メッセージ・バッファ：有効なメッセージの受信完了割り込みを許可します。 送信メッセージ・バッファ：正常なメッセージの送信完了割り込み、および送信中断割り込みを許可します。

**注意** FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。

FCNnMmDTNF	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていないことを示します。
1	メッセージ・バッファに新しいデータ・フレームまたはリモート・フレームが保存されていることを示します。

**注意** FCNnMmDTNF をソフトウェアで 1 にセットしないでください。ビット 10 には必ず 0 を書き込んでください。

FCNnMmTRQF	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

**注意**

1. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
2. 送信メッセージ・バッファ以外 (FCNnMmSSMT [3:0] ≠ 4'b0000 もしくは FCNnMmSSAM = 0 のバッファ) に対し、FCNnMmTRQF を 1 にセットしないでください。

FCNnMmRDYF	メッセージ・バッファ準備ビット
0	ソフトウェアによるメッセージ・バッファへの書き込みが可能です。FCN モジュールがメッセージ・バッファへ書き込みむことはできません。
1	ソフトウェアによるメッセージ・バッファへの書き込みが無視されます (FCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNF, FCNnMmMOWF への書き込みアクセスを除く)。FCN モジュールはメッセージ・バッファへ書き込みむことができます。



- 注意**
1. FCNnMmIENF と FCNnMmRDYF は必ず別々に設定してください。
  2. FCNnMmTRQF と FCNnMmRDYF を同時に 1 にセットしないでください。  
FCNnMmRDYF = 1 にセットしてから FCNnMmTRQF = 1 にセットしてください。
  3. メッセージの送信中に FCNnMmRDYF を 0 にクリアしないでください。  
メッセージ・バッファを再定義するために FCNnMmRDYF をクリアするには、送信中断処理を実行してください。
  4. CAN コントローラの動作状況によっては、FCNnMmRDYF のクリアに時間がかかることがあります。FCNnMmRDYF を読み出すことによってビットがクリアされたことを確認するまで、クリア・アクセスを繰り返してください。
  5. FCNnMmRDYF のステータスをチェックすることによって、FCNnMmRDYF がクリアされていることを確認するまで、ほかの FCN メッセージ・バッファ・レジスタには書き込まないでください。

**(b) FCNnMmCTL の書き込み値**

15	14	13	12	11	10	9	8
0	FCNnMm SENH	0	0	FCNnMm SEIE	FCNnMm SEDN	FCNnMm SETR	FCNnMm SERV
7	6	5	4	3	2	1	0
0	FCNnMm CLNH	0	FCNnMm CLMW	FCNnMm CLIE	FCNnMm CLDN	FCNnMm CLTR	FCNnMm CLRY

FCNnMmSENH	FCNnMmCLNH	FCNnMmNHMF ビットの設定
0	1	FCNnMmNHMF を 0 にクリアします。
1	0	FCNnMmNHMF を 1 にセットします。
上記以外の値		FCNnMmNHMF を変更しません。

FCNnMmCLMW	FCNnMmMOWF ビットの設定
0	FCNnMmMOWF を変更しません。
1	FCNnMmMOWF を 0 にクリアします。

FCNnMmSEIE	FCNnMmCLIE	FCNnMmIENF ビットの設定
0	1	FCNnMmIENF を 0 にクリアします。
1	0	FCNnMmIENF を 1 にセットします。
上記以外の値		FCNnMmIENF を変更しません。

FCNnMmSEDN	FCNnMmCLDN	FCNnMmDTNF ビットの設定
0	1	FCNnMmDTNF を 0 にクリアします。
1	0	FCNnMmDTNF を変更しません。
上記以外		FCNnMmDTNF を変更しました。

**備考** ID フィールドの受信が完了した時点で FCNnMmDTNF がクリアされていた場合、そのメッセージ・バッファは受信中のフレームを保存する対象となります。

FCNnMmSETR	FCNnMmCLTR	FCNnMmTRQF ビットの設定
0	1	FCNnMmTRQF を 0 にクリアします。
1	0	FCNnMmTRQF を 1 にセットします。
上記以外の値		FCNnMmTRQF を変更しません。

FCNnMmSERY	FCNnMmCLRY	FCNnMmRDYF ビットの設定
0	1	FCNnMmRDYF を 0 にクリアします。
1	0	FCNnMmRDYF を 1 にセットします。
上記以外の値		FCNnMmRDYF を変更しません。

## 26.7 CANコントローラの初期化

### 26.7.1 FCNモジュールの初期化

FCNモジュールを動作可能状態にするには、ソフトウェアでFCNnGMCSPRE.FCNnGMCSRSC[3:0]をセットすることによってFCNモジュールのシステム・クロックを決定する必要があります。FCNモジュールの動作が許可されたあとでFCNモジュールのシステム・クロックの設定を変更しないでください。

FCNモジュールの動作はFCNnGMCLCTL.FCNnGMCLPWOMをセットすることによって許可されます。

FCNモジュールを初期化する手順については、26.15「CANコントローラの動作」を参照してください。

### 26.7.2 メッセージ・バッファの初期化

FCNモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります（ただし、ソフトウェア・リセット実行後を除く）。FCNモジュールの動作が許可されると、メッセージ・バッファに不定の値が格納されます。FCNモジュールを初期化モードからいずれかの動作モードへ切り換える前に、アプリケーションで使用されないものも含めて、すべてのメッセージ・バッファの最小限の初期化を行う必要があります。

- FCNnMmCTLレジスタのFCNnMmRDYF, FCNnMmTRQF, FCNnMmDTNFを0にクリアします。
- すべてのFCNnMmSTRB.FCNnMmSSAMを0にクリアします。

### 26.7.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージを受信中または送信中に、ほかの送信、受信の動作に影響を与えることなく、メッセージ・バッファのIDと制御情報を変更することです。

#### (1) 初期化モード中のメッセージ・バッファの再定義

FCNモジュールを初期化モードに設定したあと、初期化モード中にメッセージ・バッファのIDと制御情報を変更します。IDと制御情報を変更したあと、FCNモジュールを動作モードに設定します。

#### (2) 受信中のメッセージ・バッファの再定義

図26-18「受信中のメッセージ・バッファの再定義」に従って再定義を実行します。

#### (3) 送信中のメッセージ・バッファの再定義

送信要求が設定されている送信メッセージ・バッファの内容を書き換えるには、送信中断処理を実行します（(1)「自動ブロック送信 (ABT) 以外の送信中断処理」および(2)「自動ブロック送信 (ABT) の送信中断処理」を参照してください）。送信が中断されたか、完了したことを確認したあと、メッ

セージ・バッファを再定義します。送信メッセージ・バッファを再定義したあと、以下の手順に従って送信要求を設定します。

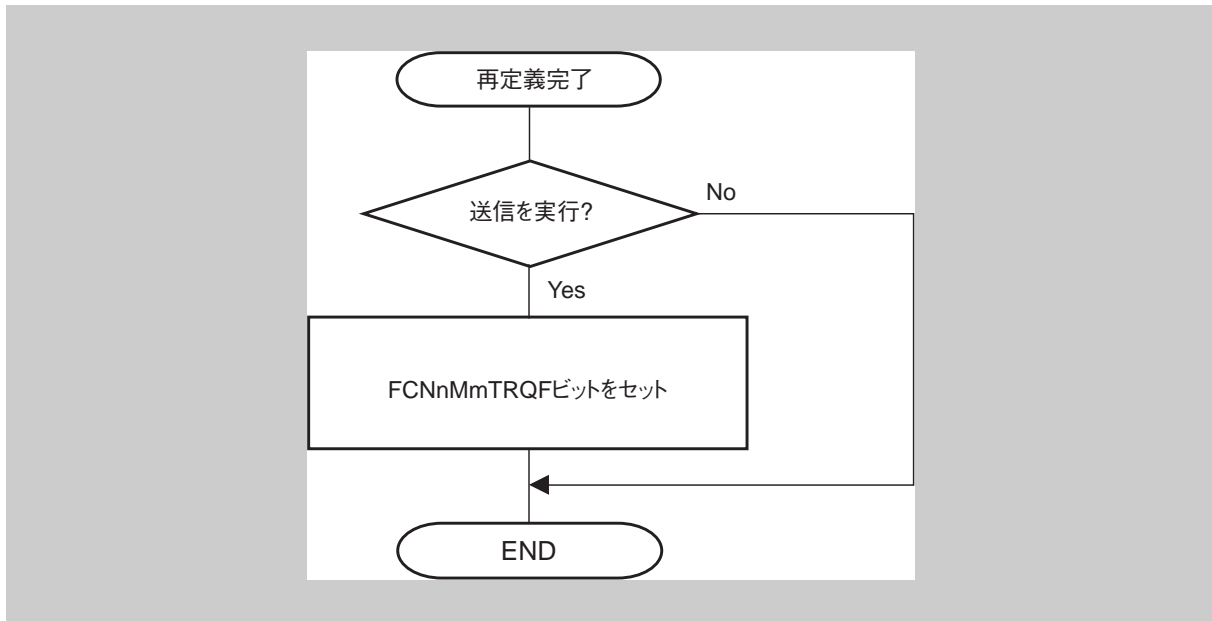


図 26-5 再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)

- 注意**
1. メッセージを受信すると、個々の受信メッセージ・バッファに対して設定されている ID とマスクに従って受信フィルタリングが行われます。図 26-18 「受信中のメッセージ・バッファの再定義」の手順を守らないと、メッセージ・バッファを再定義したあとのメッセージ・バッファの内容が受信の結果（受信フィルタリングの結果）と矛盾することがあります。その場合は、再定義後、はじめて受信され、メッセージ・バッファに保存された ID と IDE が、メッセージ・バッファが再定義されたあとで保存されたものであるかどうかを確認してください。再定義後、ID と IDE が保存されていない場合は、メッセージ・バッファを再び再定義してください。
  2. メッセージが送信されると、送信要求が設定された個々の送信メッセージ・バッファで設定されている ID、IDE および FCNnMmSTRB.FCNnMmSSRT に従って送信優先度をチェックします。優先度の最も高い送信メッセージ・バッファが選択され、送信に使用されます。図 26-5 「再定義後の送信メッセージ・バッファに対する送信要求の設定 (FCNnMmCTL.FCNnMmTRQF)」の手順を守らないと、優先度の最も高い ID を持つメッセージが再定義後に送信されないことがあります。

## 26.7.4 初期化モードから動作モードへの移行

FCN モジュールは以下の動作モードに切り換えることができます。

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

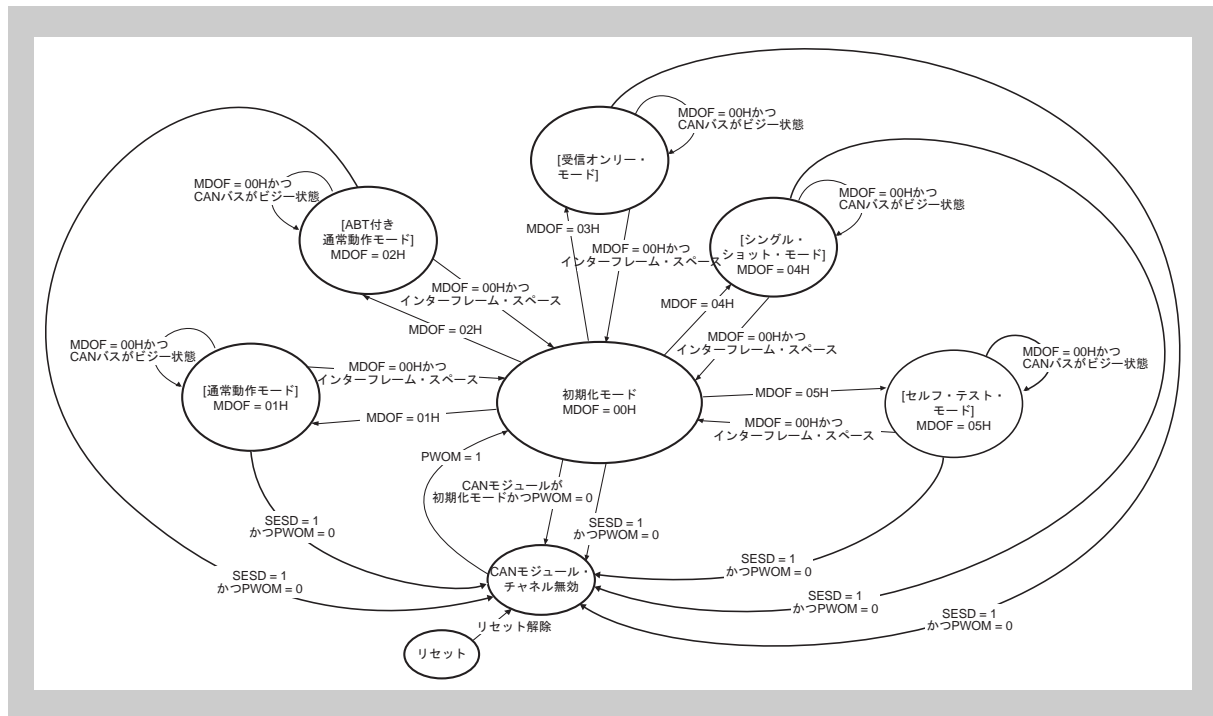


図 26-6 動作モードへの移行

備考 上の図では以下の略号を使用しています。

- MDOF = FCNnCMCLCTL.FCNnCMCLMDOF[2:0]
- PWOM = FCNnGMCLCTL.FCNnGMCLPWOM
- SESD = FCNnGMCLCTL.FCNnGMCLSESD

初期化モードから動作モードへの移行は FCNnCM.FCNnCMCLMDOF[2:0] によって制御されます。

1つの動作モードから別の動作モードへ移行するには、いったん初期化モードに切り換える必要があります。1つの動作モードから別の動作モードへ直接切り換えしないでください。動作モードを直接切り換えたときの動作は保証されません。

CANバスがインターフレーム・スペースにない場合（つまり、フレームを受信中または送信中）は、動作モードから初期化モードへの移行要求が保留され、FCNモジュールはインターフレーム・スペースの第1ビットで初期化モードに入ります（FCNnCMCLCTL.FCNnCMCLMDOF[2:0]の値が000<sub>B</sub>に変更されます）。初期化モードへの移行要求を発行したら、モジュールが初期化モードに入ったことを確認するために、読み出し値が000<sub>B</sub>になるまでFCNnCMCLCTL.FCNnCMCLMDOF[2:0]を読み出してください（図26-15「再初期化」を参照してください）。

## 26.8 メッセージ受信

### 26.8.1 メッセージの受信

すべての動作モードで、新たに受信したメッセージの保存に適したバッファを見つけるために、メッセージ・バッファの全領域が解析されます。その評価 (RX 検索プロセス) の対象には、以下の条件を満たすすべてのメッセージ・バッファが含まれます。

- メッセージ・バッファとして使用されている  
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 受信メッセージ・バッファとして設定されている  
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001<sub>B</sub> to 1001<sub>B</sub>)
- 受信レディ状態である  
(FCNnMmCTL.FCNnMmRDYF = 1)

FCN モジュールの複数のメッセージ・バッファをメッセージの受信に使用できる場合は、以下で説明する優先度に従ってメッセージが保存されます。メッセージは常に優先度が最も高いメッセージ・バッファに保存され、優先度の低いメッセージ・バッファにメッセージが保存されることはありません。たとえば、同じ ID を持つマスクされていない受信メッセージ・バッファとマスク 1 にリンクされている受信メッセージ・バッファがある場合は、マスク 1 にリンクされているメッセージ・バッファがメッセージを受信したことがなく、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していても、受信メッセージはマスク 1 にリンクされているメッセージ・バッファには保存されません。つまり、異なる特性を持つ複数のメッセージ・バッファに同じ条件が設定されている場合は、優先度の最も高いメッセージ・バッファが常にメッセージを保存します。優先度の低いメッセージ・バッファにメッセージが保存されることはありません。この規則は、優先度の最も高いメッセージ・バッファがメッセージを保存できない場合 (つまり、FCNnMmCTL.FCNnMmDTNF = 1 になっていて、メッセージがすでに受信されていることを示しているのに、FCNnMmSTRB.FCNnMmSSOW = 0 であるため、書き換えが禁止されている場合) にも適用されます。その場合、メッセージは、実際に優先度の最も高いメッセージ・バッファ候補に保存されませんが、優先度の低いメッセージ・バッファにも保存されません。

表 26-18 MBRB の優先度

優先度	同じ ID が設定されている場合の保存条件	
1 (高い)	マスクされていないメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
2	マスク 1 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
3	マスク 2 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1
...	...	...
9 (低い)	マスク 8 にリンクされているメッセージ・バッファ	FCNnMmDTNF = 0
		FCNnMmDTNF = 1 かつ FCNnMmSSOW = 1

## 26.8.2 受信データの読み出し

FCN メッセージ・バッファを読み出すときのデータの整合性を保つために、図 26-32「割り込みを利用した受信 (FCNnCMLISTR レジスタを利用)」から図 26-35「ソフトウェア・ポーリングを利用した受信」の手順に従ってデータの読み出しを行ってください。

メッセージの受信中、FCN モジュールは、メッセージ・バッファへのデータの保存プロセスの開始時と保存プロセスの終了時の 2 回にわたって FCNnMmCTL.FCNnMmDTNF をセットします。保存プロセスの実行中は、メッセージ・バッファの FCNnMmCTL.FCNnMmMUCF がセットされます (図 26-7「受信タイミング」を参照してください)。

データ格納が完了する前には受信履歴・リストへの書き込みが行われません。さらに、保存プロセスの実行中 (FCNnMmCTL.FCNnMmMUCF = 1 である間)、CPU によるデータ書き込みが行われないように、メッセージ・バッファの FCNnMmCTL.FCNnMmRDYF がロックされます。CPU がメッセージ・バッファにアクセスすると、保存プロセスが妨害される (遅延する) 可能性がある点に注意してください。

**注意** メッセージを確実にメッセージ・バッファに格納したい場合、バッファの FCNnMmCTL.FCNnMmDTNF ビットをメッセージ・サーチ処理が開始される前 (フレームの ID がバス上に出力される前) にクリアする必要があります。これは最短で前のフレームの EOF の後の 15CAN ビット目となります。CAN フレームがバス上に連続して現れ、確実に受信したい場合、フレーム受信用のメッセージ・バッファを 1 個より多く使用することを推奨します。

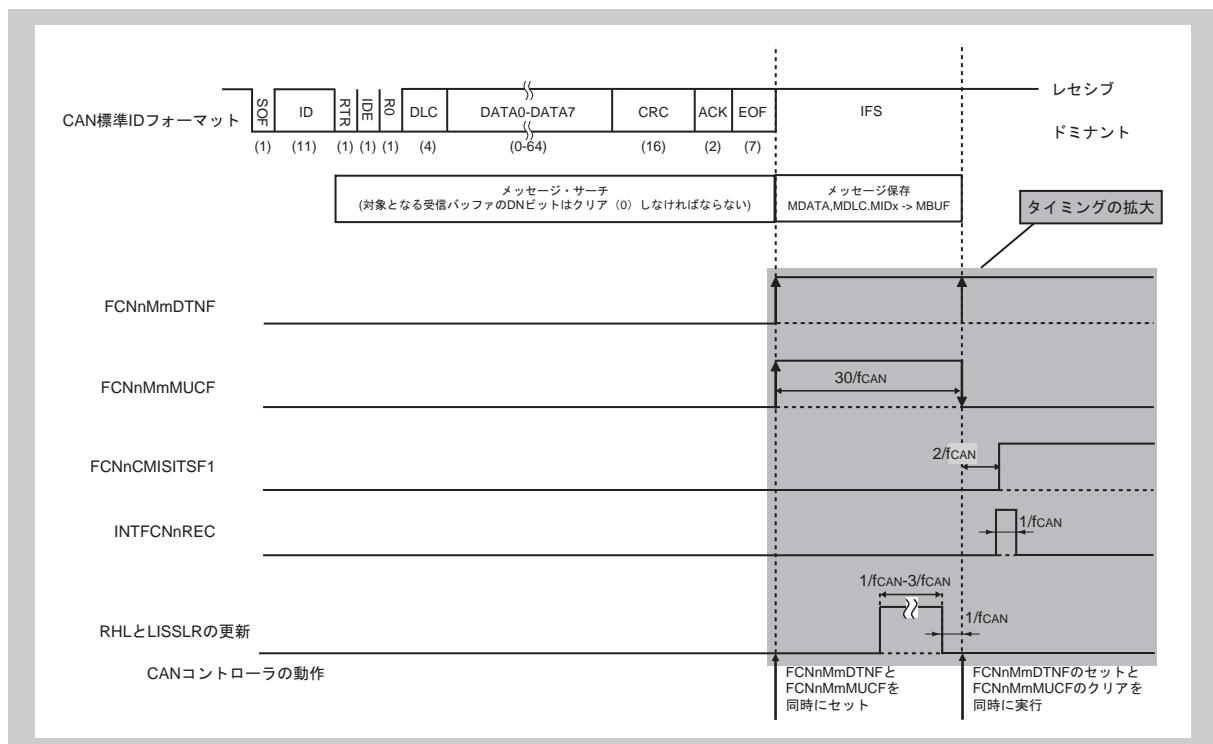


図 26-7 受信タイミング



### 26.8.3 受信履歴・リスト機能

RHL は、最大 47 個のメッセージ (64 メッセージ・バッファの FCN の場合) または最大 95 個のメッセージ (128 メッセージ・バッファの FCN の場合) に相当する保存要素、最終受信メッセージ・ポインタ FCNnCMLISLR[7:0] とそれに対応する FCNnCMLISTR レジスタおよび受信履歴・リスト取得ポインタ FCNnCMRGSSPT とそれに対応する FCNnCMRGRX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の RHL は不定です。

FCNnCMLISTR レジスタには、FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタから 1 を引いた値が示す RHL 要素の内容が格納されています。したがって、FCNnCMLISTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号をチェックすることができます。FCNnCMLISLR[7:0] ポインタは、RHL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームを受信され、保存されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLISLR[7:0] ポインタの示す RHL 要素に記録されます。RHL への記録が完了するたびに、FCNnCMLISLR[7:0] ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは受信履歴・リストに記録されません。

FCNnCMRGRX.FCNnCMRGSSPT は、記録されているメッセージ・バッファ番号を RHL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない RHL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMRGRX レジスタを読み出すことによって、データ・フレームまたはリモート・フレームを受信し、保存したメッセージ・バッファの番号を読み出すことができます。FCNnCMRGRX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMRGSSPT ポインタが自動的にインクリメントされます。

FCNnCMRGRX.FCNnCMRGSSPT ポインタの値が FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタの値と一致すると、FCNnCMRGRX.FCNnCMRGSSPM (受信履歴・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLISLR[7:0] ポインタがインクリメントされ、その値が FCNnCMRGSSPT ポインタの値と一致しなくなるため、FCNnCMRGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が RHL に存在することを意味しています。

FCNnCMLISTR.FCNnCMLISLR[7:0] ポインタがインクリメントされた結果、FCNnCMRGRX.FCNnCMRGSSPT ポインタから 1 を引いた値と一致すると、FCNnCMRGRX.FCNnCMRGRVFF (受信履歴・リスト・オーバーフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって RHL が満杯になったことを示します。それ以降、メッセージの受信と保存が行われると、新たに受信されたメッセージを受信し、保存したメッセージ・バッファの番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMRGRVFF が (1 に) セットされたあとは、RHL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、FCNnMmCTL.FCNnMmDTNF を



利用した CPU によるメッセージ・バッファ・メモリ内の検索またはグローバル・レジスタ FCNnDNBMRX0, FCNnDNBMRX1 の読み出しを実行できるため、メッセージ自体が失われることはなく、メッセージを見つけることは可能です。

---

**注意** 受信履歴・リストがオーバーフロー状態になっても (FCNnCMRGRX.FCNnCMRGRVFF がセットされても)、受信履歴・リストが空になるまで (FCNnCMRGRX.FCNnCMRGSSPM フラグがセットされるまで)、受信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMRGRVFF がソフトウェアによってクリアされるまで、受信履歴・リストはオーバーフロー状態にとどまります。FCNnCMRGRVFF がクリアされないと、新たに受信されたフレームのメッセージが保存されても、FCNnCMRGSSPM フラグは更新 (クリア) されません。その場合は、受信履歴・リストがオーバーフロー状態で受信が行われたときにもかかわらず、受信履歴・リストが空であることを FCNnCMRGSSPM が示す (FCNnCMRGRVFF と FCNnCMRGSSPM がセットされる) 可能性があります。

---

RHL に空のエントリがある限り、受信の順番は保たれます。ホスト・プロセスが RHL を読み出さないうちに、さらに受信が行われると、受信の順番を完全に元に戻すことができなくなります。

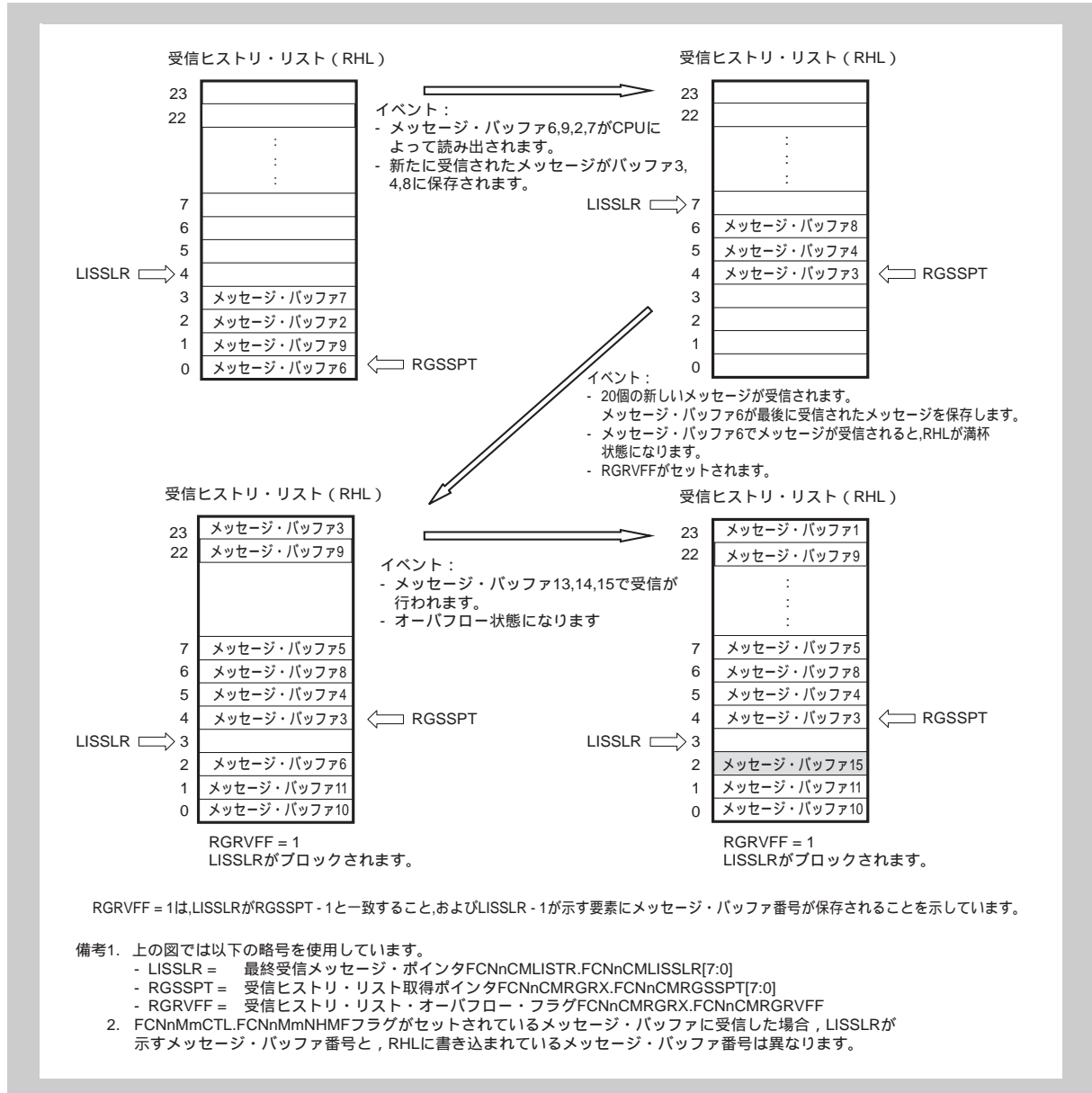


図 26-8 受信履歴・リスト

## 26.8.4 マスク機能

受信に使用される任意のメッセージ・バッファを8つのグローバル受信マスクの1つ（またはマスクなし）に割り当てることができます。

マスク機能を使用すると、マスクされるビットによってメッセージIDの比較対象となるビットが減るため、複数の異なるIDを1つのバッファで受信することができます。

マスク機能が有効になっていると、マスクによって1と定義されている受信メッセージ内の識別子ビットと、それに対応するメッセージ・バッファ内の識別子ビットとの比較が行われません。

しかし、マスクによって値が0と定義されているビットについては、比較が行われます。

たとえば、ID27～25のビットが0で、ID24とID22のビットが1の標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に保存する例を考えてみましょう。その場合は、以下のように設定します。

### (1) メッセージ・バッファに保存される識別子

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

### (2) メッセージ・バッファ14で設定する識別子（例） (FCNnM014MID0Wレジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

- 備考**
- ID27～25のビットが0にクリアされており、ID24とID22のビットが1にセットされているIDがメッセージ・バッファ14に登録（初期化）されます。
  - メッセージ・バッファ14は、マスク1にリンクされた標準フォーマット識別子として設定されます（FCNnMmSTRB.FCNnMmSSMT[3:0] = 0010<sub>B</sub>）。

(3) FCN モジュールのマスク設定 (マスク 1) (例)  
 (FCNn モジュール・マスク 1 レジスタ FCNnCMMKCTL01 を使用)

FCNnCMMKSSID[..]										
ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
1	0	0	0	0	1	0	1	1	1	1
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
1	1	1	1	1	1	1	1	1	1	1
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
1	1	1	1	1	1	1				

1 : 比較されない (マスクされる)

0 : 比較される

FCNnCMMKSSID[27:24] と FCNnCMMKSSID[22] は 0 にクリアし,  
 FCNnCMMKSSID[28], FCNnCMMKSSID[23], FCNnCMMKSSID[21:0] を 1  
 にセットします。

### 26.8.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能の目的は、同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じ ID を設定することで、CPU の介入なしに、データのブロックを複数のメッセージ・バッファに順番に保存することです。保存に使用されるメッセージ・バッファは、メッセージ・バッファ・メモリ内の任意の場所に割り当てることができ、互いに隣接している必要もありません。

たとえば、メッセージ・バッファ 10 ~ 19 からなる 10 個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されており、それらのメッセージ・バッファで同じ ID が設定されているとします。メッセージ・バッファの ID と一致する ID を持つ最初のメッセージを受信すると、そのメッセージはメッセージ・バッファ 10 に保存されます。この時点で、メッセージ・バッファ 10 の FCNnMmCTL.FCNnMmDTNF がセットされるため、それ以降の受信メッセージでこのメッセージ・バッファを上書きすることは禁止されます。

ID の一致する次のメッセージを受信すると、そのメッセージはメッセージ・バッファ 11 で受信され、保存されます。ID の一致するメッセージを受信するたびに、メッセージはメッセージ・バッファ 12, 13... の順 (昇順) に保存されます。複数のメッセージから構成されるデータ・ブロックを受信した場合でも、以前に受信した ID の一致するデータを上書きすることなく、メッセージを保存し、受信することができます。

各メッセージ・バッファの FCNnMmCTL.FCNnMmIENF をセットすることによって、データ・ブロックが受信され、保存されたかどうかを確認することができます。たとえば、データ・ブロックが k 個のメッセージから構成される場合は、k 個のメッセージ・バッファをそのデータ・ブロックの受信用として初期化します。メッセージ・バッファ 0 ~ (k-2) の FCNnMmIENF を 0 にクリアし (割り込み禁止)、メッセージ・バッファ k-1 の FCNnMmIENF を 1 にセットします (割り込み許可)。その場合は、メッセージ・バッファ k-1 でメッセージが受信され、保存されると、受信完了割り込みが発生するので、MBRB が満杯になったことがわかります。あるいは、メッセージ・バッファ 0 ~ (k-3) の FCNnMmIENF を 0 にクリアし、メッセージ・バッファ k-2 の FCNnMmIENF をセットすることで、MBRB がオーバフロー直前であるという警告を発することもできます。

MBRB で利用する個々のメッセージ・バッファに受信データを保存するための基本条件は、1 つのメッセージ・バッファにデータを保存するときの条件と同じです。

- 注意**
1. MBRB はメッセージ・バッファ・タイプごとに設定することができます。したがって、ID は一致するものの、メッセージ・バッファ・タイプが異なる別の MBRB のメッセージ・バッファが空いていても、受信メッセージはそのメッセージ・バッファには保存されず、破棄されます。
  2. MBRB はリング・バッファ構造を持っていません。したがって、MBRB 用として設定されているメッセージ・バッファのうち、番号が最大のメッセージ・バッファにメッセージが保存されたあとは、新たにメッセージを受信しても、そのメッセージはメッセージ・バッファ番号が最小のメッセージ・バッファには保存されません。
  3. MBRB は受信と保存の条件に基づいて動作します。機能許可ビットなど、MBRB 専用の設定はありません。複数のメッセージ・バッファで同じメッセージ・バッファ・タイプと ID を設定することで、MBRB は自動的に設定されます。

4. MBRB でいう「一致する ID」とは、「マスクを適用したあと、一致する ID」です。メッセージ・バッファで設定されている ID が同じでなくても、マスク・レジスタによってマスクされた ID が一致すれば、ID が一致すると見なされ、その ID を持つバッファはメッセージの保存先として扱われます。
  5. MBRB 間の優先度については、表 26-18 「MBRB の優先度」を参照してください。
-

### 26.8.6 リモート・フレームの受信

すべての動作モードで、リモート・フレームを受信すると、以下の条件（条件1と2。条件1のほうが受信条件として優先される）を満たすすべてのメッセージ・バッファの中からリモート・フレームを保存するメッセージ・バッファを見つけるための検索が行われます。条件1が満たされない場合は、条件2を満たすものがあるかどうかを確認するために残りのメッセージ・バッファを検索します。

- 条件1：
  - 送信メッセージ・バッファとして設定されている  
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000<sub>B</sub>)
  - メッセージ・バッファとして使用されている  
(FCNnMmSTRB.FCNnMmSSAM = 1)
  - 受信レディ状態である  
(FCNnMmCTL.FCNnMmRDYF = 1)
  - データ・フレーム・メッセージ・タイプ用に設定されている  
(FCNnMmSTRB.FCNnMmSSRT = 0)
  - 送信要求が設定されていない  
(FCNnMmCTL.FCNnMmTRQF = 0)
- 条件2：
  - 受信メッセージ・バッファとして設定されている  
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001<sub>B</sub> ... 1001<sub>B</sub>)
  - メッセージ・バッファとして使用されている  
(FCNnMmSTRB.FCNnMmSSAM = 1)
  - 受信レディ状態である  
(FCNnMmCTL.FCNnMmRDYF = 1)
  - リモート・フレーム・メッセージ・タイプ用に設定されている  
(FCNnMmSTRB.FCNnMmSSRT = 1)
  - バッファがメッセージを保存できる状態にある  
(FCNnMmCTL.FCNnMmDTNF = 0, または  
FCNnMmSTRB.FCNnMmSSOW = 1 かつ FCNnMmCTL.FCNnMmDTNF = 1)

リモート・フレームを受信し、受信したリモート・フレームのIDが上記の条件を満たすメッセージ・バッファのIDと一致すると、以下の処理が行われます。

- FCNnMmDTLGBレジスタのFCNnMmDTLG[3:0]ビット文字列が受信したDLC値を保存します。
- 送信メッセージ・バッファへの受信の場合、データ領域のFCNnMmDAT0B～FCNnMmDAT7Bレジスタは更新しません（受信前のデータを保存します）。
- FCNnMmCTL.FCNnMmDTNFを1にセットします。
- FCNnCMISCTL.FCNnCMISITSF1を1にセットします（フレームを受信し、保存するメッセージ・バッファのFCNnMmCTL.FCNnMmiENFが1にセットされている場合）。
- 受信完了割り込み（INTCnREC）を出力します（フレームを受信し、保存するメッセージ・バッファのFCNnMmCTL.FCNnMmiENFが1にセットされており、かつ、FCNnCMIECTL.FCNnCMIESEIE1が1にセットされている場合）。

- FCNnMmCTL.FCNnMmNHMF フラグがセットされていなければ、メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

---

**注意** リモート・フレームの受信、保存用のメッセージ・バッファとして送信メッセージ・バッファが見つかった場合、メッセージ・バッファの FCNnMmSTRB.FCNnMmSSOW による上書き制御および FCNnMmCTL.FCNnMmDTNF はチェックされません。FCNnMmSSOW の設定は無視され、FCNnMmDTNF はいずれの場合もセットされます。

---

- 備考**
1. 複数の送信メッセージ・バッファが同じ ID を持っていて、受信したリモート・フレームの ID がその ID と一致する場合、リモート・フレームはメッセージ・バッファ番号の最も小さい送信メッセージ・バッファに保存されます。
  2. リモート・フレームの ID と ID が一致し、リモート・フレームを受信可能な送信メッセージ・バッファと受信メッセージ・バッファが見つかった場合は、メッセージ・バッファがマスクされている場合も、マスクされていない場合も、リモート・フレームは送信メッセージ・バッファに保存されます。
  3. リモート・フレームの受信条件を満たす複数の受信メッセージ・バッファがあるときの受信優先度は、データ・フレームの受信優先度と同じです。
  4. リモート・フレームの受信に適した受信メッセージ・バッファが見つかり、保存用として選択されたにもかかわらず、FCNnMmDTNF がセットされていて、FCNnMmSSOW がセットされていないため、その受信メッセージ・バッファにフレームを保存できない場合、そのリモート・フレームはどこにも保存されません。



## 26.9 メッセージ送信

### 26.9.1 メッセージの送信

FCNnMmCTL.FCNnMmTRQF ビットが1にセットされたメッセージ・バッファは、以下の条件を満たしていれば、優先度の最も高いメッセージを送信するメッセージ・バッファを検索するときの対象になります。この処理はすべての動作モードで有効です。

- メッセージ・バッファとして使用されている  
(FCNnMmSTRB.FCNnMmSSAM = 1)
- 送信メッセージ・バッファとして設定されている  
(FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000<sub>B</sub>)
- 送信レディ状態である  
(FCNnMmCTL.FCNnMmRDYF = 1)

CAN システムはマルチ・マスタ通信システムです。この種のシステムでは、メッセージ識別子 (ID) に基づいてメッセージ送信の優先度が決まります。送信を待機しているメッセージが複数ある場合にソフトウェアによる送信処理を容易にするために、FCN モジュールではハードウェアを使用して優先度の最も高いメッセージの ID をチェックし、そのメッセージを自動的に識別します。そうすることで、ソフトウェアを利用した優先度制御を行う必要がなくなります。

送信優先度は識別子 (ID) によって制御されます。

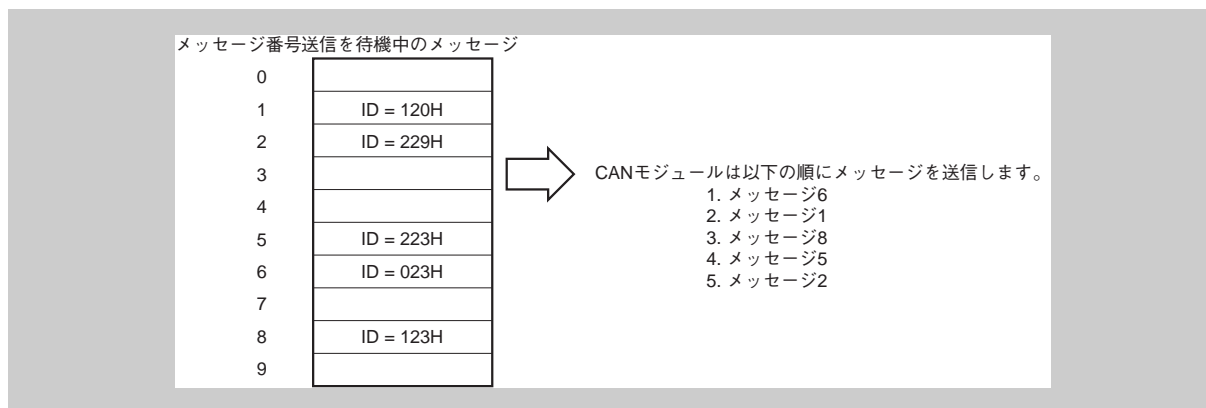


図 26-9 メッセージ処理の例

送信メッセージの検索が完了すると、送信要求を保留している（あらかじめFCNnMmCTL.FCNnMmTRQF ビットが1にセットされている）送信メッセージ・バッファのうち、優先度の最も高い送信メッセージ・バッファを使用して送信メッセージが送信されます。

新しい送信要求が設定されると、新しい送信要求が設定された送信メッセージ・バッファと送信要求を保留している送信メッセージ・バッファとの比較が行われます。優先度の低いメッセージの送信がすでに開始されていない限り、新しい送信要求のほうが優先度が高ければ、新しい送信要求が送信されます。しかし、優先度の低いメッセージの送信がすでに開始されていれば、新しい送信要求はあとで送信されます。このように優先度が逆転する問題を解決するために、ソフトウェアで優先度の低いメッセージの送信中断要求を実行することができます。優先度の順位は以下の規則によって決まります。

優先度	条件	説明
1 (高い)	ID の上位 11 ビットの値 (ID28 ~ 18)	ID の上位 11 ビットが表す値が最も小さいメッセージ・フレームが最初に送信されます。11 ビット標準 ID の値が 29 ビット拡張 ID の上位 11 ビットの値以下である場合は、29 ビット拡張 ID を持つメッセージ・フレームより 11 ビット標準 ID のほうが優先度が高くなります。
2	フレーム・タイプ	11 ビット標準 ID を持つデータ・フレーム (FCNnMmSTRB.FCNnMmSSRT が 0 にクリアされている) のほうが標準 ID を持つリモート・フレームおよび拡張 ID を持つメッセージ・フレームより優先度が高くなります。
3	ID タイプ	標準 ID を持つメッセージ・フレーム (メッセージ・バッファ識別子レジスタ FCNnMmMID... のビット FCNnMmSSIE が 0 にクリアされている) のほうが拡張 ID を持つメッセージ・フレームより優先度が高くなります。
4	ID の下位 18 ビットの値 (ID17 ~ 0)	ID の上位 11 ビットが同じで、同じフレーム・タイプの (FCNnMmSTRB.FCNnMmSSRT ビット値が等しい) 送信保留中の拡張 ID メッセージ・フレームが複数ある場合は、拡張 ID の下位 18 ビットの値が最も小さいメッセージ・フレームが最初に送信されます。
5 (低い)	メッセージ・バッファ番号	複数のメッセージ・バッファが同じ ID を持つメッセージ・フレームの送信を要求した場合は、メッセージ・バッファ番号の最も小さいメッセージ・バッファのメッセージが最初に送信されます。

**備考 1.** ABT 付き通常動作モードで、自動ブロック送信要求ビット FCNnGMABCTL.FCNnGMABABTT が 1 にセットされている場合は、ABT メッセージ・バッファ・グループ内の 1 つのメッセージ・バッファでのみ FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。

FCNnGMABCTL.FCNnGMABSEAT = 1 によって ABT モードがトリガされた場合は、ABT 領域内 (64 メッセージ・バッファの FCN : 0 ~ 15, 128 メッセージ・バッファの FCN : 0~31) の 1 つの FCNnMmCTL.FCNnMmTRQF が 1 にセットされます。この送信要求以降、アプリケーションは、ABT 領域に属さないほかの送信メッセージ・バッファに対して送信を要求する (FCNnMmTRQF を 1 にセットする) ことができます。その場合、インターバル調停プロセス (送信検索) は、FCNnMmTRQF が 1 にセットされているすべての送信メッセージ・バッファを評価し、優先度の最も高い識別子を持つメッセージ・バッファを次の送信用バッファとして選択します。優先度が最も高い識別子が複数ある (同じ識別子が複数ある) 場合は、番号の最も小さいメッセージ・バッファに格納されているメッセージが最初に送信されます。

- メッセージ・フレームの送信が成功すると、以下の処理が実行されます。
- ・対応する送信メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF フラグが自動的に 0 にクリアされます。
  - ・送信完了ステータス・ビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます (対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmiENF が 1 にセットされている場合)。
  - ・割り込み要求信号 INTcNTRX が出力されます (FCNnCMIECTL.FCNnCMIESEIE0 が 1 にセットされており、かつ、対応する送信メッセージ・バッファの割り込み許可ビット FCNnMmiENF が 1 にセットされている場合)。

2. 送信バッファの内容を変更するときは、内容を更新する前に、そのバッファの FCNnMmCTL.FCNnMmRDYF フラグをクリアする必要があります。内部転送動作中などに FCNnMmRDYF フラグが一時的にロックされることがあるため、FCNnMmRDYF を変更したときは、あとでフラグの状態をソフトウェアで確認する必要があります。

## 26.9.2 送信履歴・リスト機能

送信履歴・リスト (THL) 機能は、データ・フレームまたはリモート・フレームの送信元となった送信メッセージ・バッファの番号を送信履歴・リストに記録する機能です。THL は、最大 15 個のメッセージ (64 メッセージ・バッファの FCN の場合) または最大 31 個のメッセージ (128 メッセージ・バッファの FCN の場合) に相当する保存要素、最終送信メッセージ・ポインタ FCNnCMLOSTR[7:0] とそれに対応する FCNnCMLOSTR レジスタおよび送信履歴・リスト取得ポインタ FCNnCMTGSSPT[7:0] とそれに対応する FCNnCMTGTGX レジスタから構成されます。

FCN モジュールが初期化モードからいずれかの動作モードへ移行した直後の THL は不定です。

FCNnCMLOSTR レジスタには、FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタから 1 を引いた値が示す THL 要素の内容が格納されています。したがって、FCNnCMLOSTR レジスタを読み出すことによって、最後にデータ・フレームまたはリモート・フレームを送信したメッセージ・バッファの番号をチェックすることができます。FCNnCMLOSTR[7:0] ポインタは、THL のどの部分にメッセージ・バッファ番号が記録されるかを示す書き込みポインタとして利用されます。データ・フレームまたはリモート・フレームが送信されるたびに、それに対応するメッセージ・バッファ番号が FCNnCMLOSTR[7:0] ポインタの示す THL 要素に記録されます。THL への記録が完了するたびに、FCNnCMLOSTR[7:0] ポインタは自動的にインクリメントされます。そうすることで、フレームを受信し、保存したメッセージ・バッファの番号が時系列順に記録されます。

FCNnMmCTL.FCNnMmNHMF フラグがセットされているメッセージ・バッファのエントリは送信履歴・リストに記録されません。

FCNnCMTGTGX.FCNnCMTGSSPT[7:0] ポインタは、記録されているメッセージ・バッファ番号を THL から読み出すときの読み出しポインタとして利用されます。このポインタは、CPU がまだ読み出していない THL 要素のうち、最初の要素を示します。ソフトウェアで FCNnCMTGTGX レジスタを読み出すことにより、送信を完了したメッセージ・バッファの番号を読み取ることができます。FCNnCMTGTGX レジスタからメッセージ・バッファ番号が読み出されるたびに、FCNnCMTGSSPT[7:0] ポインタが自動的にインクリメントされます。

FCNnCMTGTGX.FCNnCMTGSSPT[7:0] ポインタの値が FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタの値と一致すると、FCNnCMTGTGX.FCNnCMTGSSPM (送信履歴・リスト・ポインタ・マッチ) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に残っていないことを示します。新しいメッセージ・バッファ番号が記録されると、FCNnCMLOSTR[7:0] ポインタがインクリメントされ、その値が FCNnCMTGSSPT[7:0] ポインタの値と一致しなくなるため、FCNnCMTGSSPM がクリアされます。これは、まだ読み出されていないメッセージ・バッファ番号が THL に存在することを意味しています。

FCNnCMLOSTR.FCNnCMLOSTR[7:0] ポインタがインクリメントされた結果、FCNnCMTGTX.FCNnCMTGSSPT[7:0] ポインタから 1 を引いた値と一致すると、FCNnCMTGTX.FCNnCMTGTVFF (送信履歴・リスト・オーバーフロー) が 1 にセットされます。これは、まだ読み出されていないメッセージ・バッファ番号によって THL が満杯になったことを示します。新しいメッセージが受信され、保存されると、そのメッセージをあとで送信したメッセージ・バッファ番号によって最後に記録されたメッセージ・バッファ番号が上書きされます。その場合、FCNnCMTGTVFF が (1 に) セットされたあとは、THL に記録されたメッセージ・バッファ番号が時系列順を完全に反映しなくなります。ただし、その場合でも CPU はすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPU が送信再設定を行う前に実行)。

FCNnCMTGTX.FCNnCMTVFF に関わらず 14 個 (64 メッセージ・バッファ) または 30 個 (128 メッセージ・バッファ) の送信メッセージ・バッファ番号は THL に保存されます。

---

**注意** 送信履歴・リストがオーバーフロー状態になっても (FCNnCMTGTX.FCNnCMTGTVFF がセットされても)、送信履歴・リストが空になるまで (FCNnCMTGTX.FCNnCMTGSSPM フラグがセットされるまで)、送信履歴・リストの内容を読み出すことはできます。ただし、FCNnCMTGTVFF がソフトウェアによってクリアされるまで、送信履歴・リストはオーバーフロー状態にとどまります。FCNnCMTGTVFF がクリアされないと、新しいメッセージの送信が成功しても FCNnCMTGTX.FCNnCMTGSSPM フラグは更新 (クリア) されません。その場合は、送信履歴・リストがオーバーフローしている状態で送信が成功したにもかかわらず、送信履歴・リストが空であることを FCNnCMTGSSPM が示す (FCNnCMTGTVFF と FCNnCMTGSSPM がセットされる) 可能性があります。

---

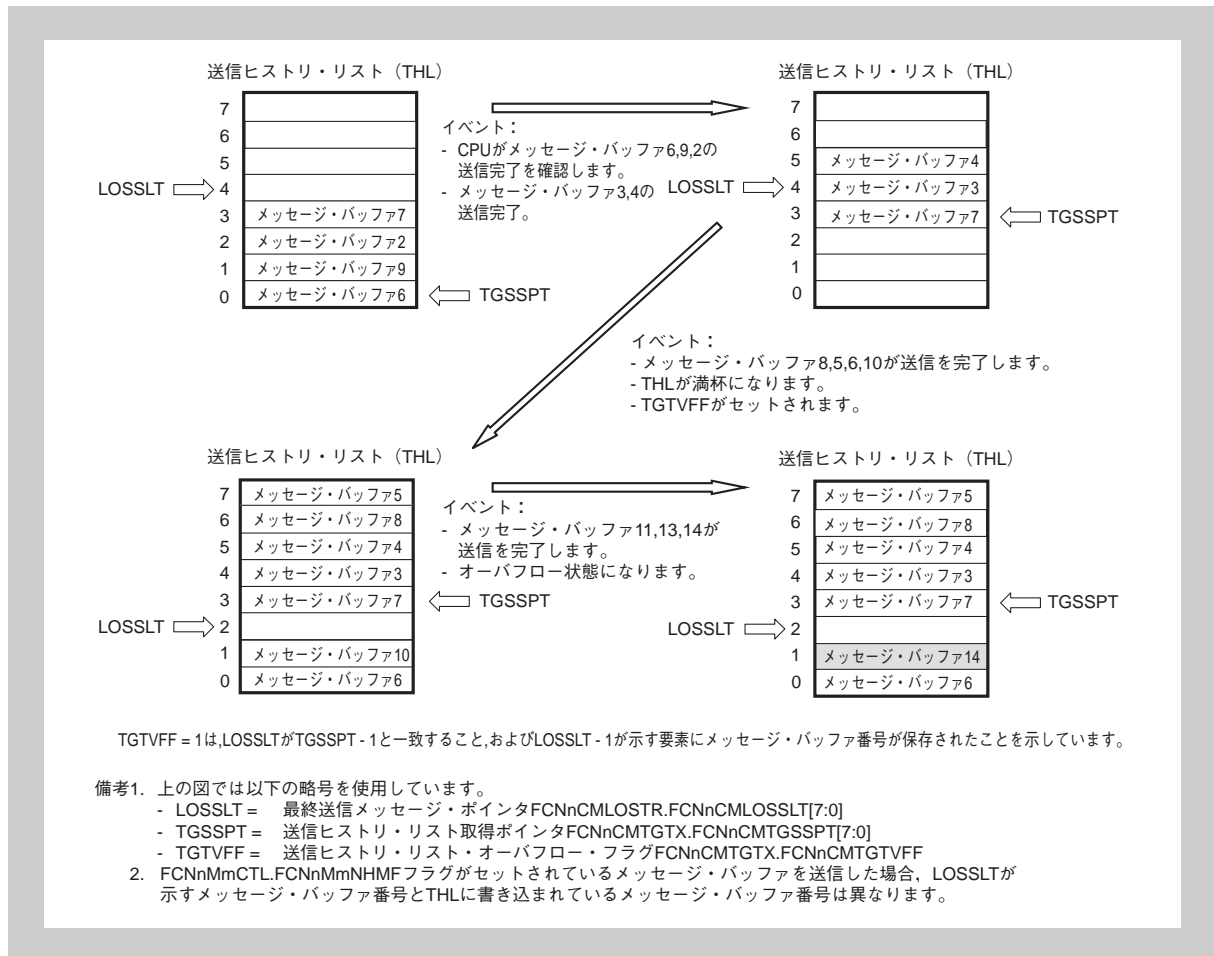


図 26-10 送信履歴・リスト

### 26.9.3 自動ブロック送信機能 (ABT)

自動ブロック送信 (ABT) 機能は、CPU の介入なしに、複数のデータ・フレームを連続的に送信する目的に使用されます。ABT 機能に割り当てられる送信メッセージ・バッファは、最大 16 個 (64 メッセージ・バッファの FCN の場合) または 32 個 (128 メッセージ・バッファの FCN の場合) であり、常に番号の最も小さいメッセージ・バッファから順に割り当てられます。

FCNnCM.FCNnCMCLMDOF[2:0] を  $010_B$  に設定することで、「自動ブロック送信機能付き通常動作モード」(これ以降 ABT モードと言う) を選択することができます。

ABT 送信要求を発行するには、まずソフトウェアでメッセージ・バッファを定義します。ABT に使用するすべてのメッセージ・バッファで FCNnMmSTRB.FCNnMmSSAM = 1 に設定し、FCNnMmSTRB.FCNnMmSSMT[3:0] ビットを  $0000_B$  に設定することによって、それらすべてのバッファを送信メッセージ・バッファとして定義します。その ID がすべてのメッセージ・バッファで使用されている場合でも、ABT 用のメッセージ・バッファには必ず同じ ID を設定してください。複数の ID を使用するには、FCNnMmMID0H レジスタと FCNnMmMID1H レジスタまたは FCNnMmMID0W レジスタを使用して、各メッセージ・バッファの ID を設定します。ABT 機能を利用した送信要求を発行する前に、FCN メッセージ・バッファ・データ・バイト・レジスタを設定します。

ABT 用のメッセージ・バッファの初期化が完了したあと、FCNnMmCTL.FCNnMmRDYF を 1 にセットする必要があります。ABT モードでは、FCNnMmCTL.FCNnMmTRQF をソフトウェアで操作する必要はありません。

ABT メッセージ・バッファ用のデータを用意したあと、FCNnGMABCTL.FCNnGMABSEAT = 1 にセットします。そうすると、自動ブロック送信が開始されます。ABT が開始されると、最初のメッセージ・バッファ (メッセージ・バッファ 0) の FCNnMmCTL.FCNnMmTRQF が自動的に 1 にセットされます。メッセージ・バッファ 0 のデータの送信が完了すると、次のメッセージ・バッファであるメッセージ・バッファ 1 の FCNnMmTRQF が自動的にセットされます。このようにして、送信が連続的に実行されます。

送信が連続的に実行されている間、送信要求 FCNnMmCTL.FCNnMmTRQF が自動的にセットされるインターバルに、プログラムを利用して遅延時間を挿入することができます。挿入される遅延時間は FCNnGMADCTL レジスタによって定義されます。遅延時間の単位は DBT (データ・ビット・タイム) です。DBT は、FCNnCMBRPRS レジスタと FCNnCMBTCTL レジスタの設定によって決まります。

ABT 領域内の送信オブジェクトについては、送信 ID の優先度は評価されません。メッセージ・バッファ 0 からメッセージ番号順に送信されます。最後のメッセージ・バッファからのデータ・フレームの送信が完了すると、FCNnGMABCTL.FCNnGMABABTT が自動的に 0 にクリアされ、ABT 動作が完了します。

ABT の実行中に ABT メッセージ・バッファの中に FCNnMmCTL.FCNnMmRDYF がクリアされたメッセージ・バッファがあると、そのバッファからのデータ・フレームの送信は実行されず、ABT が中断され、FCNnGMABCTL.FCNnGMABABTT がクリアされます。その後、ソフトウェアで FCNnMmRDYF と FCNnGMABABTT を 1 にセットすることによって、ABT が中断されたメッセージ・バッファから送信を再開することが



できます。ABT が中断されたメッセージ・バッファから送信を再開したくない場合は、ABT モードが停止中であり、FCNnGMABABTT が 0 にクリアされている間に、FCNnGMABCTL.FCNnGMABCLRF ビットを 1 にセットすることによって内部 ABT エンジンのリセットします。その場合は、FCNnGMABCTL.FCNnGMABSEAC が 0 にクリアされたあと、FFCNnGMABABTT が 1 にセットされていれば、メッセージ・バッファ 0 から送信が開始されます。

割り込みを利用して、ABT 用のすべてのメッセージ・バッファからデータ・フレームが送信されたかどうかを確認することができます。それには、最後のメッセージ・バッファを除くすべてのメッセージ・バッファの FCNnMmCTL.FCNnMmIENF を (0 に) クリアする必要があります。

ABT 機能が使用している送信メッセージ・バッファ以外のメッセージ・バッファが送信メッセージ・バッファに割り当てられている場合、次に送信されるメッセージは、現在送信を保留中の ABT メッセージ・バッファの送信 ID の優先度と ABT 機能によって使用されていないメッセージ・バッファの送信 ID の優先度を比較したうえで決定されます。

ABT メッセージ・バッファからのデータ・フレームの送信は送信履歴・リスト (THL) に記録されません。

- 
- 注意**
1. バッファ No.0 から ABT 動作を再開するには、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされている間に FCNnGMABCTL.FCNnGMABSEAC = 1 にセットします。FCNnGMABABTT が 1 にセットされている間に FCNnGMABSEAC を 1 にセットした場合、それ以降の動作は保証されません。
  2. FCNnGMABCTL.FCNnGMABSEAC = 1 に設定することによって自動ブロック送信エンジンをクリアすると、クリア要求の処理が完了した直後に FCNnGMABSEAC が自動的にクリアされます。
  3. 初期化モード中に自動ブロック送信をトリガしないでください。初期化モード中に FCNnGMABCTL.FCNnGMABSEAC をセットした場合、モードを初期化モードから ABT モードへ変更したあとの正しい動作は保証されません。
  4. ABT 付き通常動作モードの実行中に ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF をソフトウェアで 1 にセットしないでください。セットした場合の動作は保証されません。
  5. ABT モードで連続的に送信される ABT メッセージのメッセージ番号順に送信要求が設定されている場合、FCNnGMADCTL レジスタは、1 つの ABT メッセージの送信が完了してから次の ABT メッセージの FCNnMmCTL.FCNnMmTRQF がセットされるまでの間に挿入される遅延時間の設定に使用されます。メッセージが実際に CAN バス上で送信されるタイミングは、ほかのステーションからの送信の状態および ABT メッセージ以外のメッセージの送信要求の設定の状態によって異なります。
  6. ABT メッセージ以外のメッセージの送信要求が発行されており、ABT の送信要求が自動的に設定されるインターバルに遅延時間が挿入されていない場合は (FCNnGMADCTL = 00<sub>H</sub>)、ABT メッセージ以外のメッセージが、ABT メッセージとの優先度の差異に関係なく送信される可能性があります。
  7. FCNnGMABCTL.FCNnGMABABTT = 1 のときに FCNnMmCTL.FCNnMmRDYF を 0 にクリアしないでください。
-

## 26.9.4 送信中断処理

### (1) 自動ブロック送信 (ABT) 以外の送信中断処理

ユーザは FCNnMmCTL.FCNnMmTRQF を 0 にクリアすることで送信要求を中断することができます。中断が成功すると、FCNnMmTRQF がただちにクリアされます。送信の中断が成功したかどうかは、CAN バス上の送信の状態を示す FCNnCMCLCTL.FCNnCMCLSSTS と FCNnCMTGTX レジスタまたは FCNnMmCTL.FCNnMmTCPF フラグを使用することで確認できます (詳細については、[図 26-25 「送信中断処理 \(ABT 付き通常動作モードの実行中を除く\)」](#) の手順を参照してください)。

### (2) 自動ブロック送信 (ABT) の送信中断処理

すでに開始されている ABT を中断するには、FCNnGMABCTL.FCNnGMABABTT をクリア (0) します。その場合、ABT メッセージを現在送信中であれば、その送信が完了するまで (送信の成功、失敗にかかわらず)、FCNnGMABCTL.FCNnGMABABTT は 1 にセットされたまま変わらず、送信が完了すると同時に 0 にクリアされます。それによって ABT が中断されます。

(ABT が中断される前の) 最後の送信が成功した場合、ABT 付き通常動作モードの内部 ABT ポインタは、次に送信されるメッセージ・バッファを指します。

送信が失敗した場合の内部 ABT ポインタの位置は、最後に送信されたメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態によって異なります。FCNnGMABCTL.FCNnGMABABTT のクリアを要求したときに FCNnMmTRQF が 0 にクリアされていれば、内部 ABT ポインタはインクリメント (+1) され、ABT 領域内の次のメッセージ・バッファを指します (詳細については、[図 26-28 「ABT 送信要求中断処理 \(ABT 付き通常動作モードの実行中\) \(2\)」](#) の手順を参照してください)。

---

**注意** 必ず FCNnGMABCTL.FCNnGMABABTT をクリア (0) することによって ABT を中断してください。FCNnMmCTL.FCNnMmRDYF をクリアすることで送信の中断を要求した場合の動作は保証されません。

---



ABT が中断されたあと、FCNnGMABCTL.FCNnGMABSEAT が 1 にセットされて、ABT 付き通常動作モードが再開されたとき、次に送信される ABT メッセージ・バッファは、以下の表に示す仕組みで決まります。

ABT メッセージ・バッファの FCNnMmCTL.FCNnMmTRQF の状態	送信が成功したあと、ABT が中断された場合	送信が失敗したあと、ABT が中断された場合
セットされている (1)	ABT 領域内の次のメッセージ・バッファ <sup>a</sup>	ABT 領域内の同じメッセージ・バッファ
クリアされている (0)	ABT 領域内の次のメッセージ・バッファ <sup>a</sup>	ABT 領域内の次のメッセージ・バッファ <sup>a</sup>

- <sup>a)</sup> 上記の再開操作は、ABT を実行可能な状態のメッセージ・バッファが ABT 領域内に存在するときのみ実行できます。たとえば、番号が最大のメッセージ・バッファの ABT を実行中に中断要求を発行した結果、そのメッセージ・バッファの送信が成功した場合は、FCNnGMABCTL.FCNnGMABABTT が 0 にクリアされていても、ABT は中断されたと見なされず、完了したと見なされます。ABT 領域内の次のメッセージ・バッファの FCNnMmCTL.FCNnMmRDYF が 0 にクリアされている場合は、内部 ABT ポインタは保持されますが、FCNnGMABABTT が 1 にセットされていても再開操作は実行されず、ABT はただちに終了します。

### 26.9.5 リモート・フレームの送信

リモート・フレームは送信メッセージ・バッファからのみ送信できます。FCNnMmSTRB.FCNnMmSSRT を使用してデータ・フレームまたはリモート・フレームのどちらを送信するかを設定します。FCNnMmSSRT = 1 にセットすれば、リモート・フレームの送信が設定されます。

## 26.10 パワー・セーブ・モード

### 26.10.1 FCN スリープ・モード

FCN スリープ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールはいずれの動作モードからも FCN スリープ・モードに入ることができます。FCN スリープ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入る前と同じ動作モードに戻ります。

FCN スリープ・モードでは、送信要求が発行されたり保留されたりしても、FCN モジュールはメッセージを送信しません。

#### (1) FCN スリープ・モードへの移行

FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01<sub>B</sub> に設定することで、CPU は FCN スリープ・モードへの移行要求を発行します。

この移行要求は以下の条件が満たされている場合にのみ承認されます。

1. FCN モジュールがすでに以下のいずれかの動作モードに入っている
  - 通常動作モード
  - ABT 付き通常動作モード
  - 受信オンリー・モード
  - シングル・ショット・モード
  - セルフ・テスト・モード
  - 上記すべての動作モードでの FCN ストップ・モード
2. CAN バスの状態がバス・アイドル（インターフレーム・スペースの第 4 ビットがレセシブ）である。  
CAN バスがドミナントに固定されていると、FCN スリープ・モードへの移行要求は保留されます。FCN ストップ・モードから FCN スリープ・モードへの移行は CAN バスの状態と関係なく行われます。
3. 保留中の送信要求がない。
4. パワー・セーブ・モードは動作モード変更と組み合わせではありません。  
これらのアクセスはステップを分けて実行しなければなりません。

**備考** スリープ・モード要求が保留中であり、かつ、受信されたメッセージがメッセージ・ボックスにある場合、そのスリープ・モード要求はキャンセルされず、メッセージの保存が終了すると同時に実行されます。その結果、CPU が受信割り込みルーチンを実行中に FCN がスリープ・モードに入ることがあります。したがって、スリープ・モードが使用されている場合、割り込みルーチンは、FCNnGMCLSSMO フラグを利用して、メッセージ・バッファへのアクセスと同時に受信履歴・リスト・レジスタへのアクセスもチェックする必要があります。

上記の条件のうち 1 つでも満たされない場合、FCN モジュールは以下のように動作します。

- 初期化モードから FCN スリープ・モードが要求された場合、FCN スリープ・モードへの移行要求は無視され、FCN モジュールは初期化モードにとどまります。
- CAN バスの状態がバス・アイドルでないときに（CAN バスの状態が送信

中または受信中に) いずれかの動作モードから FCN スリープ・モードへの移行要求を発行しても、ただちに FCN スリープ・モードへ移行することはできません。その場合は、CAN バスの状態がバス・アイドルになる (インターフレーム・スペースの第 4 ビットがレセシブになる) まで FCN スリープ・モードへの移行要求は保留されます。FCN スリープ・モードへの移行要求が発行されてから移行が成功するまでの間、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] は 00<sub>B</sub> にとどまります。モジュールが FCN スリープ・モードに入ると、FCNnCMCLMDPF[1:0] ビットは 01<sub>B</sub> に設定されます。

- FCN モジュールがいずれかの動作モードを実行中に初期化モードへの移行要求と FCN スリープ・モードへの移行要求が同時に発行された場合は、初期化モードへの移行要求が許可されます。その場合、FCN モジュールは、あらかじめ決められたタイミングで初期化モードに入ります。FCN スリープ・モードへの移行要求は保留されず、無視されます。
- 初期化モードとスリープ・モードへの移行要求が同時に発行されなかった場合でも (最初の要求が承認されず、2 回目の要求が発行された場合など)、初期化モードへの移行要求のほうがスリープ・モードへの移行要求より優先されます。初期化モードへの移行要求が発行されると、スリープ・モードへの移行要求はキャンセルされます。初期化モードへの移行要求が保留されている間に発行されたスリープ・モードへの移行要求は、要求が発行された時点でただちにキャンセルされます。

## (2) FCN スリープ・モードの状態

FCN モジュールは、FCN スリープ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CAN バスから FCN モジュールをウェイクアップできるように、FCN 受信端子 (CRXDn) の立ち下がりを検出する機能は有効な状態を保ちます。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできませんが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

## (3) FCN スリープ・モードの解除

FCN スリープ・モードは以下のイベントによって解除されます。

- CPU が FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 00<sub>B</sub> に設定したとき
- FCN 受信端子 CRXDn の立ち上がり時 (CAN バス・レベルがレセシブからドミナントへ移行したとき)

---

**注意** 立ち下がりが受信メッセージの SOF に属していても、そのメッセージが受信され、保存されることはありません。FCN モジュールがスリープ・モードに入っている間、CPU が FCN モジュールへのクロック供給を停止した場合は、FCN モジュールへのクロック供給が再開されない限り、FCN スリープ・モードを解除することはできず、FCNnCMCLMDPF[1:0] の値は 01<sub>B</sub> にとどまります。クロック供給を停止したあとは、受信メッセージも受信されなくなります。

---

スリープ・モードが解除されると、FCN モジュールは FCN スリープ・モードへの移行要求が発行されたときの動作モードに戻ります。その後、FCNnCMCLCTL.FCNnCMCLCTL[1:0] をソフトウェアで 00<sub>B</sub> にリセットする必要があります。CAN バスの状態の変化によって FCN スリープ・モードが解除された場合は、FCNnCMIECTL.FCNnCMIEINTF[6:0] の値に関係なく、FCNnCMISCTL.FCNnCMISITSF5 は 1 にセットされます。FCN スリープ・モードから解除された FCN モジュールは、CAN バス上で 11 個の連続するレセプ・レベルのビットを自動的に検出することにより、再び CAN バス通信に参加します。FCNnGMCLCTL.FCNnGMCLSSMO = 1 になるまで、ユーザ・アプリケーションはメッセージ・バッファへのアクセスを再開できません。

FCN モジュールが FCN スリープ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。初期化モードへ移行するには、まず FCN モジュールをソフトウェアでスリープ・モードから解除する必要があります。

- 
- 注意**
1. スリープ・モードへの移行を要求した直後であっても、CAN バス・イベントが発生すれば、CAN バス・イベントによる FCN スリープ・モードの解除、つまりウェイクアップ割り込みがいつでも発生する可能性がある点に注意してください。
  2. FCN スリープ・モードからのウェイクアップが行われたときは、FCN モジュールのほかのレジスタにアクセスする前に、必ず FCNnCMCLCTL.FCNnCMCLMDPF[1:0] ビットを 00<sub>B</sub> にリセットしてください。
  3. FCN スリープ・モードからのウェイクアップが行われたときは、必ず割り込みフラグ FCNnCMISCTL.FCNnCMISITSF5 をクリアしてください。
-

## 26.10.2 FCN ストップ・モード

FCN ストップ・モードを利用して CAN コントローラをスタンバイ・モードに設定し、消費電力を節約することができます。FCN モジュールは FCN スリープ・モードからのみ FCN ストップ・モードに入ることができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01<sub>B</sub> に設定することによってのみ解除する (FCN スリープ・モードへ移行する) ことができます。CAN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。FCN ストップ・モードに入っている間は、送信要求が発行されたり保留されたりしても、メッセージは送信されません。

### (1) FCN ストップ・モードへの移行

FCN ストップ・モードへの移行要求を発行するには、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 11<sub>B</sub> に設定します。

FCN ストップ・モードへの移行要求は、FCN モジュールが FCN スリープ・モードに入っている間のみ承認されます。ほかのどのモードでも要求は無視されます。

---

**注意** FCN モジュールを FCN ストップ・モードに設定するには、モジュールが FCN スリープ・モードに入っている必要があります。FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01<sub>B</sub> であることチェックし、モジュールがスリープ・モードに入っていることを確認してから、FCN ストップ・モードへの移行要求を発行してください。この処理の実行中に FCN 受信端子 CRXDn でバス状態が変化した場合、FCN スリープ・モードは自動的に解除されます。その場合、FCN ストップ・モードへの移行要求は承認されません。

---

### (2) FCN ストップ・モードの状態

FCN モジュールは、FCN ストップ・モードに入ると以下の状態になります。

- 内部動作クロックが停止し、消費電力が最小限になります。
- CPU から FCN モジュールをウェイクアップするために FCNnCMCLCTL.FCNnCMCLMDPF[1:0] にデータを設定することはできませんが、ほかの FCN モジュール・レジスタやビットにデータを書き込むことはできません。
- FCNnCMCLISTR レジスタ、FCNnCMRGRX レジスタ、FCNnCMLOSTR レジスタ、FCNnCMTGTX レジスタ以外の FCN モジュール・レジスタを読み出すことができます。
- FCN メッセージ・バッファ・レジスタへの書き込み、読み出しはできません。
- FCNnGMCLCTL.FCNnGMCLSSMO はクリアされます。
- FCNnDNBMRX レジスタを読み出すことはできません。
- 初期化モードへの移行要求は承認されず、無視されます。

### (3) FCN ストップ・モードの解除

FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] に 01<sub>B</sub> を書き込むことによってのみ解除することができます。FCN ストップ・モードを解除すると、FCN モジュールは FCN スリープ・モードに入ります。

FCN モジュールが FCN ストップ・モードに入っている間に初期化モードへの移行要求があった場合、その要求は無視されます。CPU が初期化モードに入るには、ストップ・モードを解除したあと、FCN スリープ・モードを解除する必要があります。FCN ストップ・モードから FCN スリープ・モードを経ずに別の動作モードへ直接移行することはできません。そのような移行要求は無視されます。

### 26.10.3 パワー・セーブ・モードの使用例

一部のアプリケーション・システムでは、消費電力を節約するために CPU をパワー・セーブ・モードにする必要が生じることがあります。FCN モジュール固有のパワー・セーブ・モードと CPU 固有のパワー・セーブ・モードを併用することで、CAN バスによって CPU をパワー・セーブ状態からウェイクアップすることができます。

パワー・セーブ・モードの使用例を以下に示します。

- まず、FCN モジュールを FCN スリープ・モードにします (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 01<sub>B</sub>)。スリープ・モード状態を読み出すことで、スリープ・モード状態への移行を確認したら、CPU をパワー・セーブ・モードにします。FCN モジュールがスリープ・モードに入ったあと、残りのタスクを処理し、FCN ウェイクアップ割り込みが承認されないように、CPU への割り込みを禁止します。この状態で、FCN 受信端子 CRXDn でレセシブからドミナントへのエッジの立ち下がりが検出されると、FCN モジュールの FCNnCMISCTL.FCNnCMISITSF5 が 1 にセットされます。FCNnCMIECTL.FCNnCMIEINT5 が 1 にセットされると、ウェイクアップ割り込み (INTCnWUP) が発生します。FCN モジュールが FCN スリープ・モードから自動的に解除され (FCNnCMCLMDPF[1:0] = 00<sub>B</sub>)、通常の動作モードに戻ります。
- CPU は、INTCnWUP に応答して、CPU のパワー・セーブ・モードを解除し、通常の動作モードに戻ることができます。FCN モジュールのクロックを含む内部クロックを停止させることで、CPU の消費電力をさらに節約することができます。その場合、FCN モジュールに供給される動作クロックは、FCN モジュールが FCN スリープ・モードに入ったあと、停止します。その後、CPU はパワー・セーブ・モードに入り、CPU に供給されるクロックも停止します。
- この状態で、FCN 受信端子 CRXDn でレセシブからドミナントへのエッジの立ち下がりが検出された場合、FCN モジュールは、クロックの供給を受けていなくても、FCNnCMISCTL.FCNnCMISITSF5 を 1 にセットし、ウェイクアップ割り込み INTCnWUP を生成することができます。
- ただし、FCN モジュールへのクロックの供給が停止しているため、それ以外の機能は動作せず、モジュールは FCN スリープ・モード状態にとどまります。
- CPU は INTCnWUP に応答して以下の処理を行います。
  - CPU のパワー・セーブ・モードを解除します。
  - 発振安定時間の経過後、FCN モジュールへ供給されるクロックを含む内部クロックの供給を再開します。
  - 命令の実行を開始します。
- クロックの供給が再開されると、FCN モジュールはただちに FCN スリープ・モードから解除され、通常の動作モードに戻ります (FCNnCMCLCTL.FCNnCMCLMDPF[1:0] = 00<sub>B</sub>)。



## 26.11 割り込み機能

FCN モジュールは 6 個の異なる割り込みソースを持っています。

これらの割り込みソースの発生は、割り込みステータス・レジスタに保存されます。6 個の割り込みソースから 4 個の別々の割り込み要求信号が生成されます。複数の割り込みソースに対応する割り込み要求信号が生成されれば、割り込みステータス・レジスタを使用して、割り込みソースを識別することができます。割り込みソースが発生したあとは、それに対応する割り込みステータス・ビットをソフトウェアで 0 にクリアする必要があります。

表 26-19 FCN モジュール割り込みソースの一覧

番号	割り込みステータスビット FCNnCMISCTL	割り込み許可ビット FCNnCMIECTL <sup>a</sup>	割り込み要求信号	割り込みソースの説明
1	FCNnCMISITSF0	FCNnCMIESEIE0	INTCnTRX	メッセージ・バッファ m からのメッセージ・フレームの送信が成功したことを示します。
2	FCNnCMISITSF1	FCNnCMIESEIE1	INTCnREC	メッセージ・バッファ m が有効なメッセージ・フレームを受信したことを示します。
3	FCNnCMISITSF2	FCNnCMIESEIE2	INTCnERR	FCN モジュール・エラー状態割り込み <ul style="list-style-type: none"> <li>この割り込みは、送信エラー・カウンタまたは受信エラー・カウンタが警告レベルに達しているか、エラー・パッシブ状態またはバスオフ状態にあるときに生成されます。</li> </ul>
4	FCNnCMISITSF3	FCNnCMIESEIE3		FCN モジュール・プロトコル・エラー割り込み <ul style="list-style-type: none"> <li>この割り込みは、スタッフ・エラー、フォーム・エラー、ACK エラー、ビット・エラーまたは CRC エラーが発生すると生成されます。</li> </ul>
5	FCNnCMISITSF4	FCNnCMIESEIE4		FCN モジュールアービトラージ・ロスト割り込み
6	FCNnCMISITSF5	FCNnCMIESEIE5	INTCnWUP	FCN スリープ・モードからの FCN モジュール・ウェイクアップ割り込み <ul style="list-style-type: none"> <li>この割り込みは、FCN 受信端子で立ち下がり（レセシブからドミナントへの CAN バスの変化）が検出されたために、FCN モジュールが FCN スリープ・モードからウェイクアップされると生成されます。</li> </ul>
7	FCNnCMISITSF6	FCNnCMIESEIE6		FCN モジュール送信中断割り込みステータス <ul style="list-style-type: none"> <li>この割り込みは、送信の中断が成功すると（送信を中断されたメッセージが送信されないと）生成されます。</li> </ul>

a) メッセージ・バッファを割り込み生成プロセスに参加させるには、対象となるメッセージ・バッファのメッセージ・バッファ割り込み許可ビット FCNnMmCTL.FCNnMmiENF を 1 にセットする必要があります。



## 26.12 診断機能と特殊な動作モード

FCN モジュールは、CAN バス診断機能または特殊な CAN 通信方式の利用に対応するために、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを備えています。

### 26.12.1 受信オンリー・モード

受信オンリー・モードは、CAN バスに干渉することなく、受信メッセージをモニターするために使用され、CAN バス解析ノードで利用することができます。

たとえば、このモードを自動ポー・レート検出に利用することができます。FCN モジュールのポー・レートは、モジュールの受信ポー・レートが送信ポー・レートと一致するように、「有効な受信」が検出されるまで変化します（「有効な受信」とは、CAN プロトコル・レイヤでエラーなしにメッセージ・フレームが受信され、CAN バスに接続されたノード間で適切な ACK が生成されたことを意味します）。メッセージ・フレームが受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）に保存されなくても有効な受信は成立します。有効な受信は、FCNnCMCLCTL.FCNnCMCLVALF がセット（1）されることで確認できます。

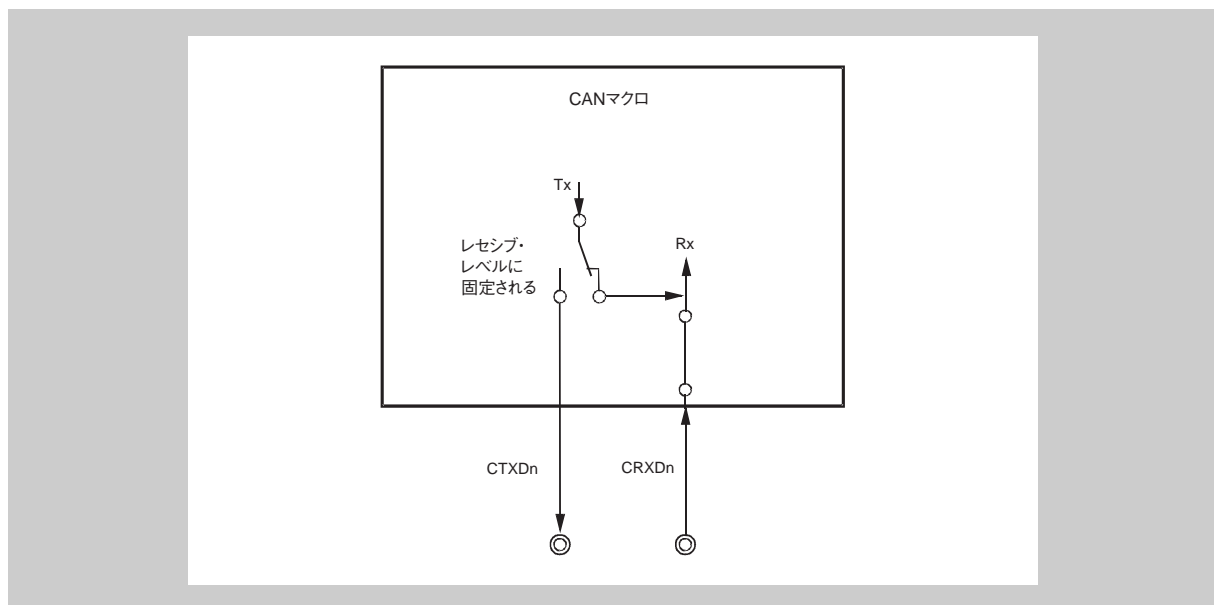


図 26-11 受信オンリー・モードでの FCN モジュール端子の接続

受信オンリー・モードの実行中に FCN モジュールから CAN バスへメッセージ・フレームを送信することはできません。送信メッセージ・バッファとして定義されたメッセージ・バッファに対して発行された送信要求は保留されます。

受信オンリー・モードでは、FCN モジュールの FCN 送信端子 CTXDn がレセプ・レベルに固定されます。したがって、メッセージ・フレームの受信中に CAN バス・エラーが検出されても、FCN モジュールから CAN バスへアクティブ・エラー・フラグを送信することはできません。FCN モジュールから何も送信することができないため、送信エラー・カウンタ FCNnCMERCNT.TEC7 ~ FCNnCMERCNT.TEC0 ビットが更新されることは

ありません。したがって、受信オンリー・モードを実行中のFCNモジュールがバスオフ状態に入ることはありません。

また、受信オンリー・モードでは、メッセージ・フレームの有効な受信が行われても、CANバスへACKが返されることはありません。内部的には、ローカル・ノードは自分がACKを送信したことを認識します。オーバロード・フレームをCANバスに送信することはできません。

---

**注意** 2つのCANノードのみがCANバスに接続されている状態で、一方のノードが受信オンリー・モードで動作している場合、CANバス上でACKが送信されることはありません。ACKが検出されないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードはメッセージ・フレームを16回送信したあと、エラー・パッシブ状態になります（最初にエラー・カウンタが0になっていて、ほかのエラーが発生しなかった場合）。17回目にメッセージ・フレームを送信したあと、送信ノードはパッシブ・エラー・フラグを生成します。受信オンリー・モードを実行中の受信ノードは、この時点で初めて有効なメッセージ・フレームを検出し、FCNnCMCLCTL.FCNnCMCLVALFビットが初めて1にセットされます。

---

## 26.12.2 シングル・ショット・モード

シングル・ショット・モードでは、CAN プロトコルで定義されている自動再送信がオフになります (CAN プロトコルによれば、アービトレーション・ロストまたはエラーの発生によって中断されたメッセージ・フレームの送信は、ソフトウェアによる制御なしに、繰り返す必要があります)。シングル・ショット・モードのそれ以外のすべての動作は通常動作モードと同じです。シングル・ショット・モードの機能を ABT 付き通常動作モードと組み合わせることはできません。

シングル・ショット・モードでは、送信を中断されたメッセージ・フレームの再送信を FCNnCMCLCTL.FCNnCMCLALBF の設定に従って禁止します。FCNnCMCLALBF が 0 にクリアされていると、アービトレーション・ロストおよびエラーが発生したときの再送信が禁止されます。FCNnCMCLALBF が 1 にセットされていると、エラーが発生したときの再送信が禁止されますが、アービトレーション・ロストが発生したときの再送信は許可されます。したがって、送信メッセージ・バッファとして定義されているメッセージ・バッファの FCNnMmCTL.FCNnMmTRQF は、以下のイベントが発生すると 0 にクリアされます。

- メッセージ・フレームの送信が成功したとき
- メッセージ・フレームの送信中にアービトレーション・ロストが発生したとき
- メッセージ・フレームの送信中にエラーが発生したとき

アービトレーション・ロスト・イベントとエラー発生イベントは、それぞれ FCNnCMISCTL.FCNnCMISITSF4 と FCNnCMISCTL.FCNnCMISITSF3 をチェックすることで識別でき、エラーのタイプは FCNnCMCLCSTR.FCNnCMCLCSSLC[2:0] を読み出すことで識別できます。

メッセージ・フレームの送信が成功すると、送信完了割り込みビット FCNnCMISCTL.FCNnCMISITSF0 が 1 にセットされます。そのとき、FCNnCMIECTL.FCNnCMIEINTF0 が 1 にセットされていれば、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイムトリガ型通信方式 (TTCAN レベル 1) のエミュレートに利用できます。

---

**注意** FCNnCMCLCTL.FCNnCMCLALBF はシングル・ショット・モードでのみ有効です。ほかの動作モードでアービトレーション・ロストが発生したときの再送信にこのビットが影響を及ぼすことはありません。

---

### 26.12.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CANバスにCANノードを接続することなく、またはCANバスに影響を与えることなく、メッセージ・フレームの送信と受信をテストすることができます。

セルフ・テスト・モードでは、FCNモジュールがCANバスから完全に切り離され、送信と受信が内部でループバックします。FCN送信端子CTXDnはレセプ・レベルに固定されます。

ただし、FCNモジュールがセルフ・テスト・モードからFCNスリープ・モードへ入ったあと、FCN受信端子CRXDnで立ち下がりが検出されれば、モジュールは、ほかの動作モードからスリープ・モードに入ったときと同様に、FCNスリープ・モードから解除されます。モジュールをFCNスリープ・モードの状態に保つには、FCN受信端子CRXDnをポート端子として使用します。

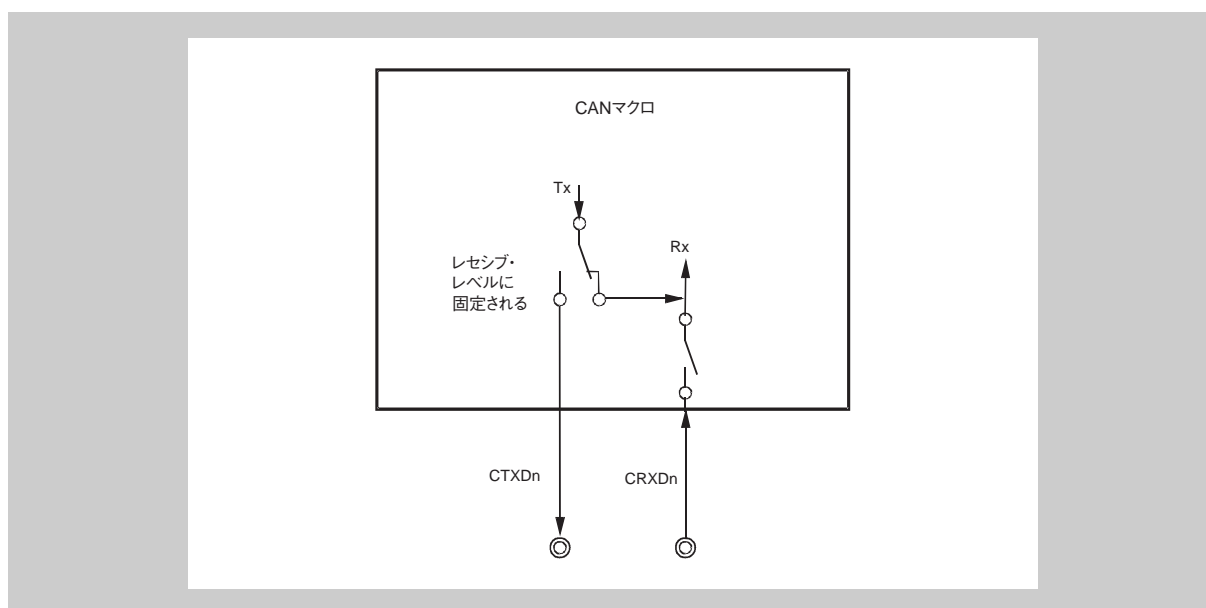


図 26-12 セルフ・テスト・モードでの FCN モジュール端子の接続

### 26.12.4 各動作モードでの送受信動作

各動作モードでの受信／送信動作の概要を以下の表に示します。

表 26-20 各動作モードでの受信／送信の概要

動作モード	データ・フレーム ／リモート・ フレームの送信	ACK の 送信	エラー・フレーム ／オーバーロード・ フレームの送信	送信の 再試行	自動 ブロック 送信 (ABT)	FCNnCMCLVA LFビットの セット	メッセー ジ・バッ ファへの データの保 存
初期化モード	不可能	不可 能	不可能	不可能	不可能	不可能	不可能
通常動作 モード	可能	可能	可能	可能	不可能	可能	可能
ABT 付き通常 動作モード	可能	可能	可能	可能	可能	可能	可能
受信オン リー・モード	不可能	不可 能	不可能	不可能	不可能	可能	可能
シングル・ ショット・ モード	可能	可能	可能	不可能 <sup>a</sup>	不可能	可能	可能
セルフ・ テスト・ モード	可能 <sup>b</sup>	可能 <sup>b</sup>	可能 <sup>b</sup>	可能 <sup>b</sup>	不可能	可能 <sup>b</sup>	可能 <sup>b</sup>

- a) アービトレーション・ロストが発生した場合は、FCNnCMCLCTL.FCNnCMCLALBFによって再送信を制御することができます。
- b) 生成される信号は外部へ出力されず、FCN モジュール内にとどまります。

## 26.13 タイム・スタンプ機能

CAN は非同期のシリアル通信プロトコルです。CAN バスに接続されたすべてのノードは、それぞれが独自のローカルなクロックを使用しています。したがって、各ノードで使用しているクロックの間には何の相互関係もありません（つまり、ノードのクロックは非同期であり、ノードによってクロック周波数が異なる可能性があります）。

しかし、一部のアプリケーションは、ネットワークをまたがる共通のタイム・ベース（グローバル・タイム・ベース）を必要とします。グローバル・タイム・ベースを構築するためにタイム・スタンプ機能を利用します。タイム・スタンプ機能は、基本的に、CANバス上の信号によってトリガされるタイマ値をキャプチャすることによって動作します。

### 26.13.1 タイム・スタンプ機能

CAN コントローラは特定のフレームによってトリガされるタイマ値のキャプチャに対応しています。マイクロコントローラ・システム内のオンチップの16ビット・キャプチャ・タイマ・ユニットをCANコントローラと組み合わせて使用します。16ビット・キャプチャ・タイマ・ユニットは、CANコントローラから送信されたデータ・フレームを受信したときに出力されるキャプチャ用のトリガ信号（TSOUT）に従ってタイマ値をキャプチャします。CPUは、キャプチャされた値を読み出すことで、キャプチャ・イベントが発生した時刻、つまりCANバスから送信されたメッセージの受信時のタイム・スタンプを取り出すことができます。以下の2つのイベント・ソースからTSOUT信号を選択することができます。TSOUT信号はFCNnCMTSCTL.FCNnCMTSSELEによって指定します。

- SOF イベント（フレームの先頭）  
(FCNnCMTSCTL.FCNnCMTSSELE = 0)
- EOF イベント（フレームの末尾の最下位ビット）  
(FCNnCMTSCTL.FCNnCMTSSELE = 1)

TSOUT信号は、FCNnCMTSCTL.FCNnCMTSTSGE = 1にセットすることによって許可されます。

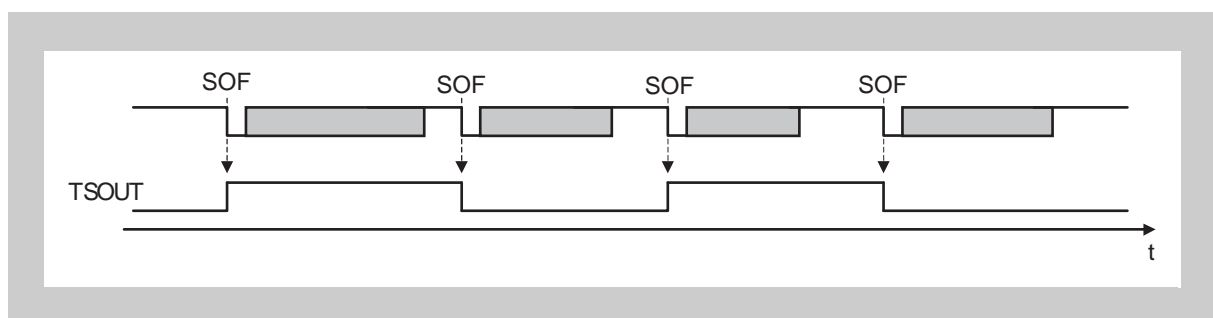


図 26-13 キャプチャ信号 TSOUT のタイミング図

データ・フレームの受信時、選択されているイベントが発生するたびに、TSOUT信号のレベルがトグルします（図26-13「キャプチャ信号 TSOUT のタイミング図」では、SOFがトリガ・イベント・ソースとして使用されています）。TSOUT信号を利用してタイマ値をキャプチャするには、キャプチャ・タイマ・ユニットがキャプチャ信号の立ち上がりと立ち下りの両方を検出する必要があります。

このタイム・スタンプ機能は、FCNnCMSTCTL レジスタの FCNnCMSTSLOKE ビットによって制御されます。FCNnCMSTSLOKE が 0 にクリアされている場合、TSOUT 信号は、選択されているイベントが発生するたびにトグルします。FCNnCMSTSLOKE が 1 にセットされている場合も、TSOUT 信号は選択されているイベントが発生するたびにトグルしますが、メッセージ・バッファ 0 へのメッセージの保存が始まると同時に FCNnCMSTCTL.FCNnCMTSTSGE が自動的に 0 にクリアされ、信号のトグルが停止します。そのため、それ以降は TSOUT 信号のトグルが停止し、最後に信号がトグルしたときの（最後にキャプチャされた）タイム・スタンプ値をメッセージ・バッファ 0 でデータ・フレームを受信したときのタイム・スタンプ値として保存することができます。

---

**注意** FCNnCMSTSLOKE ビットを使用するタイム・スタンプ機能では、メッセージ・バッファ 0 でデータ・フレームを受信したときに TSOUT 信号のトグルを停止させます。メッセージ・バッファ 0 以外のメッセージ・バッファでデータ・フレームを受信した場合、TSOUT 信号のトグルは停止しません。FCN モジュールが ABT 付き通常動作モードを実行中は、メッセージ・バッファ 0 を送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ 0 でデータ・フレームを受信することはできません。したがって、この動作モードでは、FCNnCMSTSLOKE ビットを利用して TSOUT 信号のトグルを停止させる機能は利用できません。

---

## 26.14 ボー・レートの設定

### 26.14.1 ボー・レートの設定条件

CANコントローラが正しく動作するように、設定値が以下に示す制限値を超えないようにしてください。

- $5 TQ \leq SPT$  (サンプル・ポイント)  $\leq 17 TQ$   
 $SPT = TSEG1 + 1$
- $8 TQ \leq DBT$  (データ・ビット・タイム)  $\leq 25 TQ$   
 $DBT = TSEG1 + TSEG2 + 1 TQ = TSEG2 + SPT$
- $1 TQ \leq SJW$  (同期ジャンプ幅)  $\leq 4 TQ$   
 $SJW \leq DBT - SPT$
- $4 \leq TSEG1 \leq 16$
- $1 \leq TSEG2 \leq 8$

- 備考
1.  $TQ = 1/f_{TQ}$  ( $f_{TQ}$ : CAN プロトコル・レイヤの基本システム・クロック)
  2. TSEG1, TSEG2, SJW の値は以下のレジスタのビットにより定義されます。  
 $TSEG1 = FCNnCMBTCTL.FCnNcMBTS1LG [3:0] + 1$   
 $TSEG2 = FCNnCMBTCTL.FCnNcMBTS2LG [2:0] + 1$   
 $SJW = FCNnCMBTCTL.FCnNcMBTJWL [1:0] + 1$

上記の条件を満たすビット・レートの組み合わせを表 26-21 「設定可能なビット・レートの組み合わせ」に示します。

表 26-21 設定可能なビット・レートの組み合わせ (1/3)

有効なビット・レートの設定					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
DBT 長	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0



表 26-21 設定可能なビット・レートの組み合わせ (2/3)

DBT 長	有効なビット・レートの設定				FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1

表 26-21 設定可能なビット・レートの組み合わせ (3/3)

DBT 長	有効なビット・レートの設定				FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
	シンク・セグメント	プロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTS1L G[3:0]	FCNnCMBTS2 LG[2:0]	
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 <sup>a</sup>	1	2	2	2	0011	001	71.4
7 <sup>a</sup>	1	4	1	1	0100	000	85.7
6 <sup>a</sup>	1	1	2	2	0010	001	66.7
6 <sup>a</sup>	1	3	1	1	0011	000	83.3
5 <sup>a</sup>	1	2	1	1	0010	000	80.0
4 <sup>a</sup>	1	1	1	1	0001	000	75.0

a) 7以下のDBT値の設定は、FCNnCMBRPRSレジスタの値が00<sub>H</sub>以外のときにのみ有効です。

注意 表 26-21 「設定可能なビット・レートの組み合わせ」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CAN バスと CAN トランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

## 26.14.2 代表的なボー・レートの設定例

表 26-22 「代表的なボー・レートの設定例 ( $f_{CANPRE} = 8 \text{ MHz}$ )」と表 26-23 「代表的なボー・レートの設定例 ( $f_{CANPRE} = 16 \text{ MHz}$ )」は、代表的なボー・レートの設定例を示しています。

表 26-22 代表的なボー・レートの設定例 ( $f_{CANPRE} = 8 \text{ MHz}$ ) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0

表 26-22 代表的なポー・レートの設定例 ( $f_{CANPRE} = 8 \text{ MHz}$ ) (2/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタ の分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
125	8	00000111	8	1	5	1	1	0101	000	87.5
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

- 注意 1. 表 26-22 「代表的なポー・レートの設定例 ( $f_{CANPRE} = 8 \text{ MHz}$ )」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。
2.  $f_{CANPRE} \leq 8 \text{ MHz}$  のとき、500 kbit/s を上回るポー・レートは設定できません。

表 26-23 代表的なポー・レートの設定例 ( $f_{CANPRE} = 16 \text{ MHz}$ ) (1/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタの 分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0

表 26-23 代表的なポー・レートの設定例 ( $f_{CANPRE} = 16 \text{ MHz}$ ) (2/2)

ポー・レートの設定値 (単位: kbps)	FCNnCM BRPRS レジスタの 分周比	FCNnCMBRP RS レジスタ の設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ ポイント (単位%)
			DBT 長	シンク・ セグメント	プロップ・ セグメント	フェーズ・ セグメント 1	フェーズ・ セグメント 2	FCNnCMB TS1LG [3:0]	FCNnCMB TS2LG [2:0]	
125	16	00001111	8	1	5	1	1	0101	000	87.5
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表 26-23 「代表的なポー・レートの設定例 ( $f_{CANPRE} = 16 \text{ MHz}$ )」に記載されている値は、ネットワーク・システムの動作を保証するものではありません。CANバスとCANトランシーバの発振エラーと発振遅延を考慮に入れて、設定値がネットワーク・システムに及ぼす影響を入念にチェックしてください。

## 26.15 CANコントローラの動作

本章で示す処理手順は、FCN を運用するときの推奨処理手順です。

本章で推奨されている処理手順を参考にしてプログラムを開発してください。

### 26.15.1 初期化

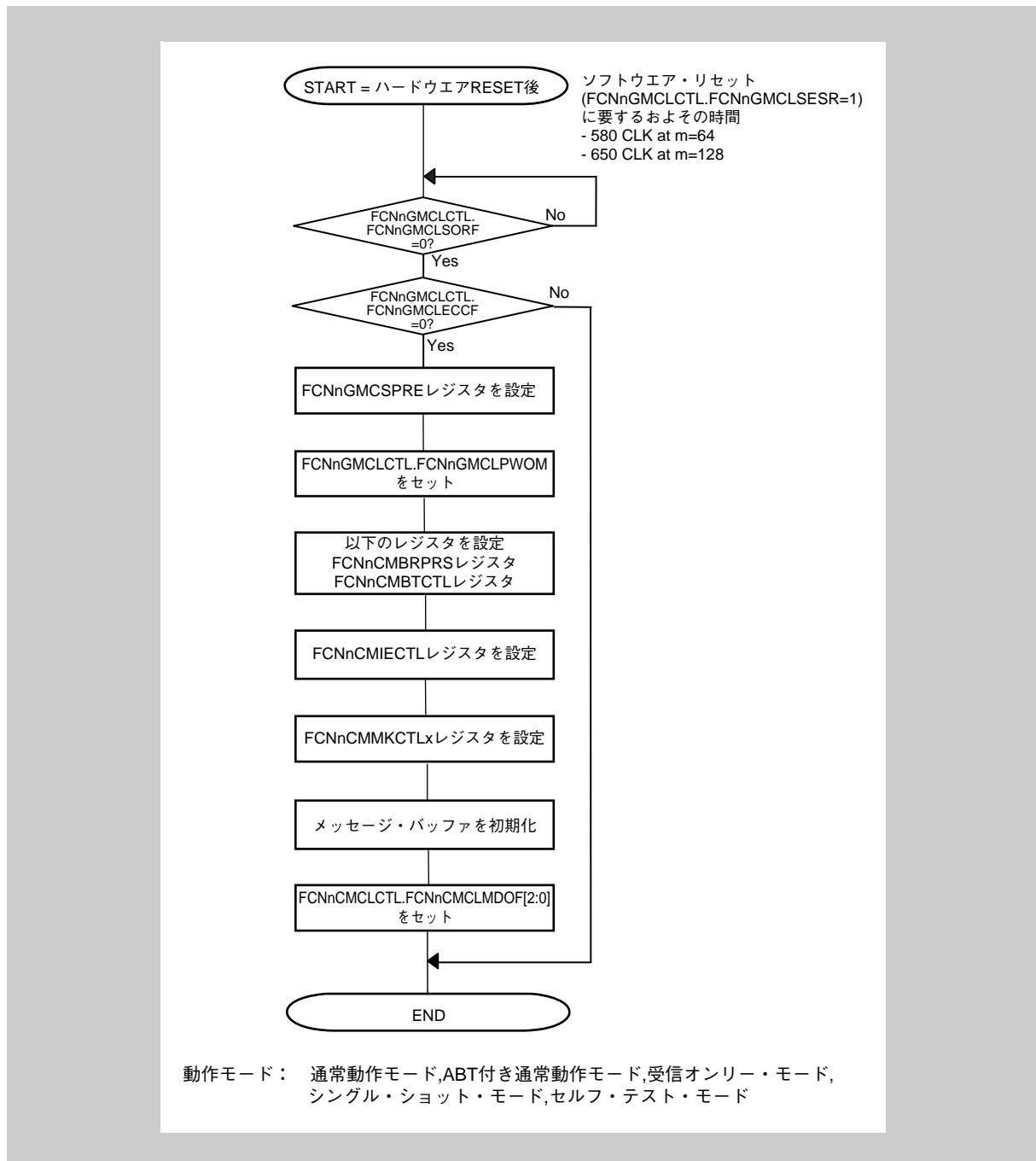


図 26-14 初期化

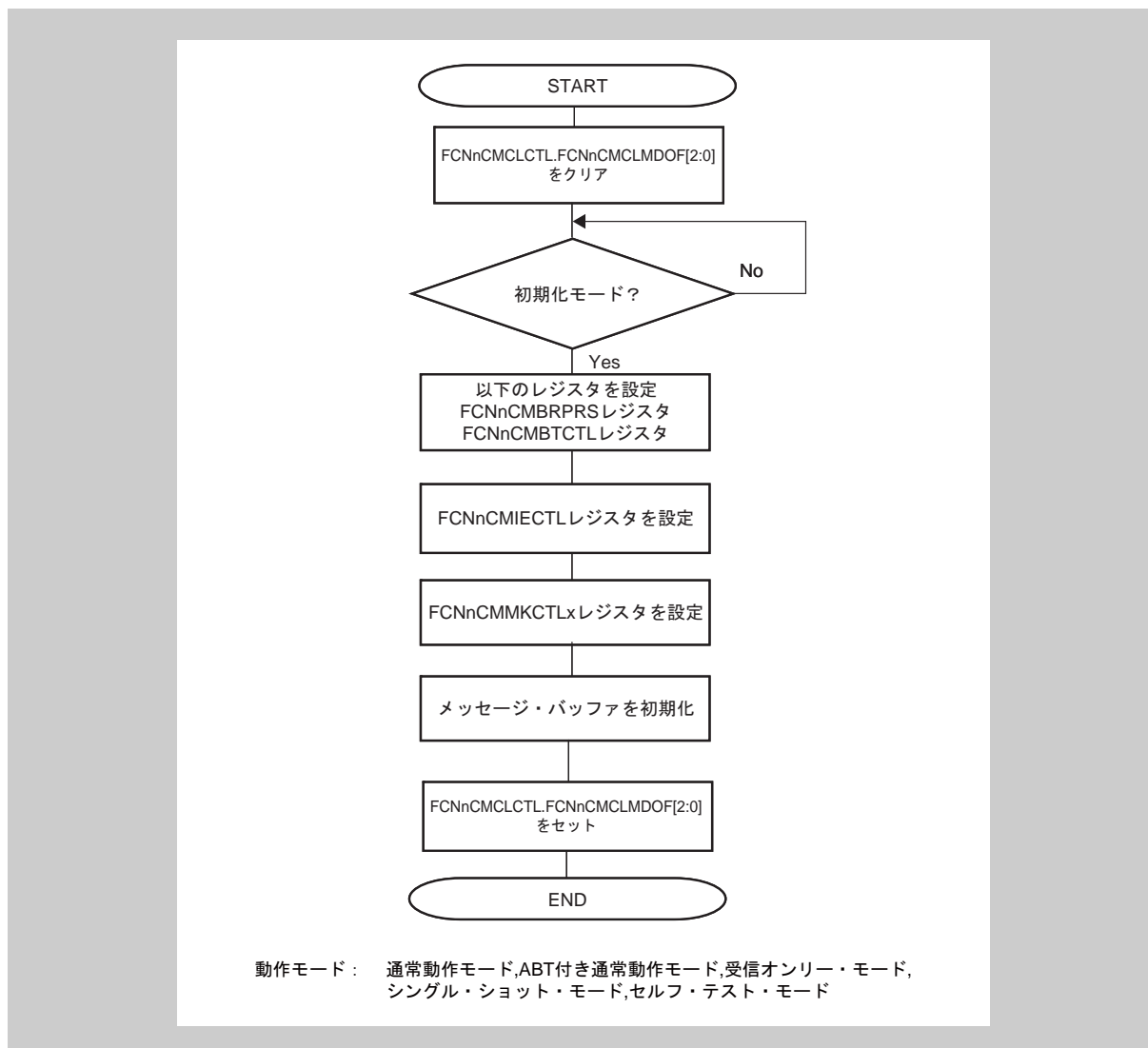


図 26-15 再初期化

**注意** 再初期化中にエラー・カウンタをクリア (FCNnCMCLERCF をセット) する場合には、以下のいずれかの状態で行ってください。

- FCN モジュール起動 (FCNnGMCLPWOM=0 状態から FCNnGMCLPWOM をセット) 後の初期化モード状態時
- 動作モード中に図 26-24 の送信中断処理に従った全ての送信要求クリア後の初期化モード状態時 (ABT 付き通常動作モード中は図 26-25 の送信中断処理に従って全ての送信要求をクリアしてください。)



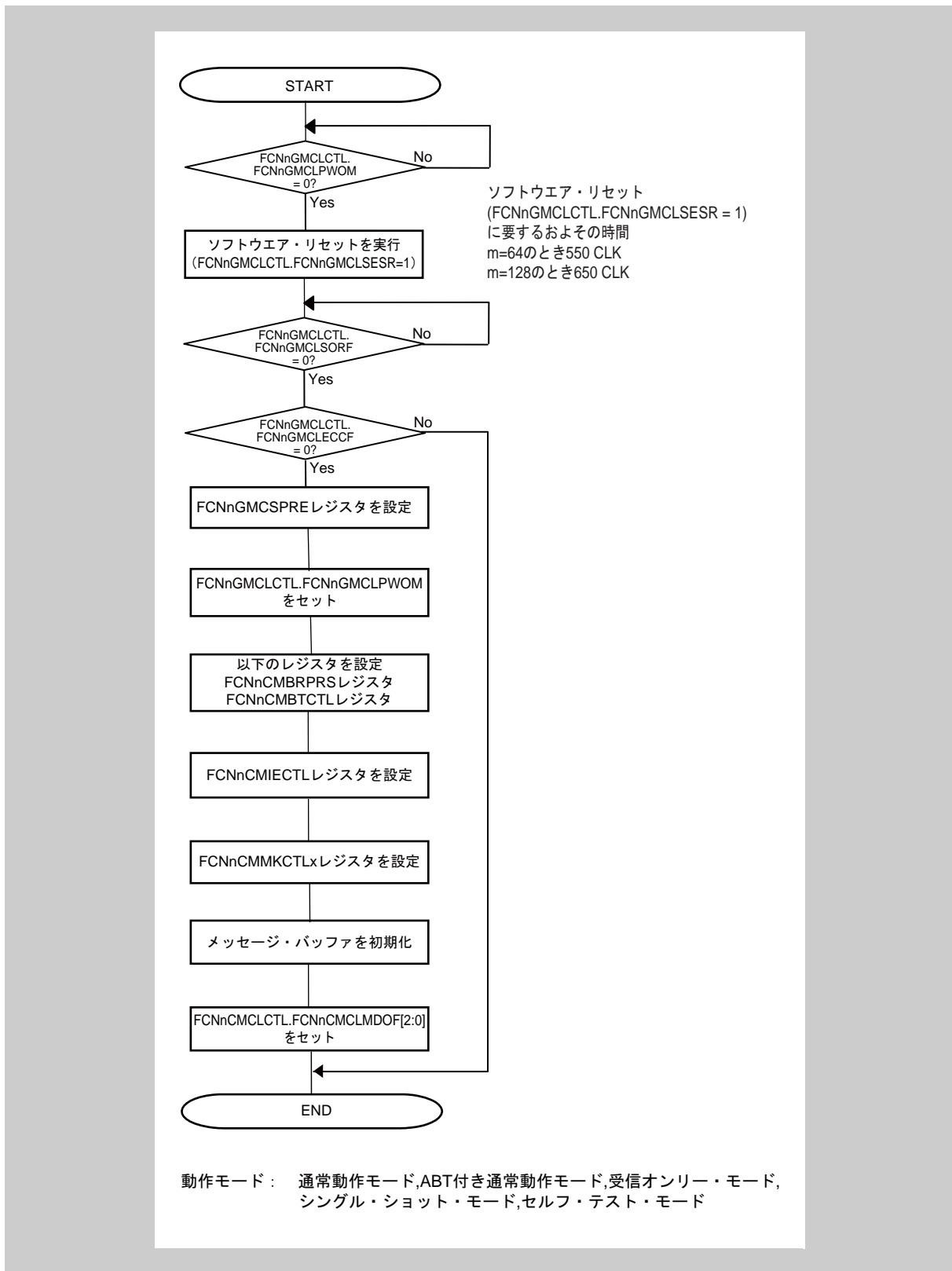


図 26-16 ソフトウェア・リセット機能を利用する再初期化

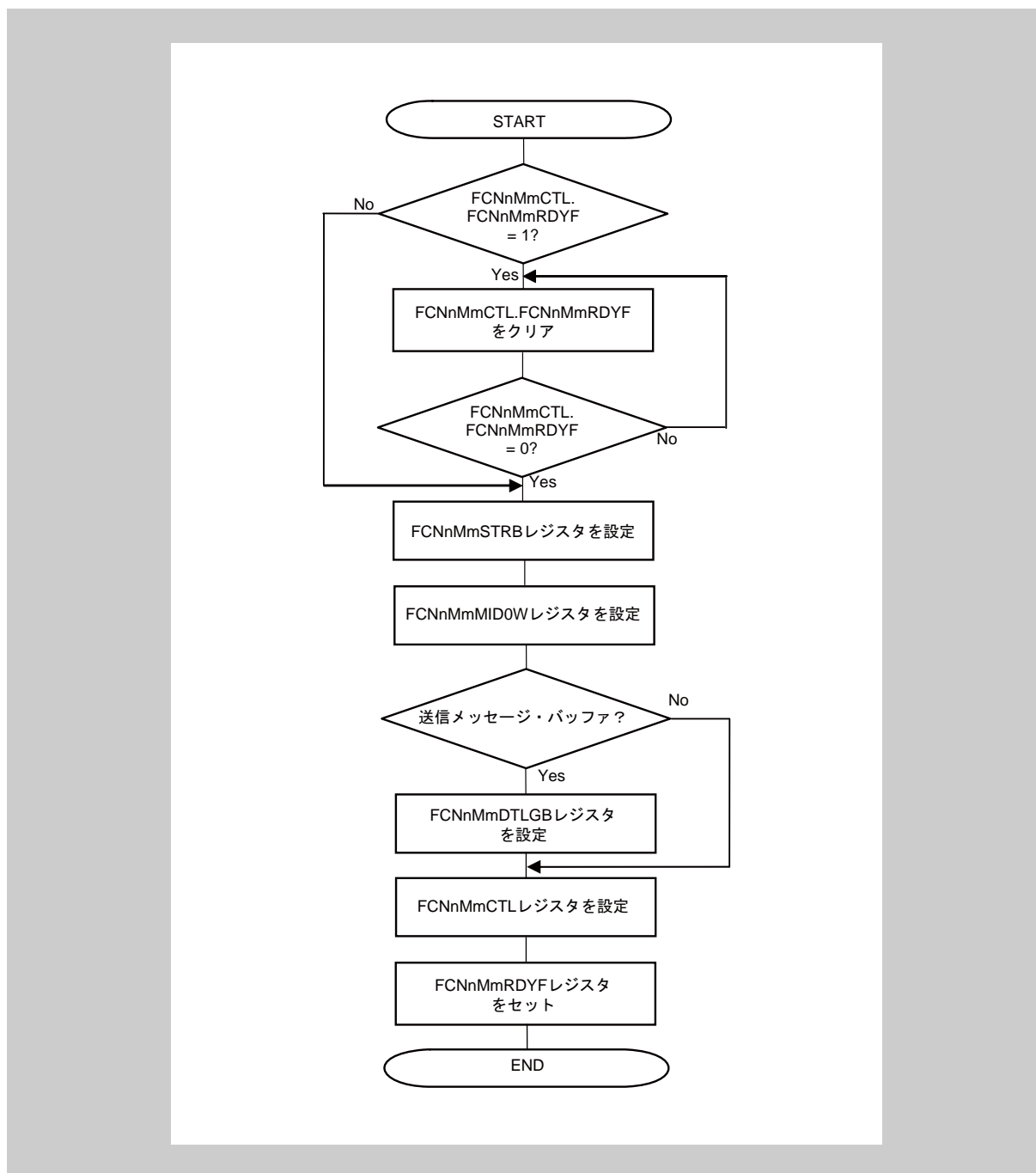


図 26-17 メッセージ・バッファの初期化

- 注意**
1. メッセージ・バッファを初期化する前に、FCNnMmCTL.FCNnMmRDYF をクリアする必要があります。
  2. アプリケーションが使用しないメッセージ・バッファは以下のように設定してください。
    - FCNnMmCTL レジスタの FCNnMmRDYF ビット, FCNnMmTRQF ビット, FCNnMmDTNF ビットを 0 にクリアします。
    - FCNnMmSTRB.FCNnMmSSAM を 0 にクリアします。

図26-18「受信中のメッセージ・バッファの再定義」は、受信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0001<sub>B</sub> ~ 1000<sub>B</sub>)。

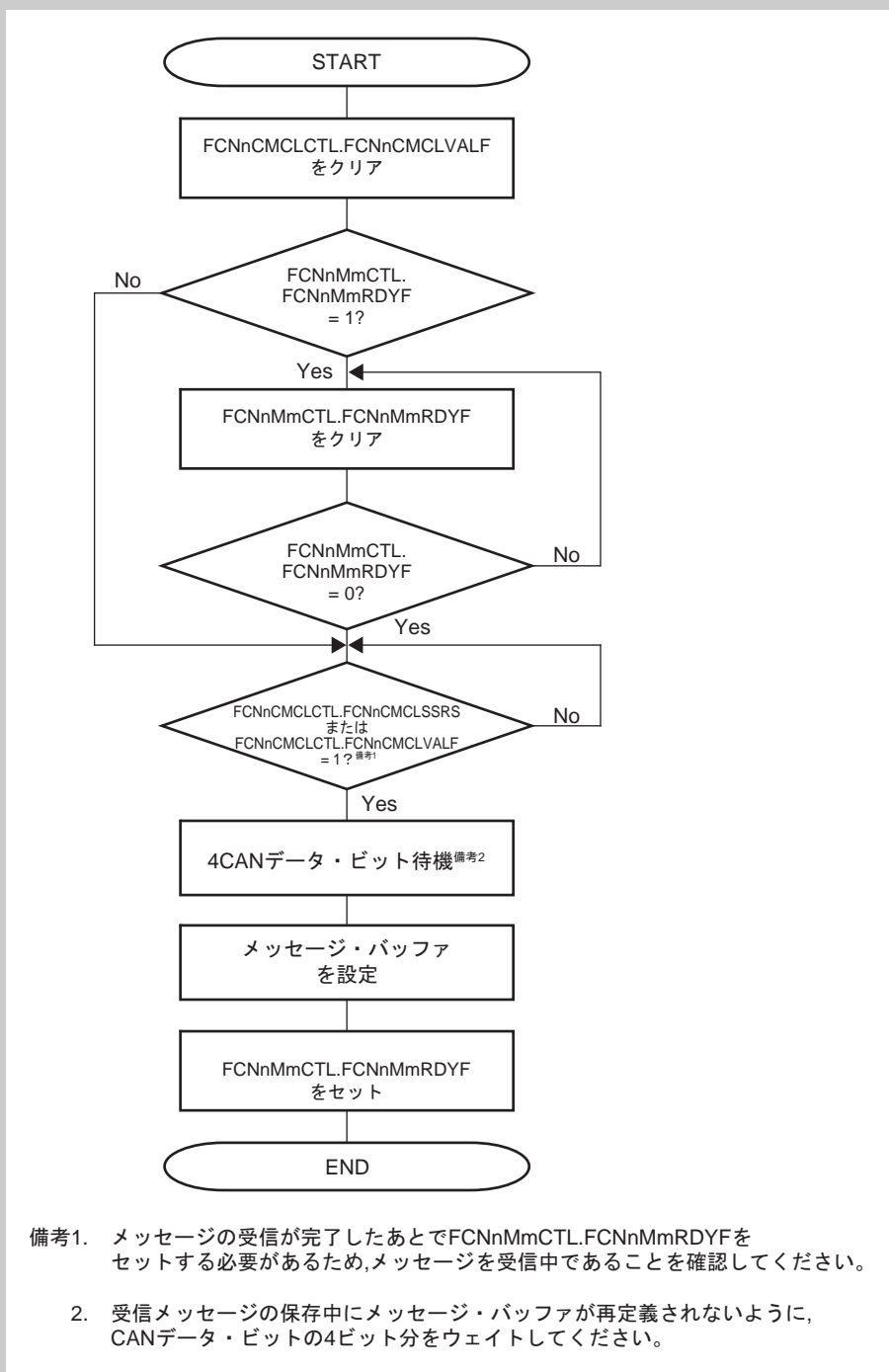


図 26-18 受信中のメッセージ・バッファの再定義

図26-19 「送信中のメッセージ・バッファの再定義」は、送信中の送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000<sub>B</sub>)。

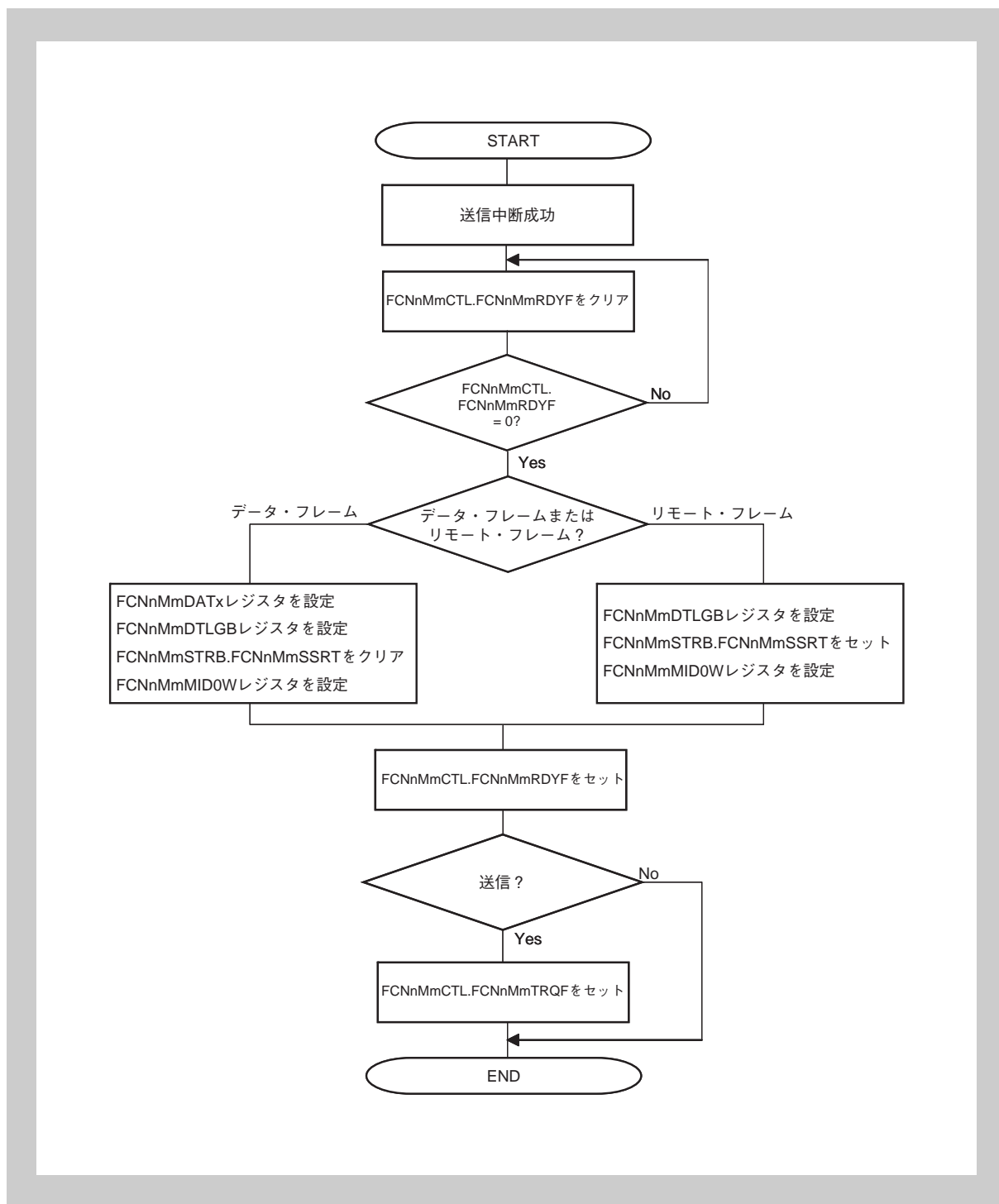


図 26-19 送信中のメッセージ・バッファの再定義

## 26.15.2 メッセージの送信

図26-20「メッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNnMmSTRB.FCNnMmSSMT[3:0] = 0000<sub>B</sub>)。

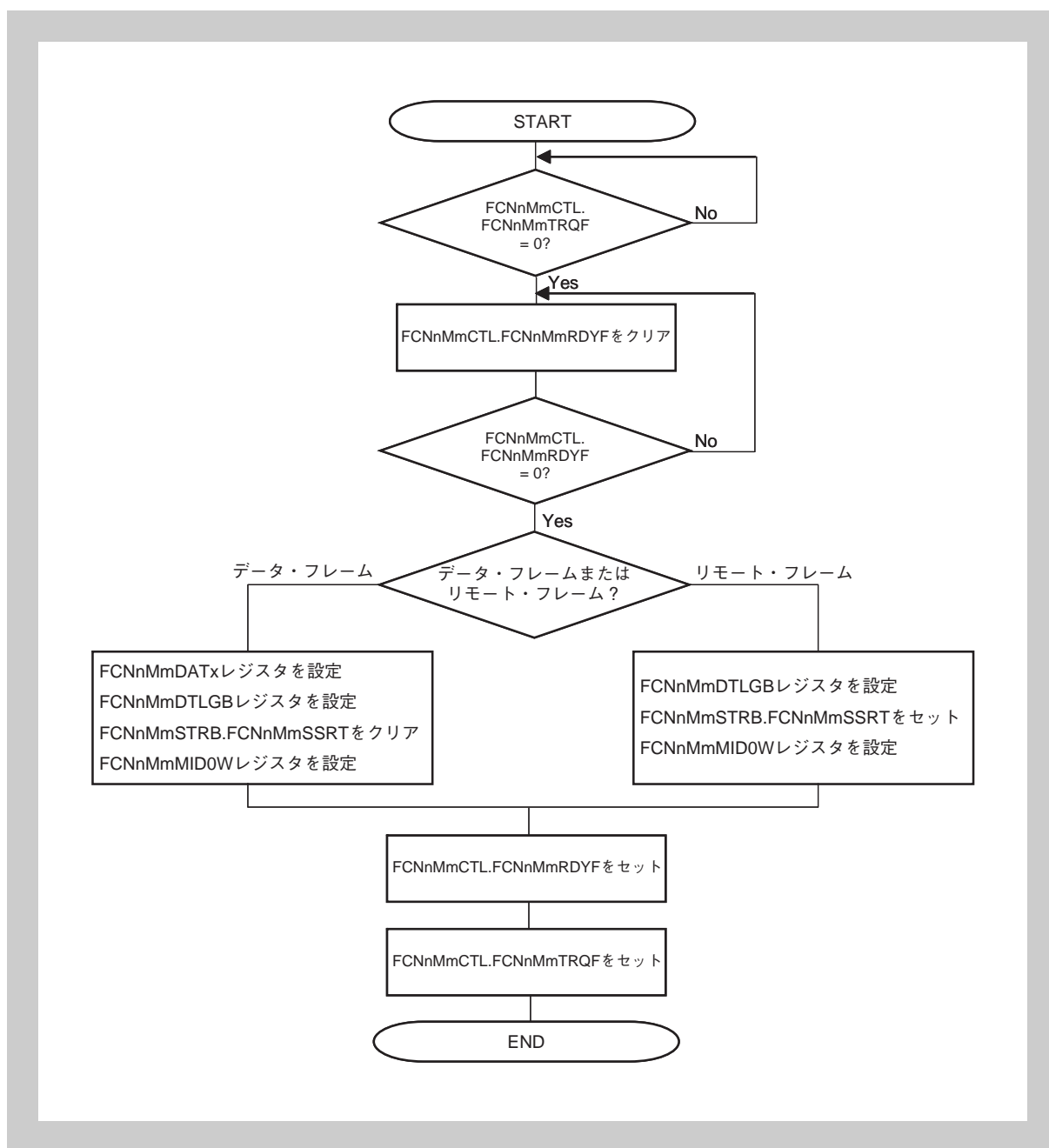


図 26-20 メッセージ送信処理

- 注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
  2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

図26-21 「ABTメッセージ送信処理」は、送信メッセージ・バッファでの処理を示しています (FCNmMSTRB.FCNmMSSMT[3:0] = 0000<sub>B</sub>)。

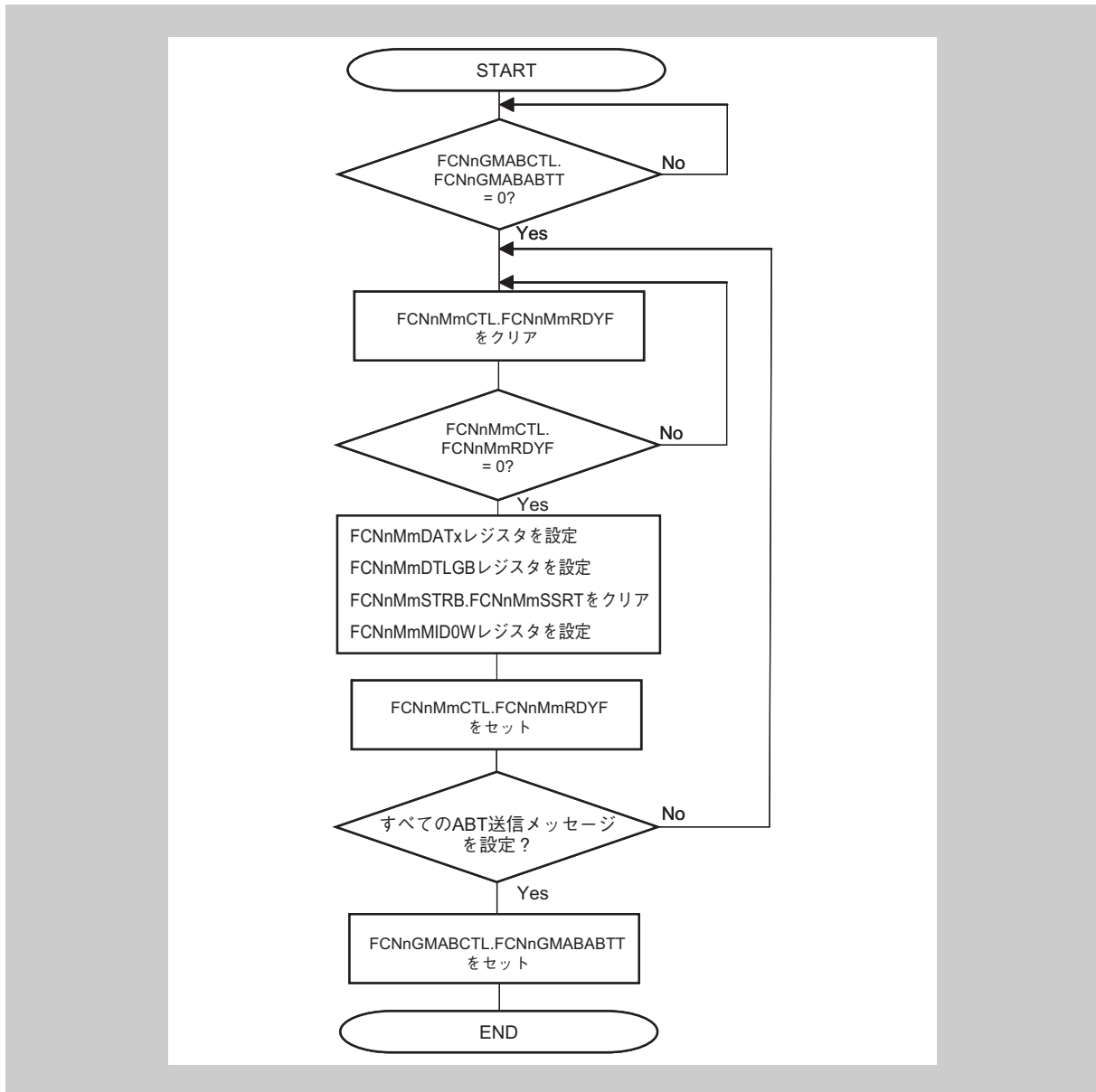


図 26-21 ABT メッセージ送信処理

**注意** FCNmCMCLCTL.FCNmCMCLSSTS が 0 にクリアされてから FCNmMABCTL.FCNmMABSEAT に 1 をセットしてください。この FCNmCMCLCTL.FCNmCMCLSSTS のクリアの確認と FCNmMABCTL.FCNmMABSEAT = 1 の設定は、連続して行ってください。

**備考** この処理 (ABT 付き通常動作モード) は、ABT モードで利用可能なメッセージ・バッファにのみ適用することができます。ABT メッセージ・バッファ以外のメッセージ・バッファについては、図 26-20 「メッセージ送信処理」を参照してください。

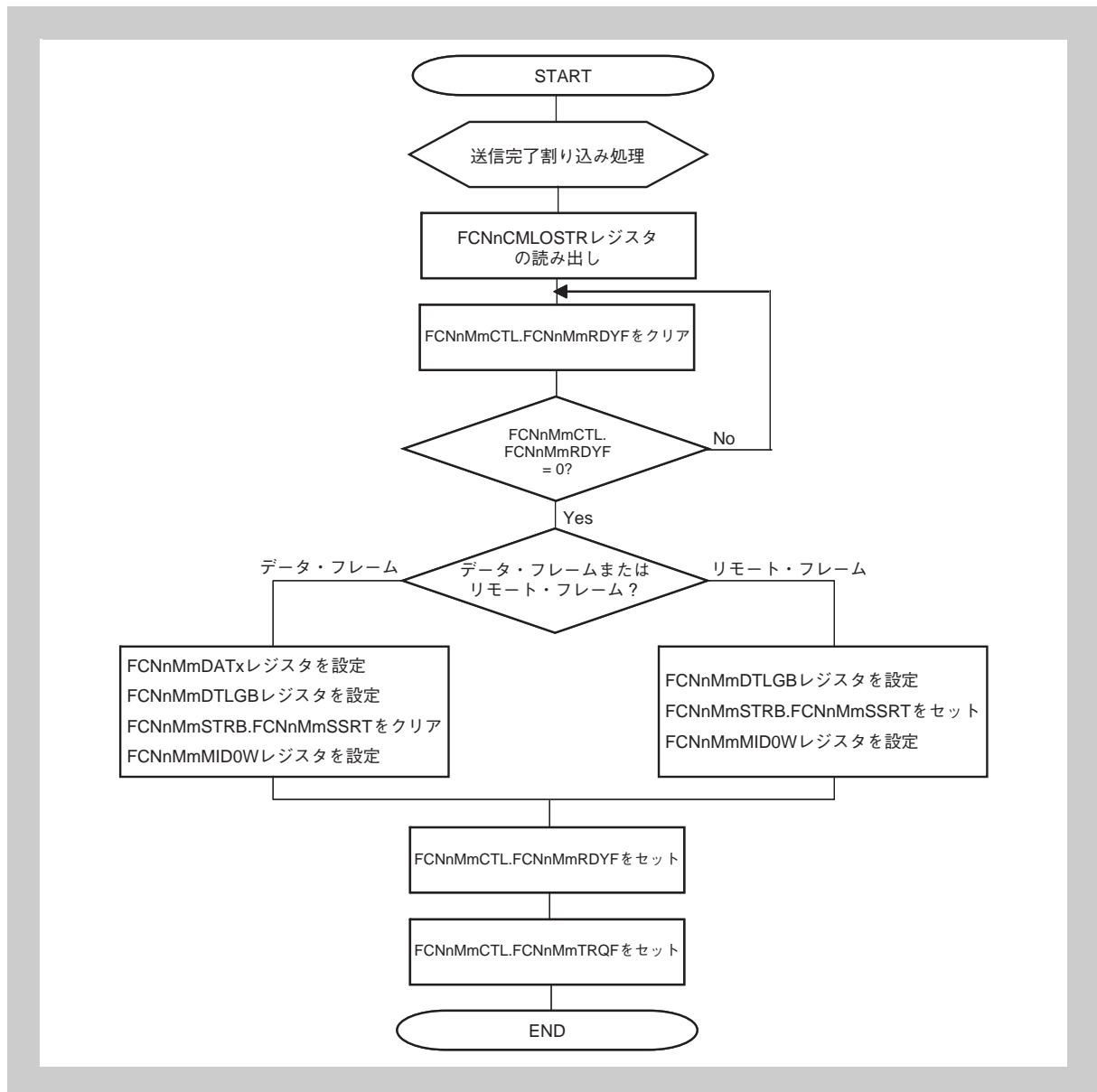


図 26-22 割り込みを利用した送信 (FCNnCMLOSTR レジスタを利用)

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
  2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

**備考** 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

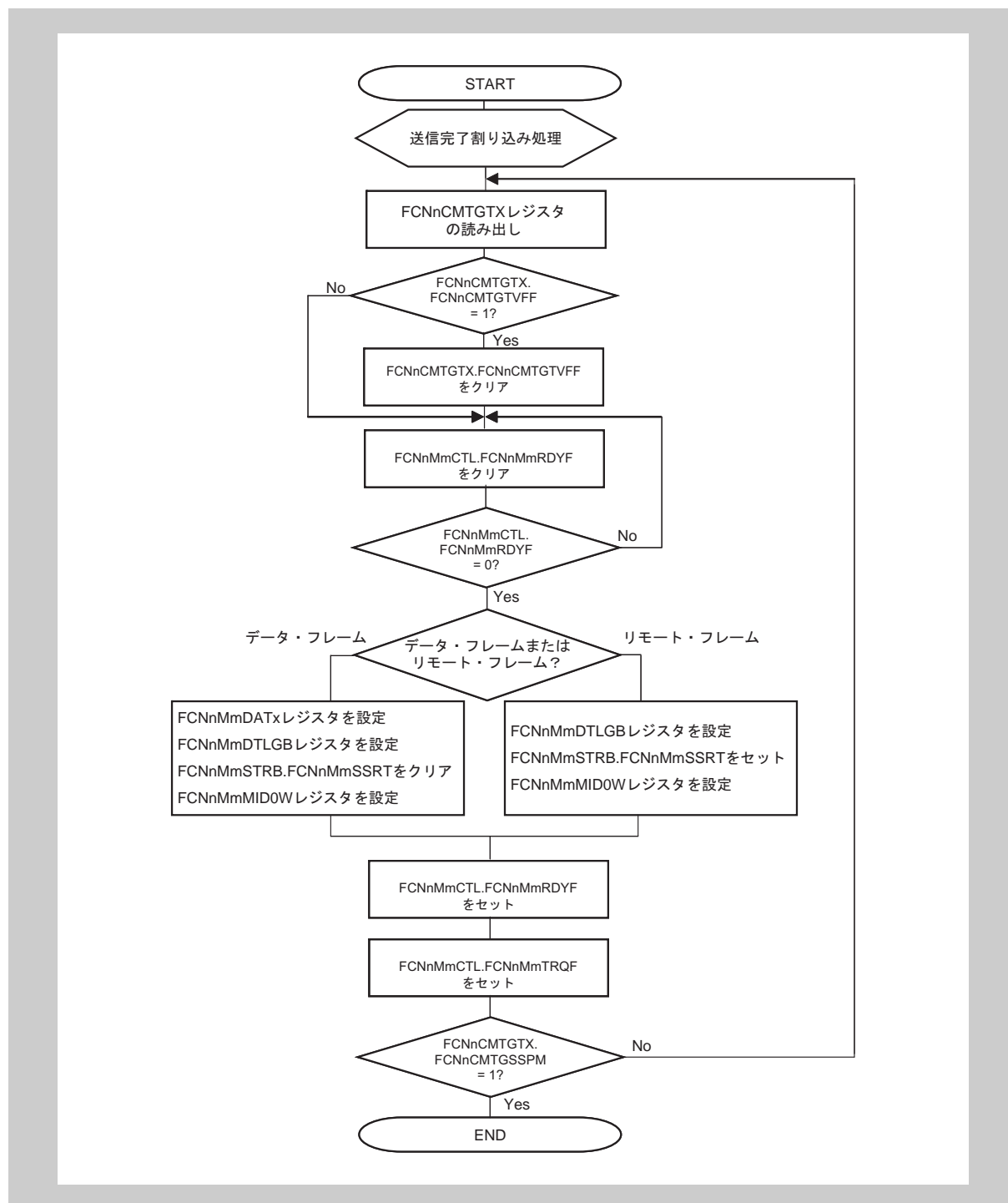


図 26-23 割り込みを利用した送信 (FCNnCMTGTX レジスタを利用)

- 注意
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
  2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。



- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。  
送信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
  2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

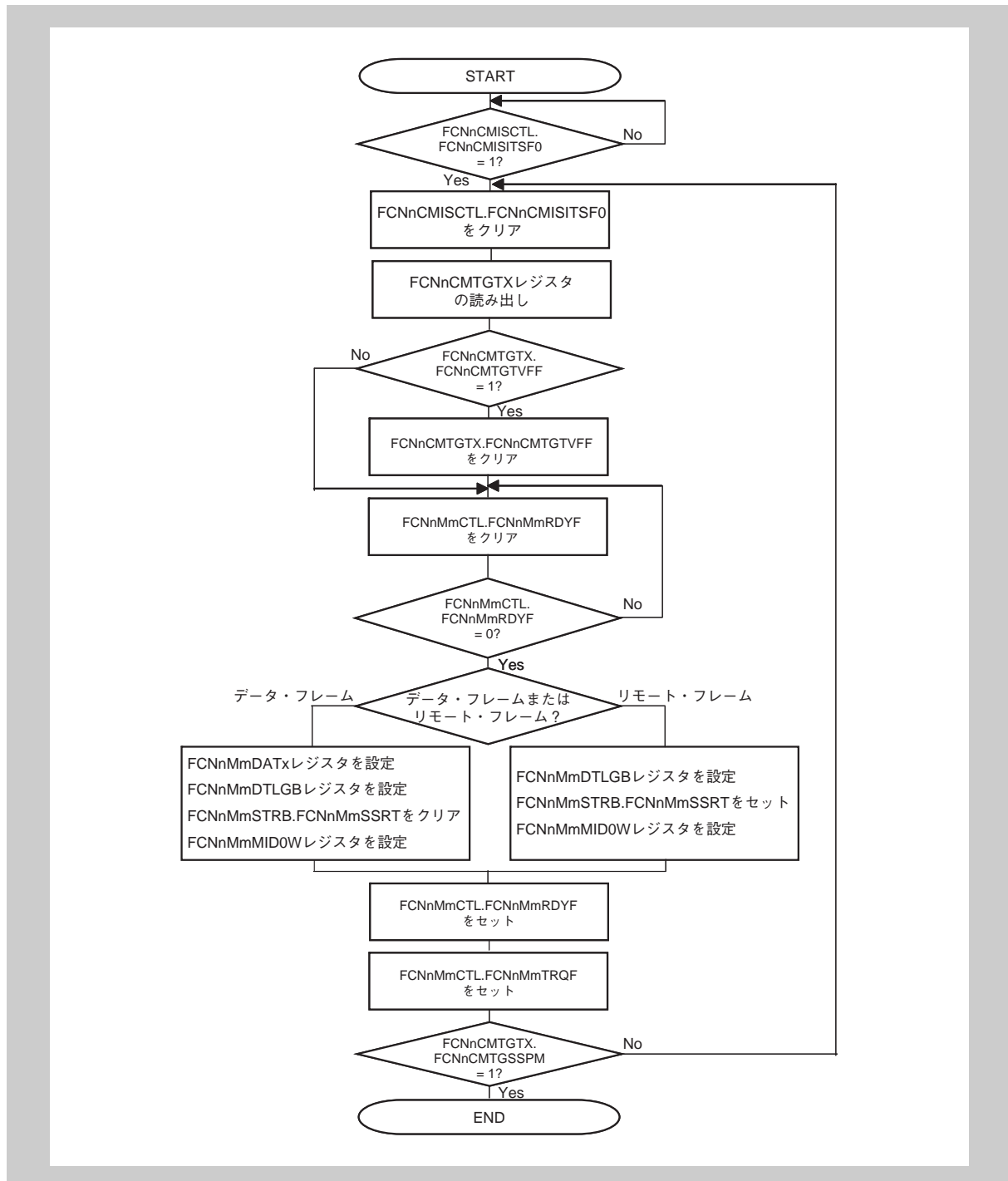


図 26-24 ソフトウェア・ポーリングを利用した送信

- 注意**
1. FCNnMmCTL.FCNnMmTRQF をセットする前に FCNnMmCTL.FCNnMmRDYF をセットする必要があります。
  2. FCNnMmCTL.FCNnMmRDYF と FCNnMmCTL.FCNnMmTRQF を同時にセットしないでください。

- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび送信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
  2. いったん FCNnCMTGTX.FCNnCMTGTVFF をセットすると、送信履歴・リストの整合性が失われます。設定されているすべての送信バッファを調べて、完了した送信を確認することを検討してください。

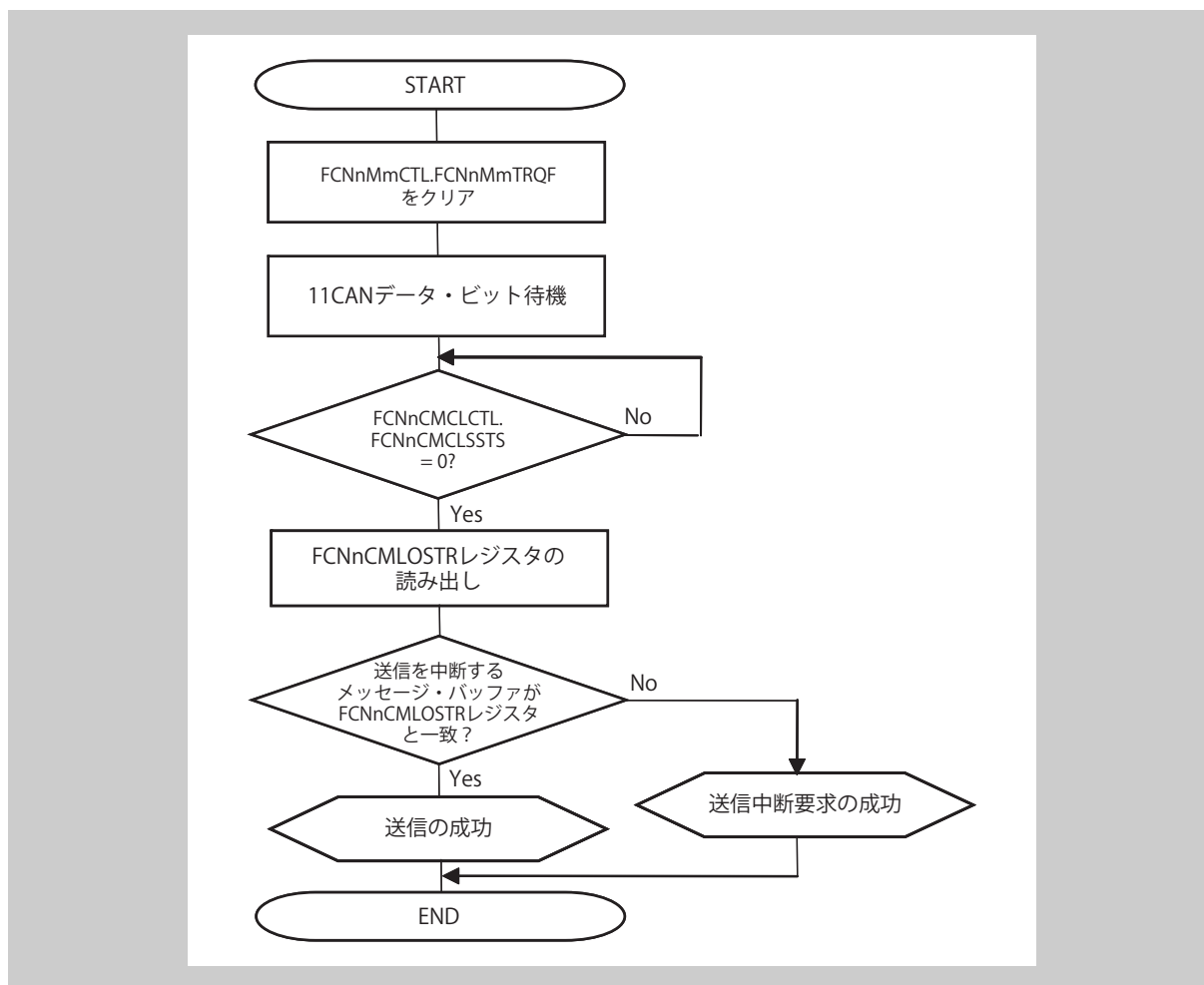


図 26-25 送信中断処理 (ABT 付き通常動作モードの実行中を除く)

- 注意**
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
  2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。
  3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
  4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

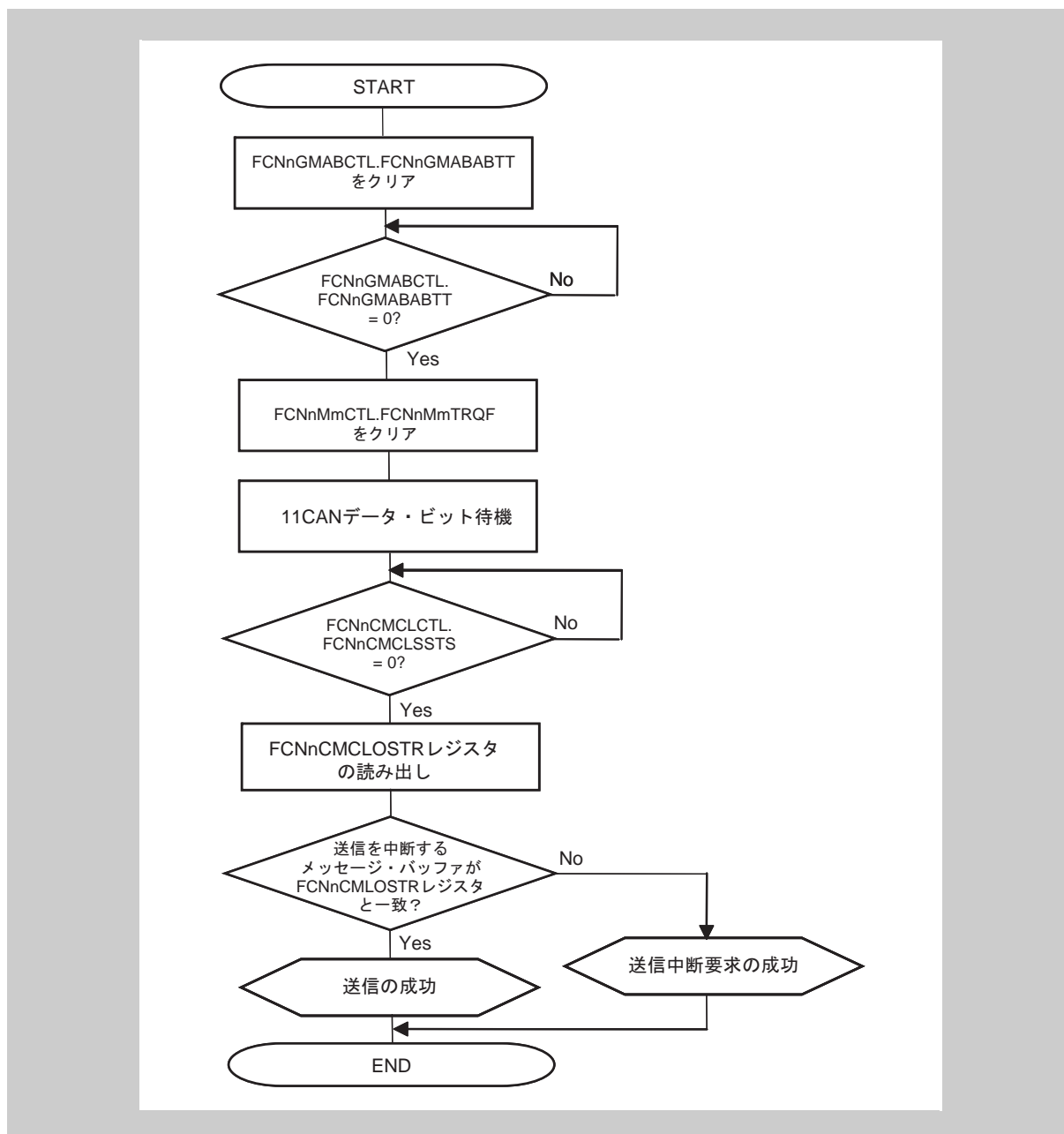


図 26-26 ABT 送信以外の送信中断処理 (ABT 付き通常動作モードの実行中)

- 注意**
1. 送信中断を要求するには、FCNnMmCTL.FCNnMmRDYF ではなく、FCNnMmCTL.FCNnMmTRQF をクリアしてください。
  2. スリープ・モードへの移行要求を発行する前に、この処理を利用する送信要求が残っていないことを確認してください。
  3. FCNnCMCLCTL.FCNnCMCLSSTS は、ユーザ・アプリケーションによって定期的にチェックすることも、送信完了割り込み後にチェックすることもできます。
  4. 送信中断処理の実行中に、ほかのメッセージ・バッファでの送信も含めて、新しい送信要求を実行しないでください。

図26-27「ABT送信要求中断処理 (ABT付き通常動作モードの実行中) (1)」はABTメッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップしない処理を示しています。

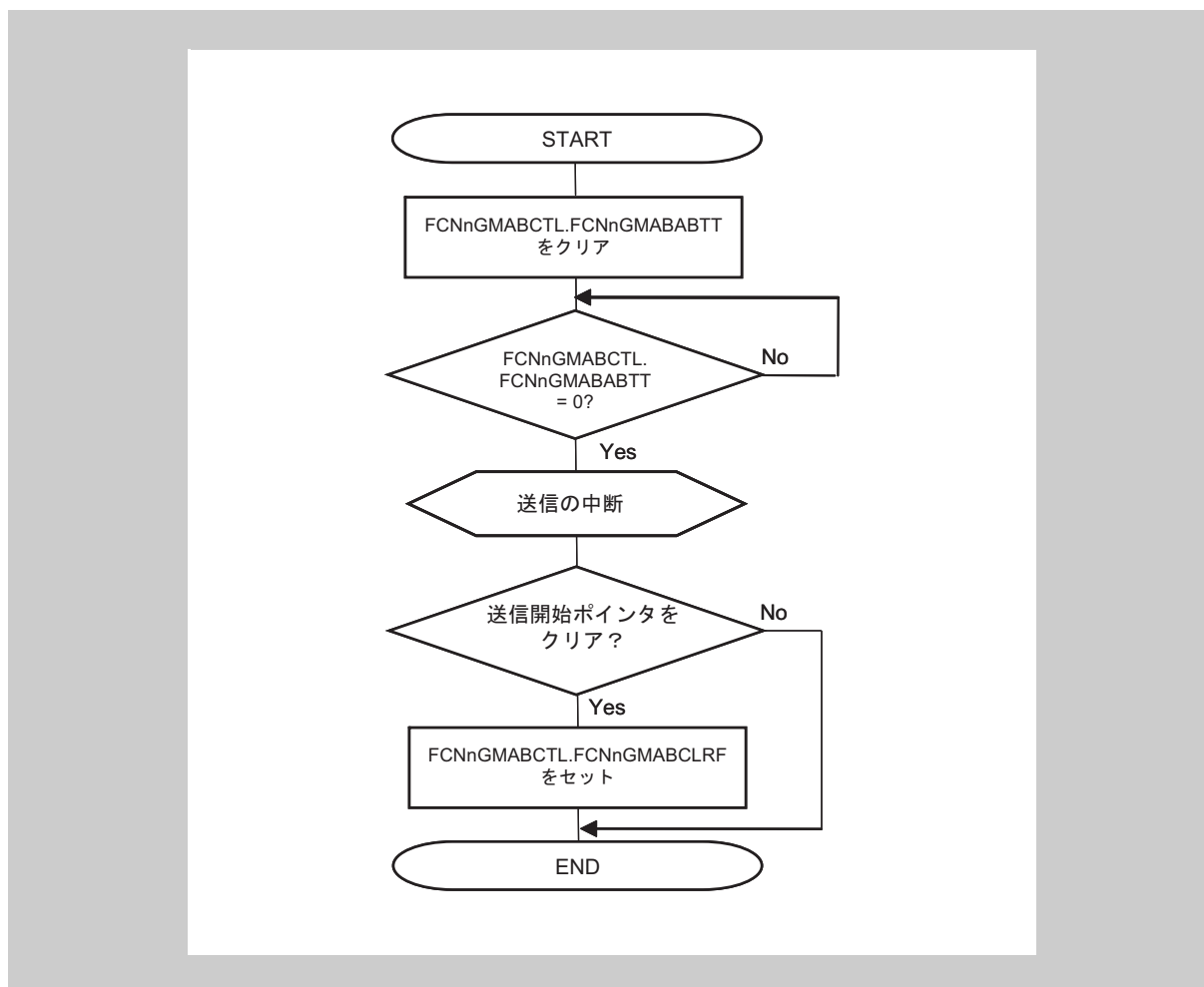


図 26-27 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
  2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図 26-27「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図 26-28「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図 26-25「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図26-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」は ABT メッセージ・バッファの送信が中断されたときに中断されたメッセージ送信の再開をスキップする処理を示しています。

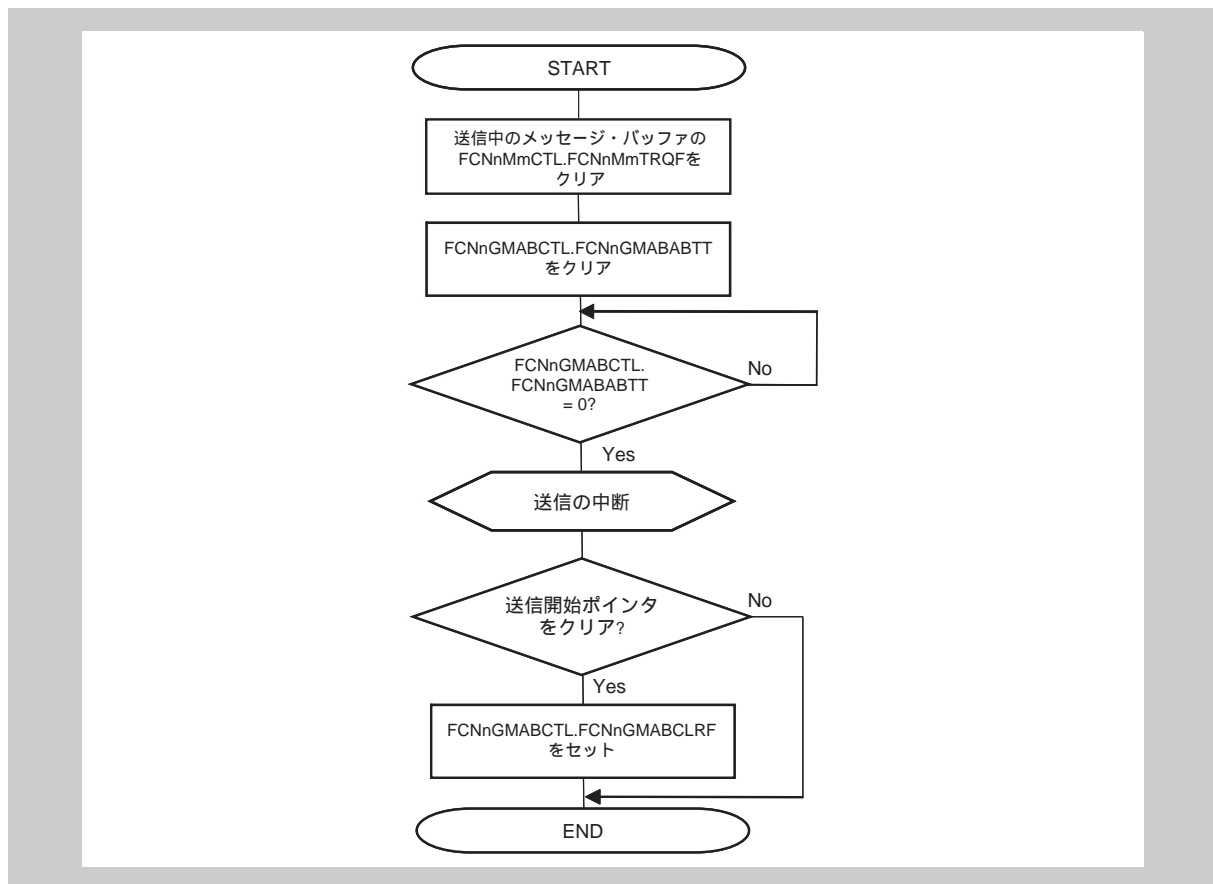


図 26-28 ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)

- 注意
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
  2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図26-27 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図26-28 「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図26-25 「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

図26-29「送信完了フラグを利用したABT送信要求中断処理 (ABT付き通常動作モード)」は、送信中断機能 (送信完了フラグ) を利用したABTモードの処理を示しています。「送信中断の成功」というボックスは、ABTメッセージ・バッファ内のFCNnMmTCPFフラグをチェックすることによって送信中断が成功した状態を示しています。

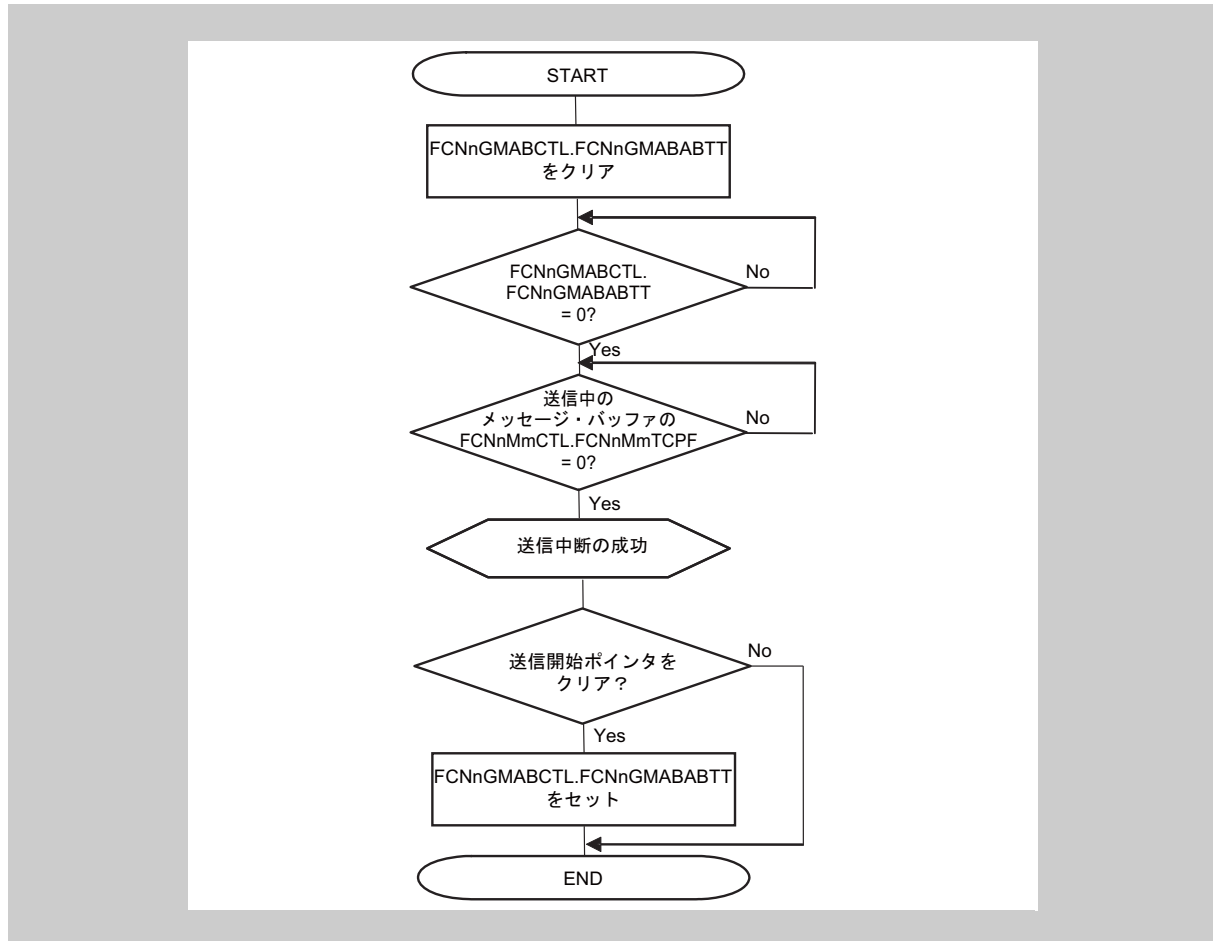


図 26-29 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)

- 注意**
1. ABT 送信中断処理の実行中に送信要求を設定しないでください。
  2. FCN スリープ・モード / FCN ストップ・モードへの移行要求は、図26-27「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (1)」または、図26-28「ABT 送信要求中断処理 (ABT 付き通常動作モードの実行中) (2)」の手順に従って FCNnGMABCTL.FCNnGMABABTT をクリアしたあと (ABT モードを中断したあと) で発行してください。ABT 領域以外の領域で送信要求をクリアする場合は、図26-25「送信中断処理 (ABT 付き通常動作モードの実行中を除く)」の手順に従ってください。

**備考** ATB 送信中断処理が成功したにもかかわらず、すべての ABT が完全に送信されることがあります。その場合は、どのメッセージの送信が完了したかを調べることができます。



図 26-30 「送信中断割り込みと送信完了フラグによる送信中断処理」は、送信中断機能（送信中断割り込み）を利用した処理を示しています。

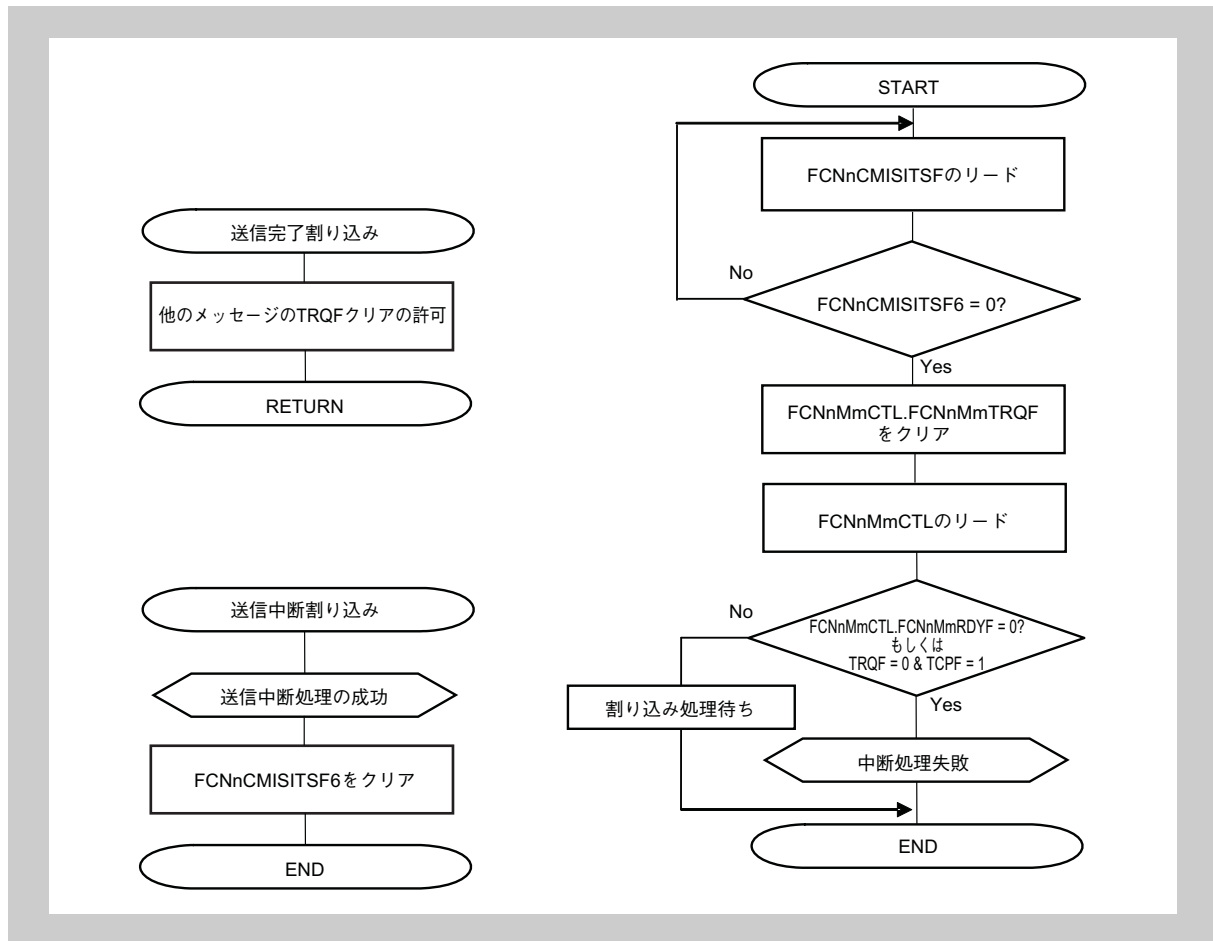


図 26-30 送信中断割り込みと送信完了フラグによる送信中断処理

**備考** FCNnMmRDYF=0 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
  2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
  3. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われないようにしてください。
  4. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
  5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
  6. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

図26-31 「送信完了フラグによる送信中断処理」は、送信中断機能（送信完了フラグ FCNnMmTCPF）を利用した処理を示しています。

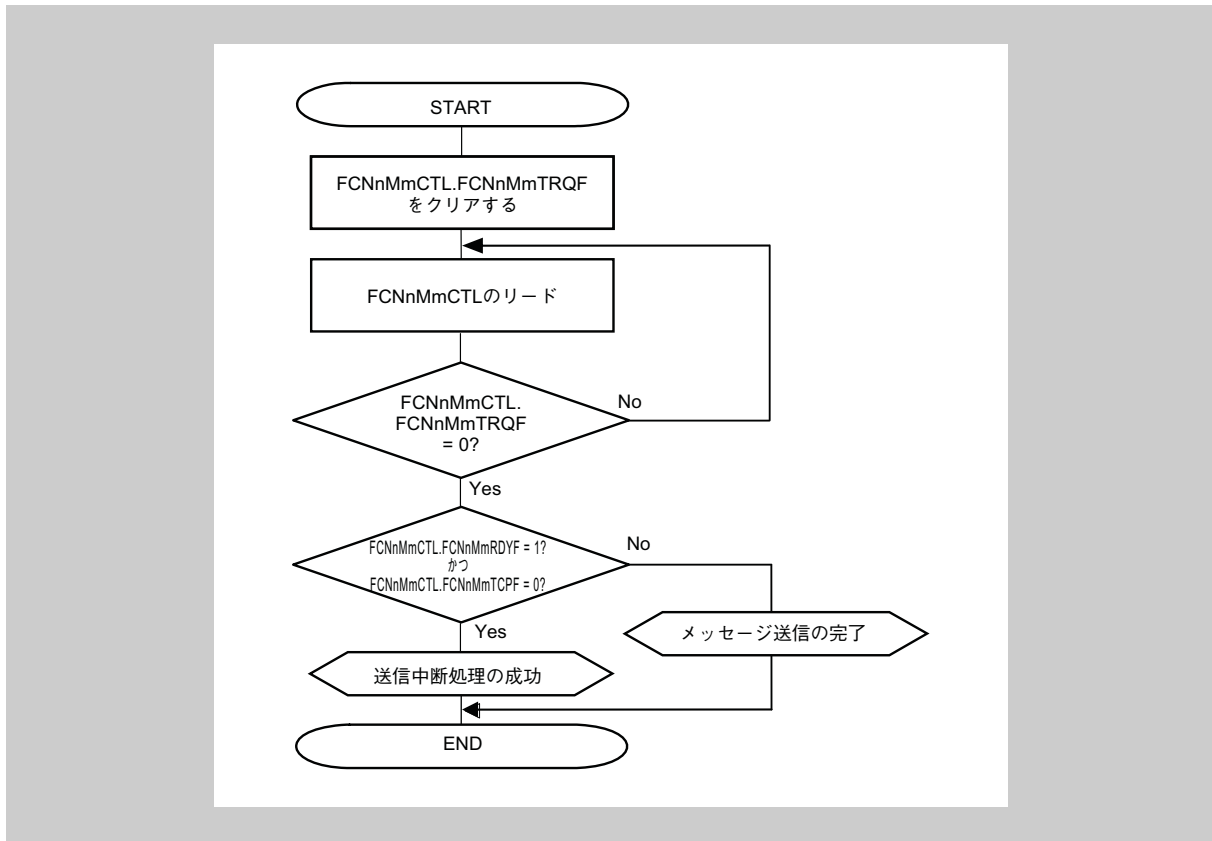


図 26-31 送信完了フラグによる送信中断処理

**備考** FCNnMmRDYF=1 の判定は、割り込みによる送信完了処理中に FCNnMmRDYF がクリアされるケースを考慮したものです。

- 注意**
1. 送信中断処理は、FCNnMmRDYF をクリアして実行するのではなく、FCNnMmTRQF のクリアにより実行してください。
  2. 送信中断処理を実行中に、他のメッセージ・バッファの FCNnMmTRQF のクリアを行わないでください。
  3. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
  4. 送信完了割り込み処理などにより、送信中断処理を実行中に対象となるメッセージの更新 (FCNnMmRDYF, FCNnMmTRQF セット) が行われなないようにしてください。
  5. 送信中断処理後に元の ID より優先順位の低い ID を設定する場合には、FCNnMmTRQF のクリア後 1 フレーム分以上の時間を空けてから送信要求を行ってください。
  6. FCNnMmTRQF と FCNnMmTCPF の読み出しは必ず一度で行ってください。

## 26.15.3 メッセージの受信

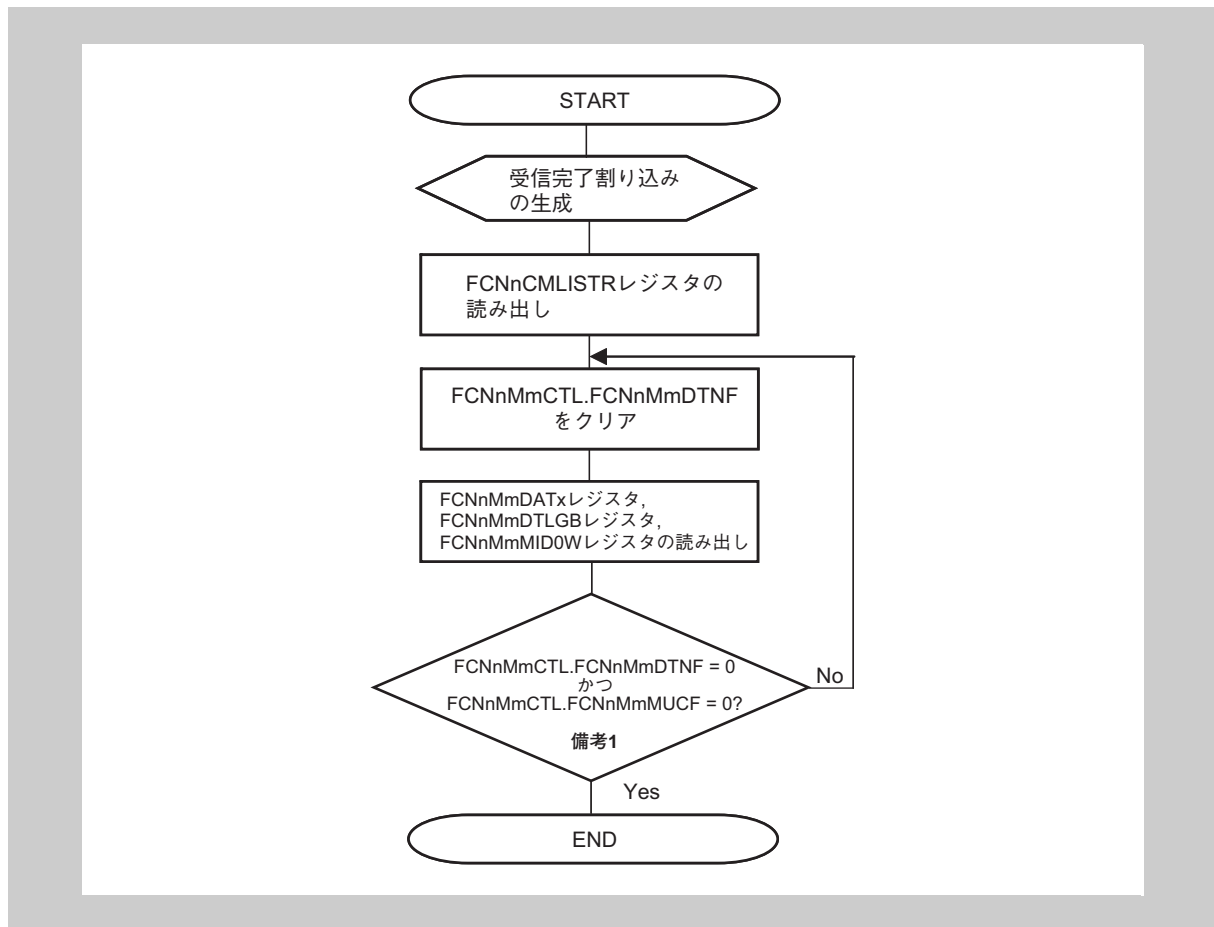


図 26-32 割り込みを利用した受信 (FCNnCMLISTR レジスタを利用)

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
  2. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。  
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。

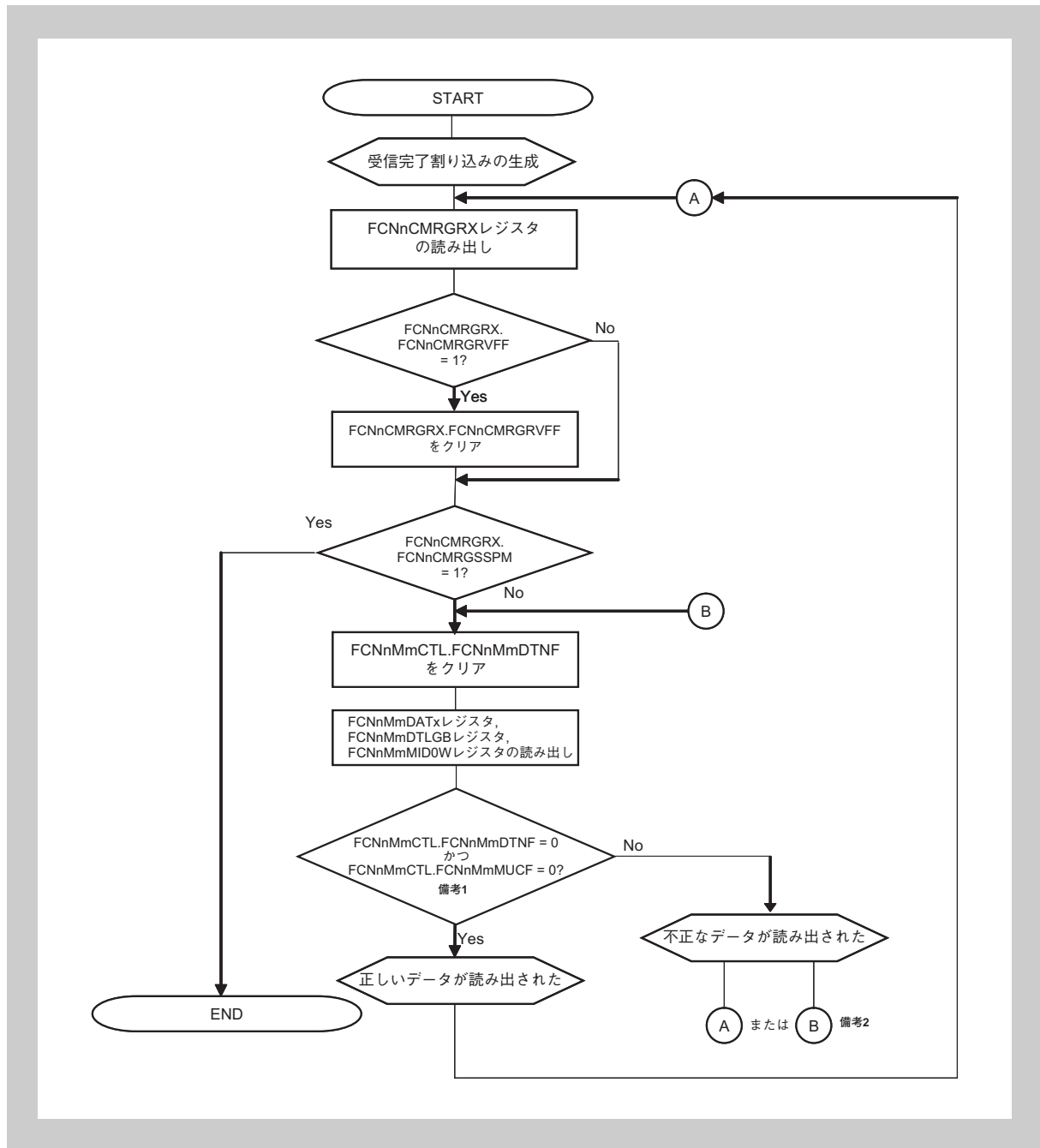


図 26-33 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)

- 備考
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
  2. アプリケーションの処理対象によって2つの方法があります。
    - 方法 A : 次の受信割り込みでメッセージが処理される最も遅いタイミングによっては、現在のパスではなく、次のパスでメッセージが処理されます。ほかのメッセージはその前に処理されます。
    - 方法 B : 現在のパスでメッセージが処理され、現在のメッセージでループが待機状態に入ります。  
ほかのメッセージは、あとで処理されます。
  3. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信ヒストリ・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。  
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
  4. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信ヒストリ・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
  5. 図 26-33 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用)」の方法は、代わりに図 26-34 「割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法」の方法を利用することができます。

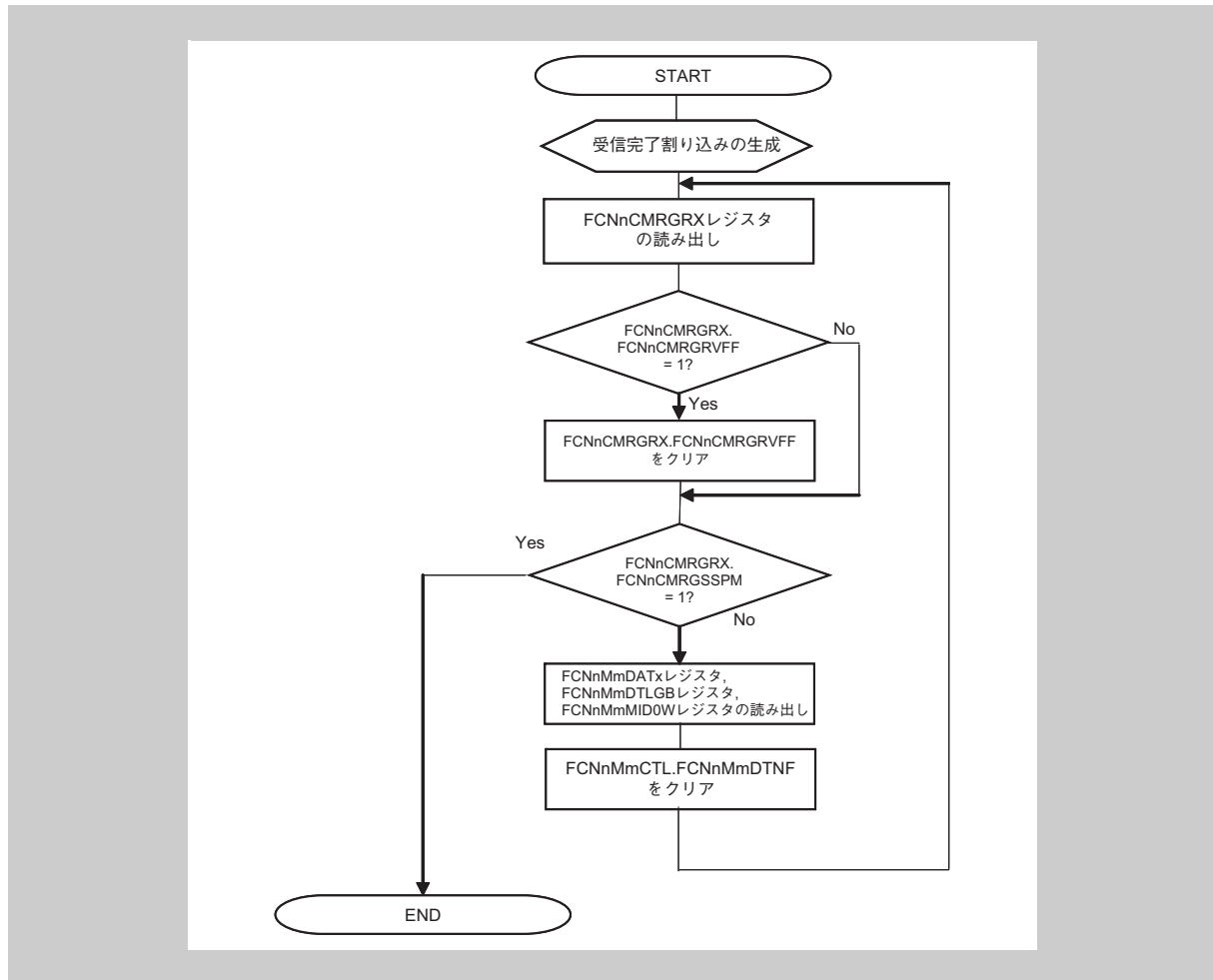


図 26-34 割り込みを利用した受信 (FCNnCMRGRX レジスタを利用) の別の方法

- 備考**
1. 保留中のスリープ・モードが実行されることがあるため、割り込みルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リスト・レジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。  
受信割り込みを処理する前に、すべてのスリープ・モード要求をキャンセルすることを推奨します。
  2. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。
  3. このフローを利用する場合、アプリケーションは最新の受信データを取得できません。ただし、処理量が少ないため、割り込み負荷が軽減されます。
  4. このフローで上書き機能 (FCNnMmSTRB.FCNnMmSSOW=1) を使用しないでください。使用した場合は、データの整合性が失われる可能性があります。

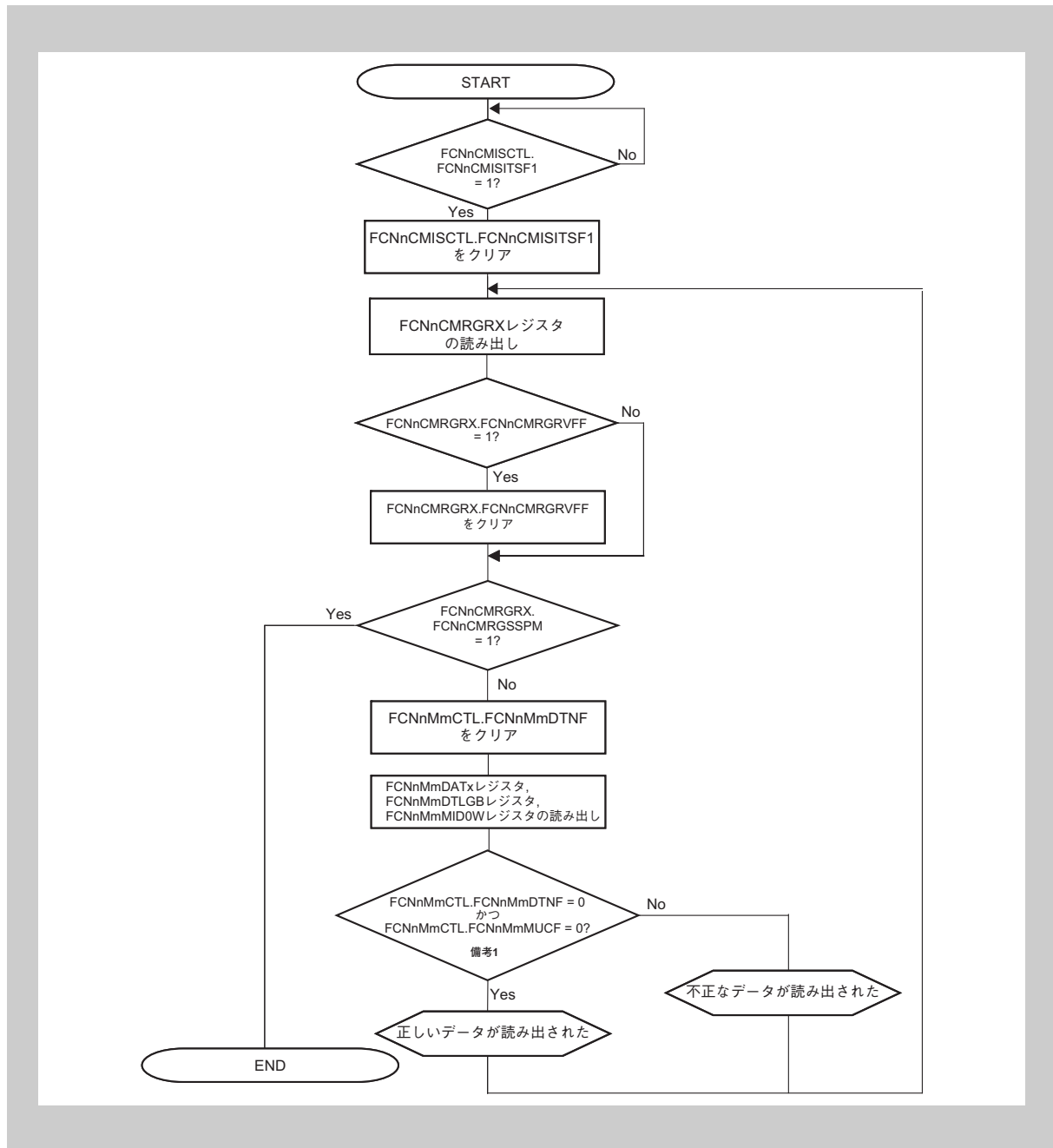


図 26-35 ソフトウェア・ポーリングを利用した受信

- 備考**
1. 1回の読み出しアクセスで FCNnMmCTL.FCNnMmMUCF ビットと FCNnMmCTL.FCNnMmDTNF ビットをチェックしてください。
  2. 保留中のスリープ・モードが実行されることがあるため、ポーリング・ルーチンの最初と最後に FCNnGMCLSSMO フラグをチェックすることで、メッセージ・バッファおよび受信履歴・リストレジスタへのアクセスをチェックしてください。チェックによって FCNnGMCLSSMO がクリアされていることがわかった場合は、FCNnGMCLSSMO を再びセットしてから、処理のアクションと結果を破棄し、再び処理を実行してください。
  3. いったん FCNnCMRGRX.FCNnCMRGRVFF をセットすると、受信履歴・リストの整合性が失われます。設定されているすべての受信バッファを調べて、受信を確認することを検討してください。

## 26.15.4 パワー・セーブ・モード

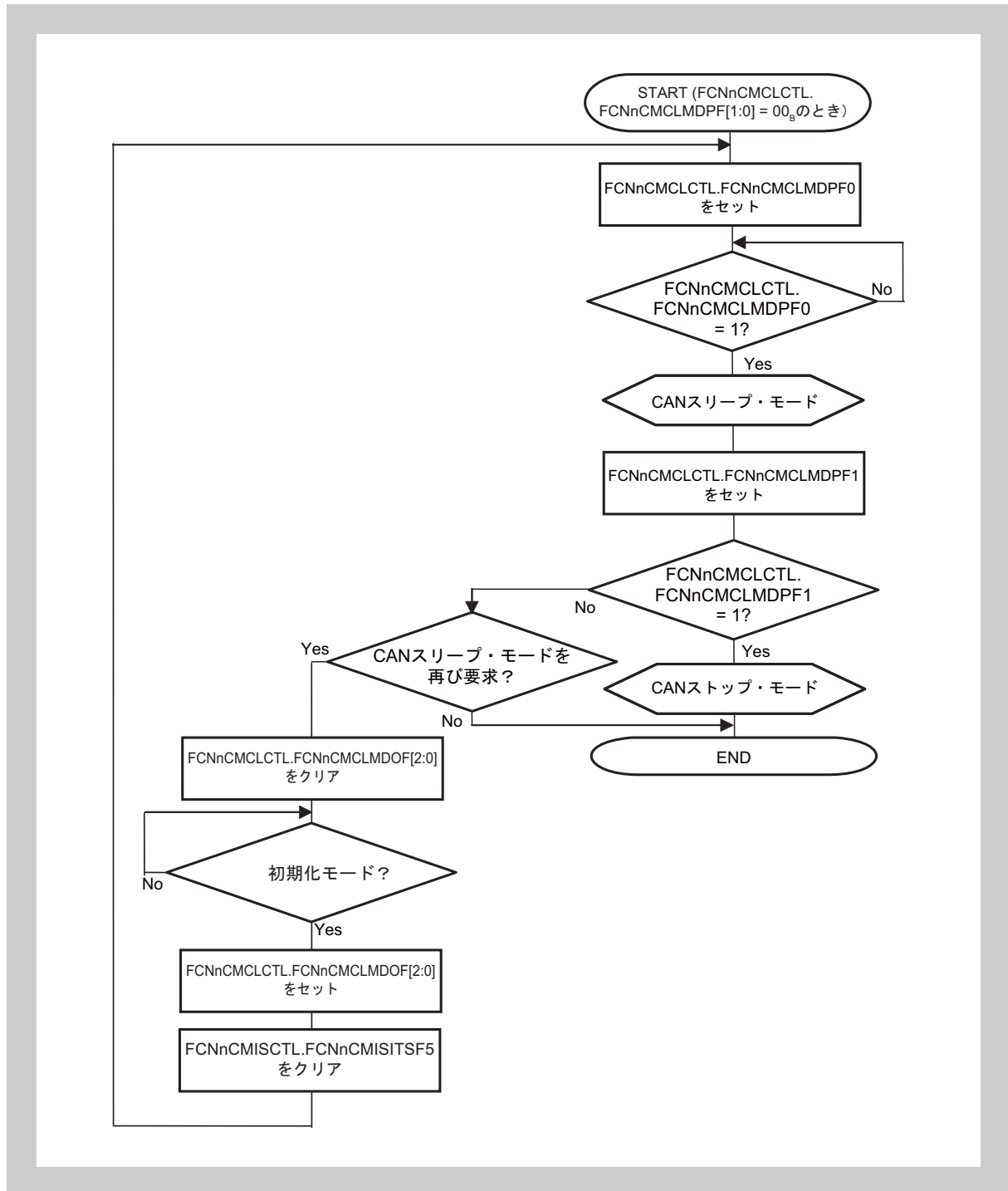


図 26-36 FCN スリープ・モード/ストップ・モードの設定

**注意** FCN スリープ・モードへの移行要求を発行する前に送信を中断するには、前に示したフローチャートに従って送信中断処理を実行してください。



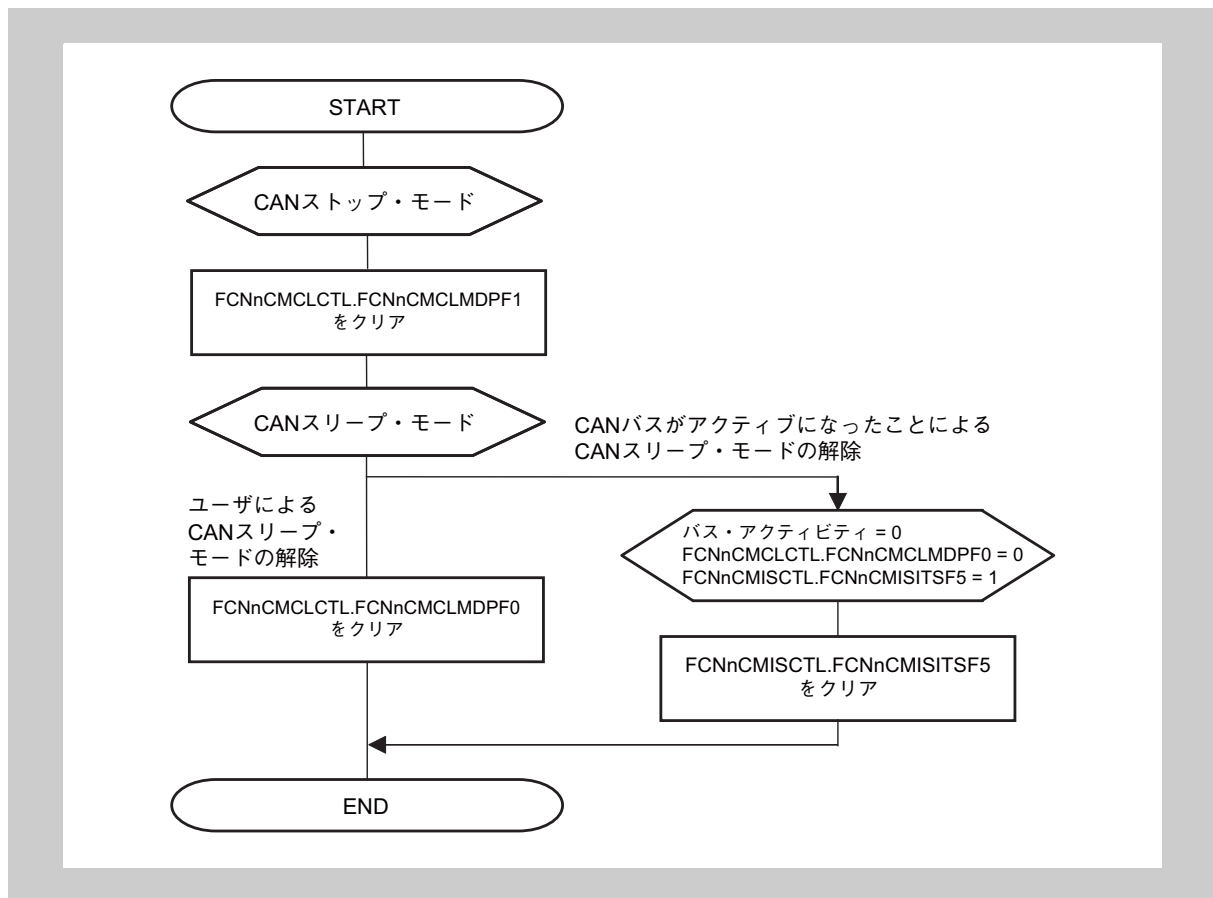


図 26-37 FCN スリープ/ストップ・モードの解除

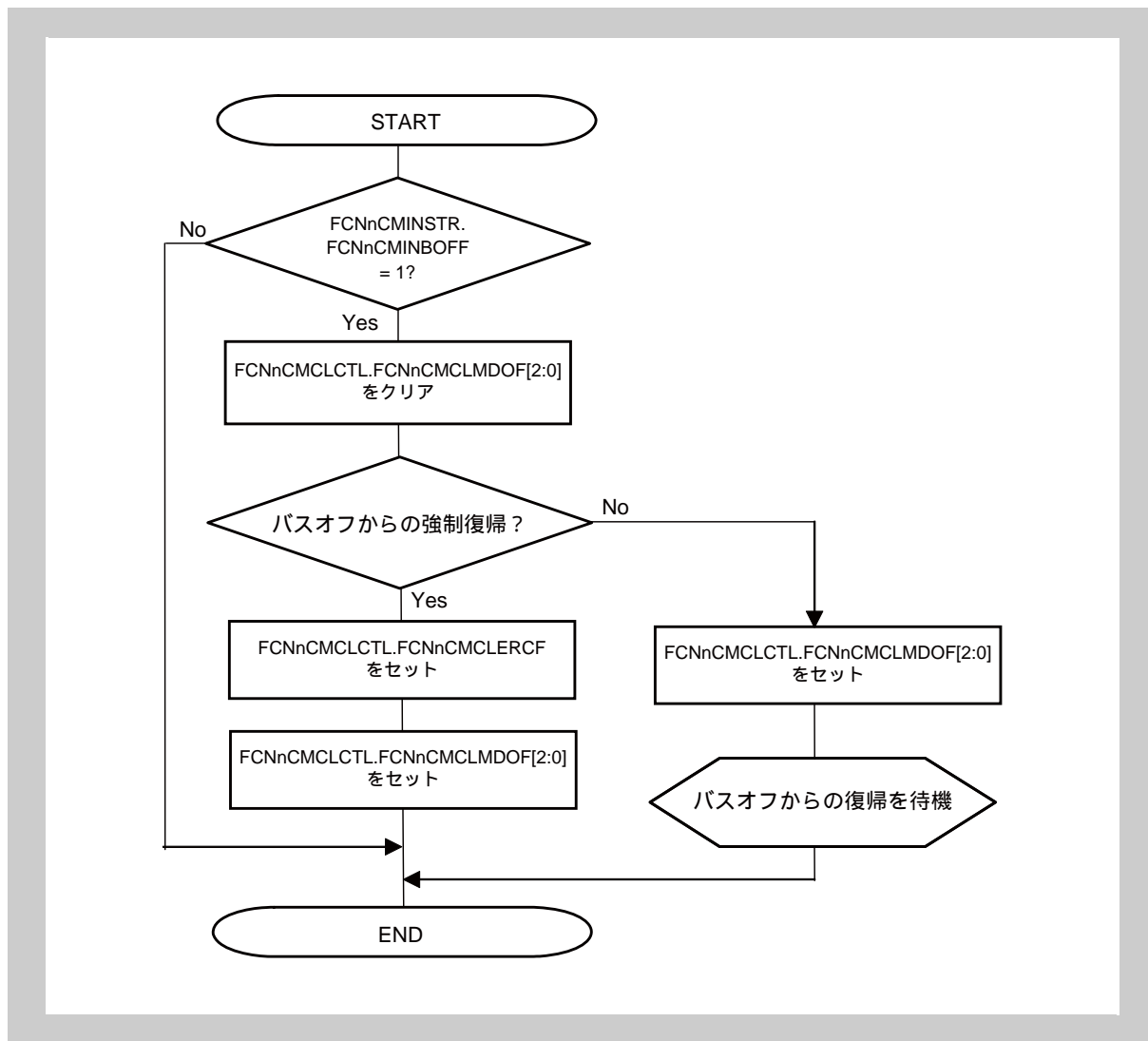


図 26-38 バスオフからの復帰

**注意** バスオフ復帰シーケンス中に初期化モードからいずれかの動作モードへの移行要求が発行され、再びバスオフ復帰シーケンスが実行されると、受信エラー・カウンタがクリアされます。したがって、連続する 11 個のレセシブ・レベル・ビットを再びバス上で 128 回検出する必要があります。

**備考** 動作モード：通常動作モード、ABT 付き通常動作モード、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モード

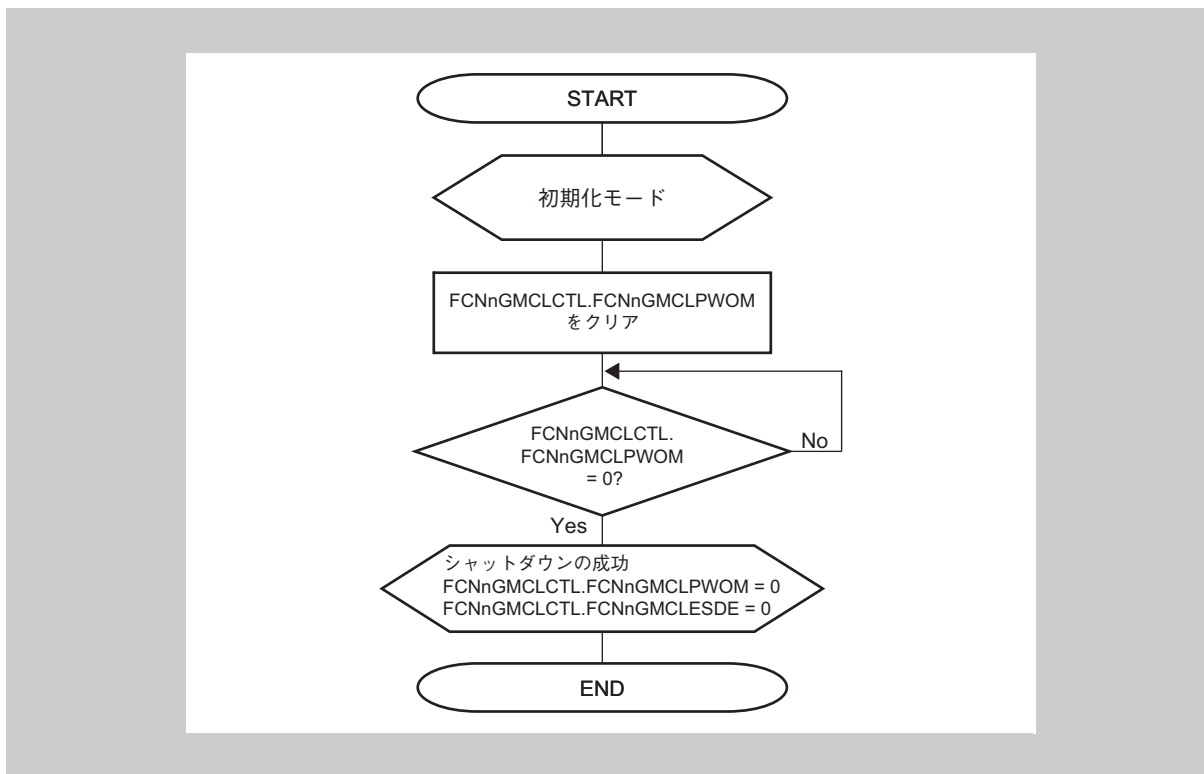


図 26-39 通常のシャットダウン処理

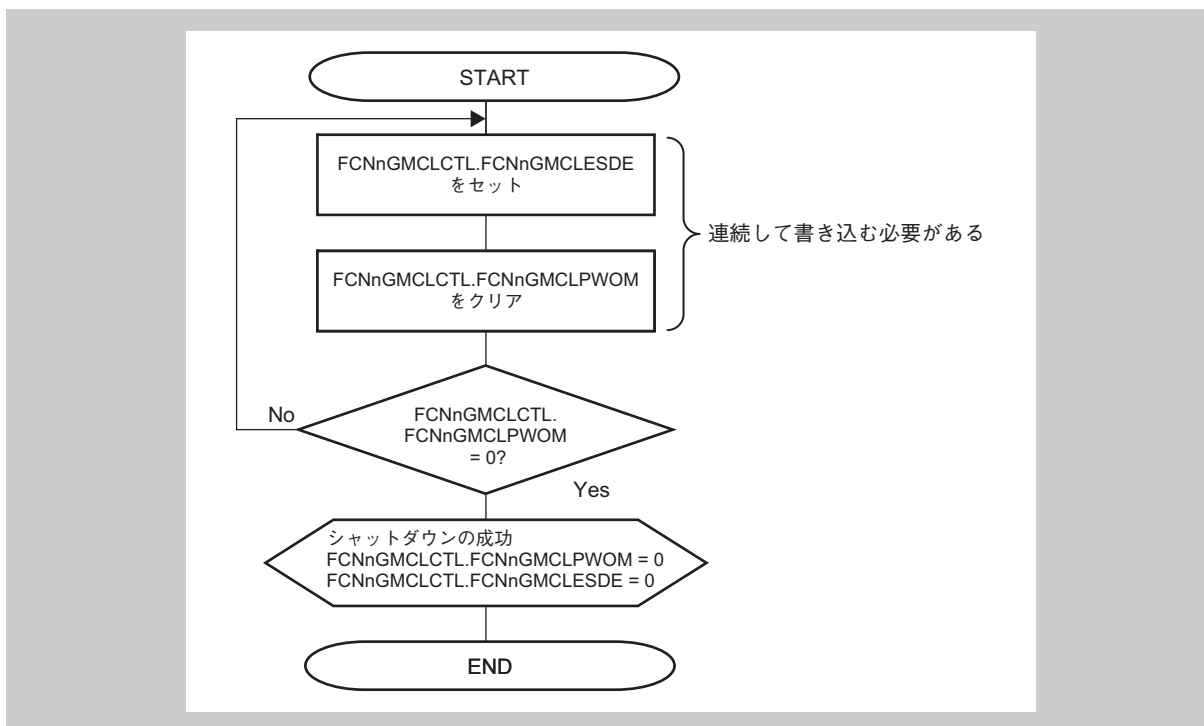


図 26-40 強制シャットダウン処理

**注意** FCNnGMCLPESDE ビットをセットしてから FCNnGMCLPWOM ビットをクリアするまでの間は、いずれのレジスタへもソフトウェアによる読み出しアクセスまたは書き込みアクセスを行わないでください。

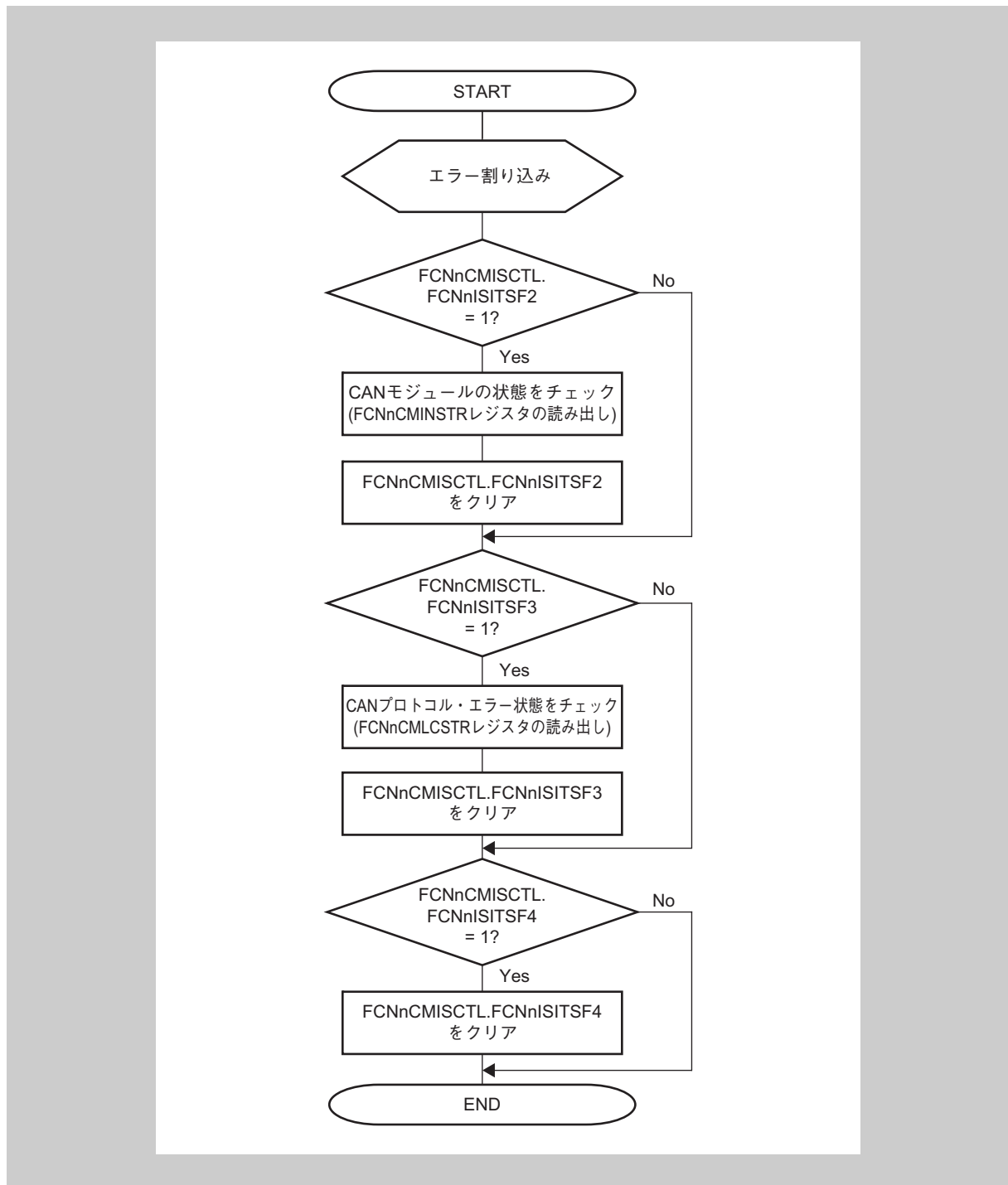


図 26-41 エラー処理

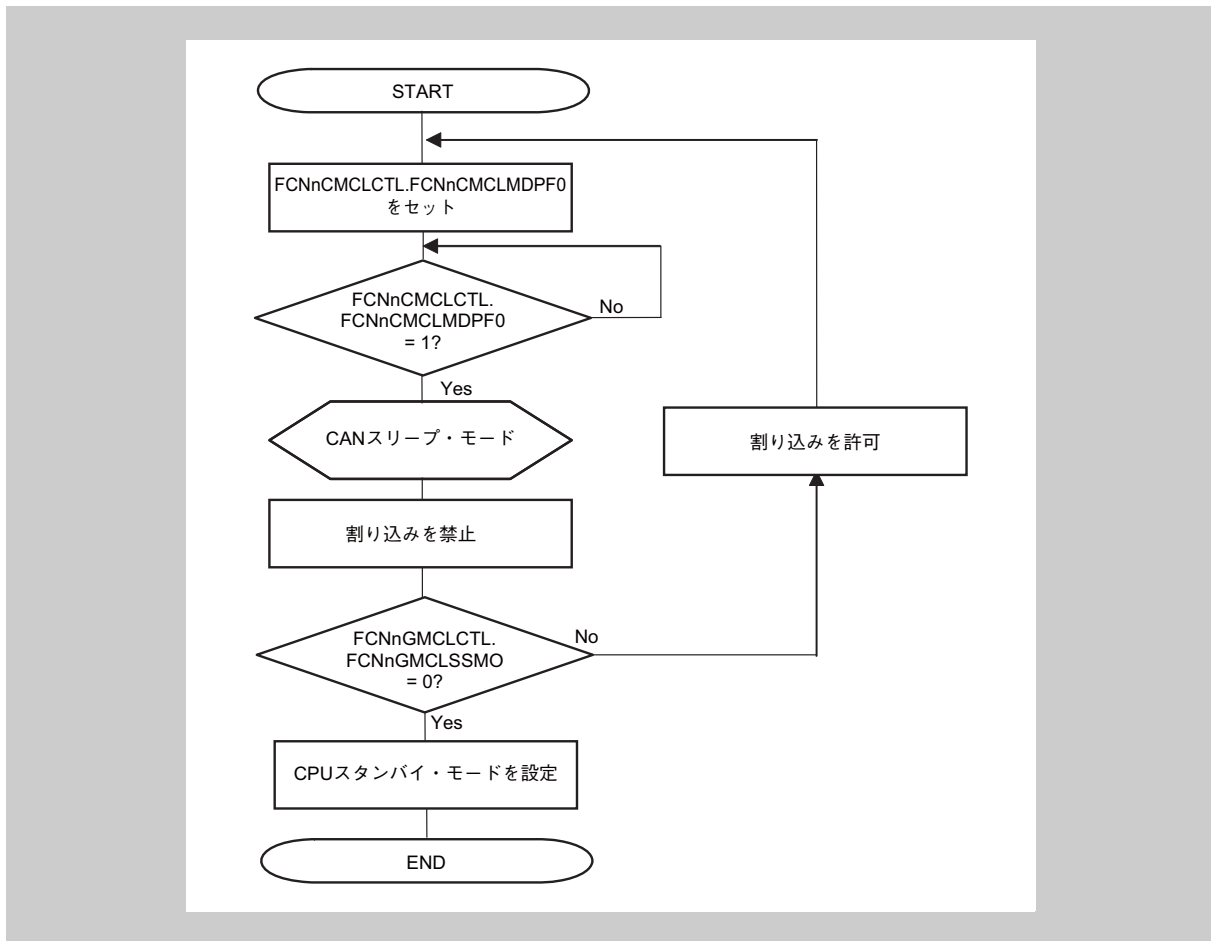


図 26-42 CPU スタンバイの設定 (FCN スリープ・モードから)

- 備考**
1. CPU を CPU スタンバイ・モードに設定する前に、FCN スリープ・モードに入っているかどうかをチェックしてください。ただし、FCN スリープ・モードをチェックすると、CPU が CPU スタンバイ・モードに設定されるまで、CAN バスからのウェイクアップによって FCN スリープ・モードがキャンセルされる可能性があります。
  2. FCNnGMCLSSMO = 0 をチェックしてから CPU スタンバイ・モードを設定するまでの間に、CAN バス上でウェイクアップ状態が発生する可能性があります。その場合は、CAN モジュールがスリープ・モードを解除し、FCNnCMISITSF5 ビットがセットされ、割り込みが許可されていればウェイクアップ割り込みが発生します。

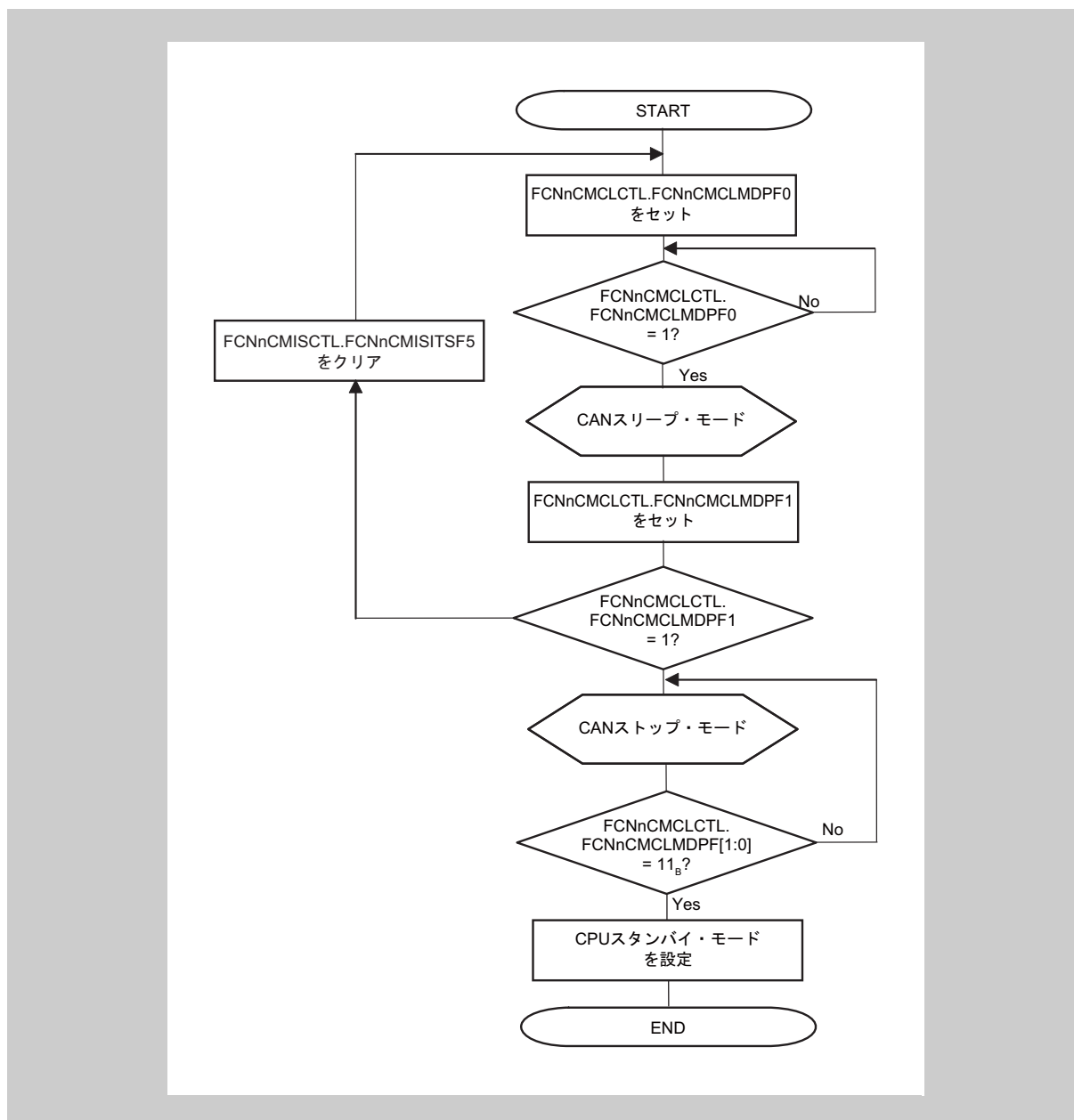


図 26-43 CPU スタンバイの設定 (FCN ストップ・モードから)

**注意** FCN ストップ・モードは、FCNnCMCLCTL.FCNnCMCLMDPF[1:0] を 01<sub>B</sub> に設定することによってのみ解除することができます。FCN バスの状態の変化によって FCN ストップ・モードが解除されることはありません。

## 第27章 診断CANコントローラ (DCN)

マイクロコントローラは、CAN プロトコル ISO 11898 に準拠した CAN (Controller Area Network) コントローラを内蔵しています。

本章では、診断 CAN コントローラ (DCN) 全般について説明します。

第1節では、インスタンス、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/Fx4-H に固有の特性について説明します。

それ以降の節では、すべての実装に共通の特徴について説明します。

### 27.1 V850E2/Fx4-H の特徴

**チャンネル数** 本マイクロコントローラは以下のチャンネル数の診断 CAN コントローラを搭載しています。

表 27-1 DCN のチャンネル数

診断 CAN コントローラ	V850E2/FK4-H	V850E2/FL4-H
チャンネル数	1	
名称	DCN0	

**n の意味** 本章では、診断 CAN コントローラのチャンネルを「n」(n = 0) で識別します。たとえば、DCNn グローバル制御レジスタ (DCNnGMCLCTL) のように記述しています。

**m の意味** 本章では、DCN メッセージ・バッファ・レジスタを「m」(以下の表に示す) で識別します。たとえば、DCN インスタンス n、メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、DCNnMmDAT4B と記述しています。DCN のインスタンスのメッセージ・バッファの数を以下の表に示します。

表 27-2 DCNn のメッセージ・バッファ

チャンネル	メッセージ・バッファの数 m
DCN0	128

**レジスタ・アドレス** 診断 CAN コントローラ・レジスタのアドレスは、それぞれのベース・アドレス <DCNn\_base> からのオフセットで表されます。  
DCNn のレジスタ・ベース・アドレス <DCNn\_base> を以下の表に示します。

表 27-3 レジスタ・ベース・アドレス &lt;DCNn\_base&gt;

チャンネル	<DCNn_base> アドレス
DCN0	FF52 0000 <sub>H</sub>

**クロック供給** 診断 CAN コントローラは 1 つのクロック入力を供給します。

表 27-4 DCNn のクロック供給

チャンネル	DCNn のクロック	接続先
DCN0	PCLK	クロック・ジェネレータ CKSCLK_115

**内部信号** RXONLY\_CH CAN インタフェース・モジュールは、DCNn モジュール RXONLY\_CH バス・セレクタ・レジスタ DCNnCRBSSTR を次の表のように設定することで、CAN バスに内部接続できます。

表 27-5 DCN0 の内部信号の接続

DCN0 RXONLY_CH	DCN0CRBSSTR. DCN0CRBSSEL[2:0]	接続先
DIAG_CHバス入力	000B	Port FCN5RX
CAN バス入力 1	001B	Port FCN0RX
CAN バス入力 2	010B	Port FCN1RX
CAN バス入力 3	011B	Port FCN2RX
CAN バス入力 4	100B	Port FCN3RX
CAN バス入力 5	101B	Port FCN4RX
CAN バス入力 6	110B	—
CAN バス入力 7	111B	—



**割り込み** 診断 CAN コントローラは以下の割り込み要求を生成します。

表 27-6 DCNn の割り込み要求

DCNn の割り込み	機能	接続先
<b>DCN0:</b>		
INTCnERR	エラー表示	割り込みコントローラ INTDCN0ERR
INTCnREC	受信完了	割り込みコントローラ INTDCN0REC DMA 開始要因の優先順位 : 84 DTS 開始要因の優先順位 : 15
INTCnTRX	送信完了	割り込みコントローラ INTDCN0TRX
INTCnWUP	ウェイクアップ/送信中断	割り込みコントローラ INTFCNWUP

**I/O 信号** 診断 CAN コントローラの I/O 信号を以下の表に示します。

表 27-7 診断 CAN コントローラの I/O 信号

DCNn の信号	機能	接続先
<b>DCN0:</b>		
CRXD0	診断 CAN バス受信入力	ポート FCN5RX
CTXD0	診断 CAN バス送信出力	ポート FCN5TX

## 27.2 概要

DCN (診断 CAN コントローラ) モジュールは、基本的に、128 個のメッセージ・バッファを備えた通常のシングル・チャンネル標準 CAN コントローラ (FCN) として機能します。ただし、単なるシングル・チャンネル標準 CAN コントローラ (FCN) と異なり、DCN モジュールは 2 つの CAN チャンネルを備えています。通常の CAN インタフェースとして動作させることができるチャンネルは、診断チャンネル (DIAG\_CH) と呼ばれています。

アプリケーションの特殊な診断目的に第 2 の CAN インタフェースが利用可能です。第 2 チャンネルは、ほかのシングル・チャンネル標準 CAN コントローラ (FCN) のデータ・トラフィックの受信のみが主な目的であるため、限られた動作モードしか備えていません。このチャンネルは受信専用チャンネル (RXONLY\_CH) と呼ばれています。このチャンネルは、送信元 CAN バス (モニタ対象チャンネル) から診断チャンネルへメッセージを転送するミラー機能を備えています。転送されたメッセージは診断チャンネルから CAN バスへ自動的に送信されます。さらに、このチャンネルは、転送 ID フィルタ機能付き (TIF 付き) のミラー・モードを備えています。このモードでは、送信元 CAN チャンネルから宛先チャンネルへ自動的に特定の ID のみを送信することができます。

ほかの CAN チャンネルを含む診断の概念の一部としてのミラー機能を図 27-1 「DCN とほかの 5 つの CAN チャンネルを使用する診断の概念」に示します。

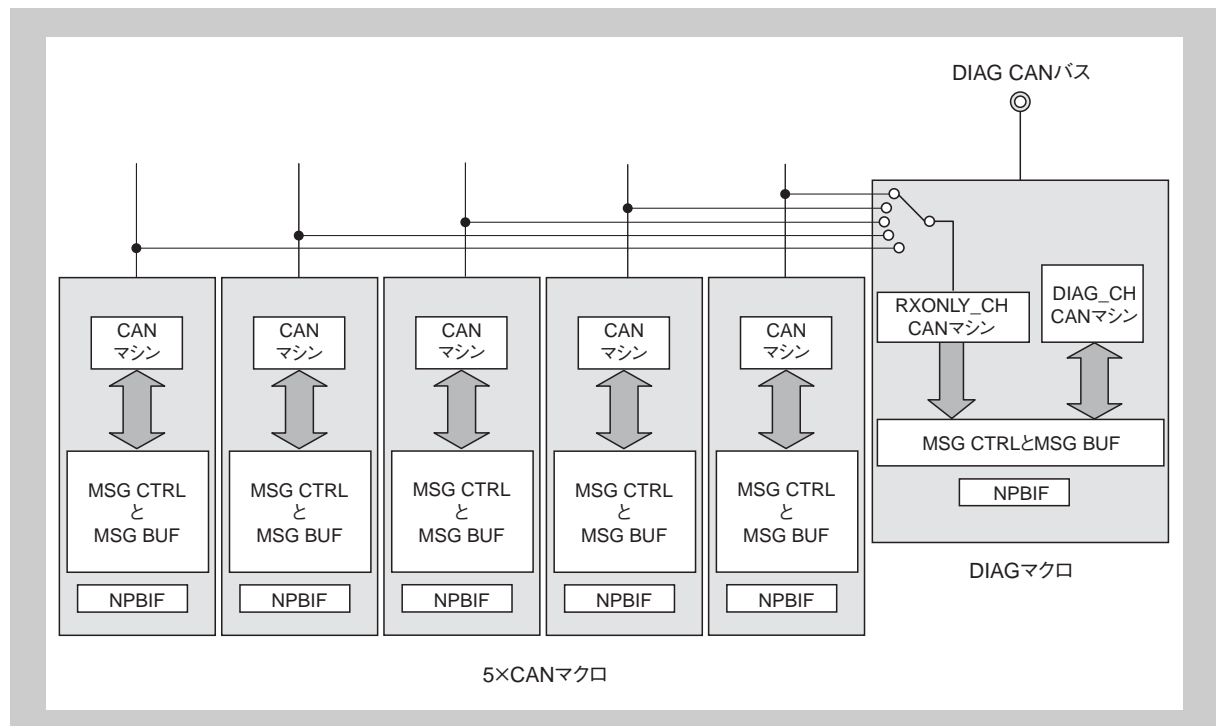


図 27-1 DCN とほかの 5 つの CAN チャンネルを使用する診断の概念

RXONLY\_CH と DIAG\_CH は、パワー・セーブ・モード (PSMODE) と動作モード (OPMODE) 用に個別の制御レジスタを持っています。両チャンネルのこれらのモードの組み合わせが RXONLY\_CH のメッセージ・バッファの割り当てに影響を及ぼします。RXONLY\_CH が PSMODE == STOP または OPMODE == INIT に入っている場合は、上位 16 個のメッセージ・バッファが DIAG\_CH に割り当てられます。その場合は、ほかの CAN チャンネルをモニタする必要がないときに DCN モジュールを 128 個のメッセージ・バッファを備えた通常の CAN チャンネルとして使用することができます。

## 27.3 機能の概要

表 27-8 DIAG モジュールの機能の概要

機能	詳細
プロトコル	CAN プロトコル ISO11898 (標準および拡張フレームの送受信)
チャンネル	RXONLY_CH, DIAG_CH
ポー・レート	最大 1 M ビット /s @ $f_{CAN} \geq 16$ MHz
メッセージ・ストレージ	共有アクセス可能な RAM 領域 (アクセス・エンティティ : CPU, RXONLY_CH CAN, DIAG_CH CAN) DCN モジュールは 128 個のメッセージ・バッファを備えています。動作モードとパワー・セーブ・モードに応じて、上位 16 個のバッファが RXONLY_CH に割り当てられます。
メッセージの構成	個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして初期化することができます。 受信バッファとして割り当てられた複数のメッセージ・バッファのグループでマルチ・バッファ受信ブロックを形成することができます。 送信バッファとして割り当てられた複数のメッセージ・バッファのグループを自動ブロック転送に使用できます。
マスク (DIAG_CH のみ)	DIAG_CH は 8 つのマスクを備えています。個々のメッセージ・バッファに各マスクを割り当てることができます。1 つの CAN モジュール内でグローバル・マスクとローカル・マスクの違いはありません。 ミラー・モードではマスクを使用できません。すべてのメッセージが DIAG_CH にコピーされます。 RXONLY_CH の TIF 付きミラー・モードでは、8 個の参照転送 ID レジスタ (DCNnTIDRTXx) と 1 個のマスク転送 ID レジスタ (DCNnTIDMTXx) をフィルタリングに使用できます。フィルタ条件と一致するメッセージだけが上位 16 個のメッセージ・バッファに格納されます。そこに格納されたメッセージのみがミラー・モードに参加します。
メッセージ処理のアプリケーション・サポート	DIAG_CH は、内容が更新された受信メッセージ・バッファを見つけるための高速メカニズムを備えています (受信履歴リスト)。 DIAG_CH は、メッセージ・フレームの送信元となった送信メッセージ・バッファを見つけるための高速メカニズムを備えています (送信履歴リスト)。 RXONLY_CH はこれらの履歴リストを備えていません。
リモート・フレームのサポート	メッセージ・バッファによるリモート・フレームの処理
タイム・スタンプ機能 <sup>a</sup>	メッセージ受信時のタイム・スタンプ。 タイム・スタンプ・キャプチャのトリガが選択可能 (CAN メッセージ・フレーム内の SOF または EOF の検出)。 送信時にタイム・スタンプを追加 (データ・フィールド内の特定のバイトがキャプチャされたタイム・スタンプに置き換えられます) <sup>b</sup> 。
診断	DCN モジュールはミラー機能を備えています。RXONLY-CH によって受信されたメッセージは DIAG_CH へ自動的に送信されます。RXONLY-CH の入力、デバイスのほかの任意の CAN チャンネルに切り換えることができます。 読み出し可能なエラー・カウンタ。 バス接続確認用の有効プロトコル動作フラグ。 「受信オンリー・モード」。 CAN プロトコル・エラー・タイプの解説。 セルフ・テスト・モード」 (DIAG_CH のみ)。
パワー・セーブ・モード	スリープ・モード : CAN バスからのウェイクアップあり ストップ・モード : CAN バスからのウェイクアップなし RXONLY_CH CAN I/F モジュールと DIAG_CH CAN I/F モジュールを、それぞれ別々に、これらのパワー・セーブ・モードのいずれかに設定することができます。 両方の CAN I/F モジュールが同時にこの種のパワー・セーブ・モードになっていると、モジュール全体の消費電力が最小限になります。

- a) DCN モジュールのアーキテクチャは TTCAN モジュールの統合に対応していますが、DCN モジュールの派生品の中には TTCAN モジュールを備えていないものもあります。
- b) 「送信時のタイム・スタンプ追加」機能は、高度なタイム・スタンプ機能を備えた CAN コントローラ / DCN モジュールの派生品でのみ利用可能です。

## 27.4 アーキテクチャ

DCN モジュールはホスト CPU に接続され、2 つの CAN バス・インタフェースを備えています。DIAG\_CH CAN I/F モジュールは、診断 CAN バスと呼ばれる特定の CAN バス専用で使用されます。RXONLY\_CH CAN I/F モジュールは、プログラム可能なセレクトを介して複数の CAN バスに接続することができます。セレクトは DCN モジュールに内蔵されており、最大 8 つのソースに接続することができます。

以下の図は、ほかの CAN バス用の 8 個の入力と 128 個のメッセージ・バッファを備えた DCN モジュールの例を示しています。

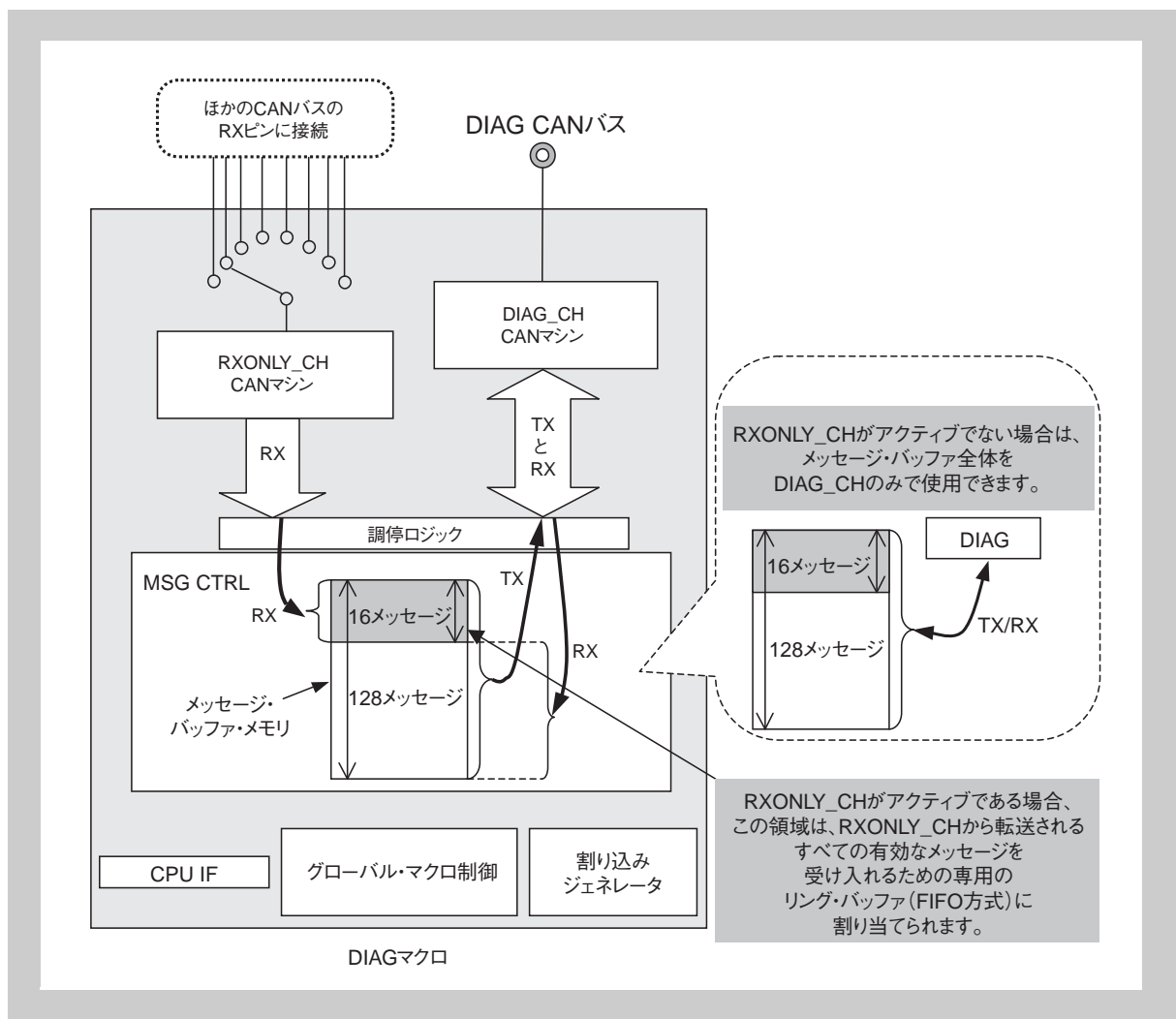


図 27-2 DIAG モジュールのアーキテクチャ

DCN モジュールは、以下で説明する複数のサブ・ブロックから構成されています。

### 27.4.1 CPU インタフェース

CPU I/F は、モジュール全体とマイクロコンピュータ・システムの周辺バスとのインタフェースです。CPU I/F を利用して、CPU は、モジュール内部のすべてのサブ・ブロックの制御レジスタとステータス・レジスタに直接アクセスすることができます。制御レジスタとステータス・レジスタのアドレスは、マイクロコンピュータ・システムのメモリ・マップにマッピングされません。

CAN 割り込みジェネレータからマイクロコンピュータ・システムの割り込みコントローラへ送信される割り込み信号は、CPU I/F を介してルーティングされます。

モジュール・クロック  $f_{CAN}$  は、マイクロコンピュータ・システムのクロック・ジェネレータの周辺モジュール・クロックに接続されます。

### 27.4.2 グローバル・モジュール制御

グローバル・モジュール制御サブ・ブロックには、モジュール全体を有効または無効にするロジックが含まれています。このサブ・ブロックではモジュール・クロック  $f_{CANPRE}$  も設定されます。

### 27.4.3 CAN 割り込みジェネレータ

CAN 割り込みジェネレータは、CAN I/F チャンネルから送信されるすべての割り込み要求信号を収集します。それらの割り込み要求信号は、マイクロコンピュータ・システムの割り込みコントローラの割り込み要求信号入力との接続に適した形に信号整形されます。

### 27.4.4 メッセージ制御 (MSG Ctrl)

MSG Ctrl サブ・ブロックは、メッセージ・バッファとメッセージ・バッファ制御用のメモリを備えています。

上位 16 個のメッセージ・バッファは、RXONLY\_CH にも DIAG\_CH にも静的には割り当てられません。メッセージ・バッファの割り当ては、RXONLY\_CH のステータスによって決まります。これらのメッセージ・バッファの基本的な機能を以下に示します。

- RXONLY\_CH に割り当てられた場合：
  - ミラー・モードまたは受信オンリー・モードが選択されている場合は、受け入れフィルタリングを行うことなく、RXONLY\_CH から受信されるすべてのデータ・フレームを受信します。TIF 付きミラー・モードの場合は、マスク・レジスタと参照 ID レジスタによってデータ・フレームとリモート・フレームがフィルタリングされます。
  - 受け入れフィルタリングを行うことなくリモート・フレームを受信しません。
  - FIFO 方式のリング・バッファとして動作します。受信メッセージのストレージは、RXONLY\_CH の LIPT の助けを借りて計算されます。
  - すべてのメッセージを FIFO 方式で自動的に DIAG\_CH に送信します。DIAG-CH の TX 検索ステート・マシンがそれらのメッセージを診断バス

上で送信します。  
FIFO 候補による TRQ は TX 検索を開始する必要があり、TX 検索は常にメッセージ・バッファ #0 から開始されます。TX 検索は常に DIAG\_CH メッセージ・バッファと FIFO の両方の領域に対して実行する必要があります。

- DIAG\_CH に割り当てられた場合：
  - DIAG\_CH にデータ・フレームを送信します。
  - DIAG\_CH からデータ・フレームを受信します。
  - DIAG\_CH からリモート・フレームを受信します。
  - DIAG\_CH にリモート・フレームを送信します。
  - 各メッセージ・バッファに独自の識別子が含まれています。したがって、特定のデータ・フレームの受信専用または特定のメッセージ・フレームの送信専用としてメッセージ・バッファを予約することができます。
  - データ・フレームのグループを受信する必要がある場合は、メッセージ・バッファにマスクを割り当てることができます。
  - さらに、複数のメッセージ・バッファをグループにまとめて、マルチ・バッファ受信ブロック (MBRB) を形成することもできます。

つまり、メッセージ・バッファ・メモリ全体 (128 バッファ) を通常の CAN コントローラ・チャンネルのすべての関連機能を持った DIAG\_CH に割り当てることができます。

下位のメッセージ・バッファ (#0 ~ #111) は常に DIAG\_CH に割り当てられます。

#### 27.4.5 調停ロジック

調停ロジック・サブ・ブロックは、RXONLY\_CH と DIAG\_CH から MSG Ctr サブ・ブロックへのアクセスを制御します。

#### 27.4.6 RXONLY\_CH CAN マシン

RXONLY\_CH CAN マシン・サブ・ブロックには、セレクタで選択された CAN BUS のモニタ専用に使われる CAN プロトコル転送レイヤのロジックが含まれています。このサブ・ブロックがモニタ対象となるバス上でドミナント・ビットを送信することはありません。RXONLY\_CH は RX 入力端子を介してモニタ対象 CAN チャンネルにのみ接続されます。



### 27.4.7 DIAG\_CH CAN マシン

DIAG\_CH CAN マシン・サブ・ブロックには、CAN プロトコル転送レイヤのすべてのロジックが含まれています。データ・フレームの受信、メッセージ・フレームの送信、CAN プロトコル・エラー管理に必要なとされるすべてのプロトコル動作が自動的に実行されます。

DIAG\_CH CAN マシンの送信では、常に 128 個のメッセージ・バッファすべてを使用します。ただし、受信メッセージの格納場所は、RXONLY\_CH CAN マシンの状態によって異なります。RXONLY\_CH CAN マシンが「パワー・セーブ・モード」(PSMODE = STOP) または初期化モード (OPMODE = INIT) に入っている場合は、すべてのメッセージ・バッファが DIAG-CH に割り当てられます。RXONLY\_CH CAN マシンがオンライン状態にあるか、「受信オンリー・モード」または「ミラー・モード」が選択されている状態でスリープ・モードに入っている場合は、下位 112 個のメッセージ・バッファ (#0 ~ #111) のみが DIAG\_CH CAN マシンからの受信メッセージの格納に使われます。

**備考** まず、これらのビットのすべての DCNnMmTRQF ビットをクリアしたのち、DCNnMmRDYF ビットをクリアし、受信用メッセージ・バッファに設定する必要があります。その後、RXONLY\_CH の OPMODE を設定することで、メッセージ・バッファが RXONLY\_CH に割り当てられます。

メッセージ受信時には、各受信メッセージ・バッファに設定された ID およびマスク設定にもとづいて受信フィルタリングが行われます。

複数のメッセージ・バッファが送信用に設定され送信が保留されている状態の場合、最も優先度が高いメッセージから送信されます。

## 27.5 モジュールの初期化と制御

モジュールの初期化は、RESET（マイクロコンピュータ・システムのRESETピンで生成されるシステム・リセット）後にDCNモジュールを使用するために必要なソフトウェア・プロセスと定義されています。ハードウェアによるRESET後、ソフトウェア・リセット処理が実行されます。

リセット処理後、DCNnGMCLCTL.DCNnGMCLPWOMビットがクリア(0)され、グローバル・モジュールが無効になります。

DCNnGMCLCTL.DCNnGMCLPWOMビットによってグローバル・モジュールの状態を確認できます。

グローバル・モジュールの状態遷移を次の図に示します。

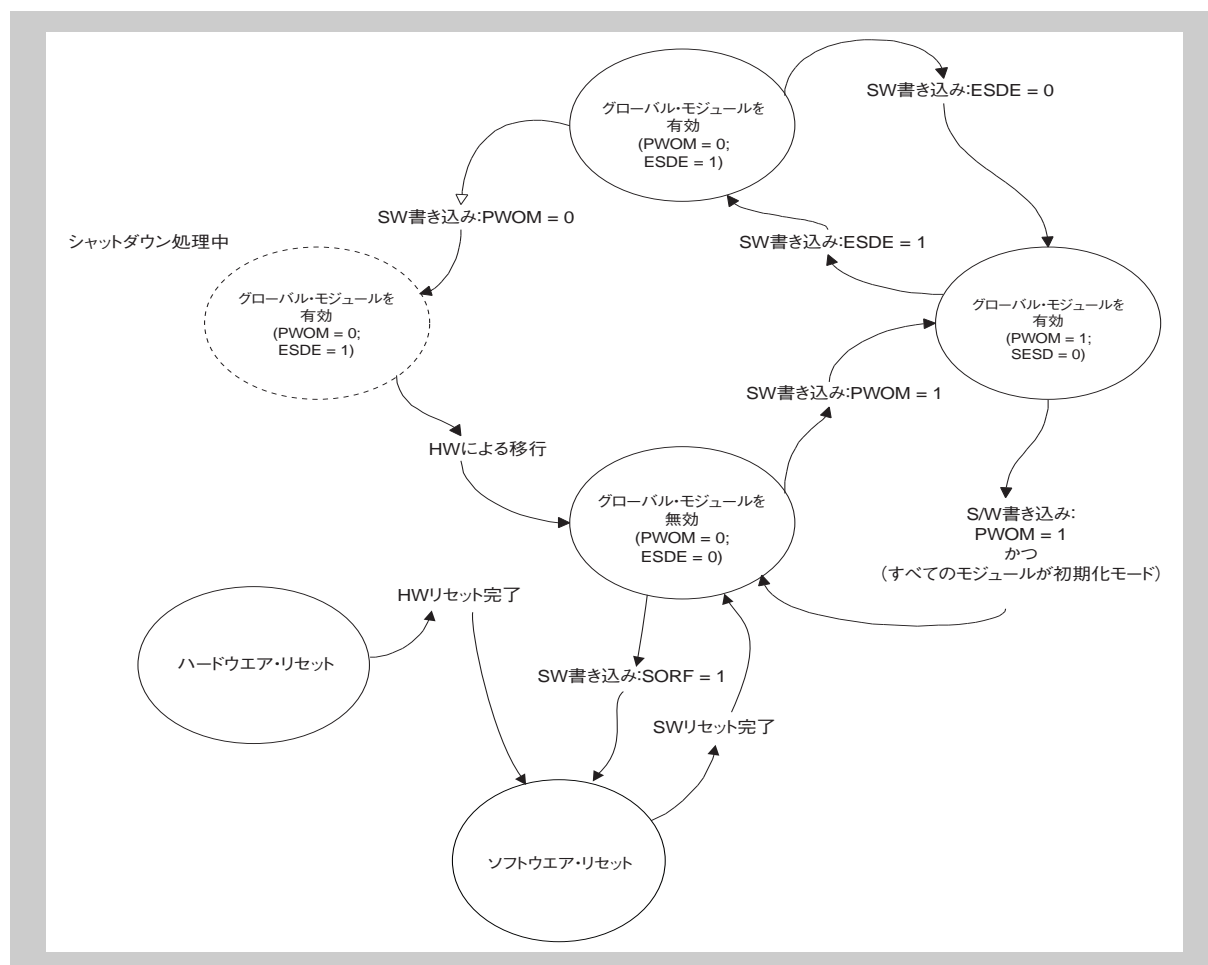


図 27-3 グローバル・モジュールの状態遷移

備考 上の図では以下の略号を使用しています。

- MDOF = DCNnCMCLCTL.DCNnCMCLMDOF[2:0]
- PWOM = DCNnGMCLCTL.DCNnGMCLPWOM
- ESDE = DCNnGMCLCTL.DCNnGMCLSESDE
- SORF = DCNnGMCLCTL.DCNnGMCLSORF

## 27.5.1 グローバル・モジュールの初期化と制御

### (1) グローバル・モジュールの無効化 (DCNnGMCLCTL.DCNnGMCLPWOM = 0)

グローバル・モジュールは、RESET またはソフトウェアによるグローバル DCN モジュールのスイッチ・オフのあとで無効になります。CPU は、DCNnGMCLCTL.DCNnGMCLPWOM ビットを読み出すことによってモジュールのステータスをチェックすることができます。

- グローバル・モジュールの機能の無効化 (DCNnGMCLPWOM = 0)
  - CAN I/F チャンネル出力信号 CANnTX がリセッショブ・レベル (ロジック 1) に固定されます。
  - グローバル・モジュール・レジスタ DCNnGMCLCTL, DCNnGMCSPRE は、読み出し / 書き込みアクセス可能。DCNnGMABCTL, DCNnGMADCTL は読み出しのみ。
  - メッセージ・バッファへの読み出しアクセスと書き込みアクセスはできません。
  - CAN モジュールは無効になります。
  - CAN モジュール・レジスタ (DCNnCMMKCTLx, DCNnCMCLCTL, DCNnCMLCSTR, DCNnCMINSTR, DCNnCMERCNT, DCNnCMIECTL, DCNnCMISCTL, DCNnCMBRPRS, DCNnCMBTCTL, DCNnCMLISTR, DCNnCMRGRX, DCNnCMLOSTR, DCNnCMTGTX, DCNnCMTSCTL, DCNnCRCLCTL, DCNnCRLCSTR, DCNnCRERCNT, DCNnCRIECTL, DCNnCRISCTL, DCNnCRBRPRS, DCNnCRBTCTL, DCNnCRLISTR, DCNnCRBSSTR) への書き込みアクセスはできません。これらのレジスタに誤って書き込みアクセスを行った場合、アクセスはハードウェアによって無視されます。

### (2) グローバル・モジュールを有効化する前の初期化

アプリケーション・ソフトウェアは、DCNnGMCSPRE レジスタでモジュール・クロック  $f_{CANPRE}$  のすべての設定を決定する必要があります。グローバル・モジュールを有効にしたあと、モジュール・クロック  $f_{CANPRE}$  のクロック設定を変更してはいけません。

### (3) グローバル・モジュールの有効化

DCNnGMCLCTL.DCNnGMCLPWOM ビットを「1」に設定することによってグローバル・モジュールをオンにします。

- グローバル・モジュールの機能の有効化 (DCNnGMCLPWOM = 1)
  - CAN I/F チャンネルが有効になります。
  - DIAG-CH と RXONLY-CH の両方の CAN モジュールが初期化モードになります。
  - グローバル・モジュールをオンにすると、CAN モジュール・レジスタ DCNnCMCLCTL, DCNnCMLCSTR, DCNnCMINSTR, DCNnCMERCNT, DCNnCMIECTL, DCNnCMISCTL, DCNnCMBRPRS, DCNnCMBTCTL, DCNnCRCLCTL, DCNnCRLCSTR, DCNnCRERCNT, DCNnCRIECTL, DCNnCRISCTL, DCNnCRBRPRS, DCNnCRBTCTL, DCNnCRBSSTR に、それぞれの初期値が格納されます。CAN モジュール・レジスタ DCNnCMLISTR, DCNnCMRGRX,

DCNnCMLOSTR, DCNnCMGTGX, DCNnCRLISTR には未定義の値が格納されます。

- グローバル・モジュール・レジスタ DCNnGMCSPRE への書き込みアクセスは無視されます。
- すべてのメッセージ・バッファへの読み出しアクセスと書き込みアクセスが可能です。
- CAN モジュール・レジスタ (DCNnCMMKCTLx, DCNnCMCLCTL, DCNnCMCLCSTR, DCNnCMERCNT, DCNnCMIECTL, DCNnCMISCTL, DCNnCMBRPRS, DCNnCMTSCTL, DCNnCRCLCTL, DCNnCRCLCSTR, DCNnCRIECTL, DCNnCRISCTL, DCNnCRBRPRS, DCNnCRBTCTL, DCNnCRBSSTR) への読み出しアクセスと書き込みアクセスが可能です。  
CAN モジュール・レジスタ DCNnCMLISTR, DCNnCMRGRX, DCNnCMLOSTR, DCNnCMGTGX, DCNnCRLISTR への読み出しアクセスが可能です。
- グローバル・モジュールをオンにすると, CAN モジュール・レジスタ DCNnTIDRTXx, DCNnTIDMTXx にそれぞれの初期値が格納されます。

#### (4) グローバル・モジュールのスイッチ・オフ

1 つ以上の CAN モジュールがメッセージ・フレームを処理している間にグローバル・モジュールをオフにはいけません。メッセージ・フレームの送信または受信の突然の中断は, 同じ CAN バスに接続されているほかのノードでエラーが発生する原因になります。

グローバル・モジュールをオフにする前に, アプリケーション・ソフトウェアがすべての CAN モジュールを INIT モードに切り換える必要があります。DCNnGMCLCTL レジスタの DCNnGMCLPWOM ビットをクリアすると, グローバル・モジュールにスイッチ・オフ要求が発行されます。1 つ以上の CAN モジュールが正常に INIT モードに設定されていないと, スイッチ・オフ要求は破棄されます。

CAN バスに接続されているほかのノードに悪影響を与えているかどうかに関係なく, 一部のアプリケーションでは, 非常時にモジュール全体をただちにオフにする必要があります。そのようなアプリケーションでは, DCNnGMCLCTL レジスタの DCNnGMCLESDE ビットをセット (1) することによって, あらかじめ CAN モジュールを定義された状態 (つまり INIT モード) に切り換えることなく, ただちにグローバル・モジュールをスイッチ・オフできるようにします。

DCNnGMCLESDE ビットをセット (1) して「強制シャットダウン」機能を使用する場合は, モジュールへの次のアクセスを DCNnGMCLPWOM ビットをクリア (0) する命令にする必要があります。DCNnGMCLESDE ビットをセット (1) した直後に DCNnGMCLPWOM ビットをクリア (0) しなかった場合は, DCNnGMCLESDE ビットが自動的にクリア (0) されます (つまり, 「強制シャットダウン」機能が無効になります)。DCNnGMCLESDE ビットのセット (1) と DCNnGMCLPWOM ビットのクリア (0) の間で DCNnGMCLCTL レジスタへの読み出しアクセスを行った場合も, DCNnGMCLESDE ビットが自動的にクリア (0) されます。

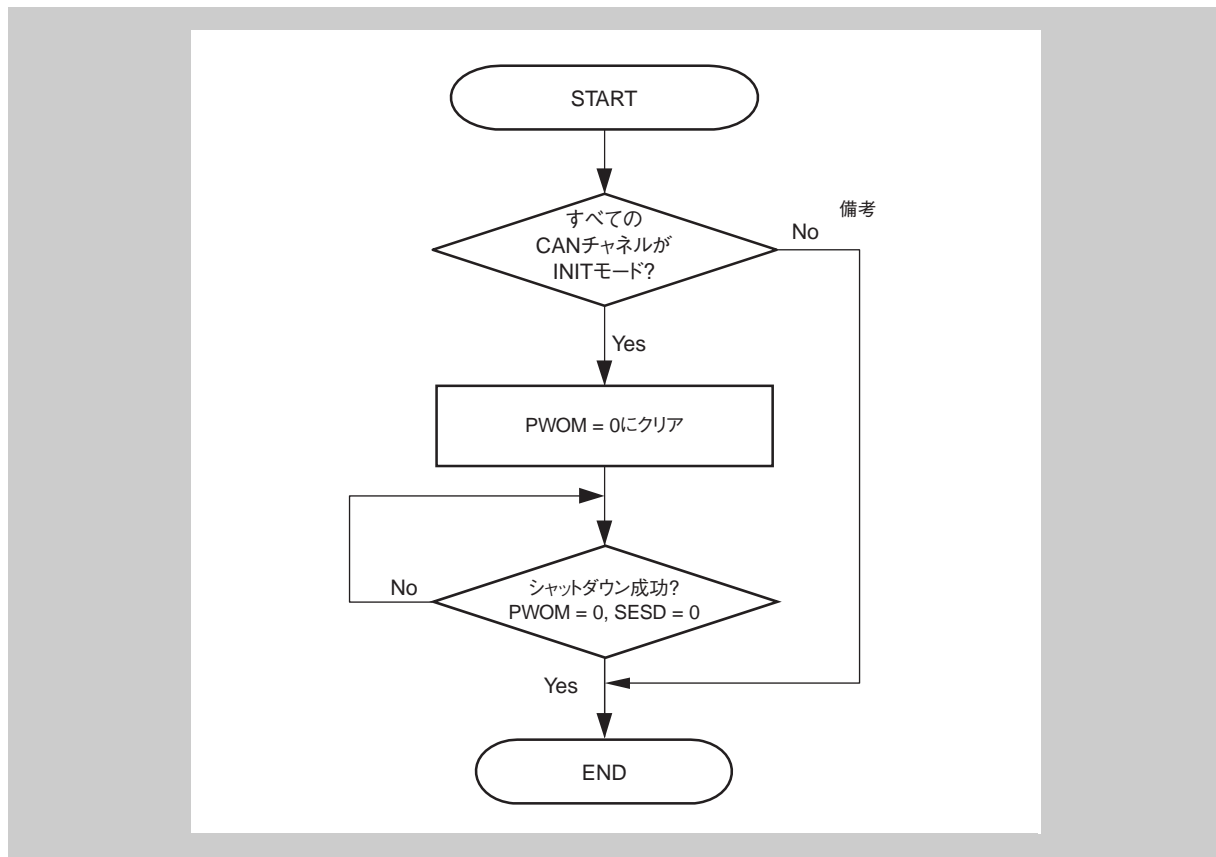


図 27-4 シャットダウン・プロセス (通常のシャットダウン)

備考 上の図では以下の略号を使用しています。

- PWOM = DCNnGMCLCTL.DCNnGMCLPWOM
- ESDE = DCNnGMCLCTL.DCNnGMCLSEDE

備考 すべてのCANチャンネルが初期化モードでないときにシャットダウンする必要がある場合は、強制シャットダウン手順を利用してください。

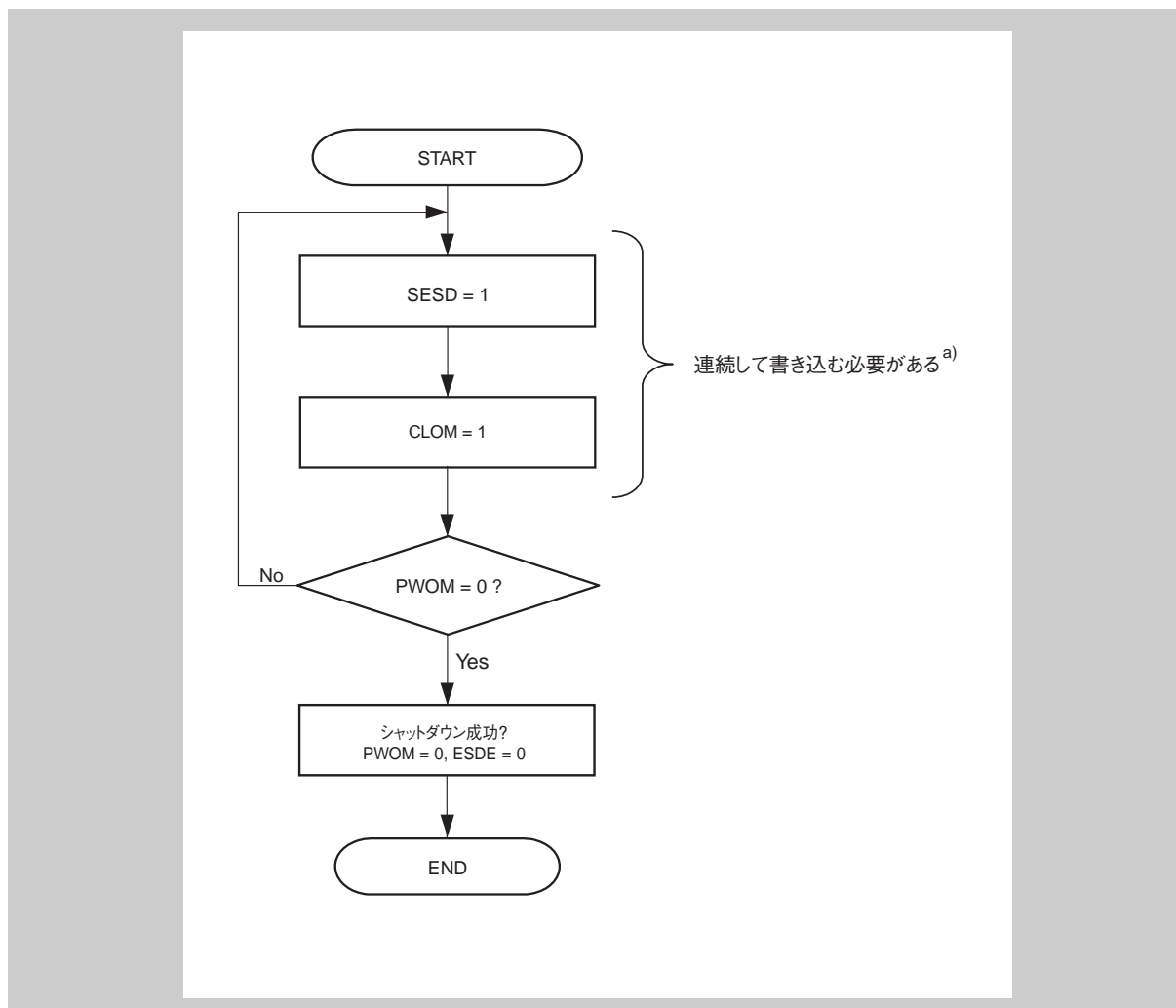


図 27-5 シャットダウン・プロセス (強制シャットダウン)

備考 上の図では以下の略号を使用しています。

- MDOF = DCNnCMCLCTL.DCNnCMCLMDOF[2:0]
- PWOM = DCNnGMCLCTL.DCNnGMCLPWOM
- SESD = DCNnGMCLCTL.DCNnGMCLSESD
- CLOM = DCNnGMCLCTL.DCNnGMCLCLOM
- ESDE = DCNnGMCLCTL.DCNnGMCLSEDE

- a) 以下の期間は、CPU によるレジスタへの読み出しアクセスまたは書き込みアクセスを行わないでください。  
ESDE= 1 と PWOM = 0 の間。  
この規則が確実に守られるようにするには、すべての割り込みを無効にすることも必要です。

## (5) 初期化のフローチャート

以下のフローチャートでは、基本的な初期化とCANモジュールの再初期化を説明します。RXONLY\_CHのボー・レートの設定をモニタ対象CANチャネルの設定と同じにする必要がある点に注意してください。

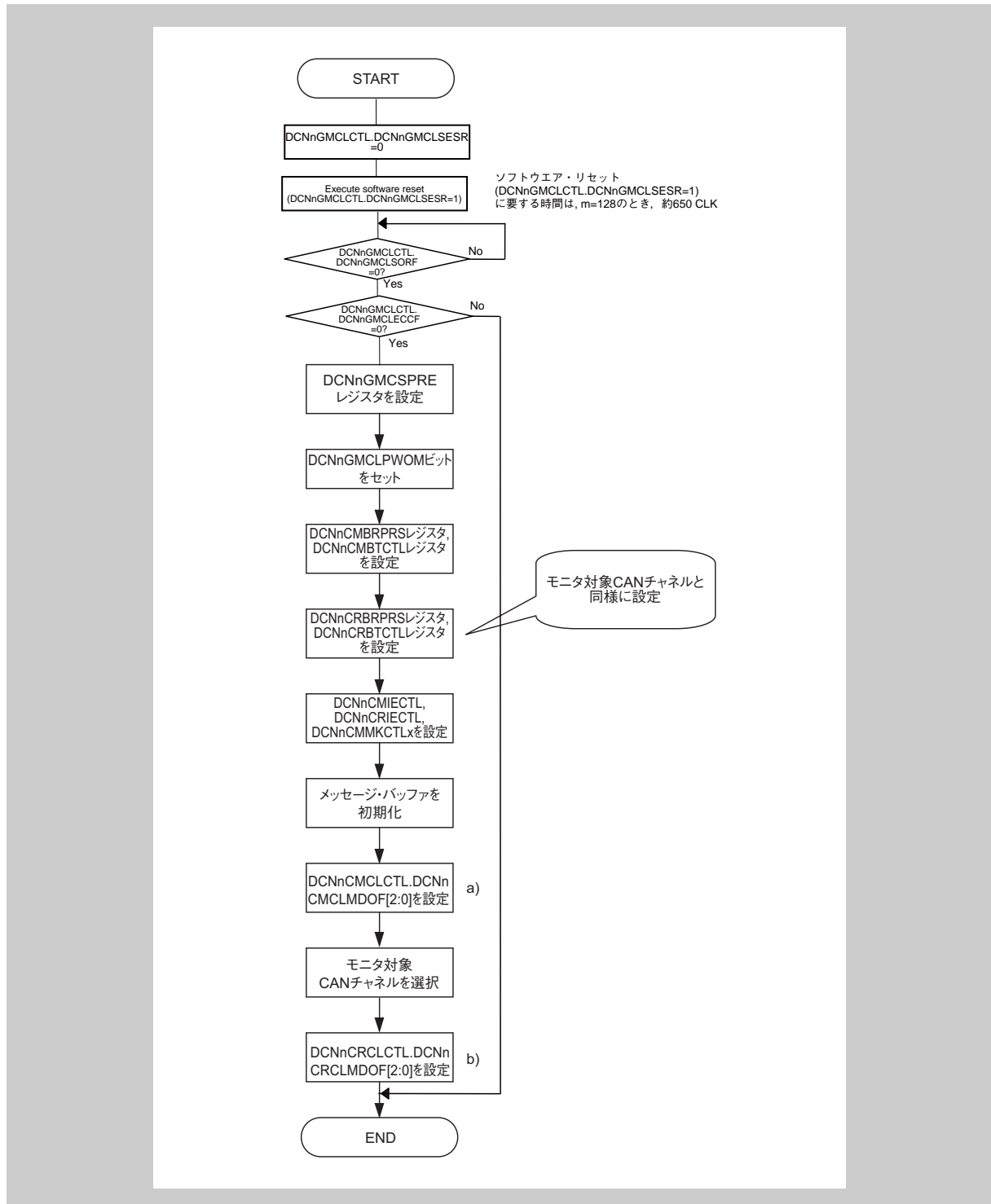


図 27-6 DIAG モジュールの初期化

**a) OPMODE :**

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

**b) OPMODE :**

- 受信オンリー・モード
- ミラー・モード
- 転送 ID フィルタ機能付きミラー・モード



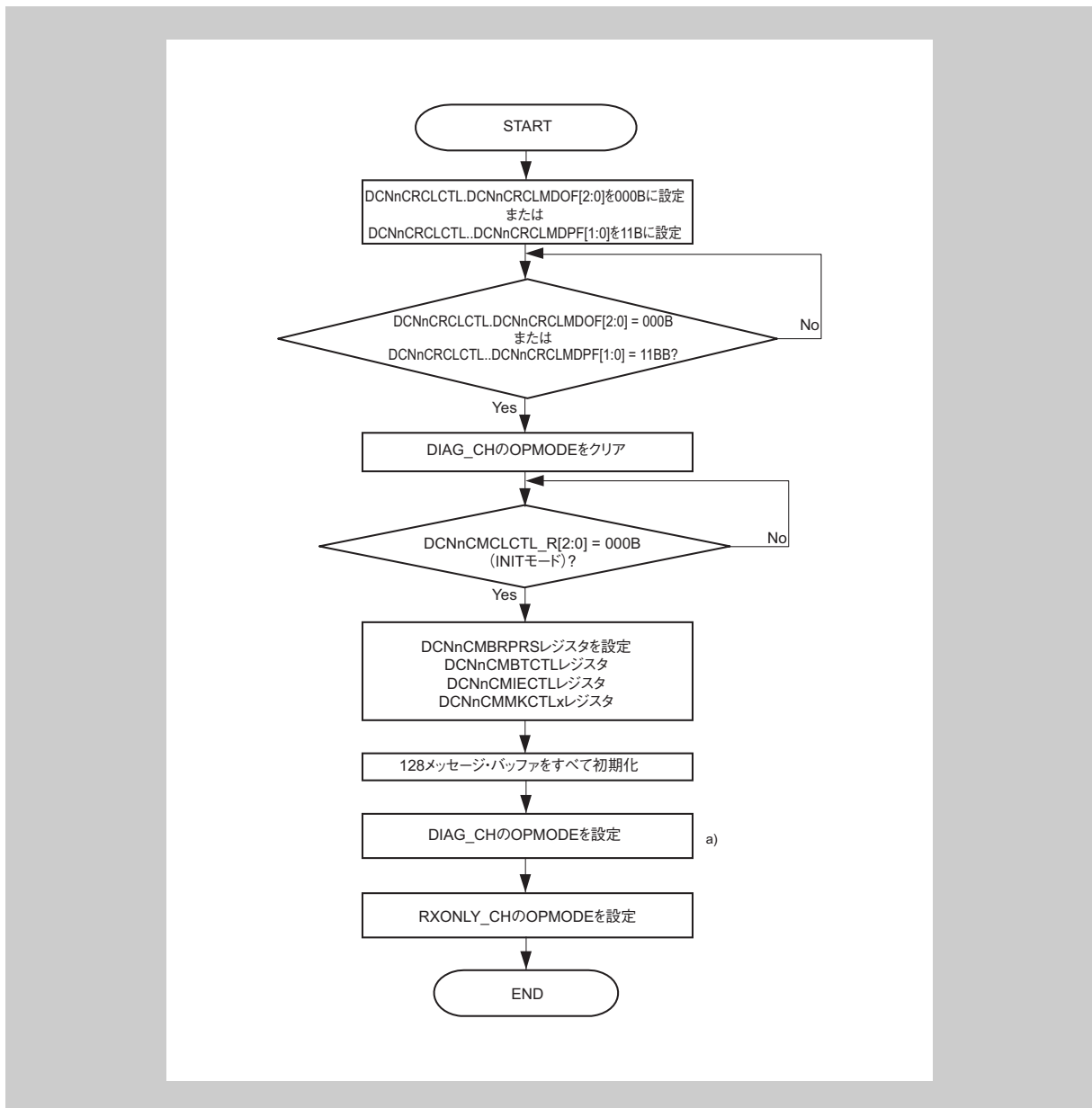


図 27-7 128 バッファを使用する DIAG\_CH CAN モジュールの再初期化

a) OPMODE :

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

b) OPMODE :

- 受信オンリー・モード
- ミラー・モード
- 転送 ID フィルタ機能付きミラー・モード

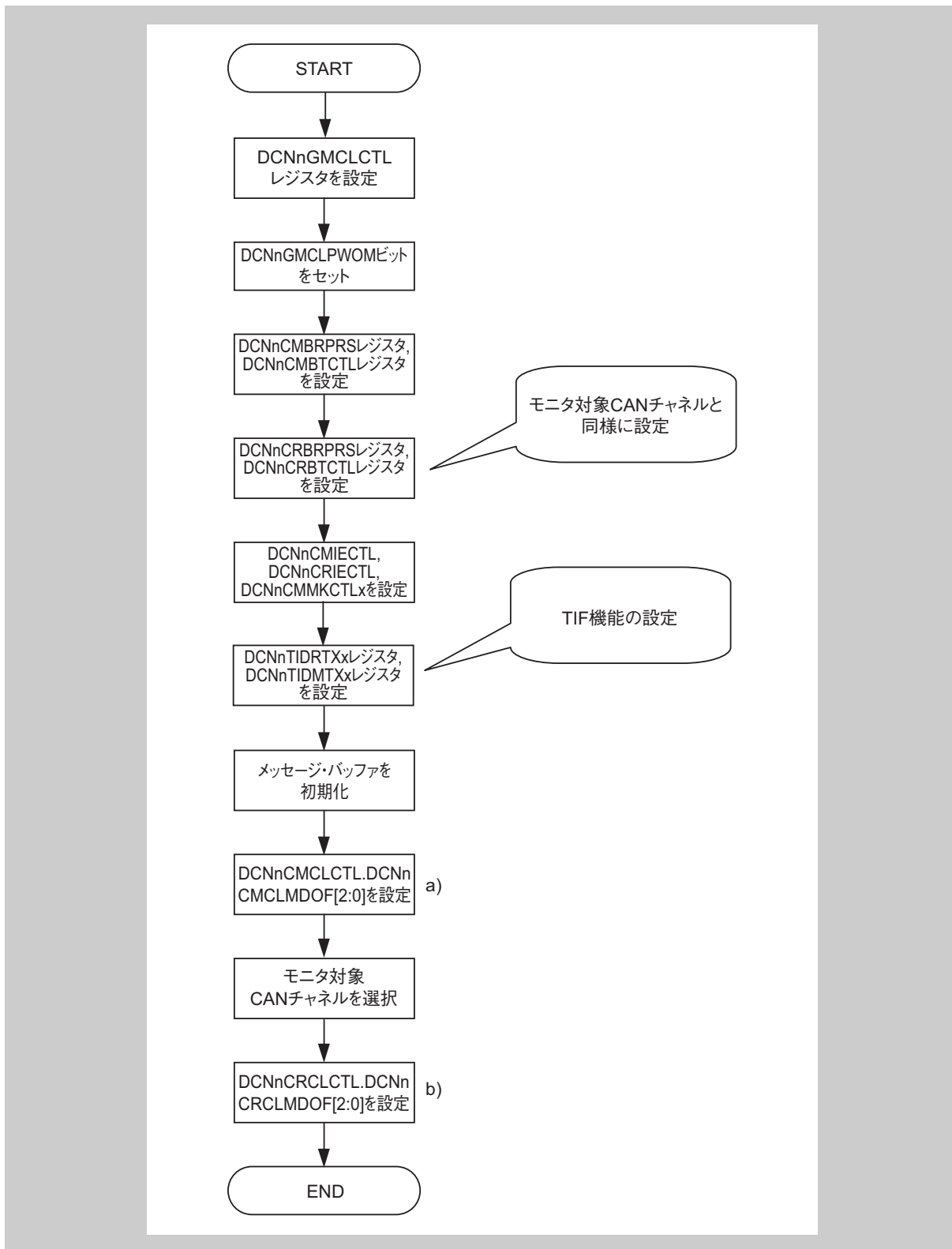


図 27-8 TX ID フィルタ機能を使用する DIAG\_CH CAN モジュールの再初期化

**a) OPMODE :**

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

**b) OPMODE :**

- 受信オンリー・モード
- ミラー・モード
- 転送 ID フィルタ機能付きミラー・モード

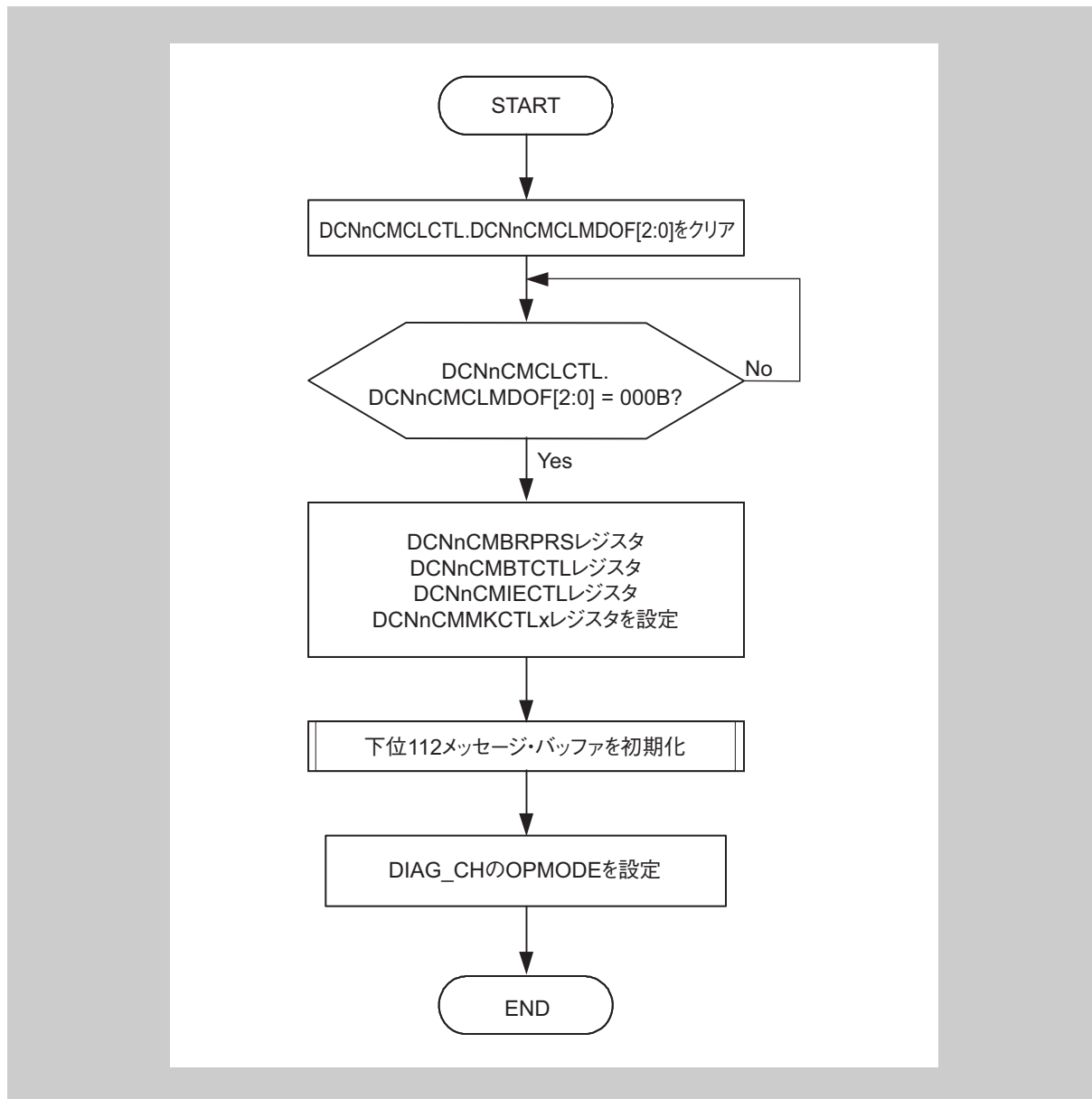


図 27-9 下位 112 バッファのみを使用する DIAG\_CH CAN モジュールの再初期化

備考 OPMODE :

- 通常動作モード
- ABT 付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフテスト・モード

## 27.5.2 メッセージ・バッファの初期化と設定

CAN モジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても以下の設定を行ってください。

- DCNnMmCTL レジスタの DCNnMmRDYF ビット, DCNnMmTRQF ビット, DCNnMmDTNF ビットをクリア (0) する。
- DCNnMmSTRB レジスタの DCNnMmSSAM ビットをクリア (0) する。

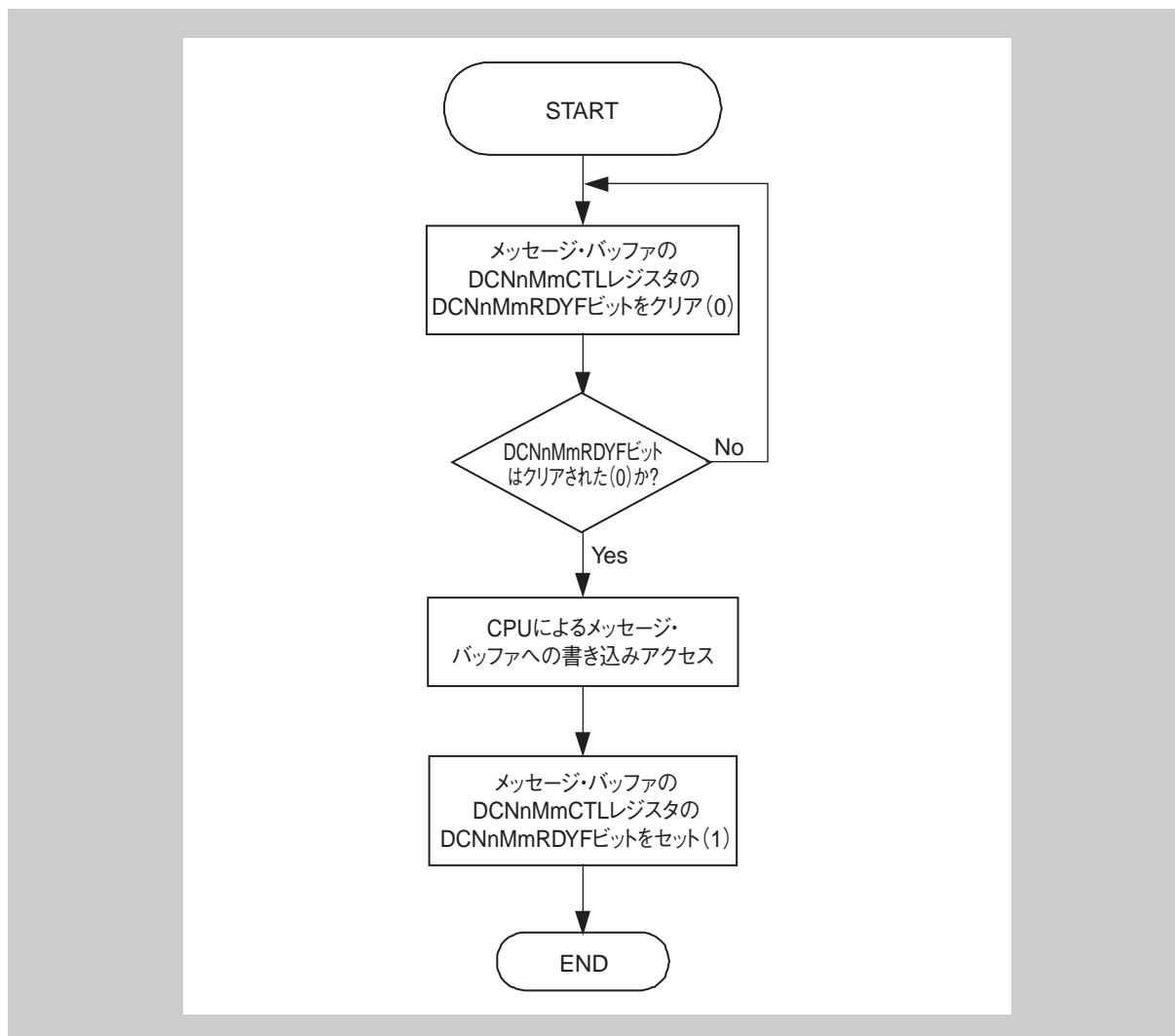


図 27-10 CPU によるメッセージ・バッファへの書き込みアクセス

DCNnRDYF ビットがクリア (0) されている間、割り当てられた CAN I/F チャンネル (CAN モジュールまたは TTCAN モジュールあるいはその両方) またはブリッジ・モジュール (RXONLY\_CH) あるいはその両方は、メッセージ・バッファにアクセスしません。したがって、メッセージ・バッファでメッセージ・フレームを受信したり、メッセージ・バッファからメッセージ・フレームを送信したりすることはできません。CPU がメッセージ・バッファに書き込みたい場合は、DCNnRDYF ビットをクリア (0) する必要があります。

CPU は、メッセージ・バッファへの書き込みアクセスを終了したら、割り当てられた CAN I/F チャンネルが特定のメッセージ・バッファの CAN プロトコル処理を行えるように、DCNnRDYF ビットをセット (1) する必要があります。

DCNnRDYF ビットがセット (1) されているメッセージ・バッファへの CPU 書き込みアクセスは無視されます。

RXONLY\_CH でも、DCNnRDYF ビットを利用するセマフォの扱いは上記の規則と同じです。ただし、ミラー・モードにおけるリング・バッファの深さを最大限にするために、アプリケーションが上位 16 メッセージ・バッファのすべての DCNnRDYF ビットをセット (1) することが強く推奨されています。また、RXONLY\_CH がミラー・モードまたは TIF 付きミラー・モードで

動作している間は、上位 16 メッセージ・バッファの DCNnRDYF ビットに絶対には書き込んではいけません (DCNnRDYF ビットをクリアまたはセットしてはいけません)。この規則に違反すると、ミラー・モードまたは TIF 付きミラー・モードが終了したり、診断 CAN バス上のモニタ対象メッセージの順序が乱れたりします。

### 27.5.3 CAN I/F チャンネルへのメッセージ・バッファの割り当て

以下の図に示すように、上位 16 メッセージ・バッファの領域は DIAG\_CH または RXONLY\_CH のいずれにも割り当てることができるのに対して、その他のメッセージ・バッファは DIAG\_CH に静的に割り当てられます。

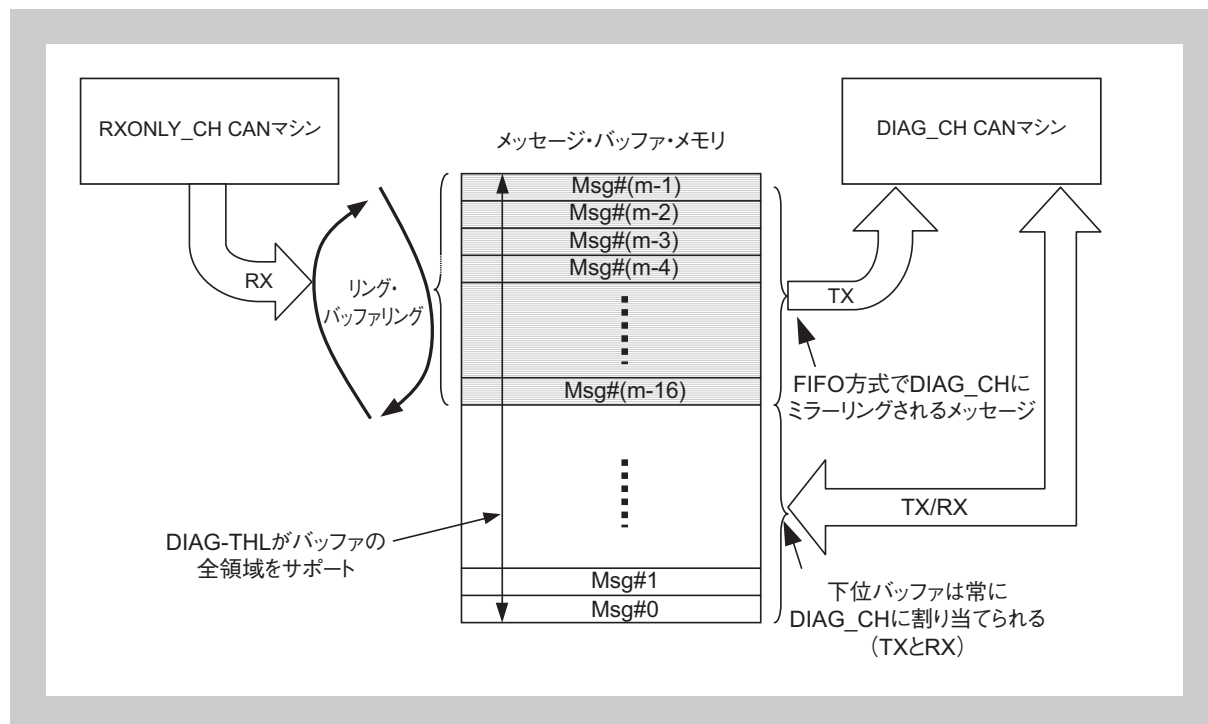


図 27-11 ミラー・モードまたは受信専用モードでの RXONLY\_CH の動作

上位 16 メッセージ・バッファの割り当ては、RXONLY-CH CAN マシンの OPMODE および PSMODE によって異なります。

基本的に、これらのバッファは、RXONLY\_CH が動作モード（つまりミラー・モードまたは受信オンリー・モード）に入っている間、RXONLY\_CH に割り当てられます。さらに、RXONLY\_CH がスリープ・モードに入っている場合は、RXONLY\_CH のウェイクアップ・イベントがいつ発生するか予測できないため、これらのバッファを RXONLY\_CH に割り当てる必要があります。ストップ・モードでは、RXONLY\_CH の消費電力を最小限に抑えながら、DIAG\_CH が 128 個のバッファすべてを使用できる動作モードを設定するために、これらのバッファは DIAG\_CH に割り当てられます。ユーザは、割り当てを変更する（つまり RXONLY\_CH の初期化またはストップ・モードを解除する）前に、上位 16 メッセージ・バッファを設定する必要があります。



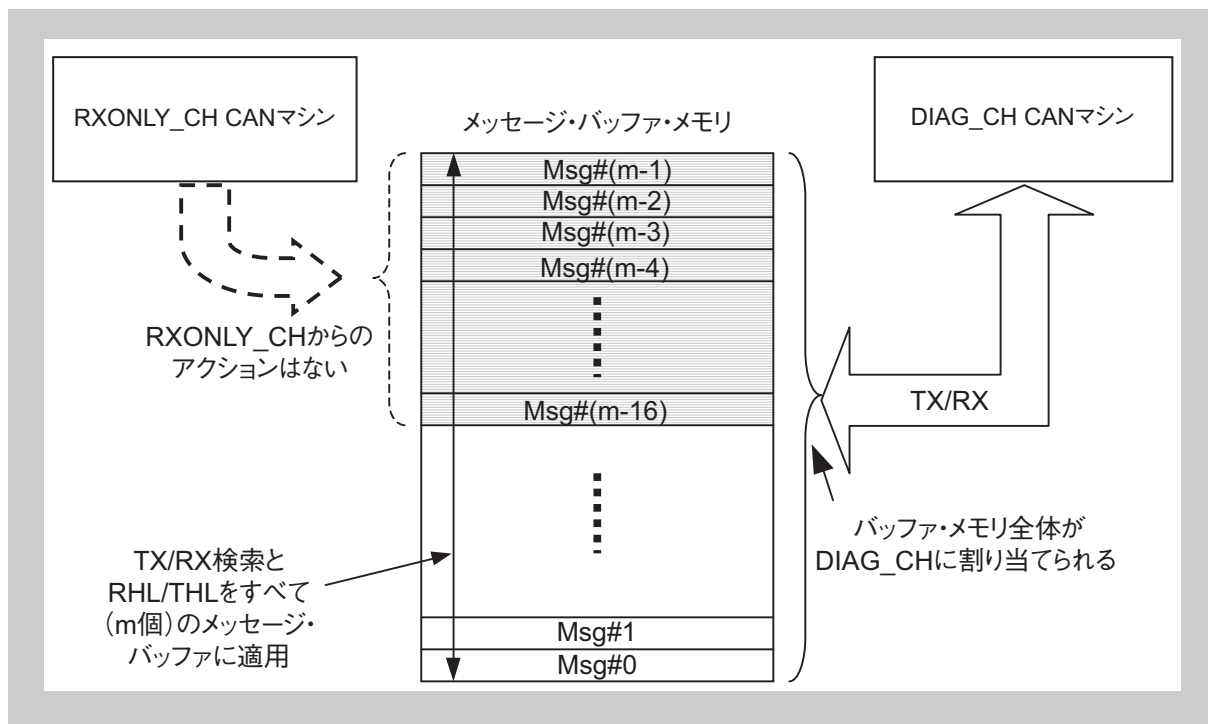


図 27-12 RXONLY\_CH が INIT または STOP 中の動作

動作モードとパワー・セーブ・モードでのメッセージ・バッファの割り当てを以下の表に示します。

表 27-9 PS / OPMODE とメッセージ・バッファの割り当ての対応

PSMODE \ OPMODE	ミラー・モード	TIF 付き ミラー・モード	受信オンリー・ モード	初期化モード
非 PWR-SAVE	RXONLY	RXONLY	RXONLY	DIAG
SLEEP	RXONLY	RXONLY	RXONLY	
STOP	DIAG	DIAG	DIAG	

上位 16 メッセージ・バッファの割り当てが切り換わるとき、アプリケーションは、あらかじめすべてのバッファを以下で説明するように設定する必要があります。

## (1) ミラー・モードへの切り換え前の設定

ミラー・モードで動作中は、上位 16 メッセージ・バッファのすべてが FIFO 方式で動作するリング・バッファとして使用されます。したがって、アプリケーションは、以下の表に従って、これらのバッファをあらかじめ送信バッファとして準備しておく必要があります。DN = 1 になっているメッセージ・バッファを上書きしない機能が RXONLY\_CH の動作モードに組み込まれているため、OWS の設定が無効（不要）である点に注意してください。

ビット名	設定
DCNnMmCTL.DCNnMmMOWF	クリア
DCNnMmCTL.DCNnMmIENF	アプリケーションによって異なる
DCNnMmCTL.DCNnMmDTNF	クリア
DCNnMmCTL.DCNnMmTRQF	クリア
DCNnMmSTRB.DCNnMmSSAM	001b
DCNnMmSTRB.DCNnMmSSMT[3:0]	000b
DCNnMmSTRB.DCNnMmSSRT	不定
DCNnMmSTRB.DCNnMmSSOW	不定
DCNnMmMIDx.DCNnMmSSIE	不定
DCNnMmMIDx.DCNnMmSSID[28:0]	不定
DCNnMmDTLGB.DCNnMmDTLG[3:0]	不定
DCNnMmDATx.DCNnMmSSD	不定

メッセージ・バッファの割り当てを RXONLY\_CH へ変更するときの操作の流れを以下の図に示します。まず、アプリケーションは、新しい設定をバッファに書き込む前に、上位 16 メッセージ・バッファに RDY = 0 を適用するか、DIAG-CH を INIT モードに設定する必要があります。

新しい設定が完了したら、DIAG\_CH, RXONLY\_CH の順に、チャンネルを指定された動作モードとパワー・セーブ・モードに設定します。最後に、DCNnRDYF ビットをセット (1) することによって、上位 16 メッセージ・バッファを再び有効にします。

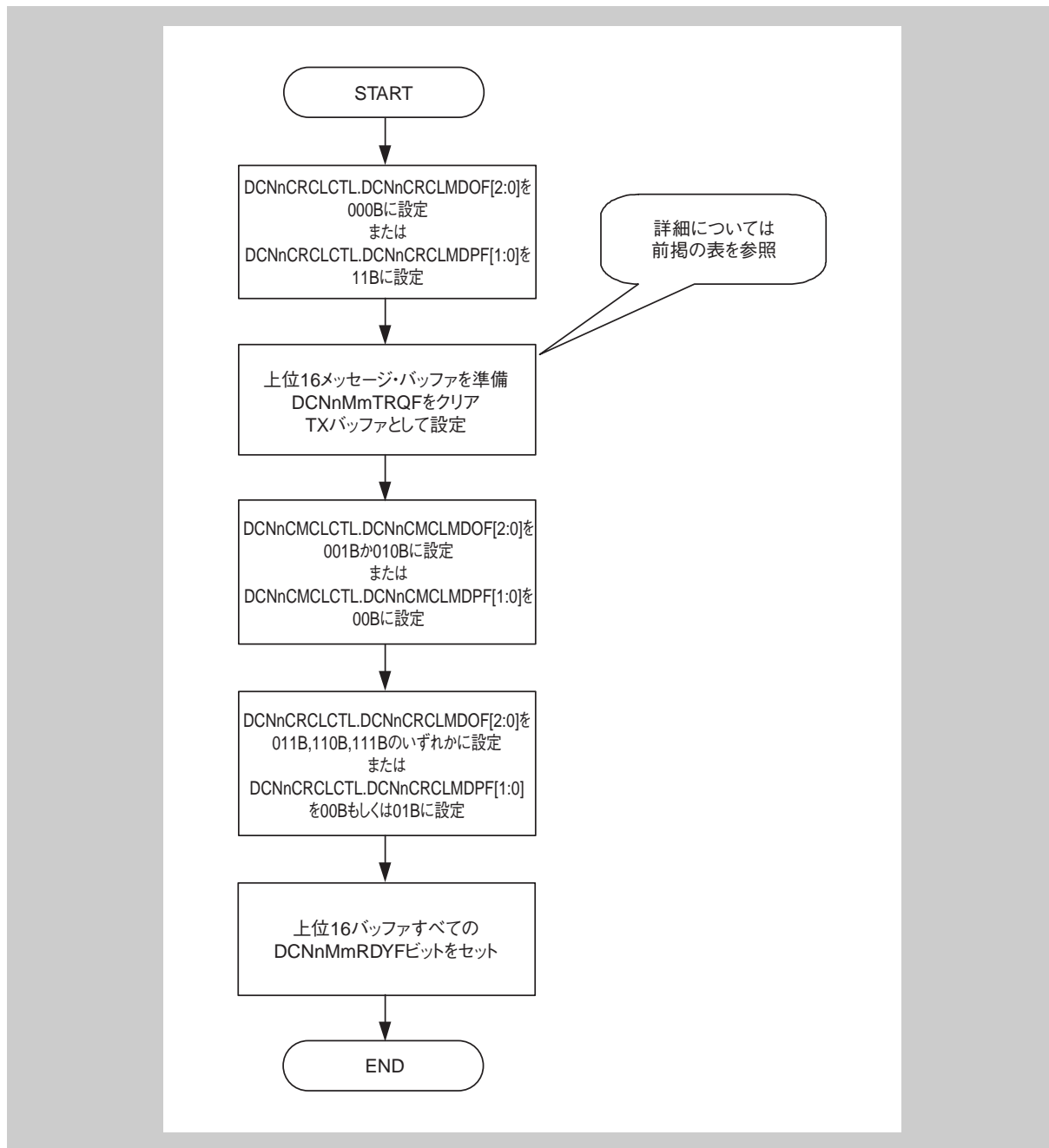


図 27-13 RXONLY\_CH のミラー・モード、TIF 付きミラー・モードまたは受信専用モードの設定

## (2) DIAG 側へ切り換える前の設定

上位 16 メッセージ・バッファのすべてをアプリケーションによる通常のメッセージの送受信に使用するために DIAG\_CH に割り当てることができます。割り当てを再び DIAG\_CH にリンクさせる前に、これらのバッファに特別な設定を適用する必要はありません。ただし、バッファを DIAG\_CH に割り当てる前にアプリケーションが DCNnMmRDYF ビットと DCNnMmTRQF ビットをクリアするか、割り当てを変更する前に DIAG\_CH を OPMODE = INIT または PSMODE = STOP に設定することが推奨されています。その後、DIAG\_CH を通常モードに設定する前に、少なくとも上位 16 メッセージ・バッファの DCNnMmRDYF ビットをクリアしてください。そうすることで、動作モード移行中のメッセージの適切な処理が保証されます。

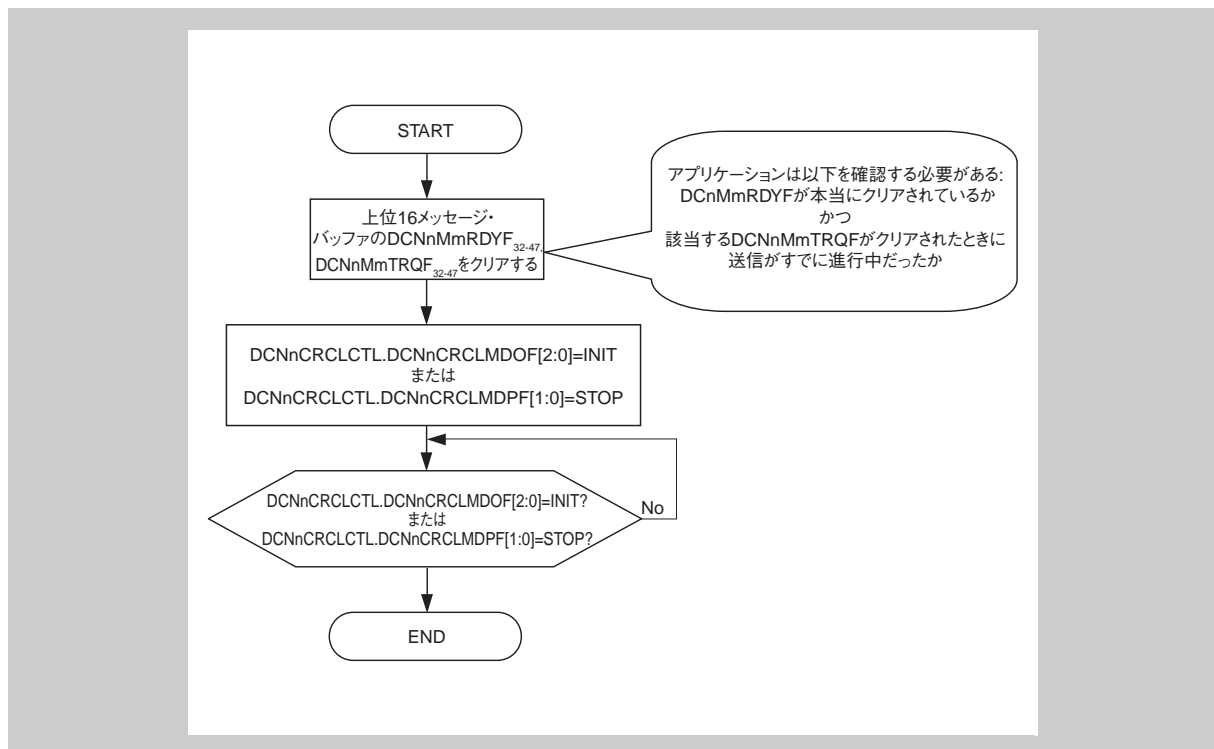


図 27-14 RXONLY\_CH のミラー・モードまたは受信専用モードのキャンセル

上位メッセージ・バッファの DCNnMmTRQF をクリアするときに、それらのバッファの 1 つからの送信がまだ進行中である可能性があります。正しくメッセージを処理する（つまり送信履歴リストを正しい状態に保つ）ために、DIAG\_CH の最初の送信完了割り込みが発生したあとで移行処理を再開する方法が推奨されています。

#### 27.5.4 DIAG モジュールの初期化と制御

RESET 後、CAN I/F チャンネルの CAN モジュールのレジスタ DCNnGMADCTL, DCNnCMINSTR, DCNnGMCLCTL, DCNnGMCSPRE, DCNnGMABCTL, DCNnCMMKCTLx, DCNnCMCLCTL, DCNnCMLCSTR, DCNnCMERCNT, DCNnCMIECTL, DCNnCMISCTL, DCNnCMBRPRS, DCNnCMBTCTIL, DCNnCMTSCTL, DCNnCRCLCTL, DCNnCRLCSTR, DCNnCRERCNT, DCNnCRIECTL, DCNnCRISCTL, DCNnCRBRPRS, DCNnCRBTCTIL, DCNnCRBSSTR には、それぞれの初期値が格納されます。その後、ソフトウェア・リセットが実行され、DCNnCMMKCTLx に初期値が格納されます。

CAN モジュールを動作モードに切り換える前に、レジスタ (DCNnCMMKCTLx, DCNnCMCLCTL, DCNnCMIECTL, DCNnCMBRPRS, DCNnCMBTCTI, DCNnCMTSCTL, DCNnCRCLCTL, DCNnCRIECTL, DCNnCRBRPRS, DCNnCRBTCTI) をアプリケーションの要件に従って初期化する必要があります。さらに、DCNnCMLCSTR レジスタと DCNnCRLCSTR レジスタをそれぞれの初期値 (00H) に設定し、DCNnCMCLCTL レジスタの DCNnCMVALF ビットと DCNnCRCLCTL レジスタの DCNnCRVALF ビットをユーザがクリア (0) する必要があります。

#### 27.5.5 CAN ビット時間のプログラミング

CAN ビット時間を正しく設定すれば、CAN モジュールを INIT モードから解除し、いずれかの動作モードに設定することができます。

## 27.5.6 DIAG\_CH の動作モードの移行

DIAG\_CH CAN マシンは以下の動作モードに切り換えることができます。

- 「通常動作モード」
- 「ABT 付き通常動作モード」
- 「受信オンリー・モード」
- 「シングル・ショット・モード」
- 「セルフ・テスト・モード」

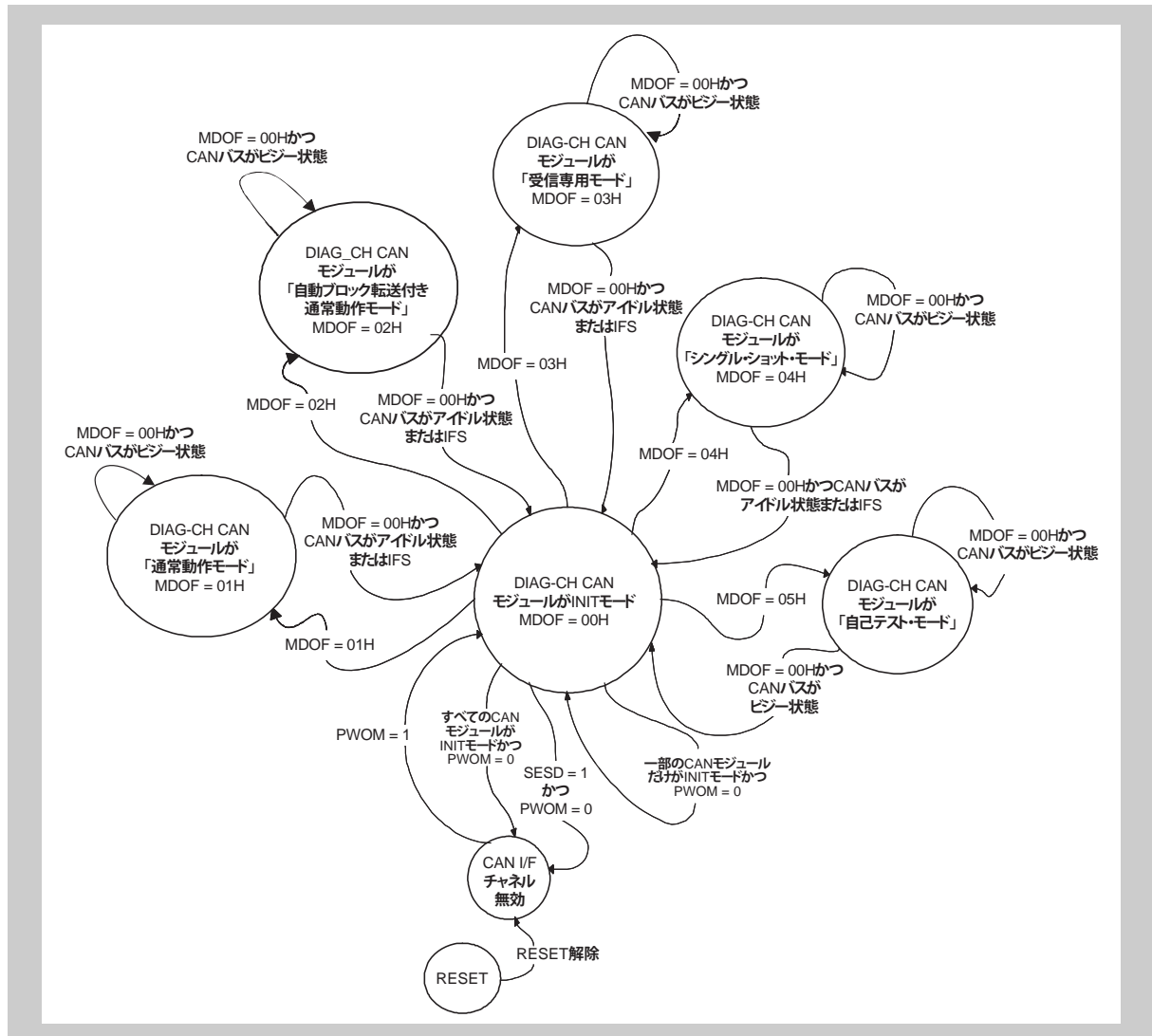


図 27-15 DIAG\_CH CAN モジュールの動作モードの移行

備考 上の図では以下の略号を使用しています。

- MDOF = DCNnCMCLCTL.DCNnCMCLMDOF[2:0]
- PWOM = DCNnGMCLCTL.DCNnGMCLPWOM
- ESDE = DCNnGMCLCTL.DCNnGMCLESDE

INIT モードから動作モードへの移行は、DCNnCMCLCTL レジスタのビット文字列 DCNnCMCLMDOF[2:0] によって制御されます。

ある動作モードから別の動作モードへ移行するには、一度、初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作保証はいたしません。

CAN バスがアイドル状態でないとき（つまり、フレームの受信または送信が進行中）、動作モードから INIT モードへの移行要求は CAN モジュールによって直接受け入れられません。その移行要求は、CAN モジュールが中断の最初のビットを検出するまで保留する必要があります。上記の条件が検出されると、動作モードから INIT モードへの移行がただちに実行され、ビット文字列 DCNnCMCLMDOF[2:0] の値が 00<sub>H</sub> に変化します。CPU は、DCNnCMCLMDOF[2:0] = 00<sub>H</sub> になるまで DCNnCMCLMDOF[2:0] のビット文字列を読み出すことによって、INIT モードへの正常な移行が完了したことを確認する必要があります。

すでに INIT モードに入っている特定の CAN モジュールで受信成功割り込みが検出された場合、その割り込みは、CPU による INIT モードの要求と同時に実行された受信プロセスによって生成されています。その割り込みの原因となった受信メッセージは、INIT モードが有効になる前にすでに格納されています。

## 27.5.7 RXONLY\_CH の動作モードの移行

RXONLY\_CH CAN マシンは以下の動作モードに切り換えることができます。

- 「ミラー・モード」
- 「転送 ID フィルタ機能 (TIF) 付きミラー・モード」
- 「受信オンリー・モード」

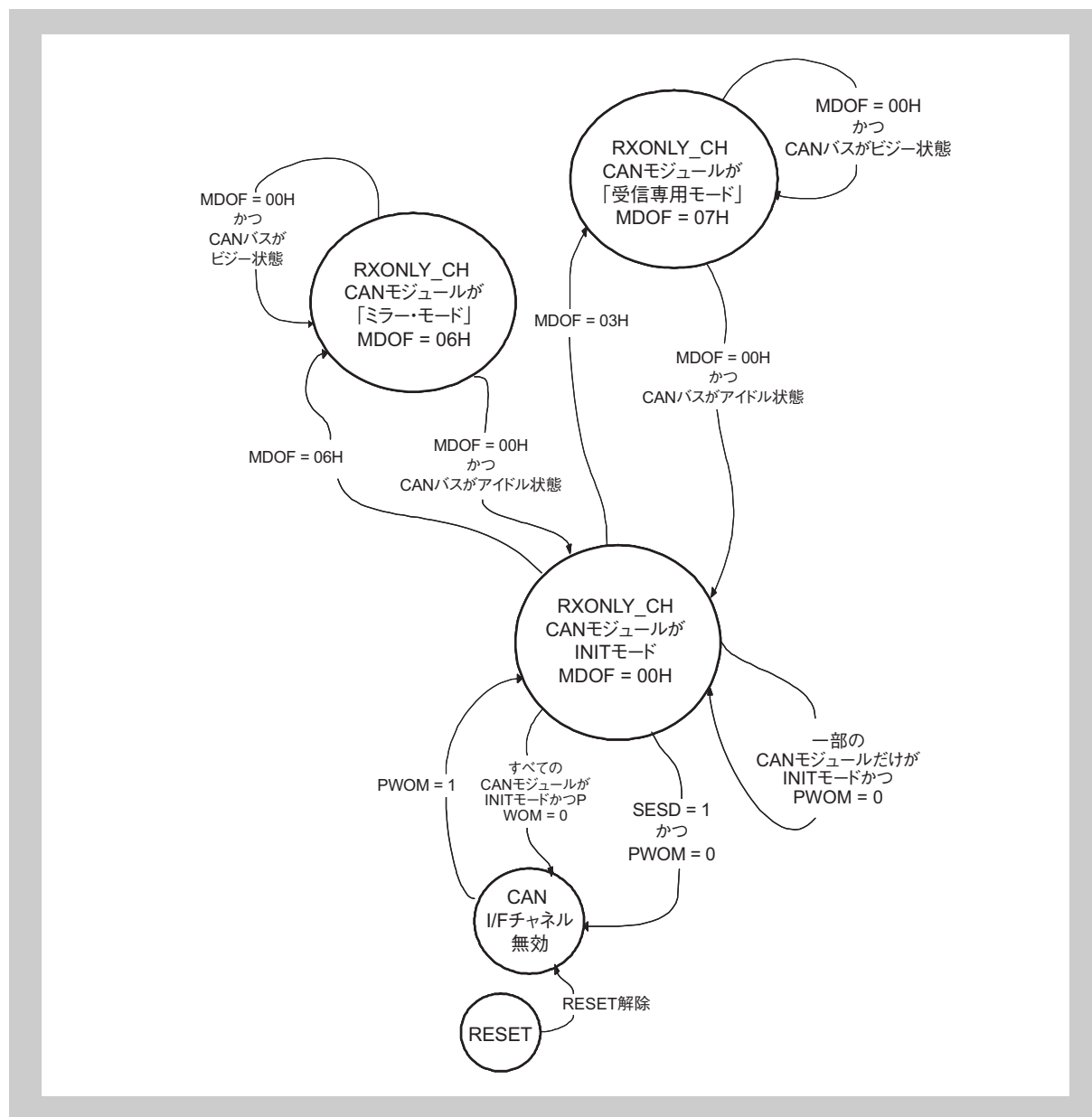


図 27-16 RXONLY\_CH CAN モジュールの動作モードの移行

備考 上の図では以下の略号を使用しています。

- MDOF = DCNnCRCLCTL.DCNnCRCLMDOF[2:0]
- PWOM = DCNnGMCLCTL.DCNnGMCLPWOM
- ESDE = DCNnGMCLCTL.DCNnGMCLESDE



初期化モードから動作モードへの移行は、DCNnCRCTL レジスタの DCNnCRCLMODF[2:0] によって制御されます。

1つの動作モードから別の動作モードへ切り換えるときの規則は DIAG\_CH の場合と同じです。

## 27.6 モジュール割り込み

DCN モジュールは 13 個の異なる割り込みソース・イベントを生成します。これらの割り込みソース・イベントの発生は、割り込みステータス・レジスタに保存されます。13 個のソース・イベントから 4 個の別々の割り込み要求信号が生成されます。割り込みステータス・レジスタを参照することで、ユーザは特定の割り込みに対応する実際の割り込みソース・イベントを特定することができます。割り込みソース・イベントを特定したあと、ユーザはそのイベントに対応する割り込みステータス・ビットをクリアする必要があります。

表 27-10 すべてのモジュール割り込みソースの一覧 (1/2)

#	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込みソースの説明
	名称	レジスタ	名称	レジスタ		
1	DCNnCMISITSF0	DCNnCMISCLT	DCNnCMIEINTF0 <sup>a</sup>	DCNnCMIECTL	INTTRX	割り込みイベント「DIAG_CH によるメッセージ・バッファ m からのメッセージ・フレームの送信成功」に対応する CAN モジュール割り込みステータス・ビット。割り込みはミラーリングされたメッセージに対しても発行されます。
2	DCNnCMISITSF1	DCNnCMISCLT	DCNnCMIEINTF1 <sup>a</sup>	DCNnCMIECTL	INTREC	割り込みイベント「メッセージ・バッファ m での DIAG_CH からの有効なメッセージ・フレームの受信」に対応する CAN モジュール割り込みステータス・ビット。
3	DCNnCRISITSF1	DCNnCRISCLT	DCNnCRIEINTF1 <sup>a</sup>	DCNnCRIECTL		割り込みイベント「上位 16 メッセージ・バッファの 1 つでの RXONLY_CH からの有効なメッセージ・フレームの受信」に対応する CAN モジュール割り込みステータス・ビット。
4	DCNnCMISITSF2	DCNnCMISCLT	DCNnCMIEINTF2	DCNnCMIECTL	INTERR	DIAG_CH の CAN モジュール・エラー状態割り込みステータス
5	DCNnCRISITSF2	DCNnCRISCLT	DCNnCRIEINTF2	DCNnCRIECTL		RXONLY_CH の CAN モジュール・エラー状態割り込みステータス
6	DCNnCMISITSF3	DCNnCMISCLT	DCNnCMIEINTF3	DCNnCMIECTL		DIAG_CH の CAN モジュール・プロトコル・エラー割り込みステータス
7	DCNnCRISITSF3	DCNnCRISCLT	DCNnCRIEINTF3	DCNnCRIECTL		RXONLY_CH の CAN モジュール・プロトコル・エラー割り込みステータス
8	DCNnCMISITSF4	DCNnCMISCLT	DCNnCMIEINTF4	DCNnCMIECTL		DIAG_CH の CAN モジュール調停ロス割り込みステータス
9	DCNnCMISITSF5	DCNnCMISCLT	DCNnCMIEINTF5	DCNnCMIECTL	INTWUP	CAN バスによる DIAG_CH CAN マシンのスリープ・モードからのウェイクアップ割り込みステータス・ビット
10	DCNnCRISITSF5	DCNnCRISCLT	DCNnCRIEINTF5	DCNnCRIECTL		CAN バスによる RXONLY_CH CAN マシンのスリープ・モードからのウェイクアップ割り込みステータス・ビット

表 27-10 すべてのモジュール割り込みソースの一覧 (2/2)

#	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込みソースの説明
	名称	レジスタ	名称	レジスタ		
11	DCNnCMISITSF6	DCNnCMISCLT	DCNnCMIEINTF6	DCNnCMIECTL	INTWUP	割り込みイベント「DIAG_CHによるメッセージ・バッファ mからのメッセージ・フレームの送信中断」に対応するCANモジュール割り込みステータス・ビット。
12	DCNnCRISITSF6	DCNnCRISCLT	DCNnCRIEINTF6	DCNnCRIECTL	INTERR	上位16メッセージ・バッファのすべてが占有されているため(つまり、DN <DCNnCRLISTR +1> = 1)、RXONLY_CH CANマシンがメッセージの格納に失敗したときに1にセットされるバッファ・オーバフロー割り込みステータス・ビット。
13	DCNnCMISITSF7	DCNnCMISCLT	DCNnCMIEINTF7	DCNnCMIECTL	INTTRX	ミラー・モード中に上位16メッセージ・バッファの送信が完了したことを示します。ステータス・ビットとDCNnCMISCLT7は、RXONLY_CHがミラー・モードで動作しているときにのみ意味を持ちます。DCNnCMIECTLのDCNnCMIEINT0がクリアされている場合、DCNnCMISCLT7は何の機能も果たしません。

- a) 割り込み生成プロセスに参加するメッセージ・バッファに対応するDCNnMmCTLレジスタのDCNnMmIENFビット(メッセージ・バッファ割り込み許可ビット)をセット(1)する必要があります。

## 27.7 メッセージ受信

### 27.7.1 RXONLY\_CH のメッセージ受信

DIAG\_CH ではすべてのアクセプタンス・フィルタリング動作を利用可能ですが、RXONLY\_CH では単純な受信動作のみが利用可能です。RXONLY\_CH では、単純な受信操作のみが可能です。詳細については、27.9 「RXONLY\_CH の動作モード」で説明しています。受信に関する DIAG\_CH の機能は標準 CAN コントローラ (FCN) の受信機能と同じであるため、ここでは説明しません。

RXONLY\_CH では、受け入れフィルタリングは使われません。ミラー・モード、TIF 付きミラー・モードまたは受信専用モードが選択されていれば、任意の有効なメッセージが DCN モジュールの上位 16 メッセージ・バッファに格納されます。RXONLY\_CH は、いずれのミラー・モードでも、DCNnMmDTNF ビットがクリアされているのバッファを探し、そこにメッセージを格納します。バッファ #127 に達するとバッファ #112 に戻ります。

受信専用モードでは、アプリケーションがメッセージを読み出し、DCNnCRISCTL の割り込み DCNnCRISITSF6 が生成されないように、DCNnMmDTNF ビットをクリアする必要があります。

ミラー・モードでも受信プロセスによって DCNnMmDTNF ビットがセットされますが、受信割り込みは生成されません。その代わりに、別のステート・マシンがトリガされ、そのメッセージ・バッファの DCNnMmTRQF をセットできるかどうか、したがって DIAG\_CH でメッセージの送信を開始できるかどうかを評価します。上位 16 メッセージ・バッファの DCNnMmTRQF の設定を処理するステート・マシンは、DIAG\_CH またはホスト CPU が DCNnMmTRQF ビットをクリアするたびにアクティブになります。下位 112 メッセージ・バッファの DCNnMmTRQF ビットも考慮する必要があります。ステート・マシンが、前回送信フラグを付けたメッセージ・バッファの DCNnMmTRQF がクリアされていることを検出すると、保留中のエントリがないことを履歴リストが示していない限り、次のバッファの DCNnMmTRQF がセットされます。

DCNnMmDTNF ビットは RXONLY\_CH によって空の (すでに送信された) バッファの検出に使われるため、DIAG\_CH でメッセージが正常に送信されると、DCNnMmDTNF ビットは自動的にクリアされます。

### 27.7.2 受信履歴

RXONLY チャンネルは、標準 CAN コントローラ・チャンネルと DIAG\_CH で使われる受信履歴リスト (RHL) に対応していません。ただし、Last-In-Message Pointer (LIPT) の機能が DCNnCRLISTR レジスタ内に実装されています。

**備考** DCNnCRLISTR の値は RXONLY\_CH が PSMODE = STOP である間、保持されます。このレジスタは、OPMODE = INIT に入ったときにのみクリアされません。

---

**注意** DIAG\_CH の DCNnCMRGRX は RXONLY\_CH への受信では更新されません。

---

### 27.7.3 リモート・フレームの受信

リモート・フレームの受信は DIAG\_CH と RXONLY\_CH の両方に適用されません。ただし、RXONLY\_CH では、メッセージの格納の規則が異なり、受け入れフィルタリングは利用できません。

RXONLY\_CH でのリモート・フレームの受信は、受け入れフィルタリングなしの上位 16 メッセージ・バッファへの通常のデータ・フレームの受信として扱われます。メッセージはリング・バッファ方式に従って格納されます。

## 27.8 メッセージの送信

RXONLY\_CH はメッセージの受信しか行わないため、RXONLY\_CH のミラー・モードにリンクされている DIAG\_CH による特定の送信操作についてのみ 27.9.3 「ミラー・モード」で説明します。

DIAG\_CH の送信機能については、標準 CAN コントローラの章を参照してください。

## 27.9 RXONLY\_CH の動作モード

### 27.9.1 RXONLY\_CH でのメッセージ処理

RXONLY\_CH CAN モジュールでは RXONLY\_CH CAN から受信したデータ・フレームとリモート・フレームを上位 16 メッセージ・バッファに格納します。

RXONLY\_CH からの受信メッセージを格納するには、以下の条件が満たされている必要があります。

- メッセージ・バッファがデータ・フレームを受信した CAN I/F チャンネルに割り当てられている必要があります (**DCNnMmSTRB レジスタの DCNnMmSSAM ビットがセット (1) されている**必要があります)。
- メッセージ・バッファは、CAN プロトコル処理可能としてマークされている (**DCNnMmCTL レジスタの DCNnMmRDYF ビットがセット (1) されている**) 必要があります。
- ミラー・モード動作で必要とされる追加条件  
上位 16 メッセージ・バッファが送信メッセージ・バッファとして設定されている (**DCNnMmSTRB レジスタの DCNnMmSSMT[3:0] が 0x00 となっている**) 必要があります。

---

**注意** 通常の CAN コントローラ・チャンネルと異なるのは、通常はデータ・フレームを受信することがない送信メッセージ・バッファとして設定されているバッファが任意のメッセージを受け入れる点です。  
特にミラー・モードを呼び出す前には、上位 16 メッセージ・バッファのすべての送信要求ビットをクリアする (DCNnMmCTL レジスタの DCNnMmTRQF ビットを (0 に) リセットする) 必要があります。これが必要なのは、上位 16 メッセージ・バッファの DCNnMmTRQF の設定がミラー・モードのマシンによって処理されるからです。  
上位 16 メッセージ・バッファは以下の図に示すようにリング・バッファとして動作します。

---

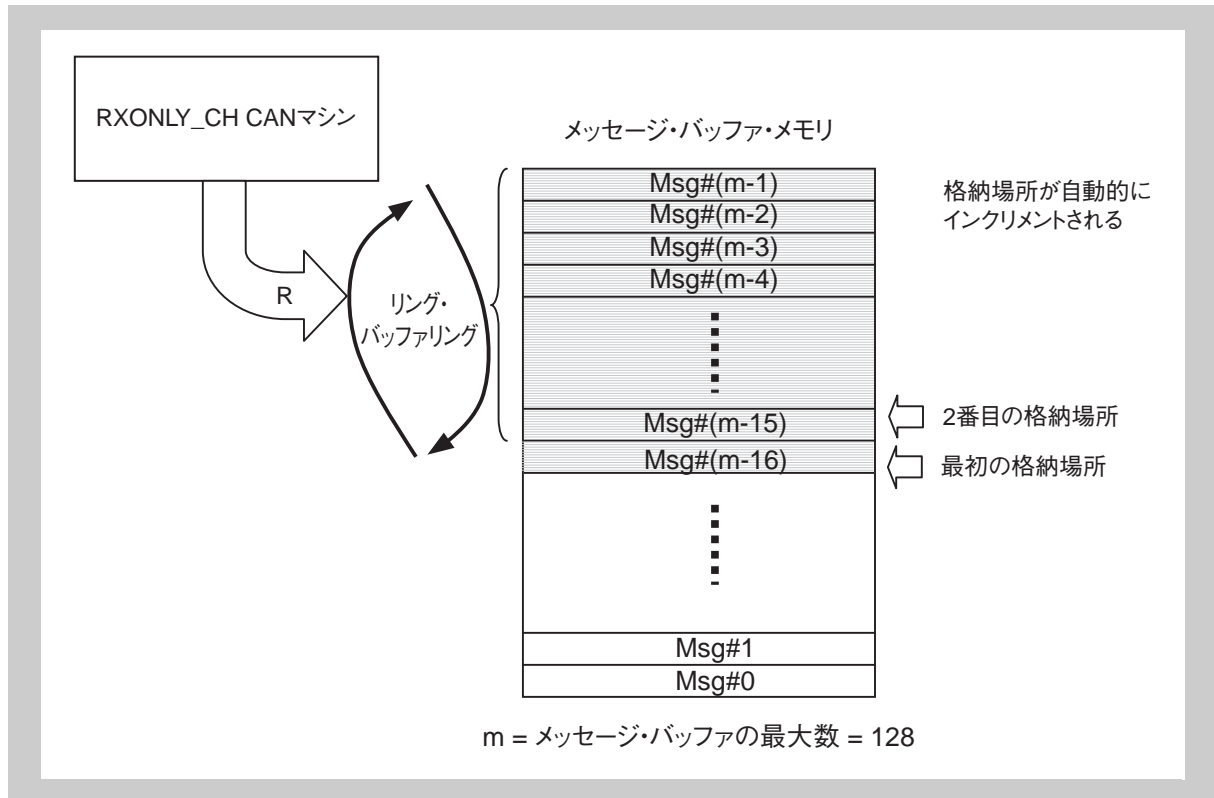


図 27-17 RXONLY\_CH の受信プロセス

上位 16 メッセージ・バッファの割り当てを切り換えると、格納ポインタが (m - 16) に初期化されます。

RXONLY\_CH の受信プロセスは、通常の標準 CAN コントローラ・モジュール (FCN) の受信プロセスと異なります。

- 受け入れフィルタリングはありません。任意のデータ・フレームまたはリモート・フレームが受信されます。
- ミラー・モード中に上位 16 メッセージ・バッファで標準フォーマットと拡張フォーマットのフレームを受信するのに特別な設定は必要ありません。
- リモート・フレームを受信すると、DCNnMmSSRT ビットがセットされます。



表 27-11 標準 CAN コントローラと RXONLY\_CH の受信プロセスの違い

レジスタ	ビット列	DCN /FCN CAN コントローラ	RXONLY_CH
DCNnMmDATx	—	リモート・フレームの値を保存する RX-Store マシンによる書き込み	RX-Store マシンによる書き込み
DCNnMmDTLGB	—	リモート・フレームの値を保存する RX-Store マシンによる書き込み	RX-Store マシンによる書き込み
DCNnMmSTRB	DCNnMmSSOW, DCNnMmMT[3:0], DCNnMmSSMA	コンフィギュレーション中の CPU による設定	コンフィギュレーション中の CPU による設定
	DCNnMmSSRT	送信メッセージ準備時の CPU による設定	受信フレーム・タイプに応じた RX-Store マシンによる書き込み
DCNnMmMIDx	DCNnMmSSID[28:0]	受け入れフィルタリングのルールに準拠した RX-Store マシンによる書き込み	メッセージ受信の RX-Store マシンによる書き込み
	DCNnMmSSIE	コンフィギュレーション中の CPU による設定	RX-Store マシンによる受信のセットアップ
DCNnMmCTL	DCNnMmMOWF DCNnMmIENF	コンフィギュレーション中の CPU による設定	コンフィギュレーション中の CPU によるセットアップ
	DCNnMmDTNF	RX-Store マシンによる設定および CPU によるクリア	RX-Store マシンによる設定および受信専用モード時の CPU によるクリア。 ミラー・モード時の RXONLY_CH による自立的動作。
	DCNnMmTRQF	CPU による設定 (ABT モード時に、TRQ が ABT エンジンによって自立的に設定される)	ミラー・モードで動作時の RXONLY_CH による設定
	DCNnMmRDYF	CPU による設定/クリア	XONLY_CH が受信専用またはミラー・モードになる前に CPU によるクリア。 メッセージ格納を可能とするために CPU による再設定。

### 27.9.2 RXONLY\_CH の受信専用モードでの受信フレームの処理

受信オンリー・モードについては、第26章「CAN コントローラ (FCN)」を参照してください。

### 27.9.3 ミラー・モード

DCN モジュールはメッセージ・ミラーリング機能を備えています。DCN モジュールは、RXONLY\_CH から DIAG\_CH が処理しているバスへメッセージを自動的にコピーします。ミラー・モードと呼ばれるこの機能が有効になっていると、RXONLY\_CH によって受信されたすべての有効なデータ・フレームとすべての有効なリモート・フレームが受信専用モードと同じ方法で上位 16 メッセージ・バッファに格納されます。これらのメッセージは、その場所から FIFO 方式で DIAG\_CH によって自動的に送信されます。フレームの受信に受け入れフィルタリングは適用されません。

DCN モジュールが以下のように設定されていると、メッセージ・ミラーリングがアクティブになります。

- RXONLY\_CH CAN マシンの OPMODE が「ミラー・モード」に設定されている。
- DIAG\_CH CAN マシンの OPMODE が「通常動作モード」または「ABT 付き通常動作モード」として設定されている。
- いずれの CAN マシンもパワー・セーブ・モードに入っていない。

DIAG\_CH の OPMODE のほかの設定、たとえばシングル・ショット・モードは禁止されてはいませんが、予期せぬ動作を招く可能性があります。たとえば、診断バス上で一過性のバス・エラーが発生すると、ミラーリングされたメッセージが中継されないため、モニタ対象のバスにメッセージが正常に着信したにもかかわらず、そのメッセージは見えません。アプリケーションが上記の設定のみを使用することが強く推奨されています。

ミラー・モード・エンジンは FIFO 方式に従って一度に 1 つだけ DCNnMmTRQF をセットします。したがって、ミラーリングが有効になっているとき、上位 16 バッファ内でセット (1) されている DCNnMmTRQF ビットは 1 つしかありません。ミラー・モード / TIF 付きミラー・モード / 受信オンリー・モードのいずれかの場合、アプリケーションは、上位 16 バッファのいずれの DCNnMmTRQF ビットもセットしてはいけません。また、ミラー・モード、TIF 付きミラー・モード、受信専用モードに入る直前に、アプリケーションが DCNnMmTRQF ビットをセット (1) されたまま放置してはいけません。

ミラーリング機能が有効になっていると、上位 16 メッセージ・バッファが RXONLY\_CH に割り当てられているにもかかわらず、DIAG\_CH の TX 検索は上位 16 メッセージ・バッファに適用されます。検索エンジンは TX 検索を下位バッファと上位 16 バッファの候補に対して実行します。したがって、下位バッファに格納されたメッセージの優先度によっては、ミラーリングされたメッセージが診断 CAN バスで見られるようになるまでに遅延が発生することがあります。

#### 27.9.4 TIF 付きミラー・モード

TIF (転送識別子フィルタリング) 付きミラー・モードでは、RXONLY\_CH で受信されたメッセージに受け入れフィルタリングを適用します。その他すべての動作はミラー・モード (OPMODE = 110b) と同じです。

最大 8 個のあらゆる種類の CAN 識別子を転送 ID 参照レジスタで指定することができます。さらに、1 つのマスク (転送 ID マスク) レジスタを個々の参照レジスタに個別にリンクさせることができます。

いずれかのフィルタ条件と一致するすべてのメッセージが上位 16 メッセージ・バッファに格納され、ミラー・モード機能に参加します。いずれのフィルタ条件とも一致しないメッセージは格納されません。アプリケーションは、この機能を利用して、データ・スループットを関心の対象となる一部のメッセージに限定することができます。

## 27.10 バッファ割り当ての移行

DCN モジュールでは、各チャンネルを複数の動作モードおよび複数のパワー・セーブ・モードに設定することができます。DIAG\_CH と RXONLY\_CH の設定の組み合わせという観点から、あり得るすべての状態を考えると、基本的には膨大な数の移行パターンがあり得ます。しかし、たとえば、NORMAL モードから ABT 付き NORMAL モードへの移行が禁止されている、ストップ・モードから直接 NORMAL モードへ移行できないなどの制約があるため、大半のモード間の移行は不可能です。

ここでは、DCN モジュールの 2 つの CAN チャンネルの 1 つのパワー・セーブ・モードと動作モードの間を正しく切り換えるためにホスト CPU が実行する必要のある操作について説明します。以下のフローチャートは、バッファの割り当てが変化するときホスト CPU が必ず発行する必要のあるコマンドのアルゴリズムを示しています。

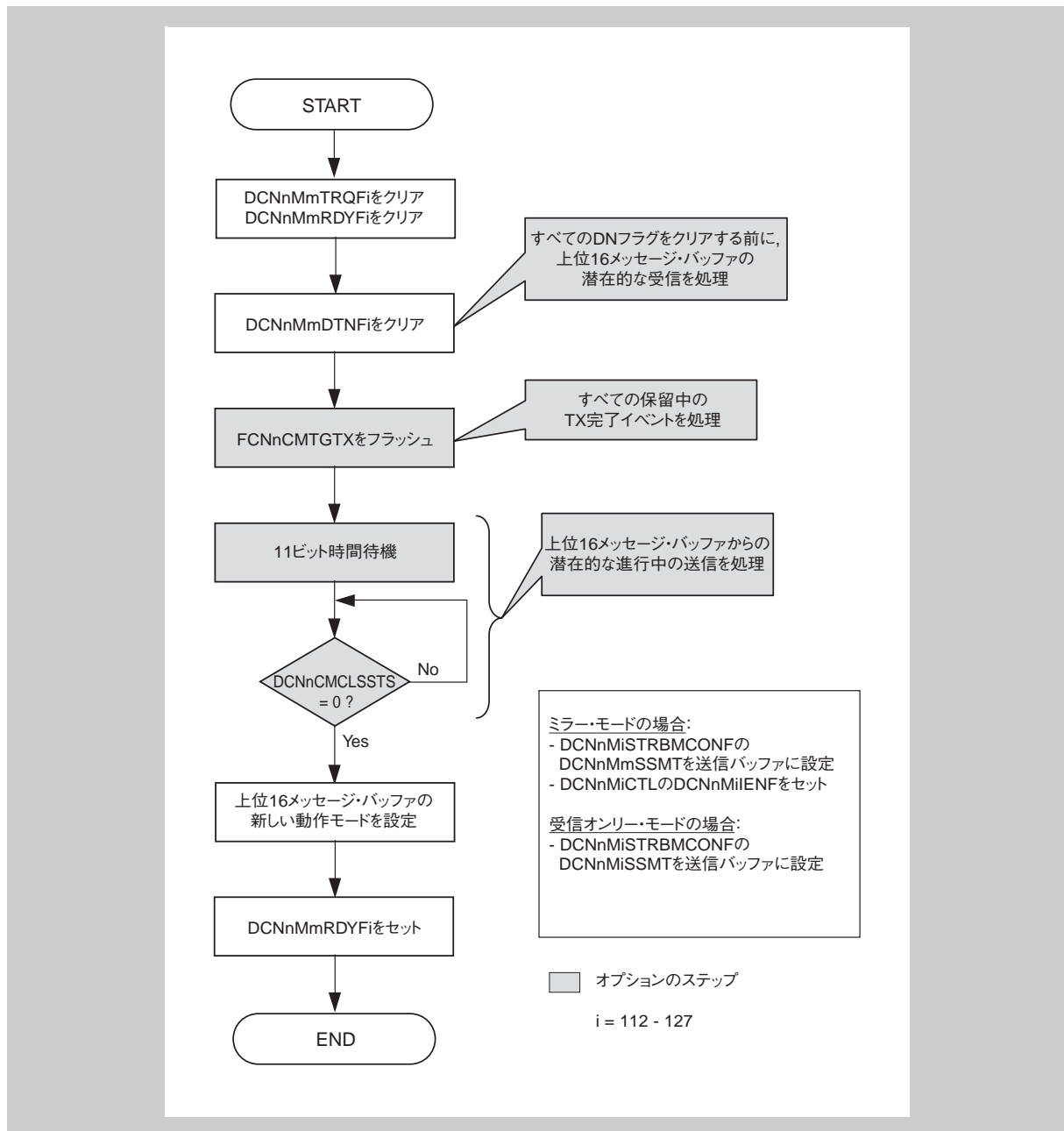


図 27-18 上位 16 バッファの割り当ての変更

上位 16 バッファの割り当てを変更する場合、ホスト CPU は、まず、それらのバッファの DCNnMmRDYF ビット、DCNnMmTRQF ビット、DCNnMmDTNF ビットをクリアする必要があります。DCNnMmDTNF ビットをクリアする前に、アプリケーションは、オプションで、新たに受信されたメッセージを処理することができます。

その場合は、ステップ 2 で TGPT をフラッシュする必要があります。そうすることで、ホスト CPU はすべての保留中の送信完了イベントを処理します。アプリケーションがこれらのイベントを無視する場合、このステップは省略されます。

ステップ 3 もオプションであり、アプリケーションが少なくとも上位 16 バッファの 1 つをアプリケーション・メッセージの送信に利用した場合のみ実行されます。

アプリケーションがこれらのメッセージのシーケンスに従う場合は、11 ビット

ト時間待機したあと、バスのアイドル状態をチェックする必要があります。この待機アルゴリズムのあと、進行中のDIAG\_CHからのメッセージ送信がすべて完了し、移行フローは次のステップに進むことができます。

さらに、新しいバッファの設定が行われます。RXONLY\_CHの割り当てに切り換える場合は、上位16バッファを受信オンリー・モードの場合は受信用に、それ以外の場合は送信用に設定する必要があります。

さらにミラー・モードを実行する場合は、これらのバッファのDCNnMmIENFビットをセットする必要があります。

割り当てをDIAG\_CHに切り換える場合、アプリケーションはバッファを個別に設定することができます。

最後のステップの1つ前のステップでは、任意のチャンネルの新しい動作モードとパワー・セーブ・モードを呼び出すことができます。

最後に、割り当てをRXONLY\_CHに切り換えるときに上位16メッセージ・バッファすべてのDCNnMmRDYFビットを再びセットする必要があります。逆方向の切り換え (DIAG\_CH) の場合は、アプリケーション固有の要求に従ってDCNnMmRDYFビットを設定することができます。

## 27.10.1 レジスタのビット構成

本章では、すべてのレジスタについては説明しません。レジスタの概要を示す表にはすべてのレジスタが記載されていますが、標準CANコントローラ・チャンネルと同じ機能を持つレジスタの説明については、本マニュアルのCANコントローラの章を参照してください。

表 27-12 DCN グローバル 16 ビット・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8000 <sub>H</sub>	DCNnGMCLC TL (W)	0	0	DCNnG MCLCL MB	0	0	0	0	DCNnGM CLCLOM
		0	0	0	DCNnG MCLSE SR	0	0	DCNnG MCLSE SD	DCNnGM CLSEOM
	DCNnGMCLC TL (R)	0	0	DCNnG MCLEC CF	DCNnG MCLSO RF	0	0	DCNnG MCLES DE	DCNnGM CLPWOM
		DCN0G MCLSS MO	0	0	0	0	0	0	0
0 0008 <sub>H</sub>	DCNnGMCS PRE	0	0	0	0	DCNnGMCS PRSC[3:0]			
0 8018 <sub>H</sub>	DCNnGMABC TL (W)	0	0	0	0	0	0	0	DCNnGM ABCLAT
		0	0	0	0	0	0	DCNnG MABSE AC	DCNnGM ABSEAT
	DCNnGMABC TL (R)	0	0	0	0	0	0	DCNnG MABCL RF	DCNnGM ABABTT
		0	0	0	0	0	0	0	0
0 0020 <sub>H</sub>	DCNnGMADC TL	0	0	0	0	DCNnGMADC SSAD[3:0]			
0 8030 <sub>H</sub>	DCNnTIDRTX 00H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8038 <sub>H</sub>	DCNnTIDRTX 01H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIE	DCNnTI DRSSIM	0	DCNnTIDRSSID[28:24]				
0 8040 <sub>H</sub>	DCNnTIDRTX 02H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8048 <sub>H</sub>	DCNnTIDRTX 03H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIE	DCNnTI DRSSIM	0	DCNnTIDRSSID[28:24]				
0 8050 <sub>H</sub>	DCNnTIDRTX 04H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8058 <sub>H</sub>	DCNnTIDRTX 05H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIE	DCNnTI DRSSIM	0	DCNnTIDRSSID[28:24]				

表 27-12 DCN グローバル 16 ビット・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8060 <sub>H</sub>	DCNnTIDRTX 06H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8068 <sub>H</sub>	DCNnTIDRTX 07H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIE	DCNnTI DRSSIM	0	DCNnTIDRSSID[28:24]				
0 8070 <sub>H</sub>	DCNnTIDRTX 08H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8078 <sub>H</sub>	DCNnTIDRTX 09H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
0 8080 <sub>H</sub>	DCNnTIDRTX 10H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8088 <sub>H</sub>	DCNnTIDRTX 11H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
0 8090 <sub>H</sub>	DCNnTIDRTX 12H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 8098 <sub>H</sub>	DCNnTIDRTX 13H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
0 80A0 <sub>H</sub>	DCNnTIDRTX 14H	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
0 80A8 <sub>H</sub>	DCNnTIDRTX 15H	DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
0 80B0 <sub>H</sub>	DCNnTIDMTX 0H	DCNnTIDMSSMA[7:0]							
		DCNnTIDMSSMA[15:8]							
0 80B8 <sub>H</sub>	DCNnTIDMTX 01H	DCNnTIDMSSMA[23:16]							
		0	0	0	DCNnTIDMSSMA[28:24]				



表 27-13 DCN グローバル 32 ビット・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/ 15/23/31	ビット 6/ 14/22/30	ビット 5/ 13/21/29	ビット 4/ 12/20/28	ビット 3/ 11/19/27	ビット 2/ 10/18/26	ビット 1/ 9/17/25	ビット 0/ 8/16/24
10 0030 <sub>H</sub>	DCNnTIDRTX 00W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0040 <sub>H</sub>	DCNnTIDRTX 02W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0050 <sub>H</sub>	DCNnTIDRTX 04W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0060 <sub>H</sub>	DCNnTIDRTX 06W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0070 <sub>H</sub>	DCNnTIDRTX 08W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0080 <sub>H</sub>	DCNnTIDRTX 10W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 0090 <sub>H</sub>	DCNnTIDRTX 12W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				
10 00A0 <sub>H</sub>	DCNnTIDRTX 14W	DCNnTIDRSSID[7:0]							
		DCNnTIDRSSID[15:8]							
		DCNnTIDRSSID[23:16]							
		DCNnTI DRSSIM	DCNnTI DRSSIE	0	DCNnTIDRSSID[28:24]				

表 27-13 DCN グローバル 32 ビット・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/ 15/23/31	ビット 6/ 14/22/30	ビット 5/ 13/21/29	ビット 4/ 12/20/28	ビット 3/ 11/19/27	ビット 2/ 10/18/26	ビット 1/ 9/17/25	ビット 0/ 8/16/24
10 00B0 <sub>H</sub>	DCNnTIDMTX 0W	DCNnTIDMSSMA[7:0]							
		DCNnTIDMSSMA[15:8]							
		DCNnTIDMSSMA[23:16]							
		0	0	0	DCNnTIDMSSMA[28:24]				
10 00C0 <sub>H</sub>	DCNnDNBMRX0	DCNnDNBMSSDN[7:0]							
		DCNnDNBMSSDN[15:8]							
		DCNnDNBMSSDN[23:16]							
		DCNnDNBMSSDN[31:24]							
10 00D0 <sub>H</sub>	DCNnDNBMRX1	DCNnDNBMSSDN[39:32]							
		DCNnDNBMSSDN[47:40]							
		DCNnDNBMSSDN[55:48]							
		DCNnDNBMSSDN[63:56]							
10 00E0 <sub>H</sub>	DCNnDNBMRX2	DCNnDNBMSSDN[71:64]							
		DCNnDNBMSSDN[79:72]							
		DCNnDNBMSSDN[87:80]							
		DCNnDNBMSSDN[95:88]							
10 00F0 <sub>H</sub>	DCNnDNBMRX3	DCNnDNBMSSDN[103:96]							
		DCNnDNBMSSDN[111:104]							
		DCNnDNBMSSDN[119:112]							
		DCNnDNBMSSDN[127:120]							

表 27-14 DCN モジュール・レジスタのビット構成 (1/3)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 00248 <sub>H</sub>	DCNnCM LCSTR (W)	0	0	0	0	0	DCNn0CMLCSSL[2:0]		
	DCNnCM LCSTR (R)	0	0	0	0	0	FCN0CMLCSSL[2:0]		
0 024C <sub>H</sub>	DCNnCM INSTR	0	0	0	DCNnCM INBOFF	DCNnCMINSSTE [1:0]		DCNnCMINSRE [1:0]	
0 8250 <sub>H</sub>	DCNnCM ERCNT	DCNnCMERTECF[7:0]							
		DCNnC MERRP SF	DCNnCMERRECF[6:0]						
0 0268 <sub>H</sub>	DCNnCM BRPRS	DCNn0CMBRPRSC[7:0]							
0 0278 <sub>H</sub>	DCNnCM LISTR	DCNnCMLISSLR[7:0]							
0 0288 <sub>H</sub>	DCNnCM LOSTR	DCNnCMLOSSLT[7:0]							
0 002A8 <sub>H</sub>	DCNnCR LCSTR (W)	0	0	0	0	0	DCNn0CRLCSSL[2:0]		
	DCNnCR LCSTR (R)	0	0	0	0	0	DCNn0CRLCSSL[2:0]		

表 27-14 DCN モジュール・レジスタのビット構成 (2/3)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8	
0 02C8 <sub>H</sub>	DCNnCR BRPRS	DCNnCRBRPRS[7:0]								
0 02D8 <sub>H</sub>	DCNnCR LISTR	DCNnCRLISSLR[7:0]								
0 02E8 <sub>H</sub>	DCNnCR BSSTR							DCNnCRBSSEL[2:0]		
0 8240 <sub>H</sub>	DCNnCM CLCTL (W)	0	DCNnC MCLC LAL	DCNnC MCLC LVL	DCNnCMCLCLPS [1:0]		DCNnCMCLCLOP[2:0]			
		DCNnC MCLS ERC	DCNnC MCLS EAL	0	DCNnCMCLSEPS [1:0]		DCNnCMCLSEOP[2:0]			
	DCNnCM CLCTL (R)	DCNnC MCLE RCF	DCNnC MCLA LBF	DCNnC MCLV ALF	DCNnCMCLMDPF [1:0]		DCNnCMCLMDOF[2:0]			
		0	0	0	0	0	0	DCNnCM CLSSRS	DCNnCM CLSSTS	
0 8258 <sub>H</sub>	DCNnCM IECTL (W)	DCNnCMIECLIE[7:0]								
		DCNnCMIESEIE[7:0]								
	DCNnCM IECTL (R)	DCNnCMIEINTF[7:0]								
		0	0	0	0	0	0	0	0	
0 8260 <sub>H</sub>	DCNnCM ISCTL (W)	DCNnC MISCLT S7	DCNnCMISCLTS[6:0]							
		0	0	0	0	0	0	0	0	
	DCNnCM ISCTL (R)	DCNnC MISITSF 7	DCNnCMISITSF[6:0]							
		0	0	0	0	0	0	0	0	
0 8270 <sub>H</sub>	DCNnCM BTCTL	0	0	0	0	DCNnCMBTS1LG[3:0]				
		0	0	DCNnCMBTJWL G[1:0]		0	DCNnCMBTS2LG[2:0]			
0 8280 <sub>H</sub>	DCNnCM RGRX (W)	0	0	0	0	0	0	0	DCNnCM RGCLRV	
		0	0	0	0	0	0	0	0	
	DCNnCM RGRX (R)	0	0	0	0	0	0	DCNnCM RGSSPM	DCNnCM RGRVFF	
		DCNnCMRGSSPT[7:0]								
0 8290 <sub>H</sub>	DCNnCM TGTX (W)	0	0	0	0	0	0	0	DCNnCM TGCLTV	
		0	0	0	0	0	0	0	0	
	DCNnCM TGTX (R)	0	0	0	0	0	0	DCNnCM TGSSPM	DCNnCM TGTVFF	
		DCNnCMTGSSPT[7:0]								

表 27-14 DCN モジュール・レジスタのビット構成 (3/3)

アドレス・オフセット	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
0 8298 <sub>H</sub>	DCNnCM TSCTL (W)	0	0	0	0	0	DCNnCM TSCLK	DCNnCM TSCLSL	DCNnCM TSCLTS
		0	0	0	0	0	DCNnCM TSSELK	DCNnCM TSSESL	DCNnCM TSSETS
	DCNnCM TSCTL (R)	0	0	0	0	0	DCNnCM TSLOKE	DCNnCM TSSELE	DCNnCM TSTSGE
		0	0	0	0	0	0	0	0
0 82A0 <sub>H</sub>	DCNnCR CLCTL (W)	0	0	DCNnCR RCLC LVL	DCNnCRCLCLPS [1:0]		DCNnCRCLCLOP[2:0]		
		DCNnCR RCLS ERC	0		0	DCNnCRCLSEPS [1:0]		DCNnCRCLELOP[2:0]	
	DCNnCR CLCTL (R)	DCNnCR RCLE RCF	0	DCNnCR RCLV ALF	DCNnCRCLMDPF [1:0]		DCNnCRCLMDOF[2:0]		
		0	0		0	0	0	DCNnCR CLSSRS	0
0 82B0 <sub>H</sub>	DCNnCR ERCNT	0	0	0	0	0	0	0	0
		DCNnCR RERR PSF	DCNnCRERRECF[6:0]						
0 82B8 <sub>H</sub>	DCNnCR IECTL (W)	0	DCNnCRIECLIE [6:5]		0	DCNnCRIECLIE[3:1]			0
		0	DCNnCRIESEIE [6:5]		0	DCNnCRIESEIE[3:1]			0
	DCNnCR IECTL (R)	0	DCNnCRIEINTE [6:5]		0	DCNnCRIEINTF[3:1]			0
		0	0	0	0	0	0	0	0
0 82C0 <sub>H</sub>	DCNnCR ISCTL (W)	0	DCNnCRISCLTS [6:5]		0	DCNnCRISCLTS[3:1]			0
		0	0	0	0	0	0	0	0
	DCNnCR ISCTL (R)	0	DCNnCRISITSF [6:5]		0	DCNnCRISITSF[3:1]			0
		0	0	0	0	0	0	0	0
0 82D0 <sub>H</sub>	DCNnCR BTCTL	0	0	0	0	DCNnCRBTS1LG[3:0]			
		0	0	DCNnCRBTJWL [1:0]		0	DCNnCRBTS2LG[2:0]		

表 27-15 DCN モジュール・マスク制御 16 ビット・レジスタのビット構成

アドレス・オフセット	略号	ビット 15	ビット 14	ビット 13	ビット 12 ~ 0
0 8300 <sub>H</sub>	DCNnCMMK CTL01H	DCNnCMMKSSID[15:0]			
0 8308 <sub>H</sub>	DCNnCMMK CTL02H	0	0	0	DCNnCMMKSSID[28:16]
0 8310 <sub>H</sub>	DCNnCMMK CTL03H	DCNnCMMKSSID[15:0]			
0 8318 <sub>H</sub>	DCNnCMMK CTL04H	0	0	0	DCNnCMMKSSID[28:16]
0 8320 <sub>H</sub>	DCNnCMMK CTL05H	DCNnCMMKSSID[15:0]			
0 8328 <sub>H</sub>	DCNnCMMK CTL06H	0	0	0	DCNnCMMKSSID[28:16]
0 8330 <sub>H</sub>	DCNnCMMK CTL07H	DCNnCMMKSSID[15:0]			
0 8338 <sub>H</sub>	DCNnCMMK CTL08H	0	0	0	DCNnCMMKSSID[28:16]
0 8340 <sub>H</sub>	DCNnCMMK CTL09H	DCNnCMMKSSID[15:0]			
0 8348 <sub>H</sub>	DCNnCMMK CTL10H	0	0	0	DCNnCMMKSSID[28:16]
0 8350 <sub>H</sub>	DCNnCMMK CTL11H	DCNnCMMKSSID[15:0]			
0 8358 <sub>H</sub>	DCNnCMMK CTL12H	0	0	0	DCNnCMMKSSID[28:16]
0 8360 <sub>H</sub>	DCNnCMMK CTL13H	DCNnCMMKSSID[15:0]			
0 8368 <sub>H</sub>	DCNnCMMK CTL14H	0	0	0	DCNnCMMKSSID[28:16]
0 8370 <sub>H</sub>	DCNnCMMK CTL15H	DCNnCMMKSSID[15:0]			
0 8378 <sub>H</sub>	DCNnCMMK CTL16H	0	0	0	DCNnCMMKSSID[28:16]

表 27-16 DCN モジュール・マスク制御 32 ビット・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ~ 0
1 0300 <sub>H</sub>	DCNnCMM KCTL01W	0	0	0	DCNnCMMKSSID[28:0]
1 0310 <sub>H</sub>	DCNnCMM KCTL03W	0	0	0	DCNnCMMKSSID[28:0]
1 0320 <sub>H</sub>	DCNnCMM KCTL05W	0	0	0	DCNnCMMKSSID[28:0]
1 0330 <sub>H</sub>	DCNnCMM KCTL07W	0	0	0	DCNnCMMKSSID[28:0]
1 0340 <sub>H</sub>	DCNnCMM KCTL09W	0	0	0	DCNnCMMKSSID[28:0]

表 27-16 DCN モジュール・マスク制御 32 ビット・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 31	ビット 30	ビット 29	ビット 28 ~ 0
1 0350 <sub>H</sub>	DCNnCMM KCTL11W	0	0	0	DCNnCMMKSSID[28:0]
1 0360 <sub>H</sub>	DCNnCMM KCTL13W	0	0	0	DCNnCMMKSSID[28:0]
1 0370 <sub>H</sub>	DCNnCMM KCTL15W	0	0	0	DCNnCMMKSSID[28:0]

表 27-17 メッセージ・バッファ・レジスタのビット構成 (1/2)

アドレス・オフセット	略号	ビット 7/ 15/23/31	ビット 6/ 14/22/30	ビット 5/ 13/21/29	ビット 4/ 12/20/28	ビット 3/ 11/19/27	ビット 2/ 10/18/26	ビット 1/ 9/17/25	ビット 0/ 8/16/24
1 0000 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT0W	DCNnMmSSD[07:00]							
		DCNnMmSSD[17:10]							
		DCNnMmSSD[27:00]							
		DCNnMmSSD[37:30]							
0 1000 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT0H	DCNnMmSSD[07:00]							
		DCNnMmSSD[17:10]							
0 0000 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT0B	DCNnMmSSD[07:00]							
		DCNnMmSSD[17:10]							
0 0004 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT1B	DCNnMmSSD[17:10]							
		DCNnMmSSD[27:20]							
0 1008 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT2H	DCNnMmSSD[27:20]							
		DCNnMmSSD[37:30]							
0 0008 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT2B	DCNnMmSSD[27:20]							
		DCNnMmSSD[37:30]							
1 0010 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT4W	DCNnMmSSD[47:40]							
		DCNnMmSSD[57:50]							
		DCNnMmSSD[67:60]							
		DCNnMmSSD[77:70]							
0 1010 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT4H	DCNnMmSSD[47:40]							
		DCNnMmSSD[57:50]							
0 0010 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT4B	DCNnMmSSD[47:40]							
		DCNnMmSSD[57:50]							
0 0014 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT5B	DCNnMmSSD[57:50]							
		DCNnMmSSD[67:60]							
0 1018 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT6H	DCNnMmSSD[67:60]							
		DCNnMmSSD[77:70]							
0 0018 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT6B	DCNnMmSSD[67:60]							
		DCNnMmSSD[77:70]							
0 001C <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DAT7B	DCNnMmSSD[77:70]							
0 0020 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm DTLGB	0				DCNnMmDTLGB[3:0]			

表 27-17 メッセージ・バッファ・レジスタのビット構成 (2/2)

アドレス・オフセット	略号	ビット 7/ 15/23/31	ビット 6/ 14/22/30	ビット 5/ 13/21/29	ビット 4/ 12/20/28	ビット 3/ 11/19/27	ビット 2/ 10/18/26	ビット 1/ 9/17/25	ビット 0/ 8/16/24
0 0024 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm STRB	DCNnM mSSOW	DCNnMmSSMT[3:0]				DCNnM mSSRT	0	DCNnM mSSAM
0 1028 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm MID0H	DCNnMmSSID[7:0]							
		DCNnMmSSID[15:8]							
0 1030 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm MID1H	DCNnMmSSID[23:16]							
		DCNnM mSSIE	0	0	DCNnMmSSID[28:24]				
1 0028 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm MID0W	DCNnMmSSID[7:0]							
		DCNnMmSSID[15:8]							
		DCNnMmSSID[23:16]							
		DCNnM mSSIE	0	0	DCNnMmSSID[28:24]				
0 1038 <sub>H</sub> + m × 40 <sub>H</sub>	DCNnMm CTL (W)	0	DCNn Mm CLNH	0	DCNn Mm CLMW	DCNn Mm CLIE	DCNn Mm CLDN	DCNn Mm CLTR	DCNn Mm CLRY
		0	DCNn Mm SENH	0	0	DCNn Mm SEIE	0	DCNn Mm CSETR	DCNn Mm SERY
	DCNnMm CTL (R)	0	DCNn Mm NHMF	0	DCNn Mm MOWF	DCNn Mm IENF	DCNn Mm DTNF	DCNn Mm TRQF	DCNn Mm RDYF
		0	0	DCNn Mm MUCF	0	0	0	DCNn Mm TCPF	0

## 27.11 レジスタの説明

### 27.11.1 DCN グローバル・レジスタ

(1) DCNnGMCLCTL - DCNn グローバル制御レジスタ

第26章「CANコントローラ (FCN)」の「FCNnGMCLCTL - FCNn グローバル制御レジスタ」の説明を参照してください。

(2) DCNnGMCSPRE - DCNn グローバル・クロック選択レジスタ

第26章「CANコントローラ (FCN)」の「FCNnGMCSPRE - FCNn グローバル・クロック選択レジスタ」の説明を参照してください。

(3) DCNnGMABCTL - DCNn グローバル自動ブロック送信制御レジスタ

第26章「CANコントローラ (FCN)」の「FCNnGMABCTL - FCNn グローバル自動ブロック送信制御レジスタ」の説明を参照してください。

(4) DCNnGMADCTL - DCNn グローバル自動ブロック送信遅延レジスタ

第26章「CANコントローラ (FCN)」の「FCNnGMADCTL - FCNn グローバル自動ブロック送信遅延レジスタ」の説明を参照してください。



**(5) DCNnTIDRTXxH/yW - DCN 転送 ID 参照レジスタ**

DCNnTIDRTXxH レジスタと DCNnTIDRTXyW レジスタは、RXONLY\_CH の TIF 付きミラー・モードのフィルタ条件の設定に使用されます。これらのレジスタは TIF 付きミラー・モードでのみ有効になります。TIF 付きミラー・モードに入る前に、アプリケーションはこれらすべてのレジスタを初期化する必要があります。

**備考** x = 00 ~ 15  
y = 00, 02, 04, 06, 08, 10, 12, 14

**アクセス** DCNnTIDRTXxH レジスタは 16 ビット単位でリード/ライト可能です。  
DCNnTIDRTXyW レジスタは 32 ビット単位でリード/ライト可能です。

**アドレス** DCNnTIDRTX00H : <DCNn\_base> + 0 8030<sub>H</sub>  
DCNnTIDRTX01H : <DCNn\_base> + 0 8038<sub>H</sub>  
DCNnTIDRTX02H : <DCNn\_base> + 0 8040<sub>H</sub>  
DCNnTIDRTX03H : <DCNn\_base> + 0 8048<sub>H</sub>  
DCNnTIDRTX04H : <DCNn\_base> + 0 8050<sub>H</sub>  
DCNnTIDRTX05H : <DCNn\_base> + 0 8058<sub>H</sub>  
DCNnTIDRTX06H : <DCNn\_base> + 0 8060<sub>H</sub>  
DCNnTIDRTX07H : <DCNn\_base> + 0 8068<sub>H</sub>  
DCNnTIDRTX08H : <DCNn\_base> + 0 8070<sub>H</sub>  
DCNnTIDRTX09H : <DCNn\_base> + 0 8078<sub>H</sub>  
DCNnTIDRTX10H : <DCNn\_base> + 0 8080<sub>H</sub>  
DCNnTIDRTX11H : <DCNn\_base> + 0 8088<sub>H</sub>  
DCNnTIDRTX12H : <DCNn\_base> + 0 8090<sub>H</sub>  
DCNnTIDRTX13H : <DCNn\_base> + 0 8098<sub>H</sub>  
DCNnTIDRTX14H : <DCNn\_base> + 0 80A0<sub>H</sub>  
DCNnTIDRTX15H : <DCNn\_base> + 0 80A8<sub>H</sub>

DCNnTIDRTX00W : <DCNn\_base> + 1 0030<sub>H</sub>  
DCNnTIDRTX02W : <DCNn\_base> + 1 0040<sub>H</sub>  
DCNnTIDRTX04W : <DCNn\_base> + 1 0050<sub>H</sub>  
DCNnTIDRTX06W : <DCNn\_base> + 1 0060<sub>H</sub>  
DCNnTIDRTX08W : <DCNn\_base> + 1 0070<sub>H</sub>  
DCNnTIDRTX10W : <DCNn\_base> + 1 0080<sub>H</sub>  
DCNnTIDRTX12W : <DCNn\_base> + 1 0090<sub>H</sub>  
DCNnTIDRTX14W : <DCNn\_base> + 1 00A0<sub>H</sub>

**初期値** 未定義

## (a) DCNnTIDRTXxH (x = 00 ~ 15)

x = 00, 02, 04, 06, 08, 10, 12, 14:

15	14	13	12	11	10	9	8
DCNnTIDRSSID[15:8]							

7	6	5	4	3	2	1	0
DCNnTIDRSSID[7:0]							

x = 01, 03, 05, 07, 09, 11, 13, 15:

15	14	13	12	11	10	9	8	
DCNnTID RSSIE	DCNnTID RSSIM	0	DCNnTIDRSSID[28:24]					

7	6	5	4	3	2	1	0
DCNnTIDRSSID[23:16]							

## (b) DCNnTIDRTXyW (y = 00, 02, 04, 06, 08, 10, 12, 14)

31	30	29	28	27	26	25	24	
DCNnTID RSSIE	DCNnTID RSSIM	0	DCNnTIDRSSID[28:24]					

23	22	21	20	19	18	17	16
DCNnTIDRSSID[23:16]							

15	14	13	12	11	10	9	8
DCNnTIDRSSID[15:8]							

7	6	5	4	3	2	1	0
DCNnTIDRSSID[7:0]							

DCNnTIDRSSID[28:0]	転送メッセージのメッセージ ID 参照
DCNnTIDRSSID[28:18]	11 ビット標準識別子値の範囲
DCNnTIDRSSID[28:0]	29 ビット拡張識別子値の範囲

DCNnTIDRSSIE	転送メッセージの識別子拡張ビット
0	11 ビット標準識別子 <sup>a)</sup>
1	29 ビット拡張識別子

a) DCNnTIDRSSID[17:0] ビットは未使用であり、未定義の値が格納される可能性があります。

DCNnTIDRSSIM	転送メッセージのマスク許可ビット
0	CnTIDML/H とのリンクを持たない CnTIDRL/H レジスタ
1	CnTIDML/H とのリンクを持つ CnTIDRL/H レジスタ

---

**注意** DCNnTIDRTXxH (x = 01, 03, 05, 07, 09, 11, 13, 15) レジスタのビット 13, DCNnTIDRTXyW (y = 00, 02, 04, 06, 08, 10, 12, 14) レジスタのビット 29 に必ず「0」を書き込んでください。

---

**備考** CPU が INIT 以外のモードで DCNnTIDRTXxH に書き込もうとしても無視されます。

**(6) DCN0TIDMTX0H/1H/0W - DCN 転送 ID マスク・レジスタ**

これらのレジスタは、メッセージの ID の一部をマスクし、マスクされた部分の ID を無効にすることで、上位 16 メッセージ・バッファで受信可能なメッセージの数を増やすために使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** DCNnTIDMTX0H : <DCNn\_base> + 0 80B0<sub>H</sub>  
 DCNnTIDMTX1H : <DCNn\_base> + 0 80B8<sub>H</sub>  
 DCNnTIDMTX0W : <DCNn\_base> + 10 00B0<sub>H</sub>

**初期値** 未定義

**(a) DCNnTIDMTX0H**

15	14	13	12	11	10	9	8
DCNnTIDMSSMA[15:8]							

7	6	5	4	3	2	1	0
DCNnTIDMSSMA[7:0]							

**(b) DCNnTIDMTX1H**

15	14	13	12	11	10	9	8
0	0	0	DCNnTIDMSSMA[28:24]				

7	6	5	4	3	2	1	0
DCNnTIDMSSMA[23:16]							

**(c) DCNnTIDMTX0W**

31	30	29	28	27	26	25	24
0	0	0	DCNnTIDMSSMA[28:24]				

23	22	21	20	19	18	17	16
DCNnTIDMSSMA[23:16]							

31	30	29	28	27	26	25	24
DCNnTIDMSSMA[15:8]							

23	22	21	20	19	18	17	16
DCNnTIDMSSMA[7:0]							

DCNnTIDMSSMA[28:0]	転送メッセージのマスク識別子パターン
0	受信メッセージ・フレームとメッセージ・バッファの対応する識別子ビットが一致する必要があります。
1	受信メッセージ・フレームとメッセージ・バッファの対応する識別子ビットは一致しなくてもかまいません。

**備考** CPU が INIT 以外のモードで DCNnTIDMTX0H/1H/0W に書き込もうとしても無視されます。

(7) DCNnDNBMRXk - DCNn データ・ニュー・ビット・モニタ・レジスタ (k = 0 ~ 3)

第26章「CANコントローラ (FCN)」の「FCNnDNBMRXk - FCNn グローバル・データ更新ビット・モニタ・レジスタ」の説明を参照してください。

## 27.11.2 DCN モジュール・レジスタ

(1) **DCNnCMMKCTLaH, DCNnCMMKCTLbW - DCNn モジュール・マスク制御レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMMKCTLaH - FCNn モジュール・マスク制御レジスタ」の説明を参照してください。

(2) **DCNnCMCLCTL - DCNn モジュール制御レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMCLCTL - FCNn モジュール制御レジスタ」の説明を参照してください。

(3) **DCNnCMLCSTR - DCNn モジュール最終エラー情報レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMLCSTR - FCNn モジュール最終エラー情報レジスタ」の説明を参照してください。

(4) **DCNnCMINSTR - DCNn モジュール情報レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMINSTR - FCNn モジュール情報レジスタ」の説明を参照してください。

(5) **DCNnCMERCNT - DCNn モジュール・エラー・カウンタ・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMERCNT - FCNn モジュール・エラー・カウンタ・レジスタ」の説明を参照してください。

**(6) DCNnCMIECTL - DCNn モジュール割り込み許可レジスタ**

本レジスタは DCN モジュールの割り込みの許可または禁止に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 8258<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) DCNnCRIECTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
DCNnCMIEINTF[7:0]							

DCNnCMIEINTF[7:0]	DCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ DCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ DCNnCMISCTL に対応する割り込みの出力を許可します

**(b) DCNnCMIECTL の書き込み値**

15	14	13	12	11	10	9	8
DCNnCMIESEIE [7:0]							
7	6	5	4	3	2	1	0
DCNnCMIECLIE [7:0]							

DCNnCMIECLIE[7:0]	DCNnCMIECLIE[7:0]	DCNnCMIEINTF[6:0] ビットの設定
0	1	DCNnCMIEINTF[7:0] ビットを 0 にクリアします。
1	0	DCNnCMIEINTF[7:0] ビットを 1 にセットします。
上記以外の値		DCNnCMIEINTF[7:0] ビットを変更しません。

**(7) DCNnCMISCTL - DCNn モジュール割り込みステータス・レジスタ**

本レジスタは DCN モジュールの割り込みステータスを示します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 8260<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) DCNnCRIECTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
DCNnCMISITSF [7:0]							

DCNnCMIEINTF[7:0]	DCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ DCNnCMISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ DCNnCMISCTL に対応する割り込みの出力を許可します

割り込みステータス・ビット	関連する割り込みソース・イベント
DCNnCMISITSF7	ミラー・モード中の上位 16 メッセージ・バッファからの送信完了割り込み
DCNnCMISITSF6	DCN モジュール送信中断割り込みステータス・ビット
DCNnCMISITSF5	DCN スリープ・モードからのウェイクアップ割り込み <sup>a</sup>
DCNnCMISITSF4	アービトレーション・ロスト割り込み
DCNnCMISITSF3	CAN プロトコル・エラー割り込み
DCNnCMISITSF2	CAN エラー・ステータス割り込み
DCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み
DCNnCMISITSF0	メッセージ・バッファ m からのメッセージ・フレームの正常な送信完了割り込み

a) DCNnCMISITSF5 は、DCN モジュールが CAN バス上の動作によって DCN スリープ・モードからウェイクアップされたときのみセットされます。DCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。



**(b) DCNnCMIECTL の書き込み値**

15	14	13	12	11	10	9	8
DCNnCMIESEIE [7:0]							
7	6	5	4	3	2	1	0
DCNnCMISITSF[7:0]							

DCNnCMISITSF [7:0]	DCNnCMISITSF [6:0] ビットのクリア
0	DCNnCMISITSF[6:0] ビットを変更しません。
1	DCNnCMISITSF[6:0] ビットを0にクリアします。

**注意** これらのビットは自動的にクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

**(8) DCNnCMBRPRS - DCNn モジュール・ビット・レート・プリスケアラ・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMBRPRS - FCNn モジュール・ビット・レート・プリスケアラ・レジスタ」の説明を参照してください。

**(9) DCNnCMBTCTL - DCNn モジュール・ビット・レート・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMBTCTL - FCNn モジュール・ビット・レート・レジスタ」の説明を参照してください。

**(10) DCNnCMLISTR - DCNn モジュール最終受信ポインタ・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMLISTR - FCNn モジュール最終イン・ポインタ・レジスタ」の説明を参照してください。

**(11) DCNnCMRGRX - DCNn モジュール受信履歴リスト・リスト・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMRGRX - FCNn モジュール受信履歴リスト・レジスタ」の説明を参照してください。

**(12) DCNnCMLOSTR - DCNn モジュール最終送信ポインタ・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMLOSTR - FCNn モジュール最終アウト・ポインタ・レジスタ」の説明を参照してください。

**(13) DCNnCMTGTX - DCNn モジュール送信履歴リスト・リスト・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMTGTX - FCNn モジュール送信履歴リスト・レジスタ」の説明を参照してください。

**(14) DCNnCMTSCTL - DCNn モジュール・タイム・スタンプ・レジスタ**

第26章「CANコントローラ (FCN)」の「FCNnCMTSCTL - FCNn モジュール・タイム・スタンプ・レジスタ」の説明を参照してください。

**(15) DCNnCRCLCTL - DCNn モジュール RXONLY\_CH 制御レジスタ**

本レジスタはRXONLY\_CHチャンネルの動作モードの制御に使用されます。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 82A0<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) DCNnCRCLCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	DCNnCR CLSSRS	0
7	6	5	4	3	2	1	0
DCNnCR CLERCF	0	DCNnCR CLVALF	DCNnCM CLRDPF[1:0]	DCNnCR CLMDOF[2:0]			

DCNnCRCLSSRS	RXONLY_CH 受信ステータス・ビット
0	受信停止状態
1	受信動作状態

- 備考**
- DCNnCRCLSSRS は以下の条件（タイミング）で1にセットされます。
    - 受信フレームの SOF ビットが検出されたとき
    - 送信フレームに調停ロスが生じたとき
  - DCNnCRCLSSRS は以下の条件（タイミング）で0にクリアされます。
    - インターフレーム・スペースの第2ビットでリセツシブ・レベルが検出されたとき
    - インターフレーム・スペースの第1ビットで初期化モードへ移行したとき

DCNnCRCLERCF	RXONLY_CH エラー・カウンタ・クリア・ビット
0	DCNnCRERCNT レジスタを初期化モード中にクリアしません。
1	DCNnCRERCNT レジスタを初期化モード中にクリアします。

**注意** DCNnCRCLERCF ビットは、再初期化またはバスオフ状態から強制復帰のときにエラー・カウンタ DCNnCMERCNT と情報レジスタ DCNnCMLCSTR をクリアするために使用されます。エラー・カウンタおよび情報レジスタは下記の条件でクリア（DCNnCRCLERCF セット）可能です

- バスオフ期間中の初期化モード状態時
- DCNnモジュール起動（DCNnGMCLPWOM=0 状態から DCNnGMCLPWOM をセット）後の初期化モード状態時

- 備考**
1. DCNnCRERCNT レジスタと DCNnCRCLCSTR レジスタがクリアされると、DCNnCRCLERCF も自動的に 0 にクリアされます。
  2. 初期化モードから動作モードへの移行要求が発行されると同時に、DCNnCRCLERCF を 1 にセットすることができます。
  3. DCN スリープ・モード中または DCN ストップ・モード中、DCNnCRCLERCF は読み出し専用になります。
  4. エラーカウンタは CAN コントローラの通常シャットダウンまたは強制シャットダウンでもクリアされます。

DCNnCRCLVALF	RXONLY_CH 有効受信メッセージ・フレーム検出ビット
0	DCNnCRCLVALF が最後に 0 にクリアされたあと、有効なメッセージ・フレームが受信されていません。
1	DCNnCRCLVALF が最後に 0 にクリアされたあと、有効なメッセージ・フレームが受信されています。

- 備考**
1. 有効な受信メッセージ・フレームの検出は、受信メッセージ・バッファ（または送信メッセージ・バッファ（リモート・フレーム））にフレームが格納されているかどうかにかかわらず、行われます。
  2. 受信専用モードでは確認応答が生成されないため、2 つの CAN ノードのみが CAN バスに接続されていて、一方が通常モードでメッセージ・フレームを送信しており、もう一方が受信専用モードになっている場合は、送信側ノードがエラー・パッシブ状態に入るまで DCNnCRCLVALF は 1 にセットされません。
  3. スリープ・モード中は DCNnCRCLVALF ビットは読み取り専用です。

DCNnCRCLMDPF[1:0]	RXONLY_CH パワー・セーブ・モード
00 <sub>B</sub>	パワー・セーブ・モードが選択されていません。
01 <sub>B</sub>	DCN スリープ・モード
10 <sub>B</sub>	設定禁止
11 <sub>B</sub>	DCN ストップ・モード

- 注意**
1. DCN ストップ・モードからほかのモードへ、またはほかのモードから DCN ストップ・モードへ移行するときは、必ず DCN スリープ・モードを経由する必要があります。ほかのモードから DCN ストップ・モードへの直接の移行または DCN ストップ・モードからほかのモードへの直接の移行に対する要求は無視されます。
  2. パワー・セーブ・モードを解除した場合は、再びメッセージ・バッファにアクセスする前に、DCNnGMCLCTL の DCNnGMCLSSMO フラグをチェックする必要があります。
  3. DCN スリープ・モード要求は、ソフトウェアによって要求がキャンセルされるか、適切なバス状態（バス・アイドル状態）に移行するまで保留されます。ソフトウェアで DCNnCDCLMDPF[1:0] を読み出すことで、実際のステータスを確認することができます。

**備考** 初期化モードからいずれかの通信モードに遷移する場合、DCN モジュールは CAN バスのアイドル期間を確認した後で通信に参加します。アイドル期間確認前でもスリープ・モードに移行することは可能ですが、ウェイクアップ条件は常にレセプブ・レベルからドミナント・レベル方向への変化です。

DCNnCRCLMDOF[2:0]	RXONLY_CH 動作モード
000 <sub>B</sub>	動作モードが選択されていません。 (RXONLY_CH DCN モジュールが初期化モードに入っています)。
001 <sub>B</sub>	設定禁止
010 <sub>B</sub>	
011 <sub>B</sub>	受信専用モード
100 <sub>B</sub>	設定禁止
101 <sub>B</sub>	
110 <sub>B</sub>	ミラー・モード
111 <sub>B</sub>	転送 ID フィルタ機能 (TIF) 付きミラー・モード

**注意** 初期化モードまたはパワー・セーブ・モードへの移行には時間がかかることがあります。次の処理を開始する前に、値を読み出すことによって、モードの変更が成功したかどうかを必ず確認してください。

**備考** DCN スリープ・モード中または DCN ストップ・モード中、DCNnCRCLMDOF[2:0] は読み出し専用になります。

#### (b) DCNnCRCLCTL の書き込み値

	15	14	13	12	11	10	9	8
DCNnCR CLSERC	0	0	DCNnCR CLSEPS[1:0]		DCNnCR CLSEOP[2:0]			
	7	6	5	4	3	2	1	0
0	0	DCNnCR CLCLVL	DCNnCR CLCLPS[1:0]		DCNnCR CLCLOP[2:0]			

DCNnCRCLSERC	DCNnCRCLERCF ビットの設定
1	DCNnCRCLERCF を 1 にセットします。
上記以外の値	DCNnCRCLERCF を変更しません。

DCNnCRCLCLVL	DCNnCRCLVALF ビットの設定
0	DCNnCRCLVALF を変更しません。
1	DCNnCRCLVALF を 0 にクリアします。

DCNnCRCLSEPS0	DCNnCRCLCLPS0	DCNnCRCLMDPF0 ビットの設定
0	1	DCNnCRCLMDPF0 を 0 にクリアします。
1	0	DCNnCRCLMDPF0 を 1 にセットします。
上記以外の値		DCNnCRCLMDPF0 を変更しません。

DCNnCRCLSEPS1	DCNnCRCLCLPS1	DCNnCRCLMDPF1 ビットの設定
0	1	DCNnCRCLMDPF1 を 0 にクリアします。
1	0	DCNnCRCLMDPF1 を 1 にセットします。
上記以外の値		DCNnCRCLMDPF1 を変更しません。

DCNnCRCLSEOP0	DCNnCRCLCLOP0	DCNnCRCLMDOF0 ビットの設定
0	1	DCNnCRCLMDOF0 を 0 にクリアします。
1	0	DCNnCRCLMDOF0 を 1 にセットします。
上記以外の値		DCNnCRCLMDOF0 を変更しません。

DCNnCRCLSEOP1	DCNnCRCLCLOP1	DCNnCRCLMDOF1 ビットの設定
0	1	DCNnCRCLMDOF1 を 0 にクリアします。
1	0	DCNnCRCLMDOF1 を 1 にセットします。
上記以外の値		DCNnCRCLMDOF1 を変更しません。

DCNnCRCLSEOP2	DCNnCRCLCLOP2	DCNnCRCLMDOF2 ビットの設定
0	1	DCNnCRCLMDOF2 を 0 にクリアします。
1	0	DCNnCRCLMDOF2 を 1 にセットします。
上記以外の値		DCNnCRCLMDOF2 を変更しません。

**(16) DCNnCRLCSTR - DCNn モジュール RXONLY\_CH 最終エラー情報レジスタ**

本レジスタは CAN プロトコルのエラー情報を提供します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 02A8<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	DCN0CRLCSSLC[2:0]		

- 備考**
- DCN モジュールが動作モードから初期化モードへ移行しても DCNnCRLCSTR レジスタの内容はクリアされません。
  - ソフトウェアで 00<sub>H</sub> 以外の値を DCNnCRLCSTR レジスタに書き込もうとしても、そのアクセスは無視されます。

DCN0CRLCSSLC[2:0]	最終 DCN プロトコル・エラー情報
000 <sub>B</sub>	エラーなし
001 <sub>B</sub>	スタンプ・エラー
010 <sub>B</sub>	フォーム・エラー
110 <sub>B</sub>	CRC エラー
その他すべて	未使用

**(17) DCNnCRERCNT - DCNn モジュール RXONLY\_CH エラー・カウンタ・レジスタ**

本レジスタは受信エラー・カウンタのカウント値を示します。

**アクセス** 16 ビット単位で読み出しのみ可能です。

**アドレス** <DCNn\_base> + 0 82B0<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
DCNnCR ERRPSF		DCNnCR ERRECF[6:0]					
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

DCNnCRERRPSF	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタがエラー・パッシブ範囲にありません (128 未満)。
1	受信エラー・カウンタがエラー・パッシブ範囲にあります (128 以上)。

DCNnCRERRECF[6:0]	受信エラー・カウンタ・ビット
0 ~ 127	受信エラーの数を示します。これらのビットは受信エラー・カウンタのステータスを反映します。エラーの数は CAN プロトコルによって定義されます。

**備考** 受信エラー・パッシブ状態 (DCNnCRERCNT.DCNnCRERRPSF = 1<sub>B</sub>) では、DCNnCRERRECF[6:0] は無効です。

**(18) DCNnCRIECTL - DCNn モジュール RXONLY\_CH 割り込み許可レジスタ**

本レジスタは DCN モジュールの割り込みの許可または禁止に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 82B8<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) DCNnCRIECTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	DCNnCRIEINTE[6:5]	0	DCNnCRIEINTE[3:1]	0			

DCNnCRIEINTE[6:5] DCNnCRIEINTE[3:1]	DCN モジュール割り込み許可ビット
0	割り込みステータス・レジスタ DCNnCRISCTL に対応する割り込みの出力を禁止します。
1	割り込みステータス・レジスタ DCNnCRISCTL に対応する割り込みの出力を許可します。

**(b) DCNnCRIECTL の書き込み値**

15	14	13	12	11	10	9	8
0	DCNnCRIESEIE[6:5]	0	DCNnCRIESEIE[3:1]	0			
7	6	5	4	3	2	1	0
0	DCNnCRIECLIE[6:5]	0	DCNnCRIECLIE[3:1]	0			

DCNnCRIESEIE[6:5] DCNnCRIESEIE[3:1]	DCNnCRIECLIE[6:0] DCNnCRIECLIE[3:1]	DCNnCRIEINTF[6:5] / DCNnCRIEINTF[3:1] ビットの設定
0	1	対応するビットを 0 にクリアします。
1	0	対応するビットを 1 にセットします。
上記以外の値		対応するビットを変更しません。



**(19) DCNnCRISCTL - DCNn モジュール RXONLY\_CH 割り込みステータス・レジスタ**

本レジスタは DCN モジュールの割り込みステータスを示します。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 82C0<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) DCNnCRISCTL の読み出し値**

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	DCNnCRISITSF[6:5]	0	DCNnCRISITSF[3:1]	0			

DCNnCRISITSF[6:5] DCNnCRISITSF[3:1]	RXONLY_CH 割り込みステータス・ビット
0	保留中の関連する割り込みソース・イベントはありません。
1	関連する割り込みソース・イベントが保留中です。

割り込みステータス・ビット	RXONLY_CH に関連する割り込みソース・イベント
DCNnCMISITSF6	RXONLY_CH オーバーフロー割り込み
DCNnCMISITSF5	RXONLY_CH スリープ・モードからのウェイクアップ割り込み <sup>a)</sup>
DCNnCMISITSF3	RXONLY_CH プロトコル・エラー割り込み
DCNnCMISITSF2	RXONLY_CH エラー・ステータス割り込み
DCNnCMISITSF1	メッセージ・バッファ m への有効なメッセージ・フレームの受信完了割り込み

a) DCNnCRISITSF5 は、DCN モジュールが CAN バス上の動作によって DCN スリープ・モードからウェイクアップされたときのみセットされます。DCN スリープ・モードがソフトウェアによって解除された場合は、セットされません。

## (b) DCNnCRISCTL の書き込み値

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	DCNnCRISCLTS [6:5]	0	DCNnCRISCLTS[3:1]	0			

DCNnCRISCLTS[6:5] DCNnCRISCLTS[3:1]	DCNnCRISITSF[6:5] / DCNnCRISITSF[3:1] ビットのクリア
0	対応するビットを変更しません。
1	対応するビットを0にクリアします。

**注意** これらのビットは自動的にクリアされないため、割り込み処理で各ステータスの確認が必要な場合は、本レジスタのステータス・ビットをソフトウェアでクリアしてください。

**(20) DCNnCMBRPRS - DCNn モジュール RXONLY\_CH ビット・レート・プリスケーラ・レジスタ**

本レジスタは CAN プロトコル・レイヤの基本システム・クロック ( $f_{TQ}$ ) の選択に使用されます。通信ボー・レートは DCNnCRBTCTL レジスタに合わせて設定されます。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 02C8<sub>H</sub>

**初期値** FF<sub>H</sub> 本レジスタは各種リセットにより初期化されます。



DCNnCRBRPRS[7:0]	CAN プロトコル・レイヤの基本システム・クロック ( $f_{TQ}$ )
0	$f_{CANPRE}/1$
1	$f_{CANPRE}/2$
n	$f_{CANPRE}/(n+1)$
:	:
255	$f_{CANPRE}/256$ (デフォルト値)

**(21) DCNnCRBTCTL - DCNn モジュール RXONLY\_CH ビット・レート・レジスタ**

本レジスタは、通信ボー・レートのデータ・ビット時間の制御に使用されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 82D0<sub>H</sub>

**初期値** 0370F<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8
0	0	DCNnCR BTJWLG[1:0]		0	DCNnCR BTS2LG[2:0]		
7	6	5	4	3	2	1	0
0	0	0	0	DCNnCRBTS1LG[3:0]			

DCNnCRBTJWLG[1:0]	同期ジャンプ幅の長さ
00 <sub>B</sub>	1T <sub>Q</sub>
01 <sub>B</sub>	2T <sub>Q</sub>
10 <sub>B</sub>	3T <sub>Q</sub>
11 <sub>B</sub>	4T <sub>Q</sub> (デフォルト値)

DCNnCRBTS2LG[2:0]	タイム・セグメント2の長さ
000 <sub>B</sub>	1T <sub>Q</sub>
001 <sub>B</sub>	2T <sub>Q</sub>
010 <sub>B</sub>	3T <sub>Q</sub>
011 <sub>B</sub>	4T <sub>Q</sub>
100 <sub>B</sub>	5T <sub>Q</sub>
101 <sub>B</sub>	6T <sub>Q</sub>
110 <sub>B</sub>	7T <sub>Q</sub>
111 <sub>B</sub>	8T <sub>Q</sub> (デフォルト値)

DCNnCRBTS1LG[3:0]	タイム・セグメント1の長さ
0000 <sub>B</sub>	設定禁止
0001 <sub>B</sub>	2T <sub>Q</sub> <sup>a</sup>
0010 <sub>B</sub>	3T <sub>Q</sub> <sup>a</sup>
0011 <sub>B</sub>	4T <sub>Q</sub>
0100 <sub>B</sub>	5T <sub>Q</sub>
0101 <sub>B</sub>	6T <sub>Q</sub>
0110 <sub>B</sub>	7T <sub>Q</sub>
0111 <sub>B</sub>	8T <sub>Q</sub>
1000 <sub>B</sub>	9T <sub>Q</sub>
1001 <sub>B</sub>	10T <sub>Q</sub>
1010 <sub>B</sub>	11T <sub>Q</sub>
1011 <sub>B</sub>	12T <sub>Q</sub>
1100 <sub>B</sub>	13T <sub>Q</sub>
1101 <sub>B</sub>	14T <sub>Q</sub>
1110 <sub>B</sub>	15T <sub>Q</sub>
1111 <sub>B</sub>	16T <sub>Q</sub> (デフォルト値)

a) DCNnCRBRPRS レジスタ = 00<sub>H</sub> のときにこの設定を行わないでください。

**(22) DCNnCRLISTR - DCNn モジュール RXONLY\_CH 最終受信ポインタ・レジスタ**

本レジスタは、データ・フレームまたはリモート・フレームが最後に保存されたメッセージ・バッファの番号を示します。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** <DCNn\_base> + 0 02D8<sub>H</sub>

**初期値** 未定義

7	6	5	4	3	2	1	0
DCNnCRLISSLR[7:0]							

DCNnCRLISSLR[7:0]	RXONLY_CH の受信履歴リストの最終受信ポインタ
0-127	<p>DCNnCRLISTR レジスタを読み出すと、最後のデータ・フレームまたは最後のリモート・フレームが保存された RXONLY_CH のメッセージ・バッファ領域のメッセージ・バッファ番号がわかります。ユーザは以下の両方の条件が満たされている場合にのみ DCNnCRLISTR を評価できます。</p> <ul style="list-style-type: none"> <li>• RXONLY_CH が受信専用モードまたはミラー・モードに入っている。</li> <li>• RXONLY_CH で新たにメッセージを受信したことが DCNnCRISCTL の割り込み CINTS1 によって通知された。前提条件として、あらかじめ RXONLY_CH が少なくとも 1 回 INIT モードまたはストップ・モードに設定されている必要があります。</li> </ul> <p>DCNnCRLISTR を利用するには正しい割り込みの処理が必要です。</p>

**備考** メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合、DCNnCRLISTR レジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後に RXONLY\_CH からの最初のメッセージを受信するまで、DCNnCRLISTR レジスタの読み出し値は不定です。

本レジスタは RXONLY\_CH からのメッセージのみの受信履歴を示します。

**(23) DCNnCRBSSTR - DCNn モジュール RXONLY\_ バス・セクタ・レジスタ**

本レジスタは、ミラー・モードまたは TIF 付きミラー・モード使用時の転送元チャンネルを選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <DCNn\_base> + 0 02E8<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	DCNnCRBSSEL[2:0]		

DCNnCRBSSEL[2:0]	ミラー・モード機能使用時の転送元チャンネル
000 <sub>B</sub>	DIAG_CH バス入力
001 <sub>B</sub>	CAN バス入力 1
010 <sub>B</sub>	CAN バス入力 2
011 <sub>B</sub>	CAN バス入力 3
100 <sub>B</sub>	CAN バス入力 4
101 <sub>B</sub>	CAN バス入力 5
110 <sub>B</sub>	未使用
111 <sub>B</sub>	未使用

**注意** DCNnCRBSSTR が「00<sub>H</sub>」の場合、RXONLY\_CH は DIAG\_CH CAN バスに接続されます。

**備考** CPU が INIT 以外のモードで DCNnCRBSSTR に書き込もうとしても無視されます。

### 27.11.3 DCN メッセージ・バッファ・レジスタ

- (1) **DCNnMmSTRB - DCNn メッセージ・コフィギュレーション・レジスタ m**  
 第26章「CAN コントローラ (FCN)」の「FCNnMmSTRB - FCNn メッセージ・コフィギュレーション・レジスタ m」の説明を参照してください。
- (2) **DCNnMmDATaB, DCNnMmDATbH, DCNnMmDATcW - DCNn メッセージ・データ・バイト・レジスタ (a=0 ~ 7, b=0,2,4,6, c=0,4)**  
 第26章「CAN コントローラ (FCN)」の「FCNnMmDATxB/H/W - FCNn メッセージ・データ・バイト・レジスタ」の説明を参照してください。
- (3) **DCNnMmDTLGB - DCNn メッセージ・データ長レジスタ**  
 第26章「CAN コントローラ (FCN)」の「FCNnMmDTLGB - FCNn メッセージ・データ長レジスタ m」の説明を参照してください。
- (4) **DCNnMmMID0H, DCNnMmMID1H, DCNnMmMID0W - DCNn メッセージ ID レジスタ m**

これらのレジスタは識別子 (ID) の設定に使用されます。

**アクセス** DCNnMmMID0H, DCNnMmMID1H は 16 ビット単位でリード/ライト可能です。  
 DCNnMmMID0W は 32 ビット単位でリード/ライト可能です。

**アドレス** DCNnMmMID0H : <DCNn\_base> + 0 1028<sub>H</sub> + m × 40<sub>H</sub>  
 DCNnMmMID1H : <DCNn\_base> + 0 1030<sub>H</sub> + m × 40<sub>H</sub>  
 DCNnMmMID0W : <DCNn\_base> + 1 0028<sub>H</sub> + m × 40<sub>H</sub>

**初期値** DCNnMmMID0H : 0000<sub>H</sub>  
 DCNnMmMID1H : 0000<sub>H</sub>  
 DCNnMmMID0W : 0000 0000<sub>H</sub>  
 本レジスタはソフト・リセットにより初期化されます。

(a) **DCNnMmMID0H**

15	14	13	12	11	10	9	8
DCNnMmSSID[15:8]							
7	6	5	4	3	2	1	0
DCNnMmSSID[7:0]							

(b) **DCNnMmMID1H**

15	14	13	12	11	10	9	8	
DCNnMmSSIE	0	0	DCNnMmSSID[28:24]					
7	6	5	4	3	2	1	0	
DCNnMmSSID[23:16]								



## (c) DCNnCMmMID0W

31	30	29	28	27	26	25	24
DCNnMmSSIE	0	0	DCNnMmSSID[28:24]				
23	22	21	20	19	18	17	16
DCNnMmSSID[23:16]							
15	14	13	12	11	10	9	8
DCNnMmSSID[15:8]							
7	6	5	4	3	2	1	0
DCNnMmSSID[7:0]							

DCNnMmSSIE	フォーマット・モード指定ビット
0	標準フォーマット・モード (DCNnMmSSID[28:18] : 11 ビット。DCNnMmSSID[17:0] は使用しません)
1	拡張フォーマット・モード (DCNnMmSSID[28:0] : 29 ビット)

DCNnMmSSID[28:0]	メッセージ ID
DCNnMmSSID[28:18]	11 ビットの標準 ID 値 (DCNnMmSSIE = 0 の場合)
DCNnMmSSID[28:0]	29 ビットの拡張 ID 値 (DCNnMmSSIE = 1 の場合)

**備考** RXONLY\_CH がミラー・モードまたは受信専用モードで動作している場合、IDE ビットは実際に受信されたフレーム・フォーマット (標準または拡張) で上書きされます。

- 注意**
1. DCNnMmMID1H のビット 14 とビット 13 および DCNnMmMID0W レジスタのビット 30 とビット 29 に必ず 0 を書き込んでください。
  2. このレジスタの指定されたビット位置に ID 値を合わせてください。標準 ID の場合、DCNnMmSSID[28:18] ビット位置に ID 値を合わせるには、ID 値をシフトする必要がある点に注意してください。
  3. 標準 ID のメッセージ・フレームを受信した場合、DCNnMmSSID[17:0] ビットは不定値となります。

## (5) DCNnMmCTL - DCNn メッセージ制御レジスタ m

第26章「CANコントローラ (FCN)」の「(5) FCNnMmCTL - FCNn メッセージ制御レジスタ m」の説明を参照してください。

## 第 28 章 クロック同期シリアル・インタフェース G (CSIG)

本章では、クロック同期シリアル・インタフェース G (CSIG) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての V850E2/Fx4-H に固有の特性について説明します。

それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。

### 28.1 V850E2/Fx4-H CSIG の特徴

**チャンネル数** V850E2/Fx4-H は次のチャンネル数のクロック同期シリアル・インタフェース G を搭載しています。

表 28-1 CSIG のチャンネル

クロック同期シリアル・インタフェース G	V850E2/FK4-H	V850E2/FL4-H
チャンネル数	2	3
名称	CSIG0, CSIG4	CSIG0, CSIG2, CSIG4

**n の意味** 本章では、クロック同期シリアル・インタフェース G の各チャンネルを「n」(n = 0, 2, 4) で識別します。たとえば、CSIGN 制御レジスタ 0 は CSIGNCTL0 と記述します。

**レジスタ・アドレス** CSIGN のレジスタ・アドレスは、ベース・アドレス <CSIGN\_base> からのオフセットで表されます。各 CSIGN のベース・アドレス <CSIGN\_base> を以下の表に示します。

表 28-2 レジスタ・ベース・アドレス <CSIGN\_base>

CSIGN のチャンネル	<CSIGN_base> アドレス
CSIG0	FF70 0000 <sub>H</sub>
CSIG2	FF72 0000 <sub>H</sub>
CSIG4	FF740000 <sub>H</sub>

**クロック供給** クロック同期シリアル・インタフェース G は次のクロック入力 that 供給されま  
す。

表 28-3 CSIGn のクロック・ソース

CSIGn のチャンネル	CSIGn のクロック	接続先
CSIG0	PCLK	クロック・ジェネレータ CKSCLK_108
CSIG2	PCLK	クロック・ジェネレータ CKSCLK_107
CSIG4	PCLK	クロック・ジェネレータ CKSCLK_011

**割り込み** クロック同期シリアル・インタフェース G は以下の割り込み要求を生成する  
ことができます。

表 28-4 CSIGn の割り込み要求 (1/2)

CSTGn の信号	機能	接続先
<b>CSIG0</b>		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG0IC</li> <li>DMA コントローラ・トリガ 43</li> <li>DTS コントローラ・トリガ 80</li> </ul>
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG0IR</li> <li>DMA コントローラ・トリガ 42</li> <li>DTS コントローラ・トリガ 79</li> </ul>
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG0TRE</li> </ul>
<b>CSIG2</b>		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG2IC</li> <li>DMA コントローラ・トリガ 73</li> <li>DTS コントローラ・トリガ 70</li> </ul>
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG2IR</li> <li>DMA コントローラ・トリガ 72</li> <li>DTS コントローラ・トリガ 69</li> </ul>
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG2TRE</li> </ul>

表 28-4 CSIGn の割り込み要求 (2/2)

CSTGn の信号	機能	接続先
<b>CSIG4</b>		
CSIGTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG4IC</li> <li>DMA コントローラ・トリガ 83</li> </ul>
CSIGTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG4IR</li> <li>DMA コントローラ・トリガ 82</li> </ul>
CSIGTIRE	受信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIG4IRE</li> </ul>

**内部信号** クロック同期シリアル・インタフェース G の内部信号を以下の表に示します。

表 28-5 CSIGn の内部信号

CSIGn の信号	機能	接続先
<b>CSIG0</b>		
CSIGTSSO	CSIGTSO 出力バッファ制御	ポート CSIG0SO 出力バッファ制御
<b>CSIG2</b>		
CSIGTSSO	CSIGTSO 出力バッファ制御	ポート CSIG2SO 出力バッファ制御
<b>CSIG4</b>		
CSIGTSSO	CSIGTSO 出力バッファ制御	ポート CSIG4SO 出力バッファ制御

**CSIG ハードウェア  
・リセット** CSIG とそのレジスタは次のリセット信号によって初期化されます。

表 28-6 CSIGn リセット信号 I

CSIGn	リセット信号
CSIGn	リセット・コントローラ SYSRES

**I/O 信号** クロック同期シリアル・インタフェース G の I/O 信号を以下の表に示します。

表 28-7 CSIGn の I/O 信号

CSIGn の信号	機能	接続先
<b>CSIGn (n = 0, 2, 4)</b>		
CSIGTSCK	シリアル・クロック信号	ポート CSIGnSC
CSIGTSI	シリアル・データ入力信号	ポート CSIGnSI
CSIGTSO	シリアル・データ出力信号	ポート CSIGnSO
CSIGTSSI	スレーブ選択入力信号	ポート CSIGnSSI
CSIGTSHSG	ハンドシェーク入力信号	ポート CSIGnRYI
	ハンドシェーク出力信号	ポート CSIGnRYO

クロック同期シリアル・インタフェース (CSIGn) の入力端子にポート・フィルタが割り当てられています (初期値が有効です) が、フィルタの使用により通信異常が発生する可能性がありますので、CSIGn を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

CSIG0SC : FCLA24CTL0 = 80<sub>H</sub>

CSIG0RY : FCLA24CTL1 = 80<sub>H</sub>

CSIG0SI : FCLA24CTL2 = 80<sub>H</sub>

CSIG0SSI : FCLA24CTL3 = 80<sub>H</sub>

CSIG2SC : FCLA25CTL8 = 80<sub>H</sub>

CSIG2RYI : FCLA25CTL9 = 80<sub>H</sub>

CSIG2SI : FCLA25CTL10 = 80<sub>H</sub>

CSIG4SC : FCLA7CTL2 = 80<sub>H</sub>

CSIG4SI : FCLA7CTL3 = 80<sub>H</sub>

CSIG4RY : FCLA7CTL4 = 80<sub>H</sub>

CSIG4SSI : FCLA7CTL5 = 80<sub>H</sub>

**データ整合性チェック** CSIGnSO の兼用ポートとデータ整合性チェックの対応可否を以下の表に示します。データ整合性チェックの詳細は、28.3.11「エラー検出」を参照してください。

表 28-8 CSIGn のデータセキュリティ・チェックの対応

CSIGn の I/O ポート	機能	兼用機能	データ整合性チェック
<b>CSIG0</b>			
CSIG0SO	P0_14	ALT_OUT4	対応
	P3_6	ALT_OUT4	対応
	P4_4	ALT_OUT2	非対応
<b>CSIG2</b>			
CSIG2SO	P3_1	ALT_OUT4	検討中
	P4_10	ALT_OUT2	
	P25_10	ALT_OUT3	
<b>CSIG4</b>			
CSIG4SO	P0_1	ALT_OUT2	対応
	P4_7	ALT_OUT2	非対応
	P25_4	ALT_OUT3	非対応

## 28.2 機能の概要

- 特徴の概要**
- 3線式シリアル同期データ転送
  - マスタ・モードとスレーブ・モードを選択可能
  - スレーブ選択入力信号 ( $\overline{\text{CSIGTSSI}}$ )
  - ボー・レート・ジェネレータを内蔵
  - ボー・レートを調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
  - 最大転送速度：
    - マスタ・モード：10.0Mbps (ただし, PCLK/4 以下)
    - スレーブ・モード：5.0Mbps (ただし, PCLK/6 以下)
  - クロック位相とデータ位相が調整可能
  - MSB ファーストまたは LSB ファーストでのデータ転送
  - 7ビットから 16ビットまでの転送データ長を 1ビット単位で選択可能
  - 16ビットを上回るデータを転送するための拡張データ長 (EDL : Extended Data Length) 機能
  - 以下の 3つの転送モードを選択可能：
    - 送信専用モード
    - 受信専用モード
    - 送受信モード
  - ハンドシェイク機能を内蔵
  - 送信バッファと受信バッファが別々 (16ビット・レジスタを 2個搭載)
  - エラー検出 (データ整合性チェック, パリティ, オーバラン)
  - 3つの割り込み要求信号 (CSIGTIC, CSIGTIR, CSIGTIRE)
  - さまざまな割り込み生成条件を設定可能
  - 自己テスト用のループ・バック・モード (LBM : Loop Back Mode) 機能

以下のブロック図は CSIG の主要なコンポーネントを示しています。

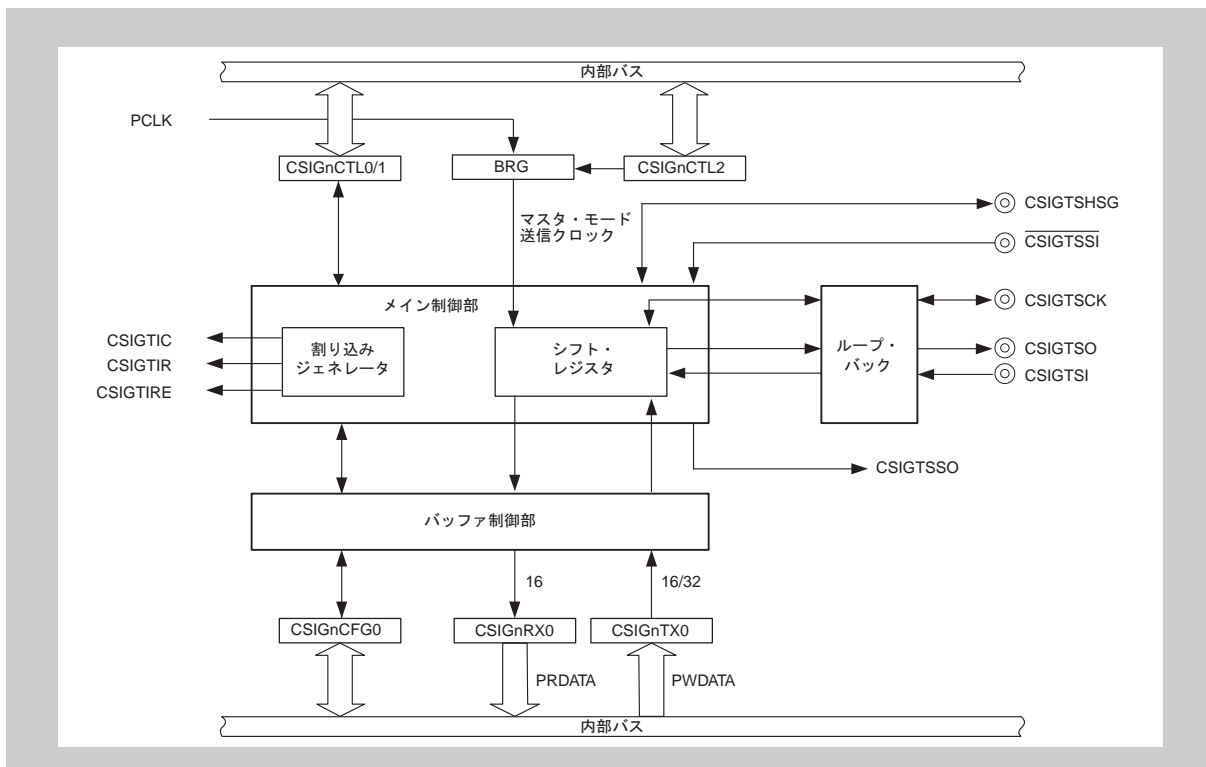


図 28-1 CSIG のブロック図

マスタ・モードでは、送信クロック CSIGTSSCK が内蔵のボー・レート・ジェネレータ (BRG) によって生成されます。スレーブ・モードでは、外部ソースから送信クロックが供給されます。



## 28.3 機能の説明

クロック同期シリアル・インタフェースでは以下の3つの信号を通信に使用します。

- 送信クロック CSIGTSCK (マスタ・モードでは出力, スレーブ・モードでは入力)
- データ出力信号 CSIGTSO
- データ入力信号 CSIGTSI

CSIGnCTL2 レジスタによって, CSIG をマスタ・モードまたはスレーブ・モードのどちらで動作させるかを選択します。

データ送信は, 1 ビットずつシリアルに行われ, 送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし, データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング, 拡張データ長, データ整合性チェック, ループ・バック・モード, ハンドシェイクなどのオプション機能を制御します。
CSIGnCTL2	マスタ・モードまたはスレーブ・モードを選択し, マスタ・モードでは内蔵のポー・レート・ジェネレータ (BRG) のポー・レートを選択します。
CSIGnCFG0	通信プロトコルを設定します。

### 28.3.1 マスタ/スレーブ・モード

マスタ/スレーブの選択は CSIGnCTL2.PRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソース・クロックも選択する必要があります。

#### (1) マスタ・モード

マスタ・モードでは、内蔵のポー・レート・ジェネレータ (BRG) によってシリアル通信クロックが生成され、CSIGTSCK 信号を介して供給されます。

マスタ・モードは、CSIGnCTL2.CSIGnPRS[2:0] を  $111_B$  以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIGnCTL2.CSIGnPRS[2:0] ビット CSIGnCTL2.CSIGnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

CSIGnSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。CSIGTSCK のデフォルト・レベルは、CSIGnCTL1.CSIGnCKR = 0 であればハイであり、CSIGnCTL1.CSIGnCKR = 1 であればロウです。

以下の例は、8 データ・ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのマスタ・モードの通信を示しています。

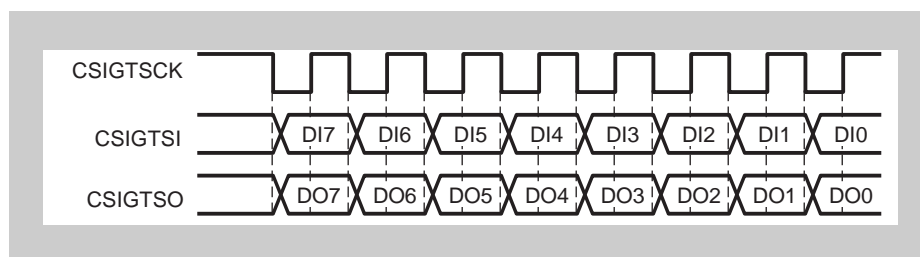


図 28-2 マスタ・モードでの送受信

**(2) スレーブ・モード**

スレーブ・モードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブ・モードは、CSIGnCTL2.CSIGnPRS[2:0] を 111<sub>B</sub> に設定することによって選択されます。

**備考** スレーブ・モードを使用するときは、ビット CSIGnCTL2.CSIGnBRS[11:0] をクリアすることによってポー・レート・ジェネレータ (BRG) を無効にします。BRG が無効になると、CSIGTSCK は、CSIGnCTL1.CSIGnCKR によって指定されたレベルにとどまります。

以下の例は、8 データ・ビット、CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0, MSB ファーストのときのスレーブ・モードの通信を示しています。

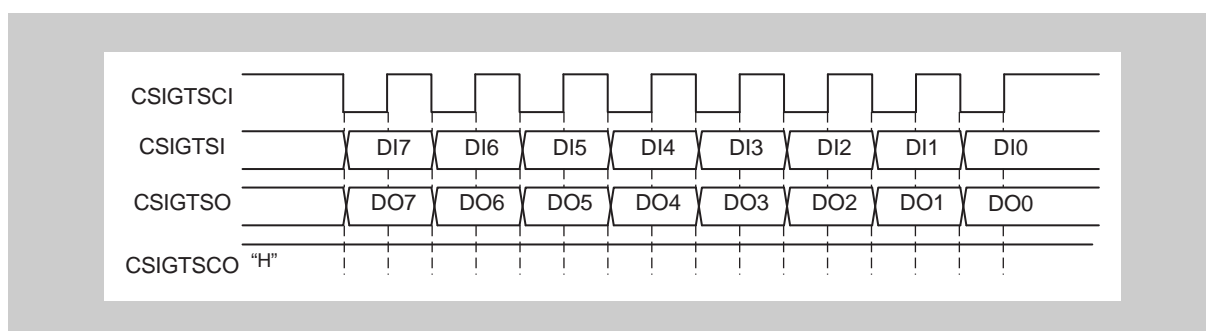


図 28-3 スレーブ・モードでの送受信

### 28.3.2 マスタ／スレーブの接続

#### (1) マスタ1, スレーブ1の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

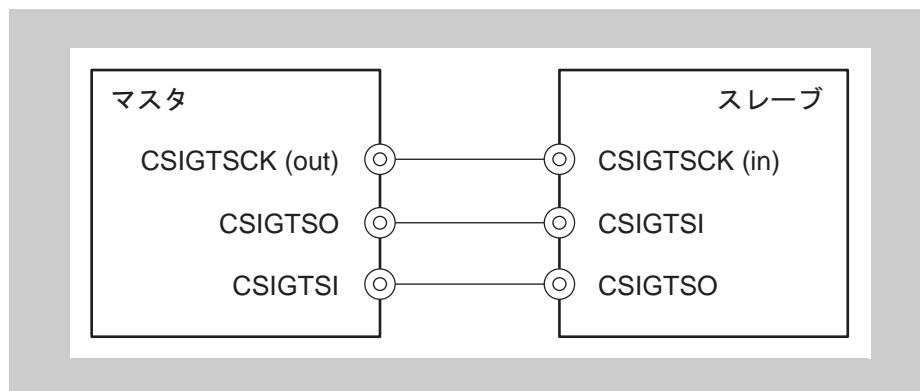


図 28-4 単純なマスタ／スレーブ間接続

## (2) マスタ 1, スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この場合、マスタは各スレーブに1つずつスレーブ選択 (SS : Slave Select) 信号を供給する必要があります。この信号は、スレーブのスレーブ選択入力 CSIGTSSI に接続されます。

CSIGTSSI 信号は、ビット CSIGNCTL1.CSIGNSSE を使用して有効または無効にすることができます。

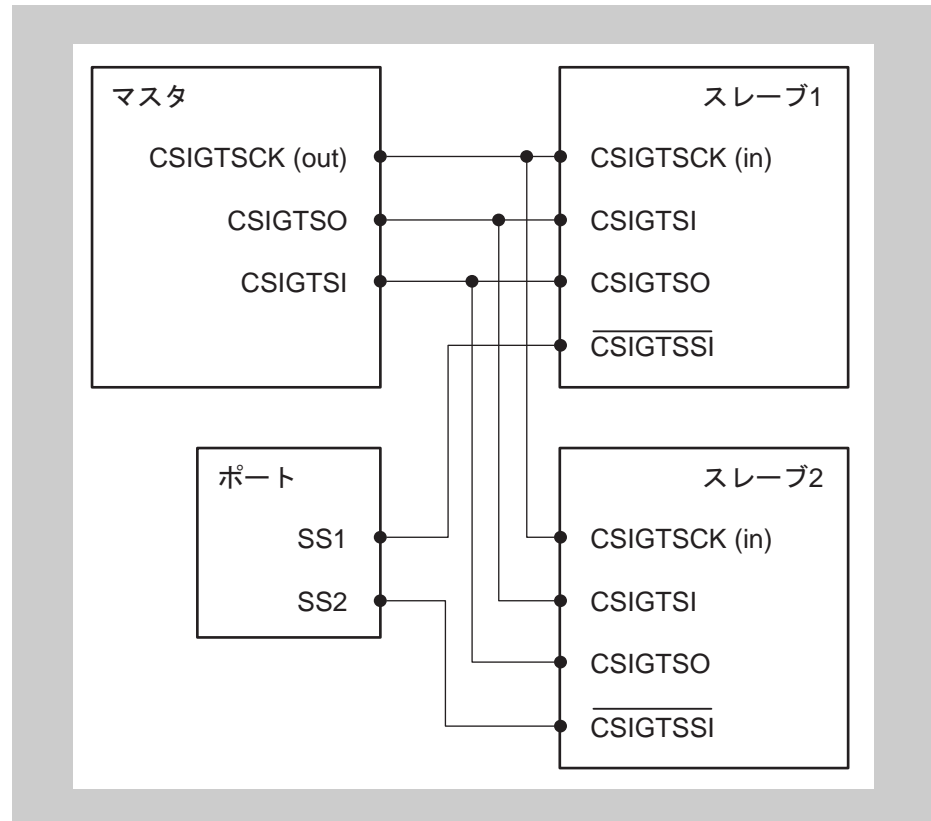


図 28-5 1つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの  $\overline{\text{CSIGTSSI}}$  信号がロウのときに選択されます (有効になります)。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの CSIGTSO 出力バッファは、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定され、無効になります。

**CSIGTSO バッファ  
の制御**

CSIG は CSIGTSO 出力を制御するための信号 CSIGTSSO を供給します。この信号を利用することで、以下の条件が満たされたときに CSIGTSO 出力が可能になります。

- CSIG が有効になっている (CSIGnCTL0.CSIGnPWR = 1)。
- CSIG が送信専用モードまたは送受信モードで動作している (CSIGnCTL0.CSIGnTXE = 1)。
- CSIG がスレーブ選択有効状態で動作している (CSIGnCTL1.CSIGnSSE = 1)。
- スレーブ・モード選択信号  $\overline{\text{CSIGTSSI}}$  が非アクティブ、つまりハイ・レベルになっている。

出力バッファを無効にすることで、外部 CSIGTSO 信号回線の輻輳を回避することができます。

### 28.3.3 送信クロックの選択

マスタ・モードでは、CSIGNCTL2 レジスタの CSIGNPRS[2:0] ビットと CSIGNBRS[11:0] ビットを使用して送信ポー・レートを選択できます。

BRG のブロック図を以下に示します。

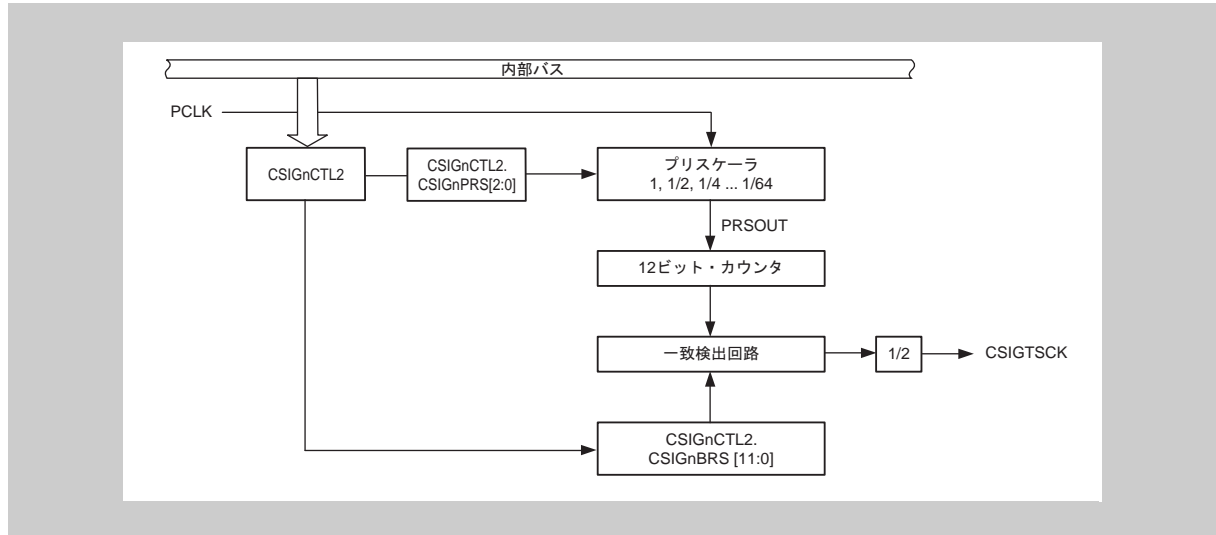


図 28-6 BRG のブロック図

CSIGNCTL2.CSIGNBRS[11:0] をクリアすると、BRG が無効になります。

**ポー・レートの計算** ポー・レートの計算式は、 $PCLK / (2^m \times k \times 2)$  です。ただし、 $m$  と  $k$  は以下の値であるとしてします。

$$m = CSIGNPRS[2:0] = 0 \sim 6$$

$$k = CSIGNBRS[11:0] = 1 \sim 4095$$

**ポー・レートの上限と下限** ポー・レートを設定するときは、以下のことに注意してください。

- マスタ・モードで使用できる最大ポー・レートは  $PCLK / 4$  です。
- スレーブ・モードで使用できる最大ポー・レートは  $PCLK / 6$  です。
- いずれのモードでも最小ポー・レートは  $PCLK / 524160$  です。

**例**  $PCLK = 100 \text{ MHz}$  の場合、最大ポー・レートは以下のとおりです。

- マスタ・モードでは  $25.0 \text{ Mbps}$  ( $PCLK / 4$ )
- スレーブ・モードでは  $16.6 \text{ Mbps}$  ( $PCLK / 6$ )

最小ポー・レートは  $190.8 \text{ bps}$  ( $PCLK / 524160$ ) です。

### 28.3.4 データ転送モード

#### (1) 送信専用モード

CSIGNCTL0.CSIGNTXE = 1, CSIGNCTL0.CSIGNRXE = 0 に設定すると、CSIG は送信専用モードになります。CSIGNTX0W レジスタまたは CSIGNTX0H レジスタに送信データが書き込まれると、送信が開始されます。

**注意** いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGNRX0 バッファのデータが未定義になります。したがって、送信専用モードに切り換える前に受信レジスタ CSIGNRX0 を読み出す必要があります。

#### (2) 受信専用モード

CSIGNCTL0.CSIGNTXE = 0, CSIGNCTL0.CSIGNRXE = 1 に設定すると、CSIG は受信専用モードになります。

マスタ・モードでは、CSIGNRX0 レジスタのダミー・データを読み出すと受信が開始されます。

CSIGNBCTL0.CSIGNSCE = 1 であれば、それ以降のすべての受信は受信レジスタ CSIGNRX0 からの読み出しによってトリガされます。

スレーブ・モードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGNTX0W レジスタまたは CSIGNTX0H レジスタにデータを書き込む必要はありません。

**備考** 受信専用モードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGNRX0 から読み出す必要があります。

さらに、最後に受信したデータを CSIGNRX0 から読み出す前に、通信開始ビット CSIGNBCTL0.CSIGNSCE を 1 にセットしたあと、0 に戻す必要があります。

推奨されている手順を以下に示します。

1. CSIGNBCTL0.CSIGNSCE = 1 に設定します
2. CSIGNRX0 (ダミー・データ) を読み出します。
3. 受信割り込み CSIGTIR を待機します。
4. CSIGNRX0 (受信データ) を読み出します。  
手順 3 でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。  
最後に受信したデータを CSIGNRX0 から読み出す前に、CSIGNBCTL0.CSIGNSCE = 0 に設定します。

#### (3) 送受信モード

CSIGNCTL0.CSIGNTXE = 1 かつ CSIGNCTL0.CSIGNRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGNTX0W レジスタまたは CSIGNTX0H レジスタに送信データが書き込まれると、データ転送 (送信と受信) が開始されます。



### 28.3.5 データ長の選択

#### (1) データ長が拡張されていない場合のデータ長の選択

CSIGNCFG0 レジスタの CSIGNDLS[3:0] ビットを使用して、送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は、MSB ファースト (CSIGNCFG0.CSIGNDIR = 0) での通信を示しています。

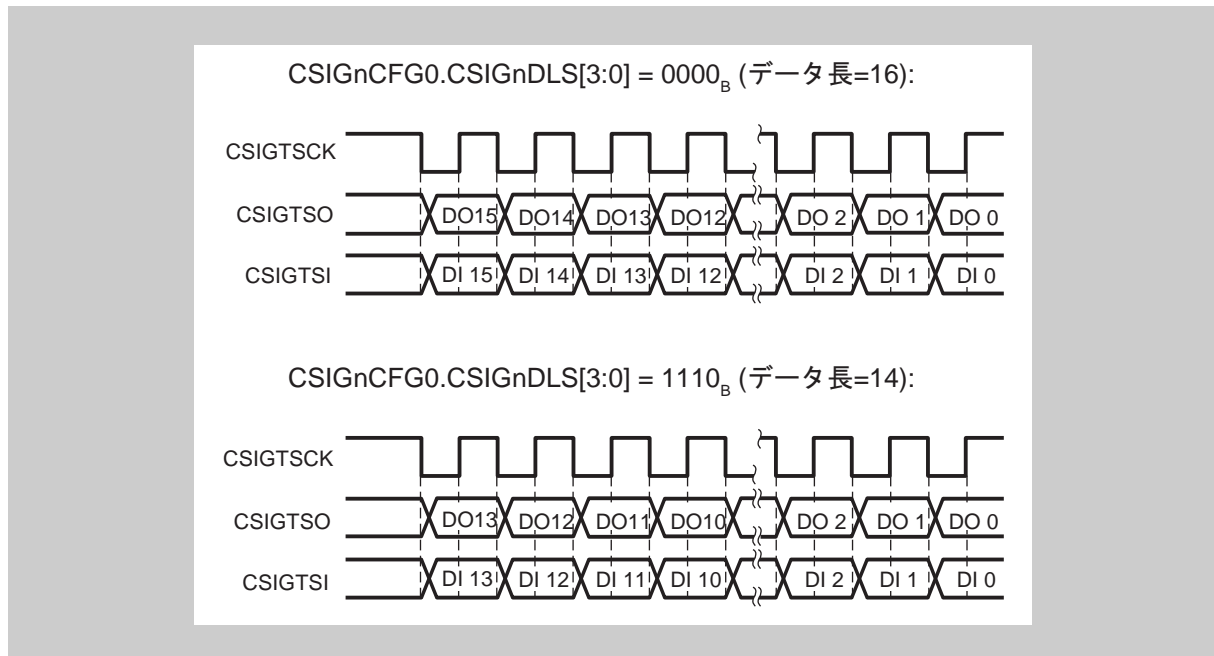


図 28-7 データ長選択機能

#### (2) データ長が拡張されている場合のデータ長の選択

16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能は、ビット CSIGNCTL1.CSIGNEDLE を 1 にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割されます。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分は CSIGNCFG0.CSIGNDLS[3:0] ビットで指定する「データ長」で設定します。
- 16 ビットのブロックを送信するときは、CSIGNTX0W.CSIGNEDL ビットをセット (1) してください。この場合、CSIGNTX0W レジスタに書き込まれるデータは、CSIGNCFG0.CSIGNDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIGNTX0W.CSIGNEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例 123456789A<sub>H</sub> という 40 ビットのデータを送信する例

40 ビットを 2×16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8<sub>D</sub> に初期化します。
- 文字列 123456789A<sub>H</sub> を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
  - 2000 1234<sub>H</sub> (CSIGnTX0W.CSIGnEDL = 1)
  - 2000 5678<sub>H</sub> (CSIGnTX0W.CSIGnEDL = 1)
  - 0000 009A<sub>H</sub> (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

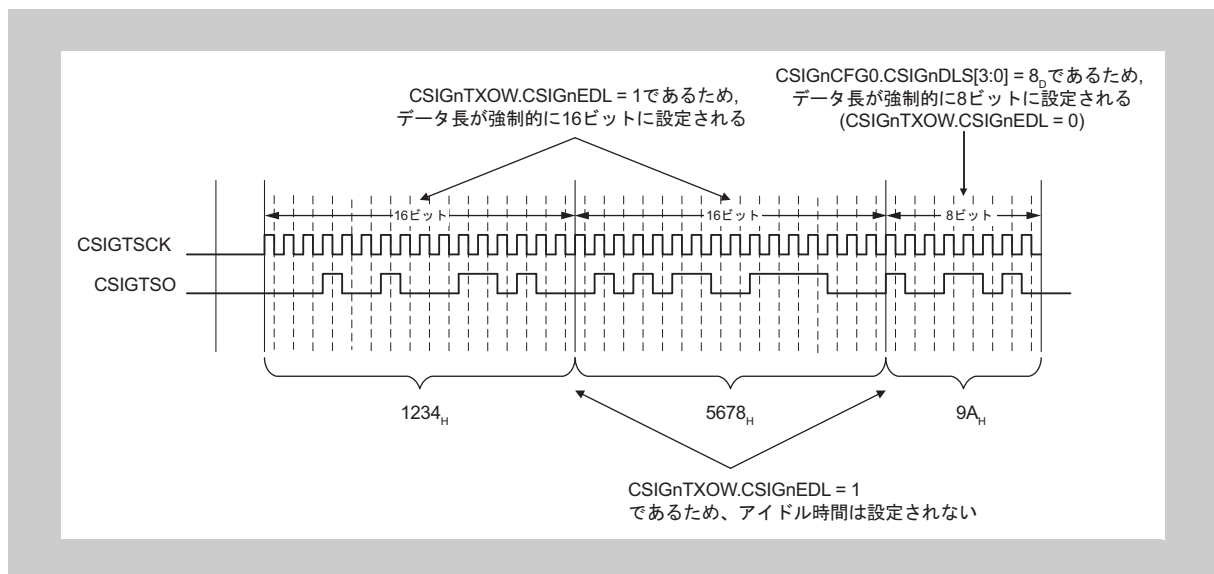


図 28-8 EDL のタイミング図

- 備考
1. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
  2. CSIGnCFG0.CSIGnDLS[3:0] ビットによるデータ長が 7 ビット未満の設定は、EDL モードでの組み合わせの場合のみ可能です。
  3. パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。
  4. LSB ファースト・モードで送信するには、以下のシーケンスで CSIGnTX0 レジスタに書き込みます (送信データが 123456H である場合)。
    - CSIGnCFG0.CSIGnDIR = 1 : LSB ファースト
    - CSIGnTX0 = 2000 3456<sub>H</sub> (EDL ビット = 1)
    - CSIGnTX0 = 0000 0012<sub>H</sub> (EDL ビット = 0)
  5. MSB ファースト・モードで送信するには、以下のシーケンスで CSIGnTX0 レジスタに書き込みます (送信データが 123456H である場合)。
    - CSIGnCFG0.CSIGnDIR = 0 : MSB ファースト
    - CSIGnTX0 = 2000 1234<sub>H</sub> (EDL ビット = 1)
    - CSIGnTX0 = 0000 0056<sub>H</sub> (EDL ビット = 0)

6. ELD 機能は、スレーブ・モード (CSIGnCTL1.CSIGnPRS[2:0] = 1,1,1), または受信専用モード (CSIGnCTL0.CSIGnTXE = 0, CSIGnCTL0.CSIGnRXE = 1) では使用できません。

### 28.3.6 シリアル・データ方向選択機能

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアル・データの方  
向を選択できます。以下の例は 8 ビット・データ  
(CSIGnCFG0.CSIGnDLS[3:0] = 1000<sub>B</sub>) の通信を示しています。

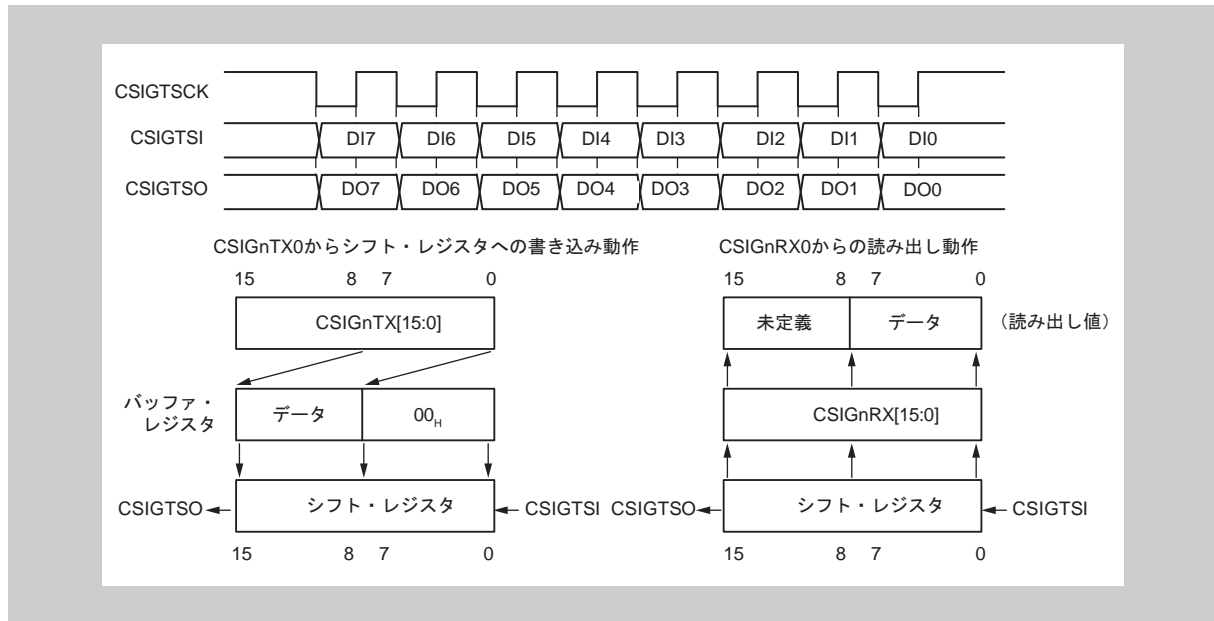


図 28-9 シリアル・データ方向選択機能 - MSB ファースト (CSIGnDIR = 0)

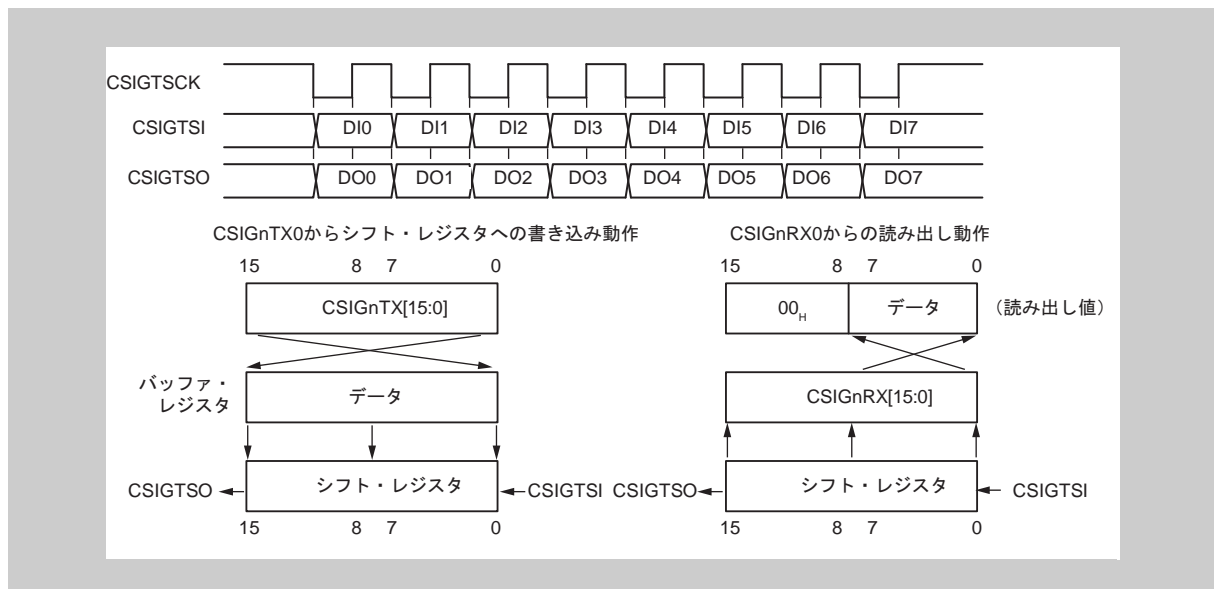


図 28-10 シリアル・データ方向選択機能 - LSB ファースト (CSIGnDIR = 1)

### 28.3.7 スレーブ・モードでの通信

以下の図は、スレーブ・モードでの通信の信号とタイミングを示しています。

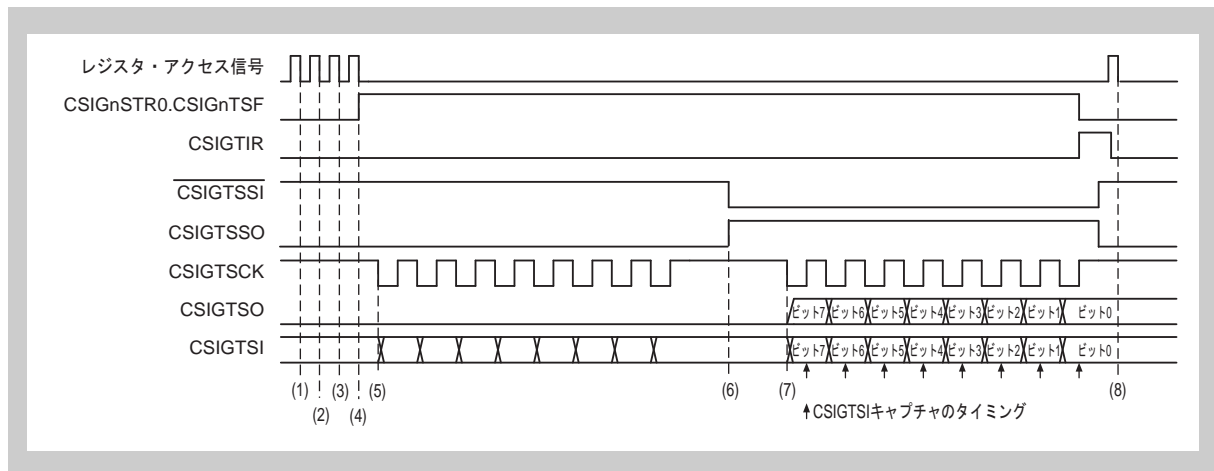


図 28-11 スレーブ・モードでの受信/送信の通信タイミング

- CSIG はスレーブ・モードに設定 (CSIGnCTL2.CSIGnPRS[2:0] を 111<sub>B</sub> に設定)  
CSIGTSSI 信号が有効 (CSIGnCTL1.CSIGnSSE = 1)  
クロック位相はハイ・レベル (CSIGnCTL1.CSIGnCKR = 1)
- データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000<sub>B</sub>)  
データ方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- CSIG が送受信動作モードに設定 (CSIGnCTL0.CSIGnPWR = 1, CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1)
- 転送データが送信レジスタ CSIGnTX0H に書き込まれると、「送信中」フラグ CSIGnSTR0.CSIGnTSF が自動的にセットされ、CSIGTSSI 信号がロウ・レベルになるのを待ちます。
- CSIGTSSI 信号がハイ・レベルである間は、シリアル・クロック入力が供給されていても、送受信は開始されません。CSIGTSO は値を保持し CSIGTSI への入力は無視されます。
- CSIGTSSI がロウ・レベルになると、CSIGTSSO 信号がハイ・レベルになり、チップ・シリアル・データ出力は有効になります。
- CSIGTSSI がロウ・レベル時にシリアル・クロックが入力されると転送データはシリアル・クロックに同期して CSIGTSO に送信されます
- CSIGnRX0 レジスタを読み出します。

### 28.3.8 CSIG の割り込み

CSIG は以下の割り込みを生成することができます。

- CSIGTIC
- CSIGTIR
- CSIGTIRE

**割り込みの遅延** マスタ・モードでは、マスタが生成するすべての割り込みを送信クロック CSIGTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIGnCTL1.CSIGnSIT = 1 に設定します（スレーブ・モードでは CSIGnSIT ビットの設定は無効です）。

CSIGnCTL1.CSIGnSIT = 1（割り込み遅延有効）、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0] = 1000<sub>B</sub>（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

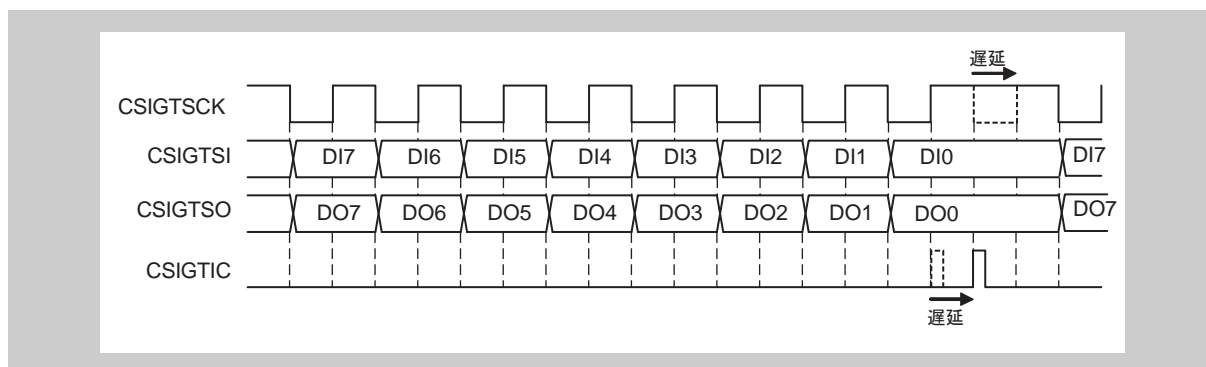


図 28-12 割り込み遅延機能 (CSIGnCTL1.CSIGnSIT = 1)

**(1) CSIGTIC (通信割り込み)**

この割り込みは、通常、データ転送が行われるたびに生成されます。この割り込みを利用して、CSIGNTX0W レジスタまたは CSIGNTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタ・モード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000<sub>B</sub> (データ長 8 ビット)、CSIGNCTL1.CSIGNSLIT = 0 (通常の割り込みタイミング) を想定しています。

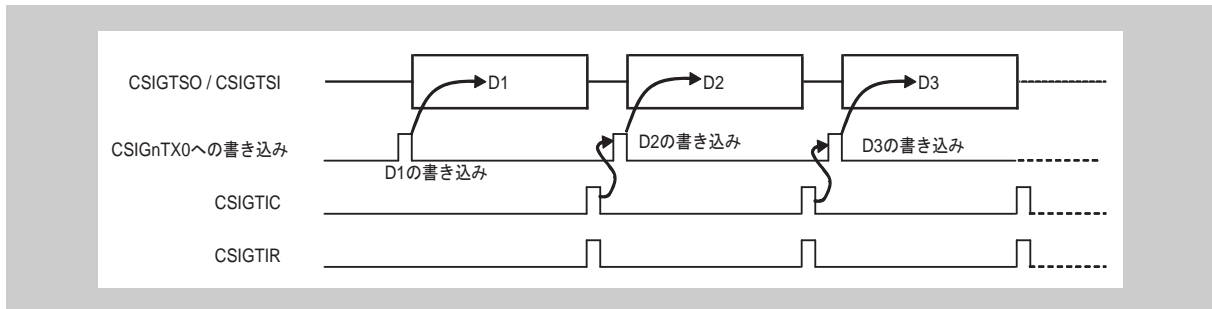


図 28-13 通信終了後の CSIGTIC の生成 (CSIGNCTL1.CSIGNSLIT = 0)

ただし、CSIGNTX0 レジスタが空になり、次のデータの受け入れが可能になったときに CSIGTIC を生成するように設定することもできます。そうするには、CSIGNCTL1.CSIGNSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

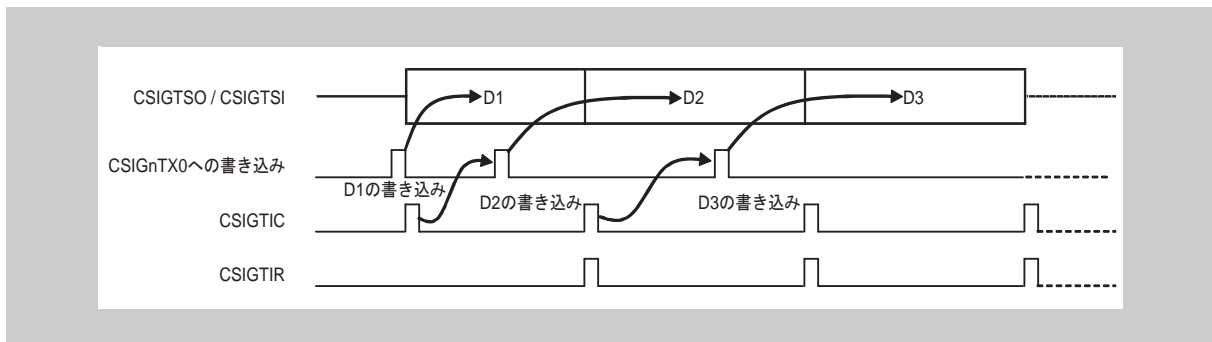


図 28-14 通信開始時の CSIGTIC の生成

**(2) CSIGTIR (受信割り込み)**

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると生成されます。この割り込みを利用して、CSIGNRX0 レジスタから受信データを読み出すための DMA をトリガすることができます。

以下の図の例では、マスタ・モード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000<sub>B</sub> (データ長 8 ビット) を想定しています。

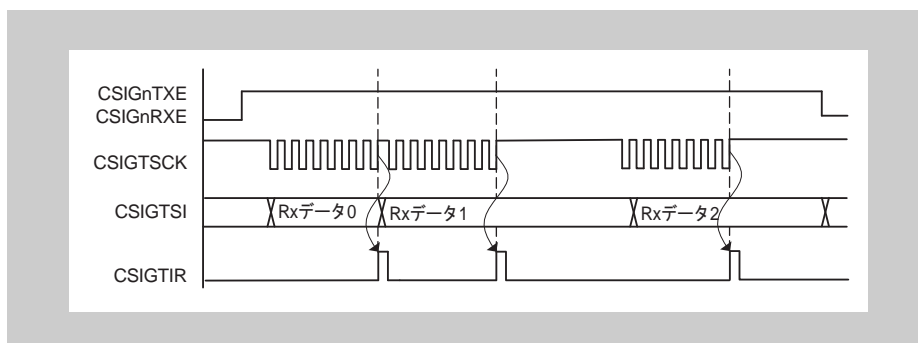


図 28-15 CSIGTIR の生成

**(3) CSIGTIRE (受信エラー割り込み)**

この割り込みはエラーが検出されるたびに生成されます。

表 28-9 データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス
パリティ・エラー	割り込みが生成されても通信は継続します。
データ整合性エラー	割り込みが生成されても通信は継続します。
オーバラン・エラー	割り込みが生成されると通信が停止します。

CSIGTIRE が生成される原因となったエラーのタイプは、CSIGNSTR0 レジスタによって識別されます。

さまざまなエラー・タイプの詳細については、28.3.11「エラー検出」を参照してください。

### 28.3.9 ハンドシェーク機能

CSIG はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIGNCTL1.CSIGNHSE で有効または無効にすることができます。ハンドシェークでは、CSIGTSHSG 信号を使用します。

タイミングはデータ位相選択ビット CSIGNCFG0.CSIGNDAP の設定によって異なります。

#### (1) スレーブ・モード

CSIGNCTL1.CSIGNHSE = 1 のとき、スレーブはビジー状態になると CSITSHSG がロウ・レベルを出力します。すでに受信したデータがまだ CSIGNRX0 レジスタにあるため、シフト・レジスタから CSIGNRX0 へ新しいデータをコピーできないと、この状態になります (CSIGNRX0 フル状態)。

以下の例では、8 ビットのデータ長を想定しています。

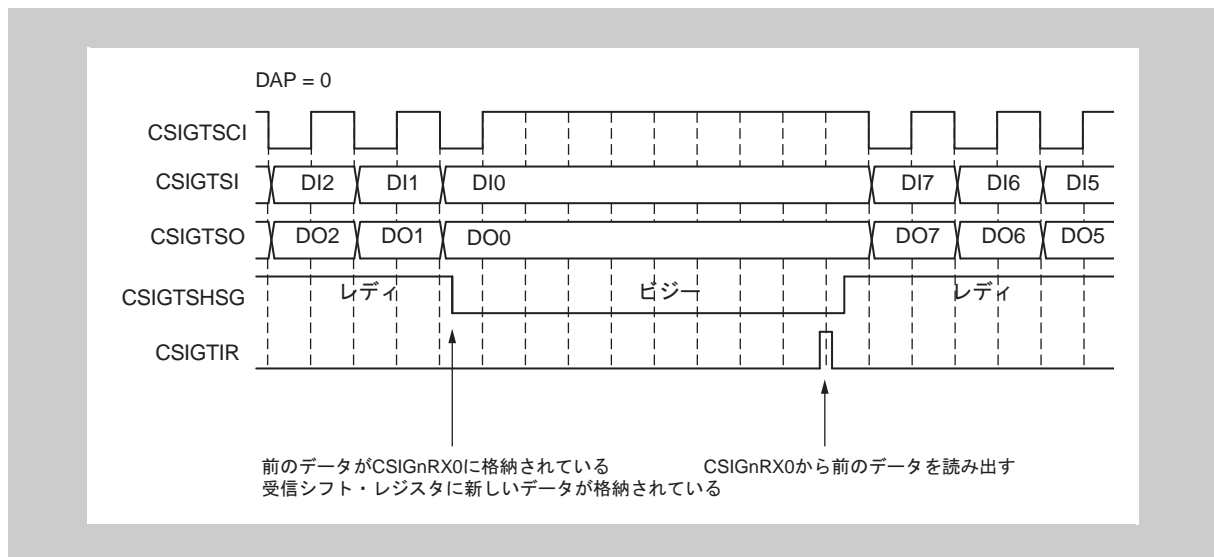


図 28-16 スレーブからのレディ/ビジー信号 (CSIGNCFG0.CSIGNDAP = 0)

スレーブがビジーである間、マスタは待機する (送信クロックを停止させる) 必要があります。受信レジスタ CSIGNRX0 からの読み出しが完了すると、ただちにスレーブは CSIGTSHSG をハイ (「レディ」) に設定します。



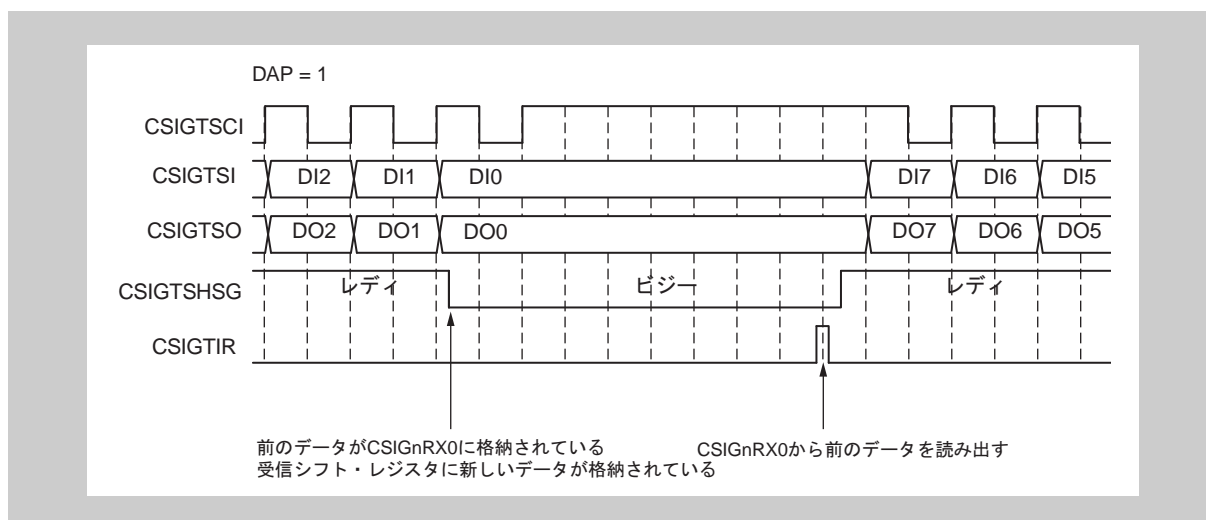


図 28-17 スレーブからのレディ/ビジー信号 (CSIGnCFG0.CSIGnDAP = 1)

**(2) マスタ・モード**

マスタが CSIGTSHSG のロウ・レベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCK へのクロックの出力を停止します。

CSIGTSHSG のレベルは、CSIGTSCK の半周期ごとにチェックされます。

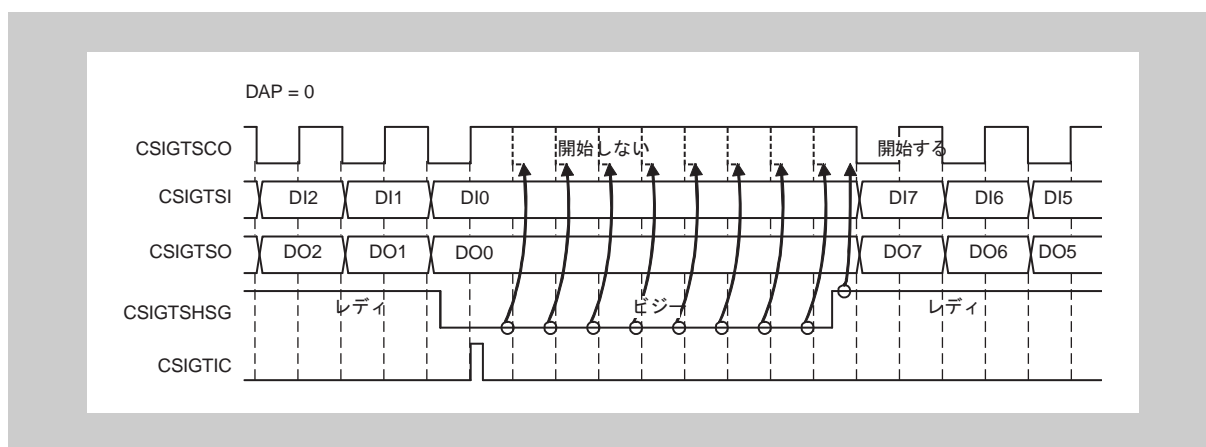


図 28-18 CSIGTSHSG に対するマスタの反応 (CSIGnCFG0.CSIGnDAP = 0)

データの転送中に CSIGTSHSG ロウ信号がスレーブから送信されると、転送が完了したあと、シリアル・クロックが停止します。

マスタは CSIGTSHSG がハイになる (スレーブが「レディ」状態になると、ただちに通信を再開します。

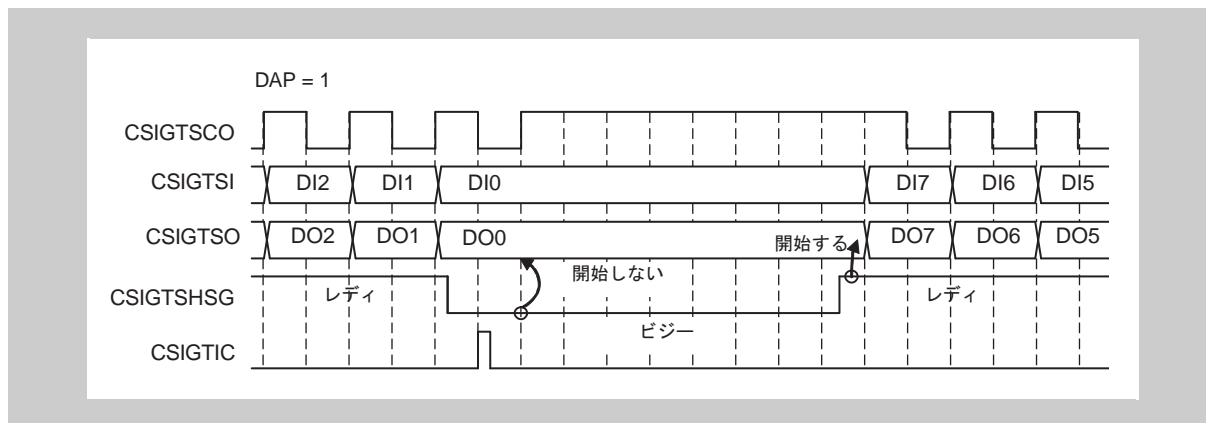


図 28-19 CSIGTSHSG に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 1)

**注意** 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIGTSHSG 信号を検出する必要があります。

次の転送が始まる前にスレーブは CSIGTSHSG をロウ・レベルに下げる必要があります。転送中にスレーブがこの信号をロウ・レベルに下げても、転送は完了するまで継続します。

### 28.3.10 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスター・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSCK 信号、CSIGTSO 信号、CSIGTSI 信号は切り離されます。さらに、CSIGTSO の出力レベルがロウ・レベルに固定され、CSIGTSCK は非アクティブになります。ハンドシェイク機能は使用できません。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループ・バック・モードを有効にし、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

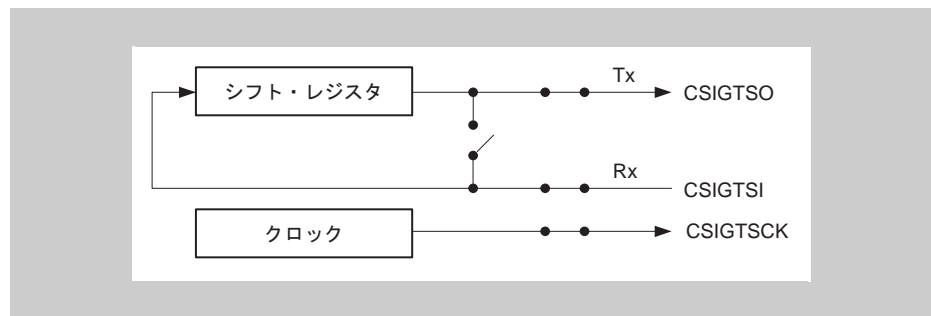


図 28-20 通常の動作

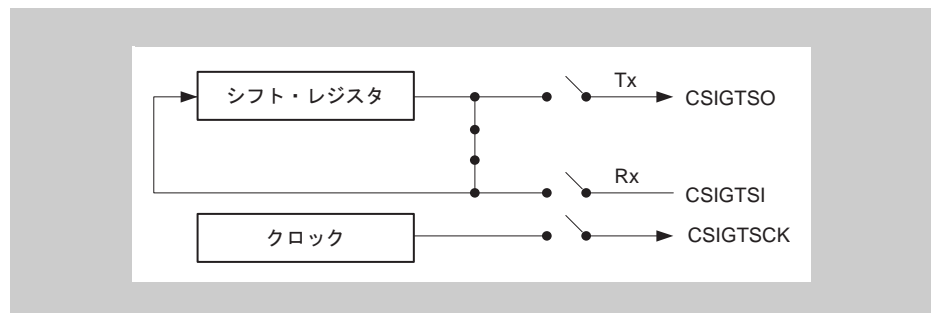


図 28-21 ループ・バック・モードでの動作

### 28.3.11 エラー検出

CSIG は 3 つのエラー・タイプを検出することができます。

- データ整合性チェック・エラー (送信データ)
- パリティ・エラー (受信データ)
- オーバラン・エラー

エラー・チェックはエラーのタイプごとに有効または無効にすることができます。

いずれかのエラーが検出されると、割り込み CSIGTIRE が生成されます。

#### (1) データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックはビット CSIGnCTL1.CSIGnDCS で有効または無効にすることができます。データ送信が禁止されていると (CSIGnCTL0.CSIGnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGnTX0W または CSIGnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフト・レジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われず。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGnSTR0.CSIGnDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

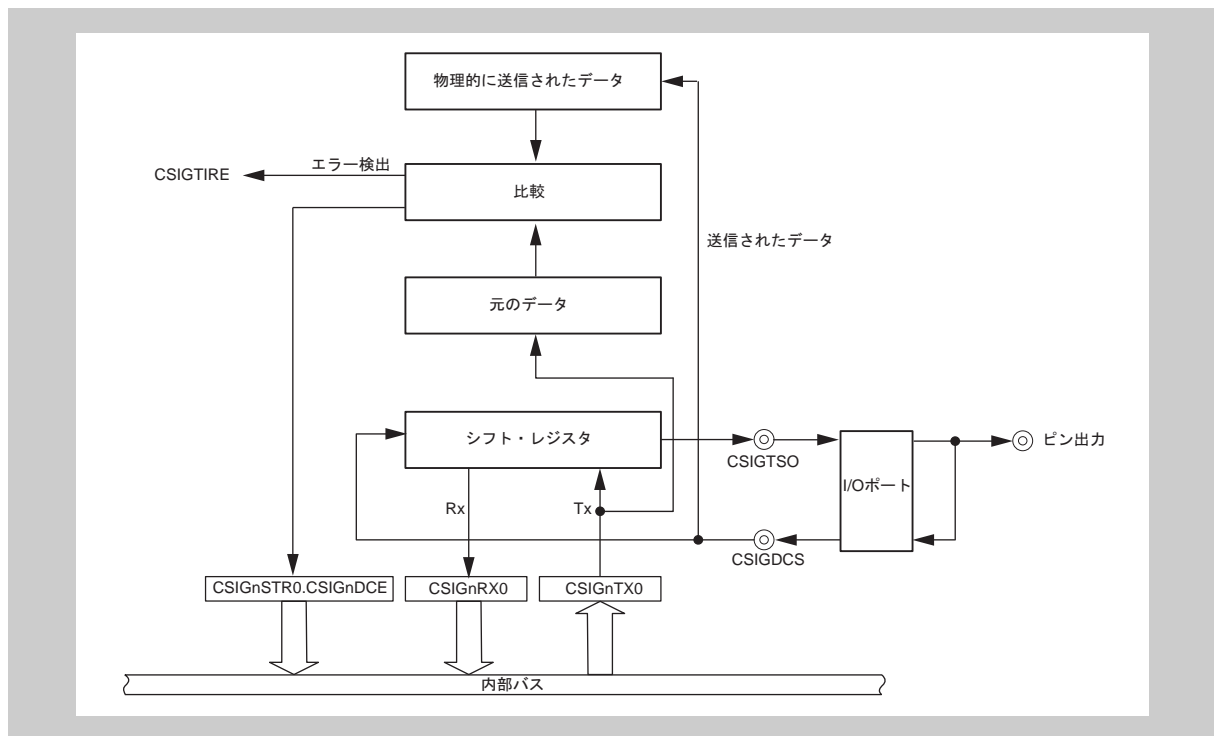


図 28-22 データ整合性チェックの機能ブロック図

**(2) パリティ・チェック**

パリティはデータ送信中の単一ビット・エラーを検出する手段としてよく使われます。CSIGでは、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプはCSIGNCFG0.CSIGNPS[1:0]で指定されます。

CSIGNCFG0.CSIGNPS[1] = 1であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGNSTR0.CSIGNPE がセットされます。

以下の図に例を示します。

データ長は8ビットです。送信されるデータは05<sub>H</sub>と35<sub>H</sub>です。パリティ・タイプは奇数です。

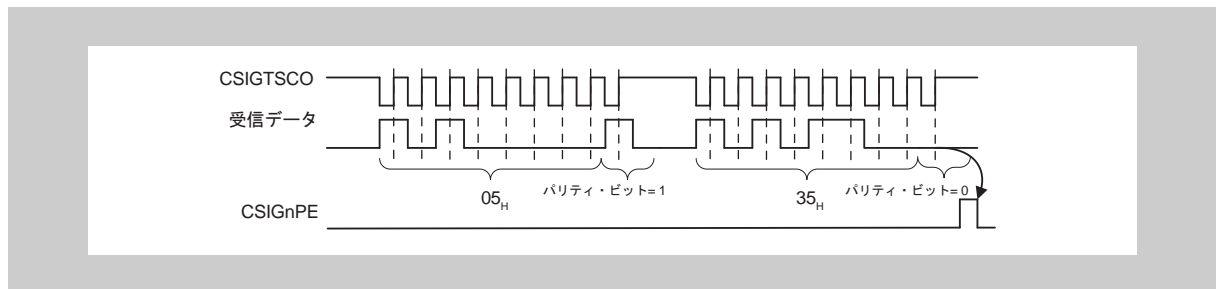


図 28-23 パリティ・チェックの例

先頭8ビットのパリティ・ビットは1です。1の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

次の8ビットのパリティ・ビットは0です。1の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

**(3) オーバラン・エラー**

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0 に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると (CSIGnCTL0.CSIGnRXE = 0)、オーバラン・エラーは発生しません。

オーバラン・エラーが発生すると、以下のことが行われます。

- 割り込み CSIGTIRE が生成されます。
- ビット CSIGnSTR0.CSIGnOVE がセットされます。
- 通信が停止します。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

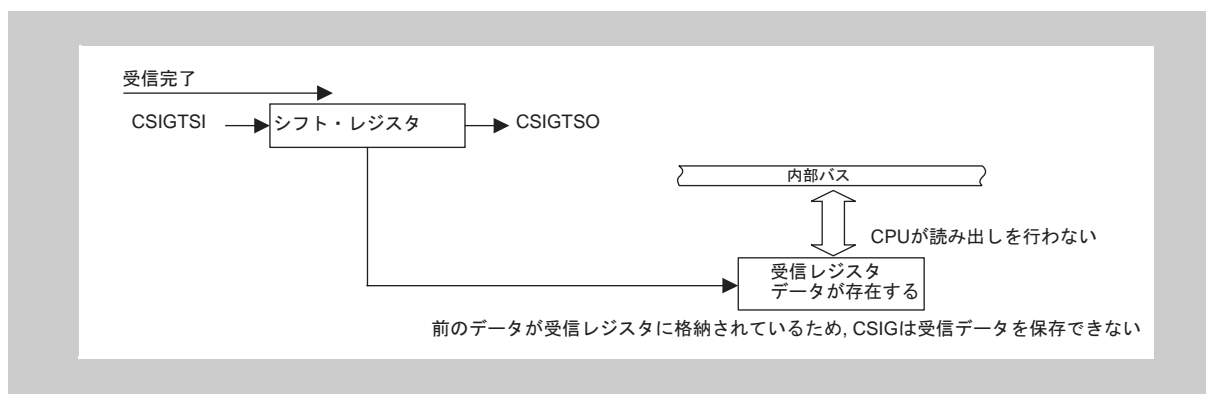


図 28-24 オーバラン・エラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 は受信されていますが、そのデータを保存することはできません。

したがって、オーバラン・エラーが発生します。

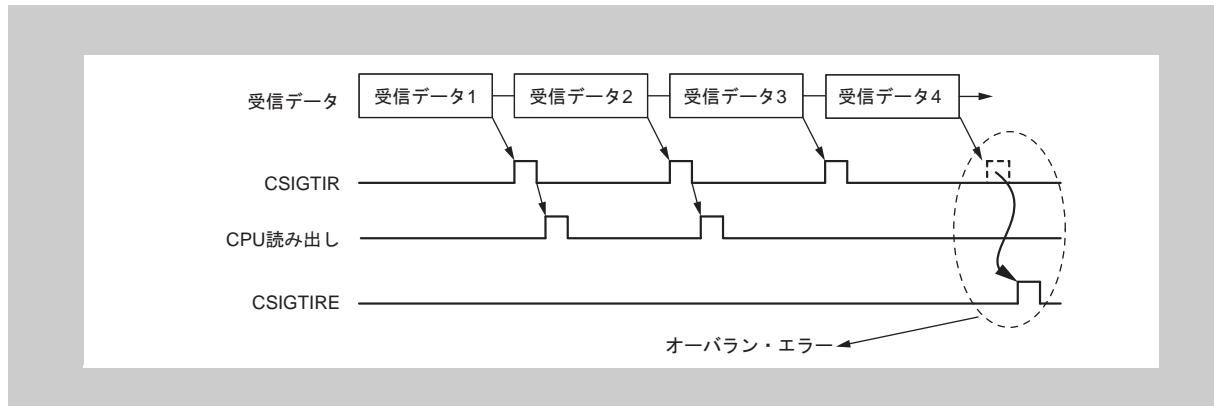


図 28-25 オーバラン・エラーの検出の例

**備考** オーバラン・エラーは、ハンドシェイクを利用することで回避できます。

スレーブ・モードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、28.3.9「ハンドシェイク機能」を参照してください。



## 28.4 CSIG 制御レジスタ

CSIGn は、以下のレジスタによって制御され、操作されます。

表 28-10 CSIGn のレジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 00 <sub>H</sub>
制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 10 <sub>H</sub>
制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 14 <sub>H</sub>
ステータス・レジスタ 0	CSIGnSTR0	<CSIGn_base> + 04 <sub>H</sub>
ステータス・クリア・レジスタ 0	CSIGnSTCR0	<CSIGn_base> + 08 <sub>H</sub>
受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000 <sub>H</sub>
コンフィギュレーション・レジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010 <sub>H</sub>
ワード・アクセス用送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004 <sub>H</sub>
ハーフ・ワード・アクセス用送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008 <sub>H</sub>
受信レジスタ 0	CSIGnRX0	<CSIGn_base> + 100C <sub>H</sub>
エミュレーション・レジスタ	CSIGnEMU	<CSIGn_base> + 0018 <sub>H</sub>

**(1) CSIGNCTL0 - CSIG 制御レジスタ 0**

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

**アクセス** 1ビット単位と8ビット単位でリード／ライト可能です。

**アドレス** <CSIGN\_base> + 00<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**注意** ビット4-1には必ず0を設定してください。ビット0は初期値は0ですが必ず1を設定してください。

7	6	5	4	3	2	1	0
CSIGN PWR	CSIGN TXE	CSIGN RXE	0	0	0	0	0/1
R/W	R/W	R/W	R	R	R	R	R/W

表 28-11 CSIGNCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGNPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIGNPWR を0にクリアすると、内部回路がリセットされ、動作が停止し、CSIGがスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中にCSIGNPWRがクリアされると、実行中の通信は中断されます。その場合は、通信を最初からやり直す必要があります。
6	CSIGNTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIGNRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。

- 注意**
- CSIGNPWR = 0 である間に CSIGNRXE または CSIGNTXE を変更しないでください。  
ただし、CSIGNPWR = 1 に設定したときは、両方のビットを同じ書き込み操作で変更することができます。
  - データ送信が保留中または進行中、つまり CSIGNSTR0.CSIGNTSF = 1 のときに、CSIGNRXE または CSIGNTXE を変更しないでください。

## (2) CSIGNCTL1 - CSIG 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループ・バック・モード、ハンドシェイク機能、スレーブ選択機能を有効または無効する機能も持っています。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <CSIGN\_base> + 10<sub>H</sub>

**初期値** 0000 0000H 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIGN CKR	CSIGN SLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGN EDLE	0	CSIGN DCS	0	CSIGN LBM	CSIGN SIT	CSIGN HSE	CSIGN SSE
R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

**注意** 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときにのみ変更することができます。

表 28-12 CSIGNCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIGNCKR	CSIGNTSCK のクロック位相を選択します。 0 : CSIGNTSCK のデフォルト・レベルは、ハイ 1 : CSIGNTSCK のデフォルト・レベルは、ロウ CSIGNCKR ビットは CSIGNCFG0.CSIGNDAP ビットと組み合わせて使用します。詳細については、(7)「CSIGNCFG0 - CSIG コンフィギュレーション・レジスタ 0」を参照してください。
16	CSIGNSLIT	割り込み CSIGTIC のタイミングを選択します。 0 : 通常の割り込みのタイミング (転送後に割り込みを生成します)。 1 : CSIGNTX0 が空になり、次のデータを格納できる状態になったときに割り込みを生成します。 詳細については、(1)「CSIGTIC (通信割り込み)」を参照してください。
7	CSIGNEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0 : 拡張データ長モードを無効にします。 1 : 拡張データ長モードを有効にします。 詳細については、(2)「データ長が拡張されている場合のデータ長の選択」を参照してください。
5	CSIGNDCS	データ整合性チェックを有効または無効にします。 0 : データ整合性チェックを無効にします。 1 : データ整合性チェックを有効にします。 詳細については、(1)「データ整合性チェック」を参照してください。
3	CSIGNLBM	ループ・バック・モード (LBM) を制御します。 0 : ループ・バック・モードを非アクティブにします。 1 : ループ・バック・モードをアクティブにします。 ループ・バック・モードはマスタ・モードでのみ設定可能です。スレーブ・モードでは 0 に設定してください。 詳細については、28.3.10「ループ・バック・モード」を参照してください。

表 28-12 CSIGNCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CSIGNSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については、28.3.8「CSIGの割り込み」を参照してください。
1	CSIGNHSE	ハンドシェイク・モードを有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、28.3.9「ハンドシェイク機能」を参照してください。
0	CSIGNSSE	スレーブ選択 (SS) 機能を有効または無効にします。 0: 入力信号 CSIGTSSI を無視します。 1: 入力信号 CSIGTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを0に設定する必要があります (28.3.2「マスタ/スレーブの接続」も参照してください)。

CSIGNCTL1.CSIGNSSE の詳細を次に示します。

表 28-13 受信中の SS 機能の動作

CSIGNCTL0. CSIGNRXE	CSIGNCTL1. CSIGNSSE	$\overline{\text{CSIGTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	不可能

表 28-14 送信中の SS 機能の動作

CSIGNCTL0. CSIGNTXE	CSIGNCTL1. CSIGNSSE	$\overline{\text{CSIGTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	不可能

**(3) CSIGNCTL2 - CSIG 制御レジスタ 2**

本レジスタでは通信クロックを選択します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <CSIGN\_base> + 14<sub>H</sub>

**初期値** E000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGN PRS[2:0]			0	CSIGN BRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**注意** 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときのみ変更することができます。

表 28-15 CSIGNCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15-13	CSIGNPRS [2:0]	<p>プリスケアラの値を選択します。</p> <table border="1"> <thead> <tr> <th>CSIGN PRS2</th> <th>CSIGN PRS1</th> <th>CSIGN PRS0</th> <th>プリスケアラの出力 (PRSOUT)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>PCLK (マスタ・モード)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>PCLK / 2 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>PCLK / 4 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>PCLK / 8 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>PCLK / 16 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>PCLK / 32 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>PCLK / 64 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>CSIGTSCI 経由の外部クロック (スレーブ・モード)</td></tr> </tbody> </table>	CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	プリスケアラの出力 (PRSOUT)	0	0	0	PCLK (マスタ・モード)	0	0	1	PCLK / 2 (マスタ・モード)	0	1	0	PCLK / 4 (マスタ・モード)	0	1	1	PCLK / 8 (マスタ・モード)	1	0	0	PCLK / 16 (マスタ・モード)	1	0	1	PCLK / 32 (マスタ・モード)	1	1	0	PCLK / 64 (マスタ・モード)	1	1	1	CSIGTSCI 経由の外部クロック (スレーブ・モード)
CSIGN PRS2	CSIGN PRS1	CSIGN PRS0	プリスケアラの出力 (PRSOUT)																																			
0	0	0	PCLK (マスタ・モード)																																			
0	0	1	PCLK / 2 (マスタ・モード)																																			
0	1	0	PCLK / 4 (マスタ・モード)																																			
0	1	1	PCLK / 8 (マスタ・モード)																																			
1	0	0	PCLK / 16 (マスタ・モード)																																			
1	0	1	PCLK / 32 (マスタ・モード)																																			
1	1	0	PCLK / 64 (マスタ・モード)																																			
1	1	1	CSIGTSCI 経由の外部クロック (スレーブ・モード)																																			
11-0	CSIGNBRS [11:0]	<p>ポー・レートを選択します。 CSIGNBRS[11:0] ビットの設定はマスタ・モードでのみ有効となり、スレーブ・モードでは無視されます。</p> <table border="1"> <thead> <tr> <th>CSIGNBRS[11:0]</th> <th>CSIGTSCK のポー・レート</th> </tr> </thead> <tbody> <tr><td>0</td><td>BRG の停止</td></tr> <tr><td>1</td><td>PCLK / (2<sup>m</sup>×1×2)</td></tr> <tr><td>2</td><td>PCLK / (2<sup>m</sup>×2×2)</td></tr> <tr><td>3</td><td>PCLK / (2<sup>m</sup>×3×2)</td></tr> <tr><td>4</td><td>PCLK / (2<sup>m</sup>×4×2)</td></tr> <tr><td>...</td><td>...</td></tr> <tr><td>4095</td><td>PCLK / (2<sup>m</sup>×4095×2)</td></tr> </tbody> </table> <p>備考 m = 0-6 : CSIGNPRS[2:0] で設定した値</p>	CSIGNBRS[11:0]	CSIGTSCK のポー・レート	0	BRG の停止	1	PCLK / (2 <sup>m</sup> ×1×2)	2	PCLK / (2 <sup>m</sup> ×2×2)	3	PCLK / (2 <sup>m</sup> ×3×2)	4	PCLK / (2 <sup>m</sup> ×4×2)	...	...	4095	PCLK / (2 <sup>m</sup> ×4095×2)																				
CSIGNBRS[11:0]	CSIGTSCK のポー・レート																																					
0	BRG の停止																																					
1	PCLK / (2 <sup>m</sup> ×1×2)																																					
2	PCLK / (2 <sup>m</sup> ×2×2)																																					
3	PCLK / (2 <sup>m</sup> ×3×2)																																					
4	PCLK / (2 <sup>m</sup> ×4×2)																																					
...	...																																					
4095	PCLK / (2 <sup>m</sup> ×4095×2)																																					

(4) CSIGNSTR0 - CSIG ステータス・レジスタ 0

本レジスタは CSIG の状態を示します。

アクセス 32 ビット単位でリード可能です。

アドレス <CSIGN\_base> + 04<sub>H</sub>

初期値 0000 0010<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CSIGN TSF	0	0	1	CSIGN DCE	0	CSIGN PE	CSIGN OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28-16 CSIGNSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能									
7	CSIGNTSF	転送ステータス・フラグ 0: アイドル状態 1: 送信中または送信の準備中 このビットがセットまたはクリアされる条件を以下に示します。									
<table border="1"> <thead> <tr> <th>マスタ・モード</th> <th>セットされる条件</th> <th>クリアされる条件</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="3">最後のシリアル・クロックのエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>受信レジスタの読み込み</td> </tr> </tbody> </table>			マスタ・モード	セットされる条件	クリアされる条件	送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内	送受信モード	受信専用モード	受信レジスタの読み込み
マスタ・モード	セットされる条件	クリアされる条件									
送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内									
送受信モード											
受信専用モード	受信レジスタの読み込み										
<table border="1"> <thead> <tr> <th>スレーブ・モード</th> <th>セットされる条件</th> <th>クリアされる条件</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="3">最後のシリアル・クロックのエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIGNTSCI 入力タイミング</td> </tr> </tbody> </table>			スレーブ・モード	セットされる条件	クリアされる条件	送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内	送受信モード	受信専用モード	CSIGNTSCI 入力タイミング
スレーブ・モード	セットされる条件	クリアされる条件									
送信専用モード	送信レジスタへの書き込み	最後のシリアル・クロックのエッジから半クロック以内									
送受信モード											
受信専用モード	CSIGNTSCI 入力タイミング										

表 28-16 CSIGNSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGNDCE	<p>データ整合性チェック・エラー・フラグ</p> <p>0: データ整合性チェック・エラーが検出されていません。</p> <p>1: データ整合性チェック・エラーが検出されています。</p> <p>データ整合性チェック・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNDCEC による (0 への) クリアが同時に発生した場合、データ整合性チェック・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>
1	CSIGNPE	<p>パリティ・エラー・フラグ</p> <p>0: パリティ・エラーが検出されていません。</p> <p>1: パリティ・エラーが検出されています。</p> <p>パリティ・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNPEC による (0 への) クリアが同時に発生した場合、パリティ・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>
0	CSIGNOVE	<p>オーバラン・エラー・フラグ</p> <p>0: オーバラン・エラーが検出されていません。</p> <p>1: オーバラン・エラーが検出されています。</p> <p>オーバラン・エラーの検出による (1 への) セットと CSIGNSTCR0.CSIGNOVEC による (0 への) クリアが同時に発生した場合、オーバラン・エラーの検出による (1 への) セットを優先します。</p> <p>このビットは CSIGNCTL0.CSIGNPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。</p>

**(5) CSIGNSTCR0 - CSIG ステータス・クリア・レジスタ 0**

本レジスタはCSIGNSTR0 ステータス・レジスタのステータス・フラグをクリアします。

**アクセス** 16 ビット単位でリード/ライト可能です。  
リードを行うと、常に値 0000<sub>H</sub> が返されます。

**アドレス** <CSIGN\_base> + 08<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	CSIGN DCEC	0	CSIGN PEC	CSIGN OVEC
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 28-17 CSIGNSTCR0 レジスタの内容

ビット位置	ビット名	機能
3	CSIGNDCEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: データ整合性チェック・エラー・フラグ (CSIGNSTR0.CSIGNDCE) をクリアします。
1	CSIGNPEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: パリティ・エラー・フラグ (CSIGNSTR0.CSIGNPE) をクリアします。
0	CSIGNOVEC	0: 何も操作を行いません。読み出し値は常に0になります。 1: オーバラン・エラー・フラグ (CSIGNSTR0.CSIGNOVE) をクリアします。



**(6) CSIGNBCTL0 - CSIG 受信専用モード制御レジスタ 0**

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

**アクセス** 1ビット単位と8ビット単位でリード/ライト可能です。

**アドレス** <CSIGN\_base> + 1000<sub>H</sub>

**初期値** 01<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CSIGNSCE
R	R	R	R	R	R	R	R/W

表 28-18 CSIGNBCTL0 レジスタの内容

ビット位置	ビット名	機能
0	CSIGNSCE	CSIGNRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0 : 次回の受信を禁止します。 1 : 次回の受信を許可します。 詳細については、(2)「受信専用モード」および 28.3.7「スレーブ・モードでの通信」を参照してください。

- 注意**
- CSIGTIR 割り込みが発生する1クロック前までに、CSIGNSCE ビットに書き込みをしてください。
  - 動作モードが、送信専用モードまたは、送受信モードのときは CSIGNSCE ビットは0に固定してください。

## (7) CSIGNCFG0 - CSIG コンフィギュレーション・レジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <CSIGN\_base> + 1010<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN PS[1:0]		CSIGN DLS[3:0]		0	0	0	0	0	0	CSIGN DIR	0	CSIGN DAP	
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**注意** 本レジスタの内容は、CSIGNCTL0.CSIGNPWR = 0 のときにのみ変更することができます。

表 28-19 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
29-28	CSIGNPS [1:0]	パリティを指定します。 <table border="1"> <thead> <tr> <th>CSIGN PS1</th><th>CSIGN PS0</th><th>送信</th><th>受信</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr> <tr> <td>0</td><td>1</td><td>0に固定されたパリティ・ビットを追加します。</td><td>パリティ・ビットの受信を待機しますが、パリティの判定は行いません。</td></tr> <tr> <td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティ・ビットの受信を待機します。</td></tr> <tr> <td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティ・ビットの受信を待機します。</td></tr> </tbody> </table>	CSIGN PS1	CSIGN PS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。
CSIGN PS1	CSIGN PS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。																			
27-24	CSIGNDLS [3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。 <b>注意</b> 7 ビット未満のデータ長は、拡張データ長モードが無効 (CSIGNCTL1.CSIGN EDLE ビット = 0) のときは CSIGNCFG0.CSIGNDLS[3:0] ビットを 1 ~ 6 の値に設定しないでください。データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。																				
18	CSIGNDIR	シリアル・データ方向を選択します。 0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。																				

表 28-19 CSIGNCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
16	CSIGNDAP	<p>データ位相選択ビット                      CSIGNCTL1.CSIGNCKR ビットと合わせ、データ位相を選択します。クロック／データ位相については、下表を参照ください。</p> <table border="1"> <thead> <tr> <th>CSIGNCKR</th> <th>CSIGNDAP</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIGNCKR ビットの詳細は、(2)「CSIGNCTL1 - CSIG 制御レジスタ 1」</p>	CSIGNCKR	CSIGNDAP	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
CSIGNCKR	CSIGNDAP	クロック位相とデータ位相の選択															
0	0																
0	1																
1	0																
1	1																

**(8) CSIGNTX0W - ワード・アクセス用 CSIG 送信レジスタ 0**

本レジスタは送信データを保存します。拡張データ長機能が有効になっている場合は (CSIGNCTL1.CSIGNEDLE = 1), 本レジスタを使用する必要があります。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <CSIGN\_base> + 1004<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**注意** CSIGNCTL0.CSIGNTXE=CSIGNCTL0.CSIGNRXE=0 とき、CSIGNTX0W レジスタへの書き込みは禁止です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	CSIGN EDL	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGNTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28-20 CSIGNTX0W レジスタの内容

ビット位置	ビット名	機能
29	CSIGNEDL	拡張データ長を指定します。 0: 通常の動作 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビット・データとして送信されます。 このビットは CSIGNCTL1.CSIGNEDLE = 1 のときにのみセットできます。 CSIGNCTL1.CSIGNEDLE がクリアされると、このビットも自動的にクリアされます。
15-0	CSIGNTX[15:0]	送信されるデータ

**(9) CSIGnTX0H - ハーフ・ワード・アクセス用 CSIG 送信レジスタ 0**

本レジスタは送信データを保存します。本レジスタは、拡張データ長機能が無効 (CSIGnCTL1.CSIGnEDLE = 0) になっているときに使用できます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <CSIGn\_base> + 1008<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**注意** CSIGnCTL0.CSIGnTXE=CSIGnCTL0.CSIGnRXE=0 とき、CSIGnTX0H レジスタへの書き込みは禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28-21 CSIGnTX0H レジスタの内容

ビット位置	ビット名	機能
15-0	CSIGnTX[15:0]	送信されるデータ

**(10) CSIGnRX0 - CSIG 受信レジスタ 0**

本レジスタは受信データを保存します。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <CSIGn\_base> + 100C<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**注意** CSIGnCTL0.CSIGnTXE=CSIGnCTL0.CSIGnRXE=0 とき、CSIGnRX0 レジスタの読み出し禁止です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIGnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28-22 CSIGnRX0 レジスタの内容

ビット位置	ビット名	機能
15-0	CSIGnRX[15:0]	受信データ 本ビット CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

**(11) CSIGNEMU - CSIGN エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <CSIGN\_base> + 0018<sub>H</sub>

**初期値** 0000<sub>H</sub>

	7	6	5	4	3	2	1	0
CSIGN SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 28-23 CSIGNEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIGN SVSDIS	<p>(EPC.SVSTOP ビット =0 のとき)</p> <p>本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット =1 のとき)</p> <p>0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止</p> <p>1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 28.5 操作手順の例

ここでは、マスタ・モードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000<sub>B</sub>)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 転送の最後に CSIGTIC 割り込みを生成 (CSIGnCTL1.CSIGnSLIT = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- データ・フレームの数は 10 個 (0 ~ 9)

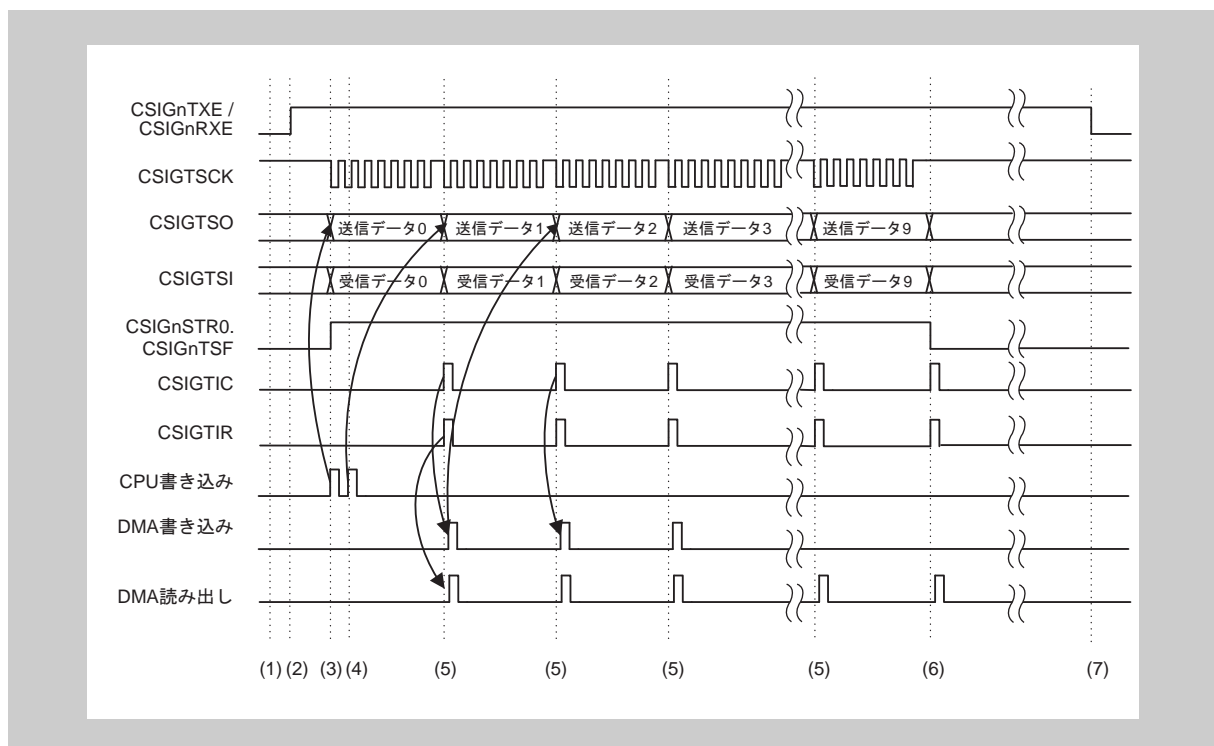


図 28-26 マスタ・モードでの通信

手順：

1. CSIGnCFG0 レジスタで通信プロトコルを設定します。
2. CSIGnCTL0 レジスタで、ビット CSIGnPWR = 1 (クロック有効)、ビット CSIGnTXE = 1 (送信許可)、ビット CSIGnRXE = 1 (受信許可) に設定します。  
データ出力 CSIGTSO が有効になります。
3. 最初の送信データ・フレームを送信レジスタ CSIGnTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIGnTX0H に書き込みます。最初のパケットを書き込んだ直後に 2 番目のデータ・フレームを書き込むことで、データ・フレーム間の不要な遅延を回避できます。

5. データ・フレームが1つ送信されるたびに割り込み CSIGTIC と CSIGTIR が生成されます。CSIGTIC は、次のデータ・フレームを CSIGnTX0H に書き込めることを示します。CSIGTIR は、受信レジスタ CSIGnRX0 を読み出す必要があることを示します。

この例では、CPU 書き込みと DMA 書き込みを同じものと見なしていません。

6. データ・フレーム 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ・フレーム 9 (最後のデータ・フレーム) は、その前に書き込まれています。

ただし、データ・フレーム 8 とデータ・フレーム 9 の書き込みが完了したあと、受信レジスタ CSIGnRX0 を読み出す必要があります。

7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。



## 第29章 クロック同期シリアル・インタフェースH (CSIH)

本章では、クロック同期シリアル・インタフェースH (CSIH) 全般について説明します。

最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべてのV850E2/Fx4-Hに固有の特性について説明します。

それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。

## 29.1 V850E2/Fx4-H CSIH の特徴

**チャンネル数** 本マイクロコントローラは以下のチャンネル数のクロック同期シリアル・インタフェースHを搭載しています。

表 29-1 CSIH のチャンネル数

クロック同期式シリアル・インタフェースH	V850E2/FK4-H	V850E2/FL4-H
数	3	
名称	CSIH0-CSIH2	

**n の意味** 本章では、クロック同期シリアル・インタフェースHの各チャンネルを「n」(n = 0-2)で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。

**x の意味** クロック同期シリアル・インタフェースHは8個のチップ・セレクト信号を備えています。本章では、各チップ・セレクト信号を「x」(x = 0 ~ 7)で識別します。たとえば、特定のチップ・セレクト信号は CSx と記述します。CSIHの各チャンネルのチップ・セレクト信号の数を以下の表に示します。

表 29-2 CSIH のチップ・セレクト数

CSIHn チャンネル	V850E2/FK4-H チップ・セレクト数	V850E2/FL4-H チップ・セレクト数
CSIH0	x = 0-7	
CSIH1	x = 0-7	
CSIH2	x = 0-7	

**レジスタ・アドレス** CSIHn のレジスタ・アドレスは、ベース・アドレス <CSIHn\_base> からのオフセットで表されます。  
各 CSIHn のベース・アドレス <CSIHn\_base> を以下の表に示します。

表 29-3 レジスタ・ベース・アドレス <CSIHn\_base>

CSIHn のチャンネル	<CSIHn_base> アドレス
CSIH0	FF6C 0000 <sub>H</sub>
CSIH1	FF6D 0000 <sub>H</sub>
CSIH2	FF6E 0000 <sub>H</sub>

**クロック供給** クロック同期シリアル・インタフェースHは1つのクロック入力を供給しません。

表 29-4 CSIHn のクロック供給

CSIHn のチャンネル	CSIHn のクロック	接続先
CSIH0	PCLK	クロック・ジェネレータ <CKSCLK_109>
CSIH1	PCLK	クロック・ジェネレータ <CKSCLK_109>
CSIH2	PCLK	クロック・ジェネレータ <CKSCLK_109>

**割り込み** クロック同期シリアル・インタフェースHは以下の割り込み要求を生成することができます。

表 29-5 CSIHn の割り込み要求

CSIHn の信号	機能	接続先
<b>CSIH0</b>		
CSIHTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH0IC</li> <li>DMA コントローラ・トリガ 77</li> <li>DTS コントローラ・トリガ 12</li> </ul>
CSIHTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH0IR</li> <li>DMA コントローラ・トリガ 81</li> <li>DTS コントローラ・トリガ 14</li> </ul>
CSIHTIRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH0TRE</li> </ul>
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH0TIJC</li> <li>DMA コントローラ・トリガ 78</li> <li>DTS コントローラ・トリガ 13</li> </ul>
<b>CSIH1</b>		
CSIHTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH1IC</li> <li>DMA コントローラ・トリガ 88</li> <li>DTS コントローラ・トリガ 19</li> </ul>
CSIHTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH1IR</li> <li>DMA コントローラ・トリガ 87</li> <li>DTS コントローラ・トリガ 18</li> </ul>
CSIHTIRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH1TRE</li> </ul>
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH1TIJC</li> <li>DMA コントローラ・トリガ 89</li> <li>DTS コントローラ・トリガ 20</li> </ul>
<b>CSIH2</b>		
CSIHTIC	通信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH2IC</li> <li>DMA コントローラ・トリガ 97</li> </ul>
CSIHTIR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH2IR</li> <li>DMA コントローラ・トリガ 96</li> </ul>
CSIHTIRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH2TRE</li> </ul>
CSIHTIJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>割り込みコントローラ INTCSIH2TIJC</li> <li>DMA コントローラ・トリガ 98</li> </ul>

**内部信号** クロック同期シリアル・インタフェースHの内部信号の接続を以下の表に示します。

表 29-6 CSIHn の内部信号の接続

CSIHn の信号	機能	接続先
<b>CSIH0</b>		
CSIHTSSO	CSIHTSO 出力バッファ制御	ポート CSIH0SO 出力バッファ制御
<b>CSIH1</b>		
CSIHTSSO	CSIHTSO 出力バッファ制御	ポート CSIH1SO 出力バッファ制御
<b>CSIH2</b>		
CSIHTSSO	CSIHTSO 出力バッファ制御	ポート CSIH2SO 出力バッファ制御

I/O 信号 クロック同期シリアル・インタフェースHのI/O信号を以下の表に示します。

表 29-7 CSIHn の I/O 信号

CSIHn の信号	機能	接続先
<b>CSIH0</b>		
CSIHTSCK	シリアル・クロック信号	ポート CSIH0SC
CSIHTSI	シリアル・データ入力信号	ポート CSIH0SI
CSIHTSO	シリアル・データ出力信号	ポート CSIH0SO
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	ポート $\overline{\text{CSIH0SSI}}$
CSIHTSHSG	ハンドシェーク信号	ポート CSIH0RY
CSIHTCSS[7:0]	チップ・セレクト信号	Port CSIH0CSS[7:0]
<b>CSIH1</b>		
CSIHTSCK	シリアル・クロック信号	ポート CSIH1SC
CSIHTSI	シリアル・データ入力信号	ポート CSIH1SI
CSIHTSO	シリアル・データ出力信号	ポート CSIH1SO
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	ポート $\overline{\text{CSIH1SSI}}$
CSIHTSHSG	ハンドシェーク信号	ポート CSIH1RY
CSIHTCSS[7:0]	チップ・セレクト信号	Port CSIH1CSS[7:0]
<b>CSIH2</b>		
CSIHTSCK	シリアル・クロック信号	ポート CSIH2SC
CSIHTSI	シリアル・データ入力信号	ポート CSIH2SI
CSIHTSO	シリアル・データ出力信号	ポート CSIH2SO
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	ポート $\overline{\text{CSIH2SSI}}$
CSIHTSHSG	ハンドシェーク信号	ポート CSIH2RY
CSIHTCSS[7:0]	チップ・セレクト信号	Port CSIH2CSS[7:0]

**注意** クロック同期シリアル・インタフェース (CSIGN, CSIHn) の入力端子にポート・フィルタが割り当てられています (初期値が有効です) が、フィルタの使用により通信異常が発生する可能性がありますので、CSIGN または CSIHn を使用する場合は必ずポート・フィルタを使用せず、フィルタのバイパスを有効にしてください。

CSIH0SC : FLCA22CTL0 = 80<sub>H</sub>

CSIH0RY : FLCA22CTL1 = 80<sub>H</sub>

CSIH0SI : FLCA22CTL2 = 80<sub>H</sub>

CSIH0SSI : FLCA22CTL3 = 80<sub>H</sub>

CSIH1SC : FLCA22CTL4 = 80<sub>H</sub>

CSIH1RY : FLCA22CTL5 = 80<sub>H</sub>

CSIH1SI : FLCA22CTL6 = 80<sub>H</sub>

CSIH1SSI : FLCA22CTL7 = 80<sub>H</sub>

CSIH2SC : FLCA23CTL0 = 80<sub>H</sub>

CSIH2RY : FLCA23CTL1 = 80<sub>H</sub>

CSIH2SI : FLCA23CTL2 = 80<sub>H</sub>

CSIH2SSI : FLCA23CTL3 = 80<sub>H</sub>

**データ整合性チェック** CSIHnSO の兼用ポートとデータ整合性チェックの対応可否を以下の表に示します。データ整合性チェックの詳細は、29.3.13「エラー検出」を参照してください。

表 29-8 CSIHn のデータセキュリティ・チェックの対応

CSIHn の I/O ポート	機能	兼用機能	データ整合性チェック
<b>CSIH0</b>			
CSIH0SO	P4_1	ALT_OUT3	対応
<b>CSIH1</b>			
CHIH1SO	P1_8	ALT_OUT3	対応
<b>CSIH2</b>			
CSIH2SO	P1_3	ALT_OUT4	対応
	P21_3	ALT_OUT2	対応

## 29.2 機能の概要

- 機能の概要**
- 3ワイヤ・シリアル同期データ転送
  - マスタ・モードまたはスレーブ・モードを選択可能
  - 設定可能な8個のチップ・セレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
  - スレーブ選択入力信号 (CSIHTSSI)
  - ボー・レート・ジェネレータを内蔵
  - ボー・レートが調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
  - 最大転送速度：
    - マスタ・モード：10.0Mbps (ただし、PCLK/4 以下)
    - スレーブ・モード：5.0Mbps (ただし、PCLK/6 以下)
  - クロックとデータの位相を選択可能
  - MSB ファーストまたはLSB ファーストでのデータ転送を選択可能
  - 7ビットから16ビットまでの転送データ長を1ビット単位で選択可能
  - 16ビットを上回るデータを転送するためのEDL (Extended Data Length : 拡張データ長) 機能
  - 以下の3つの転送モードを選択可能：
    - 送信専用モード
    - 受信専用モード
    - 送受信モード
  - ハンドシェイク機能を内蔵
  - エラー検出 (データ整合性チェック, パリティ, タイムアウト, オーバフロー, オーバラン)
  - ジョブ概念のフル・サポート
  - 128ワードのI/Oバッファ・メモリ
  - メモリ・モードを選択可能 (FIFO, 二重バッファ, 送信専用バッファ, ダイレクト・アクセス)
  - 4個の割り込み要求信号 (CSIHTIC, CSIHTIR, CSIHTIRE, CSIHTIJC)
  - 自己テスト用のLBM (ループ・バック・モード) 機能

以下のブロック図はCSIHの主要なコンポーネントを示しています。

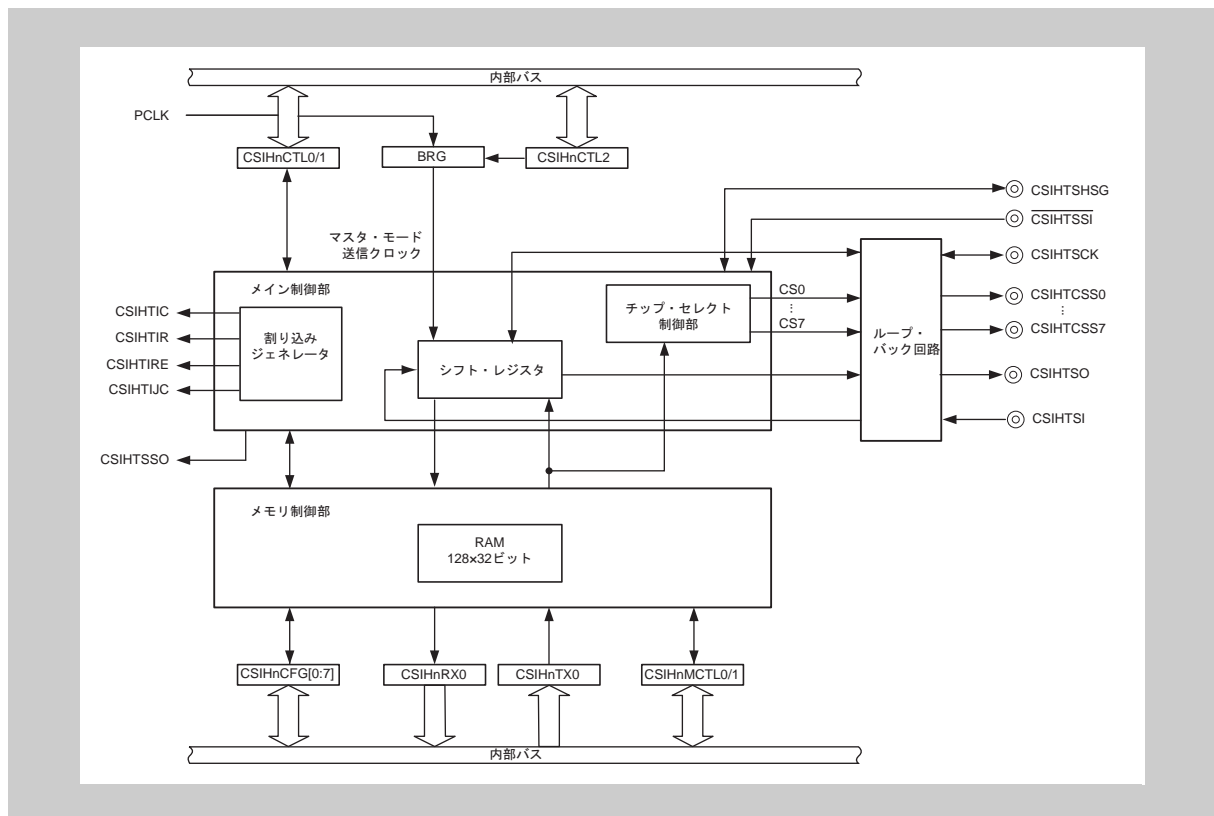


図 29-1 CSIH のブロック図

マスタ・モードでは、送信クロック CSIHnTSCK が内蔵のポー・レート・ジェネレータ (BRG) によって生成されます。スレーブ・モードでは、外部ソースから送信クロックが供給されます。

内蔵のメモリは FIFO、二重バッファ (別々の送信バッファと受信バッファ) または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループ・バック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

**備考** 本章では、以下のモードについて説明します。

- 「動作モード」はマスタ・モードとスレーブ・モードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、29.3.1 「動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブ・モード」は Autosar ジョブ概念に関連しています (詳細については、(3) 「ジョブ概念」を参照してください)。
- 「メモリ・モード」では、関連付けられたバッファ・メモリのさまざまな設定に対応します (詳細については、29.3.6 「CSIH のバッファ・メモリ」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります (詳細については、29.3.7 「データ転送モード」を参照してください)。



### 29.3 機能の説明

クロック同期シリアル・インタフェースでは以下の3つの信号を通信に使用します。

- 送信クロック CSIHTSCK (マスタ・モードでは出力, スレーブ・モードでは入力)
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- CSIHTSSI : スレーブ選択入力信号
- CSIHTSHSG : ハンドシェーク信号
- CSIHTCSS[7:0] : チップ・セレクト信号

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

レジスタ	機能
CSIHnCTL0	シリアル・クロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループ・バック・モード、ハンドシェークなどのオプション機能を制御します。
CSIHnCTL2	マスタ・モードまたはスレーブ・モードを選択し、マスタ・モードでは内蔵ポー・レートジェネレータ (BRG) でポー・レートを選択します。
CSIHnMCTL0	メモリ・モードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	二重バッファ・モードでメモリを制御します。
CSIHnCFGx	各チップ・セレクト信号の通信プロトコルを設定するレジスタです。

### 29.3.1 動作モード (マスタ/スレーブ)

CSIH がマスタ・モードまたはスレーブ・モードのどちらで動作するかでシリアル・クロックのソースが異なります。

#### (1) マスタ・モード

マスタ・モードでは、シリアル送信クロックが内蔵のポー・レート・ジェネレータ (BRG) によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタ・モードは、CSIHnCTL2.CSIHnPRS[2:0] を 111<sub>B</sub> 以外の任意の値に設定することによって有効になります。マスタ・モードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnCTL2.CSIHnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

**チップ・セレクト信号** マスタ・モードでは、1 つ以上のチップ・セレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップ・セレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップ・セレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、29.3.3「チップ・セレクト (CS) 機能」を参照してください。

**クロックのデフォルト設定** CSIHTSCK のデフォルト・レベルは、クロック位相選択ビットの状態によって異なります。CSIHTSCK のデフォルト・レベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイであり、CSIHnCTL1.CSIHnCKR = 1 であればロウです。

以下の例は、8 データ・ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタ・モードの通信を示しています。

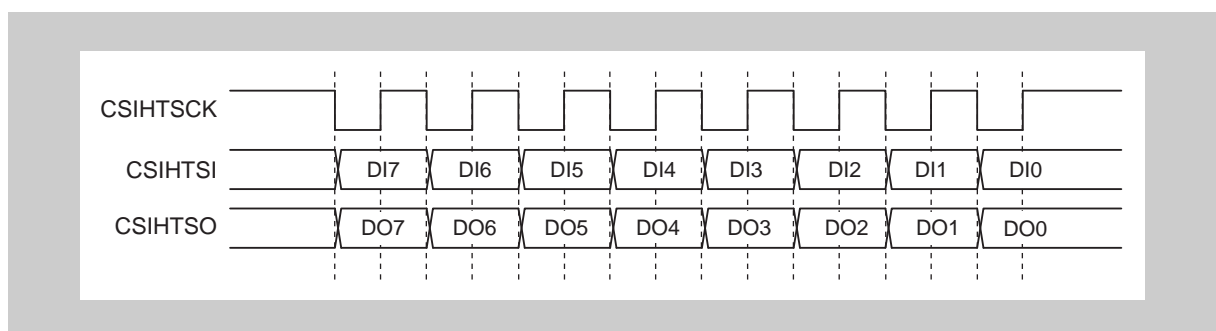


図 29-2 マスタ・モードでの送受信

**(2) スレーブ・モード**

スレーブ・モードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブ・モードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111<sub>B</sub> に設定することによって選択されます。

スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります)。

- CSIHnPS0[1:0] : パリティの使用法
- CSIHnDLS0[3:0] : データ長の選択
- CSIHnDIR0 : データ方向
- CSIHnCKP0, CSIHnDAP0 : クロック位相とデータ位相

**備考** スレーブ・モードを使用するときは、CSIHnCTL2.CSIHnBRS[11:0] ビットをクリアすることによってポー・レート・ジェネレータ (BRG) を無効にします。

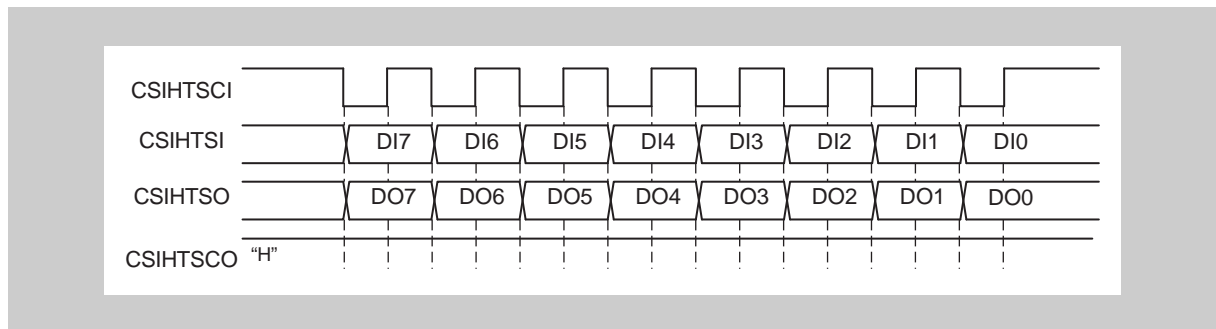


図 29-3 スレーブ・モードでの送受信

### 29.3.2 マスタ/スレーブの接続

#### (1) マスタ 1, スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

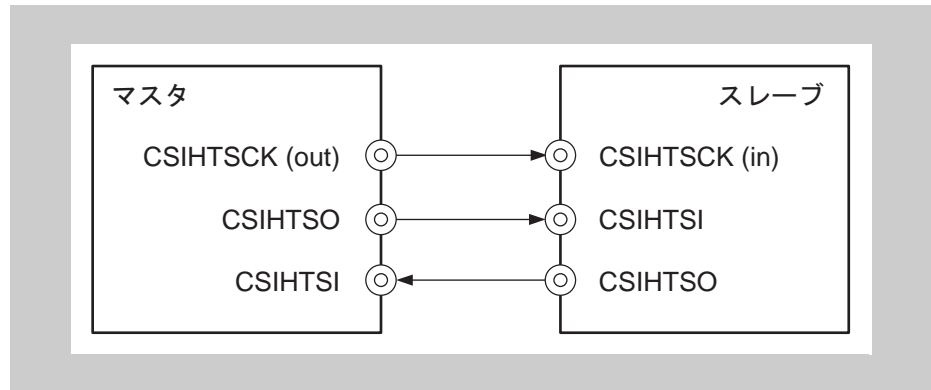


図 29-4 マスタ/スレーブ間の直接の接続

#### (2) マスタ 1, スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップ・セレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 CSIH T S S I に接続されます。

CSIH T S S I 信号の認識機能は、ビット CSIHnCTL1.CSIHnSSE で有効または無効にすることができます。

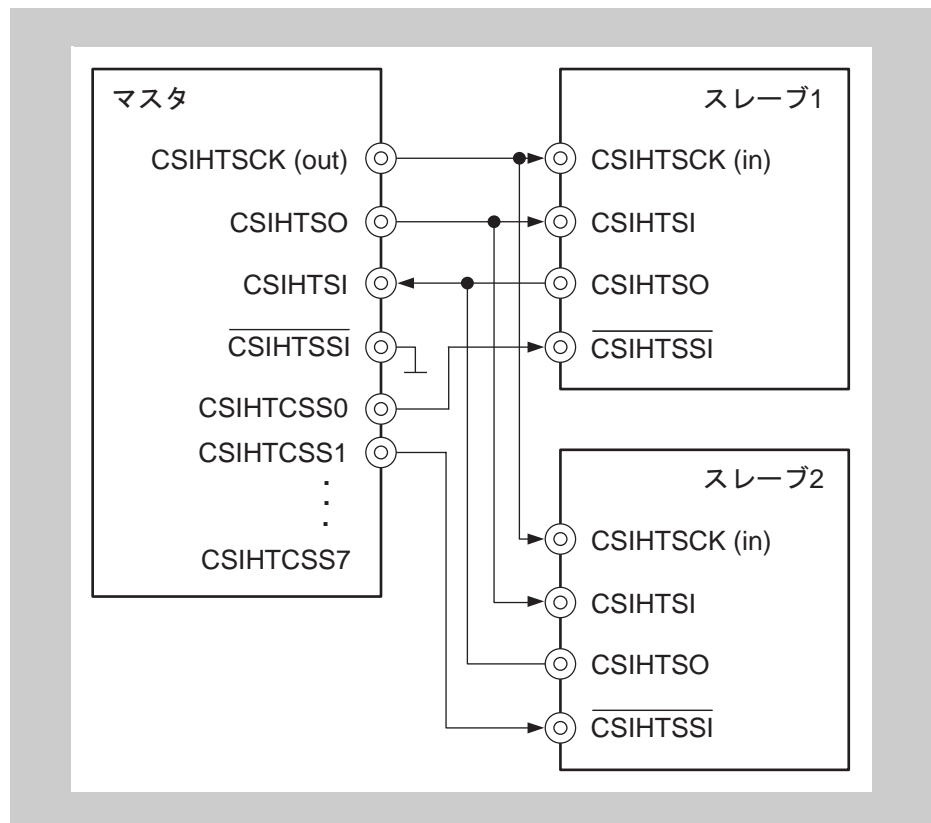


図 29-5 1つのマスタと複数のスレーブの間の接続

デフォルトのチップ・セレクトレベルはアクティブ・ロウです。つまり、スレーブの CSIHTSSI 信号がロウ・レベルになっていると、そのスレーブが CSH スレーブとして選択されます（有効になります）。ただし、CS をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

### 29.3.3 チップ・セレクト (CS) 機能

マスタはチップ・セレクト信号 CSIHTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

#### (1) コンフィギュレーション・レジスタ

各チップ・セレクト信号 CSIHTCSSx のパラメータは、対応するコンフィギュレーション・レジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
- 転送方向：MSB ファーストまたは LSB ファースト。
- パリティの使用法：奇数，偶数，0 パリティまたは，なし。
- クロック位相とデータ位相。

マスタ・モードでのみ利用可能な各チップ・セレクト信号の付加的なパラメータを以下に示します。

- 各チップ・セレクト信号個別のポー・レート・ジェネレータのプリスケール選択。
- チップ・セレクト優先度：チップ・セレクト信号を「ドミナント」と「リセツシブ」に分けます。設定の異なる複数のチップ・セレクト信号がメッセージ・ブロードキャスト用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

**注意** すべてのドミナント・チップ・セレクト信号の設定が同じである場合を除き、複数のチップ・セレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップ・セレクトのタイミング
  - セットアップ時間  $T_{\text{setup}}$ ：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
  - データ間時間  $T_{\text{inter}}$ ：同じ CS 信号がアクティブになっている間の 1 つのデータ・パケットと次のデータ・パケットの間の時間。
  - ホールド時間  $T_{\text{hold}}$ ：CS が切り替わるまでに CS のアクティブ・レベルが保持される時間。
  - アイドル時間  $T_{\text{idle}}$ ：CS 信号が終了したあと、または同じ CSx への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。

以下の図に CS のセットアップ時間，データ間時間，ホールド時間，アイドル時間のタイミングを示します。どの CSIHnCFGx.CSIHnIDLx ビットをセット (1) してもすべての CS 空間に IDLE が挿入されます

CS1 信号と CS2 信号がデフォルトのアクティブ・ロウ (CSIHnCTL1.CSIHnCSL1 ビット = 0, CSIHnCTL1.CSIHnCSL2 ビット = 0) に設定した場

合の例を図29-6に示します。アクティブ・レベルはCSごとに個別に指定することができます。

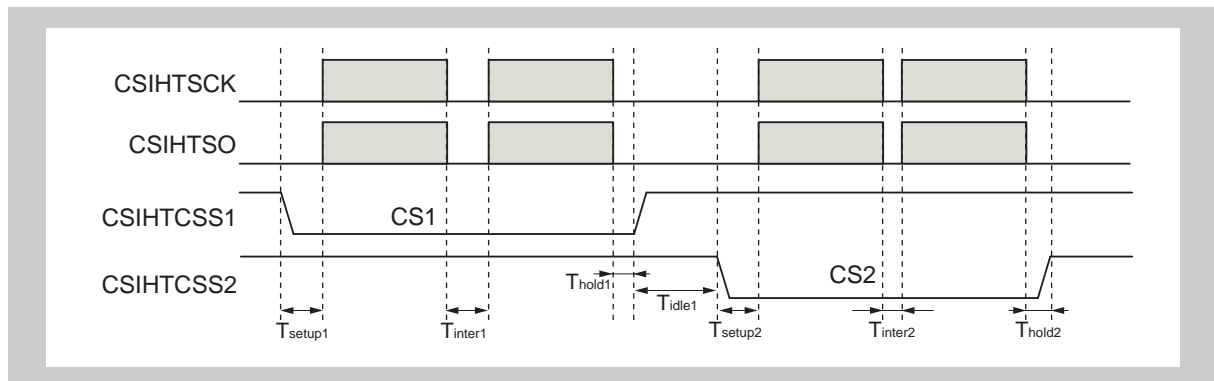


図 29-6 チップ・セレクトのタイミング

セットアップ時間，データ間時間，ホールド時間，アイドル時間をCS信号ごとに個別に設定できる点に注意してください。

特定のチップ・セレクト信号をアクティブにするには，送信レジスタCSIHnTX0W.CSIHnCS[7:0]の対応するビットをセットします。

受信レジスタのCSIHnRX0W.CSIHnCS[7:0]は，受信データに関連付けられたチップ・セレクト信号を示します。

## (2) CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信ではCS0を使用して1つのスレーブと通信しています。2番目の通信ではCS0とCS1を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0の優先度は「リセッシブ：低優先度」に設定されており，CS1の優先度は「ドミナント：高優先度」に設定されています。

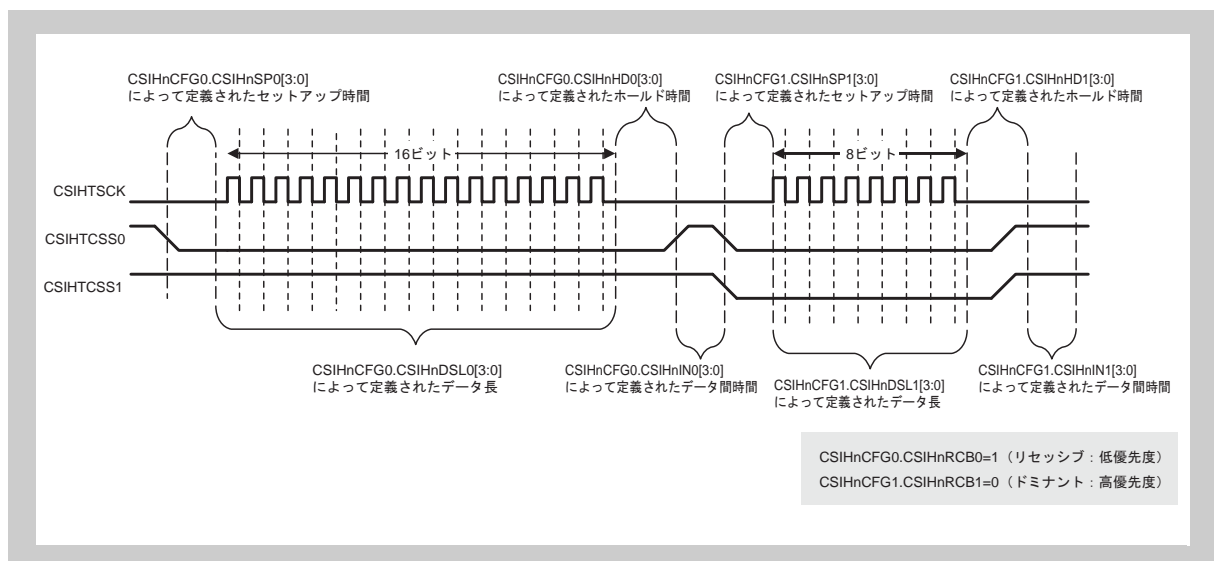


図 29-7 チップ・セレクトとRCBの例

**(3) ジョブ概念**

CSIH というジョブは、転送の対象となる複数のデータ・パケットから構成されます。

**ジョブ・モードの有効化** ジョブ・モードはマスタ・モードでのみ有効になります。  
CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブ・モードを有効または無効にします。

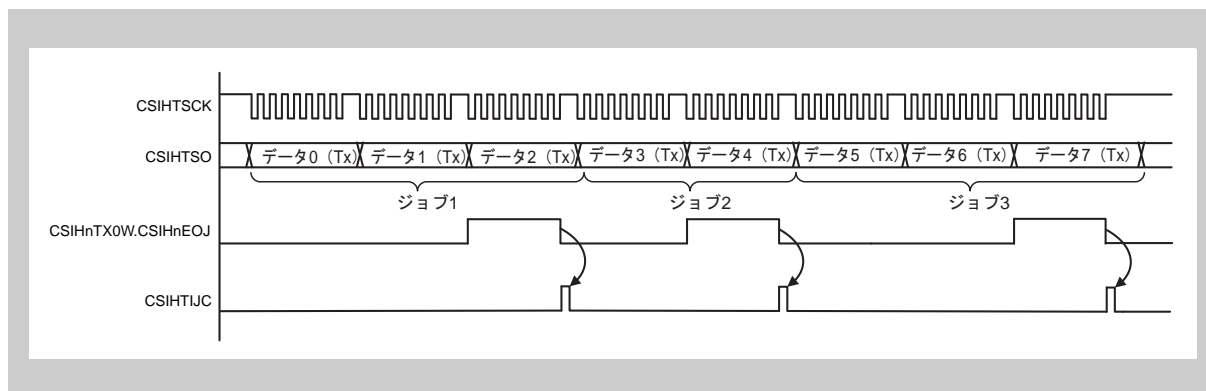


図 29-8 ジョブの例

エンド・オブ・ジョブ・ビットがセットされたデータ・パケット、つまり CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータ・パケットを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、エンド・オブ・ジョブ割り込み CSIHnTJIC が生成されます。



### 29.3.4 チップ・セレクトのタイミングの詳細

#### (1) クロック位相の変更

CSIHnCFGx.CSIHnCKPxによって指定されたシリアル・クロック・レベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック (CSIHTSCK) の1周期です。

CSIHnCFGx.CSIHnIDx[2:0]でアイドル時間が0.5送信クロック周期に設定されており、異なるCSIHnCFGx.CSIHnCKPxの設定を持つ2つのデータ・パッケージが連続して送信されると、アイドル時間が自動的にCSIHTSCKの1周期に延長されます。

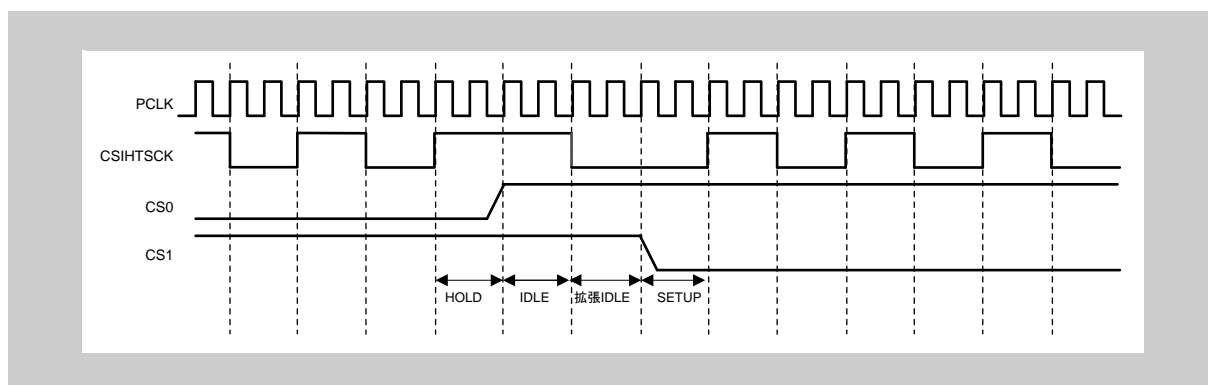


図 29-9 クロック位相のタイミング  
(PCLK/4, HOLD = SETUP = 0 (0.5SCK), IDLE = 0 (0.5SCK),  
CKP0 = 0 (CS0) → CKP1 = 1 (CS1) の場合)

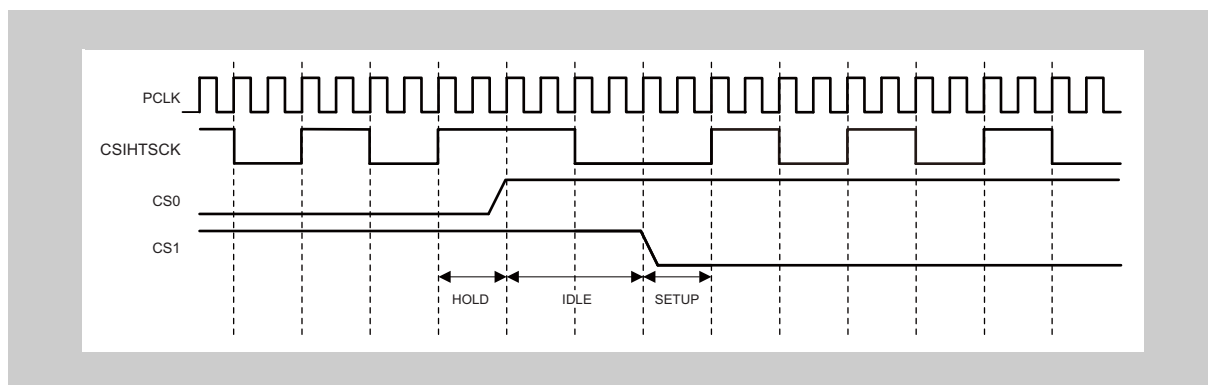


図 29-10 クロック位相のタイミング  
(PCLK/4, HOLD = SETUP = 0 (0.5SCK), IDLE = 1 (1SCK),  
CKP0 = 0 (CS0) → CKP1 = 1 (CS1) の場合)

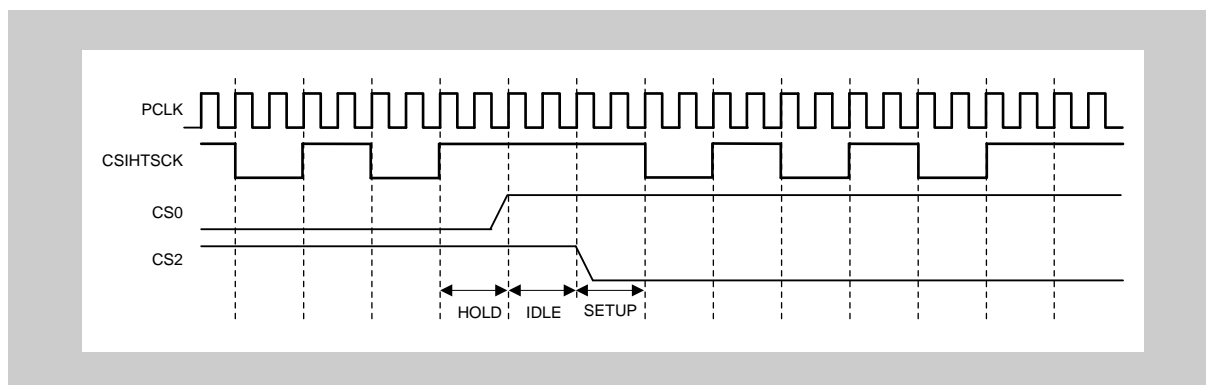


図 29-11 クロック位相のタイミング  
( $PCLK/4$ ,  $HOLD = SETUP = 0 (0.5SCK)$ ,  $IDLE = 0 (0.5SCK)$ ,  
 $CKP0 = 0 (CS0) \rightarrow CKP2 = 0 (CS2)$  の場合)

## (2) データ位相の変更

ビット  $CSIHnCFGx.CSIHnDAPx$  では、クロックを基準とするデータ・ビットの位相を定義します。

$CSIHnCFGx.CSIHnDAPx = 0$  であれば、送信クロック  $CSIHTSCK$  は、パケットの最後のビットが転送されたあと、クロックのレベルを保持します。

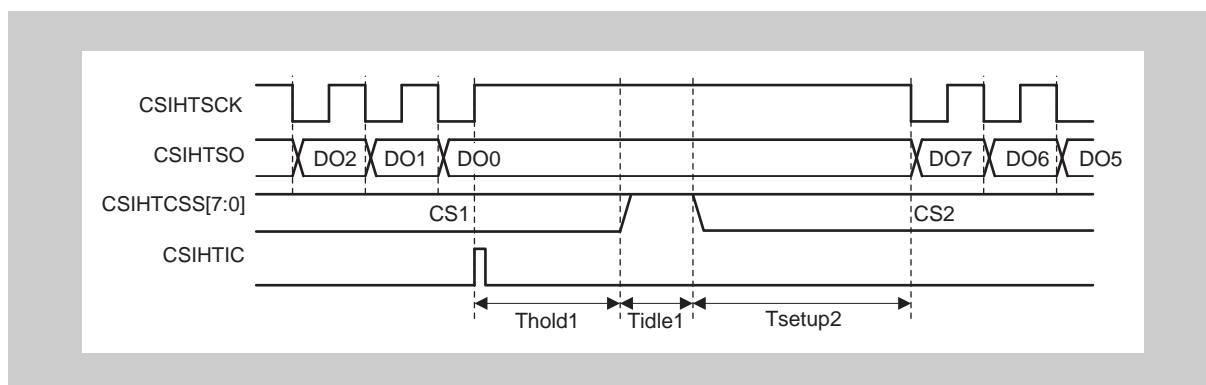


図 29-12 データ位相のタイミング  
( $CSIHnCFG1.CSIHnCKP1 = 0$ ,  $CSIHnCFG1.CSIHnDAP1 = 0$  かつ  
 $CSIHnCFG2.CSIHnCKP2 = 0$ ,  $CSIHnCFG2.CSIHnDAP2 = 0$  の場合)

2つの連続するチップ・セレクト信号の間でデフォルトのクロック位相が変化する場合、送信クロック  $CSIHTSCK$  は、最初のデータの最後のビットが転送されたあと、クロックのレベルを変化させます。

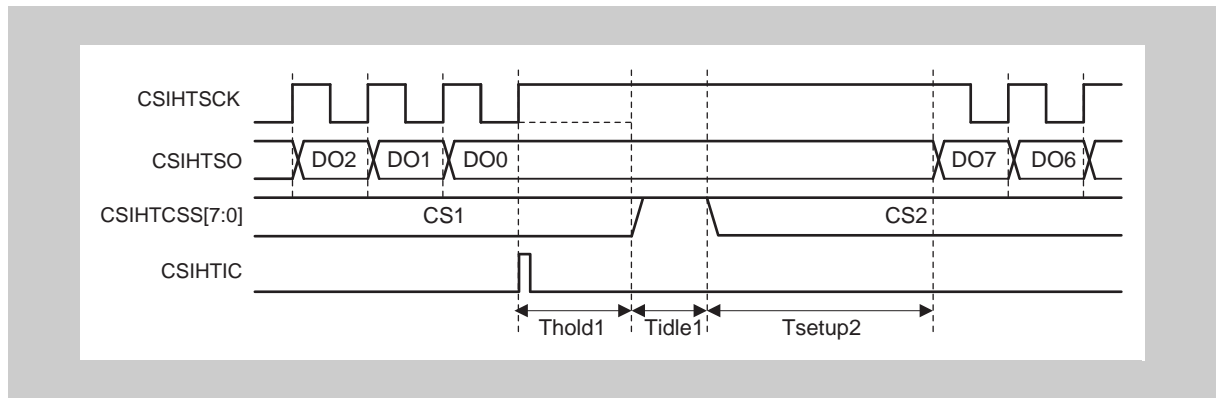


図 29-13 データ位相のタイミング  
(CSIHnCFG1.CSIHnCKP1 = 1, CSIHnCFG1.CSIHnDAP1 = 0 かつ  
CSIHnCFG2.CSIHnCKP2 = 0, CSIHnCFG2.CSIHnDAP2 = 1 の場合)

CSIHnCFGx.CSIHnIDx[2:0] = 0 ( $T_{idle1} = 0.5$  送信クロック周期) である場合は、CSIHTSCK の 1 周期に相当する最小アイドル時間が自動的に挿入される点に注意してください。

### 29.3.5 送信クロックの選択

マスタ・モードでは、以下のビットを使って送信ポー・レートを選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnCTL2.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnPSCLx[1:0]

送信ベース・クロック CSIHnBCLK は CSIHnCTL2 レジスタの設定によって決まりますが、CSIHnCFGx.CSIHnPSCLx[1:0] によって制御されるチップ・セレクト信号専用プリスケアラを利用して、チップ・セレクト信号ごとに異なるポー・レートを生成することができます。

ポー・レート・ジェネレータのブロック図を以下に示します。

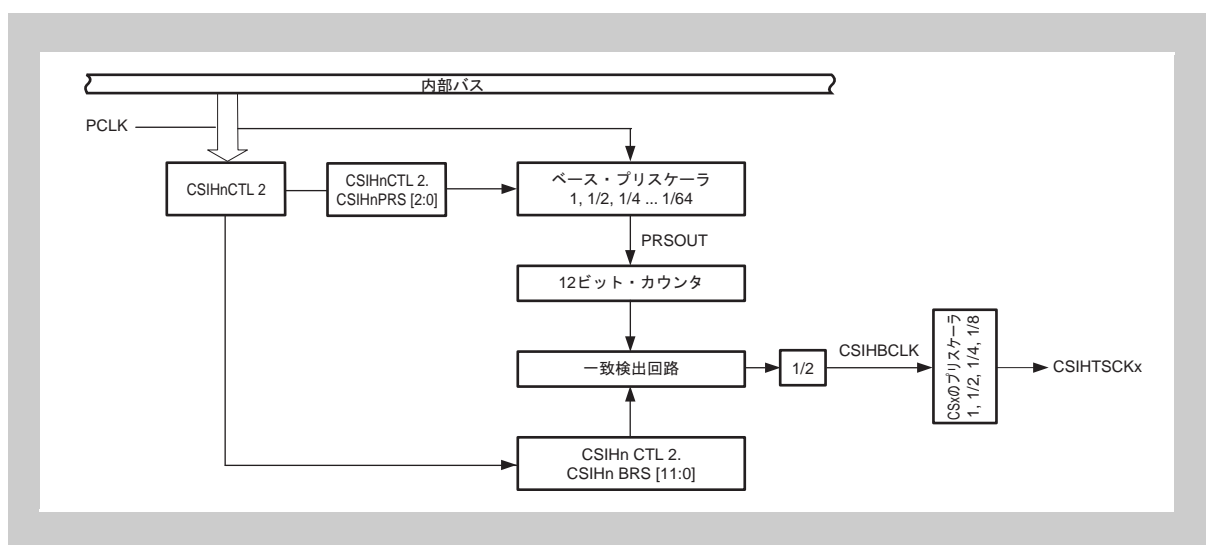


図 29-14 ポー・レート・ジェネレータのブロック図

CSIHnCTL2.CSIHnBRS[11:0] をクリアすると、ポー・レート・ジェネレータが無効になり、すべての CSIHTSCKx が停止します。

**ポー・レートの計算** ポー・レートは以下の式で計算します。

$$\text{CSIHTSCKx} = \text{PCLK} / (2^m \times k \times 2 \times 2^j)$$

ただし、

$$m = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIHnCTL2.CSIHnBRS}[11:0] = 1 \sim 4095$$

$$j = \text{CSIHnCFGx.CSIHnPSCLx}[1:0] = 0 \sim 3$$

- ボー・レートの上限と下限**    ボー・レートを設定するときは、以下のことに注意してください。
- マスタ・モードで使用できる最大ボー・レートは  $PCLK / 4$  です。
  - スレーブ・モードで使用できる最大ボー・レートは  $PCLK / 6$  です（外部マスタのボー・レートがこの範囲に収まっていることを確認する必要があります）。
  - いずれのモードでも最小ボー・レートは  $PCLK / 524160$  です。

**例**     $PCLK = 80 \text{ MHz}$  の場合、最大ボー・レートは以下のとおりです。

- マスタ・モードでは 20.0 Mbps ( $PCLK / 4$ )
  - スレーブ・モードでは 13.3 Mbps ( $PCLK / 6$ )
- 最小ボー・レートは 152.625 bps ( $PCLK / 524160$ ) です。

### 29.3.6 CSIH のバッファ・メモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 <sub>B</sub>
二重バッファ・モード		01 <sub>B</sub>
送信専用バッファ・モード		10 <sub>B</sub>
ダイレクト・アクセス・モード	1	X

#### (1) FIFO モード

FIFO モードでは、FIFO が満杯になっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 ビットが送信されると同時に 1 ビットが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データ・パケットが処理されたとき、送信されたとき、または受信されたときに、それぞれに対応する FIFO メモリ・ポインタを自動的に更新します。

ポインタの説明	制御ビット <sup>a</sup>	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ~ 128
受信ワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ~ 128
送信データのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0 ~ 127
受信データのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0 ~ 127

<sup>a)</sup> 1 回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

CSIH ステータス・レジスタには 2 つの FIFO ステータス・フラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、すべての FIFO ポインタと FIFO フラグがリセットされます。

**(2) 二重バッファ・モード**

このモードでは、サイズの等しい2つの部分にメモリが分割されます。つまり、64ワードが送信データに割り当てられ、64ワードが受信データに割り当てられます。二重バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ <sup>a</sup>	範囲
CSIHnTX0W/Hに書き込まれるデータまたはCSIHnTX0W/Hから読み出されるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0 ~ 63
CSIHnRX0W/Hから読み出されるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0 ~ 63

a) 1回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

**(3) 送信専用バッファ・モード**

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データはCSIHnRX0W/Hから直接読み出す必要があります。

送信専用バッファ・モードでは、個々のバッファ・ポインタが以下の値を示します。

ポインタの説明	ポインタ <sup>a</sup>	範囲
CSIHnTX0W/Hに書き込まれるデータまたはCSIHnTX0W/Hから読み出されるデータの送信先アドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0 ~ 127

a) 1回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

**(4) ダイレクト・アクセス・モード**

ダイレクト・アクセス・モードでは、CSIHのメモリが完全にバイパスされます。

- CPUから送信レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフト・レジスタに直接コピーされます。
- 受信データはシフト・レジスタから受信レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

### 29.3.7 データ転送モード

#### (1) 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- 二重バッファ・モードまたは送信専用バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると送信が開始されます。

#### (2) 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタ・モードでは、受信を開始する条件がメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミー・データが書き込まれると受信が開始されます。
- 二重バッファ・モード、または送信専用バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると受信が開始されます。

スレーブ・モードでは、マスタから送信クロック CSIHTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

#### (3) 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリ・モードによって異なります。

- FIFO モードまたはダイレクト・アクセス・モードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- 二重バッファ・モードまたは送信専用バッファ・モードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると通信が開始されます。



## (4) まとめ

以下の表にこのセクションのまとめを記載します。この表は、さまざまなメモリ・モード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 29-9 データ転送の開始

メモリ・モードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード, ダイレクト・アクセス・ モード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み, および マスタ・クロックの開始	マスタからのクロックの受信
送信専用バッファ・モード, 二重バッファ・モード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	CSIHnMCTL2.CSIHnBTST = 1, およびマスタ・クロックの開始	マスタからのクロックの受信

### 29.3.8 データ長の選択

#### (1) 7～16ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を利用して、チップ・セレクト信号ごとに7ビットから16ビットの間のデータ・パッケージ長を選択できます。以下の例は、MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000<sub>B</sub>)

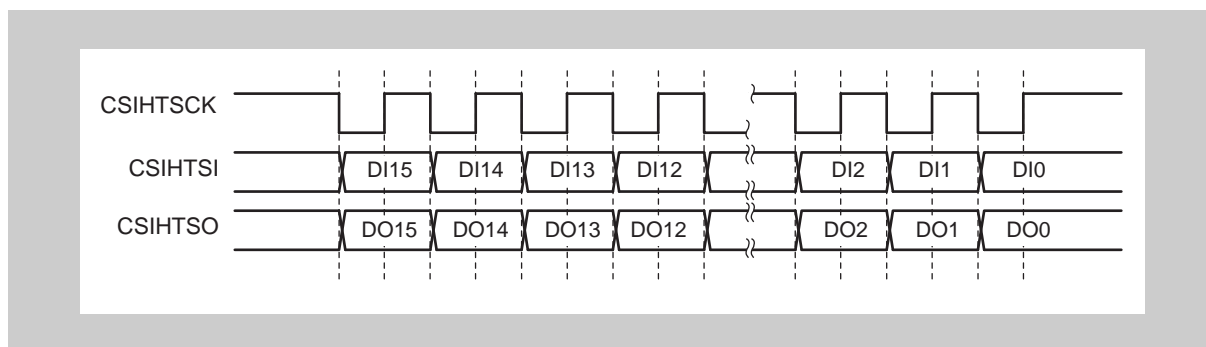


図 29-15 データ長 16 ビット, MSB ファースト

データ長 = 14 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110<sub>B</sub>)

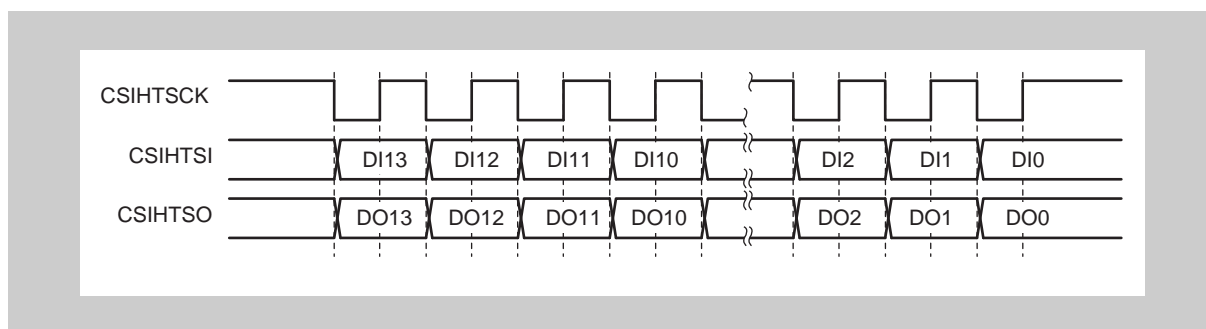


図 29-16 データ長 14 ビット, MSB ファースト

## (2) 16 ビットを上回るデータ長

データ長が 16 ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL はビット CSIHnCTL1.CSIHnEDLE を 1 にセットすることで有効になります。

EDL は以下の仕組みで機能します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットの文字列は 2 つの 16 ビット・ブロックと 10 ビットに分割されます。
- 剰余部分によって CSIHnCFGx.CSIHnDLSx[3:0] で指定する必要がある「データ長」が定義されます。
- 16 ビット・ブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFG0.CSIHnDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分) のブロックが送信されると転送が完了します。

例 123456789A<sub>H</sub> という 40 ビットのデータを CS0 に送信する例

40 ビットを 2~16 ビットと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8<sub>D</sub> に初期化します。
- 123456789A<sub>H</sub> を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
  - 2000 1234<sub>H</sub> (CSIHnTX0W.CSIHnEDL = 1)
  - 2000 5678<sub>H</sub> (CSIHnTX0W.CSIHnEDL = 1)
  - 0000 009A<sub>H</sub> (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

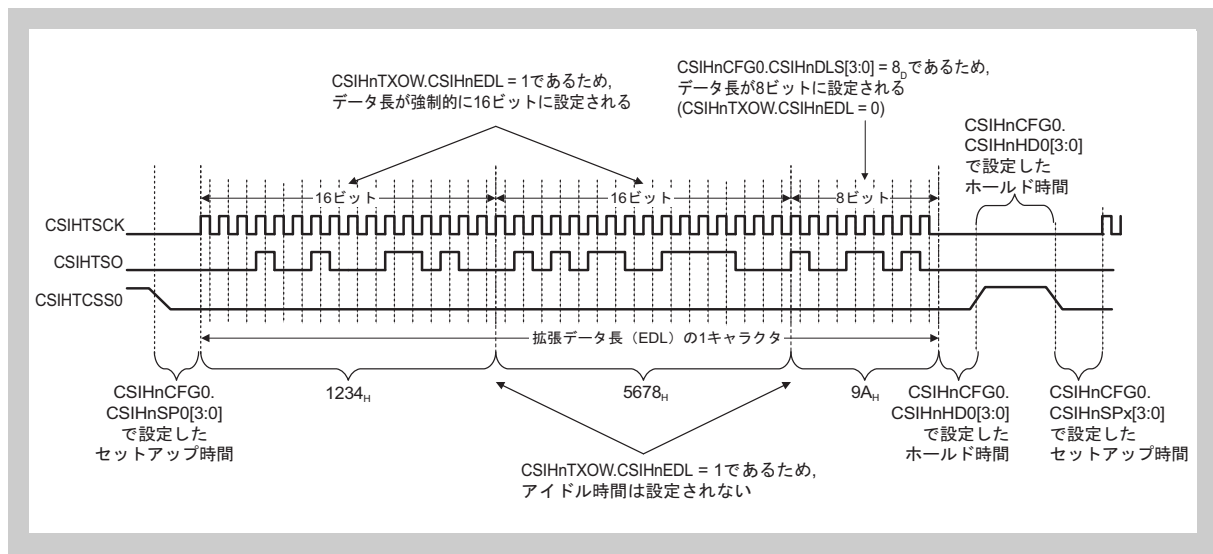


図 29-17 EDL のタイミング図

- 備考
1. 7ビット未満のデータ長は、EDLモードを使用するときのみ設定できます。
  2. データ長が7ビット未満のデータ・パケットを2つ続けて送信することはできません。
  3. パリティが有効になっていると、最後のビットの後ろにパリティ・ビットが追加されます。
  4. 以下の例でデータ方向について説明します。

送信されるデータ : 123456<sub>H</sub>

MSB ファースト :

CSIHnCFGx.CSIHnDIR = 0 に設定

CSIHnTX0W = 2000 1234<sub>H</sub> を書き込み (EDL ビット = 1)

CSIHnTX0W = 0000 0056<sub>H</sub> を書き込み (EDL ビット = 0)

LSB ファースト :

CSIHnCFGx.CSIHnDIR = 1 に設定

CSIHnTX0W = 2000 3456<sub>H</sub> を書き込み (EDL ビット = 1)

CSIHnTX0W = 0000 0012<sub>H</sub> を書き込み (EDL ビット = 0)

### 29.3.9 シリアル・データ方向の選択

CSIHnCFGx レジスタの CSIHnDIRx ビットを利用して、チップ・セレクト信号ごとにシリアル・データ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>) を示しています。

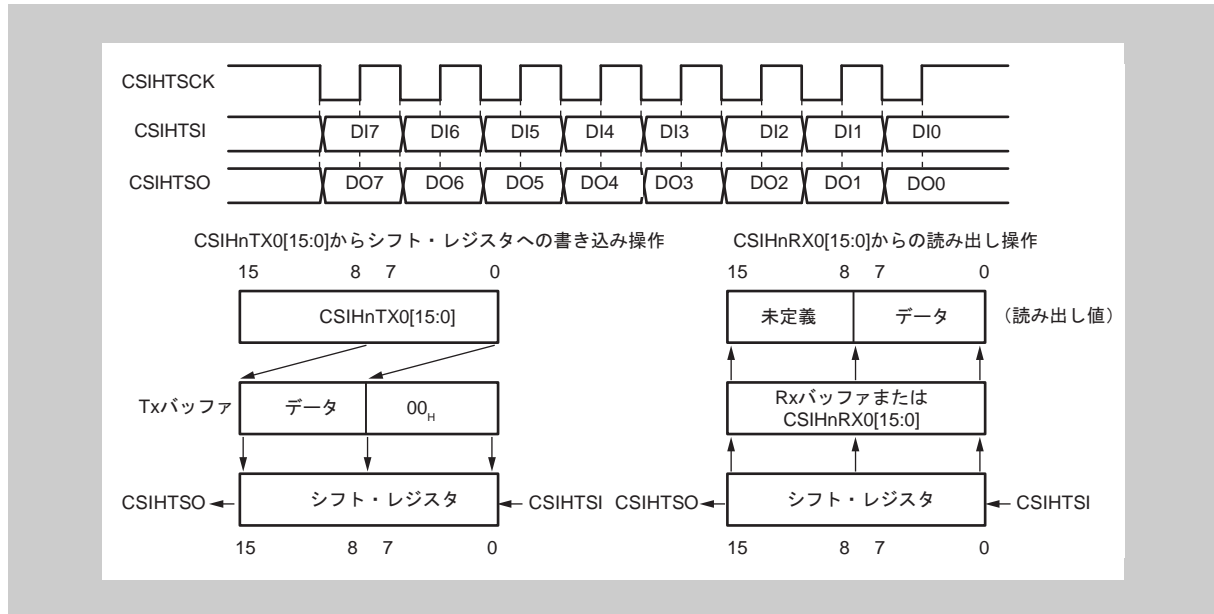


図 29-18 シリアル・データ方向選択機能 - MSB ファースト (CSIHnDIR = 0)

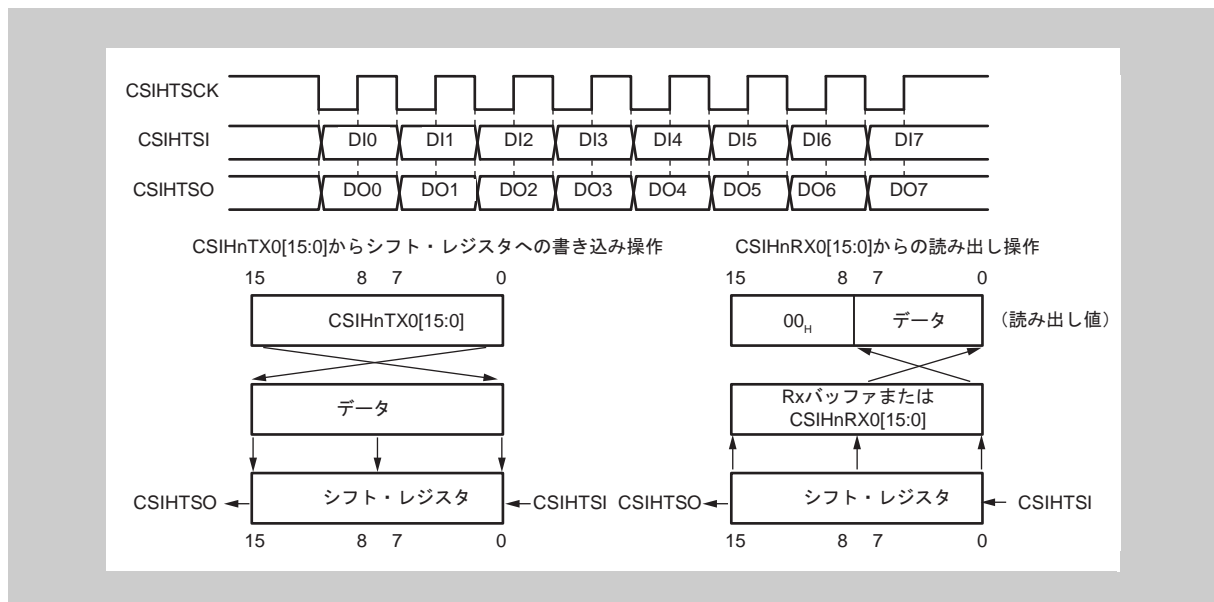


図 29-19 シリアル・データ方向選択機能 - LSB ファースト (CSIHnDIR = 1)

### 29.3.10 スレーブ・モードでの通信

以下の図は、スレーブ・モードでの通信の信号とタイミングを示しています。スレーブ・モードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

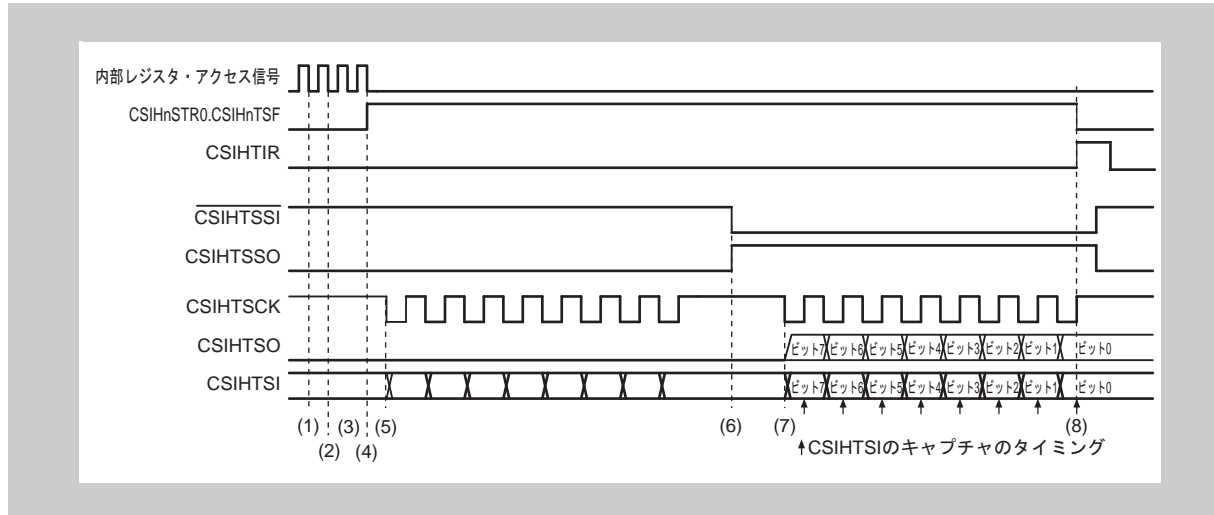


図 29-20 スレーブ・モードでの送受信のタイミング

1. CSIHnCTL2.CSIHnPRS[2:0] = 111<sub>B</sub> を設定することによって、CSIH はスレーブ・モードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
2. データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000<sub>B</sub>)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
3. CSIH が送受信動作モードに設定されます (CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1)。通信の開始が許可されます。
4. 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、「送信中」フラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
5. CSIHTSSI 信号がハイである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。
6. CSIHTSSI がロウ・レベルに下がると、ただちに CSIHTSSO 信号がハイになって CSIHTSO が有効になったことを示し、送信が可能になります。
7. 外部クロック信号 CSIHTSCK が検出されると、スレーブはただちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。
8. 割り込み CSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

### 29.3.11 CSIH の割り込み要求

CSIH は以下の割り込み要求を生成することができます。

- CSIHTIC (通信割り込み)
- CSIHTIR (通信割り込み)
- CSIHTIRE (エラー割り込み)
- CSIHTIJC (ジョブ完了割り込み)

#### (1) 概要

エラーが検出されると、エラー割り込み CSIHTIRE が生成されます。ほかの割り込みが生成される条件は、メモリ・モード、ジョブ・モードによって異なり、ジョブ完了割り込み CSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み CSIHTIJC は、ジョブ・モードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ生成されます。スレーブ・モードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 29-10 割り込みの生成

メモリ・モード	割り込み	割り込み要因	
		ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	CSIHTIC	Tx データ・エンプティ <sup>a</sup>	Tx データ・エンプティ <sup>a</sup>
	CSIHTIR	Rx データ・フル <sup>b</sup> かつ CSIHnCTL0.CSIHnRXE = 1	Rx データ・フル <sup>b</sup> かつ CSIHnCTL0.CSIHnRXE = 1
	CSIHTIRE	エラー検出	エラー検出
	CSIHTIJC <sup>c</sup>	適用不可	CSIHnTX0W.CSIHnCIRE = 1 またはジョブ中断 <sup>d</sup>
送信専用バッファ, 二重バッファ	CSIHTIC	通信終了	通信終了 または CSIHnTX0W.CSIHnCIRE = 1
	CSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	CSIHTIRE	エラー検出	エラー検出
	CSIHTIJC <sup>c</sup>	適用不可	ジョブ中断 <sup>d</sup>
ダイレクト・ アクセス	CSIHTIC	全データ転送	ジョブ中断によって中断されなければ全データ転送 <sup>d</sup>
	CSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	CSIHTIRE	エラー検出	エラー検出
	CSIHTIJC <sup>c</sup>	適用不可	ジョブ中断 <sup>d</sup>

a) 「Tx データ・エンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0] で定義される FIFO の充填レベルです。

b) 「Rx データ・フル」とは、CSIHnMCTL1.CSIHnFFS[6:0] で定義される FIFO の充填レベルです。

c) スレーブ・モードでは CSIHTIJC は利用できません。

d) ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

**(2) 全割り込み遅延**

マスタ・モードでは、マスタが生成するすべての割り込みを送信クロック CSIHTSCK の半周期だけ遅延させることができます。スレーブ・モードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効),

CSIHnCFGx.CSIHnCKPx = 0,

CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相),

CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub> (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

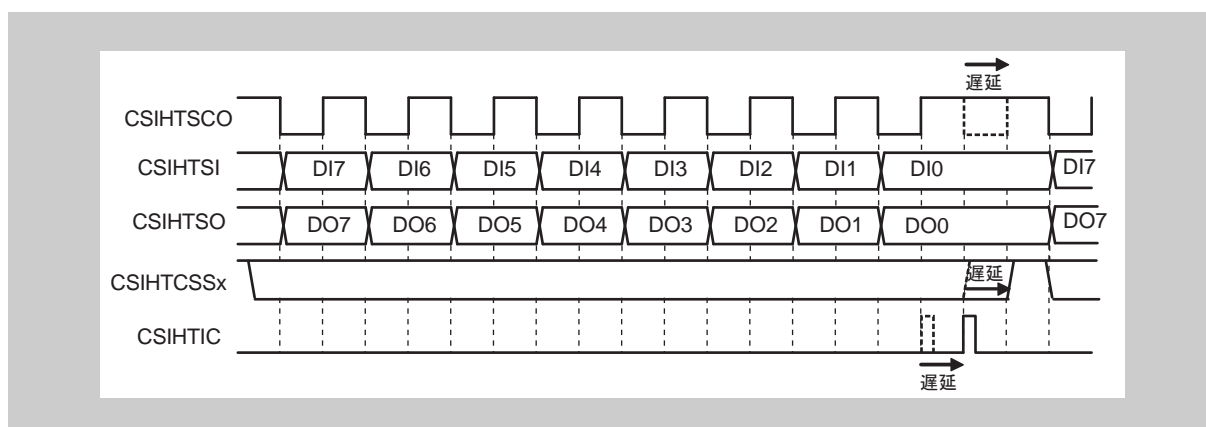


図 29-21 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップ・セレクト信号 (CSIHTCSSx) の終了も遅延します。



## (3) CSIHTIC (通信割り込み)

この割り込みが生成される条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

表 29-11 CSIHTIC 割り込みの生成

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に生成され、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると CSIHTIC が生成されます。	割り込みは発生しません。
送信専用バッファ、 二重バッファ	通信終了時 (CSIHnMCTL2.CSIHnND[7:0] ビットで指定) に生成されます。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに生成されます。ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 <sup>a)</sup> が送信された場合は、CSIHTIC の代わりに割り込み CSIHTIJC が生成されます。
ダイレクト・アクセス	データ転送が 1 回行われるたびに生成されます。	通信が中断された場合を除き、データ転送が 1 回行われるたびに生成されます。

a) ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

### ダイレクト・アクセス・モードでのCSIHTIC

以下の例はダイレクト・アクセス・モードでのCSIHTICの動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 通常のCSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

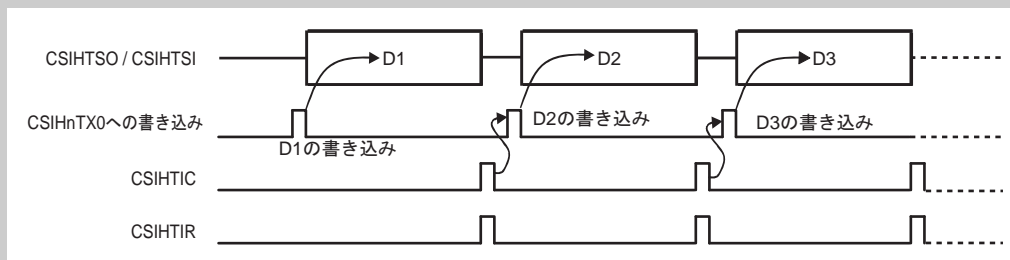


図 29-22 転送後のCSIHTICの生成 (CSIHnCTL1.CSIHnSLIT = 0)

ジョブ・モードが有効になっており (CSIHnCTL1.CSIHnJE = 1), CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている (CSIHnCTL0.CSIHnJOB = 1) 状態でジョブが終了した場合、CSIHTIC はジョブ完了割り込み CSIHTIJC に置き換えられます。

CSIHnTX0 レジスタが空になり、次のデータの受け入れが可能になったときにCSIHTICが生成されるように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

**備考** 上記の設定ををおこなうとデータ転送が高速になります。ただし、ダイレクト・アクセス・モードでのみ設定することができます。

以下の図にその効果を示します。

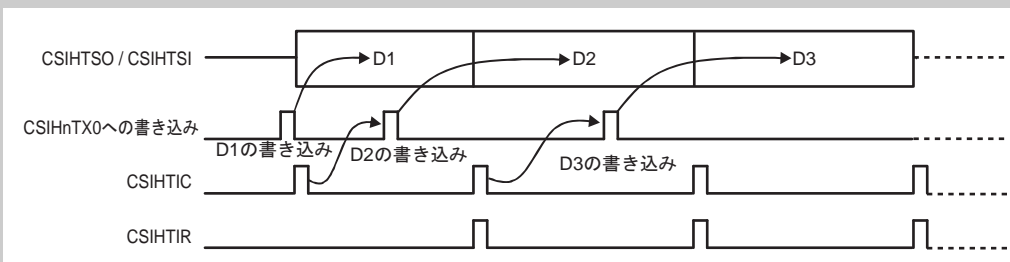


図 29-23 CSIHTICの即時の生成 (CSIHnCTL1.CSIHnSLIT = 1)

このように、新しいデータを先行して書き込むことができます。

**FIFO モードでの  
CSIHTIC**

以下の例は FIFO モードでの CSIHTIC の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- FIFO モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)

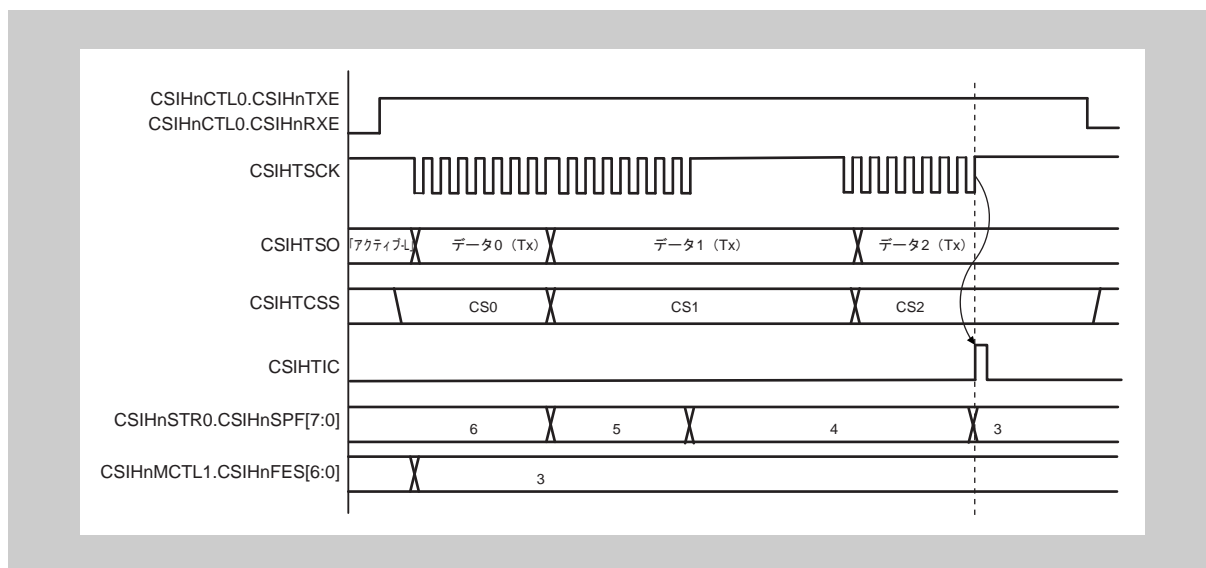


図 29-24 FIFO メモリ・モードでの CSIHTIC の生成

「FIFO エンプティ」の条件は CSIHnMCTL1.CSIHnFES[6:0] で指定します。上の図の例では、FIFOに残っている未送信の送信データの数が3に設定されています。CSIHnSTR0.CSIHnSPF[7:0] は未送信のデータの数を示します。両方の数が一致すると、割り込み CSIHTIC が生成されます。

### ジョブ・モードでの CSIHTIC

以下の例はジョブ・モードでの CSIHTIC の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 通常の CSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

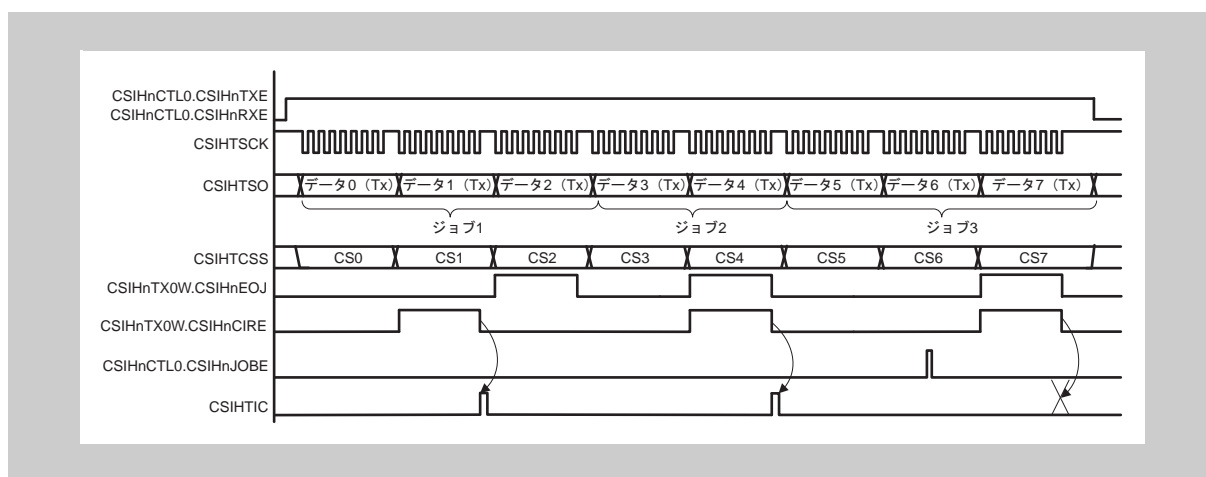


図 29-25 ジョブ・モードでの CSIHTIC の生成

ジョブ・モードでの CSIHTIC の生成に適用される規則を以下の表に示します。

表 29-12 ジョブ・モードでの CSIHTIC の生成

CSIHnTX0W. CSIHnEOJ	CSIHnTX0W. CSIHnCIRE	CSIHTIC
0	0	生成されません。
0	1	生成されます。
1	0	生成されません。
1	1	CSIHnCTL0.CSIHnJOBE = 0 : 生成されます。 CSIHnCTL0.CSIHnJOBE = 1 : 生成されず、 割り込み CSIHTIJC に置き換えられます。

## (4) CSIHTIR (受信割り込み)

この割り込みが生成される条件は、以下に示すように、メモリ・モードとジョブ・モードによって異なります。

表 29-13 CSIHTIR 割り込みの生成

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、FIFO バッファが受信データで満杯になる直前に生成され、FIFO を空にする必要があることをアプリケーションに知らせます。 FIFOに残っている受信データの数 CSHnSTR0.CSIHnSRP[7:0] が CSHnMCTL1.CSIHnFFS[6:0] と等しくなると CSIHTIR が生成されます。	
二重バッファ・モード	通信が終了し (CSIHnMCTL2.ND[7:0] ビットで指定)、かつ CSHnCTL0.CSIHnRXE = 1 であれば生成されます。	CSIHnCTL0.CSIHnRXE = 1 の設定で、データが受信されたとき生成されます。
送信専用バッファ・モード	通信が終了し (CSIHnMCTL2.ND[7:0] ビットで指定)、かつ CSHnCTL0.CSIHnRXE = 1 であれば生成されます。	
ダイレクト・アクセス・モード	データ転送が 1 回行われるたびに生成されます。	

送信専用モードまたは二重バッファ・モードの場合、この割り込みは、受信専用モードまたは送受信モードでデータが 1 つ受信されるたびに生成されます。

## ダイレクト・アクセス・モードでの CSIHTIR

以下の例はダイレクト・アクセス・モードでの CSIHTIR の動作を示しています。

この例では、以下の条件が想定されています。

- マスタ・モード
- ダイレクト・アクセス・モード
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)

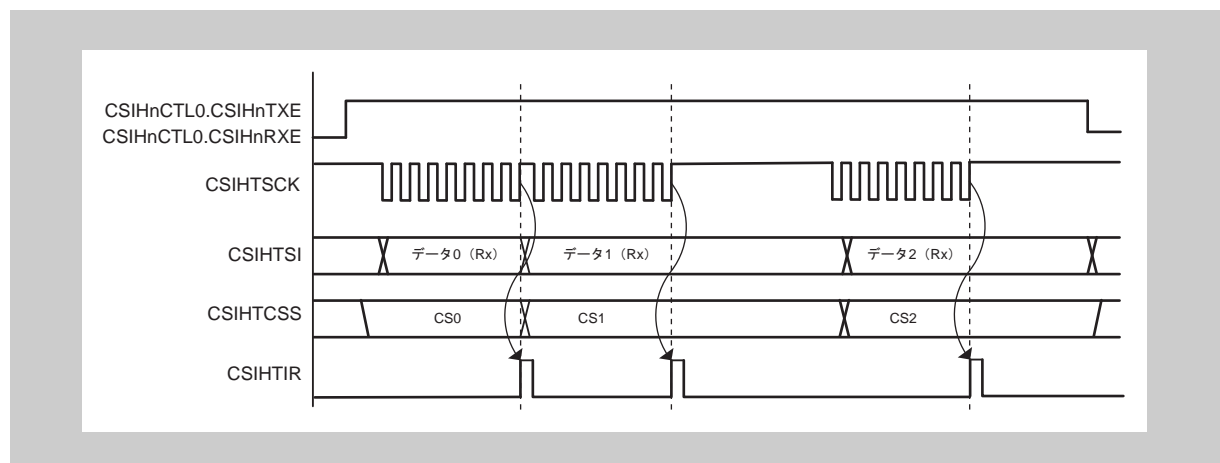


図 29-26 ダイレクト・アクセス・モードでの CSIHTIR の生成

**二重バッファ・モードでの CSIHTIR** 以下の例は二重バッファ・モードでの CSIHTIR の動作を示しています。  
この例では、以下の条件が想定されています。

- マスタ・モード
- 二重バッファ・モード
- 全割り込み遅延なし ( $\text{CSIHnCTL1.CSIHnSIT} = 0$ )
- デフォルトのクロック位相とデータ位相 ( $\text{CSIHnCFGx.CSIHnCKPx} = 0$ ,  $\text{CSIHnCFGx.CSIHnDAPx} = 0$ )
- データ長 8 ビット ( $\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_{\text{B}}$ )

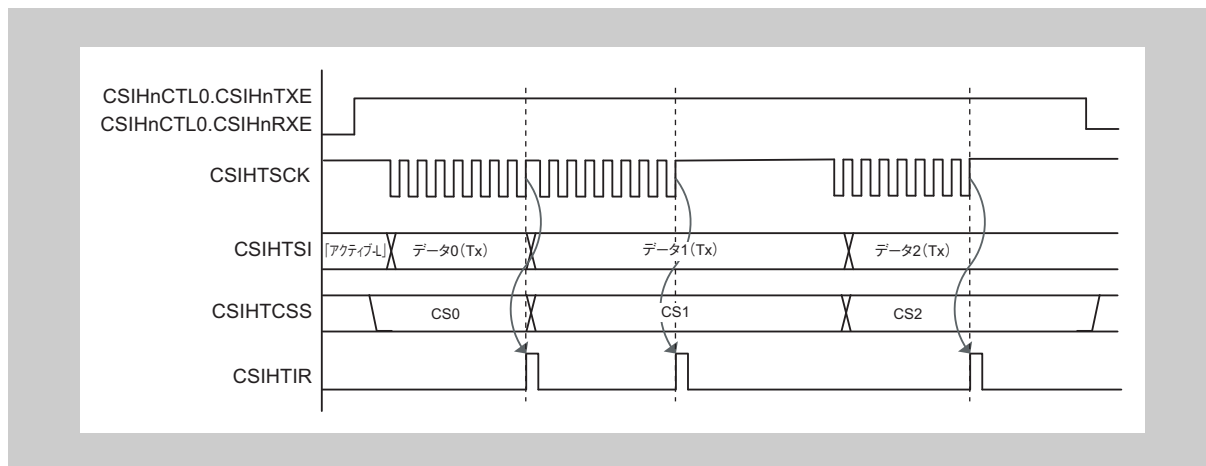


図 29-27 二重バッファ・モードでの CSIHTIR の生成

## (5) CSIHTIRE (受信エラー割り込み)

この割り込みはエラーが検出されるたびに生成されます。

割り込み生成タイミングは、29.3.13「エラー検出」を参照ください。

表 29-14 データ・エラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバフロー・エラー	割り込みが生成されても通信は継続します。	FIFOに書き込まれたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティ・エラー	割り込みが生成されても通信は継続します。	—
データ整合性エラー	割り込みが生成されても通信は継続します。	—
タイムアウト・エラー	割り込みが生成されても通信は継続します。	—
オーバラン・エラー	割り込みが生成されても通信は継続します。	受信データの数が0になった状態でCPUが受信データを読み出そうとすると、このエラーが生成されます。
	割り込みが生成されたあと、通信が停止します。	このエラーは、データを受信したときにFIFOが満杯になっていると生成されます。 送信専用バッファ・モードまたはダイレクト・アクセス・モードのとき：受信データはCSIHnRX0レジスタに残ります。

CSIHTIRE が生成される原因となったエラーのタイプは、CSIHnSTR0レジスタのフラグによって識別されます。

さらに、CSIHnRX0W内の受信データにパリティ・エラー・フラグとデータ整合性エラー・フラグが添付されます。

さまざまなエラー・タイプの詳細については、29.3.13「エラー検出」を参照してください。

## (6) CSIHTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。(3)「ジョブ概念」を参照してください。この割り込みはマスタ・モードでのみ利用できます。

ジョブ・モードはCSIHnCTL1.CSIHnJE = 1に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0の場合、CSIHTIJCは生成されません。

この割り込みが生成される条件は、以下に示すように、メモリ・モードによって異なります。

表 29-15 CSIHTIJC 割り込みの生成

メモリ・モード	割り込み要因	
	ジョブ・モード無効 CSIHnCTL1.CSIHnJE = 0	ジョブ・モード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	適用不可	ジョブ中断 <sup>a</sup> がトリガされたあと、ジョブの終了時に通信が停止した、またはCSIHnTX0W.CSIHnCIRE = 1の設定でデータが送信されたことを示します。
送信専用バッファ		ジョブ中断 <sup>a</sup> がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
二重バッファ		
ダイレクト・アクセス		

a) ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSHnCTL0.CSIHnJOBE = 1



### 29.3.12 ハンドシェーク機能

CSIH はマスタ・デバイスとスレーブ・デバイスを同期させるハンドシェーク機能を備えています。この機能はビット CSIHnCTL1.CSIHnHSE で有効または無効にすることができます。ハンドシェークでは、CSIHTSHSG 信号を使用します。

タイミングはデータ位相選択ビット CSIHnCFGx.CSIHnDAPx の設定によって異なります。

#### (1) スレーブ・モード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になると CSIHTSHSG 信号がロウ・レベル 0 を出力します。この状態になるのは以下の 2 つの場合です。

1. メモリ・モードが FIFO モードの場合 :  
スレーブが送信専用モードまたは送受信モードに設定されている状態で、スレーブのバッファに送信データがない。CSIHnSTR0.CSIHnEMF フラグがこの状態を示します。

以下の例では、8 ビットのデータ長を想定しています。

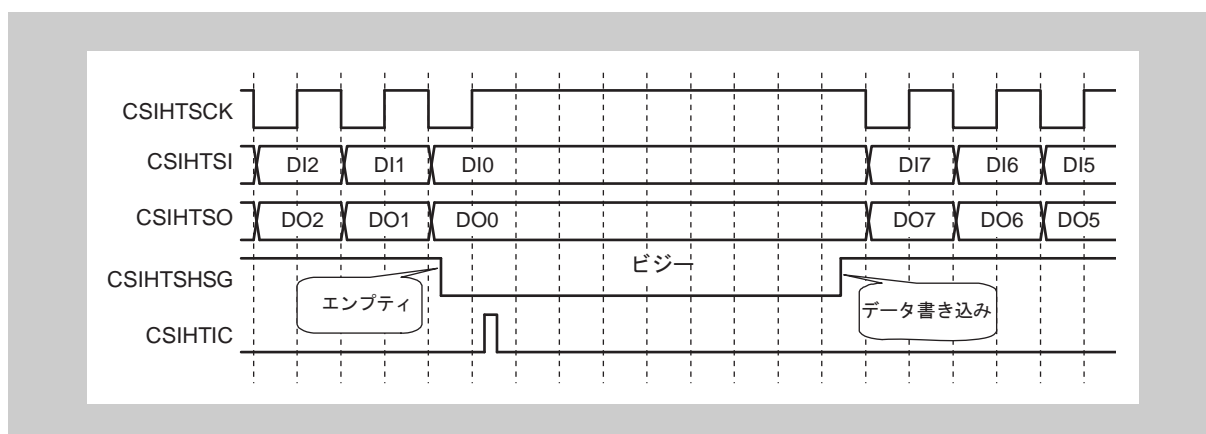


図 29-28 スレーブからのビジー信号 (FIFO モード, CSIHnCFGx.CSIHnDAPx = 0)

新しい送信データが FIFO に書き込まれると、ただちにスレーブは CSIHTSHSG をハイ (「レディ」) に設定します。

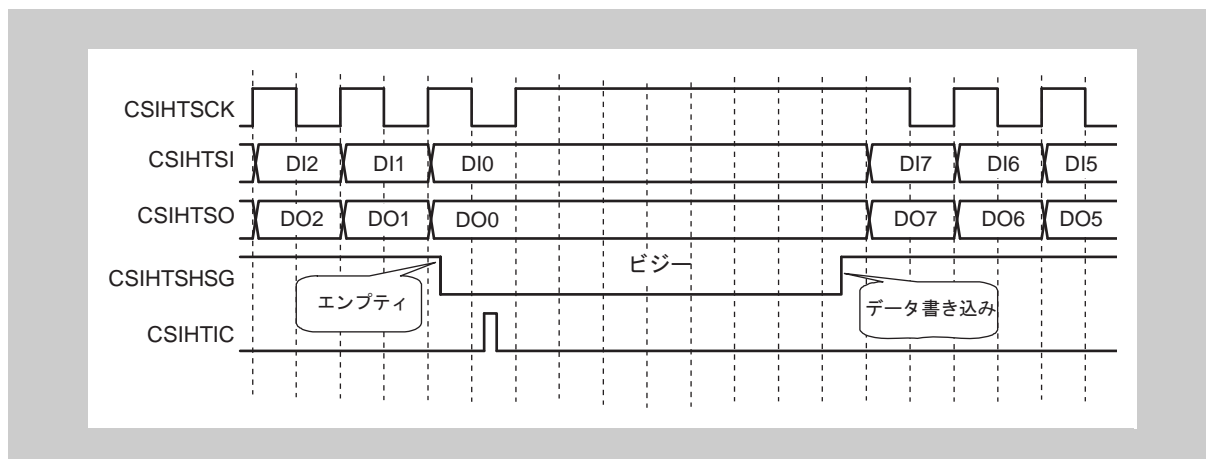


図 29-29 スレーブからのビジー信号 (FIFO モード, CSIHnCFGx.CSIHnDAPx = 1)

## 2. メモリ・モードがダイレクト・アクセス・モードの場合 :

スレーブが受信専用モードまたは送受信モードに設定されてる状態で、前に受信したデータがまだ CSIHnRX0 レジスタにあるため、新しいデータをシフト・レジスタから CSIHnRX0 へコピーできない (CSIHnRX0 フル状態)。

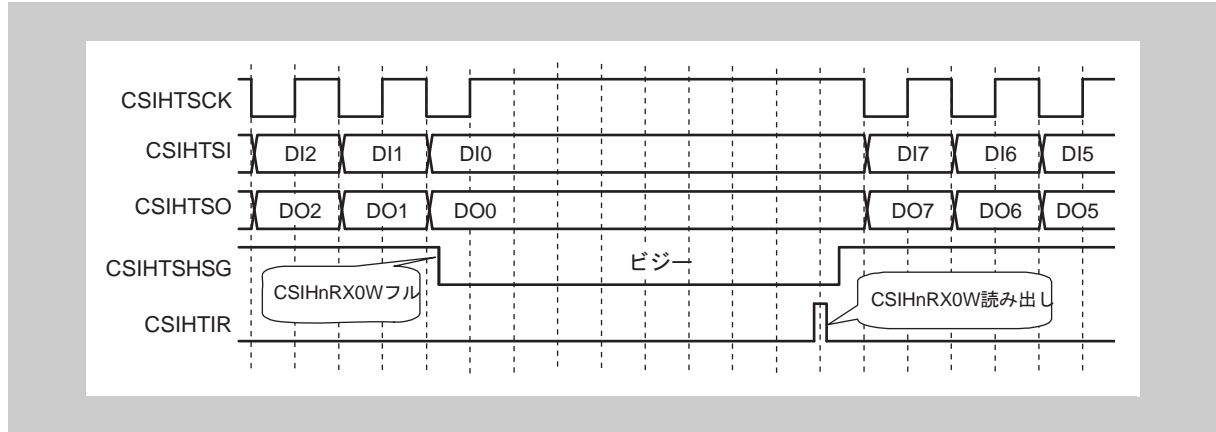


図 29-30 スレーブからのビジー信号 (ダイレクト・アクセス・モード, CSIHnCFGx.CSIHnDAPx = 0)

受信レジスタ CSIHnRX0 からの読み出しが完了すると、ただちにスレーブは CSIHnSHSG をハイ (「レディ」) に設定します。

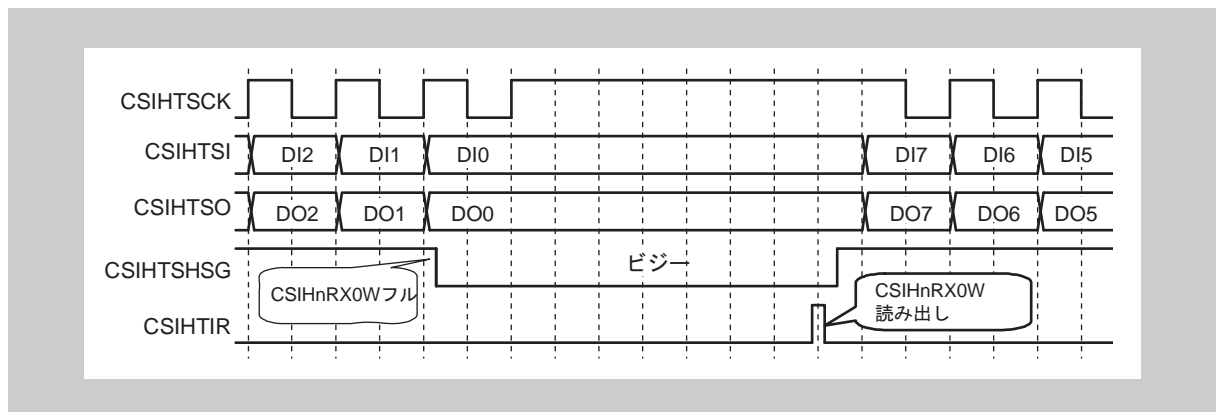


図 29-31 スレーブからのビジー信号 (ダイレクト・アクセス・モード, CSIHnCFGx.CSIHnDAPx = 1)

## (2) マスタ・モード

マスタが CSIHTSHSG = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。

CSIHTSHSG のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

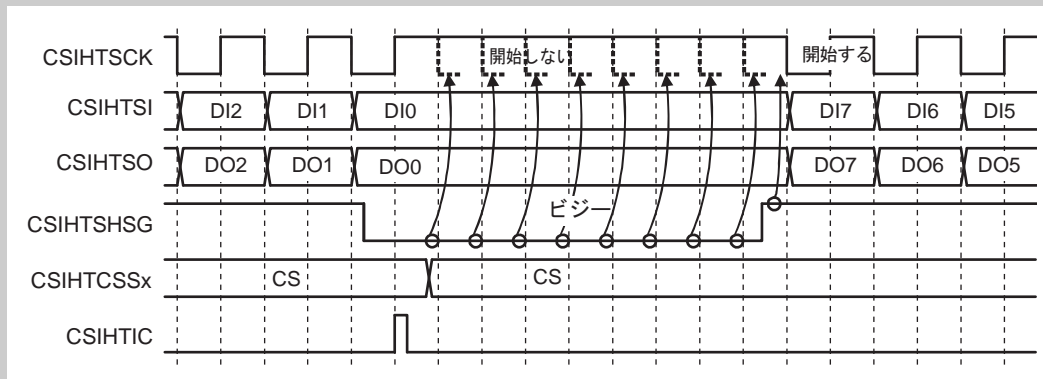


図 29-32 CSIHTSHSG に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

次の転送が始まる前にスレーブは CSIHTSHSG をロウ・レベルに下げる必要があります。データ転送中に CSIHTSHSG 信号のレベルが下がると、転送が完了したあと、シリアル・クロックが停止します。

マスタは CSIHTSHSG がハイになる (スレーブが「レディ」になる) と、ただちに通信を再開します。

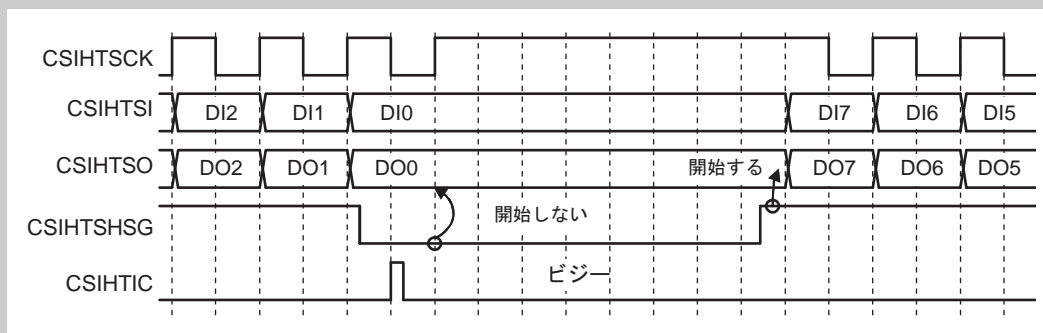


図 29-33 CSIHTSHSG に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

**注意** 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIHTSHSG 信号を検出する必要があります。

### 29.3.13 エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データ整合性エラー (送信データ)
- パリティ・エラー (受信データ)
- オーバラン・エラー (受信データ)
- タイムアウト・エラー (FIFO モード時)
- オーバフロー・エラー (FIFO モード時)

パリティ・エラー, データ整合性エラー, タイムアウト・エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると, 割り込み要求 CSIHTIRE が生成され, 検出されたエラーに対応するフラグがセットされます。

#### (1) データ整合性チェック

データ整合性チェックの目的は, 出力信号として物理的に送信されたデータがシフト・レジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックはビット CSIHnCTL1.CSIHnDCS で有効または無効にすることができます。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0), データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると, CSIHnTX0W または CSIHnTX0H からシフト・レジスタへ転送されたデータが別のレジスタへコピーされます。さらに, CSIHTDCS 信号を介して CSIHTSO の物理レベルが独自のシフト・レジスタに読み込まれます。

送信が完了すると, 送信されたデータと元の送信データとの比較が行われません。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み CSIHTIRE が生成されます。
- ビット CSIHnSTR0.CSIHnDCE がセットされます。

さらに, エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

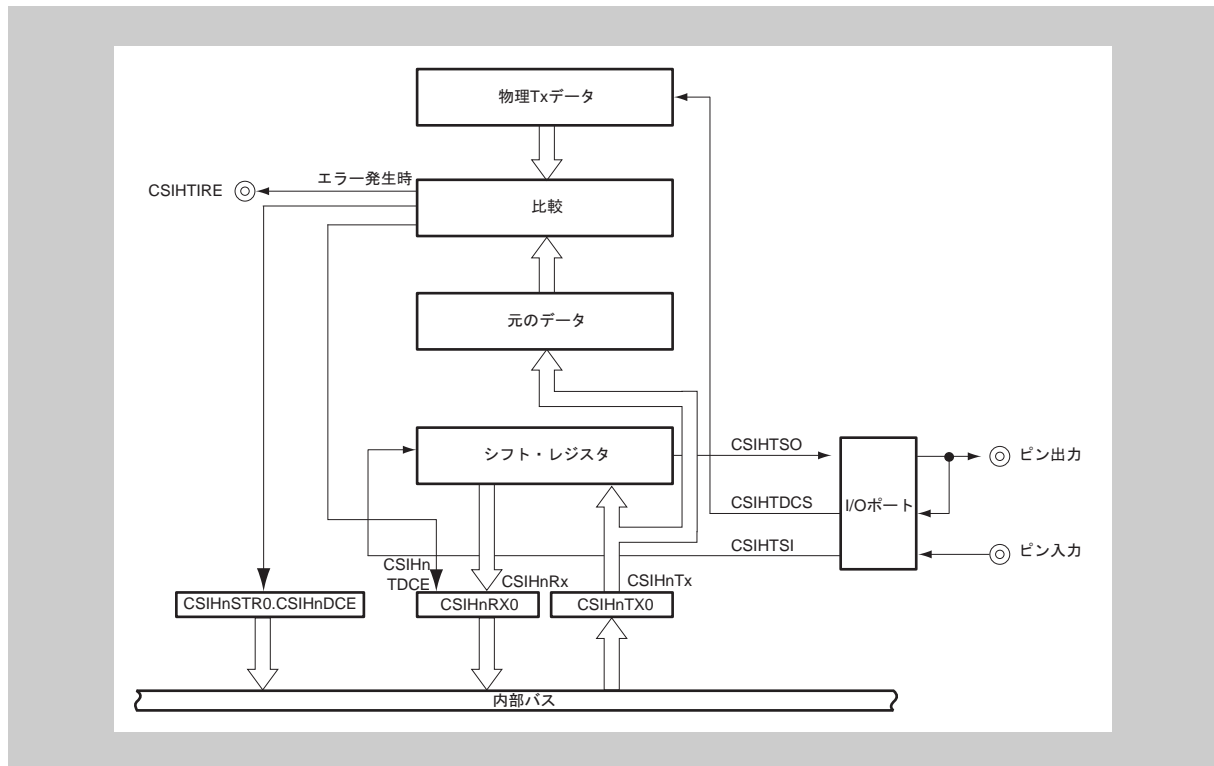


図 29-34 データ整合性チェック機能のブロック図

**(2) パリティ・チェック**

CSIH では、最後のデータ・ビットの後ろにパリティ・ビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIHnCFGx.CSIHnPSx[1:0] で指定されます。

CSIHnCFGx.CSIHnPSx[1] = 1 であれば、パリティ・チェックが有効になります。

パリティ・ビットは受信完了後にチェックされます。パリティ・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHnTIRE が生成されます。
- ビット CSIHnSTR0.CSIHnPE がセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnRPE がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05<sub>H</sub> と 35<sub>H</sub> です。
- データ方向は LSB ファーストです。
- パリティ・タイプは奇数です。

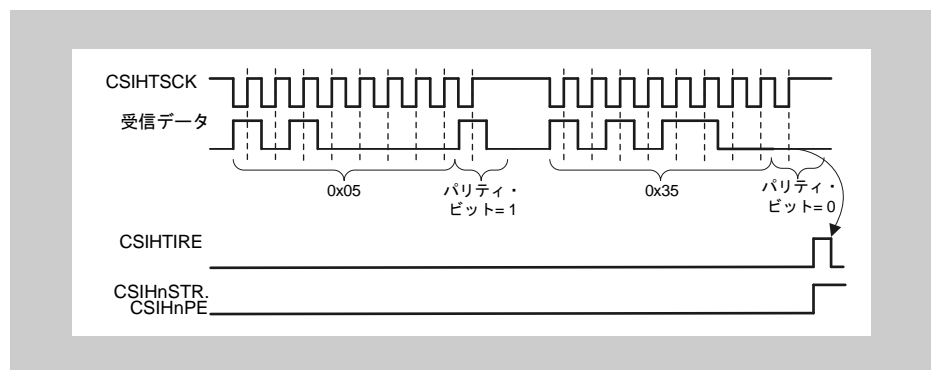


図 29-35 パリティ・チェックの例

1 つめのデータのパリティ・ビットは 1 です。1 の総数（パリティ・ビットを含む）が奇数であるため、パリティ・エラーは発生しません。

2 つめのデータのパリティ・ビットは 0 です。1 の総数（パリティ・ビットを含む）が偶数であるため、これはパリティ・エラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティ・ビットは、データの最後のビットの後ろに追加されます。

**(3) タイムアウト・エラー**

タイムアウト・エラー・チェックはスレーブの FIFO モードでのみ可能です。

タイムアウト・エラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0] によって送信クロック CSIHnSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウト・エラーが発生します (CSIHnMCTL0.CSIHnTO[4:0] = 00000<sub>B</sub> に設定した場合タイムアウト時間は検出されません)。

専用のタイムアウト・カウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

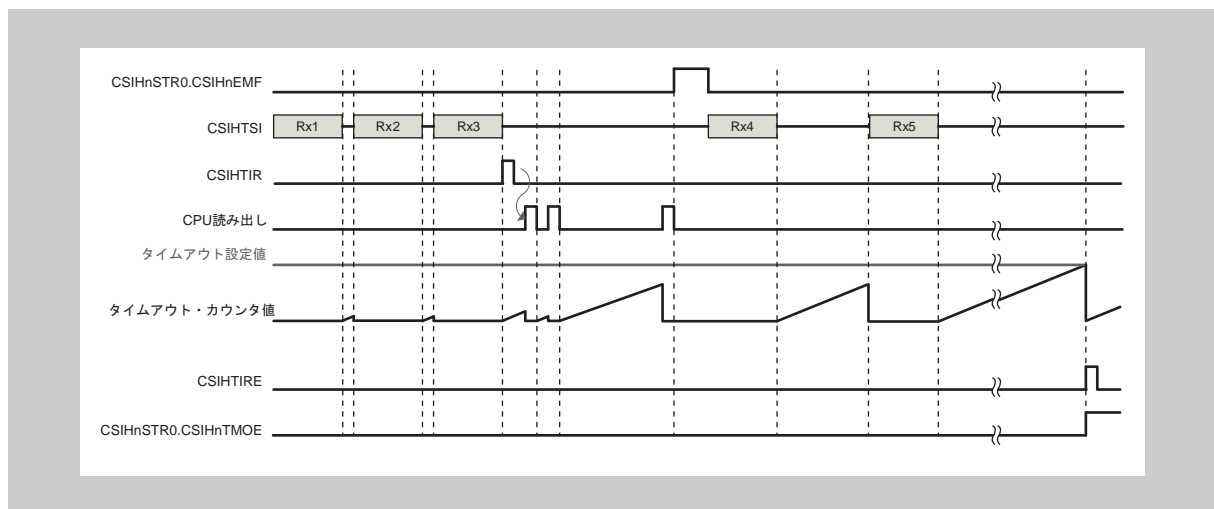


図 29-36 タイムアウト・チェック機能のタイミング図

タイムアウト・カウンタのスタート・タイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき  
(バッファが空なら、カウンタはスタートしません)
- タイムアウト・エラーを検出したとき

タイムアウト・エラーが検出された後、そのままであれば、タイムアウト・カウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0] ビットで設定した値まで再度来た場合は、CSIHTIRE 割り込みが再度出力されます。

タイムアウト・カウンタは受信データがリードされない限りはカウントし続けます。タイムアウト・カウンタを停止したい場合、すべての受信データを読みだすか、CSIHnSTCR0.CSIH0PCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウト・カウンタのリセット・タイミングを次に示します。

- 読み出しが1回行われる
- 新しいデータが1つ着信
- タイムアウト・エラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウト・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHTIRE が生成されます。
- ビット CSIHnSTR0.CSIHnTMOE がセットされます。



**(4) オーバフロー・エラー**

オーバフロー・エラーは FIFO モードで発生する可能性があります。オーバフロー・エラーは、FIFO バッファが受信データで満杯になっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

**例** 100 個のデータ・パケットが送信されています。つまり、FIFO には 100 個の受信パケットが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データ・パケットを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信パケットしか読み出されておらず、90 個のパケットがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータ・パケットを書き込もうとすると、オーバフロー・エラーが発生します。

以下の図はその様子を示しています。

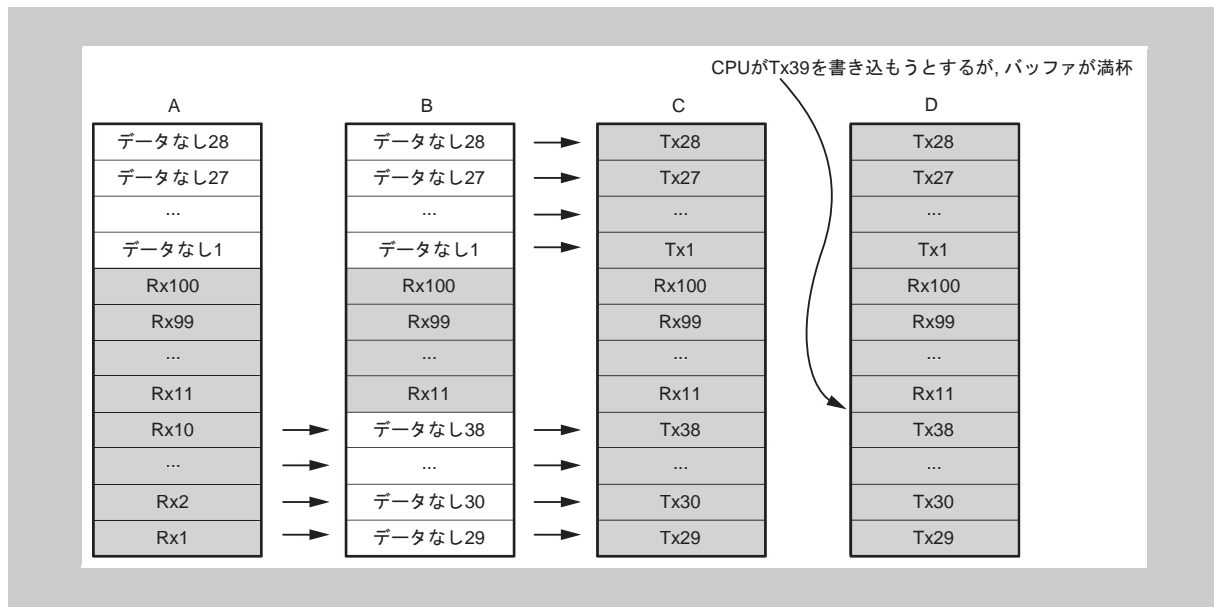


図 29-37 FIFO の概要

39 個目以降のデータ・パケットは破棄されます。以下の図にオーバフローのタイミングを示します。

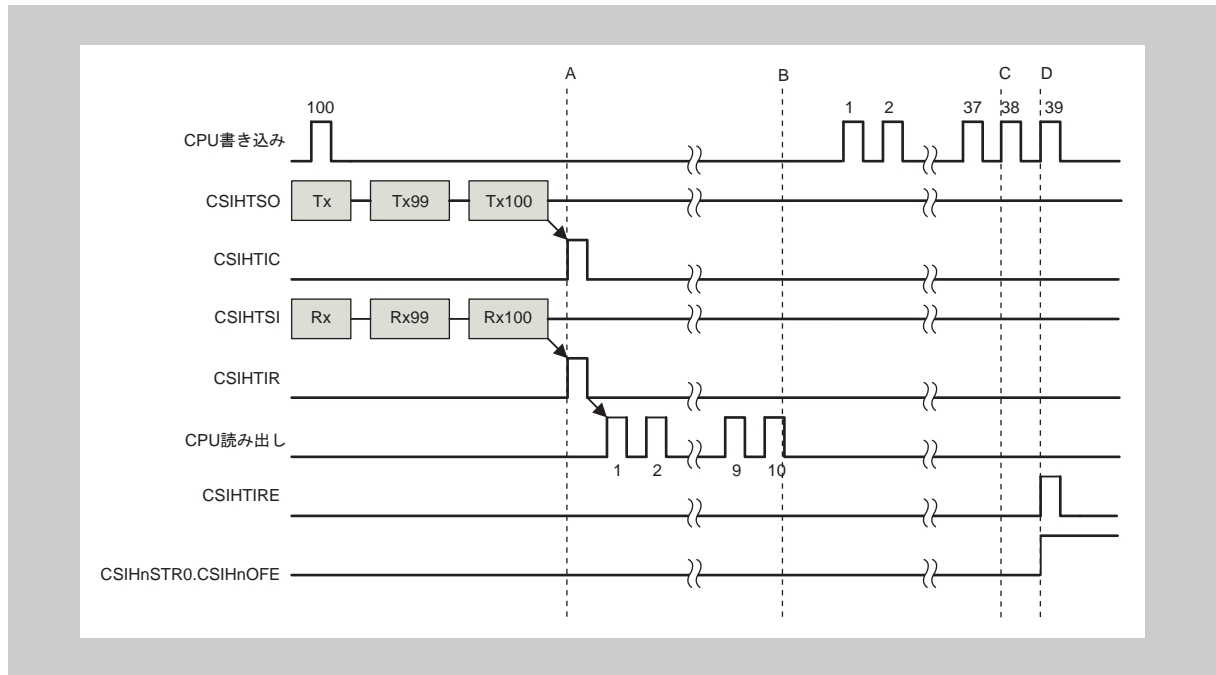


図 29-38 FIFO のオーバーフローのタイミング

オーバーフロー・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHTIRE が生成されます。
- ビット CSIHnSTR0.CSIHnOFE がセットされます。

## (5) オーバラン・エラー

オーバラン・エラーは、ダイレクト・アクセス・モード、送信専用バッファ・モード、FIFOモードで発生する可能性があります。二重バッファ・モードでオーバラン・エラーが発生する可能性はありません。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバラン・エラーは発生しません。

**ダイレクト・アクセス/送信専用バッファ**

ダイレクト・アクセス・モードと送信専用バッファ・モードでは、新たに受信したデータをシフト・レジスタから受信レジスタ CSIHnRX0 へ転送できなくなると、このエラーが発生します。CSIHnRX0 が読み出されていないため、前に受信したデータが CSIHnRX0 に残っていると、その状態になります。

以下の図にオーバラン・エラー検出機能の仕組みを示します。

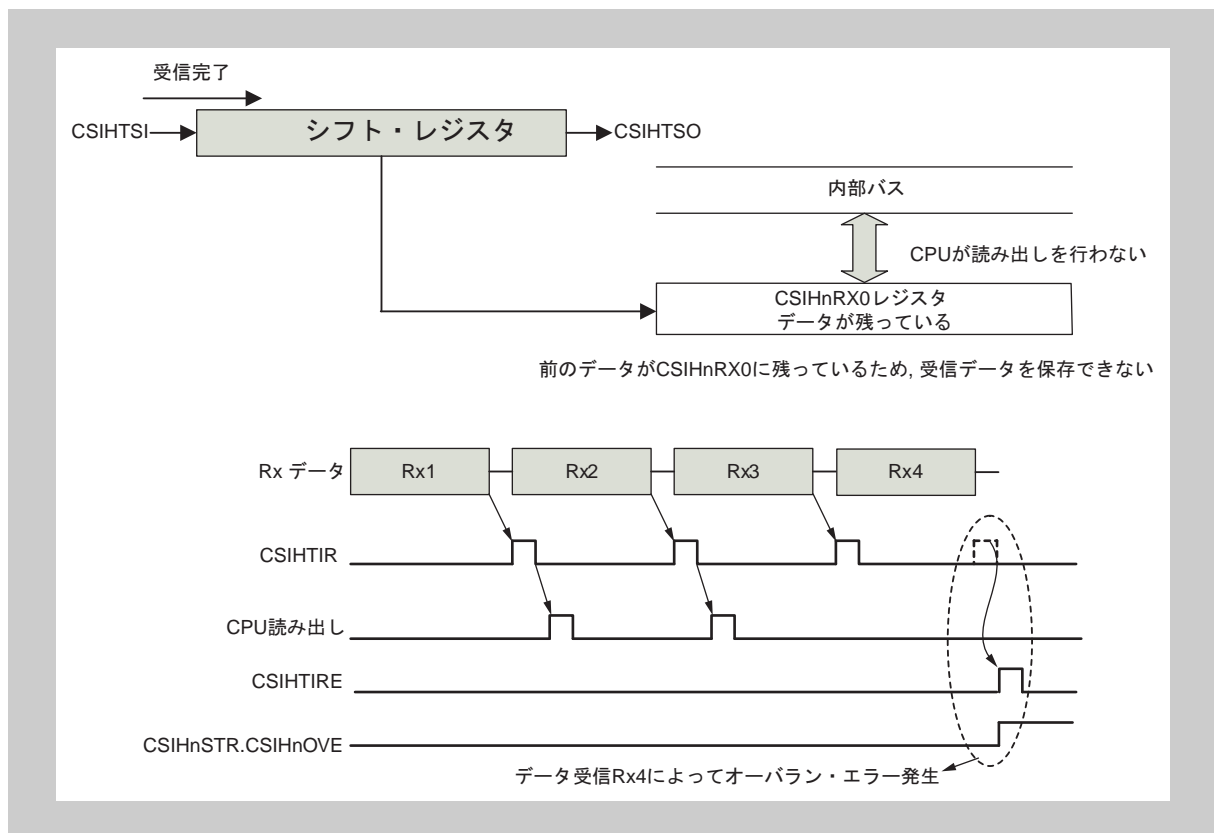


図 29-39 ダイレクト・アクセス・モードと送信専用バッファ・モードでのオーバラン・エラーの検出

**FIFO モード** FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO が満杯であるため、新たに受信したデータをシフト・レジスタから FIFO へ転送できない

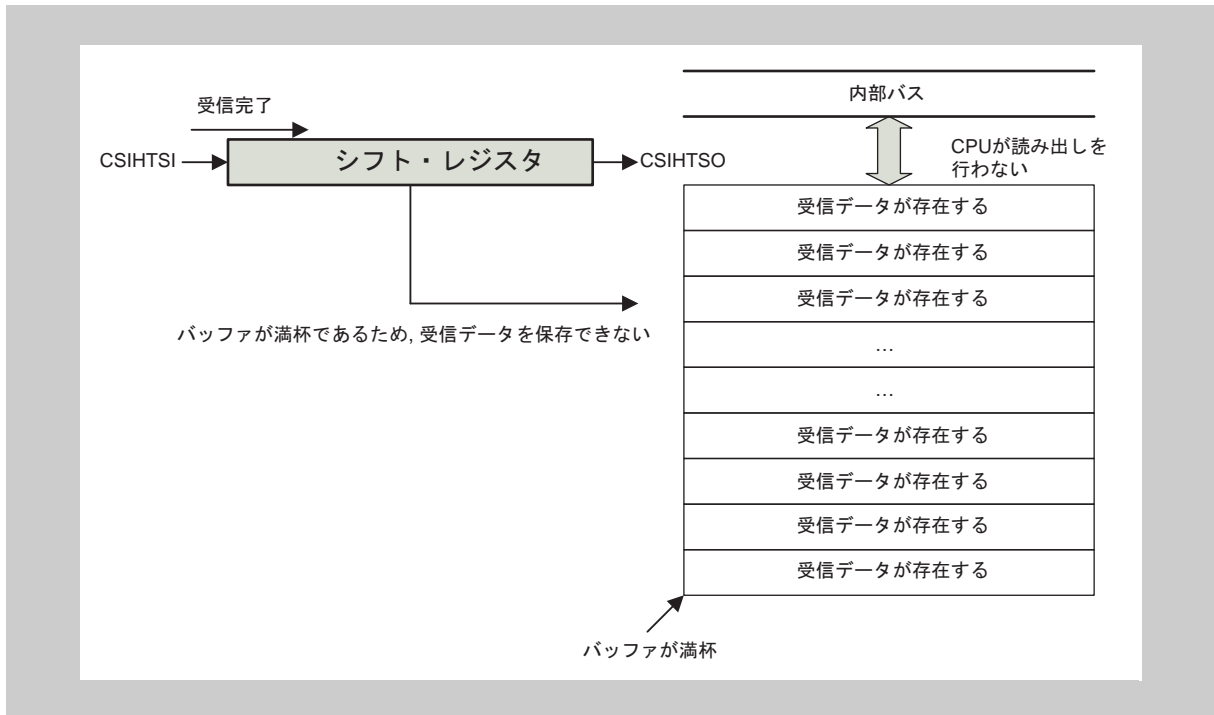


図 29-40 FIFO モードでのオーバーラン・エラーの検出 (FIFO フル)

2. CPU が存在しない受信データを読み出そうとしている

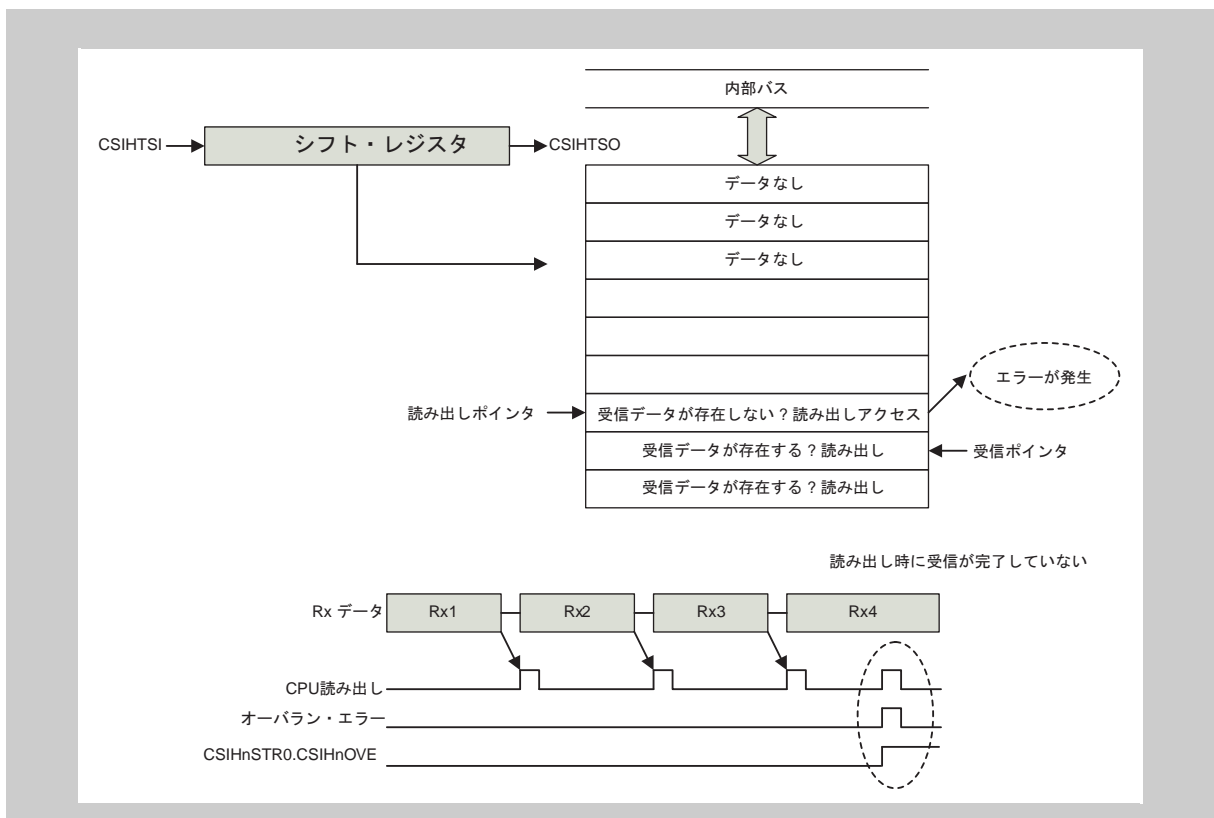


図 29-41 FIFO モードでのオーバーラン・エラーの検出 (データなし)

オーバラン・エラーが発生すると、以下のことが行われます。

- 割り込み CSIHTIRE が生成されます。
- ビット CSIHnSTR0.CSIHnOVE がセットされます。
- 通信が停止します (CPU が存在しないデータを読み出そうとした場合を除く)。

**備考** スレーブ・モードでは、ハンドシェイク機能を利用してオーバラン・エラーを回避することができます。  
スレーブ・モードでハンドシェイクを使用すると、受信側 (スレーブ) は送信側 (マスタ) に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。  
詳細については、29.3.12「ハンドシェイク機能」を参照してください。

### 29.3.14 ループ・バック・モード

ループ・バック・モードは自己テスト用の特殊なモードです。この機能はマスタ・モードでのみ利用できます。

このモードがアクティブになっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウ・レベルに固定され、CSIHnCFGx.CSIHnCKPx の定義に従って CSIHTSCK が非アクティブ・レベルに設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループ・バック・モードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

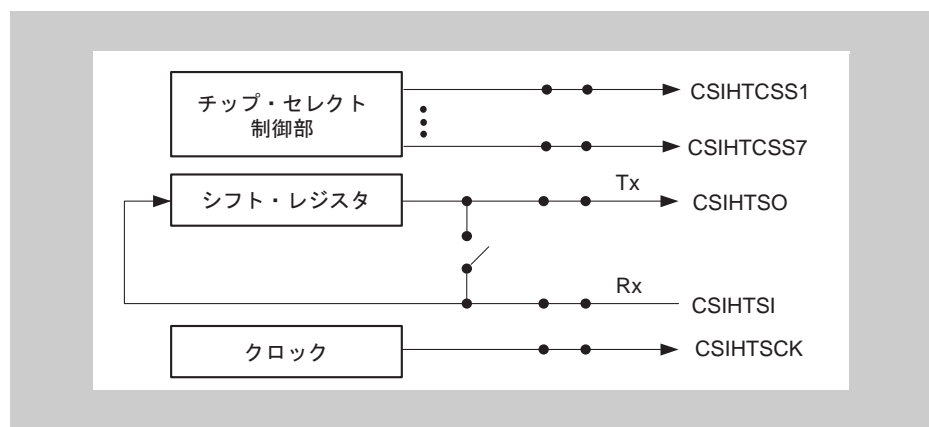


図 29-42 通常の動作

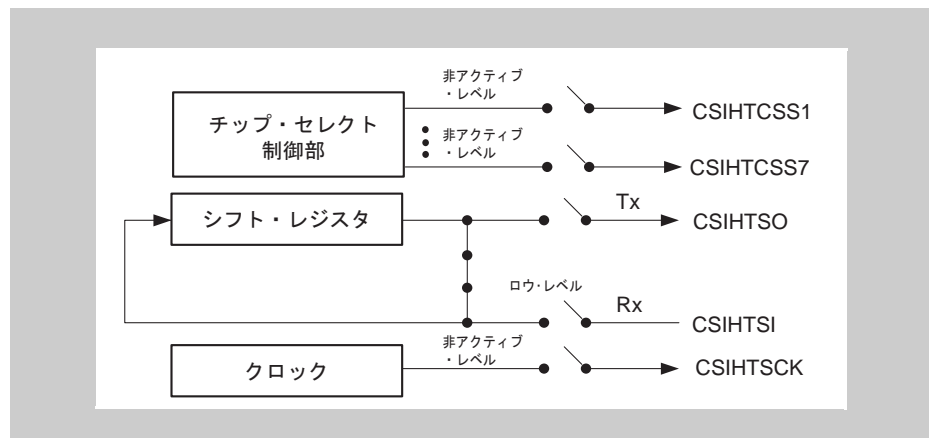


図 29-43 ループ・バック動作

## 29.4 CSIH 制御レジスタ

CSIHn は、以下のレジスタによって制御され、操作されます。

表 29-16 CSIH レジスタの概要

レジスタ名	略号	アドレス
制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000 <sub>H</sub>
制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010 <sub>H</sub>
制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014 <sub>H</sub>
ステータス・レジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004 <sub>H</sub>
ステータス・クリア・レジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008 <sub>H</sub>
メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040 <sub>H</sub>
メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000 <sub>H</sub>
メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004 <sub>H</sub>
ワード・アクセス用送信データ・レジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008 <sub>H</sub>
ハーフ・ワード・アクセス用送信データ・レジスタ 0	CSIHnTX0H	<CSIHn_base> + 100C <sub>H</sub>
ワード・アクセス用受信データ・レジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010 <sub>H</sub>
ハーフ・ワード・アクセス用受信データ・レジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014 <sub>H</sub>
メモリ読み出し/書き込みポインタ・レジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018 <sub>H</sub>
コンフィギュレーション・レジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044 <sub>H</sub>
コンフィギュレーション・レジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048 <sub>H</sub>
コンフィギュレーション・レジスタ 2	CSIHnCFG2	<CSIHn_base> + 104C <sub>H</sub>
コンフィギュレーション・レジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050 <sub>H</sub>
コンフィギュレーション・レジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054 <sub>H</sub>
コンフィギュレーション・レジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058 <sub>H</sub>
コンフィギュレーション・レジスタ 6	CSIHnCFG6	<CSIHn_base> + 105C <sub>H</sub>
コンフィギュレーション・レジスタ 7	CSIHnCFG7	<CSIHn_base> + 1060 <sub>H</sub>
エミュレーション・レジスタ	CSIHnEMU	<CSIHn_base> + 0018 <sub>H</sub>

<CSIHn\_base> CSIHn のベース・アドレス <CSIHn\_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

### 29.4.1 CSIH レジスタの詳細

#### (1) CSIHnCTL0 - CSIH 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可/禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

**アクセス** 8ビット単位または1ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 00<sub>H</sub>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

7	6	5	4	3	2	1	0
CSIHn PWR	CSIHn TXE	CSIHn RXE	0	0	0	CSIHn JOBE	CSIHn MBS
R/W	R/W	R/W	R	R	R	R/W	R/W

表 29-17 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。  通信中に CSIHnPWR がクリア (0) されると、実行中の通信はただちに中止されます。その場合は、通信を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に0です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。  <b>備考</b> CSIHnJOBE は CSIHnCTL1.CSIHnJE = 1 のときにのみ有効です。このビットはスレーブ・モードでは設定禁止です。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0: メモリ・モード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1: ダイレクト・アクセス・モード CSIH のメモリをバイパスします。



- 注意**
1. CSIHnPWR = 0 のときは、CSIHnTXE, CSIHnRXE, CSIHnJOB<sub>E</sub>, CSIHnMBS ビットのいずれも変更しないでください。  
CSIHnPWR = 1 のときに CSIHnMBS ビットを変更しないでください。  
CSIHnPWR ビットを 0 から 1 に変更すると同時に、CSIHnTXE, CSIHnRXE, CSIHnMBS ビットを変更することはできません。  
CSIHnMBS ビットを変更するときは、CSIHnPWR ビットを 0 から 1 に変更すると同時に変更してください。
  2. データ送信が保留中または進行中、つまり CSIHnSTR0.CSIHnTSF = 1 のときに、CSIHnTXE または CSIHnRXE または CSIHnMBS を変更しないでください。
-

## (2) CSIHnCTL1 - CSIH 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループ・バック・モード、ハンドシェイク機能、ジョブ・モードを有効または無効する機能も持っています。また、各チップ・セレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップ・セレクト信号の動作の選択も行います。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 10<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSIHn CKR	CSIHn SLIT
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**注意** 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 29-18 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
17	CSIHnCKR	CSIHnTSCK のクロック位相を選択します。 0 : CSIHnTSCK のデフォルトレベルは、ハイ 1 : CSIHnTSCK のデフォルトレベルは、ロウ CSIHnCKR ビットは CSIHnCFG0.CSIHnDAP ビットと組み合わせて使用します。詳細については、29.4.1(10)「CSIHnCFGx - CSIH コンフィギュレーション・レジスタ x」を参照してください。
16	CSIHnSLIT	割り込み CSIHnTIC のタイミングを選択します。 0 : 通常の割り込みのタイミング (転送後に割り込みを生成します)。 1 : CSIHnTX0 レジスタの内容がシフト・レジスタに転送されると、ただちに割り込みが生成されます (ダイレクト・アクセス・メモリ・モードのみ機能します)。 詳細については、(3)「CSIHnTIC (通信割り込み)」を参照してください。
15-8	CSIHnCSL[7:0]	チップ・セレクト信号 x (CSIHnCSSx) のアクティブ出力レベルを選択します (n = 0-7)。 0 : チップ・セレクト信号をアクティブ・ロウにします。 1 : チップ・セレクト信号をアクティブ・ハイにします。 詳細については、29.3.3「チップ・セレクト (CS) 機能」を参照してください。
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0 : 拡張データ長モードを無効にします。 1 : 拡張データ長モードを有効にします。 詳細については、(2)「16 ビットを上回るデータ長」を参照してください。

表 29-18 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	ジョブ・モードを有効または無効にします。 0: ジョブ・モードを無効にします。 1: ジョブ・モードを有効にします。 詳細については、(3)「ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOBE, CHBA0TX0W.CHBA0EOJ, CHBA0TX0W. CHBA0CIRE ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブ・モードでは設定禁止です。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、(1)「データ整合性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップ・セレクト信号の動作を定義します。 0: チップ・セレクト信号がアクティブ・レベルを保持します。 1: チップ・セレクト信号が非アクティブ・レベルに戻ります。 最後のデータの判定はダイレクト・アクセス・モード/FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクト・アクセス・モードです。
3	CSIHnLBM	ループ・バック・モード (LBM) を制御します。 0: ループ・バック・モードを非アクティブにします。 1: ループ・バック・モードをアクティブにします。 詳細については、29.3.14「ループ・バック・モード」を参照してください。 このビットはスレーブ・モードでは設定禁止です。
2	CSIHnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタ・モードでのみ有効になります。スレーブ・モードでは遅延は生成されません。 詳細については、(2)「全割り込み遅延」を参照してください。
1	CSIHnHSE	ハンドシェイク・モードを有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、29.3.12「ハンドシェイク機能」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIHnTSSI を無視します。 1: 入力信号 CSIHnTSSI を認識します。 スレーブ選択機能を使用しない場合は、このビットを0に設定する必要があります (29.3.2「マスタ/スレーブの接続」も参照してください)。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 29-19 受信中のスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 29-20 送信中のスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

**(3) CSIHnCTL2 - CSIH 制御レジスタ 2**

本レジスタでは動作モードと基本クロックの値を選択し、ポー・レートを設定します。

詳細については、29.3.5「送信クロックの選択」を参照してください。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 14<sub>H</sub>

**初期値** E000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnPRS[2:0]			0	CSIHnBRS[11:0]											
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**注意** 本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 29-21 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15-13	CSIHnPRS [2:0]	動作モードと基本クロックの値を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSIHn PRS2</th> <th>CSIHn PRS1</th> <th>CSIHn PRS0</th> <th>基本クロック (PRSOUT) の選択</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>PCLK (マスタ・モード)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>PCLK / 2 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>PCLK / 4 (マスタ・モード)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>PCLK / 8 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>PCLK / 16 (マスタ・モード)</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>PCLK / 32 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>PCLK / 64 (マスタ・モード)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>CSIHTSCK 経由の外部クロック (スレーブ・モード)</td></tr> </tbody> </table>	CSIHn PRS2	CSIHn PRS1	CSIHn PRS0	基本クロック (PRSOUT) の選択	0	0	0	PCLK (マスタ・モード)	0	0	1	PCLK / 2 (マスタ・モード)	0	1	0	PCLK / 4 (マスタ・モード)	0	1	1	PCLK / 8 (マスタ・モード)	1	0	0	PCLK / 16 (マスタ・モード)	1	0	1	PCLK / 32 (マスタ・モード)	1	1	0	PCLK / 64 (マスタ・モード)	1	1	1	CSIHTSCK 経由の外部クロック (スレーブ・モード)
CSIHn PRS2	CSIHn PRS1	CSIHn PRS0	基本クロック (PRSOUT) の選択																																			
0	0	0	PCLK (マスタ・モード)																																			
0	0	1	PCLK / 2 (マスタ・モード)																																			
0	1	0	PCLK / 4 (マスタ・モード)																																			
0	1	1	PCLK / 8 (マスタ・モード)																																			
1	0	0	PCLK / 16 (マスタ・モード)																																			
1	0	1	PCLK / 32 (マスタ・モード)																																			
1	1	0	PCLK / 64 (マスタ・モード)																																			
1	1	1	CSIHTSCK 経由の外部クロック (スレーブ・モード)																																			
11-0	CSIHnBRS [11:0]	ポー・レートを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSIHnBRS[11:0]</th> <th>CSIHTBLK クロックの選択</th> </tr> </thead> <tbody> <tr><td>0</td><td>BRG の停止</td></tr> <tr><td>1</td><td>PCLK / (2<sup>m</sup>×1×2)</td></tr> <tr><td>2</td><td>PCLK / (2<sup>m</sup>×2×2)</td></tr> <tr><td>3</td><td>PCLK / (2<sup>m</sup>×3×2)</td></tr> <tr><td>4</td><td>PCLK / (2<sup>m</sup>×4×2)</td></tr> <tr><td>...</td><td>...</td></tr> <tr><td>4095</td><td>PCLK / (2<sup>m</sup>×4095×2)</td></tr> </tbody> </table>	CSIHnBRS[11:0]	CSIHTBLK クロックの選択	0	BRG の停止	1	PCLK / (2 <sup>m</sup> ×1×2)	2	PCLK / (2 <sup>m</sup> ×2×2)	3	PCLK / (2 <sup>m</sup> ×3×2)	4	PCLK / (2 <sup>m</sup> ×4×2)	...	...	4095	PCLK / (2 <sup>m</sup> ×4095×2)																				
CSIHnBRS[11:0]	CSIHTBLK クロックの選択																																					
0	BRG の停止																																					
1	PCLK / (2 <sup>m</sup> ×1×2)																																					
2	PCLK / (2 <sup>m</sup> ×2×2)																																					
3	PCLK / (2 <sup>m</sup> ×3×2)																																					
4	PCLK / (2 <sup>m</sup> ×4×2)																																					
...	...																																					
4095	PCLK / (2 <sup>m</sup> ×4095×2)																																					

**(4) CSIHnSTR0 - CSIH ステータス・レジスタ 0**

本レジスタはCSIHの状態を示します。

**アクセス** 32ビット単位でリード可能です。

**アドレス** <CSIHn\_base> + 04<sub>H</sub>

**初期値** 0000 0010<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHnSRP[7:0]								CSIHnSPF[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHn TMOE	CSIHn OFE	0	0	0	0	0	0	CSIHn TSF	0	CSIHn FLF	CSIHn EMF	CSIHn DCE	0	CSIHn PE	CSIHn OVE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29-22 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能								
31-24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00<sub>H</sub></td> <td rowspan="3">受信データ数 (0 ~ 128<sub>D</sub>)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80<sub>H</sub></td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。                      ダイレクト・アクセス・モード、二重バッファ・メモリ・モードまたは送信専用バッファ・メモリ・モードでは、この値が 00<sub>H</sub> に固定されます。                      ダイレクト・アクセス・モードの場合はポインタを持たないため、バッファ・モードでは、CSIHnMCTL2.CSIHnND[6:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSRP[7:0]	説明	00 <sub>H</sub>	受信データ数 (0 ~ 128 <sub>D</sub> )	:	80 <sub>H</sub>	上記以外	設定禁止
CSIHnSRP[7:0]	説明									
00 <sub>H</sub>	受信データ数 (0 ~ 128 <sub>D</sub> )									
:										
80 <sub>H</sub>										
上記以外	設定禁止									
23-16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。                      (CPU によって書き込まれたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00<sub>H</sub></td> <td rowspan="3">未送信データ・パケットの数 (0 ~ 128<sub>D</sub>)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80<sub>H</sub></td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。                      ダイレクト・アクセス・モード、二重バッファ・メモリ・モードまたは送信専用バッファ・メモリ・モードでは、この値が 00<sub>H</sub> に固定されます。                      ダイレクト・アクセス・モードの場合はポインタを持たないため、バッファ・モードでは、CSIHnMCTL2.CSIHnND[6:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSPF[7:0]	説明	00 <sub>H</sub>	未送信データ・パケットの数 (0 ~ 128 <sub>D</sub> )	:	80 <sub>H</sub>	上記以外	設定禁止
CSIHnSPF[7:0]	説明									
00 <sub>H</sub>	未送信データ・パケットの数 (0 ~ 128 <sub>D</sub> )									
:										
80 <sub>H</sub>										
上記以外	設定禁止									

表 29-22 CSIHnSTR0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																								
15	CSIHnTMOE	<p>FIFO モード時のタイムアウト・エラー・フラグ            FIFO モード時のタイムアウト・エラーが検出されたかどうかを示します。            0: FIFO モード時のタイムアウト・エラーが検出されていません。            1: FIFO モード時のタイムアウト・エラーが検出されています。            詳細については、(3)「タイムアウト・エラー」を参照してください。            このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。            このビットはセット (1) とクリア (0) を行った場合、クリア (0) が優先されます。            このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																								
14	CSIHnOFE	<p>FIFO モード時のオーバフロー・エラー・フラグ            FIFO モード時のオーバフロー・エラーが検出されたかどうかを示します。            0: FIFO モード時のオーバフロー・エラーが検出されていません。            1: FIFO モード時のオーバフロー・エラーが検出されています。            詳細については、(4)「オーバフロー・エラー」を参照してください。            このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。            このビットはセット (1) とクリア (0) を行った場合、クリア (0) が優先されます。            このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。            CSIHnCTL0.CSIHnPWR = 0 のときに Tx レジスタに 129 の送信データを書き込むと、オーバフロー・エラーが発生します。</p>																								
7	CSIHnTSF	<p>転送ステータス・フラグ            0: アイドル状態            1: 送信中または送信の準備中            このビットがセットまたはクリアされる条件を以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">マスタ・モード</th> <th colspan="2">セットされる条件</th> <th rowspan="2">クリアされる条件</th> </tr> <tr> <th>ダイレクト・アクセス・モード, FIFO モード</th> <th>ダブル・バッファ・モード, 送信専用モード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタへの書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHBTST のセット</td> <td rowspan="3">最後のシリアル・シリアル・クロック・エッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>スレーブ・モード</th> <th colspan="2">セットされる条件</th> <th>クリアされる条件</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="2">CSIHnMCTL2.CSIHBTST のセット</td> <td rowspan="3">最後のシリアル・シリアル・クロック・エッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHTSCI 入力タイミング</td> <td></td> </tr> </tbody> </table>	マスタ・モード	セットされる条件		クリアされる条件	ダイレクト・アクセス・モード, FIFO モード	ダブル・バッファ・モード, 送信専用モード	送信専用モード	送信レジスタへの書き込み	CSIHnMCTL2.CSIHBTST のセット	最後のシリアル・シリアル・クロック・エッジから半クロック以内	送受信モード	受信専用モード	スレーブ・モード	セットされる条件		クリアされる条件	送信専用モード	送信レジスタへの書き込み	CSIHnMCTL2.CSIHBTST のセット	最後のシリアル・シリアル・クロック・エッジから半クロック以内	送受信モード	受信専用モード	CSIHTSCI 入力タイミング	
マスタ・モード	セットされる条件			クリアされる条件																						
	ダイレクト・アクセス・モード, FIFO モード	ダブル・バッファ・モード, 送信専用モード																								
送信専用モード	送信レジスタへの書き込み	CSIHnMCTL2.CSIHBTST のセット	最後のシリアル・シリアル・クロック・エッジから半クロック以内																							
送受信モード																										
受信専用モード																										
スレーブ・モード	セットされる条件		クリアされる条件																							
送信専用モード	送信レジスタへの書き込み	CSIHnMCTL2.CSIHBTST のセット	最後のシリアル・シリアル・クロック・エッジから半クロック以内																							
送受信モード																										
受信専用モード	CSIHTSCI 入力タイミング																									
5	CSIHnFLF	<p>FIFO モード時のバッファ・フルの状態を示すフラグです。            0: FIFO バッファが満杯状態ではありません。            1: FIFO バッファが満杯状態です。            このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。            FIFO バッファは未送信データや受信データで満杯になることがあります。</p>																								

表 29-22 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
4	CSIHnEMF	FIFO モード時のバッファ・エンプティの状態を示すフラグです。 0: FIFO バッファが空ではありません。 1: FIFO バッファが空です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは、CSIHnMCTL1.CSIHnFES[6:0] の設定値と CSIHnSTR0.CSIHnSPF[7:0] ビットの値が一致したときにセット (1) されます。 FIFO バッファは未送信データや受信データで満杯になることがあります。
3	CSIHnDCE	データ整合性チェック・エラー・フラグ 0: データ整合性エラーが検出されていません。 1: データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア (0) されます。このビットにセット (1) とクリア (0) を同時に行った場合、クリア (0) が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
1	CSIHnPE	パリティ・エラー・フラグ 0: パリティ・エラーが検出されていません。 1: パリティ・エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア (0) されます。このビットにセット (1) とクリア (0) を同時に行った場合、クリア (0) が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
0	CSIHnOVE	オーバラン・エラー・フラグ (二重バッファ・モードでは 0 固定です) 0: オーバラン・エラーが検出されていません。 1: オーバラン・エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア (0) されます。このビットにセット (1) とクリア (0) を同時に行った場合、クリア (0) が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。



表 29-23 メモリ・モードでの動作

ビット名	ビット位置	ダイレクト・アクセス・モード	FIFO モード	送信専用モード	二重バッファ・モード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル・ステート 1: 送信中または送信の準備中			
CSIHnFLF	5	0 固定	0: 満杯でない 1: 満杯	0 固定	0 固定
CSIHnEMF	4	1 固定	0: 空でない 1: 空	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0 固定

## (5) CSIHnSTCR0 - CSIH ステータス・クリア・レジスタ 0

本レジスタはCSIHnSTR0 ステータス・レジスタのステータス・フラグをクリアします。

**アクセス** 16 ビット単位でリード/ライト可能です。  
読み出すと、常に値 0000<sub>H</sub> が返されます。

**アドレス** <CSIHn\_base> + 08<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTMOEC	CSIHnOFEC	0	0	0	0	0	CSIHnPCT	0	0	0	0	CSIHnDCEC	0	CSIHnPEC	CSIHnOVEC
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 29-24 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能										
15	CSIHnTMOEC	タイムアウト・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: タイムアウト・エラー・フラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。										
14	CSIHnOFEC	オーバフロー・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバフロー・エラー・フラグ (CSIHnSTR0.CSIHnOFE) をクリアします。										
8	CSIHnPCT	FIFO ポインタ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: 次の FIFO バッファ・ポインタ (FIFO モード、二重バッファ・モード時のみ) およびステータス・ビットをすべてクリアします。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>FIFO バッファ・ポインタ</th><th>ステータス・ビット</th></tr> </thead> <tbody> <tr> <td>CSIHnMRWPO.CSIHnTRWA[6:0]</td><td>CSIHnSTR0.CSIHnSPF[7:0]</td></tr> <tr> <td>CSIHnMRWPO.CSIHnRRA[6:0]</td><td>CSIHnSTR0.CSIHnSRP[7:0]</td></tr> <tr> <td>CSIHnMCTL2.CSIHnSOP[6:0]</td><td>CSIHnSTR0.CSIHnFLF</td></tr> <tr> <td></td><td>CSIHnSTR0.CSIHnTSF</td></tr> </tbody> </table> さらに、CSIHnSTR0.CSIHnEMF ビットがセット (1) されます (FIFO エンプティ) (FIFO モード時のみ)。 <b>注意</b> 通信中にこのビットがクリアされると、実行中の通信は中断されます。	FIFO バッファ・ポインタ	ステータス・ビット	CSIHnMRWPO.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]	CSIHnMRWPO.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]	CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF		CSIHnSTR0.CSIHnTSF
FIFO バッファ・ポインタ	ステータス・ビット											
CSIHnMRWPO.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]											
CSIHnMRWPO.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]											
CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF											
	CSIHnSTR0.CSIHnTSF											
3	CSIHnDCEC	データ整合性エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: データ整合性エラー・フラグ (CSIHnSTR0.CSIHnDCE) をクリアします。										
1	CSIHnPEC	パリティ・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: パリティ・エラー・フラグ (CSIHnSTR0.CSIHnPE) をクリアします。										
0	CSIHnOVEC	オーバラン・エラー・フラグ・クリア・コマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバラン・エラー・フラグ (CSIHnSTR0.CSIHnOVE) をクリアします。										

(6) CSIHnMCTL0 - CSIH メモリ制御レジスタ 0

本レジスタではメモリ・モードとタイムアウトの設定を選択します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 1040<sub>H</sub>

**初期値** 001F<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	CSIHn MMS[1:0]		0	0	0	CSIHnTO[4:0]				
R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 29-25 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
9-8	CSIHn MMS[1:0]	<p>メモリ・モードを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn MMS1</th> <th>CSIHn MMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>二重バッファ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリ・モードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファ・ポインタをクリアしてください。                      ダイレクト・アクセス・モードでは、これらのビットの設定は無視されます。  <b>注意</b> メモリ・モードは、CSIHnCTL0.CSIHnPWR = 0、かつ                      CSIHnCTL0.CSIHnMBS = 0 のときにのみ変更できます。</p>	CSIHn MMS1	CSIHn MMS0	説明	0	0	FIFO モード	0	1	二重バッファ・モード	1	0	送信専用バッファ・モード	1	1	禁止
CSIHn MMS1	CSIHn MMS0	説明															
0	0	FIFO モード															
0	1	二重バッファ・モード															
1	0	送信専用バッファ・モード															
1	1	禁止															
4-0	CSIHn TO[4:0]	<p>FIFO モードのタイムアウトの設定を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001<sub>B</sub></td> <td>タイムアウトを (1×8×BRG 出力クロック) にします。</td> </tr> <tr> <td>00010<sub>B</sub></td> <td>タイムアウトを (2×8×BRG 出力クロック) にします。</td> </tr> <tr> <td>...</td> <td></td> </tr> <tr> <td>11111<sub>B</sub></td> <td>タイムアウトを (31×8×BRG 出力クロック) にします。</td> </tr> </tbody> </table> <p><b>注意</b> タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。                      CSIHnTO[4:0] ビットは FIFO モード以外 (ダイレクト・アクセス・モード、二重バッファ・モード、送信専用モード) は 0000<sub>H</sub> に設定してください                      タイムアウトの検出の詳細については、(3)「タイムアウト・エラー」も参照してください。</p>	CSIHnTO[4:0]	説明	0000 <sub>B</sub>	タイムアウトを検出しません。	00001 <sub>B</sub>	タイムアウトを (1×8×BRG 出力クロック) にします。	00010 <sub>B</sub>	タイムアウトを (2×8×BRG 出力クロック) にします。	...		11111 <sub>B</sub>	タイムアウトを (31×8×BRG 出力クロック) にします。			
CSIHnTO[4:0]	説明																
0000 <sub>B</sub>	タイムアウトを検出しません。																
00001 <sub>B</sub>	タイムアウトを (1×8×BRG 出力クロック) にします。																
00010 <sub>B</sub>	タイムアウトを (2×8×BRG 出力クロック) にします。																
...																	
11111 <sub>B</sub>	タイムアウトを (31×8×BRG 出力クロック) にします。																

## (7) CSIHnMCTL1 - CSIH メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 CSIHTIC と CSIHTIR を生成する条件を選択します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 1000<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	CSIHnFES[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnFFS[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**備考** 通信中のレジスタへの書き込みが可能です。

表 29-26 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
22-16	CSIHnFES[6:0]	FIFO モードで CSIHTIC 割り込み（空割り込み）を生成する条件を選択します。 FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0] ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、FIFO エンプティ・フラグ（CSIHnSTR0.CSIHnEMF ビット）がセット（1）され、CSIHTIC 割り込み要求が発生します。
6-0	CSIHnFFS[6:0]	FIFO モードで CSIHTIR 割り込み（満杯割り込み）を生成する条件を選択します。 FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0] ビットで確認）（128 - CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、FIFO フル・フラグ（CSIHnSTR0.CSIHnFLF ビット）がセット（1）され、CSIHTIR 割り込み要求が発生します。

**(8) CSIHnMCTL2 - CSIH メモリ制御レジスタ 2**

本レジスタでは、二重バッファ・モードまたは送信専用バッファ・モードのときにメモリの動作を制御し、通信の開始をトリガします。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 1004<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

- 注意**
1. CSIHnSTRO.CSIHnTSF = 1 のとき（転送中）のこのレジスタへの書き込みアクセスは禁止されています。
  2. CSIHnMCTL2 レジスタは次の場合、ライト・アクセスは禁止です。
    - CSIH0CTL0.CSIH0PWR=0
    - CSIH0CTL0.CSIH0TXE=CSIH0CTL0.CSIH0RXE=0
    - ダイレクト・アクセス・モード、FIFO モード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHnBTST	0	0	0	0	0	0	0	CSIHnND[7:0]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnSOP[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-27 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnBTST	バッファ転送の開始トリガを供給します。 0：何も操作を行いません。 1：転送開始コマンドを発行します。 読み出し値は常に0になります。 注意 このビットは二重バッファ・モードおよび送信専用バッファ・モードでのみ使用できます。

表 29-27 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
23-16	CSIHnND[7:0]	各メモリ・モードにおけるデータの数を指定します。 リード値は残りの通信データ数を表します。				
		CSIHnND[7:0]	二重バッファ・モード	送信専用バッファ・モード	FIFO モード	ダイレクト・アクセス・モード
		00 <sub>H</sub>	0個のデータを送信	0個のデータを送信	影響なし	影響なし
		01 <sub>H</sub>	1個のデータを送信	1個のデータを送信	影響なし	影響なし
		...	...	...	影響なし	影響なし
		3F <sub>H</sub>	63個のデータを送信	63個のデータを送信	影響なし	影響なし
		40 <sub>H</sub>	64個のデータを送信	64個のデータを送信	影響なし	影響なし
		...	禁止	...	影響なし	影響なし
		7F <sub>H</sub>	禁止	127個のデータを送信	影響なし	影響なし
		80 <sub>H</sub>	禁止	128個のデータを送信	影響なし	影響なし
		上記以外	設定禁止			
		データ転送後、値は自動的にデクリメントされます (ダイレクト・アクセス・モードではデクリメントされません)。				
6-0	CSIHnSOP[6:0]	送信データのポインタを選択します。				
		CSIHnSOP[6:0]	二重バッファ・モード	送信専用バッファ・モード	FIFO モード	ダイレクト・アクセス・モード
		00 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	影響なし
		01 <sub>H</sub>	0004 <sub>H</sub>	0004 <sub>H</sub>	0004 <sub>H</sub>	影響なし
		...	...	...	...	影響なし
		3F <sub>H</sub>	00FC <sub>H</sub>	00FC <sub>H</sub>	00FC <sub>H</sub>	影響なし
		40 <sub>H</sub>	禁止	0100 <sub>H</sub>	0100 <sub>H</sub>	影響なし
		...	禁止	...	...	影響なし
		7F <sub>H</sub>	禁止	01FC <sub>H</sub>	01FC <sub>H</sub>	影響なし
		CSIH0CTL0.PWR=0, または CSIH0STR0.CSIH0PCT をセット (1) して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。				
		FIFO モードでは、これらのビットは送信アドレスを示します。				
		注意 ダイレクト・アクセス・モードではこれらのビットはデインクリメントされません。				

**(9) CSIHnMRWP0 - CSIH メモリ読み出し/書き込みポインタ・レジスタ 0**

本レジスタでは二重バッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 1018<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	CSIHnRRA[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	CSIHnTRWA[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**注意** 通信中の書き込みが可能です。  
 ダイレクト・アクセス・モード、FIFO モードでのこのレジスタへの書き込みアクセスは禁止されています。

表 29-28 CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																								
22-16	CSIHnRRA[6:0]	Rx バッファの読み出しポインタを選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>CSIHnRRA[6:0]</th> <th>二重バッファ・モード</th> <th>送信専用バッファ・モード</th> <th>FIFO モード</th> <th>ダイレクト・アクセス・モード</th> </tr> </thead> <tbody> <tr> <td>00<sub>H</sub></td> <td>0000<sub>H</sub></td> <td>影響なし</td> <td>0000<sub>H</sub></td> <td>影響なし</td> </tr> <tr> <td>01<sub>H</sub></td> <td>0004<sub>H</sub></td> <td>影響なし</td> <td>0004<sub>H</sub></td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F<sub>H</sub></td> <td>00FC<sub>H</sub></td> <td>影響なし</td> <td>00FC<sub>H</sub></td> <td>影響なし</td> </tr> <tr> <td>40<sub>H</sub></td> <td>禁止</td> <td>影響なし</td> <td>0100<sub>H</sub></td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F<sub>H</sub></td> <td>禁止</td> <td>影響なし</td> <td>01FC<sub>H</sub></td> <td>影響なし</td> </tr> </tbody> </table> <p>受信データが読み出されると、これらのビットは自動的にインクリメントされません。                      Rx レジスタの読み出し中にオーバーラン・エラーが発生した場合、読み出しポインタはインクリメントされません。                      CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。                      ダイレクト・アクセス・モード、送信専用バッファ・モードではこれらのビットはインクリメントされません。                      送信専用モードでライト・アクセスしたい場合、これらのビットには 0000<sub>H</sub> を設定してください。                      FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</p>	CSIHnRRA[6:0]	二重バッファ・モード	送信専用バッファ・モード	FIFO モード	ダイレクト・アクセス・モード	00 <sub>H</sub>	0000 <sub>H</sub>	影響なし	0000 <sub>H</sub>	影響なし	01 <sub>H</sub>	0004 <sub>H</sub>	影響なし	0004 <sub>H</sub>	影響なし	...	...	影響なし	...	影響なし	3F <sub>H</sub>	00FC <sub>H</sub>	影響なし	00FC <sub>H</sub>	影響なし	40 <sub>H</sub>	禁止	影響なし	0100 <sub>H</sub>	影響なし	...	禁止	影響なし	...	影響なし	7F <sub>H</sub>	禁止	影響なし	01FC <sub>H</sub>	影響なし
CSIHnRRA[6:0]	二重バッファ・モード	送信専用バッファ・モード	FIFO モード	ダイレクト・アクセス・モード																																						
00 <sub>H</sub>	0000 <sub>H</sub>	影響なし	0000 <sub>H</sub>	影響なし																																						
01 <sub>H</sub>	0004 <sub>H</sub>	影響なし	0004 <sub>H</sub>	影響なし																																						
...	...	影響なし	...	影響なし																																						
3F <sub>H</sub>	00FC <sub>H</sub>	影響なし	00FC <sub>H</sub>	影響なし																																						
40 <sub>H</sub>	禁止	影響なし	0100 <sub>H</sub>	影響なし																																						
...	禁止	影響なし	...	影響なし																																						
7F <sub>H</sub>	禁止	影響なし	01FC <sub>H</sub>	影響なし																																						

表 29-28 CSIHnMRWP0 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
6-0	CSIHn TRWA[6:0]	Tx バッファの読み出し／書き込みポインタを選択します。				
		CSIHn TRWA[6:0]	二重バッ ファ・モード	送信専用バッ ファ・モード	FIFO モード	ダイレクト・ アクセス・ モード
		00 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	0000 <sub>H</sub>	影響なし
		01 <sub>H</sub>	0004 <sub>H</sub>	0004 <sub>H</sub>	0004 <sub>H</sub>	影響なし
		...	...	...	...	影響なし
		3F <sub>H</sub>	00FC <sub>H</sub>	00FC <sub>H</sub>	00FC <sub>H</sub>	影響なし
		40 <sub>H</sub>	禁止	0100 <sub>H</sub>	0100 <sub>H</sub>	影響なし
		...	禁止	...	...	影響なし
		7F <sub>H</sub>	禁止	01FC <sub>H</sub>	01FC <sub>H</sub>	影響なし
		<p>送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。</p> <p>CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。</p> <p>ダイレクト・アクセス・モードではこれらのビットはインクリメントされません。</p> <p>FIFO モードでは、これらのビットは送信データの読み出し／書き込みアドレスを示します。</p>				



**(10) CSIHnCFGx - CSIH コンフィギュレーション・レジスタ x**

これら 8 個のレジスタでは、各チップ・セレクト信号 CSIHnCSSx のプリスケアラ、パリティ、データ長、ブロードキャスト用のリセツプの設定、シリアル・データ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

**スレーブ・モード** スレーブ・モードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPS0 : パリティの使用法
- CSIHnDLS0 : データ長の選択
- CSIHnDIR0 : データ方向
- CSIHnDAP0 : クロック位相とデータ位相

スレーブ・モードでは CSIHnCFGx レジスタその他すべてのビットを 0 に設定してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** CSIHnCFG0 : <CSIHn\_base> + 1044<sub>H</sub>

CSIHnCFG1 : <CSIHn\_base> + 1048<sub>H</sub>

CSIHnCFG2 : <CSIHn\_base> + 104C<sub>H</sub>

CSIHnCFG3 : <CSIHn\_base> + 1050<sub>H</sub>

CSIHnCFG4 : <CSIHn\_base> + 1054<sub>H</sub>

CSIHnCFG5 : <CSIHn\_base> + 1058<sub>H</sub>

CSIHnCFG6 : <CSIHn\_base> + 105C<sub>H</sub>

CSIHnCFG7 : <CSIHn\_base> + 1060<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHn PSCLx[1:0]		CSIHn PSx[1:0]		CSIHnDLSx[3:0]				0	0	0	0	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]				CSIHnINx[3:0]				CSIHnSPx[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**注意** CSIHnCTL0.CSIHnPWR = 0 のときのみ書き換えが可能です (同値書き込みなら CSIHnCTL0.CSIHnPWR = 1 でも可能です)。

表 29-29 CSIHnCFGx レジスタの内容 (1/4)

ビット位置	ビット名	機能																				
31-30	CSIHn PSCLx[1:0]	<p>チップ・セレクト信号 x のプリスケアラを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSCLx1</th> <th>CSIHn PSCLx0</th> <th>プリスケアラの出力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHBPCLK</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHBPCLK / 2</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHBPCLK / 4</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHBPCLK / 8</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。 CSIHBPCLK については 29.3.5 「送信クロックの選択」を参照してください。</p>	CSIHn PSCLx1	CSIHn PSCLx0	プリスケアラの出力	0	0	CSIHBPCLK	0	1	CSIHBPCLK / 2	1	0	CSIHBPCLK / 4	1	1	CSIHBPCLK / 8					
CSIHn PSCLx1	CSIHn PSCLx0	プリスケアラの出力																				
0	0	CSIHBPCLK																				
0	1	CSIHBPCLK / 2																				
1	0	CSIHBPCLK / 4																				
1	1	CSIHBPCLK / 8																				
29-28	CSIHn PSx[1:0]	<p>チップ・セレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0 に固定されたパリティ・ビットを追加します。</td> <td>パリティ・ビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティ・ビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティ・ビットの受信を待機します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0 に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0 に固定されたパリティ・ビットを追加します。	パリティ・ビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティ・ビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティ・ビットの受信を待機します。																			
27-24	CSIHn DLSx[3:0]	<p>チップ・セレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn DLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td>16 ビット</td> </tr> <tr> <td>0001<sub>B</sub></td> <td>1 ビット</td> </tr> <tr> <td>0010<sub>B</sub></td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111<sub>B</sub></td> <td>15 ビット</td> </tr> </tbody> </table> <p><b>備考</b> データ長を 1～6 ビットにするには、EDL 機能を使用する必要があります ((2) 「16 ビットを上回るデータ長」も参照してください)。データ長が 7 ビット未満のデータ・パケットを 2 つ続けて送信することは禁止されています。これらのビットの設定は CHBA0TX0W.CHBA0EDL = 0 のときに設定可能となります。</p>	CSIHn DLSx[3:0]	データ長	0000 <sub>B</sub>	16 ビット	0001 <sub>B</sub>	1 ビット	0010 <sub>B</sub>	2 ビット	...	...	1111 <sub>B</sub>	15 ビット								
CSIHn DLSx[3:0]	データ長																					
0000 <sub>B</sub>	16 ビット																					
0001 <sub>B</sub>	1 ビット																					
0010 <sub>B</sub>	2 ビット																					
...	...																					
1111 <sub>B</sub>	15 ビット																					
19	CSIHn RCBx	<p>チップ・セレクト信号 x のブロードカスティングのリセッパ設定を選択します。</p> <p>0 : ドミナント (高優先度) 1 : リセッパ (低優先度)</p> <p>詳細については、(1) 「コンフィギュレーション・レジスタ」を参照してください。</p>																				
18	CSIHn DIRx	<p>チップ・セレクト信号 x のシリアル・データ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p> <p>詳細については、29.3.9 「シリアル・データ方向の選択」を参照してください。</p>																				

表 29-29 CSIHnCFGx レジスタの内容 (2/4)

ビット位置	ビット名	機能	
17-16	CSIHn CKPx	CKP : クロック位相選択ビット DKP : データ位相選択ビット	
	CSIHn DAPx	CSIHnCTL1.CSIHnCKR = 0	
	<b>CSIHn CKPx</b>	<b>CSIHn DAPx</b>	<b>クロック位相とデータ位相の選択</b>
	0	0	
	0	1	
	1	0	
	1	1	
			CSIHnCTL1.CSIHnCKR = 1
	<b>CSIHn CKPx</b>	<b>CSIHn DAPx</b>	<b>クロック位相とデータ位相の選択</b>
	0	0	
0	1		

表 29-29 CSIHnCFGx レジスタの内容 (3/4)

ビット位置	ビット名	機能												
15	CSIHnIDLx	<p>チップ・セレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0 : チップ・セレクト値が変化しなかった場合、またはバッファが空になった場合に、チップ・セレクト信号がアクティブな状態にとどまります。別のチップ・セレクト値が定義されると、チップ・セレクト信号 x はアイドル状態になります。</p> <p>1 : チップ・セレクト信号 x に対応するスレーブヘータが 1 回転送されるたびにアイドル状態が挿入されます。</p> <p>このビットはマスタ・モードでのみ利用できます。 CSIHnCTL1.CSIHnJE=1 かつ CSIHnTX0W.CSIHnEOJ=1 のとき、たとえ CSIHnCFG0-7.CSIHnIDLn=0 に設定しても、アイドル・ステートは確実に挿入されます。 アイドル状態については、「チップ・セレクトのタイミング」を参照してください</p>												
14-12	CSIHnIDx[2:0]	<p>チップ・セレクト信号 x のアイドル時間を選択します。</p> <table border="1" data-bbox="496 763 1386 1050"> <thead> <tr> <th>CSIHnIDx[3:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr> <td>000<sub>B</sub></td> <td>0.5 送信クロック周期</td> </tr> <tr> <td>001<sub>B</sub></td> <td>1.0 送信クロック周期</td> </tr> <tr> <td>010<sub>B</sub></td> <td>1.5 送信クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5)</td> </tr> <tr> <td>111<sub>B</sub></td> <td>8.5 送信クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHnIDx[3:0]	アイドル時間	000 <sub>B</sub>	0.5 送信クロック周期	001 <sub>B</sub>	1.0 送信クロック周期	010 <sub>B</sub>	1.5 送信クロック周期	...	... (2.5, 3.5, 4.5, 6.5)	111 <sub>B</sub>	8.5 送信クロック周期
CSIHnIDx[3:0]	アイドル時間													
000 <sub>B</sub>	0.5 送信クロック周期													
001 <sub>B</sub>	1.0 送信クロック周期													
010 <sub>B</sub>	1.5 送信クロック周期													
...	... (2.5, 3.5, 4.5, 6.5)													
111 <sub>B</sub>	8.5 送信クロック周期													

表 29-29 CSIHnCFGx レジスタの内容 (4/4)

ビット位置	ビット名	機能																					
11-8	CSIHn HDx[3:0]	<p>チップ・セレクト信号 x のホールド時間を送信クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn HDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td>0.5 送信クロック周期</td> <td>1.0 送信クロック周期</td> </tr> <tr> <td>0001<sub>B</sub></td> <td>1 送信クロック周期</td> <td>1.5 送信クロック周期</td> </tr> <tr> <td>0010<sub>B</sub></td> <td>1.5 送信クロック周期</td> <td>2.0 送信クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> <td>... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)</td> </tr> <tr> <td>1111<sub>B</sub></td> <td>20.5 送信クロック周期</td> <td>21.0 送信クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	0000 <sub>B</sub>	0.5 送信クロック周期	1.0 送信クロック周期	0001 <sub>B</sub>	1 送信クロック周期	1.5 送信クロック周期	0010 <sub>B</sub>	1.5 送信クロック周期	2.0 送信クロック周期	...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)	1111 <sub>B</sub>	20.5 送信クロック周期	21.0 送信クロック周期			
CSIHn HDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間																					
0000 <sub>B</sub>	0.5 送信クロック周期	1.0 送信クロック周期																					
0001 <sub>B</sub>	1 送信クロック周期	1.5 送信クロック周期																					
0010 <sub>B</sub>	1.5 送信クロック周期	2.0 送信クロック周期																					
...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)																					
1111 <sub>B</sub>	20.5 送信クロック周期	21.0 送信クロック周期																					
7-4	CSIHn INx[3:0]	<p>チップ・セレクト信号 x のデータ間遅延時間を送信クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn INx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間遅延</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間遅延</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td>0.0 送信クロック周期</td> <td>0.5 送信クロック周期</td> </tr> <tr> <td>0001<sub>B</sub></td> <td>0.5 送信クロック周期</td> <td>1.0 送信クロック周期</td> </tr> <tr> <td>0010<sub>B</sub></td> <td>1.0 送信クロック周期</td> <td>1.5 送信クロック周期</td> </tr> <tr> <td>0011<sub>B</sub></td> <td>2.0 送信クロック周期</td> <td>2.5 送信クロック周期</td> </tr> <tr> <td>...</td> <td>... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)</td> <td>... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> </tr> <tr> <td>1111<sub>B</sub></td> <td>20.0 送信クロック周期</td> <td>20.5</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn INx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間遅延	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間遅延	0000 <sub>B</sub>	0.0 送信クロック周期	0.5 送信クロック周期	0001 <sub>B</sub>	0.5 送信クロック周期	1.0 送信クロック周期	0010 <sub>B</sub>	1.0 送信クロック周期	1.5 送信クロック周期	0011 <sub>B</sub>	2.0 送信クロック周期	2.5 送信クロック周期	...	... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)	... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	1111 <sub>B</sub>	20.0 送信クロック周期	20.5
CSIHn INx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間遅延	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間遅延																					
0000 <sub>B</sub>	0.0 送信クロック周期	0.5 送信クロック周期																					
0001 <sub>B</sub>	0.5 送信クロック周期	1.0 送信クロック周期																					
0010 <sub>B</sub>	1.0 送信クロック周期	1.5 送信クロック周期																					
0011 <sub>B</sub>	2.0 送信クロック周期	2.5 送信クロック周期																					
...	... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)	... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)																					
1111 <sub>B</sub>	20.0 送信クロック周期	20.5																					
3-0	CSIHn SPx[3:0]	<p>チップ・セレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。</p> <table border="1"> <thead> <tr> <th>CSIHn SPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr> <td>0000<sub>B</sub></td> <td>0.5 送信クロック周期</td> </tr> <tr> <td>0001<sub>B</sub></td> <td>1.0 送信クロック周期</td> </tr> <tr> <td>0010<sub>B</sub></td> <td>1.5 送信クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> </tr> <tr> <td>1111<sub>B</sub></td> <td>20.5 送信クロック周期</td> </tr> </tbody> </table> <p>これらのビットはマスタ・モードでのみ利用可能です。</p>	CSIHn SPx[3:0]	セットアップ時間	0000 <sub>B</sub>	0.5 送信クロック周期	0001 <sub>B</sub>	1.0 送信クロック周期	0010 <sub>B</sub>	1.5 送信クロック周期	...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	1111 <sub>B</sub>	20.5 送信クロック周期									
CSIHn SPx[3:0]	セットアップ時間																						
0000 <sub>B</sub>	0.5 送信クロック周期																						
0001 <sub>B</sub>	1.0 送信クロック周期																						
0010 <sub>B</sub>	1.5 送信クロック周期																						
...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)																						
1111 <sub>B</sub>	20.5 送信クロック周期																						

## (11) CSIHnTX0W - CSIH ワード・アクセス用送信データ・レジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンド・オブ・ジョブ、拡張データ長、チップ・セレクトアクティブ化を指定します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 1008<sub>H</sub>

**初期値** 不定

- 注意**
1. FIFO モードで通信中にこのレジスタへのリード・アクセスは禁止です。
  2. FIFO モードで CSIH0CTL0.CSIH0PWR = 0 のとき、このレジスタへのリード/ライト・アクセスは禁止です。
  3. ダイレクト・アクセス・モードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0.CSIH0RXE = 0 のとき、このレジスタへのライト・アクセスは禁止です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSIHn CIRE	CSIHn EOJ	CSIHn EDL	0	0	0	0	0	CSIHnCS[7:0]							
R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-30 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	<p>二重バッファ・モードまたは送信専用バッファ・モードのときの通信割り込み要求 CSIHnTIC または FIFO モードのときのジョブ完了割り込み CSIHnTJC を許可します。</p> <p>0: 割り込みを要求しません。</p> <p>1: 割り込みを要求します。送信後、割り込み CSIHnTIC または CSIHnTJC を生成します。詳細については、(3)「CSIHnTIC (通信割り込み)」と(6)「CSIHnTJC (ジョブ完了割り込み)」を参照してください。</p> <p><b>注意</b> このビットはジョブ・モードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。</p>
30	CSIHnEOJ	<p>ジョブの終了を指定します。</p> <p>0: エンド・オブ・ジョブ・データではないことを示します。ジョブを続行します。</p> <p>1: エンド・オブ・ジョブ・データであることを示します。</p> <p><b>注意</b> このビットはジョブ・モードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。スレーブ・モードで使用するときこのビットは必ず 0 に設定してください。</p>

表 29-30 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
29	CSIHnEDL	<p>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。</p> <p>0: 通常の動作。 1: 拡張データ長を有効にします。</p> <p>関連付けられたデータは 16 ビットのパケットとして送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。</p> <p>CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS が選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。</p> <p><b>注意</b> このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。このビットは CSIHnCTL1.CSIHnEDLE がクリアされるとクリアされます。</p>
23-16	CSIHnCSx	<p>1 つ以上のチップ・セレクト信号をアクティブにします。</p> <p>0: 関連付けられた送信に対してチップ・セレクト信号 x をアクティブにします。 1: 関連付けられた送信に対してチップ・セレクト信号 x を非アクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[7:0] = FF<sub>H</sub> は設定禁止です。</p> <p><b>注意</b> 複数のチップ・セレクト信号がブロードキャストイングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップ・セレクト信号をまったく同じ値に設定にする必要があります。</p> <p>スレーブ・モードで使用する場合には CSIHnCSx ビット = FE<sub>H</sub> に設定してください。</p>
15-0	CSIHnTX[15:0]	送信データを保存します。

**(12) CSIHnTX0H - CSIH ハーフ・ワード・アクセス用送信データ・レジスタ 0**

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15-0 と同じです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <CSIHn\_base> + 100C<sub>H</sub>

**初期値** 不定

- 
- 注意**
1. FIFO モードで通信中にこのレジスタへのリード・アクセスは禁止です。
  2. FIFO モードで CSIH0CTL0.CSIH0PWR = 0 のとき、このレジスタへのリード/ライト・アクセスは禁止です。
  3. ダイレクト・アクセス・モードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0.CSIH0RXE = 0 のとき、このレジスタへのライト・アクセスは禁止です。
- 

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnTX[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29-31 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15-0	CSIHnTX[15:0]	送信データを保存します。



**(13) CSIHnRX0W - CSIH ワード・アクセス用受信データ・レジスタ 0**

本レジスタは受信データを保存します。

**アクセス** 32 ビット単位でリード可能です。

**Address** <CSIHn\_base> + 1010<sub>H</sub>

**初期値** 不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	CSIHnRPE	CSIHnTDCE	CSIHnCS[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSIHnRX[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 注意**
1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、ダイレクト・アクセス・モードと送信専用バッファ・モードで読み出すことができます。本レジスタはCSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
  2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のときこのレジスタをリード／ライト・アクセスするのは禁止です。

表 29-32 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
25	CSIHnRPE	受信データ・パリティ・エラーが検出されたかどうかを示します。 0：関連付けられた受信データでパリティ・エラーが検出されていません。 1：関連付けられた受信データでパリティ・エラーが検出されています。
24	CSIHnTDCE	送信データ整合性エラーが検出されたかどうかを示します。 0：関連付けられた送信で整合性エラーが検出されていません。 1：関連付けられた送信で整合性エラーが検出されています。
23-16	CSIHnCSx	どのチップ・セレクト信号がアクティブになっているかを示します。 0：関連付けられた送信に対してチップ・セレクト信号 x がアクティブになっています。 1：関連付けられた送信に対してチップ・セレクト信号 x が非アクティブになっています。
15-0	CSIHnRX[15:0]	受信データを保存します。

**(14) CSIHnRX0H - CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0**

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15 ~ 0 と同じです。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** <CSIHn\_base> + 1014<sub>H</sub>

**初期値** 不定

- 注意**
1. 本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、ダイレクト・アクセス・モードと送信専用バッファ・モードで読み出すことができます。本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
  2. FIFO モードで CSIHnCTL0.CSIHnPWR = 0 のときこのレジスタをリード／ライト・アクセスするのは禁止です。

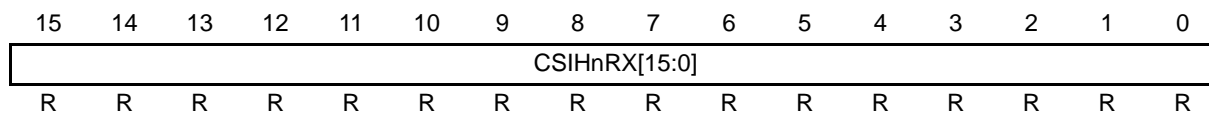


表 29-33 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15-0	CSIHnRX[15:0]	受信データを保存します。

**(15) CSIHnEMU - CSIHn エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <CSIHn\_base> + 0018<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
CSIHn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 29-34 CSIHnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIHn SVSDIS	(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 29.5 操作手順

ここに示す例および手順は、以下のメモリ・モード順に記載されています。

- ダイレクト・アクセス・モード
- 送信専用バッファ・モード
- 二重バッファ・モード
- FIFO モード

### 29.5.1 ダイレクト・アクセス・モードでの手順

マスタのジョブ・モードが無効になっている例とジョブ・モードが有効になっている例を示します。

## (1) マスタ・モードでジョブ・モードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- データ・パケットの数：10 (CSIHnMCTL2.CSIHnND[7:0] = 0A<sub>H</sub>)
- 通常の CSIHTIC 割り込みタイミング (CSIHTIC1.CSIHnSLIT = 0)
- ダイレクト・アクセス・モード (CSIHTIC0.CSIHnMBS = 1)

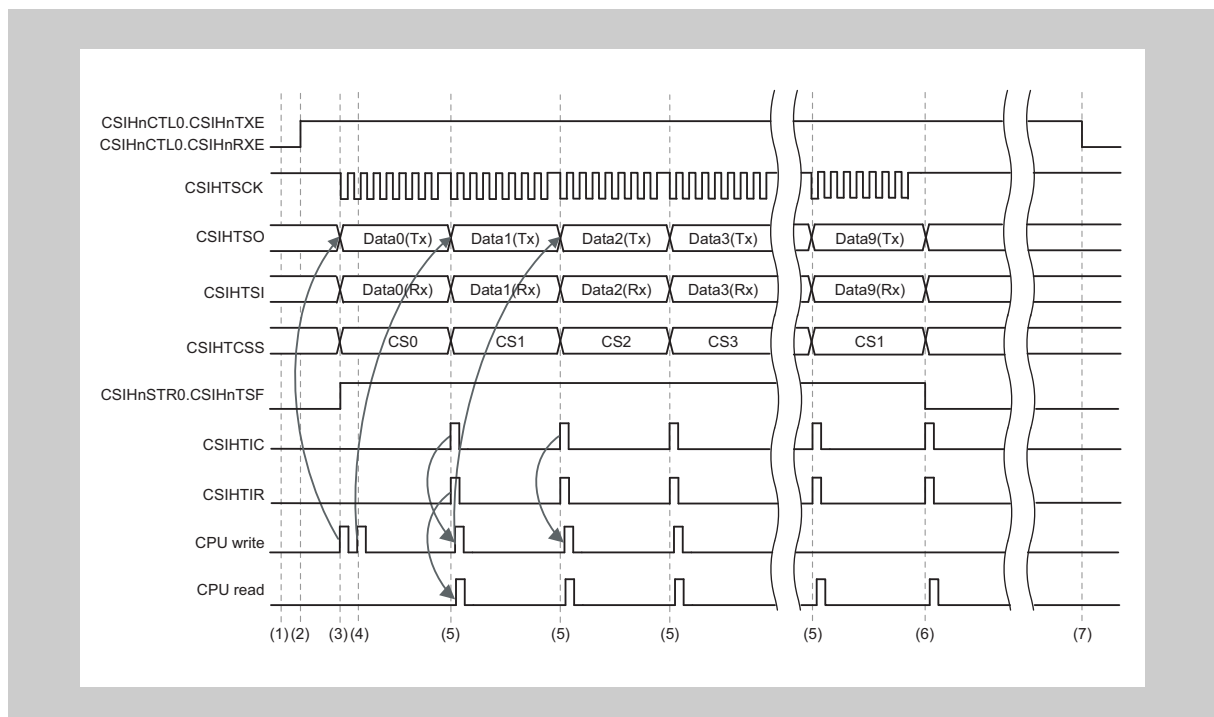


図 29-44 ダイレクト・アクセス・モードのマスタ、CSIHnCTL1.CSIHnJE = 0

- 手順：**
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブ・モードを指定します。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、ビット CSIHnTXE = 1 (送信許可)、ビット CSIHnRXE = 1 (受信許可) に設定します。  
出力信号 CSIHTSO が有効になります。
  3. 最初の送信データ・パケットを送信レジスタ CSIHTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。

4. 2番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初の packets を書き込んだ直後に2番目の packets を書き込むことで、packets 間の不要な遅延を回避できます。
5. packets が送信されるたびに割り込み CSIHTIC と CSIHTIR が生成されます。
  - CSIHTIC は、次の packets を CSIHnTX0W に書き込めることを示します。
  - CSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
6. packets 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。packets 9 (最後の packets) は、その前に書き込まれています。

ただし、packets 8 と packets 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0 を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## (2) マスタ・モードでジョブ・モードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- 通常の CSIHTIC 割り込みタイミング (CSHICTL1.CSIHnSLIT = 0)
- ダイレクト・アクセス・モード (CSHICTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータ・パケットを送信する 2 つのジョブ

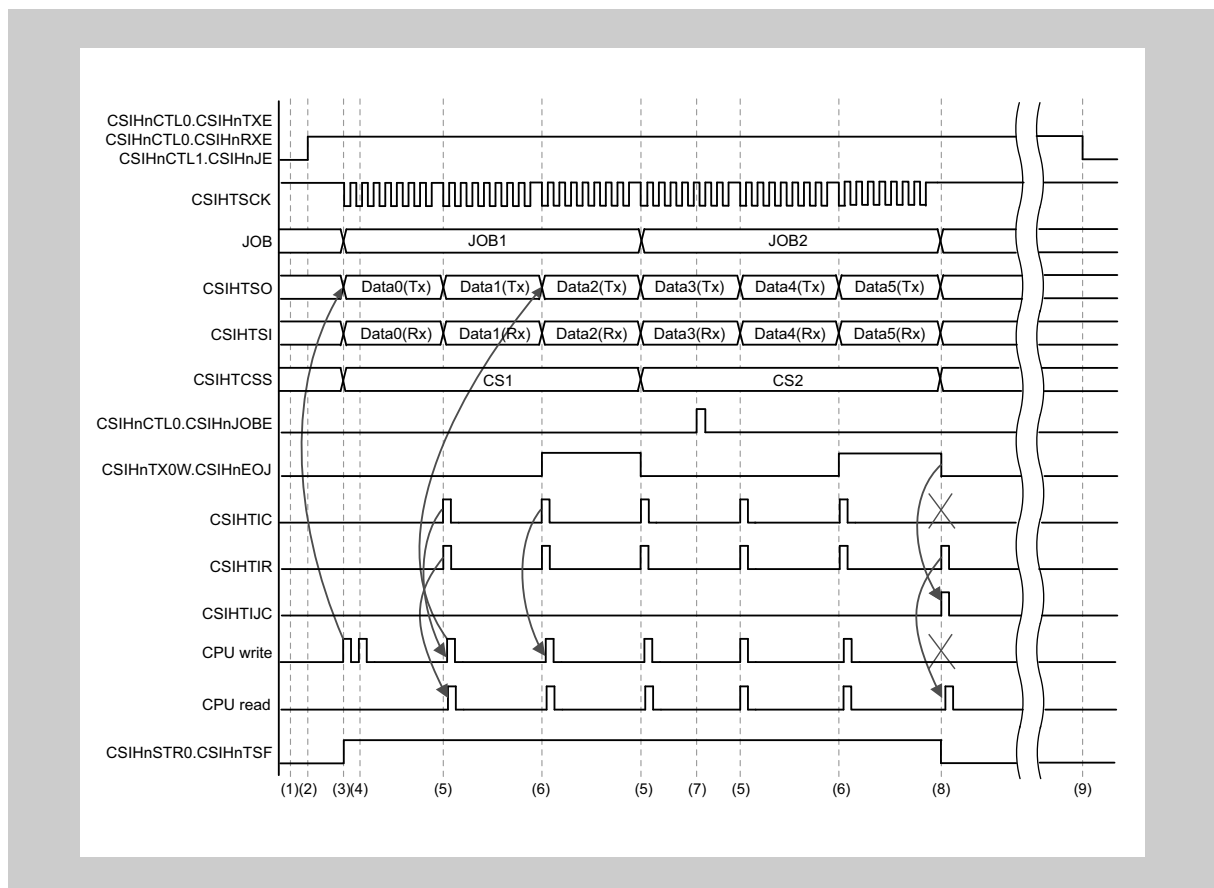


図 29-45 ダイレクト・アクセス・モードのマスタ、CSIHnCTL1.CSIHnJE = 1

**備考** 上のタイミング図の「int\_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS1 ~ CS3 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブ・モードを指定します。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクト・アクセス・モード選択) を設定します。  
出力信号 CSIHTSO が有効になります。
  3. 最初の送信データ・パケットを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。  
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
  4. 2番目のデータを CSIHnTX0H に書き込みます。最初のデータ・パケットを書き込んだ直後に2番目のデータ・パケットを書き込むことで、パケット間の不要な遅延を回避できます。
  5. パケットが送信されるたびに割り込み要求 CSIHTIC と CSIHTIR が生成されます。
    - CSIHTIC は、次のパケットを CSIHnTX0 に書き込めることを示します。
    - CSIHTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
  6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータ・パケットが送信されることを示します。そのあと、次のジョブを開始できます。
  7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
  8. 通信の強制停止後、割り込み要求 CSIHTIC が CSIHTIJC に置き換えられます。CSIHTIR は通常どおりに生成されます。  
割り込み要求 CSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。  
割り込み要求 CSIHTIC は生成されません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
  9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。  
通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。



### 29.5.2 送信専用バッファ・モードでの手順

マスタのジョブ・モードが無効になっている例とジョブ・モードが有効になっている例を示します。

#### (1) マスタ・モードでジョブ・モードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- データ・パケットの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09<sub>H</sub>)
- 転送開始アドレス：10<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 10<sub>H</sub>)

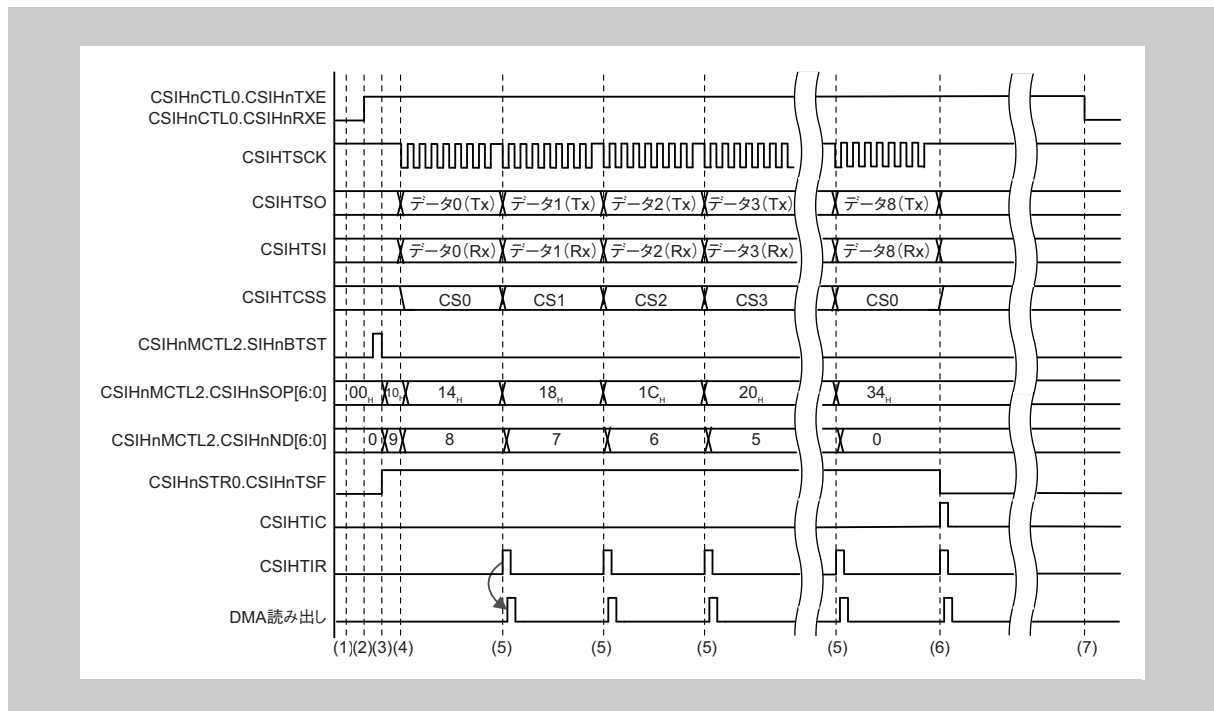


図 29-46 送信専用バッファ・モードのマスタ, CSIHnCTL1.CSIHnJE = 0

備考 ここでは、バッファにデータを書き込む手順は説明しません。

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
  2. CSIHnMCTL0.CSIHnMMS[1:0] でメモリ・モードを設定します。  
CSIHnMCTL0.CSIHnMMS[1:0] = 10<sub>B</sub> に設定します。
  3. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効), CSIHnTXE = 1 (送信許可), CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  4. ビット CSIHnMCTL2.SCIHnSOP[6:0] とビット CSIHnMCTL2.CSIHnND[7:0] を設定することによって送信ポイントとデータ・パケットの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。  
ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パケットが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。  
送受信が開始されます。
  5. データ・パケットが1つ送信されるたびに割り込み要求 CSIHnTIR が生成されます。CSIHnTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
  6. すべての送信が完了すると、割り込み要求 CSIHnTIC が生成されます。
  7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## (2) マスタ・モードでジョブ・モードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- データ・パケットの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08<sub>H</sub>)
- 転送開始アドレス：10<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 10<sub>H</sub>)

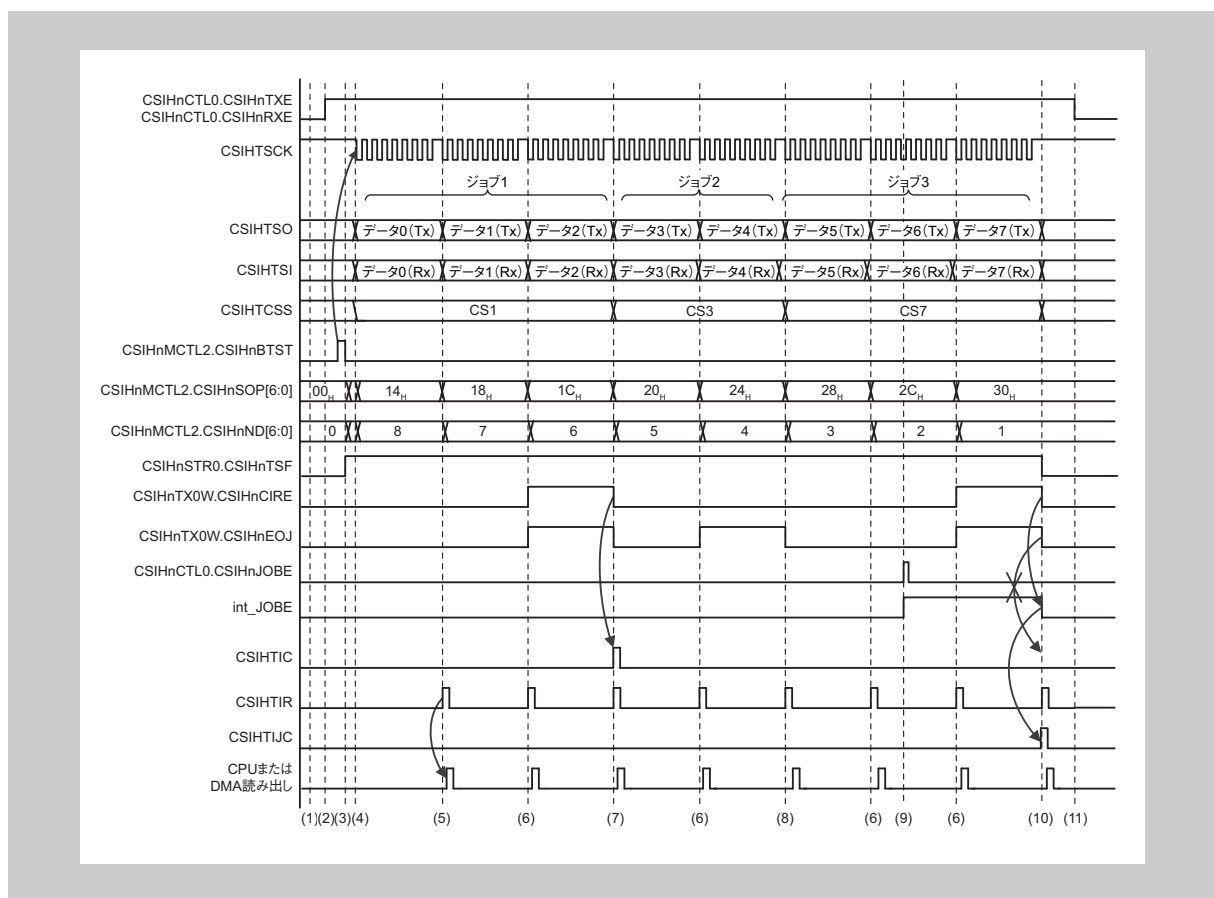


図 29-47 送信専用バッファ・モードのマスタ、CSIHnCTL1.CSIHnJE = 1

**備考** 上のタイミング図の「int\_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS1, CS3, CS7 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブ・モードを指定します。
  2. CSIHnMCTL0.CSIHnMMS[1:0] でメモリ・モードを設定します。  
CSIHnMCTL0.CSIHnMMS[1:0] = 10<sub>B</sub> に設定します。
  3. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効), CSIHnTXE = 1 (送信許可), CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  4. ビット CSIHnMCTL2.SCIHnSOP[6:0] とビット CSIHnMCTL2.CSIHnND[7:0] を設定することによって送信ポイントとデータ・パケットの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。  
  
送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パケットが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。
  5. データ・パケットが1つ送信されるたびに割り込み要求 CSIHnTIR が生成されます。CSIHnTIR は、受信レジスタ CSIHnRX0 を読み出す必要があることを示します。
  6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
  7. 割り込み要求 CSIHnTIC が生成されます。CSIHnTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
  8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は生成されません。
  9. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
  10. 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が生成されます。  
  
割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。  
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が生成されるため、割り込み要求 CSIHnTIC は生成されません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
  11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## 29.5.3 二重バッファ・モードでの手順

マスタとスレーブそれぞれのジョブ・モードが有効になっている例と無効になっている例を示します。

## (1) マスタ・モードでジョブ・モードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- データ・パケットの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09<sub>H</sub>)
- 転送開始アドレス：10<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 10<sub>H</sub>)

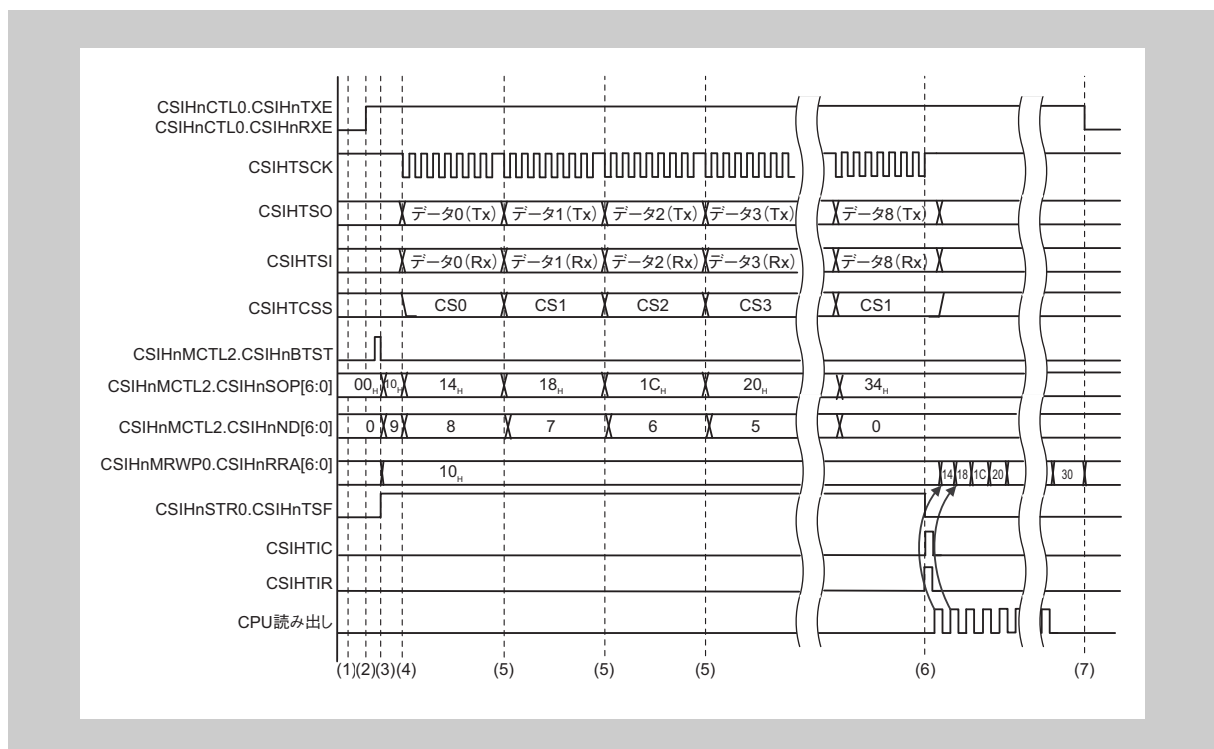


図 29-48 二重バッファ・モードのマスタ, CSIHnCTL1.CSIHnJE = 0

備考 ここでは、バッファにデータを書き込む手順は説明しません。

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。  
ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  3. CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
  4. 送信が開始されます。
  5. ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パッケージが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。  
割り込み要求 CSIHnTIC と CSIHnTIR は生成されません。
  6. 最後のデータ・パッケージが送受信されると、割り込み要求 CSIHnTIC と CSIHnTIR が生成されます。  
  
CPU が Rx バッファからの受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータ・パッケージが1つ読み出されるたびにインクリメントされます。
  7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## (2) マスタ・モードでジョブ・モードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- データ・パケットの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08<sub>H</sub>)
- 転送開始アドレス：00<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 00<sub>H</sub>)

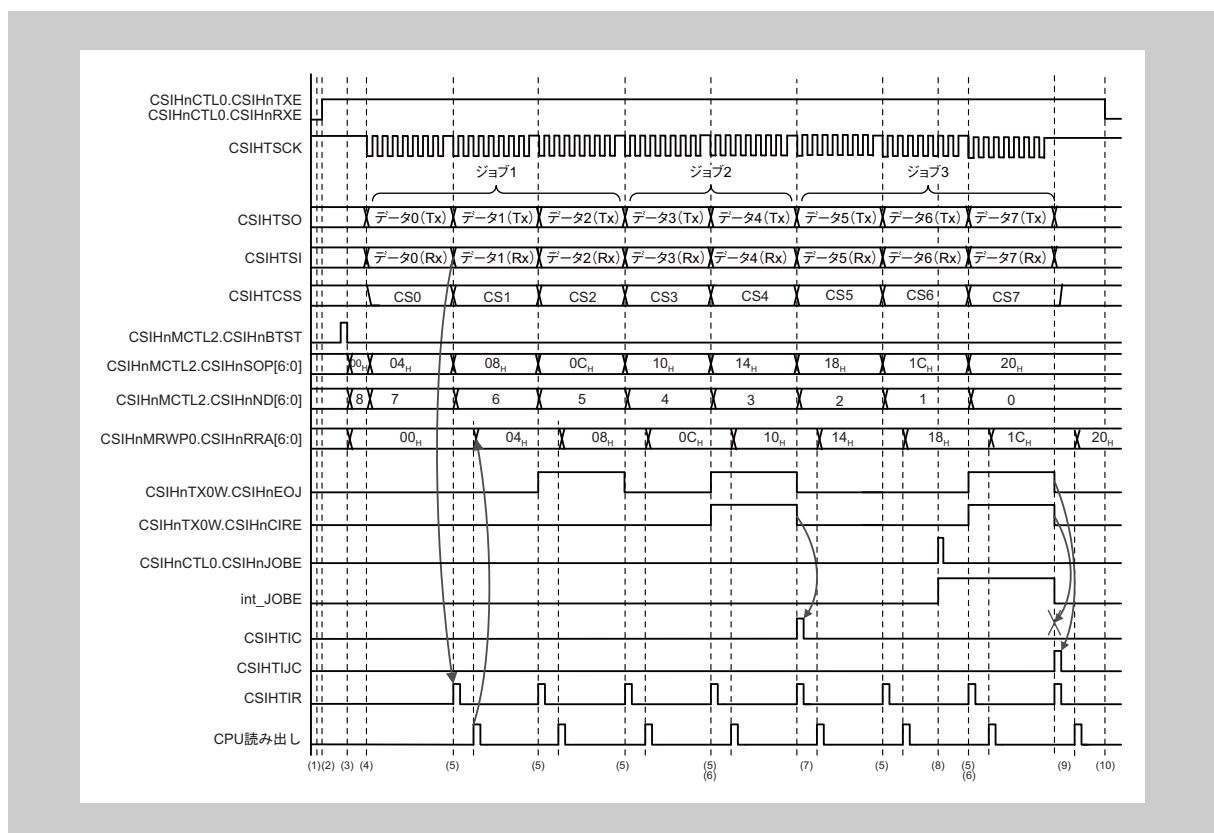


図 29-49 二重バッファ・モードのマスタ, CSIHnCTL1.CSIHnJE = 1

- 備考**
1. ここでは、バッファにデータを書き込む手順は説明しません。
  2. 上のタイミング図の「int\_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。  
ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  3. ビット CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
  4. 送信が開始されます。
  5. ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パッケージが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。  
データ・パッケージが1つ送信されるたびに割り込み要求 CSIHnTIR が生成されます。  
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は生成されません。
  6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
  7. 割り込み要求 CSIHnTIC が生成されます。CSIHnTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
  8. CSIHnCTL0.CSIHnJOB3 = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
  9. 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIJC と CSIHnTIR が生成されます。  
割り込み要求 CSIHnTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。  
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIJC が生成されるため、割り込み要求 CSIHnTIC は生成されません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
  10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。



## (3) スレーブ・モードでジョブ・モードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)
- データ・パケットの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09<sub>H</sub>)
- 転送開始アドレス：10<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 10<sub>H</sub>)

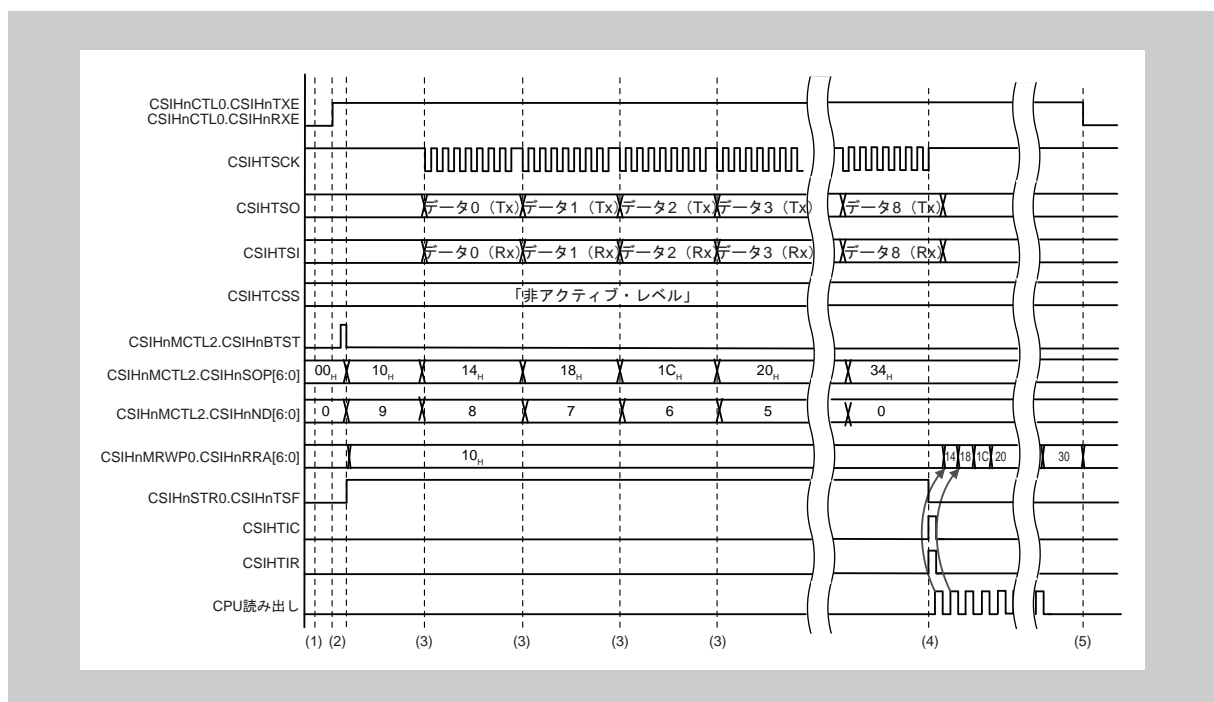


図 29-50 二重バッファ・モードのスレーブ, CSIHnCTL1.CSIHnJE = 0

備考 ここでは、バッファにデータを書き込む手順は説明しません。

- 手順：
1. CSIHnCFG0 レジスタで通信プロトコルを設定します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。  
ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効), CSIHnTXE = 1 (送信許可), CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。  
CSIHnMCTL2.CSIHnSOP[6:0] を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] を設定することによってデータ・パケットの数を指定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。  
マスタから入力クロックを受信すると送信が開始されます。
  3. ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パケットが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。  
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 CSIHTIC と CSIHTIR は生成されません。
  4. 最後のデータ・パケットが送受信されると、割り込み要求 CSIHTIC と CSIHTIR が生成されます。  
CPU が Rx バッファに格納された受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータ・パケットが1つ読み出されるたびにインクリメントされます。
  5. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## (4) スレーブ・モードでジョブ・モードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFG0.CSIHnDLS0[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIR0 = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFG0.CSIHnCKP0 = 0, CSIHnCFG0.CSIHnDAP0 = 0)  
全遅延割り込みなし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- データ・パケットの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08<sub>H</sub>)
- 転送開始アドレス：00<sub>H</sub> (CSIHnMCTL2.CSIHnSOP[6:0] = 00<sub>H</sub>)

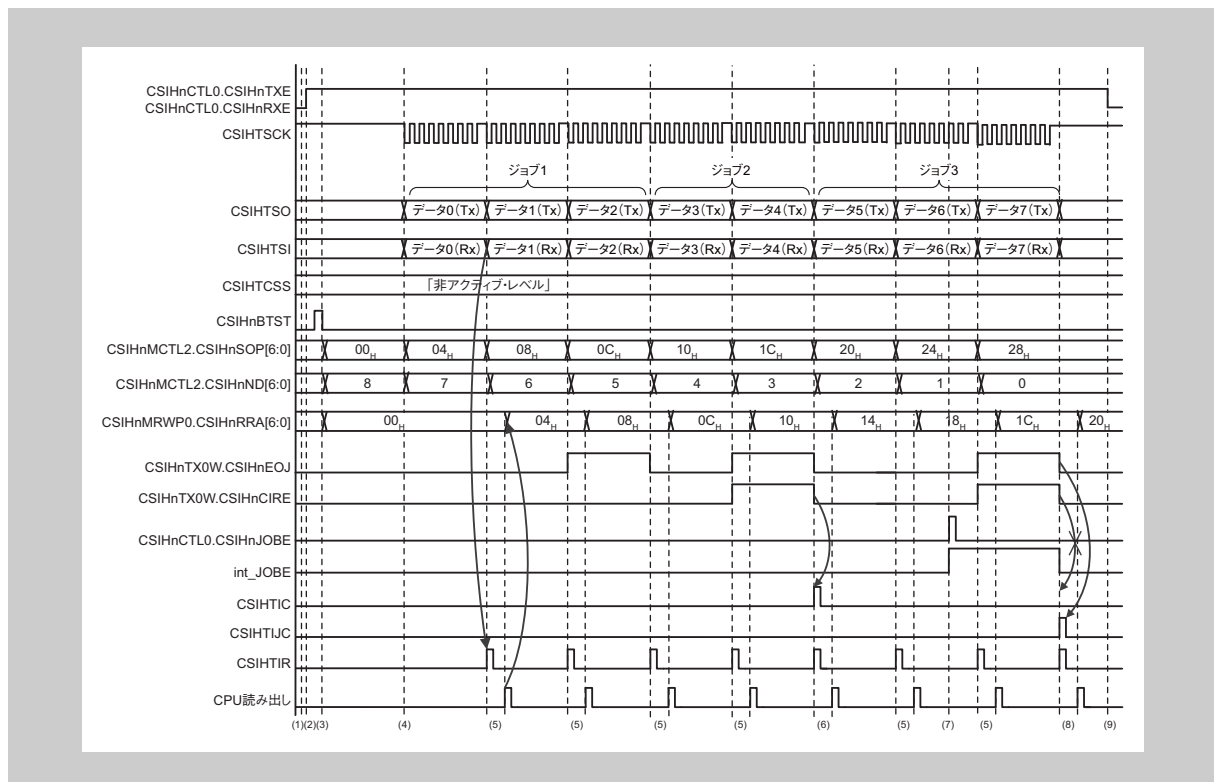


図 29-51 二重バッファ・モードのスレーブ, CSIHnCTL1.CSIHnJE = 1

- 備考**
1. ここでは、バッファにデータを書き込む手順は説明しません。
  2. 上のタイミング図の「int\_JOBE」信号は、ビット CSIHnJOBE の内部信号です。

- 手順：
1. CSIHnCFG0 レジスタで通信プロトコルを設定します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。  
ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
  2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、  
CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  3. CSIHnMCTL2.CSIHnSOP[6:0] を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] を設定することによってデータ・パケットの数を指定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
  4. マスタから入力クロックを受信すると送信が開始されます。
  5. ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データ・パケットが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。  
  
データ・パケットが1つ送信されるたびに割り込み要求 CSIHTIR が生成されます。この信号は CPU に受信データを読み出すタイミングを知らせます。CPU が受信データを読み出すと、CSIHnMRWP0.CSIHnRRA[6:0] が自動的にインクリメントされます。  
  
CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータ・パケットが送信されることを示します。  
  
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 と CSIHnCTL0.CSIHnJOB = 0 の設定で送信されたため、割り込み要求 CSIHTIC は生成されません。
  6. CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnTX0W.CSIHnCIRE = 1 に設定することで、割り込み要求 CSIHTIC の生成を指定します。  
割り込み要求 CSIHTIC が生成されます。
  7. CSIHnCTL0.CSIHnJOB = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
  8. 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHTIJC と CSIHTIR が生成されます。  
  
割り込み要求 CSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。  
割り込み要求 CSIHTIC の代わりに割り込み要求 CSIHTIJC が生成されるため、割り込み要求 CSIHTIC は生成されません。また、CSIHnTX0 レジスタ内の利用可能な送信データは送信されません。
  9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## 29.5.4 FIFO モードでの手順

マスタのジョブ・モードが無効になっている例をとジョブ・モードが有効になっている例を示します。

## (1) マスタ・モードでジョブ・モードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード無効 (CSIHnCTL1.CSIHnJE = 0)

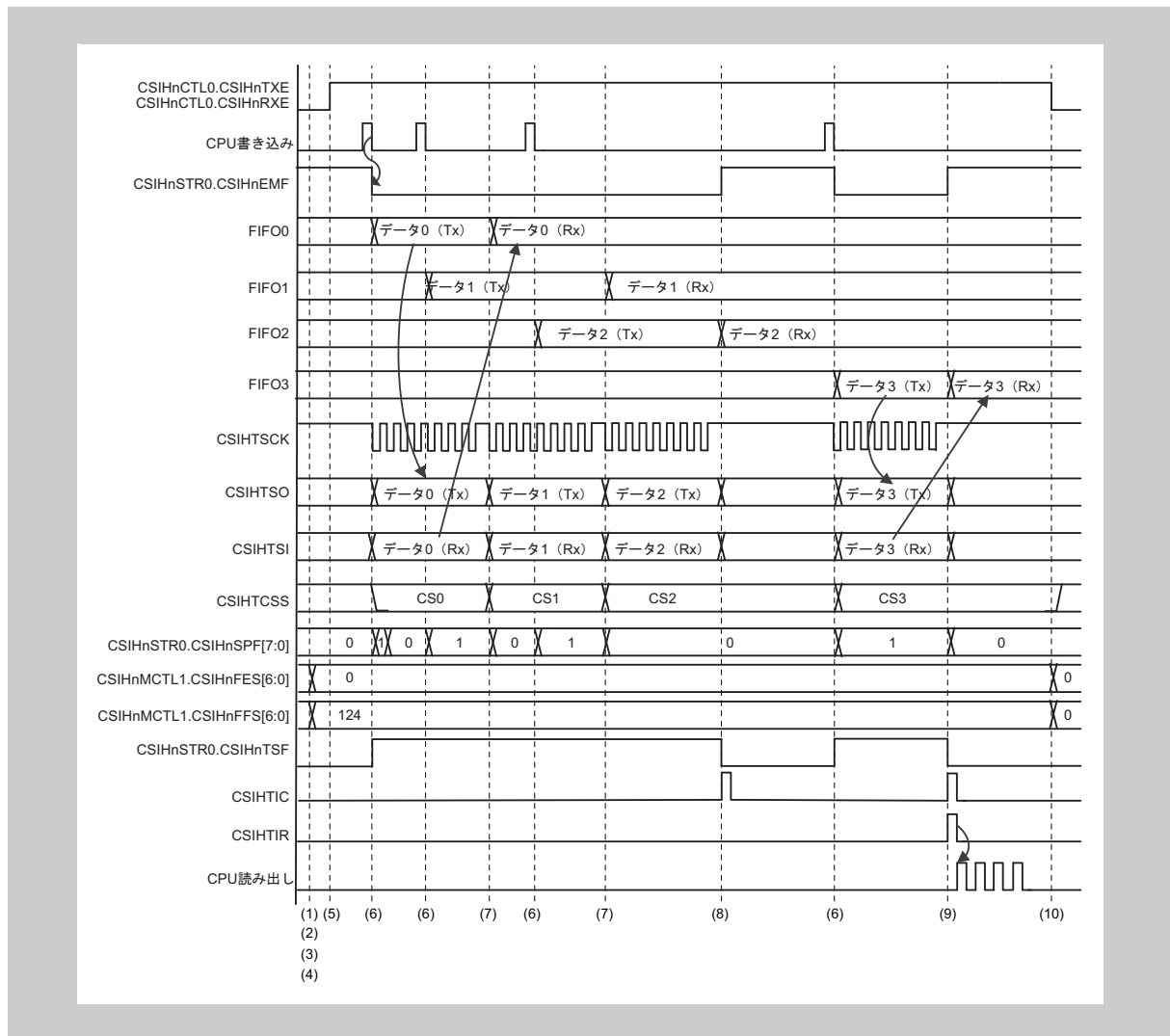


図 29-52 FIFO モードのマスタ, CSIHnCTL1.CSIHnJE = 0

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS3 を使用します。
  2. CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
  3. CSIHnMCTL0.CSIHnMMS[1:0] = 00<sub>B</sub> (FIFO モード) を設定します。  
ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。  
  
CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1,  
CSIHnSTR0.CSIHnSPF[7:0] = 00<sub>H</sub> に設定されていることを確認します。  
CSIHnMCTL1.CSIHnFES[6:0] で CSIHTIC 割り込みの条件と FIFO エンプティ・フラグ (CSIHnSTR0.CSIHnEMF[6:0]) を指定します。  
  
同じレジスタの CSIHnFFS[6:0] で CSIHTIR 割り込みの条件と FIFO フル・フラグ (CSIHnSTR0.CSIHnFLF) を指定します。
  4. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効), CSIHnTXE = 1 (送信許可), CSIHnRXE = 1 (受信許可) を設定します。  
ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  5. 最初の送信データ・パケットを送信レジスタ CSIHnTX0 に書き込みます。  
最初のデータが利用可能になると送信が自動的に開始されます。  
CSIHnSTR0.CSIHnEMF = 0 であることを確認します。  
現在の送信が完了します。
  6. 転送するデータがバッファ内になくなると、ビット CSIHnSTCR0.CSIHnEMF が 1 にセットされます。  
  
CSIHnFES[6:0] = CSIHnSPF[7:0] であるため、割り込み要求 CSIHTIC が生成されます。
  7. CSIHnFES[6:0] = CSIHnSPF[7:0] であるため、割り込み要求 CSIHTIR が生成されます。  
  
受信データの数が CSIHnFFS[6:0] と等しくなるため、割り込み要求 CSIHTIC が生成されます。  
CPU が Rx バッファに格納された受信データの読み出しを開始します。
  8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。

## (2) ジョブ・モードが有効になっている送受信モードのマスタ

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000<sub>B</sub>)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 全割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブ・モード有効 (CSIHnCTL1.CSIHnJE = 1)
- ジョブ1 = 4データ・パケット, ジョブ2 = 3データ・パケット, ジョブ3 = 5データ・パケット

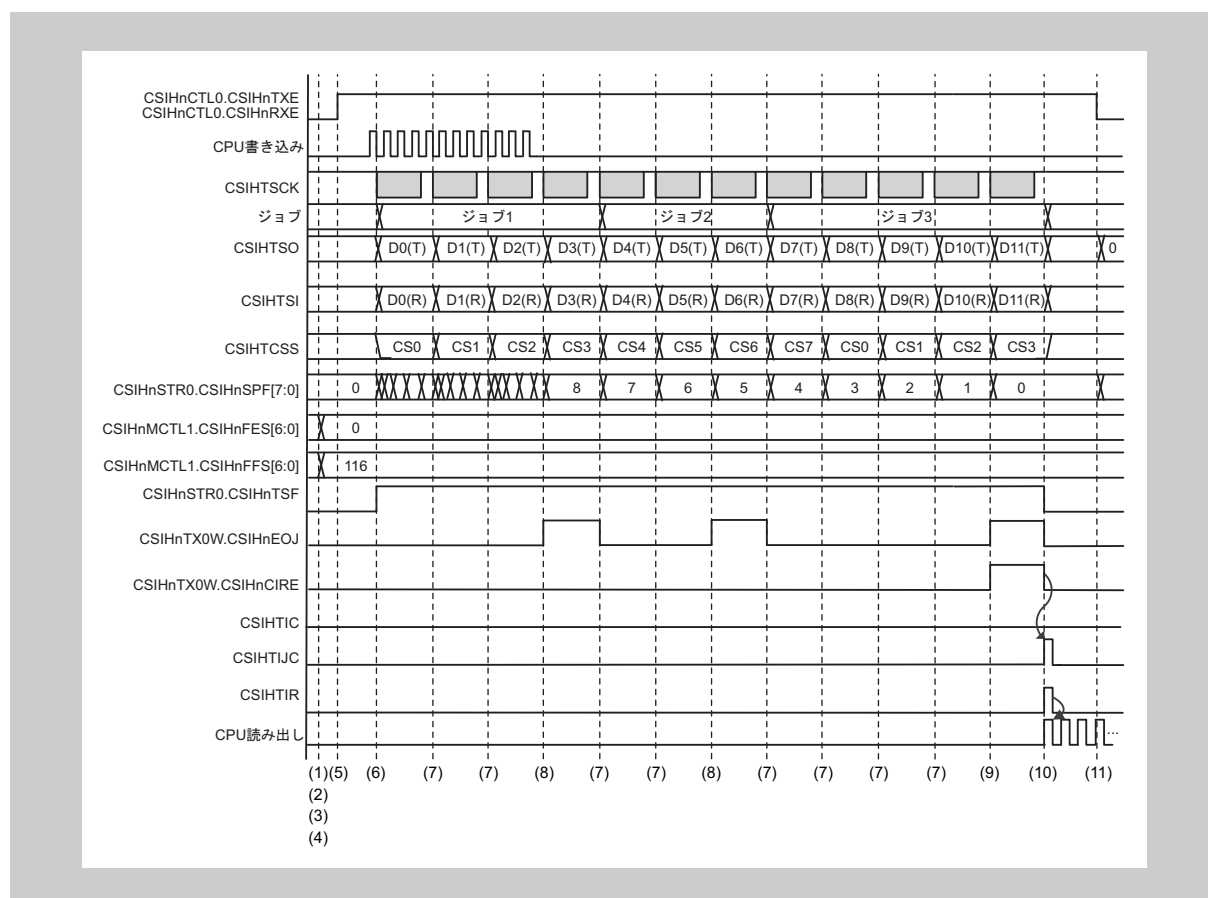


図 29-53 FIFO モードのマスタ, CSIHnCTL1.CSIHnJE = 1

- 手順：
1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップ・セレクト信号 CS0 ~ CS7 を使用します。
  2. CSIHnMCTL0.CSIHnMMS[1:0] = 00<sub>B</sub> に設定することによってメモリ・モードを選択します。  
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
  3. ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファ・ポインタをクリアします。
  4. CSIHnSTR0.CSIHnFLF = 0, CSIHnSTR0.CSIHnEMF = 1, CSIHnSTR0.CSIHnSPF[7:0] = 00<sub>H</sub> であることを確認します。  
CSIHnMCTL1.CSIHnFES[6:0] で割り込み要求 CSIHnTIC の生成条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0] で割り込み要求 CSIHnTIR の生成条件を指定します。
  5. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効), CSIHnTXE = 1 (送信許可), CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
  6. 最初の送信データ・パッケージを送信レジスタ CSIHnTX0 に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。  
CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
  7. 現在の送信が完了します。
  8. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。  
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 CSIHnTIC は生成されません。
  9. CSIHnCTL0.CSIHnJOB = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
  10. 通信の強制停止後、ジョブ3の終了時に割り込み要求 CSIHnTIC と CSIHnTIR が生成されます。  
割り込み要求 CSIHnTIC は現在のジョブの終了時に通信が強制的に停止されたことを示します。  
割り込み要求 CSIHnTIC の代わりに割り込み要求 CSIHnTIC が生成されるため、割り込み要求 CSIHnTIC は生成されません。また、CSIHnTX0H レジスタ内の利用可能な送信データは送信されません。
  11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。



## 第30章 I<sup>2</sup>Cバス (I<sup>2</sup>CB)

**注意** この機能を使用する場合は、SCLn, SDAn 端子を使用し、N-ch オープン・ドレイン出力に設定してください。

### 30.1 V850E2/Fx4-H の I<sup>2</sup>CB の特徴

**チャンネル数** V850E2/Fx4-H は x チャンネルの I<sup>2</sup>CB を搭載しています。

表 30-1 I<sup>2</sup>CB のチャンネル数

I <sup>2</sup> CB	
チャンネル数	1
名称	IICB0

**n の意味** この章では、I<sup>2</sup>CB のチャンネルを「n」で識別します。

たとえば IICBn データ・レジスタ (IICBnDAT) (n = x) のように記述しています。

**レジスタ・アドレス** I<sup>2</sup>CBn のレジスタ・アドレスは、ベース・アドレス <I<sup>2</sup>CBn\_base> からのオフセットで表します。

各 I<sup>2</sup>CBn のレジスタ・ベース・アドレスを表 30-2 に示します。

表 30-2 I<sup>2</sup>CBn のレジスタ・ベース・アドレス

I <sup>2</sup> CBn	<I <sup>2</sup> CBn_base>
IICB0	FF82 0000 <sub>H</sub>

**クロック供給** I<sup>2</sup>CBn は、クロック入力として PCLK を使用します。PCLK は、クロック・ジェネレータに接続されています。

表 30-3 I<sup>2</sup>CBn のクロック

I <sup>2</sup> CBn	クロック	接続先
IICB0	PCLK	クロック・コントローラの CKSCLK_108

**割り込み要求信号** I<sup>2</sup>CBn は、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA) があります。

表 30-4 I<sup>2</sup>CBn の割り込み要求信号

割り込み要求信号	機能	接続先
IICBTIA	IICB0 割り込み要求信号	割り込みコントローラ INTIICB0IA
IICBTIS	IICB0 ステータス割り込み要求信号	割り込みコントローラ INTIICB0IS

IICB ハードウェア・リセット I<sup>2</sup>C インタフェースとそのレジスタは、下表に示すリセット信号で初期化されます。

表 30-5 IICBn のリセット信号

IICBn	Reset signal
IICBn	Reset Controller SYSRES

I 入出力信号 I<sup>2</sup>C インタフェースの入出力信号を下表に示します。

表 30-6 IICB の入出力信号

IICBn signals	Function	Connected to
<b>IICB0:</b>		
SCL	IICB0 clock signal	Port IICB0SCL
SDA	IICB0 data/address signal	Port IICB0SDA

## 30.2 機能概要

<b>動作モード</b>	標準モード (SCL クロック周波数 : Max. 100 kHz) 高速モード (SCL クロック周波数 : Max. 400 kHz)
<b>転送モード</b>	シングル転送モード 連続転送モード
<b>端子構成</b>	SCLn : シリアル・クロック端子 SDAn : シリアル送受信データ端子
<b>割り込み要求信号</b>	データ送受信割り込み要求信号 (IICBTIA <sub>n</sub> ) ステータス割り込み要求信号 (IICBTIS <sub>n</sub> )
<b>通信データ長</b>	8 ビット
<b>マルチマスタ対応</b>	複数のマスタが同時にバスを制御することが可能
<b>SCLn のレベル幅 変更可能</b>	シリアル・クロック信号 (SCLn) のハイ・レベル幅/ロウ・レベル幅の設定 を変更可能
<b>自動検出可能</b>	スタート・コンディションおよびストップ・コンディションの自動検出が可能

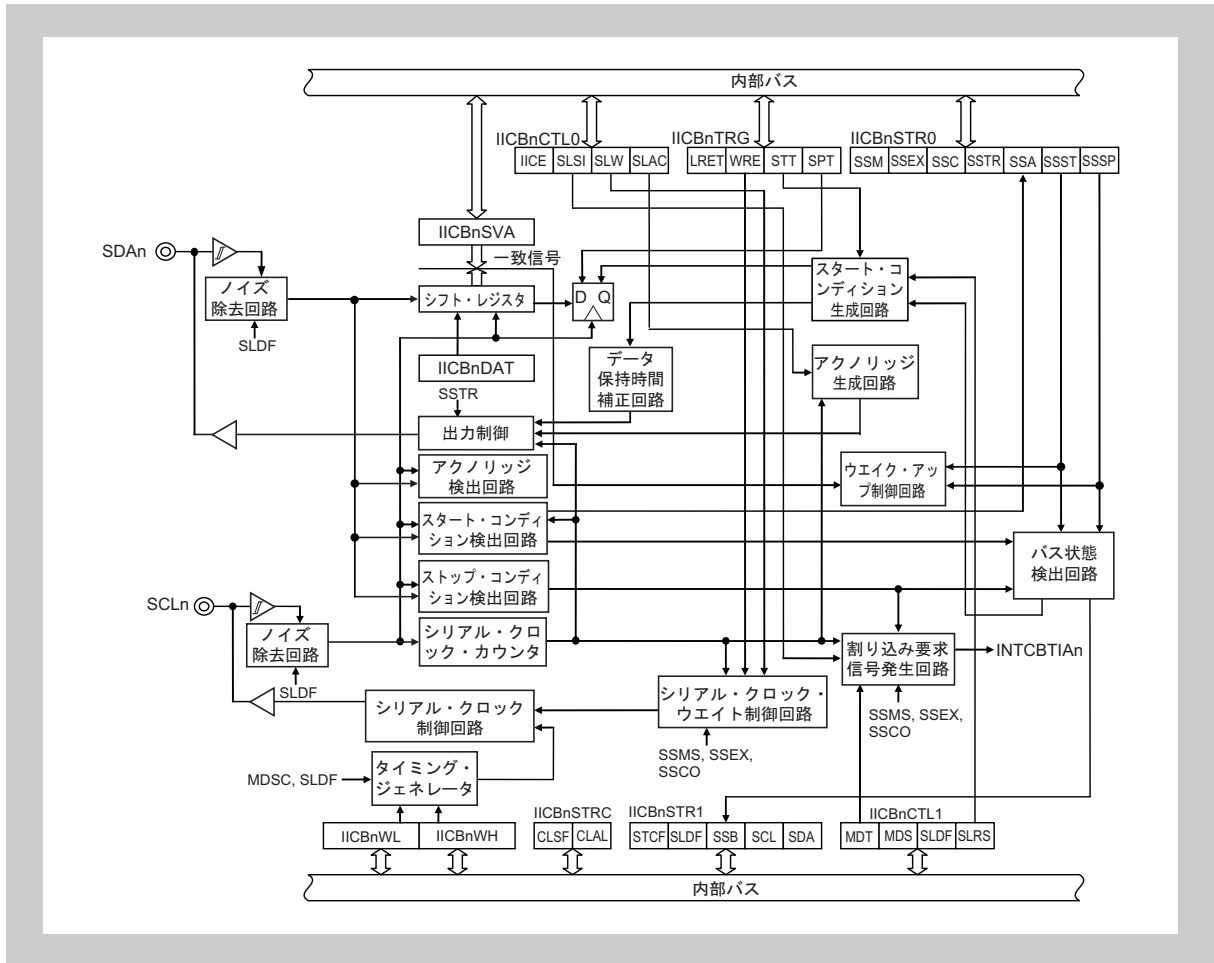


図 30-1 I<sup>2</sup>CBn のブロック図

## 30.3 I<sup>2</sup>Cバス・モードの機能

### 30.3.1 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています。

SCLn ... シリアル・クロックを入出力するための端子。

マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

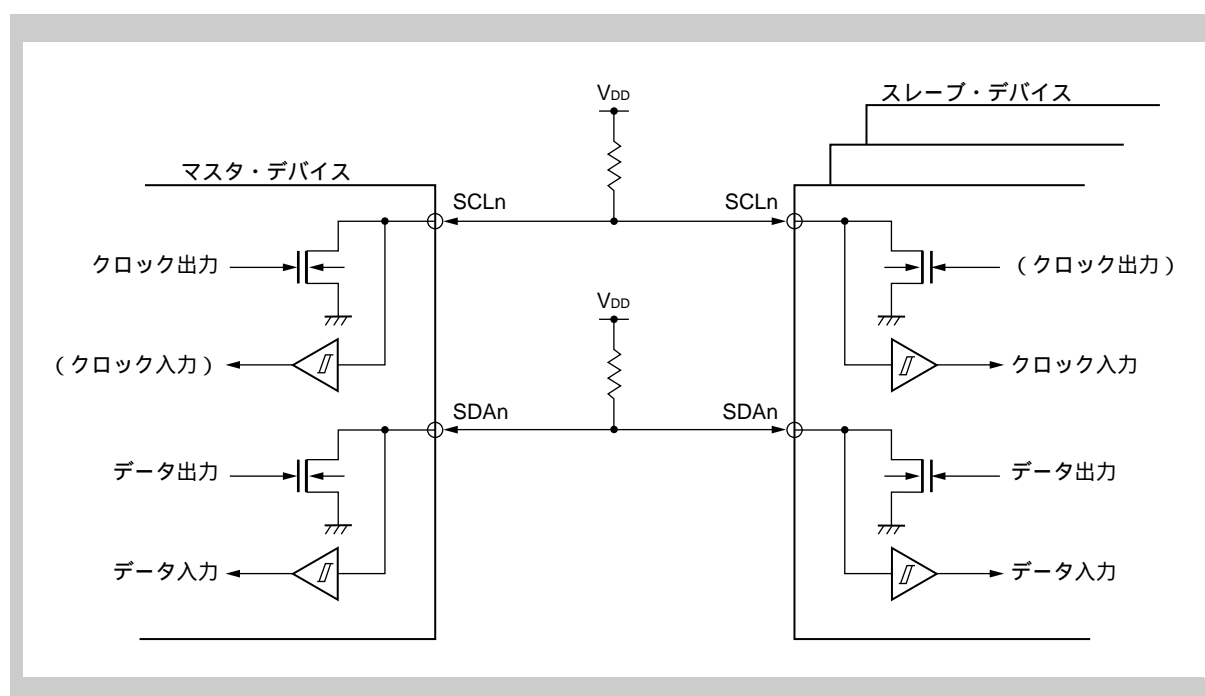


図 30-2 端子構成図

## 30.4 I<sup>2</sup>Cバスの定義

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

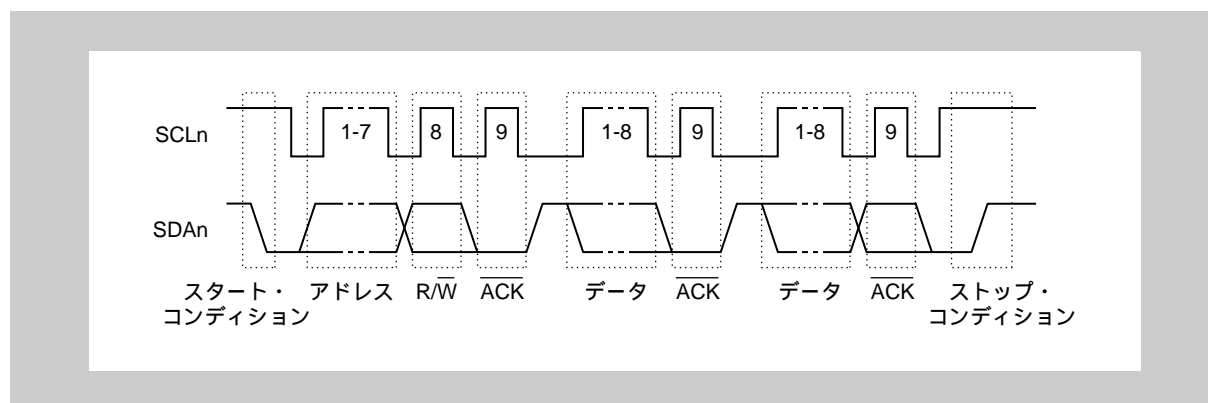


図 30-3 I<sup>2</sup>Cバスのシリアル・データ転送タイミング

スタート・コンディション, スレーブ・アドレス, ストップ・コンディションはマスタが生成します。

アクノリッジ ( $\overline{\text{ACK}}$ ) は, マスタ, スレーブのどちらでも生成できます (通常, 8 ビット・データの受信側が生成します)。

シリアル・クロック (SCLn) は, マスタが出力し続けます。ただし, スレーブは SCLn 端子のロウ・レベル期間を延長し, ウェイトを挿入できます。

### 30.4.1 スタート・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。スタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できません。

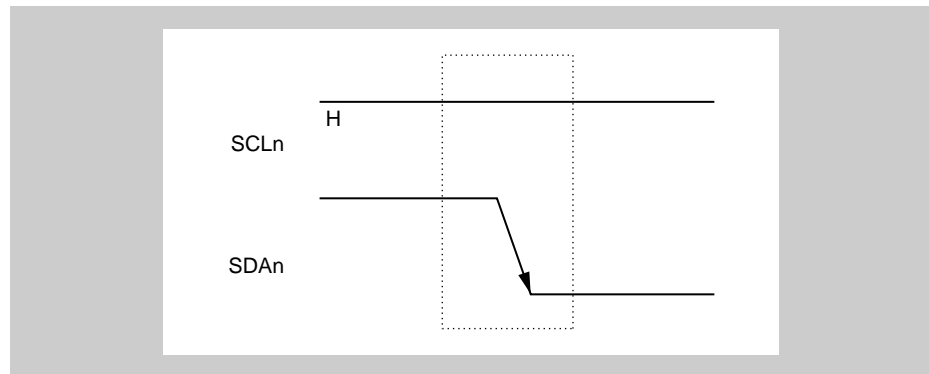


図 30-4 スタート・コンディション

### 30.4.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、7ビット・データが自身のアドレスと一致しているかを調べます。このとき、自身のアドレスと一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

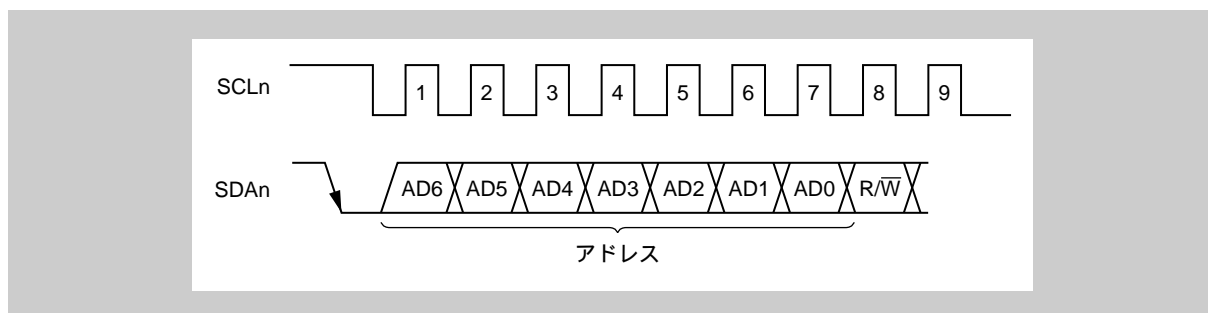


図 30-5 アドレス

### 30.4.3 拡張コード

アドレスの上位4ビットが“0000”と“1111”のとき、このビットのことを拡張コードと呼びます。表 30-7に拡張コード時のビット定義を示します。

表 30-7 拡張コードのビット定義

スレーブ・アドレス	R/W ビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUS アドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
0000 011	x	将来の利用のために予約
0000 1xx	x	HS モード・マスタ・コード <sup>a</sup>
1111 0xx	x	10 ビット・スレーブ・アドレス指定
1111 1xx	x	将来の利用のために予約

a) I<sup>2</sup>CB では、HS モードは使用できません。



### 30.4.4 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

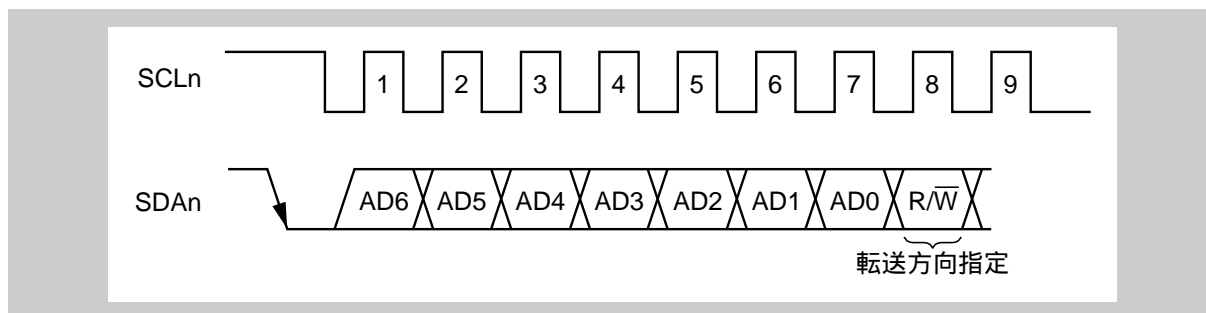


図 30-6 転送方向指定

### 30.4.5 アクノリッジ (ACK)

アドレス転送時の転送方向ビット ( $\overline{R/W}$ ) に続く 1 ビット・データおよび 8 ビット・データに続く 1 ビット・データはアクノリッジ (ACK) と定義されています。

アクノリッジによって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

1. 受信が正しく行われていない。
2. 最終データの受信が終わっている。
3. アドレス指定した受信側が存在しない。

アクノリッジ生成は、受信側が 9 クロック目に SDA<sub>n</sub> ラインをロウ・レベルにすることによって行われます (正常受信)。

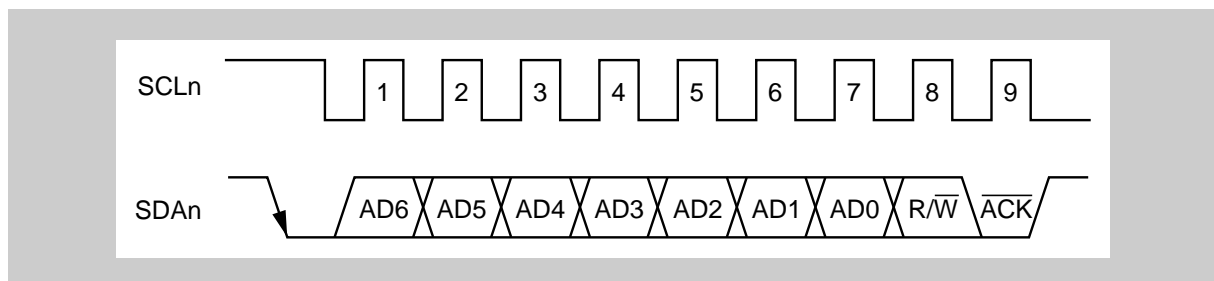


図 30-7 アクノリッジ ( $\overline{ACK}$ )

### 30.4.6 データ

スタート・コンディションに続く9ビット（アドレス（7ビット）、R/W（1ビット）、アクノリッジ（ACK）（1ビット））とアクノリッジを除くビットはデータと定義されています。

拡張コードを使用した10ビット・アドレス指定時は、アドレス転送に続く8ビットのデータをアドレス（セカンド・アドレス）として利用します。

### 30.4.7 ストップ・コンディション

SCLn 端子がハイ・レベルのときに、SDAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。

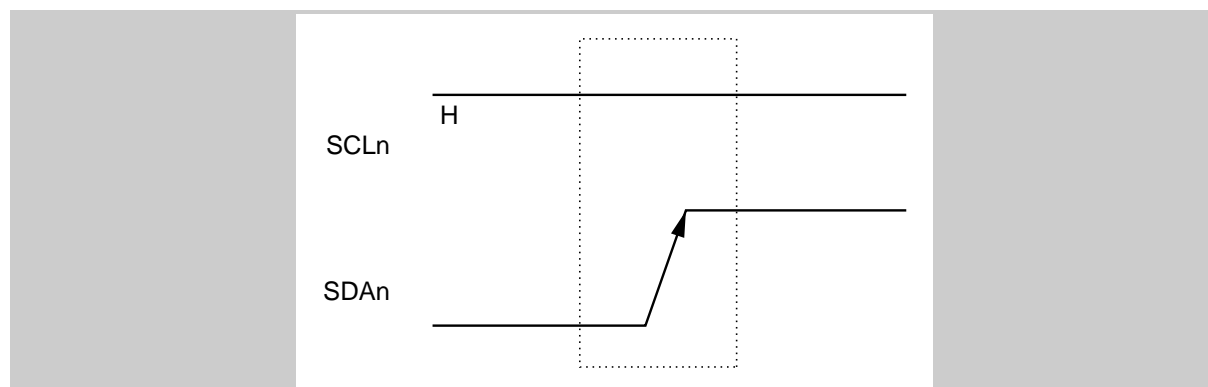


図 30-8 ストップ・コンディション

### 30.4.8 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCLn 端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

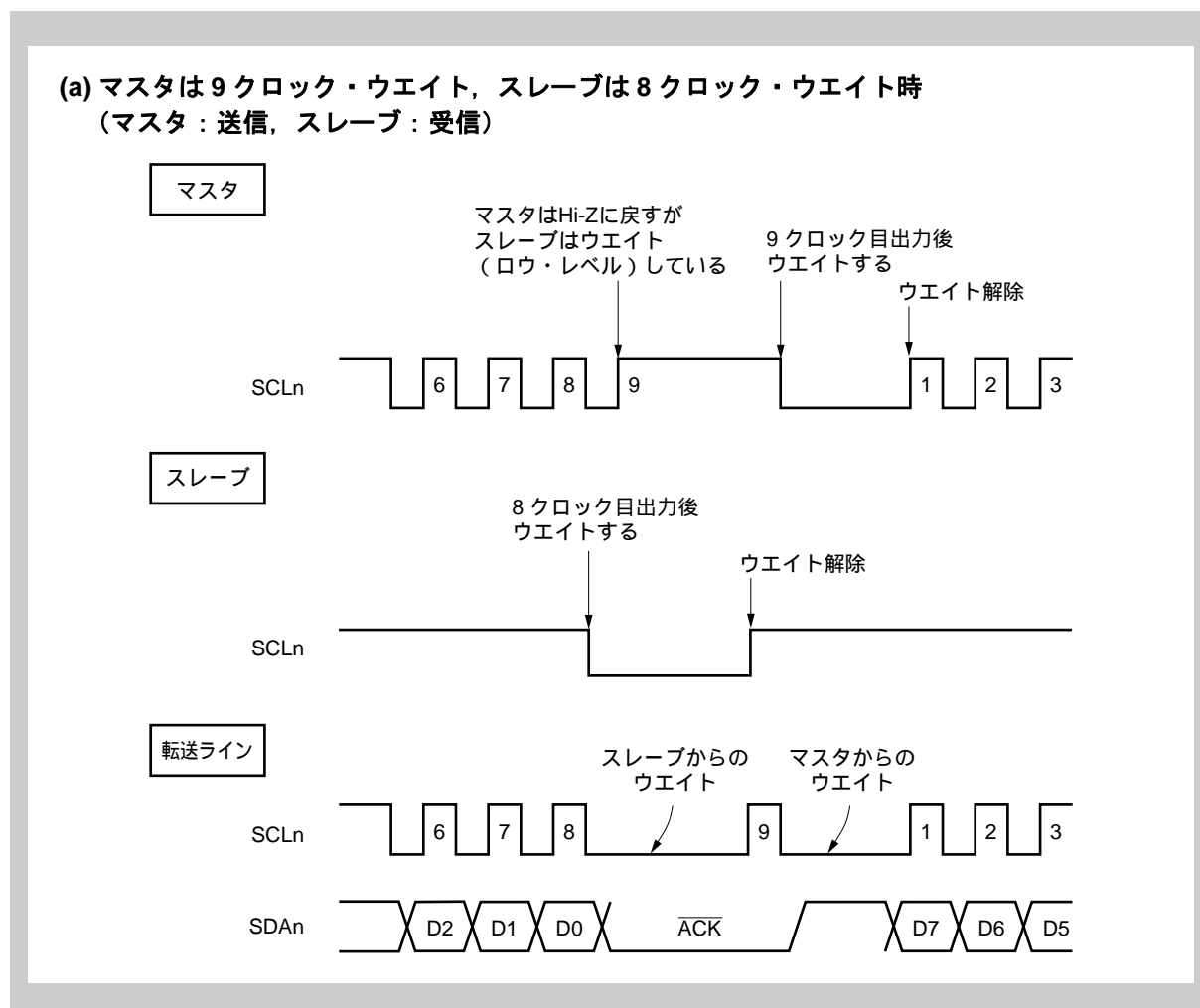


図 30-9 ウェイト (1/2)

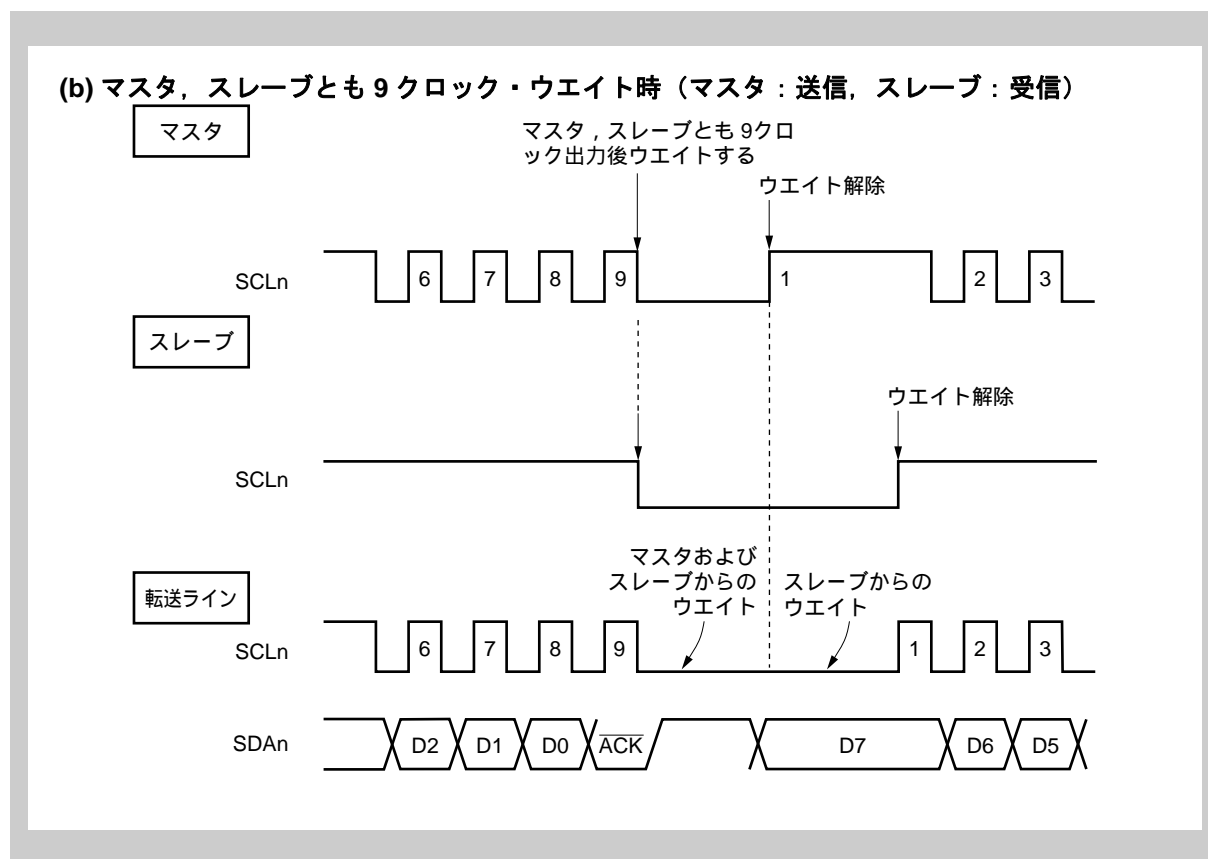


図 30-10 ウェイト (2/2)

### 30.4.9 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合、データが異なるまでクロックの調整をしながら、マスタ通信を行います。2つのマスタが同時にスタート・コンディションを生成し、アービトレーションが発生する例を次に示します。

ここで、SCLn ラインがロウ・レベルのとき、SDAn ラインにハイ・レベルを出力したマスタ（マスタ 1）と SDAn ラインにロウ・レベルを出力したマスタ（マスタ 2）が存在したとします。

この場合、SDAn ラインにロウ・レベルを出力したマスタの通信が優先され、SDAn ラインにハイ・レベルを出力したマスタには通信が許可されません。このような手順をアービトレーションと呼び、通信を許可されない状態をアービトレーション負けと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、SCLn、SDAn ラインともにハイ・インピーダンス状態にしてバスを解放します。

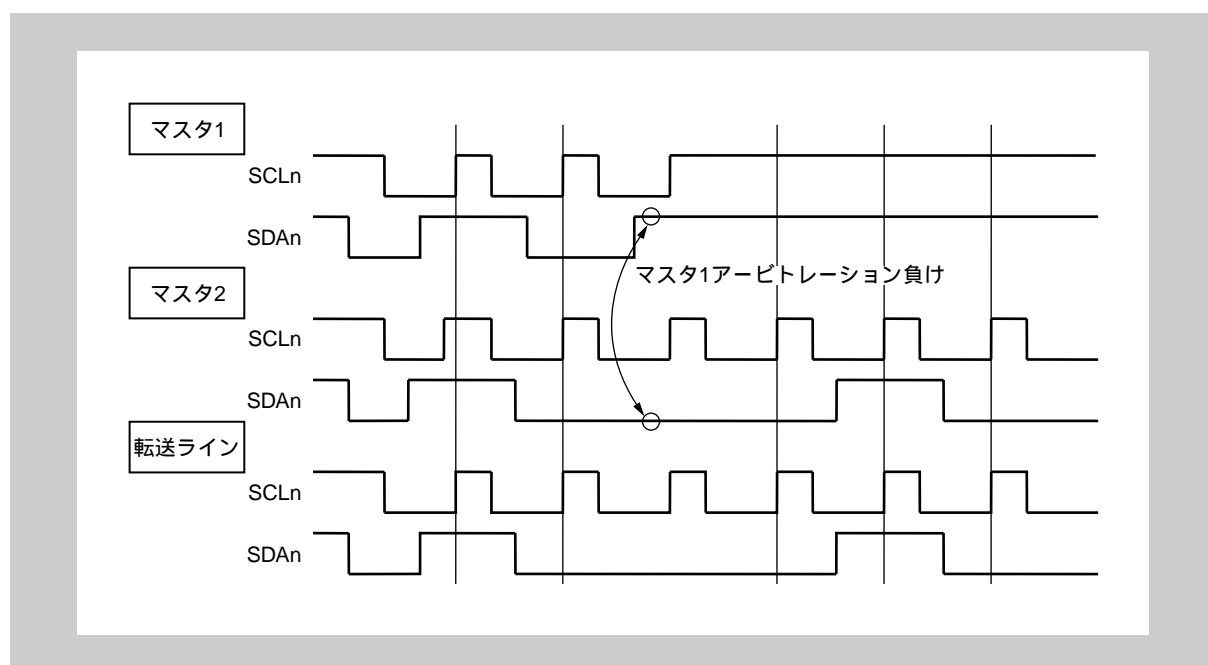


図 30-10 アービトレーション・タイミング例

## 30.5 レジスタ

**注意** 拡張コード受信時の動作は説明を省略しています。詳細は、30.6.5「拡張コード」を参照してください。

### (1) IICBn データ・レジスタ (IICBnDAT)

IICBnDAT レジスタは、転送データを送受信するためのレジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0000<sub>H</sub>

**初期値** 0000<sub>H</sub>

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0、IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

- 注意**
1. シングル転送モードおよび連続転送モード時にマスタになる場合は、IICBnTRG.IICBnSTT ビット = 1 設定後、アドレスと通信方向を転送するため、IICBnDAT レジスタへ1回だけライトを許可します。
  2. シングル転送モード時にデータを転送する場合は、ウエイト期間を除く通信状態でのIICBnDAT レジスタへのライトは禁止します。
  3. 連続転送モード時にデータを転送する場合は、1度のIICBTIAN 割り込み要求信号に対してIICBnDAT レジスタへ1回だけライトを許可します。
  4. 送信動作を行っているときにIICBnDAT レジスタをリードしないでください。また同様に受信動作を行っているときにIICBnDAT レジスタへライトしないでください。

7	6	5	4	3	2	1	0
IICBn DAT7	IICBn DAT6	IICBn DAT5	IICBn DAT4	IICBn DAT3	IICBn DAT2	IICBn DAT1	IICBn DAT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-8 IICBnDAT レジスタの内容

ビット位置	ビット名	意味
7-0	IICBn DAT[7-0]	<p>受信時には、受信データを保持します。 送信時には、送信データを書き込みます。 IICBnDAT レジスタへのアクセス（リード、ライト）は、手順に従って行う必要があります。</p> <p>設定手順については、30.9「設定手順」を参照してください。 IICBnDAT レジスタへのアクセスによりウエイト状態の解除を行います。</p> <ul style="list-style-type: none"> <li>• シングル転送モードの場合 <ul style="list-style-type: none"> <li>- IICBnDAT レジスタへライトが行われたとき</li> </ul> </li> <li>• 連続転送モードの場合 <ul style="list-style-type: none"> <li>- IICBnDAT レジスタへライトが行われたとき</li> <li>- データ転送中のウエイト状態で NACK 受信によるウエイトでない場合に IICBnDAT レジスタへリードが行われたとき</li> </ul> </li> </ul>

**(2) IICBn スレーブ・アドレス・レジスタ (IICBnSVA)**

IICBnSVA レジスタは、I<sup>2</sup>CBn バスのスレーブ・アドレスを格納するレジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0004<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** IICBnSVA レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn SVA7	IICBn SVA6	IICBn SVA5	IICBn SVA4	IICBn SVA3	IICBn SVA2	IICBn SVA1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 30-9 IICBnSVA レジスタの内容

ビット位置	ビット名	意味
7-1	IICBn SVA[7-1]	I <sup>2</sup> CBn バスのスレーブ・アドレスを格納します。 受信したアドレスと IICBnSVA レジスタを比較することで、アドレス一致/アドレス不一致の判定を行います。 受信したアドレスが IICBnSVA レジスタと一致した場合は、IICBnSTR0.IICBnSSCO ビットがセット (1) されます。



**(3) IICBn コントロール・レジスタ 0 (IICBnCTL0)**

IICBnCTL0 レジスタは、I<sup>2</sup>CBn の動作を制御するレジスタです。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0008<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

	7	6	5	4	3	2	1	0
	IICBn IICE	0	0	IICBn MDTX1	IICBn MDTX0	IICBn SLSI	IICBn SLWT	IICBn SLAC
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 30-10 IICBnCTL0 レジスタの内容 (1/2)

ビット位置	ビット名	意味
7	IICBnIICE	<p>IICBn の動作許可/動作停止を指定します。</p> <p>0 : IICBn の動作停止 1 : IICBn の動作許可</p> <p>IICBnCTL0.IICBnIICE ビット = 1 → 0, または IICBnCTL0.IICBnIICE ビット = 0 → 1 の動作により次に示すレジスタの同期リセットを行います。</p> <ul style="list-style-type: none"> <li>IICBnDAT, IICBnSTRO レジスタ IICBnCTL0.IICBnIICE = 0 のとき、SCLn, SDA<sub>n</sub> 端子はハイ・インピーダンス状態になります。</li> </ul>
4	IICBn MDTX1	<p>スレーブで拡張コード検出時の転送モードを指定します。</p> <p>0 : シングル転送モード 1 : 連続転送モード</p> <ul style="list-style-type: none"> <li>シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い、ウエイト状態となる転送です。</li> <li>連続転送モード データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>) 発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで、ウエイト状態とならずに連続して通信できる転送です。</li> </ul> <p>各モード時の動作については、30.6「動作」を参照ください。 注意 IICBnIICE = 0 のときのみ書き換えを許可します。</p>
3	IICBn MDTX0	<p>マスタおよびスレーブでアドレス一致時の転送モードを指定します。</p> <p>0 : シングル転送モード 1 : 連続転送モード</p> <ul style="list-style-type: none"> <li>シングル転送モード 転送ごとに IICBnCTL0.IICBnSLWT ビットの設定に従い、ウエイト状態となる転送です。</li> <li>連続転送モード データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>) 発生ごとに IICBnDAT レジスタへリードまたはライトを行うことで、ウエイト状態とならずに連続して通信できる転送です。</li> </ul> <p>各モード時の動作については、30.6「動作」を参照ください。 注意 IICBnIICE = 0 のときのみ書き換えを許可します。</p>

表 30-10 IICBnCTL0 レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	IICBnSLSI	<p>ストップ・コンディション検出時、ステータス割り込み要求信号 (IICBTISn) の発生許可/発生禁止を指定します。</p> <p>0: ストップ・コンディション検出時の IICBTISn 信号発生禁止 1: ストップ・コンディション検出時の IICBTISn 信号発生許可</p> <p>次に示す条件のいずれかで通信する場合は、IICBnCTL0.IICBnSLSI ビット = 1 に設定してください。</p> <ul style="list-style-type: none"> <li>通信予約機能許可状態でマスタとして通信を行うとき</li> <li>スレーブとして通信に参加するとき</li> <li>アービトレーション負けをする可能性があるとき (マルチマスタ環境でマスタとして動作させるとき)</li> </ul>
1	IICBnSLWT	<p>ウェイトおよび割り込み要求発生のタイミングを制御します。</p> <p>0: シングル転送時の 8 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生 1: シングル転送時の 9 クロック目の立ち下がりウェイト状態への遷移および割り込み要求発生</p> <p>IICBnCTL0.IICBnSLWT ビットは次に示すタイミングでのウェイトへの遷移および割り込み要求発生を制御するビットです。</p> <ul style="list-style-type: none"> <li>データ転送中の 8 クロック目および 9 クロック目 ウェイト状態への遷移条件については、30.6.4 「ウェイトとウェイト解除方法」を参照してください。 なお、アドレス転送中は IICBnCTL0.IICBnSLWT ビットの設定によらず、ウェイトへの遷移および割り込み要求発生条件は次のようになります。</li> <li>シングル転送モードの場合 <ul style="list-style-type: none"> <li>マスタ時: 9 クロック目の立ち下がり検出時にデータ送受信割り込み要求信号 (IICBTIAN) を発生し、ウェイト状態となります。</li> <li>スレーブ時: アドレス一致時は、9 クロック目の立ち下がり検出時に IICBTIAN 信号を発生しウェイト状態となります。 アドレス不一致時は、IICBTIAN 信号は発生せずウェイト状態にもなりません。</li> </ul> </li> <li>連続転送モードの場合 連続転送モードの場合は、ウェイト・タイミングは IICBnCTL0.IICBnSLWT ビットの設定は影響しません。 <ul style="list-style-type: none"> <li>受信時: 8 クロック目の立ち下がりウェイト状態</li> <li>送信時: 9 クロック目の立ち下がりウェイト状態</li> </ul> </li> </ul> <p>注意 シングル転送モード時は、IICBnCE ビット = 0 時またはウェイト期間のみ書き換えを許可します。</p>
0	IICBnSLAC	<p>アクリリッジを制御します。</p> <p>0: アクリリッジ禁止 マスタ時: データ受信中のアクリリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。 スレーブ時: アドレスが一致したデータ転送中のアクリリッジを生成しません (SDAn 端子はハイ・インピーダンス状態)。 1: アクリリッジ許可 マスタ時: データ受信中のアクリリッジを生成します (SDAn 端子をロウ・レベル)。 スレーブ時: アドレスが一致したデータ転送中のアクリリッジを生成します (SDAn 端子をロウ・レベル)。 スレーブ時は、アドレス一致の場合、アドレス転送中のアクリリッジは IICBnCTL0.IICBnSLAC ビットの値に関係なく生成しません (SDAn 端子をロウ・レベル)。 データを送信または通信不参加のときは、アクリリッジは常に生成しません (SDAn 端子はハイ・インピーダンス状態)。</p>

**(4) IICBn コントロール・レジスタ 1 (IICBnCTL1)**

IICBnCTL1 レジスタは、I<sup>2</sup>CBn の動作を制御するレジスタです。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0020<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

**注意** IICBnCTL1 レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

7	6	5	4	3	2	1	0
IICBn MDSC	IICBn LGDF2	IICBn LGDF1	IICBn LGDF0	0	0	IICBn SLSE	IICBn SLRS
R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 30-11 IICBnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	意味														
7	IICBn MDSC	I <sup>2</sup> CBn の動作モードを指定します。 0 : 標準モード (最大転送レート : 100 kbps) 1 : 高速モード (最大転送レート : 400 kbps)														
6-4	IICBnLGDF [2-0]	デジタル・フィルタ・サンプリング周期を指定します。 デジタル・フィルタは、高速モード時のみ使用できます。  000 デジタル・フィルタ未使用 I <sup>2</sup> CBn 内部でデジタル・フィルタを通過しない SCLn および SDA <sub>n</sub> を使用します。デジタル・フィルタ回路は動作を停止します。  上記以外 デジタル・フィルタ使用 I <sup>2</sup> CBn 内部でデジタル・フィルタを通過した SCLn および SDA <sub>n</sub> を使用します。デジタル・フィルタを使用する場合、IICBnCTL1.IICBnLGDF[2:0] ビットの設定は次のようにしてください。														
		<table border="1"> <thead> <tr> <th>IICBnCTL1.IICBnLGDF[2:0] ビット</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td>001</td> <td>最低周波数<sup>a</sup> ≤ PCLK ≤ 20 MHz</td> </tr> <tr> <td>010</td> <td>20 MHz &lt; PCLK ≤ 40 MHz</td> </tr> <tr> <td>011</td> <td>40 MHz &lt; PCLK ≤ 60 MHz</td> </tr> <tr> <td>100</td> <td>60 MHz &lt; PCLK ≤ 80 MHz</td> </tr> <tr> <td>101</td> <td>80 MHz &lt; PCLK ≤ 100 MHz</td> </tr> <tr> <td>110, 111</td> <td>設定禁止</td> </tr> </tbody> </table>	IICBnCTL1.IICBnLGDF[2:0] ビット	周波数	001	最低周波数 <sup>a</sup> ≤ PCLK ≤ 20 MHz	010	20 MHz < PCLK ≤ 40 MHz	011	40 MHz < PCLK ≤ 60 MHz	100	60 MHz < PCLK ≤ 80 MHz	101	80 MHz < PCLK ≤ 100 MHz	110, 111	設定禁止
IICBnCTL1.IICBnLGDF[2:0] ビット	周波数															
001	最低周波数 <sup>a</sup> ≤ PCLK ≤ 20 MHz															
010	20 MHz < PCLK ≤ 40 MHz															
011	40 MHz < PCLK ≤ 60 MHz															
100	60 MHz < PCLK ≤ 80 MHz															
101	80 MHz < PCLK ≤ 100 MHz															
110, 111	設定禁止															
		a) 設定別の最低周波数一覧を次に示します														
		<table border="1"> <thead> <tr> <th>動作モード (IICBnCTL1.IICBnMDSC ビット)</th> <th>フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)</th> <th>フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)</th> </tr> </thead> <tbody> <tr> <td>標準モード (0)</td> <td>1.0 MHz</td> <td>使用禁止</td> </tr> <tr> <td>高速モード (1)</td> <td>3.5 MHz</td> <td>4.0 MHz</td> </tr> </tbody> </table>	動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)	標準モード (0)	1.0 MHz	使用禁止	高速モード (1)	3.5 MHz	4.0 MHz					
動作モード (IICBnCTL1.IICBnMDSC ビット)	フィルタ未使用 (IICBnCTL1.IICBnLGDF[2:0] ビット = 000)	フィルタ使用 (IICBnCTL1.IICBnLGDF[2:0] ビット ≠ 000)														
標準モード (0)	1.0 MHz	使用禁止														
高速モード (1)	3.5 MHz	4.0 MHz														

表 30-11 IICBnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
1	IICBnSLSE	<p>通信初期状態でのスタート・コンディション発行の許可/禁止を指定します。</p> <p>0 : 通信初期状態でのスタート・コンディション発行を禁止 1 : 通信初期状態でのスタート・コンディション発行を許可</p> <p>IICBnCTL1.IICBnSLSE ビットをセット (1) することで、通信初期状態 (IICBnCTL0.IICBnIICE ビット = 1 設定後からストップ・コンディション検出まで) で IICBnTRG.IICBnSTT ビット = 1 の設定によりスタート・コンディションを発行できます。</p> <p>IICBnCTL1.IICBnSLSE ビットはスタート・コンディションを検出した場合には自動的に (0 ライト動作を行わなくても) クリア (0) します。</p> <p>注意 他の通信に遅れて通信に参加する場合には、IICBnCTL1.IICBnSLSE ビットは "0" を設定してください。</p> <p>他の通信が行われているときに、IICBnCTL1.IICBnSLSE ビットをセット (1) としてから IICBnTRG.IICBnSTT ビット = 1 の設定を行った場合、他の通信を破壊することがあります。</p>
0	IICBnSLRS	<p>通信予約機能の許可/禁止を指定します。</p> <p>0 : 通信予約機能許可 1 : 通信予約機能禁止</p> <p>通信予約機能許可状態 : IICBnCTL1.IICBnSLRS ビットがクリア (0) で、I<sup>2</sup>CBn がマスタとして動作していない場合、バスが使用中に IICBnTRG.IICBnSTT ビット = 1 の設定をしたときは通信予約状態となります。</p> <p>IICBnSTR0.IICBnSSRS ビットを確認することで、通信予約状態であるか判断ができます。</p> <p>通信予約機能禁止状態 : I<sup>2</sup>CBn がマスタとして通信に参加していない場合、バス使用中に IICBnTRG.IICBnSTT ビット = 1 を設定すると、IICBnSTR0.IICBnSTCF ビット = 1 となり、通信予約されません。</p>

## (5) IICBn ロウ・レベル幅設定レジスタ (IICBnWL)

IICBnWL レジスタは、シリアル・クロック信号 (SCLn) のロウ・レベル幅を設定するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0024<sub>H</sub>

**初期値** 03FF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** IICBnWL レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWL9	IICBnWL8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWL7	IICBnWL6	IICBnWL5	IICBnWL4	IICBnWL3	IICBnWL2	IICBnWL1	IICBnWL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-12 IICBnWL レジスタの内容

ビット位置	ビット名	意味
9-0	IICBnWL [9-0]	I <sup>2</sup> C バス規格の t <sub>LOW</sub> (SCLn クロックのロウ・レベル幅) 区間を指定します。IICBnWL レジスタの値を使用して、その他の I <sup>2</sup> C バス規格のシリアル出カタイミングを決定します。シリアル出カタイミング生成条件については、(a) 「IICBnWL, IICBnWH レジスタによる転送クロック設定方法」を参照してください。

## (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法

IICBnWL レジスタおよび IICBnWH レジスタの値より I<sup>2</sup>C バス規格における各種タイミングの生成を行います。

- マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{\text{IICBnWL} + \text{IICBnWH} + \text{PCLK} (t_R + t_F)}{f_{\text{CLK}}}$$

このとき、最適な IICBnWL と IICBnWH の設定値は次のようになります。  
(設定値はすべて小数点以下切り上げ)

- 高速モード時

$$\text{IICBnWL} = \frac{0.52}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left( \frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

- 標準モード時

$$\text{IICBnWL} = \frac{0.47}{\text{転送クロック}} \times \text{PCLK}$$

$$\text{IICBnWH} = \left( \frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times \text{PCLK}$$

- スレーブ側の IICBnWL, IICBnWH 設定方法  
(設定値はすべて小数点以下切り上げ)

- 高速モード時

$$\text{IICBnWL} = 1.3\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (1.2\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

- 標準モード時

$$\text{IICBnWL} = 4.7\mu\text{s} \times \text{PCLK}$$

$$\text{IICBnWH} = (5.3\mu\text{s} - t_R - t_F) \times \text{PCLK}$$

**備考** IICBnWL : IICBn ロウ・レベル幅設定レジスタ  
 IICBnWH : IICBn ハイ・レベル幅設定レジスタ  
 $t_F$  : SDA<sub>n</sub>, SCL<sub>n</sub> 信号の立ち下がり時間  
 $t_R$  : SDA<sub>n</sub>, SCL<sub>n</sub> 信号の立ち上がり時間  
 PCLK : I<sup>2</sup>CBn への供給クロック周波数

**(6) IICBn ハイ・レベル幅設定レジスタ (IICBnWH)**

IICBnWH レジスタは、シリアル・クロック信号 (SCLn) のハイ・レベル幅を設定するレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0028<sub>H</sub>

**初期値** 03FF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** IICBnWH レジスタは、IICBnCTL0.IICBnIICE ビット = 1 の場合の書き込みは禁止します。

15	14	13	12	11	10	9	8
0	0	0	0	0	0	IICBnWH 9	IICBnWH 8
R	R	R	R	R	R	R/W	R/W
7	6	5	4	3	2	1	0
IICBnWH 7	IICBnWH 6	IICBnWH 5	IICBnWH 4	IICBnWH 3	IICBnWH 2	IICBnWH 1	IICBnWH 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30-13 IICBnW レジスタの内容

ビット位置	ビット名	意味
9-0	IICBnWH [9-0]	I <sup>2</sup> C バス規格の t <sub>HIGH</sub> (SCLn クロックのハイ・レベル幅) 区間を指定します。IICBnWH レジスタの値を使用して、その他の I <sup>2</sup> C バス規格のシリアル出力タイミングを決定します。シリアル出力タイミング生成条件については、(5)(a)「IICBnWL, IICBnWH レジスタによる転送クロック設定方法」を参照してください。

## (7) IICBn トリガ・レジスタ (IICBnTRG)

IICBnTRG レジスタは、I<sup>2</sup>CBn のトリガを設定するレジスタです。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 000C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	IICBn LRET	IICBn WRET	IICBn STT	IICBn SPT
R	R	R	R	R/W	R/W	R/W	R/W

表 30-14 IICBnTRG レジスタの内容 (1/4)

ビット位置	ビット名	意味
3	IICBnLRET	<p>通信退避トリガ・ビット</p> <p>0: 通常動作 1: 現在行っている通信から退避後し、待機状態。実行後自動的にクリアされる。</p> <p>IICBnTRG.IICBnLRET ビット = 1 時には、次のことを行います。</p> <ul style="list-style-type: none"> <li>• SCLn, SDAn をそれぞれハイ・インピーダンス状態（通信待機状態）にする。</li> <li>• IICBnSTR0 レジスタの IICBnSSMS, IICBnSSDR, IICBnSSWT, IICBnSSEX, IICBnSSC0, IICBnSSTR, IICBnSSAC, IICBnSSRS, IICBnSSST ビットがクリアされる。</li> <li>• IICBnTRG.IICBnSTT ビット = 1（スタート・コンディション発行準備）または IICBnTRG.IICBnSPT ビット = 1（ストップ・コンディション発行準備）を設定していた場合、スタート・コンディションおよびストップ・コンディションの生成を中止する</li> </ul> <p>通信予約状態で通信退避を行ったときは通信予約状態を解除するため、マスタとしたい場合には再度 IICBnTRG.IICBnSTT ビット = 1 に設定する必要があります。</p> <p>注意 マスタ動作（IICBnSTR0.IICBnSSMS ビット = 1）時に IICBnTRG.IICBnLRET ビット = 1 を設定した場合、バスを解放します。シリアル・クロックを出力しなくなるため、スレーブ側の通信で不整合を起こします。</p>
2	IICBn WRET	<p>ウェイト状態を解除するためのトリガ・ビット</p> <p>0: ウェイトを解除しない 1: ウェイト解除し、通信を再開する。実行後、自動的にクリアされる。</p> <p>9クロック目のウェイト期間中で IICBnTRG.IICBnWRET ビット = 1 の設定によりウェイト解除した場合は、IICBnSTR0.IICBnSSTR ビット = 0 に設定し、SDAn = ハイ・インピーダンスとします（これにより外部マスタがストップ・コンディション、またはスタート・コンディションを発行できる状態になります）。ウェイト状態でない場合（IICBnSTR0.IICBnSSWT ビット = 0）のセット（1）は意味を持ちません。</p> <p>また、IICBnTRG.IICBnWRET ビット = 1 以外にもウェイト解除条件があります。詳細については 30.6.4 「ウェイトとウェイト解除方法」を参照してください。</p>



表 30-14 IICBnTRG レジスタの内容 (2/4)

ビット位置	ビット名	意味
1	IICBnSTT	<p>スタート・コンディション・トリガ・ビット            0: スタート・コンディションを生成しない            1: スタート・コンディションを生成する (セット (1) 後, 自動的にクリアされ            ます)</p> <p>次の条件のとき IICBnTRG.IICBnSTT ビットをセット (1) できます。</p> <p>① マスタ状態 (IICBnSTR0.IICBnSSMS ビット = 1)</p> <ul style="list-style-type: none"> <li>シングル転送モード               <ul style="list-style-type: none"> <li>9クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。</li> <li>データ受信時は IICBnCTL0.IICBnSLAC ビット = 0 に設定し, 受信の最後であることをスレーブに伝えたあとにだけセット可能。</li> </ul> </li> <li>連続転送モード               <ul style="list-style-type: none"> <li>アドレス転送の9クロック目のウエイト期間中。</li> <li>データ送信中</li> <li>データ受信時は TTCBnCTL0.IICBnSLAC ビット = 0 に設定し, 受信の最後であることをスレーブに伝えたあとにだけセット可能。</li> </ul> </li> </ul> <p>9クロック目のウエイト期間中の場合はウエイトを解除後, それ以外の場合は9クロック目の立ち下がりを検出したときに, <math>t_{LOW}</math> (SCLn クロックのロウ・レベル幅) 期間確保後 SDA<sub>n</sub> および SCLn をハイ・レベルとし, I<sup>2</sup>C バス規格の <math>t_{SU:STA}</math> (スタート/リスタート・コンディションのセットアップ時間) 時間を待ってから SDA<sub>n</sub> = ロウ・レベルにするとスタート・コンディションを生成します。その後, I<sup>2</sup>C バス規格の <math>t_{HD:STA}</math> (ホールド時間) 時間を確保し, SCLn = ロウ・レベルとします。</p> <p>② スレーブ状態または通信待機状態 (IICBnSTR0.IICBnSSMS ビット = 0)</p> <ul style="list-style-type: none"> <li>IICBnSTR0.IICBnSSBS ビット = 0 (バス解放状態)              スタート・コンディションを生成します。              I<sup>2</sup>C バス規格の <math>t_{BUF}</math> (バス・フリー・タイム (ストップ・スタート・コンディション間)) 時間確認後 (未経過時: 経過後, 経過時: ただちに), SCLn = ハイ・レベルの状態, SDA<sub>n</sub> をハイ・レベルからロウ・レベルに変化させることでスタート・コンディションを生成します (このとき SCLn はハイ・レベルを出力しています)。              その後, I<sup>2</sup>C バス規格の <math>t_{HD:STA}</math> 時間を確保し, SCLn をロウ・レベルとします。</li> <li>IICBnSTR0.IICBnSSBS ビット = 1 (バス通信状態)              この状態は, I<sup>2</sup>C<sub>Bn</sub> がマスタではなく, バス上で通信が行われている場合を指します。              通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時:              バスが解放状態 (ストップ・コンディションを検出) となったあと, I<sup>2</sup>C バス規格の <math>t_{BUF}</math> 時間確保後, スタート・コンディションを生成します。              ただし, <math>t_{BUF}</math> 時間経過していない場合でも, スタート・コンディションを検出した場合は, <math>t_{BUF}</math> 時間を待たずにただちに SDA<sub>n</sub> をロウ・レベルとします。              通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時:              IICBnSTR0.IICBnSTCF ビットがセット (1) され, スタート・コンディションは生成しません。</li> </ul> <p>注意 ②は IICBnSTR0.IICBnSTT ビット = 0 設定時の IICBnSTR0.IICBnSSBS ビット値での動作です。              レジスタ・リードにより IICBnSTR0.IICBnSSBS ビット値を確認後に IICBnSTR0.IICBnSTT ビット = 1 に設定しても, IICBnSTR0.IICBnSSBS ビット値は確認したときの値とは異なる場合があります。</p>

表 30-14 IICBnTRG レジスタの内容 (3/4)

ビット位置	ビット名	意味
1	IICBnSTT	<p>IICBnTRG.IICBnSTT ビット = 1 に設定することにより、スタート・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、スタート・コンディションの生成処理を中止し、スタート・コンディションの生成はしません。</p> <ul style="list-style-type: none"> <li>• IICBnCTL0.IICBnIICE ビット = 0 ライト</li> <li>• IICBnTRG.IICBnLRET ビット = 1 ライト</li> <li>• アービトレーション負け検出</li> <li>• 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット = 1 ライト後の IICBnTRG.IICBnSPT ビット = 1 ライト</li> <li>• 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSTT ビット = 1 ライトと IICBnTRG.IICBnSPT ビット = 1 ライトが同一データ転送期間に行われた場合 (この場合、IICBnTRG.IICBnSTT ビット = 1 ライトが有効になります)</li> </ul> <p>注意 通信初期状態でのスタート許可 (IICBnCTL1.IICBnSLSE ビット = 1) 時、IICBnTRG.IICBnSTT ビットをセット (1) した場合は、バス状態に関係なくスタート・コンディションの生成を行います。このとき他の通信が行われていた場合は、その通信を破壊することがあります。</p> <p>備考 IICBnTRG.IICBnSPT ビットとの同時セットは禁止です。</p>
0	IICBnSPT	<p>ストップ・コンディション・トリガ  0 : ストップ・コンディションを生成しない  1 : ストップ・コンディションを生成する (セット (1) 後、自動的にクリア)</p> <p>IICBnTRG.IICBnSPT ビットはマスタとして通信中の次の条件のときにセット (1) できます。</p> <ul style="list-style-type: none"> <li>• シングル転送モード <ul style="list-style-type: none"> <li>- 9クロック目のウエイト期間 (アドレス転送およびデータ転送とも)。</li> <li>- データ受信時は IICBnCTL0.IICBnSLAC ビット = 0 に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能。</li> </ul> </li> <li>• 連続転送モード</li> </ul> <p>次に示す状態のとき IICBnTRG.IICBnSPT ビットのセット (1) を許可します。</p> <ul style="list-style-type: none"> <li>- アドレス転送の 9クロック目のウエイト期間中</li> <li>- データ送信中</li> <li>- データ受信の 9クロック目のウエイト期間中で、NACK (IICBnSTR0.IICBnSSAC ビット = 0) を受信した状態</li> </ul> <p>ストップ・コンディションは次の手順で生成できます。  (ウエイト状態の場合は、ウエイトを解除後、) SDA<sub>n</sub> = ロウ・レベルを出力した状態で SCL<sub>n</sub> を解放し、SCL<sub>n</sub> = ハイ・レベル、SDA<sub>n</sub> = ロウ・レベルとなるのを待ちます。その後、t<sub>SU:STO</sub> 時間が経過後 SDA<sub>n</sub> = ハイ・レベルとすることで生成されます。</p>

表 30-14 IICBnTRG レジスタの内容 (4/4)

ビット位置	ビット名	意味
0	IICBnSPT	<p>IICBnTRG.IICBnSPT ビット = 1 に設定することにより、ストップ・コンディションの生成処理を開始しますが、次に示す状態を検出した場合は、ストップ・コンディションの生成処理を中止し、ストップ・コンディションの生成はしません。</p> <ul style="list-style-type: none"> <li>• IICBnCTL0.IICBnIICE ビット = 0 ライト</li> <li>• IICBnTRG.IICBnLRET ビット = 1 ライト</li> <li>• ストップ・コンディション検出</li> <li>• アービトレーション負け検出</li> <li>• 連続転送モードでマスタとして動作中の IICBnTRG.IICBnSPT ビット = 1 後の IICBnTRG.IICBnSTT ビット = 1 ライト</li> </ul> <p>注意 IICBnTRG.IICBnSPT ビットはスレーブ時 (IICBnSTR0.IICBnSSMS ビット = 0) のセット (1) を禁止します。</p> <p>備考 IICBnTRG.IICBnSTT ビットとの同時セットは禁止です。</p>

**(8) IICBn ステータス・レジスタ 0 (IICBnSTR0)**

IICBnSTR0 レジスタは、I<sup>2</sup>CBn の状態およびバスの状態を示すレジスタです。

**アクセス** 16 ビット単位でリードのみ可能です。ただし、IICBnCTL0.IICBnIICE ビット = 0 時はライト動作も可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0010<sub>H</sub>

**初期値** 0000<sub>H</sub>

どのリセット要因でも初期化されます。また、IICBnCTL0.IICBnIICE ビット = 1 → 0, IICBnCTL0.IICBnIICE ビット = 0 → 1 によっても初期化されます。

15	14	13	12	11	10	9	8
IICBn SSMS	0	IICBn SSDR	IICBn SSWT	IICBn SSEX	IICBn SSCO	IICBn SSTR	IICBn SSAC
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
IICBn SSRS	IICBn SSBS	IICBn SSST	IICBn SSSP	0	0	IICBn STCF	IICBn ALDF
R	R	R	R	R	R	R	R

表 30-15 IICBnSTR0 レジスタの内容 (1/5)

ビット位置	ビット名	意味
15	IICBnSSMS	<p>マスタ状態確認フラグ 1: マスタとして動作中</p> <p>セット条件: IICBnTRG.IICBnSTT ビット = 1 ライト後, スタート・コンディションを検出時。</p> <p>クリア条件:</p> <ul style="list-style-type: none"> <li>• IICBnTRG.IICBnLRET ビット = 1 ライト時。</li> <li>• ストップ・コンディション検出時。</li> <li>• アービトレーション負け検出時。</li> </ul> <p>セット条件とクリア条件が重なった場合は, クリア条件を優先します。</p>
13	IICBnSSDR	<p>IICBnDAT レジスタ・ステータス・フラグ 1: IICBnDAT レジスタに未処理のデータが残っている</p> <p>受信動作時: 受信したデータが未読み出しのまま IICBnDAT レジスタに残っている。</p> <p>送信動作時: IICBnDAT レジスタに書き込んだデータがシフト・レジスタへ転送されていない。</p> <p>セット条件:</p> <ul style="list-style-type: none"> <li>• アドレス転送中およびデータ転送中で IICBnSTR0.IICBnSSWT ビット = 0 の場合の IICBnDAT レジスタ・ライト時</li> <li>• (マスタ時, IICBnDAT レジスタにアドレスをデータ・ライトする際は, 直接, シフト・レジスタへ転送されるため, IICBnSTR0.IICBnSSWT ビット = 0 の場合でもセット (1) されません)。</li> <li>• スレーブでアドレス一致した 9 クロック目の立ち下がり時。</li> <li>• IICBnCTL0.IICBnSLWT ビット = 0 かつシングルモード受信時は, データ受信中の 8 クロック目の立ち下がり時。</li> <li>• IICBnCTL0.IICBnSLWT ビット = 1 時は, データ受信中の 9 クロック目の立ち下がり時。</li> <li>• 連続受信時は, IICBnCTL0.IICBnSLWT ビットの値にかかわらず, 8 クロック目の立ち下がり時。</li> <li>• シングルモード/連続送信状態では, このビットがセットされることはありません (シングル送信モードでは, ウェイト期間中のみの DAT ライトが許可されているため)。</li> </ul>

表 30-15 IICBnSTR0 レジスタの内容 (2/5)

ビット位置	ビット名	意味
13	IICBnSSDR	<p>クリア条件 :</p> <ul style="list-style-type: none"> <li>• セット条件よりも優先されるクリア条件 <ul style="list-style-type: none"> <li>- IICBnLRET ビット=1 ライト時。</li> <li>- アービトレーション負け検出時。</li> <li>- マスタでアドレス転送中の9クロック目の立ち下がり時。</li> <li>- IICBnCTL0.IICBnSLWT ビット=0 かつ連続送信時は、データ送信中の8クロック目の立ち下がり時。</li> <li>- IICBnCTL0.IICBnSLWT ビット=1 かつ連続送信時は、データ送信中の9クロック目の立ち下がり時。</li> </ul> </li> <li>• セット条件が優先されるクリア条件 <ul style="list-style-type: none"> <li>- シフト・レジスタに IICBnDAT レジスタへの未格納受信データがない場合の IICBnDAT レジスタ・リード時。</li> </ul> </li> </ul>
12	IICBnSSWT	<p>ウェイト状態フラグ 1: ウェイト状態</p> <p>セット条件 :</p> <ul style="list-style-type: none"> <li>• シングル転送モードの場合 &lt;マスタ/スレーブ共通&gt; <ul style="list-style-type: none"> <li>- データ転送中, IICBnCTL0.IICBnSLWT ビット=0 で8クロック目の立ち下がり検出時。</li> <li>- データ転送中, IICBnCTL0.IICBnSLWT ビット=1 で9クロック目の立ち下がり検出時。</li> </ul> </li> <li>&lt;マスタ&gt; <ul style="list-style-type: none"> <li>- IICBnCTL0.IICBnSTT ビット=1 ライト後にマスタ (IICBnSTR.IICBnSSMS ビット=1) となり, IICBnDAT レジスタへライト・アクセスが行われず, 最初の SCLn の立ち下がり検出時。</li> <li>- アドレス転送中の9クロック目の立ち下がり検出時。</li> </ul> </li> <li>&lt;スレーブ&gt; <ul style="list-style-type: none"> <li>- アドレス一致したアドレス転送中の9クロック目の立ち下がり検出時。</li> </ul> </li> <li>• 連続転送モードの場合 &lt;データ転送期間中, マスタ/スレーブ共通&gt; <ul style="list-style-type: none"> <li>- データ送信中, 次に送信するデータがライトされていないとき。 IICBnCTL0.IICBnSLWT ビット=0 時は, データ送信中の8クロック目の立ち下がり IICBnSTR.IICBnSSDR ビット=0 のとき。 IICBnCTL0.IICBnSLWT ビット=1 時は, データ送信中の9クロック目の立ち下がり IICBnSTR.IICBnSSDR ビット=0 のとき。</li> <li>- データ受信時, 前の受信データがリードされていないとき。 IICBnCTL0.IICBnSLWT ビット=0 時は, データ受信中の8クロック目の立ち下がり IICBnCTL0.IICBnSSDR ビット=1 のとき。 IICBnCTL0.IICBnSLWT ビット=1 時は, データ受信中の9クロック目の立ち下がり IICBnSTR.IICBnSSDR ビット=1 のとき。</li> </ul> </li> </ul> <p>NACK 検出時 (ただし, マスタ動作中に IICBnTRG.IICBnSTT ビット=1 または IICBnTRG.IICBnSPT ビット=1 ライトがなかった場合)。</p>

表 30-15 IICBnSTR0 レジスタの内容 (3/5)

ビット位置	ビット名	意味
12	IICBnSSWT	<p>&lt;アドレス転送期間中, マスタ&gt;</p> <ul style="list-style-type: none"> <li>- IICBnTRG.IICBnSTT ビット = 1 ライト後にマスタ (IICBnSTR0.IICBnSSMS ビット = 1) となり, IICBnDAT レジスタへライト・アクセスが行われず, SCLn の最初の立ち下がり検出時。</li> <li>- NACK 検出時。 (ただし, IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライトがなかった場合)</li> </ul> <p>&lt;アドレス転送期間中, スレーブ&gt;</p> <ul style="list-style-type: none"> <li>- アドレス一致したアドレス転送中で IICBnSTR0.IICBnSSTR ビット = 0 の 9 クロック目の立ち下がり検出時。</li> <li>- NACK 検出時。</li> </ul> <p>クリア条件:</p> <ul style="list-style-type: none"> <li>• セット条件より優先されるクリア条件 <ul style="list-style-type: none"> <li>- IICBnTRG.IICBnLRET ビット = 1 ライト時。</li> <li>- マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSTT ビット = 1 ライト時。</li> <li>- マスタ動作中で連続転送モードの場合の IICBnTRG.IICBnSPT ビット = 1 ライト時。</li> <li>- 連続転送モードで送信の場合の IICBnDAT レジスタ・ライト時。</li> <li>- 8 クロック目のウエイト時, 連続転送モードで受信の場合の IICBnDAT レジスタ・リード時。</li> <li>- 9 クロック目のウエイト時, 連続転送モードで受信およびアクノリッジ (ACK) を受信している場合の IICBnDAT レジスタ・リード時。</li> </ul> </li> <li>• セット条件が優先されるクリア条件 <ul style="list-style-type: none"> <li>- IICBnTRG.IICBnWRET ビット = 1 ライト時。</li> <li>- マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSTT ビット = 1 ライト時。</li> <li>- マスタ動作中でシングル転送モードの場合の IICBnTRG.IICBnSPT ビット = 1 ライト時。</li> <li>- シングル転送モードで受信の場合の IICBnTRG.IICBnDAT レジスタ・ライト時。</li> </ul> </li> </ul> <p>注意 9 クロック目のウエイト期間中に IICBnWRET ビット = 1 ライトによるウエイト解除を行った場合は, IICBnSTR0.IICBnSSTR ビットをクリア (0) し, バスを解放 (SCLn, SDA<sub>n</sub> をそれぞれハイ・インピーダンス状態にする) します。</p>
11	IICBnSSEX	<p>拡張コード受信検出フラグ 1: 拡張コードを受信している</p> <p>セット条件: 受信したアドレス・データの上位 4 ビットが "0000" または "1111" の場合のアドレス転送中の 8 クロック目の立ち下がり検出時。 クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • スタート・コンディション検出時。</p> <p>注意 拡張コードが一致している場合の割り込み後の処理は, 拡張コードに続くデータにより異なるため, ソフトウェア処理に依存します。</p>
10	IICBnSSCO	<p>アドレス一致検出フラグ 1: IICBnSVA レジスタと一致したアドレスを検出</p> <p>セット条件: 受信アドレスが IICBnSVA レジスタと一致したアドレス転送中の 8 クロック目の立ち下がり検出時。 クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • スタート・コンディション検出時。</p>

表 30-15 IICBnSTR0 レジスタの内容 (4/5)

ビット位置	ビット名	意味
9	IICBnSSTR	<p>送信状態検出フラグ 1: シリアル・データ・バスヘータを送信中</p> <p>セット条件: &lt;マスタ&gt; - IICBnTRG.IICBnSTT ビット = 1 ライト後, スタート・コンディションを検出時。 &lt;スレーブ&gt; - アドレス一致したアドレス転送の R/W ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。</p> <p>クリア条件: &lt;マスタ/スレーブ共通&gt; - IICBnTRG.IICBnLRET ビット = 1 ライト時。 - ストップ・コンディション検出時。 - 9 クロック目のウエイト期間中で IICBnTRG.IICBnWRET ビット = 1 ライト時</p> <p>&lt;マスタ&gt; - アドレス転送中の R/W ビットに 1 を受信後の 8 クロック目の立ち下がり検出時。 - アービトレーション負けを検出時。</p> <p>&lt;スレーブ&gt; - スタート・コンディション検出時。</p>
8	IICBnSSAC	<p>アクノリッジ (ACK) 検出フラグ 1: アクノリッジを検出している</p> <p>セット条件: 通信に参加中で, ACK ビットにロウ・レベルを受信したときの SCL の立ち下がり検出時。</p> <p>クリア条件: • IICBnLRET ビット = 1 ライト時。 • SCLn の立ち上がり検出時。</p> <p>注意 IICBnSTR0.IICBnSSAC ビットは割り込み発生の有無に関係なく値は変化します。</p>
7	IICBnSSRS	<p>通信予約状態フラグ 0: 通信予約状態でない 1: 通信予約状態である</p> <p>セット条件: 通信予約機能許可状態 (IICBnCTL1.IICBnSLRS ビット = 0) で, マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット = 1 ライト時。</p> <p>クリア条件: • IICBnTRG.IICBnLRET ビット = 1 ライト時。 • IICBnSTR0.IICBnSSMS ビット = 1 時。</p>
6	IICBnSSBS	<p>I<sup>2</sup>CBn バス状態フラグ 0: バス解放状態, または IICBnCTL1.IICBnSLSE ビット = 1 時の通信初期状態 1: バス通信状態, または IICBnSLSE ビット = 0 時の通信初期状態</p> <p>セット条件: • スタート・コンディション検出時。 • IICBnCTL1.IICBnSLSE ビット = 0 で IICBnCTL0.IICBnIICE ビット = 1 ライト時。</p> <p>クリア条件: ストップ・コンディション検出時。</p> <p>備考 IICBnSTR0.IICBnSSBS ビットは, 通信への参加, 不参加に関係なく動作します。</p>



表 30-15 IICBnSTR0 レジスタの内容 (5/5)

ビット位置	ビット名	意味
5	IICBnSSST	<p>スタート・コンディション検出フラグ 1: スタート・コンディションを検出している</p> <p>セット条件: スタート・コンディション検出時。 クリア条件: • IICBnTRG. IICBnLRET ビット = 1 ライト時。 • ストップ・コンディション検出時。 • アドレス転送終了後の SCLn の立ち上がり検出時。</p> <p>備考 IICBnSTR0.IICBnSSST ビットは、通信への参加、不参加に関係なく動作します。</p>
4	IICBnSSSP	<p>ストップ・コンディション検出フラグ 1: ストップ・コンディションを検出している</p> <p>セット条件: ストップ・コンディション検出時。 クリア条件: スタート・コンディション検出後の最初の SCLn の立ち下がり検出時。</p> <p>備考 IICBnSTR0.IICBnSSSP ビットは、通信への参加、不参加に関係なく動作します。</p>
1	IICBnSTCF	<p>IICBnTRG.IICBnSTT ビット・クリア・フラグ 1: スタート・コンディション発行できず IICBnTRG.IICBnSTT ビット・クリア</p> <p>セット条件: 通信予約機能禁止状態 (IICBnCTL1.IICBnSLRS ビット = 1) で、マスタとして動作していないバス通信中に IICBnTRG.IICBnSTT ビット = 1 ライト時。</p> <p>注意 外部バス状態ではバスが解放されていても、I<sup>2</sup>CBn がバス解放と認識していない状態 (IICBnSTR0.IICBnSSBS ビット = 1) では、通信予約機能禁止であれば IICBnTRG.IICBnSTT ビット = 1 ライト時に、IICBnSTR0.IICBnSTCF ビットがセット (1) されます。</p> <p>クリア条件: IICBnSTRC.IICBnCLSF ビット = 1 ライト時</p>
0	IICBnALDF	<p>アービトレーション負け検出フラグ 1: アービトレーションに負けた状態</p> <p>セット条件: アービトレーション負け検出時。 クリア条件: IICBnSTRC.IICBnCLAF ビット = 1 ライト時</p> <p>セット条件とクリア条件を同時に検出した場合は、セット条件を優先します。アービトレーション負けを検出した場合は、IICBnSTR0.IICBnSSMS ビットおよび IICBnSTR0.IICBnSSTR ビットをクリア (0) します (SCLn および SDA<sub>n</sub> をハイ・インピーダンス状態とし、バスを解放します)。</p> <p>注意 アービトレーション負けにより、IICBnSTR0.IICBnALDF ビットがセット (1) された場合、IICBTIA<sub>n</sub> 割り込み要求信号または IICBTIS<sub>n</sub> 割り込み要求信号が発生します。 割り込み要求信号で IICBnSTR0.IICBnALDF ビット = 1 を確認したときは、IICBnSTRC.IICBnCLAF ビットで IICBnSTR0.IICBnALDF ビットのクリアを行ってください。IICBnSTR0.IICBnALDF ビットのクリアが行われず、IICBnSTR0.IICBnALDF ビットに 1 が残っている場合は、関係のない通信中でも割り込みタイミングとなったときは、IICBTIS<sub>n</sub> 割り込み要求信号が発生します。</p>

**(9) IICBn ステータス・レジスタ 1 (IICBnSTR1)**

IICBnSTR1 レジスタは、シリアル・バスの状態を示すレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0014<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IICBn SSCL	IICBn SSDA
R	R	R	R	R	R	R	R

表 30-16 IICBnSTR1 レジスタの内容

ビット位置	ビット名	意味
1	IICBnSSCL	SCLn 端子 (入力) の端子レベルの状態を示します。 0 : SCLn 端子 (入力) はロウ・レベル 1 : SCLn 端子 (入力) はハイ・レベル
0	IICBnSSDA	SDAn 端子 (入力) の端子レベルの状態を示します。 0 : SDAn 端子 (入力) はロウ・レベル 1 : SDAn 端子 (入力) はハイ・レベル

**(10) IICBn ステータス・クリア・レジスタ (IICBnSTRC)**

IICBnSTRC レジスタは、IICBnSTR0 レジスタの IICBnSTCF, IICBnALDF ビットをクリアするレジスタです。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** <I<sup>2</sup>CBn\_base> + 0018<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	IICBn CLS F	IICBn CLAF
R	R	R	R	R	R	R/W	R/W

表 30-17 IICBnSTRC レジスタの内容

ビット位置	ビット名	意味
1	IICBnCLS F	IICBnSTR0.IICBnSTCF ビットのクリア・ビット 1 : IICBnSTCF ビットをクリアする  備考 IICBnCLS F ビットは、データ設定後に読み出すと 0 になっています。
0	IICBnCLAF	IICBnSTR0.IICBnALDF ビットのクリア・ビット 1 : IICBnALDF ビットをクリアする  注意 IICBnCLAF ビットへの 1 ライトと IICBnALDF ビットのセット条件が同時に発生した場合は、IICBnALDF ビットのセット条件が有効となります。  備考 IICBnCLAF ビットは、データ設定後に読み出すと 0 になっています。

**(11) IICBnEMU - IICBn エミュレーション・レジスタ**

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <IICBn\_base> + 34<sub>H</sub>

**初期値** 0000<sub>H</sub>

	7	6	5	4	3	2	1	0
IICBn SVSDIS	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30-18 IICBnEMU レジスタの内容

ビット位置	ビット名	機能
7	IICBn SVSDIS	(EPC.SVSTOP ビット =0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給  (EPC.SVSTOP ビット =1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給

## 30.6 動作

I<sup>2</sup>CBn では転送モードとして、シングル転送モードと連続転送モードをサポートしております。

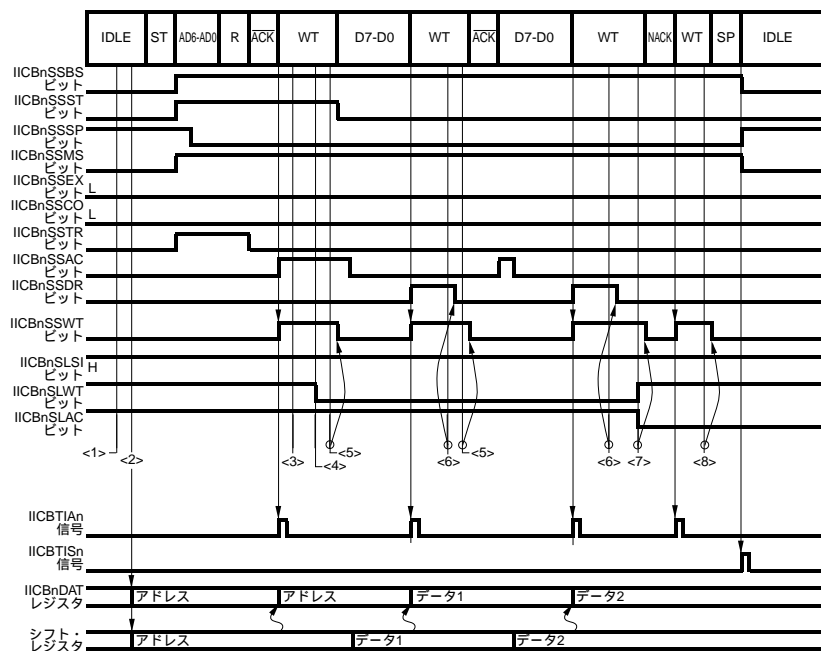
マスタおよびスレーブでアドレス一致したときの転送モードは IICBnCTL0.IICBnMDTX0 ビット、スレーブで拡張コードを検出したときの転送モードは IICBnMDTX1 ビットで、選択します。

### 30.6.1 シングル転送モード

シングル転送モードは、IICBnCTL0.IICBnSLWT ビットで設定したタイミングで、データ送受信割り込み要求信号 (IICBTIAN) を発生させウエイト状態とし、このウエイト期間中に送受信データ処理を行う転送モードです。

各処理の動作を以下に示します。

## (1) シングル転送モード (マスタ受信) の通信例



<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて 8 ビットとして IICBnDAT レジスタへ設定

<3> アクノリッジ結果確認

IICBTIA,n 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし確認

<4> ウェイト・タイミング設定

データ受信時は 8 クロック目の立ち下がりウェイト状態とするため IICBnCTL0.IICBnSLWT ビットをクリア (0)

<5> データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し受信開始

<6> 受信データ取り込み

IICBTIA, n 割り込みで IICBnDAT レジスタから受信データをリード

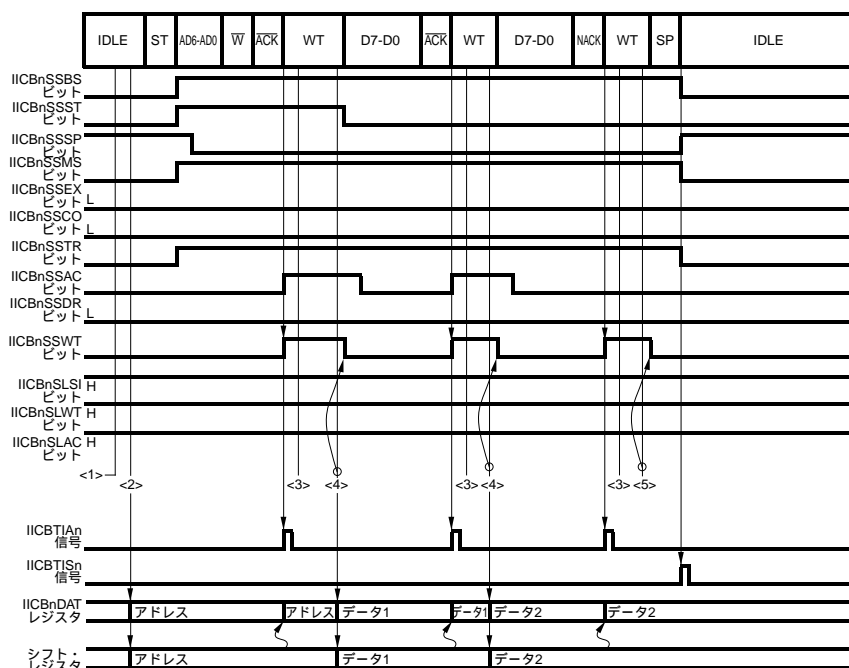
<7> データ受信完了処理

- ウェイト期間中に IICBnCTL0.IICBnSLWT ビット =1, IICBnSLAC ビット =0 に設定
- その後, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し, アクノリッジが生成されず, 送信側にデータの終わりを通知

<8> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

## (2) シングル転送モード (マスタ送信) の通信例



**備考** データ送信時は9クロック目の立ち下がりでウェイト状態とするため、I2CnCTL0.I2CnSLWT ビットをセット (1) してください。

<1> スタート・コンディション出力

I2CnTRG. I2CnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて, 8ビットとして I2CnDAT レジスタへ設定

<3> アクノリッジ結果確認

I2CBTIA<sub>n</sub> 割り込みで I2CnSTR0.I2CnSSAC ビットをリードし, 確認

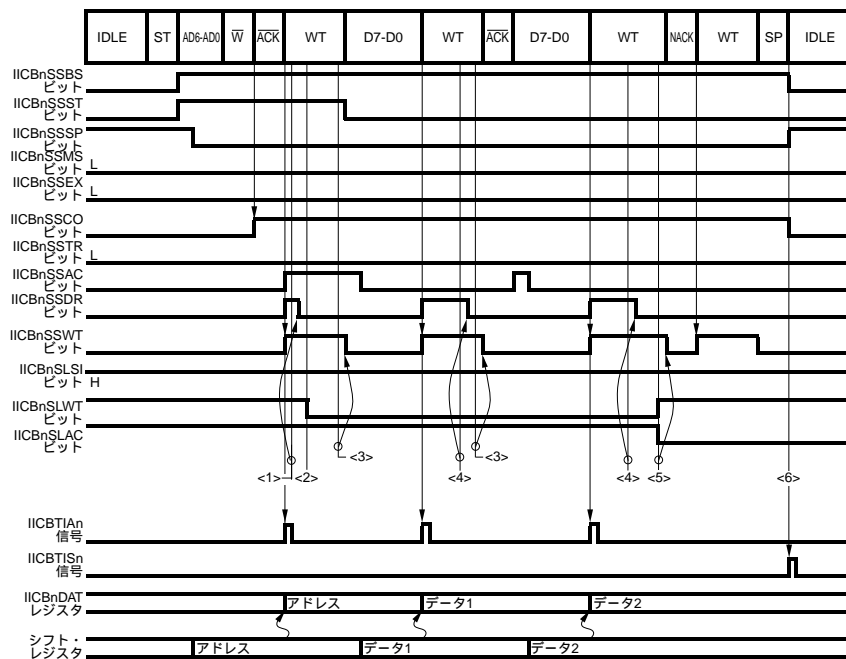
<4> データ送信

ウェイト期間中に I2CnDAT レジスタへ送信データを設定することでウェイト解除し, 送信開始

<5> ストップ・コンディション出力

I2CnTRG. I2CnSPT ビットをセット (1)

## (3) シングル転送モード (スレーブ受信) の通信例



## &lt;1&gt; スレーブ時の動作モード確認

- IICBTIAAn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSSCO, IICBnSSTR ビットでアドレス転送, アドレス一致, 受信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

## &lt;2&gt; ウェイト・タイミング設定

データ受信時は8クロック目の立ち下がりด้วยェイト状態とするため, IICBnCTL0.IICBnSLWT ビットをクリア (0)

## &lt;3&gt; データ受信

ウェイト期間中に IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除し, 受信開始

## &lt;4&gt; 受信データ取り込み

IICBTIAAn 割り込みで IICBnDAT レジスタから受信データをリード

## &lt;5&gt; データ受信完了処理

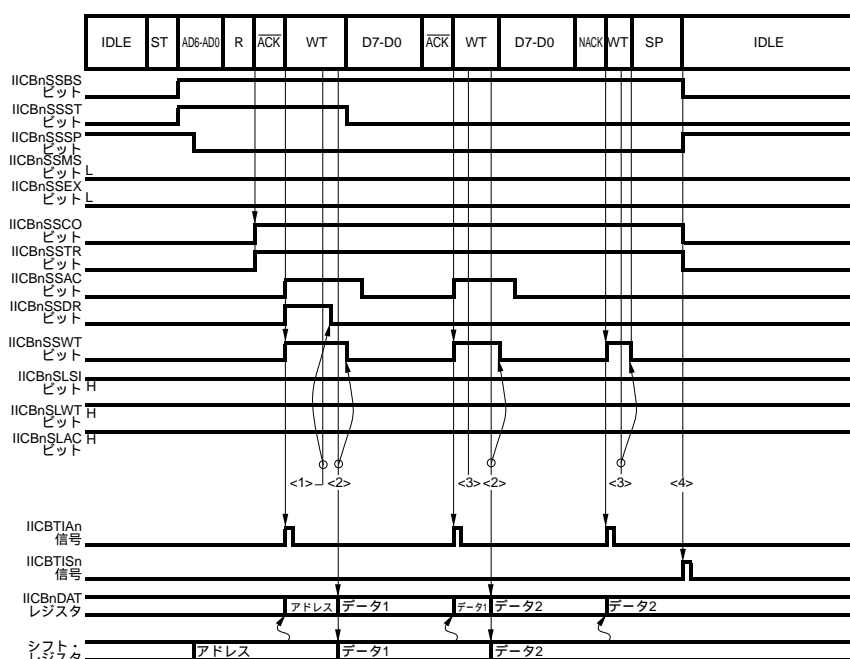
- ウェイト期間中に IICBnCTL0.IICBnSLWT ビット =1, IICBnSLAC ビット =0 に設定
- その後, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除しアクノリッジが生成されず, 送信側にデータの終わりを通知

## &lt;6&gt; ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出



## (4) シングル転送モード (スレーブ送信) の通信例



**備考** データ送信時は9クロック目の立ち下がりでウェイト状態とするため、IICBnCTL0.IICBnSLWT ビットをセット (1) してください。

## &lt;1&gt; スレーブ時の動作モード確認

- IICBTIA n 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSSCO, IICBnSSTR ビットでアドレス転送, アドレス一致, 送信動作であることを確認
- IICBnDAT レジスタをリード (空読み)

## &lt;2&gt; データ送信

ウェイト期間中に IICBnDAT レジスタへ送信データを設定することでウェイト解除し, 送信開始

## &lt;3&gt; アクノリッジ結果確認

IICBTIA n 割り込みで IICBnSTR0.IICBnSSAC ビットをリードし, 確認

アクノリッジが生成されなかった場合は送信完了と判断し, IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除

## &lt;4&gt; ストップ・コンディション検出

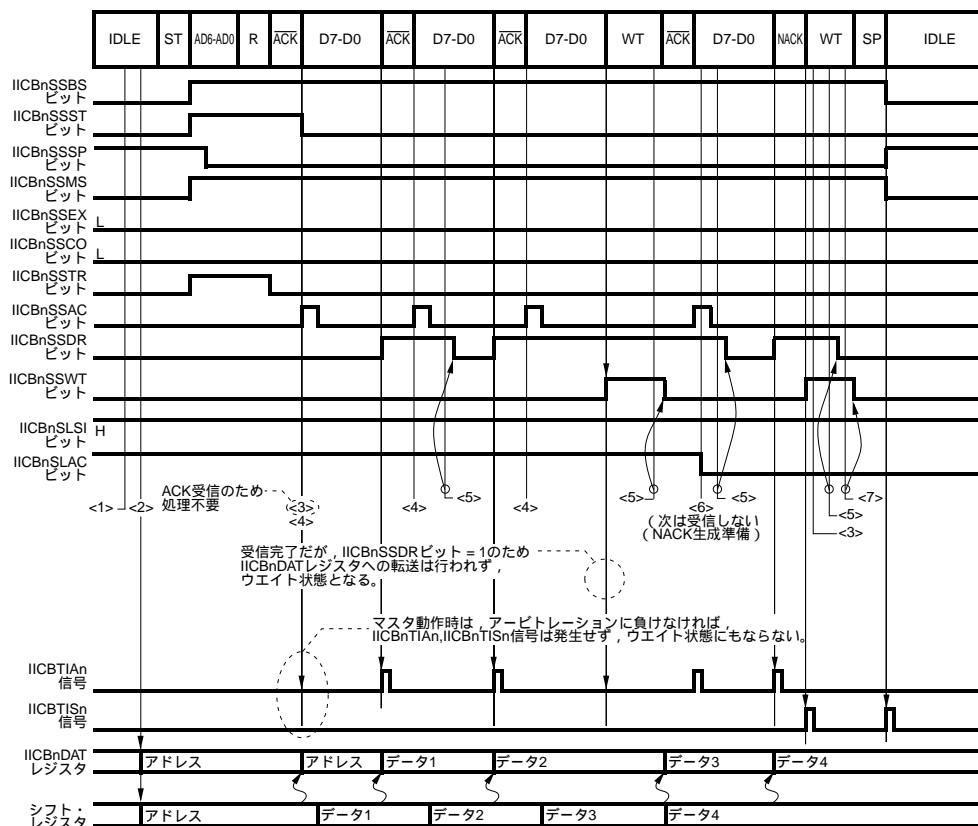
IICBTISn 割り込みでストップ・コンディションを検出

### 30.6.2 連続転送モード

連続転送モードは、データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>) の発生ごとに IICBnDAT レジスタへリードまたはライトすることで、ウェイト状態とならずに連続で通信できる転送モードです。

各処理の動作を以下に示します。

## (1) 連続転送モード (マスタ受信) の通信例



## &lt;1&gt; スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

## &lt;2&gt; アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて, 8 ビットとして IICBnDAT レジスタへ設定

## &lt;3&gt; アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

## &lt;4&gt; アクノリッジ結果確認

受信開始タイミングまでに IICBnDAT レジスタに未読み出しデータがなければウエイト状態とならず受信開始

## &lt;5&gt; 受信データ取り込み

IICBTIAAn 割り込みで IICBnDAT レジスタから受信データをリード

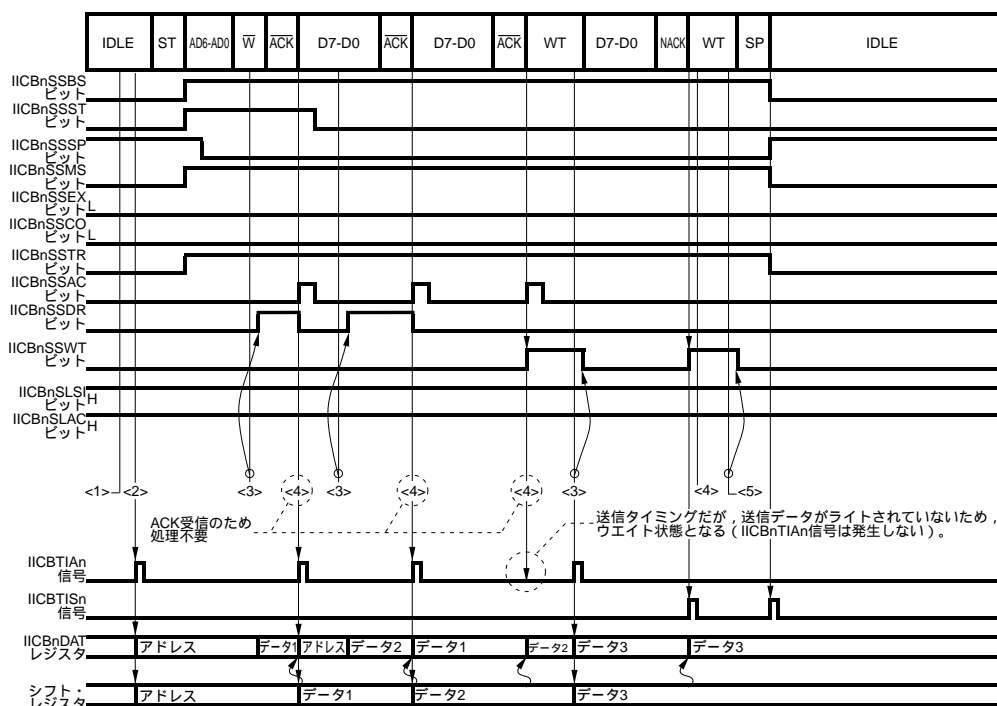
## &lt;6&gt; データ受信完了処理

最終受信データの1つ前の受信データをリードする前に IICBnCTL0.IICBnSLAC ビットをクリア (0) することで次回アクノリッジが生成されず, 送信側にデータの終わりを通知

## &lt;7&gt; ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

## (2) 連続転送モード (マスタ送信) の通信例



<1> スタート・コンディション出力

IICBnTRG. IICBnSTT ビットをセット (1)

<2> アドレス, 転送方向指定出力

スレーブのアドレスと転送方向を合わせて, 8 ビットとして IICBnDAT レジスタへ設定

<3> データ送信

IICBTIAN 割り込みで IICBnDAT レジスタへ送信データを設定

<4> アクノリッジ結果確認

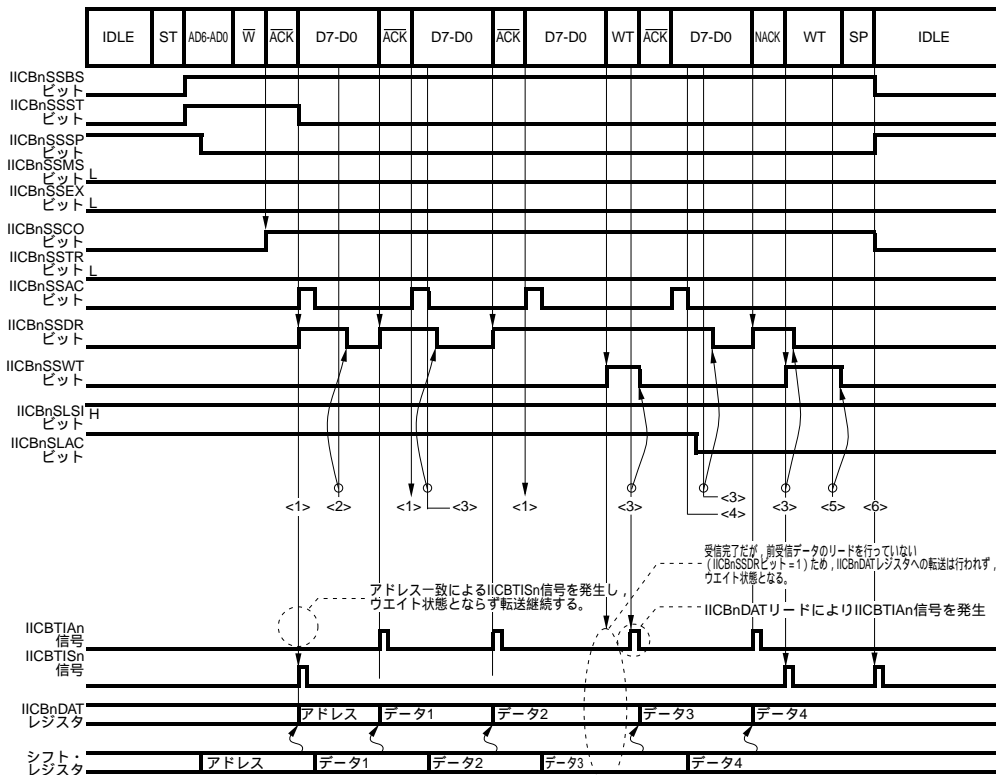
スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

<5> ストップ・コンディション出力

IICBnTRG. IICBnSPT ビットをセット (1)

## (3) 連続転送モード (スレーブ受信) の通信例



## &lt;1&gt; データ受信

受信開始タイミングまでに I2CnDAT レジスタに未読み出しデータがなければウェイト状態とならず受信開始

## &lt;2&gt; スレーブ時の動作モード確認

- I2CBTISn 割り込みで動作モードを確認
- I2CnSTR0.I2CnSSST, I2CnSSCO, I2CnSSTR ビットでアドレス転送, アドレス一致, 受信動作であることを確認
- I2CnDAT レジスタをリード (空読み)

## &lt;3&gt; 受信データ取り込み

I2CBTIAN 割り込みで I2CnDAT レジスタから受信データをリード

## &lt;4&gt; データ受信完了処理①

最終受信データの 1 つ前の受信データをリードする前に I2CnCTL0.I2CnSLAC ビットをクリア (0) することで次回アクノリッジが生成されず, 送信側にデータの終わりを通知

## &lt;5&gt; データ受信完了処理②

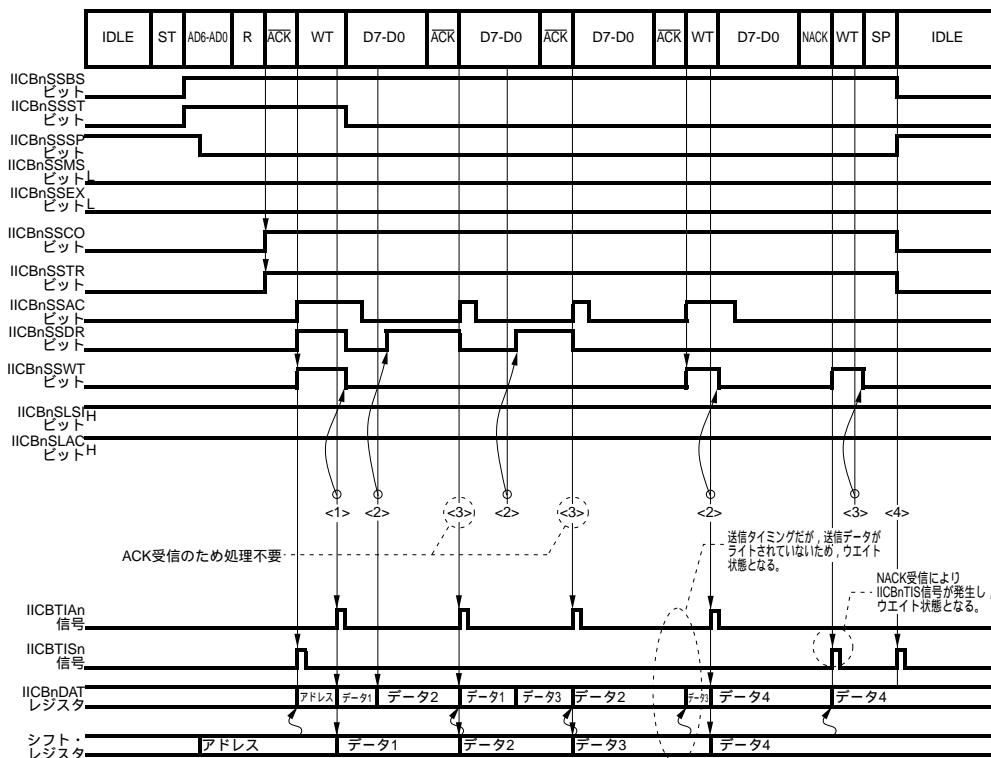
スレーブがアクノリッジを返さないときだけ I2CBTISn 割り込みが発生。

I2CnTRG.I2CnWRET ビットをセット (1) することでウェイト解除。

## &lt;6&gt; ストップ・コンディション検出

I2CBTISn 割り込みでストップ・コンディションを検出

## (4) 連続転送モードでのスレーブ送信



## &lt;1&gt; スレーブ時の動作モード確認

- IICBTISn 割り込みで動作モードを確認
- IICBnSTR0.IICBnSSST, IICBnSSCO, IICBnSSTR ビットでアドレス転送、アドレス一致、送信動作であることを確認
- IICBnDAT レジスタをリード（空読み）後に、IICBnDAT レジスタへ1回目の送信データを設定

## &lt;2&gt; データ送信

IICBTIAAn 割り込みで IICBnDAT レジスタへ送信データを設定

## &lt;3&gt; アクノリッジ結果確認

スレーブがアクノリッジを返さないときだけ IICBTISn 割り込みが発生。

IICBnSTR0.IICBnSSAC ビットをリードし確認。

アクノリッジが生成されなかった場合は送信完了と判断し、IICBnTRG.IICBnWRET ビットをセット (1) することでウェイト解除。

## &lt;4&gt; ストップ・コンディション検出

IICBTISn 割り込みでストップ・コンディションを検出

### 30.6.3 アービトレーション

I<sup>2</sup>CBn がマスタでアービトレーションに負けた場合は、アービトレーション負けを検出すると、SCLn および SDA<sub>n</sub> をそれぞれハイ・レベルにすることでスレーブ待機状態とし、その後のステータス割り込み要求信号 (IICBTISn) を発生するタイミングで、IICBnSTR0.IICBnALDF ビットをセット (1) します。

#### (1) アービトレーション発生時の状態

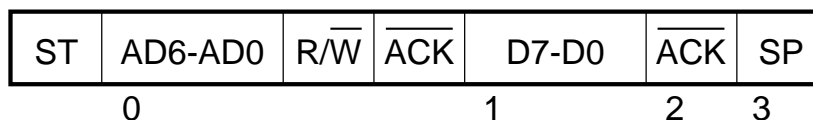
マスタ (IICBnSTR0.IICBnSSMS ビット = 1) 時のアービトレーションが発生する状態を次に示します。

1. アドレス送信中。
2. アドレス転送の R/W ビット送信中。
3. 拡張コード送信中。
4. 拡張コード転送の R/W ビット送信中。
5. データ送信中。
6. データ受信後の ACK ビット送信中。
7. アドレス転送中またはデータ転送中のスタート・コンディション検出。
8. アドレス転送中またはデータ転送中のストップ・コンディション検出。
9. リスタート・コンディションを生成しようとしたが SDA<sub>n</sub> 端子がロウ・レベル。
10. ストップ・コンディションを生成しようとしたが SDA<sub>n</sub> 端子がロウ・レベルのまま。
11. リスタート・コンディションを生成しようとしたが SCLn 端子の立ち下がりを検出。

### 30.6.4 ウェイトとウェイト解除方法

I<sup>2</sup>CBn は、次に示すタイミングでウェイト状態へ遷移できます。

表 30-19 ウェイト状態への遷移タイミング



発生タイミング	説明	参照箇所
Δ 0	マスタとしてスタート・コンディション検出後、最初の SCLn の立ち下がり検出時	1
Δ 1	スタート・コンディション後のアドレス転送中における SCLn の 9 クロック目の立ち下がり検出時	2
Δ 2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	3
Δ 3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	4

備考 ST : スタート・コンディション  
 AD6-AD0 : アドレス  
 R/W: : 転送方向指定  
 ACK: : アクノリッジ  
 D7-D0 : データ  
 SP : ストップ・コンディション

ウェイトの解除方法は、ウェイトしている状態により異なります。  
 (1) - (4) に記載した各ウェイト状態での解除条件に従って、解除してください。



**(1) マスタとなった最初の SCLn 立ち下がりのウエイト**

△0 は、IICBnTRG.IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出したとき、転送すべきデータがライト (IICBnDAT レジスタへのライト) されていない場合のウエイト状態です。

**(a) ウエイト遷移条件**

IICBnSTT ビット = 1 ライト後、マスタとなった最初の SCLn 立ち下がりを検出時、IICBnSTT ビット = 1 ライト後から△0 タイミングまでに IICBnDAT レジスタへライト動作が行われていなければウエイト状態となります。

ただし、IICBnSTT ビット = 1 ライト後の IICBnDAT レジスタへの有効な (ウエイトとならない) ライトを行うことができるタイミングは通信予約機能許可時と通信予約機能禁止時で異なります。図 30-11 にそれぞれの設定で有効な IICBnDAT レジスタへのライト・タイミングを示します。

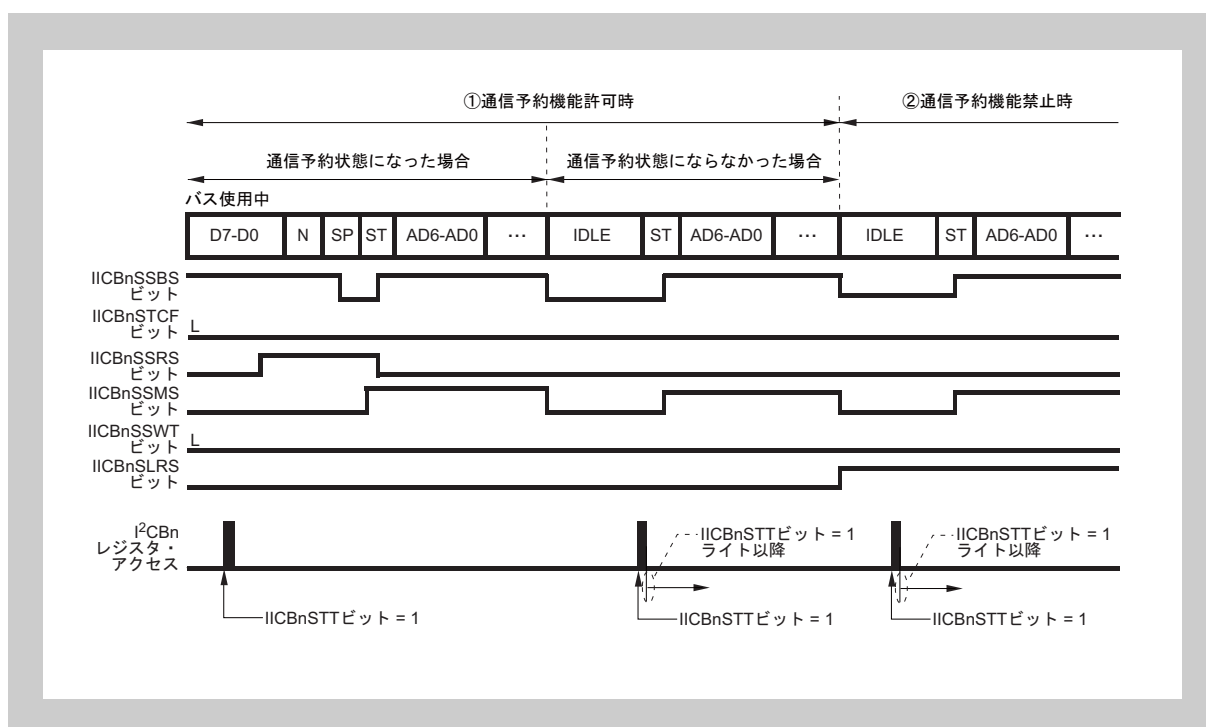


図 30-11 有効な IICBnDAT レジスタへのライト・タイミング

**注意** 図中の②通信予約機能禁止時は、IICBnSTR0.IICBnSTCF ビット = 0 の場合です。IICBnSTCF ビット = 1 となった場合は、再度、IICBnIICBnSTT ビット = 1 ライトから設定が必要になります。

**(b) ウエイト解除条件**

IICBnDAT ライトでウエイト解除を行ってください。

**(2) アドレス転送完了時のウエイト状態**

△1 は、アドレス転送完了したことによるウエイト状態です。

**(a) ウェイト遷移条件**

## &lt;シングル転送モード&gt;

シングル転送モード時は、マスタ時は必ずウェイト状態となります。

スレーブ時はアドレス一致、または拡張コード検出かつ IICBnSLWT ビット = 1 の場合にウェイト状態となります。

## &lt;連続転送モード&gt;

連続転送モード時は、次に示す場合にウェイト状態となります。

- NACK 検出した場合
- マスタ送信時で、次に転送するデータをライトしていない場合
- スレーブ動作時で、前に受信したデータをリードしていない場合、または、送信時

**(b) ウェイト解除条件**

## &lt;シングル転送モード&gt;

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnWRET ビット = 1 ライトによりウェイトを解除してください。マスタ動作時で、IICBnSTR0.IICBnSSAC ビット = 0 または送信であれば、IICBnTRG.IICBnSTT ビット = 1 ライトおよび IICBnTRG.IICBnSPT ビット = 1 ライトによるウェイト解除が可能です。

## &lt;連続転送モード&gt;

送信動作時は IICBnDAT レジスタへのライト、受信動作時は IICBnDAT レジスタのリードによりウェイトを解除してください。マスタ動作時で、IICBnSSAC ビット = 0 であれば、IICBnSTT ビット = 1 ライトおよび IICBnSPT ビット = 1 ライトによるウェイト解除が可能です。

**(3) データ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態**

△ 2 はデータ転送中における SCLn の 8 回目の立ち下がり検出時でのウェイト状態です。

**(a) ウェイト遷移条件**

## &lt;シングル転送モード&gt;

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット = 0 で、SCLn の 8 回目の立ち下がり検出時にウェイト状態へ遷移します。

## &lt;連続転送モード&gt;

通信に参加している状態での IICBnSTR0.IICBnSSTR = 0 で、SCLn の 8 回目の立ち下がり時まで前データの処理 (IICBnDAT レジスタからのリード) が行われておらず、IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT = 1 ライトが行われていない場合にウェイト状態へ遷移します。

**(b) ウェイト解除条件**

## &lt;シングル転送モード&gt;

受信動作時は IICBnTRG.IICBnWRET= 1 ライト, 送信動作時は IICBnDAT レジスタへのライトによりウェイトを解除してください。

<連続転送モード>

IICBnDAT レジスタからのリードによりウェイトを解除してください。

**(4) データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態**

△ 3 は, データ転送中における SCLn の 9 回目の立ち下がり検出時でのウェイト状態です。

連続転送モードの場合は, NACK 受信によるウェイト状態となります。

**(a) ウェイト遷移条件**

<シングル転送モード>

通信に参加している状態での IICBnCTL0.IICBnSLWT ビット = 1 で SCLn の 9 回目の立ち下がり検出時にウェイト状態へ遷移します。

<連続転送モード>

データ送信中で, 次の 3 状態のときウェイト状態へ遷移します (すべて通信に参加している場合)。

IICBnSLWT ビット = 1 で ACK ビットに NACK を受信したとき

送信で, 送信データがデータレジスタにライトされていないとき

受信で, 前回受信したデータがリードされていないとき

## (b) ウェイト解除条件

表 30-20 にモードごとのウェイト解除条件を示します。

表 30-20 ウェイト解除条件

マスタ/ スレーブ	転送モード	送信/ 受信	IICBnSTR0. IICBnSSAC ビット	解除動作
マスタ	シングル転送 モード	受信	0	IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT = 1
			1	IICBnTRG.IICBnLRET = 1
		送信	0	IICBnSTT ビット = 1 または IICBnSPT = 1
			1	IICBnDAT レジスタへのライトまたは IICBnSTT ビット = 1 または IICBnSPT ビット = 1
	連続転送モード	受信	0	IICBnSTT ビット = 1 または IICBnSPT ビット = 1
			1	IICBnDAT レジスタからのリード <sup>a</sup>
		送信	0	IICBnSTT ビット = 1 または IICBnSPT ビット = 1
			1	IICBnDAT レジスタへのライト <sup>b</sup>
スレーブ	シングル転送 モード	受信	—	IICBnWRET ビット = 1
		送信	0	IICBnWRET ビット = 1
			1	IICBnDAT レジスタへのライト <sup>a</sup>
	連続転送モード	受信	0	IICBnWRET ビット = 1
		送信	0	IICBnWRET ビット = 1
			1	IICBnDAT レジスタへのライト

a) 送信データがデータレジスタにライトされていないことによるウェイト状態の解除条件です。

b) 前回受信したデータがリードされていないことによるウェイト状態の解除条件です。

### 30.6.5 拡張コード

拡張コードを受信した場合の処理は、拡張コードに続くデータにより異なるため、ユーザのソフトウェア処理で行う必要があります。

そのため、通常のスレーブ・アドレス受信時と動作が異なります。違いは次のとおりです。

1. 受信アドレスの上位4ビットが“0000”または“1111”のとき、拡張コード受信として拡張コード受信フラグ (IICBnSTR0.IICBnSSEX ビット) をセットし、8クロック目の立ち下がりでステータス割り込み要求信号 (IICBTISn) を発生し、ウェイト状態 (IICBnTRG.IICBnSSWT = 1) となります。  
また IICBnSTR0.IICBnSSDR ビットおよび IICBnSSTR ビットがセット (1) されます。
2. アドレス転送中のアクノリッジ出力では、IICBnCTL0.IICBnLAC ビットの設定により、アクノリッジを制御可能です (通常のスレーブ・アドレス受信時におけるアドレス転送中では、アドレス一致の場合、IICBnCTL0.IICBnLAC の設定に関係なくアクノリッジを出力します)。
3. 拡張コード検出によるウェイトの解除方法を示します。

< IICBnMDTX1 ビット = 0 の場合 >

IICBnCTL0.IICBnSLWT ビット = 0 で送信する場合は、IICBnDAT レジスタへのライトによりウェイト解除してください。IICBnSLWT ビット = 1 で送信する場合は、または、受信する場合は、IICBnTRG.IICBnWRET ビット = 1 ライトによりウェイト解除してください。

< IICBnMDTX1 ビット = 1 の場合 >

送信の場合は IICBnDAT レジスタへのライト、受信の場合は IICBnDAT レジスタからのリードによりウェイト解除してください。

4. その後の9クロック目の立ち下がり時は、IICBnSLWT ビット = 1 の場合は、割り込み要求信号 (IICBTIAN) を発生しウェイト状態 (IICBnTRG.IICBnSSWT=1)、IICBnCTL0.IICBnSLWT ビット = 0 の場合は、割り込み要求信号 (IICBTIAN) を発生せずウェイト状態にもなりません。
5. 拡張コードを受信した場合は、アドレス不一致でも通信に参加します。たとえば、拡張コード受信後、スレーブとして動作したくない場合は、IICBnTRG.IICBnLRET ビット = 1 に設定してください。次の通信待機状態となります。

## 30.7 割り込み要求信号

**注意** 拡張コード受信時の動作は説明を省略しています。詳細は、30.6.5「拡張コード」を参照してください。

I<sup>2</sup>CBnには、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>)、ステータス割り込み要求信号 (IICBTIS<sub>n</sub>) があります。いずれも PCLK で1クロック幅のパルスです。L0.IICBnMDTX1, IICBnMDTX0 ビットで設定した転送モードにより割り込み要求信号発生タイミングがそれぞれ異なります。ここでは、それぞれの割り込み要求信号について転送モード別に説明します。

マスタおよびスレーブでアドレス一致した転送を行う場合は IICBnMDTX0 ビット、スレーブで拡張コード検出した転送を行う場合は IICBnMDTX1 ビットの値によりシングル転送モード/連続転送モードを選択します。

### 30.7.1 シングル転送モード

次にシングル転送モード時の割り込み要求信号発生タイミングを示します。

シングル転送モードの場合、IICBTIA<sub>n</sub> 割り込み要求信号および IICBTIS<sub>n</sub> 割り込み要求信号は、バス・サイクルの SCL<sub>n</sub> 立ち下がり検出時の I<sup>2</sup>CBn の状態により割り込み発生の判定を行います。ただし、△5 タイミングの場合のみ、ストップ・コンディション検出時の I<sup>2</sup>CBn の状態により割り込み発生の判定を行います。

表 30-21 割り込み要求信号発生タイミング (シングル転送モード)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2	3 4

発生タイミング	説明	参照箇所
△1	アドレス転送中における SCL <sub>n</sub> の9クロック目の立ち下がり検出時	(1)
△2	データ転送中における SCL <sub>n</sub> の8クロック目の立ち下がり検出時	(2)
△3	データ転送中における SCL <sub>n</sub> の9クロック目の立ち下がり検出時	(2)
△4	ストップ・コンディション検出時	(3)

**備考** ST : スタート・コンディション  
 AD6-AD0 : アドレス  
 R/W: : 転送方向指定  
 ACK: : アクノリッジ  
 D7-D0 : データ  
 SP : ストップ・コンディション

## (1) アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 30-21 の△ 1 および△ 2 はアドレス転送中の割り込み要求信号発生タイミングです。表 30-22 に△ 1 および△ 2 での割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA<sub>n</sub> または IICBTIS<sub>n</sub>) を示します。

表 30-22 アドレス転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	△ 1		備 考
				割り込み	ウェイト	
1	0	×	×	IICBTIA <sub>n</sub>	ウェイト	—
1	1	×	×	この状態は存在しません。		—
0	0	×	0	IICBTIS <sub>n</sub> <sup>a</sup>	—	リスタート後, 通信不参加
0	0	×	1	IICBITA <sub>n</sub>	ウェイト	—
0	1	×	0	IICBTIS <sub>n</sub>	—	アービトレーション負け後, 通信不参加
0	1	×	1	IICBTIA <sub>n</sub>	ウェイト	—

a) リスタート・コンディション前, アドレス一致または拡張コード検出していた場合

備考 ×: 任意

## (2) データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号

表 30-21 の△ 3 および△ 4 はデータ転送中の割り込み要求信号発生タイミングです。△ 3 または△ 4 での割り込み要求信号発生タイミングは, IICBnCTL0.IICBnSLWT ビットの設定により決定されます。表 30-23 に△ 3 および△ 4 のタイミングでの割り込み要求信号発生条件と発生する割り込み要求信号 (IICBTIA<sub>n</sub> または IICBTIS<sub>n</sub>) を示します。

表 30-23 データ転送中の割り込み要求信号発生条件と発生する割り込み要求信号 (シングル転送モード)

IICBn SSMS	IICBn ALDF	IICBn SLWT	IICBn SSCO	△ 2		△ 3		備 考
				割り込み	ウェイト	割り込み	ウェイト	
1	0	0	×	IICBTIA <sub>n</sub>	ウェイト	—	—	—
1	0	1	×	—	—	IICBTIA <sub>n</sub>	ウェイト	—
1	1	×	×	この状態は存在しません。				—
0	0	×	0	—	—	—	—	通信不参加
0	0	0	1	IICBTIA <sub>n</sub>	ウェイト	—	—	—
0	0	1	1	—	—	IICBTIA <sub>n</sub>	ウェイト	—
0	1	0	0	IICBTIS <sub>n</sub>	—	—	—	アービトレーション負け後, 通信不参加
0	1	1	0	—	—	IICBTIS <sub>n</sub>	—	アービトレーション負け後, 通信不参加
0	1	0	1	IICBTIA <sub>n</sub>	ウェイト	—	—	—
0	1	1	1	—	—	IICBTIA <sub>n</sub>	ウェイト	—

備考 ×: 任意

**(3) ストップ・コンディション検出時の割り込み要求信号発生**

表 30-21 の△ 4 は、ストップ・コンディション検出時の割り込み要求信号発生タイミングです。

ストップ・コンディション検出時は、IICBnCTL0.IICBnSLSI ビットの設定により割り込み要求信号の発生制御を行い、IICBnSLSI ビット = 1 の場合にストップ・コンディションを検出すると、ステータス割り込み要求信号 (IICBTISn) を発生します。



## 30.7.2 連続転送モード

### (1) データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>)

次に連続転送モード時の IICBTIA<sub>n</sub> 信号が発生する条件を示します。

- 受信時の割り込み要求信号発生条件

受信データをシフト・レジスタから IICBnDAT レジスタへデータの格納を行ったとき (図 30-12 の①のタイミング)。

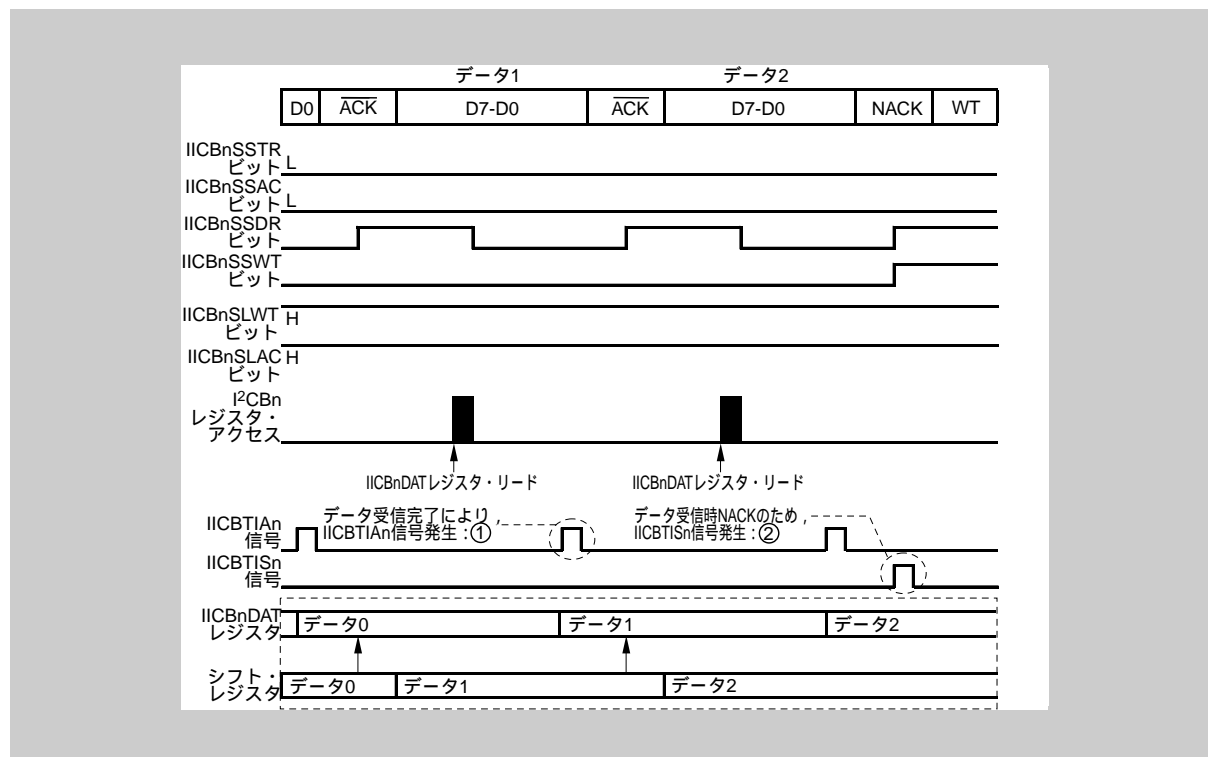


図 30-12 IICBTIA<sub>n</sub> 信号発生タイミング (受信, 連続転送モード)

- 送信時の割り込み要求信号発生条件

シフト・レジスタおよび IICBnDAT レジスタに送信データがない状態で、IICBnDAT レジスタにデータをライトしたとき（図 30-13 の②のタイミング）。

IICBnDAT レジスタからシフト・レジスタにデータを格納したとき（図 30-13 の①のタイミング）。

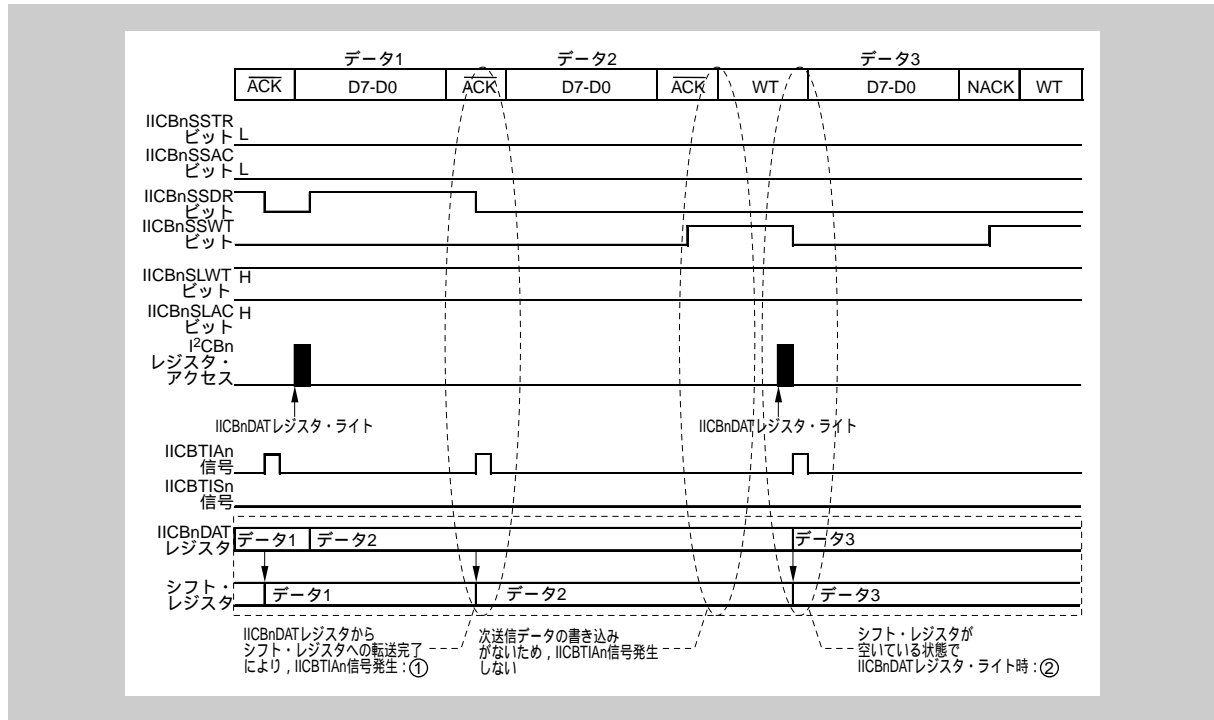
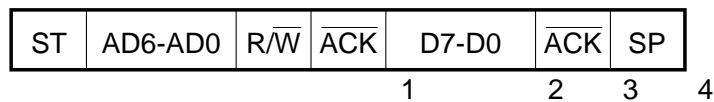


図 30-13 IICBTIAn 信号発生タイミング（送信，連続転送モード）

## (2) ステータス割り込み要求信号 (IICBTISn)

連続転送モード時の IICBTISn 信号発生タイミングは、シングル転送モードと同じタイミングになります。

表 30-24 IICBTISn 信号発生タイミング



発生タイミング	説明	参照箇所
△ 1	スタート・コンディション後におけるアドレス転送中の SCLn の 9 クロック目の立ち下がり検出時	(a)
△ 2	データ転送中における SCLn の 8 クロック目の立ち下がり検出時	(b)
△ 3	データ転送中における SCLn の 9 クロック目の立ち下がり検出時	(b)
△ 4	ストップ・コンディション検出時	(c)

備考 ST : スタート・コンディション  
 AD6-AD0 : アドレス  
 R/W: : 転送方向指定  
 ACK: : アクノリッジ  
 D7-D0 : データ  
 SP : ストップ・コンディション

## (a) アドレス転送中の IICBTISn 信号発生条件

表 30-24 の△ 1 および△ 2 はアドレス転送中の IICBTISn 信号発生タイミングです。表 30-25 に△ 1 および△ 2 での IICBTISn 信号発生条件を示します。

表 30-25 アドレス転送中の IICBTISn 信号発生条件 (連続転送モード)

IICBn SSMS	IICBn SSCO	IICBn ALDF	転送 方向	IICBn SSDR	IICBn SSAC	△ 1	
						割り込み	ウェイト
1	x	0	送信	0	1	—	ウェイト
1	x	0	送信	0	0	IICBTISn	ウェイト
1	x	0	送信	1	1	—	—
1	x	0	送信	1	0	IICBTISn	ウェイト
1	x	0	受信	0	1	—	—
1	x	0	受信	0	0	—	ウェイト
1	x	0	受信	1	1	IICBnDAT リード時 IICBTISn	ウェイト
1	x	0	受信	1	0	IICBnDAT リード時 IICBTISn	ウェイト
1	x	1	x	x	x	この状態は存在しません。	
0	0	0	x	x	x	IICBTISn <sup>a</sup>	—
0	0	1	x	x	x	IICBTISn	—
0	1	x	送信	x	1	IICBTISn	ウェイト
0	1	x	受信	0	1	IICBTISn	—
0	1	x	受信	1	1	IICBnDAT リード時 IICBTISn	ウェイト

a) リスタート・コンディション前, アドレス一致していた場合

**注意** △ 1 の場合は, IICBnSSAC ビットの値は必ず 0 になります。

**備考** x : 任意

## (b) データ転送中の IICBTISn 信号発生条件

表 30-24 の△ 2 および△ 3 はデータ転送中の IICBTISn 信号発生タイミングです。表 30-26 に△ 3 および△ 4 タイミングでの IICBTISn 信号発生条件を示します。

表 30-26 データ転送中の IICBTISn 信号発生条件 (連続転送モード)

IICBn SSMS	IICBn SSCO	IICBn SLWT	IICBn ALDF	転送 方向	IICBn SSDR	IICBn SSAC	IICBnS TT または IICBnS PT	△ 2		△ 3	
								割り込み	ウェイト	割り込み	ウェイト
1	x	0	x	送信	0	1	a	—	—	—	—
1	x	0	x	送信	0	0	a	—	—	IICBTISn	ウェイト
1	x	0	x	送信	1	1	a	—	—	—	—
1	x	0	x	送信	1	0	a	—	—	IICBnDAT ライト時 IICBTISn	ウェイト
1	x	0	x	受信	0	1	a	—	—	—	—
1	x	0	x	受信	0	0	a	—	—	IICBTISn	ウェイト
1	x	0	x	受信	1	1	a	—	—	—	—
1	x	0	x	受信	1	0	a	—	—	IICBnDAT リード後 IICBTISn	ウェイト
1	x	x	x	x	x	0	b	—	—	IICBTISn	—
1	x	x	x	x	x	1	b	—	—	—	—
0	0	x	0	x	x	x	x	—	—	—	—
0	0	0	1	受信	x	x	x	IICBTIS	—	—	—
0	0	1	1	送信	x	x	x	—	—	IICBTISn	—
0	1	0	x	送信	0	1	a	—	—	—	ウェイト
0	1	0	x	送信	0	0	a	—	—	IICBnDAT ライト時 IICBTISn	ウェイト
0	1	0	x	送信	1	1	a	—	—	—	—
0	1	0	x	送信	1	0	a	—	—	IICBTISn	ウェイト
0	1	0	x	受信	0	1	a	—	—	—	—
0	1	0	x	受信	0	0	a	—	—	IICBTISn	ウェイト
0	1	0	x	受信	1	1	a	—	—	—	—
0	1	0	x	受信	1	0	a	—	—	IICBnDAT リード時 IICBTISn	ウェイト

a) IICBnTRG.IICBnSTT ビット = 1 または IICBnTRG.IICBnSPT ビット = 1 ライトされていない場合

b) IICBnSTT ビット = 1 または IICBnSPT ビット = 1 ライトされた場合

備考 x : 任意

**(c) ストップ・コンディション検出時の IICBTISn 信号発生**

表 30-24 の△ 4 はストップ・コンディション検出時の IICBTISn 信号発生タイミングです。

IICBnCTL0.IICBnSLSI ビットの設定により IICBTISn 信号の発生制御を行い、IICBnSLSI ビット = 1 の場合にストップ・コンディションを検出すると、IICBTISn 信号を発生します。

## 30.8 割り込み出力とステータス

次に、通信フロー別での割り込み出力発生時の IICBnSTR0 レジスタのステータス状態を示します。

図中で用いる略号の意味は次のとおりです。

ST : スタート・コンディション

AD6-AD0 : アドレス

R,  $\overline{W}$ ,  $\overline{R/W}$  : 転送方向指定

$\overline{ACK}$  : アクノリッジ

$\overline{NACK}$  : 非アクノリッジ

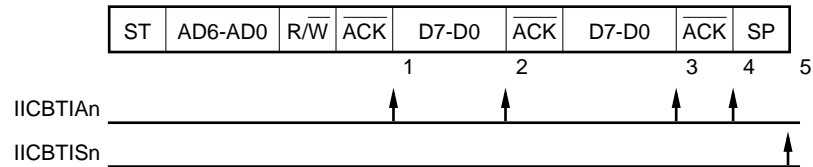
D7-D0 : データ

SP : ストップ・コンディション

### 30.8.1 シングル転送モード (マスタ動作)

#### (1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

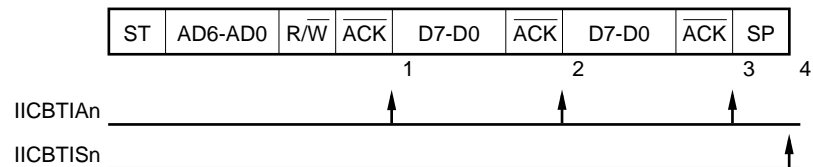
##### ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnSLWT ビット = 1)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B  
(IICBnTRG.IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

##### ② IICBnSLWT ビット = 1 のとき



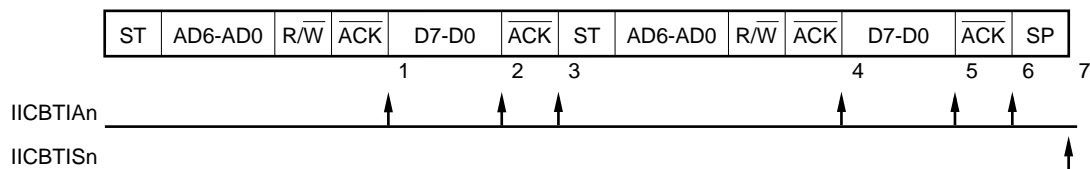
- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnSPT ビット = 1)
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意



(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop  
(リスタート)

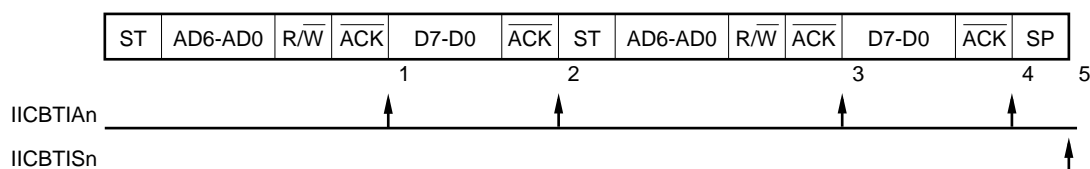
① IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnSLWT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnTRG.IICBnSTT ビット = 1, IICBnSLWT ビット = 0)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 5 : IICBnSTR0 レジスタ = 1-0100X0 0100--00B (IICBnSLWT ビット = 1)
- ▲ 6 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnSPT ビット = 1)
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

② IICBnSLWT ビット = 1 のとき

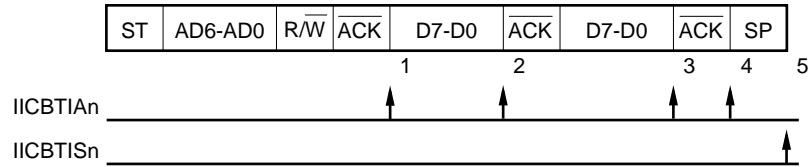


- ▲ 1 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnSTT ビット = 1)
- ▲ 3 : IICBnSTR0 レジスタ = 1-0100X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 1-0100XX 0100--00B (IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (3) Start ~ ExCode ~ Data ~ Data ~ Stop (拡張コード送信)

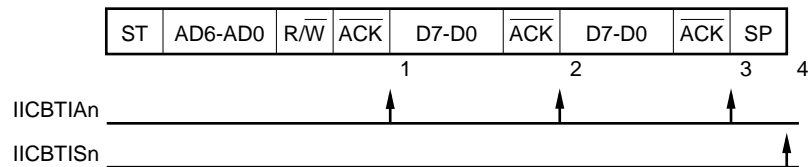
## ① IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0110X0 0100--00B (IICBnSLWT ビット = 1)
- ▲ 4 : IICBnSTR0 レジスタ = 1-0110XX 0100--00B (IICBnSPT ビット = 1)
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき



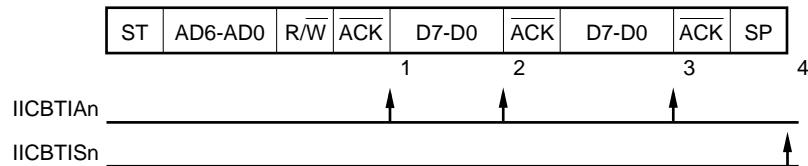
- ▲ 1 : IICBnSTR0 レジスタ = 1-0110X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 1-0110X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 1-0110XX 0100--00B (IICBnSPT ビット = 1)
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.2 シングル転送モード (スレーブ動作 : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

#### (1) Start ~ Address ~ Data ~ Data ~ Stop

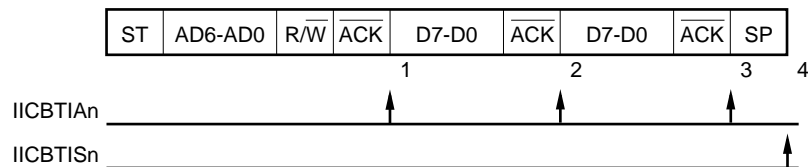
##### ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

##### ② IICBnSLWT ビット = 1 のとき

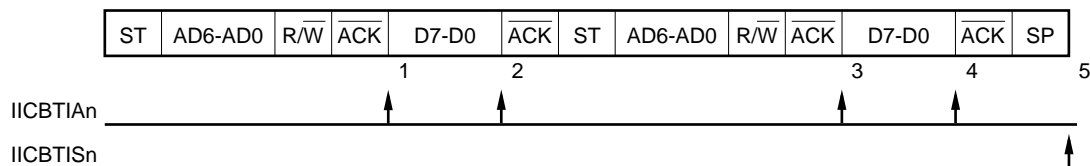


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

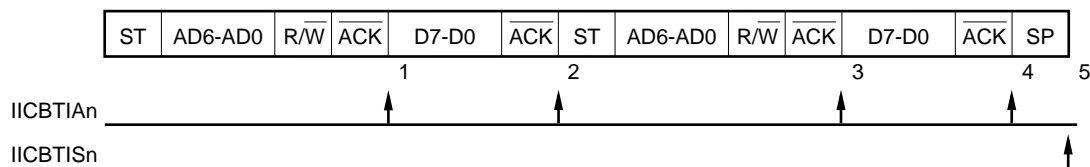
## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)

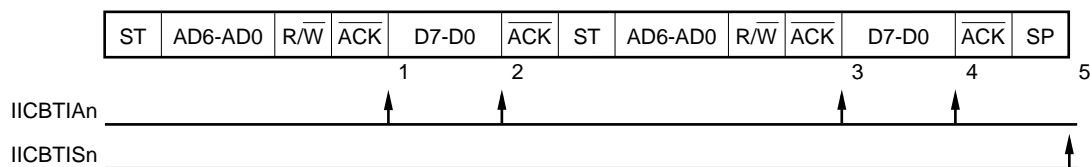


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

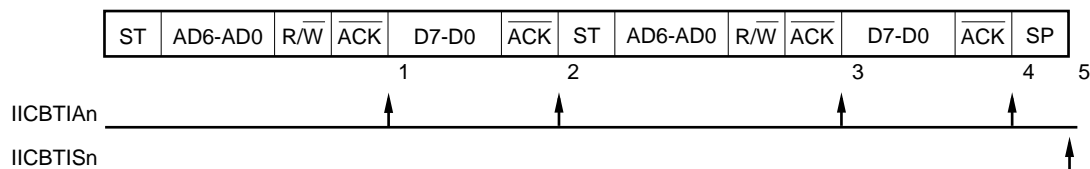
## ① IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)

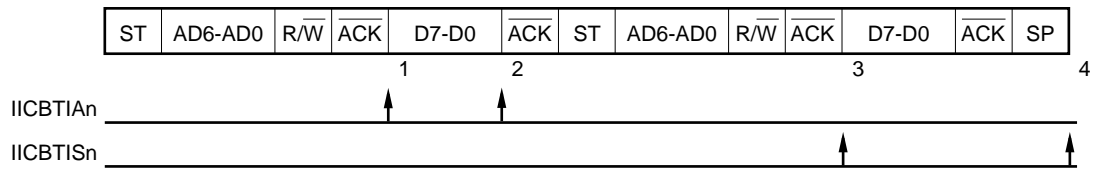


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

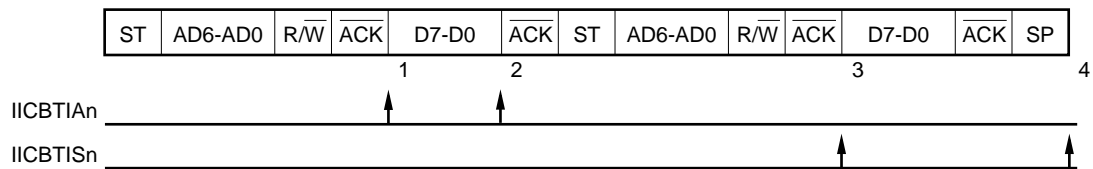
## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

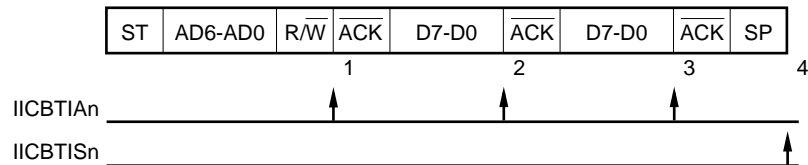
備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.3 シングル転送モード (スレーブ動作 : 拡張コード受信時 (ICBnSTR0.ICBnSSEX ビット = 1))

拡張コード受信時は常に通信に参加しています。

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

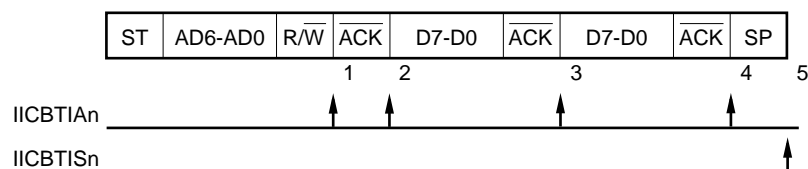
##### ① IICBnCTL0.ICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnCTL0.ICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

##### ② IICBnSLWT ビット = 1 のとき

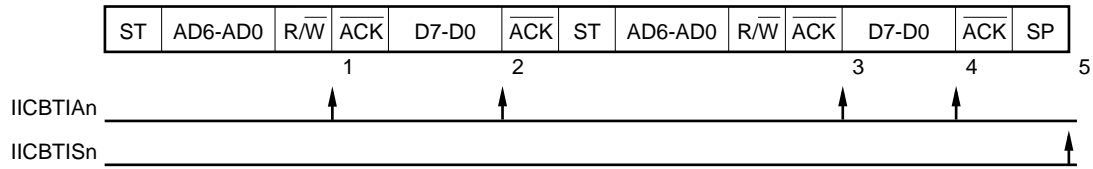


- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

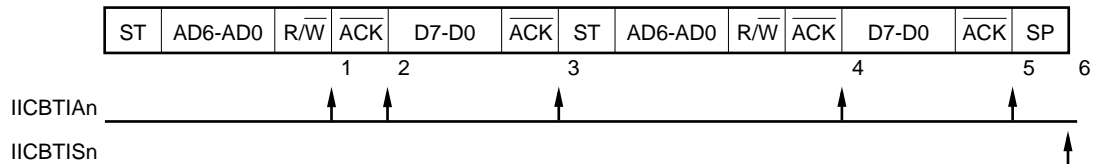
## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



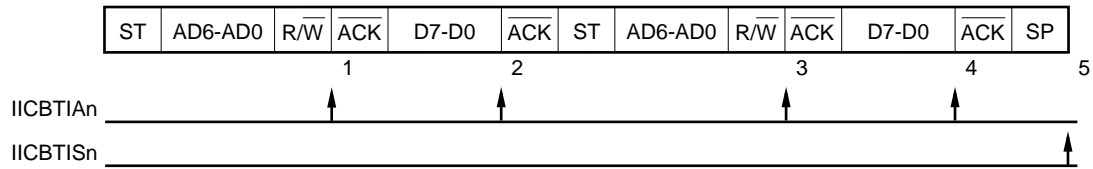
- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0101X1 0110--00B
- ▲ 5 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意



## (3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

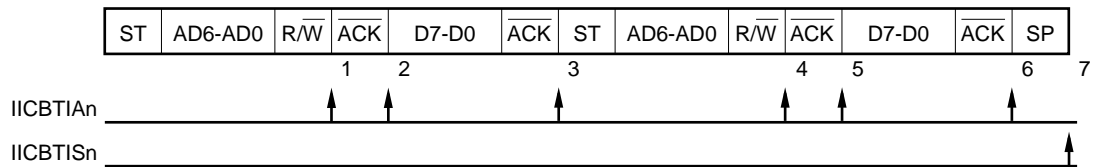
## ① IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B
- △ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)

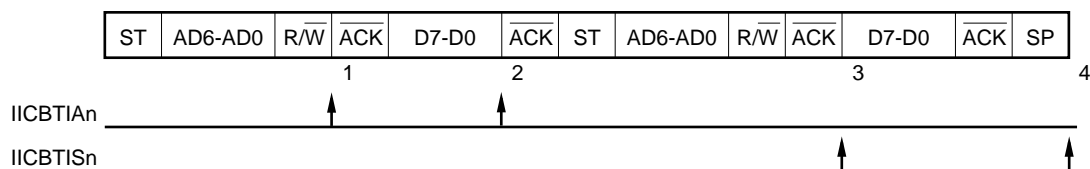


- ▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B
- ▲ 5 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B
- ▲ 6 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B

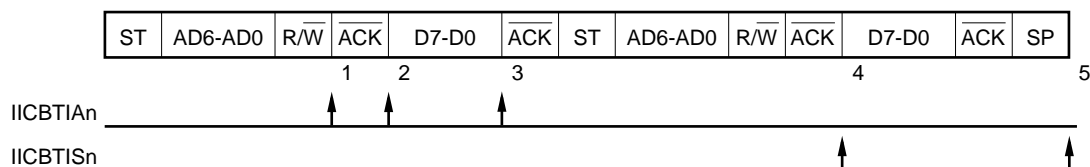
▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0100--00B

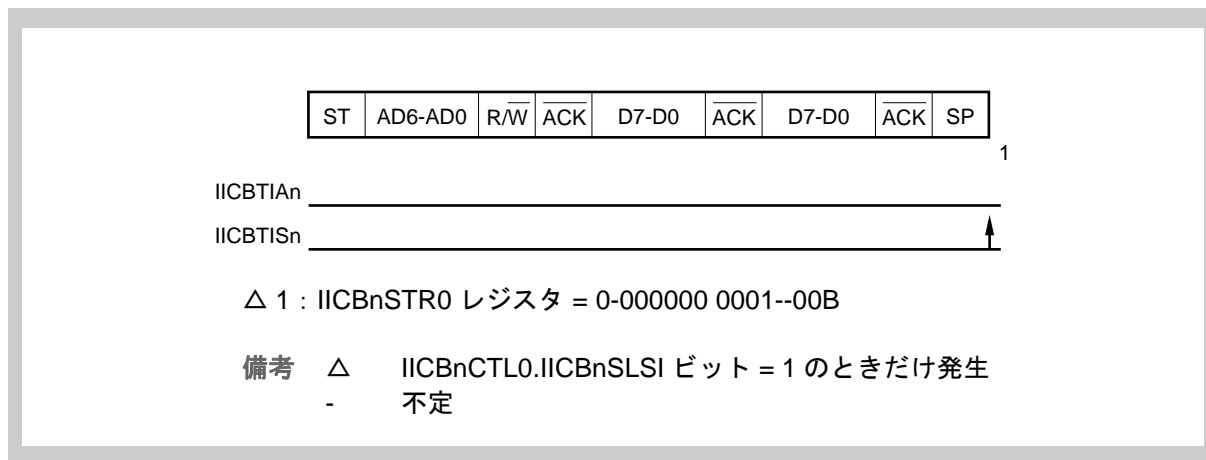
▲ 4 : IICBnSTR0 レジスタ = 0-0000X0 0110--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.4 シングル転送モード（通信不参加の動作）

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

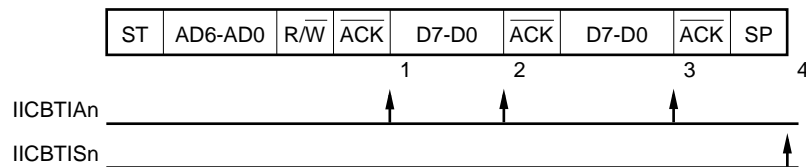


### 30.8.5 シングル転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット = 1）：アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) アービトレーションに負けたあと、アドレス一致の場合

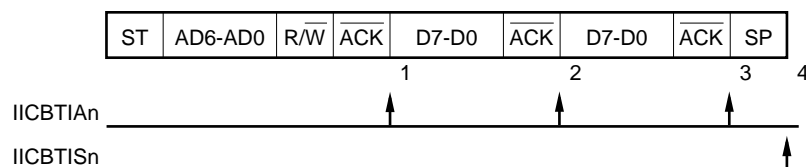
##### ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--01B  
(IICBnSTRC.IICBnCLAF ビット = 1)
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101X0 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

##### ② IICBnSLWT ビット = 1 のとき

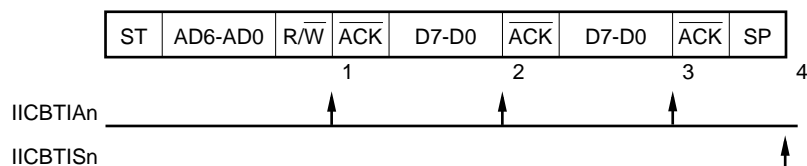


- ▲ 1 : IICBnSTR0 レジスタ = 0-0101X1 0110--01B (IICBnCLAF ビット = 1)
- ▲ 2 : IICBnSTR0 レジスタ = 0-0101X1 0100--00B
- ▲ 3 : IICBnSTR0 レジスタ = 0-0101XX 0100--00B
- △ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (2) アービトレーションに負けたあと、拡張コードを検出した場合

## ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--01B (IICBnCLAF ビット = 1)

▲ 2 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

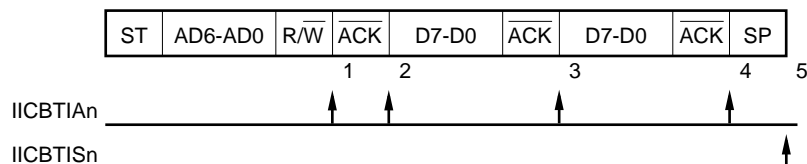
▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 1. ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

2.n = 0-5

## ② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-0110X0 0110--01B (IICBnCLAF ビット = 1)

▲ 2 : IICBnSTR0 レジスタ = 0-0110X1 0110--00B

▲ 3 : IICBnSTR0 レジスタ = 0-0110X0 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-0110XX 0100--00B

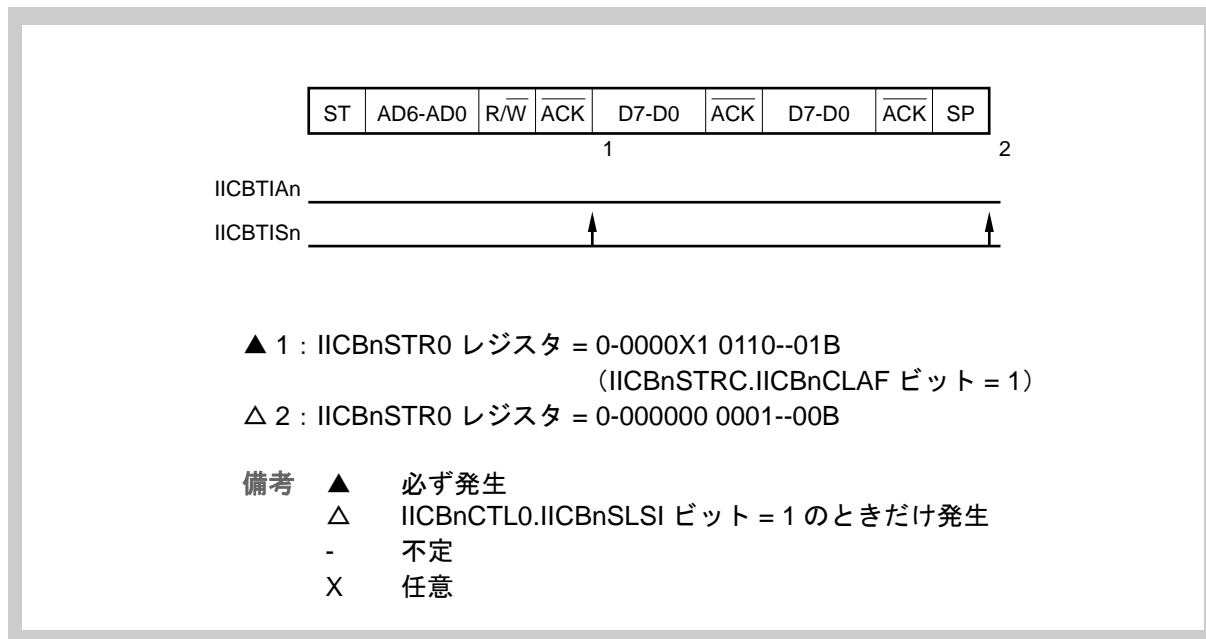
△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.6 シングル転送モード（アービトレーション負けの動作 (IICBnSTR0.IICBnALDF ビット = 1) : アービトレーション負け のあと、不参加)

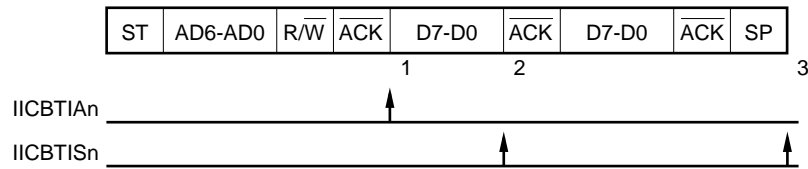
マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



## (2) データ転送時にアービトレーションに負けた場合

## ① IICBnSLWT ビット = 0 のとき



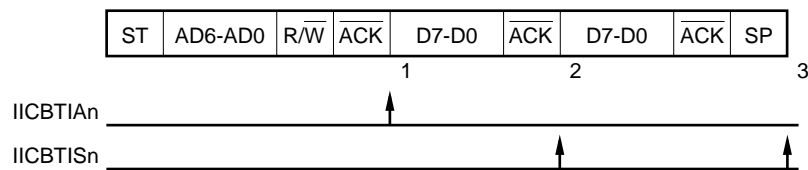
▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnCLAF ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

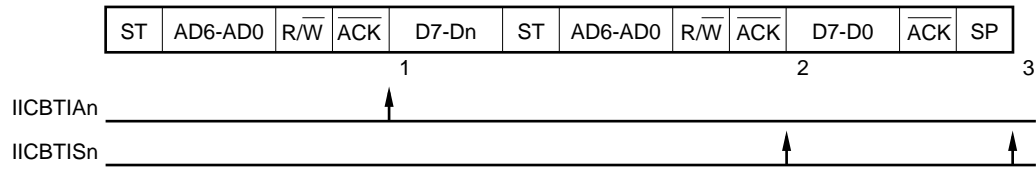
▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnCLAF ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (3) データ転送時にリスタート・コンディションで負けた場合

## ① IICBnSLWT ビット = 1 のとき (拡張コード不一致, アドレス不一致)



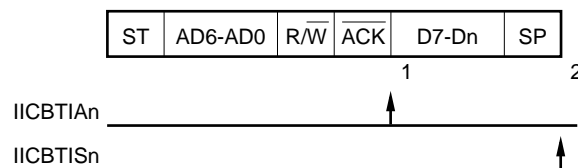
▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnCLAF ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (4) データ転送時にストップ・コンディションで負けた場合



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

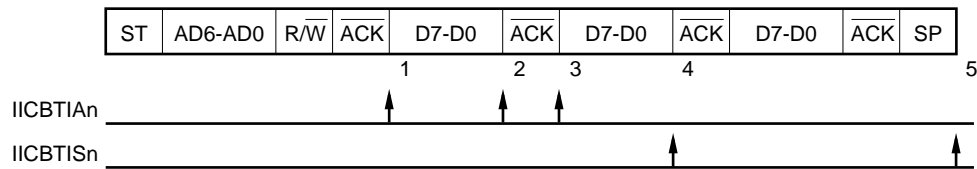
△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビットの設定とは関係なく発生  
 - 不定  
 X 任意



## (5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

## ① IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000X0 0100--00B (IICBnSLWT ビット = 1)

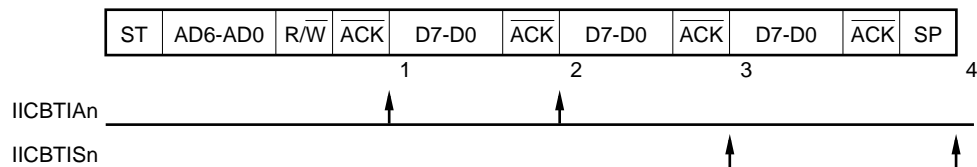
▲ 3 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnSLWT ビット = 0,  
IICBnTRG.IICBnSTT ビット = 1)

▲ 4 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnCLAF ビット = 1)

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnSLWT ビット = 0,  
IICBnSTT ビット = 1)

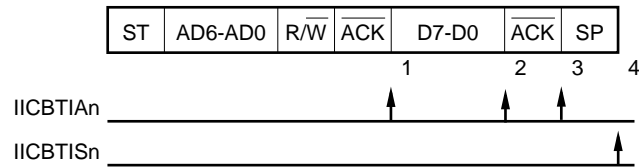
▲ 3 : IICBnSTR0 レジスタ = 0-0000X0 0100--01B (IICBnCLAF ビット = 1)

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

## ① IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

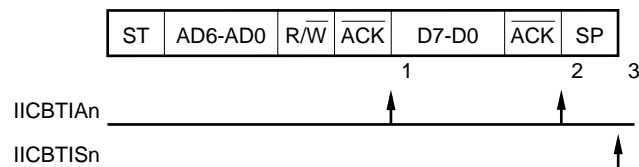
▲ 2 : IICBnSTR0 レジスタ = 1-1000X0 0100--00B (IICBnSLWT ビット = 0)

▲ 3 : IICBnSTR0 レジスタ = 1-0000XX 0100--00B (IICBnSTT ビット = 1)

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビットの設定とは関係なく発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

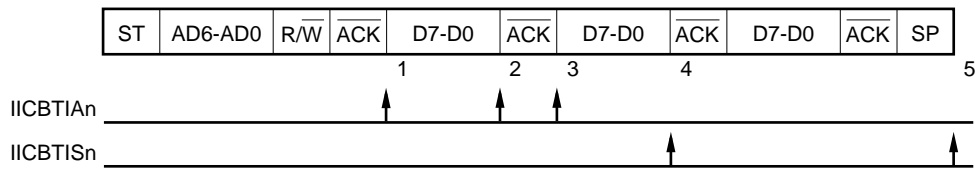
▲ 2 : IICBnSTR0 レジスタ = 1-0000XX 0100--00B (IICBnSTT ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビットの設定とは関係なく発生  
 - 不定  
 X 任意

## (7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

## ① IICBnSLWT ビット = 0 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000X0 0100--00B (IICBnSLWT ビット = 1)

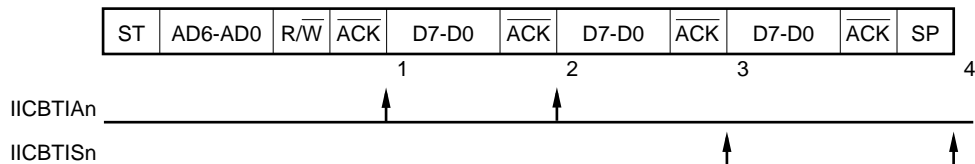
▲ 3 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnSLWT ビット = 0, ICBnTRG.IICBnSPT ビット = 1)

▲ 4 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnCLAF ビット = 1)

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## ② IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B (IICBnSPT ビット = 1)

▲ 3 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnCLAF ビット = 1)

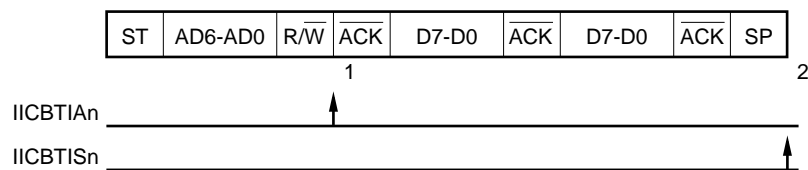
△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.7 シングル転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）：アービトレーション負け のあと、不参加（拡張コード転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) 拡張コード転送中にアービトレーションに負けた場合

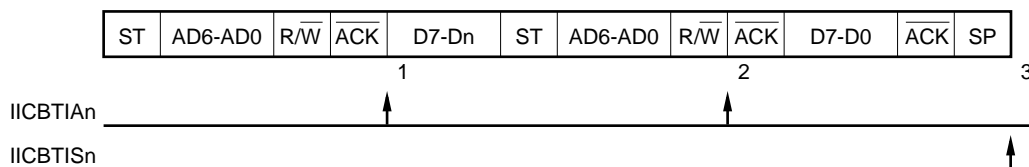


▲ 1 : IICBnSTR0 レジスタ = 0-1100X0 0110--01B (IICBnSTRC.IICBnCLAF  
ビット = 1, IICBnTRG.IICBnLRET ビット = 1)

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
- 不定  
X 任意

#### (2) データ転送時にリスタート・コンディションで負けた場合（拡張コード一致）



▲ 1 : IICBnSTR0 レジスタ = 1-1000X1 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-1100X0 0100--01B (IICBnCLAF ビット = 1,  
IICBnLRET ビット = 1)

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

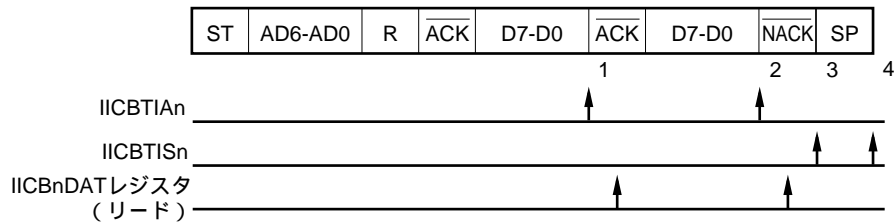
備考 ▲ 必ず発生  
△ IICBnSLSI ビット = 1 のときだけ発生  
- 不定  
X 任意

### 30.8.8 連続転送モード (マスタ (受信))

**備考** []で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

#### (1) Start ~ Address ~ Data ~ Data ~ Stop

##### ① IICBnSTR0.IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-000000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-010000 0100--00B

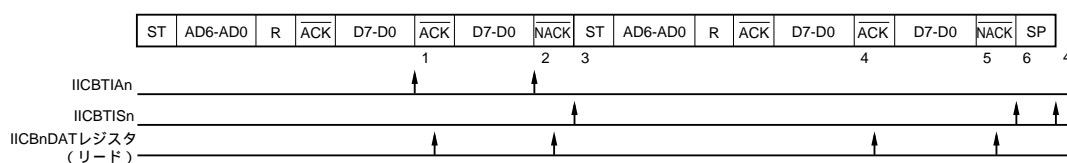
→ IICBnTRG.IICBnSPT レジスタ = 1

△ 4 : IICBnTRG.IICBnSTR0 レジスタ = 0-000000 0001--00B

**備考** ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (2) Start ~ Address ~ Datax2 ~ Start ~ Address ~ Datax2 ~ Stop

## ① IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-100001 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-010000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-010000 0100--00B

→ IICBnTRG.IICBnSTT ビット = 1

[ ▲ 4 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnDAT レジスタ・リード

[ ▲ 5 : IICBnSTR0 レジスタ = 1-100000 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-000000 0100--00B

▲ 6 : IICBnSTR0 レジスタ = 1-010000 0100--00B

→ IICBnSTT ビット = 1

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

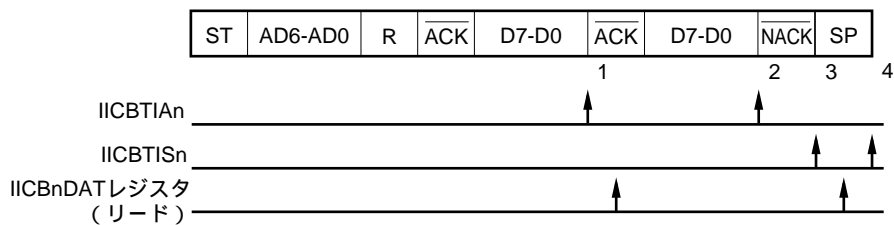
備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (3) Start ~ Code ~ Data ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-101001 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-0010001 0100--00B

[ ▲ 2 : IICBnSTR0 レジスタ = 1-101000 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 1-011000 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 1-01000 0100--00B

→ IICBnSPT レジスタ = 1

△ 4 : IICBnTRG.IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

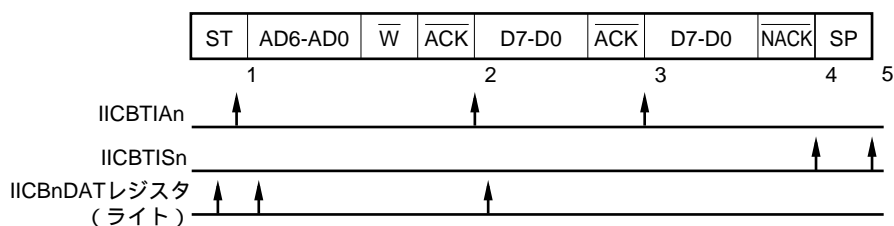
- 不定

### 30.8.9 連続転送モード (マスタ (送信))

**備考** []で括られた割り込みは、ウエイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

#### (1) Start ~ Address ~ Data ~ Data ~ Stop

##### ① IICBnSTR0.IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[ ▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[ ▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

▲ 4 : IICBnSTR0 レジスタ = 1-010010 0100--00B

IICBnTRG.IICBnSPT レジスタ = 1

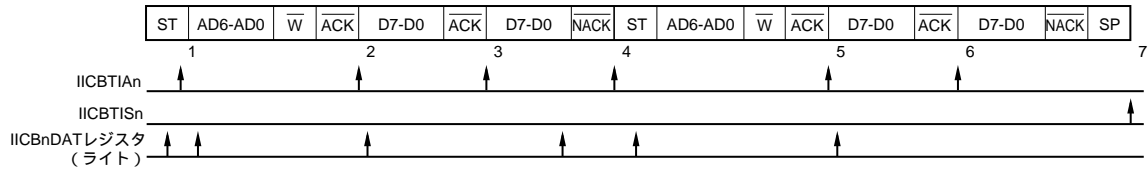
△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

**備考** ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意



## (2) Start ~ Address ~ Datax2 ~ Start ~ Address ~ Datax2 ~ Stop

## ① IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[ ▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[ ▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

IICBnSTT ビット = 1

IICBnDAT レジスタ・ライト (アドレス)

[ ▲ 4 : IICBnSTR0 レジスタ = 1-000010 010X--00B]

IICBnDAT レジスタ・ライト

[ ▲ 5 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[ ▲ 6 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnSPT レジスタ = 1

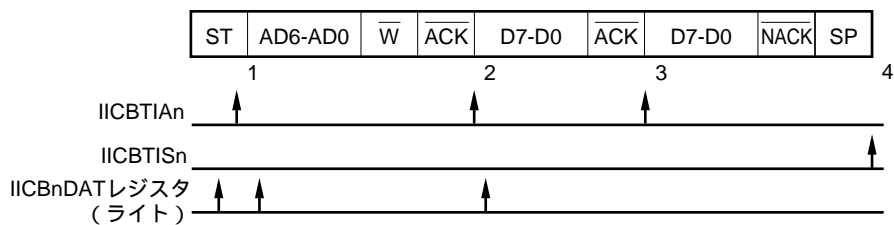
IICBnDAT レジスタ・ライト

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (3) Start ~ Code ~ Data ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき



IICBnDAT レジスタ・ライト (アドレス)

[ ▲ 1 : IICBnSTR0 レジスタ = X-0000X0 0X0X--00B]

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 1-000011 0110--00B]

IICBnDAT レジスタ・ライト

[ ▲ 3 : IICBnSTR0 レジスタ = 1-000011 0100--00B]

IICBnSPT レジスタ = 1

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

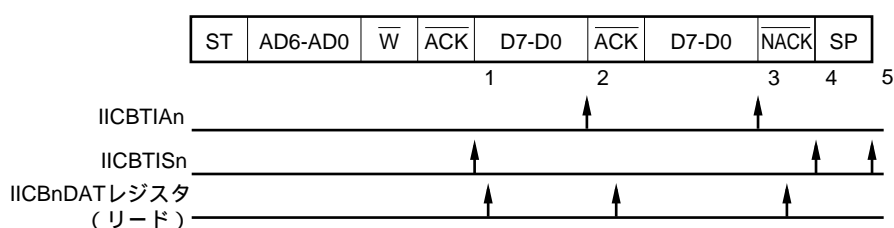
X 任意

### 30.8.10 連続転送モード (スレーブ (受信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

**備考** [] で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[] で括られた割り込みは発生しません。

#### (1) Start ~ Address ~ Data ~ Data ~ Stop

##### ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 0-000100 0100--00B

[ ▲ 3 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

→ IICBnSTR0 レジスタ = 0-000100 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-010100 0100--00B

IICBnTRG.IICBnWRET レジスタ = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

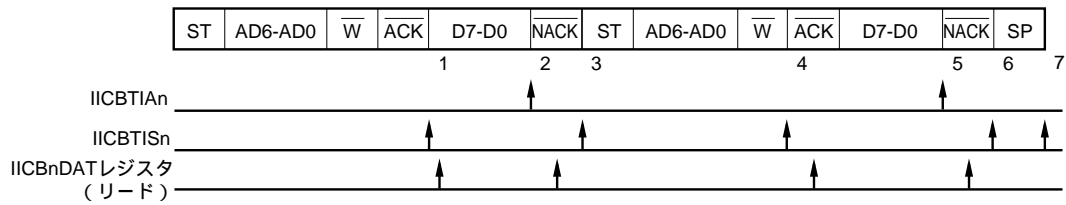
**備考** ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



[ ▲ 1 : IICBnSTR0 レジスタ = 0-110101 0110--00B]

IICBnDAT レジスタ ・ リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100101 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ ・ リード

▲ 3 : IICBnSTR0 レジスタ = 0-110101 0110--00B

IICBnWRET レジスタ = 1

[ ▲ 4 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ ・ リード

→ IICBnSTR0 レジスタ = 0-000100 0110--00B

[ ▲ 5 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-010100 0100--00B

IICBnWRET レジスタ = 1

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

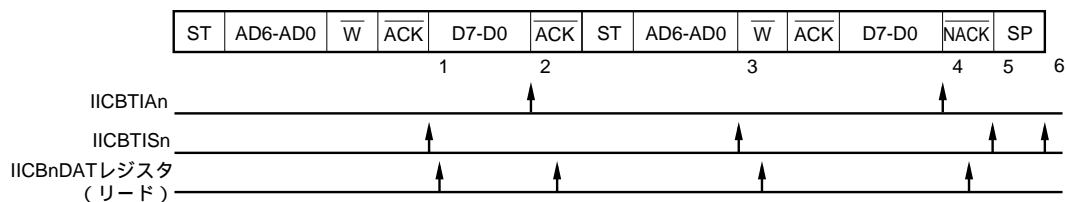
備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



[ ▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 4 : IICBnSTR0 レジスタ = 0-100100 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-111000 0100--00B

IICBnWRET レジスタ = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

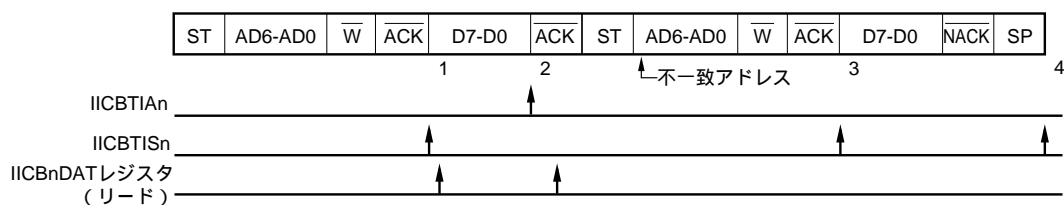
備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



[ ▲ 1 : IICBnSTR0 レジスタ = 0-000101 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-000000 0110--00B]

△ 4 : IICBnSTR0 レジスタ = 0-000000 0001--00B

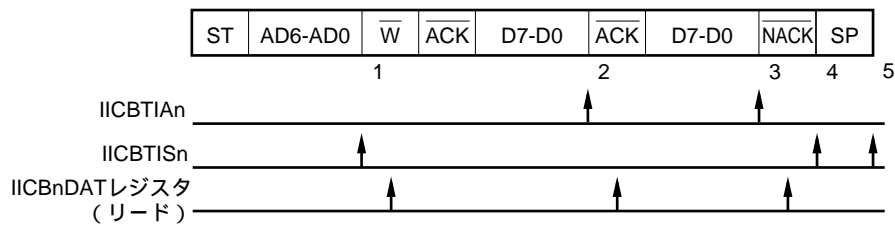
備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.11 連続転送モード (スレーブ (受信) : 拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

**備考** [] で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[] で括られた割り込みは発生しません。

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

##### ① IICBnCTL0.IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-10001 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-111000 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

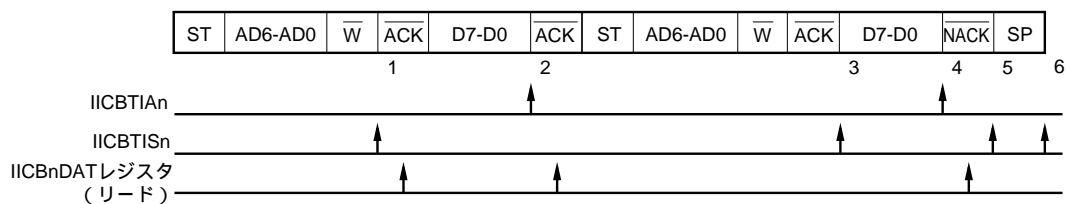
**備考** ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス一致)



[ ▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-011000 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-111001 0100--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 4 : IICBnSTR0 レジスタ = 0-010100 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-110100 0100--00B

IICBnWRET ビット = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

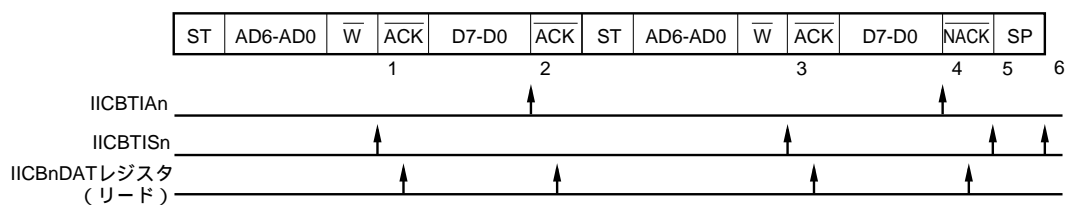
△ IICBnSLSI ビット = 1 のときだけ発生

- 不定



## (3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, 拡張コード受信)



[ ▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 4 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnDAT レジスタ・リード

▲ 5 : IICBnSTR0 レジスタ = 0-011000 0100--00B

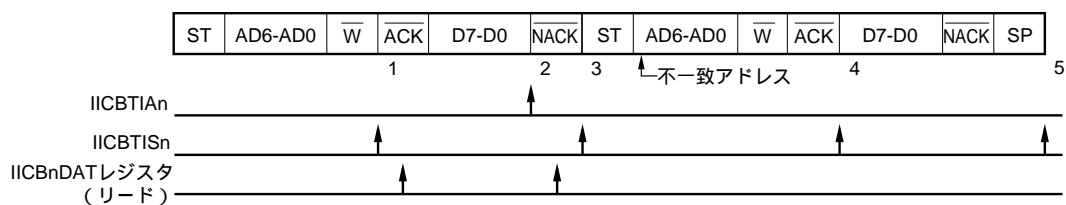
IICBnWRET ビット = 1

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



[ ▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-101001 0110--00B]

IICBnSLAC ビット = 0

▲ 3 : IICBnSTR0 レジスタ = 0-010000 0100--00B

IICBnWRET ビット = 1

[ ▲ 4 : IICBnSTR0 レジスタ = 0-000000 0110--00B]

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

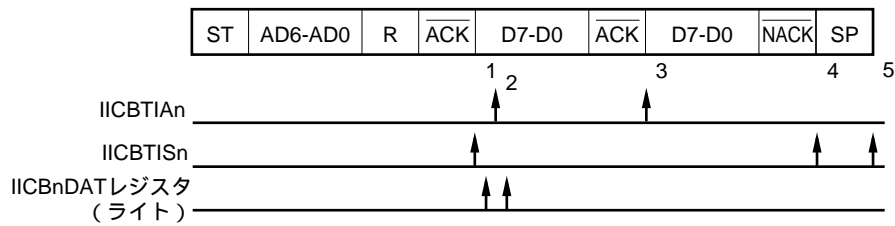
X 任意

### 30.8.12 連続転送モード (スレーブ (送信) : スレーブ・アドレス受信時 (IICBnSTR0.IICBnSSC0 ビット = 1))

**備考** [] で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[] で括られた割り込みは発生しません。

#### (1) Start ~ Address ~ Data ~ Data ~ Stop

##### ① IICBnCTL0.ICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-00011X 0100--00B]

IICBnDAT レジスタ・ライト

→ IICBnSTR0 レジスタ = 0-100011X 0100--00B

▲ 3 : IICBnSTR0 レジスタ = 0-000111 0100--00B

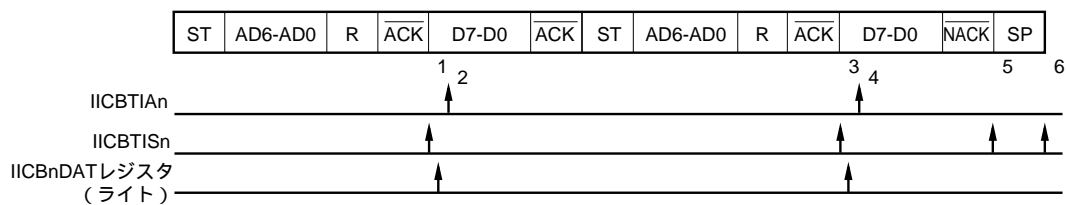
▲ 4 : IICBnSTR0 レジスタ = 0-010110 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

**備考** ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-010111 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-00111X 01X0--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-010111 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 4 : IICBnSTR0 レジスタ = 0-100101 01X0--00B]

▲ 5 : IICBnSTR0 レジスタ = 0-110100 0100--00B

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

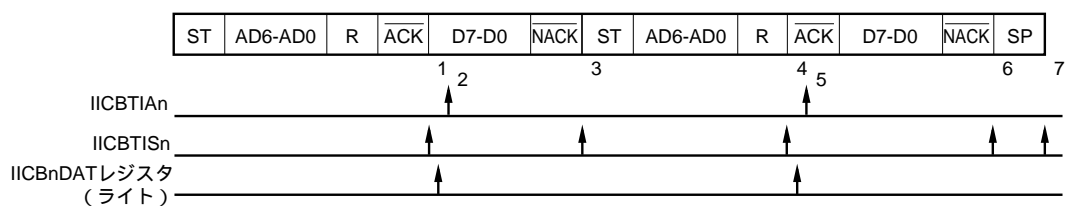
△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

X 任意

## (3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)

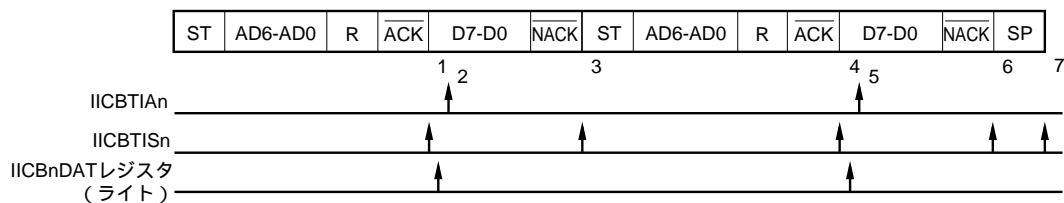


- ▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B  
IICBnDAT レジスタ・ライト
- [ ▲ 2 : IICBnSTR0 レジスタ = 0-100111 0100--00B]
- ▲ 3 : IICBnSTR0 レジスタ = 0-111010 0110--00B
- ▲ 4 : IICBnSTR0 レジスタ = 0-111010 0110--00B  
IICBnDAT レジスタ・ライト
- [ ▲ 5 : IICBnSTR0 レジスタ = 0-111011 0110--00B]
- ▲ 6 : IICBnSTR0 レジスタ = 0-111010 0100--00B
- △ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-110111 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100111 0100--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-000010 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-000011 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 5 : IICBnSTR0 レジスタ = 0-00001X 0100--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-000010 0100--00B

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

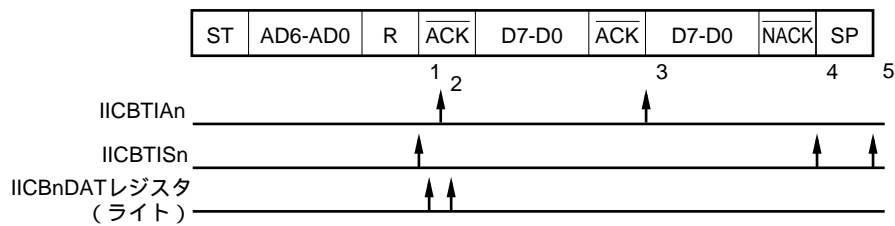
備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.13 連続転送モード（スレーブ（送信）：拡張コード受信時 (IICBnSTR0.IICBnSSEX ビット = 1))

**備考** []で括られた割り込みは、ウェイト状態とならない割り込み時の状態を示します。ただし、ストップ・コンディション検出による割り込み時は、[]で括られた割り込みは発生しません。

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

##### ① IICBnCTL0.IICBnSLWT ビット = 1 のとき



▲ 1 : IICBnSTR0 レジスタ = 0-011010 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-011011 0110--00B]

IICBnDAT レジスタ・ライト

[ ▲ 3 : IICBnSTR0 レジスタ = 0-011011 0100--00B]

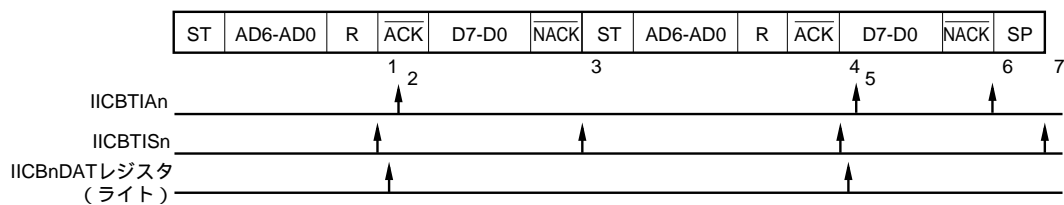
▲ 4 : IICBnSTR0 レジスタ = 0-111010 0100--00B

△ 5 : IICBnSTR0 レジスタ = 0-000010 0001--00B

**備考** ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき (リスタート後, アドレス一致)



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-011000 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-010101 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 5 : IICBnSTR0 レジスタ = 0-010101 0110--00B]

▲ 6 : IICBnSTR0 レジスタ = 0-010100 0100--00B

△ 7 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

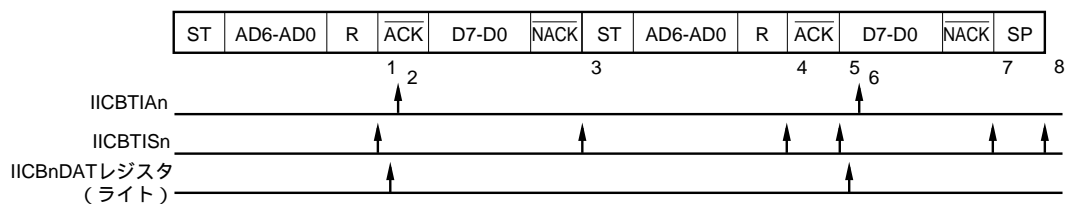
△ IICBnSLSI ビット = 1 のときだけ発生

- 不定



## (3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

## ① IICBnSLWT ビット = 1 のとき (リスタート後, 拡張コード受信)



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

▲ 3 : IICBnSTR0 レジスタ = 0-011000 0100--00B

▲ 4 : IICBnSTR0 レジスタ = 0-011000 0110--00B

▲ 5 : IICBnSTR0 レジスタ = 0-011001 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 6 : IICBnSTR0 レジスタ = 0-011001 0110--00B]

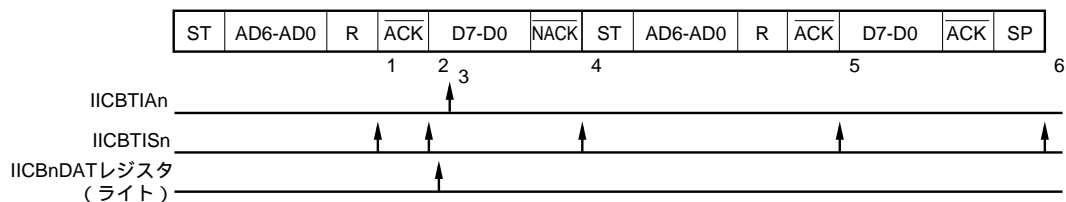
▲ 7 : IICBnSTR0 レジスタ = 0-011000 0100--00B

△ 8 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

① IICBnSLWT ビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード不一致))



▲ 1 : IICBnSTR0 レジスタ = 0-011000 0110--00B

▲ 2 : IICBnSTR0 レジスタ = 0-011001 0110--00B

IICBnDAT レジスタ・ライト

[ ▲ 3 : IICBnSTR0 レジスタ = 0-011010 0100--00B]

▲ 4 : IICBnSTR0 レジスタ = 0-000000 0100--00B

▲ 5 : IICBnSTR0 レジスタ = 0-000000 0110--00B

△ 6 : IICBnSTR0 レジスタ = 0-000000 0001--00B

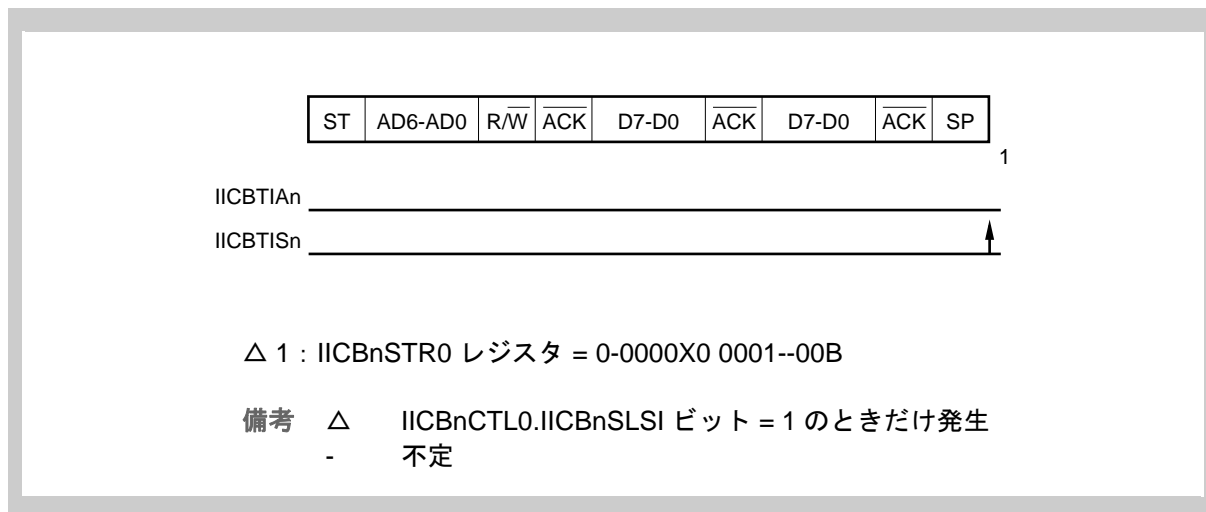
備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

- 不定

### 30.8.14 連続転送モード（通信不参加の動作）

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

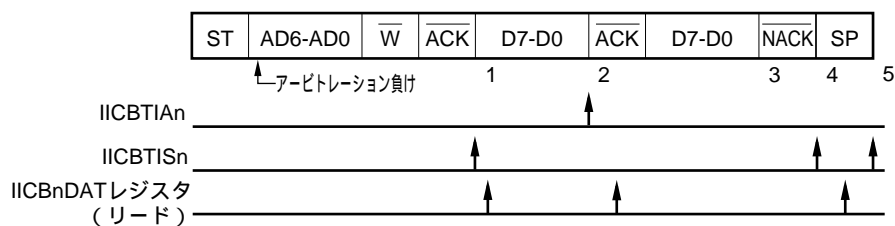


### 30.8.15 連続転送モード（アービトレーション負けの動作（IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送した場合）：アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) アービトレーションに負けたあと、アドレス一致の場合

##### ① 受信, IICBnCTL0.IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 0-100101 0110--01B]

IICBnSTRC.IICBnCLAF ビット = 1

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-100101 0100--00B]

IICBnCTL0.IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-100100 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-010100 0100--00B

IICBnTRG.IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

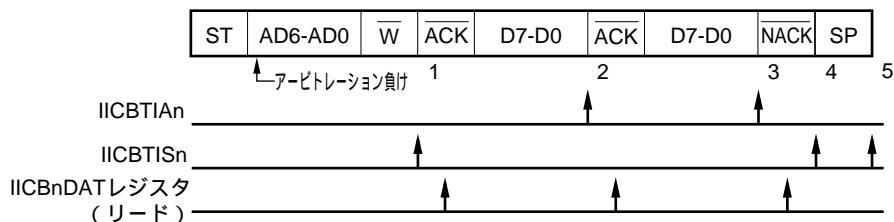
備考 ▲ 必ず発生

△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生

- 不定

## (2) アービトレーションに負けたあと、拡張コードを検出した場合

## ① 受信, IICBnSLWT ビット = 0 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 0-101000 0110--01B]

IICBnCLAF ビット = 1

IICBnDAT レジスタ・リード

[ ▲ 2 : IICBnSTR0 レジスタ = 0-101000 0110--00B]

IICBnSLAC ビット = 0

IICBnDAT レジスタ・リード

[ ▲ 3 : IICBnSTR0 レジスタ = 0-101000 0100--00B]

IICBnDAT レジスタ・リード

▲ 4 : IICBnSTR0 レジスタ = 0-011000 0100--00B]

IICBnWRET ビット = 1

△ 5 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生

△ IICBnSLSI ビット = 1 のときだけ発生

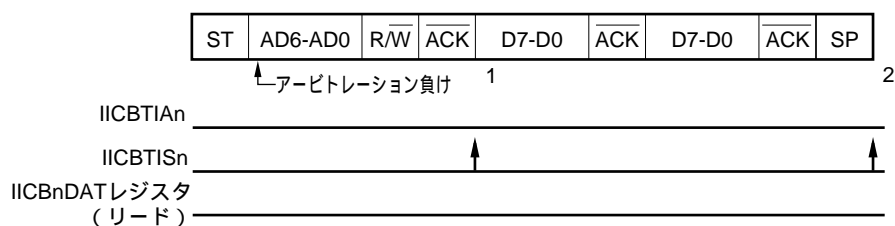
- 不定

### 30.8.16 連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送し た場合）：アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

##### ① 受信, IICBnSLWT ビット = 0 のとき



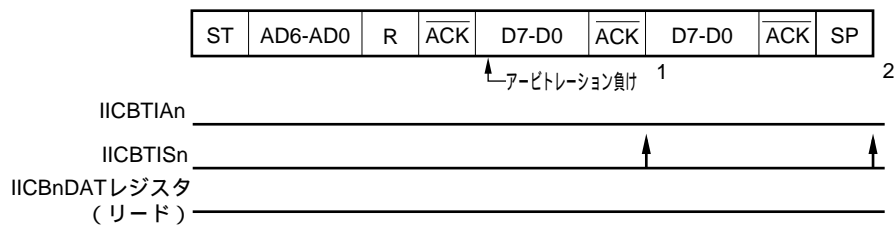
▲ 1 : IICBnSTR0 レジスタ = 0-000001 0110--01B (IICBnSTRC.IICBnCLAF ビット = 1)

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
△ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
- 不定

## (2) データ転送時にアービトレーションに負けた場合

## ① 受信, IICBnSLWT ビット = 1 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 0-000000 0100--01B]

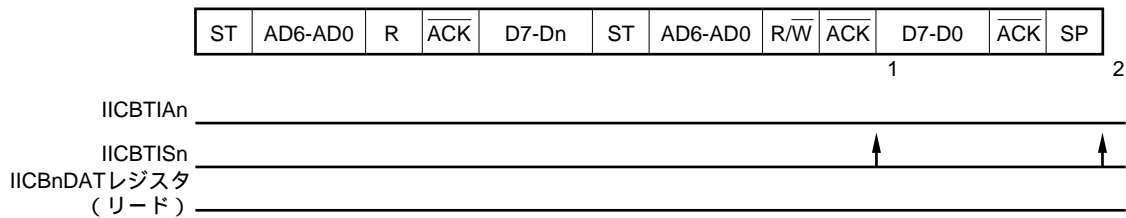
IICBnCLAF ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (3) データ転送時にリスタート・コンディションで負けた場合

- ① 受信, IICBnSLWT ビット = 1 のとき  
(拡張コード不一致, アドレス不一致)



[ ▲ 1 : IICBnSTR0 レジスタ = 0-000001 0100--01B]

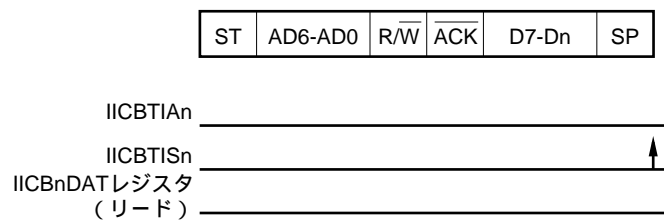
IICBnCLAF ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--00B

- 備考 ▲ 必ず発生  
△ IICBnSLSI ビット = 1 のときだけ発生  
- 不定

## (4) データ転送時にストップ・コンディションで負けた場合

- ① 受信, IICBnSLWT ビット = 1 のとき



△ 1 : IICBnSTR0 レジスタ = 0-000000 0001--01B

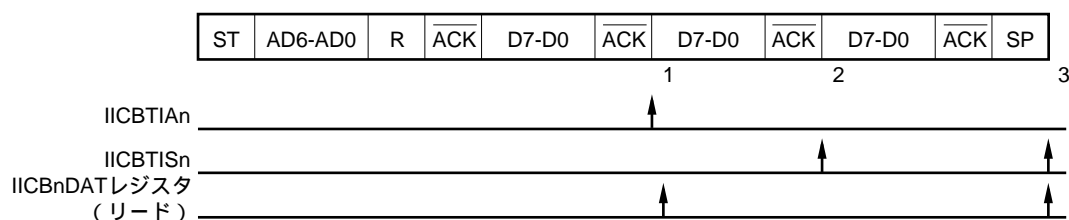
IICBnCLAF ビット = 1

- 備考 △ IICBnSLSI ビット = 1 のときだけ発生  
- 不定



(5) リスタート・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

① IICBnSLWT ビット = 1 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B]

IICBnDAT レジスタ・リード

IICBnTRG.IICBnSTT ビット = 1

▲ 2 : IICBnSTR0 レジスタ = 0-000000 0100--01B

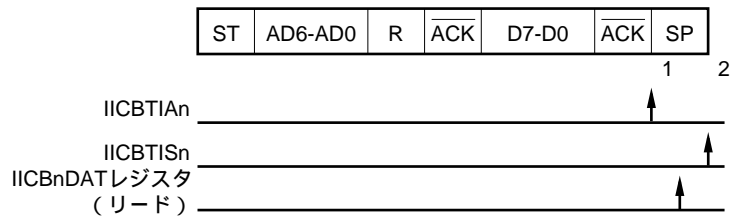
IICBnCLAF ビット = 1

△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--00B

備考 ▲ 必ず発生  
△ IICBnSLSI ビット = 1 のときだけ発生  
- 不定  
X 任意

## (6) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

## ① IICBnSLWT ビット = 1 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-000001 0100--00B]

IICBnDAT レジスタ・リード

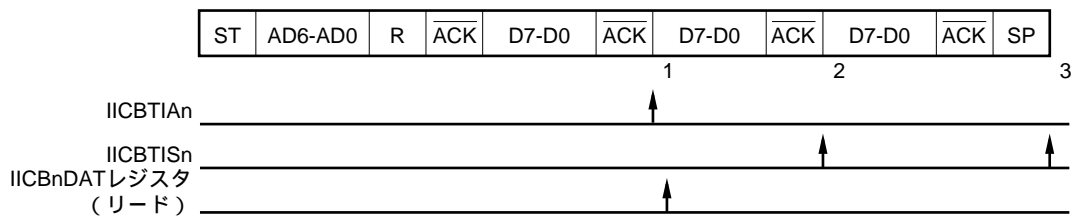
IICBnSTT ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定

## (7) ストップ・コンディションを発生しようとしたが、SDAn 端子がロウ・レベルでアービトレーションに負けた場合

## ① IICBnSLWT ビット = 1 のとき



[ ▲ 1 : IICBnSTR0 レジスタ = 1-1000XX 0100--00B]

IICBnDAT レジスタ・リード

IICBnTRG.IICBnSPT ビット = 1

[ ▲ 2 : IICBnSTR0 レジスタ = 0-0000XX 0100--01B (IICBnCLAF ビット = 1)

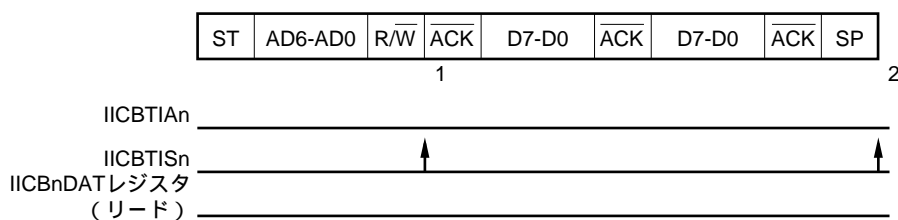
△ 3 : IICBnSTR0 レジスタ = 0-000000 0001--01B

備考 ▲ 必ず発生  
 △ IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

### 30.8.17 連続転送モード（アービトレーション負けの動作 （IICBnSTR0.IICBnALDF ビット = 1）（受信でアドレスを転送し た場合）：アービトレーション負けのあと、不参加（拡張コード 転送中の場合））

マルチマスタ・システムでマスタとして使用する場合は INTIICn 割り込み発生ごとにアービトレーション結果を確認するための IICSn.MSTSn ビットをリードし、アービトレーション結果を確認してください。

#### (1) 拡張コード転送中にアービトレーションに負けた場合



[ ▲ 1 : IICBnSTR0 レジスタ = 0-1000X0 0110--01B]

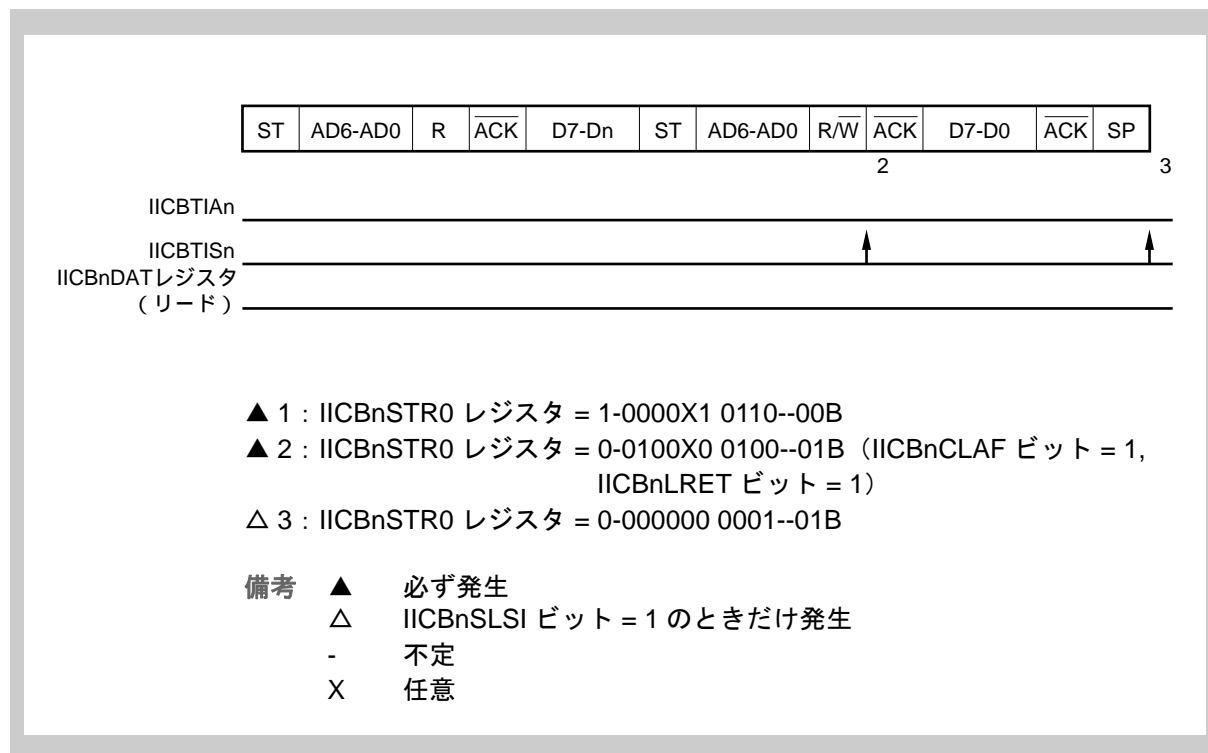
IICBnSTRC.IICBnCLAF ビット = 1

IICBnTRG.IICBnLRET ビット = 1

△ 2 : IICBnSTR0 レジスタ = 0-000000 0001--01B

- 備考 ▲ 必ず発生  
 △ IICBnCTL0.IICBnSLSI ビット = 1 のときだけ発生  
 - 不定  
 X 任意

## (2) データ転送時にリスタート・コンディションでアービトレーションに負けた場合 (拡張コード一致)



## 30.9 設定手順

### 30.9.1 シングルマスタ環境

#### (1) シングル転送モード時のマスタ動作設定手順

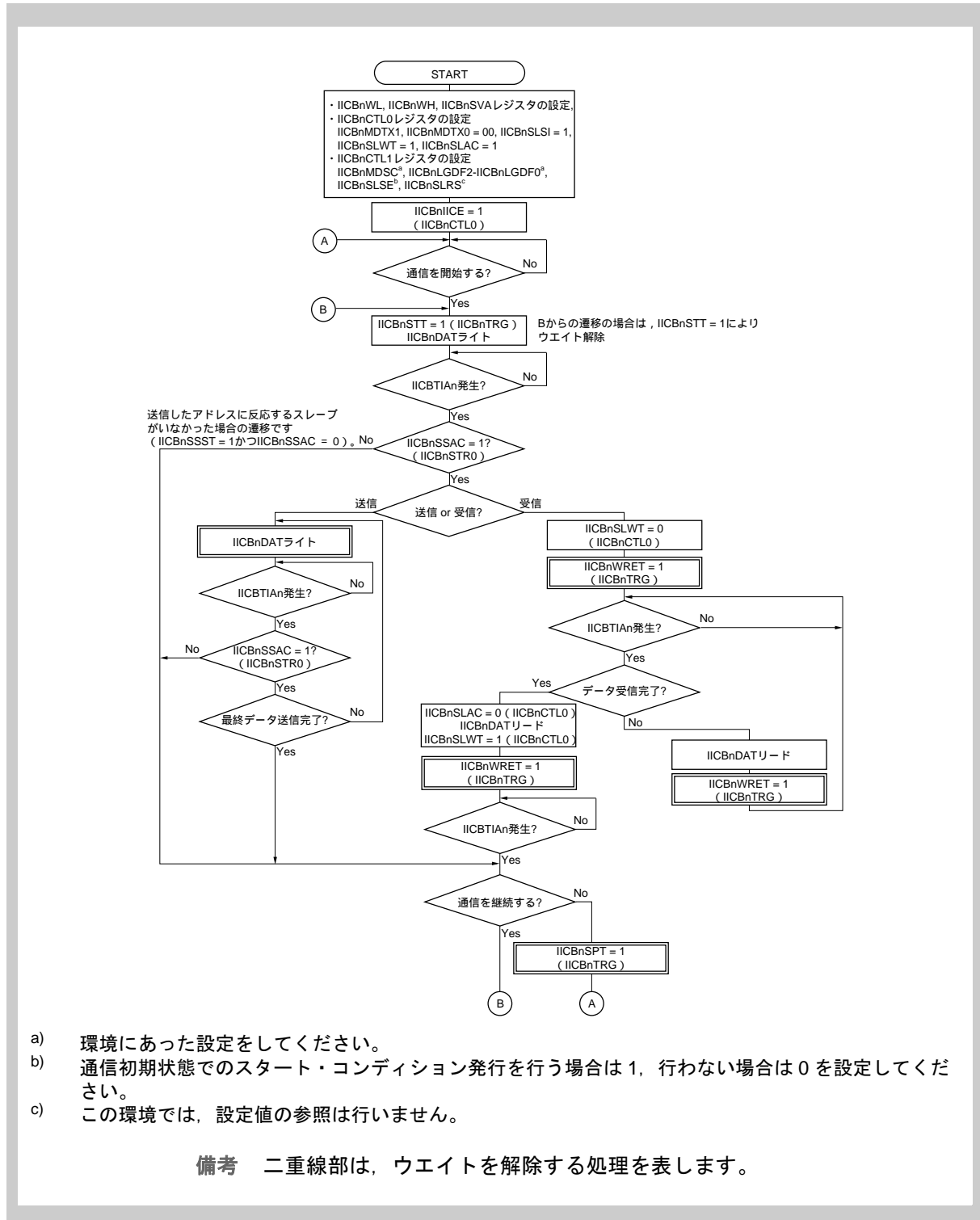
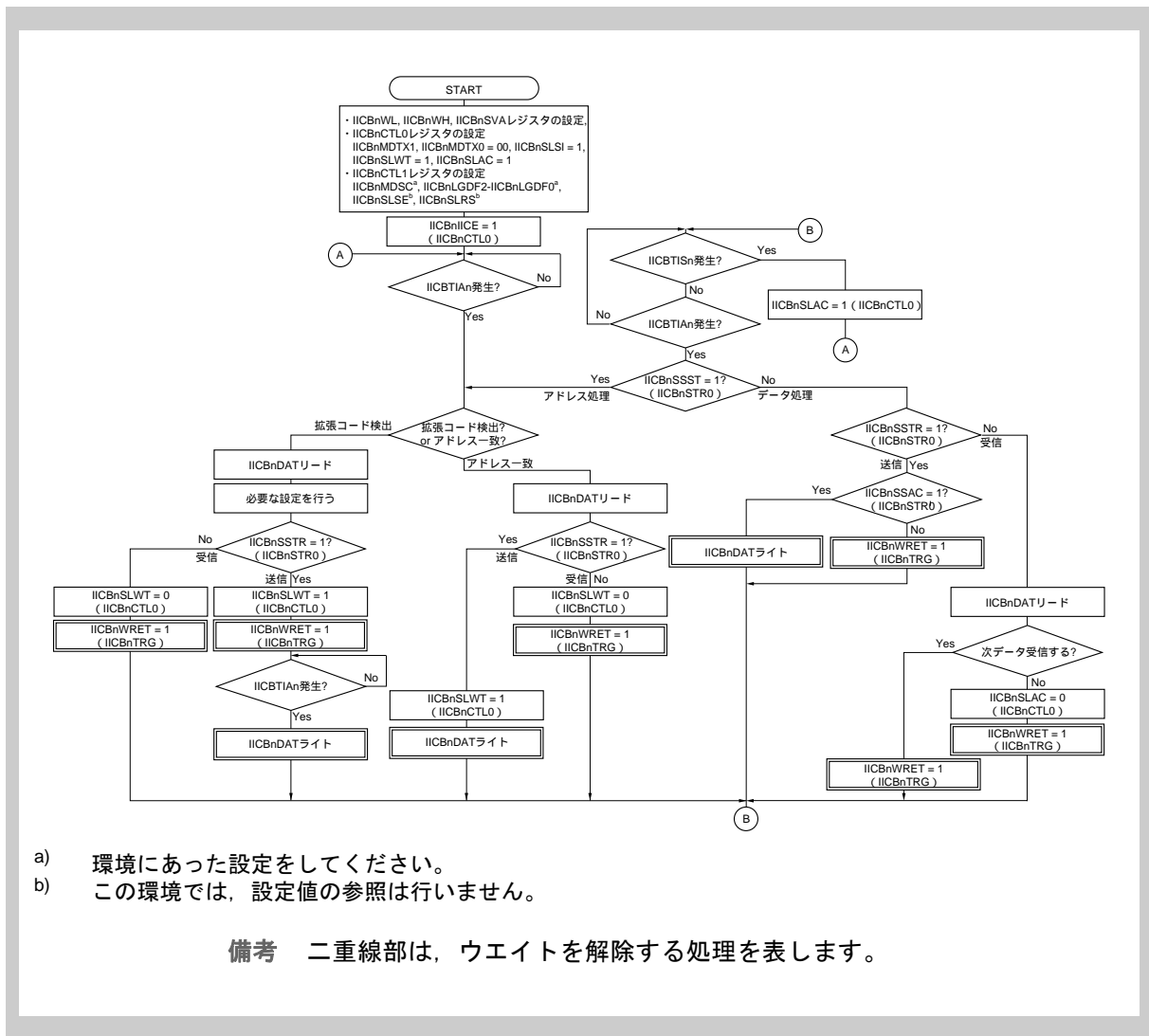


図 30-14 シングル転送モード時のマスタ動作設定手順 (シングルマスタ環境)

(2) シングル転送モード時のスレーブ動作設定手順



- a) 環境にあった設定をしてください。
- b) この環境では、設定値の参照は行いません。

備考 二重線部は、ウェイトを解除する処理を表します。

図 30-15 シングル転送モード時のスレーブ動作設定手順 (シングルマスタ環境)

## (3) 連続転送モード時のマスタ動作設定手順

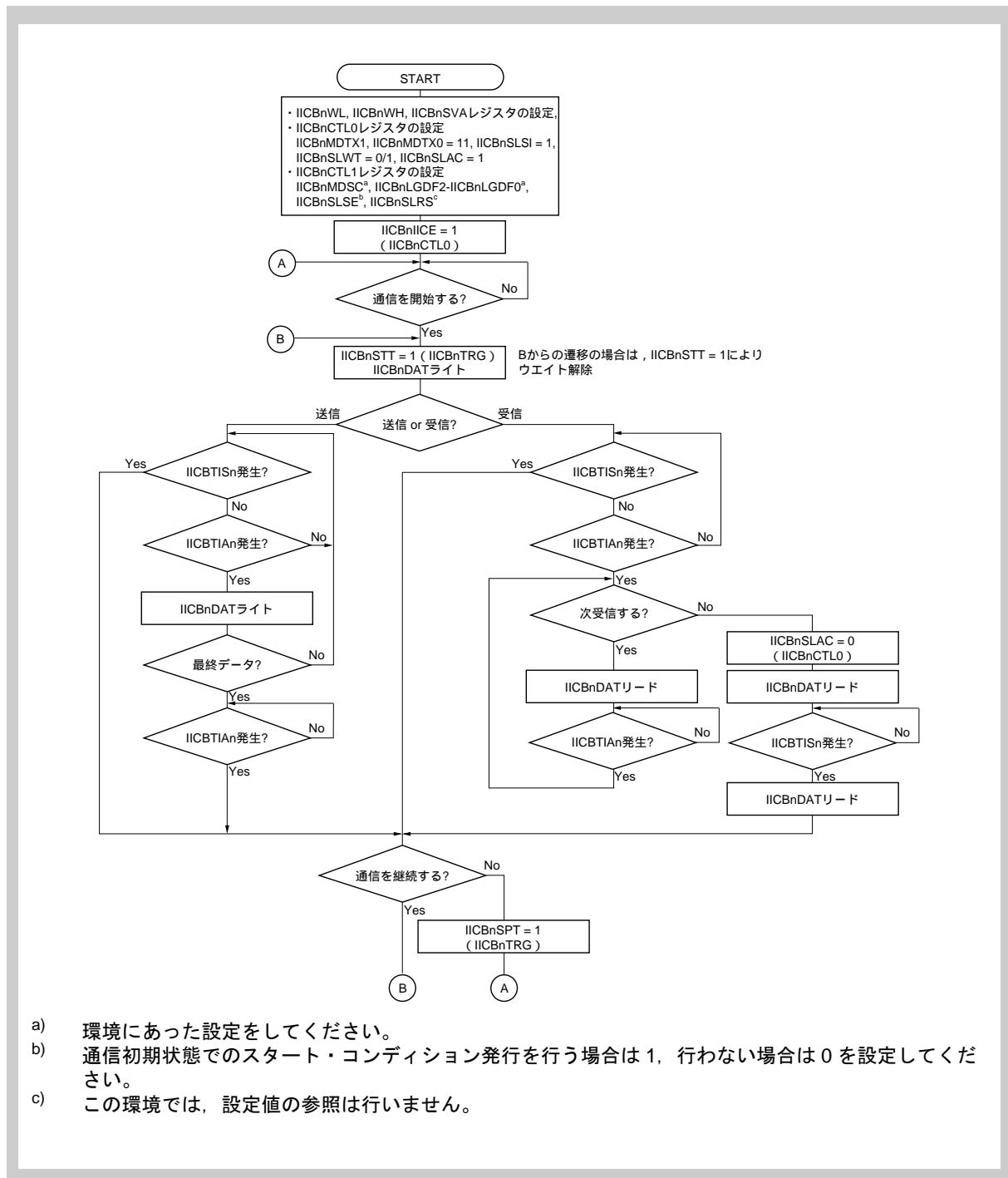


図 30-16 連続転送モード時のマスタ動作設定手順 (シングルマスタ環境)

(4) 連続転送モード時のスレーブ動作設定手順

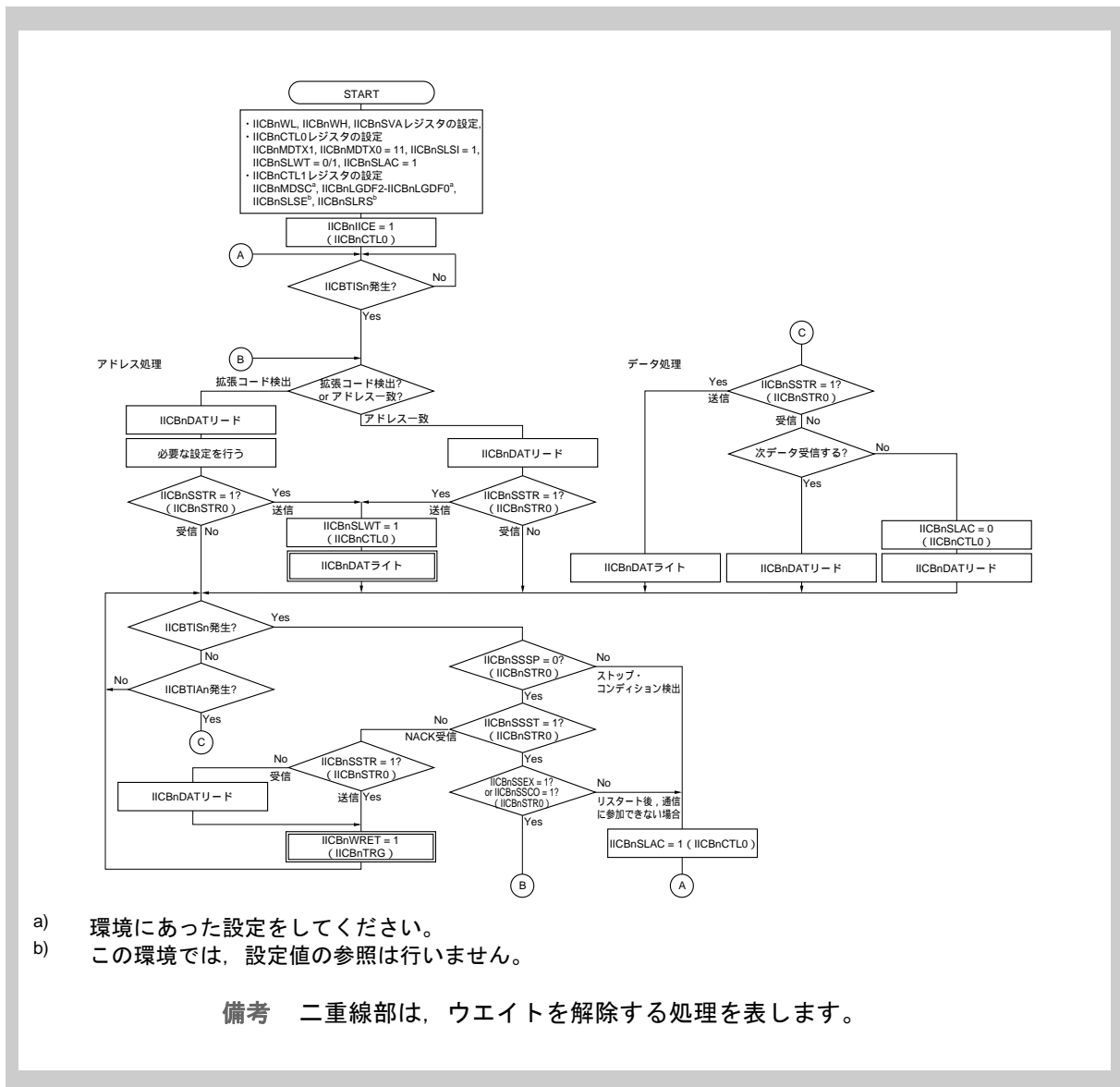
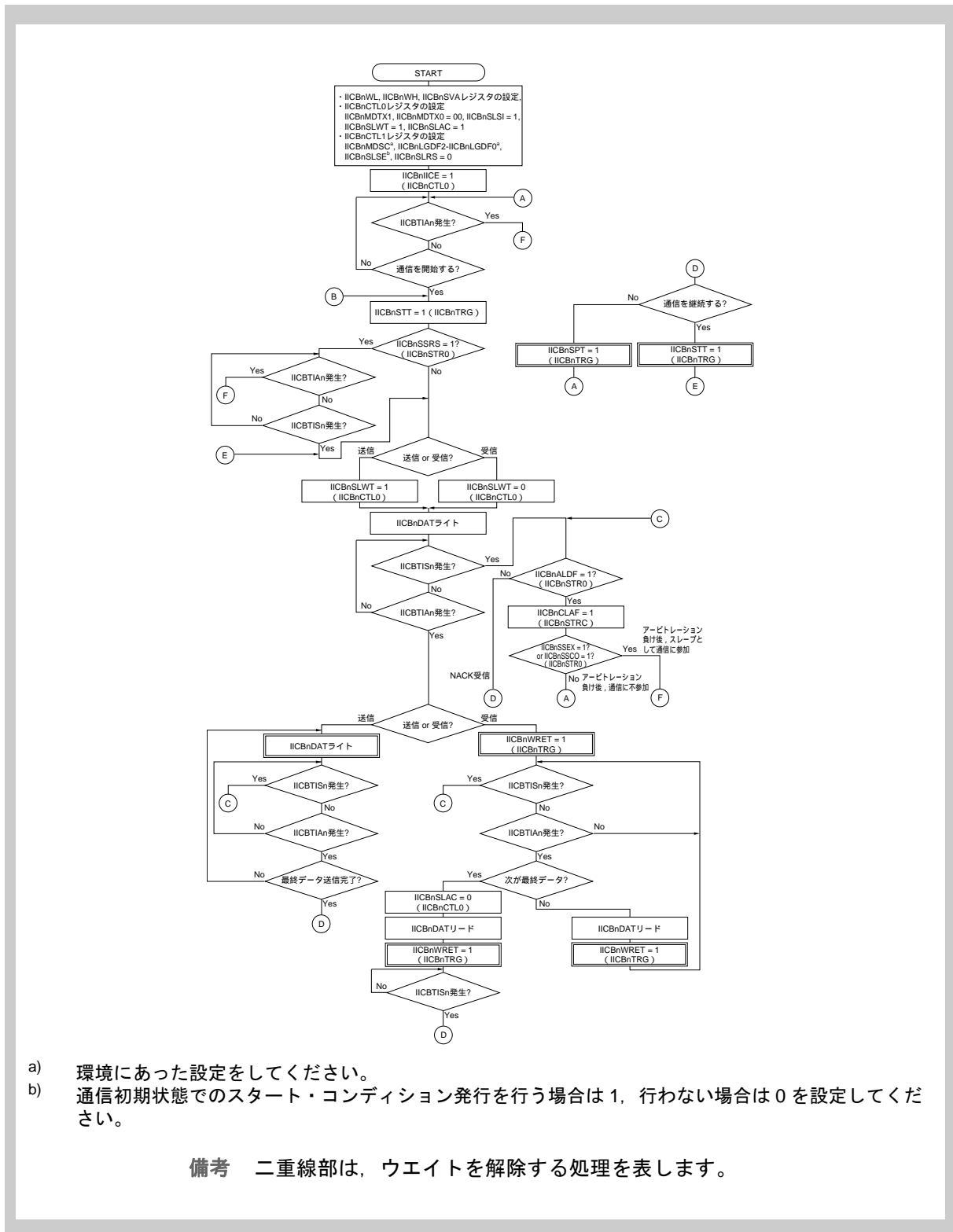


図 30-17 連続転送モード時のスレーブ動作設定手順 (シングルマスタ環境)



### 30.9.2 マルチマスタ環境

#### (1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時のシングル転送モード設定手順



- a) 環境にあった設定をしてください。  
 b) 通信初期状態でのスタート・コンディション発行を行う場合は 1, 行わない場合は 0 を設定してください。

備考 二重線部は、ウェイトを解除する処理を表します。

図 30-18 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)

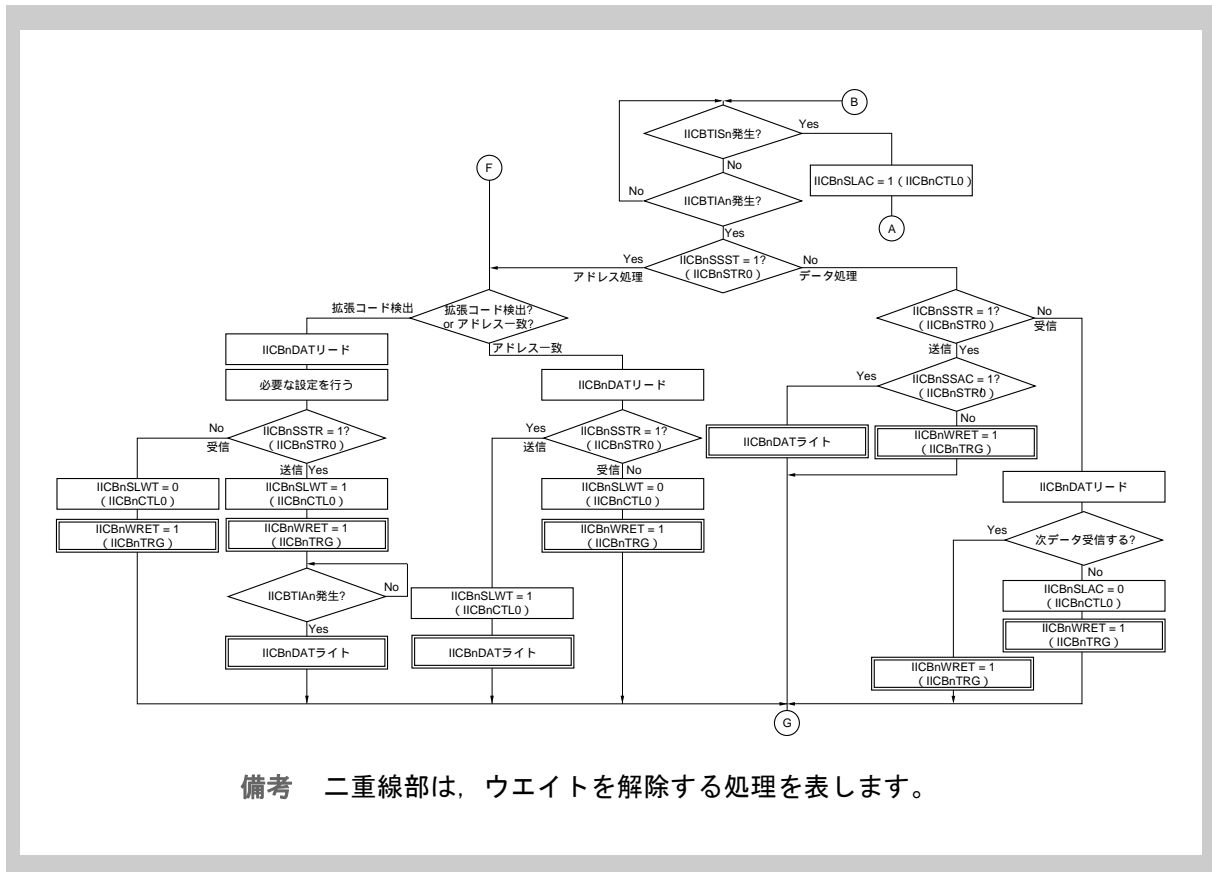


図 30-19 通信予約機能許可 (IICbntcl1.IICbnslrs ビット = 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)

(2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順

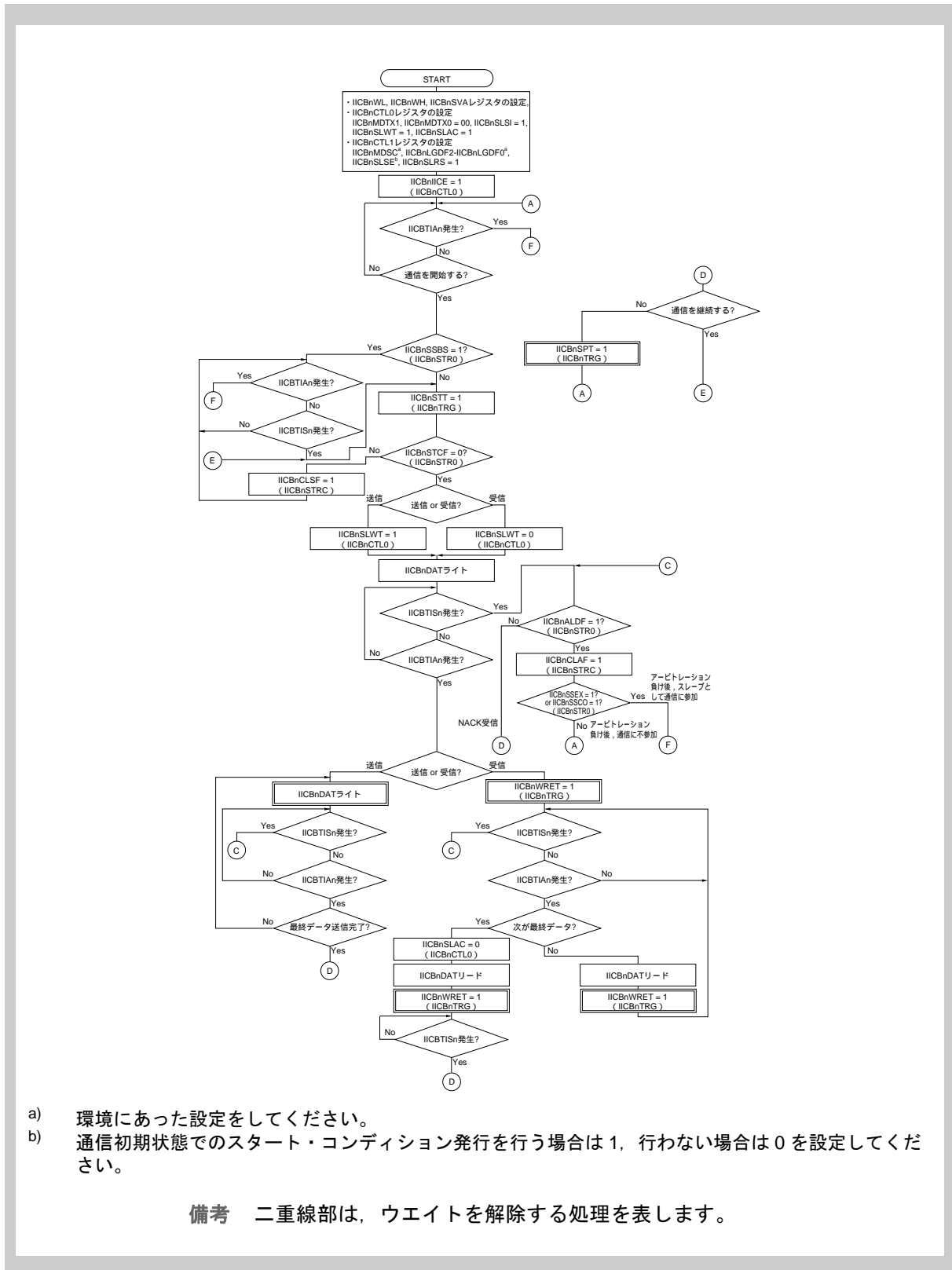


図 30-20 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)

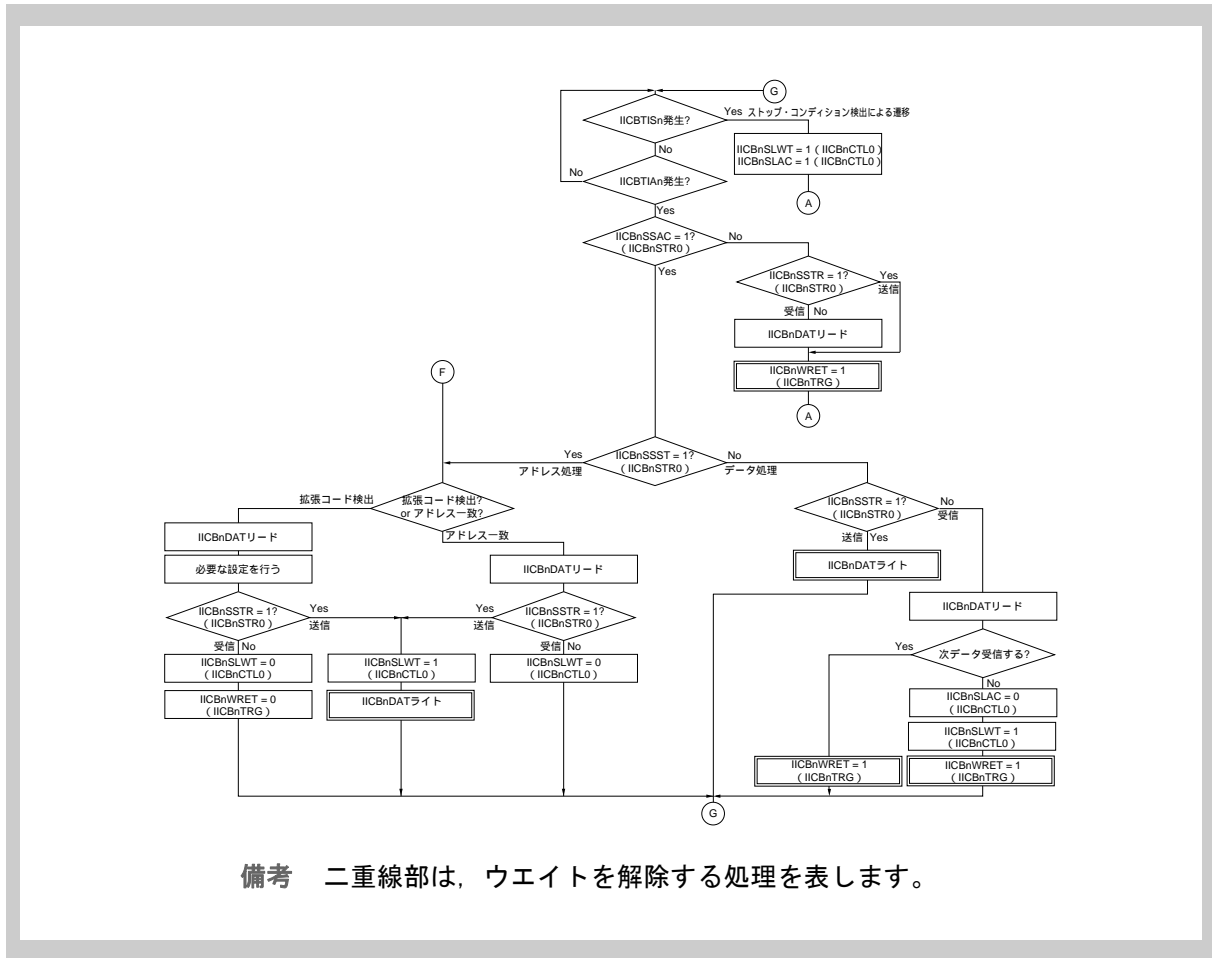


図 30-21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット = 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)

### (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時の連続転送モード設定手順

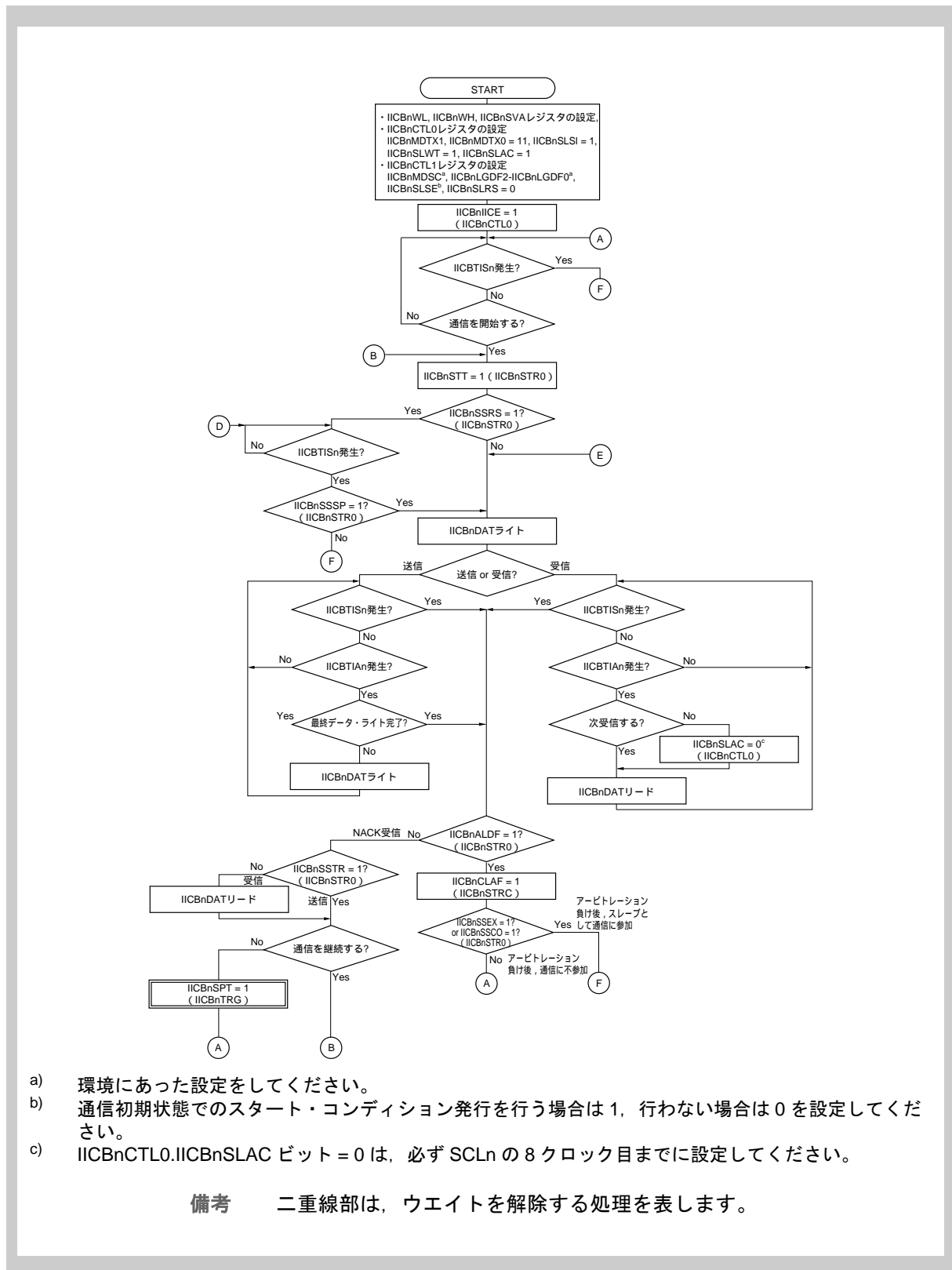


図 30-22 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)

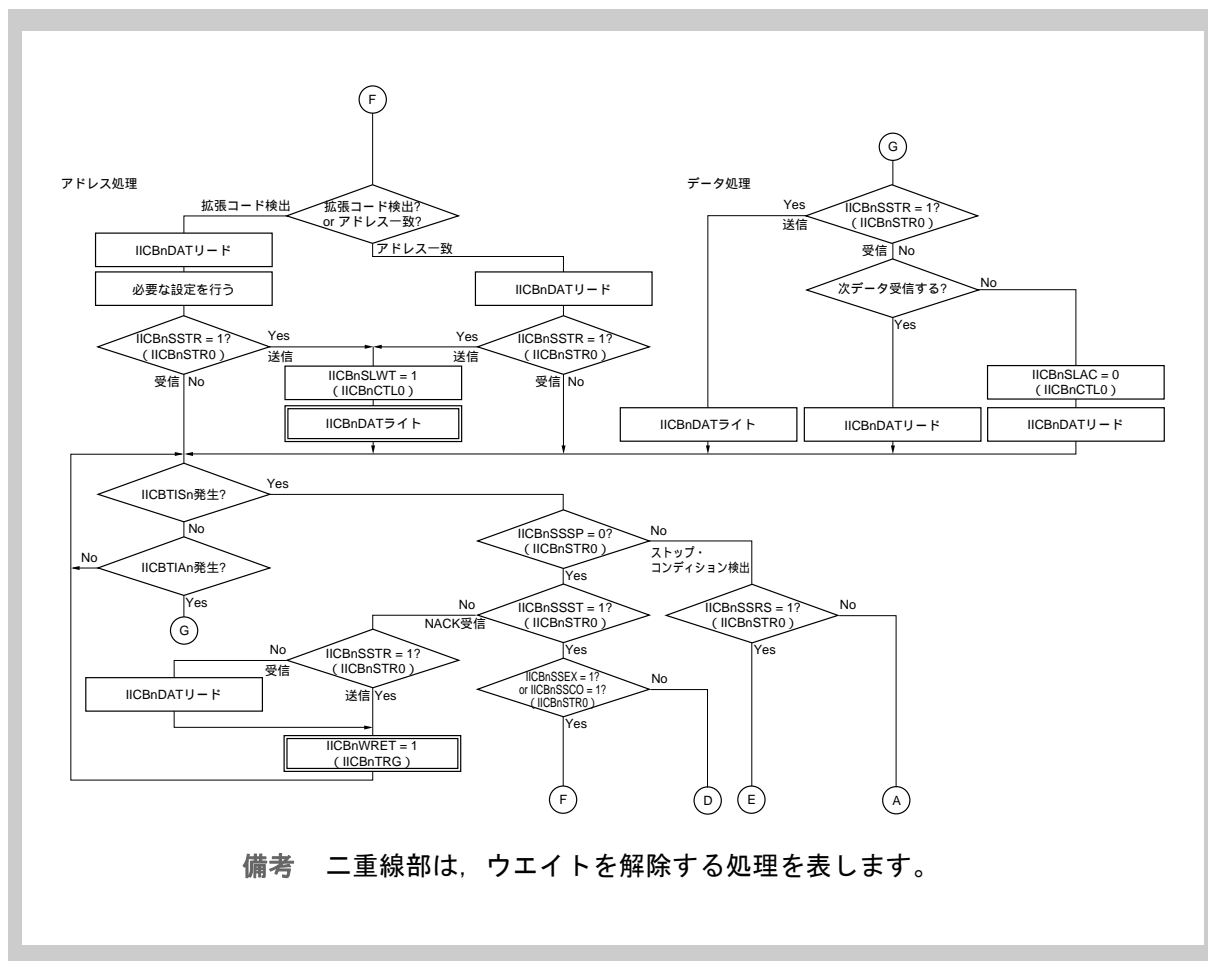
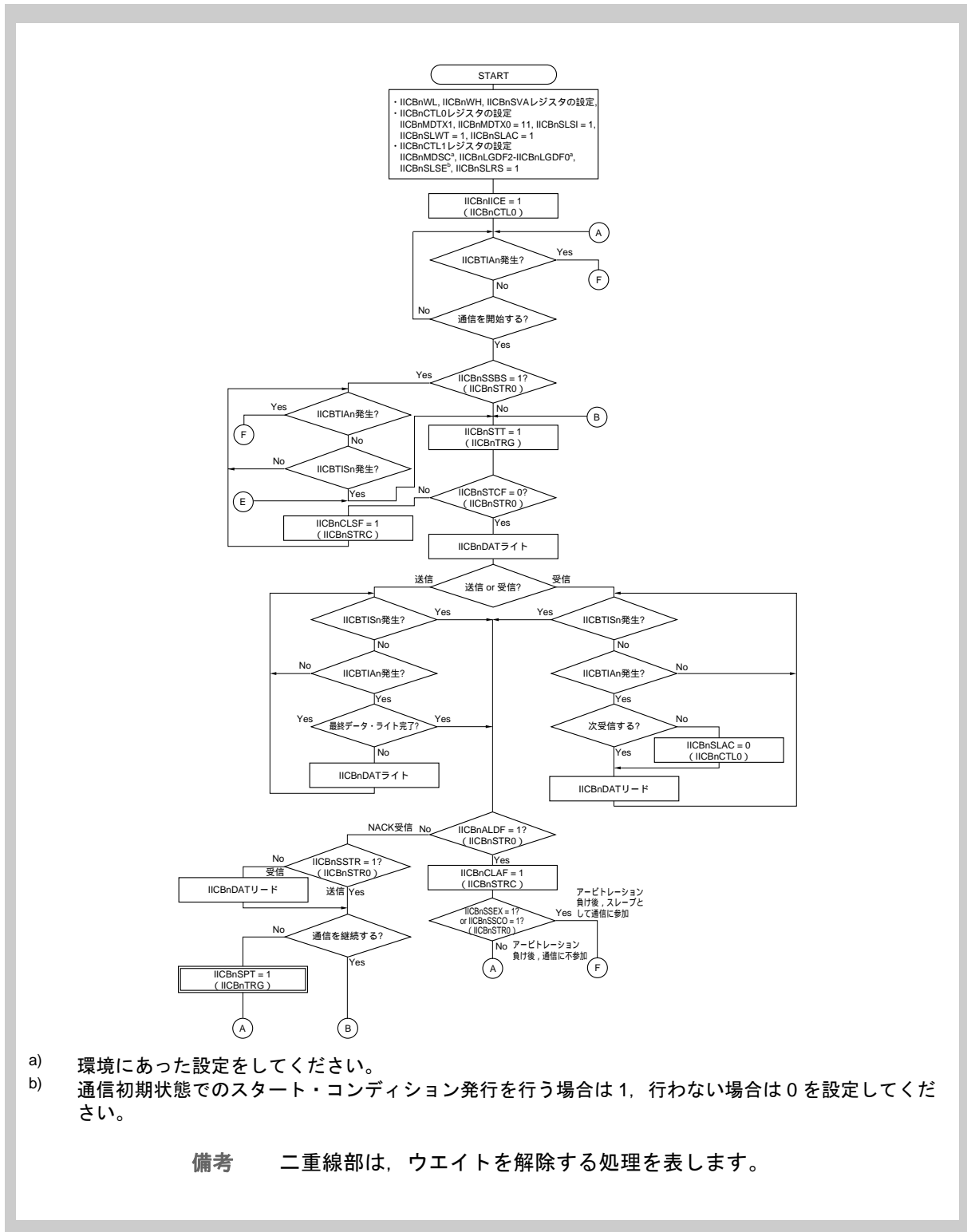


図 30-23 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット = 0) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)

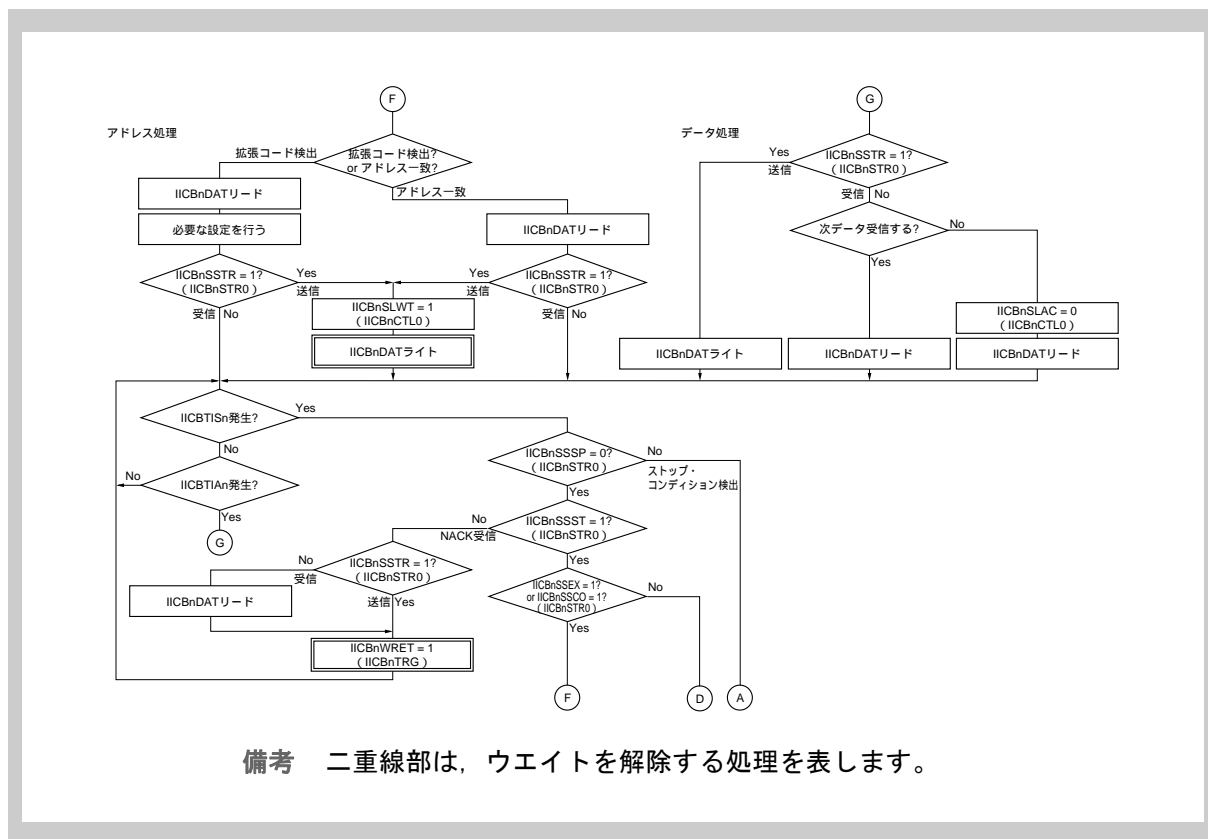
(4) 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット = 1) 時の連続転送モード  
設定手順



- a) 環境にあった設定をしてください。
- b) 通信初期状態でのスタート・コンディション発行を行う場合は1, 行わない場合は0を設定してください。

**備考** 二重線部は、ウェイトを解除する処理を表します。

図 30-24 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット = 1) 時の連続転送モード  
設定手順 (マルチマスタ環境) (1/2)



備考 二重線部は、ウエイトを解除する処理を表します。

図 30-25 通信予約機能禁止 (IICbCTL1.IICbSLRS ビット = 1) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)



## 第31章 FlexRay™ (FLX)

**備考** FlexRay は Daimler AG の商標です。

本章では、FlexRay コントローラ全般について説明します。

第1節では、インスタンス、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有のすべての特性について説明します。それ以降の節では、すべてのバージョンに共通の特徴について説明します。

### 31.1 V850E2/Fx4-H FLXn の特徴

**インスタンス数** 本マイクロコントローラは FlexRay コントローラ FLXn のインスタンスを 1 つ持っています。

表 31-1 FLXn のインスタンス数

FlexRay コントローラ	V850E2/FK4-H	V850E2/FL4-H
インスタンス数	1	
名称	FLX0	

**n の意味** 本章では、FlexRay コントローラのインスタンスを「n」(n = 0) で識別します。たとえば、FLXn SUC 設定レジスタ 1 は FLXnSUCC1 と記述します。

**レジスタ・アドレス** FlexRay コントローラのレジスタ・アドレスは、ベース・アドレス <FLXn\_base> からのオフセットで表されます。FLXn の <FLXn\_base> アドレスを以下の表に示します。

表 31-2 レジスタ・ベース・アドレス <FLXn\_base>

FLXn のインスタンス	<FLXn_base> アドレス
FLX0	FF58 0000 <sub>H</sub>

FlexRay コントローラ FLXn では FlexRay コア・モジュール E-Ray が主な機能を果たします。その他の構成部品にはエラー訂正モジュール ECC が付属したメッセージ・バッファがあります。

**ベンダ情報** FLXnVI レジスタには、製品固有のベンダ情報が含まれています。V850E2/Fx4-H のベンダ情報を以下の表に示します。

表 31-3 ベンダ情報レジスタ FLXnVI の値

FLXn のインスタンス	FLXnVI
FLX0	0105 00xx <sub>H</sub>

**クロック供給** FlexRay コントローラは 2 つのクロック入力を供給します。

表 31-4 FLXn へのクロック供給

FLXn のインスタンス	FLXn のクロック	接続先
FLX0	eray_sclk	クロック・ジェネレータ CKSCLK = 103
	eray_bclk	クロック・ジェネレータ CKSCLK = 102

FlexRay コントローラの説明では、本ドキュメントのほかの章で使われている信号名とは異なる特殊な信号名を使用します。以下の説明では、必要に応じて、FlexRay コントローラの信号名とほかの章で使われている信号名との対応表を示します。

**割り込み** FlexRay コントローラは以下の割り込み要求を生成できます。

表 31-5 FLXn の割り込み信号

FLXn の信号	機能	接続先
eray_int0	割り込み 0	<ul style="list-style-type: none"> <li>• 割り込みコントローラ INTFLXA0I0</li> <li>• DMA コントローラ・トリガ 85</li> <li>• DTS コントローラ・トリガ 16</li> </ul>
eray_int1	割り込み 1	<ul style="list-style-type: none"> <li>• 割り込みコントローラ INTFLXA0I1</li> <li>• DMA コントローラ・トリガ 86</li> <li>• DTS コントローラ・トリガ 17</li> </ul>
eray_tint0	タイマ割り込み 0	割り込みコントローラ INTFLXA0I2
eray_tint1	タイマ割り込み 1	割り込みコントローラ INTFLXA0I3
eray_ibusy	IBF から MBF への転送ビジー	接続先なし
eray_obusy	MBF から OBF への転送ビジー	接続先なし

**リセット信号** FlexRay コントローラのリセット信号を以下の表に示します。

表 31-6 FLXn のリセット信号

FLXn の信号	機能	名称
eray_reset	E-Ray モジュールのリセット	FLXA0RES

**I/O 信号** FlexRay コントローラの I/O 信号を以下の表に示します。  
I/O 信号はすべてポートに接続されています。

表 31-7 FLXn の I/O 信号

FLXn の信号	機能	接続先
eray_txd1	データ・トランスミッタ入力 1	ポート FTXDA
eray_rxd1	データ・レシーバ入力 1	ポート FRXDA
eray_txen1	送信イネーブル信号 1	ポート FTXENA
eray_txd2	データ・トランスミッタ入力 2	ポート FTXDB
eray_rxd2	データ・レシーバ入力 2	ポート FRXDB
eray_txen2	送信イネーブル信号 2	ポート FTXENB
eray_stpwt	ストップ・ウォッチ・トリガ	ポート FSTPWT

## 31.2 FlexRay コントローラの概要

### 31.2.1 表記規則

このドキュメントでは、以下の表記規則が使われています。

- 英大文字 POC ステートと CHI コマンド

### 31.2.2 定義

- FlexRay フレーム : ヘッダ・セグメント + ペイロード・セグメント
- メッセージ・バッファ : ヘッダ・セクション + データ・セクション
- メッセージ RAM : ヘッダ・パーティション + データ・パーティション
- データ・フレーム : Null フレームでない FlexRay フレーム

### 31.2.3 参照情報

本章では、以下のドキュメントを参照しています。

表 31-8 参照情報

参照番号	作成者	題名
1	FlexRay グループ	FlexRay Communication System Protocol Specification v2.1 Revision A (05/12/22)
2	BOSCH AE/EIP	Addendum to E-Ray FlexRay IP-Module Specification Revision 1.2.6
3	BOSCH AE/EIP	E-Ray FlexRay IP-Module Specification Revision 1.2.6

### 31.2.4 用語と略号

本章では、以下の用語と略号を使用しています。

表 31-9 用語と略号 (1/2)

用語	意味
AP	アクション・ポイント (Action Point)
BD	バス・ドライバ (Bus Driver)
BSS	バイト・スタート・シーケンス (Byte Start Sequence)
CAS	衝突回避シンボル (Collision Avoidance Symbol)
CC	通信コントローラ (Communication Controller)
CHI	コントローラ・ホスト・インタフェース (Controller Host Interface)
CRC	CRC チェック (Cyclic Redundancy Check)
FES	フレーム・エンド・シーケンス (Frame End Sequence)
FIFO	FIFO データバッファ構造 (First In First Out)
FSM	有限ステート・マシン (Finite State Machine)
FSP	フレームとシンボルの処理部 (Frame and Symbol Processing Block)
FSS	フレーム・スタート・シーケンス (Frame Start Sequence)
FTM	FTM クロック補正アルゴリズム (Fault Tolerant Midpoint)
GTU	グローバル・タイム・ユニット (Global Time Unit Block)
HIF	ホスト CPU インタフェース (Host CPU Interface Block)
IBF	入力バッファ (Input Buffer)
INT	割り込み制御部 (Interrupt Control Block)
MHD	メッセージ・ハンドラ (Message Handler Block)
MT	マクロティック (Macrotick)
MTS	メディア・アクセス・テスト・シンボル (Media Access Test Symbol)
NCT	ネットワーク通信時間 (Network Communication Time)
NEM	ネットワーク管理部 (Network Management Block)
NIT	ネットワーク・アイドル・タイム (Network Idle Time)
NM	ネットワーク管理 (Network Management)
OBF	出力バッファ (Output Buffer)
POC	プロトコル動作制御 (Protocol Operation Control)
PRT	プロトコル・コントローラ (Protocol Controller Block)
SDL	SDL 仕様記述言語 (Specification and Description Language)
SUC	システム汎用制御部 (System Universal Control Block)
TBF	トランジェント・バッファ (Transient Buffer)
TDMA	時分割多重アクセス (Time Division Multiple Access) (メディア・アクセス方式)
TSS	送信開始シーケンス (Transmission Start Sequence)
TT-D	タイム・トリガによる分散同期 (Time Triggered Distributed Synchronization) (プロトコル・モード)

表 31-9 用語と略号 (2/2)

用語	意味
μT	マイクロティック (Microtick)
WUP	ウェイクアップ・パターン (Wakeup Pattern)
WUS	ウェイクアップ・シンボル (Wakeup Symbol)

### 31.2.5 機能の概要

V850E2/Fx4-Hには、BOSCHの設計によるE-Ray version R1.0.2と呼ばれるFlexRay-IPが含まれています。E-Ray IPモジュールはFlexRayプロトコル仕様v2.1に従って通信を実行します。仕様で指定された最大サンプリング・クロックを使用した場合、最大10Mビット/秒のビット・レートを設定することができます。物理層への接続には、追加のバス・ドライバ(BD)ハードウェアが必要です。

FlexRayネットワーク上の通信では、最大254データ・バイトから構成されるメッセージ・バッファを設定できます。メッセージ・ストレージは、最大128個のメッセージ・バッファを格納できるシングル・ポートのメッセージRAMから構成されます。メッセージの処理に関するすべての機能はメッセージ・ハンドラに実装されています。実装されている機能は、受信フィルタリング、2つのFlexRayチャンネル・プロトコル・コントローラとメッセージRAMとの間のメッセージ転送、送信スケジュールの管理、メッセージ・ステータス情報の表示です。

V850E2/Fx4-HはE-Ray IPモジュールのレジスタ・セットに直接アクセスできます。これらのレジスタは、FlexRayチャンネル・プロトコル・コントローラ、メッセージ・ハンドラ、グローバル・タイム・ユニット、システム汎用制御部、フレームとシンボルの処理部、ネットワーク管理、割り込み制御部の制御、設定、監視を行うために使用します。また、入力/出力バッファを介したメッセージRAMへのアクセスをするために、これらのレジスタが使用されます。

E-Ray IPモジュールR1.0.2は以下の機能を備えています。

- FlexRayプロトコル仕様v2.1に準拠
- E-Ray仕様v1.2.6に準拠
- 各チャンネル最大10Mビット/秒のデータ・レート
- 最大128個のメッセージ・バッファを設定可能
- 8KバイトのメッセージRAMを搭載していて、例えば次の構成で使用可能
  - 1個につき最大48バイトのデータ・セクションから構成される128個のメッセージ・バッファ
  - 1個につき最大254バイトのデータ・セクションから構成される30個のメッセージ・バッファ
- ペイロード長の異なるメッセージ・バッファの設定が可能
- 設定可能な受信FIFO×1
- メッセージ・バッファを受信バッファ、送信バッファまたは受信FIFOとして設定可能
- 入力/出力バッファ経由でメッセージ・バッファにアクセス可能
  - 入力バッファ：メッセージRAMへ転送されるメッセージを格納
  - 出力バッファ：メッセージRAMから読み出されるメッセージを格納
- スロット・カウンタ、サイクル・カウンタおよびチャンネルに基づくフィルタリング機能を搭載
- 割り込みのマスクを割り込み要因ごとに設定可能
- ネットワーク管理機能をサポート

## 31.2.6 ブロック図

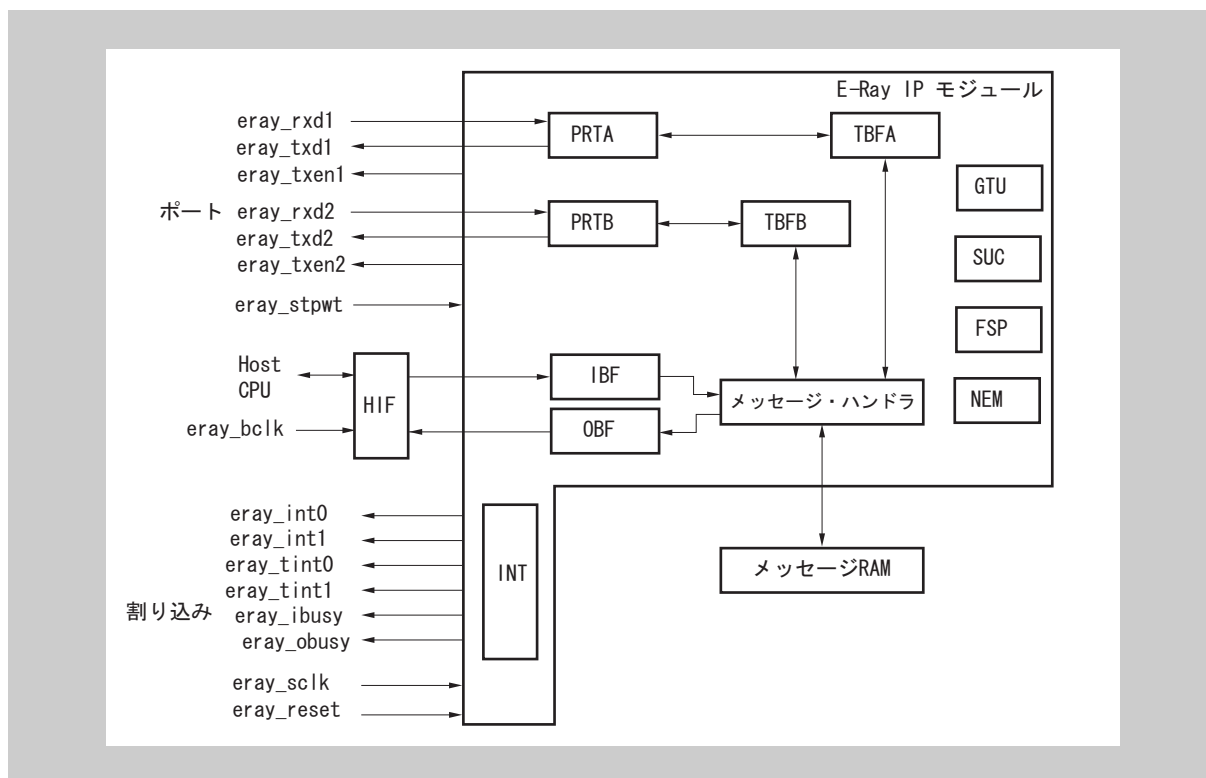


図 31-1 FlexRay コントローラのブロック図

## (1) ホスト・インタフェース (HIF)

ホスト・インタフェースはCPUをE-Ray IP モジュールに接続します。各ブロックに接続されたコンフィギュレーション・レジスタ、ステータス・レジスタ、割り込みレジスタには、ホスト・インタフェースを介してアクセスできます。

## (2) 入力バッファ (IBF)

メッセージ RAM で設定されているメッセージ・バッファへの書き込みを行う場合、ホスト CPU が特定のメッセージ・バッファのヘッダ・セクションとデータ・セクションを入力バッファに書き込みます。メッセージ・ハンドラは、入力バッファからメッセージ RAM 内の選択されているメッセージ・バッファヘッダを転送します。

## (3) 出力バッファ (OBF)

メッセージ RAM 内で設定されているメッセージ・バッファへの読み出しを行う場合、メッセージ・ハンドラが選択されているメッセージ・バッファを出力バッファへ転送します。転送が完了したあと、ホスト CPU は、転送されたメッセージ・バッファのヘッダ・セクションとデータ・セクションを出力バッファから読み出すことができます。

## (4) メッセージ・ハンドラ (MHD)

メッセージ・ハンドラは以下のコンポーネント間のデータ転送を制御します。

- 入力/出力バッファとメッセージ RAM
- 2つのトランジェント・バッファ RAM (チャンネル別) とメッセージ RAM



**(5) TBF A/B (トランジェント・バッファ RAM A/B)**

2チャンネル搭載されており、送受信時にメッセージのデータ・セクションを一時的に格納します。

**(6) PRT A/B (FlexRay チャンネル・プロトコル・コントローラ)**

FlexRay チャンネル・プロトコル・コントローラはシフト・レジスタと FlexRay プロトコル FSM から構成されます。このコントローラは、トランジェント・バッファ RAM に接続され、バス・ドライバ (BD) を経由して物理層に接続されます。

FlexRay チャンネル・プロトコル・コントローラは以下の機能を実行します。

- ビット・タイミングの制御とチェック
- FlexRay フレームと FlexRay シンボルの送受信
- ヘッダ CRC のチェック
- フレーム CRC の生成とチェック
- バス・ドライバとのインタフェース

FlexRay チャンネル・プロトコル・コントローラは次のユニットと接続されています。

- 物理層 (バス・ドライバ)
- トランジェント・バッファ RAM
- メッセージ・ハンドラ
- グローバル・タイム・ユニット
- システム汎用制御部
- フレームとシンボルの処理部
- ネットワーク管理部
- 割り込み制御部

**(7) グローバル・タイム・ユニット (GTU)**

グローバル・タイム・ユニットは以下の機能を実行します。

- マイクロティックの生成
- マクロティックの生成
- FTM アルゴリズムによるフォールト・トレラント・クロック同期
- レート補正
- オフセット補正
- サイクル・カウンタ
- スタティック・セグメントのタイミング制御
- ダイナミック・セグメントのタイミング制御 (ミニスロット)
- 外部クロック補正のサポート

**(8) システム汎用制御部 (SUC)**

システム汎用制御部は以下の機能を制御します。

- コンフィギュレーション
- ウェイクアップ
- スタートアップ
- 通常動作処理 (NORMAL\_ACTIVE ステート)
- パッシブ動作処理 (NORMAL\_PASSIVE ステート)
- モニタ・モード (MONITOR\_MODE ステート)

**(9) フレームとシンボルの処理部 (FSP)**

フレームとシンボルの処理部では以下の機能を制御します。

- フレームとシンボルの正しいタイミングのチェック
- 受信フレームの構文および意味の正当性の確認
- スロット・ステータス・フラグの設定

**(10) ネットワーク管理部 (NEM)**

ネットワーク管理部は以下の機能を実行します。

- ネットワーク管理ベクタの処理

**(11) 割り込み制御部 (INT)**

割り込み制御部は以下の機能を実行します。

- エラー割り込みフラグとステータス割り込みフラグの制御
- 割り込み許可／禁止の制御
- 2つの割り込みラインへの割り込みの割り当て
- 2つの割り込みラインの許可／禁止
- 2つの割り込みタイマの管理
- ストップ・ウォッチによるカウンタのキャプチャ

**31.2.7 ホスト CPU インタフェースのタイミング**

シングル CPU の読み出しまたは書き込みアクセスの eray\_bclk クロック・サイクル数を次の表に示します。

表 31-10 ホスト CPU アクセス周期

アクセス	Access cycle eray_bclk
レジスタ /RAM への書き込み	1
レジスタの読み出し	1
RAM の読み出し	2

### 31.2.8 リセットのタイミング

ハードウェアがリセット状態に置かれると、モジュール内部の RAM ブロックをゼロに初期化する内部処理が開始されます。FlexRay コントローラが DEFAULT\_CONFIG ステートまたは CONFIG ステートとときに CHI コマンド CLEAR\_RAM (FLXnSUCC1.FLXnCMD[3:0] = 「1100」) によってモジュール内部の RAM をクリアすることもできます。FlexRay コントローラ内部の RAM ブロックの初期化には 2048 回の eray\_bclk サイクルが必要です。

リセット後または CHI コマンド CLEAR\_RAM を実行したあと、内部 RAM ブロックを初期化している最中にホスト CPU から IBF または OBF へアクセスすることはできません。

リセット後は、表 31-12 「FlexRay コントローラ・レジスタ・マップ」に一覧に示すリセット値がすべてのレジスタに格納されます。CHI コマンド CLEAR\_RAM の実行中は、通信コントローラ制御レジスタと通信コントローラ・ステータス・レジスタへのアクセスが可能です。

RAM の初期化中、FLXnSUCC1.FLXnPBSY は POC ビジーを示します。

## 31.3 プログラムのモデル

### 31.3.1 レジスタ・マップ

FlexRay コントローラには 2K バイトのアドレス空間 (0000<sub>H</sub> ~ 07FF<sub>H</sub>) を割り当てます。レジスタは 32 ビット・レジスタとして構成されています。メッセージ RAM へのホスト・アクセスは入力バッファと出力バッファを経由して行われます。入力バッファと出力バッファは、メッセージ・ハンドラの制御を受けて、メッセージ RAM との間で転送されるデータをバッファリングし、ホスト・アクセスとメッセージの送受信との間の競合を回避します。

メッセージ・バッファの割り当ては、表 31-11 「メッセージ・バッファの割り当て」に示す区分に従って行われます。利用可能なメッセージ・バッファの数 N は、設定されているメッセージ・バッファのペイロード長によって異なります。メッセージ・バッファの最大数は 128 です。サポートされている最大のペイロード長は 254 バイトです。

#### メッセージ・バッファのサイズ

実装されているメッセージ・バッファのサイズは、表 31.4.12 「メッセージ RAM」で定義されています。

メッセージ・バッファは 3 つの連続するグループに分かれています。

スタティック・バッファ	スタティック・セグメントに割り当てられた送受信バッファ
スタティック・バッファ + ダイナミック・バッファ	スタティック・セグメントまたはダイナミック・セグメントに割り当てられた送受信バッファ
FIFO	受信 FIFO

メッセージ・バッファの分割の設定は、DEFAULT\_CONFIG ステートまたは CONFIG ステートでメッセージ RAM 設定レジスタを設定することによってのみ変更することができます。

最初のグループはメッセージ・バッファ 0 から始まり、スタティック・メッセージ・バッファのみから構成されます。SUC 設定レジスタ 1 の FLXnTXST, FLXnTXSY, FLXnTSM の設定に従ってノードがスタートアップ / sync フレームまたはシングル・スロット・フレームを送信する場合、メッセージ・バッファ 0 は、そのフレーム専用の格納バッファとして使用されます。その場合は、メッセージ・バッファ 0 にキー・スロット ID を設定する必要があります。メッセージ・バッファ 0 は DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ (再) 設定が可能です。

2 番目のグループはスタティック・セグメントまたはダイナミック・セグメントに割り当てられたメッセージ・バッファから構成されます。

3 番目のグループに属するメッセージ・バッファは連結され、1 つの受信 FIFO を構成します。

表 31-11 メッセージ・バッファの割り当て

メッセージ・バッファ 0	スタティック・バッファ
メッセージ・バッファ 1	
...	スタティック + ダイナミック・バッファ
	FIFO
メッセージ・バッファ N-1	
メッセージ・バッファ N	

**オフセット・アドレス** 以下の表に示すアドレスはベース・アドレス <FLXn\_base> からのオフセットとして記述されています。FLXn の <FLXn\_base> は、「レジスタ・アドレス」で定義されています。

表 31-12 FlexRay コントローラ・レジスタ・マップ (1/4)

オフセット・アドレス	略号	名称	リセット	アクセス	ブロック
<b>HIF レジスタ</b>					
0000 <sub>H</sub>	FLXnCI	コントローラ情報	6572 6179 <sub>H</sub>	R	HIF
0004 <sub>H</sub>	FLXnVI	ベンダ情報	<sup>a</sup>	R	
0008 <sub>H</sub>	FLXnCS	コントローラ・ステータス設定	0000 0002 <sub>H</sub>	R/W	
000C <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	
<b>特殊レジスタ</b>					
0010 <sub>H</sub>	FLXnTEST1	テスト 1	0000 0300 <sub>H</sub>	R/W	HIF
0014 <sub>H</sub>	FLXnTEST2	テスト 2	0000 0000 <sub>H</sub>	R/W	
0018 <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	
001C <sub>H</sub>	FLXnLCK	ロック	0000 0000 <sub>H</sub>	R/W	HIF
<b>割り込みレジスタ</b>					
0020 <sub>H</sub>	FLXnEIR	エラー割り込み	0000 0000 <sub>H</sub>	R/W	INT
0024 <sub>H</sub>	FLXnSIR	ステータス割り込み	0000 0000 <sub>H</sub>	R/W	
0028 <sub>H</sub>	FLXnEILS	エラー割り込みライン選択	0000 0000 <sub>H</sub>	R/W	
002C <sub>H</sub>	FLXnSILS	ステータス割り込みライン選択	0303 FFFF <sub>H</sub>	R/W	
0030 <sub>H</sub>	FLXnEIES	エラー割り込みイネーブル・セット	0000 0000 <sub>H</sub>	R/W	
0034 <sub>H</sub>	FLXnEIER	エラー割り込みイネーブル・リセット	0000 0000 <sub>H</sub>	R/W	
0038 <sub>H</sub>	FLXnSIES	ステータス割り込みイネーブル・セット	0000 0000 <sub>H</sub>	R/W	
003C <sub>H</sub>	FLXnSIER	ステータス割り込みイネーブル・リセット	0000 0000 <sub>H</sub>	R/W	
0040 <sub>H</sub>	FLXnILE	割り込みライン・イネーブル	0000 0000 <sub>H</sub>	R/W	
0044 <sub>H</sub>	FLXnT0C	タイマ 0 設定	0000 0000 <sub>H</sub>	R/W	
0048 <sub>H</sub>	FLXnT1C	タイマ 1 設定	0002 0000 <sub>H</sub>	R/W	
004C <sub>H</sub>	FLXnSTPW1	ストップ・ウォッチ 1	0000 0000 <sub>H</sub>	R/W	
0050 <sub>H</sub>	FLXnSTPW2	ストップ・ウォッチ 2	0000 0000 <sub>H</sub>	R	

表 31-12 FlexRay コントローラ・レジスタ・マップ (2/4)

オフセット・アドレス	略号	名称	リセット	アクセス	ブロック
0054 <sub>H</sub> ~ 007C <sub>H</sub>	—	予約済み (11)	0000 0000 <sub>H</sub>	R	
<b>通信コントローラ制御レジスタ</b>					
0080 <sub>H</sub>	FLXnSUCC1	SUC 設定 1	0C40 1000 <sub>H</sub>	R/W	SUC
0084 <sub>H</sub>	FLXnSUCC2	SUC 設定 2	0100 0504 <sub>H</sub>	R/W	
0088 <sub>H</sub>	FLXnSUCC3	SUC 設定 3	0000 0011 <sub>H</sub>	R/W	
008C <sub>H</sub>	FLXnNEMC	NEM 設定	0000 0000 <sub>H</sub>	R/W	NEM
0090 <sub>H</sub>	FLXnPRTC1	PRT 設定 1	084C 0633 <sub>H</sub>	R/W	PRT
0094 <sub>H</sub>	FLXnPRTC2	PRT 設定 2	0F2D 0A0E <sub>H</sub>	R/W	
0098 <sub>H</sub>	FLXnMHDC	MHD 設定	0000 0000 <sub>H</sub>	R/W	MHD
009C <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	
00A0 <sub>H</sub>	FLXnGTUC01	GTU 設定 1	0000 0280 <sub>H</sub>	R/W	GTU
00A4 <sub>H</sub>	FLXnGTUC02	GTU 設定 2	0002 000A <sub>H</sub>	R/W	
00A8 <sub>H</sub>	FLXnGTUC03	GTU 設定 3	0202 0000 <sub>H</sub>	R/W	
00AC <sub>H</sub>	FLXnGTUC04	GTU 設定 4	0008 0007 <sub>H</sub>	R/W	
00B0 <sub>H</sub>	FLXnGTUC05	GTU 設定 5	0E00 0000 <sub>H</sub>	R/W	
00B4 <sub>H</sub>	FLXnGTUC06	GTU 設定 6	0002 0000 <sub>H</sub>	R/W	
00B8 <sub>H</sub>	FLXnGTUC07	GTU 設定 7	0002 0004 <sub>H</sub>	R/W	
00BC <sub>H</sub>	FLXnGTUC08	GTU 設定 8	0000 0002 <sub>H</sub>	R/W	
00C0 <sub>H</sub>	FLXnGTUC09	GTU 設定 9	0000 0101 <sub>H</sub>	R/W	
00C4 <sub>H</sub>	FLXnGTUC10	GTU 設定 10	0002 0005 <sub>H</sub>	R/W	
00C8 <sub>H</sub>	FLXnGTUC11	GTU 設定 11	0000 0000 <sub>H</sub>	R/W	
00CC <sub>H</sub> ~ 00FC <sub>H</sub>	—	予約済み (13)	0000 0000 <sub>H</sub>	R	
<b>通信コントローラ・ステータス・レジスタ</b>					
0100 <sub>H</sub>	FLXnCCSV	通信コントローラ・ステータス・ベクタ	0010 4000 <sub>H</sub>	R	SUC
0104 <sub>H</sub>	FLXnCCEV	通信コントローラ・エラー・ベクタ	0000 0000 <sub>H</sub>	R	
0108 <sub>H</sub> ~ 010C <sub>H</sub>	—	予約済み (2)	0000 0000 <sub>H</sub>	R	
0110 <sub>H</sub>	FLXnSCV	スロット・カウンタ値	0000 0000 <sub>H</sub>	R	GTU
0114 <sub>H</sub>	FLXnMTCCV	マクロティックおよびサイクル・カウンタ値	0000 0000 <sub>H</sub>	R	
0118 <sub>H</sub>	FLXnRCV	レート補正值	0000 0000 <sub>H</sub>	R	
011C <sub>H</sub>	FLXnOCV	オフセット補正值	0000 0000 <sub>H</sub>	R	
0120 <sub>H</sub>	FLXnSFS	sync フレーム・ステータス	0000 0000 <sub>H</sub>	R	
0124 <sub>H</sub>	FLXnSWNIT	シンボル・ウィンドウおよび NIT ステータス	0000 0000 <sub>H</sub>	R	
0128 <sub>H</sub>	FLXnACS	統合チャネル・ステータス	0000 0000 <sub>H</sub>	R/W	
012C <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	
0130 <sub>H</sub> ~ 0168 <sub>H</sub>	FLXnESIDm	偶数 sync ID [01 ~ 15]	0000 0000 <sub>H</sub>	R	GTU
016C <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	
0170 <sub>H</sub> ~ 01A8 <sub>H</sub>	FLXnOSIDm	奇数 sync ID [01 ~ 15]	0000 0000 <sub>H</sub>	R	GTU
01AC <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R	

表 31-12 FlexRay コントローラ・レジスタ・マップ (3/4)

オフセット・アドレス	略号	名称	リセット	アクセス	ブロック	
01B0 <sub>H</sub> ~ 01B8 <sub>H</sub>	FLXnNMVm	ネットワーク管理ベクタ [1 ~ 3]	0000 0000 <sub>H</sub>	R	NEM	
01BC <sub>H</sub> ~ 02FC <sub>H</sub>	—	予約済み (81)	0000 0000 <sub>H</sub>	R		
<b>メッセージ・バッファ制御レジスタ</b>						
0300 <sub>H</sub>	FLXnMRC	メッセージ RAM 設定	0180 0000 <sub>H</sub>	R/W	MHD	
0304 <sub>H</sub>	FLXnFRF	FIFO リジェクション・フィルタ	0180 0000 <sub>H</sub>	R/W		
0308 <sub>H</sub>	FLXnFRFM	FIFO リジェクション・フィルタ・マスク	0000 0000 <sub>H</sub>	R/W		
030C <sub>H</sub>	FLXnFCL	FIFO 限界レベル	0000 0080 <sub>H</sub>	R/W		
<b>メッセージ・バッファ・ステータス・レジスタ</b>						
0310 <sub>H</sub>	FLXnMHDS	メッセージ・ハンドラ・ステータス	0000 0000 <sub>H</sub>	R/W	MHD	
0314 <sub>H</sub>	FLXnLDTS	最終ダイナミック送信スロット	0000 0000 <sub>H</sub>	R		
0318 <sub>H</sub>	FLXnFSR	FIFO ステータス	0000 0000 <sub>H</sub>	R		
031C <sub>H</sub>	FLXnMHDF	メッセージ・ハンドラ制約フラグ	0000 0000 <sub>H</sub>	R/W		
0320 <sub>H</sub>	FLXnTXRQ1	送信要求 1	0000 0000 <sub>H</sub>	R		
0324 <sub>H</sub>	FLXnTXRQ2	送信要求 2	0000 0000 <sub>H</sub>	R		
0328 <sub>H</sub>	FLXnTXRQ3	送信要求 3	0000 0000 <sub>H</sub>	R		
032C <sub>H</sub>	FLXnTXRQ4	送信要求 4	0000 0000 <sub>H</sub>	R		
0330 <sub>H</sub>	FLXnNDAT1	新規データ 1	0000 0000 <sub>H</sub>	R		
0334 <sub>H</sub>	FLXnNDAT2	新規データ 2	0000 0000 <sub>H</sub>	R		
0338 <sub>H</sub>	FLXnNDAT3	新規データ 3	0000 0000 <sub>H</sub>	R		
033C <sub>H</sub>	FLXnNDAT4	新規データ 4	0000 0000 <sub>H</sub>	R		
0340 <sub>H</sub>	FLXnMBSC1	メッセージ・バッファ・ステータス変更 1	0000 0000 <sub>H</sub>	R		
0344 <sub>H</sub>	FLXnMBSC2	メッセージ・バッファ・ステータス変更 2	0000 0000 <sub>H</sub>	R		
0348 <sub>H</sub>	FLXnMBSC3	メッセージ・バッファ・ステータス変更 3	0000 0000 <sub>H</sub>	R		
034C <sub>H</sub>	FLXnMBSC4	メッセージ・バッファ・ステータス変更 4	0000 0000 <sub>H</sub>	R		
0350 <sub>H</sub> ~ 03EC <sub>H</sub>	—	予約済み (40)	0000 0000 <sub>H</sub>	R		
<b>識別レジスタ</b>						
03F0 <sub>H</sub>	FLXnCREL	コア・リリース	1027 1031 <sub>H</sub>	R		GIF
03F4 <sub>H</sub>	FLXnENDN	エンディアン	8765 4321 <sub>H</sub>	R		
03F8 <sub>H</sub> ~ 03FC <sub>H</sub>	—	予約済み (2)	0000 0000 <sub>H</sub>	R		
<b>入力バッファ</b>						
0400 <sub>H</sub> ~ 04FC <sub>H</sub>	FLXnWRDSm	データ・セクション書き込み [01 ~ 64]	0000 0000 <sub>H</sub>	R/W	IBF	
0500 <sub>H</sub>	FLXnWRHS1	ヘッダ・セクション書き込み 1	0000 0000 <sub>H</sub>	R/W		
0504 <sub>H</sub>	FLXnWRHS2	ヘッダ・セクション書き込み 2	0000 0000 <sub>H</sub>	R/W		
0508 <sub>H</sub>	FLXnWRHS3	ヘッダ・セクション書き込み 3	0000 0000 <sub>H</sub>	R/W		
050C <sub>H</sub>	—	予約済み (1)	0000 0000 <sub>H</sub>	R		
0510 <sub>H</sub>	FLXnIBCM	入力バッファ・コマンド・マスク	0000 0000 <sub>H</sub>	R/W	IBF	
0514 <sub>H</sub>	FLXnIBCR	入力バッファ・コマンド要求	0000 0000 <sub>H</sub>	R/W		

表 31-12 FlexRay コントローラ・レジスタ・マップ (4/4)

オフセット・アドレス	略号	名称	リセット	アクセス	ブロック
0518 <sub>H</sub> ~ 05FC <sub>H</sub>	—	予約済み (58)	0000 0000 <sub>H</sub>	R	
<b>出力バッファ</b>					
0600 <sub>H</sub> ~ 06FC <sub>H</sub>	FLXnRDDSm	データ・セクション読み出し [01 ~ 64]	0000 0000 <sub>H</sub>	R	OBF
0700 <sub>H</sub>	FLXnRDHS1	ヘッダ・セクション読み出し 1	0000 0000 <sub>H</sub>	R	
0704 <sub>H</sub>	FLXnRDHS2	ヘッダ・セクション読み出し 2	0000 0000 <sub>H</sub>	R	
0708 <sub>H</sub>	FLXnRDHS3	ヘッダ・セクション読み出し 3	0000 0000 <sub>H</sub>	R	
070C <sub>H</sub>	FLXnMBS	メッセージ・バッファ・ステータス	0000 0000 <sub>H</sub>	R	
0710 <sub>H</sub>	FLXnOBCM	出力バッファ・コマンド・マスク	0000 0000 <sub>H</sub>	R/W	
0714 <sub>H</sub>	FLXnOBCR	出力バッファ・コマンド要求	0000 0000 <sub>H</sub>	R/W	
0718 <sub>H</sub> ~ 07FC <sub>H</sub>	—	予約済み (58)	0000 0000 <sub>H</sub>	R	

a) FLXnVI レジスタのベンダ情報は、「ベンダ情報」で定義されています。



### 31.3.2 HIF レジスタ

#### (1) FLXnCI - コントローラ情報

本レジスタには FlexRay コントローラの情報が格納されます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0000<sub>H</sub>

**初期値** 6572 6179<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnMN[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMN[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-13 FLXnCI レジスタの内容

ビット位置	ビット名	機能
31-0	FLXn MN[31:00]	コントローラ情報 コントローラの種別を示す番号を格納します。E-Ray FlexRay コントローラでは、16 進数で 6572 6179H が格納されています。この値は、ASCII コードの "eray" を示します。

## (2) FLXnVI - ベンダ情報

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0004<sub>H</sub>

**初期値** 本章第1節のキーワード「ベンダ情報」を参照してください。本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnVI[7:0]								FLXnFMR[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	FLXnPCN[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-14 FLXnVI レジスタの内容

ビット位置	ビット名	機能
31-24	FLXn VI[7:0]	ベンダ ID シリコン化したベンダの識別番号が格納されます。
23-16	FLXn FMR[7:0]	FlexRay コントローラ・リリース番号 コントローラのリリース番号が格納されます。
7-0	FLXn PCN[7:0]	プロダクト・コード番号 コントローラのプロダクト・コード番号が格納されます。

**ベンダ情報** FLXnVI レジスタのベンダ情報は、「ベンダ情報」で定義されています。

**(3) FLXnCS - コントローラ・ステータス設定**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0008<sub>H</sub>

**初期値** 0000 0002<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnCSLK[7:0]								0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn MD	FLXn SR
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31-15 FLXnCS レジスタの内容

ビット位置	ビット名	機能															
31-24	FLXn CSLK[7:0]	<p>コントロール設定ロック操作 FLXnSR ビットと FLXnMD ビットの設定を変更する場合、その直前に FLXnCS レジスタへ規定値の書き込みアクセスを2回続けて行う必要があります。この連続するシーケンスの間にホストがほかの FlexRay コントローラレジスタにアクセスした場合、FLXnCS レジスタへの書き込みは無視されます。</p> <table border="1"> <thead> <tr> <th></th> <th>FLXnSR ビットのセット</th> <th>FLXnSR ビットのクリア</th> <th>FLXnMD ビットのセット</th> <th>FLXnMD ビットのクリア</th> </tr> </thead> <tbody> <tr> <td>FLXnCS レジスタへの初回の書き込み</td> <td>67xx_xxxx<sub>H</sub></td> <td>67xx_xxxx<sub>H</sub></td> <td>67xx_xxxx<sub>H</sub></td> <td>67xx_xxxx<sub>H</sub></td> </tr> <tr> <td>FLXnCS レジスタへの2回目の書き込み</td> <td>98xx_xxx1<sub>H</sub></td> <td>98xx_xxx0<sub>H</sub></td> <td>98xx_xxx2<sub>H</sub></td> <td>98xx_xxx0<sub>H</sub></td> </tr> </tbody> </table> <p>これらのビットを読み出すと 0 が返されます。</p>		FLXnSR ビットのセット	FLXnSR ビットのクリア	FLXnMD ビットのセット	FLXnMD ビットのクリア	FLXnCS レジスタへの初回の書き込み	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>	FLXnCS レジスタへの2回目の書き込み	98xx_xxx1 <sub>H</sub>	98xx_xxx0 <sub>H</sub>	98xx_xxx2 <sub>H</sub>	98xx_xxx0 <sub>H</sub>
	FLXnSR ビットのセット	FLXnSR ビットのクリア	FLXnMD ビットのセット	FLXnMD ビットのクリア													
FLXnCS レジスタへの初回の書き込み	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>	67xx_xxxx <sub>H</sub>													
FLXnCS レジスタへの2回目の書き込み	98xx_xxx1 <sub>H</sub>	98xx_xxx0 <sub>H</sub>	98xx_xxx2 <sub>H</sub>	98xx_xxx0 <sub>H</sub>													
1	FLXn MD	<p>コントローラ・ディスエーブル このビットがセットされると、内部クロックの供給 (eray_sclk, eray_bclk) が停止します。したがって、FLXnMD = 1 の間、ソフトウェアは FlexRay コントローラのレジスタや RAM にアクセスできません。その場合、書き込みアクセスは無視され、読み出しアクセスでは不正な値が取得されます。例外的に、マイクロコントローラ固有の HIF レジスタ (FLXnCI / FLXnVI / FLXnCS) には FLXnMD = 1 になっている間もアクセスできます。FLXnMD ビットをセット/クリアするには、FLXnCSLK ビットによるアンロック・シーケンスが必要です。 ユーザは CONFIG ステートで FLXnMD をセットして、RAM 間の転送が完了するまで待つ必要があります。そうしないと、突然のクロック停止が原因で、最後に受信したメッセージが破損することがあります。 FLXnMD = 1 である間に FLXnTEST1 への読み出しアクセスを行っても、FLXnTEST1.FLXnCERA と FLXnCERB はクリアされない点に注意してください。 モジュール・リセットは FLXnMD をセットしたあとで実行されます。 FLXnSUCC1.FLXnPBSY がクリアされるまで RAM にはアクセスできません。 備考 このビットはマイクロコントローラの電源が入ったあとで設定されます。このビットが 0 に設定されるまで、FlexRay コントローラにはアクセスできません。</p>															
0	FLXn SR	<p>ソフトウェア・リセット このビットがセットされると、ただちに FlexRay コントローラのリセットが実行されます。リセットを解除するには、ユーザが FLXnSR ビットをクリアする必要があります。FLXnSR ビットをセット/クリアするには、FLXnCSLK ビットによるアンロック・シーケンスが必要です。 備考 ソフトウェア・リセットを行ったあとは、FLXnSUCC1.FLXnPBSY がクリアされるまで RAM にアクセスできません。</p>															

FlexRay コントローラの各レジスタと内蔵 RAM へのアクセスは、FLXnSR ビットと FLXnMD ビットの組み合わせによって制限されます。

FLXn SR	FLXn MD	HIF レジスタ (FLXnCI, FLXnVI, FLXnCS)	FlexRay コント ローラのレジスタ	FlexRay コント ローラの RAM
0	0	R/W 可能	R/W 可能	R/W 可能
0	1	R/W 可能	読み出し専用 <sup>a</sup>	不可能 <sup>b</sup>
1	0	R/W 可能	不可能 <sup>b</sup>	不可能 <sup>b</sup>
1	1	R/W 可能	不可能 <sup>b</sup>	不可能 <sup>b</sup>

- a) 書き込みは無視されます。
- b) 読み出しでは無効なデータが読み出され、書き込みは無視されます。

FLXnSR ビットと FLXnMD ビットの状態遷移と動作の関係を次に示します。

FLXnSR	FLXnMD	動作
0 → 1	0	可能
0	0 → 1	可能
0 → 1	0 → 1	無視される
1	0 → 1	可能
0 → 1	1	無視される
0 → 1	1 → 0	可能

FLXnSR ビットと FLXnMD ビットのクリアに関する制限はありません。

### 31.3.3 特殊レジスタ

#### (1) FLXnTEST1 - テスト・レジスタ 1

テスト・レジスタ 1 には、FlexRay コントローラのテスト・モードを設定するビットがあります。これらのビットへの書き込みアクセスは、FLXnWRTEN ビットが「1」にセットされているときにのみ可能です。

FLXnWRTEN がセットされていないと利用できないテスト・モード (RAM テスト・モード、I/O テスト・モード、非同期転送モード、ループ・バック・モード) で FlexRay コントローラが動作しているときは、選択されているテスト・モード機能のみが利用できます。

テスト機能では FlexRay コントローラ内の機能ブロックの機能が変化するため、通常動作モード機能とテスト機能を併用することはできません。したがって、本章以外で規定されている動作や、FlexRay プロトコ仕様および FlexRay コンフォーマンス・テスト仕様で要件が定められている通常動作は不可能です。複数の異なるテスト・モード機能を併用したり、テスト・モード機能と FlexRay プロトコル機能を併用したりすることはできません。

テスト・モード機能は、ハードウェアのテストや FlexRay バス解析ツールでの使用を目的としています。テスト・モード機能は FlexRay アプリケーションでの使用を想定していません。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0010<sub>H</sub>

**初期値** 0000 0300<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnCERB[3:0]				FLXnCERA[3:0]				0	0	FLXn TXENB	FLXn TXENA	FLXn TXB	FLXn TXA	FLXn RXB	FLXn RXA
R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	FLXn AOB	FLXn AOA	0	0	FLXnTMC[1: 0]		0	0	FLXn ELBE	FLXn WRTEN
R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 31-16 FLXnTEST1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31-28	FLXn CERB[3:0]	<p>チャンネル B 符号エラー・レポート チャンネル B で符号エラーが検出されるとセットされます。FLXnTEST1 レジスタの読み出しまたは書き込みが行われると、「0」にリセットされます。 FLXnCERB[3:0] は、いったんセットされると、FLXnTEST1 レジスタへのアクセスがあるまで、セットされた状態にとどまります。</p> <p>0000 = 符号エラーが検出されていない 0001 = ヘッダ CRC エラーが検出された 0010 = フレーム CRC エラーが検出された 0011 = フレーム・スタート・シーケンス FSS が長すぎる 0100 = バイト・スタート・シーケンス BSS の第 1 ビットが LOW 0101 = バイト・スタート・シーケンス BSS の第 2 ビットが HIGH 0110 = フレーム・エンド・シーケンス FES の第 1 ビットが HIGH 0111 = フレーム・エンド・シーケンス FES の第 2 ビットが LOW 1000 = CAS / MTS シンボルが短すぎる。 1001 = CAS / MTS シンボルが長すぎる。 1010 ~ 1111 = 予約済み</p>
27-24	FLXn CERA[3:0]	<p>チャンネル A 符号エラー・レポート チャンネル A で符号エラーが検出されるとセットされます。FLXnTEST1 レジスタの読み出しまたは書き込みが行われると、「0」にリセットされます。 FLXnCERA[3:0] は、いったんセットされると、FLXnTEST1 レジスタへのアクセスがあるまで、セットされた状態にとどまります。</p> <p>0000 = 符号エラーが検出されていない 0001 = ヘッダ CRC エラーが検出された 0010 = フレーム CRC エラーが検出された 0011 = フレーム・スタート・シーケンス FSS が長すぎる 0100 = バイト・スタート・シーケンス BSS の第 1 ビットが LOW 0101 = バイト・スタート・シーケンス BSS の第 2 ビットが HIGH 0110 = フレーム・エンド・シーケンス FES の第 1 ビットが HIGH 0111 = フレーム・エンド・シーケンス FES の第 2 ビットが LOW 1000 = CAS / MTS シンボルが短すぎる。 1001 = CAS / MTS シンボルが長すぎる。 1010 ~ 1111 = 予約済み</p>
21	FLXn TXENB	<p>チャンネル B 送信イネーブル・ピンの制御設定 0 = eray_txen2 ピンが「0」をドライブする 1 = eray_txen2 ピンが「1」をドライブする</p>
20	FLXn TXENA	<p>チャンネル A 送信イネーブル・ピンの制御設定 0 = eray_txen1 ピンが「0」をドライブする 1 = eray_txen1 ピンが「1」をドライブする</p>
19	FLXn TXB	<p>チャンネル B 送信ピンの制御設 0 = eray_txd2 ピンが「0」をドライブする 1 = eray_txd2 ピンが「1」をドライブする</p>
18	FLXn TXA	<p>チャンネル A 送信ピンの制御設定 0 = eray_txd1 ピンが「0」をドライブする 1 = eray_txd1 ピンが「1」をドライブする</p>
17	FLXn RXB	<p>チャンネル B 受信ピン n のモニタ 0 = eray_rxd2 = 「0」を受信している 1 = eray_rxd2 = 「1」を受信している</p>
16	FLXn RXA	<p>チャンネル A 受信ピンのモニタ 0 = eray_rxd1 = 「0」を受信している 1 = eray_rxd1 = 「1」を受信している</p>

表 31-16 FLXnTEST1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	FLXn AOB	<p>チャンネル B のバス動作の検出</p> <p>FLXnAOB は、チャンネル B でバス動作が検出されると「1」にセットされます。11 個の連続する「1」のビットが検出されるか、POC ステートが DEFAULT_CONFIG または CONFIG になると「0」にリセットされます。STARTUP、NORMAL_ACTIVE または NORMAL_PASSIVE の間、FLXnAOB の値は、FlexRay プロトコル仕様 v2.1 の第 3 章「BITSTRB プロセス」で規定されている zChannelIdle の論理反転になります。その他すべての POC ステートでは、FLXnAOB を無視する必要があります。</p> <p>1 = バス動作が検出されている。チャンネル B はアイドル状態ではない。 0 = バス動作が検出されていない。チャンネル B はアイドル状態になっている。</p>
8	FLXn AOA	<p>チャンネル A のバス動作の検出</p> <p>FLXnAOA は、チャンネル A でバス動作が検出されると「1」にセットされます。11 個の連続する「1」のビットが検出されるか、POC ステートが DEFAULT_CONFIG または CONFIG になると「0」にリセットされます。STARTUP、NORMAL_ACTIVE または NORMAL_PASSIVE の間、FLXnAOA の値は、FlexRay プロトコル仕様 v2.1 の第 3 章「BITSTRB プロセス」で規定されている zChannelIdle の論理反転になります。その他すべての POC ステートでは、FLXnAOA を無視する必要があります。</p> <p>1 = バス動作が検出されている。チャンネル A はアイドル状態ではない。 0 = バス動作が検出されていない。チャンネル A はアイドル状態になっている。</p>
5-4	FLXn TMC[1:0]	<p>マルチプレクサのテスト制御設定</p> <p>FLXnTMC[1:0] は DEFAULT_CONFIG ステートまたは、CONFIG ステートでのみ書き込みができます。ほかのステートで書き込んだ場合、「00」が書き込まれます。</p> <p>00 = 通常の信号パス (デフォルト) 01 = RAM テスト・モード - ホストが FlexRay コントローラのすべての RAM ブロックに直接アクセスできるように、内部バスを多重化します。このモードは、製造試験時の RAM ブロック・テストで使用することを目的としています。 10 = I/O テスト・モード - 出力ピンの eray_txd1, eray_txd2, eray_txen1, eray_txen2 が FLXnTXA ビット, FLXnTXB ビット, FLXnTXENA ビット, FLXnTXENB ビットで設定されている値にドライブされます。入力ピンの eray_rxd1, eray_rxd2 に印加される値は、レジスタ・ビット FLXnRXA と FLXnRXB から読み出すことができます。 11 = 通常の信号パス</p>
1	FLXn ELBE	<p>外部ループ・バック・イネーブル設定</p> <p>ループ・バック・テストを実行する方法には物理層を経由する外部ループ・バックとシステム内部セルフ・テスト用の内部ループ・バック (デフォルト) の 2 つがあります。内部ループ・バックの場合は、eray_txen1 ピンと eray_txen2 ピンが非アクティブ状態になり、eray_txd1 ピンと eray_txd2 ピンが HIGH に設定され、eray_rxd1 ピンと eray_rxd2 ピンは参照されません。FLXnELBE ビットの参照は、POC がループ・バック・モードになっており、マルチプレクサのテスト制御設定が非多重化モード FLXnTMC[1:0] = 「00」になっているときのみ行われます。</p> <p>1 = 外部ループ・バック 0 = 内部ループ・バック (デフォルト)</p>
0	FLXn WRTEN	<p>テスト・レジスタの書き込みイネーブル設定</p> <p>テスト・レジスタへの書き込みアクセスを許可します。このビットを「0」から「1」にセットするには、(3)「FLXnLCK - ロック・レジスタ」で説明しているように、テスト・モード・キーを書き込む必要があります。FLXnWRTEN が「1」になっていれば、レジスタのほかのビットを変更するときにアンロック・シーケンスは必要ありません。このビットはいつでも「0」にリセットできます。</p> <p>1 = テスト・レジスタへの書き込みアクセスを許可する 0 = テスト・レジスタへの書き込みアクセスを禁止する</p>



- 備考**
1. フレームの復号が可能な状態では、そのすべての状態で符号エラーが検出されます。その他すべての状態では、FLXnCERA[3:0]とFLXnCERB[3:0]を無視する必要があります。CAS / MTS シンボルに関連するエラー・コードは、シンボル・ウィンドウなどでビット・パターンが検出されたかどうかに関係なく、モニタされたビット・パターンのみを照合します。
  2. テスト・レジスタ 1 の FLXnTXENB, FLXnTXENA, FLXnTXB, FLXnTXA, FLXnRXB, FLXnRXA ビットは、それぞれのビットに対応するピンをドライブするか読み出すことによって物理層とのインタフェースをテストする目的（接続性テスト）に使用されます。

### 非同期転送モード (ATM)

非同期転送モードに入るには、FlexRay コントローラが CONFIG ステートにあり、FLXnTEST1.FLXnWRTEEN が「1」にセットされているときに、FLXnSUCC1.FLXnCMD[3:0] = 「1110」を書き込みます。この書き込み操作の直前に、コンフィギュレーション・ロック・キーへの書き込みアクセスを 2 回続けて行う必要があります（アンロック・シーケンス）。それ以外の状態からコマンド呼び出しが行われた場合、または FLXnTEST1.FLXnWRTEEN ビットがセットされていない場合、FLXnSUCC1.FLXnCMD[3:0] は「0000」= command\_not\_accepted（コマンド非受理）にリセットされます。FlexRay コントローラが ATM モードに入っている間に FLXnCCSV.FLXnPOCS[5:0] を読み出すと、「00 1110」が返されます。非同期転送モードから抜け出すには、FLXnSUCC1.FLXnCMD[3:0] = 「0001」（CHI コマンド：CONFIG）を書き込みます。

ATM モードでの FlexRay フレームの送信は、FLXnIBCM.FLXnSTXR が「1」にセットされているときに、対象となるメッセージ・バッファの番号を FLXnIBCR.FLXnIBRH[6:0] に書き込むことにより実行されます。このモードでは、ウェイクアップ、スタートアップ、クロック同期はバイパスされます。CHI コマンド SEND\_MTS を実行すると、ただちに MTS シンボルが送信されます。

ATM モードで送信されるフレームのサイクル・カウンタ値は、FLXnMTCCV.FLXnCCV[5:0]（ATM モードとループ・バック・モードでのみ書き込み可能）を使って設定することができます。

### ループ・バック・モード

ループ・バック・モードに入るには、FlexRay コントローラが CONFIG ステートにあり、FLXnTEST1.FLXnWRTEEN が「1」にセットされているときに、FLXnSUCC1.FLXnCMD[3:0] = 「1111」を書き込みます。この書き込み操作の直前に、コンフィギュレーション・ロック・キーへの書き込みアクセスを 2 回続けて行う必要があります（アンロック・シーケンス）。それ以外の状態からコマンド呼び出しが行われた場合、または FLXnTEST1.FLXnWRTEEN ビットがセットされていない場合、FLXnSUCC1.FLXnCMD[3:0] は「0000」= command\_not\_accepted（コマンド非受理）にリセットされます。FlexRay コントローラがループ・バック・モードに入っている間に FLXnCCSV.FLXnPOCS[5:0] を読み出すと、「00 1101」が返されます。

ループ・バック・モードから抜け出すには、FLXnSUCC1.FLXnCMD[3:0] = 「0001」（CHI コマンド：CONFIG）を書き込みます。

ループ・バック・モードはモジュール内部のデータ・パスをチェックすることを目的としています。ループ・バック・モードで通常のタイム・トリガ型の動作を実行することはできません。

ループ・バック・テストを実行する方法には、物理層を経由する外部ループ・バック（FLXnTEST1.FLXnELBE = 「1」）とシステム内部セルフ・テスト用の内部ループ・バック（FLXnTEST1.FLXnELBE = 「0」）の 2 つがあり

まず、内部ループ・バックの場合は、eray\_txen1ピンとeray\_txen2ピンが非アクティブ状態になり、eray\_txd1ピンとeray\_txd2ピンがHIGHに設定され、eray\_rxd1ピンとeray\_rxd2ピンは参照されません。

FlexRayコントローラがループ・バック・モードに入っていれば、ホストが入力バッファにメッセージを書き込み、FLXnIBCRレジスタへの書き込みで送信を要求することによってループ・バック・テストが開始されます。メッセージ・ハンドラはメッセージをメッセージRAMへ転送したあと、選択されているチャンネルのトランジェント・バッファに転送します。チャンネル・プロトコル・コントローラ (PRT) はトランジェント・バッファの送信部からメッセージを (32ビット・ワード単位で) 読み出し、それをRx/Txシフト・レジスタへロードします。シリアル送信はシフト・レジスタへループ・バックされます。送信の内容は、次のワードがロードされる前に、チャンネルのトランジェント・バッファの受信部に書き込まれます。

次に、PRTとメッセージ・ハンドラが、送信されたメッセージを通常の受信メッセージと同様に処理し、フレームIDと受信チャンネルに基づいて受信フィルタリングを実行し、受信フィルタリングで拒否されなければ、メッセージをメッセージRAMに保存します。ホストがこの受信メッセージをメッセージRAMに要求し、出力バッファの内容をチェックすることによってループ・バック・テストが終了します。

個々のFlexRayチャンネルは個別にテストされます。ループ・バック・モードに入っている間、FlexRayコントローラはFlexRayバスからメッセージを受信できません。

ループ・バック・モードで使用されるフレームのサイクル・カウンタ値は、FLXnMTCCV.FLXnCCV[5.0] (ATMモードとループ・バック・モードでのみ書き込み可能) を使って設定することができます。

ペイロード長が奇数 (PLC = 1,3,5,..) の場合は、ループ・バックされたペイロードの最後の2バイトが最後の32ビット・データ・ワード内で16ビット右にシフトされる点に注意してください。

**(2) FLXnTEST2 - テスト・レジスタ 2**

テスト・レジスタ2では、FlexRayコントローラ内の7個のRAMブロックのRAMテストの設定を行います。このレジスタへの書き込みアクセスはFLXnTEST1.FLXnWRTENが「1」にセットされているときのみ可能です。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0014<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	FLXn SSEL[2:0]		0	FLXn RS[2:0]			
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 31-17 FLXnTEST2 レジスタの内容

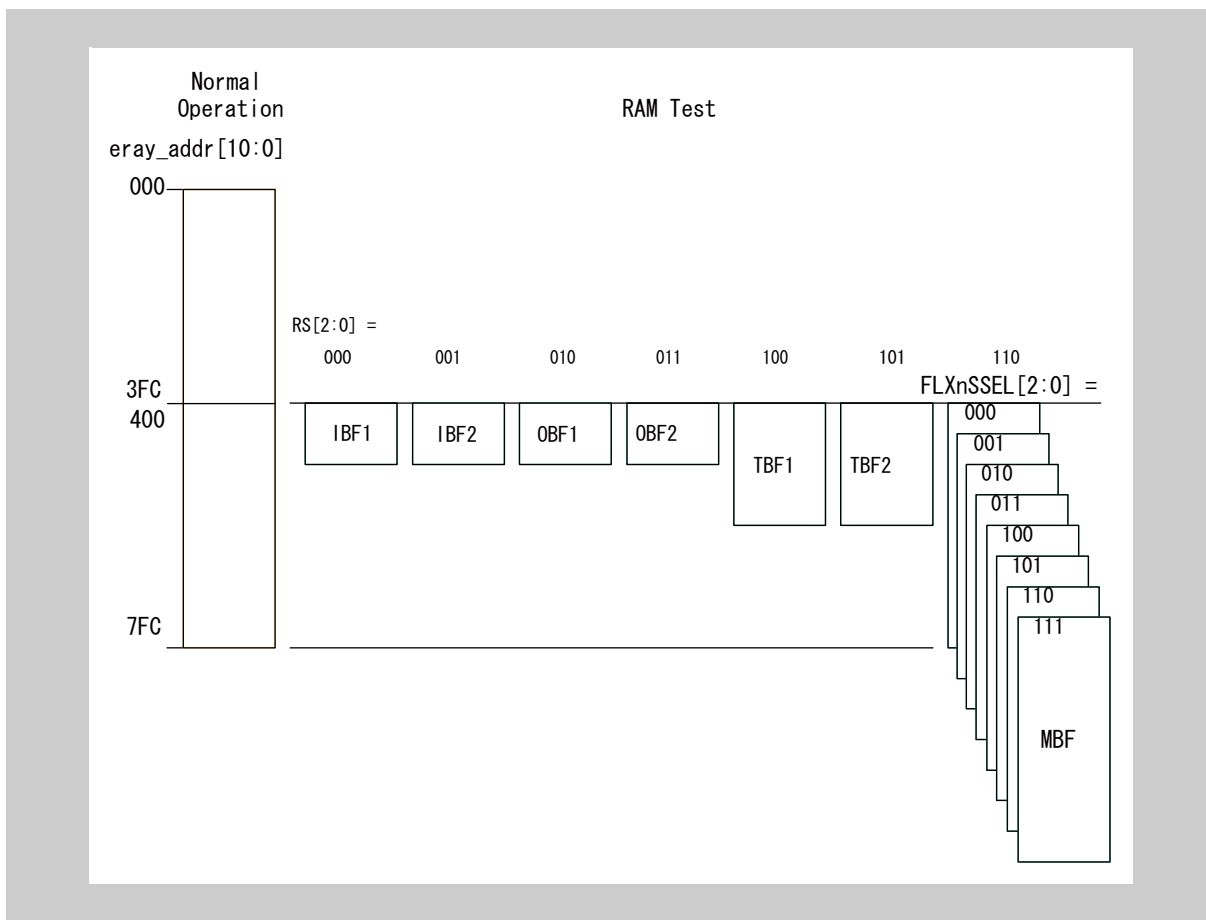
ビット位置	ビット名	機能
6-4	FLXn SSEL[2:0]	セグメント選択設定 メッセージ RAM (8192 バイト・アドレス) のどの部分にもアクセスできるようにメッセージ RAM は複数のセグメントに分割されています。 000 = RAM バイト 0000h ~ 03FFh へのアクセスを許可 001 = RAM バイト 0400h ~ 07FFh へのアクセスを許可 010 = RAM バイト 0800h ~ 0BFFh へのアクセスを許可 011 = RAM バイト 0C00h ~ 0FFFh へのアクセスを許可 100 = RAM バイト 1000h ~ 13FFh へのアクセスを許可 101 = RAM バイト 1400h ~ 17FFh へのアクセスを許可 110 = RAM バイト 1800h ~ 1BFFh へのアクセスを許可 111 = RAM バイト 1C00h ~ 1FFFh へのアクセスを許可
2-0	FLXn RS[2:0]	RAM 選択設定 RAM テスト・モードでは, FLXnRS[2:0] によって選択された RAM ブロックがモジュール・アドレス 400 <sub>H</sub> ~ 7FF <sub>H</sub> (1024 バイト・アドレス) にマッピングされます。 000 = 入力バッファ RAM 1 (IBF1) 001 = 入力バッファ RAM 2 (IBF2) 010 = 出力バッファ RAM 1 (OBF1) 011 = 出力バッファ RAM 2 (OBF2) 100 = トランジェント・バッファ RAM A (TBF1) 101 = トランジェント・バッファ RAM B (TBF2) 110 = メッセージ RAM (MBF) 111 = 未使用

**RAM テスト・モード** RAM テスト・モード (FLXnTEST1.FLXnTMC[1:0] = 「01」) では, FLXnTEST2.FLXnRS[2:0] を設定することによって, 7 個の RAM ブロックのうちの一つを選択し, その RAM ブロックに直接読み出し/書き込みアクセスすることができます。

外部からアクセスできるように, 選択された RAM ブロックはアドレス空間 400<sub>H</sub> ~ 7FF<sub>H</sub> (1024 バイト・アドレス, つまり 256 ワード・アドレス) にマッピングされます。

メッセージ RAM の容量が利用可能なアドレス空間を上回るため, メッセージ RAM は 1024 バイトのセグメントに分割されます。  
FLXnTEST2.FLXnSSEL[2:0] を設定することによってセグメントを選択できます。

**備考** MBF にアクセスする場合は, 接続されている MBF 領域外にアクセスしないでください。



**(3) FLXnLCK - ロック・レジスタ**

ロック・レジスタは書き込み専用です。このレジスタを読み出すと、0000 0000<sub>H</sub>が返されます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 001C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnTMK[7:0]								FLXnCLK[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-18 FLXnLCK レジスタの内容

ビット位置	ビット名	機能
15-8	FLXn TMK[7:0]	<p>テスト・モード・キー FLXnTEST1.FLXnWRTEEN ビットを書き込むときは、書き込み操作の直前にテスト・モード・キーへの書き込みアクセスを2回続けて行う必要があります(アンロック・シーケンス)。テスト・モード・キーへの2回目の書き込みとFLXnTEST1 レジスタへの書き込みアクセスとの間にほかの書き込みアクセスを行うことで以下の書き込みシーケンスが中断された場合、FLXnTEST1.FLXnWRTEEN は「1」にセットされません。その場合は同じシーケンスを再び実行する必要があります。</p> <p>初回の書き込み：FLXnLCK.FLXnTMK[7:0] = 「0111 0101」(75<sub>H</sub>)            2回目の書き込み：FLXnLCK.FLXnTMK[7:0] = 「1000 1010」(8A<sub>H</sub>)            3回目の書き込み：FLXnTEST1.FLXnWRTEEN = 1</p>
7-0	FLXn CLK[7:0]	<p>コンフィギュレーション・ロック・キー FLXnSUCC1.FLXnCMD[3:0] (READY コマンド, MONITOR_MODE コマンド, ATM コマンド, LOOP_BACK コマンド) を書き込むことによって CONFIG ステートから抜け出すには、書き込み操作の直前にコンフィギュレーション・ロック・キーへの書き込みアクセスを2回続けて行う必要があります(アンロック・シーケンス)。コンフィギュレーション・ロック・キーへの2回目の書き込みとFLXnSUCC1 レジスタへの書き込みアクセスとの間にほかの書き込みアクセスを行うことで以下の書き込みシーケンスが中断された場合、FlexRay コントローラは CONFIG ステートにとどまります。その場合は同じシーケンスを再び実行する必要があります。</p> <p>初回の書き込み：FLXnLCK.FLXnCLK[7:0] = 「1100 1110」(CE<sub>H</sub>)            2回目の書き込み：FLXnLCK.FLXnCLK[7:0] = 「0011 0001」(31<sub>H</sub>)            3回目の書き込み：FLXnSUCC1.FLXnCMD[3:0]</p>

### 31.3.4 割り込みレジスタ

#### (1) FLXnEIR - エラー割り込みレジスタ

FlexRay コントローラが以下の表に記載されているエラー状態を検出すると、フラグがセットされます。ホストがフラグをクリアするまで、フラグはセットされた状態にとどまります。フラグは、フラグに対応するビット位置に「1」を書き込むことによってクリアされます。「0」を書き込んでフラグは変わりません。リセットを行った場合もレジスタがクリアされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0020<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

#### (a) FLXnEIR の読み出し値

31	30	29	28	27	26	25	24
0	0	0	0	0	FLXn TABBE	FLXn LTVBE	FLXn EDBE
23	22	21	20	19	18	17	16
0	0	0	0	0	FLXn TABAE	FLXn LTVAE	FLXn EDAE
15	14	13	12	11	10	9	8
0	0	0	0	FLXn MHFE	FLXn IOBAE	FLXn IIBAE	FLXn EFAE
7	6	5	4	3	2	1	0
FLXn RFOE	0	FLXn CCLE	FLXn CCFE	FLXn SFOE	FLXn SFBME	FLXn CNAE	FLXn PEMCE

表 31-19 FLXnEIR 読み出しレジスタの内容 (1/3)

ビット位置	ビット名	機能
チャンネル B のチャンネル固有エラー・フラグ		
26	FLXn TABBE	チャンネル B 送信スロット境界違反 チャンネル B においてスロット境界を越える送信が発生したことを示します。 1 = チャンネル B でスロット境界を越える送信が検出された 0 = チャンネル B でスロット境界を越える送信は未検出である
25	FLXn LTVBE	チャンネル B 最終送信違反 チャンネル B において送信期間の最後までにフレームの送信が終わらなかったことを示します。 1 = チャンネル B で最終送信違反が検出された 0 = チャンネル B で最終送信違反は未検出である
24	FLXn EDBE	チャンネル B エラー FLXnACS.FLXnSEDBE フラグ, FLXnACS.FLXnCEDBE フラグ, FLXnACS.FLXnCIBE フラグ, FLXnACS.FLXnSBVBE フラグのいずれかが「0」 から「1」に変わるたびにセットされます。 1 = チャンネル B でエラーを検出した 0 = チャンネル B でのエラーは未検出である

表 31-19 FLXnEIR 読み出しレジスタの内容 (2/3)

ビット位置	ビット名	機能
チャンネル A のチャンネル固有エラー・フラグ		
18	FLXn TABAE	チャンネル A 送信スロット境界違反 チャンネル A においてスロット境界を越える送信が発生したことを示します。 1 = チャンネル A でスロット境界を越える送信が検出された。 0 = チャンネル A でスロット境界を越える送信は未検出である
17	FLXn LTVAE	チャンネル A 最終送信違反 チャンネル A において送信期間の最後までにフレームの送信が終わらなかったことを示します。 1 = チャンネル A で最終送信違反が検出された 0 = チャンネル A で最終送信違反は未検出である
16	FLXn EDAE	チャンネル A エラー FLXnACS.FLXnSEDAE フラグ, FLXnACS.FLXnCEDAЕ フラグ, FLXnACS.FLXnCIAE フラグ, FLXnACS.FLXnSBVAE フラグのいずれかが「0」 から「1」に変わるたびにセットされます。 1 = チャンネル A でエラーを検出した 0 = チャンネル A でのエラーは未検出である
全チャンネルに共通のフラグ		
11	FLXn MHFE	メッセージ・ハンドラ制約違反 メッセージ・ハンドラ制約違反状態を示します。FLXnMHDF.FLXnSNUAE フラグ, FLXnMHDF.FLXnSNUBE フラグ, FLXnMHDF.FLXnFNFAE フラグ, FLXnMHDF.FLXnFNFBЕ フラグ, FLXnMHDF.FLXnDTBFAE フラグ, FLXnMHDF.FLXnDTBFBE フラグ, FLXnMHDF.FLXnWAHPE フラグのいずれかが 「0」から「1」に変わるたびにセットされます。 1 = メッセージ・ハンドラの制約違反が検出された 0 = メッセージ・ハンドラの制約違反は検出されていない
10	FLXn IOBAE	出力バッファ不正アクセス FLXnOBCR.FLXnOBSYS が「1」にセットされているときにホストがメッセージ RAM から出力バッファへのメッセージ・バッファの転送を要求すると、 FlexRay コントローラはこのフラグをセットします。 1 = ホストによる出力バッファへの不正アクセスが検出された 0 = ホストによる出力バッファへの不正アクセスが検出されていない
9	FLXn IIBAE	入力バッファ不正アクセス 以下のいずれかの状態でホストが入力バッファを介してメッセージを変更しよう とすると、FlexRay コントローラはこのフラグをセットします。 <ul style="list-style-type: none"> <li>• FlexRay コントローラが CONFIG ステートまたは DEFAULT_CONFIG ス テートにないときに、ホストが以下のいずれかを変更するために入力バッ ファ・コマンド要求レジスタへの書き込みを行った場合 <ul style="list-style-type: none"> <li>- キー・スロットで送信するように設定されているメッセージ・バッファ 0, 1 のヘッダ・セクション</li> <li>- FLXnMRC.FLXnSEC[1:0] = 「01」に設定されており、バッファ番号が FLXnMRC.FLXnFDB[7:0] 未満のスタティック・バッファのヘッダ・セク ション</li> <li>- FLXnMRC.FLXnSEC[1:0] = 「1x」に設定されているスタティック・バッ ファ + ダイナミック・バッファのヘッダ・セクション</li> <li>- 受信 FIFO に割り当てられているメッセージ・バッファのヘッダ・セク ションまたはデータ・セクションあるいはその両方</li> </ul> </li> <li>• FLXnIBCR.FLXnIBSYH が「1」にセットされているときにホストが入力バッ ファ制御レジスタに書き込みを行った場合</li> </ul> 1 = ホストによる入力バッファへの不正アクセスが検出された 0 = ホストによる入力バッファへの不正アクセスが検出されていない
8	FLXn EFAE	空 FIFO アクセス 受信 FIFO が空になっているときにホストが出力バッファを介した受信 FIFO から のメッセージの転送を要求すると、FlexRay コントローラはこのフラグを セットします。 1 = 空の FIFO にアクセスした 0 = 空の FIFO にアクセスしていない



表 31-19 FLXnEIR 読み出しレジスタの内容 (3/3)

ビット位置	ビット名	機能
7	FLXn RFOE	受信 FIFO オーバーラン 受信 FIFO オーバーランが検出されると、FlexRay コントローラはこのフラグをセットします。受信 FIFO オーバーランが発生すると、最も古いメッセージが最新の受信メッセージによって上書きされます。FIFO の現在の状態の監視には FLXnFSR レジスタが使われます。 1 = 受信 FIFO オーバーランが検出された 0 = 受信 FIFO オーバーランが検出されていない
5	FLXn CCLE	CHI コマンド・ロック CHI コマンド・ベクタ FLXnSUCC1.FLXnCMD[3:0] への書き込みアクセスが失敗したことを示します。たとえば、直前の CHI コマンドの処理が完了していないとき、新たに CHI コマンドを発行しようとするすると本ビットは「1」にセットされます。その場合は、FLXnCNAE ビットも「1」にセットされます。 1 = CHI コマンドが受理されなかった 0 = CHI コマンドが受理された
4	FLXn CCFE	クロック補正失敗 以下のいずれかのエラー状態が発生すると、本ビットは通信サイクルの終わりで「1」にセットされます。 • オフセット補正信号またはレート補正信号の消失 • クロック補正限界値に達した クロック補正ステータスの監視には、FLXnCCFEV レジスタと FLXnSFS レジスタが使われます。スタートアップ時にエラーが発生する可能性があるため、FlexRay コントローラが NORMAL_ACTIVE ステートに入ったあと、ホストは FLXnCCFE ビットをクリアする必要があります。 1 = クロック補正は失敗した 0 = クロック補正エラーはなかった
3	FLXn SFOE	sync フレーム・オーバフロー 直前の通信サイクルまたは直前のダブル・サイクルで受信した異なる ID の sync フレーム数が FLXnGTUC02.FLXnSNM[3:0] で指定した sync フレームの最大数を越えた場合、セットされます。 1 = FLXnGTUC02.FLXnSNM[3:0] で設定した数より多くの sync フレームを受信した 0 = 受信した sync フレームの数 ≤ FLXnGTUC02.FLXnSNM[3:0] で設定されている数
2	FLXn SFBME	sync フレーム数不足 直前の通信サイクルで受信した sync フレームの数が、FlexRay プロトコルで要求する最小値に満たなかったことを示します。スタートアップ時にはこのエラーが発生する可能性があるため、FlexRay コントローラが NORMAL_ACTIVE ステートに入ったあと、ホストはこのフラグをクリアする必要があります。 1 = 直前の通信サイクルで受信した sync フレームの数が要求数より小さい 0 = sync ノードの場合、1 個以上の sync フレームを受信した sync ノード以外の場合、2 個以上の sync フレームを受信した
1	FLXn CNAE	コマンド非受理 要求されたコマンドが現在の POC ステートで無効だったため、または CHI コマンドがロックされていたため (FLXnCCLE = 1)、CHI コマンド・ベクタ FLXnSUCC1.FLXnCMD[3:0] への書き込みアクセスが失敗したことを示します。 1 = CHI コマンドが受理されなかった 0 = CHI コマンドが受理された
0	FLXn PEMCE	POC エラー・モード変更 FLXnCCEV.FLXnERRM[1:0] の示すエラー・モードが変化するたびにセットされます。 1 = エラー・モードが変更された 0 = エラー・モードは変更されていない



## (b) FLXnEIR の書き込み値

31	30	29	28	27	26	25	24
—	—	—	—	—	FLXnCL TABB	FLXnCL LTVB	FLXnCL EDB
23	22	21	20	19	18	17	16
—	—	—	—	—	FLXnCL TABA	FLXnCL LTVA	FLXnCL EDA
15	14	13	12	11	10	9	8
—	—	—	—	FLXnCL MHF	FLXnCL IOBA	FLXnCL IIBA	FLXnCL EFA
7	6	5	4	3	2	1	0
FLXnCL RFO	—	FLXnCL CCL	FLXnCL CCF	FLXnCL SFO	FLXnCL SFBM	FLXnCL CNA	FLXnCL PEMC

表 31-20 FLXnEIR 書き込みレジスタの内容

ビット位置	ビット名	機能
31-0	上記を参照してください。	それぞれのビットに対応する表 31-19 「FLXnEIR 読み出しレジスタの内容」に記載されているフラグをクリアします。 1 = ビットに対応するフラグをクリアする 0 = 何も実行しない

**備考** ビット 31 ~ 27, ビット 23 ~ 19, ビット 15 ~ 12, ビット 6 への書き込みは無視されます。

## (2) FLXnSIR - ステータス割り込みレジスタ

FlexRay コントローラが以下の表に記載されているイベントを検出すると、フラグがセットされます。ホストがフラグをクリアするまで、フラグはセットされた状態にとどまります。フラグは、フラグに対応するビット位置に「1」を書き込むことによってクリアされます。「0」を書き込んでフラグは変わりません。リセットを行った場合もレジスタがクリアされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0024<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

## (a) FLXnSIR の読み出し値

31	30	29	28	27	26	25	24
0	0	0	0	0	0	FLXn MTSBF	FLXn WUPBF
23	22	21	20	19	18	17	16
0	0	0	0	0	0	FLXn MTSAF	FLXn WUPAF
15	14	13	12	11	10	9	8
FLXn SDSF	FLXn MBSIF	FLXn SUCSF	FLXn SWEF	FLXn TOBCF	FLXn TIBCF	FLXn TI1F	FLXn TI0F
7	6	5	4	3	2	1	0
FLXn NMVCF	FLXn RFCLF	FLXn RFNEF	FLXn RXIF	FLXn TXIF	FLXn CYCSF	FLXn CASF	FLXn WSTF

表 31-21 FLXnSIR 読み出しレジスタの内容 (1/3)

ビット位置	ビット名	機能
チャンネル専用ステータス・フラグ		
25	FLXn MTSBF	チャンネル B の MTS シンボル受信フラグ (vSS!ValidMTSB) 直前のシンボル・ウインドウ期間にチャンネル B がメディア・アクセス・テスト・シンボル (MTS) を受信したことを示します。本ビットの更新は、シンボル・ウインドウ期間の最後に行われます。 1 = チャンネル B で MTS シンボルを受信した 0 = チャンネル B で MTS シンボルを受信していない
24	FLXn WUPBF	チャンネル B ウェイクアップ・パターン受信フラグ チャンネル B でウェイクアップ・パターンを受信すると、FlexRay コントローラはこのフラグをセットします。FlexRay コントローラが WAKEUP、READY または STARTUP ステートにあるとき、あるいは MONITOR_MODE ステートのときのみセットされます。 1 = チャンネル B でウェイクアップ・パターンを受信した 0 = チャンネル B でウェイクアップ・パターンを受信していない
17	FLXn MTSAF	チャンネル A の MTS シンボル受信フラグ (vSS!ValidMTSA) 直前のシンボル・ウインドウ期間にチャンネル A がメディア・アクセス・テスト・シンボル (MTS) を受信したことを示します。本ビットの更新は、シンボル・ウインドウ期間の最後に行われます。 1 = チャンネル A で MTS シンボルを受信した 0 = チャンネル A で MTS シンボルを受信していない

表 31-21 FLXnSIR 読み出しレジスタの内容 (2/3)

ビット位置	ビット名	機能
16	FLXn WUPAF	チャンネル A ウェイクアップ・パターン受信フラグ チャンネル A でウェイクアップ・パターンを受信すると、FlexRay コントローラはこのフラグをセットします。FlexRay コントローラが WAKEUP、READY または STARTUP ステートにあるとき、あるいは MONITOR_MODE ステートのときのみセットされます。 1 = チャンネル A でウェイクアップ・パターンを受信した 0 = チャンネル A でウェイクアップ・パターンを受信していない
全チャンネルに共通のフラグ		
15	FLXn SDSF	ダイナミック・セグメント開始フラグ ダイナミック・セグメントが開始されると、FlexRay コントローラはこのフラグをセットします。 1 = ダイナミック・セグメントが始まった 0 = ダイナミック・セグメントはまだ始まっていない
14	FLXn MBSIF	メッセージ・バッファ・ステータス更新フラグ メッセージ・バッファ・ステータス MBS が変化し、そのメッセージ・バッファの FLXnRHMBI ビットがセットされていると、FlexRay コントローラはこのフラグをセットします。 1 = FLXnRHMBI = 「1」に設定されている 1 つ以上のメッセージ・バッファのメッセージ・バッファ・ステータスが更新された 0 = FLXnRHMBI = 「1」に設定されているメッセージ・バッファのメッセージ・バッファ・ステータスが更新されていない
13	FLXn SUCSF	スタートアップ正常完了フラグ スタートアップが正常に完了し、FlexRay コントローラが NORMAL_ACTIVE ステートに入るとセットされます。 1 = スタートアップが正常に完了した 0 = スタートアップが正常に完了していない
12	FLXn SWEF	ストップ・ウォッチ・イベント発生フラグ 最新のサイクル・カウンタ値とマクロティック値がストップ・ウォッチ・レジスタ (FLXnSTPW1) に保存され、ストップ・ウォッチが有効になるとセットされます。 1 = ストップ・ウォッチ・イベントが発生した 0 = ストップ・ウォッチ・イベントが発生していない
11	FLXn TOBCF	出力バッファ転送完了フラグ メッセージ RAM から出力バッファへの転送が完了し、出力バッファ・コマンド要求レジスタの FLXnOBCR.FLXnOBSYS ビットがメッセージ・ハンドラによってリセットされるとセットされます。 1 = メッセージ RAM と出力バッファとの間の転送が完了した 0 = ビットがリセットされたあと、完了した転送はない
10	FLXn TIBCF	入力バッファ転送完了フラグ 入力バッファからメッセージ RAM への転送が完了し、入力バッファ・コマンド要求レジスタの FLXnIBCR.FLXnIBSYS ビットがメッセージ・ハンドラによってリセットされるとセットされます。 1 = 入力バッファとメッセージ RAM との間の転送が完了した 0 = ビットがリセットされたあと、完了した転送はない
9	FLXn TI1F	タイマ 1 割り込み発生フラグ タイマ 1 が FLXnT1C レジスタで設定されている条件を満たすとセットされます。タイマ 1 割り込みは eray_tint1 信号として出力されます。 1 = タイマ 1 割り込みが発生した 0 = タイマ 1 割り込みは発生していない
8	FLXn TI0F	タイマ 0 割り込み発生フラグ タイマ 0 が FLXnTOC レジスタで設定されている条件を満たすとセットされます。タイマ 0 割り込みは eray_tint0 信号として出力されます。 1 = タイマ 0 割り込みが発生した 0 = タイマ 0 割り込みは発生していない

表 31-21 FLXnSIR 読み出しレジスタの内容 (3/3)

ビット位置	ビット名	機能
7	FLXn NMVCF	ネットワーク管理ベクタ変更フラグ ネットワーク管理ベクタが変更されたことを示します。 1 = ネットワーク管理ベクタが変更された 0 = ネットワーク管理ベクタに変更はない
6	FLXn RFCLF	受信 FIFO 限界レベル到達フラグ 受信 FIFO 充填レベル FLXnFSR.FLXnRFFL[7:0] が FLXnFCL.FLXnCL[7:0] で指定した限界レベル以上になるとセットされます。 1 = 受信 FIFO の限界レベルに達した 0 = 受信 FIFO の限界レベルに達していない
5	FLXn RFNEF	受信 FIFO データ保有フラグ 受信した有効フレームが受信 FIFO に格納され、受信 FIFO が空でなくなった場合、FlexRay コントローラはこのフラグをセットします。受信 FIFO の現在の状態は FLXnFSR レジスタでモニタできます。 1 = 受信 FIFO は空でなくなった 0 = 受信 FIFO は空である
4	FLXn RXIF	受信完了フラグ メッセージ・バッファ ND フラグのセット条件が満たされていて（新規データ・レジスタ 1/2/3/4 (FLXnNDAT1/2/3/4) を参照）、そのメッセージ・バッファの FLXnRHMBI ビットが「1」にセットされていると、FlexRay コントローラはこのフラグをセットします。 1 = 1 つ以上のデータ・セクションが更新された 0 = 更新されたデータ・セクションはない
3	FLXn TXIF	送信完了フラグ フレームの送信が成功し、そのフレームが含まれているメッセージ・バッファの FLXnWHMBI ビットが「1」にセットされていると、FlexRay コントローラはこのフラグをセットします。 1 = 1 つ以上のフレームが正常に送信された 0 = 送信されたフレームはない
2	FLXn CYCSF	通信サイクル開始フラグ 通信サイクルが開始されると、FlexRay コントローラはこのフラグをセットします。 1 = 通信サイクルが開始された 0 = 通信サイクルが開始されていない
1	FLXn CASF	衝突回避シンボル受信フラグ STARTUP ステートで衝突回避シンボル (CAS) または CAS とみなされるものを受信すると、FlexRay コントローラはこのフラグをセットします。 1 = CAS シンボルと一致するビット・パターンを受信した 0 = CAS シンボルと一致するビット・パターンを受信していない
0	FLXn WSTF	ウェイクアップ・ステータス変更フラグ ウェイクアップ・ステータス・ベクタ FLXnCCSV.FLXnWSV[2:0] が UNDEFINED 以外に変更されるとセットされます。 1 = ウェイクアップ・ステータスが変更された 0 = ウェイクアップ・ステータスは変更されていない

## (b) FLXnSIR の書き込み値

31	30	29	28	27	26	25	24
—	—	—	—	—	—	FLXn CLMTSB	FLXn CLWUPB
23	22	21	20	19	18	17	16
—	—	—	—	—	—	FLXn CLMTSA	FLXn CLWUPA
15	14	13	12	11	10	9	8
FLXn CLSDS	FLXn CLMBSI	FLXn CLSUCS	FLXn CLSWE	FLXn CLTOBC	FLXn CLTIBC	FLXn CLTI1	FLXn CLTI0
7	6	5	4	3	2	1	0
FLXn CLNMVC	FLXn CLRFCL	FLXn CLRFNE	FLXn CLRXI	FLXn CLTXI	FLXn CLCYCS	FLXn CLCAS	FLXn CLWST

表 31-22 FLXnSIR 書き込みレジスタの内容

ビット位置	ビット名	機能
31-0	上記を参照してください。	それぞれのビットに対応する表 31-21 「FLXnSIR 読み出しレジスタの内容」に記載されているフラグをクリアします。 1 = ビットに対応するフラグをクリアする 0 = 何も実行しない

備考 ビット 31 ~ 26, ビット 23 ~ 18 への書き込みは無視されます。

**(3) FLXnEILS - エラー割り込みライン選択レジスタ**

エラー割り込みライン選択レジスタは、FLXnEIR レジスタの各エラー割り込み要因を2つの割り込みラインのどちらかに割り当てるかを指定します。

1 = 割り込みライン eray\_int1 に割り込みを割り当てる

0 = 割り込みライン eray\_int0 に割り込みを割り当てる

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0028<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXn TABBL	FLXn LTVBL	FLXn EDBL	0	0	0	0	0	FLXn TABAL	FLXn LTVL	FLXn EDAL
R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	FLXn MHFL	FLXn IOBAL	FLXn IIBAL	FLXn EFAL	FLXn RFOL	0	FLXn CCLL	FLXn CCFL	FLXn SFOL	FLXn SFBML	FLXn CNAL	FLXn PEMCL
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31-23 FLXnEILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
26	FLXn TABBL	チャンネル B 送信スロット境界違反の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
25	FLXn LTVBL	チャンネル B 最終送信違反の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
24	FLXn EDBL	チャンネル B エラーの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
18	FLXn TABAL	チャンネル A 送信スロット境界違反の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
17	FLXn LTVL	チャンネル A 最終送信違反の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
16	FLXn EDAL	チャンネル A エラーの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
11	FLXn MHFL	メッセージ・ハンドラ制約違反の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
10	FLXn IOBAL	出力バッファ不正アクセスの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
9	FLXn IIBAL	入力バッファ不正アクセスの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる

表 31-23 FLXnEILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	FLXn EFAL	空 FIFO アクセス割り込みライン 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
7	FLXn RFOL	受信 FIFO オーバランの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
5	FLXn CCLL	CHI コマンド・ロックの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
4	FLXn CCFL	クロック補正失敗の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
3	FLXn SFOL	sync フレーム・オーバフローの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
2	FLXn SFBML	sync フレーム数不足の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
1	FLXn CNAL	コマンド非受理の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
0	FLXn PEMCL	POC エラー・モード変更の割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる

**(4) FLXnSILS - ステータス割り込みライン選択レジスタ**

ステータス割り込みライン選択レジスタは、FLnSIR レジスタの各ステータス割り込み要因を2つの割り込みライン (eray\_int0 または eray\_int1) のどちらに割り当てるかを指定します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 002C<sub>H</sub>

**初期値** 0303 FFFF<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	FLXn MTSBL	FLXn WUPBL	0	0	0	0	0	0	FLXn MTSAL	FLXn WUPAL
R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn SDSL	FLXn MBSIL	FLXn SUCSL	FLXn SWEL	FLXn TOBCL	FLXn TIBCL	FLXn TI1L	FLXn TI0L	FLXn NMVCL	FLXn RFCLL	FLXn RFNEL	FLXn RXIL	FLXn TXIL	FLXn CYCSL	FLXn CASL	FLXn WSTL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-24 FLXnSILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
25	FLXn MTSBL	チャンネル B の MTS シンボル受信フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
24	FLXn WUPBL	チャンネル B ウェイクアップ・パターン受信フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
17	FLXn MTSAL	チャンネル A の MTS シンボル受信フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
16	FLXn WUPAL	チャンネル A ウェイクアップ・パターン受信フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
15	FLXn SDSL	ダイナミック・セグメント開始フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
14	FLXn MBSIL	メッセージ・バッファ・ステータス更新フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
13	FLXn SUCSL	スタートアップ正常完了フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
12	FLXn SWEL	ストップ・ウォッチ・トリガ・イベント発生フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
11	FLXn TOBCL	出力バッファ転送完了割り込みライン 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
10	FLXn TIBCL	入力バッファ転送完了フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる



表 31-24 FLXnSILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	FLXn TI1L	タイマ 1 割り込み発生フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
8	FLXn TI0L	タイマ 0 割り込み発生フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
7	FLXn NMVCL	ネットワーク管理ベクタ変更フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
6	FLXn RFCLL	受信 FIFO 限界レベル到達フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
5	FLXn RFNEL	受信 FIFO データ保有フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
4	FLXn RXIL	受信完了フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
3	FLXn TXIL	送信完了フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
2	FLXn CYCSL	通信サイクル開始フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
1	FLXn CASL	衝突回避シンボル受信フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる
0	FLXn WSTL	ウェイクアップ・ステータス変更フラグの割り込みライン選択 1 = 割り込みライン eray_int1 に割り込みを割り当てる 0 = 割り込みライン eray_int0 に割り込みを割り当てる

**(5) FLXnEIES / FLXnEIER - エラー割り込みイネーブル・セット/リセット・レジスタ**

エラー割り込みイネーブル・レジスタの設定によって、エラー割り込みレジスタのどのステータスの変化が割り込みを生成するかを指定します。

イネーブル・ビットは FLXnEIES への書き込みによってセットされ、FLXnEIER への書き込みによってリセットされます。「1」を書き込むことで特定のイネーブル・ビットがセットまたはリセットされます。「0」を書き込んでイネーブル・ビットは変化しません。両方のアドレスからの読み出しを行うと、同じ値が返されます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FLXnEIES : FLXn\_base> + 0030<sub>H</sub>  
FLXnEIER : FLXn\_base> + 0034<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FLXnEIES**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXn SE TABBE	FLXn SE LTVBE	FLXn SE EDBE	0	0	0	0	0	FLXn SE TABAE	FLXn SE LTVAE	FLXn SE EDAE
R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	FLXn SE MHFE	FLXn SE IOBAE	FLXn SE IIBAE	FLXn SE EFAE	FLXn SE RFOE	0	FLXn SE CCLE	FLXn SE CCFE	FLXn SE SFOE	FLXn SE SFBME	FLXn SE CNAE	FLXn SE PEMCE
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

**(b) FLXnEIER**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXn CL TABBE	FLXn CL LTVBE	FLXn CL EDBE	0	0	0	0	0	FLXn CL TABAE	FLXn CL LTVAE	FLXn CL EDAE
R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	FLXn CL MHFE	FLXn CL IOBAE	FLXn CL IIBAE	FLXn CL EFAE	FLXn CL RFOE	0	FLXn CL CCLE	FLXn CL CCFE	FLXn CL SFOE	FLXn CL SFBME	FLXn CL CNAE	FLXn CL PEMCE
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

各レジスタのビットは以下のように動作します。

- FLXnEIES.FLXnSE... = 1 の書き込み : 割り込みを許可します。
- FLXnEIER.FLXnCL... = 1 の書き込み : 割り込みを禁止します。
- FLXnEIES.FLXnSE... または FLXnEIER.FLXnCL... = 1 の読み出し : 割り込みが許可されていることを示します。
- FLXnEIES.FLXnSE... または FLXnEIER.FLXnCL... = 0 の読み出し : 割り込みが禁止されていることを示します。

表 31-25 FLXnEIES / FLXnEIER レジスタの内容

ビット位置	ビット名	機能
26	FLXnSETABBE FLXnCLTABBE	チャンネル B 送信スロット境界違反の割り込みイネーブル
25	FLXnSELTVBE FLXnCLLTVBE	チャンネル B 最終送信違反の割り込みイネーブル
24	FLXnSEEDBE FLXnCLEDDBE	チャンネル B エラーの割り込みイネーブル
18	FLXnSETABAE FLXnCLTABAE	チャンネル A 送信スロット境界違反の割り込みイネーブル
17	FLXnSELTVAE FLXnCLLVAE	チャンネル A 最終送信違反の割り込みイネーブル
16	FLXnSEEDAE FLXnCLEDABE	チャンネル A エラーの割り込みイネーブル
11	FLXnSEMHFE FLXnCLMHFE	メッセージ・ハンドラ制約違反の割り込みイネーブル
10	FLXnSEIOBAE FLXnCLIOBAE	出力バッファ不正アクセスの割り込みイネーブル
9	FLXnSEIIBAE FLXnCLIIBAE	入力バッファ不正アクセスの割り込みイネーブル
8	FLXnSEEFABE FLXnCLEFABE	空 FIFO アクセスの割り込みイネーブル
7	FLXnSERFOE FLXnCLRFOE	受信 FIFO オーバランの割り込みイネーブル
5	FLXnSECCLC FLXnCLCCLE	CHI コマンド・ロックの割り込みイネーブル
4	FLXnSECCFE FLXnCLCCFE	クロック補正失敗の割り込みイネーブル
3	FLXnSESFOE FLXnCLSFOE	sync フレーム・オーバーフローの割り込みイネーブル
2	FLXnSESFBME FLXnCLSFBME	sync フレーム数不足の割り込みイネーブル
1	FLXnSECNAE FLXnCLCNAE	コマンド非受理の割り込みイネーブル
0	FLXnSEPEMCE FLXnCLPEMCE	POC エラー・モード変化割り込みイネーブル

### (6) FLXnSIES / FLXnSIER - ステータス割り込みイネーブル・セット/リセット・レジスタ

ステータス割り込みイネーブル・レジスタの設定によって、ステータス割り込みレジスタのどのステータスの変化が割り込みを生成するかを指定します。

イネーブル・ビットは FLXnSIES への書き込みによってセットされ、FLXnSIER への書き込みによってリセットされます。「1」を書き込むことで特定のイネーブル・ビットがセットまたはリセットされます。「0」を書き込んでイネーブル・ビットは変化しません。両方のアドレスからの読み出しを行うと、同じ値が返されます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FLXnSIES: <FLXn\_base> + 0038<sub>H</sub>  
FLXnSIER: <FLXn\_base> + 003C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

#### (a) FLXnSIES

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	FLXn SE MTSBE	FLXn SE WUPBE	0	0	0	0	0	0	FLXn SE MTSAE	FLXn SE WUPAE
R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn SE SDSE	FLXn SE MBSIE	FLXn SE SUCSE	FLXn SE SWEE	FLXn SE TOBCE	FLXn SE TIBCE	FLXn SE TI1E	FLXn SE TI0E	FLXn SE NMVCE	FLXn SE RFCLC	FLXn SE RFNEE	FLXn SE RXIE	FLXn SE TXIE	FLXn SE CYCSE	FLXn SE CASE	FLXn SE WSTE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### (b) FLXnSIER

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	FLXn CL MTSBE	FLXn CL WUPBE	0	0	0	0	0	0	FLXn CL MTSAE	FLXn CL WUPAE
R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn CL SDSE	FLXn CL MBSIE	FLXn CL SUCSE	FLXn CL SWEE	FLXn CL TOBCE	FLXn CL TIBCE	FLXn CL TI1E	FLXn CL TI0E	FLXn CL NMVCE	FLXn CL RFCLC	FLXn CL RFNEE	FLXn CL RXIE	FLXn CL TXIE	FLXn CL CYCSE	FLXn CL CASE	FLXn CL WSTE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各レジスタのビットは以下のように動作します。

- FLXnSIES.FLXnSE... = 1 の書き込み：割り込みを許可します。
- FLXnSIER.FLXnCL... = 1 の書き込み：割り込みを禁止します。
- FLXnSIES.FLXnSE... または FLXnSIER.FLXnCL... = 1 の読み出し：割り込みが許可されていることを示します。
- FLXnSIES.FLXnSE... または FLXnSIER.FLXnCL... = 0 の読み出し：割り込みが禁止されていることを示します。

表 31-26 FLXnSIES / FLXnSIER レジスタの内容

ビット位置	ビット名	機能
25	FLXnSEMTSBE FLXnCLMTSBE	チャンネル B の MTS シンボル受信フラグの割り込みイネーブル
24	FLXnSEWUPBE FLXnCLWUPBE	チャンネル B ウェイクアップ・パターン受信フラグの割り込みイネーブル
17	FLXnSEM TSAE FLXnCLMTSAE	チャンネル A の MTS シンボル受信フラグの割り込みイネーブル
18	FLXnSEWUPAE FLXnCLWUPAE	チャンネル A ウェイクアップ・パターン受信フラグの割り込みイネーブル
17	FLXnSESDSE FLXnCLSDSE	ダイナミック・セグメント開始フラグの割り込みイネーブル
16	FLXnSEMBSIE FLXnCLMBSIE	メッセージ・バッファ・ステータス更新フラグの割り込みイネーブル
13	FLXnSESUCSE FLXnCLSUCSE	スタートアップ正常完了フラグの割り込みイネーブル
12	FLXnSESWEE FLXnCLSWEE	ストップ・ウォッチ・イベント発生フラグの割り込みイネーブル
11	FLXnSETOBCE FLXnCLTOBCE	出力バッファ転送完了フラグの割り込みイネーブル
10	FLXnSETIBCE FLXnCLTIBCE	入力バッファ転送完了フラグの割り込みイネーブル
9	FLXnSETI1E FLXnCLTI1E	タイマ 1 割り込み発生フラグの割り込みイネーブル
8	FLXnSETI0E FLXnCLTI0E	タイマ 0 割り込み発生フラグの割り込みイネーブル
7	FLXnSENMVCE FLXnCLNMVCE	ネットワーク管理ベクタ変更フラグの割り込みイネーブル
6	FLXnSERFCLE FLXnCLRFCLE	受信 FIFO 限界レベル到達フラグの割り込みイネーブル
5	FLXnSERFNEE FLXnCLRFNEE	受信 FIFO データ保有フラグの割り込みイネーブル
4	FLXnSERXIE FLXnCLRXIE	受信完了フラグの割り込みイネーブル
3	FLXnSETXIE FLXnCLTXIE	送信完了フラグの割り込みイネーブル
2	FLXnSECYCSE FLXnCLCYCSE	通信サイクル開始フラグの割り込みイネーブル
1	FLXnSECASE FLXnCLCASE	衝突回避シンボル受信フラグの割り込みイネーブル
0	FLXnSEWSTE FLXnCLWSTE	ウェイクアップ・ステータス変更フラグの割り込みイネーブル

## (7) FLXnILE - 割り込みライン・イネーブル・レジスタ

FLXnEINTL0 ビットと FLXnEINTL1 ビットを設定することによって、ホスト CPU への2つの割り込みライン (eray\_int0 と eray\_int1) をそれぞれ個別に有効または無効にすることができます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0040<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn EINTL1	FLXn EINTL0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31-27 FLXnILE レジスタの内容

ビット位置	ビット名	機能
1	FLXn EINTL1	割り込みライン1イネーブル 1 = 割り込みライン eray_int1 を有効にする 0 = 割り込みライン eray_int1 を無効にする
0	FLXn EINTL0	割り込みライン0イネーブル 1 = 割り込みライン eray_int0 を有効にする 0 = 割り込みライン eray_int0 を無効にする

**(8) FLXnT0C - タイマ 0 設定レジスタ**

絶対タイマを設定します。タイマ 0 割り込みを生成する時点をサイクル・カウンタ単位とマクロティック単位で指定します。タイマ 0 割り込みが発生すると、1 マクロティックにわたって出力信号 `eray_tint0` が「1」に設定され、`FLXnSIR.FLXnTI0F` が「1」にセットされます。

POC が `NORMAL_ACTIVE` または `NORMAL_PASSIVE` ステートであれば、タイマ 0 は動作可能です。 `NORMAL_ACTIVE` または `NORMAL_PASSIVE` ステート以外に遷移すると、動作しなくなります。 `NORMAL_ACTIVE` および `NORMAL_PASSIVE` ステート間での状態遷移の場合は動作を継続可能です。

タイマ 0 割り込みの発生条件を変更する場合、`FLXnT0RC` ビットに「0」を書き込むことによってタイマを停止させる必要があります。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** `<FLXn_base> + 0044H`

**初期値** `0000 0000H` 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXnT0MO[13:00]													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	FLXnT0CC[6:0]						0	0	0	0	0	0	FLXnT0MS	FLXnT0RC	
R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	

表 31-28 FLXnT0C レジスタの内容

ビット位置	ビット名	機能
29-16	FLXnT0MO[13:00]	タイマ 0 マクロティック・オフセット 割り込みを生成する時点をサイクルの先頭からのマクロティック・オフセットの単位で指定します。タイマ 0 割り込みは、 <code>FLXnT0CC[6:0]</code> ビットで指定したサイクルでかつ、ここで設定されたオフセットに達したときに発生します。
14-8	FLXnT0CC[6:0]	タイマ 0 サイクル・コード 7 ビットのタイマ 0 サイクル・コードは、タイマ 0 割り込みの生成に使われるサイクル・セットを決定します。サイクル・コードの設定の詳細については、(2)「サイクル・カウンタ・フィルタリング」を参照してください。
1	FLXnT0MS	タイマ 0 モード選択 1 = 連続モード 0 = シングル・ショット・モード
0	FLXnT0RC	タイマ 0 動作制御 1 = タイマ 0 を動作させる 0 = タイマ 0 を停止させる

**備考** タイマ 0 のカウント動作はマクロティック・カウンタを利用して行います。タイマ 0 用の独立したカウンタはありません。FlexRay コントローラが `NORMAL_ACTIVE` または `NORMAL_PASSIVE` ステート以外の状態に遷移した場合、またはタイマ 0 が停止した場合、`eray_tint0` 信号はただちにロウ・レベルになります。

**(9) FLXnT1C - タイマ 1 設定レジスタ**

相対タイマを設定します。タイマ 1 割り込みが発生すると、1 マクロティックにわたって出力信号 eray\_tint1 が「1」に設定され、FLXnSIR.FLXnTI1F が「1」にセットされます。

POC が NORMAL\_ACTIVE または NORMAL\_PASSIVE ステートであれば、タイマ 1 は動作可能です。NORMAL\_ACTIVE または NORMAL\_PASSIVE ステート以外に遷移すると、動作しなくなります。NORMAL\_ACTIVE および NORMAL\_PASSIVE ステート間での状態遷移の場合は動作を継続可能です。

タイマ 1 割り込みの発生条件を変更する場合、FLXnT1RC ビットに「0」を書き込むことによってタイマを停止させる必要があります。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0048<sub>H</sub>

**初期値** 0002 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXnT1MC[13:00]													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn T1MS	FLXn T1RC
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31-29 FLXnT1C レジスタの内容

ビット位置	ビット名	機能
29-16	FLXn T1MC[13:00]	タイマ 1 マクロティック・カウント 設定されたマクロティック・カウントに達するとタイマ 1 割り込みが生成されます。 有効な値は以下のとおりです。 連続モードでは 2 ~ 16383 MT シングル・ショット・モードでは 1 ~ 16383 MT
1	FLXn T1MS	タイマ 1 モード選択 1 = 連続モード 0 = シングル・ショット・モード
0	FLXn T1RC	タイマ 1 動作制御 1 = タイマ 1 を動作させる 0 = タイマ 1 を停止させる

**備考** FlexRay コントローラが NORMAL\_ACTIVE または NORMAL\_PASSIVE ステート以外の状態に遷移した場合、またはタイマ 1 が停止した場合、eray\_tint1 信号はただちにロウ・レベルになります。



## (10) FLXnSTPW1 - ストップ・ウォッチ・レジスタ 1

ストップ・ウォッチは、eray\_stpwt ピンで立ち上がりエッジまたは立ち下がリエッジが検出されるか、割り込み 0, 1 イベント (eray\_int0 ピンまたは eray\_int1 ピンでの立ち上がりエッジの検出) が発生したとき、またはホストが FLXnSSWT ビットに「1」を書き込んだときにオンになります。ストップ・ウォッチがオンになったあと、マクロティック・カウンタがインクリメントされると、現在のサイクル・カウンタ値とマクロティック値が FLXnSTPW1 レジスタに格納され、チャンネル A とチャンネル B のスロット・カウンタ値が FLXnSTPW2 レジスタに格納されます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 004C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXnSMTV[13:00]													
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	FLXnSCCV[5:0]						0	FLXn EINT1	FLXn EINT0	FLXn EETP	FLXn SSWT	FLXn EDGE	FLXn SWMS	FLXn ESWT
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-30 FLXnSTPW1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
29-16	FLXn SMTV[13:00]	ストップ・ウォッチによるマクロティックのキャプチャ値 ストップ・ウォッチ・イベントが発生したときのマクロティック・カウンタの状態を示します。有効な値は 0 ~ 15,999 です。
13-8	FLXn SCCV[5:0]	ストップ・ウォッチによるサイクル・カウンタのキャプチャ値 ストップ・ウォッチ・イベントが発生したときのサイクル・カウンタの状態を示します。 有効な値は 0 ~ 63 です。
6	FLXn EINT1	割り込み 1 トリガ・イネーブ 割り込み 1 イベントをストップ・ウォッチのトリガ・イベントに設定します。 本ビットの機能は FLXnESWT ビットが 1 のときのみ有効です。 1 = 割り込み 1 イベントをトリガ・イベントとして使用する 0 = 割り込み 1 イベントをトリガ・イベントとして使用しない
5	FLXn EINT0	割り込み 0 トリガ・イネーブ 割り込み 0 イベントをストップ・ウォッチのトリガ・イベントに設定します。 本ビットの機能は FLXnESWT ビットが 1 のときのみ有効です。 1 = 割り込み 0 イベントをトリガ・イベントとして使用する 0 = 割り込み 0 イベントをトリガ・イベントとして使用しない
4	FLXn EETP	外部トリガ端子イネーブ eray_stpwt 信号の立ち上がりエッジまたは立ち下がリエッジの検出をストップ・ウォッチのトリガ・イベントに設定します。エッジの選択は FLXnEDGE ビットで行います。 本ビットの機能は FLXnESWT ビットが 1 のときのみ有効です。 1 = eray_stpwt 信号のエッジ検出をトリガ・イベントとして使用する 0 = eray_stpwt 信号のエッジ検出をトリガ・イベントとして使用しない

表 31-30 FLXnSTPW1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	FLXn SSWT	ソフトウェア・ストップ・ウォッチ・トリガ ホストがこのビットに「1」を書き込むとストップ・ウォッチがオンになります。現在のサイクル・カウンタ値とマクロティック値がストップ・ウォッチ・レジスタに格納されたあと、このビットは「0」にリセットされます。このビットへの書き込みは、FLXnESWT = 0 のときにのみ可能です。 1 = ソフトウェア・トリガによってストップ・ウォッチを動作させる 0 = ソフトウェア・トリガを使用しない
2	FLXn EDGE	ストップ・ウォッチ・トリガ・エッジ選択 eray_stpwt 信号のエッジの検出をトリガ・イベントとして使用する場合、エッジの方向を指定します。 1 = 立ち上がりエッジ 0 = 立ち下がりエッジ
1	FLXn SWMS	ストップ・ウォッチ・モード選択 ストップ・ウォッチの動作モードを指定します。 1 = 連続モード 0 = シングル・ショット・モード
0	FLXn ESWT	外部ストップ・ウォッチ・トリガ・イネーブル このビットが有効になっていると、eray_stpwt ピンで入力信号のエッジが検出されるか、割り込み 0、1 イベント (eray_int0 ピンまたは eray_int1 ピンでの立ち上がりエッジの検出) が発生することによってストップ・ウォッチがオンになります。シングル・ショット・モードでは、現在のサイクル・カウンタ値とマクロティック値がストップ・ウォッチ・レジスタに格納されたあと、このビットが「0」にリセットされます。 1 = ストップ・ウォッチのトリガが有効 0 = ストップ・ウォッチのトリガが無効

**備考** FLXnESWT ビットと FLXnSSWT ビットを同時に「1」にセットすることはできません。同時に 1 を書き込んだ場合、それらのレジスタへの書き込みアクセスは無視され、両方のビットが前の値を保持します。したがって、外部ストップ・ウォッチ・トリガまたはソフトウェア・ストップ・ウォッチ・トリガのいずれかを使用できることとなります。

**(11) FLXnSTPW2 - ストップ・ウォッチ・レジスタ 2**

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0050<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnSSCVB[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnSSCVA[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-31 FLXnSTPW2 レジスタの内容

ビット位置	ビット名	機能
26-16	FLXn SSCVB[10:00]	ストップ・ウォッチによるチャンネル B スロット・カウンタのキャプチャ値 ストップ・ウォッチ・イベントが発生したときのチャンネル B のスロット・カウンタの値を示します。有効な値は 0 ~ 2047 です。
10-0	FLXn SSCVA[10:00]	ストップ・ウォッチによるチャンネル A スロット・カウンタのキャプチャ値 ストップ・ウォッチ・イベントが発生したときのチャンネル A のスロット・カウンタの値を示します。有効な値は 0 ~ 2047 です。

### 31.3.5 通信コントローラ制御レジスタ

通信コントローラ制御レジスタは、通信動作を制御するためのレジスタ群です。FlexRay プロトコル仕様の要求では、CONFIG ステートでのみホストがアプリケーション設定データを書き込むことになっていますが、DEFAULT\_CONFIG ステートでも、設定レジスタの書き込みがロックされない点に注意してください。

リセットによって DEFAULT\_CONFIG ステートに入ると、設定データがリセットされます。POC ステートを DEFAULT\_CONFIG ステートから CONFIG ステートへ遷移させるには、ホストが CHI コマンド CONFIG を発行する必要があります。CONFIG ステートから抜けるためには、ホストは「ロック・レジスタ (LCK)」の項で説明している手順を実行する必要があります。

アスタリスク (\*) が付いているビットは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ更新することができます。

#### (1) FLXnSUCC1 - SUC 設定レジスタ 1

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0080<sub>H</sub>

**初期値** 0C40 1080<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	FLXn CCHB*	FLXn CCHA*	FLXn MTSB*	FLXn MTSA*	FLXn HCSE*	FLXn TSM*	FLXn WUCS*	FLXnPTA[4:0]*				
R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnCSA[4:0]*				0	FLXn TXSY*	FLXn TXST*	FLXn PBSY	0	0	0	FLXnCMD[3:0]				
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 31-32 FLXnSUCC1 レジスタの内容 (1/3)

ビット位置	ビット名	機能
27	FLXn CCHB	チャンネル B の接続設定 ( <i>pChannels</i> ) ノードをチャンネル B に接続するかどうかを設定します。 1 = ノードをチャンネル B に接続する (リセット時のデフォルト設定) 0 = ノードをチャンネル B に接続しない
26	FLXn CCHA	チャンネル A の接続設定 ( <i>pChannels</i> ) ノードをチャンネル A に接続するかどうかを設定します。 1 = ノードをチャンネル A に接続する (リセット時のデフォルト設定) 0 = ノードをチャンネル A に接続しない

表 31-32 FLXnSUCC1 レジスタの内容 (2/3)

ビット位置	ビット名	機能
25	FLXn MTSB	<p>チャンネル B の MTS シンボル送信イネーブル このビットでは MTS シンボルの送信用チャンネルとしてチャンネル B を選択します。このフラグはデフォルトでリセットされ、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。</p> <p>1 = MTS 送信用チャンネルとしてチャンネル B を選択する 0 = チャンネル B を MTS の送信に使用しない</p> <p>備考 (3) 「FLXnLCK - ロック・レジスタ」で説明しているコンフィギュレーション・ロック・キーのアンロック・シーケンスの直後に FLXnSUCC1 レジスタへの書き込みを行ってれば、DEFAULT_CONFIG ステートまたは CONFIG ステート以外でも FLXnMTSA、FLXnMTSB を変更することができます。また FLXnMTSA ビットと FLXnMTSB ビットの両方が「1」にセットされていれば、FLXnCMD[3:0] = 「1000」の書き込みによって SEND_MTS が要求されたとき、MTS シンボルが両方のチャンネルで送信されます。</p>
24	FLXn MTSA	<p>チャンネル A の MTS シンボル送信イネーブル このビットでは MTS シンボルの送信用チャンネルとしてチャンネル A を選択します。このフラグはデフォルトでリセットされ、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。</p> <p>1 = MTS 送信用チャンネルとしてチャンネル A を選択する 0 = チャンネル A を MTS の送信に使用しない</p>
23	FLXn HCSE	<p>クロック同期エラーによる HALT 制御 (<i>pAllowHaltDueToClock</i>) クロック同期エラーが発生した場合に HALT ステートへ遷移させる制御を有効にします。このビットは DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。</p> <p>1 = クロック同期エラー発生時、HALT ステートへ遷移させる 0 = クロック同期エラー発生時、NORMAL_PASSIVE ステートへ遷移する、または NORMAL_PASSIVE ステートにとどまる</p>
22	FLXn TSM	<p>送信スロット・モード選択 (<i>pSingleSlotEnabled</i>) 通信開始時の初期送信スロット・モードを選択します。シングル・スロット・モードでは、あらかじめ設定されたキー・スロットでのみフレームを送信できます。キー・スロット ID は、メッセージ・バッファ 0 のヘッダ・セクションで設定されるか、FLXnMRC.FLXnSPLM ビットの設定によってはメッセージ・バッファ 0 とメッセージ・バッファ 1 それぞれのヘッダ・セクションで設定されます。FLXnTSM = 1 の場合、メッセージ・バッファ 0 の (再) 設定またはメッセージ・バッファ 0 とメッセージ・バッファ 1 の (再) 設定は、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ行うことができます。ALL スロット・モードでは、すべてのスロットでフレームを送信できます。FLXnTSM はホストのみがセットまたはリセットできる設定ビットです。このビットは DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ書き込み可能です。POC ステートが NORMAL_ACTIVE または NORMAL_PASSIVE のときに、ホストが FLXnCMD[3:0] = 「0101」を書き込むことによって ALL_SLOTS コマンドを実行すると、FlexRay コントローラは ALL スロット・モードに遷移します。現在のスロット・モードは FLXnCCSV.FLXnSLM[1:0] でモニタできます。</p> <p>1 = シングル・スロット・モード (リセット時のデフォルト設定) 0 = ALL スロット・モード</p>
21	FLXn WUCS	<p>ウェイクアップ・チャンネル選択 (<i>pWakeupChannel</i>) ウェイクアップ・パターンを送信するチャンネルを選択します。DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。</p> <p>1 = チャンネル B でウェイクアップ・パターンを送信する 0 = チャンネル A でウェイクアップ・パターンを送信する</p>

表 31-32 FLXnSUCC1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
20-16	FLXn PTA[4:0]	パッシブからアクティブへの遷移しきい値 ( <i>pAllowPassiveToActive</i> ) FlexRay コントローラが NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移する条件を偶数/奇数サイクル・ペアを単位として設定します。これらのビットが「0000」に設定されている場合、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移しません。この設定は DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。有効な値は 0 ~ 31 組の偶数/奇数サイクル・ペアです。
15-11	FLXn CSA[4:0]	コールド・スタート試行回数 ( <i>gColdStartAttempts</i> ) コールド・スタート・ノードがほかのノードから有効な応答を受信していない状態でネットワークのスタートアップを試行できる最大回数を設定します。この設定は DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。この値は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 2 ~ 31 です。
9	FLXn TXSY	キー・スロットの sync フレーム送信設定 ( <i>pKeySlotUsedForSync</i> ) sync フレームの送信にキー・スロットを使用するかどうかを指定します。このビットは DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。 1 = sync フレームの送信にキー・スロットが使われ、ノードが sync ノードになる 0 = キー・スロットで sync フレームが送信されず、ノードは sync ノードにもコールド・スタート・ノードにもならない
8	FLXn TXST	キー・スロットのスタートアップ・フレーム送信設定 ( <i>pKeySlotUsedForSync</i> ) スタートアップ・フレームの送信にキー・スロットを使用するかどうかを指定します。このビットは DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。 1 = スタートアップ・フレームの送信にキー・スロットが使われ、ノードがリーディング・コールド・スタート・ノードまたはフォロウイング・コールド・スタート・ノードになる 0 = キー・スロットでスタートアップ・フレームを送信せず、ノードはコールド・スタート・ノードにならない
7	FLXn PBSY	POC ビジー POC がビジー状態であり、ホストからコマンドを受け付けることができないことを示します。FLXnCMD[3:0] への書き込みアクセスはロックされます。リセットまたは CLEAR_RAMS コマンドの実行による内部 RAM ブロックの初期化中、本ビットは「1」になり、その後この初期化が完了する 2048 eray_bclk サイクル後に本ビットは「0」になります。 1 = POC がビジーであり、FLXnCMD[3:0] がロックされている 0 = POC がビジーでなく、FLXnCMD[3:0] が書き込み可能である
3-0	FLXn CMD[3:0]	CHI コマンド・ベクタ ホストはいつでも任意の CHI コマンドを書き込むことができますが、一部のコマンドは特定の POC ステートでのみ有効になります。コマンドが有効になっていないと、そのコマンドは実行されず、CHI コマンド・ベクタ FLXnCMD[3:0] が「0000」= command_not_accepted にリセットされ、FLXnEIR.FLXnCNAE フラグが「1」にセットされます。前の CHI コマンドがまだ完了していない場合、FLXnEIR.FLXnCCLC は FLXnEIR.FLXnCNAE とともに「1」にセットされます。その場合は、同じ CHI コマンドを再び実行する必要があります。HALT ステートを除き、FlexRay コントローラがすでに要求された POC ステートにあるときに POC ステート変更コマンドを発行しても、ステートは変化せず、FLXnEIR.FLXnCNAE もセットされません。 詳細については、表 31-33 「FLXnSUCC1.FLXnCMD[3:0] の機能」を参照してください。

FLXnCMD[3:0] を読み出すことで、最新の CHI コマンドが受け付けられたかどうかわかります。現在の POC ステートは FLXnCCSV.FLXnPOCS[5:0] でモニタできます。通常、ホストは、新しい CHI コマンドを書き込む前に FLXnSUCC1.FLXnPBSY をチェックする必要があります。

表 31-33 FLXnSUCC1.FLXnCMD[3:0] の機能 (1/2)

FLXn CMD[3:0]	機能
0000	<p>command_not_accepted (コマンド非受理) 以下のいずれかの条件が満たされると、FLXnCMD[3:0] は「0000」にリセットされます。</p> <ul style="list-style-type: none"> <li>• ホストが不正なコマンドを発行した場合</li> <li>• アンロック・シーケンスを実行せずに CONFIG ステートを抜けるコマンドを発行した場合</li> <li>• CHI コマンドの実行中に新たなコマンドを発行した場合</li> <li>• コマンド非受理 (0000) を書き込んだ場合</li> </ul> <p>FLXnCMD[3:0] が「0000」にリセットされると、FLXnEIR.FLXnCNAE が「1」にセットされ、割り込みが許可されていれば、割り込みが発生します。受理されなかったコマンドは実行されません。</p>
0001	<p>CONFIG コマンド POC ステートの DEFAULT_CONFIG, READY または MONITOR_MODE ステートで本コマンドを実行すると、CONFIG ステートへ遷移します。HALT ステートで実行すると、DEFAULT_CONFIG ステートへ遷移します。その他の遷移で実行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0010	<p>READY コマンド POC ステートの CONFIG, NORMAL_ACTIVE, NORMAL_PASSIVE, STARTUP または WAKEUP ステートで本コマンドを発行すると、POC ステートの READY ステートへ遷移します。その他の状態で発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0011	<p>WAKEUP コマンド POC ステートの READY ステートで本コマンドを発行すると WAKEUP ステートへ遷移します。その他のステートで発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0100	<p>RUN コマンド POC ステートの READY ステートで本コマンドを発行すると STARTUP ステートへ遷移します。その他のステートで発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0101	<p>ALL_SLOTS コマンド POC ステートの NORMAL_ACTIVE または NORMAL_PASSIVE ステートで本コマンドを発行すると、スタートアップ/統合が正常に実行されたあと、次のサイクルの終わりにシングル・スロット・モードから ALL スロット・モードに遷移します。その他のステートで発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0110	<p>HALT コマンド POC ステートの NORMAL_ACTIVE または NORMAL_PASSIVE ステートで本コマンドを発行すると、HALT 要求 FLXnCCSV.FLXnHRQ ビットが「1」にセットされ、次のサイクルの終わりにで HALT ステートへ遷移します。その他のステートで発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>
0111	<p>FREEZE コマンド 本コマンドを発行した場合、ただちに FLXnCCSV.FLXnFSI ビットが「1」にセットされ、HALT ステートへ遷移します。どのステートでも発行することができます。</p>
1000	<p>SEND_MTS コマンド ALL スロット・モード (FLXnCCSV.FLXnSLM[1:0] = 「11」) になったあと、POC ステートの NORMAL_ACTIVE ステートで本コマンドを発行すると、FLXnMTSA, FLXnMTSB で設定されたチャンネルの次のシンボル・ウィンドウで 1 つの MTS シンボルを送信します。その他のステートで発行するか、要求されている前の MTS がまだ送信されていないうちに発行すると、FLXnCMD[3:0] が「0000」= command_not_accepted (コマンド非受理) になります。</p>



表 31-33 FLXnSUCC1.FLXnCMD[3:0] の機能 (2/2)

FLXn CMD[3:0]	機能
1001	ALLOW_COLDSTART コマンド 本コマンドを発行した場合、FLXnCCSV.FLXnCSIが「0」にリセットされ、ノードがリーディング・コールド・スタート・ノードになることを許可します。DEFAULT_CONFIG, CONFIG, HALT, MONITOR_MODE の各状態で本コマンドを発行すると、FLXnCMD[3:0]が「0000」= command_not_accepted (コマンド非受理) になります。ノードがリーディング・コールド・スタート・ノードになるには、FLXnTXST と FLXnTXSY の両方がセットされている必要があります。
1010	RESET_STATUS_INDICATORS コマンド 本コマンドを発行した場合、ステータス・フラグの FLXnCCSV.FLXnCSNI, FLXnCCSV.FLXnCSAI, FLXnCCSV.FLXnWSV[2:0] をそれぞれのデフォルト値にリセットします。POC ステートの READY または STARTUP ステートで発行することができます。その他のステートで発行すると、FLXnCMD[3:0]が「0000」= command_not_accepted (コマンド非受理) になります。
1011	MONITOR_MODE コマンド POC ステートの CONFIG ステートで本コマンドを発行すると MONITOR_MODE ステートに入ります。MONITOR_MODE ステートでは、フレームとウェイクアップ・パターンを受信できます。また、符号化違反の検出も可能です。受信したフレームの時間的な整合性はチェックされません。このモードは、FlexRay ネットワークのスタートアップが失敗した際など、デバッグのために使用できます。その他のステートで本コマンドを発行すると、FLXnCMD[3:0]が「0000」= command_not_accepted (コマンド非受理) になります。詳細については、(4)「MONITOR_MODE ステート」を参照してください。
1100	CLEAR_RAMs コマンド DEFAULT_CONFIG ステートまたは CONFIG ステートで本コマンドを発行すると、FLXnMHDS.FLXnCRAM が「1」にセットされます。その他のステートで発行すると、FLXnCMD[3:0]が「0000」= command_not_accepted (コマンド非受理) になります。FLXnMHDS.FLXnCRAM は FlexRay コントローラのリセット直後も「1」になります。FLXnMHDS.FLXnCRAM をセットすると、すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化中、FLXnPBSY は POC ビジーを示します。CHI コマンド CLEAR_RAMs の実行中は、通信コントローラ制御レジスタと通信コントローラ・ステータス・レジスタへのアクセスが可能です。 FlexRay コントローラ内部の RAM ブロックの初期化には 2048 回の eray_bclk サイクルが必要です。リセット後または CHI コマンド CLEAR_RAMs を実行したあとの内部 RAM ブロックの初期化中にホストが入力バッファ制御レジスタまたは出力バッファ制御レジスタへアクセスすることはできません。また、本コマンドの実行前に、メッセージ RAM と入力バッファ/出力バッファ (または トランジェント・バッファ) との間で転送が行われていないことを確認しなければなりません。このコマンドは、メッセージ・バッファ・ステータス・レジスタの FLXnMHDS, FLXnLDTS, FLXnFSR, FLXnMHDF, FLXnTXRQ1/2/3/4, FLXnNDAT1/2/3/4, FLXnMBSC1/2/3/4 のリセットも行います。
1101 1110 1111	予約済み CHI コマンド 31.3.3「特殊レジスタ」にある各テスト・モードで使用します。

**備考** CLEAR\_RAMs と SEND\_MTS 以外のコマンドが実行されると、2つのクロック eray\_bclk と eray\_sclk のうち遅い方のクロックで最大 8 サイクルかかって eray\_sclk ドメインの POC ステートが変化します。ただし、コマンドが発行されたときに POC がビジーでなく、またバスの状態によって POC ステートが遷移しないことを前提とします。FLXnCCSV レジスタの読み出しでは、eray\_sclk ドメインから eray\_bclk ドメインへの同期およびホスト CPU インタフェースによってさらに遅延します。この遅延の最大値は、2つのクロック eray\_bclk と eray\_sclk のうち遅い方のクロックで 12 サイクルです。



以下の表 31-34 「FlexRay プロトコル仕様と CHI ホスト・コマンドとの対応」は、FlexRay プロトコル仕様 V2.1 (セクション 2.2.1.1, 表 2-2) と E-Ray CHI コマンド・ベクタ FLXnCMD[3:0] との CHI コマンドの対応を示しています。

表 31-34 FlexRay プロトコル仕様と CHI ホスト・コマンドとの対応

CHI コマンド	処理が行われるステート (POC ステート)	CHI コマンド・ベクタ FLXnCMD[3:0]
ALL_SLOTS	POC : normal active POC : normal passive	ALL_SLOTS
ALLOW_COLDSTART	以下を除くすべて POC : default config POC : config POC : halt	ALLOW_COLDSTART
CONFIG	POC : default config POC : ready	CONFIG
CONFIG_COMPLETE	POC : config	アンロック・シーケンス および READY
DEFAULT_CONFIG	POC : halt	CONFIG
FREEZE	すべて	FREEZE
HALT	POC : normal active POC : normal passive	HALT
READY	以下を除くすべて POC : default config, POC : config, POC : ready POC : halt	READY
RUN	POC : ready	RUN
WAKEUP	POC : ready	WAKEUP

## (2) FLXnSUCC2 - SUC 設定レジスタ 2

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0084<sub>H</sub>

**初期値** 0100 0504<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	FLXnLTN[3:0]				0	0	0	FLXnLT[20:16]				
R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnLT[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-35 FLXnSUCC2 レジスタの内容

ビット位置	ビット名	機能
27-24	FLXnLTN[3:0]	リッスン・タイムアウト・ノイズ ( <i>gListenNoise</i> - 1) ノイズが存在するときのスタートアップ・リッスン・タイムアウトおよびウェイクアップ・リッスン・タイムアウトの上限を <i>pdListenTimeout</i> の倍数で設定します。 <i>gListenNoise</i> の範囲は 2 ~ 16 です。1 つのクラスタ内のすべてのノードで FLXnLTN[3:0] が同じ値に設定されている必要があります。
20-0	FLXnLT[20:00]	リッスン・タイムアウト ( <i>pdListenTimeout</i> ) ウェイクアップ/スタートアップ・リッスン・タイムアウトを $\mu\text{T}$ の単位で設定します。 <i>pdListenTimeout</i> の範囲は 1284 ~ 1283846 $\mu\text{T}$ です。

**備考** ウェイクアップ/スタートアップ・ノイズ・タイムアウトは以下の式で計算します。

$$\text{pdListenTimeout} \cdot \text{gListenNoise} = \text{FLXnLT}[20:00] \times (\text{FLXnLTN}[3:0] + 1)$$

**(3) FLXnSUCC3 - SUC 設定レジスタ 3**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0088<sub>H</sub>

**初期値** 0000 0011<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	FLXnWCF[3:0]*			FLXnWCP[3:0]*				
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-36 FLXnSUCC3 レジスタの内容

ビット位置	ビット名	機能
7-4	FLXnWCF[3:0]	HALT へ遷移するクロック補正エラー期間のしきい値 ( <i>gMaxWithoutClockCorrectionFatal</i> ) どれだけの間クロック補正が中断すると NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから HALT ステートへ遷移するかを連続する奇数/偶数サイクル・ペアの数で指定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は1～15組のサイクル・ペアです。
3-0	FLXnWCP[3:0]	PASSIVE へ遷移するクロック補正エラー期間のしきい値 ( <i>gMaxWithoutClockCorrectionPassive</i> ) どれだけの間クロック補正が中断すると NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートへ遷移するかを連続する奇数/偶数サイクル・ペアの数で指定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は1～15組のサイクル・ペアです。

**備考** FLXnSUCC1.FLXnHCSE が「1」にセットされていなければ、HALT ステートへの遷移は行われません。

**(4) FLXnNEMC - NEM 設定レジスタ**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 008C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	FLXnNML[3:0]*			
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 31-37 FLXnNEMC レジスタの内容

ビット位置	ビット名	機能
3-0	FLXn NML[3:0]	ネットワーク管理ベクタ長 ( <i>gNetworkManagementVectorLength</i> ) ネットワーク管理ベクタの長さをバイト単位で設定します。ここで設定される長さは1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は0～12バイトです。

## (5) FLXnPRTC1 - PRT 設定レジスタ 1

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0090<sub>H</sub>

**初期値** 084C 0633<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
FLXnRWP[5:0]*						0	FLXnRXW[8:0]*									
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FLXnBRP[1:0]*	FLXnSPP[1:0]*	0		FLXnCASM[6:0]*						FLXnTSST[3:0]*						
R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 31-38 FLXnPRTC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31-26	FLXnRWP[5:0]	送信ウェイクアップ・パターン繰り返し回数 ( <i>pWakeupPattern</i> ) 送信ウェイクアップ・シンボルの繰り返し (シーケンス) の回数を設定します。有効な値は 2 ~ 63 です。
24-16	FLXnRXW[8:0]	ウェイクアップ・シンボル受信ウィンドウ長 ( <i>gdWakeupSymbolRxWindow</i> ) ノードが受信したウェイクアップ・パターンの長さを判定するために使用するビット・タイム数を設定します。この値は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 76 ~ 301 ビット・タイムです。
15-14	FLXnBRP[1:0]	ポー・レート・プリスケアラ ( <i>gdSampleClockPeriod</i> , <i>pSamplePerMicrotick</i> ) ポー・レート・プリスケアラは FlexRay バスのポー・レートを設定します。以下に示すポー・レートはサンプル・クロック <i>eray_sclk</i> = 80 MHz のときに有効です。 設定されているポー・レートに関係なく、1 ビット・タイムは常に 8 個のサンプルから構成されます。 00 = 10 MBit/s (デフォルト) <i>gdSampleClockPeriod</i> = 12.5 ns = 1 <i>eray_sclk</i> <i>pSamplesPerMicrotick</i> = 2 (1 $\mu$ T = 25 ns) 01 = 5 MBit/s <i>gdSampleClockPeriod</i> = 25 ns = 2 <i>eray_sclk</i> <i>pSamplesPerMicrotick</i> = 1 (1 $\mu$ T = 25 ns) 10, 11 = 2.5 MBit/s <i>gdSampleClockPeriod</i> = 50 ns = 4 <i>eray_sclk</i> <i>pSamplesPerMicrotick</i> = 1 (1 $\mu$ T = 50 ns)

表 31-38 FLXnPRTC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
13-12	FLXn SPP[1:0]	<p>ストローブ・ポイント位置 ストローブのためのサンプリング回数を設定します。本ビットで指定した回数のサンプリングを行い、多数決によって信号のハイ・レベル/ロウ・レベルを判別します。</p> <p>00, 11 = 5 サンプル (デフォルト) 01 = 4 サンプル 10 = 6 サンプル</p> <p>備考 FlexRay プロトコ仕様 v2.1 では、FLXnSPP[1:0] = 「00」 に設定するように規定しています。それ以外のストローブ・ポイント位置は物理層の非対称性を補正するために使用できます。</p>
10-4	FLXn CASM[6:0]	<p>衝突回避シンボル最大値 (<i>gdCASRxLowMax</i>) 衝突回避シンボル (CAS) の受信ウィンドウ幅の上限を設定します。 FLXnCASM6 は「1」に固定されます。有効な値は 67 ~ 99 ビット・タイムです。</p>
3-0	FLXn TSST[3:0]	<p>送信開始シーケンス長 (<i>gdTSSTransmitter</i>) 送信開始シーケンス (TSS) の長さをビット・タイム単位で設定します (1 ビット・タイム = <math>4\mu T = 100\text{ns}@10\text{Mbps}</math>)。この値は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 3 ~ 15 ビット・タイムです。</p>

## (6) FLXnPRTC2 - PRT 設定レジスタ 2

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0094<sub>H</sub>

**初期値** 0F2D 0A0E<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
0	0	FLXnTXL[5:0]*						FLXnTXI[7:0]*								
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	FLXnRXL[5:0]*						0	0	FLXnRXI[5:0]*						
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	

表 31-39 FLXnPRTC2 レジスタの内容

ビット位置	ビット名	機能
29-24	FLXn TXL[5:0]	ウェイクアップ・シンボル・ロウ送信時間 ( <i>gdWakeupSymbolTxLow</i> ) ノードがウェイクアップ・シンボルのロウ・フェーズの送信に使用するビット・タイム数を設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は15～60ビット・タイムです。
23-16	FLXn TXI[7:0]	ウェイクアップ・シンボル・アイドル送信時間 ( <i>gdWakeupSymbolTxIdle</i> ) ノードがウェイクアップ・シンボルのアイドル・フェーズの送信に使用するビット・タイム数を設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は45～180ビット・タイムです。
13-8	FLXn RXL[5:0]	ウェイクアップ・シンボル・ロウ受信時間 ( <i>gdWakeupSymbolRxLow</i> ) ノードが受信したウェイクアップ・シンボルのロウ・フェーズの長さを判定するために使用するビット・タイム数を設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は10～55ビット・タイムです。
5-0	FLXn RXI[5:0]	ウェイクアップ・シンボル・アイドル受信時間 ( <i>gdWakeupSymbolRxIdle</i> ) ノードが受信したウェイクアップ・シンボルのアイドル・フェーズの長さを判定するために使用するビット・タイム数を設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は14～59ビット・タイムです。

## (7) FLXnMHDC - MHD 設定レジスタ

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0098<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	FLXnSLT[12:00]*												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	FLXnSFDL[6:0]*						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-40 FLXnMHDC レジスタの内容

ビット位置	ビット名	機能
28-16	FLXn SLT[12:00]	送信開始可能最終位置 ( <i>pLatestTx</i> ) 通信サイクルのダイナミック・セグメントでフレームの送信を開始できる期間 (フレームの送信開始が禁止されるまでの期間) をミニスロット単位で設定します。FLXnSLT[12:00] がゼロに設定されている場合、ダイナミック・セグメントでの送信は行われません。有効な値は 0 ~ 7981 ミニスロットです。
6-0	FLXn SFDL[6:0]	スタティック・フレーム・ペイロード長 ( <i>gPayloadLengthStatic</i> ) スタティック・セグメントで 2 バイト単位で送信されるすべてのフレームの長さをクラスタ全体にわたって設定します。フレーム長は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 0 ~ 127 です。



**(8) FLXnGTUC01 - GTU 設定レジスタ 1**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00A0<sub>H</sub>

**初期値** 0000 0280<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	FLXnUT[19:16]*			
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnUT[15:00]*															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-41 FLXnGTUC01 レジスタの内容

ビット位置	ビット名	機能
19-0	FLXn UT[19:00]	1 サイクルあたりマイクロティック数 ( <i>pMicroPerCycle</i> ) 通信サイクルの長さをマイクロティック単位で設定します。有効な値は 640 ~ 640000 $\mu$ T です。

**(9) FLXnGTUC02 - GTU 設定レジスタ 2**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00A4<sub>H</sub>

**初期値** 0002 000A<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	FLXnSNM[3:0]*			
R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	FLXnMPC[13:00]*													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-42 FLXnGTUC02 レジスタの内容

ビット位置	ビット名	機能
19-16	FLXn SNM[3:0]	sync ノード最大値 ( <i>gSyncNodeMax</i> ) 1つのクラスタ内で許可される、sync フレーム・インジケータ・ビット FLXnRHSYN が「1」にセットされたフレームの最大数を設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は2～15です。
13-0	FLXn MPC[13:00]	1 サイクルあたりマクロティック数 ( <i>gMacroPerCycle</i> ) 1つの通信サイクルの長さをマクロティック単位で設定します。サイクル長は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は10～16000 MT です。

**(10) FLXnGTUC03 - GTU 設定レジスタ 3**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00A8<sub>H</sub>

**初期値** 0202 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
FLXnMIOB[6:0]*								0	FLXnMIOA[6:0]*							
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FLXnUIOB[7:0]*								FLXnUIOA[7:0]*								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 31-43 FLXnGTUC03 レジスタの内容

ビット位置	ビット名	機能
30-24	FLXn MIOB[6:0]	チャンネル B のマクロティック初期オフセット ( $pMacroInitialOffset[B]$ ) スタティック・スロット境界とそれに続くセカンダリ・タイム参照ポイントのマクロティック境界との間隔をマクロティック単位で設定します。この値は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 2 ~ 72 MT です。
22-16	FLXn MIOA[6:0]	チャンネル A のマクロティック初期オフセット ( $pMacroInitialOffset[A]$ ) スタティック・スロット境界とそれに続くセカンダリ・タイム参照ポイントのマクロティック境界との間隔をマクロティック単位で設定します。この値は 1 つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は 2 ~ 72 MT です。
15-8	FLXn UIOB[7:0]	チャンネル B のマイクロティック初期オフセット ( $pMicroInitialOffset[B]$ ) $gMacroInitialOffset$ で指定されたマクロティック境界と厳密なセカンダリ・タイム参照ポイントとの間隔をマイクロティック単位で設定します。このパラメータは $pDelayCompensation[B]$ に依存するため、各チャンネルで個別に設定する必要があります。有効な値は 0 ~ 240 $\mu$ T です。
7-0	FLXn UIOA[7:0]	チャンネル A のマイクロティック初期オフセット ( $pMicroInitialOffset[A]$ ) $gMacroInitialOffset$ で指定されたマクロティック境界と厳密なセカンダリ・タイム参照ポイントとの間隔をマイクロティック単位で設定します。このパラメータは $pDelayCompensation[A]$ に依存するため、各チャンネルで個別に設定する必要があります。有効な値は 0 ~ 240 $\mu$ T です。

**(11) FLXnGTUC04 - GTU 設定レジスタ 4**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。FLXnNIT[13:00] と FLXnOCS[13:00] の設定の詳細については、(5)「NIT 開始点とオフセット補正開始点の設定」を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00AC<sub>H</sub>

**初期値** 0008 0007<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXnOCS[13:00]*													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	FLXnNIT[13:00]*													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-44 FLXnGTUC04 レジスタの内容

ビット位置	ビット名	機能
29-16	FLXn OCS[13:00]	オフセット補正開始点 ( <i>gOffsetCorrectionStart - 1</i> ) 通信サイクルの先頭を基準として NIT 期間内のオフセット補正の開始位置をマクロティック (MT) 単位で設定します。この値はクラスタのすべてのノードで同じ値でなければなりません。また、E-Ray FlexRay コントローラのみで構成されたクラスタにおいては、FLXnOCS = FLXnNIT + 1 と設定するだけで十分です。有効な値は 8 ~ 15998 MT です。
13-0	FLXn NIT[13:00]	ネットワーク・アイドル・タイム開始点 ( <i>gMacroPerCycle - gdNIT - 1</i> ) 通信サイクルの先頭を基準として NIT 期間の開始位置をマクロティック (MT) 単位で設定します。マクロティック・カウンタの値が <i>gMacroPerCycle - gdNIT - 1</i> 、かつマクロティック・カウンタが動作している場合、NIT 期間の開始が許可されます。この値はクラスタのすべてのノードで同じ値でなければなりません。有効な値は 7 ~ 15997 MT です。

**(12) FLXnGTUC05 - GTU 設定レジスタ 5**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00B0<sub>H</sub>

**初期値** 00E00 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
FLXnDEC[7:0]*								0	0	0	FLXnCDD[4:0]*					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FLXnDCB[7:0]*								FLXnDCA[7:0]*								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 31-45 FLXnGTUC05 レジスタの内容

ビット位置	ビット名	機能
31-24	FLXn DEC[7:0]	復号補正值 ( <i>pDecodingCorrection</i> ) プライマリ・タイム参照ポイントの決定に使われる復号補正值を設定します。有効な値は 14 ~ 143 $\mu$ T です。
20-16	FLXn CDD[4:0]	クラスタ・ドリフト・ダンピング値 ( <i>pClusterDriftDamping</i> ) 丸め誤差の累積を最小にするためにクロック同期化の際に使用するクラスタ・ドリフト・ダンピング値をマイクロティック ( $\mu$ T) 単位で設定します。有効な値は 0 ~ 20 $\mu$ T です。
15-8	FLXn DCB[7:0]	チャンネル B 遅延補正值 ( <i>pDelayCompensation[B]</i> ) チャンネル B の受信遅延を補正するために用います。マイクロティックが 0.0125 ~ 0.05 $\mu$ s の範囲内の場合、cPropagationDelayMax までの伝達遅延に対処することができます。実際には、すべての sync ノードの伝達遅延が最小になるように設定しなければなりません。有効な値は 0 ~ 200 $\mu$ T です。
7-0	FLXn DCA[7:0]	チャンネル A 遅延補正值 ( <i>pDelayCompensation[A]</i> ) チャンネル A の受信遅延を補正するために用います。マイクロティックが 0.0125 ~ 0.05 $\mu$ s の範囲内の場合、cPropagationDelayMax までの伝達遅延に対処することができます。実際には、すべての sync ノードの伝達遅延が最小になるように設定しなければなりません。有効な値は 0 ~ 200 $\mu$ T です。

**(13) FLXnGTUC06 - GTU 設定レジスタ 6**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00B4<sub>H</sub>

**初期値** 0002 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnMOD[10:00]*										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnASR[10:00]*										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-46 FLXnGTUC06 レジスタの内容

ビット位置	ビット名	機能
26-16	FLXnMOD [10:00]	最大オシレータ・ドリフト ( <i>pdMaxDrift</i> ) 同期していないクロックに基づいて動作している 2 つのノード間の 1 つの通信 サイクル間の最大ドリフト・オフセットを $\mu\text{T}$ 単位で指定します。有効な値は 2 ~ 1923 $\mu\text{T}$ です。
10-0	FLXnASR [10:00]	許容スタートアップ範囲 ( <i>pdAcceptedStartupRange</i> ) 統合時に使用するスタートアップ・フレームに許容される測定誤差の最大範囲 を $\mu\text{T}$ 単位で指定します。有効な値は 0 ~ 1875 $\mu\text{T}$ です。

## (14) FLXnGTUC07 - GTU 設定レジスタ 7

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00B8<sub>H</sub>

**初期値** 0002 0004<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	FLXnNSS[9:0]*									
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	FLXnSSL[9:0]*									
R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-47 FLXnGTUC07 レジスタの内容

ビット位置	ビット名	機能
25-16	FLXnNSS[9:0]	スタティック・スロット数 ( <i>gNumberOfStaticSlots</i> ) 1つの通信サイクル内のスタティック・スロットの数を設定します。FlexRay ネットワークのスタートアップには、少なくとも2つのコールド・スタート・ノードを設定する必要があります。スタティック・スロットの数は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は2～1023です。
9-0	FLXnSSL[9:0]	スタティック・スロット長 ( <i>gdStaticSlot</i> ) 1つのスタティック・スロットの長さをマクロティック (MT) 単位で設定します。スタティック・スロット長は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は4～659 MT です。

**(15) FLXnGTUC08 - GTU 設定レジスタ 8**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00BC<sub>H</sub>

**初期値** 0000 0002<sub>H</sub> レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	FLXnNMS[12:00]*												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	FLXnMSL[5:0]*					
R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31-48 FLXnGTUC08 レジスタの内容

ビット位置	ビット名	機能
28-16	FLXn NMS[12:00]	ミニスロットの数 ( <i>gNumberOfMinislots</i> ) 1つの通信サイクルのダイナミック・セグメント内のミニスロットの数を設定します。ミニスロットの数は1つのクラスタのすべてのノードで同じでなければなりません。有効な値は0～7986です。
5-0	FLXn MSL[5:0]	ミニスロット長 ( <i>gdMinislot</i> ) 1つのミニスロットの長さをマクロティック (MT) 単位で設定します。ミニスロット長は1つのクラスタのすべてのノードで同じでなければなりません。有効な値は2～63 MTです。



## (16) FLXnGTUC09 - GTU 設定レジスタ 9

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00C0<sub>H</sub>

**初期値** 0000 0101<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXnDSI[1:0]*	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	FLXnMAPO[4:0]*				0	0	FLXnAPO[5:0]*						
R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 31-49 FLXnGTUC09 レジスタの内容

ビット位置	ビット名	機能
17-16	FLXn DSI[1:0]	ダイナミック・スロット・アイドル・フェーズ ( <i>gdDynamicSlotIdlePhase</i> ) ダイナミック・スロット・アイドル・フェーズの長さはアイドル検出時間以上の値に設定する必要があります。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は0～2 ミニスロットです。
12-8	FLXn MAPO[4:0]	ミニスロット・アクション・ポイント・オフセット ( <i>gdMinislotActionPointOffset</i> ) ダイナミック・セグメントのミニスロット内のアクション・ポイント・オフセットをマクロティック (MT) 単位で設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は1～31 MTです。
5-0	FLXn APO[5:0]	アクション・ポイント・オフセット ( <i>gdActionPointOffset</i> ) スタティック・スロット内およびシンボル・ウィンドウ内のアクション・ポイントのオフセットをマクロティック (MT) 単位で設定します。この値は1つのクラスタ内のすべてのノードで同じでなければなりません。有効な値は1～63 MTです。

## (17) FLXnGTUC10 - GTU 設定レジスタ 10

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00C4<sub>H</sub>

**初期値** 0002 0005<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnMRC[10:00]*										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	FLXnMOC[13:00]*													
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-50 FLXnGTUC10 レジスタの内容

ビット位置	ビット名	機能
26-16	FLXn MRC[10:00]	最大レート補正值 ( <i>pRateCorrectionOut</i> ) 内部クロック同期アルゴリズムによって適用される最大許容レート補正值をマイクロティック (μT) 単位で設定します。FlexRay コントローラは内部レート補正值のみを最大レート補正值 (絶対値) と照合します。有効な値は 2 ~ 1923μT です。
13-0	FLXn MOC[13:00]	最大オフセット補正值 ( <i>pOffsetCorrectionOut</i> ) 内部クロック同期アルゴリズムによって適用される最大許容オフセット補正值 (絶対値) をマイクロティック (μT) 単位で設定します。FlexRay コントローラは内部オフセット補正值のみを最大オフセット補正值と照合します。有効な値は 5 ~ 15266μT です。

**(18) FLXnGTUC11 - GTU 設定レジスタ 11**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 00C8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnERC[2:0]*			0	0	0	0	0	FLXnEOC[2:0]*		
R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	FLXn ERCC[1:0]		0	0	0	0	0	0	FLXn EOCC[1:0]	
R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 31-51 FLXnGTUC11 レジスタの内容

ビット位置	ビット名	機能
26-24	FLXn ERC[2:0]	外部レート補正值 ( <i>pExternRateCorrection</i> ) 内部クロック同期アルゴリズムによって適用される外部クロック・レート補正值をマイクロティック (μT) 単位で設定します。算出したレート補正值からこの値を FLXnERCC[1:0] ビットの設定に従って加算/減算した値をレート補正に使用します。この値は NIT の間に適用されます。この設定は DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。有効な値は 0 ~ 7μT です。
18-16	FLXn EOC[2:0]	外部オフセット補正值 ( <i>pExternOffsetCorrection</i> ) 内部クロック同期アルゴリズムによって適用される外部クロック・オフセット補正值をマイクロティック (μT) 単位で設定します。算出したレート補正值からこの値を FLXnEROCC[1:0] ビットの設定に従って加算/減算した値をレート補正に使用します。この値は NIT の間に適用されます。この設定は DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更できます。有効な値は 0 ~ 7μT です。
9-8	FLXn ERCC[1:0]	外部レート補正制御 ( <i>vExternRateControl</i> ) FLXnERCC[1:0] に値を書き込むことによって以下に示すように外部レート補正を有効にします。NIT の範囲外でのみ変更可能です。 00, 01 = 外部レート補正を行わない 10 = 計算されたレート補正值から外部レート補正值を減算する 11 = 計算されたレート補正值に外部レート補正值を加算する
1-0	FLXn EOCC[1:0]	外部オフセット補正制御 ( <i>vExternOffsetControl</i> ) FLXnEOCC[1:0] に値を書き込むことによって以下に示すように外部オフセット補正を有効にします。NIT の範囲外でのみ変更可能です。 00, 01 = 外部オフセット補正を行いません。 10 = 計算されたオフセット補正值から外部オフセット補正值を減算する 11 = 計算されたオフセット補正值に外部オフセット補正值を加算する

### 31.3.6 通信コントローラ・ステータス・レジスタ

eray\_bclk の周波数によっては、ステータス・ベクタの変化が速すぎるため、ホストによるステータス・ベクタのポーリングが間に合わないことがあります。

#### (1) FLXnCCSV - 通信コントローラ・ステータス・ベクタ・レジスタ

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0100<sub>H</sub>

**初期値** 0010 4000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXnPSL[5:0]						FLXnRCA[4:0]				FLXnWSV[2:0]			
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	FLXn CSI	FLXn CSAI	FLXn CSNI	0	0	FLXn SLM[1:0]		FLXn HRQ	FLXn FSI	FLXnPOCS[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-52 FLXnCCSV レジスタの内容 (1/2)

ビット位置	ビット名	機能
29-24	FLXn PSL[5:0]	POC ステータス・ログ HALT ステートに入る直前の FLXnPOCS[5:0] のステータスを示します。HALT ステートで FREEZE コマンドが発行され、FLXnFSI がまだセットされていない場合、つまり、HALT ステートへの遷移を引き起こした原因が FREEZE コマンドでない場合は、HALT 「00 0100」に設定されます。HALT ステートから抜け出すと「00 0000」にリセットされます。
23-19	FLXn RCA[4:0]	コールド・スタートの試行の残りの回数 ( <i>vRemainingColdstartAttempts</i> ) 残っているコールド・スタートの試行回数を示します。RUN コマンドを実行すると、このカウンタは FLXnSUCC1.FLXnCSA[4:0] で設定されたコールド・スタート試行回数の最大値にリセットされます。CONFIG ステートおよび DEFAULT_CONFIG ステートでの FLXnRCA[4:0] の初期値も FLXnSUCC1.FLXnCSA[4:0] になります。
18-16	FLXn WSV[2:0]	ウェイクアップ・ステータス ( <i>vPOC!WakeupStatus</i> ) 現在のウェイクアップ試行の状態を示します。CHI コマンド RESET_STATUS_INDICATORS によって、または HALT ステートから DEFAULT_CONFIG ステートへ、あるいは READY ステートから STARTUP ステートへの状態遷移によってリセットされます。 000 = UNDEFINED。ウェイクアップをまだ実行していないことを示します。 001 = RECEIVED_HEADER。WAKEUP_LISTEN ステートで、どちらかのチャネルで符号違反のないフレーム・ヘッダを受信することによってウェイクアップが終了したことを示します。 010 = RECEIVED_WUP。WAKEUP_LISTEN ステートで、設定されているウェイクアップ・チャネルで有効なウェイクアップ・パターンを受信することによってウェイクアップが終了したことを示します。 011 = COLLISION_HEADER。どちらかのチャネルで有効なヘッダを受信することによるウェイクアップ・パターン送信中の衝突を検出したため、ウェイクアップを中止したことを示します。 100 = COLLISION_WUP。設定されたウェイクアップ・チャネルで有効なウェイクアップ・パターンを受信することによるウェイクアップ・パターン送信中の衝突が検出されたため、ウェイクアップを中止したことを示します。 101 = COLLISION_UNKNOWN。有効なウェイクアップ・パターンまたは有効なフレーム・ヘッダを受信することなくウェイクアップ・タイマがタイムアウトした後、WAKEUP_DETECT ステートから抜け出すことによってウェイクアップを中止したことを示します。 110 = TRANSMITTED。ウェイクアップ・パターンの送信を正常に完了したことを示します。 111 = 予約済み
14	FLXn CSI	コールド・スタート禁止 ( <i>vColdStartInhibit</i> ) ノードがコールド・スタートの実行を禁止されていることを示します。CHI コマンド READY によって POC が READY ステートに入ると、このフラグが「1」にセットされます。また、CHI コマンド ALLOW_COLDSTART (FLXnCMD[3:0] = 「1001」) によって「0」にセットされます。 1 = ノードによるコールド・スタートが禁止されている 0 = ノードによるコールド・スタートが許可されている
13	FLXn CSAI	コールド・スタート・アボート・インジケータ コールド・スタートがアボートしたことを示します。CHI コマンド RESET_STATUS_INDICATORS によって、または HALT ステートから DEFAULT_CONFIG ステートへの状態遷移によって「0」にセットされます。
12	FLXn CSNI	コールド・スタート・ノイズ・インジケータ ( <i>vColdStartNoise</i> ) ノイズのある状態でコールド・スタートの処理が行われたことを示します。CHI コマンド RESET_STATUS_INDICATORS によって、または HALT ステートから DEFAULT_CONFIG ステートへ、あるいは READY ステートから STARTUP ステートへの状態遷移によって「0」にセットされます。

表 31-52 FLXnCCSV レジスタの内容 (2/2)

ビット位置	ビット名	機能
9-8	FLXn SLM[1:0]	スロット・モード ( <i>vPOCISlotMode</i> ) READY, WAKEUP, STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE ステートの各ステートでの POC の現在のスロット・モードを示します。デフォルトはシングルです。FLXnSUCC1.FLXnTSM の設定によっては ALL に変わります。NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートでは, CHI コマンド ALL_SLOTS によってスロット・モードはシングルから ALL_PENDING を経由して ALL に遷移します。その他すべてのステートではシングルに設定されます。 00 = シングル 01 = 予約済み 10 = ALL_PENDING 11 = ALL
7	FLXn HRQ	HALT 要求 ( <i>vPOCICHIHaltRequest</i> ) 通信サイクルの終わりで, プロトコル動作制御を停止させる要求を受け付けたことを示します。CHI コマンド RESET_STATUS_INDICATORS によって, または HALT ステートから DEFAULT_CONFIG ステートへの遷移によって, あるいは READY ステートに入ることによって「0」にセットされます。
6	FLXn FSI	フリーズ・ステータス・インジケータ ( <i>vPOCIFreeze</i> ) CHI コマンド FREEZE によって, あるいは POC の即時停止が必要なエラー状態が発生したため, POC が HALT ステートに入ったことを示します。CHI コマンド RESET_STATUS_INDICATORS によって, または HALT ステートから DEFAULT_CONFIG ステートへの遷移によって「0」にセットされます。
5-0	FLXn POCS[5:0]	プロトコル動作制御ステータス FlexRay コントローラのプロトコル動作制御 (POC) の現在の動作状態を示します。 00 0000 = DEFAULT_CONFIG ステート 00 0001 = READY ステート 00 0010 = NORMAL_ACTIVE ステート 00 0011 = NORMAL_PASSIVE ステート 00 0100 = HALT ステート 00 0101 = MONITOR_MODE ステート 00 0110...00 1110 = 予約済み 00 1111 = CONFIG ステート ウェイクアップ中の POC の現在の動作状態を示します。 01 0000 = WAKEUP_STANDBY ステート 01 0001 = WAKEUP_LISTEN ステート 01 0010 = WAKEUP_SEND ステート 01 0011 = WAKEUP_DETECT ステート 01 0100...01 1111 = 予約済み スタートアップ中の POC の現在の動作状態を示します。 10 0000 = STARTUP_PREPARE ステート 10 0001 = COLDSTART_LISTEN ステート 10 0010 = COLDSTART_COLLISION_RESOLUTION ステート 10 0011 = COLDSTART_CONSISTENCY_CHECK ステート 10 0100 = COLDSTART_GAP ステート 10 0101 = COLDSTART_JOIN ステート 10 0110 = INTEGRATION_COLDSTART_CHECK ステート 10 0111 = INTEGRATION_LISTEN ステート 10 1000 = INTEGRATION_CONSISTENCY_CHECK ステート 10 1001 = INITIALIZE_SCHEDULE ステート 10 1010 = ABORT_STARTUP ステート 10 1011 = STARTUP_SUCCESS ステート 10 1100...11 1111 = 予約済み

## (2) FLXnCCFEV - 通信コントローラ・エラー・ベクタ・レジスタ

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0104<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	FLXn PTAC[4:0]				FLXn ERRM[1:0]		0	0	FLXn CCFC[3:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

HALT ステートから DEFAULT\_CONFIG ステートへの遷移によって、あるいは READY ステートに入ることによってリセットされます。

表 31-53 FLXnCCFEV レジスタの内容

ビット位置	ビット名	機能
12-8	FLXn PTAC[4:0]	パッシブ・トゥー・アクティブ・カウント ( <i>vAllowPassiveToActive</i> ) ノードが NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへの遷移を待機している間に、どれだけ正常なレート補正とオフセット補正が実行されたかを、連続する偶数/奇数サイクル・ペアの数で示します。FLXnPTAC[4:0] が FLXnSUCC1.FLXnPATA[4:0]-1 と一致すると遷移が行われます。
7-6	FLXn ERRM[1:0]	POC エラー・モード ( <i>vPOC!ErrorMode</i> ) POC の現在のエラー・モードを示します。 00 = ACTIVE 01 = ASSIVE 10 = COMM_HALT 11 = 予約済み
3-0	FLXn CCFC[3:0]	クロック補正失敗カウンタ ( <i>vClockCorrectionFailed</i> ) クロック補正失敗カウンタは、オフセット補正失敗エラーまたはレート補正失敗エラーが発生すると、そのときの奇数通信サイクルの終わりに達した時点で 1 つインクリメントされます。オフセット補正失敗エラーまたはレート補正失敗エラーのいずれも発生しなかった場合、クロック補正失敗カウンタは奇数通信サイクルの終わりに達した時点で「0」にセットされます。クロック補正失敗カウンタは 15 で停止します。

**(3) FLXnSCV - スロット・カウンタ値レジスタ**

**アクセス** 32ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0110<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnSCCB[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnSCCA[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタはFlexRayコントローラがCONFIG状態から抜け出すか、STARTUP状態に入るとリセットされます。

表 31-54 FLXnSCV レジスタの内容

ビット位置	ビット名	機能
26-16	FLXn SCCB[10:00]	チャンネルBスロット・カウンタ ( <i>vSlotCounter[B]</i> ) チャンネルBの現在のスロット・カウンタ値。この値はFlexRayコントローラによってインクリメントされ、通信サイクルの先頭でリセットされます。有効な値は0～2047です。
10-0	FLXn SCCA[10:00]	チャンネルAスロット・カウンタ ( <i>vSlotCounter[A]</i> ) チャンネルAの現在のスロット・カウンタ値。この値はFlexRayコントローラによってインクリメントされ、通信サイクルの先頭でリセットされます。有効な値は0～2047です。



**(4) FLXnMTCCV - マクロティックおよびサイクル・カウンタ値レジスタ**

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0114<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	FLXnCCV[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	FLXnMTV[13:00]													
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

表 31-55 FLXnMTCCV レジスタの内容

ビット位置	ビット名	機能
21-16	FLXn CCV[5:0]	サイクル・カウンタ値 ( <i>vCycleCounter</i> ) 現在のサイクル・カウンタ値を示します。この値は通信サイクルの先頭で FlexRay コントローラによってインクリメントされます。有効な値は 0 ~ 63 です。
13-0	FLXn MTV[13:0]	マクロティック値 ( <i>vMacroTick</i> ) 現在のマクロティック値を示します。この値は FlexRay コントローラによってインクリメントされ、通信サイクルの先頭でリセットされます。有効な値は 0 ~ 15999 です。

## (5) FLXnRCV - レート補正值レジスタ

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0118<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	FLXnRCV[11:00]											
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

表 31-56 FLXnRCV レジスタの内容

ビット位置	ビット名	機能
11-0	FLXn RCV[11:00]	レート補正值 ( <i>vRateCorrection</i> ) レート補正值 (2 の補数) を示します。この値は、しきい値超え処理を行う前の内部レート補正值です。FLXnRCV の値が FLXnGTUC010.FLXnMRC[10:00] で定義されているしきい値を超えると、FLXnSFS.FLXnRCLR フラグが「1」にセットされます。

**(6) FLXnOCV - オフセット補正值レジスタ**

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 011C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	FLXnOCV[18:16]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnOCV[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

表 31-57 FLXnOCV レジスタの内容

ビット位置	ビット名	機能
18-0	FLXnOCV[18:00]	オフセット補正值 ( <i>vOffsetCorrection</i> ) オフセット補正值 (2 の補数) を示します。この値は、しきい値超え処理を行う前の内部オフセット補正值です。FLXnOCV の値が FLXnGTUC010.FLXnMOC[13:00] で定義されているしきい値を超えると、FLXnSFS.FLXnOCLR フラグが「1」にセットされます。

**備考** 外部レート/オフセット補正值はしきい値超え処理後のレート/オフセット補正值に加算または減算されます。

## (7) FLXnSFS - sync フレーム・ステータス・レジスタ

1つの通信サイクル内の有効な sync フレームの最大数は 15 です。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0120<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	FLXn RCLR	FLXn MRCS	FLXn OCLR	FLXn MOCS
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnVSBO[3:0]				FLXnVSBE[3:0]				FLXnVSAO[3:0]				FLXnVSAE[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

表 31-58 FLXnSFS レジスタの内容 (1/2)

ビット位置	ビット名	機能
19	FLXn RCLR	レート補正限界到達フラグ レート補正値が FLXnGTUC10.FLXnMRC[10:00] で設定したしきい値を越えたことを示します。このフラグはオフセット補正フェーズの先頭で FlexRay コントローラによって更新されます。 1 = レート補正値が限界値に到達 0 = レート補正値が限界値未満
18	FLXn MRCS	レート補正信号消失フラグ 偶数/奇数 sync フレームのペアを受信していないため、レート補正の計算が不可能であることを示します。このフラグはオフセット補正フェーズの先頭で FlexRay コントローラによって更新されます。 1 = レート補正信号が消失 0 = レート補正信号が有効
17	FLXn OCLR	オフセット補正限界到達フラグ オフセット補正値が FLXnGTUC10.FLXnMOC[13:00] で設定したしきい値を越えたことを示します。このフラグはオフセット補正フェーズの先頭で FlexRay コントローラによって更新されます。 1 = オフセット補正値が限界値に到達 0 = オフセット補正値が限界値未満
16	FLXn MOCS	オフセット補正信号消失フラグ sync フレームを受信していないため、オフセット補正の計算が不可能であることを示します。このフラグはオフセット補正フェーズの先頭で FlexRay コントローラによって更新されます。 1 = オフセット補正信号が消失 0 = オフセット補正信号が有効
15-12	FLXn VSBO[3:0]	チャンネル B の奇数通信サイクルにおける有効な sync フレーム数 奇数通信サイクル中にチャンネル B で受信した有効な sync フレームの数を示します。FLXnSUCC1.FLXnTXSY によって sync フレームの送信が許可されているなら、この値はさらに 1 加算されます。この値は各奇数通信サイクルの NIT の間に更新されます。

表 31-58 FLXnSFS レジスタの内容 (2/2)

ビット位置	ビット名	機能
11-8	FLXn VSBE[3:0]	チャンネル B 偶数通信サイクルにおける有効な sync フレーム数 偶数通信サイクル中にチャンネル B で受信した有効な sync フレームの数を示します。FLXnSUCC1.FLXnTXSY によって sync フレームの送信が許可されているなら、この値はさらに 1 加算されます。この値は各奇数通信サイクルの NIT の間に更新されます。
7-4	FLXn VSAO[3:0]	チャンネル A 奇数通信サイクルにおける有効な sync フレーム数 奇数通信サイクル中にチャンネル A で受信した有効な sync フレームの数を示します。FLXnSUCC1.FLXnTXSY によって sync フレームの送信が許可されているなら、この値はさらに 1 加算されます。この値は各奇数通信サイクルの NIT の間に更新されます。
3-0	FLXn VSAE[3:0]	チャンネル A 偶数通信サイクルにおける有効な sync フレーム数 偶数通信サイクル中にチャンネル A で受信した有効な sync フレームの数を示します。FLXnSUCC1.FLXnTXSY によって sync フレームの送信が許可されているなら、この値はさらに 1 加算されます。この値は各奇数通信サイクルの NIT の間に更新されます。

**備考** FLXnVSAE[3:0] ビット, FLXnVSAO[3:0] ビット, FLXnVSBE[3:0] ビット, FLXnVSBO[3:0] ビットは、それぞれのビットに対応するチャンネルが FLXnSUCC1.FLXnCCHA または FLXnSUCC1.FLXnCCHB によって有効に設定されている場合のみ有効です。

**(8) FLXnSWNIT - シンボル・ウィンドウおよび NIT ステータス・レジスタ**

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0124<sub>H</sub>

**初期値** 000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	FLXn SWNIT SBNB	FLXn SWNIT SENB	FLXn SWNIT SBNA	FLXn SWNIT SENA	FLXn SWNIT MTSB	FLXn SWNIT MTSA	FLXn SWNIT TCSB	FLXn SWNIT SBSB	FLXn SWNIT SESB	FLXn SWNIT TCSA	FLXn SWNIT SBSA	FLXn SWNIT SESA
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

シンボル・ウィンドウに関連するステータス情報について、各チャンネルのシンボル・ウィンドウの終わりに FlexRay コントローラによって更新されます。スタートアップ中、ステータス・データは更新されません。本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

表 31-59 FLXnSWNIT レジスタの内容 (1/2)

ビット位置	ビット名	機能
11	FLXn SWNIT SBNB	チャンネル B の NIT におけるスロット境界違反 (vSS!BViolationB) 1 = チャンネル B で NIT の間にスロット境界違反が検出された 0 = スロット境界違反が検出されていない
10	FLXn SWNIT SENB	チャンネル B の NIT におけるシンタックス・エラー (vSS!SyntaxErrorB) 1 = チャンネル B で NIT の間にシンタックス・エラーが検出された 0 = シンタックス・エラーが検出されていない
9	FLXn SWNIT SBNA	チャンネル A の NIT におけるスロット境界違反 (vSS!BViolationA) 1 = チャンネル A で NIT の間にスロット境界違反が検出された 0 = スロット境界違反が検出されていない
8	FLXn SWNIT SENA	チャンネル A の NIT におけるシンタックス・エラー (vSS!SyntaxErrorA) 1 = チャンネル A で NIT の間にシンタックス・エラーが検出された 0 = シンタックス・エラーが検出されていない
7	FLXn SWNIT MTSB	チャンネル B の MTS 受信 (vSS!ValidMTSB) チャンネル B において最後のシンボル・ウィンドウでメディア・アクセス・テスト・シンボル (MTS) を受信したことを示します。シンボル・ウィンドウの終わりで FlexRay コントローラが更新します。このビットが「1」にセットされると、割り込みフラグ FLXnSIR.FLXnMTSFB も「1」にセットされます。 1 = チャンネル B で MTS シンボルを受信した 0 = チャンネル B で MTS シンボルを受信していない
6	FLXn SWNIT MTSA	チャンネル A の MTS 受信 (vSS!ValidMTSA) チャンネル A において最後のシンボル・ウィンドウでメディア・アクセス・テスト・シンボル (MTS) を受信したことを示します。シンボル・ウィンドウの終わりで FlexRay コントローラが更新します。このビットが「1」にセットされると、割り込みフラグ FLXnSIR.FLXnMTSAF も「1」にセットされます。 1 = チャンネル A で MTS シンボルを受信した 0 = チャンネル A で MTS シンボルを受信していない
5	FLXn SWNIT TCSB	チャンネル B のシンボル・ウィンドウにおける送信競合 (vSS!TxConflictB) 1 = チャンネル B のシンボル・ウィンドウ期間に送信競合を検出 0 = 送信競合が検出されていない

表 31-59 FLXnSWNIT レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	FLXn SWNIT SBSB	チャンネル B のシンボル・ウインドウにおけるスロット境界違反 (vSS!BViolationB) 1 = チャンネル B のシンボル・ウインドウ期間にスロット境界違反を検出 0 = スロット境界違反が検出されていない
3	FLXn SWNIT SESB	チャンネル B のシンボル・ウインドウにおけるシンタックス・エラー (vSS!SyntaxErrorB) 1 = チャンネル B のシンボル・ウインドウ期間にシンタックス・エラーを検出 0 = シンタックス・エラーが検出されていない
2	FLXn SWNIT TCSA	チャンネル A のシンボル・ウインドウにおける送信競合 (vSS!TxConflictA) 1 = チャンネル A のシンボル・ウインドウ期間に送信競合を検出 0 = 送信競合が検出されていない
1	FLXn SWNIT SBSA	チャンネル A のシンボル・ウインドウにおけるスロット境界違反 (vSS!BViolationA) 1 = チャンネル A のシンボル・ウインドウ期間にスロット境界違反を検出 0 = スロット境界違反が検出されていない
0	FLXn SWNIT SESA	チャンネル A のシンボル・ウインドウにおけるシンタックス・エラー (vSS!SyntaxErrorA) 1 = チャンネル A のシンボル・ウインドウ期間にシンタックス・エラーを検出 0 = シンタックス・エラーが検出されていない

**備考** FLXnSWNITSENA ビット, FLXnSWNITSBNA ビット, FLXnSWNITSENB ビット, FLXnSWNITSBNB ビットは, NIT に関連するステータス情報を示します。これらのビットは各チャンネルの NIT の終わりで FlexRay コントローラによって更新されます。

## (9) FLXnACS - 総合チャンネル・ステータス・レジスタ

総合チャンネル・ステータスは、通信スロットが送信または受信のどちらかに割り当てられているかに関係なく、すべての通信スロットにおける各チャンネルのステータス情報を集積します。総合チャンネル・ステータスには、シンボル・ウィンドウと NIT 期間で収集されたステータス・データも含まれます。ステータス・データはスロットごとに更新（設定）され、ホストによってリセットされるまで保持します。スタートアップ中、ステータス・データは更新されません。各フラグは対応するビット位置に「1」を書き込むことによってクリアされます。「0」を書き込んででもフラグは変わりません。本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0128<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

## (a) FLXnACS の読み出し値

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	FLXn SBVBE	FLXn CIBE	FLXn CEDBE	FLXn SEDBE	FLXn VFRBF
7	6	5	4	3	2	1	0
0	0	0	FLXn SBVAE	FLXn CIAE	FLXn CEDAE	FLXn SEDAE	FLXn VFRAF

表 31-60 FLXnACS 読み出しレジスタの内容 (1/2)

ビット位置	ビット名	機能
12	FLXn SBVBE	チャンネル B におけるスロット境界違反 (vSS!BViolationB) モニタ期間中（シンボル・ウィンドウと NIT を含むスタティック・スロットまたはダイナミック・スロット）のいずれかの時点で 1 つ以上のスロット境界違反がチャンネル B で検出されたことを示します。 1 = チャンネル B で 1 つ以上のスロット境界違反が検出された 0 = スロット境界違反は検出されていない
11	FLXn CIBE	チャンネル B の通信インジケータ チャンネル B において、モニタ期間中に 1 つ以上の正常なフレームを受信し、さらにそのスロット内で別の通信も受信した場合、つまり、1 つ以上のスロットで有効なフレームを受信し、かつ、そのスロットでシンタックス・エラーまたはコンテンツ・エラーまたはスロット境界違反のいずれかの組み合わせが発生したことを示します。 1 = 別の通信を含むチャンネル B のスロットで正常なフレームを受信した 0 = 別の通信を含むチャンネル B のスロットで正常なフレームを受信していない
10	FLXn CEDBE	チャンネル B でコンテンツ・エラー検出 (vSS!ContentErrorB) モニタ期間中にチャンネル B のスタティック・スロットまたはダイナミック・スロットでコンテンツ・エラーのある 1 つ以上のフレームを受信したことを示します。 1 = チャンネル B でコンテンツ・エラーのある 1 つ以上のフレームを受信した 0 = コンテンツ・エラーのあるフレームを受信していない



表 31-60 FLXnACS 読み出しレジスタの内容 (2/2)

ビット位置	ビット名	機能
9	FLXn SEDBE	チャンネル B でシンタックス・エラー検出 (vSSI/SyntaxErrorB) チャンネル B のシンボル・ウィンドウと NIT を含むスタティック・スロットまたはダイナミック・スロットで 1 つ以上のシンタックス・エラーが検出されたことを示します。 1 = チャンネル B で 1 つ以上のシンタックス・エラーが検出されてた 0 = シンタックス・エラーは検出されていない
8	FLXn VFRBF	チャンネル B で有効フレーム受信 (vSSI/ValidFrameB) モニタ期間中にチャンネル B のスタティック・スロットまたはダイナミック・スロットで 1 つ以上の有効なフレームを受信したことを示します。 1 = チャンネル B で 1 つ以上の有効なフレームを受信した 0 = 有効なフレームを受信していない
4	FLXn SBVAE	チャンネル A におけるスロット境界違反 (vSSI/BViolationA) モニタ期間中 (シンボル・ウィンドウと NIT を含むスタティック・スロットまたはダイナミック・スロット) のいずれかの時点で 1 つ以上のスロット境界違反がチャンネル A で検出されたことを示します。 1 = チャンネル A で 1 つ以上のスロット境界違反が検出された 0 = スロット境界違反は検出されていない
3	FLXn CIAE	チャンネル A の通信インジケータ チャンネル A において、モニタ期間中に 1 つ以上の正常なフレームを受信し、さらにそのスロット内で別の通信も受信した場合、つまり、1 つ以上のスロットで有効なフレームを受信し、かつ、そのスロットでシンタックス・エラーまたはコンテンツ・エラーまたはスロット境界違反のいずれかの組み合わせが発生したことを示します。 1 = 別の通信を含むチャンネル A のスロットで正常なフレームを受信した 0 = 別の通信を含むチャンネル A のスロットで正常なフレームを受信していない
2	FLXn CEDAE	チャンネル A でコンテンツ・エラー検出 (vSSI/ContentErrorA) モニタ期間中にチャンネル A のスタティック・スロットまたはダイナミック・スロットでコンテンツ・エラーのある 1 つ以上のフレームを受信したことを示します。 1 = チャンネル A でコンテンツ・エラーのある 1 つ以上のフレームを受信した 0 = コンテンツ・エラーのあるフレームを受信していない
1	FLXn SEDAE	チャンネル A でシンタックス・エラー検出 (vSSI/SyntaxErrorA) チャンネル A のシンボル・ウィンドウと NIT を含むスタティック・スロットまたはダイナミック・スロットで 1 つ以上のシンタックス・エラーが検出されたことを示します。 1 = チャンネル A で 1 つ以上のシンタックス・エラーが検出されてた 0 = シンタックス・エラーは検出されていない
0	FLXn VFRAF	チャンネル A で有効フレーム受信 (vSSI/ValidFrameA) モニタ期間中にチャンネル A のスタティック・スロットまたはダイナミック・スロットで 1 つ以上の有効なフレームを受信したことを示します。 1 = チャンネル A で 1 つ以上の有効なフレームを受信した 0 = 有効なフレームを受信していない

**備考** スロット内に 1 つしかフレームが存在しなくても、フレームのチャンネル・アイドル認識フェーズ中にスロット境界に達した場合は、FLXnCIAE フラグと FLXnCIBE フラグはセットされます。

FLXnSEDBE フラグ、FLXnCEDBE フラグ、FLXnCIBE フラグまたは FLXnSBVBE フラグのいずれかが「0」から「1」に変化すると、割り込みフラグ FLXnEIR.FLXnEDBE が「1」にセットされます。FLXnSEDAE フラグ、FLXnCEDAE フラグ、FLXnCIAE フラグまたは FLXnSBVAE フラグのいずれかが「0」から「1」に変化すると、割り込みフラグ FLXnEIR.FLXnEDAE が「1」にセットされます。

## (b) FLXnACS の書き込み値

31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
			FLXn CLSBVB	FLXn CLCIB	FLXn CLCEDB	FLXn CLSEDB	FLXn CLVFRB
7	6	5	4	3	2	1	0
			FLXn CLSBVA	FLXn CLCIA	FLXn CLCEDA	FLXn CLSEDA	FLXn CLVFRA

表 31-61 FLXnACS 書き込みレジスタの内容

ビット位置	ビット名	機能
31-0	上記を参照してください。	それぞれのビットに対応する表 31-60 「FLXnACS 読み出しレジスタの内容」に記載されているフラグをクリアします。 1 = ビットに対応するフラグをクリアする 0 = 何も実行しない

備考 ビット 31 ~ 13, ビット 7 ~ 5 への書き込みは無視されます。

## (10) FLXnESIDm - 偶数 sync ID レジスタ (m = 01 ~ 15)

FLXnESID01 ~ FLXnESID15 レジスタには、偶数通信サイクルで受信された、クロック同期に使われる最大 gSyncNodeMax 個の sync フレームのフレーム ID が格納されます。値は昇順に並べ替えられ、FLXnESID01 レジスタに最小の受信 sync フレーム ID が格納されます。ノード自身が偶数通信サイクルで sync フレームを送信する場合、FLXnESID01 にはメッセージ・バッファ 0 で設定された sync フレーム ID が格納され、FLXnRXEA フラグと FLXnRXEB フラグがセットされます。この値は各偶数通信サイクルの NIT 期間で更新されます。本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0130<sub>H</sub> ~ <FLXn\_base> + 0168<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn RXEB	FLXn RXEA	0	0	0	0	FLXn EIDm[9:0]									
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-62 FLXnESID レジスタの内容

ビット位置	ビット名	機能
15	FLXn RXEB	チャンネル B の偶数サイクルで sync フレームを受信/送信 チャンネル B の偶数サイクルで sync フレームを受信したこと、またはノードが キー・スロット = FLXnEIDm[9:0] を持つ sync ノードになるように設定されている こと (FLXnESID01 の場合のみ) を示します。 1 = チャンネル B で sync フレームを受信しているか、ノードが sync フレームを 送信するように設定されている 0 = チャンネル B で sync フレームを受信していないか、ノードが sync フレーム を送信するように設定されていない
14	FLXn RXEA	チャンネル A の偶数サイクルで sync フレームを受信/送信 チャンネル A の偶数サイクルで sync フレームを受信したこと、またはノードが キー・スロット = FLXnEIDm[9:0] を持つ sync ノードになるように設定されている こと (FLXnESID01 の場合のみ) を示します。 1 = チャンネル A で sync フレームを受信しているか、ノードが sync フレームを 送信するように設定されている 0 = チャンネル A で sync フレームを受信していないか、ノードが sync フレーム を送信するように設定されていない
9-0	FLXn EIDm[9:0]	偶数サイクルの sync フレーム ID (vsSyncIDListA,B even) 偶数通信サイクルの sync フレーム ID

## (11) FLXnOSIDm - 奇数 sync ID レジスタ (m = 01 ~ 15)

FROSID1 ~ FROSID15 レジスタには、奇数通信サイクルで受信されたクロック同期に使われる最大 gSyncNodeMax 個の sync フレームのフレーム ID が格納されます。値は昇順に並べ替えられ、FLXnOSID01 レジスタに最小の受信 sync フレーム ID が格納されます。ノード自体が奇数通信サイクルで sync フレームを送信する場合、FLXnOSID01 にはメッセージ・バッファ 0 で設定された sync フレーム ID が格納され、FLXnRXOA フラグと FLXnRXOB フラグがセットされます。この値は各奇数通信サイクルの NIT 期間で更新されます。本レジスタは FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0170<sub>H</sub> ~ <FLXn\_base> + 01A8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn RXOB	FLXn RXOA	0	0	0	0	FLXnOIDm[9:0]									
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-63 FLXnOSIDm レジスタの内容

ビット位置	ビット名	機能
15	FLXn RXOB	チャンネル B の奇数サイクルで sync フレームを受信/送信 チャンネル B の奇数サイクルで sync フレームを受信したこと、またはノードが キー・スロット = FLXnEIDm[9:0] を持つ sync ノードになるように設定されている こと (FLXnESID01 の場合のみ) を示します。 1 = チャンネル B で sync フレームを受信しているか、ノードが sync フレームを 送信するように設定されている 0 = チャンネル B で sync フレームを受信していないか、ノードが sync フレーム を送信するように設定されていない
14	FLXn RXOA	チャンネル A の奇数サイクルで sync フレームを受信/送信 チャンネル A の奇数サイクルで sync フレームを受信したこと、またはノードが キー・スロット = FLXnEIDm[9:0] を持つ sync ノードになるように設定されている こと (FLXnESID01 の場合のみ) を示します。 1 = チャンネル A で sync フレームを受信しているか、ノードが sync フレームを 送信するように設定されている 0 = チャンネル A で sync フレームを受信していないか、ノードが sync フレーム を送信するように設定されていない
9-0	FLXn OIDm[9:0]	奇数サイクルの sync フレーム ID (vsSyncIDListA,B odd) 奇数通信サイクルの sync フレーム ID

**(12) FLXnNMVm - ネットワーク管理ベクタ・レジスタ (m = 1 ~ 3)**

3つのネットワーク管理レジスタに累積 NM ベクタ (0 ~ 12 バイト) が格納されます。FlexRay コントローラが各チャンネルで受信したすべての NM ベクタ (FLXnRHPPI = 1 に設定された有効なスタティック・フレーム) に対してビット単位の OR をとることによって累積 NM ベクタが生成されます (31.4.6 「ネットワーク管理」を参照してください)。

FlexRay コントローラは NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートである場合、各通信サイクルの終わりで NM ベクタを更新します。

設定されている NM ベクタ長を超える FLXnNMVm のバイトは無効です。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 01B0<sub>H</sub> ~ <FLXn\_base> + 01B8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnNMm[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnNMm[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

以下の表は、どのデータ・バイトがどのネットワーク管理ベクタに割り当てられているかを示しています。

表 31-64 ネットワーク管理ベクタへのデータ・バイトの割り当て

ビットワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnNMV1	データ 3							データ 2								
FLXnNMV2	データ 7							データ 6								
FLXnNMV3	データ 11							データ 10								

ビットワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnNMV1	データ 1							データ 0								
FLXnNMV2	データ 5							データ 4								
FLXnNMV3	データ 9							データ 8								

### 31.3.7 メッセージ・バッファ制御レジスタ

#### (1) FLXnMRC - メッセージ RAM 設定レジスタ

メッセージ RAM 設定レジスタでは、スタティック・セグメント、ダイナミック・セグメント、FIFO に割り当てられるメッセージ・バッファの数を指定します。このレジスタは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0300<sub>H</sub>

**初期値** 0180 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXn SPLM*	FLXn SEC[1:0]*	FLXnLCB[7:0]*								
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnFFB[7:0]*							FLXnFDB[7:0]*								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-65 FLXnMRC レジスタの内容 (1/2)

ビット位置	ビット名	機能
26	FLXn SPLM	sync フレーム・ペイロードのマルチプレクス設定 ノードが sync ノードとして設定されているか (FLXnSUCC1.FLXnTXSY = 1)、シングル・スロット・モードで動作するように設定されている (FLXnSUCC1.FLXnTSM = 1) ときのみ参照されます。このビットが「1」にセットされていると、メッセージ・バッファ 0 とメッセージ・バッファ 1 は、異なるペイロード・データを持つ sync フレームをチャンネル A とチャンネル B で送信します。このビットが「0」に設定されている場合は、メッセージ・バッファ 0 から同じペイロード・データを持つ sync フレームが両方のチャンネルで送信されます。このビットの設定に従って、メッセージ・バッファ 0 またはメッセージ・バッファ 1 のチャンネル・フィルタの設定で、それぞれのチャンネルを選択する必要があります。ご注意ください。 1 = メッセージ・バッファ 0 とメッセージ・バッファ 1 の再設定をロックする 0 = メッセージ・バッファ 0 のみの再設定をロックする
25-24	FLXn SEC[1:0]	バッファの安全化設定 FlexRay コントローラが DEFAULT_CONFIG ステートまたは CONFIG ステートにあるときは参照されません。 00 = 番号が FLXnFFB 未満のメッセージ・バッファの再設定を許可する。例外として、sync フレーム送信用に設定されているノードまたはシングル・スロット・モードで動作するように設定されているノードでは、メッセージ・バッファ 0 が (FLXnSPLM = 1 であればメッセージ・バッファ 1 も) 常にロックされる 01 = 番号が FLXnFDB 未満および FLXnFFB 以上のメッセージ・バッファの再設定をロックし、番号が FLXnFDB 以上のスタティック・セグメント用のメッセージ・バッファの送信を無効にする 10 = すべてのメッセージ・バッファの再設定をロックする 11 = すべてのメッセージ・バッファの再設定をロックし、番号が FLXnFDBR 以上のスタティック・セグメント用のメッセージ・バッファの送信を無効にする

表 31-65 FLXnMRC レジスタの内容 (2/2)

ビット位置	ビット名	機能
23-16	FLXnLCB[7:0]	バッファの最後尾設定 0 ~ 127 = メッセージ・バッファの数が FLXnLCB + 1 である 128 = メッセージ・バッファが設定されていない
15-8	FLXnFFB[7:0]	FIFO 用バッファの先頭設定 0 = すべてのメッセージ・バッファを FIFO に割り当てる 1 ~ 127 = FLXnFFB から FLXnLCB のメッセージ・バッファを FIFO に割り当てる 128 = メッセージ・バッファを FIFO に割り当てない
7-0	FLXnFDB[7:0]	ダイナミック・バッファの先頭設定 0 = いずれのメッセージ・バッファのグループもスタティック・セグメント専用を設定しない 1 ~ 127 = 0 から FLXnFDB - 1 までのメッセージ・バッファをスタティック・セグメント用に予約する 128 = ダイナミック・メッセージ・バッファを設定しない

**備考** ノードが sync ノード (FLXnSUCC1.FLXnTXSY = 1) またはシングル・ショット・モード動作のノード (FLXnSUCC1.FLXnTSM = 1) として設定されている場合、メッセージ・バッファ 0 およびメッセージ・バッファ 1 は sync フレームまたはシングル・スロット・フレームの送信用として予約されます。これらのメッセージ・バッファにはノード固有のキー・スロット ID を設定する必要があります。ノードが sync ノードとしてもシングル・スロット・モードで動作するようにも設定されていない場合、メッセージ・バッファ 0 とメッセージ・バッファ 1 はその他のメッセージ・バッファと同じように扱われます。

メッセージ・バッファ 0	←スタティック・バッファ	
メッセージ・バッファ 1		
...		
	←スタティック + ダイナミック・バッファ	← FLXnFDB
	← FIFO	← FLXnFFB
メッセージ・バッファ N-1		
メッセージ・バッファ N		← FLXnLCB

FIFO が設定されている :  
FLXnFFB > FLXnFDB

FIFO が設定されていない :  
FLXnFFB ≥ 128

FLXnLCB ≥ FLXnFDB ,  
FLXnLCB ≥ FLXnFFB

FLXnFDB[7:0], FLXnFFB[7:0], FLXnLCB[7:0] で指定されている設定が有効かどうかをユーザが事前に確認する必要があります。FlexRay コントローラはこれらの設定が誤っているかどうかをチェックしません。

**備考** ヘッダ・セクションの最大数は 128 です。つまり、最大 128 個のメッセージ・バッファを設定できます。データ・セクションの最大長は 254 バイトです。データ・セクションはメッセージ・バッファごとに異なる長さに設定できます。サイクル・フィルタリングを利用して複数のメッセージ・バッファをスロット 1 に割り当てる場合、それらのメッセージ・バッファは「スタティック・バッファ・セクション」または「スタティック・バッファ + ダイナミック・バッファ・セクションの先頭」に位置する必要があります。

FlexRay プロトコル仕様では、各ノードが自分のキー・スロットでフレームを送信するように規定されています。したがって、少なくともメッセージ・バッファ 0 はキー・スロットでの送信用として予約済みになります。この要件があるため、FIFO に割り当てることができるメッセージ・バッファの最大数は 127 個です。ただし、スタティック・セグメント内の送信スロットを使わないというプロトコルに準拠しない設定でも動作します。

FIFO に属するメッセージ・バッファの設定について、ペイロード長とデータ・セクション長は、FLXnWRHS2.FLXnWHPLC[6:0] と FLXnWRHS3.FLXnWHDP[10:00] を使って、すべて同じ値に設定する必要があります。FlexRay コントローラが DEFAULT\_CONFIG ステートまたは CONFIG ステートにない場合、FIFO に属するメッセージ・バッファの再設定はロックされます。



## (2) FLXnFRF - FIFO リジェクション・フィルタ・レジスタ

FIFO リジェクション・フィルタは、比較対象となる受信フレームのチャンネル、フレーム ID、サイクル・カウントを設定します。このレジスタと FIFO リジェクション・フィルタ・マスク・レジスタとの組み合わせによって、受信フレームのメッセージが FIFO によってリジェクト（拒否）されるかが決まります。FLXnFRF レジスタは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ書き込み可能です。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <FLXn\_base> + 0304<sub>H</sub>

**初期値** 0180 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	FLXn RNF*	FLXn RSS*	FLXnCYF[6:0]*						
R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	FLXnFID[10:00]*										FLXnCH[1:0]*		
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-66 FLXnFRF レジスタの内容 (1/2)

ビット位置	ビット名	機能
24	FLXn RNF	Null フレームのリジェクト設定 このビットがセットされていると、受信 Null フレームは FIFO に格納されません。 1 = すべての Null フレームを拒否する 0 = Null フレームを FIFO に格納する
23	FLXn RSS	スタティック・セグメントのリジェクト設定 このビットがセットされていると、FIFO はダイナミック・セグメントのみに使用されます。 1 = スタティック・セグメント内のメッセージを拒否する 0 = FIFO をスタティック・セグメントでも使用する

表 31-66 FLXnFRF レジスタの内容 (2/2)

ビット位置	ビット名	機能
22-16	FLXn CYF[6:0]	サイクル・カウンタのフィルタ設定 フレーム ID とチャンネルのリジェクション・フィルタを適用するサイクル・セットを設定します。FLXnCYF[6:0] で指定されたサイクル・セットに属さないサイクルでは、すべてのフレームが拒否されます。サイクル・カウンタ・フィルタの設定の詳細については、(2)「サイクル・カウンタ・フィルタリング」を参照してください。
12-2	FLXn FID[10:00]	フレーム ID フィルタ設定 FIFO によって拒否されるフレーム ID を決定します。さらに FLXnFRFM レジスタを設定することによって、フレーム ID の特定のビットを無視して判定させることができます。FLXnFRFM.FLXnMFID[10:00] がゼロのとき、フレーム ID フィルタ値はゼロとなり、拒否されるフレーム ID がないことを示します。 0 ~ 2047 = フレーム ID フィルタ値
1-0	FLXn CH[1:0]	チャンネル・フィルタ設定 11 = 受信しない 10 = チャンネル A でのみ受信する 01 = チャンネル B でのみ受信する 00 = 両方のチャンネルで受信しない  備考 両方のチャンネルで受信するように設定されている場合は、スタティック・セグメントでも、たとえ両方のフレーム（チャンネル A およびチャンネル B で受信したフレーム）が同じであっても、常に両方のフレームが FIFO に格納されます。

**(3) FLXnFRFM - FIFO リジェクション・フィルタ・マスク・レジスタ**

FIFO リジェクション・フィルタ・マスクでは、FLXnFRF のどのビットがリジェクション・フィルタリングの対象になるかを指定します。ビットがセットされると、セットされたビットに対応する FLXnFRF レジスタのビットは、FIFO がメッセージを拒否するかどうかの決定に影響を及ぼさなくなります。FLXnFRFM は DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0308<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	FLXnMFID[10:00]*										0	0	
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 31-67 FLXnFRFM レジスタの内容

ビット位置	ビット名	機能
12-2	FLXn MFID[10:00]	フレーム ID フィルタのマスク 1 = 対応するフレーム ID フィルタ・ビットが無視される 0 = 対応するフレーム ID フィルタ・ビットが無視されない

**(4) FLXnFCL - FIFO 限界レベル**

FlexRay コントローラは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ本レジスタの変更を受け付けます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 030C<sub>H</sub>

**初期値** 0000 0080<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	FLXnCL[7:0]*							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-68 FLXnFCL レジスタの内容

ビット位置	ビット名	機能
7-0	FLXnCL[7:0]	限界レベル 受信 FIFO 充填レベル FLXnFSR.FLXnRFFL[7:0] が FLXnCL[7:0] で設定された限界レベル以上になると、受信 FIFO 限界レベル・フラグ FLXnFSR.FLXnRFCL がセットされます。FLXnCL[7:0] が 128 を超える値に設定されていると、FLXnFSR.FLXnRFCL はセットされません。FLXnFSR.FLXnRFCL が「0」から「1」へ変化すると、FLXnSIR.FLXnRFCLF ビットが「1」にセットされ、割り込みが許可されていれば、割り込みが生成されます。

### 31.3.8 メッセージ・バッファ・ステータス・レジスタ

#### (1) FLXnMHDS - メッセージ・ハンドラ・ステータス・レジスタ

各フラグに対応するビット位置に「1」を書き込むことによってクリアされます。「0」を書き込んでフラグは変わりません。本レジスタは、リセットまたは CHI コマンド CLEAR\_RAMs によってもクリアされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0310<sub>H</sub>

**初期値** 0000 0080<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

#### (a) FLXnMHDS の読み出し値

31	30	29	28	27	26	25	24
0	FLXnMBU[6:0]						
23	22	21	20	19	18	17	16
0	FLXnMBT[6:0]						
15	14	13	12	11	10	9	8
0	FLXnFMB[6:0]						
7	6	5	4	3	2	1	0
FLXn CRAM	FLXn MFMBE	FLXn FMBDE	FLXn DTBFBE	FLXn DTBFAE	FLXn DMRE	FLXn DOBFE	FLXn DIBFE

表 31-69 FLXnMHDS 読み出しレジスタの内容 (1/2)

ビット位置	ビット名	機能
30-24	FLXn MBU[6:0]	更新済みメッセージ・バッファの番号 FlexRay コントローラによって最後に更新されたメッセージ・バッファの番号を示します。そのメッセージ・バッファに対応する FLXnNDAT1/2/3/4 レジスタの ND フラグまたは FLXnMBSC1/2/3/4 レジスタの MBC フラグ、あるいはその両方もセットされます。
22-16	FLXn MBT[6:0]	送信済みメッセージ・バッファの番号 正常に送信された最後のメッセージ・バッファの番号を示します。メッセージ・バッファがシングル・ショット・モード用に設定されている場合は、送信要求レジスタ 1, 2, 3, 4 の対応する FLXnTXR フラグがリセットされます。
14-8	FLXn FMB[6:0]	障害メッセージ・バッファの番号 FLXnFMB[6:0] によって参照されているメッセージ・バッファの読み出し中または入力バッファ/トランジェント・バッファ A, B からメッセージ・バッファへの転送中に 2 ビット・エラーが発生したことを示します。この値は、FLXnDIBFE フラグ、FLXnDMRE フラグ、FLXnDTBFAE フラグまたは FLXnDTBFBE フラグのいずれかと、FLXnFMBDE フラグがセットされているときにのみ有効です。FLXnFMBDE フラグがセットされている間は更新されません。
7	FLXn CRAM	内部 RAM のクリア・コマンド実行中フラグ CHI コマンド CLEAR_RAMs が現在実行されていることを知らせます（全内部 RAM ブロックの全ビットに「0」が書き込まれます）。リセットまたは CLEAR_RAMs コマンドの実行による内部 RAM ブロックの初期化中、本ビットは 1 になり、その後この初期化が完了する 2048 eray_bclk サイクル後に本ビットは 0 になります。 1 = CHI コマンド CLEAR_RAMs が現在実行されている 0 = CHI コマンド CLEAR_RAMs が実行されていない

表 31-69 FLXnMHDS 読み出しレジスタの内容 (2/2)

ビット位置	ビット名	機能
6	FLXn MFMBE	複数のメッセージ・バッファで障害検出 1 = FLXnFMBDE フラグがセットされている間に別のメッセージ・バッファで障害が検出された 0 = 別のメッセージ・バッファで障害が検出されていない
5	FLXn FMBDE	メッセージ・バッファで障害検出 1 = FLXnFMB[6:0] によって参照されているメッセージ・バッファに ECC 2 ビット・エラーに起因する不正なデータが格納されている 0 = メッセージ・バッファで障害は検出されていない
4	FLXn DTBFBE	トランジェント・バッファ RAM B における 2 ビット・エラー検出フラグ 1 = トランジェント・バッファ RAM B の読み出し中に 2 ビット・エラーが発生した 0 = 2 ビット・エラーは発生していない
3	FLXn DTBFAE	トランジェント・バッファ RAM A における 2 ビット・エラー検出フラグ 1 = トランジェント・バッファ RAM A の読み出し中に 2 ビット・エラーが発生した 0 = 2 ビット・エラーは発生していない
2	FLXn DMRE	メッセージ RAM における 2 ビット・エラー検出フラグ 1 = メッセージ RAM の読み出し中に 2 ビット・エラーが発生した 0 = 2 ビット・エラーは発生していない
1	FLXnDOBF E	出力バッファ RAM 1, 2 における 2 ビット・エラー検出フラグ 1 = 出力バッファ RAM 1, 2 の読み出し中に 2 ビット・エラーが発生した 0 = 2 ビット・エラーは発生していない
0	FLXnDIBFE	入力バッファ RAM 1, 2 における 2 ビット・エラー検出フラグ 1 = 入力バッファ RAM 1, 2 の読み出し中に 2 ビット・エラーが発生した 0 = 2 ビット・エラーは発生していない

- 備考**
1. FLXnDIBFE フラグ, FLXnDOBF E フラグ, FLXnDMRE フラグ, FLXnDTBFAE フラグ, FLXnDTBFBE フラグのいずれかが「0」から「1」に変わると, ECC 2 ビット・エラー検出割り込み内部信号 (INTFLXA0DED) が生成されます。
  2. FlexRay コントローラが CONFIG ステートから抜け出すか, STARTUP ステートに入ると, FLXnMBT[6:0] と FLXnMBU[6:0] はリセットされません。

## (b) FLXnMHDS の書き込み値

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0
—	FLXnCL MFMB	FLXnCL FMBD	FLXnCL DTBFB	FLXnCL DTBFA	FLXnCL DMR	FLXnCL DOBF	FLXnCL DIBF

表 31-70 FLXnMHDS 書き込みレジスタの内容

ビット位置	ビット名	機能
31-0	上記を参照してください。	それぞれのビットに対応する表 31-69 「FLXnMHDS 読み出しレジスタの内容」に記載されているフラグをクリアします。 1 = ビットに対応するフラグをクリアする 0 = 何も実行しない

備考 ビット 31 ~ 7 への書き込みは無視されます。

## (2) FLXnLDTS - 最終ダイナミック送信スロット・レジスタ

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0314<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。  
本レジスタは、FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	FLXnLDTB[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnLDTA[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-71 FLXnLDTS レジスタの内容

ビット位置	ビット名	機能
26-16	FLXnLDTB[10:00]	チャンネル B の最終ダイナミック送信スロット ダイナミック・セグメントで最後のフレームがチャンネル B で送信されたときの vSlotCounter[B] の値が格納されます。ダイナミック・セグメントの終わりで更新され、ダイナミック・セグメント中にフレームが送信されなければ「0」にリセットされます。
10-0	FLXnLDTA[10:00]	チャンネル A の最終ダイナミック送信スロット ダイナミック・セグメントで最後のフレームがチャンネル B で送信されたときの vSlotCounter[A] の値が格納されます。ダイナミック・セグメントの終わりで更新され、ダイナミック・セグメント中にフレームが送信されなければ「0」にリセットされます。



**(3) FLXnFSR - FIFO ステータス・レジスタ**

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0318<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。  
 本レジスタは、FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnRFFL[7:0]								0	0	0	0	0	FLXn RFO	FLXn RFCL	FLXn RFNE
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-72 FLXnFSR レジスタの内容

ビット位置	ビット名	機能
15-8	FLXn RFFL[7:0]	受信 FIFO 充填レベル ホストがまだ読み出していない新しいデータが格納されている FIFO バッファの数を示します。最大値は 128 です。
2	FLXn RFO	受信 FIFO オーバラン・フラグ 受信 FIFO オーバランが検出されると、FlexRay コントローラはこのフラグを「1」にセットします。受信 FIFO オーバランが発生すると、最も古いメッセージが最新の受信メッセージによって上書きされます。さらに、割り込みフラグ FLXnEIR.FLXnRFOE が「1」にセットされます。本ビットは、ホストが発行する次の FIFO 読み出しアクセスによってクリアされます。 1 = 受信 FIFO オーバランが検出された 0 = 受信 FIFO オーバランが検出されていない
1	FLXn RFCL	受信 FIFO 限界レベル到達フラグ 受信 FIFO 充填レベル FLXnRFFL[7:0] が FLXnFCL.CL[7:0] で設定されている限界レベル以上になると「1」にセットされます。FLXnRFFL[7:0] が FLXnFCL.FLXnCL[7:0] を下回ると、FlexRay コントローラはただちにこのフラグをクリアします。FLXnRFCL が「0」から「1」へ変化すると、FLXnSIR.FLXnRFCLF ビットが「1」にセットされ、割り込みが許可されれば、割り込みが生成されます。 1 = 受信 FIFO 限界レベルに達した 0 = 受信 FIFO 限界レベルに達していない
0	FLXn RFNE	受信 FIFO データ保有フラグ 受信した有効なフレーム（リジェクション・マスクの設定によって決まるデータ・フレームまたは Null フレーム）が FIFO に格納されると「1」にセットされます。さらに、割り込みフラグ FLXnSIR.FLXnRFNEF が「1」にセットされます。ホストが FIFO からすべてのメッセージを読み出すとこのビットは「0」にリセットされます。 1 = 受信 FIFO が空になっていない 0 = 受信 FIFO が空になった

**(4) FLXnMHDF - メッセージ・ハンドラ制約フラグ・レジスタ**

メッセージ・ハンドラには、eray\_bclk の周波数、メッセージ RAM の設定、FlexRay バスのトラフィックに関する制約がいくつかあります。FLXnMHDF のフラグによってこの制約違反をホストへ報告できます。

フラグは対応するビット位置に「1」を書き込むことによってクリアされます。「0」を書き込んでフラグは変わりません。リセットを行った場合もレジスタがクリアされます。本レジスタは、FlexRay コントローラが CONFIG ステートから抜け出すか、STARTUP ステートに入るとリセットされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 031C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**(a) FLXnMHDF の読み出し値**

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	FLXn WAHPE
7	6	5	4	3	2	1	0
FLXn TNSBE	FLXn TNSAE	FLXn TBFBE	FLXn TBFAE	FLXn FNFBE	FLXn FNFAE	FLXn SNUBE	FLXn SNUAE

表 31-73 FLXnMHDF 読み出しレジスタの内容 (1/2)

ビット位置	ビット名	機能
8	FLXn WAHPE	ヘッダ・パーティションへの書き込み違反フラグ DEFAULT_CONFIG ステートまたは CONFIG ステート以外で、メッセージ・バッファの誤設定が原因で、メッセージ・ハンドラがメッセージ RAM のヘッダ・パーティションへメッセージ・データを書き込もうとすると、FlexRay コントローラはこのフラグを「1」にセットします。意図しない書き込みアクセスからヘッダ・パーティションを保護するために、書き込みは実行されません。 1 = ヘッダ・パーティションへの書き込みを行おうとした 0 = ヘッダ・パーティションへの書き込みを行おうとしていない
7	FLXn TNSBE	チャンネル B 送信開始不可フラグ チャンネル B において送信を予定されているスロットのアクション・ポイントで、メッセージ・ハンドラが行う準備が間に合わずに送信開始できなかった場合、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル B で開始できなかった送信あり 0 = チャンネル B で開始できなかった送信なし
6	FLXn TNSAE	チャンネル A 送信開始不可フラグ チャンネル A において送信を予定されているスロットのアクション・ポイントで、メッセージ・ハンドラが行う準備が間に合わずに送信開始できなかった場合、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル A で開始できなかった送信あり 0 = チャンネル A で開始できなかった送信なし

表 31-73 FLXnMHDF 読み出しレジスタの内容 (2/2)

ビット位置	ビット名	機能
5	FLXn TBFBE	チャンネル B のトランジェント・バッファ・アクセス失敗フラグ PRT B が要求した TBF B への読み出しアクセスまたは書き込みアクセスが利用可能な時間内に完了しないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = TBF B へのアクセスが失敗した 0 = 失敗した TBF B へのアクセスはない
4	FLXn TBFAE	チャンネル A のトランジェント・バッファ・アクセス失敗フラグ PRT A が要求した TBF A への読み出しアクセスまたは書き込みアクセスが利用可能な時間内に完了しないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = TBF A へのアクセスが失敗した 0 = 失敗した TBF A へのアクセスはない
3	FLXn FNFBE	チャンネル B の探索シーケンス未完了フラグ メッセージ・ハンドラがオーバロード状態のため、チャンネル B での検索シーケンス（条件に一致するメッセージ・バッファを探索するためのメッセージ RAM のスキャン）を完了できないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル B の探索シーケンスが完了していない 0 = 完了していないチャンネル B の検索シーケンスはない
2	FLXn FNFAE	チャンネル A の探索シーケンス未完了フラグ メッセージ・ハンドラがオーバロード状態のため、チャンネル A での検索シーケンス（条件に一致するメッセージ・バッファを探索するためのメッセージ RAM のスキャン）を完了できないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル A の探索シーケンスが完了していない 0 = 完了していないチャンネル A の検索シーケンスはない
1	FLXn SNUBE	チャンネル B のステータス更新不可フラグ メッセージ・ハンドラがオーバロード状態であるため、チャンネル B のメッセージ・バッファのステータス MBS を更新できないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル B の MBS が更新されていない 0 = チャンネル B の MBS を更新したときにオーバロード状態が発生していない
0	FLXn SNUAE	チャンネル A のステータス更新不可フラグ メッセージ・ハンドラがオーバロード状態であるため、チャンネル A のメッセージ・バッファのステータス MBS を更新できないと、FlexRay コントローラはこのフラグを「1」にセットします。 1 = チャンネル A の MBS が更新されていない 0 = チャンネル A の MBS を更新したときにオーバロード状態が発生していない

**備考** FLXnSNUAE フラグ、FLXnSNUBE フラグ、FLXnFNFAE フラグ、FLXnFNFBE フラグ、FLXnDTBFAE フラグ、FLXnDTBFBFE フラグ、FLXnTNSAE フラグ、FLXnTNSBE フラグ、FLXnWAHPE フラグのいずれかが「0」から「1」に変化すると、割り込みフラグ FLXnEIR.FLXnMHFE が「1」にセットされます。

## (b) FLXnMHDF の書き込み値

31	30	29	28	27	26	25	24
—	—	—	—	—	—	—	—
23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8
—	—	—	—	—	—	—	FLXnCL WAHP
7	6	5	4	3	2	1	0
FLXnCL TNSB	FLXnCL TNSA	FLXnCL TBFB	FLXnCL TBFA	FLXnCL FNFB	FLXnCL FNFA	FLXnCL SNUB	FLXnCL SNUA

表 31-74 FLXnMHDF 書き込みレジスタの内容

ビット位置	ビット名	機能
31-0	上記を参照してください。	それぞれのビットに対応する表 31-73 「FLXnMHDF 読み出しレジスタの内容」に記載されているフラグをクリアします。 1 = ビットに対応するフラグをクリアする 0 = 何も実行しない

備考 ビット 31 ~ 9 への書き込みは無視されます。

**(5) FLXnTXRQ1/2/3/4 - 送信要求レジスタ 1/2/3/4**

これら4つのレジスタには、設定されているすべてのメッセージ・バッファのFLXnTXRフラグの状態が反映されます。フラグは送信バッファについてのみを対象とします。設定されているメッセージ・バッファの数が128未満である場合、未設定のメッセージ・バッファのFLXnTXRフラグは意味を持ちません。

**アクセス** 32ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 032C<sub>H</sub>  
<FLXn\_base> + 0328<sub>H</sub>  
<FLXn\_base> + 0324<sub>H</sub>  
<FLXn\_base> + 0320<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**FLXnTXRQ4:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnTXR[127:112]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnTXR[111:096]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnTXRQ3:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnTXR[095:080]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnTXR[079:064]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnTXRQ2:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnTXR[063:048]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnTXR[047:032]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## FLXnTXRQ1:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnTXR[031:016]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnTXR[015:000]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-75 FLXnTXRQ1/2/3/4 レジスタの内容

ビット位置	ビット名	機能
すべてのレジスタの 31-0	FLXn TXR[127:000]	送信要求フラグ フラグが「1」にセットされている場合、そのフラグに対応するメッセージ・バッファは、送信の準備が整っているか、現在送信されています。シングル・ショット・モードでは、送信が完了するとフラグが「0」にリセットされます。

**(6) FLXnNDAT1/2/3/4 - 新規データ・レジスタ 1/2/3/4**

これら4つのレジスタには、設定されているすべてのメッセージ・バッファのFLXnNDフラグの状態が反映されます。送信バッファに対応するFLXnNDフラグには意味がありません。設定されているメッセージ・バッファの数が128未満である場合、未設定のメッセージ・バッファのFLXnNDフラグも意味を持ちません。本レジスタはFlexRayコントローラがCONFIGステートから抜け出すか、STARTUPステートに入るとリセットされます。

**アクセス** 32ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 033C<sub>H</sub>  
 <FLXn\_base> + 0338<sub>H</sub>  
 <FLXn\_base> + 0334<sub>H</sub>  
 <FLXn\_base> + 0330<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**FLXnNDAT4:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnND[127:112]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnND[111:096]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnNDAT3:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnND[095:080]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnND[079:064]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnNDAT2:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnND[063:048]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnND[047:032]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## FLXnNDAT1:

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnND[031:016]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnND[015:000]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-76 FLXnNDAT1/2/3/4 レジスタの内容

ビット位置	ビット名	機能
すべてのレジスタの 31-0	FLXn ND[127:000]	新規データ・フラグ 受信したペイロード長または対象となるメッセージ・バッファで設定されているペイロード長に関係なく、受信した有効フレームがメッセージ・バッファのフィルタの設定と一致すると、フラグが「1」にセットされます。受信 FIFO に属するメッセージ・バッファを除き、Null フレームを受信したときにはフラグはセットされません。FLXnND フラグは、フラグに対応するメッセージ・バッファのヘッダ・セクションが再設定されたとき、またはデータ・セクションが出力バッファへ転送されたときに「0」にリセットされます。



**(7) FLXnMBSC1/2/3/4 - メッセージ・バッファ・ステータス変更レジスタ 1/2/3/4**

これら4つのレジスタには、設定されているすべてのメッセージ・バッファのFLXnMBCフラグの状態が反映されます。設定されているメッセージ・バッファの数が128未満である場合、未設定のメッセージ・バッファのFLXnMBCフラグは意味を持ちません。本レジスタは、FlexRayコントローラがCONFIGステートから抜け出すか、STARTUPステートに入るとリセットされます。

**アクセス** 32ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 034C<sub>H</sub>  
<FLXn\_base> + 0348<sub>H</sub>  
<FLXn\_base> + 0344<sub>H</sub>  
<FLXn\_base> + 0340<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

**FLXnMBSC4**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnMBC[127:112]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMBC[111:096]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnMBSC3**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnMBC[095:080]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMBC[079:064]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**FLXnMBSC2**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnMBC[063:048]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMBC[047:032]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

FLXnMBSC1															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnMBC[031:016]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMBC[015:000]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-77 FLXnMBSC1/2/3/4 レジスタの内容

ビット位置	ビット名	機能
すべてのレジスタの 31-0	FLXn MBC[127:000]	メッセージ・バッファ・ステータス変更フラグ メッセージ・バッファのヘッダ・セクション ((5)「FLXnMBS - メッセージ・バッファ・ステータス・レジスタ」と(1)「ヘッダ・パーティション」のヘッダ4を参照)のステータス・フラグ FLXnMBSVFRA, FLXnMBSVFRB, FLXnMBSSEOA, FLXnMBSSEOB, FLXnMBSCEOA, FLXnMBSCEOB, FLXnMBSSVOA, FLXnMBSSVOB, FLXnMBSTCIA, FLXnMBSTCIB, FLXnMBSESA, FLXnMBSESB, FLXnMBSMLST, FLXnMBSFTA または FLXnMBSFTB のいずれかをメッセージ・ハンドラが変更すると, MBC フラグが「1」にセットされます。MBC フラグは, ビットに対応するメッセージ・バッファのヘッダ・セクションが再設定されたとき, またはそのヘッダ・セクションが出力バッファへ転送されたときに「0」にリセットされます。

### 31.3.9 ID レジスタ

#### (1) FLXnCREL - コア・リリース・レジスタ

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 03F0<sub>H</sub>

**初期値** 1027 1031<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnREL[3:0]				FLXnSTEP[7:0]								FLXnYEAR[3:0]			
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnMON[7:0]								FLXnDAY[7:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-78 FLXnCREL レジスタの内容

ビット位置	ビット名	機能
31-28	FLXnREL[3:0]	コア・リリース 1桁のBCDコード 1 <sub>H</sub> : IP リリースはリビジョン 1.0.2
27-20	FLXnSTEP[7:0]	コア・リリースのステップ 2桁のBCDコード 02 <sub>H</sub> : IP リリースはリビジョン 1.0.2
19-16	FLXnYEAR[3:0]	設計タイム・スタンプ, 年 1桁のBCDコード。 7 <sub>H</sub> : IP は 2007 年にリリース
15-8	FLXnMON[7:0]	設計タイム・スタンプ, 月 2桁のBCDコード 10 <sub>H</sub> : IP は 10 月にリリース
7-0	FLXnDAY[7:0]	設計タイム・スタンプ, 日 2桁のBCDコード。 31 <sub>H</sub> : IP は 10 月 31 日にリリース

以下の表は FLXnCREL レジスタでリリースがどのようにコーディングされているかを示します。

表 31-79 リリースのコーディング

リリース	ステップ	サブステップ	名称
0	7	0	Beta2
0	7	1	Beta2ct
0	7	2	R1.0 RC1
1	0	0	Revision 1.0.0
1	0	1	Revision 1.0.1
1	0	2	Revision 1.0.2

**(2) FLXnENDN - エンディアン・レジスタ**

エンディアン形式テスト値を示します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 03F4<sub>H</sub>

**初期値** 8765 4321<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnETV[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnETV[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-80 FLXnENDN レジスタの内容

ビット位置	ビット名	機能
31-0	FLXn ETV[31:00]	エンディアン形式テスト値 エンディアン形式テスト値は 8765 4321 <sub>H</sub> です。

### 31.3.10 入力バッファ制御レジスタ

入力バッファは入力バッファ・ホストと入力バッファ・シャドウのダブル・バッファ構成になっています。ホストは入力バッファ・ホストに書き込めるのに対して、メッセージ RAM への転送は入力バッファ・シャドウから行われます。入力バッファには、メッセージ RAM 内の選択されているメッセージ・バッファへ転送されるヘッダ・セクションとデータ・セクションが格納されます。入力バッファはメッセージ RAM 内のメッセージ・バッファを設定し、送信バッファのデータ・セクションを更新するために使用されます。

入力バッファからメッセージ RAM 内のメッセージ・バッファのヘッダ・セクションを更新すると、(5)「FLXnMBS - メッセージ・バッファ・ステータス・レジスタ」で説明しているメッセージ・バッファ・ステータスが自動的に「0」にリセットされます。

受信 FIFO に属するメッセージ・バッファのヘッダ・セクションは、FlexRay コントローラが DEFAULT\_CONFIG ステートまたは CONFIG ステートにあるときにのみ（再）設定することができます。これらのメッセージ・バッファについては、FLXnWRHS2.FLXnWHPLC[6.0] と FLXnWRHS3.FLXnWHDP[10:00] でペイロード長とデータ・ポインタのみを設定すれば済みます。受信フィルタリングに必要なすべての情報は FIFO リジェクション・フィルタ・レジスタと FIFO リジェクション・フィルタ・マスク・レジスタから取得されます。

入力バッファ (IBF) とメッセージ RAM 間のデータ転送の詳細については、「入力バッファからメッセージ RAM へのデータ転送」の項で説明しています。

## (1) FLXnWRDSm - データ・セクション書き込みレジスタ (m = 01 to 64)

指定されたメッセージ・バッファのデータ・セクションへ転送されるデータ・ワードが格納されます。データ・ワード (DW) は、DW<sub>1</sub> (バイト 0, バイト 1) から DW<sub>PL</sub> (PL = FLXnWRHS2.FLXnWHPLC[6:0] で設定されたペイロード長によって定義されたデータ・ワードの数) の順に送信され、メッセージ RAM に書き込まれます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0400<sub>H</sub> ~ <FLXn\_base> + 04FC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnWDMDm[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnWDMDm[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-81 FLXnWRDSm レジスタの内容

ビット位置	ビット名	機能
31-0	FLXnWDMDm[31:0]	メッセージ・データ FLXnWDMDm[07:00] = DW <sub>2m-1</sub> , byte <sub>4m-4</sub> FLXnWDMDm[15:08] = DW <sub>2m-1</sub> , byte <sub>4m-3</sub> FLXnWDMDm[23:16] = DW <sub>2m</sub> , byte <sub>4m-2</sub> FLXnWDMDm[31:24] = DW <sub>2m</sub> , byte <sub>4m-1</sub>

**備考** DW<sub>127</sub> は FLXnWRDS64.FLXnWDMD64[15:00] にあります。その場合、FLXnWRDS64.FLXnWDMD64[31:16] は使われません (無効データ)。入力バッファ RAM は、リセットまたは CHI コマンド CLEAR\_RAMs によって「0」に初期化されます。  
 FlexRay バスでは、FLXnWRDSm.FLXnWDMDm[7:0], FLXnWRDSm.FLXnWDMDm[15:8], FLXnWRDSm.FLXnWDMDm[23:16], FLXnWRDSm.FLXnWDMDm[31:24] の順に最上位ビットから先に送信されます。FlexRay コントローラのエンディアン形式がホスト CPU のエンディアン形式と一致するかどうかをチェックするには、FLXnENDN レジスタを読み出します。

(2) FLXnWRHS1 - ヘッダ・セクション書き込みレジスタ 1

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <FLXn\_base> + 0500<sub>H</sub>

初期値 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXn WH MBI	FLXn WH TXM	FLXn WH PPIT	FLXn WH CFG	FLXn WH CHB	FLXn WH CHA	0	FLXnWHCYC[6:0]						
R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnWHFID[10:00]										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-82 FLXnWRHS1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
29	FLXn WHMBI	メッセージ・バッファ割り込みイネーブル設定 対象とするメッセージ・バッファの受信割り込みまたは送信割り込みの有効/無効を設定します。本ビットを1に設定すると、受信バッファがメッセージ・ハンドラによって更新されたあと、ステータス割り込みレジスタのFLXnRXIFフラグまたはFLXnMBSIFフラグあるいはその両方がセットされます。送信が正常に行われると、ステータス割り込みレジスタのFLXnTXIFフラグがセットされま す。 1 = 対応するメッセージ・バッファ割り込みを有効にする 0 = 対応するメッセージ・バッファ割り込みを無効にする
28	FLXn WHTXM	送信モード設定 対象とするメッセージ・バッファの送信モードを選択します。送信モードについては、(3)「送信バッファ」を参照してください。 1 = シングル・ショット・モード 0 = 連続モード
27	FLXn WHPPIT	送信ペイロード・プリアンブル・インジケータ・フィールドの設定 送信フレーム内のペイロード・プリアンブル・インジケータの値を設定します。スタティック・メッセージ・バッファ内でこのビットがセットされている場合は、そのメッセージ・バッファにネットワーク管理情報が格納されています。ダイナミック・メッセージ・バッファ内でこのビットがセットされている場合、受信側はペイロード・セグメントの先頭2バイトをメッセージIDフィルタリングに使用できません。本FlexRayコントローラは受信FlexRayフレームのメッセージIDフィルタリングをサポートしていないので、メッセージIDのフィルタリングを行う場合、ユーザ・プログラムで実行してください。 1 = ペイロード・プリアンブル・インジケータがセットされている 0 = ペイロード・プリアンブル・インジケータがセットされていない
26	FLXn WHCFG	メッセージ・バッファ方向設定 対象となるバッファを送信バッファ/受信バッファのいずれにするかを設定します。受信FIFOに属するメッセージ・バッファでは、このビットは参照されま せん。 1 = 対応するバッファを送信バッファとして設定する 0 = 対応するバッファを受信バッファとして設定する

表 31-82 FLXnWRHS1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
25-24	FLXn WHCHB, FLXn WHCHA	<p>チャンネル・フィルタ・フィールド設定 メッセージ・バッファごとに用意されている2ビットのチャンネル・フィルタリング・フィールドは、受信バッファのフィルタおよび送信バッファの送信チャンネル選択用に参照されます。</p> <table border="1"> <thead> <tr> <th>FLXn WH CHA</th> <th>FLXn WH CHB</th> <th>送信バッファ フレーム送信チャンネル</th> <th>受信バッファ 受信フレームの格納チャンネル</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>両チャンネル (スタティック・セグメントのみ)</td> <td>チャンネル A または B (最初に受信した有効なフレームを保存, スタティック・セグメントのみ)</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル A</td> <td>チャンネル A</td> </tr> <tr> <td>0</td> <td>1</td> <td>チャンネル B</td> <td>チャンネル B</td> </tr> <tr> <td>0</td> <td>0</td> <td>送信しない</td> <td>フレームを無視</td> </tr> </tbody> </table> <p>備考 メッセージ・バッファがダイナミック・セグメント用に設定されており、チャンネル・フィルタリング・フィールドの両方のビットが「1」にセットされている場合、フレームは送信されず、受信フレームは無視されます (FLXnWHCHA = FLXnWHCHB = 「0」 のときと同じように機能します)。</p>	FLXn WH CHA	FLXn WH CHB	送信バッファ フレーム送信チャンネル	受信バッファ 受信フレームの格納チャンネル	1	1	両チャンネル (スタティック・セグメントのみ)	チャンネル A または B (最初に受信した有効なフレームを保存, スタティック・セグメントのみ)	1	0	チャンネル A	チャンネル A	0	1	チャンネル B	チャンネル B	0	0	送信しない	フレームを無視
FLXn WH CHA	FLXn WH CHB	送信バッファ フレーム送信チャンネル	受信バッファ 受信フレームの格納チャンネル																			
1	1	両チャンネル (スタティック・セグメントのみ)	チャンネル A または B (最初に受信した有効なフレームを保存, スタティック・セグメントのみ)																			
1	0	チャンネル A	チャンネル A																			
0	1	チャンネル B	チャンネル B																			
0	0	送信しない	フレームを無視																			
22-16	FLXn WHCYC[6:0]	<p>サイクル・コード設定 7ビットのサイクル・コードは、サイクル・カウンタ・フィルタリングに使われるサイクル・セットを決定します。サイクル・コードの設定の詳細については、(2)「サイクル・カウンタ・フィルタリング」を参照してください。</p>																				
10-0	FLXn WHFID[10:00]	<p>フレーム ID 設定 対象とするメッセージ・バッファのフレーム ID を設定します。フレーム ID は、各メッセージの送信/受信に使用するスロットの番号を示します。フレーム ID = 「0」 に設定されたメッセージ・バッファは無効と見なされます。</p>																				



## (3) FLXnWRHS2 - ヘッダ・セクション書き込みレジスタ 2

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0504<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	FLXnWHPLC[6:0]						
R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnWHCRC[10:00]										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-83 FLXnWRHS2 レジスタの内容

ビット位置	ビット名	機能
22-16	FLXn WHPLC[6:0]	ペイロード長設定 データ・セクションの長さ (2 バイト・ワードの数) を設定します。スタティック・セグメント内では、FLXnMHDC.FLXnSFDL[6:0] によって設定されたスタティック・フレームのペイロード長がすべてのスタティック・フレームのペイロード長を定義します。FLXnWHPLC[6:0] で設定されたペイロード長がこの値より短い場合は、フレームが物理的に適切な長さになるようにパディング・バイトが挿入されます。パディング・パターンは論理ゼロです。(3)「送信バッファ」も参照してください。
10-0	FLXn WHCRC[10:00]	ヘッダ CRC 設定 (vRFI!Header!HeaderCRC) 受信バッファ：設定の必要はありません。 送信バッファ：計算したヘッダ CRC をここに設定してください。ヘッダ CRC の計算では、バスで送信されるフレームのペイロード長を考慮に入れる必要があります。スタティック・セグメントでは、すべてのフレームのペイロード長が FLXnMHDC.FLXnSFDL[6:0] によって設定されます。

## (4) FLXnWRHS3 - ヘッダ・セクション書き込みレジスタ 3

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0508<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnWHDP[10:00]										
R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-84 FLXnWRHS3 レジスタの内容

ビット位置	ビット名	機能
10-0	FLXn WHDP[10:00]	データ・ポインタ設定 メッセージ RAM 内の対象とするメッセージ・バッファのデータ・セクションの先頭位置へのポインタを設定します。ワード (32 ビット) 単位でメッセージ RAM の先頭からの位置を指定します。

## (5) FLXnIBCM - 入力バッファ・コマンド・マスク・レジスタ

入力バッファ・コマンド要求レジスタによって選択されたメッセージ RAM 内のメッセージ・バッファを更新する方法を設定します。IBF ホストと IBF シャドウがスワップされると、入力バッファが転送されるときにマスク・ビットとバッファ・セクションとの関連付けが失われないように、マスク・ビット FLXnLHSH, FLXnLDSH, FLXnSTXRH もビット FLXnLHSS, FLXnLDSS, FLXnSTXRS とスワップされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0510<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn STXRS	FLXn LDSS	FLXn LHSS
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn STXRH	FLXn LDSH	FLXn LHSH
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 31-85 FLXnIBCM レジスタの内容

ビット位置	ビット名	機能
18	FLXn STXRS	送信要求設定 (シャドウ) 1 = FLXnTXR フラグをセットし、送信バッファを送信用に確保している (送信中または送信完了)。 0 = FLXnTXR フラグをリセットしている
17	FLXn LDSS	データ・セクションのロード・フラグ (シャドウ) 1 = データ・セクションについて、入力バッファからメッセージ RAM へ転送されている (転送中または転送完了)。 0 = データ・セクションは更新されない
16	FLXn LHSS	ヘッダ・セクションのロード・フラグ (シャドウ) 1 = ヘッダ・セクションについて、入力バッファからメッセージ RAM へ転送を行う (転送中または転送完了)。 0 = ヘッダ・セクションは更新されない
2	FLXn STXRH	送信要求設定 (ホスト) このビットが「1」にセットされると、選択されているメッセージ・バッファに対応する FLXnTXRQ1/2/3/4 レジスタの FLXnTXR フラグがセットされ、メッセージ・バッファが送信用に確保されます。シングル・ショット・モードでは、送信完了後、FlexRay コントローラが FLXnTXR フラグをクリアします。FLXnTXR フラグは送信バッファについてのみ参照されます。 1 = FLXnTXR フラグをセットし、送信バッファを送信用に確保する 0 = FLXnTXR フラグをリセットする
1	FLXn LDSH	データ・セクションのロード (ホスト) 1 = データ・セクションについて、入力バッファからメッセージ RAM へ転送される 0 = データ・セクションは更新されない
0	FLXn LHSH	ヘッダ・セクションのロード (ホスト) 1 = ヘッダ・セクションについて、入力バッファからメッセージ RAM へ転送される 0 = ヘッダ・セクションは更新されない

**(6) FLXnIBCR - 入力バッファ・コマンド要求レジスタ**

ホストがメッセージ RAM 内の転送先メッセージ・バッファの番号を入力バッファ・コマンド要求レジスタの FLXnIBRH[6:0] に書き込むと、IBF ホストと IBF シャドウがスワップされます。さらに、FLXnIBRH[6:0] と FLXnIBRS[6:0] に格納されているメッセージ・バッファ番号もスワップされます（「入力バッファからメッセージ RAM へのデータ転送」も参照してください）。

この書き込み操作によって、入力バッファ・コマンド要求レジスタの FLXnIBSYS ビットが「1」にセットされます。次に、メッセージ・ハンドラは、IBF シャドウの内容を FLXnIBRS[6:0] によって選択されたメッセージ RAM 内のメッセージ・バッファへ転送し始めます。

メッセージ・ハンドラが IBF シャドウからメッセージ RAM 内の転送先メッセージ・バッファへデータを転送している間、ホストは IBF ホストに次のメッセージを設定できます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXnIBSYS ビットが「0」に戻り、ホストは転送先メッセージ・バッファ番号を FLXnIBRH[6:0] に書き込むことによってメッセージ RAM への次の転送を開始することができます。

FLXnIBSYS が「1」になっている間に FLXnIBRH[6:0] への書き込みアクセスが行われると、FLXnIBSYH が「1」にセットされます。現在進行中の IBF シャドウからメッセージ RAM へのデータ転送が完了すると、IBF ホストと IBF シャドウがスワップされ、FLXnIBSYH が「0」にリセットされます。FLXnIBSYS は「1」にセットされたまま変わらず、メッセージ RAM への次の転送が開始されます。さらに、FLXnIBRH[6:0] と FLXnIBRS[6:0] に格納されているメッセージ・バッファ番号もスワップされます。

FLXnIBSYS と XnIBSYH の両方がセットされている間に入力バッファへの書き込みアクセスを行うと、エラー・フラグ FLXnEIR.FLXnIIBAE がセットされます。その場合、入力バッファは変更されません。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0514<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXn IBSYS	0	0	0	0	0	0	0	0	0	FLXnIBRS[6:0]						
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn IBSYH	0	0	0	0	0	0	0	0	0	FLXnIBRH[6:0]						
	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-86 FLXnIBCR レジスタの内容

ビット位置	ビット名	機能
31	FLXn IBSYS	入力バッファ・ビジー (シャドウ) FLXnIBRH[6:0] への書き込みが行われると、「1」にセットされます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXnIBSYS は「0」に戻ります。 1 = BF シャドウとメッセージ RAM 間の転送が進行中 0 = BF シャドウとメッセージ RAM 間の転送が完了している
22-16	FLXn IBRS[6:0]	入力バッファ転送要求 (シャドウ) 現在更新中または最後に更新された転送先メッセージ・バッファの番号を示します。 有効な値は 00 <sub>H</sub> ~ 7F <sub>H</sub> (0 ~ 127) です。
15	FLXn IBSYH	入力バッファ・ビジー (ホスト) FLXnIBSYS がまだ「1」である間に FLXnIBRH[6:0] に書き込むと、「1」にセットされます。現在進行中の IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXnIBSYH は「0」に戻ります。 1 = IBF シャドウとメッセージ RAM 間の転送中に要求があったことを示す 0 = 保留中の要求はない
6-0	FLXn IBRH[6:0]	入力バッファ転送要求 (ホスト) 入力バッファからのデータ転送に使われるメッセージ RAM 内の転送先メッセージ・バッファの番号を設定します。 有効な値は 00 <sub>H</sub> ~ 7F <sub>H</sub> (0 ~ 127) です。

### 31.3.11 出力バッファ制御レジスタ

出力バッファは出力バッファ・ホストと出力バッファ・シャドウのダブル・バッファ構成になっています。出力バッファはメッセージ RAM からメッセージ・バッファを読み出すために使われます。ホストは出力バッファ・ホストからの読み出しを実行できるのに対して、メッセージ・ハンドラは選択されているメッセージ・バッファをメッセージ RAM から出力バッファ・シャドウへ転送します。メッセージ RAM と出力バッファ (OBF) 間のデータ転送については、「メッセージ RAM から出力バッファへのデータ転送」で説明しています。

#### (1) FLXnRDDS<sub>m</sub> - データ・セクション読み出しレジスタ (m = 01 ~ 64)

指定されたメッセージ・バッファのデータ・セクションから読み出されたデータ・ワードが格納されます。データ・ワードは (DW) は, DW<sub>1</sub> (バイト 0, バイト 1) から DW<sub>PL</sub> (PL = FLXnRDHS2.FLXnRHPLC[6:0] で設定されたペイロード長によって定義されたデータ・ワードの数) の順にメッセージ RAM から読み出されます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0600<sub>H</sub> ~ <FLXn\_base> + 06FC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLXnRDMDm[31:16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnRDMDm[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-87 FLXnRDDS<sub>n</sub> レジスタの内容

ビット位置	ビット名	機能
31-0	FLXn RD MDm[31:00]	メッセージ・データ FLXnRDMDm[07:00] = DW <sub>2m-1</sub> , byte <sub>4m-4</sub> FLXnRDMDm[15:08] = DW <sub>2m-1</sub> , byte <sub>4m-3</sub> FLXnRDMDm[23:16] = DW <sub>2m</sub> , byte <sub>4m-2</sub> FLXnRDMDm[31:24] = DW <sub>2m</sub> , byte <sub>4m-1</sub>

**備考** DW<sub>127</sub> は FLXnRDDS64.FLXnRDMD64[15:0] にあります。その場合、FLXnRDDS64.FLXnRDMD64[31:16] は使われません (無効データ)。出力バッファ RAM は、リセットまたは CHI コマンド CLEAR\_RAMs によって「0」に初期化されます。

## (2) FLXnRDHS1 - ヘッダ・セクション読み出しレジスタ 1

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0700<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXn RH MBI	FLXn RH TXM	FLXn RH PPIT	FLXn RH CFG	FLXn RH CHB	FLXn RH CHA	0	FLXnRHCYC[6:0]						
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnRHFID[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

WRHS1 を介してホストによって設定される値

表 31-88 FLXnRDHS1 レジスタの内容

ビット位置	ビット名	機能
29	FLXn RHMBI	メッセージ・バッファ割り込みイネーブル
28	FLXn RHTXM	送信モード
27	FLXn RHPPIT	送信ペイロード・プリアンブル・インジケータ・フィールド
26	FLXn RHCFG	メッセージ・バッファ方向
25	FLXn RHCHB	チャンネル・フィルタ・フィールド
24	FLXn RHCHA	チャンネル・フィルタ・フィールド
22-16	FLXn RHCYC[6:0]	サイクル・コード
10-0	FLXn RHFID[10:00]	フレーム ID

メッセージ RAM から読み出されたメッセージ・バッファが受信 FIFO に属する場合は、FLXnRHFID[10:00] に受信フレーム ID が格納され、FLXnRHCYC[6:0]、FLXnRHCHA、FLXnRHCHB、FLXnRHCFG、FLXnRHPPIT、FLXnRHTXM、FLXnRHMBI が「0」にリセットされます。

## (3) FLXnRDHS2 - ヘッダ・セクション読み出しレジスタ 2

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 0704<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	FLXnRHPLR[6:0]						0	FLXnRHPLC[6:0]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnRHCRC[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-89 FLXnRDHS2 レジスタの内容

ビット位置	ビット名	機能
30-24	FLXnRHPLR[6:0]	受信ペイロード長 ( <i>vRF!Header!Length</i> ) 受信データ・フレームのペイロード長を 2 バイト単位で示します。 ただし、対象とするメッセージ・バッファが受信 FIFO に割り当てられている場合、受信したフレームが Null フレームであっても本ビットは更新されます。
22-16	FLXnRHPLC[6:0]	設定ペイロード長 ホストによって設定されたデータ・セクションの長さ (2 バイト単位) を示します。
10-0	FLXnRHCRC[10:00]	ヘッダ CRC ( <i>vRF!Header!HeaderCRC</i> ) 受信バッファ：受信フレームによって更新されたヘッダ CRC を示す 送信バッファ：ホストによって計算され、設定されたヘッダ CRC を示す

メッセージがメッセージ・バッファに格納されると、受信ペイロード長と設定ペイロード長に関して以下の動作が実行されます。

FLXnRHPLR[6:0] > FLXnRHPLC[6:0] の場合

FLXnRHPLC[6:0] が偶数の場合は、メッセージ・バッファに格納されるペイロード・データは設定ペイロード長に収まるように切り捨てられ、FLXnRHPLC[6:0] が奇数の場合は FLXnRHPLC[6:0] + 1 に収まるように切り捨てられます。

FLXnRHPLR[6:0] ≤ FLXnRHPLC[6:0] の場合

受信されたペイロード・データがメッセージ・バッファのデータ・セクションに格納されます。FLXnRHPLC[6:0] によって設定されたデータ・セクションの残りのデータ・バイトには未定義のデータが挿入されます。

FLXnRHPLR[6:0] = 0 の場合

メッセージ・バッファのデータ・セクションに未定義のデータが挿入されません。

FLXnRHPLC[6:0] = 0 の場合

メッセージ・バッファに設定されたデータ・セクションがありません。したがって、メッセージ・バッファのデータ・セクションにはデータが格納されません。



**備考** メッセージ RAM は 4 バイト・ワードから構成されています。受信データがメッセージ・バッファのデータ・セクションに格納されるとき、メッセージ・バッファに書き込まれる 2 バイト・データ・ワードの数は、次に近い偶数値に丸められた FLXnRHPLC[6:0] になります。受信 FIFO に属するすべてのメッセージ・バッファで FLXnRHPLC[6:0] を同じ値に設定する必要があります。ヘッダ・セクション 2 はデータ・フレームのみによって更新されます。

## (4) FLXnRDHS3 - ヘッダ・セクション読み出しレジスタ 3

アクセス 32 ビット単位でリード可能です。

アドレス <FLXn\_base> + 0708<sub>H</sub>

初期値 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXn RHRES	FLXn RHPPI	FLXn RHNFI	FLXn RHSYN	FLXn RHSFI	FLXn RHRCI	0	0	FLXnRHRCC[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	FLXnRHDP[10:00]										
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31-90 FLXnRDHS3 レジスタの内容

ビット位置	ビット名	機能
29	FLXn RHRES	予約ビット ( <i>vRF!Header!Reserved</i> ) 受信した予約ビットの状態を示します。送信時、予約ビットは「0」として送信されます。
28	FLXn RHPPI	ペイロード・プリアンブル・インジケータ ( <i>vRF!Header!PPIndicator</i> ) ネットワーク管理ベクタまたはメッセージ ID が受信フレームのペイロード・セグメントに含まれるかどうかを示します。 1 = スタティック・セグメント：ペイロードの先頭にネットワーク管理ベクタがある ダイナミック・セグメント：ペイロードの先頭にメッセージ ID がある 0 = 受信フレームのペイロード・セグメントにネットワーク管理ベクタもメッセージ ID も含まれていない
27	FLXn RHNFI	Null フレーム・インジケータ ( <i>vRF!Header!NFIndicator</i> ) 最初の受信データ・フレームが格納されたあと、「1」にセットされます。 1 = 少なくとも1つのデータ・フレームがメッセージ・バッファに格納されている 0 = 現在までにまったくデータ・フレームがメッセージ・バッファに格納されていない
26	FLXn RHSYN	sync フレーム・インジケータ ( <i>vRF!Header!SyFIndicator</i> ) 受信フレームが sync フレームであるかどうかを示します。 1 = 受信フレームは sync フレームである 0 = sync フレームを受信していない
25	FLXn RHSFI	スタートアップ・フレーム・インジケータ ( <i>vRF!Header!SuFIndicator</i> ) 受信フレームがスタートアップ・フレームであるかどうかを示します。 1 = 受信フレームはスタートアップ・フレームである 0 = スタートアップ・フレームを受信していない
24	FLXn RHRCI	受信チャンネル・インジケータ ( <i>vSS!Channel</i> ) データ・フレームを受信したチャンネルを示します。 1 = チャンネル A でフレームを受信した 0 = チャンネル B でフレームを受信した
21-16	FLXn RHRCC[5:0]	受信サイクル・カウント ( <i>vRF!Header!CycleCount</i> ) 受信したデータ・フレームのサイクル・カウント値を示します。
10-0	FLXn RHDP[10:00]	データ・ポインタ メッセージ RAM 内の指定されたメッセージ・バッファのデータ・セクションの先頭 32 ビット・ワードへのポインタを示します。

備考 ヘッダ・セクション 3 はデータ・フレームのみによって更新されます。

**(5) FLXnMBS - メッセージ・バッファ・ステータス・レジスタ**

FlexRay コントローラは、メッセージ・バッファに割り当てられているスロットの次のスロットの終わりまでに、メッセージ・バッファに割り当てられたチャンネルのメッセージ・バッファ・ステータスを更新します。フラグは FlexRay コントローラが NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートのときにのみ更新されます。メッセージ・バッファに1つのチャンネル (A または B) しか割り当てられていない場合は、もう一方のチャンネルに関するステータス・フラグは「0」になります。メッセージ・バッファに両方のチャンネルが割り当てられている場合は、両チャンネルのチャンネルに関するステータス・フラグが更新されます。メッセージ・バッファ・ステータスは、スロット・カウンタの値が設定されているフレーム ID に達し、サイクル・カウンタ・フィルタの条件に一致したときにのみ更新されます。ホストが入力バッファを介してメッセージ・バッファを更新する場合は、どの FLXnIBCМ ビットがセットされているかに関係なく、すべての MBS フラグが「0」にリセットされます。送受信フィルタリングの詳細については、31.4.7「フィルタリングとマスキング」、31.4.8「送信プロセス」、31.4.9「受信プロセス」の節を参照してください。メッセージ・ハンドラが、FLXnMBSVFRA フラグ、FLXnMBSVFRB フラグ、FLXnMBSSEOA フラグ、FLXnMBSSEOB フラグ、FLXnMBSCEOА フラグ、FLXnMBSCEOB フラグ、FLXnMBSSVOA フラグ、FLXnMBSSVOB フラグ、FLXnMBSTCIA フラグ、FLXnMBSTCIB フラグ、FLXnMBSESA フラグ、FLXnMBSESB フラグ、FLXnMBSMLST フラグ、FLXnMBSFTA フラグ、FLXnMBSFTB フラグのいずれかを変更すると、FLXnMBSС1/2/3/4 レジスタのメッセージ・バッファの FLXnMBC フラグがセットされます。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <FLXn\_base> + 070C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	FLXn MBS RESS	FLXn MBS PPIS	FLXn MBS NFIS	FLXn MBS SYNS	FLXn MBS SFIS	FLXn MBS RCIS	0	0	FLXnMBSCCS[5:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXn MBS FTB	FLXn MBS FTA	0	FLXn MBS MLST	FLXn MBS ESB	FLXn MBS ESA	FLXn MBS TCIB	FLXn MBS TCIA	FLXn MBS SVOB	FLXn MBS SVOA	FLXn MBS CEOB	FLXn MBS CEOА	FLXn MBS SEOB	FLXn MBS SEOA	FLXn MBS VFRB	FLXn MBS VFRA
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**備考** 受信バッファの場合 (FLXnRHCFG = 0)、以下のステータス・ビットは有効なデータ・フレームと Null フレームの両方によって更新されます。有効なフレームを受信していない場合は、前の値が保持されます。送信バッファの場合、フラグは意味を持たないので、無視する必要があります。

表 31-91 FLXnMBS レジスタの内容 - 受信バッファ

ビット位置	ビット名	機能
29	FLXnMBS RESS	予約ビット・ステータス ( <i>vRF!Header!Reserved</i> ) 受信した予約ビットの状態を示します。送信時、予約ビットは0として送信します。
28	FLXnMBS PPIS	ペイロード・プリアンブル・インジケータ・ステータス ( <i>vRF!Header!PPIIndicator</i> ) ネットワーク管理ベクタまたはメッセージ ID が受信フレームのペイロード・セグメントに含まれているかどうかを示します。 1 = スタティック・セグメント：ペイロードの先頭にネットワーク管理ベクタがある ダイナミック・セグメント：ペイロードの先頭にメッセージ ID がある 0 = 受信フレームのペイロード・セグメントにネットワーク管理ベクタもメッセージ ID も含まれていない
27	FLXnMBS NFIS	Null フレーム・インジケータ・ステータス ( <i>vRF!Header!NFIndicator</i> ) 「0」にセットされている場合、受信フレームのペイロード・セグメントには使用可能なデータがありません。 1 = 受信フレームは Null フレームではない 0 = 受信フレームは Null フレームである
26	FLXnMBS SYNS	sync フレーム・インジケータ ( <i>vRF!Header!SyFIIndicator</i> ) 受信フレームが sync フレームであるかどうかを示します。 1 = 受信フレームは sync フレームである 0 = sync フレームを受信していない
25	FLXnMBS SFIS	スタートアップ・フレーム・インジケータ ( <i>vRF!Header!SuFIIndicator</i> ) 受信フレームがスタートアップ・フレームであるかどうかを示します。 1 = 受信フレームはスタートアップ・フレームである 0 = スタートアップ・フレームを受信していない
24	FLXnMBS RCIS	受信チャンネル・インジケータ ( <i>vSSIChannel</i> ) データ・フレームを受信したチャンネルを示します。 1 = チャンネル A でフレームを受信した 0 = チャンネル B でフレームを受信した

**備考** FlexRay プロトコル仕様では、ホストのみ下記の FLXnMBSFTA と FLXnMBSFTB をリセットすることを許可されています。したがって、サイクル・カウント・ステータス FLXnMBSCCS[5:0] は、FLXnMBSFTA または FLXnMBSFTB が「1」にセットされているサイクルでのみ有効です。

表 31-92 FLXnMBS レジスタの内容 - サイクル・カウント・ステータス

ビット位置	ビット名	機能
21-16	FLXnMBS CCS[5:0]	サイクル・カウント・ステータス ステータスが更新されたときのサイクル・カウント

表 31-93 FLXnMBS レジスタの内容 - 送信バッファと受信バッファ (1/2)

ビット位置	ビット名	機能
15	FLXnMBS FTB	チャンネル B フレーム送信フラグ チャンネル B からデータ・フレームを送信したことを示します。 1 = チャンネル B でデータ・フレームが送信されています。 0 = チャンネル B で送信されたデータ・フレームはありません。
14	FLXnMBS FTA	チャンネル A フレーム送信フラグ チャンネル A からデータ・フレームを送信したことを示します。 1 = チャンネル A でデータ・フレームが送信されています。 0 = チャンネル A で送信されたデータ・フレームはありません。
12	FLXnMBS MLST	メッセージ消失フラグ 受信データ・フレームによってメッセージ・バッファが更新される前にホストが前のメッセージを読み出さなかった場合にセットされます。受信 FIFO に属するメッセージ・バッファを除き、このフラグは Null フレームの受信の影響を受けません。 ホストが IBF を介してメッセージ・バッファヘータを書き込むか、 OBF を介してメッセージ・バッファを読み出すことによってメッセージ・バッファの ND フラグがリセットされたあとで、新しいメッセージがメッセージ・バッファに格納されるとリセットされます。 1 = 未処理のメッセージが上書きされた 0 = 失われたメッセージはない
11	FLXnMBS ESB	チャンネル B エンプティ・スロット・フラグ チャンネル B に割り当てたスロットにおいて、バス動作が検出されていないことを示します。スタティック・バッファまたはダイナミック・バッファに割り当てられているメッセージ・バッファにおいてこの状態がチェックされます。 1 = チャンネル B に割り当てられたスロットで、バス動作は検出されていない 0 = チャンネル B に割り当てられたスロットで、バス動作が検出された
10	FLXnMBS ESA	チャンネル A エンプティ・スロット・フラグ チャンネル A に割り当てたスロットにおいて、バス動作が検出されていないことを示します。スタティック・バッファまたはダイナミック・バッファに割り当てられているメッセージ・バッファにおいてこの状態がチェックされます。 1 = チャンネル A に割り当てられたスロットで、バス動作は検出されていない 0 = チャンネル A に割り当てられたスロットで、バス動作が検出された
9	FLXnMBS TCIB	チャンネル B 送信競合インジケータ (vSS!TxConflictB) チャンネル B で送信競合が発生したことを示します。 1 = チャンネル B で送信競合が発生した 0 = チャンネル B で送信競合は発生していない
8	FLXnMBS TCIA	チャンネル A 送信競合インジケータ (vSS!TxConflictA) チャンネル A で送信競合が発生したことを示します。 1 = チャンネル A で送信競合が発生した 0 = チャンネル A で送信競合は発生していない
7	FLXnMBS SVOB	チャンネル B スロット境界違反検出フラグ (vSS!BViolationB) チャンネル B でスロット境界違反が検出されたこと、つまり設定されたスロットの先頭または終わりまでチャンネルがアクティブになったことを示します。 1 = チャンネル B でスロット境界違反が検出された 0 = チャンネル B で検出されたスロット境界違反はない
6	FLXnMBS SVOA	チャンネル A スロット境界違反検出フラグ (vSS!BViolationA) チャンネル A でスロット境界違反が検出されたこと、つまり設定されたスロットの先頭または終わりまでチャンネルがアクティブになったことを示します。 1 = チャンネル A でスロット境界違反が検出された 0 = チャンネル A で検出されたスロット境界違反はない
5	FLXnMBS CEOB	チャンネル B コンテンツ・エラー検出フラグ (vSS!ContentErrorB) チャンネル B に割り当てられたスロットでコンテンツ・エラーが検出されたことを示します。 1 = チャンネル B でコンテンツ・エラーが検出された 0 = チャンネル B で検出されたコンテンツ・エラーはない

表 31-93 FLXnMBS レジスタの内容 - 送信バッファと受信バッファ (2/2)

ビット位置	ビット名	機能
4	FLXnMBS CEOA	チャンネル A コンテンツ・エラー検出フラグ (vSS!ContentErrorA) チャンネル A 上に割り当てられたスロットでコンテンツ・エラーが検出されたことを示します。 1 = チャンネル A でコンテンツ・エラーが検出された 0 = チャンネル A で検出されたコンテンツ・エラーはない
3	FLXnMBS SEOB	チャンネル B シンタックス・エラー検出フラグ (vSS!SyntaxErrorB) チャンネル B に割り当てられたスロットでシンタックス・エラーが検出されたことを示します。 1 = チャンネル B でシンタックス・エラーが検出された 0 = チャンネル B で検出されたシンタックス・エラーはない
2	FLXnMBS SEOA	チャンネル A シンタックス・エラー検出フラグ (vSS!SyntaxErrorA) チャンネル A に割り当てられたスロットでシンタックス・エラーが検出されたことを示します。 1 = チャンネル A でシンタックス・エラーが検出された 0 = チャンネル A で検出されたシンタックス・エラーはない
1	FLXnMBS VFRB	チャンネル B 有効フレーム受信フラグ チャンネル B で有効なフレームを受信したことを示します。 1 = チャンネル B で有効なフレームを受信した 0 = チャンネル B で受信した有効なフレームはない
0	FLXnMBS VFRA	チャンネル A 有効フレーム受信フラグ チャンネル A で有効なフレームを受信したことを示します。 1 = チャンネル A で有効なフレームを受信した 0 = チャンネル A で受信した有効なフレームはない

**(6) FLXnOBCM - 出力バッファ・コマンド・マスク・レジスタ**

FLXnOBCR.FLXnOBR[6:0] によって選択されたメッセージ RAM 内のメッセージ・バッファが出力バッファを更新する方法を設定します。

FLXnOBCR.FLXnREQ によってメッセージ RAM の転送が要求されると、マスク・ビット FLXnRDSS と FLXnRHSS がレジスタの内部ストレージにコピーされます。OBF ホストと OBF シャドウがスワップされると、出力バッファが転送される時にマスク・ビットとバッファ・セクションとの関連付けが失われないように、マスク・ビット FLXnRDSH および FLXnRHSH もレジスタの内部ストレージとスワップされます。出力バッファとメッセージ RAM 間のデータ転送の詳細については、「メッセージ RAM から出力バッファへのデータ転送」で説明しています。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0710<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn RDSH	FLXn RHSH
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	FLXn RDSS	FLXn RHSS
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31-94 FLXnOBCM レジスタの内容

ビット位置	ビット名	機能
17	FLXn RDSH	データ・セクションの読み出し状態表示 (ホスト) 1 = データ・セクションがメッセージ RAM から出力バッファへの転送用に選択されている 0 = データ・セクションは読み出されていない
16	FLXn RHSH	ヘッダ・セクションの読み出し状態表示 (ホスト) 1 = ヘッダ・セクションがメッセージ RAM から出力バッファへの転送用に選択されている 0 = ヘッダ・セクションは読み出されていない
1	FLXn RDSS	データ・セクションの読み出し設定 (シャドウ) 1 = データ・セクションをメッセージ RAM から出力バッファへの転送用に設定する 0 = データ・セクションは読み出されない
0	FLXn RHSS	ヘッダ・セクションの読み出し設定 (シャドウ) 1 = ヘッダ・セクションをメッセージ RAM から出力バッファへの転送用に設定する 0 = ヘッダ・セクションは読み出されない

**備考** メッセージ RAM から OBF シャドウへのヘッダ・セクションの転送が完了すると、FLXnMBSC1/2/3/4 レジスタ内の選択されているメッセージ・バッファのメッセージ・バッファ・ステータス変更フラグ FLXnMBC がクリアされます。メッセージ RAM から OBF シャドウへのデータ・セクションの転送が完了すると、FLXnNDAT1/2/3/4 レジスタ内の選択されているメッセージ・バッファの新規データ・フラグ ND がクリアされます。



**(7) FLXnOBCR - 出力バッファ・コマンド要求レジスタ**

FLXnOBSYS が「0」である間に FLXnREQ ビットが「1」にセットされると、FLXnOBSYS が自動的に「1」にセットされ、FLXnOBR[6:0] がレジスタの内部ストレージにコピーされ、マスク・ビット FLXnOBCM.FLXnRDSS と FLXnOBCM.FLXnRHSS が FLXnOBCM レジスタの内部ストレージにコピーされ、FLXnOBR[6:0] によって選択されているメッセージ・バッファのメッセージ RAM から OBF シャドウへの転送が開始されます。FLXnOBSYS が「0」に戻ることによって、メッセージ RAM と OBF シャドウ間の転送が完了したことがわかります。

FLXnOBSYS が「0」である間に FLXnVIEW ビットが「1」にセットされると、OBF ホストと OBF シャドウがスワップされます。さらに、出力バッファが転送されるときにマスク・ビットとバッファ・セクションとの関連付けが失われないように、マスク・ビット FLXnOBCM.FLXnRDSH, FLXnOBCM.FLXnRHSH も FLXnOBCM レジスタの内部ストレージとスワップされます。FLXnOBRH[6:0] は、現在ホストがアクセス可能なメッセージ・バッファの番号を示します。

FLXnOBSYS が「0」である間に FLXnREQ ビットと FLXnVIEW ビットが同じ書き込みアクセスで「1」にセットされると、FLXnOBSYS が自動的に「1」にセットされ、OBF シャドウと OBF ホストがスワップされます。さらに、出力バッファが転送されるときにマスク・ビットとバッファ・セクションとの関連付けが失われないように、マスク・ビット FLXnOBCM.FLXnRDSH, FLXnOBCM.FLXnRHSH もレジスタの内部ストレージとスワップされます。その後、FLXnOBR[6:0] がレジスタの内部ストレージにコピーされ、メッセージ RAM から OBF シャドウへの選択されているメッセージ・バッファの転送が開始されます。この転送中にホストは前回転送されたメッセージ・バッファを OBF ホストから読み出すことができます。FLXnOBSYS が「0」に戻ることによって、メッセージ RAM と OBF シャドウ間の現在の転送が完了したことを示します。

FLXnOBSYS がセットされている間に FLXnOBCR[15:8] に書き込みアクセスを行うと、エラー・フラグ FLXnEIR.FLXnIOBAE がセットされます。その場合、出力バッファは変更されません。

出力バッファとメッセージ RAM 間のデータ転送の詳細については、「メッセージ RAM から出力バッファへのデータ転送」で説明しています。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <FLXn\_base> + 0714<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	FLXnOBRH[6:0]						
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXnOBSYS	0	0	0	0	0	FLXnREQ	FLXnVIEW	0	FLXnOBR[6:0]						
R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31-95 FLXnOBCR レジスタの内容

ビット位置	ビット名	機能
22-16	FLXn OBRH[6:0]	出力バッファ転送要求 (ホスト) 現在ホストが FLXnRDHS[1...3], FLXnMBS, FLXnRDDS[1...64] を介してアクセスできるメッセージ・バッファの番号を示します。FLXnVIEW に「1」を書き込むことによって、OBF シャドウと OBF ホストがスワップされ、転送されたメッセージ・バッファにホストがアクセスできるようになります。有効な値は 00 <sub>H</sub> ~ 7F <sub>H</sub> (0 ~ 127) です。
15	FLXn OBSYS	出力バッファ・ビジー (シャドウ) FLXnREQ ビットがセットされると、「1」にセットされます。メッセージ RAM と OBF シャドウ間の転送が完了すると、FLXnOBSYS は「0」に戻ります。 1 = メッセージ RAM と OBF シャドウ間の転送中 0 = 進行中の転送はない
9	FLXn REQ	メッセージ RAM 転送要求 FLXnOBRS[6:0] によって指定されたメッセージ・バッファをメッセージ RAM から OBF シャドウへ転送するよう要求します。FLXnOBSYS = 0 であるときにのみ書き込み可能です。 1 = OBF シャドウへの転送を要求する 0 = 何も要求しない
8	FLXn VIEW	シャドウ・バッファのビュー OBF シャドウと OBF ホストを切り換えます。FLXnOBSYS = 0 であるときにのみ書き込み可能です。 1 = OBF シャドウと OBF ホストをスワップする 0 = 何もしない
6-0	FLXn OBRS[6:0]	出力バッファ転送要求 (シャドウ) メッセージ RAM から OBF シャドウへ転送される転送元メッセージ・バッファの番号を設定する。有効な値は 00 <sub>H</sub> ~ 7F <sub>H</sub> (0 ~ 127) です。受信 FIFO の最初のメッセージ・バッファの番号がこのレジスタに書き込まれると、メッセージ・ハンドラは GET インデックス・レジスタ (GIDX, 31.4.10 「FIFO の機能」を参照) によって指定されたメッセージ・バッファを OBF シャドウへ転送します。

## 31.4 機能の説明

ここでは、FlexRay コントローラが実現する FlexRay プロトコルの機能について説明します。FlexRay プロトコルの詳細規定については FlexRay プロトコル仕様 v2.1 を参照してください。

FlexRay ネットワーク上の通信はフレームとシンボルによって行われます。ウェイクアップ・シンボル (WUS) と衝突回避シンボル (CAS) はタイム・スケジュールをセットアップする段階の通信サイクル外で送信されます。フレームとメディア・アクセス・テスト・シンボル (MTS) は通信サイクル内で送信されます。

### 31.4.1 通信サイクル

FlexRay の通信サイクルは以下の要素から構成されます。

- スタティック・セグメント
- ダイナミック・セグメント (オプション)
- シンボル・ウィンドウ (オプション)
- ネットワーク・アイドル・タイム (NIT)

ネットワーク通信時間 (NCT) はスタティック・セグメント、ダイナミック・セグメント、シンボル・ウィンドウから構成されます。各通信チャンネルではスロット・カウンタが1からスタートし、ダイナミック・セグメントの終わりに達するまでカウント・アップします。両方のチャンネルが同じアービトレーション・グリッドを共有します。つまり、両チャンネルが同期した同じマクロティックを使用します。

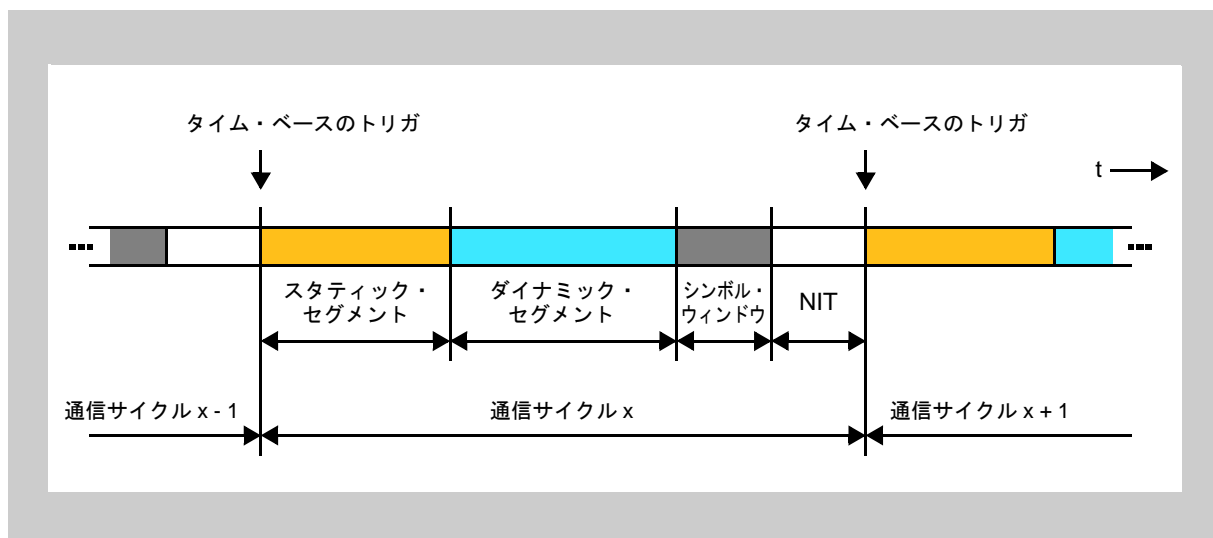


図 31-2 通信サイクルの構造

**(1) スタティック・セグメント**

スタティック・セグメントは以下の特徴を持っています。

- タイム・スロットが固定長  
(オプションでバス・ガーディアンによる保護が可能)
- スタティック・スロットのアクション・ポイントでフレーム送信を開始
- 両チャンネルの全フレームでペイロード長が同じ

パラメータ :

スタティック・スロット数 FLXnGTUC07.FLXnNSS[9:0],  
 スタティック・スロット長 FLXnGTUC07.FLXnSSL[9:0],  
 スタティック・ペイロード長 FLXnMHDC.FLXnSFDL[6:0],  
 アクション・ポイント・オフセット FLXnGTUC09.FLXnAPO[5:0]

**(2) ダイナミック・セグメント**

ダイナミック・セグメントは以下の特徴を持っています。

- すべてのコントローラがバスにアクセス可能  
(バス・ガーディアンによる保護は不可能)
- ペイロード長とスロット長が可変で、両チャンネルで別々の値を設定可能
- ミニスロット・アクション・ポイントで送信を開始

パラメータ : ミニスロット数 FLXnGTUC08.FLXnNMS[12:00],

ミニスロット長 FLXnGTUC08.FLXnMSL[5:0],

ミニスロット・アクション・ポイント・オフセット

FLXnGTUC09.FLXnMAPO[4:0],

送信開始可能最終位置 (最終ミニスロット) FLXnMHDC.FLXnSLT[12:00]

**(3) シンボル・ウィンドウ**

シンボル・ウィンドウ期間では、1チャンネルにつき1つのメディア・アクセス・テスト・シンボル (MTS) のみ送信できます。MTS シンボルは NORMAL\_ACTIVE ステートでバス・ガーディアンをテストするために送信されます。

シンボル・ウィンドウは以下の特徴を持っています。

- 1つのシンボルを送信
- シンボル・ウィンドウ・アクション・ポイントで MTS シンボルの送信を開始

パラメータ : シンボル・ウィンドウ・アクション・ポイント・オフセット

FLXnGTUC09.FLXnAPO[4:0] (スタティック・スロットと同じ),

ネットワーク・アイドル・タイム開始点 FLXnGTUC04.NIT[13:00]

**(4) ネットワーク・アイドル・タイム (NIT)**

ネットワーク・アイドル・タイム期間では、FlexRay コントローラは以下の処理を実行します。

- クロック補正時間の計算 (オフセットとレート)
- オフセット補正の開始後、複数のマクロティックにわたりオフセット補正値を適用
- クラスタ・サイクルに関連するタスクの実行

パラメータ：ネットワーク・アイドル・タイム開始点

FLXnGTUC04.NIT[13:00],

オフセット補正開始点 FLXnGTUC04.FLXnOCS[13:00]

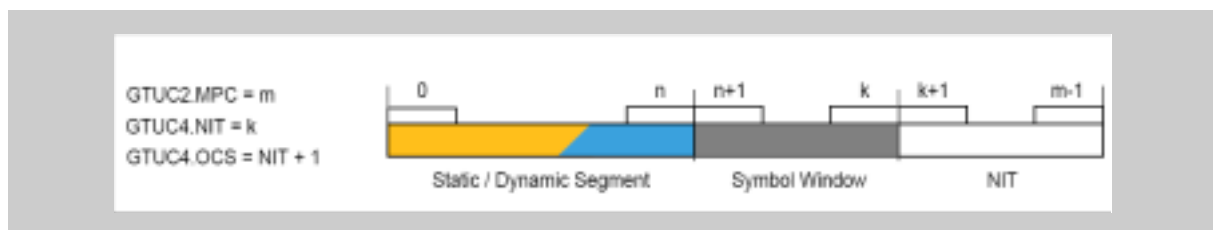
**(5) NIT 開始点とオフセット補正開始点の設定**

図 31-3 NIT 開始点とオフセット補正開始点の設定

1 サイクルのマクロティック数  $g_{MacroPerCycle}$  を  $m$  とします。この値は  $FLXnGTUC02.FLXnMPC = m$  によって設定されます。

スタティック/ダイナミック・セグメントはマクロティック 0 からスタートし、マクロティック  $n$  で終了します。

$n = \text{スタティック・セグメント長} + \text{ダイナミック・セグメント・オフセット} + \text{ダイナミック・セグメント長} - 1 \text{ MT}$

$n = g_{NumberOfStaticSlots} \cdot g_{StaticSlot} + \text{ダイナミック・セグメント・オフセット} + g_{NumberOfMinislots} \cdot g_{Minislot} - 1 \text{ MT}$

スタティック・セグメント長は  $FLXnGTUC07.FLXnSSL$  と  $FLXnGTUC07.FLXnNSS$  によって設定されます。

ダイナミック・セグメント長は  $FLXnGTUC08.FLXnMSL$  と  $FLXnGTUC08.FLXnNMS$  によって設定されます。

ダイナミック・セグメント・オフセットは以下のようになります。

$gd_{ActionPointOffset} \leq gd_{MinislotActionPointOffset}$  であれば  
ダイナミック・セグメント・オフセット = 0 MT

$gd_{ActionPointOffset} > gd_{MinislotActionPointOffset}$  であれば  
ダイナミック・セグメント・オフセット =  $gd_{ActionPointOffset} - gd_{MinislotActionPointOffset}$

NIT は、マクロティック  $k+1$  からスタートし、サイクルの最後のマクロティック  $m-1$  で終了します。この値は  $FLXnGTUC04.FLXnNIT = k$  を設定することによって設定する必要があります。

本 FlexRay コントローラでは、オフセット補正開始点が  $FLXnGTUC04.FLXnOCS \geq FLXnGTUC04.FLXnNIT + 1 = k + 1$  でなければなりません。

シンボル・ウィンドウの長さは、スタティック／ダイナミック・セグメントの終わりから NIT の先頭までのマクロティックの数によって決まります。この値は  $k - n$  によって計算できます。

### 31.4.2 通信モード

FlexRay プロトコル仕様 v2.1 では、タイム・トリガ分散 (TT-D) モードを定義しています。

#### (1) タイム・トリガ分散 (TT-D)

TT-D モードでは、以下の設定が可能です。

- スタティックのみ：最低 2 つのスタティック・スロット + シンボル・ウィンドウ (オプション)
- スタティック/ダイナミックの混合：最低 2 つのスタティック・スロット + ダイナミック・セグメント + シンボル・ウィンドウ (オプション)

タイム・トリガ分散型の通信を行うには、最低でも 2 つのコールド・スタート・ノードが必要です。正常な 2 つのコールド・スタート・ノードがクラスタをスタートアップさせます。なお、スタートアップ・フレームは sync フレームでなければなりません。すなわち、すべてのコールド・スタート・ノードは sync ノードになります。

### 31.4.3 クロック同期

TT-D モードでは、分散クロック同期が使用されます。各ノードは、ほかのノードから受信した sync フレームのタイミングを参照して個別に自分をクラスタに同期させます。

#### (1) グローバル・タイム

各 FlexRay ノードはそれぞれ個別のクロックで動作していますが、ノード間の同期はグローバル・タイムに基づいて行われます。クロック同期メカニズムは個別のクロックで動作するほかのノードからの受信フレームを基に FlexRay クラスタを識別します。グローバル・タイムとは、サイクル (サイクル・カウンタ) とサイクル・タイム (マクロティック・カウンタ) という 2 つの値で表されます。

クラスタ固有：

- マクロティック (MT) = FlexRay ネットワークでの時間測定の基本単位であり、整数個のマクロティック ( $\mu T$ ) から構成されます。
- サイクル長 = マクロティック (MT) の単位で表す通信サイクルの長さ

#### (2) ローカル・タイム

各ノード内部では、マイクロティック単位で自身の動作時間を計測します。マイクロティックは、クロック発振器 (または発振子) から供給されるクロックに基づいて決まる時間単位です。したがって、マイクロティックはコントローラ固有の単位です。マイクロティックの長さはコントローラによって異なる可能性があります。ノードのローカル・タイムの時間差の測定精度はマイクロティック ( $\mu T$ ) です。

ノード固有

- クロック発振器 (または発振子) からのクロック -> プリスケアラで分周 -> マイクロティック ( $\mu T$ )
- $\mu T$  = FlexRay コントローラでの時間測定の基本単位であり、クロック補正は  $\mu T$  単位で行われる

- サイクル・カウンタ + マクロティック・カウンタ = ノードから見たグローバル・タイム

### (3) 同期のプロセス

クロック同期は sync フレームを使用して行われます。あらかじめ設定されたノード (sync ノード) のみが sync フレームを送信できます。2 チャンネル・クラスタでは、sync ノードが両チャンネルで sync フレームを送信する必要があります。

FlexRay の同期では、以下の制約を考慮する必要があります。

- 1 つの通信サイクルで 1 つのノードにつき最大 1 個の sync フレーム
- 1 つの通信サイクルで 1 つのクラスタにつき最大 15 個の sync フレーム
- すべてのノードがあらかじめ設定された最大数 (FLXnGTUC02.FLXnSNM[3:0]) の sync フレームをクロック同期に使用可能
- クロック同期とスタートアップには最低でも 2 つの sync ノードが必要

クロック同期では、スタティック・セグメント期間で受信された両チャンネル (2 チャンネル・クラスタの場合) で有効な sync フレームの予想していた受信タイミングと実測された受信タイミングの時間差を測定します。補正時間の計算は FTA / FTM アルゴリズムを利用して NIT 期間で行われます (オフセットはサイクルごと、レートは奇数サイクルごとに計算)。詳細については FlexRay プロトコル仕様 v2.1 の第 8 章を参照してください。

#### オフセット (位相) 補正

- 現在のサイクルで測定され、保存された偏差のみを使用
- 2 チャンネル・ノードでは、各チャンネルで測定した小さい方の値を採用する
- 毎通信サイクルの NIT 期間で計算を行う
- 偶数サイクルで計算されるオフセット補正值はエラー・チェックのみに使われる
- 補正值の最大許容値と照合する
- 補正值は  $\mu\text{T}$  単位の符号付き整数
- 奇数サイクルで行われる補正は、オフセット補正の開始時点からサイクルの終わり (NIT の終わり) まで複数のマクロティックにわたって適用され、それに応じてノードの次のサイクルの開始点がシフトする (MT が長くなるか、短くなる)

#### レート (周波数) 補正

- 偶数 / 奇数のサイクル・ペアで測定し、保存された偏差のペアを使用する
- 2 チャンネル・ノードでは、各チャンネルで測定した値の平均値を使用する
- 奇数サイクルの NIT 期間で計算を行う
- グローバル・ダンピング値を使ってクラスタ・ドリフト・ダンピングを行う
- 補正值の最大許容値と照合する
- 補正值は  $\mu\text{T}$  単位の符号付き整数
- 補正值は次の偶数 / 奇数のサイクル・ペアの複数のマクロティックにわたって適用される (MT が長くなるか、短くなる)



**sync フレームの送信** sync フレームはバッファ 0 とバッファ 1 からのみ送信できます。sync フレームが 2 つのチャンネルで異なるペイロードを持つ必要がある場合は、メッセージ・バッファ 1 を sync フレームの送信に使うことができます。その場合は、FLXnMRC.FLXnSPLM ビットを「1」に設定する必要があります。

sync フレームの送信に使用されるメッセージ・バッファではキー・スロット ID を設定する必要があります。sync フレーム送信メッセージ・バッファは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ（再）設定が可能です。sync フレームを送信するノードでは、FLXnSUCC1.FLXnTXSY を「1」にセットする必要があります。

#### (4) 外部クロック同期

通常動作中、各クラスタで通信タイミングが大幅に変動する可能性があります。複数のクラスタ間を同期させたい場合は、各クラスタ内のノードが同期している場合でも、外部クロックの同期が必要です。外部クロック同期は、ホストがレート補正值とオフセット補正值を導き出すというアプリケーションによって同期を実現します。

- 外部オフセット／レート補正值は符号付き整数
- 外部オフセット／レート補正值を、計算されたオフセット／レート補正值に加算／減算する
- オフセット／レート補正時間（外部 + 内部）を設定した最大許容値と照合することはない

### 31.4.4 エラー処理

FlexRay ネットワークでは、1つのノードで下位レイヤのプロトコル・エラーが発生しても、そのエラーの影響を受けないノード間の通信を保證する必要があります。このため、エラーが発生したとき、FlexRay コントローラを正常動作に戻すための処理をユーザ・プログラムで実行する必要があります。エラー状態が変化すると FLXnEIR.FLXnPEMCE がセットされ、割り込みが許可されていれば、ホストへの割り込みが発生します。FLXnCCEV.FLXnERRM[1:0] で現在のエラー・モードを示します。

表 31-96 POC のエラー・モード (動作縮小モデル)

エラー・モード	動作
ACTIVE	正常動作, ステート: NORMAL_ACTIVE FlexRay コントローラは完全に同期しており、クラスタ全体のクロック同期をサポートしています。ホストは、割り込み (許可されていれば) によって、または FLXnEIR レジスタと FLXnSIR レジスタからエラー割り込みフラグとステータス割り込みフラグを読み出すことによって、エラー情報とステータス情報にアクセスすることができます。
PASSIVE	限定動作, ステート: NORMAL_PASSIVE, FlexRay コントローラの自律復帰可能 FlexRay コントローラはフレームとシンボルの送信を停止しますが、受信フレームの処理は続行します。クロック同期メカニズムは受信フレームに基づいて機能し続けます。クラスタ全体のクロック同期へは影響を及ぼしません。ホストは、割り込み (許可されていれば) によって、または FLXnEIR レジスタと FLXnSIR レジスタからエラー割り込みフラグとステータス割り込みフラグを読み出すことによって、エラー情報とステータス情報にアクセスすることができます。
COMM_HALT	動作停止, ステート: HALT, FlexRay コントローラの自律復帰不能 FlexRay コントローラはフレームとシンボルの処理、クロック同期処理、マクロティックの生成を停止します。ホストは、FLXnEIR レジスタと FLXnSIR レジスタからエラー割り込みフラグとステータス割り込みフラグを読み出すことによって、エラー情報とステータス情報にアクセスすることができます。バス・ドライバは無効になります。

### (1) クロック補正失敗カウンタ

クロック補正失敗カウンタが FLXnSUCC3.FLXnWCP[3:0] によって指定された「PASSIVE へ遷移するクロック補正エラー期間のしきい値」に達すると、POC は NORMAL\_ACTIVE ステートから NORMAL\_PASSIVE ステートへ遷移します。カウンタ値が FLXnSUCC3.FLXnWCF[3:0] で指定された「HALT へ遷移するクロック補正エラー期間のしきい値」に達すると、POC は NORMAL\_ACTIVE または NORMAL\_PASSIVE ステートから HALT ステートへ遷移します。

ホストは、クロック補正失敗カウンタ FLXnCCEV.FLXnCCFC[3:0] を使用して、FlexRay コントローラがスタートアップ・フェーズを経たあと、ノードがどれだけの時間にわたってクロック補正時間を計算できなかったかを監視することができます。クロック失敗カウンタは、オフセット補正信号消失フラグ FLXnSFS.FLXnMOCS またはレート補正信号消失フラグ FLXnSFS.FLXnMRCS のいずれかがセットされた奇数通信サイクルの終わりでインクリメントされます。

クロック補正失敗カウンタは、オフセット補正信号消失フラグ FLXnSFS.FLXnMOCS またはレート補正信号消失フラグ FLXnSFS.FLXnMRCS のいずれもセットされなかった奇数通信サイクルの終わりで「0」にリセットされます。

クロック補正失敗カウンタは、「HALT 用クロック補正エラー期間のしきい値」FLXnSUCC3.FLXnWCF[3:0] に達すると、インクリメントを停止します（つまり、カウンタが最大値に達したあとでインクリメントされても、カウンタは「0」に戻りません）。クロック補正失敗カウンタは、FlexRay コントローラが READY ステートまたは NORMAL\_ACTIVE ステートに入ると「0」に初期化されます。

**備考** FLXnSUCC1.FLXnHCSE がセットされていなければ、HALT ステートへの遷移は行われません。

### (2) パッシブ to アクティブ・カウンタ

パッシブ to アクティブ・カウンタは、POC の NORMAL\_PASSIVE ステートから NORMAL\_ACTIVE ステートへの遷移を制御します。FLXnSUCC1.FLXnPTA[4:0] では、FlexRay コントローラが NORMAL\_PASSIVE ステートから NORMAL\_ACTIVE ステートへ遷移するのに必要な有効クロック補正時間を連続する偶数／奇数サイクル・ペアの数で指定します。FLXnSUCC1.FLXnPTA[4:0] が「0」に設定されている場合、FlexRay コントローラは NORMAL\_PASSIVE ステートから NORMAL\_ACTIVE ステートへ遷移できません。

### (3) HALT コマンド

ホストがローカル・ノードの FlexRay 通信を停止させたい場合は、HALT コマンドを発行することによって FlexRay コントローラを HALT ステートへ遷移させることができます。FLXnSUCC1.FLXnCMD[3:0] = 「0110」を書き込むことにより HALT コマンドを発行できます。FlexRay ネットワーク全体の通信をシャットダウンするには、すべてのノードが同時に HALT コマンドを実行するように上位レイヤのアプリケーションで実現する必要があります。

HALT ステートへ遷移する直前の POC 遷移は、FLXnCCSV.FLXnPSL[5:0] から読み出すことができます。

NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートでこのコマンドを発行すると、POC は現在のサイクルの終わりで HALT ステートへ遷移

します。その他の状態で発行すると、FLXnSUCC1.FLXnCMD[3:0]が「0000」= command\_not\_accepted (コマンド非受理) にリセットされ、FLXnEIR.FLXnCNAE ビットが「1」にセットされます。割り込みが許可されていれば、ホストへの割り込みが生成されます。

#### (4) FREEZE コマンド

ホストは、重大なエラーを検出した場合に、FREEZE コマンドを発行することによって FlexRay コントローラを HALT ステートに遷移させることができます。そうするには、FLXnSUCC1.FLXnCMD[3:0] = 「0111」を書き込みます。FREEZE コマンドは、現在の POC ステートに関係なく、HALT ステートへ即時に遷移させます。

HALT ステートへ遷移する直前の POC 遷移は、FLXnCCSV.FLXnPSL[5:0] から読み出すことができます。

## 31.4.5 通信コントローラの状態

## (1) 通信コントローラの状態遷移図

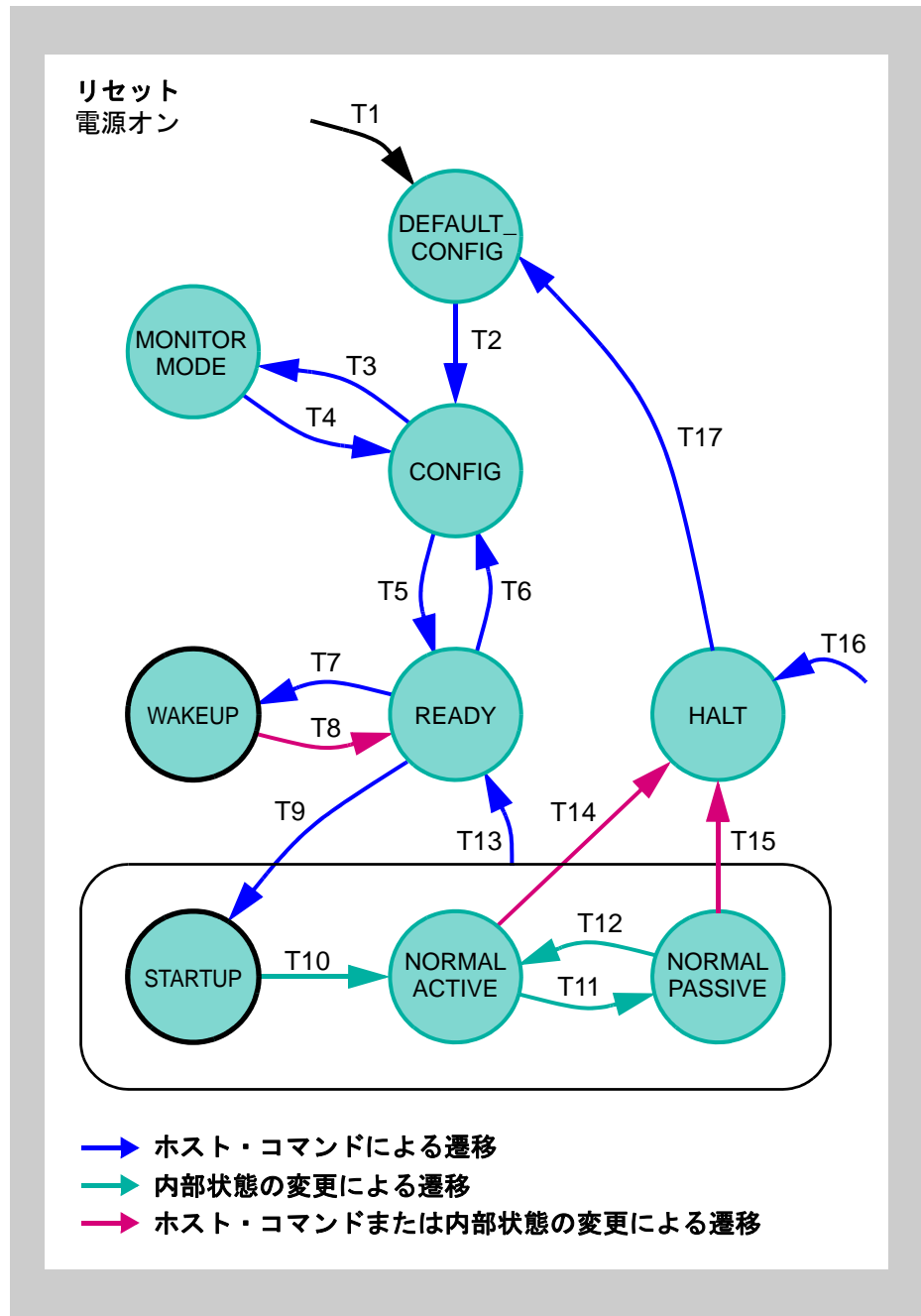


図 31-4 FlexRay 通信コントローラの状態遷移図

状態遷移は、リセットと `eray_rxd1`, `eray_rxd2`, POC ステート・マシン, および CHI コマンド・ベクタ `FLXnSUCC1.FLXnCMD[3:0]` によって制御されます。

FREEZE コマンド (`FLXnSUCC1.FLXnCMD[3:0] = 「0111」`) を実行すると、FlexRay コントローラは現在のステートが何であってもそのステートから抜け出し、HALT ステートへ遷移します。

図 31-5 FlexRay コントローラのステート・マシンの状態遷移

T#	条件	遷移前のステート	遷移後のステート
1	電源投入, リセット	すべてのステート	DEFAULT_CONFIG
2	CONFIG コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0001」	DEFAULT_CONFIG	CONFIG
3	アンロック・シーケンスに続く MONITOR_MODE コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「1011」	CONFIG	MONITOR_MODE
4	CONFIG コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0001」	MONITOR_MODE	CONFIG
5	アンロック・シーケンスに続く READY コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0010」	CONFIG	READY
6	CONFIG コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0001」	READY	CONFIG
7	WAKEUP コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0011」	READY	WAKEUP
8	ウェイクアップ・パターンの送信完了, または, WUP の受信, または, フレーム・ヘッダの受信, または, READY コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0010」	WAKEUP	READY
9	RUN コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0100」	READY	STARTUP
10	スタートアップの成功	STARTUP	NORMAL_ACTIVE
11	クロック補正失敗カウンタが FLXnSUCC3.FLXnWCP[3:0] によって設定された「パッシブへ遷移するクロック補正エラー期間のしきい値」に達した	NORMAL_ACTIVE	NORMAL_PASSIVE
12	有効な補正時間の値が FLXnSUCC1.FLXnPTA[4:0] によって設定された「パッシブからアクティブへの遷移しきい値」に達した	NORMAL_PASSIVE	NORMAL_ACTIVE
13	READY コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0010」	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
14	クロック補正失敗カウンタが FLXnSUCC3.FLXnWCF[3:0] によって設定された「HALT へ遷移するクロック補正エラー期間のしきい値」に達し, かつ, FLXnSUCC1.FLXnHCSE ビットが「1」にセットされている, または, HALT コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0110」	NORMAL_ACTIVE	HALT
15	クロック補正失敗カウンタが FLXnSUCC3.FLXnWCF[3:0] によって設定された「HALT へ遷移するクロック補正エラー期間のしきい値」に達し, かつ, FLXnSUCC1.FLXnHCSE ビットが「1」にセットされている, または, HALT コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0110」	NORMAL_PASSIVE	HALT
16	FREEZE コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0111」	すべてのステート	HALT
17	CONFIG コマンド, FLXnSUCC1.FLXnCMD[3:0] = 「0001」	HALT	DEFAULT_CONFIG

## (2) DEFAULT\_CONFIG ステート

DEFAULT\_CONFIG ステートでは FlexRay コントローラが停止します。すべての設定レジスタはアクセス可能で、物理層に接続されたピンは非アクティブ状態になります。

FlexRay コントローラは以下の場合にこのステートに入ります。

- リセット後
- HALT ステートから抜け出したとき

DEFAULT\_CONFIG ステートから抜け出すには、ホストが SUC 設定レジスタ 1 に FLXnCMD[3:0] = 「0001」を書き込む必要があります。そうすれば、FlexRay コントローラは CONFIG ステートへ遷移します。

## (3) CONFIG ステート

CONFIG ステートでは FlexRay コントローラが停止します。すべての設定レジスタはアクセス可能であり、物理層に接続されたピンは非アクティブ状態になります。このステートは FlexRay コントローラの設定を初期化する目的に使われます。

FlexRay コントローラは以下の場合にこのステートに入ります。

- DEFAULT\_CONFIG ステートから抜け出したとき
- MONITOR\_MODE ステートまたは READY ステートから抜け出したとき

HALT ステートおよび DEFAULT\_CONFIG ステートを経由してこのステートに入った場合、ホストはステータス情報と設定を分析することができます。CONFIG ステートから抜け出す前に、ホストは障害の原因になっている設定がないことを確認する必要があります。

CONFIG ステートから抜け出すには、ホストが (3) 「FLXnLCK - ロック・レジスタ」で説明しているアンロック・シーケンスを実行する必要があります。ホストは、CONFIG ステートをアンロックした直後に、FLXnSUCC1.FLXnCMD[3:0] に書き込んで、次のステートに入る必要があります。

**備考** ステータス・ビット FLXnMHDS[14:00], FLXnTXRQ1/2/3/4 レジスタおよびメッセージ RAM に格納されたステータス・データは、POC が CONFIG ステートから READY ステートへ遷移しても影響を受けません。

FlexRay コントローラが CONFIG ステートにある間は、モジュール・クロック (eray\_sclk, eray\_bclk) を停止させることによって FlexRay コントローラを省電力モードにすることができます。その場合、ホストは、クロックをオフにする前に、すべてのメッセージ RAM 転送が完了したことを確認する必要があります。

## (4) MONITOR\_MODE ステート

CONFIG ステートをアンロックし、FLXnSUCC1.FLXnCMD[3:0] = 「1011」を書き込むと、FlexRay コントローラは MONITOR\_MODE ステートに入ります。このモードでは、FlexRay コントローラが FlexRay フレームを受信し、ウェイクアップ・パターンを検出することができます。受信フレームの時間的な整合性がチェックされないため、サイクル・カウンタ・フィルタリングはサポートされません。このモードは、FlexRay ネットワークのスタートアップが失敗したときなどのデバッグを目的に使用できます。

FLXnSUCC1.FLXnCMD[3:0] = 「0001」を書き込むと、FlexRay コントローラは CONFIG ステートに戻ります。

MONITOR\_MODE ステートでは、最初の有効なフレームを選択するメカニズムが無効になります。これは、1つのチャンネルで受信するようにしか受信バッファを設定できないことを意味しています。受信フレームはフレームIDと受信チャンネルに基づいてメッセージ・バッファに保存されます。Null フレームはデータ・フレームのように扱われます。フレームを受信したあとは、ステータス・ビットの FLXnMBS.FLXnMBSVFRA, FLXnMBS.FLXnMBSVFRB, FLXnMBS.FLXnMBSMLST, FLXnMBS.FLXnMBSRCIS, FLXnMBS.FLXnMBSSFIS, FLXnMBS.FLXnMBSSYNS, FLXnMBS.FLXnMBSNFIS, FLXnMBS.FLXnMBSPPIS, FLXnMBS.FLXnMBSRESS のみの値が有効になります。

MONITOR\_MODE ステートでは、FlexRay コントローラは CAS と MTS を区別できません。これらのシンボルの1つが1チャンネルか両チャンネルで受信された場合、FLXnSIR.FLXnMTSAF と FLXnSIR.FLXnMTSBF が「1」にセットされます。FLXnSIR.FLXnCASF は MONITOR\_MODE ステートでは機能しません。

#### (5) READY ステート

CONFIG ステートをアンロックし、FLXnSUCC1.FLXnCMD[3:0] = 「0010」を書き込むと、FlexRay コントローラは READY ステートに入ります。FlexRay コントローラは、このステートから WAKEUP ステートへ遷移してウェイクアップを実行するか、STARTUP ステートへ遷移してコールド・スタートを実行すること、または動作中のクラスタに統合することができます。

FlexRay コントローラは以下の場合にこのステートに入ります。

- FLXnSUCC1.FLXnCMD[3:0] = 「0010」 (READY コマンド) を書き込むことによって、CONFIG ステート、WAKEUP ステート、STARTUP ステート、NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートから抜け出したとき

FlexRay コントローラはこのステートから抜け出し、以下のステートへ遷移します。

- FLXnSUCC1.FLXnCMD[3:0] = 「0001」 (CONFIG コマンド) が書き込まれた場合は、CONFIG ステート
- FLXnSUCC1.FLXnCMD[3:0] = 「0011」 (WAKEUP コマンド) が書き込まれた場合は、WAKEUP ステート
- FLXnSUCC1.FLXnCMD[3:0] = 「0100」 (RUN コマンド) が書き込まれた場合は、STARTUP ステート

STARTUP ステートに入ると、内部カウンタと通信コントローラ・ステータス・フラグがリセットされます。

**備考** ステータス・ビット FLXnMHDS[14:00], FLXnTXRQ1/2/3/4 レジスタおよびメッセージ RAM に格納されたステータス・データは、POC が READY ステートから STARTUP ステートへ遷移しても影響を受けません。



## (6) WAKEUP ステート

以下の説明は、FlexRay コントローラのウェイクアップを設定するときの参考内容を記載をしています。ウェイクアップ処理に関する詳しい説明およびそれに関連する SDL 図は、FlexRay プロトコル仕様 v2.1, 7.1 章を参照してください。

FlexRay コントローラは以下の場合にこのステートに入ります。

- FLXnSUCC1.FLXnCMD[3:0] = 「0011」 (WAKEUP コマンド) を書き込むことによって READY ステートから抜け出したとき

以下の場合にこのステートから READY ステートへ遷移します。

- ウェイクアップ・パターンの送信が正常に完了したあと
- WUP を受信したあと
- WUP 衝突を検出したあと
- フレーム・ヘッダを受信したあと
- FLXnSUCC1.FLXnCMD[3:0] = 「0010」 (READY コマンド) が書き込まれたとき

クラスタ内のすべてのノードをウェイクアップするために、スタートアップの前にクラスタ・ウェイクアップを行う必要があります。クラスタ・ウェイクアップを行うための必要最低条件は、すべてのバス・ドライバに電源が供給されていることです。バス・ドライバ (BD) には、チャンネル上でウェイクアップ・パターンを受信した場合にノードの他のコンポーネントをウェイクアップする機能があります。クラスタ内の少なくとも一つのノードは、外部からウェイクアップされる必要があります。

ホストがウェイクアップ処理を完全に制御します。ホストはバス・ドライバと FlexRay コントローラからクラスタの状態に関する情報を取得し、バス・ガーディアン (利用可能な場合) と FlexRay コントローラがクラスタ・ウェイクアップを実行するように設定します。FlexRay コントローラは、利用可能なチャンネルで別々に特殊なウェイクアップ・パターンを送信する機能をホストに提供します。FlexRay コントローラは WAKEUP ステートでのみウェイクアップ・パターンを認識します。

ウェイクアップは一度に 1 つのチャンネルでしか実行できません。ホストは FlexRay コントローラが CONFIG ステートにある間に FLXnSUCC1.FLXnWUCS を書き込むことによってウェイクアップ・チャンネルを設定する必要があります。FlexRay コントローラは、そのチャンネルで実行中の通信が妨害されないことを保証します。ノードはスタートアップ・フェーズに入るまでフィードバックができないため、FlexRay コントローラは、ウェイクアップ・パターンの送信後、設定されているチャンネルに接続されたすべてのノードがウェイクアップ状態になることを保証できません。2 チャンネル・システム内の 1 チャンネルのみに接続しているデバイスは、それが接続している 1 チャンネルにウェイクアップ・パターンを送信することによってウェイクアップを開始させることができます。その後、システム・スタートアップを必要と見なすすべてのコールド・スタート・ノードが、通信スタートアップを開始する前に残りのチャンネルをウェイクアップさせます。

ウェイクアップ処理では、任意の数のノードが 1 つのチャンネルを同時にウェイクアップしようとしても問題は起きません。その場合は、1 つのノードだけにパターンを送信させることによって問題を解決します。さらに、ウェイクアップ・パターンは衝突に対する耐性が強いいため、2 つのノードが同時にウェイクアップ・パターンを送信するような障害が発生した場合でも、その結果衝突した信号は、ほかのノードをウェイクアップすることができます。

ウェイクアップ後、FlexRay コントローラは READY ステートへ戻り、FLXnSIR.FLXnWSTF フラグをセットすることによってウェイクアップ・ステータスの変更をホストに通知します。ウェイクアップ・ステータスは FLXnCCSV.FLXnWSV[2:0] から読み出すことができます。有効なウェイクアップ・パターンを受信すると、FLXnSIR.FLXnWUPAF フラグまたは FLXnSIR.FLXnWUPBF フラグのいずれかがセットされます。

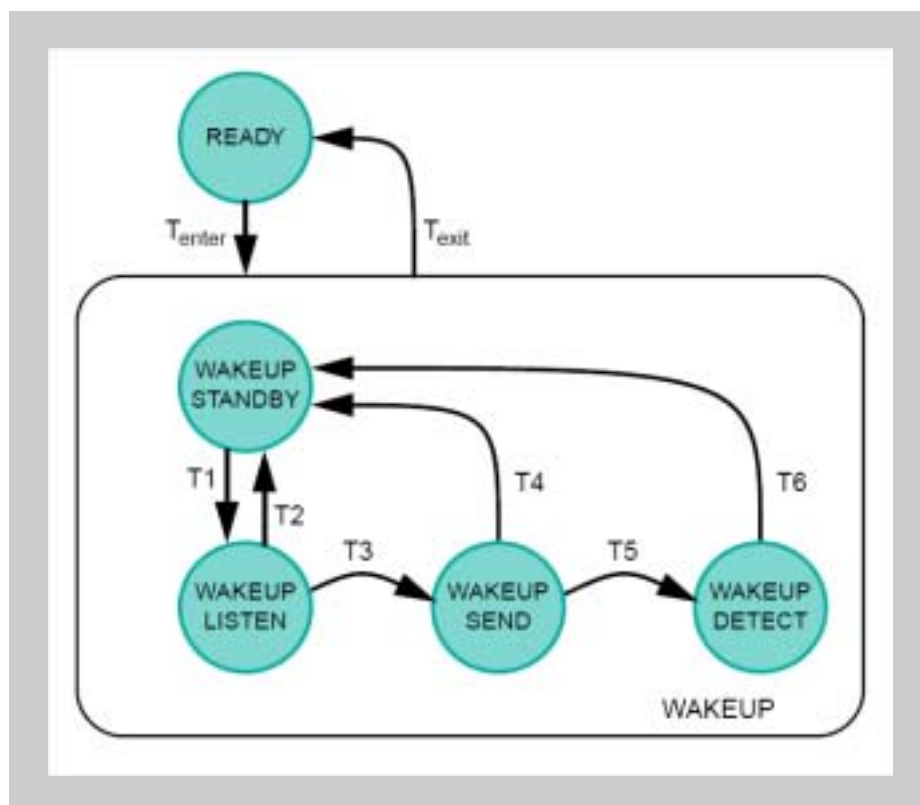


図 31-6 POC の WAKEUP ステートの構造

表 31-97 WAKEUP ステートの遷移

T#	条件	遷移前のステート	遷移後のステート
enter	ホストが FLXnSUCC1.FLXnCMD[3:0] = 「0011」 (WAKEUP コマンド) を発行	READY	WAKEUP
1	CHI コマンド WAKEUP によって WAKEUP_LISTEN ステートに遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
2	FLXnSUCC1.FLXnWUCS ビットによって選択されたウェイクアップ・チャンネルで WUP を受信した、または、利用可能などちらかのチャンネルでフレーム・ヘッダを受信した	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマ・イベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップ・パターンの送信が正常に完了した	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突が検出された	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップ・タイマのタイムアウト、または、FLXnSUCC1.FLXnWUCS ビットによって選択されたウェイクアップ・チャンネルで WUP を検出した、または、利用可能などちらかのチャンネルでフレーム・ヘッダを受信した	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップが完了した (T2 または T4 または T6 のあと)、または、ホストが FLXnSUCC1.FLXnCMD[3:0] = 「0010」 (READY コマンド) を発行。このコマンドは、ウェイクアップ FSM をリセットして WAKEUP_STANDBY ステートにする機能も持っている。	WAKEUP	READY

WAKEUP\_LISTEN ステートはウェイクアップ・タイマとウェイクアップ・ノイズ・タイマによって制御されます。これら2つのタイマは、リッスン・タイムアウト FLXnSUCC2.LT[20:0] とリッスン・タイムアウト・ノイズ FLXnSUCC2.FLXnLTN[3:0] のパラメータによって制御されます。リッスン・タイムアウトはノイズのない環境でのクラスタ・ウェイクアップを高速化し、リッスン・タイムアウト・ノイズはノイズの干渉が多い厳しい環境でのウェイクアップを可能にします。

WAKEUP\_SEND ステートでは、設定されているチャンネルで FlexRay コントローラがウェイクアップ・パターンを送信し、衝突をチェックします。ウェイクアップから戻ったあと、ホストは CHI コマンド RUN によって FlexRay コントローラを STARTUP ステートへ遷移させる必要があります。

WAKEUP\_DETECT ステートでは、FlexRay コントローラが WAKEUP\_SEND ステートで検出されたウェイクアップ衝突の原因識別を試みます。この監視は、FLXnSUCC2.FLXnLT[20:0] によって設定されたリッスン・タイムアウトの期限が切れるまで行われます。別のノードがウェイクアップを試行していることを示すウェイクアップ・パターンを検出するか、通信が進行中であることを示すフレーム・ヘッダを受信すると、READY ステートへ遷移します。それ以外の場合は、リッスン・タイムアウトの期限が切れたときに WAKEUP\_DETECT ステートから抜け出します。その場合、ウェイクアップ衝突の原因はわかりません。

ホストはウェイクアップが失敗する可能性があることを認識し、失敗を回避するための対策をする必要があります。そのため、ほかのコード・スタート・ノードがウェイクアップして動作可能になるのに必要な最低限の時間までウェイクアップしたノードによるスタートアップの開始を遅らせることが望ましいとされています。

FlexRay プロトコル仕様 2.1 では、2つの異なる FlexRay コントローラが2つのチャンネルをウェイクアップすることを推奨しています。

**ホストの動作** ホストは2つのチャンネルのウェイクアップを調整し、特定のチャンネルをウェイクアップするかどうかを決める必要があります。ウェイクアップ・パターンの送信はホストによって開始されます。ウェイクアップ・パターンはリモートのバス・ドライバ (BD) によって検出され、ローカル・ホストに通知されます。

ホストによるウェイクアップ処理 (1チャンネル・ウェイクアップ)

- FlexRay コントローラを CONFIG ステートにする
  - FLXnSUCC1.FLXnWUCS ビットを設定することによってウェイクアップ・チャンネルを選択する
- ローカル BD が WUP を受信したかどうかを確認する
- 選択されているウェイクアップ・チャンネルの BD をアクティブにします。
- FlexRay コントローラが READY ステートに入るよう指示する
- FLXnSUCC1.FLXnCMD[3:0] = 「0011」を書き込むことによって、設定されているチャンネルでウェイクアップを開始するよう FlexRay コントローラに指示する
  - FlexRay コントローラが WAKEUP ステートに入る
  - FlexRay コントローラが READY ステートに戻り、ウェイクアップのステータスをホストに通知する
- ほかのノードがウェイクアップして動作可能になるまで、あらかじめ指定された時間だけ待機する
- コールド・スタート・ノード :
  - 2チャンネル・クラスタでは、もう一方のチャンネル上で WUP を待機する
  - FLXnSUCC1.FLXnCMD[3:0] = 「1001」 (ALLOW\_COLDSTART コマンド) を書き込むことによって、コールド・スタート禁止フラグ FLXnCCSV.FLXnCSI をリセットする
- FLXnSUCC1.FLXnCMD[3:0] = 「0100」 (RUN コマンド) を書き込むことによって、STARTUP ステートに入るよう FlexRay コントローラに指示する

BD によって開始されるウェイクアップ処理

- BD がウェイクアップを認識する
- (必要に応じて)BD は、ホストの電源投入を指示する
- BD がウェイクアップ・イベントをホストに通知する
- ホストがローカルの FlexRay コントローラを設定する
- 必要な場合は、ホストはもう一方のチャンネルのウェイクアップを指示し、ほかのノードがウェイクアップして動作可能になるまで、あらかじめ指定された時間だけ待機します。
- ホストが FLXnSUCC1.FLXnCMD[3:0] = 「0100」 (RUN コマンド) を書き込むことによって、STARTUP ステートに入るよう FlexRay コントローラに指示する

**ウェイクアップ・パターン (WUP)** ウェイクアップ・パターン (WUP) は少なくとも2つのウェイクアップ・シンボル (WUS) から構成されます。ウェイクアップ・シンボルとウェイクアップ・パターンは、FLXnPRTC1 レジスタと FLXnPRTC2 レジスタによって設定されます。

- 1チャンネル・ウェイクアップ：ウェイクアップ・シンボルを両方のチャンネルで同時に送信することはできない
- 2つのノードから送信されたウェイクアップ・シンボルが衝突しても回復可能  
(2つの重複するウェイクアップ・シンボルを常に認識可能)
- ウェイクアップ・シンボルは、1つのクラスタ内のすべてのノードで同じように設定する必要がある
- ウェイクアップ・シンボル送信ロウ・レベル時間は FLXnPRTC2.FLXnTXL[5:0] によって設定される
- ウェイクアップ・シンボル送信アイドル時間は FLXnPRTC2.FLXnTXI[7:0] によって設定され、バスの動作状態を監視するために使用される
- ウェイクアップ・パターンは、ウェイクアップに必要な最小限2つの送信ウェイクアップ・シンボルから構成される
- 繰り返し回数は FLXnPRTC1.FLXnRWP[5:0] によって設定される (2 ~ 63 回)
- ウェイクアップ・シンボル受信ウィンドウ長は PRTC1.FLXnRXW[8:0] によって設定される
- ウェイクアップ・シンボル受信ロウ・レベル時間は FLXnPRTC2.FLXnRXL[5:0] によって設定される
- ウェイクアップ・シンボル受信アイドル時間は FLXnPRTC2.FLXnRXI[5:0] によって設定される

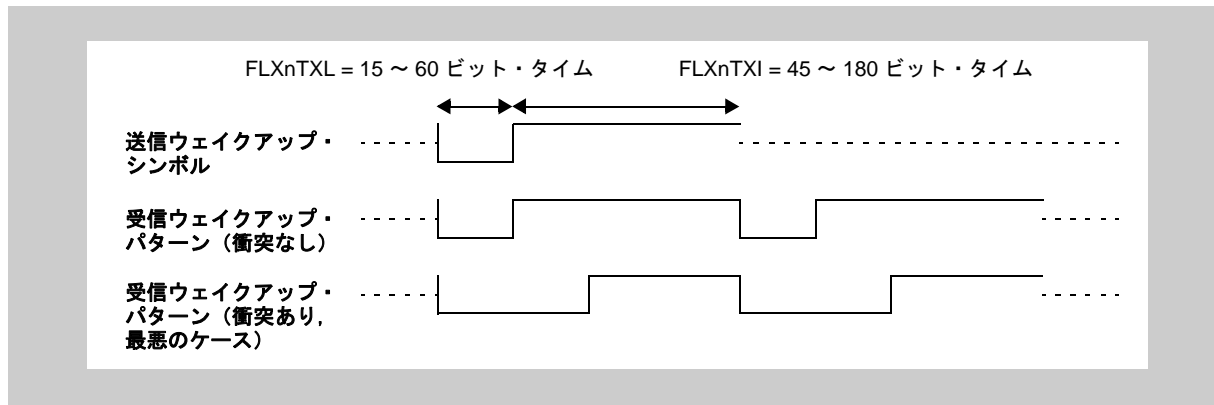


図 31-7 ウェイクアップ・パターンのタイミング

## (7) STARTUP ステート

以下の説明は、FlexRay コントローラのスタートアップを設定するときの参考となると思われる内容を記載をしています。スタートアップ処理に関する詳しい説明およびそれに関連する SDL 図は、FlexRay プロトコル仕様 v2.1, 7.2 章を参照してください。

コールド・スタートが可能なノードが STARTUP ステートに入る場合は、コールド・スタートを開始する前に、ノードに接続されている両方のチャンネルがウェイクアップしていることを確認する必要があります。

すべてのノードとスターのウェイクアップが完了し動作可能となるまでの時間が同じであるとはかぎりません。クラスタ通信をスタートアップするには少なくとも2つのノードが必要であるため、ほかのコールド・スタート・ノードがウェイクアップを完了し動作可能となり、スタートアップ・ステートに入るのに必要な最小限の時間までスタートアップの試行を遅らせることが推奨されています。すべてのノードとスターがウェイクアップを完了し動作可能となるまで、数百ミリ秒かかることがあります（必要とされる時間は使われているハードウェアによって異なります）。

スタートアップはすべてのチャンネルで同期して実行されます。スタートアップ中、ノードはスタートアップ・フレームのみを送信します。スタートアップ中、スタートアップ・フレームは sync フレームでありかつ Null フレームでもあります。

すべてのノードの立ち上げ時の同期には、フォールト・トレラントな分散スタートアップが実行されます。通常、ノードは、図 31-8 「タイム・トリガ型スタートアップの状態遷移図」の状態を経由して NORMAL\_ACTIVE ステートに入ります。

- 同期を開始するコールド・スタート（リーディング・コールド・スタート・ノード）
- ほかのコールド・スタート・ノードに追従するコールド・スタート（フォロウイング・コールド・スタート・ノード）
- 既存の通信スケジュールに統合（その他すべてのノード）

コールド・スタートの試行は衝突回避シンボル（CAS）の送信によって開始します。CAS を送信したコールド・スタート・ノードのみが CAS のあとの最初の4サイクルでフレームを送信し、そのあと残りのコールド・スタート・ノードとその他すべてのノードがクラスタに参加します。

コールド・スタート・ノードの FLXnSUCC1.FLXnTXST ビットと FLXnSUCC1.FLXnTXSY ビットは「1」にセットされています。メッセージ・バッファ0は、スタートアップ・フレームの送信に使われるスロット番号を示すキー・スロット ID を持っています。スタートアップ・フレームのフレーム・ヘッダでは、スタートアップ・フレーム・インジケータ・ビットがセットされています。

3つ以上のノードから構成されるクラスタでは、少なくとも3つのノードをコールド・スタート・ノードとして設定する必要があります。2つのノードから構成されるクラスタでは、両方のノードをコールド・スタート・ノードにする必要があります。クラスタをスタートアップさせるには、少なくとも2つの正常なコールド・スタート・ノードが必要です。

スタートアップ・フレームは sync フレームとしても機能する必要があります。したがって、コールド・スタート・ノードは sync ノードにもなります。コールド・スタートの試行回数は FLXnSUCC1.FLXnCSA[4:0] によって設定されます。

非コールド・スタート・ノードが統合するには、別のノードから送信された少なくとも2つのスタートアップ・フレームを受信する必要があります。非コールド・スタート・ノードは、コールド・スタート・ノード自身がスタートアップを完了する前に統合を開始することができます。非コールド・スタート・ノードのスタートアップは、少なくとも2つのコールド・スタート・ノードがスタートアップを完了するまで、完了しません。

非コールド・スタート・ノードもコールド・スタート・ノードも、TDMAスケジュール情報が含まれた sync フレームを受信すると、ただちにクラスタへの統合を開始します。統合中、ノードはローカル・クロックをグローバル・クロック（レートとオフセット）に合わせて、自ノードのサイクル・タイムをグローバル・スケジュールと整合させる必要があります。その後、すべてのネットワーク・ノードで、これらの設定の整合性がチェックされます。そのチェックで問題がなかった場合に限り、ノードは統合フェーズから抜け出して、通信を開始することができます。



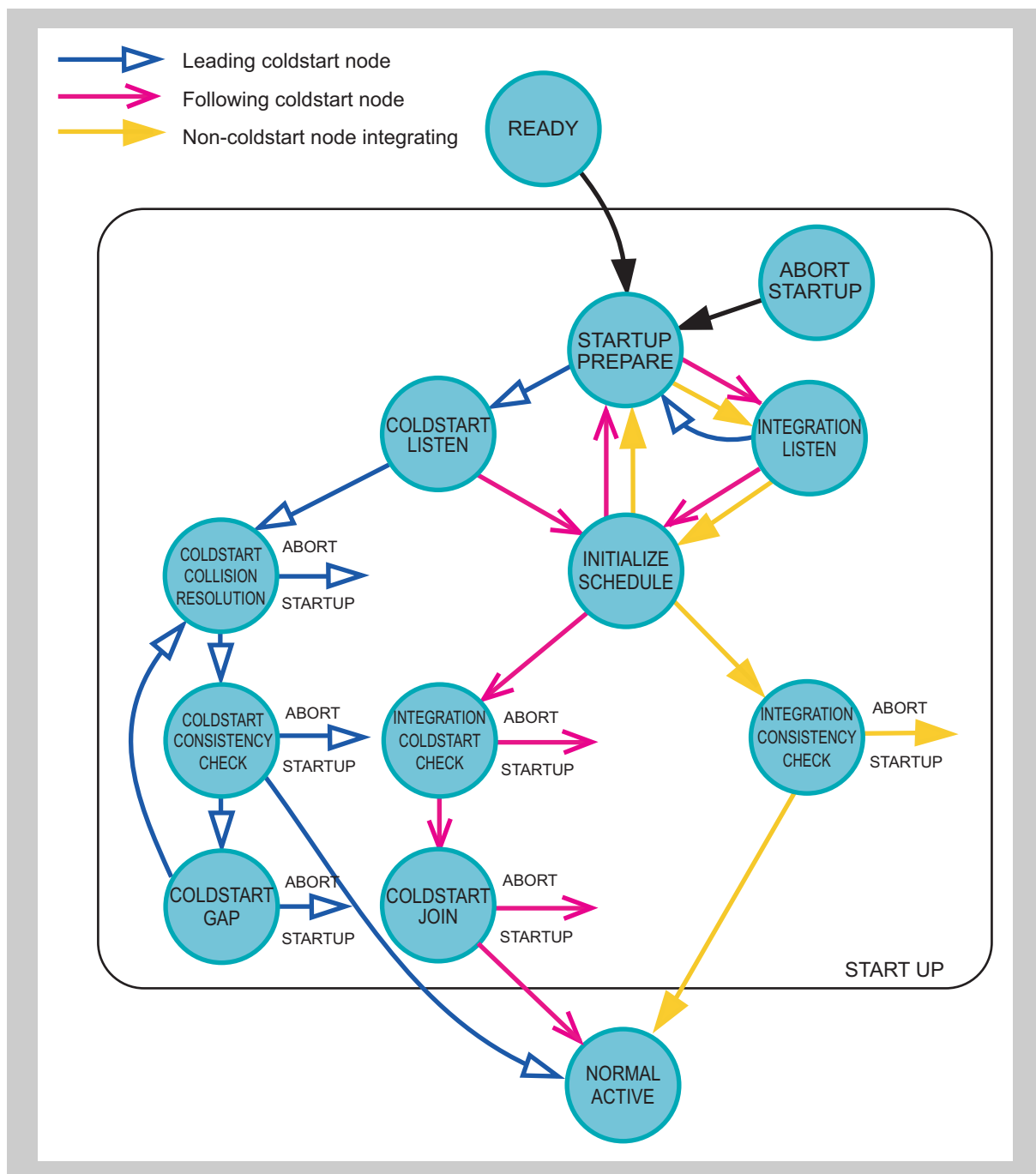


図 31-8 タイム・トリガ型スタートアップの状態遷移図



**コールド・スタート  
禁止モード** コールド・スタート禁止モードでは、ノードが TDMA 通信スケジュールを初期化することができません。FLXnCCSV.FLXnCSI ビットがセットされていると、ノードはクラスタ通信を初期化すること、つまりコールド・スタートの過程に入ることを禁止されます。ほかのコールド・スタート・ノードがクラスタ通信の初期化を開始していれば、そのノードは、動作中のクラスタに統合すること、またはスタートアップ・フレームを送信することができます。

コールド・スタート禁止ビット FLXnCCSV.FLXnCSI は、POC が READY ステートに入るとセットされます。このビットは、ホストの制御下で、CHI コマンド ALLOW\_COLDSTART (FLXnCMD[3:0] = 「1001」) によってクリアされます。

**スタートアップ・  
タイムアウト** FlexRay コントローラは、スタートアップ・タイムアウトとスタートアップ・ノイズ・タイムアウトという 2 つのタイムアウト値をカウントする 2 つの  $\mu$ T タイマを持っています。2 つのタイマは、FlexRay コントローラが COLDSTART\_LISTEN ステートに入るとリセットされます。これらのタイマのいずれかが期限切れになると、ノードは通信を開始するために初期の検出フェーズ (COLDSTART\_LISTEN ステート) から抜け出します。

**備考** スタートアップ・タイムおよびスタートアップ・ノイズ・タイムは、ウェイクアップ・タイムおよびウェイクアップ・ノイズ・タイムと同じであり、同じ設定値 FLXnSUCC2.FLXnLT[20:0] と FLXnSUCC2.FLXnLTN[3:0] を使用します。

**スタートアップ・タイムアウト**

スタートアップ・タイムアウトは、ほかのノード間ですでに通信が行われているか、あるいは少なくとも 1 つのコールド・スタート・ノードがほかのノードの統合を要求しているかを判断するためのリスン時間を規定します。スタートアップ・タイムは、FLXnSUCC2.FLXnLT[20:00] で設定されます ((2) 「FLXnSUCC2 - SUC 設定レジスタ 2」を参照してください)。

スタートアップ・タイムアウトは以下のように定義されます。

pdListenTimeout = FLXnSUCC2.FLXnLT[20:00]

スタートアップ・タイムは以下の場合に再開されます。

- COLDSTART\_LISTEN ステートに入ったとき
- COLDSTART\_LISTEN ステートで両方のチャンネルがアイドル状態になったとき

スタートアップ・タイムは以下の場合に停止します。

- ノードが COLDSTART\_LISTEN ステートにある間に、設定されているチャンネルの 1 つで通信が検出されたとき
- COLDSTART\_LISTEN ステートから抜け出したとき

スタートアップ・タイムが期限切れになったあとは、タイマがオーバーフローすること、循環リスタートすることはありません。タイマのステータスは保持され、スタートアップ・ステート・マシンがそのステータスを処理します。

**スタートアップ・ノイズ・タイム**

スタートアップ・タイムが最初にスタートするのと同時に (STARTUP\_PREPARE ステートから COLDSTART\_LISTEN ステートへの遷移時)、スタートアップ・ノイズ・タイムがスタートします。このタイムアウトは、ノイズのある環境でのスタートアップ処理の信頼性を高めるために使われます。スタートアップ・ノイズ・タイムアウトは、

FLXnSUCC2.FLXnLTN[3:0] で設定されます ((2)「FLXnSUCC2 - SUC 設定レジスタ 2」を参照してください)。

スタートアップ・ノイズ・タイムアウトは以下のように定義されます。  
 $pdListenTimeout\_gListenNoise = FLXnSUCC2.FLXnLT[20:00]$   
 $(FLXnSUCC2.FLXnLTN[3:0] + 1)$

スタートアップ・ノイズ・タイムは以下の場合に再開されます。

- COLDSTART\_LISTEN ステートに入ったとき
- ノードが COLDSTART\_LISTEN ステートにある間に、正しく復号されたヘッダまたは CAS シンボルを受信したとき

スタートアップ・ノイズ・タイムは COLDSTART\_LISTEN ステートから抜け出すと停止します。

スタートアップ・ノイズ・タイムが期限切れになったあとは、タイムオーバーフローすることも、循環リスタートすることはありません。タイムのステータスは保持され、スタートアップ・ステート・マシンがそのステータスを処理します。ランダムなチャネル動作が検出されてもスタートアップ・ノイズ・タイムは再開されないため、このタイムアウトは、ノイズのある環境でもノードが通信クラスタのスタートアップを試行することを保証する安全策として機能します。

**リーディング・コールド・スタート・ノードのスタートアップ (コールド・スタートの開始)**

コールド・スタート・ノードは COLDSTART\_LISTEN ステートに入ると接続されているチャネルの通信を監視します。

通信が検出されない場合、ノードは COLDSTART\_COLLISION\_RESOLUTION ステートに入り、コールド・スタートの試行を開始します。CAS シンボルの初回の送信後、最初の通常サイクルが始まります。このサイクルの番号はゼロです。

ノードは、サイクル・ゼロ以降、スタートアップ・フレームを送信します。個々のコールド・スタート・ノードがコールド・スタートを試行する可能性があるため、複数のノードが同時に CAS シンボルを送信し、コールド・スタートの過程に入ることがあります。この問題は、CAS の送信に続く最初の 4 サイクルの間に解決されます。

コールド・スタートの試行を開始したノードは、この 4 サイクルの間に CAS シンボルまたはフレーム・ヘッダを受信すると、再び COLDSTART\_LISTEN ステートに入ります。そうすることで、コールド・スタートを実行できるノードは 1 つのだけになります。サイクル 4 で、ほかのコールド・スタート・ノードがスタートアップ・フレームを送信し始めます。

COLDSTART\_COLLISION\_RESOLUTION ステートが 4 サイクル続くと、コールド・スタートを開始したノードは COLDSTART\_CONSISTENCY\_CHECK ステートに入ります。このノードはサイクル 4 とサイクル 5 からすべてのスタートアップ・フレームを収集し、クロック補正を実行します。クロック補正によってエラーが発生せず、ノードが少なくとも 1 組の有効なスタートアップ・フレームのペアを受信すると、ノードは COLDSTART\_CONSISTENCY\_CHECK ステートから抜け出して、NORMAL\_ACTIVE ステートに入ります。

ノードがコールド・スタートを試行できる回数は、FLXnSUCC1.FLXnCSA[4:0]. によって設定されます。残りのコールド・スタート試行回数は FLXnCCSV.FLXnRCA[4:0] から読み出すことができます。コールド・スタートを 1 回試行するたびに残りのコールド・スタート試行回数が 1 つ減ります。ノードは、この値が 1 を上回る場合にのみ

COLDSTART\_LISTEN ステートに入ることができ、この値がゼロを上回る場合にのみ COLDSTART\_COLLISION\_RESOLUTION ステートに入ることができます。コールド・スタート試行回数が1の場合、コールド・スタートは禁止されますが、統合は可能です。

**フォロウイング・コールド・スタート・ノードのスタートアップ (リーディング・コールド・スタート・ノードへの応答)**

コールド・スタート・ノードは COLDSTART\_LISTEN ステートに入ると、リーディング・コールド・スタート・ノードからスケジュールとクロック補正值を取得するために、有効なスタートアップ・フレームのペアを受信します。

有効なスタートアップ・フレームを受信すると、ただちに INITIALIZE\_SCHEDULE ステートに入ります。クロック同期機能によって2番目の有効なスタートアップ・フレームを受信し、そのフレームからスケジュールを取得することができれば、INTEGRATION\_COLDSTART\_CHECK ステートに入ります。

INTEGRATION\_COLDSTART\_CHECK ステートでは、クロック補正を正しく実行できるかどうか、またこのノードが自分のスケジュールの初期化に使ったコールド・スタート・ノードがまだ利用可能であるかどうかの確認が行われます。ノードはすべての sync フレームを収集し、次のダブル・サイクルでクロック補正を実行します。クロック補正でエラーが発生せず、ノードが統合先のノードから十分な数のフレームを受信し続けると、COLDSTART\_JOIN ステートに入ります。

COLDSTART\_JOIN ステートでは、フォロウイング・コールド・スタート・ノードが自分のスタートアップ・フレームを送信し始めます。このようにして、リーディング・コールド・スタート・ノードと、そのノードに統合したノードは、互いのスケジュールが一致しているかどうかを確認することができます。その後3サイクルの間に実行されたクロック補正でエラーが発生せず、少なくとも1つのコールド・スタート・ノードが検出できれば、ノードは COLDSTART\_JOIN ステートを抜け出し、NORMAL\_ACTIVE ステートに入ります。このようにして、フォロウイング・コールド・スタート・ノードは、コールド・スタートを開始したノードから少なくとも1サイクル遅れて STARTUP ステートから抜け出します。

**非コールド・スタート・ノードのスタートアップ**

非コールド・スタート・ノードは INTEGRATION\_LISTEN ステートに入ると接続されているチャンネルの通信を監視します。

有効なスタートアップ・フレームを受信すると、ただちに INITIALIZE\_SCHEDULE ステートに入ります。クロック同期機能によって2番目の有効なスタートアップ・フレームを受信し、そのフレームからスケジュールを取得することができれば、INTEGRATION\_CONSISTENCY\_CHECK ステートに入ります。

INTEGRATION\_CONSISTENCY\_CHECK ステートのノードは、クロック補正でエラーがないか、十分な数(2つ以上)のコールド・スタート・ノードが自分のスケジュールと一致するスタートアップ・フレームを送信しているかどうかを確認します。クロック補正でエラーが検出されると、統合の試行は中断されます。

このステートでの最初の偶数サイクル中に、ノードは2つの有効なスタートアップ・フレームまたは統合先ノードの1つのスタートアップ・フレームのいずれかを受信する必要があります。受信できない場合、ノードは統合の試行を中断します。

このステートでの最初のダブル・サイクルの間に、ノードは2組の有効なスタートアップ・フレーム・ペアまたは統合先ノードの1組のスタートアップ

プ・フレーム・ペアを受信する必要があります。受信できない場合、ノードは統合の試行を中断します。

最初のダブル・サイクル後の偶数サイクルで受信した有効なスタートアップ・フレームが2個未満だった場合、または最初のダブル・サイクル後のダブル・サイクルで受信した有効なスタートアップ・フレーム・ペアが2組未満だった場合、ノードはスタートアップの試行を中断します。

このステートのノードは、2つの連続するダブル・サイクルにわたって、1回のダブル・サイクルにつき2組の有効なスタートアップ・フレーム・ペアを受信しないと、STARTUP ステートから抜け出して NORMAL\_ACTIVE ステートに入ることができません。したがって、非コールド・スタート・ノードは、コールド・スタートを開始したノードから少なくとも1ダブル・サイクル遅れて、奇数サイクルの終わりでのみ STARTUP ステートから抜け出すことができます。

#### (8) NORMAL\_ACTIVE ステート

最初に CAS シンボルを送信したノードと、それとは別の1つのノードが NORMAL\_ACTIVE ステートに入ると、ただちにクラスタのスタートアップ・フェーズが終了します。NORMAL\_ACTIVE ステートでは、すべての設定されたメッセージの送信スケジュールが決まります。そのスケジュールが決まったフレームには、すべてのデータ・フレームと sync フレームが含まれます。偶数サイクルごとにレートとオフセットの測定が開始されます（偶数/奇数のサイクル・ペアで実行される）。

NORMAL\_ACTIVE ステートの FlexRay コントローラは通常の通信機能に対応します。

- FlexRay コントローラは設定に従って FlexRay バスで送信と受信を行う
- クロック同期が実行される
- ホスト・インタフェースは稼働状態

FlexRay コントローラは次の場合にこのステートから抜け出し、以下に示すステートへ遷移します。

- FLXnSUCC1.FLXnCMD[3:0] = 「0110」 (HALT コマンド) が書き込まれた場合は、現在のサイクルの終わりで HALT ステートへ遷移  
FLXnSUCC1.FLXnCMD[3:0] = 「0111」 (FREEZE コマンド) が書き込まれた場合は、ただちに HALT ステートへ遷移
- エラー状態が ACTIVE から COMM\_HALT に変化した場合は、HALT ステートへ遷移
- エラー状態が ACTIVE から PASSIVE に変化した場合は、NORMAL\_PASSIVE ステートへ遷移
- FLXnSUCC1.FLXnCMD[3:0] = 「0010」 (READY コマンド) が書き込まれたときは READY ステートへ遷移

#### (9) NORMAL\_PASSIVE ステート

エラー状態が ACTIVE から PASSIVE に変化するすると、NORMAL\_ACTIVE ステートから NORMAL\_PASSIVE ステートへ遷移します。

NORMAL\_PASSIVE ステートでは、ノードがすべてのフレームを受信できません（ノードは完全に同期しており、クロック同期を実行します）。

NORMAL\_ACTIVE ステートと異なり、ノードは通信に能動的に参加しません。つまり、シンボルもフレームも送信しません。

NORMAL\_PASSIVE ステートでは、以下の動作が行われます。

- FlexRay コントローラは FlexRay バス上で受信を行う
- FlexRay コントローラは FlexRay バス上でフレームもシンボルも送信しない
- クロック同期が実行される
- ホスト・インタフェースは稼働状態

FlexRay コントローラは次の場合、この状態から抜け出し、以下に示すステートへ遷移します。

- FLXnSUCC1.FLXnCMD[3:0] = 「0110」 (HALT コマンド) が書き込まれた場合は、現在のサイクルの終わりで HALT ステートへ遷移  
FLXnSUCC1.FLXnCMD[3:0] = 「0111」 (FREEZE コマンド) が書き込まれた場合は、ただちに HALT ステートへ遷移
- エラー状態が PASSIVE から COMM\_HALT に変化した場合は、HALT ステートへ遷移
- エラー状態が PASSIVE から ACTIVE に変化した場合は、NORMAL\_ACTIVE ステートへ遷移。FLXnCCEV.FLXnPTAC[4:0] が FLXnSUCC1.FLXnPTA[4:0] - 1 と一致すると遷移が行われる。
- FLXnSUCC1.FLXnCMD[3:0] = 「0010」 (READY コマンド) が書き込まれたときは READY ステートへ遷移

#### (10) HALT ステート

このステートでは、すべての通信 (受信と送信) が停止します。

FlexRay コントローラは以下の場合にこのステートに入ります。

- FlexRay コントローラが NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートにあるときに FLXnSUCC1.FLXnCMD[3:0] = 「0110」 (HALT コマンド) が書き込まれたとき
- 現在の状態に関係なく、FLXnSUCC1.FLXnCMD[3:0] = 「0111」 (FREEZE コマンド) が書き込まれたとき
- クロック補正失敗カウンタが「HALT へ遷移するクロック補正エラー期間のしきい値」に達し、FLXnSUCC1.FLXnHCSE がセットされているために、NORMAL\_ACTIVE ステートから抜け出したとき
- クロック補正失敗カウンタが「HALT へ遷移するクロック補正エラー期間のしきい値」に達し、FLXnSUCC1.FLXnHCSE がセットされているために、NORMAL\_PASSIVE ステートから抜け出したとき

FlexRay コントローラは以下の場合にこのステートから DEFAULT\_CONFIG ステートへ遷移します。

- FLXnSUCC1.FLXnCMD[3:0] = 「0001」 (CONFIG コマンド) が書き込まれたとき

FlexRay コントローラが HALT ステートに入ると、すべての設定データとステータス・データが保持されます。

ホストが FLXnSUCC1.FLXnCMD[3:0] = 「0110」 (HALT コマンド) を書き込むと、FlexRay コントローラは FLXnCCSV.FLXnHRQ ビットをセットし、次のサイクルの終わりで HALT ステートに入ります。

ホストが FLXnSUCC1.FLXnCMD[3:0] = 「0111」 (FREEZE コマンド) を書き込むと、FlexRay コントローラはただちに HALT ステートに入り、FLXnCCSV.FLXnFSI ビットをセットします。

HALT ステートへ遷移する直前の POC ステートは、FLXnCCSV.FLXnPSL[5:0] から読み出すことができます。



### 31.4.6 ネットワーク管理

累積ネットワーク管理 (NM) ベクタは、FLXnNMV1 ~ 3 レジスタから読み出すことができます。FlexRay コントローラは、ペイロード・プリアンブル・インジケータ・ビット (PPI) がセットされているすべての有効な受信 NM フレームに対してビット単位の OR 演算を実行します。NM 情報を保持するように設定できるフレームは、スタティック・フレームに限られます。FlexRay コントローラは各サイクルの終わりで NM ベクタを更新します。

NM ベクタの長さは、FLXnNEMC.FLXnNML[3:0] で 0 ~ 12 バイトに設定することができます。NM ベクタ長は 1 つのクラスタ内のすべてのノードで同じ値に設定する必要があります。

PPI ビットがセットされている FlexRay フレームが送信バッファから送信されるように設定するには、FLXnWRHS1.FLXnWHPPIT を使って、その送信バッファのヘッダ・セクション内の PPIT ビットをセットする必要があります。さらに、ホストは、その送信バッファのデータ・セクションに NM 情報を書き込む必要があります。

NM ベクタの内容は、ホストで実行されているアプリケーションで参照されます。

**備考** メッセージ・バッファがネットワーク管理フレームの送信または受信用として設定されている場合、そのメッセージ・バッファのヘッダ 2 のペイロード長は、FLXnNEMC.FLXnNML[3:0] によって設定されている NM ベクタの長さ以上でなければなりません。FlexRay コントローラが HALT ステートへ遷移すると、サイクル・カウントがインクリメントされないため、NM ベクタは更新されません。その場合、FLXnNMV1 ~ 3 には遷移前のサイクルの値が保持されます。

### 31.4.7 フィルタリングとマスキング

フィルタリングは、割り当てられているメッセージ・バッファの設定を現在のスロット・カウンタ値、サイクル・カウンタ値、チャンネル ID (チャンネル A, B) と比較することによって行われます。メッセージ・バッファは、必要とされる条件の一致が検出された場合にのみ更新または送信されます。

フィルタリングは以下のフィールドに基づいて行われます。

- チャンネル ID
- フレーム ID
- サイクル・カウンタ

以下のフィルタの組み合わせを受信フィルタリングまたは送信フィルタリングに利用することができます。

- フレーム ID + チャンネル ID
- フレーム ID + チャンネル ID + サイクル・カウンタ

受信メッセージをメッセージ・バッファに保存するには、設定されているすべてのフィルタの条件が満たされている必要があります。

**備考** FIFO では、FIFO リジェクション・フィルタ・レジスタと FIFO リジェクション・フィルタ・マスク・レジスタによって受信フィルタが設定されます。メッセージは、設定されているチャンネルの設定されているフレーム ID に対応するタイム・スロットで送信されます。サイクル・カウンタ・フィルタリングが有効になっている場合は、設定されているサイクル・フィルタ値も一致する必要があります。

#### (1) スロット・カウンタ・フィルタリング

送信バッファと受信バッファのヘッダ・セクションにはフレーム ID が格納されています。受信バッファと送信バッファを対応するスロットに割り当てるために、このフレーム ID を現在のスロット・カウンタ値と比較します。

複数のメッセージ・バッファで同じフレーム ID が設定されており、同じスロットのサイクル・カウンタ・フィルタ値が一致する場合は、メッセージ・バッファ番号の最も小さいメッセージ・バッファが使用されます。

#### (2) サイクル・カウンタ・フィルタリング

サイクル・カウンタ・フィルタリングはサイクル・セットの定義に基づいて行われます。フィルタリングを目的として、サイクル・セットの要素のいずれか 1 つと一致すれば、一致を検出したこととなります。サイクル・セットは、各メッセージ・バッファのヘッダ・セクション 1 内のサイクル・コード・フィールドによって設定されます。

FLXnSUCC1.FLXnTXST ビット、FLXnSUCC1.FLXnTXSY ビット、FLXnSUCC1.FLXnTSM ビットによって、メッセージ・バッファ 0 またはメッセージ・バッファ 1 がスタートアップ / sync フレームまたはシングル・スロット・フレームを格納するように設定されている場合は、メッセージ・バッファ 0 またはメッセージ・バッファ 1 のサイクル・カウンタ・フィルタリングを無効にする必要があります。

**備考** 1 つの FlexRay ネットワーク上の異なるノード間でサイクル・カウンタ・フィルタリングを介してスタティック・タイム・スロットを共有することは禁止されています。



1つのサイクル・セットに属するサイクル番号の集合は、表 31-98 「サイクル・セットの定義」に示す方法に従って決定されます。

表 31-98 サイクル・セットの定義

サイクル・コード	条件に一致するサイクル・カウンタ値
0b000000x	全サイクル
0b000001c	2 サイクルごと (Cycle Count)mod2 = c のとき
0b00001cc	4 サイクルごと (Cycle Count)mod4 = cc のとき
0b0001ccc	8 サイクルごと (Cycle Count)mod8 = ccc のとき
0b001cccc	16 サイクルごと (Cycle Count)mod16 = cccc のとき
0b01ccccc	32 サイクルごと (Cycle Count)mod32 = ccccc のとき
0b1cccccc	64 サイクルごと (Cycle Count)mod64 = ccccc のとき

サイクル・カウンタ・フィルタリングで使われる有効なサイクル・セットの例を以下の表 31-99 「有効なサイクル・セットの例」に示します。

表 31-99 有効なサイクル・セットの例

サイクル・コード	条件に一致するサイクル・カウンタ値
0b0000011	1-3-5-7- ... -63
0b0000100	0-4-8-12- ... -60
0b0001110	6-14-22-30- ... -62
0b0011000	8-24-40-56
0b0100011	3-35
0b1001001	9

受信メッセージは、メッセージを受信したサイクルのサイクル・カウンタ値が受信バッファのサイクル・セットの要素と一致した場合にのみ保存されます。その他のフィルタの条件も満たされていなければなりません。

送信バッファの内容は、サイクル・セットの要素が現在のサイクル・カウンタ値と一致したときに、設定されたチャンネルで送信されます。その他のフィルタの条件も満たされていなければなりません。

**(3) チャンネルID フィルタリング**

メッセージ RAM 内の各メッセージ・バッファのヘッダ・セクションには、2 ビットのチャンネル・フィルタリング・フィールド (CHA, CHB) があります。このフィールドは、受信バッファのフィルタおよび送信バッファの制御フィールドとして機能します (表 31-100 「チャンネル・フィルタリングの設定」を参照してください)。

表 31-100 チャンネル・フィルタリングの設定

CHA	CHB	送信バッファ フレームを送信するチャンネル	受信バッファ 受信した有効フレームを格納するチャンネル
1	1	両チャンネル (スタティック・セグメントのみ)	チャンネル A またはチャンネル B (先に到達した有効フレームを保存, スタティック・セグメントのみ)
1	0	チャンネル A	チャンネル A
0	1	チャンネル B	チャンネル B
0	0	送信しない	フレームを無視

送信においてスロット・カウンタ・フィルタリングの条件とサイクル・カウンタ・フィルタリングの条件が満たされると、チャンネル・フィルタリング・フィールドで指定されたチャンネルで送信バッファの内容が送信されます。送信バッファを両チャンネルで送信するように設定できる (FLXnWHCHA と FLXnWHCHB をセットできる) セグメントは、スタティック・セグメントに限られます。

受信においてスロット・カウンタ・フィルタリングの条件とサイクル・カウンタ・フィルタリングの条件が満たされると、チャンネル・フィルタリング・フィールドで指定されたチャンネルで有効なフレームを受信したときに、そのフレームが保存されます。受信バッファを両チャンネルで受信するように設定できる (FLXnRHCHA と FLXnRHCHB をセットできる) セグメントは、スタティック・セグメントに限られます。

**備考** メッセージ・バッファがダイナミック・セグメント用に設定されており、チャンネル・フィルタリング・フィールドの両方のビットが「1」にセットされている場合、フレームは送信されず、受信フレームは無視されます (それぞれ FLXnWHCHA = FLXnWHCHB = 「0」のとき、および FLXnRHCHA = FLXnRHCHB = 「0」のときと同じように機能します)。

**(4) FIFO フィルタリング**

FIFO フィルタリングでは、1つのリジェクション・フィルタと1つのリジェクション・フィルタ・マスクを使用できます。FIFO フィルタは、チャンネル・フィルタ FLXnFRF.FLXnCH[1:0]、フレーム ID フィルタ FLXnFRF.FLXnFID[10:00]、サイクル・カウンタ・フィルタ FLXnFRF.FLXnCYF[6:0] から構成されます。FLXnFRF レジスタと FLXnFRFM レジスタは DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ設定可能です。FIFO に属するメッセージ・バッファのヘッダ・セクションで設定されたフィルタは無視されます。

7ビットのサイクル・カウンタ・フィルタは、フレーム ID リジェクション・フィルタとチャンネル・リジェクション・フィルタが適用されるサイクル・セットを決定します。FLXnFRF.FLXnCYF[6:0] で指定されたサイクル・セットに属さないサイクルでは、すべてのフレームが拒否されます。

設定されているリジェクション・フィルタとリジェクション・フィルタ・マスクによってチャンネル ID、フレーム ID、サイクル・カウンタが拒否されず、

条件に一致する受信バッファがなければ、有効な受信フレームはFIFOに保存されます。

### 31.4.8 送信プロセス

#### (1) スタティック・セグメント

スタティック・セグメントで複数のメッセージの送信が保留されている場合は、次の送信スロットに一致するフレーム ID を持つメッセージが送信されません。

スタティック・セグメントに割り当てられている送信バッファのデータ・セクションは、前のタイム・スロットの終わりまでに更新することができます。つまり、遅くともその時点までに入力バッファ・コマンド要求レジスタに書き込むことによって入力バッファからの転送を開始する必要があります。

#### (2) ダイナミック・セグメント

ダイナミック・セグメントで複数のメッセージの送信が保留されている場合は、優先度の最も高い（フレーム ID の最も小さい）メッセージが次に選択されます。ダイナミック・セグメントでは、チャンネル A とチャンネル B でスロット・カウンタ・シーケンスが異なる（両チャンネルで異なるフレーム ID が同時に送信される）可能性があります。

ダイナミック・セグメントに割り当てられている送信バッファのデータ・セクションは、前のスロットの終わりまでに更新することができます。つまり、遅くともその時点までに入力バッファ・コマンド要求レジスタに書き込むことによって入力バッファからの転送を開始する必要があります。

FLXnMHDC.FLXnSLT[12:00] によって設定される送信開始可能最終位置は、現在のサイクルのダイナミック・セグメントで新しいフレームの送信が禁止される直前のミニスロット値を指定します。

#### (3) 送信バッファ

FLXnWRHS1 を使ってメッセージ・バッファのヘッダ・セクションの FLXnWHCFG ビットを「1」に設定することによって、メッセージ・バッファを送信バッファとして設定できます。

FlexRay コントローラ・チャンネルへの送信バッファの割り当てには、以下の方法があります。

- スタティック・セグメント：チャンネル A またはチャンネル B, チャンネル A とチャンネル B
- ダイナミック・セグメント：チャンネル A またはチャンネル B

メッセージ・バッファ 0 またはメッセージ・バッファ 1 は、FLXnSUCC1.FLXnTXST, FLXnSUCC1.FLXnTXSY, FLXnSUCC1.FLXnTSM の設定に従って、スタートアップ・フレーム、sync フレームまたは指定されたシングル・スロット・フレームの送信に使われません。その場合、メッセージ・バッファは、DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ設定可能です。そうすることで、どのノードも 1 つの通信サイクルにつき 1 つのスタートアップ・フレームまたは 1 つの sync フレームを送信できます。ほかのメッセージ・バッファからスタートアップ・フレームまたは sync フレームを送信することはできません。

スタティック・セグメントまたはダイナミック・セグメントで送信するように設定されているその他すべてのメッセージ・バッファは、FLXnMRC.FLXnSEC[1:0] の設定によっては、通信中に再設定することができます。（データ・ポインタによって参照される）メッセージ RAM のデータ・パーティションの構造により、設定ペイロード長とメッセージ・バッファのヘッダ・セクションのデータ・ポインタを再設定すると、誤った設定が行われる可能性があります。

通信中にメッセージ・バッファを再設定すると（ヘッダ・セクションを更新すると）、そのメッセージ・バッファがその通信サイクルでは送信されないことがあります。

FlexRay コントローラはヘッダ CRC を計算する機能を持っていません。ホストがすべての送信バッファのヘッダ CRC を設定します。ネットワーク管理が必要な場合、ホストはメッセージ・バッファのヘッダ・セクションの PPIT ビットを「1」にセットし、メッセージ・バッファのデータ・セクションにネットワーク管理情報を書き込む必要があります。

ペイロード長フィールドでは、2 バイト・ワード単位でペイロード長を設定します。スタティック送信バッファで設定されているペイロード長が FLXnMHDC.FLXnSFDL[6:0] で設定されているスタティック・セグメントのペイロード長より短い場合、FlexRay コントローラはフレームを適切な長さにするためにパディング・バイトを追加します。パディング・パターンは論理ゼロです。

**備考** ペイロード長が奇数の場合（PLC = 1,3,5,...）は、パディング・パターンがオール 0 になるように、ホストのアプリケーションがメッセージ・バッファのデータ・セクションの最後の 16 ビットにゼロを書き込む必要があります。

各送信バッファが送信モード・フラグ TXM を持っており、ホストはそれを利用して送信バッファの送信モードを設定することができます。このビットがセットされていれば、送信側はシングル・ショット・モードで動作します。このビットがクリアされていれば、送信側は連続モードで動作します。

シングル・ショット・モードでは、送信完了後、FlexRay コントローラが FLXnTXR フラグをリセットします。そうすることで、ホストは送信バッファを更新できるようになります。

連続モードでは、送信が成功しても、FlexRay コントローラが送信要求フラグ FLXnTXR をリセットしません。その場合は、フィルタの条件が満たされるたびにフレームが送信されます。ホストは、FLXnIBCM.FLXnSTXRH ビットが「0」にセットされている間に FLXnIBCR レジスタにメッセージ・バッファ番号を書き込むことによって、FLXnTXR フラグをリセットすることができます。

複数の送信バッファがフィルタの条件を同時に満たしている場合は、メッセージ・バッファ番号の最も小さい送信バッファがそのスロットで送信されます。

#### (4) フレームの送信

メッセージ・バッファを送信可能な状態にする手順を以下に示します。

- FLXnWRHS1, FLXnWRHS2, FLXnWRHS3 を使ってメッセージ RAM 内の送信バッファを設定する
- FLXnWRDSm を使って送信バッファのデータ・セクションを書き込む
- 転送先メッセージ・バッファの番号を FLXnIBCR レジスタに書き込むことによって、入力バッファからメッセージ RAM へ、設定データとメッセージ・データを転送する
- FLXnIBCM レジスタで設定されている場合は、転送が完了するとただちにメッセージ・バッファの FLXnTXR フラグがセットされ、メッセージ・バッファが送信可能な状態になる
- FLXnTRXQ1/2/3/4 レジスタの FLXnTXR ビット（FLXnTXR = 0）をチェックすることによって、メッセージ・バッファが送信されたかどうかを確認する（シングル・ショット・モードの場合のみ）

送信が完了すると、FLXnTXRQ1/2/3/4 レジスタの FLXnTXR フラグがリセットされ (シングル・ショット・モード)、メッセージ・バッファのヘッダ・セクションの MBI ビットがセットされていれば、FLXnSIR.FLXnTXIF フラグが「1」にセットされます。割り込みが許可されていれば、割り込みが生成されます。

#### (5) Null フレームの送信

スタティック・セグメントでホストが送信時間までに送信要求フラグをセットせず、フィルタの条件に一致する送信バッファがほかにない場合、FlexRay コントローラは Null フレーム・インジケータ・ビットが「0」にセットされ、ペイロード・データがゼロに設定された Null フレームを送信します。

FlexRay コントローラは以下の場合に Null フレームを送信します。

- フィルタの条件に一致する、最も小さいメッセージ・バッファ番号を持つメッセージ・バッファの送信要求フラグがセットされていない場合 (FLXnTXR = 0)
- 現在のサイクルとサイクル・カウンタ・フィルタが一致する送信バッファがそのスロットに設定されていない場合、いずれのメッセージ・バッファ・ステータス MBS も更新されません。

ダイナミック・セグメントで Null フレームが送信されることはありません。

### 31.4.9 受信プロセス

#### (1) 受信バッファ

FLXnWRHS1 を使ってメッセージ・バッファのヘッダ・セクションの FLXnRHCFG ビットを「0」に設定することによって、メッセージ・バッファの一部を受信バッファとして設定できます。

FlexRay コントローラ・チャンネルへの受信バッファの割り当てには、以下の方法があります。

- スタティック・セグメント：チャンネル A またはチャンネル B, チャンネル A とチャンネル B (先に到達した有効フレームを格納する)
- ダイナミック・セグメント：チャンネル A またはチャンネル B

FlexRay コントローラは、有効な受信メッセージのペイロード・データを FlexRay チャンネル・プロトコル・コントローラ (チャンネル A または B) のソフト・レジスタから、フィルタ条件に一致する受信バッファに転送します。受信バッファにはフレーム CRC を除くすべてのフレームの要素が格納されます。

スタティック・セグメントまたはダイナミック・セグメントで受信するように設定されているすべてのメッセージ・バッファは、FLXnMRC.FLXnSEC[1:0] の設定によっては、通信中に再設定することができます。通信中にメッセージ・バッファが再設定されると (ヘッダ・セクションが更新されると)、その通信サイクルで受信メッセージが失われることがあります。

複数の受信バッファがフィルタの条件を同時に満たしている場合は、メッセージ・バッファ番号の最も小さい受信バッファが受信メッセージによって更新されます。

#### (2) フレームの受信

メッセージ・バッファを受信可能な状態にする手順を以下に示します。

- FLXnWRHS1, FLXnWRHS2, FLXnWRHS3 を使ってメッセージ RAM 内の受信バッファを設定する
- 転送先メッセージ・バッファの番号を FLXnIBCR レジスタに書き込むことによって、入力バッファからメッセージ RAM へ設定データを転送する

ここまでの手順が完了すれば、メッセージ・バッファはアクティブな受信バッファとして機能し、FlexRay コントローラがメッセージを受信するたびに行う内部の受信フィルタリング・プロセスを開始します。条件に一致する最初の受信バッファが受信メッセージによって更新されます。

メッセージ・バッファのデータ・セクションに有効なペイロード・セグメントが格納され、FLXnNDAT1/2/3/4 レジスタの FLXnND フラグがセットされており、そのメッセージ・バッファのヘッダ・セクションの MBI ビットがセットされていれば、FLXnSIR.FLXnRXIF が「1」にセットされます。割り込みが許可されていれば、割り込みが生成されます。

メッセージ・ハンドラがメッセージ・バッファを更新したときに FLXnND がすでにセットされていた場合は、そのメッセージ・バッファの FLXnMBS.FLXnMBSMLST ビットがセットされ、未処理のメッセージ・データは失われます。

スロットでフレームが受信されなかった場合、あるいは Null フレームや破損フレームが受信された場合、そのスロットで設定されているメッセージ・



バッファのデータ・セクションは更新されません。その場合は、メッセージ・バッファ・ステータス MBS のみが更新されます。

メッセージ・ハンドラがメッセージ・バッファのヘッダ・セクション内のメッセージ・バッファ・ステータス MBS を変更した場合は、FLXnMBSC1/2/3/4 レジスタの FLXnMBC フラグがセットされ、そのメッセージ・バッファのヘッダ・セクションの MBI ビットがセットされていれば、FLXnSIR.FLXnMBSIF フラグが「1」にセットされます。割り込みが許可されていれば、割り込みが生成されます。

受信フレームの PLR[6:0] が示すペイロード長がメッセージ・バッファのヘッダ・セクション内の PLC[6:0] で設定されている値より長い場合、メッセージ・バッファに格納されるデータ・フィールドはその長さに合わせて切り捨てられます。

出力バッファを介してメッセージ・バッファから受信バッファを読み出すには、「メッセージ RAM から出力バッファへのデータ転送」で説明している手順に従ってください。

**備考** 受信メッセージのペイロード・データとヘッダが出力バッファに転送されると、それぞれに対応する FLXnND フラグと FLXnMBC フラグがメッセージ・ハンドラによって自動的にクリアされます。

### (3) Null フレームの受信

受信 Null フレームのペイロード・セグメントは、条件に一致する受信バッファにコピーされません。Null フレームが受信されると、条件に一致するメッセージ・バッファのメッセージ・バッファ・ステータス MBS のみが受信 Null フレームによって更新されます。条件に一致するメッセージ・バッファのヘッダ 2 とヘッダ 3 のすべてのビットは変更されません。これらのビットは受信データ・フレームによってのみ更新されます。

メッセージ・ハンドラがメッセージ・バッファのヘッダ・セクション内のメッセージ・バッファ・ステータス MBS を変更した場合は、FLXnMBSC1/2/3/4 レジスタの FLXnMBC フラグがセットされ、そのメッセージ・バッファのヘッダ・セクションの MBI ビットがセットされていれば、FLXnSIR.FLXnMBSIF フラグが「1」にセットされます。割り込みが許可されていれば、割り込みが生成されます。



### 31.4.10 FIFO の機能

#### (1) 説明

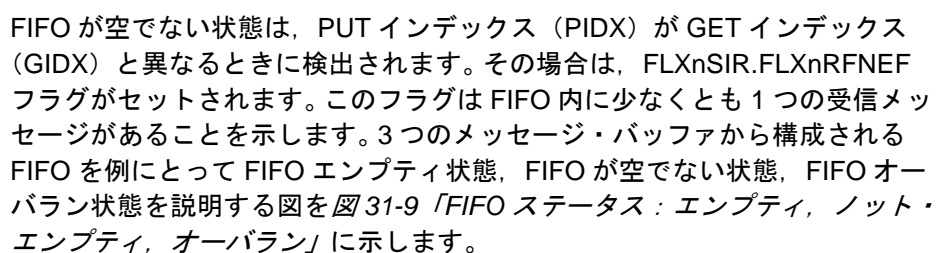
メッセージ・バッファのグループをサイクリックな FIFO (First-In-First-Out) バッファとして設定することができます。FIFO に属するメッセージ・バッファのグループは、レジスタ・マップ内で連続するバッファであり、FLXnMRC.FLXnFFB[7:0] によって参照されるメッセージ・バッファから始まり、FLXnMRC.FLXnLCB[7:0] によって参照されるメッセージ・バッファで終わります。最大 127 個のメッセージ・バッファを FIFO に割り当てることができます。

いずれの受信バッファとも条件が一致せず、設定した FIFO フィルタと条件が一致するすべての有効な入力メッセージは、FIFO に格納されます。その場合は、指定された FIFO メッセージ・バッファのフレーム ID、ペイロード長、受信サイクル・カウント、メッセージ・バッファ・ステータス MBS が、受信フレームのフレーム ID、ペイロード長、受信サイクル・カウント、ステータスによって上書きされます。FLXnSIR.FLXnRFNEF は FIFO が空でないことを示し、FLXnSIR.FLXnRFCLF ビットは受信 FIFO の充填レベル FLXnFSR.FLXnRFFL[7:0] が FLXnFCL.FLXnCL[7:0] で設定された FIFO 限界レベル以上になるとセットされ、FLXnEIR.FLXnRFOE ビットは FIFO オーバランが検出されたことを示します。割り込みが許可されていれば、割り込みが生成されます。

Null フレームが FIFO リジェクション・フィルタによって拒否されなかった場合、その Null フレームは FIFO に格納されるときにデータ・フレームと同様に扱われます。

FIFO に関連付けられた 2 つのインデックス・レジスタがあります。PUT インデックス・レジスタ (PIDX) は FIFO 内の次の利用可能な場所を示します。新しいメッセージを受信すると、そのメッセージは PIDX レジスタによって指定されたメッセージ・バッファに書き込まれます。PIDX レジスタはインクリメントされ、次の利用可能なメッセージ・バッファを指定します。PIDX レジスタが最大の FIFO のメッセージ・バッファ番号を超えるまでインクリメントされると、FIFO チェインの最初の (最小の) メッセージ・バッファ番号が PIDX レジスタにロードされます。GET インデックス・レジスタ (GIDX) は、読み出し対象となる FIFO の次のメッセージ・バッファの指定に使われます。GIDX レジスタは、FIFO に属するメッセージ・バッファの内容が出力バッファへ転送されるとインクリメントされます。ホストが PUT インデックス・レジスタと GET インデックス・レジスタにアクセスすることはできません。

PUT インデックス (PIDX) が GET インデックス (GIDX) の値に達すると、FIFO はフルになります。最も古いメッセージが読み出される前に次のメッセージが FIFO に書き込まれると、PUT インデックスと GET インデックスがインクリメントされ、新しいメッセージが FIFO 内の最も古いメッセージを上書きします。そうすると、FIFO オーバラン・フラグ FLXnEIR.FLXnRFOE がセットされます。

FIFO が空でない状態は、PUT インデックス (PIDX) が GET インデックス (GIDX) と異なるときに検出されます。その場合は、FLXnSIR.FLXnRFNEF フラグがセットされます。このフラグは FIFO 内に少なくとも 1 つの受信メッセージがあることを示します。3 つのメッセージ・バッファから構成される FIFO を例にとって FIFO エンプティ状態、FIFO が空でない状態、FIFO オーバラン状態を説明する図を  31-9 「FIFO ステータス: エンプティ, ノット・エンプティ, オーバラン」に示します。

設定可能な FIFO リジェクション・フィルタ (FRF) では、拒否するメッセージのフィルタ・パターンを指定します。FIFO フィルタはチャンネル・フィルタ、フレーム ID フィルタ、サイクル・カウンタ・フィルタから構成されます。FLXnFRF.FLXnRSS ビットが「1」にセットされていると (デフォルト)、スタティック・セグメントで受信されたすべてのメッセージが FIFO によって拒否されます。FLXnFRF.FLXnRNF ビットが「1」にセットされていると (デフォルト)、受信 Null フレームは FIFO に格納されません。

FIFO リジェクション・フィルタ・マスク (FRFM) では、FIFO リジェクション・フィルタ・レジスタのフレーム ID フィルタのどのビットをリジェクション・フィルタリングで無視するかを指定します。

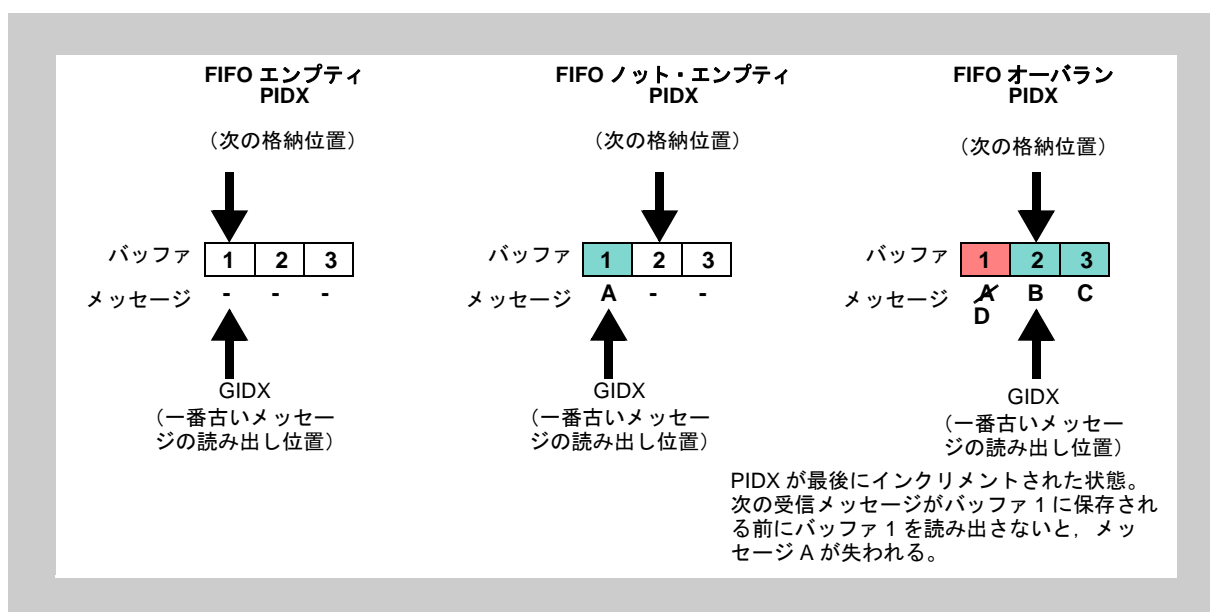


図 31-9 FIFO ステータス：エンpty、ノット・エンpty、オーバラン

## (2) FIFO の設定

FIFO に属するメッセージ・バッファの (再) 設定は、FlexRay コントローラが DEFAULT\_CONFIG ステートまたは CONFIG ステートにあるときにのみ可能です。DEFAULT\_CONFIG ステートまたは CONFIG ステートにある間、FIFO 機能は利用できません。

FIFO に属するすべてのメッセージ・バッファで設定ペイロード長が同じになるように FLXnWRHS2.FLXnWHPLC[6:0] に設定する必要があります。メッセージ RAM 内のメッセージ・バッファのデータ・セクションの先頭 32 ビット・ワードを指すデータ・ポインタを FLXnWRHS3.FLXnWHDP[10:00] で設定する必要があります。

受信フィルタリングに必要なすべての情報は FIFO リジェクション・フィルタと FIFO リジェクション・フィルタ・マスクから取得されます。FLXnWHDP と FLXnWHPLC を除き、FIFO に属するメッセージ・バッファのヘッダ・セクションで設定される値は FIFO の動作に影響を及ぼしません。

**備考** 受信割り込みが生成されないように、FLXnWRHS1.FLXnWHMBI を使って、FIFO に属するメッセージ・バッファの MBI ビットが「0」になるように設定することを推奨します。  
受信フレームのペイロード長がメッセージ・バッファのヘッダ・セクションの FLXnWRHS2.FLXnWHPLC[6:0] で設定された値より長い場合、FIFO に属するメッセージ・バッファに格納されるデータ・フィールドは、その長さに合わせて切り捨てられます。

### (3) FIFO へのアクセス

DEFAULT\_CONFIG または CONFIG 以外の状態で FIFO にアクセスするには、ホストが (FLXnMRC.FLXnFFB[7:0] によって参照される) FIFO の最初のメッセージ・バッファの番号を FLXnOBCR レジスタに書き込むことによって、メッセージ RAM から出力バッファへの転送を要求する必要があります。そうすれば、メッセージ・ハンドラは、GET インデックス・レジスタ (GIDX) によって指定されたメッセージ・バッファを出力バッファへ転送します。その転送のあと、GET インデックス・レジスタ (GIDX) はインクリメントされます。

### 31.4.11 メッセージの処理

メッセージ・ハンドラは、入力/出力バッファとメッセージ RAM との間およびメッセージ RAM と 2 つのトランジェント・バッファ RAM との間のデータ転送を制御します。内部 RAM へのアクセスは、すべて 32 + 7 ビット・アクセスで行われます。追加の 7 ビットは ECC コード用です。

メッセージ RAM に格納されたメッセージ・バッファへのアクセスは、メッセージ・ハンドラ・ステート・マシンの制御下で行われます。そうすることで、メッセージ RAM へのアクセスに対する 2 つの FlexRay チャンネル・プロトコル・コントローラとホスト間の競合を回避します。

スタティック・セグメントに割り当てられるメッセージ・バッファのフレーム ID は、1 から FLXnGTUC07.FLXnNSS[9:0] の範囲内になければなりません。ダイナミック・セグメントに割り当てられるメッセージ・バッファのフレーム ID は、FLXnGTUC07.FLXnNSS[9:0] + 1 から 2047 の範囲内になければなりません。

条件に一致する受信バッファ（スタティック・セグメントまたはダイナミック・セグメント）がない受信メッセージは、FIFO リジェクション・フィルタの条件に一致すれば、受信 FIFO に格納されます（受信 FIFO が設定されている場合）。

#### (1) メッセージ・バッファの再設定

アプリケーションが 128 個を上回る異なるメッセージを使用する必要がある場合は、スタティック・メッセージ・バッファとダイナミック・メッセージ・バッファを FlexRay の運用中に再設定することができます。そうするには、入力バッファ・レジスタ FLXnWRHS1 ~ 3 を使ってメッセージ・バッファのヘッダ・セクションを更新します。

メッセージ RAM 設定レジスタの制御ビット FLXnMRC.FLXnSEC[1:0] を使って再設定を有効にする必要があります。

再設定が開始される前にメッセージ・バッファが送信されていない場合、あるいは受信フレームによってメッセージ・バッファが更新されていない場合、そのメッセージは失われます。

再設定されたメッセージ・バッファを再設定されたフレーム ID に基づいて送信または受信できるようになるタイミングは、ヘッダ・セクションの更新が完了したときのスロット・カウンタの状態によって異なります。したがって、再設定されたメッセージ・バッファが、再設定が行われたサイクルで送信されない、あるいは受信フレームによって更新されないことがあります。

メッセージ RAM は以下の表 31-101 に従ってスキャンされます。

表 31-101 メッセージ RAM のスキャン

スキャンが開始されるときのスロット番号	スキャンされるスロット
1	2 ~ 15, 1 (次のサイクル)
8	16 ~ 23, 1 (次のサイクル)
16	24 ~ 31, 1 (次のサイクル)
24	32 ~ 39, 1 (次のサイクル)
...	...

メッセージ RAM のスキャンは、スキャンが完了しているかどうかに関係なく、NIT の開始と同時に終了します。スロット 2 からスロット 15 を対象とするメッセージ RAM のスキャンは、現在のサイクルのスロット 1 の先頭で始まります。スロット 1 を対象とするメッセージ RAM のスキャンは、その前のサイクルで、サイクルごとのメッセージ RAM のスキャンと並行して、次のサイクルのスロット 1 に設定されたメッセージ・バッファがあるかどうかを調べることによって行われます。

最初のダイナミック・メッセージ・バッファの番号は FLXnMRC.FLXnFDB[7:0] によって設定されます。ダイナミック・セグメント期間でメッセージ RAM のスキャンが開始される場合、スキャンは FLXnMRC.FLXnFDB[7:0] によって設定されたメッセージ・バッファ番号から始まります。

メッセージ・バッファを次のサイクルのスロット 1 で使用するよう再設定する必要がある場合は、以下の点を考慮する必要があります。

- スロット 1 用に再設定するメッセージ・バッファが「スタティック・バッファ」の一部である場合は、現在のサイクルのスタティック・セグメントで行われる最後のメッセージ RAM スキャンがそのメッセージ・バッファをチェックする前にホストがメッセージ・バッファを再設定すれば、そのメッセージ・バッファが通信に使われます。
- スロット 1 用に再設定するメッセージ・バッファが「スタティックバッファ + ダイナミック・バッファ」の一部である場合は、現在のサイクルで行われる最後のメッセージ RAM スキャンがそのメッセージ・バッファをチェックする前にホストがメッセージ・バッファを再設定すれば、そのメッセージ・バッファが通信に使われます。
- NIT の開始によってメッセージ RAM のスキャンは終了します。その時点までにメッセージ RAM スキャンが再設定されたメッセージ・バッファをチェックしていない場合、そのメッセージ・バッファは次のサイクルで通信に使われません。

**備考** メッセージ・バッファの再設定はメッセージの損失を招くことがあるため、利用するときは十分に注意してください。最悪の場合は（連続するサイクルで再設定を行った場合）、メッセージ・バッファがまったく送信されない、あるいは受信フレームによって更新されないことがあります。

## (2) ホストからメッセージ RAM へのアクセス

入力バッファとメッセージ RAM との間のメッセージ転送およびメッセージ RAM と出力バッファとの間のメッセージ転送は、ホストがアクセスの対象となる転送先メッセージ・バッファまたは転送元メッセージ・バッファの番号を FLXnIBCR レジスタまたは FLXnOBCR レジスタに書き込むことによって開始されます。

FLXnIBCM レジスタと FLXnOBCM レジスタを使用して、選択されているメッセージ・バッファのヘッダ・セクションおよびデータ・セクションの書き込みと読み出しを別々に行うことができます。

FLXnIBCM.FLXnSTXRH ビットが「1」にセットされている場合は、メッセージ・バッファが更新されると、選択されているメッセージ・バッファの送信要求フラグ FLXnTXR が自動的にセットされます。

FLXnIBCM.FLXnSTXRH ビットが「0」にリセットされると、選択されているメッセージ・バッファの送信要求フラグ FLXnTXR がリセットされます。この機能を利用して、連続モードで動作しているメッセージ・バッファからの送信を停止することができます。

入力バッファ (IBF) と出力バッファ (OBF) はダブル・バッファ構造になっています。ダブル・バッファ構造の半分 (IBF ホスト / OBF ホスト) はホストからアクセス可能であり、残りの半分 (IBF シャドウ / OBF シャドウ) はメッセージ・ハンドラがアクセスして、IBF / OBF とメッセージ RAM 間のデータ転送を行います。

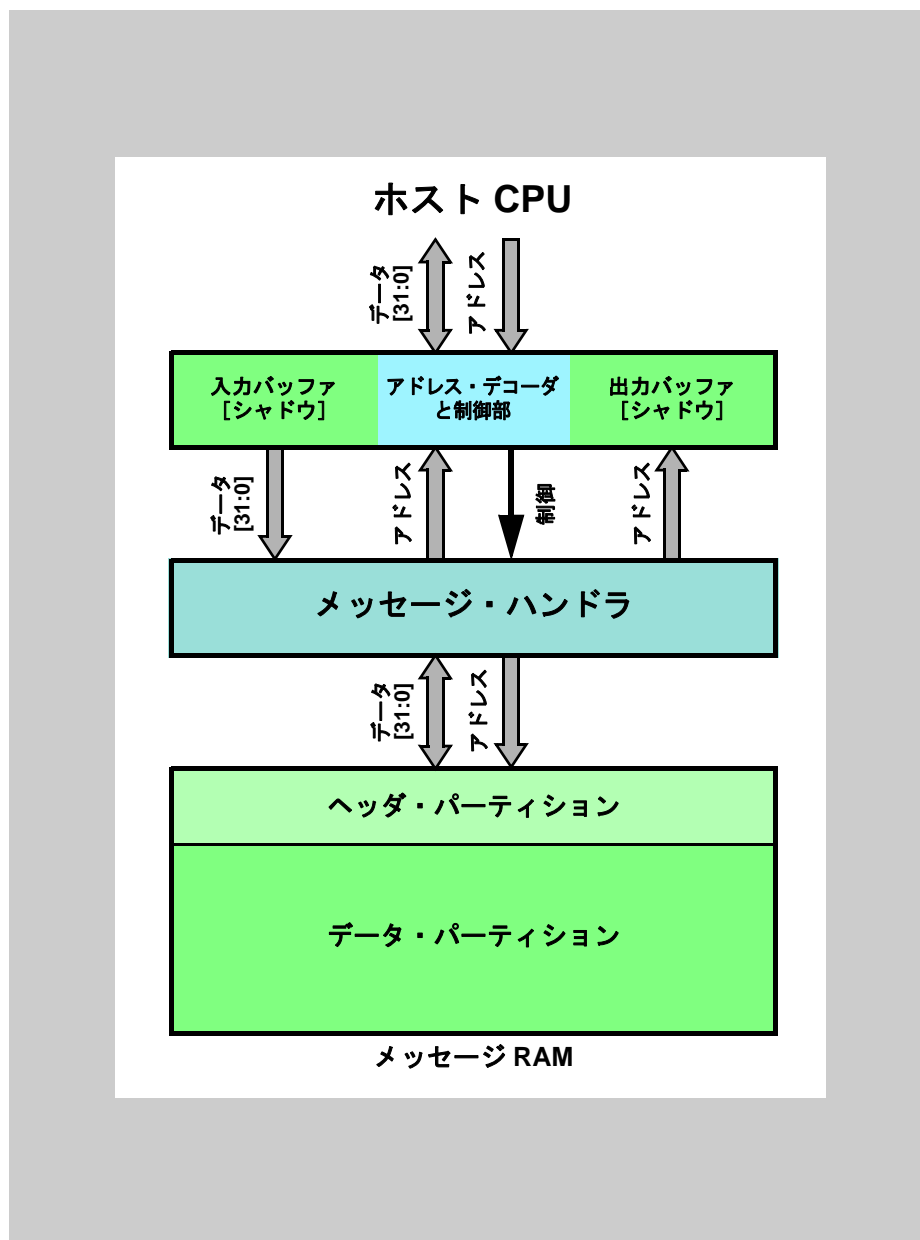


図 31-10 ホストからメッセージ RAM へのアクセス

**入力バッファから  
メッセージRAMへ  
のデータ転送**

メッセージRAM内のメッセージ・バッファを設定または更新するには、ホストがデータをFLXnWRDSmに、ヘッダをFLXnWRHS1～3に書き込む必要があります。入力バッファ・コマンド・マスクFLXnIBCMを設定することによって動作が選択されます。

ホストがメッセージRAM内の転送先メッセージ・バッファの番号をFLXnIBCR.FLXnIBRH[6:0]に書き込むと、IBFホストとIBFシャドウがスワップされます（図31-11「入力バッファのダブル・バッファ構造」を参照してください）。

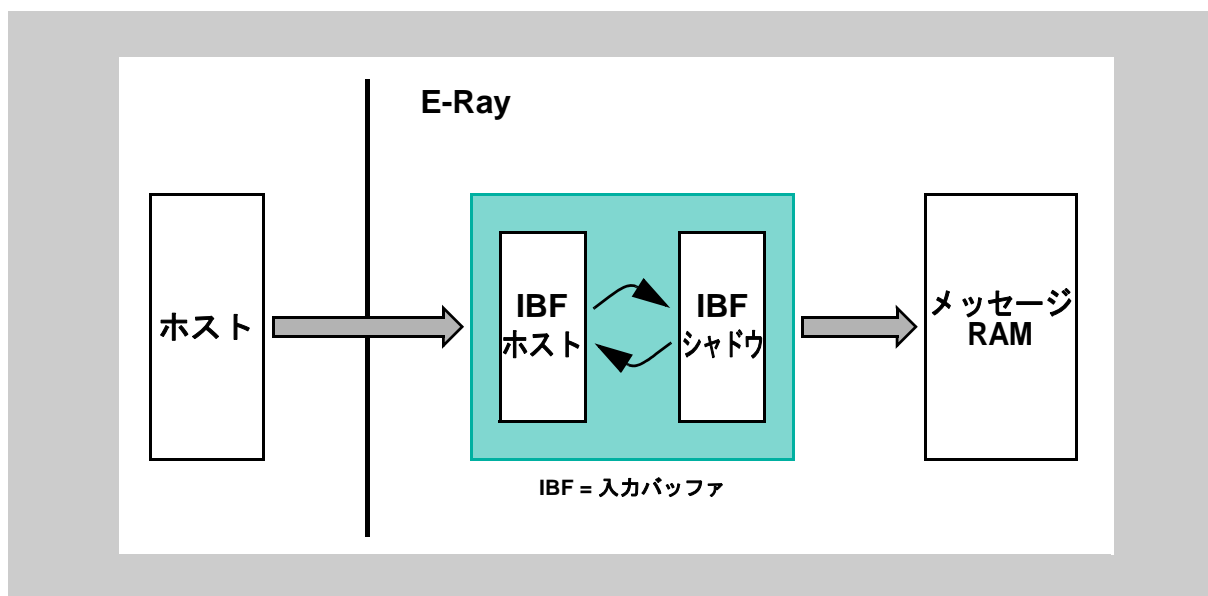


図 31-11 入力バッファのダブル・バッファ構造

さらに、ビットとIBFセクションとの関連付けが失われないように、FLXnIBCMレジスタとFLXnIBCRレジスタのビットもスワップされます。

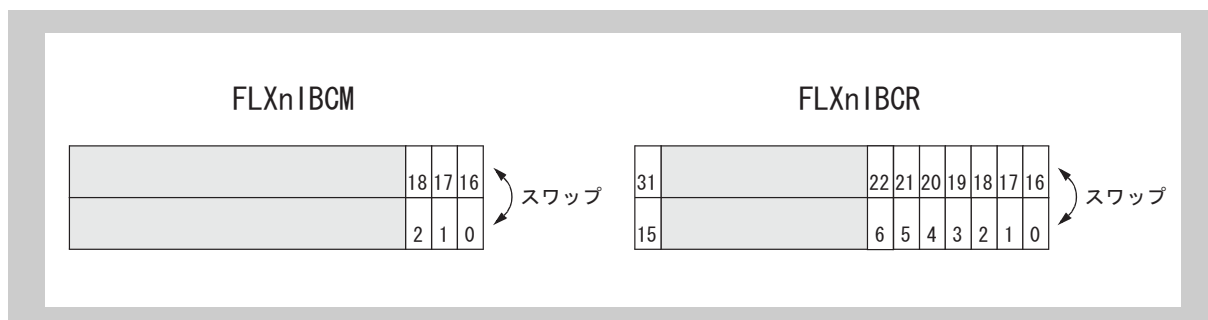


図 31-12 FLXnIBCM ビットと FLXnIBCR ビットのスワップ

この書き込み操作によってFLXnIBCR.FLXnIBSYSビットが「1」にセットされます。次に、メッセージ・ハンドラは、IBFシャドウの内容をFLXnIBCR.FLXnIBRS[6:0]によって選択されたメッセージRAM内のメッセージ・バッファへ転送し始めます。

メッセージ・ハンドラがIBFシャドウからメッセージRAM内の転送先メッセージ・バッファへデータを転送している間、ホストはIBFホストに次のメッセージを書き込むことができます。IBFシャドウとメッセージRAM間の転送が完了すると、FLXnIBCR.FLXnIBSYSビットが「0」に戻り、ホストは



転送先メッセージ・バッファ番号を FLXnIBCR.FLXnIBRH[6:0] に書き込むこと  
によってメッセージ RAM への次の転送を開始することができます。

FLXnIBCR.FLXnIBSYS が「1」にセットされている間に  
FLXnIBCR.FLXnIBRH[6:0] への書き込みアクセスが行われると、  
FLXnIBCR.FLXnIBSYH が「1」にセットされます。実行中の IBF シャドウか  
らメッセージ RAM へのデータ転送が完了すると、IBF ホストと IBF シャドウ  
がスワップされ、FLXnIBCR.FLXnIBSYH が「0」にリセットされ、  
FLXnIBCR.FLXnIBSYS は「1」にセットされたまま変わらず、メッセージ  
RAM への次の転送が開始されます。さらに、FLXnIBCR.FLXnIBRH[6:0] と  
FLXnIBCR.FLXnIBRS[6:0] に格納されているメッセージ・バッファ番号とコ  
マンド・マスク・フラグもスワップされます。

32 ビット・ホスト・アクセス・シーケンスの例

IBF を介して n 番目のメッセージ・バッファを設定または更新します。

- FLXnIBCR.FLXnIBSYH がリセットされるまで待機
- FLXnWRDSm にデータ・セクションを書き込む
- FLXnWRHS1 ~ 3 にヘッダ・セクションを書き込む
- コマンド・マスクの書き込み : FLXnIBCM.FLXnSTXRH,  
FLXnIBCM.FLXnLDSH, FLXnIBCM.FLXnLHSH に書き込む
- 転送先メッセージ・バッファへのデータ転送の要求 :  
FLXnIBCR.FLXnIBRH[6:0] に書き込む

IBF を介して (n + 1) 番目のメッセージ・バッファを設定または更新します。

- FLXnIBCR.FLXnIBSYH がリセットされるまで待機
- FLXnWRDSm にデータ・セクションを書き込む
- FLXnWRHS1 ~ 3 にヘッダ・セクションを書き込む
- コマンド・マスクの書き込み : FLXnIBCM.FLXnSTXRH,  
FLXnIBCM.FLXnIBCM, FLXnIBCM.FLXnLHSH に書き込む
- 転送先メッセージ・バッファへのデータ転送の要求 :  
FLXnIBCR.FLXnIBRH[6:0] に書き込む

**備考** FLXnIBCR.FLXnIBSYH が「1」である間に IBF へ書き込みアクセスを行う  
と、エラー・フラグ FLXnEIR.FLXnIBAE が「1」にセットされます。その場  
合の書き込みアクセスには無効になります。



表 31-102 FLXnIBCM ビットの割り当て

位置	アクセス	ビット	機能
18	r	FLXn STXRS	送信要求設定 (シャドウ)
17	r	FLXn LDSS	データ・セクションのロード・フラグ (シャドウ)
16	r	FLXn LHSS	ヘッダ・セクションのロード・フラグ (シャドウ)
2	r/w	FLXn STXRH	送信要求設定 (ホスト)
1	r/w	FLXn LDSh	データ・セクションのロード (ホスト)
0	r/w	FLXn LSh	ヘッダ・セクションのロード (ホスト)

表 31-103 FLXnIBCR ビットの割り当て

位置	アクセス	ビット	機能
31	r	FLXn IBSYS	IBF ビジー (シャドウ) IBF シャドウからメッセージ RAM への転送が進行中であることを示します。
22-16	r	FLXn IBRS[6:0]	IBF 要求 (シャドウ) 現在更新中または最後に更新されたメッセージ・バッファの番号
15	r	FLXn IBSYH	IBF ビジー (ホスト) IBRH[6:0] によって参照されるメッセージ・バッファの転送要求が保留中
6-0	r/w	FLXn IBRH[6:0]	IBF 要求 (ホスト) 次に更新されるメッセージ・バッファの番号

### メッセージ RAM から 出力バッファへの データ転送

メッセージ RAM からメッセージ・バッファを読み出すには、ホストが FLXnOBCR レジスタに書き込むことによって、FLXnOBCM で設定されたデータ転送を開始する必要があります。転送が完了すると、ホストは転送されたデータを FLXnRDDS<sub>n</sub>, FLXnRDHS1 ~ 3, FLXnMBS から読み出すことができます。

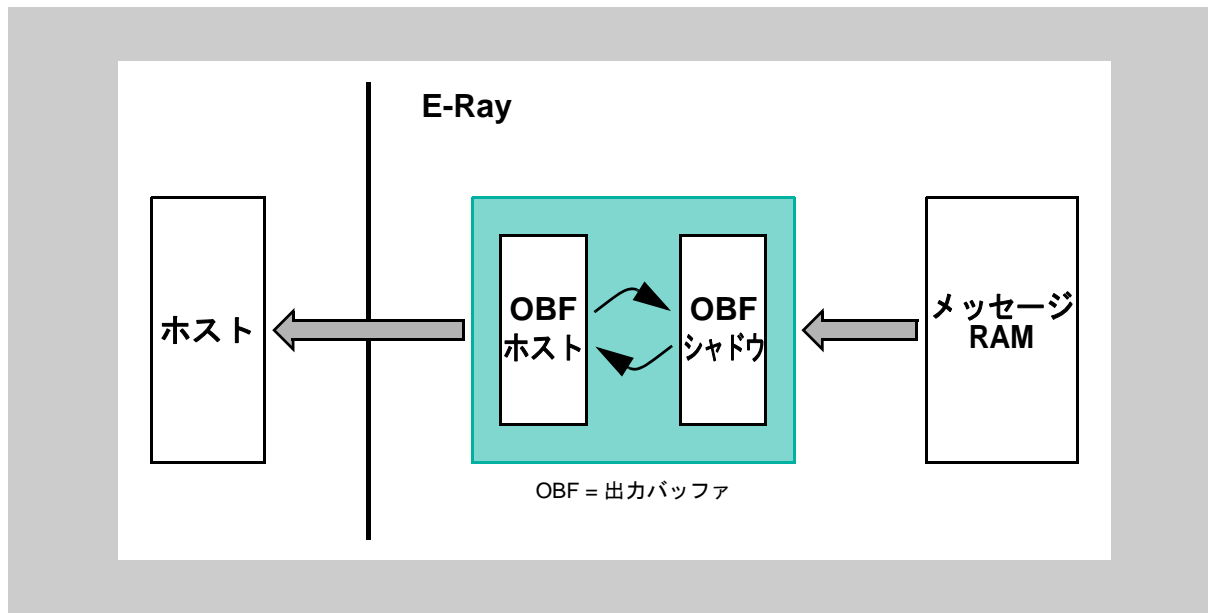


図 31-13 出力バッファのダブル・バッファ構造

FLXnOBCR.FLXnVIEW ビットと FLXnOBCR.FLXnREQ ビットによる制御を受けて、OBF ホストと OBF シャドウがスワップされ、ビット FLXnOBCM.FLXnRHSS, FLXnOBCM.FLXnRDSS, FLXnOBCM.FLXnRSHS, FLXnOBCM.FLXnRDSH とビット FLXnOBCR.FLXnOBRs[6:0], FLXnOBCR.FLXnOBRH[6:0] がスワップされます。

FLXnOBCR.FLXnREQ ビットに「1」を書き込むことで、ビット FLXnOBCM.FLXnRHSS, FLXnOBCM.FLXnRDSS とビット FLXnOBCR.FLXnOBRs[6:0] が内部ストレージにコピーされます。

FLXnOBCR.FLXnREQ を「1」にセットすると、FLXnOBCR.FLXnOBSYS が「1」にセットされ、FLXnOBCR.FLXnOBRs[6:0] によって選択されているメッセージ・バッファのメッセージ RAM から OBF シャドウへの転送が開始されます。メッセージ RAM と OBF シャドウ間の転送が完了すると、FLXnOBCR.FLXnOBSYS ビットが「0」に戻ります。FLXnOBCR.FLXnREQ ビットと FLXnOBCR.FLXnVIEW ビットは、FLXnOBCR.FLXnOBSYS が「0」であるときだけ「1」にセットすることができます。

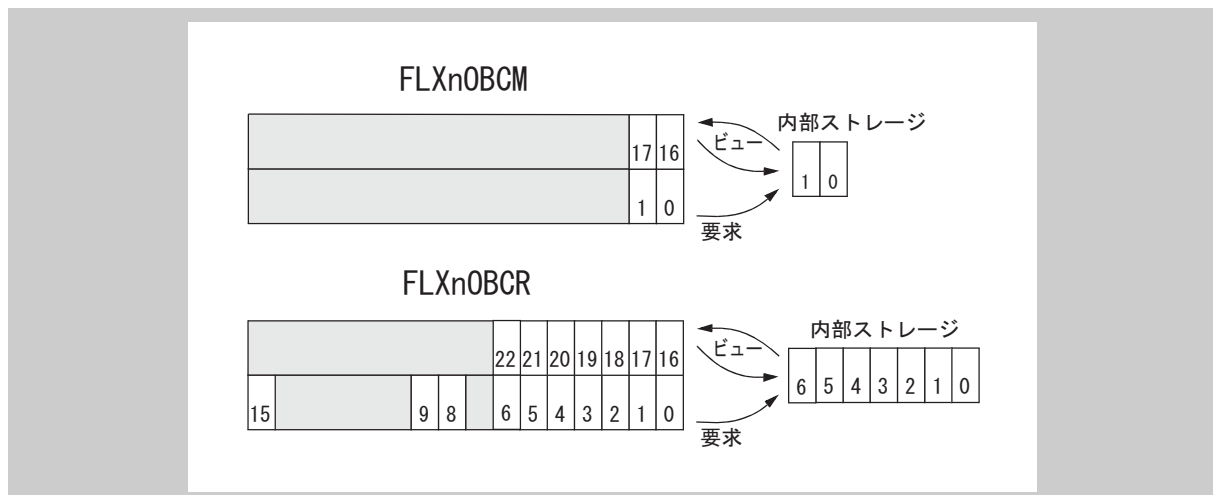


図 31-14 FLXnOBCM ビットと FLXnOBCR ビットのスワップ

FLXnOBCR.FLXnOBSYS ビットが「0」である間に FLXnOBCR.FLXnVIEW ビットを「1」にセットすることによって、OBF ホストと OBF シャドウがスワップされます。

さらに、FLXnOBCR.FLXnOBRH[6:0] に格納されるメッセージ・バッファ番号と FLXnOBCM.FLXnRSHS, FLXnOBCM.FLXnRDSH に格納されるマスク設定が OBF ホストに格納される転送データに対応するように、ビット FLXnOBCR.FLXnOBRH[6:0] およびビット FLXnOBCM.FLXnRSHS, FLXnOBCM.FLXnRDSH がレジスタの内部ストレージとスワップされます。

この時点で、ホストは転送されたメッセージ・バッファを OBF ホストから読み出すことができ、メッセージ・ハンドラはメッセージ RAM から OBF シャドウへ次のメッセージを転送することができます。

FLXnOBSYS が「0」である間に FLXnREQ ビットと FLXnVIEW ビットが同じ書き込みアクセスで「1」にセットされると、FLXnOBSYS が自動的に「1」にセットされ、OBF シャドウと OBF ホストがスワップされます。さらに、出力バッファが転送されるときにマスク・ビットとバッファ・セクションとの関連付けが失われないように、マスク・ビット FLXnOBCM.FLXnRDSH, FLXnOBCM.FLXnRSHS もレジスタの内部ストレージとスワップされます。その後、FLXnOBR[6:0] がレジスタの内部ストレージにコピーされ、マスク・ビット FLXnOBCM.FLXnRDSS と FLXnOBCM.FLXnRHSS が FLXnOBCM レジスタの内部ストレージにコピーされ、メッセージ RAM から OBF シャドウへの選択されているメッセージ・バッファの転送が開始されます。転送中、ホストは前回の転送で転送されたメッセージ・バッファを OBF ホストから読み出すことができます。FLXnOBSYS が「0」に戻ることによって、メッセージ RAM と OBF シャドウ間の現在の転送が完了したことがわかります。

#### 32 ビット・ホスト・アクセスの例 (シングル・アクセス)

1つのメッセージ・バッファを読み出す場合は、FLXnOBCR.FLXnREQ と FLXnOBCR.FLXnVIEW への2回の別々の書き込みアクセスが必要です。

- FLXnOBCR.FLXnOBSYS がリセットされるまで待機
- 出力バッファ・コマンド・マスク FLXnOBCM.FLXnRHSS, FLXnOBCM.FLXnRDSS を書き込む
- FLXnOBCR.FLXnOBR[6:0] と FLXnOBCR.FLXnREQ を書き込むことによって OBF シャドウへのメッセージ・バッファの転送を要求する

- FLXnOBCR.FLXnOBSYS がリセットされるまで待機
- FLXnOBCR.FLXnVIEW = 「1」 を書き込むことによって OBF シャドウと OBF ホストを切り換える
- FLXnRDDSm, FLXnRDHS1 ~ 3, FLXnMBS を読み出すことによって、転送されたメッセージ・バッファを読み出す

32 ビット・ホスト・アクセス・シーケンスの例 (連続アクセス)

OBF シャドウへの最初のメッセージ・バッファの転送を要求します。

- FLXnOBCR.FLXnOBSYS がリセットされるまで待機
- 最初のメッセージ・バッファに対応する出力バッファ・コマンド・マスク FLXnOBCM.FLXnRHSS, FLXnOBCM.FLXnRDSS を書き込む
- FLXnOBCR.FLXnOBR[6:0] と FLXnOBCR.FLXnREQ を書き込むことによって OBF シャドウへの最初のメッセージ・バッファの転送を要求する

転送された最初のメッセージ・バッファを読み出し、2 番目のメッセージ・バッファの転送を要求するために、OBF シャドウと OBF ホストを切り換えます。

- FLXnOBCR.FLXnOBSYS がリセットされるまで待機
- 2 番目のメッセージ・バッファに対応する出力バッファ・コマンド・マスク FLXnOBCM.FLXnRHSS, FLXnOBCM.FLXnRDSS を書き込む
- 2 番目のメッセージ・バッファの FLXnOBCR.FLXnOBR[6:0], FLXnOBCR.FLXnREQ, FLXnOBCR.FLXnVIEW を書き込むことによって、OBF シャドウと OBF ホストを切り換えると同時に、OBF シャドウへの 2 番目のメッセージ・バッファの転送を開始する
- FLXnRDDSn, FLXnRDHS1 ~ 3, FLXnMBS を読み出すことによって、転送された最初のメッセージ・バッファを読み出す

最後に読み出すメッセージ・バッファへのアクセスを要求します。(次のメッセージ・バッファへの要求をしない)

- FLXnOBCR.FLXnOBSYS がリセットされるまで待機
- FLXnOBCR.FLXnVIEW を書き込むことによって、最後に転送されたメッセージ・バッファへのアクセスを要求する
- FLXnRDDSn, FLXnRDHS1 ~ 3, FLXnMBS を読み出すことによって、最後に転送されたメッセージ・バッファを読み出す

表 31-104 FLXnOBCM ビットの割り当て

位置	アクセス	ビット	機能
17	r	FLXnRDSH	ホストがデータ・セクションにアクセス可能
16	r	FLXnRHSH	ホストがヘッダ・セクションにアクセス可能
1	r/w	FLXnRDSS	データ・セクション読み出し (シャドウ)
0	r/w	FLXnRHSS	ヘッダ・セクション読み出し (シャドウ)

表 31-105 FLXnOBCR ビットの割り当て

位置	アクセス	ビット	機能
22-16	r	FLXn OBRH[6:0]	OBF 要求 (ホスト) ホストがアクセス可能なメッセージ・バッファの番号
15	r	FLXn OBSYS	OBF ビジー (シャドウ) メッセージ RAM から OBF シャドウへの転送が実行中であることを示します。
9	r/w	FLXn REQ	メッセージ RAM から OBF シャドウへの転送要求
8	r/w	FLXn VIEW	ビュー (シャドウ) OBF シャドウと OBF ホストをスワップします。
6-0	r/w	FLXn OBRs[6:0]	OBF 要求 (シャドウ) 次に要求されるメッセージ・バッファの番号

### (3) FlexRay プロトコル・コントローラからメッセージ RAM へのアクセス

2つのトランジェント・バッファ RAM (TBF A, B) を使って、2つの FlexRay プロトコル・コントローラ (PRT A, B) とメッセージ RAM との間で転送されるデータをバッファリングします。

個々のトランジェント・バッファ RAM がダブル・バッファ構造になっており、それぞれ2つの完全な FlexRay メッセージを格納できます。常に一方のバッファがプロトコル・コントローラに割り当てられており、もう一方のバッファはメッセージ・ハンドラからアクセスできます。

つまり、メッセージ・ハンドラが次の送信メッセージをトランジェント・バッファ Tx に書き込んでいる間、FlexRay チャネル・プロトコル・コントローラはトランジェント・バッファ Rx にアクセスし、現在受信しているメッセージをそこに格納することができます。トランジェント・バッファ Tx に格納されたメッセージが送信されている間、メッセージ・ハンドラはトランジェント・バッファ Rx に格納された最後に受信したメッセージを (そのメッセージが受信フィルタリングの条件に一致すれば) メッセージ RAM へ転送し、対応するメッセージ・バッファを更新します。

トランジェント・バッファ RAM と FlexRay チャネル・プロトコル・コントローラのシフト・レジスタとの間のデータ転送は 32 ビット・ワード単位で行われます。そのため、FlexRay メッセージの長さに関係なく、32 ビット・シフト・レジスタを使用することができます。

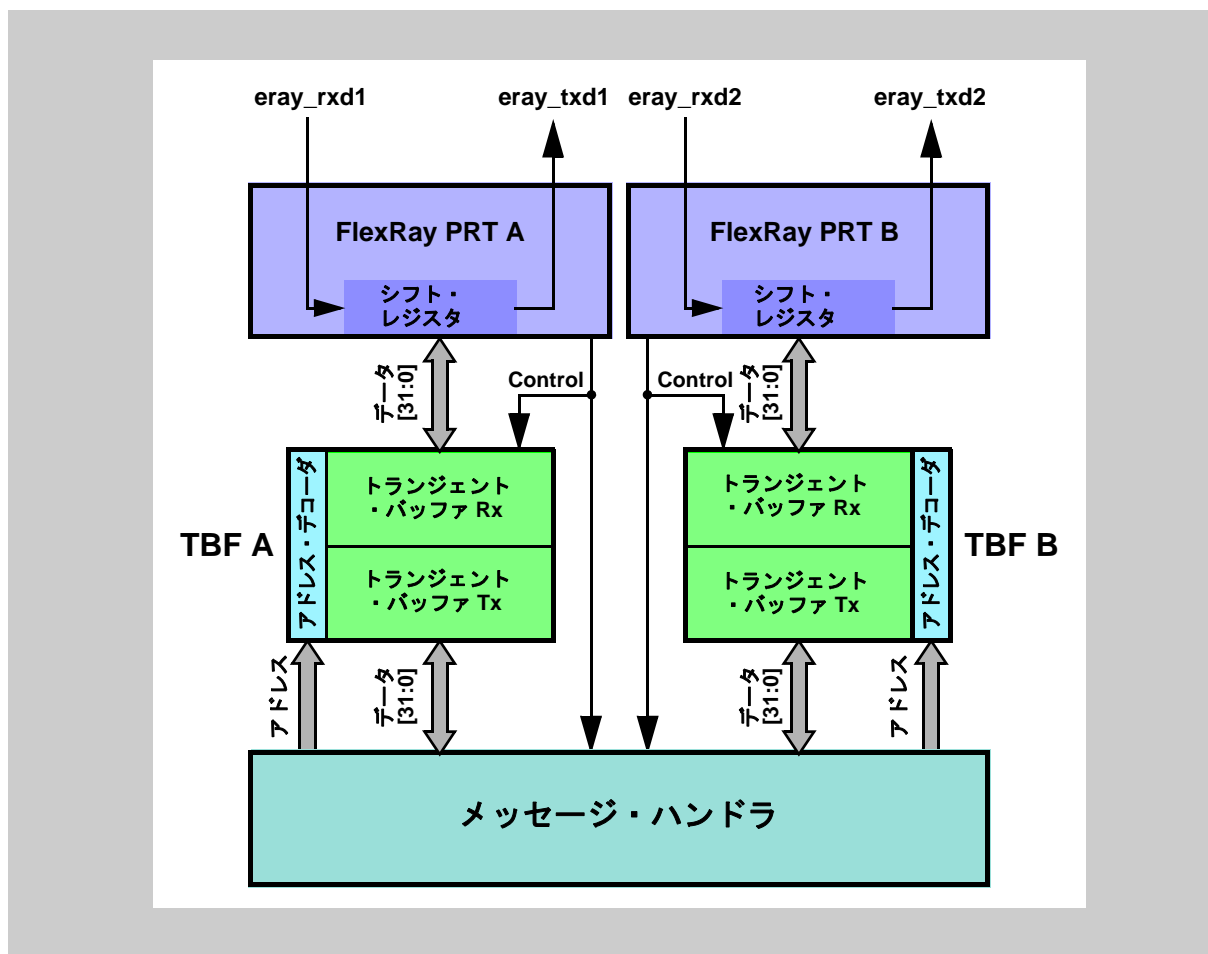


図 31-15 トランジェント・バッファ RAM へのアクセス

### 31.4.12 メッセージ RAM

メッセージ RAM へのホスト・アクセスと FlexRay メッセージの送受信との競合を回避するために、ホストはメッセージ RAM 内のメッセージ・バッファに直接アクセスできないようになっています。ホストからメッセージ・バッファへのアクセスは入力バッファと出力バッファを介して行われます。格納できるメッセージ・バッファの個数は設定されているペイロード長によって異なりますが、メッセージ RAM は最大 128 個のメッセージ・バッファを格納することができます。

メッセージ RAM は  $2048 \times 39 = 79872$  ビットから構成されています。個々の 32 ビット・ワードが 7 ビット ECC コードによって保護されています。FlexRay フレームごとの異なるデータ・バイト数 (0 ~ 254) に対応するために、メッセージ RAM の構造は図 31-16 「メッセージ RAM の構造」のようになっています。

データ・パーティションは、メッセージ RAM のワード番号ごとに区切ることができます。(FLXnMRC.FLXnLCB + 1) 4

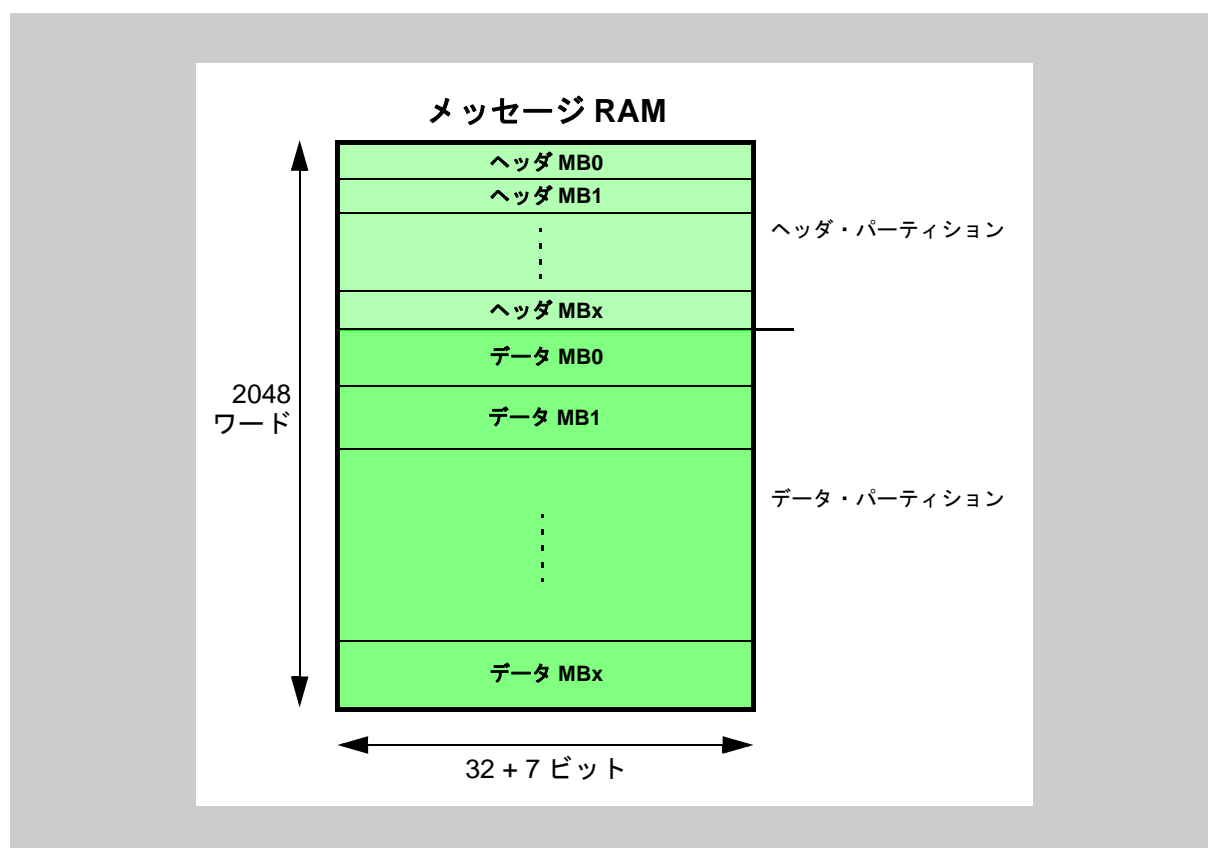


図 31-16 メッセージ RAM の構造

### ヘッダ・パーティション

設定されているメッセージ・バッファのヘッダ・セクションを格納します。

- 最大 128 個のメッセージ・バッファに対応
- メッセージ・バッファの 1 つのヘッダ・セクションは 4 つの 32 + 7 ビット・ワードから構成される
- メッセージ・バッファのヘッダ 3 には、データ・パーティション内の各データ・セクションを指す 11 ビットのデータ・ポインタが格納されている

### データ・パーティション

長さの異なる複数のデータ・セクションを格納できる柔軟なストレージです。いくつかの最大構成例を以下に示します。

- 1 個につき 254 バイトのデータ・セクションから構成される 30 個のメッセージ・バッファ
- または 1 個につき 128 バイトのデータ・セクションから構成される 56 個のメッセージ・バッファ
- または 1 個につき 48 バイトのデータ・セクションから構成される 128 個のメッセージ・バッファ

制約：ヘッダ・パーティション + データ・パーティションは 2048x39 ビット・ワード以下でなければなりません。

## (1) ヘッダ・パーティション

以下の表に示すように、メッセージ RAM のヘッダ・パーティションには、メッセージ・バッファの設定に使われる要素および現在のメッセージ・バッファ・ステータスが含まれています。メッセージ・バッファのヘッダ・セクションの設定は IBF (FLXnWRHS1 ~ 3) を介して行われます。ヘッダ・セクションへの読み出しアクセスは OBF (FLXnRDHS1 ~ 3 + FLXnMBS) を介して行われます。ユーザは、メッセージ RAM のデータ・パーティションを構成する各メッセージ・バッファのデータ・セクションの開始点を指定するデータ・ポインタを計算する必要があります。通信の実行中にデータ・ポインタを変更してはいけません。受信 FIFO に属するメッセージ・バッファは、DEFAULT\_CONFIG ステートまたは CONFIG ステートでのみ（再）設定することができます。

各メッセージ・バッファのヘッダ・セクションは、メッセージ RAM のヘッダ・パーティションで 4 個の 39 ビット・ワードを占有します。メッセージ・バッファ 0 のヘッダはメッセージ RAM の最初のワードから始まります。

送信バッファについては、ホスト CPU がヘッダ CRC を計算する必要があります。

受信ペイロード長 PLR[6:0]、受信サイクル・カウンタ RCC[5:0]、受信チャネル・インジケータ RCI、スタートアップ・フレーム・インジケータ SFI、sync フレーム・インジケータ SYN、Null フレーム・インジケータ NFI、ペイロード・プリアンブル・インジケータ PPI、予約ビット RES は、有効なデータ・フレームを受信したときのみ更新されます。

設定されているメッセージ・バッファのヘッダ・ワード 4 には、各メッセージ・バッファのメッセージ・バッファ・ステータス情報が格納されています。



表 31-106 メッセージ RAM 内のメッセージ・バッファのヘッダ・セクション

ビットワード	38-32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
1	E			M B I	T X M	P P I T	C F G	C H B	C H A		サイクル・コード						
2	E		受信ペイロード長								設定ペイロード長						
3	E			R E S	P P I	N F I	S Y N	S F I	R C I			受信サイクル・カウント					
4	E			R E S S	P P I S	N F I S	S Y N S	S F I S	R C I S			サイクル・カウント・ステータス					
...	E																
...	E																

ビットワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1						フレーム ID										
2						送信バッファ：設定ヘッダ CRC 受信バッファ：受信ヘッダ CRC										
3						データ・ポインタ										
4	F T B	F T A		M L S T	E S B	E S A	T C I B	T C I A	S V O B	S V O A	C E O B	C E O A	S E O B	S E O A	V F R B	V F R A
...																
...																

- フレームの設定
- フィルタの設定
- メッセージ・バッファ制御
- メッセージ RAM の設定
- 受信データ・フレームによる更新
- メッセージ・バッファ・ステータス MBS
- ECC コード
- 未使用

## ヘッダ 1

FLXnWRHS1 を介した書き込みアクセス, FLXnRDHS1 を介した読み出しアクセス

- フレーム ID - スロット・カウンタ・フィルタリングの設定
- サイクル・コード - サイクル・カウンタ・フィルタリングの設定
- CHA, CHB - チャネル・フィルタリングの設定
- CFG - メッセージ・バッファの方向の設定 : 受信/送信
- PPIT - 送信ペイロード・プリアンブル・インジケータ
- TXM - 送信モードの設定 : シングル・ショット/連続
- MBI - メッセージ・バッファ受信/送信割り込み許可

## ヘッダ 2

FLXnWRHS2 を介した書き込みアクセス, FLXnRDHS2 を介した読み出しアクセス

- ヘッダ CRC
  - 送信バッファ : ホストによって設定される (フレーム・ヘッダから計算)
  - 受信バッファ : 受信フレームによって更新される
- 設定ペイロード長
  - ホストによって設定されたデータ・セクションの長さ (2 バイト・ワード単位)
- 受信ペイロード長
  - 受信フレームのペイロード・セグメントの長さ (2 バイト・ワード単位)

## ヘッダ 3

FLXnWRHS3 を介した書き込みアクセス, FLXnRDHS3 を介した読み出しアクセス

- データ・ポインタ - データ・パーティション内の対応するデータ・セクションの先頭を示すポインタ

FLXnRDHS3 を介した読み出しアクセス (受信バッファでのみ有効, 受信フレームによって更新される)

- 受信サイクル・カウンタ - 受信フレームのサイクル・カウンタ
- RCI - 受信チャネル・インジケータ
- SFI - スタートアップ・フレーム・インジケータ
- SYN - sync フレーム・インジケータ
- NFI - Null フレーム・インジケータ
- PPI - ペイロード・プリアンブル・インジケータ
- RES - 予約ビット

## ヘッダ 4

FLXnMBS を介した読み出しアクセス（設定されたスロットの終わりで FlexRay コントローラによって更新される）

- VFRA - チャンネル A 有効フレーム受信フラグ
- VFRB - チャンネル B 有効フレーム受信フラグ
- SEOA - チャンネル A シンタックス・エラー検出フラグ
- SEOB - チャンネル B シンタックス・エラー検出フラグ
- CEOA - チャンネル A コンテンツ・エラー検出フラグ
- CEOB - チャンネル B コンテンツ・エラー検出フラグ
- SVOA - チャンネル A スロット境界違反検出フラグ
- SVOB - チャンネル B スロット境界違反検出フラグ
- TCIA - チャンネル A 送信競合インジケータ
- TCIB - チャンネル B 送信競合インジケータ
- ESA - チャンネル A エンプティ・スロット・フラグ
- ESB - チャンネル B エンプティ・スロット・フラグ
- MLST - メッセージ消失フラグ
- FTA - チャンネル A フレーム送信フラグ
- FTB - チャンネル B フレーム送信フラグ
- サイクル・カウント・ステータス - ステータスが更新されたときの最新のサイクル・カウント
- RCIS - 受信チャンネル・インジケータ・ステータス
- SFIS - スタートアップ・フレーム・インジケータ・ステータス
- SYNS - sync フレーム・インジケータ・ステータス
- NFIS - Null フレーム・インジケータ・ステータス
- PPIS - ペイロード・プリアンブル・インジケータ・ステータス
- RESS - 予約ビット・ステータス

## (2) データ・パーティション

メッセージ RAM のデータ・パーティションには、ヘッダ・パーティションでの設定に従って受信および送信用に設定されているメッセージ・バッファのデータ・セクションが格納されます。1つのメッセージ・バッファを構成するデータ・バイトの数は0～254です。2つの FlexRay プロトコル・コントローラ (PRT A, B) とメッセージ RAM との間のデータ転送およびホスト・インタフェースとメッセージ RAM との間のデータ転送を最適化するために、メッセージ RAM の物理的なバス幅は4バイト+7ビット ECC コードになっています。

データ・パーティションはヘッダ・パーティションの最後のワードの次から始まります。ユーザは、メッセージ RAM 内のメッセージ・バッファを設定するときに、データ・ポインタがデータ・パーティション内部のアドレスを指していることを確認する必要があります。以下の表 31-107 は、設定されているメッセージ・バッファのデータ・セクションがメッセージ RAM のデータ・パーティションにどのように格納されるかを示しています。

メッセージ・バッファのデータ・セクションの先頭と終わりは、メッセージ・バッファのヘッダ・セクションで設定されているデータ・ポインタとペイロード長によって決まります。そうすることで、利用可能な RAM 容量を最大限に利用し、データ長の異なるメッセージ・バッファを格納することができます。

データ・セクションのサイズが2バイト・ワードの奇数倍である場合、最後の32ビット・ワードの中の余った16ビットは使われません。

表 31-107 メッセージ RAM 内のデータ・パーティションの構造の例

ビット ワード	32 - 38	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
...	E	MBn Data(m)						MBn Data(m-1)									
...	E	...						...									
...	E	...						...									
...	E	MBn Data3						MBn Data2									
...	E	...						...									
...	E	...						...									
...	E	MB1 Data(k)						MB1 Data(k-1)									
...	E	...						...									
...	E	MB1 Data3						MB1 Data2									
...	E	unused						unused									
2048	E	MB0 Data3						MB0 Data2									

表 31-108

ビット ワード	32 - 38	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	E	MBn Data(m-2)						MBn Data(m-3)									
...	E	...						...									
...	E	...						...									
...	E	MBn Data1						MBn Data0									
...	E	...						...									
...	E	...						...									
...	E	MB1 Data(k-2)						MB1 Data(k-3)									
...	E	...						...									
...	E	MB1 Data1						MB1 Data0									
...	E	MB0 Data5						MB0 Data4									
2048	E	MB0 Data1						MB0 Data0									

**(3) ECC**

すべてのRAMブロックに格納されたデータの整合性を保つために、FlexRayコントローラには、図31-17「ECCの生成とチェック」に示すように、ECCが実装されています。

FlexRay RAMにはECCデコーディング/エンコーディング・モジュールが付属しています。RAMにデータが書き込まれると、ローカルのECCエンコーダはECCコードを生成します。ECCコードは対応するデータ・ワードとともに格納されます。ECCコードは、RAMからデータ・ワードが1つ読み出されるたびにデコードされ、ワードごとに1ビット・エラーを訂正し、ワードごとに2ビット・エラーを検出します。

各RAMでECC 2ビット・エラーが検出されると、対応するエラー・フラグがセットされます。

FLXnMHDS.FLXnDIBFE, FLXnMHDS.FLXnDOBFE,  
FLXnMHDS.FLXnDMRE, FLXnMHDS.FLXnDTBFAE,  
FLXnMHDS.FLXnDTBFBE

さらにメッセージ・バッファに関しては

FLXnMHDS.FLXnFMBDE, FLXnMHDS.FLXnMFMBE,  
FLXnMHDS.FLXnFMB[6:0]

でECC 2ビット・エラーが検出されたバッファの番号を確認することができます。これらのフラグはメッセージ・ハンドラ・ステータス・レジスタにあり、エラー割り込み信号を生成することができます。

FlexRayコントローラはホストに通知することなく1ビット・エラーを訂正します。1ビット・エラーが訂正されても、割り込みレジスタやステータス・レジスタにエラー情報は表示されません。

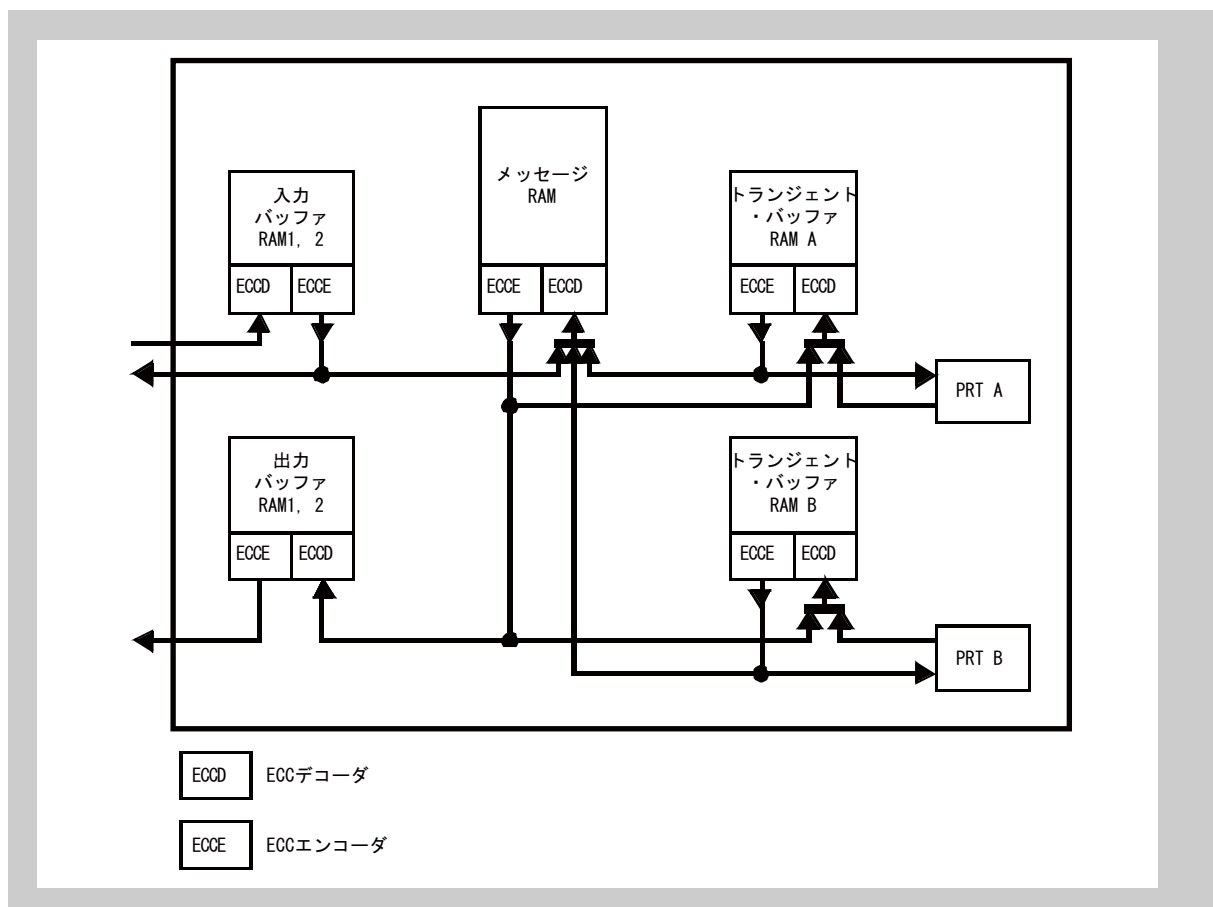


図 31-17 ECC の生成とチェック

ECC 2 ビット・エラーが検出されると、以下のアクションが実行されます。

すべてのケースで共通の動作

- メッセージ・ハンドラ・ステータス・レジスタ FLXnMHDS の対応するフラグがセットされる
- ECC 2 ビット・エラー割り込みが生成される

ケース別の動作

1. 入力バッファ RAM1, 2 からメッセージ RAM へのデータ転送中に ECC 2 ビット・エラーが発生した場合
  - ヘッダ・セクションまたはデータ・セクションあるいはその両方が転送された場合
    - FLXnMHDS.FLXnDIBFE ビットがセットされる
    - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
    - 送信バッファ：当該メッセージ・バッファの送信要求はセットされない
  - データ・セクションのみが転送された場合
  - メッセージ RAM からメッセージ・バッファのヘッダ・セクションを読み出しているときに ECC 2 ビット・エラーが発生した場合
    - FLXnMHDS.FLXnDMRE ビットがセットされる
    - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
    - メッセージ・バッファのデータ・セクションは更新されない
    - 送信バッファ：当該メッセージ・バッファの送信要求はセットされない
2. ホストが入力バッファ RAM 1, 2 を読み出しているときに 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDIBFE ビットがセットされる
3. メッセージ RAM 内のヘッダ・セクションのスキャン中に ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDMRE ビットがセットされる
  - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
  - そのメッセージ・バッファが無視（スキップ）される
4. メッセージ RAM からトランジェント・バッファ RAM A, B へのデータ転送中に ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDMRE ビットがセットされます。
  - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
  - フレームは送信されず、すでに送信中だったフレームは、フレーム CRC がゼロに設定され、無効になる

5. トランジェント・バッファ RAM A, B からプロトコル・コントローラ A, B へのデータ転送中に ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDTBFAE ビットまたは FLXnMHDS.FLXnDTBFBE ビットがセットされる
  - すでに送信中だったフレームは、フレーム CRC がゼロに設定され、無効になる
6. トランジェント・バッファ RAM A, B からメッセージ RAM へのデータ転送中に ECC 2 ビット・エラーが発生した場合
- メッセージ RAM からメッセージ・バッファのヘッダ・セクションを読み出しているときに ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDMRE ビットがセットされる
  - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
  - 当該メッセージ・バッファのデータ・セクションは更新されない
- トランジェント・バッファ RAM A, B の読み出し中に ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDTBFAE ビットまたは FLXnMHDS.FLXnDTBFBE ビットがセットされる
  - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
7. メッセージ RAM から出力バッファ RAM へのデータ転送中に ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDMRE ビットがセットされる
  - FLXnMHDS.FLXnFMBDE ビットがセットされ、FLXnMHDS.FLXnFMB[6:0] が障害メッセージ・バッファの番号を示す
8. ホストが出力バッファ RAM 1, 2 を読み出しているときに ECC 2 ビット・エラーが発生した場合
  - FLXnMHDS.FLXnDOBFEBE ビットがセットされる
9. トランジェント・バッファ RAM A, B からのデータの読み出し中に ECC 2 ビット・エラーが発生した場合

メッセージ・ハンドラがトランジェント・バッファ RAM A, B からネットワーク管理情報の含まれた (FLXnRHPPI = 1 に設定されている) フレームを読み出しているときに ECC 2 ビット・エラーが発生した場合、対応するネットワーク管理ベクタ NMV1 ~ 3 はそのフレームによって更新されません。



### 31.4.13 割り込み

FlexRay コントローラがエラーまたはステータスの変化を検出したり、フレームが受信または送信されたり、設定されているタイマ割り込みがアクティブになったり、ストップ・ウォッチ・イベントが発生したりすると、割り込みが即座に生成されるため、割り込みタイミングとプロトコル・タイミングとをリンクさせることが可能です。ただし、割り込みが多すぎると、ホストは、アプリケーションが要求している期限までにデータを提供できないことがあります。したがって、FlexRay コントローラは、個々の割り込み要因を個別に有効または無効にする機能を持っています。

以下の場合に割り込みを生成することができます。

- エラーが検出されたとき
- ステータス・フラグがセットされたとき
- タイマがあらかじめ設定された値に達したとき
- 入力バッファからメッセージ RAM またはメッセージ RAM から出力バッファへのメッセージの転送が完了したとき
- ストップ・ウォッチ・イベントが発生したとき

割り込みが有効であるかどうかにかかわらず、FLXnEIR レジスタと FLXnSIR レジスタを読み出すことにより、エラーまたはステータスを確認することができます。

表 31-109 モジュール割り込みフラグと割り込みライン・イネーブル (1/2)

レジスタ	ビット	機能
FLXnEIR	FLXnPEMCE	POC エラー・モード変更
	FLXnCNAE	コマンド非受理
	FLXnSFBME	sync フレーム数不足
	FLXnSFOE	sync フレーム・オーバフロー
	FLXnCCFE	クロック補正失敗
	FLXnCCLC	CHI コマンド・ロック
	FLXnRFOE	受信 FIFO オーバラン
	FLXnEFAE	空 FIFO アクセス
	FLXnIIBAE	入力バッファ不正アクセス
	FLXnIOBAE	出力バッファ不正アクセス
	FLXnMHFE	メッセージ・ハンドラ制約違反
	FLXnEDAE	チャンネル A エラー
	FLXnLTVAE	チャンネル A 最終送信違反
	FLXnTABAE	チャンネル A 送信スロット境界違反
	FLXnEDBE	チャンネル B エラー
	FLXnLTVBE	チャンネル B 最終送信違反
FLXnTABBE	チャンネル B 送信スロット境界違反	

表 31-109 モジュール割り込みフラグと割り込みライン・イネーブル (2/2)

レジスタ	ビット	機能
FLXnSIR	FLXnWSTF	ウェイクアップ・ステータス変更フラグ
	FLXnCASF	衝突回避シンボル受信フラグ
	FLXnCYCSF	サイクル開始フラグ
	FLXnTXIF	送信完了フラグ
	FLXnRXIF	受信完了フラグ
	FLXnRFNEF	受信 FIFO データ保有フラグ
	FLXnRFCLF	受信 FIFO 限界レベル到達フラグ
	FLXnNMVCF	ネットワーク管理ベクタ変更フラグ
	FLXnTI0F	タイマ 0 割り込み発生フラグ
	FLXnTI1F	タイマ 1 割り込み発生フラグ
	FLXnTIBCF	入力バッファ転送完了フラグ
	FLXnTOBCF	出力バッファ転送完了フラグ
	FLXnSWEF	ストップ・ウォッチ・イベント発生フラグ
	FLXnSUCSF	スタートアップ正常完了フラグ
	FLXnMBSIF	メッセージ・バッファ・ステータス更新フラグ
	FLXnSDSF	ダイナミック・セグメント開始フラグ
	FLXnWUPAF	チャンネル A ウェイクアップ・パターン受信フラグ
	FLXnMTSAF	チャンネル A MTS シンボル受信フラグ
	FLXnWUPBF	チャンネル B ウェイクアップ・パターン受信フラグ
FLXnMTSBF	チャンネル B MTS シンボル受信フラグ	
FLXnILE	FLXnEINTL0	割り込みライン 0 イネーブル
	FLXnEINTL1	割り込みライン 1 イネーブル

ホストへの割り込みライン `eray_int0` と `eray_int1` は、許可されている割り込みによって制御されます。さらに、`FLXnILE.FLXnEINTL0` ビットと `FLXnILE.FLXnEINTL1` ビットを設定することによって、2つの割り込みラインを個別に有効または無効にすることができます。

タイマ 0、1 によって生成される 2つのタイマ割り込みは `eray_tint0` と `eray_tint1` で利用できます。これらの割り込みは、`FLXnTOC` レジスタと `FLXnT1C` レジスタで設定されます。

ストップ・ウォッチ・イベントは入力ピン `eray_stpwt` をトリガすることができます。

IBF / OBF とメッセージ RAM との間のデータ転送のステータスは、`eray_ibusy` と `eray_obusy` に出力されますが、本デバイスでは割り込みとして利用することはできません。転送が完了すると、`FLXnSIR.FLXnTIBCF` ビットと `FLXnSIR.FLXnTOBCF` ビットがセットされます。

## 31.5 付録

### 31.5.1 FlexRay 設定パラメータの割り当て

表 31-110 FlexRay 設定パラメータ (1/2)

パラメータ	ビット (フィールド)
pKeySlotusedForStartup	FLXnSUCC1.FLXnTXST
pKeySlotUsedForSync	FLXnSUCC1.FLXnTXSY
gColdStartAttempts	FLXnSUCC1.FLXnCSA[4:0]
pAllowPassiveToActive	FLXnSUCC1.FLXnPTA[4:0]
pWakeupChannel	FLXnSUCC1.FLXnWUCS
pSingleSlotEnabled	FLXnSUCC1.FLXnTSM
pAllowHaltDueToClock	FLXnSUCC1.FLXnHCSE
pChannels	FLXnSUCC1.FLXnCCCHA FLXnSUCC1.FLXnCCHB
pdListenTimeOut	FLXnSUCC2.FLXnLT[20:00]
gListenNoise	FLXnSUCC2.FLXnLTN[3:0]
gMaxWithoutClockCorrectionPassive	FLXnSUCC3.FLXnWCP[3:0]
gMaxWithoutClockCorrectionFatal	FLXnSUCC3.FLXnWCF[3:0]
gNetworkManagementVectorLength	FLXnNEMC.FLXnNML[3:0]
gdFLXnTSSTransmitter	FLXnPRTC1.FLXnTSST[3:0]
gdCASRxLowMax	FLXnPRTC1.FLXnCASM[6:0]
gdSampleClockPeriod	FLXnPRTC1.FLXnBRP[1:0]
pSamplesPerMicrotick	FLXnPRTC1.FLXnBRP[1:0]
gdWakeupSymbolRxWindow	FLXnPRTC1.FLXnRXW[8:0]
pWakeupPattern	FLXnPRTC1.FLXnRWP[5:0]
gdWakeupSymbolRxIdle	FLXnPRTC2.FLXnRXI[5:0]
gdWakeupSymbolRxLow	FLXnPRTC2.FLXnRXL[5:0]
gdWakeupSymbolTxIdle	FLXnPRTC2.FLXnTXI[7:0]
gdWakeupSymbolTxLow	FLXnPRTC2.FLXnTXL[5:0]
gPayloadLengthStatic	FLXnMHDC.FLXnSFDL[6:0]
pLatestTx	FLXnMHDC.FLXnSLT[12:00]
pMicroPerCycle	FLXnGTUC01.FLXnUT[19:00]
gMacroPerCycle	FLXnGTUC02.FLXnMPC[13:00]
gSyncNodeMax	FLXnGTUC02.FLXnSNM[3:0]
pMicroInitialOffset[A]	FLXnGTUC03.FLXnUIOA[7:0]
pMicroInitialOffset[B]	FLXnGTUC03.FLXnUIOB[7:0]
pMacroInitialOffset[A]	FLXnGTUC03.FLXnMIOA[6:0]
pMacroInitialOffset[B]	FLXnGTUC03.FLXnMIOB[6:0]
gdNIT	FLXnGTUC04.FLXnNIT[13:00]
gOffsetCorrectionStart	FLXnGTUC04.FLXnOCS[13:00]
pDelayCompensation[A]	FLXnGTUC05.FLXnDCA[7:0]
pDelayCompensation[B]	FLXnGTUC05.FLXnDCB[7:0]

表 31-110 FlexRay 設定パラメータ (2/2)

パラメータ	ビット (フィールド)
pClusterDriftDamping	FLXnGTUC05.FLXnCDD[4:0]
pDecodingCorrection	FLXnGTUC05.FLXnDEC[7:0]
pdAcceptedStartupRange	FLXnGTUC06.FLXnASR[10:00]
pdMaxDrift	FLXnGTUC06.FLXnMOD[10:00]
gdStaticSlot	FLXnGTUC07.FLXnSSL[9:0]
gNumberOfStaticSlots	FLXnGTUC07.FLXnNSS[9:0]
gdMinislot	FLXnGTUC08.FLXnMSL[5:0]
gNumberOfMinislots	FLXnGTUC08.FLXnNMS[12:00]
gdActionPointOffset	FLXnGTUC09.FLXnAPO[5:0]
gdMinislotActionPointOffset	FLXnGTUC09.FLXnMAPO[4:0]
gdDynamicSlotIdlePhase	FLXnGTUC09.FLXnDSI[1:0]
pOffsetCorrectionOut	FLXnGTUC10.FLXnMOC[13:00]
pRateCorrectionOut	FLXnGTUC10.FLXnMRC[10:00]
pExternOffsetCorrection	FLXnGTUC11.FLXnEOC[2:0]
pExternRateCorrection	FLXnGTUC11.FLXnERC[2:0]

## 31.6 注意

### 31.6.1 ループ・バック・モードは 10 MBit/s でのみ動作します。

**説明** ループ・バックされたデータは、2つの低ボー・レートである 5 MBit/s と 2.5 MBit/s ではエラーを引き起こします。

**範囲** この動作が発生するのは、ボー・レート・プリスケアラ (FLXnPRTC1.FLXnBRP[1:0]) が 5 MBit/s または 2.5 MBit/s とのときにループ・バックを使用してテストを行った場合に限られます。

**影響** ループ・バック・テストはボー・レートが最大値に設定されているときのみ可能です。

**回避策** ループ・バック・テストは 10 MBit/s で実行してください (FLXnPRTC1.FLXnBRP[1:0] = 00<sub>B</sub>)。

### 31.6.2 ダイナミック・フレームのあとで発生したノイズがアイドル検出を遅延させるため、ダイナミック・セグメントの残りの部分でスロット・カウンタが停止しなくなることがあります。

**説明** (ノイズがある状態で) "potential idle start on X" と "CHIRP on X" (FlexRay プロトコル仕様 v2.1, Figure 5-21 参照) が gdDynamicSlotIdlePhase より長い場合、本 FlexRay コントローラは、現在のダイナミック・セグメントの残りの部分で、"wait for the end of dynamic slot rx" にとどまりません。その場合、本 FlexRay コントローラではスロット・カウンタを続行します。そのため、ノードは現在のダイナミック・セグメントで送信を続行することがあります。

**範囲** この現象が起きるのは、ノイズがローカルでのみ発生し、ダイナミック・フレームの DTS の終わりとアイドル検出 (CHIRP on X) の間でそのノイズが検出される場合に限られます。

**影響** 上記の場合は、障害ノードのスロット・カウンタが停止せず、ダイナミック・フレームの送信が続行する可能性があります。そのため、現在のダイナミック・セグメントでフレーム衝突が起きる可能性があります。

**回避策** ありません。

### 31.6.3 FLXnRCV レジスタに誤った値が表示されることがあります。

**説明** 計算されたレート補正値が [-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内にある場合は、CSP プロセスの vRateCorrection が **ゼロ** に設定されます。その場合は、FLXnRCV レジスタをゼロで更新する必要があります。FLXnRCV.FLXnRCV[11:00] は、**ゼロ**の代わりに、[-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内にある計算された値を誤って保持します。

**範囲** この動作が発生するのは、計算されたレート補正値が [-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内にある場合に限られます。

**影響** 上記の場合、FLXnRCV.FLXnRCV[11:00] に表示されるレート補正値が **ゼロ** ではなく、[-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内の値になります。この表示の問題は、[-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内に限定されます。本件はレジスタ表示のみの問題で、次のダブル・サイクルのレート補正では、正しい値である **ゼロ** で計算されます。

**回避策** [-pClusterDriftDamping ~ +pClusterDriftDamping] の範囲内にある FLXnRCV.FLXnRCV[11:00] の値をホスト側で **ゼロ** と解釈する必要があります。

### 31.6.4 有効な sync フレームを受信したあと、同じスタティック・スロットで有効な非 sync フレームを受信すると、受信された sync フレームが無視されることがあります。

**説明** 偶数サイクルのスタティック・スロットで有効な sync フレームを受信したあと、有効な非 sync フレームを受信し、FSP プロセスの有効フレーム検出 (fsp\_val\_synchr\_chx) の 1 sclk あとで DEC プロセスのフレーム有効検出 (prt\_frame\_decoded\_on\_X) が行われると、sync フレームは CSP プロセスの処理対象になりません (devte\_xxs\_reg)。

**範囲** この動作が発生するのは、偶数サイクルの 1 つのスタティック・スロットで複数の有効なフレームが受信される場合に限られます。

**影響** 上記の場合、sync フレームは CSP プロセスの処理対象になりません。そのため、SyncCalcResult が MISSIMG\_TERM になる (エラー・フラグ FLXnSFS.FLXnMRCS がセットされる) 可能性があります。その結果、POC ステートが NORMAL\_PASSIVE または HALT に遷移するか、スタートアップ処理が中断されることがあります。

**回避策** スタティック・スロット長を 2 つの有効なフレームを受信できる長さに設定しないでください。

### 31.6.5 スロット・カウンタが1024を超えると、sync フレーム・オーバーフロー・フラグ FLXnEIR.FLXnSFO がセットされることがあります。

**説明** スタティック・セグメントで送受信された sync フレームの数が gSyncNodeMax に達し、ダイナミック・セグメントでスロット・カウンタの値が  $cStaticSlotIDMax + gSyncNodeMax = 1023 + gSyncNodeMax$  に達すると、sync フレーム・オーバーフロー・フラグ FLXnEIR.FLXnSFO が誤ってセットされます。

**範囲** この動作が発生するのは、送受信された sync フレームの数が gSyncNodeMax と等しく、スタティック・スロットとダイナミック・スロットの数を足した値が  $1023 + gSyncNodeMax$  以上になるような設定に限られます。

**影響** 上記の場合は、sync フレーム・オーバーフロー・フラグ FLXnEIR.FLXnSFO が誤ってセットされます。このエラーは POC ステートには影響を及ぼしません。

**回避策** gSyncNodeMax を送受信される sync フレームの数 + 1 に設定してください。あるいは、スタティック・スロットとダイナミック・スロットの合計数が cStaticSlotIDMax. を上回るような設定を避けてください。

### 31.6.6 gSyncNodeMax を超える数の sync フレームを受信したあと、受信したスタートアップ・フレームが受け入れられます。

**説明** ノードが gSyncNodeMax を超える数の sync フレームを受信したあと、偶数サイクルでスタートアップ・フレームを受信すると、そのスタートアップ・フレームが CSP プロセスによって有効なスタートアップ・フレームの数 (zStartupNodes) に誤って加算されます。誤ったスタートアップ・フレームの数は POC プロセスに渡されます。その結果、そのノードは、自分が必要とされる数のスタートアップ・フレームを受信したと見なすため、動作中のクラスタに誤って統合することがあります。

**範囲** この動作が発生するのは、sync フレームの数が gSyncNodeMax を上回る場合に限られます。

**影響** 上記の場合は、ノードが誤って動作中のクラスタへの統合に成功することがあります。

**回避策** すべてのスタートアップ・フレームが最初のスタティック・スロットに配置されるようなフレーム・スケジュールを使用してください。gSyncNodeMax をクラスタ内の sync フレームの数以上の値に設定する必要があります。

### 31.6.7 pMicroInitialOffsetA,B = 00<sub>H</sub> であると、インテグレーション・ノードの初期レート補正值がゼロになります。

**説明** パラメータ pMicroInitialOffsetA,B がゼロに設定されると、プロトコル仕様 v2.1 の figure8-8 で計算される初期レート補正值がゼロになります。

**範囲** この動作が発生するのは、pMicroInitialOffsetA,B がゼロに設定されている場合に限られます。

**影響** 初期レート補正值ゼロで開始すると、早くても3サイクル経過しないとレート補正の調整が行われません（プロトコル仕様 v2.1 の figure7-10 を参照）。最悪の場合は、クラスタ全体のレートが速くなりすぎ、インテグレーション・ノードがそれに追従できず、統合が中断されます。

**回避策** pMicroInitialOffsetA,B がゼロになる設定を避けてください。プロトコル仕様の制約上、pMicroInitialOffsetA,B がゼロになる場合は、ゼロの代わりに1を設定してください。そうすれば、ノードのスタートアップが1マイクロティック遅延するだけで、初期補正值は正しい値になります。

### 31.6.8 有効なフレームを検出したあと、2番目のセカンダリ・タイム参照ポイント (STRP) がアクション・ポイントと一致すると、誤ったレート補正值またはオフセット補正值あるいはその両方が設定されます。

**説明** 有効な sync フレームをアクション・ポイントの前に受信し、その後ノイズが発生したため、または2番目のフレームを受信したために STRP がアクション・ポイントと一致すると、その後のレート補正值またはオフセット補正值あるいはその両方の計算に、誤った偏差値ゼロが使われます。

**範囲** この動作が発生するのは、アクション・ポイント・オフセットがスタティック・フレーム長より大きい値に設定されている場合に限られます。

**影響** 上記の場合は、偏差値ゼロがレート補正值またはオフセット補正值あるいはその両方の計算に使われます。そのため、誤ったレート補正またはオフセット補正あるいはその両方がノードで行われる可能性があります。

**回避策** アクション・ポイント・オフセットをスタティック・フレーム長より小さい値に設定してください。



### 31.6.9 少なくとも1組の有効な sync フレーム・ペアを受信しているのに FLXnSFS.FLXnMRCS フラグが誤ってセットされます。

**説明** スロット n で sync フレームを受信したあと、奇数サイクル  $2c + 1$  でダブル・サイクル間に受信した異なる sync フレームの総数が gSyncNodeMax を上回り、ノードが偶数サイクル  $2c$  で受信した sync フレームと対になった sync フレームをスロット  $n + 1$  で受信した場合、その sync フレーム・ペアは CSP プロセスの処理対象になりません。この場合は、FLXnSFS.FLXnMRCS フラグと FLXnEIR.FLXnCCF フラグが誤ってセットされる可能性があります。

**範囲** この動作が発生するのは、異なる sync フレームの組み合わせが偶数サイクルと奇数サイクルで送信され、異なる sync フレームの総数が gSyncNodeMax を上回るような誤った設定をクラスタで行った場合に限られます。

**影響** 上記の場合は、エラー割り込みフラグ FLXnEIR.FLXnCCF がセットされ、ノードが POC ステートの NORMAL\_PASSIVE または HALT に入ることがあります。

**回避策** gSyncNodeMax を正しい値に設定してください。

### 31.6.10 SyncCalcResult=MISSING\_TERM の場合にレート補正值がゼロに設定されます。

**説明** ノードが受信した sync フレームの数が少なすぎてレート補正值を計算できないため、SyncCalcResult=MISSING\_TERM になると、レート補正值は、最後に計算された値ではなく、ゼロに設定されます。

**範囲** この動作が発生するのは、受信した sync フレームの数が少なすぎるため、レート補正值を計算できない場合（奇数サイクルで SyncCalcResult=MISSING\_TERM になった場合）に限られます。

**影響** 上記の場合は、NORMAL\_ACTIVE ステートで計算された最後のレート補正值の代わりに、NORMAL\_ACTIVE ステートまたは NORMAL\_PASSIVE ステートでレート補正值ゼロが適用されます。そのため、(gMaxWithoutClockCorrectionPassive の値によっては) ノードが NORMAL\_ACTIVE ステートを保つ可能性があるものの、ノードの同期が外れ、NORMAL\_PASSIVE に遷移した場合は (pAllowHaltDueToClock=false)、NORMAL\_ACTIVE ステートに戻る確率が低くなる可能性があります。

**回避策** gMaxWithoutClockCorrectionPassive を 1 に設定することを推奨します。sync フレームの数が足りず、ノードが NORMAL\_PASSIVE ステートへ遷移した場合、このステートから抜け出し、クラスタへの再統合を開始するためには上位のアプリケーション・ソフトで実行してください。なお、pAllowHaltDueToClock を true に設定し、NORMAL\_PASSIVE ステートではなく HALT ステートへ遷移した場合も同様の手順をとってください。

### 31.6.11 連続する WUS を受信することによって冗長な FLXnSIR.FLXnWUPA / B イベントが発生することがあります。

**説明** 適切なアイドル・フェーズによって分離された連続するウェイクアップ・シンボル (WUS) を受信した場合は、2つ目の WUS を受信するたびに有効なウェイクアップ・パターン (WUP) が検出されるべきですが、現状では2つ目の WUS を受信すると有効なウェイクアップ・パターンを検出し、それ以降は WUS を受信するたびに有効なウェイクアップ・パターンを検出します。

**範囲** この動作が発生するのは、該当する FLXnSIR.FLXnWUPA / B ビットをアプリケーション・プログラムが頻繁にリセットする場合に限られます。

**影響** 上記の場合、予期された数より多くの FLXnSIR.FLXnWUPA / B イベントが発生します。

**回避策** 冗長な FLXnSIR.FLXnWUPA / B イベントを無視してください。

## 第32章 イーサネット・コントローラ(ETHA)

この章では、イーサネット・コントローラの概要について説明します。

最初の節では、インスタンス、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-H固有のすべての特性について紹介します。その後の節では、すべてのインプリメンテーションに当てはまる特徴について説明します。

### 32.1 V850E2/Fx4-H ETHAn の特徴

**インスタンス** このマイクロコントローラには、イーサネット・コントローラ ETHAn のインスタンスが以下の数だけ搭載されています。

表 32-1 ETHA のインスタンス

イーサネット・コントローラ	
インスタンス	1
名称	ETHA0

**インスタンスのインデックス n** この章では、イーサネット・コントローラのインスタンスは、インデックス「n」(n = 0) で識別します。

**レジスタ・アドレス** すべてのイーサネット・コントローラのレジスタ・アドレスは、個別のベース・アドレス <ETHAn\_base> とのアドレス・オフセットで識別されます。

ETHAn の <ETHAn\_base> アドレスを次の表に示します。

表 32-2 レジスタ・ベース・アドレス <ETHAn\_base>

ETHAn インスタンス	<ETHAn_base> アドレス
ETHA0	F093 2000 <sub>H</sub>

クロック供給 すべてのイーサネット・コントローラは、2本のクロック入力を供給します。

表 32-3 ETHAn クロック供給

ETHAn インスタンス	ETHAn クロック	接続先
ETHA0	HCLK	Clock Generator CKSCLK_000 / 2

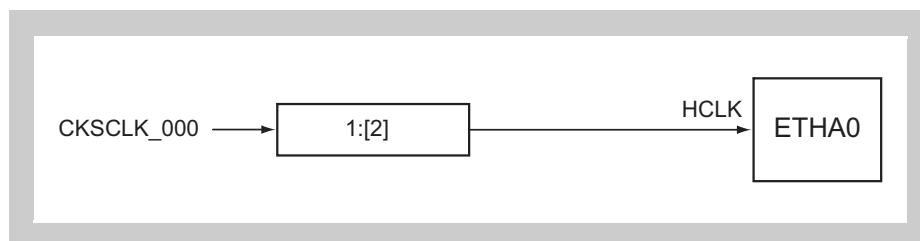


図 32-1 ETHA クロック供給

**I 割り込みおよび DMA/DTS** イーサネット・コントローラは、以下の割り込みおよび DMA/DTS 要求を生成することができます。

表 32-4 ETHAn 割り込みおよび DMA/DTS 要求

ETHAn 信号	機能	接続先
<b>ETHA0:</b>		
INTETMRQ	受信データおよびレディ	割り込みコントローラ INTETHA0SRX DMA コントローラ・トリガ 101 DTS コントローラ・トリガ 26
INTETMRX	パケット受信	割り込みコントローラ INTETHA0SCRX DMA コントローラ・トリガ 102 DTS コントローラ・トリガ 27
INTETMTX	パケット送信	割り込みコントローラ INTETHA0SCTX DMA コントローラ・トリガ 103 DTS コントローラ・トリガ 28
INTIRQSC TX_TCH	データ計算終了	割り込みコントローラ INTETHA0SCTXCH
INTIRQSC RX_TCH	チェックサム・データ送信	割り込みコントローラ INTETHA0SCRXCH
INTETMRS	受信ステータス	割り込みコントローラ INTETHA0RS DMA コントローラ・トリガ 104 DTS コントローラ・トリガ 29
INTETMTS	送信ステータス	割り込みコントローラ INTETHA0TS DMA コントローラ・トリガ 105 DTS コントローラ・トリガ 30
INTETMFS	FIFO ステータス	割り込みコントローラ INTETHA0FS DMA コントローラ・トリガ 106 DTS コントローラ・トリガ 31
INTETMOV	MAC コア	割り込みコントローラ INTETHA0MAC

**ETHA H/W リセット** 次のリセット信号によって、イーサネット・コントローラおよびそのレジスタが初期化されます。

表 32-5 ETHAn リセット信号

ETHAn	リセット信号
ETHA0	<ul style="list-style-type: none"> <li>リセット・コントローラ : SYSRES</li> <li>スタンバイ・コントローラ : DPSTPWU_1 (Isolated-Area-1 wake-up from DEEPSTOP mode)</li> </ul>

**I/O 信号** イーサネット・コントローラの I/O 信号を次の表に示します。すべての信号を各ポートに接続します。

表 32-6 ETHAn I/O 信号

ETHA0 信号	接続先
送信 クロック	Port ETHA0TXCLK
送信 データ	Port ETHA0TXD[3:0]
送信 データ ・ イネーブル	Port ETHA0TXEN
送信エラー	Port ETHA0TXER
衝突検出	Port ETHA0COL
キャリア検出	Port ETHA0CRSDV
受信クロック	Port ETHA0RXCLK
受信データ	Port ETHA0RXD[3:0]
受信データ有効	Port ETHA0RXDV
受信エラー	Port ETHA0RXER

## 32.2 概説

イーサネット・コントローラは、IEEE802.3 に準拠した 10/100 Mbps Ethernet Media アクセス Controller (MAC) と、フロー制御機能を持つ FIFO, および RFC1071 に準拠したチェックサム計算機能 (受信のみ) を持ちます。

### 32.2.1 機能

#### (1) MAC

- IEEE802.3 (1998 Edition) に準拠した 10/100 Mbps 全二重通信, および半二重通信, フロー制御をサポート
- 物理層デバイス (PHY) インタフェースとして MII をサポート
- シリアル・マネジメントによる PHY レジスタへのアクセスをサポート
- RMON/SNMP (RFC2665, RFC2819) をサポートするための統計カウンタ機能内蔵
- アドレス・タイプによるパケット・フィルタリング機能内蔵
- VLAN 検出機能内蔵

#### (2) FIFO

- 送受信 FIFO サイズ: 送信 FIFO (2 K バイト), 受信 FIFO (2 K バイト)
- FIFO ステータス・レジスタ内蔵
- 送受信ステータス, FIFO ステータスにより割り込みを発生

#### (3) イーサネット・コントローラ専用 DMAC 機能

- データ転送 (DMA) 機能
- 受信ステータス DMA 転送可能
- バッファ・ディスクリプタの読み込み (ポインタ・チェーン形式), 解析, ライト・バック機能
- パケット転送各種割り込み制御機能

#### (4) チェックサム計算機能

- RFC1071 に準拠した送信チェックサム計算機能内蔵。送信チェックサム専用 DMAC が複数のチェックサムを正しく計算し, 結果を任意のアドレスに保存可能。
- RFC1071 に準拠した受信チェックサム計算機能内蔵。受信パケットに対して, MAC ヘッダ, FCS を自動判別して, 疑似ヘッダを除く受信データの検証用チェックサムを生成。

## 32.3 構成

### 32.3.1 システム構成

イーサネット・コントローラとしてのデータの送受信処理は、すべて専用DMACで行います。

また、IEEE802.3のMII(Media Independent Interface)に準拠し、MIIに対応したPHYデバイスを接続することで、10 Mbps、100 Mbps イーサネット環境を実現することができます。また、モードを切り替えることにより、全二重/半二重動作によるデータ通信が可能です。

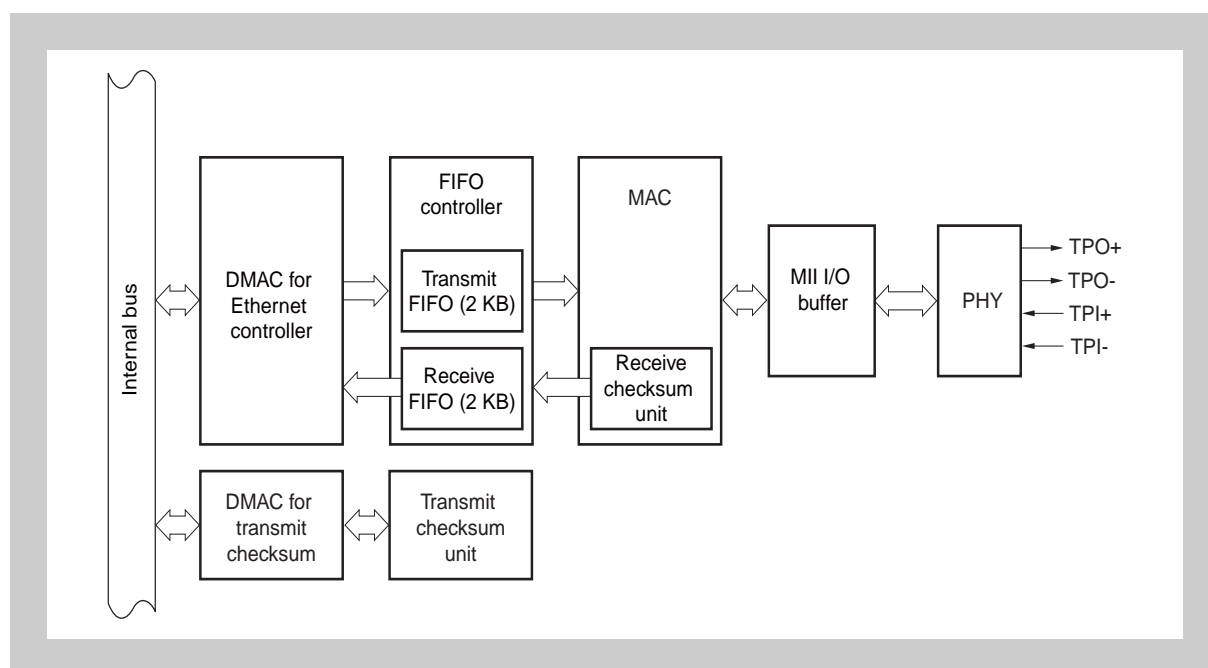


図 32-2 イーサネット・コントローラの構成

**(1) MAC**

MAC 機能を内蔵し、外付け PHY デバイスとの MII インタフェースをサポートしています。

- 受信チェックサム・ユニット  
受信チェックサム計算機能です。

**(2) FIFO コントローラ**

送受信の FIFO を制御しています。

送信用に 2 K バイト、受信用に 2 K バイトの FIFO を内蔵しています。

**(3) イーサネット・コントローラ専用 DMAC**

内部バスとのデータ送受信を行うための、DMA コントローラを内蔵しています。

---

**注意** イーサネット・コントローラとしてのデータの送受信処理は、すべてイーサネット・コントローラ専用 DMAC で行います。レジスタのリード/ライトなどにより、パケット単位を任意に送受信する機能はありません。

---

**(4) 送信チェックサム DMAC**

送信チェックサム機能のための、DMA コントローラを内蔵しています。

**(5) 送信チェックサム・ユニット**

送信チェックサムの計算機能のみを持つユニットです。送受信を行うインタフェースとは独立しており、送信データを送信チェックサム専用 DMA 機能とディスクリプタで計算、転送を行います。



### 32.3.2 割り込み要求

イーサネット・コントローラの割り込み要求および割り込み要因を次に示します。

表 32-7 割り込み要求信号一覧

割り込み要求		割り込み要因
INTETMRQ	イーサネット受信データ・レディ割り込み	受信パケット読み出し要求
INTETMRX	イーサネット・パケット受信割り込み	パケット受信 (DMA) 完了の割り込み (RXI)
		受信 (DMA) エンド・オブ・チェーン割り込み (RECI)
		受信データ・バッファ・アクセス・エラー割り込み (RBEI)
		受信ディスクリプタの「U」(使用) ビットによってトリガされるポーズ割り込み (RUPI)
INTETMTX	イーサネット・パケット送信割り込み	パケット送信 (DMA) 完了の割り込み (TXI)
		送信 (DMA) エンド・オブ・チェーン割り込み (TECI)
		送信データ・バッファ・アクセス・エラー割り込み (TBEI)
		送信ディスクリプタの「U」(使用) ビットによってトリガされるポーズ割り込み (TUPI)
INTETMFS	イーサネット FIFO ステータス割り込み	FIFO ステータス (FSTATUS) 割り込み
INTETMTS	イーサネット送信ステータス割り込み	送信ステータス (TXSTATUS) 割り込み
INTETMRS	イーサネット受信ステータス割り込み	受信ステータス (RXSTATUS) 割り込み
INTETMOV	イーサネット MAC 割り込み	統計カウンタ・オーバ・フロー (CARRY ステータス)
IRQSCTX_TCH	イーサネット送信データ計算終了割り込み	1 送信チェックサム終了の割り込み (TCH_TXI)
		全送信チェックサム終了の割り込み (TCH_TECI)
		送信チェックサム・バッファ・アクセス・エラー割り込み (TCH_TBEI)
		送信チェックサム計算一時停止割り込み (TCH_RUPI)
IRQSCRX_TCH	イーサネット送信チェックサム割り込み	1 送信チェックサム書き込み終了の割り込み (TCH_RXI)
		全送信チェックサム計算書き込み終了の割り込み (TCH_RECI)
		データ書き込みエラー割り込み (TCH_RBEI)

- 各割り込み要因は、要因ごとに割り込みマスクを設定可能です。割り込みをマスクしている場合に割り込み要因が発生した場合、対応するステータス・レジスタのビットはセットされますが、割り込み要求は発生しません。
- 同時にいくつかの要因が発生する場合には、割り込みレジスタを読み出すことを推奨します。

## 32.4 イーサネット・コントローラ制御レジスタ

### (1) レジスタ設定手順

制御レジスタの値を更新する場合、フレームの送受信/DMAが停止している状態で行ってください。

動作中にレジスタの更新を行った場合、動作は保証しません。

**注意** イーサネット・コントローラを使用する場合、最初にイーサネット・コントロール・レジスタ(MIICTL)を設定する必要があります。詳細は32.4.4(1) ETHAnMFFCONT : FIFOコントローラ・コントロール・レジスタを参照してください。

### 32.4.1 イーサネット・コントローラ・レジスタ概要

表 32-8 ETHA レジスタ概要 (MAC) (1/2)

レジスタ名称	略号	アドレス
MAC 設定レジスタ 1	ETHAnMACC1	<ETHAn_base> + 0000 <sub>H</sub>
MAC 設定レジスタ 2	ETHAnMACC2	<ETHAn_base> + 0004 <sub>H</sub>
Back-to-Back IPG レジスタ	ETHAnIPGT	<ETHAn_base> + 0008 <sub>H</sub>
NON Back-to-Back IPG レジスタ	ETHAnIPGR	<ETHAn_base> + 000C <sub>H</sub>
コリジョン・レジスタ	ETHAnCLRT	<ETHAn_base> + 0010 <sub>H</sub>
最大パケット長レジスタ	ETHAnLMAX	<ETHAn_base> + 0014 <sub>H</sub>
ステーション・アドレス・レジスタ 1	ETHAnLSA1	<ETHAn_base> + 0054 <sub>H</sub>
ステーション・アドレス・レジスタ 2	ETHAnLSA2	<ETHAn_base> + 0058 <sub>H</sub>
ポーズ・タイマ値リード・レジスタ	ETHAnPTVR	<ETHAn_base> + 005C <sub>H</sub>
VLAN タイプ・レジスタ	ETHAnVLTP	<ETHAn_base> + 0064 <sub>H</sub>
MII コンフィギュレーション・レジスタ	ETHAnMIIC	<ETHAn_base> + 0080 <sub>H</sub>
MII コマンド・レジスタ	ETHAnMCMD	<ETHAn_base> + 0094 <sub>H</sub>
MII アドレス・レジスタ	ETHAnMADR	<ETHAn_base> + 0098 <sub>H</sub>
MII ライト・データ・レジスタ	ETHAnMWTD	<ETHAn_base> + 009C <sub>H</sub>
MII リード・データ・レジスタ	ETHAnMRDD	<ETHAn_base> + 00A0 <sub>H</sub>
MII インジケータ・レジスタ	ETHAnMIND	<ETHAn_base> + 00A4 <sub>H</sub>
アドレス・フィルタ・レジスタ	ETHAnAFR	<ETHAn_base> + 00C8 <sub>H</sub>
HASH テーブル・レジスタ 1	ETHAnHT1	<ETHAn_base> + 00CC <sub>H</sub>
HASH テーブル・レジスタ 2	ETHAnHT2	<ETHAn_base> + 00D0 <sub>H</sub>
キャリア・レジスタ 1	ETHAnCAR1	<ETHAn_base> + 00DC <sub>H</sub>
キャリア・レジスタ 2	ETHAnCAR2	<ETHAn_base> + 00E0 <sub>H</sub>
キャリア・マスク・レジスタ 1	ETHAnCAM1	<ETHAn_base> + 0130 <sub>H</sub>
キャリア・マスク・レジスタ 2	ETHAnCAM2	<ETHAn_base> + 0134 <sub>H</sub>
受信バイト・カウンタ	ETHAnRBYT	<ETHAn_base> + 0140 <sub>H</sub>
受信パケット・カウンタ	ETHAnRPKT	<ETHAn_base> + 0144 <sub>H</sub>

表 32-8 ETHA レジスタ概要 (MAC) (2/2)

レジスタ名称	略号	アドレス
受信 FCS エラー・フレーム・カウンタ	ETHAnRFCS	<ETHAn_base> + 0148 <sub>H</sub>
受信マルチキャスト・パケット・カウンタ	ETHAnRMCA	<ETHAn_base> + 014C <sub>H</sub>
受信ブロードキャスト・パケット・カウンタ	ETHAnRBCA	<ETHAn_base> + 0150 <sub>H</sub>
受信コントロール・フレーム・パケット・カウンタ	ETHAnRXCF	<ETHAn_base> + 0154 <sub>H</sub>
受信ポーズ・フレーム・パケット・カウンタ	ETHAnRXPF	<ETHAn_base> + 0158 <sub>H</sub>
受信未定義コントロール・パケット・カウンタ	ETHAnRXUO	<ETHAn_base> + 015C <sub>H</sub>
受信アライメント・エラー・カウンタ	ETHAnRALN	<ETHAn_base> + 0160 <sub>H</sub>
受信フレーム長エラー・カウンタ	ETHAnRFLR	<ETHAn_base> + 0164 <sub>H</sub>
受信コード・エラー・カウンタ	ETHAnRCDE	<ETHAn_base> + 0168 <sub>H</sub>
受信 False Carrier カウンタ	ETHAnRFCR	<ETHAn_base> + 016C <sub>H</sub>
受信アンダサイズ・パケット・カウンタ	ETHAnRUND	<ETHAn_base> + 0170 <sub>H</sub>
受信オーバサイズ・パケット・カウンタ	ETHAnROVR	<ETHAn_base> + 0174 <sub>H</sub>
受信フラグメント・カウンタ	ETHAnRFRG	<ETHAn_base> + 0178 <sub>H</sub>
受信ジャババー・カウンタ	ETHAnRJBR	<ETHAn_base> + 017C <sub>H</sub>
受信 64 バイト・フレーム・カウンタ	ETHAnR64	<ETHAn_base> + 0180 <sub>H</sub>
受信 65-127 バイト・フレーム・カウンタ	ETHAnR127	<ETHAn_base> + 0184 <sub>H</sub>
受信 128-255 バイト・フレーム・カウンタ	ETHAnR255	<ETHAn_base> + 0188 <sub>H</sub>
受信 256-511 バイト・フレーム・カウンタ	ETHAnR511	<ETHAn_base> + 018C <sub>H</sub>
受信 512-1023 バイト・フレーム・カウンタ	ETHAnR1K	<ETHAn_base> + 0190 <sub>H</sub>
受信 1024-RMAX バイト・フレーム・カウンタ	ETHAnRMAX	<ETHAn_base> + 0194 <sub>H</sub>
受信有効バイト・カウンタ	ETHAnRVBT	<ETHAn_base> + 0198 <sub>H</sub>
送信バイト・カウンタ	ETHAnTBYT	<ETHAn_base> + 01C0 <sub>H</sub>
送信パケット・カウンタ	ETHAnTPKT	<ETHAn_base> + 01C4 <sub>H</sub>
送信 FCS エラー・フレーム・カウンタ	ETHAnTFCS	<ETHAn_base> + 01C8 <sub>H</sub>
送信マルチキャスト・パケット・カウンタ	ETHAnTMCA	<ETHAn_base> + 01CC <sub>H</sub>
送信ブロードキャスト・パケット・カウンタ	ETHAnTBCA	<ETHAn_base> + 01D0 <sub>H</sub>
送信ユニキャスト・パケット・カウンタ	ETHAnTUCA	<ETHAn_base> + 01D4 <sub>H</sub>
送信ポーズ・コントロール・フレーム・カウンタ	ETHAnTXPF	<ETHAn_base> + 01D8 <sub>H</sub>
送信遅延パケット・カウンタ	ETHAnTDFR	<ETHAn_base> + 01DC <sub>H</sub>
送信過剰遅延パケット・カウンタ	ETHAnTXDF	<ETHAn_base> + 01E0 <sub>H</sub>
送信シングル・コリジョン・パケット・カウンタ	ETHAnTSCL	<ETHAn_base> + 01E4 <sub>H</sub>
送信マルチプル・コリジョン・パケット・カウンタ	ETHAnTMCL	<ETHAn_base> + 01E8 <sub>H</sub>
送信レイト・コリジョン・パケット・カウンタ	ETHAnTLCL	<ETHAn_base> + 01EC <sub>H</sub>
送信過剰コリジョン・パケット・カウンタ	ETHAnTXCL	<ETHAn_base> + 01F0 <sub>H</sub>
送信トータル・コリジョン・カウンタ	ETHAnTNCL	<ETHAn_base> + 01F4 <sub>H</sub>
送信キャリア・センス・エラー・カウンタ	ETHAnTCSE	<ETHAn_base> + 01F8 <sub>H</sub>
MAC 内部エラー・カウンタ	ETHAnTIME	<ETHAn_base> + 01FC <sub>H</sub>

表 32-9 ETHA レジスタ概要 (FIFO コントローラ)

レジスタ名称	略号	アドレス
FIFO コントローラ・コントロール・レジスタ	ETHAnMFFCONT	<ETHAn_base> + 0200 <sub>H</sub>
ソフト・リセット制御レジスタ	ETHAnRSTCNT	<ETHAn_base> + 0204 <sub>H</sub>
フロー制御閾値レジスタ	ETHAnFLOWTHRESH	<ETHAn_base> + 0218 <sub>H</sub>
ポーズ・タイム値レジスタ	ETHAnPAUSETM	<ETHAn_base> + 021C <sub>H</sub>
受信エラー選択レジスタ	ETHAnRXERSEL	<ETHAn_base> + 0220 <sub>H</sub>
送信ステータス・モニタ 1 レジスタ	ETHAnTXSTMONI1	<ETHAn_base> + 0230 <sub>H</sub>
送信ステータス・モニタ 2 レジスタ	ETHAnTXSTMONI2	<ETHAn_base> + 0234 <sub>H</sub>
送信ステータス 1 レジスタ	ETHAnTXFINF1	<ETHAn_base> + 0238 <sub>H</sub>
送信ステータス 2 レジスタ	ETHAnTXFINF2	<ETHAn_base> + 023C <sub>H</sub>
受信ステータス・モニタ・レジスタ	ETHAnRXSTMONI	<ETHAn_base> + 0240 <sub>H</sub>
受信ステータス 1 レジスタ	ETHAnRXFINF1	<ETHAn_base> + 0244 <sub>H</sub>
受信ステータス 2 レジスタ	ETHAnRXFINF2	<ETHAn_base> + 0248 <sub>H</sub>
受信ステータス 3 レジスタ	ETHAnRXFINF3	<ETHAn_base> + 024C <sub>H</sub>
FIFO ステータス割り込みレジスタ	ETHAnFSTATUS	<ETHAn_base> + 0250 <sub>H</sub>
FIFO ステータス割り込みマスク・レジスタ	ETHAnFSTATUSM	<ETHAn_base> + 0254 <sub>H</sub>
送信ステータス割り込みレジスタ	ETHAnTXSTATUS	<ETHAn_base> + 0258 <sub>H</sub>
送信ステータス割り込みマスク・レジスタ	ETHAnTXSTATUSM	<ETHAn_base> + 025C <sub>H</sub>
受信ステータス割り込みレジスタ	ETHAnRXSTATUS	<ETHAn_base> + 0260 <sub>H</sub>
受信ステータス割り込みマスク・レジスタ	ETHAnRXSTATUSM	<ETHAn_base> + 0264 <sub>H</sub>
送信アポート・カウンタ	ETHAnTXABTCNT	<ETHAn_base> + 0270 <sub>H</sub>
受信アポート・カウンタ	ETHAnRXABTCNT	<ETHAn_base> + 0274 <sub>H</sub>

表 32-10 ETHA DMAC registers overview

レジスタ名称	略号	アドレス
コア・ファンクション制御レジスタ	ETHAnMODE	<ETHAn_base> + 0300 <sub>H</sub>
割り込み制御レジスタ	ETHAnINTMS	<ETHAn_base> + 0304 <sub>H</sub>
転送制御レジスタ	ETHAnTRANSCTL	<ETHAn_base> + 0308 <sub>H</sub>
ソフトウェア・リセット制御レジスタ	ETHAnSFTRST	<ETHAn_base> + 030C <sub>H</sub>
DMAC モード制御レジスタ	ETHAnDMACM	<ETHAn_base> + 0310 <sub>H</sub>
受信ディスクリプタ・ポインタ・レジスタ	ETHAnRXDP	<ETHAn_base> + 0320 <sub>H</sub>
最終受信ディスクリプタ・ポインタ・レジスタ	ETHAnLSTRXDP	<ETHAn_base> + 0324 <sub>H</sub>
送信ディスクリプタ・ポインタ・レジスタ	ETHAnTXDP	<ETHAn_base> + 0328 <sub>H</sub>
最終送信ディスクリプタ・ポインタ・レジスタ	ETHAnLSTTXDP	<ETHAn_base> + 032C <sub>H</sub>
送信チェックサム・ユニット・ファンクション設定レジスタ	ETHAnTCHMODE	<ETHAn_base> + 1300 <sub>H</sub>
送信チェックサム割り込みレジスタ	ETHAnTCHINTMS	<ETHAn_base> + 1304 <sub>H</sub>
送信チェックサム転送制御レジスタ	ETHAnTCHTRANSCTL	<ETHAn_base> + 1308 <sub>H</sub>
送信チェックサム・ソフト・リセット・レジスタ	ETHAnTCHSFTRST	<ETHAn_base> + 130C <sub>H</sub>
送信チェックサム DMA 制御モード設定レジスタ	ETHAnTCHDMACM	<ETHAn_base> + 1310 <sub>H</sub>
送信チェックサム受信ディスクリプタ・ポインタ	ETHAnTCHRXDP	<ETHAn_base> + 1314 <sub>H</sub>
送信チェックサム・ラスト受信ディスクリプタ・ポインタ	ETHAnTCHLSTRXDP	<ETHAn_base> + 1318 <sub>H</sub>
送信チェックサム送信ディスクリプタ・ポインタ	ETHAnTCHTXDP	<ETHAn_base> + 131C <sub>H</sub>
送信チェックサム・ラスト送信ディスクリプタ・ポインタ	ETHAnTCHLSTTXDP	<ETHAn_base> + 1320 <sub>H</sub>

### 32.4.2 MAC 制御レジスタ

#### (1) MAC 設定レジスタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0000<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
- 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、ETHAnMACC2 レジスタの ETHAnMCRST, ETHAnRFRST, ETHAnTFRST ビットを同時にセット (1) し、同時にクリア (0) してリセットを解除してください。
  - ビット 31-15, 13, 12, 4 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	ETHAn MACLB	0	0	ETHAn TXFC	ETHAn RXFC	ETHAn SRXEN	ETHAn PARF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn PUREP	ETHAn FLCHT	ETHAn NOBO	0	ETHAn CRCEN	ETHAn PADEN	ETHAn FULLD	ETHAn HUGEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-11 ETHAnMACC1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
14	ETHAn MACLB	MAC ループ・バック 0: ループ・バック動作は無効です。 1: MAC 内部で送信部から受信部へループ・バックします。ループ・バックで動作させるときは、ETHAnFULLD ビットを 1 にし、全二重動作をイネーブルにしてください。
11	ETHAn TXFC	送信フロー・コントロール・イネーブル 0: TPCF 信号入力によるポーズ・コントロール・フレームの送信を禁止します。 1: TPCF 信号入力によるポーズ・コントロール・フレームの送信を許可します。
10	ETHAn RXFC	受信フロー・コントロール・イネーブル 0: ポーズ動作を実行しません。 1: ポーズ・タイマに設定されているポーズ時間中、ポーズ動作を実行します。ポーズ・タイマの値はこのビットの設定に関係なく、有効なポーズ・コントロール・フレームを受信すると更新されます。

表 32-11 ETHAnMACC1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
9	ETHAn SRXEN	受信イネーブル 0: 受信禁止状態 1: 受信データ・インタフェースの機能が有効になります。ETHAnFULLD ビットの設定にかかわらず、CRS 信号がアサートされているときに、このビットの設定を変更した場合、CRS 信号がディアサートされてから設定変更が有効になります。
8	ETHAn PARF	コントロール・パケット・パス 0: コントロール・フレームをコントロール・フレームとして判断します。 1: コントロール・フレームを含むすべての受信パケットに対し、コントロール・フレームではないと判断します。また、ETHAnPARF ビット=1 の場合には、ETHAnRXFC ビットの設定にかかわらず、有効なポーズ・コントロール・フレームを受信してもポーズ・タイマの値は更新されません。
7	ETHAn PUREP	ピュア・プリアンブル 0: プリアンブルのデータはチェックしません。 1: 不正なプリアンブルを選出すると、受信ステータス割り込みが発生します。
6	ETHAn FLCHT	レンクス・フィールド・チェック 0: レンクス・フィールドのチェックを行いません。 1: レンクス・フィールドの値とデータ・フィールド長をチェックし、ステータス割り込みが発生します。
5	ETHAn NOBO	ノー・バックオフ 0: バックオフ・アルゴリズムによるパケット送信を行います 1: 常にバックオフせずにパケット送信を行います。
3	ETHAn CRCEN	CRC 付加 0: CRC を付加しません。 送信パケットの最後は有効な FCS である必要があります。MAC は、FCS をチェックし、FCS の値が正しくない場合は、送信ステータス割り込み (INTCTS) でエラーを通知します。 1: 自動的にパケット末尾に CRC を付加します。 送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス (FCS) を追加します。
2	ETHAn PADEN	PAD 付加 0: PAD を付加しません。 1: パケット長が 64 バイトに満たないとき、パディングを行います。このとき ETHAnCRCEN ビットの設定にかかわらずパケットの末尾に自動的に CRC を付加します。
1	ETHAn FULLD	全二重イネーブル 0: 半二重動作 1: 全二重動作
0	ETHAn HUGEN	ヒュージ・パケット・イネーブル 0: 最大パケット長レジスタ (ETHAnLMAX) 値を越えたパケットの送受信を中断します。 1: 最大パケット長レジスタ (ETHAnLMAX) 値を越えたパケットの送受信を中断しません。

## (2) ETHAnMACC2 - MAC 設定レジスタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0004<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
- 動作モード設定後に、必ずソフトウェア・リセットを実行してください。ソフトウェア・リセットは、ETHAnMACC2 レジスタの ETHAnMCRST, ETHAnRFRST, ETHAnTFRST ビットを同時にセット (1) し、同時にクリア (0) してリセットを解除してください。これらのリセット・ビットは、RXCLK, TXCLK の 5 クロック以上の間隔で操作してください。
  - ビット 31-11, 7, 3-0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	ETHAn MCRST	ETHAn RFRST	ETHAn TFRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	ETHAn BPNB	ETHAn APD	ETHAn VPD	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-12 ETHAnMACC2 レジスタの内容 (1/2)

ビット位置	ビット名	意味
10	ETHAn MCRST	MAC 制御部ソフトウェア・リセット 0 : MAC 制御部のソフトウェア・リセットを解除します 1 : MAC 制御部のソフトウェア・リセットをします。
9	ETHAn RFRST	受信ブロック・ソフトウェア・リセット 0 : 受信ブロックのソフトウェア・リセットを解除します。 1 : 受信ブロックのソフトウェア・リセットをします。
8	ETHAn TFRST	送信ブロック・ソフトウェア・リセット 0 : 送信ブロックのソフトウェア・リセットを解除します。 1 : 送信ブロックのソフトウェア・リセットをします。



表 32-12 ETHAnMACC2 レジスタの内容 (2/2)

ビット位置	ビット名	意味
6	ETHAn BPNB	Back Pressure No Back Off 1に設定すると、バック・プレッシャー後の送信にかぎり、バックオフしません。
5	ETHAn APD	オート VLAN パッド VLTP レジスタに登録された VLAN タイプと一致するパケットが送信された場合、VLAN パケットとして扱い、PAD を付加します。
4	ETHAn VPD	VLAN パッド・モード 送信するパケットを必ず VLAN パケットとして扱い、PAD を付加します。

**(3) ETHAnIPGT - Back-to-back IPG register**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0008<sub>H</sub>

**初期値** 0000 0013<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-7 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	ETHAnIPGT[6:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-13 ETHAnIPGT レジスタの内容

ビット位置	ビット名	意味
6-0	ETHAn IPGT[6:0]	Back-To-Back 時の IPG : Back-To-Back 時のパケット間ギャップ (IPG) を設定します。計算式は次のとおりです。 <ul style="list-style-type: none"> <li>IPG = (5 + ETHAnIPGT) × 4 ビット・タイム (1 ビット・タイム = 10 Mbps 時 : 100 ns, 100 Mbps 時 : 10 ns)</li> </ul> IEEE802.3 の規格を満たすためには、IPG ≥ 96 ビット・タイムとなるように設定してください (32.5.2(5) パケット間ギャップ (IPG) 参照)。

## (4) ETHAnIPGR - Non Back-to-Back IPG レジスタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 000C<sub>H</sub>

**初期値** 0000 0E13<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-15, 7 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	ETHAnIPGR1[6:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	ETHAnIPGR2[6:0]						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-14 ETHAnIPGR レジスタの内容

ビット位置	ビット名	意味
14-8	ETHAn IPGR1[6:0]	キャリア・センス期間 Back-To-Back 時以外で、IPG 前半のキャリア・センス期間を設定します。計算式は次のとおりです。 ・ キャリア・センス期間 = (2 + ETHAnIPGR1) × 4 ビット・タイム IEEE802.3 の規格を満たすためには、キャリア・センス期間 = 2/3IPG となるように設定してください (32.5.2(5) パケット間ギャップ (IPG) 参照)。
6-0	ETHAn IPGR2[6:0]	Back-To-Back 時以外の IPG Back-To-Back 時以外における IPG を設定します。計算式は次のとおりです。 ・ IPG = (5 + ETHAnIPGR2) × 4 ビット・タイム ETHAnIPGR1 で設定されるキャリア・センス期間は、ETHAnIPGR2 で設定される IPG の中に含まれます。 IEEE802.3 の規格を満たすためには、IPG ≥ 96 ビット・タイムとなるように設定してください (32.5.2(5) パケット間ギャップ (IPG) 参照)。

## (5) ETHAnCLRT - コリジョン・レジスタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0010<sub>H</sub>

**初期値** 0000 380F<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-14, 7-4 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	ETHAnLCOL[5:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	ETHAnRETRY[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-15 ETHAnCLRT レジスタの内容

ビット位置	ビット名	意味
13-8	ETHAnLCOL[5:0]	コリジョン・ウインドウ コリジョン・ウインドウ幅を設定します。設定されるコリジョン・ウインドウの幅は次の式で与えられます。 ・ コリジョン・ウインドウ幅 = (ETHAnLCOL + 8) × 8 ビット・タイム IEEE 802.3 の規格では、コリジョン・ウインドウ幅 = 512 ビット・タイムとなっています。
3-0	ETHAnRETRY[3:0]	ETHAnRETRY[3:0] コリジョン発生時最大再送回数 コリジョンが発生した場合の最大再送信回数を設定します。この値以内で再送信が完了しない場合は、送信をアボートします。この値は最大衝突回数を示しています。 IEEE802.3 の規格では、最大衝突回数 = 15 回となっています。

**(6) ETHAnLMAX - Maximum packet length register**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0014<sub>H</sub>

**初期値** 0000 0600<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnMAXF[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnMAXF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-16 ETHAnLMAX レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAn MAXF[15:0]	最大パケット長 (バイト) ETHAnMACC1.ETHAnHUGEN ビットが 0 のとき、送受信パケット長がこの値で制限されます。 受信時：受信フレーム長が ETHAnMAXF[15:0] で設定された値を越えると、すぐに受信を終了します。 送信時：送信フレーム長が ETHAnMAXF[15:0] で設定された値を越えると、すぐに送信アボートします。

## (7) ETHAnLSA1 - ステーション・アドレス・レジスタ 1

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。ETHAnLSA2 レジスタと組み合わせて48ビットのレジスタとして使用します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0054<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnLSA1[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnLSA1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-17 ETHAnLSA1 レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAnLSA1[15:0]	ステーション・アドレス SA (47 : 32) SA (47 : 0) は、ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます (32.5.6 (1) (a) ユニキャスト・アドレスのフィルタリング参照)。

**(8) ETHAnLSA2 - ステーション・アドレス・レジスタ 2**

ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用するレジスタです。ETHAnLSA1 レジスタと組み合わせて48ビットのレジスタとして使用します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0058<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnLSA2[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnLSA2[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnLSA2[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnLSA2[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-18 ETHAnLSA2 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnLSA2[31:0]	ステーション・アドレス SA (31 : 0) SA (47 : 0) は、ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます (32.5.6 (1) (a) ユニキャスト・アドレスのフィルタリング参照)。

**(9) ETHAnPTVR - ポーズ・タイマ値リード・レジスタ**

ポーズ・タイマ・カウンタの値を読み出すレジスタです。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 005C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnPTCT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnPTCT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-19 ETHAnPTVR レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAnPTCT[15:0]	ポーズ・タイマ・カウンタ 現在ポーズ・タイマに設定されている値を示します。受信フロー制御が許可されている間 (ETHAnMACC1.ETHAnRXFC ビット = 1 である間) のみ、このレジスタは有効な値を持ちます (32.5.4(1) フロー制御参照)



**(10) ETHAnVLTP - VLAN タイプ・レジスタ**

VLAN タイプを指定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0064<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnVLTP[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnVLTP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-20 ETHAnVLTP レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAn VLTP[15:0]	VLAN タイプ VLAN タイプを指定します (32.5.4 (3) VLAN フレームに対する動作参照)。 受信時: ETHAnVLTP[15:0] の値と TPID フィールド (ソース・アドレスに続く 2 バイト) の値を比較し、VLAN フレームの検出をします。 送信時: ETHAnMACC2.ETHAnAPD ビットが 1 のとき、VLAN フィールドと ETHAnVLTP[15:0] の値が一致すれば、VLAN フレームとして PAD の付加を行います。

**(11) ETHAnMIIC - シリアル・マネジメント・インタフェース・コンフィギュレーション・レジスタ**

シリアル・マネジメント・インタフェース・ブロックの動作モードを設定します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0080<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
- ETHAnMIRST ビットの操作はイーサネット・コントローラ・クロック ( $f_{EC}$ ) の5クロック以上の間隔で操作してください。
  - ビット 31-16, 14-5, 0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn MIRST	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	ETHAn CLKS[2:0]			ETHAn PHYSEL	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-21 ETHAnMIIC レジスタの内容

ビット位置	ビット名	意味												
15	ETHAn MIRST	シリアル・マネジメント・インタフェース・ブロック・ソフトウェア・リセット 0: シリアル・マネジメント・インタフェース・ブロックのソフトウェア・リセットを解除します。 1: シリアル・マネジメント・インタフェース・ブロックをソフトウェア・リセットします。												
4-2	ETHAn CLKS[2:0]	MDC の分周比設定 使用するイーサネット・コントローラ・クロック (fEC) に合わせて、分周比を選択します (32.5.5 (1) (a) MDC クロック参照)。 IEEE802.3 の規格を満たすには、MDC が 2.5 MHz 以下になるように分周比を設定してください。 <table border="1" data-bbox="544 640 1382 898"> <thead> <tr> <th>ETHAnCLKS[2:0]</th> <th>fEC の入力周波数</th> </tr> </thead> <tbody> <tr> <td>001<sub>B</sub></td> <td>33 MHz 以下 (14 分周)</td> </tr> <tr> <td>010<sub>B</sub></td> <td>50 MHz 以下 (20 分周)</td> </tr> <tr> <td>011<sub>B</sub></td> <td>66 MHz 以下 (28 分周)</td> </tr> <tr> <td>100<sub>B</sub></td> <td>100 MHz 以下 (40 分周)</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	ETHAnCLKS[2:0]	fEC の入力周波数	001 <sub>B</sub>	33 MHz 以下 (14 分周)	010 <sub>B</sub>	50 MHz 以下 (20 分周)	011 <sub>B</sub>	66 MHz 以下 (28 分周)	100 <sub>B</sub>	100 MHz 以下 (40 分周)	上記以外	設定禁止
ETHAnCLKS[2:0]	fEC の入力周波数													
001 <sub>B</sub>	33 MHz 以下 (14 分周)													
010 <sub>B</sub>	50 MHz 以下 (20 分周)													
011 <sub>B</sub>	66 MHz 以下 (28 分周)													
100 <sub>B</sub>	100 MHz 以下 (40 分周)													
上記以外	設定禁止													
1	ETHAn PHYSEL	MDC の出力設定 MDC を停止させたときに、PHY との通信でデータが正常に渡されない場合、PHYSEL = 1 で使用してください。 1: マネジメント・フレーム以外でも常時 MDC を出力 0: マネジメント・フレーム以外での MDC を停止												

**(12) ETHAnMCMD - MII コマンド・レジスタ**

SCAN コマンド, MII マネジメント・インタフェースによるリード・アクセスを実行するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

ETHAnMCMD レジスタにライトした結果は, ETHAnMIND レジスタからリードしてください。

**アドレス** <ETHAn\_base> + 0094<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-2 は必ず 0 を設定してください。ビット 1, 0 はライトのみ可能です。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	ETHAn SCANC	ETHAn RSTAT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-22 ETHAnMCMD レジスタの内容

ビット位置	ビット名	意味
1	ETHAn SCANC	SCAN コマンド 1 に設定すると SCAN コマンドを実行します。
0	ETHAn RSTAT	MII マネジメント・リード 1 に設定すると MII マネジメント・インタフェースによるリード・アクセスを実行します。

**(13) ETHAnMADR - MII アドレス・レジスタ**

PHY アドレス, PHY レジスタ・アドレスを設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0098<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-13, 7-5 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24	
0	0	0	0	0	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
23	22	21	20	19	18	17	16	
0	0	0	0	0	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
15	14	13	12	11	10	9	8	
0	0	0	ETHAnFIAD[4:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
7	6	5	4	3	2	1	0	
0	0	0	ETHAnRGAD[4:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 32-23 ETHAnMADR レジスタの内容

ビット位置	ビット名	意味
1	ETHAn FIAD[4:0]	PHY アドレス PHY アドレスを設定します。1つのイーサネット・コントローラは、最大 31 個の PHY デバイスを制御できます。
0	ETHAn RGAD[4:0]	PHY レジスタ・アドレス アクセスするレジスタのアドレスを設定します。イーサネット・コントローラ は、1つの PHY デバイスに対して、32 個の 16 ビット・レジスタをアクセスで きます。

**(14) ETHAnMWTD - MII ライト・データ・レジスタ**

MI I マネジメント・インタフェースでライト・アクセスする際のライト・データを設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 009C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnCTLD[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnCTLD[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-24 ETHAnMWTD レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAnCTLD[15:0]	MI I ライト・データ MI I マネジメント・インタフェースにおいてライト・アクセスする際のライト・データ・フィールドです。

**(15) ETHAnMRDD - MII リード・データ・レジスタ**

MII マネジメント・インタフェースでリード・アクセスする際のリード・データです。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 00A0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnPRSD[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnPRSD[7:0]							
R	R	R	R	R	R	R	R

表 32-25 ETHAnMRDD レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAn PRSD[15:0]	MII リード・データ MII マネジメント・インタフェースにおいてリード・アクセスする際のリード・データ・フィールドです。

**(16) ETHAnMIND - MII インジケータ・レジスタ**

SCAN コマンド実行状態, MII マネジメント・インタフェースのアクセス状態を示すレジスタです。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 00A4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-3 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	ETHAn NVALID	ETHAn SCANA	ETHAn BUSY
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-26 ETHAnMIND レジスタの内容

ビット位置	ビット名	意味
2	ETHAn NVALID	SCAN コマンド開始ステータス 1 : SCAN コマンド実行中で、最初のリード・アクセスが終了していません。 0 : 通常状態
1	ETHAn SCANA	SCAN コマンド・アクティブ 1 : SCAN コマンド実行中 0 : 通常状態
0	ETHAn BUSY	BUSY 1 : MII マネジメント・インタフェースが外部 PHY デバイスとのアクセスを実行中。 0 : MII マネジメント・インタフェースは外部 PHY デバイスをアクセスしていません。



**(17) ETHAnAFR - アドレス・フィルタ・レジスタ**

受信パケットの条件を設定するレジスタです。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 00C8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-4 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	ETHAn PRO	ETHAn PRM	ETHAn AMC	ETHAn ABC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-27 ETHAnAFR レジスタの内容

ビット位置	ビット名	意味
3	ETHAn PRO	プロミスカス・モード すべてのパケットを有効とするモードです。
2	ETHAn PRM	マルチキャスト受信 すべてのマルチキャスト・パケットを有効とし、他を破棄するモードです。
1	ETHAn AMC	条件付きマルチキャスト受信 条件に一致したマルチキャスト・パケットを有効とし、他を破棄するモードです。 マルチキャスト・アドレスが ETHAnHT1, ETHAnHT2 レジスタで設定した ハッシュ・テーブルの値と一致したマルチキャスト・パケットだけをアクセプトします。 ハッシュ・テーブルについては ETHAnHT1, ETHAnHT2 レジスタに設定します。
0	ETHAn ABC	ブロードキャスト受信 ブロードキャスト・パケットを有効とし、他を破棄するモードです。 ETHAnAFR レジスタの設定とフィルタリングの対象となるパケットは、表 32- 28 「アドレス・フィルタリング設定と受信パケット」を参照してください。

表 32-28 アドレス・フィルタリング設定と受信パケット

ETHAnAFR.ETHAn				受信パケット				
PRO	PRM	AMC	ABC	LSA 不一致, ユニキャスト	LSA 一致, ユニキャスト	HT 不一致, マルチキャスト	HT 一致, マルチキャスト	ブロードキャスト・パケット
1	—	—	—	受信	受信	受信	受信	受信
0	1	—	—	破棄		破棄	破棄	破棄
	0	1	1		破棄			
		1	0		破棄			
		0	1		破棄			
		0	0		破棄			

a) ロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当する HASH テーブルのビットをセット (1) している場合は受信されます。

備考 — : 任意

**(18) ETHAnHT1 - Hash テーブル・レジスタ 1**

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの上位 32 ビットを設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 00CC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnHT1[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnHT1[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnHT1[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnHT1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-29 ETHAnHT1 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnHT1[31:0]	ハッシュ・テーブル 1 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの上位 32 ビットを示します。HT (63 : 32)

**(19) ETHAnHT2 - Hash テーブル・レジスタ 2**

条件付きマルチキャスト・パケット検出で使用するハッシュ・テーブルの下位 32 ビットを設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 00D0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnHT2[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnHT2[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnHT2[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnHT2[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-30 ETHAnHT2 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnHT2[31:0]	ハッシュ・テーブル 2 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの下位 32 ビットを示します。HT (31 : 0)

条件付きマルチキャスト・パケット検出モードでは、表 32-31 「HT ビットとハッシュ値の対応」における、ハッシュ値 (CRC[28:23]) で決定される対応 HT ビットが設定されている場合、マルチキャスト・パケットが受信されます (図 32-17 を参照)。

表 32-31 HT ビットとハッシュ値の対応

CRC[28:26]	CRC[25:23]							
	111 <sub>B</sub> (7)	110 <sub>B</sub> (6)	101 <sub>B</sub> (5)	100 <sub>B</sub> (4)	011 <sub>B</sub> (3)	010 <sub>B</sub> (2)	001 <sub>B</sub> (1)	000 <sub>B</sub> (0)
111 <sub>B</sub> (7)	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110 <sub>B</sub> (6)	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101 <sub>B</sub> (5)	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100 <sub>B</sub> (4)	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011 <sub>B</sub> (3)	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010 <sub>B</sub> (2)	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001 <sub>B</sub> (1)	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000 <sub>B</sub> (0)	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]

備考 上の表では、ビット名の接頭辞「ETHAn」が省略されています。HT1[31:0] = ETHnHT1[31:0], HT2[31:0] = ETHnHT2[31:0] を表します。

**(20) ETHAnCAR1 - Carry register 1**

統計カウンタがオーバーフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバーフローが発生すると、対応するビットに1が設定されます。各ビットは、リードすることでクリアされます。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 00DC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn C1VT	ETHAn C1UT	ETHAn C1BT	ETHAn C1MT	ETHAn C1PT	ETHAn C1TB	ETHAn C1MX	ETHAn C11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn C1FE	ETHAn C1TF	ETHAn C1OT	ETHAn C1SF	ETHAn C1BR	ETHAn C1MR	ETHAn C1PR	ETHAn C1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-32 ETHAnCAR1 レジスタの内容

ビット位置	ビット名	意味
15	ETHAnC1VT	ETHAnRVBT カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
14	ETHAnC1UT	ETHAnTUCA カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
13	ETHAnC1BT	ETHAnTBCA カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
12	ETHAnC1MT	ETHAnTMCA カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
11	ETHAnC1PT	ETHAnTPKT カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
10	ETHAnC1TB	ETHAnTBYT カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
9	ETHAnC1MX	ETHAnRMAX カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
8	ETHAnC11K	ETHAnR1K カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
7	ETHAnC1FE	ETHAnR511 カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
6	ETHAnC1TF	ETHAnR255 カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
5	ETHAnC1OT	ETHAnR127 カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
4	ETHAnC1SF	ETHAnR64 カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
3	ETHAnC1BR	ETHAnRBCA カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
2	ETHAnC1MR	ETHAnRMCA カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
1	ETHAnC1PR	ETHAnRPKT カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
0	ETHAnC1RB	ETHAnRBYT カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした

**(21) ETHAnCAR2 - キャリヤ・レジスタ 2**

統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。

各ビットは、リードすることでクリアされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 00E0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 30-23 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
ETHAn C2DV	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	ETHAn C2IM	ETHAn C2CS	ETHAn C2NC	ETHAn C2XC	ETHAn C2LC	ETHAn C2MC	ETHAn C2SC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn C2XD	ETHAn C2DF	ETHAn C2XF	ETHAn C2TE	ETHAn C2JB	ETHAn C2FG	ETHAn C2OV	ETHAn C2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn C2FC	ETHAn C2CD	ETHAn C2FO	ETHAn C2AL	ETHAn C2UO	ETHAn C2PF	ETHAn C2CF	ETHAn C2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-33 ETHAnCAR2 レジスタの内容 (1/3)

ビット位置	ビット名	意味
31	ETHAn C2DV	ステータス・ベクタ・オーバラン 0 : オーバランしていない 1 : オーバランした
22	ETHAn C2IM	ETHAnTIME カウンタ・オーバフロー 0 : オーバフローしていない 1 : オーバフローした
21	ETHAn C2CS	ETHAnTCSE カウンタ・オーバフロー 0 : オーバフローしていない 1 : オーバフローした
20	ETHAn C2NC	ETHAnTNCL カウンタ・オーバフロー 0 : オーバフローしていない 1 : オーバフローした
19	ETHAn C2XC	ETHAnTXCL カウンタ・オーバフロー 0 : オーバフローしていない 1 : オーバフローした



表 32-33 ETHAnCAR2 レジスタの内容 (2/3)

ビット位置	ビット名	意味
18	ETHAn C2LC	ETHAnTLCL カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
17	ETHAn C2MC	ETHAnTMCL カウンタ・オーバーフロー 0 : オーバランしていない 1 : オーバランした
16	ETHAn C2SC	ETHAnTSCL カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
15	ETHAn C2XD	ETHAnTXDF カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
14	ETHAn C2DF	ETHAnTDFR カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
13	ETHAn C2XF	ETHAnTXPF カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
12	ETHAn C2TE	ETHAnTFCS カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
11	ETHAn C2JB	RBJR カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
10	ETHAn C2FG	ETHAnRFRG カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
9	ETHAn C2OV	ETHAnROVR カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
8	ETHAn C2UN	ETHAnRUND カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
7	ETHAn C2FC	ETHAnRFCR カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
6	ETHAn C2CD	ETHAnRCDE カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
5	ETHAn C2FO	ETHAnRFLR カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
4	ETHAn C2AL	ETHAnRALN カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
3	ETHAn C2UO	ETHAnRXUO カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
2	ETHAn C2PF	ETHAnRXPF カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした

表 32-33 ETHAnCAR2 レジスタの内容 (3/3)

ビット位置	ビット名	意味
1	ETHAn C2CF	ETHAnRXCF カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした
0	ETHAn C2RE	ETHAnRFCS カウンタ・オーバーフロー 0 : オーバフローしていない 1 : オーバフローした

**(22) ETHAnCAM1 - キャリー・マスク・レジスタ 1**

統計カウンタのオーバフローによって、ETHAnCAR1 レジスタ内のビットに“1”が設定されたときに発生する CAINT 信号をマスクします。

1 ビットごとのマスクが可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0130<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn M1VT	ETHAn M1UT	ETHAn M1BT	ETHAn M1MT	ETHAn M1PT	ETHAn M1TB	ETHAn M1MX	ETHAn M11K
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn M1FE	ETHAn M1TF	ETHAn M1OT	ETHAn M1SF	ETHAn M1BR	ETHAn M1MR	ETHAn M1PR	ETHAn M1RB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-34 ETHAnCAM1 レジスタの内容 (1/2)

ビット位置	ビット名	意味
15	ETHAn M1VT	ETHAnRVBT カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
14	ETHAn M1UT	ETHAnTUCA カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
13	ETHAn M1BT	ETHAnTBCA カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
12	ETHAn M1MT	ETHAnTMCA カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
11	ETHAn M1PT	ETHAnTPKT カウンタ・オーバフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

表 32-34 ETHAnCAM1 レジスタの内容 (2/2)

ビット位置	ビット名	意味
10	ETHAnM1TB	ETHAnTBYT カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
9	ETHAnM1MX	ETHAnRMAX カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
8	ETHAnM11K	ETHAnR1K カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	ETHAnM1FE	ETHAnR511 カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	ETHAnM1TF	ETHAnR255 カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	ETHAnM1OT	ETHAnR127 カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	ETHAnM1SF	ETHAnR64 カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	ETHAnM1BR	ETHAnRBCA カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
2	ETHAnM1MR	ETHAnRMCA カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	ETHAnM1PR	ETHAnRPKT カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	ETHAnM1RB	ETHAnRBYT カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

**(23) ETHAnCAM2 - キャリー・マスク・レジスタ 2**

統計カウンタのオーバフローによって、ETHAnCAR2 レジスタ内のビットに“1”が設定されたときに発生する CAINT 信号をマスクします。

各ビットは、リードすることでクリアされます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0134<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 30-23 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
ETHAn M2DV	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	ETHAn M2IM	ETHAn M2CS	ETHAn M2NC	ETHAn M2XC	ETHAn M2LC	ETHAn M2MC	ETHAn M2SC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn M2XD	ETHAn M2DF	ETHAn M2XF	ETHAn M2TE	ETHAn M2JB	ETHAn M2FG	ETHAn M2OV	ETHAn M2UN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn M2FC	ETHAn M2CD	ETHAn M2FO	ETHAn M2AL	ETHAn M2UO	ETHAn M2PF	ETHAn M2CF	ETHAn M2RE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-35 ETHAnCAM2 レジスタの内容 (1/3)

ビット位置	ビット名	意味
31	ETHAn M2DV	Status vector overrun interrupt mask bit 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
22	ETHAn M2IM	ETHAnTIME カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
21	ETHAn M2CS	ETHAnTCSE カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
20	ETHAn M2NC	ETHAnTNCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)
19	ETHAn M2XC	ETHAnTXCL カウンタ・オーバフロー割り込みマスク・ビット 0 : 割り込み発生可能 (マスクしない) 1 : 割り込み発生禁止 (マスクする)

表 32-35 ETHAnCAM2 レジスタの内容 (2/3)

ビット位置	ビット名	意味
18	ETHAnM2LC	ETHAnTLCL カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
17	ETHAnM2MC	ETHAnTMCL カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
16	ETHAnM2SC	ETHAnTSCL カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
15	ETHAnM2XD	ETHAnTXDF カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
14	ETHAnM2DF	ETHAnTDFR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
13	ETHAnM2XF	ETHAnTXPF カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
12	ETHAnM2TE	ETHAnTFCS カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
11	ETHAnM2JB	RBJR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
10	ETHAnM2FG	ETHAnRFRG カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
9	ETHAnM2OV	ETHAnROVR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
8	ETHAnM2UN	ETHAnRUND カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
7	ETHAnM2FC	ETHAnRFCR カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
6	ETHAnM2CD	ETHAnRCDE カウンタ・オーバーフロー割り込みマスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
5	ETHAnM2FO	ETHAnRFLR カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
4	ETHAnM2AL	ETHAnRALN カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
3	ETHAnM2UO	ETHAnRXUO カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

表 32-35 ETHAnCAM2 レジスタの内容 (3/3)

ビット位置	ビット名	意味
2	ETHAnM2PF	ETHAnRXPF カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
1	ETHAnM2CF	ETHAnRXCF カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)
0	ETHAnM2RE	ETHAnRFCS カウンタ・キャリー・マスク・ビット 0: 割り込み発生可能 (マスクしない) 1: 割り込み発生禁止 (マスクする)

### 32.4.3 統計カウンタ

#### (1) ETHAnRBYT - 受信バイト・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0140<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRBYT[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRBYT[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRBYT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRBYT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-36 ETHAnRBYT レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRBYT[31:0]	受信パケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントし、エラーが発生した場合もカウントします。ETHAnMACC1.ETHAnHUGEN ビットが 0 のとき、ETHAnLMAX レジスタで設定された長さを越えるパケットが受信された場合、ETHAnLMAX レジスタの値がパケット長としてカウントされます。



## (2) ETHAnRPKT - 受信パケット・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0144<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRPKT[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRPKT[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRPKT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRPKT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-37 ETHAnRPKT レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRPKT[31:0]	すべてのパケット受信ごとにカウントされます。エラーが発生したパケット, すべてのユニキャスト・パケット, すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

**(3) ETHAnRFCS - 受信 FCS エラー・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0148<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRFCS[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRFCS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRFCS[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRFCS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-38 ETHAnRFCS レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRFCS[31:0]	受信パケットにおいて、CRC エラーが発生した場合にカウントされます。ETHAnMACC1.ETHAnHUGEN ビットが 0 のとき、ETHAnLMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHAnLMAX レジスタの設定値に達した時点で CRC チェックを行いますので、CRC エラー受信としてカウントされることがあります。

## (4) ETHAnRMCA - 受信マルチキャスト・パケット・カウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ETHAn\_base> + 014C<sub>H</sub>

初期値 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRMCA[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRMCA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRMCA[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRMCA[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-39 ETHAnRMCA レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRMCA[31:0]	受信パケット長が 64 バイト以上かつ 1518 バイト (VLAN フレーム時は 64 ~ 1522 バイト) 以下のマルチキャスト・パケットが受信された場合、カウントされます。ブロードキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

## (5) ETHAnRBCA - 受信ブロードキャスト・パケット・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0150<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRBCA[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRBCA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRBCA[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRBCA[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-40 ETHAnRBCA レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRBCA[31:0]	受信パケット長が 64 バイト以上かつ 1518 バイト (VLAN フレーム時は 64 ~ 1522 バイト) 以下のブロードキャスト・パケットが受信された場合、カウントされます。マルチキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

**(6) ETHAnRXCF - 受信コントロール・フレーム・パケット・カウンタ**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0154<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRXCF[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRXCF[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRXCF[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRXCF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-41 ETHAnRXCF レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRXCF[31:0]	コントロール・フレームが受信された場合、カウントされます。ポーズ・フレームおよびサポートされていないコントロール・フレームを含みません。CRCエラーが検出された場合はカウントされません。

## (7) ETHAnRXPf - 受信ポーズ・フレーム・パケット・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0158<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRXPf[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRXPf[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRXPf[16:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRXPf[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-42 ETHAnRXPf レジスタの内容

ビット位置	ビット名	意味
31-0	ETHA RXPf[31:0]	有効なポーズ・コントロール・フレームを受信した場合、カウントされます。

**(8) ETHAnRXUO - 受信未定義コントロール・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 015C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRXUO[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRXUO[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRXUO[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRXUO[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-43 ETHAnRXUO レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRXUO[31:0]	PAUSE 以外の OP コードを含むコントロール・フレーム, または無効なデスティネーション・アドレスを持つポーズ・コントロール・フレームを受信した場合, カウントされます。CRC エラーが検出された場合はカウントされません。

## (9) ETHAnRALNF - 受信アラインメント・エラー・カウンタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0160<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRALN[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRALN[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRALN[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRALN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-44 ETHAnRALNF レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRALN[31:0]	受信パケットにおいて、CRCエラーが発生しかつドリブル・ニブルが発生した場合にカウントされます。 ETHAnMACC1.ETHAnHUGENビットが0のとき、ETHAnLMAXレジスタで設定された長さを越えるパケットが受信された場合には、ETHAnLMAXレジスタの設定値（バイト単位）に達した時点でアラインメント・エラーのチェックが行われますので、このカウンタはカウントされません。



**(10) ETHAnRFLR - 受信フレーム長エラー・カウンタ**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0164<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRFLR[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRFLR[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRFLR[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRFLR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-45 ETHAnRFLR レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRFLR[31:0]	受信パケットのレングス・フィールドの値が、実際に受信されたパケットのデータ・フィールド長と一致しない場合、カウントされます。レングス・フィールドの値が 1501 以上の場合（たとえば、レングス・フィールドに相当するバイトがイーサネット・タイプ・フィールドとして使用されている場合など）、このカウンタはインクリメントされません。

## (11) ETHAnRCDE - 受信コード・エラー・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0164<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRCDE[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRCDE[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRCDE[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRCDE[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-46 ETHAnRCDE レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRCDE[31:0]	キャリアが検出されている間、不正なデータ・シンボルが少なくとも1回検出された場合、カウントされます。

## (12) ETHAnRFCR - 受信 False Carrier カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 016C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRFCR[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRFCR[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRFCR[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRFCR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-47 ETHAnRFCR レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRFCR[31:0]	アイドル中に False Carrier が発生した場合、次のパケット受信のあとでカウントされます。False Carrier は RXER がハイ・レベルで RXD からニブル・データとして 1110B が入力された場合に、False Carrier が発生したと見なされます。アイドルの間に複数回の False Carrier が発生した場合でも、カウントされるのは 1 回のみです。

**(13) ETHAnRUND - 受信アンダサイズ・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0170<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRUND[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRUND[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRUND[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRUND[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-48 ETHAnRUND レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRUND[31:0]	受信パケット長が64バイト未満でかつ、有効なFCSフィールドを含んでいる場合、カウントされます。

## (14) ETHAnROVR - 受信オーバーサイズ・パケット・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0174<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnROVR[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnROVR[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnROVR[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnROVR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-49 ETHAnROVR レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnROVR[31:0]	受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ有効な FCS フィールドを含んでいる場合、カウントされます。 ETHAnMACC1.ETHAnHUGEN ビットが 0 のとき、ETHAnLMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHAnLMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされないことがあります。

## (15) ETHAnRFRG - 受信フラグメント・カウンタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0178<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRFRG[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRFRG[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRFRG[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRFRG[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-50 ETHAnRFRG レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRFRG[31:0]	受信パケット長が64バイト未満でかつ、CRCエラーあるいはアライメント・エラーを含んでいる場合、カウントされます。

**(16) ETHAnRJBR - 受信ジャパー・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 017C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRJBR[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRJBR[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRJBR[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRJBR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-51 ETHAnRJBR レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRJBR[31:0]	受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ CRC エラーあるいはアライメント・エラーを含んでいる場合、カウントされます。 ETHAnMACC1.ETHAnHUGEN ビットが 0 のとき、ETHAnLMAX レジスタで設定された長さを越えるパケットが受信された場合には、ETHAnLMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされることがあります。

## (17) ETHAnR64 - 受信 64 バイト・フレーム・カウンタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0180<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnR64[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnR64[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnR64[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnR64[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-52 ETHAnR64 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnR64[31:0]	受信パケット長が 64 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。



**(18) ETHAnR127 - 受信 65-127 バイト・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0184<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnR127[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnR127[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnR127[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnR127[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-53 ETHAnR127 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnR127[31:0]	受信パケット長が 64-127 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

**(19) ETHAnR255 - 受信 128-255 バイト・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0188<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnR255[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnR255[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnR255[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnR255[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-54 ETHAnR255 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnR255[31:0]	受信パケット長が 128-255 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

**(20) ETHAnR511 - 受信 256-511 バイト・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 018C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnR511[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnR511[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnR511[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnR511[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-55 ETHAnR511 レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnR511[31:0]	受信パケット長が 256-511 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

**(21) ETHAnR1K - Receive 512- to 1023-byte frame counter**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0190<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnR1K[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnR1K[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnR1K[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnR1K[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-56 ETHAnR1K レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnR1K[31:0]	受信パケット長が 512-1023 バイトである場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

**(22) ETHAnRMAX - Receive 1024- to RMAX-byte frame counter**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0194<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRMAX[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRMAX[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRMAX[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRMAX[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-57 ETHAnRMAX レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRMAX[31:0]	受信パケット長が 1024-1518 バイト (VLAN フレーム時は 1024-1522 バイト) である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

**(23) ETHAnRVBT - 受信有効バイト・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0198<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRVBT[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRVBT[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRVBT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRVBT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-58 ETHAnRVBT レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRVBT[31:0]	有効なパケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントします。

**(24) ETHAnTBYT - Transmission byte counter**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01C0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTBYT[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTBYT[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTBYT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTBYT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-59 ETHAnTBYT レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTBYT[31:0]	送信パケットのバイト・カウントを示します。送信が完了あるいはアボートするまでの間にコリジョンが発生した場合には、コリジョンが発生したときの送信バイトもカウントされます。ただし、プリアンブル、SFD についてはカウントされません。

## (25) ETHAnTPKT - 送信パケット・カウンタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01C4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTPKT[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTPKT[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTPKT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTPKT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-60 ETHAnTPKT レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTPKT[31:0]	すべてのパケット送信ごとにカウントされます。エラーが発生したパケット, すべてのユニキャスト・パケット, すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。



**(26) ETHAnTFCS - 送信 FCS エラー・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01C8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTFCS[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTFCS[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTFCS[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTFCS[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-61 ETHAnTFCS レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTFCS[31:0]	送信パケットに付加される FCS フィールドにおいて、CRC エラーが検出された場合にカウントされます。 送信がアボートした場合にはカウントされません。

**(27) ETHAnTMCA - 送信マルチキャスト・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01CC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTMCA[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTMCA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTMCA[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTMCA[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-62 ETHAnTMCA レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAn TMCA[31:0]	マルチキャスト・パケットを送信した場合、カウントされます。ブロードキャスト・パケットは含まれません。また、送信がアポートした場合、または CRC エラーが検出された場合はカウントされません。

**(28) ETHAnTBCA - 送信ブロードキャスト・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01D0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTBCA[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTBCA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTBCA[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTBCA[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-63 ETHAnTBCA レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTBCA[31:0]	ブロードキャスト・パケットを送信した場合、カウントされます。マルチキャスト・パケットは含まれません。また、送信がアポートした場合、またはCRCエラーが検出された場合はカウントされません。

**(29) ETHAnTUCA - 送信ユニキャスト・パケット・カウンタ**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01D4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTUCA[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTUCA[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTUCA[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTUCA[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-64 ETHAnTUCA レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTUCA[31:0]	ユニキャスト・パケットを送信した場合、カウントされます。 送信がアボートした場合、またはCRCエラーが検出された場合はカウントされません。

**(30) ETHAnTXPF - 送信ポーズ・コントロール・フレーム・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01D8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTXPF[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTXPF[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTXPF[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTXPF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-65 ETHAnTXPF レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTXPF[31:0]	受信 FIFO 内にデータが溜ったことによって、ポーズ・コントロール・フレームを送信するたびにカウントされます。

**(31) ETHAnTDFR - 送信遅延パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01DC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTDFR[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTDFR[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTDFR[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTDFR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-66 ETHAnTDFR レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTDFR[31:0]	送信を開始しようとしたときにキャリア検出によって送信遅延が発生した場合、カウントされます。遅延発生後開始された送信中にコリジョンが発生した場合には、このカウンタはカウントされません。

**(32) ETHAnTXDF - 送信過剰遅延パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01E0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTXDF[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTXDF[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTXDF[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTXDF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-67 ETHAnTXDF レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTXDF[31:0]	過剰遅延によって送信がアボートされた場合、カウントされます。

**(33) ETHAnTSCL - 送信シングル・コリジョン・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01E4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTSCL[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTSCL[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTSCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTSCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-68 ETHAnTSCL レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTSCL[31:0]	送信中に、1回のコリジョンが発生したあと送信が成功した場合、カウントされます。



**(34) ETHAnTMCL - 送信マルチプル・コリジョン・パケット・カウンタ**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01E8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTMCL[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTMCL[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTMCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTMCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-69 ETHAnTMCL レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTMCL[31:0]	送信中に、複数回（2回以上で ETHAnCLRT.ETHAnRETRY[3:0] の設定値以下）のコリジョンが発生したあと送信が成功した場合、カウントされます。

**(35) ETHAnTLCL - 送信レイト・コリジョン・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01EC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTLCL[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTLCL[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTLCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTLCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-70 ETHAnTLCL レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAn TLCL[31:0]	送信時にレイト・コリジョンが発生した場合、カウントされます。

**(36) ETHAnTXCL - 送信過剰コリジョン・パケット・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01F0<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTXCL[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTXCL[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTXCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTXCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-71 ETHAnTXCL レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTXCL[31:0]	1回の送信動作で、ETHAnCLRT.ETHAnRETRY[3:0]に設定された値を越えてコリジョンが発生した場合、カウントされます。

**(37) ETHAnTNCL - 送信トータル・コリジョン・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01F4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTNCL[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTNCL[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTNCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTNCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-72 ETHAnTNCL レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAn TNCL[31:0]	発生したコリジョンのうち、コリジョン発生後送信が成功した場合のみのコリジョン回数をカウントします。

**(38) ETHAnTCSE - 送信キャリア・センス・エラー・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01F8<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTCSE[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTCSE[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTCSE[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTCSE[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-73 ETHAnTCSE レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTCSE[31:0]	送信中にキャリア・センス・エラーが発生した場合、カウントされます。

**(39) ETHAnTIME - MAC 内部エラー・カウンタ**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 01FC<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTIME[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTIME[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTIME[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTIME[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-74 ETHAnTIME レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAn TIME[31:0]	送信中に MAC 内部でエラーあるいは ETHAnLMAX レジスタを越える送信が発生した場合、カウントされます。

### 32.4.4 FIFO コントローラ制御レジスタ

#### (1) ETHAnMFFCONT - FIFO コントローラ・コントロール・レジスタ

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0200<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** 1. 次のビットは必ず下記の値（固定）で使用してください。指定の値以外の設定では、正常な動作を保証できません。

- ETHAnRXSDMA[1:0] = 10
- ETHAnASOE = 0
- ETHAnAPS = 1
- ETHAnAPL = 1
- ETHAnRXTHRC = 0
- ETHAnTXTHRC = 0

2. ビット 29, 28, 23-19, 13, 7-3 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
ETHAn LOOPBACK	ETHAn RCSEL	0	0	ETHAn IMLP[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	ETHAn FLOWCNT	ETHAn IVPAUSE	ETHAn ZEROPAUSE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAn RXSDMA[1:0]		0	ETHAn ASOE	ETHAn APS	ETHAn APL	ETHAn RXTHRC	ETHAn MFFRXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	ETHAn TABT	ETHAn TXTHRC	ETHAn MFFTXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-75 ETHAnMFFCONT レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	ETHAn LOOPBACK	送信 FIFO と受信 FIFO 間でループ・バックします。 0: 通常モード 1: ループ・バック・モード
30	ETHAn RCSEL	RXCLK selection RXCLK セレクト 内部に接続される RXCLK を, TXCLK に切り換えます。 MAC のループ・バック・モード, FIFO コントローラのループ・バック・モード時に, RXCLK を TXCLK に切り換える必要がある場合に設定します。 0: 通常モード 1: クロック切換えモード (RXCLK ← TXCLK に切り換えます)。
27 to 24	ETHAn IMLP[3:0]	"0000" を設定してください。
18	ETHAn FLOWCNT	フロー制御オン/オフ 0: フロー制御オフ 1: フロー制御オン
17	ETHAn IVPAUSE	インターバル・ポーズ・パケット送信制御 ポーズ・パケットの再発行の方法を指定します。 0: FIFO のしきい値による再発行 内蔵ポーズ・タイマ (ETHAnPAUSETM.ETHAnIPTIME[15:0]) を使わない 1: 内蔵ポーズ・タイマによる再発行 内蔵ポーズ・タイマ (ETHAnPAUSETM.ETHAnIPTIME[15:0]) を使う
16	ETHAn ZEROPAUSE	ゼロ・ポーズ・パケット出力オン/オフ 0: ゼロ・ポーズ・パケット送出オフ 1: ゼロ・ポーズ・パケット送出オン
15, 14	ETHAn RXSDMA[1:0]	10 固定で使用してください。
12	ETHAn ASOE	0 固定で使用してください。
11	ETHAn APS	1 固定で使用してください。
10	ETHAn APL	1 固定で使用してください。
9	ETHAn RXTSRC	0 固定で使用してください。
8	ETHAn MFFRXEN	受信イネーブル 0: 受信停止 1: 受信許可 [受信停止の書き込みタイミングについて] MAC から受信 FIFO への書き込み中に, 受信停止のレジスタ書き込みがあった場合は, そのパケットの受信 FIFO への書き込み終了を待って, 受信 FIFO 書き込み回路を停止します。システム側の受信 FIFO の停止は, 受信 FIFO に書き込まれたパケットをすべて読み出して停止となります。フロー制御回路は RXEN ビットでは停止しません。



表 32-75 ETHAnMFFCONT レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	ETHAn TABT	MAC がアボートしたパケットを再送します。 0 : パケット破棄 1 : パケット再送
1	ETHAn TXTHRC	0 固定で使用してください。
0	ETHAn MFFTXEN	送信イネーブル 0 : 送信停止 1 : 送信許可 [送信停止の書き込みタイミングについて] 送信 FIFO のパケット書き込み途中に、送信停止のレジスタ書き込みがあった場合は、パケットの書き込みを終了 (END フラグを書き込み) するまで待つて、送信 FIFO 書き込み回路を停止して、次のパケットの書き込み要求は行いません。MAC へのパケット転送は送信 FIFO 内に存在するパケットをすべて転送して (エンptyまで読み出して) から停止となります。

## (2) ETHAnRSTCNT - ソフト・リセット制御レジスタ

This register is used to control software reset.

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0204<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-17, 15-9, 7-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	ETHAn RFFLSH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	ETHAn TFFLSH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn MFFSFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-76 ETHAnRSTCNT レジスタの内容

ビット位置	ビット名	意味
16	ETHAn RFFLSH	受信 FIFO クリア (フラッシュ) 受信 FIFO, 受信制御回路, フロー制御回路, 受信ステータス・レジスタ, 受信系の割り込みレジスタをクリアします。1 をライトするとリセットを開始してセルフ・クリアします。 リードすると常に 0 が読み出されます。
8	ETHAn TFFLSH	送信 FIFO クリア (フラッシュ) 送信 FIFO, 送信制御回路, 送信ステータス・レジスタ, 送信系の割り込みレジスタをクリアします。1 をライトするとリセットを開始してセルフ・クリアします。
0	ETHAn MFFSFTRST	ソフトウェア・リセット FIFO コントローラ (MFF) の全回路をリセットします。1 をライトするとリセット開始してセルフ・クリアします。

**(3) ETHAnFLOWTHRESH - フロー制御しきい値レジスタ**

フロー制御を開始する受信 FIFO のしきい値、ゼロ・ポーズ・コントロール・フレームを送信する受信 FIFO のしきい値を設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0218<sub>H</sub>

**初期値** 0600 0200<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-27, 15-11 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	ETHAnFLOWTHR[10:8]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnFLOWTHR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	ETHAnZPTHR[10:8]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnZPTHR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-77 ETHAnFLOWTHRESH レジスタの内容

ビット位置	ビット名	意味
26-16	ETHAn FLOWTHR[10:0]	フロー制御を開始する受信 FIFO のしきい値をバイト単位で設定します。受信 FIFO の容量が設定値以上になったらフロー制御を開始します。半二重ではバック・プレッシャー、全二重ではポーズ・コントロール・パケット送信を行います。受信 FIFO は 32 ビット (4 バイト) 単位なので、ビット 17, ビット 16 へのライトは無視されます。ビット 17, ビット 16 をリードすると、常に 0 がリードされます。
10-0	ETHAn ZPTHR[10:0]	ゼロポーズ・コントロール・パケット送信のしきい値をバイト単位で設定します。ポーズ・コントロール・パケットによるフロー制御の時に、MFFCNT.ZEROPAUSE ビットにハイ・レベルを設定してゼロ・ポーズ・パケット送信をイネーブルにしている場合に、設定スレッシュ以下になった場合に、ゼロ・ポーズ・パケットを送信するスレッシュを設定します。受信 FIFO は 32 ビット (4 バイト) 単位なので、ビット 1, ビット 0 へのライトは無視されます。ビット 1, ビット 0 をリードすると、常に 0 がリードされます。

**(4) ETHAnPAUSETM - Pause timer value register**

This register is used to set the pause time.

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 021C<sub>H</sub>

**初期値** 7FFF FFFF<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnIPTIME[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnIPTIME[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnPAUSETMM[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnPAUSETMM[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-78 ETHAnPAUSETM レジスタの内容

ビット位置	ビット名	意味
31-16	ETHAn IPTIME[15:0]	インターバル・ポーズ・パケット・タイマ値 MFFCNT.IVPAUSE ビットでハイ・レベルを設定してインターバル・ポーズ・パケット送信をする場合の、ポーズ・パケット送信間隔を設定します。 1 単位時間→ 512 ビット時間 (回線側) → 128 TXCLK デフォルト値 : 100 Mbps 時 @ 約 168ms, 10 Mbps 時@約 1.68 s
15-0	ETHAn PAUSETMM[15:0]	MAX ポーズ・パケットのポーズ・コントロール・タイマ値 MAC に対して、ポーズ・コントロール要求の時の TPTV[15:0] の値を設定します。 1 単位時間→ 512 ビット時間 (回線側) → 128 TXCLK デフォルト値 : 100 Mbps 時 @ 約 336 ms, 10Mbps 時@約 3.36 s

**(5) ETHAnRXERSEL - 受信エラー選択レジスタ**

受信エラーが発生したときに、それぞれのパケット受信/破棄を選択するレジスタです。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0220<sub>H</sub>

**初期値** 0000 0001<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 25-23, 15-2 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
ETHAn RLENE	ETHAn VLAN	ETHAn USOP	ETHAn RPCF	ETHAn RCFR	ETHAn DBNB	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	ETHAn RLER	ETHAn RLER	ETHAn RXER	ETHAn RXER	ETHAn CEPS	ETHAn REPS	ETHAn PAIG
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	ETHAn TXRX	ETHAn DVCF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-79 ETHAnRXERSEL レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	ETHAn RLENE	受信パケット・レングス・エラー 0: 受信 1: 破棄
30	ETHAn VLAN	VLAN パケット受信 0: 受信 1: 破棄
29	ETHAn USOP	未定義オペコード・コントロール・パケット受信 0: 受信 1: 破棄
28	ETHAn RPCF	ポーズ・コントロール・パケット受信 0: 受信 1: 破棄
27	ETHAn RCFR	コントロール・パケット受信 0: 受信 1: 破棄
26	ETHAn DBNB	ドリブル・ニブルを含むパケットの受信 0: 受信 1: 破棄

表 32-79 ETHAnRXERSEL レジスタの内容 (2/2)

ビット位置	ビット名	意味
22	ETHAn RLER	レングス・フィールドが、1500 を越えるパケットの受信 0: 受信 1: 破棄
21	ETHAn RLER	レングス・フィールドが、データ・フィールド長と不一致 0: 受信 1: 破棄
20	ETHAn RXER	CRC エラー 0: 受信 1: 破棄
19	ETHAn RXER	RXER 検出 0: 受信 1: 破棄
18	ETHAn CEPS	False Carrier 検出 0: 受信 1: 破棄
17	ETHAn REPS	プリアンブル+SFD までのパケット、あるいはデータ部が 1 ニブル 0: 受信 1: 破棄
16	ETHAn PAIG	前回の受信後、次のいずれかに当てはまる条件が発生した 6072 ニブル (3036 バイト) を越えるキャリア長を検出した場合パケット受信後、IFG+ プリアンブル+SFD が、80 ビット・タイム以下で次のパケットが受信された場合、ピュア・プリアンブルが設定されているときに不正なプリアンブルまたは SFD を受信した場合 0: 受信 1: 破棄
1	ETHAn TXRX	MAC が受信中のコリジョン発生を検出した場合 0: 受信 1: 破棄
0	ETHAn DVCF	MAC が受信したパケットが有効なコントロール・パケットであると判断した場合 0: 受信 1: 破棄

## (6) ETHAnTXSTMONI1 - 送信ステータス・モニタ 1 レジスタ

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0230<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-21 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	ETHAn CSE	ETHAn TBP	ETHAn TPP	ETHAn TPCF	ETHAn TCFR
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAn TTBC[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn TTBC[7:0]							
R	R	R	R	R	R	R	R

表 32-80 ETHAnTXSTMONI1 レジスタの内容

ビット位置	ビット名	意味
20	ETHAn CSE	送信中にキャリア・ロストを検出
19	ETHAn TBP	前回の送信後、バック・プレッシャー機能によってコリジョンが発生 <sup>a)</sup>
18	ETHAn TPP	ポーズ中にリクエストされた送信パケットの送信終了 <sup>b)</sup>
17	ETHAn TPCF	ポーズ・コントロール・パケットを送信
16	ETHAn TCFR	コントロール・パケットを送信
15-0	ETHAn TTBC[15:0]	コリジョンが発生したパケットを含む総送信バイト数

a) 前回、送信ステータスが更新されてから今回、更新されるまでに条件が発生したことを示します。

b) ポーズ中にリクエストされたパケットがコントロール・フレームであった場合はセット (1) されません。

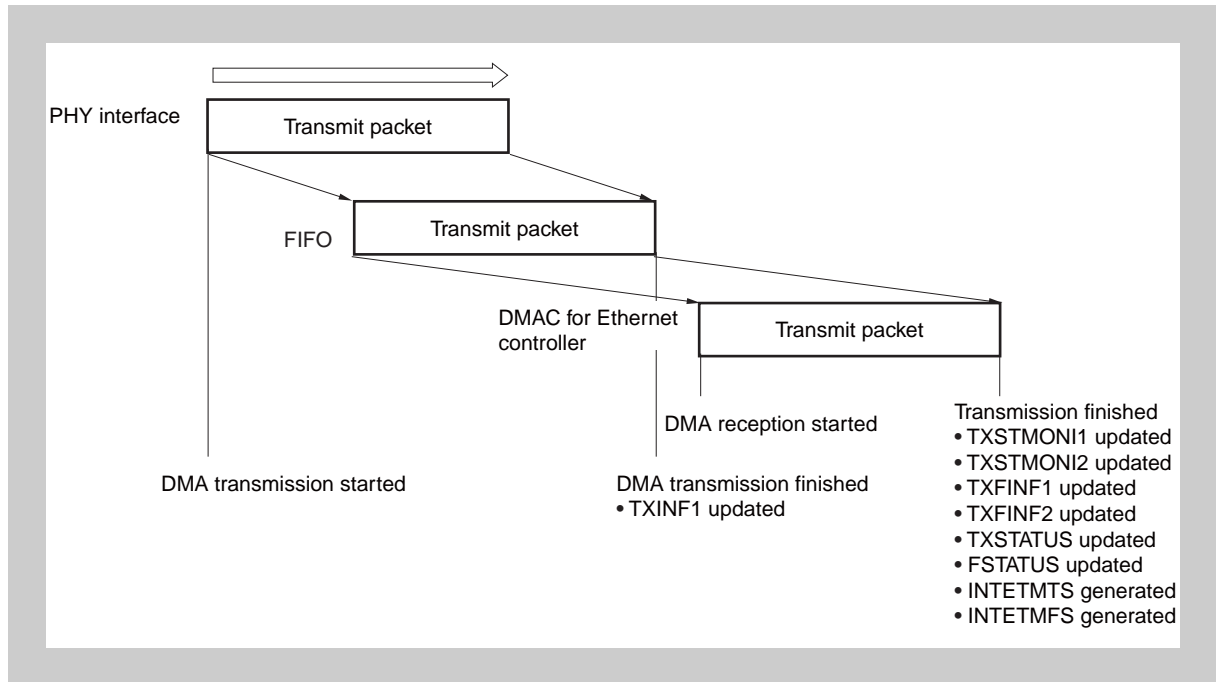


図 32-3 送信ステータス更新タイミング



## (7) ETHAnTXSTMONI2 - 送信ステータス・モニタ 2 レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETHAn\_base> + 0234<sub>H</sub>

初期値 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAn TUDRF	ETHAn TGNTF	ETHAn LCOLF	ETHAn ECOLF	ETHAn TEDFRF	ETHAn TDFRF	ETHAn TBROF	ETHAn TMULF
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAn TDONEF	ETHAn TFLORF	ETHAn TFLERF	ETHAn TCRCEF	ETHAn TCBC[3:0]			
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAnTBYT[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnTBYT[7:0]							
R	R	R	R	R	R	R	R

表 32-81 ETHAnTXSTMONI2 レジスタの内容 (1/2)

ビット位置	ビット名	意味
31	ETHAn TUDRF	送信パケット・アンダランが検出された <sup>a</sup>
30	ETHAn TGNTF	LMAX を越える長さのパケットを送信 <sup>b</sup>
29	ETHAn LCOLF	レイト・コリジョン
28	ETHAn ECOLF	最大衝突回数を超える衝突
27	ETHAn TEDFRF	過剰送信
26	ETHAn TDFRF	遅延送信
25	ETHAn TBROF	ブロードキャスト・パケット送信
24	ETHAn TMULF	マルチキャスト・パケット送信
23	ETHAn TDONEF	送信終了 <sup>c</sup>
22	ETHAn TFLORF	レングス・フィールドが 1500 より大きい <sup>d</sup>
21	ETHAn TFLERF	レングス・フィールドがデータ・フィールド長と不一致 <sup>d,e</sup>

表 32-81 ETHAnTXSTMONI2 レジスタの内容 (2/2)

ビット位置	ビット名	意味
20	ETHAn TCRCEF	CRC 自動付加モードをオフした場合の CRC エラー
19-16	ETHAn TCBC[3:0]	コリジョンによる再送回数注 6
15-0	ETHAn TBYT[15:0]	送信正常終了時の送信パケット長 (バイト数) <sup>f</sup>

- a) コリジョン発生がない場合のみセット (1) されます。
- b) ETHAnMACC1.ETHAnHUGEN ビットが 0 に設定されている場合のみセット (1) されます。
- c) 送信がアボートされた場合はセット (1) されません。
- d) ETHAnMACC1.ETHAnFLCHT ビットが 0 の場合はセット (1) されません。
- e) 1500 を越えるレンジ・フィールドは ETHAnTFLOR としてセット (1) され、ETHAnTFLER にはセット (1) されません。
- f) 送信アボート時は正しい値となりません。

**(8) ETHAnTXFINF1 - 送信ステータス1レジスタ**

**アクセス** 32ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0238<sub>H</sub>

**初期値** 0000 0800<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-25, 15-12 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	ETHAn TPCNT[8]
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAn TPCNT[7:0]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	ETHAn TREMMAIN[11:8]			
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn TREMMAIN[7:0]							
R	R	R	R	R	R	R	R

表 32-82 ETHAnTXFINF1 レジスタの内容

ビット位置	ビット名	意味
24-16	ETHAn TPCNT[8:0]	送信 FIFO に存在するパケット数を表示 送信 FIFO 内に存在するパケット (スタート・フラグ~エンド・フラグ) の数を表示します。 システム側から、1パケットを書き込み完了するとインクリメントされます。 MAC からの1パケットの読み出し完了 (送信完了または、送信アボート) でデクリメントされます。
11-0	ETHAn TREMMAIN[11:0]	送信 FIFO 残量表示 (バイト単位で表示) 送信 FIFO は 32 ビット (4 バイト) なので、ビット 1, ビット 0 は無視して常に 00 が表示されます。

**(9) ETHAnTXFINF2 - Transmission status 2 register**

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 023C<sub>H</sub>

**初期値** 0000 0001<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
1. 送信系のモード・レジスタを書き換える場合は、必ず ETHAnTXFINF2.ETHAnTXSTOP ビット = 1 になっていることを確認してから書き換えてください。
  2. ビット 31-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn TXSTOP
R	R	R	R	R	R	R	R

表 32-83 ETHAnTXFINF2 レジスタの内容

ビット位置	ビット名	意味
0	ETHAn TXSTOP	送信停止 (ETHAnMFFCONT.ETHAnMFFTXEN = 0) に設定している状態で、送信 FIFO にデータが存在していない状態で 1 が表示されます。 送信関係のモード設定レジスタを書き換える場合は、このビットが 1 の状態で行ってください。 0 : 送信 FIFO 動作中 1 : 送信 FIFO 停止

**(10) ETHAnRXSTMONI - 受信ステータス・モニタ・レジスタ**

**アクセス** 32ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0240<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAn RLENEF	ETHAn VLANF	ETHAn USOPF	ETHAn RPCFF	ETHAn RCFRF	ETHAn DBNBF	ETHAn RBROF	ETHAn RMULF
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAn RXOKF	ETHAn RLORF	ETHAn RLERF	ETHAn RCRCEF	ETHAn RXERF	ETHAn CEPSF	ETHAn REPSF	ETHAn PAIGF
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAn RBYT[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn RBYT[7:0]							
R	R	R	R	R	R	R	R

表 32-84 ETHAnRXSTMONI レジスタの内容

ビット位置	ビット名	意味
31	ETHAn RLENEF	受信パケット・レングス・エラー。受信したパケットが 64 バイト未満または 1518 バイトより大きいことを示します (VLAN の場合は 64 バイト未満または 1522 バイトより大きい場合)。
30	ETHAn VLANF	VLAN パケット。TPID フィールドが ETHAnVLTP と一致したパケットの受信を示します <sup>a</sup> 。
29	ETHAn USOPF	未定義オPCODE・コントロール・パケット受信注 2
28	ETHAn RPCFF	ポーズ・コントロール・パケット受信 <sup>b</sup>
27	ETHAn RCFRF	コントロール・パケット受信 <sup>b</sup>
26	ETHAn DBNBF	ドリブル・ニブルを含むパケットの受信
25	ETHAn RBROF	ブロードキャスト・パケット
24	ETHAn RMULF	マルチキャスト・パケット
23	ETHAn RXOKF	受信終了注 1
22	ETHA RLORF	レングス・フィールドが 1500 を越えるパケットの受信 <sup>c</sup>
21	ETHAn RLERF	レングス・フィールドがデータ・フィールド長と不一致注 <sup>c, d</sup>
20	ETHAn RCRCEF	CRC エラー発生
19	ETHAn RXERF	RXER 検出
18	ETHAn CEPSF	False Carrier 検出 <sup>e</sup>
17	ETHAn REPSF	プリアンブル + SFD までのパケット、またはデータ部が 1 ニブルで終了したパケットの受信注 <sup>e, f</sup>
16	ETHAn PAIGF	前回の受信後、次のいずれかに当てはまる条件が発生した <sup>e</sup> 6072 ニブル (3036 バイト) を越えるキャリア長を検出した場合 T パケット受信後 IFG + プリアンブル + SFD が 80 ビット・タイム以下で次のパケットが受信された場合 <sup>f</sup> ピュア・プリアンブルが設定されている時に不正なプリアンブルまたは SFD を受信した場合 (ETHAnMACC1.ETHAnPUREP ビットが設定されている場合) <sup>f</sup>
15-0	ETHAn RBYT[15:0]	ETHAnRBYT[15:0] 受信バイト数

- a) CRC エラー、RXERF が発生した場合はセット (1) されません。
- b) CRC エラーが発生した場合はセット (1) されません。
- c) ETHAnMACC1.ETHAnFLCHT ビットが 0 の場合はセット (1) されません。
- d) レングス・フィールドが 1500 を越える場合は、ETHAnRLORF としてセット (1) され ETHAnRLERF にはセット (1) されません。
- e) 前回、受信ステータスが更新されてから今回更新されるまでの間に不正キャリアを検出している場合、このビットが設定されます。
- f) これらの条件が発生したパケットは無視され上位システムへは転送されません。ETHAnRXSTMONI レジスタの更新タイミングは、受信パケットの DMA 転送終了時です (DMA 転送したパケットのステータスを示す)。ETHAnRXFINF1 レジスタも、同時期に更新されます。

ETHAnRXSTATUS レジスタは、受信パケットの DMA 転送終了時に更新されま  
す。受信ステータス・レジスタ 1 (ETHAnRXFINF1) も同時に更新されます。

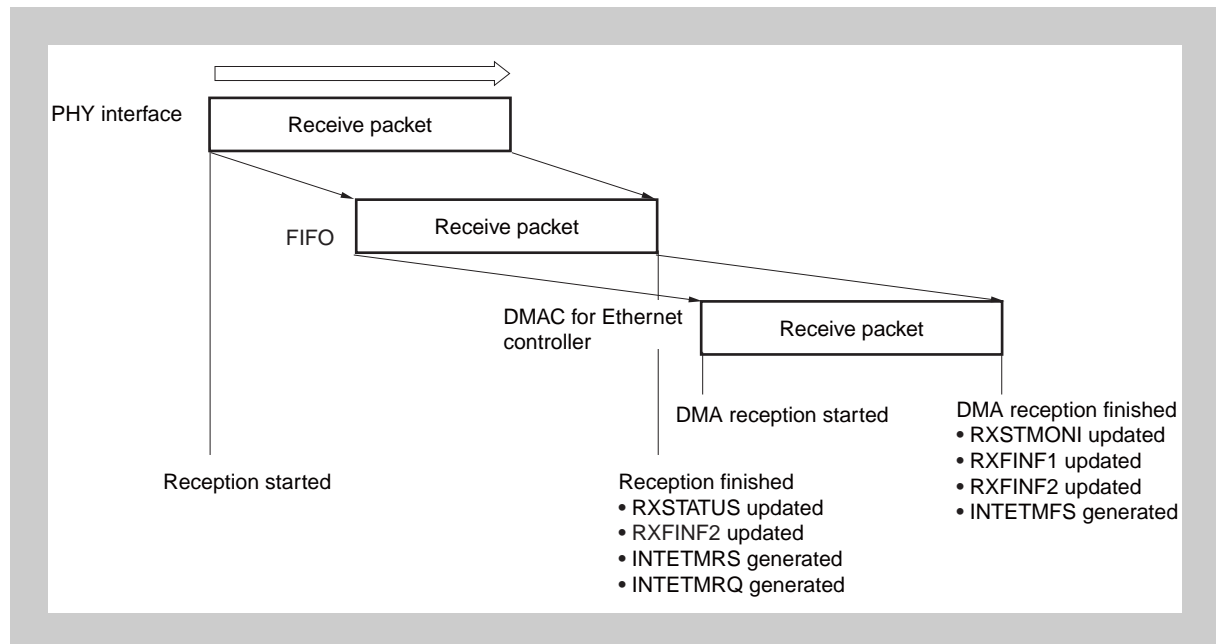


図 32-4 受信データ・ステータス更新タイミング

## (11) ETHAnRXFINF1 - 受信ステータス 1 レジスタ

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0244<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAnRPLEN[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnRPLEN[7:0]							
R	R	R	R	R	R	R	R

表 32-85 ETHAnRXFINF1 レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAn RPLEN[15:0]	受信パケット・レングスをバイト単位で表示します。 イーサネット・コントローラは、受信ディスクリプタのライト・バック時に、RPLEN の値をサイズ・フィールドに使用します。



**(12) ETHAnRXFINF2 - 受信ステータス 2 レジスタ**

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0248<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-25, 15-12 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	ETHAnRPCNT[8]
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAnRPCNT[7:0]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	ETHAnRREMAIN[11:8]			
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnRREMAIN[7:0]							
R	R	R	R	R	R	R	R

表 32-86 ETHAnRXFINF2 レジスタの内容

ビット位置	ビット名	意味
24-16	ETHAnRPCNT[8:0]	受信 FIFO に存在するパケット数を表示 受信 FIFO 内に存在するパケット (スタート・フラグ~ エンド・フラグ) の数を表示します。 MAC からの 1 パケットの書き込み完了でインクリメントされます (受信破棄されたパケットはカウントしません)。 イーサネット・コントローラ専用 DMAC からの読み出し完了または、パケット・キャンセルされた場合は、内部でパケットのキャンセル動作が完了 (パケット破棄) した時にデクリメントされます。
11-0	ETHAnRREMAIN[11:0]	受信 FIFO 残量表示 (バイト単位で表示) 受信 FIFO は 32 ビット (4 バイト) なので、ビット 1, ビット 0 は無視され常に 00 が表示されます。

**(13) ETHAnRXFINF3 - 受信ステータス 3 レジスタ**

受信停止状態での受信 FIFO の状態を示すレジスタです。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 024C<sub>H</sub>

**初期値** 0000 0001<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
1. 受信系とフロー制御系のモード・レジスタを書き換える場合は、必ず ETHAnRXFINF3.ETHAnRXSTOP ビットがセット (1) されていることを確認してから書き換えてください。
  2. ビット 31-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn RXSTOP
R	R	R	R	R	R	R	R

表 32-87 ETHAnRXFINF3 レジスタの内容

ビット位置	ビット名	意味
0	ETHAn RXSTOP	受信停止状態 (ETHAnMFFCONT.ETHAnMFFRXEN = 0) に設定している状態で、受信 FIFO にデータが存在していない状態で 1 が表示されます。 RX 系とフロー制御系のモード設定レジスタを書き換える場合は、ETHAnRXSTOP ビットが 1 の状態で行ってください。 0 : 受信 FIFO 動作中 1 : 受信 FIFO 停止

**(14) ETHAnFSTATUS - FIFO ステータス割り込みレジスタ**

ETHAnFSTATUSM の設定で割り込みがマスクされていない場合、INTEMFMS 割り込みが発生します。INTEMFMS 割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。ETHAnFSTATUSM でマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。ETHAnFSTATUS レジスタのすべてのビットは、レジスタのリードによってクリアされます。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0250<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
1. FIFO ステータス割り込みステータス・レジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。
  2. ビット 31-25, 23-17, 15-13, 9, 8, 5, 2 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	ETHAn TACOF
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	ETHAn RACOF
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	ETHAn TSUP	ETHAn TFNRTY	ETHAn TFWE	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn RFFE	ETHAn RSUP	0	ETHAn RFWE	ETHAn RFOF	0	ETHAn RFFLW	ETHAn RFZP
R	R	R	R	R	R	R	R

表 32-88 ETHAnFSTATUS レジスタの内容

ビット位置	ビット名	意味
24	ETHAnTACOF	ETHAnTXABTCNT レジスタ (TX ABORT COUNT) がオーバーフローするとセット (1) されます。
16	ETHAnRACOF	ETHAnRXABTCNT レジスタ (RX ABORT COUNT) がオーバーフローするとセット (1) されます。
12	ETHAnTSUP	送信ステータス更新。ETHAnTXSTMONI1, ETHAnTXSTMONI2 レジスタに送信ステータスが更新されるとセット (1) されます
11	ETHAnTFNRTY	送信 FIFO Abort (送信 FIFO Not Retry)。送信に失敗し、FIFO 内のデータを破棄したときにセット (1) されます。ETHAnTXABTCNT がインクリメントされる条件が該当します。
10	ETHAnTFWE	送信 FIFO 書き込みエラーが発生するとセット (1) されます。
7	ETHAnRFFE	受信 FIFO フラグ・エラー。MAC から受信 FIFO に受信データを書き込む際に、ハンドシェイクが正常に行われなかったことを示します。受信パケット、受信ステータスが無効ですが、受信はキャンセルされません。すべての受信データを FIFO に格納する前に、受信ステータスが更新された場合、受信ステータスが更新された時点でパケットの終了とします。すべての受信データを FIFO に格納したあとに、受信ステータスが更新されなかった場合、受信ステータスがオール 0 とみなされます。
6	ETHAnRSUP	受信ステータス・モニタ・レジスタ (ETHAnRXSTMONI) が更新された場合にセット (1) されます。ETHAnRXSTMONI レジスタまたは、ETHAnRXFINF1 レジスタから有効な値をリードすることが可能です。
4	ETHAnRFWE	受信 FIFO ライト・エラー。32 ビット (4 バイト) 未満のパケットを受信したので、受信 FIFO にライトできなかった場合にセット (1) されます。
3	ETHAnRFOF	受信 FIFO がオーバーフローした場合にセット (1) されます。
1	ETHAnRFFLW	受信 FIFO の容量が、ETHAnFLOWTHRESH.FLOWTHR の設定値以上になったことを示します。
0	ETHAnRFZP	受信 FIFO の容量が、ETHAnFLOWTHRESH.ZPTHR[10:0] の設定値以上になったことを示します

## (15) ETHAnFSTATUSM - FIFO status interrupt mask register

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0254<sub>H</sub>

**初期値** 0101 1 FFF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-25, 23-17, 15-13 は必ず 0 を, ビット 9, 8, 5, 2 は必ず 1 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	ETHAn TACOFM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	ETHAn RACOFM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	ETHAn TSUPM	ETHAn TFNRTYM	ETHAn TFWEM	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn RFFEM	ETHAn RSUPM	1	ETHAn RFWEM	ETHAn RFOFM	1	ETHAn RFFLWM	ETHAn RFZPM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-89 ETHAnFSTATUSM レジスタの内容 (1/2)

ビット位置	ビット名	意味
24	ETHAn TACOFM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
16	ETHAn RACOFM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
12	ETHAn TSUPM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
11	ETHAn TFNRTYM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
10	ETHAn TFWEM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
7	ETHAn RFFEM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
6	ETHAn RSUPM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
4	ETHAn RFWEM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)

表 32-89 ETHAnFSTATUSM レジスタの内容 (2/2)

ビット位置	ビット名	意味
3	ETHAn RFOFM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
1	ETHAn RFFLWM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
0	ETHAn RFZPM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)

**(16) ETHAnTXSTATUS - 送信ステータス割り込みレジスタ**

送信ステータスの累積結果が格納されます。ETHAnTXSTATUSM の設定で割り込みがケアされていると、INTEMTS 割り込みが発生します。INTEMTS 割り込み信号はレジスタのビットがセットされている期間、アサートされ続けます。

ETHAnTXSTATUSM でマスクされているビットでも、割り込み要因が発生すればレジスタはセットされます。ETHAnTXSTATUS レジスタのすべてのビットは、レジスタのリードによってクリアされます。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0258<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
- 送信ステータス割り込みレジスタは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。
  - ビット 31-17, 15-8 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	ETHAn TABIF
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn TGNTIF	ETHAn LCOLIF	ETHAn ECOLIF	ETHAn TEDFRIF	ETHAn TDFRIF	ETHAn TFLORIF	ETHAn TFLERIF	ETHAn TCRCEIF
R	R	R	R	R	R	R	R

表 32-90 ETHAnTXSTATUS レジスタの内容

ビット位置	ビット名	意味
16	ETHAn TABIF	送信アボートが発生しました。
7	ETHAn TGNTIF	ETHAnLMAX を越える長さの packets を送信しました (TAB 要因)。 MACC.ETHAnHUGEN = 1 の場合はセット (1) されません。
6	ETHAn LCOLIF	レイト・コリジョンを検出した (TAB 要因)
5	ETHAn ECOLIF	最大衝突回数を越える衝突が発生した (TAB 要因)
4	ETHAn TEDFRIF	過剰送信遅延を検出 (TAB 要因)
3	ETHAn TDFRIF	送信遅延が発生
2	ETHAn TFLOORIF	レンジ・フィールドが 1500 より大きい場合、VLAN パケット・ポーズ・コントロール・フレーム等の送信時にもセット (1) されます。 ETHAnMACC1.ETHAnFLCHT = 0 の場合はセット (1) されません。
1	ETHAn TFLEIF	レンジ・フィールドがデータ・フィールド長と不一致。 ETHAnMACC1.ETHAnFLCHT = 0 の場合はセット (1) されません。1500 を越えるレンジ・フィールドに対しては ETHAnTFLOORIF にレポートされ、ETHAnTFLEIF はセット (1) されません。
0	ETHAn TCRCEIF	CRC エラー。CRC 自動付加モードをオフに設定した場合 (ETHAnMACC1.ETHAnPADEN = 0, かつ ETHAnMACC1.ETHAnCRCEN = 0) の送信でセット (1) されます。



**(17) ETHAnTXSTATUSM - 送信ステータス割り込みマスク・レジスタ**

送信ステータス割り込み (INTETMTS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTCTSが発生します。INTCTSは、要因が発生している間、アサートされ続けます。ETHAnTXSTATUSM レジスタでマスクされている割り込み要因が発生した場合は、ETHAnTXSTATUS レジスタの該当ビットがセット (1) されます。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 025C<sub>H</sub>

**初期値** 0001 01FF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-17, 15-8 には必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	ETHAn TABIM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn TGNTIM	ETHAn LCOLIM	ETHAn ECOLIM	ETHAn TEDFRIM	ETHAn TDFRIM	ETHAn TFLORIM	ETHAn TFLERIM	ETHAn TCRCEIM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-91 ETHAnTXSTATUSM レジスタの内容 (1/2)

ビット位置	ビット名	意味
16	ETHAn TABIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
7	ETHAn TGNTIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
6	ETHAn LCOLIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
5	ETHAn ECOLIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
4	ETHAn TEDFRIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
3	ETHAn TDFRIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)

表 32-91 ETHAnTXSTATUSM レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	ETHAn TFLORM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
1	ETHAn TFLEIRIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)
0	ETHAn TCRCEIM	0 : 割り込み許可 1 : 割り込み禁止 (割り込みマスク)

**(18) ETHAnRXSTATUS - 受信ステータス割り込みレジスタ**

受信ステータスの累積結果が格納されます。ETHAnRXSTATUSM の設定で割り込みがケアされていると、INTETMRS 割り込みが発生します。INTETMRS 割り込み信号はレジスタのビットがセット (1) されている期間、アサートされ続けます。ETHAnRXSTATUSM でマスクされているビットでも、割り込み要因が発生すればレジスタはセット (1) されます。

ETHAnRXERSEL (受信エラー・ステータス・レジスタ) の設定には影響されません。

ETHAnRXSTATUS レジスタのすべてのビットは、リードによってクリアされます。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0260<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

- 注意**
1. 受信ステータス割り込みステータス・レジスタは、リードでクリアされません。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。
  2. ビット 31-15 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
0	ETHAn RLENEIF	ETHAn VLANIF	ETHAn USOPIF	ETHAn RPCFIF	ETHAn RCFRIF	ETHAn DBNBIF	ETHAn RLORIF
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAn RLERIF	ETHAn RCRCEIF	ETHAn RXERIF	ETHAn CEPSIF	ETHAn REPSIF	ETHAn PAIGIF	ETHAn TXRXIF	ETHAn DVCFIF
R	R	R	R	R	R	R	R

表 32-92 ETHAnRXSTATUS レジスタの内容

ビット位置	ビット名	意味
14	ETHAn RLENEIF	受信パケット・レングス・エラー。受信したパケットが 64 バイト未満または 1518 バイトより大きい（または VLAN パケットが 64 バイト未満または 1522 バイトより大きい）ことを示します。
13	ETHAn VLANIF	VLAN パケット受信。TPID フィールドが ETHAnVLTP と一致したパケットの受信 <sup>a</sup>
12	ETHAn USOPIF	未定義オペコード・コントロール・パケット受信 <sup>b</sup>
11	ETHAn RPCFIF	ポーズ・コントロール・パケット受信 <sup>b</sup>
10	ETHAn RCFRIF	コントロール・パケット受信 <sup>b</sup>
9	ETHAn DBNBIF	ドリブル・ニブルを含むパケットの受信
8	ETHAn RLORIF	レングス・フィールドが、1500 を越えるパケットの受信 <sup>c</sup>
7	ETHAn RLERIF	レングス・フィールドが、データ・フィールド長と不一致 <sup>c, d</sup>
6	ETHAn RRCCEIF	受信 CRC エラー
5	ETHAn RXERIF	RXER を検出
4	ETHAn CEPSIF	False Carrier 検出 <sup>e</sup>
3	ETHAn REPSIF	プリアンブル+SFD までのパケット、あるいはデータ部が 1 ニブル <sup>e, f</sup>
2	ETHAn PAIGIF	回の受信後、次のいずれかに当てはまる条件が発生した <sup>e</sup> 6072 ニブル（3036 バイト）を越えるキャリア長を検出した場合 パケット受信後 IFG + プリアンブル + SFD が 80 ビット・タイム以下で、次パケットが受信された場合 ETHAnMACC1.ETHAnPUREP ビットが設定されているときに不正なプリアンブルまたは SFD を受信した場合
1	ETHAn TXRXIF	半二重受信中（受信開始直後）に送信を開始（コリジョン発生）した場合
0	ETHAn DVCFIF	受信したパケットが有効（エラーを含まない）コントロール・パケットであった場合

- a) CRC エラー、RXER が発生した場合はセット（1）されません。  
b) CRC エラーが発生した場合はセット（1）されません。  
c) ETHAnMACC1.ETHAnFLCHT ビットが 0 の場合はセット（1）されません。  
d) レングス・フィールドが 1500 を越えている場合は ETHAnRLOR としてセット（1）され、ETHAnRLER はセット（1）されません。  
e) 前回受信ステータスが更新されてから、今回受信ステータスが更新されるまでの間に条件が発生したことを示します。  
f) これらの条件が発生したパケットは無視され、上位システムへは転送されません。

**(19) ETHAnRXSTATUSM - 受信ステータス割り込みマスク・レジスタ**

受信ステータス割り込み (INTETMRS) の割り込みマスク・レジスタです。

このレジスタのマスクが解除されている割り込み要因が発生すると、INTETMRSが発生します。INTETMRSは、要因が発生している間、アサートされ続けます。ETHAnRXSTATUSM レジスタでマスクされている割り込み要因が発生した場合は、ETHAnRXSTATUS レジスタの該当ビットがセット(1) されます

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0264<sub>H</sub>

**初期値** 0000 07FF<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-15 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	ETHAn RLENEIM	ETHAn VLANIM	ETHAn USOPIM	ETHAn RPCFIM	ETHAn RCFRIM	ETHAn DBNBIM	ETHAn RLORIM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAn RLERIM	ETHAn RCRCEIM	ETHAn RXERIM	ETHAn CEPSIM	ETHAn REPSIM	ETHAn PAIGIM	ETHAn TXRXIM	ETHAn DVCFIM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-93 ETHAnRXSTATUSM レジスタの内容

ビット位置	ビット名	意味
14	ETHAn RLENEIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
13	ETHAn VLANIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
12	ETHAn USOPIIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
11	ETHAn RPCFIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
10	ETHAn RCFRIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
9	ETHAn DBNBIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
8	ETHAn RLORIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
7	ETHAn RLERIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
6	ETHAn RCRCEIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
5	ETHAn RXERIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
4	ETHAn CEPSIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
3	ETHAn REPSIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
2	ETHAn PAIGIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
1	ETHAn TXRXIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
0	ETHAn DVCFIM	0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)

**(20) ETHAnTXABTCNT - TX abort counter**

送信アボート・カウントです。MAC 送信エラーとなったパケット数をカウントします（アンダーランも含む）。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <ETHAn\_base> + 0270<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTABCNT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTABCNT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-94 ETHAnTXABTCNT レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAnTABCNT[15:0]	送信アボート・カウント MAC 送信エラーとなったパケット数をカウントします（アンダーラン含む）。 ETHAnMFFCONT.ETHAnTABT = 1 に設定して、送信アボート・パケットを再送する設定にしている場合はカウントされません。 ETHAnMFFCONT.ETHAnTXTHRC = 1 に設定している場合はアボートによる再送は実行されませんので、カウントされます。 68 バイト転送以後のリトライ要求では再送しませんのでカウントされます（通常は 64 バイト転送後に MAC がリトライ要求を出すことはありません） カウント値がオーバーフローした場合、値は 0 に戻り、 ETHAnFSTATUS.ETHAnTACOF ビットがセットされます。 送信回路リセット（ETHAnTFRST, ETHAnTFFLSH）ではクリアされません。

**(21) ETHAnRXABTCNT - RX abort counter**

受信アボート・カウントです。受信パケットのステータスや、受信 FIFO のステータス、MAC のアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0274<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-16 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRABCNT[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRABCNT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-95 ETHAnRXABTCNT レジスタの内容

ビット位置	ビット名	意味
15-0	ETHAn RABCNT[15:0]	受信アボート・カウント 受信パケットのステータスや、受信 FIFO のステータス、MAC のアドレス・フィルタリング、コントロール・パケットの受信などにより、受信パケットが破棄された数をカウントします。 カウント値がオーバーフローした場合、値は 0 に戻り、ETHAnFSTATUS.ETHAnRACOF ビットがセットされます。 受信回路リセット (ETHAnRFRST, ETHAnRFFLSH) ではクリアされません。



### 32.4.5 DMAC control registers in Ethernet Controller

#### (1) ETHAnMODE - Core function 設定レジスタ

送受信の制御をするレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0300<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-19, 16-0 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	ETHAn RXS	ETHAn TXS	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-96 ETHAnMODE レジスタの内容

ビット位置	ビット名	意味
18	ETHAn RXS	受信許可ビットです。ETHAnRXS ビットの値は、1 がセットされたあと、自動的にクリアされます。
17	ETHAn TXS	送信許可ビットです。ETHAnTXS ビットの値は、1 がセットされたあと、自動的にクリアされます。

**(2) ETHAnINTMS - Interrupt register**

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0304<sub>H</sub>

**初期値** 0F00 0F00<sub>H</sub> どのリセット要因でも初期化されます。

---

**注意** ビット 31-28, 23-20, 15-12, 7-4 は必ず 0 を設定してください。

---

**備考** ETHAnINTMS レジスタの ETHAnRBEI, ETHAnRECI, ETHAnRXI, ETHAnTBEI, ETHAnTECI, ETHAnTXI ビットはリードされるとクリアされません。

31	30	29	28	27	26	25	24
0	0	0	0	ETHAn RUSMSK	ETHAn RBEMSK	ETHAn RECMSK	ETHAn RXMSK
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	ETHAn RUPI	ETHAn RBEI	RECI	ETHAn RXI
R	R	R	R	R/W	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	ETHAn TUSMSK	ETHAn TBEMSK	ETHAn TECMSK	ETHAn TXMSK
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	ETHAn TUPI	ETHAn TBEI	ETHAn TECI	ETHAn TXI
R	R	R	R	R/W	R	R	R

表 32-97 ETHAnINTMS レジスタの内容 (1/2)

ビット位置	ビット名	意味
27	ETHAn RUSMSK	ビット 19 の RUPII 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
26	ETHAn RBEMSK	ビット 18 の RBEI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
25	ETHAn RECMSK	ビット 17 の RECI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
24	ETHAn RXMSK	ビット 16 の RXI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
19	ETHAn RUPI	受信ディスクリプタの“U”(使用)ビットで指定されたポーズ割り込みが発生したかどうかを示します。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
18	ETHAn RBEI	受信データ・バッファ・アクセス・エラー割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
17	ETHAn RECI	受信 (DMA) エンド・オブ・チェイン割り込みです。リード・クリアされません。 0: 割り込みなし 1: 割り込み発生
16	ETHAn RXI	パケット受信 (DMA) 完了の割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
11	ETHAn TUSMSK	ビット 3 の TUPII 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
10	ETHAn TBEMSK	ビット 2 の TBEI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
9	ETHAn TECMSK	ビット 1 の TECI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
8	ETHAn TXMSK	ビット 0 の TXI 割り込みマスク 0: 割り込み許可 1: 割り込み禁止 (割り込みマスク)
3	ETHAn TUPI	送信ディスクリプタの“U”(使用)ビットで指定されたポーズ割り込みが発生したかどうかを示します。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生

表 32-97 ETHAnINTMS レジスタの内容 (2/2)

ビット位置	ビット名	意味
2	ETHAn TBEI	送信データ・バッファ・アクセス・エラー割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
1	ETHAn TECI	送信 (DMA) エンド・オブ・チェーン割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生
0	ETHAn TXI	パケット送信 (DMA) 完了の割り込みです。リード・クリアされます。 0: 割り込みなし 1: 割り込み発生

**(3) ETHAnTRANSCTL - 転送制御レジスタ**

イーサネット・コントローラ専用 DMAC の転送制御を行うレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0308<sub>H</sub>

**初期値** 0003 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-26, 23 -18, 15-1 には必ず“0”を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	ETHAn RXEN_STA	ETHA TXEN_STA
R/W	R/W	R/W	R/W	R/W	R/W	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	ETHAn MADRXEN	ETHAn MADTXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn RXCHKSMEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-98 ETHAnTRANSCTL レジスタの内容

ビット位置	ビット名	意味
25	ETHAn RXEN_STA	受信ステータス・ビットです。 0：受信動作は行われていない (IDLE 状態) 1：受信動作中 割り込みレジスタ (ETHAnINTMS) の RBEI, RECI 割り込みが発生した場合、 受信動作は停止します。このときも、このビットはクリア (0) されます。
24	ETHAn TXEN_STA	送信ステータス・ビットです。 0：送信動作は行われていない (IDLE 状態) 1：送信動作中 割り込みレジスタ (ETHAnINTMS) の TBEI, TECI 割り込みが発生した場合、 送信動作は停止します。このときも、このビットはクリア (0) されます。
17	ETHAn MADRXEN	受信イネーブル設定ビットです。 0：禁止 (受信 DMA 転送は停止します) 1：許可
16	ETHAn MADTXEN	送信イネーブル設定ビットです。 0：禁止 (送信 DMA 転送は停止します) 1：許可
0	ETHAn RXCHKSMEN	受信チェックサム付加機能のオン/オフを制御します。 0：禁止 1：許可

**(4) ETHAnSFTRST - ソフトウェア・リセット 設定レジスタ**

送受信イーサネット・コントローラ専用 DMAC をソフトウェア・リセットするためのレジスタです。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <ETHAn\_base> + 030C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-1 は必ず 0 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn MADSFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-99 ETHAnSFTRST レジスタの内容

ビット位置	ビット名	意味
0	ETHA MADSFTRST	ソフトウェア・リセット 1に設定するとイーサネット・コントローラ専用 DMAC の回路がリセットされます。 また、受信チェックサム・ユニットの回路もリセットされます。 1を書き込んだあと、SFTRST ビットは自動的にクリア (0) されます。

## (5) ETHAnDMACM - DMA controller mode 設定レジスタ

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0310<sub>H</sub>

**初期値** 0000 0010<sub>H</sub> どのリセット要因でも初期化されます。

**注意** ビット 31-11, 7-0 は必ず 0 を, ビット 4 は必ず 1 を設定してください。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	ETHAnBURST[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-100 ETHAnDMACM レジスタの内容

ビット位置	ビット名	意味		
10-8	ETHAnBURST[2:0]	バースト転送のタイプを指定します		
		ETHAnBURST[2:0]	タイプ	動作
		000 <sub>B</sub>	SINGLE	シングル転送
		011 <sub>B</sub>	INCR4	4 ビート・インクリメント・バースト
		101 <sub>B</sub>	INCR8	8 ビート・インクリメント・バースト
		111 <sub>B</sub>	INCR16	16 ビート・インクリメント・バースト
	上記以外	設定禁止		

**(6) ETHAnRXDP - 受信ディスクリプタ・ポインタ・レジスタ**

イーサネット・コントローラ専用 DMAC の、受信ディスクリプタのポインタ位置を設定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 0320<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnRXDP[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnRXDP[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnRXDP[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnRXDP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-101 ETHAnRXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnRXDP[31:0]	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェインの先頭アドレスを指定してください。ビット1, ビット0は00固定です。



## (7) ETHAnLSTRXDP - 最終受信ディスクリプタ・ポインタ・レジスタ

イーサネット・コントローラ専用 DMAC の、最終受信ディスクリプタ・アドレスを示します。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 0324<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnLSTRXDP[31:24]							
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAnLSTRXDP[23:16]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAnLSTRXDP[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnLSTRXDP[7:0]							
R	R	R	R	R	R	R	R

表 32-102 ETHAnLSTRXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnLSTRXDP[31:0]	最終受信ディスクリプタポインタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。ビット1, ビット0は00固定です。

**(8) ETHAnTXDP - 送信ディスクリプタ・ポインタ・レジスタ**

イーサネット・コントローラ専用 DMAC の、送信ディスクリプタのポインタ位置を設定するレジスタです。

**アクセス** 32 ビット単位でリードのみ可能です。

**アドレス** <ETHAn\_base> + 032C<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTXDP[31:24]							
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
ETHAnTXDP[23:16]							
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
ETHAnTXDP[15:8]							
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
ETHAnTXDP[7:0]							
R	R	R	R	R	R	R	R

表 32-103 ETHAnTXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTXDP[31:0]	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。ビット 1, ビット 0 は 00 固定です。

**(9) ETHAnLSTTXDP - 最終送信ディスクリプタ・ポインタ・レジスタ**

イーサネット・コントローラ専用 DMAC の最終送信ディスクリプタ・アドレスを示します。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 032C<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnLSTTXDP[31:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnLSTTXDP[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnLSTTXDP[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnLSTTXDP[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-104 ETHAnLSTTXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnLSTTXDP[31:0]	最終ディスクリプタ・アドレスを示します。最後にアクセスされたディスクリプタのアドレス情報を保持します。ビット 1, ビット 0 は 00 固定です。

## 32.4.6 送信用チェックサム専用 DMAC 制御レジスタ

## (1) ETHAnTCHMODE - 送信チェックサム・ユニット・ファンクション設定レジスタ

受信スタート・ディスクリプタ，送信スタート・ディスクリプタを解析するために使われるレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 1300<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	ETHAn TCHRXS	ETHAn TCHTXS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-105 ETHAnTCHMODE レジスタの内容

ビット位置	ビット名	意味
18	ETHAn TCHRXS	受信スタート・ディスクリプタの解析を行います。 このビットの値は，セット（1）された直後にクリア（0）されます。
17	ETHAn TCHTXS	送信スタート・ディスクリプタの解析を行います。 このビットの値は，セット（1）された直後にクリア（0）されます。

**(2) ETHAnTCHINTMS - 送信チェックサム割り込みレジスタ**

送信チェックサム専用 DMAC の INTSCRXTCH, INTSCTXTCH 割り込みのステータス、割り込みマスク・レジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。ビット 18-16, 2-0 はリードのみ可能です。

**アドレス** <ETHAn\_base> + 1304<sub>H</sub>

**初期値** 0700 0700<sub>H</sub> どのリセット要因でも初期化されます。

**注意** 送信チェックサム割り込みレジスタの TCH\_RBEI, TCH\_RECI, TCH\_RXI, TCH\_TB EI, TCH\_TECI, TCH\_TXI ビットは、リードでクリアされます。同時に発生している複数の割り込み要因を検出するために、いったん変数などにコピーして処理することを推奨します。

31	30	29	28	27	26	25	24
0	0	0	0	0	ETHAn TCH RBEMSK	ETHAn TCH RECMSK	ETHAn TCH RXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	ETHAn TCHRBEI	ETHAn TCHRECI	ETHAn TCHRXI
R/W	R/W	R/W	R/W	R/W	R	R	R
15	14	13	12	11	10	9	8
0	0	0	0	0	ETHAn TCH TBEMSK	ETHAn TCH TECMSK	ETHAn TCH TXMSK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	ETHAn TCHTBEI	ETHAn TCHTECI	ETHAn TCHTXI
R/W	R/W	R/W	R/W	R/W	R	R	R

表 32-106 ETHAnTCH\_INTMS レジスタの内容

ビット位置	ビット名	意味
26	ETHAn TCHRBEMSK	ビット 18 の ETHAnTCHRBEI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
25	ETHAn TCHRECMSK	ビット 17 の ETHAnTCHRECI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
24	ETHAn TCHRXMSK	ビット 16 の ETHAnTCHRXI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
18	ETHAn TCHRBEI	INTSCRXTCH の、受信データ・バッファ・アクセス・エラー割り込みです。 リードでクリア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。
17	ETHAn TCHRECI	INTSCRXTCH の、受信 DMA エンド・オブ・チェーン割り込みです。リード でクリア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。
16	ETHAn TCHRXI	INTSCRXTCH の、パケット受信 DMA 転送完了割り込みです。リードでク リア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。
10	ETHAn TCHTBEMSK	ビット 2 の ETHAnTCHTBEI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
9	ETHAn TCHTECMSK	ビット 1 の ETHAnTCHTECI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
8	ETHAn TCHTXMSK	ビット 0 の ETHAnTCHTXI 割り込みのマスク・ビットです。 0: 割り込み許可 1: 割り込みマスク
2	ETHAn TCHTBEI	INTSCTXTCH の、送信データ・バッファ・アクセス・エラー割り込みです。 リードでクリア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。
1	ETHAn TCHTECI	INTSCTXTCH の、送信 DMA エンド・オブ・チェーン割り込みです。リード でクリア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。
0	ETHAn TCHTXI	INTSCTXTCH の、パケット送信 DMA 転送完了割り込みです。リードでク リア (0) されます。 0: 割り込みは発生していない 1: 割り込みが発生している。

**(3) ETHAnTCHTRANSCTL - 送信チェックサム転送制御レジスタ**

送信チェックサム専用 DMAC の送受信制御を行うレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。Bits 25 and 24 can only be read, however.

**アドレス** <ETHAn\_base> + 1308<sub>H</sub>

**初期値** 0003 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	ETHAn TCH RXEN_STA	ETHAn TCH TXEN_STA
R/W	R/W	R/W	R/W	R/W	R/W	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	ETHAn TCH RXEN	ETHAn TCH TXEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-107 ETHAnTCHTRANSCTL レジスタの内容

ビット位置	ビット名	意味
25	ETHAn TCHR Xen_STA	受信ステータス・ビットです。 0: 受信動作は行われていない (IDLE 状態) 1: 受信動作中 送信チェックサム割り込みレジスタ (ETHAnTCHINTMS) の ETHAnTCHRBEI, ETHAnTCHRECI 割り込みが発生した場合、受信動作は 停止します。このときも、このビットはクリア (0) されます。
24	ETHAn TCHTXEN_STA	送信ステータス・ビットです。 0: 送信動作は行われていない (IDLE 状態) 1: 送信動作中 送信チェックサム割り込みレジスタ (ETHAnTCHINTMS) の ETHAnTCHTBEI, ETHAnTCHTECI 割り込みが発生した場合、送信動作は 停止します。このときも、このビットはクリア (0) されます。
17	ETHAn TCHR Xen	受信イネーブル・ビットです。 0: 禁止 (DMA 受信停止) 1: 許可
16	ETHAn TCHTXEN	送信イネーブル・ビットです。 0: 禁止 (送信 DMA 送信停止) 1: 許可

**(4) ETHAnTCHSFTRST - 送信チェックサム・ソフト・リセット・レジスタ**

送信チェックサム専用 DMAC の送受信制御を行うレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 130C<sub>H</sub>

**初期値** 0003 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ETHAn TCH SFTRST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-108 ETHAnTCHSFTRST レジスタの内容

ビット位置	ビット名	意味
0	ETHAn TCHSFTRST	送信チェックサム専用 DMAC のソフトウェア・リセット・ビットです。 このビットをセット (1) すると、送信チェックサム用 DMA と送信チェックサム・ユニットがリセットされます。このビットは、リセット後、自動的にクリア (0) されます。



## (5) ETHAnTCHDMACM - 送信チェックサム DMA 制御モード設定レジスタ

送信チェックサム専用 DMAC の DMA のバースト転送タイプを指定するレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 1310<sub>H</sub>

**初期値** 0000 0010<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	ETHAn BURST2	ETHAn BURST1	ETHAn BURST0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32-109 ETHAnTCHDMACM レジスタの内容

ビット位置	ビット名	意味			
10-8	ETHAn BURST [2:0]	内部システム・バスに対するバースト転送のタイプを指定します。			
		ETHAn BURST 2	ETHAn BURST 1	ETHAn BURST 0	転送タイプ
		0	0	0	シングル転送
		0	1	1	ビット・インクリメント式バースト転送モード
		1	0	0	8 ビット・インクリメント式バースト転送モード
		1	1	1	16 ビット・インクリメント式バースト転送モード
		上記以外			設定禁止

**(6) ETHAnTCHRXDP - 送信チェックサム受信ディスクリプタ・ポインタ・レジスタ**

送信チェックサム専用 DMAC の受信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00<sub>B</sub> 固定です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 1314<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTCH RXDP31	ETHAnTCH RXDP30	ETHAnTCH RXDP29	ETHAnTCH RXDP28	ETHAnTCH RXDP27	ETHAnTCH RXDP26	ETHAnTCH RXDP25	ETHAnTCH RXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTCH RXDP23	ETHAnTCH RXDP22	ETHAnTCH RXDP21	ETHAnTCH RXDP20	ETHAnTCH RXDP19	ETHAnTCH RXDP18	ETHAnTCH RXDP17	ETHAnTCH RXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTCH RXDP15	ETHAnTCH RXDP14	ETHAnTCH RXDP13	ETHAnTCH RXDP12	ETHAnTCH RXDP11	ETHAnTCH RXDP10	ETHAnTCH RXDP9	ETHAnTCH RXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTCH RXDP7	ETHAnTCH RXDP6	ETHAnTCH RXDP5	ETHAnTCH RXDP4	ETHAnTCH RXDP3	ETHAnTCH RXDP2	ETHAnTCH RXDP1	ETHAnTCH RXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-110 ETHAnTCHRXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTCHRXDP[31:0]	受信ディスクリプタのポインタ位置を設定します。受信ディスクリプタ・チェーンの先頭アドレスを指定してください。ビット 1, 0 は 0 固定です。

**(7) ETHAnTCHLSTRXDP - 送信チェックサム最終受信ディスクリプタ・ポインタ・レジスタ**

送信チェックサム専用 DMAC の最終受信ディスクリプタ・アドレスを示します。下位 2 ビットは 00<sub>B</sub> 固定です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 1318<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTCH LSTRXDP31	ETHAnTCH LSTRXDP30	ETHAnTCH LSTRXDP29	ETHAnTCH LSTRXDP28	ETHAnTCH LSTRXDP27	ETHAnTCH LSTRXDP26	ETHAnTCH LSTRXDP25	ETHAnTCH LSTRXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTCH LSTRXDP23	ETHAnTCH LSTRXDP22	ETHAnTCH LSTRXDP21	ETHAnTCH LSTRXDP20	ETHAnTCH LSTRXDP19	ETHAnTCH LSTRXDP18	ETHAnTCH LSTRXDP17	ETHAnTCH LSTRXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTCH LSTRXDP15	ETHAnTCH LSTRXDP14	ETHAnTCH LSTRXDP13	ETHAnTCH LSTRXDP12	ETHAnTCH LSTRXDP11	ETHAnTCH LSTRXDP10	ETHAnTCH LSTRXDP9	ETHAnTCH LSTRXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTCH LSTRXDP7	ETHAnTCH LSTRXDP6	ETHAnTCH LSTRXDP5	ETHAnTCH LSTRXDP4	ETHAnTCH LSTRXDP3	ETHAnTCH LSTRXDP2	ETHAnTCH LSTRXDP1	ETHAnTCH LSTRXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-111 ETHAnTCHLSTRXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTCHLSTRXDP[31:0]	最終受信ディスクリプタ・アドレスを示します。最後にアクセスされた受信ディスクリプタのアドレス情報を保持します。ビット 1, 0 は 0 固定です。

**(8) ETHAnTCHTXDP - 送信チェックサム送信ディスクリプタ・ポインタ・レジスタ**

送信チェックサム専用 DMAC の、送信ディスクリプタのポインタ位置を設定するレジスタです。下位 2 ビットは 00<sub>B</sub> 固定です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 131C<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTCH TXDP31	ETHAnTCH TXDP30	ETHAnTCH TXDP29	ETHAnTCH TXDP28	ETHAnTCH TXDP27	ETHAn TCH TXDP26	ETHAnTCH TXDP25	ETHAnTCH TXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTCH TXDP23	ETHAnTCH TXDP22	ETHAnTCH TXDP21	ETHAnTCH TXDP20	ETHAnTCH TXDP19	ETHAnTCH TXDP18	ETHAnTCH TXDP17	ETHAnTCH TXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTCH TXDP15	ETHAnTCH TXDP14	ETHAnTCH TXDP13	ETHAnTCH TXDP12	ETHAnTCH TXDP11	ETHAnTCH TXDP10	ETHAnTCH TXDP9	ETHAnTCH TXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTCH TXDP7	ETHAnTCH TXDP6	ETHAnTCH TXDP5	ETHAnTCH TXDP4	ETHAnTCH TXDP3	ETHAnTCH TXDP2	ETHAnTCH TXDP1	ETHAnTCH TXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-112 ETHAnTCHTXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAn TCHTXDP[31:0]	送信ディスクリプタのポインタ位置を設定します。送信ディスクリプタ・チェーンの先頭アドレスを指定してください。ビット 1, 0 は 0 固定です。

**(9) ETHAnTCHLSTTXDP - 送信チェックサム最終送信ディスクリプタ・ポインタ・レジスタ**

送信チェックサム専用 DMAC の、最終送信ディスクリプタ・アドレスを示します。下位 2 ビットは 00<sub>B</sub> 固定です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ETHAn\_base> + 1320<sub>H</sub>

**初期値** FFFF FFFC<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
ETHAnTCH LSTTXDP31	ETHAnTCH LSTTXDP30	ETHAnTCH LSTTXDP29	ETHAnTCH LSTTXDP28	ETHAnTCH LSTTXDP27	ETHAnTCH LSTTXDP26	ETHAnTCH LSTTXDP25	ETHAnTCH LSTTXDP24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
ETHAnTCH LSTTXDP23	ETHAnTCH LSTTXDP22	ETHAnTCH LSTTXDP21	ETHAnTCH LSTTXDP20	ETHAnTCH LSTTXDP19	ETHAnTCH LSTTXDP18	ETHAnTCH LSTTXDP17	ETHAnTCH LSTTXDP16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
ETHAnTCH LSTTXDP15	ETHAnTCH LSTTXDP14	ETHAnTCH LSTTXDP13	ETHAnTCH LSTTXDP12	ETHAnTCH LSTTXDP11	ETHAnTCH LSTTXDP10	ETHAnTCH LSTTXDP9	ETHAnTCH LSTTXDP8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
ETHAnTCH LSTTXDP7	ETHAnTCH LSTTXDP6	ETHAnTCH LSTTXDP5	ETHAnTCH LSTTXDP4	ETHAnTCH LSTTXDP3	ETHAnTCH LSTTXDP2	ETHAnTCH LSTTXDP1	ETHAnTCH LSTTXDP0
R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 32-113 ETHAnTCHLSTTXDP レジスタの内容

ビット位置	ビット名	意味
31-0	ETHAnTCHLSTTXDP[31:0]	最終送信ディスクリプタ・アドレスを示します。最後にアクセスされた送信ディスクリプタのアドレス情報を保持します。ビット 1, 0 は 0 固定です。

## 32.5 MAC/FIFO 機能

### 32.5.1 フレーム・フォーマット

イーサネット／IEEE 802.3 においては、情報はパケットあるいはフレームと呼ばれる形式で送信および受信が行われます。

イーサネット・コントローラでは、次の3種類のフレーム・フォーマットをサポートします。

- ベーシック・フレーム
- VLAN フレーム
- ポーズ・コントロール・フレーム

#### (1) ベーシック・フレーム

イーサネットで用いられる基本のフレーム・フォーマットは、プリアンブル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、タイプ/レングス・フィールド (TYPE/LEN)、データ・フィールド (DATA) およびフレーム・チェック・シーケンス (FCS) から構成されます。

パケット・サイズは、プリアンブル (PA) およびフレーム開始デリミタ (SFD) を除き、最小で 64 バイト、最大で 1518 バイトと定義されています。

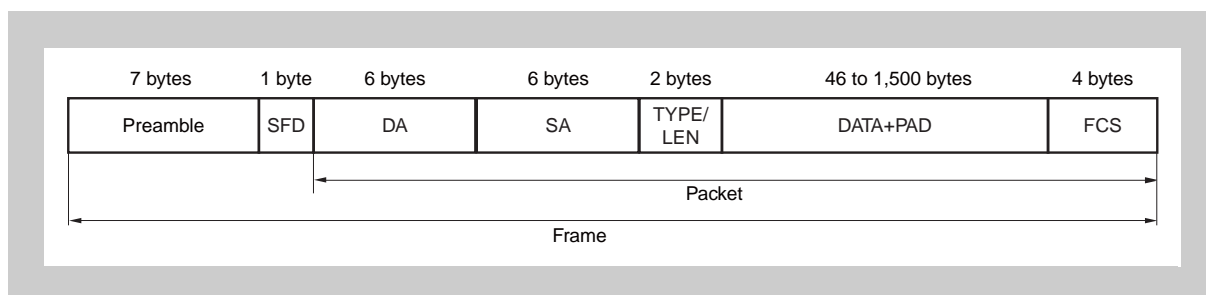


図 32-5 ベーシック・フレーム構造

**(a) プリアンブルおよび SFD**

プリアンブルおよび SFD は 62 ビットの連続した 10 の繰り返しと 11 からなり、各フレームの先頭部を示します。

**(b) デスティネーション・アドレス (DA)**

デスティネーション・アドレス・フィールドは宛先の MAC アドレスを示しており、ユニキャスト・アドレス、マルチキャスト・アドレスあるいはブロードキャスト・アドレスが書き込まれます。

**(c) ソース・アドレス (SA)**

ソース・アドレス・フィールドには、送信元の MAC アドレスが書き込まれます。

**(d) タイプ/レングス・フィールド**

イーサネット・フレームではプロトコル・タイプを示すフィールドとして使われます。IEEE802.3 フレームではデータ・フィールドの長さを示すレングス・フィールドとして使われます。

**(e) データ・フィールド**

データ・フィールドは、46 バイトから 1500 バイトの間で設定されます。

通信プロトコルによっては、データ・フィールドを更に分割して、専用のヘッダ情報を挿入しますが、イーサネット・コントローラでは、データ・フィールド中のデータは FCS 用の CRC 計算に使用するだけで、内容の確認などは行いません。

**(f) フレーム・チェック・シーケンス (FCS)**

フレーム・チェック・シーケンス・フィールドは、転送データのチェックを行うために 32 ビット CRC (Cyclic Redundancy Check) の書き込みフィールドとして使われます。

イーサネット・コントローラは、送信フレームに CRC を自動で付加する機能があります。

## (2) VLAN フレーム

VLAN フレーム (Qtag フレーム) の場合には、通常のフレーム構造とは多少異なります。

ソース・アドレス・フィールドの直後に4バイトのVLANヘッダが挿入されます。その結果、VLANフレームの場合、最小パケット長は64バイト、最大パケット長は1522バイトになります。

イーサネット・コントローラではVLANフレーム検出機能をもっており、送信パケットあるいは受信パケットがVLANフレームとして検出された場合、この受信パケット長を基準にパケット処理を行います。

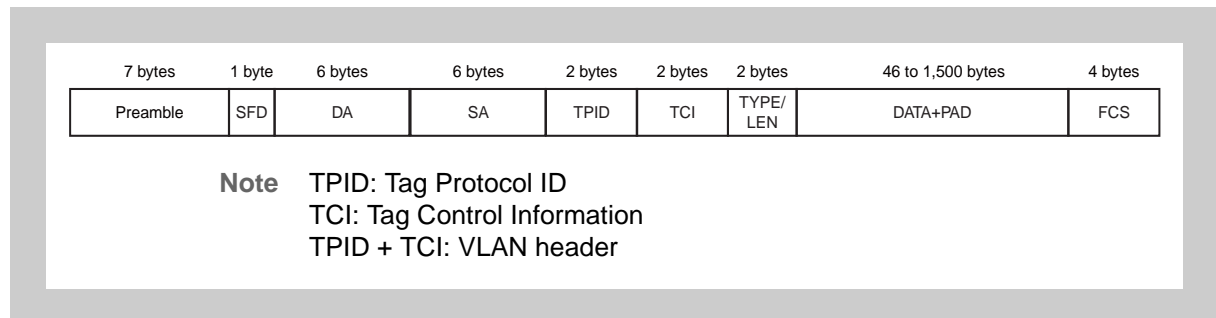


図 32-6 VLAN フレーム構造

**注意** イーサネット・コントローラは、ETHAnVLTP.ETHAnVLTP[15:0] ビットに設定した値をVLANタイプ (TPID) として認識します。デフォルト値は0000<sub>H</sub>となっています。詳細は、32.4.2(10) ETHAnVLTP - VLAN タイプ・レジスタを参照してください。

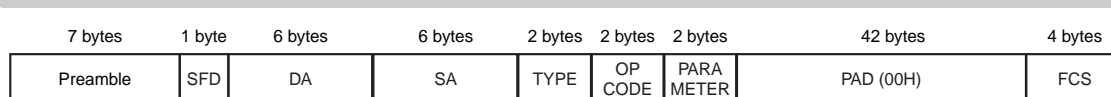
## (3) ポーズ・コントロール・フレーム

ポーズ・コントロール・フレームは、専用フォーマットの64バイトのパケットです。

デスティネーション・アドレス・フィールドは、01-80-C2-00-00-01<sub>H</sub>に決まっています。

タイプ/レングス・フィールドはコントロール・フレームを示す8808<sub>H</sub>、オペコードはポーズ・コントロールを示す0001<sub>H</sub>が入ります。パラメータ・フィールドはETHAnPAUSETMレジスタの値が入ります。パラメータ・フィールドの後ろの未使用領域はPADデータ“0”で埋められます。





**Note** DA: Fixed address (01-80-C2-00-00-01H)  
 TYPE/LEN: Type of MAC control frame (88-08H)  
 OPCODE: Pause opcode (00-01H)  
 PARAMETER: Pause command parameter (specified by  
 ETHAnPAUSETM register)  
 PAD: All bits are filled with zero (00H).

図 32-7 ポーズ・コントロール・フレーム構造

イーサネット・コントローラには、受信 FIFO 内に残っているデータ量によって、自動的にポーズ・コントロール・フレームを送信する機能があります。

受信時は、DA、TYPE、OPCODE によって、表 32-114 「受信オペレーション」に示すようにフレームを判断します。

表 32-114 受信オペレーション

DA	TYPE	OPCODE	フレーム
01-80-C2-00-00-01	8808 <sub>H</sub>	0001 <sub>H</sub>	Pause frame
01-80-C2-00-00-01	8808 <sub>H</sub>	Other than 0001 <sub>H</sub>	Not supported
01-80-C2-00-00-01	Other than 8808 <sub>H</sub>	xxxx	Data frame
Unicast (station address)	8808 <sub>H</sub>	0001 <sub>H</sub>	Pause frame
Unicast (station address)	8808 <sub>H</sub>	Other than 0001 <sub>H</sub>	Not supported
Unicast (station address)	Other than 8808 <sub>H</sub>	xxxx	Data frame
Multicast	8808 <sub>H</sub>	xxxx	Not supported
Multicast	Other than 8808 <sub>H</sub>	xxxx	Data frame
Unicast (station address)	8808 <sub>H</sub>	xxxx	Not supported
Unicast (station address)	Other than 8808 <sub>H</sub>	xxxx	Data frame

**(4) PVLAN タグを含むポーズ・コントロール・フレーム**

イーサネット・コントローラは、VLAN タグを含むポーズ・コントロール・フレームには対応しません。

そのまま通常の VLAN パケットとして受信動作を行います。受信ステータス・モニタ (ETHAnRXSTMONI) の ETHAnRBROF フラグと ETHAnRLORF フラグが立ちます (ETHAnRPCFF フラグと ETHAnRFCR フラグは立ちません)。

**(5) envelope フレーム**

envelope フレームは、IEEE802.3as (2005 年) で拡張されたフレーム・フォーマットで、1000 Mbps 半二重通信用のフレームなのでイーサネット・コントローラは対応していません。EXTENSION フィールドを含む envelope フレームを受信した場合、CRC エラー、レンジス・フィールド不一致、あるいは受信 FIFO オーバフローとなりますので、受信ステータスを確認して破棄して下さい。

イーサネット・コントローラは、EXTENSION フィールドを含む envelope フレームは送信できません。

## 32.5.2 送信機能

イーサネット・コントローラの送信機能は、イーサネット・コントローラ専用 DMAC の DMA 転送により送信 FIFO に取り込んだ送信パケット・データから、IEEE 802.3 で定義される送信フレームを生成して PHY に出力します。衝突検出時にはランダム・バックオフ・アルゴリズムによる再送信を実行します。過剰送信遅延、最大衝突回数を越える衝突など、送信フレームごとのステータス情報は、ETHAnTXSTATUS レジスタに反映され、全送信フレームの項目別の発生回数が統計カウンタにカウントされます。

### (1) 送信フレーム

IEEE 802.3 で定義されるフレーム・フォーマットは、次の 6 つで構成されます（図 32-5 「ベーシック・フレーム構造」参照）。

- プリアンブル (PA)
- フレーム開始デリミタ (SFD)
- デスティネーション・アドレス (DA)
- ソース・アドレス (SA)
- レングス・フィールド (LEN)
- データおよびフレーム・チェック・シーケンス (FCS)

送信動作において、イーサネット・コントローラは、プリアンブル、フレーム開始デリミッタおよび FCS データを生成します。

### (2) 送信クロック

イーサネット・コントローラは、外部 (PHY) から供給される送信クロック (TXCLK) に同期して動作します。DMA 転送により送信 FIFO に取り込まれた送信パケット・データは、FIFO 内で TXCLK に同期化されて PHY に出力されます。IEEE 802.3 の規格により、TXCLK の周波数は、100 Mbps 動作時は 25 MHz±100 ppm、10 Mbps 動作時は 2.5 MHz±100 ppm と規定されています。

### (3) キャリア・センス信号 (CRS)

半二重通信時、イーサネット・コントローラは、FIFO 内に送信データを格納し終わり、送信可能になったときに、キャリアが検出 (CRS = 1) されていた場合、キャリアの終了 (CRS = 0) まで送信を延期します。キャリアの終了後、ETHAnIPGT レジスタによって設定されるパケット間ギャップ (IPG) カウントが満了したあとで送信を開始します。

送信可能になったときにキャリアが検出されず (CRS = 0)、かつ直前のキャリア終了後の IPG カウントが満了している場合、ただちに送信を開始します。

自局からのフレーム送信時は、キャリア・センス信号が外部 PHY から折り返し送信されますが、ユーザの構成するシステム (外部 PHY) により、自局送信中のキャリア・センス信号がマスクされる場合、イーサネット・コントローラはキャリア・センス・エラーを検出しますが、送信動作自体に影響はありません。

#### (4) 衝突検出 (COL) と再送信

半二重通信時、イーサネット・コントローラは衝突を検出すると、ジャム・データ (エラー CRC) を送信したあと、送信を中止します。

最大衝突検出回数 (初期設定 : 15 回) 以内でコリジョン・ウィンドウ内の衝突を検出した場合、ランダム・バックオフ・アルゴリズムによる送信の待機を実行後、送信 FIFO 内のデータを再送信します (再送信時は DMA によるデータの取り直しを行いません)。

なお、最大衝突検出回数を越える衝突を検出した場合や、レイト・コリジョン (コリジョン・ウィンドウ外での衝突検出) が発生した場合には、その送信はアボートとなり、送信データは破棄されます。

#### (5) パケット間ギャップ (IPG)

連続で送信する場合の IPG は ETHAnIPGT レジスタ、それ以外の場合の IPG は ETHAnIPGR レジスタで設定します。

イーサネット・コントローラでは、自分または他局の送信が終了した後に IPG のカウントを開始します。自分の送信後で、IPG カウントが ETHAnIPGT レジスタに達する前に、FIFO から次の送信要求が発行された場合には、連続 (Back-To-Back) での送信とみなし、カウント終了後ただちに送信を開始します。

他局の送信後にパケット送信を行う場合、IPG カウントは ETHAnIPGR レジスタによって制御されます。ETHAnIPGR レジスタでは、IPG 全体の時間を ETHAnIPGR2 フィールドに設定し、IPG 前半でキャリア・センスを行う時間を ETHAnIPGR1 フィールドに設定します。ETHAnIPGR1 フィールドで設定される期間中にキャリアが検出された場合は、キャリアの終了を待って IPG カウントを始めからやり直します。IPGR1 フィールドで設定される期間にキャリアが検出されなかった場合には、ETHAnIPGR2 フィールドで設定された IPG カウントの終了後、送信を開始します。

FIFO から次の送信要求を受理してから、24288 ビット・タイム (10 Mbps : 2.43 ms, 100 Mbps : 243.88  $\mu$ s) 経過しても送信が開始されない場合、過剰送信遅延として、送信はアボートされその送信データは破棄されます。

ETHAnIPGT レジスタおよび ETHAnIPGR レジスタの設定値と、実際の IPG 期間は次の式で与えられます。

[100 Mbps 動作時]

Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{ETHAnIPGT}) \times 40 \text{ ns (初期値 : 960 ns)}$$

Non Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{ETHAnIPGR2}) \times 40 \text{ ns (初期値 : 960 ns)}$$

キャリア・センス時間 :

$$(2 + \text{IPGR1}) \times 40 \text{ ns (初期値 : 640 ns)}$$

[10 Mbps 動作時]

Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{ETHAnIPGT}) \times 400 \text{ ns (初期値 : 9.6 } \mu\text{s)}$$

Non Back-To-Back で送信する場合 :

$$\text{IPG} = (5 + \text{ETHAnIPGR2}) \times 400 \text{ ns (初期値 : 9.6 } \mu\text{s)}$$

キャリア・センス時間 :

$$(2 + \text{ETHAnIPGR1}) \times 400 \text{ ns (初期値 : 6.4 } \mu\text{s)}$$

**注意** EEE 802.3 の規格により、IPG は 100 Mbps 動作時 960 ns 以上、10 Mbps 動作時 9.6  $\mu$ s 以上になるように設定してください。

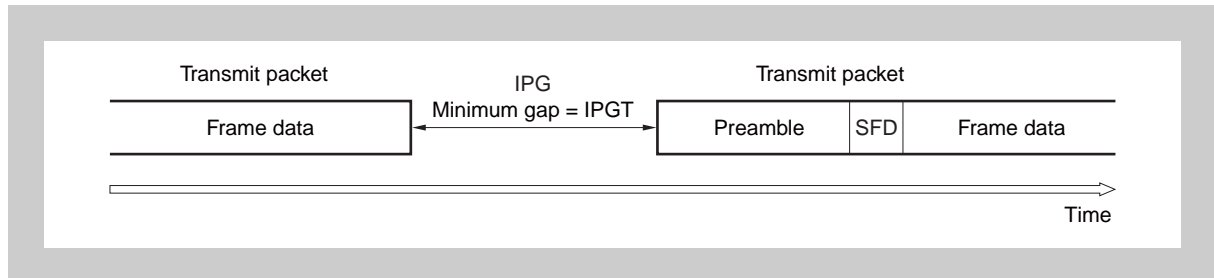


図 32-8 Back-To-Back 送信 IPG

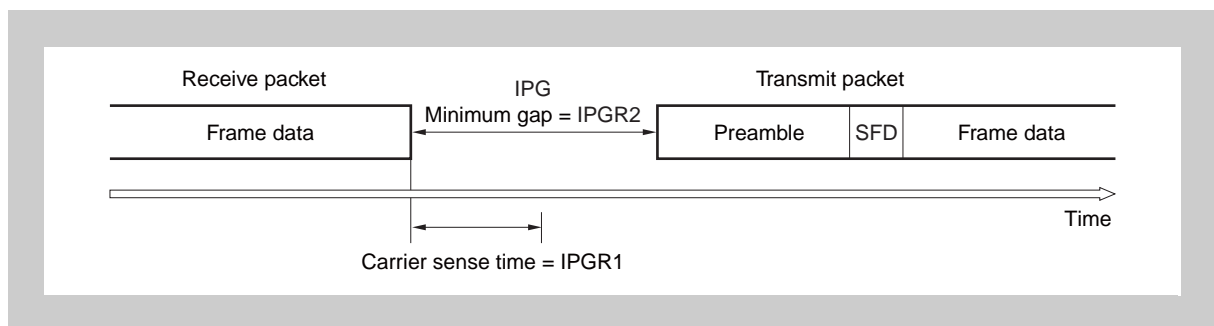


図 32-9 Non Back-To-Back 送信 IPG

**(6) プリアンブル／CRC／パッド付加**

7バイトのプリアンブルと1バイトのフレーム開始デリミッタ（SFD）を、FIFOより供給された送信パケットの前に付加します。

ETHAnMACC1. ETHAnCRCEN	動作
0	送信パケットの最後は有効な FCS である必要があります。MAC は、FCS をチェックし、FCS の値が正しくない場合は、送信ステータス割り込み（INTCTS）でエラーを通知しません。
1	送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス（FCS）を追加します。

ETHAnMACC1.ETHAnCRCEN ビットに 1 が設定されている場合、送信パケットの終わりに内部で生成されたフレーム・チェック・シーケンス（FCS）を追加します。

ETHAnMACC1.ETHAnCRCEN ビットに 0 を設定した場合、送信パケットの最後は有効な FCS である必要があります。イーサネット・コントローラは、FCS をチェックする機能を持っています。FCS の値が正しくない場合、イーサネット送信ステータス割り込みを発生します。

ETHAnMACC1.ETHAnPADEN ビットに 1 が設定されている場合、64 バイトより短い送信パケットに対しパッド（PAD）を付加します（パディング）。この場合、ETHAnCRCEN ビットの設定にかかわらず、イーサネット・コントローラは正しい FCS をフレームの最後に付加します。

ETHAnMACC1.ETHAnPADEN ビットが 1 に設定されている場合に、ETHAnMACC2.ETHAnAPD ビットまたは ETHAnMACC2.ETHAnVPD ビットに 1 を設定すると、VLAN フレームに対するパッド追加を行います。ETHAnAPD ビットを 1 に設定すると、ETHAnVLTP レジスタに設定した VLAN タイプに一致するパケットのみを VLAN フレームとみなしてパッド追加を行います。ETHAnVPD ビットを 1 に設定すると、すべてのパケットを VLAN フレームとみなしてパッド追加を行います。VLAN フレームとみなされたパケットにパディングを行うときは、フレーム長が 68 バイトになるようにパッドを追加します。パッドとして追加されるデータは、すべて 0 になります。

**(7) 送信アボート**

次の条件が発生した場合、イーサネット・コントローラは送信をアボートします。

なお、イーサネット・コントローラでは、正常な使用範囲において、送信 FIFO アンダランによるアボートは発生しません。

- 最大衝突回数を越える衝突（MAX コリジョン）
- コリジョン・ウインドウ外での衝突（レイト・コリジョン）
- 過剰送信遅延
- ETHAnLMAX レジスタに設定されるフレーム長を越えるパケットを送信しようとした場合（ただし、ETHAnMACC1.ETHAnHUGEN ビットに 1 が設定されている場合、送信フレーム長は制限されません）

**(8) 全二重動作**

ETHAnMACC1.ETHAnFULLD ビットを 1 に設定すると、全二重動作を可能にします。IPG は、常に ETHAnIPGT レジスタで設定される値となります。また FULLD 信号は、ETHAnMACC1.ETHAnFULLD ビットが 1 に設定されるとアサートされ、外部回路に全二重動作が設定されていることを知らせます。

**(9) フロー・コントロール機能・バック・プレッシャー機能**

イーサネット・コントロールは、受信 FIFO と連動したフロー・コントロール機能（32.5.4(1) フロー制御参照）、バック・プレッシャー機能（32.5.4(2) バック・プレッシャー参照）を持っていますので、受信 FIFO の空き容量が少なくなると自動的に作動して、受信 FIFO オーバフローを極力防止します。

### 32.5.3 受信機能

イーサネット・コントローラは、受信フレームから FIFO に対し受信パケットを生成し、SFD の検出、レンジス・フィールド・チェック、FCS チェック、VLAN フレームの検出などを行います。

イーサネット・コントローラは、受信パケットごとのステータス情報を受信ステータス・モニタ (ETHAnRXSTMONI) レジスタに設定し、全受信フレームの項目別の発生回数が統計カウンタにカウントされます。

#### (1) 受信クロック

イーサネット・コントローラは、外部 (PHY) から供給される受信クロック (RXCLK) に同期して、データを受信します。

IEEE 802.3 の規格により、RXCLK の周波数は、100 Mbps 動作時は 25 MHz $\pm$ 100 ppm、10 Mbps 動作時は 2.5 MHz $\pm$ 100 ppm と規定されています。

#### (2) MII データの受信

イーサネット・コントローラは、P1RXDV 信号がアサートされている期間、P1RXD[3:0] 信号上のデータを受信フレームとして認識し、P1RXDV 信号がディアサートされたときをフレームの終了とみなします。

#### (3) プリアンブルおよび SFD の検出

イーサネット・コントローラは、受信フレームの先頭においてプリアンブルと SFD を検出、これ以降を受信パケットとします。

#### (4) レンゲス・フィールドのチェック

イーサネット・コントローラは受信パケットの長さをカウントし、ソース・アドレスに続く 2 バイトをレンジス・フィールドとみなして、データ・フィールド長のチェックを行います。なお、チェックした結果は受信ステータスとして ETHAnRXSTMONI レジスタから読み出し可能です。また、受信パケット長のカウント値とレンジス・フィールド値が不一致の場合、割り込み信号の出力が可能です。

#### (5) CRC チェック

イーサネット・コントローラは、受信パケットから 4 バイトのフレーム・チェック・シーケンス (FCS) を計算し、受信パケットの最後に付加されている FCS データと比較します。比較した結果は ETHAnRXSTMONI レジスタから読み出し可能なほか、比較結果が不一致の場合、割り込み信号の出力が可能です。

#### (6) FIFO へのデータ送出

イーサネット・コントローラは、6 バイト以上のパケットを有効とし、6 バイト未満のパケットは破棄します。



**(7) ヒュージ・パケットの検出**

イーサネット・コントローラは、ETHAnMACC1.ETHAnHUGEN ビットが0であるとき、ETHAnLMAX レジスタで設定される最大フレーム長（初期値：1536 バイト）以下のパケットのみを受信し、それを越えるパケットは途中で打ち切られます。

受信可能なパケット長は表 32-123 「受信 FIFO の制限」を参照してください。

**(8) VLAN フレーム検出**

イーサネット・コントローラは、受信したパケットすべてに対して VLAN フレームであるかどうかチェックします。

受信したパケットの TPID フィールド（ソース・アドレスに続く 2 バイト）の値が ETHAnVLTP レジスタに設定された値と一致すると、VLAN パケットとして ETHAnRXSTMONI.VLAN フラグをセットします。なお、VLAN フレームとして認識されたパケットは、TPID フィールドを含む VLAN ヘッダ（ソース・アドレスに続く 4 バイト）の直後の 2 バイトを、レングス・フィールドとみなします。

## 32.5.4 MAC 制御機能

### (1) フロー制御

イーサネット・コントローラでは「IEEE 802.3Annex31」で定義されたポーズ・コントロール・フレームの処理を行い、フロー制御を実現します。

フロー制御の目的は、全二重動作においてポイント・ツー・ポイントで接続されている他方の端末（リンク・パートナー）から送信されてくるフレームの送信頻度を下げることにあります。システムが受信データを処理できる量には限度があり、ある頻度以上でフレームが受信されると、システムの処理がそれに追従することができなくなり、受信 FIFO がオーバフローする可能性があります。このような状況を防ぐために、フロー制御は使われます。

イーサネット・コントローラは、ポーズ・コントロール・フレームを受信した場合、コントロール・フレーム内のパラメータ・フィールドの値を MAC 内のポーズ・タイマにロードします。ポーズ・タイマの値が 0 でない場合、ポーズ・タイマに設定されている時間を経過したあと、次の送信を開始します。

受信したポーズ・コントロール・フレーム内のパラメータ・フィールドの値が 0 の場合（ゼロポーズ・コントロール・フレーム）、ポーズ・タイマの値を 0 にして、ETHAnIPGR レジスタで設定されたパケット間隔を取って、送信を再開します。

一方、リンク・パートナーからのデータ送信を抑えたい場合には、予約されたマルチキャスト・アドレス（01-80-C2-00-00-01）、ポーズ・オペコード（00-01）および ETHAnPAUSETM レジスタのポーズ・タイマ値（ETHAnPAUSETMM[15:0]）を、ポーズ・コントロール・フレームとして送信します。

ポーズ・フレーム送信の開始は、通常のフレーム送信の開始よりも優先されますが、通常のフレーム送信中にポーズ・フレーム送信条件が発生した場合は、送信中の通常フレームの送信終了後にポーズ・フレームが送信されます。

イーサネット・コントローラでは、ETHAnMFFCONT.ETHAnFLOWCNT を 1 に設定することにより、フロー制御を行います。

ポーズ・コントロール・フレームの送信要求は受信 FIFO 内のデータ量によって、判断されます。

全二重通信モード時、ETHAnMFFCONT.ETHAnIVPAUSE を 0 に設定した場合、イーサネット・コントローラは受信中に、受信 FIFO 内のデータ量を監視しています。（図 32-10 「フロー制御の流れ」(a) 参照）そして、受信 FIFO 内のデータ量が ETHAnFLOWTHRESH.ETHAnFLOWTHR[10:0] の設定値を越えた時点で、ポーズ・コントロール・フレームを送信します。（図 32-10 「フロー制御の流れ」(b) 参照）

また、ETHAnMFFCONT.ETHAnIVPAUSE を 1 に設定した場合、受信 FIFO 内のデータ量が ETHAnFLOWTHRESH.ETHAnFLOWTHR[10:0] の設定値を超えている間、ETHAnPAUSETM.ETHAnIPTIME[15:0] の設定値の間隔で、ポーズ・コントロール・フレームを再送し続けます。

DMA による受信データの転送中も、イーサネット・コントローラは受信 FIFO 内のデータ量を監視しています。（図 32-10 「フロー制御の流れ」(c) 参照）

ETHAnMFFCONT.ETHAnZEROPAUSE を 1 に設定した場合、ETHAnFLOWTHRESH.ETHAnZPTHR[10:0] の設定値により、受信 FIFO 内のデータ量がこの設定値を下回った時点で、ゼロポーズ・コントロール・フレームを送信します。（図 32-10 「フロー制御の流れ」(d) 参照）

ETHAnMFFCONT.ETHAnZEROPAUSE を 0 に設定した場合、ゼロ・ポーズ・コントロール・フレームは送信しません。

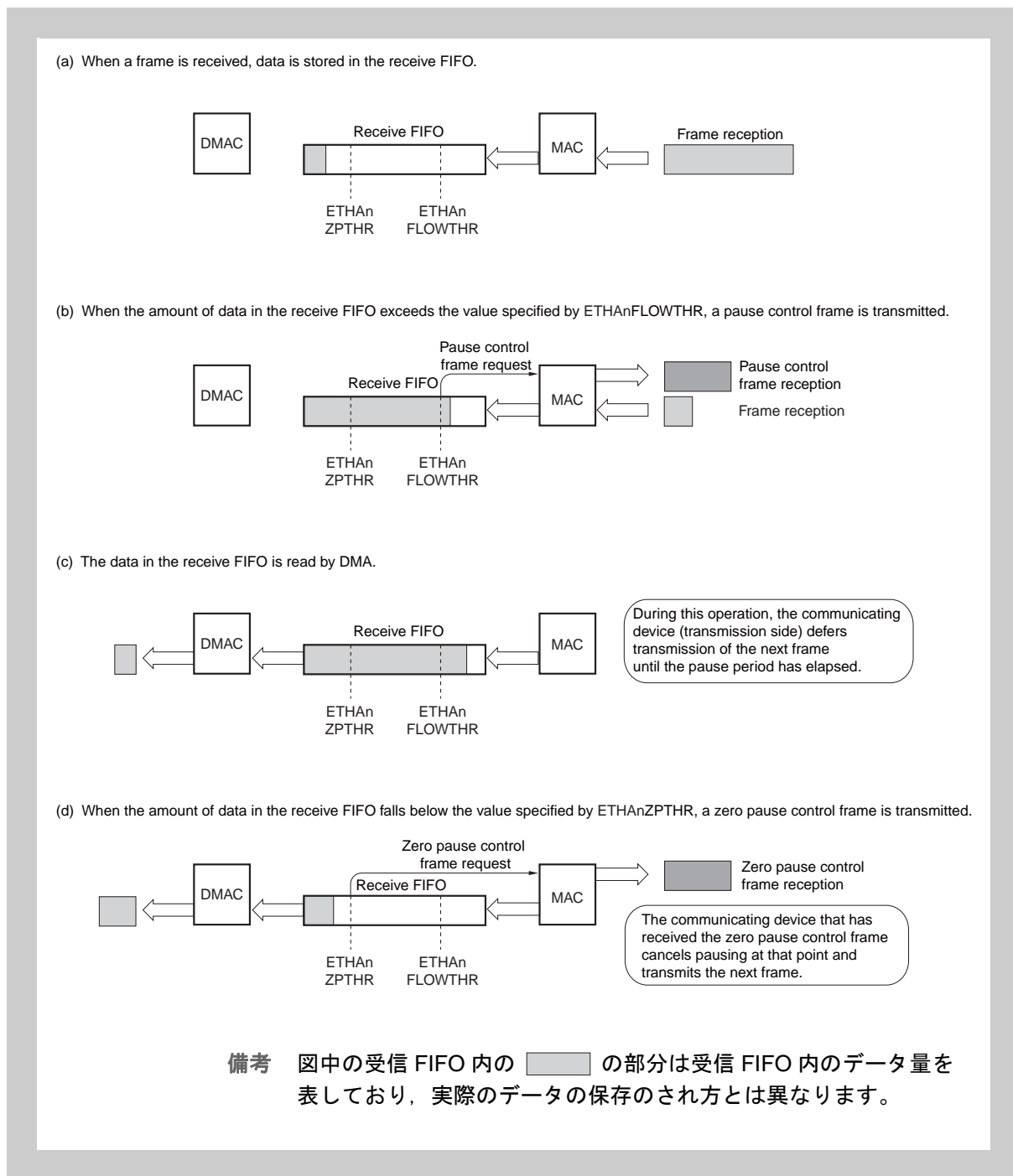


図 32-10 フロー制御の流れ

## (2) バック・プレッシャー

この機能は半二重動作時にのみ有効な機能です。

ETHAnMFFCONT.ETHAnFLOWCNT が 1 に設定されていて、ETHAnMACC1.ETHAnFULLD が 0 の場合、受信 FIFO の容量が ETHAnFLOWTHRESH.ETHAnFLOWTHR[10:0] の設定値を越えると、バック・プレッシャー状態になります（図 32-11 「バック・プレッシャー制御の流れ」(b) 参照）。

この状態で次のフレームを受信すると、ダミー・パケットを送信し故意にコリジョンを発生させ、対向器に再送信を促します（図 32-11 「バック・プレッシャー制御の流れ」(c) 参照）。

バック・プレッシャー時に発生したコリジョンは、コリジョン回数としてカウントされません。

受信 FIFO の容量が ETHAnMACC1.FLOWTHR[10:0] を下回るとバック・プレッシャー状態を解除します。（図 32-11 「バック・プレッシャー制御の流れ」(d) 参照）

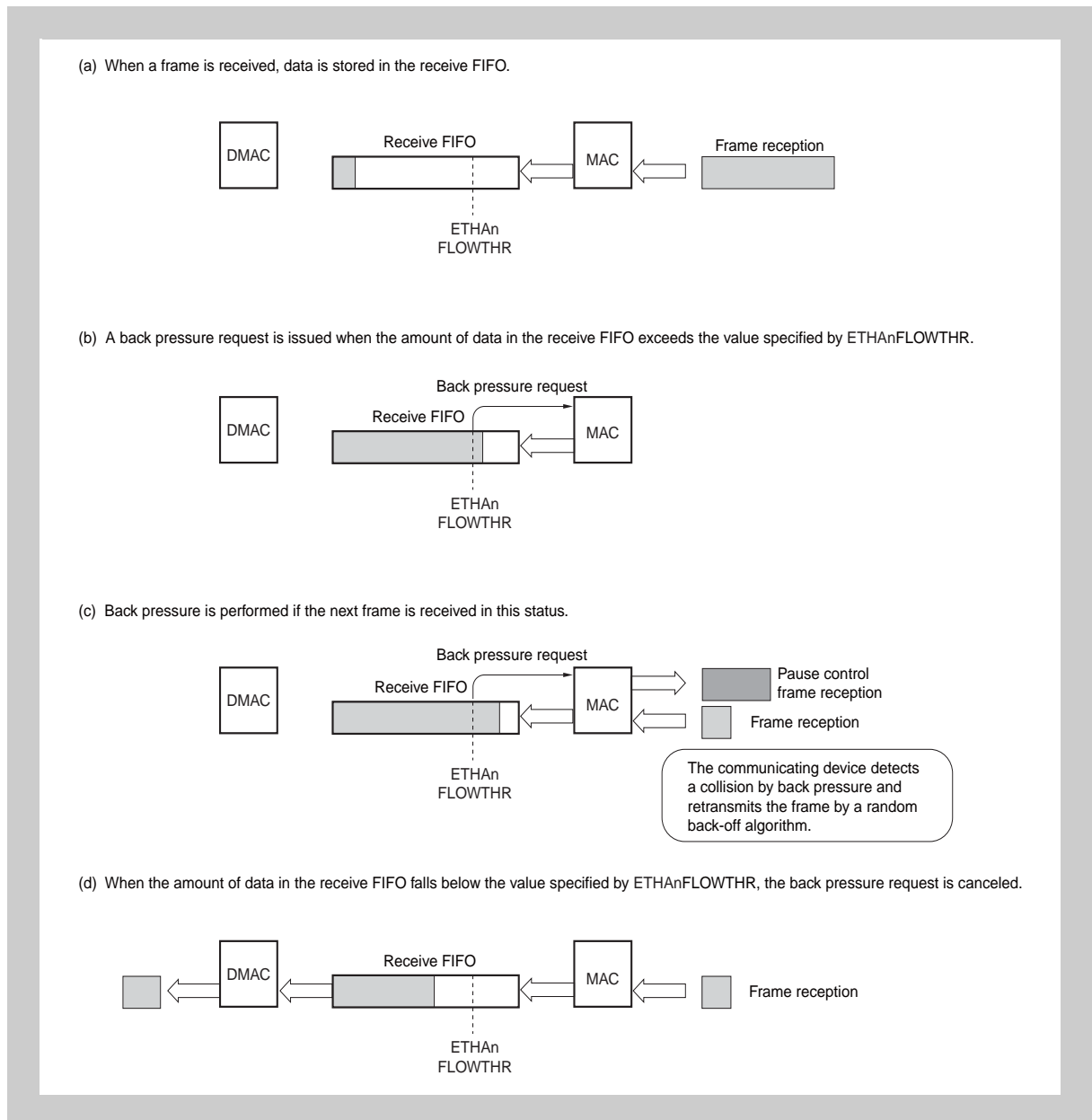


図 32-11 バック・プレッシャー制御の流れ

**(3) VLAN フレームに対する動作**

イーサネット・コントローラは、送受信パケット内の TPID フィールドを VLAN タイプ・レジスタ (ETHAnVLTP) と比較することにより、VLAN フレームを検出します。VLAN フレームに対する動作について次に示します。

**(a) VLAN フレームの検出**

イーサネット・コントローラでは、受信パケット内のソース・アドレスに続く 2 バイトの TPID フィールドの値を常に確認しています。

送信時は ETHAnMACC2.ETHAnAPD、または ETHAnMACC2.ETHAnVPD ビットが“1”のとき、TPID フィールドの値を確認します。

TPID フィールドが VLAN タイプ・レジスタ (ETHAnVLTP) と一致したパケットを、イーサネット・コントローラ内では VLAN フレームとみなしません。

**(b) VLAN フレームの受信**

受信パケットにおいて TPID フィールドの値が VLAN タイプレジスタ (ETHAnVLTP) と一致した場合、受信フレーム・サイズに関する判定は、すべて VLAN フレーム・サイズ (MAX : 1522 バイト, MIN : 64 バイト) を基準に行われます。

**(c) VLAN フレームの送信**

ETHAnMACC2.ETHAnAPD ビットが“1”のとき、送信フレームとして上位層より与えられた TPID フィールドの値が VLAN タイプ・レジスタ (ETHAnVLTP) と一致するフレームの送信の場合、VLAN フレームと認識してフレーム長が 68 バイトになるようにパッドを付加します。

ETHAnMACC2.ETHAnVPD ビットが“1”のとき、すべてのフレームを VLAN フレームと認識してフレーム長が 68 バイトになるようにパッドを付加します。

### 32.5.5 シリアル・マネジメント・インタフェース機能

イーサネット・コントローラは、シリアル・マネジメント・インタフェースを一对内蔵しており、PHY デバイスの設定、ステータス読み出しやオート・ネゴシエーション使用時の PHY との通信に使用できます。

接続する PHY のアドレスをイーサネット・コントローラから設定する場合、シリアル・マネジメント・インタフェースを使用する前に、ETHAnMADR レジスタに PHY アドレスを設定してください。

#### (1) シリアル・マネジメント機能概要

##### (a) MDC クロック

イーサネット・コントロール・クロック ( $f_{EC}$ ) を分周することによってマネジメント・データ・クロック (MDC) を生成します。

分周比については、ETHAnMIIC.ETHAnCLKS[2:0] ビットによって設定されます。

表 32-115 ETHAnMIIC レジスタ : ETHAnCLKS[2:0] ビットと  $f_{EC}$  の周波数

ETHAnMIIC ビット			$f_{EC}$ 入力の周波数範囲
CLKS[2]	CLKS[1]	CLKS[0]	
0	0	0	設定禁止
0	0	1	33 MHz 以下
0	1	0	50 MHz 以下
0	1	1	66 MHz 以下
1	0	0	100 MHz 以下
1	0	1	133 MHz 以下
1	1	0	設定禁止
1	1	1	設定禁止

ETHAnMIIC.ETHAnPHYSEL を 0 に設定 (デフォルト値) すると、MDC は、マネジメント・フレームを送信あるいは受信しているときのみ出力されます。

ETHAnMIIC.ETHAnPHYSEL ビット = 1 に設定すると、常に MDC を出力します。

ETHAnMIIC.ETHAnPHYSEL ビット = 0 のときに PHY との通信に失敗した場合、ETHAnMIIC.ETHAnPHYSEL ビット = 1 に設定して使用してください。

**(b) シリアル・マネジメント・フレーム構造**

イーサネット・コントローラは、ETHAnMCMD レジスタへの値の書き込み又は ETHAnMWTD レジスタへの値の書き込みによって、次に示すシリアル・マネジメント・フレームを生成します。

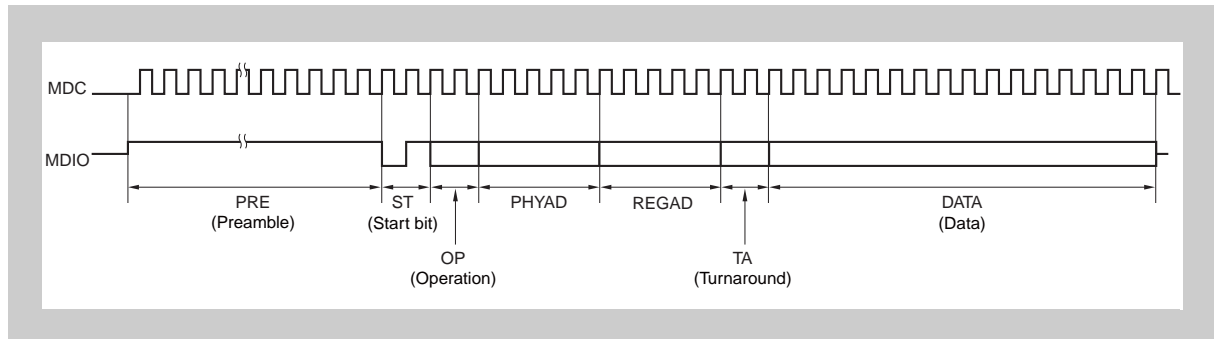


図 32-12 シリアル・マネジメント・フレーム構造

シリアル・マネジメント・フレームは、32ビットのプリアンブル、2ビットのスタート・ビット、PHYデバイス内のレジスタに対するリードあるいはライト動作に応じた、2ビットのオペコードが自動的に付加されます。PHYADとREGADは、外部に接続されるPHYデバイスのデバイス・アドレスと、そのPHYデバイス内にあるレジスタ・アドレスを示しており、それぞれETHAnMADR.ETHAnFIAD[4:0]フィールドとETHAnMADR.ETHAnRGAD[4:0]フィールドに設定された値が付加されます。

イーサネット・コントローラは、プリアンブルからREGADまでのデータをシリアル出力し、さらに2ビットのターン・アラウンド後、ライト・アクセスの場合はETHAnMWTD.ETHAnCTLD[15:0]フィールドに設定されたデータを出力します。リード・アクセスの場合にはMDI信号よりシリアル・データが入力され、ETHAnMRDD.ETHAnPRSD[15:0]フィールドに書き込まれます。

MDO信号出力中はMDOEN信号が1にアサートされます。

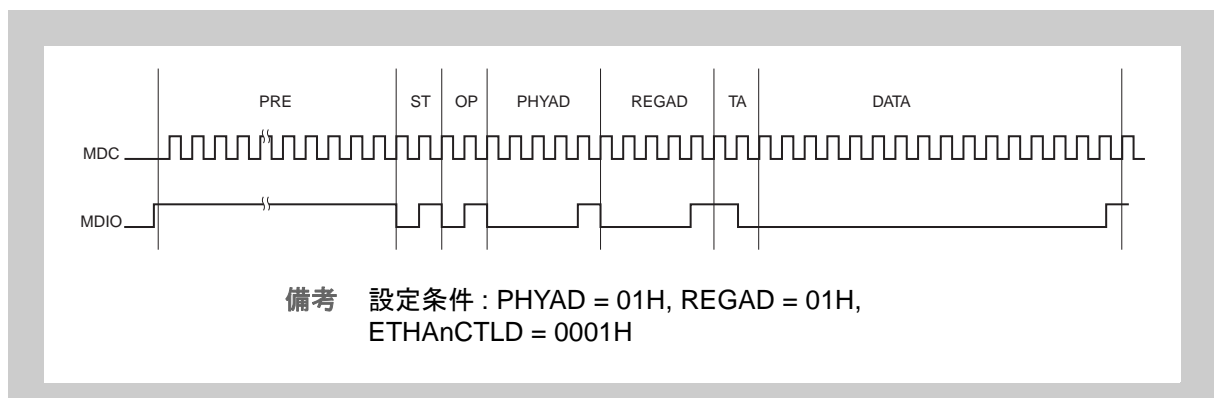


図 32-13 MII マネジメント・インタフェース信号の概略タイミング (ライト・アクセス)



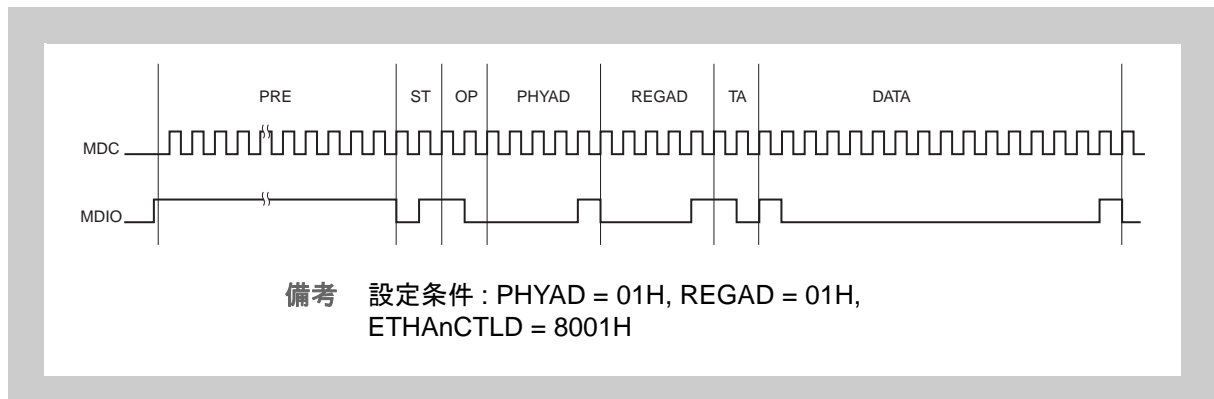


図 32-14 MII マネジメント・インタフェース信号の概略タイミング  
(リード・アクセス)

(c) **SCAN コマンド**

イーサネット・コントローラは、特定の PHY レジスタを連続して読み出すために SCAN コマンドを用意しています。ETHAnMCMD.ETHAnSCANC ビットを 1 に設定することにより、連続的にリード・アクセスが発生し、ETHAnMRDD.ETHAnPRSD[15:0] フィールドを読み出すことで、特定の PHY レジスタのポーリングが可能になります。

## (2) シリアル・マネジメントのアクセス手順

シリアル・マネジメント・フレームの送受信は次のように行います。

まず、ETHAnMIND.ETHAnSCANA ビットにより SCAN 中であるかどうかを確認します。

SCAN 中でない場合は ETHAnMIND.ETHAnBUSY ビットを確認し、現在シリアル・マネジメントのアクセス中であるかどうかを確認します。ETHAnBUSY ビットが 1 の場合は、0 になるまで待ちます。一方 SCAN 中であった場合は ETHAnMCMD.ETHAnSCANC ビットを 0 にした上で、ETHAnBUSY ビットが 0 になるのを待ちます。

次に、ターゲットとなる外部 PHY デバイスのデバイス・アドレスおよび PHY デバイス内のレジスタ・アドレスを、それぞれ ETHAnMADR.ETHAnFIAD[4:0] フィールドと ETHAnMADR.ETHAnRGAD[4:0] フィールドに設定します。

ライト・アクセスの場合は、ETHAnMWTD.ETHAnCTLD[15:0] フィールドにデータを書き込むことでアクセスが開始されます。

ETHAnBUSY ビットは、MWTD レジスタに書き込みが行われると 1 になり、ライト・アクセスが終了すると 0 になります。

リード・アクセスの場合は ETHAnMCMD.ETHAnRSTAT ビットを 1 にすることで開始されます。ETHAnRSTAT ビットに 1 が設定されると ETHAnBUSY ビットが 1 となり、リード・アクセス終了後 ETHAnBUSY ビットは 0 となります。ホスト・システムは ETHAnBUSY ビットが 0 であることを確認したあと、ETHAnMRDD.ETHAnPRSD[15:0] フィールドを読み出すことで、PHY レジスタのデータを得ることができます。

SCAN コマンドを実行するには、ETHAnMCMD.ETHAnSCANC ビットを 1 にします。ETHAnSCANC ビットが 1 に設定されるとリード・アクセス動作が繰り返し実行されます。ETHAnMIND.ETHAnSCANA ビットは SCAN コマンド実行中、1 が設定されます。ETHAnMIND.ETHAnNVALID ビットは SCAN コマンド実行後、最初のリード・アクセスが完了するまでの間、1 が設定されます。ETHAnMIND.ETHAnBUSY ビットは SCAN コマンドが実行されると 1 が設定され、SCAN コマンドをディセーブル (ETHAnMCMD.ETHAnSCANC ビットを 0 にする) にすると、その時点でのリード・アクセスが完了したあとで 0 になります。

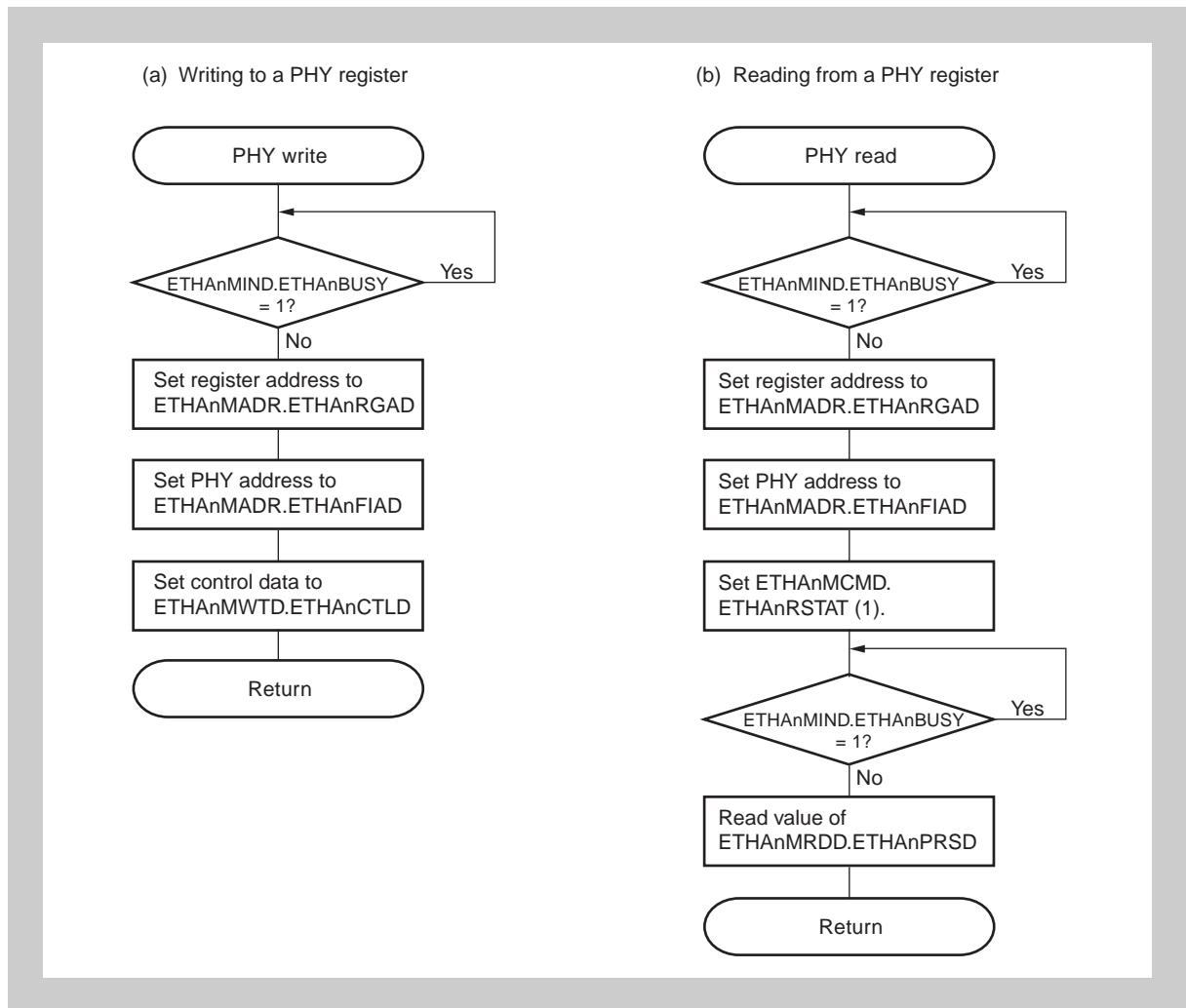


図 32-15 PHY レジスタへのアクセス・フロー

### 32.5.6 アドレス・フィルタリング

#### (1) アドレス・フィルタリング機能概要

イーサネット・コントローラは、受信パケットのデスティネーション・アドレスによるフィルタリングを行い、フィルタリング結果により受信パケットの受領／破棄を判断します。

フィルタリングの条件は ETHAnAFR レジスタで設定することが可能です。ユニキャスト・アドレス、マルチキャスト・アドレス、あるいはブロードキャスト・アドレスと個別に設定することが可能で、またこれらのフィルタリング条件を組み合わせることも可能です。

#### (a) ユニキャスト・アドレスのフィルタリング

ETHAnLSA1 レジスタおよび ETHAnLSA2 レジスタに設定されるアドレスをユニキャスト・アドレスとし、受信されたパケットのデスティネーション・アドレスと比較します。比較した結果、アドレスが一致したパケットを受信し、一致しない受信パケットは破棄されます。ユニキャスト・アドレスの一致検出は受信パケットごとに行われます。

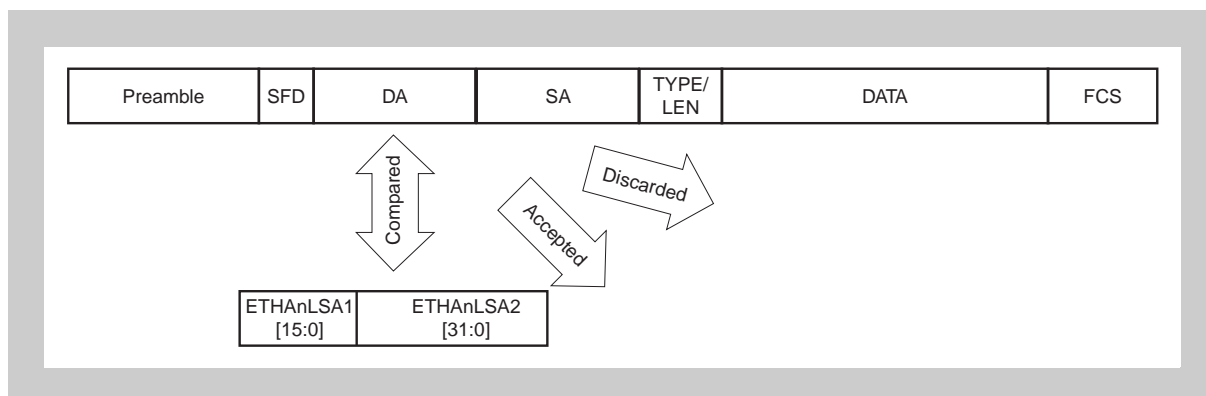


図 32-16 ユニキャスト・アドレスによるフィルタリングのイメージ受信

**(b) マルチキャスト・アドレスのフィルタリング**

マルチキャスト・アドレスのフィルタリングには2通りあります。  
ETHAnAFR.ETHAnPRM ビットに1を設定すると、すべてのマルチキャスト・アドレスをDAに持つパケットを受領します。

ETHAnAFR.ETHAnAMC ビットに1を設定すると、ETHAnHT1 レジスタおよびETHAnHT2 レジスタに用意されるハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・アドレスのパケットのみ受信パケットとして受領し、一致しないパケットは破棄します。

ハッシュ・テーブルによるマルチキャスト・アドレスのフィルタリングの方法は次のとおりです。

ハッシュ・テーブルは受信されたマルチキャスト・アドレスのCRC 計算結果32ビットのうちビット[28:23]を用いて参照されます。CRC 計算には多項式として次の式を使用しています。

$$\text{CRC}(x) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

ETHAnHT1 レジスタおよびETHAnHT2 レジスタ上で、先の6ビットをデコードした値で示されるビット位置（表32-116「HTビット(ETHAnHT1, ETHAnHT2)とハッシュ値の対応」参照）に1が設定されている場合、そのマルチキャスト・アドレスに対して受領と判断します。ハッシュ・テーブルを設定するためには、あらかじめ限定するマルチキャスト・アドレスのCRC計算を行い、対応するビットに1を設定しておく必要があります。

表 32-116 HT ビット (ETHAnHT1, ETHAnHT2) とハッシュ値の対応

CRC[28:26]	CRC[25:23]							
	111 <sub>B</sub>	110 <sub>B</sub>	101 <sub>B</sub>	100 <sub>B</sub>	011 <sub>B</sub>	010 <sub>B</sub>	001 <sub>B</sub>	000 <sub>B</sub>
111 <sub>B</sub>	HT1[31]	HT1[30]	HT1[29]	HT1[28]	HT1[27]	HT1[26]	HT1[25]	HT1[24]
110 <sub>B</sub>	HT1[23]	HT1[22]	HT1[21]	HT1[20]	HT1[19]	HT1[18]	HT1[17]	HT1[16]
101 <sub>B</sub>	HT1[15]	HT1[14]	HT1[13]	HT1[12]	HT1[11]	HT1[10]	HT1[9]	HT1[8]
100 <sub>B</sub>	HT1[7]	HT1[6]	HT1[5]	HT1[4]	HT1[3]	HT1[2]	HT1[1]	HT1[0]
011 <sub>B</sub>	HT2[31]	HT2[30]	HT2[29]	HT2[28]	HT2[27]	HT2[26]	HT2[25]	HT2[24]
010 <sub>B</sub>	HT2[23]	HT2[22]	HT2[21]	HT2[20]	HT2[19]	HT2[18]	HT2[17]	HT2[16]
001 <sub>B</sub>	HT2[15]	HT2[14]	HT2[13]	HT2[12]	HT2[11]	HT2[10]	HT2[9]	HT2[8]
000 <sub>B</sub>	HT2[7]	HT2[6]	HT2[5]	HT2[4]	HT2[3]	HT2[2]	HT2[1]	HT2[0]

**備考** ビット名の接頭文字「ETHAn」は上表では省略しています。  
HT1[31:0]はETHAnHT1[31:0]、HT2[31:0]はETHAnHT2[31:0]を表します。

ハッシュ・テーブル計算を行うプログラム例を、次に示します。

たとえば、DA = 123456789ABC の場合、CRC = D4E8 8056H、CRC[28:26] = 5、CRC[25:23] = 1 となり、表 32-116 から、ETHAnHT1 [9] をセットすれば、目的とするDAのマルチキャスト・パケットを受信します。なおETHAnHT1 レジスタおよびETHAnHT2 レジスタの値が、ともに0000 0000<sub>H</sub>の場合、すべてのパケットを破棄します。

```

// Calculate the set value of the hash table.

#include <stdio.h>

unsigned long crc32_for_ethernet( const unsigned char *data, int size );

// Address to be calculated
const unsigned char DA[] = { 0x12, 0x34, 0x56, 0x78, 0x9A, 0xBC };

int main( void ){
    unsigned long crc;

    printf("nDA: ");
    crc = crc32_for_ethernet( DA, sizeof(DA) );
    printf("-----n");
    printf("CRC = %02X,%02X,%02X,%02Xn", (crc>>24)&0xff, (crc>>16)&0xff, (crc>>8)&0xff,
    crc&0xff );
    printf("CRC[28:26] = %X, CRC[25:23] = %X n", (crc>>26)&0x07, (crc>>23)&0x07 );
    printf("n");
    return(1);
}

// Calculate the CRC.
unsigned long crc32_for_ethernet( const unsigned char *p, int size ){
    int i,j;
    const unsigned long poly = 0xEDB88320ul; // BigEndian
    unsigned long crc = 0xffffffff;
    unsigned long ans = 0x00000000;
    unsigned char c;

    for( j = 0; size-- != 0 ; j++ ) {
        c = *p++;
        printf("%02X " , c );
        if ( j == 15 ) {
            j = 0;
            printf("n");
        }
        for ( i = 0; i < 8; i++ ) {
            crc = (crc>>1)^(((crc^c)&1)? poly : 0ul );
            c >>= 1;
        }
    }
    if ( j != 0 ) printf("n");
    crc = ~crc;
    for( i = 0; i < 4; i++ ){
        ans = (ans << 8) | (crc & 0x000000fful);
        crc >>= 8;
    }
    return( ans );
}

```

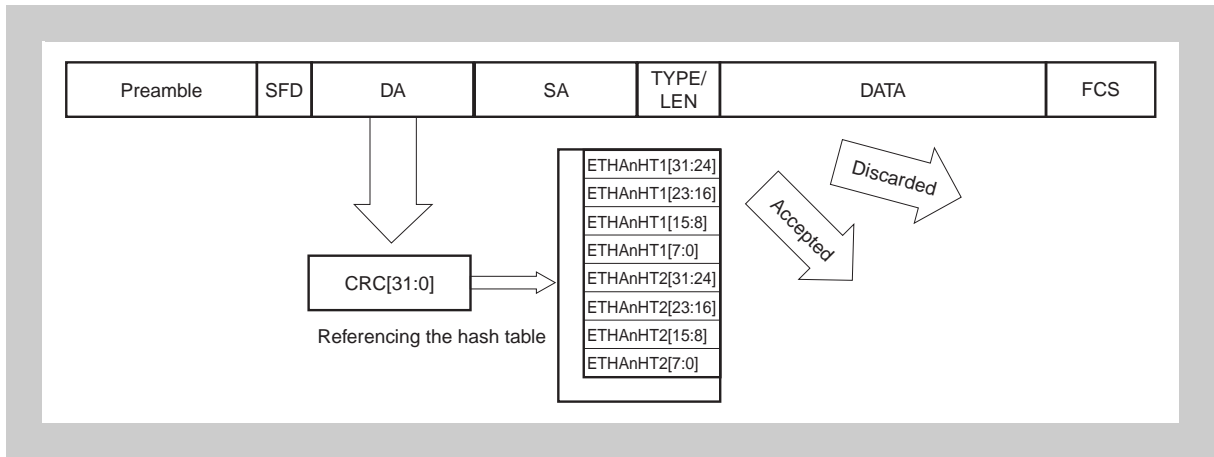


図 32-17 ハッシュ・テーブルによるフィルタリングのイメージ

(c) ブロードキャスト・アドレスのフィルタリング

ETHAnAFR.ETHAnABC ビットに 1 を設定すると、ブロードキャスト・アドレスを持ったパケットに対して受領します。

(d) プロミスカス・モード

ETHAnAFR.ETHAnPRO ビットに 1 を設定すると、プロミスカス・モードとなりすべてのパケットを受領します。

上記, (a) ~ (d) の受領条件をいずれも満たさないとき、受信パケットは破棄されます。

各条件の組み合わせは、表 32-117 「アドレス・フィルタリング設定と受信パケット」を参照してください。

表 32-117 アドレス・フィルタリング設定と受信パケット

ETHAnAFR.ETHAn				受信パケット				
FRC	FRM	AMC	ABC	LSA 不一致, ユニキャスト	LSA 一致, ユニキャスト	HT 不一致, マルチキャスト	HT 一致, マルチ キャスト	ブロード キャスト・ パケット
1	—	—	—	受信	受信	受信	受信	受信
0	1	—	—	破棄				
0	0	1	1	破棄	破棄	破棄	破棄	破棄 <sup>a)</sup>
0	0	1	0					受信
0	0	0	1					破棄
0	0	0	0					破棄

a) ブロードキャスト・アドレスはマルチキャスト・アドレスに含まれるため、該当する HASH テーブルのビットをセット (1) している場合は受信されます。

備考 — : 任意

**(2) アドレス・フィルタリング条件の設定**

パケット・フィルタリングの設定は次のように行います。

まず ETHAnMACC1.ETHAnSRXEN ビットに 0 を設定します。

ETHAnSRXEN ビットが 0 であるとき、受信データ・インタフェースの機能がディセーブルされた状態となります。次に ETHAnLSA1 レジスタおよび ETHAnLSA2 レジスタにステーション・アドレスを設定します。ETHAnAFR レジスタには必要なフィルタリング条件の組み合わせを設定します。条件付マルチキャスト・パケット受信を行う場合には ETHAnHT1 レジスタおよび ETHAnHT2 レジスタによってハッシュ・テーブルの設定が必要になります。これらの設定が完了したあとで ETHAnMACC1.ETHAnSRXEN ビットに 1 を設定することでパケット受信をイネーブルにします。



### 32.5.7 統計カウンタ

イーサネット・コントローラは、回線の通信品質その他を調べるために、39本の統計カウンタを持っています。

統計カウンタは、1フレームの通信が終了（アボートを含む）するごとに、通信ステータスを確認して該当するカウンタを更新しています。統計カウンタを停止することはできませんので、使用しない統計カウンタは、ETHAnCAM1, ETHAnCAM2 レジスタの該当するビットを“1”にして、割り込みをマスクしてください。

統計カウンタは、通信中も任意のタイミングで読み出し可能です。

各カウンタにおいてオーバフローが発生した場合には、ETHAnCAR1 レジスタおよび ETHAnCAR2 レジスタの対応するビットに1が設定され、ETHAnCAM1 レジスタおよび ETHAnCAM2 レジスタにより割り込みがマスクされていなければ、イーサネット MAC 割り込みが発生します。ETHAnCAM1 レジスタおよび ETHAnCAM2 レジスタは、個々のカウンタごとにマスクを設定することが可能です。

統計カウンタをクリアする場合は、カウンタに0を書き込んでください。この際、通信動作を停止させる必要はありません。統計カウンタの更新と書き込みが競合した場合は更新が優先され、更新後に書き込みが行われます。

なお、統計カウンタは停止できません。使用しない統計カウンタは、キャリア・マスク・レジスタ 1, 2 (ETHAnCAM1, ETHAnCAM2) で該当ビットをセット (1) することでマスクし、INTCMAC が発生しないようにしてください。

統計カウンタ・レジスタは、32ビット単位でリード/ライト可能です。

- 
- 注意**
1. イーサネット・コントローラは、イーサネット・コントローラ・クロック (fEC) で統計カウンタを更新しています。このため、イーサネット・コントローラ・クロック (fEC) が通信クロック (TXCLK / RXCLK) と比較して極端に低速な場合は、統計情報をミスカウントする可能性があります。統計情報をミスカウントした場合、ステータス・ベクタ・オーバランが発生し、キャリア・レジスタ 2 (ETHAnCAR2) の ETHAnC2DV ビットをセット (1) し、INTCMAC 割り込みが発生します。
  2. キャリア・レジスタ 1, 2 (ETHAnCAR1, ETHAnCAR2) は、リードでクリアされます。
- 

**備考** 送受信のアボート回数は、統計カウンタとは別に、送信アボート・カウンタ (ETHAnTXABTCNT)、受信アボート・カウンタ (ETHAnRXABTCNT) があります。

## 32.6 専用 DMAC

### 32.6.1 DMAC の概要

専用 DMA コントローラ (DMAC) は、イーサネット・コントローラの内部システム・バスとの DMA 通信を可能にします。

専用 DMAC には、送受信で使用されるイーサネット・コントローラ専用 DMAC と、送信チェックサムで使用される送信チェックサム専用 DMAC の 2 種類があります。

送受信されるすべてのデータは、イーサネット・コントローラ専用 DMAC によって転送されます。送信チェックサム専用 DMAC は、チェックサム計算用の送信データを保管し、チェックサム計算の結果を出力するために使用されます。

**備考** イーサネット・コントローラ専用 DMAC および送信チェックサム専用 DMAC の機能は同じです。そのためこの節では、イーサネット・コントローラ専用 DMAC について代表として説明します。送信チェックサム専用 DMAC の信号、レジスタ、ビットは、この節では次の表に従って置き換えてください。

項目	イーサネット・コントローラ専用 DMAC	送信チェックサム専用 DMAC
割り込み信号名	INTSCTX, INTSCRX	INTSCTXCH, INTSCRXCH
レジスタ、ビットの名称	Example: ETHAnINTMS register RXMASK bit	Example: TCH_INTMS register TCH_RXMASK bit

#### (1) レジスタ・アクセス

DMAC のレジスタは、CPU からシステム・バスのスレーブとしてアクセスします。

バイト (8 ビット)、ハーフワード (16 ビット)、ワード (32 ビット) 単位でアクセスすることができます。ただし MAC コントロール・レジスタ (0F04 2000<sub>H</sub> から 0F04 21FCH<sub>H</sub>) は 32 ビット単位でしかアクセスすることができません。

レジスタの予約領域への書き込みは無視されます。予約領域が読み込まれるとき、データはすべてゼロとして読み込まれます。

#### (2) バス・マスタ

イーサネット・コントローラ専用 DMAC は、バス・マスタとして、データをシステム・バスとの間で転送します。

転送コントロール・レジスタ (ETHAnTRANSCTL および TCH\_TRANSCTL) を設定することにより、バースト・サイズを指定することができます。

送受信されるすべてのデータは、内部 DMAC によって転送されます。また、DMAC のバス・マスタ機能は、送信チェックサムの計算、送信データの保管、チェックサム計算結果の出力なども行います。

## 32.6.2 DMA

### (1) DMA 転送モード

ETHAnDMACM レジスタを使用することにより、次のような設定を指定することができます。

#### 転送データ・サイズ

- ワード（32 ビット）およびバイト（8 ビット）データがサポートされています。

#### 転送タイプ

- 2 サイクル転送

#### 転送モード

- 4 ビート・インクリメント式バースト転送モード
- 8 ビート・インクリメント式バースト転送モード
- 16 ビート・インクリメント式バースト転送モード

ETHAnDMACM レジスタで転送モードを指定した場合、そのモードは次に DMA 転送を開始するときに適用されます。

- 注意**
1. 不定長バースト転送モードは、レジスタで指定することができません。不定長バースト転送は、端数データを処理する際にイーサネット・コントローラが自動的に使用します。そのため、すべての転送データを意図的にこのモードで転送することはできません。
  2. 転送モードを設定するレジスタは、DMA 転送の際ロックされません。そのため、このレジスタの設定が DMA 転送の際に変更されると、転送中の DMA サイクルは不正になります。DMA 転送の際（ETHAnRXEN\_STA または ETHAnTXEN\_STA が 1 のとき）は、レジスタの設定値を変更しないでください。

### (2) DMA 転送でアクセス可能な領域

DMA 転送の対象となる領域を次に示します。

表 32-118 イーサネット・コントローラ専用 DMAC の転送対象領域

Instruction RAM	Data RAM	Work RAM	External memory	SiP internally connected memory and user registers	Serial flash ROM	On-chip peripheral functions (with some exceptions)

### (3) DMA アドレス境界

イーサネット・コントローラ専用 DMAC では、データ・バッファの開始アドレスおよび転送バイト数を設定する際、アドレス境界を考慮する必要がありません。

バースト転送の際に端数データがある場合、端数は自動的にデータの転送前に処理されます。

ただし、受信データの最後を予測することはできないため、バースト転送を使用する場合、最後の転送がダミー転送になることがあります。

**備考** 4 ビート、8 ビート、16 ビート・インクリメント式バースト転送モードでは、最後のデータが固定長より短い場合、自動的に不定長バースト転送モードで転送されます。バイト・アライメントのためのバイト・アクセスは、常にシングル転送モードで実行されます。

### (4) DMA アービトレーション

イーサネット・コントローラは、全二重転送をサポートしているため、DMA 送信および DMA 受信が同時に実行されることもあります。送信および受信に対する DMA 要求が同時に出た場合は、受信要求が優先されます。

### 32.6.3 ディスクリプタ・メカニズム

イーサネット・コントローラを使用する上で、送信データ/受信データを格納するメモリ空間が連続していない場合をサポートするために、ディスクリプタ・メカニズムを導入しています。

イーサネット・コントローラが使用するディスクリプタには、次の3種類があります。

- バッファ・ディスクリプタ
- リンク・ポインタ
- エンド・オブ・チェイン

各ディスクリプタは、2ワード（64ビット）のワード・アラインされたデータで構成されます（図 32-26 「ディスクリプタ・チェインの構成例（パケット受信時）」を参照してください）。

イーサネット・コントローラでは、1回のDMA転送の起動で複数のディスクリプタを逐次処理することが可能です（32.6.3 (8) ディスクリプタ・チェインを参照してください）。

ETHAnRXDP に受信ディスクリプタ・チェインの先頭アドレス、ETHAnTXDP に送信ディスクリプタ・チェインの先頭アドレスをセットし、ETHAnMODE レジスタの ETHAnRXS, ETHAnTXS ビットをセットすることで、受信 DMA 転送、送信 DMA 転送がスタートします。

ディスクリプタ・チェインの最後はエンド・オブ・チェインのディスクリプタで終了しなければなりません。

#### (1) バッファ・ディスクリプタのフォーマット

バッファ・ディスクリプタのフォーマットは、2ワード（64ビット）で構成され、下位はコントロール・ビット、上位ワードは、このディスクリプタが指すデータ・バッファのスタート・アドレス値を示します。

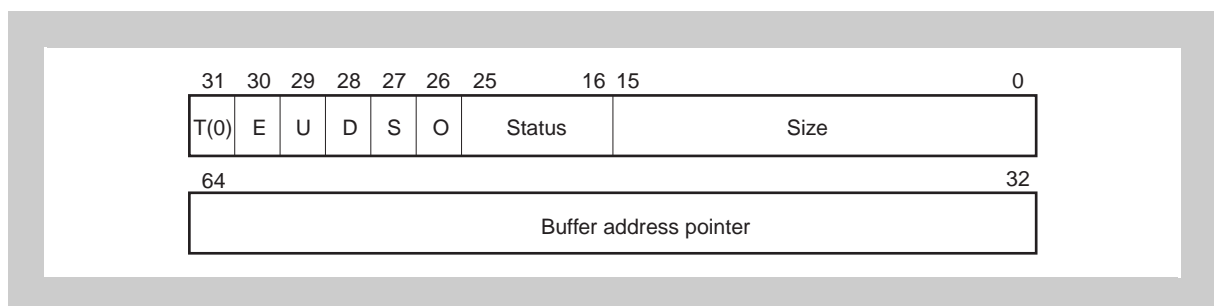


図 32-18 バッファ・ディスクリプタ・フォーマット

表 32-119 バッファ・ディスクリプタのビット構成 (1/2)

ビット位置	ビット名	意味
63-32	BAP	データ・バッファのスタート・アドレスを現すアドレス・ポインタです。BAPはバイト・アライン指定可能です。
31	T	ディスクリプタ・タイプ ディスクリプタの種類を示します。 バッファ・ディスクリプタの場合、このビットは0で使用します。
30	E	ラスト・バッファ・フラグ パケット・データの最後を現すコントロール・ビットです。 0: 通常のバッファ・データである (最終データではない) ことを示します。 1: 現在のパケットの最終データ・バッファであることを示します。 送信時にこのビットをセットしておく、該当データ・バッファのデータを転送し終わった時点で TXI 割り込みを発生し、次のディスクリプタの処理に移ります。受信時はこのビットをクリアしておきます。フレーム・データの最後のデータが書き込まれると、ライト・バック時にこのビットがセットされます。その後、RXI 割り込みを発生し、次のディスクリプタの処理に移ります。
29	U	ユーズド・ビット DMA が転送済か未転送 (転送中を含む) かを示します。 0: 未転送 (転送中を含む) 1: 転送済 CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。このディスクリプタが示すバッファ領域に対する DMA 転送が終了すると、U ビットはイーサネット・コントローラによりセットされます。イーサネット・コントローラは、ディスクリプタ・リード時に U ビットが立っているディスクリプタをリードすると、TECI, RECI 割り込みを発生して、DMA を中止します。 また、バス・エラーが発生した場合、および受信時オーバフローが発生した場合は、パケット先頭のディスクリプタ、オーバフローの起こったディスクリプタの U ビットがセットされます。
28	D	データ・バッファのアクセス・エラーを示すビットです。 0: エラーなし 1: データ・バッファのアクセス・エラーが発生した CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。アクセス・エラーが起きると、イーサネット・コントローラは現在のパケットを示す先頭ディスクリプタのコントロール・ビット D と、アクセス・エラーを起こしたディスクリプタのコントロール・ビット D をセット (1) します。
27	S <sup>a</sup>	受信ステータス情報が Status フィールドに書き込まれていることを示します (受信時のパケット先頭のディスクリプタ内のコントロール・ビット S のみ有効です) 0: ステータス情報は含まれていません 1: 受信パケットのステータス情報を含みます CPU は、バッファ・データ (ディスクリプタ) を作成/取得する際にこのビットをクリアしておきます。受信パケットの DMA 転送時、イーサネット・コントローラは、1パケット転送終了ごとに現在のパケットの先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S をセット (1) します。

表 32-119 バッファ・ディスクリプタのビット構成 (2/2)

ビット位置	ビット名	意味
26	O <sup>a</sup>	受信時のオーバーフローを通知します。 0：オーバーフローなし 1：オーバーフローが発生した CPUは、バッファ・データ（ディスクリプタ）を作成／取得する際にこのビットをクリアしておきます。受信時にオーバーフロー・エラーが発生した場合、イーサネット・コントロールはパケットの先頭ディスクリプタのコントロール・ビット0に1を書き戻し、オーバーフロー・エラーが発生したディスクリプタにコントロール・ビットEをセットします。割り込みは発生しません。
25-16	Status <sup>a</sup>	受信時の Status 情報を示します。コントロール・ビット S が 1 である場合、Status フィールドの値が有効です。CPUは、バッファ・データ（ディスクリプタ）を作成／取得する際にこのビットをクリアしておきます。受信パケットの DMA 転送時、イーサネット・コントローラは、1 パケット転送終了ごとに現在のパケットの先頭ディスクリプタの Status フィールドに有効な値を書き込み、コントロール・ビット S を 1 にセットします。
15-0	Size	このディスクリプタが示すバッファ・データのサイズ（バイト単位）を示します。受信パケットの DMA 転送時、イーサネット・コントローラは、1 パケット転送終了ごとに、転送した 1 パケット分の長さを現在のパケットの最終ディスクリプタの Size フィールドに書き込みます。 注 送信時使用しません。0 を設定してください。 備考 Size フィールドは 16 ビットです。0 の設定は禁止です。0 の設定をするとエラー割り込みが発生します。 FFFF <sub>H</sub> を設定すると 64 K - 1 バイトの転送を行います。

a) 送信時使用しません。0 を設定してください。

**備考** Size フィールドは 16 ビットです。0 の設定は禁止です。0 の設定をするとエラー割り込みが発生します。FFFF<sub>H</sub> を設定すると 64 K - 1 バイトの転送を行います。

**(2) リンク・ポインタのフォーマット**

リンク・ポインタのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは、次のディスクリプタのアドレス値を示します。

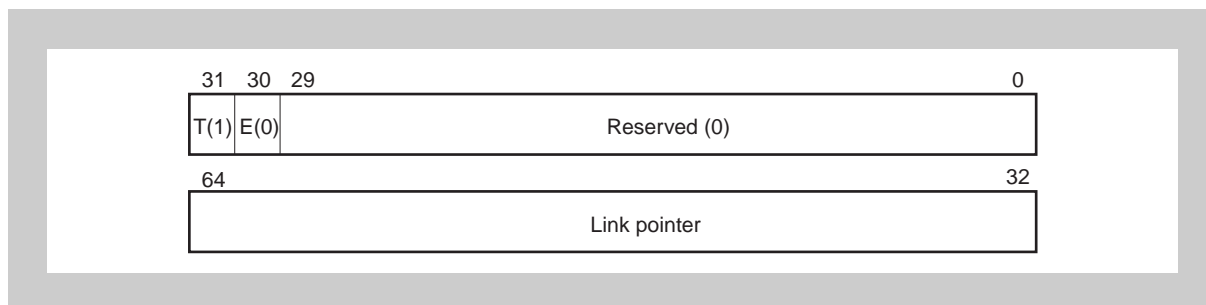


図 32-19 リンク・ポインタのビット構成

表 32-120 リンク・ポインタのビット構成

ビット位置	ビット名	意味
63-32	Link Pointer	次のディスクリプタのアドレスを示します。下位2ビットは無視されます(ワード・アライン)。
31	T	リンク・ポインタの場合、このビットは1で使用します。
30	E	リンク・ポインタの場合、このビットは0で使用します。
29-0	Reserved	予約領域です。0を設定してください。



**(3) エンド・オブ・チェーンのフォーマット**

エンド・オブ・チェーンのフォーマットは、2ワードで構成され、下位ワードはコントロール・ビット、上位ワードは0を示します。

イーサネット・コントローラは、エンド・オブ・チェーンを検出すると、DMA 転送を終了し RECI または TECI 割り込みを発生します。

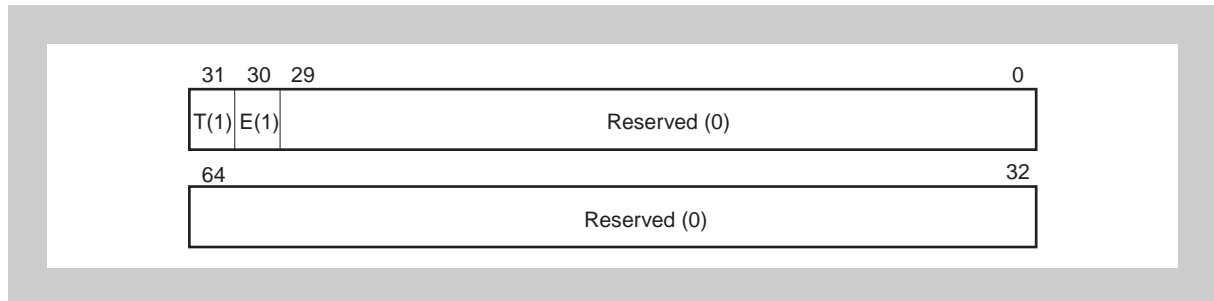


図 32-20 エンド・オブ・チェーンのビット構成

表 32-121 エンド・オブ・チェーンのビット構成

ビット位置	ビット名	意味
63-32	BAP	エンド・オブ・チェーンの場合、NULL（オール・ゼロ）を設定します。
31	T	エンド・オブ・チェーンの場合、このビットは1で使います。
30	E	エンド・オブ・チェーンの場合、このビットは1で使います。
29-0	Reserved	予約領域です。0を設定してください。

(4) ステータスのライト・バック

受信の DMA 転送の場合には、受信ステータスをパケットの最初のディスクリプタへライト・バックし、DMA 転送したパケット長を最終のディスクリプタへライト・バックします。ステータスは次に示すようにライト・バックされます。

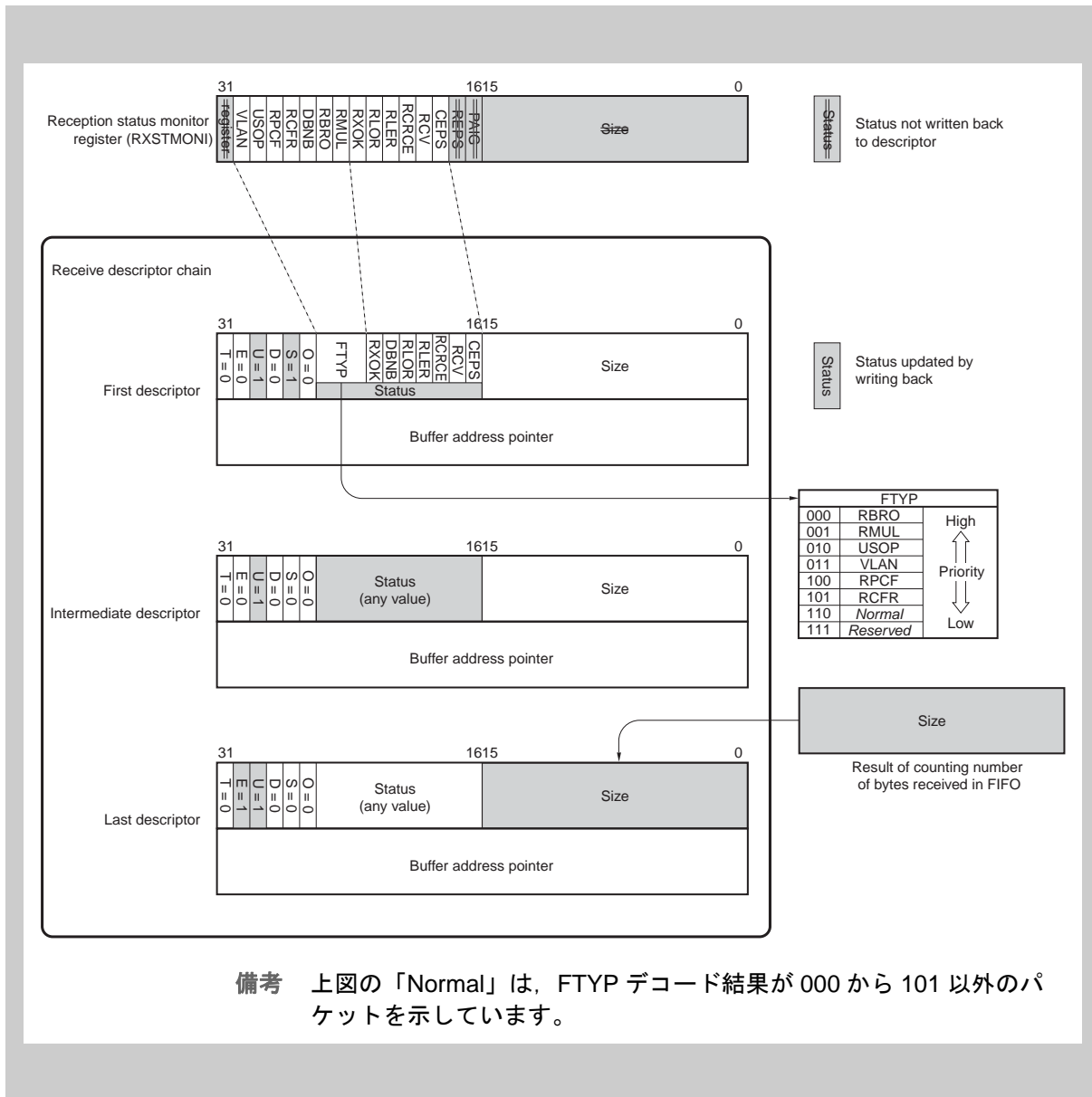


図 32-21 ステータスのライト・バックの例

### (5) エラー発生

送受信の際、データ・バッファへのアクセス時にバス・エラーが発生した場合、エラー割り込みが発生し、DMA が停止します。また、パケットの最初のディスクリプタのU ビットおよびD ビットが設定されます（場合によってはU ビットはすでに設定されている）。また、エラーが発生したディスクリプタのU、D、E ビットもあわせて設定されます。

受信時にオーバーフローが発生した場合、パケットの最初のディスクリプタのU ビットおよびO ビットが設定されます（場合によってはU ビットはすでに設定されている）。また、オーバーフローが発生したディスクリプタのU ビットおよびE ビットもあわせて設定されます。

### (6) エラー割り込み

エラー割り込みは、データ・バッファのアクセス・エラーだけでなく、ディスクリプタのアクセス・エラーが発生したときも生成します。エラー割り込みが発生したかどうかは、ETHAnINTMS.ETHAnRBEI ビットおよびETHAnINTMS.ETHAnTBEI ビットのステータスでチェックすることができます。

データ・バッファまたはディスクリプタのアクセス・エラーが発生した場合、エラーが発生したディスクリプタを含むディスクリプタ・チェーンを再構築しなければなりません。

送信：ディスクリプタまたはデータ・バッファのアクセス・エラーが発生すると、ETHAnTBEI ビットが設定され、DMA が停止します。送信は、次にETHAnTXS ビットが設定されるまで実行されません。

受信：ディスクリプタまたはデータ・バッファのアクセス・エラーが発生すると、ETHAnRBEI ビットが設定され、DMA が停止します。受信は、次にETHAnRXS ビットが設定されるまで実行されません。この時点で、FIFO から転送されていたパケットは破棄されます。パケット転送が始動していない場合はパケットが破棄されることはありません。受信オーバーフローによるライト・バック動作中にバス・エラーが発生した場合、ディスクリプタ・アクセス・エラー発生時と同じ処理が行われます。

## (7) 最終ディスクリプタ・レポート

カレント・ディスクリプタをレポートする機能があります。ETHAnLSTRXDP, ETHAnLSTTXDP という2つのレジスタによりイーサネット・コントローラで処理したディスクリプタのアドレス情報を保存しています。ソフトウェアはこの2つのレジスタをリードすることで、直前に処理したディスクリプタのアドレス情報を知ることができます。

ETHAnLSTRXDP, ETHAnLSTTXDPへディスクリプタのアドレス情報が保存されるタイミングは次のとおりです。

リンク・ポインタを読み出した際には、次のディスクリプタ・アドレスを示しているリンク・ポインタのアドレスをETHAnLSTRXDPまたはETHAnLSTTXDPにコピーします。

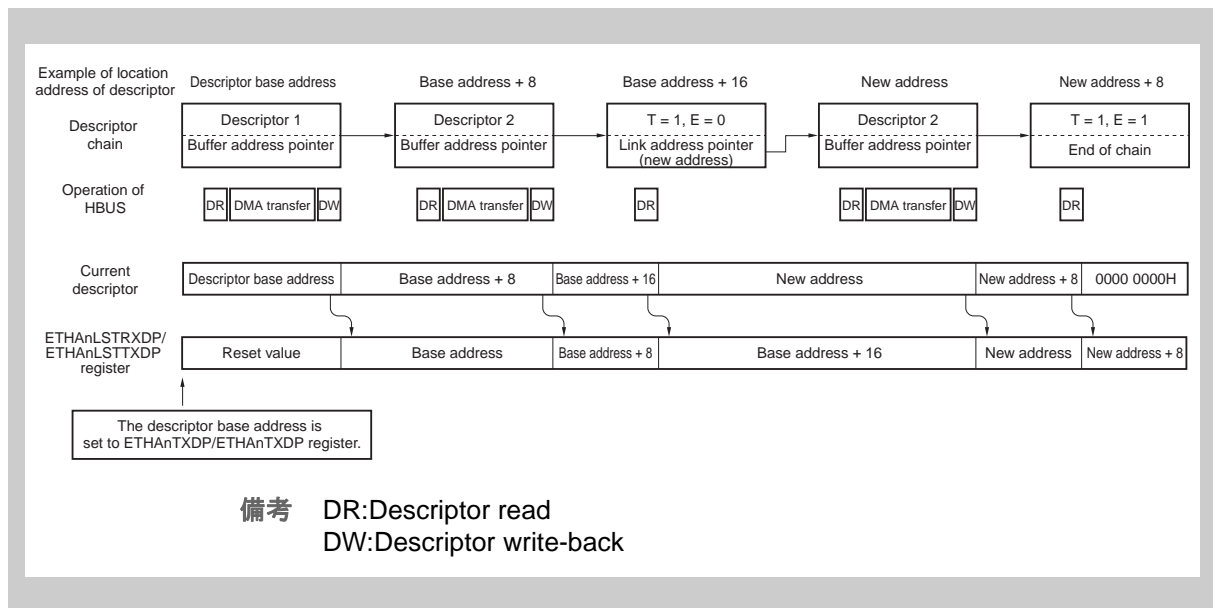


図 32-22 最終ディスクリプタ・コピー・タイミング

ディスクリプタ・チェーンをリング・バッファにしている場合は、INTSCTX 割り込みの TXI フラグ (INTSCRX 割り込みの RXI フラグ) をトリガにして ETHAnLSTRXDP, ETHAnLSTTXDP を読み出し、ディスクリプタを更新できます。

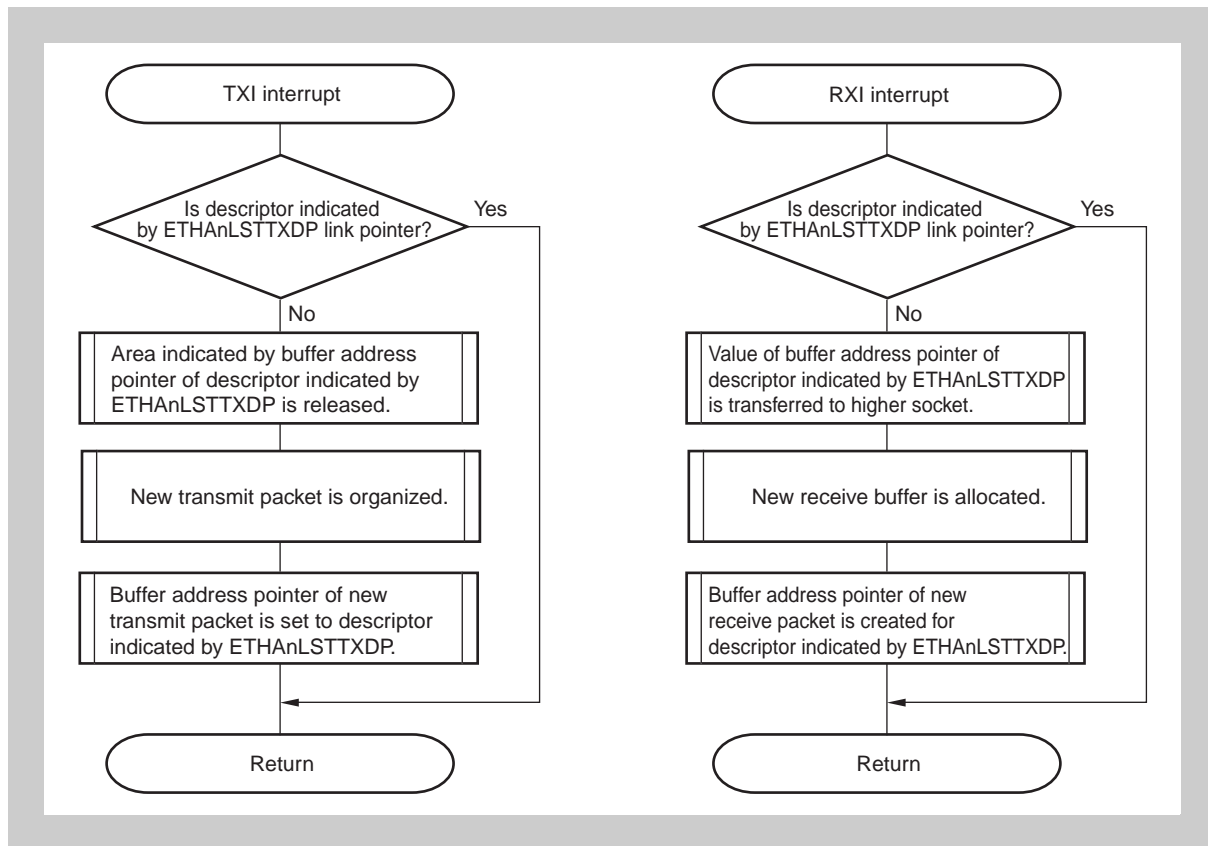


図 32-23 ETHAnLSTRXDP, ETHAnLSTTXDP を用いたディスクリプタ・チェーンの更新

**(8) ディスクリプタ・チェーン**

ディスクリプタはチェーン構造でデータ・バッファ（不定長）を指し示します。  
イメージは次のようになります。

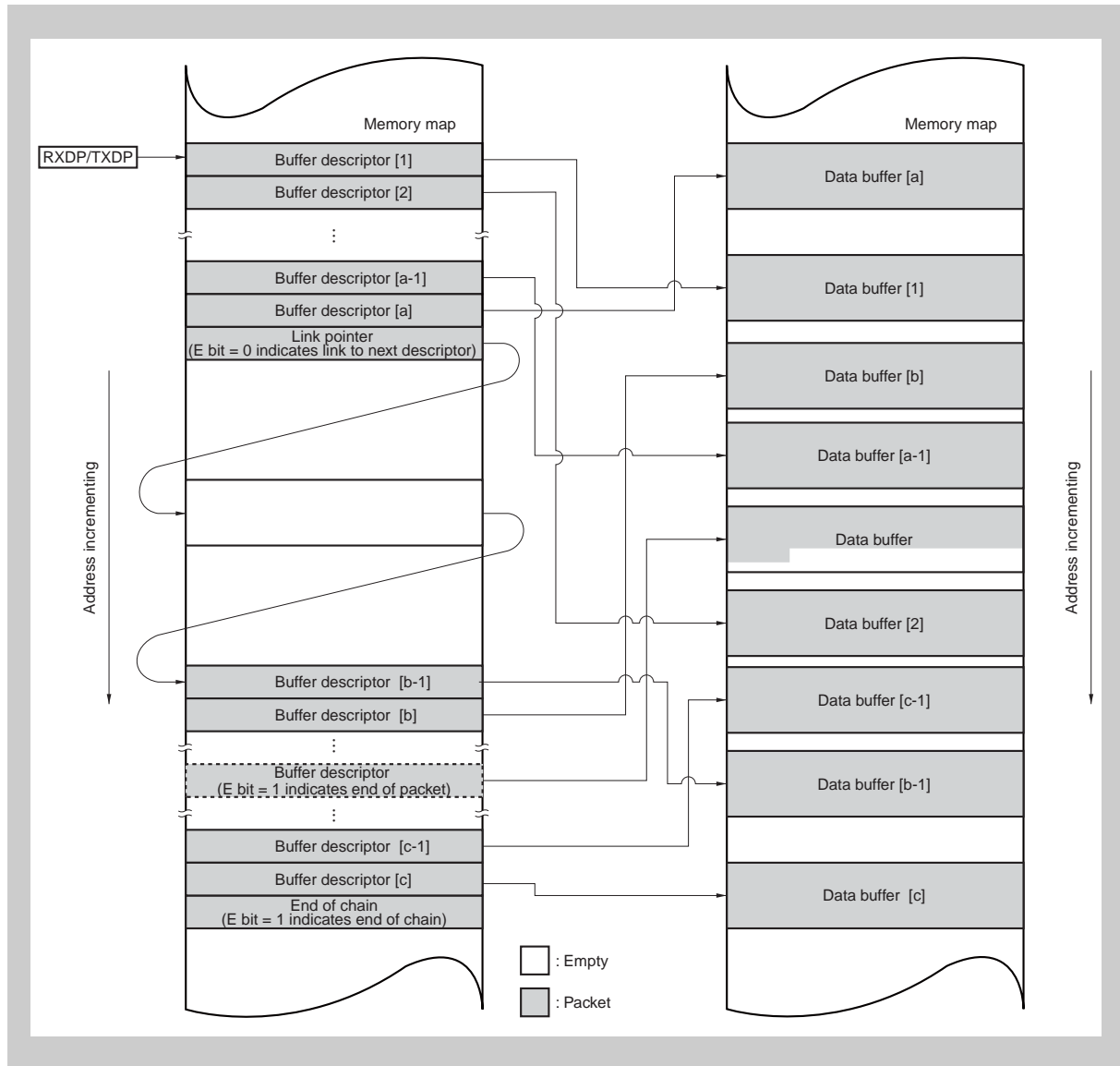


図 32-24 ディスクリプタ・チェーン概略図

あるバッファ・ディスクリプタの後に別のバッファ・ディスクリプタまたはリンク・ポインタが連続して次のメモリ・アドレス（+8）に配置されます。リンク・ポインタは次のバッファ・ディスクリプタのアドレスを指し示します。この組合せによりディスクリプタ・チェーンを構成します。

- エンド・オブ・チェーンを設定することで、ディスクリプタ・チェーンを終了します。

すべての受信パケットが保存される前にエンド・オブ・チェーンが検出されると、ETHAnTBEI（またはETHAnRBEI）ビットがセットされ、バッファ・アクセス・エラー割り込み INTETMTX（またはINTETMRX）が発生したことを通知します。

一つのディスクリプタ・チェーンに複数のパケットを保存することができます。

最後のリンク・ポインタで最初のバッファ・ディスクリプタのアドレスを指定することによって、リング状のディスクリプタ・チェーンを構成することも可能です。

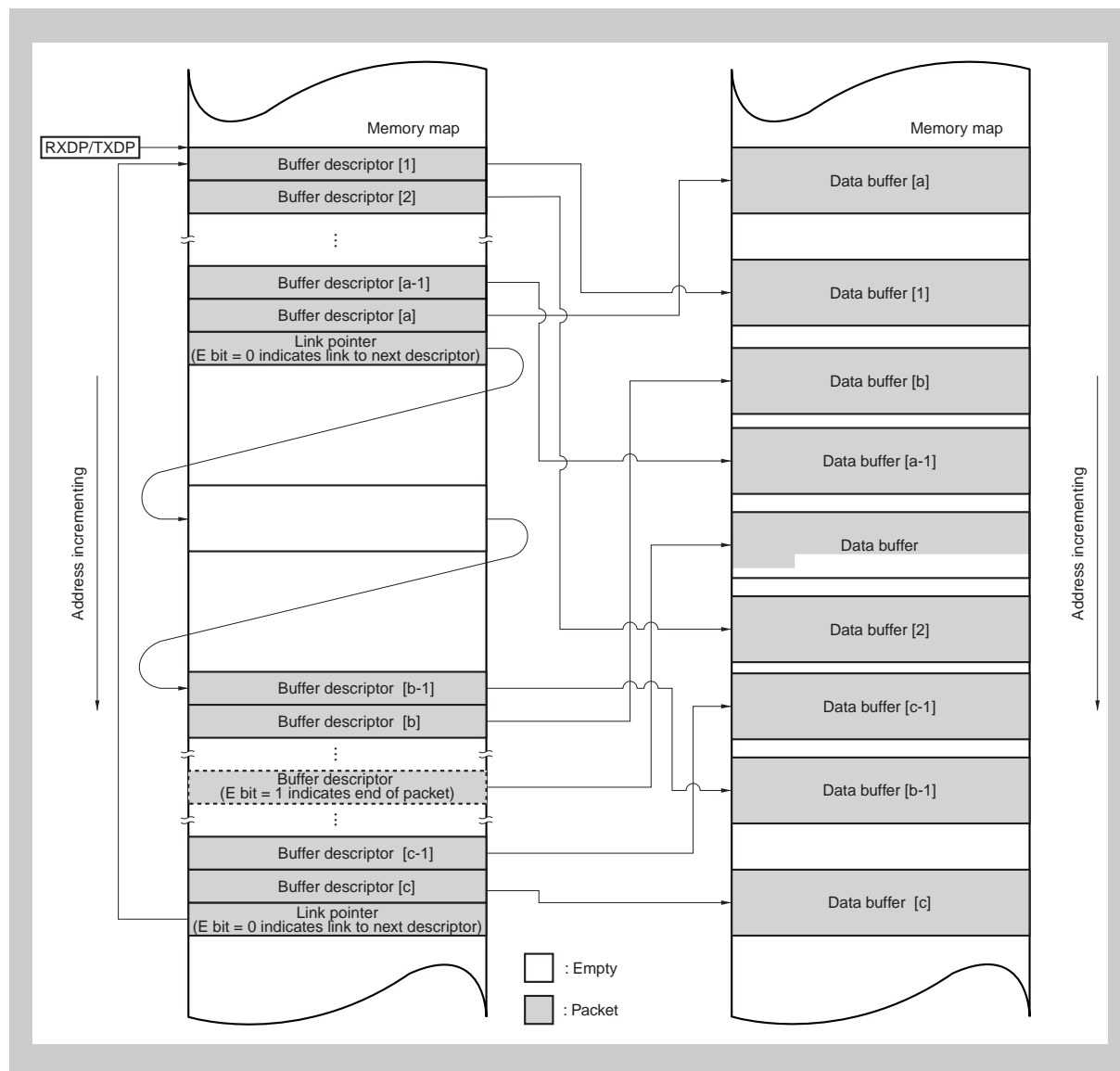


図 32-25 ディスクリプタ・チェーンによるリング・バッファの概略図

リンク・ポインタでディスクリプタ・チェーンの先頭を指定すると、リング・バッファになります。リング・バッファを構成した場合、Uビットがセットされたディスクリプタを読み込むと、イーサネット・コントローラはエンド・オブ・チェーン検出時と同様に RECI/TECI 割り込みを発生して、DMA を停止します。

**注意** Uビットの扱いについて

Uビットがセットされた送信ディスクリプタは、そのディスクリプタの処理が完了していますので、CPUはUビットをクリアして新しいディスクリプタを設定することができます。しかし、受信ディスクリプタでは、Uビットがセットされていても、後で Status Write Back やエラー発生によりディスクリプタが更新されることがありますので、パケット受信の完了を確認しないとディスクリプタを新しく設定することができません。ただし、Eビットがセットされていればパケットの受信が完了しているので、そのディスクリプタ・チェーンを新しいディスクリプタに設定することができます。

図 32-26 「ディスクリプタ・チェーンの構成例 (パケット受信時)」では、受信時におけるディスクリプタ・チェーンの使用例を示しています。

ソフトウェアでコア・ファンクション設定レジスタ (ETHAnMODE) の ETHAnRXS ビットを設定すると、受信ディスクリプタ・ポインタ (ETHAnRXDP) で示されるアドレス (0F19 0400<sub>H</sub>) から先頭ディスクリプタが読み込まれ、受信ディスクリプタの解析が開始されます。最初のバッファ・アドレス・ポインタ (0F18 4001<sub>H</sub>) が DMA 転送開始アドレスとして指定され、FIFO の受信データがバッファ A に転送されます。

引き続きデータを受信してバッファ A が一杯になると、次のディスクリプタ (0F19 0408<sub>H</sub>) が読み込まれ、リンク・アドレス・ポインタ (0F19 0500<sub>H</sub>) で示されるそのディスクリプタのバッファ・アドレス・ポインタ (0F18 4803<sub>H</sub>) が DMA 転送開始アドレスとして指定され、その後 FIFO の受信データがバッファ C に転送されるようになります。

最終ディスクリプタの E ビットおよび U ビットが設定され、Size フィールドに転送されたデータの数が入力・バックされます。

すべてのパケット・データが転送されると、最初のディスクリプタの U ビットと S ビットが設定され、受信ステータス情報が Status (A) フィールドに入力・バックされます。



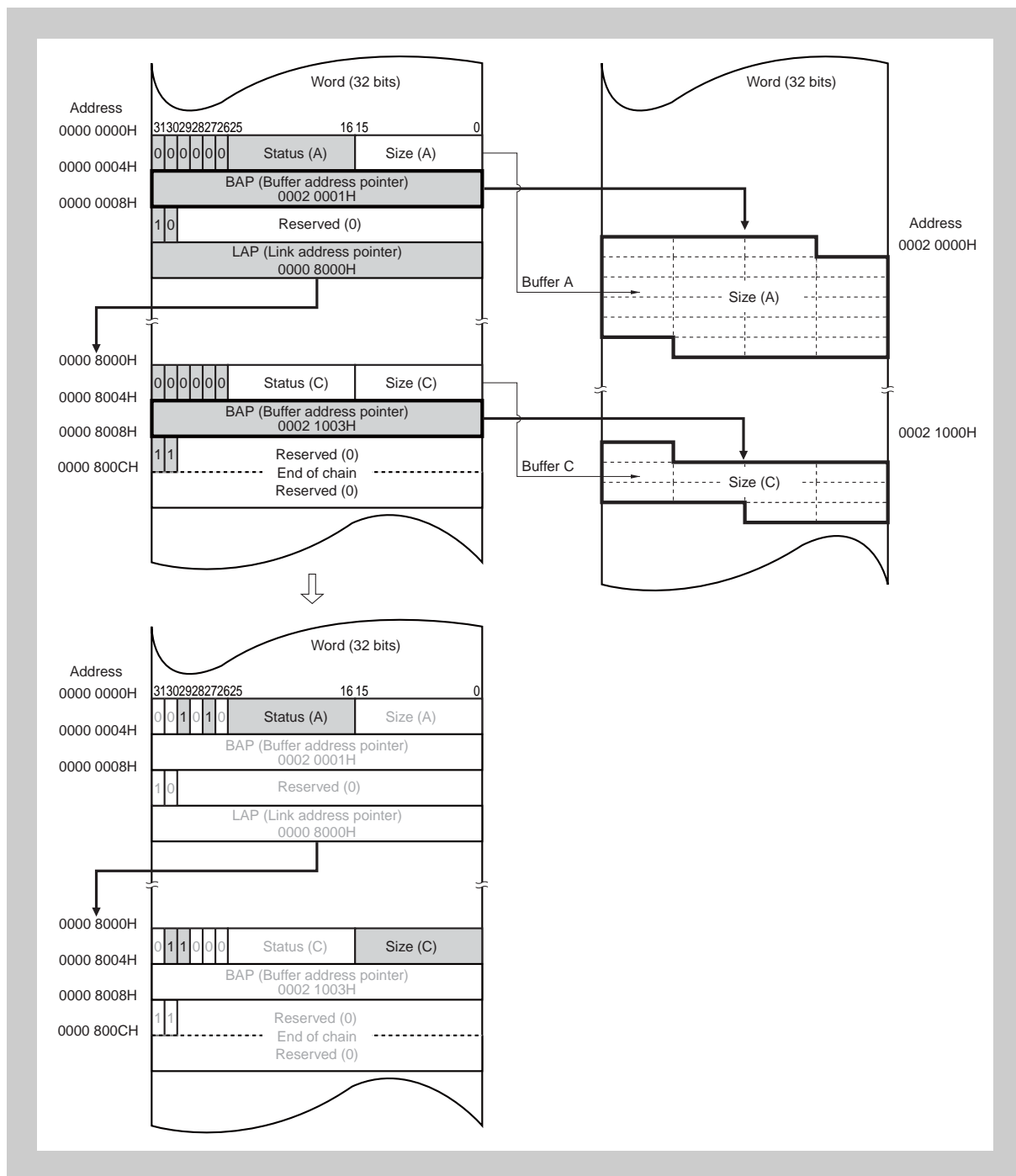


図 32-26 ディスクリプタ・チェーンの構成例 (パケット受信時)

(9) ディスクリプタ・メカニズムによる転送

データは、ディスクリプタ・メカニズムを使用することにより、簡単に送受信することができます。

データは、次のように、CPUのディスクリプタ・チェーン・コントロールによって自動的に転送されます。

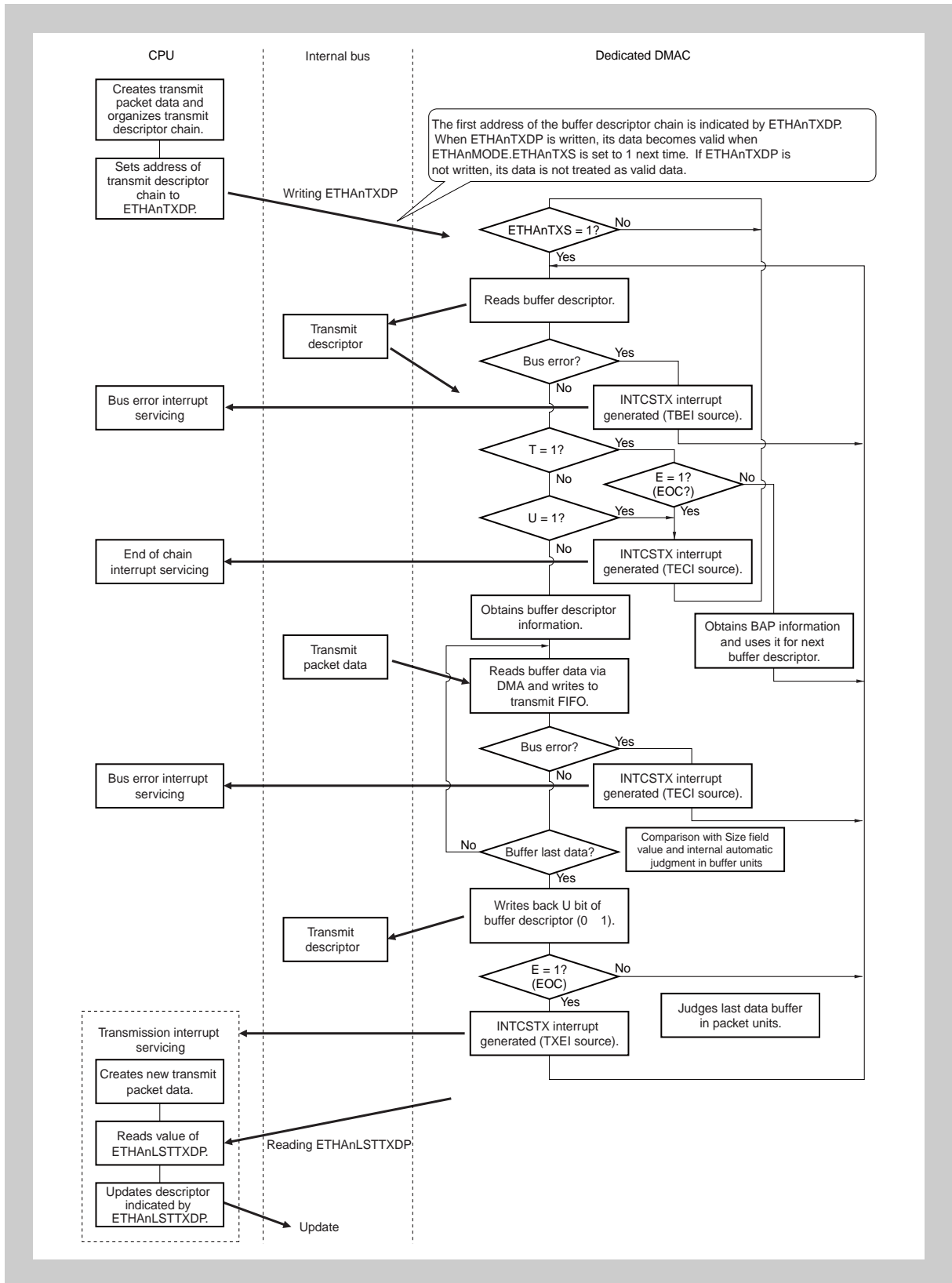


図 32-27 データ転送フロー (送信時)

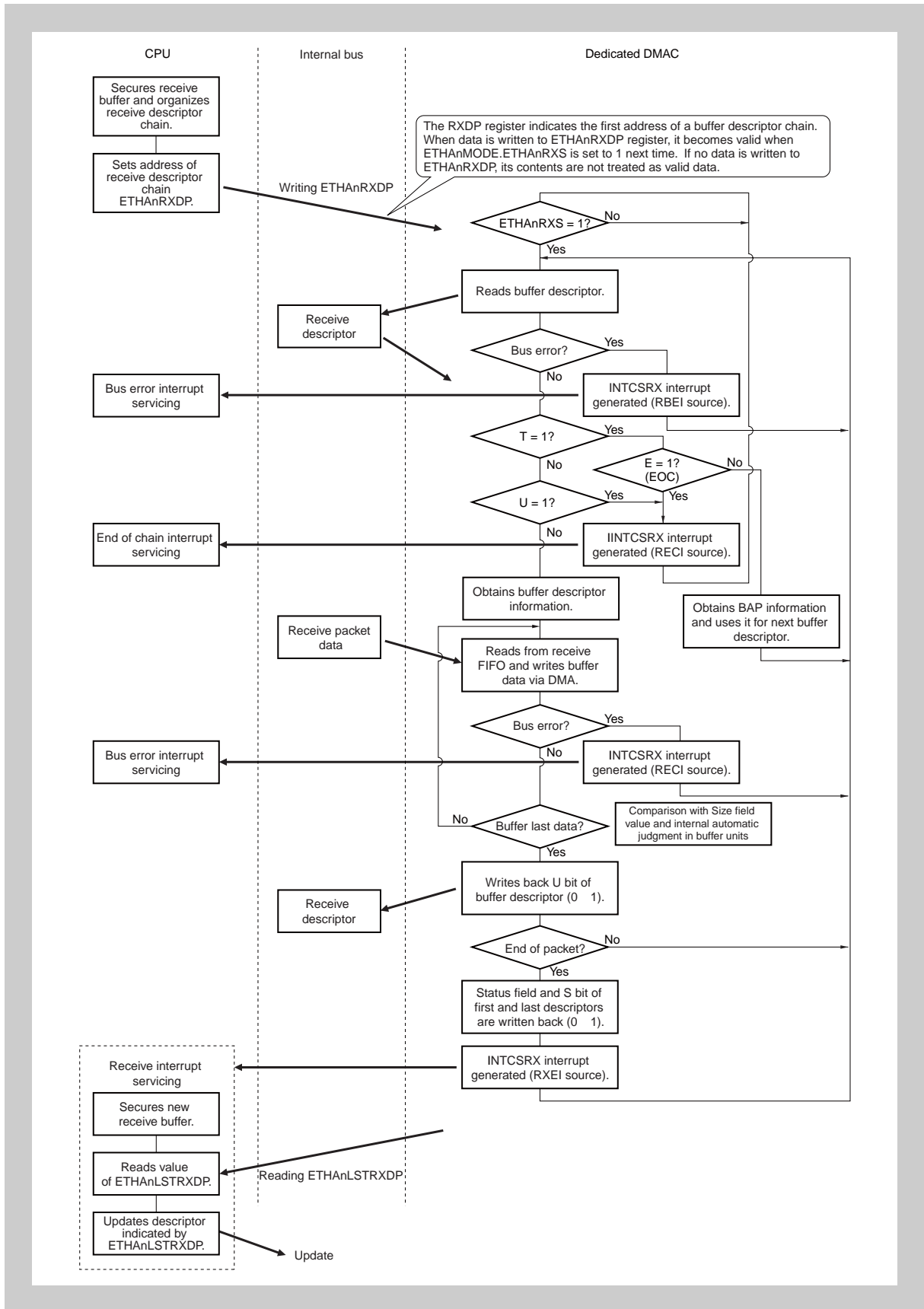


図 32-28 データ転送フロー (受信時)

**(10) バイト・アライメントとバウンダリ**

ディスクリプタはワード・アライメントされている必要がありますが、データ・バッファはバイト・アライメントされたアドレスに設定することができます。

イーサネット・コントローラはアドレスを自動判別してワード境界までシングル転送、バースト境界まで不定長のワード転送を行い、その後、バースト転送を行います。

## 32.7 受信チェックサム機能

イーサネット・コントローラは、受信チェックサム・ユニットの機能により、受信チェックサム機能があります。

受信チェックサム機能のオン/オフは、ETHAnTRANSCTL レジスタの ETHAnRXCHKSMEN ビットの設定で行います。

チェックサムは受信データの最後に追加されます。受信データは、パケット長+2バイトとなりますので、十分な領域の確保をしてください。

チェックサム機能が有効な場合は、受信フレームの MAC ヘッダ（先頭 14 バイト）と CRC（末尾 4 バイト）を除いた、すべての部分（ペイロード）をチェックサム計算の対象とします。計算対象のバイト数が奇数の場合には、最後のバイトに 00H を追加してチェックサムの計算を行います。

チェックサム対象の最小受信パケット長は 19 バイト（ペイロード=1 バイト）です。受信パケット長が 18 バイト（ペイロード=0 バイト）以下の場合には、チェックサムは 0 を出力します。ただしレングス情報は 2 バイト増えます。

ETHAnRXCHKSMEN ビットは受信フレーム転送停止を確認して変更してください。

### 32.7.1 ソフトウェア上の処理

チェックサム計算はパケットの先頭から 14 バイトは MAC ヘッダとしてあつかい、必ずチェックサム計算から除かれます。15 バイト目から計算が始まることとなります。VLAN やヒュージ・フレームなどのように MAC ヘッダが 14 バイトを越える場合は、ソフトウェアでの補正が必要です。

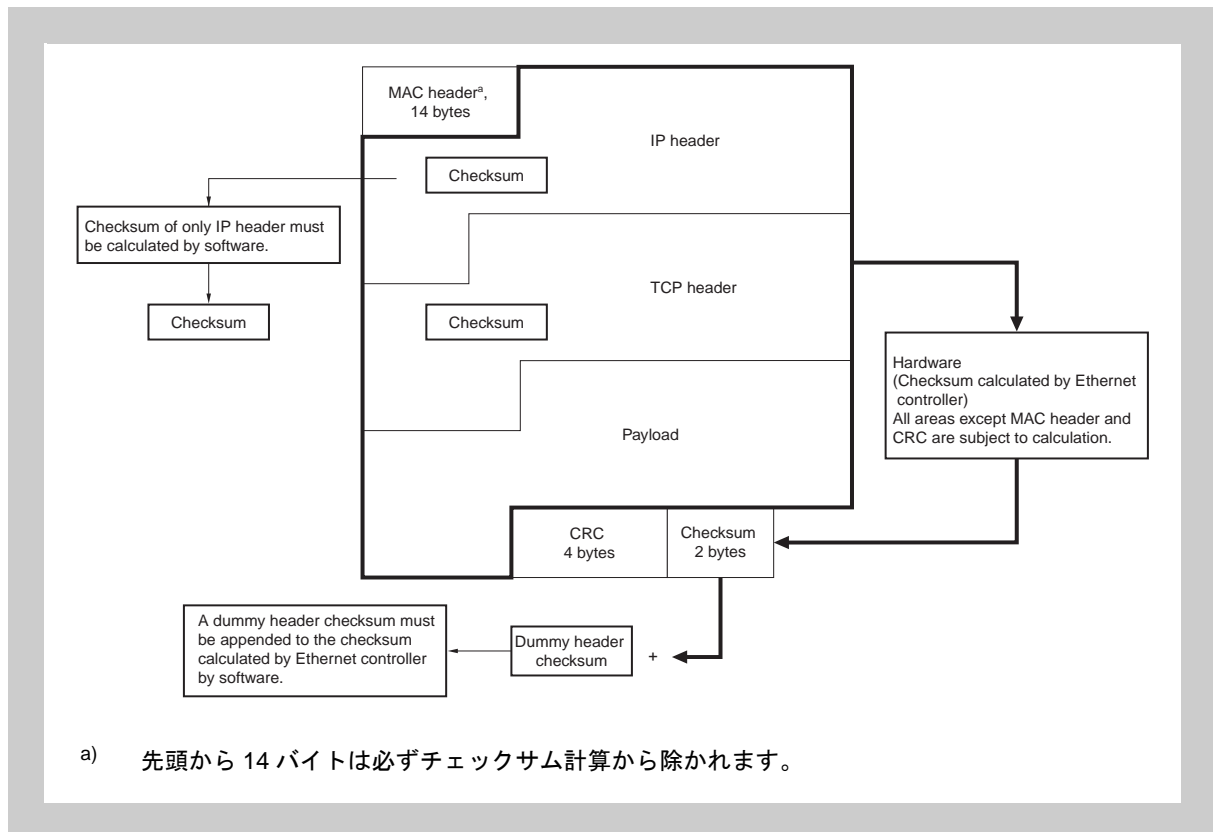


図 32-29 チェックサム対象

また、最小パケット長を 64 バイトとするために、不足分をパディングする場合、多くのシステムでは 00<sub>H</sub> でパディングしますが、システムにより特定のコードでパディングされる場合があります。この場合は、パディング・データを含めてチェックサム計算が行われるため、計算結果とヘッダに含まれるチェックサムと一致しくなくなります。この場合は、ソフトウェアによりパディング・データ分のチェックサムを補正する必要があります。

**注意** RFC1071 より、チェックサムを計算する際にデータの並びがビッグ・エンディアンかリトル・エンディアンかに関わらず、チェックサム結果を同一のエンディアンで比較すれば結果の比較が可能です。

## 32.8 送信チェックサム

イーサネット・コントローラには送信チェックサム機能があります。この機能には専用 DMAC（送信チェックサム DMAC）が対応しており、この DMAC は、内部のイーサネット・コントローラ DMAC から独立して内部システム・バスにアクセスします。

送信チェックサムのアルゴリズムは RFC1071 に準拠しています。ペイロードは 32 ビット幅で付加され、データの最後に 2 バイト・チェックサムが出力されます。

チェックサム計算で使用する最小送信ペイロードは 1 バイトで、最大ペイロードは、IEEE802.3 で定義されているとおり 1,500 バイトです。

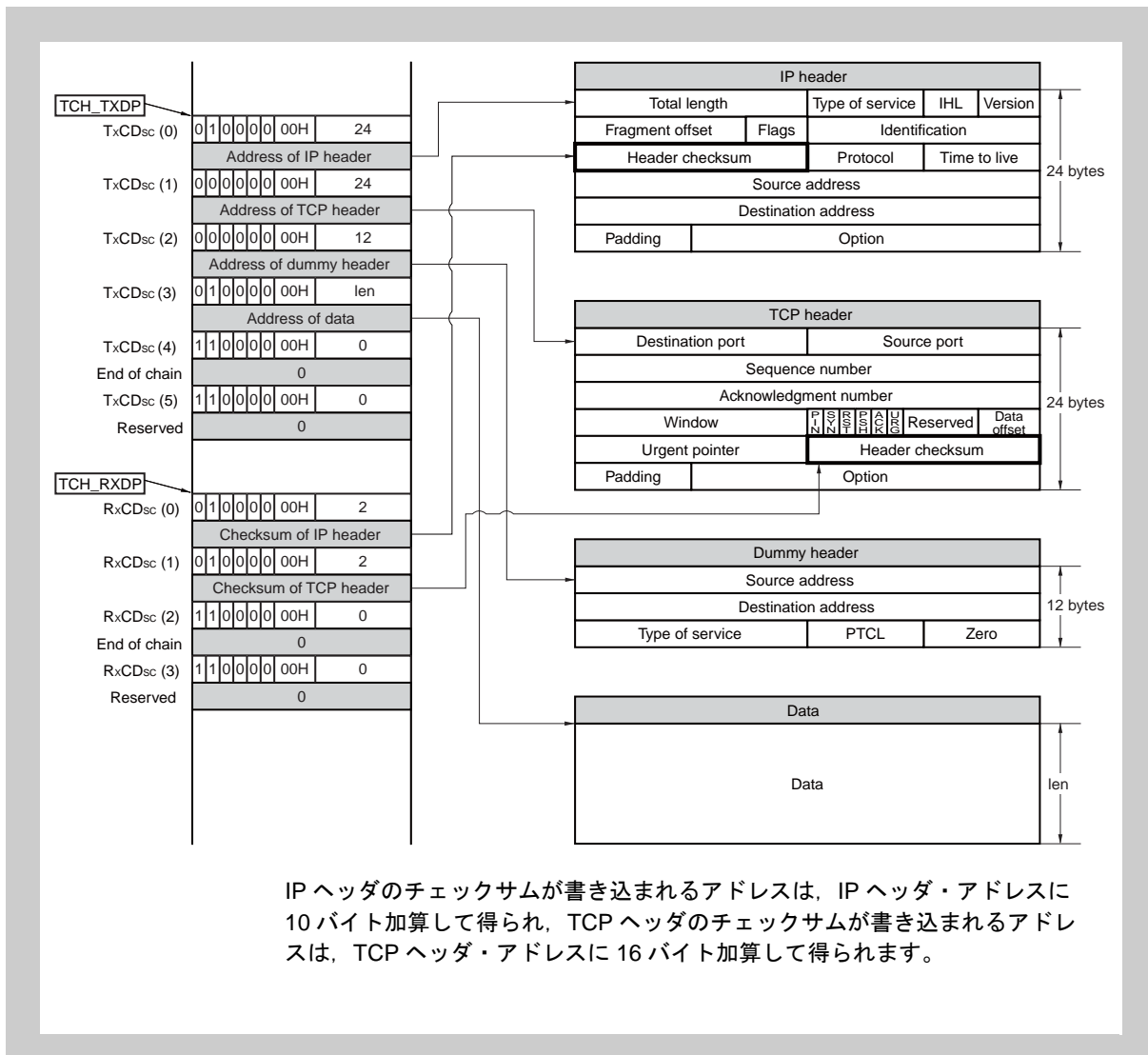
チェックサムが計算され、結果はリトル・エンディアン・フォーマットで記述されます。

### 32.8.1 送信チェックサム・ディスクリプタの構成

送信チェックサムの計算は、ディスクリプタによって制御されます。

ディスクリプタの構成によって、IP ヘッダおよび TCP ヘッダを別に計算できる他、一度に計算することもできます。

次に、IP ヘッダおよび TCP ヘッダを一度に計算する場合のディスクリプタ構成を示します。



IP ヘッダのチェックサムが書き込まれるアドレスは、IP ヘッダ・アドレスに 10 バイト加算して得られ、TCP ヘッダのチェックサムが書き込まれるアドレスは、TCP ヘッダ・アドレスに 16 バイト加算して得られます。

図 32-30 送信チェックサム・ディスクリプタの構成



## 32.9 注意事項

### 32.9.1 FIFO の注意事項

イーサネット・コントローラは、内部の FIFO により次の注意があります。

表 32-122 送信 FIFO の制限

最大 FIFO 内保存容量	DMA 転送条件	リトライ／アポート	PHY への送信条件	特徴	注意点
2044 バイト以下	FIFO 内のデータが 1536 バイト未満 <sup>a)</sup>	衝突検出時に、自動で再送／アポートを行う	FIFO 内に 1 パケット以上パケットが存在する場合	アンダーランしない再送が可能	送信パケット長は 1536 バイト以下の制限がある

- a) FIFO 内には、容量が許す限り、複数のパケットを格納できますが、送信 FIFO 内のデータが 1536 バイトになると、送信 DMA が停止して送信 FIFO オーバフローを回避します。しかし、イーサネット・コントローラが送信を開始するのは、FIFO 内に 1 パケット分のデータを格納したあとです。そのため、1 パケットの長さが 1536 バイトを越えると、送信 FIFO がロックします。使用する 1 パケットのサイズは、必ず規格値（非 VLAN 時 1518 バイト以下、VLAN 時 1522 バイト以下）を守ってください。

表 32-123 受信 FIFO の制限

最大 FIFO 内保存容量	DMA 転送条件	ポーズ・コントロール・フレームの送信条件 e <sup>a)</sup>	特徴	注意点
2036 バイト以下	受信 FIFO 内に 1 パケット以上パケットが存在する場合	ポーズ・コントロール・フレームの送信 : FIFO 内のデータが ETHAnFLOWTHR[10:0] 以上 0 ポーズ・コントロール・フレームの送信 : FIFO 内のデータが ETHAnZPTHR[10:0] 以下	すべてのエラー・パケットを破棄可	受信パケット長に 2036 バイト以下の制限がある

- a) ポーズ・コントロール・フレームによる制御は、受信オーバフローを完全に防止するものではありません。受信 FIFO がオーバフローすると、受信できなかったパケットは破棄されます。

## 第33章 乱数ジェネレータ A (RNGA)

本章では、乱数ジェネレータ A (RNGA) 全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特性について説明します。

それ以降の節では、共通の特徴について説明します。

### 33.1 V850E2/Fx4-H RNGA の特徴

**チャンネル数** 本マイクロコントローラは以下のチャンネル数の乱数ジェネレータ A を搭載しています。

表 33-1 RNGA のインスタンス数

乱数ジェネレータ A	
インスタンス数	1
名称	RNGA0

**n の意味** 本章では、乱数ジェネレータ A の各チャンネルを「n」(n=0) で識別します。たとえば、RNGAn 乱数レジスタは RNGAnRNGL と記述します。

**レジスタ・アドレス** RNGAn レジスタのアドレスは、それぞれのベース・アドレス <RNGAn\_base> からのオフセットで表されます。各 RNGAn のレジスタ・ベース・アドレス <RNGAn\_base> を以下の表に示します。

表 33-2 レジスタ・ベース・アドレス <RNGAn\_base>

RNGAn のチャンネル	<RNGAn_base> アドレス
RNGA0	FF82 A000 <sub>H</sub>

**クロック供給** 乱数ジェネレータ A は3つのクロック入力を供給します。

表 33-3 RNGAn のクロック供給

RNGAn のチャンネル	RNGAn のクロック	接続先
RNGA0	PCLK	クロック・コントローラの CKSCLK_101
	OSCIN0	高速内蔵発振回路のクロック発生回路 (8 MHz)
	OSCIN1	低速内蔵発振回路のクロック発生回路 (240 kHz)

## 33.2 機能の概要

**機能の概要** 乱数ジェネレータは以下の機能、特徴を持っています。

- FIPS テストおよび Maurer テストに合格する乱数シーケンスを生成
- 乱数フォーマット：16 ビット
- ハードウェアによってシードを生成  
シードとは、乱数シーケンスの開始値です。

## 33.3 機能の説明

乱数ジェネレータは RNGAnRNG レジスタに 16 ビットの乱数を格納します。

### 33.3.1 LFSR 品質基準

生成される乱数のシーケンスは、LFSR (Linear Feedback Shift Register) 漸化式を使用し、以下の統計テストに合格しています。

表 33-4 統計テストに関する参考資料

テスト	参考資料
Maurer テスト	Ueli M. Maurer が「Journal of Cryptology, vol.5, no 2, 1992, page 89-105」で提案した「ランダム・ビット・ジェネレータ用の統一テスト」。 6,650 万個の連続する 16 ビット値に対して Maurer テストを実行し、 $p = 0.001$ になれば合格です。
FIPS テスト	統計的乱数生成テスト（「FIPS PUB 140-2 Security Requirements for Cryptographic Modules, page 35, section 4.9.1 Power-up tests」に記載されているもの）。 この統計的乱数生成テストは、パワー・アップ・テスト（「FIPS PUB 140-2, page 34, section 4.9.1 Power-up tests」に記載されているもの）としてはマクロ内部に実装されていません。パワー・アップ・テストが必要な場合は、ソフトウェアによって実行する必要があります。

### 33.3.2 RNGA のステータス

新しい乱数が生成されると、ステータス・ビット RNGAnRNG.RNGAnRNA がセットされます。乱数は RNGAnRNG.RNGAnRNA = 1 であるときにのみ利用できます。

RNGAnRNG.RNGAnRNA = 0 である場合は、最後の読み出しアクセスで取得された乱数が再び読み出されます。

RNGAnRNG.L.RNGAnRN[15:00] を介して乱数を読み出すと、ステータス・ビット RNGAnRNG.H.RNGAnRNA は自動的に 0 にクリアされます。

## 33.4 レジスタ

本節では RNGA のレジスタについて説明します。

### 33.4.1 RNGA のレジスタの概要

乱数ジェネレータ A は以下のレジスタによって制御されます。

表 33-5 RNGA レジスタの概要

レジスタ名	略号	アドレス
乱数レジスタ	RNGAnRNGL	<RNGAn_base>
ステータス・レジスタ	RNGAnRNGH	<RNGAn_base> + 2 <sub>H</sub>

<RNGAn\_base> RNGAn のベース・アドレス <RNGAn\_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

### 33.4.2 RNG レジスタの詳細

#### (1) RNGAnRNGL - 乱数レジスタ

本レジスタには乱数が格納されます。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <RNGAn\_base>

**初期値** リセット入力があると、レジスタの内容は不定になります。

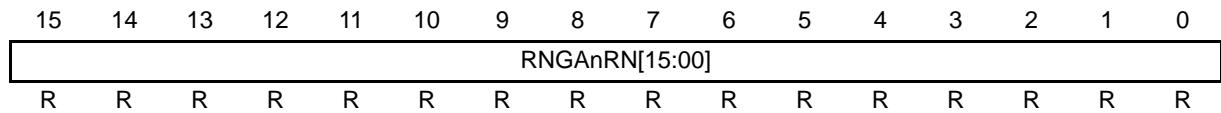


表 33-6 RNGAnRNGL レジスタの内容

ビット位置	ビット名	機能
15-0	RNGAn RN[15:00]	現在の乱数を格納します。

**(2) RNGAnRNGH - ステータス・レジスタ**

本レジスタはステータス・ビットを示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <RNGAn\_base> + 2<sub>H</sub>

**初期値** 0000<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNGAnRNA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33-7 RNGAnRNGH レジスタの内容

ビット位置	ビット名	機能
15	RNGAnRNA	新しい乱数が利用可能かどうかを示します。 0：利用可能な新しい乱数はありません。最後の乱数が再び読み出されます。 1：新しい乱数が利用可能です。 乱数 RNGAnRN[15:00] が読み出されると、RNGAnRNGH.RNGAnRNA は自動的に0にクリアされます。

## 第34章 キー・リターン機能 (KR)

本章では、キー・リターン機能全般について説明します。

第1節では、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特性について説明します。

それ以降の節では、共通の特徴について説明します。

### 34.1 V850E2/Fx4-H KR の機能

**チャンネル数** 本マイクロコントローラは以下のチャンネル数のキー・リターン機能を搭載しています。

表 34-1 KR のチャンネル数

キー・リターン機能	
チャンネル数	1
名称	KR0

**レジスタ・アドレス** KR0 レジスタのアドレスは、ベース・アドレス <KR0\_base> からのオフセットで表されます。  
KR0 のレジスタ・ベース・アドレス <KR0\_base> を以下の表に示します

表 34-2 レジスタ・ベース・アドレス <KR0\_base>

チャンネル	<KR0_base> アドレス
KR0	FF82 B000 <sub>H</sub>

**クロック供給** キー・リターン機能は1つのクロック入力を供給します

表 34-3 KR0 のクロック供給

チャンネル	KR0 のクロック	接続先
KR0	PCLK	クロック・コントローラの CKSCLK_A02

**割り込み** キー・リターン機能は以下の割り込み要求を生成できます

表 34-4 KR0 の割り込み要求

KR0 の信号	機能	接続先
KR0TIKR	キー割り込み	割り込みコントローラ INTKR0

**I/O 信号** キー・リターン機能の I/O 信号を以下の表に示します。

表 34-5 KR0 の I/O 信号

KR0 の信号	機能	接続先
KR0TPKR7 ~ KR0TPKR0	キー入力信号	ポート KR0I0 ~ KR0I7



## 34.2 機能の概要

**機能の概要** キー・リターン機能は以下の特徴を持っています。

8つのキー入力ピン (KRnTPKR0 ~ KRnTPKR7) のいずれかにロウ・レベルを入力することによってキー割り込み要求信号 (KRnTIKR) を生成することができます。

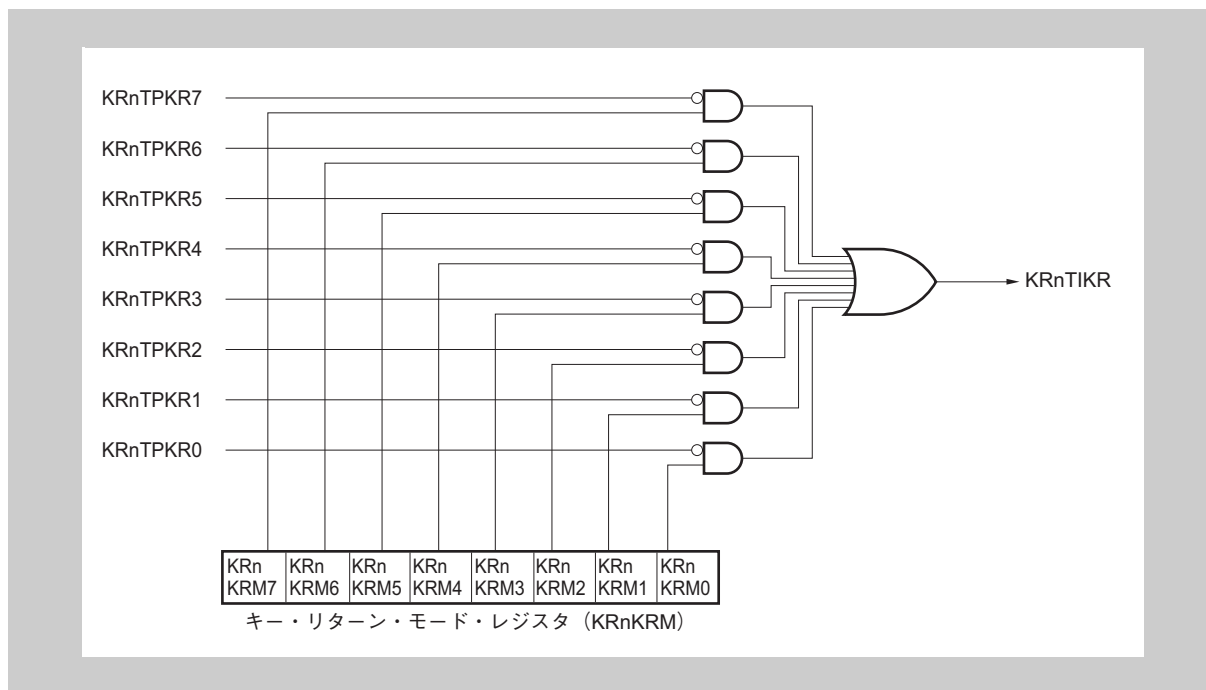


図 34-1 キー・リターン機能のブロック図

### 34.3 機能の説明

#### 34.3.1 割り込み要求 KRnTIKR

ピン KRnTPKR[7:0] への入力が許可されているときに (KR080KRM.KRM[7:0]=1), キー入力ピン KRnTPKR[7:0] へロウ・レベルが入力されると, 割り込み要求 KRnTIKR が発生します。

以下の図は割り込み要求が生成される仕組みを示しています。

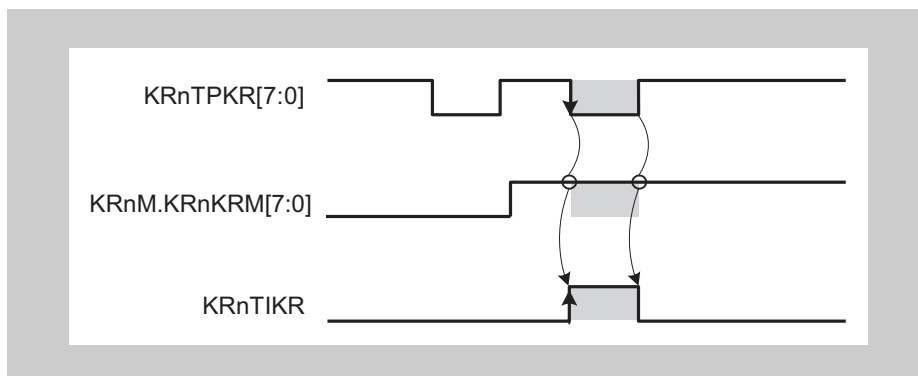


図 34-2 割り込み要求の生成

- 注意**
1. キー入力ピン KRnTPKR[7:0] のいずれかにロウ・レベルが入力されたときに, 別のキー入力がハイ・レベルからロウ・レベルへ変化した場合でも, KRnTIKR は生成されません。
  2. KRnM.KRnKRM[7:0] の設定変更と同時にキー入力値が変化すると, 意図しないキー割り込み要求 KRnTIKR が生成されることがあります。したがって, KR0M.KR0KRM[7:0] を 0 から 1 へ, または 1 から 0 へ変更する前に, 割り込みコントローラの KR0TIKR をマスク (禁止) してください。

## 34.4 レジスタ

本節ではキー・リターン機能のレジスタについて説明します。

### 34.4.1 キー・リターン機能レジスタの概要

キー・リターン機能は以下のレジスタによって制御され、操作されます。

表 34-6 キー・リターン機能のレジスタの概要

レジスタ名	略号	アドレス
キー・リターン・モード・レジスタ	KR080KRM	<KR0_base>

<KR0\_base> KR0 の <KR0\_base> は、本章第 1 節のキーワード「レジスタ・アドレス」で定義されています。

### 34.4.2 キー・リターン機能レジスタの詳細

#### (1) KR080KRM - キー・リターン・モード・レジスタ

本レジスタでは、キー入力信号の検出を許可または禁止します。

**アクセス** 8ビット単位または1ビット単位でリード/ライト可能です。

**アドレス** <KR0\_base>

**初期値** 00<sub>H</sub> 本レジスタは各種リセットにより初期化されます。

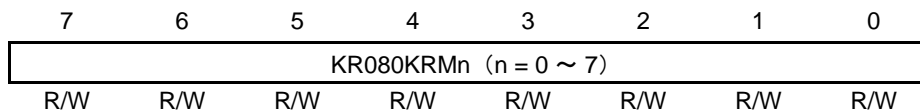


表 34-7 KR080KRM レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	KR080 KRMn	キー入力信号の検出を許可または禁止します。 0 : 禁止 1 : 許可

## 第35章 A/Dコンバータ (ADCA)

この章では、A/Dコンバータ A の一般的な内容について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特徴について説明します。

以降の節で、ADCA 搭載製品に共通の特徴について説明します。

### 35.1 V850E2/Fx4-H ADCA の特徴

**チャンネル** この製品は次のチャンネル数の A/D コンバータ A を搭載しています。

表 35-1 ADCA のユニット

A/D コンバータ A	V850E2/FK4-H	V850E2/FL4-H
ユニット数	2	
名称	ADCA0, ADCA1	

**n の意味** この章では、ADCA の各ユニットを「n」で識別します。たとえば、ADCA<sub>n</sub>、ADCA<sub>n</sub> の A/D コンバータ・モード制御レジスタ 0 (ADCA<sub>n</sub>CTL0) (n = 0, 1) のように記述しています。

**i の意味** A/D コンバータには 3 つの A/D 変換チャンネル・グループ (略号は CG) があります。本章では、各チャンネル・グループを「i」(i = 0-2) で識別します。たとえば、A/D コンバータ割り込み制御レジスタ i (ADCA<sub>n</sub>IOC<sub>i</sub>) のように記述しています。

**m の意味** 各 A/D コンバータには複数の変換チャンネルがあります。この章では、各 ADCA の各チャンネルを「m」で識別します。たとえば、A/D コンバータ変換結果レジスタ m (ADCA<sub>n</sub>CmCR) のように記述しています。各デバイスの ADCA のチャンネル数を次の表に示します。

表 35-2 ADCA チップ・セレクト・インデックス

ADCA <sub>n</sub>	V850E2/FK4-H	V850E2/FL4-H
ADCA0	m = 00-23	m = 00-23
ADCA1	m = 00-15	m = 00-23

**x の意味** A/D コンバータには複数の S/H 機能を搭載したチャンネルがあります。この章では ADCA の各チャンネルを「x」(x = 0-5) で識別します。

**レジスタ・アドレス** ADCA<sub>n</sub> レジスタのアドレスは、それぞれのベース・アドレス <ADCA<sub>n</sub>\_base> からのオフセットで示します。  
各 ADCA<sub>n</sub> のレジスタ・ベース・アドレス <ADCA<sub>n</sub>\_base> を次の表に示します。

表 35-3 レジスタ・ベース・アドレス <ADCA<sub>n</sub>\_base>

ADCA <sub>n</sub>	<ADCA <sub>n</sub> _base> アドレス
ADCA0	FF81 D000 <sub>H</sub>
ADCA1	FF81 E000 <sub>H</sub>

**クロック供給** A/D コンバータは、次のクロックを供給します。

表 35-4 ADCA<sub>n</sub> クロック供給

ADCA <sub>n</sub>	ADCA <sub>n</sub> クロック源	接続先
ADCA0	PCLK	クロック・コントローラ CKSCLK_012
ADCA1	PCLK	クロック・コントローラ CKSCLK_122

**注意** ADCA システム・クロック ADCATCLK は特定の範囲内である必要があります。詳細は、(6) 「クロック・ドメイン ISO0\_12」 および (14) クロック・ドメイン ISO1\_22 を参照してください。

**割り込みと DMA** A/D コンバータは次の割り込み要求と DMA 要求を発生できます。

表 35-5 ADCA<sub>n</sub> 割り込み要求と DMA 要求 (1/2)

ADCA <sub>n</sub> 信号	機能	接続先
<b>ADCA0:</b>		
INTADCA0T0	変換 CG0 の終了	割り込みコントローラ INTADCA0I0 DMA コントローラ・トリガ 38 DTS コントローラ・トリガ 7
INTADCA0T1	変換 CG1 の終了	割り込みコントローラ INTADCA0I1 DMA コントローラ・トリガ 39 DTS コントローラ・トリガ 8
INTADCA0T2	変換 CG2 の終了	割り込みコントローラ INTADCA0I2 DMA コントローラ・トリガ 40 DTS コントローラ・トリガ 56
INTADCA0LLT	最後の変換	割り込みコントローラ INTADCA0LLT DMA コントローラ・トリガ 41 DTS コントローラ・トリガ 57
INTADCA0TERR	エラー割り込み	割り込みコントローラ INTADCA0ERR

表 35-5 ADCAn 割り込み要求と DMA 要求 (2/2)

ADCAn 信号	機能	接続先
<b>ADCA1:</b>		
INTADCA1T0	変換 CG0 の終了	割り込みコントローラ INTADCA1I0 DMA コントローラ・トリガ 67 DTS コントローラ・トリガ 9
INTADCA1T1	変換 CG1 の終了	割り込みコントローラ INTADCA1I1 DMA コントローラ・トリガ 68 DTS コントローラ・トリガ 10
INTADCA1T2	変換 CG2 の終了	割り込みコントローラ INTADCA1I2 DMA コントローラ・トリガ 69 DTS コントローラ・トリガ 11
INTADCA1TLLT	最後の変換	割り込みコントローラ INTADCA1LLT
INTADCA1TERR	エラー割り込み	割り込みコントローラ INTADCA1ERR

**ADCA ハードウェア・リセット** A/D コンバータとレジスタは、次に示すリセット信号で初期化します。

表 35-6 ADCAn リセット信号

ADCAn	リセット信号
ADCA0, ADCA1	リセット・コントローラ SYSRES

**入出力信号** A/D コンバータの入出力信号を次の表に示します。

表 35-7 ADCAn 入出力信号

ADCAn 信号	機能	接続先
<b>ADCA0:</b>		
ANIm	アナログ入力	ポート ADCA0Im
ADCATTRGi	CGi のハードウェア・トリガ	ハードウェア・トリガ拡張 i, 35.1.1 「ハードウェア・トリガ拡張」を参照してください。
AVREFP	正相アナログ基準電圧	ポート A0VREFP
AVREFM	逆相アナログ基準電圧	ポート A0VREFM
<b>ADCA1:</b>		
ANIm	アナログ入力	ポート ADCA1Im
ADCATTRGi	CGi のハードウェア・トリガ	ハードウェア・トリガ拡張 i, 35.1.1 「ハードウェア・トリガ拡張」を参照してください。
AVREFP	正相アナログ基準電圧	ポート A1VREFP
AVREFM	逆相アナログ基準電圧	ポート A1VREFM

**一斉サンプリング** 次の入力チャンネルでは、複数の A/D コンバータ入力信号を一斉にサンプリングすることができます。

表 35-8 一斉サンプリング・チャンネル

ADCA <sub>n</sub>	一斉サンプリング・チャンネル
ADCA0	チャンネル n = 0-5
ADCA1	—



### 35.1.1 ハードウェア・トリガ拡張

A/Dコンバータのハードウェア・トリガ入力 ADCATTRGi は、ハードウェア・トリガ拡張モジュールを備えており、最大 16 の信号 ADCAnTTINi[15:00] の A/D 変換プロセスをトリガできます。

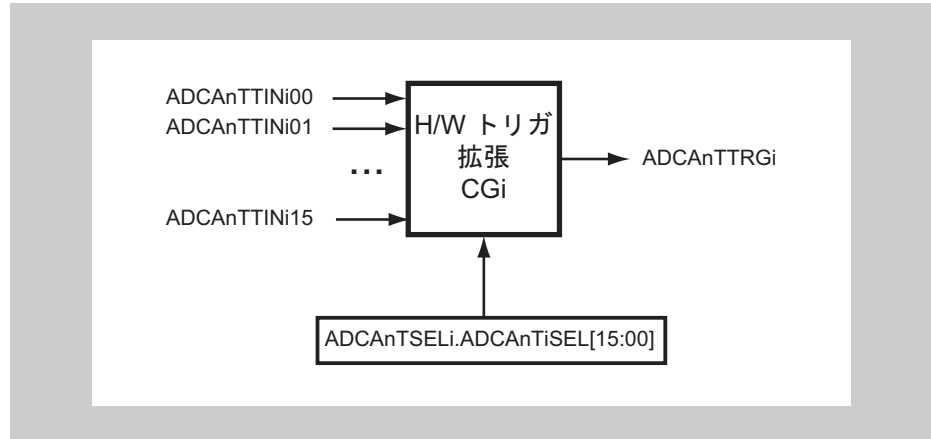


図 35-1 ハードウェア・トリガ拡張モジュール

#### (1) ADCAn ハードウェア・トリガの選択

アクティブなハードウェア・トリガの選択には、ADCAn レジスタの ADCAnTSELi.ADCAnTiSEL[15:00] ビットを使用します。

**注意** ADCAn ハードウェア・トリガ入力 ADCATTRGi ごとに唯一のハードウェア・トリガを選択できます。したがって、各 ADCAnTSELi レジスタの 2 つ以上のビットに “1” を同時に設定しないでください。

#### (2) ADCAn ハードウェア・トリガの設定

ADCAnTTRGi の立ち上がりエッジをハードウェア・トリガとして有効にするには ADCAnCTL1.ADCAnTiETS[1:0] を設定してください。

(3) ADCA<sub>n</sub> ハードウェア・トリガー一覧

表 35-9 ADCA0 ハードウェア・トリガの接続先 (1/2)

ADCA0 チャンネル・ グループ	トリガ入力信号			ADCA0 トリガ 信号
	名称	制御ビット	接続先	
CG0	ADCA0TTIN000	ADCA0TSEL0.ADCA0T0SEL[00]	Port ADCA0TRG0	ADCA0TTRG0
	ADCA0TTIN001	ADCA0TSEL0.ADCA0T0SEL[01]	Port INTP2	
	ADCA0TTIN002	ADCA0TSEL0.ADCA0T0SEL[02]	Port INTP5	
	ADCA0TTIN003	ADCA0TSEL0.ADCA0T0SEL[03]	PIC ADOPA0 ADCATTIN00	
	ADCA0TTIN004	ADCA0TSEL0.ADCA0T0SEL[04]	PIC ADOPA0 ADCATTIN01	
	ADCA0TTIN005	ADCA0TSEL0.ADCA0T0SEL[05]	INTTAUC2I15	
	ADCA0TTIN006	ADCA0TSEL0.ADCA0T0SEL[06]	INTTAUC3I15	
	ADCA0TTIN007	ADCA0TSEL0.ADCA0T0SEL[07]	INTTAUC4I15	
	ADCA0TTIN008	ADCA0TSEL0.ADCA0T0SEL[08]	INTTAUJ0I3	
	ADCA0TTIN009	ADCA0TSEL0.ADCA0T0SEL[09]	INTTAUJ1I3	
	ADCA0TTIN010	ADCA0TSEL0.ADCA0T0SEL[10]	INTENCA0I1	
	ADCA0TTIN011	ADCA0TSEL0.ADCA0T0SEL[11]	PMCATADTRG0	
	ADCA0TTIN012	ADCA0TSEL0.ADCA0T0SEL[12]	PMCATADTRG1	
	ADCA0TTIN013	ADCA0TSEL0.ADCA0T0SEL[13]	PMCATADTRG2	
	ADCA0TTIN014	ADCA0TSEL0.ADCA0T0SEL[14]	not connected	
ADCA0TTIN015	ADCA0TSEL0.ADCA0T0SEL[15]	not connected		
CG1	ADCA0TTIN100	ADCA0TSEL1.ADCA0T1SEL[00]	Port ADCA0TRG1	ADCA0TTRG1
	ADCA0TTIN101	ADCA0TSEL1.ADCA0T1SEL[01]	Port INTP1	
	ADCA0TTIN102	ADCA0TSEL1.ADCA0T1SEL[02]	Port INTP4	
	ADCA0TTIN103	ADCA0TSEL1.ADCA0T1SEL[03]	PIC ADOPA1 ADCATTIN00	
	ADCA0TTIN104	ADCA0TSEL1.ADCA0T1SEL[04]	PIC ADOPA1 ADCATTIN01	
	ADCA0TTIN105	ADCA0TSEL1.ADCA0T1SEL[05]	INTTAUC2I15	
	ADCA0TTIN106	ADCA0TSEL1.ADCA0T1SEL[06]	INTTAUC3I15	
	ADCA0TTIN107	ADCA0TSEL1.ADCA0T1SEL[07]	INTTAUC4I15	
	ADCA0TTIN108	ADCA0TSEL1.ADCA0T1SEL[08]	INTTAUJ0I3	
	ADCA0TTIN109	ADCA0TSEL1.ADCA0T1SEL[09]	INTTAUJ1I3	
	ADCA0TTIN110	ADCA0TSEL1.ADCA0T1SEL[10]	INTENCA0I1	
	ADCA0TTIN111	ADCA0TSEL1.ADCA0T1SEL[11]	PMCATADTRG0	
	ADCA0TTIN112	ADCA0TSEL1.ADCA0T1SEL[12]	PMCATADTRG1	
	ADCA0TTIN113	ADCA0TSEL1.ADCA0T1SEL[13]	PMCATADTRG2	
	ADCA0TTIN114	ADCA0TSEL1.ADCA0T1SEL[14]	TAPA0ADOUT0	
ADCA0TTIN115	ADCA0TSEL1.ADCA0T1SEL[15]	TAPA0ADOUT1		

表 35-9 ADCA0 ハードウェア・トリガの接続先 (2/2)

ADCA0 チャンネル・ グループ	トリガ入力信号			ADCA0 トリガ 信号
	名称	制御ビット	接続先	
CG2	ADCA0TTIN200	ADCA0TSEL2.ADCA0T2SEL[00]	Port ADCA0TRG2	ADCA0TTRG2
	ADCA0TTIN201	ADCA0TSEL2.ADCA0T2SEL[01]	Port INTP0	
	ADCA0TTIN202	ADCA0TSEL2.ADCA0T2SEL[02]	Port INTP3	
	ADCA0TTIN203	ADCA0TSEL2.ADCA0T2SEL[03]	PIC ADOPA2 ADCATTIN00	
	ADCA0TTIN204	ADCA0TSEL2.ADCA0T2SEL[04]	PIC ADOPA2 ADCATTIN01	
	ADCA0TTIN205	ADCA0TSEL2.ADCA0T2SEL[05]	INTTAUC2I15	
	ADCA0TTIN206	ADCA0TSEL2.ADCA0T2SEL[06]	INTTAUC3I15	
	ADCA0TTIN207	ADCA0TSEL2.ADCA0T2SEL[07]	INTTAUC4I15	
	ADCA0TTIN208	ADCA0TSEL2.ADCA0T2SEL[08]	INTTAUJ0I3	
	ADCA0TTIN209	ADCA0TSEL2.ADCA0T2SEL[09]	INTTAUJ1I3	
	ADCA0TTIN210	ADCA0TSEL2.ADCA0T2SEL[10]	INTENCA0I1	
	ADCA0TTIN211	ADCA0TSEL2.ADCA0T2SEL[11]	TAPA0ADOUT0	
	ADCA0TTIN212	ADCA0TSEL2.ADCA0T2SEL[12]	TAPA0ADOUT1	
	ADCA0TTIN213	ADCA0TSEL2.ADCA0T2SEL[13]	not connected	
	ADCA0TTIN214	ADCA0TSEL2.ADCA0T2SEL[14]	not connected	
ADCA0TTIN215	ADCA0TSEL2.ADCA0T2SEL[15]	PMCATADTRG0		

表 35-10 ADCA1 ハードウェア・トリガの接続先 (1/2)

ADCA1 チャンネル・ グループ	トリガ入力信号			ADCA1 トリガ 信号
	名称	制御ビット	接続先	
CG0	ADCA1TTIN000	ADCA1TSEL0.ADCA1T0SEL[00]	Port ADCA1TRG0	ADCA1TTRG0
	ADCA1TTIN001	ADCA1TSEL0.ADCA1T0SEL[01]	Port INTP2	
	ADCA1TTIN002	ADCA1TSEL0.ADCA1T0SEL[02]	Port INTP5	
	ADCA1TTIN003	ADCA1TSEL0.ADCA1T0SEL[03]	TAUA0 INTTAUA0I15	
	ADCA1TTIN004	ADCA1TSEL0.ADCA1T0SEL[04]	TAUB1 INTTAUB1I15	
	ADCA1TTIN005	ADCA1TSEL0.ADCA1T0SEL[05]	TAUC2 INTTAUC2I15	
	ADCA1TTIN006	ADCA1TSEL0.ADCA1T0SEL[06]	TAUC3 INTTAUC3I15	
	ADCA1TTIN007	ADCA1TSEL0.ADCA1T0SEL[07]	TAUC4 INTTAUC4I15	
	ADCA1TTIN008	ADCA1TSEL0.ADCA1T0SEL[08]	TAUJ0 INTTAUJ0I3	
	ADCA1TTIN009	ADCA1TSEL0.ADCA1T0SEL[09]	TAUJ1 INTTAUJ1I3	
	ADCA1TTIN010	ADCA1TSEL0.ADCA1T0SEL[10]	not connected	
	ADCA1TTIN011	ADCA1TSEL0.ADCA1T0SEL[11]	PMCA0 PMCATADTRG3	
	ADCA1TTIN012	ADCA1TSEL0.ADCA1T0SEL[12]	PMCA0 PMCATADTRG4	
	ADCA1TTIN013	ADCA1TSEL0.ADCA1T0SEL[13]	PMCA0 PMCATADTRG5	
	ADCA1TTIN014	ADCA1TSEL0.ADCA1T0SEL[14]	not connected	
	ADCA1TTIN015	ADCA1TSEL0.ADCA1T0SEL[15]	not connected	
CG1	ADCA1TTIN100	ADCA1TSEL1.ADCA1T1SEL[00]	Port ADCA1TRG1	ADCA1TTRG1
	ADCA1TTIN101	ADCA1TSEL1.ADCA1T1SEL[01]	Port INTP1	
	ADCA1TTIN102	ADCA1TSEL1.ADCA1T1SEL[02]	Port INTP4	
	ADCA1TTIN103	ADCA1TSEL1.ADCA1T1SEL[03]	TAUA0 INTTAUA0I15	
	ADCA1TTIN104	ADCA1TSEL1.ADCA1T1SEL[04]	TAUB1 INTTAUB1I15	
	ADCA1TTIN105	ADCA1TSEL1.ADCA1T1SEL[05]	TAUC2 INTTAUC2I15	
	ADCA1TTIN106	ADCA1TSEL1.ADCA1T1SEL[06]	TAUC3 INTTAUC3I15	
	ADCA1TTIN107	ADCA1TSEL1.ADCA1T1SEL[07]	TAUC4 INTTAUC4I15	
	ADCA1TTIN108	ADCA1TSEL1.ADCA1T1SEL[08]	TAUJ0 INTTAUJ0I3	
	ADCA1TTIN109	ADCA1TSEL1.ADCA1T1SEL[09]	TAUJ1 INTTAUJ1I3	
	ADCA1TTIN110	ADCA1TSEL1.ADCA1T1SEL[10]	not connected	
	ADCA1TTIN111	ADCA1TSEL1.ADCA1T1SEL[11]	PMCA0 PMCATADTRG3	
	ADCA1TTIN112	ADCA1TSEL1.ADCA1T1SEL[12]	PMCA0 PMCATADTRG4	
	ADCA1TTIN113	ADCA1TSEL1.ADCA1T1SEL[13]	PMCA0 PMCATADTRG5	
	ADCA1TTIN114	ADCA1TSEL1.ADCA1T1SEL[14]	TAPA0 ADOUT0	
	ADCA1TTIN115	ADCA1TSEL1.ADCA1T1SEL[15]	TAPA0 ADOUT1	

表 35-10 ADCA1 ハードウェア・トリガの接続先 (2/2)

ADCA1 チャンネル・ グループ	トリガ入力信号			ADCA1 トリガ 信号
	名称	制御ビット	接続先	
CG2	ADCA1TTIN200	ADCA1TSEL2.ADCA1T2SEL[00]	Port ADCA1TRG2	ADCA1TTRG2
	ADCA1TTIN201	ADCA1TSEL2.ADCA1T2SEL[01]	Port INTP0	
	ADCA1TTIN202	ADCA1TSEL2.ADCA1T2SEL[02]	Port INTP3	
	ADCA1TTIN203	ADCA1TSEL2.ADCA1T2SEL[03]	INTTAUA0I15	
	ADCA1TTIN204	ADCA1TSEL2.ADCA1T2SEL[04]	INTTAUB1I15	
	ADCA1TTIN205	ADCA1TSEL2.ADCA1T2SEL[05]	INTTAUC2I15	
	ADCA1TTIN206	ADCA1TSEL2.ADCA1T2SEL[06]	INTTAUC3I15	
	ADCA1TTIN207	ADCA1TSEL2.ADCA1T2SEL[07]	INTTAUC4I15	
	ADCA1TTIN208	ADCA1TSEL2.ADCA1T2SEL[08]	INTTAUJ0I3	
	ADCA1TTIN209	ADCA1TSEL2.ADCA1T2SEL[09]	INTTAUJ1I3	
	ADCA1TTIN210	ADCA1TSEL2.ADCA1T2SEL[10]	not connected	
	ADCA1TTIN211	ADCA1TSEL2.ADCA1T2SEL[11]	TAPA0ADOUT0	
	ADCA1TTIN212	ADCA1TSEL2.ADCA1T2SEL[12]	TAPA0ADOUT1	
	ADCA1TTIN213	ADCA1TSEL2.ADCA1T2SEL[13]	not connected	
	ADCA1TTIN214	ADCA1TSEL2.ADCA1T2SEL[14]	not connected	
ADCA1TTIN215	ADCA1TSEL2.ADCA1T2SEL[15]	PMCATADTRG3		

## 35.2 機能概要

A/Dコンバータ A (ADCA<sub>n</sub>) は、アナログ入力信号をデジタル値に変換します。

**機能概要** ADCA<sub>n</sub>には次の機能があります。

- 10ビット分解能と12ビット分解能をサポート
- 逐次比較変換方式
- 最大24本のアナログ入力信号
- 優先順位の異なる最大3つのチャンネル・グループ
- ワンショット変換モード, 連続変換モード (チャンネル・グループ0のみ)
- 自動繰り返し機能 (ワンショット変換モードを1-4回繰り返し)
- 複数チャンネルの一斉サンプリング (詳細は 35.1 「V850E2/Fx4-H ADCA の特徴」 (「一斉サンプリング」の項目) を参照してください)
- ソフトウェア・トリガ・モードとハードウェア・トリガ・モード
- ハードウェア・トリガ・ソースに複数の入力信号から選択可能
- A/D変換終了時のA/D変換終了割り込み発生チャンネルを設定可能
- 3種類の変換結果確認機能
- 新しいサンプリング値で変換する前にコンデンサを放電するディスチャージ機能
- バッファ・アンプのオン/オフ機能
- 自己診断機能

ADCA<sub>n</sub> の主な構成要素を次の図に示します。

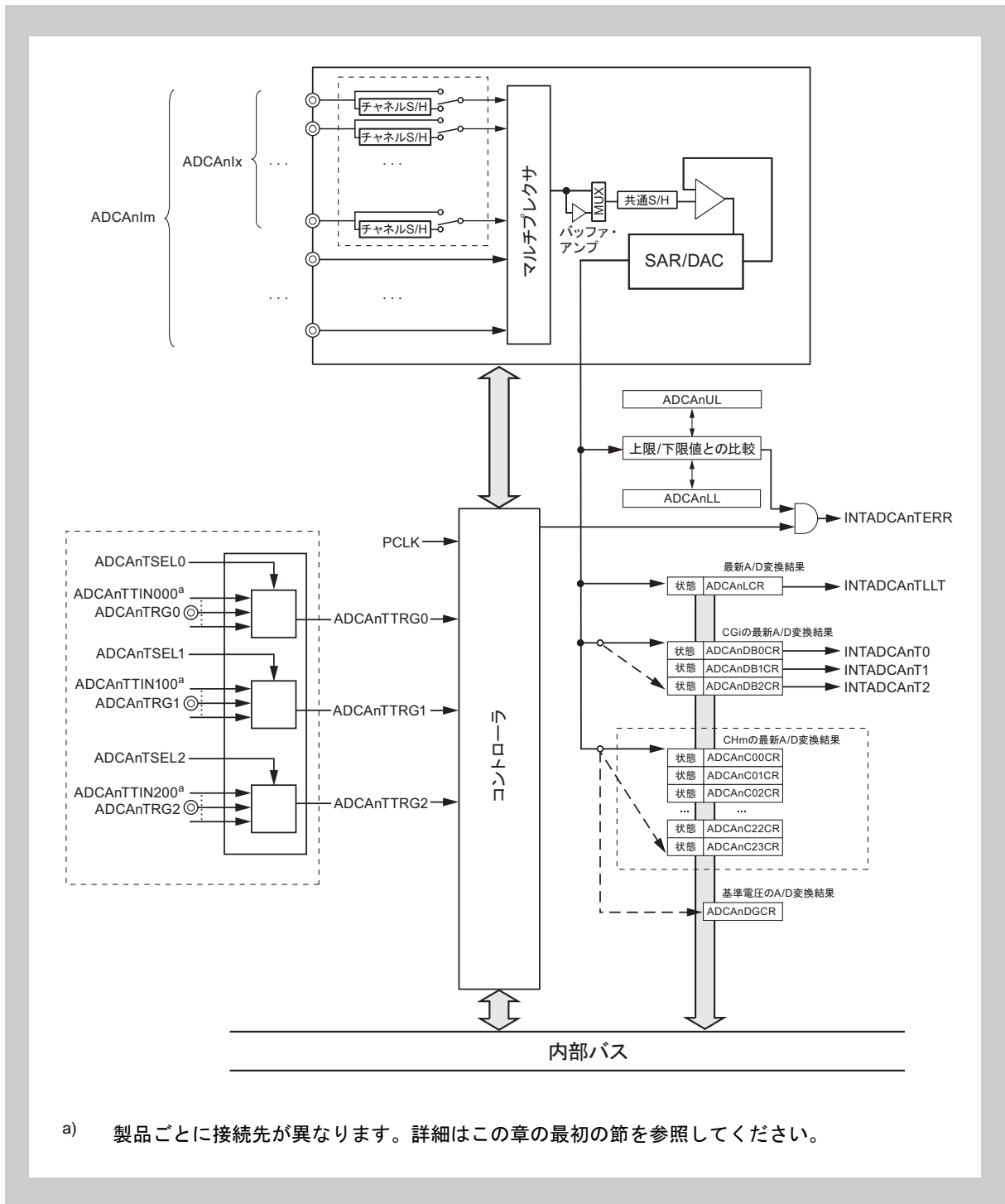


図 35-2 ADCAn のブロック図

備考 点線で囲まれた部分は製品依存の機能です。

### 35.3 機能説明

A/Dコンバータ A (ADCA<sub>n</sub>) は、最大 48 本のアナログ入力信号をデジタル値に変換し、10 ビット分解能と 12 ビット分解能をサポートします。

**備考** 10 ビット /12 ビットの分解能の設定は、すべてのチャンネルで共通の設定です。チャンネルごとに分解能を変えることはできません。

#### チャンネルとチャンネル・グループ

各入力チャンネルは、3 種類のチャンネル・グループ (CG) にそれぞれ割り当てられます。各 CG に割り当てた入力チャンネルのリストをスキャン・リストと呼びます (CG0 の診断 A/D 変換を含む)。スキャン・リストは 1 つのレジスタで容易に設定できます。また、動作中スキャン・リストを再設定できます。なお、スキャン・リストすべての A/D 変換をスキャン・リスト変換と呼びます。

ADCA<sub>n</sub> は、優先順位の異なる最大 3 つのチャンネル・グループと 2 つの変換モードをサポートしています。

- ワンショット変換モード：  
スキャン・リスト変換を一度だけ実行します。ワンショット変換モードでは、スキャン・リスト変換を、指定した回数 (1-4 回) 繰り返し実行できます。
- 連続変換モード：スキャン・リスト変換を繰り返し実行します。

#### A/D 変換

ソフトウェアまたはハードウェアを起動トリガとし変換を開始できます。

マルチプレクサで変換するチャンネルを選択し、共通 S/H 回路で入力電圧を保持します。

逐次変換レジスタ (SAR) は、アナログ入力の電圧値と比較する D/A コンバータの出力電圧の値を、10 ビットまたは 12 ビットのデジタル値として保持します。

変換が終了するごとに、INTADCA<sub>n</sub>TLLT 割り込みを発生します。

#### A/D 変換結果レジスタ

A/D 変換が終了すると、SAR レジスタの内容が 3 つのレジスタに格納され、最新 A/D 変換結果、CG<sub>i</sub> の最新 A/D 変換結果、チャンネル m の最新 A/D 変換結果をそれぞれ読み出すことができます。

ADCA<sub>n</sub> は、特定チャンネルの A/D 変換終了後、またはチャンネル・グループに属するすべてのチャンネルの A/D 変換終了後に、設定に応じて変換終了割り込みを発生します。

#### 変換結果確認機能

ADCA<sub>n</sub> では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

#### ディスチャージ機能

必要に応じて、各変換前に共通 S/H 回路の内部コンデンサを放電できます。



<b>バッファ・アンプのオン/オフ機能</b>	外部アナログ信号源の負荷を軽減するために、信号を内部バッファ・アンプに接続できます。  バッファ・アンプにより、A/Dのサンプリング期間中に、内部サンプリング・コンデンサへのチャージを加速させます。
<b>自己診断機能</b>	ADCA <sub>n</sub> が正しく機能していることを確認したり、接続されていないアナログ入力端子を検出したりするために、4つ（製品依存）の自己診断機能を用意しています。  <ul style="list-style-type: none"> <li>• A/D変換回路の診断</li> <li>• チャンネル・マルチプレクサの診断</li> <li>• オープン端子の診断</li> <li>• チャンネル S/H の診断</li> </ul>
<b>設定可能な安定時間</b>	安定カウンタに任意の値を設定することで、パワー・オン後に最適な安定時間を確保できます。

### 35.3.1 基本動作

A/D変換の基本的な手順について説明します。詳細は後続の各節を参照してください。

1. パワーオン後とスタンバイ・モード解除後の起動時間を最適化する場合は、安定カウンタ ADCAnCNT レジスタを設定して安定時間を調整します。
2. A/Dコンバータを有効 (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE = 1 に設定) にする前に、次の各レジスタで、パワーオン、分解能、ADCA<sub>n</sub>クロック、トリガ・モード、変換モード、割り込み発生、チャンネル・グループなどを設定してください。
  - ADCAnCTL1 レジスタ
  - ADCAnCGi レジスタ
  - ADCAnIOCi レジスタ
  - ADCAnSHCTL レジスタ
  - ADCAnTSELi レジスタ（製品依存）
3. A/D変換結果が特定の範囲内にあることを確認する場合は、該当するチャンネルの変換結果上下限比較機能を有効にし (ADCA<sub>n</sub>CTL2.ADCA<sub>n</sub>RCKm)、ADCA<sub>n</sub>LL レジスタと ADCAnUL レジスタで下限値と上限値を指定します。
4. 変換前に共通 S/H 回路のコンデンサを放電する場合は、ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>DISC に 1 を設定してディスチャージ機能を有効にします。
5. バッファ・アンプ機能を有効または無効にするには、ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>BPC を設定します。

6. A/Dコンバータを有効にするには、ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE を 1 に設定します。  
A/Dコンバータは、パワーオン後またはスタンバイ・モード解除後に安定時間が経過すると、A/D変換が可能な状態になります。
7. 設定したトリガ・モードに応じて、チャンネル・グループに関連する次のいずれかの起動トリガによって A/D 変換が開始します。
  - ソフトウェア・トリガ (ADCA<sub>n</sub>TRGi.ADCA<sub>n</sub>STTi に 1 を設定)
  - ハードウェア・トリガ (入力信号 ADCA<sub>n</sub>TTRGi)

複数の CG に対して A/D 変換が起動した場合、変換の順序は CG の優先順位によって決まります。
8. A/D 変換結果レジスタ ADCA<sub>n</sub>LCR, ADCA<sub>n</sub>DBiCR, ADCA<sub>n</sub>CmCR から結果を読み出します。
9. 次のレジスタをモニタします。
  - ADCA<sub>n</sub>STR1 : 用途に応じて A/D 変換結果を読み出す前に上書きされていないかどうかを確認します。
  - ADCA<sub>n</sub>STR0 : A/D 変換結果を設定した範囲内にあるかどうかを確認します (変換結果上下限比較機能が有効の場合のみ)。
10. ADCHALT モードを解除し、A/Dコンバータの A/D 変換動作を再開します。
11. A/Dコンバータを再設定する場合、ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE を 0 に設定して A/Dコンバータを無効にします。

**備考** 自己診断機能については、35.3.13「自己診断機能」で説明します。

### 35.3.2 クロックの使用

ADCA<sub>n</sub> クロック ADCA<sub>n</sub>TCLK は PCLK から生成します。分周比は ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>FR[3:0] で指定します。

### 35.3.3 チャンネルとチャンネル・グループ

各入力チャンネルはチャンネル・グループ (CG) として構成されます。レジスタの設定により各 CG のスキャン・リストを作成でき、また動作中の再設定も可能です。CG の変換設定はグループ内のすべてのチャンネルに適用されます。

ADCA<sub>n</sub> は、最大 3 つのチャンネル・グループ CG<sub>i</sub> (i = 0-2) をサポートします。CG<sub>i</sub> のチャンネルは ADCA<sub>n</sub>CG<sub>i</sub> レジスタで指定します。

**備考** ADCA<sub>n</sub> は CG に対する A/D 変換要求のみを処理します。CG に入力チャンネルを 1 つだけ割り当てることで単一チャンネルの変換ができます。

#### (1) A/D 変換の順序

CG の起動トリガが発生すると、スキャン・リストに設定したチャンネルを昇順に (CH0 から CH23 まで) 変換します。

複数の CG に対する A/D 変換要求が保留された場合、CG は次の順序で変換されます。

CG2 (最高優先順位) > CG1 > CG0 (最低優先順位)

より優先順位の高い CG の起動トリガ、または ADCHALT モードのトリガを設定した場合、現在の A/D 変換は中断されます。A/D 変換の中断に関しては、ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>TRM<sub>i</sub> の設定に応じて、次の 2 つの方法が選択できます。

- CG の A/D 変換をすぐに中断  
(ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>TRM<sub>i</sub> に 0 を設定)  
より優先順位の高い CG の A/D 変換がすべて終了したあと、中断されたチャンネルから A/D 変換を再開します。
- 現在のチャンネルの A/D 変換を終了したあとで、より優先順位の高い CG の変換を開始 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>TRM<sub>i</sub> に 1 を設定)  
より優先順位の高い CG の A/D 変換がすべて終了したあと、次のチャンネルから A/D 変換を再開します。

変換状態は ADCA<sub>n</sub>STR2.ADCA<sub>n</sub>ST[2:0] で示されます。

**例** A/D 変換中断の例を次の図に示します。この例では、CH3、CH9、CH20 が CG0 に、CH5 と CH9 が CG2 に割り当てられています。

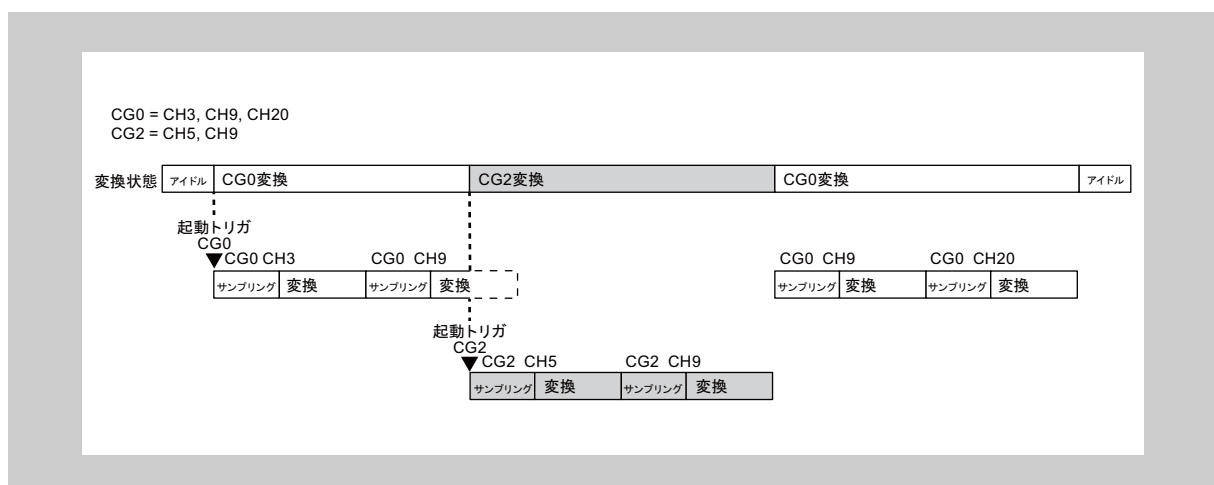


図 35-3 CG0 の A/D 変換をすぐに中断する場合  
(ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>TRM<sub>0</sub> に 0 を設定)

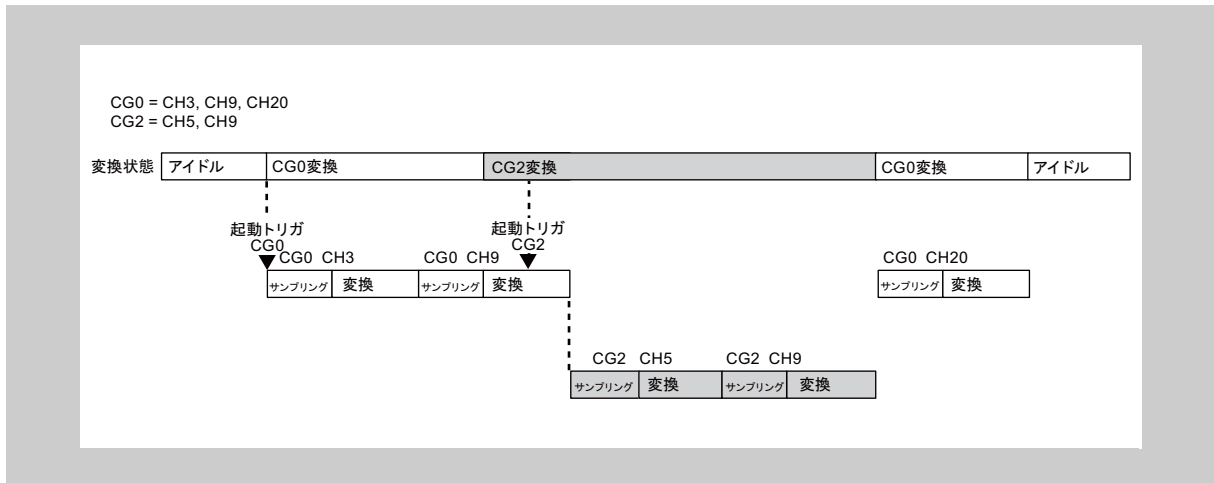


図 35-4 現在のチャンネルの A/D 変換が終了するまで待機する場合  
(ADCACTL1.ADCAnTRM0 に 1 を設定)

### 35.3.4 A/D 変換モード

A/D コンバータには次の 2 つの変換モードがあります。

モード	動作	チャンネル・グループ
ワンショット変換モード	スキャン・リスト変換を一度だけ実行します。ワンショット変換モードでは、スキャン・リスト変換を、指定した回数 (1-4 回) 繰り返し実行できます。	CG0, CG1, CG2
連続変換モード	スキャン・リスト変換を繰り返し実行します。	CG0

- 備考**
- より優先順位の高い CG の A/D 変換要求によって、実行中の A/D 変換が中断された場合、優先順位の高い CG の要求がすべて終了したあと、自動的に元の変換を継続します ((1)「A/D 変換の順序」を参照)。
  - CG1 と CG2 は、変換モードの設定にかかわらずワンショット変換モードで動作します。CG0 の A/D 変換モードは、ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>MD0 で設定できます。

#### (1) ワンショット変換モード

ワンショット変換モードでは、起動トリガによって CG<sub>i</sub> のスキャン・リスト変換を行います。スキャン・リスト変換の繰り返し回数は、CG ごとに ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>SCTi[1:0] で 1-4 回指定できます。

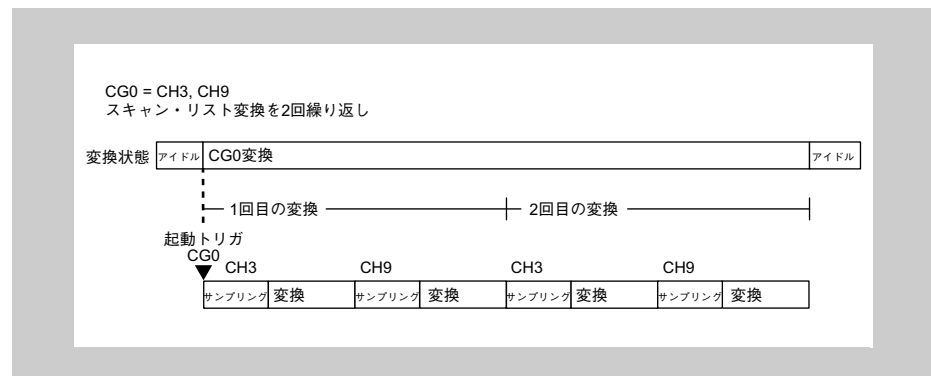


図 35-5 ワンショット変換モードでスキャン・リスト変換を 2 回繰り返し変換終了前起動トリガ入力時の動作

A/D コンバータは同一 CG の変換終了前起動トリガを 1 つまで保持できます。したがって、最初の起動トリガによる CG<sub>i</sub> の A/D 変換が終了するまでに、後続の起動トリガが 1 つ以上 (2 つ目以降は無視) 入力された場合、連続して A/D 変換を実行します。

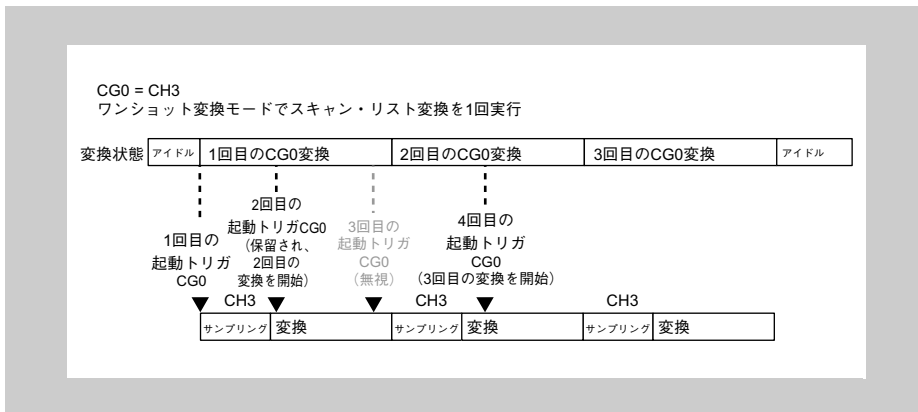


図 35-6 変換終了前起動トリガ入力時の動作

**注意** 高優先度 CG の変換期間中は、それよりも低優先度の CG の変換終了前起動トリガが無視されます。逆に高優先度 CG の変換開始前に入力した低優先度 CG の変換終了前起動トリガは保持されます。なお、起動トリガが発生していない時は高優先度 CG の変換期間中でも受け付けます。

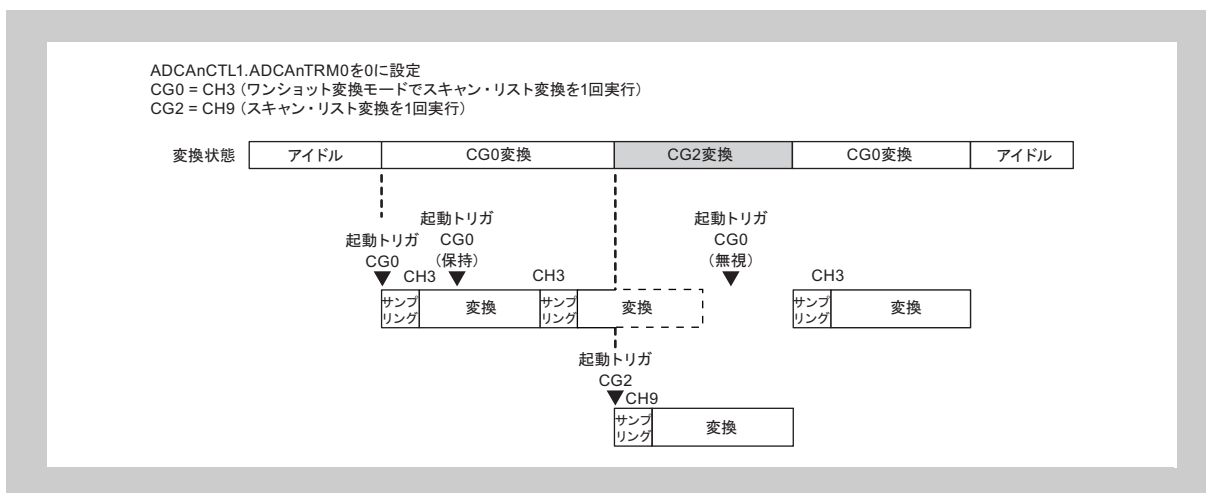


図 35-7 変換終了前起動トリガ入力時の動作 (高優先度 CG の起動トリガ発生時)

**(2) 連続変換モード**

連続変換モードは CG0 のみで使用可能です (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>MD0 に 1 を設定)。

連続変換モードで起動トリガが発生すると、チャンネル CG0 のサンプリングと変換を開始し、停止トリガが発生するか別の停止条件が発生するまで繰り返し実行します (35.3.6 「A/D 変換の停止 (停止トリガ)」を参照)

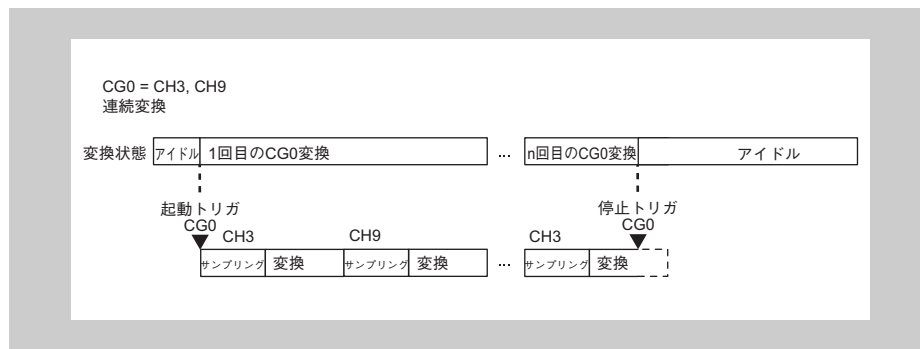


図 35-8 連続変換モード

**注意** 停止トリガ後はアイドルとなり、サンプリング／変換は行いません。

**備考** 連続変換モード中、CG0 への起動トリガは無視されます。

### 35.3.5 A/D 変換の開始 (起動トリガ)

A/D 変換は、ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>MD1 で指定したソフトウェア・トリガまたはハードウェア・トリガによって開始できます。

複数の CG に対して A/D 変換が起動された場合、変換の順序は CG の優先順位によって決まります ((1)「A/D 変換の順序」を参照)。

- 備考**
- CG<sub>i</sub> のスキャン・リストにチャンネルが割り当てられていない場合 (ADCA<sub>n</sub>CG<sub>i</sub> レジスタ = 0000 0000<sub>H</sub>)、ADCA<sub>n</sub> はその CG<sub>i</sub> に対する起動トリガを無視します。
  - ワンショット変換モードでは、A/D コンバータは起動トリガを 1 つまで保持できます。  
起動した CG<sub>i</sub> の A/D 変換が終了するまでに、後続の起動トリガが 1 つ以上 (2 つ目以降は無視) 入力された場合、連続して A/D 変換を実行します (図 35-6「変換終了前起動トリガ入力時の動作」を参照)。
  - 連続変換モードでは、停止トリガが発生する前に発生した後続の起動トリガは無視されます。

#### (1) ソフトウェア起動トリガ

A/D 変換が有効な場合 (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 1 を設定)、ADCA<sub>n</sub>TRG<sub>i</sub>.ADCA<sub>n</sub>STT<sub>i</sub> を 1 に設定すると CG<sub>i</sub> の A/D 変換が起動されます。

#### ソフトウェア 起動トリガの タイミング例

次の条件下でのソフトウェア起動トリガのタイミングを次の図に示します。

- ADCA<sub>n</sub>TCLK クロック = PCLK/2 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>FR[3:0] = 0000<sub>B</sub>)

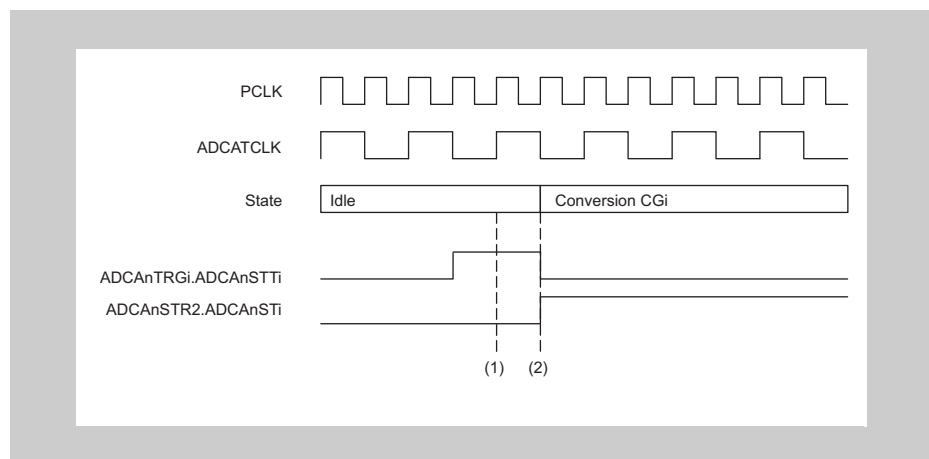


図 35-9 ソフトウェア起動トリガのタイミング例

- CG<sub>i</sub> に対するソフトウェア起動トリガの書き込み
- ADCA<sub>n</sub>TCLK クロックの次の立ち下がリエッジで A/D 変換を開始、ADCA<sub>n</sub>STR2.ADCA<sub>n</sub>ST<sub>i</sub> がセットされ、CG<sub>i</sub> の A/D 変換を処理していることを示します。



**(2) ハードウェア起動トリガ**

A/Dコンバータが有効であり (ADCA<sub>n</sub>CTL0.ADCAnCE に 1 を設定)、かつハードウェア・トリガ・モードを設定している場合 (ADCA<sub>n</sub>CTL1.ADCAnMD1 に 1 を設定)、ADCA<sub>n</sub>TTRGi 信号の有効エッジ検出によって CGi の A/D 変換が起動されます。

有効エッジは、CG ごとに ADCA<sub>n</sub>CTL1.ADCAnTiETS[1:0] で指定します。

**ハードウェア・トリガ拡張** ハードウェア・トリガ拡張がサポートされている場合、最大 16 のハードウェア・トリガ・ソースを ADCA<sub>n</sub>TTRGi 信号入力ごとに指定できます。ADCA<sub>n</sub>TSELi レジスタは ADCA<sub>n</sub>TTRGi 信号として使用する入力信号を指定します。

**備考** ハードウェア起動トリガ機能の接続先は、表 35-9 「ADCA0 ハードウェア・トリガの接続先」を参照してください。

**ハードウェア起動トリガのタイミング** A/Dコンバータは ADCA<sub>n</sub>TTRGi 信号の有効エッジ検出によって A/D 変換を開始します。

次の条件下でのハードウェア起動トリガのタイミングを次の図に示します。

- ADCA<sub>n</sub>TCLK クロック = PCLK/2 (ADCA<sub>n</sub>CTL1.ADCAnFR[3:0] = 0000<sub>B</sub>)
- ADCA<sub>n</sub>TTRGi 信号の有効エッジを立ち上がりに指定 (ADCA<sub>n</sub>CTL1.ADCAnTiETS[1:0] = 01<sub>B</sub>)

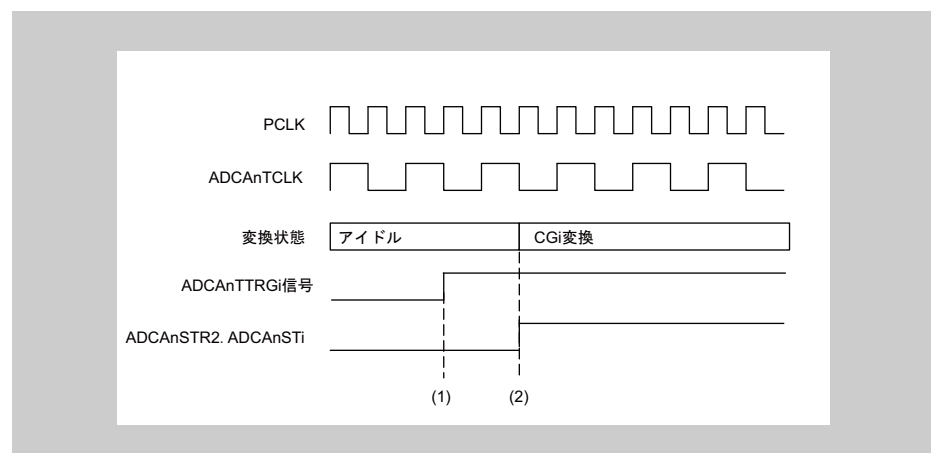


図 35-10 ハードウェア起動トリガのタイミング

- (1) 入力信号 ADCA<sub>n</sub>TTRGi の立ち上がり
- (2) ADCA<sub>n</sub>TCLK クロックの次の立ち下がりエッジで A/D 変換を開始、ADCA<sub>n</sub>STR2.ADCAnSTi がセットされ、CGi の A/D 変換を処理していることを示します。

### 35.3.6 A/D変換の停止 (停止トリガ)

#### (1) 停止トリガ

CGiの停止トリガ・ビットを1にセットすると (ADCA<sub>n</sub>TRG4+i.ADCA<sub>n</sub>SPiに1を設定), CGiのA/D変換が停止します。停止トリガがA/D変換完了より早いタイミングで発生した場合, A/D変換終了割り込みINTADCA<sub>n</sub>Tiは発生せず, A/D変換結果レジスタは更新されません。停止トリガによるA/D変換停止後, 再度起動トリガが入力された場合はスキャン・リスト変換を最初から行います。

ハードウェア起動トリガを使用している場合は, 以下の手順に従ってください。

1. ハードウェア起動トリガの発生を停止させる。
2. 停止トリガ・ビット (ADCA<sub>n</sub>TRG4+i.ADCA<sub>n</sub>SPi) を1に設定する。
3. ADCA<sub>n</sub>STR2.ADCA<sub>n</sub>STiの状態を確認する。

上記の手順を実行しない場合, ハードウェア起動トリガと, 停止トリガが競合し, 停止しない可能性があります。

#### 停止トリガの タイミング

1. CGiに対する停止トリガを書き込み
2. ADCA<sub>n</sub>TCLKクロックの次の立ち上がりエッジでCGiのA/D変換を停止  
ADCA<sub>n</sub>STR2.ADCA<sub>n</sub>STiがクリアされ, CGiのA/D変換を停止していることを示します。  
ADCA<sub>n</sub>Imのデジタル値がすでに使用可能な場合, 次のように動作します。
  - すべてのA/D変換結果レジスタを更新
  - ADCA<sub>n</sub>IOCiレジスタの設定に従って変換終了割り込みINTADCA<sub>n</sub>Tiを発生 (35.3.10「割り込み発生」を参照)
  - ADCA<sub>n</sub>CTL2レジスタの設定に応じて, A/D変換結果が設定範囲内にあるかどうかを確認 (35.3.12「変換結果確認機能」を参照)
 ほかのCGに対するA/D変換要求が保留されている場合, これを処理します。

次の条件下での停止トリガのタイミングを次の図に示します。

- ADCA<sub>n</sub>TCLKクロック = PCLK/2 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>FR[3:0] = 0000<sub>B</sub>)
- CGiのA/D変換終了時にA/D変換終了割り込みINTADCA<sub>n</sub>Tiが発生 (ADCA<sub>n</sub>IOCiレジスタ = 0000 0000<sub>H</sub>)

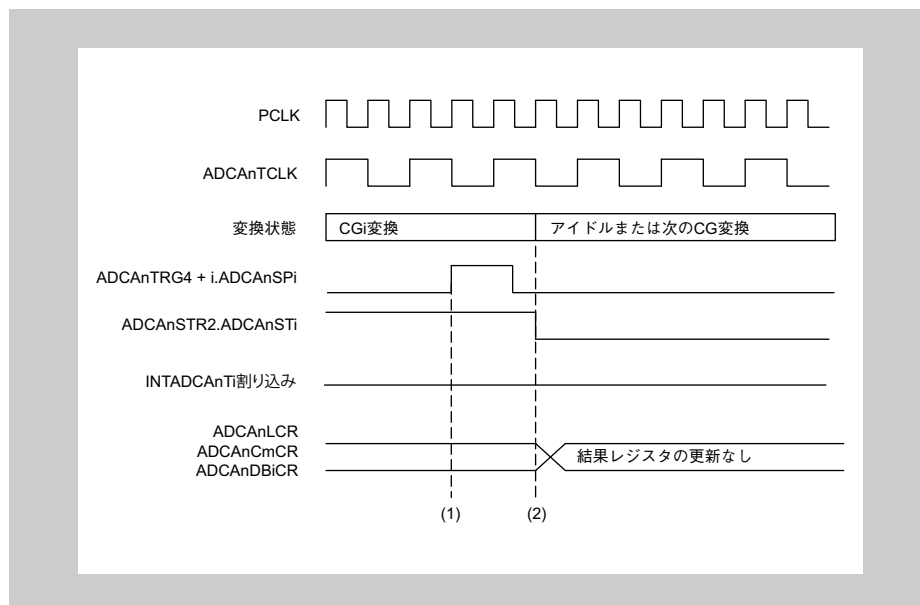


図 35-11 停止トリガのタイミング (A/D 変換完了より早い場合)

- (1) 停止トリガ・ビット (ADCAnTRG4+i.ADCAnSPi) を 1 にセット。
- (2) 状態ビット (ADCAnSTR2.ADCAnSTi) がクリア。

A/D 変換終了割り込み INTADCAnTi は発生せず、A/D 変換結果レジスタは更新されません。

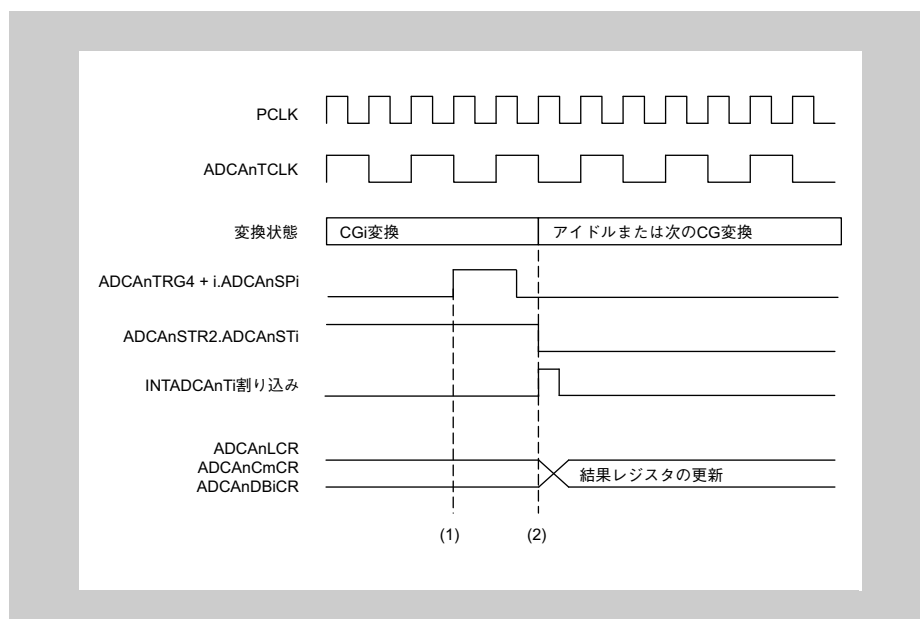


図 35-12 停止トリガのタイミング (A/D 変換完了より遅い場合)

- (1) 停止トリガ・ビット (ADCAnTRG4+i.ADCAnSPi) を 1 にセット。
- (2) 状態ビット (ADCAnSTR2.ADCAnSTi) がクリア。

A/D 変換終了割り込み INTADCAnTi が発生し、A/D 変換結果レジスタも更新されます。

## (2) その他の停止条件

ソフトウェア停止トリガとは別に、次の条件で A/D 変換が停止します。

- A/D コンバータ無効時 (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 0 を設定)

### 35.3.7 スタンバイ・モード

関連システムが、スタンバイ・モードに入ったとき、A/D コンバータもスタンバイ・モードに入ります。

スタンバイ・モード時、A/D コンバータは自動的に無効になります (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 0 を設定)。

スタンバイ・モードを解除するには次の手順を行います。

1. 関連システムのスタンバイ・モードを解除
2. ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE を 1 に設定して A/D コンバータを有効にする

**備考** スタンバイ・モード解除後、起動トリガは受け付けますが、安定時間が経過する (安定カウンタ ADCA<sub>n</sub>CNT = 00<sub>H</sub>) まで変換は開始されません。詳細は 35.3.17 「安定制御」を参照してください。

### 35.3.8 A/D 変換の休止と再開 (ADCHALT モード)

A/D コンバータは、すべての CG に対する A/D 変換を休止/一時停止にできません (ADCHALT モード)。

手順：

1. ADCA<sub>n</sub>TRG3.ADCA<sub>n</sub>STT3 を 1 に設定して ADCHALT モードへ遷移させます (中断動作の詳細は (1) 「A/D 変換の順序」を参照)。
  - ADCHALT モード中、起動トリガは無視されます。
  - サンプリング・クロック ADCA<sub>n</sub>TCLK をロウ・レベルにすることで、内部回路を停止し、消費電力を低減できます。
  - ADCHALT モード中はアナログ入力端子 ADCA<sub>n</sub>Im の兼用端子機能が使用可能です。
2. ADCA<sub>n</sub>TRG7.ADCA<sub>n</sub>SP3 を 1 に設定して ADCHALT モードを解除し A/D 変換を再開します。

**備考** ADCHALT モードは最高位の優先順位を持ち、すべての CG<sub>i</sub> 変換より優先します。

### 35.3.9 分解能, サンプルング時間と変換時間

総変換時間はサンプルング時間と A/D 変換時間の合計です。

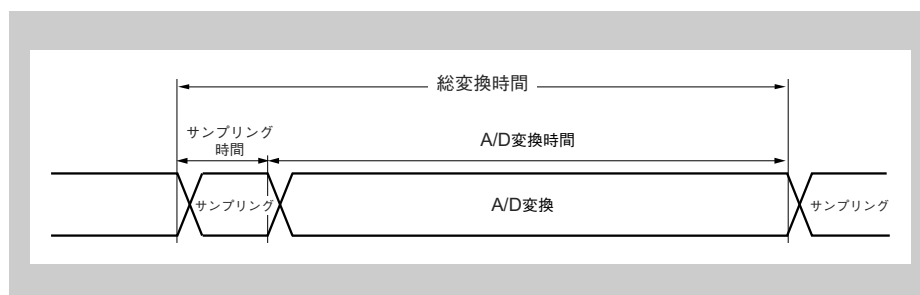


図 35-13 総変換時間

- サンプルング時間はアナログ入力電圧が共通 S/H 回路に接続されている時間です。A/D 変換時間はアナログ入力電圧から 1 つのデジタル値を取得するために必要な時間です。  
A/D 変換時間と総変換時間は、変換分解能によって次のように変わります。

表 35-11 サンプルング時間と変換時間

変換分解能	サンプルング時間	総変換時間
10 ビット (ADCACTL1.ADCANCTYP に 1 を設定)	6.5 クロック (ADCACTL1.ADCANTCLK)	18 クロック (ADCACTL1.ADCANTCLK)
12 ビット (ADCACTL1.ADCANCTYP に 0 を設定)	6.5 クロック (ADCACTL1.ADCANTCLK)	20 クロック (ADCACTL1.ADCANTCLK)

- 備考**
1. ディスチャージ機能を有効 (ADCACTL1.ADCANDISC に 1 を設定) にすると、総変換時間が 1 クロック (ADCACTL1.ADCANTCLK) 分長くなります。詳細は 35.3.15 「ディスチャージ機能」を参照してください。
  2. バッファ・アンプ機能を有効 (ADCACTL1.ADCANBPC に 1 を設定) にすると、総変換時間が 4 クロック (ADCACTL1.ADCANTCLK) 分長くなります。詳細は 35.3.16 「バッファ・アンプ機能」を参照してください。

表 35-12 変換時間 (12 ビット分解能モード時) [ $\mu$ s]

ADAnCTL1. ADCAAnFR [3:0]				A/D 変換時間				サンプリング 時間
				Buffer AMP = OFF Discharge = OFF	Buffer AMP = OFF Discharge = ON	Buffer AMP = ON Discharge = OFF	Buffer AMP = ON Discharge = ON	
0	0	0	0	$40/f_{AD}$	$42/f_{AD}$	$48/f_{AD}$	$50/f_{AD}$	$13/f_{AD}$
0	0	0	1	$60/f_{AD}$	$63/f_{AD}$	$72/f_{AD}$	$75/f_{AD}$	$20/f_{AD}$
0	0	1	0	$80/f_{AD}$	$84/f_{AD}$	$96/f_{AD}$	$100/f_{AD}$	$26/f_{AD}$
0	0	1	1	$100/f_{AD}$	$105/f_{AD}$	$120/f_{AD}$	$125/f_{AD}$	$33/f_{AD}$
0	1	0	0	$120/f_{AD}$	$126/f_{AD}$	$144/f_{AD}$	$150/f_{AD}$	$39/f_{AD}$
0	1	1	0	$160/f_{AD}$	$168/f_{AD}$	$192/f_{AD}$	$200/f_{AD}$	$52/f_{AD}$
1	0	0	0	$200/f_{AD}$	$210/f_{AD}$	$240/f_{AD}$	$250/f_{AD}$	$65/f_{AD}$
1	0	1	0	$240/f_{AD}$	$252/f_{AD}$	$288/f_{AD}$	$300/f_{AD}$	$78/f_{AD}$
1	1	0	0	$280/f_{AD}$	$294/f_{AD}$	$336/f_{AD}$	$350/f_{AD}$	$91/f_{AD}$
1	1	1	0	$320/f_{AD}$	$336/f_{AD}$	$384/f_{AD}$	$400/f_{AD}$	$104/f_{AD}$

ADAnCTL1. ADCAAnFR [3:0]				$f_{AD}$ (MHz)									
				80	64	48	40	32	24	16	8	4	
0	0	0	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	1.67	2.50	5.00	10.00	
0	0	0	1	設定禁止	設定禁止	設定禁止	1.50	1.88	2.50	3.75	7.50	設定禁止	
0	0	1	0	設定禁止	設定禁止	1.67	2.00	2.50	3.33	5.00	10.00	設定禁止	
0	0	1	1	設定禁止	1.56	2.08	2.50	3.13	4.17	6.25	設定禁止	設定禁止	
0	1	0	0	1.50	1.88	2.50	3.00	3.75	5.00	7.50	設定禁止	設定禁止	
0	1	1	0	2.00	2.50	3.33	4.00	5.00	6.67	10.00	設定禁止	設定禁止	
1	0	0	0	2.50	3.13	4.17	5.00	6.25	8.33	設定禁止	設定禁止	設定禁止	
1	0	1	0	3.00	3.75	5.00	6.00	7.50	10.00	設定禁止	設定禁止	設定禁止	
1	1	0	0	3.50	4.38	5.83	7.00	8.75	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	1	0	4.00	5.00	6.67	8.00	10.00	設定禁止	設定禁止	設定禁止	設定禁止	

表 35-13 変換時間 (10 ビット分解能モード時) [ $\mu\text{s}$ ]

ADAnCTL1. ADCAAnFR [3:0]				A/D 変換時間				サンプリング 時間
				Buffer AMP = OFF Discharge = OFF	Buffer AMP = OFF Discharge = ON	Buffer AMP = ON Discharge = OFF	Buffer AMP = ON Discharge = ON	
0	0	0	0	$40/f_{AD}$	$42/f_{AD}$	$48/f_{AD}$	$50/f_{AD}$	$13/f_{AD}$
0	0	0	1	$60/f_{AD}$	$63/f_{AD}$	$72/f_{AD}$	$75/f_{AD}$	$20/f_{AD}$
0	0	1	0	$80/f_{AD}$	$84/f_{AD}$	$96/f_{AD}$	$100/f_{AD}$	$26/f_{AD}$
0	0	1	1	$100/f_{AD}$	$105/f_{AD}$	$120/f_{AD}$	$125/f_{AD}$	$33/f_{AD}$
0	1	0	0	$120/f_{AD}$	$126/f_{AD}$	$144/f_{AD}$	$150/f_{AD}$	$39/f_{AD}$
0	1	1	0	$160/f_{AD}$	$168/f_{AD}$	$192/f_{AD}$	$200/f_{AD}$	$52/f_{AD}$
1	0	0	0	$200/f_{AD}$	$210/f_{AD}$	$240/f_{AD}$	$250/f_{AD}$	$65/f_{AD}$
1	0	1	0	$240/f_{AD}$	$252/f_{AD}$	$288/f_{AD}$	$300/f_{AD}$	$78/f_{AD}$
1	1	0	0	$280/f_{AD}$	$294/f_{AD}$	$336/f_{AD}$	$350/f_{AD}$	$91/f_{AD}$
1	1	1	0	$320/f_{AD}$	$336/f_{AD}$	$384/f_{AD}$	$400/f_{AD}$	$104/f_{AD}$

ADAnCTL1. ADCAAnFR [3:0]				$f_{AD}$ (MHz)									
				80	64	48	40	32	24	16	8	4	
0	0	0	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	1.50	2.25	4.50	9.00	
0	0	0	1	設定禁止	設定禁止	設定禁止	設定禁止	1.69	2.25	3.38	6.75	設定禁止	
0	0	1	0	設定禁止	設定禁止	1.50	1.80	2.25	3.00	4.50	9.00	設定禁止	
0	0	1	1	設定禁止	1.41	1.88	2.25	2.81	3.75	5.63	設定禁止	設定禁止	
0	1	0	0	設定禁止	1.69	2.25	2.70	3.38	4.50	6.75	設定禁止	設定禁止	
0	1	1	0	1.80	2.25	3.00	3.60	4.50	6.00	9.00	設定禁止	設定禁止	
1	0	0	0	2.25	2.81	3.75	4.50	5.63	7.50	設定禁止	設定禁止	設定禁止	
1	0	1	0	2.70	3.38	4.50	5.40	6.75	9.00	設定禁止	設定禁止	設定禁止	
1	1	0	0	3.15	3.94	5.25	6.30	7.88	設定禁止	設定禁止	設定禁止	設定禁止	
1	1	1	0	3.60	4.50	6.00	7.20	9.00	設定禁止	設定禁止	設定禁止	設定禁止	

### 35.3.10 割り込み発生

#### (1) A/D 変換終了割り込み INTADCA<sub>n</sub>Ti

INTADCA<sub>n</sub>Ti 割り込みは、新しい A/D 変換結果が変換結果レジスタに格納されたことを通知します。

ADCA<sub>n</sub>IOCi レジスタで指定した CGi の任意のチャンネルの A/D 変換が終了したとき、A/D 変換終了割り込みを発生します。

特定チャンネルなどの指定がない場合 (ADCA<sub>n</sub>IOCi レジスタ = 0000 0000<sub>H</sub>)、割り込み INTADCA<sub>n</sub>Ti は CGi の A/D 変換終了時に発生します。

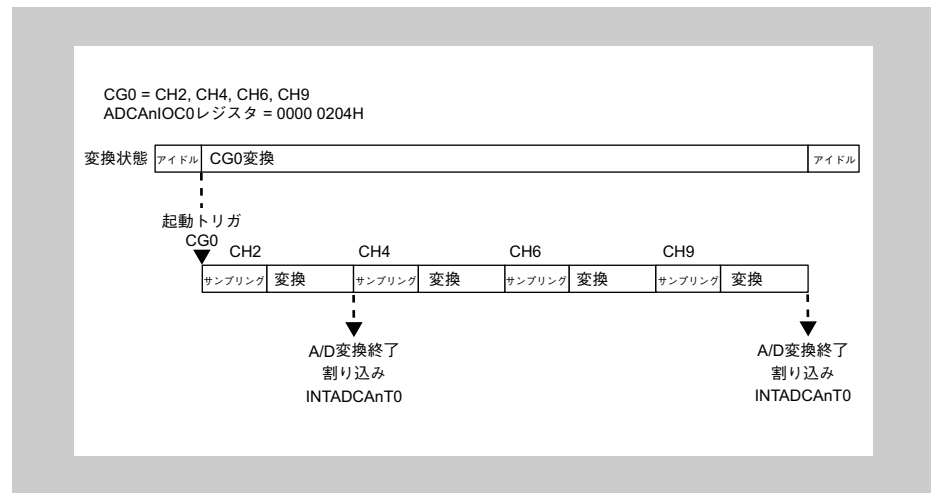


図 35-14 A/D 変換終了割り込み INTADCA<sub>n</sub>Ti の発生

- 備考**
1. A/D コンバータが有効 (ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 1 を設定) の場合でも、ADCA<sub>n</sub>IOCi レジスタへの書き込みは任意のタイミングで行うことができます。新しく設定した値は、CGi の現在の A/D 変換が終了したあとに有効になります。
  2. ADCA<sub>n</sub>IOCi レジスタは ADCA<sub>n</sub>CGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はまとめて行う必要があります。更新は ADCA<sub>n</sub>CGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCA<sub>n</sub>CGi レジスタの前に ADCA<sub>n</sub>IOCi レジスタの書き込みを行ってください。

#### (2) エラー割り込み INTADCA<sub>n</sub>TERR

エラー割り込み INTADCA<sub>n</sub>TERR は次の場合に発生します。

- 変換結果上下限比較機能が有効な状態で、指定チャンネルの A/D 変換結果が設定範囲を外れた場合  
詳細は (3)「変換結果上下限比較機能」を参照してください。
- ADCA<sub>n</sub>LCR レジスタ, ADCA<sub>n</sub>DBiCR レジスタ, または ADCA<sub>n</sub>CmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合  
レジスタへの上書きによるエラー割り込み INTADCA<sub>n</sub>TERR の発生は、ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>OEM[4:0] を設定することによってレジスタごとに個別に制御できます。  
詳細は (1)「変換結果上書きチェック機能」を参照してください。



### 35.3.11 A/D 変換結果の格納

#### (1) A/D 変換結果レジスタ

A/D 変換結果は、次のレジスタに格納されます。

- ADCAnLCR レジスタ  
最新 A/D 変換結果を格納します。
- ADCAnDBiCR レジスタ  
CGi の最新 A/D 変換結果を格納します。
- ADCAnCmCR レジスタ  
チャンネル m の最新 A/D 変換結果を格納します。

これらレジスタのビット 15-0 に、サンプリングされたアナログ入力電圧のデジタル値が格納されます。また、各レジスタは、A/D 変換結果の状態フラグも格納します (35.3.12 「変換結果確認機能」を参照)。

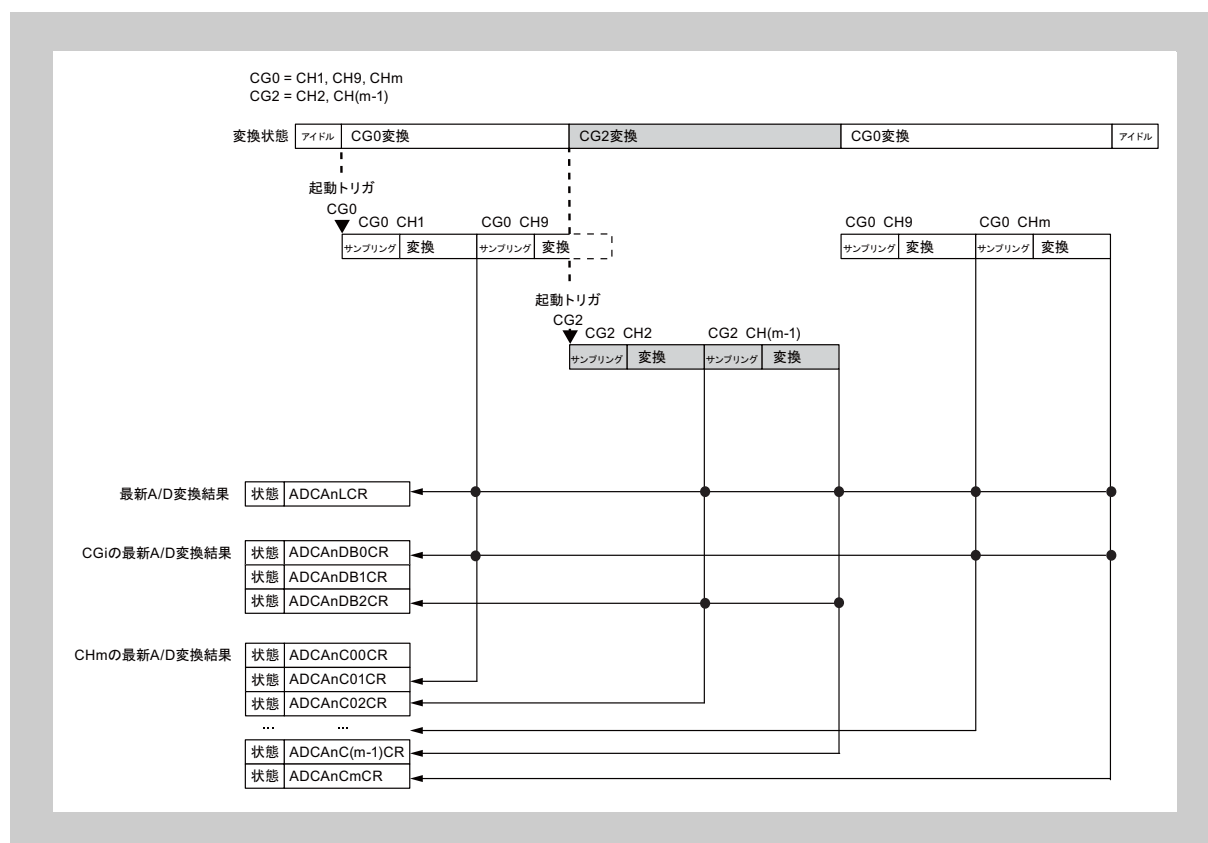


図 35-15 A/D 変換結果の格納

**(2) 変換結果の格納に関する設定****(a) 変換結果 ビット位置指定機能**

ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>CRAC によって、A/D 変換結果（12 ビットまたは 10 ビット）の揃え位置を右揃え（ADCA<sub>n</sub>CRAC ビット = 0）か左揃え（ADCA<sub>n</sub>CRAC ビット = 1）に指定できます。

**(b) 変換結果リード&クリア機能**

ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>RCL によって、A/D 変換結果レジスタ ADCA<sub>n</sub>CmCR を読み出したあとその値を保持するかクリアするかを指定できます。

**(3) アナログ入力電圧と A/D 変換結果の関係**

アナログ入力端子（ADCA<sub>n</sub>Im）に入力されたアナログ入力電圧と A/D 変換結果値（ADCA<sub>n</sub>LCR[15:00] ビット, ADCA<sub>n</sub>CmCR[15:00] ビット, ADCA<sub>n</sub>DBiCR[15:00] ビットの値）には次式に示す関係があります。

$$\text{A/D 変換結果値} = \text{INT} \left( \frac{V_{\text{IAN}} - AV_{\text{REFMn}}}{AV_{\text{REFPn}} - AV_{\text{REFMn}}} \times 2^k + 0.5 \right)$$

または

$$(\text{A/D 変換結果値} - 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k} \leq V_{\text{IAN}} - AV_{\text{REFMn}} < (\text{A/D 変換結果値} + 0.5) \times \frac{AV_{\text{REFPn}} - AV_{\text{REFMn}}}{2^k}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{\text{IAN}}$  : アナログ入力電圧

$AV_{\text{REFPn}}$  :  $AV_{\text{REFPn}}$  端子電圧

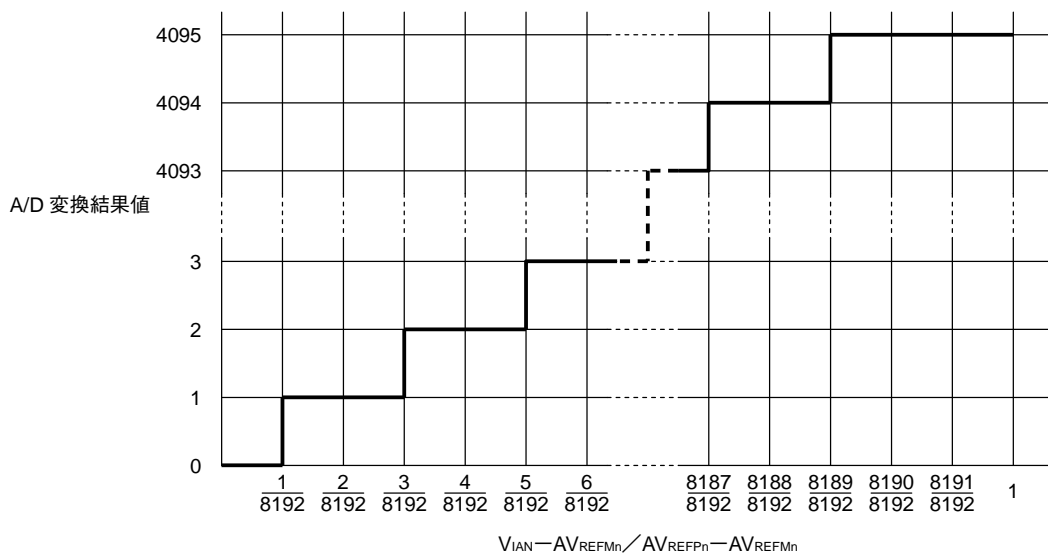
$AV_{\text{REFMn}}$  :  $AV_{\text{REFMn}}$  端子電圧

A/D 変換結果値 : ADCA<sub>n</sub>LCR[15:00] ビット, ADCA<sub>n</sub>CmCR[15:00] ビット, ADCA<sub>n</sub>DBiCR[15:00] ビットの値

k : 分解能

図 35-16 にアナログ入力電圧と A/D 変換結果の関係を示します。

(i) 12ビット A/D コンバータの変換特性 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>CTYP に 0 を設定) の場合



(ii) 10ビット A/D コンバータの変換特性 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>CTYP に 1 を設定) の場合

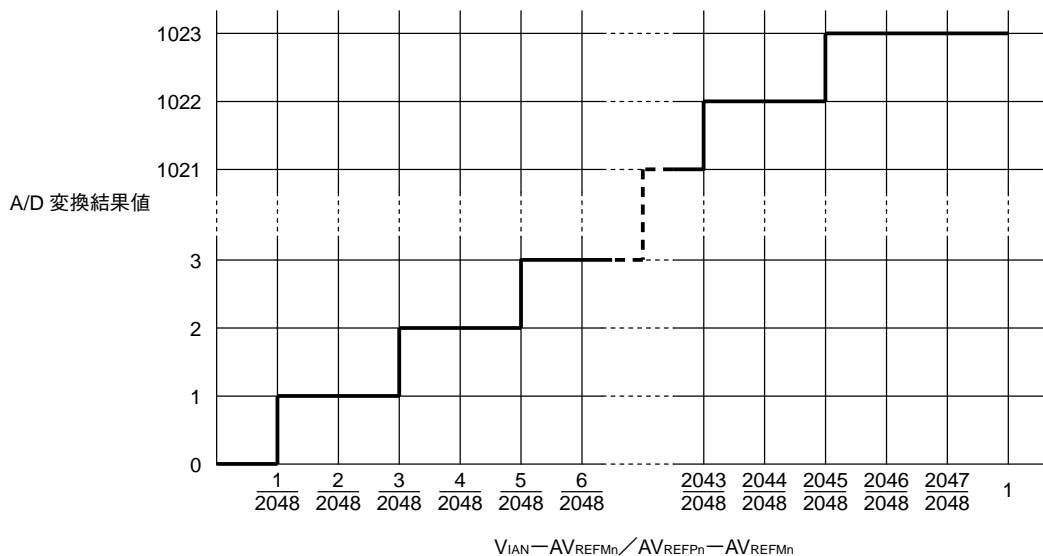


図 35-16 アナログ入力電圧と A/D 変換結果の関係

### 35.3.12 変換結果確認機能

ADCA<sub>n</sub> では、次の機能で A/D 変換結果を確認することができます。

- 変換結果上書きチェック機能
- 変換結果読み出しフラグ機能
- 変換結果上下限比較機能

#### (1) 変換結果上書きチェック機能

A/D 変換結果を読み出す前に上書きされたかどうかを確認できます。

**エラー・フラグ** A/D 変換結果レジスタは、それぞれ下記の上書きエラー・フラグを持っています。

```
ADCAnLCR.ADCAnLER1
ADCAnDBiCR.ADCAnDBiER1
ADCAnCmCR.ADCAnCmER1
```

たとえば、ADCA<sub>n</sub>CmCR レジスタに格納された A/D 変換結果を読み出す前に上書きされた場合、ADCA<sub>n</sub>CmCR.ADCA<sub>n</sub>CmER1 に 1 をセットします。

ADCA<sub>n</sub>LCR レジスタと ADCA<sub>n</sub>DBiCR レジスタについても同様です。

また、ADCA<sub>n</sub>CmCR.ADCA<sub>n</sub>CmER1 の値は ADCA<sub>n</sub>STR1.ADCA<sub>n</sub>OWEm にも反映されます。

**エラー割り込み** ADCA<sub>n</sub>LCR レジスタ、ADCA<sub>n</sub>DBiCR レジスタ、ADCA<sub>n</sub>CmCR レジスタの A/D 変換結果が読み出される前に上書きされると、エラー割り込み INTADCA<sub>n</sub>TERR が発生します。

変換結果を読み出さない変換結果レジスタに対しては、ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>OEM[4:0] を設定することでマスク処理ができます。

例：

- CH7 を CG1 に割り当て
- ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>OEM[4:0] を 0000<sub>B</sub> に設定し、ADCA<sub>n</sub>LCR レジスタ、ADCA<sub>n</sub>DBiCR レジスタ、ADCA<sub>n</sub>CmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に必ずエラー割り込み INTADCA<sub>n</sub>TERR を発生させるようにする

#### (2) 変換結果読み出しフラグ機能

A/D 変換結果をすでに読み出したか、それとも新規でありまだ読み出していないかを確認できます。

**状態フラグ** A/D 変換結果レジスタには下記の更新状態フラグが用意されています。

```
ADCAnLCR.ADCAnLUR
ADCAnDBiCR.ADCAnDBiUR
ADCAnCmCR.ADCAnCmUR
```

このフラグが 1 に設定されている場合、A/D 変換結果は新規です。更新状態フラグは、読み出し後 0 にクリアされます。

**(3) 変換結果上下限比較機能**

A/D 変換結果が設定可能な範囲内にあるかどうかを確認できます。

本機能の有効/無効は、ADCA<sub>n</sub>CTL2 レジスタによってチャンネルごとに設定できます。

有効にしたチャンネルの変換結果を、あらかじめ設定した下限値 (ADCA<sub>n</sub>LL レジスタ) および上限値 (ADCA<sub>n</sub>UL レジスタ) と比較します。

**エラー・フラグ** 指定チャンネルの A/D 変換結果が下限値を下回るか上限値を上回った場合、そのチャンネルに対応するエラー・フラグ ADCA<sub>n</sub>STR0.ADCA<sub>n</sub>RCE が 1 にセットされます。

ADCA<sub>n</sub>STR0 レジスタは、各チャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。この ADCA<sub>n</sub>STR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。

また、結果確認エラー・フラグ ADCA<sub>n</sub>STR0.ADCA<sub>n</sub>RCE の値は ADCA<sub>n</sub>CmCR.ADCA<sub>n</sub>CmER0 にも反映されます。

**エラー割り込み** 指定チャンネルの A/D 変換結果が設定範囲を外れている場合、エラー割り込み INTADCA<sub>n</sub>TERR が発生します。

### 35.3.13 自己診断機能

ADCA<sub>n</sub>が機能しているかどうかを確認するために、次の自己診断機能が使用できます。

- (1) A/D変換回路の診断
- (2) チャンネル・マルチプレクサの診断
- (3) オープン端子の診断
- (4) チャンネルS/H回路の診断

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

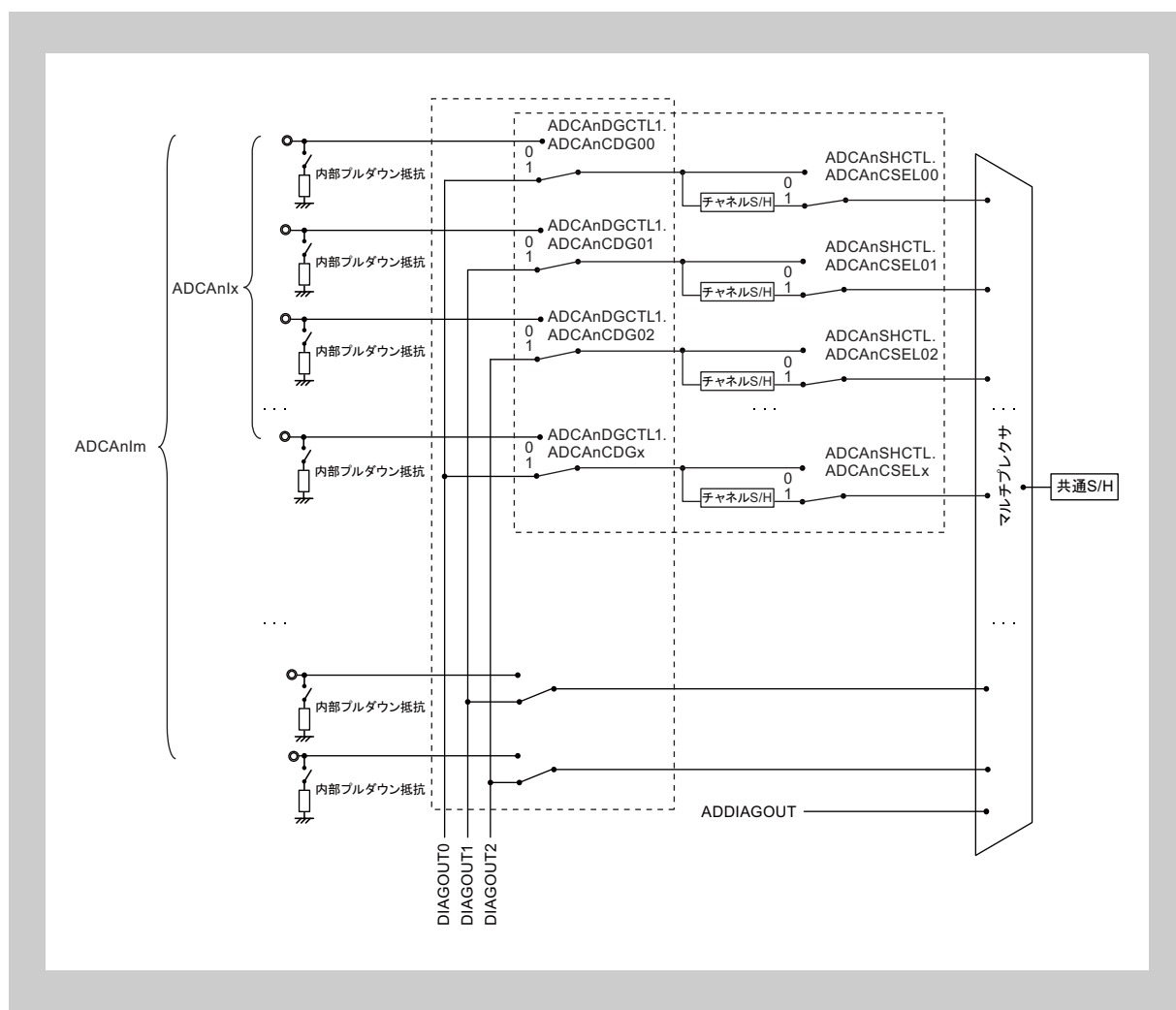


図 35-17 自己診断機能の概要

備考 点線で囲まれた部分は製品依存の機能です。

各診断機能の設定が可能な場合を次表に示します。

表 35-14 自己診断機能の設定

自己診断機能	ADCA <sub>n</sub> CE ビット=0	ADCA <sub>n</sub> CE ビット=1
A/D 変換回路の診断	○	○
チャンネル・マルチプレクサの診断	○	×
オープン端子の診断	○	×
チャンネル S/H 回路の診断	○	○

○：設定可，×：設定不可

### (1) A/D 変換回路の診断

A/D 変換回路の動作を診断できます。

A/D 変換回路の診断は、通常の A/D 変換動作中に行うことができます。CG0 の A/D 変換終了後、続けて基準電圧 ADDIAGOUT 信号を変換します。この診断 A/D 変換の結果が期待値から大きくはずれた場合は、ハードウェアに異常が発生または誤動作した可能性があります。

診断 A/D 変換を有効にするには、ADCA<sub>n</sub>CG0.ADCA<sub>n</sub>DIAG を 1 に設定します。

**備考** A/D 変換回路の診断は、CG0 にのみ使用できます。

診断 A/D 変換は、CG0 の最後のチャンネルの A/D 変換が終了したあとに開始されます。

- CG0 の A/D 変換結果は、通常の A/D 変換結果レジスタに格納されます ((1)「A/D 変換結果レジスタ」を参照)。
- 診断 A/D 変換の結果は、ADCA<sub>n</sub>DGCR レジスタに格納されます。

- 診断手順**
1. ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>GPS を 1 に設定し、ADCA<sub>n</sub> のパワーをオンにします。
  2. 次の手順で、CG0 と A/D 変換モードを設定します。
    - ADCA<sub>n</sub>CG0.ADCA<sub>n</sub>DIAG を 1 に設定して、基準電圧の診断 A/D 変換を有効にしてください。  
たとえば、8000 000E<sub>H</sub> を設定して、最初に CH1, CH2, CH3 のアナログ入力電圧を変換し、続いて診断用に基準電圧 ADDIAGOUT 信号を変換するようにします。
    - ADCA<sub>n</sub>IOC0.ADCA<sub>n</sub>CG0IDG を 1 に設定して、診断 A/D 変換終了時に A/D 変換終了割り込み INTADCA<sub>n</sub>T0 を発生するようにします。
  3. ADCA<sub>n</sub>DGCTL0.ADCA<sub>n</sub>PSEL[2:0] に基準電圧 ADDIAGOUT 信号を指定します。  
たとえば、ADCA<sub>n</sub>DGCTL0.ADCA<sub>n</sub>PSEL[2:0] を 010<sub>B</sub> に設定して、基準電圧 1/2 AV<sub>DD</sub> を適用します。
  4. ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE を 1 に設定して ADCA<sub>n</sub> を有効にします。
  5. ソフトウェア起動トリガまたはハードウェア起動トリガを発生させて、A/D 変換を開始します。

6. A/D 変換終了割り込み INTADCAnt0 が発生したら、ADCAntDGCR レジスタから診断 A/D 変換結果を読み出します。

ADCAntDGCTL0.ADCAnPSEL[2:0] は、A/D 変換中でも書き込み可能です。A/D 変換中に書き込みを行った場合の動作を下図に示します。

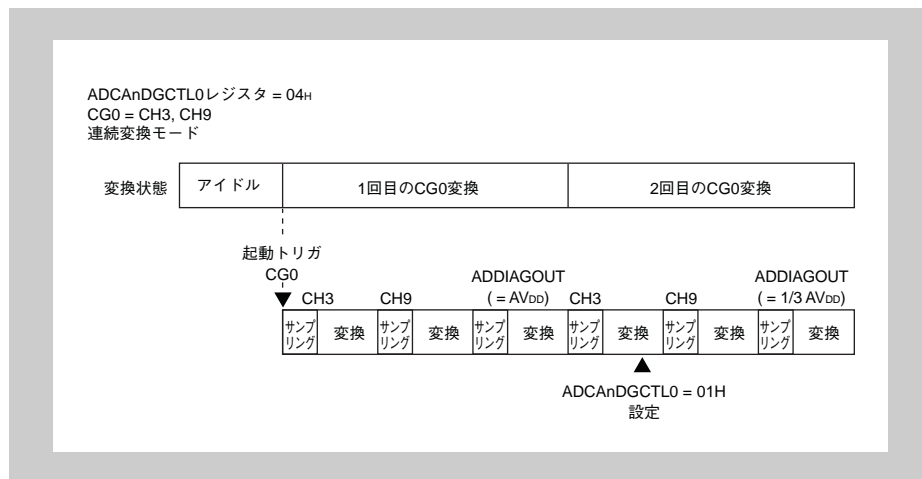


図 35-18 A/D 変換中の書き込み

**備考** ADCAntDGCTL0.ADCAnPSEL[2:0] で設定した値は、現在のチャネルの変換終了後に反映されます。したがって、次の診断 A/D 変換の基準電圧は、その診断 A/D 変換が開始する前までに設定してください。



**(2) チャネル・マルチプレクサの診断**

チャネルの切り替えと選択を診断できます。

各チャネルには、3つの基準電圧のうち1つが割り当てられます。この基準電圧の値は、ADCA<sub>n</sub>DGCTL0.ADCA<sub>n</sub>PSEL[2:0]で変更できます。

表 35-15 基準電圧のチャネル割り当て

基準電圧	割り当てチャネル
DIAGOUT0	21, 18, 15, 12, 9, 6, 3, 0
DIAGOUT1	22, 19, 16, 13, 10, 7, 4, 1
DIAGOUT2	23, 20, 17, 14, 11, 8, 5, 2

チャネル・マルチプレクサを診断するために、各チャネルに異なる基準電圧を入力できます。

- 診断手順**
- ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>GPS を 1 に設定し ADCA<sub>n</sub> のパワーをオンにします。
  - ADCA<sub>n</sub>CG0 レジスタに CG0 のチャネルを指定します。  
たとえば、0000 000E<sub>H</sub> を設定して、CH1, CH2, CH3 を使用するようにします。
  - ADCA<sub>n</sub>IOC0 レジスタを 0000 0000<sub>H</sub> に設定して、CG0 のすべての A/D 変換終了時に A/D 変換終了割り込み INTADCA<sub>n</sub>Ti を発生するようにします。
  - 必要に応じてほかの A/D 変換設定を行います。
  - ADCA<sub>n</sub>DGCTL0.ADCA<sub>n</sub>PSEL[2:0] に基準電圧を指定します。  
たとえば、ADCA<sub>n</sub>DGCTL0.ADCA<sub>n</sub>PSEL[2:0] を 010<sub>B</sub> に設定して、次の基準電圧を使用します。
    - DIAGOUT0 = 1/2 AV<sub>DD</sub>
    - DIAGOUT1 = 2/3 AV<sub>DD</sub>
    - DIAGOUT2 = 1/3 AV<sub>DD</sub>
  - CG0 のどのチャネルに（アナログ入力電圧 ADCA<sub>n</sub>Im でなく）基準電圧を適用するかを、ADCA<sub>n</sub>DGCTL1 レジスタに設定します。たとえば、ADCA<sub>n</sub>DGCTL1 レジスタを 0000 0006<sub>H</sub> に設定すると次のようにチャネルを適用します。
    - DIAGOUT1 (2/3 AV<sub>DD</sub>) を CH1 に適用
    - DIAGOUT2 (1/3 AV<sub>DD</sub>) を CH2 に適用
    - アナログ入力電圧を CH3 に適用
  - ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE を 1 に設定して ADCA<sub>n</sub> を有効にします。
  - ソフトウェア起動トリガまたはハードウェア起動トリガを発生させて、A/D 変換を開始します。
  - A/D 変換終了割り込み INTADCA<sub>n</sub>T0 を受信したら、CG0 の A/D 変換結果を読み出します。

**注意** ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE が 1 のとき、ADCA<sub>n</sub>DGCTL1 レジスタの設定変更は禁止です。

**(3) オープン端子の診断**

入力端子がオープンになっていると、正しい A/D 変換結果が得られません。  
内部プルダウン抵抗を接続してアナログ入力 ADCAnIm を診断できます。

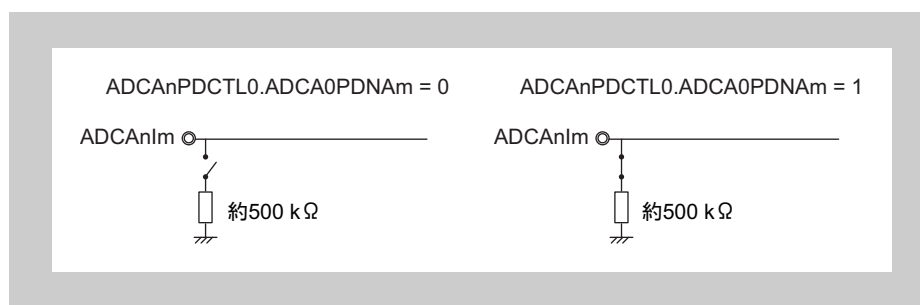


図 35-19 内部プルダウン抵抗

内部プルダウン抵抗をアナログ入力 ADCAnIm に接続 (ADCA0PDNAm に 1 を設定)、かつ ADCAnIm がオープンの場合、A/D 変換結果は 0 V に近づきます。

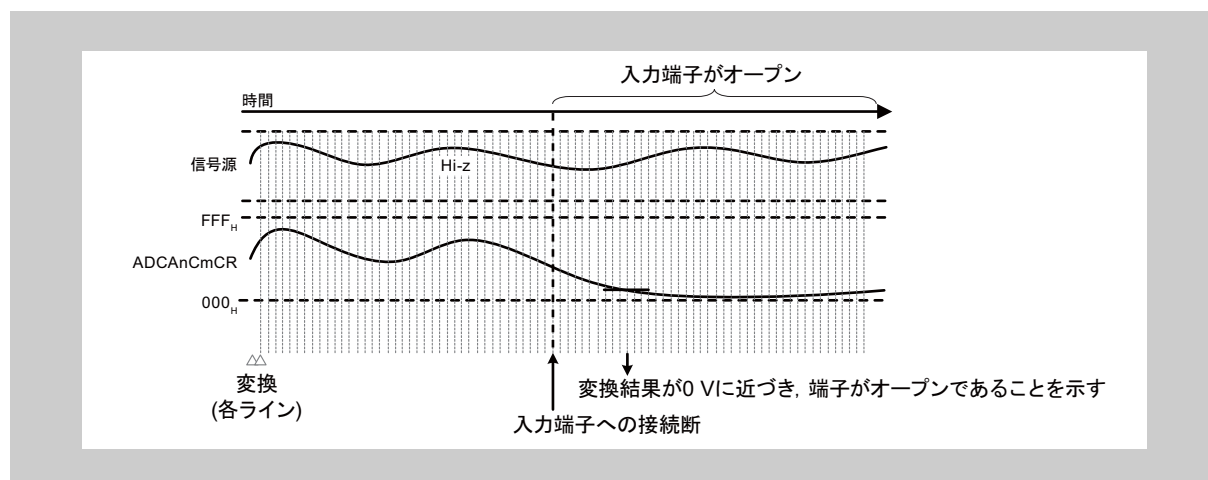


図 35-20 オープン入力端子の検出

- 備考**
1. アナログ入力 ADCAnIm が 0.2 V より小さい場合、端子オープンを判別できません。
  2. 通常の A/D 変換動作時には内部プルダウン抵抗を接続しないでください。内部プルダウン抵抗を接続することによって入力電圧降下が発生し、正しい A/D 変換結果が得られないことがあります。

**診断手順** オープン入力端子を診断する手順を次に示します。

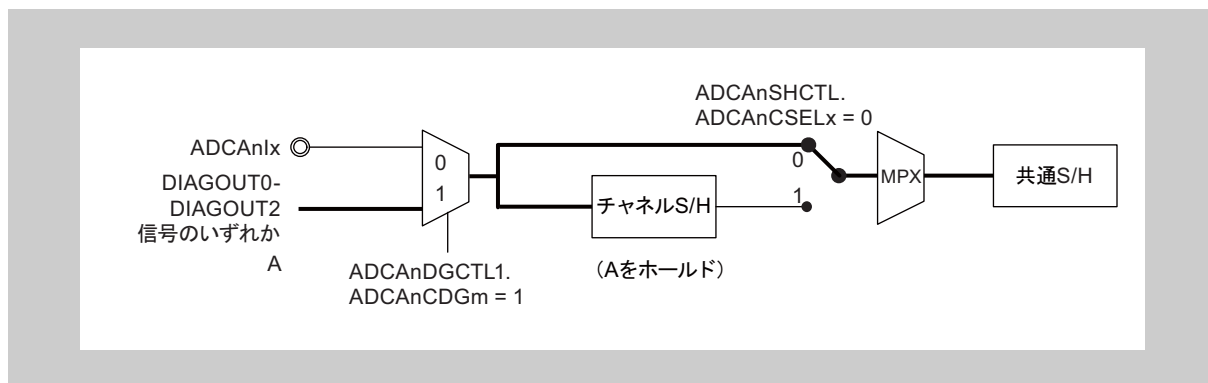
1. 通常どおり CG と A/D 変換の設定を行います。
2. ADCAnPDCTL0 レジスタを設定して内部プルダウン抵抗を接続します。
3. A/D 変換を複数回実行します。
4. チャンネルの A/D 変換結果をモニタし、0 V 近くになっている結果がないか確認します。

**(4) チャンネル S/H 回路の診断**

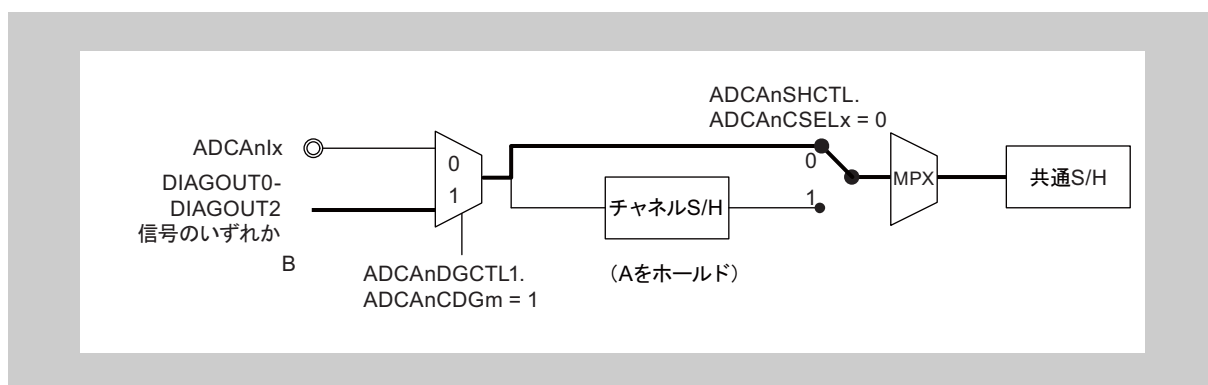
チャンネル S/H 機能は 35.3.14 「チャンネル S/H 機能」を参照してください。

チャンネル S/H 回路を診断できます。概要を以下に示します。

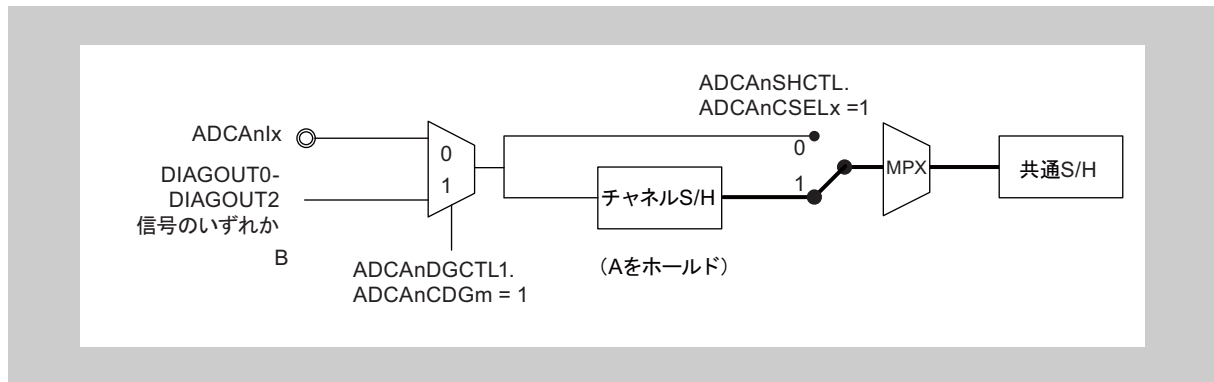
1. 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかを使用します。
2. 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかに電圧 “A” を設定します。チャンネル S/H 回路で “A” をホールドし、チャンネル S/H 回路を使用せずに変換を行います。



3. 基準電圧 DIAGOUT0-DIAGOUT2 信号のいずれかに電圧 “B” を設定します。  
チャンネル S/H 回路を使用せずに変換を行います。変換結果は “B” となります。  
チャンネル S/H 回路は “A” をホールドし続けます。



4. チャンネル S/H 回路を使用し変換を行います。  
チャンネル S/H 回路は “A” をホールドし続けます。変換結果は “A” となります。



5. 結果は以下のようになります。

- 最初の変換結果 3. の値が“B”。
- 2 番目の変換結果 4. の値が“A”。

チャンネル S/H 回路の診断フローを以下に示します。

**初期設定** ADCAn11 端子の例を説明します。

- ADCAnCTL1. ADCAnGPS を 1 に設定します。
- 起動トリガをソフトウェア・トリガに指定し、A/D 変換モードをワンショット変換モード（繰り返し回数：1）に指定します。
- ADCAnCG0 レジスタ = 0000 0002<sub>H</sub> を設定します（チャンネル S/H 回路を持つ ADCAn11 を選択）。
- ADCAnIOC0 レジスタ = 0000 0002<sub>H</sub> を設定し、A/D 変換終了割り込み INTADCAnT0 を発生させます（変換終了時には割り込みを発生させる必要があります）。
- ADCAnDGCTL0. ADCAnPSEL[2:0] を 001<sub>B</sub> に設定します（基準電圧 DIAGOUT1 に 1/3AV<sub>DD</sub> を選択）。
- ADCAnDGCTL1. ADCAnCDG01 を 1 に設定します。
- ADCAnCTL0. ADCAnCE を 1 に設定します。

## 動作フロー [ステップ 1]

CG0 のソフトウェア起動トリガ (1 回目) を入力します (チャンネル S/H 回路に  $1/3 AV_{DD}$  がホールドされます)。

次に,  $ADCA_{n}PSEL[2:0]$  ビットを  $010_B$  に変更します (1 回目の A/D 変換終了後, 基準電圧  $DIAGOUT1$  に  $2/3 AV_{DD}$  が選択されます)。

CG0 のソフトウェア起動トリガ (2 回目) を入力します (起動トリガが保持されます)。

ここまでの手順を 1 回目の A/D 変換が終了する前までに行う必要があります。

## [ステップ 2]

1 回目の A/D 変換が終了し, A/D 変換終了割り込み  $INTADCA_{n}T0$  が発生します。

$ADCA_{n}CSEL01$  ビットを 1 に変更します (次回の A/D 変換でチャンネル S/H 回路にホールドされている電圧が変換されます)。

CG0 のソフトウェア起動トリガ (3 回目) を入力します (起動トリガが保持されます)。

ここまでの手順を 2 回目の A/D 変換が終了する前までに行う必要があります。

## [ステップ 3]

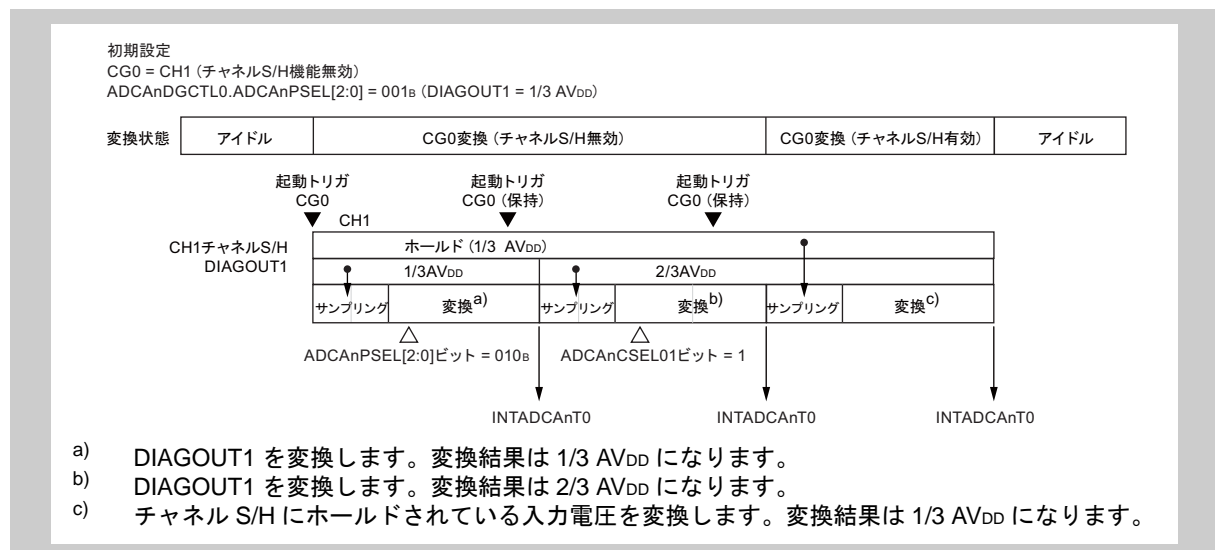
2 回目の A/D 変換が終了し, A/D 変換終了割り込み  $INTADCA_{n}T0$  が発生します。

$ADCA_{n}C01CR$  レジスタを読み出し, 期待する値 ( $2/3 AV_{DD}$ ) が格納されているか確認します。

## [ステップ 4]

3 回目の A/D 変換が終了し, A/D 変換終了割り込み  $INTADCA_{n}T0$  が発生します。 $ADCA_{n}C01CR$  レジスタを読み出し, 期待する値 ( $1/3 AV_{DD}$ ) が格納されているか確認します。

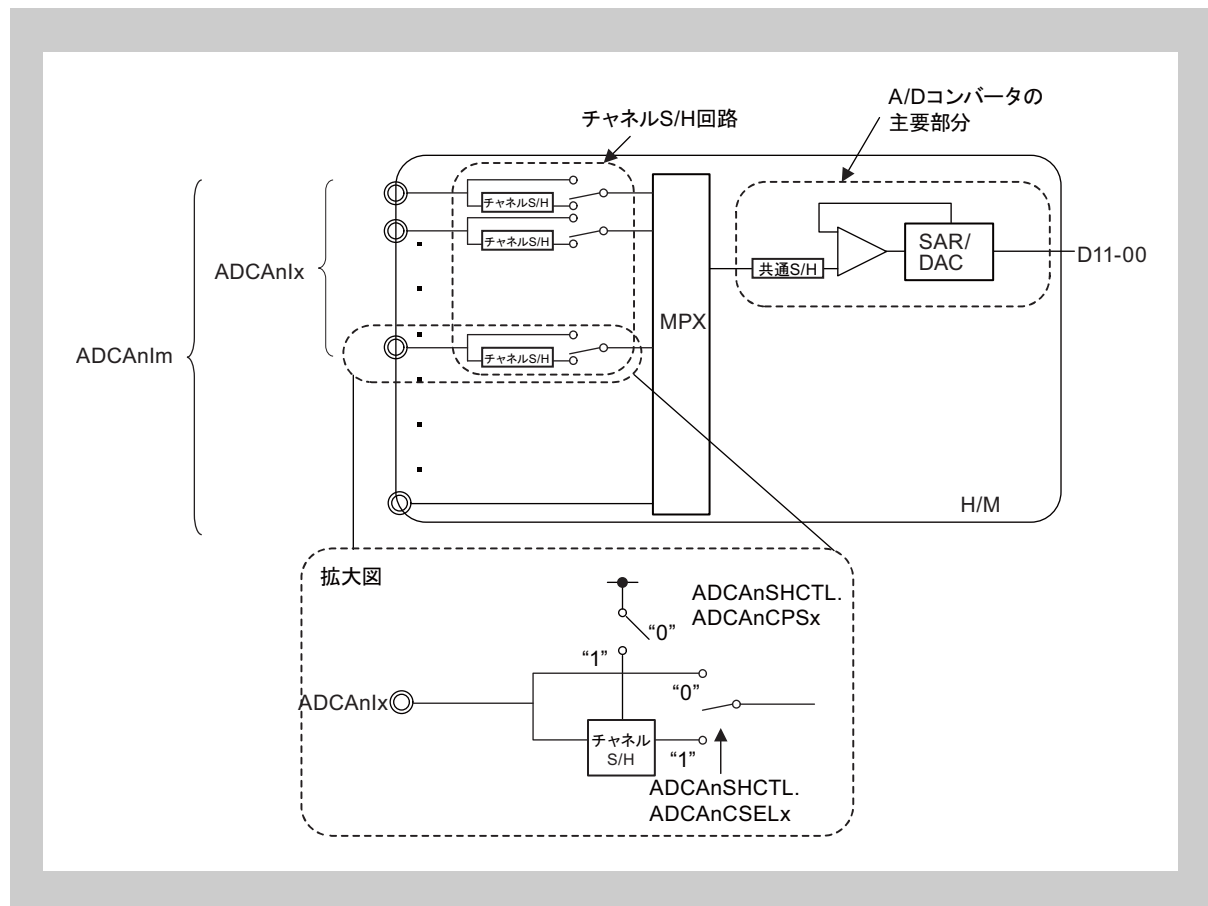
チャンネル S/H 回路診断のタイミング例を以下に示します。



### 35.3.14 チャネル S/H 機能

#### (1) チャネル S/H 機能

チャネル S/H 回路は次のようになります。



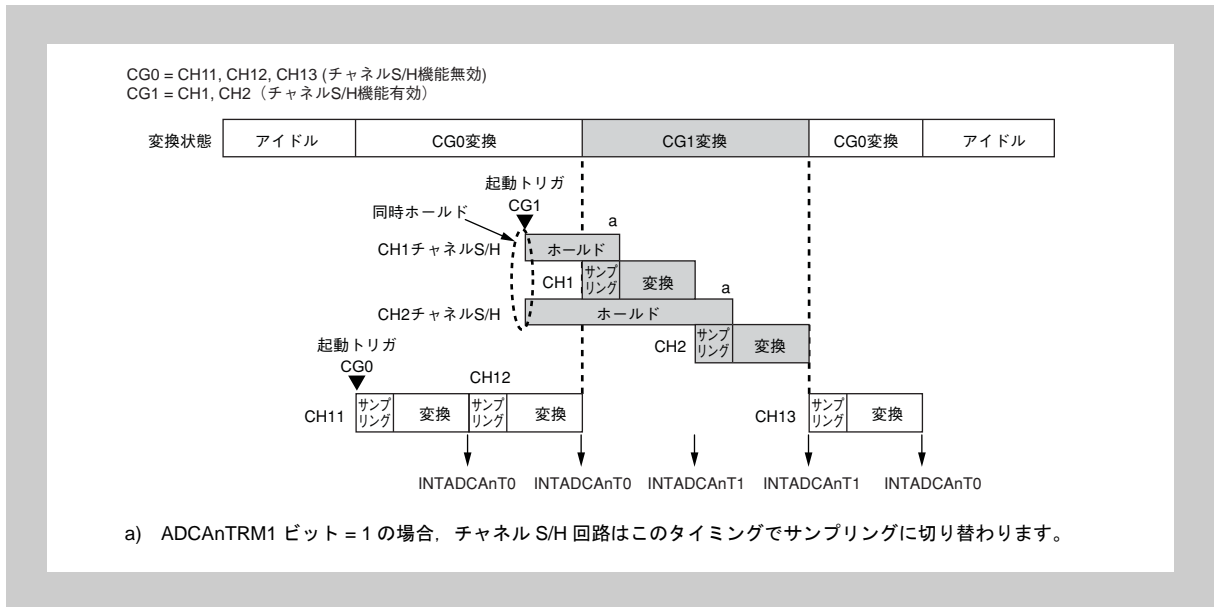
**備考** チャネル S/H 機能を使用する場合、バッファ・アンプ機能を有効 (ADCAnCTL1.ADCAnBPC ビット = 1 設定) にしてご使用願います。

チャネル S/H は、CG0 のワンショット変換モード (繰り返しなし) と CG1, 2 (繰り返しなし) で使用できます。

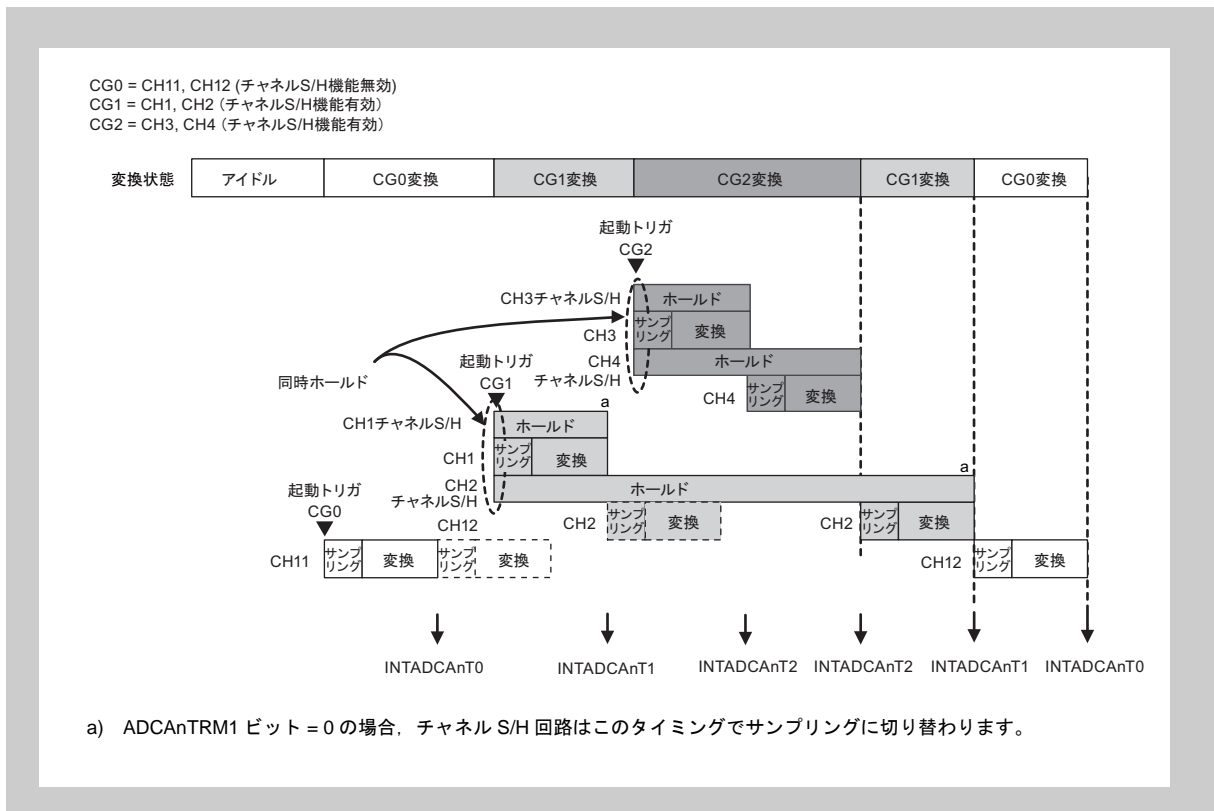
ADCAnSHCTL. ADCAnCPSx でチャネル S/H 回路への電源供給を制御し、ADCAnSHCTL. ADCAnCSELx でチャネル S/H 機能の有効/無効を設定します。

ハードウェア起動トリガまたはソフトウェア起動トリガ発生時に、ADCAnSHCTL.ADCAnCSELx でチャンネル S/H 機能を有効にしたチャンネルのアナログ入力信号をチャンネル S/H 回路でホールドします。次にADCAnCTL1.ADCAnTRMi の設定に従い、スキャン・リスト変換を開始します。

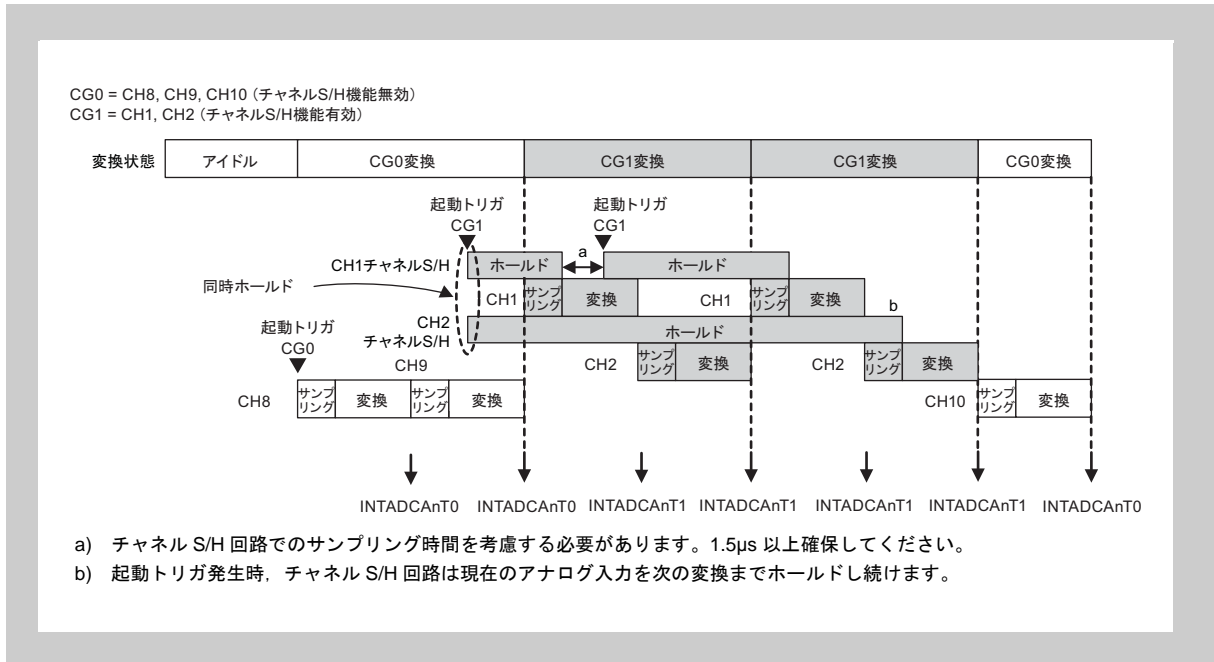
[例 1 : 優先順位の高い起動トリガが発生した場合 (ADCAnTRM0 ビット = 1, ADCAnTRM1 ビット = 1)]



[例 2 : 優先順位の高い起動トリガが発生した場合 (ADCAnTRM0 ビット = 0, ADCAnTRM1 ビット = 0)]

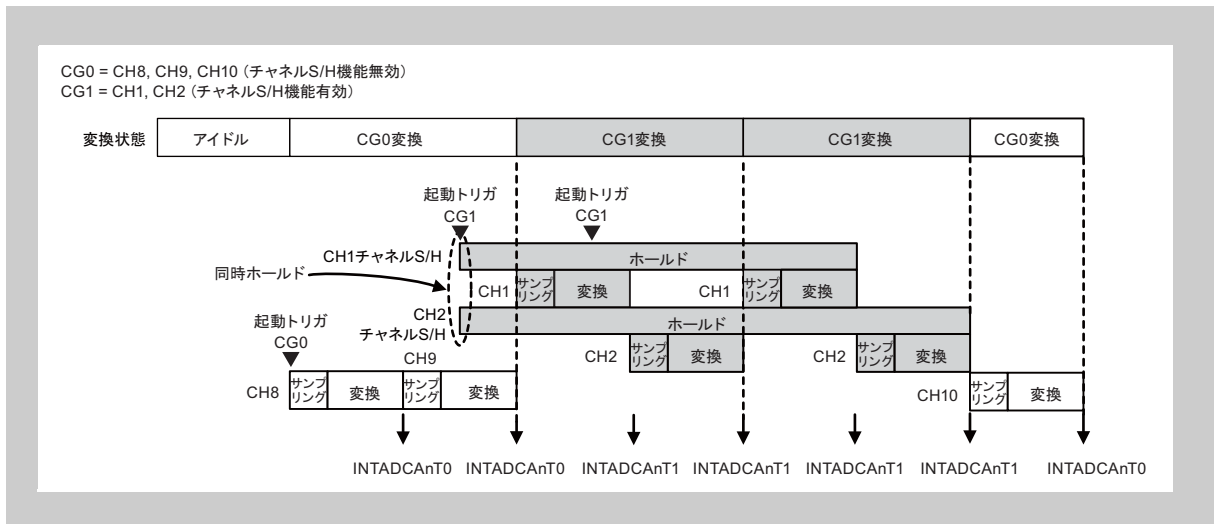


[例 3 : 後続の起動トリガが発生した場合 (ADCA<sub>n</sub>TRM0 ビット = 1, ADCA<sub>n</sub>TRM1 ビット = 1)]



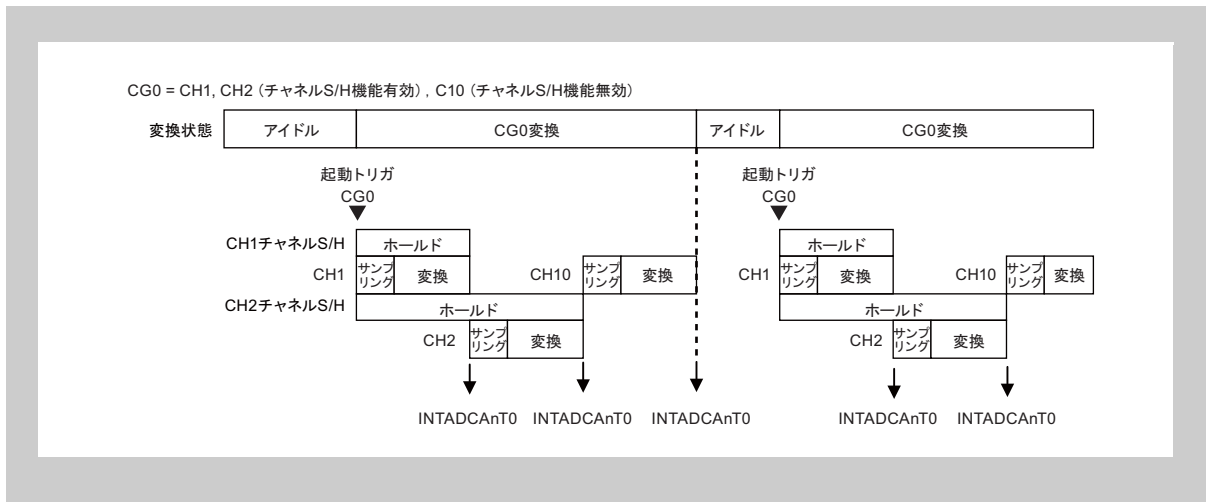
[例 4 : 後続の起動トリガが発生した場合 (ADCA<sub>n</sub>TRM0 ビット = 1, ADCA<sub>n</sub>TRM1 ビット = 0)]

A/D 変換中に後続の起動トリガが発生した場合は、チャンネル S/H 回路は新たにサンプリングを行いません。

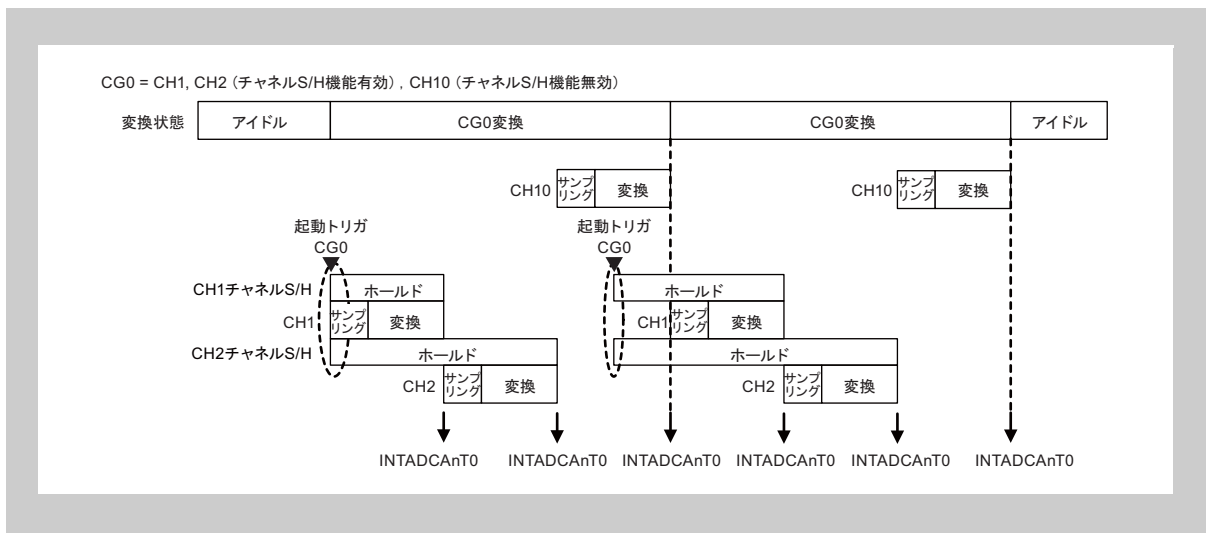




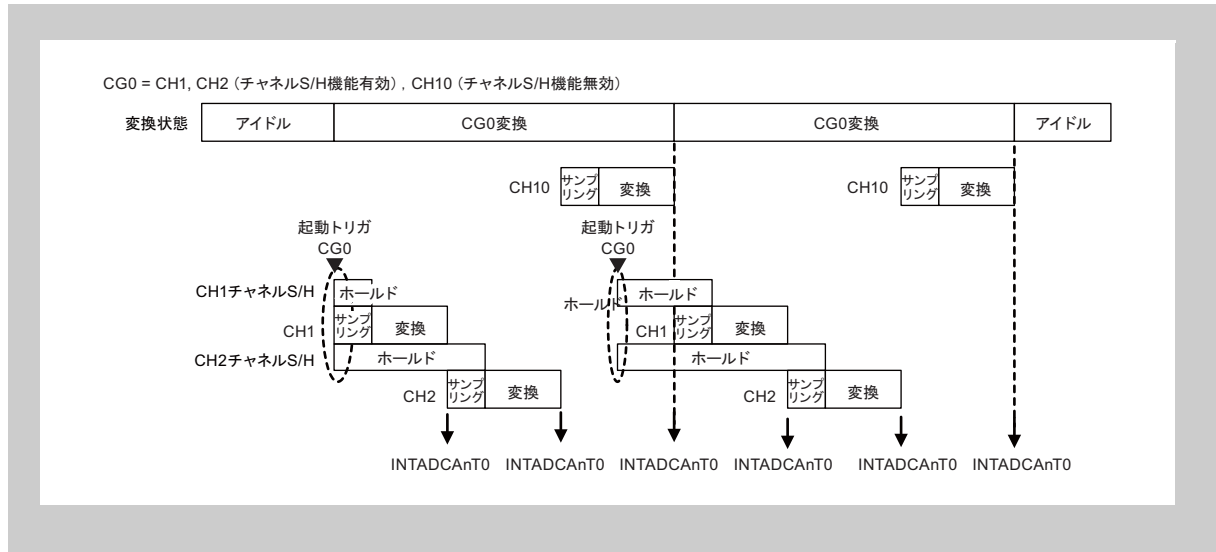
[例 5 : CG0 がワンショット変換モード (繰り返しなし) の場合 (ADCA<sub>n</sub>TRM0 ビット = 0)]



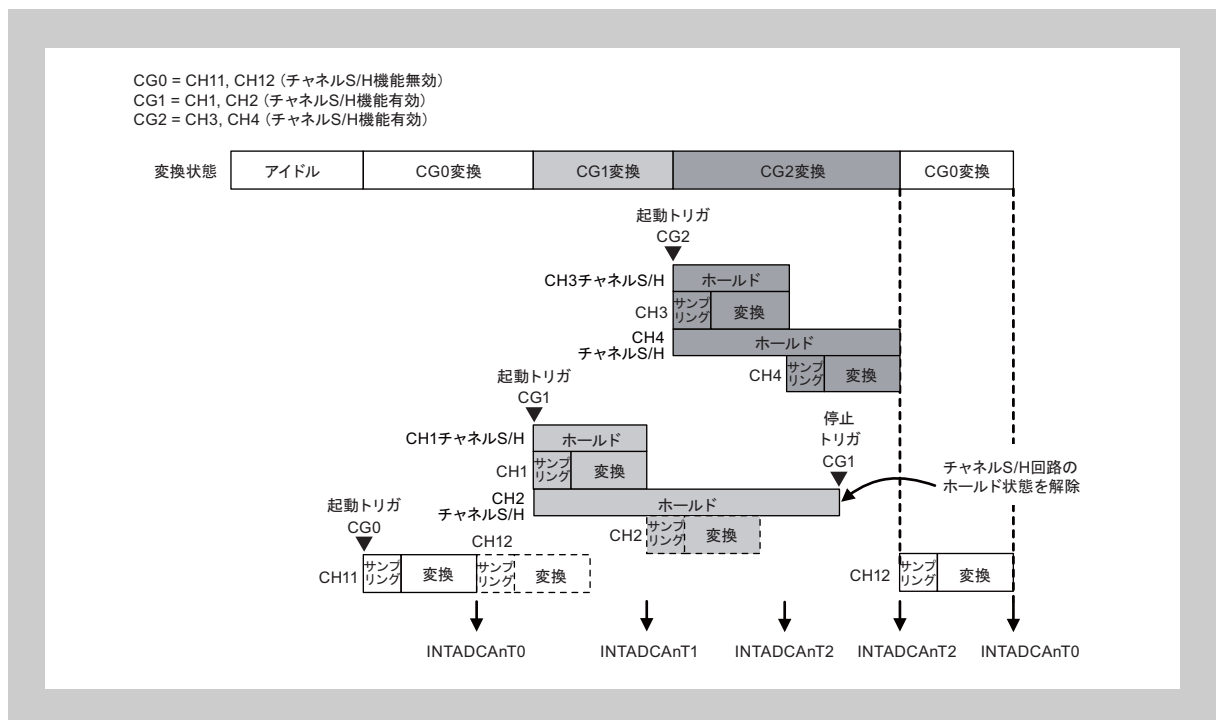
[例 6 : CG0 がワンショット変換モード (繰り返しなし) 時, 後続の起動トリガが発生した場合 (ADCA<sub>n</sub>TRM0 ビット = 0)]



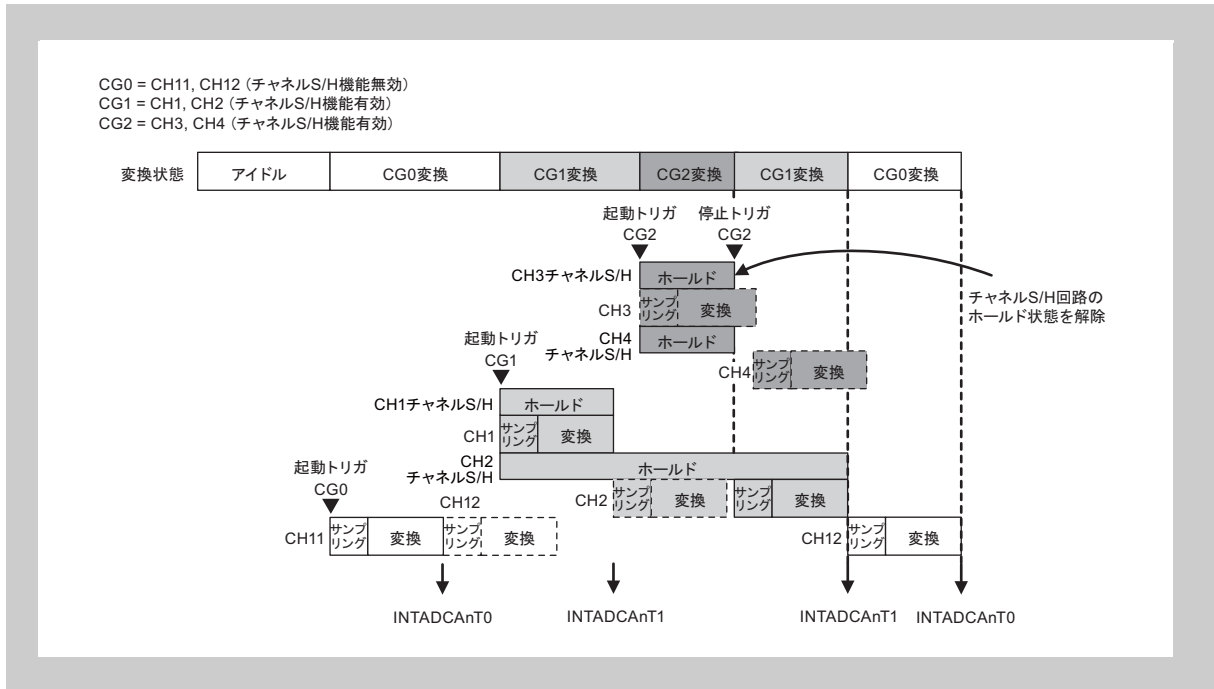
[例7: CG0がワンショット変換モード(繰り返しなし)時, 後続の起動トリガが発生した場合 (ADCA<sub>n</sub>TRM0ビット = 1)]



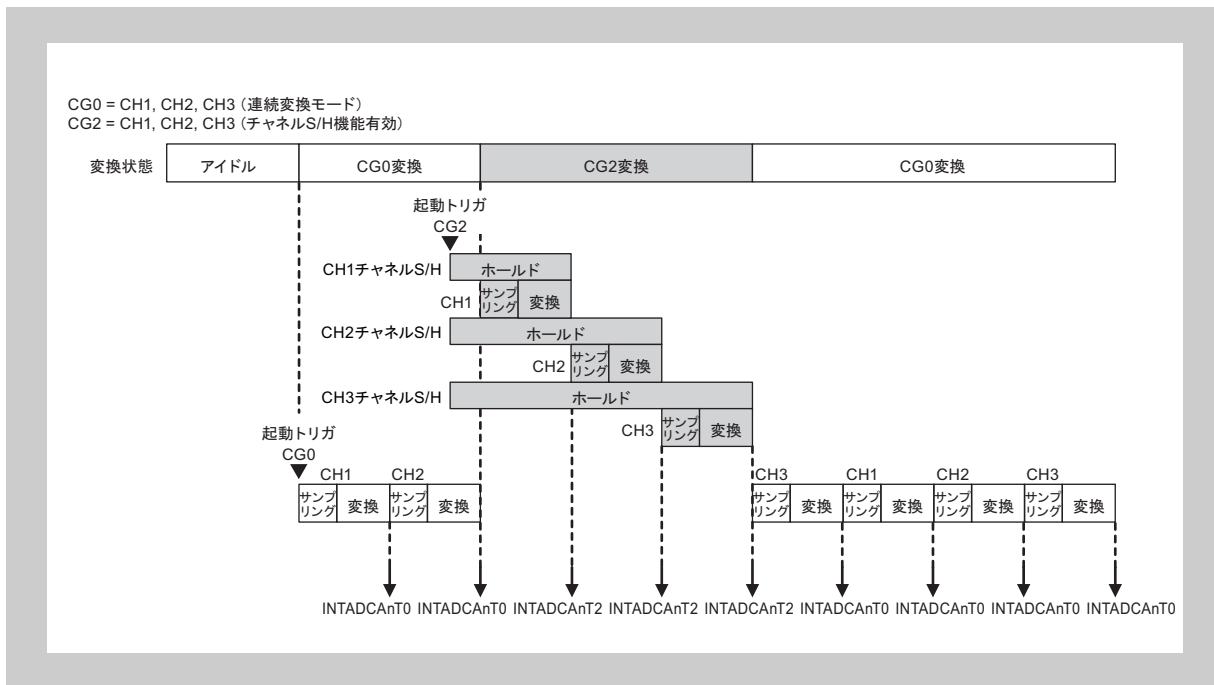
[例8: CG1とCG2に異なるチャンネルを設定し, CG1の停止トリガが発生した場合 (ADCA<sub>n</sub>TRM0ビット = 0, ADCA<sub>n</sub>TRM1ビット = 0)]



[例 9 : CG1 と CG2 に異なるチャンネルを設定し, CG2 の停止トリガが発生した場合 (ADCA<sub>n</sub>TRM0 ビット = 0, ADCA<sub>n</sub>TRM1 ビット = 0)]



[例 10 : CG0 が連続変換モードで CG0 と CG2 に同じチャンネルを設定した場合 (ADCA<sub>n</sub>TRM0 ビット = 1, ADCA<sub>n</sub>TRM2 ビット = 0)]



**(2) チャンネル S/H 機能使用時の制限事項**

チャンネル S/H 機能使用時の制限事項を示します。

1. チャンネル S/H 機能を使用する複数の CG に対して、同一チャンネルを設定しないでください。

例 1 : CG0, CG1, CG2 でチャンネル S/H 機能を使用する場合 (CG0 はワンショット変換モード)

以下の組み合わせは設定可能です。

– CG0 (CH1 を選択), CG1 (CH2 を選択), CG2 (CH3 を選択)

– 以下の組み合わせは設定禁止です。

CG0 (CH1 を選択), CG1 (CH1 を選択), CG2 (CH2, 3 を選択)

例 2 : CG1, CG2 でチャンネル S/H 機能を使用する場合 (CG0 は連続変換モード)

以下の組み合わせは設定可能です。

– CG0 (CH1 を選択), CG1 (CH1, 2 を選択), CG2 (CH3 を選択)

– CG0 (CH1, 2, 3 を選択), CG1 (CH1 を選択), CG2 (CH2, 3 を選択)

– 以下の組み合わせは設定禁止です。

CG0 (CH1, 2, 3 を選択), CG1 (CH1, 2 を選択), CG2 (CH2, 3 を選択)

2. チャンネル S/H 機能を使用している CG<sub>i</sub> に対して動作中にスキャン・リストを変更する場合、使用しているチャンネル S/H の対象チャンネルが変化しないように設定してください。

例 : CH1, 2, 3 がチャンネル S/H 機能を使用している場合

以下の組み合わせは設定可能です。

– CG0 (CH1, 2, 3) を CG0 (CH1, 2, 3, 10, 11) に変更

– CG0 (CH1, 2, 3, 10, 11) を CG0 (CH1, 2, 3) に変更

– CG0 (CH7, 8, 9) を CG0 (CH10, 11, 12) に変更

以下の組み合わせは設定禁止です。

– CG0 (CH1, 2, 3) を CG0 (CH1, 2) に変更

– CG0 (CH1) を CG0 (CH1, 2, 3) に変更

– CG0 (CH7, 8, 9) を CG0 (CH1, 7, 8, 9) に変更

– CG0 (CH1, 2, 9) を CG0 (CH9, 10, 11) に変更

3. チャンネル S/H を使用している CG に対して、繰り返し機能は使用禁止です。CG<sub>i</sub> でチャンネル S/H を使用している場合は、その CG に対する繰り返し回数設定ビット (ADCA<sub>n</sub>CTL0.ADCAnSCTi[1:0]) を 00<sub>B</sub> に設定してください。

### 35.3.15 ディスチャージ機能

必要に応じて、各変換の前に共通 S/H 回路の内部コンデンサを放電できます。

**備考** ディスチャージ機能を有効にすると、総変換時間が1クロック (ADCA<sub>n</sub>TCLK) 分長くなります (35.3.9「分解能、サンプリング時間と変換時間」を参照)。

**設定** ディスチャージ機能を有効にするには、ADCA<sub>n</sub>CTL1.DCAN<sub>n</sub>DISC を1に設定します。

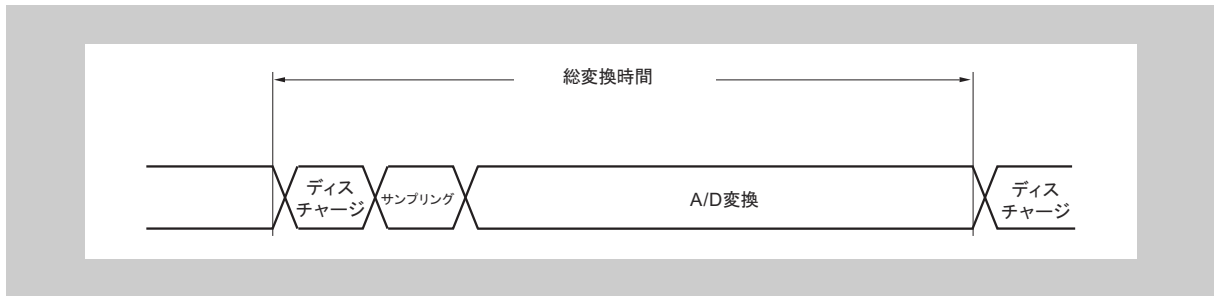


図 35-21 ディスチャージ機能有効時の変換タイミング

### 35.3.16 バッファ・アンプ機能

必要に応じて、アナログ入力信号を内部バッファ・アンプに接続できます。バッファ・アンプにより、A/Dのサンプリング期間中に、内部サンプリング・コンデンサへのチャージを加速させます。

バッファ・アンプ機能を有効にするには、ADCA<sub>n</sub>CTL1.ADCAN<sub>n</sub>BPC を1に設定します。

**備考** バッファ・アンプ機能を有効にすると、総変換時間が4クロック (ADCA<sub>n</sub>TCLK) 分長くなります (35.3.9「分解能、サンプリング時間と変換時間」を参照)。

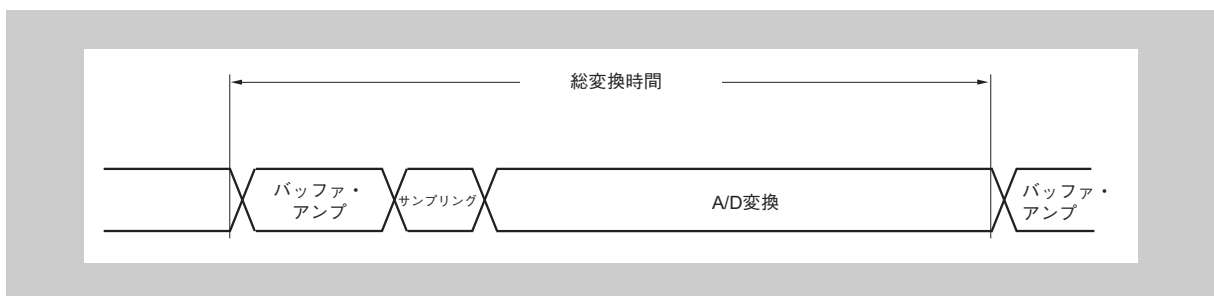


図 35-22 バッファ・アンプ機能有効時の変換タイミング

### 35.3.17 安定制御

A/Dコンバータには、次の場合に動作安定のための時間が必要です。

- A/Dコンバータ・オン時 (ADCA<sub>n</sub>CTL1.ADCA<sub>n</sub>GPS に 1 を設定)
- スタンバイ・モード終了時

安定時間の確保中でも起動トリガは受け付けますが、安定時間が経過するまでは変換は開始されません。

最小安定時間を確保するために、安定時間カウンタ ADCA<sub>n</sub>CNT を設定する必要があります (「電気的特性 (ターゲット)」を参照)。

## 35.4 レジスタ

この節では、ADCA<sub>n</sub>のすべてのレジスタについて説明します。

### 35.4.1 ADCA<sub>n</sub> レジスタの概要

ADCA<sub>n</sub>は、次の表に示すレジスタで制御、動作します。

- チャンネルごとに1つのレジスタが用意されている場合は、チャンネル番号を“m”で示します。
- CGごとに1つのレジスタが用意されている場合は、CG番号を“i” (i = 0-2) で示します。

表 35-16 ADCA<sub>n</sub> レジスタ一覧 (1/2)

レジスタ名	略号	アドレス
<b>制御レジスタ</b>		
A/Dコンバータ・モード制御レジスタ 0	ADCA <sub>n</sub> CTL0	<ADCA <sub>n</sub> _base> + 100 <sub>H</sub>
A/Dコンバータ・モード制御レジスタ 1	ADCA <sub>n</sub> CTL1	<ADCA <sub>n</sub> _base> + 104 <sub>H</sub>
A/Dコンバータ CG レジスタ i	ADCA <sub>n</sub> CGi	<ADCA <sub>n</sub> _base> + i × 4 <sub>H</sub>
A/Dコンバータ割り込み制御レジスタ i	ADCA <sub>n</sub> IOCi	<ADCA <sub>n</sub> _base> + CH + i × 4 <sub>H</sub>
A/Dコンバータ・トリガ選択制御レジスタ i	ADCA <sub>n</sub> TSELi	<ADCA <sub>n</sub> _base> + 108 <sub>H</sub> + i × 4 <sub>H</sub>
A/Dコンバータ安定カウンタ	ADCA <sub>n</sub> CNT	<ADCA <sub>n</sub> _base> + 114 <sub>H</sub>
A/Dコンバータ・チャンネル S/H 制御レジスタ	ADCA <sub>n</sub> SHCTL	<ADCA <sub>n</sub> _base> + 118 <sub>H</sub>
<b>変換状態レジスタ</b>		
A/Dコンバータ上書きエラー・フラグ・レジスタ	ADCA <sub>n</sub> STR1	<ADCA <sub>n</sub> _base> + 28 <sub>H</sub>
ADCA <sub>n</sub> STR1 フラグ・クリア・レジスタ	ADCA <sub>n</sub> STC1	<ADCA <sub>n</sub> _base> + 34 <sub>H</sub>
A/Dコンバータ状態フラグ・レジスタ 2	ADCA <sub>n</sub> STR2	<ADCA <sub>n</sub> _base> + 2C <sub>H</sub>
ADCA <sub>n</sub> STR2 フラグ・クリア・レジスタ	ADCA <sub>n</sub> STC2	<ADCA <sub>n</sub> _base> + 38 <sub>H</sub>
<b>ソフトウェア・トリガ・レジスタ</b>		
A/Dコンバータ・ソフトウェア・トリガ・レジスタ i	ADCA <sub>n</sub> TRGi	<ADCA <sub>n</sub> _base> + A4 <sub>H</sub> + i × 4 <sub>H</sub>
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 3	ADCA <sub>n</sub> TRG3	<ADCA <sub>n</sub> _base> + B0 <sub>H</sub>
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 4+i	ADCA <sub>n</sub> TRG4+i	<ADCA <sub>n</sub> _base> + B4 <sub>H</sub> + i × 4 <sub>H</sub>
A/Dコンバータ・ソフトウェア・トリガ・レジスタ 7	ADCA <sub>n</sub> TRG7	<ADCA <sub>n</sub> _base> + C0 <sub>H</sub>
<b>A/D 変換結果レジスタ</b>		
A/Dコンバータ最新変換結果レジスタ	ADCA <sub>n</sub> LCR	<ADCA <sub>n</sub> _base> + A0 <sub>H</sub>
A/Dコンバータ変換結果レジスタ m	ADCA <sub>n</sub> CmCR	<ADCA <sub>n</sub> _base> + 3C <sub>H</sub> + m × 4 <sub>H</sub>
A/Dコンバータ CGi バッファ結果レジスタ i	ADCA <sub>n</sub> DBiCR	<ADCA <sub>n</sub> _base> + C4 <sub>H</sub> + i × 4 <sub>H</sub>
A/Dコンバータ診断変換結果レジスタ	ADCA <sub>n</sub> DGCR	<ADCA <sub>n</sub> _base> + 9C <sub>H</sub>

表 35-16 ADCAn レジスタ一覧 (2/2)

レジスタ名	略号	アドレス
A/D 上下限比較レジスタ		
A/D コンバータ結果確認レジスタ	ADCAnCTL2	<ADCAn_base> + 18 <sub>H</sub>
A/D コンバータ結果確認 (上限値)	ADCAnUL	<ADCAn_base> + 1C <sub>H</sub>
A/D コンバータ結果確認 (下限値)	ADCAnLL	<ADCAn_base> + 20 <sub>H</sub>
A/D コンバータ結果確認エラー・フラグ	ADCAnSTR0	<ADCAn_base> + 24 <sub>H</sub>
ADCAnSTR0 フラグ・クリア・レジスタ	ADCAnSTC0	<ADCAn_base> + 30 <sub>H</sub>
診断機能制御レジスタ		
A/D コンバータ自己診断機能制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base> + DC <sub>H</sub>
A/D コンバータ自己診断機能制御レジスタ 1	ADCAnDGCTL1	<ADCAn_base> + 11C <sub>H</sub>
A/D コンバータ内部プルダウン抵抗値制御レジスタ 0	ADCAnPDCTL0	<ADCAn_base> + 120 <sub>H</sub>
エミュレーション・レジスタ		
エミュレーション・レジスタ	ADCAnEMU	<ADCAn_base> + 128 <sub>H</sub>



### 35.4.2 制御レジスタ

#### (1) ADCAnCTL0 - A/Dコンバータ・モード制御レジスタ 0

A/Dコンバータの有効/無効を設定します。さらに、ワンショット変換モードの繰り返し回数と、A/D変換結果を読み出す前に上書きされた場合にエラー割り込み要求を発生させるかどうかを指定します。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** <ADCAn\_base0> + 100<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCAn OEM4	ADCAnOEM[3:0]			ADCAn CE	0	ADCAn SCT2[1:0]		ADCAn SCT1[1:0]		ADCAn SCT0[1:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-17 ADCAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
12	ADCAn OEM4	ADCAnLCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は (1)「変換結果上書きチェック機能」を参照してください。															
11-8	ADCAn OEM3:0]	ADCAnCmCR レジスタの A/D 変換結果を読み出す前に上書きされた場合に、エラー割り込み INTADCAnTERR を発生させるかどうかを指定します。 0: A/D 変換結果が上書きされた場合にエラー割り込み INTADCAnTERR を発生 1: エラー割り込み INTADCAnTERR を発生しない 詳細は (1)「変換結果上書きチェック機能」を参照してください。															
7	ADCAn CE	A/D コンバータの有効/無効を設定します。 0: A/D コンバータ無効 1: A/D コンバータ有効 ADCAnCTL0.ADCAnCE を 1 に設定した場合、A/D 変換はハードウェア・トリガまたはソフトウェア・トリガ (ADCAnTRGi.ADCAnSTTi) でのみ開始します。また、A/D コンバータ有効後には安定するための時間が必要です。パワーオンの直後でも起動トリガは受け付けます。安定カウンタ ADCAnCNT=00 <sub>H</sub> のあと、A/D 変換を開始します。															
5-0	ADCAn SCTi[1:0]	CG1, CG2 とワンショット変換モードの CG0 のスキャンリスト変換繰り返し回数 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAn SCTi1</th> <th>ADCAn SCTi0</th> <th>CGi のスキャンリスト変換繰り返し回数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4</td> </tr> </tbody> </table>	ADCAn SCTi1	ADCAn SCTi0	CGi のスキャンリスト変換繰り返し回数	0	0	1	0	1	2	1	0	3	1	1	4
ADCAn SCTi1	ADCAn SCTi0	CGi のスキャンリスト変換繰り返し回数															
0	0	1															
0	1	2															
1	0	3															
1	1	4															

(2) ADCAnCTL1 - A/Dコンバータ・モード制御レジスタ 1

変換モードを指定し、変換動作を制御します。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** <ADCAn\_base0> + 104<sub>H</sub>

**初期値** 0100 0008<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn T2ETS[1:0]	ADCAn T1ETS[1:0]	ADCAn T0ETS[1:0]	0	ADCAn CRAC	0	0	ADCAn MD1	ADCAn MD0	0	0	ADCAn DISC	ADCAn RCL			
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAn CTYP	0	0	ADCAn STL	ADCAnFR[3:0]			0	ADCAnTRM[2:0]		ADCAn BPC	0	0	ADCAn GPS		
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R	R/W

表 35-18 ADCAnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
31-26	ADCAn TiETS[1:0]	ハードウェア・トリガ ADCAnTTRGi 信号の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCAn TiETS1</th> <th>ADCAn TiETS0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>エッジ検出なし (受け付けない)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	ADCAn TiETS1	ADCAn TiETS0	有効エッジ	0	0	エッジ検出なし (受け付けない)	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	設定禁止
ADCAn TiETS1	ADCAn TiETS0	有効エッジ															
0	0	エッジ検出なし (受け付けない)															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	設定禁止															
24	ADCAn CRAC	A/D 変換結果および診断変換結果の揃え位置を指定します。 0: 右揃え 1: 左揃え															
21	ADCAn MD1	すべての CG の A/D 変換の起動トリガを指定します。 0: ソフトウェア・トリガ 1: ハードウェア・トリガとソフトウェア・トリガ この設定はすべての CG に対して有効です。 トリガは、A/D コンバータが有効な場合のみ検出されます。 詳細は 35.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。															
20	ADCAn MD0	CG0 の A/D 変換モードを指定します。 0: ワンショット変換モード 繰り返し回数は、CG ごとに ADCAnCTL0.ADCAnSCTi[1:0] で指定します。 1: 連続変換モード この設定は CG0 の A/D 変換のみに適用します。 CG1 と CG2 は、常にワンショット変換モードで動作します。 詳細は 35.3.4 「A/D 変換モード」を参照してください。															
17	ADCAn DISC	ディスチャージ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 35.3.15 「ディスチャージ機能」を参照してください。															

表 35-18 ADCAnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																								
16	ADCAnRCL	A/D 変換結果 ADCAnCmCR と ADCAnDBiCR を読み出したあと、その値を保持するかどうかを指定します。 0: 次の A/D 変換結果によって上書きされるまで保持 1: 読み出し後にクリア																								
15	ADCAnCTYP	分解能モードを指定します。 0: 12 ビット分解能 1: 10 ビット分解能																								
12	ADCAnSTL	ADCAnCNVi 信号のレベルを指定します。 0: ADCAnCNVi = L のとき、CGi は変換中ではない。 ADCAnCNVi = H のとき、CGi は変換中。 1: ADCAnCNVi = H のとき、CGi は変換中ではない。 ADCAnCNVi = L のとき、CGi は変換中。																								
11-8	ADCAnFR[3:0]	ADCAn クロック ADCAnTCLK を指定します。 <table border="1" data-bbox="550 757 1385 1272"> <thead> <tr> <th>ADCAnFR[3:0]</th> <th>ADCAn クロック</th> </tr> </thead> <tbody> <tr><td>0000</td><td>PCLK/2</td></tr> <tr><td>0001</td><td>PCLK/3</td></tr> <tr><td>0010</td><td>PCLK/4</td></tr> <tr><td>0011</td><td>PCLK/5</td></tr> <tr><td>0100</td><td>PCLK/6</td></tr> <tr><td>0110</td><td>PCLK/8</td></tr> <tr><td>1000</td><td>PCLK/10</td></tr> <tr><td>1010</td><td>PCLK/12</td></tr> <tr><td>1100</td><td>PCLK/14</td></tr> <tr><td>1110</td><td>PCLK/16</td></tr> <tr><td>上記以外</td><td>設定禁止</td></tr> </tbody> </table>	ADCAnFR[3:0]	ADCAn クロック	0000	PCLK/2	0001	PCLK/3	0010	PCLK/4	0011	PCLK/5	0100	PCLK/6	0110	PCLK/8	1000	PCLK/10	1010	PCLK/12	1100	PCLK/14	1110	PCLK/16	上記以外	設定禁止
ADCAnFR[3:0]	ADCAn クロック																									
0000	PCLK/2																									
0001	PCLK/3																									
0010	PCLK/4																									
0011	PCLK/5																									
0100	PCLK/6																									
0110	PCLK/8																									
1000	PCLK/10																									
1010	PCLK/12																									
1100	PCLK/14																									
1110	PCLK/16																									
上記以外	設定禁止																									
6-4	ADCAnTRMi	より優先順位の高い CG の A/D 変換の起動トリガが入力された場合（または ADCHALT モードへの遷移が要求された場合）の中断動作を指定します。 0: CGi の現在の A/D 変換はただちに中断し、より優先順位の高い CG の A/D 変換を開始する（または ADCHALT モードに入る）。 1: CGi の現在のチャネルの変換を終了してから CG の A/D 変換を中断し、より優先順位の高い CG の A/D 変換を開始する（または ADCHALT モードに入る）。 より優先順位の高い CG の A/D 変換がすべて終了した（または ADCHALT モードから復帰した）あと、CGi の A/D 変換を継続します。 優先順位は、ADCHALT > CG2 > CG1 > CG0 です。 詳細は (1)「A/D 変換の順序」を参照してください。																								
3	ADCAnBPC	バッファ・アンプ機能の有効/無効を設定します。 0: 無効 1: 有効 詳細は 35.3.16「バッファ・アンプ機能」を参照してください。																								
0	ADCAnGPS	ADCAn のパワーオン/オフを切り替えます。 0: パワーオフ 1: パワーオン A/D コンバータは、パワーオンにしたあとで動作を安定させるための時間が必要です (35.3.17「安定制御」を参照)。																								

**(3) ADCAnCGi - A/D コンバータ・チャンネル・グループ・レジスタ i**

各 CG のスキャン・リストを作成します。スキャン・リストに設定したチャンネルは昇順に変換されます。詳細は 35.3.3 「チャンネルとチャンネル・グループ」を参照してください。

また、ADCAnCG0.ADCAnDIAG を使用して、基準電圧 ADDIAGOUT 信号を用いた A/D 変換の診断の有効・無効を選択することができます。詳細は (1) 「A/D 変換回路の診断」を参照してください。

- アクセス** 32 ビット単位でリード／ライト可能です。  
 本レジスタは、マスタ／スレーブ構成のレジスタのため、A/D 変換動作中に新たな A/D 変換チャンネルをマスタ・レジスタに設定できます。マスタ・レジスタの値がスレーブ・レジスタに転送されるタイミングは次のとおりです。
- CGi が A/D 変換中でない場合は、マスタ・レジスタに書き込まれた 1 クロック (PCLK) 後に転送されます。
  - CGi が A/D 変換中の場合は、現在実行されている CGi のスキャン・リスト変換が終了したときに転送されます。
  - 本レジスタに書き込みを行ったあとで CGi の停止トリガビット (ADCAnSPi ビット) をセットした場合は、A/D 変換停止時に転送されます。

**アドレス** <ADCAn\_base1> + i × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAn DIAG	0	0	0	0	0	0	0	ADCAnCGiS[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGiS[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-19 ADCAnCGi レジスタの内容

ビット位置	ビット名	機能
31	ADCAn DIAG	CG0 の A/D 変換終了時に行う基準電圧 ADDIAGOUT 信号の診断 A/D 変換の有効／無効を設定します。 0 : ADDIAGOUT 信号の A/D 変換無効 1 : ADDIAGOUT 信号を変換 このビットは ADCAnCG0 のみ設定できます。ADCAnCG1 と ADCAnCG2 は 0 としてください。
23-0	ADCAn CGiS[23:00]	変換対象の CGi のアナログ入力信号を指定します。 0 : アナログ入力 ADCAnIm を変換しない 1 : アナログ入力 ADCAnIm を変換する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**(4) ADCAnIOCi - A/D コンバータ割り込み制御レジスタ i**

特定のチャンネルの A/D 変換が終了したときに、A/D 変換終了割り込み INTADCAnTi を発生させることができます。

このレジスタは、A/D 変換終了時に割り込み INTADCAnTi を発生させるチャンネルを指定します。

ADCAnIOCi = 0000 0000<sub>H</sub> を設定した場合（特定チャンネルの指定がない場合）、CGi の A/D 変換終了時に自動的に割り込み INTADCAnTi が発生します（35.3.10 「割り込み発生」参照）。

**アクセス** 32 ビット単位でリード/ライト可能です。  
A/D コンバータが有効（ADCAnCTL0.ADCAnCE に 1 を設定）の場合でも、任意のタイミングで書き込むことができます。新しい値は CGi の現在の A/D 変換が終了したあとに有効になります。

**アドレス** <ADCAn\_base1> + 0C<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAnCG0IDG	0	0	0	0	0	0	0	ADCAnCGi[23:16]							
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCGi[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-20 ADCAnIOCi レジスタの内容

ビット位置	ビット名	機能
31	ADCAnCG0IDG	CG0 の診断モードが有効な場合（ADCAnCG0.ADCAnDIAG に 1 を設定）、基準電圧の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0 : A/D 変換終了割り込み INTADCAnTi を発生しない 1 : A/D 変換終了割り込み INTADCAnTi を発生する このビットは ADCAnIOC0 レジスタのみ設定できます。ADCAnIOC1 レジスタと ADCAnIOC2 レジスタは 0 としてください。 詳細は (1) 「A/D 変換回路の診断」を参照してください。
23-0	ADCAnCGi[23:00]	チャンネル m の A/D 変換終了時に割り込み INTADCAnTi を発生させるかどうかを指定します。 0 : A/D 変換終了割り込み INTADCAnTi を発生しない 1 : A/D 変換終了割り込み INTADCAnTi を発生する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**備考** ADCAnIOCi レジスタは ADCAnCGi レジスタに連動しているため、それぞれのバッファ・レジスタを更新する場合はあわせて行う必要があります。更新は ADCAnCGi レジスタが書き込まれた時点で行われるため、CG の割り込み発生を変更する場合は、必ず ADCAnCGi レジスタの前に ADCAnIOCi レジスタの書き込みを行ってください。

**(5) ADCAnCNT - A/Dコンバータ安定カウンタ**

安定時間を指定します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** <ADCAn\_base0> + 114<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

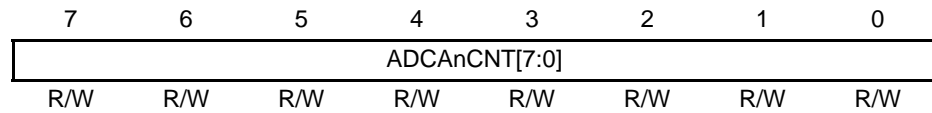


表 35-21 ADCAnCNT レジスタの内容

ビット位置	ビット名	機能
7-0	ADCAnCNT[7:0]	安定カウンタ値を指定します。 安定時間 = ADCAnCNT[7:0] × クロック (PCLK)

**(6) ADCAnSHCTL – A/D コンバータ・チャンネル S&H 制御レジスタ**

このレジスタは、各チャンネルの S/H (サンプル & ホールド) 機能の有効/無効を指定するのに用いられます。

また、S/H 機能不要時の電力抑制するためなど、チャンネル S/H (サンプル & ホールド) 機能の有効/無効を切り替えるのにも使用できます。このレジスタの設定はすべてのチャンネル・グループ (CG) に有効です。

**アクセス** 32 ビット単位でリード/ライト可能です。  
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

**アドレス** <ADCAn\_base> + 118<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	ADCAnCPS[05:00]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	ADCAnCSEL[05:00]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-22 ADCAnSHCTL レジスタの内容

ビット位置	ビット名	機能
21-16	ADCAnCPSm (m = 00 - 05)	S/H (サンプル & ホールド) 回路の有効/無効をチャンネルごとに指定します。 0 : S/H 回路無効 (パワー・セーブ・モード) 1 : S/H 回路有効
5-0	ADCAnCSELM (m = 00 - 05)	S/H (サンプル & ホールド) 回路の測定値の使用可否をチャンネルごとに指定します。 0 : S/H 回路の値を使用しない。 1 : S/H 回路の値を使用する。

**備考** 該当する S/H 回路の電源がオン (ADCAnCPSm = 1) のときのみ ADCAnCSELM は有効となります。

## (7) ADCAnTSELi - A/D コンバータ・トリガ選択制御レジスタ 0

ハードウェア起動トリガ ADCAnTTRGi 信号と組み合わせて使用する入力信号を指定します。

**アクセス** 16ビット単位でリード/ライト可能です。  
A/Dコンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

**アドレス** <ADCAn\_base0> + 108<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnTiSEL[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-23 ADCAnTSELi レジスタの内容

ビット位置	ビット名	機能
15-0	ADCAnTiSEL[15:00]	対応する入力信号をハードウェア起動トリガとして使用するかどうかを指定します。 0 : ハードウェア起動トリガとして使用しない 1 : ハードウェア起動トリガとして使用する 備考 本製品に実装されていないトリガに対するビットは 0 に設定してください。

**備考** ハードウェア起動トリガの接続先は、表 35-9 「ADCA0 ハードウェア・トリガの接続先」を参照してください。



### 35.4.3 変換状態レジスタ

#### (1) ADCAnSTR1 - A/D コンバータ上書きエラー・フラグ

ADCAnCmCR レジスタに対し、最新の A/D 変換結果を読み出す前に上書きされたかどうかを示します。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <ADCAn\_base1> + 28<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-24 ADCAnSTR1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWE[23:00]	チャンネル m の A/D 変換結果を読み出す前に上書きされたかどうかを示します。 0 : 上書きされていない 1 : 上書きされた このエラー・フラグは、ADCAnSTC1.ADCAnOWECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**備考** ADCAnSTR1.ADCAnOWEm の値は、次の上書きエラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER1)

**(2) ADCAnSTC1 - ADCAnSTR1 フラグ・クリア・レジスタ**

ADCAnSTR1 レジスタのクリア制御レジスタです。

**アクセス** 32 ビット単位でライト可能です。  
読み出し値は常に 0000 0000<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + 34<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnOWEC[23:16]							
R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnOWEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 35-25 ADCAnSTC1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnOWEC[23:00]	0 : 機能なし 1 : 対応する ADCAnSTR1.ADCAnOWEm をクリア 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**(3) ADCAnSTR2 - A/Dコンバータ状態フラグ 2**

現在の変換状態を示します。

**アクセス** 16ビット単位でリード可能です。

**アドレス** <ADCAn\_base1> + 2C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	ADCAnRQ3	ADCAnRQ[2:0]			0	0	0	0	ADCAnST3	ADCAnST[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-26 ADCAnSTR2 レジスタの内容

ビット位置	ビット名	機能
11	ADCAnRQ3	ADCHALT 要求が保留されているかどうかを示します。 0: 保留 ADCHALT 要求なし 1: 保留 ADCHALT 要求あり
10-8	ADCAnRQ[2:0]	CGi の A/D 変換要求が保留されているかどうかを示します。 0: 保留 A/D 変換要求なし 1: 保留 A/D 変換要求あり
3	ADCAnST3	A/D 変換が、ソフトウェア・トリガ (ADCAnTRG3.ADCAnSTT3) によって現在 ADCHALT 状態であるかどうかを示します。 0: ADCHALT 状態ではない 1: ADCHALT 状態 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。
2-0	ADCAnST[2:0]	CGi の A/D 変換が現在実行中かどうかを示します。 0: A/D 変換実行中ではない (より優先順位の高い CG の A/D 変換による中断も含む) 1: A/D 変換実行中 A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合、このビットはクリアされています。

## (4) ADCAnSTC2 -ADCAnSTR2 フラグ・クリア・レジスタ 2

ADCAnLCR レジスタと ADCAnDBiCR レジスタの上書き状態フラグと結果確認状態フラグをクリアします。

**アクセス** 8ビット単位でライト可能です。

**アドレス** <ADCAn\_base1> + 38<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
ADCAn LERC1	ADCAn LERC0	ADCAn DB2ERC1	ADCAn DB2ERC0	ADCAn DB1ERC1	ADCAn DB1ERC0	ADCAn DB0ERC1	ADCAn DB0ERC0
W	W	W	W	W	W	W	W

表 35-27 ADCAnSTC2 レジスタの内容

ビット位置	ビット名	機能
7	ADCAn LERC1	上書きフラグ ADCAnLCR.ADCAnLER1 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER1 をクリア
6	ADCAn LERC0	結果確認エラー・フラグ ADCAnLCR.ADCAnLER0 をクリアします。 0: 機能なし 1: ADCAnLCR.ADCAnLER0 をクリア
5, 3, 1	ADCAn DBiERC1	上書きフラグ ADCAnDBiCR.ADCAnDBiER1 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER1 をクリア
4, 2, 0	ADCAn DBiERC0	結果確認エラー・フラグ ADCAnDBiCR.ADCAnDBiER0 をクリアします。 0: 機能なし 1: ADCAnDBiCR.ADCAnDBiER0 をクリア

### 35.4.4 ソフトウェア・トリガ・レジスタ

#### (1) ADCAnTRGi - A/Dコンバータ・ソフトウェア・トリガ・レジスタ i

CGi の A/D 変換を開始するためのトリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。  
読み出し値は常に 00<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + A4<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STTi
R	R	R	R	R	R	R	W

表 35-28 ADCAnTRGi レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTTi	CGi の A/D 変換を開始します。 0 : 機能なし 1 : CGi の A/D 変換を開始

詳細は 35.3.5 「A/D 変換の開始 (起動トリガ)」を参照してください。

#### (2) ADCAnTRG3 - A/Dコンバータ・ソフトウェア・トリガ・レジスタ 3

ADCHALT モードへ遷移させるためのトリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。  
読み出し値は常に 00<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + B0<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAn STT3
R	R	R	R	R	R	R	W

表 35-29 ADCAnTRG3 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSTT3	0 : 機能なし 1 : ADCHALT モードへ遷移

詳細は 35.3.8 「A/D 変換の休止と再開 (ADCHALT モード)」を参照してください。

**(3) ADCAnTRG4+i - A/D コンバータ・ソフトウェア・トリガ・レジスタ 4+i**

CGi の A/D 変換を停止するためのソフトウェア・トリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。  
読み出し値は常に 00<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + B4<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSPi
R	R	R	R	R	R	R	W

表 35-30 ADCAnTRG4 + i レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSPi	0 : 機能なし 1 : CGi の A/D 変換を停止

詳細は 35.3.6 「A/D 変換の停止 (停止トリガ)」を参照してください。

**(4) ADCAnTRG7 - A/D コンバータ・ソフトウェア・トリガ・レジスタ 7**

ADCHALT モードを解除し A/D 変換を再開するためのソフトウェア・トリガ・レジスタです。

**アクセス** 8ビット単位でライト可能です。  
読み出し値は常に 00<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + C0<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	ADCAnSP3
R	R	R	R	R	R	R	W

表 35-31 ADCAnTRG7 レジスタの内容

ビット位置	ビット名	機能
0	ADCAnSP3	0 : 機能なし 1 : A/D 変換を再開

詳細は 35.3.8 「A/D 変換の休止と再開 (ADCHALT モード)」を参照してください。

### 35.4.5 A/D 変換結果レジスタ

#### (1) ADCAnLCR - A/D コンバータ最新変換結果レジスタ

最新の A/D 変換の結果と状態を格納します。  
最新の A/D 変換結果を、読み出すことができます。

**アクセス** 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

**アドレス** <ADCAn\_base1> + A0<sub>H</sub>

**初期値** 0300 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCA <sub>n</sub> LCG[1:0]	ADCA <sub>n</sub> LER1	ADCA <sub>n</sub> LER0	ADCA <sub>n</sub> LUR	ADCA <sub>n</sub> LCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> LCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-32 ADCAnLCR レジスタの内容 (1/2)

ビット位置	ビット名	機能															
25, 24	ADCA <sub>n</sub> LCG[1:0]	ADCA <sub>n</sub> LCR[15:00] に格納されている変換結果の対象 CG を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCA<sub>n</sub> LCG1</th><th>ADCA<sub>n</sub> LCG0</th><th>チャンネル・グループ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CG0</td></tr> <tr> <td>0</td><td>1</td><td>CG1</td></tr> <tr> <td>1</td><td>0</td><td>CG2</td></tr> <tr> <td>1</td><td>1</td><td>なし</td></tr> </tbody> </table>	ADCA <sub>n</sub> LCG1	ADCA <sub>n</sub> LCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし
ADCA <sub>n</sub> LCG1	ADCA <sub>n</sub> LCG0	チャンネル・グループ															
0	0	CG0															
0	1	CG1															
1	0	CG2															
1	1	なし															
23	ADCA <sub>n</sub> LER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグは ADCAnSTC2.ADCAnLERC1 を 1 に設定するとクリアされ ます。															
22	ADCA <sub>n</sub> LER0	A/D 変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグは ADCAnSTC2.ADCAnLERC0 を 1 に設定するとクリアされ ます。															
21	ADCA <sub>n</sub> LUR	A/D 変換結果の更新状態を示します。 0: ADCAnLCR レジスタから A/D 変換結果読み出し済み 1: 新規の値で、ADCA <sub>n</sub> LCR レジスタからの A/D 変換結果読み出し未処理 このビットは、読み出し後クリアされます。															
20-16	ADCA <sub>n</sub> LCN[4:0]	ADCA <sub>n</sub> LCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示し ます。 00001xm = CHm															

表 35-32 ADCAnLCR レジスタの内容 (2/2)

ビット位置	ビット名	機能																				
15-0	ADCAnLCR[15:00]	A/D 変換の結果を示します。 分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。																				
		<table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnLCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnLCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnLCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnLCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnLCR[15:00] の [15:06]																			

**備考** 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません ((5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。



**(2) ADCAnCmCR - チャネル m の A/D コンバータ変換結果レジスタ**

チャネル m の最新の A/D 変換の結果と状態を格納します。  
指定チャネル (m) の A/D 変換結果を読み出すことができます。

**アクセス** 32 ビット単位でリード可能です。

- 上位 16 ビットは A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

**アドレス** <ADCAn\_base1> + 3C<sub>H</sub> + m × 4<sub>H</sub>

**初期値** 0300 0000<sub>H</sub> + m × 0001 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn CmCG[1:0]	ADCAn CmER1	ADCAn CmER0	ADCAn CmUR	ADCAnCmCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCmCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 備考**
1. 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全チャネルであるのに対し、このレジスタは指定チャネルの最新の A/D 変換結果を示します (表 35-32 「ADCAnLCR レジスタの内容」を参照)。
  2. リセット後、ADCAnCmCG[1:0] ビットは 11<sub>B</sub> に設定されます。
  3. ADCAnCTL1.ADCAnRCL に 0 を設定の場合は、ADCAnCmCR[15:00] ビットの A/D 変換結果は次の A/D 変換結果によって上書きされるまで保持されます。  
ADCAnCTL1.ADCAnRCL に 1 を設定の場合、ADCAnCmCR[15:00] ビットの A/D 変換結果は読み出し後クリアされます。

表 35-33 ADCAnCmCR レジスタの内容

ビット位置	ビット名	機能																				
25, 24	ADCAnCmCG[1:0]	ADCAnCmCR[15:00]に格納されている変換結果の対象CGを示します。 <table border="1"> <thead> <tr> <th>ADCAnCmCG1</th> <th>ADCAnCmCG0</th> <th>チャンネル・グループ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CG0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CG1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CG2</td> </tr> <tr> <td>1</td> <td>1</td> <td>なし</td> </tr> </tbody> </table>	ADCAnCmCG1	ADCAnCmCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし					
ADCAnCmCG1	ADCAnCmCG0	チャンネル・グループ																				
0	0	CG0																				
0	1	CG1																				
1	0	CG2																				
1	1	なし																				
23	ADCAnCmER1	上書きエラー状態を示します。 0: 上書きされていない 1: 上書きされた このエラー・フラグはADCAnSTR1.ADCAnOWEmの値を反映しADCAnSTC1.ADCAnQWECmを1に設定するとクリアされます。																				
22	ADCAnCmER0	A/D変換結果上下限比較の状態を示します。 0: 変換結果が設定範囲内 1: 変換結果が設定範囲外 このエラー・フラグはADCAnSTR0.ADCAnRCEmの値を反映しADCAnSTC0.ADCAnRCECmを1に設定するとクリアされます。																				
21	ADCAnCmUR	A/D変換結果の更新状態を示します。 0: ADCAnCmCRレジスタからA/D変換結果読み出し済み 1: 新規の値で、ADCAnCmCRレジスタからのA/D変換結果読み出し未処理 このビットは、読み出し後クリアされます。																				
20-16	ADCAnCmCN[4:0]	ADCAnCmCR[15:00]ビットに格納されている変換結果の対象チャンネル番号を示します。 $00001 \times m = CHm$																				
15-0	ADCAnCmCR[15:00]	A/D変換の結果を示します。 分解能と揃え位置は、次のようにADCAnCTL1.ADCAnCTYPとADCAnCTL1.ADCAnCRACによって決まります。 <table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00]の[11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00]の[15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット分解能, 右揃え</td> <td>ADCAnCmCR[15:00]の[09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10ビット分解能, 左揃え</td> <td>ADCAnCmCR[15:00]の[15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D変換結果値のビット位置	0	0	12ビット分解能, 右揃え	ADCAnCmCR[15:00]の[11:00]	0	1	12ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:04]	1	0	10ビット分解能, 右揃え	ADCAnCmCR[15:00]の[09:00]	1	1	10ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D変換結果値のビット位置																			
0	0	12ビット分解能, 右揃え	ADCAnCmCR[15:00]の[11:00]																			
0	1	12ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:04]																			
1	0	10ビット分解能, 右揃え	ADCAnCmCR[15:00]の[09:00]																			
1	1	10ビット分解能, 左揃え	ADCAnCmCR[15:00]の[15:06]																			

**備考** 内部基準電圧を用いてA/D変換を行った場合、A/D変換結果はADCAnDGCRレジスタに格納されます。ADCAnLCRレジスタ、ADCAnCmCRレジスタ、ADCAnDBiCRレジスタには格納されません ((5)「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

**(3) ADCAnDBiCR - CGi の DMA バッファ・レジスタ**

CGi の最新の A/D 変換の結果と状態を格納します。CGi のすべてのチャンネルの A/D 変換結果を読み出すことができます。

**アクセス** 32 ビット単位でリード可能です。

- 上位 16 ビットは、A/D 変換結果の状態を格納します。
- 下位 16 ビットは A/D 変換結果を格納します。

**アドレス**  $\langle \text{ADCAn\_base1} \rangle + \text{C4}_H + i \times 4_H$

**初期値**  $0000\ 0000_H + i \times 0100\ 0000_H$  どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	ADCAn DBiCG[1:0]	ADCAn DBiER1	ADCAn DBiER0	ADCAn DBiUR	ADCAnDBiCN[4:0]					
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**備考** 各ビットの機能は ADCAnLCR レジスタのビットと同じですが、ADCAnLCR レジスタの対象が全 CG であるのに対し、このレジスタは CGi の最新の A/D 変換結果を示します（表 35-32 「ADCAnLCR レジスタの内容」を参照）。

表 35-34 ADCAnDBiCR レジスタの内容

ビット位置	ビット名	機能																				
25, 24	ADCAnDBiCG[1:0]	<p>ADCAnDBiCR[15:00] に格納されている変換結果の対象 CG を示します。</p> <table border="1"> <thead> <tr> <th>ADCAnDBiCG1</th> <th>ADCAnDBiCG0</th> <th>チャンネル・グループ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CG0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CG1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CG2</td> </tr> <tr> <td>1</td> <td>1</td> <td>なし</td> </tr> </tbody> </table> <p>常に同じ CG の変換結果と状態を格納するため、このビットの値は固定されます。</p>	ADCAnDBiCG1	ADCAnDBiCG0	チャンネル・グループ	0	0	CG0	0	1	CG1	1	0	CG2	1	1	なし					
ADCAnDBiCG1	ADCAnDBiCG0	チャンネル・グループ																				
0	0	CG0																				
0	1	CG1																				
1	0	CG2																				
1	1	なし																				
23	ADCAnDBiER1	<p>上書きエラー状態を示します。            0: 上書きされていない            1: 上書きされた            このエラー・フラグは ADCAnSTC2.ADCAnDBiERC1 を 1 に設定するとクリアされます。</p>																				
22	ADCAnDBiER0	<p>A/D 変換結果上下限比較の状態を示します。            0: 変換結果が設定範囲内            1: 変換結果が設定範囲外            このエラー・フラグは ADCAnSTC2.ADCAnDBiERC0 を 1 に設定するとクリアされます。</p>																				
21	ADCAnDBiUR	<p>A/D 変換結果の更新状態を示します。            0: ADCAnDBiCR レジスタから A/D 変換結果読み出し済み            1: 新規の値で、ADCAnDBiCR レジスタからの A/D 変換結果読み出し未処理            このビットは、読み出し後クリアされます。</p>																				
20-16	ADCAnDBiCN[4:0]	<p>ADCAnDBiCR[15:00] ビットに格納されている変換結果の対象チャンネル番号を示します。  <math>00001 \times m = CHm</math></p>																				
15-0	ADCAnDBiCR [15:00]	<p>A/D 変換の結果を示します。            分解能と揃え位置は、次のように ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。</p> <table border="1"> <thead> <tr> <th>ADCAnCTL1.ADCAnCTYP</th> <th>ADCAnCTL1.ADCAnCRAC</th> <th>分解能と揃え位置</th> <th>A/D 変換結果値のビット位置</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>12 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [11:00]</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:04]</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット分解能, 右揃え</td> <td>ADCAnDBiCR[15:00] の [09:00]</td> </tr> <tr> <td>1</td> <td>1</td> <td>10 ビット分解能, 左揃え</td> <td>ADCAnDBiCR[15:00] の [15:06]</td> </tr> </tbody> </table>	ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置	0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]	0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]	1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]	1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]
ADCAnCTL1.ADCAnCTYP	ADCAnCTL1.ADCAnCRAC	分解能と揃え位置	A/D 変換結果値のビット位置																			
0	0	12 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [11:00]																			
0	1	12 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:04]																			
1	0	10 ビット分解能, 右揃え	ADCAnDBiCR[15:00] の [09:00]																			
1	1	10 ビット分解能, 左揃え	ADCAnDBiCR[15:00] の [15:06]																			

**備考** 内部基準電圧を用いて A/D 変換を行った場合、A/D 変換結果は ADCAnDGCR レジスタに格納されます。ADCAnLCR レジスタ、ADCAnCmCR レジスタ、ADCAnDBiCR レジスタには格納されません ((5) 「ADCAnDGCR - 診断変換結果レジスタ」を参照)。

**(4) ADCAnDBiCRL – A/D コンバータ CGi バッファ結果レジスタ**

CGi の最新の A/D 変換の結果と状態を格納します。CGi のすべてのチャンネルの A/D 変換結果を読み出すことができます。

このレジスタの内容は、ADCAnDBiCR レジスタ (ADCAnDBiCR[15:00]) の下位 16 ビット尾同じです。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <ADCAn\_base> + D0<sub>H</sub> + i × 4<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDBiCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**(5) ADCAnDGCR - 診断変換結果レジスタ**

基準電圧 ADDIAGOUT 信号の A/D 変換結果を格納します (ADCAnCG0.ADCAnDIAG に 1 を設定の場合)。

診断 A/D 変換は、CG0 の最後のチャンネルの A/D 変換が終了したあとに開始されます。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <ADCAn\_base1> + 9C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnDGCR[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-35 ADCAnDGCR レジスタの内容

ビット位置	ビット名	機能			
15-0	ADCAnDGCR[15:00]	診断 A/D 変換の結果を示します。 分解能と揃え位置は、通常の A/D 変換結果レジスタと同様、ADCAnCTL1.ADCAnCTYP と ADCAnCTL1.ADCAnCRAC によって決まります。			
		ADCAnCTYP	ADCAnCRAC	分解能, アライメント	A/D 変換結果のビット位置
		0	0	12-bit resolution, right-aligned	ADCAnDBiCR[11:00]
		0	1	12-bit resolution, left-aligned	ADCAnDBiCR[15:04]
		1	0	10-bit resolution, right-aligned	ADCAnDBiCR[09:00]
		1	1	10-bit resolution, left-aligned	ADCAnDBiCR[15:06]

### 35.4.6 A/D 変換結果上下限比較レジスタ

#### (1) ADCAnCTL2 - A/D コンバータ結果確認レジスタ

変換結果上下限比較機能の有効/無効をチャンネルごとに設定できます。  
詳細は 35.3.12 「変換結果確認機能」を参照してください。

**アクセス** 32 ビット単位でリード/ライト可能です。  
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

**アドレス** <ADCAn\_base1> + 18<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCK[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCK[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-36 ADCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
23-00	ADCAnRCK[23:00]	CHm の結果上下限比較の有効/無効を設定します。 0 : CHm の A/D 変換結果を上下限比較しない 1 : CHm の A/D 変換結果を上下限比較する 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**備考** この設定は各 CG の A/D 変換に対して有効です。

**(2) ADCAnUL - A/D コンバータ結果上下限比較 (上限値)**

A/D 変換結果の上限値を指定します。  
詳細は 35.3.12 「変換結果確認機能」を参照してください。

**アクセス** 16 ビット単位でリード/ライト可能です。  
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

**アドレス** <ADCAn\_base1> + 1C<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnUL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-37 ADCAnUL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnUL[11:00]	A/D 変換結果の上限値を指定します。 10 ビット機能の場合は ADCAnUL[11:02] で設定してください。

**(3) ADCAnLL - A/D コンバータ結果上下限比較 (下限値)**

A/D 変換結果の下限値を指定します。  
詳細は 35.3.12 「変換結果確認機能」を参照してください。

**アクセス** 16 ビット単位でリード/ライト可能です。  
A/D コンバータが無効 (ADCAnCTL0.ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

**アドレス** <ADCAn\_base1> + 20<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnLL[11:00]												0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-38 ADCAnLL レジスタの内容

ビット位置	ビット名	機能
15-4	ADCAnLL[11:00]	A/D 変換結果の下限値を指定します。 10 ビット機能の場合は ADCAnLL[11:02] で設定してください。

**(4) ADCAnSTR0 - A/D コンバータ結果上下限比較エラー・フラグ**

ADCAnCTL2 レジスタに設定されたチャンネルの最新の A/D 変換結果上下限比較のエラー状態を示します。ADCAnSTR0 レジスタによって、どの A/D 変換結果が設定範囲を外れているか確認できます。

詳細は 35.3.12 「変換結果確認機能」を参照してください。

**アクセス** 32 ビット単位でリード可能です。

**アドレス** <ADCAn\_base1> + 24<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCE[23:16]							
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCE[15:00]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-39 ADCAnSTR0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCE[23:00]	A/D 変換結果が設定範囲内にあるかどうかを示します。 0 : 変換結果は設定範囲内 1 : 1 つ以上の変換結果が設定範囲外 このエラー・フラグは、ADCAnSTC0.ADCAnRCECm を 1 に設定するとクリアされます。 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**備考** ADCAnSTR0.ADCAnRCEm の値は、次の A/D 変換結果エラー・フラグに反映されます。

- チャンネル m の A/D コンバータ変換結果レジスタのエラー・フラグ (ADCAnCmCR.ADCAnCmER0)



**(5) ADCAnSTC0 - ADCAnSTR0 フラグ・クリア・レジスタ**

ADCAnSTR0 のクリア制御レジスタです。

**アクセス** 32 ビット単位でライト可能です。  
読み出し値は常に 0000 0000<sub>H</sub> です。

**アドレス** <ADCAn\_base1> + 30<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnRCEC[23:16]							
R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnRCEC[15:00]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 35-40 ADCAnSTC0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAnRCEC[23:00]	0 : 機能なし 1 : 対応する ADCAnSTR0.ADCAnRCEm をクリア 備考 本製品に実装されていないチャネルに対応するビットは 0 に設定してください。

### 35.4.7 診断機能制御レジスタ

#### (1) ADCAnDGCTL0 - 自己診断機能制御レジスタ 0

A/D 変換回路の動作を診断するために適用する基準電圧を指定します。  
このレジスタは、ADCAnCTL0.ADCAnCE に 1 を設定のときでも書き込み可能です。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** <ADCAn\_base1> + DC<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	ADCAnPSEL[2:0]		
R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 35-41 ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能						
2-0	ADCAnPSEL[2:0]	基準電圧を指定します。						
		ADCAnPSEL2	ADCAnPSEL1	ADCAnPSEL0	ADDIAGOUT信号	DIAGOUT2信号	DIAGOUT1信号	DIAGOUT0信号
		0	0	0	AV <sub>SS</sub>	2/3 AV <sub>DD</sub>	1/2 AV <sub>DD</sub>	1/3 AV <sub>DD</sub>
		0	0	1	1/3 AV <sub>DD</sub>	1/2 AV <sub>DD</sub>	1/3 AV <sub>DD</sub>	2/3 AV <sub>DD</sub>
		0	1	0	1/2 AV <sub>DD</sub>	1/3 AV <sub>DD</sub>	2/3 AV <sub>DD</sub>	1/2 AV <sub>DD</sub>
		0	1	1	2/3 AV <sub>DD</sub>	Hi-Z	Hi-Z	Hi-Z
		1	0	0	AV <sub>DD</sub>	2/3 AV <sub>DD</sub>	1/2 AV <sub>DD</sub>	1/3 AV <sub>DD</sub>
		1	0	1	AV <sub>DD</sub>	1/2 AV <sub>DD</sub>	1/3 AV <sub>DD</sub>	2/3 AV <sub>DD</sub>
		1	1	0	AV <sub>DD</sub>	1/3 AV <sub>DD</sub>	2/3 AV <sub>DD</sub>	1/2 AV <sub>DD</sub>
		1	1	1	AV <sub>DD</sub>	Hi-Z	Hi-Z	Hi-Z
		Hi-Z を選択して変換を行った場合、A/D 変換結果は不定です。						

詳細は (1) 「A/D 変換回路の診断」 を参照してください。

**(2) ADCAnDGCTL1 - 自己診断機能制御レジスタ 1**

どのチャンネルに（アナログ入力信号 ADCAnIm でなく）内部基準電圧を適用するかを指定します。

このレジスタは、ADCAnCTL0.ADCAnCE に 0 を設定のときのみ書き込み可能です。

**アクセス** 32 ビット単位でリード／ライト可能です。

**アドレス** <ADCAn\_base0> + 11C<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCAnCDG[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCAnCDG[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-42 ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCAn CDG[23:00]	入力電圧を指定します。 0 : アナログ入力電圧 ADCAnIm 端子を使用 1 : 次の基準電圧を使用 DIAGOUT0 (m = 21, 18, 15, 12, 9, 6, 3, 0 の場合) DIAGOUT1 (m = 22, 19, 16, 13, 10, 7, 4, 1 の場合) DIAGOUT2 (m = 23, 20, 17, 14, 11, 8, 5, 2 の場合) 備考 本製品に実装されていないチャンネルに対応するビットは 0 に設定してください。

**(3) ADCAnPDCTL0 - 内部プルダウン抵抗値制御レジスタ 0**

ADCAnIm 端子内部のプルダウン抵抗を接続するチャンネルを指定します。詳細は (3) 「オープン端子の診断」を参照してください。

このレジスタは、ADCA<sub>n</sub>CTL0.ADCA<sub>n</sub>CE に 0 を設定のときのみ書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ADCA<sub>n</sub>\_base0> + 120<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	ADCA <sub>n</sub> PDNA[23:16]							
R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCA <sub>n</sub> PDNA[15:00]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-43 ADCA<sub>n</sub>PDCTL0 レジスタの内容

ビット位置	ビット名	機能
23-0	ADCA <sub>n</sub> PDNA[23:00]	内部プルダウン抵抗を CH <sub>m</sub> に接続するかどうかを指定します。 0 : 内部プルダウン抵抗を接続しない 1 : 内部プルダウン抵抗を接続する 備考 本製品に実装されていないチャネルに対応するビットは 0 に設定してください。

### 35.4.8 チャンネル S/H 機能設定レジスタ

#### (1) ADCAnSHCTL - A/D コンバータ・チャンネル S/H 制御レジスタ

チャンネル S/H 回路への電源のオン/オフとチャンネル S/H 機能の有効/無効を制御します。

A/D コンバータが無効 (ADCAnCTL0. ADCAnCE に 0 を設定) の場合のみ書き込み可能です。

ただし、チャンネル S/H 回路の診断を行う場合は、ADCAnCTL0. ADCAnCE に 1 を設定でも書き込み可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** <ADCAn\_base0> + 118<sub>H</sub>

**初期値** 0000 0000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	ADCAnCPS[12:00]												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	ADCAnCSEL[12:00]												
R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35-44 ADCAnSHCTL レジスタの内容

ビット位置	ビット名	機能
28-16	ADCAnCPS[12:00]	チャンネル S/H (サンプル・ホールド) 回路部への電源供給を制御します。 0: チャンネル S/H 回路部の電源オフ 1: チャンネル S/H 回路部の電源オン 製品の消費電力をより低減するためには、使用しない (無効設定の) チャンネル S/H 回路部の電源はオフに設定してください。 備考 本製品に実装されていないチャンネル (12:07) に対応するビットは 0 に設定してください。
12-00	ADCAnCSEL[12:00]	チャンネル S/H (サンプル・ホールド) 機能の有効/無効を制御します。 0: チャンネル S/H 機能無効 1: チャンネル S/H 機能有効 チャンネル S/H 回路の診断を行う際は、ADCAnCTL0.ADCAnCE=1 の状態でも本ビットの変更が可能です。 備考 本製品に実装されていないチャンネル (12:07) に対応するビットは 0 に設定してください。

**(2) ADCA0DBnCR[15:0] - DMA バッファ・レジスタ**

このレジスタは ADCA0DBiCR[15:0] のバッファ用で、ADCA0DBiCR[15:0] と同内容となります (最新の変換結果)。

**アクセス** 16 ビット単位でリード可能です。

**アドレス** <ADCA<sub>n</sub>\_base1> + D0<sub>H</sub>

**初期値** 0000<sub>H</sub> どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC0DBnCR[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35-45 ADC0DBnCR レジスタの内容

ビット位置	ビット名	機能
15-0	ADC0DBnCR[15:0]	ADCA0DBmCR[15:0] 変換結果のチェックに用います。

### 35.4.9 エミュレーション・レジスタ

#### (1) ADCAnEMU - ADCAn エミュレーション・レジスタ

このレジスタはSVSTOPによる動作を制御します。

**アクセス** 8ビット単位でリード/ライト可能です。  
(EPC.SVSTOP=0) のときにライト動作を行ってください。

**アドレス** <ADCAn\_base> + 128<sub>H</sub>

**初期値** 00<sub>H</sub>

	7	6	5	4	3	2	1	0
ADCAn SVSDIS	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R

表 35-46 ADCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	ADCAn SVSDIS	<p>(EPC.SVSTOP ビット=0 のとき) 本ビットの値 (1/0) に関わらず、デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p> <p>(EPC.SVSTOP ビット=1 のとき) 0: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを停止 1: デバッガがマイクロコントローラの制御を取得した場合に (ブレークポイントなどで) カウントクロックを継続供給</p>

## 35.5 使用上の注意事項

### 35.5.1 チャネル入力電圧の範囲

---

**注意** ADCAnIm 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が  $AV_{DD}$  を上回るか  $AV_{SS}$  を下回ると、そのチャネルの変換値が飽和し、ほかのチャネルの電気的特性にも影響を与えることがあります。

---

### 35.5.2 変換動作の停止

変換動作中に  $ADCA_{nCTL0}.ADCA_{nCE}$  に "0" を書き込むと変換動作を停止し、 $ADCA_{nCmCR}$  レジスタへの変換結果を格納しません。

### 35.5.3 チャネル S/H 機能使用時の制限事項

(2) 「チャネル S/H 機能使用時の制限事項」を参照してください。

### 35.5.4 アプリケーション設計上の注意事項

#### (1) アナログ入力端子 (ADCAnIm)

- (a) ADCAnIm 端子の入力電圧は規格の範囲内でご使用ください。  $AV_{REFPn}$  以上または  $AV_{REFMn}$  以下の電圧が入力されることを避けるため、 $V_F$  が 0.3 V 以下のダイオードでクランプすることを推奨します。特に  $AV_{REFPn}$  以上、 $AV_{REFMn}$  以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- (b) アナログ入力端子 (ADCAnIm) は、外部のアナログ信号入力源との間に抵抗  $R_e$  を接続、 $AV_{SSn}$  端子間にコンデンサ  $C_e$  を接続しノイズを除去してください。
- (c) アナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- (d) ADCAnIm 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。



## (2) 電源の配線

デジタル回路のスイッチング・ノイズなどが、A/Dコンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- (a) 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。
- (b) 電源端子 (EV<sub>DD</sub>, OSCV<sub>DD</sub>, FV<sub>DD</sub>, AV<sub>DDn</sub>) とグランド端子 (EV<sub>SS</sub>, OSCV<sub>SS</sub>, AV<sub>SSn</sub>) 間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1  $\mu$ F 程度の積層セラミック・コンデンサ、および 4.7  $\mu$ F (参考値) 以上のタンタル電解コンデンサを推奨します。
- (c) アナログ電源 (AV<sub>DDn</sub>) は、デジタル電源 (EV<sub>DD</sub>, OSCV<sub>DD</sub>, FV<sub>DD</sub>, ) から分離し、シリーズ・レギュレータより供給することを推奨します。デジタル電源と共通にする場合、電源供給元でアナログ電源、デジタル電源と電解コンデンサを1点ショートし、ボード上のパターンを別々に配線してください。

さらに、アナログ電源入口にチップ・インダクタの挿入を推奨します。また、アナログ・グランドも、電源グランド元でアナログ・グランド、デジタル・グランドと電解コンデンサを1点アースし、ボード上のパターンを別々に配線してください。

## (3) アナログ基準電圧入力端子 (AV<sub>REFPn</sub>, AV<sub>REFMn</sub>)

AV<sub>REFPn</sub> 端子と AV<sub>REFMn</sub> 端子間の端子リード直近にバイパス・コンデンサを挿入してください。バイパス・コンデンサは、0.1  $\mu$ F 程度の積層セラミック・コンデンサ、および 4.7  $\mu$ F (参考値) 以上のタンタル電解コンデンサを推奨します。

## (4) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子 (ADCA<sub>nlm</sub>) および基準電圧入力端子 (AV<sub>REFPn</sub>, AV<sub>REFMn</sub>) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

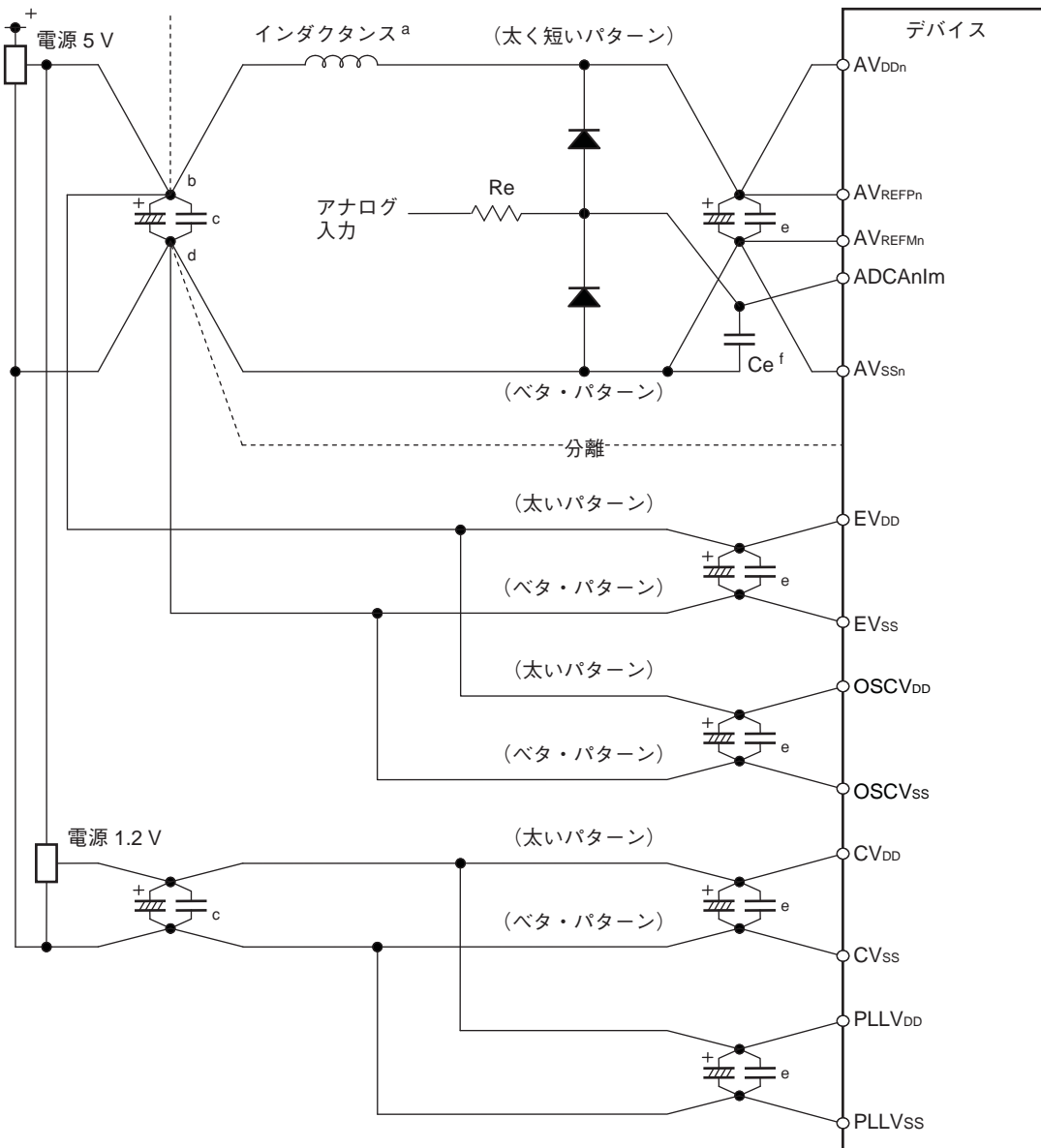
**(5) A/D 変換のヒステリシス特性について**

逐次比較型 A/D コンバータは、内部の共通 S/H 用コンデンサにアナログ入力電圧を保持し、そのあと、A/D 変換を行います。A/D 変換が終了したあとも、内部の共通 S/H 用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- (a) 同一チャンネルで A/D 変換を実行する場合、直前の A/D 変換時よりも高い電圧、または低い電圧に変化していると、変換結果が直前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。参考に、アナログ入力端子の外部回路における信号源インピーダンスや抵抗  $R_e$  の値が大きい場合、またはコンデンサ  $C_e$  の値が小さい場合に、ヒステリシス特性は大きくなる傾向があります。
- (b) アナログ入力チャンネルを切り換える場合、1つの A/D コンバータを用いて A/D 変換を行っているため、変換結果が直前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで 2 回連続 A/D 変換を行い、1 回目の変換結果を廃棄してください。

例1 電源 (5V, 1.2V) を供給する製品の場合



- アナログ電源入口にインダクタを挿入。
- アナログ電源とデジタル電源を5V電源のそばで1点ショートし、ボード上のパターンを分離配線
- 供給電源のそばにバイパス・コンデンサ（電解コンデンサ、積層セラミック・コンデンサ）を配置
- アナログ・グランドとデジタル・グランドを電源のそばで1点ショートし、ボード上のパターンを分離配線
- デバイスの各電源端子のそばにバイパス・コンデンサ（電解コンデンサ、積層セラミック・コンデンサ）を配置
- デバイスのアナログ入力端子のそばにコンデンサ  $C_e$  を配置

備考 アナログ電源、デジタル電源共通、 $AV_{REFPn} = AV_{DDn}$  の場合です。

図 35-23 配線例

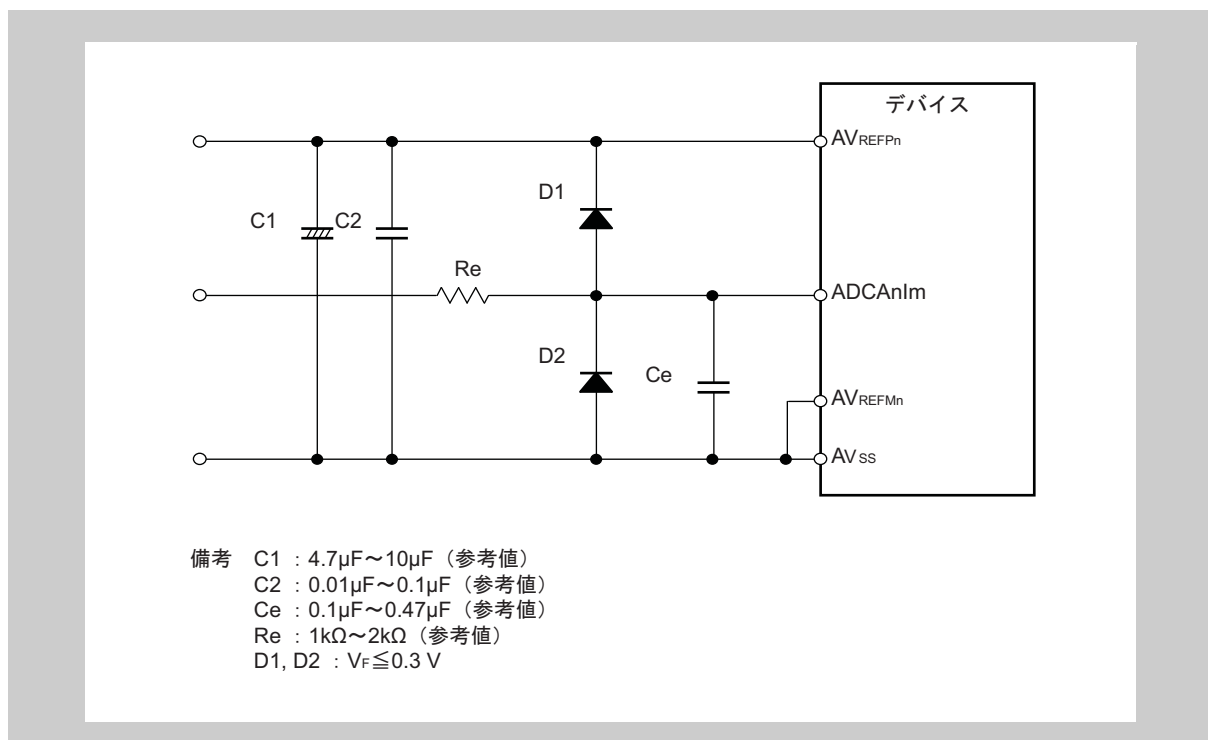
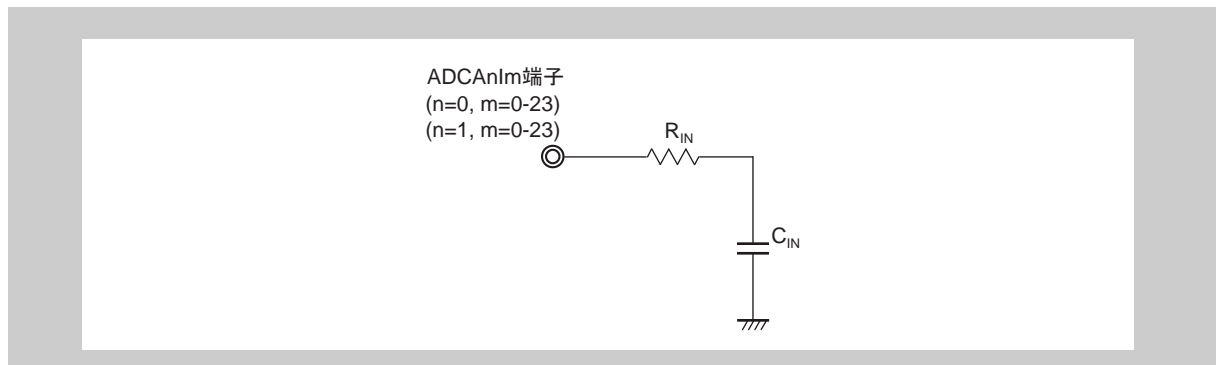


図 35-24 アナログ入力回路のノイズ対策例

コンデンサ C1 は低周波のノイズに、コンデンサ C2, Ce は高周波のノイズに効果があります。

なお、A/D 変換動作を停止した状態から動作開始した直後は AVDDn 端子や AVREFPn 端子にかかる電圧が不安定になり、A/D 変換精度の悪化が生じる場合があります。このような場合には AVDDn 端子と AVREFPn 端子にコンデンサ C1 と C2 を接続してください。

図 35-25 ADCA<sub>nIm</sub> 端子内部等価回路

備考 回路定数の参考値は以下のとおりです。

端子	条件	R <sub>IN</sub> [kΩ]	C <sub>IN</sub> [pF]	
ADCA010- ADCA015	チャンネル S/H (サンプル・ホールド) 使用時	0.7	3.6	
	チャンネル S/H (サンプル・ホールド) 未使用時	ADCA0BPC=0	1.6	12.6
		ADCA0BPC=1	1.5	7.1
ADCA016- ADCA0123	ADCA0BPC=0	1.2	11.9	
	ADCA0BPC=1	1.1	7.1	
ADCA110- ADCA1123	ADCA1BPC=0	1.2	11.9	
	ADCA1BPC=1	1.1	7.1	

## 35.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧，つまりデジタル出力1あたりのアナログ入力電圧の比率を，1 LSB (Least Significant Bit) といいます。1 LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。%FSR とは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので，分解能に関係なく次の式で表されます。

$$\begin{aligned} 1 \%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFP} - AV_{REFM}) / 100 \end{aligned}$$

1 LSB は分解能 10 ビットのとき，次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} \\ &= 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

1 LSB は分解能 12 ビットのとき，次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{12} \\ &= 1/4096 \\ &= 0.024 \%FSR \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

## (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差, フルスケール誤差, 直線性誤差, およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお, 特性表の総合誤差には量子化誤差は含まれていません。

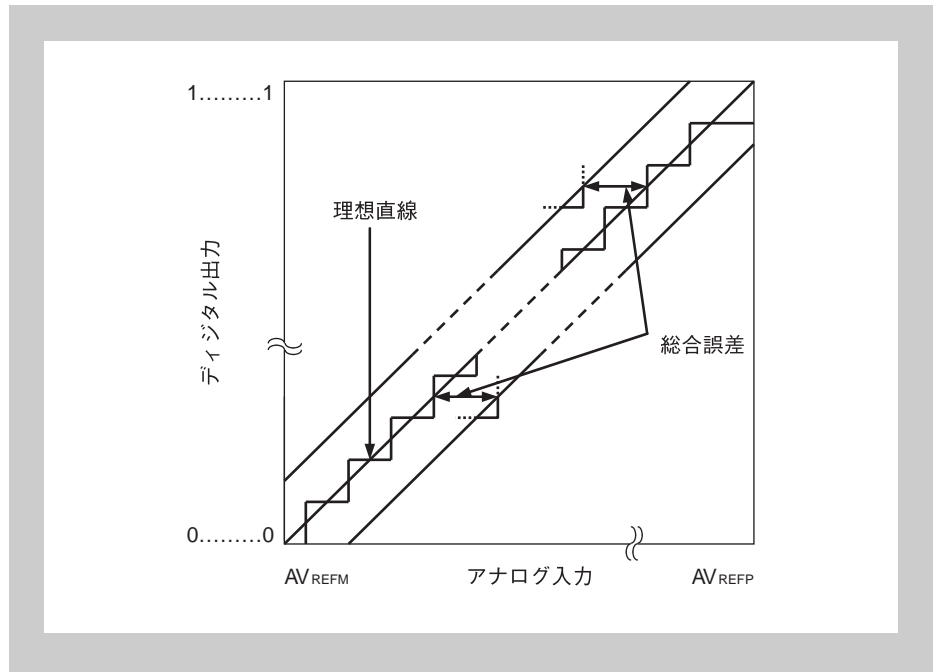


図 35-26 総合誤差

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSB の誤差です。A/Dコンバータでは、 $\pm 1/2$  LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

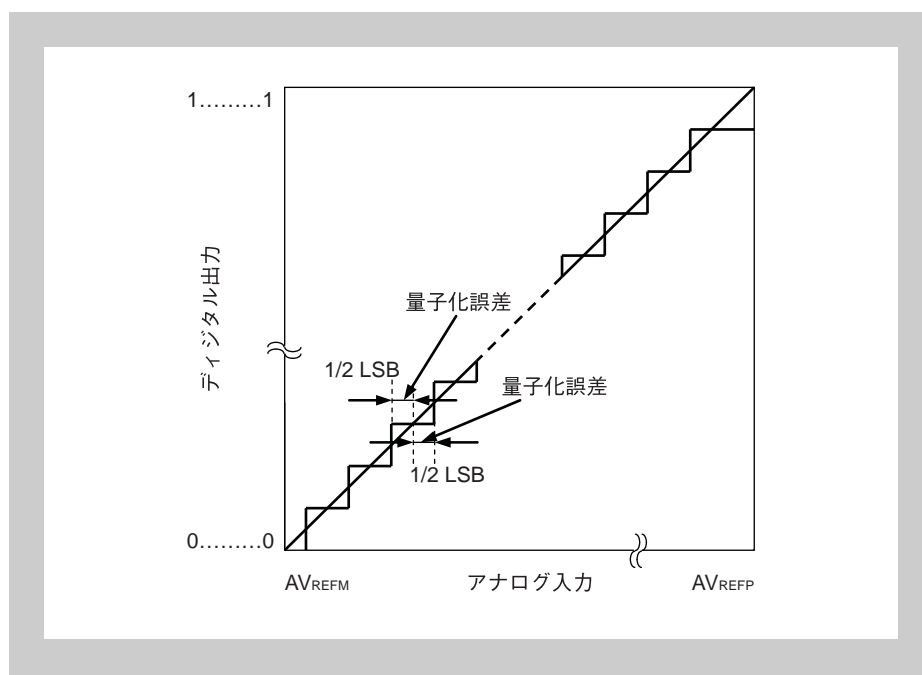


図 35-27 量子化誤差



## (4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。

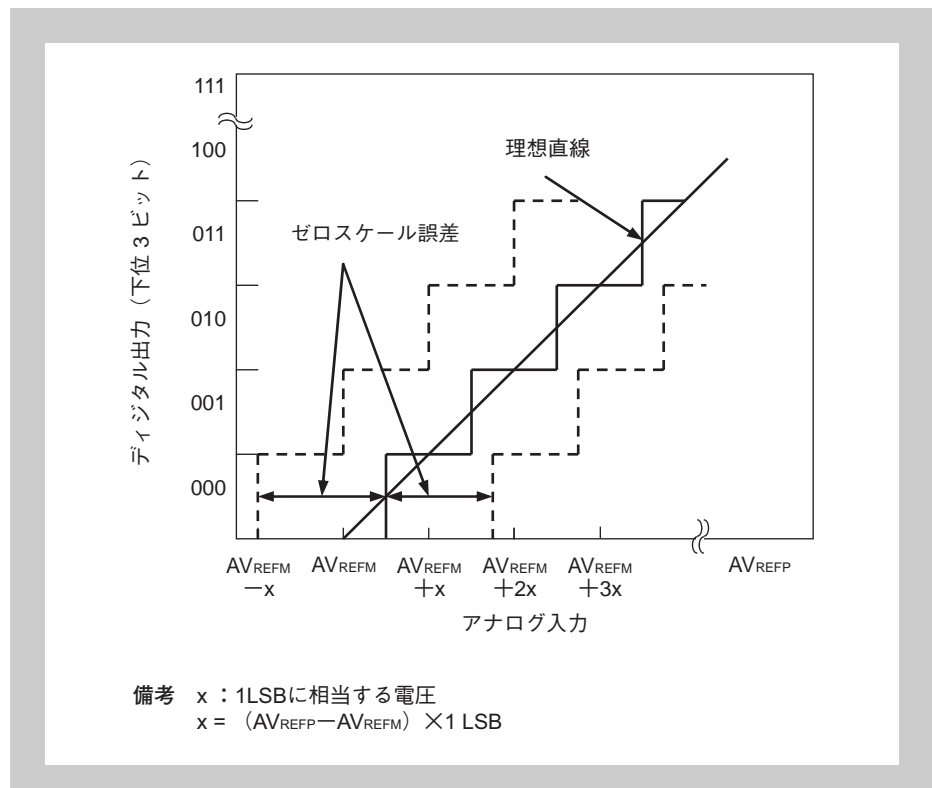


図 35-28 ゼロスケール誤差

## (5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値

(フルスケール  $- 3/2$  LSB) との差を表します。

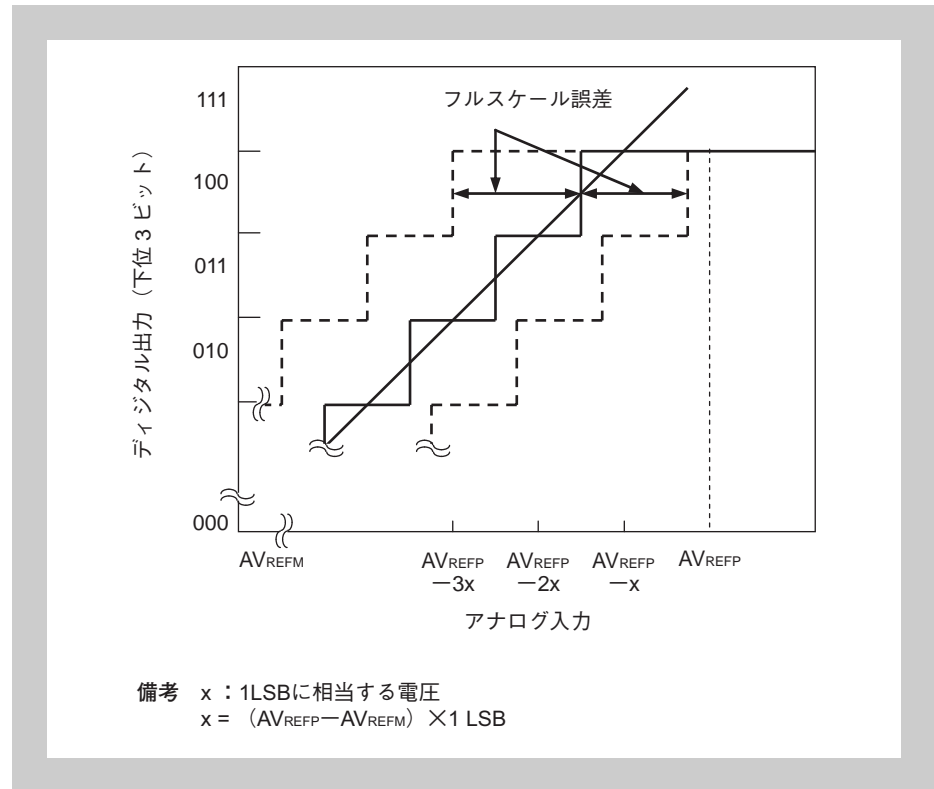


図 35-29 フルスケール誤差

**(6) 微分直線性誤差**

理想的には、あるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

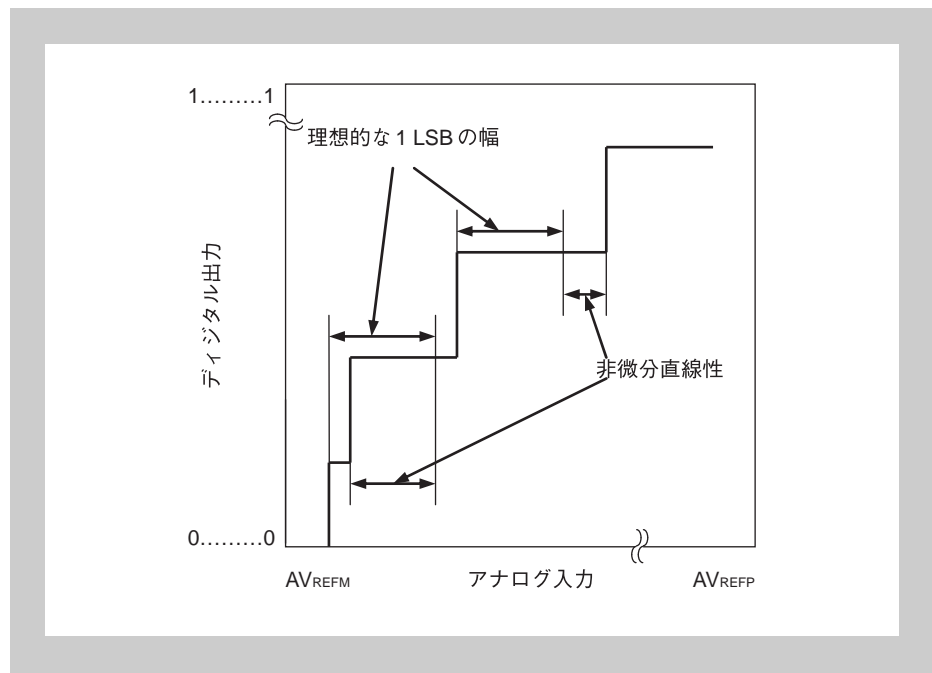


図 35-30 微分直線性誤差

**(7) 積分直線性誤差**

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

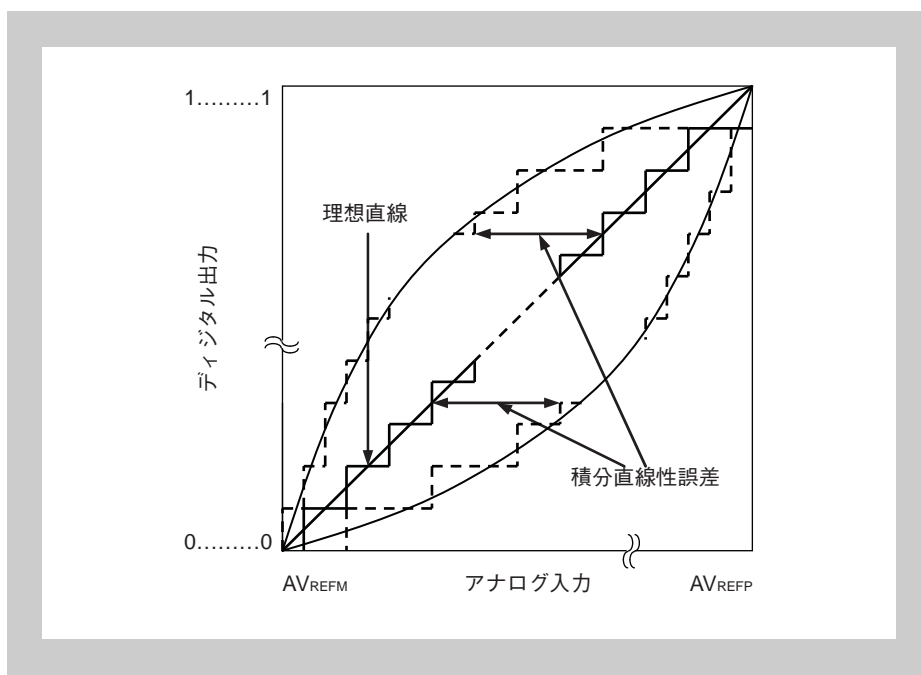


図 35-31 積分直線性誤差

**(8) 変換時間**

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧を共通 S/H 回路に取り込むため、アナログ・スイッチがオンしている時間です。

**(10) A/D 起動時間**

A/D 変換トリガから、A/D 変換開始までの時間です。

## 第 36 章 Peripheral Interconnection (PIC)

この章では、Peripheral Interconnection (PIC) について説明します。

最初の節でレジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-H に固有の特徴について説明します。

以降の節で、PIC 搭載製品に共通の特徴について説明します。

### 36.1 V850E2/Fx4-H の PIC の特徴

Peripheral Interconnection (PIC) 機能は、複数タイマを使用した同調動作やタイマ入出力の内部信号をタイマ間で接続することにより、様々な機能を実現することができます。

**n の意味** この章では、TAUA など各機能のユニットを「n」で識別します。

TAUA, OSTM, ENCA, TAPA: n = 0

TAUJ, ADCA: n = 0, 1

**m の意味** TAUA には 16 本、TAUJ には 4 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており、特定のチャンネルを CHm のように記述しています。

TAUA: m = 0-15

TAUJ: m = 0-3

なお、一部の機能において TAUA と TAUJ のチャンネルを区別するために、TAUJ のチャンネルに「k」を用いている場合があります。

**i の意味** A/D コンバータには 3 つの A/D 変換チャンネル・グループ（略号は CG）があります。この章では、各チャンネル・グループを「i」（i = 0-2）で識別します。

**レジスタ・アドレス** 制御レジスタ を参照

**クロック供給** PIC は、次のクロック入力を使用します。

表 36-1 PIC のクロック供給

PIC	クロック	接続先
PIC	PCLK	クロック発生回路 CKSCLK_006

また、入力選択レジスタは次のクロック入力を使用します。

表 36-2 入力選択レジスタのクロック供給

レジスタ	クロック	接続先
TISLTA0, TRXSLTA0, TISLTA0BYPS0, TISLTA0BYPS1, TISLENCBYP	PCLK	クロック発生回路 CKSCLK_005
TSOSLTA0	PCLK	クロック発生回路 CKSCLK_101
TISLTJ	PCLK	クロック発生回路 CKSCLK_A02

その他、TAUA など各機能で使用するクロック入力はそれぞれの章を参照してください。

**入出力信号** 36.4 「タイマ間接続 (タイマ同調動作機能)」～ 36.11 「A/D コンバータとタイマの接続 (A/D トリガ・エンコーダ・キャプチャ機能)」を参照

## 36.2 機能概要

PIC には以下の機能があります：

- タイマ間接続
  - タイマ同調動作機能
  - トリガ・パルス幅測定機能
- タイマ・モータ制御機能との接続
  - デッド・タイム付き3相PWM出力機能
  - デッド・タイム付き高精度三角波PWM出力機能
  - デッド・タイム付きディレイ・パルス出力機能
- CANコントローラとタイマの接続
  - CANタイム・スタンプ機能
- A/Dコンバータとタイマの接続
  - A/Dトリガ選択機能
  - A/Dトリガ・エンコーダ・キャプチャ機能

### 36.3 制御レジスタ

Peripheral Interconnection 機能は、次のレジスタで制御、動作します。

表 36-3 PIC レジスタ一覧

レジスタ機能	名称	アドレス
同時スタート・トリガ制御レジスタ	PIC0SST	FF81 C004 <sub>H</sub>
同時スタート制御レジスタ 0	PIC0SSER0	FF81 C080 <sub>H</sub>
同時スタート制御レジスタ 2	PIC0SSER2	FF81 C088 <sub>H</sub>
Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	FF81 C0B4 <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 400	PIC0ADTEN400	FF81 C0C4 <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 401	PIC0ADTEN401	FF81 C0C8 <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 402	PIC0ADTEN402	FF81 C0CC <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 410	PIC0ADTEN410	FF81 C0D0 <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 411	PIC0ADTEN411	FF81 C0D4 <sub>H</sub>
A/D コンバータ・トリガ出力制御レジスタ 412	PIC0ADTEN412	FF81 C0D8 <sub>H</sub>
タイマ入出力制御レジスタ 200	PIC0REG200	FF81 C08C <sub>H</sub>
タイマ入出力制御レジスタ 201	PIC0REG201	FF81 C090 <sub>H</sub>
タイマ入出力制御レジスタ 202	PIC0REG202	FF81 C094 <sub>H</sub>
タイマ入出力制御レジスタ 203	PIC0REG203	FF81 C098 <sub>H</sub>
タイマ入出力制御レジスタ 30	PIC0REG30	FF81 C0BC <sub>H</sub>
タイマ入出力制御レジスタ 31	PIC0REG31	FF81 C0C0 <sub>H</sub>

**注意** 各レジスタのビット定義は、各機能のレジスタの節 (x.4.x.6 レジスタ) を参照してください。

タイマ間の信号接続には機能に合わせたレジスタを使用します。機能別に使用する制御レジスタの組み合わせ一覧を次に示します。



表 36-4 機能別 使用レジスタ一覧

項目 番号	機能名	PIC0 SST	PIC0S SER0, PIC0S SER2	PIC0HIZ CEN0	PIC0AD TEN4n0 PIC0AD TEN4n0 PIC0AD TEN4n2 (n=0, 1)	PIC0RE G200	PIC0R EG201	PIC0R EG202	PIC0R EG203	PIC0R EG30	PIC0R EG31
36.4	タイマ同調 動作機能	○	○	—	—	—	—	—	—	—	—
36.5	トリガ・パ ルス幅測定 機能	—	—	—	—	—	—	—	—	—	○
36.6	デッド・タ イム付き3 相 PWM 出 力機能	—	—	○	—	—	—	○	○	—	—
36.7	デッド・タ イム付き高 精度三角波 PWM 出力 機能	—	—	○	—	○	○	○	○	—	—
36.8	デッド・タ イム付き ディレイ・ パルス出力 機能	—	—	○	—	—	—	○	○	—	—
36.9	CAN タイ ム・スタン プ機能	—	—	—	—	—	—	—	—	—	○
36.10	A/D トリガ 選択機能	—	—	—	○	—	—	—	—	—	—
36.11	A/D トリ ガ・エン コーダ・ キャプチャ 機能	—	—	—	—	—	—	—	—	○	—

### 36.4 タイマ間接続 (タイマ同調動作機能)

#### 36.4.1 機能概要

各タイマ (TAUA, ENCA) の任意の組み合わせでの同時スタートが可能です。

#### 36.4.2 構成

本機能のユニット, チャネル構成を下記に示します。

TAUA0 (全チャネル), ENCA0

(上記より同時スタートを行うタイマ, チャネルを選択する)

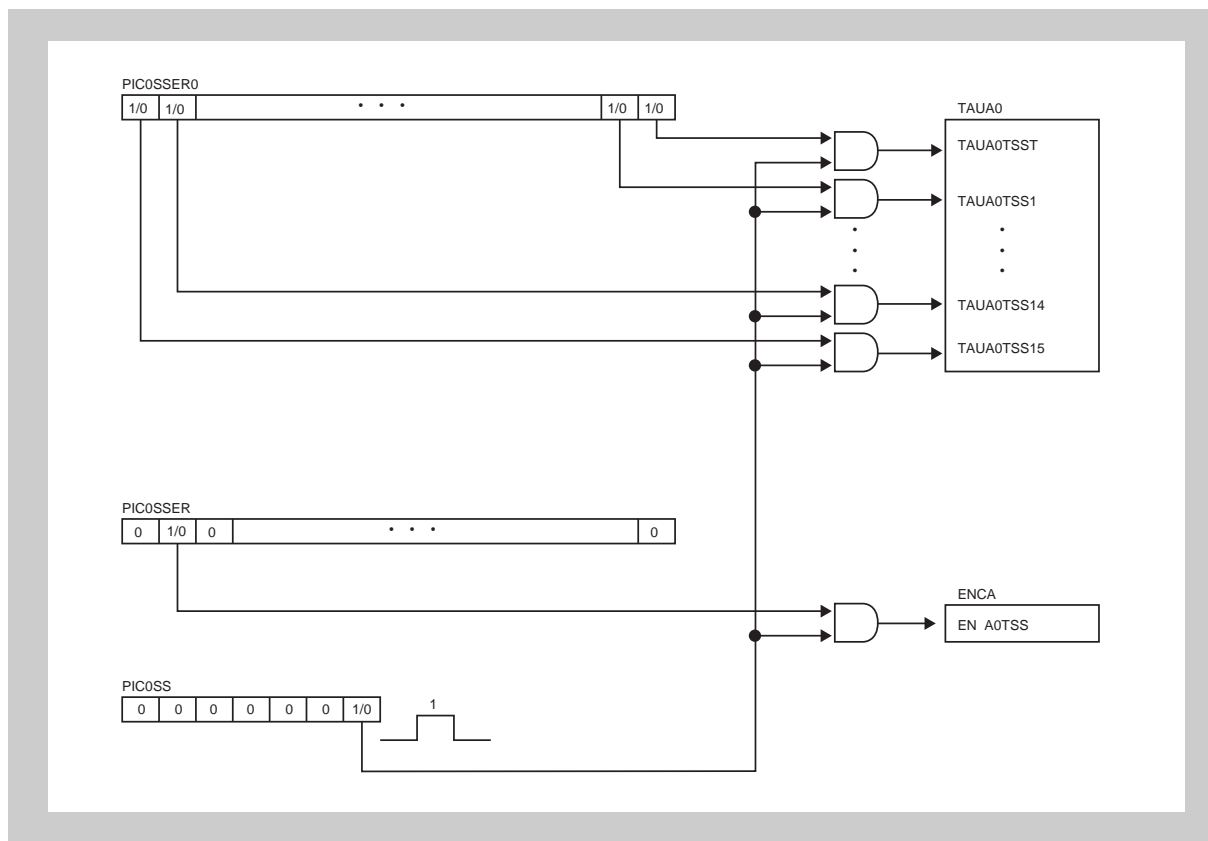


図 36-1 ブロック図

### 36.4.3 動作例

#### (1) タイマ構成の動作例

任意の動作モードで動作する各タイマ (TAUA0, TAUJ0, TAUJ1, OSTM0, ENCA0) の任意の組み合わせでの同時スタートを行います。

#### (2) 設定手順

1. 初期設定  
タイマごとに動作モードを設定します (レジスタ設定含む)。  
TAUA0, TAUJ0, TAUJ1, OSTM0, ENCA0 の初期設定詳細については、各タイマの章を参照してください。
2. 同時スタート許可設定  
同時スタートさせる対象タイマについて、PIC0SSER0, PIC0SSER2 の該当ビットを1にすることで、各タイマの同時スタートを許可します。
3. スタート・トリガ出力  
PIC0SST の SYNCTRG ビットに1をライトすることで、2) で設定された対象タイマにスタート・トリガ (TAUA0TSSm, ENCATSST のうち対象タイマのトリガ) が出力され、タイマが同時にスタートします。
4. スタートしていないチャンネルに対し②~③を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

**備考** タイマ動作中に同時スタート (スタート・トリガ出力) を行った場合の動作は、各タイマの章のスタート・トリガに関する記述を参照してください。

## 36.4.4 設定フロー

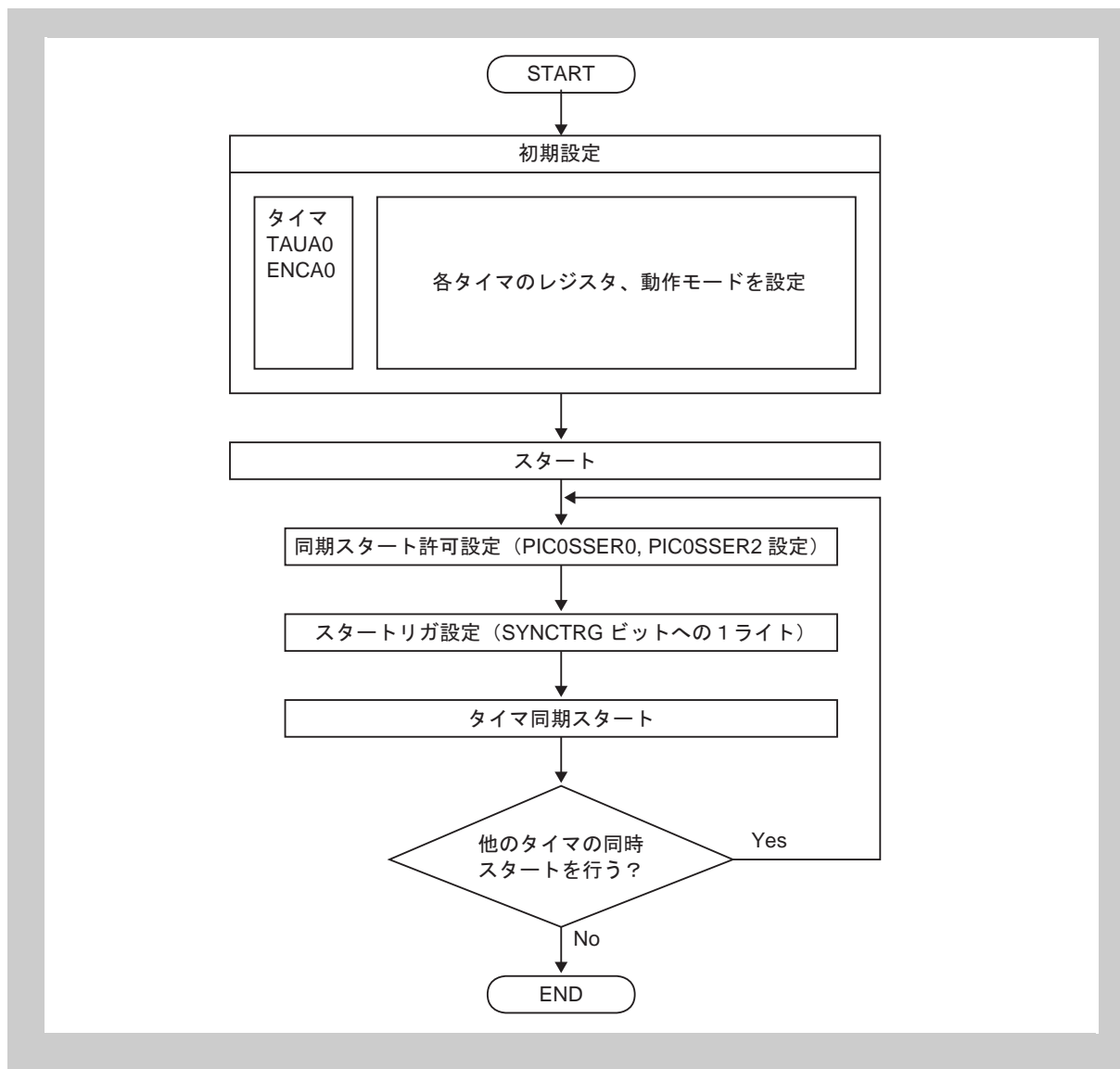


図 36-2 設定フロー

**備考** タイマ動作中に同時スタート（スタート・トリガ出力）を行った場合の動作は、各タイマの章のスタート・トリガに関する記述を参照してください。

## 36.4.5 動作機能の設定

36.4.6 「レジスタ」を参照してください。

### 36.4.6 レジスタ

#### (1) 同時スタート制御レジスタ 0 (PIC0SSER0)

PIC0SSER0 レジスタは TAU0 の各チャンネルのスタート・トリガ許可を行うレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FF81 C080<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
PIC0SS ER015	PIC0SS ER014	PIC0SS ER013	PIC0SS ER012	PIC0SS ER011	PIC0SS ER010	PIC0SS ER009	PIC0SS ER008
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0SS ER007	PIC0SS ER006	PIC0SS ER005	PIC0SS ER004	PIC0SS ER003	PIC0SS ER002	PIC0SS ER001	PIC0SS ER000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-5 PIC0SSER0 レジスタの内容

ビット位置	ビット名	機能
m	PIC0SSER0m	TAU0 の CHm の同時スタート・トリガ許可を設定する。 0 : TAU0 の CHm の同時スタート・トリガを許可しない 1 : TAU0 の CHm の同時スタート・トリガを許可

## (2) 同時スタート制御レジスタ 2 (PIC0SSER2)

PIC0SSER2 レジスタは、ENCA0 のスタート・トリガ許可を行うレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FF81 C088<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
0	PIC0SSER214	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-6 PIC0SSER2 レジスタの内容

ビット位置	ビット名	機能
14	PIC0SSER214	ENCA0 の同時スタート・トリガ許可を設定する。 0 : ENCA0 の同時スタート・トリガを許可しない 1 : ENCA0 の同時スタート・トリガを許可

**(3) 同時スタート・トリガ制御レジスタ (PIC0SST)**

**アクセス** 1ビットまたは8ビット単位でリード/ライト可能です。

**アドレス** FF81 C004<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SYNCTRG
R	R	R	R	R	R	R	R/W

表 36-7 PIC0SST レジスタの内容

ビット位置	ビット名	機能
0	SYNCTRG	同時スタート許可に設定したタイマに対し、スタート・トリガを生成 0：無効 1：同時スタート・トリガ（1PCLK 幅のパルスを出力）

**備考** SYNCTRG は、リード時は常に 0 を読み出します。

## 36.5 タイマ間接続（トリガ・パルス幅測定機能）

### 36.5.1 機能概要

エンコーダから出力されるトリガの間隔（モータの回転速度など）を TAUJ, TAUAn で測定する機能です。

以下の3種のトリガ信号について、パルス幅を測定することが可能です。

- ENCATIEC : エンコーダ入力（Z相）による ENCA0 クリア割り込み信号
- ENCATEQ0 : ENCA0CNT と ENCA0CCR0 が一致したときに生成される一致検出信号
- ENCATEQ1 : ENCA0CNT と ENCA0CCR1 が一致したときに生成される一致検出信号

### 36.5.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-8 トリガ・パルス幅測定機能の構成

タイマ（パルス出力側）		タイマ（測定側） （測定対象トリガに応じて選択）
ENCA0	ENCAT0IEC 測定	TAUJ0 CH0 または CH1
	ENCAT0EQ0 測定	TAUA0 CH0 または CH2
	ENCAT0EQ1 測定	TAUA0 CH0 または CH1

**備考** 以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → INTTAUAnIm または INTTAUJ0Im

TINm → TAUAnTTINm または TAUJ0TTINm

TOUTm → TAUAnTTOUTm または TAUJ0TTOUTm

CDRm → TAUAnCDRm または TAUJ0CDRm

CNTm → TAUAnCNTm または TAUJ0CNTm



• TAU/TAUJ0 各チャンネル機能設定

TAU	CH	機能名	M/S <sup>a</sup>	パルス幅測定対象トリガ
TAUA0	0	TAUAnTTINm 入力パルス・インターバル測定機能	—	ENCAT0EQ0 または ENCAT0EQ1
	1	TAUAnTTINm 入力パルス・インターバル測定機能	—	ENCAT0EQ1
	2	TAUAnTTINm 入力パルス・インターバル測定機能	—	ENCAT0EQ0
TAUJ0	0	TAUJnTTINm 入力パルス・インターバル測定機能	—	ENCAT0IEC
	1	TAUJnTTINm 入力パルス・インターバル測定機能	—	ENCAT0IEC

a) M= マスタ・チャンネル S= スレーブ・チャンネル -= 単体機能

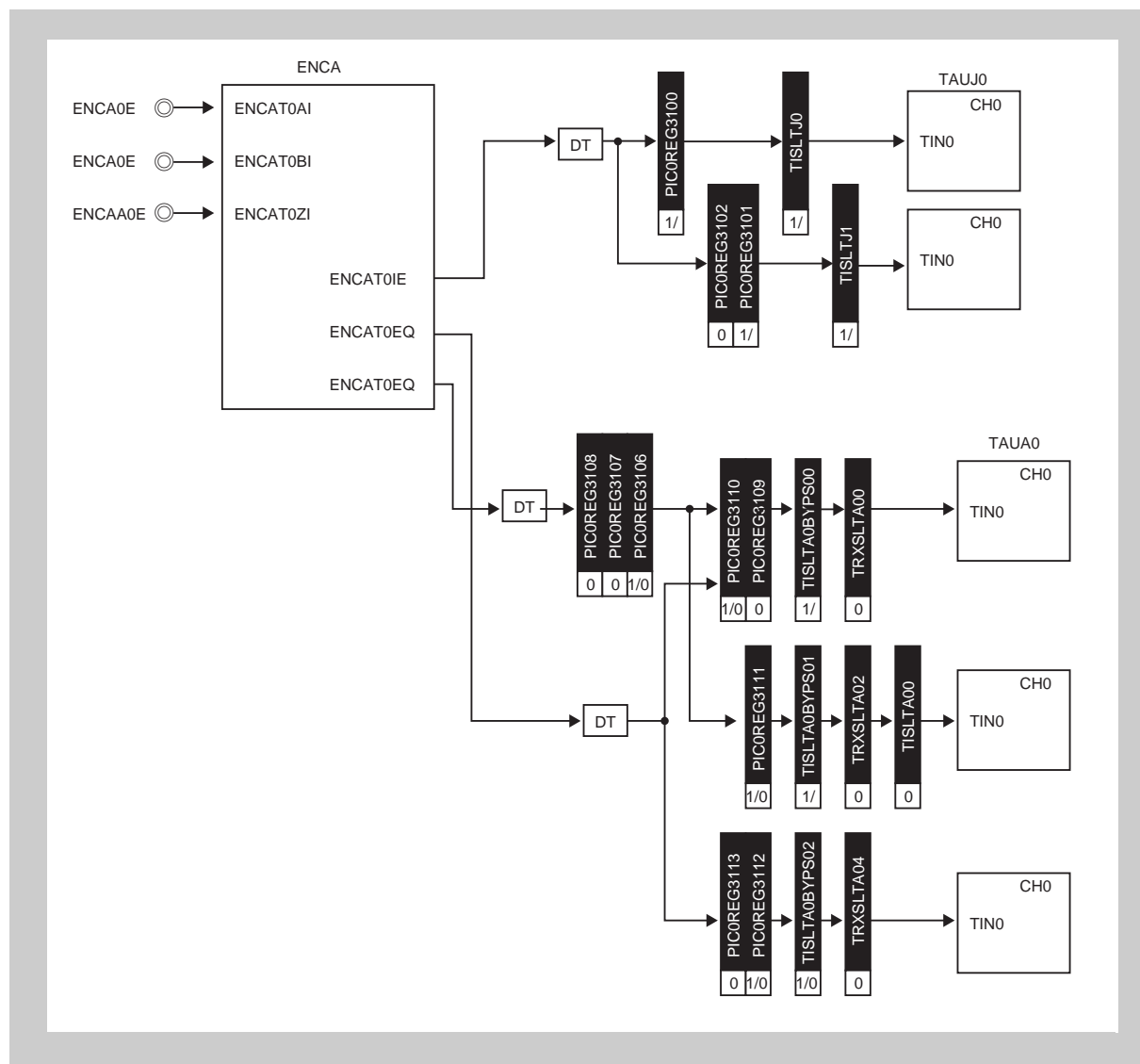


図 36-3 ブロック図

### 36.5.3 動作例

ENCA0 のトリガ信号 (ENCAT0IEC, ENCAT0EQ0, ENCAT0EQ1) と、TAUA0, TAUJ0 の次の機能の組み合わせにより実現します。

- TAUAnTTINm 入力パルス・インターバル測定機能 (TAUA0)
- TAUJnTTINm 入力パルス・インターバル測定機能 (TAUJ0)

また、TINm に入力するトリガ信号をレベル変化のトグル信号へ変換するため、PIC 内の以下機能を使用します。

- DT 回路

トリガ・パルス幅測定機能は、ENCA0 から出力されるトリガ信号の間隔を TAUA0 の TAUAnTTINm 入力パルス・インターバル測定機能、TAUJ0 の TAUJnTTINm 入力パルス・インターバル測定機能により測定できる機能を実現します。

#### (1) TAUAnTTINm 入力パルス・インターバル測定機能

TAUA0, TAUJ0 の TINm の有効エッジを検出すると CNTm の値を CDRm にキャプチャし、CNTm をクリアします。

**注意** 本機能では、TINm で検出する有効エッジを両エッジ検出 (ハイ・レベル幅測定) (TAUA0CMURm.TAUA0TIS[1:0] = 11B, TAUJ0CMURm.TAUJ0TIS[1:0] = 11B) とする設定にしてください。

TAUA, TAUJ の機能の詳細については、それぞれの章を参照してください。

#### (2) DT 回路

ENCA0 が出力するトリガ信号をレベル変化のトグル信号に変換します。

図 36-4 「DT 回路動作」に示すとおり、入力であるトリガ信号の発生ごとに出力信号をトグルさせます。

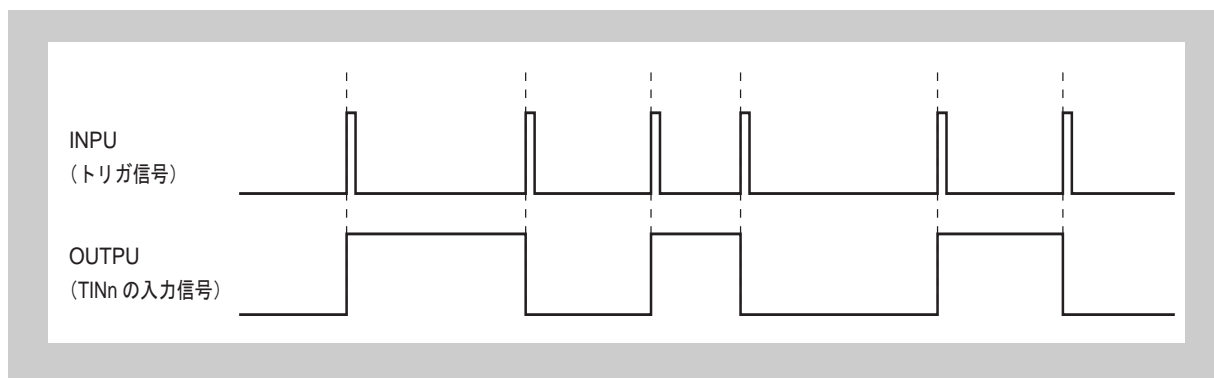


図 36-4 DT 回路動作

PIC は、ENCA0 からのトリガ信号の発生間隔を測定するための TAUA0, TAUJ0 への入力信号変換および信号接続を提供します。

次にトリガ・パルス幅測定機能のタイミング図を示します。

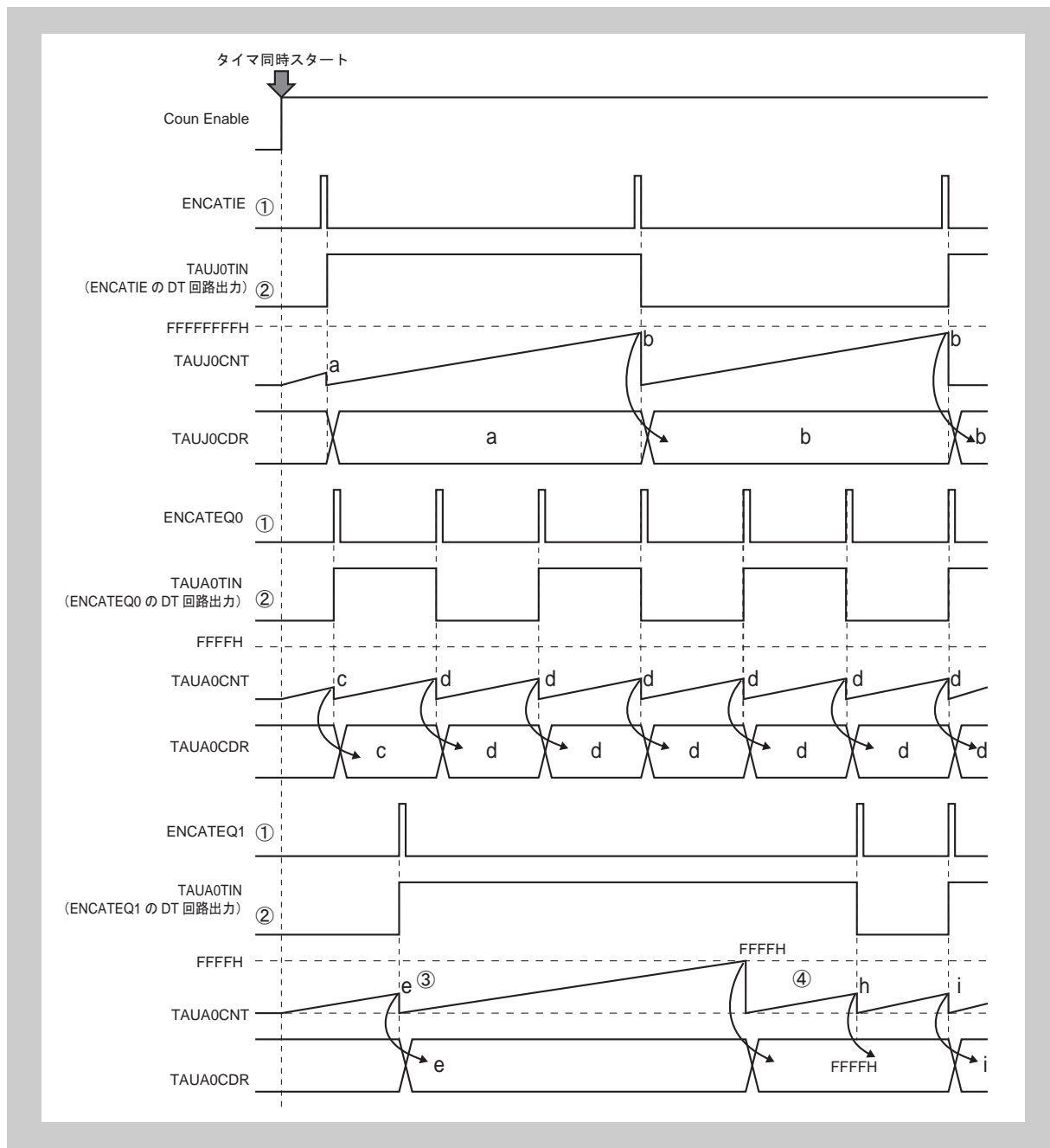


図 36-5 トリガ・パルス幅測定機能の動作例 (m=0-2, k=0-3)

1. ENCA0 は次のトリガ信号を出力します。
  - ENCAT0IEC (ENCAT0ZIN 入力によりタイマ・カウンタ値がクリアされた時出力される割り込みトリガ信号)
  - ENCAT0EQ0 (タイマ・カウンタ値とコンペア・レジスタ 0 の値が一致したタイミングで出力されるトリガ信号)
  - ENCAT0EQ1 (タイマ・カウンタ値とコンペア・レジスタ 1 の値が一致したタイミングで出力されるトリガ信号)
2. ENCA0 から出力された各トリガ信号は DT 回路によりレベル変化のトグル信号に変換し TAUJA0 および TAUJ0 の TINm へ出力します
3. TAUJA0 および TAUJ0 の TINm 有効エッジを両エッジ設定とすることにより、TINm のトグル・タイミングで CNTm 値を CDRm へ取り込みます。同時に CNTm を 0000<sub>H</sub> にクリアする動作を繰り返します。  
動作開始から最初にキャプチャした値 (図中で a) は、TAU 動作開始から、トリガ入力までの期間です。
4. オーバフロー時は FFFF<sub>H</sub>(TAUJ の場合は、FFFFFFF<sub>H</sub>) をキャプチャし、その後の最初のトリガではカウント値をキャプチャしません。
5. 以上の動作により、トリガ発生間隔を測定できます。
6. 次の表にトリガ信号と計測タイマの組み合わせおよびその経路を設定する PIC レジスタと入出力を選択するレジスタのビット設定の一覧を示します。計測するトリガ信号と使用する計測タイマに応じて、適宜設定してください。

表 36-9 トリガ信号と計測タイマの組み合わせ

割り込みトリガ信号	計測タイマ	PIC レジスタのビット設定		セレクタ・レジスタのビット設定
ENCAT0IEC	TAUJ0 CH0	PIC0REG3100 = 1		TISLTJ0 = 1
	TAUJ0 CH1	PIC0REG3101 = 1 PIC0REG3102 = 0		TISLTJ1 = 1
ENCAT0EQ0	TAUA0 CH0	PIC0REG3109 = 0 PIC0REG3110 = 1		TISLTA0BYP0 = 1 TRXSLTA00 = 0
	TAUA0 CH2	PIC0REG3112 = 1 PIC0REG3113 = 0		TISLTA0BYP02 = 1 TRXSLTA04 = 0
ENCAT0EQ1	TAUA0 CH0	PIC0REG3106 = 1 PIC0REG3107 = 0 PIC0REG3108 = 0	PIC0REG3109 = 0 PIC0REG3110 = 1	TISLTA0BYP00 = 1 TRXSLTA00 = 0
	TAUA0 CH1		PIC0REG3111 = 1	TISLTA0BYP01 = 1 TISLTA00 = 0 TRXSLTA02 = 0

### 36.5.4 設定フロー

本節に示す設定フローは、以下の組み合わせすべてでパルス間隔を計測する設定フローを記載しています。「注」と記載のあるレジスタについては測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。トリガ信号と測定に使用するタイマの組み合わせについては表 36-9 「トリガ信号と計測タイマの組み合わせ」を参照してください。

エンコーダ・タイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ0 CH0,TAUJ0 CH1
	ENCAT0EQ0	TAUA0 CH0,TAUA0 CH2
	ENCAT0EQ1	TAUA0 CH1

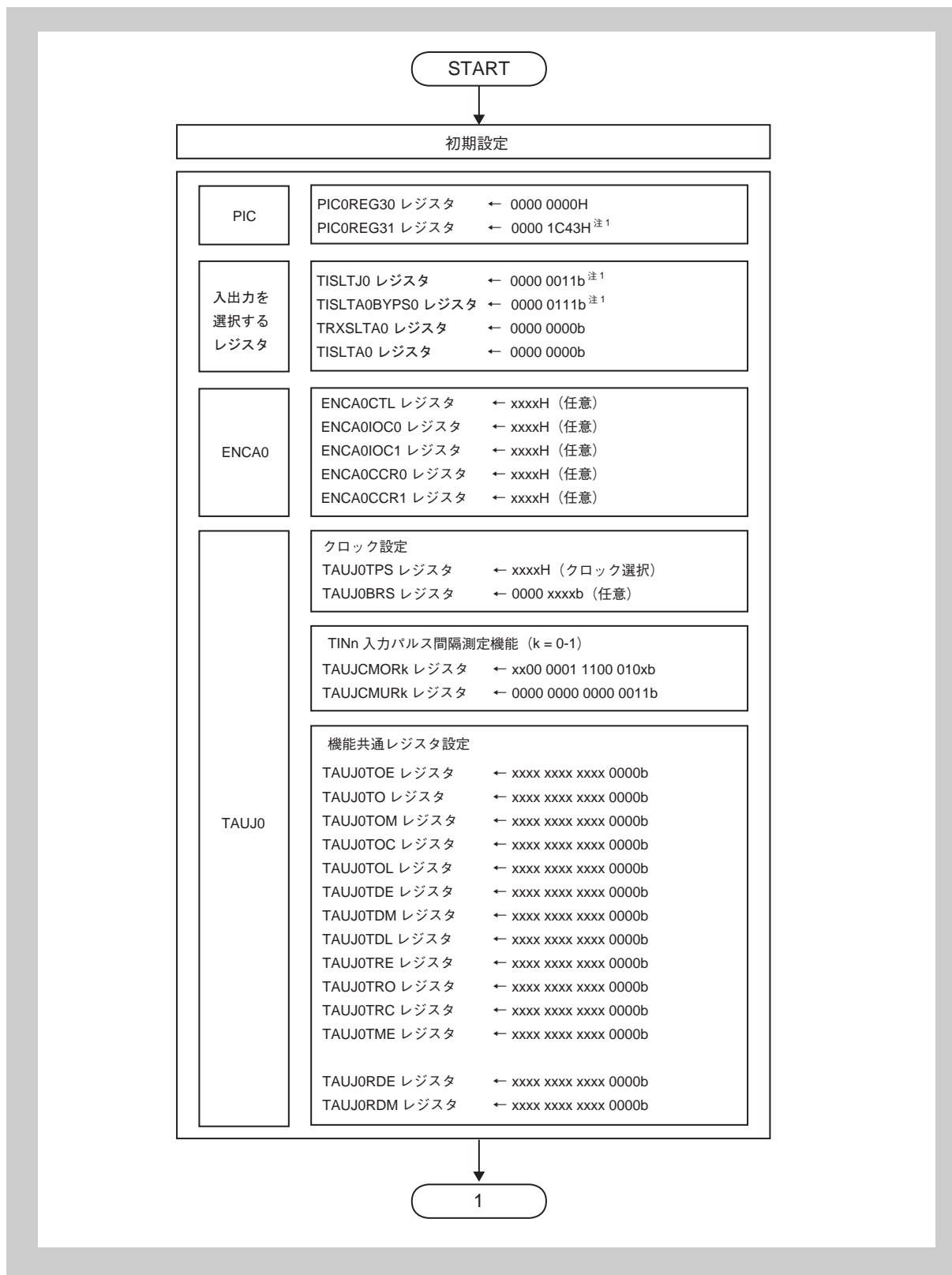


図 36-6 設定フロー

**注 1** 測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

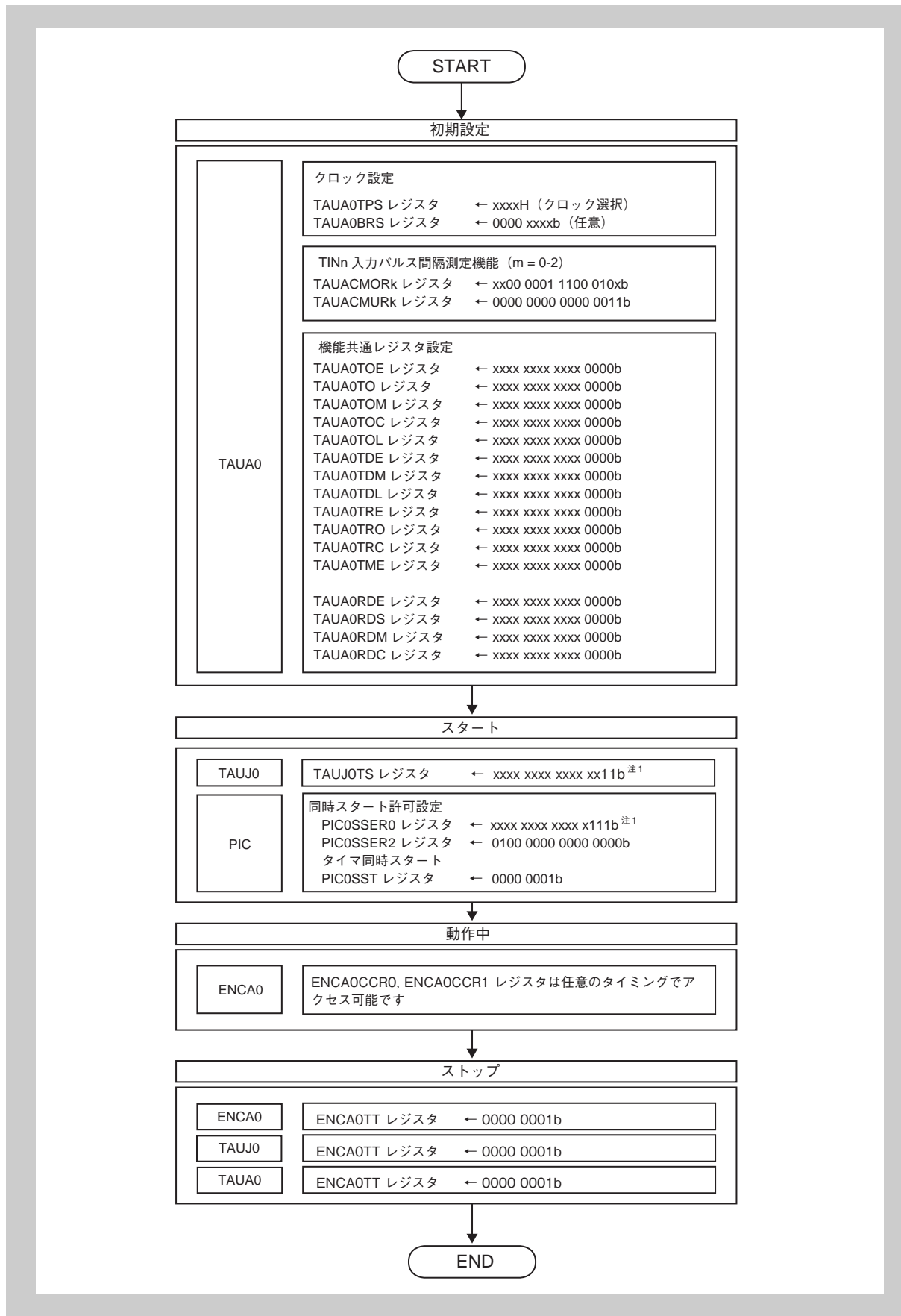


図 36-7 設定フロー (続き)

注1 測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

### 36.5.5 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定例は、以下の組み合わせすべてでパルス間隔を計測する設定を記載しています。トリガ信号と測定に使用するタイマの組み合わせについては表 36-9 「トリガ信号と計測タイマの組み合わせ」を参照してください。

エンコーダ・タイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ0 CH0,TAUJ0 CH1
	ENCAT0EQ0	TAUA0 CH0,TAUA0 CH2
	ENCAT0EQ1	TAUA0 CH1

表 36-10 ENCA0 設定 (1/2)

レジスタ	ビット位置	ビット名	設定値	備考
ENCA0CTL	15	ENCA0CME	任意	コンペアー一致割り込み検出マスク許可/禁止を選択
	14	ENCA0MCS	任意	コンペアー一致割り込み検出マスク解除トリガ選択
	13-10		0	0 固定
	9	ENCA0CRM1	任意	ENCA0CCR1 レジスタの用途を選択
	8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
	7	ENCA0CTS	任意	ENCA0CCR1 のキャプチャ動作のトリガ選択 CRM1=1 のときしか有効にならないので指定する必要はありません。
	6-5		0	0 固定
	4	ENCA0LDE	任意	アンドフロー発生時のリロード許可/禁止を選択
	3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー一致時のカウンタクリアの許可/禁止を選択
	2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー一致時のカウンタクリアの許可/禁止を選択
1,0	ENCA0UDS[1:0]	任意	ENCA0E0 および ENCA0E1 によるカウンタアップ/ダウン制御を選択	
ENCA0IOC0	7-4		0	0 固定
	3, 2	ENCA0TIS[3:2]	任意	キャプチャ・トリガ 1 (ENCA0I1) の有効エッジを選択
	1, 0	ENCA0TIS[1:0]	任意	キャプチャ・トリガ 0 (ENCA0I0) の有効エッジを選択



表 36-10 ENCA0 設定 (2/2)

レジスタ	ビット位置	ビット名	設定値	備考
ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリアレベルを選択
	5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリアレベルを選択
	4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリアレベルを選択
	3, 2	ENCA0ECS[1:0]	任意	エンコーダ・クリア入力 (Z 相) エッジを選択
	1, 0	ENCA0EIS[1:0]	任意	エンコーダ入力 (A,B 相) エッジを選択

表 36-11 TAUJ0 の設定 (k=0-3)  
TAUJ0 (TAUJnTTINm 入力パルス・インターバル測定機能)

レジスタ	ビット位置	ビット名	設定値	備考
TAUJ0CMORk	15, 14	TAUJ0CKS[1:0]	任意	動作クロック設定
	13, 12	TAUJ0CCS[1:0]	00	
	11	TAUJ0MAS	1	
	10, 9, 8	TAUJ0STS[2:0]	000	
	7, 6	TAUJ0COS[1:0]	11	
	5		0	0 固定
	4	TAUJ0MD[4:1]	0010	
	0	TAUJ0MD0	任意	
TAUJ0CMURk	1, 0	TAUJ0TIS[1:0]	00	

**備考** TAUJ0CMORk を TAUAnTTINm 入力パルス・インターバル測定機能として使用する場合、TAUJ0CKS[1:0](動作クロック選択)、TAUJ0MD0(カウント開始時の INTm 出力制御)の各ビットは任意に設定できます。  
TAUJ0COS[1:0](オーバーフロー動作の選択)ビットも任意設定可能ですが本機能では固定値で使用してください。  
他の制御ビットは固定値となります。詳細は第 18 章「タイマ・アレイ・ユニット J (TAUJ)」を参照してください。  
TAUJ 共通レジスタ (TAUJ0TOE, TAUJ0TO, TAUJ0TOM, TAUJ0TOC, TAUJ0TOL, TAUJ0RDE, TAUJ0RDM) については、使用するチャネルに対応するビットのみ「0」に設定してください

表 36-12 TAU A0 の設定 (m=0-2)  
TAU A0 (TAU A0TTINm 入力パルス・インターバル測定機能)

レジスタ	ビット位置	ビット名	設定値	備考
TAU A0CMORm	15, 14	TAU A0CKS[1:0]	任意	動作クロック設定
	13, 12	TAU A0CCS[1:0]	00	
	11	TAU A0MAS	1	
	10-8	TAU A0STS[2:0]	000	
	7, 6	TAU A0COS[1:0]	11	
	5		0	0 固定
	4-1	TAU A0MD[4:1]	0010	
	0	TAU A0MD0	任意	
TAU A0CMURm	1, 0	TAU A0TIS[1:0]	00	

**備考** TAU A0CMORm を、TAU A0TTINm 入力パルス・インターバル測定機能として使用する場合、TAU A0CKS[1:0](動作クロック選択)、TAU A0MD0(カウント開始時の INTm 出力制御)の各ビットは任意に設定できます。TAU A0COS[1:0](オーバフロー動作の選択)ビットも任意設定可能ですが本機能では固定値で使用してください。他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAU A)」を参照してください。

TAU A 共通レジスタ (TAU A0TOE, TAU A0TO, TAU A0TOM, TAU A0TOC, TAU A0TOL, TAU A0TDE, TAU A0TDM, TAU A0TDL, TAU A0TRE, TAU A0TRO, TAU A0TRC, TAU A0TME, TAU A0RDE, TAU A0RDS, TAU A0RDM, TAU A0RDC) については、使用するチャネルに対応するビットのみ「0」に設定してください。

表 36-13 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG31	13, 12	PIC0REG3113	0	TAU A0TTIN2 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
		PIC0REG3112	1	
	11	PIC0REG3111	1	TAU A0TTIN1 への入力信号に PIC0REG3106 ~ 08 で選択した信号 (ENCAT0EQ1 の DT 出力信号) を選択
	10, 9	PIC0REG3110	1	TAU A0TTIN0 への入力信号に ENCAT1EQ0 の DT 出力信号を選択
		PIC0REG3109	0	
	8-6	PIC0REG3108 PIC0REG3107 PIC0REG3106	0 0 1	TAU A0TTIN1, TAU A0TTIN0 への入力信号として ENCAT0EQ1 の DT 出力信号を選択
2, 1	PIC0REG3102 PIC0REG3101	0 1	TAU J0TTIN1 への入力信号に ENCAT0IEC の DT 出力信号を選択	
0	PIC0REG3100	1	TAU J0TTIN0 への入力信号に ENCAT0IEC の DT 出力信号を選択	

### 36.5.6 レジスタ

#### (1) タイマ入出力制御レジスタ 31 (PIC0REG31)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF81 C0C0<sub>H</sub>

初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	PIC0REG 3113	PIC0REG 3112	PIC0REG 3111	PIC0REG 3110	PIC0REG 3109	PIC0REG 3108
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0REG 3107	PIC0REG 3106	0	0	0	PIC0REG 3102	PIC0REG 3101	PIC0REG 3100
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-14 PIC0REG31 レジスタの内容

ビット位置	ビット名	機能																
13 12	PIC0REG3113 PIC0REG3112	TAUA0TTIN2 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG3113</th> <th>PIC0REG3112</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUA0I2 入力 (TAUA0 の CH2 をトリガ幅測定に使用しない場合)</td> </tr> <tr> <td>0</td> <td>1</td> <td>ENCAT0EQ0 の DT 出力信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3113	PIC0REG3112	入力信号	0	0	TAUA0I2 入力 (TAUA0 の CH2 をトリガ幅測定に使用しない場合)	0	1	ENCAT0EQ0 の DT 出力信号	上記以外		設定禁止				
PIC0REG3113	PIC0REG3112	入力信号																
0	0	TAUA0I2 入力 (TAUA0 の CH2 をトリガ幅測定に使用しない場合)																
0	1	ENCAT0EQ0 の DT 出力信号																
上記以外		設定禁止																
11	PIC0REG3111	TAUA0TTIN1 への入力信号を選択します。 0 : TAUA0I1 入力 (TAUA0 の CH1 をトリガ幅測定に使用しない場合) 1 : PIC0REG3106 ~ 08 で選択した信号 (ENCAT0EQ1 信号測定時)																
10 9	PIC0REG3110 PIC0REG3109	TAUA0TTIN0 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG3110</th> <th>PIC0REG3109</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PIC0REG3106 ~ 08 で選択した信号 (TAUA0 の CH0 をトリガ幅測定に使用しない場合または ENCAT0EQ1 信号測定時)</td> </tr> <tr> <td>1</td> <td>0</td> <td>ENCAT0EQ0 の DT 出力信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3110	PIC0REG3109	入力信号	0	0	PIC0REG3106 ~ 08 で選択した信号 (TAUA0 の CH0 をトリガ幅測定に使用しない場合または ENCAT0EQ1 信号測定時)	1	0	ENCAT0EQ0 の DT 出力信号	上記以外		設定禁止				
PIC0REG3110	PIC0REG3109	入力信号																
0	0	PIC0REG3106 ~ 08 で選択した信号 (TAUA0 の CH0 をトリガ幅測定に使用しない場合または ENCAT0EQ1 信号測定時)																
1	0	ENCAT0EQ0 の DT 出力信号																
上記以外		設定禁止																
8 7 6	PIC0REG3108 PIC0REG3107 PIC0REG3106	TAUA0TTIN1, TAUA0TTIN0 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG 3108</th> <th>PIC0REG 3107</th> <th>PIC0REG 3106</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>TAUA0I0 入力 (TAUA0 の CH0, CH1 をトリガ幅測定に使用しない場合)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ENCAT0EQ1 の DT 出力信号</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG 3108	PIC0REG 3107	PIC0REG 3106	入力信号	0	0	0	TAUA0I0 入力 (TAUA0 の CH0, CH1 をトリガ幅測定に使用しない場合)	0	0	1	ENCAT0EQ1 の DT 出力信号	上記以外			設定禁止
PIC0REG 3108	PIC0REG 3107	PIC0REG 3106	入力信号															
0	0	0	TAUA0I0 入力 (TAUA0 の CH0, CH1 をトリガ幅測定に使用しない場合)															
0	0	1	ENCAT0EQ1 の DT 出力信号															
上記以外			設定禁止															
2 1	PIC0REG3102 PIC0REG3101	TAUJ0TTIN1 への入力信号を選択します <table border="1"> <thead> <tr> <th>PIC0REG3102</th> <th>PIC0REG3101</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJ0I1 入力</td> </tr> <tr> <td>0</td> <td>1</td> <td>ENCAT0IEC の DT 出力信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3102	PIC0REG3101	入力信号	0	0	TAUJ0I1 入力	0	1	ENCAT0IEC の DT 出力信号	上記以外		設定禁止				
PIC0REG3102	PIC0REG3101	入力信号																
0	0	TAUJ0I1 入力																
0	1	ENCAT0IEC の DT 出力信号																
上記以外		設定禁止																
0	PIC0REG3100	TAUJ0TTIN0 への入力信号を選択します 0 表記漏れ 「TAUJ0CH00 の TIN 入力信号を選択します」 : TAUJ0I0 入力 (TAUJ0 の CH0 をトリガ幅測定に使用しない場合) 1 : ENCAT0IEC の DT 出力信号を選択																

備考 PIC0REG31 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当する PIC 接続機能のビット定義を適用してください。

## (2) TAUA 入力選択レジスタ (TISLTA0BYP0)

TISLTA0BYP0 レジスタは、TAUA0 の入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 1008<sub>H</sub>

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	TISLTA0B YPS02	TISLTA0B YPS01	TISLTA0B YPS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-15 TISLTA0BYP0 レジスタの内容

ビット位置	ビット名	機能
2	TISLTA0BYP02	TAUA0TTIN2 への入力信号を選択します。(TRXSLTA02=0 のとき有効) 0 : TAUA0I2 からの入力信号 (トリガ・パルス幅測定機能を使用しない) 1 : PIC0REG3112, PIC0REG3113 で選択した信号を選択 (トリガ・パルス幅測定機能を使用する)
1	TISLTA0BYP01	TAUA0TTIN1 への入力信号を選択します。(TRXSLTA01=0, TISLTA00=0 のとき有効) 0 : TAUA0I1 からの入力信号 (トリガ・パルス幅測定機能を使用しない) 1 : PIC0REG3111 で選択した信号を選択 (トリガ・パルス幅測定機能を使用する)
0	TISLTA0BYP00	TAUA0TTIN0 への入力信号を選択します。(TRXSLTA00=0 のとき有効) 0 : TAUA0I0 からの入力信号 (トリガ・パルス幅測定機能を使用しない) 1 : PIC0REG3109, PIC0REG3110 で選択した信号を選択 (トリガ・パルス幅測定機能を使用する)

**(3) TRXSLTA0 - TAUA0 受信入力選択レジスタ (TRXSLTA0)**

TRXSLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FF77 1004<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	TRXSLTA 04	TRXSLTA0[3:2]		TRXSLTA0[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-16 TRXSLTA0 レジスタの内容

ビット位置	ビット名	機能
4	TRXSLTA04	TAUA0TTIN2 への入力信号を選択します。 0 : TISLTA0BYP02 で選択した信号を選択 1 : (トリガ・パルス幅測定機能を使用しない)
3, 2	TRXSLTA0[3:2]	TAUA0TTIN1 への入力信号を選択します。 X0B : TISLTA0BYP01 で選択した信号を選択 X1B : (トリガ・パルス幅測定機能を使用しない)
1, 0	TRXSLTA0[1:0]	TAUA0TTIN0 への入力信号を選択します。 X0B : TISLTA0BYP00 で選択した信号を選択 X1B : (トリガ・パルス幅測定機能を使用しない)

**(4) TAUA 入力選択レジスタ (TISLTA0)**

TISLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1ビット単位でリード/ライト可能です。

**アドレス** FF77 1000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TISLTA00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-17 TISLTA0 レジスタの内容

ビット位置	ビット名	機能
0	TISLTA00	TAUA0TTIN1 への入力信号を選択します。 0 : TRXSLTA0[3:2] で選択した信号を選択 1 : TAUA0TTIN0 信号を選択 (トリガ・パルス幅測定機能を使用しない)

**(5) タイマ入力セレクション・レジスタ (TISLTJ)**

TISLTJ レジスタは、TAUJ の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 3000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TISLTJ1	TISLTJ0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-18 TISLTJ レジスタの内容

ビット位置	ビット名	機能
1	TISLTJ1	TAUJ0 の CH1 への入力信号 TAUJ0TTIN1 を選択します。 0 : TAUJ0I1 からの入力信号 (トリガ・パルス幅測定機能を使用しない) 1 : PIC0REG3102, PIC0REG3101 で選択した信号 (トリガ・パルス幅測定機能を使用する)
0	TISLTJ0	TAUJ0 の CH0 への入力信号 TAUJ0TTIN0 を選択します。 0 : TAUJ0I0 からの入力信号 (トリガ・パルス幅測定機能を使用しない) 1 : PIC0REG3100 で選択した信号 (トリガ・パルス幅測定機能を使用する)

## 36.6 タイマ・モータ制御機能との接続（デッド・タイム付き3相PWM出力機能）

### 36.6.1 機能概要

1周期にそれぞれ1回以下のセット信号（アクティブ・レベル変化タイミング信号）、クリア信号（非アクティブ・レベル変化タイミング信号）を生成し、それらを利用したデッド・タイム付き3相PWM波形を出力します。

TAUAのPWM出力機能では、デューティ値指定により1周期にクリア・タイミングのみ設定しますが、本機能によりセット・タイミングも指定可能となり、より自由度の高いデッド・タイム付きPWMを出力できます。

### 36.6.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-19 デッド・タイム付き3相PWM出力機能の構成

タイマ	タイマ・モータ制御機能
TAUA0 CH2, CH4 ~ CH15（使用チャンネル固定）	TAPA0

**備考** 以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → INTTAUAnIm

TINm → TAUAnTTINm

TOUTm → TAUAnTTOUTm

CDRm → TAUAnCDRm

CNTm → TAUAnCNTm



- TAUAn 各チャンネル機能設定

CH10, 12, 14 は, TOUTm のみ使用するため, TOUTm を使用しない機能であれば使用可能です (m=10,12,14)。

CH	機能名	M/S <sup>a</sup>	CDR 設定値	説明
02	PWM 出力機能 (CH2 は CH4-CH9 のマスタ・チャンネル)	M	周期	
04		S	デューティ (U相セット)	
05		S	デューティ (U相クリア)	
06		S	デューティ (V相セット)	
07		S	デューティ (V相クリア)	
08		S	デューティ (W相セット)	
09		S	デューティ (W相クリア)	
10		TOUT10 を使用しない機能であれば任意	任意	
11	1 相 PWM 出力機能	—	デッド・タイム (U相)	TOUT11 : UB 相出力
12	TOUT12 を使用しない機能であれば任意	任意		TOUT12 : V 相出力
13	1 相 PWM 出力機能	—	デッド・タイム (V相)	TOUT13 : VB 相出力
14	TOUT14 を使用しない機能であれば任意	任意		TOUT14 : W 相出力
15	1 相 PWM 出力機能	—	デッド・タイム (W相)	TOUT15 : WB 相出力

a) M= マスタ・チャンネル S = スレーブ・チャンネル = 単体機能

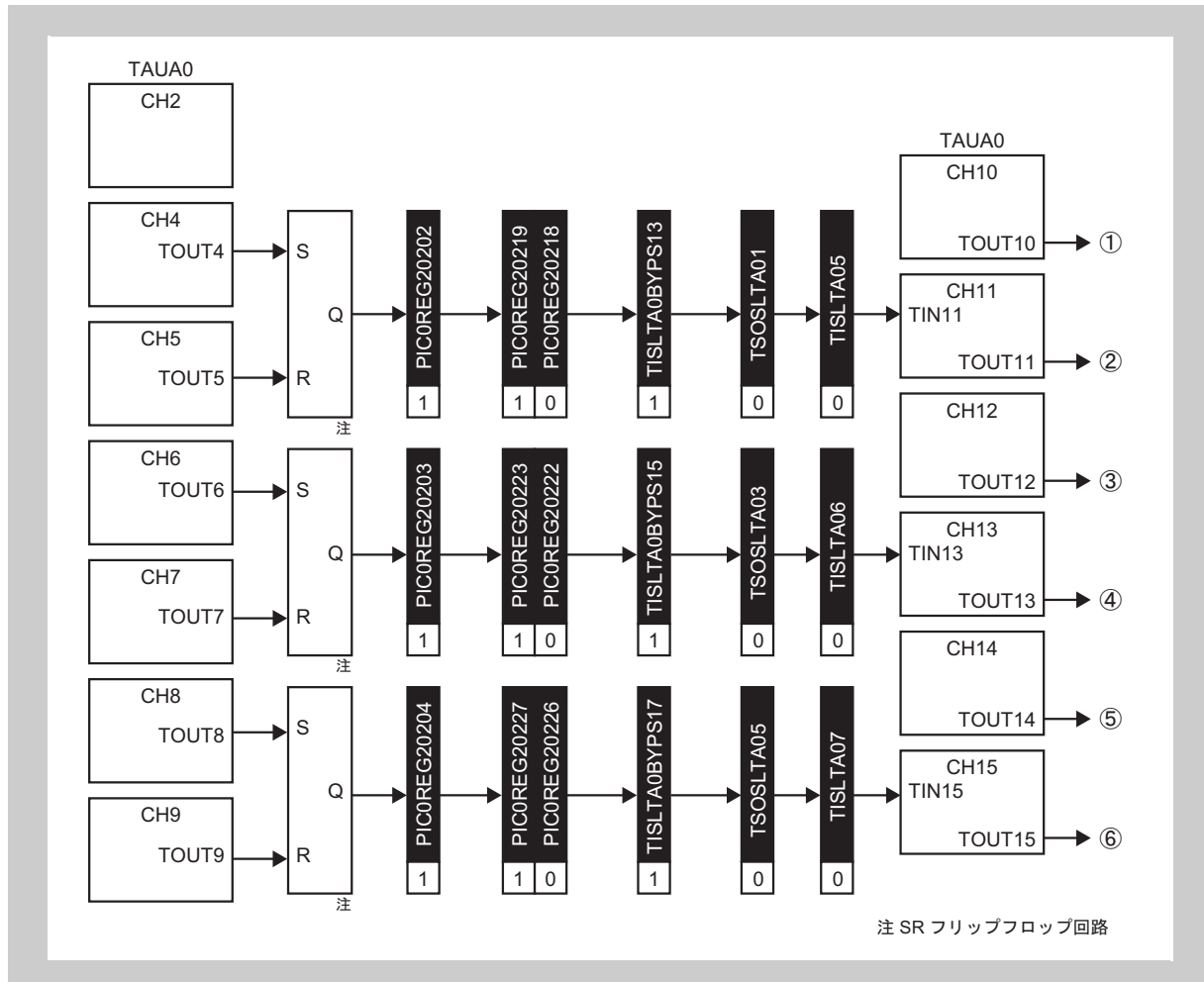


図 36-8 ブロック図 (1/2)

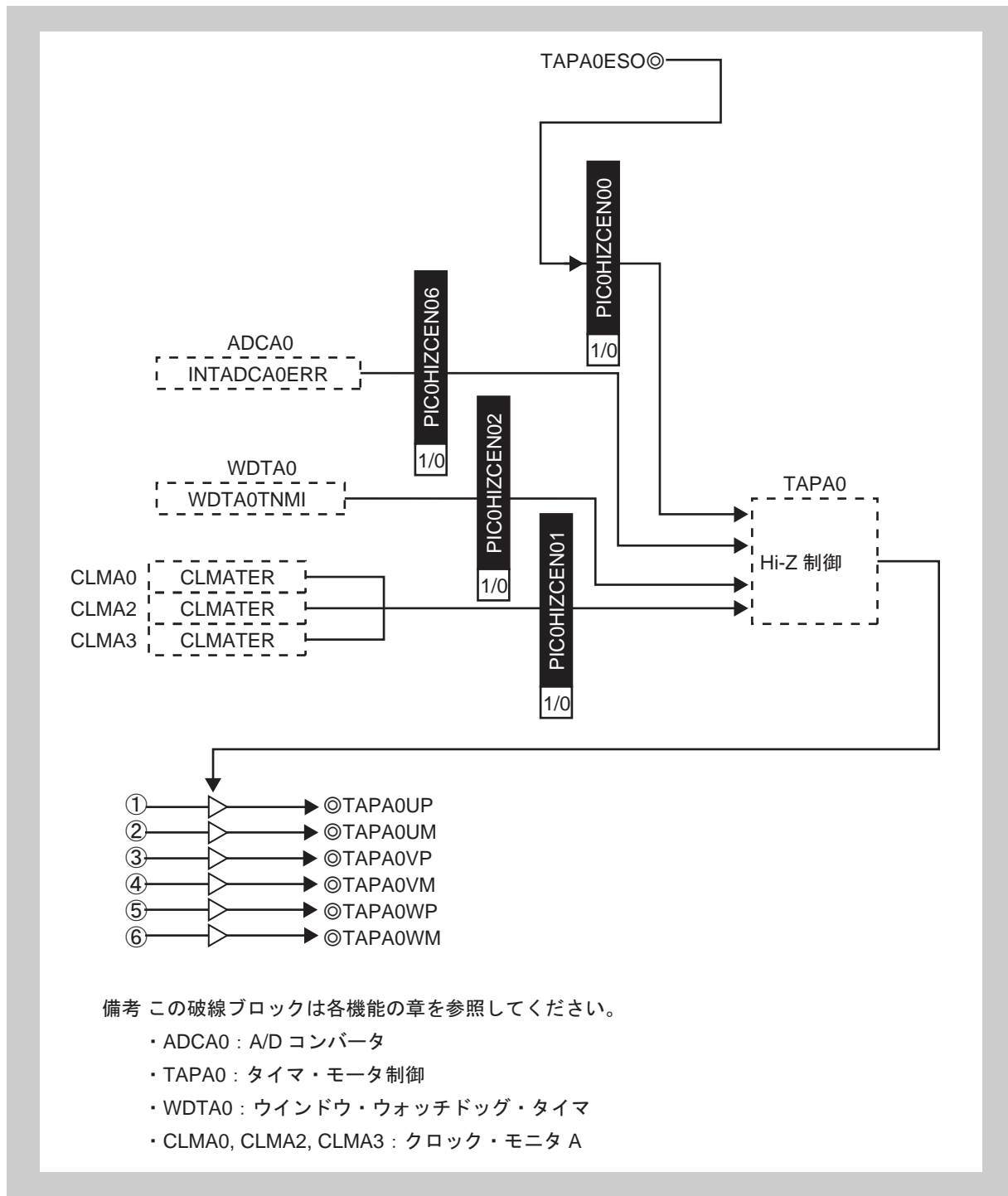


図 36-9 ブロック図 (2/2)

### 36.6.3 動作例

1 周期にそれぞれ 1 回以下のセット信号、クリア信号を生成し、それらを利用したデッド・タイム付き 3 相 PWM 波形を出力します。

TAUA の次の機能の組み合わせにより実現します。

- PWM 出力機能
- 1 相 PWM 出力機能

また、PWM 出力機能で生成するセット信号、クリア信号から 1 相 PWM 出力機能の入力 TIN<sub>m</sub> (m=11,13,15) へ供給する PWM 波形を作成するため、PIC 内の以下機能を使用します。

- SR フリップフロップ回路

3 相 PWM 出力は、上記機能で実現したデッド・タイム付き 1 相 PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のセット／クリア信号は、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは 1 相 (U 相) について説明を行います。

#### (1) PWM 出力機能

CH2,CH4,CH5 の組み合わせで使用します。

CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定することで、INT04,05 から 1 相 PWM 出力機能の入力 TIN11 を生成する SR フリップフロップ回路へのセット／クリア信号を生成します。

V 相、W 相については、上記 U 相のセット／クリア信号生成で使った CH4,CH5 をそれぞれ CH6,CH7 (V 相)、CH8, CH09 (W 相) で実現します。

#### (2) 1 相 PWM 出力機能

CH10,CH11 の組み合わせで 1 相 PWM を TOUT10,TOUT11 から出力します。

CDR11 にデッド・タイム値を設定することで、TIN11 入力に対してデッド・タイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12, CH13 (V 相)、CH14,CH15 (W 相) で、同様にデッド・タイム付 1 相 PWM を出力します。

---

**注意** PWM 出力機能、1 相 PWM 出力機能で使用する TAUAn 各チャンネルの動作クロック設定は同一クロックを設定してください。

---

TAUA の機能の詳細については、第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

### (3) SR フリップフロップ回路

TAUA の CH4 で生成される U 相セット信号, CH5 で生成される U 相クリア信号を入力とし, 1 相 PWM 出力機能の入力 TIN11 へ供給する PWM 波形を生成します。

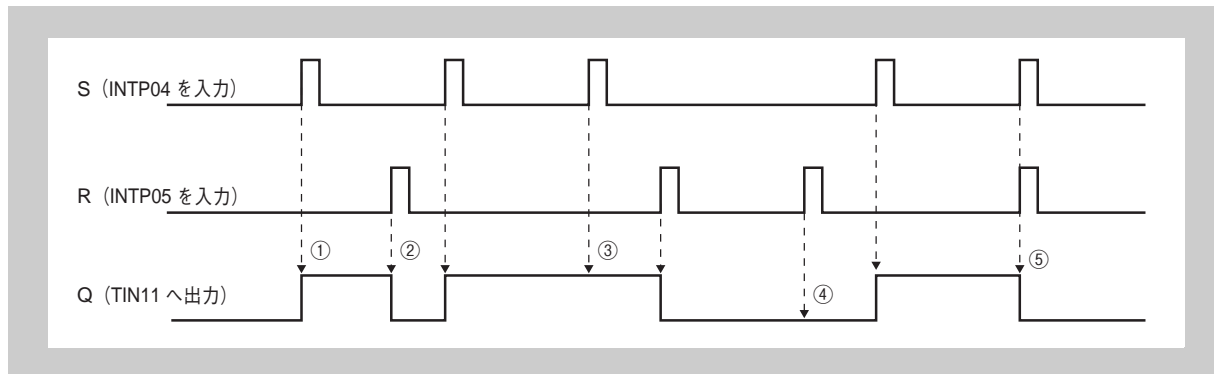


図 36-10 SR フリップフロップ回路の動作タイミング図 (U 相の例)

1. 入力 S に信号が入力されると, S の立ち上がりで出力 Q がハイ・レベルになります。
2. 入力 R に信号が入力されると, R の立ち上がりで出力 Q はロウ・レベルになります。
3. 出力 Q がハイ・レベルの状態を入力 S に信号が入力されても出力 Q には影響しません。
4. 出力 Q がロウ・レベルの状態を入力 R に信号が入力されても出力 Q には影響しません。
5. 入力および入力 R に同時に信号が入力された場合, 入力 R が優先され R の立ち上がりで出力 Q はロウ・レベルになります。

V 相, W 相については, それぞれ INT06, INT07 (V 相), INT08, INT09 (W 相) を入力とし, TIN13 (V 相), TIN15 (W 相) へ供給する PWM 波形を生成します。

「1 相 PWM 出力機能」で生成する PWM の出力変化タイミングを「PWM 出力機能」により生成します。

「PWM 出力機能」は, PWM のアクティブ・レベル出力タイミングのセット信号, 非アクティブ・レベル出力タイミングのクリア信号を生成します。このセット/クリア信号を SR フリップフロップ回路に入力することにより, 任意タイミングで変化する PWM 信号を生成します。

「1 相 PWM 出力機能」は, 生成された PWM 信号の変化に従い, 正相/逆相 PWM の生成, デッド・タイム付加を行い 1 相 PWM 信号の出力を行います。

PIC は, 「PWM 出力機能」で生成されたセット/クリア信号を「SR フリップフロップ回路」によって「1 相 PWM 出力機能」の TIN 入力として使用する接続を提供します。

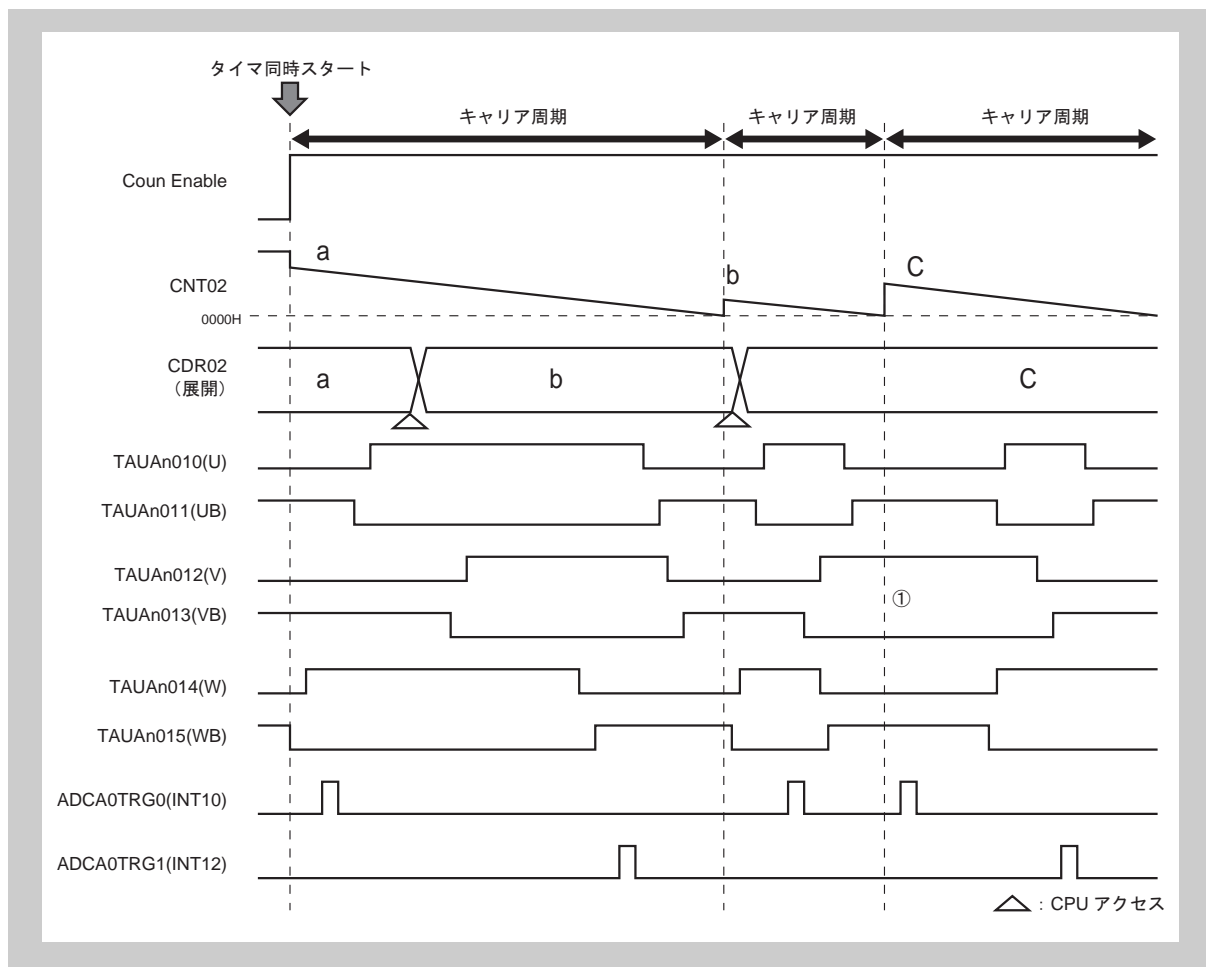


図 36-11 デッド・タイム付加の 3 相 PWM (U・UB, V・VB, W・WB) 出力例

図 36-11 にデッド・タイム付き 3 相 PWM 出力機能の代表的出力例を示します。

セット/クリア信号出力タイミングの設定次第では、キャリア周期を跨いだ PWM 出力 (①部分) なども可能になります。

下段 ADCA0TRG0, ADCA0TRG1 は、「1 相 PWM 出力機能」では使用しない、CH10, CH12 の CNT および INT 信号を使用し、「A/D トリガ出力機能 Type-1」機能による A/D トリガ信号出力を実行した例です。

このように、1 相 PWM 出力機能では、正相出力を行うチャンネルでは信号出力を行う TOUT<sub>m</sub> のみを使用するため、CNT<sub>m</sub>、CDR<sub>m</sub>、INT<sub>m</sub> を使用する任意の機能を設定可能です。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください (m=10,12,14)

次の図以降に、デッド・タイム付き 3 相 PWM 出力機能のタイミング図を示します。

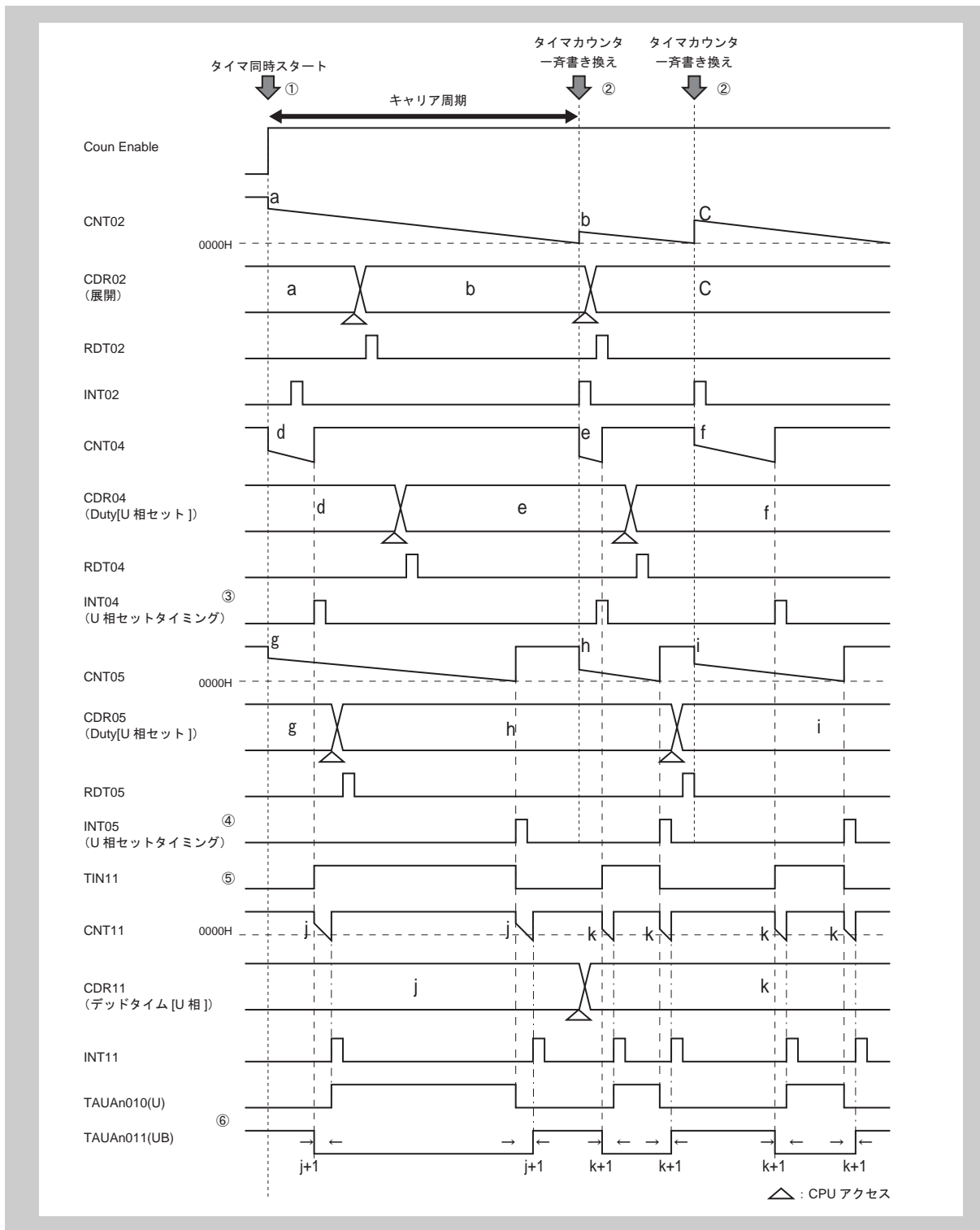


図 36-12 デッド・タイム付加の1相PWM (U相, UB相) 出力例

図 36-12 の U 相 PWM 出力を行うタイマ構成の動作例について説明します。

1. タイマ同時スタートにより、CH2 (キャリア周期タイマ)、CH4 (U 相セット信号出力タイミングタイマ)、CH5 (U 相クリア信号出力タイミングタイマ) が同時スタートします。  
CH11 もタイマ・スタートしていますが、カウント開始タイミングである、TIN11 のエッジが検出されるまで、カウント動作は行われません。
2. CH4, CH5 は、CH2 のアンダフローにより、CDR04, CDR05 からそれぞれ CNT04, CNT05 へ設定値のリロードが行われます。
3. CH4 のアンダフローにより、U 相セット・タイミング信号 (INT04) が発生します。
4. CH5 のアンダフローにより、U 相クリア・タイミング信号 (INT05) が発生します。
5. INT04 (セット・タイミング信号)、INT05 (クリア・タイミング信号) を入力とした SR フリップフロップ回路の出力を PIC 機能により、「1 相 PWM 出力機能」の入力 TIN11 へ供給します。
6. 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッド・タイムを付加した PWM 波形を生成し出力します。



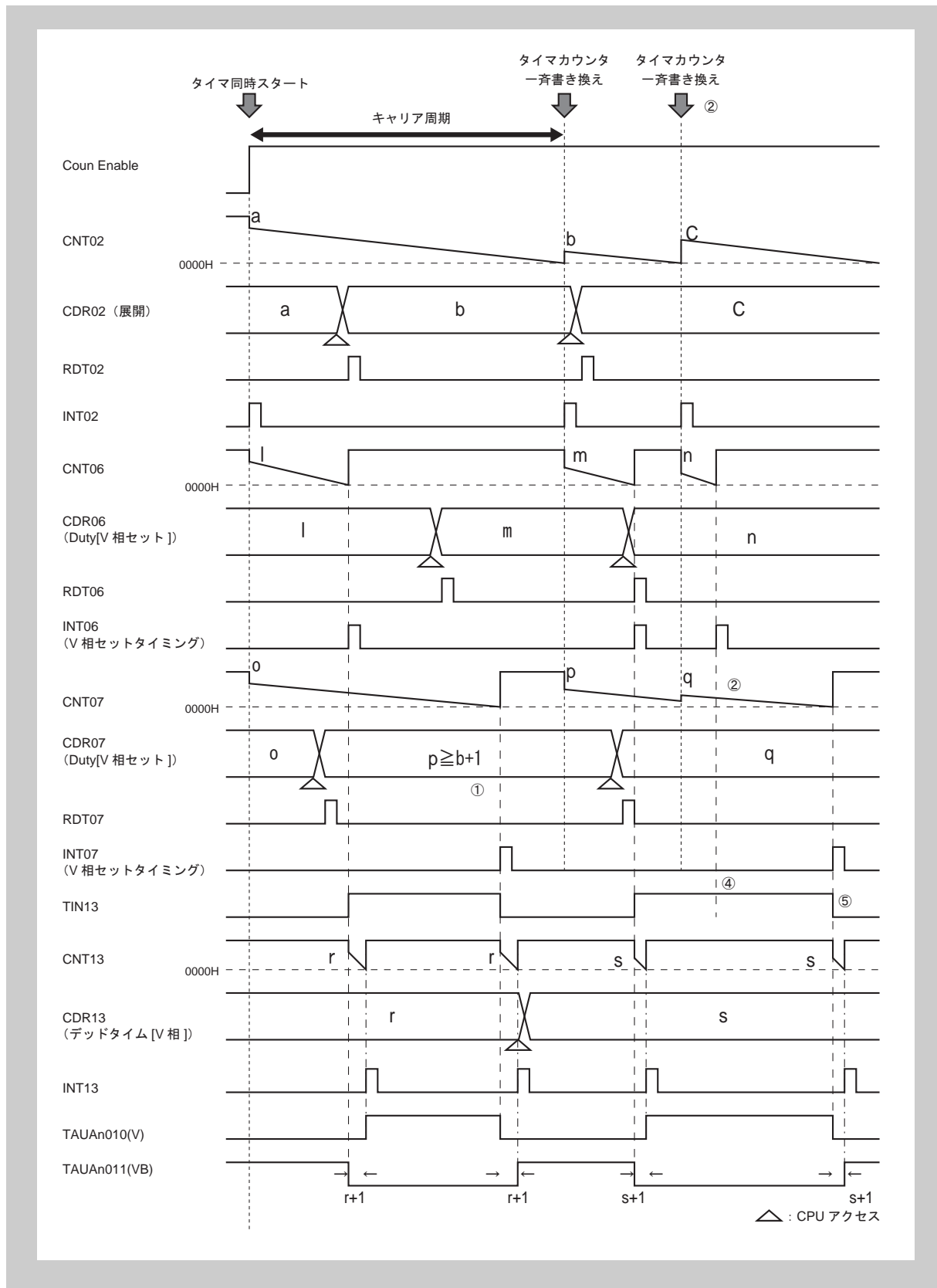


図 36-13 デッド・タイム付加の1相PWM (V相, VB相) 出力例

図 36-13 の V 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

1. V 相クリア・タイミング信号 (INT07) を生成する CH7 (V 相クリア信号出力タイミングタイマ) 設定値を CH2 (キャリア周期タイマ) 設定値より大きくした場合、
2. CH7 のアンダフローによる V 相クリア・タイミング信号 (INT07) 発生前に、CH2 (キャリア周期タイマ) のアンダフローが発生し、CH7 の設定値はリロードされます。
3. これにより、本来発生すべき V 相クリア・タイミング信号 (INT07) は発生せず、V 相セット・タイミング信号 (INT06) が連続して発生することになります。
4. この場合、V 相セット・タイミング信号 (INT06) は RS フリップフロップ回路により無視されるため、PWM 出力波形に影響しません。このため、出力される PWM 出力はキャリア周期を跨ぐ波形が出力されます。
5. PWM 出力は次の V 相クリア・タイミング信号 (INT07) のタイミングで変化します。

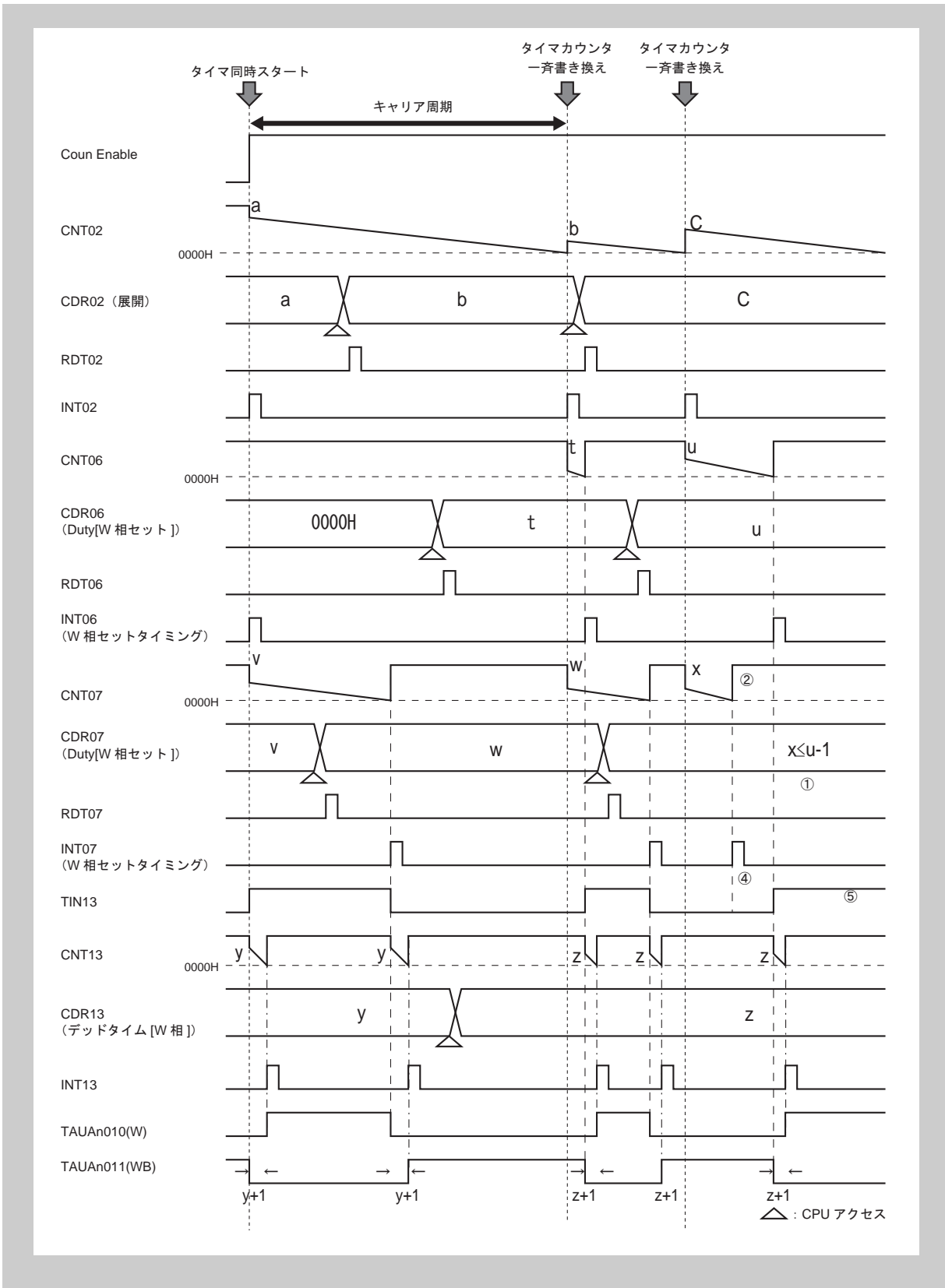


図 36-14 デッド・タイム付加の1相PWM (W相, WB相) 出力例

図 36-14 の W 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

1. W 相クリア・タイミング信号 (INT09) を生成する CH09 (W 相クリア信号出力タイミングタイマ) 設定値を CH8 (W 相セット信号出力タイミングタイマ) 設定値より小さくした場合、
2. CH8 のアンダフローによる W 相セット・タイミング信号 (INT08) 発生前に、CH09 (W 相クリア信号出力タイミングタイマ) のアンダフローが発生し、W 相セット・タイミング信号 (INT08) が発生します。
3. これにより、W 相クリア・タイミング信号 (INT09) が連続して発生することになります。
4. この場合、連続して発生した W 相クリア・タイミング信号 (INT09) は RS フリップフロップ回路により無視されるため PWM 出力波形に影響しません。
5. PWM 出力は次の W 相セット・タイミング信号 (INT08) のタイミングで変化します。

## 36.6.4 設定フロー

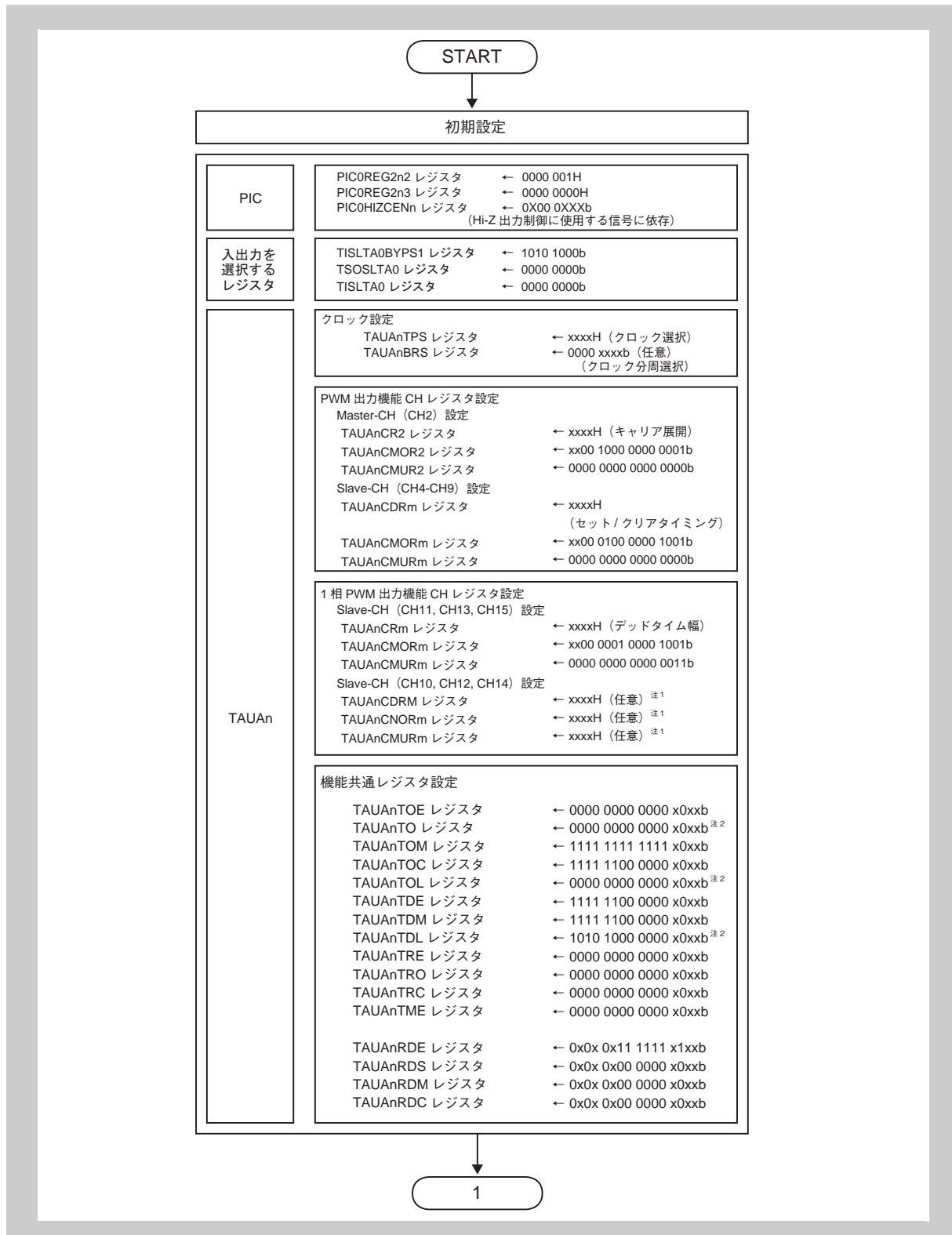


図 36-15 設定フロー (アクティブ・ハイの例)

- 注 1. TOUTm を使用しない機能を指定してください。
2. 出力する PWM のアクティブ・レベルによって設定値を変更してください

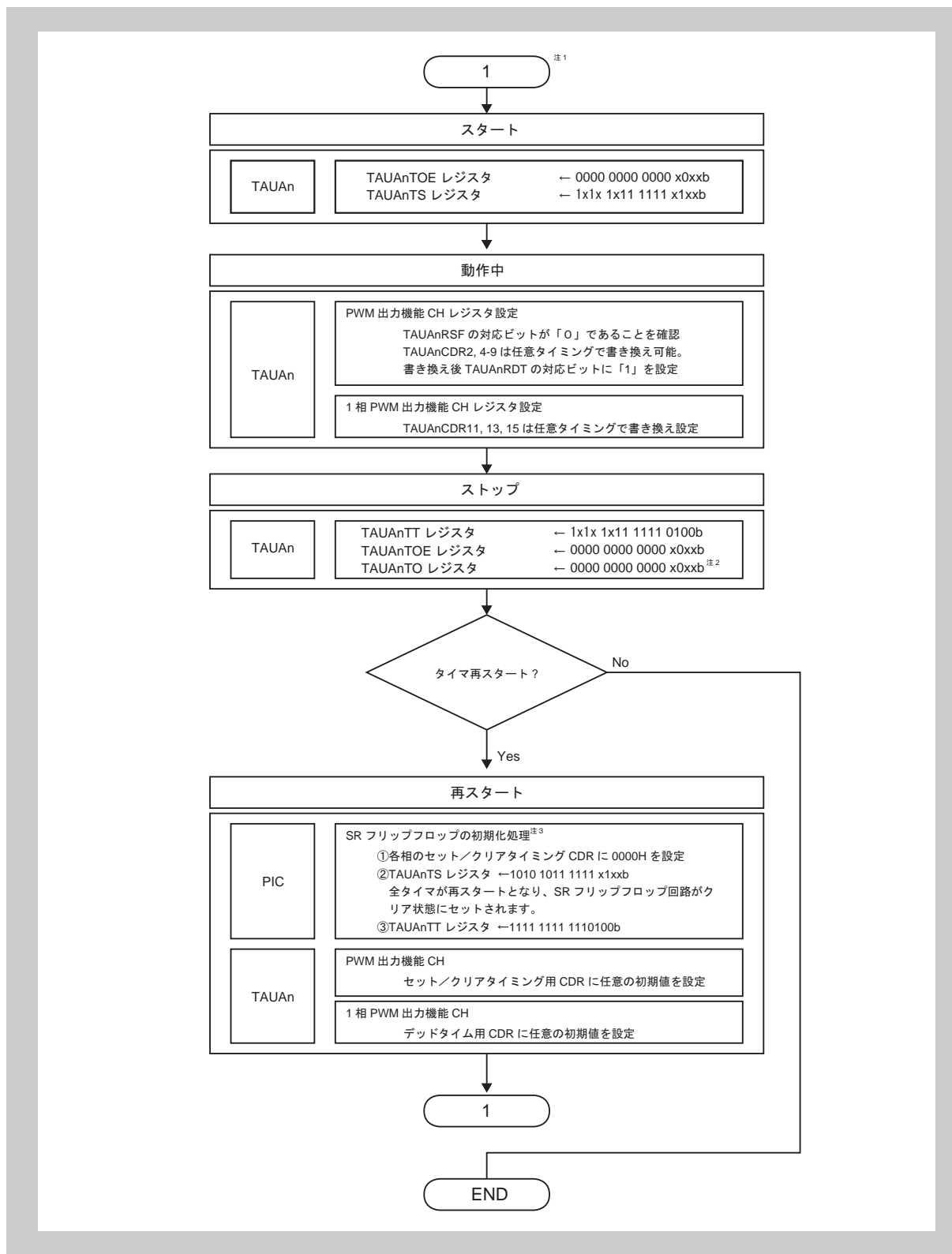


図 36-16 設定フロー（アクティブ・ハイの例）（続き）

- 注 1. 出力ポートの設定は PIC，入出力を選択するレジスタ，タイマの初期設定後に行ってください
2. 出力する PWM のアクティブ・レベルによって設定値を変更してください

- 注3. 初期化処理を行わない場合、SR フリップフロップ回路の状態がタイマ停止時の状態となり、場合によってはタイマ再スタートの出力パルスが意図しないレベルで出力される可能性があります。

### 36.6.5 動作機能の設定例

各レジスタの設定値の例を示します。

#### (1) TAUAn 設定 (アクティブ・ハイの例)

表 36-20 TAUAn CH2 関連 (PWM 出力機能マスタ・チャンネル<sup>a)</sup>)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMOR2	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	1	
	10-8	TAUAnSTS[2:0]	000	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0000	
	0	TAUAnMD0	1	
TAUAnCMUR2	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn の PWM 出力機能で定義されている名称です。詳細については第15章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
 b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。動作クロックの設定は、制限事項です。UM の禁止事項 / 制限事項の表現と合わせてください。

備考 PWM 出力機能の TAUAnCMOR<sub>m</sub> は、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第15章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-21 TAUAn CH4-CH09 関連 (PWM 出力機能スレーブ・チャンネル<sup>a)</sup>) (m= 4-9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMOR <sub>m</sub>	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	100	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	1	
TAUAnCMUR <sub>m</sub>	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn の PWM 出力機能で定義されている名称です。詳細については第15章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
 b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。動作クロックの設定は、制限事項です。UM の禁止事項 / 制限事項の表現と合わせてください。

**備考** PWM出力機能のTAUAnCMORmは、TAUAnCKs[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第15章「タイマ・アレイ・ユニットA (TAUA)」を参照してください。

表 36-22 TAUAn CH11,13,15 関連 (1相PWM出力機能) (m=11,13,15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKs[1:0]	任意 <sup>a)</sup>	動作クロック設定
	13, 12	TAUAnCCs[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	001	
	7, 6	TAUAnCOs[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	1	
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High幅)

<sup>a)</sup> 動作クロックは、PWM出力機能のマスタ・チャンネル (CH2) と同一のクロック設定にしてください。

**備考** 備考 1相PWM出力機能のTAUAnCMORmは、TAUAnCKs[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。CH10,12,14についてはTOUTm出力を使用しない機能 (A/Dトリガ出力など) であれば、任意に使用可能です。詳細は第15章「タイマ・アレイ・ユニットA (TAUA)」を参照してください。



表 36-23 TAUAn チャネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTOE	15-10	TAUAnTOE15 ~ TAUAnTOE10	0 1	タイマ動作停止時 タイマ動作開始時
	9-4	TAUAnTOE09 ~ TAUAnTOE04	0	TOUT09 ~ TOUT04 は未使用のため 0 固定
	3	TAUAnTOE03	任意	
	2	TAUAnTOE02	0	TOUT02 は未使用のため 0 固定
	1, 0	TAUAnTOE01 TAUAnTOE00	任意	
TAUAnTO	15-10	TAUAnTO15 ~ TAUAnTO10	0 <sup>a</sup>	TOUT15 ~ TOUT10 にロウ・レベルを出力
	9-4	TAUAnTO09 ~ TAUAnTO04	0	TOUT09 ~ TOUT04 にロウ・レベルを出力
	3	TAUAnTO03	任意	
	2	TAUAnTO02	0	TOUT02 にロウ・レベルを出力
	1, 0	TAUAnTO01 TAUAnTO00	任意	
TAUAnTOM	15-4	TAUAnTOM15 ~ TAUAnTOM04	1	連動動作モード
	3	TAUAnTOM03	任意	
	2	TAUAnTOM02	0	単体動作モード
	1, 0	TAUAnTOM01 TAUAnTOM00	任意	
TAUAnTOC	15-10	TAUAnTOC15 ~ TAUAnTOC10	1	連動動作モード 2
	9-4	TAUAnTOC09 ~ TAUAnTOC04	0	連動動作モード 1
	3	TAUAnTOC03	任意	
	2	TAUAnTOC02	0	トグルモード
	1, 0	TAUAnTOC01 TAUAnTOC00	任意	
TAUAnTOL	15-4	TAUAnTOL15 ~ TAUAnTOL04	0 <sup>a</sup>	正論理出力 (アクティブ・ハイ)
	3	TAUAnTOL03	任意	
	2	TAUAnTOL02	0	正論理出力 (アクティブ・ハイ)
	1, 0	TAUAnTOL01 TAUAnTOL00	任意	
TAUAnTDE	15-10	TAUAnTDE15 ~ TAUAnTDE10	1	デッド・タイム制御可能 <sup>b</sup>
	9-4	TAUAnTDE09 ~ TAUAnTDE04	0	デッド・タイム制御停止
	3	TAUAnTDE03	任意	
	2	TAUAnTDE02	0	デッド・タイム制御停止
	1, 0	TAUAnTDE01 TAUAnTDE00	任意	

表 36-23 TAUAn チャンネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTDM	15-10	TAUAnTDM15 ~ TAUAnTDM10	1	下位奇数チャンネルの TINm 入力エッジ検出でデッド・タイムを生成する。
	9-4	TAUAnTDM09 ~ TAUAnTDM04	0	デッド・タイム制御停止のため無効
	3	TAUAnTDM03	任意	
	2	TAUAnTDM02	0	デッド・タイム制御停止のため無効
	1, 0	TAUAnTDM01 TAUAnTDM00	任意	
TAUAnTDL	15	TAUAnTDL15	1 <sup>a</sup>	W 相逆相として動作
	14	TAUAnTDL14	0 <sup>a</sup>	W 相正相として動作
	13	TAUAnTDL13	1 <sup>a</sup>	V 相逆相として動作
	12	TAUAnTDL12	0 <sup>a</sup>	V 相正相として動作
	11	TAUAnTDL11	1 <sup>a</sup>	U 相逆相として動作
	10	TAUAnTDL10	0 <sup>a</sup>	U 相正相として動作
	9-4	TAUAnTDL09 ~ TAUAnTDL04	0	デッド・タイム制御停止のため無効
	3	TAUAnTDL03	任意	
	2	TAUAnTDL02	0	デッド・タイム制御停止のため無効
	1, 0	TAUAnTDL01 TAUAnTDL00	任意	
TAUAnTRE	15-4	TAUAnTRE15 ~ TAUAnTRE04	0	リアルタイム出力停止
	3	TAUAnTRE03	任意	
	2	TAUAnTRE02	0	リアルタイム出力停止
	1, 0	TAUAnTRE01 TAUAnTRE00	任意	
TAUAnTRO	15-4	TAUAnTRO15 ~ TAUAnTRO04	0	リアルタイム出力停止のため無効
	3	TAUAnTRO03	任意	
	2	TAUAnTRO02	0	リアルタイム出力停止のため無効
	1, 0	TAUAnTRO01 TAUAnTRO00	任意	
TAUAnTRC	15-4	TAUAnTRC15 ~ TAUAnTRC04	0	リアルタイム出カトリガ生成チャンネルとして動作しない。
	3	TAUAnTRC03	任意	
	2	TAUAnTRC02	0	リアルタイム出カトリガ生成チャンネルとして動作しない。
	1, 0	TAUAnTRC01 TAUAnTRC00	任意	

表 36-23 TAUAn チャネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTME	15-4	TAUAnTME15 ~ TAUAnTME04	0	タイマ出力とリアルタイム出力の変調出力停止
	3	TAUAnTME03	任意	
	2	TAUAnTME02	0	タイマ出力とリアルタイム出力の変調出力停止
	1, 0	TAUAnTME01 TAUAnTME00	任意	
TAUAnRDE	15	TAUAnRDE15	0	一斉書き換え制御禁止
	14	TAUAnRDE14	任意	
	13	TAUAnRDE13	0	一斉書き換え制御禁止
	12	TAUAnRDE12	任意	
	11	TAUAnRDE11	0	一斉書き換え制御禁止
	10	TAUAnRDE10	任意	
	9-4	TAUAnRDE09 ~ TAUAnRDE04	1	一斉書き換え制御許可
	3	TAUAnRDE03	任意	
	2	TAUAnRDE02	1	一斉書き換え制御許可
TAUAnRDS	15	TAUAnRDS15	0	別の上位チャネルにより、一斉書き換えを制御しない
	14	TAUAnRDS14	任意	
	13	TAUAnRDS13	0	別の上位チャネルにより、一斉書き換えを制御しない
	12	TAUAnRDS12	任意	
	11	TAUAnRDS11	0	別の上位チャネルにより、一斉書き換えを制御しない
	10	TAUAnRDS10	任意	
	9-4	TAUAnRDS09 ~ TAUAnRDS04	0	マスタ・チャネルにより一斉書き換え制御する
	3	TAUAnRDS03	任意	
	2	TAUAnRDS02	0	マスタ・チャネルにより一斉書き換え制御する
	1 0	TAUAnRDS01 TAUAnRDS00	任意	

表 36-23 TAUAn チャネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnRDM	15	TAUAnRDM15	0	一斉書き換えを制御しないので無効
	14	TAUAnRDM14	任意	
	13	TAUAnRDM13	0	一斉書き換えを制御しないので無効
	12	TAUAnRDM12	任意	
	11	TAUAnRDM11	0	一斉書き換えを制御しないので無効
	10	TAUAnRDM10	任意	
	9-4	TAUAnRDM09 ~ TAUAnRDM04	0	マスタ・チャネルのカウント開始タイミングで一括ロード
	3	TAUAnRDM03	任意	
	2	TAUAnRDM02	0	マスタ・チャネルのカウント開始タイミングで一括ロード
	1 0	TAUAnRDM01 TAUAnRDM00	任意	
TAUAnRDC	15	TAUAnRDC15	0	一斉書き換えを制御しないので無効
	14	TAUAnRDC14	任意	
	13	TAUAnRDC13	0	一斉書き換えを制御しないので無効
	12	TAUAnRDC12	任意	
	11	TAUAnRDC11	0	一斉書き換えを制御しないので無効
	10	TAUAnRDC10	任意	
	9-4	TAUAnRDC09 ~ TAUAnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUAnRDC03	任意	
	2	TAUAnRDC02	1	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUAnRDC01 TAUAnRDC00	任意	

- a) 使用システムによって設定を変更してください。
- b) デッド・タイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は第15章「タイマ・アレイ・ユニットA (TAUA)」を参照してください。

## (2) PIC の設定

表 36-24 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27, 26	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
		PIC0REG2n226	0	
	23, 22	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
		PIC0REG2n222	0	
	19, 18	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
		PIC0REG2n218	0	
4	PIC0REG2n204	1	INTTAUAn18, INTTAUAn19 によるセット/クリア出力を選択	
3	PIC0REG2n203	1	INTTAUAn16, INTTAUAn17 によるセット/クリア出力を選択	
2	PIC0REG2n202	1	INTTAUAn14, INTTAUAn15 によるセット/クリア出力を選択	

## 36.6.6 レジスタ

## (1) タイマ入出力制御レジスタ 2n2 (PIC0REG2n2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FF81 C094<sub>H</sub>

初期値 0000 0000<sub>H</sub> 初期値を 32 ビットに拡張

31	30	29	28	27	26	25	24
0	0	0	0	PIC0REG 2n227	PIC0REG 2n226	0	0
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
PIC0REG 2n223	PIC0REG 2n222	0	0	PIC0REG 2n219	PIC0REG 2n218	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	PIC0REG 2n204	PIC0REG 2n203	PIC0REG 2n202	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-25 PIC0REG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能									
27 26	PIC0REG2n227 PIC0REG2n226	TAUAnTTIN15 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n227</th><th>PIC0REG2n226</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>PIC0REG2n204 ビットで 選択した信号</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n227	PIC0REG2n226	入力信号	1	0	PIC0REG2n204 ビットで 選択した信号	上記以外		設定禁止
PIC0REG2n227	PIC0REG2n226	入力信号									
1	0	PIC0REG2n204 ビットで 選択した信号									
上記以外		設定禁止									
23 22	PIC0REG2n223 PIC0REG2n222	TAUAnTTIN13 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n223</th><th>PIC0REG2n222</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>PIC0REG2n203 ビットで 選択した信号</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n223	PIC0REG2n222	入力信号	1	0	PIC0REG2n203 ビットで 選択した信号	上記以外		設定禁止
PIC0REG2n223	PIC0REG2n222	入力信号									
1	0	PIC0REG2n203 ビットで 選択した信号									
上記以外		設定禁止									

表 36-25 PIC0REG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能									
19 18	PIC0REG2n219 PIC0REG2n218	TAUAnTTIN11 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n219</th> <th>PIC0REG2n218</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>PIC0REG2n202 ビットで 選択した信号</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n219	PIC0REG2n218	入力信号	1	0	PIC0REG2n202 ビットで 選択した信号	上記以外		設定禁止
PIC0REG2n219	PIC0REG2n218	入力信号									
1	0	PIC0REG2n202 ビットで 選択した信号									
上記以外		設定禁止									
4	PIC0REG2n204	TAUAnTTIN15 への入力信号を選択します。 0 : 設定禁止 1 : INTTAUAnI8, INTTAUAnI9 によるセット/クリア出力を選択									
3	PIC0REG2n203	TAUAnTTIN13 への入力信号を選択します。 0 : 設定禁止 1 : INTTAUAnI6, INTTAUAnI7 によるセット/クリア出力を選択									
2	PIC0REG2n202	TAUAnTTIN11 への入力信号を選択します。 0 : 設定禁止 1 : INTTAUAnI4, INTTAUAnI5 によるセット/クリア出力を選択									

**注意** PIC0REG2n2 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当する PIC 接続機能のビット定義を適用してください。

**(2) タイマ入出力制御レジスタ 2n3 (PIC0REG2n3)**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** PIC0REG203 : FF81 C098<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W

**注意** PIC0REG2n3 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。



## (3) TAUA 入力選択レジスタ (TISLTA0BYPS1)

TISLTA0BYPS1 レジスタは、TAUA0 の入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 100C<sub>H</sub>

初期値 00<sub>H</sub>

	7	6	5	4	3	2	1	0
	TISLTA0B YPS17	0	TISLTA0B YPS15	0	TISLTA0B YPS13	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-26 TISLTA0BYPS1 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA0BYPS17	TAUA0TTIN15 への入力信号を選択します。(TISLTA07=0, TSOSLTA05=0 のとき有効) 0 : TAUA0I15 からの入力信号 (デッド・タイム付き 3 相 PWM 出力機能を使用しない) 1 : PIC0REG20204, PIC0REG20226, PIC0REG20227 で選択した信号を選択 (デッド・タイム付き 3 相 PWM 出力機能を使用する)
5	TISLTA0BYPS15	TAUA0TTIN13 への入力信号を選択します。(TISLTA06=0, TSOSLTA03=0 のとき有効) 0 : TAUA0I13 からの入力信号 (デッド・タイム付き 3 相 PWM 出力機能を使用しない) 1 : PIC0REG20203, PIC0REG20222, PIC0REG20223 で選択した信号を選択 (デッド・タイム付き 3 相 PWM 出力機能を使用する)
3	TISLTA0BYPS13	TAUA0TTIN11 への入力信号を選択します。(TISLTA05=0, TSOSLTA01=0 のとき有効) 0 : TAUA0I11 からの入力信号 (デッド・タイム付き 3 相 PWM 出力機能を使用しない) 1 : PIC0REG20202, PIC0REG20218, PIC0REG20219 で選択した信号を選択 (デッド・タイム付き 3 相 PWM 出力機能を使用する)

**(4) TAUA 入力選択レジスタ (TSOSLTA0)**

TSOSLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 2014<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	TSOSLTA 05	0	TSOSLTA 03	0	TSOSLTA 01	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 36-27 TSOSLTA0 レジスタの内容

ビット位置	ビット名	機能
5	TSOSLTA05	TAUA0TTIN15 への入力信号を選択します。 0 : TISLTA0BYPS17 で選択した信号を選択 1 : 設定禁止
3	TSOSLTA03	TAUA0TTIN13 への入力信号を選択します。 0 : TISLTA0BYPS15 で選択した信号を選択 1 : 設定禁止
1	TSOSLTA01	TAUA0TTIN11 への入力信号を選択します。 0 : TISLTA0BYPS13 で選択した信号を選択 1 : 設定禁止

**(5) TAUA 入力選択レジスタ (TISLTA0)**

TISLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 1000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
TISLTA07	TISLTA06	TISLTA05	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-28 TISLTA0 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA07	TAUA0TTIN15 への入力信号を選択します。 0 : TSOSLTA05 で選択した信号を選択 1 : 設定禁止
6	TISLTA06	TAUA0TTIN13 への入力信号を選択します。 0 : TSOSLTA03 で選択した信号を選択 1 : 設定禁止
5	TISLTA05	TAUA0TTIN11 への入力信号を選択します。 0 : TSOSLTA01 で選択した信号を選択 1 : 設定禁止

**(6) Hi-Z 出力制御レジスタ n (PIC0HIZCENn)**

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** PIC0HIZCEN0 : FF81 C0B4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZC ENn6	0	0	0	PIC0HIZC ENn2	PIC0HIZC ENn1	PIC0HIZC ENn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-29 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
2	PIC0HIZCENn2	WDTA0TNMI 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
1	PIC0HIZCENn1	CLMA0, CLMA2, CLMA3 からのエラー信号 CLMATERR による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

## 36.7 タイマ・モータ制御機能との接続（デッド・タイム付き高精度三角波 PWM 出力機能）

### 36.7.1 機能概要

TAUA の「デッド・タイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0%近傍のデッド・タイム可変領域の制御を可能にする機能です。より高精度な三角波 PWM を出力できます。

TAUA のデッド・タイム付き三角波 PWM 機能による PWM 出力では、例えば三角波を U 相 0%出力に遷移させた場合、UB 相のデッド・タイム・パルスを出力することができません（図 36-17 参照）。

本機能では、TAUA のタイマ出力を組み合わせることでパルスを生成し、PWM 出力に対してデッド・タイム・パルスを擬似的に付加します。

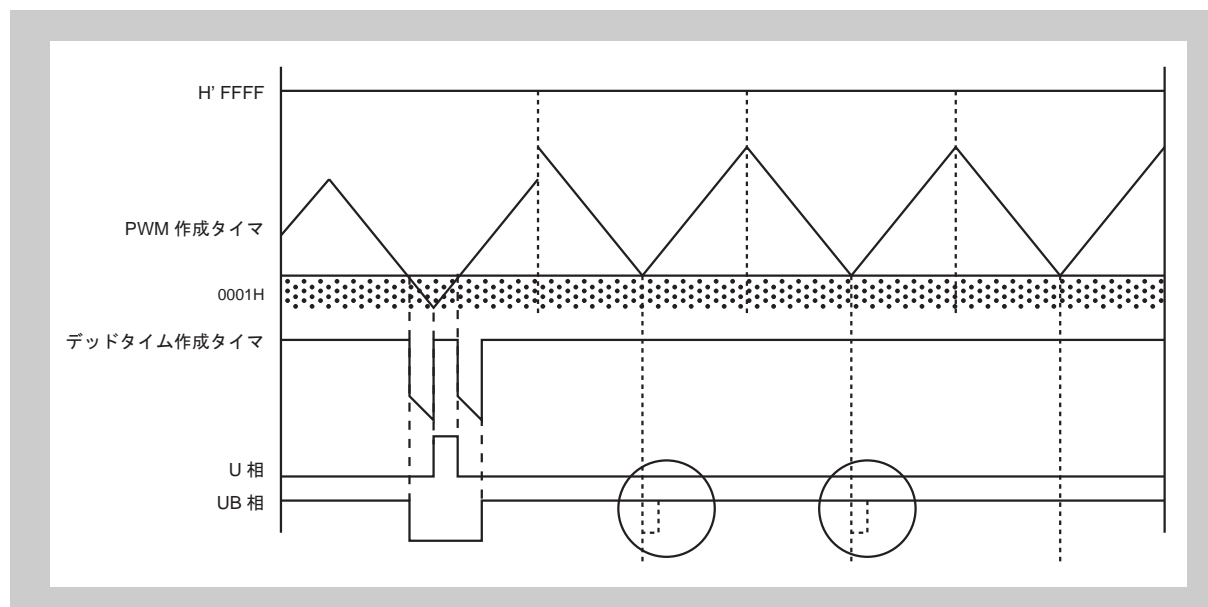


図 36-17 TAUA のデッド・タイム付き三角波 PWM 出力機能によるデッド・タイム出力タイミング

### 36.7.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-30 デッド・タイム付きディレイ・パルス出力機能の構成

タイマ	タイマ・モータ制御機能
TAUA0 CH2, CH4 ~ CH15 (使用チャンネル固定)	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → INTTAUAnIm

TINm → TAUAnTTINm

TOUTm → TAUAnTTOUTm

CDRm → TAUAnCDRm

CNTm → TAUAnCNTm

• TAUAn 各チャンネル機能設定

CH	機能名	M/S <sup>a</sup>	CDR 設定値	説明	
02	デッド・タイム付き三角波 PWM 出力機能 (CH2 は CH4-CH09 のマスタ・チャンネル)	M	周期		
04		S	デューティ (U 相)		
05		S	デッド・タイム (U 相)		
06		S	デューティ (V 相)		
07		S	デッド・タイム (V 相)		
08		S	デューティ (W 相)		
09		S	デッド・タイム (W 相)		
10		ワンショット・パルス出力機能	M	ディレイ	U 相 PWM にデッド・タイム 可変領域で挿入するパルスを 生成
11			S	パルス幅	
12	ワンショット・パルス出力機能	M	ディレイ	V 相 PWM にデッド・タイム可 変領域で挿入するパルスを生 成	
13		S	パルス幅		
14	ワンショット・パルス出力機能	M	ディレイ	W 相 PWM にデッド・タイム 可変領域で挿入するパルスを 生成	
15		S	パルス幅		

a) M= マスタ・チャンネル S= スレーブ・チャンネル = 単体機能

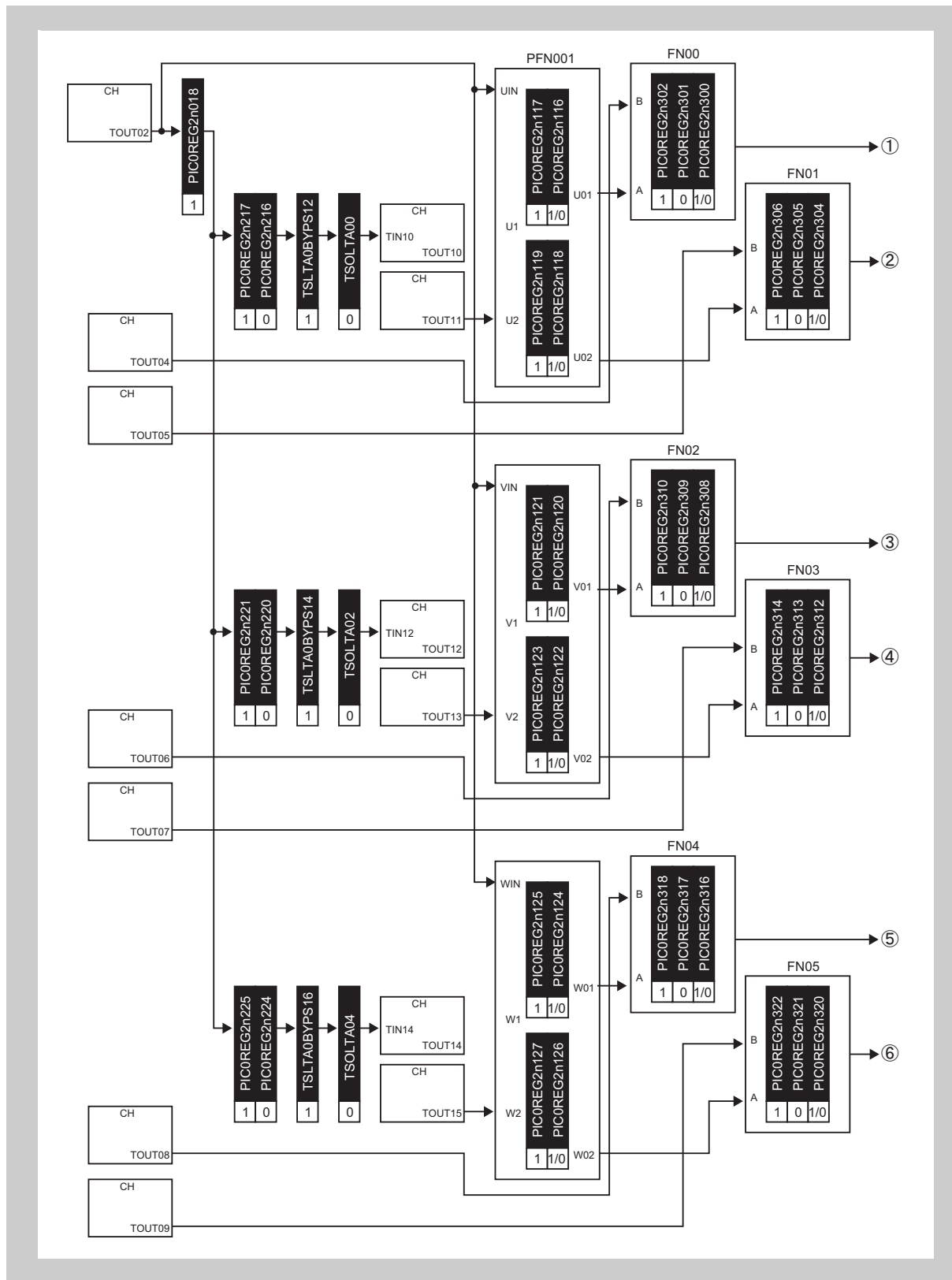


図 36-18 ブロック図 (1/2)

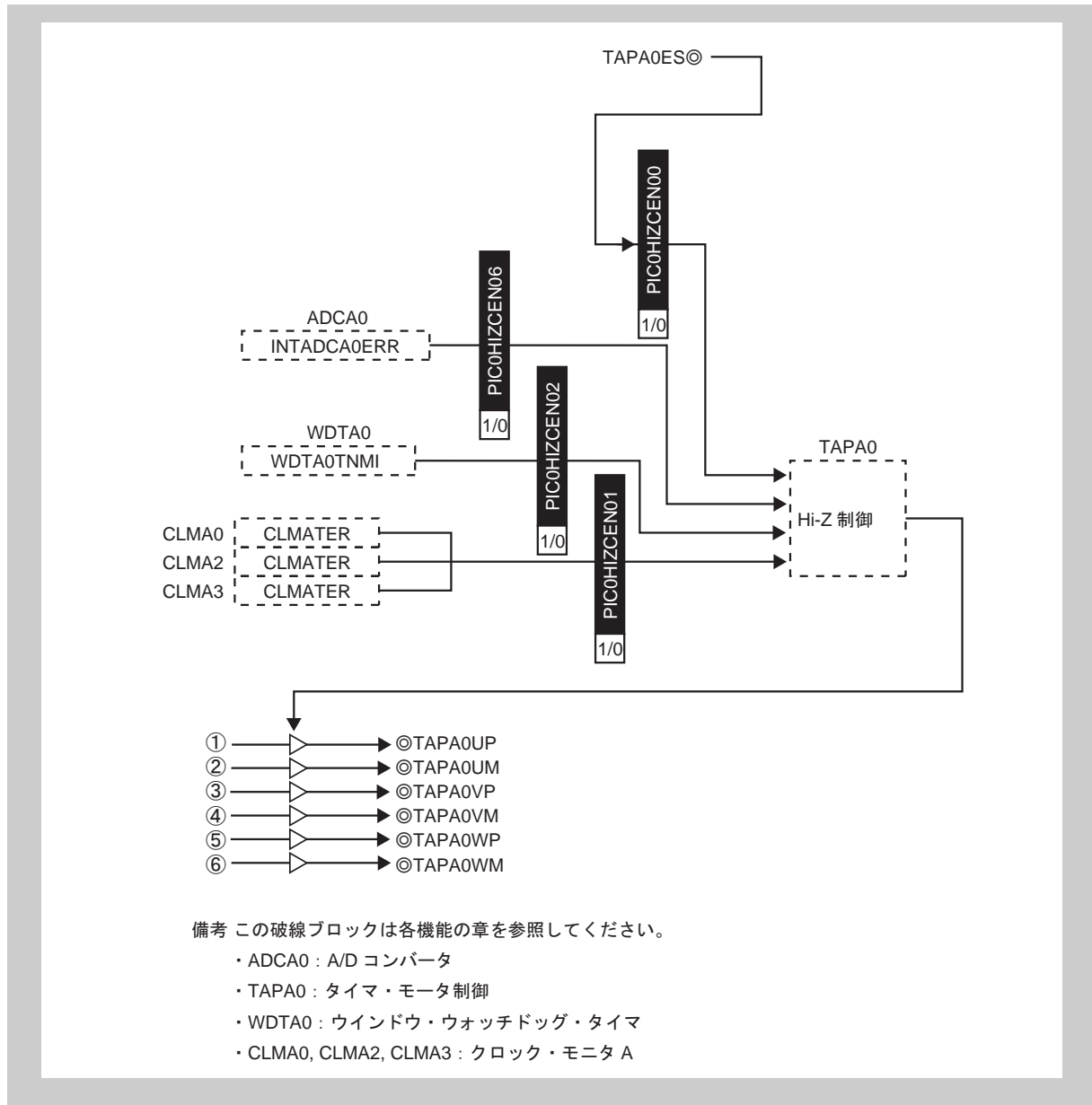


図 36-19 ブロック図 (2/2)



### 36.7.3 動作例

TAUA の次の機能の組み合わせにより実現します。

- デッド・タイム付き三角波 PWM 出力機能
- ワンショット・パルス出力機能

また、デッド・タイム可変領域で挿入するデッド・タイム可変領域パルスを正相・逆相用に生成するため、PIC 内の以下機能を使用します。

- 組み合わせ回路 (PFN001,PFN023,PFN045)

また、デッド・タイム可変領域で挿入するデッド・タイム可変領域パルスを三角波 PWM 出力波形と合成するため、PIC 内の以下機能を使用します。

- 論理演算回路 (FN0i) (i = 0 ~ 5)

デッド・タイム付き高精度三角波 PWM 出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッド・タイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは 1 相 (U 相) について説明を行います。

#### (1) デッド・タイム付き三角波 PWM 出力機能

CH2,CH4,CH5 を組み合わせて使用し、TOUT04,TOUT05 よりデッド・タイム付き三角波 PWM が出力されます。

#### (2) ワンショット・パルス出力機能

CH10,CH11 を組み合わせて使用し、CH10 の TIN10(TOUT02) の有効エッジからディレイ (CDR10) 分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100%および 0% 近傍で使用するデッド・タイム可変領域パルスとして利用します。

---

**注意** ワンショット・パルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。  $CDR05 \geq (CDR10 + CDR11)$  上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、デッド・タイム可変領域パルスが必要になる状況まで、CDR11 には  $0000_H$  を設定しておいてください。

TIN10(TOUT02) の有効エッジは両エッジ検出、また TAUAnTOL11=1(アクティブ・ロウ) に設定してください。

デッド・タイム付き三角波 PWM 出力機能、ワンショット・パルス出力機能で使用する TAUAn の各チャンネルの動作クロック設定は同一クロックを設定してください。

---

TAUA の機能の詳細については、第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

## (3) U 相組み合わせ回路 (PFN001)

ワンショット・パルス出力機能で生成したパルスを、デッド・タイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッド・タイム可変領域パルス (FN00 A, FN01 A) を生成します。

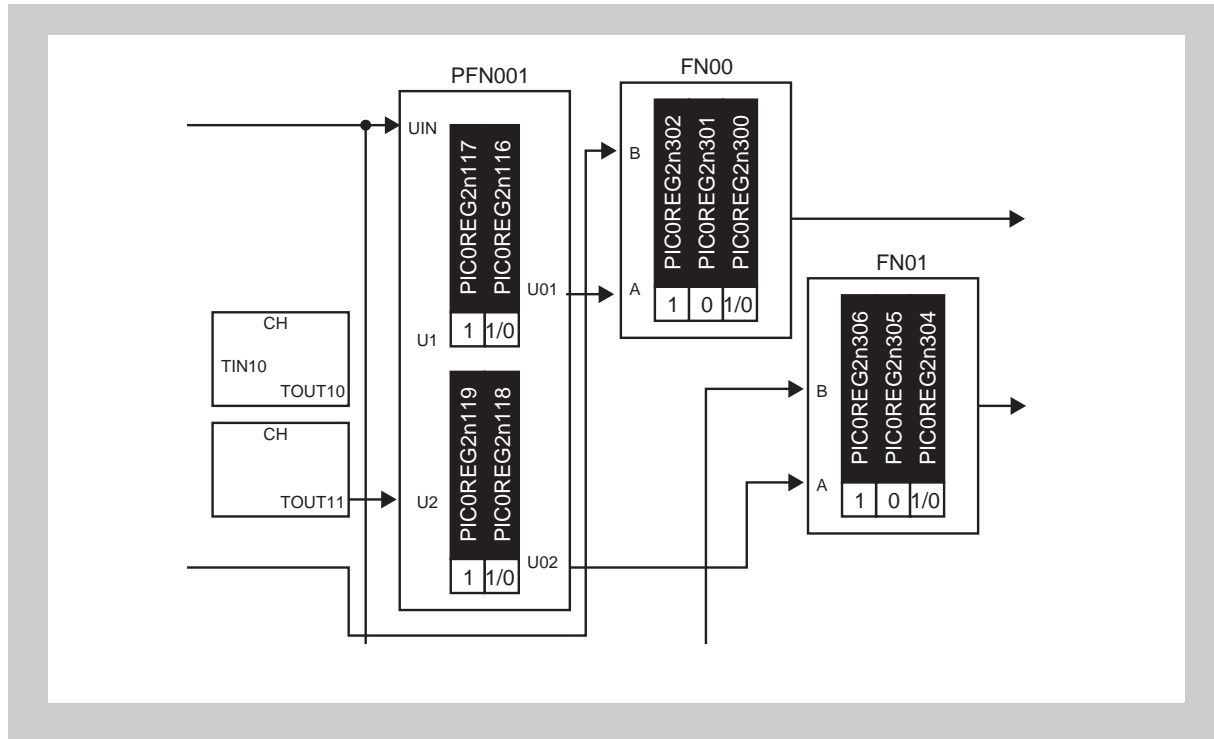


図 36-20 ブロック図抜粋 (PFN001, FN00, FN01)

組み合わせ回路の入力 (UIN, U2) と出力 (UO0, UO1) の関係を以下の表に示します。

表 36-31 U, UB 相組み合わせ回路 (PFN001) の入出力表

- UO0 (U 相デッド・タイム可変領域パルス) 出力

UIN (TOUT02)	U2 (TOUT11)	UO0	
		PIC0REG2n117,16=10B U 相出力アクティブ・ハイ (TAUAnTOL04 = 0)	PIC0REG2n117,16=11B U 相出力アクティブ・ロウ (TAUAnTOL04 = 1)
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

- UO1 (UB 相デッド・タイム可変領域パルス) 出力

UIN (TOUT02)	U2 (TOUT11)	UO1	
		PIC0REG2n119,18=10B UB 相出力アクティブ・ハイ (TAUAnTOL05 = 0)	PIC0REG2n119,18=11B UB 相出力アクティブ・ロウ (TAUAnTOL05 = 1)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

**備考** PIC0REG2n116, PIC0REG2n117, PIC0REG2n118, PIC0REG2n119 の設定は、デッド・タイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相・UB 相アクティブ・レベルによって設定を変更します。

**(4) 論理演算回路 (FN0i) (i = 0,1)**

デッド・タイム付き三角波 PWM 出力機能の三角波 PWM 出力 (TOUT04, TOUT05) と組み合わせ回路出力 (PFN001 の UO0, UO1) を合成し、デッド・タイム可変領域パルスを加した PWM を生成します。

論理演算回路は PIC0REG2n3 レジスタの設定 (U 相出力はビット 0 からビット 2 まで, UB 相出力はビット 4 からビット 6 までを設定) によって, 合成論理を切り替えます。

本機能での設定は, 以下の表のように設定してください。TAPAnUP 端子と TAPAnUM 端子からは設定された合成論理に従い合成した信号を出力します。

表 36-32 論理演算回路 (FN0i) (i = 0,1) 設定と TAPAnUP, TAPAnUM 端子出力

• U 相出力 (TOUT04)

アクティブ・レベル	PIC0REG2n302 ~ 00	TAPAnUP 端子の出力波形
アクティブ・ハイ (TAUAnTOL04=0)	100B	FN00 B (TOUT04) と FN00 A (UO0) の AND
アクティブ・ロウ (TAUAnTOL04=1)	101B	FN00 B (TOUT04) と FN00 A (UO0) の OR

• UB 相出力 (TOUT05)

アクティブ・レベル	PIC0REG2n306 ~ 04	TAPAnUM 端子出力
アクティブ・ハイ (TAUAnTOL05=0)	100B	FN01 B (TOUT05) と FN01 A (UO1) の AND
アクティブ・ロウ (TAUAnTOL05=1)	101B	FN01 B (TOUT05) と FN01 A (UO1) の OR

これにより TAUA においてもデューティが 0% または 100% 近傍時に, 出力精度確保を目的としたデッド・タイム可変制御が可能となるため TAUA 機能のデッド・タイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V, VB 相, W, WB 相につブロック図 (1/2) については「0-18 ブロック図 (1/2)」に示す通り, 使用するチャンネルやレジスタの設定ビットが異なりますが, 設定値は同じになります。

PIC は, 「デッド・タイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショット・パルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」および「論理演算回路」により付加する接続を提供します。

次の図以降にデッド・タイム付き高精度三角波 PWM 出力機能のタイミング図を示します。

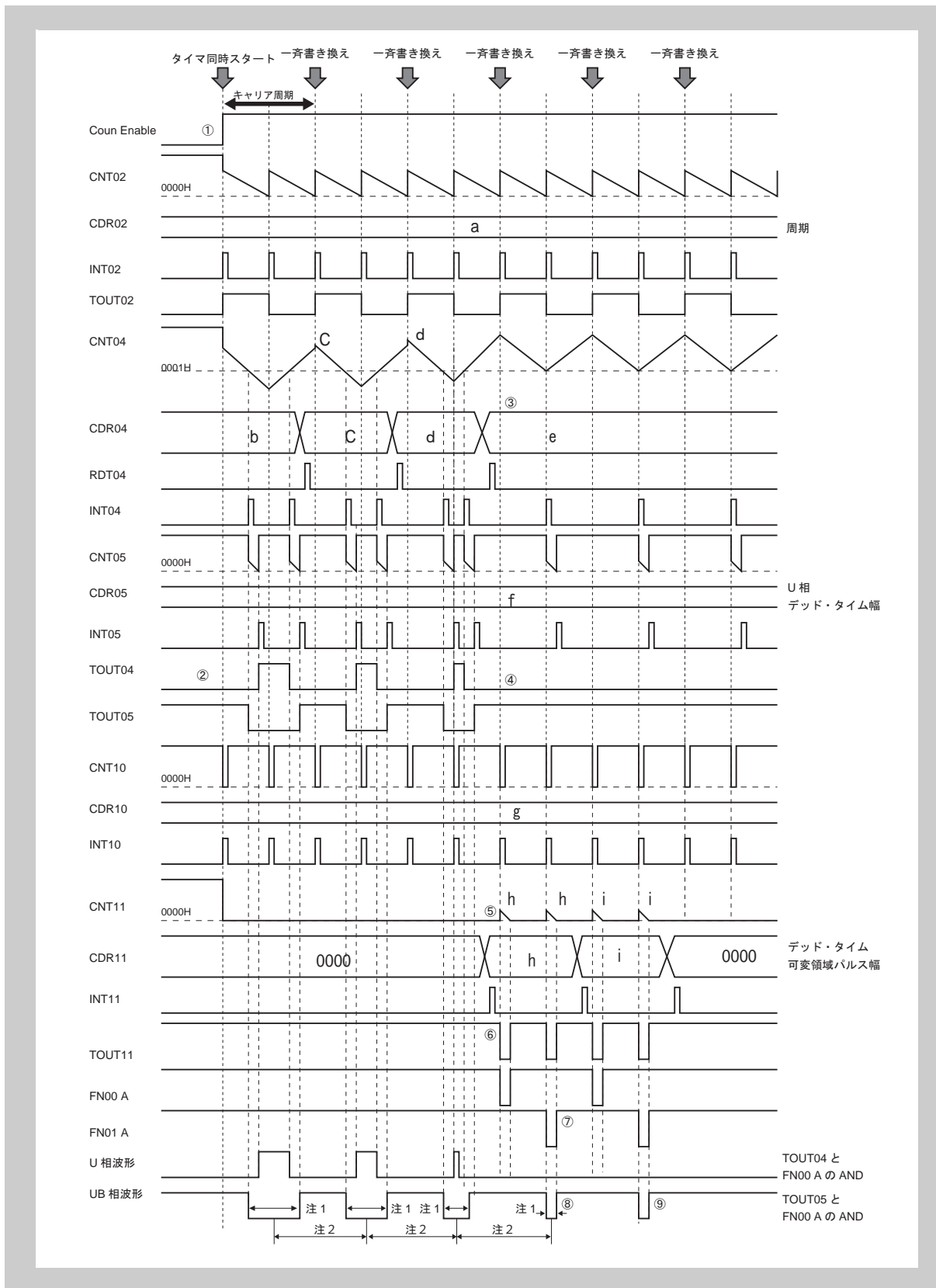


図 36-21 デッド・タイム付き高精度三角波 PWM (U相 0%, UB相 100%) 出力例 (TAUAnTOL04=0(アクティブ・ハイ), TAUAnTOL05=0(アクティブ・ハイ)の場合)

図 36-21 の U 相 PWM 出力を行うタイマ構成で U 相 0%, UB 相 100%に遷移する場合の動作例について説明します。デッド・タイム付き三角波 PWM 出力機能の出力はアクティブ・ハイです。

1. タイマ動作開始により, TAUAn の CH2,CH4,CH5 によるデッド・タイム付き三角波 PWM 出力機能を開始します。
2. デッド・タイム付き三角波 PWM 出力機能により, TOUT04,TOUT05 からデッド・タイム付き PWM 波形が出力されます。
3. CDR04 に U 相デューティ 0%出力値を設定します。
4. 3. の設定により, TOUT04 の出力は非アクティブ・レベル, TOUT05 の出力はアクティブ・レベルとなります。ただし, この動作ではデッド・タイム可変領域のパルスは出力されません。
5. デッド・タイム可変領域パルスを作成するため, 3. の U 相デューティ 0%設定時に, デッド・タイム可変領域パルス幅となる値を CDR11 に設定します。  
この例では, 出力 PWM への影響を考慮し, デッド・タイム可変領域に入るまで CDR11 の設定値を 0000<sub>H</sub> に固定しています。
6. デッド・タイム可変領域パルスは, TOUT02 のエッジ・タイミングで CDR10 に設定されているディレイ時間経過後, CDR11 に設定された幅のパルスとして出力されます。
7. 6. で出力されたパルスは, 組み合わせ回路 (PFN001) により U 相用 (FN00 A), UB 相用 (FN01 A) のデッド・タイム可変領域パルスに変換されます。
8. 7. で生成されたパルスは, 論理演算回路 (FN00, FN01) で, TOUT04, TOUT05 出力波形と合成され, TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) から出力されます。
9. 以後, デッド・タイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより, 希望のデッド・タイム可変領域パルスを付加されます。

- 備考**
1. デッド・タイム可変領域パルスは, 三角波を使用している両側伸縮するパルスとは異なり, 鋸波を使用しているため片側伸縮となります。
  2. デッド・タイム可変領域パルスが片側伸縮のため, デッド・タイム可変領域での 1 相 PWM の出力周期は, 付加するデッド・タイム可変領域パルス幅の 1/2 分長くなります。

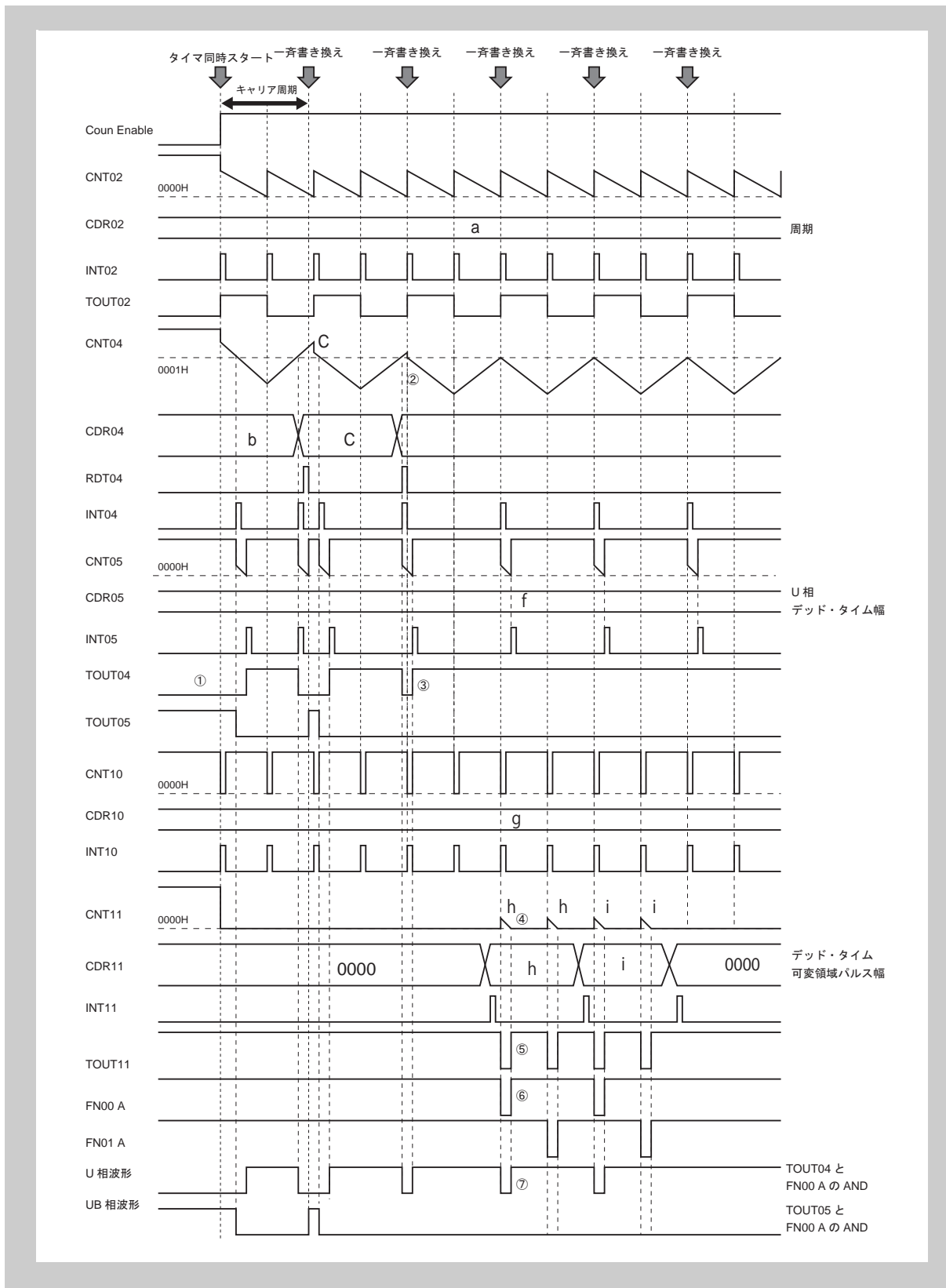


図 36-22 デッド・タイム付き高精度三角波 PWM (U相 100%, UB相 0%) 出力例 (TAUAnTOL04=0 (アクティブ・ハイ), TAUAnTOL05=0 (アクティブ・ハイ) の場合)

図 36-22 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッド・タイム付き三角波 PWM 出力機能の出力はアクティブ・ハイです。

1. タイマ動作開始からデッド・タイム付き三角波 PWM 出力までのタイマ動作は同じです。
2. CDR04 に U 相デューティ 100%出力値 (CDR04 = 0000<sub>H</sub>) を設定します。
3. 2. の設定により、TOUT04 の出力はアクティブ・レベル、TOUT05 の出力は非アクティブ・レベルとなります。ただし、この動作ではデッド・タイム可変領域パルスは出力されません。
4. デッド・タイム可変領域パルスを作成するため、②の U 相デューティ 100%設定から 1 周期注後に、デッド・タイム可変領域パルス幅となる値を CDR11 に設定します。  
この例では、出力 PWM への影響を考慮し、デッド・タイム可変領域に入るまで CDR11 の設定値を 0000<sub>H</sub> に固定しています。
5. デッド・タイム可変領域パルスは、TOUT02 のエッジ・タイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。
6. 5. で出力されたパルスは、組み合わせ回路 (PFN001) により U 相用 (FN00 A)、UB 相用 (FN01 A) のデッド・タイム可変領域パルスに変換されます。
7. 6. で生成されたパルスは、論理演算回路 (FN00, FN01) で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) から出力されます。

---

**注意** CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッド・タイム可変領域パルス幅の値を設定した場合、図 36-23 で示す通り、機能仕様上 1. で示す TOUT04 から出力される最後の PWM に対し、2. で示される分、デッド・タイム可変領域パルスが影響を与えてしまいます。  
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

---



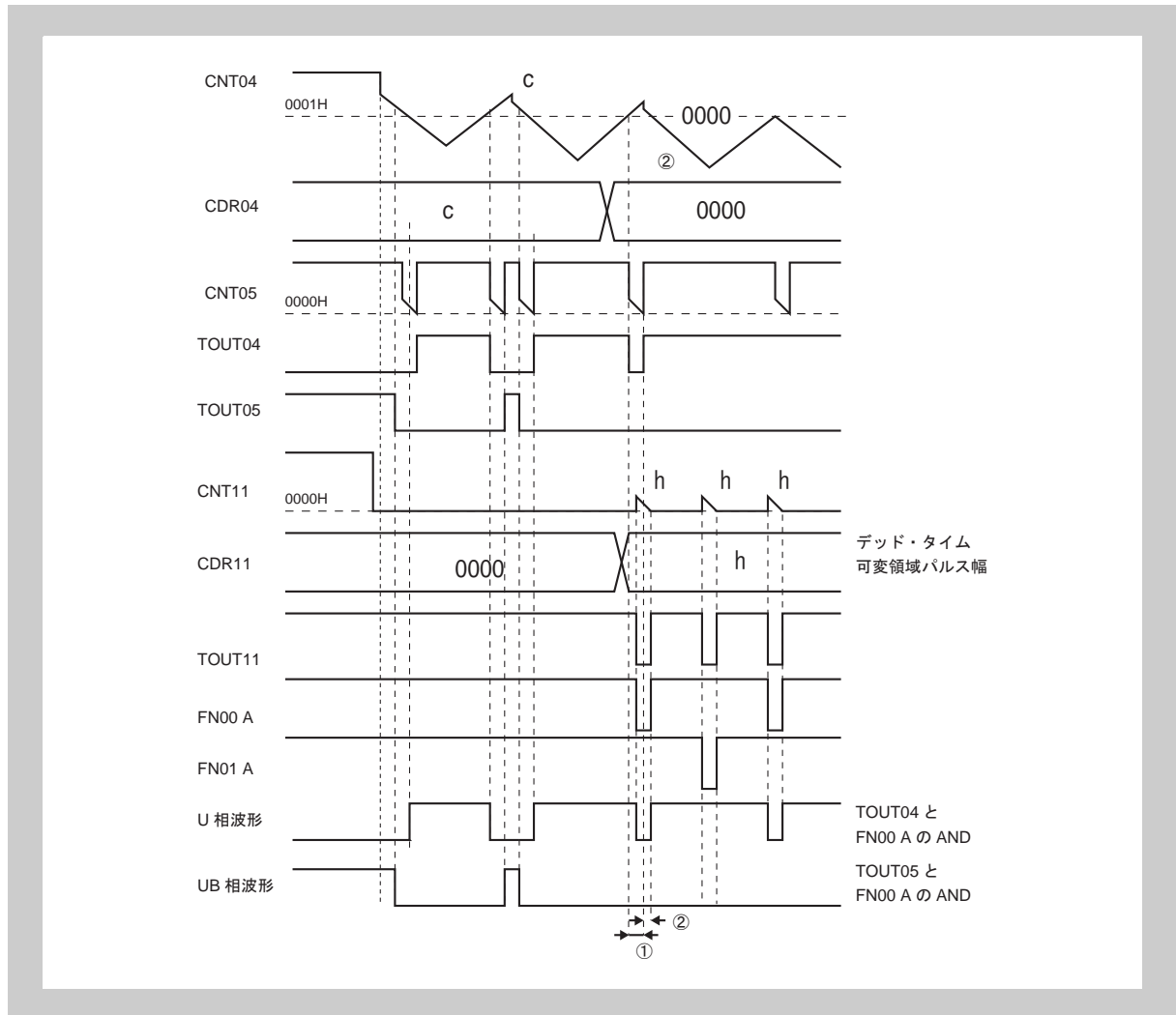


図 36-23 デッド・タイム可変領域パルスがデッド・タイム付き三角波 PWM 出力に影響する例

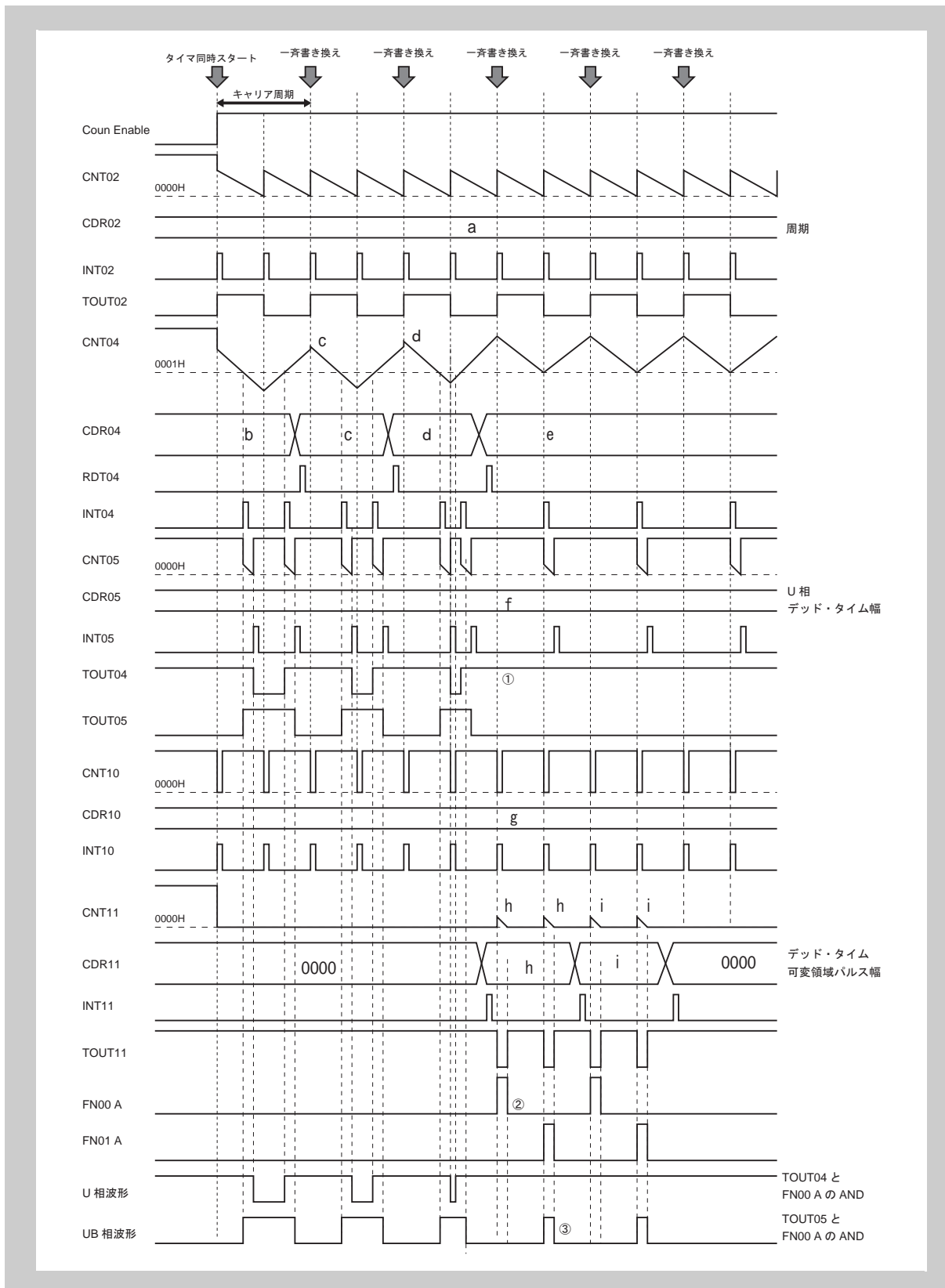


図 36-24 デッド・タイム付き高精度三角波 PWM (U相 100%, UB相 0%) 出力例 (TAUAnTOL04=1 (アクティブ・ロウ), TAUAnTOL05=1 (アクティブ・ロウ) の場合)

図 36-24 の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0% に遷移する場合の動作例について説明します。デッド・タイム付き三角波 PWM 出力機能の出力はアクティブ・ロウです。

1. タイマ動作開始からデッド・タイム付き三角波 PWM 出力までのタイマ動作は、図 36-21 「デッド・タイム付き高精度三角波 PWM (U 相 0%、UB 相 100%) 出力例 (TAUAnTOL04=0 (アクティブ・ハイ), TAUAnTOL05=0 (アクティブ・ハイ) の場合)」と同じです。ただし、PWM 出力として TOUT04 と TOUT05 からはアクティブ・ロウの PWM が出力されます。
2. そのため、組み合わせ回路設定 (PIC0REG2n116,17, PIC0REG2n118,19) を PWM 出力に合わせたアクティブ・ロウ出力に設定します。これによりアクティブ・ロウ用のデッド・タイム可変領域パルスが U 相用 (FN00 A)、UB 相用 (FN01 A) として出力されます。
3. さらに、論理演算回路設定 (PIC0REG2n302 ~ 00, PIC0REG2n306 ~ 04) も PWM 出力に合わせたアクティブ・ロウ出力に設定します。②で生成されたパルスは、TOUT04, TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) からアクティブ・ロウ用 PWM として出力されます。

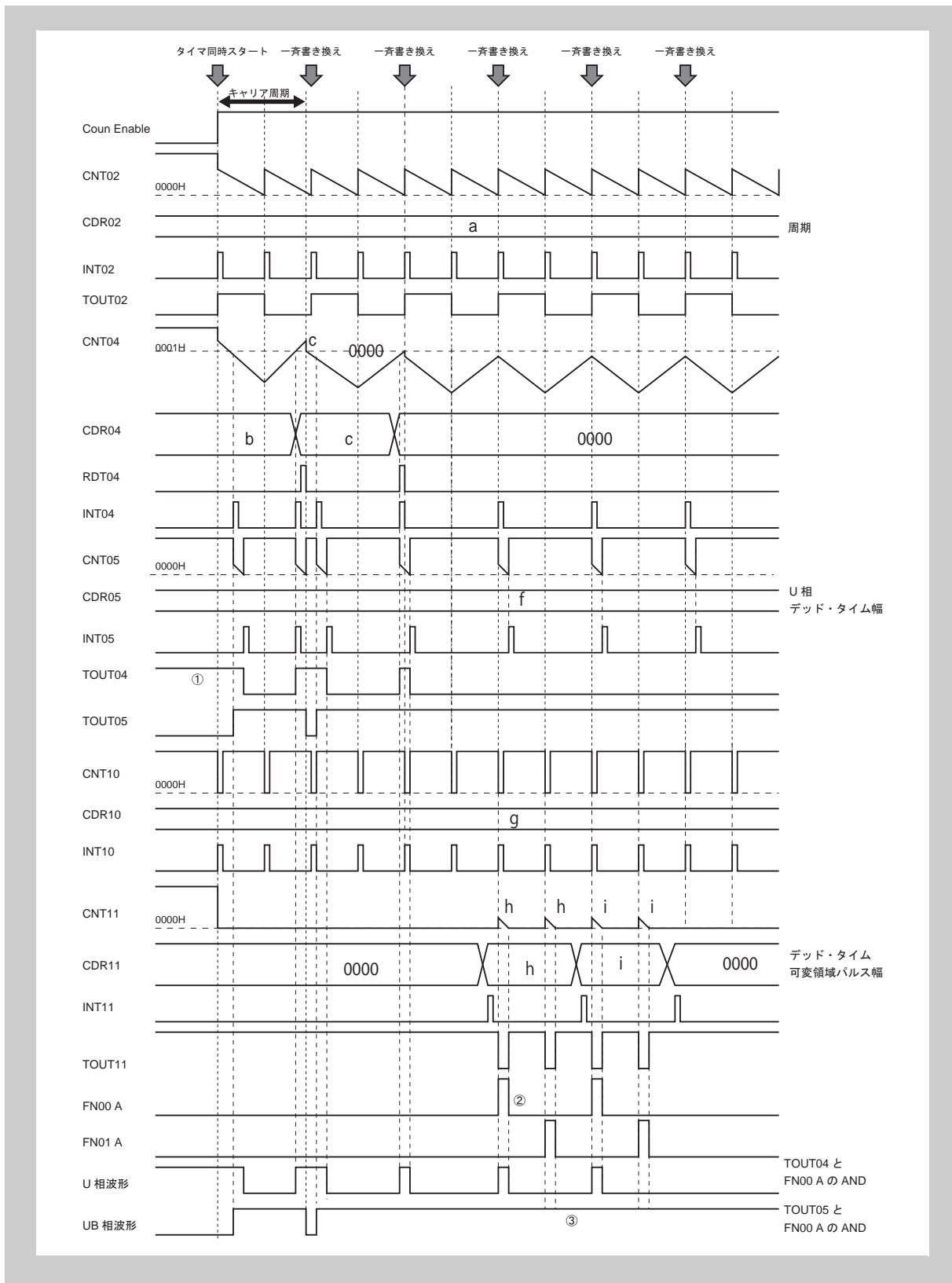


図 36-25 デッド・タイム付き高精度三角波 PWM (U相 0%, UB相 100%) 出力例 (TAUANtOL04=0 (アクティブ・ロウ), TAUAnTOL05=0 (アクティブ・ロウ) の場合)

図 36-25 の U 相 PWM 出力を行うタイマ構成で U 相 0%, UB 相 100% に遷移する場合の動作例について説明します。デッド・タイム付き三角波 PWM 出力機能の出力はアクティブ・ロウです。

1. タイマ動作開始からデッド・タイム付き三角波 PWM 出力までのタイマ動作は図 36-22 「デッド・タイム付き高精度三角波 PWM (U 相 100%, UB 相 0%) 出力例 (TAUAnTOL04=0 (アクティブ・ハイ), TAUAnTOL05=0 (アクティブ・ハイ) の場合)」と同じです。ただし、PWM 出力としてアクティブ・ロウの PWM が出力されます。
2. そのため、組み合わせ回路設定 (PIC0REG2n116,17, PIC0REG2n118,19) を PWM 出力に合わせたアクティブ・ロウ出力に設定します。これによりアクティブ・ロウ用のデッド・タイム可変領域パルスが U 相用 (FN00 A), UB 相用 (FN01 A) として出力されます。
3. さらに、論理演算回路設定 (PIC0REG2n302 ~ 00, PIC0REG2n306 ~ 04) も PWM 出力に合わせたアクティブ・ロウ出力に設定します。2. で生成されたパルスは、TOUT04, TOUT05 出力波形と合成され、TAPAnUP (U 相出力) および TAPAnUM (UB 相出力) からアクティブ・ロウ用 PWM として出力されます。

---

**注意** CDR04 へ U 相デューティ 100% 設定と同時に CDR11 にデッド・タイム可変領域パルス幅の値を設定した場合、機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。  
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。  
詳細は図 36-23 「デッド・タイム可変領域パルスがデッド・タイム付き三角波 PWM 出力に影響する例」を参照してください。

---

36.7.4 設定フロー

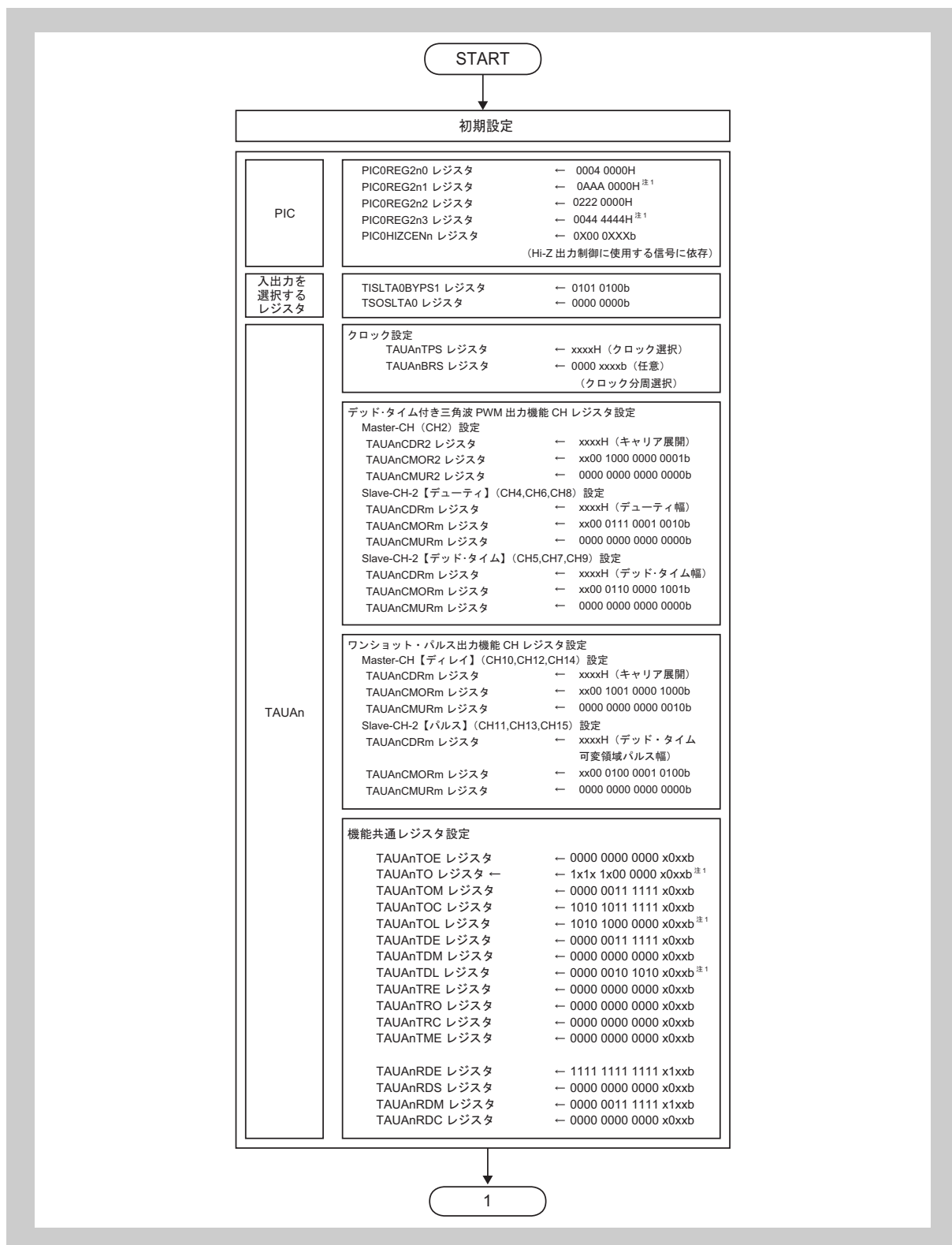


図 36-26 設定フロー (アクティブ・ハイの例)

注 1. 出力する PWM のアクティブ・レベルによって設定値を変更してください

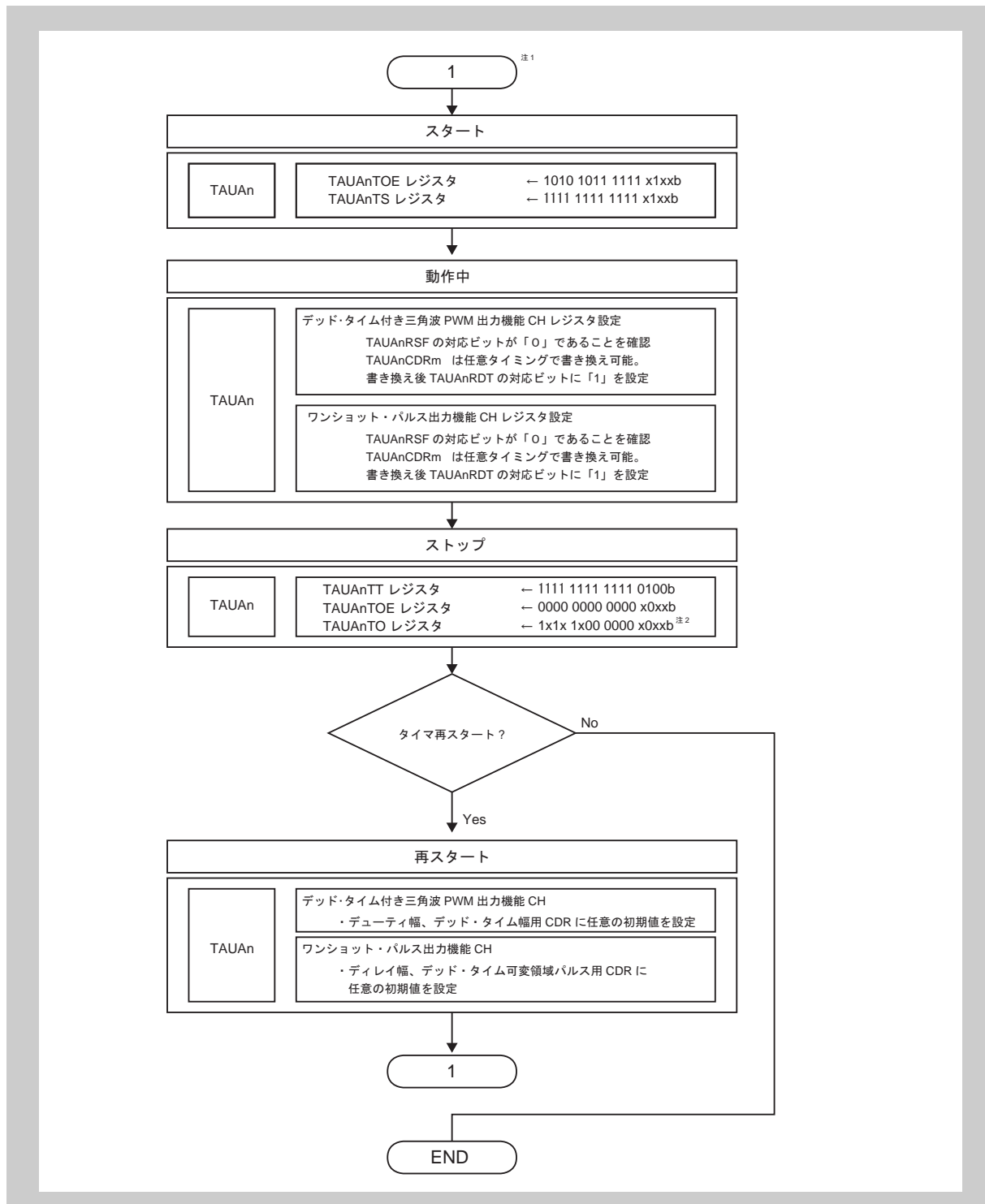


図 36-27 設定フロー（アクティブ・ハイの例）（続き）

- 注 1. 出力ポートの設定は PIC，入出力を選択するレジスタ，タイマの初期設定後に行ってください
2. 出力する PWM のアクティブ・レベルによって設定値を変更してください

### 36.7.5 動作機能の設定例

各レジスタの設定値の例を示します。

#### (1) TAUAn 設定 (アクティブ・ハイの例)

表 36-33 TAUAn CH2 関連  
(デッド・タイム付き三角波 PWM 出力機能マスタ・チャンネル<sup>a)</sup>)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMOR2	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	1	
	10-8	TAUAnSTS[2:0]	000	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	
	4-1	TAUAnMD[4:1]	0000	
	0	TAUAnMD0	1	1: 動作開始時に, INTm を出力し, TOUTm もトグル動作を行う
TAUAnCMUR2	1, 0	TAUAnTIS[1:0]	00	固定

a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn のデッド・タイム付き三角波 PWM 出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

b) 動作クロックは, マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。

**備考** デッド・タイム付き三角波 PWM 出力機能のマスタ・チャンネルの TAUAnCMORm は, TAUAnCKS[1:0](動作クロック選択)と TAUAnMD0 のみ任意に設定できますが, 他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
本 PIC 機能では, TAUAnMD0=1 を設定してください。



表 36-34 TAUAn CH4,06,08 関連  
 (デッド・タイム付き三角波 PWM 出力機能スレーブ・チャンネル 2<sup>a</sup>)  
 (m= 4,6,8)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	111	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	
	4-1	TAUAnMD[4:1]	1001	
	0	TAUAnMD0	0	
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUA のデッド・タイム付き三角波 PWM 出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。

**備考** デッド・タイム付き三角波 PWM 出力機能のスレーブ・チャンネル 2, スレーブ・チャンネル 3 の TAUAnCMORm は、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-35 TAUAn CH5,07,09 関連  
 (デッド・タイム付き三角波 PWM 出力機能スレーブ・チャンネル 3<sup>a</sup>)  
 (m= 5,7,9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	110	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	1	
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUA のデッド・タイム付き三角波 PWM 出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。

**備考** デッド・タイム付き三角波 PWM 出力機能のスレーブ・チャンネル 2, スレーブ・チャンネル 3 の TAUAnCMORm は、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-36 TAUAn CH10,12,14 関連  
(ワンショット・パルス出力機能マスタ・チャンネル<sup>a)</sup> (m= 10,12,14)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	1	
	10-8	TAUAnSTS[2:0]	001	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	0	カウント中のスタート・トリガは無効
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	10	両エッジを有効エッジとして検出

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn のワンショット・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。またデッド・タイム付き三角波 PWM 出力機能のマスタ・チャンネル (CH2) と同一のクロック設定にしてください。

表 36-37 TAUAn CH11,13,15 関連  
(ワンショット・パルス出力機能スレーブ・チャンネル<sup>a)</sup> (m= 11,13,15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	100	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	
	4-1	TAUAnMD[4:1]	1010	
	0	TAUAnMD0	0	カウント中のスタート・トリガは無効
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn のワンショット・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。またデッド・タイム付き三角波 PWM 出力機能のマスタ・チャンネル (CH2) と同一のクロック設定にしてください。

**備考** ワンショット・パルス出力機能の TAUAnCMORm は、TAUAnCKS[1:0](動作クロック選択)と TAUAnMD0 のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
本機能では、TAUAnMD0=0 に設定してください。

表 36-38 TAUAn チャネル共通 (1/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTOE	15	TAUAnTOE15	0 1	タイマ動作停止時 タイマ動作開始時
	14	TAUAnTOE14	0	
	13	TAUAnTOE13	0 1	タイマ動作停止時 タイマ動作開始時
	12	TAUAnTOE12	0	
	11	TAUAnTOE11	0 1	タイマ動作停止時 タイマ動作開始時
	10	TAUAnTOE10	0	
	9-4	TAUAnTOE09 ~ TAUAnTOE04	0 1	タイマ動作停止時 タイマ動作開始時
	3	TAUAnTOE03	任意	
	2	TAUAnTOE02	0 1	タイマ動作停止時 タイマ動作開始時
	1, 0	TAUAnTOE01 TAUAnTOE00	任意	
TAUAnTO	15	TAUAnTO15	1 <sup>a</sup>	TOUT15 にハイ・レベルを出力
	14	TAUAnTO14	任意	
	13	TAUAnTO13	1 <sup>a</sup>	TOUT13 にハイ・レベルを出力
	12	TAUAnTO12	任意	
	11	TAUAnTO11	1 <sup>a</sup>	TOUT11 にハイ・レベルを出力
	10	TAUAnTO10	任意	
	9-4	TAUAnTO09 ~ TAUAnTO04	0 <sup>a</sup>	TOUT09 ~ TOUT04 にロウ・レベルを出力
	3	TAUAnTO03	任意	
	2	TAUAnTO02	0	TOUT02 にロウ・レベルを出力
	1, 0	TAUAnTO01 TAUAnTO00	任意	
TAUAnTOM	15-10	TAUAnTOM15 ~ TAUAnTOM10	0	単体動作モード
	9-4	TAUAnTOM09 ~ TAUAnTOM04	1	連動動作モード
	3	TAUAnTOM03	任意	
	2	TAUAnTOM02	0	単体動作モード
	1, 0	TAUAnTOM01 TAUAnTOM00	任意	

表 36-38 TAUAn チャネル共通 (2/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTOC	15	TAUAnTOC15	1	セット/リセットモード
	14	TAUAnTOC14	0	
	13	TAUAnTOC13	1	セット/リセットモード
	12	TAUAnTOC12	0	
	11	TAUAnTOC11	1	セット/リセットモード
	10	TAUAnTOC10	0	
	9-4	TAUAnTOC09 ~ TAUAnTOC04	1	連動動作モード 2
	3	TAUAnTOC03	任意	
	2	TAUAnTOC02	0	トグルモード
	1, 0	TAUAnTOC01 TAUAnTOC00	任意	
TAUAnTOL	15	TAUAnTOL15	1 <sup>a</sup>	反転論理出力 (アクティブ・ロウ)
	14	TAUAnTOL14	任意	
	13	TAUAnTOL13	1 <sup>a</sup>	反転論理出力 (アクティブ・ロウ)
	12	TAUAnTOL12	任意	
	11	TAUAnTOL11	1 <sup>a</sup>	反転論理出力 (アクティブ・ロウ)
	10	TAUAnTOL10	任意	
	9-4	TAUAnTOL09 ~ TAUAnTOL04	0 <sup>a</sup>	正論理出力 (アクティブ・ハイ)
	3	TAUAnTOL03	任意	
	2	TAUAnTOL02	0	正論理出力 (アクティブ・ハイ)
	1, 0	TAUAnTOL01 TAUAnTOL00	任意	
TAUAnTDE	15-10	TAUAnTDE15 ~ TAUAnTDE10	0	デッド・タイム制御停止
	9-4	TAUAnTDE09 ~ TAUAnTDE04	1	デッド・タイム制御可能 <sup>b</sup>
	3	TAUAnTDE03	任意	
	2	TAUAnTDE02	0	デッド・タイム制御停止
	1, 0	TAUAnTDE01 TAUAnTDE00	任意	
TAUAnTDM	15-9	TAUAnTDM15 ~ TAUAnTDM09	0	
	3	TAUAnTDM03	任意	
	2	TAUAnTDM02	0	デッド・タイム制御停止のため無効
	1, 0	TAUAnTDM01 TAUAnTDM00	任意	

表 36-38 TAUAn チャンネル共通 (3/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTDL	15-10	TAUAnTDL15 ~ TAUAnTDL10	0	デッド・タイム制御停止のため無効
	9	TAUAnTDL09	1 <sup>a</sup>	W 相逆相として動作
	8	TAUAnTDL08	0 <sup>a</sup>	W 相正相として動作
	7	TAUAnTDL07	1 <sup>a</sup>	V 相逆相として動作
	6	TAUAnTDL06	0 <sup>a</sup>	V 相正相として動作
	5	TAUAnTDL05	1 <sup>a</sup>	U 相逆相として動作
	4	TAUAnTDL04	0 <sup>a</sup>	U 相正相として動作
	3	TAUAnTDL03	任意	
	2	TAUAnTDL02	0	デッド・タイム制御停止のため無効
	1, 0	TAUAnTDL01 TAUAnTDL00	任意	
TAUAnTRE	15-4	TAUAnTRE15 ~ TAUAnTRE04	0	リアルタイム出力停止
	3	TAUAnTRE03	任意	
	2	TAUAnTER02	0	リアルタイム出力停止
	1, 0	TAUAnTRE01 TAUAnTRE00	任意	
TAUAnTRO	15-4	TAUAnTRO15 ~ TAUAnTRO04	0	リアルタイム出力停止のため無効
	3	TAUAnTRO03	任意	
	2	TAUAnTRO02	0	リアルタイム出力停止のため無効
	1, 0	TAUAnTRO01 TAUAnTRO00	任意	
TAUAnTRC	15-4	TAUAnTRC15 ~ TAUAnTRC04	0	リアルタイム出カトリガ生成チャンネルとして動作しない
	3	TAUAnTRC03	任意	
	2	TAUAnTRC02	0	リアルタイム出カトリガ生成チャンネルとして動作しない
	1, 0	TAUAnTRC01 TAUAnTRC00	任意	
TAUAnTME	15-4	TAUAnTME15 ~ TAUAnTME04	0	タイマ出力とリアルタイム出力の変調出力停止
	3	TAUAnTME03	任意	
	2	TAUAnTME02	0	タイマ出力とリアルタイム出力の変調出力停止
	1, 0	TAUAnTME01 TAUAnTME00	任意	
TAUAnRDE	15-4	TAUAnRDE15 ~ TAUAnRDE04	1	一斉書き換え制御許可
	3	TAUAnRDE03	任意	
	2	TAUAnRDE02	1	一斉書き換え制御許可
	1 0	TAUAnRDE01 TAUAnRDE00	任意	

表 36-38 TAUAn チャネル共通 (4/4)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnRDS	15-4	TAUAnRDS15 ~ TAUAnRDS04	0	別の上位チャネルにより、一斉書き換えを制御しない
	3	TAUAnRDS03	任意	
	2	TAUAnRDS02	0	別の上位チャネルにより、一斉書き換えを制御しない
	1 0	TAUAnRDS01 TAUAnRDS00	任意	
TAUAnRDM	15-10	TAUAnRDM15 ~ TAUAnRDM10	0	マスタ・チャネルのカウント開始タイミングで一斉書き換えする
	9-4	TAUAnRDM09 ~ TAUAnRDM04	1	マスタ・チャネルでのカウントが開始され、対応するスレーブ・チャネルの三角波の[山]のタイミングで一斉書き換えする
	3	TAUAnRDM03	任意	
	2	TAUAnRDM02	1	マスタ・チャネルでのカウントが開始され、対応するスレーブ・チャネルの三角波の[山]のタイミングで一斉書き換えする
	1 0	TAUAnRDM01 TAUAnRDM00	任意	
TAUAnRDC	15-4	TAUAnRDC15 ~ TAUAnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUAnRDC03	任意	
	2	TAUAnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUAnRDC01 TAUAnRDC00	任意	

- a) 使用システムによって設定を変更してください。
- b) デッド・タイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細は第15章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

## (2) PIC の設定 (アクティブ・ハイの例)

表 36-39 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n0	18	PIC0REG2n018	1	TAUAn の CH2 の TOUT を選択
PIC0REG2n1	27, 26	PIC0REG2n127	1	W 相逆相アクティブ・ハイ組合せ回路出力
		PIC0REG2n126	0	
	25, 24	PIC0REG2n125	1	W 相正相アクティブ・ハイ組合せ回路出力
		PIC0REG2n124	0	
	23, 22	PIC0REG2n123	1	V 相逆相アクティブ・ハイ組合せ回路出力
		PIC0REG2n122	0	
21, 20	PIC0REG2n121	1	V 相正相アクティブ・ハイ組合せ回路出力	
	PIC0REG2n120	0		
19, 18	PIC0REG2n119	1	U 相逆相アクティブ・ハイ組合せ回路出力	
	PIC0REG2n118	0		
17, 16	PIC0REG2n117	1	U 相正相アクティブ・ハイ組合せ回路出力	
	PIC0REG2n116	0		
PIC0REG2n2	25, 24	PIC0REG2n225	1	PIC0REG2n018 ビットで選択した入力を選択
		PIC0REG2n224	0	
	21, 20	PIC0REG2n221	1	
PIC0REG2n220		0		
17, 16	PIC0REG2n217	1	PIC0REG2n018 ビットで選択した入力を選択	
	PIC0REG2n216	0		
PIC0REG2n3	22, 21, 20	PIC0REG2n322	1	W 相逆相アクティブ・ハイ論理演算回路出力
		PIC0REG2n321	0	
		PIC0REG2n320	0	
	18, 17, 16	PIC0REG2n318	1	W 相正相アクティブ・ハイ論理演算回路出力
		PIC0REG2n317	0	
		PIC0REG2n316	0	
	14, 13, 12	PIC0REG2n314	1	V 相逆相アクティブ・ハイ論理演算回路出力
PIC0REG2n313		0		
PIC0REG2n312		0		
10, 9, 8	PIC0REG2n310	1	V 相正相アクティブ・ハイ論理演算回路出力	
	PIC0REG2n309	0		
	PIC0REG2n308	0		
6, 5, 4	PIC0REG2n306	1	U 相逆相アクティブ・ハイ論理演算回路出力	
	PIC0REG2n305	0		
	PIC0REG2n304	0		
2, 1, 0	PIC0REG2n302	1	U 相正相アクティブ・ハイ論理演算回路出力	
	PIC0REG2n301	0		
	PIC0REG2n300	0		

## 36.7.6 レジスタ

## (1) タイマ入出力制御レジスタ 2n0 (PIC0REG2n0)

アクセス 32ビット単位でリード/ライト可能です。

アドレス PIC0REG200 : FF81 C08C<sub>H</sub>

初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG2n0[25:24]	
R	R	R	R	R	R	R/W	R/W
23	22	21	20	19	18	17	16
0	0	0	0	0	PIC0REG2n018	0	0
R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 36-40 PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
25, 24	PIC0REG2n0[25:24]	TAPATSIM0, TAPATUDCM0 への入力信号を選択します。 00 <sub>B</sub> : 信号出力停止 (ロウ・レベル) 01 <sub>B</sub> : TAU A0 ch0 信号を選択 10 <sub>B</sub> : TAU A0 ch2 信号を選択 11 <sub>B</sub> : TAU A0 ch8 信号を選択
18	PIC0REG2n018	TAU AnTTIN10, TAU AnTTIN12, TAU AnTTIN14 への入力信号を選択します。 0 : 設定禁止 1 : TAU AnTTOUT2 を選択

**注意** PIC0REG2n0 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するPIC接続機能のビット定義を適用してください。



## (2) タイマ入出力制御レジスタ 2n1 (PIC0REG2n1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG201 : FF81 C090<sub>H</sub>

初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	PIC0REG 2n127	PIC0REG 2n126	PIC0REG 2n125	PIC0REG 2n124
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
PIC0REG 2n123	PIC0REG 2n123	PIC0REG 2n121	PIC0REG 2n120	PIC0REG 2n119	PIC0REG 2n118	PIC0REG 2n117	PIC0REG 2n116
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-41 PIC0REG2n1 レジスタの内容 (1/3)

ビット位置	ビット名	機能												
27 26	PIC0REG2n127 PIC0REG2n126	TAUAn の CH9 に設定した出力論理にあわせて、FN05 A 入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG2n127</th><th>PIC0REG2n126</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL09=0))</td></tr> <tr> <td>1</td><td>1</td><td>組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL09=1))</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n127	PIC0REG2n126	入力信号	1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL09=0))	1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL09=1))	上記以外		設定禁止
PIC0REG2n127	PIC0REG2n126	入力信号												
1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL09=0))												
1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL09=1))												
上記以外		設定禁止												

表 36-41 PIC0REG2n1 レジスタの内容 (2/3)

ビット位置	ビット名	機能												
25 24	PIC0REG2n125 PIC0REG2n124	<p>TAUAn の CH8 に設定した出力論理にあわせて、FN04 A 入力信号を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG2n125</th> <th>PIC0REG2n124</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL08=0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL08=1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n125	PIC0REG2n124	入力信号	1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL08=0))	1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL08=1))	上記以外		設定禁止
PIC0REG2n125	PIC0REG2n124	入力信号												
1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL08=0))												
1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL08=1))												
上記以外		設定禁止												
23 22	PIC0REG2n123 PIC0REG2n122	<p>TAUAn の CH7 に設定した出力論理にあわせて、FN03 A 入力信号を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG2n123</th> <th>PIC0REG2n122</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL07=0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL07=1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n123	PIC0REG2n122	入力信号	1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL07=0))	1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL07=1))	上記以外		設定禁止
PIC0REG2n123	PIC0REG2n122	入力信号												
1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL07=0))												
1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL07=1))												
上記以外		設定禁止												
21 20	PIC0REG2n121 PIC0REG2n120	<p>TAUAn の CH6 に設定した出力論理にあわせて、FN02 A 入力信号を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG2n121</th> <th>PIC0REG2n120</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL06=0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL06=1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n121	PIC0REG2n120	入力信号	1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL06=0))	1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL06=1))	上記以外		設定禁止
PIC0REG2n121	PIC0REG2n120	入力信号												
1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL06=0))												
1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL06=1))												
上記以外		設定禁止												
19 18	PIC0REG2n119 PIC0REG2n118	<p>TAUAn の CH5 に設定した出力論理にあわせて、FN01 A 入力信号を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG2n119</th> <th>PIC0REG2n118</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL05=0))</td> </tr> <tr> <td>1</td> <td>1</td> <td>組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL05=1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n119	PIC0REG2n118	入力信号	1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL05=0))	1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL05=1))	上記以外		設定禁止
PIC0REG2n119	PIC0REG2n118	入力信号												
1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL05=0))												
1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL05=1))												
上記以外		設定禁止												

表 36-41 PIC0REG2n1 レジスタの内容 (3/3)

ビット位置	ビット名	機能		
17 16	PIC0REG2n117 PIC0REG2n116	TAUAn の CH4 に設定した出力論理にあわせて、FN00 A 入力信号を選択します。		
		PIC0REG2n117	PIC0REG2n116	入力信号
		1	0	組み合わせ回路出力 (アクティブ・ハイ設定時に 選択 (TAUAnTOL04=0))
		1	1	組み合わせ回路反転出力 (アクティブ・ロウ設定時に 選択 (TAUAnTOL04=1))
		上記以外		設定禁止

**注意** PIC0REG2n1 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当する PIC 接続機能のビット定義を適用してください。

## (3) タイマ入出力制御レジスタ 2n2 (PIC0REG2n2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FF81 C094<sub>H</sub>初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	PIC0REG 2n225	PIC0REG 2n224
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
0	0	PIC0REG 2n221	PIC0REG 2n220	0	0	PIC0REG 2n217	PIC0REG 2n216
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 36-42 PIC0REG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能									
25 24	PIC0REG2n225 PIC0REG2n224	TAUAnTTIN14 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n225</th><th>PIC0REG2n224</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)</td></tr> <tr> <td colspan="2">設定禁止</td><td>上記以外</td></tr> </tbody> </table>	PIC0REG2n225	PIC0REG2n224	入力信号	1	0	PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)	設定禁止		上記以外
PIC0REG2n225	PIC0REG2n224	入力信号									
1	0	PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)									
設定禁止		上記以外									
21 20	PIC0REG2n221 PIC0REG2n220	TAUAnTTIN12 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n221</th><th>PIC0REG2n220</th><th>入力信号</th></tr> </thead> <tbody> <tr> <td>1</td><td>0</td><td>PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)</td></tr> <tr> <td colspan="2">上記以外</td><td>設定禁止</td></tr> </tbody> </table>	PIC0REG2n221	PIC0REG2n220	入力信号	1	0	PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)	上記以外		設定禁止
PIC0REG2n221	PIC0REG2n220	入力信号									
1	0	PIC0REG2n018 ビットで選 択した信号 (TAUAn の CH2 の TOUT)									
上記以外		設定禁止									

表 36-42 PIC0REG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能		
17 16	PIC0REG2n217 PIC0REG2n216	TAUAnTTIN10 への入力信号を選択します。		
		PIC0REG2n217	PIC0REG2n216	入力信号
		1	0	PIC0REG2n018 ビットで選択した信号 (TAUAn の CH2 の TOUT)
		上記以外		設定禁止

**注意** PIC0REG2n2 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するPIC接続機能のビット定義を適用してください。

(4) タイマ入出力制御レジスタ 2n3 (PIC0REG2n3)

PIC0REG2n3 は、論理演算の選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG203 : FF81 C098<sub>H</sub>

初期値 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	PIC0REG 2n322	PIC0REG 2n321	PIC0REG 2n320	0	PIC0REG 2n318	PIC0REG 2n317	PIC0REG 2n316
R	R/W	R/W	R/W	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	PIC0REG 2n314	PIC0REG 2n313	PIC0REG 2n312	0	PIC0REG 2n310	PIC0REG 2n309	PIC0REG 2n308
R	R/W	R/W	R/W	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	PIC0REG 2n306	PIC0REG 2n305	PIC0REG 2n304	0	PIC0REG 2n302	PIC0REG 2n301	PIC0REG 2n300
R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 36-43 PIC0REG2n3 レジスタの内容 (1/3)

ビット位置	ビット名	機能			
22 21 20	PIC0REG2n322 PIC0REG2n321 PIC0REG2n320	TAUAn の CH9 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。			
		PIC0REG 2n322	PIC0REG 2n321	PIC0REG 2n320	入力信号
		1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL09=0))
		1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL09=1))
		上記以外			設定禁止

表 36-43 PIC0REG2n3 レジスタの内容 (2/3)

ビット位置	ビット名	機能																
18 17 16	PIC0REG2n318 PIC0REG2n317 PIC0REG2n316	<p>TAUAn の CH8 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG 2n318</th> <th>PIC0REG 2n317</th> <th>PIC0REG 2n316</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL08=0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL08=1))</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG 2n318	PIC0REG 2n317	PIC0REG 2n316	入力信号	1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL08=0))	1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL08=1))	上記以外			設定禁止
PIC0REG 2n318	PIC0REG 2n317	PIC0REG 2n316	入力信号															
1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL08=0))															
1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL08=1))															
上記以外			設定禁止															
14 13 12	PIC0REG2n314 PIC0REG2n313 PIC0REG2n312	<p>TAUAn の CH7 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG 2n314</th> <th>PIC0REG 2n313</th> <th>PIC0REG 2n312</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL07=0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL07=1))</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG 2n314	PIC0REG 2n313	PIC0REG 2n312	入力信号	1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL07=0))	1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL07=1))	上記以外			設定禁止
PIC0REG 2n314	PIC0REG 2n313	PIC0REG 2n312	入力信号															
1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL07=0))															
1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL07=1))															
上記以外			設定禁止															
10 9 8	PIC0REG2n310 PIC0REG2n309 PIC0REG2n308	<p>TAUAn の CH6 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。</p> <table border="1"> <thead> <tr> <th>PIC0REG 2n310</th> <th>PIC0REG 2n309</th> <th>PIC0REG 2n308</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL06=0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL06=1))</td> </tr> <tr> <td colspan="3">設定禁止</td> <td>上記以外</td> </tr> </tbody> </table>	PIC0REG 2n310	PIC0REG 2n309	PIC0REG 2n308	入力信号	1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL06=0))	1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL06=1))	設定禁止			上記以外
PIC0REG 2n310	PIC0REG 2n309	PIC0REG 2n308	入力信号															
1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL06=0))															
1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL06=1))															
設定禁止			上記以外															

表 36-43 PIC0REG2n3 レジスタの内容 (3/3)

ビット位置	ビット名	機能			
6 5 4	PIC0REG2n306 PIC0REG2n305 PIC0REG2n304	TAUAn の CH5 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。			
		<b>PIC0REG 2n306</b>	<b>PIC0REG 2n305</b>	<b>PIC0REG 2n304</b>	<b>入力信号</b>
		1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL05=0))
		1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL05=1))
		上記以外			設定禁止
2 1 0	PIC0REG2n302 PIC0REG2n301 PIC0REG2n300	TAUAn の CH4 に設定した出力論理にあわせて、入力信号 A,B の論理演算を選択します。			
		<b>PIC0REG 2n302</b>	<b>PIC0REG 2n301</b>	<b>PIC0REG 2n300</b>	<b>入力信号</b>
		1	0	0	A and B (アクティブ・ハイ設定時に選択 (TAUAnTOL04=0))
		1	0	1	A or B (アクティブ・ロウ設定時に選択 (TAUAnTOL04=1))
		上記以外			設定禁止

**注意** PIC0REG2n3 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当する PIC 接続機能のビット定義を適用してください。



## (5) TAUA 入力選択レジスタ (TISLTA0BYP51)

TISLTA0BYP51 レジスタは、TAUA0 の入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 100C<sub>H</sub>

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	TISLTA0B YPS16	0	TISLTA0B YPS14	0	TISLTA0B YPS12	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-44 TISLTA0BYP51 レジスタの内容

ビット位置	ビット名	機能
6	TISLTA0BYP516	TAUA0TTIN14 への入力信号を選択します。 (TSOSLTA05=0 のとき有効) 1 : PIC0REG20018, PIC0REG20224, PIC0REG20225 で選択した信号を選択 (デッド・タイム付き高精度三角波 PWM 出力機能を使用する) 0 : TAUA0I15 からの入力信号 (デッド・タイム付き高精度三角波 PWM 出力機能を使用しない)
4	TISLTA0BYP514	TAUA0TTIN12 への入力信号を選択します。 (TSOSLTA03=0 のとき有効) 1 : PIC0REG20018, PIC0REG20220, PIC0REG20221 で選択した信号を選択 (デッド・タイム付き高精度三角波 PWM 出力機能を使用する) 0 : TAUA0I13 からの入力信号 (デッド・タイム付き高精度三角波 PWM 出力機能を使用しない)
2	TISLTA0BYP512	TAUA0TTIN10 への入力信号を選択します。 (TSOSLTA01=0 のとき有効) 1 : PIC0REG20018, PIC0REG20216, PIC0REG20217 で選択した信号を選択 (デッド・タイム付き高精度三角波 PWM 出力機能を使用する) 0 : TAUA0I11 からの入力信号 (デッド・タイム付き高精度三角波 PWM 出力機能を使用しない)

**(6) TAUA 入力選択レジスタ (TSOSLTA0)**

TSOSLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 2014<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	TSOSLTA 04	0	TSOSLTA 02	0	TSOSLTA 00
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 36-45 TSOSLTA0 レジスタの内容

ビット位置	ビット名	機能
4	TSOSLTA04	TAUA0TTIN14 への入力信号を選択します。 0 : TISLTA0BYPSS16 で選択した信号を選択 1 : 設定禁止
2	TSOSLTA02	TAUA0TTIN12 への入力信号を選択します。 0 : TISLTA0BYPSS14 で選択した信号を選択 1 : 設定禁止
0	TSOSLTA00	TAUA0TTIN10 への入力信号を選択します。 0 : TISLTA0BYPSS12 で選択した信号を選択 1 : 設定禁止

## (7) Hi-Z 出力制御レジスタ n (PIC0HIZCENn)

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** PIC0HIZCEN0 : FF81 C0B4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZC ENn6	0	0	0	PIC0HIZC ENn2	PIC0HIZC ENn1	PIC0HIZC ENn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-46 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
2	PIC0HIZCENn2	WDTA0TNMI 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
1	PIC0HIZCENn1	CLMA0, CLMA2, CLMA3 からのエラー信号 CLMATERR による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

## 36.8 タイマ・モータ制御機能との接続（デッド・タイム付きディレイ・パルス出力機能）

### 36.8.1 機能概要

周期タイミング からディレイ分遅らせたデッド・タイム付き 3 相 PWM を出力します。

36.6「タイマ・モータ制御機能との接続（デッド・タイム付き 3 相 PWM 出力機能）」と異なり、次の周期内にリセットを持つ PWM も出力可能です。

### 36.8.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-47 デッド・タイム付きディレイ・パルス出力機能の構成

タイマ	タイマ・モータ制御機能
TAUA0 CH2 ~ CH15（使用チャンネル固定）	TAPA0

**備考** 以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

INTm → INTTAUAnIm

TINm → TAUAnTTINm

TOUTm → TAUAnTTOUTm

CDRm → TAUAnCDRm

CNTm → TAUAnCNTm

- TAUAn 各チャンネル機能設定

CH3 の CDRm 値は TOUT10-15 に影響を与えないため、CH3 の INTm は A/D 変換トリガ生成など他の用途に使用することも可能です。

表 36-48 TAUAn 各チャンネル機能設定

CH	機能名	M/S <sup>a</sup>	CDR 設定値	説明
02	ディレイ・パルス出力機能 (CH2 は CH3-CH9 のマスタ・チャンネル)	M	周期	
03		S		予約
04		S	ディレイ (U 相)	
05		S	パルス幅 (U 相)	
06		S	ディレイ (V 相)	
07		S	パルス幅 (V 相)	
08		S	ディレイ (W 相)	
09		S	パルス幅 (W 相)	
10		TOUTm を使用しない機能であれば任意	任意	
11	1 相 PWM 出力機能	—	デッド・タイム (U 相)	TOUT : UB 相出力
12	TOUTm を使用しない機能であれば任意	任意		TOUT : V 相出力
13	1 相 PWM 出力機能	—	デッド・タイム (V 相)	TOUT : VB 相出力
14	TOUTm を使用しない機能であれば任意	任意		TOUT : W 相出力
15	1 相 PWM 出力機能	—	デッド・タイム (W 相)	TOUT : WB 相出力

<sup>a)</sup> M= マスタ・チャンネル S= スレーブ・チャンネル = 単体機能

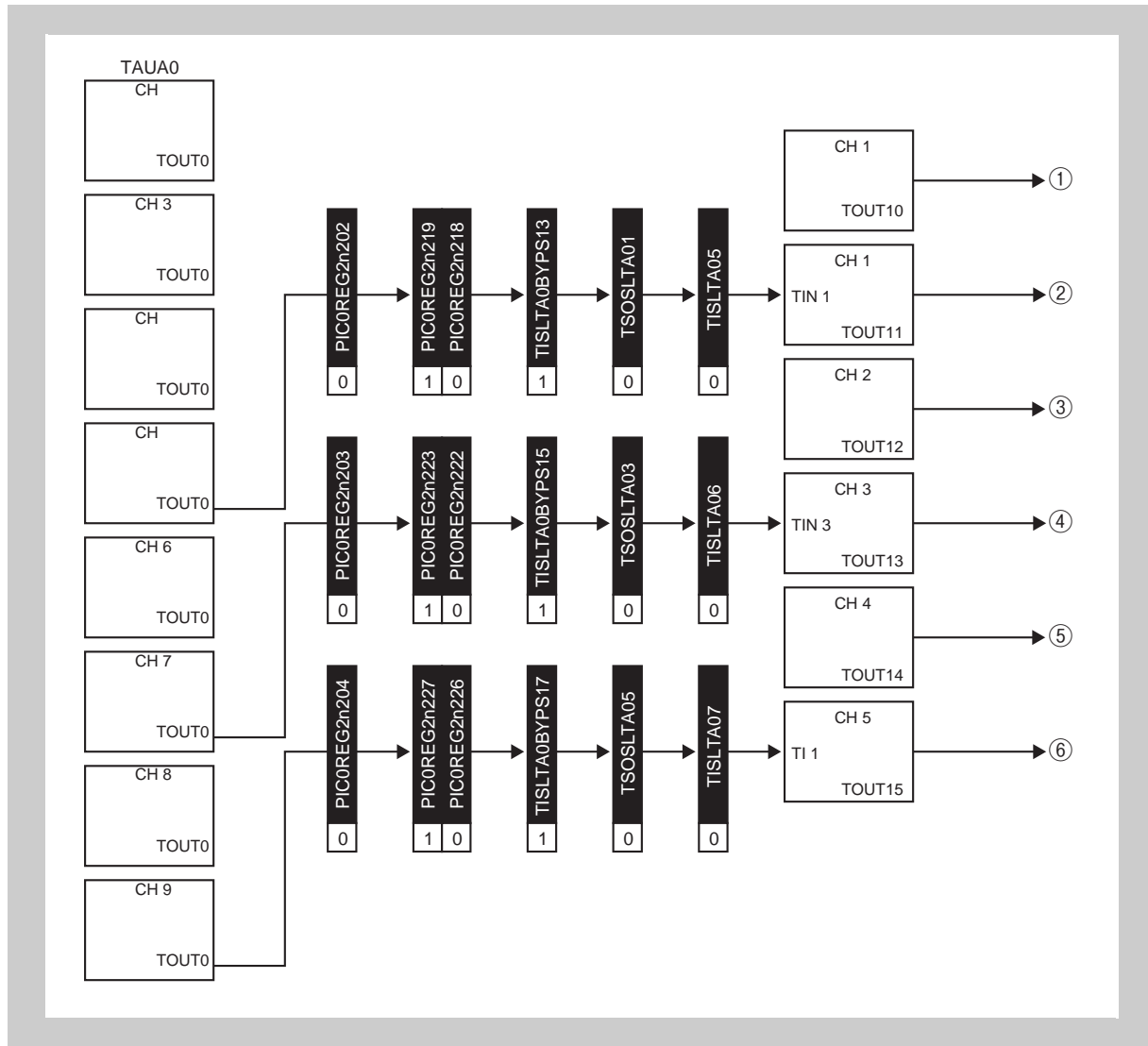


図 36-28 ブロック図 (1/2)

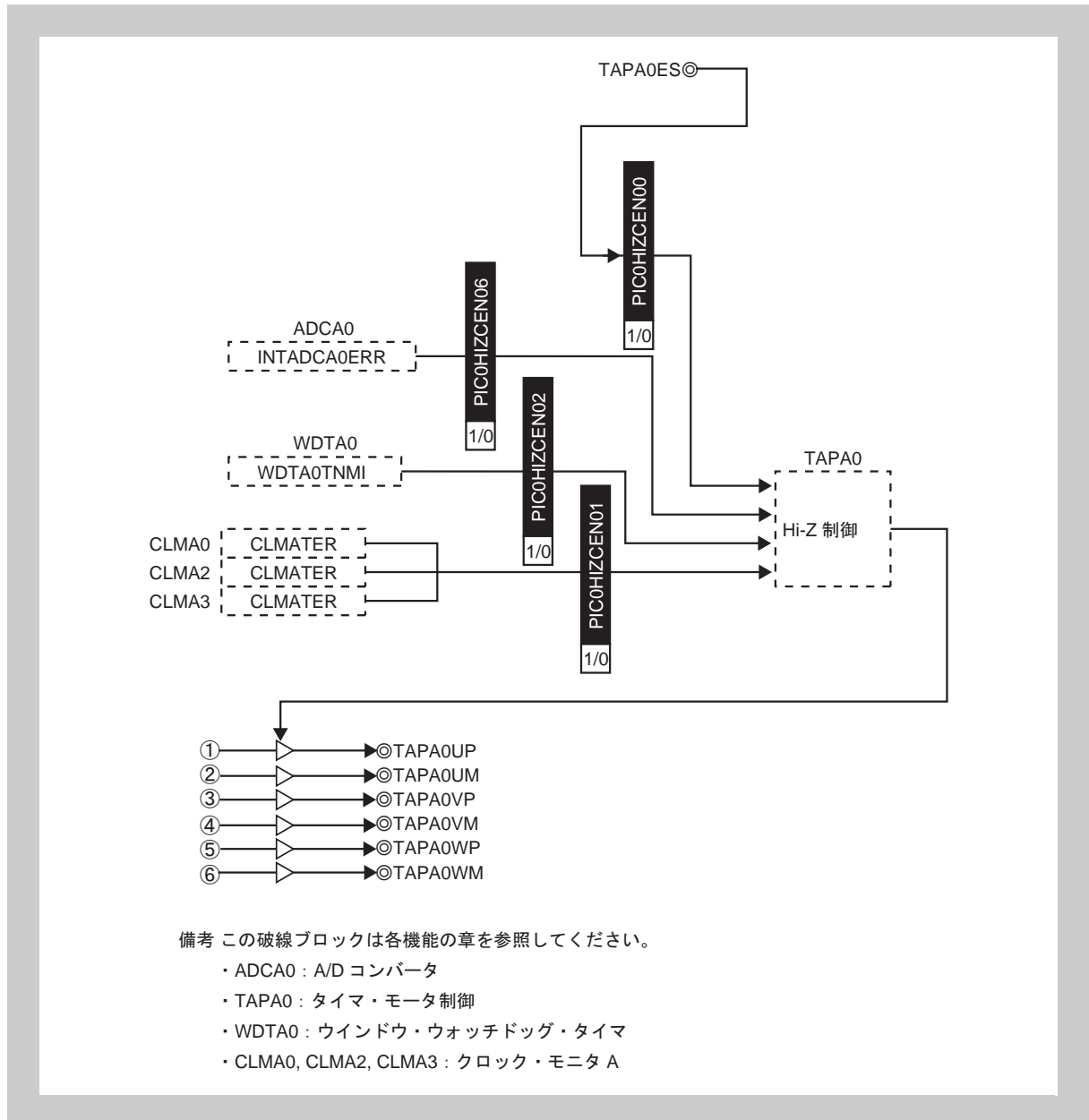


図 36-29 ブロック図 (2/2)

### 36.8.3 動作例

TAUA の次の機能の組み合わせにより実現します。

- ディレイ・パルス出力機能
- 1相 PWM 出力機能

ディレイ・パルス出力機能により、周期タイミングからディレイ分遅れた PWM を生成します。次に 1相 PWM 出力機能により、その PWM に対しデッド・タイムを付加した 1相 PWM を出力します。

デッド・タイム付きディレイ・パルス出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッド・タイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャンネルの違いのみなので、ここでは 1相 (U 相) について説明を行います。

#### (1) ディレイ・パルス出力機能

CH2,CH4,CH5 を組み合わせて使用し、TOUT05 より CH2 で設定した周期に対し CH4 で生成したディレイ分だけ遅れた 1相 PWM 出力用基本 PWM が出力されます。

なお、CH3 は機能実現のための予約タイマとしておりますので、他機能での使用しないでください。

---

**注意** 周期を超えるディレイ量の設定はしないでください。

---

#### (2) 1相 PWM 出力機能

CH10,CH11 の組み合わせで 1相 PWM を TOUT10,TOUT11 から出力します。

CDR11 にデッド・タイム値を設定することで、TIN11 入力に対してデッド・タイム付 1相 PWM を出力します。

V 相、W 相については、それぞれ CH12,CH13 (V 相)、CH14,CH15 (W 相) を使用し、同様にデッド・タイム付 1相 PWM を出力します。

---

**注意** ディレイ・パルス出力機能、1相 PWM 出力機能で使用する TAUAn の各チャンネルの動作クロック設定は同一クロックを設定してください。

---

TAUA 機能の詳細については、第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。



「デッド・タイム付きディレイ・パルス出力機能」と「デッド・タイム付き3相PWM出力機能」の違いについて説明します。

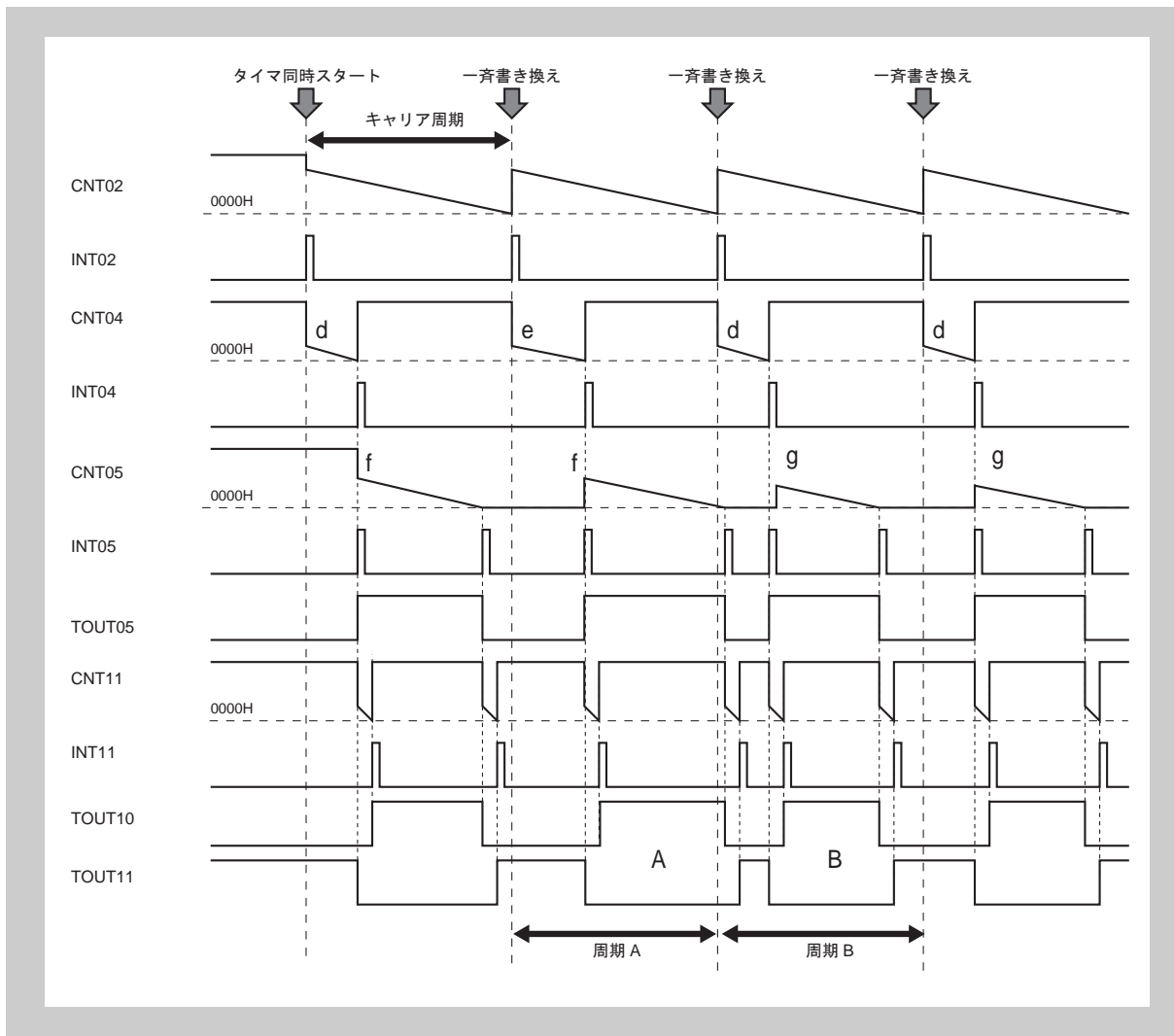


図 36-30 デッド・タイム付ディレイ・パルス出力による PWM 出力

図 36-30 では、PWM 波形 A は周期 A の範囲で出力されるべき PWM 波形ですが、ディレイタイミングを長く取っているため PWM クリア位置が周期 A を超えた位置で発生しています。それに続き、周期 B の PWM 波形である PWM 波形 B が出力されています。

図 36-30 「デッド・タイム付ディレイ・パルス出力による PWM 出力」を「デッド・タイム付き 3 相 PWM 出力機能」で実現しようとした場合、以下のような動作となります。

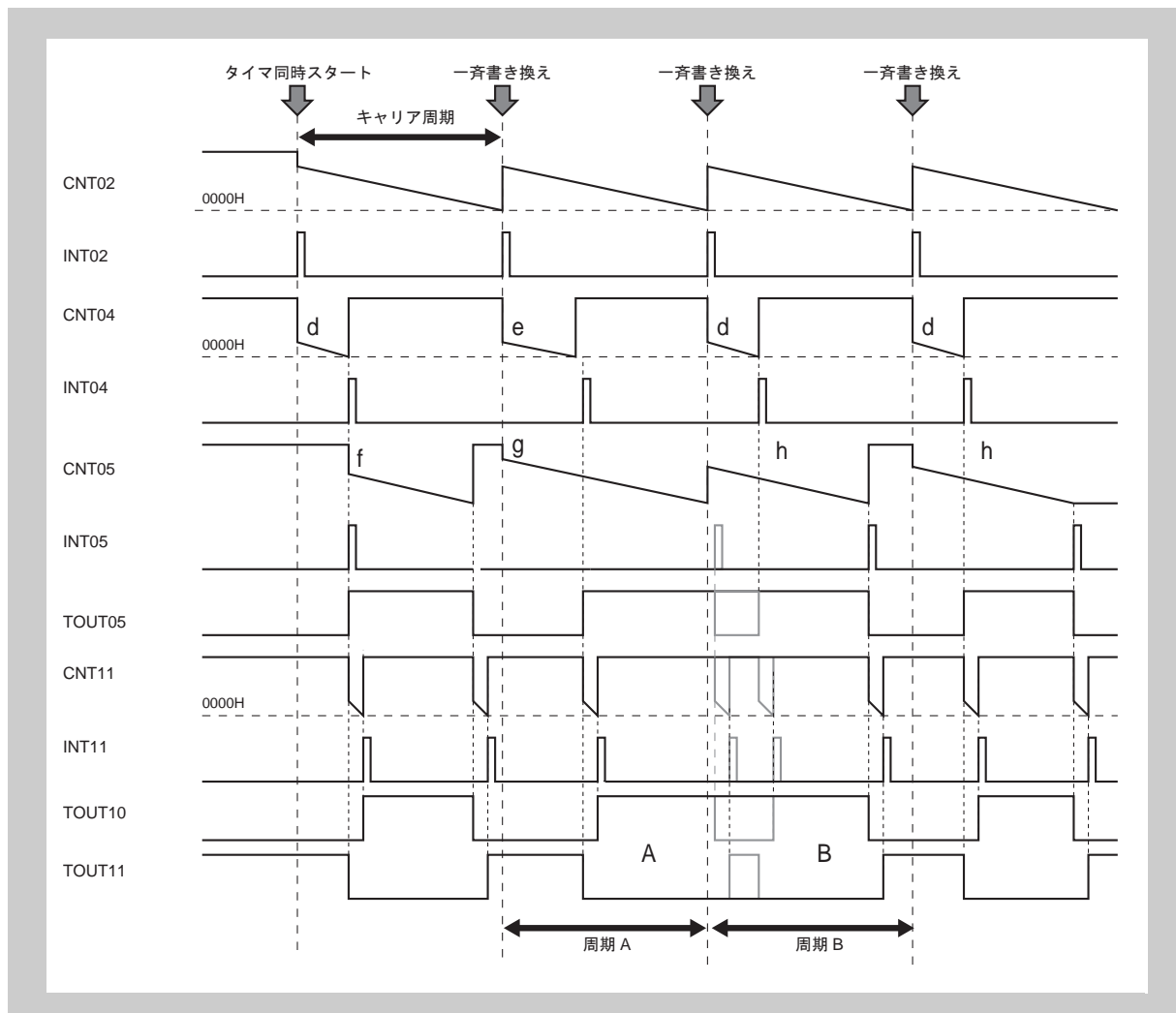


図 36-31 デッド・タイム付 3 相 PWM 出力機能による PWM 出力①

図 36-31 では、「デッド・タイム付き 3 相 PWM 出力機能」のセット・タイミングを遅らせ、クリア・タイミングをキャリア周期より長くすることで、出力される PWM がキャリア周期 A を超える様に設定した例です。

周期 A に対する PWM 波形 A のセット・タイミングは前頁の図と同じですが、クリア・タイミングが周期 A より長いため、先に周期によるリロード動作が発生してしまい、PWM 波形 A のクリア・タイミングが発生しません。

さらに、周期 B に対応する PWM 波形 B のセット・タイミングでは、すでに PWM 波形がセット状態であるためセット・タイミングは無視されます。結果、周期 B のクリア・タイミングまで PWM 波形の変化は発生せず、PWM 波形 A と PWM 波形 B を合わせた PWM 波形が出力されることとなります。

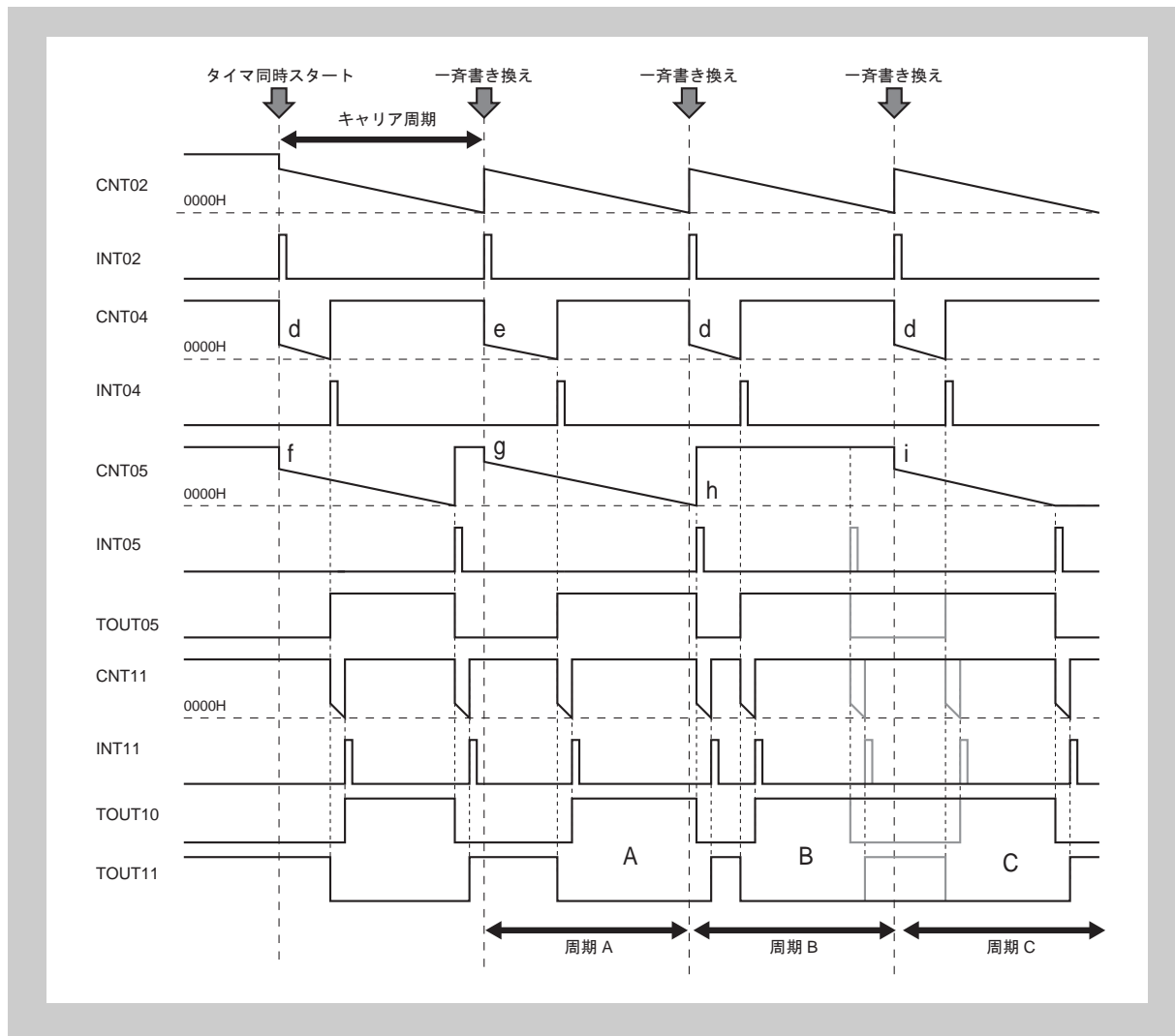


図 36-32 デッド・タイム付 3 相 PWM 出力機能による PWM 出力②

図 36-32 では、「デッド・タイム付き 3 相 PWM 出力機能」で周期 A より長いクリア・タイミングのカウンタ動作を周期 B で引継ぎ、周期 B の先頭で PWM 出力 A のクリアを行うよう動作させた例です。

周期 A に対する PWM 波形 A は「デッド・タイム付きディレイ・パルス出力機能」と同様の出力となりますが、クリア・タイミングを周期 B の先頭で使用してしまっているため、周期 B で出力すべき PWM 出力 B のクリア・タイミングが発生しません。

さらに、周期 C に対応する PWM 波形 C のセット・タイミングでは、すでに PWM 波形がセット状態であるためセット・タイミングは無視されます。結果、周期 C のクリア・タイミングまで PWM 波形の変化は発生せず、PWM 波形 B と PWM 波形 C を合わせた PWM 波形が出力されることとなります。

このように、「デッド・タイム付きディレイ・パルス出力機能」では「デッド・タイム付き 3 相 PWM 出力機能」よりも自由度の高い PWM 出力タイミングを実現することが可能です。

PIC は、「ディレイ・パルス出力機能」により生成された PWM 出力タイミングを「1 相 PWM 出力機能」の入力とする接続を提供します。

図 36-33に「デッド・タイム付きディレイ・パルス出力機能」のタイミング図を示します。

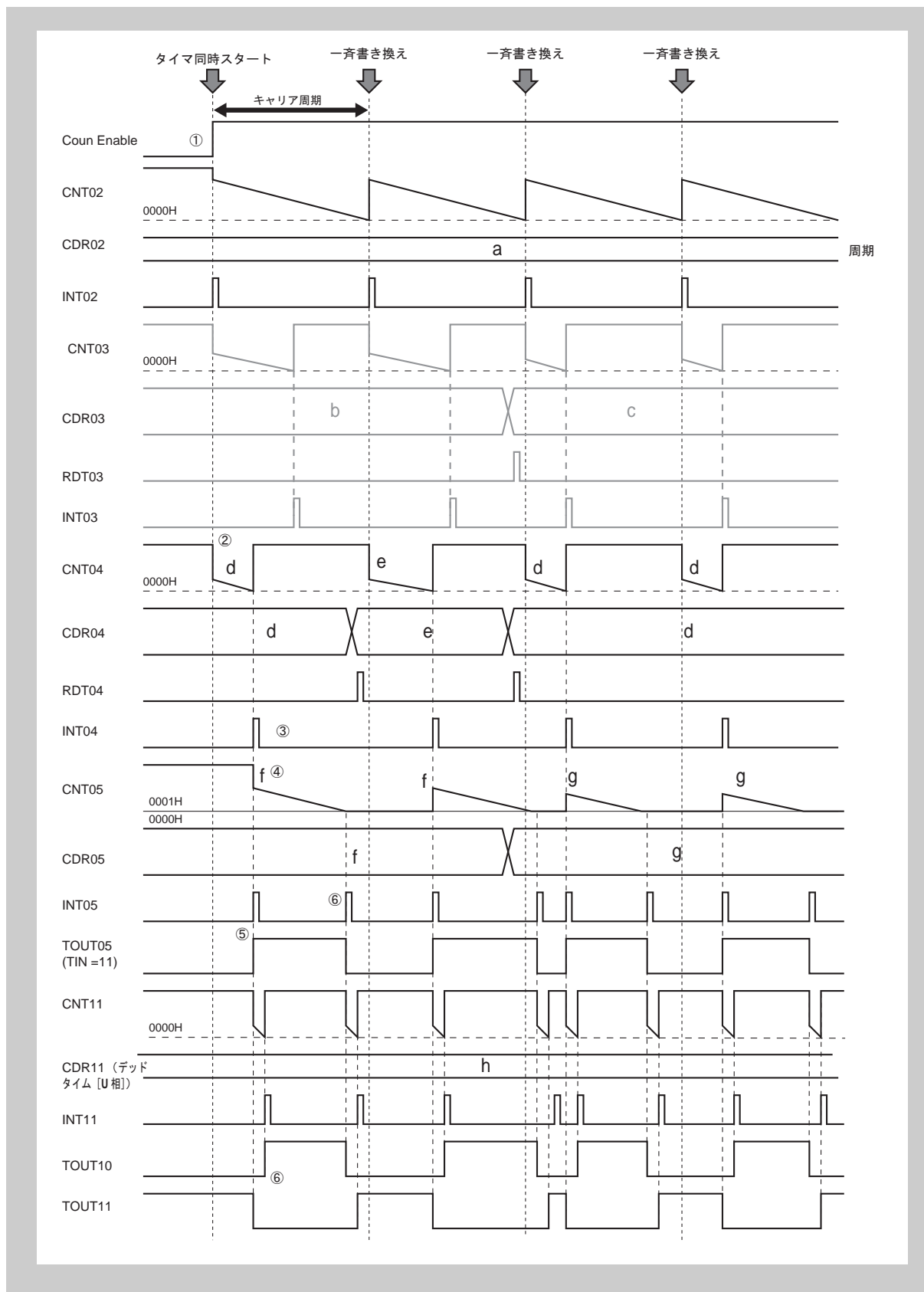


図 36-33 デッド・タイム付きディレイ・パルス出力の出力例

図 36-33 のデッド・タイム付きディレイ・パルス出力の出力例について説明します。

1. タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（ディレイタイミングタイマ）が同時スタートします。
2. CH5（PWM デューティタイマ）、CH11（デッド・タイムタイマ）もタイマ・スタートしていますが、CH5 のカウント開始タイミングである INT04 および、CH11 のカウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。
3. CH3 は本機能での PWM 出力に影響しないため説明を省略します。
4. CH4 は、CH2 のアンダフローにより、CDR04 から CNT04 へ設定値のリロードが行われます。
5. CH4 のアンダフローにより、ディレイタイミング信号（INT04）が発生します。
6. INT04 の発生により、CDR05 から CNT05 に設定値がリロードされ CH5（PWM デューティタイマ）が動作開始します。
7. このとき、INT05 が発生し TOUT05 の出力レベルがアクティブ・レベルに変化します。
8. CH5 のアンダフローにより再び INT05 が発生するとともに、TOUT05 がインアクティブ・レベルに変化します。この CH4 および CH5 のアンダフローで変化する TOUT05 を「1 相 PWM 出力機能」の入力 TIN11 へ供給します。
9. 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッド・タイムを付加した PWM 波形を生成し出力します。

## 36.8.4 設定フロー

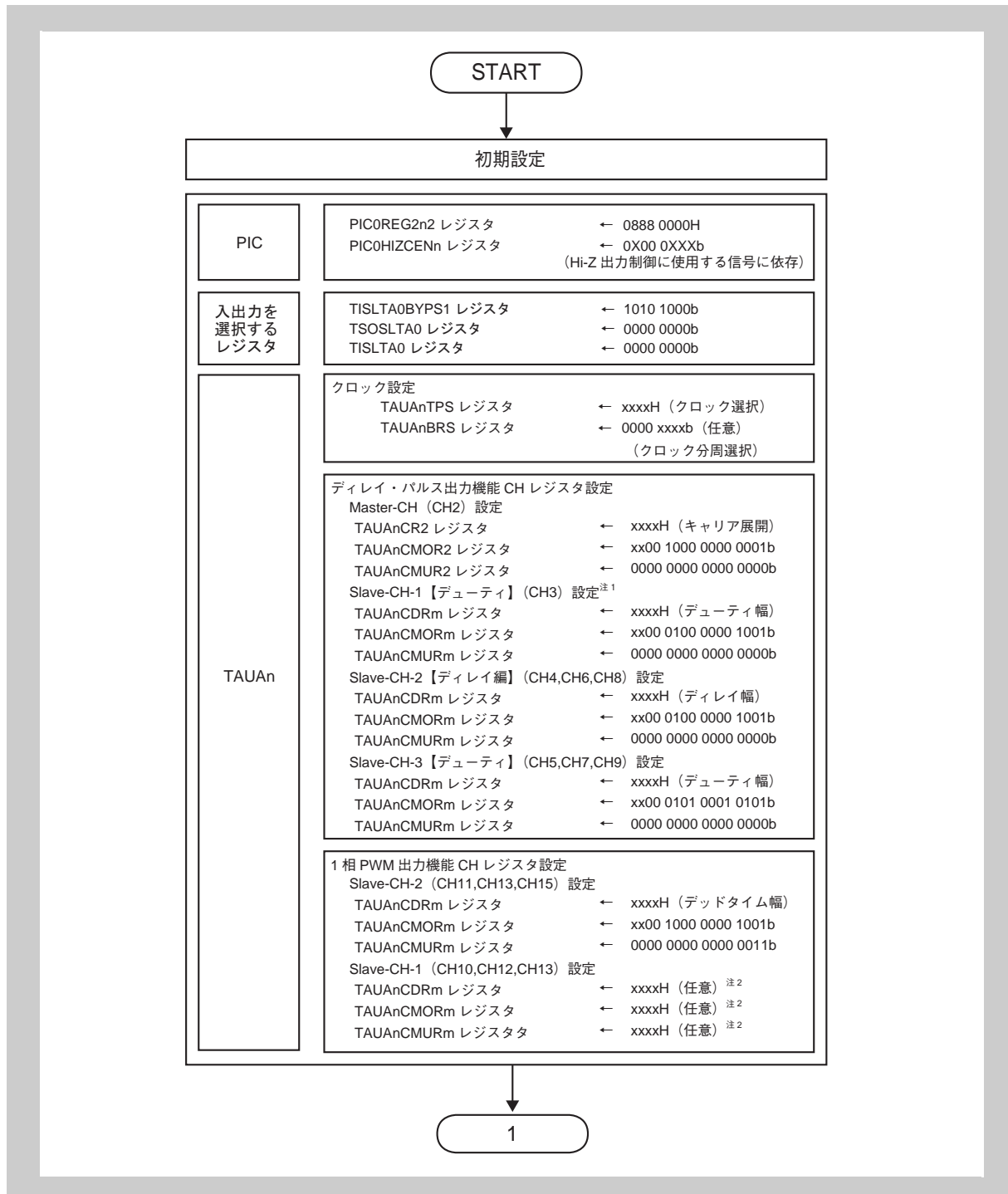


図 36-34 設定フロー (アクティブ・ハイの例)

- 注 1. 本機能では動作に影響しないスレーブ・チャンネルですが、ディレイ・パルス出力機能の構成チャンネルのため設定を行います。
2. TOUTm を使用しない機能を指定してください。

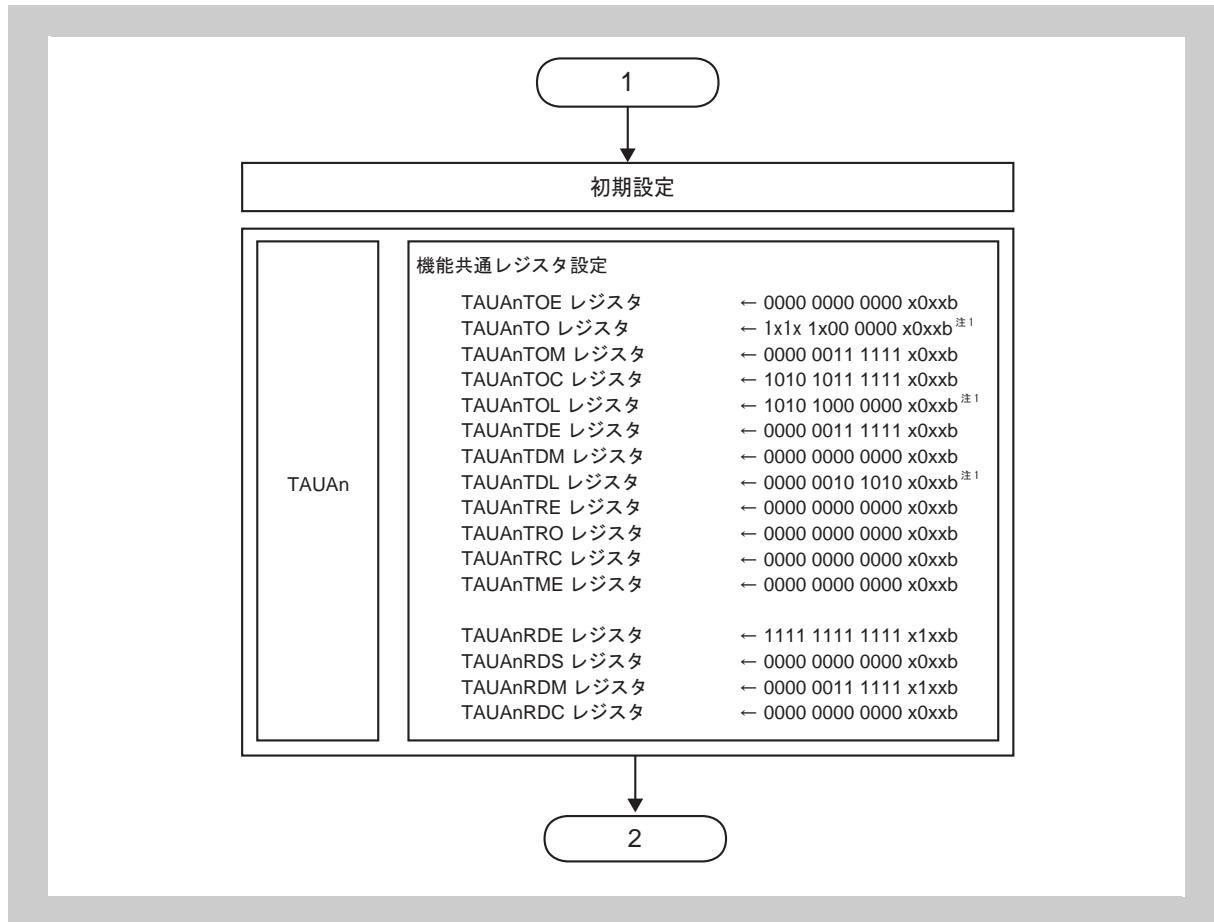


図 36-35 設定フロー（アクティブ・ハイの例）（続き）

注 1. 出力する PWM のアクティブ・レベルによって設定値を変更してください

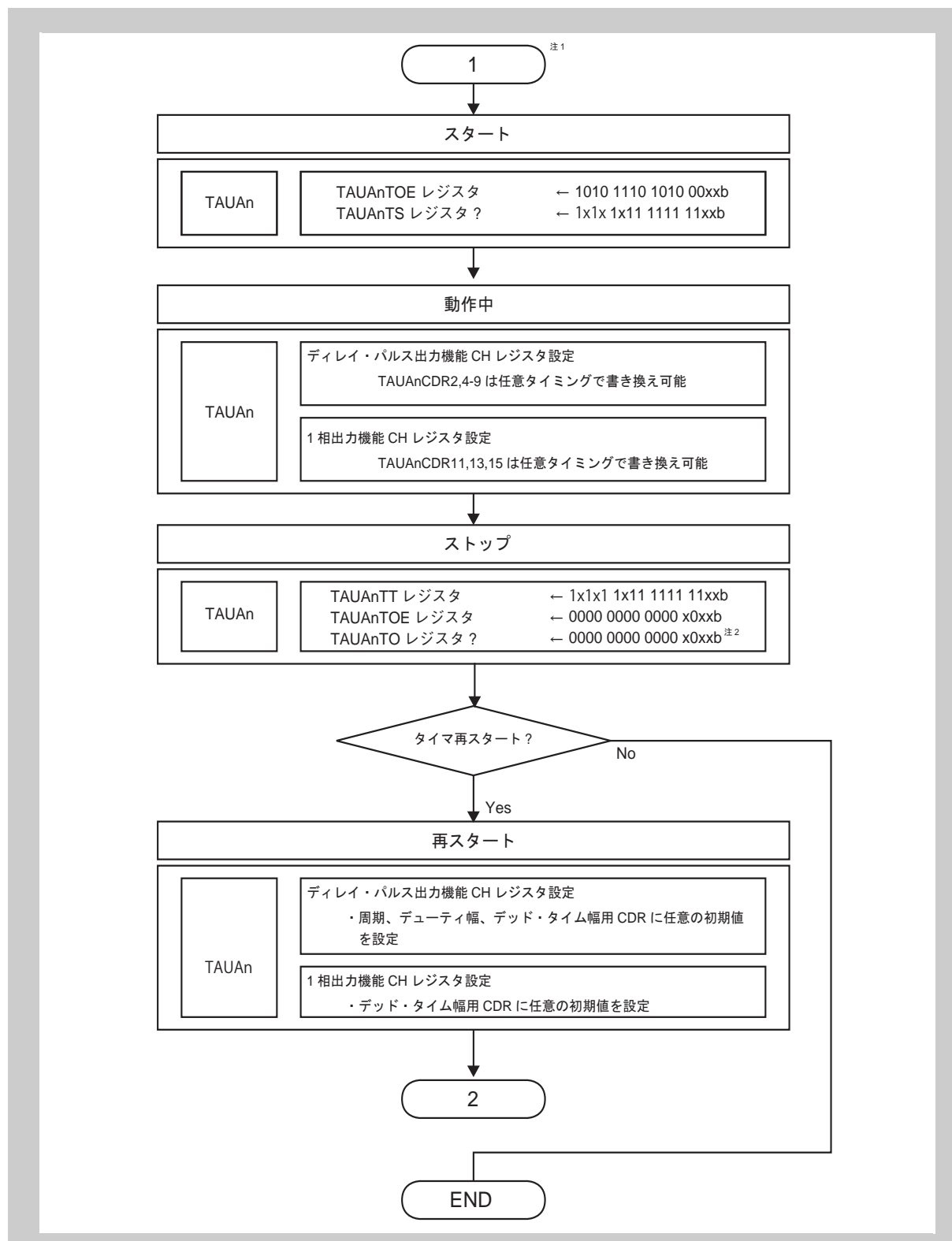


図 36-36 設定フロー（アクティブ・ハイの例）（続き）

- 注 1. 出力ポートの設定は PIC, 入出力を選択するレジスタ, タイマの初期設定後に行ってください。
2. 出力する PWM のアクティブ・レベルによって設定値を変更してください。



### 36.8.5 動作機能の設定例

各レジスタの設定値の例を示します。

#### (1) TAUAn 設定

表 36-49 TAUAn CH2 関連 (ディレイ・パルス出力機能マスタ・チャンネル<sup>a)</sup>)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMOR2	15, 14	TAUAnCKS[1:0]	任意 <sup>b)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	1	
	10-8	TAUAnSTS[2:0]	000	
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0000	
0	TAUAnMD0	1	動作開始時に INT <sub>m</sub> を出力する	
TAUAnCMUR2	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUA のディレイ・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
 b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。

表 36-50 TAUAn CH3 (ディレイ・パルス出力機能スレーブ・チャンネル<sup>a, b)</sup>)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMOR3	15, 14	TAUAnCKS[1:0]	任意 <sup>c)</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	100	スタート・トリガ: マスタ・チャンネルの INT <sub>m</sub> 検出
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0100	
0	TAUAnMD0	1	カウント中のスタート・トリガは有効	
TAUAnCMUR3	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUA のディレイ・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。  
 b) 動作クロックは、マスタ・チャンネルとスレーブ・チャンネルで同一設定にする必要があります。  
 c) 本機能では動作に影響しないチャンネルですが、ディレイ・パルス出力機能の構成チャンネルのため設定は行います。

**備考** ディレイ・パルス出力機能の TAUAnCMOR<sub>m</sub> では、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-51 TAUAn CH4,06.08 関連  
(ディレイ・パルス出力機能スレーブ・チャンネル 2<sup>a</sup>) (m= 4,6,8)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	100	スタート・トリガ: マスタ・チャンネルの INTm 検出
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	1	カウント中のスタート・トリガは有効
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn のディレイ・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、スレーブ・チャンネルとマスタ・チャンネルで同一設定にする必要があります。

**備考** ディレイ・パルス出力機能の TAUAnCMORm では、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-52 TAUAn CH5,07.09 関連  
(ディレイ・パルス出力機能スレーブ・チャンネル 3<sup>a</sup>) + (m= 5,7,9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>b</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	101	スタート・トリガ: 上位チャンネルの INTm 検出
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	1010	
	0	TAUAnMD0	1	カウント中のスタート・トリガは有効
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	00	

- a) マスタ・チャンネルおよびスレーブ・チャンネルは TAUAn のディレイ・パルス出力機能で定義されている名称です。詳細については第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。
- b) 動作クロックは、スレーブ・チャンネルとマスタ・チャンネルで同一設定にする必要があります。

**備考** ディレイ・パルス出力機能の TAUAnCMORm では、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

表 36-53 TAUAn CH11,13,15 関連 (1 相 PWM 出力機能) (m= 11,13,15)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnCMORm	15, 14	TAUAnCKS[1:0]	任意 <sup>a</sup>	動作クロック設定
	13, 12	TAUAnCCS[1:0]	00	
	11	TAUAnMAS	0	
	10-8	TAUAnSTS[2:0]	001	スタート・トリガ : TINm 入力の有効エッジ検出
	7, 6	TAUAnCOS[1:0]	00	
	5		0	0 固定
	4-1	TAUAnMD[4:1]	0100	
	0	TAUAnMD0	1	カウント中のスタート・トリガは有効
TAUAnCMURm	1, 0	TAUAnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出 (High 幅)

<sup>a)</sup> 動作クロックは、PWM 出力機能のマスタ・チャンネル (CH2) と同一のクロック設定にしてください。

**備考** 1 相 PWM 出力機能の TAUAnCMORm では、TAUAnCKS[1:0](動作クロック選択)のみ任意に設定できますが、他の制御ビットは固定値となります。詳細は第15章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。CH10,12,14については TOUTm 出力を使用しない機能 (A/D トリガ出力など)であれば、任意に使用可能です。

表 36-54 TAUAn チャネル共通 (1/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTOE	15-10	TAUAnTOE15 ~ TAUAnTOE10	0 1	タイマ動作停止時 タイマ動作開始時
	9	TAUAnTOE09	0 1	タイマ動作停止時 タイマ動作開始時
	8	TAUAnTOE08	0	TOUT08 は未使用のため 0 固定
	7	TAUAnTOE07	0 1	タイマ動作停止時 タイマ動作開始時
	6	TAUAnTOE06	0	TOUT06 は未使用のため 0 固定
	5	TAUAnTOE05	0 1	タイマ動作停止時 タイマ動作開始時
	4	TAUAnTOE04	0	TOUT04 は未使用のため 0 固定
	3	TAUAnTOE03	0	TOUT03 は未使用のため 0 固定
	2	TAUAnTOE02	0	TOUT02 は未使用のため 0 固定
	1, 0	TAUAnTOE01 TAUAnTOE00	任意	
TAUAnTO	15-10	TAUAnTO15 ~ TAUAnTO10	0 <sup>a</sup>	TOUT15 ~ TOUT10 にロウ・レベルを出力
	9-2	TAUAnTO09 ~ TAUAnTO02	0	TOUT09 ~ TOUT02 にロウ・レベルを出力
	1, 0	TAUAnTO01 TAUAnTO00	任意	
TAUAnTOM	15-10	TAUAnTOM15 ~ TAUAnTOM10	1	連動動作モード
	9-4	TAUAnTOM09 ~ TAUAnTOM04	0	単体動作モード
	3	TAUAnTOM03	1	連動動作モード
	2	TAUAnTOM02	0	単体動作モード
	1, 0	TAUAnTOM01 TAUAnTOM00	任意	
TAUAnTOC	15-10	TAUAnTOC15 ~ TAUAnTOC10	1	連動動作モード 2
	9-4	TAUAnTOC09 ~ TAUAnTOC04	0	単体動作モード
	3	TAUAnTOC03	0	連動動作モード 1
	2	TAUAnTOC02	0	トグルモード
	1, 0	TAUAnTOC01 TAUAnTOC00	任意	
TAUAnTOL	15-10	TAUAnTOL15 ~ TAUAnTOL10	0 <sup>a</sup>	正論理出力 (アクティブ・ハイ)
	9-2	TAUAnTOL09 ~ TAUAnTOL02	0	正論理出力 (アクティブ・ハイ)
	1, 0	TAUAnTOL01 TAUAnTOL00	任意	

表 36-54 TAUAn チャネル共通 (2/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnTDE	15-10	TAUAnTDE15 ~ TAUAnTDE10	1	デッド・タイム制御可能 <sup>b</sup>
	9-2	TAUAnTDE09 ~ TAUAnTDE02	0	デッド・タイム制御停止
	1, 0	TAUAnTDE01 TAUAnTDE00	任意	
TAUAnTDM	15-10	TAUAnTDM15 ~ TAUAnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッド・タイムを生成する。
	9-2	TAUAnTDM09 ~ TAUAnTDM02	0	デッド・タイム制御停止のため無効
	1, 0	TAUAnTDM01 TAUAnTDM00	任意	
TAUAnTDL	15	TAUAnTDL15	1 <sup>a</sup>	W 相逆相位相として動作
	14	TAUAnTDL14	0 <sup>a</sup>	W 相正相位相として動作
	13	TAUAnTDL13	1 <sup>a</sup>	V 相逆相位相として動作
	12	TAUAnTDL12	0 <sup>a</sup>	V 相正相位相として動作
	11	TAUAnTDL11	1 <sup>a</sup>	U 相逆相位相として動作
	10	TAUAnTDL10	0 <sup>a</sup>	U 相正相位相として動作
	9-2	TAUAnTDL09 ~ TAUAnTDL02	0	デッド・タイム制御停止のため無効
TAUAnTRE	15-2	TAUAnTRE15 ~ TAUAnTRE02	0	リアルタイム出力停止
	1, 0	TAUAnTRE01 TAUAnTRE00	任意	
TAUAnTRO	15-2	TAUAnTRO15 ~ TAUAnTRO02	0	リアルタイム出力停止のため無効
	1, 0	TAUAnTRO01 TAUAnTRO00	任意	
TAUAnTRC	15-2	TAUAnTRC15 ~ TAUAnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1, 0	TAUAnTRC01 TAUAnTRC00	任意	
TAUAnTME	15-2	TAUAnTME15 ~ TAUAnTME02	0	タイマ出力とリアルタイム出力の変調出力停止
	1, 0	TAUAnTME01 TAUAnTME00	任意	

表 36-54 TAUAn チャネル共通 (3/3)

レジスタ	ビット位置	ビット名	設定値	備考
TAUAnRDE	15	TAUAnRDE15	0	一斉書き換え制御禁止
	14	TAUAnRDE14	任意	
	13	TAUAnRDE13	0	一斉書き換え制御禁止
	12	TAUAnRDE12	任意	
	11	TAUAnRDE11	0	一斉書き換え制御禁止
	10	TAUAnRDE10	任意	
	9-2	TAUAnRDE09 ~ TAUAnRDE02	1	一斉書き換え制御許可
	1 0	TAUAnRDE01 TAUAnRDE00	任意	
TAUAnRDS	15	TAUAnRDS15	0	別の上位チャネルにより、一斉書き換えを制御しない
	14	TAUAnRDS14	任意	
	13	TAUAnRDS13	0	別の上位チャネルにより、一斉書き換えを制御しない
	12	TAUAnRDS12	任意	
	11	TAUAnRDS11	0	別の上位チャネルにより、一斉書き換えを制御しない
	10	TAUAnRDS10	任意	
	9-2	TAUAnRDS09 ~ TAUAnRDS02	0	マスタ・チャネルにより一斉書き換え制御する
	1 0	TAUAnRDS01 TAUAnRDS00	任意	
TAUAnRDM	15	TAUAnRDM15	0	一斉書き換えを制御しないので無効
	14	TAUAnRDM14	任意	
	13	TAUAnRDM13	0	一斉書き換えを制御しないので無効
	12	TAUAnRDM12	任意	
	11	TAUAnRDM11	0	一斉書き換えを制御しないので無効
	10	TAUAnRDM10	任意	
	9-2	TAUAnRDM09 ~ TAUAnRDM02	0	マスタ・チャネルのカウンタ開始タイミングで一括ロード
	1 0	TAUAnRDM01 TAUAnRDM00	任意	
TAUAnRDC	15	TAUAnRDC15	0	一斉書き換えを制御しないので無効
	14	TAUAnRDC14	任意	
	13	TAUAnRDC13	0	一斉書き換えを制御しないので無効
	12	TAUAnRDC12	任意	
	11	TAUAnRDC11	0	一斉書き換えを制御しないので無効
	10	TAUAnRDC10	任意	
	9-2	TAUAnRDC09 ~ TAUAnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1 0	TAUAnRDC01 TAUAnRDC00	任意	

a) 使用システムによって設定を変更してください。

- b) デッド・タイム制御を行うため、偶数チャンネルと奇数チャンネルを対とした正逆相の波形出力制御を行います。詳細は第15章「タイマ・アレイ・ユニットA (TAUA)」を参照してください。

## (2) PIC の設定

表 36-55 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27, 26	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
		PIC0REG2n226	0	
	23, 22	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
		PIC0REG2n222	0	
	19, 18	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
		PIC0REG2n218	0	
4	PIC0REG2n204	0	TAUAnTTOOUT09 を選択	
3	PIC0REG2n203	0	TAUAnTTOOUT07 を選択	
2	PIC0REG2n202	0	TAUAnTTOOUT05 を選択	

### 36.8.6 レジスタ

#### (1) タイマ入出力制御レジスタ 2n2 (PIC0REG2n2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PIC0REG202 : FF81 C094<sub>H</sub>

初期値 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	PIC0REG 2n227	PIC0REG 2n226	0	0
R	R	R	R	R/W	R/W	R/W	R/W
23	22	21	20	19	18	17	16
PIC0REG 2n223	PIC0REG 2n222	0	0	PIC0REG 2n219	PIC0REG 2n218	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	PIC0REG 2n204	PIC0REG 2n203	PIC0REG 2n202	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



表 36-56 PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能									
27 26	PIC0REG2n227 PIC0REG2n226	TAUAnTTIN15 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n227</th> <th>PIC0REG2n226</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>PIC0REG2n204 ビットで選択した信号 (TAUAn の CH9 の TOUT)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n227	PIC0REG2n226	入力信号	1	0	PIC0REG2n204 ビットで選択した信号 (TAUAn の CH9 の TOUT)	上記以外		設定禁止
PIC0REG2n227	PIC0REG2n226	入力信号									
1	0	PIC0REG2n204 ビットで選択した信号 (TAUAn の CH9 の TOUT)									
上記以外		設定禁止									
23 22	PIC0REG2n223 PIC0REG2n222	TAUAnTTIN13 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n223</th> <th>PIC0REG2n222</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>PIC0REG2n203 ビットで選択した信号 (TAUAn の CH7 の TOUT)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n223	PIC0REG2n222	入力信号	1	0	PIC0REG2n203 ビットで選択した信号 (TAUAn の CH7 の TOUT)	上記以外		設定禁止
PIC0REG2n223	PIC0REG2n222	入力信号									
1	0	PIC0REG2n203 ビットで選択した信号 (TAUAn の CH7 の TOUT)									
上記以外		設定禁止									
19 18	PIC0REG2n219 PIC0REG2n218	TAUAnTTIN11 への入力信号を選択します。 <table border="1"> <thead> <tr> <th>PIC0REG2n219</th> <th>PIC0REG2n218</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>PIC0REG2n202 ビットで選択した信号 (TAUAn の CH5 の TOUT)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG2n219	PIC0REG2n218	入力信号	1	0	PIC0REG2n202 ビットで選択した信号 (TAUAn の CH5 の TOUT)	上記以外		設定禁止
PIC0REG2n219	PIC0REG2n218	入力信号									
1	0	PIC0REG2n202 ビットで選択した信号 (TAUAn の CH5 の TOUT)									
上記以外		設定禁止									
4	PIC0REG2n204	TAUAnTTIN15 へ供給する信号を選択します 0 : TAUAnTTOUT9 を選択 1 : 設定禁止									
3	PIC0REG2n203	TAUAnTTIN13 へ供給する信号を選択します 0 : TAUAnTTOUT7 を選択 1 : 設定禁止									
2	PIC0REG2n202	TAUAnTTIN11 へ供給する信号を選択します 0 : TAUAnTTOUT5 を選択 1 : 設定禁止									

**注意** PIC0REG2n2 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するPIC接続機能のビット定義を適用してください。

**(2) タイマ入出力制御レジスタ 2n3 (PIC0REG2n3)**

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** PIC0REG203 : FF81 C098<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0
R	R/W	R/W	R/W	R	R/W	R/W	R/W

**注意** PIC0REG2n3 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

## (3) TAUA 入力選択レジスタ (TISLTA0BYPS1)

TISLTA0BYPS1 レジスタは、TAUA0 の入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 100C<sub>H</sub>

初期値 00<sub>H</sub>

	7	6	5	4	3	2	1	0
TISLTA0B YPS17	0	TISLTA0B YPS15	0	TISLTA0B YPS13	0	0	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-57 TISLTA0BYPS1 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA0BYPS17	TAUA0TTIN15 への入力信号を選択します。(TISLTA07=0, TSOSLTA05=0 のとき有効) 1 : PIC0REG20204, PIC0REG20226, PIC0REG20227 で選択した信号を選択 (デッド・タイム付きディレイ・パルス出力機能を使用する) 0 : TAUA0I15 からの入力信号 (デッド・タイム付きディレイ・パルス出力機能を使用しない)
5	TISLTA0BYPS15	TAUA0TTIN13 への入力信号を選択します。(TISLTA06=0, TSOSLTA03=0 のとき有効) 1 : PIC0REG20203, PIC0REG20222, PIC0REG20223 で選択した信号を選択 (デッド・タイム付きディレイ・パルス出力機能を使用する) 0 : TAUA0I13 からの入力信号 (デッド・タイム付きディレイ・パルス出力機能を使用しない)
3	TISLTA0BYPS13	TAUA0TTIN11 への入力信号を選択します。(TISLTA05=0, TSOSLTA01=0 のとき有効) 1 : PIC0REG20202, PIC0REG20218, PIC0REG20219 で選択した信号を選択 (デッド・タイム付きディレイ・パルス出力機能を使用する) 0 : TAUA0I11 からの入力信号 (デッド・タイム付きディレイ・パルス出力機能を使用しない)

**(4) TAUA 入力選択レジスタ (TSOSLTA0)**

TSOSLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 2014<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	TSOSLTA 05	0	TSOSLTA 03	0	TSOSLTA 01	0
R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 36-58 TSOSLTA0 レジスタの内容

ビット位置	ビット名	機能
5	TSOSLTA05	TAUA0TTIN15 への入力信号を選択します。 0 : TISLTA0BYPS17 で選択した信号を選択 1 : 設定禁止
3	TSOSLTA03	TAUA0TTIN13 への入力信号を選択します。 0 : TISLTA0BYPS15 で選択した信号を選択 1 : 設定禁止
1	TSOSLTA01	TAUA0TTIN11 への入力信号を選択します。 0 : TISLTA0BYPS13 で選択した信号を選択 1 : 設定禁止

**(5) TAUA 入力選択レジスタ (TISLTA0)**

TISLTA0 レジスタは、TAUA0 の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 1000<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
TISLTA07	TISLTA06	TISLTA05	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-59 TISLTA0 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA07	TAUA0TTIN15 への入力信号を選択します。 0 : TSOSLTA05 で選択した信号を選択 1 : 設定禁止
6	TISLTA06	TAUA0TTIN13 への入力信号を選択します。 0 : TSOSLTA03 で選択した信号を選択 1 : 設定禁止
5	TISLTA05	TAUA0TTIN11 への入力信号を選択します。 0 : TSOSLTA01 で選択した信号を選択 1 : 設定禁止

**(6) Hi-Z 出力制御レジスタ n (PIC0HIZCENn)**

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

**アクセス** 8 ビット単位でリード/ライト可能です。

**アドレス** PIC0HIZCEN0 : FF81 C0B4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
0	PIC0HIZC ENn6	0	0	0	PIC0HIZC ENn2	PIC0HIZC ENn1	PIC0HIZC ENn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-60 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
2	PIC0HIZCENn2	WDTA0TNMI 割り込み信号による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
1	PIC0HIZCENn1	CLMA0, CLMA2, CLMA3 からのエラー信号 CLMATERR による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

## 36.9 CAN コントローラとタイマの接続 (CAN タイム・スタンプ機能)

### 36.9.1 機能概要

CAN コントローラとタイマ・アレイ・ユニットを組み合わせることでメッセージ受信に対してタイム・スタンプ機能を設定することができます。

この機能では、タイマ・アレイ・ユニットは CAN コントローラからデータ・フレームの受信時に出力される TSOUT 信号に応じて、タイマ値をキャプチャします。CPU はそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわち CAN バスから受信したメッセージのタイム・スタンプを得ることができます。

タイム・スタンプ機能を使用できる CAN コントローラのユニットは FCN0 と FCN1 であり、それぞれ TAU0 の CH0 と CH1 を組み合わせることができます。

さらに、PIC の機能により、それぞれ TAU0 の CH1 と CH3 を組み合わせることが可能となります。

この章では TAU0 によるタイム・スタンプ機能について説明します。TAU0 を用いる場合は、第 15 章「タイマ・アレイ・ユニット A (TAUA)」を参照してください。

### 36.9.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-61 CAN タイム・スタンプ機能の構成

CAN コントローラ	タイマ
FCN0	TAU0 CH1
FCN1	TAU0 CH3

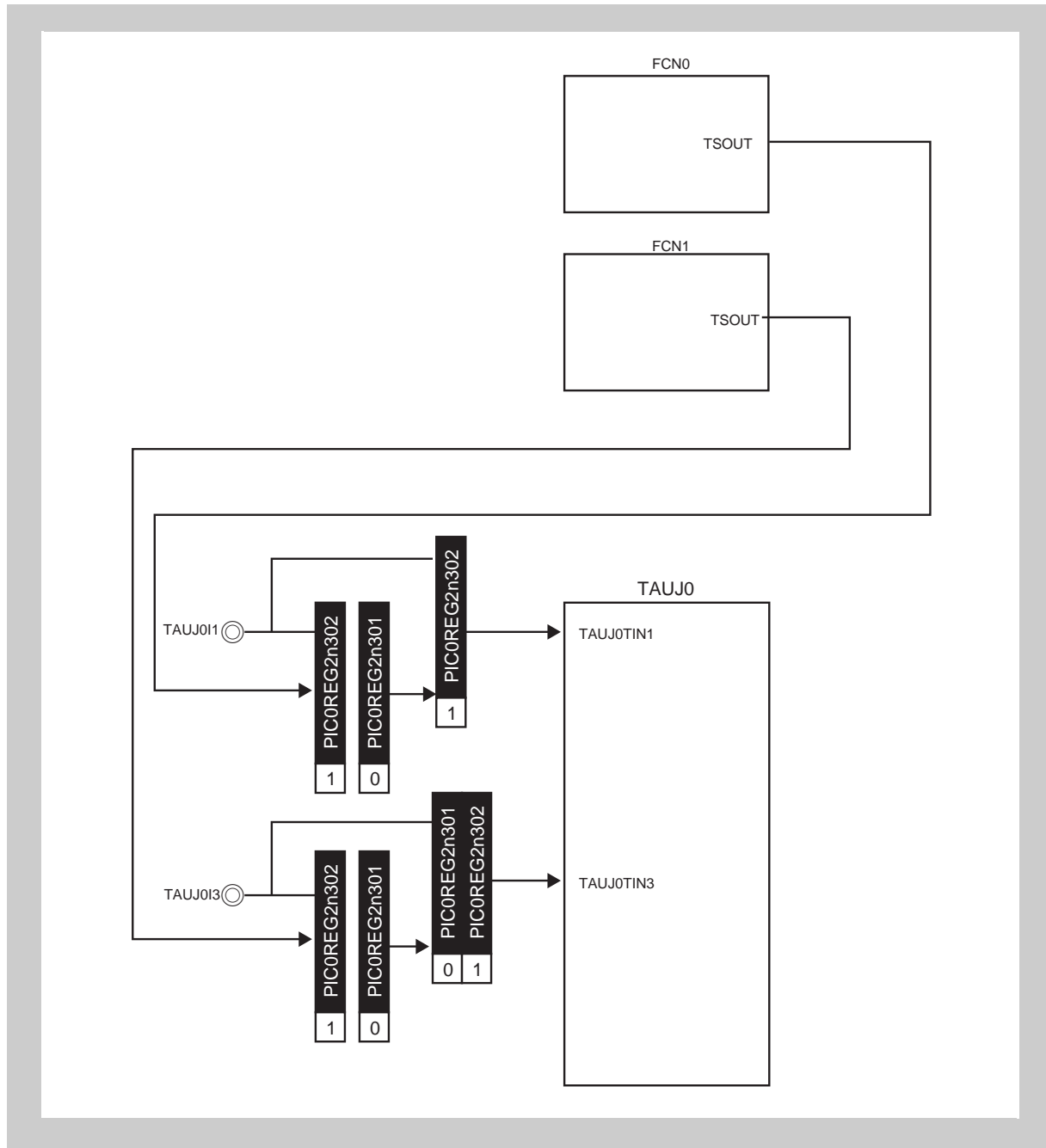


図 36-37 ブロック図



### 36.9.3 レジスタ

#### (1) タイマ入出力制御レジスタ 31 (PIC0REG31)

PIC0REG31 レジスタは、タイマ入力信号の選択を行うレジスタです。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FF81C0C0<sub>H</sub>

**初期値** 00000000<sub>H</sub> どのリセット要因でも初期化されます。

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	PIC0REG 3105	PIC0REG 3104	0	PIC0REG 3102	PIC0REG 3101	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-62 PIC0REG31 レジスタの内容

ビット位置	ビット名	意味												
5	PIC0REG3105, PIC0REG3104	TAUJ0 の CH3 の入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG3105</th> <th>PIC0REG3104</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJ0I3 入力</td> </tr> <tr> <td>1</td> <td>0</td> <td>FCN1 からの CAN タイム・スタンプ出力 (TSOUT 信号)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3105	PIC0REG3104	入力信号	0	0	TAUJ0I3 入力	1	0	FCN1 からの CAN タイム・スタンプ出力 (TSOUT 信号)	上記以外		設定禁止
		PIC0REG3105	PIC0REG3104	入力信号										
		0	0	TAUJ0I3 入力										
		1	0	FCN1 からの CAN タイム・スタンプ出力 (TSOUT 信号)										
上記以外		設定禁止												
2	PIC0REG3102, PIC0REG3101	TAUJ0 の CH1 の入力信号を選択します。												
		<table border="1"> <thead> <tr> <th>PIC0REG3102</th> <th>PIC0REG3101</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJ0I1 入力</td> </tr> <tr> <td>1</td> <td>0</td> <td>FCN0 からの CAN タイム・スタンプ出力 (TSOUT 信号)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PIC0REG3102	PIC0REG3101	入力信号	0	0	TAUJ0I1 入力	1	0	FCN0 からの CAN タイム・スタンプ出力 (TSOUT 信号)	上記以外		設定禁止
		PIC0REG3102	PIC0REG3101	入力信号										
		0	0	TAUJ0I1 入力										
		1	0	FCN0 からの CAN タイム・スタンプ出力 (TSOUT 信号)										
上記以外		設定禁止												

**注意** PIC0REG31 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

## (2) タイマ入力セレクション・レジスタ (TISLTJ)

TISLTJ レジスタは、TAUJ の入力信号を選択します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FF77 3000<sub>H</sub>

初期値 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	TISLTJ5	0	TISLTJ3	0	TISLTJ1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-63 TISLTJ レジスタの内容

ビット位置	ビット名	機能												
5 3	TISLTJ5 TISLTJ3	TAUJ0 の CH3 への入力信号 TAUJ0TTIN3 を選択します。 <table border="1"> <thead> <tr> <th>TISLTJ5</th> <th>TISLTJ3</th> <th>入力信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJ0I3 からの入力信号 (CAN タイム・スタンプ機能を使用しない)</td> </tr> <tr> <td>0</td> <td>1</td> <td>PIC0REG3105, PIC0REG3104 で選択した信号 (CAN タイム・スタンプ機能を使用する)</td> </tr> <tr> <td>1</td> <td>x</td> <td>RTCA0 から入力信号 RTCAT1HZ (CAN タイム・スタンプ機能を使用しない)</td> </tr> </tbody> </table>	TISLTJ5	TISLTJ3	入力信号	0	0	TAUJ0I3 からの入力信号 (CAN タイム・スタンプ機能を使用しない)	0	1	PIC0REG3105, PIC0REG3104 で選択した信号 (CAN タイム・スタンプ機能を使用する)	1	x	RTCA0 から入力信号 RTCAT1HZ (CAN タイム・スタンプ機能を使用しない)
TISLTJ5	TISLTJ3	入力信号												
0	0	TAUJ0I3 からの入力信号 (CAN タイム・スタンプ機能を使用しない)												
0	1	PIC0REG3105, PIC0REG3104 で選択した信号 (CAN タイム・スタンプ機能を使用する)												
1	x	RTCA0 から入力信号 RTCAT1HZ (CAN タイム・スタンプ機能を使用しない)												
1	TISLTJ1	TAUJ0 の CH1 への入力信号 TAUJ0TTIN1 を選択します。 0 : TAUJ0I1 からの入力信号 (CAN タイム・スタンプ機能を使用しない) 1 : PIC0REG3102, PIC0REG3101 で選択した信号 (CAN タイム・スタンプ機能を使用する)												

## 36.10 A/D コンバータとタイマの接続（A/D コンバータ・トリガ選択機能）

### 36.10.1 機能概要

A/D コンバータは3つのチャンネル・グループを持ち、それぞれのチャンネル・グループに対応したA/D コンバータ・ハードウェア・トリガを持っています。

ADCA0TSELi レジスタの設定により、タイマなど周辺機能から出力される内部トリガ信号および端子からの外部トリガ信号を各チャンネル・グループのA/D コンバータ・ハードウェア・トリガ信号として入力できます。ADCAの章を参照してください。

PIC は上記の内部トリガ信号の内、TAUA0, TAUB1 の各チャンネルが出力する割り込み信号 (INTTAUA0Im,

INTTAUB1Im) について、ADCA0 のハードウェア・トリガ信号として使用する信号の選択機能を提供します。

---

**注意** TAUAnCMORm.TAUAnMD0 に 0( カウント開始時 INTTAUAnIm は発生しない) を選択した場合, ADCA0 のハードウェア・トリガ信号は TAUAnMD0 が 1( カウント開始時 INTTAUAnIm は発生) と同じ動作になります。また, TAUBn についても同じ動作になります。

---

### 36.10.2 構成

本機能のユニット、チャンネル構成を下記に示します。

表 36-64 A/D コンバータ・トリガ選択機能の構成

A/D コンバータ	タイマ
ADCA0	TAUA0 CH0 ~ CH15 TAUB1 CH0 ~ CH15 (上記から A/D コンバータのトリガとして使用するタイマ, チャンネルを選択する)

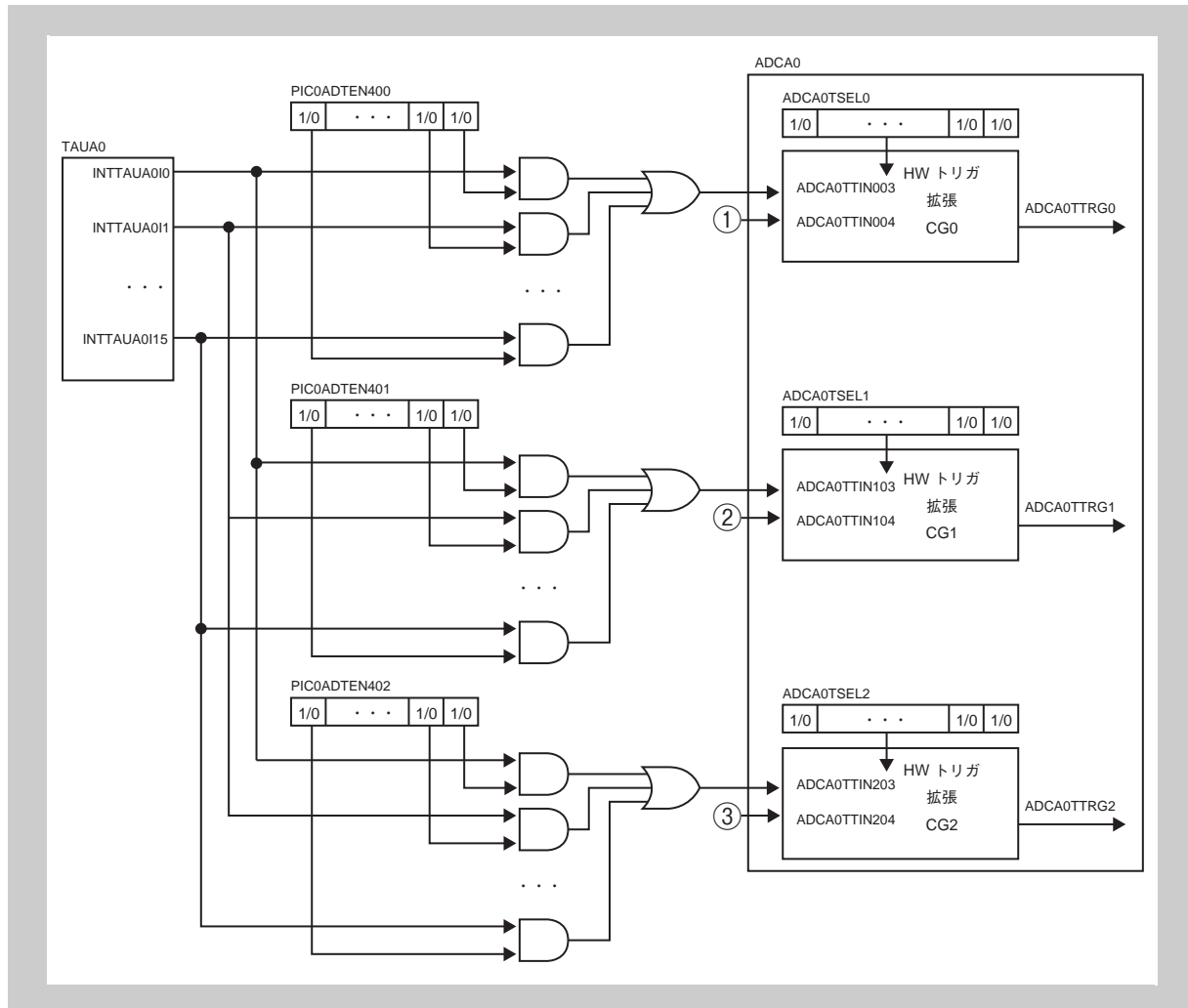


図 36-38 ブロック図

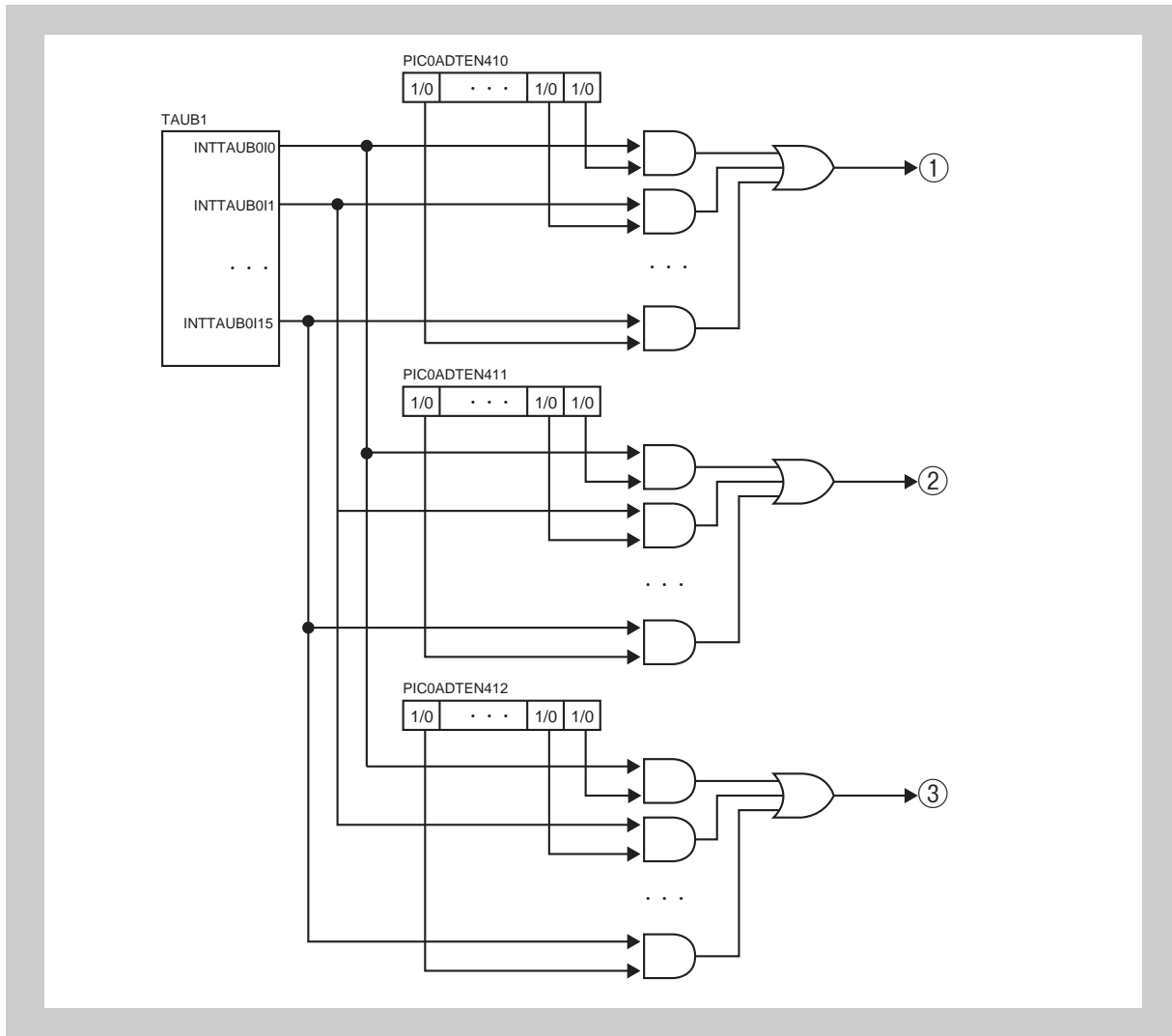


図 36-39 ブロック図

### 36.10.3 動作例

#### (1) 初期設定

TAUA0, TAUB1 など ADCA0 のトリガとして使用する周辺機能を設定します (各周辺機能の初期設定詳細については、それぞれの章を参照してください)。

#### (2) A/D コンバータ・トリガ出力制御レジスタ 40i, 41i (PIC0ADTEN40i, PIC0ADTEN41i) 設定

TAUA0 のチャンネル m からの割り込み信号を ADCA0 のチャンネル・グループ CGi (i=0-2) のトリガとして選択可能とするには、A/D コンバータ・トリガ出力制御レジスタ 40i (PIC0ADTEN40i) のビット m を 1 にしてください。TAUB1 のチャンネル m からの割り込み信号を選択可能とするには、A/D コンバータ・トリガ出力制御レジスタ 41i (PIC0ADTEN41i) のビット m を 1 にしてください。

**備考** レジスタ設定操作は、A/D コンバータ停止時 (ADCA0CTL0.ADCA0CE=0) に行ってください。

#### (3) A/D コンバータ・トリガ選択制御レジスタ i (ADCA0TSELi) 設定

各トリガに対応するビットを 1 にすることで A/D コンバータのチャンネル・グループ CGi のトリガにできます

(設定詳細については、第 35 章「A/D コンバータ (ADCA)」を参照してください)。

**備考** レジスタ設定操作は、A/D コンバータ停止時 (ADCA0CTL0.ADCA0CE=0) に行ってください。

#### (4) 各周辺機能の動作許可

(1) で設定した周辺機能がスタートします。

### 36.10.4 設定フロー

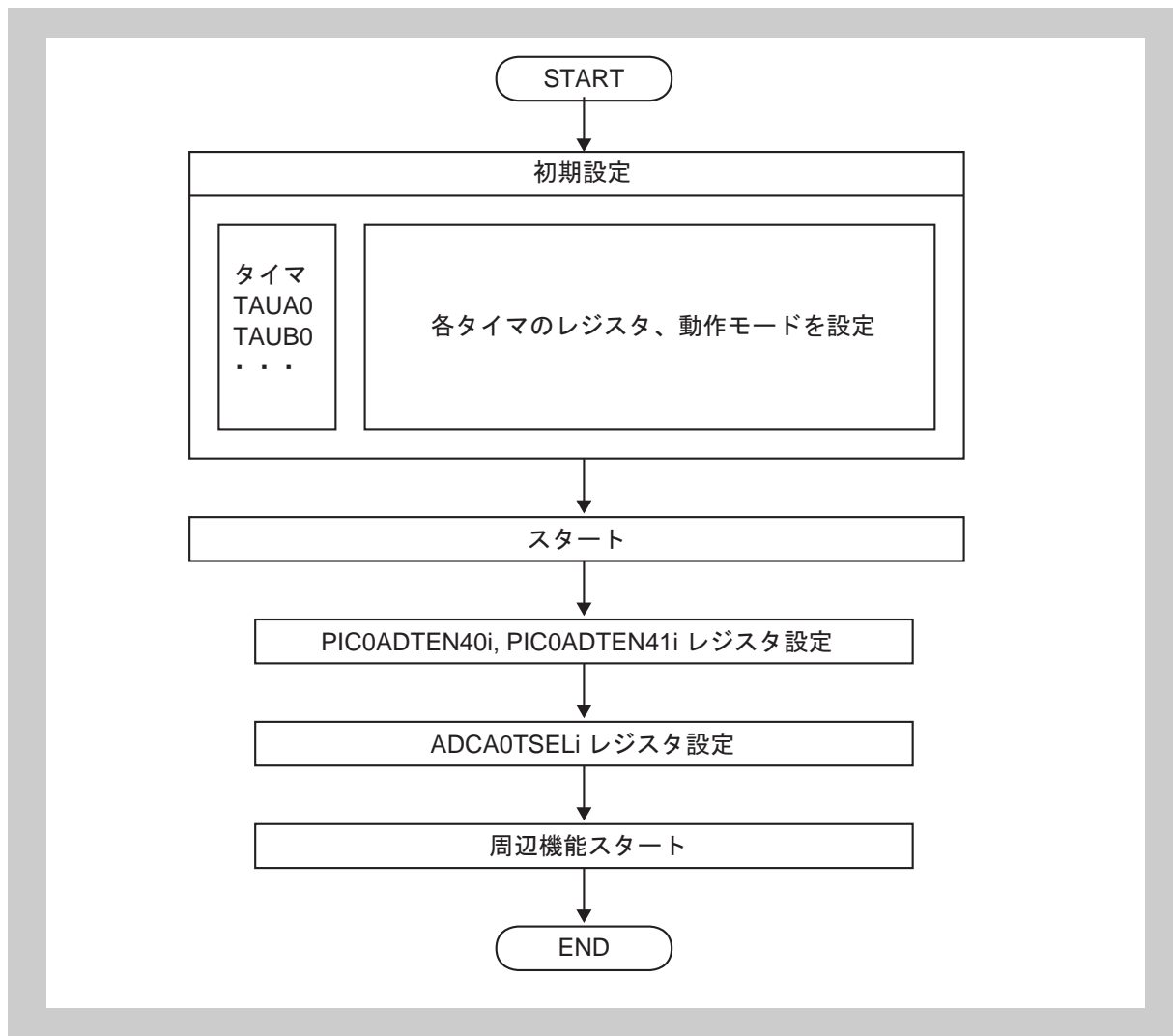


図 36-40 設定フロー (i=0-2)

### 36.10.5 動作機能の設定例

36.10.6 「レジスタ」を参照してください。



### 36.10.6 レジスタ

#### (1) A/D コンバータ・トリガ出力制御レジスタ 40i (PIC0ADTEN40i)

PIC0ADTEN40i レジスタは ADCA0 のチャネル・グループ CGi (i = 0-2) に対し、TAUA0 からのトリガソース選択許可を行うレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** PIC0ADTEN400 : FF81 C0C4<sub>H</sub>

PIC0ADTEN401 : FF81 C0C8<sub>H</sub>

PIC0ADTEN402 : FF81 C0CC<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
PIC0 ADTEN 40i15	PIC0 ADTEN 40i14	PIC0 ADTEN 40i13	PIC0 ADTEN 40i12	PIC0 ADTEN 40i11	PIC0 ADTEN 40i10	PIC0 ADTEN 40i09	PIC0 ADTEN 40i08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0 ADTEN 40i07	PIC0 ADTEN 40i06	PIC0 ADTEN 40i05	PIC0 ADTEN 40i04	PIC0 ADTEN 40i03	PIC0 ADTEN 40i02	PIC0 ADTEN 40i01	PIC0 ADTEN 40i00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-65 PIC0ADTEN40im レジスタの内容

ビット位置	ビット名	機能
m	PIC0ADTEN40im	ADCA0 の CGi に対し、TAUA0 からのトリガソースを設定する。 0 : INTTAUA0Im 割り込み信号をハードウェア・トリガとして選択可能にしない 1 : INTTAUA0Im 割り込み信号をハードウェア・トリガとして選択可能にする

## (2) A/D コンバータ・トリガ出力制御レジスタ 41i (PIC0ADTEN41i)

PIC0ADTEN41i レジスタは ADCA0 のチャネル・グループ CGi (i = 0-2) に対し、TAUB1 からのトリガソース選択許可を行うレジスタです。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** PIC0ADTEN410 : FF81 C0D0<sub>H</sub>

PIC0ADTEN411 : FF81 C0D4<sub>H</sub>

PIC0ADTEN412 : FF81 C0D8<sub>H</sub>

**初期値** 0000<sub>H</sub>

15	14	13	12	11	10	9	8
PIC0 ADTEN 41i15	PIC0 ADTEN 41i14	PIC0 ADTEN 41i13	PIC0 ADTEN 41i12	PIC0 ADTEN 41i11	PIC0 ADTEN 41i10	PIC0 ADTEN 41i09	PIC0 ADTEN 41i08
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
PIC0 ADTEN 41i07	PIC0 ADTEN 41i06	PIC0 ADTEN 41i05	PIC0 ADTEN 41i04	PIC0 ADTEN 41i03	PIC0 ADTEN 41i02	PIC0 ADTEN 41i01	PIC0 ADTEN 41i00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-66 PIC0ADTEN41im レジスタの内容

ビット位置	ビット名	機能
m	PIC0ADTEN41im	ADCA0 の CGi に対し、TAUB1 からのトリガソースを設定する。 0 : INTTAUB1m 割り込み信号をハードウェア・トリガとして選択可能にしない 1 : INTTAUB1m 割り込み信号をハードウェア・トリガとして選択可能にする

## 36.11 A/Dコンバータとタイマの接続 (A/Dトリガ・エンコーダ・キャプチャ機能)

### 36.11.1 機能概要

A/Dコンバータ・トリガ信号を ENCA のキャプチャ信号として使用することにより A/D 変換に同期したエンコーダカウント値を取得することが可能です。

### 36.11.2 構成

本機能のユニット構成を下記に示します。

表 36-67 A/Dトリガ・エンコーダ・キャプチャ機能の構成

A/Dコンバータ	エンコーダ・タイマ
ADCA0, ADCA1 (上記 A/D コンバータのトリガ信号からカウント対象を選択する)	ENCA0

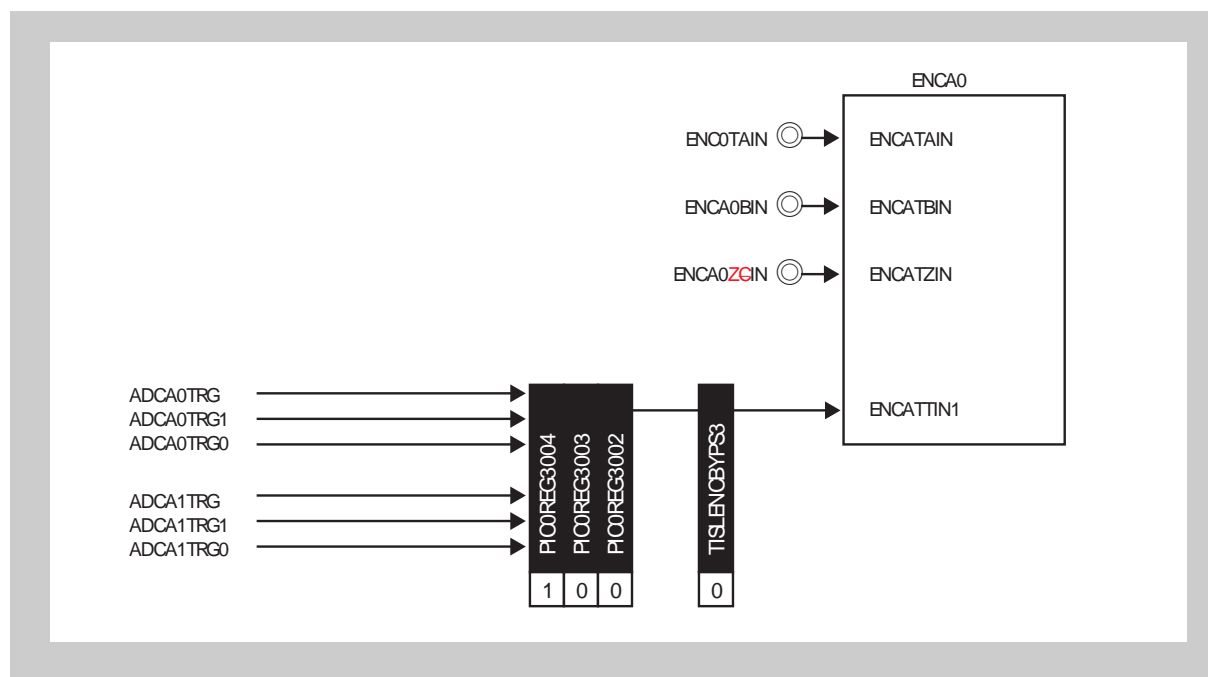


図 36-41 ブロック図

### 36.11.3 動作例

ADCA0 または ADCA1 のハードウェア・トリガ入力 ADCAnTRGi (n=0-1, i=0-2) を ENCA0 に接続する事で実現します。

PIC は、上記ハードウェア・トリガを ENCA0 のキャプチャ・トリガ入力へ接続する経路を提供します。

---

**注意** 本機能を使用する場合は、ENCA0 の割り込み信号 INTENCA0I1 を A/D コンバータ・トリガとして選択しないでください。選択した場合、「ADCAnTRG1 発生→ENCA0 キャプチャ動作→キャプチャ実行による INTENCA0I1 発生→ADCAnTRG1 発生」のループが成立してしまい正常動作できなくなります。

---

次に ADCA0TRG1 をトリガとした A/D トリガ・エンコーダ・キャプチャ機能のタイミング図を示します。

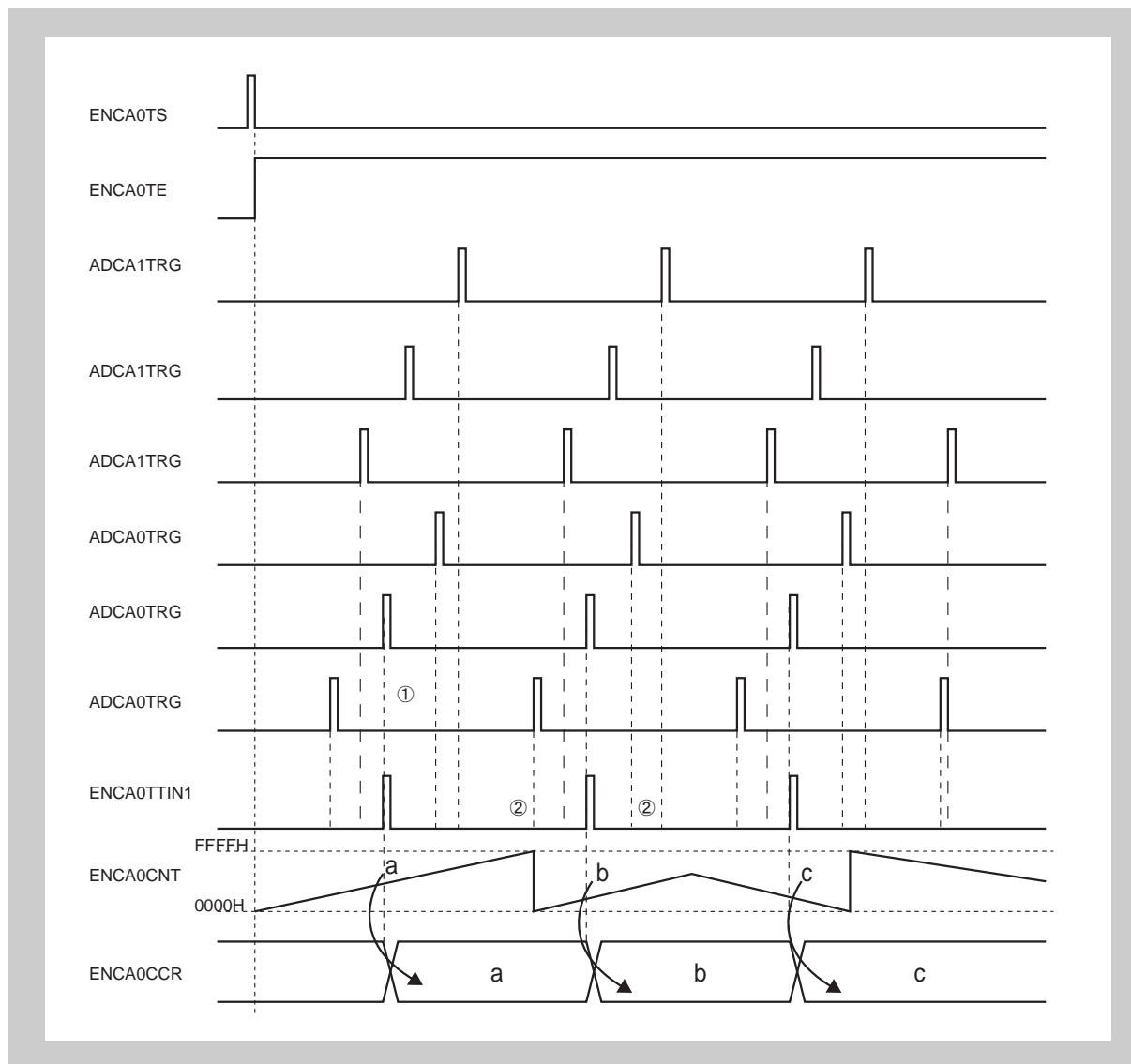


図 36-42 A/D トリガ・エンコーダ・キャプチャ機能の動作例

- ① ENCA0 のキャプチャ・トリガ 1 信号 ENCA0TTIN1 として ADCA0TRG1 を選択した場合、有効となる ADCA0TRG1 を ENCA0TTIN1 信号として ENCA0 に入力するため、ENCA0 のキャプチャが発生します。
- ② ADCA0TRG1 以外のハードウェア・トリガ信号 (ADCA0TRG0, ADCA0TRG2, ADCA1TRG0 ~ ADCA1TRG2) の発生では、ENCA0TTIN1 信号が発生しないため、ENCA0 のキャプチャ動作は実行されません。

## 36.11.4 設定フロー

本節に示す設定フローは、エンコーダ・タイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定フローを記載しています。「注」と記載のあるレジスタについてはキャプチャ動作を実行するハードウェア・トリガによって適宜設定を変更してください。

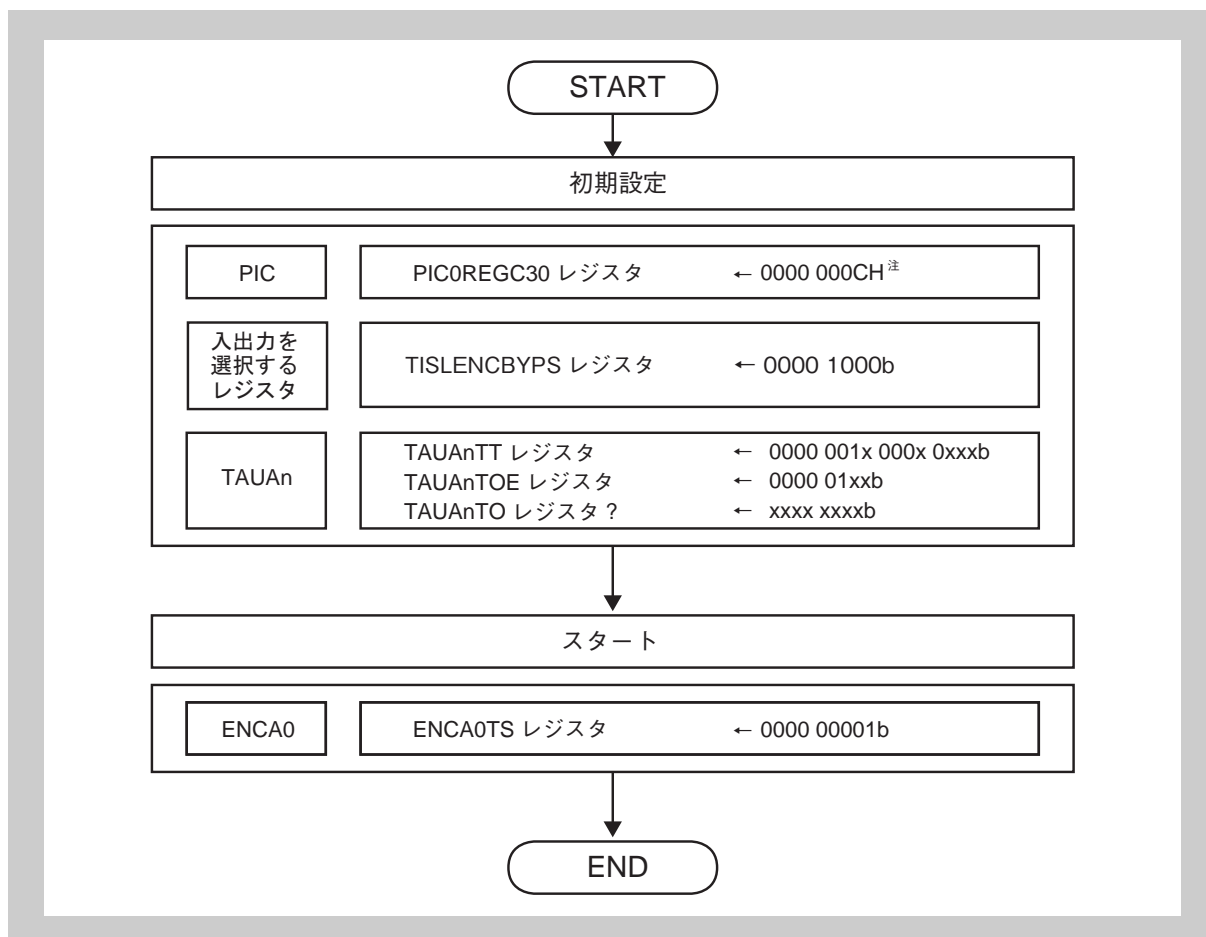


図 36-43 設定フロー

## 36.11.5 動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定値は、エンコーダ・タイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定値を記載しています。キャプチャ動作を実行するハードウェア・トリガによって適宜設定を変更してください。

表 36-68 ENCA<sub>n</sub> 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCA <sub>n</sub> CTL	15	ENCA <sub>n</sub> CME	0	(ENCA <sub>n</sub> CRM1 = 0 のときにのみ有効)
	14	ENCA <sub>n</sub> MCS	0	(ENCA <sub>n</sub> CRM1 = 0 のときにのみ有効)
	13-10		0	0 固定
	9	ENCA <sub>n</sub> CRM1	1	ENCA <sub>n</sub> CCR1 レジスタをキャプチャ用に設定
	8	ENCA <sub>n</sub> CRM0	任意	ENCA <sub>n</sub> CCR0 レジスタの用途を選択
	7	ENCA <sub>n</sub> CTS	0	ENCATTIN1 をキャプチャ・トリガとして選択。
	6-5		0	0 固定
	4	ENCA <sub>n</sub> LDE	任意	ENCA <sub>n</sub> CCR0 レジスタのアンダフロー発生時のリロード許可/禁止を選択
	3	ENCA <sub>n</sub> ECM1	0	(ENCA <sub>n</sub> CRM1 = 0 のときにのみ有効)
	2	ENCA <sub>n</sub> ECM0	任意	ENCA <sub>n</sub> CCR0 レジスタのコンペアー一致時のカウンタクリアの許可/禁止を選択
	1, 0	ENCA <sub>n</sub> UDS[1:0]	任意	ENCATAIN と ENCATBIN によるカウンタアップ/ダウン制御を選択
ENCA <sub>n</sub> IOC0	7-4		0	0 固定
	3, 2	ENCA <sub>n</sub> TIS[3:2]	0 <sup>a</sup> 1 <sup>a</sup>	キャプチャ・トリガ 1 (ENCATTIN1) の有効エッジを立ち上がりエッジ検出に選択
	1, 0	ENCA <sub>n</sub> TIS[1:0]	任意	キャプチャ・トリガ 0 (ENCATTIN0) の有効エッジを選択
ENCA <sub>n</sub> IOC1	7	ENCA <sub>n</sub> SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA <sub>n</sub> ZCL	任意	エンコーダ特殊クリアの Z 相のクリア条件 (入力レベル) を選択
	5	ENCA <sub>n</sub> BCL	任意	エンコーダ特殊クリアの B 相のクリア条件 (入力レベル) を選択
	4	ENCA <sub>n</sub> ACL	任意	エンコーダ特殊クリアの A 相のクリア条件 (入力レベル) を選択
	3, 2	ENCA <sub>n</sub> ECS[1:0]	任意	エンコーダ・クリア入力 (Z 相) エッジを選択
	1, 0	ENCA <sub>n</sub> EIS[1:0]	任意	エンコーダ入力 (A,B 相) エッジを選択

a) キャプチャ動作を実行するハードウェア・トリガによって適宜設定を変更してください。

**備考** ENCA0CTL の ENCA0CRM1=1 (ENCA0CCR1 レジスタの用途), ENCA0CTS=0 (ENCA0CCR1 レジスタへのキャプチャ・トリガ要因) のみ固定値となります。その他は任意設定可能です。

表 36-69 PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG30	4, 3, 2	PIC0REG3004 PIC0REG3003 PIC0REG3002	0 <sup>a</sup> 1 <sup>a</sup> 1 <sup>a</sup>	ENCA0 の ENCATTIN1 入力信号とし ADCA0TRG1 を選択

a) キャプチャ動作を実行するエンコーダ・タイマによって適宜設定を変更してください。



## 36.11.6 レジスタ

## (1) タイマ入出力制御レジスタ 30 (PIC0REG30)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FF81 C0BC<sub>H</sub>

初期値 0000 0000

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
R	R	R	R	R	R/W	R/W	R/W
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
0	0	0	PIC0REG 3004	PIC0REG 3003	PIC0REG 3002	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36-70 PIC0REG30 レジスタの内容

ビット位置	ビット名	機能			
4 3 2	PIC0REG3004 PIC0REG3003 PIC0REG3002	ENCA0 の ENCATTIN1 への入力信号を選択します。			
		PIC0REG 3004	PIC0REG 3003	PIC0REG 3002	入力信号
		0	0	0	ENCA0 で A/D トリガ信号によるキャプチャ動作を行わない場合
		0	1	0	ADCA1TRG2
		0	1	1	ADCA1TRG1
		1	0	0	ADCA1TRG0
		1	0	1	ADCA0TRG2
		1	1	0	ADCA0TRG1
		1	1	1	ADCA0TRG0
		上記以外			設定禁止

備考 PIC0REG30 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当する PIC 接続機能のビット定義を適用してください。

**(2) ENCA 入力選択レジスタ (TISLENCBYP3)**

TISLENCBYP3 レジスタは、ENCA の入力信号を選択します。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF77 1018<sub>H</sub>

**初期値** 00<sub>H</sub>

7	6	5	4	3	2	1	0
0	0	0	0	TISLENC BYP3	0	0	0
R	R	R	R	R/W	R/W	R/W	R/W

表 36-71 TISLENCBYP3 レジスタの内容

ビット位置	ビット名	機能
3	TISLENCBYP3	ENCA0 の ENCATTIN1 への入力信号を選択します。 1 : PIC0REG3004,PIC0REG3003,PIC0REG3002 で選択した信号を選択 (A/D トリガ・エンコーダ・キャプチャ機能を使用する) 0 : 設定禁止 (A/D トリガ・エンコーダ・キャプチャ機能を使用しない)

## 第 37 章 電圧コンパレータ (VCPC)

この章では、電圧コンパレータ (VCPC) の一般的な内容について説明します。

最初の節でユニット数、レジスタのベース・アドレス、入出力信号名など、V850E2/Fx4-Hに固有の特徴について説明します。以降の節で、電圧コンパレータ搭載製品に共通の特徴について説明します。

### 37.1 V850E2/Fx4-H の VCPC の特長

**ユニット** 本マイクロコントローラは電圧コンパレータを 1 ユニット搭載しています。

表 37-1 VCPC ユニット

電圧コンパレータ	
ユニット数	1
名称	VCPC0

**n の意味** この章では、電圧コンパレータの各ユニットを「n」で識別します (n = 0)。たとえば、VCPCn 制御レジスタ 0 (VCPCnCTL0) のように記述していません。

**m の意味** 各電圧コンパレータは 1 本または 2 本のチャネルを持ちます。この章では、電圧コンパレータの各チャネルを「m」で識別します (m = 0, 1)。

**レジスタ・アドレス** VCPC レジスタのアドレスは、それぞれのベース・アドレス <VCPCn\_base> からのオフセットで示します。各 VCPCn のレジスタ・ベース・アドレス <VCPCn\_base> を次の表に示します。

表 37-2 レジスタ・ベース・アドレス <VCPCn\_base>

VCPCn	<VCPCn_base> アドレス
VCPC0	FF81 8000 <sub>H</sub>

**クロック供給** 電圧コンパレータには次の 1 つのクロック入力があります。

表 37-3 VCPCn クロック供給

VCPCn	クロック	接続先
VCPCn	PCLK	クロック・コントローラの CKSCLK_A02

**割り込み** 電圧コンパレータは次の割り込み要求を生成します。

表 37-4 VCPC の割り込み要求

VCPCn 信号	機能	接続先
INTVCMP0	割り込み要求 VCPC0	割り込みコントローラ INTVCPC0
INTVCMP1	割り込み要求 VCPC1	割り込みコントローラ INTVCPC1

**入出力信号** 電圧コンパレータの入出力信号を次の表に示します。

表 37-5 VCPCn 入出力信号

VCPCn 信号	機能	接続先
VCMPIN0	コンペア電圧入力 VCPC0	VCPC0IN
VCMPIN1	コンペア電圧入力 VCPC1	VCPC1IN
VCMPO0	コンペア出力信号 VCPC0	VCPC0OUT
VCMPO1	コンペア出力信号 VCPC1	VCPC1OUT

## 37.2 概説

電圧コンパレータは2本のチャネル  $m$  ( $m = 0, 1$ ) で構成しています。

各チャネルは, VCMPIN $n$  端子の外部電圧  $V_{CMP}$  と内部基準電圧  $V_{LVIm}$  を比較し,  $V_{CMP}$  が  $V_{LVIm}$  を下回った場合に割り込みを発生します。

この比較機能は, 主に外部電源の電圧降下を検知するために使用することができます。

**機能概要** 電源コンパレータの特長を次に示します。

- 外部電圧を2つの内部基準電圧と比較することによってヒステリシス切り替えを実現
- スタンバイ電流を最小限にするスタンバイ機能
- CPU への状態情報の通知
  - 比較結果は CPU によって読み出し可能
  - 外部比較電圧の有効エッジ (立ち上がり, 立ち下り, または両エッジ) で割り込み要求 INTVCMP $n$  を発生

**備考** 電圧レベルの詳細については, 「電气的特性 (ターゲット)」を参照してください。

### 37.2.1 機能説明

各電圧コンパレータ・チャンネル  $m$  は、オペアンプと論理ブロックで構成しています。オペアンプは外部電圧 ( $V_{CMP}$ ) 入力端子に接続しています。

**ヒステリシス** 2つの基準電圧は、 $V_{LV10} > V_{LV11}$  です。これにより、ヒステリシスを持ちます。

**割り込み** 論理ブロックは割り込み INTVCMPn を発生しチャンネル状態フラグ VCPCnSTRm.VCPCnSFm をセットまたはクリアします。

**VCPC の出力** チャンネル比較結果出力 VCPCOUTm によって、電圧コンパレータの出力信号 VCMPOn を次のように制御します。

- チャンネル 0 出力 VCPCOUT0 : 出力信号 VCMPOn をハイ・レベルに設定
- チャンネル 1 出力 VCPCOUT1 : 出力信号 VCMPOn をロウ・レベルに設定

電圧コンパレータのブロック図を次に示します。

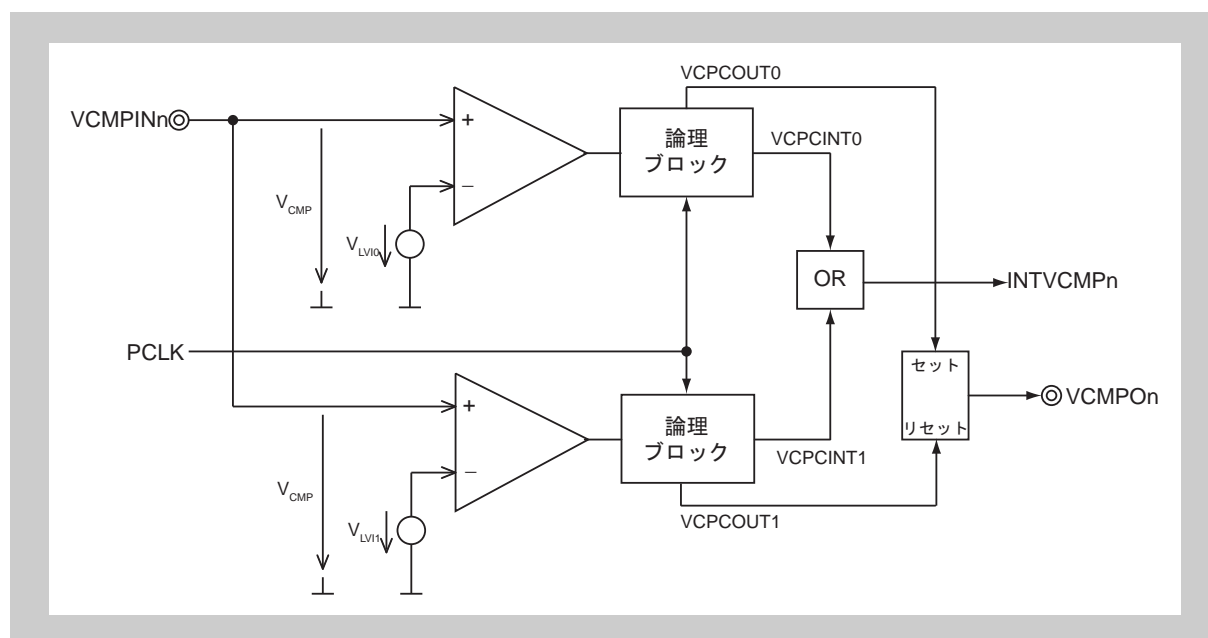


図 37-1 電圧コンパレータのブロック図

### 37.2.2 比較結果

電圧比較結果に応じて次のような動作をします。

- 出力信号 VCMPOn と VCPCnSTRm.VCPCnSFm フラグ
  - $V_{CMP} < V_{LVI1}$  の場合：  
出力信号 VCMPOn はロウ・レベルになり、チャンネル 1 フラグ VCPCnSTR1.VCPCnSF1 をクリアします。
  - $V_{CMP} > V_{LVI0}$  の場合：  
出力信号 VCMPOn はハイ・レベルになり、チャンネル 0 フラグ VCPCnSTR0.VCPCnSF0 をセットします。
- 割り込み信号 INTVCMPn  
 $V_{CMP}$  の電位が変化して上記のいずれかの状態になった場合、VCMPnCTLm.VCPCnESm[1:0] ビットの設定に応じてチャンネル割り込み信号 VCPCINTm を発生し、さらに電圧コンパレータ割り込み INTVCMPn を発生します。

### 37.2.3 スタンバイ・モード

スタンバイ・モード時の消費電力を抑えるために、VCPCnCTLm.VCPCnOEm を 0 に設定することによって電圧コンパレータ・チャンネル m を個別にスタンバイ・モードに設定することができます。

電圧コンパレータ・チャンネル m をスタンバイ・モードに設定した場合、 $V_{CMP} > V_{LVI m}$  (VCPCnSTRm.VCPCnSFm = 0 かつ VCMPOn = ロウ・レベル) とみなします。

### 37.2.4 タイミング

電圧コンパレータのタイミングを次の図に示します。

この例では、次の設定を想定しています。

- 入力電圧  $V_{CMPINn}$  の両エッジで割り込み  $INTVCMPn$  が発生 ( $VCPCnCTLm.VCPCnESm[1:0] = 11_B$ )

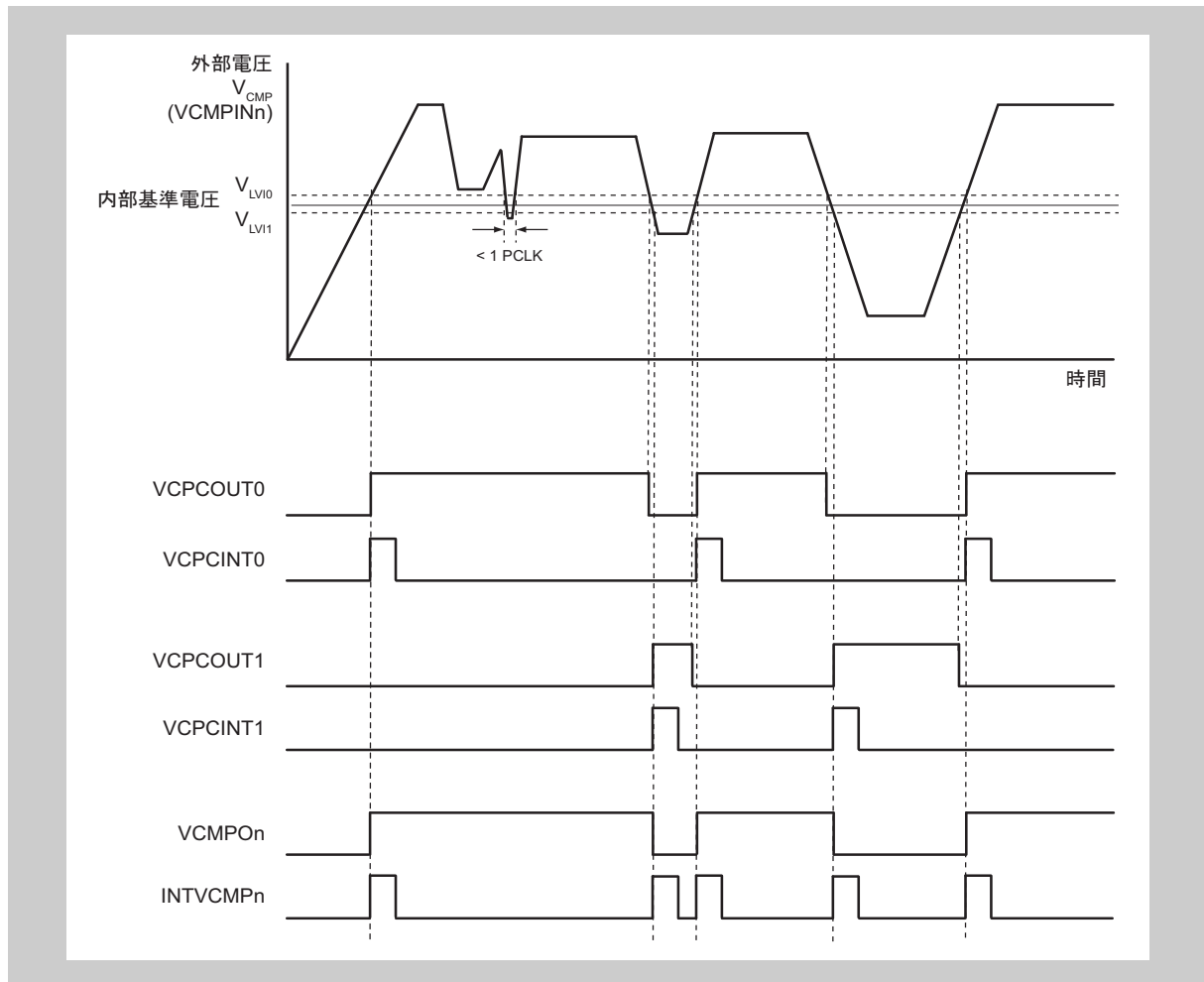


図 37-2 電圧コンパレータのタイミング

**遅延時間** 次の遅延時間（上の図では省略）を考慮してください。

- $V_{CMP}$  が  $V_{LVIm}$  レベルと交差してから  $VCMPOn$  が変化するまで
- $VCPCOUTm$  が変化してから  $VCPCnSTRm.VCPCnSFm$  が変化するまで
- $VCMPOn$  が変化してから割り込み  $INTVCMPn$  が発生するまで

遅延時間の詳細については、「電気的特性（ターゲット）」を参照してください。

**注意**  $V_{CMP}$  パルスが  $V_{LVIm}$  を下回っている時間が 1 PCLK よりも短い場合、 $VCMPOn$  は変化せず  $INTVCMPn$  も発生しません。



### 37.3 電圧コンパレータ・レジスタ

電圧コンパレータは、次のレジスタで制御します。

表 37-6 電圧コンパレータ・レジスタの一覧

レジスタ名	略号	アドレス
制御レジスタ 0	VCPCnCTL0	<VCPCn_base>
制御レジスタ 1	VCPCnCTL1	<VCPCn_base> + 4 <sub>H</sub>
状態レジスタ 0	VCPCnSTR0	<VCPCn_base> + 8 <sub>H</sub>
状態レジスタ 1	VCPCnSTR1	<VCPCn_base> + C <sub>H</sub>

<VCPCn\_base> VCPCn のベース・アドレス <VCPCn\_base> は、この章の最初の節内「レジスタ・アドレス」で定義しています。

## (1) VCPCnCTLm - 電圧コンパレータ制御レジスタ

VCPCnCTLm レジスタは、電圧コンパレータ・チャンネル m の有効/無効設定、および、有効エッジの選択を行います。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** VCPCnCTL0 : VCPCn\_base<  
VCPCnCTL1 : VCPCn\_base> + 4<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化します。

	7	6	5	4	3	2	1	0
VCPCn OEm	0	0	0	0	0	0	VCPCn ESm[1:0]	
	R/W	R	R	R	R	R	R/W	R/W

表 37-7 VCPCnCTLm レジスタの内容

ビット位置	ビット名	機能															
7	VCPCn OEm	電圧コンパレータ・チャンネル m を有効/無効にします。 0: スタンバイ・モード (VCPCnSTRm.VCPCnSFm = 0, VCPCnOUTm = ロウ・レベル) 1: 動作															
1, 0	VCPCn ESm[1:0]	VCPCnINTm の有効エッジを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>VCPCnESm1</th> <th>VCPCnESm0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>予約</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ</td> </tr> </tbody> </table>	VCPCnESm1	VCPCnESm0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	予約	1	1	両エッジ
VCPCnESm1	VCPCnESm0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	予約															
1	1	両エッジ															

**注意** 電圧コンパレータ・チャンネル m が有効時 (VCPCnCTLm.VCPCnOEm = 1) は、VCPCnCTLm.VCPCnESm[1:0] で有効エッジを変更しないでください。

## (2) VCPCnSTRm - 電圧コンパレータ状態レジスタ

VCPCnSTRm レジスタは、チャンネル m の電圧比較結果を示します。

**アクセス** 8/1 ビット単位でリードのみ可能です。

**アドレス** VCPCnSTR0 : VCPCn\_base> + 8<sub>H</sub>  
VCPCnSTR1 : VCPCn\_base> + C<sub>H</sub>

**初期値** 00<sub>H</sub> どのリセット要因でも初期化します。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	VCPCn SFm
R	R	R	R	R	R	R	R

表 37-8 VCPCnSTRm レジスタの内容

ビット位置	ビット名	機能
0	VCPCnSFm	電圧コンパレータ状態フラグ 0 : 入力電圧が基準電圧未満 1 : 入力電圧が基準電圧を超えている 電圧コンパレータ・チャンネル m がスタンバイ・モード (VCPCnCTLm.VCPCnOEm = 0) の場合、VCPCnSFm ビットは 0 になります。

## 第 38 章 オンチップ・デバッグ・ユニット (OCD)

このマイクロコントローラには、オンチップ・デバッグ機能があります。オンチップ・デバッグ・エミュレータの使用により、ターゲット・システムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、IEEE-ISTO 5001<sup>TM</sup>-2003 クラス 1, Nexus デバッグ・インタフェース標準に準拠しています。

---

**注意** この章で説明するデバッグ機能を使用するかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズ・マニュアルを参照してください。

---

## 38.1 V850E2/Fx4-H オンチップ・デバッグ機能

### 38.1.1 エミュレーション・ブレークのマジュールの動作

エミュレーション・ブレーク時にデバッガがマイクロコントローラの動作を停止した場合のマジュールの動作は次のようになります。

- 必ず停止する（無条件のエミュレーション・ブレーク）
- オプションで停止できる（エミュレーション・ブレーク機能）
- 動作を継続する

**エミュレーション・ブレーク** エミュレーション・ブレークは、デバッグ・セッション中に以下を参照します。

- ブレークポイントのヒット
- 手動ブレーク

#### (1) 無条件のエミュレーション・ブレークのマジュール

エミュレーション・ブレーク時に必ず停止するすべてのマジュールを次に示します。

表 38-1 無条件のエミュレーション・ブレークのマジュール

マジュール
ウインドウ・ウォッチドッグ・タイマ A (WDTAn)

## (2) エミュレーション・ブレーク時に動作の停止 / 継続を選択するモジュール

エミュレーション・ブレーク時にソフトウェアによるモジュールの停止 / 継続を制御ビットで選択できるモジュールを次に示します。

**備考** いずれかのモジュールが停止した場合、各モジュールのエミュレーション・ブレーク機能は有効となります (EPC.SVSTOP = 1)。

表 38-2 エミュレーション・ブレーク時に動作の停止 / 継続を選択するモジュール

モジュール	制御ビット
OS Timer (OSTM)	OSTMnEMU.OSTMnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Timer Array Unit A (TAUA)	TAUAnEMU.TAUAnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Timer Array Unit B (TAUB)	TAUBnEMU.TAUBnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Timer Array Unit C (TAUC)	TAUCnEMU.TAUCnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Timer Array Unit J (TAUJ)	TAUJnEMU.TAUJnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Real-Time Clock (RTCA)	RTCAnEMU.RTCAnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Clocked Serial Interface G (CSIG)	CSIGnEMU.CSIGnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Clocked Serial Interface G (CSIH)	CSIHnEMU.CSIHnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Asynchronous Serial Interface E (URTE)	URTEnEMU.URTEnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
I <sup>2</sup> C Interface (IICB)	IICBnEMU.IICBnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Timer Motor Control Function (TAPA)	TAPAnEMU.TAPAnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
Encoder Timer (ENCA)	ENCAnEMU.ENCAnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続
A/D Converter A (ADCA)	ADCAnEMU.ADCAnSVSDIS: 0 : ブレーク時に停止 1 : ブレーク時に動作を継続

**(3) エミュレーション・ブレイク時に動作を継続するモジュール**

エミュレーション・ブレイク時に動作を継続するすべてのモジュールを次に示します。

表 38-3 エミュレーション・ブレイク時に動作を継続するモジュール

モジュール
CAN コントローラ (FCNn)
診断 CAN コントローラ (DCNn)
LIN マスタ・コントローラ (LMA)
FlexRay™ (FLXn)
乱数ジェネレータ A (RNGAn)
イーサネット・コントローラ (ETHA)
キー・リターン機能 (KRn)
電圧コンパレータ (VCPCn)

**38.1.2 信号マスク**

以下の V850E2/Fx4-H 外部信号はマスクできるため、影響はありません。マイクロコントローラはオンチップ・デバッグ・ユニットで制御されます。

- RESET
- NMI

## 38.2 機能概要

オンチップ・デバッグ機能の概要を次に示します。

### (1) デバッグ・インタフェース

このインタフェースは、信号 DCUTRST, DCUTCK, DCUTMS, DCUTDI, DCUTDO, DCURDY を使用してオンチップ・デバッグ・エミュレータ経由でホストと通信するために使用します。

### (2) デバッグ・モニタ機能

メモリ空間内のモニタ・プログラムを実行し、ユーザ作成プログラムが実行休止中にデバッグすることにより、次の基本的なデバッグ機能を使用できます。

- ユーザ作成プログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザ作成プログラムの実行

### (3) ハードウェア・ブレーク機能

データに関する最大4つのブレークポイントを指定できます。データに関するブレークポイントが指定された場合は、指定されたアドレスのデータにアクセスしたときに実行を中断できます。

さらに、最大2レベルのシーケンスを使用してブレークの条件を組み合わせることができます。

### (4) ソフトウェア・ブレーク機能

RAMに格納されたユーザ作成プログラムの実行は、指定されたアドレスで中断できます。

### (5) 強制ブレーク機能

ユーザ作成プログラムの実行を強制的に中断できます。

### (6) 強制リセット機能

マイクロコントローラを強制的にリセットできます。

### (7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリード・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

### (8) ダイナミック・メモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライト・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

### (9) タイマ機能

32ビット・カウンタを使用し、DCUTCK 信号周波数を2で割ることによって取得したクロックに基づいて、ユーザ作成プログラムの実行時間を測定できます。



**(10) マスク機能**

いくつかの専用の外部信号はマスクできるため、影響はありません。マイクロコントローラはオンチップ・デバッグ・ユニットで制御されます。

この章の最初の節内「信号マスク」に、これらの信号の一覧を示します。

**(11) ブレーク時の周辺モジュールの実行/停止の選択**

ブレークポイントに達したときに、マイクロコントローラのモジュールは次のように動作します。

- ブレーク時に必ず動作を停止
- ブレーク時のモジュールの動作はユーザのオプション、モジュールのエミュレーション・レジスタを使用して指定可能
- ブレーク時に必ず動作を継続

このマイクロコントローラのモジュールの動作は、この章の最初の節内「ブレーク時に停止」で説明しています。

**(12) ホット・アタッチ機能**

オンチップ・デバッグ・エミュレータを接続すると、動作中のCPUをリセットせずにデバッグを開始することができます。

**(13) セキュリティ機能**

フラッシュ・メモリの内容が権限のないユーザにリードされないように、96ビットのIDコードをマイクロコントローラにライトすることができます。デバッグ起動時にユーザが入力するコードがマイクロコントローラにライトされたIDコードに一致しない場合は、フラッシュ・メモリにアクセスできません。最後のビット（ビット95）が0に設定された場合は、IDコードに一致してもフラッシュ・メモリにアクセスできません。

IDコードの設定方法の詳細は、ご使用のソフトウェア・ツールのマニュアルと、このマニュアルの「コード保護とセキュリティ」の章の「オンチップ・デバッグ・インタフェースの保護」節を参照してください。

### 38.3 エミュレーション・ブレークの制御

エミュレーション・ブレーク機能は、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）、マイクロコントローラのモジュールへの停止要求を生成します。

以下の場合、エミュレーション・ブレーク時にこれらのモジュールが動作を停止します。

- モジュールがエミュレーション・ブレーク機能をサポートする場合（このようなモジュールの一覧は、この章の最初の節にある「エミュレーション・ブレーク時のモジュールの動作」を参照）
- モジュールでエミュレーション・ブレークが有効な場合（モジュールのエミュレーション・レジスタの設定による）
- EPC.SVSTOP = 1 の設定によって一般的にエミュレーション・ブレークが有効な場合（以下の EPC レジスタの説明を参照）

#### (1) EPC- エミュレーション・ブレーク制御レジスタ

デバッグ時の各マクロ（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止（SVSTOP）や、デバッガからのレジスタ操作による特定シーケンスアクセスの妨害を抑制する（SVACCESS）機能を持ちます。

**アクセス** 8/1 ビット単位でリード/ライト可能です。

**アドレス** FF43 E000<sub>H</sub>

**初期値** 0000 0000<sub>H</sub>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	SV STOP	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R

表 38-4 EPC レジスタの内容

ビット位置	ビット名	機能
6	SVSTOP	デバッグ時の各マクロ（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止 0：カウント動作停止しない 1：デバッグ・モードに入るとカウント動作を停止する。

## 38.4 オンチップ・デバッグ・エミュレータとの接続

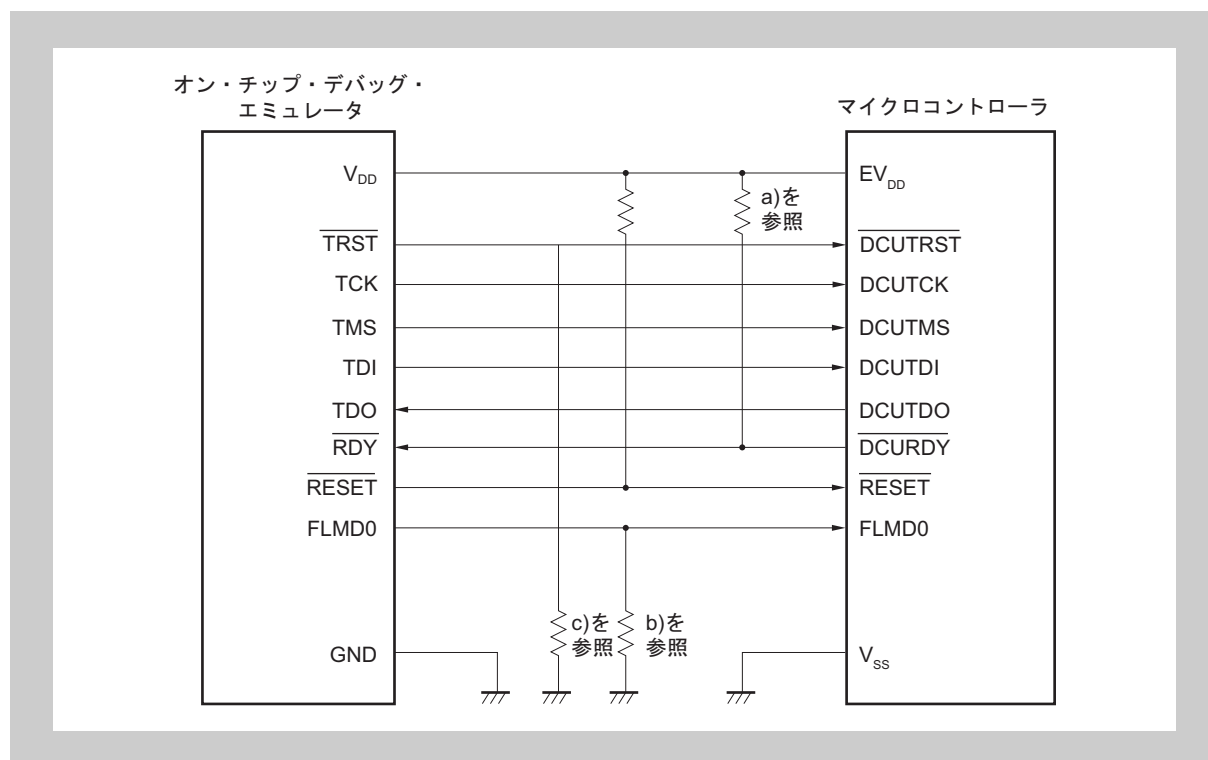


図 38-1 オンチップ・デバッグ・エミュレータとの接続

- a)  $\overline{\text{DCURDY}}$  プルアップ抵抗  
RESET 時にマイクロコントローラの  $\overline{\text{DCURDY}}$  出力がハイ・インピーダンス状態にあるため、オンチップ・デバッグの RDY 入力時にこのレジスタはハイ・レベルに維持されます。
- b) FLMD0 プルダウン抵抗  
82k $\Omega$  以上のプルダウン抵抗を介して  $V_{SS}$  に接続してください。
- c)  $\overline{\text{DCUTRST}}$  プルダウン抵抗  
この抵抗は、オンチップ・デバッグ・エミュレータが接続されている際は必須ではありません。

表 38-5 オンチップ・デバッグ・エミュレータの接続に使用する端子

端子名	説明
VDD	ターゲット・システムの電源またはオンチップ・デバッグ・エミュレータ内のバッファの電源を検出するための信号
$\overline{\text{DCUTRST}}$	マイクロコントローラのデバッグ機能を非同期でリセットする信号
DCUTCK	デバッグに使用するクロック信号
DCUTMS	データ通信の転送モードを選択するための信号
DCUTDI	マイクロコントローラに入力するデータ信号
DCUTDO	マイクロコントローラから出力するデータ信号
$\overline{\text{DCURDY}}$	データ通信の同期信号
RESET	マイクロコントローラのリセット信号。この端子を接続し、システムの電源が投入されてからデバッグが起動するまで、マイクロコントローラをリセットの状態に維持します。
FLMDO	マイクロコントローラのフラッシュ・メモリを書き換えるためのモード信号

## 38.5 オンチップ・デバッグ使用上の注意

### (1) デバッグに使用したデバイスの処理

製品量産時は、デバッグに使用したデバイスを使用しないでください。デバッグ中にフラッシュ・メモリを書き換えるため、フラッシュ・メモリの書き換え回数を保証できません。

## 第 39 章 バウンダリ・スキャン

### 39.1 概要

バウンダリ・スキャンは IEEE 標準 1149.1 で定義されたテスト方式であり、プリント基板に搭載されたデバイス間の接続のテストに使用します。V850E2/Fx4-H は IEEE Std 1149.1-2001 に準拠します。

**備考** バウンダリ・スキャンの一般的な問題（たとえば、各命令の説明、TAP コントローラの状態遷移図など）は、このドキュメントでは説明しません。

### 39.2 JTAG インタフェース

バウンダリ・スキャン・ホストのテストシステムとの通信は、次の表に示す JTAG インタフェースで実行します。

表 39-1 JTAG インタフェース

ポート	信号名	使用しない場合の注意事項
JP0_0	DCUTDI	オープン (DCUTRST がロー・レベルの場合)
JP0_1	DCUTDO	オープン
JP0_2	DCUTCK	オープン
JP0_3	DCUTMS	オープン
JP0_4	DCUTRST	適切な抵抗を介して、VSS に接続してください。

### 39.3 バウンダリ・スキャン・モードの開始

バウンダリ・スキャン・モードに入るには、リセット解除時に次の端子を設定してください。

- FLMD0 = VDD
- FLMD1 (P0\_1) = VDD
- MODE0 (P0\_2) = VSS
- MODE1 (P0\_3) = VSS

**備考** 動作モードが、バウンダリ・スキャン状態中、P0\_1 ~ P0\_4 端子へロウ・レベルを入力してください。

## 39.4 バウンダリ・スキャンの特徴

表 39-2 「バウンダリ・スキャン命令コード」に IEEE1149.1-2001 の命令と V850E2/Fx4-H の命令コードを示します。

表 39-2 バウンダリ・スキャン命令コード

命令	命令コード		備考
	ビット [20:16]	ビット [15:0]	
BYPASS	1 1111	1111 1111 1111 1111 <sub>B</sub>	
EXTEST	1 1111	1111 1111 1110 1000 <sub>B</sub>	
SAMPLE	1 1111	1111 1111 1111 1000 <sub>B</sub>	PRELOAD と同じコード
PRELOAD	1 1111	1111 1111 1111 1000 <sub>B</sub>	SAMPLE と同じコード

## 39.5 バウンダリ・スキャン対象端子

**備考** バウンダリ・スキャン対象端子のポートは、バウンダリ・スキャン時にポート・コンフィギュレーション・レジスタを使用して設定する必要はありません。

バウンダリ・スキャン (EXTEST) は、次の表に示す端子を除くすべての端子に適用できます。

表 39-3 バウンダリ・スキャン非対象端子

タイプ	端子名
JTAG インタフェース	JP0_0 ~ JP0-4
DEEPSTOP モードの表示出力	WAKE, PTCTL1
アナログ入出力	VCPCnIN, VCPCnOUT, ADCA0I0 -ADCA0I5
クロック入出力	X1, X2, XT1, XT2,
電源	REGnVDD, REGnC, CVDD, FVDDn, EnVDD, BnVDD, OSCVD, AnVDD, AnVREF0P, AnVREF0M
グラウンド	REGnVSS, CVSS, VSS, EnVSS, BnVSS, OSCVSS, AnVSS

次の信号は、バウンダリ・スキャン時にサンプリングのみを実行します。

表 39-4 バウンダリ・スキャン (サンプリングのみ) 対象端子

タイプ	端子名
リセット	RESET
MODE	FLMD0, FLMD1
電源制御	PWGD

次の端子はアナログ・バッファ、差動バッファなどと共有しています。したがって、バウンダリ・スキャンは汎用入出力部のみに適用します。

表 39-5 バウンダリ・スキャン（汎用入出力部のみ）対象端子

タイプ	端子名
ADCA0 入力	P10_6 ~ P10_15, P11_0 ~ P11_7
ADCA1 入力	P12_0 ~ P12_15, P13_0 ~ P13_7



## 39.6 デバイス ID レジスタ (DID)

デバイス ID レジスタ DID によって、V850E2/Fx4-H に固有の ID コードを提供します。DID の値は IDCODE 命令で読み出すことができます。CPU ではアクセスできません。下図に DID レジスタ・フォーマットを示します。これは 32 ビットの定数です。

### (1) DID - バウンダリ・スキャン ID レジスタ

バウンダリ・スキャン ID を格納します。

**アクセス** CPU ではリードできません。

**初期値** xxxx<sub>H</sub> (製品ごとに異なります)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RID[3:0]				PID[15:04]											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PID[03:00]				MID[10:0]										1	

表 39-6 DID レジスタの内容

ビット位置	ビット名	機能
31-28	RID[3:0]	改訂 ID
27-12	PID[15:00]	製品 ID
11-1	MID[10:0]	メーカー ID

## 第40章 電源

V850E2/Fx4-H デバイスは、異なる電力ドメイン上の機能モジュールのデジタル回路とアナログ回路、およびポート I/O バッファの複数のグループに対し、個別の電源端子を備えています。

### 40.1 電源端子の名称

この節では、電源端子の一般的な命名方法を示します。

通常、電源端子の名称は次の意味を持つ最大 4 つのフィールドで構成されています。

供給先のタイプ	接頭語	電源の種類	接尾語
電源供給の用途を示す略号	各電源用途の続き番号 <sup>a</sup>	VDD または VSS	同じ電源供給で異なる端子の続き番号 <sup>a</sup>

a) 電源端子がひとつの場合、接頭語および接尾語は省略される場合があります。

電源供給先のタイプは次のように定義されます。

表 40-1 電源供給先タイプの略号

略号	説明
A	アナログ回路 (A/D コンバータのアナログ部分) への電源
B	標準 I/O バッファへの電源
E	標準 I/O バッファへの電源
F	フラッシュ・メモリへの電源
OSC	発振回路への電源
REG	内蔵電圧レギュレータへの入力電圧

例：

- E0VDD：単一端子による標準 I/O バッファ・グループ“0”への電源です。
- B1VDD2：複数の端子による標準 I/O バッファ・グループ“1”への電源です（この例は第 2 端子）。
- REG0VSS：内蔵電圧レギュレータ REG0 への入力電圧です。

## 40.2 電源システム

以降の節で、電源端子とそれらが電源を供給するモジュールによる電源システムを示します。

電源端子の電圧範囲と関連するすべての条件については、「電気的ターゲット仕様」に記載されています。また、「電気的ターゲット仕様」ではポート端子の電気特性についての詳細も説明しています。

### 40.2.1 デジタル回路の電源

以下に、各種電力ドメイン用のデジタル回路を示します。

#### (1) Always-On エリアの電源

Always-On エリアのデジタル回路用電源  $V_{REG0}$  は、内蔵電圧レギュレータ REG0 および関連する内蔵電源調整トランジスタにより、外部電源 REG0VDD から生成されます。

#### (2) Isolated エリアの電源

Isolated エリアのデジタル回路用電源  $V_{REGISO}$  は、CVDD 経由で外部から供給されます。内蔵電圧レギュレータ REG1 は、外部電源制御トランジスタ用に制御電圧 PTCTL1 を生成します。

また、CVDD を生成するために、外部電圧レギュレータを使用することもできます。

次の図では、すべての電力ドメインのデジタル回路の電源を示しています。

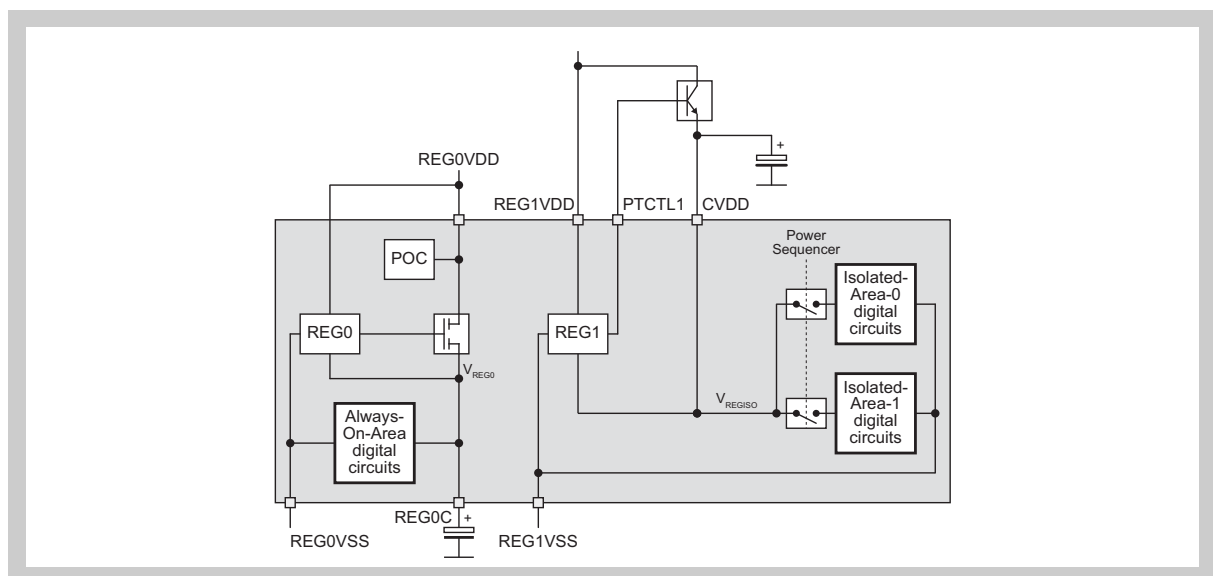


図 40-1 デジタル回路の電源システム

## 40.2.2 V850E2/FK4-H の電源システム

次の表と図では、V850E2/FK4-H デバイスの発振回路、フラッシュ・メモリ、アナログ回路、ポート・バッファの電源システムを示しています。

各種電力ドメインのデジタル回路電源の詳細については、40.2.1「デジタル回路の電源」を参照してください。

表 40-2 V850E2/FK4-H の電源端子

端子	モジュール	電源領域	ポート・バッファ
REG0VDD/REG0VSS/ REG0C	内蔵電圧レギュレータ REG0 電圧コンパレータ	Always-On 領域	—
REG1VDD/REG1VSS	内蔵電圧レギュレータ REG1	アイソレート領域 0/1	—
CVDD/CVSS	—	アイソレート領域 0/1	—
E0VDD/E0VSS	—	Always-On 領域	JP0, P0
E1VDD/E1VSS	—	アイソレート領域 0	P1, P2, P3, P4
B0VDD/B0VSS	—	アイソレート領域 1	P21, P25, P27
OSCVDV/OSCVSS	MainOsc, SubOsc	Always-On 領域	—
A0VDD/A0VSS/ A0VREFP/A0VREFM	A/D コンバータ ADCA0	アイソレート領域 0	P10, P11
A1VDD/A1VSS/ A1VREFP/A1VREFM	A/D コンバータ ADCA1	アイソレート領域 1	P13
FVDD	フラッシュ・メモリ	アイソレート領域 0	—

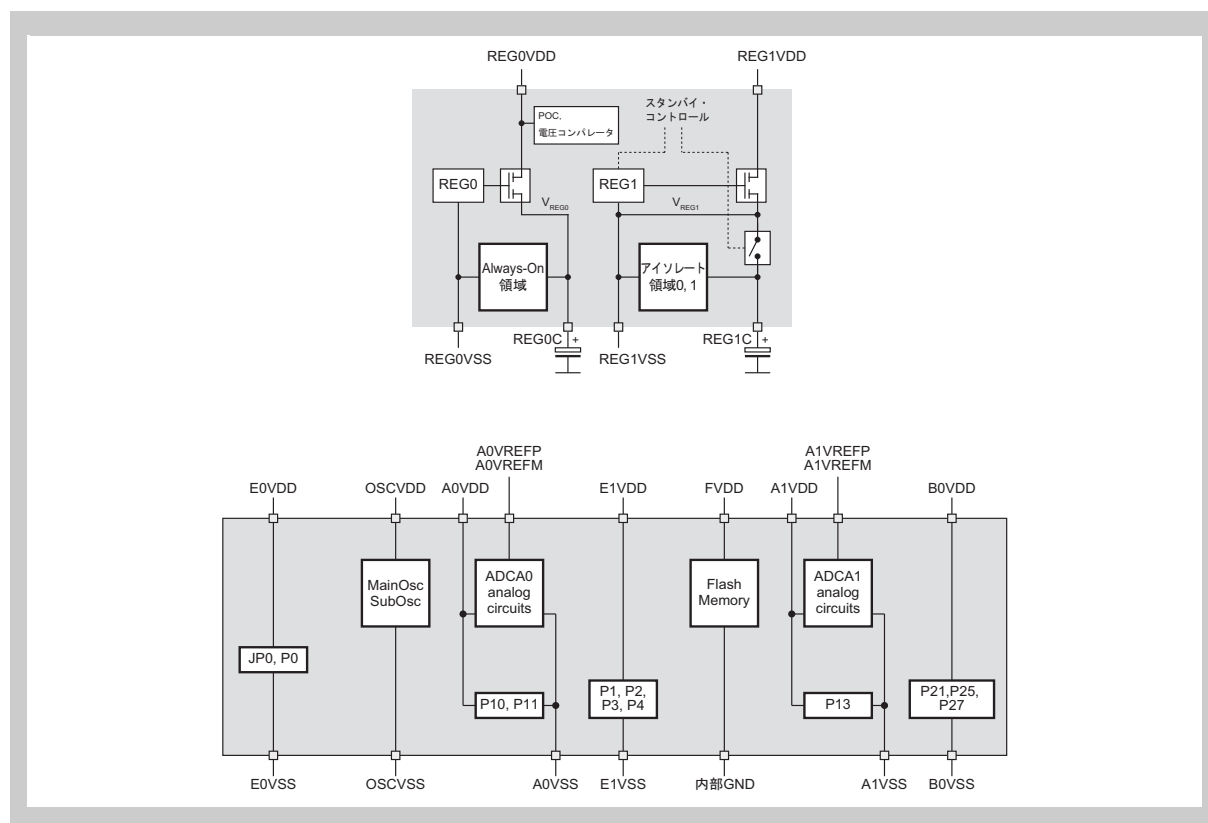


図 40-2 V850E2/FK4-H の電源システム

### 40.2.3 V850E2/FL4-H の電源システム

次の表と図では、V850E2/FK4-H デバイスの発振回路、フラッシュ・メモリ、アナログ回路、ポート・バッファの電源システムを示しています。

各種電力ドメインのデジタル回路電源の詳細については、40.2.1「デジタル回路の電源」を参照してください。

表 40-3 V850E2/FL4-H の電源端子

端子	モジュール	電源領域	ポート・バッファ
REG0VDD/REG0VSS/ REG0C	内蔵電圧レギュレータ REG0 電圧コンパレータ	Always-On 領域	—
REG1VDD/REG1VSS	内蔵電圧レギュレータ REG1	アイソレート領域 0/1	—
CVDD/CVSS	—	アイソレート領域 0/1	—
E0VDD/E0VSS	—	Always-On 領域	JP0, P0
E1VDD/E1VSS	—	アイソレート領域 0	P1, P2, P3, P4
B0VDD/B0VSS	—	アイソレート領域 1	P21, P24, P25, P27
OSCVDD/OSCVSS	MainOsc, SubOsc	Always-On 領域	—
A0VDD/A0VSS/ A0VREFP/A0VREFM	A/D コンバータ ADCA0	アイソレート領域 0	P10, P11
A1VDD/A1VSS/ A1VREFP/A1VREFM	A/D コンバータ ADCA1	アイソレート領域 1	P12, P13
FVDD	フラッシュ・メモリ	アイソレート領域 0	—

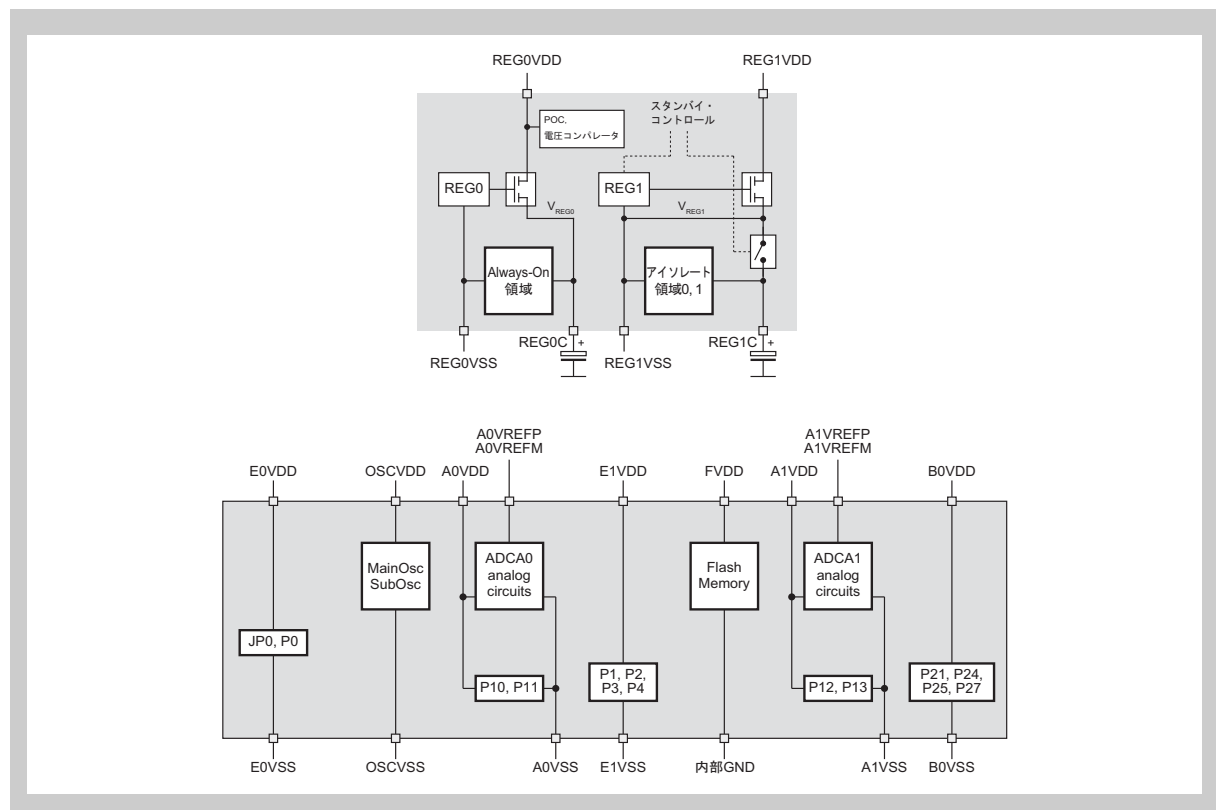


図 40-3 V850E2/FL4-H の電源システム

### 40.3 電源投入および電源オフの手順

この節は、電源投入および電源オフの手順について説明します。

- 
- 注意**
1. 電源シーケンサの電源投入モード制御フラッシュ・マスク・オプション OPBT0.OPBT0[0] は 1 にセットしなければなりません。
  2. すべての図は説明を目的として作成されており、実際のハードウェア実装とは異なります。
- 

電圧レベル、時間、および周波数の各値についての詳細は、データシートを参照してください。

次の図は、電源制御の概要を示しています。

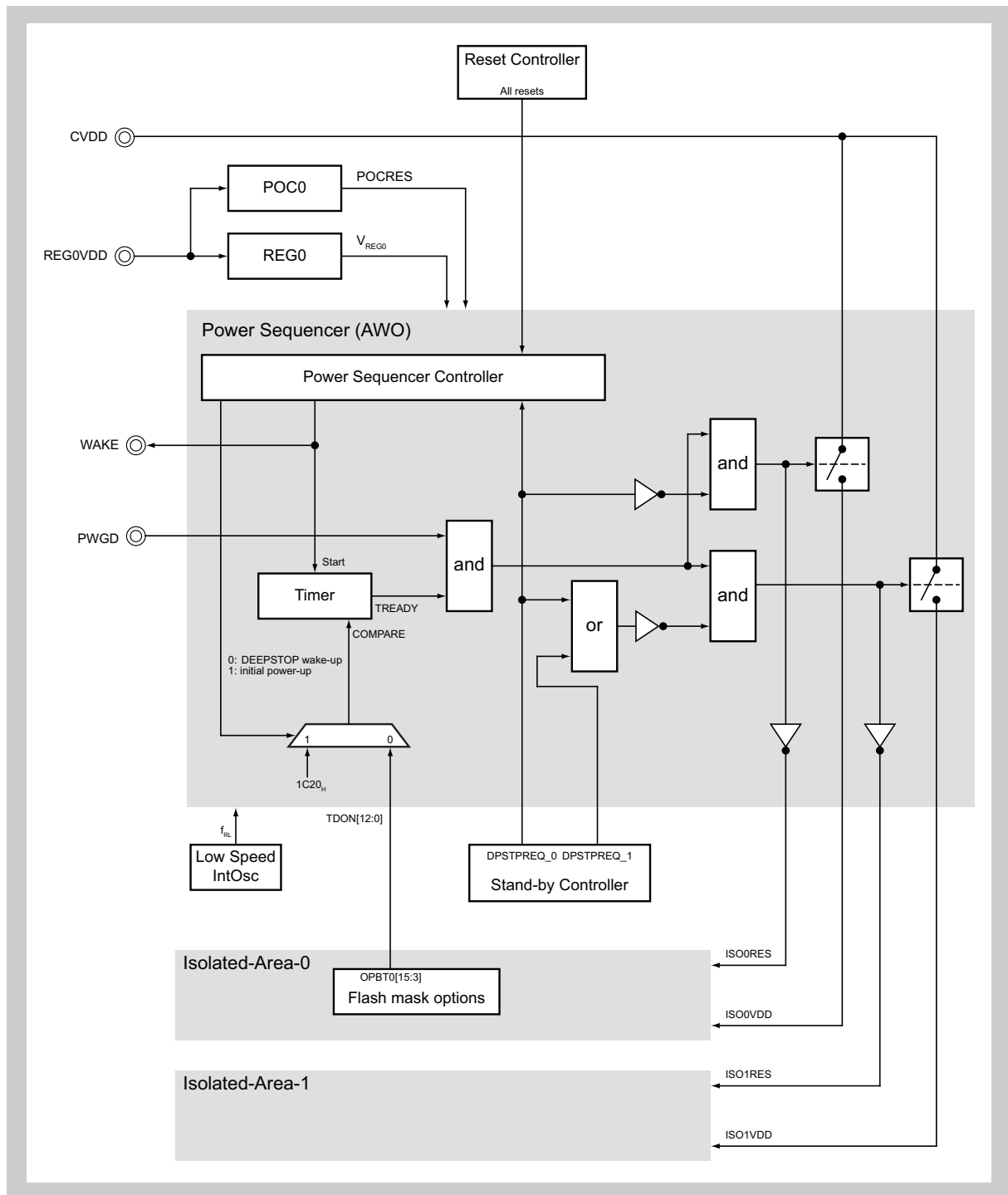


図 40-4 パワー・コントローラ・システム

**(1) Always-On エリアの電源**

Always-On エリアの電源電圧  $V_{REG0}$  は、内蔵電圧レギュレータ REG0 により、入力電圧 REG0VDD から生成されます。

REG0VDD は、パワー・オン・クリア回路 POC によって監視されます。この回路は、REG0VDD 電圧が POC レベル、 $V_{POC}$  を下回っている間、Always-On エリアをリセット状態（POCRES）に保ちます。

**(2) Isolated エリアの電源**

Isolated エリアの電源、ISO0VDD および ISO1VDD は、外部 CVDD により電源供給されます。

Isolated エリアの電源投入および電源オフは、次の 2 つの状況で必要になります。

- 初期電源投入および最終電源オフ  
Always-On エリアを含む、マイクロコントローラ全体を、電源投入または電源オフする場合。
- DEEPSTOP モードへの移行およびウェークアップ  
DEEPSTOP モードでは、Isolated エリア ISO0VDD/ISO1VDD の電源のみがオフになり、Always-On エリアの電源は維持されます。  
DEEPSTOP モードへの移行およびウェークアップは、スタンバイ・コントローラの信号によって指示されます。
  - DPSTPREQ\_0 : DEEPSTOP モードでアサート
  - DPSTPREQ\_1 : Isolated エリア 1 の DEEPSTOP モードでアサート

**リセット時の Isolated エリアの電源**

リセットが発生すると、Isolated エリア 0 および 1 の電源がオフになります。このため、リセット後、Isolated エリアは初期電源投入後または DEEPSTOP モードからのウェークアップ後と同じステータスになります。つまり、完全に再初期化されることとなります。

**備考** リセット後、内部 CPU RAM の内容が不定になることにも注意が必要です。



### 40.3.1 電源シーケンサ

電源シーケンサは、Isolated エリア 0 および Isolated エリア 1 の電源投入と電源オフを正しく行うよう制御します。

そのため、電源シーケンサは Always-On エリアに配置されています。電源シーケンサは、AWO の電源  $V_{REG0}$  が安定し、Power-On-Clear のリセット POCRES が解除されると動作を開始します。

Isolated エリアを制御するために、電源シーケンサは次のことを行います。

- Isolated エリアの電源 CVDD が安定すると、Isolated エリアの電源 ISO0VDD/ISO1VDD をオンに切り替えます。同様に CVDD が安定していない場合には、ISO0VDD/ISO1VDD をオフにします。
- Isolated エリアの電源が安定していない場合には、Isolated エリアのリセット信号 ISO0RES/ISO1RES を制御して Isolated エリアの動作を回避します。

電源シーケンサでは、以下の場合、Isolated エリア電源 CVDD が安定であると見なします。

- 電源シーケンサ・タイマが経過した場合  
電源シーケンサ・タイマは、最短電源投入時間  $T_{PUMIN}$  を保証するものです。
- 外部 PWGD 信号がハイ・レベルに設定されている場合  
Isolated エリアの電源は、PWGD 信号をアサートすることにより、安定 CVDD 信号を送信することができます。

#### (1) 電源シーケンサ・タイマ

電源シーケンサにはタイマが組み込まれており、低速 IntOsc 期間を  $f_{RL}$  で一定の COMPARE 値までカウント・アップし、TREADY 信号を生成します。

タイマのカウント時間は次のようになります。

$$T_{PU} = \text{COMPARE} \times 1/f_{RL}$$

このように、COMPARE 値は、POCRES の解除から Isolated エリアの電源投入までの最短電源投入時間  $T_{PUMIN}$  を設定します。

**COMPARE** COMPARE 値は、電源投入の種類によって変動します。

- 初期電源投入  
COMPARE 値は、 $1C20_H = 7200$  に固定されます。初期電源投入では、低速 IntOsc がカットされることはなく COMPARE = 7200 になるため、初期電源投入時の電源シーケンサ・タイマの初期実行時間  $T_{PU} = T_{PUINIT}$  は約 10ms になります。
- DEEPSTOP ウェークアップ  
COMPARE 値は TDON[12:0] になります。  
TDON[12:0] はフラッシュ・マスク・オプションで、ユーザーが設定できるようになっています。  
つまり、DEEPSTOP モードからのウェークアップ時間をアプリケーション環境に合わせて調整し、短縮することができます ( $T_{PU} = T_{PUMIN}$ )。

**(2) PWGD 信号**

PWGD は、安定 CVDD 電圧信号を送信するために、Isolated エリアの CVDD 電源によってアサートされます。

PWGD は、Isolated エリア電源の障害を検出するためにも使用されます。  
40.3.4 「電源障害」を参照してください。

---

**注意** 外部 CVDD 電源が PWGD に関連するステータス信号を供給しない場合、PWGD を E0VDD に接続しなければなりません。

---

**(3) WAKE 信号**

Isolated エリアの電源 CVDD への WAKE 出力信号は、次のように作用します。

- WAKE がハイ・レベルの場合、電源 CVDD がオンになり安定になります。
- WAKE がロウ・レベルの場合、電源 CVDD がオフになります。

### 40.3.2 初期電源投入および最終電源オフ

次の図は、初期電源投入および最終電源オフの基本的な流れを示しています。

**備考** この図では、機能の従属関係のみを示しており、チップ内部の遅延時間や安定化時間はすべて無視しています。  
これらの時間の詳細については、データシートを参照してください。

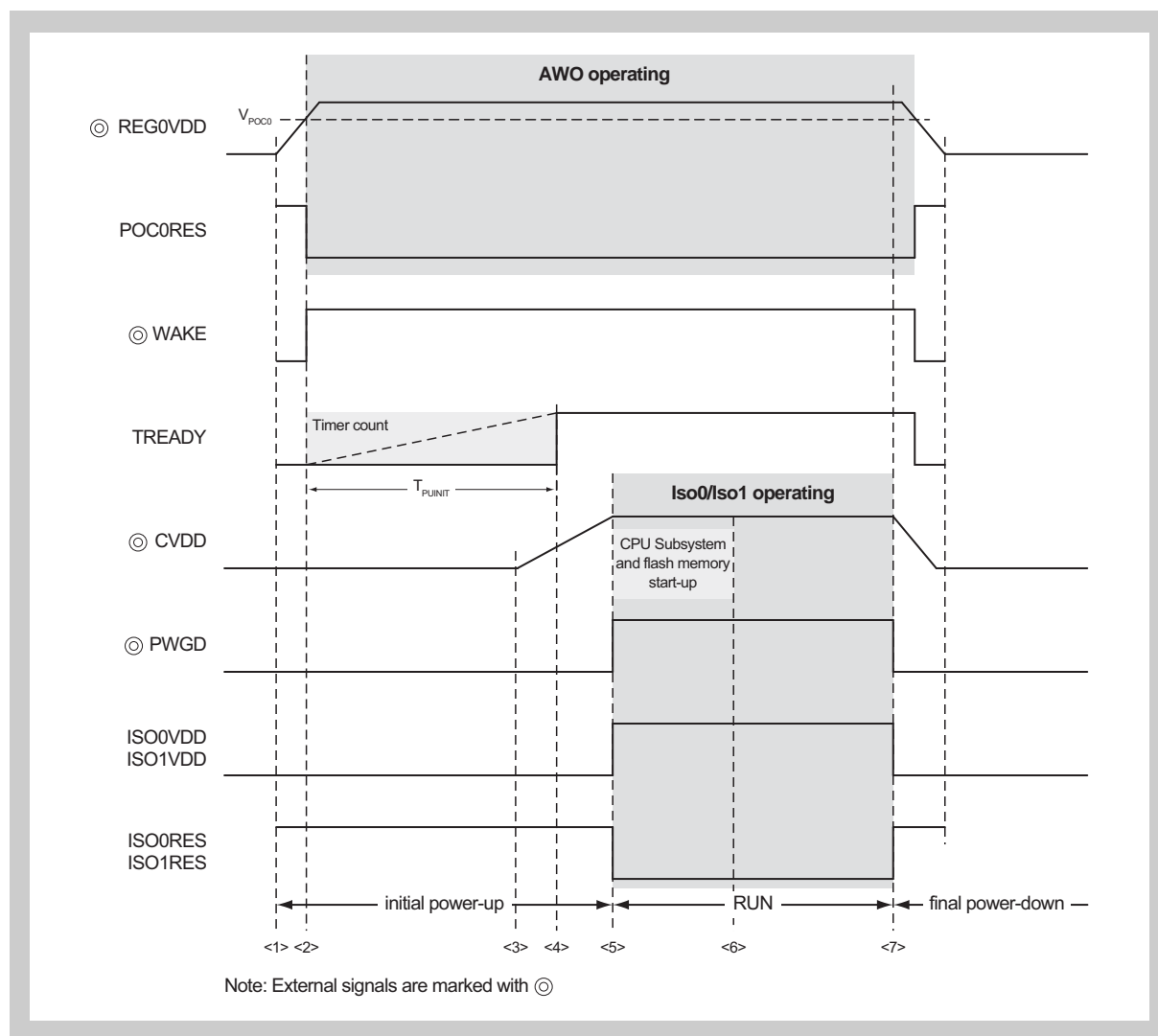


図 40-5 初期電源投入および最終電源オフ

- <1> 電圧レギュレータ入力 REG0VDD が増加し、POC0RES がマイクロコントローラをリセット状態に保ちます。
- <2> REG0VDD が POC0 電圧レベル  $V_{POC0}$  を超えると、POC0RES がリリースされ、Always-On エリアが動作状態になります。  
電源シーケンサが、タイマを開始させて WAKE 信号をアサートすることで、Isolated エリアの電源投入プロセスを始動します。
- <3> CVDD が増加します。
- <4> 電源シーケンサの初期電源投入時間  $T_{PUNIT}$  が経過しました。
- <5> CVDD が安定すると、外部 CVDD 電源により PWGD がハイ・レベルに変わります。  
電源シーケンサが ISO0VDD/ISO1VDD をオンにし、ISO0RES/ISO1RES を解除します。  
Isolated エリアが動作状態になります。
- <6> CPU サブシステムおよびフラッシュ・メモリのスタートアップ後、CPU が最初の命令をフェッチします。
- <7> 最終電源オフでは、すべての電源がオフになります。

- 
- 注意**
1. 初期電源投入では、Always-On エリアに REG0VDD 電圧を印加する前に Isolated エリア電源 CVDD を印加することはできません。
  2. 最終電源オフでは、Isolated エリア電源 CVDD をオフにする前に Always-On エリアの電源 REG0VDD をオフにはできません。
- REG0VDD と CVDD 間のタイミングの関係については、「*電氣的ターゲット仕様*」を参照してください。
-

### 40.3.3 DEEPSTOP モードへの移行とウエイクアップ

DEEPSTOP モードでは、Isolated エリアの電源はオフになります。

- DEEPSTOP モード :  
Isolated エリア 0 と Isolated エリア 1 の電源がオフになります。
- RUN モード (ISO1 DEEPSTOP) および STOP モード (ISO1DEEPSTOP) :  
Isolated エリア 1 の電源がオフになります。

いずれの場合でも、Always-On エリアはアクティブのままです。

スタンバイ・コントローラは、スタンバイ・モードに従属した指示信号を生成します。

- DPSTREQ\_0 は、Isolated エリア 0 および Isolated エリア 1 の DEEPSTOP 要求を指示します。
- DPSTREQ\_1 は、Isolated エリア 1 の DEEPSTOP 要求を指示します。

**(1) DEEPSTOP モードでの電圧レギュレータの制御**

DEEPSTOP モード (ISO0VDD/ISO1VDD オフ) では、外部電源 CVDD を電源オフできる他、内蔵電圧レギュレータも特別なパワー・セーブ・モードに設定することができます。

DEEPSTOP モード時に外部 CVDD の電圧をパワー・ダウンし、REG0 をパワー・セーブ・モードにすると電力消費量は削減できますが、電源投入シーケンス全体を処理する必要があるためウェイクアップ時間は長くなります。

DEEPSTOP モード時にウェイクアップ時間を最小限にするため、外部 CVDD 電源をアクティブに維持し、内蔵電圧レギュレータ REG0 を通常動作モードにすることができます。

ただし、DEEPSTOP モードで CVDD と REG0 をアクティブにしておくと、電力消費量が増加します。

PSC1.PSC1REGSTP ビットは、次のように DEEPSTOP モードでの電圧レギュレータ VREG0 および WAKE 出力信号の動作を決定します。

- PSC1.PSC1REGSTP = 0 (次の図のケース (a) を参照) :
  - DEEPSTOP モード中、WAKE はハイ・レベルを維持します。CVDD はオフにしないでください。
  - 内蔵レギュレータ REG0 は通常動作モードを維持します。
  - ウェイクアップ時、電源シーケンサ・タイマの最短動作時間  $T_{PUMIN}$  が経過すると、Isolated エリアの電源がオンになります。
- PSC1.PSC1REGSTP = 1 (次の図のケース (b) を参照) :
  - DEEPSTOP モード中、WAKE はロウ・レベルになります。CVDD はオフにすることができます。
  - 内蔵レギュレータ REG0 はパワー・セーブ・モードに切り替わります。
  - ウェイクアップ時、以下が同時に発生します。
    - 内蔵レギュレータ REG0 の安定化
    - 電源シーケンサ・タイマの動作時間、 $T_{PUMIN}$
    - CVDD の電源投入
 これらの要素により、Isolated エリアの電源オンの時間が決まります。

次の図は、この両方のケースの動作を示しています。

**備考** 以下の仕様については、データシートを参照してください。

- レギュレータの安定化時間 ( $T_{RAA}$ )
- 電源シーケンサ最短動作時間 ( $T_{PUMIN}$ )、(2) 「電源シーケンサ・タイマ」を参照

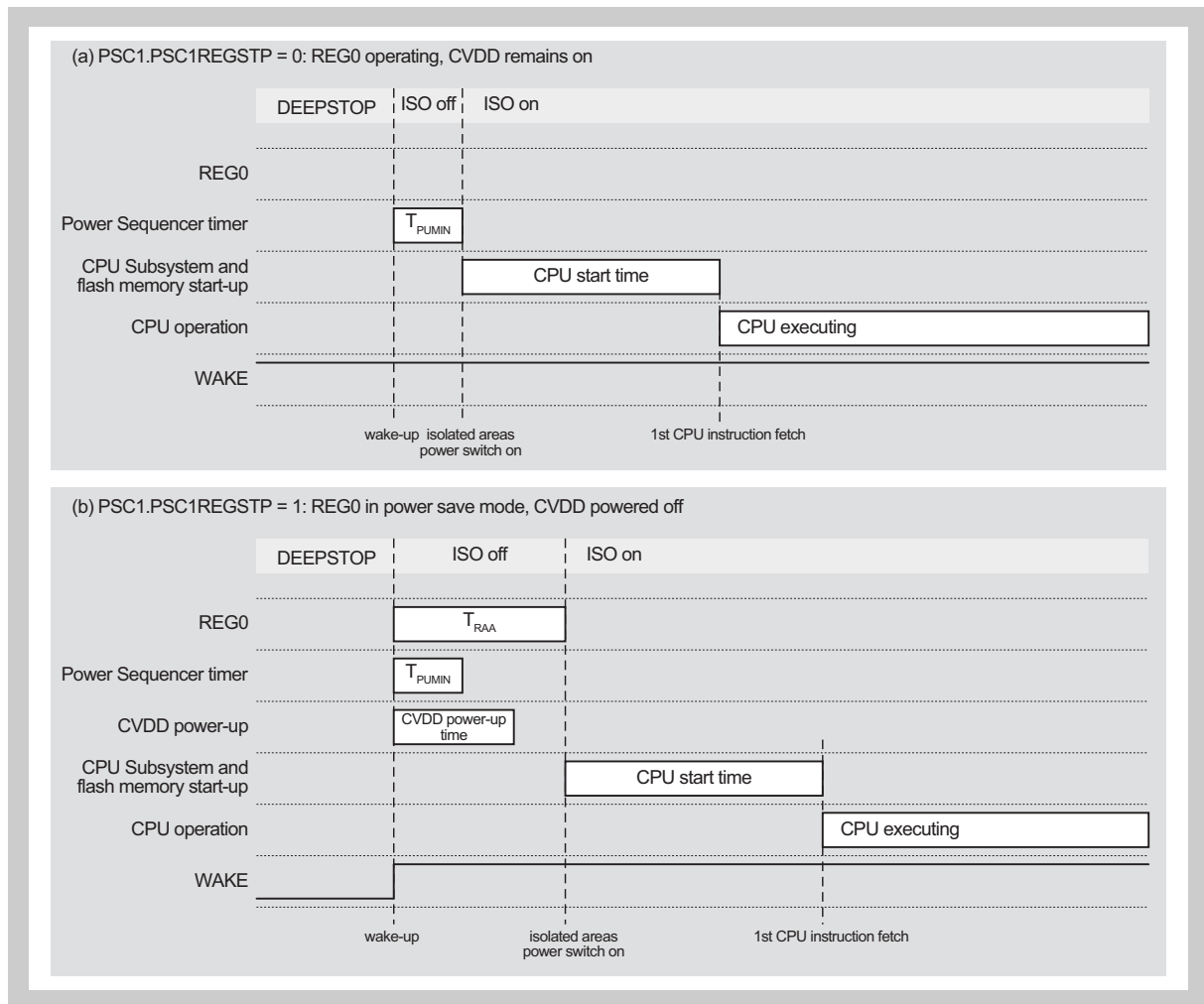


図 40-6 電圧レギュレータの制御および DEEPSTOP ウェークアップ時間

- 備考
1. RUN モード (ISO1 DEEPSTOP) および STOP モード (ISO1 DEEPSTOP) では, Isolated エリア 0 が動作中であるため, REG1VDD を電源オフすることはできません (WAKE 信号がハイ・レベルで維持)。
  2. PSC0 レジスタのビット 4 のデフォルト値 "0" を "1" に変更しなければなりません。

「スタンバイ・コントローラ」の章の「PSC1 - パワー・セーブ制御レジスタ 1」の説明を参照してください。

**(2) 電源シーケンサ・タイマ**

電源シーケンサ・タイマは、タイマの最短動作時間より長く設定しなければなりません。

$$T_{PUMIN} = TDON[12:0] \times 1/f_{RLmax}$$

$f_{RLmax}$  については、データシートを参照してください。

---

**注意** 電源シーケンサ・タイマの最短動作時間  $T_{PUMIN}$  を保証するためには、フラッシュ・マスク・オプション  $TDON[12:0]$  を正しく設定する必要があります。

---

たとえば、 $T_{PUMIN} = 1 \text{ ms}$ 、 $f_{RLmax} = 260 \text{ kHz}$  の場合、

$$TDON[12:0] = 1 \text{ ms} \times 260 \text{ kHz} = 260 = 104_H$$

**(3) DEEPSTOP への移行およびウェイクアップ**

次の図は、DEEPSTOP の際に Isolated エリアの電源 CVDD が電源オフする場合（PSC1.PSC1REGSTP = 1）の、DEEPSTOP への移行およびウェイクアップの基本的な流れを示しています。

**備考** この図では、機能の従属関係のみを示しており、チップ内部の遅延時間や安定化時間はすべて無視しています。これらの時間の詳細については、データシートを参照してください。



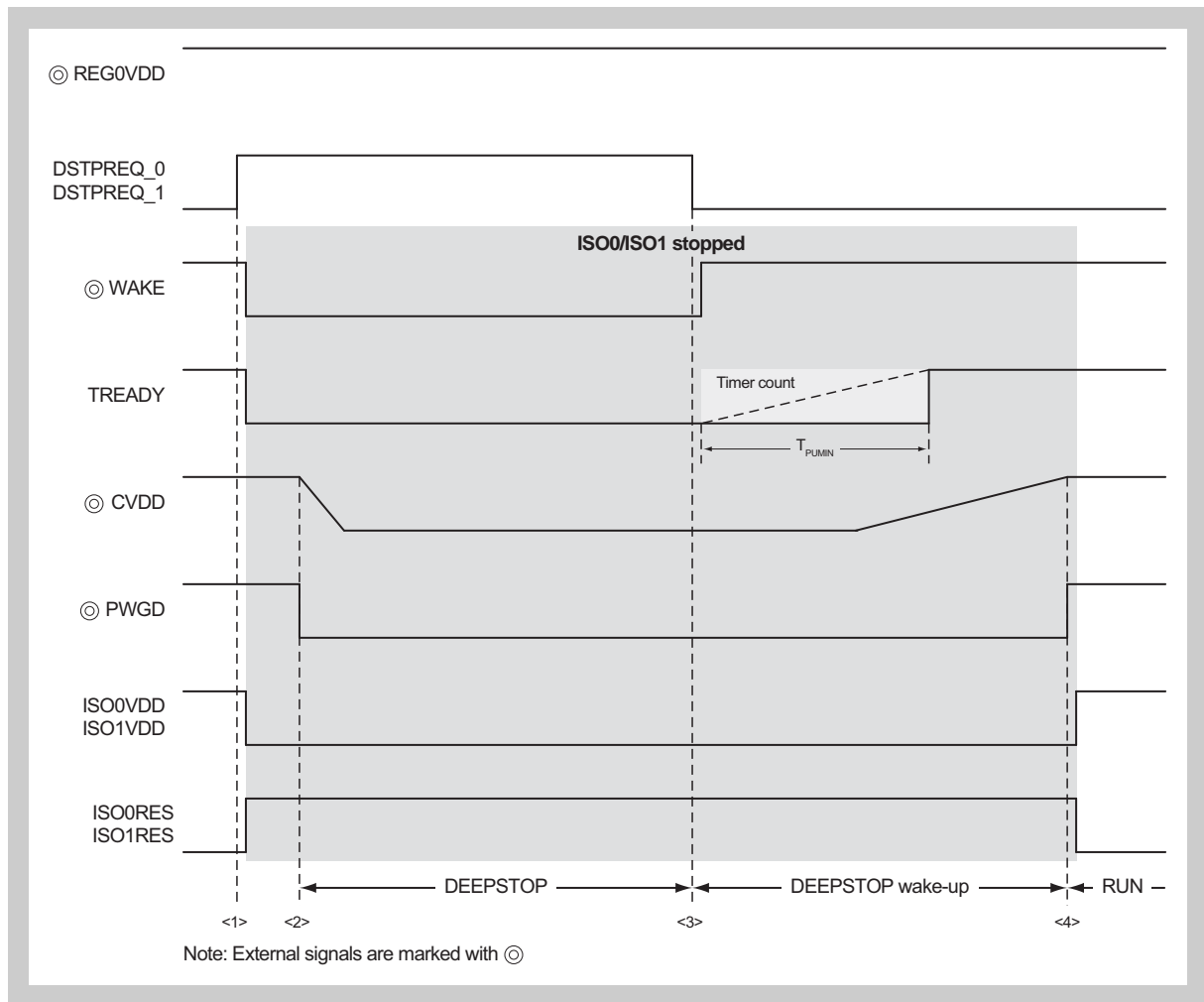


図 40-7 DEEPSTOP への移行およびウェークアップ (PSC1.PSC1REGSTP = 1)

- <1> DEEPSTOP 要求発生 (DPSTPREQ\_0 = DPSTPREQ\_1 = 1)
- WAKE 信号がロウ・レベルに設定されます。
  - Isolated エリアの電源 ISO0VDD/ISO1VDD がオフになり、リセットがアサートされます (ISO0RES = ISO1RES = 1)。
- <2> 外部電源 CVDD を電源オフし、PWGD 信号をロウ・レベルに設定することができます。
- <3> ウェークアップ・イベントが DPSTPREQ\_0/DPSTPREQ\_1 をディアサートし、これにより、電源シーケンサが WAKE 信号をアサートし、電源シーケンサ・タイマを始動することによって、Isolated エリアの電源投入プロセスを始動します。  
カウント時間  $T_{PUMIN}$  は、TDON[12:0] の値、つまりフラッシュ・マスク・オプション OPBT0.OPBT0[15:3] によって決まります。  
CVDD を電源投入し、安定化させなければなりません。
- <4> 電源シーケンサの最短ウェークアップ時間  $T_{PUMIN}$  が経過し、PWGD がハイ・レベルに設定されます。CVDD が安定化し、Isolated エリアの電源、ISO1VDD/ISO2VDD がオンになって、そのリセット ISO1RES/ISO2RES が解除されます。

**PSC1REGSTP = 0 での DEEPSTOP** PSC1.PSC1REGSTP = 0 で DEEPSTOP モードに移行した場合、WAKE はハイ・レベルに維持されます。これを利用して、外部 CVDD 電源の電源オフを回避し、内蔵レギュレータを通常動作させ続けることができます。

#### 40.3.4 電源障害

PWGD は、安定 CVDD 電圧信号を送信するために、Isolated エリアの CVDD 電源によってアサートされます。

Isolated エリアの動作中、電源シーケンサは PWGD 信号を監視します。何らかの理由で CVDD 電源に障害が発生し、PWGD 信号がロウ・レベルに変わると、電源障害ステータスが検出され、次の動作が発生します。

- Isolated エリアの電源 ISO0VDD/ISO1VDD がオフになります。
- Isolated エリアのリセット ISO0RES/ISO1RES がアサートされます。

このモードは、電源障害モードと呼ばれます。

詳細については、「スタンバイ・コントローラ (STBC)」の章の「DEEPSTOP モード」の節を参照してください。

また、40.4 「電源障害インジケータ」も参照してください。

CVDD が再び印加された後、マイクロコントローラは、DEEPSTOP モードからのウェークアップ後のように動作します。つまりリセット状態から CPU が始動します。

**備考** 外部 CVDD 電源が PWGD に関連するステータス信号を供給しない場合、PWGD を E0VDD に接続しなければなりません。結果として、電源障害の検出が不可能になります。

**備考** この図では、機能の従属関係のみを示しており、チップ内部の遅延時間や安定化時間はすべて無視しています。これらの時間の詳細については、データシートを参照してください。

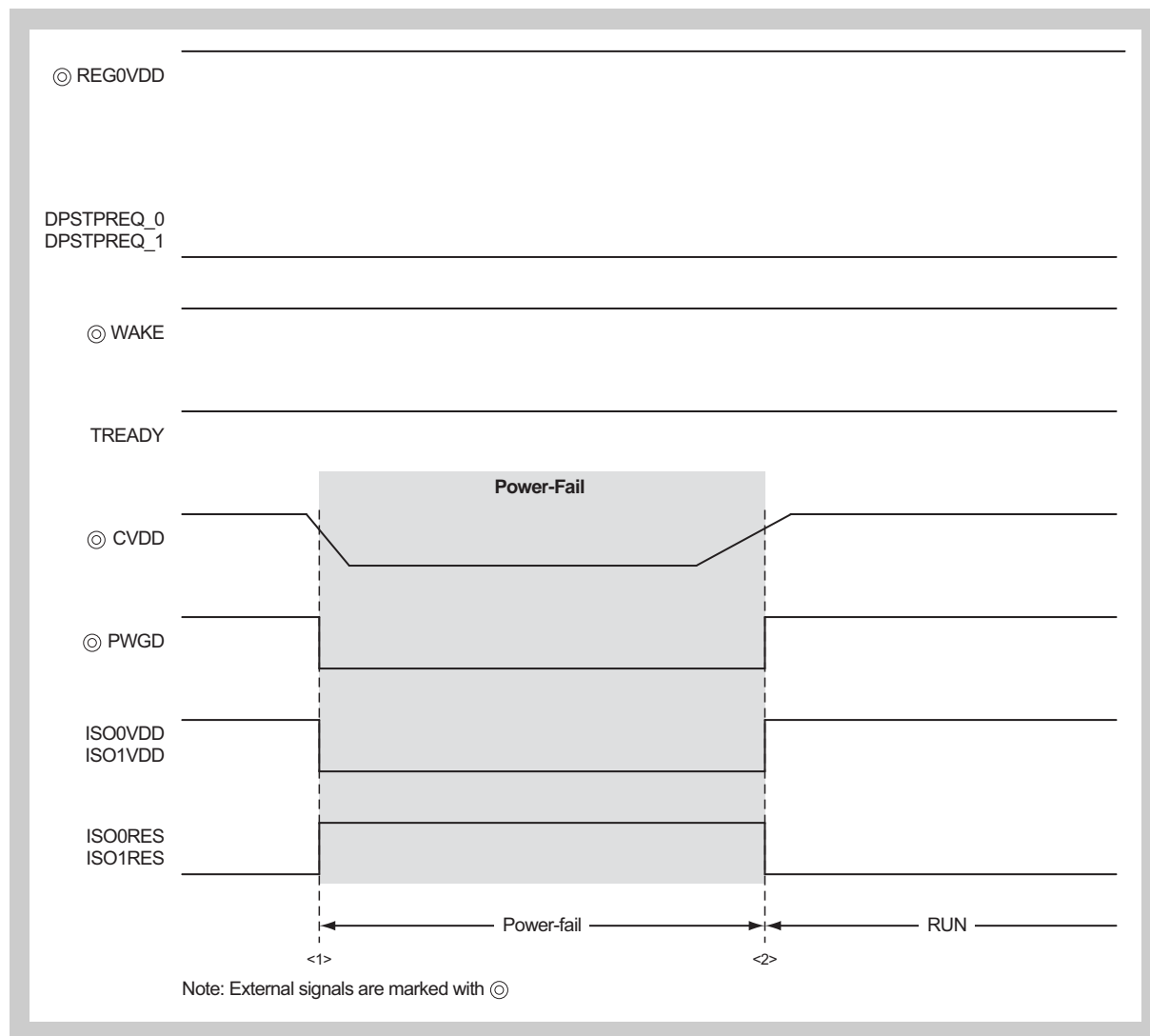


図 40-8 電源障害

- <1> 電源障害により外部電源 CVDD が電源オフし、PWGD がロウ・レベルに変わります。  
Isolated エリアの電源 ISO0VDD/ISO1VDD がオフになり、この電カドメインがリセットに設定されます (ISO0RES = ISO1RES = 1)。
- <2> CVDD が再び電源投入されると、PWGD のハイ・レベルによりこれが示され、Isolated エリアの電源 ISO0VDD/ISO1VDD がオンになり、リセットが解除されます。  
CPU は、リセット後と同様の方法で動作を開始します。

## 40.4 その他の電源

この節では、Always-On エリアと Isolated エリア以外に供給される電源の取り扱い方法について説明します。

次の表では、すべての電源についてまとめており、それぞれの電源投入および電源オフ条件とオプションを示しています。

表 40-4 その他の電源

端子	供給先	条件
REG0VDD	• Always-On エリアのモジュール	<ul style="list-style-type: none"> <li>• すべての要素に対して、同時に電源を供給する必要があります。</li> <li>• DEEPSTOP モードでも停止しないでください。</li> </ul>
FVDD	• フラッシュ・メモリ	
OSCVDD	• メイン発振回路、サブ発振回路	
E0VDD	• 電圧コンパレータのアナログ回路 • ポート・グループ JP0, P0 バッファ	
E1VDD	• ポート・グループ P0-P4 バッファ	
B0VDD	• ポート・グループ P21, P22, P24-P29 バッファ	
A0VDD	• ADCA0 のアナログ回路 • ポート・グループ P10, P11	<ul style="list-style-type: none"> <li>• REG0VDD の後に電源供給する必要があります。</li> <li>• ADCA0 を使用する場合には、電源供給を受け、安定している必要があります。</li> <li>• DEEPSTOP モードで停止することも可能です。</li> </ul>
A1VDD	• ADCA1 のアナログ回路 • ポート・グループ P12, P13	<ul style="list-style-type: none"> <li>• REG0VDD の後に電源供給する必要があります。</li> <li>• ADCA1 を使用する場合には、電源供給を受け、安定している必要があります。</li> <li>• DEEPSTOP モードで停止することも可能です。</li> </ul>
CVDD	• デジタル回路の Isolated エリア	<ul style="list-style-type: none"> <li>• REG0VDD の後に電源供給する必要があります。</li> <li>• DEEPSTOP モードで停止することも可能です。</li> </ul>

備考 電源供給端子の取扱いの詳細についてはデータシートを参照してください。

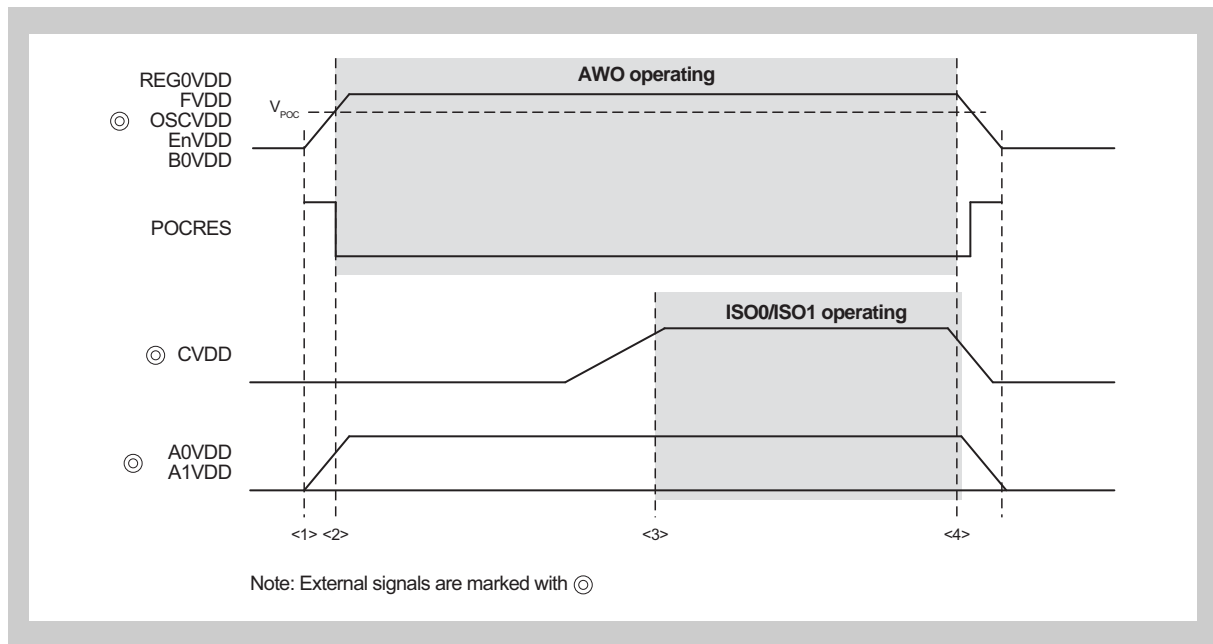


図 40-9 その他の電源

- <1> REG0VDD, FVDD, OSCVDD, EnVDD, B0VDD が上昇し、一方で POCRES はマイクロコントローラをリセット状態に維持します。
- <2> REG0VDD が POC の電圧レベル  $V_{POC}$  を超えると、POCRES は解除され、Always-On エリアは動作状態になります。  
電源シーケンサは、前述の 40.3.1 「電源シーケンサ」で説明しているように、Isolated エリアの電源投入プロセスを開始します。
- <3> CVDD が安定化し、Isolated エリアがオンになります。
- <4> 最終的にマイクロコントローラ全体を電源オフさせるため、CVDD がオフになり、Isolated エリアがリセットに設定されて (ISO0RES/ISO1RES = 1) オフになります。  
CVDD 同様、REG0VDD をオフにすることもできますが、CVDD をオフにした後に限られます。  
REG0VDD が  $V_{POC0}$  を下回ると、マイクロコントローラ全体がリセットされ (POCRES = 1)、Always-On エリアがオフになります。  
A/D コンバータの電源 A0VDD/A1VDD は、要求に応じて印加したり、オフにしたりすることができます。  
ただし、REG0VDD がオフのときは、動作させることができません。

改訂記録	V850E2/Fx4-H ユーザーズマニュアル ハードウェア編
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.05.20	—	初版発行

---

V850E2/Fx4-H ユーザーズマニュアル  
ハードウェア編

発行年月日 2013年5月20日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---





ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850E2/Fx4-H



ルネサスエレクトロニクス株式会社

R01UH0318JJ0100